Docket No. 143705.05221

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of: Martin U. Pralle *et al.* Application No. TBA Filed: July , 2016 For: PIXEL ISOLATION ELEMENTS, DEVICES AND ASSOCIATED METHODS	Confirmation No. TBA Art Unit: Not yet assigned Examiner: Not yet assigned

VIA EFS-WEB
Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

Certificate of Mailing

I hereby certify that this correspondence is being electronically filed via EFS-Web to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

July 21, 2016 — Dated

Electronic Signature: /Reza Mollaaghababa/
Andrew Schultz, Reg. No. 43,810

PRELIMINARY AMENDMENT

Dear Sir:

Prior to substantive examination of the above-referenced application, please amend the above-identified application as follows:

Amendments to the Specification begin on page 2.

Amendments to the Claims begin on page 3.

Remarks begin on page 6.

AMENDMENTS TO SPECIFICATION

Please amend the first paragraph following the heading "Priority Data" as follows:

The present application claims priority as a continuation application to U.S. Patent Application No.14/747,875 filed on June 26, 2015, which ~~this application~~ is a continuation of U.S. Patent Application Serial No. 13/841,120, filed on March 15, 2013, which claims the benefit of U.S. Provisional Patent Application Serial No. 61/614,275, filed on March 22, 2012, all ~~each~~ of which are incorporated herein by reference.

SAMSUNG EX. 1002 - 2/2862

AMENDMENTS TO THE CLAIMS

Claims:

1-33 (Cancelled)

34. (New) A light trapping device, comprising:

at least one light sensitive pixel having a light incident surface, a backside surface opposite the light incident surface, and a peripheral sidewall extending at least partially around the pixel periphery;

a backside light trapping material substantially covering the backside surface; and

a peripheral light trapping material substantially covering the peripheral sidewall,

wherein the peripheral light trapping material creates a surface field at the peripheral sidewall.

35. (New) The device of claim 34, wherein the backside light trapping material reflects the light incident thereon back into the pixel.

36. (New) The device of claim 34, wherein the peripheral light trapping material reflects light incident thereon into the pixel.

37. (New) The device of claim 34, wherein the peripheral sidewall extends completely around the pixel periphery.

38. (New) The device of claim 34, wherein the peripheral sidewall extends from the light incident surface to the backside surface.

39. (New) The device of claim 34, wherein the peripheral sidewall extends through the pixel substantially from the light incident surface to the backside surface.

40. (New) The device of claim 34, wherein at least one of the backside light trapping material and the peripheral light trapping material comprises a metal layer.

41. (New) The device of claim 34, wherein said peripheral light trapping material comprises an oxide.

42. (New) The device of claim 34, wherein said peripheral light trapping material provides a passivating negative charge.

SAMSUNG EX. 1002 - 3/2862

43. (New) The device of claim 34, wherein said peripheral light trapping material exhibits a surface recombination velocity as low as 10 cm/s.

44. (New) The device of claim 34, wherein the peripheral sidewall material has an index of refraction of less than about 2.1.

45. (New) The device of claim 34, wherein the peripheral light trapping material comprises any of aluminum oxide and hafnium oxide.

46. (New) The device of claim 34, wherein said pixel comprises a textured region.

47. (New) The device of claim 46, wherein said textured region is coupled to the light incident surface.

48. (New) The device of claim 47, wherein said textured region is located on said light incident surface.

49. (New) The device of claim 47, wherein said textured region comprises a textured film layer.

50. (New) The device of claim 49, wherein said textured film layer comprises any of silicon dioxide, silicon nitride, amorphous silicon, polysilicon, a metal and combinations thereof.

51. (New) An array of light trapping pixel devices of claim 34.

52. (New) A light trapping device, comprising:

at least one light sensitive pixel having a light incident surface, a backside surface opposite the light incident surface, and a peripheral sidewall extending at least partially around the pixel periphery;

a backside light trapping material at least partially covering the backside surface;

a peripheral light trapping material substantially covering the peripheral sidewall; and

a textured region positioned to interact with light incident thereon so as to increase quantum efficiency of the device.

53. (New) The device of claim 52, wherein said backside light trapping material substantially covers the backside surface.

54. (New) The device of claim 52, wherein said textured region is located on the light incident surface.

55. (New) The device of claim 52, wherein said textured region is a textured film layer coupled to the light incident surface.

SAMSUNG EX. 1002 - 4/2862

56. (New) The device of claim 55, wherein said textured film layer comprises any of silicon dioxide, silicon nitride, amorphous silicon, polysilicon, a metal and combinations thereof.

57. (New) The device of claim 52, wherein said textured region reflects at least a portion of light internally incident thereon into the pixel.

58. (New) The device of claim 52, wherein the peripheral sidewall extends from the light incident surface to the backside surface.

59. (New) The device of claim 34, wherein the peripheral sidewall extends through the pixel substantially from the light incident surface to the backside surface.

SAMSUNG EX. 1002 - 5/2862

REMARKS

Applicant respectfully requests that prior to the examination of the above-referenced patent application claims 1-33 be cancelled and claims 34-59 be added. Support for the new claims can be found throughout the application as filed, e.g. at pages 13 and 14 of the specification.

The Director is authorized to charge any deficiency in the fees filed, asserted to be filed, or which should have been filed herewith (or with any paper hereafter filed in this application by this firm) to our Deposit Account No. 50-0436, under Order No. 143705.05221.

Respectfully submitted,

Dated: July 21, 2016

Electronic Signature: /Reza Mollaaghababa/

Reza Mollaaghababa, Reg. No. 43,810
Attorney for Applicants
Pepper Hamilton LLP
125 High Street
19th Floor, High Street Tower
Boston, MA 02210
Tel: (617) 204-5168
Fax: (617) 204-5150

SAMSUNG EX. 1002 - 6/2862

PIXEL ISOLATION ELEMENTS, DEVICES, AND ASSOCIATED METHODS

PRIORITY DATA

This application is a continuation of U.S. Patent Application Serial No. 13/841,120, filed March 15, 2013, which claims the benefit of U.S. Provisional Patent Application Serial No. 61/614,275, filed on March 22, 2012, each of which are incorporated herein by reference.

BACKGROUND

Image sensors are typically formed on various forms of semiconductor materials such as, for example, silicon. Imagers can be incorporated into a variety of devices, including digital cameras, camcorders, computers, cell phones, etc. Due to the ever decreasing size (foot print) of these devices, image sensors have correspondingly seen a decrease in size. Backside illuminated (BSI) image sensors have increased in importance due to the small size of these imagers as compared to front side illuminated (FSI) image sensors. However, pixel size reduction can lead to a significant sacrifice in image quality. As pixel sizes continue to decrease, image signal to noise tends to decrease while electrical and optical cross-talk between adjacent sensor pixels tends to increase. Traditional attempts to reduce the impact of these effects have included adding microlenses above each image sensor in front side pixel sensors to focus the light on the active detector regions, thereby increasing efficiency and reducing cross-talk. Backside illuminated pixel sensors can present different design considerations. For example, significant cross-talk can be generated due to reflection off the often planar back surface of the device.

SUMMARY

The present disclosure provides for light trapping pixels, devices incorporating such pixels, photovoltaic solar cells, and other optoelectronic devices, including various associated methods. In one aspect, for example, a light trapping device can include at least one light sensitive pixel having a light incident surface, a backside surface opposite

SAMSUNG EX. 1002 - 7/2862

the light incident surface, and a peripheral sidewall disposed into at least a portion of the pixel and extending at least substantially around the pixel periphery. The pixel can also include a backside light trapping material substantially covering the backside surface and a peripheral light trapping material substantially covering the peripheral sidewall. The light contacting the backside light trapping material or the peripheral light trapping material is thus reflected back toward the pixel. In another aspect, the present disclosure additionally provides an array of light trapping pixels.

A variety of light trapping materials can be utilized and are contemplated, and any such material capable of being used to trap light in a pixel is considered to be within the present scope. In one aspect, at least one of the backside light trapping material and the peripheral light trapping material can include a high refractive index material sandwiched between two low refractive index materials. In another aspect, the backside light trapping material and the peripheral light trapping material includes a high refractive index material sandwiched between two low refractive index materials. It is contemplated that the two low refractive index materials have a refractive index of less than about 2.1. Non-limiting examples of low refractive index material can include nitrides, oxynitrides, gasses, at least a partial vacuum, and the like, including appropriate combinations thereof. Other non-limiting examples of low refractive index materials can include silicon oxide, silicon nitride, silicon dioxide, and the like. Furthermore, in another aspect a light trapping material can include a higher refractive index material sandwiched between two materials having a refractive index that is at least 0.2 lower as compared to the higher refractive index material. In this case, the materials are not limited by the definition of low vs. high refractive index outlined above, but are rather defined by the relative difference in refractive index.

Furthermore, it is contemplated that high refractive index materials have a refractive index of greater than or equal to about 2.1. Non-limiting examples of high refractive index material can include polycrystalline silicon, amorphous silicon, single crystal silicon, multicrystalline silicon, nanocrystalline silicon, germanium, and the like, including appropriate combinations thereof.

SAMSUNG EX. 1002 - 8/2862

In one aspect, the peripheral sidewall can extend completely around the pixel periphery. In another aspect, the peripheral sidewall can extend from the light incident surface towards the backside surface.

In some aspects it is also contemplated that the light incident surface can include a frontside light trapping material at least partially covering the surface thereof. In one aspect, the frontside light trapping material can be an antireflective layer coating. In another aspect, the frontside light trapping material can be a reflective layer having an aperture to allow entry of light into the pixel, wherein the reflective layer is operable to reflect light impinging thereupon from inside the pixel back into the pixel. In some aspects it can be beneficial to include a lens functionally coupled to the aperture and operable to focus incident light through the aperture and into the pixel.

In another aspect the present disclosure additionally provides a substantially light trapping pixel device including a light sensitive pixel having a light incident surface, a backside surface opposite the light incident surface, and a peripheral sidewall extending from the light incident surface to the backside surface and extending around the pixel periphery. The pixel additionally includes a backside light trapping material substantially covering the backside surface, and a peripheral light trapping material substantially covering the peripheral sidewall. Furthermore, an internally reflective frontside light trapping material can cover at least a portion of the light incident surface that is operable to allow entrance of light into the pixel and is operable to reflect light impinging thereupon from inside the pixel back into the pixel, and the light contacting the backside light trapping material or the peripheral light trapping material is reflected back toward the pixel.

In yet another aspect, the present disclosure provides a method of making a light trapping device, including forming at least one pixel by forming a backside light trapping material on a semiconductor layer, the backside light trapping material including a high refractive index material sandwiched between two low refractive index materials, and forming a pixel device layer on the semiconductor layer opposite the light trapping material. The method can additionally include etching a trench circumscribing the pixel device layer and filling the trench with a light trapping material. In some aspects, the trench can be etched to a depth that contacts at least the first low refractive index

SAMSUNG EX. 1002 - 9/2862

material. In some aspects, an incident light trapping material can be applied to the pixel device layer. It is also noted that the light trapping material can be located anywhere in the backside region of the device, and that the current scope is not limited to the location of materials or the manufacturing method described above.

In another aspect, filling the trench with the light trapping material can further include depositing a low refractive index material into the trench to fill a portion of the trench from the trench walls inward, ceasing deposition of the low refractive index material to leave an internal space within the trench, and depositing a high refractive index material into the trench to fill the internal space.

In another aspect, the method can include forming a textured region on at least a portion of the semiconductor layer between the semiconductor layer and the first low refractive index prior to depositing the first low refractive index material onto the semiconductor layer. Non-limiting examples of techniques for forming the textured region include plasma etching, reactive ion etching, porous silicon etching, lasing, chemical etching, nanoimprinting, material deposition, selective epitaxial growth, the like, including appropriate combinations thereof. In one specific aspect, forming the textured region includes laser texturing.

BRIEF DESCRIPTION OF THE DRAWINGS

For a further understanding of the nature and advantage of the present disclosure, reference is being made to the following detailed description of embodiments and in connection with the accompanying drawings, in which:

FIG. 1 is a cross-sectional view of multiple image sensor pixels in accordance with an embodiment of the present disclosure;

FIG. 2 is a cross-sectional view of multiple image sensor pixels in accordance with another embodiment of the present disclosure;

FIG. 3 is a cross-sectional view of multiple image sensor pixels in accordance with another embodiment of the present disclosure;

FIG. 4 is a cross-sectional view of a light trapping pixel in accordance with another embodiment of the present disclosure;

SAMSUNG EX. 1002 - 10/2862

FIG. 5 is a cross-sectional view of a light trapping pixel in accordance with another embodiment of the present disclosure;

FIG. 6 is a cross-sectional view of a light trapping pixel in accordance with another embodiment of the present disclosure; and

FIG. 7 is a depiction of a method of making a light trapping pixel in accordance with yet another aspect of the present disclosure.

DETAILED DESCRIPTION

Before the present disclosure is described herein, it is to be understood that this disclosure is not limited to the particular structures, process steps, or materials disclosed herein, but is extended to equivalents thereof as would be recognized by those ordinarily skilled in the relevant arts. It should also be understood that terminology employed herein is used for the purpose of describing particular embodiments only and is not intended to be limiting.

Definitions

The following terminology will be used in accordance with the definitions set forth below.

It should be noted that, as used in this specification and the appended claims, the singular forms "a," and, "the" include plural referents unless the context clearly dictates otherwise. Thus, for example, reference to "a dopant" includes one or more of such dopants and reference to "the layer" includes reference to one or more of such layers.

As used herein, the terms "light" and "electromagnetic radiation" can be used interchangeably and can refer to electromagnetic radiation in the ultraviolet, visible, near infrared and infrared spectra. The terms can further more broadly include electromagnetic radiation such as radio waves, microwaves, x-rays, and gamma rays. Thus, the term "light" is not limited to electromagnetic radiation in the visible spectrum. Many examples of light described herein refer specifically to electromagnetic radiation in the visible and infrared (and/or near infrared) spectra. For purposes of this disclosure, visible range wavelengths are considered to be from approximately 350 nm to 800 nm and non-visible wavelengths are considered to be longer than about 800 nm or shorter than about 350 nm. Furthermore, the infrared spectrum is considered to include a near

SAMSUNG EX. 1002 - 11/2862

infrared portion of the spectrum including wavelengths of approximately 800 to 1100 nm, a short wave infrared portion of the spectrum including wavelengths of approximately 1100 nm to 3 micrometers, and a mid-to-long wavelength infrared (or thermal infrared) portion of the spectrum including wavelengths greater than about 3 micrometers up to about 30 micrometers. These are generally and collectively referred to herein as "infrared" portions of the electromagnetic spectrum unless otherwise noted.

As used herein, "quantum efficiency" (QE) is typically referring to "external quantum efficiency" (EQE) which is defined as the ratio of electrons collected per photons incident on an optoelectronic device. "Internal quantum efficiency" is defined as the ratio of electrons collected per photons absorbed by an optoelectronic device..

As used herein, the terms "3D" and "three dimensional" can be used interchangeably, and refer to obtaining distance information using electromagnetic radiation.

As used herein, the terms "disordered surface" and "textured surface" can be used interchangeably, and refer to a surface having a topology with nano- to micron-sized surface variations. Such a surface topology can be formed by the irradiation of a laser pulse or laser pulses, chemical etching, wet or dry etching including masked or maskless etching, lithographic patterning, interference of multiple simultaneous laser pulses, reactive ion etching, plasma etching or any other technique that can be used to form such a topology. While the characteristics of such a surface can be variable depending on the materials and techniques employed, in one aspect such a surface can be several hundred nanometers thick and made up of nanocrystallites (e.g. from about 10 to about 50 nanometers), nanopores, and the like. In another aspect, such a surface can include micron-sized structures (e.g. about 1 μm to about 60 μm). In yet another aspect, the surface can include nano-sized and/or micron-sized structures from about 5 nm and about 500 μm. A variety of criteria can be utilized to measure the size of such structures. For example, for cone-like structures the above ranges are intended to be measured from the peak of a structure to the valley formed between that structure and an adjacent neighboring structure. For structures such as nanopores, the above ranges are intended to be approximate diameters. Additionally, the surface structures can be spaced at various average distances from one another. In one aspect, neighboring structures can be spaced

SAMSUNG EX. 1002 - 12/2862

at a distance of from about 50nm to about 50 μm. In another aspect, neighboring structures can be spaced at a distance of from about 50nm to about 2 μm. Such spacing is intended to be from a center point of one structure to the center point of a neighboring structure.

As used herein, the term "fluence" refers to the amount of energy from a single pulse of laser radiation that passes through a unit area. In other words, "fluence" can be described as the energy density of one laser pulse.

As used herein, the term "target region" refers to an area of a semiconductor material that is intended to be doped or surface modified. The target region of a semiconductor material can vary as the surface modifying process progresses. For example, after a first target region is doped or surface modified, a second target region may be selected on the same semiconductor material.

As used herein, the term "absorptance" refers to the fraction of incident electromagnetic radiation absorbed by a material or device.

As used herein, the term "monolithic" refers to an electronic device in which electronic components are formed on the same substrate. For example, two monolithic pixel elements are pixel elements that are formed on the same semiconductor substrate.

As used herein, the term "substantially" refers to the complete or nearly complete extent or degree of an action, characteristic, property, state, structure, item, or result. For example, an object that is "substantially" enclosed would mean that the object is either completely enclosed or nearly completely enclosed. The exact allowable degree of deviation from absolute completeness may in some cases depend on the specific context. However, generally speaking the nearness of completion will be so as to have the same overall result as if absolute and total completion were obtained. The use of "substantially" is equally applicable when used in a negative connotation to refer to the complete or near complete lack of an action, characteristic, property, state, structure, item, or result. For example, a composition that is "substantially free of" particles would either completely lack particles, or so nearly completely lack particles that the effect would be the same as if it completely lacked particles. In other words, a composition that is "substantially free of" an ingredient or element may still actually contain such item as long as there is no measurable effect thereof.

SAMSUNG EX. 1002 - 13/2862

As used herein, the term "about" is used to provide flexibility to a numerical range endpoint by providing that a given value may be "a little above" or "a little below" the endpoint.

As used herein, a plurality of items, structural elements, compositional elements, and/or materials may be presented in a common list for convenience. However, these lists should be construed as though each member of the list is individually identified as a separate and unique member. Thus, no individual member of such list should be construed as a de facto equivalent of any other member of the same list solely based on their presentation in a common group without indications to the contrary.

Concentrations, amounts, and other numerical data may be expressed or presented herein in a range format. It is to be understood that such a range format is used merely for convenience and brevity and thus should be interpreted flexibly to include not only the numerical values explicitly recited as the limits of the range, but also to include all the individual numerical values or sub-ranges encompassed within that range as if each numerical value and sub-range is explicitly recited. As an illustration, a numerical range of "about 1 to about 5" should be interpreted to include not only the explicitly recited values of about 1 to about 5, but also include individual values and sub-ranges within the indicated range. Thus, included in this numerical range are individual values such as 2, 3, and 4 and sub-ranges such as from 1-3, from 2-4, and from 3-5, etc., as well as 1, 2, 3, 4, and 5, individually.

This same principle applies to ranges reciting only one numerical value as a minimum or a maximum. Furthermore, such an interpretation should apply regardless of the breadth of the range or the characteristics being described.

The Disclosure

The present disclosure provides semiconductor devices and associated methods that can exhibit various enhanced properties, such as, for example, enhanced light detection properties. More specifically, in one aspect the disclosure relates to image sensor pixels and elements for trapping light within such pixels. In other aspects, various light trapping elements can additionally isolate neighboring pixels in an image sensor. Isolation elements can be configured to optically and/or electrically isolate neighboring

SAMSUNG EX. 1002 - 14/2862

pixels from one another in addition to trapping light with in the pixel. It is additionally contemplated that the present disclosure is applicable to other optoelectronic devices such as solar cells, and that all such should be included in the present scope.

In various aspects, image sensors can be front side or backside illuminated, 3D sensors, or any other device or system that incorporate a unique isolation element configured to reduce cross-talk between pixel elements. For example, in one aspect an image sensor can be capable of detecting visible and infrared light, whereas an isolation element associated with such an imager can be designed and configured to reduce and in some cases eliminate electrical and/or optical cross-talk between neighboring pixels from straying visible and infrared light. In some cases, isolation elements can be doped with a dopant that enables the repelling of electrical carriers from the isolation elements or in other words from the side walls of the device. In other cases, isolation elements can include light trapping or reflective materials to optically isolate neighboring pixels. It is additionally contemplated that isolation elements can include both a dopant and a light trapping or reflective material to both electrically and optically isolate the pixels. Moreover, isolation elements can also include surface features formed thereon or associated therewith. Additionally, in some cases a pixel can include a textured region to enhance the detection of infrared light among other things.

In one aspect, a variety of optoelectronic devices are provided such as, without limitation, photosensitive diodes, pixels, and imagers capable of detecting visible and infrared light while exhibiting reduced optical and electrical cross-talk between neighboring pixels or diodes. It is also contemplated that the present scope include methods associated with such devices, including methods of making and using. The present devices can additionally exhibit enhanced absorption and quantum efficiencies. Such devices can also include a plurality of photodiodes or pixels. In some cases, the present devices can achieve a quantum efficiency of 10% for wavelengths at 1064nm and having a thickness of less than 10 microns. In another embodiment, the present device can achieve a quantum efficiency of about 20% for wavelengths at 940nm and a thickness of less than 10 microns.

In one aspect, a device can include at least a semiconductor substrate having a first side for receiving incident light and a second side opposite the first side. Either or

SAMSUNG EX. 1002 - 15/2862

both the first or second sides can include at least one doped region. Furthermore, the image sensor can include at least one isolation element or feature for at least partially separating and isolating neighboring pixels. FIG. 1 illustrates a simplified drawing of an imager having a first pixel 102 and a second pixel 104, that are formed monolithically on a common semiconductor substrate 106 and are isolated from one another by an isolation element 114. Doped regions 108 and 110 can be disposed on either the first side 120 or second side 122 of the semiconductor substrate, or in some cases on opposite sides of the device. In the present figure, the device is configured such that the first side is capable of receiving incident light. A textured region 112 having surface features is shown on the second side 122 of the semiconductor substrate 106. This architecture having the texture region 112 on the back side 122 can enable enhanced detection and absorption of electromagnetic radiation having wavelengths in the range of about 600 nm to about 1200 nm. It should be noted that this architecture can be used in either a FSI or BSI image sensor architecture. Furthermore, the textured region can be located on the first side 120, the second side 122, or both the first and second sides.

In a typical FSI imager, incident light enters the semiconductor device by first passing by transistors and metal circuitry. The light, however, scatters off of the transistors and circuitry prior to entering the light sensing portion of the imager, thus causing optical loss and noise. A lens can be disposed on the topside of a FSI pixel to direct and focus the incident light to the light sensing active region of the device, thus partially avoiding the circuitry. BSI imagers, one the other hand, are configured to have the light sensing portion of the device opposite the circuitry. Incident light enters the device via the light sensing portion and is at least partially absorbed by the device prior to reaching the circuitry. BSI designs allow for smaller pixel architecture and a high fill factor for the imager. As mentioned, the devices according to aspects of the present disclosure can be adapted for either configuration. It should also be understood that devices according to aspects of the present disclosure can be incorporated into complimentary metal-oxide-semiconductor (CMOS) imager architectures or charge-coupled device (CCD) imager architectures, as well as other optoelectronic devices.

Regarding isolation elements, also referred to herein as trench isolation features or sidewalls, various processes can be employed to form the isolation elements. It is

SAMSUNG EX. 1002 - 16/2862

contemplated that the isolation features can extend from either the first surface or the second surface into the semiconductor material and depending on the depth of the trench can be considered either deep trench isolation or shallow trench isolation. The dimensions of the trench can vary, depending on the application. For example, trenches can have parallel walls, or they can have sloping walls, bottle neck architecture, or any other useful configuration. The depth of the trench isolation feature can be in the range of from about 100 nm to about 50 μm depending on the design of the device. The width can be in the range of from about 100 nm to about 10 μm. For simplicity, the figures in this disclosure show deep trench isolation but it should be understood that shallow trench isolation architectures can be utilized, and that deep trench isolation need not completely extend from one side to the other. The processes contemplated for forming trenches or other isolation features can include, reactive ion etch, isotropic plasma etch, wet chemical etch, laser irradiation, or any other known etch technique.

A variety of reflective materials can be utilized in constructing the isolation features in order to provide optical isolation, light trapping, and/or electrical isolation, and any such material capable of incorporation into a photosensitive device is considered to be within the present scope. Non-limiting examples of such materials include a Bragg reflector, a metal reflector, a metal reflector over a dielectric material, a transparent conductive oxide such as zinc oxide, indium oxide, or tin oxide, and the like, including combinations thereof. Non-limiting examples of metal reflector materials can include silver, aluminum, gold, platinum, reflective metal nitrides, reflective metal oxides, and the like, including combinations thereof. In one specific aspect, the dielectric layer can include an oxide layer and the reflecting region can include a metal layer. The surface of the metal layer on an oxide acts as a mirror-like reflector for the incident electromagnetic radiation. In addition, in some aspects trench isolation features can be doped to further affect the properties of the material with respect to electrical isolation.

In one specific aspect, a reflective region can include a transparent conductive oxide, an oxide, and a metal layer. The transparent oxide can be textured and a metal reflector deposited thereupon. The textured surface of the metal on a roughened transparent conductive oxide can act as a diffusive scattering site for the incident electromagnetic radiation.

SAMSUNG EX. 1002 - 17/2862

In some cases, materials having disparate properties can be utilized in the trench isolation features in order to derive a useful combined interaction. As is shown in FIG. 2, for example, an imager having at least two pixels or photodiodes (202 and 204) and at least one isolation element 214. The pixels are shown formed monolithically on a common semiconductor substrate 206. Doped regions 208 and 210 can be disposed on either the first side 220 or second side 222 of the semiconductor substrate. A textured region 212 having surface features is created on the second side 222 of the semiconductor substrate 206.

In some aspects, the isolation element 214 can be designed to function as a Bragg reflector. In such cases, the isolation element 214 includes at least two layers 216 comprised of material having a lower refractive index (n) as compared to the material of the third layer 218 disposed or sandwiched therebetween. In other words, the isolation element includes a high refractive index material sandwiched between two low refractive index materials, and such a configuration forms a Bragg reflector. Additionally, in some aspects the low reflective index materials can be chosen to have a lower refractive index as compared to the semiconductor substrate 206.

Furthermore, in another aspect an isolation element or light trapping material can include a higher refractive index material sandwiched between two materials having a refractive index that is at least 0.2 lower as compared to the higher refractive index material. In this case, the materials are not limited by the definition of low vs. high refractive index outlined below, but are rather defined by the relative difference in refractive index. For example, in one aspect a light trapping material can include silicon dioxide/silicon nitride/silicon dioxide, each material of which would be considered to be a low refractive index material. There is, however, a greater than 0.2 difference in the refractive indexes between silicon dioxide and silicon nitride, and thus such an isolation element would be included within the present scope. It is also noted that the light trapping material can have greater than three layers. As one non-limiting example, a material can have silicon dioxide/silicon nitride/polysilicon/silicon nitride/silicon dioxide.

As has been described, in some aspects a Bragg reflector can be utilized as an isolation element to trap electromagnetic radiation within the pixel. A Bragg reflector is a structure formed from multiple layers of alternating materials with varying refractive

SAMSUNG EX. 1002 - 18/2862

indexes, or by a periodic variation of some characteristic (e.g. height) of a dielectric waveguide, resulting in periodic variation in the effective refractive index in the guide. Each layer boundary causes a partial reflection of an optical wave. For waves whose wavelength is close to four times the optical thickness of the layers, the many reflections combine with constructive interference, and the layers act as a high-quality reflector. Thus the coherent super-positioning of reflected and transmitted light from multiple interfaces in the structure interfere so as to provide the desired reflective, transmissive, and absorptive behavior. In one aspect, a Bragg reflector can be made as in FIG. 2, whereby a high refractive index material sandwiched between two low refractive index materials. In one specific aspect, for example, the Bragg reflector can be constructed of a layer of polysilicon sandwiched between two layers of silicon dioxide. Because of the high refractive index difference between silicon and silicon dioxide, and the thickness of these layers, this structure can be fairly low loss even in regions where bulk silicon absorbs appreciably. Additionally, because of the large refractive index difference, the optical thickness of the entire layer set can be thinner, resulting in a broader-band behavior and fewer fabrications steps.

In terms of optical isolation from pixel to pixel, the large index of refraction mismatch can result in total reflection at the trench side walls. To prevent excessive dark current in the pixels, a passivation layer may be disposed on the side walls of the trench to prevent the generation of carriers and leakage current. Silicon nitride deposited over a thin grown oxide layer is also commonly used, in this case the oxide may be a low temperature grown plasma oxide.

It can be shown through calculations that a low recombination velocity of silicon oxide and silicon nitride is the result of moderately high positive oxide charge ($5x10^{11}$ to $1x10^{12}$ cm^{-2}) and relatively low midgap interface state density ($1x10^{10}$ to $4x10^{10}$ cm^{-2} eV^{-1}). The addition of silicon oxide or nitride can reduce surface recombination and surface generation. Reducing the surface recombination can increase quantum efficiency of photon collection and surface generation can cause excessive dark current in the imagers thereby reducing the quality of the image.

Since the positive oxide charge of silicon nitride or silicon oxynitride is relatively low on silicon on insulator imagers a p-type layer can be adjacent the silicon oxide,

SAMSUNG EX. 1002 - 19/2862

silicon oxynitride and/or silicon nitride layers as an alternative embodiment. In this case the p-type layer will accumulate the surface or the backside of the p-type silicon layer and p-type sidewalls.

Other possible passivation techniques include a hot steam anneal of hydrogenated silicon nitride or the use of amorphous silicon.

Aluminum oxide can also be deposited in the trench to form an isolating barrier. Aluminum oxide can have low stress, a negative fixed charge and higher index of refraction than silicon oxide or low stress silicon oxynitride nitride. Low surface recombination velocities, as low as 10 cm/s can be obtained through various deposition processes of Al_2O_3 layers on the silicon substrate. Low surface recombination can be achieved by field induced surface passivation due to a high density of negative charges stored at the interface. PECVD aluminum oxide is described here for the backside passivation of the backside and backside trenches in backside illuminated image sensors.

The index of refraction of the aluminum oxide can be increased slightly as required by the addition of other metallic elements to make ternary insulators like Aluminum Oxynitride (AlON), Hafnium Aluminum Oxide (HfAlO), Zirconium Aluminum Oxide (ZrAlO), Lanthanum Aluminum Oxide (LaAlO), Titanium Aluminum Oxide (TiAlO) or quaternary dielectrics like Hafnium Aluminum Oxynitride (HfAlON), Tantalum Aluminum Oxynitride (TaAlON), Lanthanum Aluminum Oxynitride (LaAlON).

Low temperature PECVD deposition processes are contemplated for the backside passivation of the backside and backside trenches in backside illuminated image sensors. As previously mentioned the large index of refraction mismatch between silicon and the insulators in the trenches results in reflection of the incident light and provides optical isolation. The trenches also provide electrical isolation. Additionally, it can also be beneficial to dope the sidewalls to create a surface field that will improve electrical isolation between the pixels. In one aspect, it can also be beneficial to dope the low refractive index material of the Bragg-type reflectors to increase such electrical isolation.

Returning to FIG. 2, layers the silicon oxide and polysilicon can optically and electrically isolate the adjacent pixels, as well as function to trap light within the pixel. While any thicknesses capable of forming such a reflector are considered to be within the

SAMSUNG EX. 1002 - 20/2862

present scope, layer 216 can have a thickness in the range of from about 50 nm to about 500 nm. Layer 118 can have a thickness in the range of from about 5 nm to about 100 nm. Thus, the difference in refractive indexes and thickness can determine the intensity of the internal reflection of electromagnetic radiation. Notably, other materials such as metals, as well as other material not listed herein can be used to increase internal reflection of the light.

It is noted that, for the purposes of the present disclosure, in one aspect a low refractive index material can have a refractive index of less than about 2.1. In the case of the sandwiched materials, the two low refractive index materials can be the same or different materials having a refractive index of less than about 2.1. Non-limiting examples of low refractive index materials can include oxides, nitrides, oxynitrides, gasses, at least a partial vacuums, and the like, including appropriate combinations thereof. Non-limiting specific examples of such materials can include silicon oxide, silicon nitride, silicon oxynitride, and the like, including combinations thereof. Additionally, a high K dielectric material can also make a suitable low reflective index material due to their low refractive index properties and good dielectric properties, and as such, are considered to be within the present scope. One example is Hafnium oxide, which has a refractive index of about 1.9. Other examples of high K dielectrics include hafnium silicate, zirconium silicate, zirconium dioxide, and the like.

Additionally, in another aspect a high refractive index material can include a material having a refractive index of greater than or equal to about 2.1. Thus, in the case of the sandwiched materials, the high refractive index material disposed between the low refractive index materials has a refractive index of about 2.1 or greater. Non-limiting examples of high refractive index materials can include polycrystalline silicon, amorphous silicon, single crystal silicon, multicrystalline silicon, nanocrystalline silicon, germanium, and the like, including appropriate combinations thereof.

In still another aspect of the present disclosure, a photosensitive imager having at least two pixels (302 and 304) and at least one trench isolation region 314 is shown in FIG. 3. The pixels can include a semiconductor substrate 306, having a first and second surface, 320 and 322 respectively; at least two doped regions 308 and 310, and a textured region 312 formed at least on the opposite side of the light incident surface (i.e. the

SAMSUNG EX. 1002 - 21/2862

second side 322). The textured region 312 can have surface features configured to reflect and disperse light. Further, the sidewalls can include a texture region 312 to increase the internal reflections of light. Regarding the isolation element 314 in FIG. 3, the isolation element can include several layers of materials that can passivate the sidewalls and each have a different index of refraction, as was described in FIG. 2. Further, a textured region 312 can be formed on the side walls of the isolation element(s) 314.

The present disclosure additionally provides pixels and imager devices, including imager arrays, which trap light therewithin. In one aspect as is shown in FIG. 4, for example, a light trapping pixel device can include a light sensitive pixel or device 402 having a light incident surface 420, a backside surface 422 opposite the light incident surface 420, and a peripheral sidewall 424 disposed into at least a portion of the pixel 402 and extending at least substantially around the pixel periphery. It is noted that the pixel sidewall is also known as a trench. The pixel can also include a backside light trapping material 426 substantially covering, partially covering, or completely covering the backside surface 422. A peripheral light trapping material 428 can be substantially covering, partially covering, or completely covering the peripheral sidewall 424. As such, light contacting the backside light trapping material 426 or the peripheral light trapping material 428 is reflected back toward the pixel 402. Also shown in FIG. 4 are at least two doped regions 408 and 410 and an optional textured region 412. It is noted that, in addition to a single pixel as shown, pixel arrays are also contemplated and are to be included in the present scope.

The light trapping materials of FIG. 4 can be as described above, either single or multiple layer structures. In one aspect, for example, at least one of the backside light trapping material 426 and the peripheral light trapping material 428 includes a high refractive index material sandwiched between two low refractive index materials. In another aspect, the backside light trapping material 426 and the peripheral light trapping material 428 includes a high refractive index material sandwiched between two low refractive index materials. It is noted that these light trapping materials are shown in FIG. 4 as a single layer for clarity, and that multiple layers are contemplated. Furthermore, the peripheral sidewall can extend for a portion, a substantial portion, or completely around the pixel periphery. Additionally, as has been described herein, the

SAMSUNG EX. 1002 - 22/2862

peripheral sidewall can extend partially into the pixel, substantially through the pixel, or completely through the pixel to the backside surface. Thus, both deep and shallow trenches are contemplated.

In another aspect, as is shown in FIG. 5, a pixel 502 can include a frontside light trapping material 530 that at least partially covers, substantially covers, or completely covers the light incident surface 520. The frontside light trapping material 530 can be multiple layer of materials have a variety of properties and uses, including passivation, antireflection, light trapping, and the like, including combinations thereof. Note that numerical indicators in FIG. 5 from previous figures are intended to reflect the previous descriptions for those elements, and as such, reference is made to FIG. 4.

In another aspect, as is shown in FIG. 6, a pixel 602 can include a frontside light trapping material 632 associated with the light incident surface 620 that is an internal reflective layer having an aperture 634 to allow entry of light 690 into the pixel 602. The frontside light trapping material 632 is thus operable to reflect light impinging thereupon from inside the pixel 602 back into the pixel. Additionally, in some aspects a lens 636 can be functionally coupled to the aperture 634 to focus incident light 690 through the aperture 634 and into the pixel 602. The effective surface area of the aperture compared to the frontside surface area of the pixel can vary depending on the design of the device and the presence, absence, or particular properties of a lens. In one aspect, however, the aperture can be large enough to accept and trap incoming light to a degree that increases the efficiency of the pixel. In one specific aspect, the aperture has an effective surface area of less than about 90% of the incident light surface total surface area. It is noted that various elements such as the doped regions and the optional textured layer are not shown in FIG. 6 for clarity. Furthermore, numerical indicators in FIG. 6 from previous figures are intended to reflect the previous descriptions for those elements, and as such, reference is made to FIG. 4.

The frontside light trapping material can be made of a variety of materials including metals as have been described herein with respect to other light trapping materials. As such, any material that can be applied to the light incident surface and that is internally reflective toward the inside of the pixel is considered to be within the present scope. Thus, the aforementioned pixel is reflective on 6 internal sides, and as such, light

SAMSUNG EX. 1002 - 23/2862

entering the pixel that is not absorbed will interact with and be reflected internally be either the backside, peripheral sidewall, or frontside light trapping materials. Light is thus effectively maintained inside the pixel until it is absorbed.

In another aspect of the present disclosure, a method of making a light trapping pixel device is provided. Such a method can include, as is shown in FIG. 7, 702 forming a pixel by: 704 forming a backside light trapping material on a semiconductor layer, the backside light trapping material including a high refractive index material sandwiched between two low refractive index materials, and 706 forming a pixel device layer on the semiconductor layer opposite the light trapping material. The method can additionally include 708 etching a trench circumscribing the pixel device layer and 710 filling the trench with a light trapping material. Further details regarding the wafer bonding and wafer-bonded structures described can be found in copending US Application Serial No. 13/069,135, filed on March 22, 2011, which is incorporated herein by reference.

The formation of the backside light trapping material can be accomplished by a variety of techniques, all of which are considered to be within the present scope. In one aspect, for example, depositing a first low refractive index material onto the semiconductor layer, bonding the first low refractive index material to a high refractive index material having a second low refractive index material coupled thereto such that the high refractive index material is sandwiched in between the first and second low refractive index materials. In some cases the second low refractive index material can be coupled to a carrier wafer. In another aspect, the first low refractive index can be deposited onto the semiconductor layer followed by deposition of the high refractive index material and then the second low refractive index material. In another aspect, the layered structure can be formed on a carrier wafer, and the outermost low refractive index material can then be bonded to the semiconductor layer. The carrier wafer can then be optionally removed. In yet another aspect, the first refractive index material can be deposited onto the semiconductor layer, the second refractive index material can be deposited onto a carrier wafer, and the high refractive index material can be deposited onto either the first or second refractive index material, followed by bonding of the structure together.

SAMSUNG EX. 1002 - 24/2862

As has been described, the trench can be a shallow trench or a deep trench. In one aspect, however, etching the trench circumscribing the pixel device layer can further include etching the trench to a depth that contacts at least the first low refractive index material. Furthermore, the method can also include applying an incident light trapping material to the pixel device layer.

In some aspects the various trenches can be filled with a material, or they can be gas filled or have a partial vacuum applied thereto. For those aspects whereby the trenches will be filled in with a non-gas material, a variety of deposition techniques are contemplated and all are considered to be within the present scope. In one aspect, however, the trench can be filled with a high refractive index material and a low refractive index material in a sandwich structure as has been described. In one exemplary technique, the filling of the trench with such light trapping material can include depositing a low refractive index material into the trench to fill a portion of the trench from the trench walls inward, ceasing deposition of the low refractive index material to leave an internal space within the trench, and depositing a high refractive index material into the trench to fill the internal space. As such, the sandwiched layer of low-high-low refractive index materials is thus created in the trench.

In another aspect, the method can also include forming a textured region on at least a portion of the semiconductor layer between the semiconductor layer and the first low refractive index prior to depositing the first low refractive index material onto the semiconductor layer. Non-limiting examples of texture formation techniques can include plasma etching, reactive ion etching, porous silicon etching, lasing, chemical etching, nanoimprinting, material deposition, selective epitaxial growth, and combinations thereof. In one specific aspect, the textured region includes laser texturing.

A device design having a textured region located on, for example, the back surface of a photodetector, provides significant performance benefits. The textured region can have surface features that can lead to higher recombination of photocarriers for short wavelengths (e.g. in the blue green part of the spectrum) due to the very shallow penetration of those wavelengths into the detecting volume of the device. By physically locating the textured on the back surface of the device, a pristine surface is provided for the collection of short wavelengths on the top surface (i.e. the light incident surface), and

SAMSUNG EX. 1002 - 25/2862

the longer wavelengths that penetrate deep into or through the detecting region of the semiconductor material are collected by or with the help of the textured region opposite the light incident surface.

The textured region can be of various thicknesses, depending on the desired use of the material. In one aspect, for example, the textured region has a thickness of from about 500 nm to about 100 μm. In another aspect, the textured region has a thickness of from about 500 nm to about 15 μm. In yet another aspect, the textured region has a thickness of from about 500 nm to about 2 μm. In a further aspect, the textured region has a thickness of from about 500 nm to about 1 μm. In another aspect, the textured region has a thickness of from about 200 nm to about 2 μm.

The textured region can function to diffuse electromagnetic radiation, to redirect electromagnetic radiation, and/or to absorb electromagnetic radiation, thus increasing the quantum efficiency of the device. The textured region can include surface features to further increase the effective absorption length of the device. Non-limiting examples of shapes and configurations of surface features include cones, pillars, pyramids, micolenses, quantum dots, inverted features, gratings, protrusions, sphere-like structures, and the like, including combinations thereof. Additionally, surface features can be micron-sized, nano-sized, or a combination thereof. For example, cones, pyramids, protrusions, and the like can have an average height within this range. In one aspect, the average height would be from the base of the feature to the distal tip of the feature. In another aspect, the average height would be from the surface plane upon which the feature was created to the distal tips of the feature. In one specific aspect, a feature (e.g. a cone) can have a height of from about 50 nm to about 2 μm. As another example, quantum dots, microlenses, and the like can have an average diameter within the micron-sized and/or nano-sized range.

In addition to or instead of surface features, the textured region can include a textured film layer. In one aspect, for example, the textured region can include a substantially conformal textured film layer. Such a textured film layer can have an average thickness of from about 1 nm to about 20 μm. In those aspects where the textured region includes surface features, the conformal textured film layer can have a varying thickness relative to the location on the surface features upon which is deposited.

SAMSUNG EX. 1002 - 26/2862

In the case of cones, for example, the conformal textured film layer can become thinner toward the tips of the cones. Such a conformal film layer can include various materials, including, without limitation, SiO_2, Si_3N_4, amorphous silicon, polysilicon, a metal or metals, and the like, including combinations thereof. The conformal textured film layer can also be one or more layers of the same or different materials, and can be formed during the creation of surface features or in a separate process.

Textured regions according to aspects of the present disclosure can allow a photosensitive device to experience multiple passes of incident electromagnetic radiation within the device, particularly at longer wavelengths (i.e. infrared). Such internal reflection increases the effective absorption length to be greater than the thickness of the semiconductor layer. This increase in absorption length increases the quantum efficiency of the device, leading to an improved signal to noise ratio.

The texturing process can texture the entire substrate to be processed or only a portion of the substrate. In one aspect, for example, a substrate such as the semiconductor layer can be textured and patterned by an appropriate technique over an entire surface to form the texture region. In another aspect, a substrate such as the semiconductor layer can be textured and patterned across only a portion of a surface by using a selective etching technique, such as a mask, photolithography, and an etch or a laser process to define a specific structure or pattern.

In addition to surface features, the textured region can have a surface morphology that is designed to focus or otherwise direct electromagnetic radiation. For example, in one aspect the textured region has a surface morphology operable to direct electromagnetic radiation into the semiconductor layer. Non-limiting examples of various surface morphologies include sloping, pyramidal, inverted pyramidal, spherical, square, rectangular, parabolic, asymmetric, symmetric, and the like, including combinations thereof.

The textured region, including surface features as well as surface morphologies, can be formed by various techniques, including plasma etching, reactive ion etching, porous silicon etching, lasing, chemical etching (e.g. anisotropic etching, isotropic etching), nanoimprinting, material deposition, selective epitaxial growth, and the like.

SAMSUNG EX. 1002 - 27/2862

One effective method of producing a textured region is through laser processing. Such laser processing allows discrete target areas of a substrate to be textured, as well as entire surfaces. A variety of techniques of laser processing to form a textured region are contemplated, and any technique capable of forming such a region should be considered to be within the present scope. Laser treatment or processing can allow, among other things, enhanced absorption properties and thus increased electromagnetic radiation focusing and detection.

In one aspect, for example, a target region of the substrate to be textured can be irradiated with laser radiation to form a textured region. Examples of such processing have been described in further detail in U.S. Patents 7,057,256, 7,354,792 and 7,442,629, which are incorporated herein by reference in their entireties. Briefly, a surface of a substrate material is irradiated with laser radiation to form a textured or surface modified region. Such laser processing can occur with or without a dopant material. In those aspects whereby a dopant is used, the laser can passed through a dopant carrier and onto the substrate surface. In this way, dopant from the dopant carrier is introduced into the target region of the substrate material. Such a region incorporated into a substrate material can have various benefits in accordance with aspects of the present disclosure. For example, the textured region typically has a textured surface that increases the surface area and increases the probability of radiation absorption. In one aspect, such a textured region is a substantially textured surface including micron-sized and/or nano-sized surface features that have been generated by the laser texturing. In another aspect, irradiating the surface of a substrate material includes exposing the laser radiation to a dopant such that irradiation incorporates the dopant into the substrate. Various dopant materials are known in the art, and are discussed in more detail herein.

Thus the surface of the substrate at the target region is thus chemically and/or structurally altered by the laser treatment, which may, in some aspects, result in the formation of surface features appearing as structures or patterned areas on the surface and, if a dopant is used, the incorporation of such dopants into the substrate material. In some aspects, the features or structures can be on the order of 50 nm to 20 μm in size and can assist in the absorption of electromagnetic radiation. In other words, the textured surface can increase the probability of incident radiation being absorbed.

SAMSUNG EX. 1002 - 28/2862

A variety of semiconductor materials are contemplated for use with the pixel devices and methods according to aspects of the present disclosure. Such materials can be utilized as the semiconductor layer and/or the semiconductor substrate, as well as for the secondary semiconductor layer and the epitaxially grown semiconductor layer. Non-limiting examples of such semiconductor materials can include group IV materials, compounds and alloys comprised of materials from groups II and VI, compounds and alloys comprised of materials from groups III and V, and combinations thereof. More specifically, exemplary group IV materials can include silicon, carbon (e.g. diamond), germanium, and combinations thereof. Various exemplary combinations of group IV materials can include silicon carbide (SiC) and silicon germanium (SiGe). In one specific aspect, the semiconductor material can be or include silicon. Exemplary silicon materials can include amorphous silicon (a-Si), microcrystalline silicon, multicrystalline silicon, and monocrystalline silicon, as well as other crystal types. In another aspect, the semiconductor material can include at least one of silicon, carbon, germanium, aluminum nitride, gallium nitride, indium gallium arsenide, aluminum gallium arsenide, and combinations thereof.

Exemplary combinations of group II-VI materials can include cadmium selenide (CdSe), cadmium sulfide (CdS), cadmium telluride (CdTe), zinc oxide (ZnO), zinc selenide (ZnSe), zinc sulfide (ZnS), zinc telluride (ZnTe), cadmium zinc telluride (CdZnTe, CZT), mercury cadmium telluride (HgCdTe), mercury zinc telluride (HgZnTe), mercury zinc selenide (HgZnSe), and combinations thereof.

Exemplary combinations of group III-V materials can include aluminum antimonide (AlSb), aluminum arsenide (AlAs), aluminum nitride (AlN), aluminum phosphide (AlP), boron nitride (BN), boron phosphide (BP), boron arsenide (BAs), gallium antimonide (GaSb), gallium arsenide (GaAs), gallium nitride (GaN), gallium phosphide (GaP), indium antimonide (InSb), indium arsenide (InAs), indium nitride (InN), indium phosphide (InP), aluminum gallium arsenide (AlGaAs, $Al_xGa_{1-x}As$), indium gallium arsenide (InGaAs, $In_xGa_{1-x}As$), indium gallium phosphide (InGaP), aluminum indium arsenide (AlInAs), aluminum indium antimonide (AlInSb), gallium arsenide nitride (GaAsN), gallium arsenide phosphide (GaAsP), aluminum gallium nitride (AlGaN), aluminum gallium phosphide (AlGaP), indium gallium nitride (InGaN),

SAMSUNG EX. 1002 - 29/2862

indium arsenide antimonide (InAsSb), indium gallium antimonide (InGaSb), aluminum gallium indium phosphide (AlGaInP), aluminum gallium arsenide phosphide (AlGaAsP), indium gallium arsenide phosphide (InGaAsP), aluminum indium arsenide phosphide (AlInAsP), aluminum gallium arsenide nitride (AlGaAsN), indium gallium arsenide nitride (InGaAsN), indium aluminum arsenide nitride (InAlAsN), gallium arsenide antimonide nitride (GaAsSbN), gallium indium nitride arsenide antimonide (GaInNAsSb), gallium indium arsenide antimonide phosphide (GaInAsSbP), and combinations thereof.

The semiconductor material can be of any thickness that allows the desired property or functionality of the semiconductor device, and thus any such thickness of semiconductor material is considered to be within the present scope. The textured region can increase the efficiency of the device such that, in some aspects, the semiconductor material can be thinner than has previously been possible. Decreasing the thickness reduces the amount of semiconductor material used to make such a device. In one aspect, for example, a semiconductor material such as the semiconductor layer has a thickness of from about 500 nm to about 50 μm. In another aspect, the semiconductor material has a thickness of less than or equal to about 500 μm. In yet another aspect, the semiconductor material has a thickness of from about 1 μm to about 10 μm. In a further aspect, the semiconductor material can have a thickness of from about 5 μm to about 750 μm. In yet a further aspect, the semiconductor material can have a thickness of from about 5 μm to about 100 μm.

Additionally, various configurations of semiconductor materials are contemplated, and any such material configuration that can be incorporated into a semiconductor device is considered to be within the present scope. In one aspect, for example, the semiconductor material can include monocrystalline materials. In another aspect, the semiconductor material can include multicrystalline materials. In yet another aspect, the semiconductor material can include microcrystalline materials. It is also contemplated that the semiconductor material can include amorphous materials.

As has been described, the semiconductor substrate can be of any size, shape, and material capable of supporting the semiconductor layer and associated components during manufacture and/or use. The semiconductor substrate can be made from various

SAMSUNG EX. 1002 - 30/2862

materials, including the semiconductor materials described above, as well as non-semiconductor materials. Non-limiting examples of such materials can include metals, polymeric materials, ceramics, glass, and the like. In some aspects, the semiconductor substrate and the semiconductor layer have the same or substantially the same thermal expansion properties.

Furthermore, the semiconductor material according to aspects of the present disclosure can comprise multiple layers. In some aspects, layers can vary in majority carrier polarity (i.e. donor or acceptor impurities). The donor or acceptor impurities are typically determined by the type of dopant/impurities introduced into the device either through a growth process, deposition process, epitaxial process, implant process, lasing process or other known process to those skilled in the art. In some aspects such semiconductor materials can include an n-type layer, an intrinsic (i-type) layer, and a p-type layer, thus forming a p-i-n semiconductor material stack that creates a junction and/or depletion region. A semiconductor material devoid of an i-type layer is also contemplated in accordance with the present disclosure. In other aspects the semiconductor material may include multiple junctions. Additionally, in some aspects, variations of n(--), n(-), n(+), n(++), p(--), p(-), p(+), or p(++) type semiconductor layers can be used. The minus and positive signs are indicators of the relative magnitude of the doping of the semiconductor material.

A variety of dopant materials are contemplated for both the formation of doped regions in the semiconductor layer and for doping of the textured region, and any dopant that can be used in such processes to modify a material is considered to be within the present scope. It should be noted that the particular dopant utilized can vary depending on the material being doped, as well as the intended use of the resulting material.

A dopant can be either a charge donating or a charge accepting dopant species. More specifically, an electron donating or a hole donating species can cause a region to become more positive or negative in polarity as compared to the substrate upon which the rests. In one aspect, for example, the doped region can be p-doped. In another aspect the doped region can be n-doped.

In one aspect, non-limiting examples of dopant materials can include S, F, B, P, N, As, Se, Te, Ge, Ar, Ga, In, Sb, and combinations thereof. It should be noted that the

SAMSUNG EX. 1002 - 31/2862

scope of dopant materials should include, not only the dopant materials themselves, but also materials in forms that deliver such dopants (i.e. dopant carriers). For example, S dopant materials includes not only S, but also any material capable being used to dope S into the target region, such as, for example, H_2S, SF_6, SO_2, and the like, including combinations thereof. In one specific aspect, the dopant can be S. Sulfur can be present at an ion dosage level of from about 5×10^{14} to about 3×10^{20} ions/cm^2. Non-limiting examples of fluorine-containing compounds can include ClF_3, PF_5, F_2 SF_6, BF_3, GeF_4, WF_6, SiF_4, HF, CF_4, CHF_3, CH_2F_2, CH_3F, C_2F_6, C_2HF_5, C_3F_8, C_4F_8, NF_3, and the like, including combinations thereof. Non-limiting examples of boron-containing compounds can include $B(CH_3)_3$, BF_3, BCl_3, BN, $C_2B_{10}H_{12}$, borosilica, B_2H_6, and the like, including combinations thereof. Non-limiting examples of phosphorous-containing compounds can include PF_5, PH_3, $POCl_3$, P_2O_5, and the like, including combinations thereof. Non-limiting examples of chlorine-containing compounds can include Cl_2, SiH_2Cl_2, HCl, $SiCl_4$, and the like, including combinations thereof. Dopants can also include arsenic-containing compounds such as AsH_3 and the like, as well as antimony-containing compounds. Additionally, dopant materials can include mixtures or combinations across dopant groups, i.e. a sulfur-containing compound mixed with a chlorine-containing compound. In one aspect, the dopant material can have a density that is greater than air. In one specific aspect, the dopant material can include Se, H_2S, SF_6, or mixtures thereof. In yet another specific aspect, the dopant can be SF_6 and can have a predetermined concentration range of about 5.0×10^{-8} mol/cm^3 to about 5.0×10^{-4} mol/cm^3. As one non-limiting example, SF_6 gas is a good carrier for the incorporation of sulfur into a substrate via a laser process without significant adverse effects on the material. Additionally, it is noted that dopants can also be liquid solutions of n-type or p-type dopant materials dissolved in a solution such as water, alcohol, or an acid or basic solution. Dopants can also be solid materials applied as a powder or as a suspension dried onto the wafer.

In another aspect, the band structure optimization can be realized by forming a heterojunction along a modified semiconductor interface. For example, a layer of amorphous silicon can be deposited on the textured region interface, thus forming a heterojunction that bends the minority carrier band towards the desired energy direction.

SAMSUNG EX. 1002 - 32/2862

CLAIMS

What is claimed is:

1. A light trapping device, comprising:

at least one light sensitive pixel having a light incident surface, a backside surface opposite the light incident surface, and a peripheral sidewall disposed into at least a portion of the pixel and extending at least substantially around the pixel periphery;

a backside light trapping material substantially covering the backside surface; and

a peripheral light trapping material substantially covering the peripheral sidewall;

wherein light contacting the backside light trapping material or the peripheral light trapping material is reflected back toward the pixel.

2. The device of claim 1, wherein at least one of the backside light trapping material and the peripheral light trapping material includes a high refractive index material sandwiched between two low refractive index materials.

3. The device of claim 1, wherein the backside light trapping material and the peripheral light trapping material includes a high refractive index material sandwiched between two low refractive index materials.

4. The device of claim 3, wherein the two low refractive index materials have a refractive index of less than about 2.1.

5. The device of claim 4, wherein at least one of the two low refractive index material includes a member selected from the group consisting of an oxide, a nitride, oxynitrides, a gas, at least a partial vacuum, and combinations thereof.

6. The device of claim 4, wherein the at least one of the two low refractive index materials includes a member selected from the group consisting of silicon oxide, silicon nitride, silicon dioxide, and combinations thereof.

SAMSUNG EX. 1002 - 33/2862

7. The device of claim 3, wherein the high refractive index material includes a material having a refractive index of greater than or equal to about 2.1.

8. The device of claim 7, wherein the high refractive index material includes a member selected from the group consisting of polycrystalline silicon, amorphous silicon, single crystal silicon, multicrystalline silicon, nanocrystalline silicon, germanium, and combinations thereof.

9. The device of claim 2, wherein at least one of the two low refractive index materials is doped with a dopant to create a surface field.

10. The device of claim 9, wherein the dopant is boron or antimony.

11. The device of claim 1, wherein at least one of the backside light trapping material and the peripheral light trapping material includes a first material sandwiched between two second materials, wherein the first material has a higher refractive index as compared to the two second materials, and wherein the difference in refractive index between the first material and the two second materials is at least 0.2.

12. The device of claim 1, wherein the peripheral sidewall extends completely around the pixel periphery.

13. The device of claim 1, wherein the peripheral sidewall extends from the light incident surface to the backside surface.

14. The device of claim 1, further comprising a frontside light trapping material at least partially covering the light incident surface.

15. The device of claim 14, wherein the frontside light trapping material is an antireflective layer coating.

SAMSUNG EX. 1002 - 34/2862

16. The device of claim 14, wherein the frontside light trapping material is a reflective layer having an aperture to allow entry of light into the pixel, wherein the reflective layer is operable to reflect light impinging thereupon from inside the pixel back into the pixel.

17. The device of claim 16, further comprising a lens functionally coupled to the aperture and operable to focus incident light through the aperture and into the pixel.

18. The device of claim 16, wherein the aperture has an effective surface area of _____ % of the incident light surface total surface area.

19. The device of claim 1, wherein at least one of the backside light trapping material and the peripheral light trapping material is a metal layer.

20. The device of claim 1, wherein at least one of the backside light trapping material and the peripheral light trapping material has a sloped surface at the pixel device interface.

21. The device of claim 1, further comprising a textured layer positioned to interact with light proximal to the backside surface.

22. The device of claim 21, wherein the textured layer is located between the backside surface and the backside light trapping material.

23. An array of light trapping pixel devices of claim 1.

24. A substantially light trapping device, comprising:

at least one light sensitive pixel having a light incident surface, a backside surface opposite the light incident surface, and a peripheral sidewall extending from the light incident surface to the backside surface and extending around the pixel periphery;

a backside light trapping material substantially covering the backside surface;

SAMSUNG EX. 1002 - 35/2862

a peripheral light trapping material substantially covering the peripheral sidewall; and

an internally reflective frontside light trapping material covering at least a portion of the light incident surface operable allow entrance of light into the pixel and operable to reflect light impinging thereupon from inside the pixel back into the pixel, and wherein light contacting the backside light trapping material or the peripheral light trapping material is reflected back toward the pixel.

25. The device of claim 24, wherein the internally reflective frontside light trapping material includes an aperture to allow entry of light into the pixel.

26. The device of claim 25, further comprising a lens functionally coupled to the aperture and operable to focus incident light through the aperture and into the pixel.

27. A method of making a light trapping device, comprising:

forming a pixel by:

forming a backside light trapping material on a semiconductor layer, the backside light trapping material including a high refractive index material sandwiched between two low refractive index materials; and

forming a pixel device layer on the semiconductor layer opposite the light trapping material;

etching a trench circumscribing the pixel device layer; and

filling the trench with a peripheral light trapping material.

28. The method of claim 27, wherein etching the trench circumscribing the pixel device layer can further include etching the trench to a depth that contacts at least the backside light trapping material.

29. The method of claim 27, further comprising applying an incident light trapping material to the pixel device layer.

SAMSUNG EX. 1002 - 36/2862

30. The method of claim 27, wherein filling the trench with the peripheral light trapping material further includes:

depositing a low refractive index material into the trench to fill a portion of the trench from the trench walls inward;

ceasing deposition of the low refractive index material to leave an internal space within the trench; and

depositing a high refractive index material into the trench to fill the internal space.

31. The method of claim 27, further comprising forming a textured region on at least a portion of the semiconductor layer between the semiconductor layer and the backside light trapping material.

32. The method of claim 31, wherein forming the textured region includes a technique selected from the group consisting of plasma etching, reactive ion etching, porous silicon etching, lasing, chemical etching, nanoimprinting, material deposition, selective epitaxial growth, and combinations thereof.

33. The method of claim 32, wherein forming the textured region includes laser texturing.

SAMSUNG EX. 1002 - 37/2862

ABSTRACT OF THE DISCLOSURE

Light trapping pixels, devices incorporating such pixels, and various associated methods are provided. In one aspect, for example, a light trapping pixel device can include a light sensitive pixel having a light incident surface, a backside surface opposite the light incident surface, and a peripheral sidewall disposed into at least a portion of the pixel and extending at least substantially around the pixel periphery. The pixel can also include a backside light trapping material substantially covering the backside surface and a peripheral light trapping material substantially covering the peripheral sidewall. The light contacting the backside light trapping material or the peripheral light trapping material is thus reflected back toward the pixel.

SAMSUNG EX. 1002 - 38/2862

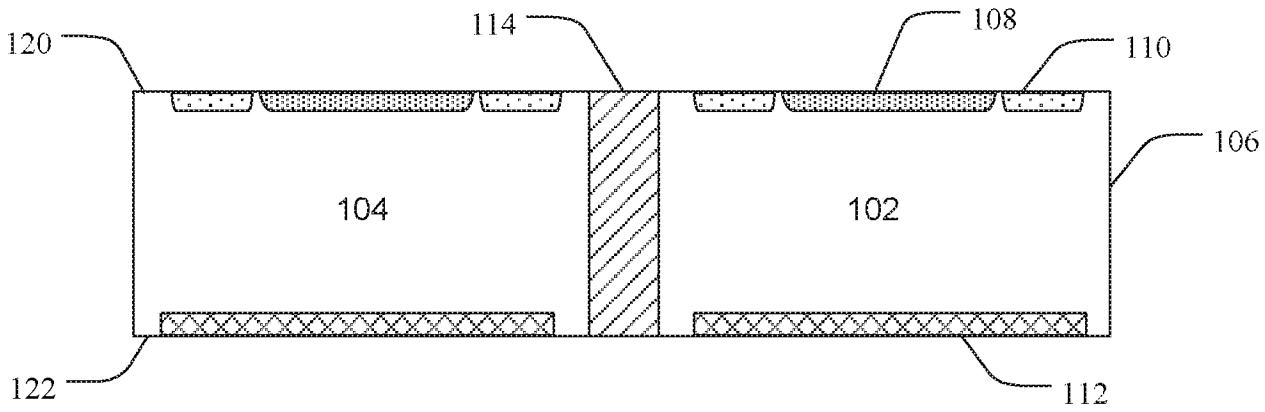

120
114
108
110
106
104
102
122
112

FIG. 1

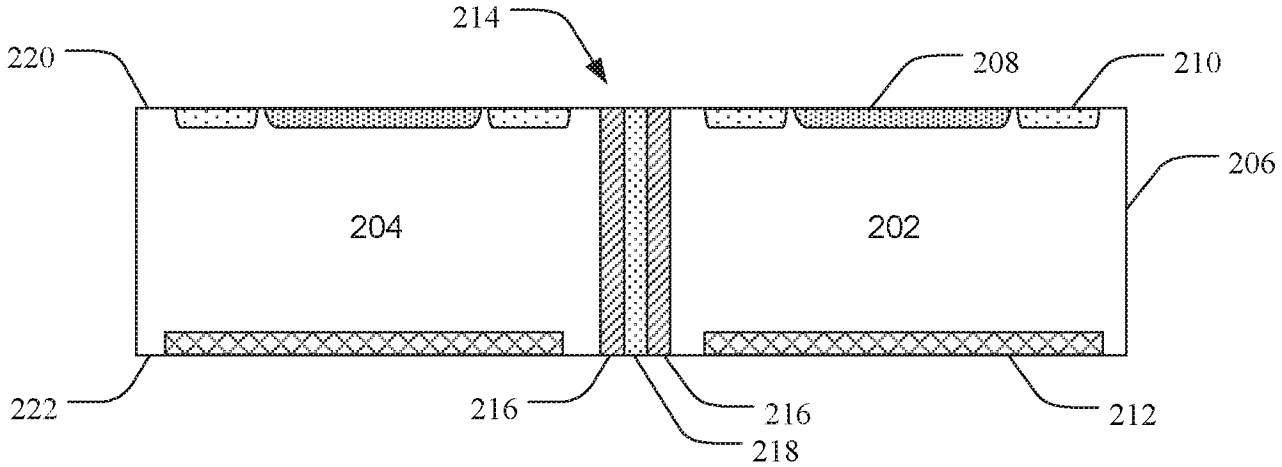

214
220
208
210
206
204
202
222
216
216
218
212

FIG. 2

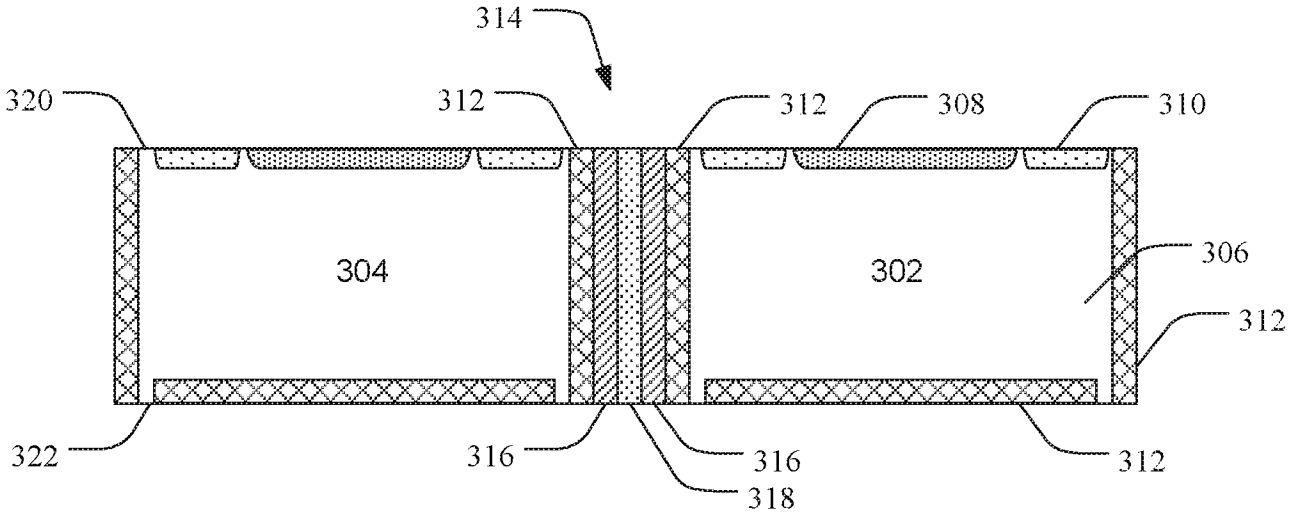


FIG. 3

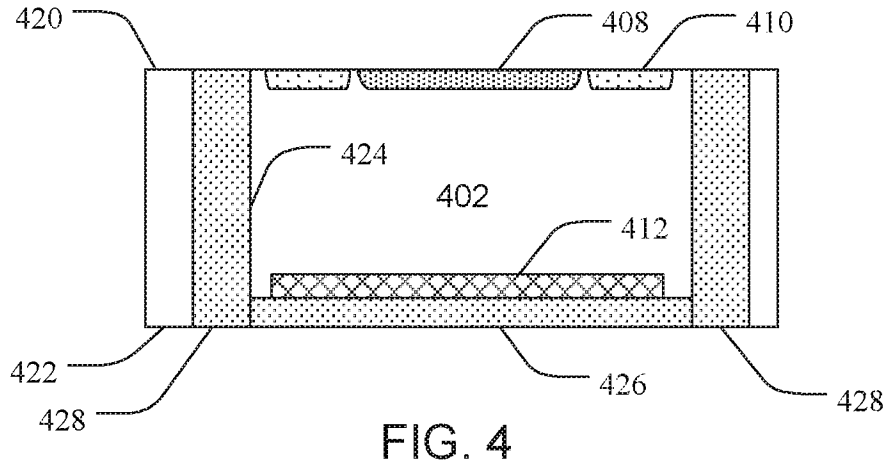


FIG. 4

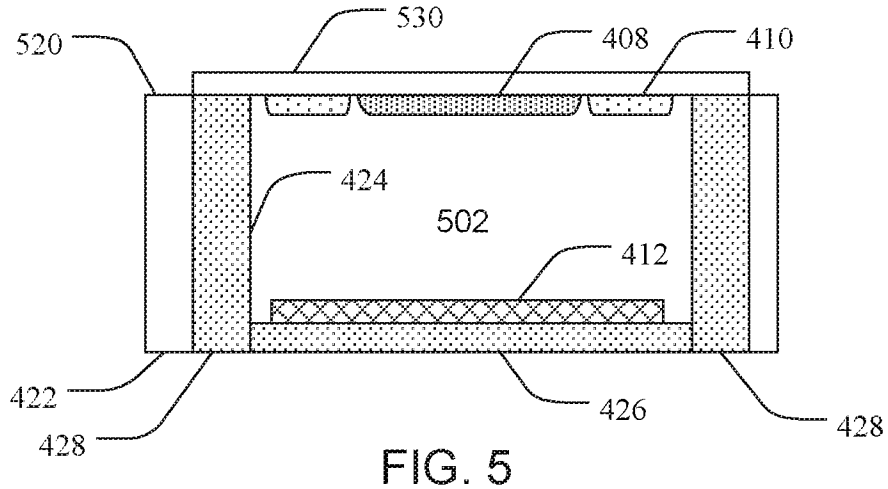


FIG. 5

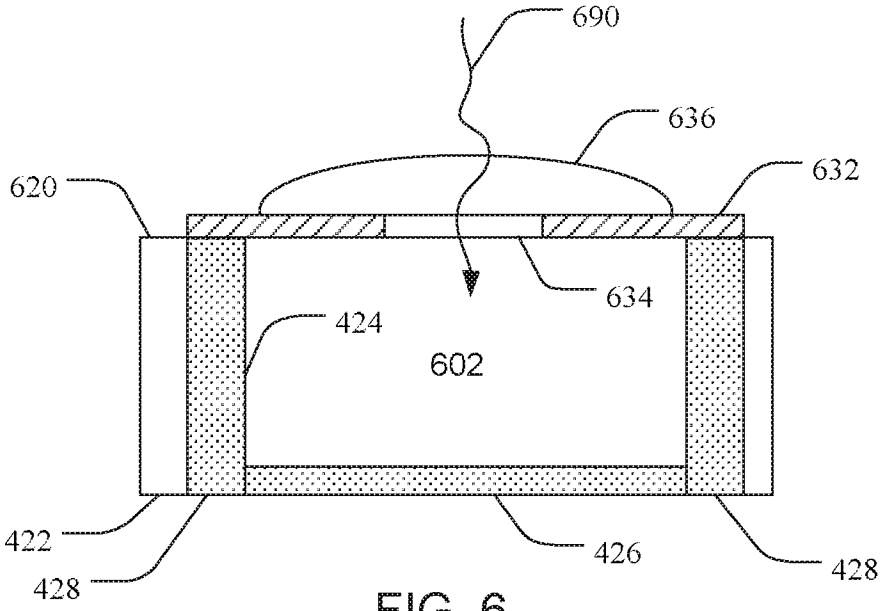


FIG. 6

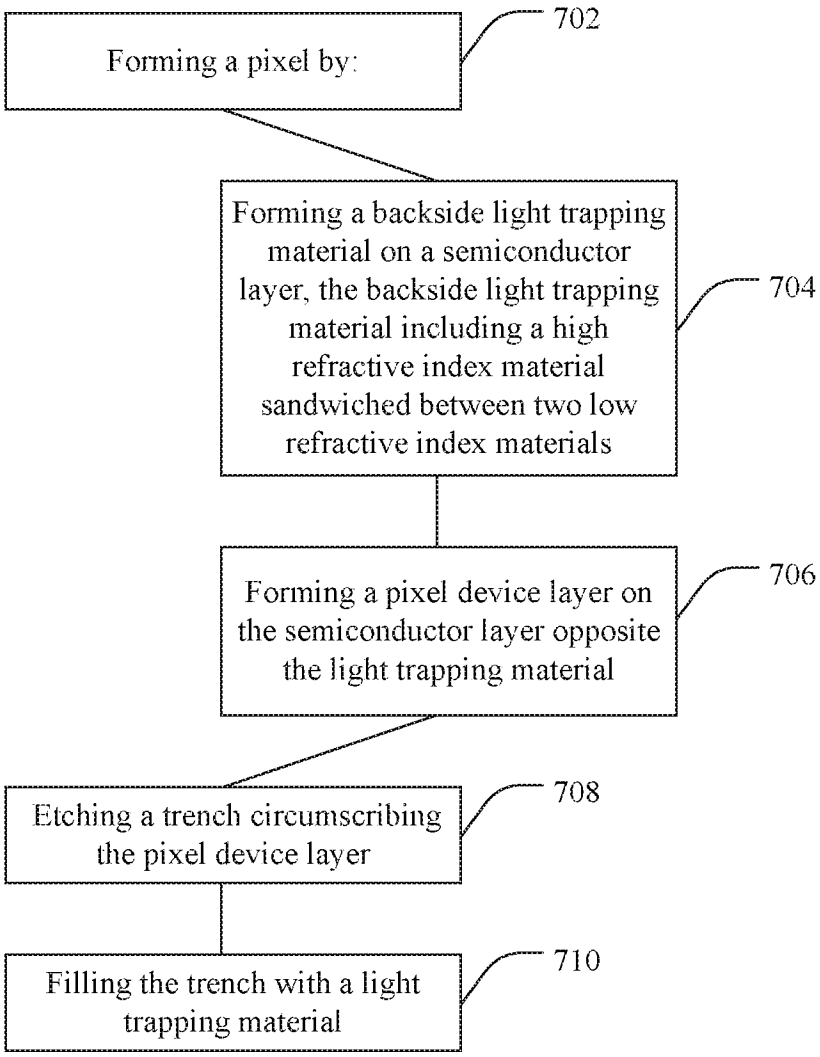

Forming a pixel by:
702
Forming a backside light trapping material on a semiconductor layer, the backside light trapping material including a high refractive index material sandwiched between two low refractive index materials
704
Forming a pixel device layer on the semiconductor layer opposite the light trapping material
706
Etching a trench circumscribing the pixel device layer
708
Filling the trench with a light trapping material
710

FIG. 7

Docket Number: 3035-052.NP

Substitute Form PTO/AIA/01

DECLARATION (37 CFR 1.63) FOR UTILITY OR DESIGN APPLICATION USING AN APPLICATION DATA SHEET (37 CFR 1.76)

Title of Invention	Pixel Isolation Elements, Devices and Associated Methods

As the below named inventor, I hereby declare that:

This declaration Is directed to:

☐ The attached application or,

☑ United States application or PCT international application number 13/841,120

filed on 3/15/2013.

The above-identified application was made or authorized to be made by me.

I have reviewed and understand the contents of the above-identified application, including the claims. I believe that I am the original inventor or an original joint inventor of a claimed invention in the application.

I acknowledge the duty to disclose to the United States Patent and Trademark Office all information known to me to be material to patentability as defined in 37 CFR 1.56, including for continuation-in-part applications, material information which became available between the filing date of the prior application and the national or PCT International filing date of the continuation-in-part application.

I hereby acknowledge that any willful false statement made in this declaration is punishable under 18 U.S.C. 1001 by fine or imprisonment of not more than five (5) years, or both.

LEGAL NAME OF INVENTOR

Inventor: Martin U. Pralle Date (Optional): 4/3/14

Signature:

Note: An application data sheet (PTO/SB/14 or equivalent), including naming the entire inventive entity, must accompany this form. Use an additional PTO/AIA/01 form for each additional inventor.

Docket Number: **3035-052.NP** Substitute Form PTO/AIA/01

DECLARATION (37 CFR 1.63) FOR UTILITY OR DESIGN APPLICATION USING AN APPLICATION DATA SHEET (37 CFR 1.76)

Title of Invention	Pixel Isolation Elements, Devices and Associated Methods

As the below named inventor, I hereby declare that:

This declaration is directed to:

☐ The attached application or,

☑ United States application or PCT international application number 13/841,120 filed on 3/15/2013.

The above-identified application was made or authorized to be made by me.

I have reviewed and understand the contents of the above-identified application, including the claims. I believe that I am the original inventor or an original joint inventor of a claimed invention in the application.

I acknowledge the duty to disclose to the United States Patent and Trademark Office all information known to me to be material to patentability as defined in 37 CFR 1.56, including for continuation-in-part applications, material information which became available between the filing date of the prior application and the national or PCT International filing date of the continuation-in-part application.

I hereby acknowledge that any willful false statement made in this declaration is punishable under 18 U.S.C. 1001 by fine or imprisonment of not more than five (5) years, or both.

LEGAL NAME OF INVENTOR

Inventor: Jeffrey McKee Date (Optional): 4-7-14

Signature: _____

Note: An application data sheet (PTO/SB/14 or equivalent), including naming the entire inventive entity, must accompany this form. Use an additional PTO/AIA/01 form for each additional inventor.

Docket Number: 3035-052.NP

Substitute Form PTO/AIA/01

DECLARATION (37 CFR 1.63) FOR UTILITY OR DESIGN APPLICATION USING AN APPLICATION DATA SHEET (37 CFR 1.76)

Title of Invention	Pixel Isolation Elements, Devices and Associated Methods

As the below named inventor, I hereby declare that:

This declaration is directed to:

☐ The attached application or,

☑ United States application or PCT international application number 13/841,120 filed on 3/15/2013.

The above-identified application was made or authorized to be made by me.

I have reviewed and understand the contents of the above-identified application, including the claims. I believe that I am the original inventor or an original joint inventor of a claimed invention in the application.

I acknowledge the duty to disclose to the United States Patent and Trademark Office all information known to me to be material to patentability as defined in 37 CFR 1.56, including for continuation-in-part applications, material information which became available between the filing date of the prior application and the national or PCT international filing date of the continuation-in-part application.

I hereby acknowledge that any willful false statement made in this declaration is punishable under 18 U.S.C. 1001 by fine or imprisonment of not more than five (5) years, or both.

LEGAL NAME OF INVENTOR

Inventor: Jason Sickler Date (Optional): 4/3/2014

Signature: Jason Sickler

Note: An application data sheet (PTO/SB/14 or equivalent), including naming the entire inventive entity, must accompany this form. Use an additional PTO/AIA/01 form for each additional inventor.

Electronic Patent Application Fee Transmittal

Application Number:	
Filing Date:	
Title of Invention:	PIXEL ISOLATION ELEMENTS, DEVICES, AND ASSOCIATED METHODS
First Named Inventor/Applicant Name:	Martin U. Pralle
Filer:	Reza Mollaaghababa/Jillian Stockel
Attorney Docket Number:	143705.05221

Filed as Large Entity

Filing Fees for Track I Prioritized Examination - Nonprovisional Application under 35 USC 111(a)

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Utility application filing	1011	1	280	280
Utility Search Fee	1111	1	600	600
Utility Examination Fee	1311	1	720	720
Request for Prioritized Examination	1817	1	4000	4000
Pages:				
Claims:				
Miscellaneous-Filing:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Publ. Fee- Early, Voluntary, or Normal	1504	1	0	0
PROCESSING FEE, EXCEPT PROV. APPLS.	1830	1	140	140
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				
Miscellaneous:				
			Total in USD ($)	**5740**

Electronic Acknowledgement Receipt

EFS ID:	26419797
Application Number:	15216244
International Application Number:	
Confirmation Number:	5052
Title of Invention:	PIXEL ISOLATION ELEMENTS, DEVICES, AND ASSOCIATED METHODS
First Named Inventor/Applicant Name:	Martin U. Pralle
Customer Number:	136549
Filer:	Reza Mollaaghababa/Jillian Stockel
Filer Authorized By:	Reza Mollaaghababa
Attorney Docket Number:	143705.05221
Receipt Date:	21-JUL-2016
Filing Date:	
Time Stamp:	16:14:12
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	CARD
Payment was successfully received in RAM	$5740
RAM confirmation Number	072216INTEFSW16173400
Deposit Account	1014
Authorized User	Jillian Stockel

The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	TrackOne Request	Track1Request.pdf	114195 a7ade690c6b3330fbc82f15edada66256664514b	no	2
Warnings:					
Information:					
2	Application Data Sheet	ADS.pdf	1823528 f0fd7298a4da0303a6fb370f62f2faff3fad8b7c	no	9
Warnings:					
Information:					
3		PrelimAmend.pdf	151850 f37acb24567cab72fca7aed8cf394f6d0eae3054	yes	6

	Multipart Description/PDF files in .zip description		
	Document Description	**Start**	**End**
	Preliminary Amendment	1	1
	Specification	2	2
	Claims	3	5
	Applicant Arguments/Remarks Made in an Amendment	6	6

Warnings:					
Information:					
4		Application.pdf	207483 81af94c1214367d3a0a910c2609429c2e2adf978	yes	32

	Multipart Description/PDF files in .zip description		
	Document Description	**Start**	**End**

	Specification		1		26
	Claims		27		31
	Abstract		32		32
Warnings:					
Information:					
5	Drawings-only black and white line drawings	Figures.pdf	65750 073a8337332888f269a9da027e6f9eb03a9bff5d	no	4
Warnings:					
Information:					
6	Oath or Declaration filed	Declarations.pdf	140546 4454d41ac86edc7fd4afce025214660932df26d9	no	3
Warnings:					
Information:					
7	Fee Worksheet (SB06)	fee-info.pdf	40295 832d0db6a46167451600f1dc0753ae1ec56a3db1	no	2
Warnings:					
Information:					
		Total Files Size (in bytes):	2543647		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Doc Code: TRACK1.REQ
Document Description: TrackOne Request

PTO/AIA/424 (04-14)

CERTIFICATION AND REQUEST FOR PRIORITIZED EXAMINATION UNDER 37 CFR 1.102(e) (Page 1 of 1)

First Named Inventor:	Martin U. Pralle	Nonprovisional Application Number (if known):	
Title of Invention:	Pixel Isolation Elements, Devices, and Associated Methods		

APPLICANT HEREBY CERTIFIES THE FOLLOWING AND REQUESTS PRIORITIZED EXAMINATION FOR THE ABOVE-IDENTIFIED APPLICATION.

1. The processing fee set forth in 37 CFR 1.17(i)(1) and the prioritized examination fee set forth in 37 CFR 1.17(c) have been filed with the request. The publication fee requirement is met because that fee, set forth in 37 CFR 1.18(d), is currently $0. The basic filing fee, search fee, and examination fee are filed with the request or have been already been paid. I understand that any required excess claims fees or application size fee must be paid for the application.

2. I understand that the application may not contain, or be amended to contain, more than four independent claims, more than thirty total claims, or any multiple dependent claims, and that any request for an extension of time will cause an outstanding Track I request to be dismissed.

3. The applicable box is checked below:

I. ☑ Original Application (Track One) - Prioritized Examination under § 1.102(e)(1)

i. (a) The application is an original nonprovisional utility application filed under 35 U.S.C. 111(a). This certification and request is being filed with the utility application via EFS-Web.

---OR---

(b) The application is an original nonprovisional plant application filed under 35 U.S.C. 111(a). This certification and request is being filed with the plant application in paper.

ii. An executed inventor's oath or declaration under 37 CFR 1.63 or 37 CFR 1.64 for each inventor, **or** the application data sheet meeting the conditions specified in 37 CFR 1.53(f)(3)(i) is filed with the application.

II. ☐ Request for Continued Examination - Prioritized Examination under § 1.102(e)(2)

i. A request for continued examination has been filed with, or prior to, this form.
ii. If the application is a utility application, this certification and request is being filed via EFS-Web.
iii. The application is an original nonprovisional utility application filed under 35 U.S.C. 111(a), or is a national stage entry under 35 U.S.C. 371.
iv. This certification and request is being filed prior to the mailing of a first Office action responsive to the request for continued examination.
v. No prior request for continued examination has been granted prioritized examination status under 37 CFR 1.102(e)(2).

Signature /Reza Mollaaghababa/	Date July 21, 2016
Name (Print/Typed) Reza Mollaaghababa	Practitioner Registration Number 43810

Note: *This form must be signed in accordance with 37 CFR 1.33. See 37 CFR 1.4(d) for signature requirements and certifications. Submit multiple forms if more than one signature is required.**

☑ *Total of 1 forms are submitted.

Privacy Act Statement

The **Privacy Act of 1974 (P.L. 93-579)** requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (*i.e.*, GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

PTO/AIA/14 (11-15)
Approved for use through 04/30/2017. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	143705.05221
	Application Number	
Title of Invention	Pixel Isolation Elements, Devices and Associated Methods	

The application data sheet is part of the provisional or nonprovisional application for which it is being submitted. The following form contains the bibliographic data arranged in a format specified by the United States Patent and Trademark Office as outlined in 37 CFR 1.76.
This document may be completed electronically and submitted to the Office in electronic format using the Electronic Filing System (EFS) or the document may be printed and included in a paper filed application.

Secrecy Order 37 CFR 5.2:

☐ Portions or all of the application associated with this Application Data Sheet may fall under a Secrecy Order pursuant to 37 CFR 5.2 (Paper filers only. Applications that fall under Secrecy Order may not be filed electronically.)

Inventor Information:

Inventor 1 Remove

Legal Name

Prefix	Given Name	Middle Name	Family Name	Suffix
	Martin	U.	Pralle	

Residence Information (Select One) ● US Residency Non US Residency Active US Military Service

City	State/Province	Country of Residence
Wayland	MA	US

Mailing Address of Inventor:

Address 1	15 Rice Spring Lane
Address 2	
City	Wayland
State/Province	MA
Postal Code	01778
Country	US

Inventor 2 Remove

Legal Name

Prefix	Given Name	Middle Name	Family Name	Suffix
	Jeffrey		McKee	

Residence Information (Select One) ◉ US Residency Non US Residency Active US Military Service

City	State/Province	Country of Residence
Tualatin	OR	US

Mailing Address of Inventor:

Address 1	22850 SW. Eno Place
Address 2	
City	Tualatin
State/Province	OR
Postal Code	97062
Country	US

Inventor 3 Remove

Legal Name

Prefix	Given Name	Middle Name	Family Name	Suffix
	Jason		Sickler	

Residence Information (Select One) ◉ US Residency Non US Residency Active US Military Service

SAMSUNG EX. 1002 - 53/2862

PTO/AIA/14 (11-15)
Approved for use through 04/30/2017. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	143705.05221
	Application Number	
Title of Invention	Pixel Isolation Elements, Devices and Associated Methods	

City	Arlington	State/Province	MA	Country of Residence	US

Mailing Address of Inventor:

Address 1	53 Varnum Street		
Address 2			
City	Arlington	**State/Province**	MA
Postal Code	02474	**Country**	US

All Inventors Must Be Listed - Additional Inventor Information blocks may be generated within this form by selecting the **Add** button. Add

Correspondence Information:

Enter either Customer Number or complete the Correspondence Information section below.
For further information see 37 CFR 1.33(a).

☐ **An Address is being provided for the correspondence Information of this application.**

Customer Number	136549		
Email Address	DocketingBN@pepperlaw.com	Add Email	Remove Email

Application Information:

Title of the Invention	Pixel Isolation Elements, Devices and Associated Methods		
Attorney Docket Number	143705.05221	**Small Entity Status Claimed**	☐
Application Type	Nonprovisional		
Subject Matter	Utility		
Total Number of Drawing Sheets (if any)	4	**Suggested Figure for Publication (if any)**	

Filing By Reference:

Only complete this section when filing an application by reference under 35 U.S.C. 111(c) and 37 CFR 1.57(a). Do not complete this section if application papers including a specification and any drawings are being filed. Any domestic benefit or foreign priority information must be provided in the appropriate section(s) below (i.e., "Domestic Benefit/National Stage Information" and "Foreign Priority Information").

For the purposes of a filing date under 37 CFR 1.53(b), the description and any drawings of the present application are replaced by this reference to the previously filed application, subject to conditions and requirements of 37 CFR 1.57(a).

Application number of the previously filed application	Filing date (YYYY-MM-DD)	Intellectual Property Authority or Country

Publication Information:

☐ Request Early Publication (Fee required at time of Request 37 CFR 1.219)

☐ **Request Not to Publish.** I hereby request that the attached application not be published under 35 U.S.C. 122(b) and certify that the invention disclosed in the attached application **has not and will not** be the subject of an application filed in another country, or under a multilateral international agreement, that requires publication at eighteen months after filing.

PTO/AIA/14 (11-15)
Approved for use through 04/30/2017. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	143705.05221
	Application Number	
Title of Invention	Pixel Isolation Elements, Devices and Associated Methods	

Representative Information:

Representative information should be provided for all practitioners having a power of attorney in the application. Providing this information in the Application Data Sheet does not constitute a power of attorney in the application (see 37 CFR 1.32).
Either enter Customer Number or complete the Representative Name section below. If both sections are completed the customer Number will be used for the Representative Information during processing.

Please Select One:	● Customer Number	US Patent Practitioner	◯ Limited Recognition (37 CFR 11.9)
Customer Number	136549		

Domestic Benefit/National Stage Information:

This section allows for the applicant to either claim benefit under 35 U.S.C. 119(e), 120, 121, 365(c), or 386(c) or indicate National Stage entry from a PCT application. Providing benefit claim information in the Application Data Sheet constitutes the specific reference required by 35 U.S.C. 119(e) or 120, and 37 CFR 1.78.
When referring to the current application, please leave the "Application Number" field blank.

Prior Application Status	Pending		Remove
Application Number	Continuity Type	Prior Application Number	Filing or 371(c) Date (YYYY-MM-DD)
	Continuation of	14747875	2015-06-23
Prior Application Status	Expired		Remove
Application Number	Continuity Type	Prior Application Number	Filing or 371(c) Date (YYYY-MM-DD)
14747875	Continuation of	13841120	2013-03-15
Prior Application Status	Expired		Remove
Application Number	Continuity Type	Prior Application Number	Filing or 371(c) Date (YYYY-MM-DD)
13841120	Claims benefit of provisional	61614275	2012-03-22

Additional Domestic Benefit/National Stage Data may be generated within this form by selecting the **Add** button. Add

Foreign Priority Information:

PTO/AIA/14 (11-15)
Approved for use through 04/30/2017. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	143705.05221
	Application Number	
Title of Invention	Pixel Isolation Elements, Devices and Associated Methods	

This section allows for the applicant to claim priority to a foreign application. Providing this information in the application data sheet constitutes the claim for priority as required by 35 U.S.C. 119(b) and 37 CFR 1.55. When priority is claimed to a foreign application that is eligible for retrieval under the priority document exchange program (PDX)[i] the information will be used by the Office to automatically attempt retrieval pursuant to 37 CFR 1.55(i)(1) and (2). Under the PDX program, applicant bears the ultimate responsibility for ensuring that a copy of the foreign application is received by the Office from the participating foreign intellectual property office, or a certified copy of the foreign priority application is filed, within the time period specified in 37 CFR 1.55(g)(1).

Remove

Application Number	Country[i]	Filing Date (YYYY-MM-DD)	Access Code[i] (if applicable)

Additional Foreign Priority Data may be generated within this form by selecting the **Add** button. Add

Statement under 37 CFR 1.55 or 1.78 for AIA (First Inventor to File) Transition Applications

☐ This application (1) claims priority to or the benefit of an application filed before March 16, 2013 and (2) also contains, or contained at any time, a claim to a claimed invention that has an effective filing date on or after March 16, 2013.
NOTE: By providing this statement under 37 CFR 1.55 or 1.78, this application, with a filing date on or after March 16, 2013, will be examined under the first inventor to file provisions of the AIA.

PTO/AIA/14 (11-15)
Approved for use through 04/30/2017. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	143705.05221
	Application Number	
Title of Invention	Pixel Isolation Elements, Devices and Associated Methods	

Authorization or Opt-Out of Authorization to Permit Access:

When this Application Data Sheet is properly signed and filed with the application, applicant has provided written authority to permit a participating foreign intellectual property (IP) office access to the instant application-as-filed (see paragraph A in subsection 1 below) and the European Patent Office (EPO) access to any search results from the instant application (see paragraph B in subsection 1 below).

Should applicant choose not to provide an authorization identified in subsection 1 below, applicant **must opt-out** of the authorization by checking the corresponding box A or B or both in subsection 2 below.

NOTE: This section of the Application Data Sheet is **ONLY** reviewed and processed with the **INITIAL** filing of an application. After the initial filing of an application, an Application Data Sheet cannot be used to provide or rescind authorization for access by a foreign IP office(s). Instead, Form PTO/SB/39 or PTO/SB/69 must be used as appropriate.

1. Authorization to Permit Access by a Foreign Intellectual Property Office(s)

A. Priority Document Exchange (PDX) - Unless box A in subsection 2 (opt-out of authorization) is checked, the undersigned hereby **grants the USPTO authority** to provide the European Patent Office (EPO), the Japan Patent Office (JPO), the Korean Intellectual Property Office (KIPO), the State Intellectual Property Office of the People's Republic of China (SIPO), the World Intellectual Property Organization (WIPO), and any other foreign intellectual property office participating with the USPTO in a bilateral or multilateral priority document exchange agreement in which a foreign application claiming priority to the instant patent application is filed, access to: (1) the instant patent application-as-filed and its related bibliographic data, (2) any foreign or domestic application to which priority or benefit is claimed by the instant application and its related bibliographic data, and (3) the date of filing of this Authorization. See 37 CFR 1.14(h)(1).

B. Search Results from U.S. Application to EPO - Unless box B in subsection 2 (opt-out of authorization) is checked, the undersigned hereby **grants the USPTO authority** to provide the EPO access to the bibliographic data and search results from the instant patent application when a European patent application claiming priority to the instant patent application is filed. See 37 CFR 1.14(h)(2).

The applicant is reminded that the EPO's Rule 141(1) EPC (European Patent Convention) requires applicants to submit a copy of search results from the instant application without delay in a European patent application that claims priority to the instant application.

2. Opt-Out of Authorizations to Permit Access by a Foreign Intellectual Property Office(s)

☐ A. Applicant **DOES NOT** authorize the USPTO to permit a participating foreign IP office access to the instant application-as-filed. If this box is checked, the USPTO will not be providing a participating foreign IP office with any documents and information identified in subsection 1A above.

☐ B. Applicant **DOES NOT** authorize the USPTO to transmit to the EPO any search results from the instant patent application. If this box is checked, the USPTO will not be providing the EPO with search results from the instant application.

NOTE: Once the application has published or is otherwise publicly available, the USPTO may provide access to the application in accordance with 37 CFR 1.14.

PTO/AIA/14 (11-15)
Approved for use through 04/30/2017. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	143705.05221
	Application Number	
Title of Invention	Pixel Isolation Elements, Devices and Associated Methods	

Applicant Information:

Providing assignment information in this section does not substitute for compliance with any requirement of part 3 of Title 37 of CFR to have an assignment recorded by the Office.

Applicant 1 — Remove

If the applicant is the inventor (or the remaining joint inventor or inventors under 37 CFR 1.45), this section should not be completed. The information to be provided in this section is the name and address of the legal representative who is the applicant under 37 CFR 1.43; or the name and address of the assignee, person to whom the inventor is under an obligation to assign the invention, or person who otherwise shows sufficient proprietary interest in the matter who is the applicant under 37 CFR 1.46. If the applicant is an applicant under 37 CFR 1.46 (assignee, person to whom the inventor is obligated to assign, or person who otherwise shows sufficient proprietary interest) together with one or more joint inventors, then the joint inventor or inventors who are also the applicant should be identified in this section.

Clear

● Assignee	Legal Representative under 35 U.S.C. 117	Joint Inventor
Person to whom the inventor is obligated to assign.	Person who shows sufficient proprietary interest	

If applicant is the legal representative, indicate the authority to file the patent application, the inventor is:

Name of the Deceased or Legally Incapacitated Inventor:

If the Applicant is an Organization check here. ☒

Organization Name	SiOnyx, LLC.		
Mailing Address Information For Applicant:			
Address 1	100 Cummings Ctr., Suite 243-F		
Address 2			
City	Beverly	**State/Province**	MA
Country	US	Postal Code	01915
Phone Number		Fax Number	
Email Address			

Additional Applicant Data may be generated within this form by selecting the Add button. Add

Assignee Information including Non-Applicant Assignee Information:

Providing assignment information in this section does not substitute for compliance with any requirement of part 3 of Title 37 of CFR to have an assignment recorded by the Office.

PTO/AIA/14 (11-15)
Approved for use through 04/30/2017. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	143705.05221
	Application Number	
Title of Invention	Pixel Isolation Elements, Devices and Associated Methods	

Assignee 1

Complete this section if assignee information, including non-applicant assignee information, is desired to be included on the patent application publication. An assignee-applicant identified in the "Applicant Information" section will appear on the patent application publication as an applicant. For an assignee-applicant, complete this section only if identification as an assignee is also desired on the patent application publication.

Remove

If the Assignee or Non-Applicant Assignee is an Organization check here. ☐

Prefix	**Given Name**	Middle Name	**Family Name**	Suffix

Mailing Address Information For Assignee including Non-Applicant Assignee:

Address 1			
Address 2			
City		**State/Province**	
Country i		Postal Code	
Phone Number		Fax Number	
Email Address			

Additional Assignee or Non-Applicant Assignee Data may be generated within this form by selecting the Add button. Add

Signature:

Remove

NOTE: This Application Data Sheet must be signed in accordance with 37 CFR 1.33(b). **However, if this Application Data Sheet is submitted with the INITIAL filing of the application and either box A or B is not checked in subsection 2 of the "Authorization or Opt-Out of Authorization to Permit Access" section, then this form must also be signed in accordance with 37 CFR 1.14(c).**

This Application Data Sheet **must** be signed by a patent practitioner if one or more of the applicants is a **juristic entity** (e.g., corporation or association). If the applicant is two or more joint inventors, this form must be signed by a patent practitioner, **all** joint inventors who are the applicant, or one or more joint inventor-applicants who have been given power of attorney (e.g., see USPTO Form PTO/AIA/81) on behalf of **all** joint inventor-applicants.

See 37 CFR 1.4(d) for the manner of making signatures and certifications.

Signature	/Reza Mollaaghababa/			Date (YYYY-MM-DD)	2016-07-21
First Name	Reza	Last Name	Mollaaghababa	Registration Number	43810

Additional Signature may be generated within this form by selecting the Add button. Add

PTO/AIA/14 (11-15)
Approved for use through 04/30/2017. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	143705.05221
	Application Number	
Title of Invention	Pixel Isolation Elements, Devices and Associated Methods	

This collection of information is required by 37 CFR 1.76. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 23 minutes to complete, including gathering, preparing, and submitting the completed application data sheet form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1 The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these records.

2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.

3 A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.

4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).

5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent CooperationTreaty.

6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).

7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.

8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.

9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

SAMSUNG EX. 1002 - 61/2862

Document code: WFEE

United States Patent and Trademark Office
Sales Receipt for Accounting Date: 08/03/2016

ASAHLE SALE #00000032 Mailroom Dt: 07/21/2016 500436 15216244
01 FC : 1202 480.00 DA

Substitute for Form 1449/PTO				Complete if Known	
				Application No.:	15/216,244
INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Filing Date:	July 21, 2016
				First Named Inventor:	Martin U. Pralle
				Group Art Unit:	TBA
(use as many sheets as necessary)				Examiner Name:	TBA
Sheet	1	of	20	Attorney Docket No.:	143705.05221

U. S. PATENT DOCUMENTS						
Examiner's Initials	**Cite No.**	**U.S. Patent Document** Number Kind Code (if known)	**Name of Patentee or Applicant of Cited Document**	**Date of Publication of Cited Document MM-DD-YYYY**	**Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear**	
	A1	3487223	St. John	12/30/1969		
	A2	3922571	Smith	11/25/1975		
	A3	3973994	Redfield	8/10/1976		
	A4	3994012	Warner, Jr.	11/23/1976		
	A5	4017887	Davies et al.	4/12/1977		
	A6	4149174	Shannon	4/10/1979		
	A7	4176365	Kroger	11/27/1979		
	A8	4201450	Trapani	5/6/1980		
	A9	4242149	King et al.	12/30/1980		
	A10	4253882	Dalal	3/3/1981		
	A11	4277793	Webb	7/7/1981		
	A12	4322571	Stanbery	3/30/1982		
	A13	4419533	Czubatyj et al.	12/6/1983		
	A14	4452826	Shields et al.	6/5/1984		
	A15	4493942	Sheng et al.	1/15/1985		
	A16	4514582	Tiedje et al.	4/30/1985		
	A17	4536608	Sheng et al.	8/20/1985		
	A18	4568960	Petroff et al.	2/4/1986		
	A19	4593303	Dyck et al.	6/3/1986		
	A20	4593313	Nagasaki	6/3/1986		
	A21	4617593	Dudley	10/14/1986		
	A22	4630082	Sakai	12/16/1986		
	A23	4648936	Ashby et al.	3/10/1987		
	A24	4663188	Kane	5/5/1987		
	A25	4672206	Suzuki	6/9/1987		
	A26	4673770	Mandelkorn	6/16/1987		
	A27	4679068	Lillquist et al.	7/7/1987		
	A28	4751571	Lillquist	6/14/1988		
	A29	4775425	Guha et al.	10/4/1988		
	A30	4777490	Sharma et al.	10/11/1988		
	A31	4829013	Yamazaki	5/9/1989		
	A32	4883962	Elliot	11/28/1989		
	A33	4887255	Handa et al.	12/12/1989		
	A34	4894526	Bethea et al.	1/16/1990		
	A35	4910568	Taki, et al.	3/20/1990		
	A36	4910588	Kinoshita, et al.	3/20/1990		
	A37	4964134	Westbrook et al.	10/16/1990		
Examiner Signature				Date Considered		

EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to Applicant.

Substitute for Form 1449/PTO				Complete if Known	
				Application No.:	15/216,244
INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Filing Date:	July 21, 2016
				First Named Inventor:	Martin U. Pralle
				Group Art Unit:	TBA
(use as many sheets as necessary)				Examiner Name:	TBA
Sheet	2	of	20	Attorney Docket No.:	143705.05221

	A38	4965784	Land et al.	10/23/1990		
	A39	4968372	Maass	11/6/1990		
	A40	4999308	Nishiura et al.	3/12/1991		
	A41	5021100	Ishihara et al.	6/4/1991		
	A42	5021854	Huth	6/4/1991		
	A43	5080725	Green et al.	1/14/1992		
	A44	5081049	Green et al.	1/14/1992		
	A45	5100478	Kawabata	3/31/1992		
	A46	5114876	Weiner	5/19/1992		
	A47	5127964	Hamakawa et la.	7/7/1992		
	A48	5164324	Russell et al.	11/17/1992		
	A49	5208822	Haus et al	5/4/1993		
	A50	5223043	Olson et al.	6/29/1993		
	A51	5234790	Lang, et al.	8/10/1993		
	A52	5244817	Hawkins et al.	9/14/1993		
	A53	5296045	Banerjee et al.	3/22/1994		
	A54	5309275	Nishimura et al.	5/3/1994		
	A55	5322988	Russell et al.	6/21/1994		
	A56	5346850	Kaschmitter et al.	9/13/1994		
	A57	5370747	Noguchi et al.	12/6/1994		
	A58	5373182	Norton	12/13/1994		
	A59	5381431	Zayhowski	1/10/1995		
	A60	5383217	Uemura	1/17/1995		
	A61	5390201	Tomono et al.	2/14/1995		
	A62	5413100	Barthelemy et al.	5/9/1995		
	A63	5449626	Hezel	9/12/1995		
	A64	5454347	Shibata et al.	10/3/1995		
	A65	5502329	Pezzani	3/26/1996		
	A66	5523570	Hairston	6/4/1996		
	A67	5559361	Pezzani	9/24/1996		
	A68	5569615	Yamazaki et al.	10/29/1996		
	A69	5578858	Mueller et al.	11/26/1996		
	A70	5580615	Itoh et al.	12/3/1996		
	A71	5589008	Kepper	12/31/1996		
	A72	5589704	Levine	12/31/1996		
	A73	5597621	Hummel et al.	1/18/1997		
	A74	5627081	Tsuo et al.	5/6/1997		
	A75	5640013	Ishikawa, et al.	6/17/1997		
	A76	5641362	Meier	6/24/1997		
	A77	5705413	Harkin et al.	1/6/1998		
	A78	5705828	Noguchi et al.	1/6/1998		
	A79	5708486	Miyawaki et al.	1/13/1998		
	A80	5710442	Watanabe et al.	1/20/1998		
	A81	5714404	Mititsky et al.	2/3/1998		

Examiner Signature		Date Considered	

EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to Applicant.

SAMSUNG EX. 1002 - 64/2862

Substitute for Form 1449/PTO				Complete if Known	
				Application No.:	15/216,244
INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Filing Date:	July 21, 2016
				First Named Inventor:	Martin U. Pralle
				Group Art Unit:	TBA
(use as many sheets as necessary)				Examiner Name:	TBA
Sheet	3	of	20	Attorney Docket No.:	143705.05221

	A82	5731213	Ono	3/24/1998		
	A83	5751005	Wyles et al.	5/12/1998		
	A84	5758644	Diab et el.	6/2/1998		
	A85	5766127	Pologe et al.	6/16/1998		
	A86	5766964	Rohatgi et al.	6/16/1998		
	A87	5773820	Osajda, et al.	6/30/1998		
	A88	5779631	Chance	7/14/1998		
	A89	5781392	Clark	7/14/1998		
	A90	5792280	Ruby et al	8/11/1998		
	A91	5808350	Jack et al	9/15/1998		
	A92	5859446	Nagasu et al.	1/12/1999		
	A93	5861639	Bernier	1/19/1999		
	A94	5923071	Saito	7/13/1999		
	A95	5935320	Graf et al.	8/10/1999		
	A96	5942789	Morikawa	8/24/1999		
	A97	5943584	Shim et al	8/24/1999		
	A98	5963790	Matsuno et al	10/5/1999		
	A99	5977603	Ishikawa	11/2/1999		
	A100	6071796	Voutsas	6/6/2000		
	A101	6072117	Matsuyama et al.	6/6/2000		
	A102	6080988	Ishizuya et al.	6/27/2000		
	A103	6097031	Cole	8/1/2000		
	A104	6106689	Matsuyama	8/22/2000		
	A105	6107618	Fossum et al.	8/22/2000		
	A106	6111300	Cao et al.	8/29/2000		
	A107	6147297	Wettling et al.	11/14/2000		
	A108	6160833	Floyd et al.	12/12/2000		
	A109	6168965	Malinovich, et al.	1/2/2001		
	A110	6194722	Fiorini et al.	2/27/2001		
	A111	6229192	Gu	5/8/2001		
	A112	6252256	Ugge et al.	6/26/2001		
	A113	6290713	Russell	9/18/2001		
	A114	6291302	Yu	9/18/2001		
	A115	6313901	Cacharelis	11/6/2001		
	A116	6320296	Fujii et al.	11/20/2001		
	A117	6331445	Janz et al	12/18/2001		
	A118	6372591	Mineji et al.	4/16/2002		
	A119	6372611	Horikawa	4/16/2002		
	A120	6379979	Connolly	4/30/2002		
	A121	6420706	Lurie, et al.	7/16/2002		
	A122	6429036	Nixon, et al.	8/6/2002		
	A123	6429037	Wenham et al.	8/6/2002		
	A124	6465860	Shigenaka, et al.	10/15/2002		
	A125	6475839	Zhang, et al.	11/5/2002		

Examiner Signature		Date Considered	

EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to Applicant.

SAMSUNG EX. 1002 - 65/2862

Substitute for Form 1449/PTO				Complete if Known	
				Application No.:	15/216,244
INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Filing Date:	July 21, 2016
				First Named Inventor:	Martin U. Pralle
				Group Art Unit:	TBA
(use as many sheets as necessary)				Examiner Name:	TBA
Sheet	4	of	20	Attorney Docket No.:	143705.05221

	A126	6483116	Kozlowski et al.	11/19/2002		
	A127	6483929	Marakami et al.	11/19/2002		
	A128	6486522	Bishay et al.	11/26/2002		
	A129	6493567	Krivitski et al.	12/10/2002		
	A130	6498336	Tian et al.	12/24/2002		
	A131	6500690	Yamagishi et al.	12/31/2002		
	A132	6504178	Carlson et al.	1/7/2003		
	A133	6580053	Voutsas	6/17/2003		
	A134	6583936	Kaminsky et al.	6/24/2003		
	A135	6597025	Lauter et al	7/22/2003		
	A136	6607927	Ramappa et al.	8/19/2003		
	A137	6624049	Yamazaki	9/23/2003		
	A138	6639253	Duane et al.	10/28/2003		
	A139	6667528	Cohen et al.	12/23/2003		
	A140	6677655	Fitzgerald	1/13/2004		
	A141	6677656	Francois	1/13/2004		
	A142	6683326	Iguchi, et al.	1/27/2004		
	A143	6689209	Falster et el.	2/10/2004		
	A144	6753585	Kindt	6/22/2004		
	A145	6759262	Theil et al.	7/6/2004		
	A146	6790701	Shigenaka, et al.	9/14/2004		
	A147	6800541	Okumura	10/5/2004		
	A148	6801799	Mendelson	10/5/2004		
	A149	6803555	Parrish et al.	10/12/2004		
	A150	6815685	Wany	11/9/2004		
	A151	6818535	Lu et al.	11/16/2004		
	A152	6822313	Matsushita	11/23/2004		
	A153	6825057	Heyers, et al.	11/30/2004		
	A154	6864156	Conn	3/8/2005		
	A155	6864190	Han et al.	3/8/2005		
	A156	6867806	Lee et al.	3/15/2005		
	A157	6900839	Kozlowski et al.	5/31/2005		
	A158	6911375	Guarini et al.	6/28/2005		
	A159	6919587	Ballon et al.	7/19/2005		
	A160	6923625	Sparks	8/2/2005		
	A161	6927432	Holm, et al.	8/9/2005		
	A162	6984816	Holm, et al.	1/10/2006		
	A163	7008854	Forbes	3/7/2006		
	A164	7041525	Clevenger et al.	5/9/2006		
	A165	7057256	Carey, III et al.	6/6/2006		
	A166	7075079	Wood	7/11/2006		
	A167	7091411	Falk et al.	8/15/2006		
	A168	7109517	Zaidi	9/19/2006		
	A169	7126212	Enquist et al.	10/24/2006		

Examiner Signature		Date Considered	

EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to Applicant.

Substitute for Form 1449/PTO				Complete if Known	
				Application No.:	15/216,244
INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Filing Date:	July 21, 2016
				First Named Inventor:	Martin U. Pralle
				Group Art Unit:	TBA
(use as many sheets as necessary)				Examiner Name:	TBA
Sheet	5	of	20	Attorney Docket No.:	143705.05221

	A170	7132724	Merrill	11/7/2006		
	A171	7202102	Yao	4/10/2007		
	A172	7211501	Liu et al	5/1/2007		
	A173	7235812	Chu, et al.	6/26/2007		
	A174	7247527	Shimomura et al.	7/24/2007		
	A175	7247812	Tsao	7/24/2007		
	A176	7256102	Nakata, et al.	8/14/2007		
	A177	7271445	Forbes	9/18/2007		
	A178	7271835	Iizuka et al.	9/18/2007		
	A179	7285482	Ochi	10/23/2007		
	A180	7314832	Kountz et al.	1/1/2008		
	A181	7354792	Carey, III et al.	4/8/2008		
	A182	7358498	Geng et al.	4/15/2008		
	A183	7375378	Manivannan et al.	5/20/2008		
	A184	7390689	Mazur et al.	6/24/2008		
	A185	7432148	Li et al.	10/7/2008		
	A186	7442629	Mazur et al.	10/28/2008		
	A187	7446359	Lee, et al.	11/4/2008		
	A188	7446807	Hong	11/7/2008		
	A189	7456452	Wells et al.	11/25/2008		
	A190	7482532	Yi et al.	1/27/2009		
	A191	7498650	Lauxtermann	3/3/2009		
	A192	7504325	Koezuka et al.	3/17/2009		
	A193	7504702	Mazur et al.	3/17/2009		
	A194	7511750	Murakami	3/31/2009		
	A195	7521737	Augusto	4/21/2009		
	A196	7528463	Forbes	5/5/2009		
	A197	7542085	Altice, Jr. et al.	6/2/2009		
	A198	7547616	Fogel et al.	6/16/2009		
	A199	7551059	Farrier	6/23/2009		
	A200	7560750	Niira et al.	7/14/2009		
	A201	7564631	Li, et al.	7/21/2009		
	A202	7582515	Choi et al.	9/1/2009		
	A203	7592593	Kauffman, et al.	9/22/2009		
	A204	7595213	Kwon et al.	9/29/2009		
	A205	7605397	Kindem et al.	10/20/2009		
	A206	7615808	Pain, et al.	11/10/2009		
	A207	7618839	Rhodes	11/17/2009		
	A208	7619269	Ohkawa	11/17/2009		
	A209	7629582	Hoffman, et al.	12/8/2009		
	A210	7648851	Fu, et al.	1/19/2010		
	A211	7649156	Lee	1/19/2010		
	A212	7705879	Kerr et al.	4/27/2010		
	A213	7731665	Lee et al	6/8/2010		

Examiner Signature		Date Considered	

EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to Applicant.

Substitute for Form 1449/PTO				Complete if Known	
				Application No.:	15/216,244
INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Filing Date:	July 21, 2016
				First Named Inventor:	Martin U. Pralle
				Group Art Unit:	TBA
(use as many sheets as necessary)				Examiner Name:	TBA
Sheet	6	of	20	Attorney Docket No.:	143705.05221

	A214	7741666	Nozaki, et al.	6/22/2010		
	A215	7745901	McCaffrey et al	6/29/2010		
	A216	7763913	Fan et al	7/27/2010		
	A217	7772028	Adkisson et al	8/10/2010		
	A218	7781856	Mazur et al.	8/24/2010		
	A219	7800192	Venezia, et al.	9/21/2010		
	A220	7816220	Mazur et al.	10/19/2010		
	A221	7828983	Weber et al	11/9/2010		
	A222	7847253	Carey et al.	12/7/2010		
	A223	7847326	Park, et al.	12/7/2010		
	A224	7855406	Yamaguchi et al	12/21/2010		
	A225	7875498	Elbanhawy, et al.	1/25/2011		
	A226	7880168	Lenchenkov	2/1/2011		
	A227	7884439	Mazur et al.	2/8/2011		
	A228	7884446	Mazur et al.	2/8/2011		
	A229	7910964	Kawahito et al.	3/22/2011		
	A230	7923801	Tian et al.	4/12/2011		
	A231	7968834	Veeder	6/28/2011		
	A232	8008205	Fukushima et al.	8/30/2011		
	A233	8013411	Cole	9/6/2011		
	A234	8030726	Sumi	10/4/2011		
	A235	8035343	Seman Jr.	10/11/2011		
	A236	8058615	McCaffrey	11/15/2011		
	A237	8080467	Carey et al.	12/20/2011		
	A238	8088219	Knerer et al.	1/3/2012		
	A239	8093559	Rajavel	1/10/2012		
	A240	8164126	Moon, et al.	4/24/2012		
	A241	8207051	Sickler et al.	6/26/2012		
	A242	8247259	Grolier et al.	8/21/2012		
	A243	8259293	Andreou et al.	9/4/2012		
	A244	8288702	Veeder	10/16/2012		
	A245	8476681	Haddad et al.	7/2/2013		
	A246	8564087	Yamamura et al.	10/22/2013		
	A247	8603902	Mazer et al.	12/10/2013		
	A248	8629485	Yamamura et al.	1/14/2014		
	A249	8680591	Haddad et al.	3/25/2014		
	A250	8742528	Yamamura et al.	6/3/2014		
	A251	8884226	Miyazaki, et al.	11/11/2014		
	A252	8916945	Sakamoto et al	12/23/2014		
	A253	8994135	Yamamura et al.	6/31/2015		
	A254	9190551	Yamamura et al.	11/17/2015		
	A255	RE43169	Parker	2/7/2012		
	A256	20010017344	Aebi	8/30/2001		
	A257	20010022768	Takahashi	9/20/2001		

Examiner Signature		Date Considered	

EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to Applicant.

Substitute for Form 1449/PTO				Complete if Known	
				Application No.:	15/216,244
INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Filing Date:	July 21, 2016
				First Named Inventor:	Martin U. Pralle
				Group Art Unit:	TBA
(use as many sheets as necessary)				Examiner Name:	TBA
Sheet	7	of	20	Attorney Docket No.:	143705.05221

	A258	20010044175	Barret et al.	11/22/2001		
	A259	20020020893	Lhorte	2/21/2002		
	A260	20020024618	Imai	2/28/2002		
	A261	20020056845	Iguchi et al.	5/16/2002		
	A262	20020060322	Tanabe et al.	5/23/2002		
	A263	20020079290	Holdermann	6/27/2002		
	A264	20020117699	Roy	8/29/2002		
	A265	20020148964	Dausch et al.	10/17/2002		
	A266	20020182769	Campbell	12/5/2002		
	A267	20030029495	Mazur et al.	2/13/2003		
	A268	20030030083	Lee et al.	2/13/2003		
	A269	20030045092	Shin	3/6/2003		
	A270	20030057357	Uppal et al.	3/27/2003		
	A271	20030111106	Nagano et al.	6/19/2003		
	A272	20030210332	Frame	11/13/2003		
	A273	20030213515	Sano et al.	11/20/2003		
	A274	20040014307	Shin et al.	1/22/2004		
	A275	20040016886	Ringermacher et al.	1/29/2004		
	A276	20040041168	Hembree et al.	3/4/2004		
	A277	20040046224	Rossel et al.	3/11/2004		
	A278	20040077117	Ding et al.	4/22/2004		
	A279	20040080638	Lee	4/29/2004		
	A280	20040130020	Kuwabara et al.	7/22/2004		
	A281	20040161868	Hong	8/19/2004		
	A282	20040222187	Lin	11/11/2004		
	A283	20040252931	Belleville et al.	12/16/2004		
	A284	20050051822	Manning	3/10/2005		
	A285	20050062041	Terakawa et al.	3/24/2005		
	A286	20050101100	Kretchmer et al.	5/12/2005		
	A287	20050101160	Garg et al.	5/12/2005		
	A288	20050127401	Mazur et al.	6/16/2005		
	A289	20050134698	Schroeder et al.	6/23/2005		
	A290	20050150542	Madan	7/14/2005		
	A291	20050158969	Binnis et al.	7/21/2005		
	A292	20050211996	Krishna, et al.	9/29/2005		
	A293	20050227390	Shtein et al.	10/13/2005		
	A294	20060006482	Rieve, et al.	1/12/2006		
	A295	20060011954	Ueda et al.	1/19/2006		
	A296	20060011955	Baggenstoss	1/19/2006		
	A297	20060060848	Chang et al.	3/23/2006		
	A298	20060071254	Rhodes	4/6/2006		
	A299	20060079062	Mazur et al.	4/13/2006		
	A300	20060097172	Park	5/11/2006		
	A301	20060231914	Carey et al.	10/19/2006		

Examiner Signature		Date Considered	

EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to Applicant.

Substitute for Form 1449/PTO				Complete if Known	
				Application No.:	15/216,244
INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Filing Date:	July 21, 2016
				First Named Inventor:	Martin U. Pralle
				Group Art Unit:	TBA
(use as many sheets as necessary)				Examiner Name:	TBA
Sheet	8	of	20	Attorney Docket No.:	143705.05221

	A302	20090097290	Chandrasekaran	4/16/2009		
	A303	20060118781	Rhodes	6/8/2006		
	A304	20060121680	Tanaka	6/8/2006		
	A305	20060132633	Nam, et al.	6/22/2006		
	A306	20060138396	Lin, et al.	6/29/2006		
	A307	20060145148	Hirai, et al.	7/6/2006		
	A308	20060145176	Lee	7/6/2006		
	A309	20060160343	Chong et al.	7/20/2006		
	A310	20060166475	Mantl	7/27/2006		
	A311	20060175529	Harmon et al.	8/10/2006		
	A312	20060180885	Rhodes	8/17/2006		
	A313	20060181627	Farrier	8/17/2006		
	A314	20060210122	Cleveland	9/21/2006		
	A315	20060214121	Schrey et al.	9/28/2006		
	A316	20060228897	Timans	10/12/2006		
	A317	20060231914	Carey, III et al.	10/19/2006		
	A318	20060238632	Shah	10/26/2006		
	A319	20060244090	Roy, et al.	11/2/2006		
	A320	20060255340	Manivannan et al.	11/16/2006		
	A321	20060257140	Seger	11/16/2006		
	A322	20070035849	Li et al.	2/15/2007		
	A323	20070035879	Hall,et al.	2/15/2007		
	A324	20070051876	Sumi et al.	3/8/2007		
	A325	20070052050	Dierickx	3/8/2007		
	A326	20070076481	Tennant	4/5/2007		
	A327	20070115554	Breitung et al	5/24/2007		
	A328	20070123005	Hiura et al.	5/31/2007		
	A329	20070138590	Wells, et al.	6/21/2007		
	A330	20070145505	Kim et al.	6/28/2007		
	A331	20070178672	Tanaka, et al.	8/2/2007		
	A332	20070187670	Hsu et al.	8/16/2007		
	A333	20070194356	Moon, et al.	8/23/2007		
	A334	20070194401	Nagai, et al.	8/23/2007		
	A335	20070195056	Lloyd	8/23/2007		
	A336	20070200940	Gruhlke et al.	8/30/2007		
	A337	20070201859	Sarrat	8/30/2007		
	A338	20070235827	Altice	10/11/2007		
	A339	20070247414	Roberts	10/25/2007		
	A340	20070262366	Baek et al.	11/15/2007		
	A341	20070290283	Park et al.	12/20/2007		
	A342	20070296060	Tanabe et al.	12/27/2007		
	A343	20080002863	Northcott	1/3/2008		
	A344	20080020555	Shimomura et al.	1/24/2008		
	A345	20080026550	Werner et al.	1/31/2008		

Examiner Signature		Date Considered	

EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to Applicant.

Substitute for Form 1449/PTO				Complete if Known	
				Application No.:	15/216,244
INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Filing Date:	July 21, 2016
				First Named Inventor:	Martin U. Pralle
				Group Art Unit:	TBA
(use as many sheets as necessary)				Examiner Name:	TBA
Sheet	9	of	20	Attorney Docket No.:	143705.05221

	A346	20080036022	Hwang et al.	2/14/2008		
	A347	20080044943	Mazur et al.	2/21/2008		
	A348	20080076240	Yannick Veschtti et al.	3/27/2008		
	A349	20080099804	Venezia	5/1/2008		
	A350	20080121280	Carnel et al.	5/29/2008		
	A351	20080121805	Tweet et al.	5/29/2008		
	A352	20080170173	Park et al.	7/17/2008		
	A353	20080174685	Shan et al.	7/24/2008		
	A354	20080178932	Willem Den Boer et al.	7/31/2008		
	A355	20080179762	Cho et al.	7/31/2008		
	A356	20080191310	Wu et al.	8/14/2008		
	A357	20080192132	Bechtel et al.	8/14/2008		
	A358	20080196761	Nakano et al.	8/21/2008		
	A359	20080198251	Xu et al.	8/21/2008		
	A360	20080202576	Hieslmair	8/28/2008		
	A361	20080213936	Hatai	9/4/2008		
	A362	20080223436	den Boer et al.	9/18/2008		
	A363	20080242005	Dozen et al.	10/2/2008		
	A364	20080257409	Li et al.	10/23/2008		
	A365	20080258604	Mazur et al.	10/23/2008		
	A366	20080266435	Agranov et al.	10/30/2008		
	A367	20080266434	Sugawa et al.	10/30/2008		
	A368	20080281174	Dietiker	11/13/2008		
	A369	20080309913	Fallon	12/18/2008		
	A370	20090002528	Manabe et al.	1/1/2009		
	A371	20090050944	Hong	2/26/2009		
	A372	20090014056	Hockaday	1/15/2009		
	A373	20090038669	Atanackovic	2/12/2009		
	A374	20090039397	Chao	2/12/2009		
	A375	20090056797	Barnett et al.	3/5/2009		
	A376	20090057536	Hirose	3/5/2009		
	A377	20090065051	Chan et al.	3/12/2009		
	A378	20090078316	Khazeni et al.	3/26/2009		
	A379	20090095887	Saveliev	4/16/2009		
	A380	20090109305	Dai et al.	4/30/2009		
	A381	20090142879	Isaka et al.	6/4/2009		
	A382	20090146240	Carey III et al.	6/11/2009		
	A383	20090160983	Lenchenkov	6/25/2009		
	A384	20090180010	Adikisson et al.	7/16/2009		
	A385	20090194671	Nozaki et al.	8/6/2009		
	A386	20090200454	Barbier et al.	8/13/2009		
	A387	20090200586	Mao et al.	8/13/2009		
	A388	20090200626	Qian, et al.	8/13/2009		
	A389	20090200631	Tai, et al.	8/13/2009		

Examiner Signature		Date Considered	

EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to Applicant.

Substitute for Form 1449/PTO				Complete if Known	
				Application No.:	15/216,244
INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Filing Date:	July 21, 2016
				First Named Inventor:	Martin U. Pralle
				Group Art Unit:	TBA
(use as many sheets as necessary)				Examiner Name:	TBA
Sheet	10	of	20	Attorney Docket No.:	143705.05221

	A390	20090206237	Shannon et al.	8/20/2009		
	A391	20090211627	Meier et al.	8/27/2009		
	A392	20090213883	Mazur et al.	8/27/2009		
	A393	20090218493	McCaffrey et al.	9/3/2009		
	A394	20090223561	Kim et al.	9/10/2009		
	A395	20090227061	Bateman et al.	9/10/2009		
	A396	20090242032	Yamazaki et al.	10/1/2009		
	A397	20090242933	Hu, et al.	10/1/2009		
	A398	20090256156	Hsieh	10/15/2009		
	A399	20090256226	Tatani	10/15/2009		
	A400	20090261255	Nakamura et al.	10/22/2009		
	A401	20090283807	Adkisson et al.	11/19/2009		
	A402	20090294787	Nakaji, et al.	12/3/2009		
	A403	20090308450	Adibi et al.	12/17/2009		
	A404	20100000597	Cousins	1/7/2010		
	A405	20100013036	Carey	1/21/2010		
	A406	20100013039	Qian, et al.	1/21/2010		
	A407	20100013593	Luckhardt	1/21/2010		
	A408	20100024871	Oh et al.	2/4/2010		
	A409	20100032008	Adekore	2/11/2010		
	A410	20100037952	Lin	2/18/2010		
	A411	20100038523	Venezia et al.	2/18/2010		
	A412	20100038542	Carey et al.	2/18/2010		
	A413	20100040981	Kiesel et al.	2/18/2010		
	A414	20100044552	Chen	2/25/2010		
	A415	20100051809	Onat et al.	3/4/2010		
	A416	20100052088	Carey	3/4/2010		
	A417	20100053382	Kuniba	3/4/2010		
	A418	20100055887	Piwczyk	3/4/2010		
	A419	20100059385	Li	3/11/2010		
	A420	20100059803	Gidon et al.	3/11/2010		
	A421	20100072349	Veeder	3/25/2010		
	A422	20100074396	Schmand et al.	3/25/2010		
	A423	20100083997	Hovel	4/28/2010		
	A424	20100084009	Carlson et al	4/8/2010		
	A425	20100096718	Hynecek, et al.	4/22/2010		
	A426	20100097609	Jaeger, et al.	4/22/2010		
	A427	20100102206	Cazaux et al.	4/29/2010		
	A428	20100109060	Mao, et al.	5/6/2010		
	A429	20100116312	Peumans et al.	5/13/2010		
	A430	20100117181	Kim et al.	5/13/2010		
	A431	20100118172	McCarten et al.	5/13/2010		
	A432	20100128937	Yoo et al.	5/27/2010		
	A433	20100133635	Lee et al.	6/3/2010		

Examiner Signature		Date Considered	

EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to Applicant.

Substitute for Form 1449/PTO				Complete if Known	
				Application No.:	15/216,244
INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Filing Date:	July 21, 2016
				First Named Inventor:	Martin U. Pralle
				Group Art Unit:	TBA
(use as many sheets as necessary)				Examiner Name:	TBA
Sheet	11	of	20	Attorney Docket No.:	143705.05221

	A434	20100140733	Lee et al.	6/10/2010		
	A435	20100143744	Gupta	6/10/2010		
	A436	20100147383	Carey et al.	6/17/2010		
	A437	20100219506	Gupta	9/2/2010		
	A438	20100224229	Pralle et al.	9/9/2010		
	A439	20100240169	Petti et al.	9/23/2010		
	A440	20100245647	Honda et al.	9/30/2010		
	A441	20100258176	Kang et al.	10/14/2010		
	A442	20100264473	Adkisson et al.	10/21/2010		
	A443	20100289885	Lu et al.	11/18/2010		
	A444	20100290668	Friedman et al.	11/18/2010		
	A445	20100300505	Chen	12/2/2010		
	A446	20100300507	Heng et al.	12/2/2010		
	A447	20100313932	Kroll et al.	12/16/2010		
	A448	20110056544	Ji et al.	3/10/2011		
	A449	20110073976	Vaillant	3/31/2011		
	A450	20110095387	Carey et al.	4/28/2011		
	A451	20110104850	Weidman et al.	5/5/2011		
	A452	20110127567	Seong	6/2/2011		
	A453	20110140221	Venezia et al.	6/16/2011		
	A454	20110220971	Haddad	9/15/2011		
	A455	20110227138	Haddad	9/22/2011		
	A456	20110251478	Wieczorek	10/13/2011		
	A457	20110260059	Jiang et al.	10/27/2011		
	A458	20110266644	Yamamura et al.	11/4/2011		
	A459	20110303999	Sakamoto et al.	12/15/2011		
	A460	20120024363	Carey et al.	2/2/2012		
	A461	20120024364	Carey, III et al.	2/2/2012		
	A462	20120038811	Ellis-monaghan et al	2/16/2012		
	A463	20120043637	King et al.	2/23/2012		
	A464	20120049242	Atanackovic et al.	3/1/2012		
	A465	20120111396	Saylor et al.	5/10/2012		
	A466	20120171804	Moslehi et al.	7/5/2012		
	A467	20120187190	Wang et al.	7/26/2012		
	A468	20120222396	Clemen	9/6/2012		
	A469	20120291859	Vineis et al.	11/22/2012		
	A470	20120300037	Laudo	11/29/2012		
	A471	20120305063	Moslehi et al.	12/6/2012		
	A472	20120312304	Lynch et al.	12/13/2012		
	A473	20120313204	Haddad et al.	12/13/2012		
	A474	20120313205	Haddad et al.	12/13/2012		
	A475	20120326008	Mckee et al.	12/27/2012		
	A476	20130001553	Vineis et al.	1/3/2013		
	A477	20130082343	Fudaba, et al.	4/4/2013		

Examiner Signature		Date Considered	

EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to Applicant.

Substitute for Form 1449/PTO				Complete if Known	
				Application No.:	15/216,244
INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Filing Date:	July 21, 2016
				First Named Inventor:	Martin U. Pralle
				Group Art Unit:	TBA
(use as many sheets as necessary)				Examiner Name:	TBA
Sheet	12	of	20	Attorney Docket No.:	143705.05221

	A478	20130168792	Haddad et al.	7/4/2013		
	A479	20130168803	Haddad et al.	7/4/2013		
	A480	20130200251	Velichko	8/8/2013		
	A481	20130207214	Haddad et al.	8/15/2013		
	A482	20130285130	Ting	10/31/2013		
	A483	20140247378	Sharma et al.	9/4/2014		

FOREIGN PATENT DOCUMENTS

Examiner's Initials	Cite No.	Foreign Patent Document Number Kind Code (if known)	Name of Patentee or Applicant of Cited Document	Date of Publication of Cited Document MM-DD-YYYY	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear			T
	B1	AU 3666484	Wenham et al.	6/27/1985				
	B2	EP 0473439	Cooper Industries	3/4/1992				
	B3	EP 0566156	Terumo Kabushiki Kaisha	10/20/1993				
	B4	EP 1630871	Matsushita Electric Industrial Co. Ltd.	1/3/2006				
	B5	EP 1873840	Neil, et al.	1/2/2008				
	B6	EP 2073270	Hirota, et al.	5/16/2012				
	B7	FR 2827707	FR De Detecteurs Infrarouges S	1/24/2003				
	B8	GB 2030766	Plessey Co. Ltd.	4/10/1980				
	B9	JP H04318970	Mitsubishi Electric Corp.	11/10/1992				
	B10	JP S57173966	Fuji Photo Film Co. Ltd.	10/26/1982				
	B11	JP S63116421	Mitsubishi Electric Corp.	5/20/1988				
	B12	JP H02152226	Fujitsu Ltd.	6/12/1990				
	B13	JP H02237026	Sony, Corp.	9/19/1990				
	B14	JP H03183037	Nec Corp.	8/9/1991				
	B15	JP H06275641	Semiconductor Energy Lab Co. LTD.	9/30/1994				
	B16	JP S5771188	Mitsubishi Electric Corp.	5/1/1982				
	B17	JP 2000164914	Electrowatt Technol Innov AG	6/16/2000				
	B18	JP 2001007381	Japan Broadcasting Corp.	1/12/2001				
	B19	JP 2002043594	Sharp KK	2/8/2002				
	B20	JP 2002134640	United Test CT Inc.	5/10/2002				
	B21	JP 2003163360	Seiko Epson Corp.	6/6/2003				
	B22	JP 2004273886	Hatachi Cable	9/3/2004				
	B23	JP 2004273887	Hatachi Cable Ltd.	9/30/2004				
	B24	JP H06267868	Fuji Electric Co LTD	9/22/1994				
	B25	JP 2007180642	SWCC Showa Device Tech Co. Ltd.	7/12/2007				

Examiner Signature		Date Considered	

EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to Applicant.

Substitute for Form 1449/PTO				Complete if Known	
				Application No.:	15/216,244
INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Filing Date:	July 21, 2016
				First Named Inventor:	Martin U. Pralle
				Group Art Unit:	TBA
(use as many sheets as necessary)				Examiner Name:	TBA
Sheet	13	of	20	Attorney Docket No.:	143705.05221

	B26	JP 2007180643	Sony Corp.	7/12/2007				
	B27	JP 2007305675	Sony, Corp.	11/22/2007				
	B28	JP 2008187003	Fujitsu Ltd.	8/14/2008				
	B29	JP H07183484	FR Telecom	7/21/1995				
	B30	JP 2011091128	Cannon KK	5/6/2011				
	B31	JP 9148594	Sanyo Electric Co.	6/6/1997				
	B32	JP H09298308	Sharp KK	11/18/1997				
	B33	JP H06104414	Toshiba Corp.	4/15/1994				
	B34	JP 11077348	Cannon KK	3/23/1999				
	B35	JP 11097724	Citizen Watch Co. Ltd.	4/9/1999				
	B36	JP 2001189478	Sanyo Electric Co.	7/10/2001				
	B37	JP 2001339057	Fuji Xerox Co. Ltd.	12/7/2001				
	B38	JP 2006173381	Toyota Motor Corp.	6/29/2006				
	B39	JP 2007165909	Icemos Technology Corp.	6/28/2007				
	B40	JP 2008187003	Fujitsu Ltd.	8/14/2008				
	B41	JP 2008283219	Toshiba Corp.	11/20/2008				
	B42	JP 2009021479	Omron Tteisi Electronics Co.	1/29/2009				
	B43	JP 2010278472	Sony, Corp.	12/9/2010				
	B44	KR 20060052278	Sony Corp.	5/16/2016				
	B45	KR 100825808	Samsung Electronics CO. Ltd.	4/29/2008				
	B46	KR 20010061058	Hynix Semiconductor Inc.	4/7/2001				
	B47	KR 2005039273	Jin- Sin Lee	4/29/2005				
	B48	KR 20100118864	Hyosung Corp	11/8/2010				
	B49	WO 91/14284	Theden, Ulrich	9/19/1991				
	B50	WO 2002041363	Solarflex Technologies Inc.	5/23/2002				
	B51	WO 03/059390	Dong Wha Pharm Ind Co. Ltd	7/24/2003				
	B52	WO 2006/086014	President and Fellows of Harvard College	8/17/2006				
	B53	WO 2008091242	UVA Patent Foundation	7/31/2008				
	B54	WO 2008099524	Mitsubishi Heavy Industries Ltd.	8/21/2008				
	B55	WO 2008145097	Fraunhofer-Gesellschaft Zur Faurderung Der Angewandten	12/8/2008				
	B56	WO 2010033127	Sionyx, Inc.	3/25/2010				
	B57	WO 2009100023	President and Fellows of Harvard College	8/13/2009				
	B58	WO 2009147085	Thiel et al.	12/10/2009				
	B59	WO 2011003871	International Business Machines Corporation	1/13/2011				

Examiner Signature		Date Considered	

EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to Applicant.

Substitute for Form 1449/PTO				Complete if Known	
				Application No.:	15/216,244
INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Filing Date:	July 21, 2016
				First Named Inventor:	Martin U. Pralle
				Group Art Unit:	TBA
(use as many sheets as necessary)				Examiner Name:	TBA
Sheet	14	of	20	Attorney Docket No.:	143705.05221

	B60	WO 2011035188	Sionyx, Inc.	3/24/2011				
	B61	WO 2011119618	Sionyx, Inc.	3/22/2011				

OTHER ART (Including Author, Title, Date, Pertinent Pages, Etc.)			
Examiner's Initials	**Cite No.**	**Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or county where published**	**T**
	C1	A. Arndt, J.F. Allison, J.G. Haynos, and A. Meulenberg, Jr., "Optical Properties of the COMSAT Non-reflective Cell," 11th IEEE Photovoltaic Spec. Conf., p. 40, 1975	
	C2	Asom et al., Interstitial Defect Reactions in Silicon; Appl. Phys. Lett.; 07/27/1987; pp. 256-258; vol. 51(4); American Institute of Physics.	
	C3	BERGER, Michael; Moth Eyes Inspire Self-Cleaning Antireflection Nanotechnology Coatings; 2008; 3 pages; Nanowerk LLC	
	C4	Berger, O., Inns, D. and Aberle, A.E. "Commercial White Paint as Back Surface Reflector for Thin-Film Solar Cells", Solar Energy Materials & Solar Cells, vol. 91, pp. 1215-1221,2007.	
	C5	Betta et al.; Si-PIN X-Ray Detector Technology; Nuclear Instruments and Methods in Physics Research; 1997; pp. 344-348; vol. A, No. 395; Elsevier Science B.V. cited by applicant.	
	C6	BODEN, S.A. et al.; Nanoimprinting for Antireflective Moth-Eye Surfaces; 4 pages; 2008	
	C7	Bogue: "From bolometers to beetles: the development of the thermal imaging sensors;" sensor Review; 2007; pp. 278-281; Emerald Group Publishing Limited (ISSN 0260-2288).	
	C8	Borghesi et al.; "Oxygen Precipitation in Silicon," J. Appl. Phys., v. 77(9), pp. 4169-4244 (May 1, 1995).	
	C9	Born, M. and E.Wolf, "Princip les of Optics, 7th Ed.", Cambridge University Press, 1999, pp. 246-255.	
	C10	Brieger,S., O.Dubbers, S.Fricker, A.Manzke, C.Pfahler, A.Plettl, and P.Zlemann, "An Approach for the Fabrication of Hexagonally Ordered Arrays of Cylindrical Nanoholes in Crystalline and Amorphous Silicon Based on the Self-Organization of Polymer Micelles", Nanotechnology, vol. 17, pp. 4991-4994, 2006, doi:10.1088/0957-4884/17/19/036.	
	C11	Buttgen, B.; "Demodulation Pixel Based on Static Drift Fields"; IEEE Transactions on Electron Devices, vol. 53, No. 11, Nov. 2006.	
	C12	Carey et al., "Femtosecond-Laser-Assisted Microstructuring of Silicon Surfaces", Optics and Photonics News, 2003. 14, 32-36.	
	C13	Carey, et al. "Femtosecond Laser-Assisted Microstructuring of Silicon for Novel Detector, Sensing and Display Technologies", LEOS 2003, 481-482, Tuscon, AR.	
	C14	Carey, et al. "Femtosecond Laser-Assisted Microstructuring of Silicon for Novel Detector, Sensing and Display Technologies", LEOS; 2002, 97-98, Glasgos, Scotland, 2002.	
	C15	Carey, et al., "Fabrication of Micrometer-Sized Conical Field Emitters Using Femtosecond Laser-Assisted Etching of Silicon," Proc. IVMC 2001, 75-76, UC Davis, Davis, CA.	
	C16	Carey, et al., "Field Emission from Silicon. Microstructures Formed by Femtosecond Laser Assisted Etching," Proc. CLEO 2001 (Baltimore, MD 2001) 555-557.	
	C17	Carey, et al., "High Sensitivity Silicon-Based VIS/NIR Photodetectors", Optical Society of America (2003) 1-2.	
	C18	CAREY, III; "Femtosecond-laser Microstructuring of Silicon for Novel Optoelectronic Devices"; Harvard University, July 2004; (Thesis)	
	C19	Chang, S.W., V.P.Chuang, S.T.Boles, and C.V.Thompson, "Metal-Catalyzed Etching of Vertically Aligned Polysilicon and Amorphous Silicon Nanowire Arrays by Etching Direction	

Examiner Signature		Date Considered	

EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to Applicant.

Substitute for Form 1449/PTO				Complete if Known	
				Application No.:	15/216,244
INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Filing Date:	July 21, 2016
				First Named Inventor:	Martin U. Pralle
				Group Art Unit:	TBA
(use as many sheets as necessary)				Examiner Name:	TBA
Sheet	15	of	20	Attorney Docket No.:	143705.05221

		Confinement", Advanced Functional Materials, vol. 20, No. 24, pp. 4364-4370, 2010	
	C20	CHEN, Q. et al.; Broadband moth-eye antireflection coatings fabricated by low-cost nanoimprinting; Applied Physics Letters 94; pgs. 263118-1 - 263118-3; 2009; American Institute of Physics	
	C21	Chien et al, "Pulse Width Effect in Ultrafast Laser Processing of Materials," Applied Physics A, 2005, 1257-1263, 81, Springer Berlin, Heidelberg, Germany.	
	C22	CHIANG, Wen Jen Et al., "Silicon Nanocrystal-Based Photosensor on Low-Temperature Polycrystalline-Silicone Panels", Applied Physics Letters, 2007, 51120-1-51120-3, Ltt. 91, American Inst. Of Physics, Melville, NY.	
	C23	CHICHKIV, B.N. et al, "Femtosecond, picosecond and nanosecond laser ablation of solids" Appl. Phys. A 63, 109-115; 1996.	
	C24	CILINGIROGLU et al., "An evaluation of MOS Interface-Trap Charge Pump as and Ultralow Constant-Current Generator," IEEE Journal of Solid-State Circuit, 2003, Vol. 38, No. 1, Jan. 2003, 71-83.	
	C25	CMOSIS; "Global Shutter Image Sensors for Machine Vision Application"; Image Sensors Europe 2010, Mar. 23-25, 2010; .COPYRGT. copyright 2010.	
	C26	Cotter, Jeffrey E.; Optical intensity of light in layers of silicon with rear diffuse reflectors; Journal of Applied Physics; Jul. 1, 1998; pp. 618-624; vol. 84, No. 1; American Institute of Physics.	
	C27	Crouch et al., "Comparison of Structure and Properties of Femtosecond and Nanosecond Laser-Structured Silicon" Appl. Phys. Lett., 2004, 84,1850-1852.	
	C28	Crouch et al., "Infrared Absorption by Sulfur-Doped Silicon Formed by Femtosecond Laser Irradiation", Appl. Phys. A, 2004, 79, 1635-1641.	
	C29	Despeisse, et al.; "Thin Film Silicon Solar Cell on Highly Textured Substrates for High Conversion Efficiency"; 2004.	
	C30	Detection of X-ray and Gamma-ray Photons Using Silicon Diodes; Dec. 2000; Detection Technology, Inc.; Micropolis, Finland.	
	C31	DEWAN, Rahul et al.; Light Trapping in Thin-Film Silicon Solar Cells with Submicron Surface Texture; Optics Express; Vol. 17, No. 25; December 7, 2009; Optical Society of America	
	C32	Deych et al.; Advances in Computed Tomography and Digital Mammography; Power Point; Nov. 18, 2008; Analogic Corp.; Peabody, MA	
	C33	Dobie, et al.; "Minimization of reflected light in photovoltaic modules"; Mar. 1, 2009.	
	C34	DOBRZANSKI, L.A. et al.; Laser Surface Treatment of Multicrystalline Silicon for Enhancing Optical Properties; Journal of Materials Processing Technology; page 291 - 296; 2007; Elsevier B.V.	
	C35	Dolgaev et al., "Formation of Conical Microstructures Upon Laser Evaporation of Solids", Appl. Phys. A, 2001, 73, 177-181.	
	C36	Duerinckx, et al.; "Optical Path Length Enhancement for >13% Screenprinted Thin Film Silicon Solar Cells"; 2006.	
	C37	Dulinski, Wojciech et al.; Tests of backside illumincated monolithic CMOS pixel sensor in an HPD set-up; Nuclear Instruments and methods in Physics Research; Apr. 19, 2005; pp. 274-280; Elsevier B.V.	
	C38	FORBES; “Texturing, reflectivity, diffuse scattering and light trapping in silicon solar cells”; 2012	
	C39	Forbes, L. and M.Y. Louie, "Backside Nanoscale Texturing to Improve IR Response of Silicon Photodetectors and Solar Cells," Nanotech, vol. 2, pp. 9-12, Jun. 2010.	
	C40	Fowlkes et al., "Surface Microstructuring and Long-Range Ordering of Silicon Nanoparticles", Appl. Phys. Lett., 2002, 80 (20), 3799-3801.	
	C41	Gjessing, J. et al.; 2D back-side diffraction grating for impored light trapping in thin silicon solar cells; Optics Express; vol. 18, No. 6; pp. 5481-5495; Mar. 15, 2010; Optical Society of America.	
	C42	Gjessing, J. et al.; 2D blazed grating for light trapping in thin silicon solar cells; 3 pages; 2010;	

Examiner Signature		Date Considered	

EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to Applicant.

Substitute for Form 1449/PTO				Complete if Known	
				Application No.:	15/216,244
INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Filing Date:	July 21, 2016
				First Named Inventor:	Martin U. Pralle
				Group Art Unit:	TBA
(use as many sheets as necessary)				Examiner Name:	TBA
Sheet	16	of	20	Attorney Docket No.:	143705.05221

		Optical Society of America.	
	C43	Gloeckler et al. Band-Gap Grading in CU(In,GA)Se2 Solar Cells, Journal of Physics and Chemistry of Solids; 2005; pages 189-194; vol. 66.	
	C44	Goetzberger, et al.; "Solar Energy Materials & Solar Cells"; vol. 92 (2008) pp. 1570-1578.	
	C45	HAN et al., "Evaluation of a Small Negative Transfer Gate Bias on the Performance of 4T CMOS Image Sensor Pixels," 2007 International Image Sensor Workshop, 238-240, Ogunquit, Maine.	
	C46	HAUG, et al.; "Light Trapping effects in thin film silicon solar cells"; 2009	
	C47	Her et al., "Microstructuring of Silicon with Femtosecond Laser Pulses," Applied Physics Letters, 1998, 1673-1675, vol. 73, No. 12, American Institute of Physics.	
	C48	Her et al., "Novel Conical Microstructures Created in Silicon With Femtosecond Laser Pulses", CLEO 1998, 511-512, San Francisco, CA.	
	C49	Her, et al., "Femtosecond laser-induced formation of spikes on silicon," Applied Physics A, 2000, 70, 383-385.	
	C50	HERMANN, S. et al.; Impact of Surface Topography and Laser Pulse Duration for Laser Ablation of Solar Cell Front Side Passivating SiNx Layers; Journal of Applied Physics; Vol. 108, No. 11; pages 114514-1 - 114514-8; 2010; American Institute of Physics	
	C51	High--Performance Technologies for Advanced Biomedical Applications; .COPYRGT. 2004Brochure; pp. 1-46; PerkinElmerOptoelectronics	
	C52	Holland; Fabrication of Detectors and Transistors on High-Resistivity Silicon; Nuclear Instruments and Methods in Physics Research, vol. A275, pp. 537-541 (1989).	
	C53	HONG et al., "Cryogenic processed metal-semiconductor-metal (MSM) photodetectors on MBE grown ZnSe,", 1999, IEEE Transactions on Electron Devices, vol. 46, No. 6, pp. 1127-1134.	
	C54	HSIEH et al., "Focal-Plane-Arrays and CMOS Readout Techniques of Infrared Imaging Systems," IEE Transactions on Circuits and Systems for Video Technology, 1997, vol. 7, no. 4, Aug. 1997, 594-605.	
	C55	Hu et al., "Solar Cells from Basic to Advanced Systems," McGraw Hill Book Co., 1983, 39, New York, New York.	
	C56	HUANG, et al.; "Microstructured silicon photodetector"; Applied Physics Letters 89, 033506; 2006 American Institute of Physics; 2006	
	C57	HÜPKES, J. et al.; Light Scattering and Trapping in Different Thin Film Photovoltaic Devices; 24th European Photovoltaic Solar Energy Conference, Hamburg, Germany (Sept. 21-25, 2009); pgs. 2766-2769	
	C58	Igalson et al. Defect States in the CIGS Solar cells by Photocapacitance and Deep Level Optical Spectroscopy; Bulletin of the Polish Academy of Sciences Technical Sciences; 2005; pp. 157-161; vol. 53(2).	
	C59	"Infrared Absorption by Sulfur-Doped Silicon formed by Femtosecond Laser Irradiation"; Springer Berline/Heidelberg, vol. 79, Nov. 2004.	
	C60	Job et al., "Doping of Oxidized Float Zone Silincon by Thermal Donors - A low Thermal Budget Doping Method for Device Applications?" Mat. Res. Soc. Symp. Pro.; v. 719, F9.5.1-F9.5.6 (2002).	
	C61	Joy, T. et al.; Development of a Production-Ready, Back-Illuminated CMOS Image Sensor with Small Pixels; Electron Devices Meeting; pp. 1007-1010; 2007; IEEE.	
	C62	Juntunen et al.; Advanced Photodiode Detector for Medical CT Imaging: Design and Performance; 2007; pp. 2730-2735; IEEE.	
	C63	KIM et al.; "Strong Sub-Band-Gap Infrared Absorption in Silicon Supersaturated with Sulfur"; 2006 Appl. Phys. Lett. 88, 241902-1 – 241902-3	
	C64	Kolasinski et al., "Laser Assisted and Wet Chemical Etching of Silicon Nanostructures," J. Vac. Sci. Technol., A 24(4), Jul/Aug 2006, 1474-1479.	

Examiner Signature		Date Considered	

EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to Applicant.

Substitute for Form 1449/PTO				Complete if Known	
				Application No.:	15/216,244
INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Filing Date:	July 21, 2016
				First Named Inventor:	Martin U. Pralle
				Group Art Unit:	TBA
(use as many sheets as necessary)				Examiner Name:	TBA
Sheet	17	of	20	Attorney Docket No.:	143705.05221

	C65	Konstantatos et al., "Engineering the Temproal Response of Photoconductive Photodetectors via Selective Introduction of Surface Trap States," Nano Letters, v. 8(5), pp. 1446-1450 (Apr. 2, 2008).	
	C66	Konstantatos et al., "PbS Colloidal Quantum Dot Photoconductive Photodetectors: Transport, Traps, and Gain," Appl. Phys. Lett., v. 91, pp. 173505-1-173505-3 (Oct. 23, 2007).	
	C67	Kray, D. et al.; Laser-doped Silicon Soalr Cells by Laser Chemical Processing (LCP) exceeding 20% Efficiency; 33rd IEEE Photovoltaic Specialist Conference; 3 pages; May 2008; IEEE.	
	C68	Kroning et al.; X-ray Imaging Systems for NDT and General Applications; 2002; Fraunhofer Institute for Nondestructive Testing; Saarbrucken and Dresden, Germany.	
	C69	Kryski; A High Speed 4 Megapixel Digital CMOS Sensor; 2007 International Image Sensor Workshop; Jun. 6-10, 2007.	
	C70	Li, "Design and Simulation of an Uncooled Double-Cantilever Microbolometer with the Potential for .about.mK NETD," 2004, Sensors and Actuators A, 351-359, vol. 112, Elsevier B.V.	
	C71	Li et al., "Gettering in High Resistive Float Zone Silicon Wafers," Transaction on Nuclear Science," vol. 36(1), pp. 290-294 (Feb. 1, 1989).	
	C72	Li, Hongsong et al.; An experimental study of the correlation between surface roughness and light scattering for rough metallic surfaces; Advanced Characterization Techniques for Optics, Semiconductors, and Nanotechnologies II; 2005; pp. 25780V-1-25780V-15; vol. 5878; SPIE Bellingham, WA.	
	C73	Lin, A. et al.; Optimization of Random Diffraction Gratings in Thin-Film Solar Cells Using Genetic Algorithms; 2007; 1 page; SSEL Annual Report. cited by applicant .	
	C74	Low Dose Technologies; Power Point	
	C75	Madzharov, et al.; "Light trapping in thin-firm silicon solar cells for superstrate and substrate configuration" Abstract #1614, 218.sup.th ECS Meeting .COPYRGT. 2010 the Electrochemical Society.	
	C76	"Masimo Rainbow SET Pulse CO-Oximetry," 2010, Masimo Corporation, Irvine, California, http://www.masimo.com/Rainbow/about.htm.	
	C77	Mateus; C.F.R. et al.; Ultrabroadband Mirror Using Low-Index Cladded Subwavelength Grating; Photonics Technology Letters; vol. 16, Issue No. 2; pp. 518-520; Feb. 2004; IEEE.	
	C78	Matsuno, Shigeru et al.; Advanced Technologies for High Efficiency Photovoltaic Systems; Mitsubishi Electric Advance; vol. 122; pp. 17-19; Jun. 2008	
	C79	Meynants, et al.; "Backside illuminated global shutter COMOS image sensors"; 2011 International Image Sensor Workshop; Jun. 11, 2011.	
	C80	MOLONEY, A.M. et al.; Novel Black Silicon PIN Photodiodes; 8 pages; January 25, 2006; SPIE.	
	C81	Moon et al. Selective emitter using porous silicon for crystalline silicon solar cells. Solar Energy Materials & Solar Cells, v. 93, pp. 846-850 (2009).	
	C82	Moses; Nuclear Medical Imaging--Techniques and Challenges; Power Point; Feb. 9, 2005; Lawrence Berkeley National Laboratory Department of Functional Imaging.	
	C83	Murkin, JM and Arangol, M, "Near Infrared spectroscopy as an index of rain and tissue oxygenation," Bri. J. of Anathesia (BJA/PGA Supplement):13-il3 (2009).	
	C84	Munday, J.N. et al.; Large Integrated Absorption Enhancement in Plasmonic Solar Cells by Combining Metallic Gratings and Antireflection Coatings; Nano Letters; vol. 11, No. 6; pp. 2195-2201; Oct. 14, 2010; American Chemical Society	
	C85	Myers, Richard et al., "Enhancing Near-IR Avalanche Photodiodes Performance by Femtosecond Laser Microstructuring" Harvard Dept. Of Physics.	
	C86	Nauka et al., Intrinsic Gettering in Oxygen-Free Silicon; App. Phys. Lett., vol. 46(7), Apr. 4, 1985.	
	C87	Nauka et al., "New Intrinsic Gettering Process in Silicon Based on Interactions of Silicon Interstitials," J. App. Phys., vol. 60(2), pp. 615-621, July 15, 1986.	

Examiner Signature		Date Considered	

EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to Applicant.

Substitute for Form 1449/PTO				Complete if Known	
				Application No.:	15/216,244
INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Filing Date:	July 21, 2016
				First Named Inventor:	Martin U. Pralle
				Group Art Unit:	TBA
(use as many sheets as necessary)				Examiner Name:	TBA
Sheet	18	of	20	Attorney Docket No.:	143705.05221

	C88	Nayak et al, "Semiconductor Laesr Crystallization of a--Si:H," SPIE Digital Library, 2003, 277-380, vol. 4977, Bellingham, Washington. 2003.	
	C89	Nayak et al, "Ultrafast-Laser-Assisted Chemical Restructuring of Silicon and Germanium Surfaces," Applied Surface Science, 2007, 6580-6583, vol. 253, Issue 15, Elsevier B.V.	
	C90	Nayak et al, "Semiconductor Laser Crystallization of a--Si:H on Conducting Tin-Oxide-Coated Glass for Solar Cell and Display Applications," Applied Physics A, 2005, 1077-1080, 80, Springer Berlin, Heidelberg, Germany	
	C91	NAYAK, B.K. et al.; Ultrafast Laser Textured Silicon Solar Cells; Mater. Res. Soc. Symp. Proc.; Vol. 1123; 6 pages; 2009; Materials Research Society	
	C92	NAYAK, et al.; "Efficient light trapping in silicon solar cells by ultrafast-laser-induced self-assembled micro/nano structures"; Progress in Photovoltaics: Research and Applications; 2011	
	C93	Oden, et al.; "Optical and Infrared Detection Using Microcantilevers;" SPIE Digital Library on Oct. 13, 2010; vol. 2744; 10 pages.	
	C94	Pain, Bedabrata; Backside Illumination Technology for SOI-CMOS Image Sensors; 2009 IISW Symposium on Backside Illujination of Solid-State Image Sensors, Bergen Norway; Jun. 25, 2009; pp. 1-23.	
	C95	Pain, Bedabrata; "A Back-Illuminated Megapixel CMOS Image Sensor"; http://hdl.handle.net/2014/39312; May 1, 2005	
	C96	Palm et al. CIGSSe Thin Film PB Modules: From Fundamental Investigators to Advanced Performance and Stability; Thin Solid Films; 2004; pp. 544-551; vol. 451-2.	
	C97	Payne, D.N.R. et al.; Characterization of Experimental Textured ZnO:Al Films for Thin Film Solar Cell Applications and Comparison with Commercial and Plasmonic Alternatives; Photovoltaic Specialists Conference (PVSC); pp. 1560-1564; 2010; IEEE.	
	C98	Pedraza et al., "Silicon Microcolumn Arrays Grown by Nanosecond Pulsed-Excimer Laser Irradiation", Appl. Phys. Lett., 1999, 74 (16), 2322-2324, American Institute of Physics. cited by applicant .	
	C99	Pedraza et al., "Surface Nanostructuring of Silicon", Appl. Phys. A, 2003, 77, 277-284.	
	C100	Rashkeev et al., "Hydrogen passivation and Activation of Oxygen Complexes in Silicon," American Institute of Physics, vol. 78(11), pp. 1571-1573 (Mar. 12, 2001).	
	C101	RUSSELL, et al.; "Nanosecond Eximer Laser Processing for Novel Microelectronic Fabrication"; Nanosecond Excimer Laser Processing; 6 pages; 1989	
	C102	Russell, Ramirez and Kelley, "Nanosecond Excimer Laser Processing for Novel Microelectronic Devices," US Navy, SPAWAR, San Diego, Techical Report, 2003.	
	C103	Russell, Ramirez, Kelley, "Nanosecond Excimer Laser Processing for Novel Microelectronic Fabrication," SSC Pacific Technical Reports , pp. 228-233, 2003, vol. 4, US Navy.	
	C104	Sai, H. et al.; Enhancement of Light Trapping in Thin-Film Hydrogenated Microcrystalline Si Solar Cells Using Back Reflectors with Self-Ordered Dimple Pattern; Applied Physics Letters; vol. 93; 2008; American Institute of Physics.	
	C105	Sanchez et al., "Whiskerlike Structure Growth on Silicon Exposed to ArF Excimer Laser Irradiation", Appl. Phys. Lett., 1996, 69 (5), 620-622.	
	C106	Sanchez et al., "Dynamics of the Hydrodynamical Growth of Columns on Silicon Exposed to ArF Excimer-Laser Irradiation ", Appl. Phys. A, 66, 83-86 (1998). cited by other .	
	C107	Sarnet et al.; "Femtosecond laser for black silicon and photovoltaic cells"; February 21, 2008, Proc. Of SPIE; Vol. 6881; pags 1-15	
	C108	Senoussaoui, N. et al.; Thin-Film Solar Cells with Periodic Grating Coupler; Thin Solid Films; pp. 397-401; 2003; Elsevier B.V.	
	C109	Serpenguzel et al., "Temperature Dependence of Photluminescence in Non-Crystalline Silicon", Photonics West (San Jose, CA, 2004) 454-462.	
	C110	Shen et al., "Formation of Regular Arrays of Silicon Micorspikes by Femotsecond Laser	

Examiner Signature		Date Considered	

EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to Applicant.

Substitute for Form 1449/PTO				Complete if Known	
				Application No.:	15/216,244
INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Filing Date:	July 21, 2016
				First Named Inventor:	Martin U. Pralle
				Group Art Unit:	TBA
(use as many sheets as necessary)				Examiner Name:	TBA
Sheet	19	of	20	Attorney Docket No.:	143705.05221

		Irradiation Through A Mask", Appl. Phys. Lett., 82, 1715-1717 (2003).	
	C111	Solar Energy Research Institute, "Basic Photovoltaic Principles and Methods," Van Nostrand Reinhold Co., NY 1984, pp. 45-47 and 138-142.	
	C112	Solhusvik, J. et al. "A 1280x960 3.75um pixel CMOS imager with Triple Exposure HDR," Proc. of 2009 International Image Sensor Workshop, Bergen, NORWAY, June 22-28, 2009.	
	C113	Stone et al.; The X-ray Sensitivity of Amorphous Selenium for Mammography;.Am. Assoc. Phys. Med.; Mar. 2002; pp. 319-324; vol. 29 No. 3; Am. Assoc. Phys. Med.	
	C114	Szlufcik, J. et al.; Simple Integral Screenprinting process for selective emitter polycrystalline silicon solar cells; Applied Physics Letters; vol. 59, No. 13; Sep. 23, 1991; American Institute of Physics.	
	C115	TABBAL et al., "Formation of Single Crystal Sulfur Supersaturated Silicon Based Junctions by Pulsed Laser Melting". 2007, J. Vac. Sci. Technol. B25(6), 1847-1852	
	C116	Takayanagi, et al.; "A 600.times.600 Pixel, 500, fps CMOS Image Sensor with a 4.4 jum Pinned Photodiode 5-Transistor Global Shutter Pixel"; 2007 International Image Sensor Workshop; Jun. 6-10, 2007.	
	C117	Tower, John R. et al.; Large Format Backside Illuminated CCD Imager for Space Surveillance; IEEE Transactions on Electron Devices, vol. 50, No. 1; Jan. 2003; pp. 218-224.	
	C118	TULL; "Femtosecond Laser Ablation of Silicon: Nanoparticles, Doping and Photovotaics"; Harvard University, June 2007 (Thesis)	
	C119	UEHARA et al., "A High-Sensitive Digital Photosensor Using MOS Interface-Trap Charge Pumping," IEICE Electronics Express, 2004, vol. 1, no. 18, 556-561.	
	C120	Wilson, "Depth Distributions of Sulfur Implanted Into Silicon as a Function of Ion energy, Ion Fluence, and Anneal Temperature," 1984, Appl. Phys. 55(10, 3490-3494.	
	C121	Winderbaum, S. et al.; Reactive ion etching (RIE) as a method for texturing polycrystalline silicon solar cells; Solar Energy Materials and Solar Cells; 1997; pp. 239-248; Elsevier Science B.V.	
	C122	Wu et al., "Black Silicon" Harvard UPS 1999	
	C123	Wu et al., "Black Silicon: A New Light Absorber," APS Centennial Meeting (Mar. 23, 1999).	
	C124	Wu et al., "Femtosecond laser-gas-solid interactions," Thesis presented to the Department of Physics at Harvard University, pp. 1-113, 126-136, Aug. 2000.	
	C125	Wu et al., "Visible Luminescence From Silicon Surfaces Microstructured in Air". Appl. Phys. Lett., vol. 81, No. 11, 1999-2001 (2002).	
	C126	Wu, et al "Near-Unity Below-Band-Gap Absorption by Microstructured Silicon," 2001, Applied Physics Letters, 1850-1852, vol. 78, No. 13, American Institute of Physics.	
	C127	Xu, Y., et al, "Infrared Detection Using Thermally Isolated Diode," Sensors and Actuators A, Elsevier Sequoia S.A., 1993, vol. 36, 209-217, Lausanne, Switzerland.	
	C128	Yablonovitch, et al.; "Intensity Enhancement in Textured Optical Sheets for Solar Cells"; .COPYRGT. 1982 IEEE.	
	C129	YAMAMOTO, K. et al.; NIR Sensitivity Enhancement by Laser Treatment for Si Detectors; Nuclear Instruments and Methods in Physics Research A; pages 520 - 523; March 31, 2010; Elsevier	
	C130	Yan, B.; Light Trapping Effect from Randomized Textures of Ag/ZnO Back Reflector on Hyrdrogenated Amorphous and Nanocrystalline Silicon Based Solar Cells; Thin Film Solar Technology II; vol. 7771; 2010; SPIE.	
	C131	Yasutomi, et al.; "Two-Stage Charge Transfer Pixel Using Pinned Diodes for Low-Noise Global Shutter Imaging"; 2009 International Image Sensor Workshop; Mar. 28, 2009.	
	C132	Younkin et al., "Infrared Absorption by Conical Silicon Microstructures Made in a Variety of Background Gases Using Femtosecond-Laser Pulses", J. Appl. Phys., 93, 2626-2629 (2003).	
	C133	Younkin, "Surface Studies and Microstructure Fabrication Using Femtosecond Laser Pulses,"	

Examiner Signature		Date Considered	

EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to Applicant.

Substitute for Form 1449/PTO				Complete if Known	
				Application No.:	15/216,244
INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Filing Date:	July 21, 2016
				First Named Inventor:	Martin U. Pralle
				Group Art Unit:	TBA
(use as many sheets as necessary)				Examiner Name:	TBA
Sheet	20	of	20	Attorney Docket No.:	143705.05221

		Thesis presented to the Division of Engineering & Applied sciences at Harvard University (Aug. 2001).	
	C134	YUAN, et al.; "Efficient black silicon solar cell with a density-graded nanoporous surface: Optical properties, performance limitations, and design rules"; American Institute of Physics; Applied Physics Letters 95. 1230501 (2009) 3 pages	
	C135	Zaidi, S.H. et al.; Diffraction Grating Structures in Solar Cells; Photovoltaic Specialists Conference, 2000; 4 pages; Sep. 2000; IEEE.	
	C136	Zhang et al, "Ultra-Shallow P+-Junction Formation in Silicon by Excimer Laser Doping: a Heat and Mass Transfer Perspective," Int. J. Heat Mass Transfer, 1996, 3835-3844, vol. 39, No. 18, Elsevier Science Ltd., Great Britain.	
	C137	Zhu et al., "Evolution of Silicon Surface Microstructures by Picosecond and Femtosecond Laser Irradiations," Applied Surface Science, 2005, 102-108, Elsevie, Amsterdam, NL.Ultra-Shallow P+-Junction Formation in Silicon by Excimer Laser Doping: a Heat and Mass Transfer Perspective," Int. J. Heat Mass Transfer, 1996, 3835-3844, vol. 39, No. 18, Elsevier Science Ltd., Great Britain.	

Examiner Signature		Date Considered	

EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to Applicant.

(12) AUSTRALIAN PATENT ABRIDGMENT
(19) AU (11) AU-B-36664/84

(54) LASER GROOVED SOLAR CELLS

(71) UNISEARCH LIMITED
(21) 36664/84 565214 (22) 23.12.83
(23) 13.12.84 (24) 23.12.83
(43) 27.6.85 (44) 10.9.87
(51)[3] H01L 31/18 H01L 31/06

(72) STUART ROSS WENHAM AND MARTIN ANDREW GREEN

(74) RI

(56) AU 78802/75 488420 H01L 15/04
US 4046594
US 4137123
EP 14759

(57) Claim

1. A method of manufacturing solar cells, said method comprising the steps of scribing a pattern of grooves or holes in a surface of semiconductor substrate with a laser scriber and subsequently forming a rectifying junction on said surface, said junction extending into said holes or grooves.

3. The method of claims 1 or 2 wherein after said scribing step and before forming the rectifying junction, an etching step is performed, said etching step comprising etching said grooves or holes with a chemical etchant, the etching step being used to control the shape of the grooves or holes in the final cell.

4. The method of claim 3 wherein the chemical etchant is selected to etch the base region of the grooves or holes more slowly than the top region to convert the grooves into V-shaped troughs and to convert the holes to shapes approximating inverted pyramids, and said junction extending into said troughs or inverted pyramids.

SAMSUNG EX. 1002 - 83/2862

565214

PATENT OFFICE 20 TWENTY DOLLARS

PATENT OFFICE 10 DOLLARS

COMMONWEALTH OF AUSTRALIA

Patents Act 1952

APPLICATION FOR A STANDARD PATENT

~~XX~~/WE, UNISEARCH LIMITED a company limited by guarantee and incorporated under the laws of the State of New South Wales, Australia, of 221-227 Anzac Parade, Kensington, New South Wales, Australia,

hereby apply for the grant of a Standard Patent for an invention entitled

"The Laser Grooved Solar Cell"

which is described in the accompanying ~~complete~~ provisional specification.

~~This application is made under the provision of Part XVI of the Patents Act 1952 and is based on an application for a patent or similar protection made~~

~~in~~ ~~xxx~~ ~~(Nxx~~

APPLICATION ACCEPTED AND AMENDMENTS ~~xxx~~ ~~(Nxx~~

ALLOWED 27-7-87

~~Xx~~/Our address for service is: F.B. RICE & CO.,
28A Montague Street,
Balmain, NSW 2041

Dated this 23rd day of December, 1983.

UNISEARCH LIMITED

LODGED AT SUB-OFFICE
23 DEC 1983
Sydney

By: Patent Attorney

To : The Commissioner of Patents
COMMONWEALTH OF AUSTRALIA

F.B. RICE & CO.,
Patent Attorneys,
Sydney

FEE STAMP
$ 30
MAIL OFFICER

COMPLETE AFTER PROVISIONAL SPECIFICATION NO. 36664/84

SAMSUNG EX. 1002 - 84/2862

Commonwealth of Australia
The Patents Act 1952
DECLARATION IN SUPPORT

In support of the (~~Convention~~) Application made by: UNISEARCH LIMITED

for a patent for an invention entitled: The Laser Grooved Solar Cell,

I (~~We~~) RICHARD PIERRE CARTMER
of and care of the applicant company do solemnly and sincerely declare as follows:

~~a) I am (We are) the applicant(s) for the patent~~ xx
~~xx~~
b) I am (~~We are~~) authorised by the applicant(~~s~~) for the patent to make this declaration on its behalf.

Delete the following if not a Convention Application.

~~The basic application(s) as defined by section 43 (1) of the Act was (were) made~~

~~xx~~ ~~xxx~~

~~xx~~ ~~xxx~~

~~xx~~ ~~xxx~~

~~by~~

~~The basic application(s) referred to in the paragraph 3 (a) the first application(s) made in a Convention country in respect of the invention the subject of the application~~ xx

---

~~a) I am (We are) the actual inventor(s) of the invention~~
~~xx~~
b) STUART ROSS WENHAM of 17 Fortescue Street, Bexley North, N.S.W., 2207 and
MARTIN ANDREW GREEN, of 10 Blandford Avenue, Waverley, N.S.W., 2024

~~xx~~(are) the actual inventor(s) of the invention and the facts upon which Unisearch Limited

is (~~xx~~) entitled to make the application are as follows:

The applicant is the assignee of the invention from the said actual inventors.

Declared at KENSINGTON this 6th day of December 1984

Signed [signature] Status SERVICES OFFICER (LEGAL)

Declarant's Name RICHARD PIERRE CARTMER

F. B. RICE & CO PATENT ATTORNEYS

This form is suitable for any type of Patent Application. No legalisation required.

SAMSUNG EX. 1002 - 85/2862

COMMONWEALTH OF AUSTRALIA

505214

Patent Act 1952

COMPLETE SPECIFICATION

(ORIGINAL)

Class Int. Class

Application Number : PG 3004
Lodged : 23 December 1983

Complete Specification Lodged :
Accepted :
Published :

Priority :

Related Art : 36664/84.

Name of Applicant : UNISEARCH LIMITED

Address of Applicant : 221-227 Anzac Parade, Kensington N.S.W. 2033

Actual Inventors : Stuart Ross Wenham; Martin Andrew Green

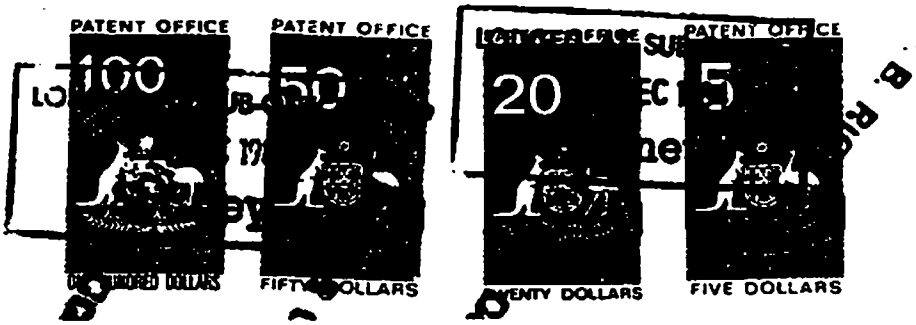
Address for Service : P.B. RICE & CO., Patent Attorneys, 28A Montague Street, BALMAIN. 2041.

LODGED AT SUB-OFFICE
Sydney

Complete Specification for the invention entitled:

The Laser Grooved Solar Cell

The following statement is a full description of this invention including the best method of performing it known to us:-



175

SAMSUNG EX. 1002 - 86/2862

The present invention relates to improvements in the fabrication of solar cells whereby the structure of the cell facilitates collection of photon generated minority carriers from deep within the wafer substrate.

Long wavelength light striking a photocell will penetrate much further into the cell than shorter wavelength light, on average, before being absorbed and therefore minority carriers generated by photons of long wavelength energy must travel much further before being collected by the rectifying junction of the cell. As a result, the chances of a minority carrier resulting from a long wavelength photon, being collected before recombination occurs are greatly reduced over those of a minority carrier resulting from a shorter wavelength photon. This effect is even more pronounced in solar cells used in space, due to the radiation damage which is caused to a solar cell in this environment, and which results in a reduction in minority carrier life times.

In an attempt to overcome the effects of reduced minority carrier life time in the space environment, prior art solar cells have been produced wherein a plurality of grooves were chemically etched into the surface of the substrate prior to the formulation of the rectifying junction of the cell, such that the junction provided within the grooves penetrates deep into the bulk of the substrate to aid in the collection of minority carriers formed in the bulk regions.

However, while the formation of grooves in the substrate provides an improvement in short circuit current densities, complications associated with the chemical etching step make this solution too expensive to be of practical use, particularly in the case of mass produced cells for terrestrial use.

A laser scriber has previously been used to separate cells formed on a common wafer, by scribing a groove between

a pair of adjacent cells and then breaking the wafer along the scribe line in a similar manner to that used when cutting glass or ceramic tiles. Lasers have also been used to isolate doped regions of a substrate by cutting or drilling an opening between the two adjacent regions to be isolated, however, it has not previously been considered feasible to use lasers in the processing of the active regions of semiconductor devices, due to the damage to the crystal structure caused by the laser.

A first aspect of the present invention relies upon the unexpected result that grooves scribed in the surface of a substrate by way of a laser scriber do not cause a significant deleterious effect upon the solar cell subsequently formed on the substrate, due to crystal damage caused by the laser, but to the contrary the crystal damage provides getterring sites to which impurities in the substrate migrate during subsequent high temperature processing, thereby enhancing the performance of the solar cell by increasing the life time of minority carriers in the bulk of the substrate.

It has also been found that grooving of the surface of the cell enhances the anti-reflective properties of the cell, as light falling within the grooved area, if it is not initially absorbed by the cell, will be reflected onto another surface of the groove, thereby increasing the possibility of absorption. In order to escape from the grooved area, a photon will need to be reflected several times within the groove, and therefore the probability of escape is low.

The provision of grooves in the substrate also increases greatly the area of the cell junction and additionally provides the possibility of having differing sheet resistivities in the top layer of the cell, with a high resistivity in the region between the grooves to enhance the photovoltaic effect and a lower resistivity within the

grooves to decrease the series resistance of the cell and to allow the wider spacing of the contact fingers used to conduct current from the top layer.

According to a first aspect, the present invention consists in a method of manufacturing solar cells, said method comprising the steps of scribing a pattern of holes or grooves in a surface of a semiconductor substrate with a laser scriber and subsequently forming a rectifying junction on said surface, said junction extending into said holes or grooves.

Preferably embodiments of the invention achieve a plurality of parallel grooves or a regular pattern of holes by scribing the surface of the substrate using a laser scriber adapted to simultaneously scribe a repeating pattern of grooves or holes.

In a preferred embodiment of the invention, a chemical etching step is employed between the step of laser scribing and the step of forming the rectifying junction, such that precise control of the shape of holes and grooves is achieved.

Some embodiments of the invention will also make use of holes bored through the substrate during the laser etching step to allow contact to be made with the surface layer of the cell from the rear of the substrate.

Embodiments of the invention may also employ grooving of the rear surface of the substrate to form thin strong cell structures which have high efficiency and are radiation resistant.

In further embodiments of the present invention a solar cell is produced having a substrate, one surface of which has a plurality of grooves or hollows formed therein, and a rectifying junction formed on said surface and extending into said grooves, a top layer of said junction having a sheet resistivity which is greater in the region between the grooves than in the region within the grooves.

In yet further embodiments of the present invention

SAMSUNG EX. 1002 - 89/2862

~~consists in~~ a solar cell ~~comprising~~ is produced having a substrate, opposite surfaces of which each have a plurality of grooves or hollows formed therein, a rectifying junction being formed on one of said surfaces and extending into the grooves or hollows of that surface.

Embodiments of the invention will now be described, by way of example, with reference to the accompanying drawings wherein:

Figure 1 schematically illustrates a sectional view of a solar cell manufactured in accordance with a first embodiment of the present invention;

Figure 2 schematically illustrates the solar cell of Figure 1 when viewed from the top;

Figure 3 schematically illustrates a sectional view of a solar cell manufactured in accordance with a second embodiment of the present invention;

Fig. 4 schematically illustrates a sectional view of a fully etched substrate according to an embodiment of the invention;

Fig. 5 schematically illustrates (a) a plan view of a laser scribing pattern; (b) a plan view of a fully etched substrate and (c) a perspective view of a fully etched substrate for a fourth embodiment of the invention;

Fig. 6 schematically illustrates (a) a plan view of a laser scribing pattern; (b) a plan view of a fully etched substrate and (c) a perspective view of a fully etched substrate for a fifth embodiment of the present invention;

Figs. 7, 8 and 9 schematically illustrate (a) a plan view of a laser scribing pattern and (b) a perspective view of a fully etched substrate for sixth, seventh and eighth embodiments respectively, of the present invention; and

Fig. 10 schematically illustrates an improved method of connecting electrodes to the embodiment of Fig. 8.

Referring to Figure 1, a substrate 10 is provided with a back contact 11 and a rectifying junction 12 on opposite

SAMSUNG EX. 1002 - 90/2862

surfaces, the junction being formed between the substrate 10, which may be of either p-type or n-type semiconductor material, but in this embodiment is p-type material, and a top layer 13 extending over the top surface of the substrate and which is formed of a semiconductor material of opposite impurity type to the substrate 10. Grooves 14 scribed in the top surface of the substrate by a laser scriber, prior to formation of the junction 12, greatly increase the junction area and at the same time facilitate the collection of minority carriers 15 generated deep within the bulk of the substrate, by placing sections of the junction in closer proximity to the region in which these carriers are generated.

Grooves 14 in the cell surface also improve the anti-reflection properties of the cell by acting as light traps. Light 16a striking the surfaces of the cell between the grooves, and which is not absorbed by the cell, will be reflected by the surface and wasted, however, light 16b striking a surface of one of the grooves 14, and which is not absorbed, will generally be reflected onto another surface of the groove, depending upon the angle of incidence of the light and the shape of the grooves. For light 16b falling normal to the top surface of the cell, the number of reflections within the groove 14 will be large, thereby reducing the percentage of light which is reflected out of the grooves.

A further improvement in the anti-reflective properties of the cell may be achieved by filling the grooves with a transparent material such as silicon oxide, and the slope of the groove walls can be optimized after scribing by an unmasked etch of the entire substrate surface.

As well as the improvement in current density due to the physical positioning of the junction within the groove and the increased area of the junction, a further improvement can be attributed to the production of getterring sites during the laser scribing of the surface of the substrate, thereby

allowing an increased degree of getterring during subsequent high temperature processing.

Getterring is the process by which impurities are attracted to certain areas of the substrate during high temperature processing, and typical getterring sites are regions of stress causd by diffusion processes and areas of crystal structure damage as caused by laser scribing. The laser scribing process, being a particularly robust process, creates a significant amount of damage to the crystal structure and accordingly a large number of getterring sites will be produced by this process.

The reduction in the number of impurities in the bulk of the substrate, as a result of getterring, has the effect of increasing the minority carrier life time and accordingly increasing the probability of a minority carrier being collected at the rectifying junction 12 before recombination occurs.

The series resistance of the grooved solar cell can also be decreased by selecting a lower sheet resistivity for the portion of the top layer 13 formed in the grooves 14 than for that used in the portion of the top layer between the grooves. In a non-grooved solar cell, manufactured for terrestrial use, the metal contact grid applied to the top layer is often applied by screen printing in order to keep cost to a minimum, however, screen printing imposes restrictions upon the minimum dimensions achievable, these being a minimum contact width of typically 150μm and a mimimum spacing of at least 3mm. With these contact dimensions, it is necessary to provide a top layer sheet resistivity in the order of 25 Ω/□ to 50 Ω/□ to minimize lateral resistance, however, such low values of sheet resistivity degrade the photovoltaic properties of the cell. This problem is less pronounced in cells produced for use in space, as in these cells a more sophisticated method of contact formation is used which allows the use of thinner

contacts having a closer spacing, such that higher sheet resistivities can be used without degrading the series resistance of the cell. However, the method of contact formation used in space cells adds considerably to their manufacturing costs.

In the case of grooved cells made according to the present invention, sheet resistivities in the order of 25Ω/□ to 50Ω/□ can be provided for that portion of the top layer 13 within the grooves 14, while sheet resistivities in the order of 100-200Ω/□ can be achieved in the top layer portions between the grooves. Typically the groove would be in the order of 50μm wide and the space between the grooves would be 100μm, the metal contact fingers 17 (see Fig. 2) running in the direction normal to the grooves and having the dimensions previously stated for screen printed contacts.

A lower sheet resistivity can be achieved in the grooved regions in numerous ways, some examples of which are:

(a) Diffuse the entire surface, oxidise and/or deposit nitride, form laser grooves through the oxide and/or nitride and first diffusion, chemically clean the grooves, complete a second heavy diffusion. This second diffusion will be localized to the grooved areas due to the blocking action of oxide and/or nitride.

(b) Oxidise wafer . as a thinner oxide than in (a) above results, form laser grooves through the oxide, chemically clean the grooves, and diffuse heavily. Oxide will partly block the diffusion in non-grooved areas resulting in a lighter diffusion in these areas.

(c) Dilute commercially available 'spin on' dopant source and apply to grooved surface. The source will coat non-grooved areas to a thickness determined by source viscosity and spin speed, but can completely fill grooves. This will result in a larger volume of source per unit surface area in grooved as opposed to non-grooved areas. Consequently more dopants will enter the surface in grooved

SAMSUNG EX. 1002 - 93/2862

areas in subsequent high temperature treatments than non-grooved areas.

(d) Diffuse entire grooved wafer surface heavily. Use dilute chemical etch to etch back diffused areas. The etch will have less opportunity for replenishment in grooved areas and will quickly become depleted and ineffective in these regions. Hence, diffused material will be selectively removed from non-grooved areas. A similar technique which makes use of plasma etching is also possible.

(e) Use a laser to locally heat the silicon in grooved regions subsequent to the application of a diffusion source.

The low sheet resistivity of the top layer in the grooved regions will have a detrimental effect on the response of the cell to short wavelength (blue) light due to the increased top layer thickness and therefore the sheet resistivity chosen will be a compromise between a value which gives low series resistance and a value which does not seriously degrade the response to blue light. It will be recognised, however, that while low sheet resistivity will degrade the response to blue light, the beneficial effects of

SAMSUNG EX. 1002 - 94/2862

low series resistance and improved current density due to increased junction area and the provision of a portion of the junction deep within the bulk of the substrate, will more than make up for this degradation. Further, the low sheet resistivity in the grooves will not seriously affect the response of the cell to long wavelength (red) light.

The use of a low sheet resistivity top layer in the grooved regions of space cells will also allow the contact fingers in these cells to be spaced more widely, thereby, allowing the use of less costly formation process and accordingly reducing the manufacturing costs of the cell.

Referring now to Figure 3 the metal contact fingers 17 in Figure 2 may be replaced by Conductor-Insulator-Silicon (CIS) contacts wherein the top layer 13 is a lightly doped region, the rectifying effect of the junction 12 being reinforced by the MIS contact comprising a thin layer of insulation 18 over the top layer and a metal, or a highly doped polycrystalline, contact finger 19 formed over the insulation layer 18. The fingers 19 will be arranged in a similar configuration to the metal fingers 17 shown in Figure 2, however, the insulation layer may either be formed over the entire surface of the cell, by using a transparent insulation layer such as a silicon oxide, or alternatively the insulation layer may be only formed in the region of the conductor finger 19.

Referring to Fig. 4 of the drawings, reflection properties of the laser groove cell can be optimised by arranging the grooving so that the sloping groove walls intersect with one another, thereby substantially eliminating the flat intergroove regions illustrated in Figs. 1, 2 and 3. With the structure of Fig. 4, the only ungrooved regions required are flat paths 21 (refer to Fig. 5) provided for the top contact metallisation.

As illustrated in Fig. 4, very precise control can be obtained of such structures in single crystal material by

using chemical etches with anisotropic properties, combined with laser grooving. For example, dilute caustic soda solutions etch silicon very slowly in the [111] crystal direction but etch very rapidly in other directions. Therefore, if the surface 22 of a wafer has [100] orientation and is grooved by a laser to form grooves 23 and then subsequently etched in dilute caustic soda solutions, the silicon is very quickly etched away until the [111] crystal planes are exposed to form the grooved surface 24 of Fig. 4. Once the [111] crystal planes, coinciding with the faces of the surface 24, are exposed, the rate of etching slows markedly, allowing precise control of the final etched surface shape, thereby allowing the resulting surface geometry of the device to be precisely defined by the depth and spacing of the original grooves 23.

Regardless of the method used to control the slope of the groove walls, interesting and useful structures can be obtained by the use of intermittent grooving of the cell surface and several such structures will now be described with reference to Figs. 5, 6, 7, 8 and 9.

Referring to Fig. 5, a "slat" structure is illustrated wherein the laser grooving 23 is intermittently broken by gaps 25 in order to provide strengthening ribs or struts 26 in the final etched substrate of Fig. 5(c). In addition, a larger gap 27 in the laser grooving pattern results in the flat path 21 in the final etched substrate which provides a location for top contact metallisation in the completed cell.

Turning to Fig. 6, the laser grooves 23 of Fig. 5 are replaced by holes 33 which are bored by the laser scriber in the square pattern illustrated in Fig. 6a, such that after etching, an inverted pyramid structure as illustrated in Fig. 6b and Fig. 6c is produced with the top surface 34 of the inverted pyramid structure again corresponding to the [111] crystal planes of the substrate.

Combined grooving of the front and rear surfaces of the

wafer and subsequent etching gives rise to a further class of cells which have been termed "crinkle cut" cells. Referring to Fig. 7, if a grooving pattern 43, similar to the pattern 23 of Fig. 5a is provided in a top surface of the wafer and a second grooving pattern 53, again similar to the pattern 23 of Fig. 5a, is provided in the bottom surface of the wafer and the wafer is subsequently etched, a structure of the form illustrated in Fig. 7b will be produced, wherein parallel grooves run along both sides of the wafer, the grooves in one side corresponding with the peaks in the other side of the wafer to provide a [illegible]gated structure having strengthening struts or ribs 46 and [illegible] (ribs 56 not shown) and the surfaces 44 and 54 each corresponding to [111] crystal planes of the substrate.

Figs. 8 and 9 illustrate additional "crinkle cut" structures, the structure of Fig. 8 comprising inverted pyramids similar to those of Fig. 6 on each side of the wafer, with the pyramids on one side of the wafer being offset from those on the other side, while the structure of Fig. 9 has inverted pryamids on the top surface and a crossed groove structure on the bottom surface to provide an etched wafer structure having a substantially constant thickness as is the case with the structure of Fig. 7. The structures of Fig. 7 and Fig. 9 allow very thin strong cells having good reflection properties to be fabricated and these structures will assist in the production of very high efficiency cells with good radiation resistance. The structure of Fig. 8 on the other hand will produce cells having good reflection properties with moderate thickness but great strength.

The laser grooving technique can also be used to produce structures which have holes extending right through the cell from one side to the other. The structures illustrated in Figs. 6, 8 and 9 are particularly suited to this technique. The advantage of a structure which employs holes passing completely through the cell is that it is then possible to

SAMSUNG EX. 1002 - 97/2862

have both contacts to the cell made on the rear surface of the cell, thereby avoiding the losses associated with top contact shading. For example, a section of a structure similar to that of Fig. 6 is illustrated in Fig. 10, wherein the grooving is much greater than that previously illustrated such that the apex 35 of inverted pyramids extends to the back surface of the wafer. With this structure, once the top layer 13 has been formed, metallised top contacts 36 can be provided from the back of the cell at each apex point. This technique allows an improvement in overall cell efficiency by removing the problem of top contract shading which would otherwise occur, while at the same time allowing connections to the top contacts to be of greater current carrying capacity, as the trade off between current carrying capacity and degree of shading is no longer necessary.

The laser used to produce any of the previous laser groove structures can be programmed very simply to punch holes through the cell in any prescribed location so that a variety of such punch through structures are possible with this approach and clearly the punch through technique can be used with any of the structures previously described.

A preferred method of manufacturing laser groove cells requires starting with a silcon wafer of desired surface orientation (for example [100])and then grooving one or both sides of the cell in the desired pattern using a laser. The wafer is then etched in an appropriate chemical solution to define the shape of the walls of the groove. Thereafter, cell processing proceeds as it would with prior art devices. The top junction is formed by the diffusion of an appropriate dopant and, if desired, a back surface field region is formed at the rear of the cell. Top and rear contact metallization can then be formed by any chosen sequence, e.g. vacuum deposition, screen printing or electroplating, as can the antireflection coating.

It will be recognised by persons skilled in the art that

SAMSUNG EX. 1002 - 98/2862

numerous variations and modifications may be made to the invention as described above without departing from the spirit or scope of the invention as broadly described.

SAMSUNG EX. 1002 - 99/2862

THE CLAIMS DEFINING THE INVENTION ARE AS FOLLOWS:-

1. A method of manufacturing solar cells, said method comprising the steps of scribing a pattern of grooves or holes in a surface of semiconductor substrate with a laser scriber and subsequently forming a rectifying junction on said surface, said junction extending into said holes or grooves.

2. The method of claim 1 wherein said laser scriber is adapted to simultaneously scribe a plurality of grooves or holes in said substrate.

3. The method of claims 1 or 2 wherein after said scribing step and before forming the rectifying junction, an etching step is performed, said etching step comprising etching said grooves or holes with a chemical etchant, the etching step being used to control the shape of the grooves or holes in the final cell.

4. The method of claim 3 wherein the chemical etchant is selected to etch the base region of the grooves or holes more slowly than the top region to convert the grooves into V-shaped troughs and to convert the holes to shapes approximating inverted pyramids, and said junction extending into said troughs or inverted pyramids.

5. The method of claims 1, 2, 3 or 4 wherein the laser scriber is used to bore holes through the substrate during the laser scribing step and the junction extends through said holes to cover a portion of the rear surface thereof such that contact can be made with the top layer of the cell from the rear of the substrate.

6. The method of any one of the preceding claims, wherein grooving of the rear surface of the substrate is employed to reduce the thickness of the cell structure, grooves in the rear surface being located between grooves in the top surface of the substrate.

7. A solar cell manufactured using the method as claimed in any one of the preceding claims wherein said rectifying

SAMSUNG EX. 1002 - 100/2862

junction has a top layer with a sheet resistivity which is greater in the region between the grooves than in the region within the grooves.

8. A solar cell as claimed in claim 7, wherein the sheet resistivity of the top layer within the grooves is in the order of 25-50 Ω/□ while sheet resistivity of the top layer between the grooves is in the order of 100-200 Ω/□ .

9. A solar cell as claimed in any one of claims 7 or 8 wherein holes are provided through the substrate, the top layer of the rectifying junction extending into the through holes and metalized top contacts being provided on the back of the substrate at each of said holes to make an electrical connection with the top layer of the junction.

10. A solar cell, made in accordance with the method of claim 1.

11. A method of manufacturing a solar cell as claimed in claim 1, substantially as hereinbefore described.

12. A solar cell substantially as hereinbefore described with reference to the accompanying drawings.

DATED this 7th day of July 1987

UNISEARCH LIMITED
Patent Attorneys for the
Applicant:

F.B. RICE & CO.

SAMSUNG EX. 1002 - 101/2862

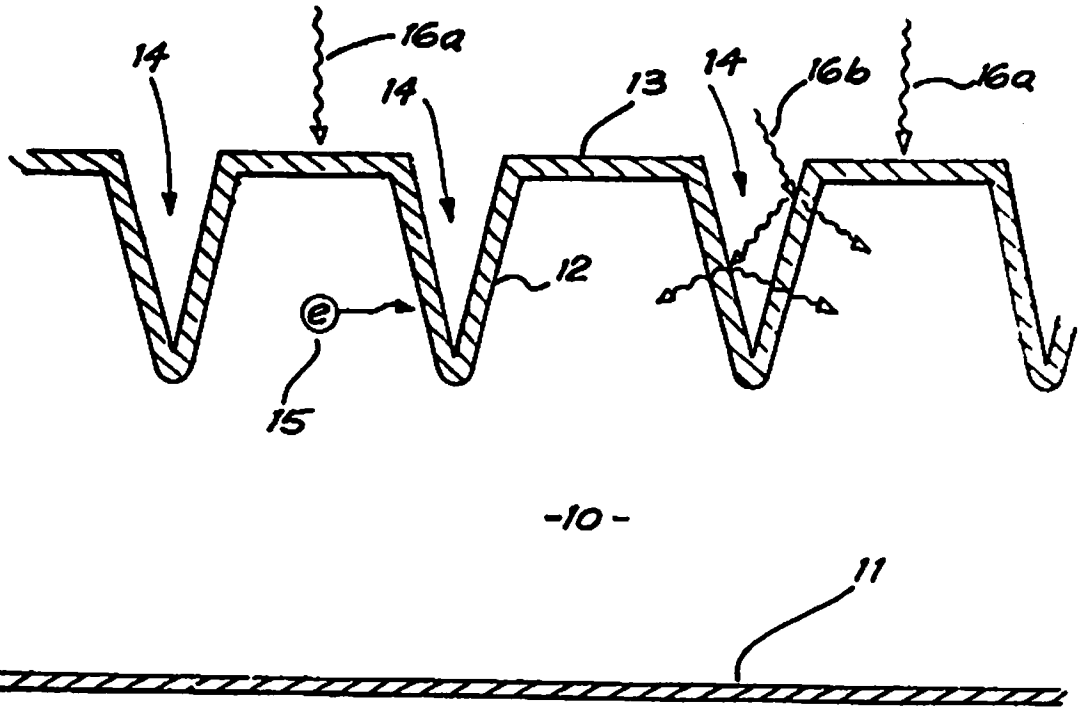


FIG.1

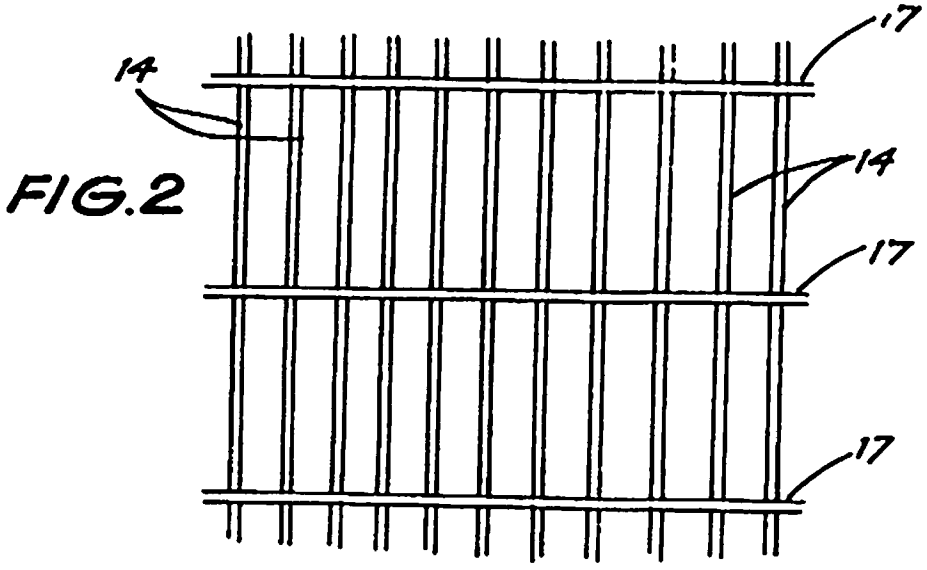


FIG.2

SAMSUNG EX. 1002 - 102/2862

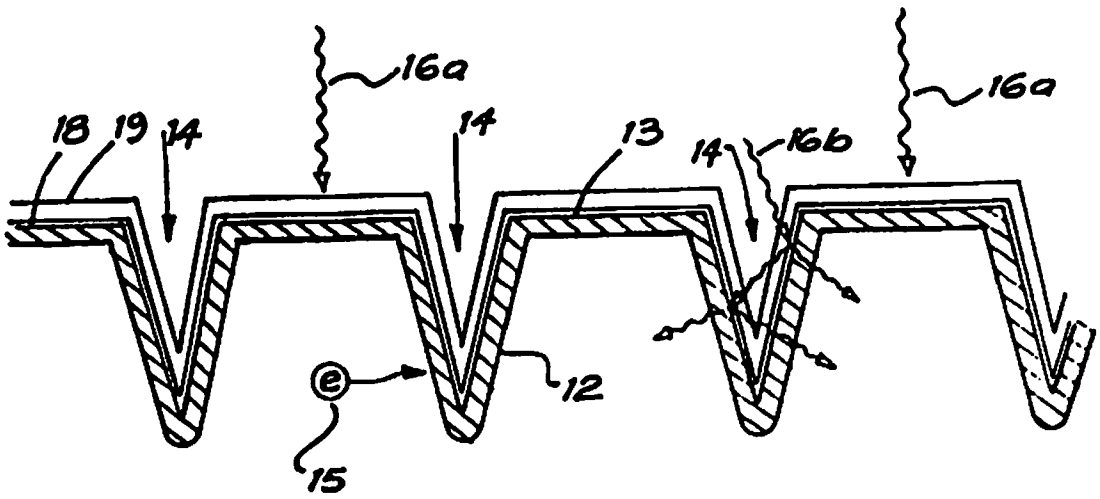


FIG. 3

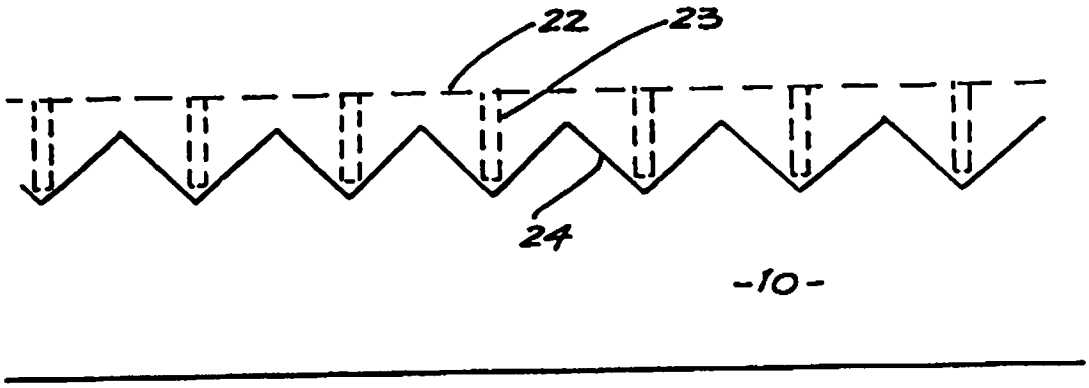


FIG. 4

SAMSUNG EX. 1002 - 103/2862

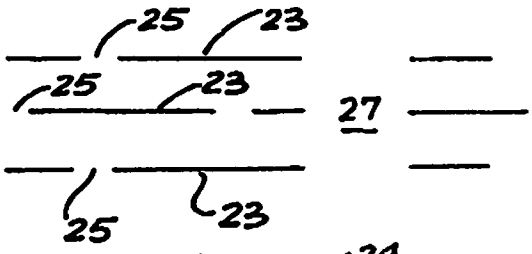


FIG. 5a

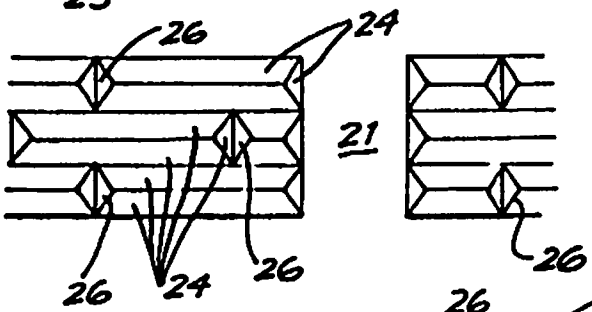
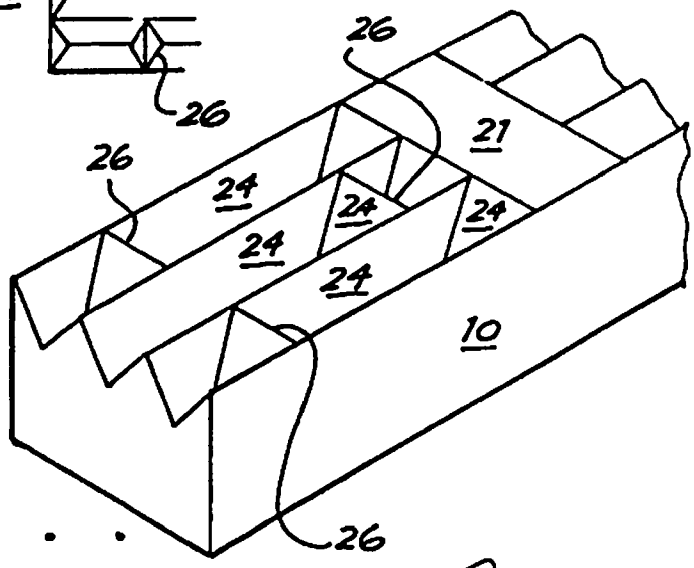


FIG. 5b

FIG. 5c



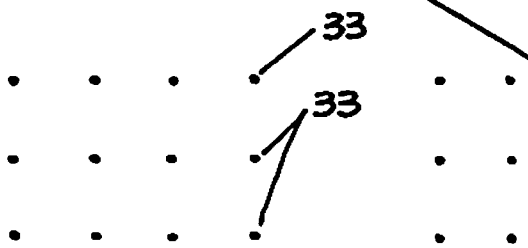


FIG. 6a

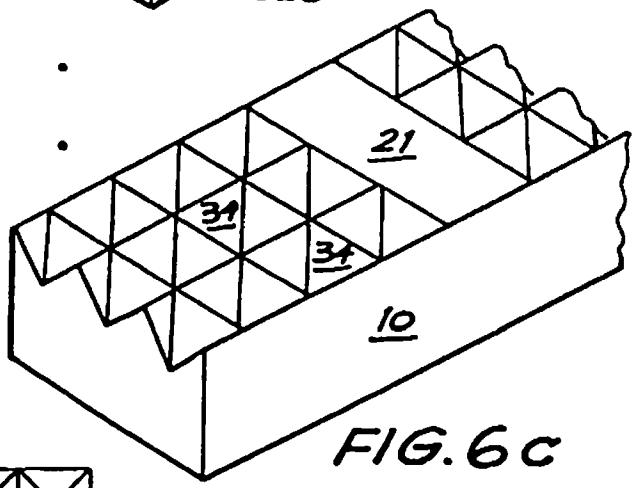


FIG. 6c

FIG. 6b

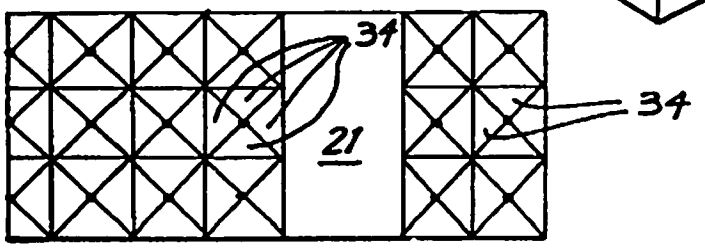


FIG. 7a

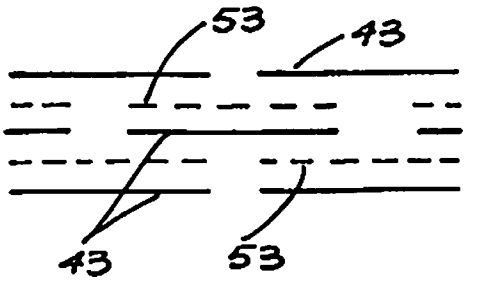
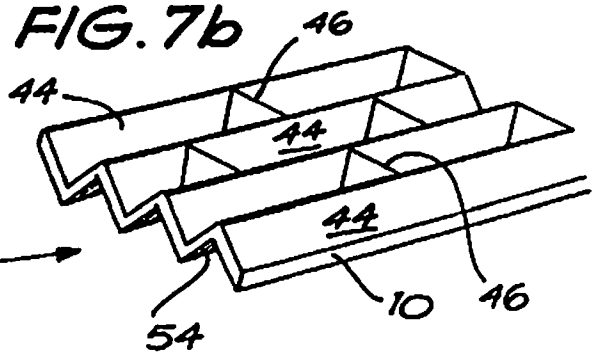


FIG. 7b



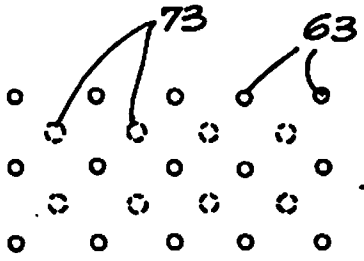


FIG. 8a

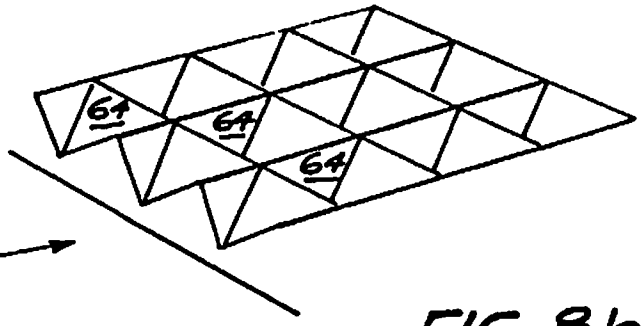
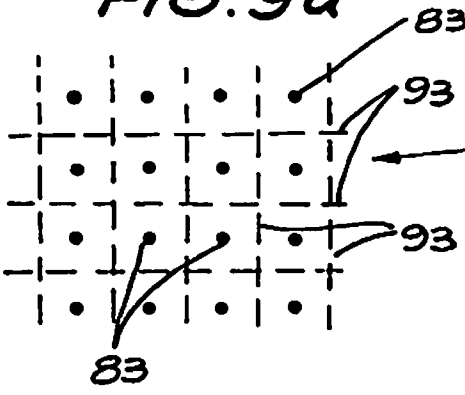


FIG. 8b

FIG. 9a



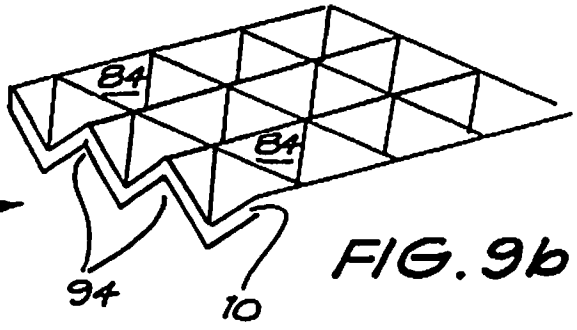


FIG. 9b

FIG. 10

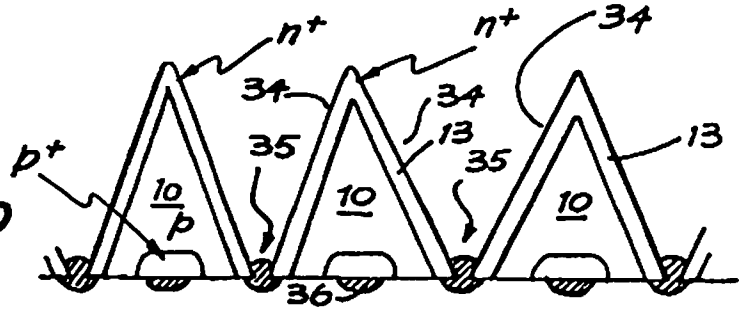


FIG. 7a

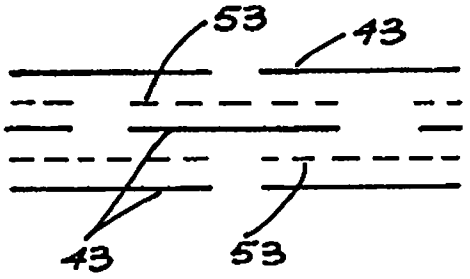
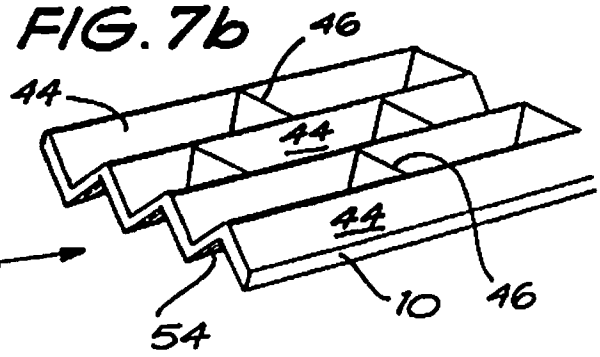


FIG. 7b



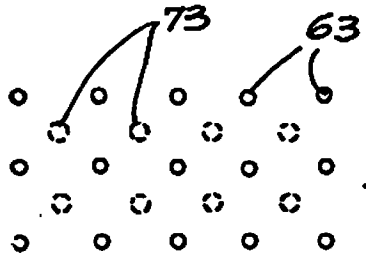


FIG. 8a

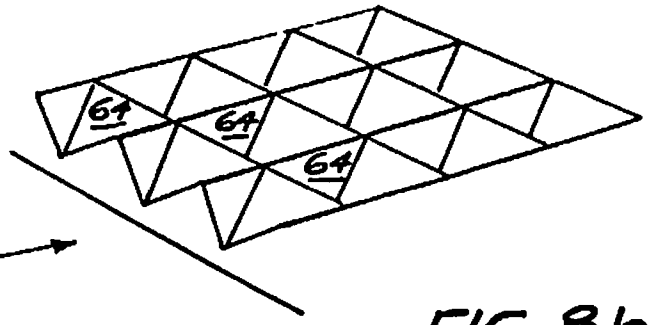
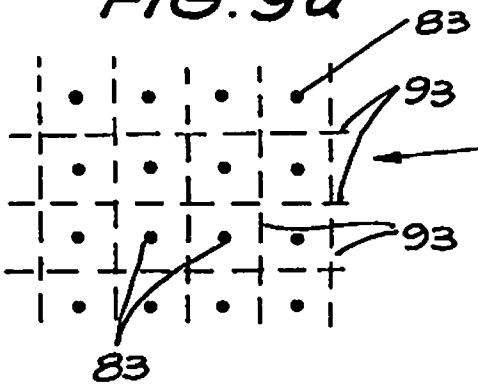


FIG. 8b

FIG. 9a



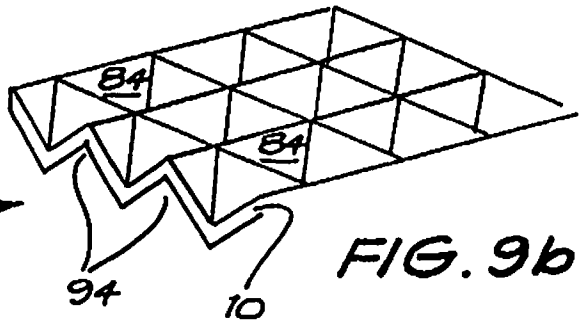
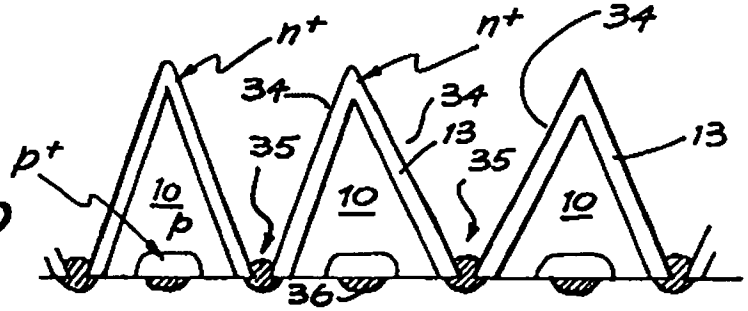


FIG. 9b

FIG. 10



(19) Europäisches Patentamt
European Patent Office
Office européen des brevets

(11) Publication number : **0 473 439 A2**

(12) EUROPEAN PATENT APPLICATION

(21) Application number : **91307931.5**

(22) Date of filing : **29.08.91**

(51) Int. Cl.[5] : **H01L 31/16,** H01L 31/09, H01L 31/0296, H01L 31/18, H03K 17/78

(30) Priority : **31.08.90 GB 9018957**

(43) Date of publication of application : **04.03.92 Bulletin 92/10**

(84) Designated Contracting States : **DE FR GB IT**

(71) Applicant : **COOPER INDUSTRIES, INC.**
First City Tower Suite 4000 P.O. Box 4446
Houston Texas 77210 (US)

(72) Inventor : **Howson, Peter Allen**
21 Milner Road
Brighton, East Sussex (GB)

(74) Representative : **Spencer, Graham Easdale et al**
A.A. Thornton & CO Northumberland House
303-306, High Holborn
London WC1V 7LE (GB)

(54) Electronic switch comprising a photosensitive semiconductor.

(57) An electronic switch comprises a photosensitive semiconductor (1,11,12) and a light source (14,24) which, when actuated, illuminates the semiconductor and causes the latter to become conductive, the photosensitive semiconductor being a sintered mixture comprising, by weight, 58 - 72% of cadmium, 14.8 - 21% of selenium, 7 - 15% of tellurium, 7 - 12% of sulphur, 0.1 - 1% of chlorine, and 0.005 - 0.1% of copper.

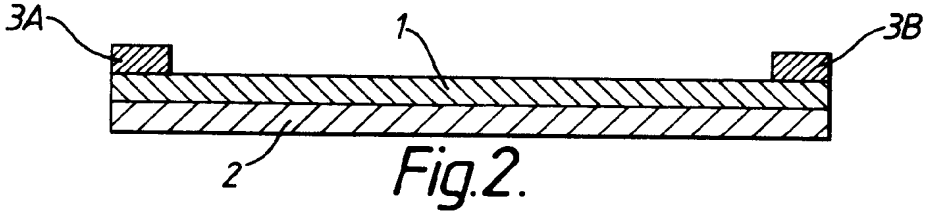


Fig.2.

EP 0 473 439 A2

SAMSUNG EX. 1002 - 107/2862

The present invention relates to an electronic switch comprising a photosensitive semiconductor and a light source which, when actuated, illuminates the semiconductor and causes the latter to become conductive.

Photosensitive semiconductors are well known and need not be described in detail. The main characteristic of such semiconductors is their ability to pass from an electrically non-conductive and high resistance state to an electrically conductive and low resistance state when they are illuminated with light.

Materials presently used as or in industrial photosensitive semiconductors are for example : silicon, carbon, germanium, gallium arsenide, silicon carbide, cadmium selenide, cadmium sulphide, indium phosphide, and potassium phosphide. These prior art photosensitive semiconductors can be used in various electronic devices, for example, in electronic switches, and are generally doped with 'impurities' such as, for example : cobalt, copper, chromium, gold, iron, oxygen, silver, and zinc.

Electronic switches comprising a photosensitive semiconductor are described, for example, in the following U.S. Patents: 4,301,362; 4,347,437; 4,438,331; 4,490,709; 4,577,114 and 4,695,733. Various configurations of switches are described in these patents. They all comprise a light source and a photosensitive semiconductor provided with two spaced electrodes. The semiconductors are made of various materials and the light source is generally a laser.

When, for a given semiconductor, a certain bias voltage is applied across the electrodes of a photosensitive switch, the semiconductor will not permit the electrical current to pass between the electrodes and the switch will be in its "off" position, but when the light source projects light energy on to the area of the semiconductor located between the electrodes the semiconductor becomes electrically conductive and the switch will be in its "on' position. The main advantage of switches of this type is that they can switch an electrical current on or off very rapidly.

A disadvantage of known photosensitive switches and, in particular, of the switches disclosed in the above six U.S. patents is that they are only capable of switching electrical supplies which have voltages of a few kV, for example up to 3-5 kV, and thus cannot be used in electrical devices where a higher voltage is required.

It is therefore a first object of the invention to provide an electronic switch activated by light that is capable of withstanding/switching high voltage, low amperage electrical currents, that is electrical supplies having a voltage of at least 30 kV and having an amperage of less than 0.2 A. It is a further object of the invention to provide a very compact and a very economical high voltage, low amperage photosensitive switch and it is also an object of the invention to provide a photosensitive switch capable of operating with a high pulse repetition rate.

We have now found that certain doped cadmium sulpho-selenide-telluride semiconductor compositions have a desirable combination of properties such that when used as the semiconductor in a photosensitive switch, the latter is capable of switching high voltage, low amperage electrical supplies and can be constructed compactly and cheaply and can be operated at a high pulse repetition rate.

According to the present invention, there is provided an electronic switch comprising a photosensitive semiconductor and a light source which, when actuated, illuminates the semiconductor and causes the latter to become conductive, in which the photosensitive semiconductor is a sintered mixture comprising, by weight, 58 to 72% of cadmium, 14.8 to 21% of selenium, 7 to 15% of tellurium, 7 to 12% of sulphur, 0.1 to 1% of chlorine, and 0.005 to 0.1% of copper.

The semiconductor is preferably in the form of an adherent layer on an electrically insulating substrate. The semiconductor is provided with spaced electrodes to which, in use, the circuit which the switch is to control is connected. The electrodes may be two adherent, spaced electrode layers on the sintered semiconductor layer or the substrate may be provided with two adherent, spaced electrode layers and the adherent sintered semiconductor layer may be applied over the electrode layers and the substrate between them; in the latter case the electrode layers are below the semiconductor layer.

The electrode layers may be formed of any suitable electrically conductive material, preferred materials being, for example, silver, gold, indium and aluminium and resins, for example epoxy resins, loaded with any one or more of these metals.

According to another aspect of the present invention, there is provided a method of making an electronic switch according to the invention, which comprises forming a paste of a finely divided powder mixture comprising, by weight, 32 to 47% of cadmium selenide, 32 to 49% of cadmium sulphide, 7 to 15% of tellurium, 4.7 to 13% cadmium chloride, and 0.01 to 0.1% of copper chloride, a binder and a volatile liquid, forming a coating of the paste on an electrically insulating substrate and drying the coating, sintering the dried coating at a temperature of from 510°C to 800°C to form an adherent layer of photosensitive semiconductor on the substrate, providing adherent spaced electrode layers either on or below the semiconductor layer, and assembling the coated substrate with a light source.

The formation of the sintered semiconductor layer may be carried out in accordance with conventional sintering techniques which will be well known to those skilled in the art.

In order to obtain the desired photosensitivity and electrical properties in the sintered semiconductor, the

SAMSUNG EX. 1002 - 108/2862

finely divided powder materials must be of the highest purity, for example of 99,999% or more, and the size of the powder particles is preferably less than 3 μm.

Suitable binders and volatile liquids for forming the paste will be known to those skilled in the art. It is generally preferred to use ethyl cellulose as the binder, but other suitable binders include, for example, linseed oil and cellulose acetate. Preferred volatile liquids are organic liquids; suitable organic liquids include, for example, turpineol, acetone and ethanol, of which the first is generally preferred. The binder is preferably present as a 10% by weight solution in the volatile liquid. The proportion of binder/volatile liquid solution in the paste will, of course, depend on the desired viscosity of the paste which will, in turn, depend on the method of coating the substrate with the paste which is used. For many purposes, a paste containing about 15% by weight of the binder/volatile liquid solution is suitable.

Suitable methods of forming a layer of the paste on the substrate include, for example, screen printing, spraying, spinning and sedimentation. Screen printing is a very precise method that produces a layer having a smooth, even surface and a thickness of 10 to 50 μm depending on the mesh of the screen; this method is generally preferred.

Suitable electrically insulating substrate materials are, for example, alumina ceramics, fused silica and "Pyrex" glass (Trade Mark).

The coated substrate is then dried to remove the volatile liquid, preferably by heating in an oven at a temperature of about 100°C for about 10 minutes.

The dried coating is then sintered in a substantially inert atmosphere at a temperature of from 510°C to 800°C. For this purpose the coated substrate is preferably placed in a container through which a stream of nitrogen (or other inert gas) containing a small proportion of oxygen, preferably added as air, can be passed and the container is placed in a suitable oven or furnace, preferably an electrical furnace. The proportion of air in the inert gas/air mixture is suitably 1 to 3% by volume. The inert gas/air mixture is passed through the container at a relatively slow rate, for example 2 to 6 litres per hour.

The furnace is gradually heated to the sintering temperature, for example over a period of 30 minutes, and is held at the sintering temperature for 10 to 60 minutes, preferably 10 to 20 minutes. The sintering temperature does not appear to be critical; if the temperature is much less than 510°C, the layer fails to sinter and if it is more than 800°C, the layer decomposes. Best results are obtained at sintering temperatures of from 520°C to 700°C.

The sintered layers thus obtained are firm, adherent and chemically stable. A reduction of thickness takes place during the sintering operation and the final thicknesses are generally in the range of 5 to 25 μm, depending on the initial thickness of the layer. There is also always a loss of weight during sintering and the final chemical composition of the semiconductor may vary somewhat as a function of the sintering temperature and as a function of the sintering time.

In a modification of this process, the copper content of the semiconductor is not provided by the inclusion of copper chloride in the initial powder mixture, but is provided by evaporating a thin layer of copper metal on to the surface of the semiconductor layer after the latter has been applied to the substrate and dried and before it is fired (the copper chloride being omitted, in this case, from the initial powder mixture). During the firing stage, the thin layer of copper diffuses into the semiconductor layer so as to incorporate therein a very precise and uniform copper content. The thickness of the evaporated copper layer should be monitored during deposition by suitable apparatus, such as an Edwards evaporated film thickness monitor which is accurate to a resolution of 0.1 nm.

It is preferred to form evaporated copper layers having a thickness of from 0.5 nm to 2.0 nm which give rise to final copper contents of from 0.007% to 0.028%. It has been found that by using this method, the photosensitivity and speed of response of the semiconductor layer can be carefully and consistently controlled by varying the thickness of the evaporated copper layer by as little as 0.2 nm.

The sintered semiconductor layer is then provided with two spaced electrodes which can be made, for example, of silver, gold, indium, or aluminium or of an epoxy resin loaded with one of these metals. Suitable methods of forming the electrodes on the semiconductor include, for example, (a) evaporating the electrode metal on to the surface of the semiconductor, (b) screen printing the loaded epoxy resin on to the surface, and (c) pressing a foil of the metal on to the surface of the semiconductor.

Of these three methods, methods (a) and (b) are generally preferred. In both methods, the area between the electrodes is masked before applying the electrode material on to the surface of the semiconductor. Method (a) is usually followed by a short heat treatment which, when silver or aluminium is used, consists, for example, of heating the electrode layer in nitrogen at 300°C for 20 minutes. Method (b) requires that the epoxy resin is heated in air, for example, at 150°C for 35 minutes, in order to harden the layer.

Another method for providing the semiconductor with two spaced electrodes consists of forming the electrodes as layers on the electrically insulating substrate, for example, by any of the methods described above,

SAMSUNG EX. 1002 - 109/2862

while masking the area between the electrodes and then forming the semiconductor layer over the electrodes and the area of substrate between them.

This procedure, that is the provision of the electrode layers below the semiconductor layer, is preferred to the provision of the electrode layers over the semiconductor layer since the former procedure greatly increases the effective area of the electrodes (since the part of the semiconductor layer lying above the electrode layers can be illuminated and rendered conductive) which, in turn, significantly decreases the electric resistance of the electrodes to high surge currents.

In this procedure, the preferred electrode material is gold. A preferred method of forming gold electrode layers consists of silk screen printing a conventional fritless gold thick film conductor paste onto the surface and then firing the coated substrate at 900°C. Such fritless gold pastes typically comprise 99% pure finely powdered gold which when fired, fuse onto the surface of the substrate to form a robust conductive gold layer which is preferably approximately 5 μm in thickness.

An alternative, and less preferred, method of forming gold electrode layers is by evaporation.

We have found that the ability of electronic switches according to the invention to withstand electric field strengths in excess of 10kV/cm over a prolonged period is in most cases improved by providing a so-called "stress relieving" layer between the electrically insulating substrate and the semiconductor layer. Stress relieving coatings are used in electrical insulation technology to deal with the problems caused by uneven electrical fields across the surface of high voltage electrical insulators; they essentially comprise a material which exhibits non-linear resistance in that it permits a disproportionate increase in current with an increase in electrical potential. Suitable materials of this kind include, for example, finely divided zinc oxide and silicon carbide. The electrical characteristics of coatings containing these materials are largely determined by the size and density of the particles, rather than the electrical properties of each particle. Generally the materials show very little electrical conductivity up to a certain threshold value where conduction rapidly increases with a rise in electrical potential.

The procedure for forming a stress relieving layer on the substrate depends on whether the non-linear resistive material can be sintered to form a coherent and adherent layer at acceptable temperatures, that is up to, say, 1100°C. Zinc oxide can be sintered at temperatures of 1000-1100°C, but silicon carbide can not. Materials of the latter kind, such as silicon carbide, are mixed with a suitable electrically insulating vitreous glaze, such as a vitreous borosilicate glaze which can be sintered at a temperature of about 900°C.

A preferred zinc oxide-based stress relieving layer comprises, by weight:

zinc oxide	96.4%
manganese oxide	1.1%
bismuth oxide	1.0%
antimony oxide	1.0%
cobalt oxide	0.5%

Powders of these oxides are mixed and ground in a microliser, and the resulting powder mixture is mixed with turpineol or other suitable liquid medium to form a paste for screen printing as described above for the semiconductor layer. The paste is printed, dried and fired at a temperature of 1000°-1100°C in air to obtain a layer having a thickness of 8 to 10 μm.

For the other type of non-resistive material, such as silicon carbide, which cannot be sintered on its own, a range of electrically insulating vitreous glazes is commercially available and any of these glazes can be used provided they are compatible with the non-linear resistive material. The mixture of glaze and non-linear resistive material suitably comprises from 25 to 75% by weight of the latter; it has been found that the threshold value of the electrical characteristic can be changed by varying the relative proportions of these components.

In general, it is preferred to use a stress relieving layer which does not contain a glaze. With glaze-containing stress relieving layers, it is found that when the semiconductor layer is fired there is a tendency for components of the stress relieving layer to diffuse into the semiconductor layer and this has the effect of reducing the photosensitivity of the latter and in some cases of making the photosensitivity unstable. Products having zinc oxide-based stress relieving layers as described above are more photosensitive and much less subject to instability than are products comprising glaze-containing stress relieving layers.

The electronic switch according to the invention may take a number of forms. For reasons of compactness it is preferred that the semiconductor layer and the substrate should have the form of a hollow cylinder. It is further preferred that in this arrangement the semiconductor layer should be on the inside of the hollow cylinder and the light source should be located on the longitudinal axis of the cylinder.

A variety of light sources may be used. It is preferred to use one or more light emitting diodes (LEDs) or a glow discharge lamp or tube giving light having a wavelength of 500 to 900 nm. Suitable LEDs include high efficiency red LEDs with a peak emission of about 660 nm visible red light and a viewing angle of 90° or 140°, and infra-red LEDs which emit a peak emission of 830 nm and have a viewing angle of more than 30°.

SAMSUNG EX. 1002 - 110/2862

Suitable discharge lamps are, for example neon discharge lamps and tubes.

For the better understanding of the invention, preferred embodiments of semiconductor/substrate and of switch assemblies will now be described, by way of example, with reference to the accompanying drawings, in which:

Figure 1 is a plan view of a semiconductor/ substrate embodiment,

Figure 2 is a section on line II-II of Figure 1,

Figure 3 is a section similar to that of Figure 2 of a second semiconductor/substrate embodiment,

Figure 4 is a section similar to that of Figure 2 of a third semiconductor/substrate embodiment,

Figure 5 is a section similar to that of Figure 2 of a fourth semiconductor/substrate embodiment,

Figure 6 is a cross-section of a first embodiment of a cylindrical electronic switch assembly,

Figure 7 is a sectional elevation on line VII-VII of Figure 6,

Figure 8 is a cross-section of a second embodiment of a cylindrical electronic switch assembly, and

Figure 9 is a sectional elevation on line IX-IX of Figure 8.

Referring to Figures 1 and 2, a semiconductor/substrate assembly comprises a sintered photosensitive semiconductor layer 1 coated on a flat electrically insulating substrate 2 and spaced electrically conducting electrodes 3A and 3B. The semiconductor layer 1 has the Cd/Se/Te/S/Cl/Cu composition referred to above.

The semiconductor/substrate assembly shown in Figure 3 is similar to that shown in Figures 1 and 2, but additionally comprises an electrical stress relieving layer 4 as described above.

The semiconductor/substrate assembly shown in Figure 4 is generally similar to that shown in Figure 3, but the electrically conducting electrodes 3A and 3B are positioned directly on the substrate 2 and are overlaid by the semiconductor layer 1 and the stress relieving layer 4.

In this arrangement, the electrodes are preferably formed of gold as described above. In a specific embodiment of this arrangement, the stress relieving layer 4 overlaps each electrode 3A, 3B by approximately 2 mm and the semiconductor layer overlaps each electrode by 2 to 3 mm.

The semiconductor/substrate assembly shown in Figure 5 is again generally similar to that shown in Figure 3, the whole of the substrate 2 being covered by the stress relieving layer 4. The electrodes 3A and 3B are formed on the stress relieving layer 4 and the semiconductor layer 1 overlaps the electrodes 3A and 3B. In this arrangement, the electrodes are preferably formed of gold as described above.

As previously indicated, the advantage of the arrangements shown in Figures 4 and 5 over the arrangements shown in Figures 1, 2 and 3 is that the former (Figures 4 and 5) allows the portions of the semiconductor layer which overlie the electrodes 3A, 3B to be illuminated and thus rendered conductive. The contact area between the semiconductor layer and the electrode layers is, therefore, greatly increased.

Of the two arrangements shown in Figures 4 and 5, that of Figure 4 is preferred. The arrangement of Figure 5 is, however, necessary if the stress relieving layer 4 needs to be fired at a temperature in excess of the sintering temperature used for forming the electrode layers 3A, 3B.

The electronic switch shown in Figures 6 and 7 comprises an adherent sintered photosensitive semiconductor layer 11 and an insulating substrate 12 in the form of a hollow cylinder, and two annular electrodes 13A and 13B at each end of the cylinder. The switch further comprises a light source 14 which is a discharge tube giving light having a wavelength of 500 to 900 nanometers; the light source 14 is arranged along the axis of the cylinder 11/12. The semiconductor layer 11 has the Cd/Se/Te/S/Cl/Cu composition referred to above.

The electronic switch shown in Figures 8 and 9 comprises hollow cylindrical semiconductor layer 21 and insulating substrate 22 similar to the semiconductor layer 11 and the substrate 12 of the previous embodiment, but in this embodiment the electrodes take the form of two elongated strip electrodes, 23A and 23B, arranged along diametrically opposed generators of the cylinder 21. The switch assembly further comprises six light emitting diodes 24 arranged along the axis of the cylinder 21/22. The semiconductor layer 21 has the Cd/Se/Te/S/Cl/Cu composition referred to above.

The operation of the electronic switches shown in Figures 6 and 7 and Figures 8 and 9 is as follows. A bias voltage is applied across the electrodes (13A-13B, 23A-23B); no significant current flows as long as the light source (14,24) is not illuminated and as soon as it is illuminated the current passes.

Electronic switches as illustrated can be made very compact. The properties of the semiconductors described are such that the switches can safely handle voltage pulses of up to 30 kV and DC voltages of up to 30 Kv with a spacing between the electrodes of as little as 10 or 20 mm.

In order that the invention may be more fully understood, the following example, in which all percentages are by weight unless otherwise stated, is given by way of illustration only.

Example 1

A powder mixture of the following composition :

SAMSUNG EX. 1002 - 111/2862

cadmium selenide	33.3%
cadmium sulphide	47.7%
tellurium	10%
cadmium chloride	8.92%
copper (cupric)	chloride 0.08%

was formed and then dry ground in a mechanical grinder, such as a microliser, to obtain a homogeneous mixture in which all particles were less than 3 um in size.

A 10% solution of ethyl cellulose in turpineol was mixed with the powder mixture, the amount of the solution being 15% of the combined weights of the solution and the powder mixture. Mixing was continued until a smooth paste was obtained.

The paste was applied to the surface of a high density 96% alumina ceramic substrate of the kind used for the production of thick film circuits, by silk screen printing. The substrate had the dimensions 5cm x 3.5cm x 0.05 cm and the paste was printed to cover a rectangular area of 4cm x 2.5cm. A 305 mesh screen material was used which gave a layer of paste approximately 15 um in thickness.

The coated substrate was placed in an oven and heated to 100°C for 10 minutes to evaporate the turpineol.

The coated substrate was then placed in a Pyrex glass container having a top cover of the same material. Gas could be introduced into one end of the container through a Pyrex glass tube and could be vented from the opposite end through a gap between the container and its top cover. This assembly was placed in an electrically heated furnace.

Prior to heating, pure nitrogen was first passed through the container at a flow rate of 4.5 litres per hour for a period of 20 minutes to purge out the bulk of the air that was initially present. The furnace was then heated to 520°C over a period of 50 minutes while continuing to pass pure nitrogen. Once a temperature of 520°C has been attained, a small proportion of air, that is 3% by volume, was added to the nitrogen and flow of this mixture was continued at 4.5 litres per hour. The temperature of 520°C was maintained for 10 minutes and at the end of this period,

the furnace was turned off and allowed to cool over a period of 60 to 90 minutes. The flow of the nitrogen/air mixture is continued until the furnace had cooled to below 150°C. Thereafter air could be blown through the furnace to accelerate cooling.

The sintered layer obtained was firm, adherent and chemically stable. There was an approximately 40% reduction in the thickness of the layer. Electron microscope studies of the surface of the sintered material showed that the latter consisted primarily of large grains of about 9 um fused together at the grain boundaries.

Indium was then evaporated onto the marginal portions of the long sides of the substrate to form electrodes. For this purpose a metal mask was positioned to cover all of the sintered composition apart from a 1.5 mm wide marginal zone along each long edge. Indium was then evaporated using a conventional metal evaporation apparatus to coat the masked substrate. The mask was then carefully removed; the thickness of the indium coating was 0.5 um. The coated substrate was placed in an oven and heated to 160°C for 15 minutes to cause fusion of the indium to the surface of the sintered composition.

The final product accordingly had a band of the sintered composition about 17mm wide (between the long sides of the substrate) and an indium electrode strip about 4 mm wide on either side of the sintered composition and extending to the long edges of the substrate.

To form the switch, six light emitting diodes (LEDs) of the visible light type were mounted on a piece of printed circuit board measuring 5cm x 3.5cm in two rows of three running across the width of the board. Each row was positioned with its centre at 1.8cm from each end and the LEDs were arranged to be equally spaced along the length of the row. Each row of three LEDs was connected electrically in series and the two rows were connected in parallel to form a common drive connection. The array of LEDs was mounted over the surface of the semiconductor on the substrate with a spacing of 3mm from the surface to the tip of each LED. The assembly of the LEDs board and the coated substrate were mounted in a rigid plastics frame that electrically insulated the coated substrate from the LEDs. Electrical connections were made to the indium electrodes on each edge of the substrate. The whole assembly was then immersed in transformer oil to prevent electrical flashover from occurring across the surface of the semiconductor layer.

The LEDs used were high efficiency red diodes with a peak emission of 660 nm visible red light and a viewing angle of 140°. Their light output for a current of 20 ma was 200 mcd (0.2 candela); for pulsed current operation, the light output for 100 ma pulses was typically 1 candela at 25°C.

The electrical properties of the switch were as follows:

Dark Conditions:

The following properties were recorded with the switch immersed in transformer oil at a temperature of 25°C

SAMSUNG EX. 1002 - 112/2862

and in total darkness.

For a DC voltage of 30 kV applied across the semiconductor contacts, a current of less than 30uA was recorded; this corresponds to a switch dark resistance of more than 1000 mega ohms.

Electrical breakdown of the semiconductor occurred at a DC voltage of 35-40 kV from tests carried out on several samples.

Illuminated Conditions:

The following properties were recorded with the switch immersed in transformer oil at a temperature of 25°C and the following illumination conditions.

Diode Forward Current,

current pulses of 3 ms duration and magnitudes greater than 0.15, at pulse repetition frequency 50 per second.

Time response Test

A 500 volt DC bias was applied across the semiconductor layer contacts and the above forward current conditions applied to the diodes causing pulses of current to be generated in the 500 volt bias circuit. The characteristics of these pulses were as follows:

peak current recorded;	1.5 mA
time from minimum current to maximum current where zero time marks the beginning of the illumination pulse	0.75ms
time for the current to fall to 1% of the peak value following termination of the diode current pulse	5.7 ms
estimated minimum resistance	270,000 ohms

Claims

1. An electronic switch comprising a photosensitive semiconductor and a light source which, when actuated, illuminates the semiconductor and causes the latter to become conductive, in which the photosensitive semiconductor is a sintered mixture comprising, by weight, 58 to 72% of cadmium, 14.8 to 21% of selenium, 7 to 15% of tellurium, 7 to 12% of sulphur, 0.1 to 1% of chlorine, and 0.005 to 0.1% of copper.

2. A switch according to claim 1, in which the semiconductor is in the form of an adherent layer on an electrically insulating substrate.

3. A switch according to claim 2, which comprises two adherent, spaced electrode layers on the sintered semiconductor layer.

4. A switch according to claim 1, which comprises an electrically insulating substrate, two adherent, spaced electrode layers on the substrate, and an adherent layer of the sintered semiconductor composition overlying the electrode layers and the substrate between them.

5. A switch according to claim 3 or 4, in which the electrode layers are formed of silver, gold, indium or aluminium or an epoxy resin loaded with silver, indium or aluminium.

SAMSUNG EX. 1002 - 113/2862

6. A switch according to any of claims 2 to 5, in which a stress relieving layer is provided between the electrically insulating substrate and the sintered semiconductor layer, the stress relieving layer being adherent to the substrate and comprising a finely divided non-linear resistive material.

7. A switch according to claim 6, in which the stress relieving layer consists essentially of a sintered layer of zinc oxide.

8. A switch according to claim 6, in which the stress relieving layer consists essentially of a sintered mixture of silicon carbide and an electrically insulating vitreous glaze.

9. A switch according to any of claims 2 to 8, in which the semiconductor layer and the substrate and the stress relieving layer, if present, have the form of a hollow cylinder.

10. A switch according to claim 9, in which the light source is located on the longitudinal axis of the cylinder.

11. A switch according to any of claims 1 to 10, in which the light source is one or more light emitting diodes.

12. A switch according to any of claims 1 to 10, in which that the light source is a glow discharge lamp or tube giving light having a wavelength of 500 to 900 nanometers.

13. A method of making an electronic switch according to claim 1, which comprises forming a paste of a finely divided powder mixture comprising, by weight, 32 to 47% of cadmium selenide, 32 to 49% of cadmium sulphide, 7 to 15% of tellurium, 4.7 to 13% of cadmium chloride, and 0.01 to 0.1% of copper chloride, a binder and a volatile liquid, forming a coating of the paste on an electrically insulating substrate and drying the coating, sintering the dried coating at a temperature of from 510°C to 800°C to form an adherent layer of photosensitive semiconductor on the substrate, providing adherent spaced electrode layers either on or below the semiconductor layer, and assembling the coated substrate with a light source.

14. A method of making an electronic switch according to claim 1, which comprises forming a paste of a finely divided powder mixture comprising, by weight, 32 to 47% of cadmium selenide, 32 to 49% of cadmium sulphide, 7 to 15% of tellurium, and 4.7 to 13% of cadmium chloride, a binder and a volatile liquid, forming a coating of the paste on an electrically insulating substrate, drying the coating, evaporating a layer of copper metal on the surface of the dried coating, the thickness of the copper layer being such as to provide the desired final copper content when the copper is diffused through the semiconductor layer, sintering the copper coated coating at a temperature of from 510°C to 800°C to form an adherent layer of photosensitive semiconductor on the substrate and to diffuse the copper through said layer, providing adherent spaced electrode layers either on or below the semiconductor layer, and assembling the coated substrate with a light source.

15. A method according to claim 13 or 14, in which the substrate is coated with an electrical stress relieving layer comprising a material which exhibits non-linear resistance and the photosensitive semiconductor layer is formed on the stress relieving layer.

16. A method according to claim 16, in which the stress relieving layer is formed by sintering a powder layer consisting essentially of zinc oxide.

SAMSUNG EX. 1002 - 114/2862

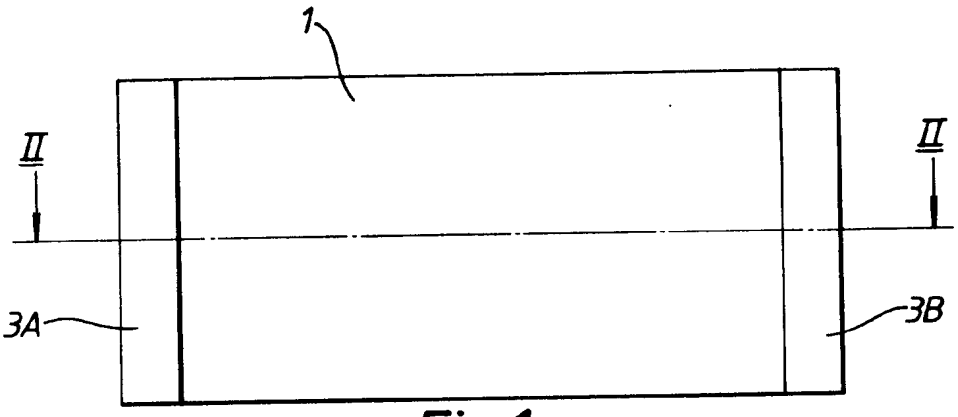


Fig.1.

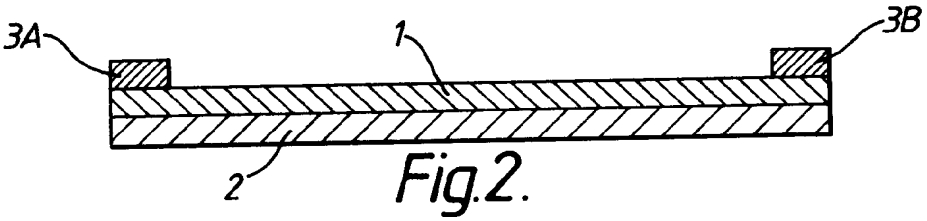


Fig.2.

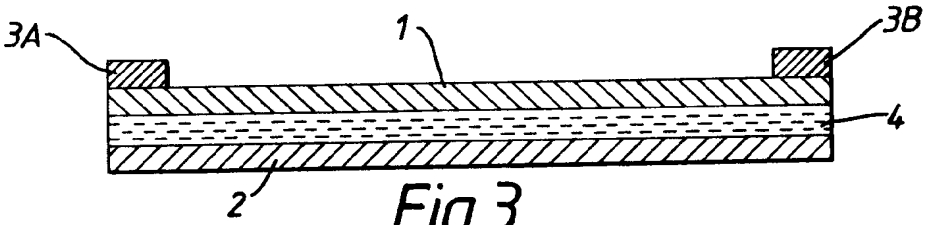


Fig.3.

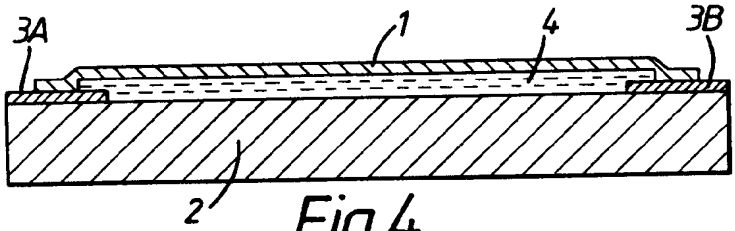


Fig.4.

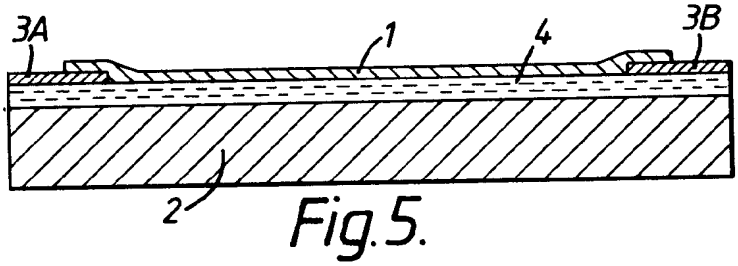


Fig.5.

SAMSUNG EX. 1002 - 115/2862

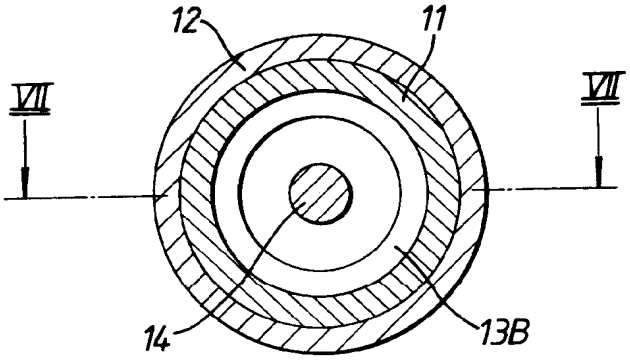


Fig. 6.

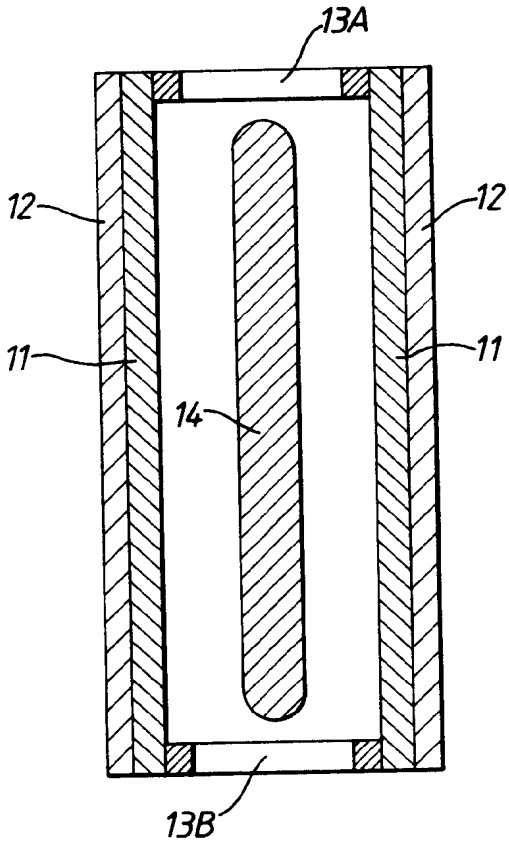


Fig. 7.

SAMSUNG EX. 1002 - 116/2862

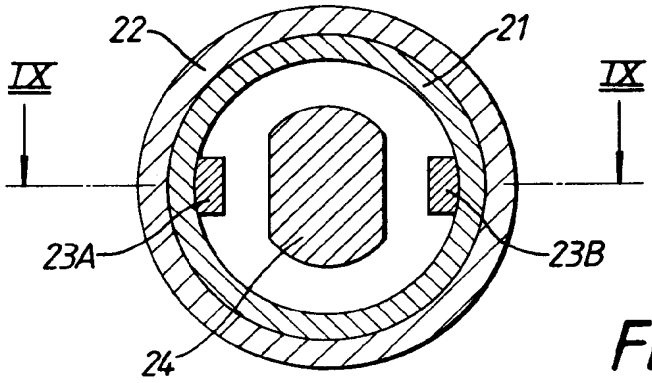


Fig.8.

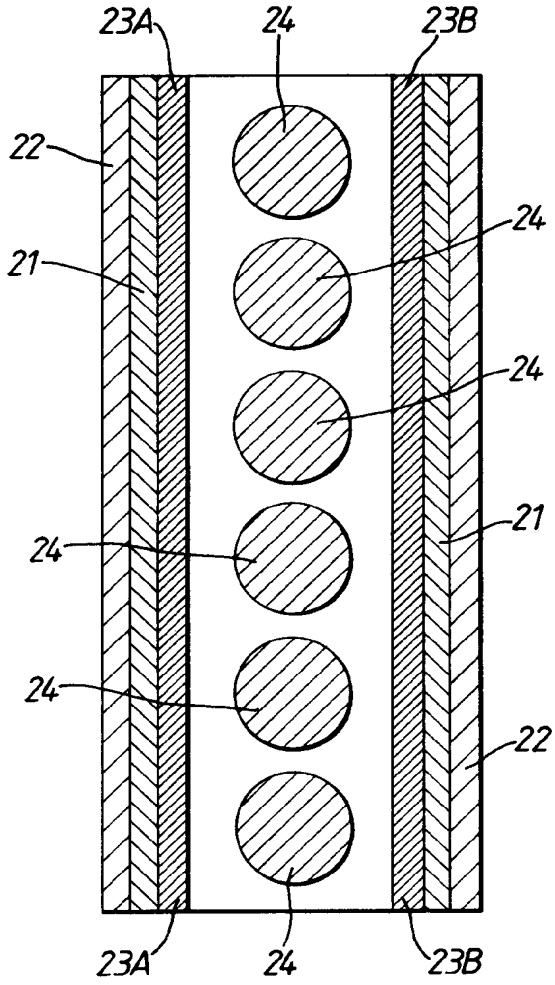


Fig.9.

SAMSUNG EX. 1002 - 117/2862

(19) Europäisches Patentamt
European Patent Office
Office européen des brevets

(11) Publication number: **0 566 156 A1**

(12) EUROPEAN PATENT APPLICATION

(21) Application number: **93106318.4**

(51) Int. Cl.5: **G01J 5/20**, H01L 31/09

(22) Date of filing: **19.04.93**

(30) Priority: **17.04.92 JP 97693/92**
30.04.92 JP 111914/92
22.05.92 JP 130616/92
22.05.92 JP 130617/92
20.11.92 JP 311709/92

(43) Date of publication of application:
20.10.93 Bulletin 93/42

(84) Designated Contracting States:
BE DE FR GB IT NL SE

(71) Applicant: **TERUMO Kabushiki Kaisha**
44-1 Hatagaya 2-chome
Shibuya-ku
Tokyo(JP)

(72) Inventor: **Komatsu, Kiyoshi, c/o Terumo Kabushiki Kaisha**
1500, Inokuchi,
Nakai-machi
Ashigarakami-gun, Kanagawa-ken(JP)
Inventor: **Mori, Takehisa, c/o Terumo Kabushiki Kaisha**
1500, Inokuchi,
Nakai-machi
Ashigarakami-gun, Kanagawa-ken(JP)
Inventor: **Sone, Atsushi, c/o Terumo Kabushiki Kaisha**
1500, Inokuchi,
Nakai-machi
Ashigarakami-gun, Kanagawa-ken(JP)
Inventor: **Kimura,Mitsuteru**
2-56,Shiomidai 3-chome,Shichigahama
Miyagi-gun, Miyagi-ken(JP)

(74) Representative: **Casalonga, Axel et al**
BUREAU D.A. CASALONGA - JOSSE
Morassistrasse 8
D-80469 München (DE)

(54) Infrared sensor and method for production thereof.

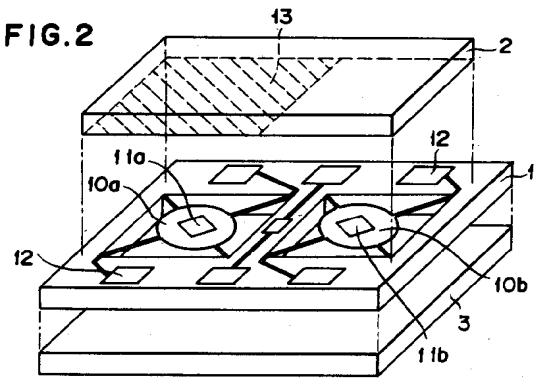
(57) The disclosed infrared sensor comprises substrate provided with a bridging part and a sensing part made of an infrared temperature-sensitive film formed in the bridging part. A first lid member covers the sensing part and bridging part and a second lid member covers the reverse surface of the substrate and tightly seals a cavity formed between the substrate and the bridging part.

The invention preferably comprises an electrode pad electrically connected to the infra red temperature sensitive film and formed of a laminate film including an etchant-resistant electrically conductive film.

The invention provides an infrared sensor with a small stable bridging structure which allows easy formation of a contact hole on an electrode pad witout causing a breakage of the bridging part.

A method for the production of an infrared sensor is also disclosed.

FIG.2



EP 0 566 156 A1

SAMSUNG EX. 1002 - 118/2862

BACKGROUND OF THE INVENTION

Field of the Invention:

This invention relates to an infrared sensor for the non-contact measurement of the temperature of a given object and a method for the production thereof. More particularly, it relates to an infrared sensor provided on an infrared temperature-sensing film with an electrode and a method for the production thereof. Description of the Prior Art:

Recently, various techniques have been developed for the production of infrared sensors usable ideally for non-contact thermometers, for example, by effective use of the technique of microfine fabrication of semiconductors. The infrared sensors come in various types such as, for example, those of the thermobolometer type and the thermopile type. The infrared sensors of the thermobolometer type are superior to those of other types in allowing easy dimensional reduction because of the fact that their sensitive film which is made of a substance fulfilling the function of a thermistor, is capable of measuring an increase in temperature caused by the incidence of infrared radiation by measuring a change in the magnitude of electrical resistance and consequently determining the amount of the infrared radiation.

In the infrared sensor of the thermobolometer type, if the infrared temperature-sensitive film of the sensor has a small heat capacity, the amount of heat transmitted outwardly from the film decreases, the temperature rises remarkably and the response of the sensor to a minute amount of infrared radiation gains in sensitivity in proportion. The conventional infrared sensor of the thermobolometer type, therefore, has been constructed so that an extremely small bridging part is formed on a supporting substrate made of a semiconducting material and an infrared sensitive film is formed on the bridging part by the microfine fabrication technique. To be specific, the bridging structure keeps a temperature-sensing part of the sensor afloat from the supporting substrate for the purpose of improving the response sensitivity of the sensor.

The infrared sensor requires various contrivances for the sake of measurement because it is intended to handle a very minute amount of infrared radiation emitted from a given object. For example, one infrared sensor is provided with two entirely identical infrared temperature-sensitive films having bridging structures; one of the films is exposed to the incidence of infrared radiation and the other shielded from the infrared radiation. By constantly comparing the output of the infrared temperature-sensitive film exposed to the infrared radiation and the output of the infrared temperature-sensitive film shielded from the infrared radiation, the infrared sensor is enabled to exclude the electrical noise and thermal disturbance and detect the net amount of infrared radiation.

The infrared sensor of this type is furnished with various contrivances so as to ensure an efficient incidence of infrared radiation on the exposed infrared sensitive film. From the practical point of view, however, the infrared sensor requires the minute bridging structure formed therein to be protected mechanically and physically. Heretofore, for the protection of the bridging structure, the practice of keeping the infrared sensor device in such a container as a can has been commonly used.

The conventional infrared sensor has the sensor element thereof kept in a container as described above. When the sensor accommodated in the container as described above is used as a non-contact thermometer, it poses problems in relation to thermal conductivity, restriction in size, and cost of production. Thus, there is a need for a packaging method which allows the sensor element to be protected as required by a simple procedure at a low cost.

In the infrared sensor of this kind, for the purpose of ensuring selective incidence of the infrared radiation on one of the pair of infrared temperature-sensitive films, the sensor element is required to have on the front side thereof, a lid as means for effecting the selective incidence of infrared radiation. In the meantime, the sensor element generally has on the reverse side thereof an opening of desired shape and size formed during the fabrication of the bridging structure so as to allow anisotropic etching such as, with an aqueous hydrazine solution. This opening is likewise preferably sealed with a lid to diminish the otherwise inevitable effect of reflection and absorption of infrared radiation through the opening.

To cope with the situation, the following measure has been conceived. Some hundreds of sensor elements are simultaneously incised in one silicon wafer and the sensor elements still held on the wafer are tested for electrical properties as with a probe to discriminat between conforming and non-conforming articles. Thereafter, the sensor elements are severally cut off the wafer with a dicing saw. Each of the separated sensor elements is then washed, with a lid joined to the front side (the side for admitting the incident infrared radiation) thereof and another lid joined to the rear side thereof.

This method, however has the following problems. For example, at the step of cutting the silicon wafer with the dicing saw, the practice of feeding cooling water to the dicing saw for the purpose of removing the heat generated between the chip and the rotary blade, lubricating the dicing saw, and

SAMSUNG EX. 1002 - 119/2862

ensuring chip ejection is prevalent. This cooling water causes breakage of the bridging structure. In this case, the breakage of the bridging structure can be precluded by precoating the chip with electron wax. Since the chip must be subsequently cleaned of this wax as by washing, the impact of this washing brings about breakage of the bridging structure.

In the conventional infrared sensor, the possible loss of the energy of the infrared radiation impinging on the infrared temperature-sensitive film is avoided by having this infrared temperature-sensitive film formed on the minute bridging structure as described above. Since the energy of the infrared radiation impinging on the infrared temperature-sensitive film is lost through the air which envelopes the infrared temperature-sensitive film, the problem arises that an infrared sensor which excels in practical utility and possesses high sensitivity cannot be obtained simply by imparting a bridging structure to the infrared temperature-sensitive film.

Two methods are available for the formation of the bridging structure. One of them comprises the steps of forming an excavated part in a sensor substrate, temporarily refilling the excavated part thereby forming a sacrificial layer, forming on this sacrificial layer a pattern for the bridging structure, forming an infrared temperature-sensitive film on the pattern, and then removing the sacrificial layer while leaving the formed bridging part behind. The other method comprises the steps of forming on one surface of a sensor substrate a pattern for a bridging part and an infrared temperature-sensitive film and performing an anisotropic etching on the other surface of the sensor substrate thereby forming a cavity below the bridging pattern and completing the bridging structure. The latter method is easier procedurally than the former method.

Incidentally, in the latter method, hydrazine or an aqueous potassium hydroxide solution is used to effect the anisotropic etching. Since this etchant is strongly alkaline, it dissolves not only the silicon as the material for the sensor substrate but also materials other than silicon such as, for example, aluminum which is generally used as the material for electrodes and conductors. Thus, the manufacture of the bridging structure needs to resort to the following method, for example.

This method comprises the steps of forming an insulating film intended to form a bridging part on a silicon substrate destined to form a sensor substrate, superposing an infrared temperature-sensitive film on the insulating film, forming thereon a wiring layer and an electrode pad both of aluminum, coating the entire surface with a protective film (insulating film), then carrying out the anisotropic etching selectively on the rear surface of the silicon substrate thereby forming a bridging part, subsequently boring a contact hole in the protective film on the upper surface of the silicon substrate to a depth reaching the electrode pad, and electrically connecting the electrode pad and a flexible printed substrate (FPC) by soldering through the medium of the contact hole.

An object of this invention, therefore, is to provide an infrared sensor which is furnished with a stable bridging structure and is small and inexpensive and a method for the production thereof.

Another object of this invention is to provide a method for the production of an infrared sensor which allows easy formation of a contact hole on an electrode pad without involving breakage of a bridging part.

A further object of this invention is to provide an infrared sensor such that during the process of etching for the formation of electrodes, the phenomenon of side etching if allowed to occur will produce no gap between electrodes and an insulating film or no dispersion in the magnitude of electrical resistance of an infrared temperature-sensitive film.

Yet another object of this invention is to provide an infrared sensor of high sensitivity which enables the amount of energy lost through the periphery of the infrared temperature-sensitive film to be minimized.

SUMMARY OF THE INVENTION

The objects mentioned above are accomplished by an infrared sensor which comprises a substrate provided with a bridging part, a sensing part made of an infrared temperature-sensitive film formed in the bridging part, a first lid member covering the sensing part and the bridging part, and a second lid member covering the reverse surface of the substrate and tightly sealing a cavity formed between the substrate and the bridging part.

This invention contemplates the infrared sensor mentioned above in a construction such that it further comprises an electrode pad electrically connected to the infrared temperature-sensitive film and formed of a laminate film including an etchant-resistant electrically conductive film. This invention also contemplates the infrared sensor mentioned above in a construction such that it further comprises an infrared temperature-sensitive film formed through the medium of a first insulating film on the substrate, a second insulating film formed on the infrared temperature-sensitive film and provided therein with a contact hole deep enough to reach the infrared temperature-sensitive film, and an electrode formed on the second insulating film, electrically connected to the infrared temperature-sen-

SAMSUNG EX. 1002 - 120/2862

sitive film through the medium of the contact hole, and furnished on the second insulating film with a part having a width greater than the width of the part inside the contact hole.

The objects described above are accomplished by a method for the production of an infrared sensor which comprises a step of forming on a semiconductor wafer a plurality of sensor elements provided on a bridging part with an infrared temperature-sensitive film, a step of tightly sealing the sensor elements severally with lid members, and a step of cutting the semiconductor wafer to separate the tightly sealed sensor elements asunder.

The objects described above are also accomplished by a method for the production of an infrared sensor which comprises a step of forming a first insulating film intended to form a bridging part on one of the main surfaces of a sensor substrate made of a semiconducting material and a second insulating film containing an opening for etching on the other main surface of the sensor substrate, a step of forming an infrared temperature-sensitive film on the first insulating film, a step of forming on the first insulating film an electrode pad provided in the uppermost layer thereof with an etchant-resistant electrically conductive film in such a manner as to be electrically connected to the infrared temperature-sensitive film, a step of forming a third insulating film on the sensor substrate including the electrode pad and selectively forming in the third insulating film a contact hole deep enough to reach the electrode pad, and a step of anisotropically etching the sensor substrate through the opening mentioned above after the formation of the contact hole thereby forming a bridging part.

The objects described above are further accomplished by a method for the production of an infrared sensor which comprises a step of forming a first insulating film on the obverse surface of a sensor substrate and then forming an infrared temperature-sensitive film on the insulating film, a step of forming a second insulating layer in such a manner as to cover the infrared temperature-sensitive film, a step of forming a first etchant-resistant film containing a prescribed contact hole pattern on the second insulating film and etching the second insulating film while using the first etchant-resistant film as a mask thereby forming in the second insulating film a contact hole deep enough to reach the infrared temperature-sensitive film, a step of superposing an electrically conducting layer on the second insulating film having the contact hole formed therein, and a step of forming on the electrically conductive layer a second etchant-resistant film containing an electrode pattern having a greater width than the contact hole pattern of the first etchant-resistant film and etching the electrically conductive layer with the second etchant-resistant film as a mask thereby forming an electrode.

The objects described above are further accomplished by an infrared sensor which comprises a sensor substrate containing a cavity and having an infrared temperature-sensitive film disposed in the cavity and vacuum sealing means covering the cavity in the sensor substrate and sealing the infrared temperature-sensitive film so as to keep the periphery thereof in a vacuum state.

In the infrared sensor of this invention, since the sensing part is constructed by forming the infrared temperature-sensitive film on the bridging part and, at the same time, tightly sealing the sensing part, the bridging part and the infrared temperature-sensitive film inside the sensor proper can be protected infallibly and a small infrared sensor can be produced inexpensively.

Further since the infrared sensor of this invention is provided with a sensor substrate made of a semiconducting material and furnished with a bridging part, an infrared temperature-sensitive film formed on the bridging part of the sensor substrate, and an electrode pad electrically connected to the infrared temperature-sensitive film and formed of a laminate film including an etchant-resistant electrically conductive film, the electrode pad can be anisotropically etched with a strong alkali liquid after the formation of a contact hole therein and, as a result, the bridging part can be stably obtained.

In the infrared sensor of this invention, since the part of the electrode on the infrared temperature-sensitive film which rises above the second insulating film is given a width larger than the width of the part of the electrode which lies within the contact hold, no gap is formed between the electrode and the second insulating film and no dispersion in the magnitude of electrical resistance of the infrared temperature-sensitive film is allowed.

In the method of this invention for the production of the infrared sensor, since the lid members are disposed so as to seal tightly the bridging parts and the infrared temperature-sensitive film in the sensor elements before the sensor elements are separated asunder, possible leakage of cooling water into the sensor elements during the process of separation can be avoided. This method, therefore, is effective in preventing the bridging parts in the sensor elements from breakage, notably improving the yield of production, and enhancing the ease of handling of the produced sensor elements.

By the method of this invention for the production of an infrared sensor, an electrode pad provided in the uppermost layer thereof with an etchant-resistant electrically conductive film is formed and a contact hole is bored therein before the anisotropic etching with a strong alkali liquid is

SAMSUNG EX. 1002 - 121/2862

carried out. Since the etchant-resistant electrically conductive film is already formed in the uppermost layer of the electrode pad when the anisotropic etching commences, this method is effective in precluding the possibility of the electrode pad being dissolved with the etchant and the bridging part being broken consequently and improving the yield of production.

The method of this invention for the production of an infrared sensor comprises a step of forming a first insulating film on the obverse surface of a sensor substrate and then forming an infrared temperature-sensitive film on the insulating film, a step of forming a second insulating film in such a manner as to cover the infrared temperature-sensitive film, a step of forming on the second insulating film a first etchant-resistant film containing a prescribed contact hole pattern and etching the second insulating film while using the first etchant-resistant film as a mask thereby boring a contact hole in the second insulating film to a depth sufficient to reach the infrared temperature-sensitive film, a step of superposing an electrically conductive layer on the second insulating film having the contact hole bored therein, and a step of forming on the electrically conductive layer a second etchant-resistant film containing an electrode pattern having a larger width than that of the contact hole pattern of the first etchant-resistant film and etching the electrically conductive layer with the second etchant-resistant film as a mask thereby forming an electrode. Even when the phenomenon of side etching is allowed to occur in the electrically conductive layer during the process of etching the electrically conductive layer with the second etchant-resistant film as a mask, it is prevented from producing a gap between the electrode and the second insulating layer, and thereby damaging the infrared temperature-sensitive film, or causing dispersion in the magnitude of electrical resistance.

Since the infrared sensor of this invention seals the infrared temperature-sensitive film so tightly as to keep the periphery thereof in a vacuum state as described above, it is capable of minimizing the amount of infrared radiation energy lost through the infrared temperature-resistant film and is effective in notably enhancing the sensitivity of the sensor.

BRIEF DESCRIPTION OF THE DRAWINGS

Fig. 1 is a perspective view of an infrared sensor as one embodiment of this invention.

Fig. 2 is a perspective view illustrating the infrared sensor of Fig. 1 in a disassembled state.

Figs. 3A - 3J are longitudinal cross sections representing a series of steps followed in the production of the infrared sensor shown in Fig. 1.

Fig. 4 is a longitudinal cross section illustrating an infrared sensor as another embodiment of this invention.

Figs. 5A to 5I are longitudinal cross sections representing a series of steps followed in the production of the infrared sensor shown in Fig. 4.

Fig. 6 is a longitudinal cross section illustrating an infrared sensor as yet another embodiment of this invention.

Fig. 7 is a plan view illustrating an infrared sensor as still another embodiment of this invention.

Fig. 8 is a cross section taken through Fig. 7 along line VIII-VIII.

Figs. 9A to 9E are cross sections representing a series of steps followed in the production of the infrared sensor shown in Fig. 7.

Fig. 10 is a longitudinal cross section illustrating an infrared sensor as a further embodiment of this invention.

Fig. 11 is a diagram schematically illustrating the construction of a system used in the first example experiment conducted on this invention.

Fig. 12 is a graph showing the results of the test performed in the system of Fig. 11 and in vacuum.

Fig. 13 is a graph showing the relationship between the degree of vacuum and the magnitude of temperature increase in comparison with the test results obtained in the open air.

Fig. 14 is a cross section illustrating the construction of a package used for the second example of experiment conducted on this invention.

Fig. 15 is a graph showing the results of the second example of experiment.

DESCRIPTION

As the supporting substrate for the sensor proper, substrates of such semiconductors as silicon and germanium are used. Preferably, silicon substrates which can be obtained easily and inexpensively are used. The infrared temperature-sensitive film is formed of a film of amorphous germanium (a-Ge), polycrystalline geranium, amorphous silicon (a-Si), or polycrystalline silicon, for example. For the formation of this infrared temperature-sensitive film, such techniques as spattering, ion beam sputtering, and CVD (chemical vapor deposition) are available.

The bridging part can be formed of silicon oxide film (SiO_x), silicon nitride film (SiNy), or silicon oxynitride film (SiO_xN_y), for example. Preferably, it is formed of silicon oxynitride film. The silicon oxynitride film combines the properties of both silicon oxide film and silicon nitride film and, therefore, enjoys ideal stress balance and allows formation of a stable bridging structure. For the

SAMSUNG EX. 1002 - 122/2862

formation of the bridging part, a method which comprises forming an excavated part in the supporting substrate, temporarily refilling the excavated part thereby forming a sacrificial layer, forming a pattern of the bridging part on the sacrificial layer and, at the same time, forming an infrared temperature-sensitive film on the bridging part pattern, and then removing the sacrificial layer and giving rise to the bridging part is available. Another method which comprises forming a pattern for the bridging part and an infrared temperature-sensitive film on one of the surfaces of the supporting substrate, etching the other surface of the supporting substrate thereby forming a cavity under the bridging part pattern thereby giving rise to the bridging part, and further forming a lid member on the other surface in such a manner as to cover the cavity is also available. The latter method is easier to carry out from the procedural point of view than the former method.

As the material for the lid member, various semiconductor substances such as silicon and various metallic substances are usable. A silicon substrate is preferably used because of its low price and stable quality. When the lid member is made of the silicon substrate and it is used in a thermometer for the measurement of a body temperature, the transmittance of this lid member to infrared radiation of a wavelength of about 10 μm emanating from the human body is about 50%. When the infrared sensor is constructed by installing two identical infrared temperature-sensitive films in the sensor proper, exposing one of the infrared temperature-sensitive films to infrared radiation, and shielding the other infrared temperature-sensitive film from the infrared radiation, the side of the sensor proper which is covered with the lid member must be furnished with an infrared-intercepting film which is formed of aluminum (Al), for example.

The method of this invention for the production of an infrared sensor comprises a step of forming on a semiconductor wafer a plurality of sensor elements provided on a bridging part thereof with an infrared temperature-sensitive film, a step of tightly sealing the sensor elements individually with lid members, and a step of separating the tightly sealed sensor elements asunder.

By this method of production, since the sensor elements are tightly sealed individually with the lid members prior to the step of separating them as under (dicing step) and in the subsequently assumed state of being cut off by dicing, invasion by cooling water can be prevented and the bridging parts thereof are protected against breakage. When the produced infrared sensor is exposed to the impact of handling or it is incorporated into the probe, the possibility of the bridging part being broken by the shock is avoided because it is protected with the lid member.

Though adhesive agent or solder is usable for the union of the lid member with the sensor proper, this union may be obtained by the method of anode bonding. This method allows elimination of the effects of air convection and improves the sensor properties because it is capable of tightly sealing the sensor proper so as to keep the interior thereof in a vacuum state.

Further, in the infrared sensor according to this invention, the contact hole is formed on the electrode pad and the electrode pad is exposed because the electrode pad is formed so as to include therein an etchant-resistant electrically conductive film.

By the method of this invention, the possibility of the electrode pad being dissolved with the etching liquid is nil because the etchant-resistant electrically conductive film has been already formed in the uppermost layer of the electrode pad when the anisotropic etching is carried out with such a strong alkali liquid as hydrazine after the formation of the contact hole in the third insulating film on the electrode pad. Since the formation of the contact hole is not required to follow the formation of the bridging part, the bridging part is not broken and the yield of production is improved.

The electrode pad is generally formed of an aluminum (Al) film. For the etchant-resistant film of the uppermost layer, a copper (Cu) film or a gold (Au) film is used. When the etchant-resistant film is formed of a copper film, it is preferably overlaid with a nickel (Ni) film for prevention from oxidation.

In the infrared sensor produced in accordance with this invention, the upper peripheral part of the contact hole formed on the second insulating film is so shaped as to be covered with the part of the electrode which is given an increased width. In the structure of this kind, even when the phenomenon of side etching is allowed to occur during the fabrication of the electrode by etching, it only narrows the part of increased width and avoids inserting a gap between the electrode and the second insulating film, corroding the infrared temperature-sensitive film, or causing dispersion in the magnitude of electrical resistance.

The method of this invention for the production of an infrared sensor comprises a step of forming a first insulating film on the surface of a sensor substrate and then superposing an infrared temperature-sensitive film on the insulating film, a step of forming a second insulating film in such a manner as to cover the infrared temperature-sensitive film, a step of forming a first etchant-resistant film containing a prescribed contact hole pattern on the second insulating film and etching the second insulating film while using the first etchant-resistant

SAMSUNG EX. 1002 - 123/2862

film as a mask thereby producing in the second insulating film a contact hole deep enough to reach the infrared temperature-sensitive film, a step of superposing an electrically conductive layer on the second insulating film having the contact hole formed therein, and a step of forming on the electrically conductive layer a second etchant-resistant film containing an electrode pattern having a greater width than the contact hold pattern of the first etchant-resistant film and etching the electrically conductive layer with the second etchant-resistant film as a mask thereby forming an electrode.

By this method, the electrode pattern of the second etchant-resistant film has a greater width than the contact hole pattern of the first etchant-resistant film when the electrically conductive layer is etched with the second etchant-resistant film as a mask. Even when the phenomenon of side etching is allowed to occur in the electrically conductive layer, the method prevents the insertion of a gap between the electrode and the second insulating film, corroding of the infrared temperature-sensitive film, or causing dispersion in the magnitude of electrical resistance.

Now, the present invention will be described specifically below with reference to embodiments illustrated in the annexed drawings.

Fig. 2 is a perspective view illustrating an infrared sensor as one embodiment of this invention, in a state ready for assembly. Fig. 1 illustrates this infrared sensor in an assembled state.

The infrared sensor of this embodiment is constructed by joining a front lid 2 to the obverse surface of a sensor proper 1 and a rear lid 3 to the reverse surface thereof. The sensor proper 1 is provided with a pair of bridging parts 10a, 10b perfectly identical in construction. On the central parts of these bridging parts 10a, 10b, infrared temperature-sensitive films 11a, 11b are respectively formed. A plurality of electrode pads 12 are disposed around the bridging parts 10a, 10b and these electrode pards 12 are electrically connected to the infrared temperature-sensitive films 11. The front lid 2 is formed of a silicon substrate of a size slightly smaller than the sensor proper 1. On the reverse surface of the front lid 2 in one half of the lid opposite to the infrared temperature-sensitive film 11a on the lefthand side in the bearings of the diagram, an infrared-intercepting film 13 made of an aluminum film is formed. The rear lid 3 is likewise formed of a silicon substrate in a size equal to the size of the sensor proper 1.

In this infrared sensor, the infrared radiation impinging on the obverse surface of the infrared sensor penetrates the front lid 2 and selectively reaches the infrared temperature-sensitive film 11b. The infrared sensor can detect the true amount of infrared radiation by measuring through the medium of the electrode pads 12 the differential output of the infrared temperature-sensitive film 11b exposed to the infrared radiation and the infrared temperature-sensitive film 11a shielded from the infrared radiation. The infrared radiation tending to enter the infrared sensor from the reverse surface side thereof is intercepted by the rear lid 3.

In the infrared sensor of the present embodiment, the front lid 2 and the rear lid 3 both made of silicon are respectively joined to the obverse and reverse surfaces of the sensor proper 1 so as to protect the bridging parts 10a, 10b and the infrared temperature-sensitive films 11a, 11b disposed inside the sensor proper 1. This infrared sensor, therefore, is allowed a notable decrease in size and consequently a reduction in the cost of production as compared with the conventional infrared sensor enclosed with a container such as a can.

Figs. 3A to 3J illustrate a series of steps followed in the production of the infrared sensor described above.

First, a silicon substrate (silicon wafer) 31 having a crystal face orientation (100) as shown in Fig. 3A was prepared. Then, on the obverse surface of this silicon substrate 31, a silicon oxynitride film 32 of a thickness of 1 μm was formed as shown in Fig. 3B by the plasma CVD (chemical vapor deposition) method. Subsequently, on the silicon oxynitride film 32, a multiplicity of infrared temperature-sensitive films 33 were formed as spaced at a fixed interval as shown in Fig. 3C. To be specific, by means of sputtering with germanium (Ge) as a target, an germanium (a-Ge) film was formed on the silicon oxynitride film 32. By a subsequent annealing treatment at 500 °C, impartation of an increasingly polycrystalline structure to this amorphous germanium was promoted. Then, the germanium film which had acquired the polycrystalline structure was patterned by reactive ion etching.

The silicon substrate 31 was heated to 150 °C. Then, by the technique of vacuum deposition, a chromium (Cr) film 34a of a thickness of 0.05 μm, a copper (Cu) film 34b of a thickness of 1.0 μm, and a nickel (Ni) film 34c of a thickness of 1 μm were sequentially superposed to form a laminate composite film 34 on the obverse surface and reverse surface of the hot silicon substrate 31 as shown in Fig. 3D. In the laminate film, the chromium layer 34a was intended as an adhesive layer with the foundation, the copper layer 34b as an electrically conductive layer, and the nickel layer 34c as an antioxidant film for the copper layer 34b. Then, the laminate composite film 34 on the obverse surface alone was patterned to obtain selective survival of the laminate composite film 34 around each of the infrared temperature-sensitive films 33.

SAMSUNG EX. 1002 - 124/2862

Then on the obverse surface of the silicon substrate 31, an electrode wiring layer and electrode pads were formed, though not illustrated in the diagram, and the silicon oxynitride film 32 was patterned after the fashion of bridges. Subsequently, with the aid of the openings which are consequently formed in the silicon oxynitride film 32, the silicon substrate 31 was etched selectively to give rise to cavities 35 and bridging parts 33a as shown in Fig. 3E. This etching was carried out anisotropically by the use of an aqueous hydrazine solution. Optionally, this anisotropic etching may be performed by the use of an aqueous potassium hydroxide solution.

A rear lid 36 was joined by the technique of soldering to the reverse surface of the silicon substrate 31 as shown in Figs. 3F and 3G. This rear lid 36 was formed in the same size as the silicon substrate 31. Similarly to the silicon substrate 31, the rear lid 36 was provided in advance with a laminate composite film 37 composed of a chromium film 37a, a copper film 37b, and a nickel film 37c and obtained by the technique of vacuum deposition.

After the rear lid 36 had been joined as described above, the plurality of sensor elements were individually tested with a probe to select conforming articles. To the surfaces of the sensor elements selected as conforming articles, such front lids 38 as shown in Fig. 3H were joined with flip chip bonder so as to cover the bridging parts 33a and the infrared temperature-sensitive films 33. The front lids 38, similarly to the rear lid 36, were each provided in advance with a laminate composite film 38 composed of a chromium film 38a, a copper film 38b, and a nickel film 38c and obtained by the technique of vacuum deposition. After the front lids 38 had been joined to all the sensor elements, the sensor elements were separated asunder by cutting with a dicing saw as shown in Fig. 3I, to obtain sensor elements having the opposite surfaces thereof protected with front lids 38 and rear lids 36 as shown in Fig. 3J.

In the present embodiment, since the front lids 38 and the rear lids 36 were made to cover the obverse and reverse surfaces of the sensor proper by the method described above, the bridging parts 32a formed in the sensor proper sustained virtually no injury from the impact of the cooling water to be used for the purpose of preventing evolution of heat during the process of dicing. Thus, the yield of the production in this case was 98%, a notably high level as compared with the level of 50% obtained in the production in which chips were separated asunder and then lids were joined to the separate chips. The separate chips produced in the present embodiment allowed decisively improved convenience of handling.

In the present embodiment, the bridging parts 32a and the infrared temperature-sensitive films 33 formed internally were protected by joining the front lids 38 and the rear lid 36 to the opposite surfaces of the silicon substrate 31. In the case of the method which relies on a sacrificial layer for the formation of bridging parts, it is sufficient to use only front lids 38 because the reverse surface side of the silicon substrate 31 is closed. The embodiment described above represents a case of preparatorily dividing the front lids 38 from one another, covering the sensor elements individually with the separate front lids 38, and thereafter separating the sensor elements asunder by cutting with a dicing saw. Optionally, the production of these separate sensor elements may be accomplished by joining the silicon substrate 31 with one rear lid 36 and one front lid 38 each in the form of a wafer and subsequently separating the individual sensor elements by cutting the silicon substrate 31 in conjunction with the corresponding portions of the rear lid 36 and front lid 38. The embodiment cited above has been described as using an infrared sensor of the type admitting the incident infrared radiation from the obverse surface side of the sensor proper 1. It is naturally permissible to use an infrared sensor of the type admitting the incident infrared radiation from the reverse surface side of the sensor proper 1.

In an infrared sensor 110 which is obtained in the present embodiment, a cavity 121 is formed in a silicon substrate 111 as a sensor substrate. On the upper side of this cavity 121, a silicon oxynitride (SiO_xN_y) film 112 provided with a bridging part 112a measuring 20 μm in width, 2 mm in length, and 3 μm in thickness is formed. An infrared temperature-sensitive film 114 is disposed on the upper surface in the central part of the bridging part 112a. This infrared temperature-sensitive film 114 is formed of amorphous germanium (a-Ge), for example. To the infrared temperature-sensitive film 114, one terminal part of an electrode wiring layer 115 formed of an aluminum (Al) film, for example, is electrically connected. In the peripheral part on the silicon substrate 111, electrode pads 130a, 130b are superposed on the electrode wiring layer 115.

The electrode pads 130a, 130b are each formed of a laminate film composed of a chromium (Cr) film 116 and a copper (Cu) film 117. The obverse surface of the silicon substrate 111 is covered with a silicon oxynitride film 118 as a protective film. In this silicon oxynitride film 118, contact holes are bored as opposed respectively to the electrode pads 130a, 130b. Inside these contact holes 119, a nickel (Ni) film 122 is superposed on the copper film 117 for the purpose of preventing the copper film 117 from oxidation. To the

SAMSUNG EX. 1002 - 125/2862

nickel film 122, a flexible printed substrate (not shown) is electrically connected as by soldering. On the lower surface of the silicon substrate 111, a silicon oxynitride film 113 intended for the formation of bridging parts is formed.

In this infrared sensor 110, the incident infrared radiation is injected into the infrared temperature-sensitive film 114. The magnitude of electricalal resistance of the infrared temperature-sensitive film 114 is varied in accordance with the amount of the infrared radiation (temperature). Since the magnitude of the electric current flowing to the electrode wiring layer 115 is varied and the magnitude of the voltage between the electrode pads 130a, 130b is consequently varied in accordance with the variation in the magnitude of this electrical resistance, the temperature of the object under test can be determined by detecting the variation in the magnitude of electric current or that of voltage in a signal processing circuit through the medium of a flexible printed substrate (not shown).

Figs. 5A to 5F illustrate a series of steps to be followed in the production of the infrared sensor 110 mentioned above.

First, a silicon substrate 111 having a crystal face orientation (100) as shown in Fig. 5A was prepared. On the opposite surfaces of this silicon substrate 111, silicon oxynitride films 112, 113 having a thickness of 1 μm as shown in Fib. 5B were formed as first and second insulating films by the technique of plasma CVD. To be specific, the silicon substrate 111 was heated to 450 °C and the hot silicon substrate was swept with reactant gases, i.e. monosilane (SiH_4) fed at a flow rate of 15 SCCM, nitrogen (N_2) 203 SCCM, and nitrous oxide (N_2O) 32 SCCM, under the film-forming conditions of 0.45 Torr of pressure and 400 W of high frequency output to effect vapor-phase deposition of silicon oxynitride on the opposite surfaces of the silicon substrate 111 for 20 minutes.

Then, the silicon oxynitride film 112 superposed on the surface of the silicon substrate 111 was patterned to give shape to the bridging part 112a. This patterning was effected by reactive ion etching (RIE) and continued until the underlying silicon substrate 111 was exposed. For this etching, methane trifluoride (CHF_3) and oxygen (O_2) were used as etching gases and they were fed at respective flow volumes of 47.5 SCCM and 2.5 SCCM. The etching conditions employed herein were 0.075 Torr of pressure, 150 W of high frequency output, and 3 hours of time.

Subsequently, on the upper surface in the central part of the silicon oxynitride film 112, an infrared temperature-sensitive film 114 as shown in Fig. 5C was formed. To be more specific, by means of sputtering with germanium (Ge) as a target, an amorphous germanium (a-Ge) film was superposed on the silicon oxynitride film 112. This sputtering was carried out under continued flow of argon (Ar) gas at a flow volume of 4 SCCM under the conditions of 3×10^{-3} Torr of film-forming pressure, 160 W of high frequency output, and 10 minutes of time. Then, by means of an annealing treatment at 400 °C, impartation of an increasingly polycrystalline structure to the amorphous germanium was promoted. The amorphous germanium film which had undergone the impartation of a polycrystalline structure was patterned by reactive ion etching. The silicon substrate 111 was then heated to 150 °C. On the obverse surface of the hot silicon substrate, an aluminum film of a thickness of 0.5 μm was superposed as by the technique of vacuum deposition. This aluminum film was patterned to give rise to an electrode wiring layer 115 as shown in Fig. 5D.

Then, electrode pads 130a, 130b were formed in the edge parts of the silicon substrate 111 as shown in Fig. 5E. To be more specific, on the electrode wiring layer 115, a chromium (Cr) film 116 of a thickness of 0.05 μm and a copper (Cu) film 117 of a thickness of 1.5 μm as an etchant-resistant film were formed sequentially by the technique of vacuum deposition. On the surface of the silicon substrate 111, a silicon oxynitride film 118 of a thickness of 1 μm was formed as a third insulating film as shown in Fig. 5F.

Then, in the silicon oxynitride film 118, the contact holes 119 were formed so as to correspond to the electrode pads 130a, 130b as shown in Fig. 5G. Subsequently, an opening part 120 was formed in the silicon oxynitride film 113 on the reverse surface by selectively etching this film 113.

Then, via this opening part 120, the silicon substrate 111 was selectively etched from the reverse surface side to form the cavity 121 as shown in Fig. 5H. This etching was carried out anisotropically by the use of an aqueous hydrazine solution as an etching liquid at a temperature of 110 °C for one and a half hours to a depth reaching the silicon oxynitride film 112 on the obverse surface of the silicon substrate 111. Optionally, this etching may, instead, be performed by the use of an aqueous potassium hydroxide solution.

Then, in the contact holes 119 of the electrode pads 130a, 130b, the nickel films 122 for preventing the copper films 117 from oxidation were formed by the technique of electroless plating as shown in Fig. 5I. This plating was effected by immersion in a plating liquid (product of Okuno Seiyaku Kogyo K.K. and marketed under trademark designation of "Top Chemicalloy B-1") at 65 °C for five minutes until the nickel films 122 grew to a thickness of 1 μm.

By the method of the present embodiment, since the copper films 117 possessing an etchant-

SAMSUNG EX. 1002 - 126/2862

resistant property have been already formed in the uppermost layers of the electrode pads 130a, 130b when the contact holes 119 are formed in the silicon oxynitride film 118 as the third insulating film and then the film 118 is subjected to anisotropic etching with a strong alkali liquid such as hydrazine, the possibility that the electrode pads 130a, 130b will be dissolved by the etching liquid is nil. Further, since the bridging parts 112a have not yet been formed when the contact holes 119 are formed on the upper surface of the silicon substrate 111, the bridging parts 112a are precluded from the otherwise inevitable breakage and the yield of production is notably improved.

The embodiment described thus far represents a case of forming the nickel films 122 for the prevention of the copper films 117 from oxidation subsequently to the step of anisotropic etching (Fig. 5I). Optionally, the formation of the nickel film 122 may be carried out before the step of anisotropic etching and after the formation of the contact holes 119.

Further, the embodiment cited above contemplates forming the electrode pads 130a, 130b each with a two-layer laminate film composed of a chromium film 116 and a copper film 117. This laminate film, when necessary, may be constructed in a three-layer structure having a gold (Au) film 123 additionally superposed on the copper film 117. This laminate has no use any longer for the nickel film 122 which is essentially used in the embodiment described above.

In the infrared sensor which is obtained as described above, the cavity 121 is tightly sealed as shown in Fig. 1 by joining thereto a front lid and a rear lid (neither shown herein).

Fig. 7 is a plan view illustrating the construction of an infrared sensor 210 as yet another embodiment of this invention. Fig. 8 is a cross section taken through Fig. 7 along line VIII-VIII.

This infrared sensor 210 has a silicon oxynitride film 212 of a thickness of 1 μm formed as a first insulating film on the upper surface of a silicon substrate 211 as a sensor substrate. On this silicon oxynitride film 212, an infrared temperature-sensitive film 213 made of polycrystalline germanium is superposed. This infrared temperature-sensitive film 213 is covered with a silicon oxynitride film 214 as a second insulating film. In the silicon oxynitride film 214, contact holes 224a, 224b shaped like mutually opposed combs are formed.

On the silicon oxynitride film 214, electrodes 225a, 225b extending through the thickness of the contact holes 224a, 224b and reaching the infrared temperature-sensitive film 213 are formed. The electrodes 225a, 225b are made of an electrically conductive layer such as, for example, aluminum film. In a plan view, they are shaped like mutually opposed combs in conformity to the contact holes 224a, 224b. The electrodes 225a, 225b are connected to a wiring electrode (not shown) respectively through the medium of wiring layers 218a, 218b which are made of an aluminum film. The parts of the electrodes 225a, 225b rising above the silicon oxynitride film 214 have a width greater by a size, t, (5 μm, for example) than the width (10 μm, for example) of the parts thereof extending through the concrete holes 224a, 224b. Thus, the electrodes 225a, 225b form parts of increased width 217 above the silicon oxynitride film 214 and, as a result, have a T-shaped cross section.

In this infrared sensor 211, the magnitude of electric resistance of the infrared temperature-sensitive film 213 is proportionately varied with the amount (heat quantity) of the incident infrared radiation. Thus, the amount of the radiation (temperature) can be detected by measuring with a signal processing circuit (not shown) the magnitude of electrical current flowing to the electrodes 225a, 225b and the wiring layers 218a, 218b or the magnitude of voltage generated between the wiring electrodes (not shown) in accordance with the variation in the magnitude of electric resistance.

In the infrared sensor 210 of the present embodiment, the parts (parts of increased width 217) of the electrodes 225a, 225b rising above the silicon oxynitride film 214 have a width greater than the width of the parts thereof extending inside the contact holes 224a, 224b and the edge parts of the upper surfaces of the contact holes 224a, 224b, therefore, are covered with the parts of increased width 217 of the electrodes 225a, 225b. In this infrared sensor 210, the parts of increased width 217 are etched and reduced in width even when the phenomenon of side etching is allowed to occur during the etching of the electrodes 225a, 225b. No dispersion occurs in the magnitude of electric resistance, therefore, because no gap is inserted between the electrodes 225a, 225b and the silicon oxynitride film 214 or no etching is eallowed to occur on the infrared temperature-sensitive film 213.

Figs. 9A to 9E illustrate a series of steps followed in the production of electrode parts in the infrared sensor 210.

First, the silicon oxynitride film 212 was formed by the technique of plasma CVD on the silicon substrate 211 as shown in Fig. 9A. Then, by means of sputtering, the infrared temperature-sensitive film 213 made of an amorphous germanium (a-Ge) film was formed in a thickness of 1 μm on the silicon oxynitride film 212. This sputtering was carried out by feeding argon (Ar) gas at a flow volume of 4 SCCM under the conditions of 3×10^{-3} Torr of film-forming pressure, 160 W of high frequency output, and about 10 minutes of time. Then, by an

SAMSUNG EX. 1002 - 127/2862

annealing treatment performed at a temperature of 100 °C, impartation of an increasing polycrystalline structure to the amorphous germanium was promoted. Subsequently, by reactive ion etching (RIE), the germanium film which had acquired a grown polycrystalline structure was patterned. This reactive ion etching was carried out by feeding Freon (CF_4) gas at a flow volume of 40 SCCM under the conditions of 0.2 Torr of pressure, 150 W of high frequency output, and about 10 minutes of time.

Then, by the technique of plasma CVD, the silicon oxynitride film 214 was formed so as to cover the infrared temperature-sensitive film 213 on the silicon oxynitride film 212 as shown in Fig. 9B. Then, on this silicon oxynitride film 214, a photoresist film 226 containing a contact hole pattern (t1 in width) was formed. The silicon oxynitride film 214 was etched with the photoresist film 226 as a mask, to give rise to the contact holes 224a, 224b as shown in Fig. 9C.

Then, by performing vacuum deposition of aluminum at a temperature of 150 °C for about 8 minutes, an aluminum film 215 of a thickness of 1.5 μm was formed on the infrared temperature-sensitive film 213 as shown in Fig. 9D. Subsequently, on the aluminum film 215, a photoresist film 227 of a thickness of 1 μm containing an electrode pattern was superposed. Here, the width t2 of the electrode pattern in the photoresist 227 was greater by 2t than the width t1 of the contact holes 224a, 224b.

Thereafter, the aluminum film 215 was selectively etched wet with the photoresist film 227 as a mask to give rise to the electrodes 225a, 225b as shown in Fig. 9E. The wet etching was carried out at 40 °C for about 5 minutes by the use of an etching liquid composed of phosphoric acid (H_3PO_4), nitric acid (HNO_3), acetic acid (CH_3COOH), and water (H_2O) at a mixing ratio of 18 : 1 : 2 : 1. The infrared sensor 210 constructed as illustrated in Fig. 8 was obtained as a consequence of the process described above.

By this method, the electrode pattern in the photoresist film 227 has a greater width than the contact hole pattern of the photoresist 226 (Fig. 9B). Even when the phenomenon of side etching is allowed to occur in the aluminum film 215 during the etching of the aluminum film 215 at the step of Fig. 9E, only the parts of the electrodes 225a, 225b rising above the silicon oxynitride film 214 are etched and reduced in width. Thus, no gap occurs between the electrodes 225a, 225b and the silicon oxynitride film 214 or no etching is allowed to occur on the infrared temperature-sensitive film 213.

The infrared sensor of this invention is furnished with a cavity. In this cavity, it is provided with a sensor substrate having an infrared temperature-sensitive film superposed thereon and vacuum sealing means for covering the cavity and sealing the periphery of the infrared temperature-sensitive film in a vacuum state.

In this infrared sensor, since the infrared temperature-sensitive film is tightly sealed to keep the periphery thereof in a vacuum state, the amount infrared radiation energy lost through the infrared temperature-sensitive film is minimized and, as a result, the temperature rise of the infrared temperature-sensitive film is increased and the sensitivity of the sensor is remarkably enhanced.

The term "vacuum" as used in this specification shall be construed as designating a state in which the pressure is not higher than 1.0 Torr. Where the degree of vacuum is 10^{-3} Torr or less, the effect of this vacuum is substantially equal to that which is obtained when the pressure is 10^{-3} Torr.

More specifically, the infrared sensor of this invention is preferably so constructed as to have the sensor substrate thereof provided therein with a pair of cavities, the cavities provided individually with infrared temperature-sensitive films identical in structure, one of the infrared temperature-sensitive films adapted to admit infrared radiation selectively, and the other infrared temperature-sensitive film shielded from the infrared radiation. This infrared sensor, by detecting the difference between the output of the infrared temperature-sensitive film admitting the infrared radiation and that of the infrared temperature-sensitive film not admitting the infrared radiation, is able to determine the net amount of infrared radiation while precluding electrical noise and thermal disturbance. When the two cavities in this construction are made to communicate with each other, they can be maintained at one and the same degree of vacuum and the detection of infrared radiation can be attained with enhanced accuracy. The pair of cavities may be formed in one and the same sensor substrate. Otherwise, they may be formed separately in different sensor substrates on the condition that they are adapted to have sufficient thermal contact to maintain the same temperature.

For the sensor substrate, such semiconducting substrates of silicon, germanium, etc. are usable. Preferably, a silicon substrate is used because it can be obtained easily and less expensively.

Generally, the infrared temperature-sensitive films come in the bolometer type, the thermopile type, the collector type, etc. The infrared temperature-sensitive film of the bolometer type among other types proves to be particularly preferable in the sense that it allows miniaturization of the sensor because the resistance of the sensor element varies with the variation in the temperature

SAMSUNG EX. 1002 - 128/2862

of the sensor caused by infrared radiation and, therefore, the amount of infrared radiation (temperature) can be directly detected from the magnitude of resistance. The infrared temperature-sensitive film in this case is formed of a film of amorphous germanium (a-Ge), amorphous silicon (a-Si), polycrystalline germanium, polycrystalline silicon, etc. For the formation of this infrared temperature-sensitive film, the techniques of sputtering, ion beam sputtering, CVD (chemical vapor deposition), etc. are available. For supporting the infrared temperature-sensitive film, such structures as a bridge of the type supported at the opposite ends thereof, a cantilever, and a diaphragm are usable. The structure of the bridge mentioned above among other structures proves to be particularly desirable for the purpose of decreasing the heat capacity and, at the same time, ensuring structural stability.

As the material for the bridging structure, a silicon oxide (SiO_x) film, a silicon nitride (SiN_y) film, a silicon oxynitride (SiO_xN_y) film, etc. are usable. The silicon oxynitride film among other materials cited above proves to be particularly preferable. The silicon oxynitride film combines the properties of both silicon oxide film and silicon nitride film and, therefore, enjoys an ideal stress balance and permits stable formation of the bridge structure. This bridging part can be produced by one superposing silicon oxynitride films on each of the opposite surfaces of a silicon substrate, with one of the surfaces patterned in advance after the fashion of a bridge and the other surface after the fashion of a window of desired size, and anisotropically etching the silicon oxynitride films with an aqueous hydrazine solution or potassium hydroxide (KOH), for example.

Specifically, the means for vacuum sealing comprises lids (front lid and rear lid) which are joined to the opposite surfaces of the sensor substrate. The sealing of the sensor substrate sufficient to keep the interior thereof in a vacuum state is attained by joining one of the lids to one surface of the sensor substrate and then joining the other lid to the other surface of the sensor substrate held in an atmosphere of vacuum. For the lids, silicon substrates may be used. In this case, for the purpose of enabling one of the pair of infrared temperature-sensitive films to selectively admit infrared radiation, the silicon substrate which forms the lid for passing the infrared radiation is preferably provided on the opposite surfaces thereof with an infrared-reflecting film such as an aluminum film and to be provided partially in each of the infrared-reflecting films with a window (opening part).

As means for joining the lids to the sensor substrate, the technique of solder welding and the technique of anode bonding are available. The anode bonding is a technique for joining glass (such as, for example, Pyrex glass) to silicon. It is said that the silicon substrate and glass are joined across their interface due to the covalent bond of silicon and oxygen atoms which exist at the interface. When this anode bonding technique is adopted, it is carried out under a vacuum to enable the periphery of the temperature-sensitive film of the infrared sensor to be kept in a vacuum state. To ensure this vacuum sealing, a glass layer must be interposed between the front lid of silicon and the sensor substrate of silicon and between the rear lid of silicon and the sensor substrate of silicon. For this purpose, it is necessary to have a thin glass film formed by the technique of sputtering, for example, on either of the front lid and the sensor substrate and either of the rear lid and the sensor substrate.

Now, the method for joining the lids to the sensor substrate by the anode bonding will be described more specifically below. First, a wafer cut in the shape of a rear lid (rear-lid wafer) is placed on a cathode and a wafer cut in the shape of a sensor proper (sensor-proper wafer) is placed on the rear-lid wafer. On the surface of the rear lid intended for contact, a low melting glass film is formed in advance by sputtering. On the sensor-proper wafer, a needle-shaped electrode is erected. A DC voltage in the range of 30 to 100 V is applied between this needle-shaped electrode and the cathode. The advance of the anode bonding is followed by monitoring the magnitude of the electrical current. Generally, the magnitude of electrical current decreases monotonously and ceases to decrease at the level of the leakage current (generally on the order of 1 mA, depending on the area of a sample). At the end of the anode bonding, the joined part is tested for leakage with a helium leak detector. Then, by following the same procedure, a wafer cut in the shape of a front lid (front-lid wafer) is joined to the first two wafers already joined. The work which follows the union of the lids to the sensor substrate is carried out inside a vacuum chamber for the purpose of sealing the sensor proper in a vacuum state. Since the opposition of the front lid to the joined wafers in an atmosphere of vacuum cannot be performed as effectively as in the open air, it must be carried out with the aid of an infrared scope as kept under constant observation through a vacuum quality inspection window (made of quartz). During the evacuation of the entrapped air for creation of a vacuum, they are separated with a sufficient space to provide ample conductance for the removal of the entrapped air from the tightly sealed space. They are not brought into contact and joined until the fall in vacuum to a level below 10^{-5} Torr has been confirmed. When the front lid and the rear lid are made of glass, they

SAMSUNG EX. 1002 - 129/2862

can be joined directly to the sensor substrate without requiring interposition of a thin glass film. When the silicon substrate and the lids of silicon are used as described above and they are both formed of single crystal, they serve ideally to maintain the cavity in a vacuum state because they have an extremely small gas content due to the quality of the single crystal and they are sparingly pervious to an external gas.

Now, this invention will be described more specifically below with reference to working examples.

Fig. 10 is a diagram illustrating the construction of an infrared sensor 310 as one embodiment of this invention. The infrared sensor 310 of this embodiment uses a silicon substrate (single crystal silicon) 311 as a sensor substrate. In the silicon substrate 311, two cavities 314a, 314b are formed. These cavities 314a, 314b each open in the upper and lower surfaces of the silicon substrate 311. On the lower surface of the silicon substrate 311, a silicon oxynitride (SiO_xN_y) film 312 containing two bridging parts 312a, 312b is formed. Infrared temperature-sensitive films 313a, 313b are formed on the lower surfaces in the central parts respectively of the bridging parts 312a, 312b. These infrared temperature-sensitive films 313a, 313b are formed of amorphous germanium (a-Ge), for example. To the infrared temperature-sensitive films 313a, 313b, single-terminal parts of electrode wiring layers formed of aluminum (Al) film are electrically connected though not shown in the diagram. The other terminal parts of the electrode wiring layers are connected to electrode pads 315a, 315b which are formed in the edge parts on the lower surface of the silicon substrate 311.

On the upper surface of the silicon substrate 311, a silicon oxynitride film 316 is formed. A front lid 317 is joined to the upper surface of this silicon oxynitride film 316. The front lid 317 is formed of a silicon substrate 318. On the obverse and reverse surfaces of this silicon substrate 318, infrared reflection preventing films 319a, 319b are respectively formed. On the obverse surfaces of these infrared reflection preventing films 319a, 319b, infrared-intercepting films 320a, 320b made of aluminum (Al) are formed. In these infrared-intercepting films 320a, 320b at the positions thereof opposed to the infrared temperature-sensitive film 313a falling on the righthand side in the bearings, an opening part 321 for guiding the infrared radiation is formed. The front lid 317 is joined to the silicon oxynitride film 316 by the technique of high melting solder welding, for example.

To the lower surface of the silicon substrate 311, a rear lid 322 is joined. This rear lid 322 is formed of silicon like the front lid 317. In the upper surface of the rear lid 322, excavated parts 323a, 323b are formed as opposed to the cavities 314a, 314b of the silicon substrate 311. These excavated parts 323a, 323b are made to communicate with each other via a communicating part 324. The rear lid 322 is joined to the silicon oxynitride film 312 in a vacuum atmosphere by the technique of high melting solder welding or the technique of anode bonding. As a result, the infrared temperature-sensitive films 313a, 313b in the cavities 314a, 314b of the silicon substrate 311 and in the excavated parts 323a, 323b of the rear lid 322 are sealed under one and the same degree of vacuum.

On the wall surfaces of the cavities 314a, 314b and the excavated parts 323a, 323b, an infrared-reflecting film 325 made of nickel (Ni), for example, is formed so as to prevent the infrared radiation which has entered the infrared temperature-sensitive film 313a from further entering the other infrared temperature-sensitive film 313b. To the electrode pads 315a, 315b in the edge parts of the rear lid 222, FPC (flexible printed circuit) substrates are electrically connected. The infrared sensor 310 is wholly supported by a base 327 which is made of copper (Cu). A depression 328 is formed in the central part of the base 327. To this depression 328, the rear lid 322 is joined by the technique of low melting solder welding.

In this infrared sensor, the infrared radiation introduced from above in the bearings of the diagram is passed through the opening part 321 of the front lid 317 and the cavity 314a and then injected selectively into the infrared temperature-sensitive film 313a. The other infrared temperature-sensitive film 313b is shielded from the infrared radiation by the infrared-intercepting films 320a, 320b. The differential output between the infrared temperature-sensitive film 313a admitting the infrared radiation and the infrared temperature-sensitive film 313b expelling the infrared radiation is detected through the medium of the FPC substrate 326. Since the periphery of the infrared temperature-sensitive film 313a inside the cavity 314a and the excavated part 323a is maintained in a vacuum state, the energy of the incident infrared radiation is not lost through the air and the very small amount of infrared radiation emanating from a sample can be absorbed efficiently and the sensitivity of the sensor is enhanced. The infrared temperature-sensitive film 313b inside the other cavity 314b and the excavated part 323b is also maintained under the same degree of vacuum. Due to the differential output between the two infrared temperature-sensitive films 313a, 313b, the true amount of infrared radiation can be detected.

(First experimental example)

Fig. 11 schematically illustrates the construction of an experimental system used for confirming

SAMSUNG EX. 1002 - 130/2862

the effect of an infrared sensor embodying this invention. In this system, a semiconductor laser having an output wavelength of 673 nm was used as a light source 331. The light emanating from this semiconductor laser was condensed with a lens 332 on one infrared temperature-sensitive film 313a of the infrared sensor 310. Thus, the differential output which occurred between this infrared temperature-sensitive film 313a and the other infrared temperature-sensitive film 313b was obtained. The output from the semiconductor laser was made to occur in the form of a pulse so as to allow evaluation of the sensitivity of response of the infrared temperature-sensitive film 313a.

Line A in Fig. 12 shows the results (relation between the time T and the value dT of rise of temperature) of a comparative experiment carried out on the infrared sensor 310 set in the open air. In this case, the differential output corresponding to the output of the semiconductor laser could not be clearly detected. Line B in Fig. 12 shows the results of an experiment carried out under the same conditions as described above, excepting the infrared sensor 310 was set under a vacuum (3.2×10^{-3} Torr). The differential output could be clearly detected, indicating that the sensitivity of response was improved in this case. Fig. 13 shows the results of the same experiment carried out under the same conditions, except that the degree of vacuum P was varied to produce data usable for comparison with those obtained in the open air. In the data shown in the diagram, those enclosed with parentheses are the values given for the purpose of comparison with those obtained in the open air. The effect began to show clearly (1.5 times) when the degree of vacuum was 1.0 Torr and reached about 20 times when the degree of vacuum was about 10^{-3} Torr. When the degree of vacuum was lower than the level just mentioned, the sensitivity of response was substantially equal to that obtained at 10^{-3} Torr.

(Second experimental example)

Fig. 14 is a diagram illustrating an infrared sensor used in the second experimental example. An infrared sensor 310 of this experiment was sealed in a can package 340 and kept in a vacuum state. It was joined to the upper surface of a stem 341 by die bonding with a heat-resistant epoxy resin. An infrared-intercepting plate 342 was disposed on a lead terminal 343 of the can package 340. A cap 344 was joined by soldering to the upper surface of the stem 341. An upper opening part 345 of this cap 344 was covered with a reflection-proof film 346 made of silicon. The reflection-proof film 346 was fastened to the cap 344 with low melting glass 347. Getter members 348 for adsorbing the internal gas were attached fast to the inner ceiling surface of the cap 344 and to the infrared-intercepting plate 342. The getter members 348 were made of an aqueous solution of powder mixture of zirconium (Zr) and carbon (C) (a product of Giken Kagakusha K.K. having an activating temperature of 225 °C).

The vacuum sealing of the can package 340 was effected by placing the stem 341 and the cap 344 in a vacuum container, evacuating the entrapped air from the vacuum container to a vacuum (3×10^{-6} Torr), heating the stem 341 and the cap 344 with their respective heaters to 230 °C, continuing the removal of internal gas for three hours, and thereafter slowly joining the stem 341 and the cap 344. The solder used in this case was a product having a melting point of 221 °C and containing flux. The solder in a molten state was placed in advance on the stem 341 and the cap 344 in the open air. Afterwards, the flux floating on the solder surface was removed with trichloroethylene.

Fig. 15 shows the results of the determination of infrared radiation with the infrared sensor using the can package 340 of Fig. 14. The data clearly indicate that the sensitivity of the present sensor was about 14 times as high as that obtained with the conventional sensor containing normal air.

Claims

1. An infrared sensor comprising a substrate provided with a bridging part, a detecting part composed of an infrared temperature-sensitive film formed in said bridging part, a first lid covering said detecting part and said bridging part, and a second lid covering the reverse surface of said substrate and tightly closing a cavity formed between said substrate and said bridging part.

2. An infrared sensor according to claim 1, wherein said substrate is made of a semiconducting material.

3. An infrared sensor according to claim 1, wherein said bridging part is formed of a film made of at least one member selected from the group consisting of silicon oxides, silicon nitrides, and silicon oxynitrides.

4. An infrared sensor according to claim 1, wherein said infrared temperature-sensitive film is made of at least one member selected from the group consisting of amorphous germanium, amorphous silicon, polycrystalline silicon, and polycrystalline germanium.

SAMSUNG EX. 1002 - 131/2862

5. An infrared sensor according to claim 1, wherein said lids are made of a semiconducting material.

6. An infrared sensor according to claim 5, wherein two bridging parts and two infrared detecting parts are used and each odd one of said paired components is provided with an infrared-intercepting film.

7. An infrared sensor according to claim 1, which further comprises an electrode pad electrically connected to said infrared temperature-sensitive film and formed of a laminate film including an etchant-resistant electrically conductive film.

8. An infrared sensor according to claim 7, wherein said electrode pad is made of a laminate film consisting of aluminum and said etchant-resistant film is made of copper or gold.

9. An infrared sensor according to claim 1, which further comprises an infrared temperature-sensitive film formed on said substrate through the medium of a first insulating film, a second insulating film formed on said infrared temperature-sensitive film and provided with a contact hole so deep as to reach said infrared temperature-sensitive film, and an electrode formed on said second insulating film, electrically connected to said infrared temperature-sensitive film via said contact hole, and provided above said second insulating film with a part of increased width greater than the width of the part thereof extending inside said contact hole.

10. A method for the production of an infrared sensor, comprising a step of forming on a semiconductor wafer a plurality of sensor elements provided on a bridging part with an infrared temperature-sensitive film, a step of sealing said sensor elements each with a lid member capable of tightly sealing said sensor element, and a step of separating the tightly sealed sensor elements asunder by cutting.

11. A method according to claim 10, wherein said semiconductor wafer is a silicon wafer.

12. A method according to claim 10, which comprises forming a film of a bridge-forming material on one surface of a semiconductor wafer, forming an infrared temperature-sensitive film on the obverse surface of said film of bridge-forming material, forming a laminate composite film on one surface of said semiconductor wafer and a laminate composite film on the other surface of said semiconductor wafer around the periphery of said infrared temperature-sensitive film, partially etching said semiconductor wafer thereby forming a cavity therein, joining a second lid to the cavity side semiconductor wafer, joining a first lid to the upper surface of said laminate composite film on said infrared temperature-sensitive film side and tightly sealing said laminate composite film, and separating the portions of said semiconductor wafer corresponding to said infrared temperature-sensitive films asunder by cutting.

13. A method according to claim 12, wherein said laminate composite film comprises a chromium layer, a copper layer, and a nickel layer.

14. A method for the production of an infrared sensor, comprising a step of forming a first insulating film intended for formation of a bridging part on one of the main surfaces of a sensor substrate made of a semiconducting material and forming a second insulating film containing an opening for etching on the other main surface of said sensor substrate, a step of forming an infrared temperature-sensitive film on said first insulating film, a step of forming on said first insulating film an electrode pad provided in the uppermost layer thereof with an etchant-resistant electrically conductive film in such a manner as to be connected electrically to said infrared temperature-sensitive film, a step of forming a third insulating film on said sensor substrate containing said electrode pad and selectively forming a contact hole in said third insulating film in a depth reaching said electrode pad, and a step of anisotropically etching said sensor substrate via said opening of the contact hole thereby forming a bridging part.

15. A method according to claim 14, wherein said semiconducting material is silicon.

16. A method according to claim 14, wherein said first, second, and third insulating films are made of at least one member selected from the group consisting of silicon oxynitrides, silicon oxides, and silicon nitrides.

17. A method according to claim 14, wherein said infrared temperature-sensitive film is made of at least one member selected from the group consisting of amorphous germanium, amorphous silicon, polycrystalline silicon, and polycrystalline germanium.

SAMSUNG EX. 1002 - 132/2862

18. A method for the production of an infrared sensor, comprising a step of forming a first insulating film on the obverse surface of a sensor substrate and then forming an infrared temperature-sensitive film on said insulating film, a step of forming a second insulating film in such a manner as to cover said infrared temperature-sensitive film, a step of forming on said second insulating film a first etchant-resistant film containing a prescribed contact hole pattern and etching said second insulating film with said first etchant-resistant film as a mask thereby forming in said second insulating film a contact hole so deep as to reach said infrared temperature-sensitive film, a step of superposing an electrically conductive layer on said second insulating film having said contact hole formed therein, and a step of forming on said electrically conductive layer a second etchant-resistant film containing an electrode pattern of a width greater than the width of said contact hole pattern in said first etchant-resistant film and etching said electrically conductive film with said second etchant-resistant film as a mask thereby forming an electrode.

19. A method according to claim 18, wherein said first and second insulating films are made of at least one member selected from the group consisting of silicon oxynitrides, silicon oxides, and silicon nitrides.

20. A method according to claim 18, wherein said infrared temperature-sensitive film is made of at least one member selected from the group consisting of amorphous germanium, amorphous silicon, and polycrystalline silicon.

21. An infrared sensor comprising a sensor substrate possessed of a cavity and provided in said cavity with an infrared temperature-sensitive film and vacuum sealing means covering said cavity in said sensor substrate and sealing said sensor substrate by the periphery of said infrared temperature-sensitive film so as to keep a vacuum state.

22. An infrared sensor according to claim 21, wherein said sensor substrate is made of a semiconducting material.

23. An infrared sensor according to claim 22, wherein said semiconducting material is single crystal silicon.

24. An infrared sensor according to claim 21, wherein said vacuum sealing means comprises a front lid covering the upper opening part of said sensor substrate and a rear lid covering said infrared temperature-sensitive film disposed in the lower opening part while allowing intervention of an empty space therebetween.

SAMSUNG EX. 1002 - 133/2862

FIG.1

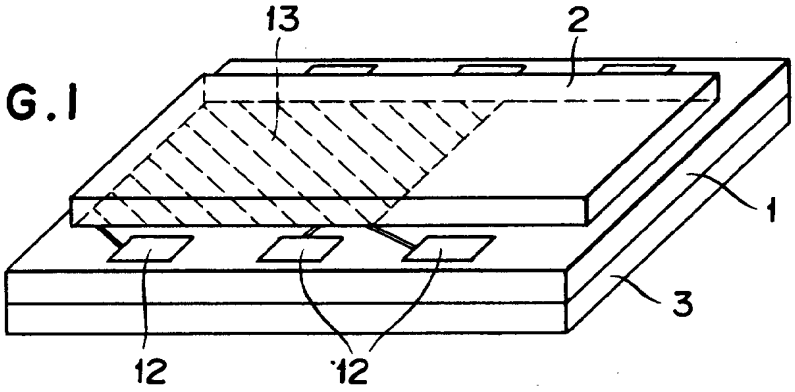


FIG.2

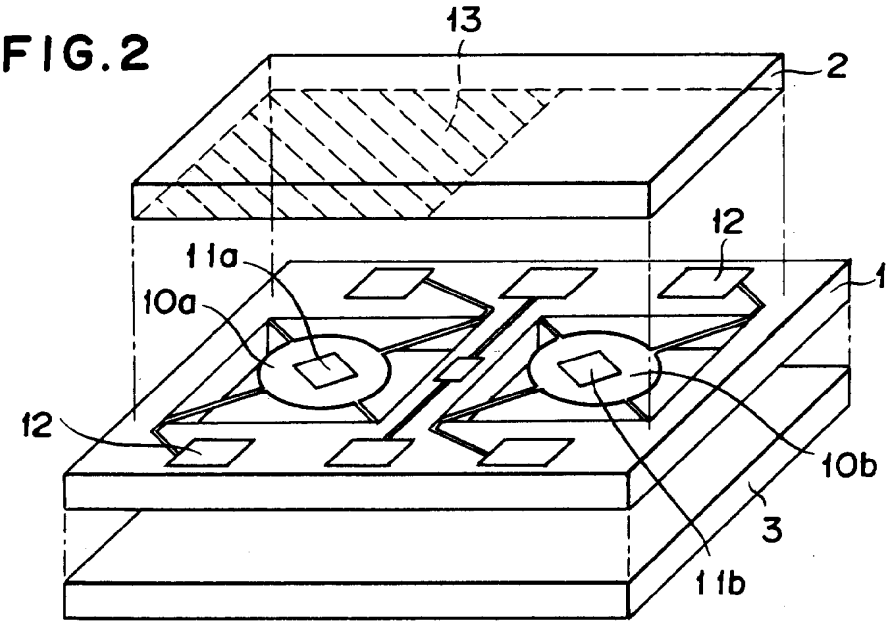


FIG.3A

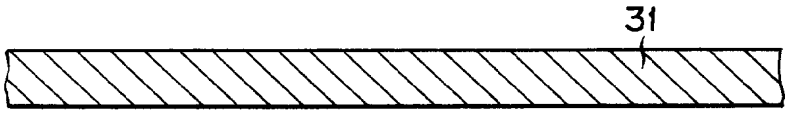


FIG.3B

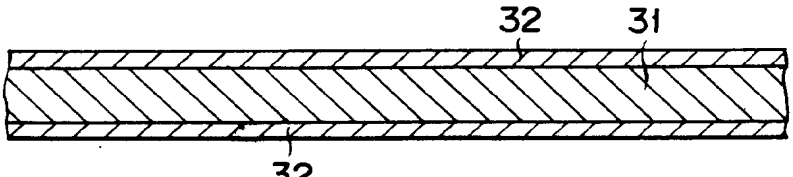
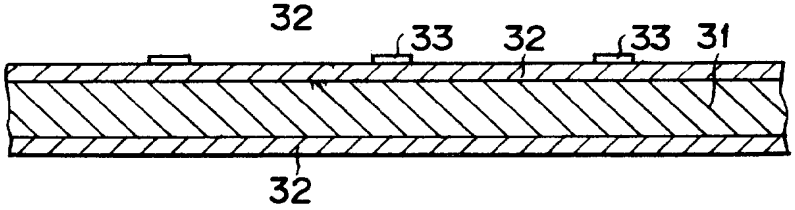


FIG.3C



SAMSUNG EX. 1002 - 134/2862

FIG.3D

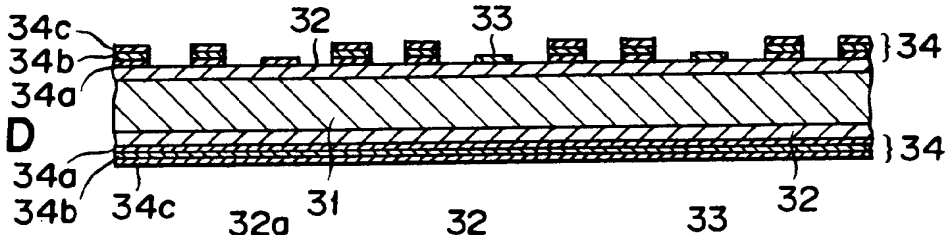


FIG.3E

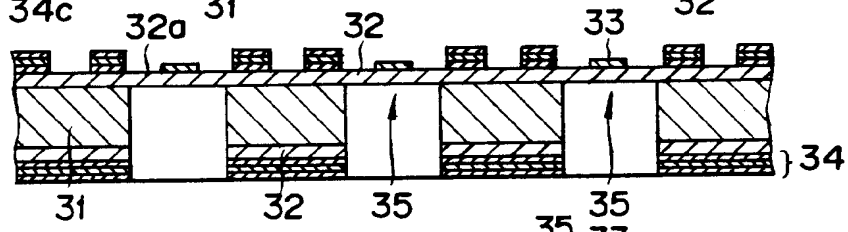


FIG.3F

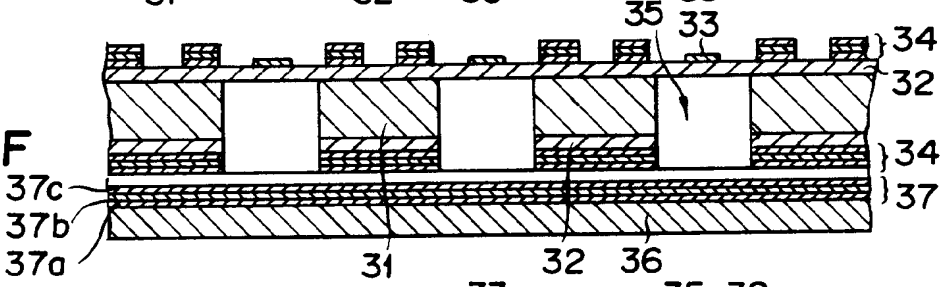


FIG.3G

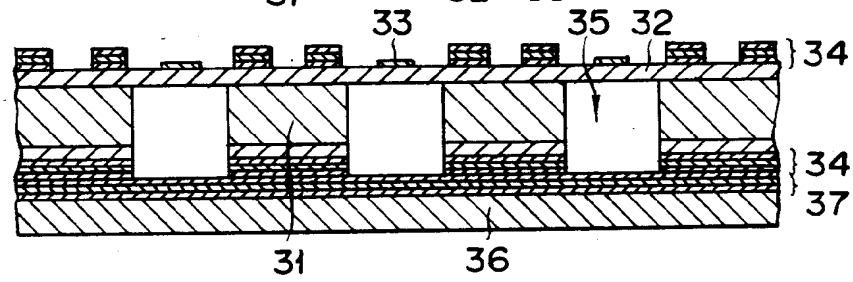


FIG.3H

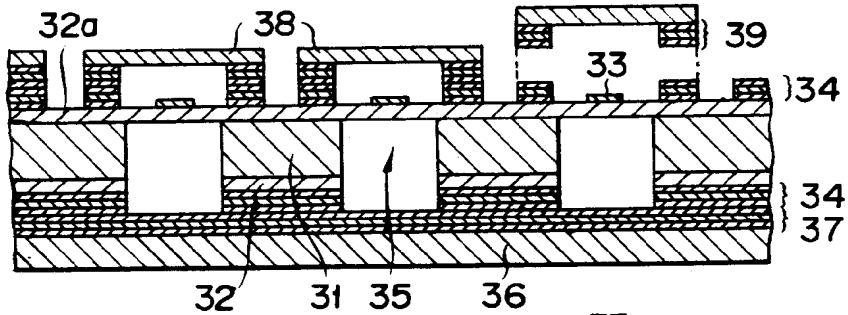
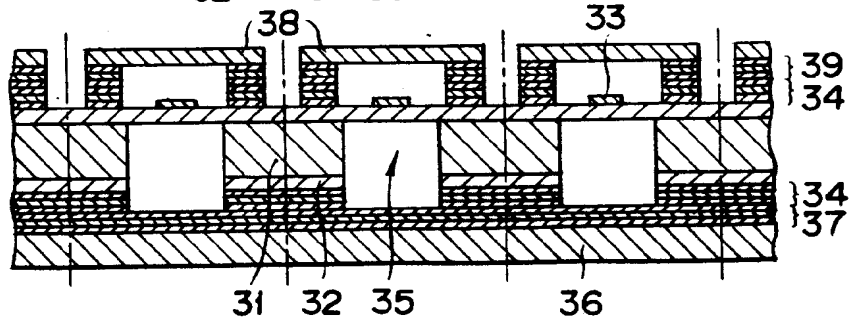


FIG.3I



SAMSUNG EX. 1002 - 135/2862

FIG. 3J

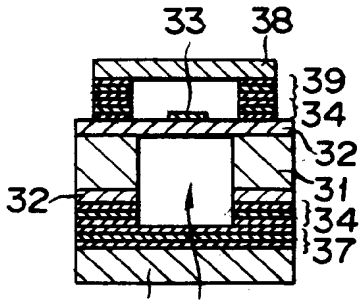


FIG. 4

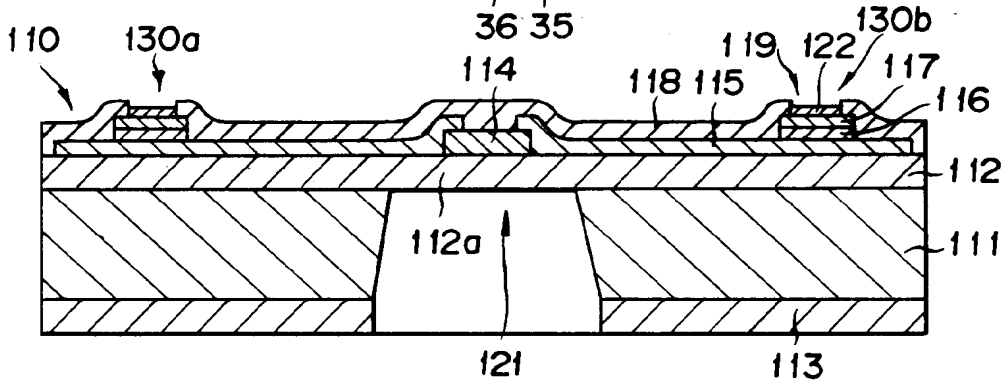


FIG. 5A

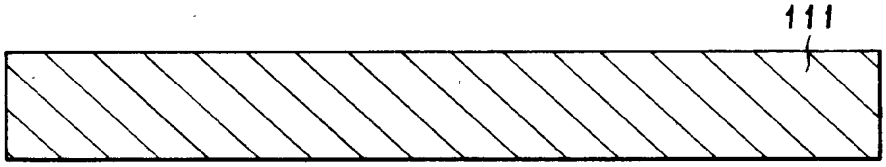


FIG. 5B

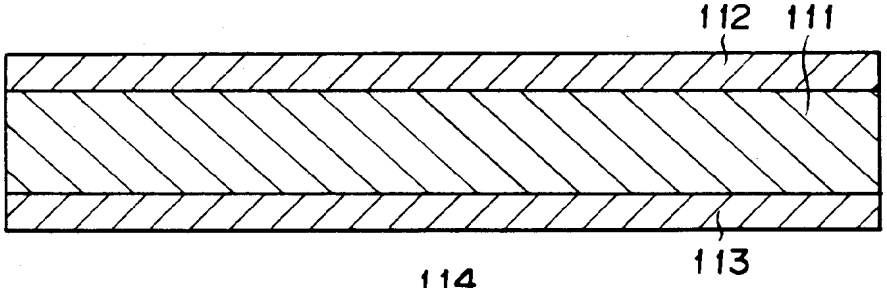
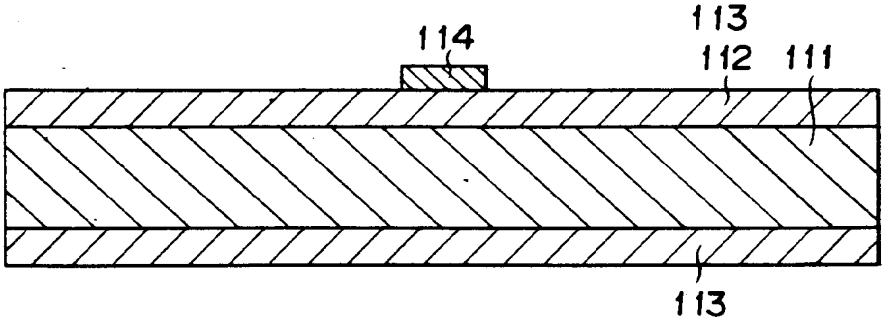


FIG. 5C



SAMSUNG EX. 1002 - 136/2862

FIG.5D

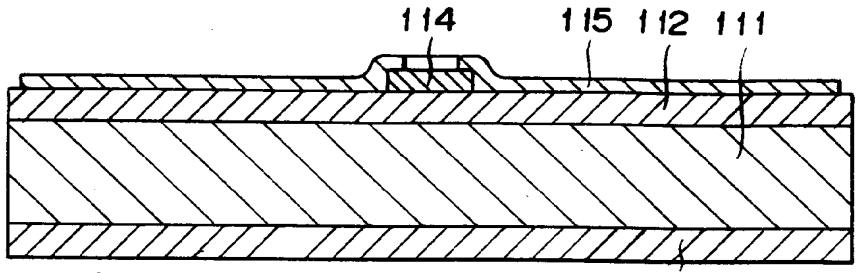


FIG.5E

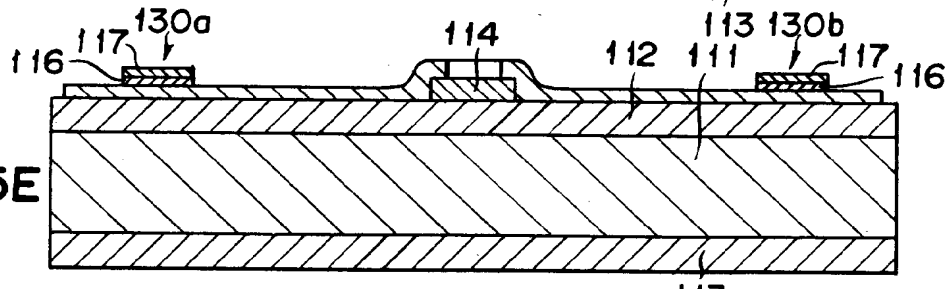


FIG.5F

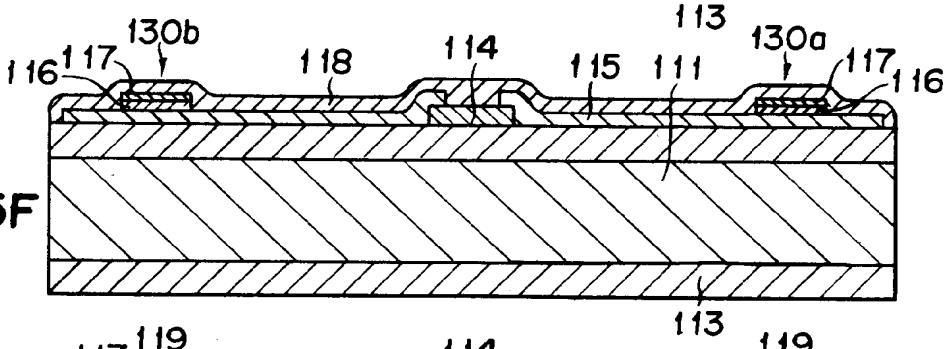


FIG.5G

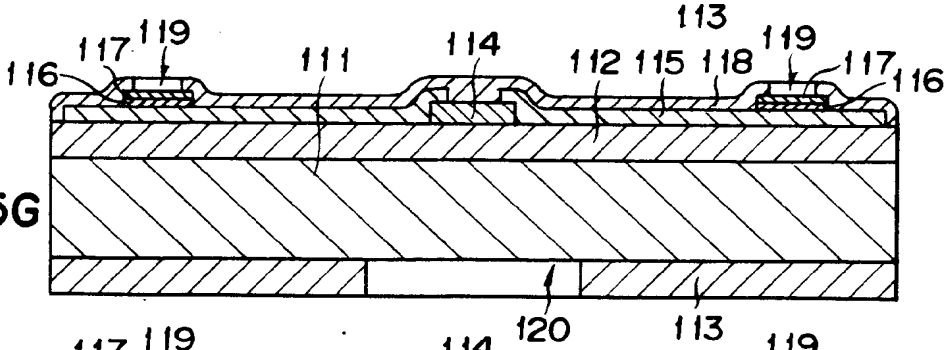
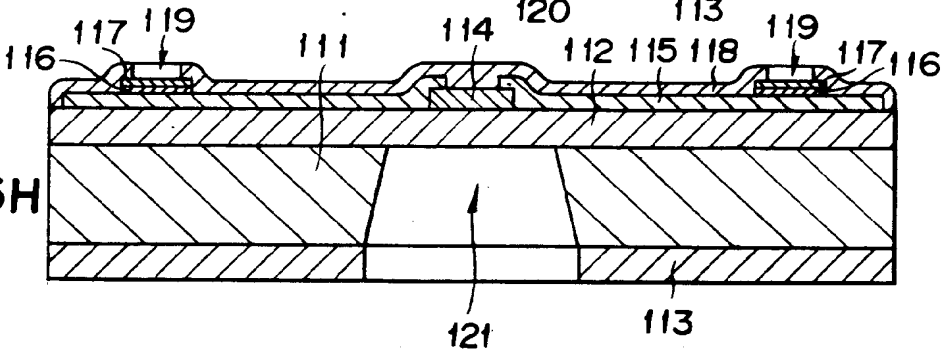


FIG.5H



SAMSUNG EX. 1002 - 137/2862

FIG.5I

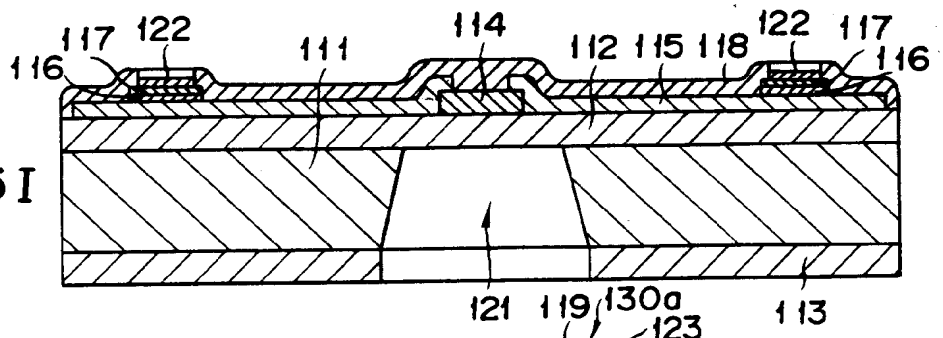


FIG.6

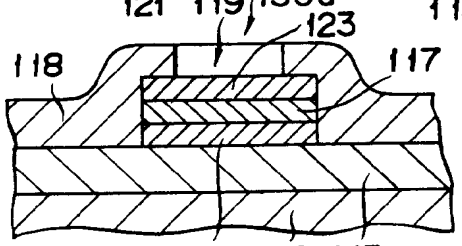


FIG.7

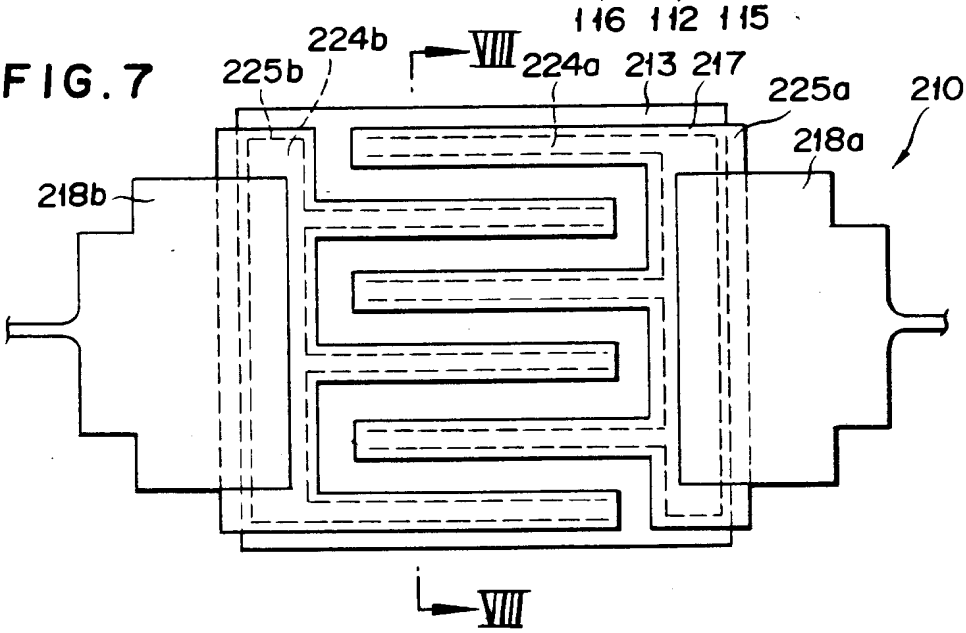
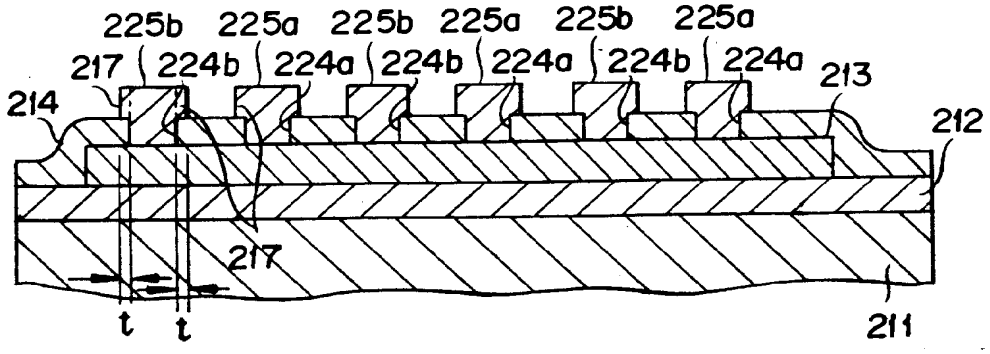


FIG.8



SAMSUNG EX. 1002 - 138/2862

FIG. 9A

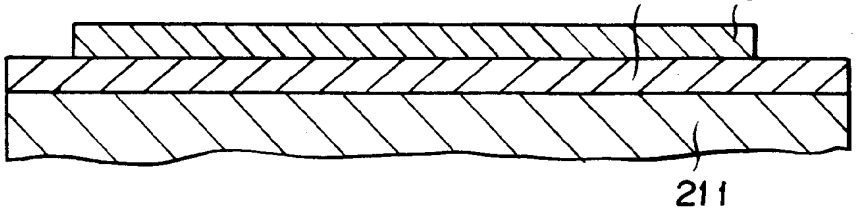


FIG. 9B

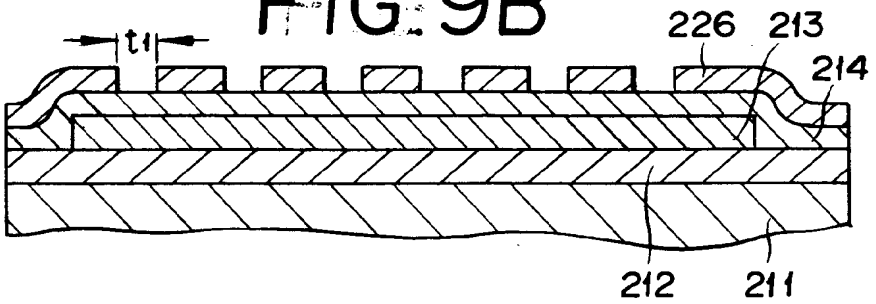


FIG. 9C

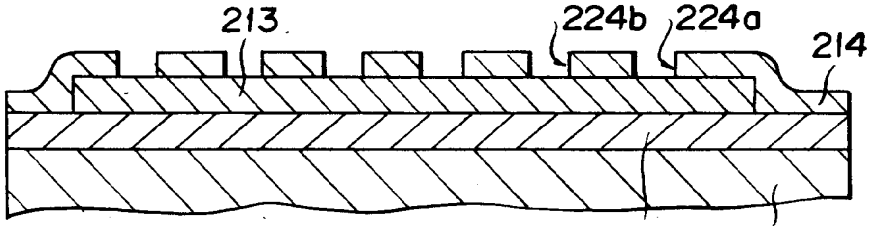


FIG. 9D

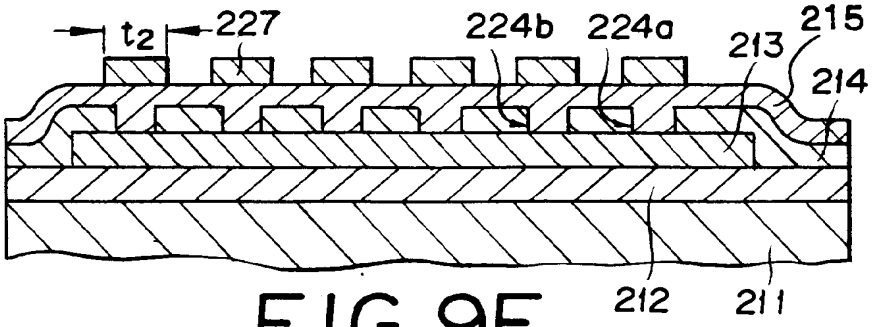
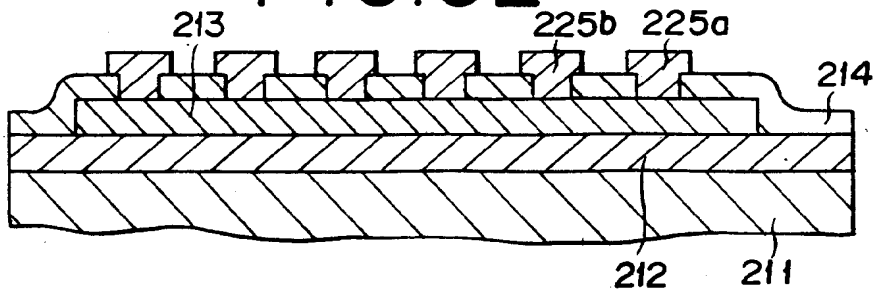
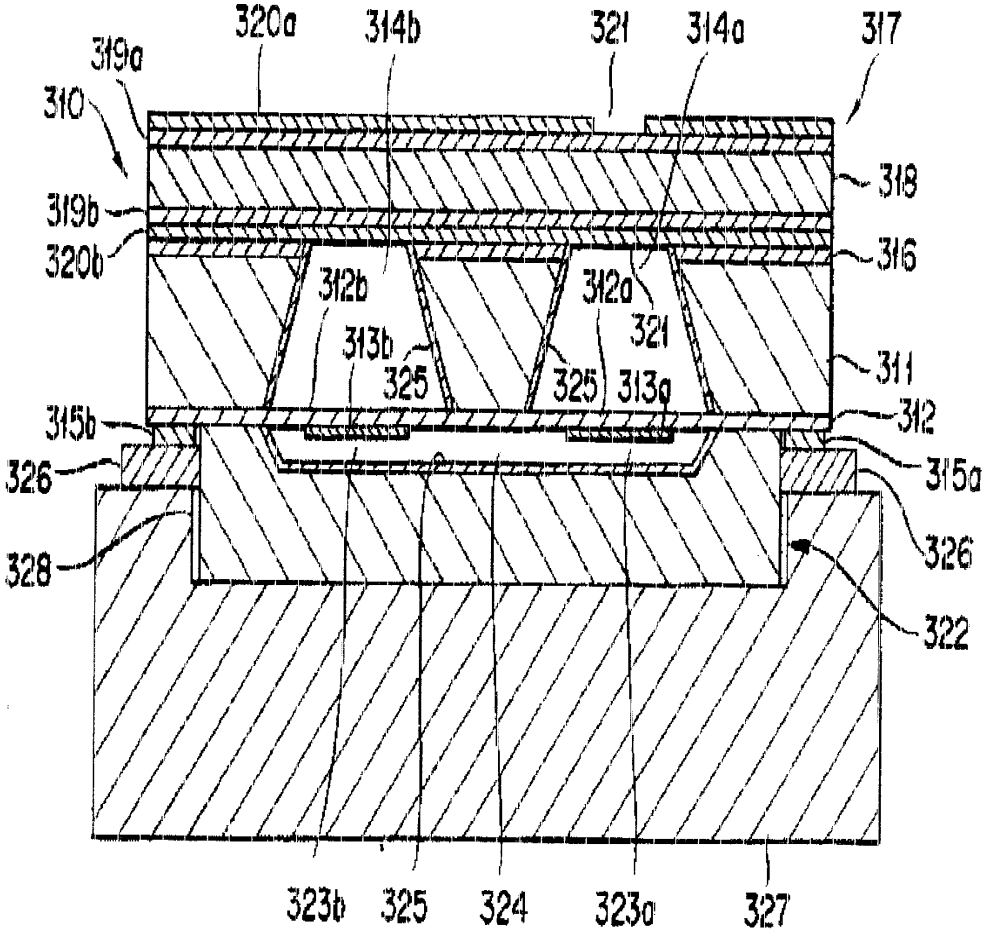


FIG. 9E



SAMSUNG EX. 1002 - 139/2862

FIG. 10



EP 0 566 156 A1

SAMSUNG EX. 1002 - 140/2862

FIG. 11

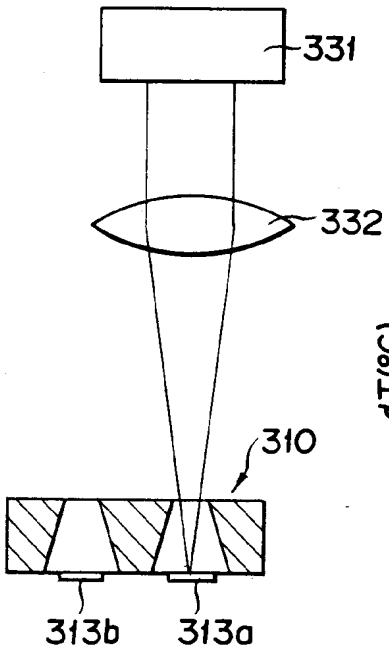


FIG. 13

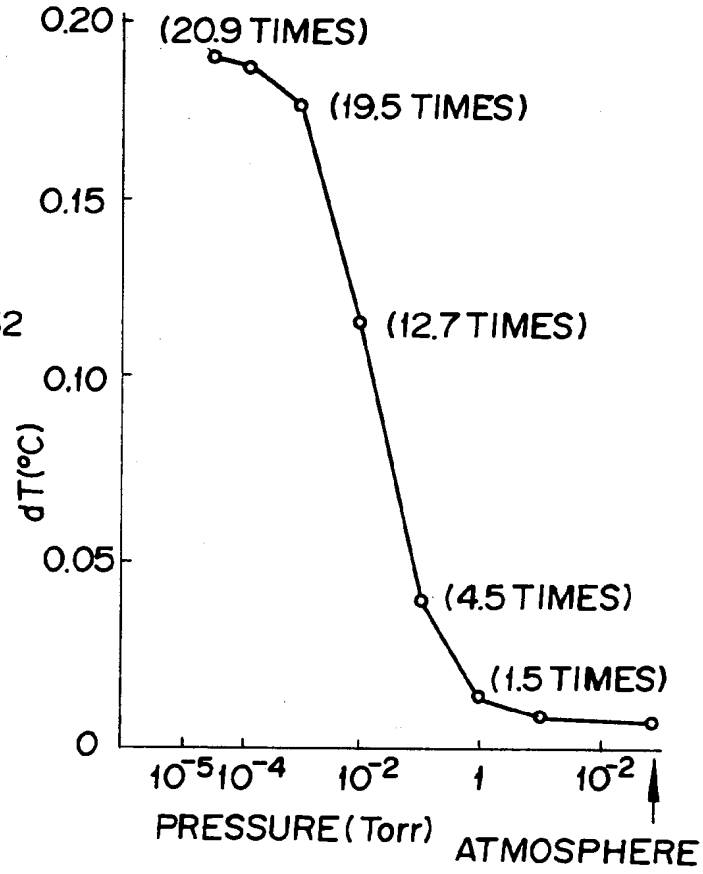
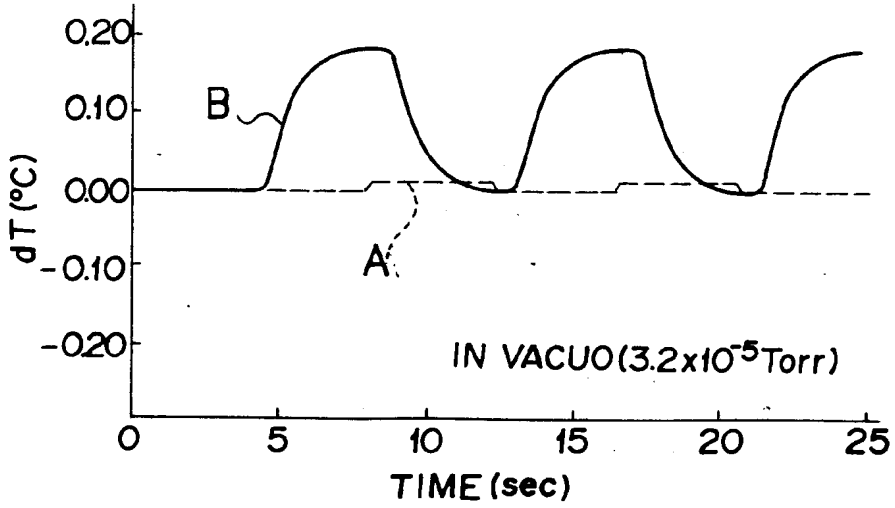


FIG. 12



SAMSUNG EX. 1002 - 141/2862

FIG. 14

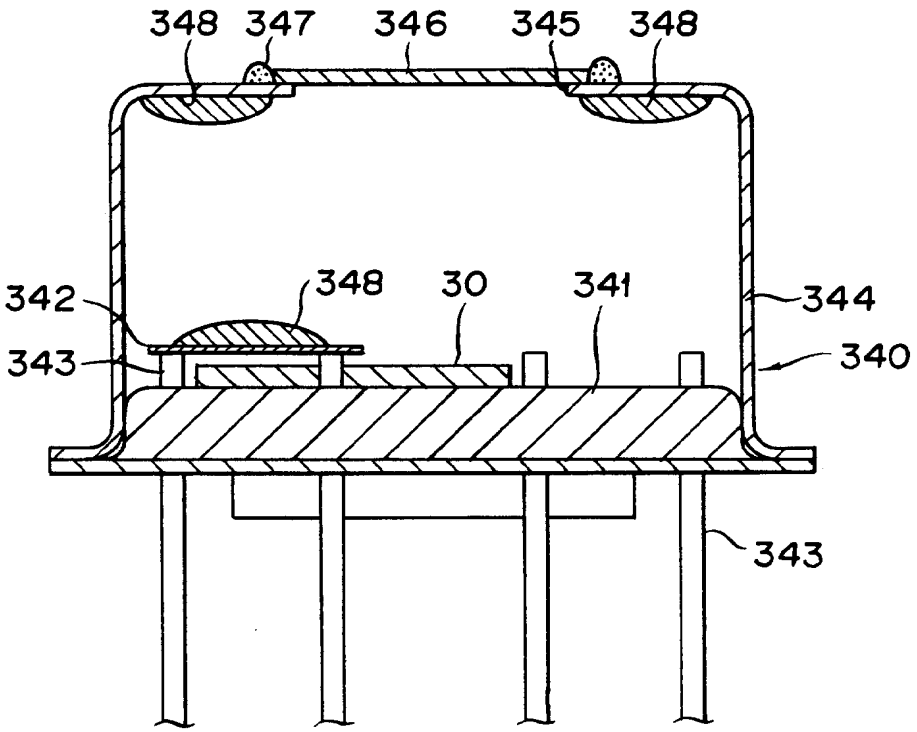
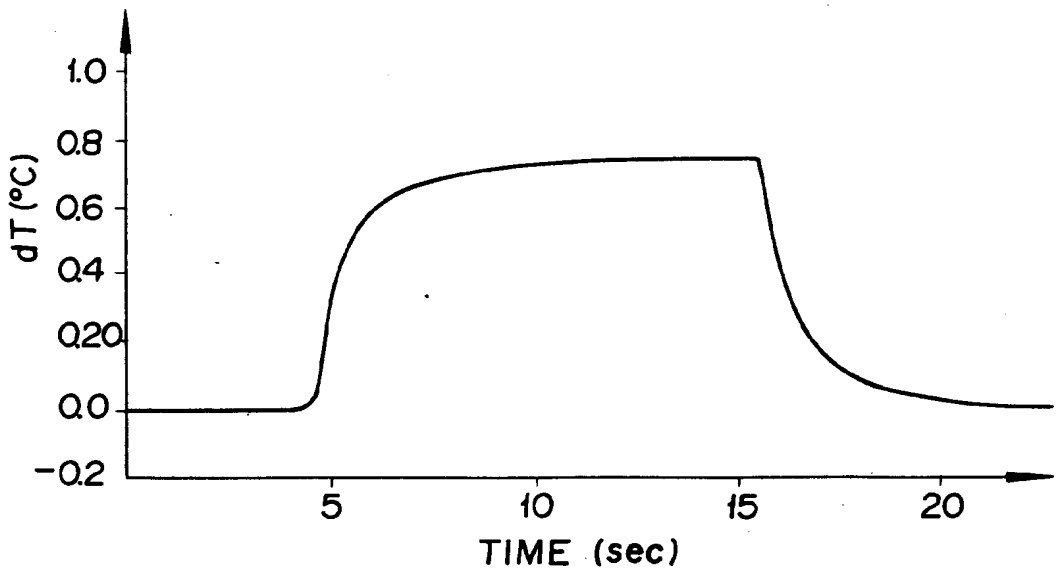


FIG. 15



SAMSUNG EX. 1002 - 142/2862

European Patent Office

EUROPEAN SEARCH REPORT

Application Number

EP 93 10 6318

DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document with indication, where appropriate, of relevant passages	Relevant to claim	CLASSIFICATION OF THE APPLICATION (Int. Cl.5)
A	EP-A-0 453 372 (TERUMO KABUSHIKI KAISHA) * the whole document *	1-4,6,7, 10-12, 14-23	G01J5/20 H01L31/09
P,A	EP-A-0 523 716 (TERUMO KABUSHIKI KAISHA) * the whole document *	1-4,6,7, 10-12, 14-20, 22,23	
A	PATENT ABSTRACTS OF JAPAN vol. 014, no. 504 (P-1127)5 November 1990 & JP-A-22 10 230 (MITSUTERU KIMURA) 21 August 1990 * abstract *	1,2,10, 11,14, 18,21	
A	PATENT ABSTRACTS OF JAPAN vol. 015, no. 351 (E-1108)5 September 1991 & JP-A-31 36 379 (SATOU AKINOBU) 11 June 1991 * abstract *	1,2,10, 11,14, 18,21	
A	DE-A-3 536 133 (ROBERT BOSCH GMBH) * the whole document *	1,10	G01J H01L

TECHNICAL FIELDS SEARCHED (Int. Cl.5)

The present search report has been drawn up for all claims

Place of search	Date of completion of the search	Examiner
THE HAGUE	16 JULY 1993	SCHEU M.

CATEGORY OF CITED DOCUMENTS

X : particularly relevant if taken alone
Y : particularly relevant if combined with another document of the same category
A : technological background
O : non-written disclosure
P : intermediate document

T : theory or principle underlying the invention
E : earlier patent document, but published on, or after the filing date
D : document cited in the application
L : document cited for other reasons

& : member of the same patent family, corresponding document

EPO FORM 1503 03.82 (P0401)

SAMSUNG EX. 1002 - 143/2862

(19) Europäisches Patentamt
European Patent Office
Office européen des brevets

(11) EP 1 630 871 A1

(12) EUROPEAN PATENT APPLICATION
published in accordance with Art. 158(3) EPC

(43) Date of publication:
01.03.2006 Bulletin 2006/09

(21) Application number: **04728931.9**

(22) Date of filing: **22.04.2004**

(51) Int Cl.:
H01L 27/146 *(1990.01)* ***H01L 31/10*** *(1974.07)*
H04N 5/335 *(1985.01)*

(86) International application number:
PCT/JP2004/005799

(87) International publication number:
WO 2005/045936 (19.05.2005 Gazette 2005/20)

(84) Designated Contracting States:
AT BE BG CH CY CZ DE DK EE ES FI FR GB GR HU IE IT LI LU MC NL PL PT RO SE SI SK TR

(30) Priority: **10.11.2003 JP 2003380208**

(71) Applicant: **MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.**
Kadoma-shi, Osaka 571-8501 (JP)

(72) Inventors:
- **OKADA, Tsuyoshi**

(JP)
- **ISHII, Hirofumi**

(JP)
- **MIZUSAWA, Kazufumi**

(JP)

(74) Representative: **Pautex Schneider, Nicole Véronique et al**
Novagraaf International SA
25, Avenue du Pailly
1220 Les Avanchets - Geneva (CH)

(54) AN IMAGING DEVICE AND AN IMAGING METHOD

(57) An optical lens 1 makes three components of visible light and near infrared light in different wavelength regions severally form images at different locations according to their wavelengths. An imaging element 2 has a plurality of pixels, which include pixels having a visible light detection section 6 and pixels having a near infrared light detection section 8. The visible light detection section 6 has three detectors 3, 4, and 5 which detect three components of visible light which form images at locations of different depths in the same pixel according to their wavelengths. The near infrared light detection section 8 has a near infrared light detector 7 which detects near infrared light which forms an image at a location of a depth different from the depths at which the three components of visible light form images. Clear color images with good color reproducibility are obtained by the visible light detection section 6, and at the same time clear luminance information or monochrome images are obtained by the near infrared light detection section 8.

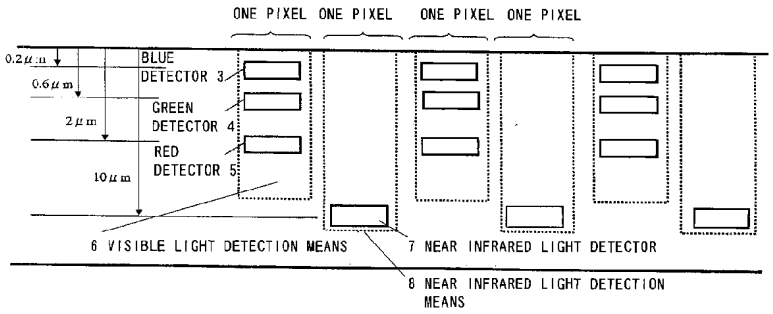


FIG. 3

EP 1 630 871 A1

SAMSUNG EX. 1002 - 144/2862

Description

Technical Field

[0001] The present invention relates to an imaging device and imaging method for detecting and receiving three components of visible light and near infrared light in different wavelength regions and for imaging pictures of both visible light and near infrared light.

Background Art

[0002] Conventional visible light and near infrared light imaging devices have a configuration in which each of pixels can detect one of three colors of different wavelengths in visible light and near infrared light and such pixels are arranged in a mixed manner in the same imaging element, for example a CCD or CMOS imaging element (e.g. see Figure 2 of Japanese Patent Laid-Open Application No . 2002-142228). For example, as shown in Figure 10, Mg (magenta) color detectors 81, Ye (yellow) color detectors 82, Cy (cyan) color detectors 83, and near infrared light detectors 84 are arranged on an imaging element like amosaic so that the combination repeats lengthwise and crosswise.

[0003] Here, one detector corresponds to just one pixel.

[0004] Incidentally, a bare pixel has a property of detecting visible light and near infrared light of 400 nm to 1000 nm. And an Mg color detector 81 is composed of a pixel covered with a bandpass filter for the region of the Mg color. The Ye color detectors 82 and Cy color detectors 83 are also composed of pixels covered with bandpass filters which derive the regions of their respective wavelengths. Bare pixels are arranged as the near infrared light detectors 84. Properly speaking, the visible light region requires to be cut off. But it need not be cut off because obtaining luminance information will suffice. The above configuration allows imaging pictures of both visible light and near infrared light.

[0005] In one of previously-suggested visible light imaging devices, three photodiodes are formed on a silicon substrate at different depths from the surface. This conventional device uses absorbance differences in silicon among three kinds of light of different wavelengths in the visible light region, e.g. blue, green, and red, to detect the three kinds of light of different wavelengths (e.g. see Figures 5 and 6 of Published Japanese Translation of PCT International Application (*Tokuhyo*) No. 2002-513145). In this visible light imaging device, three photodiodes of different depths can be arranged in one pixel. This prior art can therefore enable higher color resolution and prevent degradation of image quality caused by false color, in comparison with an art in which one pixel detects one color.

[0006] Figure 11 shows the structure of a pixel formed on an imaging element. An n-type doped region 92 of an n-type semiconductor is formed on a p-type semiconductor substrate 91. Similarly,a p-type doped region 93 is formed thereon. Moreover, an n-type doped region 94 is formed thereon. In this way, a three-layer semiconductor structure (triple-well structure) is made on the substrate. Since each pn interface region can function as a photosensor, three photosensors can be made up in total.

[0007] Now, as described in Figure 5 of Published Japanese Translation of PCT International Application (*Tokuhyo*) No. 2002-513145 as reference data, blue light is absorbed at a depth of 0.2μm in a silicon layer. Green is absorbed at 0.6μm, and red is not absorbed until it reaches a depth of 2μm. Accordingly, depths of interfaces, which work as photosensors for each light, are set to 0.2pm, 0.6μm, and 2μm respectively. Three colors (three wavelength bands) of light can thus be taken out almost spectrally. Then, an electric current generated by blue light is detected by a current detector 95. Similarly, green light is detected by a current detector 96, and red light is detected by a current detector 97. In this way, colors can be extracted numerically. Of course, it is actually impossible to separate light completely. But a degree of mixing of each color is known (or can be measured) in advance, so corrections can be made. The above-mentioned three-layer semiconductor doping structure allows one pixel to take out three colors of visible light and can realize a visible light imaging device with significantly improved color resolution.

[0008] However, in conventional visible light and near infrared light imaging devices such as the one described in the above-mentioned Japanese Patent Laid-Open Application No. 2002-142228, individual pixels can only detect one color (limited wavelength region). Other colors and luminance information need to be complemented with information from adjacent pixels. Because of this, color resolution and luminance resolution decrease, and false color, which is not the original color, appears.

[0009] In addition, an optical system comprising optical lenses commonly provides an image of a subject on the surface of an imaging element. Since focuses fundamentally differ depending on wavelengths, chromatic aberration occurs in imaged pictures (when one color comes into focus, the others go out of focus). So, as shown in Figure 12, for example, an optical system having a property of an achromatic lens is commonly provided so that an imaging element is within the depth of focus (color shift is negligible within the range) with regard to magenta, yellow, and cyan in the visible light region, and the optical system therefore focuses.

[0010] However, there is a limit to achromatism. It is difficult to make a perfect achromatic optical system for a very wide range of wavelengths from the visible light region to the near infrared light region (from 400nm to 1000nm). Even

SAMSUNG EX. 1002 - 145/2862

if it could be made, such optical system would be very expensive, so that it is difficult to use in current common industries (it is impossible to match all the focus points of visible light and near infrared light to each other). For this reason, when visible light and infrared light are detected on the same photosensitive surface, and if focused pictures are obtained in the visible light region, only out-of-focus pictures can be obtained in the near infrared light region. In other words, if an imaging element whose configuration is as described above were designed on paper, the optical system would be difficult to realize and it is highly likely that such an element could not be put in practical use.

[0011] Moreover, conventional visible light imaging devices such as described in Published Japanese Translation of PCT International Application (*Tokuhyo*) No. 2002-513145 are confined to three-layer semiconductor doping structure and are configured to detect visible light. For that reason, when three primary colors of visible light are to be detected, near infrared light cannot be detected. Suppose that the depth of a photodiode is readjusted such that visible light of two kinds of wavelength regions and near infrared light, a total of three kinds of light, can be detected. However, as described above, it is impossible to make a perfect achromatic optical system for a very wide range of wavelengths from the visible light region to the near infrared light region (from 400nm to 1000nm). So if visible light images are to be sharpened, near infrared light images go out of focus. After all, modification of an imaging element alone is insufficient for imaging clearly from visible light to near infrared light.

Disclosure of Invention

[0012] The present invention solves the conventional problems mentioned above. A purpose of the invention is to provide an excellent visible light and near infrared light imaging device and method which can obtain clear color images with good color reproducibility by a visible light detection means and can at the same time obtain clear luminance information or monochrome images by a near infrared light detection means.

[0013] The imaging device related to the invention comprises: an optical system means in which three components of visible light and near infrared light in different wavelength regions severally (or respectively) form images at different locations according to their wavelengths; and an imaging element which has a plurality of pixels; wherein said plurality of pixels include pixels having a visible light detection means and pixels having a near infrared light detection means, said visible light detection means detecting said three components of visible light which form images at locations of different depths in the same pixel according to their wavelengths, said near infrared light detection means detecting near infrared light which forms an image in a pixel at a location of a depth different from the depths at which said three components of visible light form images.

[0014] In the invention, the visible light detection means has three detectors which are provided at locations of different depths according to wavelength dependence of light absorption depth and detect visible light in three different wavelength regions of blue, green, and red, and the near infrared light detection means has a detector which is provided at a location of a depth different from the depths of the three detectors and detects near infrared light.

[0015] With such a configuration, clear color images with good color reproducibility can be obtained by a visible light detection means and at the same time clear luminance information or monochrome images can be obtained by a near infrared light detection means. As a result, for example, color images with good color reproducibility and high color resolution can be provided in the daytime; sharp monochrome images can be obtained even in a dark place, e.g. nighttime, by shining some light; and, moreover, composites of those images can equivalently increase the dynamic range. An excellent imaging device can thus be provided.

[0016] In the invention, the imaging element has a configuration in which pixels having the visible light detection means and pixels having the near infrared light detection means are alternately arranged in rows and columns.

[0017] With this configuration, a filter which can prevent the influence of near infrared light can be further added to the visible light detection means, so that color images with very good color reproducibility can be obtained.

[0018] In the invention, the imaging element has a configuration in which pixels having the visible light detection means and pixels having the near infrared light detection means are uniformly arranged such that the number ratio of the pixels is one to three.

[0019] In the invention, the imaging element has a configuration in which pixels having the visible light detection means and pixels having the near infrared light detection means are uniformly arranged such that the area ratio of the pixels is one to three.

[0020] In this way, two kinds of pixels are arranged such that the number ratio or area ratio is one to three, so that luminance resolution, rather than color resolution, can be improved and clear luminance information of a range up to the near infrared light region can be obtained.

[0021] An imaging device of another aspect of the invention comprises: an optical system means in which three components of visible light and near infrared light in different wavelength regions severally form images at different locations according to their wavelengths; and an imaging element which has a plurality of pixels; wherein the plurality of pixels have a detection means which detects the three components of visible light and the near infrared light which severally form images at locations of different depths in the same pixel according to their wavelengths.

SAMSUNG EX. 1002 - 146/2862

[0022] In the invention, the plurality of pixels comprise a detection means which detects three components of visible light of blue, green, and red and near infrared light by means of four detectors which are provided at locations of different depths according to wavelength dependence of light absorption depth.

[0023] In terms of color reproducibility and detection loss, such a configuration is inferior to a configuration in which different pixels detect visible light and near infrared light separately. However, there is an advantage that resolutions of both color images and near infrared images can similarly be improved.

[0024] In the invention, the optical system means has a configuration in which a focal length monotonously increases according to wavelengths of light from short-wavelength visible light to near infrared light so that visible light in three different wavelength regions of blue, green, and red and near infrared light form images at different locations.

[0025] With this configuration, clear pictures can be imaged in both visible light and near infrared light without being out of focus.

[0026] Moreover, an imaging method related to the invention comprises: making three components of visible light and near infrared light in different wavelength regions severally form images at different locations according to their wavelengths; detecting the three components of visible light and the near infrared light using the fact that wavelength dependence of light absorption depth varies; and imaging pictures of both the three components of visible light and the near infrared light.

[0027] With this configuration, clear color images with good color reproducibility can be obtained, and at the same time clear luminance information or monochrome images can be obtained. As a result, for example, color images with high color reproducibility and color resolution can be provided in the daytime; sharp monochrome images can be obtained even in a dark place, e.g. nighttime; and, moreover, composites of those images can equivalently increase the dynamic range. An excellent imaging method can thus be provided.

[0028] As described above, clear color images with good color reproducibility can be obtained and clear luminance information or monochrome images can be obtained according to the invention.

Brief Description of Drawings

[0029]

Figure 1 illustrates a visible light and near infrared light imaging device and method related to the invention, and shows the essence of an optical system of the invention.
Figure 2 shows the relation between the focal length of the optical system related to the invention and wavelengths.
Figure 3 shows a configuration of an imaging element related to a first embodiment of the invention.
Figure 4 shows a configuration of an imaging element related to the first embodiment of the invention.
Figure 5 is an equivalent circuit schematic of an imaging element related to the first embodiment of the invention.
Figure 6 shows an example of a mixed arrangement of visible light detection sections and near infrared light detection sections on an imaging element related to the first embodiment of the invention.
Figure 7 shows an example of a mixed arrangement of visible light detection sections and near infrared light detection sections on an imaging element related to the first embodiment of the invention.
Figure 8 shows a configuration of an imaging element related to a second embodiment of the invention.
Figure 9 is an equivalent circuit schematic of an imaging element related to the second embodiment of the invention.
Figure 10 shows an example of an imaging element of a conventional visible light and near infrared light imaging device.
Figure 11 shows an example of an imaging element of a conventional visible light imaging device.
Figure 12 illustrates an achromatic optical system used in a conventional visible light imaging device.

Best Mode of Embodying the Invention

[0030] Each embodiment of the invention will now be described with reference to the drawings.

<First Embodiment>

[0031] As shown in Figure 1, a visible light and near infrared light imaging device related to the invention has an optical lens 1. The optical lens 1 is an optical system whose focal length is variable according to wavelengths, and makes three components of visible light and near infrared light in different wavelength regions form images at different locations according to their wavelengths. The optical lens 1 condenses light from an external subject and forms an image on an imaging element 2. In the lower part of Figure 1, light pencils from the optical lens 1 are shown separately by different wavelengths.

[0032] The optical lens 1 forms images at different locations according to wavelengths as described above. This is

SAMSUNG EX. 1002 - 147/2862

shown more specifically in Figure 2. For example, if blue of 470nm is a focal-point reference A, the focal length of green of 520nm is 0.4μm longer than the reference A. Similarly, the focal length of red of 700nm is 2μm longer than the reference A, and the focal length of near infrared of 1000nm is 10μm longer than the reference A. As shown in Figure 2, the focal length of the optical lens 1 increases according to wavelengths, from that of short-wavelength light in visible light to near infrared light, and therefore three components of visible light and near infrared light form images at different locations.

[0033] On the other hand, the imaging element 2 composes a light receiving section together with the optical lens 1 qua an optical system. Figure 3 schematically shows the configuration of the imaging element 2. As shown in Figure 3, visible light detection sections 6 and near infrared light detection sections 8 are arranged in the imaging element 2. The visible light detection section 6 comprises three detectors of different depths, and it detects with these three detectors three components of visible light in different wavelength regions which are condensed by the optical lens 1 and form images, using the fact that wavelength dependence of light absorption depth varies. The near infrared light detection section 8 has a detector which detects near infrared light.

[0034] The visible light detection section 6 is composed of a blue detector 3, a green detector 4, and a red detector 5. These detectors 3 to 5 are photodiodes located at different depths from the surface. Three primary colors are obtained separately, so that any color is reproducible. Unlike the conventional Japanese Patent Laid-Open Application No. 2002-142228, one pixel can obtain output of three colors in visible light. As described in explanations of conventional arts, it is actually impossible to separate light into three colors completely. But a degree of mixing of each color is known (or can be measured) in advance, so corrections can be made.

[0035] The infrared light detection section 8 is composed of a near infrared light detector 7, which is a photodiode. In order to detect near infrared light mainly, the near infrared light detector 7 is located around the depth of the highest detectability. As described in Published Japanese Translation of PCT International Application (*Tokuhyo*) No. 2002-513145 as reference data, near infrared light is absorbed at a depth deeper than red light in a silicon layer. So, the near infrared light detector 7 is located, for example, at the depth of 10μm. Luminance information can be obtained from the visible light detector 6 by combining three colors with one another. If output from the near infrared light detector 7 is to be in proportion to overall light intensity, output from the near infrared light detector 7 may be used as luminance information.

[0036] Figure 4 shows the configuration of the imaging element 2 related to the first embodiment. As shown in Figure 4, the configuration of the visible light detection section 6 on the left of the figure is almost similar to the conventional example. An n-type doped region 10 of an n-type semiconductor is formed on a p-type semiconductor substrate 9. Similarly, a p-type doped region 11 is formed thereon. Moreover, an n-type doped region 12 is formed thereon. In this way, a three-layer semiconductor structure (triple-well structure) is made on the substrate. Three current detectors 14, 15, and 16 detect output of B, G, and R of visible light. But if the three colors are somewhat influenced by near infrared light, colors reproduced later may be different from real colors. In order to avoid this, a near infrared light cut filter 13 is placed in front of the light entrance to the current detectors. The influence of light in the near infrared region is thus eliminated.

[0037] On the other hand, in the near infrared light detection section 8 on the right of Figure 4, an n-type doped region 17 of an n-type semiconductor is formed additionally on the p-type semiconductor substrate 9. With the pn junction reversely biased (the n side is at higher potential than the p side), the current detector 18 detects a current when near infrared light comes in. In Figure 4, the pn junction surface, that is, the near infrared light detector 7 in Figure 3, is provided at the depth of 10μm. In this way, the near infrared light detector 7 is located where detectability for near infrared light is the highest. However, near infrared light has a very wide wavelength range from 770nm to 1000nm. Accordingly, the above-mentioned value may vary depending on the purpose of detection, i.e. which wavelength region is to be mainly detected.

[0038] Now, by means of the optical lens 1 described in Figures 1 and 2, light in desired wavelength regions focuses on each detection area of the four current detectors 14, 15, 16, and 18. In other words, light of desired color comes into focus on a detection area of each detector. In order to realize this, the optical lens 1 is deliberately provided with aberration.

[0039] In Figure 4, visible light entering the near infrared light detection section 8 on the right would cause defocusing. Most visible light is absorbed until it reaches around the photodiode detection area, i.e. the pn interface, but some visible light that comes through without being absorbed may become a factor of defocusing. So, as shown in Figure 4, a visible light cut filter 27 may be added in front of the light entrance.

[0040] Figure 5 shows an equivalent circuit schematic. As shown in Figure 5, each photodiode is reversely biased, and currents corresponding to incoming light are detected. In the interests of simplicity, power supply and grounds are common in the equivalent circuit schematic of Figure 5. However, the invention is not limited to this.

[0041] Figures 6 and 7 show examples of actual arrangements of visible light detection sections 6 and near infrared light detection sections 8.

[0042] In Figures 6 and 7, visible light detection sections 6 and near infrared light detection sections 8 are arranged in a mixed manner. In Figure 6, a visible light detector 30 composes the visible light detection section 6 and a near

SAMSUNG EX. 1002 - 148/2862

infrared light detector 31 composes the near infrared light detection section 8. In Figure 6, the visible light detectors 30 and the near infrared light detectors 31 are alternately arranged in rows and columns in a mixed manner, and the ratio of the number or area of both pixels is one to one. As for visible light information in the area of the near infrared light detection section 8, an average for adjacent visible light detection sections 6 may be taken. Generally, resolution of color information may be lower than luminance resolution assuming that the use is humans' seeing images. However, this arrangement has higher resolution in both luminance and color than, for example, the conventional Japanese Patent Laid-Open Application No. 2002-142228.

[0043] Output from the near infrared light detection section 8 is useful as luminance information for detecting near infrared light in a relatively wide wavelength region. Sunlight especially contains a lot of near infrared light components. There are some cases where luminance information is obtained with a rather better S/N ratio from near infrared light than from the three RGB colors. Therefore, luminance information is obtained from adjacent near infrared light detection section 8. Alternatively, information from the near infrared light detection section 8 is used to correct output from the visible light detection section 6.

[0044] For example, luminance can usually be obtained by the following equation 1 when RGB is known.

$$Y = 0.299 \times R + 0.587 \times G + 0.114 \times B \quad \ldots (1)$$

[0045] In the equation 1, luminance is a linear sum of RGB.

[0046] In contrast to this, luminance may be obtained by the following equation 2 when average luminance information I is derived from a plurality of adjacent near infrared light detection sections 8.

$$Y = c1 \times R + c2 \times G + c3 \times B + c4 \times I \quad \ldots (2)$$

(where $c1 + c2 + c3 + c4 = 1$)

[0047] Figure 7 shows a configuration in which luminance information from near infrared light is actively used. With the configuration in Figure 7, the S/N ratio and resolution of luminance information can be improved. Again in Figure 7, the visible light detector 30 composes the visible light detection section 6 and the near infrared light detector 31 composes the near infrared light detection section 8. Besides that, the visible light detectors 30 and the near infrared light detectors 31 are alternately arranged in rows and columns in a mixed manner. However, the ratio of the number or area of visible light detection sections 6 to that of near infrared light detection sections 8 is one to three in Figure 7. More specifically, a set of one pixel of the visible light detection section 6 (visible light detector 30) and three pixels of the near infrared light detection sections (near infrared light detectors 31) is arranged in a square, and the sets are arranged in rows and columns. In this way, they are uniformly arranged in the ratio of one to three. Here, if luminance is obtained from a linear sum of three components of visible light, local fluctuations in RGB may cause luminance to fluctuate, which becomes noise. However, with the configuration in Figure 7, luminance resolution, rather than color resolution, can be improved. As a result, clear luminance information can be obtained for the range up to near infrared light.

<Second Embodiment>

[0048] Next, Figure 8 shows a configuration of an imaging element related to a second embodiment, and Figure 9 is an equivalent circuit schematic of an imaging element related to the second embodiment. In the imaging element shown in Figure 8, a visible light detection section and near infrared light detection section are placed in one pixel. The figure shows one pixel, which comprises a detection section to separate and detect three components of visible light and near infrared light in different wavelength regions, four components in total. In other words, four current detectors 23, 24, 25, and 26 arranged in one pixel detect B, G, and R of visible light and near infrared light.

[0049] As shown in Figure 8, an n-type doped region 19 of an n-type semiconductor is formed on a p-type semiconductor substrate 9.

[0050] Similarly, a p-type doped region 20 is formed thereon. Moreover, an n-type doped region 21 is formed thereon. Furthermore, a p-type doped region 22 is formed thereon. In this way, a four-layer semiconductor structure (quadruple-well structure) is made on the substrate. Since each pn interface region functions as a photosensor, four photosensors can be made up in total. The depth of each interface, i.e. detection area, is determined and controlled as previously described. Light in four wavelength regions of blue, green, red, and near infrared light can thus be detected. Actually, it is difficult to separate four colors of light completely, and a mixture occurs. But a degree of mixing of each color is known (or can be measured) in advance, so corrections can be made.

SAMSUNG EX. 1002 - 149/2862

[0051] Figure 9 is an equivalent circuit schematic of Figure 8. Four photodiodes are reversely biased, and currents corresponding to incoming light are detected. In the interests of simplicity, power supply and grounds are common. However, the invention is not limited to this.

[0052] In the above-described second embodiment, the mixing of visible light into near infrared light is unavoidable. As a result, color reproducibility may be slightly worse in the second embodiment than in the first embodiment even if corrections are made. However, there is an advantage that resolution of both color and luminance is better because one pixel simultaneously processes four colors. Incidentally, visible light is separated into three wavelength regions in the embodiment, but it may be separated into four or more wavelength regions. In this case, good color images with higher color reproduction and resolution can be obtained.

[0053] While there has been described what are at present considered to be preferred embodiments of the invention, it will be understood that various modifications may be made thereto, and it is intended that appended claims cover all such modifications as fall within the true spirit and scope of the invention.

Industrial Applicability

[0054] As described above, good color images and near infrared light images can be obtained according to the invention, and the invention is useful as an imaging device and method or the like.

Claims

1. An imaging device comprising:

an optical system means in which three components of visible light and near infrared light in different wavelength regions severally form images at different locations according to their wavelengths; and
an imaging element which has a plurality of pixels;

wherein said plurality of pixels include pixels having a visible light detection means and pixels having a near infrared light detection means, said visible light detection means detecting said three components of visible light which form images at locations of different depths in the same pixel according to their wavelengths, said near infrared light detection means detecting near infrared light which forms an image in a pixel at a location of a depth different from the depths at which said three components of visible light form images.

2. The imaging device according to claim 1, wherein said visible light detection means has three detectors which are provided at locations of different depths according to wavelength dependence of light absorption depth and detect visible light in three different wavelength regions of blue, green, and red, and said near infrared light detection means has a detector which is provided at a location of a depth different from the depths of said three detectors and detects near infrared light.

3. The imaging device according to claim 1, wherein said imaging element has a configuration in which pixels having said visible light detection means and pixels having said near infrared light detection means are alternately arranged in rows and columns.

4. The imaging device according to claim 1, wherein said imaging element has a configuration in which pixels having said visible light detection means and pixels having said near infrared light detection means are uniformly arranged such that the number ratio of the pixels is one to three.

5. The imaging device according to claim 1, wherein said imaging element has a configuration in which pixels having said visible light detection means and pixels having said near infrared light detection means are uniformly arranged such that the area ratio of the pixels is one to three.

6. An imaging device comprising:

an optical system means in which three components of visible light and near infrared light in different wavelength regions severally form images at different locations according to their wavelengths; and
an imaging element which has a plurality of pixels;
wherein said plurality of pixels detect said three components of visible light and said near infrared light which severally form images at locations of different depths in the same pixel according to their wavelengths.

SAMSUNG EX. 1002 - 150/2862

7. The imaging device according to claim 6, wherein said plurality of pixels detect three components of visible light of blue, green, and red and near infrared light by means of four detectors which are provided at locations of different depths according to wavelength dependence of light absorption depth.

8. The imaging device according to claim 1, wherein said optical system means provides a focal length which monotonously increases according to wavelengths of light from short-wavelength visible light to near infrared light so that visible light in three different wavelength regions of blue, green, and red and near infrared light form images at different locations.

9. The imaging device according to claim 7, wherein said optical system means provides a focal length which monotonously increases according to wavelengths of light from short-wavelength visible light to near infrared light so that visible light in three different wavelength regions of blue, green, and red and near infrared light form images at different locations.

10. An imaging method comprising:

making three components of visible light and near infrared light in different wavelength regions severally form images at different locations according to their wavelengths;
detecting said three components of visible light and said near infrared light using the fact that wavelength dependence of light absorption depth varies; and
imaging pictures of both said three components of visible light and said near infrared light.

SAMSUNG EX. 1002 - 151/2862

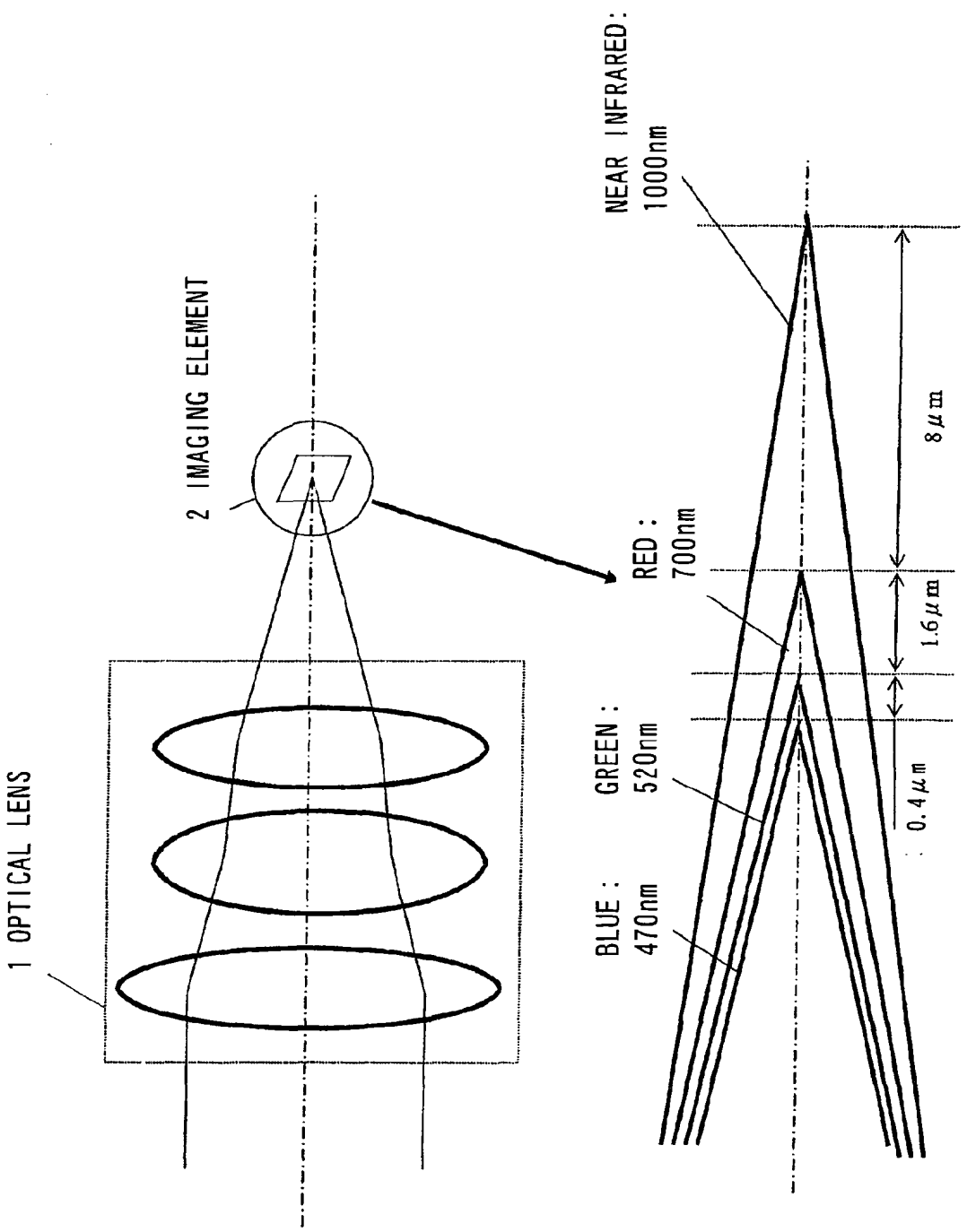


FIG. 1

SAMSUNG EX. 1002 - 152/2862

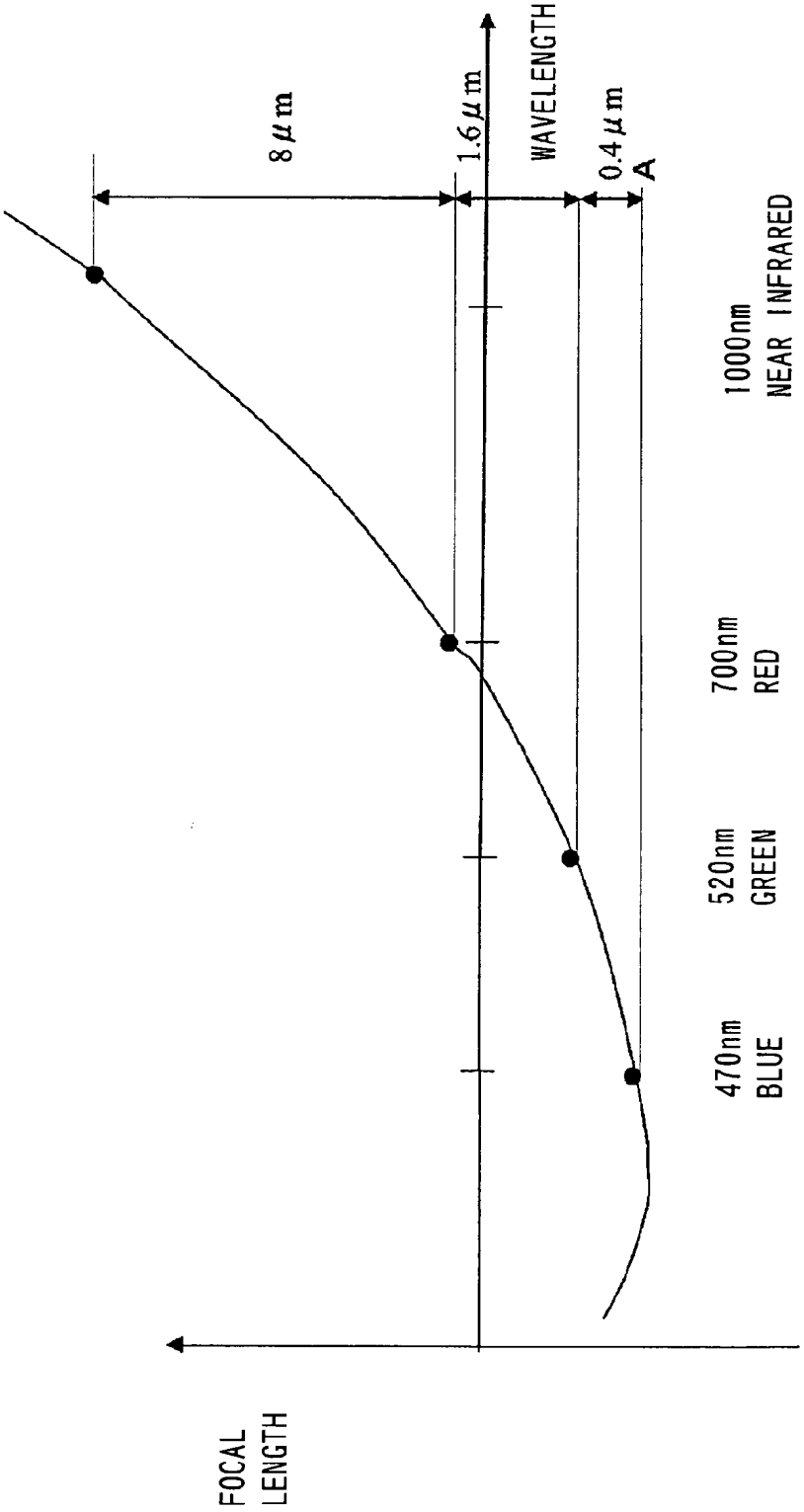


FIG. 2

SAMSUNG EX. 1002 - 153/2862

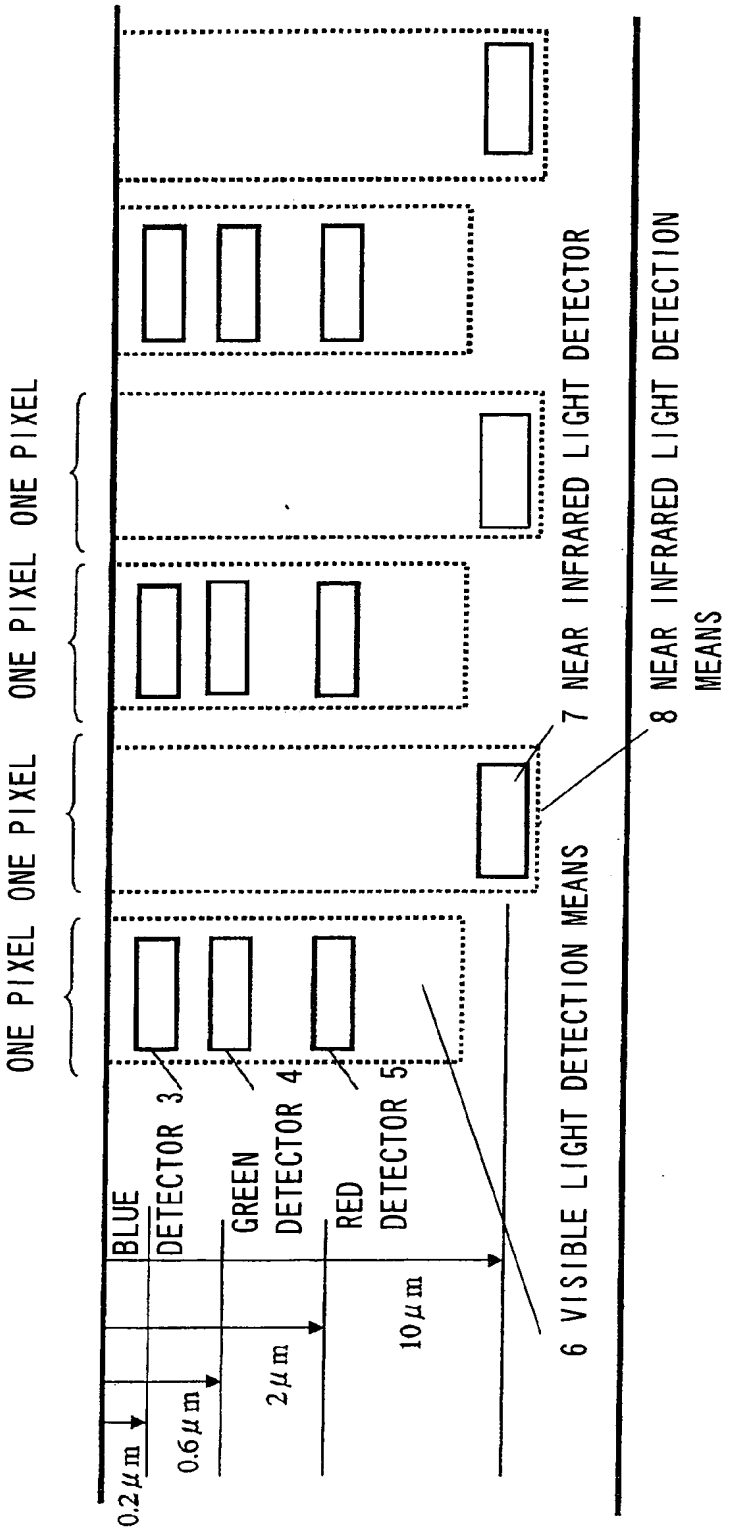


FIG. 3

SAMSUNG EX. 1002 - 154/2862

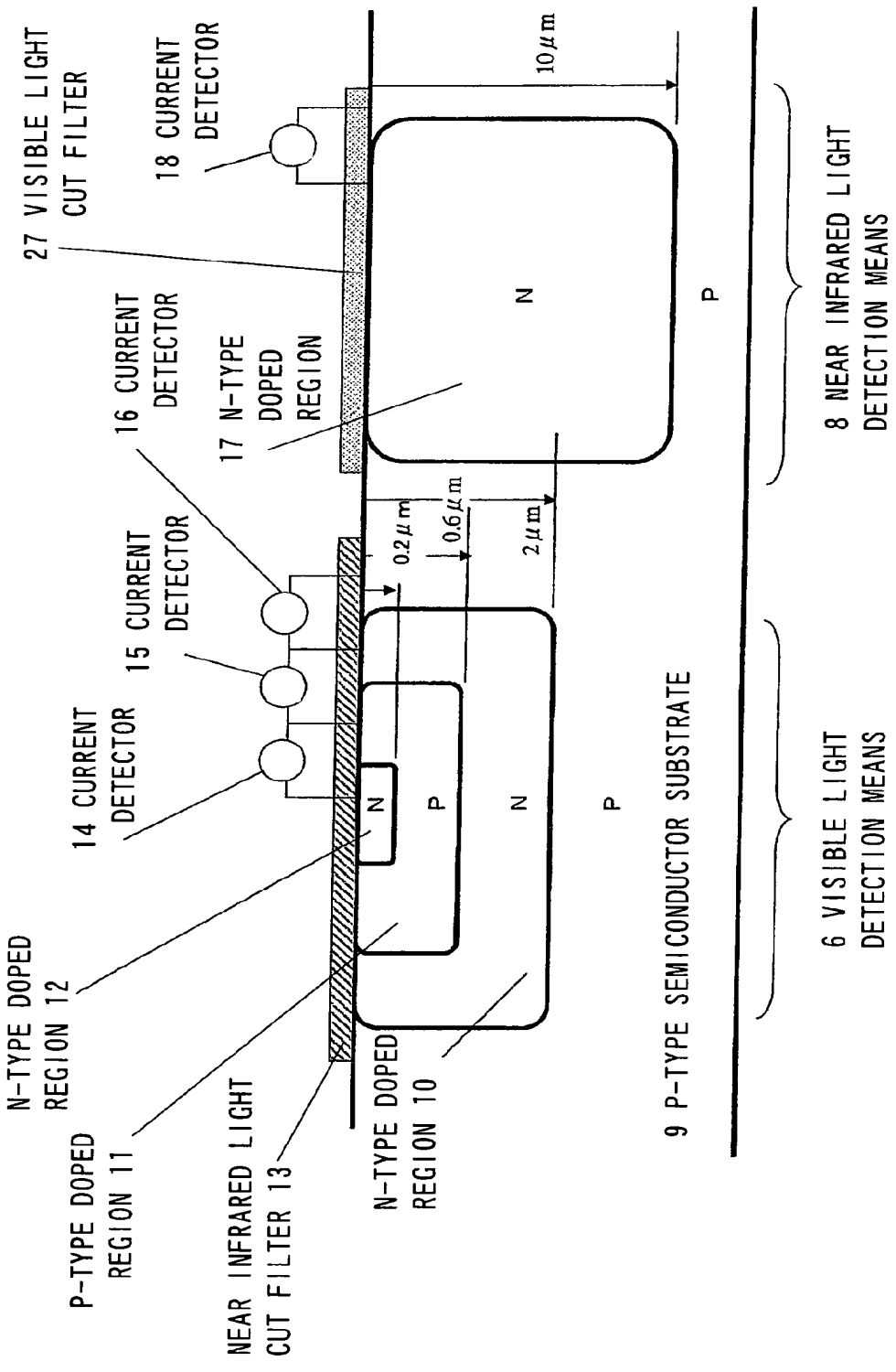


FIG. 4

SAMSUNG EX. 1002 - 155/2862

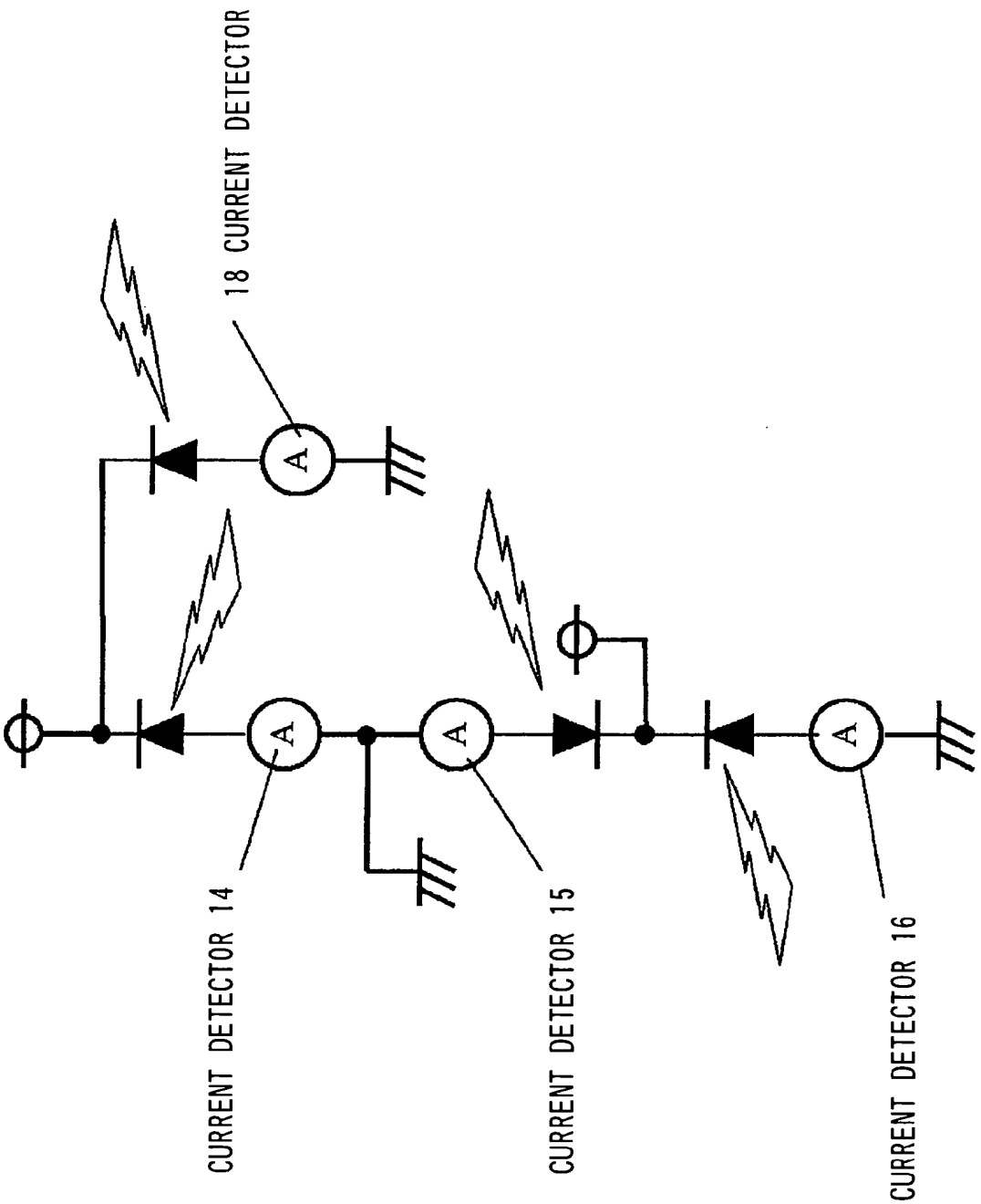


FIG. 5

SAMSUNG EX. 1002 - 156/2862

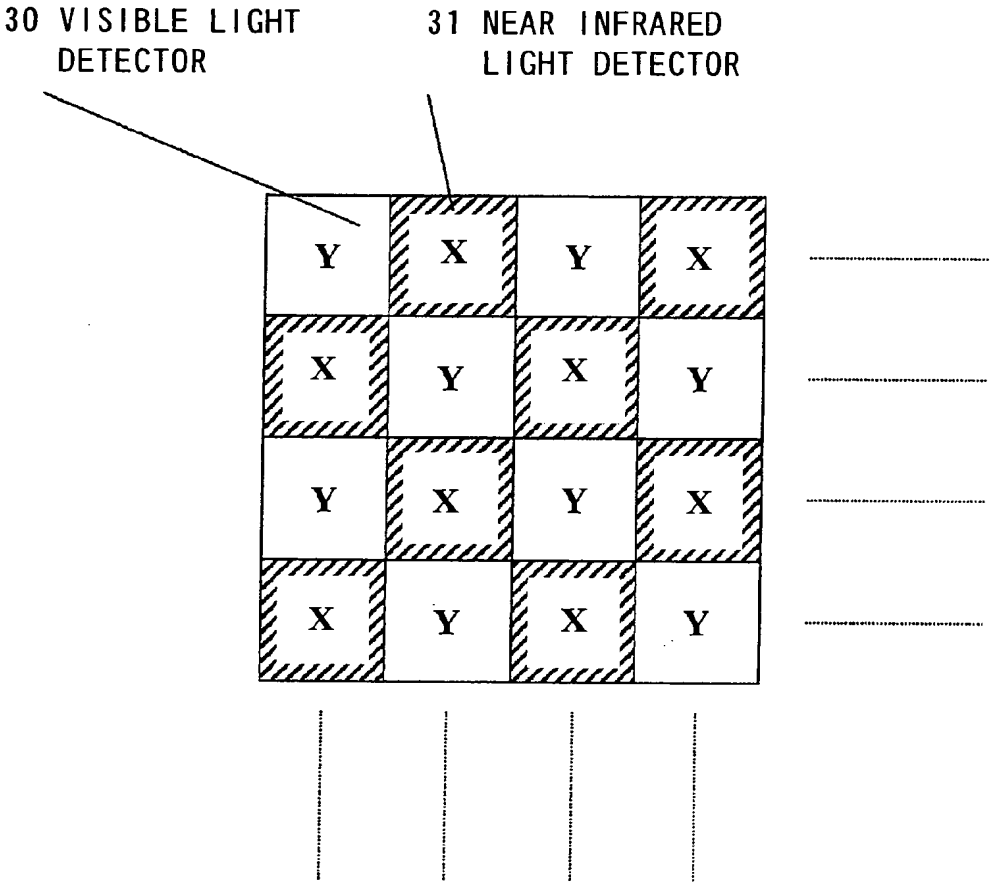


FIG. 6

SAMSUNG EX. 1002 - 157/2862

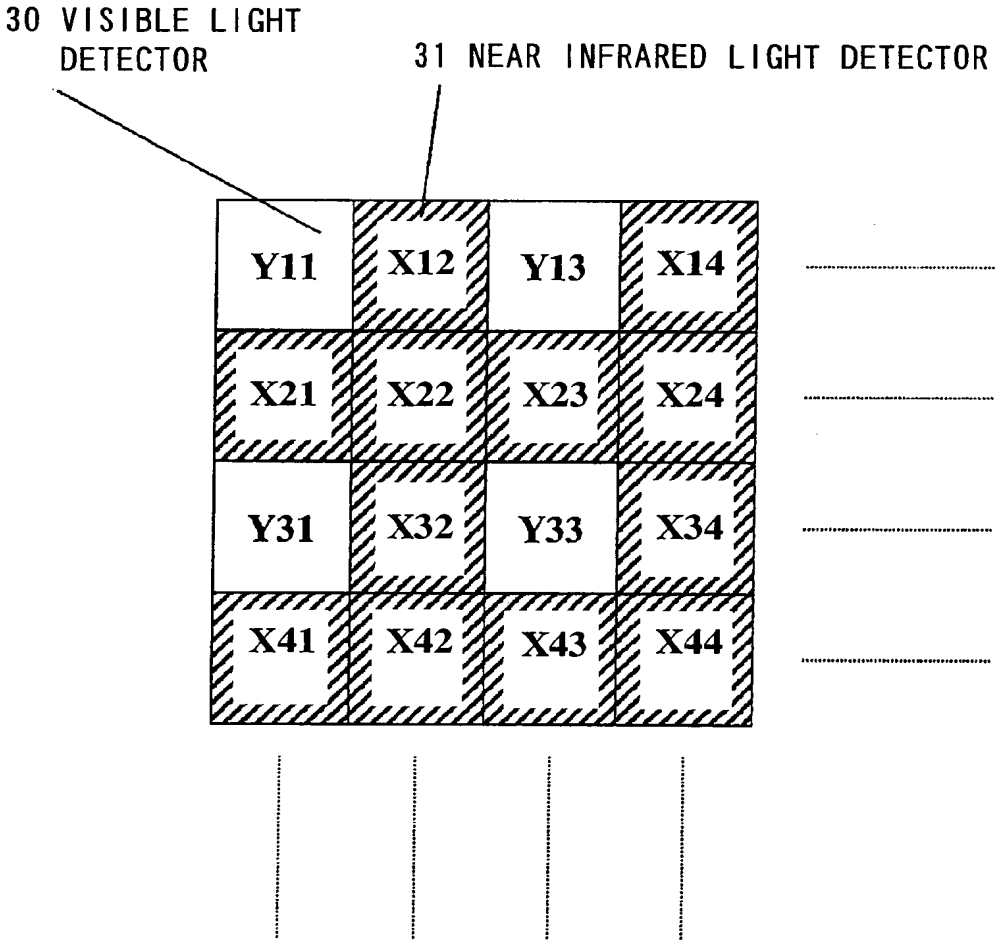


FIG. 7

SAMSUNG EX. 1002 - 158/2862

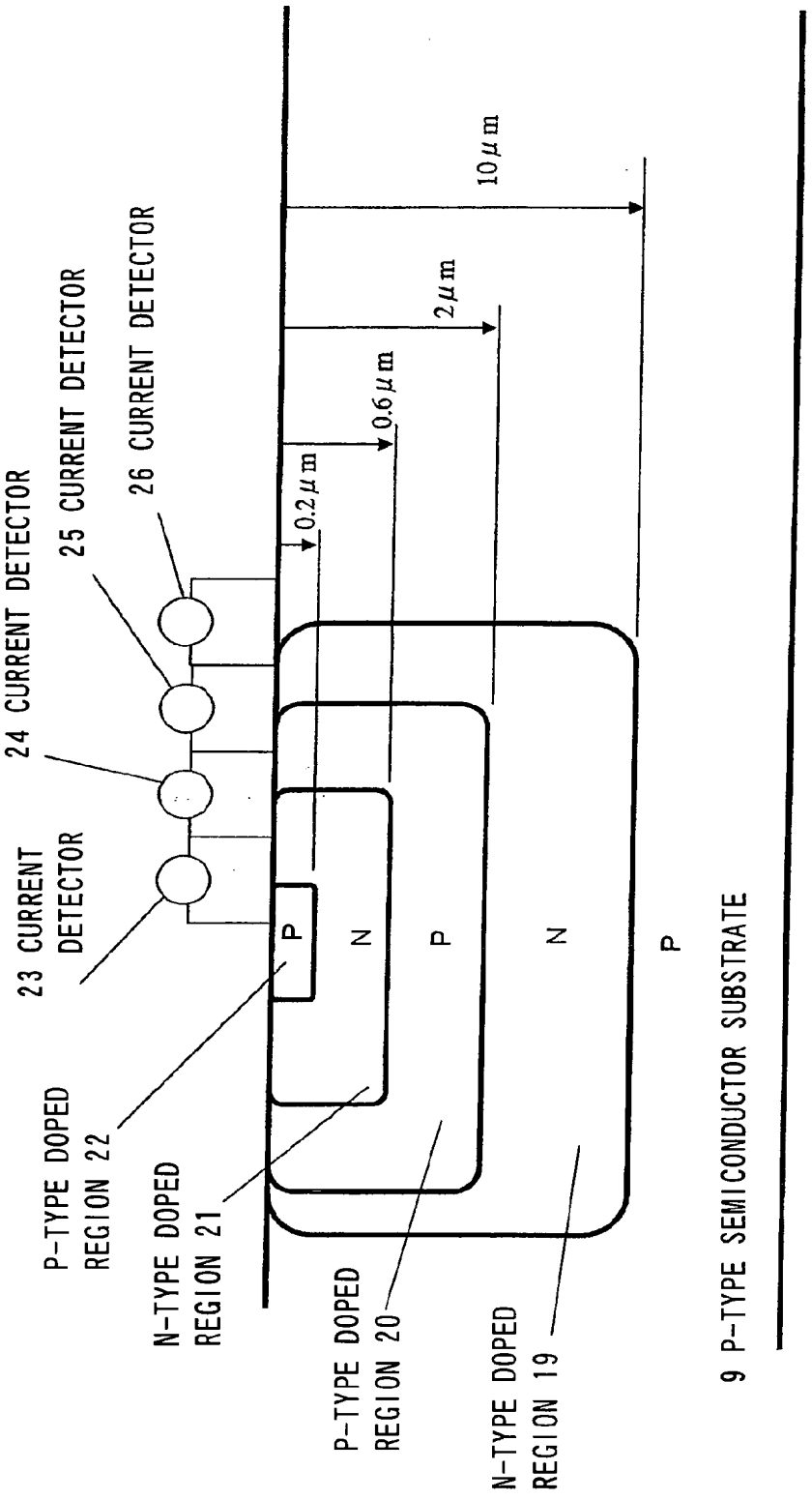


FIG. 8

SAMSUNG EX. 1002 - 159/2862

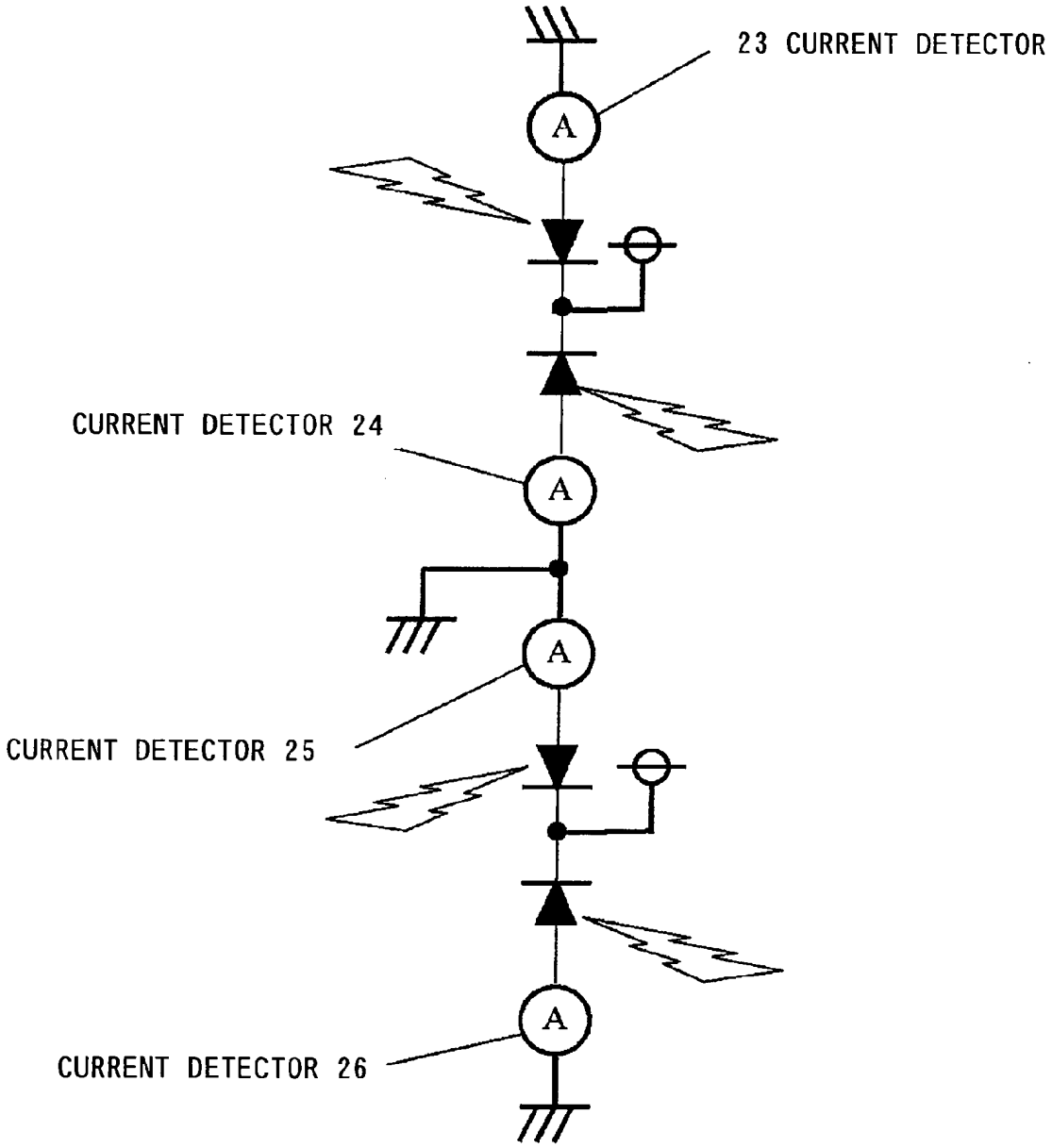


FIG. 9

SAMSUNG EX. 1002 - 160/2862

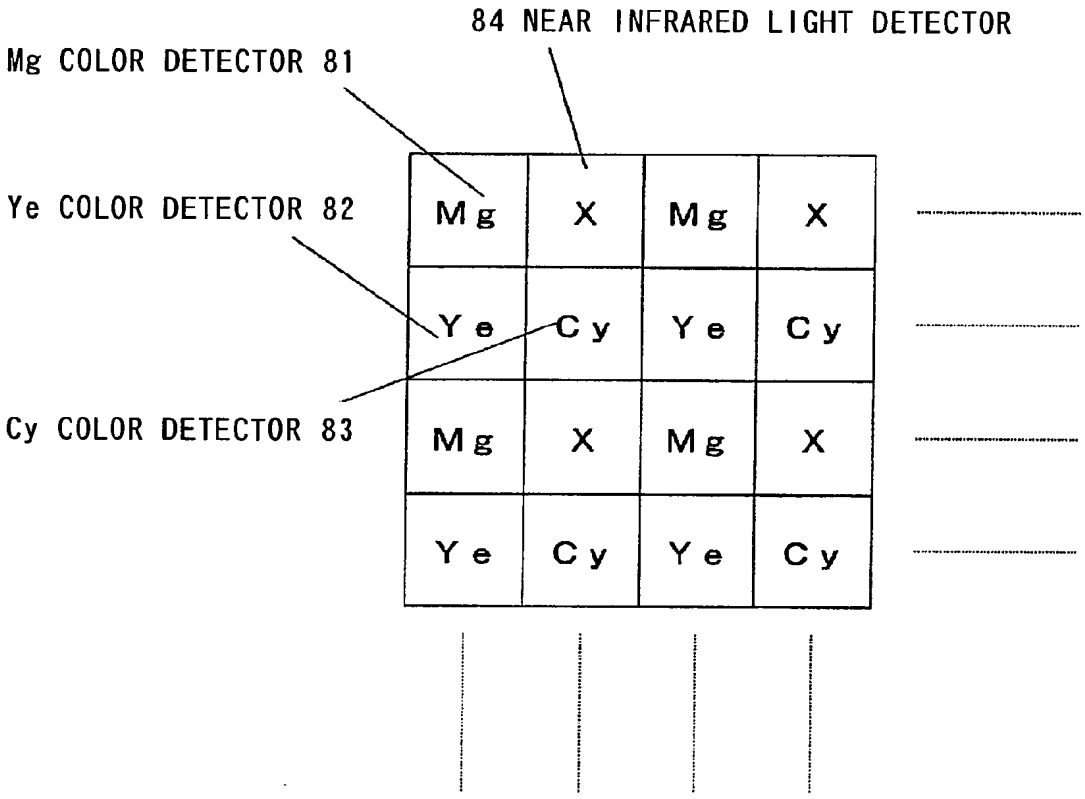


FIG. 10

SAMSUNG EX. 1002 - 161/2862

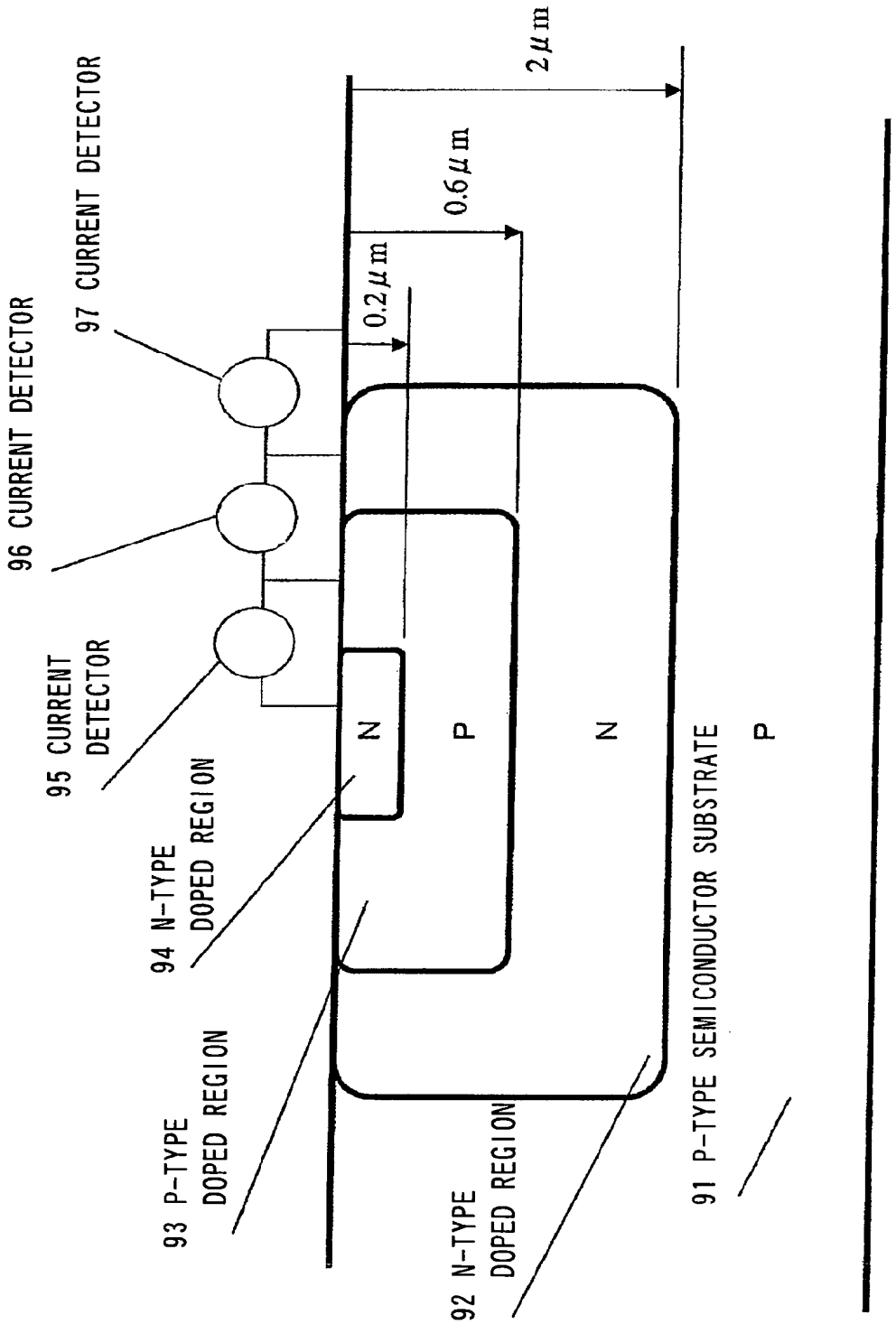


FIG. 11

SAMSUNG EX. 1002 - 162/2862

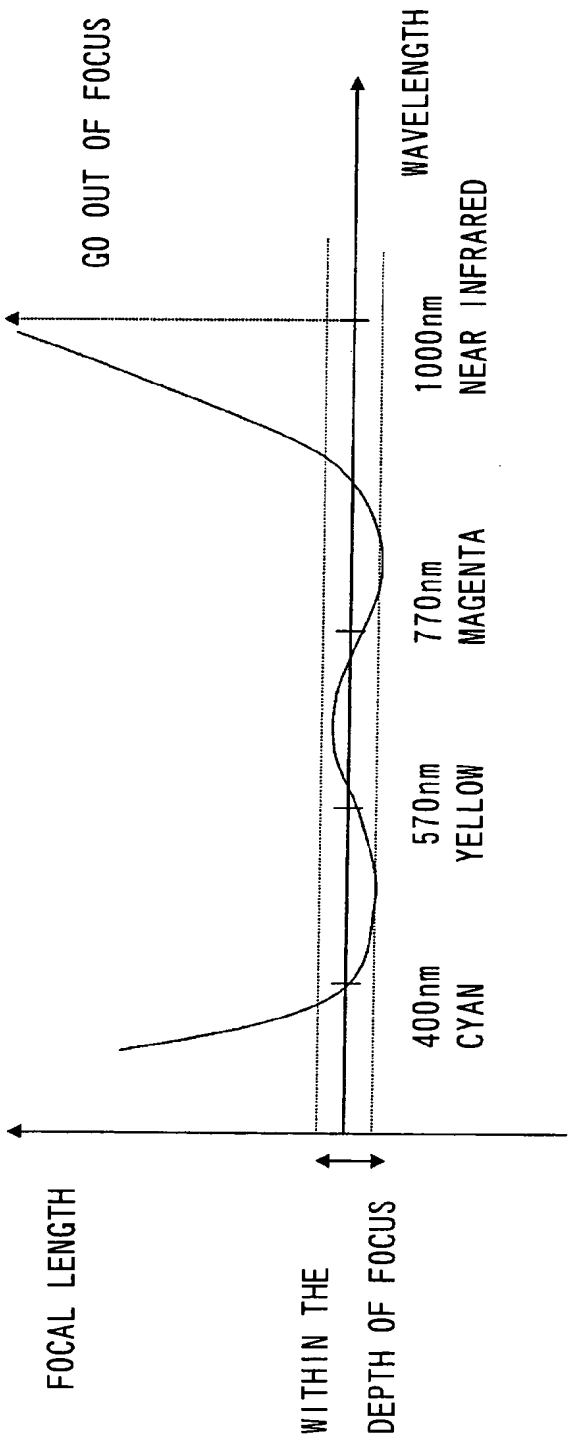


FIG. 12

SAMSUNG EX. 1002 - 163/2862

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2004/005799

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] H01L27/146, H01L31/10, H04N5/335

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] H01L27/146, H01L31/10, H04N5/335

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 7-74340 A (Toshiba Corp.), 17 March, 1995 (17.03.95), Full text; all drawings (Family: none)	1-10
A	JP 55-52277 A (Recognition Equipment Inc.), 16 April, 1980 (16.04.80), Full text; all drawings & US 4238760 A & NL 7907416 A & GB 2034971 A & FR 2438344 A1 & DE 2940343 A1	1-10
A	JP 2003-304548 A (Canon Inc.), 24 October, 2003 (24.10.03), Full text; all drawings & US 2003/193011 A1	1-10

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
05 July, 2004 (05.07.04)	20 July, 2004 (20.07.04)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (January 2004)

SAMSUNG EX. 1002 - 164/2862

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2004/005799

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 6-205162 A (Canon Inc.), 22 July, 1994 (22.07.94), Full text; all drawings & CA 2112734 A & DE 69329990 D & EP 605259 A2 & US 5724152 A	1-10

Form PCT/ISA/210 (continuation of second sheet) (January 2004)

SAMSUNG EX. 1002 - 165/2862

(19) Europäisches Patentamt
European Patent Office
Office européen des brevets

(11) Veröffentlichungsnummer:
(11) Publication number: **EP 1 794 804 A0**
(11) Numéro de publication:

Internationale Anmeldung veröffentlicht durch die Weltorganisation für geistiges Eigentum unter der Nummer:

WO 2006/086014 (art. 158 des EPÜ).

International application published by the World Intellectual Property Organisation under number:

WO 2006/086014 (art. 158 of the EPC).

Demande internationale publiée par l'Organisation Mondiale de la Propriété sous le numéro:

WO 2006/086014 (art. 158 de la CBE).

(19) Europäisches Patentamt
European Patent Office
Office européen des brevets

(11) EP 1 873 840 A1

(12) EUROPEAN PATENT APPLICATION

(43) Date of publication:
02.01.2008 Bulletin 2008/01

(21) Application number: **07110609.0**

(22) Date of filing: **20.06.2007**

(51) Int Cl.:
H01L 31/0352 *(2006.01)* ***H01L 31/068*** *(2006.01)*
H01L 31/20 *(2006.01)* ***H01L 29/36*** *(2006.01)*
H01L 31/0236 *(2006.01)*

(84) Designated Contracting States:
AT BE BG CH CY CZ DE DK EE ES FI FR GB GR HU IE IS IT LI LT LU LV MC MT NL PL PT RO SE SI SK TR
Designated Extension States:
AL BA HR MK YU

(30) Priority: **30.06.2006 US 480161**

(71) Applicant: **General Electric Company**
Schenectady, NY 12345 (US)

(72) Inventors:
- **Johnson, James Neil**
  Scotia, NY 12302 (US)
- **Manivannan, Venkatesan**
  Rexford, NY 12148 (US)

(74) Representative: **Szary, Anne Catherine**
London Patent Operation
General Electric International, Inc.
15 John Adam Street
London WC2N 6LU (GB)

(54) Photovoltaic device which includes all-back-contact configuration; and related fabrication processes

(57) A semiconductor structure is described, which includes a semiconductor substrate (10) of one conductivity type, having a front surface (12) and a back surface (14). A first amorphous semiconductor layer (16) is applied on the front surface (12); and second (22) and third (32) amorphous semiconductor layers are disposed on portions of the back surface (14) of the substrate (10). The second and third layers are each compositionally graded through their depth, from substantially intrinsic at the interface with the substrate (10), to substantially conductive at their opposite surfaces. In some instances, the first semiconductor layer (16) is also compositionally graded, while in other instances, it is intrinsic in character. The semiconductor structures can function as solar cells; and modules which include a number of such cells represent another embodiment of the invention. Methods for making a photovoltaic device are also described..

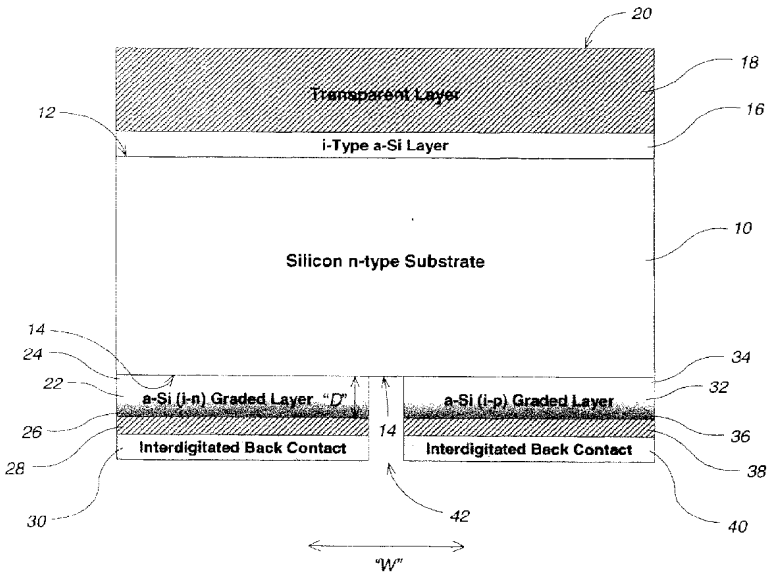


FIG. 1

EP 1 873 840 A1

SAMSUNG EX. 1002 - 167/2862

Description

BACKGROUND OF THE INVENTION

[0001] This invention relates generally to high efficiency solar cells. More specifically, the invention relates to solar cells based on semiconductor devices which include a heterojunction.

[0002] There is no doubt that solar energy offers the potential for providing virtually unlimited energy for use by man, if the solar energy can be made available in a useful form. Perhaps the greatest effort so far as been in using the sun's energy to obtain electricity, which can then be utilized through any existing electrical network - on the household, community, or industrial level. A primary approach to generating this electricity from solar radiation has involved direct generation by way of photovoltaic converters. These types of devices rely on the presence of a heterojunction, and are well-known in the art. (As used in this context, a heterojunction is a semiconductor junction which is composed of layers of dissimilar semiconductor material. These materials usually have non-equal band gaps. As one example, a heterojunction can be formed by contact between a layer or region of one conductivity type with a layer or region of opposite conductivity, e.g., a "p-n" junction). In addition to solar cells, other devices which utilize the heterojunction include thin film transistors and bipolar transistors.

[0003] In general, photovoltaic devices convert radiation, such as solar, incandescent, or fluorescent radiation, into electrical energy. Sunlight is the typical source of radiation for most devices. The conversion to electrical energy is achieved by the well-known photovoltaic effect. According to this phenomenon, radiation striking a photovoltaic device is absorbed by an active region of the device, generating pairs of electrons and holes, which are sometimes collectively referred to as photo-generated charge carriers.

[0004] The electrons and holes diffuse, and are collected by the electric field built into the device.

[0005] In view of the potential for solar cells to serve as such a reliable form of clean, renewable energy, great efforts have been made to increase their performance. One primary measurement for such performance is the photoelectric conversion efficiency of the device. Conversion efficiency is usually measured as the amount of electrical current generated by the device, as a proportion of the light energy which contacts its active surface. As documented in the literature, extremely small increases in photoelectric conversion efficiency, e.g., 1% or less, represent very significant advances in photovoltaic technology.

[0006] The performance of photovoltaic devices depends in large part on the composition and microstructure of each semiconductor layer. For example, defect sites which result from structural imperfections or impurity atoms may reside on the surface or within the bulk of monocrystalline semiconductor layers. Moreover, polycrystalline semiconductor materials may contain randomly-oriented grains, with grain boundaries which induce a large number of bulk and surface defect sites.

[0007] The presence of various defects of this type can be the source of deleterious effects in the photovoltaic device. For example, many of the charge carriers recombine at the defect sites near the heterojunction, instead of continuing on their intended pathway to one or more collection electrodes. Thus, they become lost as current carriers. Recombination of the charge carriers is one of the chief reasons for decreased photoelectric conversion efficiency.

[0008] The negative effects of surface defects can be minimized to some degree by passivation techniques. For example, a layer of intrinsic (i.e., undoped) amorphous semiconductor material can be formed on the surface of the substrate. The presence of this intrinsic layer decreases the recombination of charge carriers at the substrate surface, and thereby improves the performance of the photovoltaic device.

[0009] The use of this type of intrinsic layer is generally described in U.S. Patent 5,213,628 (Noguchi et al). Noguchi describes a photovoltaic device which includes a monocrystalline or polycrystalline semiconductor layer of a selected conductivity type. A substantially intrinsic layer of 250 Angstroms or less is formed over the substrate. A substantially amorphous layer is formed over the intrinsic layer, having a conductivity opposite that of the substrate, and completing a "semiconductor sandwich structure." The photovoltaic device is completed by the addition of a light-transparent electrode over the amorphous layer, and a back electrode attached to the underside of the substrate.

[0010] The photovoltaic devices described in the Noguchi patent appear to considerably minimize the problem of charge carrier recombination in some situations. For example, the presence of the intrinsic layer at selected thicknesses is said to increase the photoelectric conversion efficiency of the device. Moreover, the concept of passivating the surfaces of semiconductor substrates in this manner has been described in a number of references since the issuance of Noguchi et al. Examples include U.S. Patent 5,648,675 (Terada et al); and U.S. Patent Publications 2002/0069911 A1 (Nakamura et al): 2003/0168660 A1 (Terakawa et al); and 2005/0062041 A1 (Terakawa et al).

[0011] While the references mentioned above address the recombination problem to some degree, there are some considerable drawbacks remaining. For example, the presence of the intrinsic layer, while beneficial, results in the formation of yet another interface, i.e., between the intrinsic layer and the overlying amorphous layer. This new interface is yet another site for impurities and spurious contaminants to become trapped and to accumulate, and possibly cause additional recombination of the charge carriers. As an example, interruptions between the deposition steps during fabrication of a multilayer structure can provide unwelcome opportunities for

SAMSUNG EX. 1002 - 168/2862

the entry of the contaminants. Moreover, abrupt band bending at the interface, due to a change in conductivity, and/or variations in band gap, can lead to a high density of interface states, which is another possible source of recombination.

[0012] Furthermore, while the elimination of charge carrier recombination certainly increases photoelectric conversion efficiency, there are other factors which can still decrease the performance of conventional solar cells. As an example, solar cells in the past have often been produced with many of the electrical connections on the front-side of the cell, i.e., the surface receiving incident light. Thus, the front surface of the cell usually included front-side metal grid lines or current collection ribbons, along with associated devices and hardware, such as bus bars and tabs.

[0013] The presence of these features on the front-side of a solar cell can be disadvantageous for a number of reasons. For example, the grid lines and tabs detract from the uniformity and overall appearance of the solar cell. Aesthetic features for the solar cells often represent critical quality parameters, e.g., in residential home design. Moreover, the operational performance of the solar cell can be adversely affected by the presence of these front-side features, since they "shade" portions of the incident light which would otherwise be absorbed by the cell.

[0014] The various problems associated with front surface features in solar cells have been addressed with some success. For example silicon photovoltaic devices with all of the electrical connections on the back side of the cell have been developed. As described in U.S. Patent 5,053,083 (Sinton), the "back side"-type of cell can exhibit increased efficiency - primarily because of the lack of front-side features which block the desired light energy. Moreover, the absence of these features can facilitate other treatments and operations on the front-side of the cell, e.g., texturing applications, as described below.

[0015] Nevertheless, the drive to increase photoelectric efficiency continues to be relentless, since efficiency directly affects the economic viability of photovoltaic devices. Thus, improved photovoltaic devices would be very welcome in the art. The devices should minimize the problem of charge-carrier recombination at various interface regions between semiconductor layers. Moreover, the devices should exhibit electrical properties which ensure good photovoltaic performance, e.g., photoelectric conversion efficiency. Furthermore, the devices should be capable of being made efficiently and economically.

[0016] The fabrication of the devices should eliminate process steps which would allow the entry of excessive levels of impurities and other defects. Another important requirement for many of these devices is their visual features. Specifically, the solar cell structure should be aesthetically pleasing and stylish when used in certain applications, e.g., architectural designs for homes and other structures.

BRIEF DESCRIPTION OF THE INVENTION

[0017] One embodiment of this invention is directed to a semiconductor structure, comprising:

(a) a semiconductor substrate of one conductivity type, having a front surface and a back surface;

(b) a first amorphous semiconductor layer disposed on the front surface of the semiconductor substrate;

(c) a second amorphous semiconductor layer disposed on a portion of the back surface of the semiconductor substrate, wherein the second amorphous semiconductor layer is compositionally graded through its depth, from substantially intrinsic at the interface with the substrate, to substantially conductive at the opposite side, said second amorphous semiconductor layer having a selected conductivity type obtained by the incorporation of selected dopant atoms; and

(d) a third amorphous semiconductor layer disposed on another portion of the back surface of the semiconductor substrate, and spaced from the second amorphous semiconductor layer, wherein the third amorphous semiconductor layer is compositionally graded through its depth, from substantially intrinsic at the interface with the substrate, to substantially conductive at the opposite side, said third amorphous semiconductor layer having a conductivity type different from that of the second amorphous layer, and obtained by the incorporation of selected dopant atoms.

[0018] Another embodiment of the invention is directed to a solar module, comprising one or more solar cell devices, wherein at least one of the solar cell devices comprises the semiconductor structure described herein.

[0019] A method for making a photovoltaic device constitutes another embodiment of this invention. The method comprises the steps of:

(I) forming a first amorphous semiconductor layer over a front surface of a semiconductor substrate;

(II) forming a second amorphous semiconductor layer on a portion of a back surface of the semiconductor substrate, by continuously depositing semiconductor material and a dopant over the back surface portion, while altering the concentration of the dopant, so that the second amorphous semiconductor layer becomes compositionally-graded through its depth, from substantially intrinsic at the interface with the back surface of the substrate, to substantially conductive at the opposite side;

(III) forming a third amorphous semiconductor layer

SAMSUNG EX. 1002 - 169/2862

on another portion of the back surface of the semiconductor substrate, by continuously depositing semiconductor material and a dopant over the back surface portion, while altering the concentration of the dopant, so that the third amorphous semiconductor layer becomes compositionally-graded through its depth, from substantially intrinsic at the interface with the back surface of the substrate, to substantially conductive at the opposite side.

[0020] Various features, aspects, and advantages of this invention will become more apparent from the following detailed description, taken in conjunction with the accompanying drawings.

BRIEF DESCRIPTION OF THE DRAWINGS

[0021] FIG. 1 is a schematic cross-section which depicts the structure of a photovoltaic device according to one embodiment of the present invention.

[0022] FIG. 2 is a schematic cross-section which depicts the structure of a photovoltaic device according to another embodiment of the present invention.

[0023] FIG 3 is a schematic cross-section which depicts the structure of a photovoltaic device according to still another embodiment of the present invention.

DETAILED DESCRIPTION OF THE INVENTION

[0024] The silicon substrate of this invention can be in a variety of forms. As depicted in FIG. 1, substrate 10 can be monocrystalline or polycrystalline. Furthermore, the substrate material can be n-type or p-type, depending in part on the electrical requirements for the photovoltaic device. Substrate 10 includes a front surface 12, and a back surface 14. The substrate usually has a thickness of about 50 microns to about 600 microns. (It should be understood that all of the figures provided herein are not necessarily drawn to scale, and are instead drawn for easier understanding of the text).

[0025] A variety of conventional treatment steps are usually carried out on the substrate, prior to deposition of the other semiconductor layers. For example, the substrate can be cleaned and placed in a vacuum chamber (e.g., a plasma reaction chamber, as described below). The chamber can then be heated to temperatures sufficient to remove any moisture on or within the substrate. Usually, a temperature in the range of about 120-240 °C is sufficient. Sometimes, hydrogen gas is then introduced into the chamber, and the substrate is exposed to a plasma discharge, for additional surface-cleaning. However, many variations on cleaning and pretreatment steps are possible. Usually, these steps are carried out in the chamber used for additional fabrication of the device.

[0026] The various semiconductor layers formed over the substrate are usually (though not always) applied by plasma deposition. Many different types of plasma deposition are possible. Non-limiting examples include chemical vapor deposition (CVD); vacuum plasma spray (VPS); low pressure plasma spray (LPPS), plasma-enhanced chemical-vapor deposition (PECVD), radio-frequency plasma-enhanced chemical-vapor deposition (RFPECVD); expanding thermal-plasma chemical-vapor deposition (ETPCVD); electron-cyclotron-resonance plasma-enhanced chemical-vapor deposition (ECRPECVD), inductively coupled plasma-enhanced chemical-vapor deposition (ICPECVD), and air plasma spray (APS). Sputtering techniques can also be used, e.g., reactive sputtering. Moreover, combinations of any of these techniques might also be employed. Those skilled in the art are familiar with the general operating details for all of these deposition techniques. In some preferred embodiments, the various semiconductor layers are formed by a PECVD process.

[0027] In one embodiment of this invention depicted in FIG. 1, an intrinsic amorphous silicon layer 16 is formed on the front surface 12 of substrate 10. As mentioned previously, intrinsic layer 16 is un-doped (i.e., having a dopant concentration of substantially zero). The layer can be formed in a number of ways. As a non-limiting example, silicon substrate 10 could be placed in a plasma reaction chamber (e.g., CVD or PECVD). After evacuating the chamber, the substrate could be heated to an appropriate temperature, e.g., about 120°C to about 240°C. A silicon-containing gas, such as silane, is pumped into the chamber as a plasma is generated, e.g., by glow discharge. The plasma causes decomposition of the gaseous precursor, resulting in formation of the amorphous layer of silicon.

[0028] The thickness of intrinsic layer 16 will depend on various factors, including the optical and electrical characteristics of the layer. The thickness of the layer is influenced most heavily by the extent to which the recombination of charge carriers at the substrate interface has to minimized. Usually, the thickness of layer 16 is less than or equal to about 250 Angstroms. In some specific embodiments, layer 16 has a thickness in the range of about 30 Angstroms to about 180 Angstroms. The most appropriate thickness in a given situation can be determined without undue effort, e.g., by taking measurements related to the photoelectric conversion efficiency of photovoltaic devices which incorporate the semiconductor.

[0029] According to this embodiment, a transparent film or layer 18 is disposed on intrinsic amorphous silicon layer 16, on the light-receiving side of the photovoltaic device.

[0030] Film 18 provides anti-reflective (AR) characteristics for the device. The transparent film can comprise a variety of materials, such as metal oxides. Non-limiting examples include silicon nitride (SiN), zinc oxide (ZnO), doped ZnO, and indium tin oxide (ITO). Film 18 can be formed by various conventional techniques, such as sputtering or evaporation. Its thickness will depend on various factors, including desired AR characteristics. Usually, transparent film 18 (which has a top surface 20)

SAMSUNG EX. 1002 - 170/2862

will have a thickness in the range of about 200 Angstroms to about 1000 Angstroms.

[0031] A second amorphous semiconductor layer 22 is disposed on a portion of the back surface 14 of substrate 10. While substrate 10 is the primary power generating layer of the photovoltaic device, semiconductor layer 22 constitutes a component of one of the electrodes of the device. As those skilled in the art understand, the electrodes are typically designed to carry the power (electrical current) through the device and out to an external circuit. Semiconductor layer 22 can be either n-type or p-type, depending upon the electrical configuration of the photovoltaic device.

[0032] According to a primary embodiment of the present invention, second amorphous layer 22 is compositionally graded, in terms of dopant concentration. In general, the dopant concentration is substantially zero at the interface with the substrate, i.e., region 24 in FIG. 1. On the opposite side of layer 22, i.e., region 26, the dopant concentration is at a maximum, in terms of semiconductor conductivity objectives. The concept of compositional grading for these types of layers is also generally described in a pending application assigned to the assignee of the present invention: U.S. Patent Application S.N. 11/263,159, filed on October 31, 2005, for J. Johnson and V. Manivannan. The contents of that patent application are incorporated herein by reference.

[0033] The term "compositionally-graded" is meant to describe a change (i.e., a "gradation") in dopant concentration as a function of the depth ("D") of semiconductor layer 22. In some embodiments, the gradation is substantially continuous, but this does not always have to be the case. For example, the rate-of-change in concentration may itself vary through the depth, increasing slightly in some regions, and decreasing slightly in others. (However, the overall gradation is always characterized as a decrease in dopant concentration in the direction toward substrate 10). Moreover, in some instances, the dopant concentration may remain constant for some portion of the depth, although that portion would probably be very small. Any and all of these variations in gradations are meant to be encompassed by the term "graded". The specific dopant concentration profile for a given semiconductor layer will depend on various factors, e.g., the type of dopant and the electrical requirements for the semiconductor device; as well as its microstructure and thickness.

[0034] As mentioned above, the dopant concentration for layer 22 is substantially zero at the interface with the substrate, regardless of the particular dopant profile. Thus, an intrinsic region 24 functions to prevent recombination of the charge-carriers at the interface with substrate surface 14. At the opposite, lower surface of amorphous layer 22, region 26 is substantially conductive. The specific dopant concentration in that region will depend on the particular requirements for the semiconductor device. As a non-limiting example in the case of a polycrystalline or single crystalline silicon substrate, region 26 will often have a concentration of dopant in the range of about 1×10^{16} cm^{-3} to about 1×10^{21} cm^{-3}.

[0035] The thickness of graded amorphous layer 22 will also depend on various factors, such as the type of dopant employed; the conductivity-type of the substrate; the grading profile; and the dopant concentration in region 26. As in the case of layer 16, the thickness of layer 22 is usually less than or equal to about 250 Angstroms. In some specific embodiments, graded layer 22 has a thickness in the range of about 30 Angstroms to about 180 Angstroms. As described previously for layer 16, the most appropriate thickness in a given situation can readily be determined by taking measurements related to the photoelectric conversion efficiency of the device. Measurement of other properties (such as open circuit voltage (V_{oc}), short circuit current (I_{sc}), and fill factor (FF)) can also be helpful in determining the most appropriate thickness for layer 22.

[0036] In some preferred embodiments (though not all), an electrode layer 28 is formed on the backside of amorphous semiconductor layer 22 (FIG. 1) . Usually, electrode layer 28 functions as a diffusion barrier layer, preventing metal atoms from diffusing from a conductive layer (described below) into semiconductor layer 22. Electrode layer 28 is typically formed from a conductive material such as indium tin oxide, ZnO, doped ZnO, and the like. It can be formed from any of the typical deposition techniques used to deposit conductive layers. Layer 28 usually has a thickness in the range of about 50 Angstroms to about 500 Angstroms, although this range may vary considerably.

[0037] With continued reference to FIG. 1, a metal contact 30 is disposed over amorphous semiconductor layer 22. Metal contact 30 would be applied directly on layer 22, in the absence of intervening electrode layer 28. When layer 28 is present, metal layer 30 would be applied thereover. Metal contact 30 functions as a conducting electrode, conveying the electric current generated by the photovoltaic device to a desired location. The metal contact can be formed of a variety of conductive materials, such as silver (Ag), aluminum (Al), copper (Cu), molybdenum (Mo), tungsten (W), titanium (Ti), palladium (Pd), and various combinations thereof. Although metal contact 30 is illustrated as a layer of material in FIG. 1, its shape and size can vary considerably, as further described below. The metal contact can be formed by various techniques, e.g., plasma deposition, screen printing; vacuum evaporation (sometimes using a mask); pneumatic dispensing; or direct-write techniques such as ink jet printing.

[0038] A third amorphous semiconductor layer 32 is disposed on another portion of the back surface 14 of substrate 10. As in the case of layer 22, semiconductor layer 32 constitutes another component of one of the electrodes of the photovoltaic device. Layer 32 can be of the n-type or p-type. However, in most of the semiconductor configurations of this type, layer 32 has a conductivity (n or p) different from that of semiconductor layer

SAMSUNG EX. 1002 - 171/2862

22. (In FIG. 1, layer 22 is arbitrarily depicted as n-type, while layer 32 is depicted as p-type).

[0039] As in the case of amorphous semiconductor layer 22, layer 32 is compositionally graded, in terms of dopant concentration. Thus, the dopant concentration is substantially zero at the interface with the substrate, i.e., region 34 in FIG. 1. This intrinsic region prevents recombination of the charge-carriers, as described previously. On the opposite side of layer 32, i.e., region 36, the dopant concentration is at a maximum, in terms of semiconductor conductivity objectives. As in the case of layers 22 and 16, the thickness of layer 32 is usually less than or equal to about 250 Angstroms. In some specific embodiments, the layer has a thickness in the range of about 30 Angstroms to about 180 Angstroms.

[0040] As in the case of region 26, region 36 will usually have a concentration of dopant in the range of about 1 x 10^{16} cm^{-3} to about 1 x 10^{21} cm^{-3}. However, the specific concentration need not be identical to that of region 26, and will depend in part on the overall configuration of the device. Moreover, the overall gradation pattern for semiconductor layer 32 may be similar or substantially identical to that of semiconductor layer 22. However, in some embodiments, the gradation profiles can differ from each other - again depending on factors such as layer composition and thickness, dopant-type, semiconductor requirements, and the like. Moreover, it should be emphasized that the exact depth of "regions" 24, 26, 34, and 36 can vary, depending on factors discussed herein, such as semiconductor layer thickness and dopant profile. The same is true for the analogous regions depicted in the other figures.

[0041] In FIG. 1, the individual widths of semiconductor layers 22 and 32 are depicted as being equal to each other. (In the figure, the width dimension is designated with an arrow and the letter "W"). However, it is not necessary that the widths be equal. In some preferred embodiments, the width of the i-p-graded amorphous layer (here, An optional electrode layer 38 can be applied over the backside of amorphous semiconductor layer 32. Layer 38 performs in a manner similar to layer 28, e.g., functioning as a diffusion barrier layer between the underlying amorphous semiconductor layer and the metal contact described below. Electrode layer 38 is also typically formed from a conductive material. It can have the same thickness as layer 28, but in some embodiments, the thickness can differ as well.

[0042] A metal contact 40 is disposed over amorphous semiconductor layer 32, as depicted in FIG. 1. As in the case of metal contact 30, contact 40 would be applied directly on layer 32, or on top of optional layer 38. Metal contact 40 functions as another conducting electrode, conveying the electric current generated by the photovoltaic device to a desired location. The metal contact can be formed from the conductive materials described above, and is usually made from the same material as contact 30. Moreover, the size and shape of contact 40 can vary significantly, as can the manner in which it is formed. In other words, these parameters and details do not have to be the same as for contact 30, as they depend in large part on the overall construction of the photoelectric device.

[0043] As also shown in FIG. 1, second amorphous semiconductor layer 22 is spaced from third amorphous semiconductor layer 32 by an isolation trench 42. Typically, the primary function of trench 42 is to electrically and structurally isolate the two semiconductor layers, and/or to isolate contact layer 30 from contact layer 40. The precise shape of the trench can also vary. The trench can be formed by a number of conventional techniques - either during or after the fabrication of the various semiconductor and metal layers. As an example, the trench could be formed by drilling processes such as laser drilling, or by mechanical scribing techniques. In some instances, the trench is filled or partially filled with an electrically-insulating material, e.g., a polymeric resin (not shown here). The insulating material may serve to protect the underside of substrate 10 during various fabrication steps used to form the device, such as etching, milling, or scribing steps.

[0044] Contact layers 30 and 40 constitute a portion of an electrical system for interconnecting the various semiconductor elements. Any conventional electrical design may be used for such a system. As emphasized herein, preferred embodiments call for all of the electrical contacts to be incorporated into locations which ensure that the front surface of the device, i.e., top surface 20, is substantially free of any features which would obstruct incoming light. Typically, then, the various electrical interconnections are located in the general vicinity of substrate back surface 14, forming an "all-back-contact" configuration.

[0045] As one illustration, the contacts may be interdigitated. For example (and when viewed from a planar perspective for the device), the contacts may be arranged in a comb-shape, as described in U.S. Publication 2005/0062041 A1, which is incorporated herein by reference. Interdigitated arrangements are also described in various other references, e.g., U.S. Patent 5,053,083 (Sinton); 4,200,472 (Chappell et al); and Publication 2004/0200520 A1 (Mulligan et al), which are also incorporated herein by reference. Those skilled in the art will be able to readily determine the most appropriate metallization and electrical scheme for a particular device, without undue effort.

[0046] The compositional-grading of semiconductor layers 22 and 32 can be carried out by various techniques. The deposition of each layer is typically undertaken in separate steps. Usually, grading is accomplished by adjusting the dopant levels during plasma deposition. In a typical embodiment, a silicon precursor gas such as silane (SiH_4) is introduced into the vacuum chamber in which the substrate is situated. A diluting gas such as hydrogen may also be introduced with the silicon precursor gas. Flow rates for the precursor gas can vary considerably, but are typically in the range of about 10

SAMSUNG EX. 1002 - 172/2862

sccm to about 300 sccm. During the initial stages of deposition, no dopant precursors are present. Therefore, regions 24 and 34 are substantially intrinsic ("undoped"), as mentioned above, thus serving to passivate the surface of substrate 10.

[0047] As the deposition process continues for each of layers 22 and 32, a dopant precursor is added to the plasma mixture. Choice of a precursor will of course depend on the selected dopant, e.g., n-type dopants such as phosphorus (P), arsenic (As), and antimony (Sb); or p-type dopants such as boron (B). Several non-limiting examples of dopant compounds can be provided: diborane gas (B_2H_6) for the p-type dopant, or phosphine (PH_3) for the n-type dopant. The dopant gases may be in pure form, or they may be diluted with a carrier gas, such as argon, hydrogen, or helium.

[0048] During the formation of each layer 22 and 32, the addition of the dopant gas is carefully controlled, to provide the desired doping profile. Those skilled in the art are familiar with gas metering equipment, e.g., mass flow controllers, which can be used to carry out this task. The feed rate for the dopant gas will be selected to substantially match the gradation scheme described above. Thus, in very general terms, the feed rate of the dopant gas will gradually increase during the deposition process. However, many specific changes in feed rate can be programmed into the deposition scheme. Maximum flow rates at the conclusion of this step of the process result in the formation of substantially-conductive regions 26 and 36, as mentioned previously. Each of regions 26 and 36 forms a heterojunction with the substrate.

[0049] In the embodiment of FIG. 1, an intrinsic amorphous silicon layer was formed on the front surface of the substrate. However, in other embodiments, a compositionally-graded amorphous semiconductor layer is formed in place of the intrinsic layer. One illustration of this alternative embodiment is depicted in FIG. 2. (In this figure, many of the elements similar or identical to those of FIG. 1 are not labeled, or are provided with the same element numerals). Thus, as shown in FIG. 2, a first amorphous semiconductor layer 50 is disposed on the front surface 12 of substrate 10. The first amorphous semiconductor layer is compositionally graded through its depth. Thus, the layer is substantially intrinsic at the interface with the substrate (i.e., region 52), and substantially conductive at the opposite side (region 54).

[0050] Layer 50 can be compositionally graded according to the same techniques described previously, for the graded layers of FIG. 1. Moreover, the graded profile for layer 50 may be similar to that of the other graded layers, though it can have a different profile as well. Usually, the conductive region of the layer (i.e., region 54) will have a concentration of dopant atoms in the general range described previously, i.e., about 1×10^{16} cm^{-3} to about 1×10^{21} cm^{-3}. The type of dopant used for graded layer 50 will depend in part on the conductivity-type of the substrate. Typically, the layer forms a heterojunction with the substrate.

[0051] As in the case of the other doped regions, the specific dopant concentration profile for layer 50 will depend on various factors, e.g., the type of dopant and the electrical requirements for the semiconductor device; as well as its microstructure and thickness. The presence of compositionally graded layer 50 can be very advantageous as an additional site for preventing recombination of charge carriers. In this manner, the intended path of the charge carriers toward the collection electrodes of the device is enhanced, thereby resulting in greater photoelectric conversion. Layer 50 can be referred to as a front surface field (FSF).

[0052] As in the embodiment of FIG. 1, a transparent film or layer 56 is disposed on top of amorphous semiconductor layer 50 in FIG. 2, providing anti-reflective characteristics for the device. Moreover, the device also includes second and third amorphous semiconductor layers 22, 32, formed on the back surface 14 of the substrate. In preferred embodiments, each of these layers is compositionally graded, as described previously.

[0053] With continued reference to FIG. 2, metal contact layers 30 and 40 are formed over layers 22 and 32, respectively. In this particular illustration, there are no electrode layers between the metal contact layers and underlying amorphous layers 22 and 32 (i.e., analogous to layers 28 and 38 in FIG. 1). However, it should be understood that the electrode layers could also be utilized in this embodiment as well, e.g., to perform as a diffusion barrier.

[0054] In some preferred embodiments of the present invention, at least one of the planar surfaces of the semiconductor device is textured. Texturing of the various surfaces of the device can reduce undesirable light reflection. Moreover, texturing can utilize incoming light much more effectively, by elongating an optical path length in one of the semiconductor layers ("optical light trapping"). Usually, at least the front-side (i.e., the surface closest to incident light) is textured.

[0055] Texturing can be carried out by a variety of techniques. One instructive source of information is an article by David King et al, "Experimental Optimization of an Anisotropic Etching Process for Random Texturization of Silicon Solar Cells", IEEE Conference Proceedings (1991), pages 303-308. This article is incorporated herein by reference. Very often, texturing can be carried out by etching techniques, using mild alkaline solutions with low concentrations (e.g., less than about 5% by volume) of basic compounds like potassium hydroxide or sodium hydroxide. The alkaline solutions can contain other components as well, e.g., hydroxy compounds such as isopropyl alcohol. Many other types of alkaline solutions may also be employed.

[0056] Fig 3 is a non-limiting illustration of a semiconductor device for some of these preferred embodiments. (In this figure, many of the elements similar or identical to those of FIG. 1 are not labeled, or are provided with the same element numerals). In some preferred embodiments, the front surface 12 of the substrate is textured,

SAMSUNG EX. 1002 - 173/2862

as shown in FIG. 3. Moreover, back surface 14 can be textured.

[0057] The type of texturing can vary considerably, depending on a number of factors discussed previously. As one example, textured features can be in the form of microscopic pyramids 60, as shown in FIG. 3. It should be emphasized that FIG. 3 happens to show all planar surfaces as being textured, although there is no requirement or preference for that to be the case. As those skilled in the art understand, the textured profile for many of the surfaces can effectively result from the profile of the underlying surfaces. For example, if substrate surfaces 12 and 14 are textured, layers deposited over those surfaces (and layers thereafter) will often adapt the conformal features of the substrate surfaces. For example, this is shown in FIG. 3 for semiconductor layers 16, 22, 32; transparent layer 18; and metallic contact layers 30, 40. (The optional electrode layers, e.g., layers 28 and 38 in FIG. 1, can also be textured, when present).

[0058] Various other details regarding the texturing of semiconductor layers for photovoltaic devices are known in the art. As one example, U.S. Patent 6,670,542 (Sakata et al) describes steps in forming textured surfaces for single crystalline layers used in photovoltaic conversion devices. The Sakata et al patent is also incorporated herein by reference. Moreover, Sakata et al describes procedures which are helpful in ensuring that i-type amorphous layers (like those described herein) are formed on textured surfaces with the desired degree of layer-uniformity.

[0059] The discussion above relates to semiconductor structures which are often used as solar cell devices. One or more of these devices can be incorporated into the form of a solar module. For example, a number of the solar cells can be electrically connected to each other, in series or in parallel, to form the module. (Those of ordinary skill in the art are familiar with details regarding the electrical connections, etc). Such a module is capable of much greater energy output than the individual solar cell devices.

[0060] Non-limiting examples of solar modules are described in various references, e.g., U.S. Patent 6,667,434 (Morizane et al), which is incorporated herein by reference. The modules can be formed by various techniques. For example, a number of solar cell devices can be sandwiched between glass layers, or between a glass layer and a transparent resin sheet, e.g., those made from EVA (ethylene vinyl acetate). Thus, according to some embodiments of this invention, solar modules contain at least one solar cell device which itself comprises a compositionally-graded amorphous layer adjacent a semiconductor substrate, as described previously. The use of the graded layers can improve device properties like photoelectric conversion efficiency, etc., and thereby improve the overall performance of the solar module.

[0061] The Morizane et al reference also describes various other features for some of the solar modules. For example, the patent describes "two-side incidence"-type solar modules in which light can contact both front and rear surfaces of the module. Moreover, the patent describes solar modules which must be extremely moistureproof (e.g., those used outdoors). In these types of modules, sealing resins can be used to seal the side of each solar cell element. Furthermore, the modules may include various resinous layers which prevent the undesirable diffusion of sodium from nearby glass layers. All of these types of solar modules may incorporate devices which comprise the compositionally-graded amorphous layer (or layers) described herein.

[0062] Those skilled in the art are generally familiar with many other details regarding the primary components of the solar modules, e.g., the various substrate materials, backing materials, and module frames. Other details and considerations are also well-known, e.g., wire connections in and out of the module (for example, those leading to an electrical inverter); as well as various module encapsulation techniques.

EXAMPLES

[0063] A general example is provided below. It should be viewed as merely illustrative, and should not be construed to be any sort of limitation on the scope of the claimed invention.

[0064] The fabrication of photovoltaic devices according to some embodiments of the present invention can be undertaken as follows: Monocrystalline or polycrystalline semiconductor substrates (or silicon wafers) of one conductivity type can first be etched by conventional techniques. For example, a texturing solution containing selected proportions of ultra-pure deionized water, potassium hydroxide (KOH, 45% concentration), and isopropyl alcohol can first be prepared in a quartz vessel. The temperature of the texturing solution is usually maintained at about 65°C - 80°C. The substrate can then be immersed in the agitated solution for a period of time determined to be suitable to achieve the desired degree of etching (typically about 5-60 minutes). Following the texturing step, the substrate is removed and rinsed with deionized water.

[0065] In some instances, the substrate is subjected to various pre-treatment steps, prior to texturing. For example, the substrate (e.g., a wafer) can be immersed in a buffer-oxide-etch (BOE) solution for 60 seconds, followed by a surface damage-removal etch. The latter step can be carried out in a 1 : 1 solution of KOH : H_2O solution for 30 minutes at 85°C, and can result in the desired thinning of the substrate by about 30 microns. The wafer can then be stored in isopropyl alcohol for at least 10 minutes, to prevent surface oxidation.

[0066] With reference to the exemplary embodiment of FIG. 3, the substrate 10 can then be placed in a plasma reaction chamber (for example: a plasma enhanced chemical vapor deposition system), in preparation for the formation of the features on the front side of the device. A vacuum pump is used to remove atmospheric gases

SAMSUNG EX. 1002 - 174/2862

from the chamber, and the substrate is then pre-heated to about 120 to about 240°C. An optional hydrogen plasma surface preparation step is performed on the front surface of the substrate. Hydrogen (H_2) is introduced into the chamber at a flow rate of about 50 to about 500 seem (standard cubic centimeters per minute). A throttle valve is used to maintain a constant processing pressure in the range of about 200 mTorr to about 800 mTorr. Alternating frequency input power with a power density in the range of about 6 mW/cm^2 to about 50 mW/cm^2 range is used to ignite and maintain the plasma. Applied input power can be from about 100 kHz to about 2.45 GHz. Hydrogen plasma surface preparation time is about 1 to about 60 seconds.

[0067] At the end of the hydrogen plasma preparation step (if such a step is employed), silane (SiH_4) is introduced into the process chamber at a flow rate of about 10 seem to about 300 seem. This will initiate the deposition of the intrinsic amorphous silicon layer 16. (In this embodiment, there are no dopant precursors included in the plasma, so that the composition of the amorphous layer is intrinsic (undoped), thus serving to passivate the surface of the semiconductor substrate). Deposition continues until the intrinsic layer achieves the desired, average thickness. As described above, the layer usually conforms to the surface profile of the underlying substrate, and would thus also have a textured surface.

[0068] After formation of intrinsic layer 16, transparent anti-reflective layer or coating 18 can be formed within a suitable process chamber. As mentioned previously, a number of techniques can be used to form such a layer, such as sputtering, CVD, evaporation, and the like. Deposition continues until layer 18 has a desired thickness. As in the case of layer 16, layer 18 will usually conform closely to the underlying surface, thus resulting in a textured uppermost surface 20.

[0069] Substrate 10 can then be repositioned in the vacuum chamber, in preparation for the formation of all of the backside features. There are a number of details regarding formation of each of the backside amorphous layers, as well as the overlying metal contacts, and intervening, optional electrode layers. There is no need to elaborate on the many steps involved in the formation of these layers, since they are very conventional to the semiconductor industry. As those skilled in the art understand, the formation of the various layers on the backside involves a serious of deposition and photolithographic steps, e.g., masking, curing (exposure), photoresist lift-off, etching, and the like.

[0070] A brief review will be undertaken in regard to formation of graded layers 22 and 32. (The steps in their formation can be substantially equivalent, although different dopant atoms are used to provide the different conductivity types). As described for the front side of the device, a hydrogen plasma preparation step may first be undertaken on the backside, in which silane is introduced into the process chamber at a flow rate of about 10 seem to about 300 seem. This will result in the formation of intrinsic amorphous regions 24 and 34 (depending on which layer is being formed first). In each instance, the absence of dopant precursors functions to passivate the back surface 14 of the substrate.

[0071] As the deposition process for each of layers 22 and 32 progresses, the desired dopant precursor is subsequently added to the plasma mixture. Examples of dopant precursors are: B_2H_6, $B(CH_3)_3$, and PH_3. These may be in pure form or diluted with a carrier gas such as argon, hydrogen or helium. The flow rate of the precursor is increased over the course of the compositionally-graded layer deposition. This forms a gradient in the doping concentration through the single layer. At the conclusion of the graded layer deposition process, concentrations of dopant precursor in the plasma are such that substantially doped amorphous semiconductor properties are achieved, i.e., in regions 26 and 36.

[0072] Electrode layers 28 and 38 (if present) can then be formed over the respective, graded layers, according to one or more of the techniques described previously, such as sputtering. Contacts 30 and 40 can also be formed in the conventional manner, e.g., by screen-printing. Isolation trench 42 can also be formed in known fashion, e.g., by laser-drilling or mechanical scribing. Those skilled in the art will be familiar with other conventional fabrication steps for the device as well. Moreover, the patents and other references set forth above provide further details regarding the manufacture of modules which contain multiple devices of this type.

[0073] Although the present invention has been described and illustrated in detail, it should be clearly understood that the description discloses examples of different embodiments of the invention, and is not intended to be limited to the examples or illustrations provided. Accordingly, various modifications, adaptations, and alternatives may occur to one skilled in the art without departing from the scope of the claimed inventive concept. All of the patents, patent applications, articles, and texts which are mentioned above are incorporated herein by reference.

Claims

1. A semiconductor structure, comprising:

   (a) a semiconductor substrate (10) of one conductivity type, having a front surface (12) and a back surface (14);
   (b) a first amorphous semiconductor layer (16) disposed on the front surface (12) of the semiconductor substrate (10);
   (c) a second amorphous semiconductor layer (22) disposed on a portion of the back surface (14) of the semiconductor substrate (10), wherein the second amorphous semiconductor layer (22) is compositionally graded through its depth, from substantially intrinsic at the interface with

SAMSUNG EX. 1002 - 175/2862

the substrate (10), to substantially conductive at the opposite side, said second amorphous semiconductor layer (22) having a selected conductivity type obtained by the incorporation of selected dopant atoms; and

(d) a third amorphous semiconductor layer (32) disposed on another portion of the back surface (14) of the semiconductor substrate (10), and spaced from the second amorphous semiconductor layer (22), wherein the third amorphous semiconductor layer (32) is compositionally graded through its depth, from substantially intrinsic at the interface with the substrate (10), to substantially conductive at the opposite side, said third amorphous semiconductor layer(32) having a conductivity type different from that of the second amorphous layer (22), and obtained by the incorporation of selected dopant atoms.

2. The semiconductor structure of claim 1, wherein for both the second amorphous semiconductor layer (22) and the third amorphous semiconductor layer (32), the concentration of dopant atoms at the interface with the substrate (10) is substantially zero; and the concentration of dopant atoms at the opposite side is in the range of about 1 x 10^{16} cm to about 1 x 10^{21} cm^{-3}.

3. The semiconductor structure of claim 1 or claim 2, wherein at least one electrical contact (30) is disposed over the second amorphous semiconductor layer (22), and at least one electrical contact (40) is disposed over the third amorphous semiconductor layer (32).

4. The semiconductor structure of claim 3, wherein an electrode layer (28) is disposed between the second amorphous semiconductor layer (22) and its overlying electrical contact (30); and an electrode layer (38) is disposed between the third amorphous semiconductor layer (32) and its overlying electrical contact (40).

5. The semiconductor structure of any preceding claim, wherein the second amorphous semiconductor layer (22) is spaced from the third amorphous semiconductor layer (32) by an isolation trench (42).

6. The semiconductor structure of any preceding claim, wherein a transparent layer (18) is disposed on the first amorphous semiconductor layer (16).

7. The semiconductor structure of claim 6, wherein the transparent layer (18) comprises an anti-reflective structure.

8. The semiconductor structure of claim 6, wherein the transparent layer (18) is formed of a material comprising silicon nitride.

9. The semiconductor structure of any preceding claim, wherein the substrate (10) is monocrystalline or polycrystalline; and is n-type or p-type.

10. The semiconductor structure of any preceding claim, wherein the first amorphous semiconductor layer (16) is intrinsic.

11. The semiconductor structure of any one of claims 1 to 9, wherein the first amorphous semiconductor layer (16) is compositionally graded through its depth, from substantially intrinsic at the interface with the substrate (10), to substantially conductive at the opposite side.

12. The semiconductor structure of any preceding claim, wherein the front surface (12) of the substrate (10) is textured.

13. The semiconductor structure of claim 3, wherein at least one electrical contact (30) disposed on the second amorphous semiconductor layer (22) is interdigitated with at least one electrical contact (40) disposed on the third amorphous semiconductor layer (32).

14. A solar cell, comprising a semiconductor structure having an all-back-contact configuration, wherein at least one amorphous semiconductor layer of the structure comprises a compositionally-graded dopant atom profile.

15. A method for making a photovoltaic device, comprising the steps of:

(I) forming a first amorphous semiconductor layer (16) over a front surface (12) of a semiconductor substrate (10);

(II) forming a second amorphous semiconductor layer (22) on a portion of a back surface (14) of the semiconductor substrate (10), by depositing semiconductor material and a dopant over the back surface portion, while altering the concentration of the dopant, so that the second amorphous semiconductor layer (22) becomes compositionally-graded through its depth, from substantially intrinsic at the interface with the back surface (14) of the substrate, to substantially conductive at the opposite side; and

(III) forming a third amorphous semiconductor layer (32) on another portion of the back surface (14) of the semiconductor substrate (10), by depositing semiconductor material and a dopant over the back surface portion, while altering the concentration of the dopant, so that the third amorphous semiconductor layer (32) becomes

SAMSUNG EX. 1002 - 176/2862

compositionally-graded through its depth, from substantially intrinsic at the interface with the back surface (14) of the substrate (10), to substantially conductive at the opposite side.

SAMSUNG EX. 1002 - 177/2862

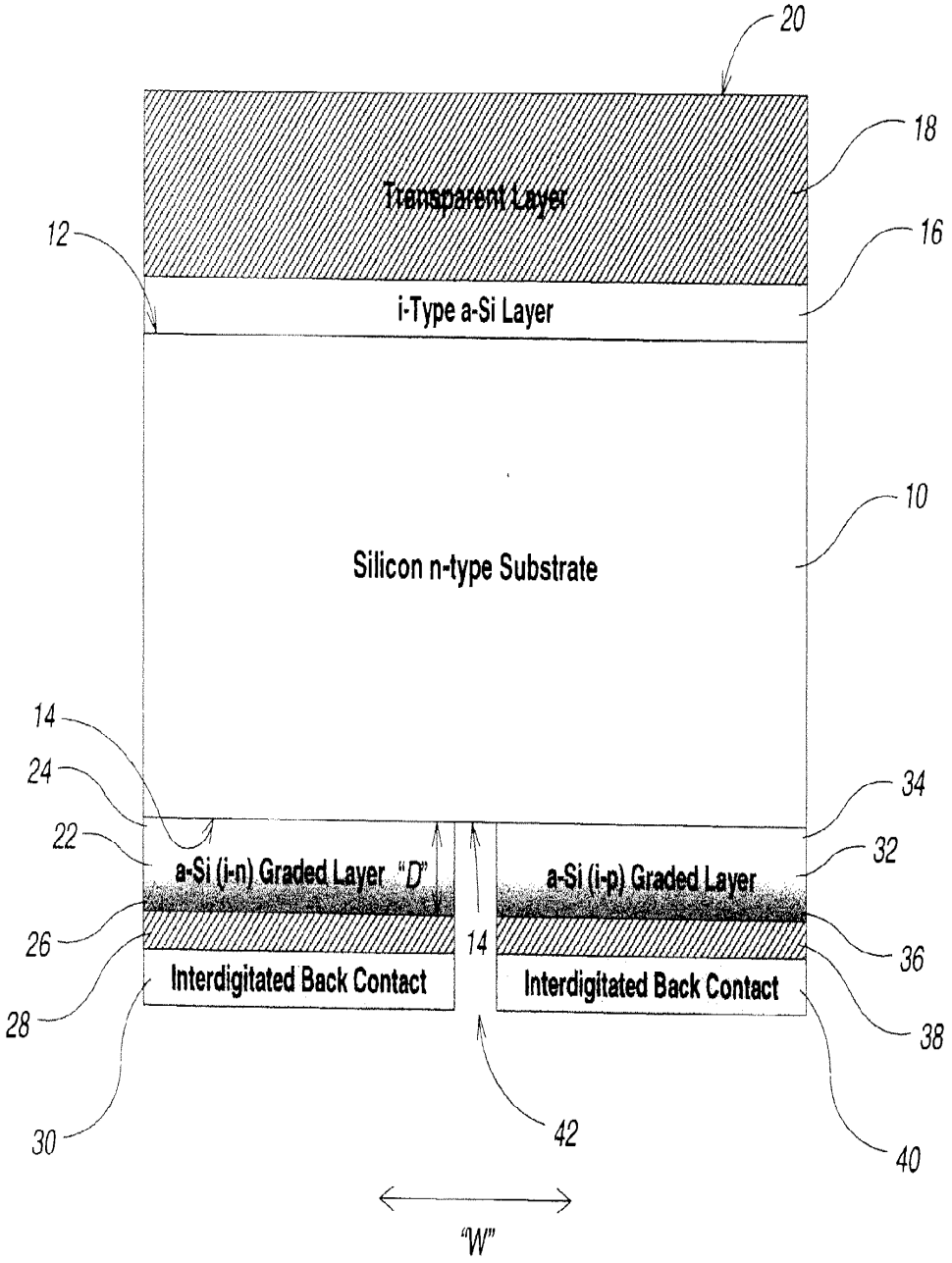


FIG. 1

EP 1 873 840 A1

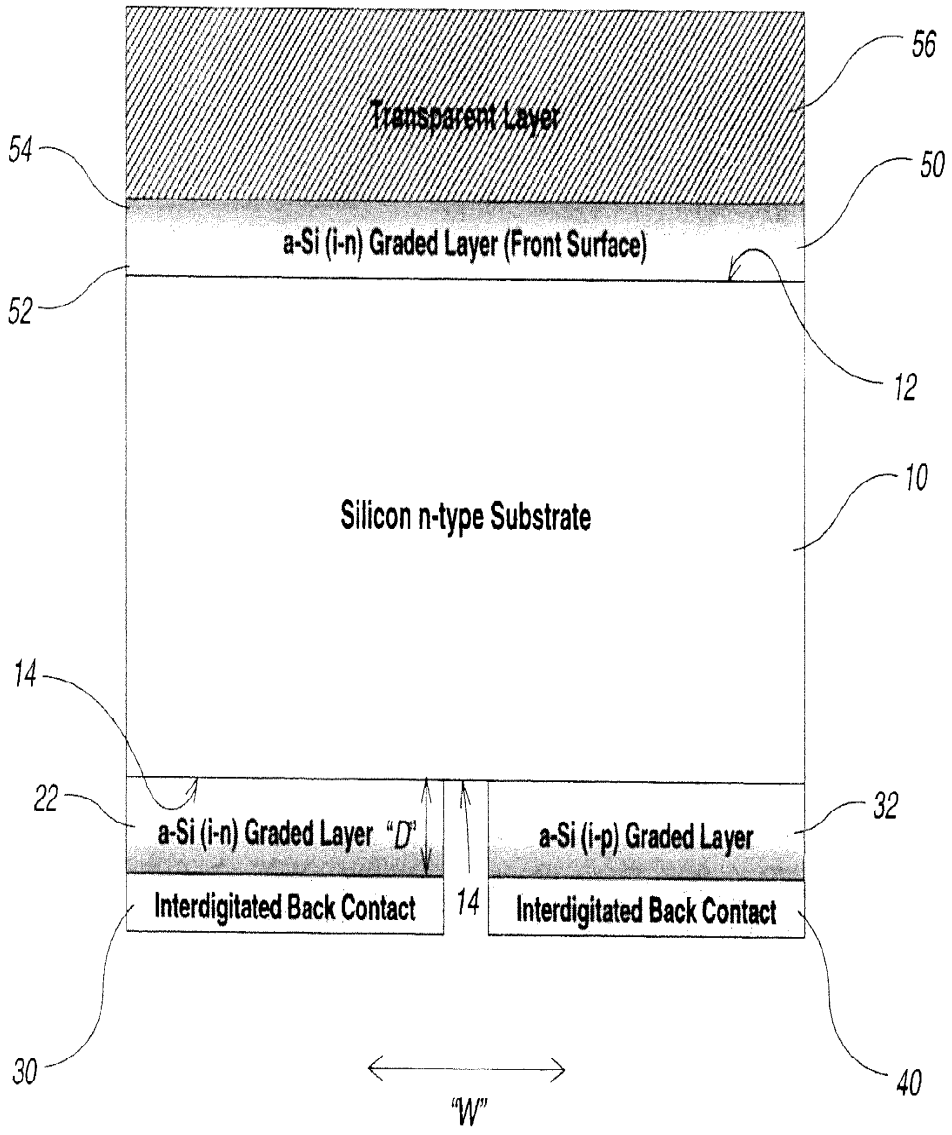

Transparent Layer
56
54
50
a-Si (i-n) Graded Layer (Front Surface)
52
12
Silicon n-type Substrate
10
14
22
a-Si (i-n) Graded Layer "D"
a-Si (i-p) Graded Layer
32
Interdigitated Back Contact
14
Interdigitated Back Contact
30
40
"W"

FIG. 2

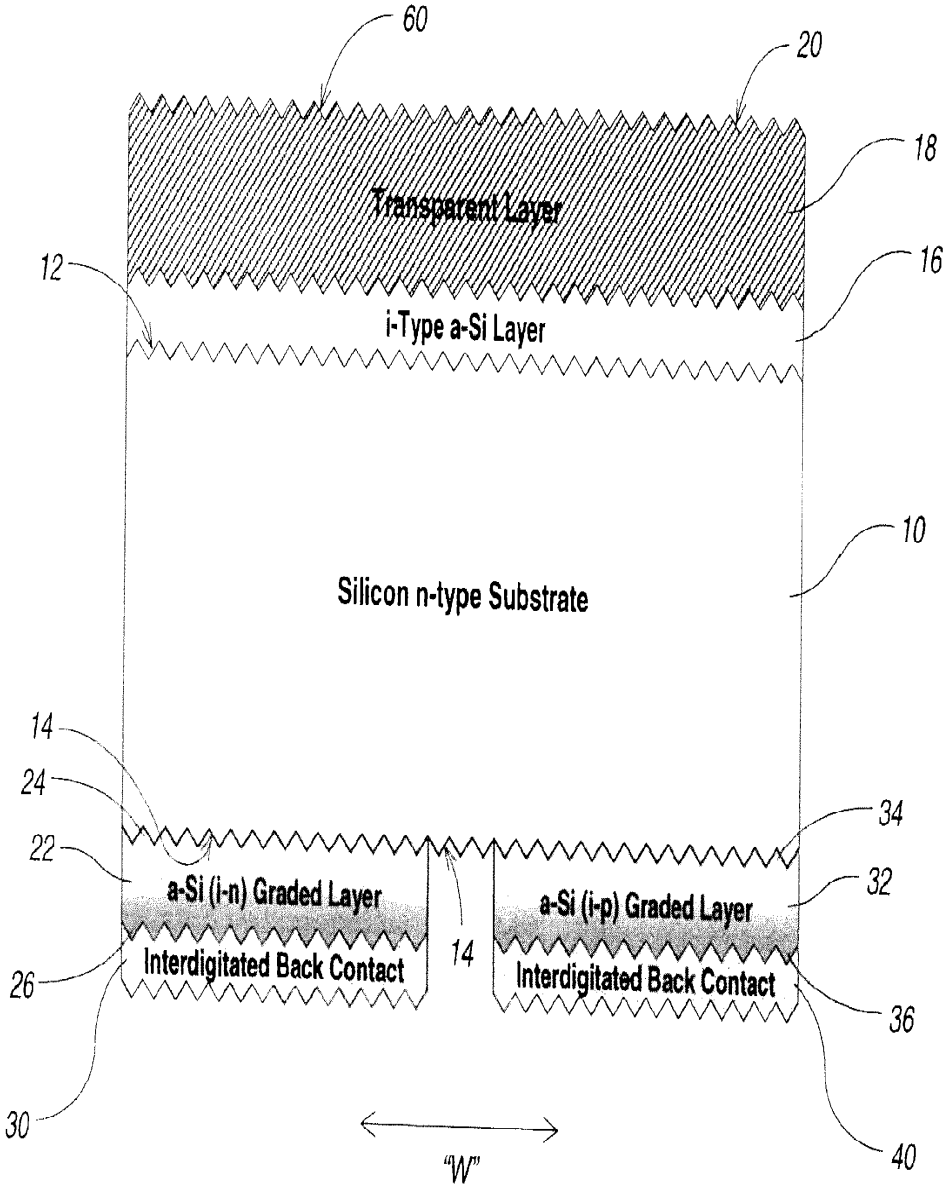

60
20
18
Transparent Layer
12
16
i-Type a-Si Layer
10
Silicon n-type Substrate
14
24
22
34
a-Si (i-n) Graded Layer
a-Si (i-p) Graded Layer
32
14
26
Interdigitated Back Contact
Interdigitated Back Contact
36
30
40
"W"

FIG. 3

European Patent Office

EUROPEAN SEARCH REPORT

Application Number
EP 07 11 0609

DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document with indication, where appropriate, of relevant passages	Relevant to claim	CLASSIFICATION OF THE APPLICATION (IPC)
P,X	WO 2006/077343 A (COMMISSARIAT ENERGIE ATOMIQUE [FR]; RIBEYRON PIERRE JEAN [FR]) 27 July 2006 (2006-07-27) * abstract; claim 11; figure 1 * * pages 17-24 *	1,3-10, 13-15	INV. H01L31/0352 H01L31/068 H01L31/20 H01L29/36
E	-& EP 1 839 341 A (COMMISSARIAT ENERGIE ATOMIQUE [FR]) 3 October 2007 (2007-10-03)	1,3-10, 13-15	ADD. H01L31/0236
P,X	WO 2006/135443 A (BP CORP NORTH AMERICA INC [US]; CARLSON DAVID E [US]) 21 December 2006 (2006-12-21) * abstract; figures 7,8 * * page 16 * * pages 22-23 *	1,3-9, 11-15	
Y	WO 03/083955 A (EBARA CORP [JP]; MISHIMA TAKAHIRO [JP]; ISHIKAWA NAOKI [JP]) 9 October 2003 (2003-10-09) * abstract; figures 1,4-6 * * pages 5,6,8,10 *	1-15	
Y	MAJUMDAR D ET AL: "Effect of controlled dopant distribution in thin silicon solar cell" SOLAR ENERGY MATERIALS AND SOLAR CELLS, ELSEVIER SCIENCE PUBLISHERS, AMSTERDAM, NL, vol. 81, no. 4, 1 March 2004 (2004-03-01), pages 459-468, XP004490919 ISSN: 0927-0248 * the whole document *	1-15	TECHNICAL FIELDS SEARCHED (IPC) H01L
Y	EP 0 875 945 A2 (SHARP KK [JP]) 4 November 1998 (1998-11-04) * abstract; figure 2 * * columns 9,10 *	1-14	

-/--

The present search report has been drawn up for all claims

Place of search	Date of completion of the search	Examiner
The Hague	9 October 2007	Heising, Stephan

CATEGORY OF CITED DOCUMENTS

X : particularly relevant if taken alone
Y : particularly relevant if combined with another document of the same category
A : technological background
O : non-written disclosure
P : intermediate document

T : theory or principle underlying the invention
E : earlier patent document, but published on, or after the filing date
D : document cited in the application
L : document cited for other reasons

& : member of the same patent family, corresponding document

EPO FORM 1503 03.82 (P04C01)

SAMSUNG EX. 1002 - 181/2862

European Patent Office

EUROPEAN SEARCH REPORT

Application Number
EP 07 11 0609

DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document with indication, where appropriate, of relevant passages	Relevant to claim	CLASSIFICATION OF THE APPLICATION (IPC)
A	KUIVALAINEN P ET AL: "Contribution to the theory of drift-field solar cells" JOURNAL OF PHYSICS D. APPLIED PHYSICS, INSTITUTE OF PHYSICS PUBLISHING, BRISTOL, GB, vol. 15, no. 5, 14 May 1982 (1982-05-14), pages L39-L42, XP020012259 ISSN: 0022-3727 -----	1-15	
A	BRODSKY ET AL: "Doping of Sputtered Amorphous Semiconductors" IP.COM JOURNAL, IP.COM INC., WEST HENRIETTA, NY, US, 1 May 1977 (1977-05-01), XP013077151 ISSN: 1533-0001 -----	1-15	
A	VERLINDEN P ET AL COMMISSION OF THE EUROPEAN COMMUNITIES: "MULTILEVEL METALLIZATION FOR LARGE AREA POINT-CONTACT SOLAR CELLS" PROCEEDINGS OF THE INTERNATIONAL PHOTOVOLTAIC ENERGY CONFERENCE. FLORENCE, MAY 9 - 13, 1988, DORDRECHT, KLUWER, NL, vol. VOL. 2 CONF. 8, 9 May 1988 (1988-05-09), pages 1466-1471, XP000044541 -----	13	TECHNICAL FIELDS SEARCHED (IPC)

The present search report has been drawn up for all claims

Place of search	Date of completion of the search	Examiner
The Hague	9 October 2007	Heising, Stephan

CATEGORY OF CITED DOCUMENTS

X : particularly relevant if taken alone
Y : particularly relevant if combined with another document of the same category
A : technological background
O : non-written disclosure
P : intermediate document

T : theory or principle underlying the invention
E : earlier patent document, but published on, or after the filing date
D : document cited in the application
L : document cited for other reasons

& : member of the same patent family, corresponding document

EPO FORM 1503 03.82 (P04C01)

SAMSUNG EX. 1002 - 182/2862

ANNEX TO THE EUROPEAN SEARCH REPORT ON EUROPEAN PATENT APPLICATION NO. EP 07 11 0609

This annex lists the patent family members relating to the patent documents cited in the above-mentioned European search report. The members are as contained in the European Patent Office EDP file on
The European Patent Office is in no way liable for these particulars which are merely given for the purpose of information.

09-10-2007

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 2006077343 A	27-07-2006	EP 1839341 A1	03-10-2007
		FR 2880989 A1	21-07-2006
EP 1839341 A	03-10-2007	FR 2880989 A1	21-07-2006
		WO 2006077343 A1	27-07-2006
WO 2006135443 A	21-12-2006	DE 112005002592 T5	06-09-2007
WO 03083955 A	09-10-2003	AU 2003217486 A1	13-10-2003
		JP 2003298078 A	17-10-2003
EP 0875945 A2	04-11-1998	CN 1198597 A	11-11-1998
		DE 69827319 D1	09-12-2004
		DE 69827319 T2	10-11-2005
		JP 3468670 B2	17-11-2003
		JP 11017201 A	22-01-1999
		US 6130380 A	10-10-2000

EPO FORM P0459

For more details about this annex : see Official Journal of the European Patent Office, No. 12/82

SAMSUNG EX. 1002 - 183/2862

REFERENCES CITED IN THE DESCRIPTION

This list of references cited by the applicant is for the reader's convenience only. It does not form part of the European patent document. Even though great care has been taken in compiling the references, errors or omissions cannot be excluded and the EPO disclaims all liability in this regard.

Patent documents cited in the description

- US 5213628 A **[0009]**
- US 5648675 A, Terada **[0010]**
- US 20020069911 A1, Nakamura **[0010]**
- US 20030168660 A1, Terakawa **[0010]**
- US 20050062041 A1, Terakawa **[0010] [0045]**
- US 5053083 A, Sinton **[0014] [0045]**
- US 26315905 A, J. Johnson and V. Manivannan. **[0032]**
- US 4200472 A, Chappell **[0045]**
- US 20040200520 A1, Mulligan **[0045]**
- US 6670542 B, Sakata **[0058]**
- US 6667434 B, Morizane **[0060]**

Non-patent literature cited in the description

- **DAVID KING et al.** Experimental Optimization of an Anisotropic Etching Process for Random Texturization of Silicon Solar Cells. *IEEE Conference Proceedings,* 1991, 303-308 **[0055]**

SAMSUNG EX. 1002 - 184/2862

(19) Europäisches Patentamt
European Patent Office
Office européen des brevets

(11) EP 2 073 270 A2

(12) EUROPEAN PATENT APPLICATION

(43) Date of publication:
24.06.2009 Bulletin 2009/26

(51) Int Cl.:
H01L 27/146 *(2006.01)*

(21) Application number: **08021947.0**

(22) Date of filing: **17.12.2008**

(84) Designated Contracting States:
AT BE BG CH CY CZ DE DK EE ES FI FR GB GR HR HU IE IS IT LI LT LU LV MC MT NL NO PL PT RO SE SI SK TR
Designated Extension States:
AL BA MK RS

(30) Priority: **18.12.2007 JP 2007326175**

(71) Applicant: **Sony Corporation**
Tokyo 108-0075 (JP)

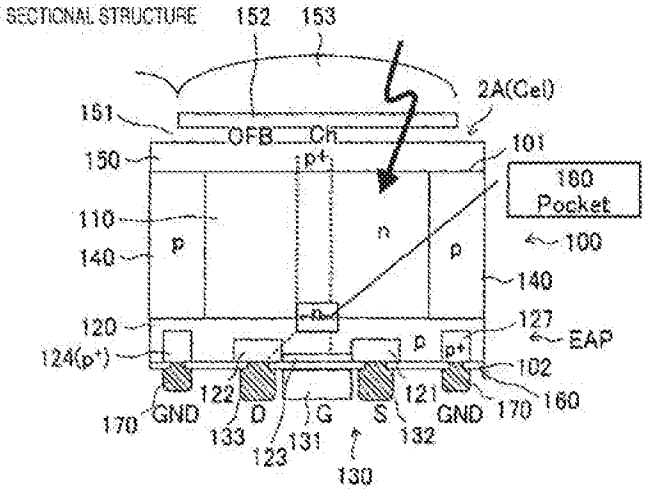
(72) Inventors:
- **Hirota, Isao**
  Tokyo 108-0075 (JP)
- **Harada, Kouichi**
  Tokyo 108-0075 (JP)
- **Karasawa, Nobuhiro**
  Tokyo 108-0075 (JP)
- **Maruyama, Yasushi**
  Tokyo 108-0075 (JP)
- **Nitta, Yoshikazu**
  Tokyo 108-0075 (JP)
- **Terakago, Hiroyuki**
  Tokyo 108-0075 (JP)
- **Takashima, Hajime**
  Tokyo 108-0075 (JP)
- **Nomura, Hideo**
  Tokyo 108-0075 (JP)

(74) Representative: **Müller - Hoffmann & Partner**
Patentanwälte
Innere Wiener Strasse 17
81667 München (DE)

(54) Solid-state imaging device and camera

(57) A solid-state imaging device includes pixel cells that are formed on a substrate having a first substrate surface side, on which light is irradiated, and a second substrate surface side, on which elements are formed, and separated by an adjacent cell group and an element separation layer for each of the pixel cells or with plural pixel cells as a unit. Each of the pixel cells has a first conductive well formed on the first substrate surface side and a second conductive well formed on the second substrate surface side. The first conductive well receives light from the first substrate surface side and has a photoelectric conversion function and a charge accumulation function for the received light. A transistor that detects accumulated charges in the first conductive well and has a threshold modulation function is formed in the second conductive well.

FIG. 2B



EP 2 073 270 A2

SAMSUNG EX. 1002 - 185/2862

Description

CROSS-REFERENCES TO RELATED APPLICATIONS

[0001] The present invention contains subject matter related to Japanese Patent Application JP 2007-326175 filed in the Japanese Patent Office on December 18, 2007, the entire contents of which being incorporated herein by reference.

BACKGROUND OF THE INVENTION

1. Field of the Invention

[0002] The present invention relates to a solid-state imaging device and a camera having a photoelectric conversion element.

2. Description of the Related Art

[0003] It is known that, in solid-state imaging devices such as a CCD image sensor and a CMOS image sensor, a crystal defect in a photodiode as a photoelectric conversion element of a light sensing section and a deep level defect in an interface between the light sensing section and an insulating film thereon cause dark current.

[0004] As a method of suppressing the occurrence of the dark currents due to the interface state density, an embedded photodiode structure is effective. The embedded photodiode is configured by, for example, forming an n-type semiconductor region and forming a shallow p-type semiconductor region (a hole accumulation region) with high impurity density for the suppression of the dark currents near the surface of the n-type semiconductor region, i.e., an interface between the n-type semiconductor region and an insulating film.

[0005] As a method of manufacturing the embedded photodiode, it is a general practice to ion-implant B or BF_2 serving as p-type impurities and annealing the same and form a p-type semiconductor region near the interface between the n-type semiconductor region forming the photodiode and the insulating film.

[0006] In the CMOS image sensor, each of pixels includes a photodiode and various kinds of transistors such as readout, reset, and amplification transistors. A signal photoelectrically converted by the photodiode is processed by these transistors. A wiring layer including multilayer metal wiring is formed above each of the pixels. A color filter that specifies the wavelength of light made incident on the photodiode and an on-chip lens that condenses light on the photodiode are formed on the wiring layer.

[0007] As such a CMOS image sensor, device structures having various characteristics are proposed.

[0008] Specifically, there is proposed various devices such as a charge modulation device (CMD, see Japanese Patent No. 1938092, JP-A-6-120473, and JP-A-60-140752) that adopts a CCD-like characteristic in a photoelectric conversion element structure, a bulk charge modulation device (BCMD, see JP-A-64-14959), a floating well amplifier (FWA, see Japanese Patent No. 2692218 and Japanese Patent No. 3752773) in which a channel is formed on the surface thereof according to a charge amount of photo-holes accumulated to a maximum point, a source to drain current changes according to the charge amount on the surface, and, as a result, readout corresponding to a signal charge is possible, and a Vth modulation image sensor (VMIS, see JP-A-2-304978, JP-A-2005-244434, Japanese Patent No. 2935492, and JP-A-2005-85999) in which a light sensing section and a signal detecting section are divided and arranged adjacent to each other.

[0009] There is also proposed a solid-state imaging device in which a light sensing element having all functions of performing photoelectric conversion using incident light, accumulating signal charges obtained by the photoelectric conversion, and outputting signal voltage according to a charge amount of the accumulated signal charges has a potential distribution for facilitating the signal charges to be accumulated in the same place in terms of a plane and facilitating a surface channel current to flow (see JP-A-2003-31785).

[0010] These CMOS image sensors are basically front-illuminated solid-state imaging devices that irradiate light from a front side of a device.

[0011] On the other hand, there is proposed a back (rear)-illuminated solid-state imaging device that has a rear side of a silicon substrate, on which a photodiode and various transistors are formed, ground to be thinned and makes light incident from the rear side of the substrate to perform photoelectric conversion (see JP-A-10-65138).

SUMMARY OF the INVENTION

[0012] In the front-illuminated CMD, BCMD, FWA, VMIS, and the like, since the substrate is used as an overflow, back (rear) illumination is difficult and reset voltage is high.

[0013] In the front-illuminated CMD, BCMD, FWA, VMIS, and the like, since a light sensing section is arranged beside a pickup transistor, there is a disadvantage that an aperture ratio falls.

[0014] In an existing photo-gate structure, since light is received through a thin-film gate, there is a disadvantage that blue sensitivity falls.

[0015] When a photo-gate type MOS transistor is formed on an n- layer in the front-illuminated type as in the BCMD, carrier generation by light irradiation is performed near the surface of a semiconductor. Therefore, there is a disadvantage that carriers are captured by a trap present in an interface between the semiconductor and an insulating film, accumulated carriers are not immediately discharged even if reset voltage is applied, and a device characteristic is affected.

[0016] When a light sensing photodiode region and a

SAMSUNG EX. 1002 - 186/2862

signal detection transistor are arranged to be adjacent to each other in the front-illuminated type as in the VMIS, accumulation and modulation operation for charges generated by light reception are not dynamic actions and are performed separate in terms of time. This is disadvantageous for high-speed signal processing.

[0017] Similarly, when the light sensing photodiode region and the signal detection transistor are arranged to be adjacent to each other in the front-illuminated type, contrivance such as provision of a light shielding film above a signal detecting section is necessary. Therefore, there is a disadvantage that an element manufacturing process is complicated.

[0018] In the front-illuminated BCMD image sensor, since an entire channel region below a photo-gate electrode is a charge accumulation layer, a current-voltage characteristic (ID-VDD) is not a saturation characteristic but is a triode characteristic. Therefore, there is a disadvantage that, when the image sensor is used in a source follower type, the image sensor is hard to use.

[0019] Further, in the front-illuminated CMOS image sensor, there is a disadvantage that light is blocked by wiring above pixels, sensitivity of each of the pixels falls, and, when the light reflected by the wiring is made incident on adjacent pixels, color mixture and the like are caused.

[0020] In the solid-state imaging device disclosed in JP-A-2003-31785, a two-layer gate structure is used in order to realize one transistor with a single well. Therefore, there is a disadvantage that, for example, special work is necessary for an element separation area and an element manufacturing process is complicated.

[0021] Since this solid-state imaging device is also the front-illuminated type, the solid-state imaging device also has the problems such as the fall in the blue sensitivity and the color mixture of the front-illuminated type.

[0022] In the case of the back-illuminated solid-state imaging device disclosed in JP-A-10-65136, hole accumulation regions are formed on a front side and a rear side of the substrate. However, there is a limit in formation of a shallow and dense p-type semiconductor region by ion implantation. Therefore, when it is attempted to further increase the impurity density of the p-type semiconductor region for suppression of dark currents, the p-type semiconductor region is deepened. When the p-type semiconductor region is deepened, since pn junction of the photodiode is separated from a transfer gate, it is likely that a readout ability by the transfer gate falls.

[0023] Therefore, it is desirable to provide a solid-state imaging device and a camera that can efficiently and quickly perform a series of operations such as generation and accumulation of photo-carriers, readout of charges, and transmission (reset) of remaining charges, prevent the influence of a trap on carriers in a silicon interface due to light, and realize improvement of sensitivity and pixel size shrinking without deteriorating sensitivity of light with respect to blue.

[0024] According to an embodiment of the present invention, there is provided a solid-state imaging device including pixel cells that are formed on a substrate having a first substrate surface side, on which light is irradiated, and a second substrate surface side, on which elements are formed, and separated by an adjacent cell group and an element separation layer for each of the pixel cells or with plural pixel cells as a unit. Each of the pixel cells has a first conductive well formed on the first substrate surface side and a second conductive well formed on the second substrate surface side. The first conductive well receives light from the first substrate surface side and has a photoelectric conversion function and a charge accumulation function for the received light. A transistor that detects accumulated charges in the first conductive well and has a threshold modulation function is formed in the second conductive well.

[0025] Preferably, the accumulated charges and signal charges are identical carriers.

[0026] Preferably, the transistor has a function of a readout transistor, a function of a reset transistor, and a function of a selection transistor.

[0027] Preferably, the transistor has a source and a drain and a gate electrode formed on a channel formation region between the source and the drain, and pixel signal reset is an operation for discarding charges in the drain.

[0028] Preferably, the pixel cell has a gamma characteristic that a modulation degree increases when illuminance is low.

[0029] Preferably, the pixel cell has the structure in which a capacity increases during a large signal output and has a function of realizing a high dynamic range according to the gamma characteristic.

[0030] Preferably, a second conductive separation layer is formed at least on a side of the first conductive well of the first conductive well and the second conductive well.

[0031] Preferably, a first conductive source region and a first conductive drain region are formed in the second conductive well or the second conductive separation layer, and a gate electrode is formed on a channel formation region in the second conductive well between the source region and the drain on the second substrate surface side of the substrate.

[0032] Preferably, a plurality of the pixel cells are arranged in an array form and share, with adjacent pixel cells, a part or a plurality of contacts of the drain, the source, the wells, or the gate.

[0033] Preferably, the contacts of the drain, the source, the wells, and the gate are arranged in four directions of a pixel array of the gate.

[0034] Preferably, a plurality of the pixel cells are arranged in an array form, a gate electrode of the pixel cells are formed in common to the pixel cells in a stripe shape in one direction of the pixel array, and a well contact is formed on the source region side or the drain region side.

[0035] Preferably, a well contact region is formed in the second conductive separation layer.

[0036] Preferably, the well contact region is formed in

SAMSUNG EX. 1002 - 187/2862

the second conductive separation layer on the first substrate surface side.

[0037] Preferably, when the well contact is formed on the drain side, the well contact is formed in a pinch shape with drain width reduced.

[0038] Preferably, in the arrangement of the pixel cells in the array form, the drain contacts are divided into two or more groups in a column and share a column circuit of a signal readout processing system.

[0039] Preferably, drain line wiring is backed by a conductor in order to reduce resistance.

[0040] Preferably, the solid-state imaging device has, in the gate electrode of the transistor on the second substrate surface side or a further front section of the gate electrode, a reflector that reflects light transmitted through the substrate and makes the light incident on the second conductive well and the first conductive well of the substrate.

[0041] Preferably, the thickness of the substrate is set to thickness with which near infrared light can be utilized as the reflected light of the reflector.

[0042] Preferably, the thickness of the substrate is set to thickness with which red (R) light can be utilized as the reflected light of the reflector.

[0043] Preferably, electrode wiring is formed by a transparent film having high visible light transmittance.

[0044] Preferably, the reflector is used as a predetermined wiring layer as well.

[0045] Preferably, charges are injected from the drain to the pixels immediately before pixel reset and then the pixels are reset.

[0046] Preferably, the solid-state imaging device includes an inverse γ correction circuit that performs inverse gamma correction using a transistor having a back gate terminal of the structure same as that of the transistor of the pixel cells.

[0047] Preferably, the solid-state imaging device includes a signal processing system for reading out a signal from the pixel cells, and the signal processing system includes a comparator and utilizes a reset level of a preceding line as a reference level of the comparator.

[0048] Preferably, the signal processing system has a function of performing analog sampling during D phase readout and performing digital sampling during P phase readout.

[0049] Preferably, the pixel cells are arranged in an array form to obtain one output signal with plural pixels.

[0050] Preferably, the pixel cells are arranged in an array form and separated by the element separation layer in a unit of plural pixels to obtain one output signal.

[0051] Preferably, the solid-state imaging device includes a signal processing system that performs, during signal readout from the pixels, destructive readout for continuing photoelectric conversion without resetting the pixels.

[0052] According to another embodiment of the present invention, there is provided a camera including a solid-state imaging device that receives light from a first substrate surface side of a substrate, an optical system that guides incident light to the first substrate surface side of the solid-state imaging device, and a signal processing circuit that processes an output signal of the solid-state imaging device. The solid-state imaging device includes pixel cells that are formed on the substrate having the first substrate surface side, on which light is irradiated, and a second substrate surface side, on which elements are formed, and separated by an adjacent cell group and an element separation layer for each of the pixel cells or with plural pixel cells as a unit. Each of the pixel cells has a first conductive well formed on the first substrate surface side and a second conductive well formed on the second substrate surface side. The first conductive well receives light from the first substrate surface side and has a photoelectric conversion function and a charge accumulation function for the received light. A transistor that detects accumulated charges in the first conductive well and has a threshold modulation function is formed in the second conductive well.

[0053] According to the embodiments of the present invention, light is irradiated on the pixels of the cell structure from the substrate rear surface (first substrate surface) side, photoelectric conversion of the received light is performed in the first conductive well, and charges of the light is accumulated.

[0054] The charge accumulation is detected and threshold modulation of the transistor formed in the second conductive well is performed to extract a signal.

[0055] In this way, the pixel cells have the double-well structure in the back-illuminated type. The accumulated charges and channel currents (signal charges) are identical carriers.

[0056] According to the embodiments of the present invention, it is possible to efficiently and quickly perform a series of operations such as generation and accumulation of photo-carriers, readout of charges, and transmission (reset) of remaining charges.

[0057] Further, it is possible to prevent the influence of a trap on carriers in a silicon interface due to light and realize improvement of sensitivity and pixel size shrinking without deteriorating sensitivity of light to blue.

BRIEF DESCRIPTION OF THE DRAWINGS

[0058]

Fig. 1 is a block diagram of a schematic configuration of a solid-state imaging device according to an embodiment of the present invention;

Figs. 2A and 2B are diagrams of a basic structure of a pixel section of the solid-state imaging device according to the embodiment;

Fig. 3 is a diagram of an equivalent circuit of a pixel cell according to the embodiment;

Fig. 4 is a diagram for explaining what kind of relation the wavelength of incident light has with an arrangement of transistors in the case of a front-illuminated

SAMSUNG EX. 1002 - 188/2862

BMCD;
Fig. 5 is a diagram of an overview of an energy band state formed by a transparent electrode, a gate silicon oxide film, and silicon monocrystal in the case of a front-illuminated type;
Fig. 6 is a diagram of a change in potential with respect to electrons in a semiconductor substrate in a direction perpendicular to a semiconductor substrate surface in each region according to a change in a potential state of the device shown in Figs. 2A and 2B;
Fig. 7 is a diagram of an example of a potential distribution in an a-a' line shown in Figs. 2A and 2B;
Fig. 8 is a schematic diagram of a configuration of a signal readout processing system according to the embodiment;
Fig. 9 is a diagram of an example of a layout of pixel cells in the pixel section according to the embodiment;
Figs. 10A and 10B are simplified sectional views taken along an a-a' line and a b-b' line shown in Fig. 9;
Fig. 11 is a diagram of the structure in which the pixel cells are arranged to be rotated 45 degrees from those shown in Fig. 9;
Fig. 12 is a diagram of an example of a layout in which a gate is used in common in an X direction (horizontal direction) stripe;
Fig. 13 is a diagram of an example of a layout in which a drain side is pinched;
Fig. 14 is a diagram of another example of the layout of the pixel cells in the pixel section according to the embodiment;
Figs. 15A and 15B are simplified sectional views taken along an a-a' line and a b-b' line shown in Fig. 14;
Figs. 16A and 16B are diagrams of an example in which a reflector is provided in pixel cells having different thicknesses;
Figs. 17A and 17B are diagrams of an example of a pixel cell array of a contact sharing pixel section;
Fig. 18 is a diagram of an equivalent circuit in which a layout shown in Fig. 17A is adopted and a signal processing system and a pixel section that share a column circuit are simplified;
Figs. 19A and 19B are diagrams of signal output orders in a square array shown in Figs. 17A and 17B;
Figs. 20A and 20B are diagrams of a zigzag array formed by rotating the square array shown in Figs. 17A and 17B by 45 degrees;
Fig. 21 is a diagram of an equivalent circuit in which a layout shown in Fig. 20A is adopted and a signal processing system and a pixel section that share a column circuit are simplified;
Figs. 22A and 22B are diagrams of another zigzag array formed by rotating the square array shown in Figs. 17A and 17B by 45 degrees;
Fig. 23 is a diagram of an equivalent circuit in which a layout shown in Fig. 22A is adopted and a signal processing system and a pixel section that share a column circuit are simplified;
Figs. 24A and 24B are diagrams of signal output orders in the zigzag array shown in Figs. 20A and 20B;
Figs. 25A and 25B are diagrams of signal output orders in the zigzag array shown in Figs. 22A and 22B;
Figs. 26A and 26B are diagrams for explaining an example of formation of the reflector at the time when the square array is adopted;
Fig. 27 is a diagram of a first example of the reflector and a wiring sharing layout;
Fig. 28 is a diagram of a second example of the reflector and the wiring sharing layout;
Fig. 29 is a diagram of a third example of the reflector and the wiring sharing layout;
Figs. 30A and 30B are diagrams for explaining a basic concept of pre-line reset;
Figs. 31A and 31B are conceptual diagrams of a signal processing system corresponding to a hard reset function according to the embodiment;
Fig. 32 is an equivalent circuit diagram for explaining a basic concept of a signal processing system including an inverse γ correction circuit;
Figs. 33A to 33C are diagrams of a level diagram of a pre-line reset system, two-column sharing, and 2x2 pixel timing;
Fig. 34 is a plan view of a configuration example in which plural pixels are arranged in an array form and one output signal is obtained by the plural pixels;
Fig. 35 is a plan view of a configuration example in which plural pixels are arranged in an array form and element separation is performed in a unit of plural pixels to obtain one output signal;
Figs. 36A and 36B are sectional views of configuration examples in which plural pixels are arranged in a pixel form and element separation is performed in a unit of plural pixels to obtain one output signal;
Fig. 37 is a plan view of another configuration example in which plural pixels are arranged in an array form and element separation is performed in a unit of plural pixels to obtain one output signal;
Figs. 38A and 38B are simplified sectional views taken along an a-a' line and a b-b' line shown in Fig. 37;
Fig. 39 is a diagram of an example of a wide dynamic range (Wide D-Range) sequence by nondestructive readout;
Fig. 40 is a diagram of an example of a low-speed live view sequence by nondestructive readout; and
Fig. 41 is a diagram of an example of a configuration of a camera system to which the solid-state imaging device according to the embodiment is applied.

DESCRIPTION OF THE PREFERRED EMBODIMENTS

[0059] Embodiments of the present invention will be hereinafter explained with reference to the accompanying drawings.

[0060] Fig. 1 is a block diagram of a schematic configuration of a solid-state imaging device according to an

SAMSUNG EX. 1002 - 189/2862

embodiment of the present invention.

[0061] A solid-state imaging device 1 includes, as shown in Fig. 1, a pixel section 2 as a sensing section, a row direction (Y-direction) control circuit 3, a column direction (X direction) control circuit 4, and a timing control circuit 5.

[0062] In the pixel section 2, as described in detail later, plural pixel cells 2A are arranged in, for example, a matrix shape.

[0063] The pixel cells 2A of the pixel section 2 according to this embodiment is configured as a rear (back)-illuminated image sensor of a threshold modulation (CMD) system having the double-well structure.

[0064] The pixel section 2 according to this embodiment adopts the double-well structure. In the pixel section 2, accumulated charges and channel currents are identical carriers. The pixel section 2 has a one-transistor architecture (structure) in which one transistor has functions of a readout transistor, a reset transistor, and a selection transistor.

[0065] In a pixel array of the pixel section 2, the pixel cells 2A arranged in an identical row are connected to common row lines H0, H1, and the like and the pixel cells 2A arranged in an identical column are connected to common column lines V0, V1, and the like.

[0066] In the solid-state imaging device 1, a timing control circuit 5 that generates an internal clock, a row direction (Y direction) control circuit 3 that controls a row address and row scanning, and a column direction (X direction) control circuit 4 that controls a column address and column scanning are arranged as control circuits for sequentially reading out signals of the pixel section 2.

[0067] The row direction (Y direction) control circuit 3 receives a timing control pulse of the timing control circuit 5 and drives predetermined row lines H0, H1, and the like.

[0068] The row direction (X direction) control circuit 4 receives timing control pulse of the timing control circuit 5, receives signals read out to predetermined column lines V0, V1, and the like, and performs predetermined processing (CDS (Correlated Double Sampling) processing), analog to digital conversion processing, and the like.

[0069] A configuration and functions concerning signal readout processing from the pixel cells 2A in the column direction control circuit 4 are described in detail later.

[0070] A specific device structure of the pixel section of the solid-state imaging device according to this embodiment is explained below.

[0071] Figs. 2A and 2B are diagrams of a basic structure of the pixel section of the solid-state imaging device according to this embodiment. Fig. 2A is a plan view and Fig. 2B is a simplified sectional view taken along an a-a' line shown in Fig. 2A.

[0072] As shown in Fig. 2B, the solid-state imaging device 1 is formed as a rear (back)-illuminated device in which light is made incident from a first substrate surface 101 side (a rear side) of a substrate (a silicon substrate) 100 and an element area portion EAP, in which a MOS transistor is formed, is formed on a second substrate surface 102 side (a front side).

[0073] The substrate 100 is formed by thin-filming a silicon wafer such that light can be made incident from the rear side. The thickness of the substrate 100 is 2 μm to 6 μm for visible light and 6 μm to 10 μm for near infrared light depending on a type of the solid-state imaging device 1.

[0074] In this way, the substrate 100 has the first substrate surface 101 side on which light is irradiated and the second substrate surface 102 side on which elements are formed. The plural cells Cel (2A) separated by adjacent cells and an element separation layer are formed on the substrate 100.

[0075] In this embodiment, on the substrate 100, the plural pixel cells Cel (2A) separated by an adjacent cell group and the element separation layer for each of pixels cells or with plural pixel cells as a unit are formed.

[0076] Each of the pixel cells Cel includes a first conductive (in this embodiment, n-type) well (hereinafter referred to as first well) 110 formed on the first substrate surface 101 side and a second conductive (p-type) well (hereinafter referred to as second well) 120 formed further on the second substrate surface 102 side than the first well 110.

[0077] The n-type first well 110 functions as a light sensing section that receives light from the first substrate surface 101 side and has a photoelectric conversion function and a charge accumulation function for the received light.

[0078] A MOS transistor that detects accumulated charges in the light sensing section of the first well 110 and has a threshold modulation function is formed in the second well 120.

[0079] A p-type element separation layer (conductive layer) 140 of a second conducive type opposite to a first conductive type (in this embodiment, n-type) is formed to surround sidewalls of the first well 110. A p^+ layer 150 is formed on the first substrate surface 101, which is a light incident surface of the substrate 100.

[0080] An insulating film and a protective film 151 formed of, for example, silicon oxide are formed on a light incident surface side of the p^+ layer 150. A color filter 152 that transmits only light in a desired waveform region is formed on the protective film 151. A microlens 153 that condenses incident light on the light sensing section of the first well 110 is formed on the color filter 152.

[0081] In the p-type second well 120, a source region 121 and a drain region 122 formed by an n^+ layer are formed in the center thereof at a predetermined space apart from each other. A channel forming region 123 is formed between the source region 121 and the drain region 122.

[0082] Well (substrate) contact regions 124 to 127 formed of a p^+ layer are formed in an area (an end side area) of the second well 120 not overlapping the first well 110.

[0083] An insulating film 160 of silicon oxide or the like

SAMSUNG EX. 1002 - 190/2862

is selectively formed by a predetermined process on the surface of the second substrate surface 102 of the substrate 100 on which the source region 121, the drain region 122, and the well contact regions 124 to 127 are formed.

[0084] A gate electrode 131 of the transistor 130 is formed, via the insulating film 160, on the channel forming region 123 between the source region 121 and the drain region 122 on the second substrate surface 102 side of the substrate 100.

[0085] A source electrode 132 of the transistor 130 connected to the source region 121 is formed by opening a part of the insulating film 160 on the source region 121.

[0086] Similarly, a drain electrode 133 of the transistor 130 connected to the drain region 122 is formed by opening a part of the insulating film 160 on the drain region 122.

[0087] A well contact electrode 170 connected to the well contact regions 124 to 127 is formed by opening a part of the insulating film 160 on the well contact regions 124 to 127. A level of the well contact region 170 is set to, for example, the ground potential GND (0V) or -1.2 V.

[0088] In the configuration described above, the transistor 130 including an insulated-gate field effect transistor (referred to as MOS transistor) is formed by the source region 121, the drain region 122, and the channel forming region 123 formed in the second well 120 on the second substrate surface 102 side and the gate electrode 131, the source electrode 132, and the drain electrode 133 formed on the surface side of the second substrate surface 102.

[0089] In Fig. 2B, reference sign S denotes a source of the transistor 130, D denotes a drain of the transistor 130, and G denotes a gate of the transistor 130.

[0090] In this way, each of the pixel cells Cel (2A) according to this embodiment is formed as the rear (back)-illuminated image sensor of the threshold modulation (CMD) system having the double-well structure.

[0091] Fig. 3 is a diagram of an equivalent circuit of the pixel cell according to this embodiment.

[0092] The pixel cell 2A (Cel) includes, as shown in Fig. 3, a photoelectric conversion and charge accumulation element section 111 formed in the first well 110 and one transistor 130 formed by the second well 120 and an electrode on the second substrate surface 102 side.

[0093] As described above, the pixel cell Cel according to this embodiment is the back-illuminated type and has the double-well structure. In the pixel cell Cel, accumulated charges and channel currents are identical carriers. Further, the pixel cell Cel has a one-transistor architecture (structure) in which one transistor has functions of a readout transistor, a reset transistor, and a selection transistor.

[0094] In other words, in this embodiment, the pixel cell Cel is the back-illuminated type and adopts the double-well structure and does not adopt a single-well modulation system. A reason for this is explained below.

[0095] When the single-well modulation system is adopted, pocket implantation for linearity improvement is necessary. This makes it difficult to obtain saturated charges Qs during pixel size shrinking in order to reduce an accumulation region.

[0096] Even if the single-well structure has a high modulation degree and high conversion efficiency, the single-well structure is susceptible to a defect. In the single-well structure, pixel fluctuation in linearity (non-linearity like as cat's paw) tends to frequently occur and, when the pixel fluctuation occurs, it is difficult to correct the pixel fluctuation.

[0097] Since pinning comes off during readout, the single-well structure is incompatible with column digital CDS. In analog CDS, an increase in a capacity hinders pixel size shrinking.

[0098] Even if the single-well structure is combined with the back-illumination, since a reset transistor is necessary and a pixel cell has two transistors, this is disadvantageous for pixel size shrinking.

[0099] On the other hand, in this embodiment, the pixel cell Cel is the back-illuminated type and has the double-well structure, accumulated charges and channel currents are identical carriers, and pixel separation can be performed by an independent carrier. Therefore, the transistor structure does not need to be a ring. The transistor can be configured by so-called unidirectional structure of drain (D)/gate (G) /source (S) same as the structure of the normal transistor.

[0100] In this embodiment, the structure for discharging signal carriers to the drain of the transistor 130 is adopted. This realizes a complete one-transistor and lateral reset structure in which one transistor is used as a readout (pickup) transistor, a rest transistor, and a selection transistor.

[0101] In other words, since the pixel cell structure according to this embodiment only has to be the single-layer gate structure rather than the double-layer gate structure, special work is unnecessary for the element separation area.

[0102] A drain, a source, and a gate can be shared between adjacent pixels. Therefore, it is possible to remarkably improve layout efficiency and perform pixel size shrinking.

[0103] Since lateral reset by the drain of the transistor is adopted, it is possible to share a column and shrink a column circuit by using lateral wiring for the drain and using separate wiring in shared pixel units.

[0104] Since a space is formed on the gate of the transistor, a reflector structure, which makes use of metal of wiring or the like, can be provided in the space. As a result, it is possible to reflect light transmitted through a silicon (Si) substrate, photoelectrically convert the light in Si again, and improve, for example, near infrared sensitivity.

[0105] In the existing structure, dark currents generated in the interface are recombined with holes by turning off the gate during a light emission period and pinning the surface of the silicon (Si) substrate. Therefore, com-

SAMSUNG EX. 1002 - 191/2862

ponents not completely recombined cause dark current unevenness and a white dot defect.

[0106] On the other hand, in the structure according to this embodiment, since the double-well structure is adopted, there is an advantage that it is possible to discharge dark current electrons generated on the Si surface from the channel to the drain and completely shut out dark currents and white dots caused in the interface.

[0107] As a result, even if the gate is turned on during column readout, dark currents and white dots do not pose a problem. Therefore, it is possible to perform nondestructive readout of signals.

[0108] An array structure for realizing pixel size shrinking, a configuration including a reflector, a configuration and functions of a signal readout processing system, and nondestructive readout processing for signals are described in detail later.

[0109] Operations in the pixel cell having the configuration described above are explained below.

[0110] Light is made incident in the pixel cell from the first substrate surface (rear surface) 101 on the rear side. Electron and hole pairs are generated mainly by a photoelectric effect in the n-type first well 110 in the pixel cell. The generated holes are discharged to the outside through the p-type element separation layer 140 forming a wall surface of the cell.

[0111] Only the electrons are accumulated in the n-type first well 110 and accumulated in a potential well formed near a gate region semiconductor surface between the source and the drain of the transistor 130 serving as the MOS transistor. A signal of the accumulated charges is amplified and detected through the transistor 130, the accumulated charges are discharged as appropriate, and control of color mixture and a saturate charge amount is performed.

[0112] The thickness of a semiconductor layer of a sensor of the solid-state imaging device 1 is about 2 μm to 10 μm, which is the thickness enough for displaying quantum efficiency of photoelectric conversion in a wavelength range of light.

[0113] On the other hand, in the case of the front-illuminated type, usually, the thickness of the semiconductor substrate needs to be kept at the thickness (up to several hundreds μm) that makes an element less easily cracked. Therefore, a leak current between a source and a drain through a substrate of the element may be unable to be neglected and may pose a problem.

[0114] On the other hand, in this embodiment, since the thickness of the element is sufficiently small, it is possible to reduce the leak current through the substrate and prevent the problem.

[0115] The configuration and the functions of the solid-state imaging device 1 according to this embodiment are explained above.

[0116] The solid-state imaging device 1 is examined more in detail below.

[0117] Fig. 4 is a diagram for explaining what kind of relation the wavelength of incident light has with an arrangement of transistors in the case of a front-illuminated BMCD.

[0118] In a front-illuminated BMCD 10 shown in Fig. 4, an insulating film 11, transparent electrodes 12, light shielding electrodes 13, and the like are formed on a substrate front surface side. Reference numeral 14 denotes lateral drains, 15 denotes a gate insulating film, and 16 denotes a silicon substrate.

[0119] In the case of the front illumination shown in Fig. 4, light penetrates from a side on which transistors are set. Since the lateral drain regions 14 are covered with the light shielding electrodes 13, the light penetrates into the silicon substrate 16 from an opening other than the lateral drain regions 14 while being transmitted through the insulating film 11, the transparent electrodes 12, the gate insulating film 15, and the like. Red light and near infrared light having large wavelength penetrate relatively deep from the surface of silicon. However, blue light and near ultraviolet light are photoelectrically converted in a place not so deep inside. When light having small wavelength passes through an insulating multilayer film on the surface, the light tends to lose energy because of scattering, absorption, reflection on an interface surface, or the like.

[0120] On the other hand, in the case of the rear illumination according to the embodiment shown in Fig. 2B, light penetrates into the substrate (the silicon substrate) 100 from the side where the transistor 130 is not arranged. Most of light having large wavelength reaches near the transistor 130 but only a part of light having small wavelength reaches near the transistor 130.

[0121] Various proposals are made concerning how a diffusion layer of a source and a drain and a well layer should be formed in order to maximize quantum efficiency including the wavelength of incident light.

[0122] However, there is little argument concerning the possibility that light passing through a silicon oxide film (an insulating film) affects a transistor characteristic. In this embodiment, a mechanism concerning this point is clarified to some extent, although qualitatively.

[0123] Fig. 5 is a diagram of an overview of an energy band state formed by a transparent electrode, a gate silicon oxide film, and silicon monocrystal in the case of the front-illuminated type.

[0124] A characteristic of a gate oxide film may be considerably different depending on a manufacturing method or processing. When the manufacturing method of the processing is not well-controlled, a trap that captures electrons and holes remains in the silicon oxide film. In the figure, a trap that captures electrons is present in a position of 2.0 eV under a conduction band of the silicon oxide film.

[0125] In the case of a silicon thermal oxide film, a band gap is about 8.0 eV. When an ITO is used as a transparent electrode, a work function is about 4.3 eV to 4.7 eV. Therefore, a Fermi level of the transparent electrode is located a little below the center of an energy gap of the silicon thermal oxide film.

SAMSUNG EX. 1002 - 192/2862

[0126] When attention is paid to a blue light component in incident light, for example, wavelength λ of 450 nm, this is equivalent to E=2.75eV from the Einstein photoelectric law E=hν. As shown in the figure, this energy is substantially equal to a position of an energy level of an electron trap in the oxide film measured from the Fermi level of the transparent electrode.

[0127] At this point, if relatively large negative voltage is applied to the transparent gate electrode compared with voltage applied to the silicon substrate, electrons ejected from the metal surface (the transparent electrode) by the photoelectric effect are excited in the oxide film and captured by the trap.

[0128] The electrons captured by the trap are ejected again by an electric field, flow into the conduction band of the silicon monocrystal according to hopping conduction, bring the gate electrode and the silicon into a weak conduction state, and cause fluctuation in the transistor characteristic and a signal amount.

[0129] In the rear illumination according to this embodiment, light having large energy and small wavelength consumes most of energy thereof for photo-carrier generation in the silicon substrate until the light reaches the transistor region. Therefore, the rear illumination does not have the disadvantage of the front illumination.

[0130] Fig. 6 is a diagram of a change in potential with respect to electrons in a semiconductor substrate in a direction perpendicular to a semiconductor substrate surface in each of regions according to a potential state change of the device shown in Figs. 2A and 2B.

[0131] In all states, voltage VGND of the well contact electrode 170 is set to 0 V.

(i) Gate readout

[0132] When the gate voltage VG of the transistor 130 is set to 1.0 V and the drain voltage VD thereof is set to 1.8 V, the source voltage VS thereof is about 1. 6 V to 1.4 V. Accumulated charges (electrons) decrease and a channel electron current flowing from the source to the drain is modulated and decreases according to the decrease in the accumulated charges. If this current change is measured, an amount of change of charges of the accumulated electrons is obtained.

(ii) Gate accumulation (non-readout state)

[0133] When the gate voltage VG of the transistor 130 is set to 0 V and the drain voltage VD thereof is set to 1.8 V, the source voltage VS thereof is equal to or lower than 1.2 V. Electrons are accumulated in the potential well formed near the semiconductor surface in the gate region between the source and the drain of the transistor 130.

(iii) Gate accumulation (non-reset state, hard reset)

[0134] When the gate voltage VG of the transistor 130 is set to 0 V to -1.0 V and the drain voltage VD thereof is set to 1.8 V, the source voltage VS thereof has high impedance Hi-Z or LD. The accumulated electrons overflow. In other words, the pixel cell Cel is saturated. At this point, a signal is held.

(iv) Reset

[0135] When the gate voltage VG of the transistor 130 is set to 0 V to -1.0 V and the drain voltage VD thereof is set to be equal to or higher than 3.0 V, for example, set to 3.7 V, the source voltage VS thereof has high impedance Hi-Z or LD. The electrons present in the accumulation well are discharged to the outside through the drain electrode.

[0136] As described above, in this embodiment, as pixel signal reset, the drain voltage VD is modulated and, in some case, both the drain voltage VD and the gate voltage VG are modulated (in the example shown in Fig. 6, a potential difference between the drain and the gate is increased) to discharge signal charges (electrons) accumulated in the drain electrode.

[0137] In this embodiment, a so-called gamma (γ) characteristic is given to the pixel cell to increase a degree of modulation and conversion efficiency when illuminance is low.

[0138] In this embodiment, the γ characteristic is applied to a high dynamic range (DR).

[0139] The γ characteristic of the pixel cell is explained below.

[0140] Fig. 7 is a diagram of an example of a potential distribution in an a-a' line shown in Fig. 2A.

[0141] As one of characteristics of a double well, as shown in Fig. 7, a sensor accumulation region has a broad potential shape. Therefore, a capacity of the double well changes according to a signal amount and has nonlinearity (the γ characteristic).

[0142] However, in the case of the γ characteristic that a gain increases during a small signal output in response to nonlinearity of the single-well structure and lack of a signal during the small signal output, since inverse γ correction is possible and a gain during low illuminance is minus, noise is compressed simultaneously with the signal. This makes it possible to reduce noise.

[0143] In this way, in this embodiment, the γ characteristic is positively utilized and, as shown in Fig. 2B, a rather deep n-type gamma pocket 180 for accumulating small signals is provided.

[0144] In the gamma pocket 180, signal carries and signal currents concentrate on one point and a degree of modulation of the small signals is improved.

[0145] It is possible to perform inverse gamma correction in a DSP at a later stage, which performs signal processing, and realize total noise compression.

[0146] As shown in Fig. 7, the pixel cell Cel has the structure in which a capacity thereof increases during a large signal output and realizes the high dynamic range (DR) according to the γ characteristic.

SAMSUNG EX. 1002 - 193/2862

[0147] Fig. 8 is a schematic diagram of a configuration of the signal readout processing system according to this embodiment.

[0148] The column (X) direction control circuit 4 includes a CDS circuit 41. An accumulated signal of the pixel cell Cel in an ON state is transferred to the CDS circuit 41 through a signal transmission line SL and a switch SW. Reference sign IS denotes a current source for forming a source follower.

[0149] The configuration and the functions of the pixel cell according to this embodiment are explained above.

[0150] An array of the pixel cells of the pixel section 2, a configuration including a reflector, and the like are explained below.

[0151] Fig. 9 is a diagram of an example of a layout of pixel cells in the pixel section according to this embodiment. Fig. 10A is a simplified sectional view taken along an a-a' line shown in Fig. 9. Fig. 10B is a simplified sectional view taken along a b-b' line shown in Fig. 9.

[0152] In this example, the pixel cells Cel are arranged in a matrix shape. A Bayer array is adopted.

[0153] A p-type element separation layer (conductive layer) 140A is formed on sidewalls of the first well 110 and the second well 120. A source region 141 and a drain region 142 including the n^+ layer forming the transistor 130 are formed in the p-type element separation layer 140A. A well contact region 143 is formed on the source region 141 side or the drain region 142 side. In this example, the well contact region 143 is formed on the source region 141 side.

[0154] A gate contact electrode 190 is formed in a position opposed to the p-type element separation layer 140A.

[0155] A reflector 200 is formed on a front side (a side where light is not irradiated) of the gate electrode 131 of the pixel cell Cel excluding the element separation layer 140A.

[0156] In this way, the pixel cells are arranged to share, with adjacent pixel cells, a part or a plurality of contacts of the drain, the source, the wells, or the gate. This makes it possible to improve the layout efficiency.

[0157] In other words, since the pixel cell Cel can be configured by one transistor, the contacts of the drain, the source, the gate, and the well are arranged in the four directions on the pixel separation layers and the gate occupies the entire pixel. Therefore, random noise of the transistor is remarkably reduced.

[0158] In the layout example shown in Fig. 9, a drain contact DCNT and a source contact SCNT are shared by pixel cells adjacent to each other in a Y direction (a vertical direction or a row direction) of X and Y directions shown in the figure. A gate contact GCNT and a well contact WCNT are shared by pixel cells adjacent to each other in the X direction (a horizontal direction or a column direction).

[0159] In this way, the drain contact DCNT, the source contact SCNT, the gate contact GCMT, and the well (substrate) contact WCNT can be arranged in the four direction of the gate. Therefore, as shown in Fig. 11, the layout can be used in a so-called zigzag array as well.

[0160] In an example shown in Fig. 11, the arrangement shown in Fig. 9 is rotated by 45 degrees.

[0161] Fig. 12 is a diagram of an example of a layout in which a gate is shared in an X direction (horizontal direction) stripe.

[0162] As shown in the figure, in the layout, the gate is shared in the horizontal stripe and the well (substrate) contact WCNT is set on the source side or the drain side. This makes it possible to easily form the reflector 200.

[0163] In this case, the well (substrate) contact WCNT may be arranged in every other column in the X (horizontal) direction.

[0164] It may be determined according to withstanding pressure or a layout whether the well (substrate) contact WCNT should be set on the drain side or the source side.

[0165] When the well (substrate) contact WCNT is set on the source side, since a potential difference is reduced, there is an advantage that pixel size shrinking can be easily performed.

[0166] Fig. 13 is a diagram of an example of a layout in which the drain side is pinched.

[0167] When the well (substrate) contact WCNT is set on the drain side, drain width is reduced, i.e., pinched to secure withstanding pressure.

[0168] Consequently, since a cannel on the source side is widened, the source side is deepened and a portion in which signals are accumulated and a portion to which modulation tends to be applied coincide with each other, and a high modulation characteristic is obtained.

[0169] Fig. 14 is a diagram of another example of the layout of the pixel cells in the pixel section according to this embodiment. Fig. 15A is a simplified sectional view taken along an a-a' line shown in Fig. 14. Fig. 15B is a simplified sectional view taken along a b-b' line shown in Fig. 14.

[0170] The layout shown in Fig. 14 is the same as that of the example shown in Fig. 9. However, in this example, the well (substrate) contact WCNT is formed on the first substrate surface 101 (rear surface) side rather than the second substrate surface 102 side. The gate electrode 131 is formed over the entire pixel cell including the p-type element separation layer 140A on the second substrate surface 102 side.

[0171] In this case, a not-shown light shielding film for color mixture prevention can also be used as not-shown wiring.

[0172] By adopting such a configuration, wiring of the reflector 200 is symmetrically formed. This is advantageous in terms of withstanding pressure.

[0173] The reflector 200 is explained more in detail.

[0174] In the pixel cell Cel according to this embodiment that is the back-illuminated type and adopts the double-well structure, a space is formed on the gate electrode 131 of the transistor 130. Therefore, a reflector structure, which makes use of metal of wiring or the like, can be provided in the space.

SAMSUNG EX. 1002 - 194/2862

[0175] Light transmitted through the silicon substrate 100 is reflected by the reflector 200 and photoelectrically converted in the first well 110 of the silicon substrate 100 again. This makes it possible to improve, for example, near infrared sensitivity.

[0176] In this case, as shown in Fig. 16A, the substrate is relatively thick (about 6 μm to 10 μm) and can be applied to, for example, a night vision monitor camera by making use of reflection of near infrared light by the reflector 200.

[0177] Moreover, as shown in Fig. 16B, if the thickness of the substrate 100 is positively reduced to reflect G light to R light, it is possible to further halve a pixel size because only about a half substrate thickness is necessary. This makes it possible to prevent color mixture.

[0178] Usually, a silicon substrate needs to have the thickness of 2 μm to 3 μm is necessary for visible light and has to receive light with an angle of incidence up to about 25 degrees. About 1:2 in an aspect ratio is a limit. Therefore, it is said that about 1 μm to 1.5 μm is a limit of the pixel size.

[0179] However, as in this embodiment, if the reflector 200 is used, the silicon substrate has to have only a half thickness 1 μm to 1.5 μm. Therefore, as the pixel size, a sub-micron pixel is possible.

[0180] In this case, it is desirable to use an ITO film having high visible light transmittance for an electrode.

[0181] In this embodiment, the reflector 200 is wiring of metal (Al, etc.). This configuration example is described later.

[0182] Although not specifically explained, a reflector may be formed of a nonconductive insulating film or the like.

[0183] A configuration in which downsizing can be realized by sharing a column circuit is explained below.

[0184] In this case, in the matrix array of the pixel cells in the pixel section 2, drain contacts are divided into two or more groups in a column to share a column circuit in the column direction (X direction) control circuit 4 and realize downsizing.

[0185] Figs. 17A and 17B are diagrams of an example of a pixel cell array of a contact sharing pixel section. Fig. 17A is a diagram of an example of a layout of pixel cells. Fig. 17B is a diagram of a pattern layout corresponding to Fig. 17A.

[0186] Fig. 18 is a diagram of an equivalent circuit in which the layout shown in Fig. 17A is adopted and signal processing system and pixel sections that share a column circuit are simplified.

[0187] In the following explanation, it is assumed that a signal Sel is supplied to a selected gate of a transistor.

[0188] In this example, two vertical lines share a drain.

[0189] In the example shown in Fig. 17A, selected and shown sixteen cells Cel are arranged in a matrix shape.

[0190] Basically, the Bayer array is adopted. A pixel cell Cel11 of G (green, Gr) is arranged in the first row, first column, a pixel cell Cel12 of B (blue) is arranged in the first row, second column, a pixel cell Cel21 of R (red) is arranged in the second row, first column, and a pixel cell Cel22 of G (Gb) is arranged in the second row, second column.

[0191] Similarly, a pixel cell Cel13 of G (Gr) is arranged in the first row, third column, a pixel cell Cel14 of B is arranged in the first row, fourth column, a pixel cell Cel23 of R is arranged in the second row, third column, and a pixel cell Cel24 of G (Gb) is arranged in the second row, second column.

[0192] A pixel cell Cel31 of G is arranged in the third row, first column, a pixel cell Cel32 of B is arranged in the third row, second column, a pixel cell Cel41 of R is arranged in the fourth row, first column, and a pixel cell Cel42 of G (Gb) is arranged in the fourth row, second column.

[0193] Similarly, a pixel cell Cel33 of G (Gr) is arranged in the third row, third column, a pixel cell Cel34 of B is arranged in the third row, fourth column, a pixel cell Cel43 of R is arranged in the fourth row, third column, and a pixel cell Cel44 of G (Gb) is arranged in the fourth row, fourth column.

[0194] In each of the columns of the pixel cell array, pixel cells in an odd number row and an even number row adjacent to each other share a drain contact.

[0195] In the example shown in Fig. 17A, the pixel cells Cel11 and Cel21 share the drain contact DCNT and the pixel cells Cel31 and Cel41 share the drain contact DCNT.

[0196] Similarly, the pixel cells Cel12 and Cel22 share the drain contact DCNT and the pixel cells Cel32 and Cel42 share the drain contact DCNT.

[0197] The pixel cells Cel13 and Cel23 share the drain contact DCNT and the pixel cells Cel33 and Cel43 share the drain contact DCNT.

[0198] The pixel cells Cel14 and Cel24 share the drain contact DCNT and the pixel cells Cel34 and Cel44 share the drain contact DCNT.

[0199] In the example shown in Fig. 17A, a group GRP1 is formed by the pixel cells Cel11 to Cel14 in the first row and the pixel cells Cel21 to Cel24 in the second row that share the drain contact DCNT.

[0200] Similarly, a group GRP2 is formed by the pixel cells Cel31 to Cel34 in the third row and the pixel cells Cel41 to Cel44 in the fourth row that share the drain contact DCNT.

[0201] In each of the columns between groups adjacent to each other, pixel cells adjacent to each other share the source contact SCNT.

[0202] In the example shown in Fig. 17A, the pixel cell Cel21 of the group GRP1 and the pixel cell CEL31 of the group GRP2 share the source contact SCNT.

[0203] The pixel cell Cel22 of the group GRP1 and the pixel cell Cel32 of the group GRP2 share the source contact SCNT.

[0204] The pixel cell Cel23 of the group GRP1 and the pixel cell Cel33 of the group GRP2 share the source contact SCNT.

[0205] The pixel cell Cel24 of the group GRP1 and the

SAMSUNG EX. 1002 - 195/2862

pixel cell Cell34 of the group GRP2 share the source contact SCNT.

[0206] In Fig. 17B, reference signs LGND1 to LGND5 and the like denote ground lines connected to the well contact WCNT, LSGN1 to LSGN4 and the like denote signal lines connected to the source contact SCNT, LGT1 to LGT3 and the like denote gate lines connected to the gate contact, and LDRN1 to LDRN 4 and the like denote drain lines connected to the drain contact.

[0207] The ground line LGND and the signal line LSGN are wired for each of the columns in the Y direction (the row direction).

[0208] The gate line LGT and the drain line LDRN are wired for each of the rows in the X direction (the column direction).

[0209] The ground line LGND, the signal line LSGN, the gate line LGT, and the drain line LDRN are formed by a laminated structure of the wiring.

[0210] For example, the ground line LGND is formed by first metal wiring (1MT) in a bottom layer.

[0211] The signal line LSGN is formed by second metal wiring (2MT) in a layer second from the bottom.

[0212] The gate line LGT and the drain line LDRN are formed by third metal wiring (3MT) of a top layer via an insulating film provided between the lines while maintaining insulating properties.

[0213] In this embodiment, the drain line LDRN formed by the third metal wiring is backed by, for example, Al wiring Lal to reduce resistance as measures against IR drop.

[0214] In this embodiment, as shown in Figs. 17A and 17B and Fig. 18, in each of the groups GRP1 to GRP3, in pixel cells that share the drain contact, the gate contact GCNT and the well (substrate) contact WCNT are formed to face opposite directions in the X direction (the column direction).

[0215] In an odd number column and an even number column, the gate contact GCNT and the well (substrate) contact WCNT are formed to face opposite directions as well.

[0216] Specifically, in the group GRP1, the gate contact GCNT of the pixel cell Cell11 in the first column is formed on the left side in the figure in the X direction and the well contact WCNT is formed on the right side in the figure in the X direction.

[0217] On the pixel cell Cell21 in the first column, the gate contact GCNT is formed on the right side in the figure in the X direction and the well contact WCNT is formed on the left side in the figure in the X direction.

[0218] The gate of the transistor 130 of the pixel cell Cell11 is connected to the gate line LGT1 via the gate contact GCNT. The well contact WCNT is connected to the ground line LGND2 wired in the second column.

[0219] The gate of the transistor 130 of the pixel cell Cell21 is connected to the gate line LGT1 via the gate contact GCNT. The well contact WCNT is connected to the ground line LGND1 wired in the first column.

[0220] On the pixel cell Cell12 in the second column, the gate contact GCNT is formed on the right side in the figure in the X direction. The well contact WCNT is formed on the left side in the figure in the X direction.

[0221] The gate contact GCNT of the pixel cell Cell22 in the second column is formed on the left side in the figure in the X direction. The well contact WCNT is formed on the right side in the figure in the X direction.

[0222] The gate of the transistor 130 of the pixel cell Cell12 is connected to the gate line LGT1 via the gate contact GCNT. The well contact WCNT is connected to the ground line LGND2 wired in the second column.

[0223] The gate of the transistor 130 of the pixel cell Cell22 is connected to the gate line LGT1 via the gate contact GCNT. The well contact WCNT is connected to the ground line LGND3 wired in the third column.

[0224] The gate contact GCNT of the pixel cell Cell13 in the third column is formed on the left side in the figure in the X direction and the well contact WCNT is formed on the right side in the figure in the X direction.

[0225] The gate contact GCNT of the pixel cell Cell23 in the first column is formed on the right side in the figure in the X direction and the well contact WCNT is formed on the left side in the figure in the X direction.

[0226] The gate of the transistor 130 of the pixel cell Cell13 is connected to the gate line LGT1 via the gate contact GCNT. The well contact WCNT is connected to the ground line LGND4 wired in the fourth column.

[0227] The gate of the transistor 130 of the pixel cell Cell23 is connected to the gate line LGT1 via the gate contact GCNT. The well contact WCNT is connected to the ground line LGND3 wired in the third column.

[0228] The gate contact GCNT of the pixel cell Cell14 in the fourth column is formed on the right side in the figure in the X direction and the well contact WCNT is formed on the left side in the figure in the X direction.

[0229] The gate contact GCNT of the pixel cell Cell24 in the second column is formed on the left side in the figure in the X direction and the well contact WCNT is formed on the right side in the figure in the X direction.

[0230] The gate of the transistor 130 of the pixel cell Cell14 is connected to the gate line LGT1 via the gate contact GCNT. The well contact WCNT is connected to the ground line LGND4 wired in the fourth column.

[0231] The gate of the transistor 130 of the pixel cell Cell24 is connected to the gate line LGT1 via the gate contact GCNT. The well contact WCNT is connected to the ground line LGND5 (not shown) wired in the fifth column.

[0232] The groups GRP2 and GRP3 are basically formed in the same pattern. Therefore, detailed explanation of the groups GRP2 and GRP3 is omitted.

[0233] As shown in Fig. 18, for top readout and bottom readout, the signal lines LSGN1 to LSGN4 and the like are respectively divided into two signal lines LSGN1-T and LSGN1-B, LSGN2-T and LSGN2-B, LSGN3-T and LSGN3-B, and LSGN4-T and LSGN4-B and the like.

[0234] An odd number group select switch (a top switch) OGSW1 and an even number group select switch

SAMSUNG EX. 1002 - 196/2862

(a bottom switch) EGSW1 are provided and a top switch OGSW2 and a bottom switch EGSW2 are provided in a unit of two columns.

[0235] The signal lines LSGN1-T and LSGN2-T are connected to two switching terminals of the top switch OGSW1. The signal lines LSGN1-B and LSGN2-B are connected to two switching terminals of the bottom switch EGSW1. The signal lines LSGN1-T and LSGN2-T are connected to the source contact SCNT of the odd number groups GRP1, GRP3 and the like. The signal lines LSGN1-B and LSGN2-B are connected to the source contact SCNT of the even number groups GRP2, GRP4 and the like.

[0236] Similarly, the signal lines LSGN3-T and LSGN4-T are connected to two switching terminals of the top switch OGSW2. The signal lines LSGN3-B and LSGN3-B are connected to two switching terminals of the bottom switch EGSW2. The signal lines LSGN3-T and LSGN4-T are connected to the source contact SCNT of the odd number groups GRP1, GRP3 and the like. The signal lines LSGN3-B and LSGN4-B are connected to the source contact SCNT of the even number groups GRP2, GRP4 and the like.

[0237] Fixed terminals of the top switches OGSW1, OGSW2 and the like are connected to a first signal transfer line LSTM1. Fixed terminals of the bottom switches EGSW1 and EGSW2 are connected to a second signal transfer line LSTM2.

[0238] A current source I401 is connected to the first signal transfer line LSTM1. A connection point of the current source I401 and the first signal transfer line LSTM1 is connected to a comparator 401 of a column circuit 400 via a capacitor C401.

[0239] An inverting input (-) of the comparator 401 is connected to the capacitor C401. Reference potential is given to a non-inverting input (+) thereof.

[0240] A reset switch 402 is connected between the inverting input (-) and an output of the comparator 401. The switch 402 is formed by, for example, a MOS transistor.

[0241] A current source I411 is connected to the second signal transfer line LSTM2. A connection point of the current source I411 and the second signal transfer line LSTM2 is connected to a comparator 411 of a column circuit 410 via a capacitor 411.

[0242] An inverting input (-) of the comparator 411 is connected to the capacitor C411. Reference potential is given to a non-inverting input (+) thereof.

[0243] A reset switch 412 is connected between the inverting input (-) and an output of the comparator 411. The switch 412 is formed by, for example, a MOS transistor.

[0244] In such a configuration, it is possible to perform reset separately for an odd number and an even number and sample signals in order of a D phase Do of the odd number, a P phase Po of the odd number, a D phase De of the even number, and a P phase Pe of the even number. It is possible to perform arbitrary adding processing of signals from same color pixels with digital addition both vertically and horizontally (counter addition vertically).

[0245] Figs. 19A and 19B are diagrams of signal output orders in the square array shown in Figs. 17A and 17B. Fig. 19A is a diagram of a signal output order for outputting signals when horizontal columns are not shared. Fig. 19B is a diagram of a signal output order for outputting signals when horizontal columns are shared.

[0246] In Figs. 19A and 19B, to arrange pixel cells in the signal output orders, an arrangement of the pixel cells is vertically reversed from that shown in the layout diagram.

[0247] In this example, rows and columns are represented as V rows and H columns and numbers are affixed to the respective rows and columns. Numbers corresponding to RGB of pixel cells and a matrix array are given to output signals. For example, a signal in the first row, first column is represented as R11 and a signal in the first row, second column is represented as G12.

[0248] In the case of an example shown in Fig. 19A, signals are outputted in order according to a pixel cell array both on a bottom side and a top side.

[0249] In the case of an example shown in Fig. 19B, signals are outputted in a time division manner.

[0250] For example, first, signals of pixel cells G12, G14, and the like are read out on the bottom side and signals of pixel cells B22 and B24 are readout on the top side and, second, signals of pixel cells R11, R13, and the like are read out on the bottom side and signals of pixel cells G21 and G23 are read out on the top side.

[0251] In this way, it is possible to perform signal readout for each of same colors and perform arbitrary adding processing of signals from same color pixels.

[0252] As explained above, in the example shown in Figs. 17A and 17B and Fig. 18, Gb and Gr are alternately read out for every two lines and read out dividedly in an odd number column and an even number column.

[0253] In this example, since a drain is shared by two lines, parallel processing according to an upper and lower column array (double speed) is necessary. Moreover, since signals of Gr/Gb lines are outputted from above and below alternately for every two lines, digital addition or 2/4 thinning-out is performed vertically.

[0254] It is possible to share two or more horizontal columns according to separation of a horizontal reset drain (e.g., into an odd number column and an even number column) (1/n deceleration).

[0255] Further, it is possible to perform column shrinking.

[0256] Moreover, it is possible to perform, in color coding synchronization, arbitrary adding processing of signals from same color pixels by digital addition in an identical column signal.

[0257] Furthermore, since the horizontal wiring of the drain line LDRN is backed by Al for a reduction in resistance, it is possible to prevent a fall in signal voltage transmitted to the drain line.

SAMSUNG EX. 1002 - 197/2862

[0258] Figs. 20A and 20B are diagrams of a zigzag array formed by rotating the square array shown in Figs. 17A and 17B by 45 degrees. Fig. 20A is a diagram of an example of a layout of pixel cells. Fig. 20B is a diagram of a pattern layout corresponding to Fig. 20A.

[0259] Fig. 21 is a diagram of an equivalent circuit in which the layout shown in Fig. 20A is adopted and a signal processing system and a pixel section that share a column circuit are simplified.

[0260] The zigzag array can be realized by simply rotating an electrode and the structure below the electrode by 45 degrees and contriving wiring for the zigzag array.

[0261] In this case, a basic operation is the same as that in the case of the square array shown in Figs. 17A and 17B and Fig. 18. It is possible to perform reset separately for an odd number and an even number and sample signals in order of a D phase Do of the odd number, a P phase Po of the odd number, a D phase De of the even number, and a P phase Pe of the even number. It is possible to perform arbitrary adding processing of signals from same color pixels with digital addition both vertically and horizontally (counter addition vertically).

[0262] Figs. 22A and 22B are diagrams of another zigzag array formed by rotating the square array shown in Figs. 17A and 17B. Fig. 22A is a diagram of an example of a layout of pixel cells. Fig. 22B is a diagram of a pattern layout corresponding to Fig. 22A.

[0263] Fig. 23 is a diagram of an equivalent circuit in which the layout shown in Fig. 22A is adopted and a signal processing system and a pixel section that share a column circuit are simplified.

[0264] In an example shown in Figs. 20A and 20B and Fig. 21, a form of signal readout is the same as that in the case of Figs. 17A and 17B and Fig. 18. However, in an example shown in Figs. 22A and 22B and Fig. 23, a column at the bottom and a column at the top are alternately arranged.

[0265] In this case, a basic operation is the same as that in the case of the square array shown in Figs. 17A and 17B and Fig. 18. It is possible to perform reset separately for an odd number and an even number and sample signals in order of a D phase Do of the odd number, a P phase Po of the odd number, a D phase De of the even number, and a P phase Pe of the even number. It is possible to perform arbitrary adding processing of signals from same color pixels with digital addition both vertically and horizontally (counter addition vertically).

[0266] Figs. 24A and 24B are diagrams of signal output orders in the zigzag array shown in Figs. 20A and 20B. Fig. 24A is a diagram of a signal output order for outputting signals when horizontal columns are not shared. Fig. 24B is a diagram of a signal output order for outputting signals when horizontal columns are shared.

[0267] In this example, rows and columns are represented as V rows and H columns and numbers are affixed to the respective rows and columns. Numbers corresponding to RGB of pixel cells and a matrix array are given to output signals.

[0268] In the case of an example shown in Fig. 24A, signals are outputted in order according to a pixel cell array both on a bottom side and a top side.

[0269] In the case of an example shown in Fig. 24B, signals are outputted in a time division manner.

[0270] For example, first, signals of pixel cells R11, R13, and the like are read out on the bottom side and signals of pixel cells G22 and G24 are readout on the top side and, second, signals of pixel cells B12, B14, and the like are read out on the bottom side and signals of pixel cells G23 and G25 are read out on the top side.

[0271] In this way, it is possible to perform signal readout for each of same colors and perform arbitrary adding processing of signals from same color pixels.

[0272] Figs. 25A and 25B are diagrams of signal output orders in the zigzag array shown in Figs. 22A and 22B. Fig. 25A is a diagram of a signal output order for outputting signals when horizontal columns are not shared. Fig. 25B is a diagram of a signal output order for outputting signals when horizontal columns are shared.

[0273] In this example, rows and columns are represented as V rows and H columns and numbers are affixed to the respective rows and columns. Numbers corresponding to RGB of pixel cells and a matrix array are given to output signals.

[0274] In the case of an example shown in Fig. 25A, signals are outputted in order according to a pixel cell array both on a bottom side and a top side.

[0275] In the case of an example shown in Fig. 25B, signals are outputted in a time division manner.

[0276] For example, first, signals of pixel cells R11, R13, R15, and the like are read out on the bottom side and signals of pixel cells G21, G23, and G25 are readout on the top side and, second, signals of pixel cells G22, G24, G26, and the like are read out on the bottom side and signals of pixel cells B12, B14, and B16 are read out on the top side.

[0277] In this way, it is possible to perform signal readout for each of same colors and perform arbitrary adding processing of signals from same color pixels.

[0278] The specific examples of the pixel cell array are explained above.

[0279] An example of formation of a reflector at the time when the square array shown in Figs. 17A and 17B is adopted is explained below.

[0280] In the pixel cell array according to this embodiment, the drain contact DCNT, the source contact SCNT, the gate contact GCNT, and the well (substrate) contact WCNT can be arranged in the four direction of the gate. Therefore, as shown in Fig. 26A, an entire light sensing region is a gate region.

[0281] Therefore, as shown in Fig. 26B, the reflector 200 can be basically formed to be superimposed on the entire gate region.

[0282] On the other hand, when the square array shown in Figs. 17A and 17B is adopted, the reflector can be formed by using any wiring of a laminated structure.

[0283] First to third examples are explained below.

SAMSUNG EX. 1002 - 198/2862

[0284] Fig. 27 is a diagram of a first example of the reflector and a wiring sharing layout.

[0285] Fig. 28 is a diagram of a second example of the reflector and the wiring sharing layout.

[0286] Fig. 29 is a diagram of a third example of the reflector and the wiring sharing layout.

[0287] In the first example shown in Fig. 27, unlike the example shown in Figs. 17A and 17B, the gate line LGT is first metal wiring, the drain line LDRN is second metal wiring, and the signal line LSGN and the ground line LGND are third metal wiring.

[0288] In this case, the first metal wiring of the gate line LGT is used as the reflector 200. The reflector 200 is selectively formed in association with the gate region.

[0289] In the second example shown in Fig. 28, as in the example shown in Figs. 17A and 17B, the ground line LGND is first metal wiring, the signal line LSGN is second metal wiring, and the gate line LGT and the drain line LDRN are third metal wiring.

[0290] In this case, the first metal wiring of the ground line LGND is used as the reflector 200.

[0291] In the third example shown in Fig. 29, as in the example shown in Fig. 27, the gate line LGT is first metal wiring, the drain line LDRN is second metal wiring, and the signal line LSGN and the ground line LGND are third metal wiring.

[0292] In this case, the first metal wiring of the gate line LGT is used as the reflector 200. The reflector 200 is formed in a stripe shape.

[0293] The examples of the pixel cell structure, the array, and the formation of the reflector are explained above.

[0294] A characteristic configuration and functions of the signal processing system including the column circuit side are explained below.

[0295] First, in this embodiment, the solid-state imaging device 1 has a pre-line reset function for improving large light amount resistance using a reset level of a preceding line as a reference level of the comparator 401 (411) of the column circuit 400 (410).

[0296] Figs. 30A and 30B are diagrams for explaining a basic concept of pre-line reset. Fig. 30A is a diagram of an equivalent circuit. Fig. 30B is a timing chart.

[0297] In this case, before an operation for comparison with a ramp waveform VRAMP in the comparator 401 (411) (before D-phase readout), the switch (SW) 402 (412) of the column circuit 400 (410) is turned on and an input and an output of the comparator are connected to perform circuit reset.

[0298] Consequently, large light amount resistance is improved by using a reset level of a preceding line as a reference level of the comparator 401 (411) of the column circuit 400 (410).

[0299] This embodiment adopts a function of reducing a residual image by performing a reset operation after injecting charges from the drain to the pixels immediately before pixel reset to saturate the pixel cells (hard resetting the pixel cells).

[0300] Figs. 31A and 31B are schematic diagrams of a signal processing system corresponding to a hard reset function according to this embodiment. Fig. 31A is a diagram of an equivalent circuit. Fig. 31B is a timing chart.

[0301] In this case, a transistor Q401, a drain of which is connected to power supply potential and a source of which is connected to the capacitor C401 (C411), a capacitor C402 connected between a connection point of the transistor Q401 and a ground line via a switch SW402, a current source I402 connected to the source of the transistor Q401 via a switch W403, and a current source I403 connected to a gate of the transistor Q401 are provided between the switch SW 401 and the capacitor C401 (C411) arranged between the signal transfer line and the column line 400 (410). The gate of the transistor Q401 is connected to a switch SW401.

[0302] In the hard reset, when the gate voltage VG of the transistor 130 is set to 0 V to -1.0 V and the drain voltage VD thereof is set to 1.8 V, the source voltage VS thereof is high impedance Hi-Z or LD. The accumulated electrons overflow (OF). In other words, the pixel cell Cel is saturated. At this point, a signal is held.

[0303] In the following reset operation, when the gate voltage VG of the transistor 130 is set to 0 V to -1.0 V and the drain voltage VD thereof is set to be equal to or higher than 3.0 V, for example, set to 3.7 V, the source voltage VS thereof is high impedance Hi-Z or LD. The electrons present in the accumulation well are discharged to the outside through the drain electrode.

[0304] In this case, to prevent leak on a signal side that consumes sampling time, for example, analog sampling is performed only on the signal side and the CDS is digitally performed. As a result, a significant improvement effect is obtained by adding one capacitor.

[0305] For example, it is possible to improve large light amount resistance with a small size by combining analog sampling for a D phase and digital sampling for a P phase.

[0306] A circuit configuration corresponding to the analog SHD and the digital CDS can be applied to pixel cells of a so-called floating diffusion (FD) configuration as well.

[0307] In this embodiment, a γ characteristic is positively given to the pixel cells. In association with the γ characteristic, an inverse γcorrection circuit is configured by using a transistor having a back gate terminal of the same structure as the transistor 130 of the pixel cells.

[0308] Fig. 32 is an equivalent circuit diagram for explaining a basic concept of a signal processing system including the inverse γ correction circuit.

[0309] The inverse γ correction circuit 420 includes a transistor 421 having a back gate terminal, transistors 422 and 423 configuring a current mirror, a switch SW421, a capacitor C421, and current sources I421, I422, and I423.

[0310] A source of the transistor 421 and the current source I421 are connected. A connection point of the source of the transistor 421 and the current source I421 is connected to the switch SW401. A drain of the tran-

SAMSUNG EX. 1002 - 199/2862

sistor 421 is connected to a source of the transistor 422. A gate and a drain of the transistor 422 are connected. A connection point of the gate and the drain is connected to the current source I422, a gate of the transistor 423, and the switch SW421.

[0311] A drain of the transistor 423 is connected to power supply potential. A source of the transistor 423 is connected to a current source I423. Connection points of the source of the transistor 423 and the current source I423 are connected to the substrate of the transistor 421 and the capacitor 401. The capacitor C421 is connected to the switch SW421.

[0312] Since a timing chart of the signal processing system is the same as that shown in Fig. 32B, the timing chart is not shown in the figure.

[0313] The γ characteristic is reduced by the inverse γ correction circuit 420, i.e., non-linearity of the γ characteristic is changed to linearity to perform analog to digital conversion.

[0314] The signal processing system according to this embodiment has the characteristics described above.

[0315] In general column digital CDS or ADC, CDS or ADC is slowly performed in one H (horizontal) period. A signal memorized in an FD is assumed.

[0316] However, in the threshold modulation system, a signal change is caused by received light even during CDS or ADC. Therefore, when a high-speed electronic shutter is used with a large light amount, it is likely that a signal error and floating black occur.

[0317] In general, such a problem is prevented by high-speed analog CDS. In this system, it is conceivable to correct a black level taking into account shutter speed and a signal amount. Electronic shutter speed in a practical range is not considered to specifically cause a problem.

[0318] To prevent leak on a signal side that consumes sampling time, as described above, for example, analog sampling is performed only on the signal side. As a result, a significant improvement effect is obtained by adding one capacitor.

[0319] The pre-line reset system that makes use of a reset level of a preceding line can cope with reset of the column digital CDS.

[0320] Figs. 33A to 33C are diagrams of a level diagram of the pre-line reset system, two-column sharing, and 2x2 pixel timing. Fig. 33A is a diagram of an example of working voltage. Fig. 33B is a diagram of an example of a still image sequence in two column sharing. Fig. 33C is a diagram of an example of a 2x2 pixel addition sequence.

[0321] In this embodiment, for example, as shown in Fig. 34, pixel cells (transistors) are arranged in an array shape to obtain one output signal with plural pixels. This makes it possible to attain a high-Qs and low-noise dynamic range.

[0322] A method of obtaining one output signal may be performed in a solid-state imaging element or in a signal processing IC outside the element. When the method is performed in the signal processing IC outside the element, there is an advantage that, for example, a defective pixel can be corrected.

[0323] In this embodiment, for example, as shown in a plan view of Fig. 35 and a simplified sectional view of Fig. 36A, on condition that one output is finally obtained, element separation is performed in a unit of plural pixels to prepare for mixing of signals in plural pixels arranged in an array shape. Consequently, the sensor accumulation region is further expanded and a high dynamic range (D-Range) can be attained.

[0324] In this embodiment, for example, as shown in a simplified sectional view of Fig. 36B, if color filter coding is not the same color in plural pixels arranged in an array shape but, for example, primary colors B (Blue) and R (Red), a complementary color magenta is obtained. Therefore, complementary color signal processing used in a cam coder and the like can be used. As a result, color reproducibility is the same as that of the primary colors and improvement of mass productivity through sharing of color filter materials can be attained.

[0325] In this embodiment, for example, as shown in Fig. 37 and Figs. 38A and 38B, in a pixel that shares a part or a plurality of contacts of a drain, a source, a substrate (a well), or a gate with an adjacent pixel cell, when element separation is performed in a unit of plural pixels, since an element separation p-well under a reset drain can be eliminated, there is an effect that reset voltage can be reduced.

[0326] In the solid-state imaging device 1 according to this embodiment, it is possible to perform nondestructive readout without worsening of dark currents by continuing photoelectric conversion without resetting pixels in signal readout from pixels.

[0327] It is possible to realize, according to the nondestructive readout, for example, a high-S/N wide dynamic range (Wide D-Range) and live view during low-speed exposure and valve exposure.

[0328] It is also possible to realize, according to the nondestructive readout, various forms, for example, it is possible to perform still image low-speed exposure and asynchronous and synchronous simultaneous operations of a moving image, use for both AE and AF is possible, and it is possible to perform real-time AE/AF at random in an entire area through high-speed partial scan.

[0329] Fig. 39 is a diagram of an example of a wide dynamic range (Wide D-Range) sequence according to the nondestructive readout.

[0330] In Fig. 39, the vertical direction indicates a signal level and the horizontal direction indicates exposure time.

<Step ST1>

[0331] The signal level is reset and black scan is performed. A threshold Vh variation image is captured.

SAMSUNG EX. 1002 - 200/2862

<Step ST2>

[0332] At time t1, first intermediate scan (SCAN #1) is performed. A high-luminance image is captured and a Vth difference is obtained.

<Step ST3>

[0333] At time t2, second intermediate scan (SCAN #2) is performed. A medium-luminance image is captured and a Vth difference is obtained.

<Step ST4>

[0334] At time t3, final scan is performed to reset the signal level. A low-luminance image is captured (CDS).

[0335] Although not shown in the figure, as step ST5, a wide dynamic range is realized by image combination of the high-luminance image, the medium-luminance image, and the low-luminance image. (The respective images are multiplied by time ratios and combined by level to obtain a high-DR image.)

[0336] Fig. 40 is a diagram of an example of a low-speed live view sequence according to the nondestructive readout.

[0337] In Fig. 40, the vertical direction indicates a signal level and the horizontal direction indicates exposure time.

<Step ST11>

[0338] The signal level is reset and black scan is performed. A threshold Vh variation image is captured.

<Step ST12>

[0339] First intermediate scan (SCAN #1) is performed. #1 image is captured and a #0Vth difference is obtained and, for example, displayed for monitoring.

<Step ST13>

[0340] Second intermediate scan (SCAN #2) is performed. #2 image is captured and #1 Vth difference is obtained and, for example, displayed for monitoring.

<Step ST14>

[0341] Final scan is performed. #n image is captured and #n Vth difference is obtained and, for example, displayed for monitoring.

<Step ST15>

[0342] Capturing scan is performed to reset the signal level. Final image capturing CDS and recording in a memory are performed.

<Step ST16>

[0343] In the case of an asynchronous type, the image capture in step ST15 (a still image) is displayed in terms of 1/30s.

[0344] In this way, it is possible to realize, according to the nondestructive readout, for example, a high-S/N wide dynamic range (Wide D-Range) and live view during low-speed exposure and valve exposure.

[0345] As explained above, according to this embodiment, the substrate 100 includes the first substrate surface 101 side on which light is irradiated and the second substrate surface 102 side on which elements are formed. The plural pixel cells Cel (2A) separated by the adjacent cell group and the element separation layer are formed. Each of the pixel cells Cel includes the first conductive (in this embodiment, n-type) well (the first well) 110 formed on the first substrate surface 101 side and the second conductive (p-type) well (the second well) 120 formed further on the second substrate surface 102 side than the first well 110. The n-type first well 110 functions as a light sensing section that receives light from the first substrate surface 101 side and has the photoelectric conversion function and the charge accumulation function for the received light. The MOS transistor 130 that detects accumulated charges in the light sensing section of the first well 110 and has the threshold modulation function is formed in the second well 120. The p-type element separation layer (conductive layer) 140 of the second conductive type opposite to the first conductive type (in this embodiment, n-type) is formed on the sidewalls of the first well 110 and the second well 120 to surround the sidewalls. Therefore, effects described below can be obtained.

[0346] A pixel can be formed by one transistor of the drain (D)/gate (G)/source (S) structure. An increase in the number of steps can be minimized because the pixel structure is compatible with a logic process.

[0347] Layout efficiency is high and a micro-pixel can be realized because the contacts of the drain, the source, the gate, and the well can be shared.

[0348] Since a gate area is large, transistor noise is extremely small.

[0349] Since the entire pixel is an accumulation region, a saturation signal amount is large and a high dynamic range (DR) can be realized.

[0350] Since dark currents generated from the interface are discharged to the drain, a dark current image defect in the interface does not occur.

[0351] It is possible to perform nondestructive readout in which dark currents do not worsen regardless of ON or OFF of the gate.

[0352] The entire light sensing section is the gate. When the reflector is mounted, near infrared high sensitivity and an ultra-fine pixel can be realized.

[0353] Noise can be reduced by the inverse γ correction function.

[0354] The solid-state imaging device having the char-

SAMSUNG EX. 1002 - 201/2862

acteristics described above can be applied as imaging devices of a digital camera and a video camera.

[0355] Fig. 41 is a diagram of an example of a configuration of a camera system to which the solid-state imaging device according to this embodiment is applied.

[0356] This camera system 500 includes, as shown in Fig. 41, an imaging device 510 to which the solid-state imaging device 1 according to this embodiment can be applied, an optical system that guides incident light to a pixel region of the imaging device 510 (focuses a subject image), for example, a lens 520 that focuses incident light (image light) on an imaging surface, a driving circuit (DRV) 530 that drives the imaging device 510, and a signal processing circuit (PRC) 540 that processes an output signal of the imaging device 510.

[0357] The driving circuit 503 includes a timing generator (not shown) that generates various timing signals including a start pulse and a clock pulse for driving circuits in the imaging device 510. The driving circuit 530 drives the imaging device 510 with a predetermined timing signal.

[0358] The signal processing circuit 540 applies signal processing such as CDS (Correlated Double Sampling) to an output signal of the imaging device 510.

[0359] An image signal processed by the signal processing circuit 540 is recorded in a recording medium such as a memory. The image signal recorded in the recording medium is hard-copied by a printer or the like. The image signal processed by the signal processing circuit 540 is displayed as a moving image on a monitor including a liquid crystal display.

[0360] As described above, in imaging apparatuses and electronic apparatuses such as a digital camera, a monitoring camera, a camera mounted on a cellular phone, a single lens reflex camera, and a scanner, it is possible to realize a highly accurate camera by mounting the solid-state imaging device 1 as the imaging device 510.

[0361] The present invention is not limited by the explanation of the embodiment.

[0362] For example, the numerical values and the materials described in the embodiment are only examples. The present invention is not limited to the numerical values and the materials.

[0363] Besides, various alterations are possible without departing from the spirit of the present invention.

[0364] It should be understood by those skilled in the art that various modifications, combinations, sub-combinations, and alterations may occur depending on design requirements and other factors insofar as they are within the scope of the appended claims or the equivalents thereof.

Claims

1. A solid-state imaging device comprising pixel cells that are formed on a substrate having a first substrate surface side, on which light is irradiated, and a second substrate surface side, on which elements are formed, and separated by an adjacent cell group and an element separation layer for each of the pixel cells or with plural pixel cells as a unit, wherein
each of the pixel cells includes:

a first conductive well formed on the first substrate surface side; and
a second conductive well formed on the second substrate surface side,
the first conductive well receives light from the first substrate surface side and has a photoelectric conversion function and a charge accumulation function for the received light, and
a transistor that detects accumulated charges in the first conductive well and has a threshold modulation function is formed in the second conductive well.

2. A solid-state imaging device according to claim 1, wherein the accumulated charges and signal charges are identical carriers.

3. A solid-state imaging device according to claim 1 or 2, wherein the transistor has a function of a readout transistor, a function of a reset transistor, and a function of a selection transistor.

4. A solid-state imaging device according to claims 1 to 3, wherein the pixel cell has a gamma characteristic that a modulation degree increases when illuminance is low.

5. A solid-state imaging device according to claim 4, wherein the pixel cell has the structure in which a capacity increases during a large signal output and has a function of realizing a high dynamic range according to the gamma characteristic.

6. A solid-state imaging device according to claims 1 to 5, wherein a second conductive separation layer is formed at least on a side of the first conductive well of the first conductive well and the second conductive well.

7. A solid-state imaging device according to claim 6, wherein
a first conductive source region and a first conductive drain region are formed in the second conductive well or the second conductive separation layer, and a gate electrode is formed on a channel formation region in the second conductive well between the source region and the drain on the second substrate surface side of the substrate.

8. A solid-state imaging device according to claim 7, wherein a plurality of the pixel cells are arranged in

SAMSUNG EX. 1002 - 202/2862

an array form and share, with adjacent pixel cells, a part or a plurality of contacts of the drain, the source, the wells, or the gate.

9. A solid-state imaging device according to claim 7, wherein
a plurality of the pixel cells are arranged in an array form,
a gate electrode of the pixel cells are formed in common to the pixel cells in a stripe shape in one direction of the pixel array, and
a well contact is formed on the source region side or the drain region side.

10. A solid-state imaging device according to claim 9, wherein a well contact region is formed in the second conductive separation layer.

11. A solid-state imaging device according to claim 10, wherein the well contact region is formed in the second conductive separation layer on the first substrate surface side.

12. A solid-state imaging device according to claims 9 to 11, wherein, when the well contact is formed on the drain side, the well contact is formed in a pinch shape with drain width reduced.

13. A solid-state imaging device according to claims 1 to 12, wherein, in the arrangement of the pixel cells in the array form, the drain contacts are divided into two or more groups in a column and share a column circuit of a signal readout processing system.

14. A solid-state imaging device according to claim 3, wherein the solid-state imaging device has, in the gate electrode of the transistor on the second substrate surface side or a further front section of the gate electrode, a reflector that reflects light transmitted through the substrate and makes the light incident on the second conductive well and the first conductive well of the substrate.

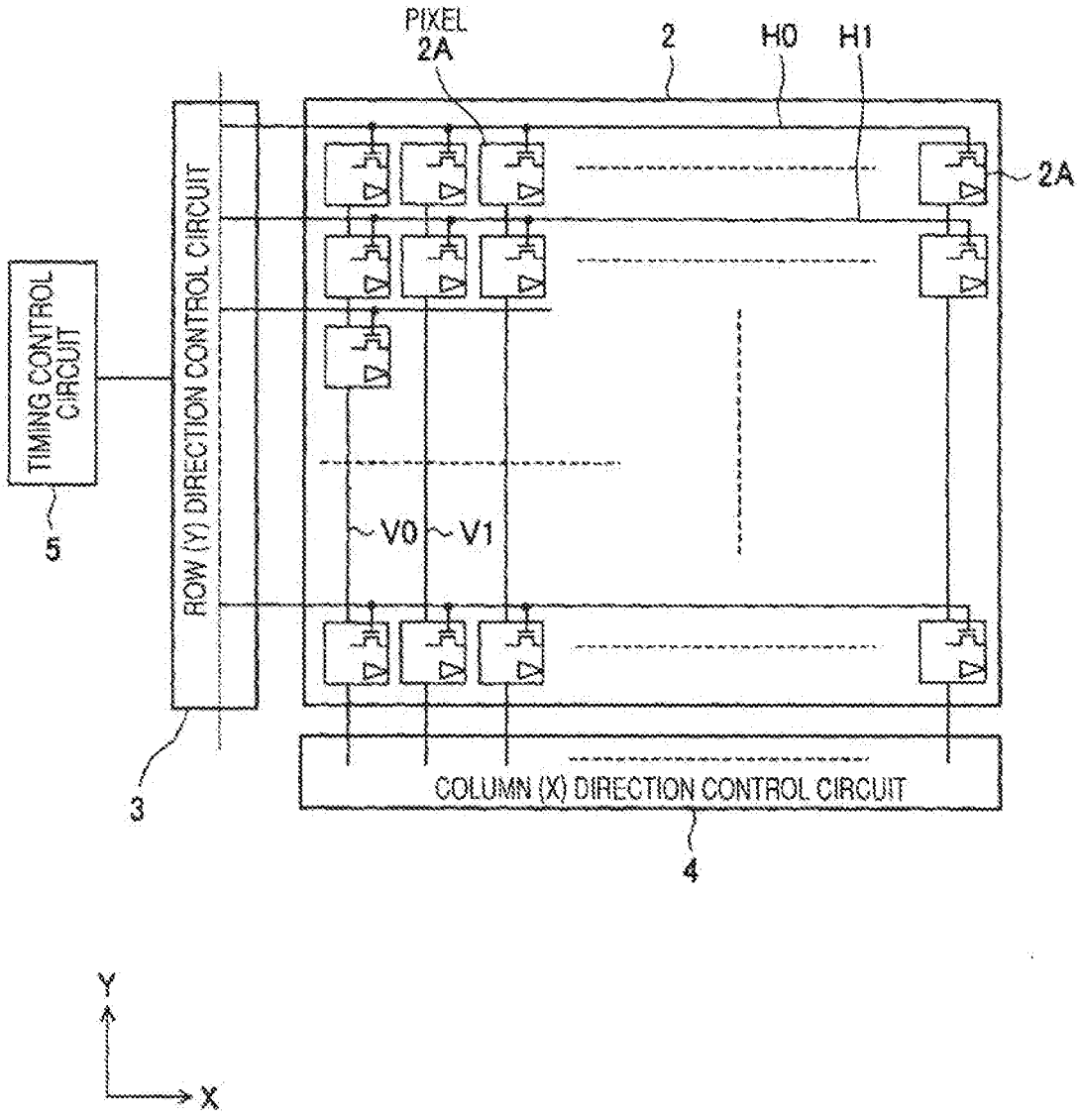
15. A camera comprising:

a solid-state imaging device that receives light from a first substrate surface side of a substrate;
an optical system that guides incident light to the first substrate surface side of the solid-state imaging device; and
a signal processing circuit that processes an output signal of the solid-state imaging device,
wherein
the solid-state imaging device includes pixel cells that are formed on the substrate having the first substrate surface side, on which light is irradiated, and a second substrate surface side, on which elements are formed, and separated by an adjacent cell group and an element separation layer for each of the pixel cells or with plural pixel cells as a unit,
each of the pixel cells includes:

a first conductive well formed on the first substrate surface side; and
a second conductive well formed on the second substrate surface side,
the first conductive well receives light from the first substrate surface side and has a photoelectric conversion function and a charge accumulation function for the received light, and
a transistor that detects accumulated charges in the first conductive well and has a threshold modulation function is formed in the second conductive well.

SAMSUNG EX. 1002 - 203/2862

FIG. 1



SAMSUNG EX. 1002 - 204/2862

FIG. 2A

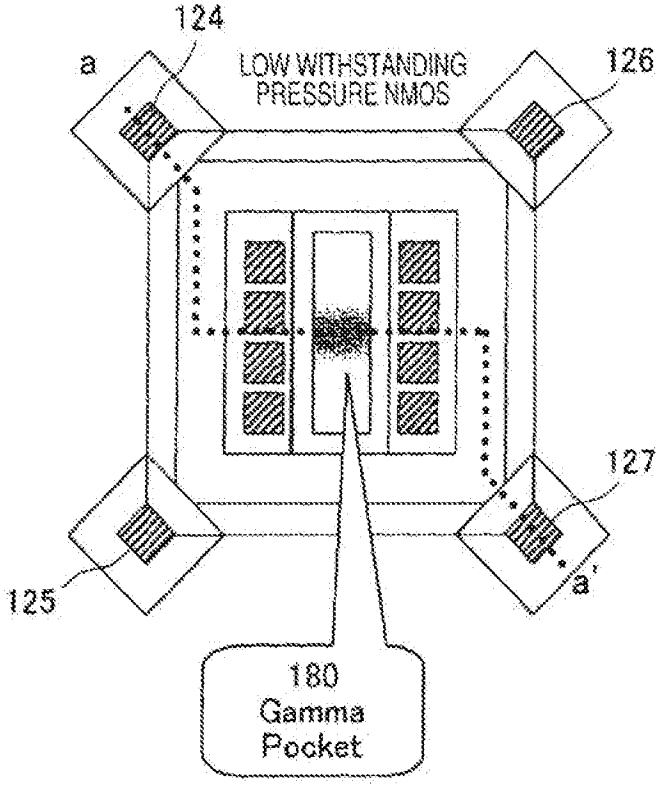
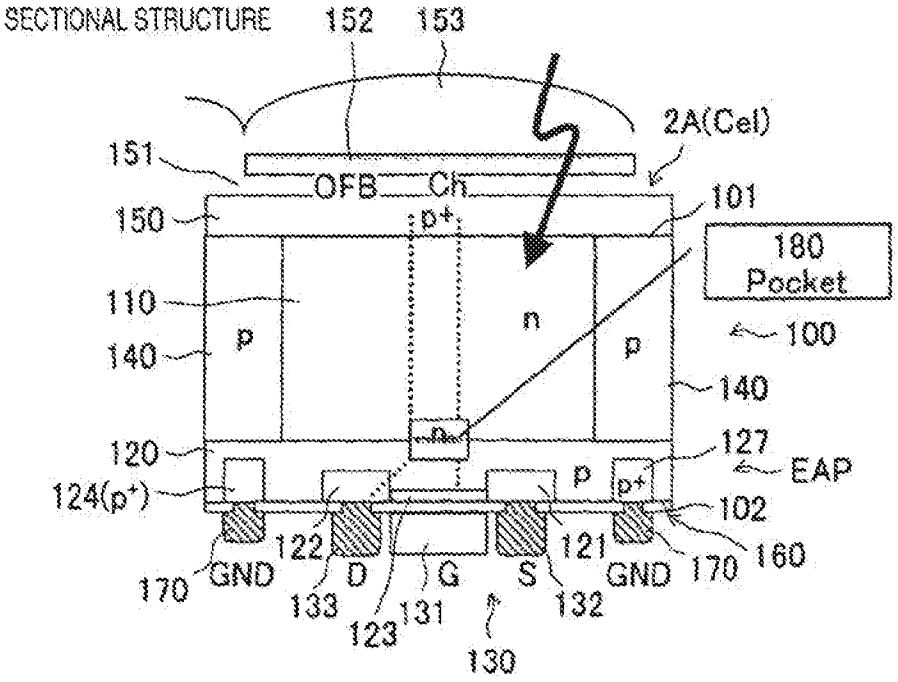


FIG. 2B



SAMSUNG EX. 1002 - 205/2862

FIG. 3

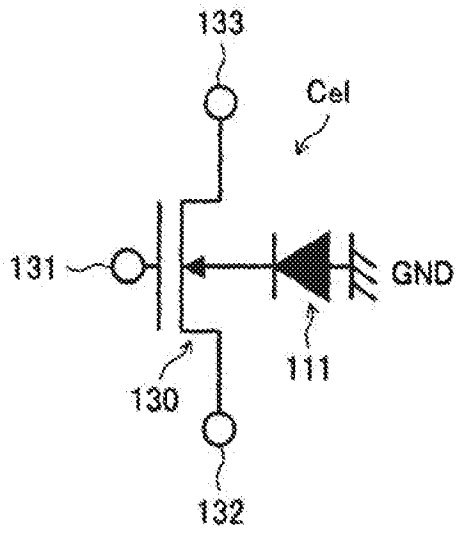
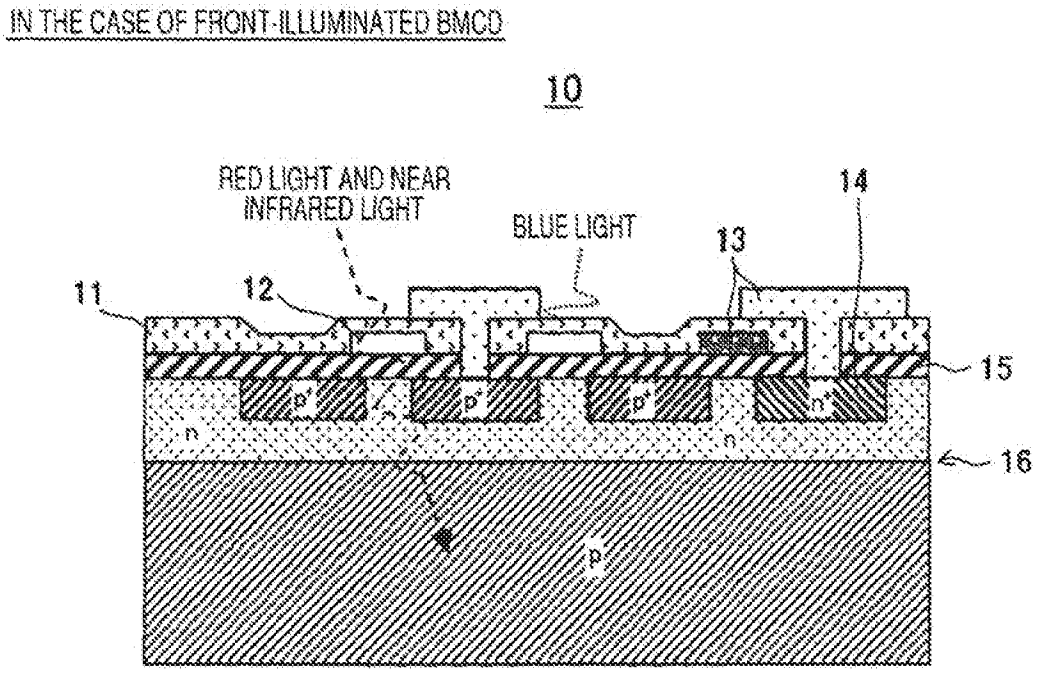
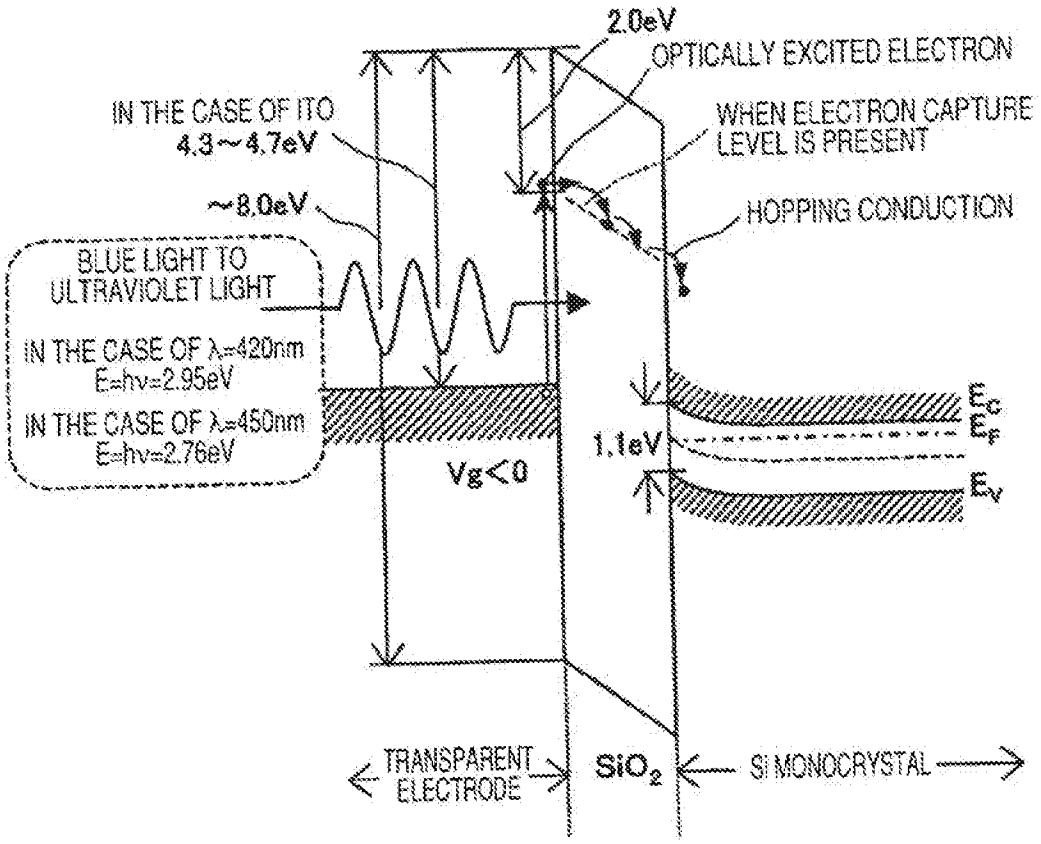


FIG. 4



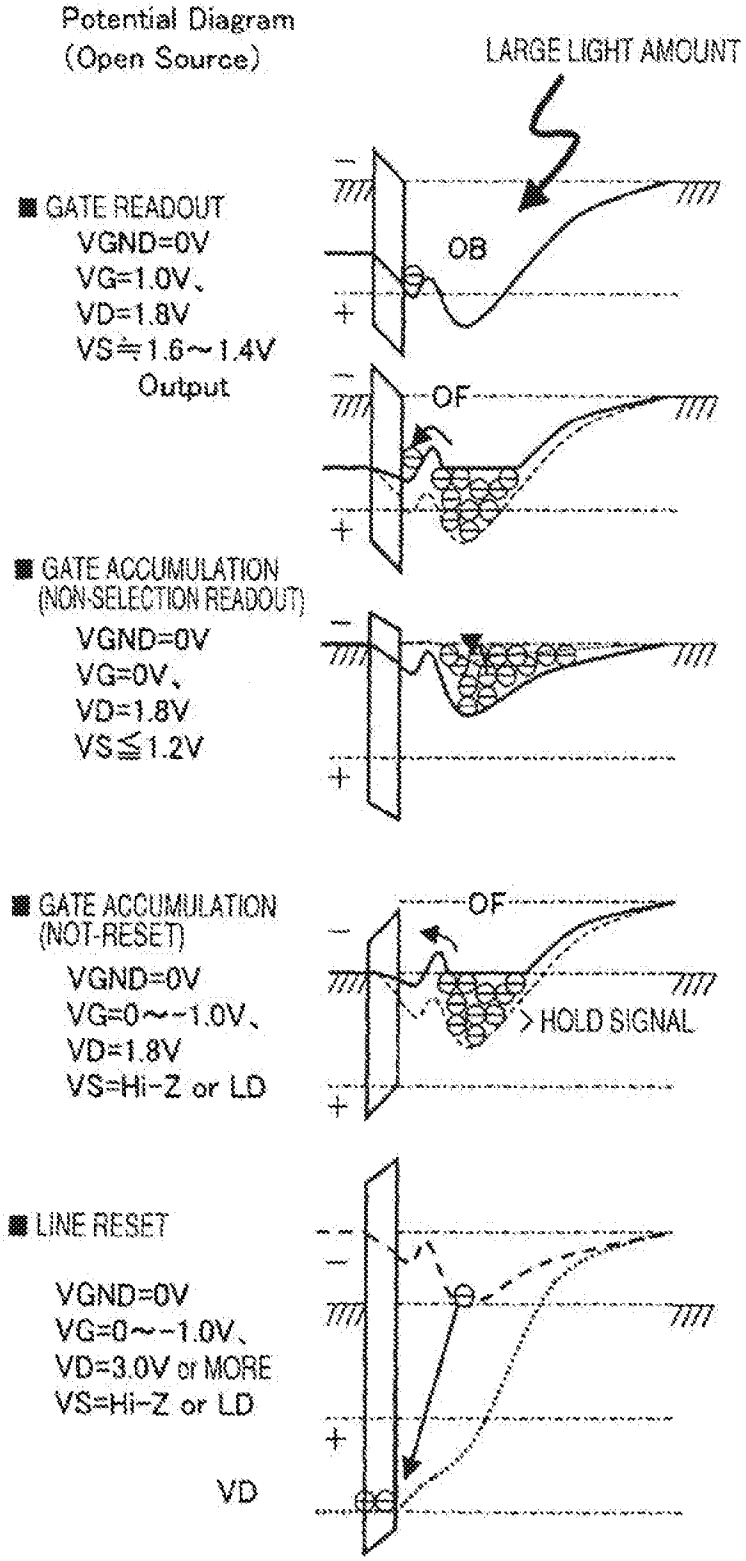
SAMSUNG EX. 1002 - 206/2862

FIG. 5



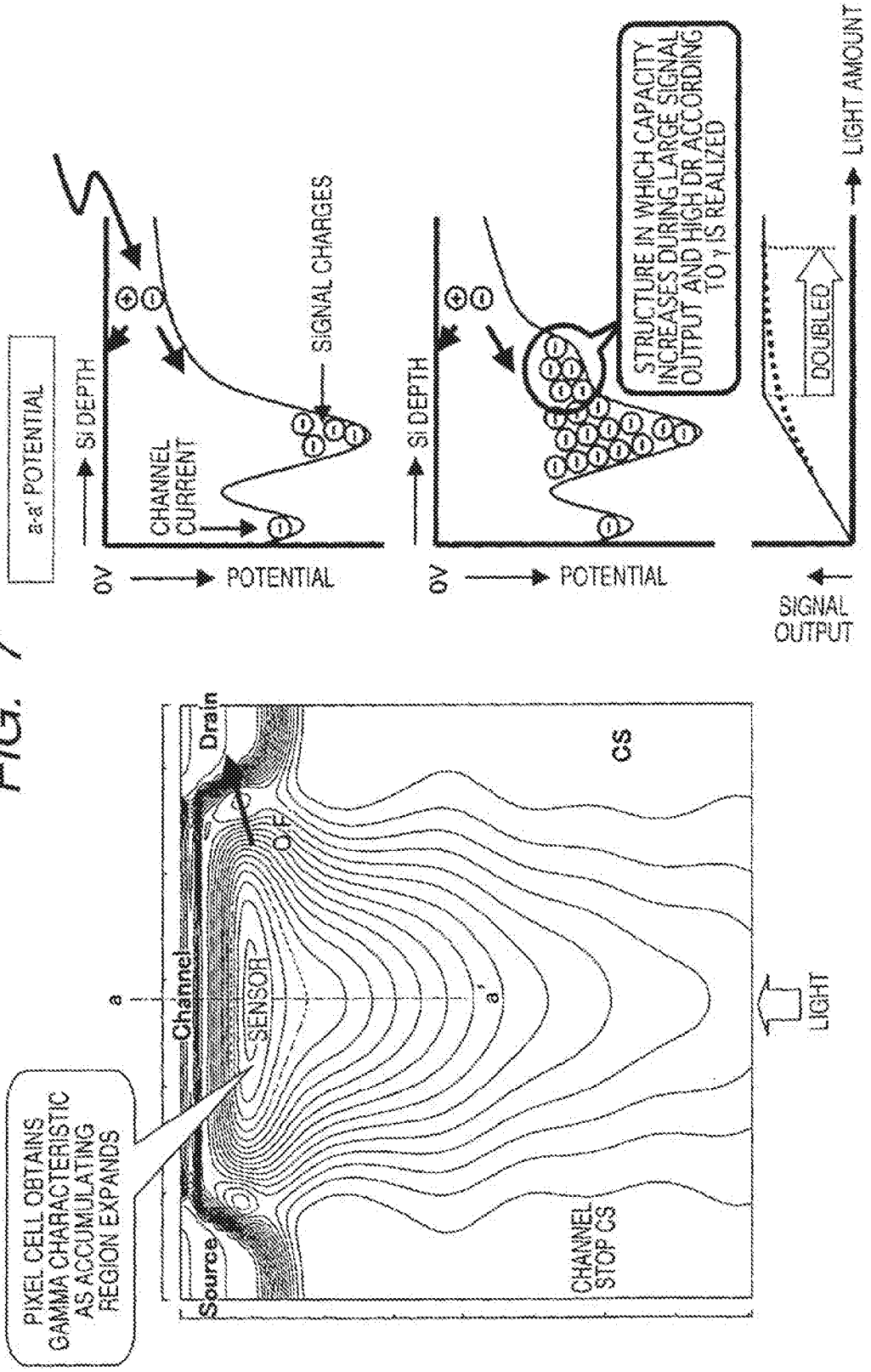
SAMSUNG EX. 1002 - 207/2862

FIG. 6



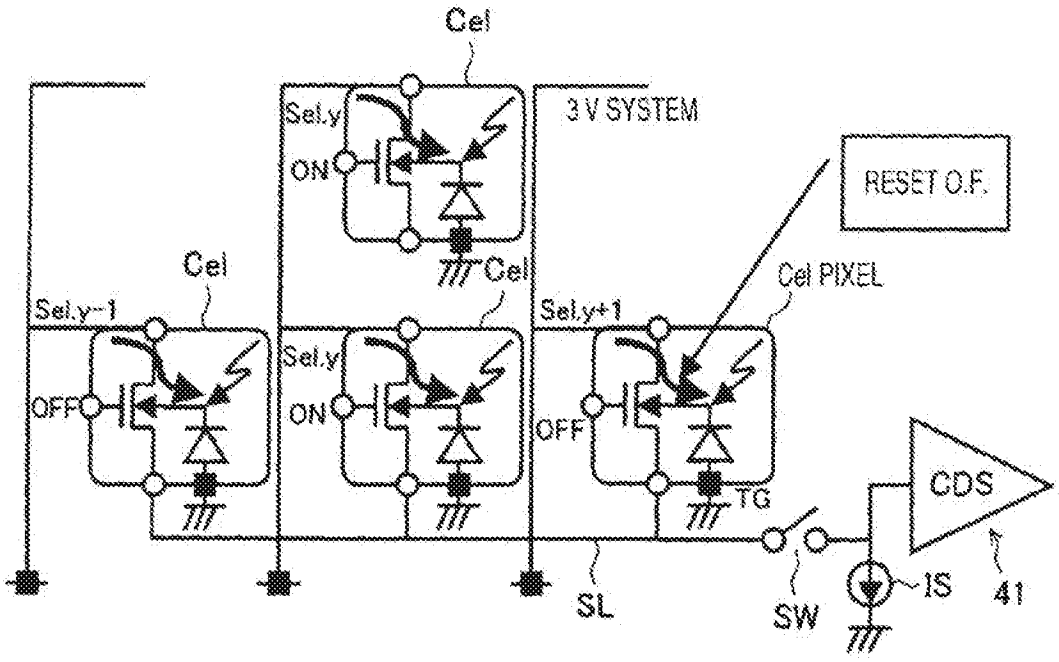
SAMSUNG EX. 1002 - 208/2862

FIG. 7



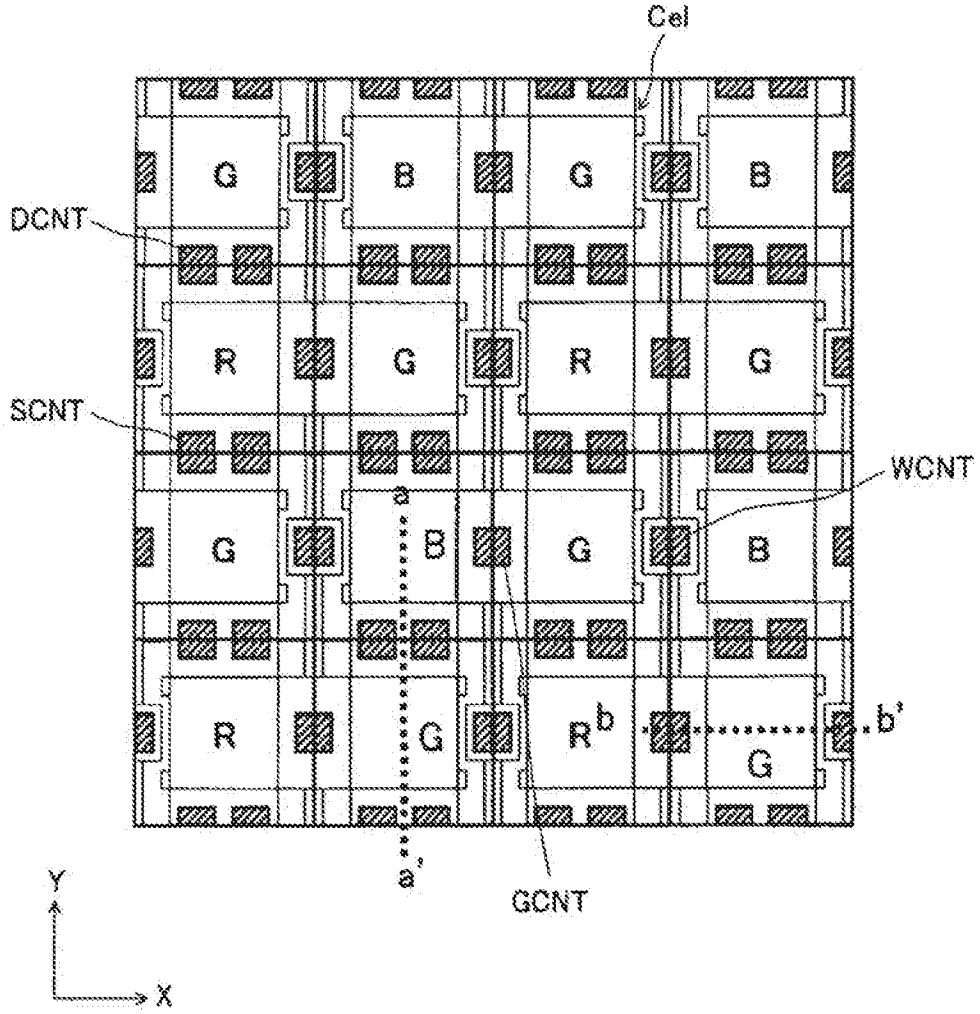
SAMSUNG EX. 1002 - 209/2862

FIG. 8



SAMSUNG EX. 1002 - 210/2862

FIG. 9



SAMSUNG EX. 1002 - 211/2862

FIG. 10A

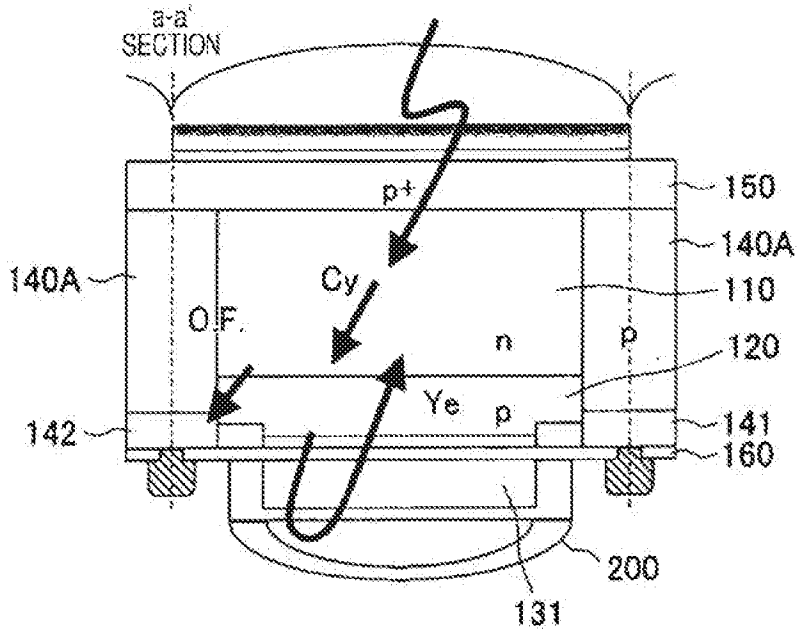
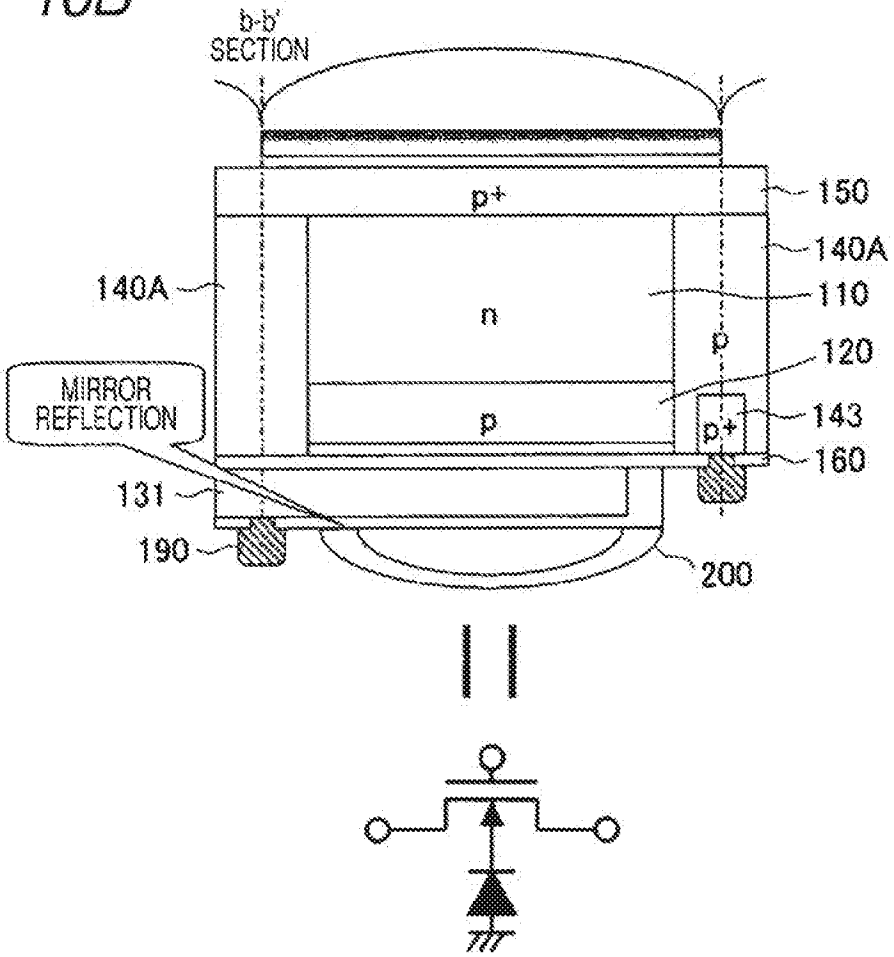
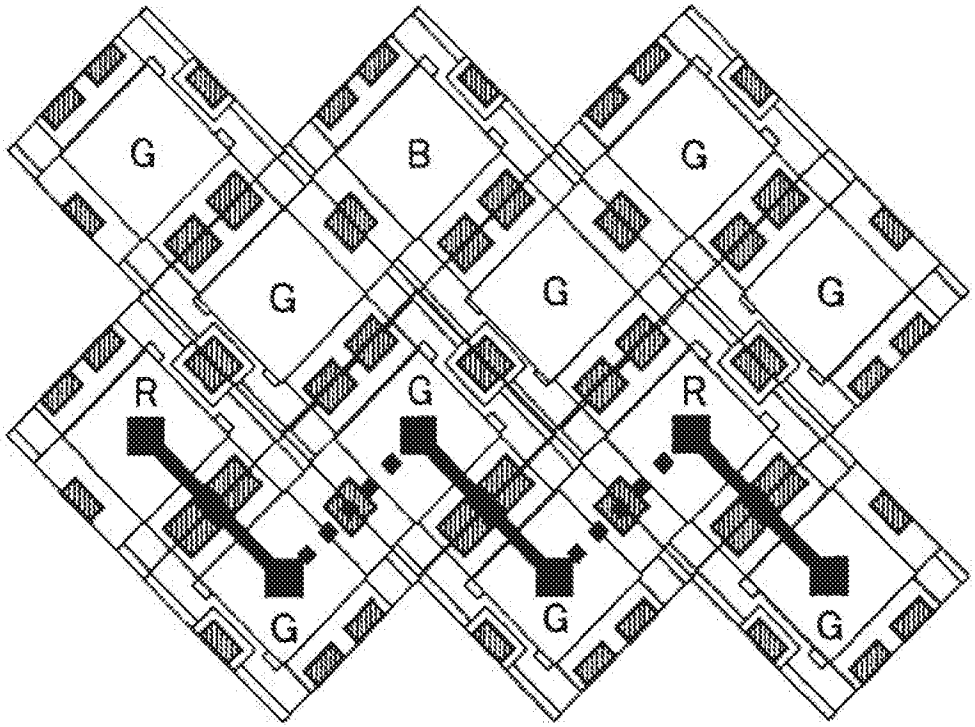


FIG. 10B



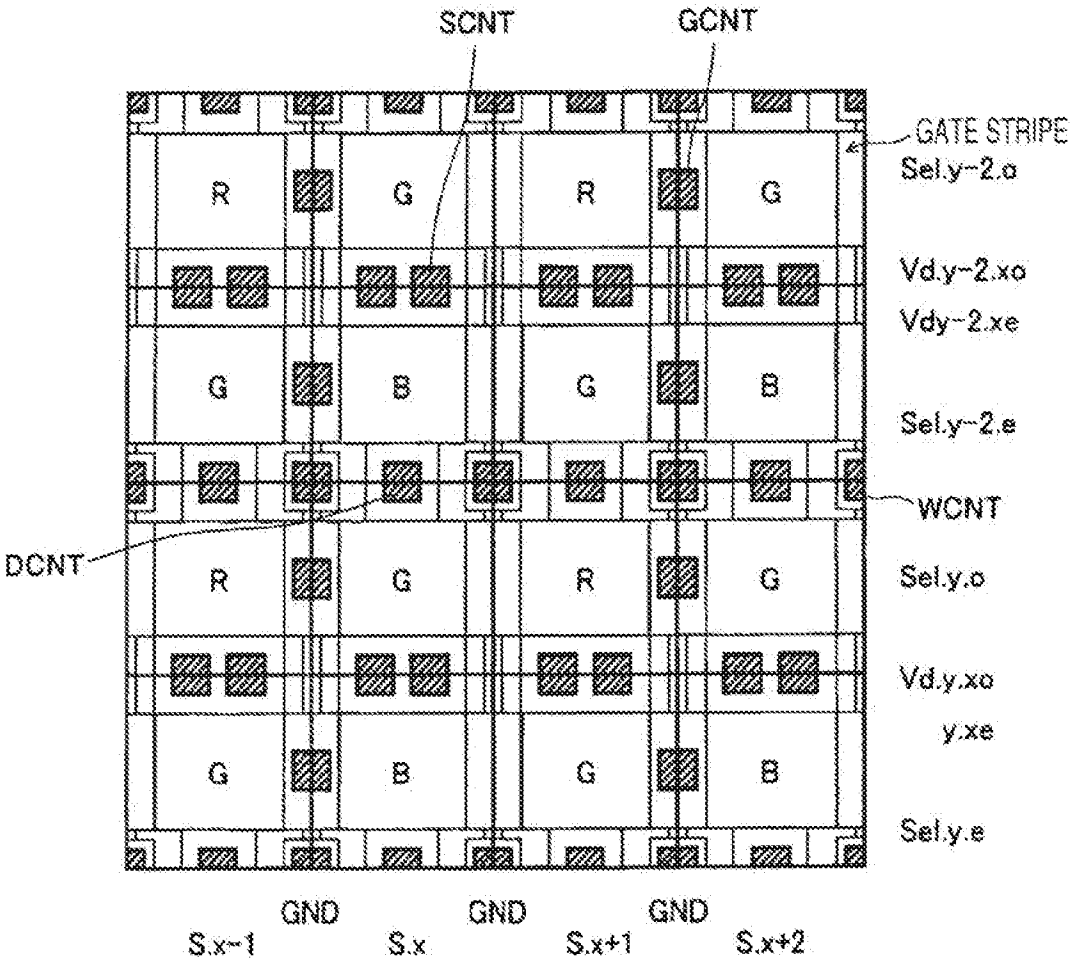
SAMSUNG EX. 1002 - 212/2862

FIG. 11



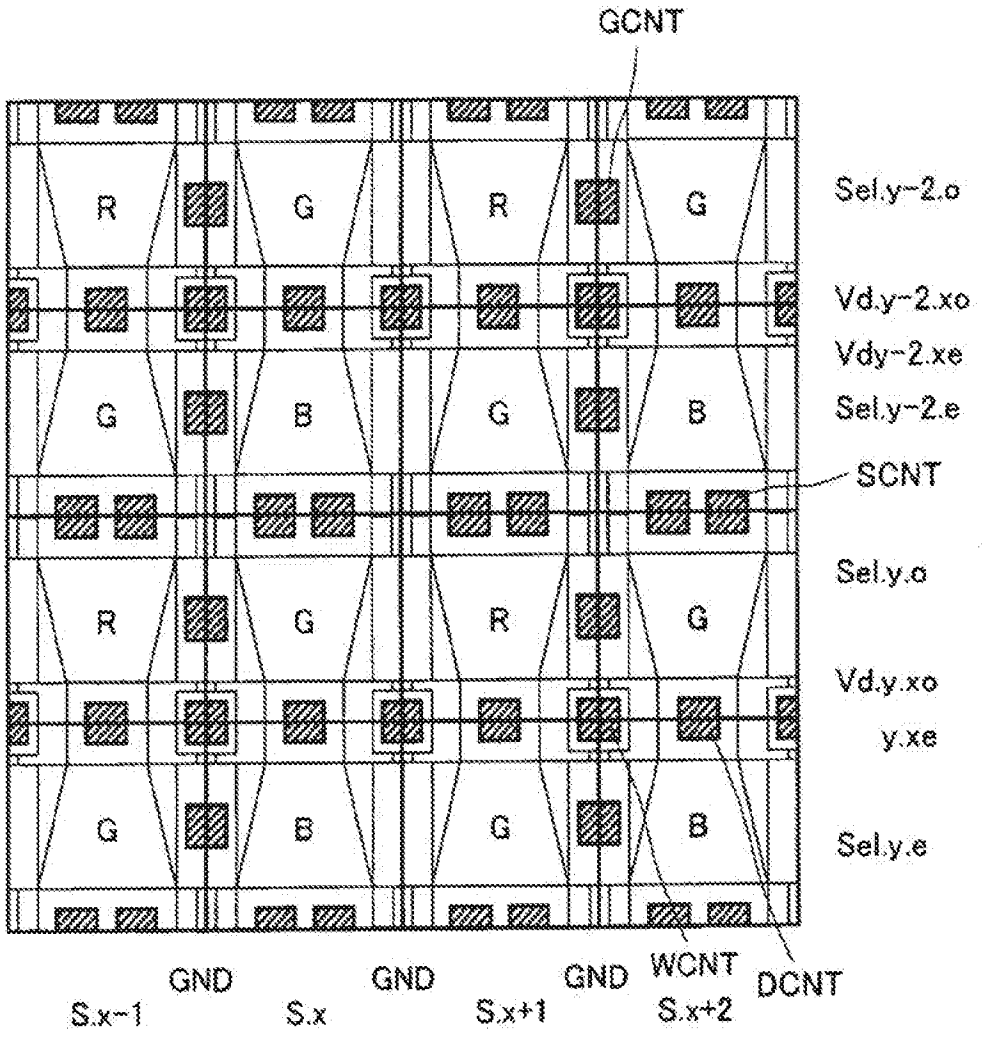
SAMSUNG EX. 1002 - 213/2862

FIG. 12



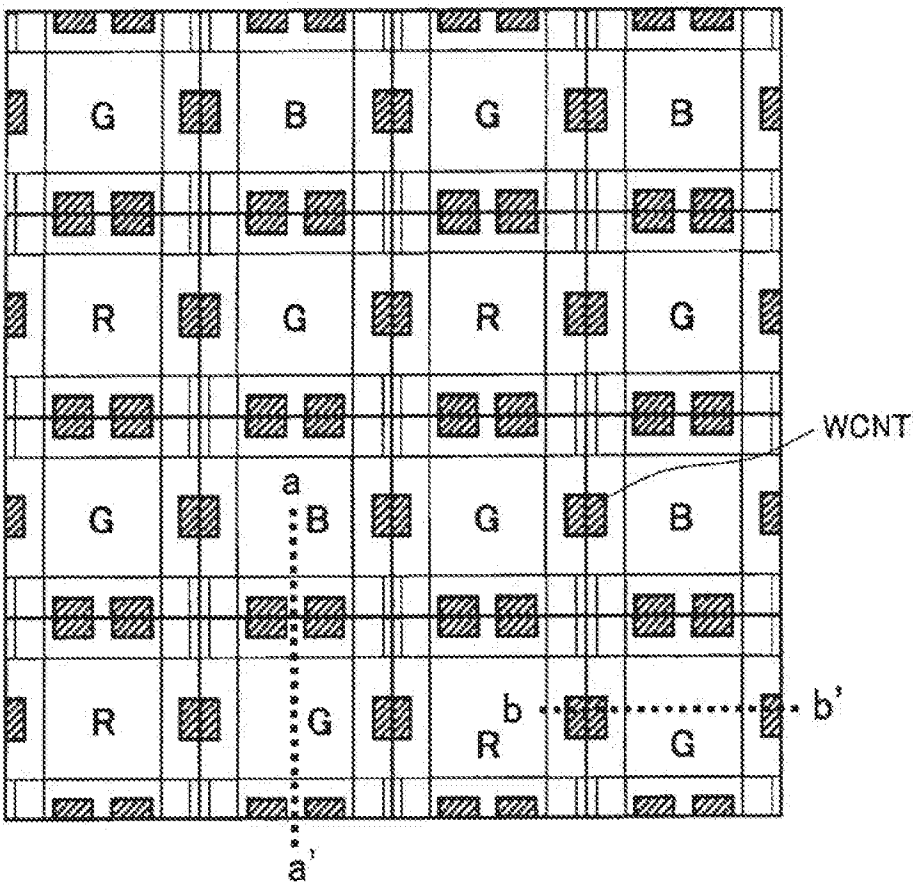
SAMSUNG EX. 1002 - 214/2862

FIG. 13



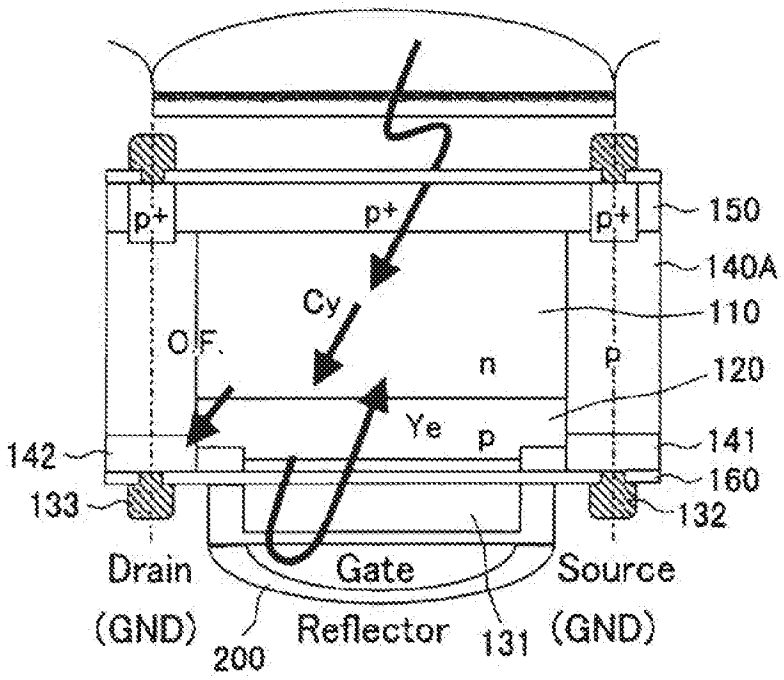
SAMSUNG EX. 1002 - 215/2862

FIG. 14



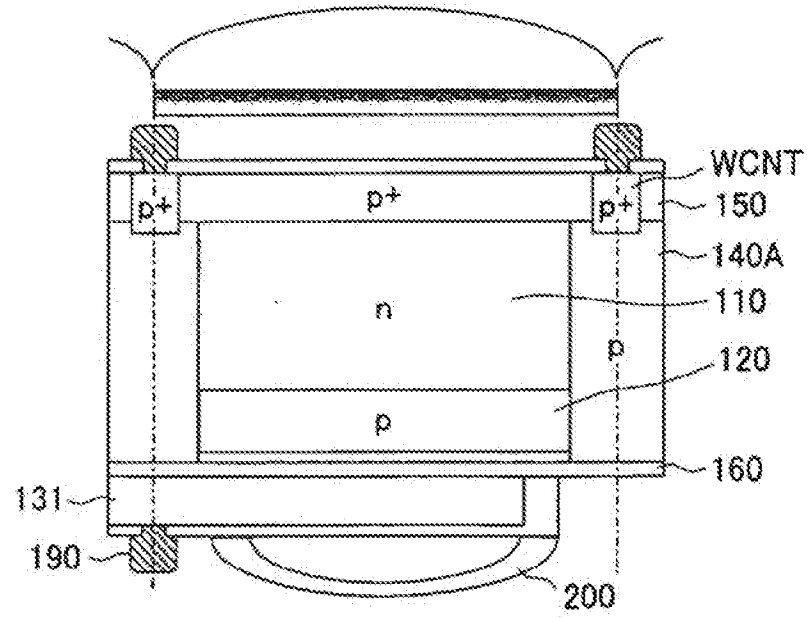
SAMSUNG EX. 1002 - 216/2862

FIG. 15A



LIGHT SHIELDING FILM FOR COLOR MIXTURE PREVENTION CAN ALSO BE USED AS WIRING

FIG. 15B



SAMSUNG EX. 1002 - 217/2862

FIG. 16A

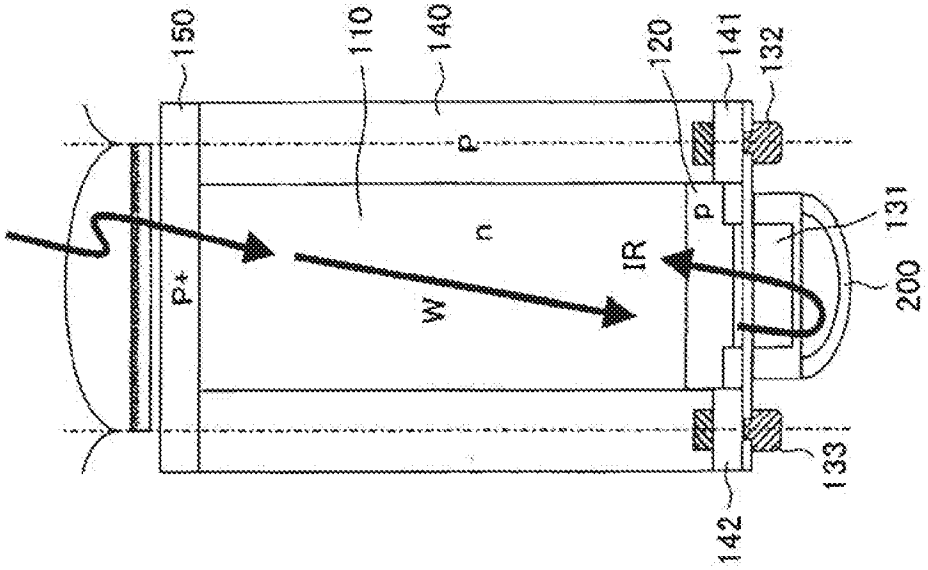
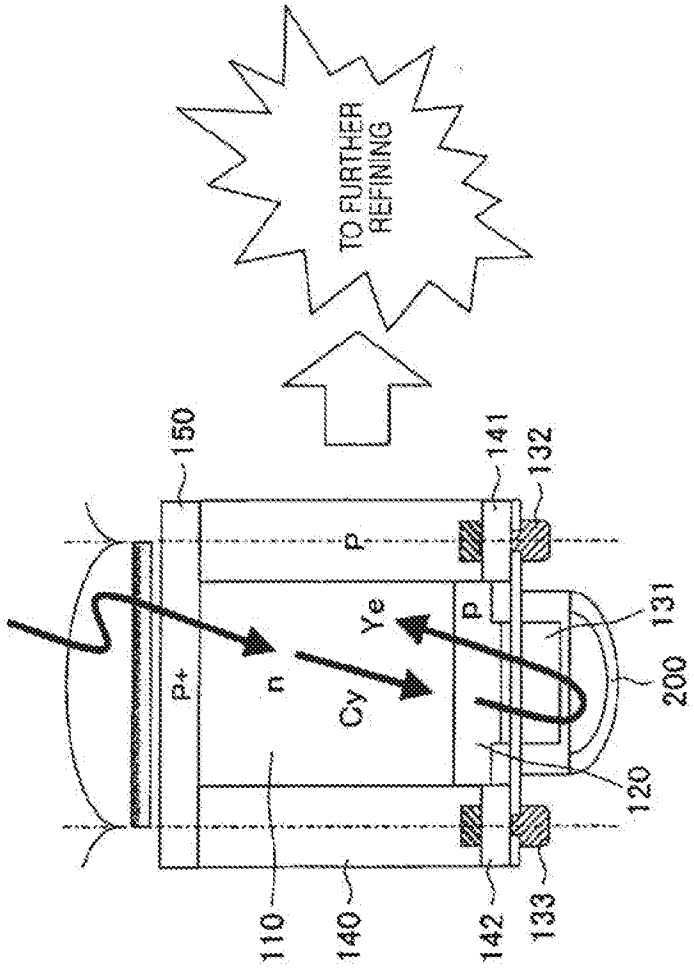
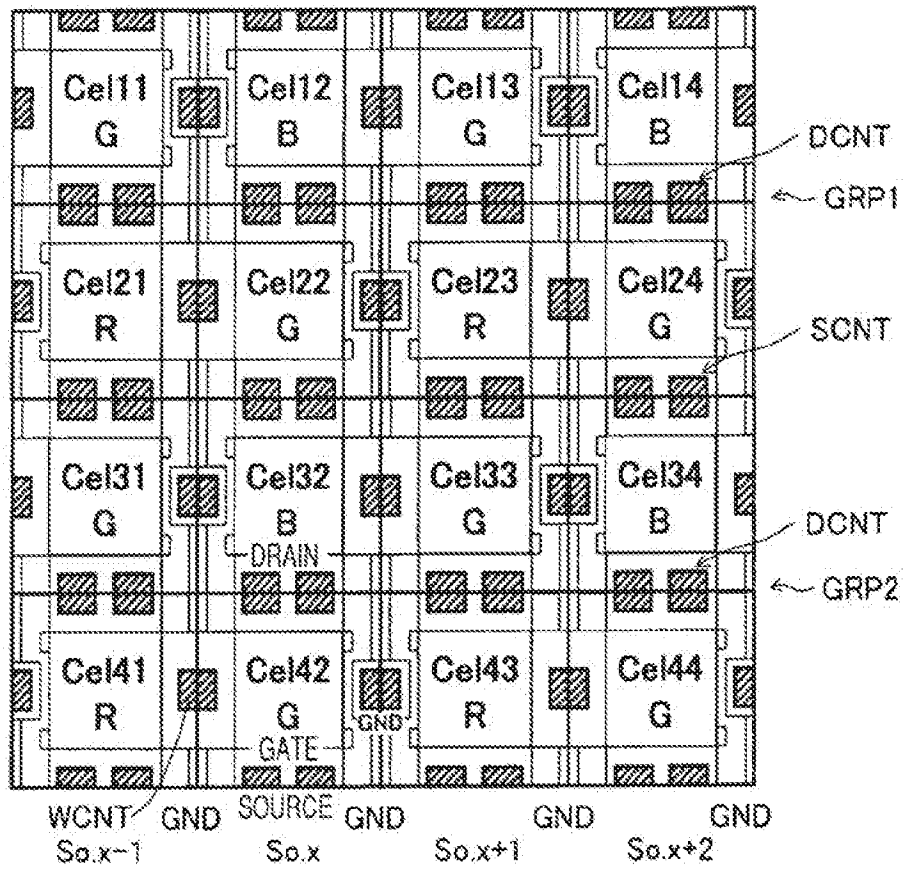


FIG. 16B



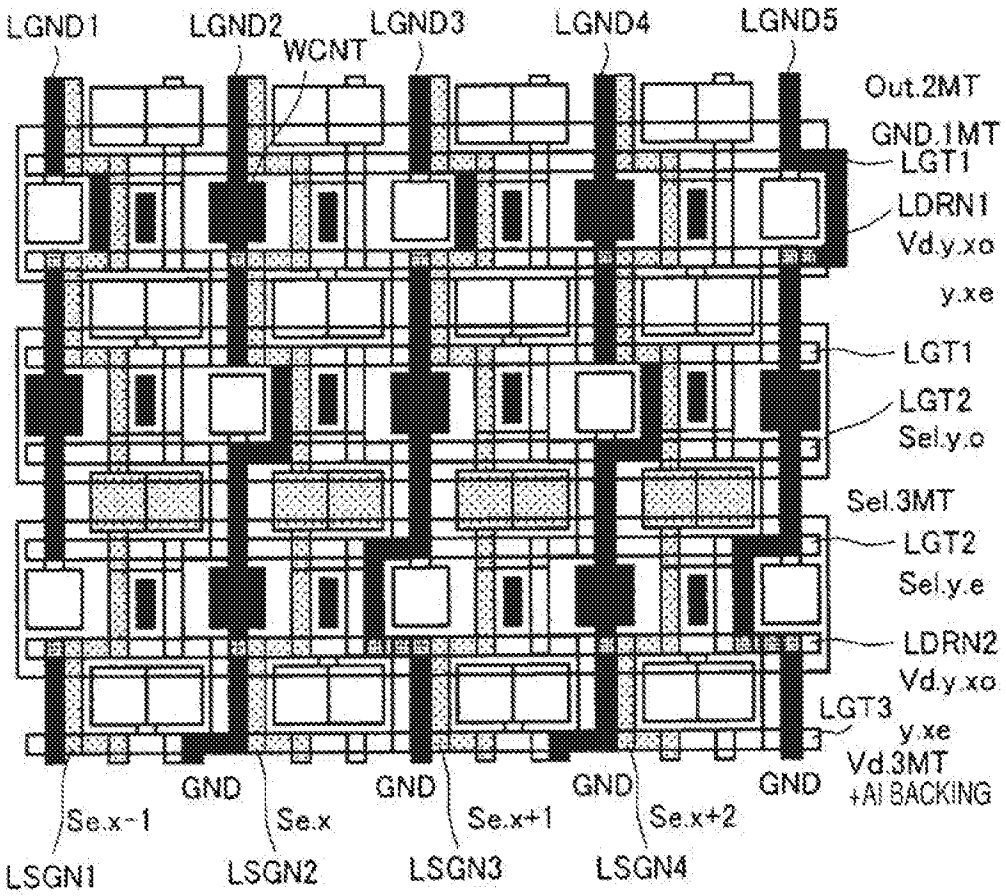
SAMSUNG EX. 1002 - 218/2862

FIG. 17A



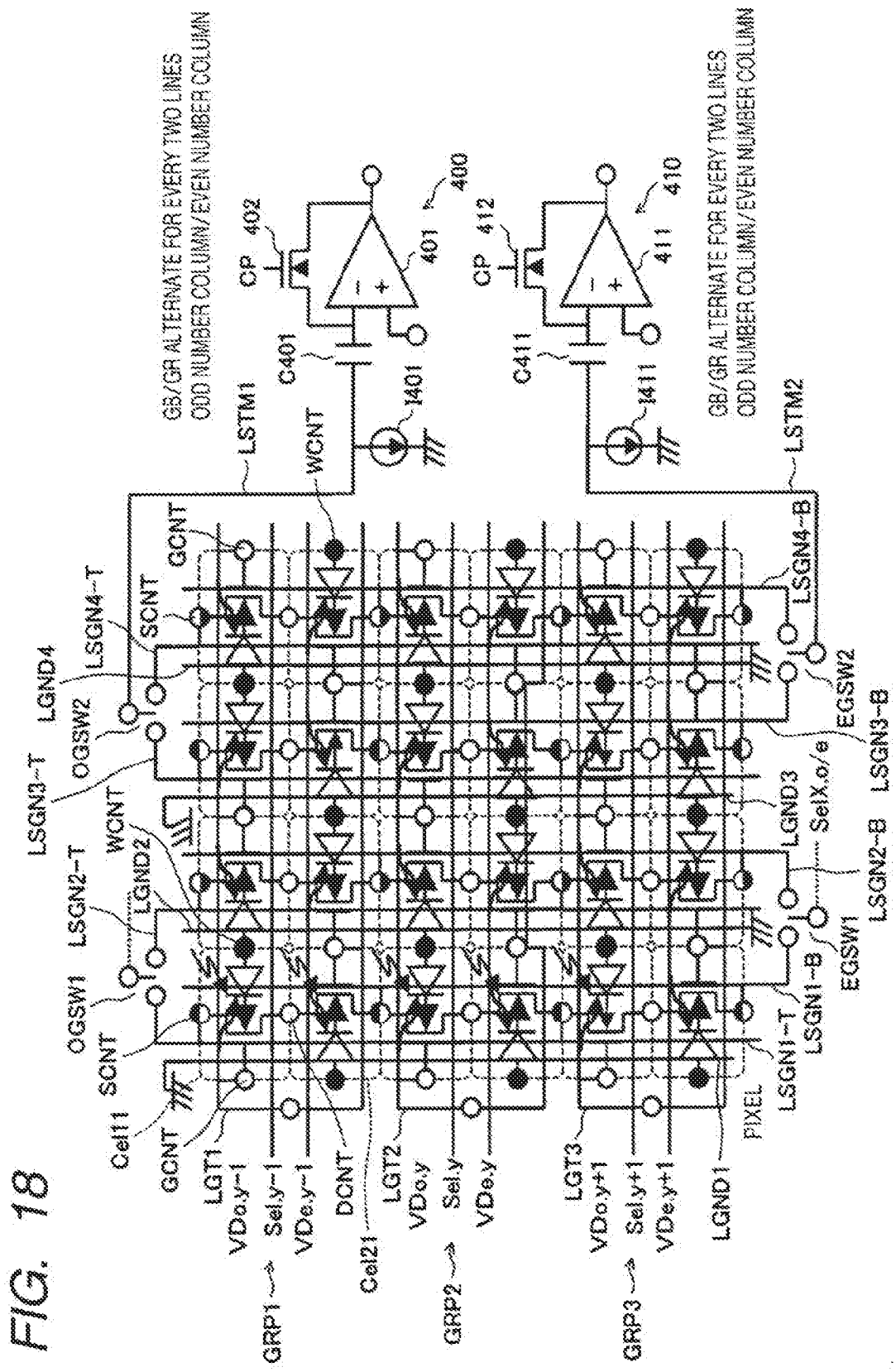
SAMSUNG EX. 1002 - 219/2862

FIG. 17B



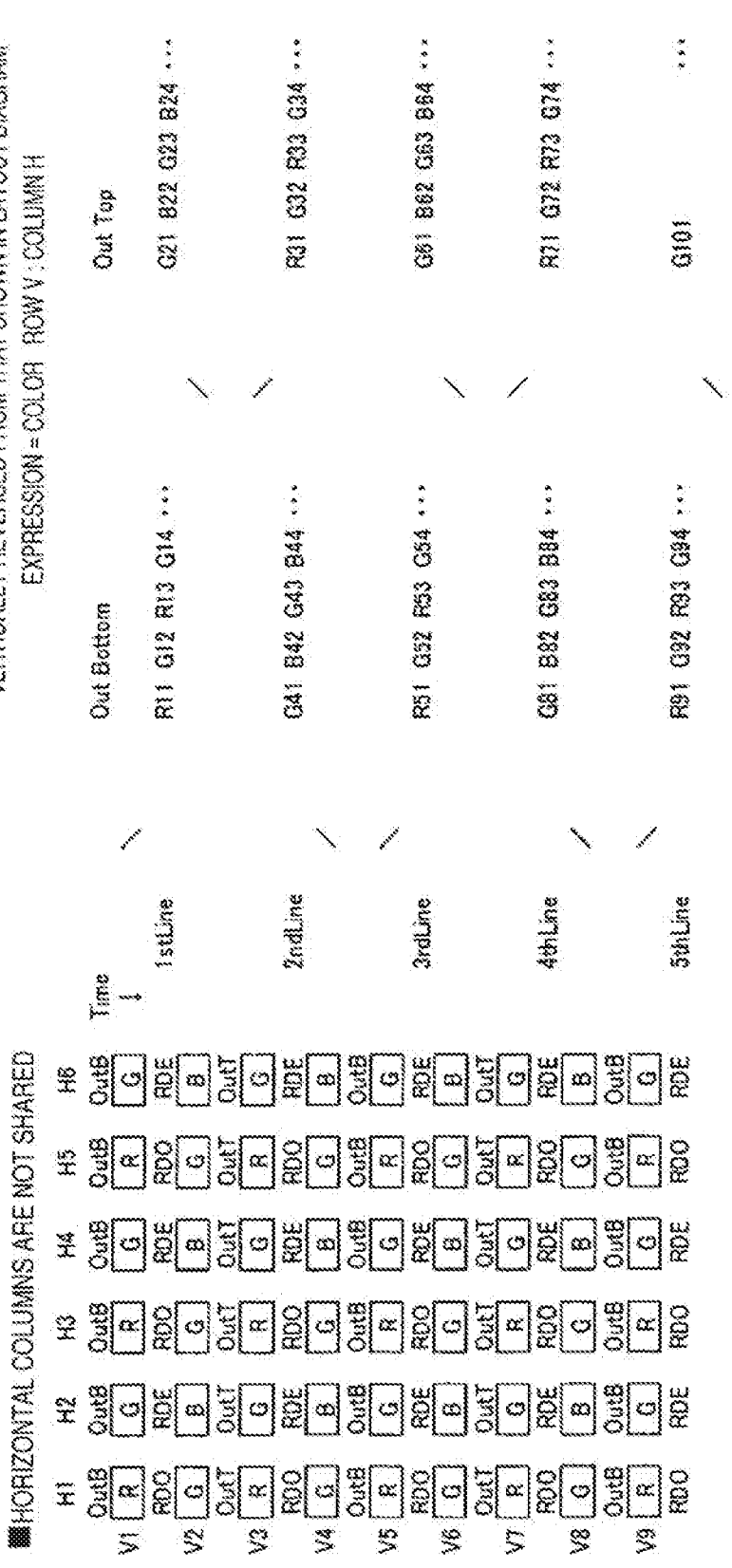
SAMSUNG EX. 1002 - 220/2862

FIG. 18



SAMSUNG EX. 1002 - 221/2862

FIG. 19A



SAMSUNG EX. 1002 - 222/2862

FIG. 19B

SAMSUNG EX. 1002 - 223/2862

FIG. 20A

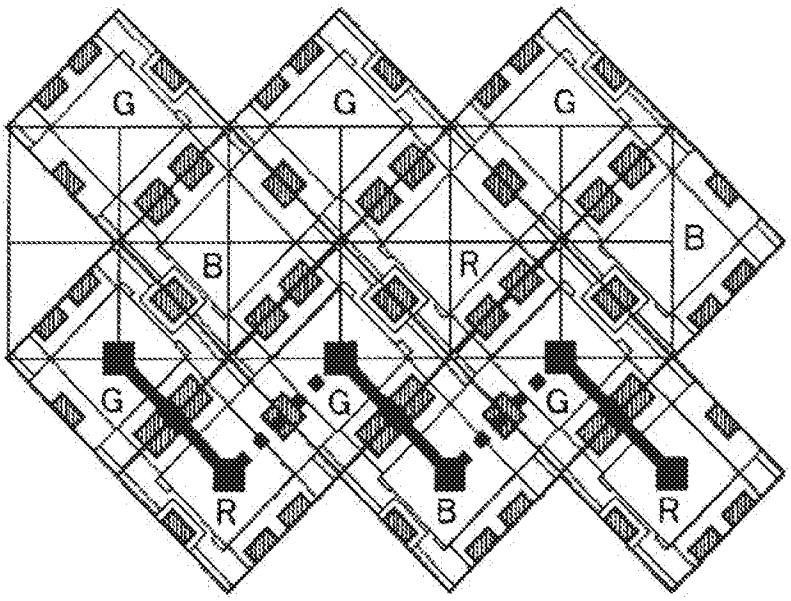
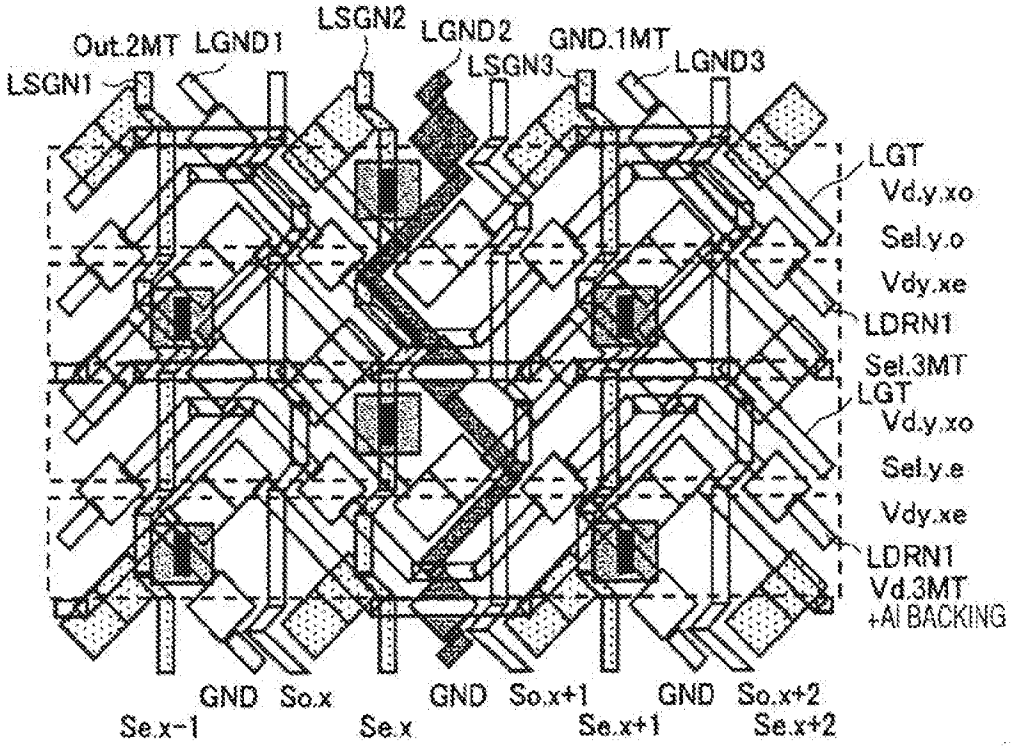
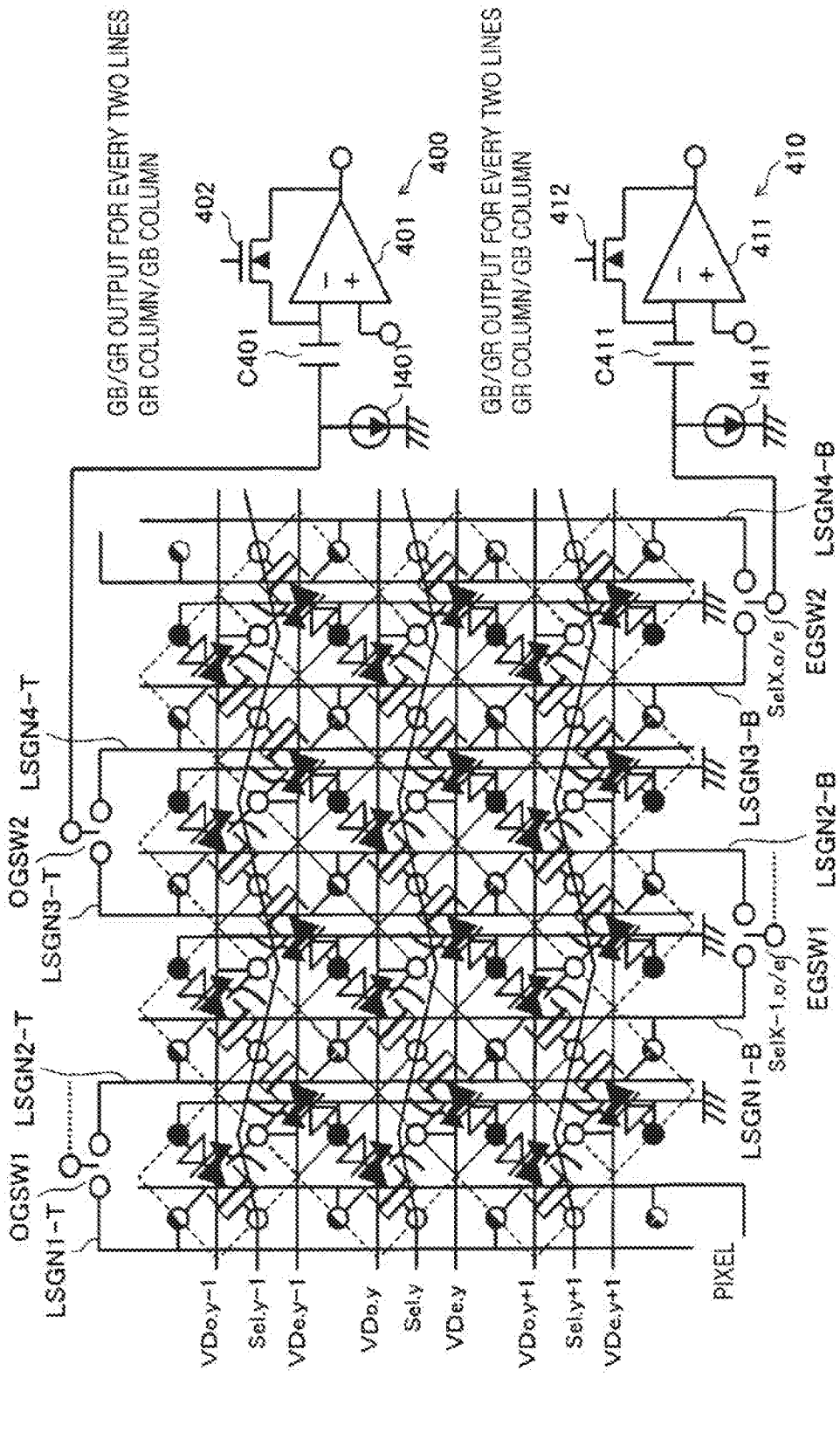


FIG. 20B



SAMSUNG EX. 1002 - 224/2862

FIG. 21



SAMSUNG EX. 1002 - 225/2862

FIG. 22A

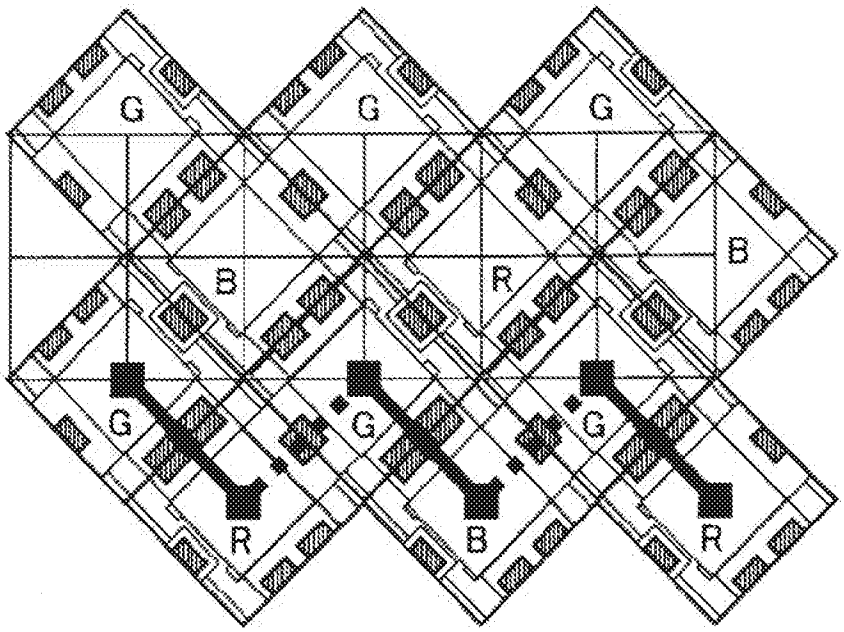
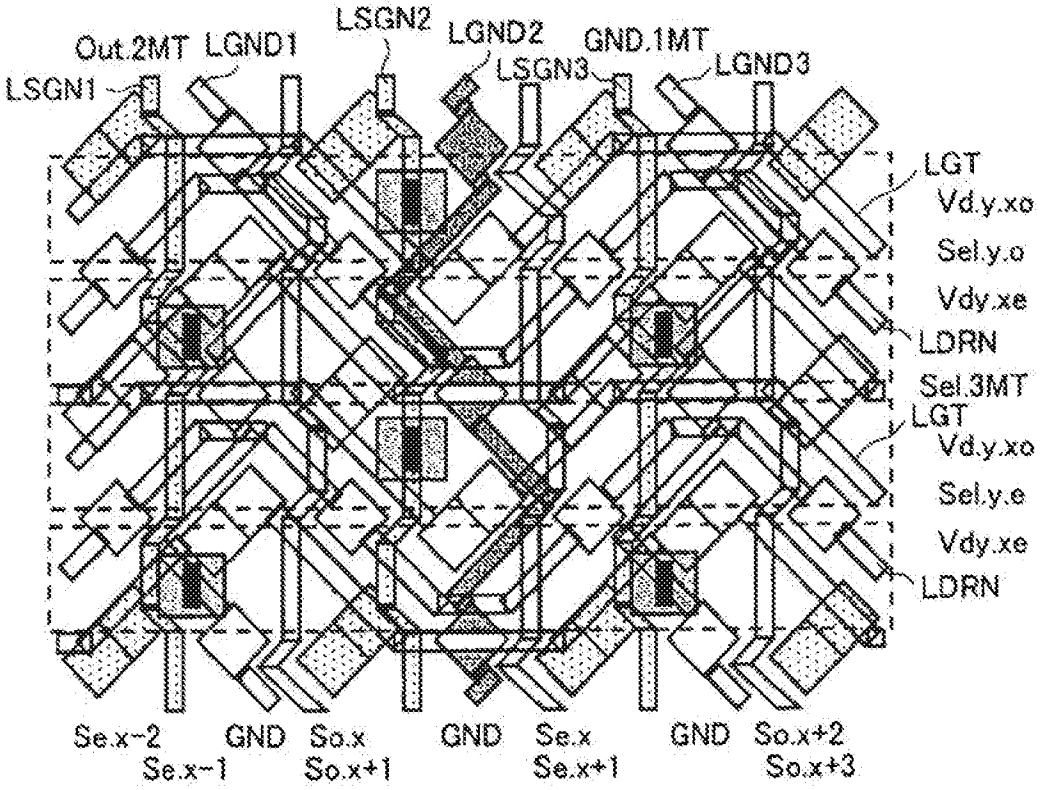
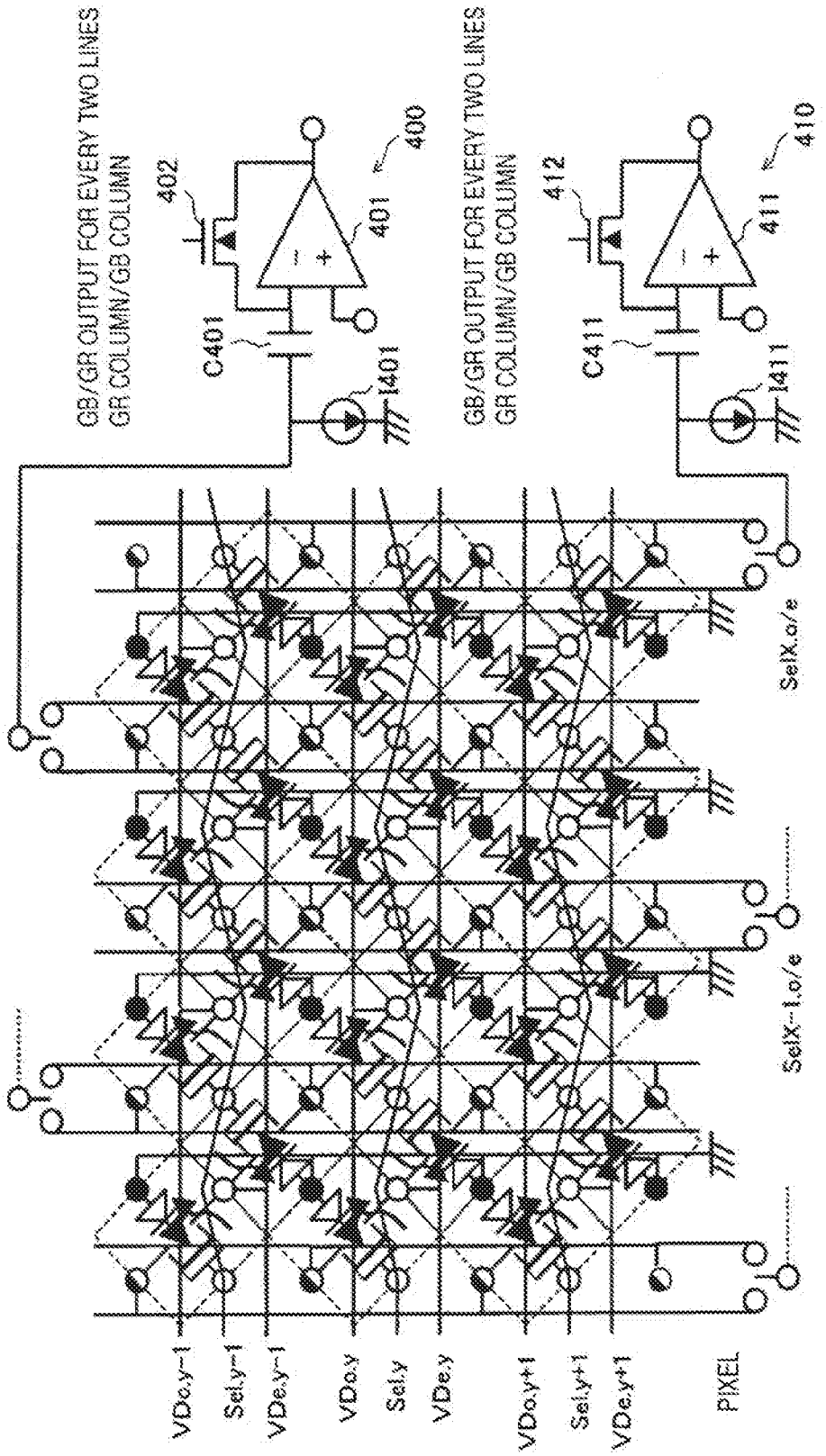


FIG. 22B



SAMSUNG EX. 1002 - 226/2862

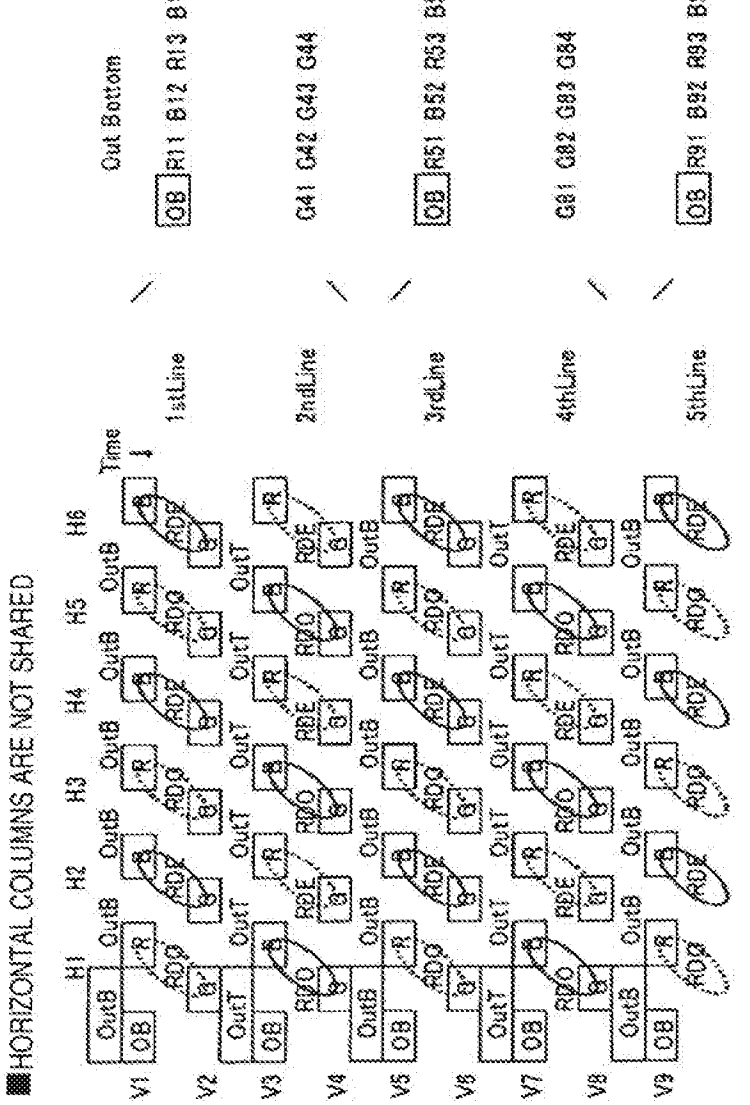
FIG. 23



SAMSUNG EX. 1002 - 227/2862

FIG. 24A

SIGNAL WIRING #1



SAMSUNG EX. 1002 - 228/2862

FIG. 24B

SIGNAL WIRING #1

SAMSUNG EX. 1002 - 229/2862

FIG. 25A

SIGNAL WIRING #2

SAMSUNG EX. 1002 - 230/2862

FIG. 25B

SIGNAL WIRING #2

SAMSUNG EX. 1002 - 231/2862

FIG. 26A

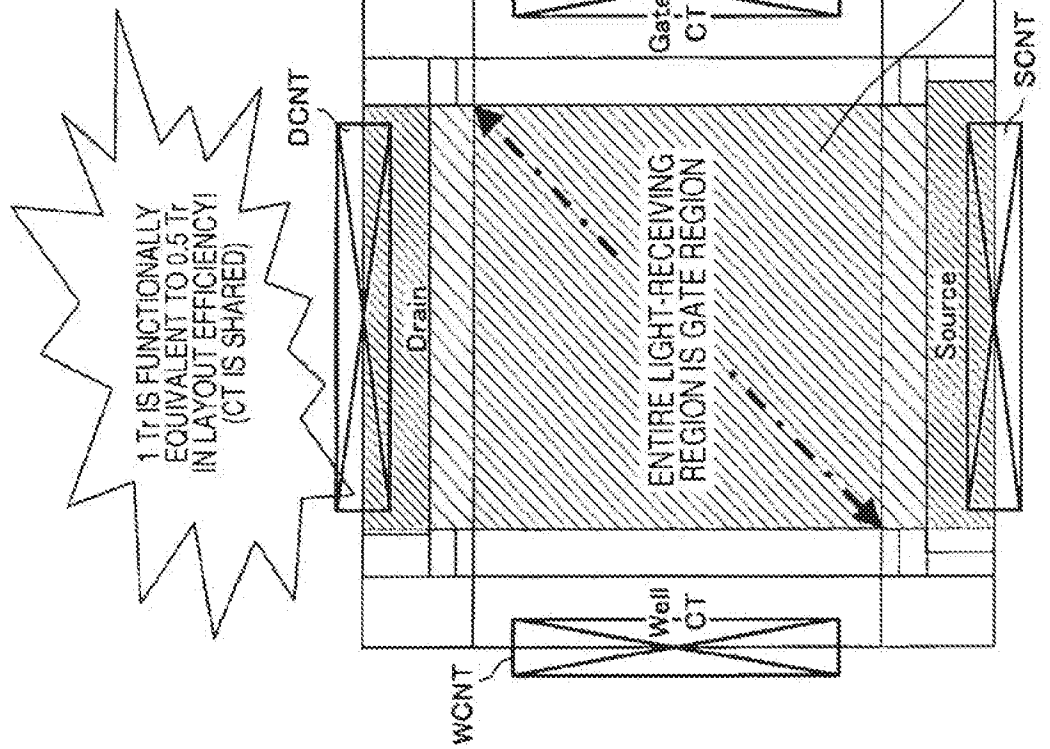
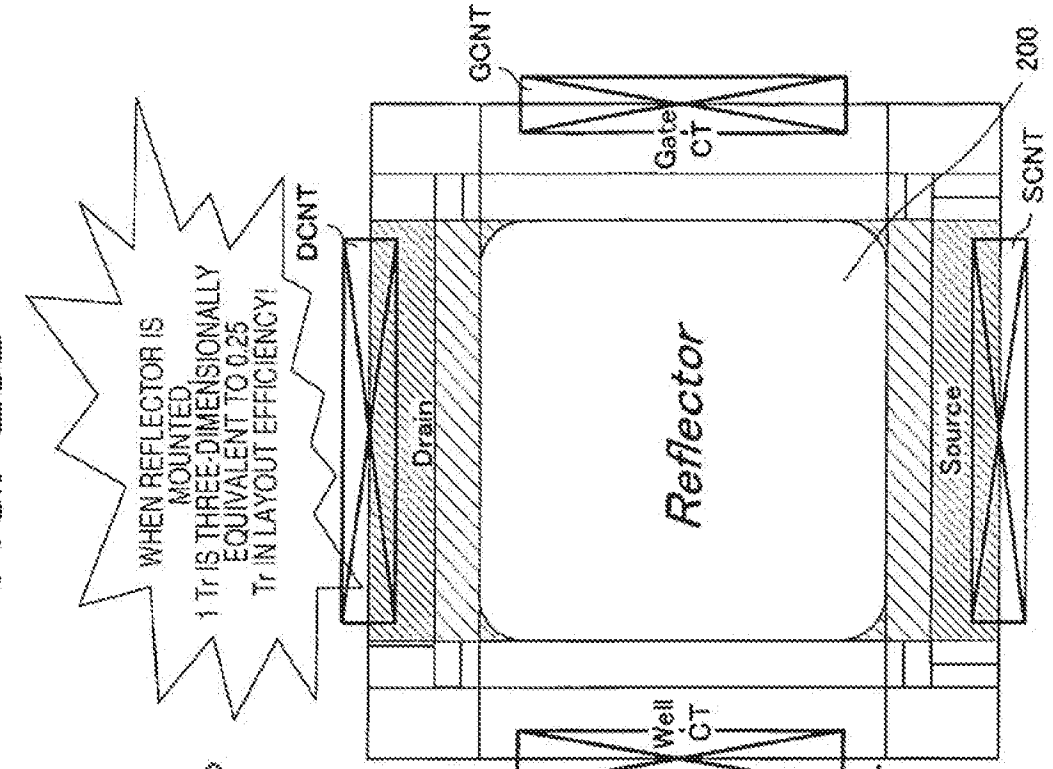
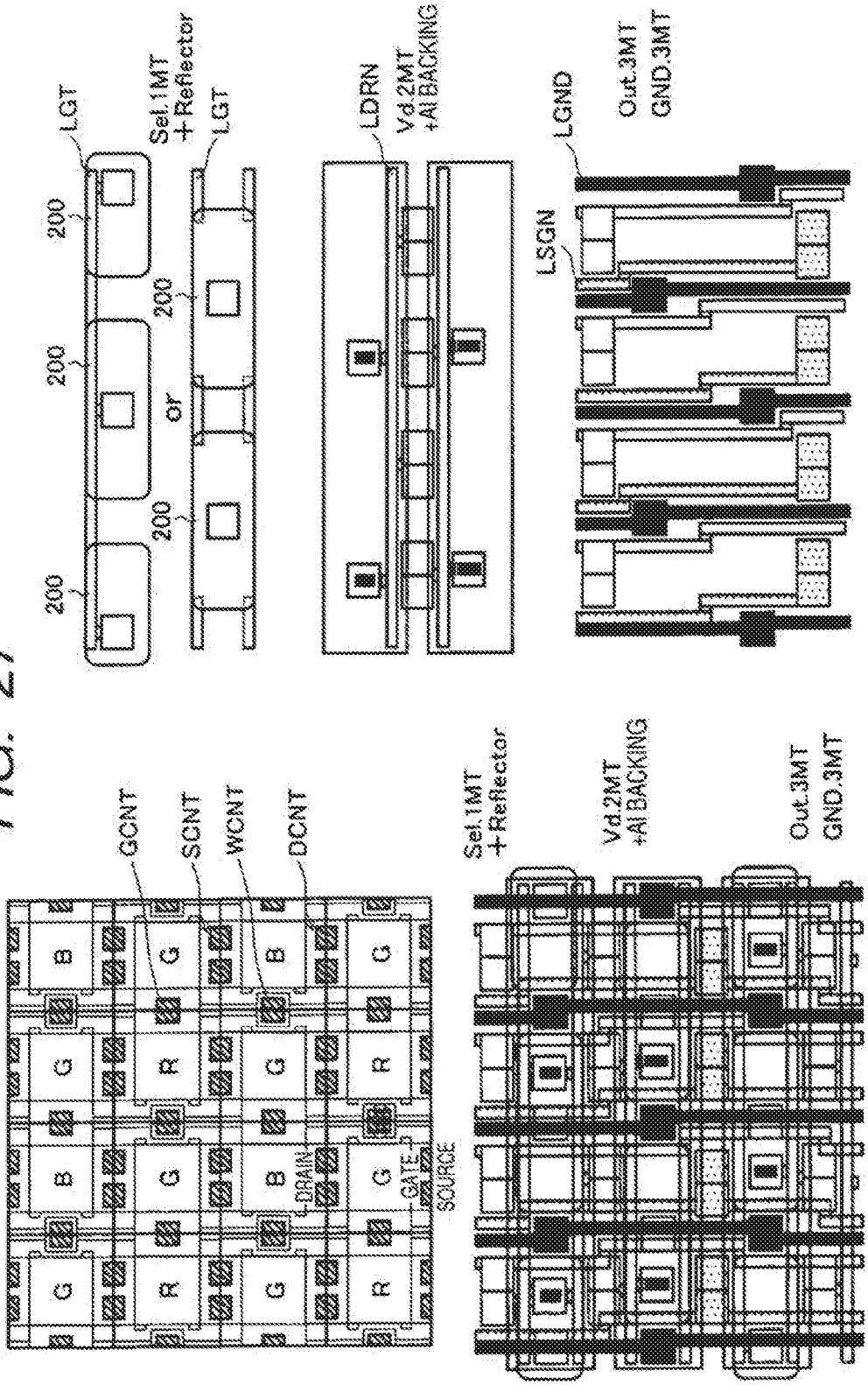


FIG. 26B



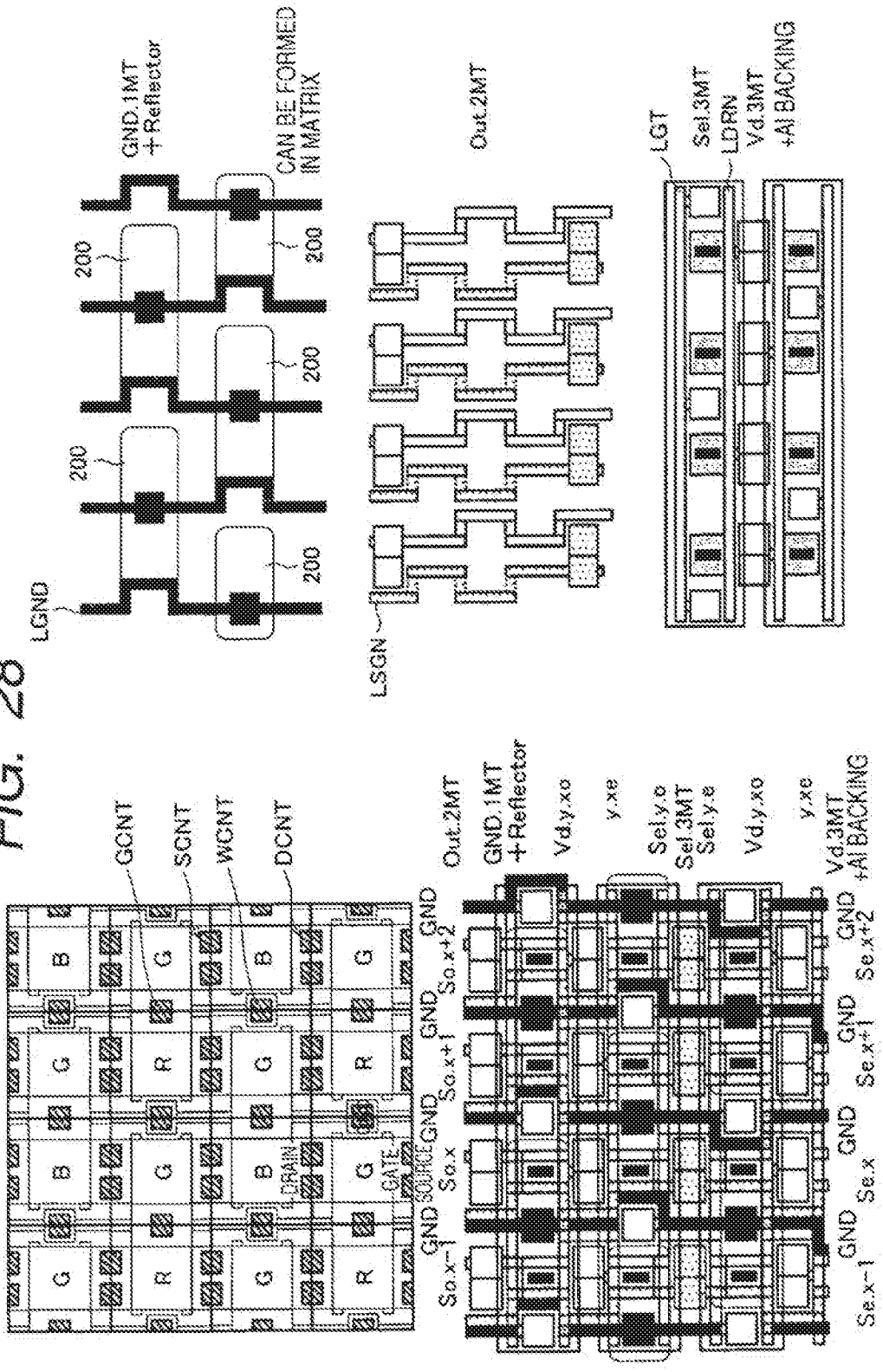
SAMSUNG EX. 1002 - 232/2862

FIG. 27



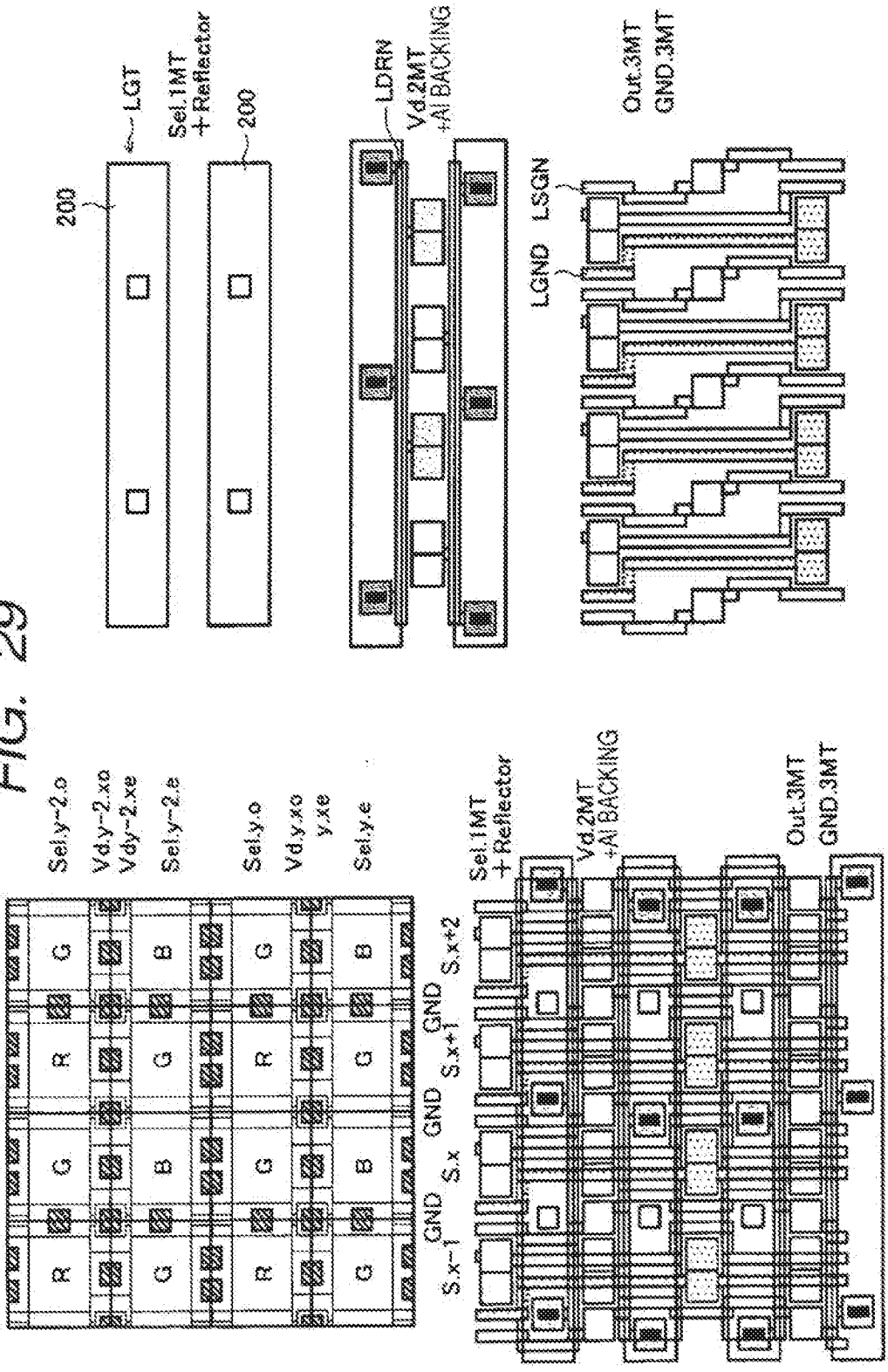
SAMSUNG EX. 1002 - 233/2862

FIG. 28



SAMSUNG EX. 1002 - 234/2862

FIG. 29



SAMSUNG EX. 1002 - 235/2862

FIG. 30A

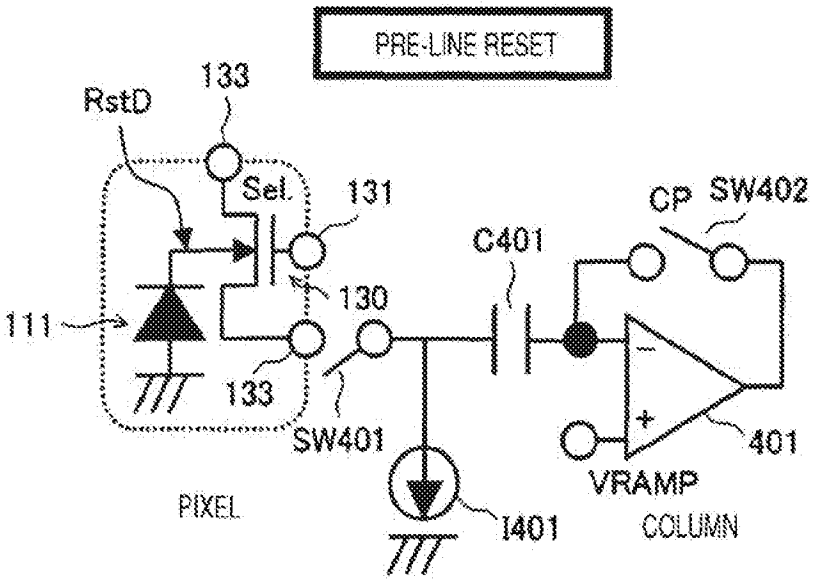
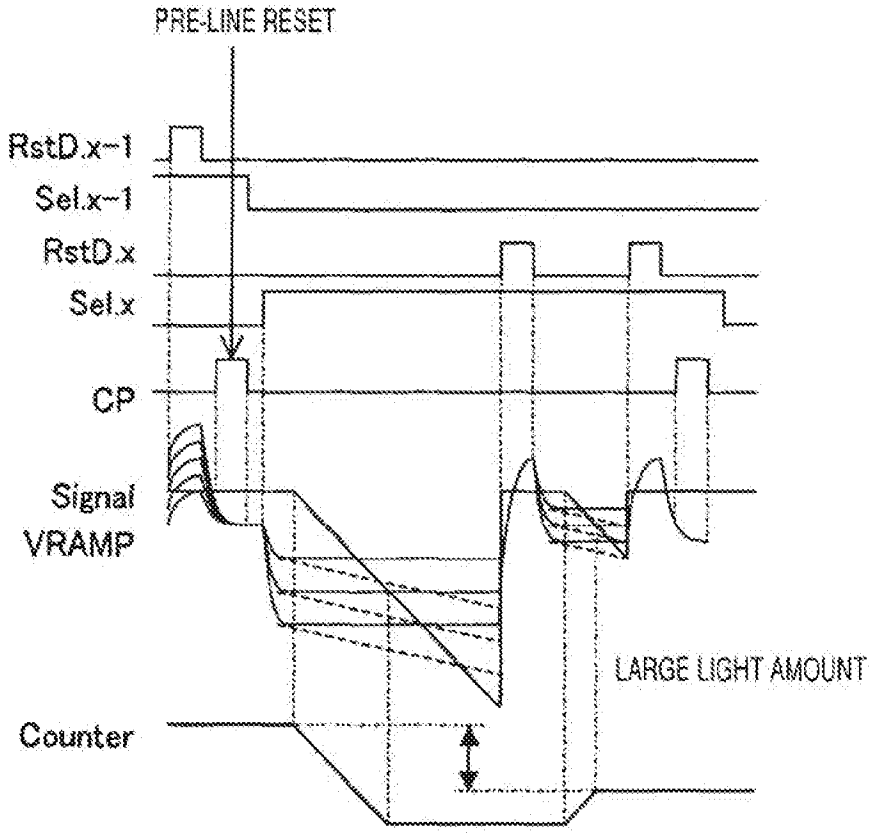


FIG. 30B



SAMSUNG EX. 1002 - 236/2862

FIG. 31A

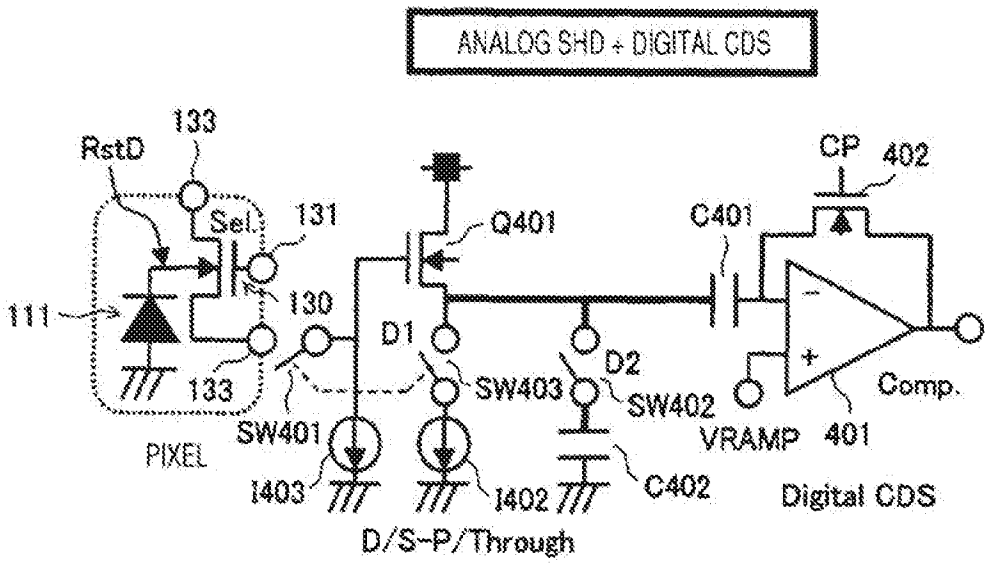
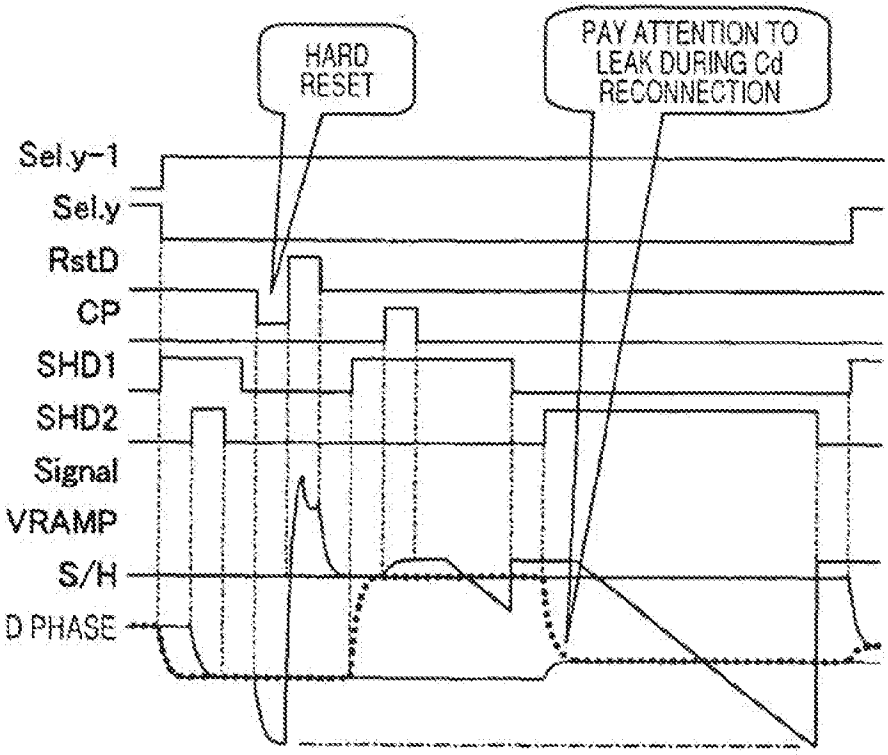
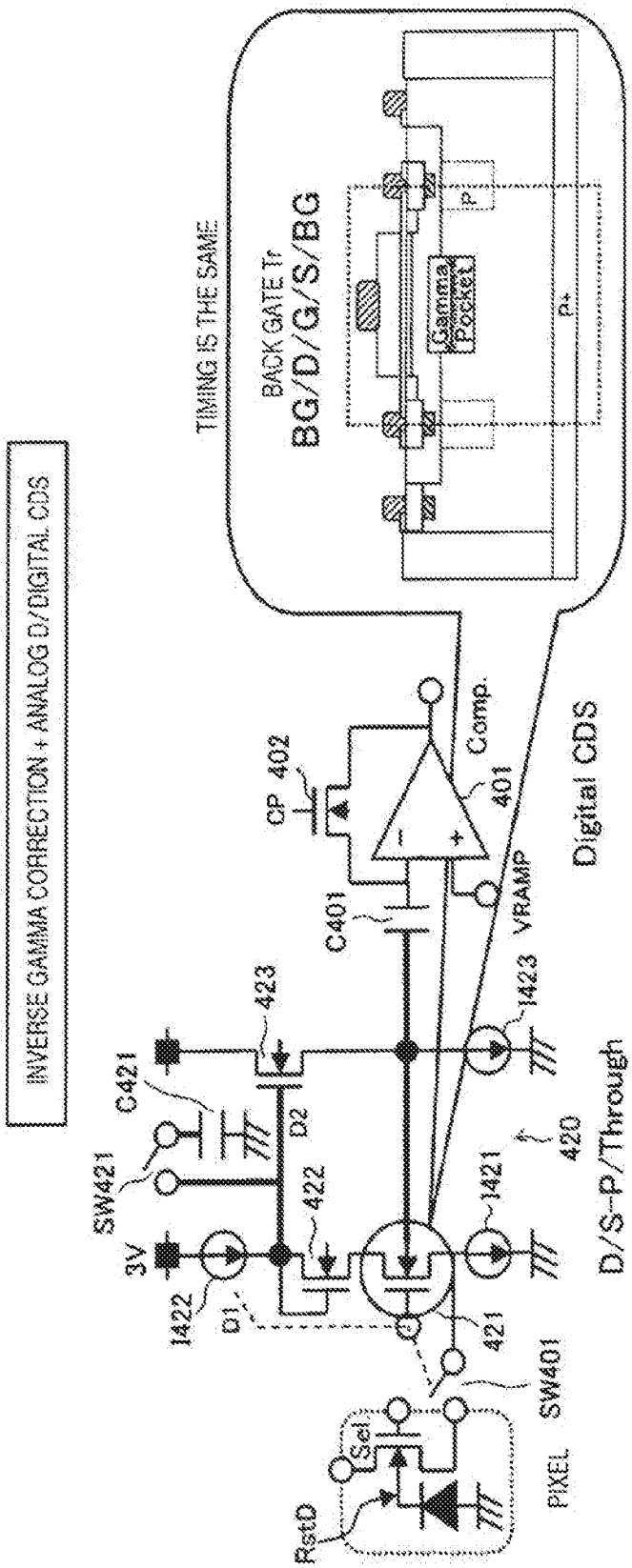


FIG. 31B



SAMSUNG EX. 1002 - 237/2862

FIG. 32

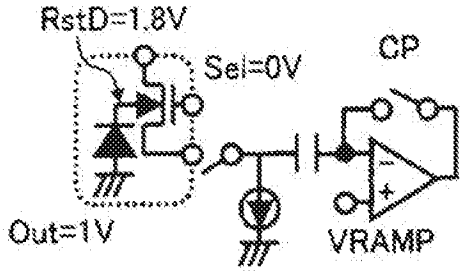


SAMSUNG EX. 1002 - 238/2862

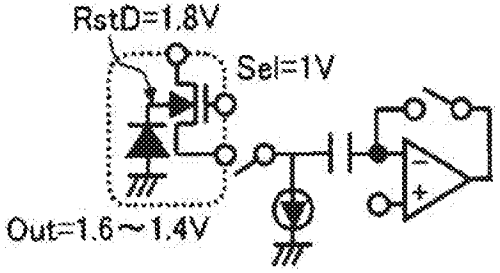
FIG. 33A

WORKING VOLTAGE

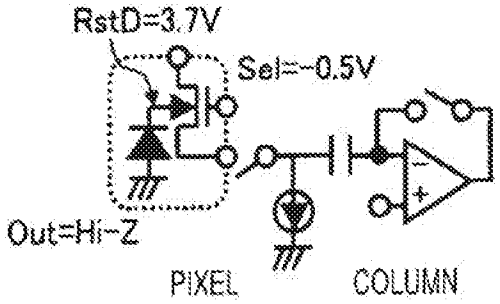
1. ACCUMULATION PIXEL (NON-SELECT PIXEL)



2. DATA READOUT



2. RESET



SAMSUNG EX. 1002 - 239/2862

DRIVING TIMING

FIG. 33B

■ STILL IMAGE SEQUENCE IN TWO-COLUMN SHARING

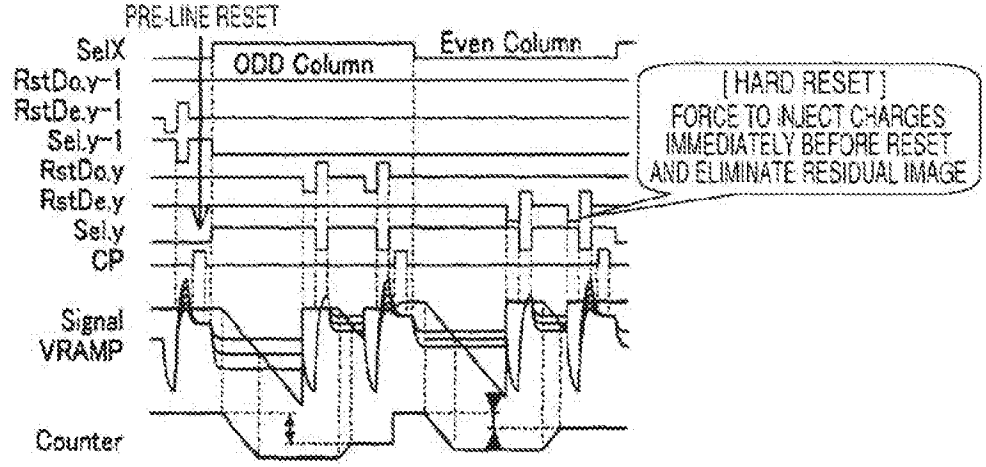
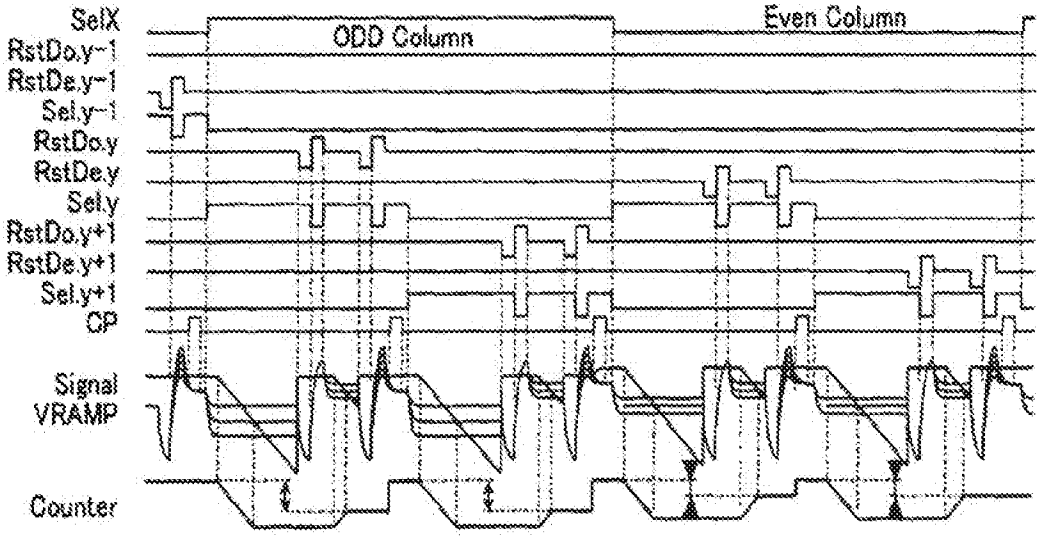


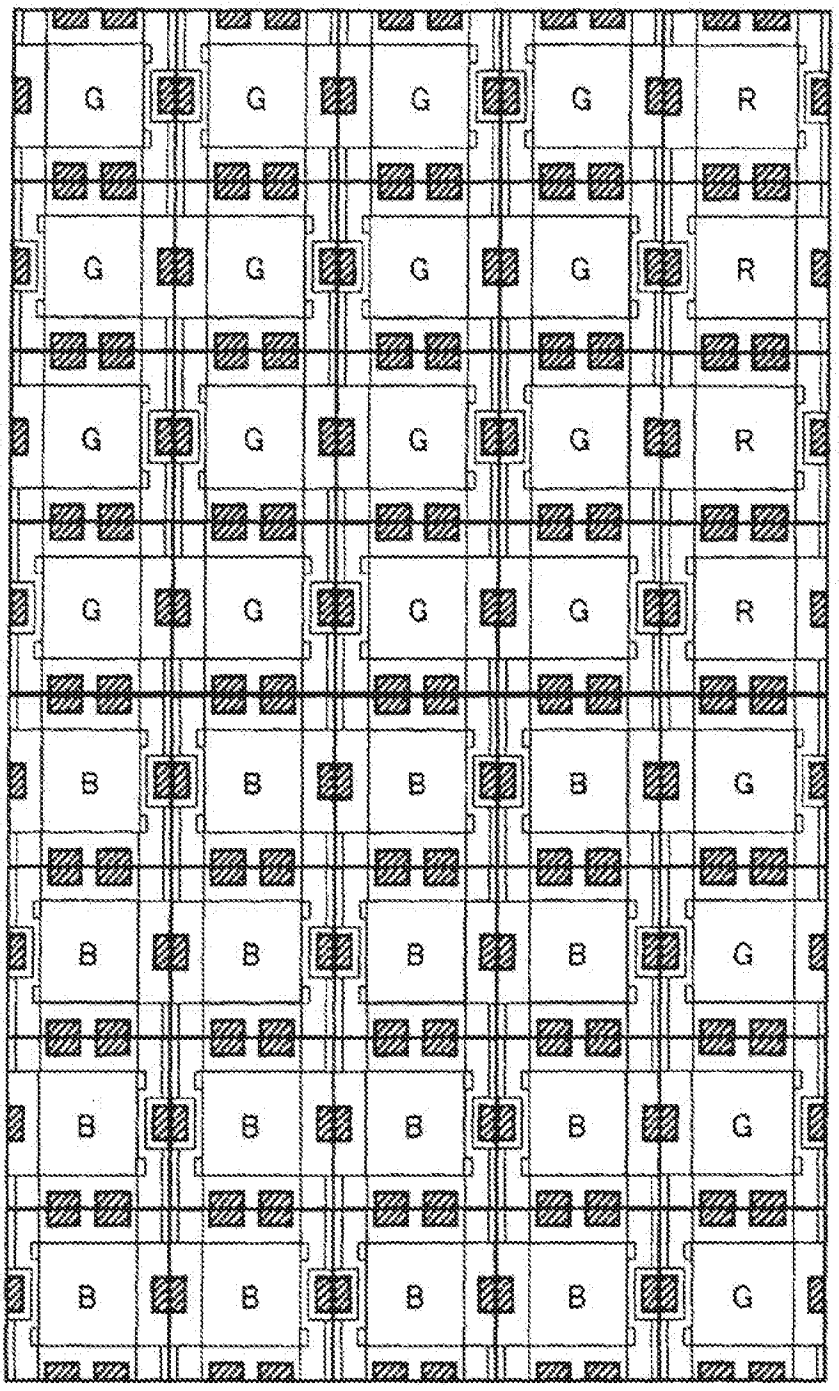
FIG. 33C

■ EXAMPLE OF 2 x 2 PIXEL ADDITION SEQUENCE



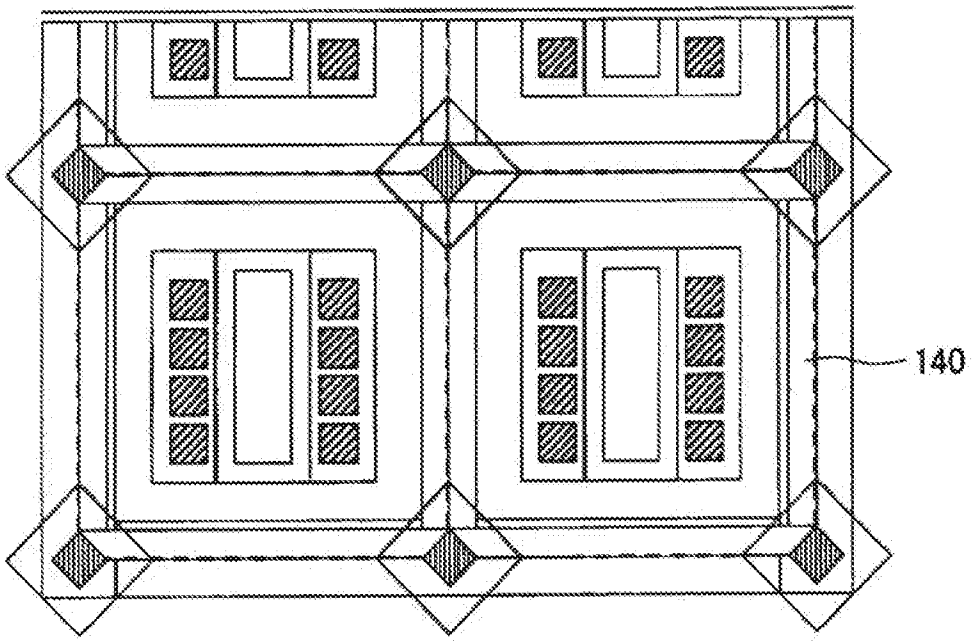
SAMSUNG EX. 1002 - 240/2862

FIG. 34



SAMSUNG EX. 1002 - 241/2862

FIG. 35



SAMSUNG EX. 1002 - 242/2862

FIG. 36A

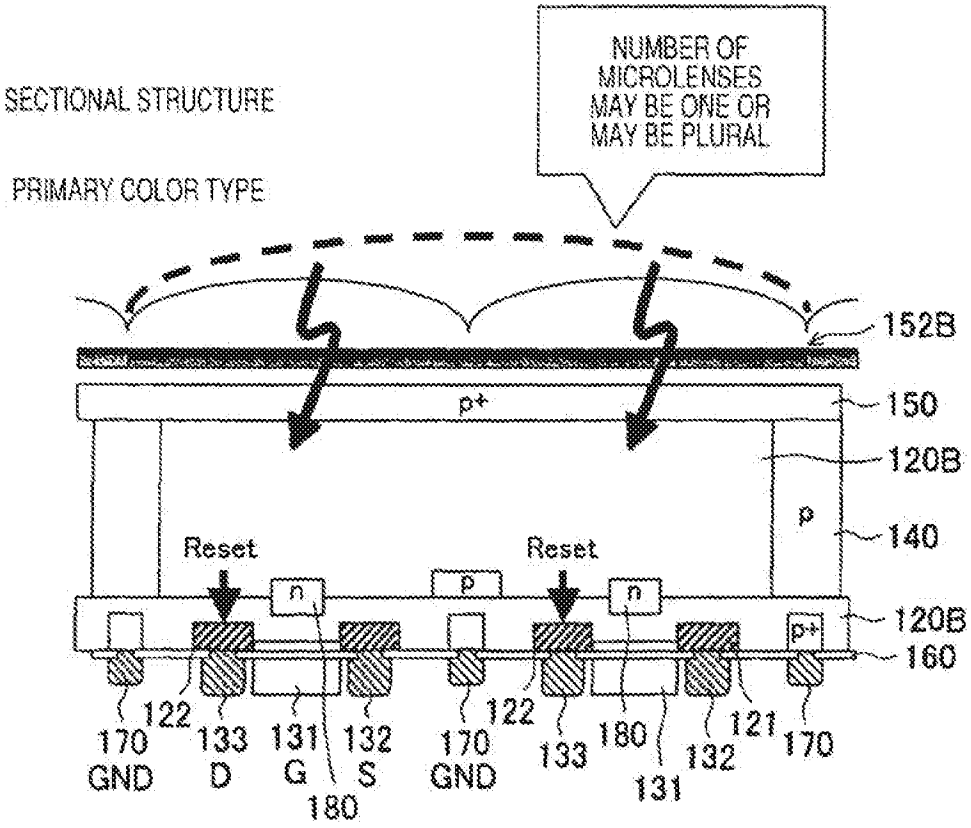
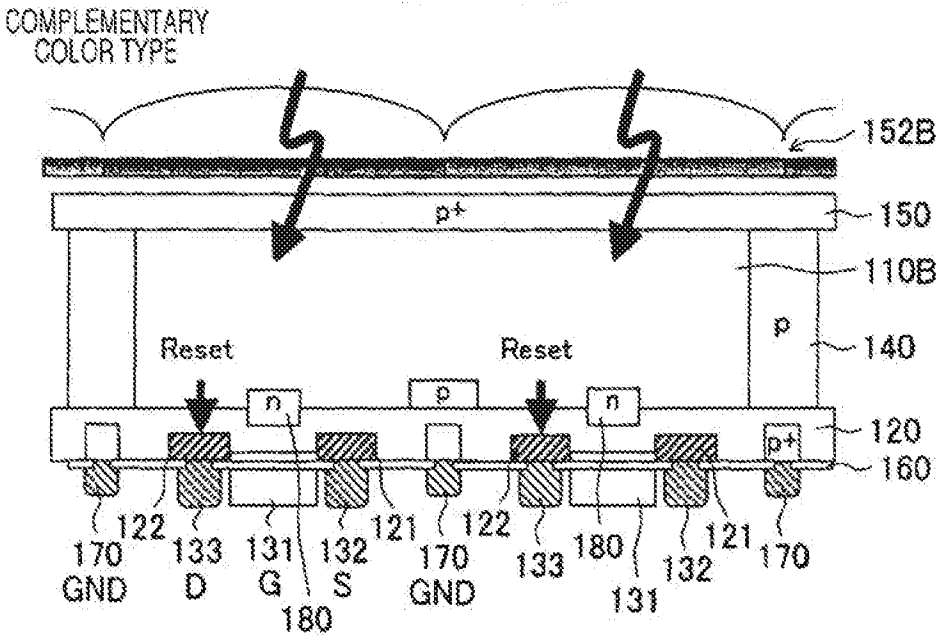
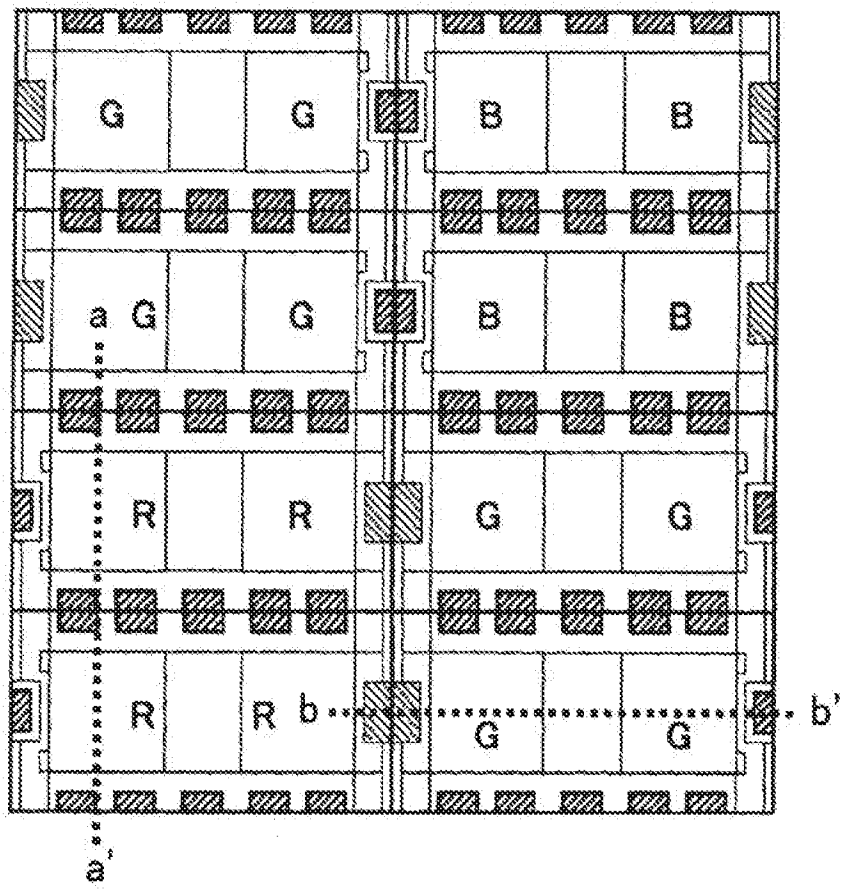


FIG. 36B



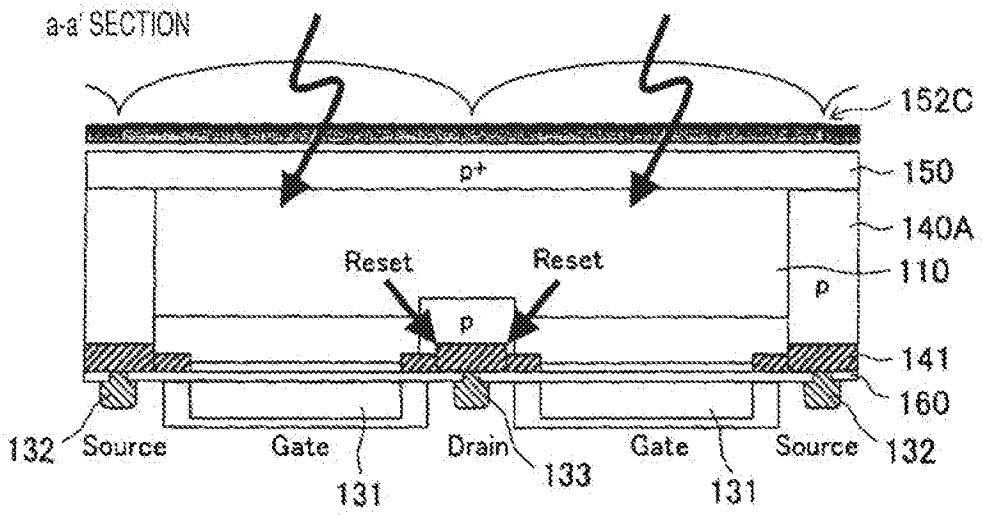
SAMSUNG EX. 1002 - 243/2862

FIG. 37



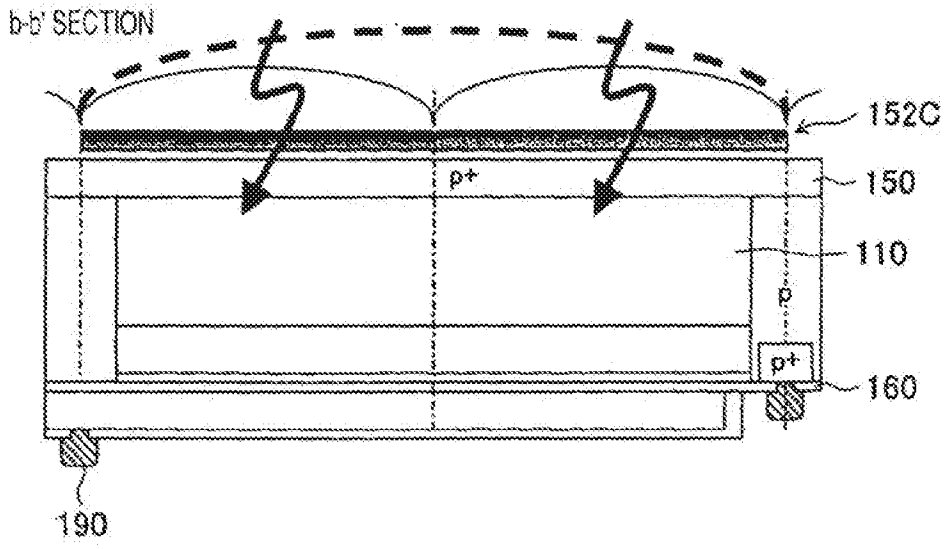
SAMSUNG EX. 1002 - 244/2862

FIG. 38A



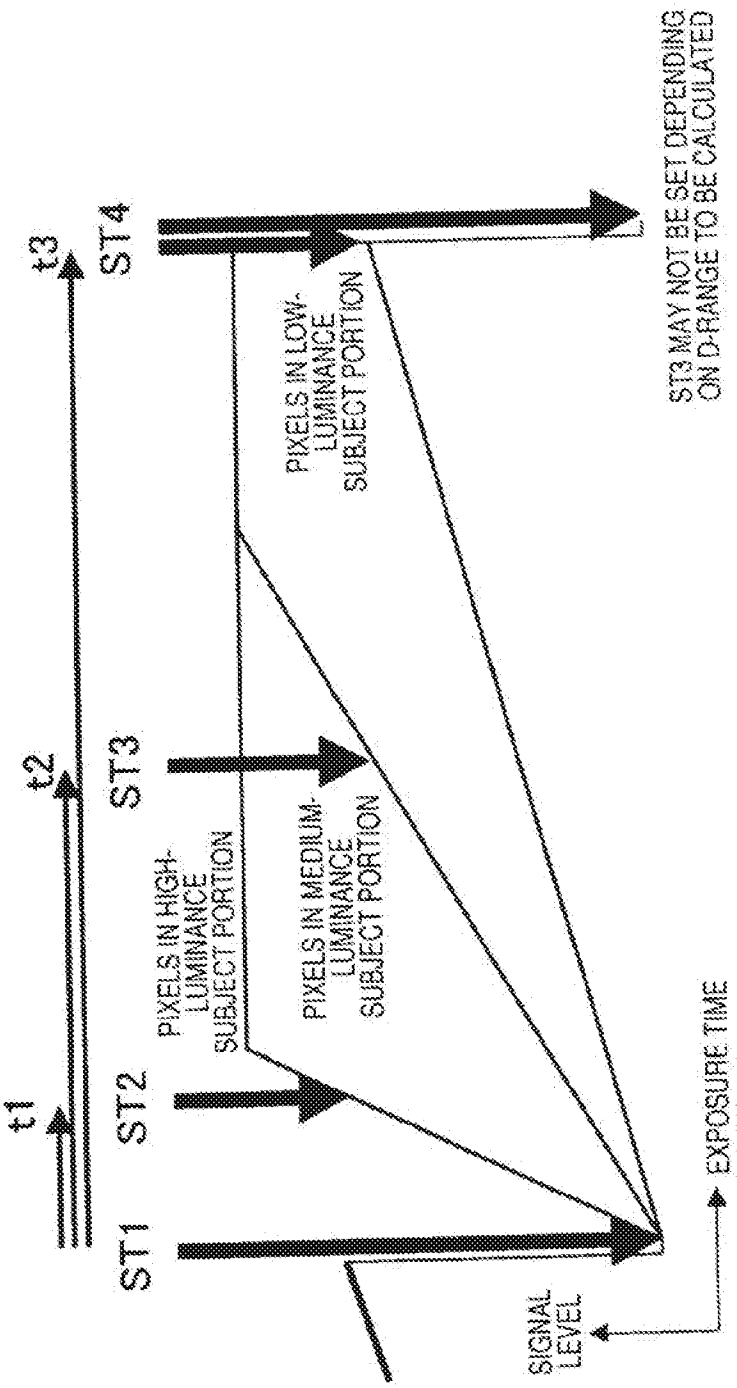
COLOR FILTER ARRAY IN
COMPLEMENTARY COLOR TYPE

FIG. 38B



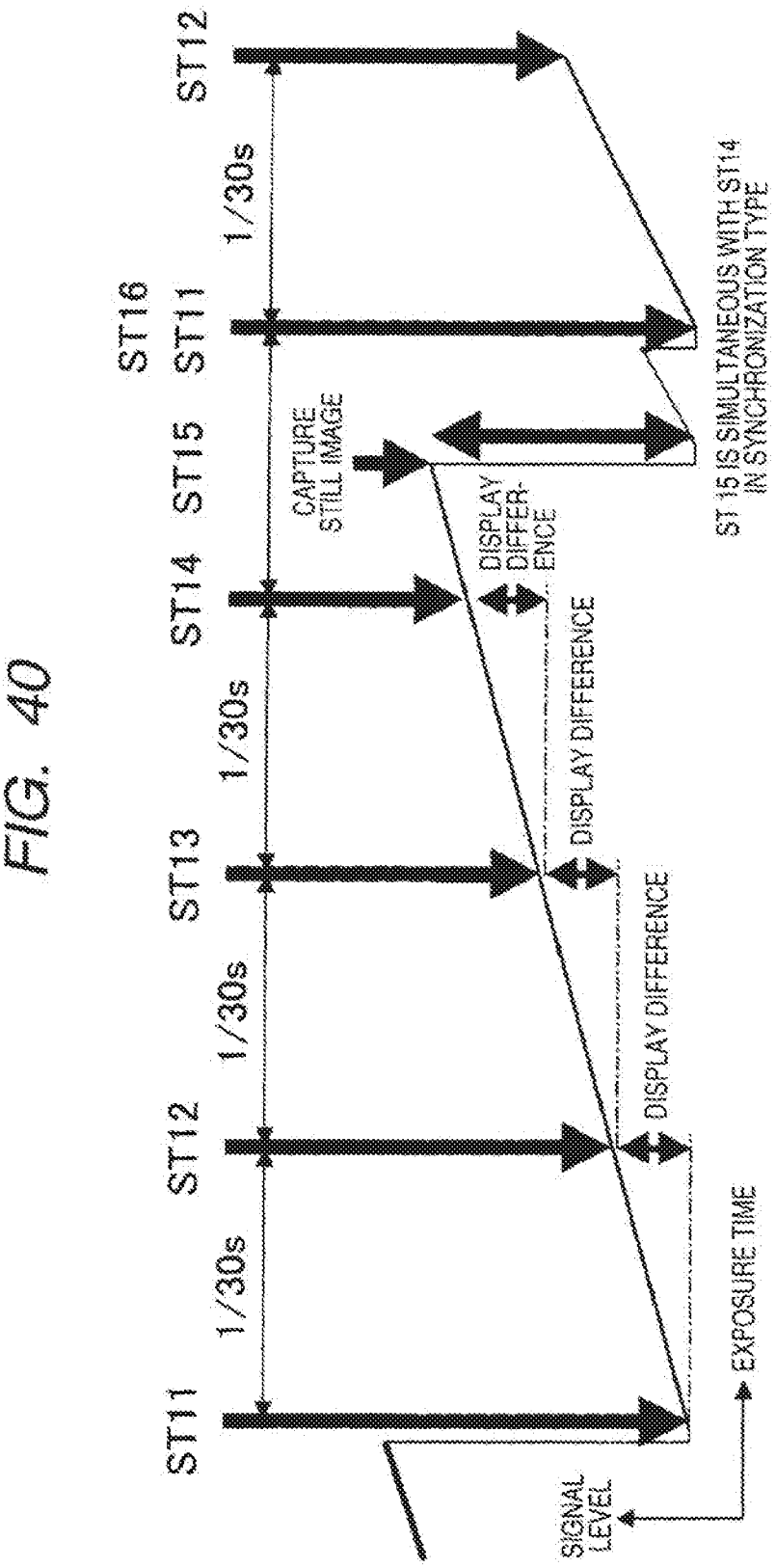
SAMSUNG EX. 1002 - 245/2862

FIG. 39



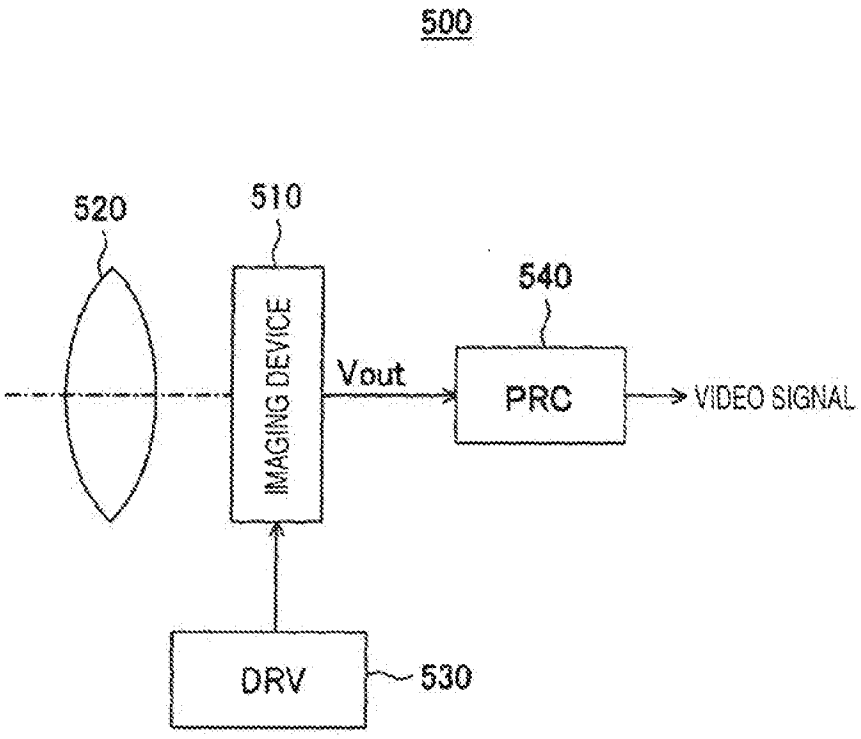
SAMSUNG EX. 1002 - 246/2862

FIG. 40



SAMSUNG EX. 1002 - 247/2862

FIG. 41



SAMSUNG EX. 1002 - 248/2862

REFERENCES CITED IN THE DESCRIPTION

This list of references cited by the applicant is for the reader's convenience only. It does not form part of the European patent document. Even though great care has been taken in compiling the references, errors or omissions cannot be excluded and the EPO disclaims all liability in this regard.

Patent documents cited in the description

- JP 2007326175 A [0001]
- JP 1938092 A [0008]
- JP 6120473 A [0008]
- JP 60140752 A [0008]
- JP 6414959 A [0008]
- JP 2692218 B [0008]
- JP 3752773 B [0008]
- JP 2304973 A [0008]
- JP 2005244434 A [0008]
- JP 2935492 B [0008]
- JP 2005085999 A [0008]
- JP 2003031785 A [0009] [0020]
- JP 10065139 A [0011] [0022]

SAMSUNG EX. 1002 - 249/2862

Espacenet

Bibliographic data: FR2827707 (A1) — 2003-01-24

Bolometric detector production comprises use of sacrificial auxiliary layer to connect reading circuit to bolometric substrate of polycrystalline silicon to detect infrared radiation

Inventor(s): LARRE ANNICK ± (LARRE ANNICK)

Applicant(s): FR DE DETECTEURS INFRAROUGES S [FR] ± (SOCIETE FRANCAISE DE DETECTEURS INFRAROUGES - SOFRADIR)

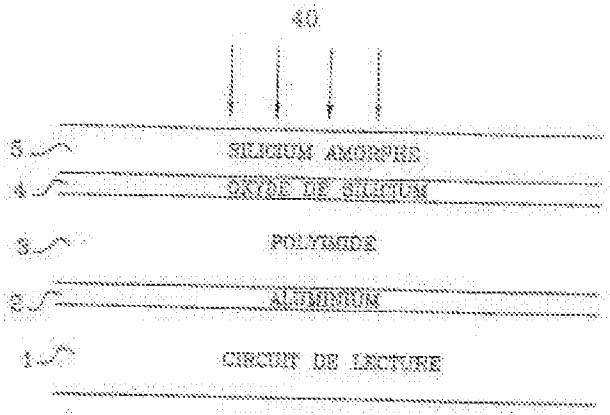
Classification: - international: ***G01J5/20; H01L27/146; H01L31/18;*** (IPC1-7): G01J5/20; H01L27/146; H04N5/33
- cooperative: **G01J5/02**; **G01J5/023**; **G01J5/024**; **G01J5/20**; **H01L27/14649**; **H01L27/14683**; **H01L31/1872**; G01J5/046; Y02E10/50; Y02P70/521

Application number: FR20010009715 20010720

Priority number (s): FR20010009715 20010720

Also published as: FR2827707 (B1)

Abstract of FR2827707 (A1)



The production of a bolometric detector comprises, from a reading circuit produced on a silicon substrate (1): (a) forming a first auxiliary sacrificial layer (3) on the silicon substrate, destined to be removed after the realization of the detector in order to thermally decouple the reading circuit of the detection module; and (b) forming on this sacrificial layer a layer of bolometric material of amorphous silicon (5) and electrodes to carry the necessary electric signals for the operation of the bolometer and to send the signal resulting from the detection of infrared radiation by the bolometer to the reading circuit. The layer of bolometric material is subjected to a laser radiation to transform it

SAMSUNG EX. 1002 - 250/2862

into a polycrystalline silicon. An Independent claim is also included for a bolometric detector using polycrystalline silicon as the bolometric material.

SAMSUNG EX. 1002 - 251/2862

(19) RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication : **2 827 707**
(à n'utiliser que pour les commandes de reproduction)

(21) N° d'enregistrement national : **01 09715**

(51) Int Cl⁷ : H 01 L 27/146, G 01 J 5/20, H 04 N 5/33

(12) DEMANDE DE BREVET D'INVENTION A1

(22) Date de dépôt : 20.07.01.

(30) Priorité :

(43) Date de mise à la disposition du public de la demande : 24.01.03 Bulletin 03/04.

(45) Liste des documents cités dans le rapport de recherche préliminaire : *Se reporter à la fin du présent fascicule*

(60) Références à d'autres documents nationaux apparentés :

(71) Demandeur(s) : *STE FRANCAISE DE DETECTEURS INFRAROUGES - SOFRADIR Société à responsabilité limitée* — FR.

(72) Inventeur(s) : LARRE ANNICK.

(73) Titulaire(s) :

(74) Mandataire(s) : CABINET LAURENT ET CHARRAS.

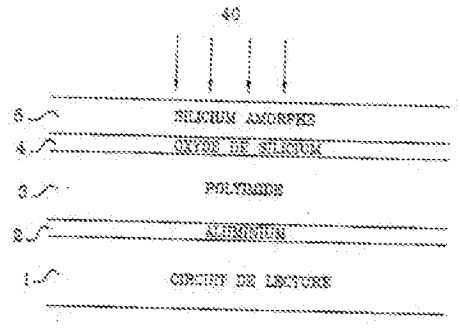
(54) PROCEDE DE REALISATION D'UN DETECTEUR BOLOMETRIQUE ET DETECTEUR REALISE SELON CE PROCEDE.

(57) Ce procédé pour la fabrication d'un détecteur bolométrique, consiste, à partir d'un circuit de lecture, notamment réalisé sur un substrat silicium (1):

- tout d'abord, à former une première couche auxiliaire sacrificielle (3) sur ledit substrat silicium, destinée à être ôtée par tout moyen connu après réalisation du détecteur afin de découpler thermiquement le circuit de lecture (1) du module de détection;

- puis à former sur cette couche auxiliaire sacrificielle (3), entre autres une couche de matériau bolométrique en silicium amorphe (5), mais également des électrodes (6), destinées à envoyer des signaux électriques nécessaires au fonctionnement du bolomètres et à acheminer le signal résultant de la détection du rayonnement infra rouge par ledit bolomètre au niveau du circuit de lecture.

On soumet la couche (5) de matériau bolométrique, constituée de silicium amorphe, à un rayonnement laser, destiné à le transformer en silicium polycristallin.



FR 2 827 707 - A1

SAMSUNG EX. 1002 - 252/2862

2827707

PROCEDE DE REALISATION D'UN DETECTEUR BOLOMETRIQUE ET DETECTEUR BOLOMETRIQUE REALISE SELON CE PROCEDE.

L'invention concerne un procédé pour la réalisation de détecteurs bolométriques. Elle vise également le détecteur bolomètre obtenu selon ce procédé. L'invention trouve tout naturellement son application dans le domaine de l'imagerie infrarouge, et en particulier, dans l'assemblage matriciel d'une pluralité de détecteurs élémentaires (également dénommés « pixels » ou « photosites »).

De nombreux types de détecteurs de rayonnement infrarouge sont aujourd'hui disponibles. Parmi ces différents types de détecteurs, certains d'entre eux sont susceptibles de fonctionner à température ambiante, c'est à dire sans la nécessité d'un refroidissement, contrairement aux dispositifs du type détecteurs quantiques, qui convertissent directement l'énergie du rayonnement capté en porteurs électriques libres.

Ce type de détecteur non refroidi met en œuvre la variation d'une propriété de l'un des matériaux qui les constituent en fonction de la température. Dans le cadre des détecteurs bolométriques, cette propriété est la résistivité du matériau.

De manière connue, un tel détecteur non refroidi associe pour chaque photosite :

- des moyens d'absorption du rayonnement infrarouge pour la conversion de ce dernier en chaleur ;
- des moyens d'isolation thermique du détecteur, permettant à celui-ci de s'échauffer ;
- des moyens de thermométrie qui, dans le cadre d'un détecteur bolométrique utilise un élément résistif variable avec la température, et ;
- des moyens de lecture des signaux électriques issus des moyens de thermométrie, lesdits moyens de lecture intégrant une composante de prise de contact et de transport du signal du matériau bolométrique vers une composante d'exploitation du signal, en général de nature microélectronique.

Dans le cadre de l'imagerie infrarouge, les détecteurs mis en œuvre sont généralement réalisés sous forme de matrices de détecteurs élémentaires, rapportés sur un substrat, le plus souvent constitué de silicium.

SAMSUNG EX. 1002 - 253/2862

Les performances d'un tel détecteur bolométrique non refroidi dépendent de différents facteurs, parmi lesquels figure bien évidemment, le matériau bolométrique mis en œuvre.

Avantageusement, ce matériau bolométrique est constitué de silicium amorphe (voir par exemple US-A-5 021 663 ou US-A-5 367 167), mais peut être également constitué de silicium/germanium, voire d'oxyde de Vanadium (V_2O_5).

La mise en œuvre de silicium amorphe est en outre décrite dans le document FR-A-2 752 299. Dans ce document, le détecteur bolométrique est composé d'électrodes assurant simultanément les fonctions d'électrodes, et d'absorbeur de rayonnement photonique, lesdites électrodes étant interdigitées sur la même couche de matériau sensible constitutif du matériau bolométrique. Dans une version particulière décrite dans ce document, les électrodes sont insérées entre deux couches de matériau bolométrique.

On connaît également, par le document FR-A-2 796 148, un autre type d'empilement technologique pour détecteur bolométrique, dans lequel les électrodes assurent également la double fonction d'électrodes et d'absorbeur du rayonnement photonique, mais dans lequel, le matériau sensible constitutif du bolomètre, également constitué de silicium amorphe, est partiellement isolé électriquement des électrodes.

Quel que soit le montage mis en œuvre, le détecteur en résultant présente encore un niveau élevé de bruit à basse fréquence. Par ailleurs, le silicium amorphe présente également l'inconvénient d'être métastable, c'est à dire que ses caractéristiques sont susceptibles d'évoluer de manière importante sous l'influence des différentes étapes technologiques, se traduisant en quelque sorte par des recuits, mettant en œuvre des excursions thermiques (cuisson des résines, gravures, dépôts).

Par voie de conséquence, le détecteur bolométrique en résultant présente des variations importantes des signaux en réponse à la détection du rayonnement infrarouge en fonction des différentes conditions thermiques dans lesquelles il est susceptible de s'être trouvé.

SAMSUNG EX. 1002 - 254/2862

A titre surabondant, la mise en œuvre de silicium amorphe sur un circuit de lecture et d'exploitation dont la fabrication est achevée, impose un dépôt dudit matériau à basse température (inférieure à 450 °C), ce qui conditionne un niveau de dopage, notamment en hydrogène ou en bore, relativement peu élevé, et qu'il est impossible d'augmenter de façon significative.

Or, on a pu montrer qu'un niveau de dopage plus important permettait d'accroître la variabilité de la résistivité du matériau bolométrique en fonction de la température, et partant, la réponse du détecteur bolométrique au rayonnement infrarouge qu'il est destiné à détecter.

En outre, l'accroissement du dopage augmente la résistance thermique du matériau silicium amorphe, et par voie de conséquence, celle des bras-support de la microstructure flottante, ce qui s'avère favorable à l'isolation thermique de ladite structure, et partant, à la réduction des bruits des signaux en réponse.

L'objet de l'invention est d'améliorer les caractéristiques du matériau bolométrique sensible au rayonnement infrarouge, notamment en s'affranchissant des contraintes et des limites thermiques imposées à l'ensemble du circuit de lecture/élément détecteur.

Ce procédé, pour la fabrication d'un détecteur bolométrique, consiste, à partir d'un circuit de lecture, notamment réalisé sur un substrat silicium :

- tout d'abord, à former une première couche auxiliaire sacrificielle sur ledit substrat silicium, destinée à être ôtée par tout moyen connu après réalisation du détecteur afin alors de découpler thermiquement le circuit de lecture du module de détection ;
- puis à former sur cette couche auxiliaire sacrificielle, entre autres une couche de matériau bolométrique en silicium amorphe, mais également des électrodes destinées à envoyer les signaux électriques (impulsions, stimuli ou courant de polarisation) nécessaires au fonctionnement du bolomètre, et à acheminer le signal résultant de la détection du rayonnement infra rouge par le bolomètre au niveau du circuit de lecture.

Il se caractérise en ce que l'on soumet la couche de matériau bolométrique, constituée de silicium amorphe, à un rayonnement laser propre à le transformer en silicium polycristallin.

SAMSUNG EX. 1002 - 255/2862

Ce faisant, on confère tout d'abord au détecteur ainsi réalisé une plus grande stabilité vis à vis des diverses sollicitations, principalement thermiques, en comparaison avec les détecteurs à base de silicium amorphe.

Ensuite, on optimise de manière déterminante la sensibilité du détecteur, puisque d'une part, le silicium polycristallin présente une variabilité de la résistivité plus importante sous l'effet de la chaleur, et par voie de conséquence du rayonnement infra rouge incident, et d'autre part, son niveau de dopage peut être accentué, diminuant de fait le bruit basse fréquence que l'on rencontre avec le silicium amorphe. Le dopage favorise également l'augmentation de la résistance thermique dudit bolomètre, et donc la sensibilité de sa rèponse aux signaux infra rouges incidents.

Avantageusement, le laser mis en œuvre est un laser à excimère, agissant par impulsions. On dispose ainsi d'une gamme de puissance ou de densité d'énergie tout à fait adapté au matériau bolométrique mis en œuvre.

Selon une autre caractéristique avantageuse de l'invention, le matériau bolométrique est séparé de la couche auxiliaire sacrificielle par une couche diélectrique, constituée d'un oxyde de silicium, et notamment de SiO_x (proche de SiO_2) ou de nitrure de silicium.

Par ailleurs, et avantageusement, le substrat en silicium recevant le circuit de lecture est revêtu d'une couche d'un matériau réfléchissant le rayonnement infrarouge, et typiquement constitué d'aluminium.

L'invention concerne également le détecteur bolométrique issu de ce procédé.

Ce détecteur bolométrique, associé à un circuit de lecture notamment par la technologie dite « microponts », comprend au moins une couche de matériau bolométrique associée à au moins deux électrodes, ledit matériau bolométrique étant thermiquement isolé dudit circuit de lecture. Il se caractérise en ce que le matériau bolométrique est constitué par un silicium polycristallin.

Avantageusement, le matériau bolométrique repose sur une couche d'un matériau diélectrique, notamment constitué d'oxyde de silicium (silice) ou de nitrure de silicium.

SAMSUNG EX. 1002 - 256/2862

La manière dont l'invention peut être réalisée et les avantages qui en découlent ressortiront mieux des exemples de réalisation qui suivent donnés à titre indicatif et non limitatif, à l'appui des figures annexées.

La figure 1 est une représentation schématique en section illustrant la mise en œuvre du procédé conforme à l'invention.

La figure 2 est une représentation schématique en perspective simplifiée d'une forme de réalisation dudit détecteur bolométrique conforme à l'invention.

La figure 3 est une vue analogue à la figure 2 d'une autre forme de réalisation de l'invention.

On a représenté sur la figure 1, et sur les figures 2 et 3, sous la référence (1) un substrat, notamment en silicium, comprenant des dispositifs électroniques (non représentés), tels que par exemple réalisés selon la technologie CMOS. Ces dispositifs sont destinés à, d'une part, envoyer en direction du matériau bolométrique proprement dit les signaux nécessaires au fonctionnement du détecteur, et d'autre part, à recevoir et pouvoir interpréter les signaux en réponse issus dudit matériau bolométrique, ensuite notamment d'une irradiation de celui-ci par un rayonnement infrarouge.

Selon une caractéristique avantageuse, ce substrat en silicium est recouvert d'une couche de matériau réfléchissant dans la gamme de longueurs d'ondes de l'infrarouge, et typiquement constitué par une couche d'aluminium (2). Le dépôt d'une telle couche s'effectue de manière connue par pulvérisation cathodique.

Le complexe ainsi réalisé reçoit une couche auxiliaire sacrificielle (3), avantageusement réalisée en polyimide, et destinée à être supprimée, après réalisation définitive du détecteur bolométrique, par tout moyen connu, et notamment par plasma oxygène. La suppression de cette couche va ainsi définir une cavité destinée à isoler thermiquement le bolomètre du circuit de lecture.

Cette couche auxiliaire sacrificielle (3) est revêtue avantageusement d'une couche d'un matériau diélectrique (4), typiquement réalisé en silice SiO_x, voire par du nitrure de silicium. De la sorte, le bolomètre (5), décrit ci-après plus en détail, est supporté mécaniquement par un matériau isolant électrique sans effet sur ses propriétés, et en particulier sur sa résistance électrique.

SAMSUNG EX. 1002 - 257/2862

Enfin, on revêt l'ensemble d'une couche de silicium amorphe, constitutive du bolomètre (5) proprement dit, selon une des techniques classiques et bien connues de l'homme du métier, telle la décomposition thermique (CVD), ou la décomposition plasma (PECVD), ou encore la décomposition cathodique.

Quelle que soit la technologie retenue, à savoir structure sandwich à électrodes parallèles (figure 2), ou électrodes coplanaires (figure 3), des électrodes (6) sont positionnées en temps utile, et tel que cela a été abondamment décrit dans les documents de l'art antérieur précités.

Par exemple, et ainsi que cela a été décrit dans les deux documents précités, on peut tout d'abord déposer le matériau bolométrique (Silicium amorphe) avant le matériau constitutif des électrodes. Le traitement dudit silicium amorphe conformément à l'invention intervient alors avant la fabrication desdites électrodes. Mais on peut également réaliser la technologie propre aux électrodes sur la couche sacrificielle ou sur la couche de matériau isolant, et exécuter ensuite le dépôt de silicium amorphe et son traitement conforme à l'invention.

Dans l'exemple décrit, on a représenté un seul bolomètre au sein du détecteur. De fait, ce bolomètre est connecté au substrat silicium (1) à la fois électriquement et mécaniquement par le biais desdites électrodes (6).

De fait, et ainsi qu'évoqué précédemment, lors de l'achèvement du détecteur bolométrique conforme à l'invention, la couche auxiliaire sacrificielle est supprimée, de sorte que le bolomètre est maintenu thermiquement isolé du substrat silicium (1) par la cavité ainsi générée, avantageusement occupée par un gaz lourd, tel que le xénon, ou encore vide de gaz, en plaçant le détecteur alors obtenu dans une enceinte sous vide.

Cette structure est dénommée dans la technologie en question par structure à microponts.

L'invention s'applique également aux structures où les fonctions électrodes et absorbeurs sont dissociées, et leurs matériaux séparés par un diélectrique, telles que cela a été décrit en relation avec les brevets américains précités.

SAMSUNG EX. 1002 - 258/2862

Selon une caractéristique fondamentale de l'invention, le matériau bolométrique ainsi réalisé est soumis à un rayonnement laser, et notamment au moyen d'un laser à excimère, afin d'aboutir à la transformation du silicium amorphe constitutif du bolomètre (5) proprement dit en silicium polycristallin. La soumission du silicium amorphe à ce rayonnement laser induit un recuit du silicium amorphe et plus précisément, aboutit à la fusion du silicium amorphe et à sa recristallisation pour aboutir à du silicium polycrystallin.

L'interaction du laser avec le silicium amorphe a pour effet principal d'élever instantanément la température du matériau irradié et d'induire, si l'énergie laser est suffisante, la fusion de celui-ci, sans pour autant affecter significativement les couches sous-jacentes, et en particulier la couche auxiliaire sacrificielle. Le circuit de lecture est a fortiori épargné par cette opération.

La durée de l'élévation de température de la fusion est de l'ordre de grandeur de la durée de l'impulsion laser. Elle peut typiquement atteindre quelques dizaines de nanosecondes, en fonction de l'énergie laser pour des impulsions classiques de 10 à 20 nanosecondes des lasers à excimère.

La fusion de la surface commence vers la fin de l'impulsion laser, le retard diminuant avec l'énergie des impulsions laser mises en oeuvre. Le front de fusion pénètre à l'intérieur du matériau jusqu'à atteindre une valeur maximum qui définit la profondeur fondue avant de revenir vers la surface. La profondeur fondue ainsi que la durée de fusion augmente bien évidemment avec l'énergie laser.

Le choix d'un laser à excimère du type XeCl ou KrF, voire encore d'un laser YAG triplé, donc fonctionnant tous dans le domaine de l'UV, est dicté par la puissance souhaitée au niveau de l'impulsion. On choisit typiquement une densité d'énergie comprise entre 200 et 400 mJ/cm².

Avantageusement, on sélectionne l'énergie laser afin que l'intégralité du film de silicium amorphe soit refondue et recristallisée.

On a pu montrer que pour une énergie laser supérieure à 360 mJ/cm², une épaisseur de 50 nm de silicium amorphe était complètement recristallisée en silicium polycristallin de bonne qualité.

SAMSUNG EX. 1002 - 259/2862

L'énergie laser est aisément ajustable par l'homme du métier afin de fondre la totalité de l'épaisseur du matériau amorphe en un seul voire en plusieurs tirs ou impulsions laser en fonction de l'équipement utilisé. De même, en fonction d'un tel équipement, le spot laser est scanné ou déplacé (pas à pas) jusqu'à induire la transformation de la totalité de la couche de silicium amorphe de la pluralité de photosites bolométriques considérée.

Par la transformation du matériau bolométrique d'une nature amorphe à une nature cristalline, on aboutit à un matériau parfaitement stable, notamment thermiquement, en tout cas aux conditions de fonctionnement du détecteur bolométrique, et insensible aux opérations technologiques impliquant des excursions thermiques non intentionnelles (durcissement des résines, par exemple, dépôt, gravures…). En d'autres termes, le détecteur bolométrique résultant est insensible à l'environnement thermique qu'il peut rencontrer sous ses conditions normales de fabrication et d'utilisation.

Par ailleurs, il devient possible d'accroître le niveau de dopage, en raison, en particulier, d'une meilleure incorporation, et ceci de manière parfaitement uniforme sur toute l'épaisseur du matériau, du fait du passage en phase liquide et de l'état cristallin du silicium une fois solidifié.

Ainsi que déjà précisé, du dopage dépend la résistance thermique du matériau bolométrique, et partant son isolation du circuit sous-jacent. En outre, le bruit basse fréquence tend à diminuer lorsque le dopage augmente. De la sorte, la mise en œuvre de silicium polycristallin permet de jouer sur ces deux paramètres, dans l'objectif d'améliorer les propriétés de détection et la sensibilité de tels détecteurs.

En outre, la mise en œuvre du procédé conforme à l'invention permet de conserver l'intégrité du circuit de lecture sous-jacent, ainsi que de la couche auxiliaire sacrificielle en polyimide. Cette couche sacrificielle est éliminée en phase ultime de réalisation du détecteur. La mise en œuvre du polyimide s'avère tout particulièrement avantageuse, compte tenu notamment de son enlèvement aisé et respectueux du reste de la structure, en raison de la sélectivité du plasma oxygène.

On conçoit dès lors tout l'intérêt du procédé conforme à l'invention, ainsi que du détecteur en résultant en termes de qualité et de sensibilité de détection infrarouge à température ambiante, mais également en termes de facilité de réalisation et des coûts réduits en résultant.

SAMSUNG EX. 1002 - 260/2862

REVENDICATIONS

1. Procédé pour la fabrication d'un détecteur bolométrique, consistant, à partir d'un circuit de lecture, notamment réalisé sur un substrat silicium (1) :
   - tout d'abord, à former une première couche auxiliaire sacrificielle (3) sur ledit substrat silicium, destinée à être ôtée par tout moyen connu après réalisation du détecteur afin de découpler thermiquement le circuit de lecture (1) du module de détection ;
   - puis à former sur cette couche auxiliaire sacrificielle (3), entre autres une couche de matériau bolométrique en silicium amorphe (5), mais également des électrodes (6), destinées à envoyer des signaux électriques nécessaires au fonctionnement du bolomètres et à acheminer le signal résultant de la détection du rayonnement infra rouge par ledit bolomètre au niveau du circuit de lecture,

   caractérisé en ce que l'on soumet la couche (5) de matériau bolométrique, constituée de silicium amorphe, à un rayonnement laser, destiné à le transformer en silicium polycristallin.

2. Procédé pour la fabrication d'un détecteur bolométrique selon la revendication 1, ***caractérisé*** en ce que le laser est un laser à excimère ou un YAG triplé.

3. Procédé pour la fabrication d'un détecteur bolométrique selon l'une des revendications 1 et 2, ***caractérisé*** en ce que la densité d'énergie du laser est comprise entre 200 et 400 mJ/cm².

4. Procédé pour la fabrication d'un détecteur bolométrique selon l'une des revendications 1 à 3, ***caractérisé*** en ce que préalablement à l'irradiation du silicium amorphe, constitutif du matériau bolométrique, on revêt la couche auxiliaire sacrificielle d'une couche d'un matériau diélectrique (4), notamment constituée d'un oxyde de silicium ou d'un nitrure de silicium.

5. Procédé pour la fabrication d'un détecteur bolométrique selon l'une des revendications 1 à 4, ***caractérisé*** en ce que préalablement à l'irradiation du silicium amorphe, constitutif du matériau bolométrique, on revêt le substrat silicium constitutif du circuit de lecture d'une couche d'un matériau réfléchissant le rayonnement infrarouge, et notamment par de l'aluminium.

SAMSUNG EX. 1002 - 261/2862

6. Détecteur bolométrique, associé à un circuit de lecture (1) notamment par la technologie dite « microponts », comprenant au moins une couche de matériau bolométrique (5) associée à au moins deux électrodes (6) assurant le contact électrique et mécanique dudit bolomètre avec le substrat (1) constitutif du circuit de lecture, ledit matériau bolométrique étant thermiquement isolé dudit circuit de lecture, *caractérisé* en ce que le matériau bolométrique est constitué par un silicium polycristallin.

7. Détecteur bolométrique selon la revendication 6, *caractérisé* en ce que le matériau bolométrique (5) repose sur une couche d'un matériau diélectrique, notamment constitué d'oxyde de silicium ou de nitrure de silicium.

SAMSUNG EX. 1002 - 262/2862

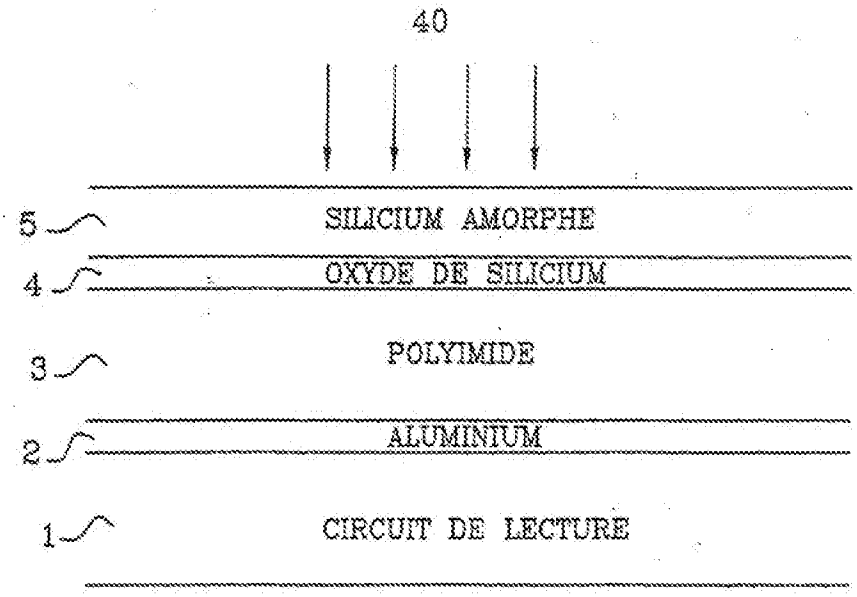


Fig. 1

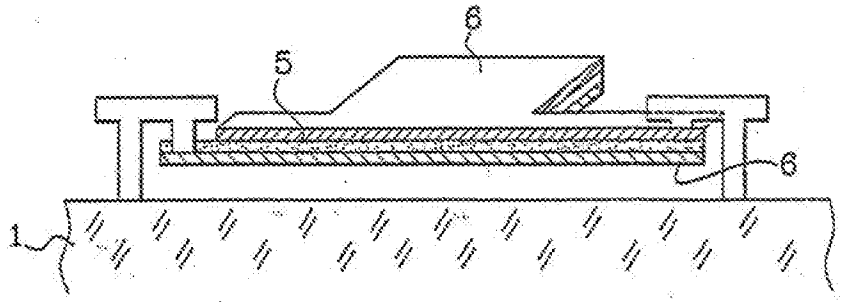


Fig. 2

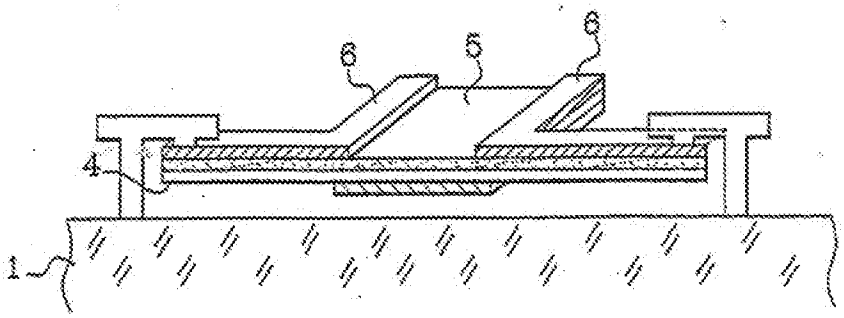


Fig. 3

SAMSUNG EX. 1002 - 263/2862

RÉPUBLIQUE FRANÇAISE

INPI
INSTITUT NATIONAL DE LA PROPRIETE INDUSTRIELLE

2827707

RAPPORT DE RECHERCHE PRÉLIMINAIRE

établi sur la base des dernières revendications déposées avant le commencement de la recherche

N° d'enregistrement national

FA 609582
FR 0109715

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
Y	US 5 260 225 A (LIU MICHAEL S ET AL) 9 novembre 1993 (1993-11-09)	1-3	H01L27/146 G01J5/20
X	* colonne 4, ligne 40 - colonne 5, ligne 44; figures 5A-5E *	6	
A		4,7	
Y	US 4 309 225 A (FAN JOHN C C ET AL) 5 janvier 1982 (1982-01-05) * colonne 4, ligne 26 - colonne 6, ligne 51; figures 7,8 *	1-3	
X	EP 0 867 702 A (IMEC INTER UNI MICRO ELECTR) 30 septembre 1998 (1998-09-30)	6	
A	* page 6, ligne 52 - page 7, ligne 41 *	1-5,7	
A,D	US 5 367 167 A (KEENAN WILLIAM F) 22 novembre 1994 (1994-11-22) * colonne 4, ligne 32 - colonne 5, ligne 24 * * colonne 6, ligne 50-64 *	1,5-7	
A	US 5 912 464 A (VILAIN MICHEL ET AL) 15 juin 1999 (1999-06-15) * le document en entier *	1-7	DOMAINES TECHNIQUES RECHERCHÉS (Int.Cl.7) G01J H01L
A	US 4 059 461 A (FAN JOHN C C ET AL) 22 novembre 1977 (1977-11-22) * le document en entier *		

Date d'achèvement de la recherche	Examinateur
14 mai 2002	Boero, M

CATÉGORIE DES DOCUMENTS CITÉS

X : particulièrement pertinent à lui seul
Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie
A : arrière-plan technologique
O : divulgation non-écrite
P : document intercalaire

T : théorie ou principe à la base de l'invention
E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.
D : cité dans la demande
L : cité pour d'autres raisons

& : membre de la même famille, document correspondant

2

EPO FORM 1503 03.82 (P04C14)

SAMSUNG EX. 1002 - 264/2862

ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 0109715 FA 609582

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.
Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du 14-05-2002
Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)		Date de publication
US 5260225	A	09-11-1993	CA	2125875 A1	08-07-1993
			EP	0617843 A1	05-10-1994
			JP	7502812 T	23-03-1995
			WO	9313561 A1	08-07-1993
US 4309225	A	05-01-1982	DE	3072022 D1	08-10-1987
			EP	0035561 A1	16-09-1981
			JP	56501508 T	15-10-1981
			WO	8100789 A1	19-03-1981
EP 0867702	A	30-09-1998	EP	0867701 A1	30-09-1998
			EP	0867702 A2	30-09-1998
			JP	11040824 A	12-02-1999
			US	6300378 B1	09-10-2001
			US	6194722 B1	27-02-2001
			US	6274462 B1	14-08-2001
			US	2002009821 A1	24-01-2002
			US	2001055833 A1	27-12-2001
US 5367167	A	22-11-1994	US	5288649 A	22-02-1994
			DE	69210735 D1	20-06-1996
			DE	69210735 T2	24-10-1996
			DE	69221054 D1	04-09-1997
			DE	69221054 T2	22-01-1998
			EP	0534768 A1	31-03-1993
			EP	0534769 A2	31-03-1993
			JP	5206526 A	13-08-1993
			KR	265472 B1	15-09-2000
US 5912464	A	15-06-1999	FR	2752299 A1	13-02-1998
			EP	0828145 A1	11-03-1998
			JP	10090054 A	10-04-1998
US 4059461	A	22-11-1977	CA	1066432 A1	13-11-1979
			JP	1334175 C	28-08-1986
			JP	52115681 A	28-09-1977
			JP	60057232 B	13-12-1985

EPO FORM P0499

Pour tout renseignement concernant cette annexe : voir Journal Officiel de l'Office européen des brevets, No.12/82

SAMSUNG EX. 1002 - 265/2862

(12) UK Patent Application (19) GB (11) 2 030 766 A

(21) Application No **7930141**
(22) Date of filing
30 Aug 1979
(23) Claims filed
30 Aug 1979
(30) Priority data
(31) **78/35406**
(32) **2 Sep 1978**
(33) **United Kingdom (GB)**
(43) Application published
10 Apr 1980
(51) **INT CL³ H01L 21/268**
31/06
(52) Domestic classification
H1K 1EA 1EB 2R3X
2S20 2S6 3F 3R1 9C2
9C3 9L 9R1 LCX
(56) Documents cited
GB 1477670
GB 1258657
GB 1176889
(58) Field of search
H1K
(71) Applicant
The Plessey Company Limited
Vicarage Lane
Ilford
Essex
(72) Inventors
Ricardo Simon Sussmann
Allen William Mabbitt
(74) Agents
C Goodman

(54) **Laser treatment of semiconductor material**

(57) A layer or layers of amorphous material deposited on a non-crystalline amorphous substrate are subjected to treatment by exposure to a laser beam. The treatment may either recrystallise or anneal the amorphous material depending on the laser power and improves its suitability for such devices as solar cells by improving the life times and diffusion lengths within the material as compared to the untreated material.

The use of P type SiC or polycrystalline silicon on superposed i and n type amorphous silicon layers to improve the transmissivity of the outer layers of solar cells, and the use of varying composition SiC layers for visible light emission devices are also disclosed.

GB 2 030 766 A

The drawings originally filed were informal and the print here reproduced is taken from a later filed formal copy.

SAMSUNG EX. 1002 - 266/2862

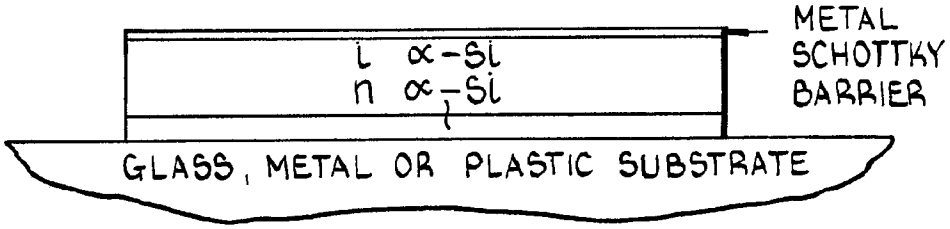


FIG. 1.

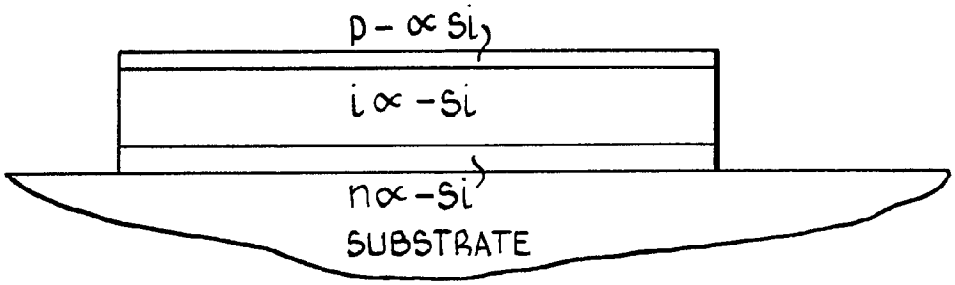


FIG. 2.

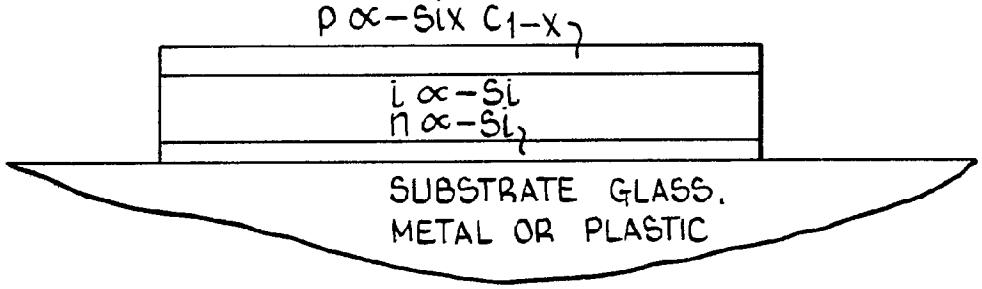


FIG. 3.

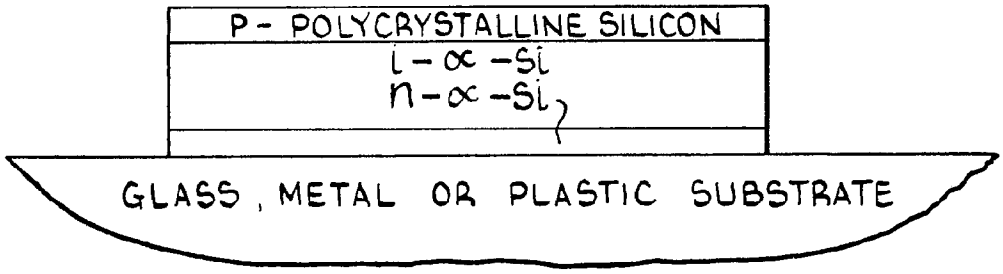


FIG. 4.

SAMSUNG EX. 1002 - 267/2862

SPECIFICATION

Improvements in or relating to solar cells and other devices.

The present invention relates to method of treatment of amorphous material layers to make them more suitable for the production of solar cells and other similar devices and to the solar cells and or other devices produced using the treated materials.

The possible use of thin film amorphous materials for solar cells, (or other devices such as p–n junctions, Schottky diodes, zener diodes) integrated into large area systems such as displays is extremely attractive due to the relatively low cost in terms of materials and energy. A disadvantage however, is that device performance has previously been severely limited by the short life times and diffusion lengths typical of amorphous materials. For example, the present state of the art A.M.I. efficiencies for polycrystalline silicon solar cells is about 10% which is a factor of 2 higher than the best cell produced with amorphous material.

It is an object of the present invention to produce a treated layer of amorphous material which is substantially superior to that known at present and thus to be able to combine the advantages in terms of the low cost and large area capability of amorphous thin film with the superior device performance of the polycrystalline material.

According to the present invention there is provided a method of treating one or more layers of amorphous material deposited on a non-crystalline substrate, to improve the suitability of the material for use in solar cells or similar devices as hereinbefore defined, by subjecting the layer of amorphous material to exposure by a laser.

The present invention also provides an amorphous silicon solar cell comprising an upper layer of p type Si_xC_{1-x} an intermediate layer of i_x–Si and a lower layer of n Si on a suitable substrate.

The invention also provides an amorphous silicon solar cell comprising an upper layer of p type polycrystalline silicon an intermediate layer of i –Si and a lower layer of n Si on a suitable substrate.

In a preferred embodiment the amorphous material is silicon.

Embodiments of the present invention will now be described, by way of example with reference to the accompanying drawings, in which:

Figure 1 shows a conventional schottky barrier cell,

Figure 2 shows a conventional P–i–n barrier cell,

Figure 3 shows a first solar cell heterostructure according to the present invention and,

Figure 4 shows a second solar cell structure according to the present invention.

An amorphous silicon layer or multi-layer amorphous structure of 6,000Å was grown on an amorphous non-crystalline substrate e.g. glass, metallised glass or stainless steel by known methods, for example the glow discharge decomposition of SiH_4 or by sputtering. The amorphous layer or layers are then subjected to exposure by a suitable laser. The effect of the exposure to the laser is either to crystallise a controlled thickness of the amorphous structure when a high power is used to anneal the amorphous layer when a lower power is used.

The recrystallised layer possesses optical and electronic properties which make it more suitable as part of a solar cell, p–n junction or other devices.

In the case of the annealed, non-recystalised layer the properties will tend to reduce the density of the defect states in the gap.

Referring now to the drawings current practise when using amorphous-silicon (α– Si) for solar cells is to use p–i–n or Schottky barrier – i – n structures, as shown in Figs. 1 and 2. These approaches limit the attainable solar conversion efficiency, for any quality *i*–Si, because of the p layer or metal Schottky barrier prevents a large proportion of the incident light from reaching the depleted *i* region. If these surface layers could be replaced by a relatively optically transparent material, which still forms an electrically active junction, then the device efficiency would be improved.

This invention replaces the pα –Si or metal Schottky barrier with an amorphous layer of 'p' type Si_xC_{1-x} in which 0×1 as shown in Fig. 3. Amorphous $S1_xC_{1-x}$ forms a continuous series of solid solutions with a bandgap that increases as x decreases, thus a larger fraction of the incident light reaches the junction depletion than with conventional structures. This application therfore provides a heterojunction α–SiC/Si structure.

Further uses of this concept includes

$Si_xC_{1-x}/Si_yC_{1-y}/Si_xC_{1-x}$/glass/metal

or plastic substrate structures for visible light emission which would have applications for flat panel displays.

Referring now to Fig. 4 a second preferred solar cell according to the present invention is shown. Current amorphous silicon solar cells are limited in efficiency because of absorption or reflection of light by the top pα–Si or metal Schottky barrier layer. The solar cell shown in Fig. 4 reduces the wastage of input photons by forming a p–n junction between p-type polycrystalline silicon and the conventional i–nα–Si layers as shown in Figs. 1 and 2. The cell is therefore more efficient than previously known solar cells.

In the above shown solar cells suitable front

SAMSUNG EX. 1002 - 268/2862

and rear contact metallisations are applied to realise a working structure.

CLAIMS

1. A method of treating one or more layers of amorphous material deposited on a non-crystalline substrate, to improve the suitability of the material for use in solar cells or similar devices as hereinbefore defined by subjecting the layer of amorphous material to exposure by a laser.

2. A method of treating one or more layers of amorphous material as claimed in claim 1 in which the amorphous material is silicon, or hydrogenated amorphous silicon or silicon carbide or gallium arsenide or gallium phosphide.

3. A method of treating one or more layers of amorphous material as claimed in claim 2 in which the amorphous silicon or hydrogenated amorphous silicon is deposited on the amorphous substrate using the glow discharge decomposition of SiH_4.

4. A method of treating one or more layers of amorphous material as claimed in any one of the preceding claims in which the exposure is at a low enough level so that the material is not recrystallised but is annealed so as to reduce the number of defect states in the gap with a consequent improvement in lifetime and diffusion lengths.

5. A method of treating one or more layers of amorphous material as claimed in any one of the preceding claims in which the exposure is at a level high enough to recrystallise at least one layer of the amorphous material.

6. A method of treating one or more layers of amorphous material substantially as described.

7. An amorphous silicon solar cell comprising an upper layer of p type Si_xC_{1-x}, and intermediate layer of iα–Si and a lower layer of nαSi mounted on a suitable substrate.

8. An amorphous silicon solar cell comprising an upper layer of p type polycrystalline silicon an intermediate layer of iα–Si and a lower layer of nαSi mounted on a suitable substrate.

9. An amorphous silicon solar cell substantially as described with reference to Fig. 3 or 4 of the accompanying drawings.

Printed for Her Majesty's Stationery Office
by Burgess & Son (Abingdon) Ltd.—1980.
Published at The Patent Office, 25 Southampton Buildings,
London, WC2A 1AY, from which copies may be obtained.

SAMSUNG EX. 1002 - 269/2862

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-273887
(43)Date of publication of application : 30.09.2004

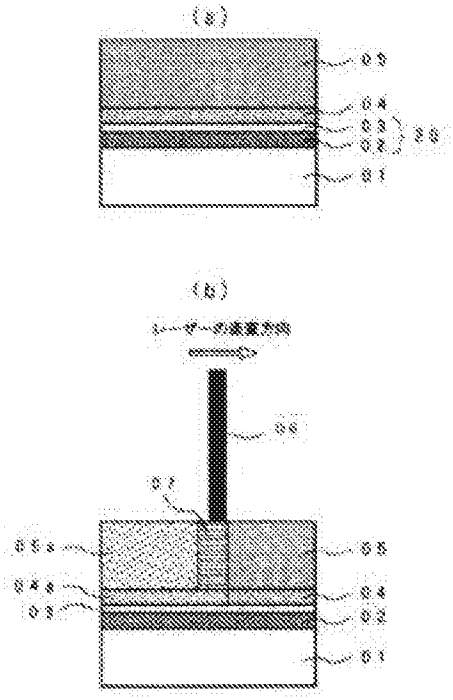
(51)Int.Cl. H01L 21/20
H01L 31/04

(21)Application number : 2003-064571
(22)Date of filing : 11.03.2003

(71)Applicant : HITACHI CABLE LTD
(72)Inventor : OKA FUMITO
MURAMATSU SHINICHI
SASAKI TADASHI

(54) CRYSTALLINE THIN FILM SEMICONDUCTOR DEVICE AND SOLAR CELL ELEMENT

(57)Abstract:
PROBLEM TO BE SOLVED: To obtain a large-area crystalline thin film semiconductor device that can achieve photoelectric conversion efficiency of >10%, and to obtain a solar cell element.
SOLUTION: In the crystalline thin film semiconductor device, a conductive electrode layer 20 is formed on the partial or whole surface of a substrate 01 and first and second silicon layers 04a and 05a are successively formed on the electrode layer 20 in this order and annealed with a laser beam 06. The first silicon layer 04a is annealed with the laser beam 06 after the layer 04a is formed to have a smaller absorption coefficient than the second silicon layer 05a has in the wavelength region of the laser beam 6 used for annealing.



SAMSUNG EX. 1002 - 270/2862

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2004-273887
(P2004-273887A)
(43)公開日　平成16年9月30日(2004.9.30)

(51)Int.Cl.[7]	F I		テーマコード（参考）
H01L 21/20	H01L 21/20		5F051
H01L 31/04	H01L 31/04	H	5F052

審査請求 未請求　請求項の数 8　OL　（全 11 頁）

(21)出願番号　特願2003-64571(P2003-64571)
(22)出願日　平成15年3月11日(2003.3.11)

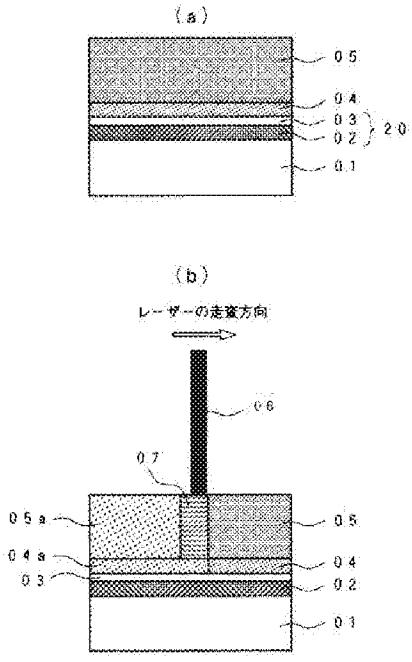
（出願人による申告）国等の委託研究の成果に係る特許出願（平成１４年度新エネルギー・産業技術総合開発機構「太陽光発電技術研究開発（革新的次世代太陽光発電システム技術研究開発ラテラル結晶化薄膜シリコン太陽電池の研究開発）」委託研究、産業活力再生特別措置法第３０条の適用を受けるもの）

(71)出願人　000005120
日立電線株式会社
東京都千代田区大手町一丁目６番１号
(74)代理人　100116171
弁理士　川澄　茂
(72)発明者　岡　史人
東京都千代田区大手町一丁目６番１号　日立電線株式会社内
(72)発明者　村松　倍一
東京都千代田区大手町一丁目６番１号　日立電線株式会社内
(72)発明者　佐々木　唯
東京都千代田区大手町一丁目６番１号　日立電線株式会社内

最終頁に続く

(54)【発明の名称】結晶薄膜半導体装置及び太陽電池素子

(57)【要約】
【課題】１０％を超える光電変換効率を達成できる大面積の結晶薄膜半導体装置及び太陽電池素子を得ること。
【解決手段】基板０１上の一部もしくは全部に導電性をもつ電極層２０が形成され、その上部に第一のシリコン層０４ａ、該第一のシリコン層の上部に第二のシリコン層０５ａが形成されている半導体装置において、上記第一のシリコン層０４ａ及び第二のシリコン層０５ａがレーザー光０６によってアニールを施されることにより成り、且つ第一のシリコン層０４ａが、第二のシリコン層０５ａよりも上記アニールを行なうレーザー光の光の波長域において吸収係数が小さい状態で形成された後、上記レーザー光０６によるアニールを施されることによって成る、構成とする。
【選択図】　図１



SAMSUNG EX. 1002 - 271/2862

【特許請求の範囲】
【請求項1】
基板上の一部もしくは全部に導電性をもつ電極層が形成され、その上部に第一のシリコン層、該第一のシリコン層の上部に第二のシリコン層が形成されている半導体装置において、
前記第一のシリコン層及び第二のシリコン層はレーザー光によってアニールを施されることにより成り、且つ第一のシリコン層は、第二のシリコン層よりも前記アニールを行なうレーザー光の光の波長域において吸収係数が小さい状態で形成された後、前記レーザーによるアニールを施されることによって成ることを特徴とする結晶薄膜半導体装置。
【請求項2】
請求項１に記載の結晶薄膜半導体装置において、
前記第一のシリコン層は、結晶成分を含む、もしくはすべてが結晶成分であるシリコン層として形成されレーザーアニールを施されることにより成り、また
前記第二のシリコン層は、非晶質シリコンとして形成されレーザーアニールを施されることにより成ること特徴とする結晶薄膜半導体装置。
【請求項3】
請求項１又は２に記載の結晶薄膜半導体装置において、
前記電極層が、基板側から金属電極、その上部に透明導電膜の順に設けた複数の電極層によって構成されており、前記透明導電膜が酸化亜鉛、酸化錫、ＩＴＯのいずれかから成ることを特徴とする結晶薄膜半導体装置。
【請求項4】
請求項１～３のいずれかに記載の結晶薄膜半導体装置において、
前記第一のシリコン層及び第二のシリコン層は半導体に導電性を付与する働きを持つ不純物を有しており、その第一のシリコン層の不純物濃度は第二のシリコン層の不純物濃度よりも高濃度であることを特徴とする結晶薄膜半導体装置。
【請求項5】
請求項１～４のいずれかに記載の結晶薄膜半導体装置において、
前記第二のシリコン層の上部の一部もしくは全面に、非単結晶の第三のシリコン層が形成されており、該第三のシリコン層は第一のシリコン層とは逆の導電型を付与する働きを持つ不純物を有していることを特徴とする結晶薄膜半導体装置。
【請求項6】
請求項５に記載の結晶薄膜半導体装置において、
前記第三のシリコン層上の一部もしくは全面に、導電性を有する透明導電膜として酸化亜鉛、酸化錫、ＩＴＯのいずれかから成る反射防止膜を有しており、
この透明導電膜上の一部に取り出し用金属電極が形成されていることを特徴とする結晶薄膜半導体装置。
【請求項7】
請求項１～６のいずれかに記載の結晶薄膜半導体装置において、
前記レーザーは波長９００ｎｍ以下の光を連続的に発振することを特徴とする結晶薄膜半導体装置。
【請求項8】
請求項１～７のいずれかに記載の結晶薄膜半導体装置の一部もしくは全部を用いて構成したことを特徴とする太陽電池素子。

【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、半導体素子基板、半導体素子等の結晶薄膜半導体装置及び太陽電池素子に関するものである。
【０００２】
【従来の技術】

SAMSUNG EX. 1002 - 272/2862

近年、非導電性の異種基板上、例えばガラス基板上等にシリコン結晶薄膜を形成する研究が盛んに行なわれている。このガラス基板上に形成したシリコン結晶薄膜の用途は広く、液晶デバイス用ＴＦＴ、薄膜光電変換素子などに用いることができる。

【０００３】

薄膜太陽光発電素子は、安価な基板上に低温プロセスで良好な結晶性をもつ結晶シリコン薄膜を形成し、これを光電変換装置に用いて、低コスト化と高性能化を図るものである。この結晶シリコン薄膜を光電変換素子に用いることによって、非晶質シリコン光電変換素子で問題となっている光劣化が観測されず、さらに非晶質光電変換素子では感度のない、長波長光をも電気的エネルギーに変換することができる。この技術は光電変換素子のみではなく、光センサ等の光電変換装置への応用も可能であると期待されている。

【０００４】

このシリコン結晶光電変換素子は、一般的にプラズマＣＶＤによって直接結晶シリコン薄膜を堆積させる手法が用いられている。この手法によって、基板上に低温で結晶シリコンが形成され得ることが知られており、低コスト化に有効であるとされている。

【０００５】

この手法においては、プラズマＣＶＤ形成条件としては、水素でシラン系原料ガスを１５倍程度以上に希釈し、プラズマ反応室内圧力を１０ｍＴｏｒｒ～１０Ｔｏｒｒ、基板温度を１５０℃～５５０℃、望ましくは４００℃以下の範囲内に制御して成膜する。これによって結晶性のシリコン薄膜が基板上に形成される。しかし、この方法では結晶粒径の大きなポリシリコンを形成することは困難であった。また、発電機能の根幹を担うｉ層は、素子構造最適化のためにドーピングを行なうと品質が急激に低下する。これらのことから、低コスト化に有利なシングルセルで１０％を大きく上回る光電変換効率を達成することは困難であった。

【０００６】

一方、レーザーの走査によって結晶化する試みも種々検討されており、連続波を用いる方法も既に公報に開示されている（例えば、特許文献１参照。）。この方法は異種基板上に非晶質シリコンを形成し、帯状の連続光源を走査することで多結晶シリコン層に熔融・結晶化するもので、走査方向に長い結晶粒を成長させることを可能としている。

【０００７】

【特許文献１】

特開平２００１－３５１８６３号公報

【０００８】

【発明が解決しようとする課題】

しかしながら、高効率な太陽電池を形成しようとした場合、上記した連続波レーザーの走査によって結晶化する方法には、次のような課題がある。

【０００９】

すなわち、上記特許文献１の方法は、ＴＦＴ（Ｔｈｉｎ　Ｆｉｌｍ　Ｔｒａｎｓｉｓｔｏｒ）を目的に考案されているものである。つまり、横方向デバイスであり、結晶シリコン膜の上下に電極を形成する必要がない。一方、太陽電池等の縦方向デバイスは上下に電極を形成する必要がある。

【００１０】

しかるに、非晶質シリコンを電極上に直接形成し、その後結晶化を行なうと、Ａｌ等の電極材は瞬時にシリコン中に拡散し、デバイスの特性を著しく低下させる。また、高融点材料を用いた場合においても、その融解熱による拡散は逃れられず、特性に悪影響を及ぼす。これは１０％を超える太陽電池を作製するにあたり、致命的であった。

【００１１】

上記の理由より、高効率な太陽電池を形成するにはこれまでの技術では不充分であった。

【００１２】

そこで、本発明は、上記課題を解決し、１０％を超える光電変換効率を達成できる太陽電池等の大面積の結晶薄膜半導体装置の作製手段を提供するものである。

SAMSUNG EX. 1002 - 273/2862

【００１３】
【課題を解決するための手段】
上記目的を達成するため、本発明は、次のように構成したものである。
【００１４】
請求項１の発明に係る結晶薄膜半導体装置は、基板上の一部もしくは全部に導電性をもつ電極層が形成され、その上部に第一のシリコン層、該第一のシリコン層の上部に第二のシリコン層が形成されている半導体装置において、前記第一のシリコン層及び第二のシリコン層はレーザー光によってアニールを施されることにより成り、且つ第一のシリコン層は、第二のシリコン層よりも前記アニールを行なうレーザー光の光の波長域において吸収係数が小さい状態で形成された後、前記レーザーによるアニールを施されることによって成ることを特徴とする。
【００１５】
請求項２の発明は、請求項１に記載の結晶薄膜半導体装置において、前記第一のシリコン層は、結晶成分を含む、もしくはすべてが結晶成分であるシリコン層として形成されレーザーアニールを施されることにより成り、また前記第二のシリコン層は、非晶質シリコンとして形成されレーザーアニールを施されることにより成ることを特徴とする。
【００１６】
請求項３の発明は、請求項１又は２に記載の結晶薄膜半導体装置において、前記電極層が、基板側から金属電極、その上部に透明導電膜の順に設けた複数の電極層によって構成されており、前記透明導電膜が酸化亜鉛、酸化錫、ＩＴＯ（Ｉｎｄｉｕｍ　Ｔｉｎ　Ｏｘｉｄｅ）のいずれかから成ることを特徴とする。
【００１７】
請求項４の発明は、請求項１～３のいずれかに記載の結晶薄膜半導体装置において、前記第一のシリコン層及び第二のシリコン層は半導体に導電性を付与する働きを持つ不純物を有しており、その第一のシリコン層の不純物濃度は第二のシリコン層の不純物濃度よりも高濃度であることを特徴とする。
【００１８】
請求項５の発明は、請求項１～４のいずれかに記載の結晶薄膜半導体装置において、前記第二のシリコン層の上部の一部もしくは全面に、非単結晶の第三のシリコン層が形成されており、該第三のシリコン層は第一のシリコン層とは逆の導電型を付与する働きを持つ不純物を有していることを特徴とする。
【００１９】
請求項６の発明は、請求項５に記載の結晶薄膜半導体装置において、前記第三のシリコン層上の一部もしくは全面に、導電性を有する透明導電膜として酸化亜鉛、酸化錫、ＩＴＯのいずれかから成る反射防止膜を有しており、この透明導電膜上の一部に取り出し用金属電極が形成されていることを特徴とする。
【００２０】
請求項７の発明は、請求項１～６のいずれかに記載の結晶薄膜半導体装置において、前記レーザーは波長９００ｎｍ以下の光を連続的に発振することを特徴とする。
【００２１】
請求項８の発明に係る太陽電池素子は、請求項１～７のいずれかに記載の結晶薄膜半導体装置の一部もしくは全部を用いて構成したことを特徴とする。
【００２２】
＜発明の要点＞
本発明の結晶薄膜半導体装置は、まず、電極層（裏面電極層）が形成された基板上に、微結晶シリコン層もしくはポリシリコン層等から成る結晶性のシリコン層（レーザーアニールする前の第一のシリコン層）を形成する。その上部に非晶質シリコン層（レーザーアニールにより結晶化する前の第二のシリコン層）を形成し、レーザー光によってエネルギーを与え、非晶質シリコンを融解し冷却されることによって結晶化させ、結晶シリコン層（第一のシリコン層及び第二のシリコン層）とする。本発明においては、この結晶化の際、

SAMSUNG EX. 1002 - 274/2862

結晶性のシリコン層の吸収係数よりも非晶質シリコン層の吸収係数の方が大きいため、非晶質シリコン層によりレーザー光の殆どが吸収され、非晶質シリコン層は融解するが結晶性のシリコン層は融解しない。

【００２３】

このことから、融解した非晶質シリコン層が冷却され第二のシリコン層となった際、基板上の金属層を構成する元素が第二の結晶シリコン層中に多量に拡散された状態になることを防ぐことができる。従って、第二の結晶シリコン層の品質を低下させることなく裏面側に電極を形成することが可能となる。この技術によってレーザー光によってエネルギーを与え、結晶化した膜を縦型デバイス、特に太陽電池に適用させ、高品質なデバイスを作製することが可能となる。

【００２４】

【発明の実施の形態】

本発明による結晶薄膜半導体装置は、以下の基本的な構成（図１（ａ）～図２（ｄ）に製造工程として示す）からなる。なお、レーザー光によって結晶化（アニール）される前の第一のシリコン層及び第二のシリコン層を、ＳｉＸ－１層、ＳｉＸ－２層と記す。

【００２５】

まず、電極層（裏面電極層）２０が形成された基板０１上に、微結晶シリコン層もしくはポリシリコン層等から成る、結晶性のＳｉＸ－１層（アニール前の第一のシリコン層０４）を形成する。

【００２６】

その上部にＳｉＸ－２層（アニール前の第二のシリコン層０５）として非晶質シリコン層を形成し、図１（ｂ）の如くレーザー光０６によってエネルギーを与え、非晶質シリコンを融解し冷却されることによって結晶化させ、結晶シリコン層（第一のシリコン層０４ａ）及び結晶シリコン層（第二のシリコン層０５ａ）とする。

【００２７】

この結晶化の際、ＳｉＸ－１層（結晶性のシリコン層）の吸収係数よりもＳｉＸ－２層（非晶質シリコン層）の吸収係数の方が大きい場合、ＳｉＸ－２層（非晶質シリコン層）によりレーザー光の殆どが吸収され、ＳｉＸ－２層（非晶質シリコン層）は融解するがＳｉＸ－１層（結晶性のシリコン層）は融解しない。

【００２８】

このことから、融解したＳｉＸ－２層（非晶質シリコン層）が冷却され第二のシリコン層０５ａとなった際、基板上の金属層を構成する元素が第二の結晶シリコン層中に多量に拡散された状態になることを防ぐことができる。従って、第二の結晶シリコン層の品質を低下させることなく裏面側に電極を形成することが可能となる。この技術によってレーザー光によってエネルギーを与え、結晶化した膜を縦型デバイス、特に太陽電池に適用させ、高品質なデバイスを作製することが可能となった。

【００２９】

まず初めに、導電性もしくは、非導電性の基板０１を用意する。この基板上に裏面電極層２０を形成する。一例として、電極材にはＡｌ、Ａｇ等の金属電極材料を主成分とした電極が適しているが、この他にも導電性を有する金属電極やＺｎＯ、SnO_2、ＩＴＯ等の酸化物透明導電膜、その他導電性を有する電極層であればなんでもよい。また、下地にＡｇ等の金属電極、その上部にＺｎＯ等の透明導電膜を構成した多層電極層としても良い。

【００３０】

この裏面電極層２０上に結晶性のＳｉＸ－１層（アニール前の第一のシリコン層０４）を形成する。このＳｉＸ－１層の形成方法としては、一例としてプラズマＣＶＤ法における結晶条件で形成する方法が挙げられる。その他、熱ＣＶＤやＣＶＤ、ＭＢＥ等、結晶性のシリコン層が形成できる方法であればなんでもよい。

【００３１】

そのＳｉＸ－１層の上部に、ＳｉＸ－２層（アニール前の第二のシリコン層０５）を形成する。このＳｉＸ－２層は非単結晶層として形成され、連続的な光線によって融解、結晶

SAMSUNG EX. 1002 - 275/2862

化を行なって形成する。

【００３２】

この非単結晶層の形成方法としては、プラズマＣＶＤ法の他、スパッタリング、ｃａｔ－ＣＶＤ（触媒気相化学堆積法）、熱ＣＶＤ、ＭＢＥ（分子線エピタキシー）等、非単結晶層が形成できる方法であればなんでもよい。この非単結晶層はＳｉＸ－１層とは光学的に特性が異なっている必要がある。代表的にはＳｉＸ－２層を非晶質シリコン層、ＳｉＸ－１層を結晶性のシリコン層として形成する。これにレーザー光０６を照射することで、融解し結晶化させ、第一のシリコン層４ａ及び第二のシリコン層５ａを形成する。

【００３３】

このレーザー光０６は、ＳｉＸ－２層を非晶質シリコンで形成する場合は、波長８００ｎｍ以下であることが望ましい。このようなレーザー光にはさまざまな種類のレーザーを用いることができる。その一例としてＹＡＧレーザー（Ｎｄ：ＹＡＧ）の第二高調波（波長：５３２ｎｍ）がある。ＹＡＧレーザーは、エキシマレーザー等の気体レーザーとは異なり扱いが容易である。また、連続発振が可能であることから、グレインサイズの大きなポリシリコンを形成することができる。

【００３４】

この波長域の光線であると非晶質シリコン層（ＳｉＸ－２層）と結晶性のシリコン層（ＳｉＸ－１層）とでは、光の吸収係数が非晶質シリコン層（ＳｉＸ－２層）の方が大幅に大きい。そのため、非晶質シリコン層（ＳｉＸ－２層）が融解する光の強度であっても結晶性のシリコン層（ＳｉＸ－１層）は融解しない。そのため、その下の電極層２０を構成する物質が第二のシリコン層０５ａに不純物として拡散することを防ぐことができる。同時に第一のシリコン層０４ａと電極層２０は、連続光照射によって熱エネルギーが与えられるために、接触抵抗が大幅に低減され、裏面電極としては理想的な状態として形成できる。また、電極層２０を、Ａｌ、Ａｇなどの金属層０２と、その上に形成した、導電性を付与するドーピングを施したＺｎＯ、ＩＴＯ、SnO_2等の透明導電膜０３とで構成することもでき、かかる構成とした場合、太陽電池として用いた場合、裏面内部反射率を大幅に向上させることができ、太陽電池発電効率を向上させることが可能となる。

【００３５】

この様にして形成した第二のシリコン層０５ａを太陽電池の発電層として用いる場合、ＳｉＸ－１層には導電性を付与する不純物を高濃度にドーピングし、ＳｉＸ－２層にはＳｉＸ－１層よりも低濃度にドーピングしてあることが望ましい。導電性を付与する不純物としては代表的にはｎ型の場合、燐、アンチモン、ｐ型の場合ボロン等が挙げられるが、これに限るものではなく、実質的に導電性を付与することができる物質であればなんでもよい。ドーピングを行なう方法は、プラズマＣＶＤでこれら半導体層を形成する場合、ドーピングガスを用いてドーピングを行なうが、ノンドープで形成し、ドーピング材を熱による拡散で混入させる方法等もあり、実質的にドーピングが行なえる方法であればなんでもよい。この様にドーピングが施されたＳｉＸ－１層とＳｉＸ－２層にレーザー光を照射することで、所望の導電型及びドーピング濃度の第一のシリコン層、第二のシリコン層が形成できる。なお、この方法によるドーパントの活性化率は１００％に近く、太陽電池を設計するにあたって非常に有利である。

【００３６】

この結晶薄膜半導体装置を太陽電池に用いる場合は、図２（ｄ）に示すように、第二のシリコン層０５ａの上部に第三のシリコン層０８を形成する必要がある。この第三のシリコン層は第一のシリコン層４ａの導電型の逆型である必要がある。具体的には、第一のシリコン層４ａがｎ型であった場合は第三のシリコン層はｐ型、第一のシリコン層４ａがｐ型の場合にはｎ型とする必要がある。第二のシリコン層０５ａの導電型は、前記にもあるように、第一のシリコン層４ａの導電型と同じで且つ、第一のシリコン層４ａの濃度と比べて低濃度であることが望ましい。しかしながら、第二のシリコン層０５ａはノンドープとすることでもｐｉｎ型ダイオードとなり、太陽電池として作製することは可能である。

【００３７】

SAMSUNG EX. 1002 - 276/2862

この第三のシリコン層０８の上部に、反射防止膜０９を形成する。この反射防止膜０９には、ＩＴＯ、酸化錫、酸化亜鉛、酸化シリコン、窒化シリコン、酸化窒化シリコン等を用いることができる。この反射防止膜０９を形成することによって半導体表面の表面内部反射率を向上させることができ、さらに太陽電池の発電効率を向上させることができる。また、この反射防止膜に導電性を付与するドーパントを混入させることで、透明導電膜とし、太陽電池における直列抵抗を低減することができる。反射防止膜０９を透明導電膜とした場合は、その上部にＡｌ等の金属取り出し電極１０を形成することで、ダイオードにおけるエミッタ側の直列抵抗を下げることができ、太陽電池構造とすることができる。また、反射防止膜に導電性を付与しない場合は、反射防止膜の一部をエッチングによって除去し、その反射防止膜を除去した部分にエミッタ側金属取り出し電極１０を形成する。

【００３８】

この様にして形成した積層体において、図２（ｄ）に示すように、半導体層及び反射防止膜の一部を裏面側の電極２０が露出するまで除去し、裏面電極取り出し部１１を形成する。この裏面側電極取り出し部１１は、薄膜太陽電池としては、一般的にはライン状に形成することが多い。しかし、結晶シリコン基板を用いた太陽電池の電極構造として知られている、バスバー、フィンガータイプの形状としてもよい。この電極構造は、裏面側の直列抵抗が低くなる方法を用いることが望ましい。

【００３９】

このように本発明によれば、連続的な光線によって融解、結晶化した高品質なシリコン薄膜を、縦方向デバイスである太陽電池に適用することができ、高効率、且つ低コストな太陽電池の作製が可能となる。当然のことであるが、本発明は太陽電池のみならず、バイポーラトランジスタ等、他の縦方向デバイスにも適用可能である。

【００４０】

【実施例】

以下、本発明の実施例について説明する。なお、以下の実施例は本発明の一例を示すものであり、本発明はこれらに限定されるものではない。

【００４１】

[実施例１]

本実施例ではプラズマＣＶＤを用いてシリコン層を形成することを試みた。図１（ａ）において、まず始めに、石英基板０１を用意し、その上部に金属電極０２としてＡｇ電極を２００ｎｍ形成した。その上部にＭｇをドーピングしたＺｎＯ透明導電膜０３を形成した。このようにして裏面電極２０を形成した基板上に、プラズマＣＶＤを用いて結晶性のＳｉＸ－１層（アニール前の第一のシリコン層０４）を形成した。この形成条件は、SiH_4：２ｃｃｍ、H_2：５０ｃｃｍ、PH_4：４ｃｃｍの混合ガスを用い、基板温度２５０℃、プラズマ電源は１３．５６ｋＨｚのＲＦ周波数を用いた。この条件では微結晶シリコンが形成される。この第一のシリコン層０４の膜厚は１００ｎｍとした。

【００４２】

この第一のシリコン層０４の上部にＳｉＸ－２層（アニール前の第二のシリコン層０５）を形成した。ＳｉＸ－２層の形成にもプラズマＣＶＤを用いた。この形成条件はSiH_4：１０ｃｃｍ、PH_4：０．０１ｃｃｍの混合ガスを用い、基板温度５００℃、プラズマ電源はＲＦ周波数を用いた。この条件では、ｎ型のドーパントを含んだ非晶質シリコンが形成される。

【００４３】

この第二のシリコン層０５に、図１（ｂ）に示すように、連続的に発振するレーザー光０６を照射して、非晶質シリコンを融解、結晶化させる。この連続的な光には、ＹＡＧレーザー（Ｎｄ：ＹＡＧ）の第二高調波（波長：５３２ｎｍ）を用いた。０７は融解した半導体層を示す。このＹＡＧレーザー照射によってＳｉＸ－２層の非晶質シリコンは融解され、その後短時間で結晶化する。しかしながら、ＳｉＸ－１層を構成する微結晶シリコンは、光の吸収係数が小さいことから、融解しないことが分かった。

【００４４】

SAMSUNG EX. 1002 - 277/2862

この様にしてＳｉＸ－１層（結晶性のシリコン層０４）、ＳｉＸ－２層（非晶質シリコン層０５）を、図２（ｃ）に示すように、それぞれ第一のシリコン層０４ａ、第二のシリコン層０５ａに変化させる。

【００４５】

このレーザー光の照射によって基板上全面を結晶化した後、この結晶化された第二のシリコン層０５ａの上部に、図２（ｄ）に示すように、第三のシリコン層０８をプラズマＣＶＤの結晶条件で形成した。形成条件はSiH_4：１ｃｃｍ、H_2：５０ｃｃｍ、B_2H_6：１ｃｃｍとした。この条件ではｐ型の微結晶シリコンが形成され、第二のシリコン層０５ａと第三のシリコン層０８との間はＰＮ接合となる。この第三のシリコン層０８の上部に反射防止膜０９としてＩＴＯ透明導電膜を形成し、さらにその上部の一部にエミッタ側取り出し用電極１０としてＡｌ電極を形成し、さらに透明電極層０３に達する裏面電極取り出し部１１を形成して、太陽電池構造とした。

【００４６】

この太陽電池を２５℃、１ｓｕｎの模擬太陽光下においてＩ－Ｖ測定を行った結果、単結晶シリコン基板太陽電池に匹敵する０．６４５Ｖの開放電圧を示した。また、２５℃光照射なしにおけるＩ－Ｖ特性からは、直列抵抗の値が０．３Ω／cm^2となり、裏面におけるコンタクト抵抗が十分に低いことが分かった。

【００４７】

なお、比較の為に、第一のシリコン層を形成しなかった太陽電池も作成したが、２５℃光照射なしのＩ－Ｖ特性では整流性を示さず、レーザーで結晶化した層がｎ型の半導体層として機能していないことが分かった。また、ＳＩＭＳ分析の結果、Ａｇが膜中に4×10^{20}ａｔｏｍｓ／cm^3の濃度で存在することが分かった。

【００４８】

以上の結果より、ＳｉＸ－１層（アニール前の第一のシリコン層０４）を結晶状態で形成することによって、裏面電極層２０を構成する元素の拡散を防ぐこと確認できた。なお、裏面の透明導電膜０３には、酸化亜鉛の他にも、酸化錫、ＩＴＯ、酸化シリコンで同様の効果があった。また、基板０１に安価なガラス基板を用いた場合にも同様の結果となった。

【００４９】

また、波長８４０ｎｍの半導体レーザーを用いて結晶化した場合についても、同様の結果となった。

【００５０】

［実施例２］

本実施例では、実施例１と同様の構造を用い、ＳｉＸ－１層、ＳｉＸ－２層の形成方法を実施例１とは異なった方法を用いて、太陽電池の作製を試みた。

【００５１】

まず、実施例１と同様の裏面電極２０（金属層０２及び透明電極層０３）付きの石英基板０１を用意し、その上部に熱ＣＶＤを用いてＳｉＸ－１層（アニール前の第一のシリコン層０４）として高濃度にドーピングしたｎ型の多結晶シリコン層を形成した。その上部にＳｉＸ－２層（アニール前の第二のシリコン層０５）として、スパッタリングを用いて、ｎ型のドーパントが低濃度に混入された非晶質シリコンを形成した。

【００５２】

これらＳｉＸ－１層、ＳｉＸ－２層を実施例１と同様にＹＡＧレーザーを用いて結晶化した。これによってＳｉＸ－１層とＳｉＸ－２層は、第一のシリコン層０４ａ、第二のシリコン層０５ａに変化した。その後、この第二のシリコン層の上部に、第三のシリコン層０８を実施例１と同様にプラズマＣＶＤを用いてｐ型の微結晶シリコン層として形成し、さらに反射防止膜０９、取り出し電極１０、裏面電極取り出し部１１を実施例１と同様の構造で作製し、太陽電池構造とした。

【００５３】

この様にして形成した太陽電池を２５℃１ｓｕｎの光照射下におけるＩ－Ｖ特性では、開

SAMSUNG EX. 1002 - 278/2862

放電圧が０、６２Ｖの電圧を示した。また、ＳｉＸ－１層の形成方法としてスパッタリングによる形成で基板温度を上げて形成した場合にも同様の効果があった。ＳｉＸ－１層、ＳｉＸ－２層の形成方法として、この他にもｃａｔ－ＣＶＤ、ＭＢＥ等でも同様の効果があった。

【００５４】

また、第三のシリコン層０８の形成方法としては、熱ＣＶＤを用いて第二のシリコン層０５ａからエピタキシャル成長させた第二のシリコン層と逆導電型の半導体層で形成した太陽電池も作製した。この場合においても、２５℃１ｓｕｎ下でのＩ－Ｖ特性において、開放電圧０．６２２Ｖを示し、高品質な太陽電池が作製できた。

【００５５】

【発明の効果】

以上説明したように本発明に係る結晶薄膜半導体装置は、基板上の一部もしくは全部に導電性をもつ電極層を形成し、その上部に第一のシリコン層を、また該第一のシリコン層の上部に第二のシリコン層を形成した半導体装置であって、上記第一のシリコン層及び第二のシリコン層がレーザー光によってアニールを施されることにより成り、且つ第一のシリコン層が、第二のシリコン層よりも上記アニールを行なうレーザー光の光の波長域において吸収係数が小さい状態で形成された後、上記レーザーによるアニールを施されることによって成る、という構成のものである。具体的には、レーザーアニールを施される前の第一のシリコン層は、結晶成分を含むもしくはすべてが結晶成分であるシリコン層として形成され、またレーザーアニールを施される前の第二のシリコン層は非晶質シリコンとして形成される。

【００５６】

本発明においては、このレーザーアニールによる結晶化の際、結晶性のシリコン層の吸収係数よりも非晶質シリコン層の吸収係数の方が大きいため、非晶質シリコン層によりレーザー光の殆どが吸収され、非晶質シリコン層は融解するが結晶性のシリコン層は融解しない。このことから、融解した非晶質シリコン層が冷却され第二のシリコン層となった際、基板上の金属層を構成する元素が第二の結晶シリコン層中に多量に拡散された状態になることを防ぐことができる。従って、第二の結晶シリコン層の品質を低下させることなく裏面側に電極を形成することが可能となる。

【００５７】

よって、この技術によってレーザー光によってエネルギーを与え、結晶化した膜を縦型デバイス、特に太陽電池に適用させ、高品質なデバイスを作製することが可能となる。

【図面の簡単な説明】

【図１】本発明の結晶シリコン半導体装置の作製過程の前半を示したもので、（ａ）はアニール前の第二のシリコン層までを形成した段階を示す模式図、（ｂ）はレーザーアニールを施して結晶シリコンとする段階を示す図である。

【図２】本発明の結晶シリコン半導体装置の作製過程の後半を示したもので、（ｃ）はレーザーアニールにより結晶シリコンとした段階を示す図、（ｄ）は取り出し電極を設けた段階を示す図である。

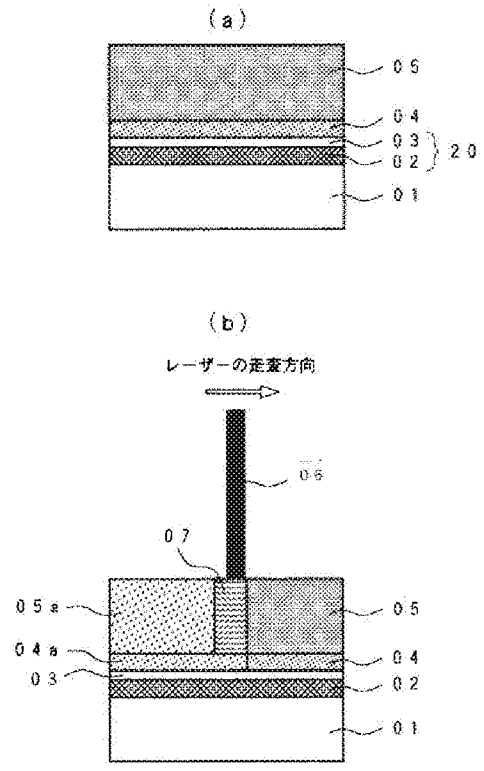
【符号の説明】

０１　基板
０２　金属層
０３　透明電極層
０４　アニール前の第一のシリコン層（ＳｉＸ－１層）
０４ａ　第一のシリコン層
０５　アニール前の第二のシリコン層（ＳｉＸ－２層）
０５ａ　第二のシリコン層
０６　レーザー光
０７　融解した半導体層
０８　第三のシリコン層

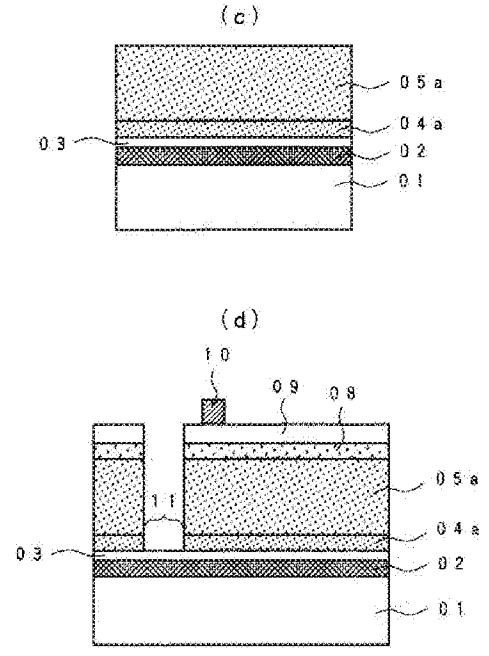
SAMSUNG EX. 1002 - 279/2862

０９　反射防止膜
１０　エミッタ側取り出し電極
１１　裏面電極取り出し部
２０　裏面電極層

【図1】



【図2】



SAMSUNG EX. 1002 - 280/2862

Ｆターム(参考) 5F051 AA04 BA05 CB12 CB25 CB27 FA04 FA06 FA22 GA03
5F052 AA02 BB02 BB04 CA02 CA09 DA02 DB01 DB03 DB06 EA13
JA09

SAMSUNG EX. 1002 - 281/2862

Espacenet

Bibliographic data: JP9148594 (A) — 1997-06-06

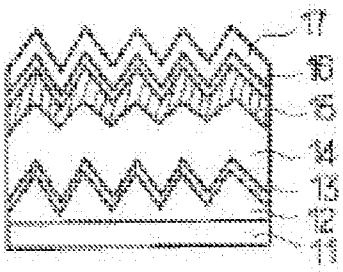
PHOTOVOLTAIC ELEMENT AND ITS MANUFACTURE

Inventor(s):	ENDO KOJI; SHIMA MASAKI ±
Applicant(s):	SANYO ELECTRIC CO ±

Classification:	**- international:** ***H01L31/04;*** (IPC1-7): H01L31/04
	- European: Y02E10/54N
Application number:	JP19950307095 19951127
Priority number(s):	JP19950307095 19951127
Also published as:	JP3416364 (B2)

Abstract of JP9148594 (A)

PROBLEM TO BE SOLVED: To control at will a texture structure on the surface of a separated semiconductor layer from a substrate, by providing as at least one semiconductor layer of a plurality of semiconductor layers a diamond-like carbon film with a texture structure formed etching its opposite surface to the substrate. SOLUTION: On a substrate 11, a transparent electrode 12 with a formed texture structure is formed to form thereon a p- or n-layer 13. Thereon, an i-layer 14 made of i-type amorphous silicon is formed. Further, thereon, forming a diamond-like carbon film 15, the opposite surface of the film 15 to the substrate 11 is etched to form a texture structure. While the irregular shape of the texture structure on the surface of the i-layer 14 is blunted, the texture structure on the surface of the film 15 has a sharp irregular shape because it is formed by etching.; On this newly formed texture structure, an n- or p-layer 16 is formed. Therefore, a texture structure on the surface of a separated semiconductor layer from the substrate 11 can be controlled at will.



Last updated:
5.12.2011 Worldwide Database 5.7.31; 92p

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号
特開平9－148594
(43)公開日　平成９年(1997)６月６日

(51)Int.Cl.[6]	識別記号	庁内整理番号	ＦＩ	技術表示箇所
Ｈ０１Ｌ　31/04			Ｈ０１Ｌ　31/04	Ｆ

審査請求　未請求　請求項の数５　ＯＬ　（全　６　頁）

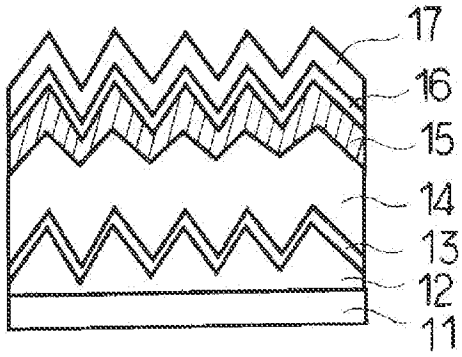
(21)出願番号　特願平7－307095

(22)出願日　平成７年(1995)11月27日

(71)出願人　000001889
三洋電機株式会社
大阪府守口市京阪本通２丁目５番５号
(72)発明者　遠藤　浩二
大阪府守口市京阪本通２丁目５番５号　三洋電機株式会社内
(72)発明者　島　正樹
大阪府守口市京阪本通２丁目５番５号　三洋電機株式会社内
(74)代理人　弁理士　目次　誠　（外１名）

(54)【発明の名称】　光起電力素子及びその製造方法

(57)【要約】
【課題】　基板から離れた半導体層の表面のテクスチャー構造を自由に制御することができ、光閉じ込め効果を十分に得ることができる光起電力素子の構造及びその製造方法を得る。
【解決手段】　ｉ層１４の上にダイヤモンド様炭素膜１５が設けられ、ダイヤモンド様炭素膜１５の表面がＨ₂プラズマ処理などによるエッチングによりテクスチャー化されていることを特徴としている。



SAMSUNG EX. 1002 - 283/2862

【特許請求の範囲】
【請求項１】　基板上方に複数の半導体層を積層することにより構成された光起電力素子において、
前記複数の半導体層のうちの少なくとも１つの半導体層として、前記基板と反対側の表面をエッチングしてテクスチャー構造としたダイヤモンド様炭素膜が設けられていることを特徴とする光起電力素子。
【請求項２】　前記ダイヤモンド様炭素膜がｉ層またはｉ層の一部の層であり、ｉ層の一部の層である場合にはｉ層の他の部分の層に対し前記基板と反対側に設けられていることを特徴とする請求項１に記載の光起電力素子。
【請求項３】　基板上方に複数の半導体層を積層することにより構成された光起電力素子を製造する方法であって、
前記複数の半導体層のうちの少なくとも１つの半導体層として、sp^3 構造／sp^2 構造の比を所定の比率に制御したダイヤモンド様炭素膜を形成する工程と、
前記ダイヤモンド様炭素膜のsp^2 構造を選択的にエッチングすることにより、その表面にテクスチャー構造を形成する工程とを備える光起電力素子の製造方法。
【請求項４】　前記ダイヤモンド様炭素膜のエッチングが、H_2 、Ｈｅ、Ｎｅ、Ａｒ、Ｋｒ、またはこれらのうちの少なくとも１種を含む混合ガスを用いたエッチングである請求項３に記載の光起電力素子の製造方法。
【請求項５】　前記ダイヤモンド様炭素膜のsp^3 構造／sp^2 構造の比が、０．８以上３．２以下である請求項３または４に記載の光起電力素子の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は、光起電力素子及びその製造方法に関するものである。
【０００２】
【従来の技術及び発明が解決しようとする課題】従来より、複数の半導体層を積層し、ｐｉｎ接合等をその内部に形成した光起電力装置においては、半導体層の接合界面を凹凸化したテクスチャー構造を形成することにより、半導体層内に光を閉じ込め、光電変換効率を向上させる研究がなされている。しかしながら、多くの研究は、Solar Cells,11(1984)357-366 に示されているように、基板上に形成する透明導電膜または金属反射膜の表面にテクスチャー構造を形成するものである。
【０００３】図７は、透明導電膜の表面にテクスチャー構造を形成した従来の光起電力装置を示す断面図である。図７を参照して、基板１の上には透明導電膜２が形成されている。透明導電膜２は、その表面にサブミクロンオーダーのテクスチャー形状が形成されている。このようなテクスチャー構造は、例えば四塩化錫（$SnCl_4$ ）や４－メチル錫（$Sn(CH_3)_4$ ）を原料とし、熱ＣＶＤ法やスプレー法等で形成することにより形成される。このようなテクスチャー形状を有する透明導電膜２の上には、ｐ層またはｎ層３、ｉ層４、ｎ層またはｐ層５が順次積層され、さらにその上に裏面電極層６が形成されている。これらｐ層、ｉ層及びｎ層は、それぞれｐ型、ｉ型及びｎ型の非晶質シリコンに代表される非晶質半導体からなる。図７に示されるように、基板１上の下地層となる透明電極膜２の表面にテクチスャー構造を形成することにより、その上に積層する層の表面もテクスチャー構造の凹凸形状を受け継ぎ凹凸形状に形成される。しかしながら、上方の積層膜になるに従い、その凹凸形状が鈍くなっている。図７においては、ｐ層またはｎ層３とｉ層４の界面の凹凸形状に比べ、ｉ層４とｎ層またはｐ層５との界面の凹凸形状の方が鈍くなっていることがわかる。
【０００４】図８は、同様に透明導電膜の表面にテクスチャー構造を形成し、この透明導電膜上に半導体層を積層することにより形成したタンデム構造の光起電力素子を示す断面図である。図８を参照して、ｎ層またはｐ層５の上には、次のセル単位となるｐ層またはｎ層７、ｉ層８、及びｎ層またはｐ層９が積層され、さらにこの上に裏面電極層１０が形成されている。このようにさらに多数積層していくと、テクスチャー構造の凹凸形状がさらに鈍くなることがわかる。例えば、ｉ層８とｎ層またはｐ層９との界面は、ｉ層４とｎ層またはｐ層５との界面の凹凸形状よりもさらに鈍くなっている。
【０００５】このように従来の光起電力装置では、透明電極膜または金属反射膜にテクスチャー構造を付与しても、その上に半導体層を積層していくと、半導体層の上方の界面では、テクスチャー構造の凹凸形状が鈍くなり、十分な光閉じ込め効果を得ることができていなかった。
【０００６】また、テクスチャー構造の凹凸形状が、散乱させたい光の波長と関連するものであるので、半導体層表面のテクスチャー構造の凹凸形状を自由に制御することができれば、光閉じ込め効果をさらに十分に得ることが可能になる。
【０００７】本発明の目的は、基板から離れた半導体層表面のテクスチャー構造を自由に制御することができ、光閉じ込め効果を十分に得ることができる光起電力素子の構造及びその製造方法を提供することにある。
【０００８】
【課題を解決するための手段】本発明の光起電力素子は、基板上方に複数の半導体層を積層することにより構成された光起電力素子であり、複数の半導体層のうちの少なくとも１つの半導体層として、基板と反対側の表面をエッチングしてテクスチャー構造としたダイヤモンド様炭素膜が設けられている。
【０００９】本発明の製造方法は、上記本発明の光起電力素子を製造することができる方法であり、複数の半導体層のうちの少なくとも１つの半導体層として、sp^3

SAMSUNG EX. 1002 - 284/2862

構造／sp^2 構造の比を所定の比率に制御したダイヤモンド様炭素膜を形成する工程と、ダイヤモンド様炭素膜のsp^2 構造を選択的にエッチングすることによりその表面にテクスチャー構造を形成する工程とを備えている。

【００１０】ダイヤモンド様炭素膜は、H_2、Ｈｅ、Ｎｅ、Ａｒ、Ｋｒ、またはこれらのうちの少なくとも１種を含む混合ガスを処理用ガスとして用い、プラズマ処理することによりエッチングすることができる。このようなエッチングの際、ダイヤモンド様炭素膜のsp^2 構造が選択的にエッチングされ、この結果凹凸形状のテクスチャー構造が形成される。

【００１１】ダイヤモンド様炭素膜のsp^3 構造／sp^2 構造の比は、０．８以上３．２以下であることが好ましく、さらに好ましくは１．０以上３．２以下であり、さらに好ましくは１．０以上２．０以下である。

【００１２】本発明に従えば、テクスチャー構造を有したダイヤモンド様炭素膜が半導体層の積層構造中に設けられるので、半導体層積層によるテクスチャー構造の凹凸形状の鈍化を改善することができ、光閉じ込め効果を向上させることができる。

【００１３】また本発明に従えば、sp^3 構造／sp^2 構造の比を制御することにより、ダイヤモンド様炭素膜の表面に形成するテクスチャー構造の凹凸形状を制御することができる。従って、効果的に散乱させたい波長に応じて、ダイヤモンド様炭素膜表面のテクスチャー構造を形成することができる。

【００１４】以上のように、本発明に従えば、光閉じ込め効果を向上させることができるので、短絡電流を大幅に増加させることができ、変換効率の向上を達成することができる。

【００１５】また、従来と同じ短絡電流を得るのであれば、ｉ層の膜厚を薄くすることができるので、光劣化後の変換効率を大幅に改善することができる。本発明の限定された局面においては、基板上に形成される透明導電膜または金属反射膜がテクスチャー化されており、このようなテクスチャー構造を有する透明導電膜または金属反射膜の上に複数の半導体層が積層され、複数の半導体層のうちの少なくとも１つの半導体層として、ダイヤモンド様炭素膜が形成される。

【００１６】本発明に従う他の限定された局面においては、基板上方に、ｐ型、ｉ型、ｎ型の半導体層を積層することにより構成された光起電力装置において、ｉ型の半導体層の基板と反対側に、基板と反対側の表面をエッチングしてテクスチャー構造としたダイヤモンド様炭素膜が設けられる。このようなダイヤモンド様炭素膜は、ｉ型のものであってもよいし、ｉ型の半導体層上に設けられるｎ型もしくはｐ型の半導体層であってもよい。

【００１７】本発明に従う他の限定された局面における製造方法は、上記局面の光起電力装置を製造することができる方法であり、ｉ型の半導体層の上にsp^3 構造／sp^2 構造の比を所定の比率に制御したダイヤモンド様炭素膜を形成する工程と、ダイヤモンド様炭素膜のsp^2 構造を選択的にエッチングすることにより、その表面にテクスチャー構造を形成する工程とを備えている。

【００１８】

【発明の実施の形態】図１は、本発明に従う一実施形態の光起電力素子を示す断面図である。図１を参照して、基板１１の上には、テクスチャー構造が形成された透明電極膜１２が形成されており、この透明電極層１２の上にｐ層もしくはｎ層１３が形成されている。これらｐ層もしくはｎ層は、ｐ型の非晶質シリコンカーバイドもしくはｎ型の非晶質シリコンからなる。ｐ層もしくはｎ層１３の上には、ｉ型の非晶質シリコンからなるｉ層１４が形成されている。ｐ層もしくはｎ層１３及びｉ層１４は、透明電極層１２のテクスチャー構造を引き継ぐように凹凸形状を有している。

【００１９】ｉ層１４の上には、ダイヤモンド様炭素膜１５が形成されている。このダイヤモンド様炭素膜１５の、基板１１と反対側の表面には、その表面をエッチングすることにより形成されたテクスチャー構造が形成されている。ｉ層１４の表面のテクスチャー構造の凹凸形状は、透明導電膜１２のテクスチャー構造の凹凸形状に比べ鈍化しているが、このように形成されたダイヤモンド様炭素膜１５の表面は、その表面をエッチングすることにより新たに形成されたテクスチャー構造であるため、鋭い凹凸形状を有している。この新たに形成されたテクスチャー構造の上に、ｎ層もしくはｐ層１６が形成され、さらにその上にＡｇなどからなる裏面電極層１７が形成されている。

【００２０】上記実施形態の光起電力素子は、基板１１として透明基板を用い、基板側から光を入射するタイプの光起電力素子である。従って、ｐｉｎ接合は、光入射側からｐ／ｉ／ｎの順で設けられることが好ましいので、１３はｐ層、１６はｎ層として形成されることが好ましい。

【００２１】基板と反対側から光が入射するタイプの光起電力素子の場合は、基板１１として透明基板を用いる必要はなく、シリコンなどの半導体基板や金属基板を用いることができる。またこの場合、基板表面にテクスチャー構造を形成し、この上に半導体層を積層させてもよい。また基板の上にテクスチャー化した金属層１２を形成させ、この上に半導体層を積層させてもよい。この場合、最上層１７は透明電極層となる。上述のように、光入射側からｐ／ｉ／ｎの順で半導体層を積層することが好ましいので、このような場合には、１６がｐ層となり、１３がｎ層となることが好ましい。また、ｐ層１６を高濃度にドーピングすることにより、ｐ層１６を透明導電膜として機能させることができる。このような場合、その上の透明導電膜１７を省略することができる。

SAMSUNG EX. 1002 - 285/2862

【００２２】上記の実施形態では、ｉ層１４の上にダイヤモンド様炭素膜１５を設けたが、ｎ層１６をダイヤモンド様炭素膜として、基板と反対側の表面をテクスチャー構造としてもよい。

【００２３】上記実施形態においては、ｉ層として非晶質シリコン層を形成しているが、ｉ層としてダイヤモンド様炭素膜を形成してもよい。図２は、図１に示す光起電力素子を製造する工程を説明するための断面図である。ダイヤモンド様炭素膜１５は、例えば、原料ガスC_2H_2の流量５０ｓｃｃｍ、基板温度２００℃、ＲＦパワー５０ｍＷ／ｃｍ^2、圧力１Ｐａの条件でプラズマＣＶＤ法により形成することができる。このようにして形成したダイヤモンド様炭素膜をエッチングし、その表面にテクスチャー構造を形成する。このようなエッチングは、処理用ガスとして、H_2、Ｈｅ、Ａｒ、Ｎｅ、Ｋｒなどのガスを用い、例えば、ガス流量５０ｓｃｃｍ、基板温度２００℃、ＲＦパワー５０ｍＷ／ｃｍ^2、圧力１Ｐａの条件でプラズマ処理することにより行うことができる。

【００２４】本発明におけるダイヤモンド様炭素膜のプラズマＣＶＤ法における一般的な形成条件としては、C_2H_2などの原料ガスの流量１０～５００ｓｃｃｍ、基板温度１００～３５０℃、ＲＦパワー１～３００ｍＷ／ｃｍ^2、圧力０．５～５Ｐａが挙げられる。

【００２５】以上のようなプラズマ処理によるエッチングで、ダイヤモンド様炭素膜１５の表面をテクスチャー構造にすることができる。このようにテクスチャー構造を付与した後に、残りの層を積層し、図１に示すような光起電力素子とする。

【００２６】図１におけるその他の半導体層は、プラズマＣＶＤ法を用いて、原料ガスとしてB_2H_6、SiH_4及びPH_3を適宜切り替えることにより形成することができる。

【００２７】ダイヤモンド様炭素膜のｓｐ^{3}構造／ｓｐ^{2}構造の比は、例えばプラズマＣＶＤ法で形成する場合、原料ガスの流量、基板温度、ＲＦパワー、圧力等の全てのパラメーターにより影響を受けるものである。ここでは、成膜時の下地へのダメージを低減するため、基板温度２００℃、ＲＦパワー５０ｍＷ／ｃｍ^{2}と一定の条件にし、反応圧力を０．５～５Ｐａの範囲内で変化させることにより、種々のダイヤモンド様炭素膜を形成し、反応圧力と膜中水素量及びｓｐ^{3}構造／ｓｐ^{2}構造の比との関係を求めた。結果を、図３及び図４にそれぞれ示す。なお、膜中水素量はＳＩＭＳ（Secondary Ion Mass Spectroscopy）で測定し、ｓｐ^{3}構造／ｓｐ^{2}構造の比は、ＸＰＳ（X-ray Photoelectron Spectroscopy）によりそれぞれ測定した。

【００２８】図３から明らかなように、反応圧力が低下するに伴い、形成されるダイヤモンド様炭素膜中での膜中水素量が増加している。また図４から明らかなように、反応圧力が低下するに伴い、ダイヤモンド様炭素膜中のｓｐ^{3}構造／ｓｐ^{2}構造の比が増加していることがわかる。このような低い圧力におけるダイヤモンド様炭素膜におけるｓｐ^{3}構造／ｓｐ^{2}構造の比の増加は、イオン衝撃により選択的にｓｐ^{2}結合が切断されていることによるものと思われる。従って、例えば、反応圧力をコントロールすることにより、ダイヤモンド様炭素膜中のｓｐ^{3}構造／ｓｐ^{2}構造の比を所定の比率となるように制御することができる。

【００２９】次に、図１に示すような構造の光起電力素子のダイヤモンド様炭素膜１５として、種々のｓｐ^{3}構造／ｓｐ^{2}構造の比を有するダイヤモンド様炭素膜を形成し、ダイヤモンド様炭素膜のｓｐ^{3}構造／ｓｐ^{2}構造の比と、光起電力素子における短絡電流との関係を検討した。図１におけるｉ層１４の膜厚としては２５００Åとし、エッチング処理前のダイヤモンド様炭素膜１５の膜厚としては５００Åとなるように形成した。基板１１と透明電極膜１２とからなるＴＣＯ基板としては、ヘイズ率１５％のものを用いた。なお、ここでヘイズ率とは、直達光に対する散乱光の割合を示す値である。またｐ層１３としては、膜厚１００Åのｐ型非晶質シリコンカーバイド層を形成した。ダイヤモンド様炭素膜１５の上に形成するｎ層１６としては、膜厚１００Åのｎ型非晶質シリコン層を形成した。裏面電極層１７としては、Ａｇ層をスパッタリング法により形成した。

【００３０】なお、短絡電流は、ダイヤモンド様炭素膜１５を形成していない、すなわち図７に示すような従来の光起電力素子の構造で、非晶質シリコンからなるｉ層１４の膜厚を３０００Åとし、その他の構造は上述の実施形態と同様である比較の光起電力素子を作製し、この比較の光起電力素子で得られる短絡電流で規格化した規格化短絡電流として表した。図５に、ｓｐ^{3}構造／ｓｐ^{2}構造の比と、このようにして測定された規格化短絡電流との関係を示す。

【００３１】図５から明らかなように、ｓｐ^3／ｓｐ^{2}の比が０．８以上３．２以下の範囲で、規格化短絡電流の値が１以上になっており、短絡電流の改善が認められる。特に好ましくは、１．０以上３．２以下であり、さらに好ましくは、１．０以上２．０以下である。これらの範囲で短絡電流が著しく改善されている。ｓｐ^3／ｓｐ^{2}の比が大きくなると、選択的にエッチングされるｓｐ^{2}の構造が少なくなるため、エッチングによる凹凸形状の形成が不十分になるため、短絡電流が低下するものと思われる。またｓｐ^3／ｓｐ^{2}の比が小さくなると、選択的にエッチングされるｓｐ^{2}構造が多くなるため、大部分がエッチングされ、効果的な凹凸形状が形成されず、短絡電流が低下するものと思われる。

【００３２】さらに、ｓｐ^3／ｓｐ^2＝１．２において、約１割の短絡電流の改善が認められたため、このようなｓｐ^3／ｓｐ^{2}の比率を有するダイヤモンド様炭素

SAMSUNG EX. 1002 - 286/2862

膜を用い、ｉ層の薄膜化による光劣化の改善効果を検討した。すなわち、ｉ層の膜厚を２５００Åから２０００Åに薄くした、図１に示すような構造の光起電力素子を作製し、変換効率を測定した。変換効率は、上記の比較の光起電力素子と同様に、図７に示すような構造を有する従来の光起電力素子においてｉ層の膜厚を３０００Åとした光起電力素子の効率を基準とし、（本実施形態の光起電力素子の変換効率）／（比較の光起電力素子の変換効率）の比を、規格化効率として示した。光劣化条件は、初年度劣化に相当する加速劣化条件（５００ｍＷ／ｃｍ^2、２５℃、１６０分）とした。光劣化前の初期の規格化効率及び光劣化後の規格化効率を表１に示す。

【００３３】

【表１】

初期	劣化後
１．０１	１．１５

【００３４】表１から明らかなように、光劣化前の規格化変換効率は１．０１であり、本実施形態と比較の光起電力素子はほぼ同程度の変換効率を示しているが、劣化後においては、規格化効率が１．１５であり、本実施形態の光電変換効率が比較の光起電力素子の変換効率よりも著しく高くなっている。これは、本実施形態によれば、光閉じ込め効果が改善され、従来より薄いｉ層で従来と同程度の短絡電流が得られるため、ｉ層を薄膜化することにより、光劣化後の光起電力素子の特性を大幅に改善することができたことに対応している。

【００３５】ところで、ダイヤモンド様炭素膜は、その膜中のsp^3／sp^2の比率を変えることにより、その光学ギャップを変化させることができる。sp^3／sp^2の比率をそれぞれ１．２及び１．８と代えて作製したダイヤモンド様炭素膜の光学ギャップを表２に示す。

【００３６】

【表２】

sp^3／sp^2	１．２	１．８
光学ギャップ（ｅＶ）	１．９	１．６

【００３７】表２から明らかなように、ダイヤモンド様炭素膜のsp^3／sp^2の比を変化させることにより光学ギャップを変化させることが可能であることがわかる。このような種々の光学ギャップに制御可能なセルは、積層型光起電力素子のフロントセルやボトムセルの発電層としても有用なものである。

【００３８】図６は、このような積層型光起電力素子に本発明を適用した実施形態の１つを示す断面図である。本実施形態の積層型光起電力素子は、基板と反対側から光が入射するいわゆる逆タイプ構造のものである。図６を参照して、基板１の上にテクスチャー構造を有する金属電極層２２が設けられており、この上にはｎ層２３、ｉ層２４、及びｐ層２５が順次積層されている。このｎ層２３、ｉ層２４、及びｐ層２５からボトムセルが形成されている。

【００３９】このボトムセルの上には、ｎ層２６、ｉ層２７が形成され、このｉ層２７はダイヤモンド様炭素膜から形成されている。このｉ層２７の上には、ダイヤモンド様炭素膜２８が形成されている。ダイヤモンド様炭素膜２８の表面は、H_2プラズマ処理等によりテクスチャー構造が形成されている。このテクスチャー構造が形成された表面上にｐ層２９が形成され、さらにその上にＩＴＯなどからなる透明電極膜３０が形成されている。ｎ層２６、ｉ層２７、ダイヤモンド様炭素膜２８、及びｎ層２９からフロントセルが構成される。

【００４０】図６に示すようなタンデム型の光起電力素子において、ダイヤモンド様炭素膜２８として、sp^3／sp^2の比が１．２であるものを用いると、フロントセルとして、上述のように光学ギャップが１．９ｅＶのものが得られる。従って、ボトムセルのｉ層２４として、例えば、公知のプラズマＣＶＤ法により形成した光学ギャップ１．７ｅＶの非晶質Ｓｉ層を用い、積層型太陽電池とすることができる。

【００４１】なお、ダイヤモンド様炭素膜２８の表面をH_2プラズマ処理でエッチングしない場合に比べ、エッチング処理しテクスチャー構造を形成した場合には、変換効率が約１割向上し、変換効率として１０％が得られた。

【００４２】上記実施形態では、いわゆる逆タイプ構造の積層型太陽電池においてフロントセルとして本発明に従う光起電力素子を用いたが、基板側から光が入射する、いわゆる順タイプ構造の積層型太陽電池にも本発明に従う光起電力素子を用いることができる。例えば、基板側に形成するフロントセルとして、公知のプラズマＣＶＤにより形成した、光学ギャップ１．８ｅＶの非晶質Ｓｉからなるｉ層のセルを用い、ボトムセルとして表３に示したsp^3／sp^2の比が１．８である、光学ギャップ１．６ｅＶのｉ層を有する光起電力素子を形成することができる。このような積層型太陽電池は、ボトムセルにおいてエッチング処理によるテクスチャー構造の付与を行わないものに比べ、変換効率において約１．５割向上し、変換効率として１０．５％が得られた。

【００４３】以上のように、本発明の光起電力素子は、積層型光起電力素子にも適用することができ、変換効率を向上させることができる。

【００４４】

【発明の効果】本発明に従えば、基板から離れた半導体層表面のテクスチャー構造を自由に制御することができ、光閉じ込め効果を十分に得ることができる。また、効果的に散乱させたい波長に応じてテクスチャー構造の凹凸形状を制御することができるので、短絡電流を大幅

SAMSUNG EX. 1002 - 287/2862

に増加することができ、変換効率の向上を達成することができる。

【００４５】また短絡電流を大幅に増加することが可能であるので、短絡電流を従来と同程度のものにすれば、ｉ層の膜厚を薄くすることができる。このため、光劣化後の変換効率を大幅に改善することができる。

【図面の簡単な説明】

【図１】本発明に従う一実施形態の光起電力素子を示す断面図。

【図２】図１に示す本発明の実施形態を製造する工程を説明するための断面図。

【図３】ダイヤモンド様炭素膜の形成の際の反応圧力と、膜中水素量との関係を示す図。

【図４】ダイヤモンド様炭素膜の形成の際の反応圧力と、sp^3／sp^2の比との関係を示す図。

【図５】本発明におけるダイヤモンド様炭素膜のsp^3／sp^2の比を変化させたときの光起電力素子の規格化短絡電流を示す図。

【図６】本発明に従う他の実施形態である積層型太陽電池を示す断面図。

【図７】従来の光起電力素子の一例を示す断面図。

【図８】従来の積層型光起電力素子の一例を示す断面図。

【符号の説明】

１１…基板

１２…透明電極膜または金属電極膜

１３…ｐ層またはｎ層

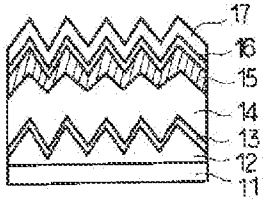
１４…第１のダイヤモンド様炭素膜であるｉ層

１５…ダイヤモンド様炭素膜

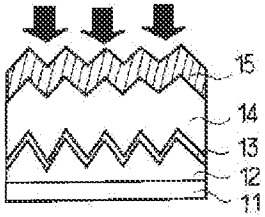
１６…ｎ層もしくはｐ層

１７…裏面電極膜または透明電極膜

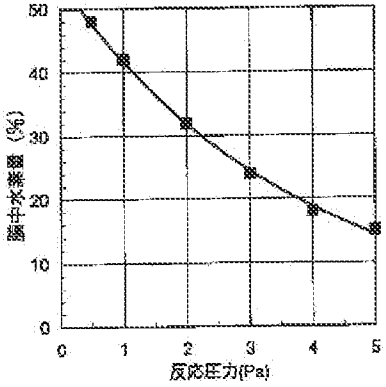
【図１】



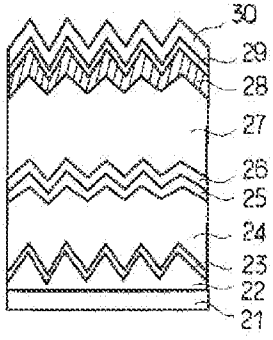
【図２】



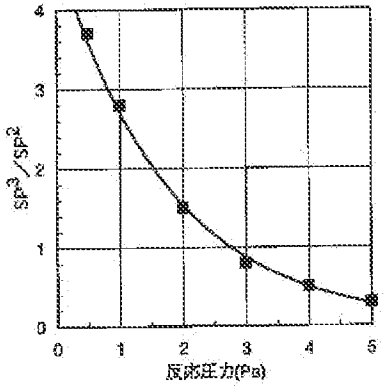
【図３】



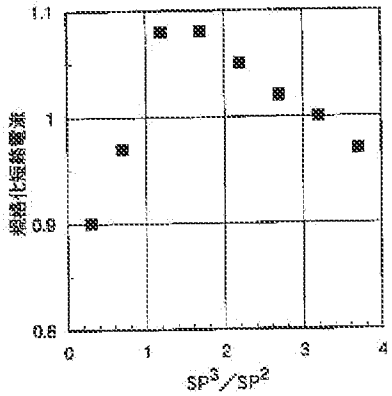
【図６】



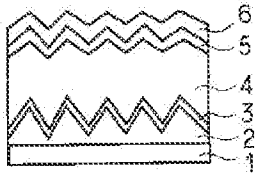
【図４】



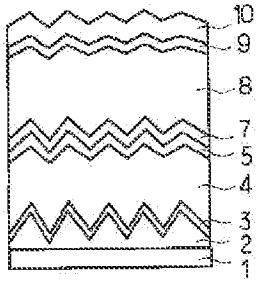
【図５】



【図７】



【図８】



SAMSUNG EX. 1002 - 288/2862

Espacenet

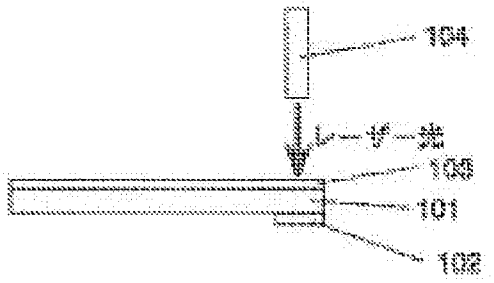
Bibliographic data: JP 11077348 (A)

WELDING METHOD AND PHOTOVOLTAIC ELEMENT

Publication date:	1999-03-23	
Inventor(s):	TSUZUKI KOJI; TAKEYAMA YOSHIFUMI; HAYASHI YOSHIMITSU; SAWAYAMA IPPEI +	
Applicant(s):	CANON KK +	
Classification:	**- international:**	***B23K26/00; B23K26/20; B23K26/32; H01L31/04; H01L31/05; H01L31/18; H05K3/32;*** (IPC1-7): B23K26/00; H01L31/04; H05K3/32
	- European:	B23K26/32; H01L31/05; H01L31/18; Y02E10/50
Application number:	JP19970233774 19970829	
Priority number (s):	JP19970233774 19970829	
Also published as:	• US 6114185 (A)	

Abstract of JP 11077348 (A)

PROBLEM TO BE SOLVED: To improve welding strength and to obtain a fully reliable element by emitting, from a thin semiconductor layer side, a laser beam with a wavelength absorbable in the layer and welding/joining a semiconductor holding member to a metallic member. SOLUTION: A semiconductor holding member 101 is a member for mechanically supporting a thin semiconductor layer 103, in the case of a thin solar cell such as amolphous silicon, and is also used as an electrode depending on the situation. The semiconductor holding member 101 requires a heat resistance that withstands heating temperature in the film formation of the thin semiconductor layer 103, and desirably excels in electrical conductivity. A laser beam 104 is used for the purpose of welding the semiconductor holding member 101 to a metallic member 102, and is usable according to a desire so long as it has an oscillation wavelength absorbable in the thin semiconductor 103 formed on its holding member 101.



Last updated: 26.04.2011 Worldwide Database 5.7.22.92p

SAMSUNG EX. 1002 - 289/2862

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報（Ａ）**　(11)特許出願公開番号

特開平11－77348

(43)公開日　平成11年(1999)３月23日

(51)Int.Cl.[6]	識別記号	ＦＩ	
Ｂ２３Ｋ　26/00	３１０	Ｂ２３Ｋ　26/00	３１０Ｇ
			３１０Ｓ
Ｈ０１Ｌ　31/04		Ｈ０５Ｋ　3/32	Ｃ
Ｈ０５Ｋ　3/32		Ｈ０１Ｌ　31/04	Ｍ

審査請求　未請求　請求項の数８　ＯＬ　（全　７　頁）

(21)出願番号　特願平9－233774

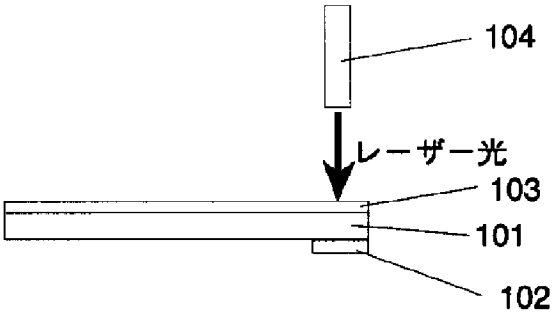
(22)出願日　平成９年(1997)８月29日

(71)出願人　000001007
キヤノン株式会社
東京都大田区下丸子３丁目30番２号
(72)発明者　都築　幸司
東京都大田区下丸子３丁目30番２号　キヤノン株式会社内
(72)発明者　竹山　祥史
東京都大田区下丸子３丁目30番２号　キヤノン株式会社内
(72)発明者　林　芳光
東京都大田区下丸子３丁目30番２号　キヤノン株式会社内
(74)代理人　弁理士　渡辺　敬介　（外１名）

最終頁に続く

(54)【発明の名称】　溶接方法及び光起電力素子

(57)【要約】
【課題】　特に光起電力素子の一部である導電性基板に、同種もしくは別の金属部材を溶接する際に、強度が充分強く、長期的に安定な接合が行なえる溶接方法を提供する。
【解決手段】　少なくとも薄膜半導体層１０３を有する半導体保持部材１０１と、金属部材１０２とを溶接接合する方法において、該薄膜半導体層１０３が吸収可能な波長を有するレーザー光を、該薄膜半導体層側から照射することにより、半導体保持部材と金属部材を溶接接合する溶接方法。



SAMSUNG EX. 1002 - 290/2862

【特許請求の範囲】
【請求項１】　少なくとも薄膜半導体層を有する半導体保持部材と、金属部材とを溶接接合する方法において、該薄膜半導体層が吸収可能な波長を有するレーザー光を、該薄膜半導体層側から照射することにより、半導体保持部材と金属部材を溶接接合することを特徴とする溶接方法。
【請求項２】　前記半導体保持部材が光起電力素子の導電性基板であり、かつ前記金属部材が導電性箔体であることを特徴とする請求項１に記載の溶接方法。
【請求項３】　前記薄膜半導体層が、光起電力素子の半導体活性層であることを特徴とする請求項１乃至２に記載の溶接方法。
【請求項４】　前記半導体保持部材がＦｅを主成分とし、かつ前記金属部材がＣｕを主成分とすることを特徴とする請求項１乃至３に記載の溶接方法。
【請求項５】　前記半導体保持部材がステンレス、かつ前記金属部材がＣｕであることを特徴とする請求項１乃至４に記載の溶接方法。
【請求項６】　前記金属部材が半田メッキ銅であることを特徴とする請求項５に記載の金属部材の溶接方法。
【請求項７】　前記薄膜半導体層が非単結晶半導体であることを特徴とする請求項１乃至６に記載の金属部材の溶接方法。
【請求項８】　導電性箔体が導電性基板の少なくとも一部に請求項１乃至７に記載の溶接方法により溶接接合されていることを特徴とする光起電力素子。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は、表面に薄膜半導体層を有する半導体保持部材と金属部材、特に光起電力素子の導電性基板と導電性箔体との溶接方法に関する。
【０００２】
【従来の技術】光を入射させて起電力を発生させる光起電力素子は、様々なところで利用されており、特に近年、環境問題に対する関心の高まりから、クリーンエネルギーである太陽電池への応用に期待が高まっている。
【０００３】現在、太陽電池としては、単結晶シリコンあるいは多結晶シリコンを用いた結晶系とアモルファスシリコンを用いた非晶質系及び化合物半導体系に大別される。アモルファスシリコン太陽電池は、変換効率こそ結晶系の太陽電池に及ばないものの、大面積化が容易でかつ、光吸収係数が大きいので薄膜で動作するなどの結晶系太陽電池にはない優れた特徴を持っており、将来を有望視されている太陽電池の一つである。
【０００４】それにもかかわらず、現在太陽電池の普及を阻んでいる点は、太陽電池の製造コストが高いという点である。太陽電池の製造コストを下げるには、
（１）発電領域の効率的利用
（２）接続箇所を減らすことによる接続部材料費の節減、及び接続のための人件費の節減
（３）光電変換層の製造費等の低減
等が挙げられるが、これらの点から、太陽電池の大面積化が必要不可欠である。
【０００５】図４は従来の太陽電池を示す模式図であり、図４（ａ）は受光面側から見た図、図４（ｂ）はＸ—Ｘ’断面図である。
【０００６】図４に示した光起電力素子４００は、ステンレス等の基板４０２の上に下部電極層４０３、半導体層４０４、透明電極層４０５を順次積層して作製している。透明電極層４０５としては、反射防止手段と集電手段を兼ねて酸化インジウム等の透明導電膜が形成してある。
【０００７】透明電極層４０５は$FeCl_3$、$AlCl_3$等を含むエッチングペーストをスクリーン印刷等の方法で塗布し加熱することによって、一部が図中４０１（エッチングライン）に示す線状に除去されている。透明電極層４０５の一部除去の目的は、光起電力素子の外周切断時に発生する基板４０２と透明電極層４０５との短絡の悪影響を光起電力素子の有効受光範囲に及ぼさないようにすることである。
【０００８】また、光起電力素子４００の表面には発電された電力を効率よく集電するための集電電極４０７が形成されている。集電電極４０７は、半導体層４０３で発生した電力を損失なく取り出すために、予め導電性接着剤を薄くコートした金属ワイヤー（例えばカーボンペーストをコートした銅ワイヤー）を透明電極層４０５上に接着している。銅ワイヤーを用いるのは、導電率が高いものを使用して電流損失を低減するためである。
【０００９】さらに、これらの集電電極４０７のさらなる集電電極として導電性箔体４０８が設けられている。導電性箔体４０８の下部には、性能が保証されないエッチングライン４０１部との絶縁を確保するために、絶縁部材４０９が設けられている。
【００１０】こうして製造された光起電力素子は、導電性箔材４０８及び基板４０２が両極の端子として機能し、電力を取り出すことができる。
【００１１】しかしながら、これだけでは発電用途には使用できない。通常は単一の発電セルでは発生電圧が低すぎるため、直列接続を行なって高電圧化を図る必要がある。
【００１２】図４（ｃ）に、直列接続した光起電力素子を示している（２直列の場合を図示）。１つの光起電力素子の導電性箔体４１０と、これに隣接する光起電力素子の基板４１１とを、例えば銅箔等の接続部材４１２を用いて接続することにより、各光起電力素子を電気的に直列化する。接続にはステンレス用のフラックス入りの半田を使用するため、半田づけ後にＭＥＫ等の溶剤で洗浄して直列化が完成する。
【００１３】しかしながら、上記従来の太陽電池を大面

SAMSUNG EX. 1002 - 291/2862

積化しようとした場合には、単に面積が増加するだけではなく、変換効率において以下のような問題点が生じる。

【００１４】（１）発生電流量の増加、及び集電電極４０７が長くなることにより、抵抗損失（i^2R）が増加し、変換効率が低下する。

【００１５】（２）ステンレス基板のような導電性のあまり良好でない導電性基板を使用する場合、電流の行路長が増加するため、抵抗損失（i^2R）が大きくなり変換効率が低下する。

【００１６】これらの問題点を解決する手段として、例えば、特開平８－１３９３４９号公報におは、大面積の太陽電池においても、導電性基板の一部に超音波溶接法や半田付けにより導電性箔体を設けることによって、変換効率の低下なく電力を取り出すことが可能な方法が開示されている。

【００１７】

【発明が解決しようとする課題】しかしながら、超音波溶接においては以下の（１）～（３）の問題が、また半田においては以下の（４）や（５）の問題がある。

【００１８】（１）鉄系と銅系の金属を溶接しようとした場合、その格子定数の違いから、双方の元素が混合しにくく、表面層だけを接合する超音波溶接の場合には特に接合強度が弱くなる。ステンレスを基板とした光起電力素子に、安価で導電率の良い銅の箔体を溶接するような場合が、その例として挙げられる。

【００１９】（２）表面層だけの金属接合である為、金属表面が酸化している場合などに接合強度が弱くなってしまう。さらにこれらの接合強度は、高温高湿（８５℃、８５％）の環境下でさらに弱くなり、長期にわたる信頼性が保証できない。

【００２０】（３）金属同士の表面の酸化の状態によって、溶接条件を変える必要がある為、量産性に向かない。

【００２１】（４）半田ごてで熱を加えた時に、その熱で基板が変形してしまい、光起電力素子の平面性を失ってしまう。

【００２２】（５）溶剤を用いてもフラックスが取れにくく、温湿度がかかった状態でさびを発生してしまう。その結果、光起電力素子の被覆材の剥離を起こしてしまう。

【００２３】本発明の目的は以上の問題点を克服して、充分な溶接強度の得られる接合方法を提供し、とりわけ鉄系と銅系の金属間接合を行う方法を提供するものである。また、それによって、上記接合を一部材とした太陽電池素子等の光起電力素子の信頼性を高めることを目的としている。

【００２４】

【課題を解決するための手段】即ち、本発明の溶接方法は、少なくとも薄膜半導体層を有する半導体保持部材と、金属部材とを溶接接合する際に、該薄膜半導体層が吸収可能な波長を有するレーザー光を、該薄膜半導体層側から照射することにより、半導体保持部材と金属部材を溶接接合することを特徴としている。

【００２５】また、本発明の溶接方法は、前記半導体保持部材が光起電力素子の導電性基板であり、かつ前記金属部材が導電性箔体であることを特徴としている。

【００２６】また、本発明の溶接方法は、前記薄膜半導体層が、光起電力素子の半導体活性層であることを特徴としている。

【００２７】また、本発明の溶接方法は、前記半導体保持部材がＦｅを主成分とし、かつ前記金属部材がＣｕを主成分とすることを特徴としている。

【００２８】また、本発明の溶接方法は、前記半導体保持部材がステンレス、かつ前記金属部材がＣｕであることを特徴としている。

【００２９】また、本発明の溶接方法は、前記半導体保持部材がステンレス、かつ前記金属部材が半田メッキ銅であることを特徴としている。

【００３０】また、本発明の溶接方法は、前記薄膜半導体層が非単結晶半導体であることを特徴としている。

【００３１】また、本発明の光起電力素子は、導電性箔体が導電性基板の少なくとも一部に上記溶接方法により溶接接合されていることを特徴としている。

【００３２】

【作用】本発明の溶接方法は、特に光起電力素子の一部である導電性基板に、同種もしくは別の金属部材を溶接する際に、強度が充分強く、長期的に安定な接合が行なえる溶接方法について、本発明者らが鋭意検討した結果完成したものであり、以下の作用効果が奏される。

【００３３】（１）従来法と比較して、初期溶接強度及び長期安定性という点で優れた溶接強度が得られる。すなわち、薄膜半導体層を有する半導体保持部材と、金属部材を接合する際に、薄膜半導体層が吸収可能な波長を有するレーザー光を、薄膜半導体層側から照射することによって、該薄膜半導体層内部でレーザー光の一部が吸収される。その結果、薄膜半導体層内部で光エネルギー吸収による発熱が起こり、半導体保持部材、金属部材がさらに溶融しやすくなることによって、充分な溶融拡散が起こり、溶接強度の向上に寄与する。

【００３４】（２）太陽電池等の光起電力素子の部材の形成に応用することができる。すなわち、該薄膜半導体層が光起電力素子の半導体活性層、半導体保持部材を光起電力素子の導電性基板、金属部材を導電性箔体とすることで、光起電力素子の部材の溶接として応用することが可能である。

【００３５】（３）半導体保持部材が鉄系、金属部材が銅系である場合には、最も顕著に溶接強度向上効果を期待できる。すなわち、本来なら混合しにくいこれらの材料も、上記（１）の作用によって、より強度が増す方向

SAMSUNG EX. 1002 - 292/2862

に溶融拡散が起こる。

【００３６】（４）半導体保持部材をステンレス、金属部材を銅とすることで、より優れた光起電力素子を提供することができる。すなわち、ステンレスを使用することによって、防蝕性が高く、長期信頼性の高い光起電力素子を提供することができ、また銅を使用することによって、安価であり、かつ導電性が高く抵抗損失の少ない光起電力素子を提供することができる。特に、銅として半田メッキ銅を使用することで、後工程での直列作業において、予備半田の必要がなく、工程を削減することができ、さらには、銅の酸化を防ぐことができる。

【００３７】

【発明の実施の形態】以下に本発明の実施態様例を図１を用いて説明する。図１において、１０１は半導体保持部材、１０２は金属部材、１０３は薄膜半導体層、１０４はレーザーである。

【００３８】（半導体保持部材１０１）本発明で用いられる半導体保持部材としては、アモルファスシリコンのような薄膜の太陽電池の場合に、半導体層１０３を機械的に支持する部材であり、また、場合によっては電極としても用いられる。半導体保持部材は、薄膜半導体層１０３を成膜する時の加熱温度に耐える耐熱性が要求されるが、電気的には導電性のより優れているものが望ましい。

【００３９】例えばＦｅ、Ｃｕ、Ｎｉ、Ｃｒ、Ａｌ、Ｍｏ、Ａｕ、Ｎｂ、Ｔａ、Ｖ、Ｔｉ、Ｐｔ、Ｐｂ等の金属またはこれらの合金、具体的には真ちゅう、ステンレス鋼等の薄板及びその複合体やカーボンシート、亜鉛メッキ鋼板が挙げられる。

【００４０】上記材料の中でも、特に太陽電池の部材として用いる場合には、（１）耐食性に優れていること、（２）電気伝導性が優れていること等の条件を満たす物が好適に用いられ、上記材用の中でも、ＦｅとＣｒ、Ｎｉ、Ｃ等の合金であるステンレス鋼が好適に用いられる。

【００４１】半導体保持部材の厚みとしては、使用するレーザー光が金属部材１０２にまで貫通可能な範囲の厚みであれば、特に制限なく使用することが可能である。

【００４２】（金属部材１０２）金属部材としては、例えばＦｅ、Ｃｕ、Ｎｉ、Ｃｒ、Ａｌ、Ｍｏ、Ａｕ、Ｎｂ、Ｔａ、Ｖ、Ｔｉ、Ｐｔ、Ｐｂ等の金属またはこれらの合金、具体的には真ちゅう、ステンレス鋼等の薄板及びその複合体やカーボンシート、亜鉛メッキ鋼板等を用いることができる。

【００４３】特に光起電力素子の部材として用いる場合には、（１）半導体保持部材１０１よりも電気伝導性の良いこと、（２）加工性の良いこと、（３）安価であること等の条件を満たすものが望ましく、上記材料の中でも、Ｃｕを主成分としたものが好適に用いられる。

【００４４】Ｃｕの種としては、電気銅、電解タフピッチ銅、無酸素銅、脱酸銅等いずれを用いても構わないし、黄銅、シルジン青銅、リン青銅、青銅、アルミニウム青銅、ベリリウム銅、鉛青銅、ニッケル青銅等のＣｕ合金を用いても何等問題はない。Ｃｕ合金を用いる場合には、電気伝導性の点から、Ｃｕ以外の元素がより少ない方が望ましい。

【００４５】また、銅の表面に他元素をメッキした部材や、他元素をクラッドした材料でもよく、例えば、銀メッキ銅、半田メッキ銅、銀クラッド銅、アルミクラッド銅が使用可能である。

【００４６】特に金属部材に関して、太陽電池の直列化を行う後工程で半田付けを必要とする場合は、上記の材料が好適に用いられる。

【００４７】これらのうちでも、無酸素銅、リン青銅、半田メッキ銅が好ましく、特に半田メッキ銅が好ましい。

【００４８】また、その厚みは、電流の通過部分であることと機械的強度を考えれば厚い方が望ましく、レーザー光が行き届いて溶融が起こるという点、及び接続体の厚みが大きい場合にはラミ材で充分な充填ができずに気泡を生じる、といった点からは薄い方が望ましく、この両者の兼ね合いから具体的には７０～２００μｍの厚みが望ましい。

【００４９】（薄膜半導体層１０３）本発明に係る薄膜半導体層とは、アモルファスシリコン系太陽電池を例に挙げると、ｉ層を構成する半導体材料として、ａ－Ｓｉ、ａ－ＳｉＧｅ、ａ－ＳｉＣ等のいわゆるＩＶ族およびＩＶ族合金系アモルファス半導体が挙げられる。ｐ層またはｎ層を構成する半導体材料としては、前述したｉ層を構成する半導体材料に価電子制御剤をドーピングすることによって得られる。また、原料としては、ｐ型半導体を得るための価電子制御剤としては第ＩＩＩ族の元素を含む化合物が用いられる。第ＩＩＩ族の元素としては、Ｂ、Ａｌ、Ｇａ、Ｉｎが挙げられる。ｎ型半導体を得る為の価電子制御剤としては第Ｖ族の元素を含む化合物が用いられる。第Ｖ族の元素としては、Ｐ、Ｎ、Ａｓ、Ｓｂが挙げられる。

【００５０】これらはアモルファス半導体の場合について例を挙げたが、例えばｐ層、ｎ層全体もしくは一部が多結晶化していても何等構わず使用することができる。

【００５１】薄膜半導体層の成膜方法としては、蒸着法、スパッタ法、ＲＦプラズマ法、マイクロ波プラズマＣＶＤ法、ＥＣＲ法、熱ＣＶＤ法、ＬＰＣＶＤ法等の公知の方法を所望に応じて用いる。また、大面積のものを得る方法としては、ロールツーロール法で基板を連続的に搬送して成膜する方法が用いられる。

【００５２】また、本発明においては、分光感度や電圧の向上を目的として、半導体接合を２層以上積層したいわゆるタンデムセルやトリプルセルを用いることもできる。

SAMSUNG EX. 1002 - 293/2862

【００５３】（レーザー１０４）本発明にかかるレーザーとしては、半導体保持部材１０１と金属部材１０２を溶接する目的で使用され、半導体保持部材１０１上に形成された薄膜半導体層１０３が吸収可能な発振波長を有するレーザーであれば、所望に応じて使用可能である。

【００５４】レーザーの種類としては、具体的には、ルビー、ＹＡＧ、ガラス、$CaWO_4$等の固体レーザー、Ｈｅ－Ｎｅ、アルゴン等の気体レーザーを、薄膜半導体の構成に合わせて適宜用いることができる。

【００５５】また、レーザーの発振形式としては、加工の種類や目的によって異なってくるが、パルス発振でも連続発振でも、適宜用いることが可能である。

【００５６】

【実施例】以下本発明の実施例を説明する。

【００５７】（実施例１）本実施例では基板としてステンレス基板を用いたｐｉｎ接合型トリプル構成の非晶質シリコン太陽電池の場合を図２を用いて具体的に説明する。

【００５８】半導体保持部材２０１としては、表面を洗浄した厚さ０．１０ｍｍのロール状ステンレス４３０ＢＡ基板（体積抵抗率６．０×10^{-5}Ωｃｍ）を用意した。このステンレスロール上には、下部電極として、基板に近い側から１０００オングストロームのＡｌ層と１μｍのＺｎＯ膜が、スパッタリング法で基板温度３５０℃にて作製された。

【００５９】その後、マイクロ波プラズマＣＶＤ成膜装置に入れ、ｎ層、ｉ層、ｐ層の順で堆積を行い、ボトム層２０２を形成した。この時、ｉ層はａ－ＳｉＧｅとした。次にｎ層、ｉ層、ｐ層の順で堆積を行い、ミドル層２０３を形成した。ｉ層はボトム層と同様にａ－ＳｉＧｅとした。次にｎ層、ｉ層、ｐ層の順で堆積を行い、トップ層２０４を形成した。ｉ層は、ａ－Ｓｉとした。

【００６０】次に反射防止効果を兼ねた機能を有する透明な電極としてＩＴＯを７００オングストローム形成した（不図示）。

【００６１】上記のプロセスによりトリプル多層膜が形成されたロール状ステンレス基板は、切断加工により、各太陽電池素子に分割した。このようにして、図２に示したボトム層２０２、ミドル層２０３、トップ層２０４からなる薄膜半導体層を有する太陽電池素子２０５を得た。

【００６２】次に、金属部材２０６として、厚さ１００μｍの軟質銅箔（無酸素銅）を用意した。この軟質銅箔は体積抵抗率が１．７×10^{-6}Ωｃｍのものであり、銅箔の断面積を考慮しても半導体保持部材２０１であるステンレス基板よりは高い導電性を有するものである。

【００６３】これらの半導体保持部材２０１と金属部材２０６を溶接するレーザーとしては、ミヤチテクノス社製パルスＮｄ－ＹＡＧレーザー（最大定格出力５０Ｗ、ピーク出力５ｋｗ／１０ｍｓ）を用意した。ＹＡＧレーザーは、波長１．０６５μｍの単色光を有しており、この波長の光は前述のａ－ＳｉＧｅボトムｉ層にて吸収が可能である。

【００６４】以上の準備を完了したところで、固定治具に、太陽電池素子２０５と金属部材２０６を、半導体保持部材２０１と金属部材２０６が接触するように密着固定させ、薄膜半導体層が形成されている方向から、約２０ｊのエネルギーでパルスレーザーを発振し、１０か所の溶接を行った。

【００６５】以上のような工程を経て作成した溶接サンプルを、１８０℃剥離試験機にて剥離強度を測定した結果、２．２±０．５ｋｇであった。また、溶接した部分を研磨し、断面組織を走査型電子顕微鏡で観察したところ、ステンレスと銅が混在したような組織が見られ、良好な溶接ができていた。

【００６６】（比較例１）比較のために、図３に示すように薄膜半導体層を設けない以外は、実施例１と全く同様にして溶接サンプルを作成した。ただし、レーザー入射側で金属体３０１に直接レーザー光を入射すると、ステンレスの反射の影響を受ける可能性を考慮して、金属体３０１の上に、反射防止効果を兼ねた機能を有する透明な電極としてＩＴＯを７００オングストローム形成した（不図示）。

【００６７】以上のような工程を経て作成した溶接サンプルを、１８０℃剥離試験機にて剥離強度を測定した結果、１．７±０．５ｋｇであった。また、溶接した部分を研磨し、断面組織を走査型電子顕微鏡で観察したところ、ステンレス部と銅部が完全に分離して見えた。この結果から、薄膜半導体層が存在する方が、優れた溶接ができており、溶接強度を向上させることができる。

【００６８】（実施例２）本実施例２では、金属部材２０６としてリン青銅を用い、レーザーの発振エネルギーを２５ｊとした以外は実施例１と同様にして、溶接サンプルを作成した。リン青銅は、厚さ２００μｍで硬質のものを用いた。

【００６９】上記工程を経て作成した溶接サンプルを、１８０℃剥離試験機にて剥離強度を測定した結果、２．１±０．５ｋｇであった。また、断面組織観察を行った結果、実施例１と同様に、ステンレスと銅が混在したような組織が見られ、良好な溶接ができていた。

【００７０】（比較例２）比較のために、薄膜半導体層を設けない以外は、実施例２と全く同様にして溶接サンプルを作成した。ただし、比較例１と同様に、金属部材３０１の上に、反射防止効果を兼ねた機能を有する透明な電極としてＩＴＯを７００オングストローム形成した（不図示）。

【００７１】以上のような工程を経て作成した溶接サンプルを、１８０℃剥離試験機にて剥離強度を測定した結果、１．３±０．４ｋｇであった。また、溶接した部分を研磨し、断面組織を走査型電子顕微鏡で観察したとこ

SAMSUNG EX. 1002 - 294/2862

ろ、比較例１と同様にステンレス部と銅部が完全に分離して見えた。

【００７２】以上の結果から、リン青銅を用いた場合でも、薄膜半導体層の存在の有無で顕著な差が現れた。

【００７３】（実施例３）本実施例では、金属部材２０１として半田メッキ銅を用いる以外は実施例１と同様にして、溶接サンプルを作成した。半田メッキ銅は、厚さ１００μｍの銅箔の両面に厚さ２μｍの半田がメッキされているものを用いた。

【００７４】上記工程を経て作成した溶接サンプルを、１８０℃剥離試験機にて剥離強度を測定した結果、２．２±０．５ｋｇと、ほぼ実施例１の結果と同じであった。また、断面組織観察を行った結果、実施例１と同様に、ステンレスと銅が混在したような組織が見られた。

【００７５】（比較例３）比較のために、薄膜半導体層を設けない以外は、実施例３と全く同様にして溶接サンプルを作成した。ただし、比較例１と同様に、金属部材３０１の上に、反射防止効果を兼ねた機能を有する透明な電極としてＩＴＯを７００オングストローム形成した（不図示）。

【００７６】以上のような工程を経て作成した溶接サンプルを、１８０℃剥離試験機にて剥離強度を測定した結果、１．５±０．４ｋｇであった。また、溶接した部分を研磨し、断面組織を走査型電子顕微鏡で観察したところ、比較例１と同様にステンレス部と銅部の分離組織が観察された。

【００７７】以上の結果から、半田メッキ銅を用いた場合でも、薄膜半導体層の存在の有無で顕著な差が現れた。

【００７８】（実施例４）上記実施例１～３及び比較例１～３で作成したサンプルを、太陽電池素子部材としての信頼性の確認を、日本工業規格Ｃ８９１７の結晶系太陽電池モジュールの環境試験方法及び耐久試験方法に定められた温湿度サイクル試験Ａ－２に基づいて行った。即ち、サンプルを、温湿度が制御できる恒温恒湿器に投入し、－４０℃から＋８５℃（相対湿度）に変化させるサイクル試験を１００回繰り返し行った。

【００７９】試験終了後の試料を初期と同様に１８０℃剥離試験機を用いて剥離強度を測定し、初期剥離強度と合わせて表１に示す。

【００８０】

【表１】

	初期剥離強度（kg）	試験後剥離強度（kg）
実施例1	2.2	2.3
実施例2	2.1	2.2
実施例3	2.2	2.1
比較例1	1.7	1.5
比較例2	1.3	1.0
比較例3	1.5	1.2

【００８１】上記結果より、薄膜半導体層が形成されている状態で溶接を行った実施例１～３のサンプルに関しては、試験後の剥離強度が初期に比べてほとんど変化がないことがわかる。これに対して、薄膜半導体層が形成されていない比較例１～３のサンプルに関しては、０．２～０．３ｋｇの剥離強度の低下が見られる。この原因としては、２金属の溶接の混合具合が完全ではない為に、その結晶粒の隙間等に水分が侵入することによって、剥離を進行させる方向に働いた為と考えられる。

【００８２】

【発明の効果】以上説明したように、本発明によれば、従来よりも優れた溶接強度が得られ、特に鉄系と銅系でその効果は顕著であった。また、本発明によれば、充分に信頼性の得られる光起電力素子を提供することが可能である。

【図面の簡単な説明】

【図１】本発明の実施態様例を説明する概略図である。

【図２】本発明の実施例を説明する概略図である。

【図３】本発明の比較例を説明する概略図である。

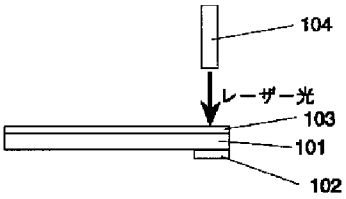
【図４】従来の太陽電池構成の概略図である。

【符号の説明】

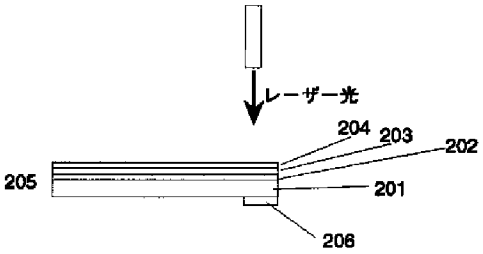
１０１、２０１　半導体保持部材
１０２、２０６、３０１、３０２　金属部材
１０３　薄膜半導体層
１０４　レーザー
２０２　ボトム層
２０３　ミドル層
２０４　トップ層
２０５　太陽電池素子
４００　光起電力素子
４０１　エッチングライン
４０２、４１１　基板
４０３　下部電極層
４０４　半導体層
４０５　透明電極層
４０７　集電電極
４０８、４１０　導電性箔体
４０９　絶縁部材
４１２　接続部材

SAMSUNG EX. 1002 - 295/2862

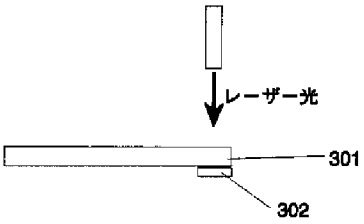
【図１】



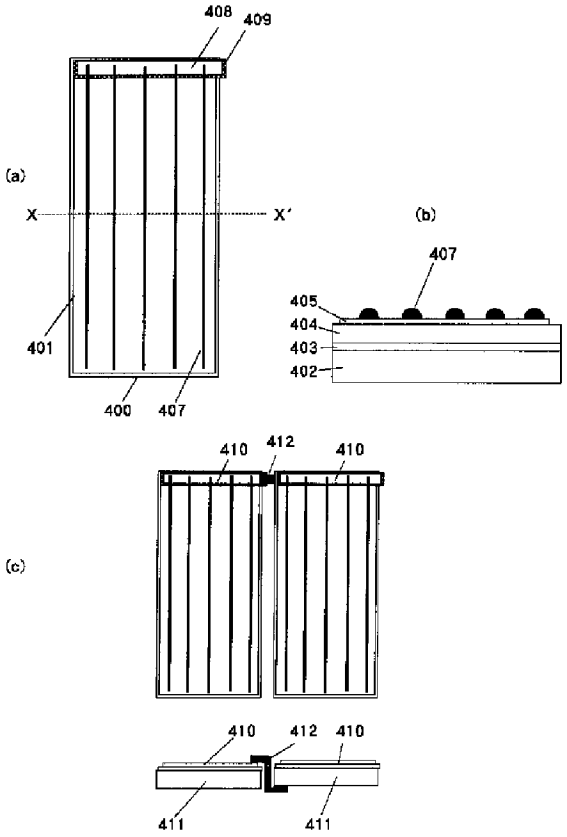
【図２】



【図３】



【図４】



フロントページの続き

(72)発明者　沢山　一平
東京都大田区下丸子３丁目30番２号　キヤノン株式会社内

SAMSUNG EX. 1002 - 296/2862

Espacenet

Bibliographic data: JP11097724 (A) — 1999-04-09

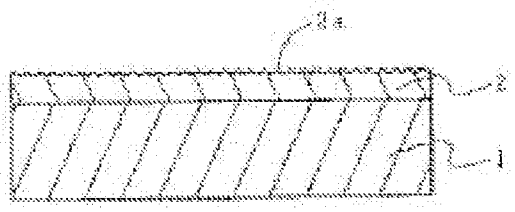
SOLAR CELL AND ITS MANUFACTURE

Inventor(s):	AOTA KATSUMI ±
Applicant(s):	CITIZEN WATCH CO LTD ±
Classification:	**- international:** ***H01L31/04;*** (IPC1-7): H01L31/04
	- European: Y02E10/54N
Application number:	JP19970259471 19970925
Priority number(s):	JP19970259471 19970925

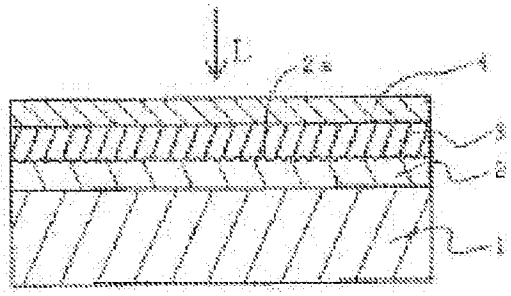
Abstract of JP11097724 (A)

PROBLEM TO BE SOLVED: To increase the short-circuiting current of a solar cell by arranging an aluminum oxide film layer with a roughened surface between an aluminum substrate and a lower electrode. SOLUTION: An aluminum oxide(Al2 O3) film 2 is electrochemically an insulation film is formed on a substrate 1 by anode oxidation. An aluminum substrate 1 is subjected to anode oxidation in a nitric acid bath. When a porous covering (Al2 O3) is grown to a thickness of 2-6 &mu m on the surface of the substrate 1, surface 2a of the film 2 is made recessed and projected (roughened). A P-I-N junction type amorphous silicon film 3 is formed on the Al2 O3 film 2 with a recessed and projected surface as an amorphous silicon generation layer and then an ITO film 4 that becomes a transparent electrode is formed. A solar beam with a wavelength of 550-800 mm is diffused and reflected on the recessed and projected surface for confining light and the optical path length in the amorphous silicon is extended, thus increasing the short-circuiting current of a solar cell.

(A)



(B)



Last updated: 5.12.2011 Worldwide Database 5.7.31; 92p

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号
特開平11－97724
(43)公開日　平成11年(1999)４月９日

(51)Int.Cl.[6]	識別記号	ＦＩ	
Ｈ０１Ｌ　31/04		Ｈ０１Ｌ　31/04	Ｍ

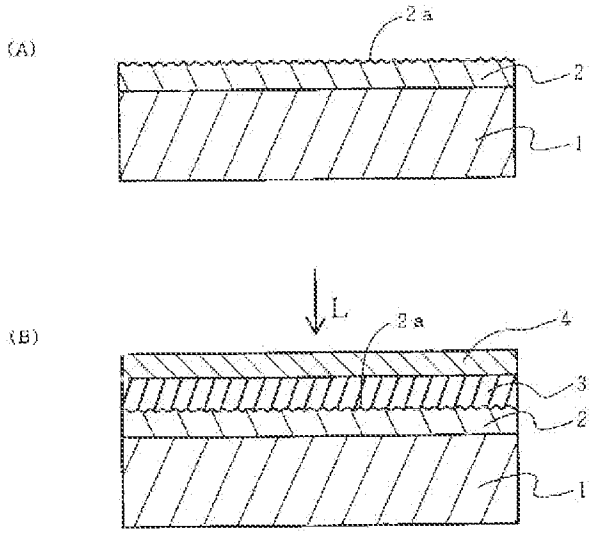
審査請求　未請求　請求項の数４　ＯＬ　（全　４　頁）

(21)出願番号　特願平9－259471
(22)出願日　平成９年(1997)９月25日

(71)出願人　000001960
シチズン時計株式会社
東京都新宿区西新宿２丁目１番１号
(72)発明者　青田　克己
埼玉県所沢市大字下富字武野840番地　シチズン時計株式会社技術研究所内
(74)代理人　弁理士　斉藤　武彦　（外１名）

(54)【発明の名称】　太陽電池およびその製造方法

(57)【要約】
【課題】　低コストで光電変換効率が高いアモルファスシリコン太陽電池を提供する。
【解決手段】　金属基板１上にアモルファス発電層３および透明電極４が順次配設してなる太陽電池において、前記金属基板１がアルミニウムからなり、前記アルミニウム基板１上に凹凸面２ａを有するアルミニウム酸化膜２を具備した。



SAMSUNG EX. 1002 - 298/2862

【特許請求の範囲】
【請求項１】　金属基板上に下部電極、アモルファス発電層および上部電極が順次配設してなる太陽電池において、前記金属基板がアルミニウムからなり、前記アルミニウム基板と該下部電極との間に粗面化されたアルミニウム酸化膜層が配置されていることを特徴とする太陽電池。
【請求項２】　金属基板上に下部電極、アモルファス発電層および上部電極が順次配設してなる太陽電池の製造方法において、金属基板としてアルミニウムを選択する工程、当該アルミニウム基板表面に粗面化された表面を有するアルミニウム酸化膜層を形成する工程、当該粗面化されたアルミニウム酸化膜層の上に下部電極、アモルファス発電層および上部電極を順次に形成する工程とから構成されていることを特徴とする太陽電池の製造方法。
【請求項３】　当該アルミニウム基板表面に粗面化されたアルミニウム酸化膜を形成する工程は、前記アルミニウム基板表面を陽極酸化する工程である事を特徴とする請求項２記載の太陽電池の製造方法。
【請求項４】　金属基板として、アルミニウムを選択する工程、当該アルミニウム基板表面を粗面化する工程、当該粗面化されたアルミニウム基板表面に陽極酸化を施して、粗面化されたアルミニウム酸化膜層を形成する工程、当該粗面化されたアルミニウム酸化膜層の上に下部電極、アモルファス発電層および上部電極を順次に形成する工程とから構成されていることを特徴とする太陽電池の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は太陽電池およびその製造方法に関し、さらに詳細には、光電変換効率を向上させたアモルファスシリコン太陽電池およびその製造方法に関する。
【０００２】
【従来の技術】有害物質を出さないクリーンで非枯渇性のエネルギーを利用する低コスト太陽電池としてアモルファス（非晶質）シリコン太陽電池が知られている。このようなアモルファスシリコン太陽電池は、安価な基板と、低温で形成できる厚さ１μｍ以下の薄膜とで構成できるため、低コストで製造できる特長がある。このような特長を十分に活かすためには、光電変換効率を向上させ、実用に供し得る性能にする必要がある。
【０００３】従来このようなアモルファスシリコン太陽電池の基板材料として、ステンレス鋼等の金属基板、ガラス、高分子フィルム、セラミック等の絶縁性基板あるいは金属基板表面に絶縁物をコーティングした絶縁性基板等が知られている。あまり薄くできないガラス基板と違って、軽量小型化を図ることが可能な金属基板に絶縁膜をコーティングした構造を使用する場合、一般にステンレス鋼基板上にポリイミド等の耐熱性樹脂膜等が使用される。
【０００４】又、従来に於いては、基板に、例えば、ＳＵＳ等のステンレス系金属材料を使用した場合には、複数個のセル素子部間を直列に接続して容量の大きい太陽電池を構成するに際して、当該基板と下部電極との間に絶縁膜を介在させる必要がある。然しながら、従来に於いては、当該絶縁膜として、有機材料からなる絶縁膜を使用する場合が多く、当該有機材料からなる絶縁膜は、熱電導性が大きく、又耐熱性に乏しい為、太陽電池としての特性を悪化させるものであった。
【０００５】しかも下地金属の表面加工や、膜厚を薄くする必要があるため製造コストも高くなる。
【０００６】
【発明が解決しようとする課題】上記問題を鑑み、本発明の目的は、耐熱性を有する絶縁部位を備えた薄い金属基板を備え、しかも光電変換効率の高い太陽電池およびその製造方法を提供することである。
【０００７】
【課題を解決するための手段】上記目的を達成するための本発明の第１の態様は、金属基板上に下部電極、アモルファス発電層および上部電極が順次配設してなる太陽電池において、前記金属基板がアルミニウムからなり、前記アルミニウム基板と該下部電極との間に粗面化されたアルミニウム酸化膜層が配置されている太陽電池であり、又本発明の第２の態様は、金属基板上に下部電極、アモルファス発電層および上部電極が順次配設してなる太陽電池の製造方法において、金属基板としてアルミニウムを選択する工程、当該アルミニウム基板表面に粗面化された表面を有するアルミニウム酸化膜層を形成する工程、当該粗面化されたアルミニウム酸化膜層の上に下部電極、アモルファス発電層および上部電極を順次に形成する工程とから構成されている太陽電池の製造方法である。
【０００８】
【発明の実施の形態】本発明では、アルミニウム基板表面が陽極酸化によって酸化されるため、アルミニウム基板表面に陽極酸化工程の酸を選択することによって表面が凹凸になる粗面化した皮膜層を形成することができる。この凹凸表面で波長５５０～８００ｎｍの太陽光が拡散反射させ光を閉じ込め、アモルファスシリコン中の行路長を長くし、その結果、太陽電池の短絡電流を大きくすることができる。このことにより光電変換効率が高い太陽電池を得ることができる。
【０００９】
【実施例】以下、本発明の具体的な実施例を図面を参照して詳細に説明する。図１は、本発明の太陽電池の第１実施例の製造方法を説明するための工程断面図である。図１（ａ）に示すように、先ず、表面をバフ研磨等により研磨した後、リン酸－硝酸混合液で化学研磨して鏡面

SAMSUNG EX. 1002 - 299/2862

性を持たせた約０．２ｍｍの厚さのアルミニウム（Ａ１）基板１に、陽極酸化によって電気化学的に絶縁膜である酸化アルミニウム（Al_2O_3）膜２を形成する。この陽極酸化はアルミニウム基板１を硝酸浴中で行なわれ、基板１表面にポーラス形皮膜（Al_2O_3）を２～６μｍの厚さに成長させたもので、その膜２の表面２ａが凹凸状態（粗面化）になっている。

【００１０】次に、図１（ｂ）に示すように、凹凸面２ａを有するAl_2O_3膜２上に通常と同様にプラズマＣＶＤ法により約２５０℃の温度で５５５０Å（Ｐ層：４００Å、Ｉ層：５０００Å、Ｎ層：１５０Å、）の厚さのＰ－Ｉ－Ｎ接合型のアモルファスシリコン膜３を成膜しアモルファスシリコン発電層とし、次に、ＤＣスパッタ法によりＡｒガス中、３００℃で１０００Åの厚さの透明電極となるＩＴＯ膜４を形成する。この透明電極から光が入射される（矢印Ｌ）。

【００１１】以上の工程により金属基板１上にアモルファス発電層３および透明電極４が順次配設してなる太陽電池において、この金属基板１がアルミニウムからなり、アルミニウム基板１上に凹凸面２ａを有するアルミニウム酸化膜２を具備した太陽電池を低コストで得ることができる。なお図示していないが、Al_2O_3膜２とアモルファスシリコン膜３の間にこのアモルファスシリコン膜３とのオーミック接触を得るため金属膜を形成してもよい。その材料は、チタン、モリブデン、ニッケル、クロム等が可能である。

【００１２】図２は本発明の太陽電池の第２実施例を示す断面図である。図２に示した太陽電池は上記第１実施例のアルミニウム基板１１の表面に予め物理的、あるいは化学的に凹凸面１１ａを設けた後に、第１実施例と同様に、陽極酸化膜のAl_2O_3膜２、アモルファスシリコン膜３、透明電極のＩＴＯ膜４を順次形成した構造となっている。

【００１３】この第２実施例では陽極酸化膜のAl_2O_3膜２の凹凸面２ａを形成する下地アルミニウム表面が予め凹凸面１１ａが設けられているため、第１実施例よりさらに粗面のAl_2O_3膜２が得られアモルファスシリコン発電層内に光を閉じ込め、光電変換効率の高い太陽電池を得ることができる。上記本実施例では透明電極４としてＩＴＯを使用したが、可視光に対する透明性と電気伝導性に優れた特性を有する材料、例えば、SnO_2膜およびIn_2O_3膜等も利用することができる。

【００１４】上記実施例ではアモルファスシリコン膜３は、アモルファスシリコンＳｉ膜中に水素を取り込ませるようにプラズマＣＶＤ法により水素化アモルファスシリコン膜を形成させている。水素化アモルファスシリコン膜のｐ層およびｎ層は、SiH_4ガスにそれぞれB_2H_6ガスおよびPH_3ガスを不純物添加（ドーピング）により得られ、Ｉ層はSiH_4ガスのみのグロー放電分解によって形成した。

【００１５】さらに本実施例においては、Ｐ－Ｉ－Ｎ接合型の水素化アモルファスシリコン積層膜としたが、Ｓｉとの結合力がより強いフッ素Ｆをアモルファスシリコン膜に取り込んだフッ素化アモルファスシリコン膜なども可能である。本実施例では実施していないが、透明電極４とアモルファスシリコン発電層３の間にSiN_xなどの絶縁膜を形成することによって、より化学的に安定で平坦性を有するアモルファスシリコン発電層を得ることができる。しかしながらその場合、絶縁膜は透明電極４との対応のため透光性に優れたものでなくてはならない。

【００１６】

【発明の効果】以上説明したように、本発明によれば、低コストで金属基板に高耐熱性の絶縁膜を形成した光電変換効率が高いアモルファスシリコン太陽電池を得ることができる。

【図面の簡単な説明】

【図１】図１は、本発明の太陽電池の第１実施例の製造工程を示す工程断面図。

【図２】図２は、本発明の太陽電池の第２実施例を示す断面図。

【符号の説明】

１，１１…アルミニウム基板

２…Al_2O_3膜（陽極酸化膜）

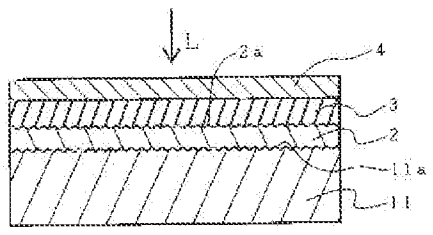
２ａ…凹凸面（Al_2O_3膜）

３…アモルファスシリコン膜（発電層）

４…ＩＴＯ膜（透明電極）

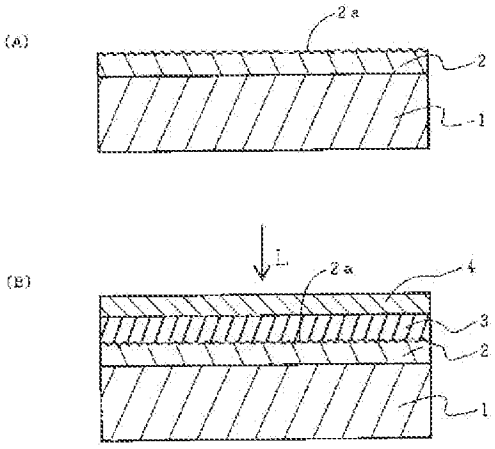
１１ａ…凹凸面（アルミニウム基板）

【図２】



SAMSUNG EX. 1002 - 300/2862

【図１】



SAMSUNG EX. 1002 - 301/2862

Espacenet

Bibliographic data: JP2000164914 (A) — 2000-06-16

PHOTOSENSITIVE SEMICONDUCTOR ELEMENT, PHOTOSENSITIVE SEMICONDUCTOR DEVICE, PHOTOSENSITIVE CIRCUIT, AND FRAME CONTROL METHOD USING PHOTOSENSITIVE SEMICONDUCTOR ELEMENT OR PHOTOSENSITIVE SEMICONDUCTOR DEVICE

Inventor(s): PAUCHARD ALEXANDRE; POPOVIC RADIVOJE; RACZ ROBERT ± (PAUCHARD ALEXANDRE, ; POPOVIC RADIVOJE, ; RACZ ROBERT)

Applicant(s): ELECTROWATT TECHNOL INNOV AG ± (ELECTROWATT TECHNOL INNOV AG)

Classification: **- international:** ***F23N5/08; H01L31/0352; H01L31/10; H01L31/11;*** (IPC1-7): H01L31/10
- cooperative: **F23N5/082; H01L31/0352; H01L31/11**

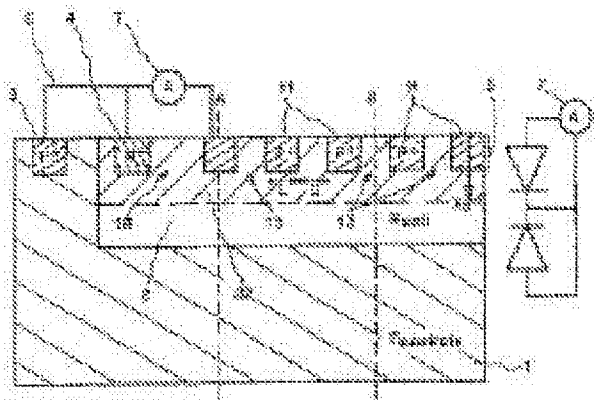
Application number: JP19990256472 19990910

Priority number (s): EP19980117134 19980910

Also published as: EP0986110 (A1) US6246099 (B1)

Abstract of JP2000164914 (A)

PROBLEM TO BE SOLVED: To provide a small and durable photosensitive semiconductor element or photosensitive semiconductor device with high selectivity, effectiveness, and detection capability. SOLUTION: The photosensitive semiconductor element comprises a substrate 1, an intermediate layer 2, and an external layer 5 while the intermediate layer 2 at least partially embedded in the substrate 1 and the external layer 5 in the intermediate layer 2. The intermediate layer 2 and external layer 5 form a photosensitive region 22, generating a light-dependent signal such as optical current. The external layer 5 is divided into regions 11 which, spaced apart from each other, are isolated by a region 13 of the intermediate layer 2. The spaced region 11 of the external layer is used, for example, as an anode of a photosensitive semiconductor element, connected to a detection circuit. Thanks to the region 11, re-coupling of a charge carrier reduces, preventing formation of an inactive layer. Thus, the optical current generated by incident light increases.



SAMSUNG EX. 1002 - 303/2862

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報（Ａ）**　(11)特許出願公開番号
特開2000－164914
（P2000－164914A）
(43)公開日　平成12年６月16日(2000.6.16)

(51)Int.Cl.[7]	識別記号	ＦＩ	テーマコード（参考）
Ｈ０１Ｌ　31/10		Ｈ０１Ｌ　31/10	Ａ

審査請求　未請求　請求項の数15　ＯＬ　（全 10 頁）

(21)出願番号　特願平11－256472
(22)出願日　平成11年９月10日(1999.9.10)
(31)優先権主張番号　９８１１７１３４．１
(32)優先日　平成10年９月10日(1998.9.10)
(33)優先権主張国　ヨーロッパ特許庁（ＥＰ）

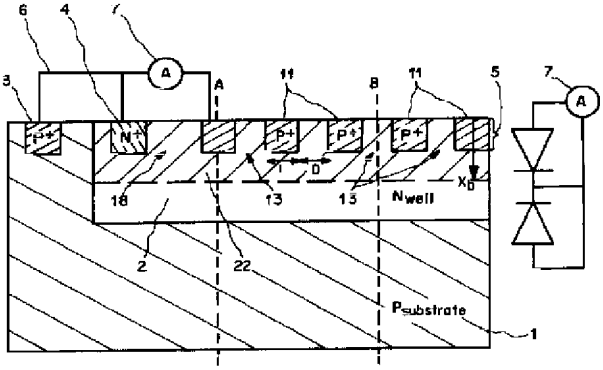
(71)出願人　598014515
エレクトロワット　テクノロジイ　イノベイション　アクチェンゲゼルシャフト
スイス国　ツェーハー－6301　ツーク
(72)発明者　アレクサンドル　ポシャール
スイス国　ツェーハー－1630　ブル　ルールシェール　51
(72)発明者　ラディホエ　ポポフィック
スイス国　ツェーハー－1025　サン　ザルピィス　シャトー　ドゥ　シャンパーニュ　21
(74)代理人　100075292
弁理士　加藤　卓

最終頁に続く

(54)【発明の名称】　感光性半導体素子、感光性半導体装置、感光性回路、並びにこの感光性半導体素子ないしは感光性半導体装置を使用して火炎を制御する方法

(57)【要約】
【課題】　小さくて丈夫で、さらに非常に高い選択性、有効性並びに極めて高い検出能力を有する感光性半導体素子ないしは感光性半導体装置を提供する。
【解決手段】　感光性半導体素子は、基板１、中間層２および外部層５からなり、少なくとも部分的に中間層２が基板１の内部に、また外部層５が中間層２の内部に埋め込まれる。中間層２と外部層５は、感光性領域２２を形成し、光電流のような光依存性の信号を発生させる。外部層５は、中間層２の領域１３によって分離された互いに離間した領域１１に分割されている。外部層の離間した領域１１は、たとえば感光性の半導体素子の陽極として用いられ、検出回路に接続される。離間した領域１１によって、電荷担体の再結合が減少し不活性層の形成が防止される。それにより入射光により発生される光電流を増大させることができる。

Fig.4



SAMSUNG EX. 1002 - 304/2862

【特許請求の範囲】

【請求項１】　基板（１）、中間層（２）および外部層（５）からなり、少なくとも部分的に中間層（２）が基板（１）の内部に、また外部層（５）が中間層（２）の内部に埋め込まれており、中間層（２）と外部層（５）により感光性領域（２２）が形成され光依存性の信号（Ｒ）が生成される感光性半導体素子において、
外部層（５）が、中間層（２）の中間領域（１３）によって分離された互いに離間した領域（１１）からなることを特徴とする感光性半導体素子。

【請求項２】　基板（１）はアクセプタがドープされたシリコンから、中間層（２）ないしは中間領域（１３）はドナーがドープされたシリコンから、そして離間した領域（１１）はアクセプタが高濃度でドープされたシリコンからなり、離間した領域（１１）が感光性半導体素子の陽極（３０）として用いられることを特徴とする請求項１に記載の半導体素子。

【請求項３】　離間した領域（１１）、中間領域（１３）並びに中間層（２）の一部を包囲する感光性領域（２２）が、入射光の所定の波長領域を検出するために、入射光のほぼ１波長（W_t）の大きさの深さ（X_b）を有することを特徴とする請求項１または２に記載の半導体素子。

【請求項４】　感光性領域（２２）が、紫外線を検出するために、約０．０１から０．５μｍ、好ましくは０．１から０．４μｍ程度の深さ（X_b）を有することを特徴とする請求項１から３のいずれか１項に記載の半導体素子。

【請求項５】　中間領域（１３）が、感光性領域（２２）の深さ（X_b）の約２倍の幅（Ｄ）を有することを特徴とする請求項１から４のいずれか１項に記載の半導体素子。

【請求項６】　中間層（２）の一部はドナーが高濃度にドープされて感光性半導体素子の陰極（４）として用いられ、陰極（４）、陽極（３０）並びに場合によっては基板（１）が、同様に基板（１）上に配置された電子読み出し装置（７、１９）に接続されることを特徴とする請求項１から５のいずれか１項に記載の半導体素子。

【請求項７】　１つまたは複数の基板（１）と、少なくとも２つの中間層（２、2*）と、少なくとも２つの外部層（５、5*）からなり、少なくとも部分的に中間層（２、2*）が基板（１）の内部に、また外部層（５、5*）が対応する中間層（２、2*）の内部に埋め込まれており、基板（１）、中間層（２、2*）並びに外部層（５、5*）により少なくとも２つの感光性領域（２２、２２*）が形成され、光依存性の信号（２０ａ、２０ｂ）が生成される感光性半導体装置において、
第１の外部層（５）が、対応する中間層（２）の中間領域（１３）によって分離された互いに離間した領域（１１）からなり、
対応する中間層（２）を有する第１の外部層（５）により深さ（X_b）を有する第１の感光性領域（２２）が形成され、
第２の外部層（5*）は対応する中間層（2*）と短絡されていて、第２の中間層（2*）の一部と基板（１）からなる第２の感光性領域（２２*）が深さ（X_b）の下方に形成されることを特徴とする感光性半導体装置。

【請求項８】　第１の感光性領域（２２）を用いて入射光の予め定められた波長領域が検出され、また第２の感光性領域（２２*）を用いて入射光の他の波長領域が検出されることを特徴とする請求項７に記載の半導体装置。

【請求項９】　第１の感光性領域（２２）を用いて入射光の予め定められた波長領域が検出され、また第２の感光性領域（２２*）を用いて隣接する波長領域が検出され、対応する層（２、2*、５、5*）が電子読み出し装置（７、１９）と接続されて、第１の感光性領域（２２）によって検出された隣接する波長領域成分がほぼ抑圧されることを特徴とする請求項７または８に記載の半導体装置。

【請求項１０】　第１の感光性領域（２２）により第１の信号（２０ａ）が、また第２の感光性領域（２２*）により第２の信号（２０ｂ）が生成され、光が入射したとき第２の信号（２０ｂ）が所定の波長（W_{tIR}）から第１の信号（２０ａ）とほぼ等しい大きさになるように、第２の感光性領域（２２*）が構成されていることを特徴とする請求項７から９のいずれか１項に記載の半導体装置。

【請求項１１】　第１の感光性領域（２２）を用いて主に紫外線が検出され、また第２の感光性領域（２２*）を用いて主に赤外線が検出され、第１の感光性領域（２２）により第１の光電流（I_{phUV}）が、また第２の感光性領域（２２*）を用いて第２の光電流（I_{phIR}）が生成され、光が入射したとき第２の光電流（I_{phIR}）が約４００から５００ｎｍの波長から第１の光電流（I_{phUV}）とほぼ等しい大きさになるように、第２の感光性領域（２２*）が構成されていることを特徴とする請求項７から１０のいずれか１項に記載の半導体装置。

【請求項１２】　請求項１から６のいずれか１項に記載の半導体素子または請求項７から１１のいずれか１項に記載の半導体装置を有する感光性回路において、
半導体素子または感光性半導体装置および／または電子読み出し装置（７、１９）のすべての層が、基板（１）上にＣＭＯＳ技術で一緒に製造されることを特徴とする感光性回路。

【請求項１３】　請求項１から６のいずれか１項に記載の半導体素子または請求項７から１１のいずれか１項に記載の感光性半導体装置あるいは請求項１２に記載の回路を用いて、空気と燃料の混合気の燃焼により発生する、特に暖房装置のバーナーの火炎を制御する方法にお

SAMSUNG EX. 1002 - 305/2862

いて、
火炎によって発生される光の所定の波長領域が検出されて、この波長領域の有無および／または強度に基づき空気と燃料の混合気が調節されることを特徴とする火炎を制御する方法。
【請求項１４】　火炎の有無が検出されることを特徴とする請求項１３に記載の方法。
【請求項１５】　それぞれ異なる波長領域を選択する複数の感光性半導体装置が並べて配置され、これらの半導体装置が互いに接続され、周波数分布に基づいて火炎の燃焼および／または強度が調節されることを特徴とする請求項１３または１４に記載の方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は、請求項１のおいて書きに記載の感光性半導体素子、請求項７のおいて書きに記載の感光性半導体装置、請求項１２に記載の感光性回路、並びにこの感光性半導体素子ないしは感光性半導体装置を使用して火炎を制御する請求項１３に記載の方法に関するものである。
【０００２】
【従来の技術】この種の感光性半導体素子は、フォトダイオードまたはフォトトランジスタとしても知られており、所定にドーピングされた半導体素子のいわゆるｐｎ接合として既に存在し、たとえばスツェ（Ｓ．Ｍ．Ｓｚｅ）の「セミコンダクタデバイスの物理学（Ｐｈｙｓｉｃｓ　ｏｆ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ－Ｄｅｖｉｃｅｓ）」第2版、１９８１年、Ｊｏｈｎ　Ｗｉｌｅｙ　＆　Ｓｏｎｓ、Ｉｎｃ．出版社、第Ｖ部、第１３章「光電検出器（Ｐｈｏｔｏｄｅｔｅｃｔｏｒｓ）」に記載されている。この光電検出器ないしは感光性半導体素子は、光、すなわち可視光または不可視光、たとえば紫外線または赤外線の検出に用いられる。この種の感光性半導体素子の品質を記述する３つの重要なパラメータは、感度、すなわちスペクトル感度（所定波長における感度）、応答時間、すなわち光の入射からセンサ信号の検出までの時間、並びに量子効率である。
【０００３】また、この種の感光性半導体素子はすでに知られており、たとえばジョーンズ（Ａ．Ｒ．Ｊｏｎｅｓ）の「火炎欠陥検出と最新のボイラー（Ｆｌａｍｅ　ｆａｉｌｕｒｅ　ｄｅｔｅｃｔｉｏｎ　ａｎｄ　ｍｏｄｅｒｎ　ｂｏｉｌｅｒｓ）」、Ｊ．Ｐｈｙｓ．Ｅ．：Ｓｃｉ．Ｉｎｓｔｒｕｍ．２１（１９８８）、９２１－９２８には、極めて高い感度を有していて本質的に選択性のある、いわゆる紫外線に感度を有するガス放電管が記載されている。しかしこの種のタイプの光電検出器は、極めて高価であって、壊れやすく、大きな外形寸法を有し、かつ極めて高いエネルギー供給を必要とする。
【０００４】さらに、所定の選択性を得るために、フィルタを外付けしたまたはフィルタを内蔵した従来型のシリコンフォトダイオードが知られている。このフォトダイオードは、極めて小型で、ほとんど壊れない。ＵＶ領域（紫外線領域）において高い選択性を得るために、すなわち可視光と可視領域に隣接する赤外線をフィルタで除去するために、干渉フィルタが使用されている。それにもかかわらず、この種のＵＶフォトダイオードは、極めて高価である。というのは、干渉フィルタがコストを高いものにし、それによって大量生産に使用するための回路全体を魅力のないものにしているからである。しかし一方では、低い値段帯の干渉フィルタも存在するが、その干渉フィルタは可視光と可視領域に接する赤外線に対するフィルタ特性がよくないので、選択性は多くの使用例で十分ではない。
【０００５】市販されている高選択性のＵＶフォトダイオードが、たとえばポポヴィック他（Ｒ．Ｓ．Ｐｏｐｏｖｉｃ　ｅｔ　ａｌ．）の「シリコン紫外線検出器（Ａ　ｓｉｌｉｃｏｎ　ｕｌｔｒａｖｉｏｌｅｔ　ｄｅｔｅｃｔｏｒ）」、Ｓｅｎｓｏｒｓ　ａｎｄ　Ａｃｔｕａｔｏｒｓ、Ａ２１－Ａ２３、１９９０、５５３－５５８に記載され、かつＥＰ０２９６３７１から知られている。その場合、このＵＶフォトダイオードは、高い選択性を得るために、対応する半導体層をドーピングするとき極めて煩雑で手間のかかる最適化プロセスを受ける。それによってこのフォトダイオードは極めて高価であり、大量生産での使用には、まったく適していない。
【０００６】光を検出するこれら公知の半導体素子、すなわちたとえばフォトダイオードは、シリコン(ケイ素)からなる基板を有し、その中に中間層と外部層が少なくとも部分的に埋め込まれている。この中間層と外部層は、異なるドーピングにより異なる特性にされ、すなわちたとえばアクセプタあるいはドナーがドープされて、それにより光電流に必要なｐｎ接合が形成されている。中間層と外部層は感光性領域を形成し、光依存性の信号、すなわちたとえば光電流を発生させる。感光性領域では、光子が入射すると、いわゆる電荷担体（キャリヤ）、すなわち半導体の伝導帯ないし価電子帯に存在する電子と正孔が形成される。この電荷担体の移送によって、場合によってはさらに電荷担体を発生させることによって（なだれ効果）、光電流が発生し、その光電流はこの層の表面に設けた対応する接点によって測定することができる。それぞれ対応する半導体層の構造とドーピングによって、電荷担体の生成、移送並びに速度を調節することができる。しかし多くの場合、この種の素子を製造するために必要な質的な要請は、それ自体矛盾している。
【０００７】従って従来の感光性半導体素子は、高い選択性をもつが、その場合は非常に大型で極めて高価であり、あるいは小型で安価ではあるが、その場合は選択性がわずかであるか有効性に欠けている。従って、重要な電子回路に信頼性をもって使用することはできない。た

SAMSUNG EX. 1002 - 306/2862

とえば「フェイルーセイフ」特性を保証すべき監視回路用に所定の感光性半導体素子が設けられる。この場合も、これまでは、安価であると同時に簡単に製造することができる利用可能な解決策はまだ見出されていない。

【０００８】たとえば、個人家屋または工業的な建物の暖房装置のバーナーにおける火炎の監視に使用するため、火災警報システムのため、あるいは建物監視システムのための従来の感光性半導体素子は、十分に高い選択性と十分な量的な効果を有する場合には、相応の単価では、現在では入手することはできない。

【０００９】

【発明が解決しようとする課題】従って本発明の課題は、従来技術の欠点を解決し、小さくて丈夫で、さらに非常に高い選択性、有効性並びに極めて高い検出能力を有し、標準技術ないしは標準プロセスによって安価に製造することができる、上述した種類の感光性半導体素子ないしは感光性の半導体装置を提供することである。

【００１０】

【課題を解決するための手段】本発明によれば、この課題は、基板（１）、中間層（２）および外部層（５）からなり、少なくとも部分的に中間層（２）が基板（１）の内部に、また外部層（５）が中間層（２）の内部に埋め込まれており、中間層（２）と外部層（５）により感光性領域（２２）が形成され光依存性の信号（Ｒ）が生成される感光性半導体素子において、外部層（５）が、中間層（２）の中間領域（１３）によって分離された互いに離間した領域（１１）からなることを特徴とする感光性半導体素子によって解決される（請求項１）。

【００１１】また、この課題は、１つまたは複数の基板（１）と、少なくとも２つの中間層（２、2*）と、少なくとも２つの外部層（５、5*）からなり、少なくとも部分的に中間層（２、2*）が基板（１）の内部に、また外部層（５、5*）が対応する中間層（２、2*）の内部に埋め込まれており、基板（１）、中間層（２、2*）並びに外部層（５、5*）により少なくとも２つの感光性領域（２２、２２*）が形成され、光依存性の信号（２０ａ、２０ｂ）が生成される感光性半導体装置において、第１の外部層（５）が、対応する中間層（２）の中間領域（１３）によって分離された互いに離間した領域（１１）からなり、対応する中間層（２）を有する第１の外部層（５）により深さ（X_b）を有する第１の感光性領域（２２）が形成され、第２の外部層（5*）は対応する中間層（2*）と短絡されていて、第２の中間層（2*）の一部と基板（１）からなる第２の感光性領域（２２*）が深さ（X_b）の下方に形成されることを特徴とする感光性半導体装置によって解決される（請求項７）。

【００１２】さらに、請求項１２には、感光性回路が、そして請求項１３には請求項１と７の特徴に基づくこの感光性半導体素子ないしは感光性半導体装置を使用した、火炎を制御する方法が記載されている。本発明の他の形態は、対応する従属請求項から得られる。

【００１３】本発明による感光性半導体素子は、基板、中間層並びに外部層からなり、少なくとも部分的に中間層が基板の内部に、また外部層が中間層の内部に埋め込まれている。中間層と外部層により、感光性領域が形成され、たとえば光電流のような、光依存性の信号が発生される。外部層は、たとえばアクセプタが高濃度にドープされた（P^+ドーピング）シリコンからなり、中間層の中間領域によって分離された互いに離間した領域に分割される。その場合、中間層は、たとえばドナーがドープされた（Ｎドーピング）シリコンからなり、一方基板はアクセプタがドープされた（Ｐドーピング）シリコンから形成されて、中間層と外部層は感光性半導体素子の表面に支持される。

【００１４】外部層の離間した領域は、たとえば感光性半導体素子の陽極（アノード）として用いられ、その半導体素子はフォトダイオードとして用いられ、対応した電子検出装置（電子読み出し装置）に接続される。中間層はさらに、ドナーが高濃度にドープされた（N^+ドーピング）領域を有し、その領域がたとえば感光性半導体素子の陰極（カソード）として用いられ、その領域は必要に応じて、アクセプタが高濃度にドープされた（P^+ドーピング）基板領域と短絡される。

【００１５】本発明による半導体素子の極めて高い選択性は、外部層を互いに離間した領域に分割することによって得られる。その場合、外部層は、中間層（N_{well}）内に埋め込まれているので、感光性領域を外部層の表面から測って所定の深さまでに制限する電位障壁が形成される。従来の半導体素子においては、外部層の表面におけるドーピング濃度（たとえばホウ素によるP^+ドーピング）は、大きな光電流を得るためには、特に高濃度のドーピングが望まれるのにもかかわらず、ドーピング効果とドーピング原子の再分布（「ｒｅｄｉｓｔｒｉｂｕｔｉｏｎ」）によって減少する。互いに離間した領域は、外部層が中間層へ埋め込まれていく過程で形成される外部層の表面の「不活性な」層の形成を防止する（図３を参照）。この不活性な領域は、光子により発生された電荷担体、すなわち電子と正孔が再結合することから発生し、それによってこれらの電荷担体はもはや光電流を発生させることができず、従って発生した光電流は、望ましいことではないが下降してしまう。

【００１６】本発明の感光性半導体素子においては、電子と正孔が再結合されるのではなく、分離してそれぞれの陽極ないし陰極へ流れ、そこで電子読み出し装置によって検出されることが特に重要である。外部層の外表面では電子と正孔の発生はそれ自体最大となるが、入射光により発生する電子と正孔のこの外表面での再結合により、発生した光電流は顕著に減少する。この再結合は、上述したように、ドーピングされた外部層の外表面領

SAMSUNG EX. 1002 - 307/2862

域、すなわち上述した不活性領域において、ドープされたホウ素原子の濃度が減少することによって発生し、これには種々の物理的な原因が考えられる。たとえば外表面ではドーピング効果が非常に強くなり、ホウ素原子が再分布されるので、この外表面でホウ素濃度を高くしなければならないのに、ドープされたホウ素原子の濃度が低くなってしまう。

【００１７】外部層の離間した領域を設けることによって、不活性層の発生が顕著に防止される。離間した領域間のドナーがドープされているシリコン原子の伝導帯の下限と価電子帯の上限間のエネルギー帯の構造に変化がもたらされるので（図５を参照）、それによって発生する離間した領域間の電位に支持されて、この領域に存在する少数キャリア（正孔）が下方へ押しやられ、電子と正孔の再結合は行われないか、あってもごくわずかになる。それによって外部層の表面では、入射光に対する所望の高い応答性が得られる。というのは、入射する光子によって発生される電子と正孔は、ほぼ完全に陽極ないし陰極へ流れ、その前に再結合されることはないからである。それによって、フォトダイオードが設計された所定波長領域の光電流がほぼ完全に得られるようになる。

【００１８】この幾何学的な構成によって、入射光に対する選択性が極めて高くなるだけでなく、極めて安価でかつ標準技術により製造可能な素子が得られ、大量生産できる素子であるという要請並びに素子の品質に関しても適した素子が得られる。

【００１９】その場合、すべての層は、標準構成として一体のセンサとして構成でき、公知のＣＭＯＳ技術により一緒に同じ一つの基板内へ拡散させることができる。全体の感光性半導体素子を、好ましくは同様に同じ一つの基板上にＣＭＯＳ技術で実現される電子検出装置と接続して一体化された構造にすることによって、極めて安価な価格で製造できるようになる。それによって様々な利用のために、１つのプロセスで一緒に、場合によっては電子検出装置と共に、同じ一つのチップ上に構成することのできる極めて安価で小型かつ頑丈な感光性半導体が製造できる。

【００２０】個々の層をどのようにドーピングするかに従って、ないしは感光性領域の厚みに応じて、光の種々の波長領域を検出でき、その場合、感光性半導体素子の表面の対応する領域を離間させることによって常に所望の選択性が得られる。離間した領域、中間領域並びに中間層の一部を包囲する感光性領域は、入射光のほぼ１波長（W_t）の長さの深さ（X_b）を有し、それにより入射光の所定波長領域が検出される。

【００２１】たとえば、紫外線を検出するための感光性領域は、約０．０１から０．８μｍ、特に０．１から０．４μｍで、好ましくは０．５μｍの深さを有する。その場合、中間領域は、好ましくは感光性領域の深さの約２倍の大きさの幅を有する。というのは、それによって互いに離間した領域をできるだけ小さくすることができるとともに、中間領域は大きくなり過ぎず、漏れ電流、すなわち正孔がその下にある基板へ拡散することが防止されるからである。

【００２２】本発明はさらに、１つまたは複数の基板と、少なくとも２つの中間層と、少なくとも２つの外部層とからなる感光性半導体装置を開示する。その場合、少なくとも部分的に中間層は基板の内部に、また外部層は対応する中間層の内部に埋め込まれている。基板、中間層および外部層は、少なくとも２つの感光性領域を形成し光依存性の信号を発生させる。第１の外部層は、対応する中間層の中間領域によって分離された互いに離間した領域からなる。この領域の機能は、上述した機能と同一であり、第１の外部層の表面に不活性層が形成されるのを防止することである。第１の外部層は、対応する中間層と共に、上述したのと同様にｐｎ接合の電位障壁によって限定される所定深さの第１の感光性領域を形成する。第２の外部層は、対応する中間層と短絡されているので、第２の中間層の一部と基板とからなる第２の感光性領域が、ほぼ上記所定の深さに対応する第２の外部層からの深さの下方に形成される。

【００２３】第１の感光性領域を用いて、入射光の予め定められた波長領域（周波数領域）が検出され、また第２の感光性領域を用いて入射光の他の波長領域、好ましくは入射光の予め定められた波長領域に隣接する波長領域が検出される。その場合、半導体素子の対応する層は、電子読み出し装置と接続され、第１の感光性領域によって検出された隣接する波長領域成分がほぼ抑圧される。これは、第２の感光性領域によって検出された入射光信号の大きさが、２つが重なる領域において第１の感光性領域により生成された信号にほぼ相当する場合に可能になる。第２の感光性領域は、光が入射したときこの領域で生成される第２の信号が、所定の波長（W_{tIR}）から、第１の感光性領域で生成される第１の信号とほぼ等しい大きさになるように、構成されている。

【００２４】第１の感光性領域は、たとえば特に紫外線を検出するように、また第２の感光性領域は特に赤外線を検出するように構成されている。第１の感光性領域は第１の光電流を発生させ、第２の感光性領域は第２の光電流を発生させ、その場合、第２の感光性領域は、光が入射したとき第２の光電流が約４００から５００ｎｍの波長から第１の光電流とほぼ等しい大きさになるように、構成されている。

【００２５】この「第１の」感光性半導体素子と並んで配置された「第２の」感光性半導体素子は、たとえば赤外線を検出する機能を有し、その場合、両半導体素子は互いに接続され、紫外線（ＵＶ）センサの光電流から赤外線（ＩＲ）センサの光電流が減算されるので、紫外線選択性が増大する。その場合、対応する感光性領域の層厚に従い、発生する光電流を調節し、ＵＶ光電流とＩＲ

SAMSUNG EX. 1002 - 308/2862

光電流が重なる領域では同じになるようにすることができるので、両電流を減算したとき、ＵＶ領域外ではほぼゼロに等しい出力信号が発生する。

【００２６】両感光性半導体素子、すなわち対応する各層は、この場合も１つの同じ基板上で実現され、その場合同様にＣＭＯＳ技術を使用することができる。ＵＶフォトダイオードを対応したＩＲフォトダイオードと組み合わせることによって、高価な干渉フィルタまたはカラーフィルタを使用する必要がなくなる。それによって全体として、入射光の種々のスペクトル領域を検出するための極めて安価でしかも選択性の高いフォトダイオードないしは感光性半導体素子が得られる。

【００２７】この感光性半導体素子によって、小型で安価であり、周波数ないし波長選択性があり、高速で頑丈で、しかも信頼性の有る効果的な感光性回路が実現できる。その場合、半導体素子または感光性半導体装置および／または電子読み出し装置のすべての層は、ＣＭＯＳ技術で基板上に一緒に形成することができる。それによってフィルタ、接続装置などが省略できる。

【００２８】本発明による半導体素子は、特に空気と燃料の混合気の燃焼によって発生する暖房装置のバーナーの火炎を制御する方法に使用される。この火炎は、空気と燃料の混合の調節に従って異なる強度と異なる燃焼値で燃焼し、その場合、それぞれ異なるスペクトル領域の光が放出される。本発明による極めて周波数選択性のある半導体素子によって、火炎により発生する光の所定スペクトル領域ないしは所定波長領域が検出され、この波長領域の有無および／または強度に基づいて空気と燃料の混合気が調節される。その場合、それぞれ異なる波長領域を選択する感光性半導体装置を複数配置し、これらを互いに接続して、周波数分布に基づいて火炎の燃焼および／または強度を制御するようにすることができる。この「周波数検出器」の「マトリクス」は、本発明によって付加的なフィルタや他の構成素子を設けることなく共通のチップ上に実現することができる。これにより可視光用のＣＣＤカメラの原理に基づく一種の「カメラ」が得られ、その場合、マトリクスのすべての素子が同時に電子検出装置に電流を送るのではなく、そのとき放出された周波数に応答する素子のみが電流を送ることになる。

【００２９】

【発明の実施の形態】本発明の幾つかの好ましい実施形態を、図面を用いて詳細に説明する。

【００３０】図１には、基板１、中間層２および外部層５を有する従来構造の感光性半導体素子が図示されている。中間層２は基板１の内部に、また外部層５は中間層２の内部に部分的に埋め込まれており、中間層２と外部層５は感光性領域２２（ハッチングで示す）を形成し、光依存性の信号を生成する。感光性領域２２は、電位障壁により下方へ向かって深さX_bまでに制限ないし限定されている。アクセプタが高濃度にドープされた（P^+ドーピング）外部層５と、ドナーが高濃度にドープされた（N^+ドーピング）領域４間には、電位が発生する中間領域１８が存在する。外部層５とドナーがドープされた（Ｎドーピング）中間層（N_{well}）の一部が一緒になって感光性領域２２を形成する。

【００３１】図１の右側には、感光性半導体素子の接続が図示されており、同図で外部層５が陽極（アノード）３０を示し、アクセプタがドープされた（Ｐドーピング）基板１の内部にあるアクセプタが高濃度にドープされた（P^+ドーピング）領域３は導線６を介して陰極（カソード）４と短絡されている。電流計７が、感光性領域２２によって発生される電流を検出する。図１に示す半導体素子は、特にＵＶ（紫外線）選択性のフォトダイオードであって、ＵＶ光を検出できるように構成されている。

【００３２】図２は、図１に示す線Ａに沿った半導体素子のドーピング濃度の図表である。図表の垂直軸は、ドーピング原子Ｄｃの濃度を粒子／$ｃｍ^3$で示している。横軸は、外部層５の表面からその下に位置する基板１の方向の深さＴをμｍで示している。中間層２は、アクセプタがドープされた基板１内で燐（リン）原子（ドナー）を用いてドープされており、外部層５は中間層２内でホウ素原子（アクセプタ）を用いて高濃度にドープされている。図表から明らかなように、ホウ素原子の濃度８は約５００ｎｍの深さX_bまで連続的に減少し、一方、燐原子の濃度９は中間層２と基板１間の接合部（深さX_bの約２倍）までほぼ一定である。

【００３３】従って図２のドーピング構成は、代表的な０．５μｍ標準Ｃ－ＭＯＳプロセスに相当する。ドーピング濃度、すなわちホウ素原子の濃度８は、深さX_pにおいて最大となり、この深さX_pから表面までは減少していることが理解できる。大きな光電流を得るにはここで特に高濃度のドーピングが望まれるにもかかわらず、ドーピング効果とドーピング原子の「再分布」により望ましくない効果が、不可避的に発生する。それによって外部層５の外端領域には、シリコン表面、すなわちまさに入射光（たとえば紫外線）の最も多くの光子が吸収される場所に、「不活性層」ないし「不感層」１２が形成される。

【００３４】図３は、図１の線Ａに沿った図２に示すドーピング濃度を有する半導体素子の材料の外側エネルギー帯を概略的に示す。下方の価電子帯１０ｂと上方の伝導帯１０ａ並びに表面から下方の基板１方向に測定したエネルギーレベルが図示されている。深さX_bに感光性領域２２を限定してしまう電位障壁が存在していることがわかる。しかし、外部層５の表面１２では深さX_pまでは両バンド１０ａと１０ｂのエネルギーレベルが下降することも認められる。この効果は、上述した「不感層」１２によってもたらされる。光子によって生成され

SAMSUNG EX. 1002 - 309/2862

る外部層５、従って外表面の少数キャリア１４（電子）は、上述した効果によりホウ素濃度８が減少することによって、「不感層」１２内で再結合する。それによってこれらの電子（そしてそれに対応する正孔、すなわち多数キャリア）は光電流に寄与せず、入射光に対する半導体素子の感度は小さくなり、従ってその選択性は悪くなる。

【００３５】図４は、本発明による感光性半導体素子を示している。本発明による感光性半導体素子は、基板１、中間層２および外部層５からなり、少なくとも部分的に中間層２が基板１の内部に、また外部層５が中間層２の内部に埋め込まれている。中間層２と外部層５は、感光性領域２２を形成し、たとえば光電流のような光依存性の信号を生成する。アクセプタが高濃度にドープされたシリコンからなる外部層５は、互いに離間した領域１１に分割されており、これらの領域１１は中間層２の中間領域１３によって分離されている。中間層２はドナーがドープされたシリコンからなり、基板１はアクセプタがドープされたシリコンから形成され、感光性半導体素子の表面に中間層２と外部層５が支持されている。

【００３６】外部層５の離間した領域１１は、図１について説明したのと同様に、感光性半導体素子の陽極３０として用いられる。接続も、図１と同一である。

【００３７】本発明による感光性半導体素子の極めて高い選択性は、外部層５が互いに離間した領域１１に分離されていることによって得られる。幅Ｌを有し、かつ距離Ｄで互いに分離された離間した領域１１により、外部層５の表面の不活性層、すなわち「不感」層の形成が防止される。

【００３８】図５に概略的に示すように、図４の線Ｂに沿った半導体素子の外部エネルギー帯の構造は変化する。外部層５の離間した領域１１間、すなわち中間領域１３内のドナーがドープされたシリコン原子の伝導帯１０ａ*の下限と価電子帯１０ｂ*の上限間のエネルギー帯は、外部層５の表面と深さX_b間で、深さX_bから表面方向に見て下方へ湾曲したカーブとなっているので、それによって離間した領域１１間に発生する電位により支援されて、この領域に存在する少数キャリア１４*（正孔）が深さX_bの方向に、すなわち表面から離れ基板１の方向へ押しやられる。「不感層」１２は、離間した領域１１間に発生する電位によって最小限に減少される。すなわち外部層の上端縁においては、電子と正孔の再結合は発生せず、ないしは発生してもわずかでしかない。

【００３９】図２から明らかなように、中間層２、すなわち外部層５の中間領域１３内の燐原子の濃度９は、外部層５の端縁へ向かって増大している。これは、シリコン／二酸化シリコン接合における偏析（Ｓｅｇｒｅｇａｔｉｏｎ）に基づいている。この増大により、図５に示すエネルギー帯において、外部層５の表面近傍の両バンド１０ａ*と１０ｂ*に軽微なエネルギー降下がもたらされるので、正孔１４*が深い方へ押しやられ、望ましくない再結合が防止される。「不感領域」は減少してＬ／（Ｌ＋Ｄ）倍になる。その場合、互いに離間した領域１１の幅Ｌは、技術的に実現可能な限り狭く設計することができるが、この領域１１間の距離Ｄには最適な値が存在し、それは深さX_bの約２倍の大きさである。距離Ｄをもっと狭くすると、「不感層」１２が増大し、距離Ｄをもっと大きくすると、正孔はさらに下方へ押しやられるので、正孔が基板１内へ拡散し、それによって同様に光感度が減少する。

【００４０】これにより外部層の表面には、入射光に対して所望の高い応答性が得られる。というのは、入射する光子により生成される電子と正孔はほぼ完全に陽極ないし陰極へ流出し、それに先だって再結合されてしまうことがないからである。それによってフォトダイオード用に設計された所定の波長領域の光電流をほぼ完全に利用できるようになる。

【００４１】図６は、従来の半導体素子に比較して、本発明による半導体素子の応答性を表す図表である。本発明による中間領域１３を用いない場合(ストライプなし)入射光の波長Ｗ（ｎｍ）に対する応答性、すなわち感光性領域２２によって発生される半導体素子の信号Ｒ（カーブ１５で示す）と、本発明による中間領域１３を用いた場合(ストライプあり)の半導体素子の応答性ないしその信号（カーブ１７で示す）と、両カーブ１５および１７の互いに対する比ｒ（カーブ１６で示す）が図示されている。本発明による半導体素子のカーブ１７の信号Ｒが、所定の波長W_tまでは従来の半導体素子の信号Ｒよりも強いことが理解できる。約３００ｎｍの波長において、比ｒが最大となり約r_{max}＝１．６５の値を有する。その場合に幅Ｌは、約０．６μｍの値を有し、距離Ｄは約１．０μｍである。

【００４２】本発明による半導体素子は、さらに他の利点を有する。０Ｖを中心とする領域の電圧と電流比に相当する分路抵抗R_{sh}は、接合領域ないし空乏層面の大きさに間接的に比例し、距離Ｄが大きくなるにつれて増大する。この抵抗はフォトダイオードに発生するオフセット電圧に間接的に比例するので、抵抗が大きくなるほど、オフセット電圧は小さくなる。この抵抗は、本発明による「ストライプ層」５において、すなわち離間した領域１１によってより大きくなることにより、このオフセット電圧が減少する。これは特に、このオフセット電圧が問題となりかねない、高温度において重要である。さらに、離間した領域１１を設けることによって、フォトダイオードのキャパシタンスが減少される。このキャパシタンスは信号電圧との相互作用により応答時間を遅延させてしまう。これも接合領域ないし空乏層面が減少することに起因する。

【００４３】図７は、接続が異なる感光性半導体素子を示している。配置は、図１の配置に対応するが、Ｐ型基

SAMSUNG EX. 1002 - 310/2862

板１内のアクセプタが高濃度にドープされた領域３ではなく、外部層５*が導線６を介して陰極４*と短絡されているところが相違する。それによって中間層２*と基板１間に深さX_bから感光性領域２２*が形成される。電流計７は、感光性領域２２*によって生成される電流を検出する。図７に示す半導体素子は、特に赤外線選択性のあるフォトダイオードであって、異なる接続によって、入射光の波長が長いことにより約５００ｎｍの深さより深い位置にある層内に生成される電荷担体を検出する。

【００４４】図８は、図４と図７に示す半導体素子を備えた本発明による感光性半導体装置を示している。感光性半導体装置は、基板１、２つの中間層２、２*および２つの外部層５、５*からなり、その場合、中間層２、２*は基板１の内部に、また外部層５、５*は対応する中間層２、２*の内部に部分的に埋め込まれている。基板１、中間層２、２*および外部層５、５*が、少なくとも２つの感光性領域２２、２２*を形成し、光依存性の信号２０ａ、２０ｂ（図９を参照）を生成する。第１の外部層５は、互いに離間した領域１１からなり、対応する中間層２と共に深さがX_bの第１の感光性領域２２を形成する。中間層２*を有する第２の外部層５*は、図７に示すように短絡されているので、深さX_bの下方に第２の中間層２*の一部と基板１とからなる第２の感光性領域２２*が形成される。

【００４５】基板は電位V_{ss}にあり、中間層２は電位V_{dd}にある。第１の外部層５、第２の外部層５*並びに第２の中間層２*は、出力増幅器（演算増幅器）７によって形成される仮想電位V_{dd}にある。従って出力増幅器７の入力領域では、電位V_{dd}を中心とする分極が可能になるので、最少の光電流でも測定することができる。しかし、V_{dd}の代わりに、正の基準電圧を出力増幅器の分極に利用することも可能である。

【００４６】図９に示すように、第１の感光性領域２２により第１の信号（２０ａ）が、また第２の感光性領域２２*により第２の信号２０ｂが発生される。その場合、第２の感光性領域２２*は、光が入射したとき第２の信号２０ｂが所定の波長W_{tIR}から第１の信号２０ａとほぼ同じ大きさになるように、構成されている。

【００４７】特に、第１の感光性領域２２は紫外線を検出するのに適しており、一方第２の感光性領域２２*は赤外線を検出するのに適している。これは、第１の感光性領域２２により第１の光電流（光電流）I_{phUV}が発生され、また第２の感光性領域２２*によって第２の光電流I_{phIR}が発生されることにより、また、光が入射したとき第２の光電流I_{phIR}が約４００から５００ｎｍの波長から、第１の光電流I_{phUV}とほぼ同じ大きさになるように第２の感光性領域２２*が構成されていることによる。演算増幅器７は、両信号２０ａと２０ｂを減算することによって得られる図１０に示す合成信号２１を検出する。その場合、この信号は波長W_{tUV}において最も強くなり、第２の半導体素子が検出する波長W_{tIR}の方向には顕著に減少する。従って選択性が向上し、個々の波長領域をシャープに検出するための「一体型の」フィルタが得られる。

【００４８】

【発明の効果】以上説明したように、本発明の半導体素子ないし半導体装置は、外部層が互いに離間した領域に分割され、ストライプ層になっているので、周波数選択性が極めて高くなり、また小型で丈夫であって、しかも高い検出能力を有するとともに、標準的なプロセスで安価に製造できる、という効果が得られる。

【図面の簡単な説明】

【図１】従来構造の感光性半導体素子の構成を示す構成図である。

【図２】図１のＡに沿った半導体素子のドーピング濃度を示す線図である。

【図３】図１の線Ａに沿った半導体の外部エネルギー帯を概略的に図示する線図である。

【図４】本発明による感光性半導体素子の構成を示す構成図である。

【図５】図４に示す線Ｂに沿った半導体素子の外部エネルギー帯を概略的に示す線図である。

【図６】本発明による半導体素子の応答性を従来の半導体素子に比較して示す線図である。

【図７】赤外線検出用の感光性半導体素子の構成を示す構成図である。

【図８】図４と図７に示す半導体素子を有する感光性半導体装置の構成を示す構成図である。

【図９】図８に示す感光性半導体装置の光電流を示す線図である。

【図１０】図９に示す両信号を組み合わせたときに得られる信号を示す線図である。

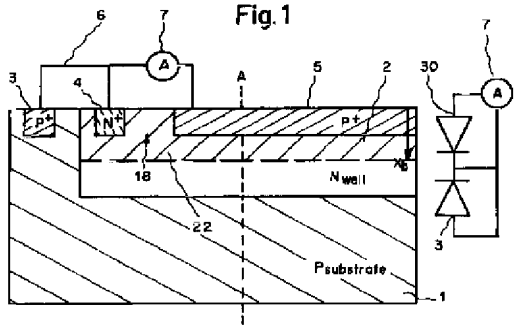
【符号の説明】

１　基板
２　中間層
５　外部層
１１　離間した領域
１３　中間領域
２２　感光性領域

SAMSUNG EX. 1002 - 311/2862

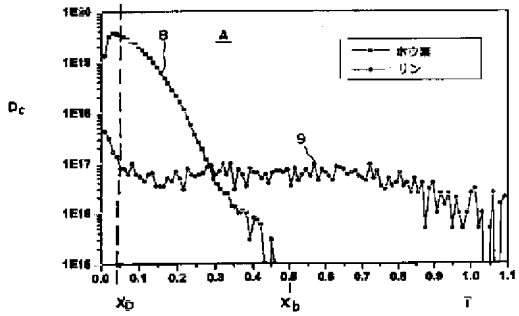
【図1】

Fig.1



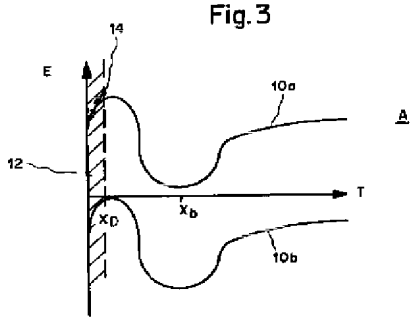
【図2】

Fig.2



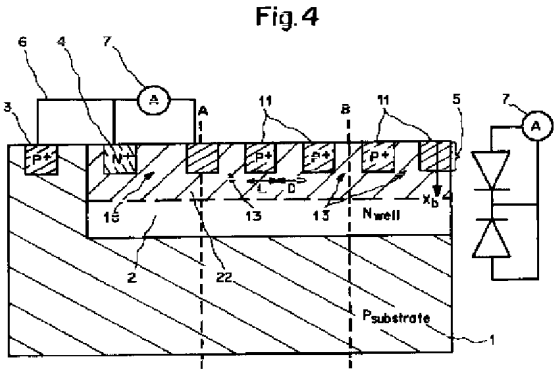
【図3】

Fig.3



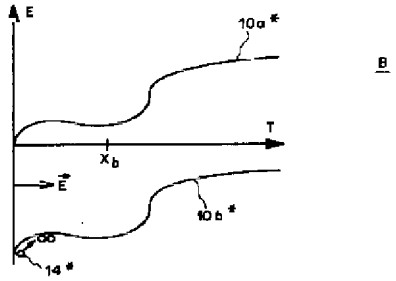
【図4】

Fig.4



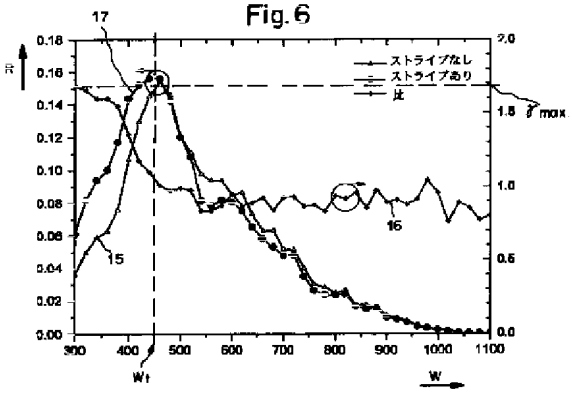
【図5】

Fig.5

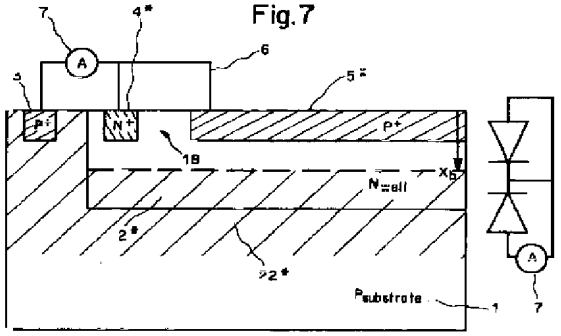


【図6】

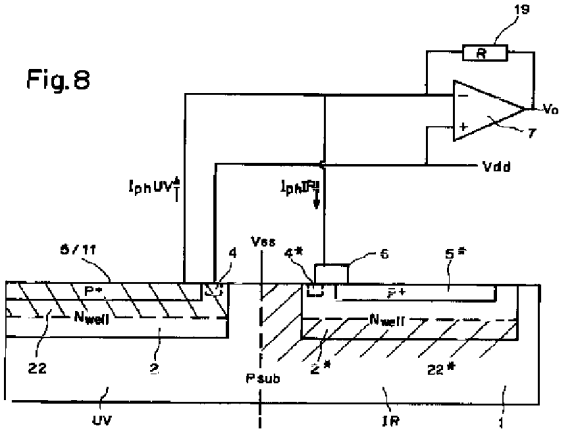
Fig.6



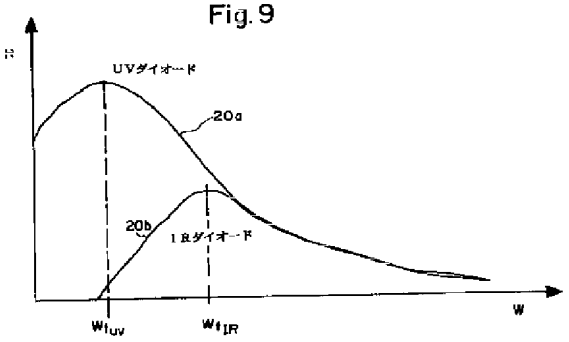
【図7】



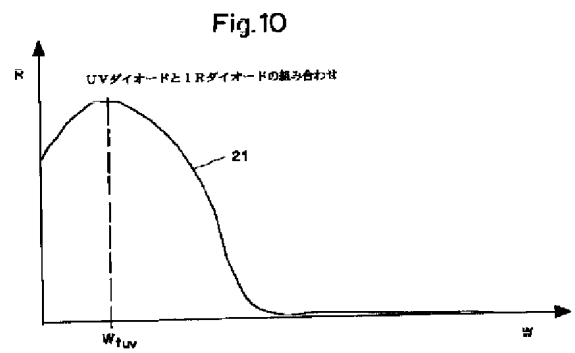
【図8】



【図9】



【図10】



フロントページの続き

(72)発明者　ロベルト　ラクツ
スイス国　ツェーハー6300　ツーク　ブラ
イチシュトラーセ　9

Espacenet

Bibliographic data: JP2001007381 (A) — 2001-01-12

OPTOELECTRONIC TRANSDUCER FILM AND FORMATION THEREOF

Inventor(s): HIRANO YOSHIYUKI; SATO SHIRO; SAITO NOBUO; HIROSE ZENKO; MIYAZAKI SEIICHI ± (HIRANO YOSHIYUKI, ; SATO SHIRO, ; SAITO NOBUO, ; HIROSE ZENKO, ; MIYAZAKI SEIICHI)

Applicant(s): JAPAN BROADCASTING CORP ± (NIPPON HOSO KYOKAI <NHK>)

Classification: **- international:** ***H01L27/146; H01L31/10;*** (IPC1-7): H01L27/146; H01L31/10

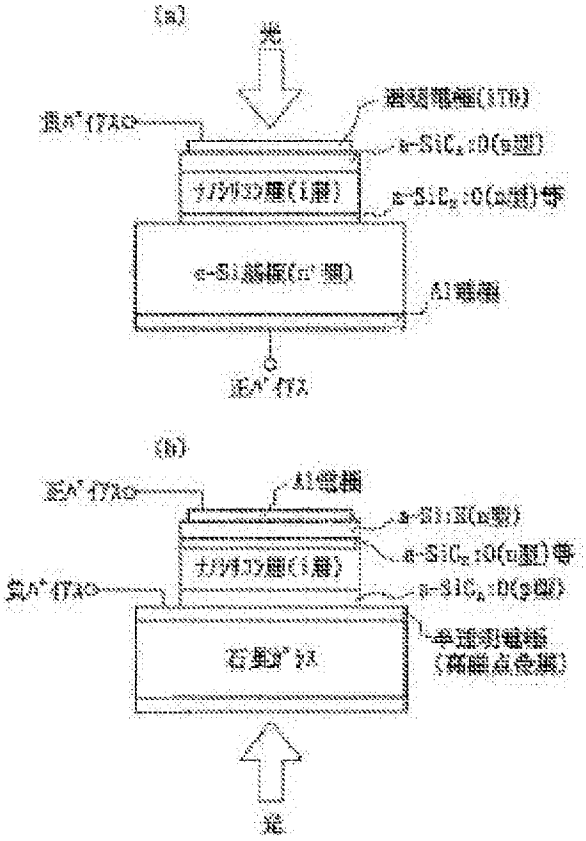
- cooperative:

Application number: JP19990178413 19990624

Priority number(s): JP19990178413 19990624

Abstract of JP2001007381 (A)

PROBLEM TO BE SOLVED: To form a optoelectronic transducer film combining the advantages of amorphous material and crystalline material by including a nano-silicon layer where silicon nano-crystals, i.e., silicon grains having diameter of several nano-meters, are integrated. SOLUTION: A wide band gap silicon carbide doped with n-type impurities (a-SiCz:O) or silicon oxynitride (SiOxNy) or SiO2 is deposired, as a hole blocking layer, on a heavily doped n-type C-Si substrate. An undoped nano-silicon layer is deposited thereon as a light absorbing/signal charge multiplication layer, and a wide gap a-SiCz:O doped with p-type impurities are deposited further thereon as an electron block layer followed by deposition of an ITO(indium/tin oxide) as a transparent electrode. Consequently, the optoelectronic transducer film has thermal stability, carrier dynamic characteristics, and possibility of avalanche multiplication equivalent to those of a crystal material and the absorption wavelength can be adjusted in both film thickness direction and in-plane direction of the substrate.



SAMSUNG EX. 1002 - 315/2862

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報（Ａ）**　(11)特許出願公開番号
特開2001－7381
（P2001－7381A）
(43)公開日　平成13年１月12日(2001.1.12)

(51)Int.Cl.[7]	識別記号	ＦＩ		テーマコード（参考）
Ｈ０１Ｌ　31/10		Ｈ０１Ｌ　31/10	Ａ	４Ｍ１１８
27/146		27/14	Ｃ	５Ｆ０４９

審査請求　未請求　請求項の数19　ＯＬ　（全 10 頁）

(21)出願番号　特願平11－178413

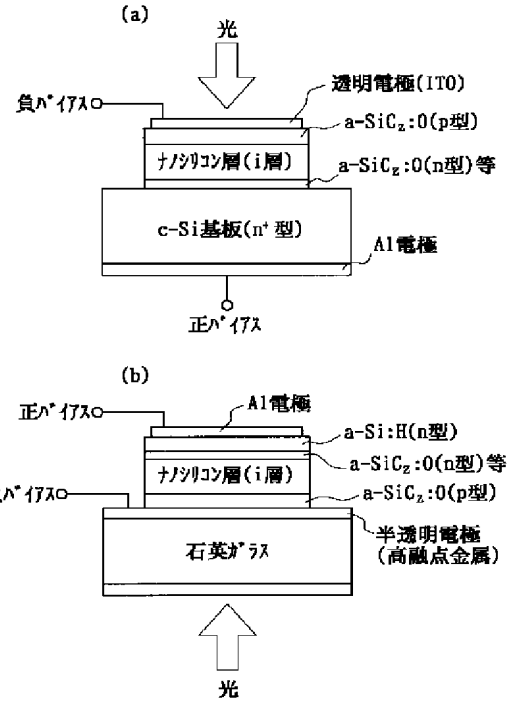
(22)出願日　平成11年６月24日(1999.6.24)

(71)出願人　000004352
日本放送協会
東京都渋谷区神南２丁目２番１号
(72)発明者　平野　喜之
東京都世田谷区砧１丁目10番11号　日本放送協会　放送技術研究所内
(72)発明者　佐藤　史郎
東京都世田谷区砧１丁目10番11号　日本放送協会　放送技術研究所内
(74)代理人　100059258
弁理士　杉村　暁秀　（外２名）

最終頁に続く

(54)【発明の名称】　光電変換膜とその作製方法

(57)【要約】
【課題】　非晶質材料からなる利点と結晶材料からなる利点とを併せ備えた特徴を有する光電変換膜を提供する。
【解決手段】　薄い絶縁膜付きのシリコンナノ結晶を集積化したナノシリコン層（ｉ層）を含み、例えばこの層をｐ層（ｐ型ａ－ＳｉＣ$_z$：Ｏ）と正孔阻止層（ｎ型ａ－ＳｉＣ$_z$：Ｏ）およびｎ層（ｎ$^+$型のｃ－Ｓｉまたはｎ型のａ－Ｓｉ：Ｈ）とで挟む構成とする。



SAMSUNG EX. 1002 - 316/2862

【特許請求の範囲】
【請求項１】　光電変換膜において、当該変換膜が、表面をキャリアのトンネル伝導が可能な厚さの絶縁膜で覆われた、直径数ナノメートルのシリコン結晶粒であるシリコンナノ結晶を集積化したナノシリコン層を含むことを特徴とする光電変換膜。
【請求項２】　請求項１記載の変換膜において、前記絶縁膜として酸化シリコン（SiO_x ：$0<x\leqq2$）膜を用いたことを特徴とする光電変換膜。
【請求項３】　請求項１記載の変換膜において、前記絶縁膜として窒化シリコン（SiN_y ：$0<y\leqq4/3$）膜を用いたことを特徴とする光電変換膜。
【請求項４】　請求項１記載の変換膜において、前記絶縁膜の代わりに水素化非晶質シリコン（ａ－Ｓｉ：Ｈ）膜を用いたことを特徴とする光電変換膜。
【請求項５】　電気的に活性な不純物を含まない請求項１から４いずれか記載のナノシリコン層を光吸収および信号電荷の走行・増倍層（ｉ層）とし、この層をｐ層と正孔阻止層およびｎ層とで挟む構成としたことを特徴とする光電変換膜。
【請求項６】　請求項５記載の変換膜において、前記ｐ層としてｐ型不純物を添加した非晶質シリコンカーバイト（$a-SiC_z$ ：Ｏ，$0<z\leqq1$）を用いたことを特徴とする光電変換膜。
【請求項７】　請求項５記載の変換膜において、前記ｎ層としてｎ型不純物を添加した非晶質シリコンカーバイト（$a-SiC_z$ ：Ｏ，$0<z\leqq1$）またはシリコン結晶を用いたことを特徴とする光電変換膜。
【請求項８】　請求項５記載の変換膜において、前記ｐ層として前記シリコン結晶粒にｐ型不純物を添加してｐ型とした請求項１から４いずれか記載のナノシリコン層を用いたことを特徴とする光電変換膜。
【請求項９】　請求項５記載の変換膜において、前記ｎ層として前記シリコン結晶粒にｎ型不純物を添加してｎ型とした請求項１から４いずれか記載のナノシリコン層を用いたことを特徴とする光電変換膜。
【請求項１０】　請求項５記載の変換膜において、前記正孔阻止層としてｎ型不純物を添加した非晶質シリコンカーバイト（$a-SiC_z$ ：Ｏ，$0<z\leqq1$）、またはシリコンオキシナイトライド（SiO_xN_y ：$0<x\leqq2$，$0<y\leqq4/3$，$0<(1/2)x+(3/4)y<1$）またはSiO_2を用いたことを特徴とする光電変換膜。
【請求項１１】　請求項１から１０いずれか記載の変換膜において、前記シリコン結晶粒の大きさを信号電荷の走行方向に変化させてバンドギャップを調節し、光生成した信号電荷がシリコン結晶粒間を伝導する際に付加的なポテンシャルエネルギを獲得して増倍され易くするよう構成したことを特徴とする光電変換膜。
【請求項１２】　請求項１から１１いずれか記載の変換膜において、前記シリコン結晶粒の大きさを信号電荷の走行方向に変化させてバンドギャップを調節し、膜厚方向に光吸収の中心波長の異なる領域を複合するよう構成したことを特徴とする光電変換膜。
【請求項１３】　請求項１から１２いずれか記載の変換膜において、前記シリコン結晶粒のサイズを基板上で空間的に変化させてバンドギャップを調節し、基板面内で光吸収の中心波長の異なる領域を複合するよう構成したことを特徴とする光電変換膜。
【請求項１４】　請求項１から１３いずれか記載の光電変換膜を作製するにあたり、まず、低圧化学気相成長法によりシリコン膜を短時間堆積させ直径数ナノメートルの結晶粒を自己組織的に形成させた後表面を酸化し、その後この堆積、酸化を繰り返すことを特徴とする光電変換膜作製方法。
【請求項１５】　請求項１から１３いずれか記載の光電変換膜を作製するにあたり、まず、化学気相法または真空蒸着法により堆積させた非晶質シリコンを電気炉アニールまたはレーザ照射で結晶化させ、その後、エッチングにより多孔質化させて直径数ナノメートルの結晶粒とすることを特徴とする光電変換膜作製方法。
【請求項１６】　請求項１から１３いずれか記載の光電変換膜を作製するにあたり、まず、化学気相法または真空蒸着法により堆積させた非晶質シリコンを電気炉アニールまたはレーザ照射で結晶化させ、その後、陽極酸化法により多孔質化させて直径数ナノメートルの結晶粒とすることを特徴とする光電変換膜作製方法。
【請求項１７】　請求項１から１３いずれか記載の光電変換膜を作製するにあたり、まず、化学気相法または真空蒸着法により非晶質シリコン膜を堆積させ、この堆積させた膜に対して高輝度Ｘ線を照射して直径数ナノメートルのシリコン結晶粒成長のための結晶核を作製することを特徴とする光電変換膜作製方法。
【請求項１８】　請求項１から１３いずれか記載の変換膜において、前記直径数ナノメートルのシリコン結晶粒の代りに直径数ナノメートルのゲルマニウム結晶粒、またはシリコンゲルマニウム結晶粒、またはこのゲルマニウム結晶粒とシリコン結晶粒の複合結晶粒を用いたことを特徴とする光電変換膜。
【請求項１９】　請求項１から１３いずれか記載の変換膜において、前記直径数ナノメートルのシリコン結晶粒の代りに直径数ナノメートルのシリコンカーバイト結晶粒、またはこのシリコンカーバイト結晶粒とシリコン結晶粒の複合結晶粒を用いたことを特徴とする光電変換膜。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】この発明は、光電変換膜とその作製方法に関するもので、シリコン薄膜堆積技術、シリコン酸化膜作製技術、アニール技術、陽極酸化やエッ

SAMSUNG EX. 1002 - 317/2862

チングなどの表面処理技術、リソグラフィなど、シリコンデバイスプロセス技術を用いて作製し、撮像素子や太陽電池などへ応用するものである。

【０００２】

【従来の技術】撮像素子用光電変換膜には、１）量子効率が良い、２）量子雑音が小さい、３）暗電流が小さい（暗抵抗が高い）、４）高解像度、５）一様性が良好、６）構造安定性が高いことなどが求められている。これまで、光電変換膜として撮像管には非晶質（amorphous）セレン（ａ－Ｓｅ）などが、ＣＣＤやＭＯＳセンサには結晶（crystal）シリコン（ｃ－Ｓｉ）や水素化非晶質シリコン（ａ－Ｓｉ：Ｈ）によるフォトダイオードが用いられている。

【０００３】まず、結晶材料と非晶質材料について特徴を比較すれば、それらは相補的で、前者で量子効率が高く構造的にも安定であるが、暗電流も大きく、また通常の光電変換膜構造では均一性のよい単結晶を作製することは困難である。すなわち、多結晶化による結晶粒界の発生や格子欠陥の導入のために良好な一様性を確保することが難しい。また、解像度も現状のリソグラフィによる加工技術の精度で決まってしまう。

【０００４】これに対して後者では、高解像度特性、低暗電流、一様性良好などの長所があるが、一般的には量子効率が小さく、構造が熱的に不安定であるなどの短所がある。但し、撮像管ではａ－Ｓｅ光電変換膜に高電界を印加して光生成した信号電荷を増倍させることにより１を超える量子効率を達成しているので、熱的不安定性の点が主に問題となっている。すなわち、ａ－Ｓｅでは５０－７０℃に達すると結晶化が起こり、暗電流が増大して光電変換特性が著しく劣化する。このため、結晶化抑制の目的でａ－Ｓｅに砒素（Ａｓ）などの不純物を添加することが行なわれているが、これら不純物は逆に信号電荷の移動度や寿命特性の劣化を招くので、多量に添加することはできない。

【０００５】一方、ａ－Ｓｉ：Ｈでは、特性の著しく劣化を招く原因は含有する水素の離脱であるが、これは３００℃以上の温度でしか起こらない。また、結晶化温度も６００℃程度であるのでａ－Ｓｅに比べれば熱的にははるかに安定である。また、ａ－Ｓｉ：Ｈではシリコンのデバイスプロセスとの整合性が良いなどのメリットもある。しかし、ａ－Ｓｅのような光生成信号電荷の顕著な増倍現象は未だはっきりとは確認されていない。

【０００６】

【発明が解決しようとする課題】ａ－Ｓｅとｃ－Ｓｉおよびａ－Ｓｉ：Ｈの材料特性を表１に比較して示す。電子のイオン化率はａ－Ｓｅの$2\times10cm^{-1}$に対してｃ－Ｓｉは$2\times10^{5}\ cm^{-1}$、正孔についてはａ－Ｓｅの$2\times10^{3}\ cm^{-1}$に対してｃ－Ｓｉは$1.5\times10^{5}\ cm^{-1}$である。また、電子の移動度はａ－Ｓｅでは$5\times10^{-3}cm^{2}$／Ｖｓであるのに対して、ｃ－Ｓｉでは約$1.5\times10^{3}\ cm^{2}$／Ｖｓと極めて高い。一方、ａ－Ｓｉ：Ｈの電子移動度は約$1cm^{2}$／Ｖｓ、正孔移動度は約$10^{-2}cm^{2}$／Ｖｓであるので、ａ－Ｓｉ：Ｈのイオン化率をｃ－Ｓｉのキャリア移動度とａ－Ｓｉ：Ｈのそれとの比較から推定すると、電子のイオン化率は１００以下、正孔のイオン化率は３以下となる。以上から、電荷増倍に必要なキャリアの動特性はｃ－Ｓｉが最も優れていることがわかる。

【０００７】

【表１】

		ａ－Ｓｅ	ｃ－Ｓｉ	ａ－Ｓｉ：Ｈ
イオン化率 (cm^{-1}) at $10^{6}V/cm$	電　子	～ 20	～ 2×10^{5}	＜ 100
	正　孔	～ 2×10^{3}	～1.5×10^{5}	＜ 3
キャリア移動度 (cm^{2}/Vs)	電　子	～ 5×10^{-3}	1.5×10^{3}	～ 1
	正　孔	～ 0.2	4.5×10^{2}	～ 10^{-2}
光学バンドギャップ (eV)		～ 2.0	1.12	～ 1.7
暗導電率 (S/cm)		～ 10^{-15}	～5×10^{-6}	～ 10^{-10}
耐熱性　(℃)		～ 60	＞1000	～ 300
原子結合		２配位線状分子構造	４配位３次元構造	４配位３次元構造
ダングリングボンド (cm^{-3})		検出限界以下	検出限界以下	$10^{15}-10^{16}$

【０００８】光学バンドギャップはａ－Ｓｅの約２．０ｅＶに対して、ｃ－Ｓｉは１．１２ｅＶ、ａ－Ｓｉ：Ｈは約１．７ｅＶである。撮像素子用光電変換膜では電極からのキャリアの流入を防ぐ必要があるため阻止型構造をとる。一方、電荷増倍には高電界を印加する必要があるが、この場合、阻止型構造あるいはｐｉｎ接合の絶縁

SAMSUNG EX. 1002 - 318/2862

破壊のほかに材料内部での絶縁破壊も抑制する必要がある。そのため光学バンドギャップの大きいａ－Ｓｅは高電界印加という観点では有利であると言える。

【０００９】ａ－Ｓｉ：Ｈでは顕著な増倍が確認されていないのは、ｃ－Ｓｉと比べ移動度が小さく、且つ膜中に多量の欠陥が含まれていることによると考えられる。通常、ａ－Ｓｅではダングリングボンドは観測されないが、ａ－Ｓｉ：Ｈでは４配位３次元構造のひずみを緩和するために10^{15}～$10^{16}cm^{-3}$も導入されるだけでなく、構造の乱れに起因したバンドテイル準位も多い。これらがキャリアの寿命や移動度を低下させていると考えられる。ａ－Ｓｅに結晶化抑制用の不純物を添加すると増倍特性が劣化するのはこうした欠陥が導入されることによると考えられている。

【００１０】ａ－Ｓｉ：Ｈではっきりした信号電荷の増倍は確認されていないが、ｃ－Ｓｉでは電荷増倍が起こり、アバランシェフォトダイオードとして実用化されている。このアバランシェ増倍に必要な電界は10^{5} Ｖ／ｃｍ程度でａ－Ｓｅのそれよりも１桁程度小さい。この値は、ａ－Ｓｅとのバンドギャップの違い（約０．９ｅＶ）を考慮しても十分良好なものである。このことは、前述のｃ－Ｓｉにおけるキャリアの良好な動特性を裏付けているものと考えられる。

【００１１】

【課題を解決するための手段】以上の考察から、ここに提案する本発明の光電変換膜は、図１に示すように表面をキャリアのトンネル伝導が可能な厚さの絶縁膜２で覆われた直径数ナノメートルのシリコン結晶粒１を基本構造とするものである。

【００１２】すなわち本発明に係る光電変換膜は、光電変換膜において、当該変換膜が、表面をキャリアのトンネル伝導が可能な厚さの絶縁膜で覆われた、直径数ナノメートルのシリコン結晶粒であるシリコンナノ結晶を集積化したナノシリコン層を含むことを特徴とする。

【００１３】ここで前記絶縁膜は酸化シリコン（SiO_x：$0<x\leqq2$）膜または窒化シリコン（SiN_y：$0<y\leqq4/3$）膜であってもよく、またこの絶縁膜の代わりに水素化非晶質シリコン（ａ－Ｓｉ：Ｈ）膜が使用されてもよい。

【００１４】また、本発明光電変換膜は好適には、電気的に活性な不純物を含まない前記ナノシリコン層を光吸収および信号電荷の走行・増倍層（ｉ層）とし、この層をｐ層と正孔阻止層およびｎ層とで挟む構成としたことを特徴とする。

【００１５】ここで前記ｐ層として、ｐ型不純物を添加した非晶質シリコンカーバイト（$a-SiC_z$：Ｏ，$0<z\leqq1$）、または前記直径数ナノメートルのシリコン結晶粒にｐ型不純物を添加してｐ型とした前記ナノシリコン層を用いてもよく、前記ｎ層としてｎ型不純物を添加した非晶質シリコンカーバイトまたはシリコン結晶、または前記直径数ナノメートルのシリコン結晶粒にｎ型不純物を添加してｎ型とした前記ナノシリコン層を用いてもよい。

【００１６】さらに前記正孔阻止層としてｎ型不純物を添加した非晶質シリコンカーバイト（$a-SiC_z$：Ｏ）、シリコンオキシナイトライド（SiO_xN_y：$0<x\leqq2$，$0<y\leqq4/3$，$0<(1/2)x+(3/4)y<1$）またはSiO_2を用いてもよい（この時、ｎ型不純物の添加されるのは$a-SiC_z$：Ｏのみであることに注意されたい）。またさらに、本発明光電変換膜は好適には、前記シリコン結晶粒の大きさを信号電荷の走行方向に変化させてバンドギャップを調節し、光生成した信号電荷がシリコン結晶粒間を伝導する際に付加的なポテンシャルエネルギを獲得して増倍され易くするよう構成したことを特徴とする。

【００１７】また、好適には、前記シリコン結晶粒の大きさを信号電荷の走行方向に変化させてバンドギャップを調節し、膜厚方向に光吸収の中心波長の異なる領域を複合するよう構成したことを特徴とする。

【００１８】さらにまた好適には、前記シリコン結晶粒のサイズを基板上で空間的に変化させてバンドギャップを調節し、基板面内で光吸収の中心波長の異なる領域を複合するよう構成したことを特徴とする。

【００１９】また、本発明光電変換膜作製方法は、前記光電変換膜を作製するにあたり、まず、低圧化学気相成長法によりシリコン膜を短時間堆積させ直径数ナノメートルの結晶粒を自己組織的に形成させた後表面を酸化し、その後この堆積、酸化を繰り返すことを特徴とする。

【００２０】また、本発明光電変換膜製作方法は、前記光電変換膜を作製するにあたり、まず、化学気相法または真空蒸着法により堆積させた非晶質シリコンを電気炉アニールまたはレーザ照射で結晶化させ、その後、エッチングにより多孔質化させて直径数ナノメートルの結晶粒とすることを特徴とする。

【００２１】さらにまた、本発明光電変換膜作製方法は、前記光電変換膜を作製するにあたり、まず、化学気相法または真空蒸着法により堆積させた非晶質シリコンを電気炉アニールまたはレーザ照射で結晶化させ、その後、陽極酸化法により多孔質化させて直径数ナノメートルの結晶粒とすることを特徴とする。

【００２２】さらに、本発明光電変換膜作製方法は、前記光電変換膜を作製するにあたり、まず、化学気相法または真空蒸着法により堆積させた非晶質シリコンを電気炉アニールまたはレーザ照射で結晶化させ、その後、陽極酸化法により多孔質化させて直径数ナノメートルの結晶粒とすることを特徴とする。

【００２３】

【発明の実施の形態】以下添加図面を参照し、本発明の実施の形態を詳細に説明する。まず、図２のバンド構造

SAMSUNG EX. 1002 - 319/2862

図に基づいて、本発明の光電変換膜の高感度特性を説明する。直径数ナノメートルのシリコン結晶粒（以下ではこの結晶粒をナノ結晶１、絶縁膜２付きのナノ結晶を集積化した層をナノシリコン層と略記する）のバンドギャップは表面を覆う酸化シリコン（SiO_x ：$0<x\leq 2$）などの絶縁膜のそれより小さく、絶縁膜の厚さはキャリアのトンネル伝導が可能となるように十分薄いものとする。

【００２４】ナノ結晶内で吸収されたフォトン３は同結晶内で電子・正孔４，５を形成する。光励起された電子４は図２に示すようにナノシリコン層に印加された電界により走行する。この時、電子はこのナノ結晶内を弾道的に走行することが、多孔質シリコンでの実験でわかっている。ナノ結晶内を弾道的に走行した電子は絶縁層内をトンネル６し、隣接のナノ結晶に突入する。走行電子のエネルギがバンドギャップエネルギよりも十分大きくなった場合にはナノ結晶内で衝撃イオン化７が起こる。前述のようにａ－Ｓｅと比べるとｃ－Ｓｉのイオン化率は大きいので、この衝撃イオン化は比較的容易に起こることが予想される。

【００２５】ちなみに、ｃ－Ｓｉでは３．６ｅＶ（光学バンドギャップの約３倍）以上のエネルギで電子の衝撃イオン化が起こることが報告されている。衝撃イオン化のためのエネルギを増強するためにナノ結晶のバンドギャップを前段のナノ結晶のバンドギャップより小さくしておくことはさらに有効である。この衝撃イオン化をナノ結晶内で次々と繰り返せば、ａ－Ｓｅに見られるような信号電荷増倍となり撮像素子の高感度化が期待できる。なお、電子の衝撃イオン化で発生した正孔についても、電界により電子と反対方向に移動しナノ結晶内で衝撃イオン化を起こすことが考えられる（複雑になるのでこの過程は図には示していない）。

【００２６】ナノ結晶のサイズを考えると、ナノシリコン層は撮像素子の画素サイズ（例えばＣＣＤの画素サイズは３－５μm 角）内では一様な膜とみなすことができる。したがって、結晶で作製されるフォトダイオードなどで問題になるような結晶粒界や結晶欠陥による不均一性はない。また、結晶基板上に結晶をエピタキシャル成長するのとは異なり、基板との格子定数の相違に基づく歪みや欠陥導入の心配がない。すなわち、配線などにより下地基板に凹凸があっても、一様な膜が堆積できる。

【００２７】ナノ結晶はそのサイズによって光学的バンドギャップを可変できるという特徴をもつ。表２はナノ結晶サイズとバンドギャップ[1]、価電子帯・伝導帯端のエネルギシフト量（対ｃ－Ｓｉ）[2],[3]との関係を示している。電荷増倍のためには膜に高電界を印加する必要があるが、バンドギャップが小さいと欠陥などを介して材料内部で絶縁破壊しやすく、高電界が印加できない場合がある。これに対して上述のようにバンドギャップをａ－Ｓｉ：Ｈなどより大きく設計できることは電荷増倍に有利である。また、比誘電率の違いからナノ結晶に加わる電界は絶縁膜（SiO_2）の約１／３であるので、さらに絶縁破壊の心配は少なくなる。

【００２８】

【表２】

ナノ結晶のサイズ（nm）	光学バンドギャップ（eV）[1]	価電子帯端のエネルギシフト（eV）[2],[3]	伝導帯端のエネルギシフト(eV)(*)
10	1.70	0.06	0.52
6.3	1.90	0.10	0.68
3.3	2.20	0.22	0.86
1-2	2.57	0.48	0.97

（＊）｛ナノ結晶の光学バンドギャップ＝ｃ－Ｓｉの光学バンドギャップ（1.12eV）＋価電子帯端のエネルギシフト＋伝導帯端のエネルギシフト｝から算出

【００２９】光導電膜の暗導電率は低いことが望ましいが、ａ－Ｓｉ：Ｈとｃ－Ｓｉの暗導電率はそれぞれ約10^{-10} Ｓ／cmと約5×10^{-6}Ｓ／cmで、ａ－Ｓｅの約10^{-15} Ｓ／cmに比べればかなり高い。これに対してバンドギャップの広いナノ結晶では熱励起電子の数は非常に少ないうえに薄い絶縁膜で囲まれているので暗電流は低く押さえることができる。また、ナノ結晶のサイズを調整することで、光導電膜の分光感度特性を制御できる。したがって、膜厚方向や基板面内で結晶サイズを変化させれば、空間的に吸収波長領域の異なる光電変換膜を作製することができる。

【００３０】前述したように、ａ－Ｓｅ光導電膜では熱的安定性が問題となっているが、本発明の光電変換膜は結晶粒から成るので非晶質材料と比べて熱的に安定である。また、ナノシリコン層にはａ－Ｓｉ：Ｈに含まれるような水素結合は無いので、温度が上昇しても水素の離脱による欠陥の増加は起こらない。さらに、ナノ結晶は化学的に安定且つ無欠陥のSiO_2 等で覆われているため、湿度などに対する耐環境性能において優れている。

【００３１】次に本発明のナノシリコン層の作製方法について説明する。これまで、ナノシリコン層の作製については、いくつかの方法が提案されている。最も一般的な方法としては、陽極酸化または化学エッチングを利用した方法がある。この方法では、ＣＶＤ法や電子ビーム蒸着法などにより低温でａ－Ｓｉを堆積する。その後、この膜を低温でアニールして結晶化を行う。このように

SAMSUNG EX. 1002 - 320/2862

して作製したシリコン多結晶膜は、陽極酸化あるいは適当な腐食液を用いてエッチングを行なうことにより多孔質化する。このようにして得られる多孔質シリコンは、図１で示したナノシリコン層と類似の構造をとることがわかっている。この方法では厚いナノシリコン層を作製することは容易だが、均一なナノ結晶を得ることができず、また、精密な構造制御も難しい。

【００３２】上記問題を解決するのが、低圧化学気相法（LPCVD ： Low Pressure ChemicalVapor Deposition）を利用した方法である。この方法では、シリコン膜堆積の初期に原料の供給を止めることで自己組織的にナノ結晶を形成する。この後、非常に低速度で表面を酸化させる。さらに、ナノ結晶堆積、表面酸化を繰り返すことでナノシリコン層を形成する。本方法のメリットは、堆積・酸化条件を調整することで、ナノ結晶サイズ・密度および酸化膜厚の制御を比較的容易に行なうことができることである。さらに、他の方法と比べてナノ結晶の均一性も高い。但し、LPCVD 法では、堆積温度が560 ～600 ℃と高温であるため、低融点ガラス基板上への堆積には多少の困難を伴う。

【００３３】なお、低温でナノシリコン層を作製する方法としては、ａ－Ｓｉを堆積後、シンクロトロン放射光などからの強力なＸ線を照射してナノ結晶を非熱的に形成する方法がある。これにより、ナノシリコン層作製の低温化、選択的作製ができる。

【００３４】図３（ａ）にナノシリコン層を用いた光電変換膜の具体的構造例を示す。まず、高濃度ドープｎ型ｃ－Ｓｉ基板（n^+ 層）上に、正孔阻止層としてｎ型不純物を添加したワイドバンドギャップのシリコンカーバイト（ａ－ＳｉＣ$_z$ ：Ｏ）、またはシリコンオキシナトライド（ＳｉＯ$_X$ Ｎ$_Y$ ）またはＳｉＯ$_2$ を作製する。次に、光吸収・信号電荷増倍層として無添加のナノシリコン層を作製する。さらにその上に、電子阻止層としてｐ型不純物を添加したワイドギャップａ－ＳｉＣ$_z$ ：Ｏ（組成比ｚはバンドギャップが２．５ｅＶ程度になるように調節）を堆積する。最後に透明電極としてＩＴＯ（酸化インジウム・錫）膜を堆積する。

【００３５】またガラス基板上に光電変換膜を作製する場合は、図３（ｂ）のごとくまず、熱的に安定な石英ガラス基板上に高融点金属で半透明電極を作製し、その上に電子阻止層としてｐ型の不純物を添加したａ－ＳｉＣ$_z$ ：Ｏを堆積する。次に、ｉ層として無添加のナノシリコン層を作製する。さらに、正孔阻止層としてｎ型不純物を添加したワイドギャップａ－ＳｉＣ$_z$ ：ＯまたはＳｉＯ$_X$ Ｎ$_Y$ またはＳｉＯ$_2$ を作製する。さらに、ｎ層としてｎ型ａ－Ｓｉ：Ｈを作製する。最後に、Ａｌ電極を設ける。

【００３６】上記構造では、熱的に安定な基板を使用しているのでＬＰ－ＣＶＤ法によりナノシリコン層を作製することができる。ナノシリコン層の作製は次の手順で行う。まず、ｎ型ｃ－Ｓｉ基板あるいはｐ型ａ－ＳｉＣ$_z$ ：Ｏを表面酸化後、ＬＰ－ＣＶＤ法により自己組織的にＳｉナノ結晶を形成する。ナノ結晶粒のサイズは堆積基板温度、堆積時間、原料ガスの圧力で制御する。次に、ナノ結晶表面を酸素雰囲気中で酸化しＳｉＯ$_2$ を作製する。ＳｉＯ$_2$ の膜厚は酸化温度と時間により制御する。さらに、その上に２層目のナノ結晶を堆積し表面酸化する。このプロセスを繰り返すことで、光吸収・電気増倍層として必要な厚さのナノシリコン層を作製する。

【００３７】熱的に不安定な基板上にナノシリコン層を作製する場合には、まず、ＣＶＤ法や電子ビーム蒸着法によりａ－Ｓｉを堆積する。その後、堆積膜を電気炉による低温アニールやレーザー照射などにより固相成長をおこない結晶化する。この結晶膜を陽極酸化、あるいは適当な腐食液を用いてエッチングしてナノシリコン層とする。

【００３８】図４に光導電膜のエネルギバンド構造例（（ａ）はバイアスなし、（ｂ）はバイアスあり）を示す。ｐ層は電極からの電子を、ｎ層は正孔をブロッキングする働きを持つ。この構造では、ｐ層およびｎ層として、それぞれの不純物を添加したナノシリコン層を用いても良い。また、ｃ－Ｓｉ基板で光吸収が起こると正孔が発生し、これがナノシリコン層内で増倍されるため、分光感度がナノシリコン層で決まらないという問題が生じる。そこで、本構造では、この光励起正孔をブロッキングする目的でワイドギャップのａ－ＳｉＣ$_z$ ：Ｏ（ｎ型）をｃ－Ｓｉ基板とナノシリコン層との間に挿入している。また、可視光領域で感度を持つためには、ナノ結晶の光学的バンドギャップはアモルファスシリコンと同じ１．７ｅＶ程度、その結晶サイズは１０nm以下が望ましい。

【００３９】次に、ナノ結晶中の増倍率を考える。ｃ－Ｓｉとナノ結晶の衝撃イオン化率は同じと仮定（実際にはナノ結晶のバンドギャップはｃ－Ｓｉのそれよりも大きいので衝撃イオン化率は若干小さくなる）すると、ナノ結晶での電子の衝撃イオン化率（α_n ）と電界（Ｅ）との関係は、

$\alpha_n = 3.8 \times 10^6 \exp(-1.75 \times 10^6 / E)$

で与えられる。また、イオン化衝突距離（L_{ion} ）は衝撃イオン化率の逆数で与えられる。

$L_{ion} = 1/\alpha_n$

ナノ結晶１個で１回以上の電荷増倍を起こすためには、L_{ion} がナノ結晶のサイズ（d_{si}）以下になれば良い。

【００４０】例えば、１０nmのナノ結晶の場合では、１．３×10^6 Ｖ／cm以上の電界でナノ結晶中において１回以上の増倍が起こる。ＳｉＯ$_2$ の比誘電率はｃ－Ｓｉの約１／３なので、この場合、ＳｉＯ$_2$ には約３倍の電界が加わることになるが、その値は十分に絶縁破壊電界以下である。また、ナノシリコン層の積層数をｎ。層とすると、イオン化衝突回数（N_{ion} ）は、

SAMSUNG EX. 1002 - 321/2862

$N_{ion} = n_0 \times d_{si} / L_{ion}$

となる。したがって、ナノシリコン層の積層数あるいは電界を増やせば、増倍率は向上する。実際には、ナノ結晶間の酸化膜で電子はトンネル効果で減衰するので、N_{ion} はもう少し小さな値となる。

【００４１】図３の構造では、ナノシリコン層で光電変換および電荷増倍を行っているが、ａ－Ｓｉ：Ｈ層とナノシリコン層の積層構造（図５）も考えられる。この場合、光電変換は可視光領域において高い光電変換効率を持つａ－Ｓｉ：Ｈ層で行い、電荷増倍は高い衝撃イオン化率が期待できるナノシリコン層で行う。この構造では、ナノシリコン層の積層数を減らすことができるため作製しやすい。

【００４２】図４ではナノ結晶サイズを一定にしたが、結晶サイズを可変させることで、段階的に傾斜したエネルギバンド構造をもつ信号電荷増倍層（図６）を作製することができる。この構造では、光入射側よりナノ結晶のサイズを順次小さくして（約１０nm→６nm→３nm→１nm）バンドギャップを傾斜的に大きくした後、再びナノ結晶を大きくしてバンドギャップを小さくすることにより、隣接するナノ結晶間の伝導帯端エネルギに大きなオフセットを形成する。走行してきた電子は、バンドギャップが急に小さくなる個所で伝導帯オフセットに相当する付加的なエネルギを獲得することができる。この付加的なエネルギのためにオフセット部での衝撃イオン化確率が向上する。また、増倍個所がある程度決まることから面内での増倍回数のばらつきが減り、増倍に起因するノイズを減少させることができる。

【００４３】図７は膜厚方向で吸収波長の異なる領域を有する光電変換膜の構造例（ａ）とエネルギバンド構造例（ｂ）を示している。光入射側から深部に向かって順にバンドギャップを小さくする。例えば、ｐ層の下に青色に感度を持つバンドギャップのナノシリコン層を作製しておく。その下に緑色に感度をもつバンドギャップのナノシリコン層を、さらにその下に赤色に感度を持つバンドギャップのナノシリコン層を堆積しておく。この構造では、光の青色成分は最初のナノシリコン層で吸収されるが、緑色成分は最初のナノシリコン層を透過して第２のナノシリコン層で吸収され、赤色成分は第１、第２の層を透過して第３の層で吸収される。この構造では、可視光領域全域において良好な光電変換特性を得ることができる他、それぞれの層の信号を個別に取り出すことができれば、１素子でカラーフィルタを使わずに赤、緑、青の三原色の撮像が可能になる。

【００４４】一般的に、バンドギャツプ（格子定数）のことなる半導体結晶を基板にエピタキシャル成長させたり、あるいは空間的に隣接して作製するのは、格子定数差に基づく歪みにより困難である。しかし、ナノシリコン層の堆積はエピタキシャル成長ではないので格子整合の制限が無く、さらにはほぼ完全なナノ結晶ができるメリットがある。

【００４５】図８は基板面内で吸収波長の異なる領域を有する光電変換膜の構造例を示している。本構造の作製は、例えば次のような方法で行う。ＬＰ－ＣＶＤでナノ結晶を作製する場合、下地酸化膜の表面終端状態を変えることでナノ結晶のサイズ・密度を変化させることができることが知られている。そこでまず、図９のようにナノ結晶作製前にＡＦＭ（Ａtomic Ｆorce Ｍicroscope）カンチレバー８などの極めて微小な針を基板表面に近づけて電圧を加える。すると電圧を加えた部分の表面終端状態を変化させるため、結晶核を形成するサイトが増加する。結晶核形成サイトの増加の割合は印加電圧やカンチレバーの走査速度によって制御できる。次に、この上にＬＰ－ＣＶＤでナノ結晶を作製すると、核形成サイトが増加した表面ではナノ結晶の密度が増加するのと同時に結晶サイズは減少する。したがって、画素内の表面処理条件を制御しながらナノ結晶を積層すれば、面内で結晶サイズの異なるナノシリコン層を作製できる。

【００４６】また、図８の構造はフォトリソグラフィ技術を用いて空間的に選択的な陽極酸化などナノシリコン層とするための処理を施して作製してもよい。以上いくつかの実施例により本願発明を詳細に説明してきたが、本願発明はこれらに限定されることなく、特許請求の範囲に規定された発明の要旨内で各種の変形、変更の可能なこと自明であろう。

【００４７】

【発明の効果】以上述べてきたように、本発明ナノリシコン層を含む光電変換膜は、非晶質材料からなる光電変換膜と同等の高解像度特性、一様性、また下地基板に対する堆積の容易性を有しながら、結晶材料と同等の熱的安定性、キャリア動特性、アバランシェ増倍の可能性を併せ持ち、さらに、吸収波長を膜厚方向にも基板面内方向にも調節できる利点がある。またさらに、バンドギャップを大きく変えるために、シリコンナノ結晶に類似したゲルマニウムやシリコンゲルマニウムやＳｉＣなどその他の半導体のナノ結晶を用いることも可能である。

【００４８】（参考文献）

（１）K. Shiba, et al., Jpn J. Appl. Phys., Vol. 36 (1977), pp. L1279 －L1282

（２）S. A. Ding他、, 第４５回応用物理学関係連合講演会予稿集, No. ２, pp. 801 29p －Ｈ－13

（３）S. A. Ding, et al., Appl. Phys. Lett., Vol. 73 (1998), pp. 3881 －3883

【図面の簡単な説明】

【図１】　本発明光電変換膜の基本構造をなす、絶縁膜付きシリコンナノ結晶を集積化したナノシリコン層の構造例を示す図。

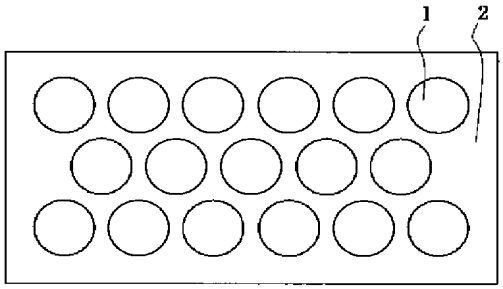
【図２】　ナノシリコン層のエネルギバンド構造と電荷増倍の原理を説明するための図。

【図３】　ナノシリコン層を含む光電変換膜の構造例を

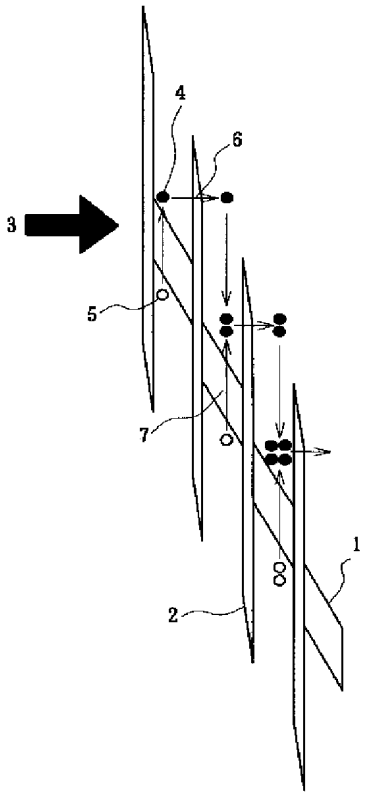
SAMSUNG EX. 1002 - 322/2862

示し、（ａ）はｃ－Ｓｉ基板、（ｂ）はガラス基板の例を示す図。
【図４】　ナノシリコン層を含む光電変換膜のエネルギバンド構造例を示し、（ａ）はバイアスなし、（ｂ）はバイアスありの時の例を示す図（ｃ－Ｓｉ基板上）。
【図５】　ａ－Ｓｉ：Ｈ／ナノシリコン層を含む光電変換膜の構造例を示す図。
【図６】　膜厚方向に傾斜したエネルギバンド構造を有するナノシリコン層の例を示す図。
【図７】　膜厚方向で吸収波長の異なる領域を有する光電変換膜の構造例（ａ）とその時のナノシリコン層のエネルギバンド構造例（ｂ）を示す図。
【図８】　面内で吸収波長の異なる領域を有する光電変換膜の構造例を示す図。
【図９】　ナノ結晶の大きさ、密度制御の方法例を説明するための図。
【符号の説明】
１　ナノ結晶
２　薄い絶縁膜
３　光
４　光励起電子
５　光励起正孔
６　電子のトンネル走行
７　衝撃イオン化
８　ＡＦＭカンチレバー
ｃ－Ｓｉ　結晶シリコン
Ａｌ　アルミニウム
ａ－ＳｉＣ$_z$：Ｏ　非晶質シリコンカーバイト
ａ－Ｓｉ：Ｈ　水素化非晶質シリコン
ＩＴＯ　酸化インジウム・錫

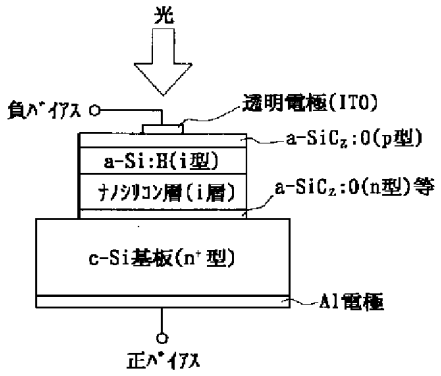
【図１】



【図２】

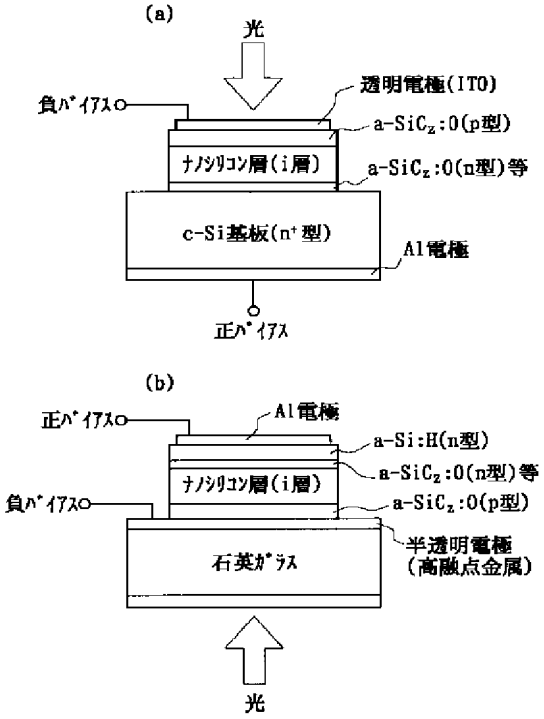


【図５】

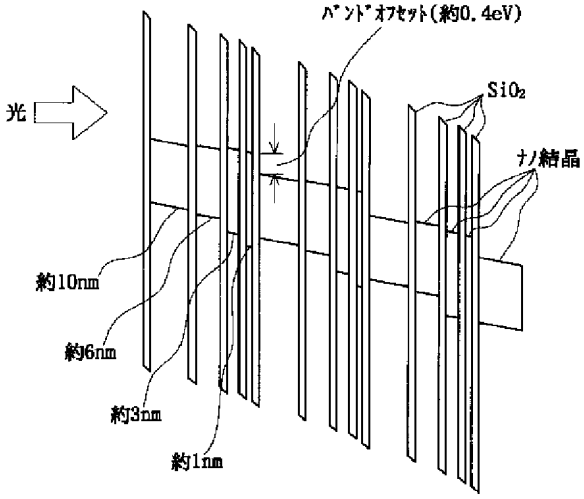


SAMSUNG EX. 1002 - 323/2862

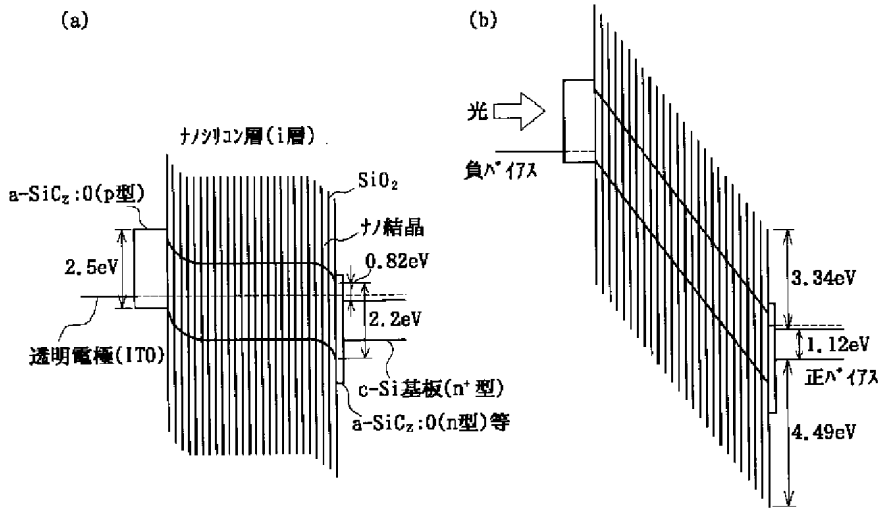
【図３】


(a)
光
負ﾊﾞｲｱｽ
透明電極(ITO)
a-SiCz:O(p型)
ﾅﾉｼﾘｺﾝ層(i層)
a-SiCz:O(n型)等
c-Si基板(n+型)
Al電極
正ﾊﾞｲｱｽ
(b)
正ﾊﾞｲｱｽ
Al電極
a-Si:H(n型)
a-SiCz:O(n型)等
ﾅﾉｼﾘｺﾝ層(i層)
負ﾊﾞｲｱｽ
a-SiCz:O(p型)
石英ｶﾞﾗｽ
半透明電極
(高融点金属)
光

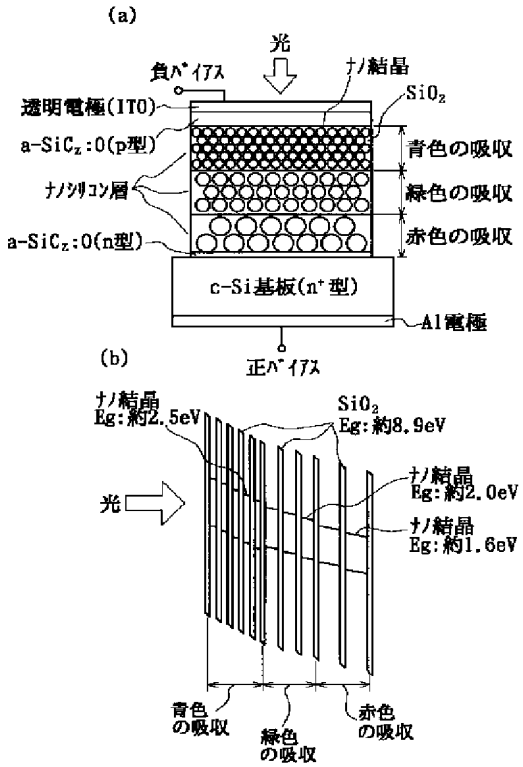
【図６】


ﾊﾞﾝﾄﾞｵﾌｾｯﾄ(約0.4eV)
光
SiO2
ﾅﾉ結晶
約10nm
約6nm
約3nm
約1nm

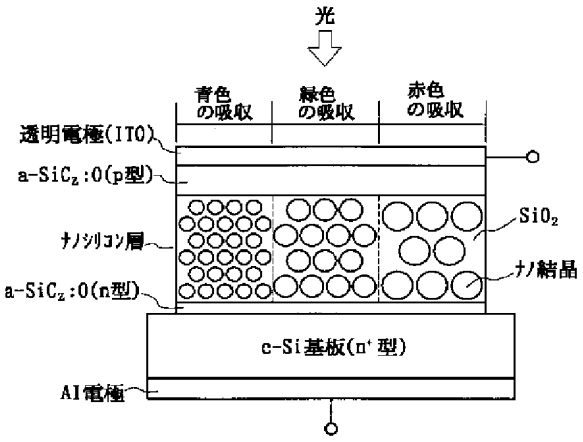
【図４】


(a)
ﾅﾉｼﾘｺﾝ層(i層)
a-SiCz:O(p型)
SiO2
ﾅﾉ結晶
2.5eV
0.82eV
2.2eV
透明電極(ITO)
c-Si基板(n+型)
a-SiCz:O(n型)等
(b)
光
負ﾊﾞｲｱｽ
3.34eV
1.12eV
正ﾊﾞｲｱｽ
4.49eV

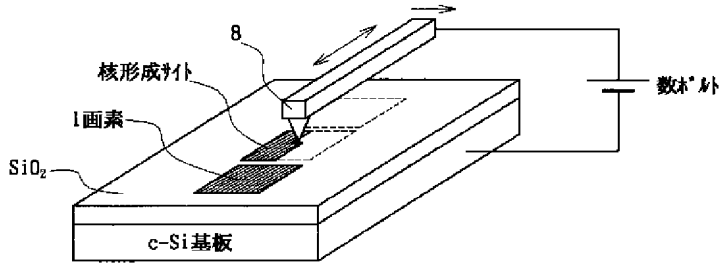
【図７】



【図８】



【図９】



フロントページの続き

(72)発明者　斎藤　信雄
東京都世田谷区砧１丁目10番11号　日本放送協会　放送技術研究所内
(72)発明者　廣瀬　全孝
広島県広島市中区白島九軒町24－３－504
(72)発明者　宮▲崎▼誠一
広島県広島市中区住吉町15－３－902

Ｆターム(参考)　4M118 AA01 AA05 AB01 BA05 BA10
BA14 CA05 CA15 CB05 CB06
CB14 EA01
5F049 MA02 MA07 MB05 NB05 PA04
PA05 PA14 QA01 QA07 QA11
SS03 WA03 WA09

SAMSUNG EX. 1002 - 325/2862

Espacenet

Bibliographic data: JP2001189478 (A) — 2001-07-10

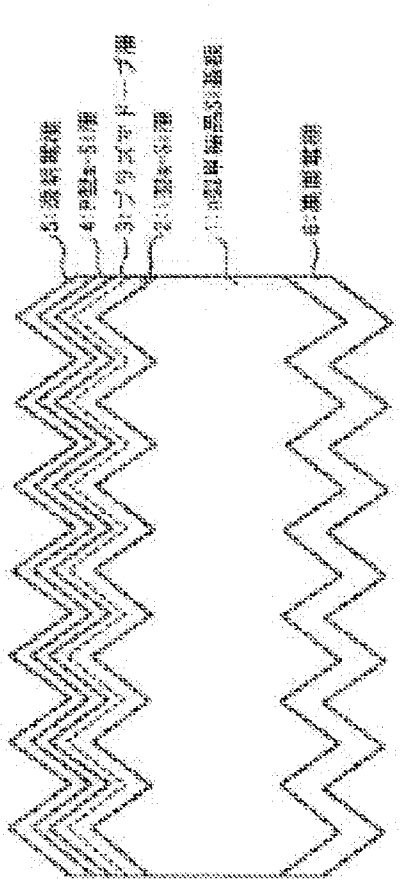
SEMICONDUCTOR ELEMENT AND MANUFACTURING METHOD THEREFOR

Inventor(s):	SAKATA HITOSHI; KADONAGA YASUO ±	
Applicant(s):	SANYO ELECTRIC CO ±	
Classification:	**- international:**	***G02F1/136; G02F1/1368; H01L21/205; H01L21/336; H01L29/786; H01L31/0236; H01L31/04; H01L31/072; H01L31/20;*** (IPC1-7): G02F1/1368; H01L21/205; H01L21/336; H01L29/786; H01L31/04
	- European:	H01L31/0236; H01L31/0745; H01L31/20B; H01L31/20B2; Y02E10/50
Application number:	JP19990372418 19991228	
Priority number(s):	JP19990372418 19991228	
Also published as:	EP1113505 (A2) EP1113505 (A3) US2001008295 (A1) US6670542 (B2)	

Abstract of JP2001189478 (A)

PROBLEM TO BE SOLVED: To provide a highly efficient semiconductor element by eliminating damages due to plasma and appropriately maintaining the interface characteristics between an amorphous semiconductor layer and a transparent electrode. SOLUTION: This method includes a process for forming an i-type amorphous semiconductor layer 2, that does not practically contain impurities for reducing electrical resistance on the surface of an n-type single-crystal substrate 1, a process for forming a plasma-doping layer 3 by exposing the n-type single-crystal substrate 1, where the amorphous semiconductor layer 2 is formed to an atmosphere where gas containing a p-type impurity is excited and diffusing the impurity to the amorphous semiconductor layer 2, a process for forming a p-type amorphous semiconductor layer thin film 4 containing the p-type impurity on the plasma-doping layer 3 by chemical vapor growth method, and a process for forming a transparent electrode 5 on the p-type amorphous semiconductor thin film 4.

SAMSUNG EX. 1002 - 326/2862



(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号
特開2001－189478
（P2001－189478A）
(43)公開日　平成13年７月10日(2001.7.10)

(51)Int.Cl.⁷	識別記号	ＦＩ		テーマコード（参考）
Ｈ０１Ｌ　31/04		Ｈ０１Ｌ　21/205		２Ｈ０９２
Ｇ０２Ｆ　1/1368		31/04	Ｖ	５Ｆ０４５
Ｈ０１Ｌ　21/205		Ｃ０２Ｆ　1/136	５００	５Ｆ０５１
29/786		Ｈ０１Ｌ　29/78	６１６Ｕ	５Ｆ１１０
21/336			６１６Ｌ	

審査請求　未請求　請求項の数６　ＯＬ　（全７頁）

(21)出願番号　特願平11－372418

(22)出願日　平成11年12月28日(1999.12.28)

(71)出願人　000001889
三洋電機株式会社
大阪府守口市京阪本通２丁目５番５号

(72)発明者　坂田　仁
大阪府守口市京阪本通２丁目５番５号　三洋電機株式会社内

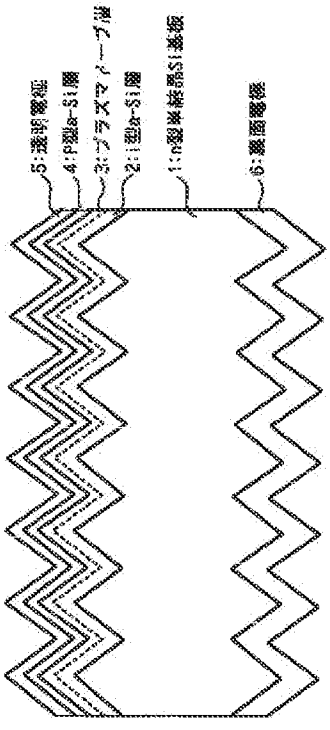
(72)発明者　門永　泰男
大阪府守口市京阪本通２丁目５番５号　三洋電機株式会社内

(74)代理人　100085213
弁理士　鳥居　洋

最終頁に続く

(54)【発明の名称】　半導体素子及びその製造方法

(57)【要約】
【課題】　この発明は、プラズマによるダメージを解消し、非晶質半導体層と透明電極との界面特性を良好に保ち、高効率な半導体素子を提供することを課題とする。
【解決手段】　ｎ型単結晶基板１表面に電気抵抗を低下させる不純物を実質的に含まないｉ型非晶質半導体層２を形成する工程と、ｐ型不純物を含むガスを励起した雰囲気に、前記非晶質半導体層２が形成されたｎ型単結晶基板１を曝して前記不純物を前記非晶質半導体層２に拡散させてプラズマドーピング層３を形成する工程と、前記プラズマドーピング層３上に、化学的気相成長法により前記ｐ型不純物を含むｐ型非晶質半導体層薄膜４を形成する工程と、このｐ型非晶質半導体薄膜４上に透明電極５を形成する工程と、を有する。



SAMSUNG EX. 1002 - 328/2862

【特許請求の範囲】

【請求項１】　一導電型結晶系半導体基板と、この結晶系半導体基板上に形成された電気抵抗を低下させる不純物を実質的に含まない非晶質半導体層と、他導電型の不純物を含むガスを励起した雰囲気に前記非晶質半導体層を形成した前記結晶系半導体基板を曝すことにより形成された他導電型非晶質半導体層と、前記他導電型非晶質半導体層上に化学的気相成長法により形成された他導電型非晶質半導体層薄膜と、を有することを特徴とする半導体素子。

【請求項２】　結晶系半導体基板を有する半導体素子の製造方法において、前記結晶系半導体基板表面に電気抵抗を低下させる不純物を実質的に含まない非晶質半導体層を形成する工程と、電気抵抗を低下させる不純物を含むガスを励起した雰囲気に、前記非晶質半導体層が形成された前記結晶系半導体基板を曝して前記不純物を前記非晶質半導体層に拡散させる工程と、前記電気抵抗を低下させた非晶質半導体層上に、化学的気相成長法により前記電気抵抗を低下させる不純物を含む非晶質半導体層薄膜を形成する工程と、を有することを特徴とする半導体素子の製造方法。

【請求項３】　前記結晶系半導体基板表面に電気抵抗を低下させる不純物を実質的に含まない非晶質半導体層が水素化非晶質シリコンカーバイトであり、前記電気抵抗を低下させる不純物を含むガスを励起した雰囲気に、前記電気抵抗を低下させる不純物を実質的に含まない水素化非晶質シリコンカーバイト層が形成された前記結晶系半導体基板を曝して、前記不純物を前記水素化非晶質シリコンカーバイト層に拡散させる工程において、前記ガス中に炭素を含むガスを混合することを特徴とする請求項２に記載の半導体素子の製造方法。

【請求項４】　前記電気抵抗を低下させる不純物を含む非晶質半導体層薄膜は、１０ないし５０Åの範囲の薄膜であることを特徴とする請求項２に記載の半導体素子の製造方法。

【請求項５】　前記電気抵抗を低下させる不純物を含む水素化非晶質シリコンカーバイド薄膜は、２０ないし１００Åの範囲の薄膜であることを特徴とする請求項３に記載の半導体素子の製造方法。

【請求項６】　前記電気抵抗を低下させる不純物を実質的に含まない非晶質半導体層を形成する反応室と、前記電気抵抗を低下させる不純物を含む非晶質半導体層薄膜を形成する反応室とを独立させ、前記電気抵抗を低下させる不純物を含むガスを励起した雰囲気に、前記非晶質半導体層が形成された前記結晶系半導体基板を曝して、前記不純物を前記非晶質半導体層に拡散させる工程を、前記電気抵抗を低下させる不純物を含む非晶質半導体層薄膜を形成するための反応室において行うことを特徴とする請求項２ないし５のいずれかに記載の半導体素子の製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】この発明は、光入射により光起電力を発生する光起電力素子や、液晶ディスプレイなどに用いる薄膜トランジスタなどのヘテロ接合を有する半導体素子及びその製造方法に関する。

【０００２】

【従来の技術】一般に、光起電力素子は、光を吸収し電流に主に変換する部分の半導体の種類により、単結晶系、多結晶系、非晶質系に分類されるが、単結晶シリコンまたは多結晶シリコン等の結晶系半導体からなる結晶系基板を基板として用い、その基板上に非晶質シリコン半導体層を形成し、結晶系基板と非晶質シリコン半導体層との間に、半導体接合を形成する光起電力素子の研究が進んでおり、例えば、特開平４－１３０６７１号公報にその種の光起電力素子が示されている。この光起電力素子は、互いに逆の導電型を有する結晶系半導体と非晶質半導体とを組み合わせて半導体接合を形成する際に、接合界面に膜厚が数Å以上２５０Å以下であるｉ型の非晶質半導体層を介在せしめることにより界面特性を向上させ、光電変換特性の向上を図るものである。

【０００３】ところで、光電変換特性に優れた、例えば単結晶シリコンを用いた結晶系の光起電力素子においては、単結晶シリコンの表面を凹凸化することにより、反射を低減し、かつ、入射した光を散乱させ半導体層中での光路長を長くすることで光の有効利用を図っている。しかしながら、上述した特開平４－１３０６７１号公報に記載されている結晶系半導体と非晶質半導体との接合界面にｉ型の非晶質半導体層を介在させた構造の光起電力素子においては、結晶系半導体の凹凸表面上に均一にｉ型非晶質半導体を薄く形成することが困難であった。すなわち、ｉ型の非晶質半導体層が数Å以上２５０Å以下と極めて薄膜であり、通常のプラズマＣＶＤ（化学気相成長）法では、結晶系半導体の凸部にその非晶質半導体層が形成され難く、全面に均一な薄膜を形成することが困難であった。このため、高い開放電圧を得るためにｉ型非晶質半導体層を必要以上に厚く形成する必要があり、発電層である結晶系半導体に到達する光が減少していた。

【０００４】上記した問題点を解決する方法が特開平１１－１１２０１１号公報に提案されている。この方法は、一導電型結晶系半導体上に所定の膜厚のｉ型非晶質半導体層を形成し、その後、他導電型の不純物を含むプラズマ中に曝して表面部分に不純物層を形成することにより、結晶系半導体と非晶質半導体との接合界面に薄膜のｉ型の非晶質半導体層を介在させるように構成し、高い変換効率を得るものである。

【０００５】

【発明が解決しようとする課題】上述した特開平１１－１１２０１１号公報に記載された方法においては、光学

SAMSUNG EX. 1002 - 329/2862

的ロスや膜厚不均一による開放電圧の低下は回避できるものの、非晶質半導体表面をプラズマに曝すために、非晶質半導体層表面にダメージが残り、この半導体層表面に形成される透明導電膜との界面特性が劣化し、F．F．（曲線因子）の低下が発生するという問題があった。

【0006】この発明は、上述した従来の問題点を解決するためになされたものにして、プラズマによるダメージを解消し、非晶質半導体層と電極との界面特性を良好に保ち、高効率な半導体素子を提供することを課題とする。

【0007】

【課題を解決するための手段】この発明の半導体素子は、一導電型結晶系半導体基板と、この結晶系半導体基板上に形成された電気抵抗を低下させる不純物を実質的に含まない非晶質半導体層と、他導電型の不純物を含むガスを励起した雰囲気に前記非晶質半導体層を形成した前記結晶系半導体基板を曝すことにより形成された他導電型非晶質半導体層と、前記他導電型非晶質半導体層上に化学的気相成長法により形成された他導電型非晶質半導体層薄膜と、を有する。

【0008】また、この発明の半導体素子の製造方法は、結晶系半導体基板表面に電気抵抗を低下させる不純物を実質的に含まない非晶質半導体層を形成する工程と、電気抵抗を低下させる不純物を含むガスを励起した雰囲気に、前記非晶質半導体層が形成された前記結晶系半導体基板を曝して前記不純物を前記非晶質半導体層に拡散させる工程と、前記電気抵抗を低下させた非晶質半導体層上に、化学的気相成長法により前記電気抵抗を低下させる不純物を含む非晶質半導体層薄膜を形成する工程と、を有することを特徴とする。

【0009】また、この発明は前記結晶系半導体基板表面に電気抵抗を低下させる不純物を実質的に含まない非晶質半導体層が水素化非晶質シリコンカーバイトであり、前記電気抵抗を低下させる不純物を含むガスを励起した雰囲気に、前記電気抵抗を低下させる不純物を実質的に含まない水素化非晶質シリコンカーバイト層が形成された前記結晶系半導体基板を曝して、前記不純物を前記水素化非晶質シリコンカーバイト層に拡散させる工程において、前記ガス中に炭素を含むガスを混合するように構成することができる。

【0010】前記電気抵抗を低下させる不純物を含む非晶質半導体層薄膜は、10ないし50Åの範囲の薄膜に構成すればよい。

【0011】また、前記電気抵抗を低下させる不純物を含む水素化非晶質シリコンカーバイド薄膜は、20ないし100Åの範囲の薄膜に構成すればよい。

【0012】また、この発明は、前記電気抵抗を低下させる不純物を実質的に含まない非晶質半導体層を形成する反応室と、前記電気抵抗を低下させる不純物を含む非晶質半導体層薄膜を形成する反応室とを独立させ、前記電気抵抗を低下させる不純物を含むガスを励起した雰囲気に、前記非晶質半導体層が形成された前記結晶系半導体基板を曝して、前記不純物を前記非晶質半導体層に拡散させる工程を、前記電気抵抗を低下させる不純物を含む非晶質半導体層薄膜を形成するための反応室において行うように構成すればよい。

【0013】上記したように、この発明は、一導電型結晶系基板に、不純物を含まないi型の非晶質半導体層、プラズマにより不純物を前記i型の非晶質導体層に拡散させた他導電型半導体層、及び不純物をプラズマ拡散させた非晶質半導体層上に堆積させた電気抵抗を低下させる不純物を含む導電層を極薄膜状に形成する工程を用いる。これにより、表面が凹凸化された結晶系基板を用いる場合でも、簡単な工程において、所望の膜厚を有する薄膜のi型の非晶質半導体層を均一に形成でき、かつ、非晶質半導体層の最表面にプラズマによるダメージの少ない良質の界面を形成することができる。

【0014】

【発明の実施の形態】以下、この発明の実施の形態を図面を参照して具体的に説明する。

【0015】（第1の実施の形態）図1は、この発明の第1の実施の形態による光起電力装置の構成を示す断面図である。図1において、1は、n型の単結晶シリコン（Si）基板（抵抗率：5Ωcm以下、厚さ：300μm）である。この単結晶シリコン基板1の表面はアルカリエッチング等の方法により表面が凹凸化されている。凹凸化された単結晶シリコン基板1の受光面には、i型の水素化非晶質シリコン（a-Si）半導体層2（厚さ：数Å～500Å、好ましくは数Å～250Å）、i型の水素化非晶質シリコン半導体層2の表面部を電気抵抗を低下させる不純物を含むプラズマに曝すことにより、低抵抗化させたp型の水素化非晶質シリコン半導体層（プラズマドープ層）3（厚さ：数Å～300Å、好ましくは数Å～200Å）、プラズマCVD法により形成されたp型の水素化非晶質シリコン（a-Si）半導体層4（厚さ：数Å～300Å、好ましくは数Å～150Å）、例えばITO（Indium Tin Oxide）の透光性導電膜からなる透明電極5（厚さ：600Å～1500Å、好ましくは700Å～1200Å）がその順に積層形成されている。更に、透明電極5上には、図示はしていないが、例えば、Agからなる櫛形状の集電極（幅200μm以下、10μm以上）が形成されている。また、単結晶シリコン基板1の背面には、例えば、Alからなる裏面電極6（厚さ：2μm以下）が形成されている。

【0016】次に、図1に示す構成の光起電力装置の製造方法について説明する。まず、アルカリエッチング等の方法により表面に凹凸が形成されたn型の単結晶シリコン基板1を洗浄した後、水素プラズマに曝して表面を

SAMSUNG EX. 1002 - 330/2862

クリーニングする。次いで、SiH_4ガスを用いたプラズマCVD法により、単結晶シリコン基板1の凹凸化された受光面に、i型の水素化非晶質シリコン半導体層2を約100Åの膜厚で形成する。

【0017】この水素化非晶質シリコン半導体層2が形成された単結晶シリコン基板1を、H_2で希釈されたB_2H_6ガスのプラズマ中に曝す。すると、i型の水素化非晶質シリコン半導体層2の表面からある深さまで電気的抵抗を小さくする不純物であるボロン原子が混入し、i型の水素化非晶質シリコン半導体層2及びp型の水素化非晶質シリコン半導体層3の積層構造が形成される。このとき、非晶質シリコン半導体層3表面は、プラズマによりダメージ層が形成される。

【0018】次に、プラズマダメージを含むp型の水素化非晶質シリコン半導体層3の表面に、透明導電膜との界面特性を向上させるために、SiH_4、B_2H_6とH_2とを含むガスによるプラズマCVD法により、第2のp型の水素化非晶質シリコン半導体層4を約20Å形成する。この際、n型の単結晶シリコン基板1とボロン原子の混入で形成されるp型の水素化非晶質シリコン半導体層3との界面では、その界面特性を良好に維持するために、i型の水素化非晶質シリコン半導体層2をボロンを含まない状態に維持する必要がある。また、第2のp型の非晶質シリコン半導体層4は極薄膜を凹凸表面に均一に形成する必要がある。このような条件を表1に示す。かかる条件によれば、i型の水素化非晶質シリコン半導体層の表面から約50Åの深さまでボロン原子を混入させてp型の水素化非晶質シリコン半導体層とすることができ、単結晶シリコン基板1と水素化非晶質シリコン半導体層が接する部分をi型のまま約50Å維持することができる。また、極薄膜の第2のp型の水素化非晶質シリコン半導体層を凹凸表面に均一に形成することができる。

【0019】

【表1】

	基板温度 (℃)	ガス流量 (sccm)	圧力 (Torr)	RFパワー (mW/cm^2)	処理時間 (min)
i型 a-Si 層	150	SiH_4 : 10	0.2	30	
プラズマドープ層	150	B_2H_6 :1.0 H_2 :99	0.2	50～100	2～5
p型 a-Si 層	150	SiH_4 : 10 B_2H_6 :0.1 H_2 :9.9	0.2	30	

【0020】次いで、ITOをターゲットとするスパッタ法により、透光性導電膜としての透明電極5を水素化非晶質シリコン半導体層4上に形成する。メタルマスクを用いたAgの蒸着により、櫛形の集電極を透明電極5上にパターン形成する。最後に単結晶シリコン基板1の裏面に、Alからなる裏面電極6を蒸着により形成する。

【0021】なお、i型水素化非晶質シリコン半導体層2を形成する反応室と、p型水素化非晶質シリコン半導体層薄膜4を形成する反応室とを独立させて形成する工程をとる場合には、プラズマドーピングを行う工程をp型水素化非晶質シリコン半導体層薄膜4を形成する反応室で行えばよい。

【0022】上記した実施の形態では、表面が凹凸化された結晶系シリコン基板を用いた場合であっても、最初に比較的厚い膜厚のi型の水素化非晶質シリコン半導体層2を形成し、その後に不純物を混入させて、薄膜のi型の水素化非晶質シリコン半導体層を形成するようにしたので、i型の水素化非晶質シリコン半導体層が形成されないところが無くなる。そして、従来のように透明電極5との界面にプラズマダメージが残った部分が水素化非晶質シリコン半導体層表面上に無くなり、良質な半導体素子を提供することができる。

【0023】（第2の実施形態）上記した第1の実施の形態においては、実質的に電気抵抗を低下させる不純物を含まない非晶質半導体層として、i型の水素化非晶質シリコン半導体層を用いたが、この第2の実施形態では、i型の水素化非晶質シリコン半導体層の替わりに、水素化非晶質シリコンカーバイド（a－SiC）層を用いたものである。水素化非晶質シリコンカーバイドは光学的バンドギャップが広く、炭素（C）を含まない水素化非晶質シリコン半導体層よりも多くの光を単結晶シリコン基板1中に導くことができる。以下の表2にプラズマCVDの条件を示す。なお、他のプロセスは第1の実施形態と同様であるので、ここでは割愛する。

【0024】

【表2】

	基板温度 (℃)	ガス流量 (sccm)	圧力 (Torr)	RFパワー (mW/cm^2)	処理時間 (min)
i型 SiC 層	150	SiH_4 : 10 CH_4 :10	0.2	30	
プラズマドープ層	150	B_2H_6 :1.0 H_2 :99	0.2	50～100	2～5
p型 a-Si 層	150	SiH_4 : 10 B_2H_6 :0.1 H_2 :9.9	0.2	30	

【0025】（第3の実施形態）第3の実施形態は、上記した第1、2の実施形態において、プラズマCVDプ

SAMSUNG EX. 1002 - 331/2862

ロセスにより形成されるp型の水素化非晶質シリコン半導体層4を、水素化非晶質シリコンカーバイド層で構成したものである。水素化非晶質シリコンカーバイド層とすることで、p型非晶質半導体層をワイドバンドギャップ化でき、光の吸収を低下させることができる。その形成条件を以下の表3に示す。

【0026】

【表3】

	基板温度 (℃)	ガス流量 (sccm)	圧力 (Torr)	RFパワー (mW/cm^2)	処理時間 (min)
i型 a-SiC層	150	SiH_4:10(CH_4:10)	0.2	30	
プラズマドープ層	150	B_2H_6:1.0 H_2:99	0.2	50～100	2～5
p型 a-SiC層	150	SiH_4:5 CH_4:5 B_2H_6:0.1 H_2:9.9	0.2	30	

【0027】（第4の実施形態）第4の実施形態は、電気抵抗を低下させる不純物を含むプラズマ中にi型の水素化非晶質シリコンカーバイト層が形成された結晶系半導体基板を曝して不純物をi型の水素化非晶質シリコンカーバイト層に拡散させる工程において、プラズマ中にCH_4を導入したものである。かかる方法によるプラズマドーピングを用いることで、不純物導入によるバンドギャップのナローイングを防ぐことができる。その形成条件を表4に示す。

【0028】

【表4】

	基板温度 (℃)	ガス流量 (sccm)	圧力 (Torr)	RFパワー (mW/cm^2)	処理時間 (min)
i型 a-SiC層	150	SiH_4:10(CH_4:10)	0.2	30	
プラズマドープ層	150	B_2H_6:1.0 H_2:99 CH_4:10	0.2	50～100	2～5
p型 a-SiC層	150	SiH_4:5 (CH_4:5) B_2H_6:0.1 H_2:9.9	0.2	30	

【0029】（第5の実施形態）この第5の実施形態は、p－n接合のみでなく、n型の結晶系半導体基板とn型の水素化非晶質シリコン半導体層とのhigh－low接合にもこの発明を適用したものである。また、この第5の実施形態は、基板の両面から光が入射される両面入射型光起電力装置である。

【0030】この第5の実施形態につき図2に従い説明する。図2に示す構造について、p－n接合形成の形態は、前記した第1から4の実施の形態と同様であるので、ここでは説明を省略し、high－low接合部分につき説明する。

【0031】凹凸加工が施された単結晶シリコン基板1表面を水素プラズマに曝して表面をクリーニングする。次いで、SiH_4ガスを用いたプラズマCVD法により、単結晶シリコン基板1の凹凸化された裏面側受光面に、i型の水素化非晶質シリコン系半導体層7を約200Åの膜厚で形成する。この水素化非晶質シリコン半導体層7が形成された単結晶シリコン基板1をH_2で希釈されたPH_3ガスのプラズマ中に曝す。すると、i型の水素化非晶質シリコン系半導体層7の表面からある深さまで電気的抵抗を小さくする不純物である燐（P）原子が混入し、i型の水素化非晶質シリコン系半導体層7及びn型の水素化非晶質シリコン系半導体層8の積層構造が形成される。次に、プラズマダメージを含むn型の水素化非晶質シリコン系半導体層8の表面に、裏面電極との界面特性を向上させるために、SiH_4、PH_3とH_2とを含むガスによるプラズマCVD法により、第2のn型の水素化非晶質シリコン系半導体層9を約50Å形成する。この際、n型の単結晶シリコン基板1と燐原子の混入で形成されるn型の水素化非晶質シリコン系半導体層8との界面では、その界面特性を良好に維持するために、i型の水素化非晶質シリコン系半導体層7を燐を含まない状態に維持する必要がある。また、第2のn型の水素化非晶質シリコン系半導体層9は極薄膜を凹凸表面に均一に形成する必要がある。このような条件を表5に示す。かかる条件によれば、i型の水素化非晶質シリコン系半導体層の表面から約100Åの深さまでボロン原子を混入させてn型の水素化非晶質シリコン系半導体層とすることができ、単結晶シリコン基板1と水素化非晶質シリコン系半導体層が接する部分をi型のまま約100Å維持することができる。また、極薄膜の第2のn型の水素化非晶質シリコン系半導体層を凹凸表面に均一に形成することができる。

【0032】

【表5】

SAMSUNG EX. 1002 - 332/2862

	基板温度 (℃)	ガス流量 (sccm)	圧力 (Torr)	RFパワー (mW/cm^2)	処理時間 (min)
i型 a-SiC層	150	SiH_4:10(CH_4:10)	0.2	30	
プラズマドープ層	150	PH_3:2 H_2:98 (CH_4:10)	0.2	50～100	2～5
p型 a-SiC層	150	SiH_4:5 (CH_4:5) PH_3:0.2 H_2:9.8	0.2	30	

【００３３】次いで、ＩＴＯをターゲットとするスパッタ法により、透明導電膜としての透明電極５及び１０を水素化非晶質シリコン半導体層４及び９上にそれぞれ形成する。その後、メタルマスクを用いたＡｇの蒸着により、櫛形の集電極を透明電極５及び１０上にパターン形成する。

【００３４】上記した第５の実施形態においては、水素化非晶質シリコン系半導体として、水素化非晶質シリコンカーバイトを用いているが、水素化非晶質シリコンを用いても同様の効果が得られる。

【００３５】上述したこの発明の光起電力装置では、凹凸加工が施された結晶系基板の表面に均一に薄膜の非晶質半導体層が形成でき、かつ非晶質半導体層と透明電極との界面を良好に保つことができる。

【００３６】次に、以上のようにこの発明の方法を用いて作製された光起電力素子と従来のプラズマドーピングにより形成された光起電力素子との光電変換特性を比較した結果を表６に示す。

【００３７】

【表６】

	Voc (V)	Isc (A)	RF	Pmax (W)
第１の実施の形態	0.656	3.69	0.745	1.80
第２の実施の形態	0.665	3.73	0.740	1.84
第３の実施の形態	0.665	3.78	0.735	1.85
第４の実施の形態	0.664	3.83	0.730	1.86
第５の実施の形態	0.689	3.83	0.740	1.95
従来例１	0.655	3.70	0.715	1.73
従来例２	0.682	3.74	0.725	1.85

【００３８】表６よりこの発明の光起電力素子が、従来に比べて光電変換効率が向上していることが分かる。この理由は、プラズマダメージがあるプラズマドーピング層の表面に、良質の電気抵抗を低下させた水素化非晶質半導体層を極薄膜形成したことにより、水素化非晶半導体層と透明電極との界面特性が向上し、主に曲線因子（Ｆ．Ｆ．）が向上したからである。なお、表６に示す従来例１の構造は、裏面に水素化非晶質シリコン半導体層を形成しないＡｌ電極のみの構造である。また、従来例２の構造は、単結晶シリコン基板の裏面側にもｉ型およびｎ型の水素化非晶質シリコン半導体層を形成した構造である。

【００３９】なお、上記の実施形態の中では、裏面電極層をＡｌの単一材料にて形成した例を示している場合でも、裏面電極での光反射率を向上させるために、ＩＴＯ、ＺｎＯ、SiO_2等の膜と反射率が高いＡｇ、Ａｕ等の膜とを、全域又は一部領域で積層する構成も可能である。

【００４０】また、上記実施形態では、ｎ型の単結晶シリコン基板１を使用したが、これに限るものではなく、ｐ型の単結晶シリコン基板を用い、不純物を含む各水素化非晶質シリコン半導体層の導電型を逆にする場合や、多結晶シリコン基板を用いた場合においても、この発明を適用できることはもちろんである。

【００４１】さらに、上記実施形態は、この発明を光起電力装置に適用した場合につき説明したが、液晶ディスプレイなどに用いる薄膜トランジスタなどのヘテロ接合を有する半導体素子にも適用することができる。

【００４２】

【発明の効果】以上説明したように、この発明では、不純物を含むガスをプラズマ分解し、その雰囲気中に不純物を含まない非晶質半導体層を曝し、不純物を拡散させて、不純物を含まない層と不純物を含む層とを非晶質半導体層中に形成し、プラズマダメージを含むプラズマドープ層上に不純物を含む良質な非晶質半導体層を極薄膜状に形成することにより、表面が凹凸化された結晶系シリコン基板についても各水素化非晶質シリコン半導体層を均一に形成でき、且つ、非晶質半導体層と電極との界面特性を良好に保つことができるため、高効率な半導体素子を安価に製造できる。

【図面の簡単な説明】

【図１】この発明の実施の形態による光起電力装置の構成を示す断面図である。

【図２】この発明の異なる実施の形態による光起電力装置の構成を示す断面図である。

【符号の説明】

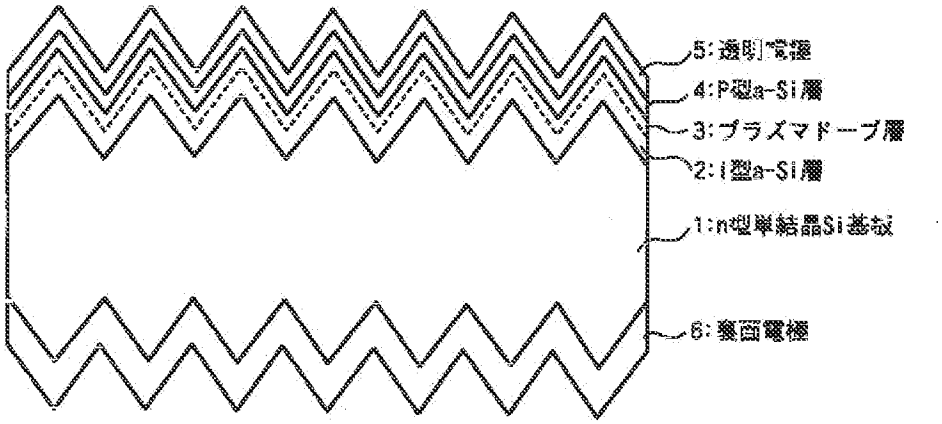
１　ｎ型単結晶シリコン基板１

２　ｉ型水素化非晶質シリコン半導体層

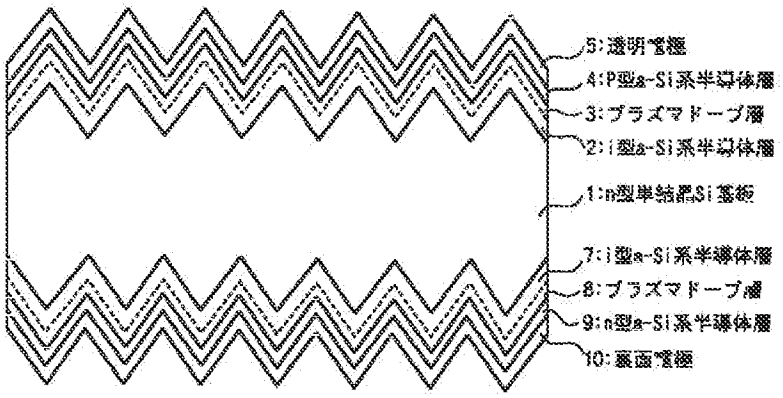
SAMSUNG EX. 1002 - 333/2862

3　p型水素化非晶質シリコン半導体層（プラズマドーピング層）
4　p型水素化非晶質シリコン半導体層
5　透明電極
6　裏面電極

【図１】



【図２】



フロントページの続き

Fターム(参考)　2H092 HA04 JA24 KA03 KA05 KA10
MA07 MA08 MA27 MA37
5F045 AA08 AB04 AB06 AC01 AD05
AE19 AF03 AF12 BB08 BB16
CA13 CA15 DA52 DA66 EB13
HA02 HA20
5F051 AA05 AA16 CA02 CA03 CA05
CA15 DA03 DA04 FA04 FA06
GA04 GA15
5F110 AA30 BB01 GG01 GG02 GG07
GG13 GG15 GG20 GG22 GG25
GG36 GG45 GG55 HK08 HK09
HK16 HK21 HK25 HK35 HK39

SAMSUNG EX. 1002 - 334/2862

Europäisches Patentamt
European Patent Office
Office européen des brevets

Espacenet

Bibliographic data: JP2001339057 (A) — 2001-12-07

METHOD OF MANUFACTURING THREE-DIMENSIONAL IMAGE PROCESSOR

No documents available for this priority number.

Inventor(s): KOYANAGI MITSUMASA; OKANO TAISUKE; MIYAGAWA NOBUAKI ± (KOYANAGI MITSUMASA, ; OKANO TAISUKE, ; MIYAGAWA NOBUAKI)

Applicant(s): KOYANAGI MITSUMASA; FUJI XEROX CO LTD ± (KOYANAGI MITSUMASA, ; FUJI XEROX CO LTD)

Classification: - international: ***G06T1/00; H01L21/3205; H01L21/768; H01L21/8238; H01L23/52; H01L27/00; H01L27/092; H01L27/14; H01L27/146; H01L29/786; H04N5/335; H04N5/369; H04N5/374;*** *H01L31/0232;* (IPC1-7): G06T1/00; H01L21/3205; H01L21/768; H01L21/8238; H01L27/00; H01L27/092; H01L27/14; H01L27/146; H01L29/786; H04N5/335

- cooperative: **H01L27/14609**; **H01L27/14627**; **H01L27/14634**; **H01L27/14683**; H01L31/0232

Application number: JP20000160330 20000530

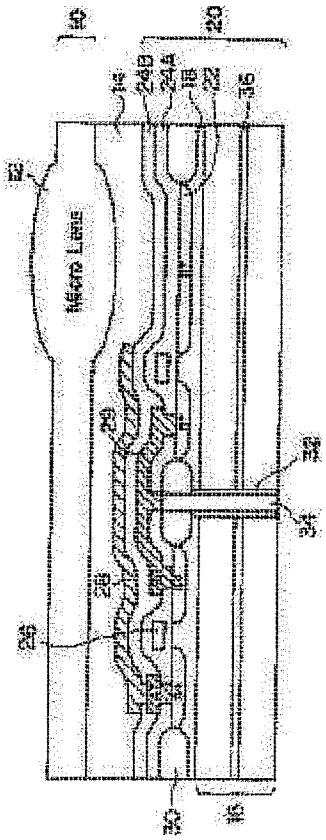
Priority number(s): JP20000160330 20000530

Also published as: JP3713418 (B2)

Abstract of JP2001339057 (A)

SAMSUNG EX: 1002 - 335/2862

PROBLEM TO BE SOLVED: To provide a manufacturing method for a three-dimensional image processor which can sharply simplify the manufacture process due to needlessness of mounting and removal process of a supporting board, can manufacture a three-dimensional image processor by simple and easy process, and can form embedded wiring surrounded by a highly reliable insulating film.; SOLUTION: A transparent substrate 10 made of quartz glass, where many microlenses 12 are made two-dimensionally, is bonded to a photoelectric transfer substrate 20 where a photodiode and a MOS transistor are made on an n-type silicon crystalline substrate 16 wherein an insulating layer 36 consisting of silicon diode is inserted, through an adhesive 14 consisting of high polymer material such as epoxy resin, polyimide resin, or the like, so that the main face of the photoelectric transfer substrate 20 and the rear of the transparent substrate 10 may oppose to each other.



Last updated: 23.09.2013 Worldwide Database 5.8.11.4; 92p

SAMSUNG EX. 1002 - 336/2862

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号
特開2001－339057
（P2001－339057A）
(43)公開日　平成13年12月７日(2001.12.7)

(51)Int.Cl.⁷		識別記号	FI		テーマコード(参考)
Ｈ０１Ｌ	27/146		Ｇ０６Ｔ 1/00	４２０Ａ	４Ｍ１１８
Ｇ０６Ｔ	1/00	４２０	Ｈ０１Ｌ 27/00	３０１Ｂ	５Ｂ０４７
Ｈ０１Ｌ	21/3205		Ｈ０４Ｎ 5/335	Ｕ	５Ｃ０２４
	21/768		Ｈ０１Ｌ 27/14	Ｆ	５Ｆ０３３
	27/00	３０１	21/88	Ｊ	５Ｆ０４８

審査請求　未請求　請求項の数５　ＯＬ　（全 ９ 頁）　最終頁に続く

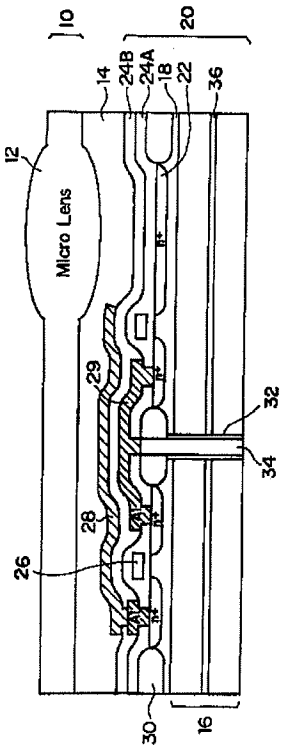
(21)出願番号　特願2000－160330(P2000－160330)
(22)出願日　平成12年５月30日(2000.5.30)

(71)出願人　591272974
小柳　光正
宮城県名取市ゆりが丘１－22－５
(71)出願人　000005496
富士ゼロックス株式会社
東京都港区赤坂二丁目17番22号
(72)発明者　小柳　光正
宮城県名取市ゆりが丘１－22－５
(72)発明者　岡野　泰典
神奈川県足柄上郡中井町境430　グリーンテクなかい　富士ゼロックス株式会社内
(74)代理人　100079049
弁理士　中島　淳　（外３名）

最終頁に続く

(54)【発明の名称】　３次元画像処理装置の製造方法

(57)【要約】
【課題】支持基板の着脱工程が不要で製造工程を大幅に簡略化することができ、簡素かつ容易な工程により３次元画像処理装置を製造することができる３次元画像処理装置の製造方法を提供する。また、信頼性の高い絶縁膜で囲まれた埋め込み配線を形成することができる３次元画像処理装置の製造方法を提供する。
【解決手段】内部に二酸化ケイ素からなる絶縁層３６が挿入されたｎ型シリコン結晶基板１６上に、フォトダイオードとＭＯＳトランジスタとが形成された光電変換基板２０に、多数のマイクロレンズ１２が２次元状に形成された石英ガラス製の透明基板１０を、光電変換基板２０の主面と透明基板１０の裏面とが対向するように、エポキシ樹脂やポリイミド樹脂等の高分子材料からなる接着剤１４を介して接着する。



SAMSUNG EX. 1002 - 337/2862

【特許請求の範囲】
【請求項１】光を集光するレンズを備えた透明基板と、主面に光電変換素子が形成されると共に該光電変換素子に電気的に接続された埋め込み配線が形成された光電変換基板とを、透明基板の裏面と光電変換基板の主面とが対向するように接着して、３次元画像処理装置を製造する３次元画像処理装置の製造方法。
【請求項２】前記光電変換基板の裏面側を研磨して前記埋め込み配線を露出させ、
該光電変換基板の裏面に、主面に増幅器及びアナログ／デジタル変換器が形成されると共に該増幅器及びアナログ／デジタル変換器に電気的に接続された埋め込み配線が形成された増幅変換基板を、該増幅器及びアナログ／デジタル変換器が前記埋め込み配線の露出部に電気的に接続されるように接着して、３次元画像処理装置を製造する請求項１に記載の３次元画像処理装置の製造方法。
【請求項３】前記増幅変換基板の裏面側を研磨して前記埋め込み配線を露出させ、
該増幅変換基板の裏面に、主面にデータ記憶装置が形成されると共に該データ記憶装置に電気的に接続された埋め込み配線が形成されたデータ記憶基板を、該データ記憶装置が前記埋め込み配線の露出部に電気的に接続されるように接着して、３次元画像処理装置を製造する請求項２に記載の３次元画像処理装置の製造方法。
【請求項４】前記データ記憶基板の裏面側を研磨して前記埋め込み配線を露出させ、
該データ記憶基板の裏面に、主面にデータ処理装置が形成されると共に該データ処理装置に電気的に接続された埋め込み配線が形成されたデータ処理基板を、該データ処理装置が前記埋め込み配線の露出部に電気的に接続されるように接着して、３次元画像処理装置を製造する請求項３に記載の３次元画像処理装置の製造方法。
【請求項５】前記データ処理基板の裏面側を研磨して前記埋め込み配線を露出させ、
該データ処理基板の裏面に、主面に出力回路が形成されると共に該出力回路に電気的に接続された埋め込み配線が形成された出力回路基板を、該出力回路が前記埋め込み配線の露出部に電気的に接続されるように接着して、３次元画像処理装置を製造する請求項４に記載の３次元画像処理装置の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は、３次元画像処理装置の製造方法に関する。
【０００２】
【従来の技術】近年、半導体集積回路装置の高集積化・高密度化等の目的から、複数の回路機能ブロックを立体的に集積した３次元半導体集積回路装置の開発が進められている。特に、イメージセンサとその信号を処理するための信号処理回路を一体化した３次元画像処理装置（インテリジェントイメージプロセッサ）は、光センサから得られる画像データを並列に高速処理し、高画質画像をリアルタイムで得ることが可能になることから、多くの期待が寄せられている。
【０００３】これら３次元半導体集積回路装置は、当初はレーザ再結晶化等によるＳＯＩ（Silicon On Insulator）技術を利用してＳＯＩ基板形成とＳＯＩ基板への半導体装置の形成を繰り返すモノリシック法によりその製造が検討されてきたが、ＳＯＩを多層に積層するには、結晶性の確保が難しい、製造時間が長い等の問題があった。
【０００４】このため、半導体装置または半導体集積回路装置が予め作製された単結晶半導体基板同士を貼り合わせる貼り合わせ技術による３次元半導体集積回路装置の製造方法が種々検討されている。
【０００５】月刊セミコンダクターワールド（林善宏等、１９９０年９月号ｐ５８～６４）には、貼り合わせ技術の一種として、研磨により薄膜化した半導体基板を貼り合わせるＣＵＢＩＣ技術が提案されている。ＣＵＢＩＣ技術では、まずシリコン基板上に半導体素子が形成された第１の半導体基板を支持基板に接着した後、余分なシリコン基板をポリッシングして薄膜化する。次に、埋め込み配線、裏面配線、バンプ／プールからなるコンタクト部材等のデバイスの縦方向の接続に必要な配線を形成し、第１の半導体基板とシリコン基板上に半導体素子の形成された第２の半導体基板とを貼り合わせる。そして最後に支持基板を取り外して多層構造の半導体装置が完成する。
【０００６】また、特開平６－２６０５９４号公報には、貼り合わせ技術による３次元半導体集積回路装置の製造方法が開示されている。この方法は、シリコン基板上に半導体素子が形成された第１の半導体基板を支持基板に接着した後、余分なシリコン基板をポリッシングして薄膜化する点はＣＵＢＩＣ技術と共通しているが、第１の半導体基板に予め埋め込み配線を形成するための深溝が設けられている点、及び第１の半導体基板とシリコン基板上に半導体素子の形成された第２の半導体基板とを貼り合わせ、貼り合わせ後に支持基板を取り除き埋め込み配線を形成する点で、ＣＵＢＩＣ技術とは異なっている。
【０００７】
【発明が解決しようとする課題】しかしながら、いずれの製造方法も、第１の半導体基板を支持基板に貼り合わせ、研磨した後に支持基板から第１の半導体基板を剥離する工程を含んでおり、製造工程が煩雑であるという問題があった。特に、３次元画像処理装置を製造する場合には、支持基板を取り除いた後にその表面にイメージセンサを構成するマイクロレンズを備えた透明基板を設ける必要があるため、なおさら製造工程が煩雑になる。
【０００８】また、ＣＵＢＩＣ技術では、余分なシリコ

SAMSUNG EX. 1002 - 338/2862

ン基板をポリッシングして薄膜化した後に支持基板を取り除くため、支持基板を取り除く際に半導体基板上に形成された集積回路が破損するという問題があった。

【０００９】また、特開平６－２６０５９４号公報に記載された方法では、埋め込み配線を形成するための深溝が予め設けられた第１の半導体基板を支持基板に接着するため、深溝に入り込んだ接着剤の除去が困難であるという問題や、第１の半導体基板と第２の半導体基板とを接着した後に深溝の側壁を酸化して絶縁膜を形成するため、接着剤の耐熱温度以上に酸化温度を上げることができず、信頼性のある絶縁膜を形成することができないという問題があった。

【００１０】本発明は上記従来技術の問題点に鑑みなされたものであり、本発明の目的は、支持基板の着脱工程が不要で製造工程を大幅に簡略化することができ、簡素かつ容易な工程により３次元画像処理装置を製造することができる３次元画像処理装置の製造方法を提供することにある。また、本発明の他の目的は、信頼性の高い絶縁膜で囲まれた埋め込み配線を形成することができる３次元画像処理装置の製造方法を提供することにある。

【００１１】

【課題を解決するための手段】上記目的を達成するために、請求項１に記載の３次元画像処理装置の製造方法は、光を集光するレンズを備えた透明基板と、主面に光電変換素子が形成されると共に該光電変換素子に電気的に接続された埋め込み配線が形成された光電変換基板とを、透明基板の裏面と光電変換基板の主面とが対向するように接着して、３次元画像処理装置を製造することを特徴とする。

【００１２】請求項１の発明では、支持基板等を用いることなく、光を集光するレンズを備えた透明基板と、主面に光電変換素子が形成されると共に該光電変換素子に電気的に接続された埋め込み配線が形成された光電変換基板とを、透明基板の裏面と光電変換基板の主面とが対向するように接着するため、透明基板をそのままイメージセンサの透明基板として使用することができ、支持基板への接着工程、支持基板からの除去工程、及び透明基板の形成工程が不要であり、３次元画像処理装置の製造工程を大幅に簡略化することができる。また、光電変換基板に埋め込み配線を形成した後に透明基板と貼り合わせるため、信頼性の高い絶縁膜で囲まれた埋め込み配線を形成することができる。

【００１３】請求項２に記載の３次元画像処理装置の製造方法は、請求項１の発明において、前記光電変換基板の裏面側を研磨して前記埋め込み配線を露出させ、該光電変換基板の裏面に、主面に増幅器及びアナログ／デジタル変換器が形成されると共に該増幅器及びアナログ／デジタル変換器に電気的に接続された埋め込み配線が形成された増幅変換基板を、該増幅器及びアナログ／デジタル変換器が前記埋め込み配線の露出部に電気的に接続されるように接着して、３次元画像処理装置を製造することを特徴とする。

【００１４】請求項２の発明によれば、透明基板及び光電変換基板からなるイメージセンサ部に、研磨及び接着という簡素かつ容易な工程により、増幅器及びアナログ／デジタル変換器に電気的に接続された埋め込み配線が形成された増幅変換基板を積層した３次元画像処理装置を製造することができる。

【００１５】請求項３に記載の３次元画像処理装置の製造方法は、請求項２の発明において、前記増幅変換基板の裏面側を研磨して前記埋め込み配線を露出させ、該増幅変換基板の裏面に、主面にデータ記憶装置が形成されると共に該データ記憶装置に電気的に接続された埋め込み配線が形成されたデータ記憶基板を、該データ記憶装置が前記埋め込み配線の露出部に電気的に接続されるように接着して、３次元画像処理装置を製造することを特徴とする。

【００１６】請求項３の発明によれば、透明基板及び光電変換基板からなるイメージセンサ部に研磨と接着とにより増幅変換基板が形成された積層体に、研磨及び接着という簡素かつ容易な工程により、主面に記憶装置が形成されると共にデータ記憶装置に電気的に接続された埋め込み配線が形成されたデータ記憶基板を積層した３次元画像処理装置を製造することができる。

【００１７】請求項４に記載の３次元画像処理装置の製造方法は、請求項２の発明において、前記データ記憶基板の裏面側を研磨して前記埋め込み配線を露出させ、該データ記憶基板の裏面に、主面にデータ処理装置が形成されると共に該データ処理装置に電気的に接続された埋め込み配線が形成されたデータ処理基板を、該データ処理装置が前記埋め込み配線の露出部に電気的に接続されるように接着して、３次元画像処理装置を製造することを特徴とする。

【００１８】請求項４の発明によれば、透明基板及び光電変換基板からなるイメージセンサ部に研磨と接着とにより増幅変換基板及びデータ記憶基板が形成された積層体に、研磨及び接着という簡素かつ容易な工程により、主面にデータ処理装置が形成されると共に該データ処理装置に電気的に接続された埋め込み配線が形成されたデータ処理基板を積層した３次元画像処理装置を製造することができる。

【００１９】請求項５に記載の３次元画像処理装置の製造方法は、請求項４の発明において、前記データ処理基板の裏面側を研磨して前記埋め込み配線を露出させ、該データ処理基板の裏面に、主面に出力回路が形成されると共に該出力回路に電気的に接続された埋め込み配線が形成された出力回路基板を、該出力回路が前記埋め込み配線の露出部に電気的に接続されるように接着して、３次元画像処理装置を製造することを特徴とする。

【００２０】請求項５の発明によれば、透明基板及び光

SAMSUNG EX. 1002 - 339/2862

電変換基板からなるイメージセンサ部に研磨と接着とにより増幅変換基板、データ記憶基板、及びデータ処理装置が形成された積層体に、研磨及び接着という簡素かつ容易な工程により、主面に出力回路が形成されると共に該出力回路に電気的に接続された埋め込み配線が形成された出力回路基板を積層した3次元画像処理装置を製造することができる。

【0021】

【発明の実施の形態】以下、本発明の3次元画像処理装置の製造方法を、図面を参照しつつ具体的に説明する。図1～図5は、本発明の3次元画像処理装置の製造方法の各工程を示す断面図である。

【0022】まず、図1に示すように、光電変換基板20に、多数のマイクロレンズ12が2次元状に形成された石英ガラス製の透明基板10を、光電変換基板20の主面と透明基板10の裏面とが対向するように、エポキシ樹脂やポリイミド樹脂等の高分子材料からなる接着剤14を介して接着する。

【0023】上記で用いる光電変換基板20は、内部に二酸化ケイ素からなる絶縁層36が挿入されたn型シリコン結晶基板16上に、フォトダイオードとMOSトランジスタとを形成したものである。フォトダイオードは、光電変換基板20のn型シリコン結晶基板16上にp型不純物層18を形成し、p型不純物層18表層のマイクロレンズ12の焦点位置に対応する領域にn型不純物層22を設けることにより形成されている。また、MOSトランジスタは、p型不純物層18表層の撮像領域以外の部分にソース及びドレインとなるn型不純物層22を設け、このn型不純物層22間のp型不純物層18上に絶縁膜24Aにより相互に絶縁されたポリシリコンからなるゲート電極26を設けることにより形成されている。なお、隣接するMOSトランジスタは二酸化ケイ素からなる素子分離膜30で分離されている。

【0024】また、光電変換基板20には、素子分離膜30を貫通し光電変換基板20の裏面に達するトレンチ（深溝）が設けられている。なお、このようなトレンチは誘導結合型プラズマエッチング等により形成することができる。このトレンチの内表面に絶縁膜32が形成され、トレンチ内に導電材料が充填されて埋め込み配線34が形成されている。埋め込み配線34を形成する導電材料としては、例えば不純物をドープした低抵抗多結晶シリコンやタングステン等の低抵抗の金属が使用される。

【0025】MOSトランジスタのソースとなるn型不純物層22は、例えばアルミニウムからなるソース電極28に接続されおり、ドレインとなるn型不純物層22は、絶縁膜24Bによりソース電極28と絶縁された例えばアルミニウムからなるドレイン電極29に接続されている。このドレイン電極29は埋め込み配線34に接続されており、ゲート電極26に所定電圧を印加することによりn型チャネル22及びp型不純物層18からなるフォトダイオードに蓄積された電荷はこの埋め込み配線34を介して後述する増幅器へと転送される。

【0026】次に、図2に示すように、透明基板10に接着された光電変換基板20を、化学的機械研磨により裏面側から研磨して薄膜化する。n型シリコン結晶基板16に挿入された絶縁層36を構成する二酸化ケイ素はシリコンよりも研磨耐性が大きいため、研磨は絶縁層36の手前で止まり、埋め込み配線34が絶縁層36から露出される。このとき透明基板10が支持基板の役割を果たすが、当初からマイクロレンズ12を一体化して形成した石英ガラス製の透明基板を用いているので後で取り外す必要はない。

【0027】以上の工程により、光を集光するレンズを備えた透明基板10、及び光電変換基板20を備えたイメージセンサ部が完成する。

【0028】次に、図3に示すように、光電変換基板20の裏面に、光電変換基板20からの信号を増幅すると共に増幅されたアナログ信号をデジタル信号に変換する増幅変換基板40を接着する。この増幅変換基板40は、内部に二酸化ケイ素からなる絶縁層36Aが挿入されたシリコン基板38A上に、絶縁膜42Aにより絶縁されたゲート44A、ソース46A、及びドレイン48Aからなる複数のMOSFET50A（本実施の形態では2つのMOSFETを図示する）を形成したものである。これら隣接するMOSFET50Aは、二酸化ケイ素からなる素子分離膜52Aにより分離されている。

【0029】また、増幅変換基板40には、この素子分離膜52Aを貫通し増幅変換基板40の裏面側表面から回路面に達するトレンチが設けられている。このトレンチの内表面に絶縁膜54Aが形成され、トレンチ内に導電材料が充填されて埋め込み配線56Aが形成されている。埋め込み配線56Aを形成する導電材料としては、例えば不純物をドープした低抵抗多結晶シリコンやタングステン等の低抵抗の金属が使用される。この埋め込み配線56Aの回路面側の端部にはアルミニウム配線58Aが直接接続されている。これにより増幅器（アンプ）及びアナログ／デジタル変換器（ADC）を含む集積回路が構成されている。形成された集積回路は二酸化ケイ素からなる絶縁膜60Aにより被覆され、増幅変換基板40の集積回路側の表面が平坦化されている。また、この絶縁膜60Aに設けられた開口からアルミニウム配線58Aが引き出され、絶縁膜60Aの表面に露出されている。

【0030】上記光電変換基板20の裏面側の表面に、絶縁層36の表面から露出した埋め込み配線34の端部に接触するようにマイクロバンプ62を形成する。一方、増幅変換基板40の集積回路側の表面にも、絶縁膜60Aの表面に露出したアルミニウム配線58Aの端部に接触するようにマイクロバンプ64を形成する。マイ

SAMSUNG EX. 1002 - 340/2862

クロバンプは、レジストマスクを用いたリフトオフ等により形成することができ、マイクロバンプの材料としては例えば金とインジウムとの合金またはインジウムを用いることができる。

【００３１】光電変換基板２０の裏面側の表面に設けられたマイクロバンプ６２と、増幅変換基板４０の集積回路面側の表面に設けられたマイクロバンプ６４とが電気的に接続されるように、増幅変換基板４０上に光電変換基板２０を重ね合わせて仮接着する。なお、光電変換基板２０と増幅変換基板４０との位置合わせは、例えばシリコンウエハを透過する赤外線を用いた位置合わせ装置により行うことができる。

【００３２】仮接着した光電変換基板２０と増幅変換基板４０とを、液状のエポキシ樹脂を保持した容器と共に気圧調整が可能なチャンバーに入れてチャンバー内を真空にし、仮接着した光電変換基板２０と増幅変換基板４０とを液状のエポキシ樹脂にディップして常圧に戻し基板間の隙間にエポキシ樹脂６６を注入する。その後基板を引き上げエポキシ樹脂６６を硬化させて、増幅変換基板４０と光電変換基板２０との接着が完了する。

【００３３】次に、図４に示すように、増幅変換基板４０を裏面側から化学的機械研磨により均一な厚さに研磨して薄膜化する。絶縁層３６Ａを構成するニ酸化ケイ素はシリコンよりも研磨耐性が大きいため、研磨は絶縁層３６Ａの手前で止まり、絶縁層３６Ａよりも深い位置まで形成されている埋め込み配線５６Ａが絶縁層３６Ａから露出される。

【００３４】次に、図５に示すように、光電変換基板２０に接着された増幅変換基板４０の裏面に、一時的にデータを記憶するデータ記憶装置（レジスタアレイ）を備えたデータ記憶基板７０を接着する。ここで用いるデータ記憶基板７０は、増幅変換基板４０と同様に、内部にニ酸化ケイ素からなる絶縁層３６Ｂが挿入されたシリコン基板３８Ｂ上に、絶縁膜４２Ｂにより絶縁されたゲート４４Ｂ、ソース４６Ｂ、及びドレイン４８Ｂからなる複数のＭＯＳＦＥＴ５０Ｂ（本実施の形態では2つのＭＯＳＦＥＴを図示する）を形成したものであり、隣接するＭＯＳＦＥＴ５０Ｂは、ニ酸化ケイ素からなる素子分離膜５２Ｂにより分離されている。

【００３５】また、データ記憶基板７０には、この素子分離膜５２Ｂを貫通しデータ記憶基板７０の裏面側表面から回路面に達するトレンチが設けられている。このトレンチの内表面に絶縁膜５４Ｂが形成され、トレンチ内に導電材料が充填されて埋め込み配線５６Ｂが形成されている。埋め込み配線５６Ｂを形成する導電材料としては、例えば不純物をドープした低抵抗多結晶シリコンやタングステン等の低抵抗の金属が使用される。埋め込み配線５６Ｂの回路面側の端部にはアルミニウム配線５８Ｂが直接接続されている。これによりデータ記憶装置を含む集積回路が構成されている。形成された集積回路は、ニ酸化ケイ素からなる絶縁膜６０Ｂにより被覆され、データ記憶基板７０の集積回路側の表面が平坦化されている。この絶縁膜６０Ｂに設けられた開口からアルミニウム配線５８Ｂが引き出されて、絶縁膜６０Ｂの表面に露出されている。

【００３６】上記増幅変換基板４０の裏面側の表面に、絶縁層３６Ａの表面から露出した埋め込み配線５６Ａの端部に接触するようにマイクロバンプ７１を形成する。一方、データ記憶基板７０の集積回路側の表面にも、絶縁膜６０Ｂの表面に露出したアルミニウム配線５８Ｂの端部に接触するようにマイクロバンプ７２を形成する。そして増幅変換基板４０の裏面側の表面に設けられたマイクロバンプ７１と、データ記憶基板７０の集積回路側の表面に設けられたマイクロバンプ７２とが電気的に接続されるようにデータ記憶基板７０上に増幅変換基板４０を重ね合わせて仮接着し、光電変換基板２０及び増幅変換基板４０を接着する場合と同様にして、増幅変換基板４０とデータ記憶基板７０とをエポキシ樹脂７４により接着する。

【００３７】次に、図６に示すように、データ記憶基板７０の裏面に、データ処理基板８０、出力回路基板９０、及び出力端子部１００を順に形成する。上記増幅変換基板４０やデータ記憶基板７０の形成工程と同様にして、増幅変換基板４０に接着されたデータ記憶基板７０を裏面側から研磨し、データ記憶基板７０の裏面に、データ処理装置（プロセッサアレイ）を備え埋め込み配線８２の形成されたデータ処理基板８０を、両基板に設けられた集積回路が埋め込み配線８２により電気的に接続されるように接着する。さらに、このデータ処理基板８０を裏面側から研磨した後に、データ処理基板８０の裏面に埋め込み配線９２の形成された出力回路基板９０を、両基板に設けられた集積回路が埋め込み配線９２により電気的に接続されるように接着する。そして出力回路基板９０を裏面側から研磨して、出力回路基板９０裏面の絶縁膜から埋め込み配線９２の端部を露出させ、露出した埋め込み配線９２の端部に接触するようにマイクロバンプ９３を形成する。

【００３８】そして最後に出力回路基板９０の裏面に出力端子部１００を形成する。出力端子部１００はシリコン基板１０２にこのシリコン基板１０２を貫通し基板両面側に露出した埋め込み配線１０４が形成されたものである。埋め込み配線１０４を形成する導電材料としては、例えば銅、タングステン、金等の低抵抗の金属が使用される。この出力端子部１００の入力側の表面に、出力端子部１００の絶縁層の表面から露出した埋め込み配線１０４の一方の端部に接触するようにマイクロバンプ９４を形成する。そして出力回路基板９０の裏面側の表面に設けられたマイクロバンプ９３と出力端子部１００の入力側の表面に設けられたマイクロバンプ９４とが接触し、出力回路基板９０に設けられた集積回路が出力端

SAMSUNG EX. 1002 - 341/2862

子部１００の出力端子に電気的に接続されるように両基板を接着する。そして上記出力端子部１００の出力側の表面には、埋め込み配線１０４の他方の端部に接触するようにマイクロバンプ１０６を形成する。マイクロバンプ１０６は、例えば金やインジウムまたはそれらの合金から形成することができる。また、はんだバンプとしてもよい。

【００３９】以上の工程により、光を集光するレンズを備えた透明基板１０及び光電変換基板２０からなるイメージセンサ部と、そのイメージセンサ部からの信号を処理するための処理部（増幅変換基板４０、データ記憶基板７０、データ処理基板８０及び出力回路基板９０）とを一体化した図６に示す３次元画像処理装置を得ることができる。

【００４０】本実施の形態では、多数のマイクロレンズが２次元状に形成された石英ガラス製の透明基板に光電変換基板を直接接着するので、支持基板を別途用意する必要がなく支持基板の着脱工程が不要となる。これにより製造工程を大幅に簡略化することができ、簡素かつ容易な工程により３次元画像処理装置を製造することができる。また、各集積回路基板の埋め込み配線は貼り合わせ前に形成されるので、信頼性の高い絶縁膜で囲まれた埋め込み配線を形成することができる。

【００４１】上記実施の形態では、集積回路を形成するための各半導体基板に二酸化ケイ素からなる絶縁層が内部に形成されたシリコン基板を使用したが、二酸化ケイ素からなる絶縁層を含まないシリコン基板を使用してもよい。

【００４２】上記実施の形態では、埋め込み配線の両端部にマイクロバンプを形成し、マイクロバンプ同士を接触させて隣接する基板を電気的に接続する例について説明したが、埋め込み配線の一方の端部にのみマイクロバンプを形成して隣接する基板を電気的に接続するようにしても良い。

【００４３】上記実施の形態では、集光レンズを備えた透明基板及び光電変換基板からなるイメージセンサ部に、そのイメージセンサ部からの信号を処理するための増幅変換基板、データ記憶基板、データ処理基板、及び出力回路基板の各処理部を研磨及び貼合せを繰り返すことにより形成する例について説明したが、イメージセンサ部を構成する光電変換基板を裏面側から研磨して埋め込み配線を露出させた後、配線により光電変換基板を増幅変換基板と電気的に接続することもできる。

【００４４】また、上記実施の形態と同様にしてイメージセンサ部に研磨及び貼合せにより増幅変換基板を形成し、増幅変換基板を裏面側から研磨して埋め込み配線を露出させた後、配線により増幅変換基板をデータ記憶基板と電気的に接続することもできる。また、上記実施の形態と同様にしてイメージセンサ部に研磨及び貼合せにより増幅変換基板及びデータ記憶基板を形成し、データ記憶基板を裏面側から研磨して埋め込み配線を露出させた後、配線によりデータ記憶基板をデータ処理基板と電気的に接続することもできる。また、上記実施の形態と同様にしてイメージセンサ部に研磨及び貼合せにより増幅変換基板、データ記憶基板、及びデータ処理基板を形成し、データ処理基板を裏面側から研磨して埋め込み配線を露出させた後、配線によりデータ処理基板を出力回路基板と電気的に接続することもできる。

【００４５】なお、上記実施の形態において使用するシリコン基板は、ウエハスケールでもチップスケールでもよい。

【００４６】

【発明の効果】本発明の３次元画像処理装置の製造方法は、支持基板の着脱工程が不要で、製造工程を大幅に簡略化することができ、簡素かつ容易な工程により３次元画像処理装置を製造することができる、という効果を奏する。また、本発明の３次元画像処理装置の製造方法は、信頼性の高い絶縁膜で囲まれた埋め込み配線を形成することができる、という効果を奏する。

【図面の簡単な説明】

【図１】本実施の形態の３次元画像形成装置の製造工程を示す概略断面図である。

【図２】本実施の形態の３次元画像形成装置の製造工程を示す概略断面図である。

【図３】本実施の形態の３次元画像形成装置の製造工程を示す概略断面図である。

【図４】本実施の形態の３次元画像形成装置の製造工程を示す概略断面図である。

【図５】本実施の形態の３次元画像形成装置の製造工程を示す概略断面図である。

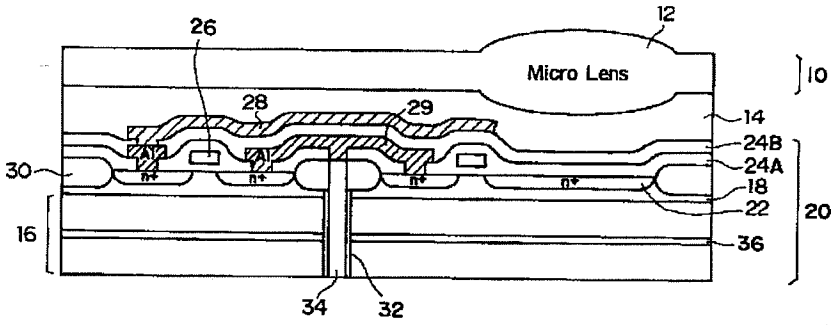
【図６】本実施の形態の３次元画像形成装置の構造を示す概略断面図である。

【符号の説明】

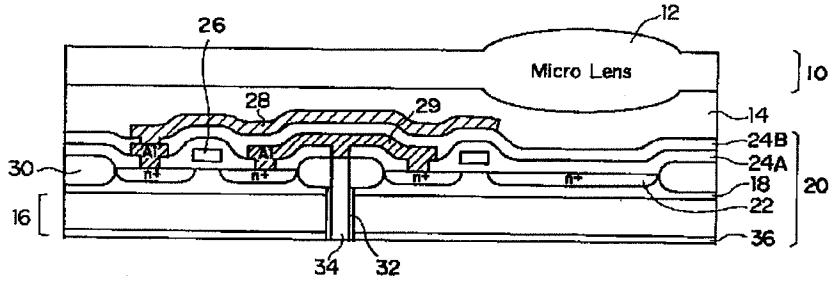
１０　透明基板
１２　マイクロレンズ
１６　ｎ型シリコン結晶基板
１８　ｐ型不純物層
２０　光電変換基板
２２　ｎ型不純物層
２６　ゲート電極
２８　電極
３４　埋め込み配線
４０　増幅変換基板
７０　データ記憶基板
８０　データ処理基板
９０　出力回路基板
１００　出力端子部

SAMSUNG EX. 1002 - 342/2862

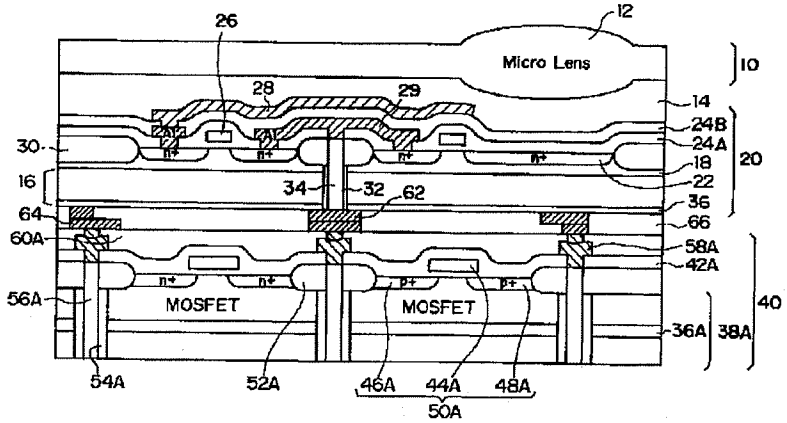
【図1】



【図2】

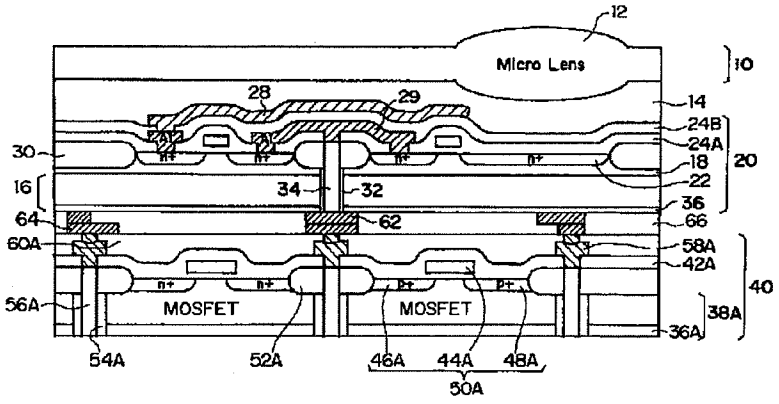


【図3】

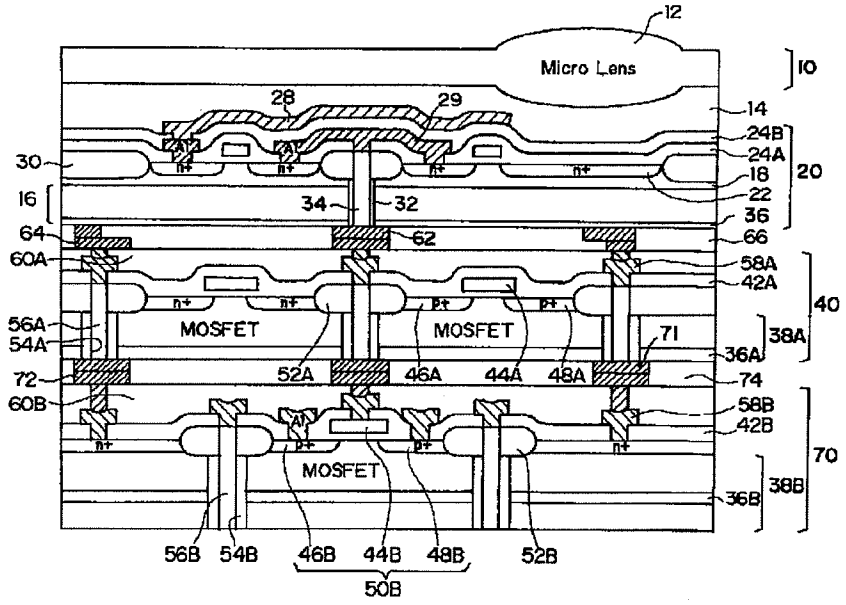


SAMSUNG EX. 1002 - 343/2862

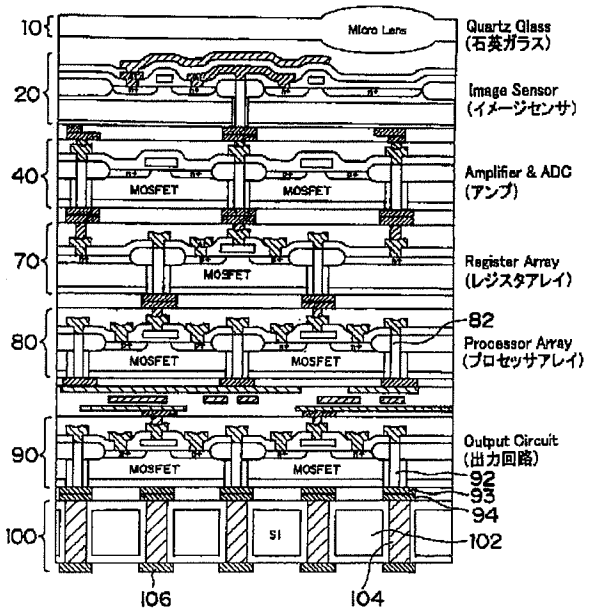
【図4】


12
Micro Lens
10
28
29
14
24B
24A
30
20
18
22
16
34
32
36
64
62
66
60A
58A
42A
40
MOSFET
MOSFET
56A
38A
36A
54A
52A
46A
44A
48A
50A

【図5】


12
Micro Lens
10
28
29
14
24B
24A
30
20
18
22
16
34
32
36
64
62
66
60A
58A
42A
40
MOSFET
MOSFET
56A
54A
71
38A
36A
72
52A
46A
44A
48A
74
60B
58B
42B
70
MOSFET
38B
36B
56B
54B
46B
44B
48B
52B
50B

【図6】



フロントページの続き

(51)Int.Cl.[7]	識別記号	FI		テーマコード'(参考)
H01L	21/8238	H01L	21/90	A 5F110
	27/092		27/08	321G
	27/14		27/14	D
	29/786		29/78	613Z
H04N	5/335			

(72)発明者 宮川 宣明
神奈川県海老名市本郷2274番地 富士ゼロックス株式会社海老名事業所内

Fターム(参考) 4M118 AA10 AB01 BA04 BA14 CA03 EA04 EA20 FA33 GD01 GD04 GD07 HA21 HA33
5B047 BB04 BC01 BC05 DB01
5C024 CY47 EX43 GX03 GY31 HX01 HX17 HX40 HX41
5F033 HH04 HH08 HH11 HH13 HH19 JJ01 JJ08 KK01 MM30 QQ08 QQ09 QQ12 QQ37 QQ49 RR04 SS25 UU05 VV00 VV07 XX10
5F048 AA09 AB03 AB10 AC03 AC10 BA09 BB05 BC12 BF01 BF02 BF03 BF07 BF15 BG12 BG14 CB02 CB03 CB04
5F110 AA16 BB10 BB11 CC02 DD03 DD05 DD21 DD30 EE09 HL03 NN62 NN71 QQ16 QQ30

SAMSUNG EX. 1002 - 345/2862

Espacenet

Bibliographic data: JP2002043594 (A) — 2002-02-08

OPTICAL TRANSMISSION TYPE THIN FILM SOLAR CELL MODULE

Inventor(s): OUCHIDA TAKASHI ± (OUCHIDA TAKASHI)

Applicant(s): SHARP KK ± (SHARP CORP)

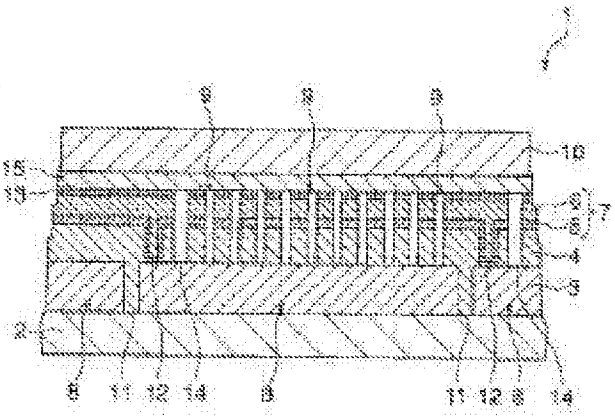
Classification: **- international:** ***H01L31/04;*** (IPC1-7): H01L31/04
- cooperative: Y02E10/50

Application number: JP20000221029 20000721

Priority number(s): JP20000221029 20000721

Abstract of JP2002043594 (A)

PROBLEM TO BE SOLVED: To provide an optical transmission type thin film solar cell module capable of obtaining a high output by reducing a photodegradation. SOLUTION: The optical transmission type thin film solar cell module comprises a solar cell formed by sequentially laminating a transparent surface electrode layer, a photoelectric conversion layer and a back electrode layer on an optical transmission substrate, a transparent portion for transmitting from the surface electrode layer through the conversion layer and the back electrode layer, and a transparent sealing material covering the back electrode layer so that the sealing material has a light absorptivity of 40% or more in a near infrared wavelength region of 500 to 2,000 nm and thus a deterioration of the photoelectric conversion efficiency is prevented.



SAMSUNG EX. 1002 - 346/2862

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報（Ａ）**　(11)特許出願公開番号
特開2002－43594
（P2002－43594A）
(43)公開日　平成14年２月８日(2002.2.8)

(51)Int.Cl.[7]	識別記号	ＦＩ	ﾃｰﾏｺｰﾄﾞ(参考)
Ｈ０１Ｌ　31/04		Ｈ０１Ｌ　31/04	Ｂ　５Ｆ０５１

審査請求　未請求　請求項の数11　ＯＬ　（全　９　頁）

(21)出願番号　特願2000－221029(P2000－221029)

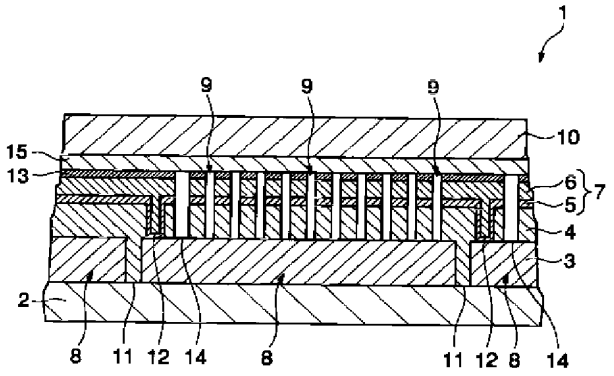
(22)出願日　平成12年７月21日(2000.7.21)

(71)出願人　000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号
(72)発明者　大内田　敬
大阪府大阪市阿倍野区長池町22番22号　シャープ株式会社内
(74)代理人　100065248
弁理士　野河　信太郎

Ｆターム(参考)　5F051 AA05 BA17 CB25 CB27 DA04 EA01 FA02 GA03 JA02 JA04 JA05

(54)【発明の名称】　光透過型薄膜太陽電池モジュール

(57)【要約】
【課題】　光劣化が低減されて高い出力が得られる光透過型薄膜太陽電池モジュールを提供すること。
【解決手段】　光透過型薄膜太陽電池モジュールは、透光性基板上に透明な表面電極層、光電変換層及び裏面電極層を順に積層して太陽電池セルを形成し、表面電極層から光電変換層を通って裏面電極層を透過する透光部を設け、裏面電極層を透光性の封止材で覆い、封止材が１５００～２０００ｎｍの近赤外波長領域で４０％以上の光吸収率を有し、それによって光電変換効率の劣化を防止する。



SAMSUNG EX. 1002 - 347/2862

【特許請求の範囲】
【請求項１】　透光性基板上に透明な表面電極層、光電変換層及び裏面電極層を順に積層して太陽電池セルを形成し、表面電極層から光電変換層を通って裏面電極層を透過する透光部を設け、裏面電極層を透光性の封止材で覆い、封止材が１５００～２０００ｎｍの近赤外波長領域で４０％以上の光吸収率を有することを特徴とする光透過型薄膜太陽電池モジュール。
【請求項２】　封止材が、４００～８００ｎｍの可視光領域で７０％以上の光透過率を有する青板ガラスであることを特徴とする請求項１に記載の光透過型薄膜太陽電池モジュール。
【請求項３】　封止材は、酸化亜鉛膜、または酸化亜鉛膜と銀膜との積層膜が表面に形成されたガラス板であって４００～８００ｎｍの可視光領域で７０％以上の透過率を有することを特徴とする請求項１に記載の光透過型薄膜太陽電池モジュール。
【請求項４】　透光性基板上に透明な表面電極層、光電変換層及び裏面電極層を順に積層して太陽電池セルを形成し、表面電極層から光電変換層を通って裏面電極層を透過する透光部を設け、裏面電極層を透光性の封止材で覆い、封止材が気体を体積比で１％～５０％含んだガラスであることを特徴とする光透過型薄膜太陽電池モジュール。
【請求項５】　透光性基板上に透明な表面電極層、光電変換層及び裏面電極層を順に積層して太陽電池セルを形成し、表面電極層から光電変換層を通って裏面電極層を透過する透光部を設け、裏面電極層を透光性の封止材で覆い、さらに、透光性基板上または封止材上を透光性の断熱部材で覆うことを特徴とする光透過型薄膜太陽電池モジュール。
【請求項６】　断熱部材が、シート状のシリカエアロゲルであることを特徴とする請求項５に記載の光透過型薄膜太陽電池モジュール。
【請求項７】　透光性基板が、１５００～２０００ｎｍの近赤外波長領域で４０％以上の光吸収率を有することを特徴とする請求項１～６のいずれか１つに記載の光透過型薄膜太陽電池モジュール。
【請求項８】　透光性基板が、４００～８００ｎｍの波長領域で７０％以上の透過率を有する、透明導電膜付き青板ガラス基板であることを特徴とする請求項７に記載の光透過型薄膜太陽電池モジュール。
【請求項９】　光透過型薄膜太陽電池モジュールの周縁部を囲うフレームをさらに備え、このフレームの透光性基板側の熱放射率は封止材側の熱放射率よりも高いことを特徴とする請求項１～６のいずれか１つに記載の光透過型薄膜太陽電池モジュール。
【請求項１０】　フレームは、その透光性基板側が黒色または暗色で封止材側が銀色または白色であることを特徴とする請求項９に記載の光透過型薄膜太陽電池モジュール。
【請求項１１】　フレームは、その透光性基板側が黒色または暗色で封止材側に断熱部材を有することを特徴とする請求項９に記載の光透過型薄膜太陽電池モジュール。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】この発明は、光透過型薄膜太陽電池モジュールに関し、詳しくは、発電機能に加えて入射光の一部を裏面側へ透過させる採光機能も有する光透過型薄膜太陽電池モジュールに関する。
【０００２】
【従来の技術及び発明が解決しようとする課題】薄膜太陽電池モジュールは結晶ウエハーを用いる太陽電池モジュールよりも半導体材料の使用量が少なくて済み、ガラスや金属等の安価な基板上に低温プロセスで形成できるため、低価格化が期待されている。薄膜太陽電池モジュールの中でも非晶質シリコン系太陽電池モジュールは、材料であるシリコンが非常に豊富に存在する点や、ＣｄやＳｅを使用する化合物系太陽電池モジュールに比べて材料が無害で環境への影響がない点で優れているのでさかんに開発がすすめられている。またその中で、発電機能に加えて入射光の一部を裏面側へ透過させる採光機能も有する光透過型薄膜太陽電池モジュールの開発もすすめられている。
【０００３】一般に、非晶質シリコン系太陽電池モジュールの構造は大きく分けて２種類ある。１つはガラス等の透光性絶縁基板上にSnO_2、ＩＴＯ、ＺｎＯ等の透明導電膜が形成され、その上に非晶質半導体のｐ層、ｉ層、ｎ層が順に積層されて光電変換層が形成され、さらにその上にＩＴＯ、ＺｎＯ等の透明導電膜と、Ａｇ、Ａｌ等の金属膜が順に積層されて裏面電極が形成される構造である。もう１つは、金属基板上にＩＴＯ、ＺｎＯ等の透明導電膜が形成され、その上に非晶質シリコン系半導体のｎ層、ｉ層、ｐ層が順に積層されて光電変換層が形成され、さらにその上にSnO_2、ＩＴＯ、ＺｎＯ等の透明導電膜が形成される構造である。
【０００４】これらのうち、ガラス等の透光性絶縁基板を用いる非晶質シリコン系太陽電池モジュールにおいて、入射光の一部を透過させる透光部を形成するためには一般的に２つの方法が用いられている。１つは、光電変換層上に部分的に裏面電極を形成し、この裏面電極をマスクとして裏面電極から露出した光電変換層をエッチング除去するウェットプロセスである。もう１つは、レーザースクライブ法により光電変換層及び裏面電極を部分的に同時除去するドライプロセスである。
【０００５】このようにいずれかのプロセスで透光部が形成された後、裏面電極側はエチレンビニルアセテート（以下、この明細書において「ＥＶＡ」という）やポリビニルブチラール（以下、この明細書において「ＰＶ

SAMSUNG EX. 1002 - 348/2862

Ｂ」という）等の接着剤で板ガラスが貼り付けられて封止される。裏面電極側を封止する部材としては、板ガラス以外にも透明ＰＥＴシートやテドラー等の透明なバックシートなどがある。このようにして作製された光透過型薄膜太陽電池モジュールは、その周縁部にアルミニウムやステンレス等のフレームが取り付けられて屋外で設置使用される。

【０００６】一般に、光透過型薄膜太陽電池モジュール（以下、この明細書において単に「光透過型モジュール」ともいう）は発電領域の約１～５０％程度を透光部とするので、非透過型薄膜太陽電池モジュール（以下、この明細書において単に「非透過型モジュール」ともいう）よりも単位面積当たりの発電効率が低くなる。従って、ある所定の発電量をまかなうためには非透過型モジュールよりもモジュール枚数を増やして設置面積を大きくとらなければならない。以上のような事情により、光透過型モジュールの発電効率は特に高いことが望まれる。なお、この明細書においてモジュールとは、基板上に形成された複数の太陽電池セルが互いに電気的に接続されたものを示している。

【０００７】また一方で、一般的な非晶質シリコン系太陽電池モジュールにはステブラー・ロンスキー効果と呼ばれる光照射による変換効率の初期劣化現象（以下、この明細書において「光劣化」という）がある。光劣化は、屋外の太陽光で発電する太陽電池モジュールの光電変換層に非晶質シリコン系半導体を用いる場合の課題となっている。

【０００８】このような非晶質シリコン系太陽電池モジュールの光劣化を完全になくす方法は未だ発見されていない。しかし、単位セルを２層、３層と積層したタンデム、トリプル構造の積層型太陽電池モジュールにおいて、その非晶質シリコン系半導体層の膜厚を薄くすることにより光劣化を低減する方法が知られている。また、光劣化によって低下した変換効率は、非晶質シリコン系太陽電池モジュールを高温にすることによって回復することが知られている。回復効果は約４０℃程度の温度でも見られるが、温度の高いほうが効果が大きく、例えば約７０℃以上の高温にすると大幅に特性が回復することが知られている。

【０００９】一方、非晶質シリコン系太陽電池モジュールの出力の温度依存性は、結晶系シリコン太陽電池モジュールに比べると非常に少なく、約１℃の温度上昇による出力低下は約０．１～０．２％である。このため、非晶質シリコン系太陽電池モジュールを高温に保ちながら使用すると、温度上昇による出力低下よりも光劣化が回復することによる変換効率の向上の方が効果として大きい。

【００１０】すなわち、非晶質シリコン系太陽電池モジュールを高温に保って光劣化を回復させながら使用すると光劣化が低減されて高い出力を得ることができる。このような非晶質シリコン系太陽電池モジュールの温度特性を生かして光劣化を低減する具体的な方法として、非晶質シリコン系太陽電池モジュールの裏面側に断熱部材を設け、太陽光による熱が裏面側から放熱されるのを抑制する方法が一般に知られている（例えば、特開平４－７１２７６号公報参照）。

【００１１】しかしながら、このような従来技術には以下の課題があった。すなわち、非晶質シリコン系太陽電池モジュール（以下、この明細書において単に「太陽電池モジュール」ともいう）の裏面に断熱部材を設けることにより、太陽電池モジュールの最高到達温度は夏期の日中で約７０℃程度まで上昇したが、他の季節では太陽電池モジュールの温度が約７０℃を越えることはなかった。

【００１２】また、上記のような断熱部材を有する太陽電池モジュールにおいて、太陽電池モジュールの強度を高めるためにその周縁部にフレームを設けると、太陽電池モジュールからフレームへの熱の伝導が大きくなってしまうことが知られている。つまり、太陽電池モジュールの特に周辺部の熱がフレームに伝導し、フレームから大気中へ放熱されてしまうのである。このため、フレームの近傍となる太陽電池モジュール周辺部の温度は、太陽電池モジュール中央部の温度よりも約２０度程度低くなることが多かった。

【００１３】このような太陽電池モジュール周辺部の温度低下に対する対策として従来の太陽電池モジュールとフレームとの間に断熱部材を設ける方法を用いたところ、太陽電池モジュール周辺部の温度低下は抑制された。しかし、この方法では、太陽電池モジュールとフレームとの間に断熱部材を挟み込むことにより太陽電池モジュールの取付強度が低下し、太陽電池モジュールの機械的強度が低下するという問題があった。

【００１４】また、太陽電池モジュールの周辺部では光電変換層に水分が侵入しないように封止を行う必要がある。しかし、太陽電池モジュールとフレームとの間に挟み込む断熱部材の耐候性能が十分でない場合、断熱部材の劣化等で封止性能が大きく低下して光電変換層に水分が侵入して侵食されてしまい、太陽電池モジュールの出力が低下するという問題もあった。

【００１５】特に、熱伝導の少ない発泡樹脂等を断熱部材として使用した場合に取付強度の低下や封止性能の低下が大きかった。なお、太陽電池モジュール裏面や太陽電池モジュールとフレームとの間に断熱部材を設ける上述の従来技術は、いずれも光透過型モジュールを前提としていないので、当然ながら断熱部材も透明でないものを使用するのが一般的であった。

【００１６】この発明は以上のような事情を考慮してなされたものであり、光劣化が抑制されて高い出力が得られる光透過型薄膜太陽電池モジュールを提供するものである。

SAMSUNG EX. 1002 - 349/2862

【００１７】
【課題を解決するための手段】この発明は、透光性基板上に透明な表面電極層、光電変換層及び裏面電極層を順に積層して太陽電池セルを形成し、表面電極層から光電変換層を通って裏面電極層を透過する透光部を設け、裏面電極層を透光性の封止材で覆い、封止材が約１５００～２０００ｎｍの近赤外波長領域で約４０％以上の光吸収率を有し、それによって光電変換効率の劣化を防止することを特徴とする光透過型薄膜太陽電池モジュールを提供するものである。
【００１８】またこの発明は、透光性基板上に透明な表面電極層、光電変換層及び裏面電極層を順に積層して太陽電池セルを形成し、表面電極層から光電変換層を通って裏面電極層を透過する透光部を設け、裏面電極層を透光性の封止材で覆い、封止材が気体を体積比で約１％～５０％含んだガラスであり、それによって光電変換効率の劣化を防止することを特徴とする光透過型薄膜太陽電池モジュールを提供するものでもある。
【００１９】またこの発明は、透光性基板上に透明な表面電極層、光電変換層及び裏面電極層を順に積層して太陽電池セルを形成し、表面電極層から光電変換層を通って裏面電極層を透過する透光部を設け、裏面電極層を透光性の封止材で覆い、さらに、透光性基板上または封止材上を透光性の断熱部材で覆い、それによって光電変換効率の劣化を防止することを特徴とする光透過型薄膜太陽電池モジュールを提供するものでもある。
【００２０】
【発明の実施の形態】この発明による光透過型薄膜太陽電池モジュールは、その一つの形態として、透光部より裏面にぬける太陽光のうち約１５００～２０００ｎｍの波長を有する近赤外波長領域を選択的に吸収できる透光性の封止材を用いる。これにより、採光機能を低下させることなく光透過型薄膜太陽電池モジュールの温度を上昇させてアニール効果を促進し、光劣化を低減できる。
【００２１】このような目的を達成できる封止材としては、例えば、約４００～８００ｎｍの可視光領域で約７０％以上の光透過率を有する青板ガラスなどを挙げることができる。
【００２２】また、封止材としては、酸化亜鉛膜、または酸化亜鉛膜と銀膜との積層膜が表面に形成されたガラス板であって約４００～８００ｎｍの可視光領域で約７０％以上の透過率を有するものを用いることもできる。このようなガラス板は熱線吸収ガラスとして機能するので、この発明の光透過型薄膜太陽電池モジュールに用いる封止材として好適である。また、酸化亜鉛と銀は太陽電池素子の裏面電極層として用いている材料であるため、新たに設備投資をすること無く簡易に作製できるので好都合である。
【００２３】またこの発明による光透過型薄膜太陽電池モジュールは、その一つの形態として、気体を体積比で約１～５０％含んだガラスを透光性の封止材として用いる。つまり、ガラスが例えば空気などの気体を含むと熱伝導率が低くなるので断熱効果を期待できるようになる。従って、光透過型薄膜太陽電池モジュールに吸収された熱が裏面側からすぐに放熱されるのを防止して光透過型薄膜太陽電池モジュールを高温に維持し、アニール効果を促進して光劣化を低減できる。もちろん、採光機能が低下することもない。
【００２４】なお、気体を体積比で約１～５０％含んだガラスとしたのは、気体の体積比が約１％以下では断熱効果が少なく、体積比が約５０％以上では封止材として強度が弱くなるからである。
【００２５】またこの発明による光透過型薄膜太陽電池モジュールは、その一つの形態として透光性基板上または封止材上を透光性の断熱部材で覆う。
【００２６】つまり、光透過型モジュールに断熱部材が密着した構造とすることにより、光透過型モジュールに吸収された熱がすぐに放熱されるのを防止して光透過型モジュールを高温に維持し、アニール効果を促進して光劣化を低減できる。また、断熱部材は透光性のものを用いるので採光機能を低下させることもない。
【００２７】断熱部材としては、熱伝導率が小さく可視光線透過率が高いものほど望ましく、例えば、透明樹脂に属するメタクリル樹脂、ポリカーボネート樹脂、ポリスチレン樹脂、メタロセン触媒で重合されたポリオレフィン類、ポリエステル樹脂、透明フッ素樹脂、ポリイミド樹脂などを用いることができ、なかでも、熱伝導率が約０．０２ｋｃａｌ／ｍｈ℃で、可視光線透過率が約９０％以上の性質をもつシリカエアロゲルを用いれば断熱効果と採光機能を最大限に発揮できる。なお、断熱部材は高温になるため、耐熱性、光照射状態での耐候性に優れることが望ましく、更には焼却時にダイオキシン等の公害物質を発生しないことが望ましい。
【００２８】断熱部材を透光性基板上または封止材上に設ける際には接着剤を使用するが、具体的な接着剤としては例えば、透明シリコン樹脂からなるものやＥＶＡからなるものなどを挙げることができる。
【００２９】また、この発明の光透過型薄膜太陽電池モジュールは、透光性基板が約１５００～２０００ｎｍの近赤外波長領域で平均約４０％以上の光吸収率を有するものを用いることができる。このような透光性基板としては、例えば、約４００～８００ｎｍの非晶質シリコン系半導体感度波長領域で平均約７０％以上の透過率を有する、透明導電膜付き青板ガラス基板などを挙げることができる。
【００３０】また、この発明の光透過型薄膜太陽電池モジュールは、その周縁部を囲うフレームをさらに備えてもよい。この場合、フレームの透光性基板側の熱放射率は封止材側の熱放射率よりも高いことが好ましい。というのは、このようなフレームを用いるとフレームの透光

SAMSUNG EX. 1002 - 350/2862

性基板側、つまりフレームの受光面では太陽光の吸収が増大し、一方、フレームの封止材側、つまり非受光面では熱の放射が低減してフレームの温度が上昇するからである。

【００３１】これにより、光透過型モジュール周辺部からフレームへ伝導する熱は減少するかまたは無くなり光透過型モジュール周辺部の温度が上昇するので、アニール効果がより一層促進されて光劣化が低減する。また、フレームからの熱放射の低減によりフレーム自体が高温となるので、従来のようにモジュールとフレームとの間に断熱部材を設ける必要が無くなり、光透過型モジュールとフレームとを強固に固定できるようになる。

【００３２】このようなフレームとしては、例えば、その透光性基板側が黒色または暗色で封止材側が銀色または白色のフレームを挙げることができる。つまり、フレームの透光性基板側を黒色または非晶質シリコン系半導体層と同系の暗色とすればフレームの受光面における太陽光の吸収が増大し、一方、フレームの封止材側を白色または銀色とすればフレームの非受光面における熱の放射が低減される。これにより、フレームの温度が上昇する。

【００３３】また、透光性基板側が黒色または暗色で封止材側に断熱部材が設けられてもよい。つまり、フレームの封止材側を白色または銀色とするかわりに断熱部材を用いることもできる。なお、このようなフレームを非透過型モジュールに使用しても同様の効果を発揮することは明らかである。

【００３４】

【実施例】以下に図面に示す実施例に基づいてこの発明を詳述する。なお、この実施例によってこの発明が限定されるものではない。

【００３５】実施例１

この発明の実施例１に係る光透過型薄膜太陽電池モジュールについて図１～図３に基づいて説明する。図１はこの発明の実施例１に係る光透過型薄膜太陽電池モジュールの部分拡大断面図である。光透過型薄膜太陽電池モジュール１は、ガラス基板２上に透明な表面電極層３、光電変換層４、透明導電膜５と金属膜６とから構成される裏面電極層７を順に積層して太陽電池セル８を形成し、表面電極層３から光電変換層４を通って裏面電極層７を透過する透光部９を設け、裏面電極層７を透光性の封止材１０で覆い、封止材１０が約１５００～２０００ｎｍの近赤外波長領域で約４０％以上の光吸収率を有し、それによって光電変換効率の劣化を防止することを特徴としている。

【００３６】以下に光透過型太陽電池モジュール１の作製方法を示す。SnO_2 からなる透明な表面電極層３が成膜されたガラス基板２にＹＡＧ基本波レーザーを用いて表面電極層３のパターニングを行った。

【００３７】詳しくは、レーザー光をガラス基板２側から入射させることにより、表面電極層３を短冊状に分離して表面電極層分離ライン１１を形成した。この後、ガラス基板２を純水で洗浄して光電変換層４をプラズマＣＶＤ装置により形成した。光電変換層はｐ層、ｉ層、ｎ層のアモルファスシリコンからなり、各層の膜厚の合計は約１００～６００ｎｍ程度である。

【００３８】次にＹＡＧ　ＳＨＧレーザーにより光電変換層４のパターニングを行った。詳しくは、レーザー光をガラス基板２側から入射させることにより、光電変換層４を短冊状に分離して光電変換層分離ライン１２を形成した。

【００３９】この後、透明導電膜５と金属膜６からなる裏面電極層７をスパッタリング装置により形成した。詳しくは、透明導電膜５としてＺｎＯを膜厚約１００ｎｍで成膜した後、金属膜６としてＡｇを膜厚約５００ｎｍで成膜した。

【００４０】次に、顔料により任意の色に着色された着色レジスト膜１３を裏面電極層７上に膜厚約１～１０μｍでスプレー方式で塗布し、乾燥炉で乾燥させた。次に、ＹＡＧ　ＳＨＧレーザーにより裏面電極層７のパターニングを行った。詳しくは、レーザ光をガラス基板側から入射させることにより、裏面電極層７を短冊状に分離して裏面電極層分離ライン１４を形成した。

【００４１】その後、ＹＡＧ　ＳＨＧレーザーにより発電領域内に透光部９を形成するためのパターニングを行った。詳しくは、透光部９を不連続のライン形状とするためにマスクを用いてレーザー光をガラス面から入射させることにより、透光部９を形成した。この時に透光部９の本数や長さを変えることにより透光率を自由に設定できるが、実施例１では全発電領域の約１０％を透光部とした。透光部９の形成後、酸系及び硫化鉄系のエッチング液により、裏面電極層７の残りかすを除去した。

【００４２】その後、裏面電極層７上にＥＶＡのシート状接着剤１５を用いて、ラミネート及びキュア工程を経てガラス基板２と同サイズの青板ガラスを封止材１０として貼り付け、ガラス基板２との合わせガラス構造とした。青板ガラスは厚さ約４ｍｍのものを用いた。この青板ガラスは可視光線透過率が高く、また、近赤外線領域で約４０％以上の光吸収率を有する低コスト材料である。

【００４３】端子（図示せず）は＋極と－極を封止材１０に設けた穴（図示せず）からそれぞれ取り、封止材１０に接着した端子ボックス（図示せず）を経由して電力を取り出せるようにした。

【００４４】その後、図２及び図３に示すように、光透過型薄膜太陽電池モジュール１の周囲にブチルゴム（図示せず）を介してアルミニウム製のフレーム１６を取り付けて完成させた。なお、図２はフレーム１６が取り付けられた光透過型薄膜太陽電池モジュール１の平面図であり、図３は図２の簡略的なＡ－Ａ断面図である。図２

SAMSUNG EX. 1002 - 351/2862

および図３共に光透過型薄膜太陽電池モジュール１の細部構造、ブチルゴム、端子及び端子ボックスは省略してある。

【００４５】比較例

次に、この発明による光透過型薄膜太陽電池モジュールとの比較のために作製した非透過型薄膜太陽電池モジュールについて図９に基づいて簡単に説明する。図９に示すように、比較例として作製した非透過型薄膜太陽電池モジュール２０１は、実施例１のように透光部９を設けず、また、封止材１０の代わりにシート状のガラス繊維からなる断熱部材２１０をＥＶＡからなる接着剤１５で貼り付けたものである。断熱部材２１０はガラス基板２と同じ寸法を有し、その厚さは約２ｍｍである。その他の構成は実施例１と同じである。以上のような非透過型薄膜太陽電池モジュール２０１を、実施例１で用いたのと同じフレーム１６にブチルゴムを介して取り付け、比較例とした。

【００４６】実施例１に係る光透過型薄膜太陽電池１と比較例に係る非透過型薄膜太陽電池２０１とを屋外に設置し、その温度と光電変換効率の変化を調べた。比較例では、モジュールの温度が夏期において最高でもモジュール中央部で気温より約４０度の温度上昇、フレーム近傍のモジュール周辺部で約２５度の温度上昇に止まった。実施例１のモジュールでは気温に対してモジュール全面平均で約３０～４５度の温度上昇となり、夏期において約６０～７５℃となった。この結果、比較例では年平均で約２４％の光劣化が生じていたが、実施例１では光劣化が年平均で約２２％となり、改善効果が確認された。

【００４７】実施例２

この発明の実施例２に係る光透過型薄膜太陽電池モジュールについて図４に基づいて説明する。図４は実施例２に係る光透過型薄膜太陽電池モジュールの部分拡大断面図である。

【００４８】図４に示すように、実施例２に係る光透過型薄膜太陽電池モジュール２１は、封止材３０としてガラス板３０ａに酸化亜鉛膜３０ｂを膜厚約１μｍで成膜したものを使用した。それ以外の構成および各部材の形成方法は実施例１に係る光透過型薄膜太陽電池モジュール１と同じなので、それらの説明は省略する。

【００４９】実施例２に係る光透過型薄膜太陽電池２１と比較例に係る非透過型薄膜太陽電池２０１とを屋外に設置し、その温度と光電変換効率の変化を調べた。比較例では、モジュールの温度が夏期において最高でもモジュール中央部で気温より約４０度の温度上昇、フレーム近傍のモジュール周辺部で約２５度の温度上昇に止まった。実施例２のモジュールでは気温に対してモジュール全面平均で約３５～５０度の温度上昇となり、夏期において約６５～８０℃となった。この結果、比較例では年平均で約２４％の光劣化が生じていたが、実施例２では光劣化が年平均で約２１％となり、改善効果が確認された。

【００５０】なお、実施例２では封止材３０としてガラス板３０ａに酸化亜鉛膜３０ｂを膜厚約１μｍで成膜したものを用いたが、熱線吸収膜として最適化された酸化亜鉛膜と銀膜との積層膜を用いるとさらに良い。

【００５１】実施例３

この発明の実施例３に係る光透過型薄膜太陽電池モジュールについて図５に基づいて説明する。図５は実施例３に係る光透過型薄膜太陽電池モジュールの部分拡大断面図である。図５に示すように、実施例３に係る光透過型薄膜太陽電池モジュール４１は、封止材５０として空気を体積比で約１０％含んだガラス板を用いた。それ以外の構成および各部材の形成方法は実施例１に係る光透過型薄膜太陽電池モジュール１と同じなので、それらの説明は省略する。

【００５２】実施例３に係る光透過型薄膜太陽電池４１と比較例に係る非透過型薄膜太陽電池２０１とを屋外に設置し、その温度と光電変換効率の変化を調べた。比較例では、モジュールの温度が夏期において最高でもモジュール中央部で気温より約４０度の温度上昇、フレーム近傍のモジュール周辺部で約２５度の温度上昇に止まった。実施例３のモジュールでは気温に対してモジュール全面平均で約３５～５０度の温度上昇となり、夏期において約６５～８０℃となった。この結果、比較例では年平均で約２４％の光劣化が生じていたが、実施例３では光劣化が年平均で約２１％となり、改善効果が確認された。

【００５３】実施例４

この発明の実施例４に係る光透過型薄膜太陽電池モジュールについて図６に基づいて説明する。図６は実施例４に係る光透過型薄膜太陽電池モジュールの断面を簡略的に説明する断面図であり、実施例１の図３に相当する図である。なお、実施例１～３と同じ名称および構成の部材は同じ符号を用いて説明する。

【００５４】図６に示すように、実施例４に係る光透過型薄膜太陽電池モジュール６１は、実施例１に係る光透過型薄膜太陽電池モジュール１（図１、図３参照）の封止材１０上に透明な断熱部材１６を透明なシリコーン樹脂からなる接着剤を用いて貼り付けたものである。

【００５５】断熱部材１６は、熱伝導率が約０．０２ｋｃａｌ／ｍｈ℃で、可視光線透過率が約９０％のシリカエアロゲルからなるもので、その厚さは約１０ｍｍである。また、断熱部材の接着方法は、上記透明シリコーン樹脂を用いた接着に限らず、ＥＶＡを接着剤としたラミネート法、もしくはモジュールに直接塗布して硬化させる方法でも良い。それ以外の構成および各部材の形成方法は実施例１に係る光透過型薄膜太陽電池モジュール１と同じなので、それらの説明は省略する。

【００５６】実施例４に係る光透過型薄膜太陽電池６１

SAMSUNG EX. 1002 - 352/2862

と比較例に係る非透過型薄膜太陽電池２０１とを屋外に設置し、その温度と光電変換効率の変化を調べた。比較例では、モジュールの温度が夏期において最高でもモジュール中央部で気温より約４０度の温度上昇、フレーム近傍のモジュール周辺部で約２５度の温度上昇に止まった。実施例４のモジュールでは気温に対してモジュール全面平均で約４２～５５度の温度上昇となり、夏期において約７２～８５℃となった。この結果、比較例では年平均で約２４％の光劣化が生じていたが、実施例４では光劣化が年平均で約２０％となり、改善効果が確認された。

【００５７】実施例５

この発明の実施例５に係る光透過型薄膜太陽電池モジュールについて図７に基づいて説明する。図６は実施例４に係る光透過型薄膜太陽電池モジュールの断面を簡略的に説明する断面図であり、実施例１の図３に相当する図である。なお、実施例１～４と同じ名称及び構成の部材は同じ符号を用いて説明する。

【００５８】図７に示すように、実施例５に係る光透過型薄膜太陽電池モジュール８１は、実施例１に係る光透過型薄膜太陽電池モジュール１（図１、図３参照）のガラス基板２と表面電極層３を、熱ＣＶＤ法によって酸化錫透明導電膜が蒸着された青板ガラス８２としたものである。そして、上述の実施例４と同様に封止材１０上に透明な断熱部材１６を透明なシリコーン樹脂からなる接着剤を用いて貼り付けたものである。それ以外の構成および各部材の形成方法は実施例１に係る光透過型薄膜太陽電池モジュールと同じなので、それらの説明は省略する。

【００５９】実施例５に係る光透過型薄膜太陽電池８１と比較例に係る非透過型薄膜太陽電池２０１とを屋外に設置し、その温度と光電変換効率の変化を調べた。比較例では、モジュールの温度が夏期において最高でもモジュール中央部で気温より約４０度の温度上昇、フレーム近傍のモジュール周辺部で約２５度の温度上昇に止まった。実施例５のモジュールでは気温に対してモジュール全面平均で約５０～６０度の温度上昇となり、夏期において約８０～９０℃となった。この結果、比較例では年平均で約２４％の光劣化が生じていたが、実施例５では光劣化が年平均で約１８％となり、大きな改善効果が確認された。

【００６０】実施例６

この発明の実施例６に係る光透過型薄膜太陽電池モジュールについて図８に基づいて説明する。図８は実施例６に係る光透過型薄膜太陽電池モジュールの断面を簡略的に説明する断面図であり、実施例１の図３に相当する図である。なお、実施例１～５と同じ名称及び構成の部材は同じ符号を用いて説明する。

【００６１】図８に示すように、実施例６に係る光透過型薄膜太陽電池モジュール１０１は、実施例１に係る光透過型薄膜太陽電池モジュール１（図３参照）のフレーム１５を、太陽光が直接照射される面（受光面）が黒色でそれ以外の部分（非受光面）が銀色のフレーム１１５としたものである。図８において、フレーム１１５の黒色とされた部分は、ガラス基板２と平行となる表面１１５ａと、表面１１５ａからほぼ垂直に折れ曲がった側面１１５ｂである。そして、上述の実施例４と同様に封止材１０上に透明な断熱部材１６が透明なシリコーン樹脂からなる接着剤を用いて貼り付けられている。

【００６２】実施例６に係る光透過型薄膜太陽電池１０１と比較例に係る非透過型薄膜太陽電池２０１とを屋外に設置し、その温度と光電変換効率の変化を調べた。比較例では、モジュールの温度が夏期において最高でもモジュール中央部で気温より約４０度の温度上昇、フレーム近傍のモジュール周辺部で約２５度の温度上昇に止まった。実施例６のモジュールでは気温に対してモジュール全面平均で約４５～５５度の温度上昇となり、夏期において約７５～８５℃となった。この結果、比較例では年平均で約２４％の光劣化が生じていたが、実施例６では光劣化が年平均で約１９％となり、大きな改善効果が確認された。

【００６３】実施例のまとめとして、比較例と実施例１～６の気温からの上昇温度と光劣化率をそれぞれ表１に示す。なお表１中の気温からの上昇温度は、比較例ではモジュール中央部で測定した温度であり、実施例１～６ではモジュール全面の平均温度である。

【００６４】

【表１】

	従来	実施例１	実施例２	実施例３	実施例４	実施例５	実施例６
気温からの上昇温度（deg）	25～40	30～45	35～50	30～50	42～55	50～60	45～55
光劣化率（%）	24	22	21	21	20	18	19

【００６５】

【発明の効果】この発明によれば、光透過型薄膜太陽電池モジュールの透光性の封止材が約１５００～２０００ｎｍの近赤外波長領域で約４０％以上の光吸収率を有するので、光透過型薄膜太陽電池モジュールの光劣化を低減して高い出力を得ることができる。

【図面の簡単な説明】

【図１】この発明の実施例１に係る光透過型薄膜太陽電池モジュールの部分拡大断面図である。

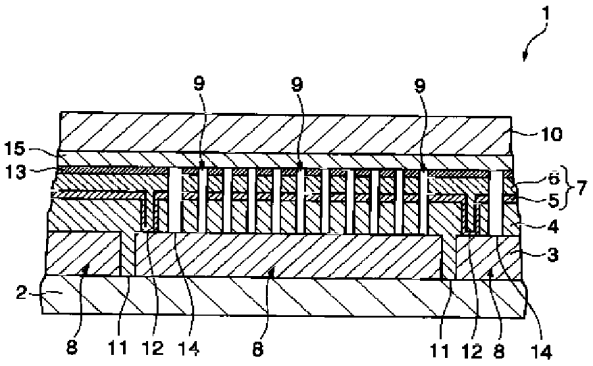
【図２】この発明の実施例１に係る光透過型薄膜太陽電池モジュールにフレームを取り付けた状態を示す平面図である。

SAMSUNG EX. 1002 - 353/2862

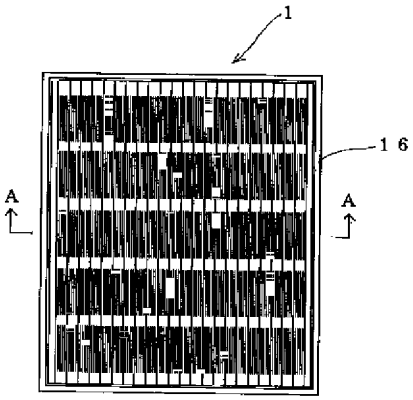
【図３】図２のＡ－Ａ断面を簡略的に示した断面図である。
【図４】この発明の実施例２に係る光透過型薄膜太陽電池モジュールの部分拡大断面図である。
【図５】この発明の実施例３に係る光透過型薄膜太陽電池モジュールの部分拡大断面図である。
【図６】この発明の実施例４に係る光透過型薄膜太陽電池モジュールの断面を簡略的に示した断面図である。
【図７】この発明の実施例５に係る光透過型薄膜太陽電池モジュールの断面を簡略的に示した断面図である。
【図８】この発明の実施例６に係る光透過型薄膜太陽電池モジュールの断面を簡略的に示した断面図である。
【図９】比較例として作製した非透過型薄膜太陽電池モジュールの部分拡大断面図である。
【符号の説明】

１・・・光透過型薄膜太陽電池モジュール
２・・・ガラス基板
３・・・表面電極層
４・・・光電変換層
５・・・透明導電膜
６・・・金属膜
７・・・裏面電極層
８・・・太陽電池セル
９・・・透光部
１０・・・封止材
１１・・・表面電極層分離ライン
１２・・・光電変換層分離ライン
１３・・・着色レジスト膜
１４・・・裏面電極層分離ライン
１５・・・接着剤

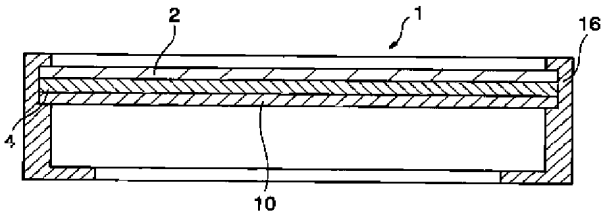
【図１】



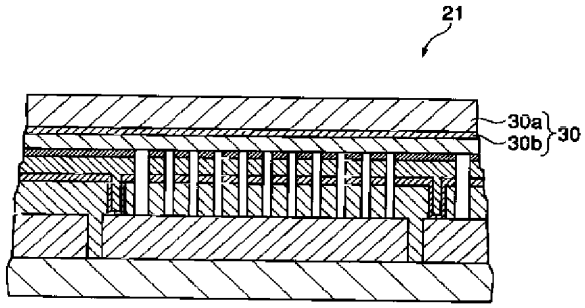
【図２】



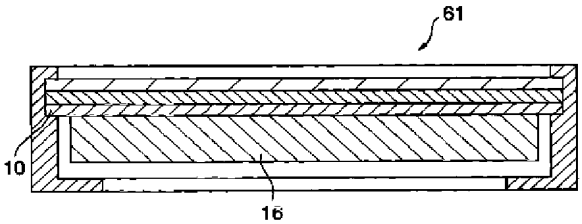
【図３】



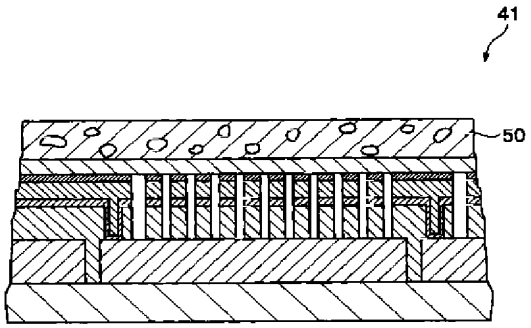
【図４】



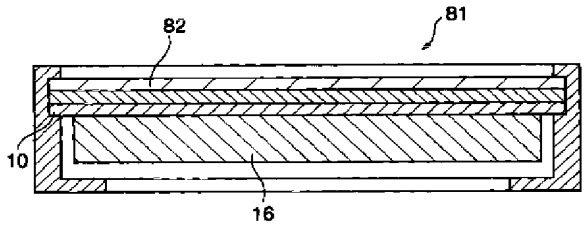
【図６】



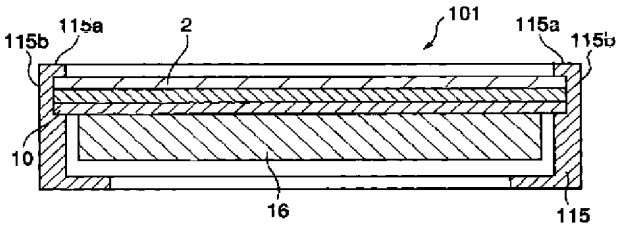
【図５】



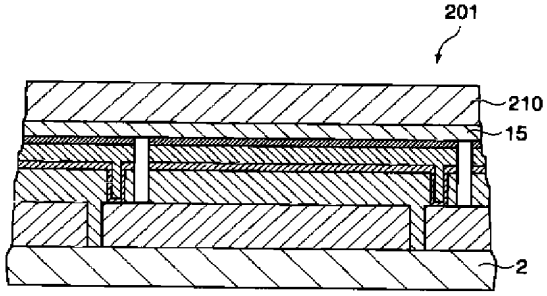
【図７】



【図８】



【図９】



Espacenet

Bibliographic data: JP2002134640 (A) — 2002-05-10

THIN PHOTOSENSITIVE SEMICONDUCTOR DEVICE

Inventor(s): BAI JINCHUAN + (BAI JINCHUAN)

Applicant(s): UNITED TEST CT INC + (UNITED TEST CENTER INC)

Classification: - international: ***H01L23/02; H01L23/04; H01L23/12; H01L23/28; H01L31/02; H01L31/0203; H01L31/024;*** (IPC1-7): H01L23/02; H01L23/04; H01L23/12; H01L23/28; H01L31/02

- cooperative: **H01L31/0203**; **H01L31/024**; H01L2224/45144; H01L2224/48091; H01L2224/48227; H01L2224/73265 more

Application number: JP20010027456 20010202

Priority number (s): TW20000121163 20001011

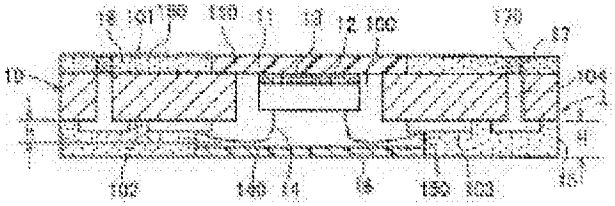
Also published as: JP3376356 (B2) US2002047200 (A1) US6683386 (B2) TW466785 (B)

Abstract of JP2002134640 (A)

PROBLEM TO BE SOLVED: To provide a thin photosensitive semiconductor device that can satisfy requirements of making thinner, by effectively reducing the height of a semiconductor device. SOLUTION: This device comprises a first surface 101, a second surface 102 of the opposite side of the first surface 101, a substrate 10 having a connecting electrode 103 at the second surface 102, a contact hole 104 that penetrates the substrate 10 and connects to the connecting electrode 103 electrically, a large diameter cavity 100 for storing a semiconductor element 12, a cover sheet 11 by which the large diameter cavity 100 is covered and to which the semiconductor element 12 is adhered, a first resin covering layer 15 that is formed on the second surface 102 to cover the connecting electrode 103, a seal member for isolating the semiconductor element 12 and a first conductive member,; which connect to a first resin covering layer 15 in succession, in an air tightness state from an external, and a second resin covering layer 18 formed on the first surface 101 of the substrate 10.

SAMSUNG EX. 1002 - 356/2862

FIG. 1



SAMSUNG EX. 1002 - 357/2862

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報（Ａ）**　(11)特許出願公開番号
特開2002－134640
（P2002－134640A）
(43)公開日　平成14年５月10日(2002.5.10)

(51)Int.Cl.[7]	識別記号	ＦＩ		テーマコード（参考）
Ｈ０１Ｌ　23/04		Ｈ０１Ｌ　23/04	Ｅ	４Ｍ１０９
23/02		23/02	Ｆ	５Ｆ０８８
23/12	５０１	23/12	５０１Ｔ	
23/28		23/28	Ｋ	
31/02		31/02	Ｂ	

審査請求　有　　請求項の数11　ＯＬ　（全　６　頁）

(21)出願番号　特願2001－27456(P2001－27456)

(22)出願日　平成13年２月２日(2001.2.2)

(31)優先権主張番号　８９１２１１６３
(32)優先日　平成12年10月11日(2000.10.11)
(33)優先権主張国　台湾（ＴＷ）

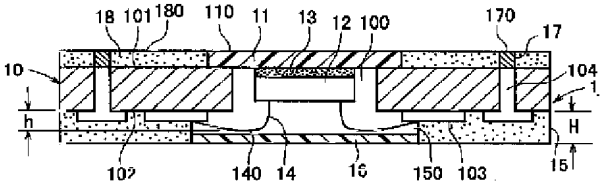
(71)出願人　50052/188
ユナイテッド　テスト　センター　インコーポレイテッド
台湾、シン－チュウ、サイエンスーベースド　インダストリアル　パーク、３、リーシン　ロード、ナンバー　２
(72)発明者　ジンチュアン　パイ
台湾、タイペイ、サンチュン、チュンチェン　エヌ．ロード、レーン　394、アレイ　６、ナンバー　５、４　エフ．
(74)代理人　10007/665
弁理士　千葉　剛宏　（外１名）

Ｆターム(参考)　4M109 AA04 BA04 DB16
5F088 BA15 BB03 JA03 JA07 JA10

(54)【発明の名称】　薄型感光式半導体装置

(57)【要約】
【課題】半導体装置の高さを効果的に低減して、薄型化の要求を満足することが可能な薄型感光式半導体装置を提供する。
【解決手段】第１の表面１０１と、第１の表面１０１反対側の面である第２の表面１０２と、第２の表面１０２に接続電極１０３を有する基板１０と、基板１０を貫通して接続電極１０３と電気的に接続される接続孔１０４と、半導体素子１２を収納する大径孔１００と、前記大径孔１００を被すと共に前記半導体素子１２が接着されるカバーシート１１と、前記の第２の表面１０２上に形成して前記接続電極１０３を被覆する第１の樹脂被覆層１５と、前記第１の樹脂被覆層１５に連接して前記半導体素子１２及び第１の導電部材を外部から気密的に隔離するシール部材と、前記基板１０の第１の表面１０１上に形成する第２の樹脂被覆層１８とを含む。

FIG. 1



SAMSUNG EX. 1002 - 358/2862

【特許請求の範囲】
【請求項１】第１の表面と、前記第１の表面の反対側の面に複数の接続電極を形成した第２の表面とを有する基板に、前記基板を貫通し、且つ前記第２の表面上の複数の接続電極に電気的に接続された複数の接続孔と、前記基板を貫通して形成された大径孔を有し、前記基板の第１の表面側にて、前記基板の大径孔を外側から被すカバーシートと、前記基板の大径孔内に収納されて前記カバーシートに接着された半導体素子と、前記半導体素子と前記接続電極を電気的に接続する複数の第１導電部材と、前記基板の第２の表面上に形成されて前記接続電極を被覆する第１の樹脂被覆層と、前記第１の樹脂被覆層に連続して前記半導体素子及び第１の導電部材を外部から気密的に隔離するシール部材と、前記基板の第１の表面上に配設されて前記接続孔に電気的に接続される第２の導電部材、及び前記基板の第１の表面上に形成される第２の樹脂被覆層を含み、前記カバーシート及び第２導電部材は前記第２の樹脂被覆層より露出されると共に、カバーシートの露出面及び第２導電部材の露出部を前記第２樹脂被覆層の外部表面と同一平面に形成したことを特徴とする薄型感光式半導体装置。
【請求項２】前記カバーシートが樹脂材で作成されたことを特徴とする請求項１に記載の薄型感光式半導体装置。
【請求項３】前記カバーシートが伝熱性の良い金属で作成されたことを特徴とする請求項１に記載の薄型感光式半導体装置。
【請求項４】前記シール部材が透明シート体であって、前記基板の大径孔に対応して、前記第１樹脂被覆層に形成される開孔部をシールすることを特徴とする請求項１に記載の薄型感光式半導体装置。
【請求項５】前記シール部材が透明シート体であって、前記シール部材を前記第１樹脂被覆層全面に接着して、前記第１樹脂被覆層及び前記基板の大径孔に対応して前記第１樹脂被覆層に形成される開孔部をカバーすることを特徴とする請求項１に記載の薄型感光式半導体装置。
【請求項６】前記シール部材が透明樹脂で形成された充填樹脂であって、シール部材を前記基板大径孔内の充填に用い、前記半導体素子及び第１導電部材を完全に被覆することを特徴とする請求項１に記載の薄型感光式半導体装置。
【請求項７】前記第１導電部材が金線であることを特徴とする請求項１に記載の薄型感光式半導体装置。
【請求項８】前記第２導電部材が半田ボール（solder ball）であることを特徴とする請求項１に記載の薄型感光式半導体装置。
【請求項９】前記第２導電部材が接続バンプ（connecting bump）であることを特徴とする請求項１に記載の薄型感光式半導体装置。
【請求項１０】前記バンプは、導電性金属で作成されたことを特徴とする請求項９に記載の薄型感光式半導体装置。
【請求項１１】前記第１樹脂被覆層の厚さを、前記第１導電部材が基板の第２の表面の高さより大きくして、前記第１導電部材が前記第１樹脂被覆層から露出しないようにしたことを特徴とする請求項１に記載の薄型感光式半導体装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は、感光型半導体パッケージに関し、特に、外部光線を入射可能にして、封止された半導体素子が外部光線を受光しうるようにした感光型半導体パッケージに関する。
【０００２】
【従来の技術】一般の半導体装置は、その半導体素子（チップとも云う）を外部の空気または湿気による化学変化を防止すると共に、外力の衝撃によって前記半導体素子が破損することを避けるため、通常は前記の半導体素子を不透光モールド樹脂内に封止して保護する。しかし、半導体素子が撮像素子のような画像検出（image sensing）型または紫外線消去可能な（ultraviolet erasable）ＥＰ-ＲＯＭ等である半導体装置は、前記半導体素子が外部からの光線を受光できるようにしなければならない。従って、感光式半導体装置の構造は、外部光線が装置内部に入射して、装置内部の感光型素子が入射光線を検知することが出来るように設計される。
【０００３】従来の感光式半導体装置は業者の必要と設計とによって多種類の形式に構成される。図４に示す半導体装置もその一つである。図４に示す半導体装置３は、基板３０の上面に半導体素子（以下単に素子と略称する）３２をダイボンドすると共に、金線３４を用いて基板３０上の接続電極３１とワイヤボンディングして電気的接続を形成し、素子３２を該基板３０上に固着した状態でケース体３６内に収納する。次いで、透明蓋体３８をケース体３６上に固着して、前記素子３２と、金線３４とを外部から気密に隔離する。但し、外部光線が、前記透明蓋体３８を通ってケース体３６内の前記素子３２を照射可能に構成される。図４において、３７は接続電極３１を半田ボール３９と電気的に接続する接触孔（ビアとも云う）である。
【０００４】上記の従来の構成は、半導体装置３全体の高さが半田ボール３９と、基板３０と、素子３２と金線３４が素子３２の高さを越えた部分と、金線３４と透明蓋体３８との間の距離、及び透明蓋体３８等の高さ（厚さ）等を含むので、薄型化が難しく、製品薄型化の需要を満足することが出来ない。なお、前記基板３０は、その上面に素子３２とケース体３６を固着し、底面部に半田ボール３９を植設するため、温度サイクル及び信頼性試験等の大幅な温度変化があると、材質の熱膨張係数の差異によって、基板３０に熱応力が発生して反り（warp

SAMSUNG EX. 1002 - 359/2862

age）を発生し、そのため、基板３０と素子３２との間の接着部分に剥離（delamination）が発生する他、複数の半田ボール３９の平面度を失い、前記半田ボール３９がプリント基板等の外部装置との電気的接続のリフロー（reflow）作業において、複数の半田ボール３９が外部装置上の接続点に均一に溶接しえなくなって、品質及び信頼性に著しく影響する。

【０００５】

【発明が解決しようとする課題】この発明の目的は、半導体装置の高さを効果的に低減して、薄型化の要求を満足することが可能な薄型感光式半導体装置を提供することである。

【０００６】本発明の別の目的は、半導体装置の機械強度を増強することによって、基板の反りの発生を有効に防止しうる薄型感光式半導体装置を提供することである。

【０００７】本発明の他の目的は、放熱性が良好な薄型感光式半導体装置を提供することである。

【０００８】本発明のさらに別の目的は、外部装置との電気的接続性が向上された薄型感光式半導体装置を提供することである。

【０００９】本発明のさらに別の目的は、基板厚さの薄型化において製造性に影響せず、且つ、基板コストの低減に寄与しうる薄型感光式半導体装置を提供することである。

【００１０】

【課題を解決するための手段】本発明の薄型感光式半導体装置は、第１の表面と、前記第１の表面の反対側の面に複数の接続電極を形成した第２の表面とを有する基板に、前記基板を貫通し、且つ前記第２の表面上の複数の接続電極に電気的に接続された複数の接続孔と、前記基板を貫通して形成された大径孔を有し、前記基板の第１の表面側にて、前記基板の大径孔を外側から被すカバーシートと、前記基板の大径孔内に収納されて前記カバーシートに接着された半導体素子と、前記半導体素子と前記接続電極を電気的に接続する複数の第１導電部材と、前記基板の第２の表面上に形成されて前記接続電極を被覆する第１の樹脂被覆層と、前記第１の樹脂被覆層に連続して前記半導体素子及び第１の導電部材を外部から気密的に隔離するシール部材と、前記基板の第１の表面上に配設されて前記接続孔に電気的に接続される第２の導電部材、及び前記基板の第１の表面上に形成される第２の樹脂被覆層を含み、前記カバーシート及び第２導電部材は前記第２の樹脂被覆層より露出されると共に、カバーシートの露出面及び第２導電部材の露出部を前記第２樹脂被覆層の外部表面と同一平面に形成したことを特徴とする。

【００１１】また、前記カバーシートが樹脂材で作成されたことを特徴とする。

【００１２】また、前記カバーシートが伝熱性の良い金属で作成されたことを特徴とする。

【００１３】また、前記シール部材が透明シート体であって、前記基板の大径孔に対して、前記第１樹脂被覆層に形成される開孔部をシールすることを特徴とする。

【００１４】また、前記シール部材が透明シート体であって、前記シール部材を前記第１樹脂被覆層全面に接着して、前記第１樹脂被覆層及び前記基板の大径孔に対応して前記第１樹脂被覆層に形成される開孔部をカバーすることを特徴とする。

【００１５】また、前記シール部材が透明樹脂で形成された充填樹脂であって、シール部材を前記基板大径孔内の充填に用い、前記半導体素子及び第１導電部材を完全に被覆することを特徴とする。

【００１６】また、前記第１導電部材が金線であることを特徴とする。

【００１７】また、前記第２導電部材が半田ボール（solder ball）であることを特徴とする。

【００１８】また、前記第２導電部材が接続バンプ（connecting bump）であることを特徴とする。

【００１９】また、前記バンプは、導電性金属で作成されたことを特徴とする。

【００２０】また、前記第１樹脂被覆層の厚さを、前記第１導電部材が基板の第２の表面の高さより大きくして、前記第１導電部材が前記第１樹脂被覆層から露出しないようにしたことを特徴とする。

【００２１】前記カバーシートは、シリカゲル（silica gel）、エポキシ樹脂（epoxy）、ポリイミド（polyimide）または類似材料から成るシート状部材、或いは、放熱性の良い金属銅、アルミニウム、銅合金、アルミ合金等で構成し、更に放熱性を良くするため、伝熱性粘着剤を使用して前記素子をカバーシートに接着する。

【００２２】前記シール部材は、ガラス、プラスチックまたは金属材料等で透明なシート体を形成し、前記基板の大径孔に対応して第１樹脂被覆層上に形成される開孔部を蓋して前記大径孔内の素子及び第１の導電素子の外部との気密隔離を行う。また、前記シール部材を前記基板の大径孔及び第１樹脂被覆層の開孔部に充填する透明樹脂体を形成する。前記の樹脂材は透明である故、前記透明樹脂体に被覆された素子は、効果的に外部からの入射光を検知することが出来る。

【００２３】第１導電部材に金線を用い、第２導電部材は、周知の植球技術により基板の第１の表面上の接続孔端部に半田ボール（solder ball）を形成して、半田ボールと導通孔を電気接続する。なお、銅、錫、その合金またはその他の導電性金属を用いて接続バンプ（Connecting bump）を従来の印刷技術で基板第１の表面上の接続孔端部位置に形成することも可能である。第２導電部材を基板の第１の表面上に形成した後、前記第２導電部材及び前記カバーシートを露出させるように、第２樹脂被覆層を前記基板の第１の表面上に形成する。第２樹脂

SAMSUNG EX. 1002 - 360/2862

被覆層は、第２導電部材とカバーシートを全面的に被覆した後に、研磨して第２導電部材とカバーシートを露出させても良い。前記第２樹脂被覆層、或いは第２樹脂被覆層と第２導電部材、または第２樹脂体と第２導電部材及びカバーシートの表面をさらに研磨して全体を薄くする。従って、効果的にシール後の完製品全体の高さを低減させ、前記第２樹脂被覆層と前記第２導電部材の露出端部及びカバーシートの露出表面を同一面に形成する。

【００２４】

【発明の実施の形態】実施例１

図１は、本発明に係る実施例１の薄型感光式半導体装置１の断面図である。図１に示すように、本発明の実施例１の半導体装置１は、中央部分に大径孔１００を形成した基板１０を用い、前記基板１０は第１の表面１０１と、前記第１の表面１０１の反対側の第２の表面１０２とを有し、前記第２の表面１０２上に導電性材料がある複数の接続電極１０３を形成し、この接続電極１０３に接続され、前記基板１０を貫通して形成される接続孔１０４を有する。前記接続電極１０３及び接続孔１０４は、従来の半導体装置３のそれと同一であるので、説明を省略する。前記基板１０の第１の表面１０１に完全を被すように、カバーシート１１を接着する。基板１０の大径孔１００に臨むカバーシート１１の表面に半導体素子１２を銀蝋等接着剤１３で接着して、基板１０の大径孔１００内に収納する。

【００２５】以上に説明したように、前記カバーシート１１は、ポリイミド等の樹脂材料で構成するシート、或いは銅等の伝熱性金属で作成された放熱シートで構成される。前記カバーシート１１を放熱性の良い材料で形成すると、半導体素子１２に発生する熱は直接前記カバーシート１１に伝導されて外部へ放出されるので、半導体装置１の放熱効率を向上させる。

【００２６】前記半導体素子１２をカバーシート１１の適当な位置に固着した後、複数の金線１４を用いて、前記半導体素子１２を基板１０に、ＴＡＢ（tab automated bond）技術等の周知の方法で接続する。

【００２７】金線１４の接続作業が完了すると、基板１０の第２の表面１０２の大径孔１００の部分と接続電極１０３に金線１４が接続された箇所を含む部分を開孔部１５０として、この開孔部１５０以外の領域を樹脂材料で被覆して第１の樹脂被覆層１５を形成する。この第１の樹脂被覆層１５は印刷方法などの方法で、その厚さＨを、金線１４の円弧頂点１４０、即ち金線１４であるワイヤループの高さｈを十分に超越し（図１においてＨ＞ｈ）、かつ後述する透明シート１６の厚さを含む程度に設定する。

【００２８】上述のように第１の樹脂被覆層１５の厚さＨを抑制することによって、半導体装置１全体の厚さを、図４に示す従来のＢＧＡ型半導体装置の全体の厚さより小さくすることができる。

【００２９】前記第１の樹脂被覆層１５を形成した後、前記開孔部１５０に透明シート１６を嵌着して大径孔１００を含む開孔部１５０を気密に封止する。こうした構成により、外部からの光は透明シート１６を通って半導体装置１内へ入射し、半導体素子１２によってそれを検知することができるようになる。

【００３０】また、前記基板１０の第１の表面１０１上に周知の印刷方法で複数の接続バンプ１７を前記接続孔１０４の第１の表面１０１の端部に形成し、それぞれの接続バンプ１７を前記接続孔１０４に電気的に接続し、この接続バンプ１７を介して前記半導体素子１２を外部装置（図示しない）に電気的に接続しうるようにする。

【００３１】接続バンプ１７を前記基板１０の第１の表面１０１上に布設した後、基板１０の第１の表面１０１をエポキシ樹脂等の封止材にて被覆して第２の樹脂被覆層１８を形成する。この時、第２の樹脂被覆層１８の硬化後に前記接続バンプ１７の表面部１７０及びカバーシート１１の外表面１１０が前記第２の樹脂被覆層１８の外部に露出するようにするか、または、前記接続バンプ１７及びカバーシート１１を完全に被覆した後に、周知の研磨方式で前記第２の樹脂被覆層１８を、前記接続バンプ１７の表面部１７０及びカバーシート１１の外表面１１０が露出する迄薄く研磨し、前記第２の樹脂被覆層１８の頂点１８０、接続バンプ１７の表面部１７０及びカバーシート１１の外表面１１０を同一平面上に整合させる。さらに、半導体装置１の全体の高さを低減させたい場合は、前記接続バンプ１７及びカバーシート１１を前記第２の樹脂被覆層１８から露出させた後、基板１０の方向に向けて前記第２の樹脂被覆層１８と、接続バンプ１７及びカバーシート１１を適切な厚さまでに研磨することができる。前記第２の樹脂被覆層１８の頂点１８０と、接続バンプ１７の表面部１７０及びカバーシート１１の外表面１１０が同一平面になるようにしたので、前記半導体装置１の接続バンプ１７の表面部１７０と外部装置、例えば、プリント基板上の接続パッド（図示しない）を表面接続技術（surface mounting technology, SMT）等の方式で電気的に接続させる時に、それぞれの接続バンプ１７を均一に外部装置上の接続点に接続させることが出来る。故に従来ＢＧＡ型半導体装置に発生する半田ボール３９端部の不均一平面による接続不良は発生しない。従って、本発明による半導体装置１はより良い加工性を有する。

【００３２】また、基板１０の第１の表面１０１及び第２の表面１０２上に第１の樹脂被覆層１５と第２の樹脂被覆層１８を形成するので、装置本体の構造上において機械強度を増強する他、温度循環及び実際操作中の高温環境においても、第１の樹脂被覆層１５と第２の樹脂被覆層１８が基板１０に対して発生する熱応力を効果的に吸収して装置本体の反り（warpage）の発生を防止し、半導体素子１２とカバーシート１１間に剥離が発生する

ことを回避する。よって、製品の歩留及び信頼性向上になる。

【００３３】さらに、前記半導体素子１２を基板１０の大径孔１００内に収納し、且つ、第１の樹脂被覆層１５及び第２の樹脂被覆層１８の厚さは、従来の半導体装置３における素子３２の厚さと半田ボール３９の高さよりも小さいので、本発明の半導体装置１における全体の高さは、従来の素子３２を基板３０上面に粘設し、半田ボール３９を基板３０底面に植設したＢＧＡ型半導体装置の全体の高さに比べて低くなる。従って薄型化の要求に対応することができる。

【００３４】また、前記基板１０の第１の表面１０１及び第２の表面１０２上にそれぞれ第２の樹脂被覆層１８及び第１の樹脂被覆層１５を形成することによって、装置本体の機械強度が増加する。従って、基板１０の厚さを小さくしても装置全体の機械強度は十分に確保できる。

【００３５】なお、上述の実施例１では透明シート１６を開孔部１５０に嵌着させたが、図２に示すように第１の樹脂被覆層１５の表面全体に被着して開孔部１５０をその他の領域と共に封止してもよい。

【００３６】実施例２

図３は、本発明の実施例２の薄型感光式半導体装置２におけるさらに別の実施形態の断面図である。この実施例２の半導体装置２の構造は、前記実施例１とほぼ同一である。しかし、実施例２の半導体装置２に使用される素子２２及び金線２４を外部から気密隔離する部材に充填樹脂体２６が用いられる。充填樹脂体２６として、透明樹脂体を基板２０の大径孔２００と第１の樹脂被覆層２５の開孔部２５０に充填して硬化させる。形成後の充填樹脂体２６によって、前記素子２２及び金線２４を外部から気密隔離すると共に、前記基板２０の第１の表面２０１上に周知の方法で、ＳｎまたはＳｎ・Ｐｂ合金の半田ボール２７を形成し、半田ボール２７と前記基板２０の接続２０４とを電気的に接続させ、前記基板２０の第１の表面２０１上に、封止シート２１及び半田ボール２７とを被覆する第２の樹脂被覆層２８を形成した後、研磨にて前記第２の樹脂被覆層２８及び半田ボール２７の厚さを封止シート２１等の高さ迄に薄型化し、前記第２の樹脂被覆層２８の頂点２８０と半田ボール２７の表面２７０及び封止シート２１の外表面２１０を同一表面になるように研磨して、平坦な表面を形成する。

【００３７】

【発明の効果】以上に説明したように、本発明の薄型感光式半導体装置は、全体の厚さが薄くなり、且つ、外部装置との電気的接続性が良くなる効果がある。

【図面の簡単な説明】

【図１】本発明の実施例１の薄型感光式半導体装置の断面図である。

【図２】本発明の実施例１の薄型感光式半導体装置における別の実施形態の断面図である。

【図３】本発明の実施例２の薄型感光式半導体装置におけるさらに別の実施形態の断面図である。

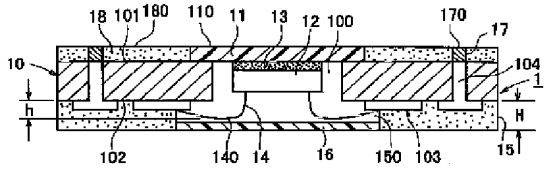
【図４】従来の感光式半導体装置の断面図である。

【符号の説明】

１　半導体装置	３　半導体装置
１０　基板	１１　カバーシート
１２　半導体素子	
１４　金線	１５　第１の樹脂体
１７　接続バンプ	１８　第２の樹脂体
３０　基板	３２　素子
３４　金線	３６　ケース体
３８　透明蓋体	３９　半田ボール
１００　大径孔	１０１　第１の表面
１０２　第２の表面	１０３　接続電極
１０４　接続孔	
１４０　円弧頂点	１５０　開孔部
１７０　表面部	１８０　頂点
ｈ　高さ	Ｈ　厚さ

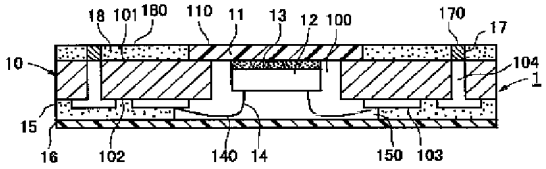
【図１】

FIG. 1



【図２】

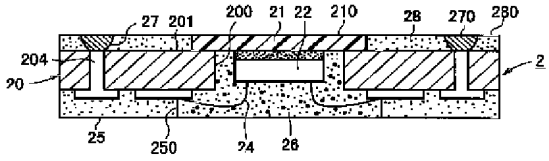
FIG. 2



SAMSUNG EX. 1002 - 362/2862

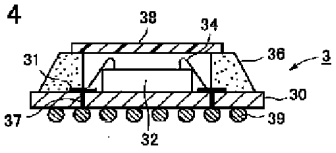
【図3】

FIG. 3



【図4】

FIG. 4



Espacenet

Bibliographic data: JP2003163360 (A) — 2003-06-06

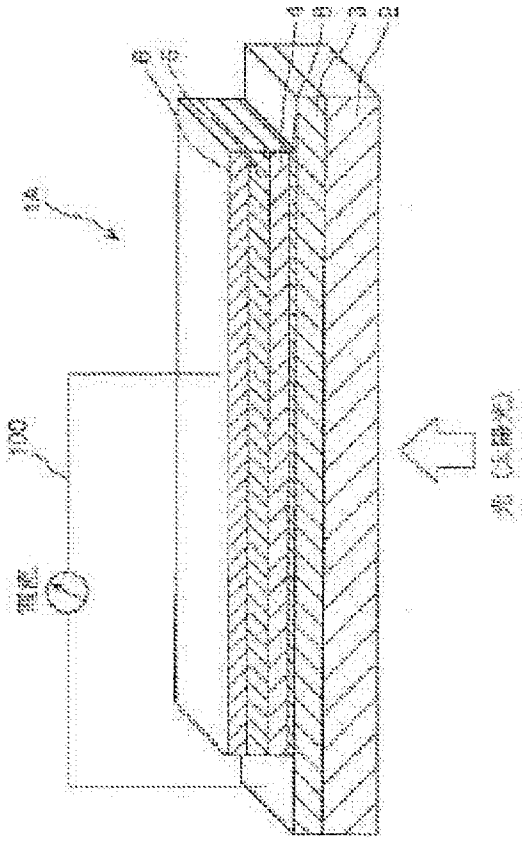
PHOTOELECTRIC CONVERTER DEVICE

Inventor(s):	FUJIMORI YUJI; MIYAMOTO TSUTOMU ± (FUJIMORI YUJI, ; MIYAMOTO TSUTOMU)
Applicant(s):	SEIKO EPSON CORP ± (SEIKO EPSON CORP)
Classification:	**- international:** ***H01L31/04; H01M14/00;*** (IPC1-7): H01L31/04; H01M14/00 **- cooperative:** **H01L51/4253;** Y02E10/542; Y02E10/549; Y02P70/521
Application number:	JP20010346709 20011112
Priority number (s):	JP20010346709 20011112 ; JP20000373590 20001207 ; JP20010163412 20010530 ; JP20010278808 20010913
Also published as:	JP4461657 (B2)

Abstract of JP2003163360 (A)

PROBLEM TO BE SOLVED: To provide a solid pigment sensitized photoelectric converter device which can be manufactured at a low cost and has a superior photoelectric conversion efficiency. ;SOLUTION: A solar battery 1A shown in Fig. 1 is a so-called dry solar battery that does not need an electrolytic solution, and it comprises a substrate 2, a first electrode 3 formed on the top face of the substrate 2, a barrier layer 8 formed on the top face of the first electrode 3, a photo detecting layer 4 disposed on the top face of the barrier layer 8, a hole carrier layer 5 formed on the top face of the photo detecting layer 4, and a second electrode 6 formed on the top face of the hole carrier layer 5. The barrier layer 8 constitutes a short-circuit preventing means for preventing or suppressing a short circuit (leakage) between the first electrode 3 and the hole carrier layer 5, and is so formed that the porosity is smaller than that of the photo detecting layer 4. ;COPYRIGHT: (C)2003,JPO

SAMSUNG EX. 1002 - 364/2862



SAMSUNG EX. 1002 - 365/2862

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号
特開2003－163360
（P2003－163360A）
(43)公開日　平成15年６月６日(2003.6.6)

(51)Int.Cl.[7]	識別記号	ＦＩ		テーマコード*（参考）
Ｈ０１Ｌ　31/04		Ｈ０１Ｍ　14/00	Ｐ	５Ｆ０５１
Ｈ０１Ｍ　14/00		Ｈ０１Ｌ　31/04	Ｚ	５Ｈ０３２

審査請求　未請求　請求項の数45　ＯＬ　（全 23 頁）

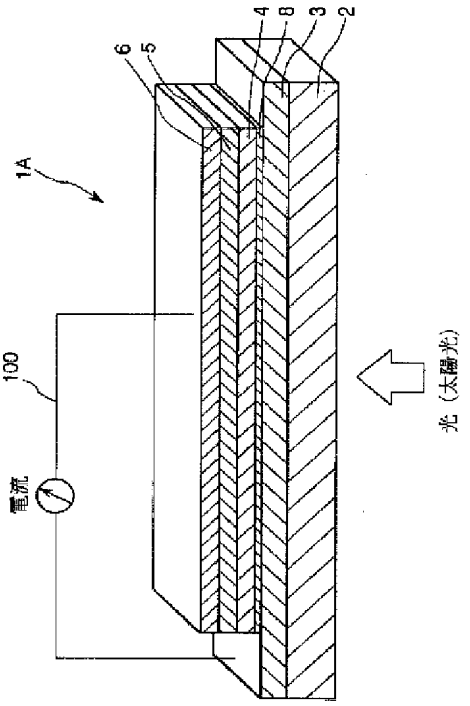
(21)出願番号　特願2001－346709(P2001－346709)
(22)出願日　平成13年11月12日(2001.11.12)
(31)優先権主張番号　特願2000－373590(P2000－373590)
(32)優先日　平成12年12月７日(2000.12.7)
(33)優先権主張国　日本（ＪＰ）
(31)優先権主張番号　特願2001－163412(P2001－163412)
(32)優先日　平成13年５月30日(2001.5.30)
(33)優先権主張国　日本（ＪＰ）
(31)優先権主張番号　特願2001－278808(P2001－278808)
(32)優先日　平成13年９月13日(2001.9.13)
(33)優先権主張国　日本（ＪＰ）

(71)出願人　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(72)発明者　藤森　裕司
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内
(72)発明者　宮本　勉
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内
(74)代理人　100091292
弁理士　増田　達哉　（外１名）

最終頁に続く

(54)【発明の名称】　光電変換素子

(57)【要約】
【課題】安価に製造ができ、光電変換効率に優れる固体型色素増感型光電変換素子を提供すること。
【解決手段】図１に示す太陽電池１Ａは、電解質溶液を必要としない、いわゆる乾式太陽電池と呼ばれるものであり、基板２と、基板２の上面に設置された第１の電極３と、第１の電極３の上面に設置されたバリヤ層８と、バリヤ層８の上面に設置された受光層４と、受光層４の上面に設置された正孔輸送層５と、正孔輸送層５の上面に設置された第２の電極６とを有している。バリヤ層８は、第１の電極３と正孔輸送層５との間での短絡（リーク）を防止または抑制する短絡防止手段を構成するものであり、受光層４の空孔率より、その空孔率が小さくなるよう形成されたものである。



SAMSUNG EX. 1002 - 366/2862

【特許請求の範囲】
【請求項１】　第１の電極と、該第１の電極と対向して設置された第２の電極と、
前記第１の電極と前記第２の電極との間に位置し、その少なくとも一部が多孔質な受光層と、
該受光層と前記第２の電極との間に位置する正孔輸送層とを有し、
前記受光層と前記正孔輸送層との界面に整流障壁が形成されている光電変換素子であって、
前記第１の電極と前記正孔輸送層との間での短絡を防止または抑制する短絡防止手段を有することを特徴とする光電変換素子。
【請求項２】　前記短絡防止手段は、前記受光層の空孔率より、その空孔率が小さくなるよう形成されたバリヤ層である請求項１に記載の光電変換素子。
【請求項３】　前記バリヤ層の空孔率をＡ［％］とし、前記受光層の空孔率をＢ［％］としたとき、Ｂ／Ａが１．１以上である請求項２に記載の光電変換素子。
【請求項４】　前記バリヤ層の空孔率は、２０％以下である請求項２または３に記載の光電変換素子。
【請求項５】　前記バリヤ層と前記受光層との厚さの比率は、１：９９～６０：４０である請求項２ないし４のいずれかに記載の光電変換素子。
【請求項６】　前記バリヤ層は、平均厚さが０．０１～１０μｍである請求項２ないし５のいずれかに記載の光電変換素子。
【請求項７】　前記バリヤ層は、前記受光層と同等の電気伝導性を有する請求項２ないし６のいずれかに記載の光電変換素子。
【請求項８】　前記バリヤ層は、主として酸化チタンで構成される請求項２ないし７のいずれかに記載の光電変換素子。
【請求項９】　前記バリヤ層は、ＭＯＤ（Metal Organic DepositionまたはMetal Organic Decomposition）法により形成されたものである請求項２ないし８のいずれかに記載の光電変換素子。
【請求項１０】　前記ＭＯＤ法により前記バリヤ層を形成する際に用いられるバリヤ層材料は、金属アルコキシドと、該金属アルコキシドを安定化させる機能を有する添加物とを含むものである請求項９に記載の光電変換素子。
【請求項１１】　前記添加物は、前記金属アルコキシドのアルコキシル基に置換し、前記金属アルコキシドの金属原子に配位することにより、前記金属アルコキシドの加水分解を抑止する加水分解抑止剤である請求項１０に記載の光電変換素子。
【請求項１２】　前記バリヤ層と前記受光層との全体における厚さ方向の抵抗値が１００Ω／ｃｍ^{2}以上である請求項２ないし１１のいずれかに記載の光電変換素子。
【請求項１３】　前記バリヤ層は、前記第１の電極と前記受光層との間に位置する請求項２ないし１２のいずれかに記載の光電変換素子。
【請求項１４】　前記バリヤ層と前記受光層との界面は、不明確である請求項１３に記載の光電変換素子。
【請求項１５】　前記バリヤ層と前記受光層とは、一体的に形成される請求項１３または１４に記載の光電変換素子。
【請求項１６】　前記受光層の一部が、前記バリヤ層として機能する請求項２ないし１２のいずれかに記載の光電変換素子。
【請求項１７】　前記短絡防止手段は、前記第１の電極と前記正孔輸送層との間隔を規定するスペーサである請求項１に記載の光電変換素子。
【請求項１８】　前記スペーサの平均厚さをＨ［μｍ］とし、前記正孔輸送層の最大厚さをｈ１［μｍ］とし、前記受光層の最大厚さをｈ２［μｍ］としたとき、ｈ１＋ｈ２＞Ｈ≧ｈ１なる関係を満足する請求項１７に記載の光電変換素子。
【請求項１９】　前記受光層は、可視光領域の波長の光の吸収を可能とする可視化処理が施されている請求項１ないし１８のいずれかに記載の光電変換素子。
【請求項２０】　前記受光層は、膜状をなしている請求項１ないし１９のいずれかに記載の光電変換素子。
【請求項２１】　前記受光層は、平均厚さが０．１～３００μｍである請求項１ないし２０のいずれかに記載の光電変換素子。
【請求項２２】　前記受光層の空孔率は、５～９０％である請求項１ないし２１のいずれかに記載の光電変換素子。
【請求項２３】　前記受光層の少なくとも一部は、平均粒径が１ｎｍ～１μｍの受光層材料の粉末を用いて形成されたものである請求項１ないし２２のいずれかに記載の光電変換素子。
【請求項２４】　前記受光層の少なくとも一部は、平均粒径が１ｎｍ～１μｍの受光層材料の粉末を含有するゾル液を用いるゾル・ゲル法により形成されたものである請求項１ないし２３のいずれかに記載の光電変換素子。
【請求項２５】　前記受光層材料の粉末の前記ゾル液中の含有量は、０．１～１０重量％である請求項２４に記載の光電変換素子。
【請求項２６】　前記受光層は、主として二酸化チタンで構成される請求項１ないし２５のいずれかに記載の光電変換素子。
【請求項２７】　前記正孔輸送層は、主としてイオン伝導特性を有する物質で構成される請求項１ないし２６のいずれかに記載の光電変換素子。
【請求項２８】　前記イオン伝導特性を有する物質は、ハロゲン化金属化合物である請求項２７に記載の光電変換素子。
【請求項２９】　前記ハロゲン化金属化合物は、ヨウ化

金属化合物である請求項２８に記載の光電変換素子。
【請求項３０】　前記正孔輸送層は、前記イオン伝導特性を有する物質を含む正孔輸送層材料を塗布法により、前記受光層上に塗布して形成されたものである請求項２７ないし２９のいずれかに記載の光電変換素子。
【請求項３１】　前記正孔輸送層は、前記受光層を加熱しつつ、前記正孔輸送層材料を前記受光層上に塗布して形成されたものである請求項３０に記載の光電変換素子。
【請求項３２】　前記正孔輸送層材料は、前記イオン伝導特性を有する物質が結晶化する際に、結晶サイズが増大するのを抑制する機能を有する結晶サイズ粗大化抑制物質を含有する請求項３０または３１に記載の光電変換素子。
【請求項３３】　前記結晶サイズ粗大化抑制物質の前記正孔輸送層材料中の含有量は、１×１０$^{-6}$～１０重量％である請求項３２に記載の光電変換素子。
【請求項３４】　前記結晶サイズ粗大化抑制物質は、チオシアン酸塩である請求項３２または３３に記載の光電変換素子。
【請求項３５】　前記結晶サイズ粗大化抑制物質は、ハロゲン化アンモニウムである請求項３２または３３に記載の光電変換素子。
【請求項３６】　前記結晶サイズ粗大化抑制物質は、シアノエチル化物である請求項３２または３３に記載の光電変換素子。
【請求項３７】　前記結晶サイズ粗大化抑制物質は、前記ヨウ化金属化合物の金属原子に結合することにより、前記ヨウ化金属化合物が結晶化する際に、結晶サイズが増大するのを抑制する請求項３２ないし３６のいずれかに記載の光電変換素子。
【請求項３８】　前記正孔輸送層材料は、正孔の輸送効率を向上させる機能を有する正孔輸送効率向上物質を含有する請求項３０ないし３７のいずれかに記載の光電変換素子。
【請求項３９】　前記正孔輸送効率向上物質の前記正孔輸送層材料中の含有量は、１×１０$^{-4}$～１×１０$^{-1}$重量％である請求項３８に記載の光電変換素子。
【請求項４０】　前記輸送効率向上物質は、ハロゲン化物である請求項３８または３９に記載の光電変換素子。
【請求項４１】　前記ハロゲン化物は、ハロゲン化アンモニウムである請求項４０に記載の光電変換素子。
【請求項４２】　前記第１の電極を支持する基板を有する請求項１ないし４１のいずれかに記載の光電変換素子。
【請求項４３】　前記第１の電極が正、前記第２の電極が負となるようにして、０．５Ｖの電圧を印加したとき、抵抗値が１００Ω／ｃｍ^{2}以上となる特性を有する請求項１ないし４２のいずれかに記載の光電変換素子。
【請求項４４】　前記受光層への光の入射角が９０°での光電変換効率をR_{90}とし、光の入射角が５２°での光電変換効率をR_{52}としたとき、R_{52}/R_{90}が０．８以上である請求項１ないし４３のいずれかに記載の光電変換素子。
【請求項４５】　太陽電池である請求項１ないし４４のいずれかに記載の光電変換素子。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は、光電変換素子に関するものである。
【０００２】
【従来の技術】従来から、環境にやさしい電源として、シリコンを用いた太陽電池（光電変換素子）が注目を集めている。シリコンを用いた太陽電池の中には、人工衛星等に用いられる単結晶シリコン型の太陽電池もあるが、実用的なものとしては、特に多結晶シリコンを用いた太陽電池や、アモルファスシリコンを用いた太陽電池が、産業用や家庭用として実用化が始まっている。
【０００３】しかしながら、これらのシリコンを用いた太陽電池は、いずれも、製造コストが高く、また、製造に多大なエネルギーを必要とし、必ずしも省エネルギーな電源とは言えなかった。
【０００４】また、特開平０１－２２０３８０号公報、特開平０５－５０４０２３号公報や特開平０６－５１１１１３号公報に示されるような色素増感型湿式太陽電池は、蒸気圧の高い電解液を用いているため、電解液が揮発するという問題があった。
【０００５】また、このような欠点を補うものとして、完全固体型色素増感型太陽電池の発表（K. Tennakone, G.R.R.A. Kumara, I.R.M. Kottegoda, K.G.U. Wijiayantha,and V.P.S. Perera: J. Phys. D: Appl. Phys. 31 (1998)1492）がされている。この太陽電池は、TiO_2層が積層された電極と、TiO_2層上に設けられたｐ型半導体層とを有する構成とされている。しかしながら、このような太陽電池は、ｐ型半導体層が、TiO_2層を突き抜けて前記電極とショートしてしまうという欠点があった。
【０００６】また、この発表では、ｐ型半導体層の構成材料としてＣｕＩが用いられている。このＣｕＩを用いた太陽電池は、ＣｕＩの結晶粒の増大等を理由とする劣化により発生電流が低下するという問題があった。
【０００７】
【発明が解決しようとする課題】本発明の目的は、安価に製造ができ、光電変換効率に優れる固体型色素増感型光電変換素子を提供することにある。
【０００８】
【課題を解決するための手段】このような目的は、下記（１）～（４５）の本発明により達成される。
【０００９】（１）　第１の電極と、該第１の電極と対向して設置された第２の電極と、前記第１の電極と前記

SAMSUNG EX. 1002 - 368/2862

第２の電極との間に位置し、その少なくとも一部が多孔質な受光層と、該受光層と前記第２の電極との間に位置する正孔輸送層とを有し、前記受光層と前記正孔輸送層との界面に整流障壁が形成されている光電変換素子であって、前記第１の電極と前記正孔輸送層との間での短絡を防止または抑制する短絡防止手段を有することを特徴とする光電変換素子。

【００１０】（２）　前記短絡防止手段は、前記受光層の空孔率より、その空孔率が小さくなるよう形成されたバリヤ層である上記（１）に記載の光電変換素子。

【００１１】（３）　前記バリヤ層の空孔率をＡ［％］とし、前記受光層の空孔率をＢ［％］としたとき、Ｂ／Ａが１．１以上である上記（２）に記載の光電変換素子。

【００１２】（４）　前記バリヤ層の空孔率は、２０％以下である上記（２）または（３）に記載の光電変換素子。

【００１３】（５）　前記バリヤ層と前記受光層との厚さの比率は、１：９９～６０：４０である上記（２）ないし（４）のいずれかに記載の光電変換素子。

【００１４】（６）　前記バリヤ層は、平均厚さが０．０１～１０μｍである上記（２）ないし（５）のいずれかに記載の光電変換素子。

【００１５】（７）　前記バリヤ層は、前記受光層と同等の電気伝導性を有する上記（２）ないし（６）のいずれかに記載の光電変換素子。

【００１６】（８）　前記バリヤ層は、主として酸化チタンで構成される上記（２）ないし（７）のいずれかに記載の光電変換素子。

【００１７】（９）　前記バリヤ層は、ＭＯＤ（Metal Organic DepositionまたはMetal Organic Decomposition）法により形成されたものである上記（２）ないし（８）のいずれかに記載の光電変換素子。

【００１８】（１０）　前記ＭＯＤ法により前記バリヤ層を形成する際に用いられるバリヤ層材料は、金属アルコキシドと、該金属アルコキシドを安定化させる機能を有する添加物とを含むものである上記（９）に記載の光電変換素子。

【００１９】（１１）　前記添加物は、前記金属アルコキシドのアルコキシル基に置換し、前記金属アルコキシドの金属原子に配位することにより、前記金属アルコキシドの加水分解を抑止する加水分解抑止剤である上記（１０）に記載の光電変換素子。

【００２０】（１２）　前記バリヤ層と前記受光層との全体における厚さ方向の抵抗値が１００Ω／ｃｍ^{2}以上である上記（２）ないし（１１）のいずれかに記載の光電変換素子。

【００２１】（１３）　前記バリヤ層は、前記第１の電極と前記受光層との間に位置する上記（２）ないし（１２）のいずれかに記載の光電変換素子。

【００２２】（１４）　前記バリヤ層と前記受光層との界面は、不明確である上記（１３）に記載の光電変換素子。

【００２３】（１５）　前記バリヤ層と前記受光層とは、一体的に形成される上記（１３）または（１４）に記載の光電変換素子。

【００２４】（１６）　前記受光層の一部が、前記バリヤ層として機能する上記（２）ないし（１２）のいずれかに記載の光電変換素子。

【００２５】（１７）　前記短絡防止手段は、前記第１の電極と前記正孔輸送層との間隔を規定するスペーサである上記（１）に記載の光電変換素子。

【００２６】（１８）　前記スペーサの平均厚さをＨ［μｍ］とし、前記正孔輸送層の最大厚さをｈ１［μｍ］とし、前記受光層の最大厚さをｈ２［μｍ］としたとき、ｈ１＋ｈ２＞Ｈ≧ｈ１なる関係を満足する上記（１７）に記載の光電変換素子。

【００２７】（１９）　前記受光層は、可視光領域の波長の光の吸収を可能とする可視化処理が施されている上記（１）ないし（１８）のいずれかに記載の光電変換素子。

【００２８】（２０）　前記受光層は、膜状をなしている上記（１）ないし（１９）のいずれかに記載の光電変換素子。

【００２９】（２１）　前記受光層は、平均厚さが０．１～３００μｍである上記（１）ないし（２０）のいずれかに記載の光電変換素子。

【００３０】（２２）　前記受光層の空孔率は、５～９０％である上記（１）ないし（２１）のいずれかに記載の光電変換素子。

【００３１】（２３）　前記受光層の少なくとも一部は、平均粒径が１ｎｍ～１μｍの受光層材料の粉末を用いて形成されたものである上記（１）ないし（２２）のいずれかに記載の光電変換素子。

【００３２】（２４）　前記受光層の少なくとも一部は、平均粒径が１ｎｍ～１μｍの受光層材料の粉末を含有するゾル液を用いるゾル・ゲル法により形成されたものである上記（１）ないし（２３）のいずれかに記載の光電変換素子。

【００３３】（２５）　前記受光層材料の粉末の前記ゾル液中の含有量は、０．１～１０重量％である上記（２４）に記載の光電変換素子。

【００３４】（２６）　前記受光層は、主として二酸化チタンで構成される上記（１）ないし（２５）のいずれかに記載の光電変換素子。

【００３５】（２７）　前記正孔輸送層は、主としてイオン伝導特性を有する物質で構成される上記（１）ないし（２６）のいずれかに記載の光電変換素子。

【００３６】（２８）　前記イオン伝導特性を有する物質は、ハロゲン化金属化合物である上記（２７）に記載

SAMSUNG EX. 1002 - 369/2862

の光電変換素子。
【００３７】（２９）　前記ハロゲン化金属化合物は、ヨウ化金属化合物である上記（２８）に記載の光電変換素子。
【００３８】（３０）　前記正孔輸送層は、前記イオン伝導特性を有する物質を含む正孔輸送層材料を塗布法により、前記受光層上に塗布して形成されたものである上記（２７）ないし（２９）のいずれかに記載の光電変換素子。
【００３９】（３１）　前記正孔輸送層は、前記受光層を加熱しつつ、前記正孔輸送層材料を前記受光層上に塗布して形成されたものである上記（３０）に記載の光電変換素子。
【００４０】（３２）　前記正孔輸送層材料は、前記イオン伝導特性を有する物質が結晶化する際に、結晶サイズが増大するのを抑制する機能を有する結晶サイズ粗大化抑制物質を含有する上記（３０）または（３１）に記載の光電変換素子。
【００４１】（３３）　前記結晶サイズ粗大化抑制物質の前記正孔輸送層材料中の含有量は、1×10^{-6}～１０重量％である上記（３２）に記載の光電変換素子。
【００４２】（３４）　前記結晶サイズ粗大化抑制物質は、チオシアン酸塩である上記（３２）または（３３）に記載の光電変換素子。
【００４３】（３５）　前記結晶サイズ粗大化抑制物質は、ハロゲン化アンモニウムである上記（３２）または（３３）に記載の光電変換素子。
【００４４】（３６）　前記結晶サイズ粗大化抑制物質は、シアノエチル化物である上記（３２）または（３３）に記載の光電変換素子。
【００４５】（３７）　前記結晶サイズ粗大化抑制物質は、前記ヨウ化金属化合物の金属原子に結合することにより、前記ヨウ化金属化合物が結晶化する際に、結晶サイズが増大するのを抑制する上記（３２）ないし（３６）のいずれかに記載の光電変換素子。
【００４６】（３８）　前記正孔輸送層材料は、正孔の輸送効率を向上させる機能を有する正孔輸送効率向上物質を含有する上記（３０）ないし（３７）のいずれかに記載の光電変換素子。
【００４７】（３９）　前記正孔輸送効率向上物質の前記正孔輸送層材料中の含有量は、1×10^{-4}～1×10^{-1}重量％である上記（３８）に記載の光電変換素子。
【００４８】（４０）　前記輸送効率向上物質は、ハロゲン化物である上記（３８）または（３９）に記載の光電変換素子。
【００４９】（４１）　前記ハロゲン化物は、ハロゲン化アンモニウムである上記（４０）に記載の光電変換素子。
【００５０】（４２）　前記第１の電極を支持する基板を有する上記（１）ないし（４１）のいずれかに記載の光電変換素子。
【００５１】（４３）　前記第１の電極が正、前記第２の電極が負となるようにして、０．５Ｖの電圧を印加したとき、抵抗値が１００Ω／cm^2以上となる特性を有する上記（１）ないし（４２）のいずれかに記載の光電変換素子。
【００５２】（４４）　前記受光層への光の入射角が９０°での光電変換効率をR_{90}とし、光の入射角が５２°での光電変換効率をR_{52}としたとき、R_{52}/R_{90}が０．８以上である上記（１）ないし（４３）のいずれかに記載の光電変換素子。
【００５３】（４５）　太陽電池である上記（１）ないし（４４）のいずれかに記載の光電変換素子。
【００５４】
【発明の実施の形態】以下、本発明の光電変換素子を添付図面に示す好適な実施形態について詳細に説明する。
【００５５】＜第１実施形態＞図１は、本発明の光電変換素子を太陽電池に適用した場合の第１実施形態を示す部分断面図、図２は、第１実施形態の太陽電池の厚さ方向の中央部付近の断面を示す拡大図である。
【００５６】図１に示す太陽電池１Ａは、電解質溶液を必要としない、いわゆる乾式太陽電池と呼ばれるものであり、基板２と、基板２の上面に設置された第１の電極３と、第１の電極３の上面に設置されたバリヤ層８と、バリヤ層８の上面に設置された受光層４と、受光層４の上面に設置された正孔輸送層５と、正孔輸送層５の上面に設置された第２の電極６とを有している。
【００５７】以下、各構成要素について説明する。なお、以下の説明では、図１および図２中、各層（各部材）の上側の面を「上面」、下側の面を「下面」と言う。
【００５８】基板２は、第１の電極３、バリヤ層８、受光層４、正孔輸送層５および第２の電極６を支持するためのものであり、平板状の部材で構成されている。
【００５９】本実施形態の太陽電池１Ａでは、図１に示すように、基板２および後述する第１の電極３側から、例えば、太陽光等の光（以下、単に「光」と言う。）を入射させて（照射して）使用するものである。このため、基板２および第１の電極３は、それぞれ、好ましくは実質的に透明（無色透明、着色透明または半透明）とされる。これにより、光を受光層４の受光面に効率よく到達させることができる。
【００６０】この基板２の構成材料としては、例えば、各種ガラス材料、各種セラミックス材料、ポリカーボネート（ＰＣ）、ポリエチレンテレフタレート（ＰＥＴ）のような各種樹脂材料、または、アルミニウムのような各種金属材料等が挙げられる。
【００６１】基板２の平均厚さとしては、材料、用途等により適宜設定され、特に限定されないが、例えば、次

のようにすることができる。

【００６２】基板２を、例えばガラス材料のような硬質材料で構成する場合、その平均厚さとしては、０．１～１．５mm程度であるのが好ましく、０．８～１．２mm程度であるのがより好ましい。

【００６３】また、基板２を、例えばポリエチレンテレフタレート（ＰＥＴ）のようなフレキシブル素材（可撓性材料）で構成する場合、その平均厚さとしては、０．５～１５０μm程度であるのが好ましく、１０～７５μm程度であるのがより好ましい。なお、基板２は、必要に応じて、省略することもできる。

【００６４】基板２の上面には、層状（平板状）の第１の電極３が設置されている。換言すれば、第１の電極３は、後述する受光層４の受光面側に、この受光面を覆うようにして設置されている。この第１の電極３は、受光層４で発生した電子を、バリヤ層８を介して受け取り、これに接続された外部回路１００へ伝達する。

【００６５】第１の電極３の構成材料としては、例えば、インジウムティンオキサイド（ＩＴＯ）、フッ素ドープした酸化錫（ＦＴＯ）、酸化インジウム（ＩＯ）、酸化錫（SnO_2）のような金属酸化物、アルミニウム、ニッケル、コバルト、白金、銀、金、銅、モリブデン、チタン、タンタルのような金属またはこれらを含む合金、あるいは、黒鉛のような各種炭素材料等が挙げられ、これらのうちの１種または２種以上を組み合わせて用いることができる。

【００６６】第１の電極３の平均厚さとしては、材料、用途等により適宜設定され、特に限定されないが、例えば、次のようにすることができる。

【００６７】第１の電極３を前記の金属酸化物（透明導電性金属酸化物）で構成する場合、その平均厚さとしては、０．０５～５μm程度であるのが好ましく、０．１～１．５μm程度であるのがより好ましい。

【００６８】また、第１の電極３を前記の金属またはこれらを含む合金、あるいは、各種炭素材料で構成する場合、その平均厚さとしては、０．０１～１μm程度であるのが好ましく、０．０３～０．１μm程度であるのがより好ましい。

【００６９】なお、第１の電極３は、図示の構成のようなものに限定されず、例えば、複数の櫛歯を有する形状のもの等であってもよい。この場合、光は、複数の櫛歯同士の間を通過して、受光層４の受光面に到達するので、第１の電極３は、実質的に透明でなくてもよい。これにより、第１の電極３の構成材料や形成方法（製造方法）等の選択の幅を拡大することができる。また、この場合、第１の電極３の平均厚さとしては、特に限定されないが、例えば、１～５μm程度とするのが好ましい。

【００７０】また、第１の電極３としては、このような櫛歯状の電極と、ＩＴＯ、ＦＴＯ等からなる透明な電極とを組み合わせて（例えば、積層等して）用いることもできる。

【００７１】第１の電極３の上面には、膜状（層状）のバリヤ層（短絡防止手段）８が設置されている。なお、このバリヤ層の詳細については、後述する。

【００７２】バリヤ層８の上面には、好ましくは膜状（層状）をなす受光層４が設置されている。すなわち、受光層４は、第１の電極３と後述する第２の電極６との間に位置している。受光層４は、受光により電子と正孔とを発生する。

【００７３】受光層４の構成材料としては、例えば、二酸化チタン（TiO_2）、一酸化チタン（ＴｉＯ）、三酸化二チタン（Ti_2O_3）等の酸化チタン、酸化亜鉛（ＺｎＯ）、酸化錫（SnO_2）のようなｎ型酸化物半導体材料や、その他のｎ型半導体材料等が挙げられ、これらのうちの１種または２種以上を組み合わせて用いることができるが、この中でも、酸化チタン、特に、二酸化チタンを用いるのが好ましい。すなわち、受光層４は、主として二酸化チタンで構成されているのが好ましい。

【００７４】二酸化チタンは、光に対する感受性が高いので、酸化チタンとして、主として二酸化チタンを用いた受光層４では、光の利用効率がより向上する。

【００７５】また、二酸化チタンは、その結晶構造が安定しているので、二酸化チタンを主とする受光層４では、過酷な環境下に曝された場合でも、経年変化（劣化）が少なく、安定した性能が長期間継続して得られるという利点を有する。

【００７６】さらに、二酸化チタンとしては、結晶構造がアナターゼ型の二酸化チタンを主とするもの、ルチル型の二酸化チタンを主とするもの、アナターゼ型の二酸化チタンとルチル型の二酸化チタンとの混合物を主とするもののいずれであってもよい。

【００７７】結晶構造がアナターゼ型の二酸化チタンは、比較的不安定であることに起因して、アナターゼ型の二酸化チタンを主とする受光層４では、電子を発生し易いという利点を有する。

【００７８】なお、ルチル型の二酸化チタンとアナターゼ型の二酸化チタンとを混合する場合、ルチル型の二酸化チタンとアナターゼ型の二酸化チタンとの混合比は、特に限定されないが、例えば、重量比で９５：５～５：９５程度であるのが好ましく、８０：２０～２０：８０程度であるのがより好ましい。

【００７９】受光層４は、多孔質なものであり、複数の孔（細孔）４１を有している。図３は、受光層４に、光が入射している状態を模式的に示している。図３に示すように、バリヤ層８を通過した光（図３中の矢印）は、受光層４の内部まで侵入し、受光層４内を透過、または、孔４１内で任意の方向に反射（乱反射、拡散等）する。これにより、光は、高い頻度で電子を発生させることができる。

SAMSUNG EX. 1002 - 371/2862

【００８０】この受光層４の空孔率としては、特に限定されないが、例えば、５～９０%程度であるのが好ましく、１５～５０%程度であるのがより好ましく、２０～４０%程度であるのがさらに好ましい。

【００８１】また、受光層４は、比較的厚さの大きなものであってもよいが、前述したように、膜状（層状）をなすものが好ましい。これにより、太陽電池１Ａの薄型化（小型化）、製造コストの削減を図ることができ有利である。

【００８２】この場合、受光層４の平均厚さ（膜厚）としては、特に限定されないが、例えば、０．１～３００μm程度であるのが好ましく、０．５～１００μm程度であるのがより好ましく、１～２５μm程度であるのがさらに好ましい。

【００８３】さらに、このような受光層４には、可視化処理が施され、可視光領域（通常、４００～７５０ｎｍ程度）の広い範囲の波長の光の吸収が可能とされているのが好ましい。これにより、受光層４は、光の利用効率がより向上し、より確実に電子を発生することができる。

【００８４】このような可視化処理の方法としては、例えば、①酸素欠陥を形成する酸素欠陥形成法、②チタン原子の一部をチタン原子と異なる金属原子で置換する原子置換法等が挙げられ、これらの１種または２種を併用することができる。以下、これら①および②の方法について、それぞれ、詳述する。

【００８５】①　酸素欠陥形成法

酸素欠陥形成法としては、特に限定されないが、例えば、酸化チタン粉末、あるいは、後述する受光層材料（ゾル液、塗布液）を膜状に成形した膜状体（以下、単に「膜状体（塗膜）」と言う。）を、水素雰囲気（還元雰囲気）中で熱処理する方法、真空（例えば1×10^{-5}～1×10^{-6}Ｔｏｒｒ）下で熱処理する方法、低温プラズマ処理する方法等が挙げられる。この中でも、酸素欠陥形成法としては、酸化チタン粉末あるいは膜状体を、水素雰囲気中で熱処理する方法が好ましい。

【００８６】②　原子置換法

原子置換法としては、例えば、前記の金属原子あるいはその酸化物からなる無機増感剤が添加された受光層材料の膜状体を焼成（焼結）する方法、膜状体に対して前記の金属原子をイオン化したものを注入する（打ち込む）方法等が挙げられる。この中でも、原子置換法としては、無機増感剤が添加された受光層材料の膜状体を焼成する方法がより好ましい。なお、このような原子置換法は、酸化チタン粉末に施すこともできる。

【００８７】また、可視化処理としては、前記①および②の方法に限定されず、受光層４の可視化が可能な方法であれば、如何なる方法を用いてもよく、例えば、色素を用いる方法が挙げられる。

【００８８】かかる方法としては、例えば、色素（例えば、ルテニウム錯体系化合物、フタロシアニン系化合物、ポルフィリン系化合物等）を、受光層４の外面および孔４１の内面に沿って層状に形成する方法や、受光層４中に分散する方法等が挙げられる。なお、かかる方法は、前記①および／または②の方法と併用してもよい。

【００８９】受光層４の上面には、層状（平板状）の正孔輸送層５が設置されている。すなわち、正孔輸送層５は、受光層４と後述する第２の電極６との間に位置している。この正孔輸送層５は、受光層４で発生した正孔を捕捉し、輸送する機能を有する。換言すれば、この正孔輸送層５は、後述する第２の電極６を介して、または、正孔輸送層５自体が電極となり外部回路１００へ正孔を輸送する機能を有する。

【００９０】正孔輸送層５の平均厚さとしては、特に限定されないが、例えば、１～５００μm程度であるのが好ましく、１０～３００μm程度であるのがより好ましく、１０～３０μm程度であるのがさらに好ましい。

【００９１】正孔輸送層５の構成材料としては、例えば、各種イオン伝導特性を有する物質、トリフェニルジアミン（モノマー、ポリマー等）、ポリアニリン、ポリピロール、ポリチオフェン、フタロシアニン化合物（例えば、銅フタロシアニン）またはこれらの誘導体のような各種ｐ型半導体材料、または、アルミニウム、ニッケル、コバルト、白金、銀、金、銅、モリブデン、チタン、タンタルのような金属またはこれらを含む合金等が挙げられ、これらのうちの１種または２種以上を組み合わせて用いることができる。

【００９２】正孔輸送層５の上面には、層状（平板状）の第２の電極６が設置されている。第２の電極６の平均厚さとしては、材料、用途等により適宜設定され、特に限定されない。

【００９３】また、第２の電極６の構成材料としては、例えば、アルミニウム、ニッケル、コバルト、白金、銀、金、銅、モリブデン、チタン、タンタルのような金属またはこれらを含む合金、あるいは、黒鉛のような各種炭素材料等が挙げられ、これらのうちの１種または２種以上を組み合わせて用いることができる。なお、この第２の電極６は、必要に応じて、省略することもできる。

【００９４】太陽電池１Ａでは、正孔輸送層５と受光層４との界面にダイオード特性を有する整流障壁が形成され、整流作用が生じている。

【００９５】太陽電池１Ａでは、受光層４に、光が入射すると、この受光層４において、電子が励起され、電子と正孔とが発生する。また、整流障壁には、界面電位により電場が存在している。このため、これらの電子と正孔とは、界面の電場により引き分けられ、第１の電極３と第２の電極６との間に、電位差（光起電力）が生じて、外部回路１００に、電流（光励起電流）が流れる。

【００９６】この様子を等価回路で表すと、図４に示す

SAMSUNG EX. 1002 - 372/2862

ようなダイオード２００を有する電流の循環回路が形成されているものとなる。

【００９７】このような整流障壁を得る場合には、正孔輸送層５の構成材料としては、前述した材料の中でも、特に、イオン伝導特性を有する物質が好ましく用いられる。すなわち、正孔輸送層５は、主としてイオン伝導特性を有する物質で構成されているのが好ましい。これにより、正孔輸送層５は、受光層４で発生した正孔（ホール）をより効率よく輸送することができる。

【００９８】また、このイオン伝導特性を有する物質としては、例えば、ＣｕＩ、ＡｇＩのようなヨウ化金属化合物、ＡｇＢｒのような臭化金属化合物等のハロゲン化金属化合物、ＣｕＳＣＮのようなチオシアン酸金属塩（ロダン化金属化合物）等が挙げられ、これらのうちの１種または２種以上を組み合わせて用いることができる。

【００９９】これらの中でも、イオン伝導特性を有する物質としては、ヨウ化金属化合物、臭化金属化合物等のハロゲン化金属化合物が好ましい。ハロゲン化金属化合物は、イオン伝導特性に特に優れている。

【０１００】さらに、イオン伝導特性を有する物質としては、ＣｕＩ、ＡｇＩのようなヨウ化金属化合物のうちの１種または２種以上を組み合わせて用いるのが、特に好ましい。ヨウ化金属化合物は、イオン伝導特性に極めて優れている。このため、正孔輸送層５の主材料として、ヨウ化金属化合物を用いることにより、太陽電池１Ａの光電変換効率（エネルギー変換効率）をより向上することができる。

【０１０１】また、正孔輸送層５は、図２に示すように、受光層４の孔４１内に入り込んで形成されている。これにより、整流障壁の形成領域を増大させることができ、受光層４で発生した正孔（ホール）を、より効率よく正孔輸送層５へ伝達することができる。その結果、太陽電池１Ａは、発電効率をさらに向上することができる。

【０１０２】なお、整流障壁は、受光層４と第１の電極３との界面にも形成されていてもよい。

【０１０３】なお、光の照射（受光）により、受光層４では、電子および正孔が同時に発生するが、以下の説明では、便宜上、「電子が発生する」と記載する。

【０１０４】さて、本発明では、第１の電極３と正孔輸送層５との間での短絡（リーク）を防止または抑制する短絡防止手段を設けたことに特徴を有している。

【０１０５】以下、この短絡防止手段について、詳述する。本実施形態では、短絡防止手段として、膜状（層状）をなし、第１の電極３と受光層４との間に位置するバリヤ層８が設けられている。このバリヤ層８は、受光層４の空孔率より、その空孔率が小さくなるよう形成されたものである。

【０１０６】太陽電池１Ａを製造する際には、後述するように、例えば、正孔輸送層材料を塗布法により、受光層４の上面に塗布することが行われる。

【０１０７】この場合、仮に、バリヤ層８が設けられない太陽電池では、受光層４の空孔率を大きくすると、正孔輸送層材料が受光層４の孔４１内を浸透していき、第１の電極３に到達してしまうことがある。すなわち、バリヤ層８を有さない太陽電池では、第１の電極３と正孔輸送層５との間で接触（短絡）が生じることにより、漏れ電流が多くなり、発電効率（光電変換効率）の低下を招く場合がある。

【０１０８】これに対し、バリヤ層８が設けられた太陽電池１Ａでは、前述のような不都合が防止され、発電効率の低下が好適に防止または抑制される。

【０１０９】また、バリヤ層８の空孔率をＡ［％］とし、受光層４の空孔率をＢ［％］としたとき、Ｂ／Ａが、例えば、１．１以上程度であるのが好ましく、５以上程度であるのがより好ましく、１０以上程度であるのがさらに好ましい。これにより、バリヤ層８と受光層４とは、それぞれ、それらの機能をより好適に発揮することができる。

【０１１０】より具体的には、バリヤ層８の空孔率Ａとしては、例えば、２０％以下程度であるのが好ましく、５％以下程度であるのがより好ましく、２％以下程度であるのがさらに好ましい。すなわち、バリヤ層８は、緻密層であるのが好ましい。これにより、前記効果をより向上することができる。

【０１１１】さらに、バリヤ層８と受光層４との厚さの比率は、特に限定されないが、例えば、１：９９～６０：４０程度であるのが好ましく、１０：９０～４０：６０程度であるのがより好ましい。換言すれば、バリヤ層８と受光層４との全体におけるバリヤ層８の占める厚さの割合は、１～６０％程度であるのが好ましく、１０～４０％程度であるのがより好ましい。これにより、バリヤ層８は、第１の電極３と正孔輸送層５との接触等による短絡を、より確実に防止または抑制することができるとともに、受光層４への光の到達率が低下するのを好適に防止することができる。また、受光層４は、好適に電子を発生することができる。

【０１１２】より具体的には、バリヤ層８の平均厚さ（膜厚）としては、例えば、０．０１～１０μｍ程度であるのが好ましく、０．１～５μｍ程度であるのがより好ましく、０．５～２μｍ程度であるのがさらに好ましい。これにより、前記効果をより向上することができる。

【０１１３】このバリヤ層８の構成材料としては、特に限定されないが、例えば、受光層４の主たる構成材料である酸化チタンの他、例えば、$SrTiO_3$、ＺｎＯ、SiO_2、Al_2O_3、SnO_2のような各種金属酸化物、ＣｄＳ、ＣｄＳｅ、ＴｉＣ、Si_3N_4、ＳｉＣ、B_4N、ＢＮのような各種金属化合物等の１種または２

SAMSUNG EX. 1002 - 373/2862

種以上を組み合わせて用いることができるが、この中でも、受光層４と同等の電気伝導性を有するものであるのが好ましく、特に、酸化チタンを主とするものがより好ましい。バリヤ層８をこのような材料で構成することにより、受光層４で発生した電子をより効率よく、バリヤ層８へ伝達することができ、その結果、太陽電池１Ａの発電効率をより向上することができる。

【０１１４】このバリヤ層８および電子輸送層４の厚さ方向の抵抗値は、それぞれ、特に限定されないが、バリヤ層８と電子輸送層４との全体における厚さ方向の抵抗値、すなわち、バリヤ層８と電子輸送層４との積層体の厚さ方向の抵抗値は、１００Ω／ｃｍ^{2}以上程度であるのが好ましく、１ｋΩ／ｃｍ^{2}以上程度であるのがより好ましい。これにより、第１の電極３と正孔輸送層５との間でのリーク（短絡）をより確実に防止または抑制することができ、太陽電池１Ａの発電効率の低下を防ぐことができるという利点がある。

【０１１５】また、バリヤ層８と受光層４との界面は、明確でなくても、明確であってもよいが、明確でない（不明確である）のが好ましい。すなわち、バリヤ層８と受光層４とは、一体的に形成され、互いに部分的に重なっているのが好ましい。これにより、バリヤ層８と受光層４との間での電子の伝達を、より確実に（効率よく）行うことができる。

【０１１６】さらに、バリヤ層８と受光層４とは、同一の組成の材料（例えば、二酸化チタンを主とする材料）を用いて作成し、それらの空孔率のみが異なる構成、すなわち、受光層４の一部が、前記バリヤ層８として機能するような構成であってもよい。

【０１１７】この場合、受光層４は、その厚さ方向に、密な部分と粗な部分とを有し、このうち、密な部分がバリヤ層８として機能する。

【０１１８】また、この場合、密な部分は、受光層４の第１の電極３側に形成されているのが好ましいが、厚さ方向の任意の位置に形成することもできる。

【０１１９】また、この場合、受光層４は、密な部分で粗な部分を挟んだ部分を有する構成のものや、粗な部分で密な部分を挟んだ部分を有する構成のもの等であってもよい。

【０１２０】このような太陽電池１Ａでは、受光層４への光の入射角が９０°での光電変換効率をR_{90}とし、光の入射角が５２°での光電変換効率をR_{52}としたとき、R_{52}/R_{90}が０．８以上程度となるような特性を有しているのが好ましく、０．８５以上程度であるのがより好ましい。このような条件を満たすということは、受光層４が光に対する指向性が低い、すなわち、等方性を有するということである。したがって、このような太陽電池１Ａは、太陽の日照時間のほぼ全域に渡って、より効率良く発電することができる。

【０１２１】さらに、太陽電池１Ａでは、第１の電極３が正、第２の電極６（正孔輸送層５）が負となるようにして、０．５Ｖの電圧を印加したとき、その抵抗値が、例えば、１００Ω／ｃｍ^{2}以上程度となる特性を有するのが好ましく、１ｋΩ／ｃｍ^{2}以上程度となる特性を有するのがより好ましい。このような特性を有するということは、太陽電池１Ａでは、第１の電極３と正孔輸送層５との間での接触等による短絡（リーク）が好適に防止または抑制されていることを示すものである。よって、このような太陽電池１Ａでは、発電効率（光電変換効率）をより向上することができる。

【０１２２】このような太陽電池１Ａは、例えば、次のようにして製造することができる。まず、例えばソーダガラス等で構成された基板２を用意する。この基板２には、厚さが均一で、たわみのないものが好適に用いられる。

【０１２３】＜１＞　まず、第１の電極３を基板２の上面に形成する。第１の電極３は、例えばＦＴＯ等で構成される第１の電極３の材料を、例えば、蒸着法、スパッタリング法、印刷法等を用いることにより、形成することができる。

【０１２４】＜２＞　次に、バリヤ層８を第１の電極３の上面に形成する。バリヤ層８は、例えば、ゾル・ゲル法、蒸着（真空蒸着）法、スパッタリング法（高周波スパッタリング、ＤＣスパッタリング）、スプレー熱分解法、ジェットモールド（プラズマ溶射）法、ＣＶＤ法等により形成することができるが、この中でも、ゾル・ゲル法により形成するのが好ましい。

【０１２５】このゾル・ゲル法は、その操作が極めて簡単であり、例えば、ディッピング、滴下、ドクターブレード、スピンコート、刷毛塗り、スプレー塗装、ロールコーター等の各種塗布法と組み合わせて用いることにより、大掛かりな装置も必要とせず、好適にバリヤ層８を膜状（厚膜および薄膜）に形成することができる。

【０１２６】また、塗布法によれば、例えばマスク等を用いて、マスキングを行うことにより、所望のパターン形状のバリヤ層８を容易に得ることができる。

【０１２７】このゾル・ゲル法としては、バリヤ層材料中での後述するチタン化合物（有機または無機）の反応（例えば、加水分解、重縮合等）を許容しない（防止する）方法（以下、「ＭＯＤ（Metal Organic Deposition またはMetal Organic Decomposition）法」と言う。）、あるいは、これを許容する方法が挙げられるが、特に、ＭＯＤ法を用いるのが好ましい。

【０１２８】このＭＯＤ法によれば、バリヤ層材料中でのチタン化合物（有機または無機）の安定性が維持され、また、バリヤ層８をより容易かつ確実に（再現性よく）、緻密なもの（前記範囲内の空孔率）とすることができる。

【０１２９】特に、チタンテトライソプロポキシド（ＴＰＴ）、チタンテトラメトキシド、チタンテトラエトキ

SAMSUNG EX. 1002 - 374/2862

シド、チタンテトラブトキシドのような化学的に非常に不安定な（分解しやすい）チタンアルコキシド（金属アルコキシド）等の有機チタン化合物を用いて、緻密なＴｉO_2層（本発明のバリヤ層８）を形成する場合には、このＭＯＤ法は最適である。

【０１３０】以下、バリヤ層８のＭＯＤ法による形成方法について説明する。

［バリヤ層材料の調製］例えば、チタンテトライソプロポキシド（ＴＰＴ）、チタンテトラメトキシド、チタンテトラエトキシド、チタンテトラブトキシドのようなチタンアルコキシド（金属アルコキシド）等の有機チタン化合物のうちの１種または２種以上組み合わせたものを用いる場合には、まず、この有機チタン化合物（またはこの溶液）を、例えば、無水エタノール、２−ブタノール、２−プロパノール、２−ｎ−ブトキシエタノール等の有機溶媒（またはこれらの混合溶媒）に溶解する。

【０１３１】これにより、有機チタン化合物の前記溶液中の濃度（含有量）を調製（例えば０．１〜１０ｍｏｌ／Ｌ程度）して、得られるバリヤ層材料の粘度を調製する。このバリヤ層材料の粘度としては、前記塗布法の種類等により、適宜設定され、特に限定されないが、スピンコートを用いる場合には、好ましくは高粘度（例えば０．５〜２０ｃＰ（常温）程度）とされ、スプレーコートを用いる場合には、好ましくは低粘度（例えば０．１〜２ｃＰ（常温）程度）とされる。

【０１３２】次に、この溶液に、例えば、四塩化チタン、酢酸、アセチルアセトン、トリエタノールアミン、ジエタノールアミン等の前記チタンアルコキシド（金属アルコキシド）を安定化する機能を有する添加物を添加する。

【０１３３】これらの添加物を加えることにより、これらの添加物がチタンアルコキシド中のチタン原子に配位するアルコキシド（アルコキシル基）と置換して、チタン原子に配位する。これにより、チタンアルコキシドの加水分解を抑止して、安定化させる。すなわち、これらの添加物は、チタンアルコキシドの加水分解を抑止する加水分解抑止剤として機能するものである。この場合、この添加物とチタンアルコキシドとの配合比は、特に限定されないが、例えば、モル比で１：２〜８：１程度とするのが好ましい。

【０１３４】より具体的には、チタンアルコキシドにジエタノールアミンを配位させた場合、チタンアルコキシドのアルコキシド（アルコキシル基）に換わり（置換して）、チタン原子にジエタノールアミンが２分子配位する。このジエタノールアミンにより置換された化合物は、チタンアルコキシドよりも二酸化チタンを生成する上で安定化した化合物となる。他の場合の組み合わせでも同様である。

【０１３５】これにより、バリヤ層材料（バリヤ層形成用のゾル液：ＭＯＤ用ゾル液）を得る。

【０１３６】また、四塩化チタン（ＴＴＣ）等の無機チタン化合物を用いる場合には、この無機チタン化合物（またはこの溶液）を、無水エタノール、２−ブタノール、２−プロパノール、２−ｎ−ブトキシエタノール等の有機溶媒（またはこれらの混合溶媒）に溶解することにより、有機溶媒がチタンに配位し、添加物を加えないで安定した化合物となる。

【０１３７】さらに、チタンオキシアセチルアセトナート（ＴＯＡ）等の有機チタン化合物を用いる場合には、この有機チタン化合物（またはこの溶液）が単独で安定なものであるので、前記有機溶媒に溶解することで安定したバリヤ層材料を得ることができる。

【０１３８】なお、本発明において、ＭＯＤ法でバリヤ層８を形成する場合には、上述した３つの溶液のうち、次の方法により調整された溶液を用いるのが最適である。すなわち、チタンテトライソプロポキシド（ＴＰＴ）、チタンテトラメトキシド、チタンテトラエトキシド、チタンテトラブトキシドのようなチタンアルコキシド等の有機チタン化合物（またはこの溶液）を溶媒で溶解（または希釈）し、この溶液に、四塩化チタン、酢酸、アセチルアセトン、トリエタノールアミン、ジエタノールアミン等の添加物を添加する方法により調整された溶液を用いるのが最適である。この方法によれば、チタンアルコキシドのチタン原子に、前記添加物を配位させ、二酸化チタンを生成する上で安定化した化合物を得ることができる。

【０１３９】これによって、化学的に不安定なチタンアルコキシドを、化学的に安定な化合物にすることができる。かかる化合物は、本実施形態のバリヤ層８、すなわち、二酸化チタンを主材料とする緻密なバリヤ層８を形成する場合において、極めて有用である。

【０１４０】［バリヤ層８の形成］第１の電極３の上面に、塗布法（例えば、スピンコート等）により、バリヤ層材料を塗布して膜状に形成する。塗布法としてスピンコートを用いる場合、回転数を５００〜４０００ｒｐｍ程度で行うのが好ましい。

【０１４１】次いで、かかる塗膜に対して、熱処理を施す。これにより、有機溶媒を揮発、除去する。この熱処理条件としては、好ましくは５０〜２５０℃程度で１〜６０分間程度、より好ましくは１００〜２００℃程度で５〜３０分間程度とされる。

【０１４２】かかる熱処理は、例えば、大気中、窒素ガス中で行うことができる他、例えば、各種不活性ガス、真空、減圧状態（例えば、1×10^{-1}〜1×10^{-6}Ｔｏｒｒ）のような非酸化性雰囲気中で行うようにしてもよい。

【０１４３】なお、バリヤ層材料の第１の電極３の上面への塗布は、第１の電極３を加熱しつつ行うようにしてもよい。

【０１４４】さらに、塗膜に対して、前記熱処理より高

温で熱処理を施す。これにより、塗膜中に残存する有機成分を除去するとともに、二酸化チタン（TiO_2）を焼結させ、アモルファスまたはアナターゼ型の結晶構造の二酸化チタンからなるバリヤ層８を形成する。この熱処理条件としては、好ましくは３００～７００℃程度で１～７０分間程度、より好ましくは４００～５５０℃程度で５～４５分間程度とされる。

【０１４５】なお、かかる熱処理の雰囲気は、前記熱処理と同様の雰囲気とすることができる。

【０１４６】以上のような操作を、好ましくは１～２０回程度、より好ましくは１～１０回程度行って、前述したような平均厚さのバリヤ層８を形成する。

【０１４７】この場合、１回の前記操作により得られる塗膜の厚さ（膜厚）は、１００ｎｍ以下程度とするのが好ましく、５０ｎｍ以下程度とするのがより好ましい。このような薄膜を積層してバリヤ層８を形成することにより、バリヤ層８をより均一で密度の高いものとすることができる。また、１回の前記操作により得られる膜厚の調整は、バリヤ層材料の粘度を調製することで、容易に行うことができる。

【０１４８】なお、バリヤ層８の形成に先立って、第１の電極３の上面には、例えば、O_2プラズマ処理、ＥＢ処理、有機溶剤（例えばエタノール、アセトン等）での洗浄処理等を行うことにより、第１の電極３の上面に付着した有機物を除去するようにしてもよい。この場合、バリヤ層８を形成する部分を残し、第１の電極３の上面にマスク層を形成し、マスキングしておく。また、このマスク層は、バリヤ層８の形成後に除去するようにしてもよく、太陽電池１Ａの完成後に除去するようにしてもよい。

【０１４９】＜３＞　次に、バリヤ層８の上面に、受光層４を形成する。受光層４は、例えば、ゾル・ゲル法、蒸着法、スパッタリング法等により形成することができるが、この中でも、ゾル・ゲル法により形成するのが好ましい。

【０１５０】このゾル・ゲル法は、その操作が極めて簡単であり、例えば、ディッピング、滴下、ドクターブレード、スピンコート、刷毛塗り、スプレー塗装、ロールコーター等の各種塗布法と組み合わせて用いることにより、大掛かりな装置も必要とせず、好適に受光層４を膜状（厚膜および薄膜）に形成することができる。

【０１５１】また、塗布法によれば、例えばマスク等を用いて、マスキングを行うことにより、所望のパターン形状の受光層４を容易に得ることができる。

【０１５２】この受光層４の形成には、受光層材料の粉末を含有するゾル液を用いるのが好ましい。これにより、受光層４をより容易かつ確実に多孔質とすることができる。

【０１５３】受光層材料の粉末の平均粒径としては、特に限定されないが、例えば、１ｎｍ～１μｍ程度であるのが好ましく、５～５０ｎｍ程度であるのがより好ましい。受光層材料の粉末の平均粒径を前記の範囲内とすることにより、受光層材料の粉末のゾル液中での均一性を向上することができる。また、このように受光層材料の粉末の平均粒径を小さくすることにより、得られる受光層４の表面積（比表面積）をより大きくすることができ、太陽電池１Ａの発電効率の向上に寄与する。

【０１５４】以下に、受光層４の成形方法の一例について説明する。なお、以下の説明では、可視化処理の方法（＜３Ａ＞、＜３Ｂ＞酸素欠陥形成法、＜３Ｃ＞原子置換法）の相違により区別して説明するが、同様の事項については、後に説明するものでは省略する。さらに、酸素欠陥形成法については、＜３Ａ＞酸化チタン粉末に施す場合と、＜３Ｂ＞膜状体に施す場合とに分けて説明する。

【０１５５】＜３Ａ＞：酸素欠陥形成法（酸化チタン粉末に施す場合）

［酸化チタン粉末（受光層材料の粉末）の調製］

＜Ａ０＞　ルチル型の二酸化チタン粉末とアナターゼ型の二酸化チタン粉末とを所定の配合比（ルチル型の二酸化チタン粉末のみの場合も含む）にて、配合し混合しておく。

【０１５６】これらのルチル型の二酸化チタン粉末の平均粒径と、アナターゼ型の二酸化チタン粉末の平均粒径とは、それぞれ異なっていてもよいし、同じであってもよいが、異なっている方が好ましい。なお、酸化チタン粉末全体としての平均粒径は、前述の範囲とする。

【０１５７】また、後述する酸素欠陥形成法による熱処理で、二酸化チタンの結晶構造がアナターゼ型からルチル型へ転移（変化）することを想定している場合には、アナターゼ型の二酸化チタン粉末のみを用いてもよい。

【０１５８】次に、前記配合された酸化チタン粉末に、酸素欠陥形成法による熱処理を施す。このときの熱処理条件としては、水素雰囲気中で、好ましくは温度８００～１２００℃程度で、０．２～３時間程度、より好ましくは温度９００～１２００℃程度で、０．５～１時間程度とされる。

【０１５９】このとき、酸化チタン粉末がアナターゼ型の二酸化チタン粉末を含有している場合、前記の熱処理温度、熱処理時間によっては、アナターゼ型の二酸化チタンは、その結晶構造の一部または全部がルチル型へ転移することがある。

【０１６０】なお、酸素欠陥形成法は、本工程＜Ａ０＞前に、ルチル型の二酸化チタン粉末および／またはアナターゼ型の二酸化チタン粉末に施し、かかる二酸化チタン粉末を配合して、酸化チタン粉末を調製するようにしてもよい。

【０１６１】［ゾル液（受光層材料）の調製］

＜Ａ１＞　まず、例えば、チタンテトライソプロポキシド（ＴＰＴ）、チタンテトラメトキシド、チタンテトラ

SAMSUNG EX. 1002 - 376/2862

エトキシド、チタンテトラブトキシドのようなチタンアルコキシド、チタンオキシアセチルアセトナート（ＴＯＡ）等の有機チタン化合物や、四塩化チタン（ＴＴＣ）等の無機チタン化合物のうちの１種または２種以上組み合わせたものを、例えば、無水エタノール、２－ブタノール、２－プロパノール、２－ｎ－ブトキシエタノール等の有機溶媒（またはこれらの混合溶媒）に溶解する。

【０１６２】このとき、チタン化合物（有機または無機）の溶液中の濃度（含有量）としては、特に限定されないが、例えば、０．１～３ｍｏｌ／Ｌ程度とするのが好ましい。

【０１６３】次に、必要に応じて、この溶液中に各種添加物を添加する。有機チタン化合物として、例えばチタンアルコキシドを用いる場合には、チタンアルコキシドは、化学的安定性が低いので、例えば、酢酸、アセチルアセトン、硝酸等の添加物を添加するようにする。これにより、チタンアルコキシドを化学的に安定な化合物とすることができる。この場合、この添加物とチタンアルコキシドとの配合比は、特に限定されないが、例えば、モル比で１：２～８：１程度とするのが好ましい。

【０１６４】＜Ａ２＞　次に、この溶液に、例えば、蒸留水、超純水、イオン交換水、ＲＯ水等の水を混合する。この水とチタン化合物（有機または無機）との配合比は、モル比で１：４～４：１程度とするのが好ましい。

【０１６５】＜Ａ３＞　次いで、かかる溶液に、前記工程＜Ａ０＞で調製した酸化チタン粉末を混合して懸濁（分散）液を得る。

【０１６６】＜Ａ４＞　さらに、この懸濁液を前記の有機溶媒（または、混合溶媒）で希釈する。これにより、ゾル液を調製する。この希釈倍率としては、例えば、１．２～３．５倍程度が好ましい。

【０１６７】また、酸化チタン粉末（受光層材料の粉末）のゾル液中の含有量としては、特に限定されないが、例えば、０．１～１０ｗｔ％（重量％）程度であるのが好ましく、０．５～５ｗｔ％程度であるのがより好ましい。これにより、受光層４の空孔率を好適に前記範囲内とすることができる。

【０１６８】［受光層４の形成］

＜Ａ５＞　バリヤ層８を好ましくは加熱しつつ、バリヤ層８の上面に、塗布法（例えば、滴下等）により、ゾル液を塗布して膜状体を得る。この加熱温度としては、特に限定されないが、例えば、８０～１８０℃程度であるのが好ましく、１００～１６０℃程度であるのがより好ましい。

【０１６９】以上のような操作を、好ましくは１～１０回程度、より好ましくは５～７回程度行って、前述したような平均厚さの受光層４を形成する。

【０１７０】次いで、この受光層４に、必要に応じて、例えば、温度２５０～５００℃程度で０．５～３時間程度、熱処理（例えば、焼成等）を施してもよい。

【０１７１】＜Ａ６＞　前記工程＜Ａ５＞で得られた受光層４には、必要に応じて、後処理を行うことができる。

【０１７２】この後処理としては、例えば、形状を整えるための、研削、研磨等のような機械加工（後加工）や、その他、洗浄、化学処理のような後処理等が挙げられる。

【０１７３】＜３Ｂ＞：酸素欠陥形成法（膜状体に施す場合）

［酸化チタン粉末（受光層材料の粉末）の調製］

＜Ｂ０＞　ルチル型の二酸化チタン粉末とアナターゼ型の二酸化チタン粉末とを所定の配合比（ルチル型の二酸化チタン粉末のみの場合も含む）にて、配合し混合しておく。なお、後述する酸素欠陥形成法による熱処理で、二酸化チタンの結晶構造がアナターゼ型からルチル型へ転移（変化）することを想定している場合には、アナターゼ型の二酸化チタン粉末のみを用いてもよい。

【０１７４】［ゾル液（受光層材料）の調製］

＜Ｂ１＞～＜Ｂ４＞　前記工程＜Ａ１＞～＜Ａ４＞と同様の工程を行う。

【０１７５】［受光層４の形成］

＜Ｂ５＞　前記工程＜Ａ５＞と同様の工程を行った後、膜状体に酸素欠陥形成法による熱処理を施して受光層４を得る。この熱処理条件としては、水素雰囲気中で、好ましくは温度８００～１２００℃程度で、０．２～３時間程度、より好ましくは温度９００～１２００℃程度で、０．５～１時間程度とされる。

【０１７６】なお、この場合、前記工程＜Ａ５＞における熱処理（例えば、焼成等）は、この酸素欠陥形成法による熱処理で兼用することもできる。

【０１７７】＜Ｂ６＞　必要に応じて、前記工程＜Ａ６＞と同様の工程を行う。

【０１７８】＜３Ｃ＞：原子置換法

［酸化チタン粉末（受光層材料の粉末）の調製］

＜Ｃ０＞　ルチル型の二酸化チタン粉末とアナターゼ型の二酸化チタン粉末とを所定の配合比（ルチル型の二酸化チタン粉末のみの場合も含む）にて、配合し混合しておく。なお、後述する原子置換法による焼成で、二酸化チタンの結晶構造がアナターゼ型からルチル型へ転移（変化）することを想定している場合には、アナターゼ型の二酸化チタン粉末のみを用いてもよい。

【０１７９】［ゾル液（受光層材料）の調製］

＜Ｃ１＞～＜Ｃ２＞　前記工程＜Ａ１＞～＜Ａ２＞と同様の工程を行う。

【０１８０】＜Ｃ３＞　前記工程＜Ａ３＞と同様の工程において、懸濁液中に、無機増感剤を添加する。

【０１８１】この無機増感剤としては、特に限定されないが、例えば、クロム、バナジウム、ニッケル、鉄、マンガン、銅、亜鉛、ニオブ、またはこれらの酸化物等が

挙げられ、これらのうちの１種または２種以上を組み合わせて用いることができる。

【０１８２】また、無機増感剤の含有量としては、特に限定されないが、例えば、酸化チタン粉末（受光層材料の粉末）１ｇに対して、０．１～２．５μｍｏｌ程度であるのが好ましく、０．５～２．０μｍｏｌ程度であるのがより好ましい。

【０１８３】なお、酸化チタン粉末がアナターゼ型の二酸化チタン粉末を含有し、アナターゼ型の二酸化チタンの結晶構造がルチル型へ転移するのを防止したい場合には、焼結助剤を添加するようにする。

【０１８４】焼結助剤としては、融点が９００℃以下の金属酸化物であるのが好ましい。この金属酸化物としては、特に限定されないが、例えば、三酸化モリブデン、三酸化二ビスマス、酸化鉛、酸化パラジウム、三酸化二アンチモン、二酸化テルル、三酸化二タリウム等が挙げられ、これらのうちの１種または２種以上を組み合わせて用いることができる。

【０１８５】この場合、焼結助剤と酸化チタン粉末（受光層材料の粉末）との配合比としては、特に限定されないが、例えば、体積比で１：９９～４０：６０程度であるのが好ましく、５：９５～２０：８０程度であるのがより好ましい。

【０１８６】これにより、膜状体を、９００℃以下の温度で焼成（焼結）できるので、二酸化チタンの結晶構造がアナターゼ型からルチル型へ転移するのをより確実に防止（抑制）することができる。

【０１８７】＜Ｃ４＞　前記工程＜Ａ４＞と同様の工程を行う。これにより、ゾル液（受光層材料）を調製する。

【０１８８】［受光層４の形成］

＜Ｃ５＞　前記工程＜Ａ５＞と同様の工程を行った後、膜状体を、例えば、大気、窒素ガス、または各種不活性ガス、真空、減圧状態（例えば、1×10^{-1}～1×10^{-6}Ｔｏｒｒ）のような非酸化性雰囲気中で焼成（焼結）する。このときの焼成条件としては、例えば、次のようにすることができる。

【０１８９】①　酸化チタン粉末がアナターゼ型の二酸化チタン粉末を含有しない場合、もしくは、二酸化チタンの結晶構造がアナターゼ型からルチル型へ転移することを想定している場合、好ましくは温度１０００～１２００℃程度で０．５～１０時間程度とされる。

【０１９０】②　二酸化チタンの結晶構造がアナターゼ型からルチル型へ転移することを想定していない（防止したい）場合、好ましくは温度９００℃以下程度で１～２６時間程度とされる。

【０１９１】なお、この場合、前記工程＜Ａ５＞における熱処理（例えば、焼成等）は、この原子置換法による焼成で兼用することもできる。

【０１９２】また、このような原子置換法は、酸化チタン粉末（受光層材料の粉末）の調製前に、ルチル型の二酸化チタン粉末および／またはアナターゼ型の二酸化チタン粉末に施すようにしてもよいし、酸化チタン粉末の調製後に、かかる酸化チタン粉末に施すようにしてもよい。なお、これらの場合、本工程＜Ｃ５＞における原子置換法による焼成は、省略することができる。

【０１９３】＜Ｃ６＞　必要に応じて、前記工程＜Ａ６＞と同様の工程を行う。

【０１９４】また、受光層４は、例えば、次のようにして形成することもできる。以下、受光層４の他の形成方法について説明する。なお、以下の説明では、前記の形成方法との相違点を中心に説明し、同様の事項については、その説明を省略する。また、以下の説明でも、可視化処理の方法（＜３Ａ’＞、＜３Ｂ’＞酸素欠陥形成法、＜３Ｃ’＞原子置換法）の相違により区別して説明するが、同様の事項については、後に説明するものでは省略する。さらに、酸素欠陥形成法については、＜３Ａ’＞酸化チタン粉末に施す場合と、＜３Ｂ’＞膜状体に施す場合とに分けて説明する。

【０１９５】＜３Ａ’＞：酸素欠陥形成法（酸化チタン粉末に施す場合）

［酸化チタン粉末（受光層材料の粉末）の調製］

＜Ａ’０＞　前記工程＜Ａ０＞と同様の工程を行う。

【０１９６】［塗布液（受光層材料）の調製］

＜Ａ’１＞　まず、前記工程で調製した酸化チタン粉末を適当量の水（例えば、蒸留水、超純水、イオン交換水、ＲＯ水等）に懸濁する。

【０１９７】＜Ａ’２＞　次に、かかる懸濁液に、例えば硝酸等の安定化剤を添加し、メノウ製（またはアルミナ製）の乳鉢内で十分に混練する。

【０１９８】＜Ａ’３＞　次いで、かかる懸濁液に、前記の水を加えてさらに混練する。このとき、前記安定化剤と水との配合比は、体積比で好ましくは１０：９０～４０：６０程度、より好ましくは１５：８５～３０：７０程度とし、かかる懸濁液の粘度を、例えば０．２～３０ｃＰ（常温）程度とする。

【０１９９】＜Ａ’４＞　その後、かかる懸濁液に、例えば、最終濃度が０．０１～５ｗｔ％程度となるように界面活性剤を添加して混練する。これにより、塗布液（受光層材料）を調製する。

【０２００】なお、界面活性剤としては、カチオン性、アニオン性、両イオン性、非イオン性のいずれであってもよいが、好ましくは非イオン性のものが用いられる。

【０２０１】また、安定化剤としては、硝酸に代わり、酢酸やアセチルアセトンのような酸化チタンの表面修飾試薬を用いることもできる。

【０２０２】また、塗布液（受光層材料）中には、必要に応じて、例えばポリエチレングリコールのようなバインダー、可塑剤、酸化防止剤等の各種添加物を添加してもよい。

SAMSUNG EX. 1002 - 378/2862

【0203】［受光層4の形成］
＜A’5＞　第1の電極3の上面に、塗布法（例えば、ディッピング等）により、塗布液を塗布・乾燥して膜状体（塗膜）を形成する。また、塗布・乾燥の操作を複数回行って積層するようにしてもよい。これにより、受光層4を得る。
【0204】次いで、この受光層4に、必要に応じて、例えば、温度250～500℃程度で0．5～3時間程度、熱処理（例えば、焼成等）を施してもよい。これにより、単に接触するのに止まっていた酸化チタン粉末（受光層材料の粉末）同士は、その接触部位に拡散が生じ、酸化チタン粉末同士がある程度固着（固定）するようになる。
【0205】＜A’6＞　前記工程＜A6＞と同様の工程を行う。
【0206】＜3B＞：酸素欠陥形成法（膜状体に施す場合）
［酸化チタン粉末（受光層材料の粉末）の調製］
＜B’0＞　前記工程＜B0＞と同様の工程を行う。
【0207】［塗布液（受光層材料）の調製］
＜B’1＞～＜B’4＞　前記工程＜A’1＞～＜A’4＞と同様の工程を行う。
【0208】［受光層4の形成］
＜B’5＞　前記工程＜A’5＞と同様の工程を行った後、前記工程＜B5＞と同様にして熱処理を行う。
【0209】＜B’6＞　必要に応じて、前記工程＜A’6＞と同様の工程を行う。
【0210】＜3C’＞：原子置換法
［酸化チタン粉末（受光層材料の粉末）の調製］
＜C’0＞　前記工程＜C0＞と同様の工程を行う。
【0211】［塗布液（受光層材料）の調製］
＜C’1＞～＜C’3＞　前記工程＜A’1＞～＜A’3＞と同様の工程を行う。
【0212】＜C’4＞　前記工程＜A’4＞と同様の工程において、懸濁液中に、前記工程＜C3＞と同様にして、前記無機増感剤、および、必要に応じて、前記焼結助剤を添加して混練する。これにより、塗布液（受光層材料）を調製する。
【0213】［受光層4の形成］
＜C’5＞　前記工程＜A’5＞と同様の工程を行った後、前記工程＜C5＞で記載した操作と同様にして焼成を行う。以上のような工程を経て、受光層4が得られる。
【0214】＜4＞　次に、受光層4の上面に、正孔輸送層5を形成する。正孔輸送層5は、例えばCuI等のイオン伝導特性を有する物質を含む正孔輸送層材料（電極材料）を、受光層4の上面に、例えば、ディッピング、滴下、ドクターブレード、スピンコート、刷毛塗り、スプレー塗装、ロールコーター等の各種塗布法により、塗布して形成するのが好ましい。
【0215】このような塗布法によれば、正孔輸送層5を受光層4の孔41内により確実に浸透するようにして形成することができる。
【0216】また、塗膜形成後に、かかる塗膜に熱処理を施すようにしてもよいが、正孔輸送層材料の受光層4の上面への塗布は、受光層4を加熱しつつ行うのが好ましい。これにより、より迅速に正孔輸送層5を形成すること、すなわち、太陽電池1Aの製造時間の短縮に有利である。
【0217】この加熱温度としては、好ましくは温度50～150℃程度とされる。なお、塗膜形成後、熱処理を行う場合には、かかる熱処理の前に、塗膜の乾燥を行ってもよい。また、以上のような操作は、複数回繰り返して行うようにしてもよい。
【0218】より具体的には、80℃程度に加熱したホットプレート上に、基板2、第1の電極3、バリヤ層8および受光層4の積層体を設置し、正孔輸送層材料を、受光層4の上面に滴下して、乾燥する。この操作を複数回行って、前述したような平均厚さの正孔輸送層5を形成する。
【0219】正孔輸送層材料に用いる溶媒としては、特に限定されないが、例えば、アセトニトリル、エタノール、メタノール、イソプロピルアルコール等の有機溶剤、あるいは、各種水等の1種または2種以上を組み合わせて用いることができる。
【0220】なお、イオン伝導特性を有する物質を溶解する溶媒としては、アセトニトリルが好適に使用される。また、イオン伝導特性を有する物質のアセトニトリル溶液中には、バインダーとして、例えばシアノレジン等のシアノエチル化物を添加するとよい。この場合、イオン伝導特性を有する物質に対しシアノエチル化物を、質量比（重量比）で、5～0．5wt％で混合（配合）するのが好ましい。
【0221】また、正孔輸送層材料は、正孔の輸送効率を向上させる機能を有する正孔輸送効率向上物質を含有しているのが好ましい。正孔輸送層材料がこの正孔輸送効率向上物質を含有していると、正孔輸送層5は、イオン伝導特性の向上により、キャリア移動度がより大きくなる。その結果、正孔輸送層5は、その電気伝導性が向上する。
【0222】正孔輸送効率向上物質としては、特に限定されないが、例えば、ハロゲン化アンモニウム等のハロゲン化物が挙げられ、特に、テトラプロピルアンモニウムヨーダイド（TPAI）等のハロゲン化アンモニウムを用いるのが好ましい。正孔輸送効率向上物質として、ハロゲン化アンモニウム、特に、テトラプロピルアンモニウムヨーダイドを用いることにより、正孔輸送層5は、イオン伝導特性がより向上することにより、キャリア移動度がさらに大きくなる。その結果、正孔輸送層5は、その電気伝導性がさらに向上する。

【０２２３】この正孔輸送効率向上物質の正孔輸送層材料中の含有量は、特に限定されないが、１×１０$^{-4}$～１×１０$^{-1}$ｗｔ％（重量％）程度であるのが好ましく、１×１０$^{-4}$～１×１０$^{-2}$ｗｔ％程度であるのがより好ましい。このような数値範囲内において、前記の効果がさらに顕著となる。

【０２２４】また、正孔輸送層５を、イオン伝導特性を有する物質を主材料として構成する場合には、正孔輸送層材料は、イオン伝導特性を有する物質が結晶化する際に、その結晶サイズが増大するのを抑制する結晶サイズ粗大化抑制物質を含有しているのが好ましい。

【０２２５】この結晶サイズ粗大化抑制物質としては、特に限定されないが、例えば、前述したシアノエチル化物、正孔輸送効率向上物質の他、チオシアン酸塩（ロダン化物）等が挙げられる。また、結晶サイズ粗大化抑制物質は、これらのうちの１種または２種以上を組み合わせて用いることができる。

【０２２６】なお、チオシアン酸塩としては、例えば、チオシアン酸ナトリウム（ＮａＳＣＮ）、チオシアン酸カリウム（ＫＳＣＮ）、チオシアン酸銅（ＣｕＳＣＮ）、チオシアン酸アンモニウム（NH_4ＳＣＮ）等が挙げられる。

【０２２７】また、結晶サイズ粗大化抑制物質として、正孔輸送効率向上物質を用いる場合には、ハロゲン化アンモニウムが好適である。正孔輸送効率向上物質の中でも、ハロゲン化アンモニウムは、イオン伝導特性を有する物質の結晶サイズが増大するのを抑制する機能が、特に優れている。

【０２２８】ここで、正孔輸送層材料が、この結晶サイズ粗大化抑制物質を含有していないと、イオン伝導特性を有する物質の種類、前述した加熱温度等によっては、イオン伝導特性を有する物質が結晶化する際に、その結晶サイズが大きくなり過ぎ、結晶の体積膨張が過度に進む場合がある。特に、かかる結晶化がバリヤ層８の孔（微少孔）内で生じると、バリヤ層８にクラックが発生し、その結果、正孔輸送層５と第１の電極３との間で、部分的に接触等による短絡が生じる場合がある。

【０２２９】また、イオン伝導特性を有する物質の結晶サイズが大きくなると、イオン伝導特性を有する物質の種類等によっては、受光層４との接触性が低下してしまう場合がある。その結果、受光層４から、イオン伝導特性を有する物質、すなわち、正孔輸送層５が剥離してしまう場合ある。

【０２３０】よって、このような太陽電池は、光電変換効率等のデバイスとしての特性が低下してしまうことがある。

【０２３１】これに対し、正孔輸送層材料が、この結晶サイズ粗大化抑制物質を含有していると、イオン伝導特性を有する物質は、結晶サイズの増大が抑制され、結晶サイズが極小または比較的小さいものとなる。

【０２３２】例えば、ＣｕＩのアセトニトリル溶液中に、チオシアン酸塩を添加すると、飽和状態で溶解しているＣｕＩのうちのＣｕ原子のまわりにチオシアン酸イオン（ＳＣＮ$^-$）が吸着し、Ｃｕ－Ｓ（硫黄、Sulfor）結合が生じる。これにより、飽和状態で溶解しているＣｕＩ分子同士の結合が著しく阻害され、結果として、ＣｕＩの結晶成長を防止することができるので、微細に成長したＣｕＩ結晶を得ることができる。

【０２３３】このようなことから、太陽電池１Ａは、前述したようなイオン伝導特性を有する物質の結晶サイズの粗大化による不都合を好適に抑制することができる。

【０２３４】また、この結晶サイズ粗大化抑制物質の正孔輸送層材料中の含有量としては、特に限定されないが、１×１０$^{-6}$～１０ｗｔ％（重量％）程度であるのが好ましく、１×１０$^{-4}$～１×１０$^{-2}$ｗｔ％程度であるのがより好ましい。このような数値範囲内において、前記の効果がさらに顕著となる。

【０２３５】また、正孔輸送層５を、前述したようなｐ型半導体材料で構成する場合には、このｐ型半導体材料を、例えば、アセトン、イソプロピルアルコール（ＩＰＡ）、エタノール等の各種有機溶媒（またはこれらを含む混合溶媒）に溶解（または懸濁）して、正孔輸送層材料を調製するようにする。この正孔輸送層材料を用いて、前記と同様にして、正孔輸送層５を成膜（形成）する。

【０２３６】＜５＞　次に、第２の電極６を、正孔輸送層５の上面に形成する。第２の電極６は、例えば白金等で構成される第２の電極６の材料を、例えば、蒸着法、スパッタリング法、印刷法等を用いることにより、形成することができる。以上のような工程を経て、太陽電池１Ａが製造される。

【０２３７】次に、太陽電池１Ａの他の製造方法について説明する。図５は、第１実施形態の太陽電池の他の製造方法を説明するための図（受光層と正孔輸送層とを接合する前の状態を示す拡大断面図）である。なお、以下の説明では、図５中、各層（各部材）の上側の面を「上面」、下側の面を「下面」と言う。

【０２３８】以下、太陽電池１Ａの他の製造方法について、前記の製造方法との相違点を中心に説明し、同様の事項については、その説明を省略する。

【０２３９】この方法では、図５に示すように、第２の電極６の下面（一方の面）に正孔輸送層材料を塗付した塗膜の積層体１２Ａと、基板２、第１の電極３および受光層４の積層体１１Ａとを、受光層４と正孔輸送層５とを接触するように接合して、太陽電池１Ａを製造する。

【０２４０】＜１’＞～＜３’＞　前記工程＜１＞～＜３＞と同様の工程を行う。これにより、積層体１１Ａが得られる。

【０２４１】＜４’＞　一方、例えば白金等からなる第２の電極６の一方の面に、正孔輸送層材料を塗付する。

SAMSUNG EX. 1002 - 380/2862

【０２４２】これは、前記工程＜４＞と同様にして行うことができる。なお、この場合、塗膜への熱処理は省略され、正孔輸送層材料の塗膜は、固化していない状態となっている。これにより、積層体１２Ａが得られる。

【０２４３】以下、この固化してない状態の正孔輸送層材料の塗膜を、正孔輸送層５と言う。

【０２４４】なお、このとき、正孔輸送層５の下面（図５中下側の面）には、複数の凸部５１が形成され、凸凹状態となっている。

【０２４５】＜５’＞　次に、前記積層体１１Ａと、前記積層体１２Ａとを、受光層４と正孔輸送層５とを接触するようにして接合する。

【０２４６】ここで、仮にバリヤ層８が設置されない太陽電池では、特に、受光層４の空孔率（多孔質の度合い）を大きくすると、正孔輸送層５は、各凸部５１から受光層４の孔４１内にめり込み（浸透し）、さらには、受光層４を突き抜けて、各凸部５１のほぼ全て（正孔輸送層５の一部）が第１の電極３と接触してしまうことがある。これにより、このような太陽電池では、漏れ電流が多くなり、発電効率が低下する。

【０２４７】これに対し、太陽電池１Ａでは、バリヤ層（短絡防止手段）８が設けられているので、図５に示す状態から、積層体１２Ａを積層体１１Ａに接近させると、正孔輸送層５は、各凸部５１から、受光層４の孔４１内にめり込む（浸透する）ように進入していく。しかし、正孔輸送層５は、バリヤ層８に到達すると、バリヤ層８により、それ以上、第１の電極３への接近が阻止される。

【０２４８】また、正孔輸送層５が、受光層４の孔４１内に浸透する（埋入する）ようにして、これらを接合することにより、前述したような整流障壁の表面積（形成領域）を増大させることができる。このため、受光層４で発生した正孔の正孔輸送層５への伝達をより効率よく行うことができる。

【０２４９】よって、このような太陽電池１Ａでは、漏れ電流の発生が防止または抑制され、発電効率（光電変換効率）が向上する。

【０２５０】＜第２実施形態＞次に、第２実施形態の太陽電池について説明する。

【０２５１】図６は、第２実施形態の太陽電池の構成を示す断面図、図７は、第２実施形態の太陽電池の製造方法を説明するための図（受光層と正孔輸送層とを接合する前の状態を示す拡大断面図）である。なお、以下の説明では、図６および図７中、各層（各部材）の上側の面を「上面」、下側の面を「下面」と言う。

【０２５２】以下、図６に示す太陽電池１Ｂについて、前記第１実施形態との相違点を中心に説明し、同様の事項については、その説明を省略する。

【０２５３】第２実施形態の太陽電池１Ｂでは、短絡防止手段として、バリヤ層に代わり、スペーサが設けられ、それ以外は、前記第１実施形態の太陽電池１Ａと同様である。

【０２５４】すなわち、第１の電極３と第２の電極６との間には、受光層４と正孔輸送層５とを囲むようにスペーサ７が設置されている。

【０２５５】このスペーサ７は、第１の電極３と正孔輸送層５との間隔を規定する（一定に保持する）ものである。

【０２５６】このようなスペーサ７は、絶縁材料で構成されている。この絶縁材料としては、例えば、紫外線硬化性樹脂のような光硬化性樹脂、エポキシ樹脂のような熱硬化性樹脂等のうちの１種または２種以上を組み合わせて用いることができる。

【０２５７】なお、スペーサ７は、第１の電極３と正孔輸送層５との間隔を規定できるものであれば、受光層４および正孔輸送層５の全周を覆うような構成でなくてもよく、例えば、球体、棒状体（例えば、断面形状が円形、楕円形、あるいは、三角形、四角形のような多角形等）等を、これらの周囲に配設するような構成のものであってもよい。

【０２５８】この太陽電池１Ｂは、前記第１実施形態の太陽電池１Ａとほぼ同様の製造工程（第１実施形態の他の製造方法を参照）を経て製造することができ、この場合、最終工程において、基板２、第１の電極３、受光層４およびスペーサ７からなる積層体１１Ｂと、正孔輸送層材料の塗膜（正孔輸送層５）および第２の電極６からなる積層体１２Ｂとを、受光層４と正孔輸送層材料の塗膜とを接触するようにして接合する。

【０２５９】ここで、仮にスペーサ７が設置されない太陽電池では、特に、受光層４の空孔率（多孔質の度合い）を大きくすると、正孔輸送層５は、各凸部５１から受光層４の孔４１内にめり込み（浸透し）、さらには、受光層４を突き抜けて、各凸部５１のほぼ全て（正孔輸送層５の一部）が第１の電極３と接触してしまうことがある。これにより、このような太陽電池では、漏れ電流が多くなり、発電効率が低下する。

【０２６０】これに対し、太陽電池１Ｂでは、スペーサ（短絡防止手段）７が設けられているので、図７に示す状態から、積層体１２Ｂを積層体１１Ｂに接近させると、正孔輸送層５は、各凸部５１から、受光層４の孔４１内にめり込む（浸透する）ように進入していく。しかし、スペーサ７の上面と第２の電極６の下面とが当接すると、それ以上、積層体１２Ｂと積層体１１Ｂとが接近するのが阻止される。このとき、正孔輸送層５は、受光層４の孔４１内に、十分に浸透した状態となる。

【０２６１】また、スペーサ７の平均厚さ（図７中長さＨ）は、正孔輸送層５（凸部５１）が第１の電極３へ接触しない程度の大きさに設定されている。

【０２６２】このようなことから、太陽電池１Ｂでは、正孔輸送層５の第１の電極３への接触が防止または抑制

SAMSUNG EX. 1002 - 381/2862

される。よって、このような太陽電池１Ｂでは、漏れ電流の発生が防止または抑制され、発電効率（光電変換効率）が向上する。

【０２６３】このような観点からは、スペーサ７の平均厚さＨと、正孔輸送層５の最大厚さ（図７中長さｈ１）および受光層４の最大厚さ（図７中長さｈ２）とは、例えば、ｈ１＋ｈ２＞Ｈ≧ｈ１なる関係を満たすのが好ましく、１．１ｈ１≧Ｈ≧ｈ１なる関係を満たすのがより好ましい。スペーサ７の平均厚さＨを前記範囲内とすることにより、第１の電極３と正孔輸送層５との間での接触等による短絡を好適に防止または抑制しつつ、正孔輸送層５と受光層４との接触面積を十分に確保することができる。

【０２６４】なお、本実施形態においても、前記第１実施形態で記載したバリヤ層８と同様の構成のバリヤ層を、受光層４の下部（受光層４と第１の電極３との間）に設けることにより、前記効果をより向上することができる。

【０２６５】以上、本発明の光電変換素子を図示の各実施形態に基づいて説明したが、本発明は、これに限定されるものではない。光電変換素子を構成する各部は、同様の機能を発揮し得る任意の構成のものと置換することができる。

【０２６６】本発明の光電変換素子は、前記第１および第２実施形態のうちの、任意の２以上の構成を組み合わせたものであってもよい。

【０２６７】なお、本発明の光電変換素子は、太陽電池のみならず、例えば、光センサー、光スイッチのような、光を受光して電気エネルギーに変換する各種素子（受光素子）に適用することができるものである。

【０２６８】また、本発明の光電変換素子では、光の入射方向は、図示のものとは異なり、逆方向からであってもよい。すなわち、光の入射方向は、任意である。

【０２６９】

【実施例】次に、本発明の具体的実施例について説明する。

【０２７０】（実施例１）次のようにして、図１に示す太陽電池を製造した。

【０２７１】まず、寸法：縦３０ｍｍ×横３５ｍｍ×厚さ１．０ｍｍのソーダガラス基板を用意した。次に、このソーダガラス基板を８５℃の洗浄液（硫酸と過酸化水素水との混合液）に浸漬して洗浄を行い、その表面を清浄化した。

【０２７２】−１−　次に、ソーダガラス基板の上面に、蒸着法により、寸法：縦３０ｍｍ×横３５ｍｍ×厚さ１μｍのＦＴＯ電極（第１の電極）を形成した。

【０２７３】−２−　次に、形成したＦＴＯ電極の上面の縦３０ｍｍ×横３０ｍｍの領域に、バリヤ層を形成した。これは、次のようにして行った。

【０２７４】［バリヤ層材料の調製］まず、チタンテトライソプロポキシド（有機チタン化合物）を、２−ｎ−ブトキシエタノールに０．５ｍｏｌ／Ｌとなるように溶解した。

【０２７５】次いで、この溶液に、ジエタノールアミン（添加物）を添加した。なお、ジエタノールアミンとチタンテトライソプロポキシドとの配合比は、２：１（モル比）となるようにした。

【０２７６】これにより、バリヤ層材料を得た。なお、バリヤ層材料の粘度は、３．３ｃＰ（常温）であった。

【０２７７】［バリヤ層の形成］バリヤ層材料をスピンコート（塗布法）により塗布し、塗膜を得た。なお、このスピンコートは、回転数を１５００ｒｐｍで行った。

【０２７８】次いで、ソーダガラス基板、ＦＴＯ電極および塗膜の積層体を、ホットプレート上に設置して、１６０℃で１０分間、熱処理を施すことにより塗膜を乾燥した。

【０２７９】さらに、かかる積層体を、４８０℃で３０分間、オーブン内で熱処理を施すことにより、塗膜中に残存する有機成分を除去した。かかる操作を１０回繰り返して積層するようにした。

【０２８０】これにより、空孔率が１％未満のバリヤ層を得た。なお、このバリヤ層の平均厚さは、１．２μｍであった。

【０２８１】−３−　次に、バリヤ層の上面（全体）に受光層を形成した。これは、次のようにして行った。

【０２８２】［酸化チタン粉末の調製］水素雰囲気中で、１０００℃で０．５時間、熱処理を行うことにより酸素欠陥形成法を施したルチル型の二酸化チタン粉末と、アナターゼ型の二酸化チタン粉末との混合物からなる酸化チタン粉末を用意した。なお、酸化チタン粉末の平均粒径は、４０ｎｍであり、ルチル型の二酸化チタン粉末とアナターゼ型の二酸化チタン粉末との配合比は、重量比で６０：４０とした。

【０２８３】［ゾル液（受光層材料）の調製］まず、チタンテトライソプロポキシドを、２−プロパノールに１ｍｏｌ／Ｌとなるように溶解した。

【０２８４】次いで、この溶液に、酢酸（添加物）と、蒸留水とを混合した。なお、酢酸とチタンテトライソプロポキシドとの配合比は、１：１（モル比）となるように、また、蒸留水とチタンテトライソプロポキシドとの配合比は、１：１（モル比）となるようにした。

【０２８５】次いで、かかる溶液に、調製した酸化チタン粉末を混合した。さらに、この懸濁液を２−プロパノールで２倍に希釈した。これにより、ゾル液（受光層材料）を調製した。なお、酸化チタン粉末のゾル液中の含有量を、３ｗｔ％とした。

【０２８６】［受光層の形成］ソーダガラス基板、ＦＴＯ電極およびバリヤ層の積層体を、１４０℃に加熱したホットプレート上に設置し、バリヤ層の上面に、ゾル液（受光層材料）を滴下（塗布法）し、乾燥した。この操

作を７回繰り返し行って積層するようにした。
【０２８７】これにより、空孔率が３６％の受光層を得た。なお、この受光層の平均厚さは、８．５μｍであった。
【０２８８】なお、バリヤ層と受光層との全体における厚さ方向の抵抗値は、１ｋΩ／ｃｍ^{2}以上であった。
【０２８９】－４－　次いで、ソーダガラス基板、ＦＴＯ電極および受光層の積層体を、８０℃に加熱したホットプレート上に設置し、受光層の上面に、ＣｕＩのアセトニトリル溶液（正孔輸送層材料）を滴下し、乾燥した。この操作を繰り返し行って積層するようにして、寸法：縦３０ｍｍ×横３０ｍｍ×厚さ３０μｍのＣｕＩ層（正孔輸送層）を形成した。
【０２９０】なお、アセトニトリル溶液中には、正孔輸送効率向上物質として、テトラプロピルアンモニウムヨーダイドを１×１０$^{-3}$ｗｔ％となるように添加した。
【０２９１】また、アセトニトリル溶液中には、ＣｕＩのバインダーとして、シアノレジン（シアノエチル化物）を添加した。なお、ＣｕＩとシアノレジンとが、質量比（重量比）で、９７：３となるように配合した。
【０２９２】さらに、アセトニトリル溶液中には、結晶サイズ粗大化抑制物質として、チオシアン酸ナトリウム（ＮａＳＣＮ）を１×１０$^{-3}$ｗｔ％となるように添加した。
【０２９３】－５－　次いで、ＣｕＩ層の上面に、蒸着法により、寸法：縦３０ｍｍ×横３０ｍｍ×厚さ０．１ｍｍの白金電極（第２の電極）を形成した。
【０２９４】（実施例２）以下に示すバリヤ層材料を用いて、バリヤ層の形成における操作を２回繰り返したこと、および、以下に示す酸化チタン粉末を用いたこと以外は、前記実施例１と同様にして太陽電池を製造した。
【０２９５】－２－　バリヤ層の形成
［バリヤ層材料の調製］まず、四塩化チタン（無機チタン化合物）を、無水エタノールに１．０ｍｏｌ／Ｌとなるように溶解した。
【０２９６】これにより、バリヤ層材料を得た。なお、バリヤ層材料の粘度は、１．２ｃＰ（常温）であった。
【０２９７】また、得られたバリヤ層は、空孔率が１％未満であり、平均厚さが２．０μｍであった。
【０２９８】－３－　受光層の形成
［酸化チタン粉末の調製］ルチル型の二酸化チタン粉末と、アナターゼ型の二酸化チタン粉末との混合物からなる酸化チタン粉末を用意した。なお、酸化チタン粉末の平均粒径は、４０ｎｍであり、ルチル型の二酸化チタン粉末とアナターゼ型の二酸化チタン粉末との配合比は、重量比で６０：４０とした。
【０２９９】次いで、酸化チタン粉末に、水素雰囲気中で、１０００℃で０．５時間、熱処理を行うことにより酸素欠陥形成法を施した。
【０３００】なお、得られた受光層は、空孔率が３４％であり、平均厚さが７．５μｍであった。
【０３０１】また、得られた受光層には、ルチル型の二酸化チタンとアナターゼ型の二酸化チタンとが、７０：３０で存在した。
【０３０２】また、バリヤ層と受光層との全体における厚さ方向の抵抗値は、１ｋΩ／ｃｍ^{2}以上であった。
【０３０３】（実施例３）以下に示すバリヤ層材料を用いて、バリヤ層の形成における操作を３回繰り返したこと、および、酸化チタン粉末に代わり、膜状体（塗膜）に酸素欠陥形成法を施したこと以外は、前記実施例１と同様にして太陽電池を製造した。
【０３０４】－２－　バリヤ層の形成
［バリヤ層材料の調製］まず、チタンオキシアセチルアセトナート（有機チタン化合物）を、２－ブタノールに１．５ｍｏｌ／Ｌとなるように溶解した。
【０３０５】これにより、バリヤ層材料を得た。なお、バリヤ層材料の粘度は、１．５ｃＰ（常温）であった。
【０３０６】なお、得られたバリヤ層は、空孔率が１％未満であり、平均厚さが３．４μｍであった。
【０３０７】－３－　受光層の形成
［ゾル液（受光層材料）の調製］前記実施例１と同様にしてゾル液（受光層材料）を調製した。
【０３０８】なお、膜状体（塗膜）に対して酸素欠陥形成法を施すため、酸化チタン粉末への酸素欠陥形成法による熱処理は、省略した。
【０３０９】［受光層の形成］前記実施例１と同様にして膜状体（塗膜）を形成し、次いで、膜状体に、水素雰囲気中で、１０００℃で０．５時間、熱処理（酸素欠陥形成法）を行うことにより受光層を得た。
【０３１０】なお、得られた受光層は、空孔率が３２％であり、平均厚さが６．７μｍであった。
【０３１１】また、得られた受光層には、ルチル型の二酸化チタンとアナターゼ型の二酸化チタンとが、７５：２５で存在した。
【０３１２】また、バリヤ層と受光層との全体における厚さ方向の抵抗値は、１ｋΩ／ｃｍ^{2}以上であった。
【０３１３】（実施例４）以下に示すバリヤ層材料を用いて、バリヤ層の形成における操作を５回繰り返したこと、および、酸素欠陥形成法に代わり、原子置換法を用いたこと以外は、前記実施例３と同様にして太陽電池を製造した。
【０３１４】－２－　バリヤ層の形成
［バリヤ層材料の調製］まず、チタンテトライソプロポキシド（有機チタン化合物）を、２－プロパノールに２．０ｍｏｌ／Ｌとなるように溶解した。
【０３１５】次いで、この溶液に、酢酸（添加物）を添加した。なお、酢酸とチタンテトライソプロポキシドとの配合比は、１：１（モル比）となるようにした。
【０３１６】これにより、バリヤ層材料を得た。なお、バリヤ層材料の粘度は、１．７ｃＰ（常温）であった。

【0317】なお、得られたバリヤ層は、空孔率が1％未満であり、平均厚さが4．5μmであった。

【0318】−3−　受光層の形成

［ゾル液（受光層材料）の調製］前記実施例1と同様にして調製した希釈前の懸濁液に、三酸化二クロム（無機増感剤）および三酸化モリブデン（焼結助剤）とを混合し、かかる懸濁液を希釈することによりゾル液（受光層材料）を調製した。なお、三酸化二クロムおよび三酸化モリブデンの配合比は、以下の通りである。

【0319】<三酸化二クロム>　　酸化チタン粉末1gに対して、0．9μmol

<三酸化モリブデン>　酸化チタン粉末：三酸化モリブデン＝90：10（体積比）

【0320】［受光層の形成］前記実施例3と同様にして膜状体（塗膜）を形成し、次いで、膜状体を、大気中で、800℃で3時間焼成することにより、受光層を得た。

【0321】なお、得られた受光層は、空孔率が33％であり、平均厚さが6．9μmであった。

【0322】また、バリヤ層と受光層との全体における厚さ方向の抵抗値は、1kΩ／cm²以上であった。

【0323】（実施例5）バリヤ層に代わり、スペーサを有する図6に示す太陽電池（光電変換素子）を、前記実施例1と同様にして製造した。

【0324】−0’−、−1’−　前記実施例1の工程−0−および−1−と同様にして行った。

【0325】−2’−　次に、形成したFTO電極の上面の縦30mm×横30mmの領域に、受光層を形成した。これは、前記実施例1の工程−3−と同様にして行った。

【0326】これにより、空孔率が34％の受光層を得た。なお、この受光層の最大厚さは、10．5μmであった。また、受光層の厚さ方向の抵抗値は、20Ω／cm²であった。

【0327】−3’−　次に、受光層の外縁部を、エポキシ樹脂（スペーサの材料）で囲んだ後、固化させた。

【0328】これにより、ソーダガラス基板、FTO電極、受光層およびスペーサの積層体を得た。なお、このスペーサの平均厚さは、31．0μmであった。

【0329】−4’−　次に、白金電極（第2の電極）の一方の面の縦30mm×横30mmの領域に、CuIのアセトニトリル溶液（正孔輸送層材料）を塗付した。これは、前記実施例1の工程−5−と同様にして行ったが、熱処理を省略した。

【0330】これにより、白金電極とCuI塗膜（CuI層）の積層体を得た。なお、このCuI層の最大厚さは、30．1μmであった。

【0331】−5’−　次に、前記積層体同士を、受光層とCuI層とを接触するようにして接合した。

【0332】（比較例）バリヤ層（短絡防止手段）を省略したこと以外は、前記実施例1と同様にして太陽電池を製造した。

【0333】なお、得られた受光層は、空孔率が34％であり、平均厚さが10．2μmであった。また、受光層の厚さ方向の抵抗値は、20Ω／cm²であった。

【0334】（評価1）実施例1〜5および比較例において製造した太陽電池において、FTO電極が正、白金電極が負となるようにして、0．5Vの電圧を印加したときの、抵抗値を、それぞれ測定した。

【0335】（評価2）実施例1〜5および比較例において製造した太陽電池に、それぞれ、人工太陽灯の光を照射し、このときの光電変換効率を測定した。なお、受光層への光の入射角度は、90°と52°に設定し、光の入射角度が90°のときの光電変換効率をR_{90}とし、52°のときの光電変換効率をR_{52}とした。これらの評価1および評価2の結果を表1に示す。

【0336】

【表1】

表1

	バリヤ層		受光層		評価1（抵抗値）の結果 [Ω／cm²]	評価2（光電変換効率）の結果		
	平均厚さ [μm]	空孔率 [%]	平均厚さ [μm]	空孔率 [%]		R_{90} [%]	R_{52} [%]	R_{52}/R_{90}
実施例1	1．2	1未満	8．5	36	1000以上	4．3	3．8	0．88
実施例2	2．0	1未満	7．5	34	1000以上	4．0	3．5	0．88
実施例3	3．4	1未満	6．7	32	1000以上	3．6	3．1	0．86
実施例4	4．5	1未満	6．9	33	1000以上	3．9	3．3	0．85
実施例5	バリヤ層に代わり、スペーサを有する		10．5*	34	1000以上	3．8	3．3	0．87
比較例	—		10．2	34	20	0	0	—

*：受光層の最大厚さを示す。

SAMSUNG EX. 1002 - 384/2862

【０３３７】表１に示す結果から、短絡防止手段（バリヤ層またはスペーサ）を有する太陽電池（実施例１～５）では、ＦＴＯ電極とＣｕＩ層との間での接触等による短絡が好適に防止または抑制され、光電変換効率に優れるものであった。

【０３３８】これに対し、バリヤ層（短絡防止手段）を省略した比較例の太陽電池では、光電変換効率に劣るものであった。

【０３３９】比較例において光電変換効率が劣るのは、評価１の結果からも明らかなように、ＦＴＯ電極とＣｕＩ層との間での短絡（接触）による漏れ電流の発生が原因であると考えられる。

【０３４０】また、実施例１～５の太陽電池は、いずれも、R_{52}/R_{90}が０．８５以上であり、このことは、実施例１～５の太陽電池が、光に対する指向性がより低いことを示すものであった。

【０３４１】

【発明の効果】以上述べたように、本発明によれば、短絡防止手段を設けたことにより、第１の電極と正孔輸送層との間での接触等による短絡を好適に防止または抑制しつつ、効率よく電子を発生することができ、その結果、極めて優れた光電変換効率が得られる。

【０３４２】受光層材料の粉末を含有するゾル液を用いるゾル・ゲル法を用いることにより、受光層をより容易かつ確実に形成することができる。

【０３４３】また、短絡防止手段としてバリヤ層を設ける場合には、ＭＯＤ法を用いることにより、バリヤ層をより容易かつ確実に形成することができる。また、本発明の光電変換素子は、製造が容易であり、安価に製造できる。

【図面の簡単な説明】

【図１】　本発明の光電変換素子を太陽電池に適用した場合の第１実施形態を示す部分断面図である。

【図２】　第１実施形態の太陽電池の厚さ方向の中央部付近の断面を示す拡大図である。

【図３】　受光層の断面を示す部分拡大図である。

【図４】　図１に示す太陽電池回路の等価回路を示す図である。

【図５】　第１実施形態の太陽電池の他の製造方法を説明するための図（受光層と正孔輸送層とを接合する前の状態を示す拡大断面図）である。

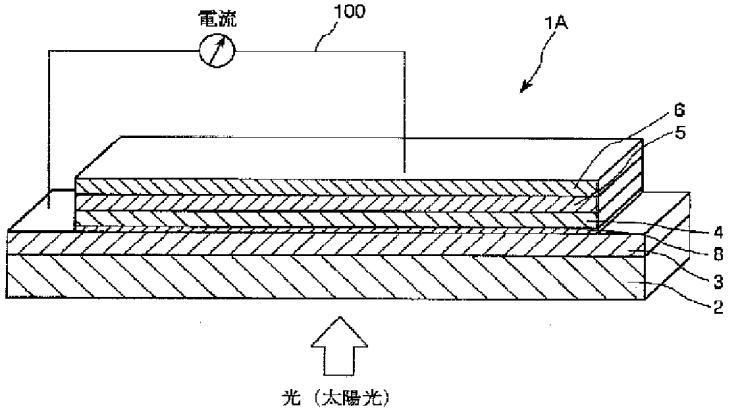
【図６】　第２実施形態の太陽電池の構成を示す断面図である。

【図７】　第２実施形態の太陽電池の製造方法を説明するための図（受光層と正孔輸送層とを接合する前の状態を示す拡大断面図）である。

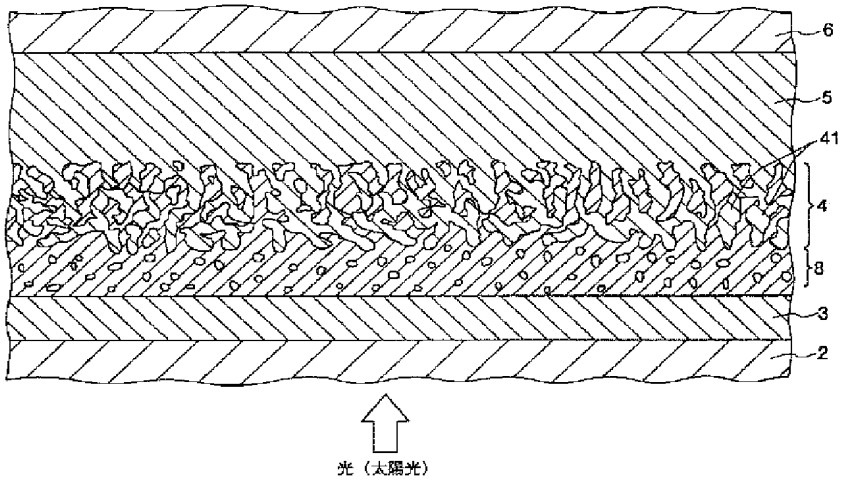
【符号の説明】

１Ａ、１Ｂ……太陽電池　２……基板　３……第１の電極　４……受光層　４１……孔　５……正孔輸送層　５１……凸部　６……第２の電極　７……スペーサ　８……バリヤ層　１１Ａ……積層体　１２Ａ……積層体　１１Ｂ……積層体１２Ｂ……積層体　１００……外部回路　２００……ダイオード

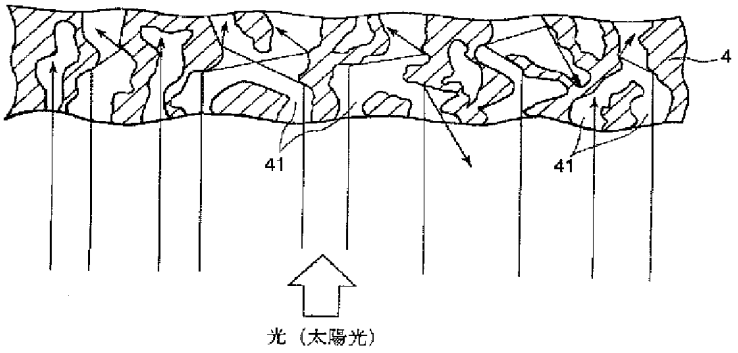
【図１】



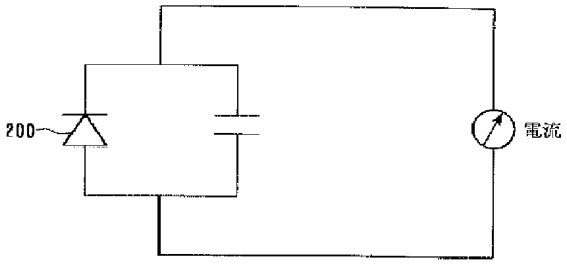
【図2】



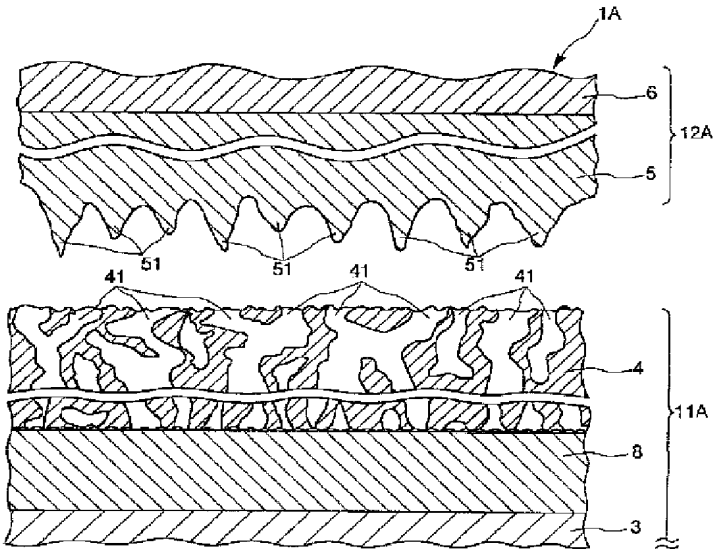
【図3】



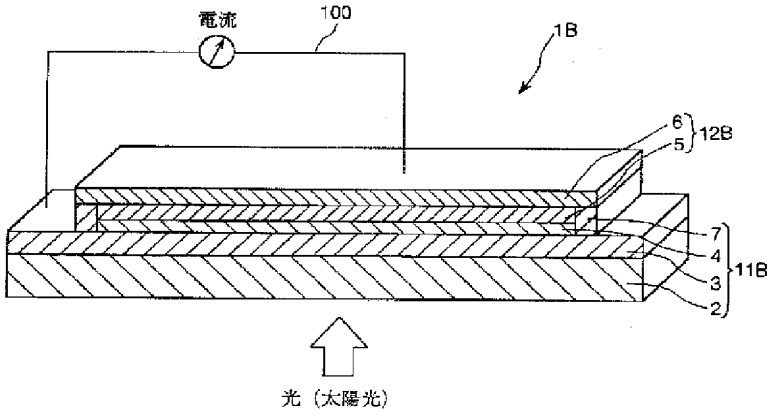
【図4】



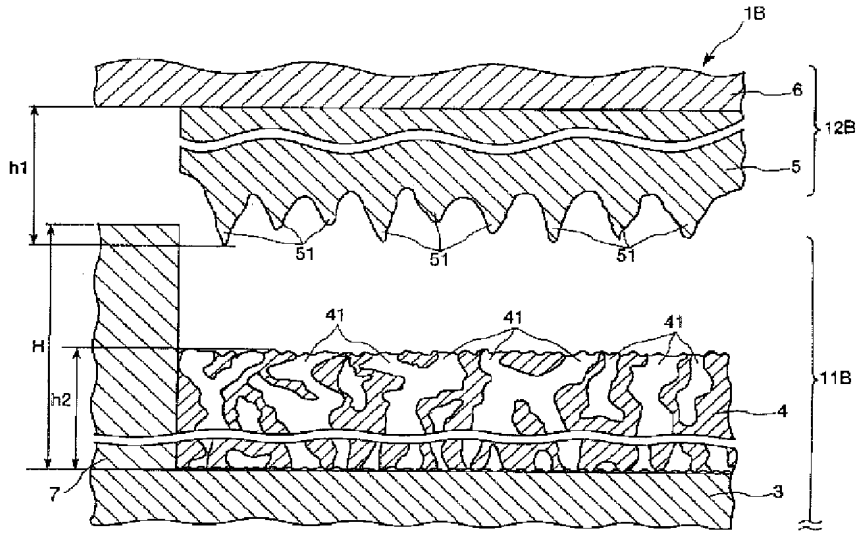
【図5】



【図6】



【図7】



フロントページの続き

Fターム(参考) 5F051 AA14
5H032 AA06 AS06 AS07 AS09 AS16
BB00 BB05 CC16 EE03 EE06
HH01 HH04 HH08

Espacenet

Bibliographic data: JP2004273886 (A) — 2004-09-30

CRYSTALLINE THIN FILM SEMICONDUCTOR DEVICE AND PHOTOVOLTAIC DEVICE

Inventor(s): OKA FUMITO; MURAMATSU SHINICHI; SASAKI TADASHI ± (OKA FUMITO, ; MURAMATSU SHINICHI, ; SASAKI TADASHI)

Applicant(s): HITACHI CABLE ± (HITACHI CABLE LTD)

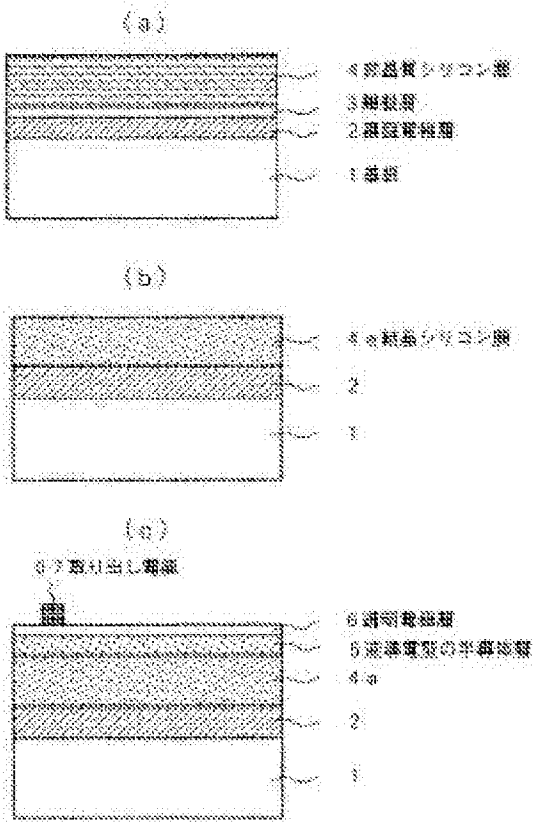
Classification: **- international:** ***H01L21/20; H01L31/04;*** (IPC1-7): H01L21/20; H01L31/04
- cooperative: Y02E10/50

Application number: JP20030064570 20030311

Priority number (s): JP20030064570 20030311

Abstract of JP2004273886 (A)

PROBLEM TO BE SOLVED: To obtain a large-area crystalline thin film semiconductor device, such as the solar cell etc., that can achieve conversion efficiency of >10%. ;SOLUTION: The crystalline thin film semiconductor device is constituted by forming a conductive electrode layer 02 on the partial or whole surface of a substrate 1, a barrier layer 3 on the electrode layer 2 to restrict the diffusion of the substance constituting the electrode layer 2, and a non-single-crystal layer 4 on the barrier layer 3. The non-single-crystal layer 4 is changed to a crystalline layer by annealing the layer 4 with a laser beam or lamp or the semiconductor layer 4a is formed in a crystalline layer. ;COPYRIGHT: (C)2004,JPO&NCIPI



SAMSUNG EX. 1002 - 390/2862

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2004-273886
(P2004-273886A)
(43)公開日　平成16年9月30日(2004.9.30)

(51)Int.Cl.[7]	F I		テーマコード（参考）
H01L 21/20	H01L 21/20		5F051
H01L 31/04	H01L 31/04	X	5F052

審査請求 未請求　請求項の数 12　OL　（全 11 頁）

(21)出願番号　特願2003-64570 (P2003-64570)
(22)出願日　平成15年3月11日 (2003.3.11)

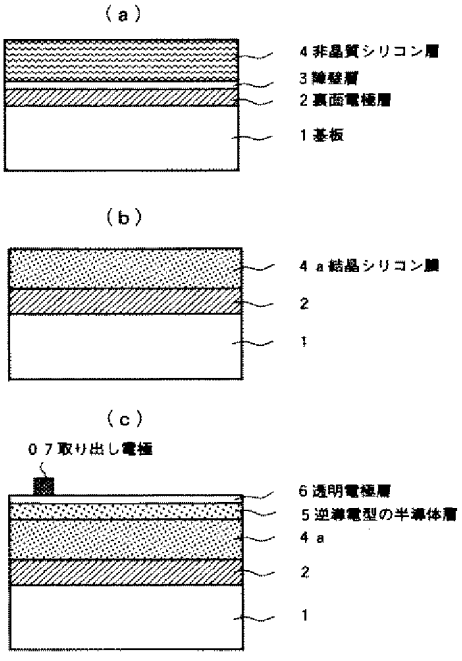
（出願人による申告）国等の委託研究の成果に係る特許出願（平成１４年度新エネルギー・産業技術総合開発機構「太陽光発電技術研究開発（革新的次世代太陽光発電システム技術研究開発ラテラル結晶化薄膜シリコン太陽電池の研究開発）」委託研究、産業活力再生特別措置法第３０条の適用を受けるもの）

(71)出願人　000005120
日立電線株式会社
東京都千代田区大手町一丁目６番１号
(74)代理人　100116171
弁理士　川澄　茂
(72)発明者　岡　史人
東京都千代田区大手町一丁目６番１号　日立電線株式会社内
(72)発明者　村松　信一
東京都千代田区大手町一丁目６番１号　日立電線株式会社内
(72)発明者　佐々木　唯
東京都千代田区大手町一丁目６番１号　日立電線株式会社内

最終頁に続く

(54)【発明の名称】結晶薄膜半導体装置および光起電力装置

(57)【要約】
【課題】変換効率１０％を超える変換効率を達成できる太陽電池等の大面積結晶薄膜半導体装置を作製可能とする。
【解決手段】基板１上の一部もしくは全部に導電性をもつ電極層０２が形成され、その上部に電極層２を構成する物質の拡散を制限することを目的として形成された障壁層３が形成され、その上部に非単結晶層４が形成され、該非単結晶層４をレーザーもしくはランプによってアニールすることで、該非単結晶層が結晶性に変化されるか、もしくは結晶性が変化されてなる半導体層４ａを有する構造とする。
【選択図】　図１



SAMSUNG EX. 1002 - 391/2862

【特許請求の範囲】
【請求項1】
基板上の一部もしくは全部に導電性をもつ電極層が形成され、その上部に電極層を構成する物質の拡散を制限することを目的として形成された障壁層が形成され、その上部に非単結晶層が形成され、該非単結晶層をレーザーもしくはランプによってアニールすることで、該非単結晶層が結晶性に変化されるか、もしくは結晶性が変化されてなる半導体層を有することを特徴とする結晶薄膜半導体装置。
【請求項2】
請求項１記載の結晶薄膜半導体装置において、
上記半導体層の非単結晶層が、連続的な出力を持つレーザーもしくはランプによりアニールされていることを特徴とする結晶薄膜半導体装置。
【請求項3】
請求項１又は２記載の結晶薄膜半導体装置において、
上記半導体層が、上記電極層と電気的に接触していることを特徴とする結晶薄膜半導体装置。
【請求項4】
請求項１～３のいずれかに記載の結晶薄膜半導体装置において、
上記電極層の全部又は一部が、Ａｌもしくはその化合物によって構成されていることを特徴とする結晶薄膜半導体装置。
【請求項5】
請求項１～４のいずれかに記載の結晶薄膜半導体装置において、
上記半導体層が多結晶であることを特徴とする結晶薄膜半導体装置。
【請求項6】
請求項５記載の結晶薄膜半導体装置において、
上記半導体層は、基板の上部から見た場合、該半導体層の表面のある１点から半径がその膜厚以上の領域内において、結晶粒界が存在しない場所が存在し、且つその点における断面方向を横切る結晶粒界が存在しないことを特徴とする結晶薄膜半導体装置。
【請求項7】
請求項５記載の結晶薄膜半導体装置において、
上記多結晶の半導体層は、結晶粒界の８０％以上が、上記レーザーもしくはランプを走査させた方向に並行かもしくは並行方向に対して４５度以内の方向をなしていることを特徴とする結晶薄膜半導体装置。
【請求項8】
請求項１～７のいずれかに記載の結晶薄膜半導体装置において、
上記半導体層の上部の全部もしくは少なくとも一部に、該半導体層と異なる導電型を持つ単結晶又は非単結晶の第二の半導体層が形成されていることを特徴とする結晶薄膜半導体装置。
【請求項9】
請求項８記載の結晶薄膜半導体装置において、
上記第二の半導体層の上部に、可視光に対して透明である導電性の反射防止層が形成されており、その反射防止層の上部の一部に電極が形成されていることを特徴とする結晶薄膜半導体装置。
【請求項10】
請求項１～９のいずれかに記載の結晶薄膜半導体装置において、
上記電極層がＡｌ、Ａｇ、Ｓｂ、Ｎｉ、Ｍｏ、Ｔｉ、Ｐｔ、Ｃｏ、Ｚｎ、Ｃｕ、Ａｕ、Ｆｅ又はW、もしくは、これらの元素を含んだ化合物から成ることを特徴とする結晶薄膜半導体装置。
【請求項11】
請求項１～１０のいずれかに記載の結晶薄膜半導体装置において、
上記障壁層が、酸化シリコン、窒化シリコン、酸化窒化シリコン、ＩＴＯ、酸化亜鉛、酸

SAMSUNG EX. 1002 - 392/2862

化錫を主成分とする物質のいずれかから成ることを特徴とする結晶薄膜半導体装置。
【請求項12】
請求項１～１１のいずれかに記載の結晶薄膜半導体装置を用いて構成したことを特徴とする光起電力装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、半導体素子基板、半導体素子等の結晶薄膜半導体装置および光起電力装置に関するものである。
【０００２】
【従来の技術】
近年、非導電性の異種基板上、例えばガラス基板上等にシリコン結晶薄膜を形成する研究が盛んに行なわれている。このガラス基板上に形成したシリコン結晶薄膜の用途は広く、液晶デバイス用ＴＦＴ、薄膜光電変換素子などに用いることができる。
【０００３】
薄膜太陽光発電素子は、安価な基板上に低温プロセスで良好な結晶性をもつ結晶シリコン薄膜を形成し、これを光電変換装置に用いて、低コスト化と高性能化を図るものである。この結晶シリコン薄膜を光電変換素子に用いることによって、非晶質シリコン光電変換素子で問題となっている光劣化が観測されず、さらに非晶質光電変換素子では感度のない、長波長光をも電気的エネルギーに変換することができる。この技術は光電変換素子のみではなく、光センサ等の光電変換装置への応用も可能であると期待されている。
【０００４】
このシリコン結晶光電変換素子は、一般的にプラズマＣＶＤによって直接結晶シリコン薄膜を堆積させる手法が用いられている。この手法によって、基板上に低温で結晶シリコンが形成され得ることが知られており、低コスト化に有効であるとされている。
【０００５】
この手法においては、プラズマＣＶＤ形成条件としては、水素でシラン系原料ガスを１５倍程度以上に希釈し、プラズマ反応室内圧力を１０ｍＴｏｒｒ－１０Ｔｏｒｒ、基板温度を１５０℃～５５０℃、望ましくは４００℃以下の範囲内に制御して成膜する。これによって結晶性のシリコン薄膜が基板上に形成される。しかし、この方法では結晶粒径の大きなポリシリコンを形成することは困難であった。また、発電機能の根幹を担うｉ層は、素子構造最適化のためにドーピングを行なうと品質が急激に低下する。これらのことから、低コスト化に有利なシングルセルで１０％を大きく上回る効率を達成することは困難であった。
【０００６】
一方、レーザーの走査によって結晶化する試みも種々検討されており、連続波を用いる方法も既に公報に開示されている（例えば、特許文献１参照。）。この方法は異種基板上に非晶質シリコンを形成し、帯状の連続波光源を走査することで多結晶シリコン層に熔融・結晶化するもので、走査方向に長い結晶粒を成長させることを可能としている。
【０００７】
【特許文献１】
特開平２００１－３５１８６３号公報（段落番号００２４、００３０、図１、図２）
【０００８】
【発明が解決しようとする課題】
しかしながら、高効率な太陽電池を形成しようとした場合、上記した連続波レーザーの走査によって結晶化する方法には、次のような課題がある。
【０００９】
すなわち、このレーザーの走査によって結晶化する方法は、ＴＦＴ（Ｔｈｉｎ　Ｆｉｌｍ　Ｔｒａｎｓｉｓｔｏｒ）を目的に考案されているものである。つまり、横方向デバイスであり、結晶シリコン膜の上下に電極を形成する必要がない。一方、太陽電池等の縦方向

SAMSUNG EX. 1002 - 393/2862

デバイスは上下に電極を形成する必要がある。
【００１０】
しかるに、非晶質シリコンを電極上に形成し、その後結晶化を行なうと、Ａ１等の電極材は瞬時にシリコン中に拡散し、デバイスの特性を著しく低下させる。また、高融点材料を用いた場合においても、その融解熱による拡散は逃れられず、特性に悪影響を及ぼす。これは１０％を超える太陽電池を作製するにあたり、致命的であった。
【００１１】
上記の理由より、高効率な太陽電池を形成するにはこれまでの技術では不充分であった。
【００１２】
本発明は、上記課題に鑑みてなされたものであり、変換効率１０％を超える変換効率を達成できる太陽電池等の大面積結晶薄膜半導体装置を容易に作製し得る手段を提供するものである。
【００１３】
【課題を解決するための手段】
上記目的を達成するため、本発明は、次のように構成したものである。
【００１４】
請求項１の発明に係る結晶薄膜半導体装置は、基板上の一部もしくは全部に導電性をもつ電極層が形成され、その上部に電極層を構成する物質の拡散を制限することを目的として形成された障壁層が形成され、その上部に非単結晶層が形成され、該非単結晶層をレーザーもしくはランプによってアニールすることで、該非単結晶層が結晶性に変化されるか、もしくは結晶性が変化されてなる半導体層を有することを特徴とする。
【００１５】
換言すれば、基板上の一部もしくは全部に導電性をもつ電極層（裏面電極層）が形成され、その上部に電極層を構成する物質の拡散を制限することを目的として形成された障壁層が形成され、その上部に半導体層が形成された構造であって、この半導体層が、上記障壁層上に形成された非単結晶層をレーザーもしくはランプによってアニールすることで、結晶性に変化された層であるか、もしくは結晶性が変化された層であることを特徴とする。
【００１６】
請求項２の発明は、請求項１記載の結晶薄膜半導体装置において、上記半導体層の非単結晶層が、連続的な出力を持つレーザーもしくはランプによりアニールされていることを特徴とする。
【００１７】
請求項３の発明は、請求項１又は２記載の結晶薄膜半導体装置において、上記半導体層が、上記電極層（裏面電極層）と電気的に接触していることを特徴とする。
【００１８】
請求項４の発明は、請求項１～３のいずれかに記載の結晶薄膜半導体装置において、上記電極層の全部又は一部が、Ａ１もしくはその化合物によって構成されていることを特徴とする。
【００１９】
請求項５の発明は、請求項１～４のいずれかに記載の結晶薄膜半導体装置において、上記半導体層が多結晶であることを特徴とする。
【００２０】
請求項６の発明は、請求項５記載の結晶薄膜半導体装置において、上記半導体層は、基板の上部から見た場合、該半導体層の表面のある１点から半径がその膜厚以上の領域内において、結晶粒界が存在しない場所が存在し、且つその点における断面方向を横切る結晶粒界が存在しないことを特徴とする。
【００２１】
請求項７の発明は、請求項５記載の結晶薄膜半導体装置において、上記多結晶の半導体層は、結晶粒界の８０％以上が、上記レーザーもしくはランプを走査させた方向に並行かもしくは並行方向に対して４５度以内の方向をなしていることを特徴とする。

SAMSUNG EX. 1002 - 394/2862

【００２２】
請求項８の発明は、請求項１～７のいずれかに記載の結晶薄膜半導体装置において、上記半導体層の上部の全部もしくは少なくとも一部に、該半導体層と異なる導電型を持つ単結晶又は非単結晶の第二の半導体層が形成されていることを特徴とする。
【００２３】
請求項９の発明は、請求項８記載の結晶薄膜半導体装置において、上記第二の半導体層の上部に、可視光に対して透明である導電性の反射防止層が形成されており、その反射防止層の上部の一部に電極（取り出し電極）が形成されていることを特徴とする。
【００２４】
請求項１０の発明は、請求項１～９のいずれかに記載の結晶薄膜半導体装置において、上記電極層（裏面電極層）がＡｌ、Ａｇ、Ｓｂ、Ｎｉ、Ｍｏ、Ｔｉ、Ｐｔ、Ｃｏ、Ｚｎ、Ｃｕ、Ａｕ、Ｆｅ又はW、もしくは、これらの元素を含んだ化合物から成ることを特徴とする。
【００２５】
請求項１１の発明は、請求項１～１０のいずれかに記載の結晶薄膜半導体装置において、上記障壁層が、酸化シリコン、窒化シリコン、酸化窒化シリコン、ＩＴＯ、酸化亜鉛、酸化錫を主成分とする物質のいずれかから成ることを特徴とする。
【００２６】
請求項１２の発明に係る光起電力装置は、請求項１～１１のいずれかに記載の結晶薄膜半導体装置を用いて構成したことを特徴とする。
【００２７】
＜発明の要点＞
本発明の結晶薄膜半導体装置では、基板上の一部もしくは全部に導電性をもつ電極層が形成され、その上部に電極層を構成する物質の拡散を制限することを目的として形成された障壁層が形成され、その上部に半導体層が形成された構造であって、この半導体層が、上記障壁層上に形成された非単結晶層をレーザーもしくはランプによってアニールすることで、結晶性に変化された層であるか、もしくは結晶性が変化された層である構造とされる。
【００２８】
本発明によれば、非単結晶層に光エネルギーを与え、これを結晶化させた又は結晶性を変化させた半導体層（例えば結晶シリコン膜）とする際に、電極層にもエネルギーが与えられ、これにより電極層を構成する元素が障壁層をつき抜けて結晶シリコン膜の裏面側に僅かに染み出し、電極層と結晶シリコン層が電気的に導通状態となる。そこで、このようにして下部電極を構成した結晶シリコン薄膜を用いることで、太陽電池等、縦型デバイスの高品質な半導体デバイスを形成することができる。
【００２９】
上記の電極層構成元素が、障壁層を突き破って非単結晶層中に侵入する程度つまり濃度は、障壁層の材質と膜厚によって制御される。従って、結晶シリコン層全体に高濃度に分布させることなく、結晶シリコン層の裏面電極近傍のみに拡散を行なうことが可能である。さらに、結晶シリコン層中に拡散した電極材をｐ型のドーパントとして使用することができる。この特徴は、太陽電池のＢＳＦ（Ｂａｃｋ　Ｓｕｒｆａｃｅ　Ｆｉｅｌｄ）に適用できるため、高効率なポリシリコン薄膜太陽電池を作製するには非常に有効である。
【００３０】
上記半導体層は、基板の上部から見た場合、該半導体層の表面のある１点から半径がその膜厚以上の領域内において、結晶粒界が存在しない場所が存在し、且つその点における断面方向を横切る結晶粒界が存在しない、という条件が満たされるエリアについては、下部電極を備えた高品質な薄膜半導体素子として利用することができる。
【００３１】
さらに、このデバイスを太陽電池として構成し光起電力装置を構築するには、上記半導体層の上部に、逆導電型の半導体層（第二の半導体層）を形成すればよく、これによって第

SAMSUNG EX. 1002 - 395/2862

一の半導体層と逆導電型の第二の半導体層との間に、所望のｐｎ接合が形成される。

【００３２】

【発明の実施の形態】

本発明の結晶薄膜半導体装置は、図１（ａ）～（ｂ）に示すような基本的な構成からなる。まず、電極層（裏面電極層）２を形成された基板１上に、結晶シリコンもしくは非晶質シリコンとは組成が異なる物質によって構成された層（以後障壁層とする）３を形成する。その上部に非晶質シリコン層４のような非単結晶シリコン層（非単結晶層）を形成し、連続的な光線によってエネルギーを与え、非単結晶シリコンを融解し冷却することによって結晶化させ、結晶シリコン膜（半導体層）４ａとする。この結晶化の際、電極層２を構成する元素が障壁層３をつき抜けて結晶シリコン膜４ａの裏面側に僅かに染み出すことによって、電極層２と結晶シリコン層４ａは電気的に導通状態となる。このようにして下部電極を構成した結晶シリコン薄膜を用いて、太陽電池等、縦型デバイスの高品質な半導体デバイスを形成することができる。

【００３３】

まず初めに、導電性もしくは、非導電性の基板１を用意する。この基板上に電極層２を形成する。一例として、電極材にはＡｌ電極を主成分とした電極が適しているが、この他にも導電性を有する金属電極やSnO_2、ＩＴＯ等の酸化物透明導電膜、その他導電性を有する電極層であればなんでもよい。この後、障壁層３をこの電極層上に形成する。この障壁層３は、一例として酸化シリコンや窒化シリコンを用いることができる。

【００３４】

この上部に非単結晶層、一例として非晶質シリコン層４を形成する。このデバイスを太陽電池に用いる場合には活性層膜厚に必要となる膜厚分、必要に応じて堆積させる。

【００３５】

その後、レーザーもしくはランプを用いて融解・結晶化（再結晶化）させて、活性層を形成する。このとき、膜中にドーピングを行なう必要がある場合には、非晶質シリコン層４中に予めドーピングを行なう。しかし、必要となれば、結晶化を行なった後に、イオン注入によるドーピングを行なっても良い。

【００３６】

この結晶化に用いる熱源には、レーザーやランプを用いることができるが、より低コストなデバイスを形成するにはレーザーを用いることが望ましい。このレーザーにはさまざまな種類のレーザーを用いることができる。その一例としてＹＡＧレーザー（Ｎｄ：ＹＡＧ）の第二高調波（５３２ｎｍ）がある。ＹＡＧレーザーは、エキシマレーザー等の気体レーザーとは異なり扱いが容易である。また、連続発振が可能であることから、グレインサイズの大きなポリシリコンを形成することができる。

【００３７】

この結晶化の際には、非晶質シリコン層４には、非常に大きなエネルギーが与えられる。そのエネルギーによって障壁層３の下にある電極層２にもエネルギーが加えられる。このエネルギーによって、電極層構成元素が障壁層３を突き破って非晶質シリコン層４中に侵入する。しかしながら、その濃度は障壁層３の材質と膜厚によって制御されることから、結晶シリコン層４ａ全体に高濃度に分布させることなく、結晶シリコン層４ａの裏面極近傍のみに拡散を行なうことが可能である。さらに、結晶シリコン中においてドーパントとなる元素、例えばＡｌを用いることで、結晶シリコン層４ａ中に拡散した電極材をｐ型のドーパントとして使用することができる。この特徴は、太陽電池のＢＳＦ（（Ｂａｃｋ　Ｓｕｒｆａｃｅ　Ｆｉｅｌｄ）に適用できるため、高効率なポリシリコン薄膜太陽電池を作製するには非常に有効である。

【００３８】

以上の方法によって、下部電極を備えた高品質なポリシリコン薄膜半導体素子（図１（ｂ））を形成することができる。

【００３９】

さらに、このデバイスを太陽電池として用いるには、図１（ｃ）に示すように、この結晶

SAMSUNG EX. 1002 - 396/2862

シリコン薄膜の上部に、逆導電型の半導体層（第二の半導体層）５を形成する必要がある。これによって結晶シリコン膜（第一の半導体層）４ａと逆導電型の半導体層（第二の半導体層）５との間にｐｎ接合が形成されることとなる。

【００４０】

この逆導電型の半導体層５は、ＬＰ－ＣＶＤ（減圧ＣＶＤ）法を用いて、エピタキシャル成長によって形成してもよい。また、Ｐ－ＣＶＤ（プラズマＣＶＤ）法を用いて微結晶シリコンもしくは非晶質シリコンを形成してもよい。さらに、半導体層は必ずしも結晶シリコン半導体である必要はない。良く知られている様に、この部分を微結晶シリコンや非晶質のシリコン系合金（ＳｉＣ、ＳｉＯ、ＳｉＮ）などにしてヘテロ接合とすることもできる。この場合には、ヘテロ接合部でのキャリヤ追返しの効果により、実効的に表面再結合が低減されることが確かめられた。

【００４１】

この上部に透明電極層６と取り出し電極７となる電極層を形成することで、太陽電池構造とすることができる。この透明電極層６は透明性と導電性を有するものであればなんでもよく、例えばＩＴＯ、ＺｎＯ、SnO_2 等を用いることができる。取り出し電極７となる電極層にはＡｌ等の金属を用いると良い。また、場合によっては、直接取り出し電極７を逆導電型の半導体層５上に形成し、取り出し電極部以外の半導体層表面にはSiO_2 やＳｉｘＮｙ等のパッシベーション膜を形成することも効果的である。

【００４２】

この様にして形成した結晶シリコン薄膜は、太陽電池素子として用いるに適していることはもちろんのことであるが、ＴＦＴ用基板やＭＥＭＳ、ＳＯＩ基板の形成等、結晶シリコン薄膜を用いた半導体装置全般で用いることができる。

【００４３】

【実施例】

以下、本発明の実施例について説明する。なお、以下の実施例は本発明の一例を示すものであり、本発明はこれらに限定されるものではない。

【００４４】

［実施例１］

本実施例では、ガラス基板上にＹＡＧレーザーで結晶化した結晶シリコン薄膜を活性層として用いた結晶シリコン薄膜太陽電池の作製を試みた。

【００４５】

まず、ガラス基板上１に電極層２としてＡｌ薄膜を形成し、その上部に障壁０３を形成する。この障壁層３は、本実施例では１０ｎｍのSiO_2 を用いた。その上部にＬＰ－ＣＶＤ法を用いて非晶質シリコン層４を１μｍ形成した。この非晶質シリコン層４にはシリコン中ではｐ型のドーパントとなるボロンをドーピングしておく。

【００４６】

本実施例ではドーパントの混入にはＬＰ－ＣＶＤ形成中にドーピングガスであるジボラン（B_2H_6）を用いた。この非晶質シリコン層４の形成には、ＬＰ－ＣＶＤのみならず、非晶質シリコンを形成できる方法であればどのような方法を用いてもよい。例えば、ｃａｔ－ＣＶＤ（触媒気相化学堆積法）、Ｐ－ＣＶＤ、ＭＢＥ（Ｍｏｌｅｃｕｌａｒ　Ｂｅａｍ　Ｅｐｉｔａｘｙ：分子線エピタキシー）、スパッタリング等の方法が挙げられる。また、ドーピングの方法としては、ドーピングを施さない状態で形成し、その後イオン打ち込みによってドーピングを行なうことも有効である。

【００４７】

この試料に対してＹＡＧレーザー（Ｎｄ：ＹＡＧ）の第二高調波（５３２ｎｍ）を用いて、非晶質シリコン層４の結晶化を行なった。このＹＡＧレーザーを用いた融解・結晶化は、レーザー光を一方方向に操作させることによって結晶化させる周知の方法を用いて結晶化させた。

【００４８】

この結晶化によって、結晶化された薄膜シリコン層４ａは、おおよそ８０％の結晶粒界が

SAMSUNG EX. 1002 - 397/2862

レーザーを走査させた方向に対して４５度以内を示す、特徴的な多結晶であった。また、ＳＥＭ観察及びＴＥＭ観察によって、結晶粒内において、膜厚方向には結晶粒界が存在しない薄膜が形成されていること、つまり基板から薄膜表面までが１つのグレインで構成されていることが明らかとなった。これは縦方向デバイスである太陽電池にとっては大きな利点となる。なぜなら、活性層中で発生したキャリアは膜厚方向に走行し、ｐｎ接合まで辿り着くことで電気的エネルギーに変換される。この縦方向に再結合サイトが非常に多く存在する結晶粒界が存在することで、その特性は大幅に低下する。したがって、この縦方向を横切る結晶粒界が存在しない薄膜を形成することは太陽電池の特性上非常に大きな意味がある。

【００４９】

このようにして形成した薄膜上に、さらに図１（ｃ）に示すように、ＬＰ－ＣＶＤを用いてエピタキシャル成長させてｎ型の結晶シリコン層（逆導電型の半導体層：第二の半導体層）５を形成した。この膜厚は５０ｎｍとした。さらに反射防止膜としてＩＴＯ透明導電膜（透明電極層）６を形成し、さらに取り出し用Ａｌ電極（取り出し電極）７を形成して、太陽電池とした。

【００５０】

上記の方法で形成した太陽電池の特性を評価したところ、開放電圧は６２２ｍＶであり、単結晶バルク型シリコン太陽電池に匹敵する開放電圧値が得られた。また、擬似太陽光を照射しない環境下にて得られたＩ－Ｖ特性から、直列抵抗を見積もったところ８００ｍＶ以上の領域において直線的な特性を示し、直列抵抗は０．３Ωｃｍ^{2}と十分に低い値であった。このことから、裏面側の電極層と活性層の間において低い接触抵抗が得られており、レーザーによって結晶化させた結晶シリコン薄膜を太陽電池構造に適用させることができた。

【００５１】

また、ＳＩＭＳ分析（二次イオン分析）により、障壁層３中にはＡｌ元素が多量に混入されていることが分かった。接触抵抗の低下はＡｌが障壁層をファイアースルーしていることによるものである。

【００５２】

また、この実験と平行してガラス基板１の代わりに石英基板を用い、ランプ加熱による結晶化も行なった。その結果、同様に裏面側において十分に低い接触抵抗を得ることが可能であることが確認できた。

【００５３】

［実施例２］

本実施例では、裏面電極層２にＡｇ、障壁層３にSnO^2を用いた。実験は実施例１の構造を用い障壁層３の膜厚は２０ｎｍとした。その結果、実施例１と同様に直列抵抗は０．５Ωｃｍ^{2}と十分に低い値であることが分かった。

【００５４】

これと同様に障壁層０３にＩＴＯ、ＺｎＯ、ＳｉＮ、ＳｉＯＮ、SnO_2を用いた場合にも、１Ωｃｍ^{2}以下の十分に低い抵抗であることが確認できた。

【００５５】

また、裏面電極層にはＡｌ、Ａｇの他にも、Ｓｂ、Ｎｉ、Ｍｏ、Ｔｉ、Ｐｔ、Ｃｏ、Ｚｎ、Ｃｕ、Ａｕ、Ｆｅ、Ｗを用いた場合にも同様の効果があった。

【００５６】

［実施例３］

第三の実施例を図２に基づいて説明する。

【００５７】

本実施例では裏面電極層にＡｌを用いた。図２（ａ）において、まず、ガラス基板０８上にＡｌ裏面電極層０９を形成し、障壁層１０をSiO_2で形成した。その上部にスパッタリングによってノンドープの非晶質シリコン層１１を１μｍ形成した。

【００５８】

SAMSUNG EX. 1002 - 398/2862

これに実施例１と同様にレーザーを照射して結晶化を行ない、図２（ｂ）に示すノンドープの結晶シリコン層１１ａとした。

【００５９】

その後、この結晶化したｉ層のポリシリコン層１１ａ上に、逆導電型の第二の半導体層であるｎ型の微結晶シリコン層１２を形成し、その上部にＡｌ電極層１３を形成してＩ－Ｖ測定を行ったところ、ｐｎ接合と同様に整流性が認められた。このことから、裏面側のポリシリコン層はＡｌが拡散してｐ型の結晶シリコン層となっていることが確認できた。

【００６０】

また、燐を1×10^{17}（ａｔｏｍ／ｃｍ^3）の濃度でドーピングした非晶質シリコン層１１を結晶化した場合も同様に整流性を示し、裏面側は高濃度のｐ型にドーピングされていることが分かった。

【００６１】

このことから結晶化させるポリシリコンをｐ型の導電型とした場合には、裏面での再結合を低減するＢＳＦ構造を作製することができ、品質の高い太陽電池素子を作製することが可能であることが分かった。

【００６２】

当然のことであるが、上記の薄膜を用いて縦型デバイスであるバイポーラトランジスタに用いることも有効である。

【００６３】

【発明の効果】

以上説明したように、本発明によれば、次のような優れた効果が得られる。

【００６４】

本発明の結晶薄膜半導体装置は、基板上に電極層、障壁層、半導体層が形成され、この半導体層が、上記障壁層上に形成された非単結晶層をレーザーもしくはランプによってアニールすることで、結晶性に変化された層であるか、もしくは結晶性が変化された層である構造を有する。

【００６５】

この構造によれば、非単結晶層に光線でエネルギーを与え、これを結晶化させ又は結晶性を変化させて半導体層（例えば結晶シリコン膜）とする際に、電極層を構成する元素が障壁層をつき抜けて結晶シリコン膜の裏面側に僅かに染み出し、電極層と結晶シリコン層が電気的に導通状態となる。しかも、電極層構成元素が、障壁層を突き破って非単結晶層中に侵入する程度、つまり濃度は、障壁層の材質と膜厚によって制御されるため、結晶シリコン層全体に高濃度に分布させることなく、結晶シリコン層の裏面極近傍のみに拡散を行なうことが可能である。さらに、結晶シリコン層中に拡散した電極材をドーパントとして使用することができる。

【００６６】

従って、本発明によれば、上記下部電極を構成した結晶シリコン薄膜を用いて、太陽電池等の縦型デバイスにおける高品質な結晶シリコン層を低コストに製造することができ、これにより、変換効率１０％を超える変換効率を達成できる太陽電池等の大面積結晶薄膜半導体装置を容易に作製することができる。

【図面の簡単な説明】

【図１】本発明の実施例１、２に係る結晶シリコン半導体装置の作製過程を示したもので、（ａ）は非晶質シリコンまでを形成した段階を示す模式図、（ｂ）は光エネルギーを与えて結晶シリコンとした段階を示す図、（ｃ）は完成図である。

【図２】本発明の実施例３に係る結晶シリコン半導体装置の作製過程を示したもので、（ａ）は非晶質シリコンまでを形成した段階を示す模式図、（ｂ）は完成図である。

【符号の説明】

１　基板

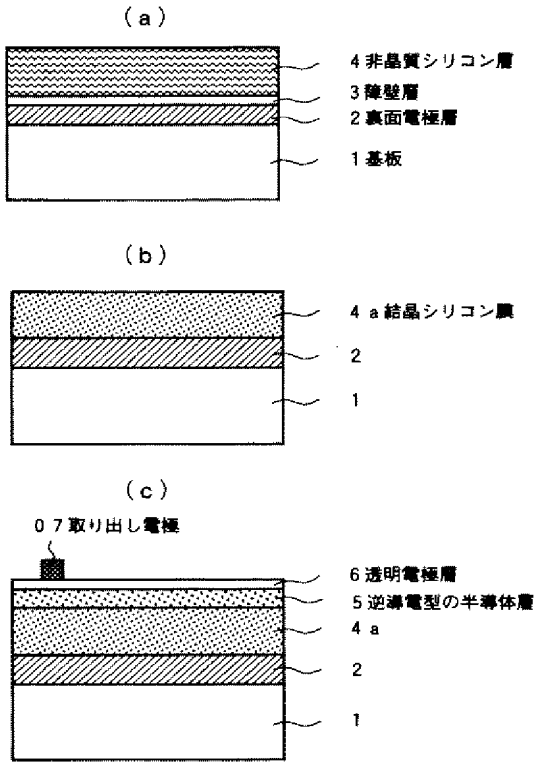
２　電極層（裏面電極層）

３　障壁層

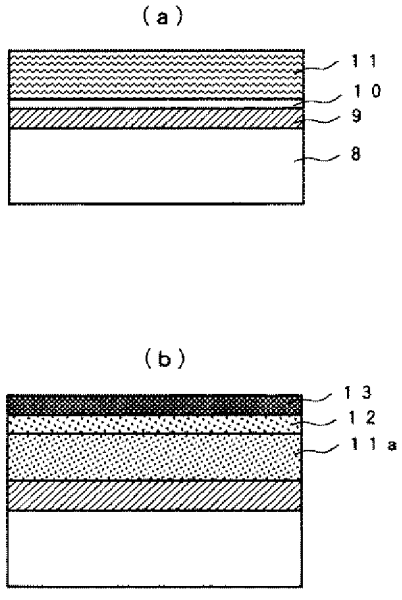
SAMSUNG EX. 1002 - 399/2862

４　非晶質シリコン層（非単結晶層）
４ａ　結晶シリコン膜（半導体層）
５　逆導電型の半導体層（第二の半導体層）
６　透明電極層
７　取り出し電極

【図1】



【図2】



Ｆターム(参考) 5F051 AA03 BA12 CB12 CB25 DA03 FA04 FA06 FA22 GA03 HA03
5F052 AA02 BB02 BB04 CA02 CA09 DA01 DA02 DB01 DB02 DB03
DB06 EA13 FA01 JA09

SAMSUNG EX. 1002 - 401/2862

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-273887
(43)Date of publication of application : 30.09.2004

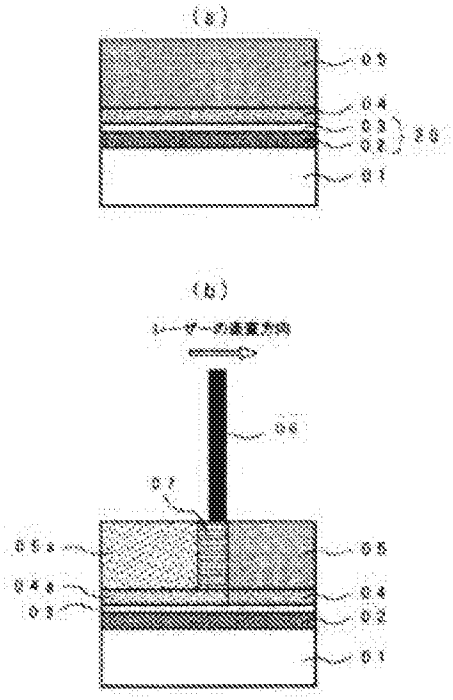
(51)Int.Cl. H01L 21/20
H01L 31/04

(21)Application number : 2003-064571
(22)Date of filing : 11.03.2003

(71)Applicant : HITACHI CABLE LTD
(72)Inventor : OKA FUMITO
MURAMATSU SHINICHI
SASAKI TADASHI

(54) CRYSTALLINE THIN FILM SEMICONDUCTOR DEVICE AND SOLAR CELL ELEMENT

(57)Abstract:
PROBLEM TO BE SOLVED: To obtain a large-area crystalline thin film semiconductor device that can achieve photoelectric conversion efficiency of >10%, and to obtain a solar cell element.
SOLUTION: In the crystalline thin film semiconductor device, a conductive electrode layer 20 is formed on the partial or whole surface of a substrate 01 and first and second silicon layers 04a and 05a are successively formed on the electrode layer 20 in this order and annealed with a laser beam 06. The first silicon layer 04a is annealed with the laser beam 06 after the layer 04a is formed to have a smaller absorption coefficient than the second silicon layer 05a has in the wavelength region of the laser beam 6 used for annealing.



SAMSUNG EX. 1002 - 402/2862

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2004-273887
(P2004-273887A)
(43)公開日　平成16年9月30日(2004.9.30)

(51)Int.Cl.[7]	F I		テーマコード（参考）
H01L 21/20	H01L 21/20		5F051
H01L 31/04	H01L 31/04	H	5F052

審査請求 未請求　請求項の数 8　OL　（全 11 頁）

(21)出願番号　特願2003-64571(P2003-64571)
(22)出願日　平成15年3月11日(2003.3.11)

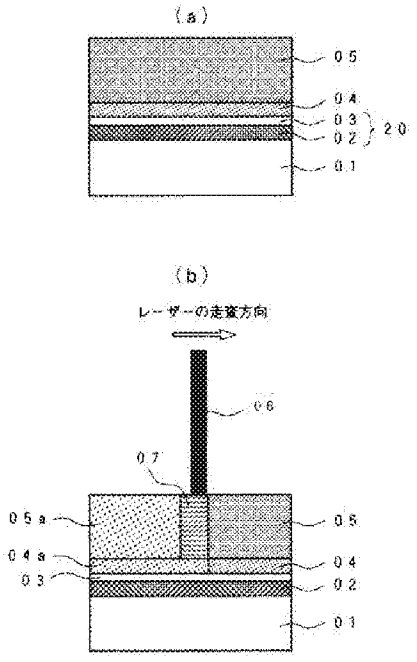
（出願人による申告）国等の委託研究の成果に係る特許出願（平成１４年度新エネルギー・産業技術総合開発機構「太陽光発電技術研究開発（革新的次世代太陽光発電システム技術研究開発ラテラル結晶化薄膜シリコン太陽電池の研究開発）」委託研究、産業活力再生特別措置法第３０条の適用を受けるもの）

(71)出願人　000005120
日立電線株式会社
東京都千代田区大手町一丁目６番１号
(74)代理人　100116171
弁理士　川澄　茂
(72)発明者　岡　史人
東京都千代田区大手町一丁目６番１号　日立電線株式会社内
(72)発明者　村松　倍一
東京都千代田区大手町一丁目６番１号　日立電線株式会社内
(72)発明者　佐々木　唯
東京都千代田区大手町一丁目６番１号　日立電線株式会社内

最終頁に続く

(54)【発明の名称】結晶薄膜半導体装置及び太陽電池素子

(57)【要約】
【課題】１０％を超える光電変換効率を達成できる大面積の結晶薄膜半導体装置及び太陽電池素子を得ること。
【解決手段】基板０１上の一部もしくは全部に導電性をもつ電極層２０が形成され、その上部に第一のシリコン層０４ａ、該第一のシリコン層の上部に第二のシリコン層０５ａが形成されている半導体装置において、上記第一のシリコン層０４ａ及び第二のシリコン層０５ａがレーザー光０６によってアニールを施されることにより成り、且つ第一のシリコン層０４ａが、第二のシリコン層０５ａよりも上記アニールを行なうレーザー光の光の波長域において吸収係数が小さい状態で形成された後、上記レーザー光０６によるアニールを施されることによって成る、構成とする。
【選択図】　図１



SAMSUNG EX. 1002 - 403/2862

【特許請求の範囲】
【請求項1】
基板上の一部もしくは全部に導電性をもつ電極層が形成され、その上部に第一のシリコン層、該第一のシリコン層の上部に第二のシリコン層が形成されている半導体装置において、
前記第一のシリコン層及び第二のシリコン層はレーザー光によってアニールを施されることにより成り、且つ第一のシリコン層は、第二のシリコン層よりも前記アニールを行なうレーザー光の光の波長域において吸収係数が小さい状態で形成された後、前記レーザーによるアニールを施されることによって成ることを特徴とする結晶薄膜半導体装置。
【請求項2】
請求項１に記載の結晶薄膜半導体装置において、
前記第一のシリコン層は、結晶成分を含む、もしくはすべてが結晶成分であるシリコン層として形成されレーザーアニールを施されることにより成り、また
前記第二のシリコン層は、非晶質シリコンとして形成されレーザーアニールを施されることにより成ること特徴とする結晶薄膜半導体装置。
【請求項3】
請求項１又は２に記載の結晶薄膜半導体装置において、
前記電極層が、基板側から金属電極、その上部に透明導電膜の順に設けた複数の電極層によって構成されており、前記透明導電膜が酸化亜鉛、酸化錫、ＩＴＯのいずれかから成ることを特徴とする結晶薄膜半導体装置。
【請求項4】
請求項１～３のいずれかに記載の結晶薄膜半導体装置において、
前記第一のシリコン層及び第二のシリコン層は半導体に導電性を付与する働きを持つ不純物を有しており、その第一のシリコン層の不純物濃度は第二のシリコン層の不純物濃度よりも高濃度であることを特徴とする結晶薄膜半導体装置。
【請求項5】
請求項１～４のいずれかに記載の結晶薄膜半導体装置において、
前記第二のシリコン層の上部の一部もしくは全面に、非単結晶の第三のシリコン層が形成されており、該第三のシリコン層は第一のシリコン層とは逆の導電型を付与する働きを持つ不純物を有していることを特徴とする結晶薄膜半導体装置。
【請求項6】
請求項５に記載の結晶薄膜半導体装置において、
前記第三のシリコン層上の一部もしくは全面に、導電性を有する透明導電膜として酸化亜鉛、酸化錫、ＩＴＯのいずれかから成る反射防止膜を有しており、
この透明導電膜上の一部に取り出し用金属電極が形成されていることを特徴とする結晶薄膜半導体装置。
【請求項7】
請求項１～６のいずれかに記載の結晶薄膜半導体装置において、
前記レーザーは波長９００ｎｍ以下の光を連続的に発振することを特徴とする結晶薄膜半導体装置。
【請求項8】
請求項１～７のいずれかに記載の結晶薄膜半導体装置の一部もしくは全部を用いて構成したことを特徴とする太陽電池素子。

【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、半導体素子基板、半導体素子等の結晶薄膜半導体装置及び太陽電池素子に関するものである。
【０００２】
【従来の技術】

SAMSUNG EX. 1002 - 404/2862

近年、非導電性の異種基板上、例えばガラス基板上等にシリコン結晶薄膜を形成する研究が盛んに行なわれている。このガラス基板上に形成したシリコン結晶薄膜の用途は広く、液晶デバイス用ＴＦＴ、薄膜光電変換素子などに用いることができる。

【０００３】

薄膜太陽光発電素子は、安価な基板上に低温プロセスで良好な結晶性をもつ結晶シリコン薄膜を形成し、これを光電変換装置に用いて、低コスト化と高性能化を図るものである。この結晶シリコン薄膜を光電変換素子に用いることによって、非晶質シリコン光電変換素子で問題となっている光劣化が観測されず、さらに非晶質光電変換素子では感度のない、長波長光をも電気的エネルギーに変換することができる。この技術は光電変換素子のみではなく、光センサ等の光電変換装置への応用も可能であると期待されている。

【０００４】

このシリコン結晶光電変換素子は、一般的にプラズマＣＶＤによって直接結晶シリコン薄膜を堆積させる手法が用いられている。この手法によって、基板上に低温で結晶シリコンが形成され得ることが知られており、低コスト化に有効であるとされている。

【０００５】

この手法においては、プラズマＣＶＤ形成条件としては、水素でシラン系原料ガスを１５倍程度以上に希釈し、プラズマ反応室内圧力を１０ｍＴｏｒｒ～１０Ｔｏｒｒ、基板温度を１５０℃～５５０℃、望ましくは４００℃以下の範囲内に制御して成膜する。これによって結晶性のシリコン薄膜が基板上に形成される。しかし、この方法では結晶粒径の大きなポリシリコンを形成することは困難であった。また、発電機能の根幹を担うｉ層は、素子構造最適化のためにドーピングを行なうと品質が急激に低下する。これらのことから、低コスト化に有利なシングルセルで１０％を大きく上回る光電変換効率を達成することは困難であった。

【０００６】

一方、レーザーの走査によって結晶化する試みも種々検討されており、連続波を用いる方法も既に公報に開示されている（例えば、特許文献１参照。）。この方法は異種基板上に非晶質シリコンを形成し、帯状の連続光源を走査することで多結晶シリコン層に熔融・結晶化するもので、走査方向に長い結晶粒を成長させることを可能としている。

【０００７】

【特許文献１】

特開平２００１－３５１８６３号公報

【０００８】

【発明が解決しようとする課題】

しかしながら、高効率な太陽電池を形成しようとした場合、上記した連続波レーザーの走査によって結晶化する方法には、次のような課題がある。

【０００９】

すなわち、上記特許文献１の方法は、ＴＦＴ（Ｔｈｉｎ　Ｆｉｌｍ　Ｔｒａｎｓｉｓｔｏｒ）を目的に考案されているものである。つまり、横方向デバイスであり、結晶シリコン膜の上下に電極を形成する必要がない。一方、太陽電池等の縦方向デバイスは上下に電極を形成する必要がある。

【００１０】

しかるに、非晶質シリコンを電極上に直接形成し、その後結晶化を行なうと、Ａｌ等の電極材は瞬時にシリコン中に拡散し、デバイスの特性を著しく低下させる。また、高融点材料を用いた場合においても、その融解熱による拡散は逃れられず、特性に悪影響を及ぼす。これは１０％を超える太陽電池を作製するにあたり、致命的であった。

【００１１】

上記の理由より、高効率な太陽電池を形成するにはこれまでの技術では不充分であった。

【００１２】

そこで、本発明は、上記課題を解決し、１０％を超える光電変換効率を達成できる太陽電池等の大面積の結晶薄膜半導体装置の作製手段を提供するものである。

SAMSUNG EX. 1002 - 405/2862

【００１３】
【課題を解決するための手段】
上記目的を達成するため、本発明は、次のように構成したものである。
【００１４】
請求項１の発明に係る結晶薄膜半導体装置は、基板上の一部もしくは全部に導電性をもつ電極層が形成され、その上部に第一のシリコン層、該第一のシリコン層の上部に第二のシリコン層が形成されている半導体装置において、前記第一のシリコン層及び第二のシリコン層はレーザー光によってアニールを施されることにより成り、且つ第一のシリコン層は、第二のシリコン層よりも前記アニールを行なうレーザー光の光の波長域において吸収係数が小さい状態で形成された後、前記レーザーによるアニールを施されることによって成ることを特徴とする。
【００１５】
請求項２の発明は、請求項１に記載の結晶薄膜半導体装置において、前記第一のシリコン層は、結晶成分を含む、もしくはすべてが結晶成分であるシリコン層として形成されレーザーアニールを施されることにより成り、また前記第二のシリコン層は、非晶質シリコンとして形成されレーザーアニールを施されることにより成ることを特徴とする。
【００１６】
請求項３の発明は、請求項１又は２に記載の結晶薄膜半導体装置において、前記電極層が、基板側から金属電極、その上部に透明導電膜の順に設けた複数の電極層によって構成されており、前記透明導電膜が酸化亜鉛、酸化錫、ＩＴＯ（Ｉｎｄｉｕｍ　Ｔｉｎ　Ｏｘｉｄｅ）のいずれかから成ることを特徴とする。
【００１７】
請求項４の発明は、請求項１～３のいずれかに記載の結晶薄膜半導体装置において、前記第一のシリコン層及び第二のシリコン層は半導体に導電性を付与する働きを持つ不純物を有しており、その第一のシリコン層の不純物濃度は第二のシリコン層の不純物濃度よりも高濃度であることを特徴とする。
【００１８】
請求項５の発明は、請求項１～４のいずれかに記載の結晶薄膜半導体装置において、前記第二のシリコン層の上部の一部もしくは全面に、非単結晶の第三のシリコン層が形成されており、該第三のシリコン層は第一のシリコン層とは逆の導電型を付与する働きを持つ不純物を有していることを特徴とする。
【００１９】
請求項６の発明は、請求項５に記載の結晶薄膜半導体装置において、前記第三のシリコン層上の一部もしくは全面に、導電性を有する透明導電膜として酸化亜鉛、酸化錫、ＩＴＯのいずれかから成る反射防止膜を有しており、この透明導電膜上の一部に取り出し用金属電極が形成されていることを特徴とする。
【００２０】
請求項７の発明は、請求項１～６のいずれかに記載の結晶薄膜半導体装置において、前記レーザーは波長９００ｎｍ以下の光を連続的に発振することを特徴とする。
【００２１】
請求項８の発明に係る太陽電池素子は、請求項１～７のいずれかに記載の結晶薄膜半導体装置の一部もしくは全部を用いて構成したことを特徴とする。
【００２２】
＜発明の要点＞
本発明の結晶薄膜半導体装置は、まず、電極層（裏面電極層）が形成された基板上に、微結晶シリコン層もしくはポリシリコン層等から成る結晶性のシリコン層（レーザーアニールする前の第一のシリコン層）を形成する。その上部に非晶質シリコン層（レーザーアニールにより結晶化する前の第二のシリコン層）を形成し、レーザー光によってエネルギーを与え、非晶質シリコンを融解し冷却されることによって結晶化させ、結晶シリコン層（第一のシリコン層及び第二のシリコン層）とする。本発明においては、この結晶化の際、

SAMSUNG EX. 1002 - 406/2862

結晶性のシリコン層の吸収係数よりも非晶質シリコン層の吸収係数の方が大きいため、非晶質シリコン層によりレーザー光の殆どが吸収され、非晶質シリコン層は融解するが結晶性のシリコン層は融解しない。

【００２３】

このことから、融解した非晶質シリコン層が冷却され第二のシリコン層となった際、基板上の金属層を構成する元素が第二の結晶シリコン層中に多量に拡散された状態になることを防ぐことができる。従って、第二の結晶シリコン層の品質を低下させることなく裏面側に電極を形成することが可能となる。この技術によってレーザー光によってエネルギーを与え、結晶化した膜を縦型デバイス、特に太陽電池に適用させ、高品質なデバイスを作製することが可能となる。

【００２４】

【発明の実施の形態】

本発明による結晶薄膜半導体装置は、以下の基本的な構成（図１（ａ）～図２（ｄ）に製造工程として示す）からなる。なお、レーザー光によって結晶化（アニール）される前の第一のシリコン層及び第二のシリコン層を、ＳｉＸ－１層、ＳｉＸ－２層と記す。

【００２５】

まず、電極層（裏面電極層）２０が形成された基板０１上に、微結晶シリコン層もしくはポリシリコン層等から成る、結晶性のＳｉＸ－１層（アニール前の第一のシリコン層０４）を形成する。

【００２６】

その上部にＳｉＸ－２層（アニール前の第二のシリコン層０５）として非晶質シリコン層を形成し、図１（ｂ）の如くレーザー光０６によってエネルギーを与え、非晶質シリコンを融解し冷却されることによって結晶化させ、結晶シリコン層（第一のシリコン層０４ａ）及び結晶シリコン層（第二のシリコン層０５ａ）とする。

【００２７】

この結晶化の際、ＳｉＸ－１層（結晶性のシリコン層）の吸収係数よりもＳｉＸ－２層（非晶質シリコン層）の吸収係数の方が大きい場合、ＳｉＸ－２層（非晶質シリコン層）によりレーザー光の殆どが吸収され、ＳｉＸ－２層（非晶質シリコン層）は融解するがＳｉＸ－１層（結晶性のシリコン層）は融解しない。

【００２８】

このことから、融解したＳｉＸ－２層（非晶質シリコン層）が冷却され第二のシリコン層０５ａとなった際、基板上の金属層を構成する元素が第二の結晶シリコン層中に多量に拡散された状態になることを防ぐことができる。従って、第二の結晶シリコン層の品質を低下させることなく裏面側に電極を形成することが可能となる。この技術によってレーザー光によってエネルギーを与え、結晶化した膜を縦型デバイス、特に太陽電池に適用させ、高品質なデバイスを作製することが可能となった。

【００２９】

まず初めに、導電性もしくは、非導電性の基板０１を用意する。この基板上に裏面電極層２０を形成する。一例として、電極材にはＡｌ、Ａｇ等の金属電極材料を主成分とした電極が適しているが、この他にも導電性を有する金属電極やＺｎＯ、SnO_2、ＩＴＯ等の酸化物透明導電膜、その他導電性を有する電極層であればなんでもよい。また、下地にＡｇ等の金属電極、その上部にＺｎＯ等の透明導電膜を構成した多層電極層としても良い。

【００３０】

この裏面電極層２０上に結晶性のＳｉＸ－１層（アニール前の第一のシリコン層０４）を形成する。このＳｉＸ－１層の形成方法としては、一例としてプラズマＣＶＤ法における結晶条件で形成する方法が挙げられる。その他、熱ＣＶＤやＣＶＤ、ＭＢＥ等、結晶性のシリコン層が形成できる方法であればなんでもよい。

【００３１】

そのＳｉＸ－１層の上部に、ＳｉＸ－２層（アニール前の第二のシリコン層０５）を形成する。このＳｉＸ－２層は非単結晶層として形成され、連続的な光線によって融解、結晶

SAMSUNG EX. 1002 - 407/2862

化を行なって形成する。

【００３２】

この非単結晶層の形成方法としては、プラズマＣＶＤ法の他、スパッタリング、ｃａｔ－ＣＶＤ（触媒気相化学堆積法）、熱ＣＶＤ、ＭＢＥ（分子線エピタキシー）等、非単結晶層が形成できる方法であればなんでもよい。この非単結晶層はＳｉＸ－１層とは光学的に特性が異なっている必要がある。代表的にはＳｉＸ－２層を非晶質シリコン層、ＳｉＸ－１層を結晶性のシリコン層として形成する。これにレーザー光０６を照射することで、融解し結晶化させ、第一のシリコン層４ａ及び第二のシリコン層５ａを形成する。

【００３３】

このレーザー光０６は、ＳｉＸ－２層を非晶質シリコンで形成する場合は、波長８００ｎｍ以下であることが望ましい。このようなレーザー光にはさまざまな種類のレーザーを用いることができる。その一例としてＹＡＧレーザー（Ｎｄ：ＹＡＧ）の第二高調波（波長：５３２ｎｍ）がある。ＹＡＧレーザーは、エキシマレーザー等の気体レーザーとは異なり扱いが容易である。また、連続発振が可能であることから、グレインサイズの大きなポリシリコンを形成することができる。

【００３４】

この波長域の光線であると非晶質シリコン層（ＳｉＸ－２層）と結晶性のシリコン層（ＳｉＸ－１層）とでは、光の吸収係数が非晶質シリコン層（ＳｉＸ－２層）の方が大幅に大きい。そのため、非晶質シリコン層（ＳｉＸ－２層）が融解する光の強度であっても結晶性のシリコン層（ＳｉＸ－１層）は融解しない。そのため、その下の電極層２０を構成する物質が第二のシリコン層０５ａに不純物として拡散することを防ぐことができる。同時に第一のシリコン層０４ａと電極層２０は、連続光照射によって熱エネルギーが与えられるために、接触抵抗が大幅に低減され、裏面電極としては理想的な状態として形成できる。また、電極層２０を、Ａｌ、Ａｇなどの金属層０２と、その上に形成した、導電性を付与するドーピングを施したＺｎＯ、ＩＴＯ、SnO_2等の透明導電膜０３とで構成することもでき、かかる構成とした場合、太陽電池として用いた場合、裏面内部反射率を大幅に向上させることができ、太陽電池発電効率を向上させることが可能となる。

【００３５】

この様にして形成した第二のシリコン層０５ａを太陽電池の発電層として用いる場合、ＳｉＸ－１層には導電性を付与する不純物を高濃度にドーピングし、ＳｉＸ－２層にはＳｉＸ－１層よりも低濃度にドーピングしてあることが望ましい。導電性を付与する不純物としては代表的にはｎ型の場合、燐、アンチモン、ｐ型の場合ボロン等が挙げられるが、これに限るものではなく、実質的に導電性を付与することができる物質であればなんでもよい。ドーピングを行なう方法は、プラズマＣＶＤでこれら半導体層を形成する場合、ドーピングガスを用いてドーピングを行なうが、ノンドープで形成し、ドーピング材を熱による拡散で混入させる方法等もあり、実質的にドーピングが行なえる方法であればなんでもよい。この様にドーピングが施されたＳｉＸ－１層とＳｉＸ－２層にレーザー光を照射することで、所望の導電型及びドーピング濃度の第一のシリコン層、第二のシリコン層が形成できる。なお、この方法によるドーパントの活性化率は１００％に近く、太陽電池を設計するにあたって非常に有利である。

【００３６】

この結晶薄膜半導体装置を太陽電池に用いる場合は、図２（ｄ）に示すように、第二のシリコン層０５ａの上部に第三のシリコン層０８を形成する必要がある。この第三のシリコン層は第一のシリコン層４ａの導電型の逆型である必要がある。具体的には、第一のシリコン層４ａがｎ型であった場合は第三のシリコン層はｐ型、第一のシリコン層４ａがｐ型の場合にはｎ型とする必要がある。第二のシリコン層０５ａの導電型は、前記にもあるように、第一のシリコン層４ａの導電型と同じで且つ、第一のシリコン層４ａの濃度と比べて低濃度であることが望ましい。しかしながら、第二のシリコン層０５ａはノンドープとすることでもｐｉｎ型ダイオードとなり、太陽電池として作製することは可能である。

【００３７】

SAMSUNG EX. 1002 - 408/2862

この第三のシリコン層０８の上部に、反射防止膜０９を形成する。この反射防止膜０９には、ＩＴＯ、酸化錫、酸化亜鉛、酸化シリコン、窒化シリコン、酸化窒化シリコン等を用いることができる。この反射防止膜０９を形成することによって半導体表面の表面内部反射率を向上させることができ、さらに太陽電池の発電効率を向上させることができる。また、この反射防止膜に導電性を付与するドーパントを混入させることで、透明導電膜とし、太陽電池における直列抵抗を低減することができる。反射防止膜０９を透明導電膜とした場合は、その上部にＡｌ等の金属取り出し電極１０を形成することで、ダイオードにおけるエミッタ側の直列抵抗を下げることができ、太陽電池構造とすることができる。また、反射防止膜に導電性を付与しない場合は、反射防止膜の一部をエッチングによって除去し、その反射防止膜を除去した部分にエミッタ側金属取り出し電極１０を形成する。

【００３８】

この様にして形成した積層体において、図２（ｄ）に示すように、半導体層及び反射防止膜の一部を裏面側の電極２０が露出するまで除去し、裏面電極取り出し部１１を形成する。この裏面側電極取り出し部１１は、薄膜太陽電池としては、一般的にはライン状に形成することが多い。しかし、結晶シリコン基板を用いた太陽電池の電極構造として知られている、バスバー、フィンガータイプの形状としてもよい。この電極構造は、裏面側の直列抵抗が低くなる方法を用いることが望ましい。

【００３９】

このように本発明によれば、連続的な光線によって融解、結晶化した高品質なシリコン薄膜を、縦方向デバイスである太陽電池に適用することができ、高効率、且つ低コストな太陽電池の作製が可能となる。当然のことであるが、本発明は太陽電池のみならず、バイポーラトランジスタ等、他の縦方向デバイスにも適用可能である。

【００４０】

【実施例】

以下、本発明の実施例について説明する。なお、以下の実施例は本発明の一例を示すものであり、本発明はこれらに限定されるものではない。

【００４１】

［実施例１］

本実施例ではプラズマＣＶＤを用いてシリコン層を形成することを試みた。図１（ａ）において、まず始めに、石英基板０１を用意し、その上部に金属電極０２としてＡｇ電極を２００ｎｍ形成した。その上部にＭｇをドーピングしたＺｎＯ透明導電膜０３を形成した。このようにして裏面電極２０を形成した基板上に、プラズマＣＶＤを用いて結晶性のＳｉＸ－１層（アニール前の第一のシリコン層０４）を形成した。この形成条件は、SiH_4：２ｃｃｍ、H_2：５０ｃｃｍ、PH_4：４ｃｃｍの混合ガスを用い、基板温度２５０℃、プラズマ電源は１３．５６ｋＨｚのＲＦ周波数を用いた。この条件では微結晶シリコンが形成される。この第一のシリコン層０４の膜厚は１００ｎｍとした。

【００４２】

この第一のシリコン層０４の上部にＳｉＸ－２層（アニール前の第二のシリコン層０５）を形成した。ＳｉＸ－２層の形成にもプラズマＣＶＤを用いた。この形成条件はSiH_4：１０ｃｃｍ、PH_4：０．０１ｃｃｍの混合ガスを用い、基板温度５００℃、プラズマ電源はＲＦ周波数を用いた。この条件では、ｎ型のドーパントを含んだ非晶質シリコンが形成される。

【００４３】

この第二のシリコン層０５に、図１（ｂ）に示すように、連続的に発振するレーザー光０６を照射して、非晶質シリコンを融解、結晶化させる。この連続的な光には、ＹＡＧレーザー（Ｎｄ：ＹＡＧ）の第二高調波（波長：５３２ｎｍ）を用いた。０７は融解した半導体層を示す。このＹＡＧレーザー照射によってＳｉＸ－２層の非晶質シリコンは融解され、その後短時間で結晶化する。しかしながら、ＳｉＸ－１層を構成する微結晶シリコンは、光の吸収係数が小さいことから、融解しないことが分かった。

【００４４】

SAMSUNG EX. 1002 - 409/2862

この様にしてＳｉＸ－１層（結晶性のシリコン層０４）、ＳｉＸ－２層（非晶質シリコン層０５）を、図２（ｃ）に示すように、それぞれ第一のシリコン層０４ａ、第二のシリコン層０５ａに変化させる。

【００４５】

このレーザー光の照射によって基板上全面を結晶化した後、この結晶化された第二のシリコン層０５ａの上部に、図２（ｄ）に示すように、第三のシリコン層０８をプラズマＣＶＤの結晶条件で形成した。形成条件はSiH_4：１ｃｃｍ、H_2：５０ｃｃｍ、B_2H_6：１ｃｃｍとした。この条件ではｐ型の微結晶シリコンが形成され、第二のシリコン層０５ａと第三のシリコン層０８との間はＰＮ接合となる。この第三のシリコン層０８の上部に反射防止膜０９としてＩＴＯ透明導電膜を形成し、さらにその上部の一部にエミッタ側取り出し用電極１０としてＡｌ電極を形成し、さらに透明電極層０３に達する裏面電極取り出し部１１を形成して、太陽電池構造とした。

【００４６】

この太陽電池を２５℃、１ｓｕｎの模擬太陽光下においてＩ－Ｖ測定を行った結果、単結晶シリコン基板太陽電池に匹敵する０．６４５Ｖの開放電圧を示した。また、２５℃光照射なしにおけるＩ－Ｖ特性からは、直列抵抗の値が０．３Ω／cm^2となり、裏面におけるコンタクト抵抗が十分に低いことが分かった。

【００４７】

なお、比較の為に、第一のシリコン層を形成しなかった太陽電池も作成したが、２５℃光照射なしのＩ－Ｖ特性では整流性を示さず、レーザーで結晶化した層がｎ型の半導体層として機能していないことが分かった。また、ＳＩＭＳ分析の結果、Ａｇが膜中に4×10^{20}ａｔｏｍｓ／cm^3の濃度で存在することが分かった。

【００４８】

以上の結果より、ＳｉＸ－１層（アニール前の第一のシリコン層０４）を結晶状態で形成することによって、裏面電極層２０を構成する元素の拡散を防ぐこと確認できた。なお、裏面の透明導電膜０３には、酸化亜鉛の他にも、酸化錫、ＩＴＯ、酸化シリコンで同様の効果があった。また、基板０１に安価なガラス基板を用いた場合にも同様の結果となった。

【００４９】

また、波長８４０ｎｍの半導体レーザーを用いて結晶化した場合についても、同様の結果となった。

【００５０】

［実施例２］

本実施例では、実施例１と同様の構造を用い、ＳｉＸ－１層、ＳｉＸ－２層の形成方法を実施例１とは異なった方法を用いて、太陽電池の作製を試みた。

【００５１】

まず、実施例１と同様の裏面電極２０（金属層０２及び透明電極層０３）付きの石英基板０１を用意し、その上部に熱ＣＶＤを用いてＳｉＸ－１層（アニール前の第一のシリコン層０４）として高濃度にドーピングしたｎ型の多結晶シリコン層を形成した。その上部にＳｉＸ－２層（アニール前の第二のシリコン層０５）として、スパッタリングを用いて、ｎ型のドーパントが低濃度に混入された非晶質シリコンを形成した。

【００５２】

これらＳｉＸ－１層、ＳｉＸ－２層を実施例１と同様にＹＡＧレーザーを用いて結晶化した。これによってＳｉＸ－１層とＳｉＸ－２層は、第一のシリコン層０４ａ、第二のシリコン層０５ａに変化した。その後、この第二のシリコン層の上部に、第三のシリコン層０８を実施例１と同様にプラズマＣＶＤを用いてｐ型の微結晶シリコン層として形成し、さらに反射防止膜０９、取り出し電極１０、裏面電極取り出し部１１を実施例１と同様の構造で作製し、太陽電池構造とした。

【００５３】

この様にして形成した太陽電池を２５℃１ｓｕｎの光照射下におけるＩ－Ｖ特性では、開

SAMSUNG EX. 1002 - 410/2862

放電圧が０、６２Ｖの電圧を示した。また、ＳｉＸ－１層の形成方法としてスパッタリングによる形成で基板温度を上げて形成した場合にも同様の効果があった。ＳｉＸ－１層、ＳｉＸ－２層の形成方法として、この他にもｃａｔ－ＣＶＤ、ＭＢＥ等でも同様の効果があった。

【００５４】

また、第三のシリコン層０８の形成方法としては、熱ＣＶＤを用いて第二のシリコン層０５ａからエピタキシャル成長させた第二のシリコン層と逆導電型の半導体層で形成した太陽電池も作製した。この場合においても、２５℃１ｓｕｎ下でのＩ－Ｖ特性において、開放電圧０．６２２Ｖを示し、高品質な太陽電池が作製できた。

【００５５】

【発明の効果】

以上説明したように本発明に係る結晶薄膜半導体装置は、基板上の一部もしくは全部に導電性をもつ電極層を形成し、その上部に第一のシリコン層を、また該第一のシリコン層の上部に第二のシリコン層を形成した半導体装置であって、上記第一のシリコン層及び第二のシリコン層がレーザー光によってアニールを施されることにより成り、且つ第一のシリコン層が、第二のシリコン層よりも上記アニールを行なうレーザー光の光の波長域において吸収係数が小さい状態で形成された後、上記レーザーによるアニールを施されることによって成る、という構成のものである。具体的には、レーザーアニールを施される前の第一のシリコン層は、結晶成分を含むもしくはすべてが結晶成分であるシリコン層として形成され、またレーザーアニールを施される前の第二のシリコン層は非晶質シリコンとして形成される。

【００５６】

本発明においては、このレーザーアニールによる結晶化の際、結晶性のシリコン層の吸収係数よりも非晶質シリコン層の吸収係数の方が大きいため、非晶質シリコン層によりレーザー光の殆どが吸収され、非晶質シリコン層は融解するが結晶性のシリコン層は融解しない。このことから、融解した非晶質シリコン層が冷却され第二のシリコン層となった際、基板上の金属層を構成する元素が第二の結晶シリコン層中に多量に拡散された状態になることを防ぐことができる。従って、第二の結晶シリコン層の品質を低下させることなく裏面側に電極を形成することが可能となる。

【００５７】

よって、この技術によってレーザー光によってエネルギーを与え、結晶化した膜を縦型デバイス、特に太陽電池に適用させ、高品質なデバイスを作製することが可能となる。

【図面の簡単な説明】

【図１】本発明の結晶シリコン半導体装置の作製過程の前半を示したもので、（ａ）はアニール前の第二のシリコン層までを形成した段階を示す模式図、（ｂ）はレーザーアニールを施して結晶シリコンとする段階を示す図である。

【図２】本発明の結晶シリコン半導体装置の作製過程の後半を示したもので、（ｃ）はレーザーアニールにより結晶シリコンとした段階を示す図、（ｄ）は取り出し電極を設けた段階を示す図である。

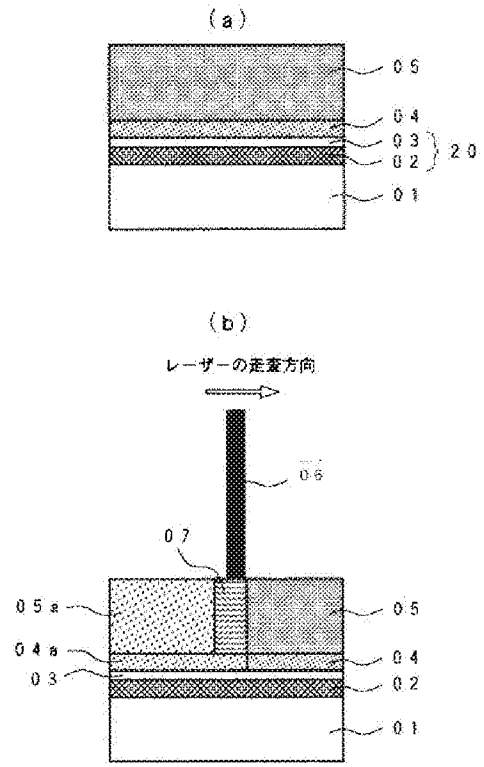
【符号の説明】

０１　基板
０２　金属層
０３　透明電極層
０４　アニール前の第一のシリコン層（ＳｉＸ－１層）
０４ａ　第一のシリコン層
０５　アニール前の第二のシリコン層（ＳｉＸ－２層）
０５ａ　第二のシリコン層
０６　レーザー光
０７　融解した半導体層
０８　第三のシリコン層

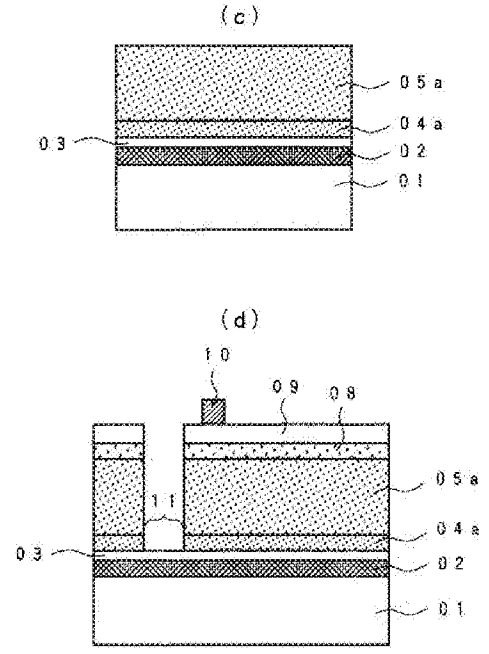
SAMSUNG EX. 1002 - 411/2862

０９　反射防止膜
１０　エミッタ側取り出し電極
１１　裏面電極取り出し部
２０　裏面電極層

【図1】



【図2】



SAMSUNG EX. 1002 - 412/2862

Ｆターム(参考) 5F051 AA04 BA05 CB12 CB25 CB27 FA04 FA06 FA22 GA03
5F052 AA02 BB02 BB04 CA02 CA09 DA02 DB01 DB03 DB06 EA13
JA09

SAMSUNG EX. 1002 - 413/2862

Espacenet

Bibliographic data: JP2004318970 (A) — 2004-11-11

STATIC SEMICONDUCTOR STORAGE DEVICE

Inventor(s): TSUDA NOBUHIRO ± (TSUDA NOBUHIRO)

Applicant(s): RENESAS TECH CORP ± (RENESAS TECHNOLOGY CORP)

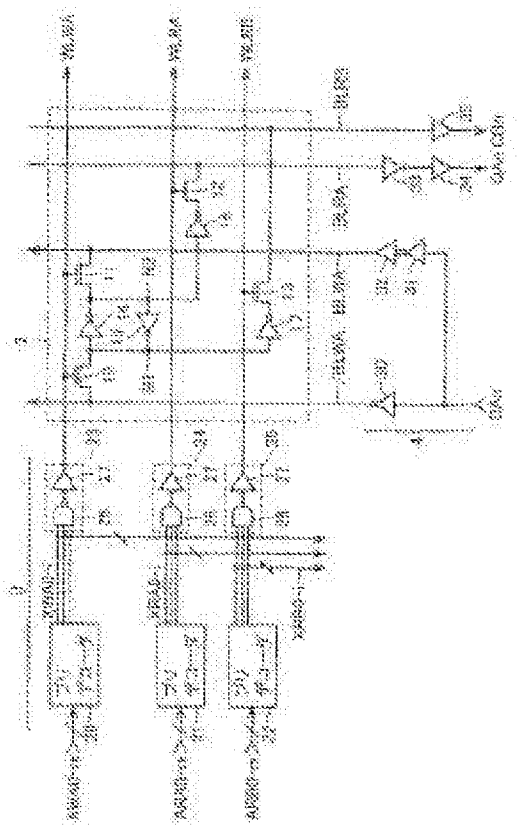
Classification: **- international:** ***G11C11/413; G11C11/418;***
(IPC1-7): G11C11/413; G11C11/418
- cooperative:

Application number: JP20030110078 20030415

Priority number (s): JP20030110078 20030415

Abstract of JP2004318970 (A)

PROBLEM TO BE SOLVED: To provide SRAM of which the layout area is small, the soft error resistance is high, and the write/read-out speed is high. ;SOLUTION: The memory cell 2 of this SRAM includes an inverter 16 and an N-channel MOS transistor 12 for outputting an inverted signal of a memory node N2 to a first read-out bit line BLRA in response to the fact that a first read-out word line WLRA is made to "H" level, and an inverter 17 and an N-channel MOS transistor 13 for outputting an inverted signal of a memory node N1 to a second read-out bit line BLRB in response to the fact that a second read-out word line WLRB is made to "H" level. As a result, since the memory cell 2 eliminates the need for a sense amplifier, the layout area can be made small, and since the capacitance values of the memory nodes N1, N2 are large and equal to each other, the soft error resistance and the write/read-out speed are improved. ;COPYRIGHT: (C)2005,JPO&NCIPI



SAMSUNG EX. 1002 - 415/2862

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2004-318970
(P2004-318970A)
(43)公開日　平成16年11月11日(2004.11.11)

(51)Int.Cl.[7]	F I		テーマコード（参考）
G11C 11/418	G11C 11/34	301B	5B015
G11C 11/413	G11C 11/34	J	

審査請求 未請求　請求項の数 5　OL　（全 15 頁）

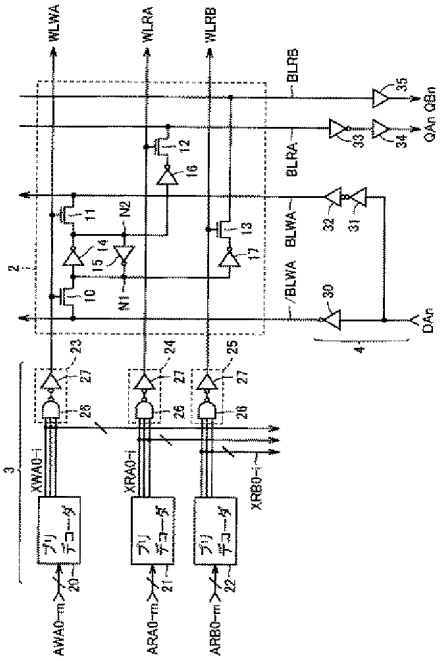
(21)出願番号　特願2003-110078(P2003-110078)
(22)出願日　平成15年4月15日(2003.4.15)

(71)出願人　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100064746
弁理士　深見　久郎
(74)代理人　100085132
弁理士　森田　俊雄
(74)代理人　100083703
弁理士　仲村　義平
(74)代理人　100096781
弁理士　堀井　豊
(74)代理人　100098316
弁理士　野田　久登
(74)代理人　100109162
弁理士　酒井　將行

最終頁に続く

(54)【発明の名称】スタティック型半導体記憶装置

(57)【要約】
【課題】レイアウト面積が小さく、ソフトエラー耐性が高く、書込／読出速度が速いＳＲＡＭを提供する。
【解決手段】このＳＲＡＭのメモリセル２は、第１読出ワード線ＷＬＲＡが「Ｈ」レベルにされたことに応じて記憶ノードＮ２の信号の反転信号を第１読出ビット線ＢＬＲＡに出力するインバータ１６およびＮチャネルＭＯＳトランジスタ１２と、第２読出ワード線ＷＬＲＢが「Ｈ」レベルにされたことに応じて記憶ノードＮ１の信号の反転信号を第２読出ビット線ＢＬＲＢに出力するインバータ１７およびＮチャネルＭＯＳトランジスタ１３とを含む。したがって、センスアンプが不要になるのでレイアウト面積が小さくなり、記憶ノードＮ１，Ｎ２の容量値が大きくかつ等しくなるので、ソフトエラー耐性および書込／読出速度が向上する。
【選択図】　図２



SAMSUNG EX. 1002 - 416/2862

【特許請求の範囲】
【請求項1】
スタティック型半導体記憶装置であって、
複数行複数列に配置された複数のメモリセルと、
各行に対応して設けられた書込ワード線、第１の読出ワード線および第２の読出ワード線と、
各列に対応して設けられた第１の書込ビット線、第２の書込ビット線、第１の読出ビット線および第２の読出ビット線とを備え、
前記メモリセルは、
対応の書込ワード線が選択レベルにされたことに応じて、対応の第１の書込ビット線と第１の記憶ノードとを接続するとともに、対応の第２の書込ビット線と第２の記憶ノードとを接続する切換回路、
前記第１および第２の記憶ノード間に接続された第１のインバータと、前記第２および第１の記憶ノード間に接続された第２のインバータとを含み、対応の第１および第２の書込ビット線から前記第１および第２の記憶ノードにそれぞれ与えられたデータ信号および反転データ信号をラッチするラッチ回路、
前記第１の記憶ノードと対応の第１の読出ビット線との間に設けられ、対応の第１の読出ワード線が選択レベルにされたことに応じて、前記第１の記憶ノードにラッチされたデータ信号の論理電位に応じた電位を前記第１の読出ビット線に出力する第１の駆動回路、および
前記第２の記憶ノードと対応の第２の読出ビット線との間に設けられ、対応の第２の読出ワード線が選択レベルにされたことに応じて、前記第２の記憶ノードにラッチされた反転データ信号の論理電位に応じた電位を前記第２の読出ビット線に出力する第２の駆動回路を備える、スタティック型半導体記憶装置。
【請求項2】
前記第１の駆動回路は、
その入力ノードが前記第１の記憶ノードに接続された第３のインバータ、および
前記第３のインバータの出力ノードと対応の第１の読出ビット線との間に接続され、対応の第１の読出ワード線が選択レベルにされたことに応じて導通する第１のトランジスタを含み、
前記第２の駆動回路は、
その入力ノードが前記第２の記憶ノードに接続された第４のインバータ、および
前記第４のインバータの出力ノードと対応の第２の読出ビット線との間に接続され、対応の第２の読出ワード線が選択レベルにされたことに応じて導通する第２のトランジスタを含む、請求項１に記載のスタティック型半導体記憶装置。
【請求項3】
前記第１の駆動回路は、
そのゲートが前記第１の記憶ノードに接続され、その第１の電極が第１の論理電位を受け、前記第１の記憶ノードにラッチされたデータ信号が第２の論理電位である場合に導通する第１のトランジスタ、および
前記第２の論理電位にプリチャージされた対応の第１の読出ビット線と前記第１のトランジスタの第２の電極との間に接続され、対応の第１の読出ワード線が選択レベルにされたことに応じて導通する第２のトランジスタを含み、
前記第２の駆動回路は、
そのゲートが前記第２の記憶ノードに接続され、その第１の電極が前記第１の論理電位を受け、前記第２の記憶ノードにラッチされた反転データ信号が前記第２の論理電位である場合に導通する第３のトランジスタ、および
前記第２の論理電位にプリチャージされた対応の第２の読出ビット線と前記第３のトランジスタの第２の電極との間に接続され、対応の第２の読出ワード線が選択レベルにされたことに応じて導通する第４のトランジスタを含む、請求項１に記載のスタティック型半導

SAMSUNG EX. 1002 - 417/2862

体記憶装置。
【請求項4】
前記第１の読出ワード線、前記第２の読出ワード線、前記第１の読出ビット線、前記第２の読出ビット線、前記第１の駆動回路および前記第２の駆動回路は、複数組設けられている、請求項１から請求項３のいずれかに記載のスタティック型半導体記憶装置。
【請求項5】
前記書込ワード線、前記第１の書込ビット線、前記第２の書込ビット線および前記切換回路は、複数組設けられている、請求項１から請求項４のいずれかに記載のスタティック型半導体記憶装置。

【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
この発明はスタティック型半導体記憶装置に関し、特に、複数リードポートのスタティック型半導体記憶装置に関する。
【０００２】
【従来の技術】
図６は、従来のスタティックランダムアクセスメモリ（以下、ＳＲＡＭと称す）の要部を示す回路図である。図６において、このＳＲＡＭは、ワード線ＷＬとビット線対ＢＬ，／ＢＬの交差部に配置されたメモリセル７０を備える。メモリセル７０は、ＮチャネルＭＯＳトランジスタ７１，７２、インバータ７３，７４および記憶ノードＮ７１，Ｎ７２を含む。ＮチャネルＭＯＳトランジスタ７１は、ビット線ＢＬと記憶ノードＮ７１の間に接続され、そのゲートはワード線ＷＬに接続される。ＮチャネルＭＯＳトランジスタ７２は、ビット線／ＢＬと記憶ノードＮ７２の間に接続され、そのゲートはワード線ＷＬに接続される。インバータ７３は記憶ノードＮ１とＮ２の間に接続され、インバータ７４は記憶ノードＮ７２とＮ７１の間に接続される。インバータ７３と７４は、ラッチ回路を構成する。
【０００３】
インバータ７３は、図７に示すように、ＰチャネルＭＯＳトランジスタ７５およびＮチャネルＭＯＳトランジスタ７６を含む。ＰチャネルＭＯＳトランジスタ７５は、電源電位ＶＣＣのラインと出力ノード（記憶ノードＮ７２）の間に接続され、そのゲートは入力ノード（記憶ノードＮ７１）に接続される。ＮチャネルＭＯＳトランジスタ７６は、出力ノードと接地電位ＧＮＤのラインとの間に接続され、そのゲートは入力ノードに接続される。
【０００４】
入力ノードが「Ｈ」レベルの場合は、ＰチャネルＭＯＳトランジスタ７５が非導通になるとともにＮチャネルＭＯＳトランジスタ７６が導通し、出力ノードが「Ｌ」レベルにされる。入力ノードが「Ｌ」レベルの場合は、ＰチャネルＭＯＳトランジスタ７５が導通するとともに、ＮチャネルＭＯＳトランジスタ７６が非導通になり、出力ノードが「Ｈ」レベルにされる。インバータ７４は、インバータ７３と同じ構成である。
【０００５】
次に、図６および図７に示したＳＲＡＭの動作について説明する。書込動作時は、ワード線ＷＬは選択レベルの「Ｈ」レベルに立上げられてＮチャネルＭＯＳトランジスタ７１，７２が導通し、メモリセルＭＣが活性化される。また、書込データ信号に応じてビット線ＢＬ，／ＢＬのうちの一方のビット線が「Ｈ」レベルにされるとともに他方のビット線が「Ｌ」レベルにされる。記憶ノードＮ７１，Ｎ７２は、それぞれビット線ＢＬ，／ＢＬと同電位になる。ワード線ＷＬが非選択レベルの「Ｌ」レベルに立下げられると、ＮチャネルＭＯＳトランジスタ７１，７２が非導通になり、記憶ノードＮ１，Ｎ２の電位はインバータ７３，７４によってラッチされる。
【０００６】
読出動作時は、ビット線ＢＬ，／ＢＬがビット線負荷（図示せず）を介して「Ｈ」レベル（電源電位ＶＣＣ）に充電されるとともに、ワード線ＷＬが選択レベルの「Ｈ」レベルに

SAMSUNG EX. 1002 - 418/2862

立上げられてＮチャネルＭＯＳトランジスタ７１，７２が導通する。記憶ノードＮ７１，Ｎ７２がそれぞれ「Ｌ」レベルおよび「Ｈ」レベルの場合はビット線ＢＬの電位が低下し、記憶ノードＮ７１，７２がそれぞれ「Ｈ」レベルおよび「Ｌ」レベルの場合はビット線／ＢＬの電位が低下する。ビット線ＢＬ，／ＢＬ間の電位差は、センスアンプ（図示せず）で増幅され、読出データ信号として外部に出力される。

【０００７】

また図８は、従来の他のＳＲＡＭの要部を示す回路図である。図８を参照して、このＳＲＡＭが図６および図７のＳＲＡＭと異なる点は、インバータ７３，７４の各々がインバータ７７で置換されている点である。インバータ７７は、インバータ７３のＮチャネルＭＯＳトランジスタ７６を２つのＮチャネルＭＯＳトランジスタ７６ａ，７６ｂに分割し、２つのＮチャネルＭＯＳトランジスタ７６ａ，７６ｂをＰチャネルＭＯＳトランジスタ７５の一方側および他方側に配置したものである。このＳＲＡＭでは、α粒子が２つのＮチャネルＭＯＳトランジスタ７６ａ，７６ｂに同時に衝突する確率は極めて小さいので、ソフトエラーの発生を低減化させることができる（たとえば特許文献１参照）。

【０００８】

また図９は、従来の１ライトポート／２リードポートＳＲＡＭの要部を示す回路図である。図９において、このＳＲＡＭは、書込ワード線ＷＬＷＡ、第１読出ワード線ＷＬＲＡおよび第２読出ワード線ＷＬＲＢと書込ビット線対ＢＬＷＡ，／ＢＬＷＡ、第１読出ビット線ＢＬＲＡおよび第２読出ビット線ＢＬＲＢとの交差部に配置されたメモリセル８０を備える。

【０００９】

メモリセル８０は、ＮチャネルＭＯＳトランジスタ８１～８４、インバータ８５，８６および記憶ノードＮ８１，Ｎ８２を含む。ＮチャネルＭＯＳトランジスタ８１は、書込ビット線ＢＬＷＡと記憶ノードＮ８１の間に接続され、そのゲートは書込ワード線ＷＬＷＡに接続される。ＮチャネルＭＯＳトランジスタ８２は、書込ビット線／ＢＬＷＡと記憶ノードＮ８２の間に接続され、そのゲートは書込ワード線ＷＬＷＡに接続される。

【００１０】

インバータ８５は記憶ノードＮ８１とＮ８２の間に接続され、インバータ８６は記憶ノードＮ８２とＮ８１の間に接続される。インバータ８５，８６は、ラッチ回路を構成する。ＮチャネルＭＯＳトランジスタ８３は、記憶ノードＮ８１と第１読出ビット線ＢＬＲＡの間に接続され、そのゲートは第１読出ワード線ＷＬＲＡに接続される。ＮチャネルＭＯＳトランジスタ８４は、記憶ノードＮ８１と第２読出ビット線ＢＬＲＢの間に接続され、そのゲートは第２読出ワード線ＷＬＲＢに接続される。

【００１１】

書込動作時は、図６で示したＳＲＡＭと同様、書込ワード線ＷＬＷＡを選択レベルの「Ｈ」レベルにしてＮチャネルＭＯＳトランジスタ８１，８２を導通させ、書込ビット線ＢＬＷＡ，／ＢＬＷＡのうちの一方の書込ビット線を「Ｈ」レベルにするとともに他方の書込ビット線／ＢＬＷＡを「Ｌ」レベルにし、記憶ノードＮ８１，Ｎ８２にデータ信号に応じた論理レベルを書込む。

【００１２】

読出動作時において、第１読出ワード線ＷＬＲＡが選択レベルの「Ｈ」レベルにされると、ＮチャネルＭＯＳトランジスタ８３が導通し、記憶ノードＮ８１の電位がＮチャネルＭＯＳトランジスタ８３を介して第１読出ビット線ＢＬＲＡに与えられる。また、第２読出ワード線ＷＬＲＢが選択レベルの「Ｈ」レベルにされると、ＮチャネルＭＯＳトランジスタ８４が導通し、記憶ノードＮ８１の電位がＮチャネルＭＯＳトランジスタ８４を介して第２読出ビット線ＢＬＲＢに与えられる。第１読出ビット線ＢＬＲＡおよび第２読出ビット線ＢＬＲＢの電位は、読出データ信号に変換されて外部に出力される。

【００１３】

【特許文献１】

特開平７－７０８９号公報

SAMSUNG EX. 1002 - 419/2862

【００１４】
【発明が解決しようとする課題】
しかし、従来のＳＲＡＭでは、以下のような問題があった。すなわち、図６および図７のＳＲＡＭでは、ビット線ＢＬ，／ＢＬ間の電位差を増幅するためのセンスアンプおよびその制御回路が必要であり、読出回路の構成が複雑になり、レイアウト面積が大きくなるという問題があった。また、メモリセル７０の微細化に伴って記憶ノードＮ７１，Ｎ７２の容量値が小さくなり、α粒子の衝突に起因してデータ信号が反転するソフトエラーが発生し易いという問題もあった。
【００１５】
また、図８のＳＲＡＭでは、ソフトエラーの発生が低減化されるが、ＮチャネルＭＯＳトランジスタ７６を２つに分割するので、メモリセルのレイアウトが複雑になり、レイアウト面積が大きくなるという問題があった。
【００１６】
また、図９のＳＲＡＭでは、ＮチャネルＭＯＳトランジスタ８３，８４が一方の記憶ノードＮ８１のみに接続されているので、記憶ノードＮ８１の容量値が記憶ノードＮ８２の容量値よりも大きくなり、記憶ノードＮ８１，Ｎ８２のデータ信号が反転しにくくなって書込動作が遅くなるという問題があった。また、インバータ８６のみによって２本の読出ビット線ＢＬＲＡ，ＢＬＲＢを駆動するので、読出ビット線ＢＬＲＡ，ＢＬＲＢの電位変化速度が遅くなり、読出動作が遅くなるという問題があった。
【００１７】
それゆえに、この発明の主たる目的は、レイアウト面積が小さく、ソフトエラー耐性が高く、書込／読出速度が速いスタティック型半導体記憶装置を提供することである。
【００１８】
【課題を解決するための手段】
この発明に係るスタティック型半導体記憶装置は、複数行複数列に配置された複数のメモリセルと、各行に対応して設けられた書込ワード線、第１の読出ワード線および第２の読出ワード線と、各列に対応して設けられた第１の書込ビット線、第２の書込ビット線、第１の読出ビット線および第２の読出ビット線とを備えたものである。ここで、メモリセルは、対応の書込ワード線が選択レベルにされたことに応じて、対応の第１の書込ビット線と第１の記憶ノードとを接続するとともに、対応の第２の書込ビット線と第２の記憶ノードとを接続する切換回路と、第１および第２の記憶ノード間に接続された第１のインバータと、第２および第１の記憶ノード間に接続された第２のインバータとを含み、対応の第１および第２の書込ビット線から第１および第２の記憶ノードにそれぞれ与えられたデータ信号および反転データ信号をラッチするラッチ回路と、第１の記憶ノードと対応の第１の読出ビット線との間に設けられ、対応の第１の読出ワード線が選択レベルにされたことに応じて、第１の記憶ノードにラッチされたデータ信号の論理電位に応じた電位を第１の読出ビット線に出力する第１の駆動回路と、第２の記憶ノードと対応の第２の読出ビット線との間に設けられ、対応の第２の読出ワード線が選択レベルにされたことに応じて、第２の記憶ノードにラッチされた反転データ信号の論理電位に応じた電位を第２の読出ビット線に出力する第２の駆動回路とを備える。
【００１９】
【発明の実施の形態】
［実施の形態１］
図１は、この発明の実施の形態１による１ライトポート／２リードポートＳＲＡＭの全体構成を示すブロック図である。図１において、このＳＲＡＭは、メモリセルアレイ１、行デコーダ３および書込／読出回路４を備える。
【００２０】
メモリセルアレイ１は、複数行複数（ｎ＋１；ｎは０以上の整数である）列に配置された複数のメモリセル２と、各行に対応して設けられた書込ワード線ＷＬＷＡ、第１読出ワード線ＷＬＲＡおよび第２読出ワード線ＷＬＲＢと、各列に対応して設けられた書込ビット

SAMSUNG EX. 1002 - 420/2862

線対ＢＬＷＡ，／ＢＬＷＡ、第１読出ビット線ＢＬＲＡおよび第２読出ビット線ＢＬＲＢとを備える。

【００２１】

行デコーダ３は、書込アドレス信号ＡＷＡ０～ＡＷＡｍ（ただし、ｍは０以上の整数である）に従って複数の書込ワード線ＷＬＷＡのうちのいずれかの書込ワード線ＷＬＷＡを選択し、選択した書込ワード線ＷＬＷＡを選択レベルの「Ｈ」レベルにし、その書込ワード線ＷＬＷＡに対応する各メモリセル２を書込可能状態にする。

【００２２】

また行デコーダ３は、第１読出アドレス信号ＡＲＡ０～ＡＲＡｍに従って複数の第１読出ワード線ＷＬＲＡのうちのいずれかの第１読出ワード線ＷＬＲＡを選択し、選択した第１読出ワード線ＷＬＲＡを選択レベルの「Ｈ」レベルにし、その第１読出ワード線ＷＬＲＡに対応する各メモリセル２を第１読出可能状態にする。

【００２３】

また行デコーダ３は、第２読出アドレス信号ＡＲＢ０～ＡＲＢｍに従って複数の第２読出ワード線ＷＬＲＢのうちのいずれかの第２読出ワード線ＷＬＲＢを選択し、選択した第２読出ワード線ＷＬＲＢを選択レベルの「Ｈ」レベルにし、その第２読出ワード線ＷＬＲＢに対応する各メモリセル２を第２読出可能状態にする。

【００２４】

書込／読出回路４は、ｎ＋１個のデータ信号ＤＡ０～ＤＡｎをｎ＋１組の書込ビット線対ＢＬＷＡ，／ＢＬＷＡを介して書込可能状態にされたｎ＋１個のメモリセル２に書込む。また書込／読出回路４は、第１読出可能状態にされたｎ＋１個のメモリセル２から第１読出ビット線ＢＬＲＡを介して読出された第１読出データ信号ＱＡ０～ＱＡｎを外部に出力する。また書込／読出回路４は、第２読出可能状態にされたｎ＋１個のメモリセル２から第２読出ビット線ＢＬＲＢを介して読出された第２読出データ信号ＱＢ０～ＱＢｎを外部に出力する。

【００２５】

図２は、図１に示したＳＲＡＭの要部を示す回路ブロック図である。図２において、メモリセル２は、ＮチャネルＭＯＳトランジスタ１０～１３、インバータ１４～１７および記憶ノードＮ１，Ｎ２を含む。ＮチャネルＭＯＳトランジスタ１０は、書込ビット線／ＢＬＷＡと記憶ノードＮ１との間に接続され、そのゲートは対応の書込ワード線ＷＬＷＡに接続される。ＮチャネルＭＯＳトランジスタ１１は、書込ビット線ＢＬＷＡと記憶ノードＮ２との間に接続され、そのゲートは対応の書込ワード線ＷＬＷＡに接続される。インバータ１４は記憶ノードＮ１とＮ２の間に接続され、インバータ１５は記憶ノードＮ２とＮ１の間に接続される。インバータ１４と１５は、ラッチ回路を構成する。

【００２６】

インバータ１６およびＮチャネルＭＯＳトランジスタ１２は、記憶ノードＮ２と第１読出ビット線ＢＬＲＡとの間に直列接続され、ＮチャネルＭＯＳトランジスタ１２のゲートは対応の第１読出ワード線ＷＬＷＡに接続される。インバータ１７およびＮチャネルＭＯＳトランジスタ１３は記憶ノードＮ１と第２読出ビット線ＢＬＲＢとの間に直列接続され、ＮチャネルＭＯＳトランジスタ１３のゲートは対応の第２読出ワード線ＷＬＲＢに接続される。インバータ１６，１７の電流駆動力は、インバータ１４，１５の電流駆動力よりも大きく設定されている。

【００２７】

書込ワード線ＷＬＷＡが選択レベルの「Ｈ」レベルに立上げられると、ＮチャネルＭＯＳトランジスタ１０，１１が導通し、メモリセル２は書込可能状態にされる。記憶ノードＮ１，Ｎ２は、それぞれ書込ビット線／ＢＬＷＡ，ＢＬＷＡと同じ論理レベルにされる。書込ワード線ＷＬＷＡが非選択レベルの「Ｌ」レベルに立下げられると、ＮチャネルＭＯＳトランジスタ１０，１１が非導通になり、記憶ノードＮ１，Ｎ２の論理レベルは、インバータ１４，１５によってラッチされる。

【００２８】

SAMSUNG EX. 1002 - 421/2862

第１読出ワード線ＷＬＲＡが選択レベルの「Ｈ」レベルに立上げられると、ＮチャネルＭＯＳトランジスタ１２が導通し、メモリセル２は第１読出可能状態にされる。記憶ノードＮ２の論理レベルは、インバータ１６で反転されて第１読出ビット線ＢＬＲＡに与えられる。第１読出ワード線ＷＬＲＡが非選択レベルの「Ｌ」レベルに立下げられると、ＮチャネルＭＯＳトランジスタ１２が非導通になり、メモリセル２は非活性化される。

【００２９】

第２読出ワード線ＷＬＲＢが選択レベルの「Ｈ」レベルに立上げられると、ＮチャネルＭＯＳトランジスタ１３が導通し、メモリセル２は第２読出可能状態にされる。記憶ノードＮ１の論理レベルは、インバータ１７で反転されて第２読出ビット線ＢＬＲＢに与えられる。第２読出ワード線ＷＬＲＢが非選択レベルの「Ｌ」レベルに立上げられると、ＮチャネルＭＯＳトランジスタ１３が非導通になり、メモリセル２は非活性化される。

【００３０】

行デコーダ３は、プリデコーダ２０～２２と、各書込ワード線ＷＬＷＡに対応して設けられたワードドライバ２３と、各第１読出ワード線ＷＬＲＡに対応して設けられたワードドライバ２４と、各第２読出ワード線ＷＬＲＢに対応して設けられたワードドライバ２５とを含む。

【００３１】

各書込ワード線ＷＬＷＡには、予め固有のプリデコード信号ＸＷＡ０～ＸＷＡｉ（ただし、ｉは０以上の整数である）が割当てられている。各第１読出ワード線ＷＬＲＡには、予め固有のプリデコード信号ＸＲＡ０～ＸＲＡｉが割当てられている。各第２読出ワード線ＷＬＲＢには、予め固有のプリデコード信号ＸＲＢ０～ＸＲＢｉが割当てられている。

【００３２】

プリデコーダ２０は、書込アドレス信号ＡＷＡ０～ＡＷＡｍに従って、複数の書込ワード線ＷＬＷＡのうちのいずれかの書込ワード線ＷＬＷＡに対応するプリデコード信号ＸＷＡ０～ＸＷＡｉを生成し、生成したプリデコード信号ＸＷＡ０～ＸＷＡｉを各ワードドライバ２３に与える。ワードドライバ２３は、ＮＡＮＤゲート２６およびインバータ２７を含み、対応のプリデコード信号ＸＷＡ０～ＸＷＡｉが与えられたことに応じて対応の書込ワード線ＷＬＷＡを選択レベルの「Ｈ」レベルにする。

【００３３】

プリデコーダ２１は、第１読出アドレス信号ＡＲＡ０～ＡＲＡｍに従って、複数の第１読出ワード線ＷＬＲＡのうちのいずれかの第１読出ワード線ＷＬＲＡに対応するプリデコード信号ＸＲＡ０～ＸＲＡｉを生成し、生成したプリデコード信号ＸＲＡ０～ＸＲＡｉを各ワードドライバ２４に与える。ワードドライバ２４は、ＮＡＮＤゲート２６およびインバータ２７を含み、対応のプリデコード信号ＸＲＡ０～ＸＲＡｉが与えられたことに応じて対応の第１読出ワード線ＷＬＲＡを選択レベルの「Ｈ」レベルにする。

【００３４】

プリデコーダ２２は、第２読出アドレス信号ＡＲＢ０～ＡＲＢｍに従って、複数の第２読出ワード線ＷＬＲＢのうちのいずれかの第２読出ワード線ＷＬＲＢに対応するプリデコード信号ＸＲＢ０～ＸＲＢｉを生成し、生成したプリデコード信号ＸＲＢ０～ＸＲＢｉを各ワードドライバ２５に与える。ワードドライバ２５は、ＮＡＮＤゲート２６およびインバータ２７を含み、対応のプリデコード信号ＸＲＢ０～ＸＲＢｉが与えられたことに応じて対応の第２読出ワード線ＷＬＲＢを選択レベルの「Ｈ」レベルにする。

【００３５】

書込／読出回路４は、各列に対応して設けられたインバータ３０～３３およびバッファ３４，３５を含む。図２では、ｎ＋１番目の列が示されている。書込データ信号ＤＡｎは、インバータ３０で反転されて対応の書込ビット線／ＢＬＷＡに与えられるとともに、インバータ３１，３２を介して対応の書込ビット線ＢＬＷＡに与えられる。第１読出ビット線ＢＬＲＡに現われる信号は、インバータ３３およびバッファ３４で反転されて第１読出データ信号ＱＡｎとなる。第２読出ビット線ＢＬＲＢに現われる信号は、バッファ３５で遅延されて第２読出データ信号ＱＢｎとなる。

SAMSUNG EX. 1002 - 422/2862

【００３６】
次に、図１および図２で示したＳＲＡＭの動作について説明する。書込アドレス信号ＡＷＡ０～ＡＷＡｍが行デコーダ３に与えられると、行デコーダ３のワードドライバ２３によって書込アドレス信号ＡＷＡ０～ＡＷＡｍに対応する書込ワード線ＷＬＷＡが選択レベルの「Ｈ」レベルに立上げられ、その書込ワード線ＷＬＷＡに対応する各メモリセル２のＮチャネルＭＯＳトランジスタ１０，１１が導通する。
【００３７】
また、書込データ信号ＤＡ０～ＤＡｎが書込／読出回路４に与えられ、ｎ＋１組の書込ビット線ＢＬＷＡ，／ＢＬＷＡの各々が書込／読出回路４のインバータ３０，３１およびバッファ３２によって対応のデータ信号に応じた電位にされる。各書込データ線対ＢＬＷＡ，／ＢＬＷＡの電位は、選択された行のメモリセル２の記憶ノードＮ１，Ｎ２に伝達される。書込ワード線ＷＬＷＡが非選択レベルの「Ｌ」レベルに立下げられると、各メモリセル２のＮチャネルＭＯＳトランジスタ１０，１１が非導通になり、記憶ノードＮ１，Ｎ２の電位はインバータ１４，１５によってラッチされる。
【００３８】
また、第１読出アドレス信号ＡＲＡ０～ＡＲＡｍが行デコーダ３に与えられると、行デコーダ３のワードドライバ２４によって第１読出アドレス信号ＡＲＡ０～ＡＲＡｍに対応する第１読出ワード線ＷＬＲＡが選択レベルの「Ｈ」レベルに立上げられる。これにより、その第１読出ワード線ＷＬＲＡに対応する各メモリセル２のＮチャネルＭＯＳトランジスタ１２が導通し、記憶ノードＮ２にラッチされた信号がインバータ１６、ＮチャネルＭＯＳトランジスタ１２、第１読出ビット線ＢＬＲＡ、インバータ３３およびバッファ３４を介して読出データ信号ＱＡとして外部に出力される。第１読出ワード線ＷＬＲＡが非選択レベルの「Ｌ」レベルに立下げられると、各メモリセル２のＮチャネルＭＯＳトランジスタ１２が非導通になり、記憶ノードＮ１，Ｎ２の電位はインバータ１４，１５によってラッチされる。
【００３９】
また、第２読出アドレス信号ＡＲＢ０～ＡＲＢｍが行デコーダ３に与えられると、行デコーダ３のワードドライバ２５によって第２読出アドレス信号ＡＲＢ０～ＡＲＢｍに対応する第２読出ワード線ＷＬＲＢが選択レベルの「Ｈ」レベルに立上げられる。これにより、その第２読出ワード線ＷＬＲＢに対応する各メモリセル２のＮチャネルＭＯＳトランジスタ１３が導通し、記憶ノードＮ１にラッチされた信号がインバータ１７、ＮチャネルＭＯＳトランジスタ１３、第２読出ビット線ＢＬＲＢ、バッファ３５を介して読出データ信号ＱＢとして外部に出力される。第２読出ワード線ＷＬＲＢが非選択レベルの「Ｌ」レベルに立下げられると、各メモリセル２のＮチャネルＭＯＳトランジスタ１３が非導通になり、記憶ノードＮ１，Ｎ２の電位はインバータ１４，１５によってラッチされる。
【００４０】
このＳＲＡＭでは、書込データ信号ＤＡ０～ＤＡｎを１行分のメモリセル２に書込み、それらのメモリセル２からデータ信号ＱＡ０～ＱＡｎを読出す動作と、書込データ信号ＤＡ０～ＤＡｎを１行分のメモリセル２に書込み、それらのメモリセル２からデータ信号ＱＢ０～ＱＢｎを読出す動作とを同時に行なうことができる。
【００４１】
この実施の形態１では、記憶ノードＮ２，Ｎ２にラッチされた信号の反転信号を読出ビット線ＢＬＲＡ，ＢＬＲＢに与えるインバータ１６，１７を設けたので、ビット線対ＢＬ，／ＢＬ間の電位差を増幅するセンスアンプおよびその制御回路を別途設ける必要がない。したがって、読出回路が簡易になり、ＳＲＡＭ全体においてメモリセル２が占める割合が大きくなり、小規模容量のＳＲＡＭをセンスアンプ方式のＳＲＡＭよりも小さな面積で実現することができる。
【００４２】
また、記憶ノードＮ１，Ｎ２にそれぞれインバータ１７，１６の入力ノードを接続するので、記憶ノードＮ１，Ｎ２の容量値が大きくなり、ソフトエラー耐性が高くなる。

SAMSUNG EX. 1002 - 423/2862

【００４３】
また、記憶ノードＮ１とＮ２の容量値を等しくしたので、記憶ノードＮ８１とＮ８２の容量値が等しくない従来に比べ、書込速度が速くなる。
【００４４】
また、記憶ノードＮ２，Ｎ１にラッチされた信号をインバータ１６，１７で反転させて読出ビット線ＢＬＲＡ，ＢＬＲＢに与えるので、図９の従来のＳＲＡＭに比べ、読出速度の高速化を図ることができる。
【００４５】
図３は、実施の形態１の変更例による１ライトポート／４リードポートＳＲＡＭの要部を示す回路ブロック図である。図３において、このＳＲＡＭでは、各メモリセル行に対応して書込ワード線ＷＬＷＡおよび第１～第４読出ワード線ＷＬＲＡ～ＷＬＲＤが設けられ、各メモリセル列に対応して第１～第４読出ビット線ＢＬＲＡ～ＢＬＲＤが設けられる。メモリセル４０は、図２のメモリセル２にインバータ４１，４２およびＮチャネルＭＯＳトランジスタ４３，４４を追加したものである。インバータ４１およびＮチャネルＭＯＳトランジスタ４３は記憶ノードＮ２と第３読出ビット線ＢＬＲＣとの間に直列接続され、ＮチャネルＭＯＳトランジスタ４３のゲートは第３読出ワード線ＷＬＲＣに接続される。インバータ４２およびＮチャネルＭＯＳトランジスタ４４は記憶ノードＮ１と第４読出ビット線ＢＬＲＤとの間に直列接続され、ＮチャネルＭＯＳトランジスタ４４のゲートは第４読出ワード線ＷＬＲＤに接続される。
【００４６】
第３読出ワード線ＷＬＲＣが選択レベルの「Ｈ」レベルにされると、ＮチャネルＭＯＳトランジスタ４３が導通し、記憶ノードＮ２にラッチされた信号がインバータ４１およびＮチャネルＭＯＳトランジスタ４３を介して第３読出ビット線ＢＬＲＣに与えられる。第４読出ワード線ＷＬＲＤが選択レベルの「Ｈ」レベルにされると、ＮチャネルＭＯＳトランジスタ４４が導通し、記憶ノードＮ１にラッチされた信号がインバータ４１およびＮチャネルＭＯＳトランジスタ４４を介して第４読出ビット線ＢＬＲＤに与えられる。
【００４７】
この変更例でも、図１および図２のＳＲＡＭと同じ効果が得られる。
［実施の形態２］
図４は、この発明の実施の形態２による２ライトポート／２リードポートＳＲＡＭの要部を示す回路ブロック図であって、図２と対比される図である。図４において、このＳＲＡＭでは、各メモリセル行に対応して第１および第２書込ワード線ＷＬＷＡ，ＷＬＷＢと第１および第２読出ワード線ＷＬＲＡ，ＷＬＲＢとが設けられ、各メモリセル列に対応して第１および第２書込ビット線対ＢＬＷＡ，／ＢＬＷＡ；ＢＬＷＢ，／ＢＬＷＢと第１および第２読出ビット線ＢＬＲＡ，ＢＬＲＢとが設けられる。
【００４８】
メモリセル５０は、図２のメモリセル２にＮチャネルＭＯＳトランジスタ５１，５２を追加したものである。ＮチャネルＭＯＳトランジスタ５１は、記憶ノードＮ１と第２書込ビット線ＢＬＷＢとの間に接続され、そのゲートは第２書込ワード線ＷＬＷＢに接続される。ＮチャネルＭＯＳトランジスタ５２は、記憶ノードＮ２と第２書込ビット線／ＢＬＷＢとの間に接続され、そのゲートは第２書込ワード線ＷＬＷＢに接続される。
【００４９】
第２書込ワード線ＷＬＷＢが選択レベルの「Ｈ」レベルに立上げられると、ＮチャネルＭＯＳトランジスタ５１，５２が導通し、メモリセル５０は第２書込可能状態にされる。記憶ノードＮ１，Ｎ２は、それぞれ第２書込ビット線ＢＬＷＢ，／ＢＬＷＢと同じ論理レベルにされる。第２書込ワード線ＷＬＷＢが非選択レベルの「Ｌ」レベルに立下げられると、ＮチャネルＭＯＳトランジスタ５１，５２が非導通になり、記憶ノードＮ１，Ｎ２の論理レベルはインバータ１４，１５によってラッチされる。
【００５０】
行デコーダ５３は、図２の行デコーダ３に、プリデコーダ５４と、各第２書込ワード線Ｗ

SAMSUNG EX. 1002 - 424/2862

ＬＷＢに対応して設けられたワードドライバ５５とを追加したものである。各第２書込ワード線ＷＬＷＢには、予め固有のプリデコード信号ＸＷＢ０～ＸＷＢｉが割当てられている。プリデコーダ５４は、第２書込アドレス信号ＡＷＢ０～ＡＷＢｍに従って、複数の第２書込ワード線ＷＬＷＢのうちのいずれかの第２書込ワード線ＷＬＷＢに対応するプリデコード信号ＸＷＢ０～ＸＷＢｉを生成し、生成したプリデコード信号ＸＷＢ０～ＸＷＢｉを各ワードドライバ５５に与える。ワードドライバ５５は、ＮＡＮＤゲート２６およびインバータ２７を含み、対応のプリデコード信号ＸＷＢ０～ＸＷＢｉが与えられたことに応じて対応の第２書込ワード線ＷＬＷＢを選択レベルの「Ｈ」レベルに立上げる。

【００５１】

書込／読出回路５６は、図２の書込／読出回路４に、インバータ５７～５９を追加したものである。第２書込データ信号ＤＢｎは、インバータ５７，５８を介して第２書込ビット線ＢＬＷＢに与えられるとともに、インバータ５９で反転されて第２書込ビット線／ＢＬＷＢに与えられる。

【００５２】

次に、このＳＲＡＭの動作について説明する。第２書込アドレス信号ＡＷＢ０～ＡＷＢｍが行デコーダ５３に与えられると、ワードドライバ５５によって第２書込アドレス信号ＡＷＢ０～ＡＷＢｍに対応する第２書込ワード線ＷＬＷＢが選択レベルの「Ｈ」レベルに立上げられ、その第２書込ワード線ＷＬＷＢに対応する各メモリセル５０のＮチャネルＭＯＳトランジスタ５１，５２が導通する。

【００５３】

また、第２書込データ信号ＤＢ０～ＤＢｎが書込／読出回路５６に与えられ、ｎ＋１組の第２書込データ線ＢＬＷＢ，／ＢＬＷＢの各々が書込／読出回路５６のインバータ５７～５９によって対応のデータ信号に応じた電位にされる。各書込データ線対ＢＬＷＢ，／ＢＬＷＢの電位は、選択された行のメモリセル２の記憶ノードＮ１，Ｎ２に伝達される。第２書込ワード線ＷＬＷＢが非選択レベルの「Ｌ」レベルに立下げられると、各メモリセル５０のＮチャネルＭＯＳトランジスタ５１，５２が非導通になり、記憶ノードＮ１，Ｎ２の電位はインバータ１４，１５によってラッチされる。

【００５４】

このＳＲＡＭでは、第１ポートの書込データ信号ＤＡ０～ＤＡｎを１行分のメモリセル２に書込み、それらのメモリセル２から第１ポートのデータ信号ＱＡ０～ＱＡｎを読出す動作と、第２ポートの書込データ信号ＤＢ０～ＤＢｎを１行分のメモリセル２に書込み、それらのメモリセル２から第２ポートのデータ信号ＱＢ０～ＱＢｎを読出す動作とを同時に行なうことができる。他の構成および動作は、実施の形態１と同じであるので、その説明は繰返さない。

【００５５】

この実施の形態２でも、実施の形態１と同じ効果が得られる。

［実施の形態３］

図５は、この発明の実施の形態３による１ライトポート／２リードポートＳＲＡＭの要部を示す回路ブロック図であって、図２と対比される図である。

【００５６】

図５を参照して、このＳＲＡＭが図２のＳＲＡＭと異なる点は、メモリセル２がメモリセル６０で置換されている点と、ＰチャネルＭＯＳトランジスタ６４，６５が追加されている点である。

【００５７】

メモリセル６０は、メモリセル２のインバータ１６，１７をそれぞれＮチャネルＭＯＳトランジスタ６１，６２で置換したものである。ＮチャネルＭＯＳトランジスタ６１は、ＮチャネルＭＯＳトランジスタ１２のソースと接地電位ＧＮＤのラインとの間に接続され、そのゲートは記憶ノードＮ２に接続される。ＮチャネルＭＯＳトランジスタ６２は、ＮチャネルＭＯＳトランジスタ１３のソースと接地電位ＧＮＤのラインとの間に接続され、そのゲートは記憶ノードＮ１に接続される。

SAMSUNG EX. 1002 - 425/2862

【００５８】
ＰチャネルＭＯＳトランジスタ６４は、電源電位ＶＣＣのラインと第１読出ビット線ＢＬＲＡとの間に接続され、そのゲートは第１プリチャージ信号ＰＣＡを受ける。ＰチャネルＭＯＳトランジスタ６５は、電源電位ＶＣＣのラインと第２読出ビット線ＢＬＲＢとの間に接続され、そのゲートは第２プリチャージ信号ＰＣＢを受ける。
【００５９】
第１ポートのデータ信号ＱＡｎを読出す場合は、まず第１プリチャージ信号ＰＣＡが「Ｌ」レベルから「Ｈ」レベルに立上げられてＰチャネルＭＯＳトランジスタ６４が非導通にされる。第１読出ビット線ＢＬＲＡは、ＰチャネルＭＯＳトランジスタ６４が導通している間に「Ｈ」レベル（電源電位ＶＣＣ）に充電されている。次いで第１読出ワード線ＷＬＲＡが選択レベルの「Ｈ」レベルに立上げられ、ＮチャネルＭＯＳトランジスタ１２が導通する。記憶ノードＮ２が「Ｈ」レベルの場合は、ＮチャネルＭＯＳトランジスタ６１が導通し、第１読出ビット線ＢＬＲＡが「Ｌ」レベルにされ、第１読出データ信号ＱＡｎは「Ｈ」レベルにされる。記憶ノードＮ２が「Ｌ」レベルの場合は、ＮチャネルＭＯＳトランジスタ６１が非導通になり、第１読出ビット線ＢＬＲＡは「Ｈ」レベルのまま変化せず、第１読出データ信号ＱＡｎは「Ｌ」レベルにされる。
【００６０】
第２ポートのデータ信号ＱＢｎを読出す場合は、まず第２プリチャージ信号ＰＣＡが「Ｌ」レベルから「Ｈ」レベルに立上げられてＰチャネルＭＯＳトランジスタ６５が非導通にされる。第２読出ビット線ＢＬＲＢは、ＰチャネルＭＯＳトランジスタ６５が導通している間に「Ｈ」レベルに充電されている。次いで第２読出ワード線ＷＬＲＢが選択レベルの「Ｈ」レベルに立上げられ、ＮチャネルＭＯＳトランジスタ１３が導通する。記憶ノードＮ１が「Ｈ」レベルの場合は、ＮチャネルＭＯＳトランジスタ６２が導通して第２読出ビット線ＢＬＲＢが「Ｌ」レベルにされ、第２読出データ信号ＱＢｎは「Ｌ」レベルにされる。記憶ノードＮ１が「Ｌ」レベルの場合は、ＮチャネルＭＯＳトランジスタ３２が非導通になって第２読出ビット線ＢＬＲＢが「Ｈ」レベルのまま変化せず、第２読出データ信号ＱＢｎは「Ｈ」レベルにされる。他の構成および動作は、実施の形態１と同じであるので、その説明は繰返さない。
【００６１】
この実施の形態３でも実施の形態１と同じ効果が得られる。
今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。
【００６２】
【発明の効果】
以上のように、この発明に係るスタティック型半導体記憶装置では、メモリセルは、対応の書込ワード線が選択レベルにされたことに応じて、対応の第１の書込ビット線と第１の記憶ノードとを接続するとともに、対応の第２の書込ビット線と第２の記憶ノードとを接続する切換回路と、第１および第２の記憶ノード間に接続された第１のインバータと、第２および第１の記憶ノード間に接続された第２のインバータとを含み、対応の第１および第２の書込ビット線から第１および第２の記憶ノードにそれぞれ与えられたデータ信号および反転データ信号をラッチするラッチ回路と、第１の記憶ノードと対応の第１の読出ビット線との間に設けられ、対応の第１の読出ワード線が選択レベルにされたことに応じて、第１の記憶ノードにラッチされたデータ信号の論理電位に応じた電位を第１の読出ビット線に出力する第１の駆動回路と、第２の記憶ノードと対応の第２の読出ビット線との間に設けられ、対応の第２の読出ワード線が選択レベルにされたことに応じて、第２の記憶ノードにラッチされた反転データ信号の論理電位に応じた電位を第２の読出ビット線に出力する第２の駆動回路とを備える。したがって、各メモリセルに第１および第２の駆動回路を設けたので、センスアンプおよびその制御回路を別途設ける必要がなく、レイアウト

SAMSUNG EX. 1002 - 426/2862

面積が小さくて済む。また、第１および第２の記憶ノードにそれぞれ第１および第２の駆動回路を接続したので、第１および第２の記憶ノードの各々の容量値が大きくなり、ソフトエラー耐性が高くなる。また、第１および第２の記憶ノードの容量値を等しくしたのでデータ書込速度が速くなり、第１および第２の駆動回路を設けたのでデータ読出速度が速くなる。

【図面の簡単な説明】

【図１】この発明の実施の形態１による１ライトポート／２リードポートＳＲＡＭの全体構成を示すブロック図である。

【図２】図１に示したＳＲＡＭの要部を示す回路ブロック図である。

【図３】実施の形態１の変更例を示す回路図である。

【図４】この発明の実施の形態２による２ライトポート／２リードポートＳＲＡＭの要部を示す回路ブロック図である。

【図５】この発明の実施の形態３による１ライトポート／２リードポートＳＲＡＭの要部を示す回路ブロック図である。

【図６】従来のＳＲＡＭの要部を示す回路図である。

【図７】図６に示したインバータの構成を示す回路図である。

【図８】従来の他のＳＲＡＭの要部を示す回路図である。

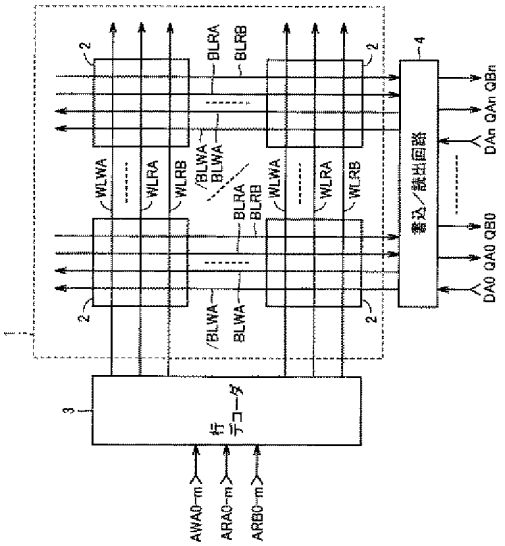
【図９】従来の１ライトポート／２リードポートＳＲＡＭの要部を示す回路図である。

【符号の説明】

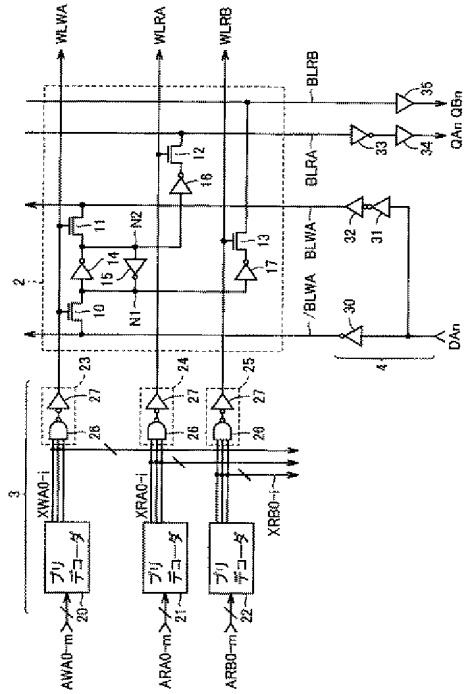
１　メモリセルアレイ、２，４０，５０，６０，７０，８０　メモリセル、３，５３　行デコーダ、４，５６　書込／読出回路、１０～１３，４３，４４，５１，５２，６１，６２，７１，７２，７６，８１～８４　ＮチャネルＭＯＳトランジスタ、１４～１７，２７，３０～３３，４１，４２，５７～５９，７３，７４，７７，８５，８６　インバータ、２０～２２，５４　プリデコーダ、２３～２５，５５　ワードドライバ，２６　ＮＡＮＤゲート、３４，３５　バッファ、６４，６５　ＰチャネルＭＯＳトランジスタ、ＷＬＷ　書込ワード線，ＷＬＲ　読出ワード線、ＢＬＷ，／ＢＬＷ　書込ビット線対，ＢＬＲ　読出ビット線、ＷＬ　ワード線、ＢＬ，／ＢＬ　ビット線対。

SAMSUNG EX. 1002 - 427/2862

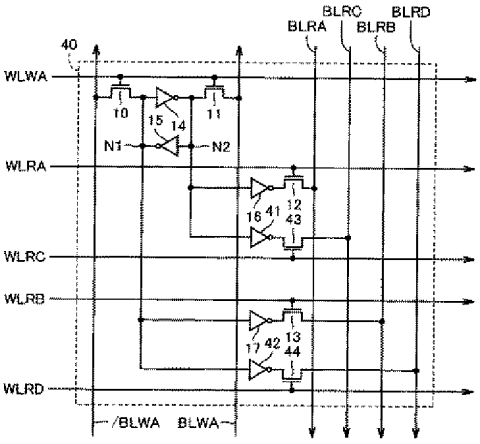
【図1】



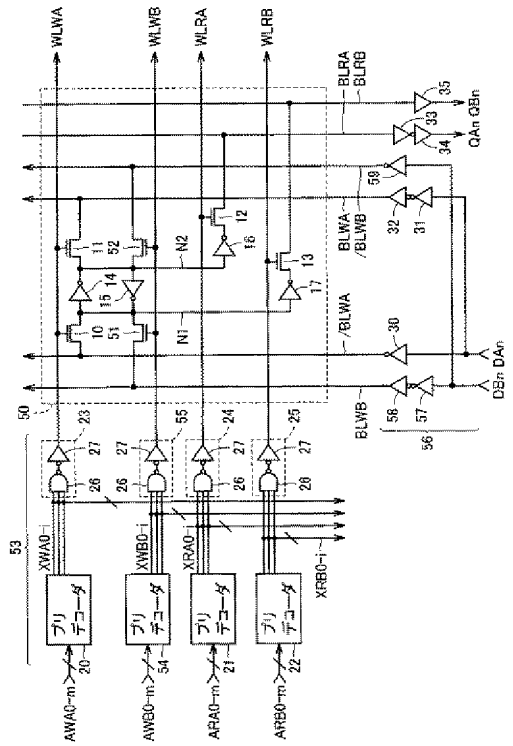
【図2】



【図3】

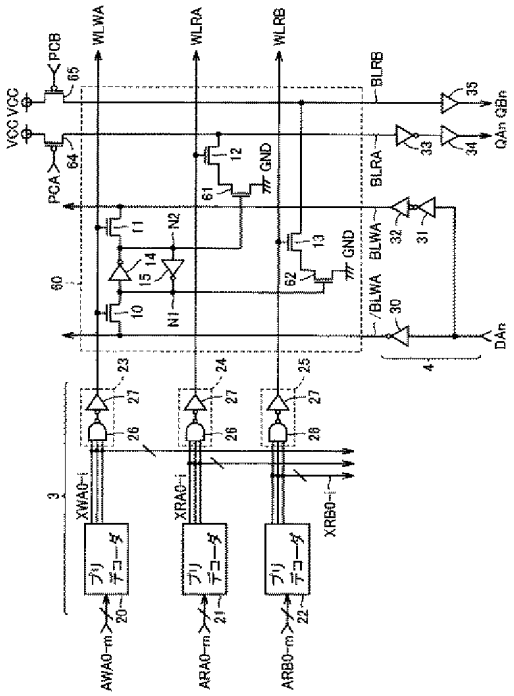


【図4】

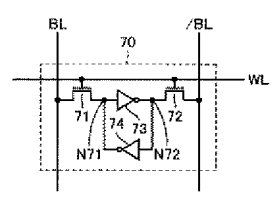


SAMSUNG EX. 1002 - 428/2862

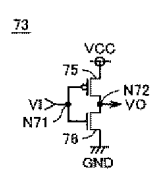
【図5】


WLWA
WLRA
WLRB
PCB
VCC VCC
PCA
BLRB
BLRA
BLWA
/BLWA
GND
N1
N2
QAn GBn
DAn
XWA0-i
XRA0-i
XRB0-i
AWA0-m
ARA0-m
ARB0-m

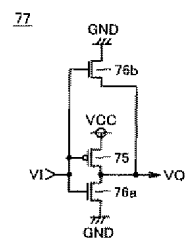
【図6】


BL
/BL
70
WL
71
72
73
74
N71
N72

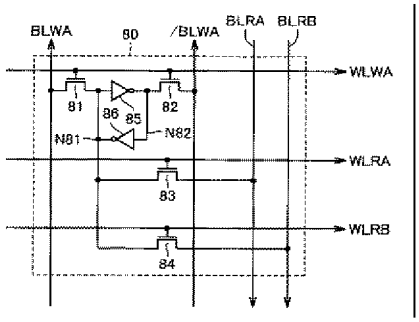
【図7】


73
VCC
75
N72
VI
VO
N71
76
GND

【図8】


77
GND
76b
VCC
75
VI
VO
76a
GND

【図9】


BLWA
80
/BLWA
BLRA
BLRB
WLWA
81
86
85
82
N81
N82
WLRA
83
WLRB
84

(72)発明者　津田　信浩
東京都千代田区丸の内二丁目４番１号　株式会社ルネサステクノロジ内
Ｆターム(参考) 5B015 HH01　HH03　JJ13　JJ22　JJ37　KA04　KA28　KA38　KB23　NN01

SAMSUNG EX. 1002 - 430/2862

Espacenet

Bibliographic data: JP2006173381 (A) — 2006-06-29

PHOTOELECTROMOTIVE FORCE ELEMENT

Inventor(s): OKUMURA KENICHI ± (OKUMURA KENICHI)

Applicant(s): TOYOTA MOTOR CORP ± (TOYOTA MOTOR CORP)

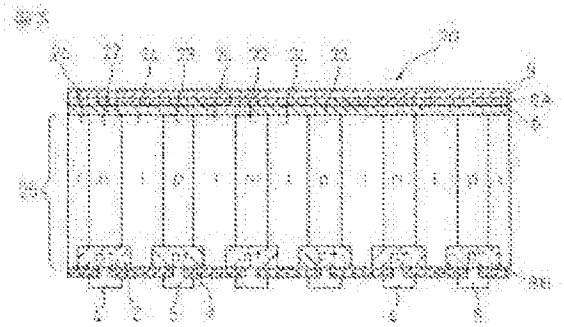
Classification: **- international:** ***H01L31/04***
- cooperative: Y02E10/50

Application number: JP20040364406 20041216

Priority number(s): JP20040364406 20041216

Abstract of JP2006173381 (A)

PROBLEM TO BE SOLVED: To obtain a photoelectromotive force element which decreases a probability of recoupling which occurs in a collection process of electrons and holes, and has power generation efficiency. ;SOLUTION: In the photoelectromotive force element of back electrode type in which electrodes (4, 5) are disposed on the back which is a reverse side to the light receiving face of a light absorber (25), the light absorber (25) is provided with one conductive type region (22) extending from the light receiving face to the back and an opposed conductive type region (23), and further, a true semiconductor region (24) where impurities are not doped is provided between these regions (22, 23). Carriers are isolated by the one conductive type region (22) and the opposed conductive type region (23), and also, due to existence of the true semiconductor region (24) having little defects, a mean lifetime of the carriers of the entire light absorber (25) is enhanced and the power generation efficiency is enhanced. ;COPYRIGHT: (C)2006,JPO&NCIPI



SAMSUNG EX. 1002 - 431/2862

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2006-173381
(P2006-173381A)
(43)公開日　平成18年6月29日(2006.6.29)

(51)Int.Cl.		F I		テーマコード（参考）
H01L 31/04	(2006.01)	H01L 31/04	L	5F051

審査請求 未請求　請求項の数 3　OL　（全 12 頁）

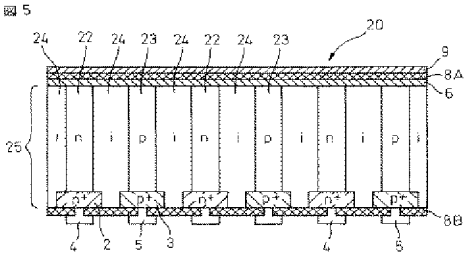
(21)出願番号　特願2004-364406 (P2004-364406)
(22)出願日　平成16年12月16日 (2004.12.16)

(71)出願人　000003207
トヨタ自動車株式会社
愛知県豊田市トヨタ町１番地
(74)代理人　100099759
弁理士　青木　篤
(74)代理人　100092624
弁理士　鶴田　準一
(74)代理人　100102819
弁理士　島田　哲郎
(74)代理人　100122965
弁理士　水谷　好男
(74)代理人　100119987
弁理士　伊坪　公一
(74)代理人　100082898
弁理士　西山　雅也

最終頁に続く

(54)【発明の名称】光起電力素子

(57)【要約】
【課題】　電子および正孔の収集過程で生じる再結合確率を低減して、発電効率の優れた光起電力素子を得る。
【解決手段】　光吸収部（２５）の受光面とは反対側である裏面に電極（４、５）を配置した裏面電極型の光起電力素子において、光吸収部（２５）に、受光面から裏面にまで延在する一伝導型領域（２２）と反対伝導型領域（２３）とを設け、さらにこれらの領域（２２、２３）間に不純物をドーピングしない真性半導体領域（２４）を設ける。一伝導型領域（２２）と反対伝導型領域（２３）によってキャリアが分離されると共に、欠陥の少ない真性半導体領域（２４）の存在によって、光吸収部（２５）全体のキャリアの平均のライフタイムが向上し、発電効率が向上する。
【選択図】　図５



SAMSUNG EX. 1002 - 433/2862

【特許請求の範囲】
【請求項1】
光吸収部の受光面とは反対側である裏面に電極を配置した裏面電極型の光起電力素子において、前記光吸収部が、前記受光面から前記裏面にまで延在する一伝導型領域と反対伝導型領域とさらにこれらの領域間に設けた真性半導体領域とからなることを特徴とする、光起電力素子。
【請求項2】
請求項１に記載の光起電力素子において、前記真性半導体領域を前記受光面側で前記裏面側より大きくし、かつ前記一伝導型領域と反対伝導型領域とを前記裏面側で前記受光面側より大きくしたことを特徴とする、光起電力素子。
【請求項3】
請求項１または２に記載の光起電力素子において、前記真性半導体領域と前記一伝導型領域または反対伝導型領域とのそれぞれの界面に、水素またはハロゲン元素添加領域を形成したことを特徴とする、光起電力素子。

【発明の詳細な説明】
【技術分野】
【0001】
本発明は、裏面電極型の光起電力素子に関し、特にその発電効率を改善した光起電力素子に関する。
【背景技術】
【0002】
裏面電極型の光起電力素子（光電池、太陽電池等を含む）は特許文献１～４等により知られている。共通する基本構造を図１に示す。光起電力素子１００を構成する半導体基板１０（ｐ型またはｎ型の単結晶半導体）の主要部である光吸収部１において、光吸収により正負のキャリアとしての電子および正孔が発生する。基板１０の裏面側（図の下面側）には、光吸収部１で発生したキャリア収集層としてのｎ＋層（電子収集層）２およびｐ＋層（正孔収集層）３が不純物拡散により形成されており、基板１０の下面に形成された負電極４、正電極５はそれぞれｎ＋層２、ｐ＋層３と接続している。この接続部以外において基板１０の下面は表面保護膜（絶縁膜）８Ｂにより被覆されている。基板１０の受光面側（図の上面側）に形成された拡散層６（ｐ＋層またはｎ＋層）は、基板表面でのキャリアの再結合を防止するためのポテンシャル障壁として機能する（特許文献２参照）。この受光面側拡散層６の表面は、下面と同様の保護膜（絶縁膜）８Ａにより被覆されており、更にその上に反射防止膜９が形成されている。
【0003】
上記従来の光起電力素子では、光吸収部１はｎまたはｐのいずれか一方の伝導型を有し、単一のキャリア濃度で形成されているので、光吸収によって発生した電子と正孔はキャリアの収集層即ちｎ＋層２とｐ＋層３に到達するまでに、共に光吸収部１内を通過する。そのため、光吸収部１内で電子と正孔が再結合して消滅する確率が高く、再結合損失により発電効率が低下するという問題があった。
【0004】
【特許文献1】特開平１１－３１７５３３号公報（特許請求の範囲）
【特許文献2】特開平１１－３１２８１４号公報（特許請求の範囲）
【特許文献3】特開２００１－２８４６６６号公報（特許請求の範囲）
【特許文献4】特開２００１－８５７１８号公報（特許請求の範囲）
【発明の開示】
【発明が解決しようとする課題】
【0005】
欠陥により形成されるトラップ準位を介した電子と正孔の挙動は、図２に示す４つの過程で表される（ＳＲＨモデル）。図において、過程〔１〕は伝導帯にある電子がトラップ準位に捕獲される場合を示し、過程〔２〕はトラップ準位に捕獲されていた電子が伝導帯

SAMSUNG EX. 1002 - 434/2862

に放出される場合を示し、過程〔３〕は価電子帯にある正孔がトラップ準位に捕獲される場合を示し、さらに過程〔４〕はトラップ準位に捕獲されていた正孔が価電子帯に放出される場合を示している。過程〔３〕、〔４〕における破線は、電子の遷移でこれらの過程を表したものである。なお、図において、Ｅｃは伝導帯の下端のエネルギーレベルを、Ｅｖは価電子帯の上端のエネルギーレベルを、Ｅｔはトラップ準位のエネルギーレベルを示す。

【0006】

トラップ準位を介した電子と正孔の再結合は、図中の〔１〕と〔３〕の過程が生じ、トラップ準位に電子と正孔の対が存在することにより発生する。伝導帯とトラップ準位間または価電子帯とトラップ準位間のエネルギーギャップは、伝導帯と価電子帯間のエネルギーギャップに比べて小さく、そのため光吸収部に欠陥が多く存在すると電子と正孔がこれらの欠陥に捕獲され易く、トラップ準位において再結合を生じて発電効率を低下させる。

【0007】

したがって、発電効率の高い光起電力素子を得るためには、光吸収部における欠陥濃度をなるべく小さくすると共に、電子と正孔とがなるべく分離してそれぞれの収集層まで移動できるようにしなければならない。電子と正孔とを分離するためには、光吸収部中に不純物を拡散してｎ型領域とｐ型領域を形成し、電子をｎ型領域に、正孔をｐ型領域に選択的に移動させればよい。しかしながら、この場合、不純物のドーピングによって欠陥が増加しキャリアのライフタイムが短くなる。ドーピング量を減少させるとライフタイムは向上するが、一方でｎ型領域とｐ型領域間にキャリアを分離するための充分なエネルギー障壁を形成することができない。即ち、キャリアの分離機能を維持しつつ光吸収部全体の平均的なライフタイムを向上させることは困難であった。

【0008】

本発明は、かかる点に関してなされたもので、光吸収部においてキャリアの分離機能を維持しつつこの層全体の平均的なライフタイムを向上することが可能な新規な構造の光起電力素子を提供し、その発電効率の向上を図ることを課題とする。

【課題を解決するための手段】

【0009】

上記課題を解決するために、第１の発明では、光吸収部の受光面とは反対側の裏面に電極を配置した裏面電極型の光起電力素子において、光吸収部が、受光面から裏面にまで延在する一伝導型領域と反対伝導型領域とさらにこれらの領域間に設けた真性半導体領域とを有するように構成する。

【0010】

また、第２の発明においては、真性半導体領域を受光面側において裏面側より大きくする。このとき、真性半導体領域と一伝導型領域または反対伝導型領域とのそれぞれの界面を階段状にし、あるいは平面状または曲面状とする。

【0011】

また、第３の発明においては、真性半導体領域と一伝導型領域または反対伝導型領域とのそれぞれの界面に、水素またはハロゲン元素添加領域を形成する。

【発明の効果】

【0012】

第１の発明にかかる光起電力素子では、光吸収部中に、受光面から裏面側まで延在する一伝導型領域と反対伝導型領域とが形成されているので、電子または正孔はエネルギー的に安定して存在し得るいずれかの領域に選択的に集まり、その領域を移動して正または負の電極に達する。そのため、これらの領域では電子または正孔のいずれかが優勢となり、正負キャリア数のバランスが大きく崩れるので、キャリアの再結合確率が低下する。さらに、一伝導型領域と反対伝導型領域間に、電子または正孔を捕獲する電気的な欠陥が少ない真性半導体領域が設けられているので、この領域を移動するキャリアが欠陥に捕獲される確率が低くなり、結果的に光吸収部におけるキャリアの平均的なライフタイムが向上する。これらの結果、素子の発電効率が向上する。

SAMSUNG EX. 1002 - 435/2862

【0013】
第２の発明にかかる光起電力素子では、光吸収部において光の吸収量の多い受光面側で真性半導体領域を大きくしているため、キャリアのライフタイムがさらに向上する。さらに、電流密度の高い裏面側で電子または正孔の移動領域を形成する一伝導型領域および反対伝導型領域とが広く形成されているので、抵抗損失が低減する。これらの結果から、さらに素子の発電効率が向上する。
【0014】
第１、第２の発明にかかる光起電力素子では、この素子の製造に当って熱処理を行うと、一伝導型領域または反対伝導型領域中の不純物が領域界面を越えて真性半導体領域中に拡散し、電気的な欠陥を形成する。この欠陥により、キャリアのライフタイムが短くなり、素子の発電効率が低下する。したがって、第３の発明では、この界面に水素またはハロゲン元素を添加して電気的な欠陥を不活性化している。これによって、キャリアのライフタイムが長くなり、素子の発電効率がさらに向上する。
【発明を実施するための最良の形態】
【0015】
本発明にかかる光起電力素子の構造を説明する前に、まず、光吸収部におけるキャリアの分離機能およびその問題点について説明する。
【0016】
図１に示す光起電力素子１００では、受光することによって光吸収部１に生成された電子と正孔は共に層１中を移動しながら、電子は電子収集層２に、正孔は正孔収集層３により収集され各電極４、５を介して出力として取り出される。このとき、電子と正孔が同じ伝導型の均一なキャリア濃度を有する層１を通過することから、その通過中に電子と正孔が出会い、再結合する確率が高くなる。したがって、光吸収部１を、主に電子が移動する電子移動領域と主に正孔が移動する正孔移動領域に分割することが考えられる。このように、電子と正孔の移動領域を別個に設けることで、電子と正孔の再結合確率が低下し出力の向上が期待される。
【0017】
図３に示す構造の光起電力素子２００は、上記の考えに基づいて構成されたものである。図示するように、光起電力素子２００は、光吸収部２１に電子移動領域（ｎ層）２２と正孔移動領域（ｐ層）２３を交互に設けた構造を有する。これらの領域２２、２３は、光吸収部２１の受光面側から裏面側に延在して設けられる。電子移動領域２２は電子収集層２を含む領域であり、ｎ型不純物がドーピングされている。正孔移動領域２３は正孔収集層３を含む領域であり、ｐ型不純物がドーピングされている。これによって、領域２２、２３間にｐｎ接合が形成される。その他の構造は、図１に示す光起電力素子１００と同じであるので、その説明は省略する。
【0018】
図４（ａ）および（ｂ）に、光起電力素子２００の素子中央部における横方向（受光面と平行な方向）のエネルギーバンド図を示す。図３に示す構造の光起電力素子では、隣接する領域の伝導型を相違させているため、横方向に繰り返してｐｎ接合が形成されることとなる。
【0019】
図４（ａ）は、光吸収部２１が光を吸収した直後のバンド構造を示す。受光によって、電子および正孔はｐｎ接合に関係なく光吸収部２１全体で発生するが、その後、エネルギーレベルの違いにより、ｐ層２３において発生した電子はｎ層２２に移動し、また、ｎ層２２において発生した正孔はｐ層２３に移動する。移動後の電子および正孔は、両側のｐｎ接合で形成されるエネルギー障壁によって各層内に留まる。
【0020】
その結果、図（ｂ）に示すように、電子移動領域２２には電子が、正孔移動領域２３には正孔がそれぞれ分離して存在する状態が形成される。即ち、電子移動領域２２では正孔の濃度が電子の濃度に比べて極端に低く、一方、正孔移動領域２３では電子の濃度が正孔

SAMSUNG EX. 1002 - 436/2862

の濃度に比べて極端に低くなる。この状態では、電子と正孔の再結合確率が小さくなり、再結合損失が減少して発電効率が向上する。

【0021】

ところが、図３に示す構造の光起電力素子２００では、光吸収部２１中に電子移動領域もしくは正孔移動領域を設けるために、バルク半導体に不純物をドーピングしてｎ層あるいはｐ層としなければならない。不純物ドーピングによって結晶中には欠陥が増加して捕獲中心が多く形成される。そのため、ｐ層２３で生成された電子が電子移動領域（ｎ層）２２に達するまでに正孔と再結合して消滅する確率、およびｎ層２２で生成された正孔が正孔移動領域（ｐ層）２３に達するまでに電子と再結合して消滅する確率が高くなり、その分再結合損失が増加する。

【0022】

図４のエネルギーバンド図は、このようなキャリアの再結合を考慮して示している。即ち、図４の例では、ｐ層２３からｎ層２２に移動する電子と、ｎ層２２からｐ層２３に移動する正孔のうち、半数のものがそれぞれの移動領域に達するまでに再結合により消失すると仮定して、電子、正孔の移動を表している。具体的に説明すると、電子移動領域２２には、両側の正孔移動領域２３からその領域２３に存在する電子の半分づつが供給され、再結合が無い場合、図（ｂ）の電子移動領域２２には合計８個の電子が存在するようになる。ところが、移動中に半数の電子が正孔との再結合によって消失するので、結果として、図示するように６個の電子が電子移動領域２２に存在することになる。正孔についても同じである。

【0023】

したがって本発明では、キャリアの分離機能を有する光起電力素子において、移動中のキャリアの再結合損失をなるべく低減することが可能な新規な構造を提案する。

【0024】

（実施形態１）

図５に、本発明の実施形態１にかかる光起電力素子２０の断面構造を示す。なお、図５以下において、図１または図３と同じ符号は同じかまたは類似の構成要素を示すので、それらについて重複した説明は行わない。図示するように、本実施形態の光起電力素子２０は、光吸収部２５を、ｎ型半導体で構成される電子移動領域２２とｐ型半導体で構成される正孔移動領域２３とこれらの領域間に設けた不純物をドーピングしない真性半導体領域（ｉ層）２４とで構成している。即ち、電子移動領域２２と正孔移動領域２３間に、不純物のドーピングが無くしたがって欠陥の少ない真性半導体領域２４設けることによって、キャリアの分離機能を維持したまま、不純物ドーピング領域を小さくしている。

【0025】

図５に示す構造の光吸収部２５は、種々の製造方法により製造することができるが、例えば、真性半導体基板上に、ｐ層およびｎ層をｉ層を挟んで順にエピタキシャル成長させることにより、容易に実現することができる。あるいは、真性半導体のバルク基板に対して、イオン注入法等によってｎ型、ｐ型の不純物を所定の領域にドーピングすることによっても、形成することができる。

【0026】

図６に、光起電力素子２０の素子中央部における横方向のエネルギーバンド図を示す。図（ａ）は、光吸収直後であってキャリア分離前のエネルギーバンド構造を示し、図（ｂ）はキャリア分離後のエネルギーバンド構造を示す。以下に、これらの図を参照して、実施形態１にかかる光起電力素子２０の作用効果を説明する。

【0027】

図（ａ）に示すように、光吸収部２５が受光することによって層２５の全体で電子および正孔が生成される。しかしながら、ｐ層即ち正孔移動領域２３で生成された電子およびｉ層２４で生成された電子は、時間の経過と共にエネルギー的に安定なｎ層、即ち電子移動領域２２に移動し、その領域に閉じ込められる。また、ｎ層即ち電子移動領域２２で生成された正孔およびｉ層２４で生成された正孔は、時間の経過と共にエネルギー的に安定

SAMSUNG EX. 1002 - 437/2862

なｐ層、即ち正孔移動領域２３に移動し、その領域に閉じ込められる。その結果、図（ｂ）に示すように、正孔は正孔移動領域２３に、電子は電子移動領域２２に分離された状態が形成される。

【0028】

この場合、図４と同じ仮定、即ちｐ層またはｎ層中の半分の電子または正孔が、それぞれの移動領域への移動中に再結合によって消失するものとすると、ｎ層２２に両側のｉ層を介して隣接する２個のｐ層２３で生成された電子Ａ、Ｂのいずれか一方がｎ層への移動中に消失する。一方、ｉ層２４で形成された電子は再結合を生じず、ｎ層２２中に移動する。その結果、図（ｂ）に示すように、電子移動領域２２に最終的に７個の電子が存在するようになる。正孔の場合も同じ結果となる。

【0029】

この結果を図４の結果と比較すると、本実施形態にかかる光起電力素子において、電子移動領域２２および正孔移動領域２３に最終的に存在する電子、正孔の数が１個増え、その分光起電力素子２０の発電効率が向上することが理解される。

【0030】

本実施形態１による光起電力素子３０を構成する材質の具体例を下記に示す。なお、光起電力素子２０を構成するバルクは、単結晶Ｓｉによって形成されているものとする。

【0031】

電子移動領域２２：ｎ型Ｓｉ層（厚さ１５０μｍ、キャリア濃度1×10^{14}ｃｍ$^{-3}$）

正孔移動領域２３：ｐ型Ｓｉ層（厚さ１５０μｍ、キャリア濃度1×10^{14}ｃｍ$^{-3}$）

真性半導体領域２４：ｉ型Ｓｉ層（厚さ１５０μｍ、キャリア濃度1.5×10^{10}ｃｍ$^{-3}$）

電子収集層２：ｎ＋型Ｓｉ層（拡散深さ１μｍ、キャリア濃度1×10^{19}ｃｍ$^{-3}$）

正孔収集層３：ｐ＋型Ｓｉ層（拡散深さ１μｍ、キャリア濃度1×10^{19}ｃｍ$^{-3}$）

負電極４：Ａｌ層、膜厚２μｍ

正電極５：Ａｌ層、膜厚２μｍ

受光面側拡散層６：ｐ＋型Ｓｉ層（拡散深さ０．５μｍ、キャリア濃度1×10^{18}ｃｍ$^{-3}$）

表面保護膜８Ａ：SiO_2層、膜厚１０ｎｍ

表面保護膜８Ｂ：SiO_2層、膜厚０．３μｍ

反射防止膜９：MgF_2／ＺｎＳの２層膜（膜厚１１０ｎｍ／５０ｎｍ）

【0032】

なお、上記の例では、バルク材料としてＳｉを挙げているが、Ｇｅ、ＳｉＧｅ、ＳｉＣ、Ｃ等の材料を用いても同様な効果を得ることができる。

【0033】

（実施形態２）

図７に、本発明の実施形態２にかかる光起電力素子４０の断面構造を示す。光起電力素子４０では、光吸収部２６の受光面側において、ｉ層２７の幅を広げ、かつ電子移動領域２８、正孔移動領域２９の幅を狭くしている。これにより、裏面側では、電子移動領域２８、正孔移動領域２９が大きくなる。

【0034】

本実施形態の光起電力素子４０では、基本的な作用効果は実施形態１に示す光起電力素子２０と同じであるが、光吸収量の大きい表面側でｉ層２７の占める体積が大きく、その分生成されたキャリアの再結合確率が実施形態１に示す光起電力素子２０の場合よりも低下する効果を有している。また、光吸収部２６において発生したキャリアは、電子と正孔それぞれの移動領域２８、２９内を光起電力素子４０の裏面側に向かって移動するため、各領域２８、２９内では素子の表面側よりも裏面側の方が電流密度が高くなる。本実施形態の光起電力素子４０では、裏面側で電子と正孔移動領域２８、２９の幅が広くなっているため、実施形態１に示す光起電力素子３０に比べて抵抗損失をより低減することができる。これらの効果により、実施形態１の光起電力素子２０よりも発電効率が向上する。

SAMSUNG EX. 1002 - 438/2862

【0035】
本実施形態２による光起電力素子４０を構成する材質の具体例を下記に示す。なお、光吸収部２６は、バルク状の単結晶Ｓｉによって形成されているものとする。
【0036】
電子移動領域２８：ｎ型Ｓｉ層（厚さ１５０μｍ、キャリア濃度$1\times10^{14}cm^{-3}$）
正孔移動領域２９：ｐ型Ｓｉ層（厚さ１５０μｍ、キャリア濃度$1\times10^{14}cm^{-3}$）
真性半導体領域２７：ｉ型Ｓｉ層（厚さ１５０μｍ、キャリア濃度$1.5\times10^{10}cm^{-3}$）
電子収集層２：ｎ＋型Ｓｉ層（拡散深さ１μｍ、キャリア濃度$1\times10^{19}cm^{-3}$）
正孔収集層３：ｐ＋型Ｓｉ層（拡散深さ１μｍ、キャリア濃度$1\times10^{19}cm^{-3}$）
負電極４：Ａｌ層、膜厚２μｍ
正電極５：Ａｌ層、膜厚２μｍ
受光面側拡散層６：ｐ＋型Ｓｉ層（拡散深さ０．５μｍ、キャリア濃度$1\times10^{18}cm^{-3}$）
表面保護膜８Ａ：SiO_2層、膜厚１０ｎｍ
表面保護膜８Ｂ：SiO_2層、膜厚０．３μｍ
反射防止膜９：MgF_2／ＺｎＳの２層膜（膜厚１１０ｎｍ／５０ｎｍ）
【0037】
なお、上記の例では、バルク材料としてＳｉを挙げているが、Ｇｅ、ＳｉＧｅ、ＳｉＣ、Ｃ等の材料を用いても同様な効果を得ることができる。
【0038】
図７に示す光起電力素子４０では、素子表面側の真性半導体領域２７の幅を広くするために、電子移動領域２８、正孔移動領域２９の真性半導体領域２７との界面に直線状の傾斜を設けているが、本発明はこの実施形態に限定されるものではない。例えば、真性半導体領域２７と電子または正孔移動領域の界面を階段状にしても、あるいは曲線状としても良い。
【0039】
図８は、真性領域２７と電子または正孔移動領域との界面３１を階段状とした光起電力素子４１を示し、図９は、界面３１を曲線状とした光起電力素子４２を示している。いずれの例でも、図７に示した光起電力素子４０と同様の作用効果を得ることができる。なお、図８および９に示した光起電力素子４１、４２も、図７に示した光起電力素子４０と同様に、電子移動領域２８および正孔移動領域２９にイオン注入によって不純物をドーピングすることにより、形成することができる。界面３１の形状は、素子表面と平行方向に走査しながら電圧を変えてイオン注入を行うことによって、所望の形状が得られる。
【0040】
（実施形態３）
図１０に、本発明の実施形態３の光起電力素子５０を示す。本実施形態では、基本的な構造は図７に示す実施形態２の素子と同じであるが、真性半導体領域２７と電子移動領域２８、および真性半導体領域２７と正孔移動領域２９との界面に、水素もしくはハロゲン元素を添加した領域３３を形成したことにおいて相違している。図７に示す構造の光起電力素子４０では、領域２８、２９に不純物の拡散後、熱処理を行うと、これらの領域２８、２９中にドーピングされた不純物が領域界面を越えて真性半導体領域２７中に拡散し、界面近傍に電気的な欠陥を多く含む拡散層を形成する。そのため、本実施形態では、この界面近傍（領域３３）に水素またはハロゲン元素を添加することにより、この電気的な欠陥を不活性化するようにしている。その結果、領域３３での再結合損失が低減し、実施形態２に示す光起電力素子４０に比べてセル出力が増加する。
【0041】
なお、界面における不純物の熱拡散は、実施形態１の光起電力素子２０であっても同様に発生するので、素子２０においてｉ層２４とｎ層２２およびｉ層２４とｐ層２３間に水素もしくはハロゲン元素を添加しても、実施形態３の場合と同様の効果が得られる。

SAMSUNG EX. 1002 - 439/2862

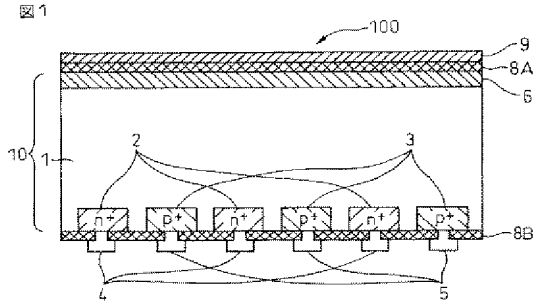
【0042】
本実施形態３にかかる光起電力素子５０を構成する材質の具体例を、下記に示す。なお、光吸収部２６は、バルク状の単結晶Ｇｅによって形成されているものとする。
【0043】
電子移動領域２８：ｎ型Ｇｅ層（厚さ１５０μｍ、キャリア濃度$1\times10^{15}cm^{-3}$）
正孔移動領域２９：ｐ型Ｇｅ層（厚さ１５０μｍ、キャリア濃度$1\times10^{15}cm^{-3}$）
真性半導体領域２７：ｉ型Ｇｅ層（厚さ１５０μｍ、キャリア濃度$2.5\times10^{13}cm^{-3}$）
電子収集層２：ｎ＋型Ｇｅ層（拡散深さ１μｍ、キャリア濃度$1\times10^{19}cm^{-3}$）
正孔収集層３：ｐ＋型Ｇｅ層（拡散深さ１μｍ、キャリア濃度$1\times10^{19}cm^{-3}$）
負電極４：Ａｌ層、膜厚２μｍ
正電極５：Ａｌ層、膜厚２μｍ
受光面側拡散層６：ｐ＋型Ｇｅ層（拡散深さ０．５μｍ、キャリア濃度$1\times10^{18}cm^{-3}$）
表面保護膜８Ａ：SiN_x層、膜厚１０ｎｍ
表面保護膜８Ｂ：SiN_x層、膜厚０．３μｍ
反射防止膜９：SiO_2／TiO_2の２層膜（膜厚１００ｎｍ／６０ｎｍ）
領域３３：水素添加Ｇｅ層（水素含有量$1\times10^{19}cm^{-3}$、厚さ１μｍ）
【0044】
なお、上記の例では、バルク材料としてＧｅを挙げているが、Ｓｉ、ＳｉＧｅ、ＳｉＣ、Ｃ等の材料を用いても同様な効果を得ることができる。また、領域３３に添加する元素として水素を用いているが、ハロゲン元素を用いても同様な効果が得られる。
【図面の簡単な説明】
【0045】
【図1】従来の裏面電極型光起電力素子の基本構造を示す断面図。
【図2】結晶欠陥により形成されるトラップ準位を介した電子と正孔の挙動についてのＳＲＨモデルに基づく４つの過程を示す図。
【図3】図１に示す基本構造に対して電子および正孔移動領域を設けた光起電力素子の構造を示す断面図。
【図4】図３に示す光起電力素子のキャリア分離前とキャリア分離後のエネルギーバンド構造を示す図。
【図5】本発明の実施形態１にかかる光起電力素子の構造を示す断面図。
【図6】図５に示す光起電力素子のキャリア分離前とキャリア分離後のエネルギーバンド構造を示す図。
【図7】本発明の実施形態２にかかる光起電力素子の構造を示す断面図。
【図8】図７に示す光起電力素子の変形例を示す断面図。
【図9】図７に示す光起電力素子の別の変形例を示す断面図。
【図10】本発明の実施形態３にかかる光起電力素子の構造を示す断面図。
【符号の説明】
【0046】
２　　電子収集層
３　　正孔収集層
４　　負電極
５　　正電極
６　　受光面側拡散層
８Ａ、８Ｂ　　表面保護膜
９　　反射防止膜
２０、４０、４１、４２、５０　　光起電力素子
２２　　電子移動領域
２３　　正孔移動領域

SAMSUNG EX. 1002 - 440/2862

２４　　真性半導体領域
２５、２６　　光吸収部
３１　　界面
３３　　水素またはハロゲン元素の添加領域

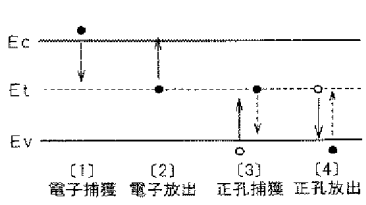
【図1】

図１



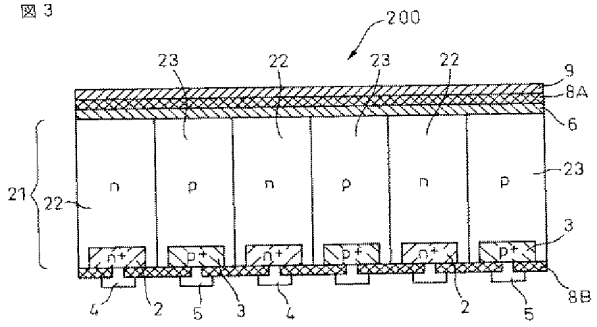
【図2】

図２



【図3】

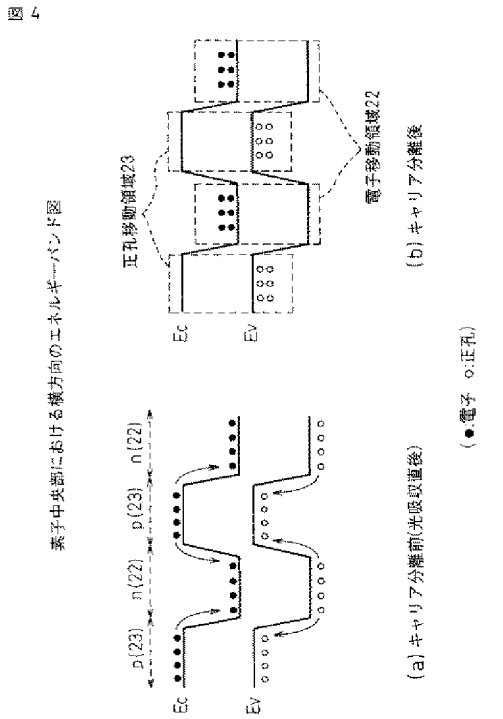
図３



SAMSUNG EX. 1002 - 441/2862

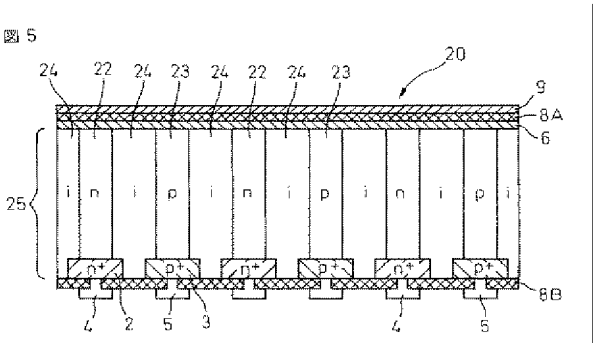
【図4】

図４



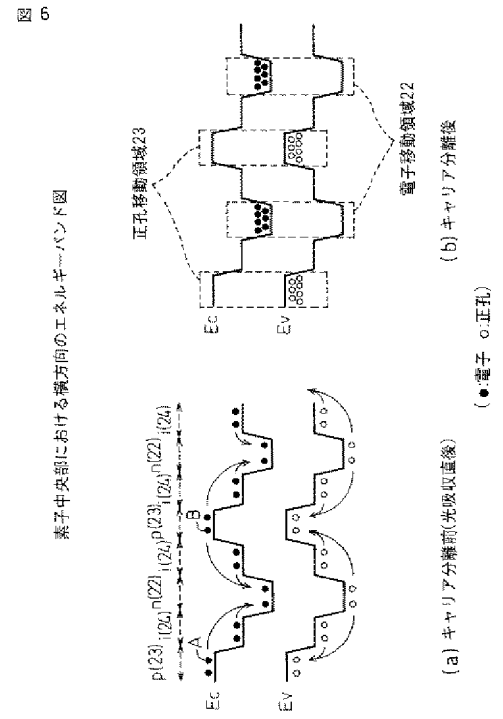
【図5】

図５



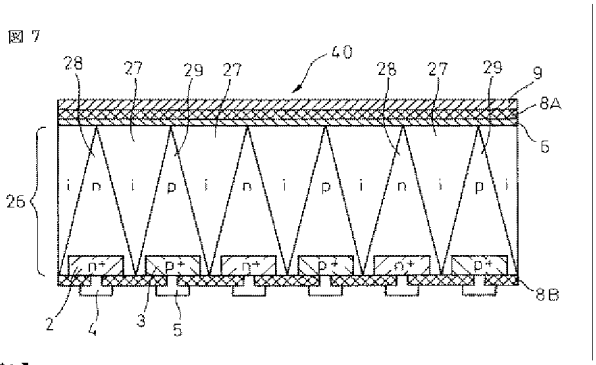
【図6】

図６



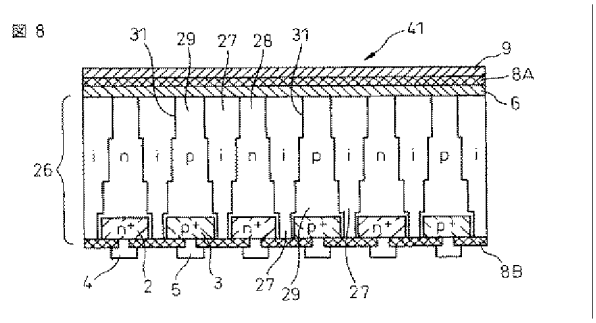
【図7】

図７



【図8】

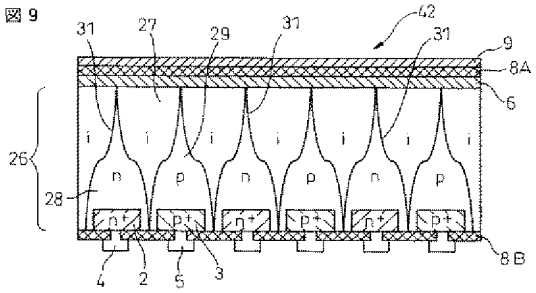
図８



SAMSUNG EX. 1002 - 442/2862

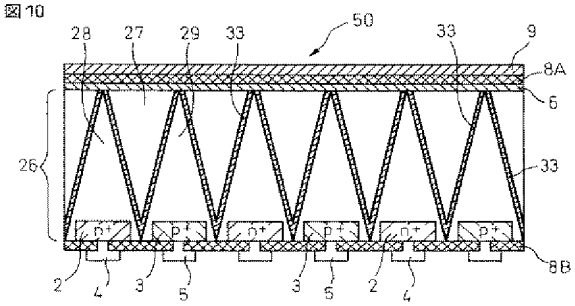
【図9】

図９


31
27
29
31
42
31
9
8A
6
26
28
i
n
p
n+
p+
8B
4
2
5
3

【図10】

図１０


28
27
29
33
50
33
9
8A
6
26
33
n+
p+
8B
2
4
3
5

(72)発明者　奥村　健一
愛知県豊田市トヨタ町１番地　トヨタ自動車株式会社内
Ｆターム(参考) 5F051 AA02　CB30　DA04　FA15

SAMSUNG EX. 1002 - 444/2862

Espacenet

Bibliographic data: JP2007165909 (A) — 2007-06-28

BACKLIT (BACK ELECTRIC) PHOTODIODE AND METHOD FOR MANUFACTURING BACKLIT PHOTODIODE

Inventor(s): WILSON ROBIN; CONOR BROGAN; GRIFFIN HUGH J; MACNAMARA CORMAC ± (WILSON ROBIN, ; CONOR BROGAN, ; GRIFFIN HUGH J, ; MACNAMARA CORMAC)

Applicant(s): ICEMOS TECHNOLOGY CORP ± (ICEMOS TECHNOLOGY CORP)

Classification: **- international:** ***H01L31/10***
- cooperative: **H01L31/022408**

Application number: JP20060337706 20061215

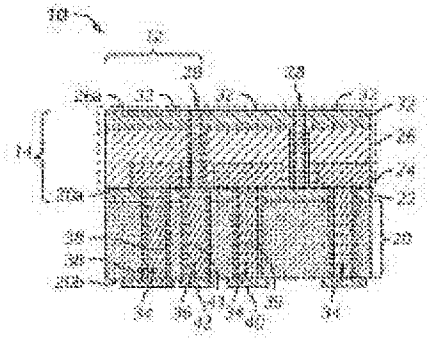
Priority number (s): US20050750873P 20051216

Also published as: JP4755577 (B2) US2007138588 (A1) US7576404 (B2)

Abstract of JP2007165909 (A)

PROBLEM TO BE SOLVED: To provide a photodiode array which is formed on an SOI substrate with backside contacts, and to provide a method for manufacturing it. ;SOLUTION: A backlit photodiode array includes a semiconductor substrate equipped with a first main surface and a second main surface which face each other. A first dielectric layer is formed on the first main surface. A first conductive path and a second conductive path extend through the semiconductor substrate and the first dielectric layer from the second main surface. The first conductive path and the second conductive path are separated from the semiconductor substrate by a second dielectric material. A first anode/cathode layer with first conductivity is formed on the first dielectric layer and is electrically connected to the first conductive path. An intrinsic semiconductor layer is formed on the first anode/cathode layer.; The second anode/cathode layer with the second conductivity, which is opposite to the first conductivity, is formed on the intrinsic semiconductor layer and is electrically connected to the second conductive path. ;COPYRIGHT: (C)2007,JPO&INPIT

SAMSUNG EX. 1002 - 445/2862



SAMSUNG EX. 1002 - 446/2862

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2007-165909
(P2007-165909A)
(43)公開日　平成19年6月28日(2007.6.28)

(51)Int.Cl.		F I		テーマコード（参考）
H01L 31/10	(2006.01)	H01L 31/10	H	5F049
		H01L 31/10	A	

審査請求 未請求　請求項の数 9　ＯＬ　外国語出願　（全 12 頁）

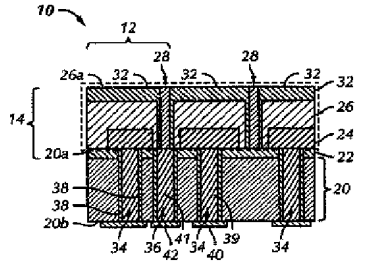
(21)出願番号　特願2006-337706 (P2006-337706)
(22)出願日　平成18年12月15日 (2006.12.15)
(31)優先権主張番号　60/750873
(32)優先日　平成17年12月16日 (2005.12.16)
(33)優先権主張国　米国 (US)

(71)出願人　506416824
アイスモス　テクノロジー　コーポレイション
アメリカ合衆国　アリゾナ州　８５２８５、テンペ　ピーオーボックス　２４６１９
(74)代理人　100087653
弁理士　鈴江　正二
(74)代理人　100121474
弁理士　木村　俊之
(72)発明者　ウィルソン、ロビン
英国　北アイルランド　ビィティ２３　８ゼットタブリュ、ニュータウナーズ　コウ　ダウン、スタンフォード　ゲート　ドライヴ　７

最終頁に続く

(54)【発明の名称】バックリット（後電）フォトダイオードおよびバックリット・フォトダイオートの製造方法

(57)【要約】　（修正有）
【課題】後ろ側接点を有するＳＯＩ基板上に形成されたフォトダイオード配列とその製造方法を提供する。
【解決手段】バックリット・フォトダイオード配列は、相互に対向する第１主表面および第２主表面とを備えた半導体基板を含む。第１誘電層が第１主表面上に形成される。第１導電通路および第２導電通路が第２主表面から半導体基板と第１誘電層を通って延びている。第１導電通路および第２導電通路が第２誘電材料によって半導体基板から分離されている。第１導電率の第１陽極／陰極層が第１誘電層上に形成され、第１導電通路に電気的に連結されている。真性半導体層が第１陽極／陰極層上に形成されている。第１導電率とは反対の第２導電率の第２陽極／陰極層が真性半導体層上に形成されて、第２導電通路に電気的に連結されている。
【選択図】図１



SAMSUNG EX. 1002 - 447/2862

【特許請求の範囲】
【請求項1】
フォトダイオードであって、
相互に対向する第１主表面と第２主表面とを備えた半導体基板と、
上記の第１主表面に形成された第１誘電層と、
上記の第２主表面から上記の半導体基板と第１誘電層とを通って延びる第１導電通路であって、上記の半導体基板から第２誘電材料によって分離されているものと、
上記の第２主表面から上記の半導体基板と第１誘電層とを通って延びる第２導電通路であって、上記の半導体基板から上記の第２誘電材料によって分離されているものと、
第１誘電層上に形成され、第１導電通路と電気的に連結されて、第１導電率を有する第１陽極／陰極層と、
上記の第１陽極／陰極層上に形成された真性半導体層と、
上記の真性半導体層上に形成され、第２導電通路と電気的に連結されて、第１導電率とは反対の第２導電率を有する第２陽極／陰極層とからなるもの
【請求項2】
請求項１に記載のフォトダイオードであって、第１誘電層が酸化物であるもの。
【請求項3】
請求項１に記載のフォトダイオードであって、第１導電率がｐ型およびｎ型の１方であり、第２導電率が他方であるもの。
【請求項4】
フォトーダイオード配列であって、
相互に対向する第１主表面と第２主表面とを備えたＳＯＩ基板であって、第１主表面に近接する誘電層を有するものと、
上記のＳＯＩ基板の第１主表面上の誘電層に形成されたフォトダイオード層であって、上記の誘電層に近接する第１陽極／陰極層を、そして上記のフォトダイオード層の露出面に近接する第２陽極／陰極層とを有するものと、
上記のフォトダイオード層に第２陽極／陰極層に近接して形成され、上記の誘電層までのびる１つ以上の陽極／陰極通路と、
上記のＳＯＩ基板の第２主表面から、ＳＯＩ基板と誘電層とを通って延びる第１導電通路および第２導電通路であって、第１導電通路が第１陽極／陰極層に電気的に連結されており、第２導電通路が第２陽極／陰極層に電気的に連結しているものとからなるもの。
【請求項5】
フォトーダイオード配列の製造方法であって、
相互に対向する第１主表面と第２主表面とを備えたＳＯＩ基板であって、第１主表面に近接する誘電層を有するものを提供し、
上記のＳＯＩ基板の第１主表面上の誘電層にフォトダイオード層を形成し、このフォトダイオード層は上記の誘電層に近接する第１陽極／陰極層を、そして上記のフォトダイオード層の露出面に近接する第２陽極／陰極層とを有しており、
上記のフォトダイオードの上記露出面に上記の誘電層まで延びる１つ以上の陽極／陰極溝を形成し、
上記の１つ以上の陽極／陰極溝の両側をドープし、
上記のＳＯＩ基板の第２主表面から上記のＳＯＩ基板と誘電層とを通って延びる第１通路溝および第２通路溝を形成し、
上記の第１陽極／陰極層に電気的に連結される第１導電層を第１通路溝に形成し、
上記の第２陽極／陰極層に電気的に連結される第２導電層を第２通路溝に形成することからなるもの。
【請求項6】
請求項５に記載した方法であって、
上記のＳＯＩ基板の第２主表面の平坦化、研削および研磨の少なくとも１つを含むもの

SAMSUNG EX. 1002 - 448/2862

。
【請求項7】
請求項５に記載した方法であって、１つ以上の陽極／陰極溝ならびに第１通路溝および第２通路溝が、プラズマ・エッチング、反応イオンエッチング(ＲＩＥ)および化学エッチングの１つを用いて形成されるもの。
【請求項8】
請求項５に記載した方法であって、ドーピングが、イオン打ち込み、固体拡散、液体拡散、ｓｐｉｎ－ｏｎ沈着、プラズマ・ドーピング、気相ドーピングおよびレーザ・ドーピングの１つにより為されるもの。
【請求項9】
請求項５に記載した方法によって形成されるフォトダイオード配列。

【発明の詳細な説明】
【技術分野】
【0001】
〔関連技術の記載〕
本願は、“バックリットフォトダイオードおよびバックリット・フォトダイオートの製造方法”と称する２００５年１２月１６日出願の米国仮出願第６０／７５０,８７３号の優先権を主張するものである。
【背景技術】
【0002】
本発明は、バックリット・フォトダイオード配列、特に、後ろ側接点を有するＳＯＩ基板(絶縁物層上にケイ素を設けた基板)上に形成されたバックリット・フォトダイオード配列に関する。
【0003】
光子検知器あるいはフォト検知器(またはフォトダイオードと言う)は放射パワーあるいは光を直接電流に変換する半導体装置である。ＰＩＮダイオードあるいはＰＩＮフォトダイオードが一般に当業界で知られている。ＰＩＮ／ＮＩＰダイオードはフォート検知器の１つの形態である。
【0004】
ＰＩＮダイオードは、ｐ－ドープされた半導体領域とｎ－ドープされた半導体領域の間に挟まれた、大きくて、中性にドープされた真性領域を備えた１つのタイプのフォトダイオードである。ＰＩＮダイオードの名前は、その材料である、正、真性および負(ＰＩＮ)の層形から来ている。ＰＩＮダイオードは、その電気導電率の増加を入射放射の強度、波長および／または変調率の関数として示す。
【0005】
ＰＩＮダイオードは無線周波数(ＲＦ)およびマイクロウェーブ周波数で可変抵抗器として作動する。ＰＩＮダイオードの抵抗値は前向きのバイアスされた直流電流によってのみ決定される。ＰＩＮダイオードが０バイアスあるいはリバース・バイアス(逆バイアス)である高無線周波数(ＲＦ)では、本質的には逆電圧とは別個の平列板コンデンサとして現れる。
【0006】
フォトコンダクタ配列は、基板あるいはウェーハ上に一緒に配置されたＰＩＮ／ＮＩＰのようなフォート検知器の複数個のグループである。
後側に接点を有するＳＯＩ基板上に形成されたバックリット・フォトダイオード配列を提供することが望ましい。
【発明の開示】
【課題を解決するための手段】
【0007】
簡単に述べると、本発明の１つの実施例は、相互に対向する第１主表面と第２主表面と

SAMSUNG EX. 1002 - 449/2862

を備えた半導体基板と、上記の第１主表面に形成された第１誘電層と、上記の第２主表面から延びる第１導電通路と、上記の第２主表面から延びる第２導電通路とを含むフォトダイオードからなる。上記の第１導電通路は上記の半導体基板と第１誘電層とを通って延びる。第１導電通路は第２誘電材料により半導体基板から分離されている。第２導電通路は半導体基板と第１誘電層とを通って延びている。第２導電通路は、第２誘電材料により半導体基板から分離されている。上記のフォトダイオードは、上記の第１誘電層に形成された第１陽極／陰極層と、この第１陽極／陰極層に形成された真性半導体層と、この真性半導体層に形成された第２陽極／陰極層とを含む。第１陽極／陰極層は電気的に第１導電通路に連結されていて、第１導電率を有するものである。第２陽極／陰極層は、第２導電通路に電気的に連結されていて、第１導電率とは反対の第２導電率を有するものである。

【0008】

本発明のもう１つの実施例は、ＳＯＩ基板とフォトダイオード層とを含むフォトダイオード配列からなる。このＳＯＩ基板は相互に対向する第１主表面と第２主表面と、この第１主表面に近接する誘電層とを有する。上記のフォトダイオード層は、上記のＳＯＩ基板の第１主表面上の誘電層に形成される。上記のフォトダイオードは上記の誘電層に近接する第１陽極／陰極層を、そしてその露出面に近接する第２陽極／陰極層とを有する。この第２陽極／陰極層に近接して、１つ以上の陽極／陰極通路がフォトダイオード層に形成され、誘電層まで延びている。第１導電通路および第２導電通路がＳＯＩ基板の第２主表面からＳＯＩ基板と誘電層とを通って延びている。第１導電通路が、第１陽極／陰極層に電気的に連結し、第２導電通路が、第２陽極／陰極層に電気的に連結している。

【0009】

本発明の更にもう１つの実施例は、相互に対向する第１主表面と第２主表面とを備えたＳＯＩ基板を提供することを含む、フォトダイオード配列の製造方法である。上記のＳＯＩ基板は第１主表面に近接する誘電層を有する。フォトダイオード層がＳＯＩ基板の第１主表面上の誘電層に形成されている。このフォトダイオード層は上記の誘電層に近接して第１陽極／陰極層を有し、その露出面に近接して第２陽極／陰極層を有する。１つ以上の陽極／陰極溝が第２陽極／陰極層に近接してフォトダイオード層に形成されている。この１つ以上の陽極／陰極溝が誘電層まで延び、その両壁がドープされる。第１および第２通路溝がＳＯＩ基板の第２主表面からＳＯＩ基板と誘電層とを通って延びている。第１導電層が第１通路溝に形成され、第１陽極／陰極層に電気的に連結されている。第２導電層が第２通路溝に形成され、第２陽極／陰極層に電気的に連結されている。

【発明を実施するための最良の形態】

【0010】

本発明の上記の概要および以下の詳細な説明は添付図面と共に読めばより良く理解される。本発明を図示するため、図面には現在好ましい実施例が示されているが、本発明は、図示されている正確な装置および器具に限定されるものではない。

【0011】

ある種の用語が以下の説明に便宜上のみ使われているが、これに限定されるものでない。“右”、“左”、“下方”および“上方”の言葉は言及している図面の方向を示す。“内方”および“外方”は、それぞれ、記載されている物体およびその指摘された部分の幾何学的中央に向かうあるいはそこから遠のく方向を言う。上記の用語には上記の言葉と、それらの派生語と、類似の意味の言葉を含む。加えて、クレームおよび明細書の対応部分に使われている“a”の言葉は“少なくとも１つ”を意味する。

【0012】

ここに使用されているように、導電率とは記載されている実施例に限定されれる。然し、当業者であれば、ｐ－型導電率はｎ－型導電率と交換でき、それでも装置は機能的には正しいことを知っている(すなわち、第１あるいは第２導電率型)。よって、ここで用いる場合、ｎあるいはｐと言っているのはｎとｐあるいはｐとｎに置き代えられることを意味する。

【0013】

更に、ｎ＋及びｐ＋は、強くドープされたｎ領域及びｐ領域をそれぞれ意味する。ｎ＋＋及びｐ＋＋は、非常に強くドープされたｎ領域およびｐ領域をそれぞれ意味する。ｎ－及びｐ－は、弱くドープされたｎ領域およびｐ領域をそれぞれ意味する。ｎ－－及びｐ－－は、非常に弱くドープされたｎ領域およびｐ領域をそれぞれ意味する。然し、そのような相対的ドーピングの言葉は限定的なものと解釈すべきではない。

【0014】

図面を詳細に参照すると、全体を通じて同様の符号が同様の要素を示し、図１には、本発明の好ましい実施例による、いくつかのフォトダイオード１２を含むフォトダイオード配列１０が示されている。

【0015】

各フォトダイオード１２は、半導体基板２０を含み、この半導体基板２０は相互に対向する第１主表面２０ａおよび第２主表面２０ｂと、第１主表面２０ａ上に形成されている第１誘電層２２と、第１導電通路３４と、第２導電通路３６とを備える。第１導電通路３４は第２主表面２ｂから半導体基板２０と第１誘電層２２とを通って延びる。第１導電通路３４は第２誘電材料３８により半導体基板２０から分離されている。第２導電通路３６は又第２主表面２０ｂから半導体基板２０と第１誘電層２２とを通って延びている。第２導電通路３６は同様に第２誘電材料３８により半導体基板２０から分離している。フォトダイオード１２は又第１誘電層２２に形成された陽極／陰極層２４と、真性半導体層２６に形成された第２陽極／陰極層３２とを含む。第１陽極／陰極層２４は第１導電通路３４に電気的に連結されて、第１導電率を有する。第２陽極／陰極層３２は第２導電通路３６に電気的に連結されて、第１導電率とは反対の第２導電率を有する。特に、フォトダイオード配列１０はＳＯＩ基板２０を含み、このＳＯＩ基板２０は第１主表面２０ａに近接する誘電層２２を有する。フォトダイオード層１４がＳＯＩ基板２０の第１主表面２０ａ上の誘電層２２に形成されている。各フォトダイオード１２は、誘電層２２に近接する第１陽極／陰極層２４を有し、そして真性半導体層２６の露出面に近接する第２陽極／陰極層３２を有する。１つ以上の陽極／陰極通路２８が各第２陽極／陰極層３２に近接して、各フォトダイオード１２に形成されている。その陽極／陰極通路２８はＳＯＩ基板２０の誘電層２２にまで延びている。複数個の第１導電通路３４および第２導電通路３６がＳＯＩ基板２０の第２主表面２０ｂに形成されている。これら第１導電通路３４および第２導電通路３６はＳＯＩ基板２０と誘電層２２とを通って延びている。第１導電通路３４の各々は各第１陽極／陰極２４に電気連結しており、第２導電通路３６は第２陽極／陰極３２に電気的に連結している。

【0016】

本発明から逸脱することなく、第１導電率はｐ型およびｎ型の一方であり、第２導電率はその他方であり得る。例えば、配列１０のフォトダイオード１２は、本発明から逸脱することなく、ＰＩＮダイオードあるいはＮＩＰダイオードでもよい。半導体基板２０はケイ素(Si)で形成されるのが好ましいが、ヒ化ガリウム（GaAs)、ゲルマニウム(Ge)等のその他の材料で形成されてもよい。

【0017】

一般に、半導体結晶が不純物を含んでいない場合、存在する唯一の電荷保有物は共有連結の熱破壊により生じたものであり、導電性は純粋半導体材料の特徴である。そのような結晶は“真性”半導体と称されている。ＰＩＮあるいはＮＩＰダイオードと言う場合は、当業界では従来弱くドープされた真性領域を含むものを言う場合使用されていた。ここでは、半導体基板あるいは半導体基板／エピタキシアル層を“真性”と言及するため用いられるが、本発明のフォトダイオード配列は、半導体基板が弱くドープされているかあるいはより一層強くドープされている場合でさえドープされていない基板と匹敵する働きをするものである。従って、“真性”の言葉は限定的に解釈されるべきでなく、本発明は、色々の材料から形成された純粋およびドープされた半導体基板を包含し得るものである。

【0018】

図８に示されているように、フォトダイオード配列１０は露出面２６ａに形成された複

SAMSUNG EX. 1002 - 451/2862

数個の陽極／陰極通路２８とこれらの陽極／陰極通路で形成された複数個の隣接する陽極／陰極３２とを含むのが好ましい。この複数個の陽極/陰極３２は、フォトダイオード配列１０をＸ線あるいはコンピュータ造影(ＣＴ)法のような映像に用いる場合、映像の画素と組み合わせてもよい。

【0019】

再び、図１に関し、フォトダイオード配列１０は、第２主基板表面２０ｂに近接する第１導電通路３４および第２導電通路３６の上あるいはこれらと接触して形成される後側接点４０および４２とを含む。

【0020】

図２から図7は１つの可能なフォトダイオード配列１０の製造方法を示す。この方法は、図２に示すように、相互に対向する第１主表面２０ａおよび第２主表面２０ｂを備えたＳＯＩ基板を提供することを含む。ＳＯＩ基板２０は第１表面２０ａに近接する誘電層２２を有する。図３Ａに関して、第１陽極／陰極層２４はＳＯＩ基板２０の第１主表面２０ａ上の誘電層２２に形成されている。真性半導体層２６が次いで第１陽極／陰極層２４に形成される。図３Ｂに示されているように、１つ以上の陽極／陰極溝および好ましくは複数個の間隔を開けて離れた陽極／陰極溝２８’が露出面２６’に近接して真性半導体２６に形成される。上記の１つ以上の陽極／陰極溝２８’は第１陽極／陰極層から誘電層２２まで延びる。

【0021】

図４Ａに関し、上記の１つ以上の陽極／陰極溝２８’の側壁２８ａおよび２８ｂが第１陽極／陰極層２４の導電率とは反対の導電率を有するドーパントでドープされる。図４Ｂに関し、陽極／陰極溝２８’は任意でドープされていないポリシリコンをレフィルして陽極／陰極通路２８を形成してもよい。次いで、露出面２６ａと陽極／陰極通路２８を平坦化して余分なポリシリコンを取除く。図５Ａに示されているように、露出面２６ａがドープされて第２陽極／陰極層３２を形成する。そのドーパントは第１陽極／陰極層２４の導電率とは反対の導電率のものである。第２陽極／陰極層３２は又、通路溝２８’が形成される前に形成することが出来る。

【0022】

ＳＯＩ基板２０は下記の通路溝３４’および３６’のエッチング時間を短縮するため所望のように薄くできる。然し、ＳＯＩ基板２０は十分な強度を保持するに足る厚さを維持すべきである。図５Ｂに関し、第１および第２通路溝３４’および３６’がＳＯＩ基板２０の第２主表面に形成されている。第１および第２通路溝３４’および３６’はＳＯＩ基板２０から誘電層２２まで延びる。図６は、通路溝３４’および３６’の両壁が酸化物のような誘電材料で任意で裏打ちされているのを示す。次いで図６Ｂに示されているように、通路溝３４’および通路溝３６’は第１誘電層２２を通って第１陽極／陰極層２４までエッチングされている。溝３４’は第１陽極／陰極層２４に当接し、溝３６’は陽極／陰極通路２８の１つに当接している。図７に関し、第１導電層３９が第１通路溝３４’に形成されて、この第１導電層３９は第１陽極／陰極２４に電気的に連結されている。第２導電層４１が第２通路溝３６’に形成されており、この第２導電層４１は第２陽極／陰極３２に電気的に連結されている。金属／ケイ化金属の沈着により両導電通路３４および３６ならびに後側接触パッド４０および４２の役割を果たす。

【0023】

図８に関し、陽極／陰極通路２８は又フォトダイオードを相互から分離させる役目を為す。分離のため溝形成に代えて、ドープされた分離領域を用いてもよい。フォトダイオード配列１０の露出面２６ａを選択的にマスクして第３導電率の第２ドーパントでドープする。(通路２８に代わる)ドープされた分離領域は、露出面２６ａから半導体基板２０の少なくとも第１主表面２０ａまで延びる。

【0024】

半導体基板２０および／または真性半導体層２６の表面は、必要なら、以下の工程の１つ以上を用いて平滑化する。

（ｉ）等方性プラズマ・エッチングを用いて、溝の表面から薄いシリコン層(一般には１００―１０００Å)を除去する。
（ｉｉ）犠牲二酸化ケイ素層を溝の表面上で成長させ、緩衝酸化物エッチングあるいは希釈フッ化水素(ＨＦ)酸エッチングのようなエッチングを用いて除去する。

【0025】
これらの技術のいずれかあるいは両方を用いると、残留応力および好ましくない汚染物を除去しつつ、丸い角を備えた平滑な溝表面を生成することができる。然し、垂直壁と方形角を備えることが望ましい場合は、上記の等方性エッチングに代え異方性エッチング方法が用いられる。等方性エッチングとは反対に、異方性エッチングはエッチングされる材料においてエッチング率と方向が異なるものを意味する。

【0026】
イオン打ち込み、固体拡散、液体拡散、ｓｐｉｎ－ｏｎ沈着、プラズマドーピング、気相ドーピング、レーザ・ドーピング等の1つを用いてドーピングが為される。ホウ素(Ｂ)でのドーピングではｐ型領域が多くなり、リン酸Ｐドーピングではｎ型領域が多くなり、ヒ素Ａｓドーピングではｎ型領域が多くなる。アンチモンＳｂ、ビスマスＢｉ、アルミニウムＡｌ、インジウムＩｎ、ガリウムGa等のその他のドーパントが、真性半導体層２６の材料とドーピングの所望の強度によって、用いられる。

【0027】
ドーパントを拡散により施してもよい。真性半導体層２６は、約７００℃から約１２００℃の適切な拡散チャンバにホウ素あるいはリン酸等の固体源に近接して置かれる。あるいは、真性半導体層２６は約７００℃から約１２００℃のドーパントの液体源に晒される。

【0028】
あるいは又、ドーパントは打ち込んでもよい。真性半導体層２６は、約４０～１０００ＫｅＶの範囲の高エネルギー・レベルでホウ素Ｂ、リンＰ、ヒ素As等を打ち込む。エネルギー・レベルは約２００～１０００ＫｅＶの範囲が好ましいが、ドーパントを十分に打ち込めるよう選択すべきである。第２ドーパントは、ホウ素Ｂ、リンＰ、ヒ素As等である。第２陽極／陰極層は第１導電率を有する。１２００℃までの温度での工程における更なる打ち込みが、打ち込まれたドーパントが基板に十分に貫通(driven)されるように１２時間までの間為される。

【0029】
後側接点４０あるいは４２は、スパッタリング、蒸発および／または電気メッキにより形成され、図１に示されているフォトダイオード配列１０になる。接点４０および４２はアルミニウムＡｌ、アルミニウム・シリコンＡｌ[％Ｓｉ]、銅Ｃｕ、金Ａｕ、銀Ａｇ、チタニウムＴｉ、タングステンＷ、ニッケルＮｉ等の金属およびこれらの組み合わせ、あるいはドープされたあるいはドープされていないポリシリコンでもよい。接点４０および４２は又異なる金属の層でもよい。

【0030】
この技術分野で知られているその他の処理工程を本発明から逸脱することなく用いても良い。

【0031】
接着工程は１２００℃までの温度で約数分から６時間までの間焼鈍し炉での基板の焼きなましを含んでもよい。任意で、接着工程はシリコン基板の表面を水(H_2O)および過酸化水素(H_2O_2)で濡らし、濡らしたシリコン基板を共にプレスし、８００～１２００℃で焼鈍す前に乾燥させることを含んでもよい。プラズマエッチングを用いて、接着するシリコン基板の表面上の不純酸化物を除去する。次いで、その他の処理工程全てを為してフォトダイオード配列を形成する。

【0032】
本発明の第２の好ましい実施例によるフォトダイオード配列１０のもう１つの製造方法は相互に対向する第１主表面２０ａおよび第２主表面２０ｂを備えた半導体基板２０を提

SAMSUNG EX. 1002 - 453/2862

供することを含む。酸化物層２２が半導体基板２０の第１主表面２０ａに形成され、この酸化物層２２の上に第１導電率のエピタキシアル層２４が沈着あるいは成長される。エピタキシアル成長あるいは沈着は約１２００℃までの温度の適切な反応室で生じる。その他の処理工程の全てが次いで為されてフォトダイオード配列１０を形成する。

【0033】

従って、フォトダイオード配列１０は、両側が適切にドープされた１枚の基板から形成でき、共に接着され適切にドープされた複数枚の基板からも作成でき、適切にドープされるエピタキシアル成長層を備えた基板からも作成でき、エピタキシアル層を備えた基板から作成され、この基板を適切にドープしても作成できる。

【0034】

以上より、本発明は、後側接点を備えたＳＯＩ基板上に形成されたバックリット・フォトダイオード配列に関することが分かる。当業者であれば、上記の実施例を、その広い発明的概念から逸脱することなく変更できることは認識するであろう。よって、本発明は開示された特定の実施例に限定されず、添付のクレームに記載された本発明の精神と範囲内の変形例もカバーするものである。

【図面の簡単な説明】

【0035】

【図1】本発明の第１の好ましい実施例による、後側接点を有するＳＯＩ基板上に形成されたフォトダイオード配列の部分断面正面図である。

【図2】図１に示すフォトダイオード配列を形成するためのＳＯＩ基板の部分断面正面図である。

【図3】図３Ａおよび図３Ｂは、陽極／陰極溝形成を示す、部分的に形成されたフォトダイオード配列の部分断面正面図である。

【図4】図４Ａお呼びは図４Ｂは、溝のドープと任意の溝のレフィルを示す、部分的に形成されたフォトダイオード配列の部分断面正面図である。。

【図5】図５Ａ及び図５Ｂは、表面拡散と後側通路の溝形成を示す、部分的に形成されたフォトダイオード配列の部分断面正面図である。

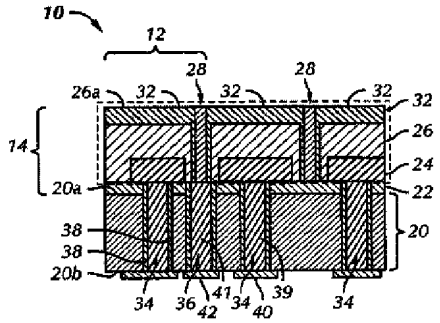
【図6】図６Ａ及び図６Ｂは、通路の側壁の酸化を示す、部分的に形成されたフォトダイオード配列の部分断面正面図である。

【図7】図７は金属／ケイ化金属接点の沈着を示す、部分的に形成されたフォトダイオード配列の部分的断面正面図である。

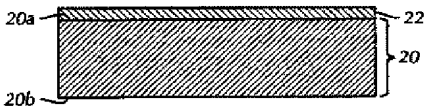
【図8】図８は分離溝あるいはインプラントを示す、図１に示したフォトダイオード配列の平面図である。

SAMSUNG EX. 1002 - 454/2862

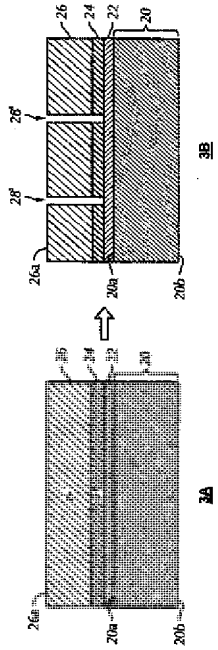
【図1】



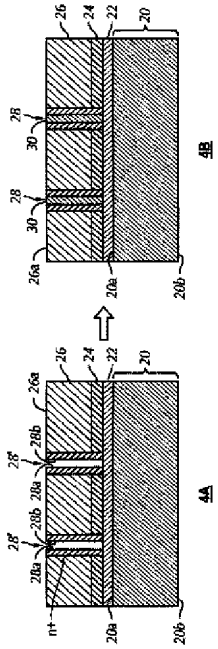
【図2】



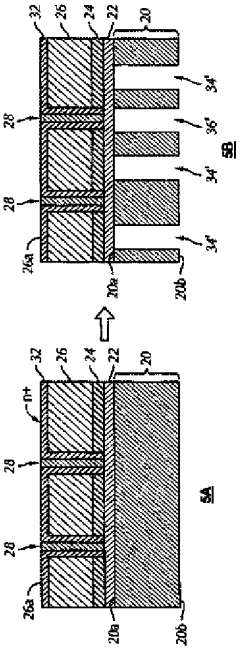
【図3】



【図4】

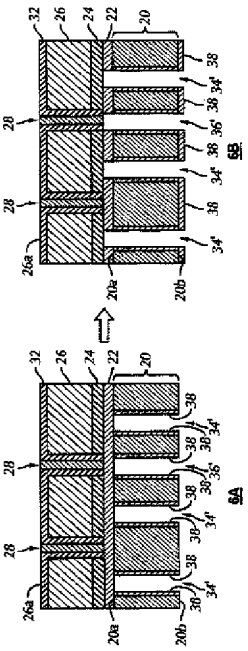


【図5】

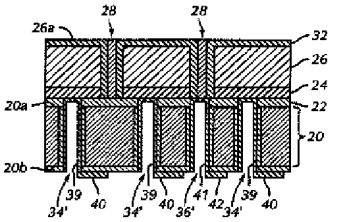


SAMSUNG EX. 1002 - 455/2862

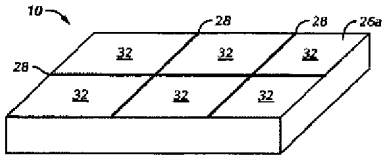
【図6】



【図7】



【図8】



(72)発明者　ブロガン、コーナー
英国　北アイルランド　ビィティ５　７ディティ、ベルファースト、ギルナハーク　ライズ　１９
(72)発明者　グリフィン、ヒュー　ジェイ
英国　北アイルランド　ビィティ３６　７イージェイ、ニュータウナベイ　コウ　アントリム、アーサー　アヴェニュ　２７
(72)発明者　マクナマラ、コーマック
英国　北アイルランド　ビィティ７　３イージィ、ベルファースト、サニィサイド　ストリート　１２８

Ｆターム(参考) 5F049 MA04 MB02 NA19 NB10 PA06 PA07 PA08 PA09 PA10 PA14
PA15 RA04 SE05 SE20 SS03 SS08

SAMSUNG EX. 1002 - 457/2862

【外国語明細書】
2007165909000001.pdf

SAMSUNG EX. 1002 - 458/2862

Espacenet

Bibliographic data: JP2007180642 (A) — 2007-07-12

HIGH DEFINITION IMAGE SERIAL DATA TRANSMISSION APPARATUS

Inventor(s): MATSUMOTO HIDEKI ± (MATSUMOTO HIDEKI)

Applicant(s): SWCC SHOWA DEVICE TECH CO LTD ± (SWCC SHOWA DEVICE TECHNOLOGY CO LTD)

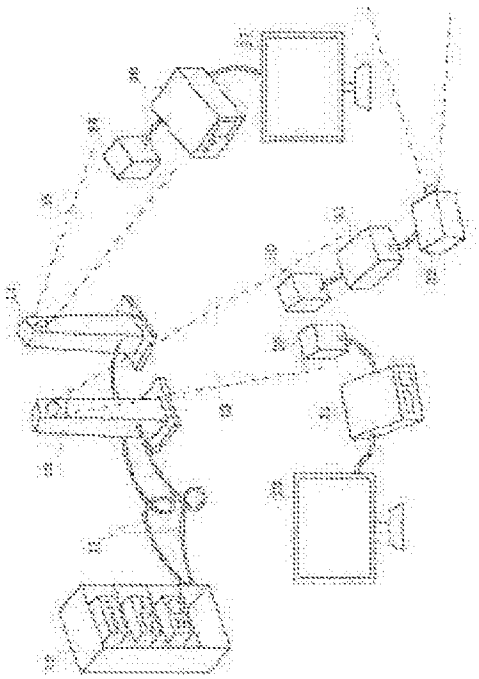
Classification: **- international:*H04B10/00; H04B10/112; H04N21/647; H04N7/22***
- cooperative:

Application number: JP20050373833 20051227

Priority number (s): JP20050373833 20051227

Abstract of JP2007180642 (A)

PROBLEM TO BE SOLVED: To provide a technology of carrying out high definition image transmission for a presentation in a conference room or an auditorium, for information display, and for an event hall or the like. ;SOLUTION: Three kinds of R, G, B (red, green, blue) color signals and a control signal are converted into serial signals and transmitted up to a data transmission place by using one optical fiber cable 11. The signals are wirelessly transmitted from the data transmission place to a data receiving place by using a light beam 13. A receiver side converts and reproduces the serial signals. When many high definition display apparatuses 22 or the like are in particular located in the event hall or the like and a video signal is transmitted to them, the transmission place has been limited so far to a place very close to the display apparatuses 22 or the like. Since the transmission place is located on one place in the event hall in the technology disclosed herein and the video signal can be transmitted to each display apparatus wirelessly therefrom, constraints in the design of a facility can be eliminated. ;COPYRIGHT: (C)2007,JPO&INPIT



(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2007-180642
(P2007-180642A)
(43)公開日　平成19年7月12日(2007.7.12)

(51)Int.Cl.		F I			テーマコード（参考）
H04N 7/22	(2006.01)	H04N	7/22		5C164
H04B 10/00	(2006.01)	H04B	9/00	C	5K102

審査請求 未請求　請求項の数 4　OL　（全 7 頁）

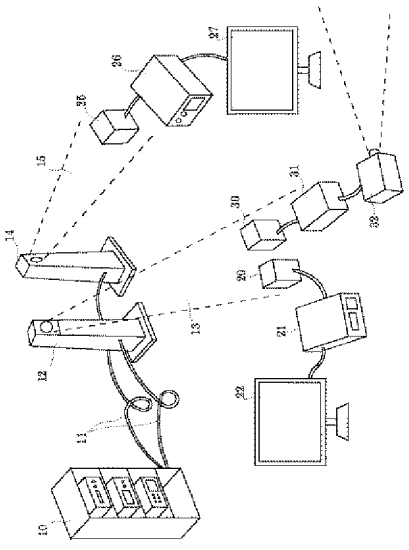
(21)出願番号　特願2005-373833 (P2005-373833)
(22)出願日　平成17年12月27日 (2005.12.27)

(71)出願人　306013119
昭和電線デバイステクノロジー株式会社
東京都港区虎ノ門１丁目１番１８号
(74)代理人　100102923
弁理士　加藤　雄二
(72)発明者　松本　秀樹
神奈川県川崎市川崎区小田栄２丁目１番１号　昭和電線電纜株式会社内

Ｆターム(参考)　5C164 TA02S TB42P
5K102 AB01 AL23

(54)【発明の名称】高精細画像シリアルデータ伝送装置

(57)【要約】
【課題】　会議室や講堂でのプレゼンテーション、インフォメーションディスプレイ、イベント会場等で、高精細画像伝送をする。
【解決手段】
Ｒ・Ｇ・Ｂ（赤・緑・青）の３種類の色信号と制御信号をシリアル信号に変換し、１本の光ファイバケーブル１１を用いて、データ送信場所まで伝送する。データ送信場所から受信場所までは、光ビーム１３を用いて無線伝送をする。受信側ではそのシリアル信号を変換してから再生する。特にイベント会場などに多数の高精細ディスプレイ２２等を配置し、これらに映像信号を送信する場合に、その送信場所がこれまでディスプレイ２２等に極めて近い場所に限定されていた。この発明では、イベント会場の１ヶ所に送信場所を設け、そこから無線で各ディスプレイに映像信号を送信できるので、設備の設計上の制約がなくなる。
【選択図】図１



SAMSUNG EX. 1002 - 461/2862

【特許請求の範囲】
【請求項1】
ディジタル画像データを高精細画像シリアルデータに変換するシリアライザと、
前記高精細画像シリアルデータを光信号に変換するドライバ回路と、
前記ドライバ回路の出力する光信号を伝送する光ファイバケーブルと、
この光ファイバケーブルの出力を光ビームに変換する光無線送信モジュールとを備えたことを特徴とする高精細画像シリアルデータ伝送装置。
【請求項2】
ディジタル画像データから得られた高精細画像シリアルデータを、光信号に変換してから送信された光ビームを受信して、前記光信号を得る光無線受信モジュールと、
この光無線受信モジュールの出力する光信号から前記高精細画像シリアルデータを復元する受信回路と、
前記高精細画像シリアルデータを、前記データソースの出力したディジタル画像データに逆変換する変換回路を備えたことを特徴とする高精細画像シリアルデータ伝送装置。
【請求項3】
ディジタル画像データを高精細画像シリアルデータに変換するシリアライザと、
前記高精細画像シリアルデータを光信号に変換するドライバ回路と、
前記ドライバ回路の出力する光信号を伝送する光ファイバケーブルと、
この光ファイバケーブルの出力を光ビームに変換する光無線送信モジュールと、
前記光ビームを受信して、前記光信号を得る光無線受信モジュールと、
この光無線受信モジュールの出力する光信号から前記高精細画像シリアルデータを復元する受信回路と、
前記高精細画像シリアルデータを、前記データソースの出力したディジタル画像データに逆変換する変換回路を備えたことを特徴とする高精細画像シリアルデータ伝送装置。
【請求項4】
請求項１乃至３のいずれかに記載の高精細画像シリアルデータ伝送装置において、
前記光ファイバケーブルを伝送される光信号の波長と前記光ビームの波長が同一であることを特徴とする高精細画像シリアルデータ伝送装置。

【発明の詳細な説明】
【技術分野】
【0001】
本発明は、高精細ディジタル画像データを光ビームを用いて無線伝送する機能を持つ高精細画像シリアルデータ伝送装置に関する。
【背景技術】
【0002】
近年、モニターの高精細化により、XGA（eXtended Graphics Array）やWXGA（Wide eXtended Graphics Array）などの表示パネルが出現し、そのインターフェースとしてDVI（Digital Visual Interface）などが規格化されている。また、テレビにおいてもHDTV（高精細テレビ）が次第に浸透してきている（特許文献１）。
【特許文献1】特開２００５－１３０３５８号公報
【発明の開示】
【発明が解決しようとする課題】
【0003】
ところで、上記の技術には、次のような解決すべき課題があった。
ディジタル高精細画像信号をＤＶＩ規格のインターフェースを用いて伝送するには、Ｒ・Ｇ・Ｂ（赤・緑・青）の３種類の色信号と制御信号をパラレル伝送する。ところが、こうした信号を伝送する電気ケーブルは、最大でも１０メートル程度のものしか使用できない。それ以上になると、各信号間の伝送遅延が著しくなり、同期が取れなくなる。一方、(1)会議室や講堂でのプレゼンテーション、(2)インフォメーションディスプレイ、(3)イベント会場等では、数十メートルの伝送能力が要求される。これは、３種類の色信号と制

SAMSUNG EX. 1002 - 462/2862

御信号をE/O変換して光ファイバーで伝送することで解決できる。しかし、一時的な利用に４本もの光ファイバケーブルの敷設工事を要求すると、設備費用が高額になり、配線設計に制約を受けて自由度も小さくなる。電波を利用した無線伝送では莫大な帯域を必要とする。

本発明は、以上の課題を解決するためになされたもので、光ファイバーケーブルと光無線送受信モジュールとを組み合わせて、敷設場所に応じて柔軟に対応することができる高精細画像シリアルデータ伝送装置を提供することを目的とする。

【課題を解決するための手段】

【0004】

本発明の各実施例においては、それぞれ次のような構成により上記の課題を解決する。

〈構成１〉

ディジタル画像データを高精細画像シリアルデータに変換するシリアライザと、上記高精細画像シリアルデータを光信号に変換するドライバ回路と、上記ドライバ回路の出力する光信号を伝送する光ファイバケーブルと、この光ファイバケーブルの出力を光ビームに変換する光無線送信モジュールとを備えたことを特徴とする高精細画像シリアルデータ伝送装置。

【0005】

データソースから入力したディジタル画像データを高精細画像シリアルデータに変換して、光ファイバケーブルを使用して送信場所まで伝送するので、１本の光ファイバケーブルを使用して低価格で簡単に信号を伝送できる。しかも、１対Ｎの送信も自由にできる。また、送信場所からその信号を光ビームにより伝送するので、受信装置までの光ファイバケーブルの複雑な布設工事が不要になる。従って、イベント会場や講演会等で自由なレイアウトで受信装置とディスプレイを配置できる。

【0006】

〈構成２〉

ディジタル画像データから得られた高精細画像シリアルデータを、光信号に変換してから送信された光ビームを受信して、上記光信号を得る光無線受信モジュールと、この光無線受信モジュールの出力する光信号から上記高精細画像シリアルデータを復元する受信回路と、上記高精細画像シリアルデータを、上記データソースの出力したディジタル画像データに逆変換する変換回路を備えたことを特徴とする高精細画像シリアルデータ伝送装置。

【0007】

構成１は送信装置で構成２は受信装置である。高精細画像シリアルデータを、データソースの出力したディジタル画像データに逆変換することができる。

【0008】

〈構成３〉

ディジタル画像データを高精細画像シリアルデータに変換するシリアライザと、上記高精細画像シリアルデータを光信号に変換するドライバ回路と、上記ドライバ回路の出力する光信号を伝送する光ファイバケーブルと、この光ファイバケーブルの出力を光ビームに変換する光無線送信モジュールと、上記光ビームを受信して、上記光信号を得る光無線受信モジュールと、この光無線受信モジュールの出力する光信号から上記高精細画像シリアルデータを復元する受信回路と、上記高精細画像シリアルデータを、上記データソースの出力したディジタル画像データに逆変換する変換回路を備えたことを特徴とする高精細画像シリアルデータ伝送装置。

【0009】

構成３は送信装置と受信装置とを含む。

【0010】

〈構成４〉

構成１乃至３のいずれかに記載の高精細画像シリアルデータ伝送装置において、上記光ファイバケーブルを伝送される光信号の波長と上記光ビームの波長が同一であることを特

SAMSUNG EX. 1002 - 463/2862

徴とする高精細画像シリアルデータ伝送装置。

【0011】

光ファイバケーブルを伝送される光信号の波長と前記光ビームの波長を同一にすると、受信側は簡単な光学部品を使うことができる。従って、システムのコストダウンが図れる。

【発明を実施するための最良の形態】

【0012】

本発明では、Ｒ・Ｇ・Ｂ（赤・緑・青）の３種類の色信号と制御信号をシリアル信号に変換し、１本の光ファイバ通信路を用いて、データ送信場所まで伝送する。データ送信場所から受信場所までは、光ビームを用いて無線伝送をする。受信側ではそのシリアル信号をディジタル画像データに変換してから再生する。特にイベント会場などに多数の高精細ディスプレイを配置し、これらに映像信号を送信する場合に、その送信場所がこれまでディスプレイに極めて近い場所に限定されていた。この発明では、イベント会場の１ヶ所に送信場所を設け、そこから無線で各ディスプレイに映像信号を送信できるので、設備の設計上の制約がなくなる。これは、会議室などでプロジェクタへパーソナルコンピュータを用いて画像信号を送信するようなケースにも利用できる。以下、本発明の実施の形態を実施例ごとに詳細に説明する。

【実施例】

【0013】

図１は、実施例１の高精細画像シリアルデータ伝送装置を示す概略図である。

送信ユニット１０には、データソースを供給するＤＶＤレコーダやコンピュータ等が搭載されている。さらに、これらの出力信号を高精細画像シリアルデータに変換して、光ファイバケーブル１１に供給する装置が搭載されている。この内部構造の詳細は後で図２を用いて説明する。この例では、２箇所の送信場所を設けて、それぞれ光無線送信モジュール１２と光無線送信モジュール１４とを配置した。両者は全く同一の機能を持つ。そして、それぞれ光ビーム１３と光ビーム１５を送信する。

【0014】

例えば、イベント会場の、会場内を広く見渡せる場所に送信場所を確保する。ここに、光無線送信モジュール１２や１４を配置する。そして、送信ユニット１０と光無線送信モジュール１２や１４を光ファイバケーブル１１で接続する。光無線受信モジュール２０や３０や２５は、会場内の任意の場所に配置する。そして、光無線送信モジュール１２と光無線受信モジュール２０や３０の光軸を合わせる。また、光無線送信モジュール１４と光無線受信モジュール２５の光軸を合わせる。これで送受信の準備ができる。

【0015】

光無線受信モジュール２０には、受信ユニット２１が接続されている。受信ユニット２１には、ディスプレイ２２が接続されている。光無線受信モジュール３０には、受信ユニット３１が接続されている。受信ユニット３１には液晶プロジェクタ３２が接続されている。光無線受信モジュール２５には受信ユニット２６が接続されている。受信ユニット２６にはディスプレイ２７が接続されている。ディスプレイ２２やディスプレイ２７は送信側で供給されたデータソースを再生表示する。液晶プロジェクタ３２はその画像を壁面やスクリーン等（図示しない）に投射する。こうして、例えば、イベント会場の各所に、高精細画像を表示できる。光ビーム１３や光ビーム１５の到達距離は数十メートルある。従って、広い会場のどこへでも、無線により高精細画像を送信することができる。

【0016】

図２は、送信ユニット１０の詳細を示すブロック図である。

送信ユニット１０は、ディジタル変換回路（以下、ディジタルビデオインタフェース回路）４１（DVI-I Receiver：TMDSレシーバー）と、シリアライザ４２（DVI to Serial）と、ドライバ回路（以下、レーザドライバ）４３を備える。

【0017】

ディジタルビデオインタフェース回路４１は、ディジタル画像データRGB、CLK信号、DD

SAMSUNG EX. 1002 - 464/2862

C(Display Data Channel)信号及びその他の制御信号を受信して、パラレルのRGB信号とこれらをコントロールするCLK、DE、HSync、VSync、CTL0～3に変換する。ディジタルビデオインタフェース回路４１の出力信号はシリアライザ４２に入力する。

【0018】

シリアライザ４２は、入力信号をシリアルデータに変換する。レーザドライバ４３は、シリアライザ４２の出力するシリアル信号によりレーザ光を変調し、光ファイバーケーブル１１に導く。光ファイバケーブル１１は、光無線送信モジュール１２に接続されている。光無線送信モジュール１２は、光ファイバケーブル１１の出力光を、ある放射角で空間に送出するこの光ビーム１３が、受信ユニット２１に向けて送出される。

【0019】

なお、光ファイバケーブル１１は、マルチモードファイバー（MMF）が望ましい。MMFはシングルモードファイバー（SMF）に比べコア径が約5倍あり、光信号を導入したり取り出すための光結合器の光学的精度が低くて良いという利点がある。また、レーザドライバ４３の出力側に１対Ｎのスターカプラを配置すると、出力信号をＮ本の光ファイバケーブルに分配できる。従って、その先にＮ台の光無線送信モジュール１２や１４を接続することが可能である。

【0020】

図３は、受信ユニット２１の詳細を示すブロック図である。

受信ユニット２１は、光無線受信モジュール２０と、光ファイバケーブル５１を介して接続されている。受信ユニット２１は、光／電気変換素子５２（PD）と、変換回路（以下、デシリアライザ）５３（Serial to DVI）と、受信回路（以下、ディジタルビデオインタフェース回路）５４（DVI Xmitter）とを備える。光無線受信モジュール２０は、光無線送信モジュール１２（図２）により送出された光ビーム１３を、ある距離隔てた場所でレンズにて集光し、光ファイバケーブル５１に導く。

【0021】

光／電気変換素子５２は、光無線受信モジュール２０の出力する光信号を、光ファイバケーブル５１を通じて受け入れて、O/E変換する回路である。デシリアライザ５３は、光／電気変換素子５２の出力するシリアル画像データを受け入れて、パラレルのRGB信号とこれらをコントロールするCLK、DE、HSync、VSync、CTL0～3を出力する回路である。ディジタルビデオインタフェース回路５４は、デシリアライザ５３の出力を受け入れて、DVI-I規格で定められているTMDS信号に変換する回路である。この信号は、ディジタル画像データRGB、CLK信号、DDC信号及びその他の制御信号を含む。

【0022】

なお、レーザ光はIEC60825により安全基準が規定されている。Class１Mの許容光パワーは波長に依存する。1.5μm帯の光は、800nm帯または1.3μm帯の光に比べて、10倍のパワーでも安全とされている。従って、光ビームの波長を1.5μm帯に選定すると、光無線伝送する場合、10倍の光パワーで送出できる。これは、システムの設計上大変に有利である。ゆえに、光ビームの波長は、1.5μm帯が望ましい。また、光ファイバケーブル１１を伝送される光信号の波長と光ビーム１３の波長が同一であることが望ましい。

【0023】

これにより、図２において、光ファイバケーブル１１と光無線送信モジュール１２との間に光信号を光ビームに変換するための回路が不要になる。光学的な接続装置のみで足りる。また、図３において、光無線受信モジュール２０と光ファイバ５１の間に光ビームを光信号に変換するための回路が不要になる。光学的な接続装置のみで足りる。なお、図１に示すように、１本の光ビーム１３の照射範囲に複数台の光無線受信モジュール２０や３０を配置すると、同一の信号を複数で同時に受信できる。

【0024】

以上の構成により次のような効果が期待できる。

まず、これまでのメタル通信では不可能であった長距離通信を可能とする。また、シリアルデータ伝送のため、１心の光ファイバケーブルのみで信号の伝送が可能である。また

SAMSUNG EX. 1002 - 465/2862

、パラレル伝送のような信号間のスキューが問題となることが無く、長距離伝送に優位である。さらに、これまで莫大な帯域が必要であるため不可能であった非圧縮のディジタル画像データの無線伝送を可能とする。従って、ケーブル布設工事が容易でない場所での伝送が可能となった。また、イベント会場での画像データ伝送を簡便に構築可能にした。１心の光ファイバケーブルを伝送媒体とするので、ファイバーカプラを利用することにより、これまで不可能であった１対ｎ伝送が可能になる。

【図面の簡単な説明】

【0025】

【図1】実施例１の高精細画像シリアルデータ伝送装置を示す概略図である。

【図2】送信ユニット１０の詳細を示すブロック図である。

【図3】受信ユニットの詳細を示すブロック図である。

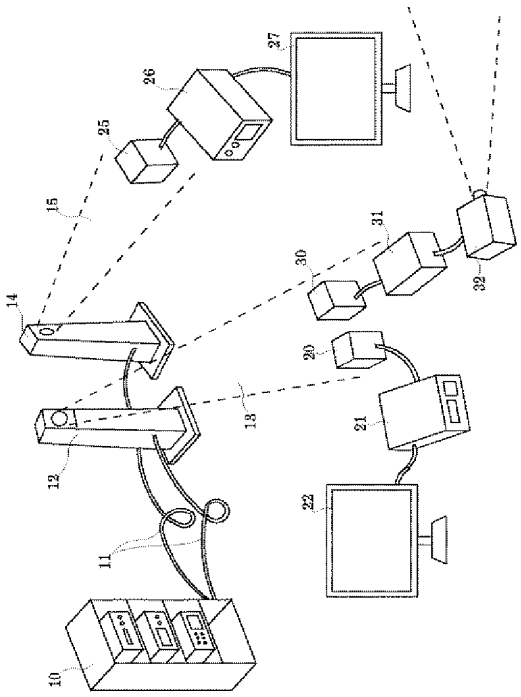
【符号の説明】

【0026】

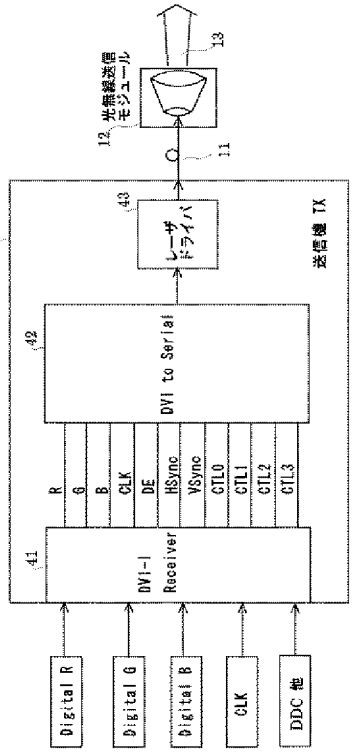
１０　送信ユニット
１１　光ファイバケーブル
１２　光無線送信モジュール
１３　光ビーム
１４　光無線送信モジュール
１５　光ビーム
２０　光無線受信モジュール
２１　受信ユニット
２２　ディスプレイ
２５　光無線受信モジュール
２６　受信ユニット
２７　ディスプレイ
３０　光無線受信モジュール
３１　受信ユニット
３２　液晶プロジェクタ

SAMSUNG EX. 1002 - 466/2862

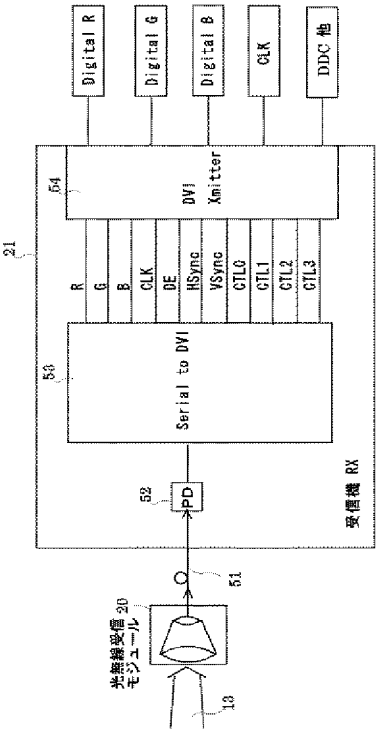
【図1】



【図2】



【図3】



SAMSUNG EX. 1002 - 467/2862

SAMSUNG EX. 1002 - 468/2862

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 2007180643
PUBLICATION DATE : 12-07-07

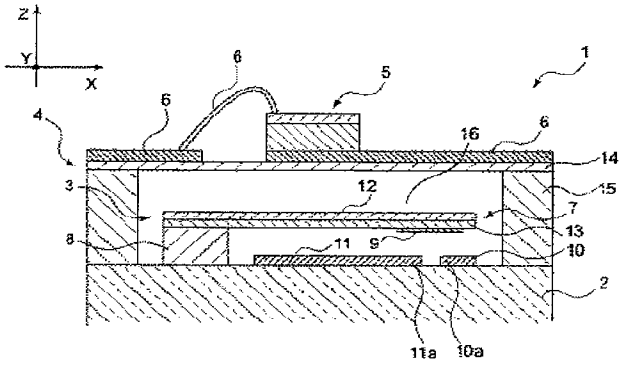
APPLICATION DATE : 27-12-05
APPLICATION NUMBER : 2005373849

APPLICANT : SONY CORP;

INVENTOR : KATOU GOUSAKU;

INT.CL. : H03K 17/78 (2006.01), H01L 25/18 (2006.01), H01L 25/07 (2006.01), H01L 25/065 (2006.01), H01S 5/00 (2006.01), H01L 33/00 (2006.01)

TITLE : SWITCHING DEVICE, SIGNAL TRANSMISSION CIRCUIT DEVICE, AND SWITCHING METHOD



ABSTRACT : PROBLEM TO BE SOLVED: To provide a switching device that has almost no loss in a signal transmission circuit, enables to easily take impedance matching while allowing isolation during cut-off to be sufficiently obtained, and is capable of reducing manufacturing costs; and to provide a signal transmission circuit device using the switch device, and a switching method for the signal transmission circuit device.

SOLUTION: The switching device is provided with a movable member 7 that allows a contact electrode 9 as a conductive member to be brought into contact with wiring sets 10, 11 or allows the contact electrode to be separated from the wiring sets while being deformed with thermal energy of light by receiving the light emitted from a light source 5. Accordingly, it is possible to switch in a state that a switch control circuit and the wiring sets or the like electrically connected to a signal line as a signal transmission circuit are completely, spatially, and electrically separated from each other. By this, it prevents a high-frequency signal component from leaking to the switch control circuit side while allowing isolation during switching to be sufficiently obtained.

COPYRIGHT: (C)2007,JPO&INPIT

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2007-180643
(P2007-180643A)
(43)公開日　平成19年7月12日(2007.7.12)

(51)Int.Cl.		F I			テーマコード（参考）
H03K 17/78	(2006.01)	H03K	17/78	N	5F041
H01L 25/18	(2006.01)	H01L	25/08	B	5F173
H01L 25/07	(2006.01)	H01S	5/00		5J050
H01L 25/065	(2006.01)	H01L	33/00	L	
H01S 5/00	(2006.01)				

審査請求 未請求　請求項の数 12　ＯＬ　（全 22 頁）　最終頁に続く

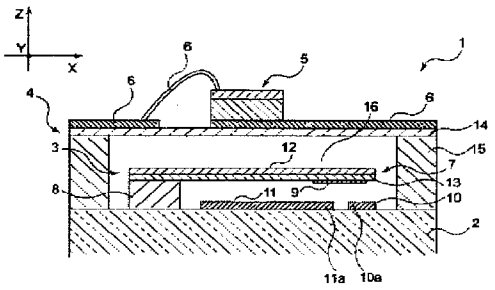
(21)出願番号　特願2005-373849 (P2005-373849)
(22)出願日　平成17年12月27日 (2005.12.27)

(71)出願人　000002185
ソニー株式会社
東京都港区港南１丁目７番１号
(74)代理人　100104215
弁理士　大森　純一
(72)発明者　加藤　豪作
東京都品川区北品川６丁目７番３５号　ソニー株式会社内

Ｆターム(参考)　5F041 DA07 DA20 FF16
5F173 MA10 MD04 MD59
5J050 AA07 BB18 DD03 DD18 EE16
FF04 FF06 FF13

(54)【発明の名称】スイッチ装置、信号伝送回路装置及びスイッチング方法

(57)【要約】
【課題】信号伝送回路での損失が少なく、かつ、カットオフ時のアイソレーションが十分に取れると共にインピーダンス整合がとり易く、製造コストを低減できるスイッチ装置、そのスイッチ装置を用いた信号伝送回路装置、そのスイッチング方法を提供すること。
【解決手段】光源５から出射された光を受け、その光の熱エネルギーにより変形することで、導電部材としての接触電極９を配線１０、１１に接触させ、または、離間させる可動部材７を具備することとした。従って、完全にスイッチ制御回路と信号伝送回路としての信号線路に電気的に接続された配線等とを空間的、電気的に分離した状態でスイッチングできる。これにより、スイッチング時のアイソレーションを十分とることが可能となると共に、高周波信号成分がスイッチ制御回路側へ漏れてしまうことがなくなる。
【選択図】　図３



BNSDOCID: <JP　2007180643A__I_>

SAMSUNG EX. 1002 - 470/2862

【特許請求の範囲】
【請求項1】
機能素子をスイッチングするスイッチ装置において、
光源と、
前記機能素子に電気的に接続可能な配線と、
導電部材を有し、前記光源から出射された光を受け、その光の熱エネルギーにより変形することで、前記導電部材を前記配線に接触させ、または、離間させる可動部材と
を具備することを特徴とするスイッチ装置。
【請求項2】
請求項１に記載のスイッチ装置であって、
前記可動部材は、第１の熱膨張係数を有する第１の部材とその熱膨張係数と異なる第２の熱膨張係数を有する第２の部材とを有することを特徴とするスイッチ装置。
【請求項3】
請求項１に記載のスイッチ装置であって、
前記可動部材は、第１の熱膨張係数を有する第１の部材と、その熱膨張係数と異なる第２の熱膨張係数を有する第２の部材と、前記第１の熱膨張係数と異なる第３の熱膨張係数を有する第３の部材とを有し、前記第１の部材は、前記第２の部材と前記第３の部材との間に挟まれていることを特徴とするスイッチ装置。
【請求項4】
請求項３に記載のスイッチ装置であって、
前記第３の部材は、前記第２の部材と同じ材料で形成され、かつ、その大きさが異なることを特徴とするスイッチ装置。
【請求項5】
請求項１に記載のスイッチ装置であって、
前記光源は、半導体レーザ、発光ダイオードまたは、エレクトロルミネセンスパネルであることを特徴とするスイッチ装置。
【請求項6】
請求項１に記載のスイッチ装置であって、
前記可動部材は、第１の光吸収率を有する第１の領域と、前記第１の光吸収率より高い第２の光吸収率を有し、前記光を受ける第２の領域とを有することを特徴とするスイッチ装置。
【請求項7】
請求項１に記載のスイッチ装置であって、
前記配線が設けられた基板と、その基板上に固定され、前記可動部材を収容し、前記光源が外側に実装されると共に当該光源から出射される光が前記可動部材に到達するように、光透過性を有するカバー部材とを更に具備することを特徴とするスイッチ装置。
【請求項8】
請求項７に記載のスイッチ装置であって、
前記カバー部材は、
光透過性を有し、その外側に前記光源が実装される光透過性基板と、
前記光透過性基板と前記基板との間に設けられ、前記可動部材と前記配線の少なくとも一部とが収容される中空部を有する中間基板と
を有することを特徴とするスイッチ装置。
【請求項9】
基板と、
前記基板に設けられた機能素子と、
光源を有し、その光源から出射された光を受け、その光の熱エネルギーにより変形して、前記機能素子をスイッチングするスイッチ素子と
を具備することを特徴とする信号伝送回路装置。

BNSDOCID: <JP_____2007180643A_I_>
SAMSUNG EX. 1002 - 471/2862

【請求項10】
請求項９に記載の信号伝送回路装置であって、
前記機能素子は、アンテナであることを特徴とする信号伝送回路装置。
【請求項11】
請求項９に記載の信号伝送回路装置であって、
前記機能素子は、高周波信号伝送回路であることを特徴とする信号伝送回路装置。
【請求項12】
機能素子をスイッチングするスイッチング方法において、
出射された光を可動部材に受けるステップと、
前記受けた光の熱エネルギーにより前記可動部材を変形させ、前記機能素子をスイッチングするステップと
を具備することを特徴とするスイッチング方法。
【発明の詳細な説明】
【技術分野】
【0001】
本発明は、スイッチ装置、そのスイッチ装置が用いられた信号伝送回路装置及びスイッチング方法に関する。
【背景技術】
【0002】
従来、高周波伝送回路、とりわけ３０ＧＨｚを越えるようなミリ波体の周波数で電力、信号伝送する場合、通常のＦＥＴ(Field Effect Transistor)を用いるようなスイッチでは一般に損失が大きくなる。また、カットオフ時のアイソレーションが十分に取れない等の理由により実質半導体デバイスとしてディスクリートですら行なうことが困難という問題があった。
【0003】
その問題を改善するものとして、ＭＥＭＳ(Micro Electro Mechanical Systems)デバイスとしてのスイッチ装置（スイッチ素子）の開発が進められ、静電力を利用してスイッチングすることも提案されている。しかし、静電アクチュエーター式のスイッチでは、動作電圧が実質２０Ｖ以上になってしまい、既存の高周波回路に組み込むことが困難である等の問題があった。
【0004】
そこで、例えば発光素子を含み光を出射する発光回路と、その発光回路から出射された光を受け電圧を発生する受光素子が複数個直列に接続された直列回路を有する受光回路と、その受光回路によって発生された電圧によって駆動されるＲＦ(Radio Frequency)－ＭＥＭＳスイッチと、を備えたＭＥＭＳ装置が提案されている（例えば、特許文献１参照。）。
【特許文献1】特開２００４－１０３５５９号公報（段落〔０００９〕、〔００２１〕、図２、図１３）
【発明の開示】
【発明が解決しようとする課題】
【0005】
しかしながら、上記特許文献１に記載の装置等では、入出力端子に電気的に接続された接点の近くに静電電極が配置されることから、スイッチ制御回路と信号伝送回路とが電気的に完全には分離できない。従って、高周波信号成分がスイッチ素子制御回路側へ漏れてしまい、回路系が複雑となりインピーダンス整合が取りにくい等の問題が考えられる。
【0006】
また、上記特許文献１に記載の装置等では、発光回路から出射された光を受け電圧を発生する受光素子が複数個直列に接続された直列回路を有する受光回路を必要とするため、部品点数が増え、製造コストを軽減できない等の問題もある。
【0007】
以上のような事情に鑑み、本発明の目的は、信号伝送回路での損失が少なく、かつ、カ

BNSDOCID: <JP_____2007180643A__I_>
SAMSUNG EX. 1002 - 472/2862

ットオフ時のアイソレーションが十分に取れると共にインピーダンス整合がとり易く、製造コストを低減できるスイッチ装置、そのスイッチ装置を用いた信号伝送回路装置、そのスイッチング方法を提供することにある。

【課題を解決するための手段】

【0008】

上記目的を達成するために、本発明に係るスイッチ装置は、機能素子をスイッチングするスイッチ装置において、光源と、前記機能素子に電気的に接続可能な配線と、導電部材を有し、前記光源から出射された光を受け、その光の熱エネルギーにより変形することで、前記導電部材を前記配線に接触させ、または、離間させる可動部材とを具備することを特徴とする。ここで、「機能素子」とは、高周波回路のＣＰＷ(Coplanar Waveguide)やアンテナ、コイル等を含むものであり、「配線」とは、端部を有する導線等をいう。

【0009】

例えば従来の静電容量型では、高電圧（一般に２０Ｖ以上）を印加して結線に必要なスイッチ動作を行う点や、容量結合型のスイッチでは信号線路を交流的に設置する原理から、どうしてもカットオフのアイソレーションを取る際に静電ギャップを大きく取らなければならず、そうする事によってより高い電圧をスイッチ駆動に必要になる等の避けがたい問題が残っていた。

【0010】

本発明では、光源から出射された光を受け、その光の熱エネルギーにより変形することで、導電部材を配線に接触させ、または、離間させる可動部材を具備することとした。従って、完全にスイッチ制御回路と信号伝送回路としてのＣＰＷの信号線路やアンテナ等とを空間的、電気的に分離した状態でスイッチングできる。

【0011】

これにより、スイッチング時のアイソレーションを十分とることが可能となると共に、高周波信号成分がスイッチ制御回路側へ漏れてしまうことがなく、回路系を単純にでき、インピーダンス整合が取りやすくなる。

【0012】

更に、光の熱エネルギーにより変形し、スイッチングさせるので、光を受け電圧を発生する受光素子が複数個直列に接続された直列回路を有する受光回路を必要とせず、製造コストの低減を図れる。

【0013】

本発明の一の形態によれば、前記可動部材は、第１の熱膨張係数を有する第１の部材とその熱膨張係数と異なる第２の熱膨張係数を有する第２の部材とを有することを特徴とする。これにより、受けた光の熱エネルギーで可動部材が、熱膨張係数の小さい方に曲がるように変形し、きわめて容易に導電部材を配線に接触させ、または離間させることができる。

【0014】

本発明の一の形態によれば、前記可動部材は、第１の熱膨張係数を有する第１の部材と、その熱膨張係数と異なる第２の熱膨張係数を有する第２の部材と、前記第１の熱膨張係数と異なる第３の熱膨張係数を有する第３の部材とを有し、前記第１の部材は、前記第２の部材と前記第３の部材との間に挟まれていることを特徴とする。これにより、可動部材がその材質や薄さにより光を受ける前に変形してしまうことを、そのサンドイッチ構造によりその初期応力をキャンセルし、防ぐことができる。

【0015】

本発明の一の形態によれば、前記第３の部材は、前記第２の部材と同じ材料で形成され、かつ、その大きさが異なることを特徴とする。ここで「大きさ」とは、第３の部材の形状は勿論、例えば第３の部材が板材であるときに、その厚さ等も含むものとする。これにより、第３の部材による応力のキャンセル量を制御し、光照射時の可動部材の変形が必要以上抑制されることを防ぐことができる。例えば、第３の部材の厚さを第２の部材の厚さより薄くすることで、第１及び第２の部材による初期応力をキャンセルすると共に、光照

BNSDOCID: <JP_____2007180643A_I_>

SAMSUNG EX. 1002 - 473/2862

射時の可動部材全体の変形としては、確実に配線に接触させ、または、離間させることができるようになる。

【0016】

本発明の一の形態によれば、前記光源は、半導体レーザ、発光ダイオードまたは、エレクトロルミネセンスパネルであることを特徴とする。これにより、光の熱効率を高くして、よりスイッチングを確実にさせることができる。また、半導体レーザ（例えば面発光レーザ）を用いることでより正確に光を可動部材に照射できる。

【0017】

本発明の一の形態によれば、前記可動部材は、第１の光吸収率を有する第１の領域と、前記第１の光吸収率より高い第２の光吸収率を有し、前記光を受ける第２の領域とを有することを特徴とする。これにより、可動部材の熱効率を高くできるので、低めの光エネルギーでも十分スイッチングさせることができるようになる。

【0018】

本発明の一の形態によれば、前記配線が設けられた基板と、その基板上に固定され、前記可動部材を収容し、前記光源が外側に実装されると共に当該光源から出射される光が前記可動部材に到達するように、光透過性を有するカバー部材とを更に具備することを特徴とする。ここで、「基板」とは、例えば低誘電率ガラス基板（石英、パイレックス（登録商標）、液晶用基板等）等であり、「光透過性」とは、１００％近く光を透過する場合に限られず、例えば５０％近く光を透過する半透過程度のものでも良い。また、「光透過性を有するカバー部材」とは、カバー部材の全体が光透過性を有する場合に限られず、部分的に光透過性を有している場合も含む。少なくとも光が進む領域が、光透過性を有していれば良い。

【0019】

これにより、光源をカバー部材の外側に配置でき、よりスイッチ制御回路と信号伝送回路としてのＣＰＷの信号線路やアンテナ等とを空間的、電気的に分離できる。

【0020】

本発明の一の形態によれば、前記カバー部材は、光透過性を有し、その外側に前記光源が実装される光透過性基板と、前記光透過性基板と前記基板との間に設けられ、前記可動部材と前記配線の少なくとも一部とが収容される中空部を有する中間基板とを有することを特徴とする。ここで、「中空部」とは、例えば中間基板を貫通するように空けられた部分をいうが、これに限られるものではなく例えば貫通しておらず、基板側の面に形成された凹部のようなものも含むものとする。

【0021】

これにより、例えばカバー部材の光源を実装する部分とそのほかの部分とを別基板としたので、光源を実装する部分をより薄く形成することが容易となり、スイッチ装置の製造コストの低減と光源から出射された光の減衰をより小さくさせることができる。

【0022】

本発明の他の形態に係る信号伝送回路装置は、基板と、前記基板に設けられた機能素子と、光源を有し、その光源から出射された光を受け、その光の熱エネルギーにより変形して、前記機能素子をスイッチングするスイッチ素子とを具備することを特徴とする。

【0023】

本発明では、光源から出射された光を受け、その光の熱エネルギーにより変形して、機能素子例えばアンテナをスイッチングするスイッチ素子を具備することとした。従って、完全にスイッチ制御回路と信号伝送回路としてのＣＰＷの信号線路やアンテナ等とを空間的、電気的に分離した状態でスイッチ素子を駆動できる。これにより、スイッチ素子のカットオフ時のアイソレーションを十分とることが可能となると共に、高周波信号成分がスイッチ制御回路側へ漏れてしまうことがなく、回路系を単純にでき、インピーダンス整合が取りやすくなる。

【0024】

更に、光の熱エネルギーにより変形し、スイッチ操作させるので、光を受け電圧を発生

BNSDOCID: <JP_____2007180643A__|_>

SAMSUNG EX. 1002 - 474/2862

する受光素子が複数個直列に接続された直列回路を有する受光回路を必要とせず、製造コストの低減を図れる。

【0025】

本発明の一の形態によれば、前記機能素子は、アンテナであることを特徴とする。これにより、例えば周波数帯の違う電波向けアンテナを低コストで、かつ、アイソレーションを十分とって適宜切り替えることができることとなる。

【0026】

本発明の一の形態によれば、前記機能素子は、高周波信号伝送回路であることを特徴とする。ここで、「高周波信号」とは、例えば３０ＧＨｚを超えるような周波数を持つ信号であって、所謂マイクロ波やミリ波も含む信号である。これにより、マイクロ波、ミリ波で例えばＣＰＷ中に信号を伝送する場合もその損失を少なくさせることができる。

【0027】

本発明の他の形態に係るスイッチング方法は、機能素子をスイッチングするスイッチング方法において、出射された光を可動部材に受けるステップと、前記受けた光の熱エネルギーにより前記可動部材を変形させ、前記機能素子をスイッチングするステップとを具備することを特徴とする。

【0028】

本発明では、光の熱エネルギーにより可動部材を変形させ、機能素子をスイッチングすることとしたので、完全にスイッチ制御回路と信号伝送回路としてのＣＰＷの信号線路やアンテナ等とを空間的、電気的に分離した状態でスイッチングできる。これにより、スイッチング時のアイソレーションを十分とることが可能となると共に、高周波信号成分がスイッチ制御回路側へ漏れてしまうことがなく、回路系を単純にでき、インピーダンス整合が取りやすくなる。

【発明の効果】

【0029】

以上のように、本発明によれば、信号伝送回路での損失が少なく、かつ、カットオフ時のアイソレーションが十分に取れると共に製造コストを低減できる。

【発明を実施するための最良の形態】

【0030】

以下、本発明の実施の形態を図面に基づきスイッチ装置及びそのスイッチ装置を備えた信号伝送回路装置（以下単に「回路装置」という。）について説明する。

【0031】

図１は、本発明の第１の実施形態に係るスイッチ装置の斜視図及び図２は、図１の分解斜視図である。

【0032】

スイッチ装置１は、図１及び図２に示すように基板２、その基板上に設けられたカンチレバー型のスイッチ本体３、そのスイッチ本体をカバーするように当該基板上に設けられたカバー部材４、そのカバー部材上にスイッチ本体に光を供給する光源５及び光源用配線６等を有する。

【0033】

ここで、基板２は例えば略矩形の低誘電率ガラス基板であり、石英（比誘電率εｒ＝３．９ａｔ１ＭＨｚ）、パイレックス（登録商標）（比誘電率εｒ＝４．６ａｔ１ＭＨｚ）、液晶用基板（比誘電率εｒ＝５．７ａｔ１ＭＨｚ）等が用いられる。例えばその厚さ（図１中のＺ方向長さ）は、液晶用基板で約５００μｍである。

【0034】

スイッチ本体３は、図１のＡ－Ａ線断面図である図３に示すように光源５からの光を受ける可動部材７、その可動部材７を支えるアンカー８、当該可動部材７のアンカー８と反対側に設けられた導電部材としての接触電極９及びその接触電極９に接触または、離間する配線１０、１１を有する。

【0035】

BNSDOCID: <JP____2007180643A__I_>

SAMSUNG EX. 1002 - 475/2862

可動部材７は、図３に示すように略矩形状を有し、光源側（図３中のＺ軸方向）に第１の部材１２、その裏側に第２の部材１３となるように薄膜が積層されてバイメタルを形成している。第１の部材１２としては、第１の熱膨張係数、例えば熱膨張係数２５ｐｐｍ／℃のＡｌで２００ｎｍ程度の厚さに形成されている。勿論これに限られるものではなく一般的な金属、及びその合金でもよく、具体的にはＡｕ、Ｐｔ、Ｃｕ、Ｇｅ、Ｎｉ、Ｃｒ、Ｔｉ、Ｚｎ、Ｉｎ、Ｓｎ、Ｇａ、Ｐｄ、Ｂｉ、Ｓｉ、Ｃ等でもよい。

【0036】

また、第２の部材１３としては、第２の熱膨張係数、例えば熱膨張係数０．５ｐｐｍ／℃のＳｉＮｘで２００ｎｍ程度の厚さに形成されている。勿論これに限られるものではなく例えばＳｉＯ２またはＳｉＮｘやＳｉＯ２の組成比を含むＳｉＯｘＮｙで形成してもよい。その他、絶縁性の高いＡｉ２Ｏ３やＳｉＣ等のセラミック材に加え、例えば絶縁性の高い材料で形成することが性能を良好にできるが、一般的は金属、及びその合金でもよく、具体的にはＡｕ、Ｐｔ、Ｃｕ、Ａｌ、Ｇｅ、Ｎｉ、Ｃｒ、Ｔｉ、Ｚｎ、Ｉｎ、Ｓｎ、Ｇａ、Ｐｄ、Ｂｉ、Ｓｉ、Ｃ等でもよい。

【0037】

更に上述の第１及び第２の熱膨張係数も２５ｐｐｍ／℃や０．５ｐｐｍ／℃に限られるものではなく、それより小さくても良い。

【0038】

アンカー８は、図３に示すように略矩形状の可動部材７の一方端を基板２に固定しており、当該一方端の基板からの高さが例えば約７μｍとなるようにＡｌ等で形成されている。これにより、後述する接触電極９と配線１０、１１とは所定の間隔で離間することとなる。

【0039】

また、接触電極９は、可動部材７のアンカー８と反対側開放端の基板２に対向する面に、厚さが例えば５０ｎｍで略矩形状に設けられている。尚、厚さは５０ｎｍに限られるものではなく、少なくとも１ｎｍから配線１０、１１と同じ厚さ、好適には６０ＧＨｚでの表皮効果が４００ｎｍであるところから１０ｎｍ～４００ｎｍと予想される。

【0040】

更に接触電極９の材料は、例えばＡｕ－Ｇｅ合金により形成されるがこれに限られるものではなく、Ａｕの他、Ｐｔ、Ｃｕ、Ａｌ、Ｇｅ、Ｎｉ、Ｃｒ、Ｔｉ、Ｚｎ、Ｉｎ、Ｓｎ、Ｇａ、Ｐｄ、Ｂｉ、Ｓｉ、Ｃ等の金属を組成比として持つ合金が良い。

【0041】

配線１０、１１は、例えば図１のＢ－Ｂ線断面図である図４に示すように丁度、可動部材７に平面的に重なるように基板２に設けられている。また、配線１０、１１は図３に示すように接触電極９の中央部付近で左右に分離して形成されており、接触電極９とその配線の一部が平面的に重なるように形成されている。これにより、後述するように可動部材７の変形により接触電極９が例えば下降すると、二つの配線の端部１０ａ、１１ａに接触し、電気的に絶縁されていた配線１０，１１は互いに接触電極９を介して電気的に接続されることとなる。すなわち、スイッチ装置１は、電気的にオンされることとなる。尚、当該配線１０、１１は、後述するように例えば基板２を貫通する導通部材により他の基板上に形成された信号伝送回路の信号線路等に電気的接続可能である。

【0042】

次に、カバー部材４は例えば図２及び図３に示すように光源５が設けられる平板状の光透過性基板１４及びその光透過性基板１４とスイッチ本体３が形成された基板２との間に配置された中間基板１５を有する。

【0043】

ここで、光透過性基板１４は厚さが例えば２００ｎｍのガラス基板である。また、中間基板１５は、例えば厚さが１００μｍのＳｉ基板により形成されており、図２に示すようにその中央部には、略矩形状に貫通された中空部１６が設けられている。この中空部１６にスイッチ本体３が収まっている。尚、当該基板２と中間基板１５、光透過性基板１４と

BNSDOCID: <JP____2007180643A__I_>

SAMSUNG EX. 1002 - 476/2862

は夫々陽極接合されている。

【0044】

また、光源５は、スイッチ本体（可動部材）に光を供給する、例えば半導体レーザである。半導体レーザは、例えば面発光レーザで図３及び図４に示すように丁度、可動部材である第１及び第２の部材１０、１１の真上に光透過性基板１４を介して配置されている。具体的には、出射された光の光軸が、第１の部材表面の略中央に来るように配置されている。これにより、半導体レーザから出射された光が光透過性基板１４を透過し、第１及び第２の部材１０、１１に照射され、その光の熱エネルギーにより夫々を加熱することとなる。

尚、半導体レーザの波長は、３２５ｎｍ～１５５０ｎｍ帯で第１及び第２の部材１０、１１の光吸収率の良好な範囲で選択できる。更に、光源は半導体レーザに限られるものではなく、例えばＬＥＤ(Light Emitting Diode)、ＥＬ(Electronic Luminescence)素子等が可能である。

【0045】

光源用配線６は、例えば図１に示すように光透過性基板上に半導体レーザの電極に電気的に接続されており、一部ワイヤーボンドとなっている。

【0046】

以上のように構成されたスイッチ装置１の動作について説明する。図５は、スイッチ装置の動作を説明する図である。

【0047】

まず、図示しないスイッチ制御回路により光源５である半導体レーザの電極に電流が供給されると、半導体レーザの光出射側から可動部材方向に、例えば６７０ｎｍの波長の光が出射される。そして、出射された光は光透過性基板１４に入射し、略直下に進み図５中の白抜き矢印Ｃに示すように光透過性基板１４の中間基板１５の中空部側から出射し、第１の部材表面に到達する。これにより、第２の部材１３に積層されている第１の部材１２は勿論、当該第２の部材１３も照射された光による熱エネルギーを受け、温度が上昇し、組成変形を起こす。

【0048】

すなわち、第１及び第２の部材はそれぞれの熱膨張係数に基づき例えば図５中の矢印Ｄ、Ｅ方向に膨張する。このとき、第１の部材１２は第２の部材１３より膨張係数が大きいので、可動部材７の基板２に遠い側である第１の部材１２がその裏側（基板２に近い側）の第２の部材１３より大きく伸びようとする。この結果、可動部材７は図５に示すようにアンカー８の反対側が基板２側に曲がるように変形し、その可動部材７の基板側に形成された接触電極９が、配線１０、１１に接触するまで下降することとなる。

【0049】

そして、接触電極９が配線１０、１１に接触すると図５に示すように電気的に切断された配線１０、１１が接触電極９を介して電気的に接続されることとなる。これにより、例えば配線１０、１１と電気的に接続された他の基板上の信号伝送回路等のスイッチングがなされる。

【0050】

次に、スイッチ装置の製造方法について説明する。図６は、スイッチ装置の製造方法を説明するフローチャート、図７は接触電極を形成するまでの製造工程を説明する説明図及び図８は第２の部材を形成するところからパッケージするまでの製造工程を説明する説明図である。尚、図７及び図８は図１のＡ－Ａ線断面図に基づき説明したものである。

【0051】

まず、液晶用基板例えば比誘電率εｒ＝５．７ａｔ１ＭＨｚのものを厚さ約５００μｍで略矩形状に形成したものの表面にＴｉ等をスパッタ等により成膜し、エッチング等によりパターニングして図７（ａ）に示すように配線１０、１１を形成する（ＳＴ６０１）。具体的には、配線１０と配線１１とは、接触電極９の幅（図３中のＸ軸方向）より狭い距離で離間して形成されている。勿論、スパッタに限られるものではなく、真空蒸着やメッ

BNSDOCID: <JP_____2007180643A_I_>

SAMSUNG EX. 1002 - 477/2862

キ等でもよい。このとき、表皮効果を考慮して配線１０、１１の厚さが４００ｎｍ、より好ましくは４００ｎｍの２、３倍程度となるように形成する。また、配線１０、１１の材料もＡｌ，Ａｕ，Ｃｒ，Ｃｕ，Ｐｔ，Ａｇでもよく、Ａｌ－Ｓｉ－Ｃｕ等の合金でもよい。

【0052】

次に、例えば図７（ｂ）に示すように犠牲層１７としてのＳｉをスパッタ或いは真空蒸着により配線１０、１１を覆うように成膜する（ＳＴ６０２）。勿論、Ｓｉに限られるものでなく、有機レジスト、その他樹脂をスピンコートで形成してもよい。具体的には、犠牲層１７の配線側の端面１７ａが配線１０の端面と揃うように、また、当該犠牲層１７の反対側の端面１７ｂは、例えば図７（ｂ）に示すように配線１１の端面より外側に来るように形成される。これにより、犠牲層１７の一端は基板上に直接形成され、当該犠牲層を除去したときに配線１１とアンカー８とが離間することとなる。

【0053】

その後、例えば図７（ｃ）に示すようにＡｌをスパッタで成膜し、エッチング等によりパターニングして犠牲層１７の端面１７ｂに隣接するアンカー８を形成する（ＳＴ６０３）。そのアンカー８の厚さは、理想的には配線１０、１１の厚さに犠牲層１７の厚さを加えたものであるが、後で成膜する第１及び第２の部材に機械的ストレスが影響しなければそれ以下でもよい。また、アンカー８の材料としては、Ａｌに限られるものではなくＴｉ、Ａｕ、Ｃｒ、Ｃｕ、Ｐｔ、Ａｇの他、Ａｌ－Ｓｉ－Ｃｕ等の合金でもよく、更に成膜方法もスパッタに限られず、真空蒸着やメッキ等でもよい。

【0054】

そして、犠牲層１７に例えばＡｕ－Ｇｅ合金をスパッタにより成膜し、エッチング等により略矩形にパターニングして接触電極９を形成する（ＳＴ６０４）。この際、接触電極９が配線１０の端部１０ａと配線１１の端部１１ａとに丁度、平面的に重なるように形成する。接触電極９の材料としては、Ａｕの他、Ｐｔ、Ｃｕ、Ａｌ、Ｇｅ、Ｎｉ、Ｃｒ、Ｔｉ、Ｚｎ、Ｉｎ、Ｓｎ、Ｇａ、Ｐｄ、Ｂｉ、Ｓｉ、Ｃ等の金属を組成比として持つ合金がよい。厚さは少なくとも１ｎｍ以上で配線１０、１１と同じ厚さ、６０ＧＨｚでの表皮効果が４００ｎｍであるところから好ましくは１０ｎｍ～４００ｎｍであると考えられる。成膜方法は、勿論スパッタに限られるものではなく、真空蒸着等でもよい。

【0055】

なお、図７（ｄ）のように予め犠牲層１７の表面に凹部を形成して、その凹部に接触電極９を形成するようにしてもよい。

【0056】

次に、例えば図８（ａ）に示すように犠牲層１７及び接触電極９、アンカー８の上にＳｉＮｘを厚さ約２００ｎｍとなるようにスパッタ等により成膜し、略矩形状でアンカー８にその端が重なるようにエッチングしてパターニングし、第２の部材１３を形成する（ＳＴ６０５）。第２の部材の材料はＳｉＮｘに限られるわけではなく、例えばＳｉＯ２またはそれらの組成比を含むＳｉＯｘＮｙで形成できる。また、その他絶縁性の高いＡｉ２Ｏ３やＳｉＣ等のセラミック材に加え、より好ましくは絶縁性の高い材料で形成することであるが、一般的な金属（例えばＡｕ、Ｐｔ、Ｃｕ、Ａｌ、Ｇｅ、Ｎｉ、Ｃｒ、Ｔｉ、Ｚｎ、Ｉｎ、Ｓｎ、Ｇａ、Ｐｄ、Ｂｉ、Ｓｉ、Ｃ等）、及びその合金でも構わない。

【0057】

その後、形成された第２の部材１３の上に例えば図８（ｂ）に示すようにＡｌを厚さ２００ｎｍとなるようにスパッタ等により成膜し、第２の部材１３と丁度重なるようにエッチングしてパターニングし、第１の部材１２を形成する（ＳＴ６０６）。第１の部材１２の材料としては、Ａｌに限られるものではなく例えば、Ａｕ、Ｐｔ、Ｃｕ、Ｇｅ、Ｎｉ、Ｃｒ、Ｔｉ、Ｚｎ、Ｉｎ、Ｓｎ、Ｇａ、Ｐｄ、Ｂｉ、Ｓｉ、Ｃ等でもよい。

【0058】

更に犠牲層１７をＸｅＦ２プラズマによるドライエッチングにより図８（ｃ）に示すように除去する（ＳＴ６０７）。また、犠牲層１７が有機レジストや樹脂であればＯ２プラ

BNSDOCID: <JP_____2007180643A_I_>

SAMSUNG EX. 1002 - 478/2862

ズマの他、アセトン、ＩＰＡ、レジスト剥離液等のウエットエッチングとの組み合わせ等を用いて行う。

【0059】

また、例えばガラス基板を厚さ２００ｎｍで略基板２と同じ大きさに形成した光透過性基板１４に、その光透過性基板１４と略同じ大きさで厚さが１００μｍに形成されたＳｉ基板を陽極接合する（ＳＴ６０８）。

【0060】

そして、陽極接合されたＳｉ基板を例えば図８（ｄ）に示すように中央部分を略矩形状にプラズマエッチングして中空部１６を形成し（ＳＴ６０９）、中間基板１５を形成する。ここで中空部１６は、少なくともスイッチ本体３が収まる大きさに形成されている。尚、光透過性基板１４に陽極接合される中間基板１５の厚さは、１００μｍに限られるものではなく、当該中間基板１５の中空部１６にスイッチ本体３がスイッチング可能なように収容される厚さであればよく、スイッチ本体３の大きさ等により例えば１０～５００μｍであってもよい。

【0061】

更に例えば図８（ｅ）に示すように、スイッチ本体３が形成された基板２にそのスイッチ本体３を、中空部１６に収納するように中間基板１５を陽極接合する（ＳＴ６１０）。

【0062】

次に、中間基板１５に陽極接合された光透過性基板１４の外側表面に例えばＡｌ等によりパターン形成して光源用配線６を形成する（ＳＴ６１１）。そして光源５、例えば６７０ｎｍの波長の光線を出射する半導体レーザを図１のように光透過性基板１４等に実装し、光源用配線６にワイヤーボンディングやダイボンドで電気的に接続する（ＳＴ６１２）。

【0063】

ここで、図示しないスイッチ制御回路、例えば光源用制御回路を光源用配線６の形成と同時に光透過性基板１４に形成しても良いし、他の基板等に形成して電気的に接続しても良い。

【0064】

以上でスイッチ装置１が完成する（ＳＴ６１３）。

【0065】

尚、光透過性基板１４と中間基板１５との接合及び中空部の形成は、ＳＴ６０７の後の工程に限られるものではなく、予め製造しておいても良いし、スイッチ本体３の製造と同時に製造しても良い。

【0066】

このように本実施形態によれば、光源５から出射された光を受け、その光の熱エネルギーにより変形することで、導電部材としての接触電極９を配線１０、１１に接触させ、または、離間させる可動部材７を具備することとした。従って、完全にスイッチ制御回路と信号伝送回路としての信号線路に電気的に接続された配線等とを空間的、電気的に分離した状態でスイッチングできる。これにより、スイッチング時のアイソレーションを十分とることが可能となると共に、高周波信号成分がスイッチ制御回路側へ漏れてしまうことがなくなる。また、回路系を単純にでき、インピーダンス整合が取りやすくなる。

【0067】

更に、光の熱エネルギーにより変形し、スイッチングさせるので、光を受け電圧を発生する受光素子が複数個直列に接続された直列回路を有する受光回路を必要とせず、製造コストの低減を図れる。

【0068】

また、可動部材７は、第１の熱膨張係数を有する第１の部材１２とその熱膨張係数と異なる第２の熱膨張係数を有する第２の部材１３とを有するので、受けた光の熱エネルギーで可動部材７が、熱膨張係数の小さい方に曲がるように変形する。従って、きわめて容易に接触電極９を配線１０、１１に接触させ、または離間させることができ、配線１０、１

BNSDOCID: <JP_____2007180643A_I_>

SAMSUNG EX. 1002 - 479/2862

１相互を、接触電極９を介して電気的にカットオフが可能となる。

【0069】

更に光源５を半導体レーザとしたので、光の熱効率を高くして、よりスイッチングを確実にさせることができる。また、半導体レーザを用いることでより正確に光を可動部材７に照射できる。

【0070】

また、光源５が外側に実装されると共に当該光源５から出射される光が可動部材７に到達するように、光透過性を有するカバー部材４を具備することとしたので、よりスイッチ制御回路の信号と配線１０、１１に流れ込む信号とを空間的、電気的に分離できる。尚、光透過性基板１４は、１００％近く光を透過する場合に限られず、例えば５０％近く光を透過する半透過程度のものでも良い。

【0071】

尚、光透過性基板１４は、全体が光透過性を有する場合に限られず、部分的に光透過性を有している場合も含む。少なくとも光が進む領域が、光透過性を有していれば良い。

【0072】

図９は、本発明の第２の実施形態に係るスイッチ装置の図１のＡ－Ａ線断面図である。尚、これ以降の発明の説明では、上述した実施形態に係るスイッチ装置の部材や機能等について同様なものは説明を簡略または省略して、異なる点を中心に説明する。

【0073】

図９に示すようにスイッチ本体３は、可動部材１０７、アンカー８、接触電極９及び配線１０、１１を有する。可動部材１０７は、例えば第１及び第２の部材１１２、１１３を有し、当該第１及び第２の部材は、第１の光吸収率を有する第１の領域Ｆ（図９中のＦ）とその第１の光吸収率より高い光吸収率を有する第２の領域Ｇ（図９中のＧ）を有する。

【0074】

ここで、第２の領域Ｇは、光源５から出射される光（図９中の矢印Ｈ）を受ける部分でもあり、例えば黒色のシリコン薄膜１２１やカーボン等がその部分に配置されている。これにより、当該可動部材１０７は、光を受ける第２の領域Ｇが他の第１の領域Ｆより光吸収率が高くなることとなる。

【0075】

このように本実施形態によれば、可動部材１０７は、第１の光吸収率を有する第１の領域Ｆと、第１の光吸収率より高い光吸収率を有し、光源５からの光を受ける第２の領域Ｇとを有することとしたので、可動部材１０７の熱効率を高くすることができる。これにより、低めの光エネルギーでも十分スイッチングさせることができる他、同じ光エネルギーでもより確実なスイッチングが可能となる。

【0076】

図１０は、本発明の第３の実施形態に係るスイッチ装置の図１のＡ－Ａ線断面図である。

【0077】

図１０に示すようにスイッチ本体３は、可動部材７、アンカー２０８ａ、２０８ｂ、接触電極２０９及び配線２１０、２１１を有する。アンカー２０８ａ、２０８ｂは略矩形状の可動部材７の両端を基板２に固定しており、基板からの高さはアンカー２０８ａ、２０８ｂの両方とも例えば７μｍとなるようにＡｌ等により形成されている。

【0078】

具体的には、アンカー２０８ａ、２０８ｂは第２の部材１３の左右両端と基板２との間に略矩形状に形成されており、接触電極２０９は第２の部材１３の図１０中Ｘ軸方向略中央に形成されている。また、接触電極２０９は、配置場所を除けば第１の実施形態と同様であるのでその説明を省略する。

【0079】

更に配線２１０、２１１は、アンカー２０８ａ、２０８ｂの間に夫々離間して形成されており、配線２１０、２１１の離間した夫々の端部が接触電極２０９に平面的に重なって

BNSDOCID: <JP_____2007180643A__I_>

SAMSUNG EX. 1002 - 480/2862

いる。配線２１０、２１１も厚さや材料は、第１の実施形態と同様である。

【0080】

このように本実施形態によれば、光の熱エネルギーによる可動部材７の変形は、接触電極２０９が略垂直に下降するようになるので、配線２１０、２１１の表面に接触電極２０９の表面がより平行に接触し、接触面積を大きくすることができる。これにより、スイッチ装置１のスイッチングをより確実にすることが可能となる。

【0081】

図１１は、本発明の第４の実施形態に係るスイッチ装置の図１のＡ－Ａ線断面図である。

【0082】

図１１に示すようにスイッチ本体３は、可動部材７、アンカー８、接触電極３０９ａ、３０９ｂ、及び配線３１０、３１１を有しており、例えば上述の実施形態と異なり配線３１０は光透過性基板１４に、配線３１１は基板２に形成されている。従って、スイッチ装置１は、配線３１０と配線３１１とを電気的に接続または、切り離すものではなく、接触電極、可動部材及びアンカーを介して図示しない配線に、配線３１０、３１１のいずれかを電気的に接続させるものである。例えば図１１では、接触電極は配線３１０に電気的に接続されており、配線３１１には電気的に接続されていない。

【0083】

具体的には、可動部材７に形成されている接触電極３０９ａ、３０９ｂは、例えば図１１に示すように接触電極３０９ａが第１の部材１２のアンカー側と反対側端部付近に、接触電極３０９ｂは第２の部材１３のアンカー側と反対側端部付近に夫々形成されている。その厚さや材料については接触電極９と同様である。

【0084】

また、配線３１０は、例えば一部が接触電極３０９ａに平面的に重なるように光透過性基板１４の内側面に形成されており、スイッチ装置１の外側のアンテナ等の機能素子に電気的に接続可能とされている。

【0085】

更に配線３１１は、一部が接触電極３０９ｂに平面的に重なるように基板２の光透過性基板側の面に形成されており、スイッチ装置１の外側のアンテナ等の機能素子に電気的に接続可能とされている。尚、配線３１０、３１１の厚さや材料については配線１０、１１と同様である。

【0086】

一方、第１及び第２の部材１１、１２の厚さや材料については第１の実施形態と同様であるが、両方とも導電性を有することが好ましい。夫々の接触電極３０９ａ、３０９ｂから図示しない配線まで電気的接続を図るための部品点数等が少なく済み、コスト的に有利である。

【0087】

このように本実施形態によれば、配線３１０、３１１を可動部材７の開放端付近を挟むように配置することとしたので、光の熱エネルギーにより可動部材７を変形させ、例えば配線３１０から配線３１１選択させることができる。勿論、その逆も可能であり、更には光を可動部材７が受ける前は、配線３１０、３１１のいずれにも電気的に接続していない状態から、光を受け、配線３１０、３１１のいずれかを選択させるようにもできる。これにより、スイッチ装置自体の数やそれらを電気的に接続する配線等の機能素子も少なくすることが可能となる。

【0088】

図１２は、本発明の第５の実施形態に係るスイッチ装置の図１のＡ－Ａ線断面図である。

【0089】

図１２に示すようにスイッチ本体３は、可動部材４０７、アンカー８、接触電極９及び配線１０、１１を有している。

BNSDOCID: <JP_____2007180643A_I_>

SAMSUNG EX. 1002 - 481/2862

【0090】
ここで、可動部材４０７は、上述の実施形態と異なり第１の部材１２の配線側面に第２の部材１３が形成されている他、その第１の部材１２の光源側面には、第３の部材４２０が形成されている。これにより、第１の部材１２は、第２の部材１３と第３の部材４２０との間に挟まれることとなる。
【0091】
第３の部材４２０は、例えば２００ｎｍより薄い膜厚のＳｉＮｘであり、その熱膨張係数は０．５ｐｐｍ／℃である。これは、第１の部材１２の配線側面に積層される第２の部材１３とその材料が同様であるが、勿論これに限られるものではなく、例えば第２の部材と第３の部材とでその厚さを同じにしてその材料を変えてもよい。更には第２の部材１３と第３の部材とで形状を異ならしめてもよい。
【0092】
尚、第３の部材４２０の２００ｎｍより薄い膜厚は、光を受ける前に変形させる応力をキャンセルする程度の応力が生じる膜厚とするもので、光を照射しないときの応力を緩和しつつ、光照射時には確実に可動部材４０７を配線１０，１１に接触させることができるような厚さである。
【0093】
また、第３の部材４２０に第２の部材１３と異なる材料を用いる場合は、その厚さを同じにすることに限られるものではなく、その材料のヤング率やポアソン比等を含め膜設計を行い、光を照射しないときの応力を緩和しつつ、光照射時には確実に可動部材４０７を配線１０，１１に接触させることができるような形状、厚さ等とする。
【0094】
このように本実施形態によれば、可動部材４０７は、第１の熱膨張係数を有する第１の部材１２と、その熱膨張係数と異なる第２の熱膨張係数を有する第２の部材１３と、第１の熱膨張係数と異なる第３の熱膨張係数を有する第３の部材４２０とを有し、第１の部材１２は、第２の部材１３と第３の部材４２０との間に挟まれていることとした。従って、可動部材４０７がその材質や薄さにより光を受ける前に変形してしまうことを、そのサンドイッチ構造により上下で逆方向の応力を生じさせ、当該初期応力をキャンセルし、光照射前の当該可動部材の反りを防ぐことができる。
【0095】
また、第３の部材４２０は、第２の部材１３と同じ材料で形成され、かつ、その大きさが異なることとしたので、第３の部材４２０による応力のキャンセル量を制御し、光照射時の可動部材の変形が必要以上抑制されることを防ぐことができる。例えば、第３の部材４２０の厚さを第２の部材１３の厚さより薄くすることで、第１及び第２の部材１２，１３による初期応力をキャンセルすると共に、光照射時の可動部材４０７全体の変形としては、確実に配線１０，１１に接触させることができるようになる。
【0096】
図１３は、本発明の第６の実施形態に係るスイッチ装置の断面図である。
【0097】
図１３に示すようにスイッチ装置１は、基板２、スイッチ本体３、カバー部材５０４、光源５及び光源用配線６等を有する。
【0098】
ここで、カバー部材５０４は、上述の実施形態と異なり例えば図１３に示すように中間基板１５の代わりに光透過性基板５１４が中間基板分の厚さも有し、スイッチ本体３を収容する中空部５１６を備えている。また、当該光透過性基板５１４と基板２との接合は、間にＡｕまたは、Ｓｉの薄膜５２１、例えば厚さ１ｎｍ～５００ｎｍ、より好ましくは１０ｎｍ～２００ｎｍを介して、Ａｕには金接し、Ｓｉには陽極接合されている。
【0099】
また、中空部５１６は中間基板１５の中空部のように貫通されたものではなく、基板２側に開口した略矩形状の凹形状を有している。この凹形状にスイッチ本体３が収納される

SAMSUNG EX. 1002 - 482/2862

こととなる。

【0100】

このように本実施形態によれば、中間基板１５の代わりに光透過性基板５１４が中間基板分の厚さも有し、スイッチ本体３を収容する中空部５１６を備えることとしたので、部品点数を少なくすることができる。

【0101】

図１４は、本発明の第７の実施形態に係る回路装置のブロック図、図１５は回路装置の斜視図及び図１６は図１５のＩ－Ｉ線断面図である。尚、図１５の斜視図では、機能素子のうちの信号線路の一部を表しその他のアンテナや回路等を省略している。

【0102】

回路装置７２１は、例えば図１４に示すように機能素子としてのアンテナ７２２、７２３、そのアンテナを切替えるスイッチ素子としてのアンテナ切替えスイッチ７２４、そのアンテナ切替えスイッチ７２４に電気的に接続された送受信切替えスイッチ７２５、その送受信切替えスイッチ７２５に電気的に接続されたＬＮＡ(Low Noise Amplifier)７２６、ＰＡ(Power Amplifier)７２７、ＬＮＡ７２６に電気的に接続されたＢＰＦ(Band-Pass Filter)７２８、ＰＡ７２７に電気的に接続されたＢＰＦ(Band-Pass Filter)７２９、ＢＰＦ(Band-Pass Filter)７２８、７２９に電気的に接続されたトランシーバーＩＣ(Integrated Circuit)７３０及びそのトランシーバーＩＣ７３０に電気的接続された受信回路７３１、送信回路７３２、ＶＣＯ(Voltage Controlled Oscillator)７３３及びそれらを電気的に結ぶ信号線路７３４等を有している。

【0103】

ここでアンテナ７２２、７２３は、例えばアンテナ切替えスイッチ７２４等と共に基板７０２に形成されており、互いに周波数帯が異なるアンテナであり、アンテナ切替えスイッチ７２４によってアンテナを切替え、周波数帯を選択できる。

【0104】

基板７０２は、例えば略矩形の低誘電率ガラス基板であり、石英（比誘電率εｒ＝３．９ａｔ１ＭＨｚ）、パイレックス（登録商標）（比誘電率εｒ＝４．６ａｔ１ＭＨｚ）、液晶用基板（比誘電率εｒ＝４．６ａｔ１ＭＨｚ）等が用いられる。

【0105】

また、基板７０２には、図１５に示すように基板上に設けられた機能素子の例である信号線路７３４（７３４ａ、７３４ｂ、７３４ｃ）及びスイッチ素子としてのアンテナ切替えスイッチ７２４を備えている。

【0106】

信号線路７３４は、アンテナ切替えスイッチ７２４の後述する配線３１０、３１１等に電気的に接続されており、例えばＡｌ、Ｔｉ、Ａｕ、Ｃｒ、Ｃｕ、Ｐｔ、Ａｇの他、Ａｌ－Ｓｉ－Ｃｕ等の合金により形成されている。信号線路７３４の厚さは、信号線路７３４を流れる信号が６０ＧＨｚ設計の場合、表面効果を考慮して４００ｎｍ前後、より好ましくはその２、３倍程度である。

【0107】

また、例えば図１５に示すように信号線路７３４ａは、配線３１０とアンテナ７２２とを電気的に接続し、信号線路７３４ｂは、配線３１１とアンテナ７２３とを電気的に接続している。更に信号線路７３４ｃは、アンカーからの図示しない配線と送受信切替えスイッチ７２５とを電気的に接続している。

【0108】

アンテナ切替えスイッチ７２４は、例えば図１６に示すようにカンチレバー型のスイッチ本体３、そのスイッチ本体３をカバーするカバー部材４及び当該スイッチ本体３に光を照射する光源５等を有する。

【0109】

ここで、スイッチ本体３は、可動部材７、アンカー８、接触電極３０９ａ、３０９ｂ、及び配線３１０、３１１を有しており、配線３１０は光透過性基板１４に、配線３１１は

BNSDOCID: <JP____2007180643A_I_>

SAMSUNG EX. 1002 - 483/2862

基板７０２に形成されている。

【0110】

また、送受信切替えスイッチ７２５もアンテナ切替えスイッチ７２４と略同様であるのでその説明を省略する。

【0111】

このように本実施形態によれば、回路装置７２１は、光源５を有し、その光源５から出射された光を受け、その光の熱エネルギーにより変形して、スイッチングするアンテナ切替えスイッチ７２４、送受信切替えスイッチ７２５を備えることとした。従って、例えば周波数の異なるアンテナの選択を完全にスイッチ制御回路と信号伝送回路としてのＣＰＷの信号線路やアンテナ等とを空間的、電気的に分離した状態でできる。

【0112】

これにより、アンテナ切替えスイッチ等のカットオフ時のアイソレーションを十分とることが可能となると共に、高周波信号成分がスイッチ制御回路側へ漏れてしまうことがなく、回路系を単純にでき、インピーダンス整合が取りやすくなる。

【0113】

また、特に３０ＧＨｚを超えるようなミリ波帯の高周波伝送のスイッチングを低損失で実現することが可能となる。

【0114】

更に、光の熱エネルギーにより変形し、スイッチ操作させるので、光を受け電圧を発生する受光素子が複数個直列に接続された直列回路を有する受光回路を必要とせず、製造コストの低減を図れる。

【0115】

また、高周波回路上に挿入される切替えスイッチ素子において、電気回路的に完全に分離した形態で制御可能となるため、信号損失を最小化できる。また、高電圧の回路が不要となり、設計の自由度が上がる。不要輻射の問題を解消できる他、現実的なマルチバンドアンテナ、アンテナアレイモジュールを実現できる。

【0116】

図１７は、本発明の第８の実施形態に係る回路装置の説明図、図１８は回路装置の斜視図及び図１９は図１８のＪ－Ｊ線断面図である。尚、図１８の斜視図では、機能素子のうちの信号線路の一部を表しその他のアンテナ等を省略している。

【0117】

回路装置８２１は、例えば図１７及び図１８に示すように基板８０２上に機能素子としてのアンテナ８２２、８２３、８２４、８２５、その各アンテナを夫々オンオフするスイッチ素子としてのスイッチ装置８２６、８２７、８２８、８２９及びそれらを電気的に結ぶ信号線路８３４等を有している。

【0118】

ここでアンテナ８２２、８２３、８２４、８２５は、例えば図１７に示すように夫々アンテナの向いている方向が異なり、スイッチ装置８２６、８２７、８２８、８２９を次々とスイッチングすることにより、一番受信した信号の強いアンテナを選択できるようにしたものである。尚、図１７では、スイッチ装置８２６がスイッチオンされており、アンテナ８２２が選択されている。

【0119】

また、スイッチ装置８２６、８２７、８２８、８２９は夫々同じ構造で、例えばスイッチ装置８２６は、図１８及び図１９に示すように基板２、その基板上に設けられたカンチレバー型のスイッチ本体３、そのスイッチ本体３をカバーするように当該基板上に設けられたカバー部材４、そのカバー部材上にスイッチ本体３に光を供給する光源５及び光源用配線６等を有する。

【0120】

スイッチ本体３は、光源５からの光を受ける可動部材７、その可動部材７を支えるアンカー８、当該可動部材のアンカーと反対側に設けられた導電部材としての接触電極９及び

BNSDOCID: <JP_____2007180643A_I_>

SAMSUNG EX. 1002 - 484/2862

その接触電極９に接触または、離間する配線１０、１１を有する。

【0121】

更に配線１０、１１は例えば図１９に示すように基板２を貫通する導通部材８３５により基板８０２の信号線路８３４に電気的に接続されている。

【0122】

このように本実施形態によれば、回路装置８２１は、光源５を有し、その光源５から出射された光を受け、その光の熱エネルギーにより変形して、スイッチングするスイッチ装置８２６等と、それらのスイッチ装置に電気的に接続され、夫々の方向の異なるアンテナ８２２等を備えることとした。従って、複数のアンテナのうちで最も感度のよいものの選択を、完全にスイッチ制御回路と信号伝送回路としての信号線路やアンテナ等とを空間的、電気的に分離した状態でできる。

【0123】

これにより、スイッチ装置のカットオフ時のアイソレーションを十分とることが可能となると共に、高周波信号成分がスイッチ制御回路側へ漏れてしまうことがなく、回路系を単純にでき、インピーダンス整合が取りやすくなる。

【0124】

また、特に３０ＧＨｚを超えるようなミリ波帯の高周波伝送のスイッチングを低損失で実現することが可能となる。

【0125】

更に、光の熱エネルギーにより変形し、スイッチ操作させるので、光を受け電圧を発生する受光素子が複数個直列に接続された直列回路を有する受光回路を必要とせず、製造コストの低減を図れる。

【0126】

以上、好ましい実施形態を挙げて本発明を説明したが、本発明は上述したいずれの実施形態にも限定されず、本発明の技術思想の範囲内で適宜変更し或は上述した各実施形態を組み合わせて実施できるものである。

【0127】

例えば上述の実施形態では、配線１０，１１を可動部材７の長手方向（例えば図３中のＸ軸方向）に並設したがこれに限られるものではなく、例えば可動部材７の長手方向に交差する方向に配線１０，１１を並設してもよい。これにより、多種多様な配線設計が可能となる。

【図面の簡単な説明】

【0128】

【図1】第１の実施形態に係る回路装置の一部を示す斜視図である。

【図2】図１の分解斜視図である。

【図3】図１のＡ－Ａ線断面図である。

【図4】図１のＢ－Ｂ線断面図である。

【図5】スイッチ装置の動作を説明する図である。

【図6】スイッチ装置の製造方法を説明するフローチャートである。

【図7】接触電極を形成するまでの製造工程を説明する説明図

【図8】第２の部材を形成するところからパッケージまでの製造工程の説明図である。

【図9】第２の実施形態に係るスイッチ装置の図１のＡ－Ａ線断面図である。

【図10】第３の実施形態に係るスイッチ装置の図１のＡ－Ａ線断面図である。

【図11】第４の実施形態に係るスイッチ装置の図１のＡ－Ａ線断面図である。

【図12】第５の実施形態に係るスイッチ装置の図１のＡ－Ａ線断面図である。

【図13】第６の実施形態に係るスイッチ装置の断面図である。

【図14】第７の実施形態に係る回路装置のブロック図である。

【図15】第７の実施形態に係る回路装置の斜視図である。

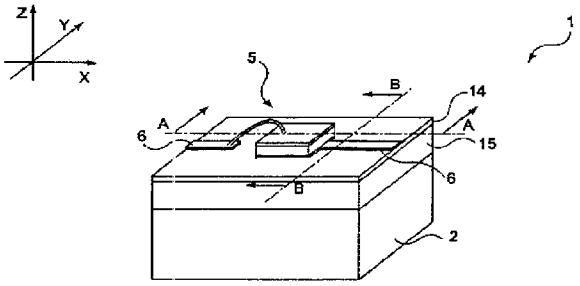
【図16】図１５のＩ－Ｉ線断面図である。

【図17】第８の実施形態に係る回路装置の説明図である。

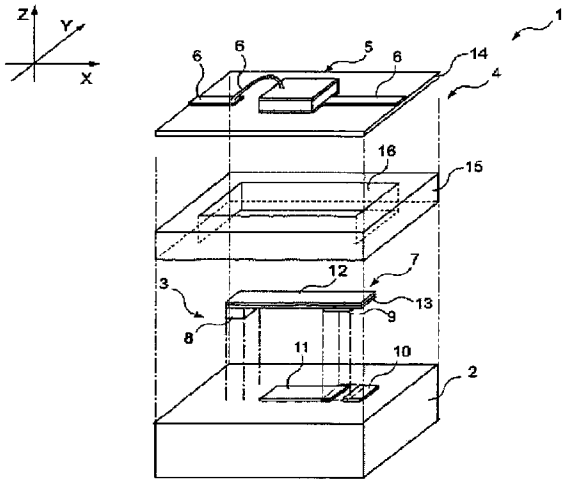
SAMSUNG EX. 1002 - 485/2862

【図18】第８の実施形態に係る回路装置の斜視図である。
【図19】図１８のＪ－Ｊ線断面図である。
【符号の説明】
【0129】
１…スイッチ装置
２…基板
４…カバー部材
５…光源
７…可動部材
１０、１１…配線
１２…第１の部材
１３…第２の部材
１４…光透過性基板
１５…中間基板
１６…中空部
４２０…第３の部材
７２１、８２１…回路装置
７２２、７２３、８２２、８２３、８２４、８２５…アンテナ

【図1】

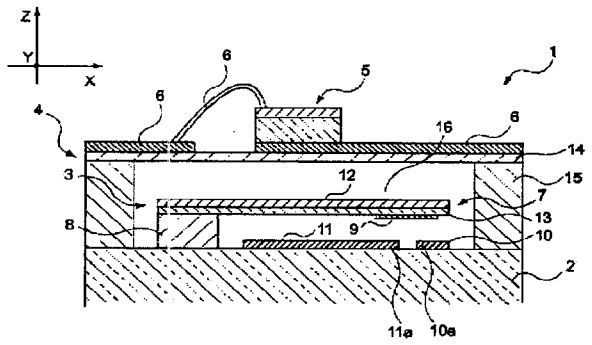


【図2】

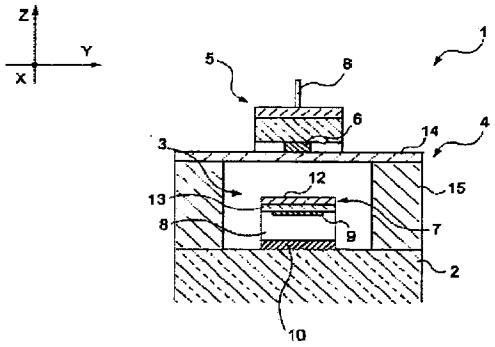


SAMSUNG EX. 1002 - 486/2862

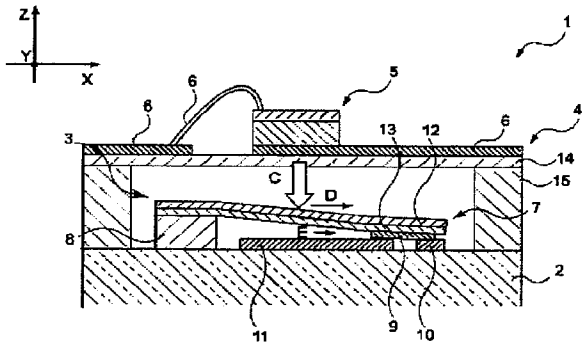
【図3】



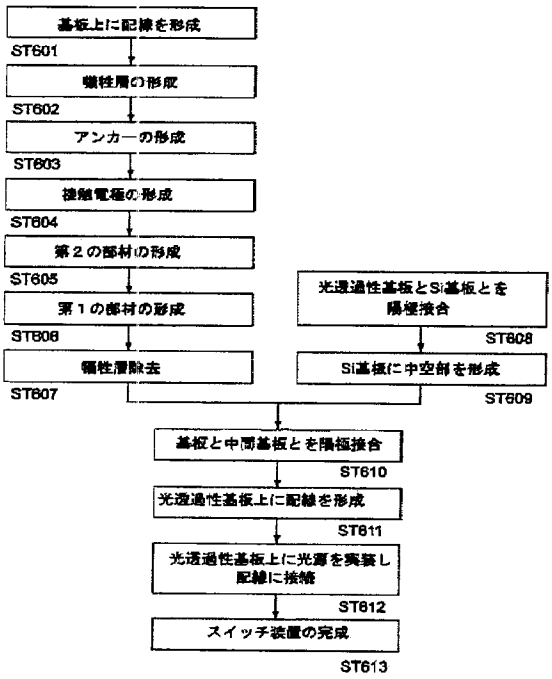
【図4】



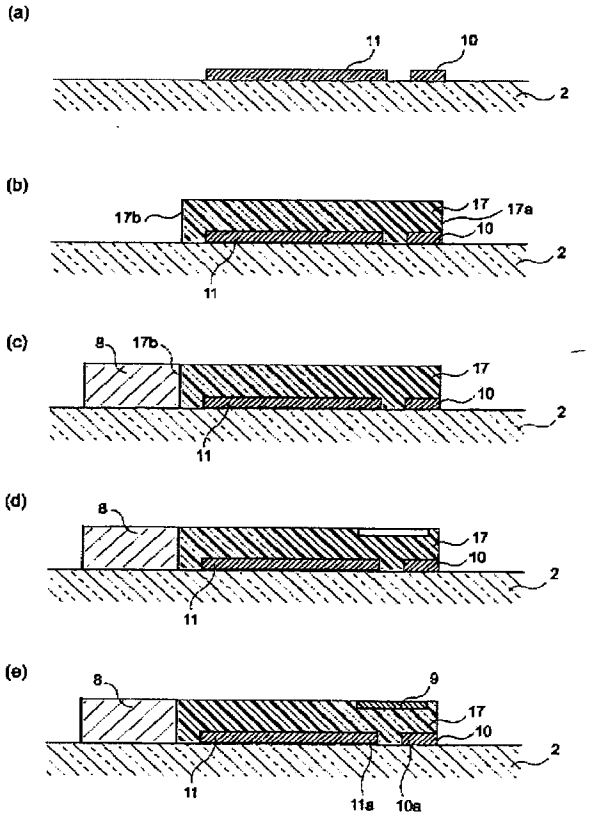
【図5】



【図6】

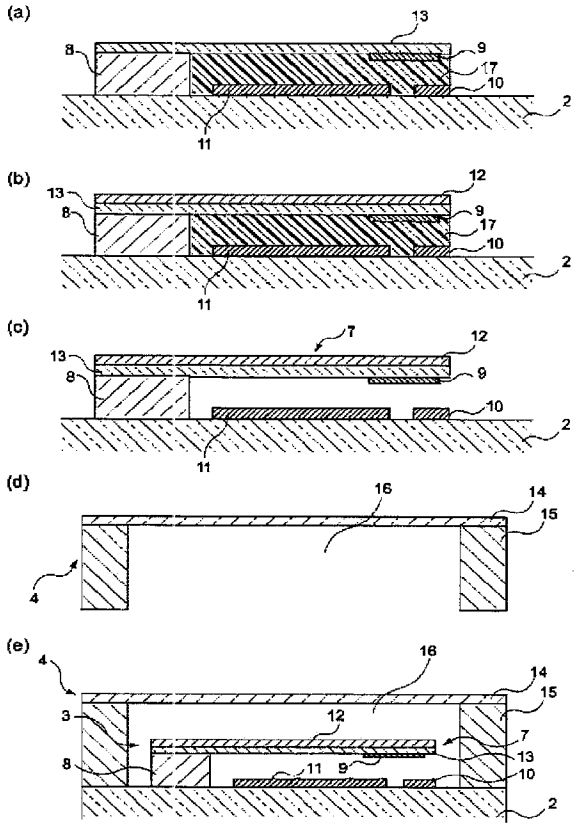


【図7】

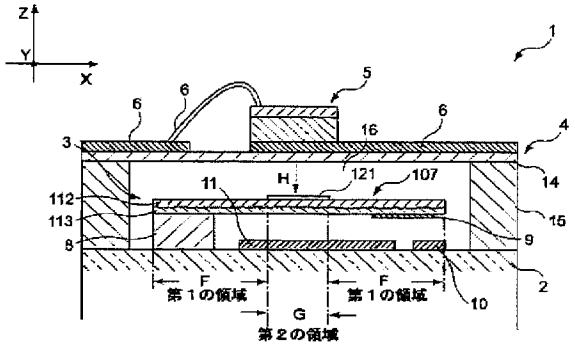


BNSDOCID: <JP_____2007180643A__I_>

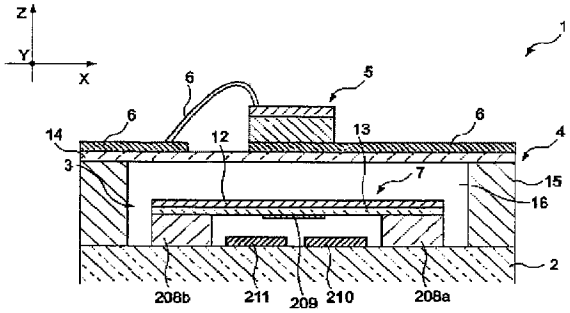
【図8】



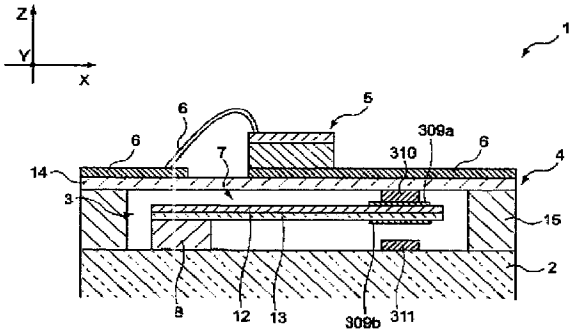
【図9】



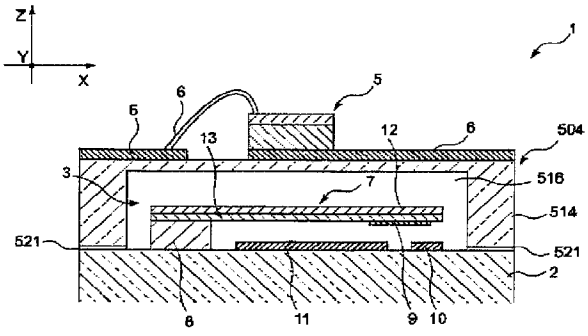
【図10】



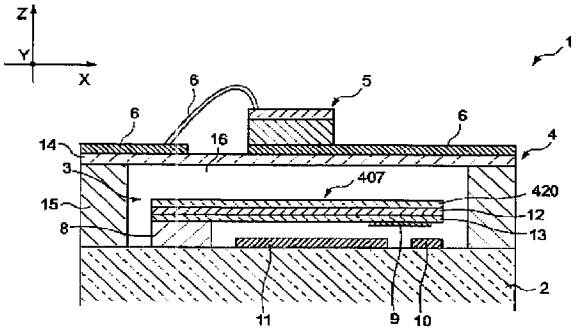
【図11】



【図13】

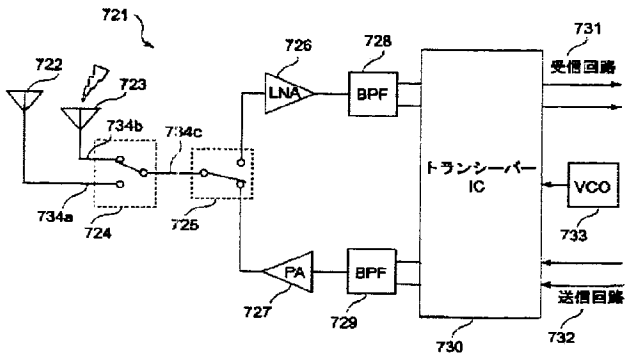


【図12】

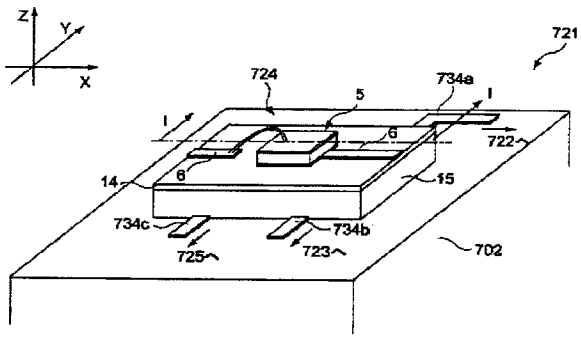


SAMSUNG EX. 1002 - 488/2862

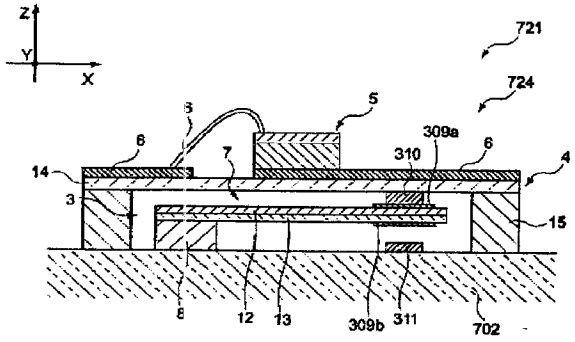
【図14】



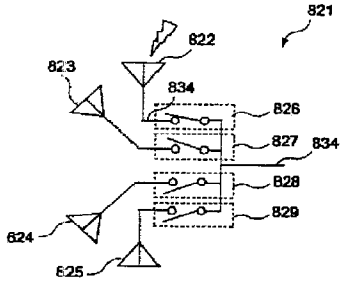
【図15】



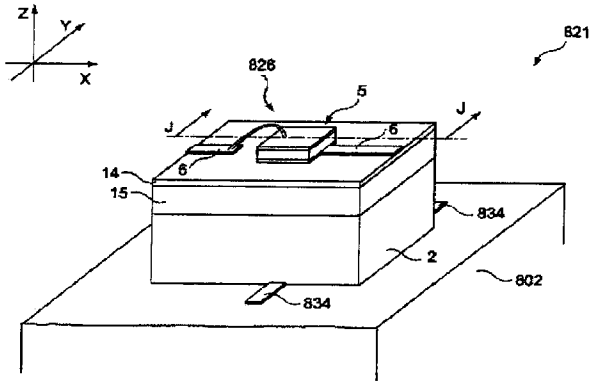
【図16】



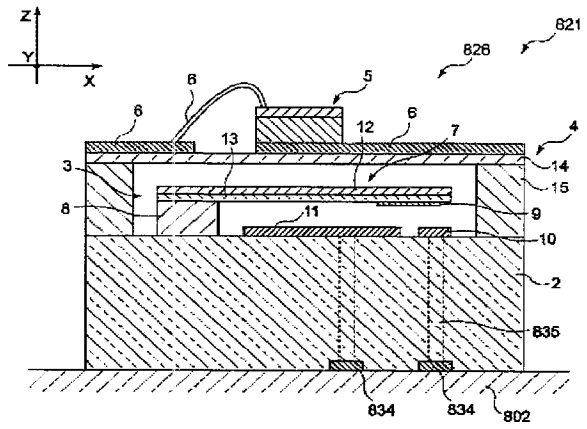
【図17】



【図18】



【図19】



SAMSUNG EX. 1002 - 490/2862

(51)Int.Cl.		F I	テーマコード（参考）
H01L 33/00	(2006.01)		

BNSDOCID: <JP____2007180643A__I_>

SAMSUNG EX. 1002 - 491/2862

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **07-183484**
(43)Date of publication of application : **21.07.1995**

(51)Int.Cl. **H01L 27/15**
G02B 6/13
G02B 6/122
H01L 31/02
H01S 3/18

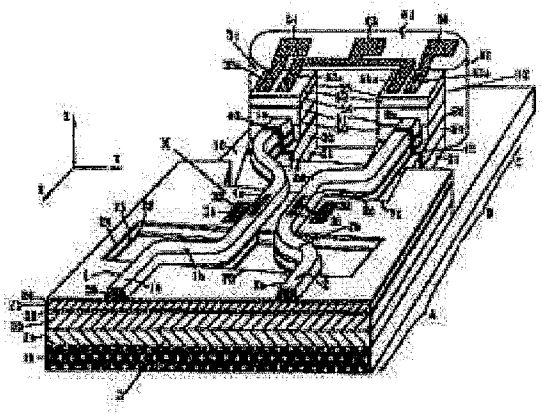
(21)Application number : **06-256229**
(22)Date of filing : **26.09.1994**

(71)Applicant : **FR TELECOM**
(72)Inventor : **GHIRARDI FREDERIC**
GIRAUDET LOUIS

(30)Priority
Priority number : **93 9311404** Priority date : **24.09.1993** Priority country : **FR**

(54) MONOLITHIC INTEGRATED STRUCTURE, ITS FABRICATION AND MONOLITHIC INTEGRATED HETERODYNE RECEIVING CIRCUIT

(57)Abstract:
PURPOSE: To provide a monolithic integrated structure including two photoelectric components connected optically through an optical guide by forming, in si.tu, at least one insulation barrier permitting optical transmission between two photoelectric components.
CONSTITUTION: A new silicon nitride protective mask is deposited on the entire structure and a groove-like window is made in the mask over the entire width thereof along a plane extending in parallel with YZ plane. The window is useful for forming an insulation barrier 40 by preferably diffusing a p+ conductivity type element deeply up to a substrate 10. The barrier 40 can isolate two detection diodes D1, D2 electrically from a coupler K by forming an npn double junction in the direction along the X axis and can transmit light between them. The double junction formed in si.tu corresponds to head/tail fixing of two diodes.



SAMSUNG EX. 1002 - 492/2862

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報（Ａ）**　(11)特許出願公開番号

特開平7－183484

(43)公開日　平成７年(1995)７月21日

(51)Int.Cl.[6]	識別記号	庁内整理番号	ＦＩ	技術表示箇所
Ｈ０１Ｌ　27/15		Ｃ　8832－4Ｍ		
Ｇ０２Ｂ　6/13				
6/122				
			Ｇ０２Ｂ　6/ 12	Ｍ
				Ｂ

審査請求　未請求　請求項の数17　ＦＤ　（全 8 頁）　最終頁に続く

(21)出願番号　特願平6－256229

(22)出願日　平成６年(1994)９月26日

(31)優先権主張番号　９３１１４０４

(32)優先日　1993年９月24日

(33)優先権主張国　フランス（ＦＲ）

(71)出願人　591034154
フランス・テレコム
ＦＲＡＮＣＥ　ＴＥＬＥＣＯＭ
フランス国、75015　パリ、プラス・ダルレ、６

(72)発明者　フレデリック、ギラルディ
フランス国パリ、アブニュ、フィリップ、アウグスト、45

(72)発明者　ルイ、ジロード
フランス国アスニエール、リュ、ド、プロニ、28

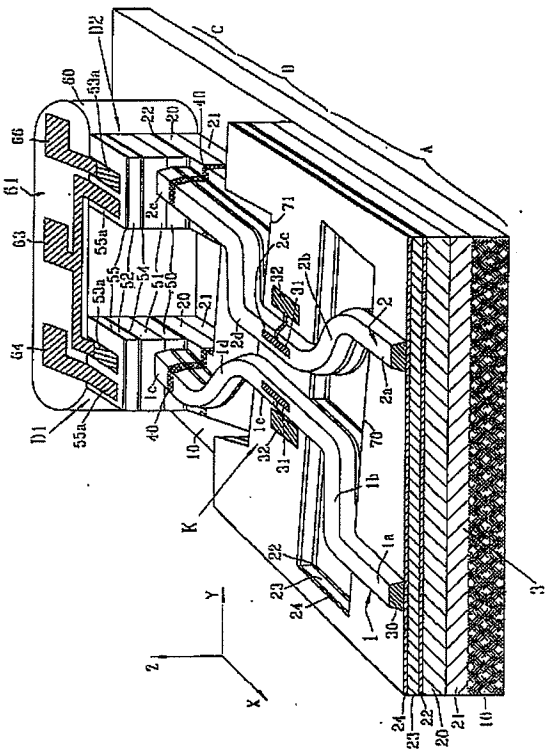
(74)代理人　弁理士　佐藤　一雄　（外３名）

(54)【発明の名称】　モノリシック集積構造体及びその製造方法、並びにモノリシック集積ヘテロダイン受信回路

(57)【要約】

【目的】　光電要素を含むモノリシック集積構造体及びその製造方法、並びにモノリシックヘテロタイン受信回路を提供する。

【構成】　本発明は光ガイドによって光学的に相互に接続された２つの光電成分（Ｋ，Ｄ１）を含むモノリシック集積構造の製造方法に関するものである。この方法は、２つの光電成分の間に光を伝送することのできる少なくとも１つの絶縁バリヤ（４０）を、下記の手段の少なくとも１つによってこれらの光電成分間にインシチュ形成する段階を含む：与えられた導電型の元素による反対導電型の構造区域の局所ドーピング、または半絶縁物質層のエピタキシャル蒸着。



SAMSUNG EX. 1002 - 493/2862

1

【特許請求の範囲】

【請求項１】光ガイドによって光学的に接続された２つの光電成分を含むモノリシック集積構造体の製造方法において、前記２つの光電成分の間の光伝送を可能とする少なくとも１つの絶縁バリヤを形成する段階を含み、前記バリヤ（４０、２４０）はインシチュ（in situ ）形成されることを特徴とするモノリシック集積構造体の製造方法。

【請求項２】少なくとも一方の光電成分と光ガイドとの間の光伝送はエバネッセンス(Evanescence) 効果によって実施されることを特徴とする請求項１に記載の方法。

【請求項３】少なくとも一方の光電成分と光ガイドとの間の光伝送は突き合わせ接合によって実施されることを特徴とする請求項１に記載の方法。

【請求項４】絶縁バリヤ（４０）は与えられた導電型の元素をもって構造の反対導電型の少なくとも１つの区域を局所ドーピングすることによって形成されることを特徴とする請求項１乃至３のいずれかに記載の方法。

【請求項５】ドーピングは、構造の表面から、前記元素を光ガイドを通して構造の絶縁基板（１０）まで深部拡散することによって実施されることを特徴とする請求項４に記載の方法。

【請求項６】ドーピングは、構造の表面から、前記元素を光ガイドを通して構造の絶縁基板（１０）までイオン注入することによって実施されることを特徴とする請求項４に記載の方法。

【請求項７】構造は重ね合された相異なる導電型の少なくとも１つの第１層と少なくとも１つの第２層とを含み、前記第１層の１つの区域のドーピングが前記第１層の導電型と反対の導電型を有する第１元素によって実施され、前記第１層のドーピング区域から片寄った前記第２層の１つの区域のドーピングが前記第２層および前記第１元素の導電型と反対の導電型を有する第２元素によって実施され、２つの光電成分の間にｎｐｎ型およびｐｎｐ型の２つの絶縁接合を形成することを特徴とする請求項５または６に記載の方法。

【請求項８】ドーピングは与えられた型の元素を構造の中間層の中に混入させることによって実施され、この中間層は前記元素の導電型と反対の導電型を有する２つの層の中間にエピタキシャル成長によって付着されることを特徴とする請求項２に記載の方法。

【請求項９】前記元素はｐ＋導電型を有することを特徴とする請求項５、６および８のいずれかに記載の方法。

【請求項１０】絶縁バリヤ（２４０）は半絶性縁物質層のエピタキシャル成長によって実施されることを特徴とする請求項２に記載の方法。

【請求項１１】前記半絶縁性物質は鉄を含有するリン化インジウムから成ることを特徴とする請求項１０に記載の方法。

【請求項１２】ｎ＋導電型の光インピーダンス整合層

2

（５０）が、光ガイドと、この光ガイドによりエバネッセンス(Evanescence) 効果で光を伝送される少なくとも一方の光電成分との間に配置されることを特徴とする請求項４乃至１１のいずれかに記載の方法。

【請求項１３】前記モノリシック集積構造体はヘテロダイン受信回路であって、この受信回路は直列に接続された２つの検出ホトダイオード（Ｄ１，Ｄ２）と、電気的に平衡されうる３ｄＢカプラー（Ｋ）とを含み、前記カプラー（Ｋ）が前記光電成分の一方を成し、また前記のホトダイオード（Ｄ１，Ｄ２）がそれぞれ前記光電成分の他方を成すことを特徴とする請求項１乃至１２のいずれかに記載の方法。

【請求項１４】２つの光電成分の間において光を伝送することのできる絶縁性バリヤ（４０）をこれらの成分間にインシチュ形成されたことを特徴とする光ガイドによって光電的に相互に接続される２つの光電成分を含むモノリシック集積構造体。

【請求項１５】前記バリヤは与えられた導電型の元素をもって構造の反対導電型の少なくとも１つの区域をドーピングすることによって形成されることを特徴とする請求項１４に記載のモノリシック集積構造体。

【請求項１６】前記バリヤは、前記光ガイドと前記の光電成分との間に半絶縁物質層をエピタキシャル成長することによって形成されることを特徴とする請求項１５に記載のモノリシック集積構造体。

【請求項１７】直列に接続された２つの検出ホトダイオードと、電気的に調整可能の３ｄＢ－カプラーとを含み、前記検出ホトダイオードと前記カプラーとの間に絶縁バリヤ（４０、２４０）がインシチュ形成され、このバリヤが前記カプラーと前記検出ホトダイオードとの間の光伝送を可能とすることを特徴とするモノリシック集積ヘテロダイン受信回路。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】本発明は光電分野に関するものであり、さらに詳しくは本発明は別個に形成された成分の組立てよりは、成分そのものの製造テクノロジーを含むモノリシック集積構造体の分野に関するものである。特に本発明は非限定的にヘテロダイン受信回路の製造に関するものである。

【０００２】

【従来の技術、及び発明が解決しようとする課題】文献、"Integrated balanced mixer receiver on InP（Ｉｎｐ上の集積平衡ミキサ受信機），トロンマーほか、4th InP and Related Compounds Conference, WE3, Newport 1992" は、直列に接続された２つの検出ホトダイオードと、２つの光ガイドを含む３ｄＢ－カプラーとを有するモノリシック集積ヘテロダイン受信回路を記載している。カプラーがそれぞれの入力としての光ガイドにおいて、変調される信号Ｓと、局所発振器によって

SAMSUNG EX. 1002 - 494/2862

発生される基準信号Ｒとを受け、出力としての２検出ホトダイオードにおいて、それぞれ前記信号ＳとＲの半和と半差に対応する２つの信号を出力する。ホトダイオードは、それぞれS^2 ＋２Ｓ・Ｒ＋R^2 およびS^2 －２Ｓ・Ｒ＋R^2 の形の前記半和と半差の係数の平方を表わす電気信号を出力する。直列の２つのホトダイオードの搭載により、これらの２つの式の差、すなわち４Ｓ・Ｒの形の電気信号を共通点に集めることができる。このような受信機の利点は、局所発振器からノイズR^2 が除去され、また信号Ｒの振幅が信号Ｓの振幅よりはるかに大であるので、有効信号Ｓを増幅することにある。しかし実際上、完全に平衡されたカプラー、すなわち入力信号ＳとＲの半和と半差を正確に出力することのできるカプラーを作製することは困難であるので、多数の集積構造を作製し、適正に平衡されていないカプラーを有する集積構造を選別して放棄しなければならない。前記の構造においては、２つの光ガイドが半絶縁物質の基板上に形成されるので、これらの２つの光ガイドの絶縁の問題は生じない。

【０００３】他の集積モノリシック構造の例として、文献、"Directional Coupler,Balanced PIN Pair and JFET integrated on Inp Towards Receiver OEICs"L.Giraudet et al., Proceeding of fourth optoelecronic conference,PDP, 14July 1992" が挙げられる。この構造においては、カプラーの２つの光ガイドが導電性物質で形成され、２つの直列搭載ホトダイオードの電極の間に光ガイドを通して流れる漏れ電流が観察され、この漏れ電流が構造の性能を低下させる。しかし、カプラーの２つの光ガイドを導電性物質で形成することは、カプラー上にそれぞれ一方の光ガイドと組合わせて形成された２つの電極を通して電圧を加えまたは電流を注入することによりカプラーを電気的に平衡させうるという利点がある。この電流注入または電圧印加は、光ガイドの案内層を成す物質の指数の変動を生じ、従って物質中を伝播する光信号の位相を調整することが可能である。

【０００４】また他の文献、"Balanced Operation of a GaInAs/GaInAsp multiple-quantum-well Integrated Heterodyne Receiver, IEEE Photonics Technology LettersVol.2, No.8., August 1990" には、同一構造体上に２つの光ガイドを直列に接続せず、このようにして２つのホトダイオードの電極間の漏れ電流の問題を回避する方法が提案されている。２つのホトダイオードがそれぞれ出力する電気信号を別個に増幅し、次にその一方から他方を減算して前記の項S^2 とR^2 とを除去する。各ホトダイオードによって出力される電気信号のそれぞれ別個の増幅は、Ｒ2 の変動によるノイズをもはや抑止しないという欠点がある。

【０００５】米国特許第５，１２２，８５２号明細書には、共通基板上に搭載されてそれぞれ光ガイドと組合わされた２つの半導体検出器を含む集積構造が記載されている。前記基板と光ガイドは非半導体絶縁物質から成り、これは電気絶縁の問題を生じないが、検出器のモノリシック集積が不可能であり、これらの検出器は複雑ないわゆる「エピタキシャル・リフトオフ」法によって形成されなければならない。従ってモノリシック集積構造でないこのような構造は製造コストが高い。

【０００６】文献、"ELECTRONICS LETTERS, Vl.24,No.23, 10 November 1988, STEVENAGEGB, PAGES 1457-1458, S.Chandrasekhar et al., "Balanced dual photodiode sintegrated with a 3dB directional coupler for coherent lightwave receiv-ers" には、光ガイドについて導電性物質を使用して光ガイドの断面積を低減させその長さを増大することによって漏れ電流を低減させる方法が提案された。しかし光ガイドの抵抗率がなおも相当に低く、メグオーム（ＭΩ）のオーダであり、いずれにせよ光ガイドの長さに依存するので、容積および製造コストの問題を生じる。

【０００７】文献、"22 GHz Photodiode monolithically integrated with optical wave-guide on semei-insulating InP using novel Butt-Joint structure, Kato etal., Electronic Letters, 1992, pp.1140-1143" には、光ガイドの端面上に、この光ガイドとホトダイオードとの間に絶縁層を形成する方法が記載されている。光ガイドとホトダイオードの形成後にこれらのホトダイオードと光ガイドとを分離するために反応性イオンビーム腐食法（ＲＩＢＥ）によって垂直溝をエッチングし、この溝の中に絶縁層としてのシリカ薄膜がマグネトロンによって蒸着される。しかしこの方法によれば、エッチングされる溝の幅を制御することが困難であり、従ってホトダイオードと光ガイドとの間に形成される無定形シリカ薄膜の厚さを制御してこれらの光ガイドとホトダイオードとの間に最適光伝送を保証することが困難である。

【０００８】特開平３－２９２，７７７号公報に記載の集積構造体においては、半導体レーザおよび検出器の成分層の形成後に絶縁性バリヤがエピタキシャル成長させられる。これらの２つの成分が導電性基板上に形成されて共通電極を保持するので、２成分間の絶縁が不完全である。同様にＥＰ４２２，８５４号公開明細書の中に提案された構造体においては、ホトダイオードと光増幅器が共通電極を保持する。本発明は前記の問題点を解決しようとするものである。

【０００９】

【課題を解決するための手段】従って本発明の目的は、光ガイドによって光学的に接続された２つの光電成分を含むモノリシック集積構造の製法において、前記２つの光電成分の間の光伝送を可能とする少なくとも１つの絶縁バリヤを形成する段階を含み、本発明によれば前記バリヤはインシチュ（in situ ）形成されることを特徴とするモノリシック集積構造体の製造方法を提供するにあ

SAMSUNG EX. 1002 - 495/2862

る。

【００１０】従って、先行技術による提案と相違し、本発明によれば、後で絶縁物質によって充填されるべき溝を予め正確にエッチングする必要がない。本発明によれば、構造体の成分の製造中にまたは製造後に、この構造中にこれら２成分間の光通路に配置された溝をエッチングすることなく、絶縁バリヤを形成することができる。

【００１１】望ましくは、光電成分の少なくとも一方と光ガイドとの間の光伝送はエバネッセンス(Evanescence) によって実施される。他の実施態様として、この光伝送は突き合わせ接合によって実施される。

【００１２】本発明の第１実施態様によれば、絶縁バリヤは与えられた導電型の元素をもって構造の反対導電型の少なくとも１つの区域を局所ドーピングすることによって形成される。

【００１３】好ましくは、ドーピングは、構造の表面から、前記元素を光ガイドを通して構造の絶縁基板まで深部拡散することによって実施される。他の実施態様において、ドーピングは、構造の表面から、前記元素を光ガイドを通して構造の絶縁基板までイオン注入することによって実施される。好ましくは前記元素はｐ＋導電型を有する。もし適当なら、構造が重ね合された相異なる導電型の少なくとも１つの第１層と少なくとも１つの第２層とを含む場合、第１層の１つの区域のドーピングが前記第１層の導電型と反対の導電型を有する第１元素によって実施され、前記第１層のドーピング区域から片寄った前記第２層の１つの区域のドーピングが前記第２層および前記第１元素の導電型と反対の導電型を有する第２元素によって実施され、２つの光電成分の間にｎｐｎ型およびｐｎｐ型の２つの絶縁接合を形成する。絶縁を改良するため、直列に配置された数個の絶縁接合を同様に形成することができる。

【００１４】前記実施態様の変形として、ドーピングは与えられた型の元素を構造体の中間層の中に混入させることによって実施され、この中間層は前記元素の導電型と反対の導電型を有する２つの層の中間にエピタキシャル成長によって付着される。

【００１５】好ましくは前記元素はｐ＋導電型とする。

【００１６】本発明による方法の第２実施態様においては、絶縁バリヤは半絶縁物質層のエピタキシャル成長によって形成される。好ましくは前記半絶縁物質は鉄を含有するリン化インジウムから成る。

【００１７】望ましくは、ｎ＋導電型の光インピーダンス整合層が、光ガイドと、この光ガイドによりエバネッセンス(Evanescence) 効果で光を伝送される少なくとも一方の光電成分との間に配置される。

【００１８】本発明による方法は、直列に接続された２つの検出ホトダイオードと、電気的に平衡されうる３ｄＢカプラーとを含み、前記カプラーが前記光電成分の一方を成し、また前記のホトダイオードがそれぞれ前記光電成分の他方を成すように成されたヘテロダイン受信回路のモノリシック集積構造体を製造するために使用される。

【００１９】また本発明は、２つの光電成分の間において光を伝送することのできる絶縁性バリヤをこれらの成分間にインシチュ形成されたことを特徴とする光ガイドによって光電的に相互に接続される２つの光電成分を含むモノリシック集積構造体にある。

【００２０】本発明のモノリシック集積構造体の１実施態様においては、前記バリヤは与えられた導電型の元素をもって構造の反対導電型の少なくとも１つの区域をドーピングすることによって形成される。

【００２１】本発明のモノリシック集積構造体の他の実施態様においては、前記バリヤは、前記光ガイドとこの光電成分との間に半絶縁物質層をエピタキシャル蒸着することによって形成される。

【００２２】本発明のさらに他のモノリシック集積構造体においては、直列に接続された２つの検出ホトダイオードと、電気的に調整可能の３ｄＢ－カプラーとを含み、前記検出ホトダイオードと前記カプラーとの間に絶縁バリヤがインシチュ形成され、このバリヤが前記カプラーと前記検出ホトダイオードの間の光伝送を可能とする。

【００２３】

【実施例】下記の説明において、用語および用語結合、「長さ、前方、後方」、「側方」、および「厚さ、垂直、上方、下方」は付図の参照フレーム（Ｘ，Ｙ，Ｚ）のそれぞれＸ軸、Ｙ軸およびＺ軸にそった距離または位置を示す。

【００２４】図１乃至図４に図示の２つのモノリシック集積構造例はそれぞれ本発明の方法によって構成されたものであって、いずれもヘテロダイン受信回路に関するものであり、これらの回路はそれぞれ、直列に接続されたＰＩＮ型の２つの検出ホトダイオードＤ１，Ｄ２と、電気的に調整可能の３ｄＢカプラーＫとを含み、前記カプラーＫは２つの光ガイドを含み、これらの光ガイドはその上部にそれぞれの案内ストリップ１、２を有する。

【００２５】これら２つの集積構造は、ＸＺ面に対して平行な対称中面に対して対称的である。

【００２６】光ガイドの中への光の導入は構造の正面３から実施され、この正面３は平面であって、Ｘ軸線に対して垂直であり、案内層２０の中にあり、この案内層２０は下記に説明するように下方閉込め層２１と上方閉込め層２２とに挟まれている。案内ストリップ１、２は、これらのストリップの被覆する案内層区域の中に光を閉込め、またこれらのストリップは正面３から始まって、Ｘ軸に対して平行な相互に離間する直線部分１ａ，２ａを示し、これらの直線部分から後方に２つの湾曲部分１ｂ，２ｂが延長され、これらの湾曲部分から２つの相互に近接した直線部分１ｃ，１ｄが延長され、これらの直

SAMSUNG EX. 1002 - 496/2862

線部分１ｃ，１ｄはＸ軸に対して平行に並列されてカプラーＫの作動区域を成し、次に２つの後方に湾曲した部分１ｄ，２ｄが延在し、これらの湾曲部分は相互に離間して、これらの湾曲部分からそれぞれ２つの直線部分１ｅ，２ｅが延長され、これらの直線部分１ｅ，２ｅは相互に離間してＸ軸に対して平行に延在しそれぞれホトダイオードＤ１，Ｄ２に終わっている。

【００２７】下記において、Ａ、ＢおよびＣはそれぞれ構造の３区域を示し、これらの区域はＸ軸に対して垂直な２つの面P_{AB}とP_{BC}とによって区画されている。

【００２８】案内ストリップ１と２は区域ＡとＢの上に延在し、ホトダイオードＤ１，Ｄ２は区域Ｃの中に形成される。面P_{AB}は、後方湾曲部分１ｄ，２ｄと後方直線部分１ｅ，２ｅとの接合部分近くで案内ストリップ１、２と交わっている。

【００２９】図１および図２のモノリシック集積構造は本発明の第１実施態様に対応する。この構造は半絶縁性物質の基板１０を含み、この基板は付図においてダイシング後にＸ軸にそった細長い平行六面体として図示され、この基板はこの実施例においては鉄の含有によって半絶縁性に成されたリン化インジウムから成り、その抵抗は10^{7} Ωｃｍである。

【００３０】半絶縁性基板組立体１０の上に、例えば金属－有機化学蒸着法（ＭＯＣＶＤ）または分子ービームエピタキシャル成長法（ＭＢＥ）による第１エピタキシャル成長によって逐次下記の層が蒸着される。

【００３１】ａ）０．５μｍの厚さとｎ導電型のＩｎＰから成る指数n_1の下方閉込め層２１、

ｂ）ｎまたはｎ－導電型と０．６５μｍの厚さを有する４元ＩｎＧａＡｓＰから成るn_1より大きな指数n_2の光案内層２０と、

ｃ）ｎ－導電型のＩｎＰから成り、０．０５μｍの厚さを有する指数n_2以下のn_3の上方閉込め層２２と、

ｄ）０．４μｍの厚さを有し、ｎ＋導電型の４元ＧａＩｎＡｓＰ物質から成る光インピーダンス整合層５０と、

ｅ）０．９μｍの厚さを有し、ｎ－型固有導電性を有する３元ＧａＩｎＡｓ物質から成るＰＩＮホトダイオードの吸収層５１と、

ｆ）５０ｎｍの厚さを有し、それ自体公知のように次の２元物質層との漸進的結合を成すための４元ＧａＩｎＡｓＰの薄層５４と、

ｇ）０．４μｍの厚さを有し、ｎ導電型のＩｎＰから成るＰＩＮホトダイオードの上方閉込め層５２と、

ｈ）０．０５μｍのオーダの厚さを有し、ｎ導電型の３元ＧａＩｎＡｓ物質から成るホトダイオードの接触薄層５５と、

ｉ）図示されていない、エピタキシャル成長再開用の厚さ０．１μｍのＩｎＰ保護層。

【００３２】次に、カプラーＫの２つの光ガイドが形成される構造部分（区域ＡおよびＢ）において、前記ＩｎＰ保護層および前記層５５，５２，５４，５１および５０が除去される。このようにして露出された薄い上方閉込め層２２上に第２エピタキシャル成長が実施されて、これらの構造部分Ａ、Ｂにおいて逐次、下記層が形成される。

【００３３】ｊ）層２２と同一組成の厚さ０．１５μｍのＩｎＰから成る上方閉込め層２３と、

ｋ）厚さ２５ｎｍのｎ導電型の４元ＧａＩｎＡｓＰ物質から成る薄いブロッキング層２４と、

ｌ）厚さ０．８ｍｍで、案内ストリップ１、２をその上にエッチングするためのｎ導電型のＩｎＰから成る上方閉込め層３０。

【００３４】次に、窒化ケイ素保護マスクが構造全体に蒸着され、次に案内ストリップ１、２の線図に従って前記マスクを乾式エッチングし、次に上方閉込め層３０の保護されていない部分を除去することによりこれらのストリップが形成される。

【００３５】案内ストリップ１、２のエッチング後に、樹脂から成る第２保護マスクが構造全体の上に配置され、このマスクは案内ストリップ１、２のそれぞれ湾曲部分１ｂ，２ｂおよび１ｄ，２ｄに跨るウインド７０と７１を示す。これらのウインドの中においてブロッキング層２４と上閉込め層２２、２３を化学腐食によって除去し、図１に図示のようにこれらのウインドの中において案内層２０の上側面を露出させる。

【００３６】次に構造全体の上に新しい窒化ケイ素保護マスクを蒸着し、次にこのマスクの中に構造の幅全体に延在する溝穴状のウインドをＹＺ面に対して平行な面にそって形成する。このウインドは、本発明の方法の第１実施態様により、望ましくは亜鉛のｐ＋導電型の元素を基板１０まで前記ウインドを通して深く拡散させることによって絶縁バリヤ４０を形成するのに役立つ。このバリヤ４０は、Ｘ軸にそった方向にｎｐｎ二重接合を形成して、２つの検出ホトダイオードＤ１，Ｄ２とカプラーとを相互に電気的に絶縁させ同時にこれらの間に光を伝送させることができる。５００℃の温度での光照射に際して、上方閉込め層２２、２３、２４、３０のＩｎＰの厚さ約１μｍと、４元物質案内層２０の厚さ０．６５μｍと、下方閉込め層２１のＩｎＰの厚さ０．５μｍとを通して拡散するためには約３０分が必要である。光ガイドの中において、ｐ＋ドーピングは、相互に平行でＸ軸に対して垂直な２面４０ａ，４０ｂの間に局限される。これらの２つの面は、構造のｎ導電型またはｎ－導電型の区域Ｂの中に配置されている。このようにインシチュ形成された二重接合は２つのダイオードの頭／尾取付けに相当し、電流の横断に抵抗すると共にこの光ガイド中の光通過を可能とする。

【００３７】本発明による方法の第１実施態様の変形においては、構造の表面からＺ軸方向に基板まで延在する長方形断面の潜函の形状の２つの絶縁バリヤを形成し、

SAMSUNG EX. 1002 - 497/2862

それぞれのバリヤの内部に２つのダイオードを配置することができる。

【００３８】光ガイドを形成する層の全部が同一型の導電性でない場合、または光ガイドの導電型と反対の導電型を有する他の層がこの光ガイドの上に蒸着された場合、ＹＺ面に対して平行でＸ軸にそって片寄った２つの面にそって延在する２つの深いドーピングによって絶縁が実施される。この場合、与えられた型の各導電層上に２つのｎｐｎダイオード接合とｐｎｐダイオード接合とを頭／尾形成するように、２つの反対導電型の元素を使用してドーピングを実施することができる。

【００３９】図示の実施例において絶縁バリヤ４０は光ガイド中の光通路の中に配置されている。

【００４０】また本発明の主旨の範囲内において、段階（ｂ）後に、段階（ｃ）前に、ｎ導電型またはｎ－導電型の案内層２０上に、ｐ＋導電型層を蒸着し、次にこのｐ＋導電型層の上にｎ導電型またはｎ－導電型の上方閉込め層２２を蒸着することによって、エピタキシャル成長段階中に絶縁層をインシチュ形成することができる。この場合、絶縁バリヤは、光ガイドを出てホトダイオードに向かう光のエバネッセント型通路の中に配置される。

【００４１】亜鉛の深部拡散による絶縁バリヤ４０の形成後に、案内ストリップ１、２の相互に近接した直線部分１ｃ，２ｃ上にそれぞれ配置された２つのウインドと、ホトダイオードＤ１，Ｄ２の接触層５５上の他の２つのウインドとの合計４ウインドが同一窒化ケイ素マスクを通して拡散によって形成される。この場合、光ダイオードの層５５、５２の中にこれらのウインド５３ａを通して亜鉛が拡散されてｐ＋導電型の２区域５３を形成し、また層３０の中に案内ストリップ１、２の厚さの半分まで亜鉛が拡散されてカプラーＫを平衡させるための２つのｐ＋導電型電極区域３１を形成する。

【００４２】また前述のように、層３０と５２の中にＺｎの拡散による同時的ドーピングを可能とするように、これらの層３０、５２を同一素材で製造するのが望ましいことを注意しよう。

【００４３】次に、ブロッキング層２４上に、案内ストリップ１、２の相互に近接した直線部分１ｃ，２ｃの側方に、それぞれ隣接拡散区域３１に電気的に接続されたカプラーＫの２つの接点３２が配置されている。

【００４４】同様に、各ホトダイオードＤ１，Ｄ２上にそれぞれｎ－接点５５ａとｐ－接点５３ａが金属化によって配置され、これらの接点はそれぞれ各ホトダイオードの拡散区域５３の外側にある接点層５５の一部とこの拡散区域５３とに接続されている。

【００４５】望ましくは、４元物質から成る光インピーダンス整合層５０は、上方閉込め層２２の指数n_3より大きな指数n_4を示す。層５０の厚さは好ましくは反射防止層を成すように選定され、またこの層５０が光ガイドの上方に配置されていることはキャリヤの走行時間を制限させる。光が光ガイドから出てホトダイオードに向かうエバネッセンス(Evanescence) 伝送のために必要な吸収長さを短縮させ、従ってホトダイオードの容量を制限するように、層５０が案内層より大きな光指数を示すことが望ましい。

【００４６】次に、図１に図示の形状と合致するように、樹脂マスクを通してイオンビームエッチング法（ＩＢＥ法）によって、構造区域Ｂ，Ｃにおいて２つのホトダイオードＤ１，Ｄ２が基板１０まで彫刻される。彫刻区域は構造の前記面P_{AB}から後方に構造の後側面まで達する。前記の光ガイドは、その案内ストリップ１、２の後方直線部分１ｅ，２ｅによって覆われる部分において彫刻され、この彫刻部分はＸ軸にそって絶縁バリヤ４０の両側に延在し、従って光ガイドの絶縁バリヤ４０の前方に延在する部分とホトダイオードとの間に電気的接触はありえない。

【００４７】次にポリアミドから成る電気的接触支持パッド６０がそれ自体公知のように配備され、このパッドの上側面６１の上に金属化によって接点６４、６３、６６が形成され、これらの接点はそれぞれホトダイオードＤ１のｎ－接点５５ａ、ホトダイオードＤ１のｐ－接点５３ａおよびホトダイオードＤ２のｐ－接点５３ａに接続される。同様に接点６３はホトダイオードＤ２のｎ－接点５５ａに接続されているので、２つのホトダイオードＤ１，Ｄ２は支持パッド６０の接点６３によって直列に接続されている。

【００４８】図３と図４は本発明の方法の第２実施態様によって形成された構造を示す。

【００４９】図１と図２の素子と同様の図３と図４の素子は単に１００を加えた数字によって示される。もちろん、これらの素子の組成に関する説明は下記の説明に適用されるものとする。

【００５０】この実施態様において、第１エピタキシャル成長段階において光ガイドの上方閉込め層１２２の上に半絶縁物質の層２４０をエピタキシャル成長によって付着することによって電気的絶縁バリヤを形成する。この第１エピタキシャル成長段階においては層１５０、１５１、１５４、１５２、および１５５も付着される。あるいは変形として、層２４０を直接に光案内層１２０の上に付着することも考えられる。

【００５１】望ましくは層２４０は、鉄の含有によって半絶縁化されたＩｎＰ（ＩｎＰ：Ｆｅ）から成る。

【００５２】次に構造区域Ａ，Ｂの化学腐食によって層２４０を除去した後に、第２エピタキシャル成長段階を実施し、この段階において層１２３、１２４、１３０を付着する。

【００５３】案内ストリップ１０１、１０２をエッチングする際に、層２４０と短絡する接点を防止するため、ホトダイオードＤ１，Ｄ２の前縁を含む面P_{MC}から、こ

SAMSUNG EX. 1002 - 498/2862

れらのストリップ１、２の後側面２０２を分離するギャップ２０１をエッチングすることを注意しなければならない。このギャップ２０１は好ましくはＸ軸方向に３μｍのオーダの幅を有し、垂直に層１２２に達する。本出願の前文に記載の最後の公表と相違し、このギャップ２０１は単に絶縁の役割を有するのであって光によって横断されないのであるから、これを高度に精密に形成することは不必要である。

【００５４】本発明は前記の説明に限定されない。特に、カプラーの一方の案内ストリップに対して光学的に接続された局所発振器を使用することも考えられる。

【図面の簡単な説明】

【図１】本発明の第１実施態様によるモノリシック集積＊構造の概略斜視図。

【図２】図１の構造のＸ－Ｚ面に対して平行な面における断面図。

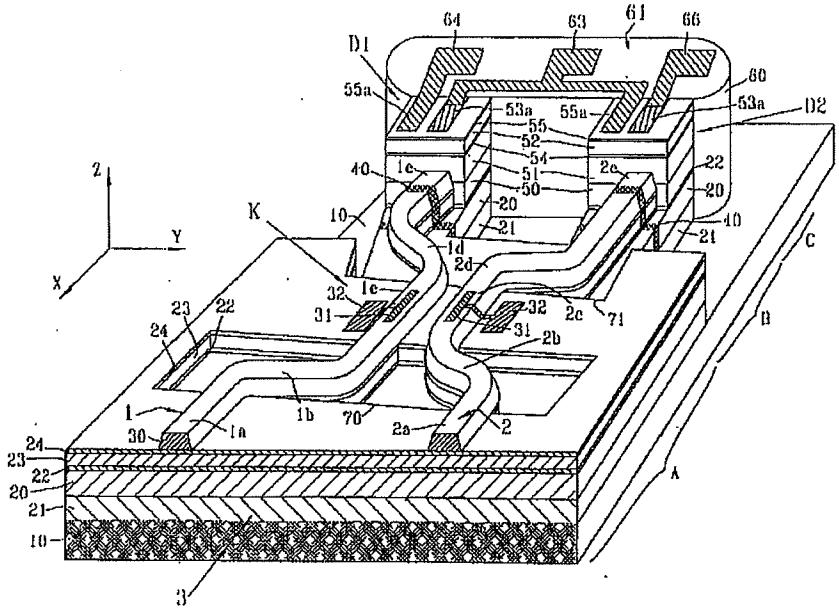
【図３】本発明の第２実施態様によるモノリシック集積構造の概略斜視図。

【図４】図３の構造のＸ－Ｚ面に対して平行な面における断面図。

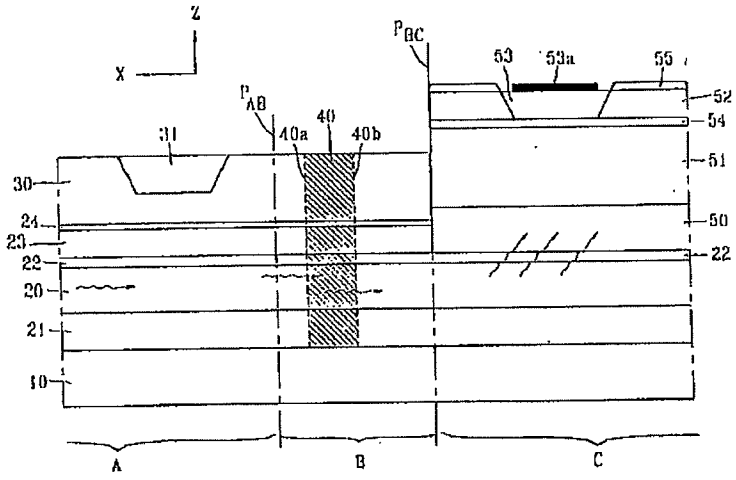
【符号の説明】

１０　基板
４０　絶縁性バリヤ
２４０　絶縁性バリヤ
Ｄ１，Ｄ２　検出ホトダイオード
Ｋ　３ｄＢ－カプラー

【図１】

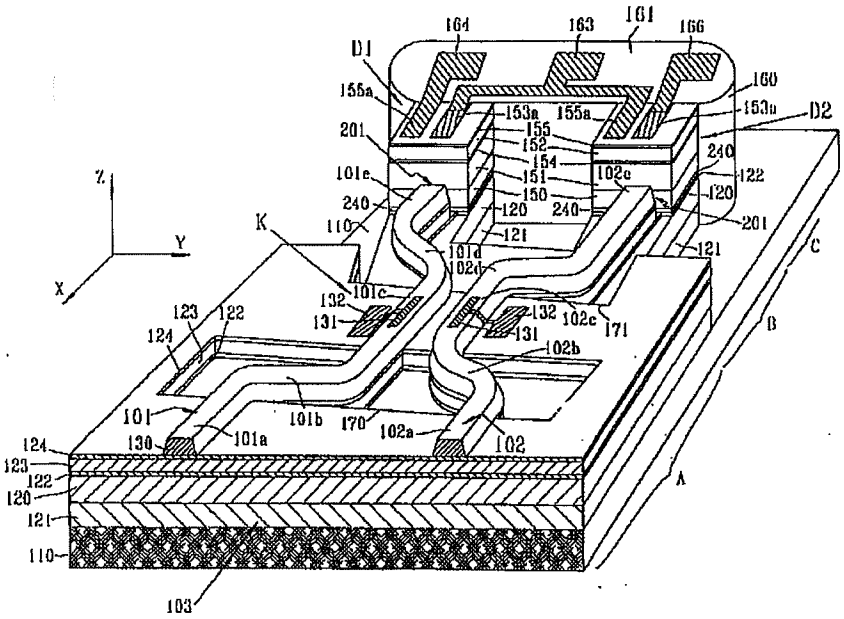


【図２】

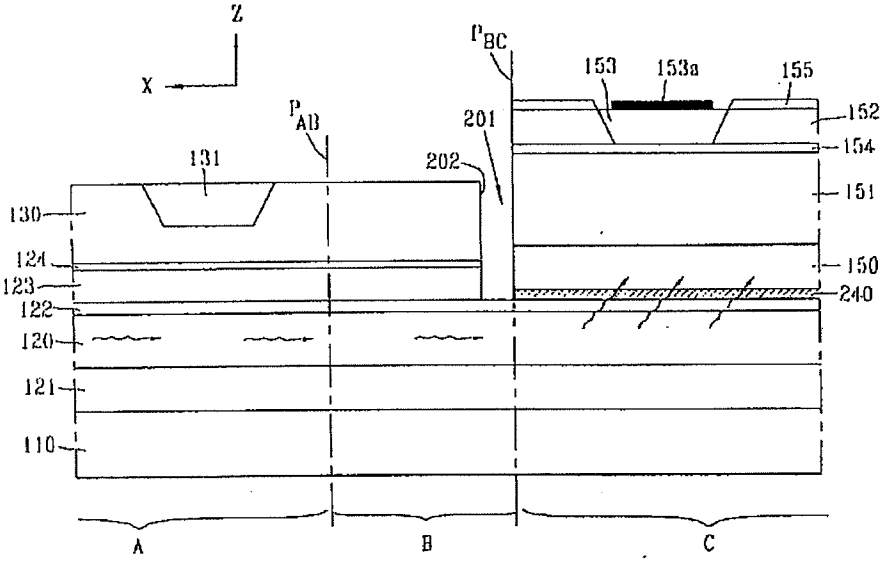


SAMSUNG EX. 1002 - 499/2862

【図3】



【図4】



フロントページの続き

(51)Int.Cl.[6]	識別記号	庁内整理番号	F I	技術表示箇所
H01L 31/02				
H01S 3/18				
		7630－4M	H01L 31/02	B

SAMSUNG EX. 1002 - 500/2862

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2007-305675
(43)Date of publication of application : 22.11.2007

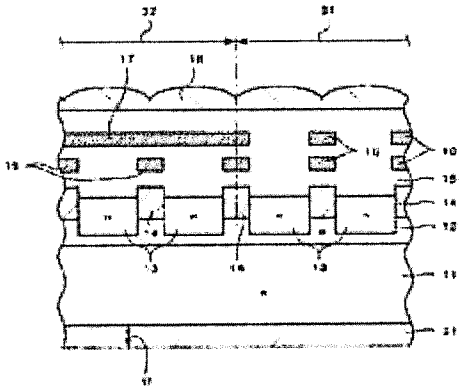
(51)Int.Cl. *H01L 27/14 (2006.01)*
H04N 5/335 (2006.01)

(21)Application number : 2006-130493
(22)Date of filing : 09.05.2006

(71)Applicant : SONY CORP
(72)Inventor : TAYA KEIJI

(54) SOLID-STATE IMAGING DEVICE AND IMAGING DEVICE

(57)Abstract:
PROBLEM TO BE SOLVED: To provide a solid-state imaging device which has a superior imaging characteristic by suppressing variation in black level in an optical black part due to irradiation with infrared light.
SOLUTION: The solid-state imaging device is provided with a sensor 13 for photoelectric conversion that is formed on the front surface of a semiconductor substrate 11, an effective pixel 31 and an optical black part 32 in a pixel area, and a low reflection film 21 which is low in reflectivity to an infrared light and is formed on the rear surface of the semiconductor substrate 11.



SAMSUNG EX. 1002 - 501/2862

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2007-305675
(P2007-305675A)
(43)公開日　平成19年11月22日(2007.11.22)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 27/14	***(2006.01)***	H01L	27/14	D	4M118
H04N 5/335	***(2006.01)***	H04N	5/335	S	5C024
		H04N	5/335	U	

審査請求 有　請求項の数 5　OL　（全 9 頁）

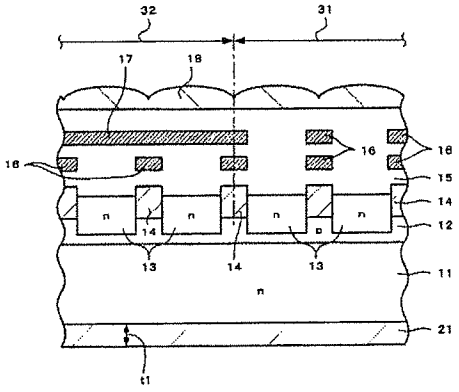
(21)出願番号　特願2006-130493 (P2006-130493)
(22)出願日　平成18年5月9日 (2006.5.9)

(71)出願人　000002185
ソニー株式会社
東京都港区港南１丁目７番１号
(74)代理人　100122884
弁理士　角田　芳末
(74)代理人　100133824
弁理士　伊藤　仁恭
(72)発明者　田谷　圭司
東京都品川区北品川６丁目７番３５号　ソニー株式会社内

Ｆターム(参考)　4M118 AA05 AB01 BA14 CA02 CA09
CA34 FA06 FA33 GB09 GB11
GB18 GB19 GC07 GD04
5C024 AX01 CX32 EX43 GX03 GZ36

(54)【発明の名称】固体撮像素子、撮像装置

(57)【要約】
【課題】赤外光の入射によるオプティカルブラック部の黒レベルの変動を抑制することにより、良好な撮像特性を有する固体撮像素子を提供する。
【解決手段】光電変換がなされるセンサ部１３が半導体基板１１の表面側に形成され、画素領域に有効画素部３１とオプティカルブラック部３２とを有し、半導体基板１１の裏面側に、赤外光の反射率の低い低反射膜２１が形成されている固体撮像素子を構成する。
【選択図】図１



SAMSUNG EX. 1002 - 502/2862

【特許請求の範囲】
【請求項1】
光電変換がなされるセンサ部が、半導体基板の表面側に形成され、
画素領域に有効画素部とオプティカルブラック部とを有し、
前記半導体基板の裏面側に、赤外光の反射率の低い低反射膜が形成されている
ことを特徴とする固体撮像素子。
【請求項2】
前記低反射膜が、前記半導体基板の材料との屈折率の差が大きい材料から成る単層膜であることを特徴とする請求項１に記載の固体撮像素子。
【請求項3】
前記低反射膜が、互いの屈折率の差が大きい複数の膜を積層して成る多層膜であることを特徴とする請求項１に記載の固体撮像素子。
【請求項4】
前記低反射膜が、赤外光を吸収する特性を有する材料から成ることを特徴とする請求項１に記載の固体撮像素子。
【請求項5】
固体撮像素子と、前記固体撮像素子へ入射光を導く光学部品とを少なくとも備え、
前記固体撮像素子は、光電変換がなされるセンサ部が、半導体基板の表面側に形成され、画素領域に有効画素部とオプティカルブラック部とを有し、前記半導体基板の裏面側に、赤外光の反射率の低い低反射膜が形成されている
ことを特徴とする撮像装置。

【発明の詳細な説明】
【技術分野】
【0001】
本発明は、オプティカルブラック部と有効画素部を有して成る固体撮像素子、並びに固体撮像素子を備えた撮像装置に係わる。
【背景技術】
【0002】
通常、固体撮像素子においては、有効画素部の外側にセンサ部上を例えばＡ１等遮光性の高い金属からなる遮光膜で被覆したオプティカルブラック部を設け、このオプティカルブラック部（以下ＯＰＢ部とする）からの信号を黒レベルとしている（例えば、特許文献１参照。）。
【特許文献1】特開２００１－１４４２８０号公報
【発明の開示】
【発明が解決しようとする課題】
【0003】
ところで、赤外光は、遮光膜で遮ることができるが、可視光線よりも吸収されにくいため、可視光線よりも到達可能距離が長くなる。
【0004】
このことから、センサ部上の遮光膜に開口が形成されている有効画素部において斜めに入射した赤外光が、基板の裏面で反射してＯＰＢ部のセンサ部に入射して、ＯＰＢ部で光電変換が起こってしまい、ＯＰＢ部で黒レベルを決めている部分の画面に色が付いたり、明るさが変わってしまったりという現象が起こっていた。
【0005】
ここで、従来の固体撮像素子の概略構成図（断面図）を図５に示す。
図５に示すように、有効画素部３１の画素においては、センサ部１３上の遮光膜（配線層１６に開口が形成されているため、赤外光がシリコン基板１１に入射する。
そして、図５に示す、シリコン基板１１に斜めに入射した赤外光Ｌは、シリコン基板１１の裏面で反射することによって、隣接するＯＰＢ部３２の画素のセンサ部１３に入射することがある。

SAMSUNG EX. 1002 - 503/2862

【0006】
赤外光は、可視光線よりも吸収されにくいが、全く吸収されないわけではない。
特に、波長８００ｎｍ～１３００ｎｍ程度の赤外光は、シリコンにある程度吸収されるため、ＯＰＢ部３２の画素のセンサ部１３に赤外光が入射すると、センサ部１３で吸収されて光電変換が起こってしまう。
【0007】
上述の現象への対策としては、固体撮像素子の前段に、赤外線をカットするＩＲカットフィルタを設けてカメラ等の撮像装置を構成することが考えられる。
このようにＩＲカットフィルタを設けることにより、ＯＰＢ部だけでなく、有効画素部へも赤外線が入射しないようにすることができる。
【0008】
しかしながら、広い波長範囲をカットすることが可能なＩＲカットフィルタは非常に高価であるため、撮像装置のコストが増大してしまう、という問題がある。
【0009】
また、ＩＲカットフィルタを設けることができないような撮像装置（例えば、赤外光を利用する監視カメラや、赤外光を利用することによって解像度を上げるもの）等には、ＩＲカットフィルタを設ける対策を採ることができない。
【0010】
上述した問題の解決のために、本発明においては、赤外光の入射によるオプティカルブラック部の黒レベルの変動を抑制することにより、良好な撮像特性を有する固体撮像素子、並びにこの固体撮像素子を備えた撮像装置を提供するものである。
【課題を解決するための手段】
【0011】
本発明の固体撮像素子は、光電変換がなされるセンサ部が半導体基板の表面側に形成され、画素領域に有効画素部とオプティカルブラック部とを有し、半導体基板の裏面側に、赤外光の反射率の低い低反射膜が形成されているものである。
また、本発明の撮像装置は、固体撮像素子と、固体撮像素子へ入射光を導く光学部品とを少なくとも備え、固体撮像素子を上記本発明の固体撮像素子の構成としたものである。
【0012】
上述の本発明の固体撮像素子の構成によれば、表面側にセンサ部が形成された半導体基板の裏面側に、赤外光の反射率の低い低反射膜が形成されていることにより、半導体基板の裏面から反射する光を低減することができる。これにより、半導体基板の裏面で反射してオプティカルブラック部のセンサ部に入射する赤外光を低減することができる。
【発明の効果】
【0013】
上述の本発明の固体撮像素子によれば、半導体基板の裏面で反射してオプティカルブラック部のセンサ部に入射する赤外光を低減することができるため、オプティカルブラック部のセンサ部に入射した赤外光に起因する、オプティカルブラック部の画素から得られる信号の変化を抑制することができる。
従って、黒レベルを決めるための画像に色が付いたり、明るさが変化してしまったりする問題の発生を抑えることができる。
これにより、良好な撮像特性を有する固体撮像素子を構成することができる。
【0014】
さらに、固体撮像素子の半導体基板の裏面で反射してオプティカルブラック部のセンサ部に入射する赤外光を低減することができるため、撮像装置に備えるＩＲカットフィルタを安価なものとすることや、省略することが可能になる。また、ＩＲカットフィルタを設けることができないような撮像装置においても、赤外光の反射光による問題の発生を抑えて、良好な画像を得ることが可能になる。
【0015】
上述の本発明の撮像装置によれば、良好な撮像特性を有する固体撮像素子を備えて、画

SAMSUNG EX. 1002 - 504/2862

質の良好な画像を得ることができる。
　また、赤外光をカットするＩＲカットフィルタを、安価なものとしたり、省略したりすることが可能になる。
【発明を実施するための最良の形態】
【0016】
　本発明の一実施の形態の固体撮像素子の概略構成図（断面図）を図１に示す。
　本実施の形態は、本発明をＣＭＯＳ型固体撮像素子に適用した場合である。
【0017】
　この固体撮像素子は、第１導電型、例えばｎ型のシリコン基板１１の表面側に、第２導電型、例えばｐ型の半導体ウェル領域１２が形成され、シリコン基板１１の表面側のｐ型半導体ウェル領域１２内に、光電変換が行われるセンサ部１３が形成されている。
　センサ部１３は、ｎ型の半導体領域から成り、ｐ型の半導体ウェル領域１２とによってフォトダイオードＰＤが構成される。
　各画素のセンサ部１３の間は、一部がシリコン基板１１に埋め込まれたSiO_2層から成る素子分離層１４により、分離されている。
　シリコン基板２１の上方には、絶縁層１５を介して配線層１６が設けられている。
【0018】
　画素領域に、多数の画素が形成されており、画像の信号を得るための有効画素部３１の画素に対して、黒レベルの基準を求めるために、オプティカルブラック（ＯＰＢ）部３２の画素が設けられている。図示しないが、有効画素部３１が画素領域の主要部分を占めており、ＯＰＢ部３２は画素領域の端部に形成される。
【0019】
　そして、有効画素部３１の画素では、各層の配線層１６がセンサ部１３上に開口を有している。
　一方、オプティカルブラック（ＯＰＢ）部３２の画素では、最上層の配線層１７が遮光層を兼ねていて、センサ部１３上をも覆って連続的に形成されている。これにより、センサ部１３に光が入射しないようにしている。
【0020】
　さらに上層には、絶縁層を介して、オンチップレンズ１８が設けられている。
　カラー固体撮像素子に使用する場合には、図示しないが、オンチップレンズ１８の下にさらにカラーフィルターを設ける。
【0021】
　なお、各画素において、図１に示す断面以外の部分に、センサ部１３で光電変換された信号電荷を読み出したり、信号電荷を電圧に変換して信号として取り出したりするためのトランジスタを備えた、トランジスタ部が設けられる。
【0022】
　本実施の形態では、特に、センサ部１３が表面側に形成されたシリコン基板１１の裏面側に、赤外光の反射率が低い低反射膜２１を設けている。
　そして、低反射膜２１の具体的な構成として、赤外光に対する屈折率が、シリコン基板１１との差が比較的大きい材料から成る膜を形成している。
【0023】
　さらに、好ましくは、低反射膜２１の膜厚ｔ１を、低反射膜２１の屈折率がｎであるとき、該当する赤外光の波長λに対して、λ／（４ｎ）程度とする。
【0024】
　このような構成の低反射膜２１をシリコン基板１１の裏面側に形成したことにより、シリコン基板１１の裏面で反射した光と、低反射膜２１を経て反射した光とが干渉して弱めあい、その結果として反射光が低減される。
【0025】
　ここで、図１のシリコン基板１１の裏面で反射する光を示した、図２を利用して、干渉による反射光の低減について説明する。

SAMSUNG EX. 1002 - 505/2862

シリコン基板１１に入射した光のうち、実線で示す一部の光Ｌ１は、シリコン基板１１の裏面即ちシリコン基板１１と低反射膜２１との界面で反射する。また、破線で示す他の光Ｌ２は、低反射膜２１の裏面で反射する。

ここで、低反射膜２１が、該当する赤外光の波長λに対して、λ／（４ｎ）程度の膜厚であることから、光学膜厚（膜厚×屈折率）がλ／４程度となり、低反射膜２１の裏面で反射した光Ｌ２は、位相が変化して１／４周期＋１／４周期＝１／２周期ずれる。このように位相が半周期ずれることにより、シリコン基板１１の裏面で反射した光Ｌ１と干渉して互いに弱めあうことになり、シリコン基板１１の裏面から反射する赤外光が低減されるため、低反射膜２１の赤外光の反射率が低くなる。

【0026】

なお、低反射膜２１の膜厚を、（２ｋ－１）λ／（４ｎ）（ｋは自然数）とすれば、λ／（４ｎ）とした場合と同様の作用効果が得られる。

ただし、ｋをあまり大きくすると、低反射膜２１の成膜に長い時間を要するため、ｋを１～３程度とするとよい。

【0027】

該当する赤外光の波長λは、シリコンに吸収される波長範囲の８００ｎｍ～１３００ｎｍ程度であるため、低反射膜２１の光学膜厚（ｔ１×ｎ）は、２００ｎｍ～１０００ｎｍ程度とすることが好ましい。λ＝８００ｎｍのときにλ／４＝２００ｎｍであり、λ＝１３００ｎｍのときに３λ／４＝約１０００ｎｍである。

【0028】

低反射膜２１の材料としては、オンチップカラーフィルター等に使用される有機材料や、ＳｉＮ，SiO_2，多結晶シリコン，ＳｉＣ，Ta_2O_3等を使用することが可能である。

【0029】

本実施の形態の固体撮像素子を製造する際には、シリコン基板１１の裏面側に、低反射膜２１を形成する工程を設ける。

シリコン基板１１の裏面に対してバックグラインドを行わない場合は、シリコン基板１１の表面側の工程に引き続いて、低反射膜２１を形成する工程を行うことも可能である。

【0030】

上述の本実施の形態によれば、シリコン基板１１の裏面側に、赤外光の反射率の低い低反射膜２１が形成されていることにより、シリコン基板１１の裏面で反射してセンサ部１３に入射する赤外光を低減することができる。

これにより、シリコン基板１１の裏面で反射して、ＯＰＢ部３２の画素のセンサ部１３に入射した赤外光に起因する、ＯＰＢ部３２の画素から得られる信号の変化を、抑制することができる。

従って、黒レベルを決めるための画像に色が付いたり、明るさが変化してしまったりする問題の発生を抑えることができ、良好な撮像特性を有する固体撮像素子を構成することができる。

【0031】

本実施の形態の固体撮像素子と、固体撮像素子に入射光を導く光学部品、例えばレンズやフィルター等とを少なくとも備えることにより、撮像装置を構成することができる。

なお、このような撮像装置が備える固体撮像素子の個数は１個に限定されるものではなく、３つの固体撮像素子を備えた所謂３板式の構成のように、複数個の固体撮像素子を設けて撮像装置を構成してもよい。

【0032】

そして、本実施の形態の固体撮像素子を備えて撮像装置を構成することにより、ＩＲカットフィルタを安価なものとすることや、ＩＲカットフィルタを省略することが可能になる。

また、前述したような、ＩＲカットフィルタを設けることができないような撮像装置においても、赤外光の反射光による問題の発生を抑えて、良好な画像を得ることが可能にな

SAMSUNG EX. 1002 - 506/2862

る。

【0033】

なお、基板１１の裏面側に、さらに低反射膜２１を覆って、保護膜等の他の膜を形成してもよい。

【0034】

次に、本発明の他の実施の形態の固体撮像素子の概略構成図（断面図）を図３に示す。

本実施の形態では、シリコン基板１１の裏面側に形成する低反射膜２１を、互いの赤外光の屈折率の差が大きい、第１の膜２２と第２の膜２３とを交互に２層ずつ積層した多層膜としている。

その他の構成は、図１に示した先の実施の形態と同様であるので、同一符号を付して重複説明を省略する。

【0035】

低反射膜２１の第１の膜２２及び第２の膜２３の材料としては、先の実施の形態で挙げた材料、即ち、オンチップカラーフィルター等に使用される有機材料や、ＳｉＮ，ＳｉＯ$_2$，多結晶シリコン，ＳｉＣ，Ta_2O_3等を使用することが可能である。

そして、各種の材料から、屈折率の差が比較的大きい２つの材料を選んで、一方の材料を第１の膜２２に使用して、他方の材料を第２の膜２３に使用すればよい。

例えば、ＳｉＮとSiO_2との組み合わせを、第１の膜２２及び第２の膜２３に用いれば、屈折率の差を大きくすることができ、また容易に安価に成膜することができる。

【0036】

屈折率が異なり、屈折率に互いに差がある２つの膜２２，２３を、交互に２層ずつ合計４層積層して低反射膜２１を形成したことにより、シリコン基板１１の裏面で反射する光に対して、低反射膜２１を通ってその裏面で反射する光の位相が変わることを利用して、これらの光を干渉により弱めあうようにして、裏面側から反射する赤外光を減少させることができる。

【0037】

低反射膜２１を通ってその裏面で反射する光が、シリコン基板１１の裏面で反射する光と干渉して弱めあうように、第１の膜２２及び第２の膜２３の膜厚を、使用する材料の屈折率等に対応して、それぞれ適切な膜厚に設定する。

このように設定することにより、使用する材料にもよるが、低反射膜２１の多層膜の合計の光学膜厚は、おおむね単層膜の場合と同様に２００ｎｍ～１０００ｎｍ程度となる。

【0038】

上述の本実施の形態によれば、シリコン基板１１の裏面側に、赤外光の反射率の低い低反射膜２１が形成されていることにより、先の実施の形態と同様に、シリコン基板１１の裏面で反射してセンサ部１３に入射する赤外光を低減することができる。

これにより、シリコン基板１１の裏面で反射して、ＯＰＢ部３２の画素のセンサ部１３に入射した赤外光に起因する、ＯＰＢ部３２の画素から得られる信号の変化を、抑制することができる。

従って、黒レベルを決めるための画像に色が付いたり、明るさが変化してしまったりする問題の発生を抑えることができ、良好な撮像特性を有する固体撮像素子を構成することができる。

【0039】

また、低反射膜２１を第１の膜２２及び第２の膜２３を交互に積層した多層膜としていることにより、先の実施の形態の単層膜と比較して、材料選定や膜厚設定の自由度を高めることができる。

【0040】

本実施の形態の固体撮像素子と、固体撮像素子に入射光を導く光学部品、例えばレンズやフィルター等とを少なくとも備えることにより、撮像装置を構成することができる。

そして、本実施の形態の固体撮像素子を備えて撮像装置を構成することにより、ＩＲカットフィルタを安価なものとすることや、ＩＲカットフィルタを省略することが可能にな

SAMSUNG EX. 1002 - 507/2862

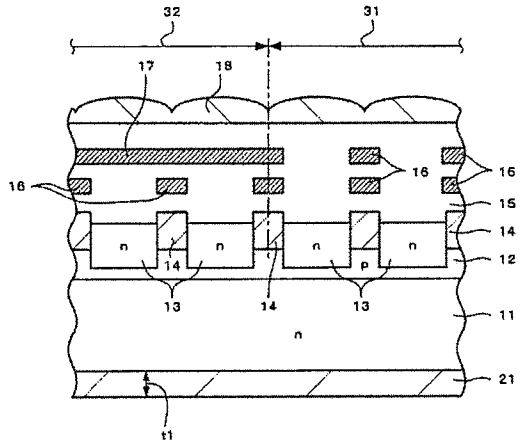
る。
　また、前述したような、ＩＲカットフィルタを設けることができないような撮像装置においても、赤外光の反射光による問題の発生を抑えて、良好な画像を得ることが可能になる。
【0041】
　上述の本実施の形態では、第１の膜２２と第２の膜２３とを交互に２層ずつ積層した低反射膜２１の構成であったが、積層する膜を３種類以上とすることや、それぞれの膜を積層する数を２層ずつ以外とすることも可能である。また、合計の総数は偶数に限らず、奇数でも構わない。
　いずれの構成であっても、低反射膜全体で反射光の位相が（２ｋ－１）／４（ｋは自然数）変化するように、各層の光学膜厚（屈折率と膜厚）を設定すればよい。
【0042】
　続いて、本発明のさらに他の実施の形態の固体撮像素子の概略構成図（断面図）を図４に示す。
　本実施の形態においては、シリコン基板１１の裏面側に形成する低反射膜２１として、赤外光を吸収する膜２４を設ける。
　これにより、シリコン基板１１の裏面から反射してくる赤外光を減少させることができる。
【0043】
　赤外光を吸収する膜２４の材料としては、カラーフィルター等に使用される各種の有機膜のうち、赤外光を吸収する特性を有する材料であり、赤外光をカットできるものであれば、特に問わない。
　具体的には、例えば、ベース材をポリマーとしてフタルシアニン系色素を混合した材料を使用することができる。
【0044】
　本実施の形態では、赤外光の吸収を利用していて、光の干渉を利用する必要がないため、低反射膜２１の膜厚の条件が、先の実施の形態よりも緩和される。赤外光を充分吸収できることや、成膜に長い時間をかけなくてすむことを考慮して、膜厚を設定すればよい。
【0045】
　上述の本実施の形態によれば、シリコン基板１１の裏面側に、赤外光を吸収する膜２４による低反射膜２１が形成されていることにより、シリコン基板１１の裏面で反射してセンサ部１３に入射する赤外光を低減することができる。
　これにより、シリコン基板１１の裏面で反射して、ＯＰＢ部３２の画素のセンサ部１３に入射した赤外光に起因する、ＯＰＢ部３２の画素から得られる信号の変化を、抑制することができる。
　従って、黒レベルを決めるための画像に色が付いたり、明るさが変化してしまったりする問題の発生を抑えることができ、良好な撮像特性を有する固体撮像素子を構成することができる。
【0046】
　本実施の形態の固体撮像素子と、固体撮像素子に入射光を導く光学部品、例えばレンズやフィルター等とを少なくとも備えることにより、撮像装置を構成することができる。
　そして、本実施の形態の固体撮像素子を備えて撮像装置を構成することにより、ＩＲカットフィルタを安価なものとすることや、ＩＲカットフィルタを省略することが可能になる。
　また、前述したような、ＩＲカットフィルタを設けることができないような撮像装置においても、赤外光の反射光による問題の発生を抑えて、良好な画像を得ることが可能になる。
【0047】
　上述の各実施の形態では、低反射膜を裏面側に形成する半導体基板として、いずれもシリコン基板を使用した場合を示したが、本発明は、シリコン基板以外の半導体基板を使用

SAMSUNG EX. 1002 - 508/2862

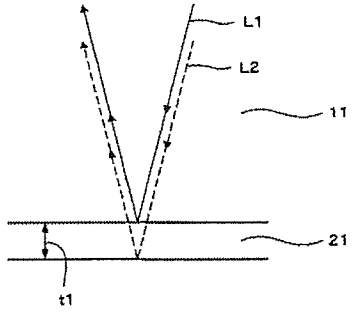
した場合にも適用することが可能である。
　また、シリコン基板の表面側に、シリコンエピタキシャル層を形成し、センサ部をこのシリコンエピタキシャル層内に形成した構成としてもよい。
　なお、他の半導体（例えばＧａＡｓ等の化合物半導体）は、赤外光の吸収特性がシリコンとは異なるので、その半導体の赤外光の吸収特性に合わせて、低反射膜の膜厚等を設定する。
【0048】
　また、上述の各実施の形態では、ＣＭＯＳ型固体撮像素子に適用した場合を説明したが、その他の構成の固体撮像素子、例えば前記特許文献１のようなＯＰＢ部を有するＣＣＤ固体撮像素子にも、同様に本発明を適用することができる。
【0049】
　さらに、本発明において、低反射膜は、必ずしも固体撮像素子の半導体基板やチップの端縁まで亘って全面的に形成されていなくてもよく、例えばチップの端縁より少し内側まで形成されていてもよい。
【0050】
　本発明は、上述の実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲でその他様々な構成が取り得る。
【図面の簡単な説明】
【0051】
【図1】本発明の一実施の形態の固体撮像素子の概略構成図（断面図）である。
【図2】図１のシリコン基板の裏面側における反射光を示す図である。
【図3】本発明の他の実施の形態の固体撮像素子の概略構成図（断面図）である。
【図4】本発明のさらに他の実施の形態の固体撮像素子の概略構成図（断面図）である。
【図5】従来の固体撮像素子の概略構成図（断面図）である。
【符号の説明】
【0052】
１１　シリコン基板、１２　半導体ウェル領域、１３　センサ部、１４　素子分離層、１５　絶縁層、１６　配線層、１７　配線層（遮光層）、１８　オンチップレンズ、２１　低反射膜、２２　第１の膜、２３　第２の膜、３１　有効画素部、３２　オプティカルブラック（ＯＰＢ）部

SAMSUNG EX. 1002 - 509/2862

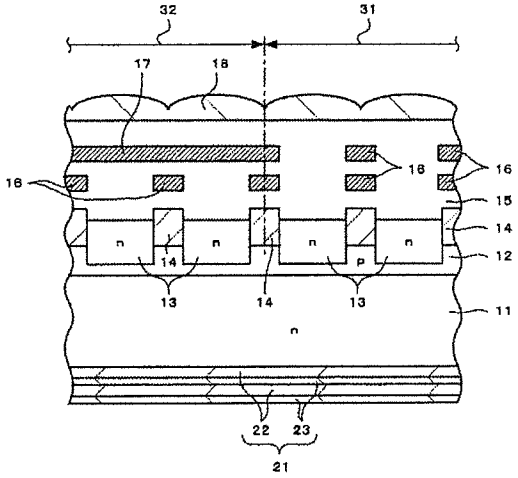
【図1】



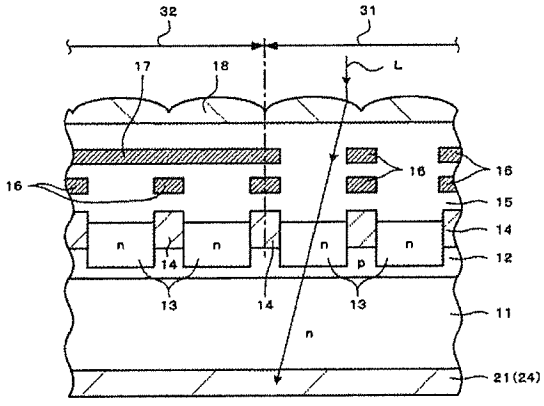
【図2】



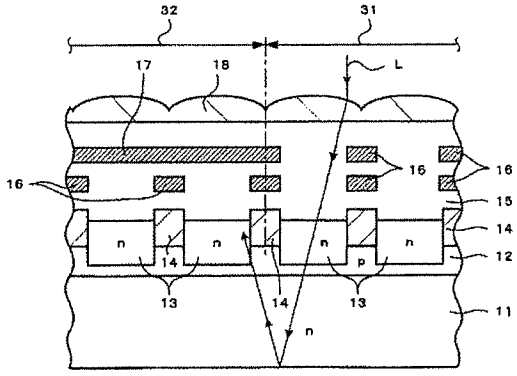
【図3】



【図4】



【図5】



SAMSUNG EX. 1002 - 510/2862

No documents available for this priority number.

Espacenet

Bibliographic data: JP2008187003 (A) — 2008-08-14

INFRARED RADIATION DETECTOR

Inventor(s): MATSUKURA YUSUKE ± (MATSUKURA YUSUKE)

Applicant(s): FUJITSU LTD ± (FUJITSU LTD)

Classification: - international:***H01L31/0264***
- cooperative: **B82Y20/00**; **H01L31/035218**; **H01L31/035236**; **H01L31/109**; **H01L31/1844**

Application number: JP20070019117 20070130

Priority number (s): JP20070019117 20070130

Also published as: JP4749351 (B2) US2010289061 (A1) US8368045 (B2)

Abstract of JP2008187003 (A)

PROBLEM TO BE SOLVED: To provide a quantum dot type infrared radiation detector using quantum dot in an infrared radiation sensitive part, which hardly lowers sensitivity in a low current region and is excellent in sensitivity characteristics. SOLUTION: The detector has: a contact layer 12 formed on a semiconductor substrate 10; a quantum dot layer 24 which is formed on the contact layer 12 and is formed by alternately and repeatedly laminating an interlayer and a quantum dot; and a contact layer 26 formed on the quantum dot layer 24. The interlayer in contact with the contact layer among a plurality of interlayers, has an impurity introduction region 16 wherein N-type impurities are introduced to an interface side between it and the contact layer 12. ; COPYRIGHT: (C)2008,JPO&INPIT

Last updated: 13.03.2013 Worldwide Database 5.8.6.7; 92p

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2008-187003
(P2008-187003A)
(43)公開日　平成20年8月14日(2008.8.14)

(51)Int.Cl.	F I		テーマコード（参考）
H01L 31/0264 (2006.01)	H01L 31/08	N	5F088

審査請求 未請求　請求項の数 8　OL　（全 14 頁）

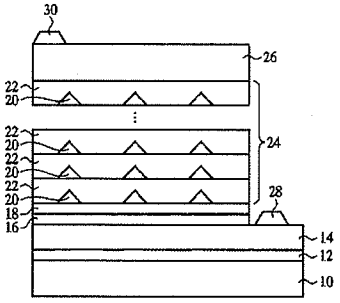
(21)出願番号　特願2007-19117(P2007-19117)
(22)出願日　平成19年1月30日(2007.1.30)

(71)出願人　000005223
富士通株式会社
神奈川県川崎市中原区上小田中４丁目１番１号
(74)代理人　100087479
弁理士　北野　好人
(74)代理人　100114915
弁理士　三村　治彦
(72)発明者　松倉　祐輔
神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内

Fターム(参考)　5F088 AA11　AB07　BA01　BA15　CB01
LA01

(54)【発明の名称】赤外線検出器

(57)【要約】
【課題】赤外感知部分に量子ドットを用いた量子ドット型赤外線検知器に関し、低電流領域における感度低下が少なく感度特性の良好な赤外線検出器を提供する。
【解決手段】半導体基板１０上に形成されたコンタクト層１２と、コンタクト層１２上に形成され、中間層と量子ドットとが交互に繰り返して積層されてなる量子ドット層２４と、量子ドット層２４上に形成されたコンタクト層２６とを有し、複数の中間層のうちコンタクト層に接する中間層は、コンタクト層１２との間の界面側にN型不純物が導入された不純物導入領域１６を有する。
【選択図】図１



SAMSUNG EX. 1002 - 513/2862

【特許請求の範囲】
【請求項1】
半導体基板上に形成された第１のコンタクト層と、
前記第１のコンタクト層上に形成され、前記第１の半導体材料よりなる複数の中間層と、前記第１の半導体材料よりもバンド幅の狭い第２の半導体材料よりなる複数の量子ドットとが交互に繰り返して積層されてなる量子ドット層と、
前記量子ドット層上に形成された第２のコンタクト層とを有し、
複数の前記中間層のうち前記第１のコンタクト層に接する前記中間層は、前記第１のコンタクト層との間の界面側にＮ型不純物が導入された不純物導入領域を有する
ことを特徴とする赤外線検出器。
【請求項2】
請求項１記載の赤外線検出器において、
前記不純物導入領域は、前記第１のコンタクト層と前記第２のコンタクト層との間に駆動電圧を印加した状態において、前記不純物導入領域による電位降下量をV_1、前記中間層内におけるΓ伝導体とΓ伝導体に近接する他の伝導帯とのエネルギー差をE_0として、
$$V_1 < E_0$$
の関係を満たすように、厚さ及び不純物濃度が規定されている
ことを特徴とする赤外線検出器。
【請求項3】
請求項１記載の赤外線検出器において、
前記不純物導入領域は、前記第１のコンタクト層と前記第２のコンタクト層との間に駆動電圧を印加した状態において、電荷素量をｅ、前記不純物導入領域の不純物濃度をN_d、前記中間層の誘電率をε、前記不純物導入領域の厚さをｔ、前記第１のコンタクト層と前記第２のコンタクト層との間隔をＬ、前記駆動電圧をV_0、前記中間層内におけるΓ伝導体とΓ伝導体に近接する他の伝導帯とのエネルギー差をE_0として、
$$(1/2)(eN_d/\varepsilon)t^2 + (t/L)V_0 < E_0$$
の関係を満たすように、厚さｔ及び不純物濃度N_dが規定されている
ことを特徴とする赤外線検出器。
【請求項4】
請求項１乃至３のいずれか１項に記載の赤外線検出器において、
前記不純物導入領域は、前記第１のコンタクト層と前記第２のコンタクト層との間に駆動電圧を印加した状態において、前記駆動電圧をV_0、前記不純物導入領域による電位降下量をV_1、前記中間層の厚さをｌ、前記第１のコンタクト層と前記第２のコンタクト層との間隔をＬ、前記不純物導入領域の厚さをｔ、前記中間層内におけるΓ伝導体とΓ伝導体に近接する他の伝導帯とのエネルギー差をE_0として、
$$((V_0 - V_1)l)/(L-t) < E_0$$
の関係を満たすように、厚さ及び不純物濃度が規定されている
ことを特徴とする赤外線検出器。
【請求項5】
請求項１乃至３のいずれか１項に記載の赤外線検出器において、
前記不純物導入領域は、前記第１のコンタクト層と前記第２のコンタクト層との間に駆動電圧を印加した状態において、前記駆動電圧をV_0、前記第１のコンタクト層と前記第２のコンタクト層との間隔をＬ、前記不純物導入領域の厚さをｔ、前記中間層内におけるΓ伝導体とΓ伝導体に近接する他の伝導帯とのエネルギー差をE_0、電荷素量をｅ、前記不純物導入領域の不純物濃度をN_d、前記中間層の誘電率をεとして、
$$V_0 - ((L-t)/l)E_0 < (1/2)(eN_d/\varepsilon)t^2 + (t/L)V_0$$
の関係を満たすように、厚さｔ及び不純物濃度N_dが規定されている
ことを特徴とする赤外線検出器。
【請求項6】

SAMSUNG EX. 1002 - 514/2862

請求項３乃至５のいずれか１項に記載の赤外線検出器において、
前記Γ伝導体に近接する他の伝導帯は、Ｘ伝導帯又はＬ伝導帯である
ことを特徴とする赤外線検出器。
【請求項7】
請求項１乃至６のいずれか１項に記載の赤外線検出器において、
前記第１の半導体材料は、ＧａＡｓ又はＡｌＧａＡｓであり、
ことを特徴とする赤外線検出器。
【請求項8】
請求項１乃至７のいずれか１項に記載の赤外線検出器において、
前記第２の半導体材料は、ＩｎＡｓ又はＩｎＧａＡｓである
ことを特徴とする赤外線検出器。

【発明の詳細な説明】
【技術分野】
【0001】
本発明は、赤外線検出器に係り、特に、赤外感知部分に量子ドットを用いた量子ドット型赤外線検知器に関する。
【背景技術】
【0002】
赤外線検出器の一つとして、赤外感知部分に量子ドットを用いた量子ドット型赤外線検出器が提案されている。量子ドット型赤外線検出器は、赤外感知部分に量子井戸を用いた量子井戸型赤外線検出器と比較して、素子面に垂直に入射する赤外光に対する検出感度が高い、光励起されたキャリアが再び捕獲される確率が少なく光電流利得が高い、などの利点を有している。このため、大きな光電流、つまり感度が得られる赤外線検出器として期待されている。
【0003】
光電流が大きい検出器では、比較的高い動作温度でも雑音源となる暗電流（動作温度に対して指数関数的に増大する）に埋もれずに信号電流を検出できるため、暗電流抑制のために検出器を冷却する必要が少なくなる。したがって、冷却装置を簡素化することができ、赤外線検出器の小型化並びに低コスト化を図ることが可能となる。
【0004】
なお、量子ドット型赤外線検出器は、例えば特許文献１や非特許文献１に記載されている。
【特許文献1】特開平１０－２５６５８８号公報
【非特許文献1】V. Ryzhii, "The theory of quantum-dot infrared photodiodes", Semicond. Sci. Technol., Vol. 11, 1996, p.759
【非特許文献2】I. Vurgaftman et al., "Band parameters for III-V compound semiconductors and their alloys", Journal of Applied Physics, Vol. 89, No. 11, 2001, pp. 5815-5875
【発明の開示】
【発明が解決しようとする課題】
【0005】
提案されている量子ドット型赤外線検出器としては、量子ドットとしてＩｎＡｓを、量子ドットを埋め込む中間層並びに電極層としてＧａＡｓを用いたものが知られている。しかしながら、このような量子ドット型赤外線検出器を実際に作製すると、期待されるほどの感度が得られなかった。
【0006】
赤外線検出器としての動作を決める量子ドット内での量子閉じ込めは、量子ドットの材料であるＩｎＡｓと、その周りを取り囲んで量子ドットを埋め込んでいるＧａＡｓ中間層との間の電位障壁高さで決まる。期待されるよりも感度が低いことは、この量子閉じ込めのための電位障壁高さが不十分であることが、その一つの原因であると考えられる。した

SAMSUNG EX. 1002 - 515/2862

がって、量子ドット型赤外線検出器の感度を向上するためには、ＧａＡｓ中間層よりもバンド幅の大きな材料、例えばＡｌＧａＡｓ中間層を用いることが有効であると考えられる。

【0007】

しかしながら、このような構造にすることによって確かに全体的には感度が向上するのであるが、信号雑音特性のよい低電流領域での感度改善が相対的に劣化することが判明した。

【0008】

図１０は量子ドット型赤外線検出器の動作電圧を変えたときの感度と暗電流との関係を模式的に示した図である。図中、点線が中間層としてＧａＡｓを用いた場合、実線が中間層としてＡｌＧａＡｓを用いた場合である。

【0009】

中間層としてＧａＡｓよりもバンド幅の大きなＡｌＧａＡｓを用いた場合、ＧａＡｓ中間層を用いた場合の特性と同様の傾きを有する特性（図中、破線で示す）が期待される。しかしながら、実際に作製した素子では、実線で示すように、低電流領域において相対的に感度が低下してしまう。赤外線検出器は、良い信号雑音特性を得るために、このような低い電流領域を用いることが多いため、この領域での感度の相対的な低下は重大な問題である。

【0010】

本発明の目的は、赤外感知部分に量子ドットを用いた量子ドット型赤外線検知器に関し、低電流領域における感度低下が少なく感度特性の良好な赤外線検出器を提供することにある。

【課題を解決するための手段】

【0011】

本発明の一観点によれば、半導体基板上に形成された第１のコンタクト層と、前記第１のコンタクト層上に形成され、前記第１の半導体材料よりなる複数の中間層と、前記第１の半導体材料よりもバンド幅の狭い第２の半導体材料よりなる複数の量子ドットとが交互に繰り返して積層されてなる量子ドット層と、前記量子ドット層上に形成された第２のコンタクト層とを有し、複数の前記中間層のうち前記第１のコンタクト層に接する前記中間層は、前記第１のコンタクト層との間の界面側にＮ型不純物が導入された不純物導入領域を有する赤外線検出器が提供される。

【発明の効果】

【0012】

本発明によれば、赤外感知部分に量子ドットを用いた量子ドット型赤外線検知器において、量子ドットを埋め込む中間層と電極層との間に、電極層側からの電子の注入を促進し、電子がΓ伝導体以外の伝導帯に散乱されるのを抑制するための不純物導入層を形成するので、中間層としてＡｌＧａＡｓのようなバンド幅の広い材料を用いて量子閉じ込め効果を向上した場合にも、低電流領域における相対的な感度の低下を抑制することができる。これにより、赤外線検出器の感度特性を改善することができる。

【発明を実施するための最良の形態】

【0013】

本発明の一実施形態による赤外線検出器及びその製造方法について図１乃至図９を用いて説明する。

【0014】

図１は本実施形態による赤外線検出器の構造を示す概略断面図、図２はＡｌＧａＡｓにおけるΓ帯からのエネルギー高さ及びＧａＡｓに対する電位障壁高さのＡｌ組成に対する依存性を示すグラフ、図３は中間層としてＧａＡｓ又はＡｌ組成の低いＡｌＧａＡｓを用いた赤外線検出器の動作状態を模式的に表すエネルギーバンド図、図４は中間層が感度改善に必要なだけの高いＡｌ組成のＡｌＧａＡｓを用いた赤外線検出器の動作状態を模式的に表すエネルギーバンド図、図５は本実施形態による赤外線検出器の原理を示すエネルギ

SAMSUNG EX. 1002 - 516/2862

ーバンド図、図６は不純物導入層の最適化のための検討に用いたエネルギーバンド構造のモデルを示す図、図７は本実施形態による赤外線検出器の評価結果を示すグラフ、図８及び図９は本実施形態による赤外線検出器の製造方法を示す工程断面図である。

【0015】

はじめに、本実施形態による赤外線検出器の構造について図１乃至図７を用いて説明する。

【0016】

ＧａＡｓよりなる半導体基板１０上には、例えば膜厚１００ｎｍのＧａＡｓ層よりなる緩衝層１２が形成されている。緩衝層１２上には、例えば膜厚５００ｎｍのＧａＡｓ層よりなる下部コンタクト層１４（第1のコンタクト層）が形成されている。

【0017】

下部コンタクト層１４上には、例えば膜厚１０ｎｍのＡｌＧａＡｓ層よりなる不純物導入層１６（不純物導入領域）が形成されている。不純物導入層１６には、N型の導電型を示す不純物が導入されている。不純物として例えばシリコンを用いる場合、III族元素のサイトにシリコンが入ることで、N型となる。不純物導入層１６上には、例えば膜厚４０ｎｍのＡｌＧａＡｓ層よりなる下地層１８が形成されている。なお、本実施形態では、便宜上、不純物導入層１６と下地層１８とを区別しているが、不純物導入層１６は、下地層１８の一部分の、不純物が導入された領域と考えることができる。

【0018】

下地層１８上には、量子ドット積層体２４が形成されている。量子ドット積層体２４（量子ドット層）は、ＩｎＡｓよりなる量子ドット２０と、例えば膜厚５０ｎｍのＡｌＧａＡｓよりなる中間層２２とを繰り返し（例えば１０回）積層することにより構成されている。なお、本実施形態では、便宜上、下地層１８と量子ドット積層体２４とを区別しているが、下地層１８は中間層２２と同じく量子ドット２０を埋め込み障壁層として機能するものであり、機能的には、中間層の一部分、すなわち量子ドット積層体２４の一部分でもある。かかる観点から、本願明細書では、不純物導入層１６及び下地層１８を、中間層と呼ぶこともある。

【0019】

量子ドット積層体２４上には、例えば膜厚１５０ｎｍのＧａＡｓ層よりなる上部コンタクト層２６（第2のコンタクト層）が形成されている。下部コンタクト層１４の一部の領域上は、上部コンタクト層２６、量子ドット積層体２４、下地層１８及び不純物導入層１６が除去されており、この領域の下部コンタクト層１４上に、下部電極層２８が形成されている。上部コンタクト層２６上には、上部電極層３０が形成されている。

【0020】

このように、本実施形態による赤外線検出器は、量子ドットがＩｎＡｓにより構成され、量子ドットを埋め込む中間層がＡｌＧａＡｓにより構成された量子ドット型赤外線検出器において、下部コンタクト層１４と下地層１８との間に、不純物導入層１６が形成されていることに主たる特徴がある。

【0021】

以下に、下部コンタクト層１４と下地層１８との間に不純物導入層１６を形成する理由及び効果について説明する。

【0022】

上述のように、量子ドットとしてＩｎＡｓを用いた赤外線検出器において、中間層をＧａＡｓからＡｌＧａＡｓに変更すると、低電流領域における感度が相対的に低下する。本願発明者が鋭意検討を行った結果、感度が低下する原因は、中間層の材料変更に伴う本質的な現象であることを突き止めた。

【0023】

一般的な半導体デバイスでは、考察する電子のエネルギーが比較的低いため、半導体中の伝導帯として、通常はいわゆるΓ伝導帯（Γ帯）のみを考える。しかしながら、実際には、よりエネルギー的に高い領域に、Ｌ帯やＸ帯と呼ばれる伝導帯が存在する。

SAMSUNG EX. 1002 - 517/2862

【0024】
図２は、Ｘ帯及びＬ帯の、Γ帯からのエネルギー高さ及びＧａＡｓに対する電位障壁高さについての、ＡｌＧａＡｓ中のＡｌ組成に対する依存性を示すグラフである。なお、計算に用いた物性定数は、非特許文献２に記載されたものを用いた。ＧａＡｓに対する障壁高さは、バンド幅の差に対して伝導帯側の寄与がその６０％であるとしている。また、素子温度は、７７Ｋを仮定した。
【0025】
図２から判るように、ＡｌＧａＡｓ中間層でのＡｌ組成を増加させることにより、Γ帯で形成されるＧａＡｓに対する電位障壁高さは増加するが、Γ帯からみたＸ帯及びＬ帯のエネルギー高さは減少している。このため、Ａｌ組成が高いＡｌＧａＡｓ中間層を用いる場合、Ｘ帯及びＬ帯の影響も無視できなくなる。
【0026】
図３及び図４は、このような場合の素子動作について模式的に表したエネルギーバンド図である。図３は中間層がＧａＡｓ又はＡｌ組成の低いＡｌＧａＡｓの場合であり、図４は中間層が感度改善に必要なだけの高いＡｌ組成のＡｌＧａＡｓの場合である。
【0027】
なお、図３及び図４では、量子ドット部分でのＸ帯及びＬ帯と、中間層部分でのＸ帯及びＬ帯との間におけるエネルギーの差違を省略している。これは、そもそも量子ドット赤外線検出器としての伝導帯の電位分布は、Γ帯を基準として設計がなされるものであり、Ｘ帯及びＬ帯において電子がどのように伝導しようとも、Γ帯に電子が戻ってこない限り、ここでの議論には本質的ではないことによる。
【0028】
図３に示すように、中間層がＧａＡｓ又は比較的低いＡｌ組成のＡｌＧａＡｓの場合、Γ帯に対してＸ帯或いはＬ帯の伝導帯はエネルギー的に十分に高い位置にあるため、電極層（図面、左側）から注入された電子は、概ねΓ帯にとどまって素子内を伝導していくため、量子ドット層内に捕獲されやすい。
【0029】
これに対し、中間層が、感度改善に必要なだけの高いＡｌ組成のＡｌＧａＡｓの場合、図４に示すように、Ｘ帯又はＬ帯の伝導帯がエネルギー的にΓ帯に近づくため、電極層（図面、左側）から注入された電子の一定部分が、Ｘ帯又はＬ帯の伝導帯に散乱される。したがって、主にΓ帯で設計されている量子ドット部分に捕獲されにくくなり、感度が低下する。
【0030】
更に、中間層をＡｌＧａＡｓのような障壁の高い材料とした場合、電極層から電子が注入されるためにはより高いエネルギーを必要とする。その結果、同じ暗電流値で比較した場合、中間層をバンド幅の大きな材料とした素子では、より高い電圧を印加する必要が生じる。このことは、電子がＸ帯又はＬ帯に散乱されるのに必要なエネルギーを得ることを更に促進し、ひいては感度の相対的な低下を促進してしまう。
【0031】
ところで、そもそもバンド幅の大きな中間層を導入する目的は、量子ドットにおける量子閉じ込め効果の強調によって感度を増加させることにある。したがって、上述の感度劣化の問題は、中間層の電位障壁を高いまま維持しつつ、電極層と中間層との間における電子の注入を促進することで、解決することができる。
【0032】
そこで、本実施形態による赤外線検出器では、下部コンタクト層１４と下地層１８との間に、ＡｌＧａＡｓ不純物導入層１６を設けている。ＧａＡｓ下部コンタクト層１４と下地層１８との間の所定領域に所定濃度の不純物導入層１６を設けることにより、不純物導入層１６が形成された領域での電位分布を変化することができ、下部コンタクト層１４側からの電子の注入を促進することができる。
【0033】

SAMSUNG EX. 1002 - 518/2862

中間層を電極層（コンタクト層）に比較してバンド幅の大きな材料とした場合、中間層の電極層に接した近傍の領域に不純物を導入すると、イオン化したその不純物による空間電荷によって電位分布が曲がる。例えば図１に示すように、下部コンタクト層１４と下地層１８との間にＮ型不純物が導入された不純物導入層１６を設けると、不純物導入層１６中のイオン化した不純物による空間電荷により、不純物導入層１６内の伝導帯のエネルギーが低エネルギー側にシフトする（図５参照）。

【0034】

これにより、不純物導入層１６が形成された領域の電位障壁が実効的に薄くなり、トンネル電流が生じやすくなる。この結果、一定の素子印加電圧での素子電流が増加する。また、下部コンタクト層１４側から注入された電子は、不純物導入層１６の電位障壁の上を超えることなくトンネリングによって流れることが可能となり、電子がＸ帯又はＬ帯に散乱されるほどのエネルギーを得ることを防止することが可能となる。

【0035】

次に、このような効果を奏する不純物導入層１６に好適な不純物濃度Ｎｄ及び厚さｔについて検討する。この検討にあたり、図６に示すようなエネルギーバンド構造のモデルを考える。図中、Ｌは電極部分（コンタクト層）に挟まれた活性領域の厚さ（素子長）であり、１は量子ドットの１周期に相当する距離である。

【0036】

体積密度N_dの空間電荷を持つ領域の電位分布Ｖは、ｅを電荷素量、εをその領域の誘電率として、下記のポアソン方程式で記述される。

【0037】

$$d^2V/dx^2 = eN_d/\varepsilon$$

素子に印加する電圧をV_0としたとき、下部コンタクト層１４と不純物導入層１６との間の電位障壁の頂点（図中、Ａ点）からみた不純物導入層１６の端部との電位差V_1（図６参照）は、ポアソン方程式を解くことにより、

$$V_1 = (1/2)(eN_d/\varepsilon)t^2 + (t/L)V_0$$

と求めることができる。なお、ここでは、$V_1 \ll V_0$とした近似を用いている。

【0038】

したがって、この電位差V_1が、Γ帯とＸ帯とのエネルギー差（図中、ΔEg_X）及びΓ帯とＬ帯とのエネルギー差（図中、ΔEg_L）のうち低い方（これをエネルギー差E_0とする）よりも小さければ、少なくとも、図６のＡ点から注入された電子がそのままＸ帯又はＬ帯に注入されてしまうことを抑制することができる。したがって、下記の式（１）は、不純物導入層１６に導入すべき不純物の濃度N_d及びその領域幅ｔの上限値を与える。

【0039】

$$(1/2)(eN_d/\varepsilon)t^2 + (t/L)V_0 < E_0 \quad \cdots(1)$$

なお、式（１）の左辺第１項は、一様な空間電荷状態での電位分布を示すものであり、ｘ＝ｔでの電位と電界＝０という境界条件によりポアソン方程式から求められるものである。この境界条件が、上述の$V_1 \ll V_0$とする近似に該当する。また、式（１）の左辺第２項は、この近似に対する補正項であり、ｘ＝０からｘ＝ｔでの間でのバイアス電圧V_0による電位変化分（線形近似）を考慮したものである。

【0040】

式（１）を満たす不純物導入層１６を設けることによって、低電圧での暗電流を確保しつつ、下部コンタクト層１４側から注入される電子がＸ帯又はＬ帯に散乱されてしまい量子ドット型赤外線検出器の感度に寄与しなくなることを抑制することが可能となる。

【0041】

ところで、通常このような量子ドット型赤外線検出器では、十分な量子効率を得るために、複数の量子ドット層を、中間層を介して積層した構造を用いることが多い。図１に示す本実施形態による赤外線検出器も同様である。この場合、素子内に存在する電子が、素子内の内部電界によって加速され、十分なエネルギーを得ると、やはりＸ帯やＬ帯に散乱

SAMSUNG EX. 1002 - 519/2862

され、より下流の量子ドットに捕獲されにくくなる。

【0042】

活性領域を流れる電子は、いわゆる濡れ層などの影響により、このような量子ドット積層構造（量子ドット積層体２４）の１周期相当以上の距離を、何らの散乱もされずに伝達することは考え難い。したがって、電子が量子ドット積層体２４の１周期分の距離ｌを流れる間に得るエネルギーの最大値が、やはりエネルギー差E_0を超えないように素子内電位分布を設計すれば、本発明の効果はより十分に発揮できる。

【0043】

不純物導入層１６により、電位差V_1分の電位効果が生じる。したがって、不純物導入層１６は、素子内部での電界を電位差V_1相当分だけ低減する効果も持つ。このとき、電子が量子ドット積層体２４の１周期相当の距離を加速されることによって得るエネルギーの最大値V_2は、

$$V_2=((V_0-V_1)/(L-t))\times l$$

であるから、

$$V_0-((L-t)/l)E_0<(1/2)(eN_d/\varepsilon)t^2+(t/L)V_0 \quad \cdots(2)$$

を満たすことが、より望ましい。上記式（２）は、ＡｌＧａＡｓ不純物導入層１６に導入すべき不純物の濃度N_d及びその領域幅ｔの上限値を与える。

【0044】

なお、$(V_0-V_1)/(L-t)$は、不純物導入部分以外のところでの電圧V_0による電界（一様電界と近似）であり、その電界中での距離ｌ離れた２点間の電位差（V_2）が、電界×距離＝$(V_0-V_1)/(L-t)\times l$であることを表している。

【0045】

以上の結果から、不純物導入層１６の不純物濃度N_d及び厚さｔは、素子に印加する電圧をV_0、電極部分に挟まれた活性領域の厚さをＬ、中間層の厚さの最小値をｌ、中間層におけるΓ伝導体とΓ伝導体以外の伝導帯とのエネルギー差のうちの最小値をE_0、電荷素量をｅ、中間層の誘電率をεとして、下記２式のうち少なくとも一方の関係を満たすように、適宜設定することが望ましい。

【0046】

$$(1/2)(eN_d/\varepsilon)t^2+(t/L)V_0<E_0$$

$$V_0-((L-t)/l)E_0<(1/2)(eN_d/\varepsilon)t^2+(t/L)V_0$$

本実施形態による赤外線検出器では、素子長Ｌが５００ｎｍ、量子ドット２０の１周期相当の距離（中間層２２の厚さ）が５０ｎｍ、不純物導入層１６の厚さｔが１０ｎｍ、不純物導入層１６の不純物濃度N_dが$8.5\times10^{17}cm^{-3}$、ＡｌＧａＡｓ層のＡｌ組成が１５％では、中間層２２の比誘電率が１２．７、Γ伝導帯とＸ伝導帯又はＬ伝導帯との間のエネルギー差E_0が１６３ｍＶであるため、素子に印加する電圧V_0を１Ｖとすると、

$$V_1=(1/2)(eN_d/\varepsilon)t^2+(t/L)V_0=78.8mV$$

となり、上記式（１）の関係を満たしている。また、

$$V2=V_0-((L-t)/l)\times E_0=-628mV$$

となり、上記式（２）の関係も満たしている。

【0047】

図７に、本実施形態による赤外線検出器を実際に作製して評価した結果を示す。図中、○印は不純物導入層１６を形成していない従来構造の試料、●印は不純物導入層１６を形成した本発明の試料である。なお、赤外線検出器の素子サイズは５００μｍ角とし、測定温度は８０Ｋとした。

【0048】

図７中に点線の○印で示した動作点は、$V_0=2.2V$である。この場合、電位差V_1，V_2は、それぞれ、

$$V_1=(1/2)(eN_d/\varepsilon)t^2+(t/L)V_0=105mV$$

SAMSUNG EX. 1002 - 520/2862

$V2=V_0-((L-t)/l)\times E_0=572mV$

となり、式（１）の関係は満たすが、式（２）の関係は満たしていない。しかしながら、図７から明らかなように、不純物導入層１６を形成した本発明の試料では、不純物導入層１６を形成しない従来構造の試料と比較して、低電流領域での相対的な感度の低下を抑制できていることが判る。

【0049】

上記式（１）の関係及び式（２）の関係は、必ずしも双方ともに満たす必要はなく、少なくとも一方の関係を満たすように不純物導入層１６を設計することにより、本発明の効果を得ることができる。

【0050】

次に、本実施形態による赤外線検出器の製造方法について図８及び図９を用いて説明する。

【0051】

まず、ＧａＡｓ基板１０上に、周知の結晶成長技術、例えば分子線エピタキシー法により、ＧａＡｓ緩衝層１２を成長する。ＧａＡｓ緩衝層１２の膜厚は、素子構造設計によって異なるが、例えば１００ｎｍとする。

【0052】

次いで、ＧａＡｓ緩衝層１２上に、周知の結晶成長技術、例えば分子線エピタキシー法により、ＧａＡｓ下部コンタクト層１４を成長する（図８（ａ））。ＧａＡｓ下部コンタクト層１４の膜厚は、素子構造設計によって異なるが、例えば５００ｎｍとする。ＧａＡｓ下部コンタクト層１４へのドーピングは、不純物として例えばＳｉを用い、濃度を例えば$1\times10^{18}cm^{-3}$とする。

【0053】

次いで、ＧａＡｓ下部コンタクト層１４上に、周知の結晶成長技術、例えば分子線エピタキシー法により、例えば５８０℃の基板温度で、ＡｌＧａＡｓ不純物導入層１６を成長する（図８（ｂ））。ＡｌＧａＡｓ不純物導入層１６の膜厚は、目的とする量子ドット型赤外線検出器の特性によって異なるが、例えば１０ｎｍとする。また、ＡｌＧａＡｓ不純物導入層１６へのドーピングは、目的とする量子ドット型赤外線検出器の特性によって異なるが、不純物として例えばＳｉを用い、濃度を例えば$8.5\times10^{17}cm^{-3}$とする。また、ＡｌＧａＡｓ不純物導入層１６の組成は、目的とする量子ドット型赤外線検出器の特性によって異なるが、Ａｌ組成を例えば１５％とする。

【0054】

次いで、ＡｌＧａＡｓ不純物導入層１６上に、周知の結晶成長技術、例えば分子線エピタキシー法により、例えば５８０℃の基板温度で、ＡｌＧａＡｓ下地層１８を成長する。ＡｌＧａＡｓ下地層１８の膜厚は、目的とする量子ドット型赤外線検出器の特性によって異なるが、例えば４０ｎｍとする。また、ＡｌＧａＡｓ下地層１８の組成は、目的とする量子ドット型赤外線検出器の特性によって異なるが、Ａｌ組成を例えば１５％とする。

【0055】

次いで、ＡｌＧａＡｓ下地層１８上に、周知の結晶成長技術、例えば分子線エピタキシー法を用いた自己組織化成長により、ＩｎＡｓ量子ドット２０を成長する。ＩｎＡｓ量子ドット２０は、例えば４７０℃の基板温度にて、総供給量が例えば２．３分子層相当の原料を、例えば０．２分子層毎秒の速度で供給することにより、成長する。この条件で成長したＩｎＡｓ量子ドット２０の形状は、同じ成長条件の試料を評価したところ、高さが１．４ｎｍ、横幅が１６ｎｍであった。

【0056】

次いで、ＩｎＡｌ量子ドット２０が形成されたＡｌＧａＡｓ下地層１８上に、周知の結晶成長技術、例えば分子線エピタキシー法により、例えば５８０℃の基板温度で、ＡｌＧａＡｓ中間層２２を成長する（図８（ｃ））。ＡｌＧａＡｓ中間層２２の膜厚は、目的とする量子ドット型赤外線検出器の特性によって異なるが、例えば５０ｎｍとする。また、ＡｌＧａＡｓ中間層２２の組成は、目的とする量子ドット型赤外線検出器の特性によって

SAMSUNG EX. 1002 - 521/2862

異なるが、Ａｌ組成を例えば１５％とする。

【0057】

次いで、ＡｌＧａＡｓ中間層２２上に、上記の手順と同様にして、ＩｎＡｓ量子ドット２０とＡｌＧａＡｓ中間層２２とを、所望の回数、例えば１０回繰り返して成長し、ＩｎＡｓ量子ドット２０とＡｌＧａＡｓ中間層２２とが繰り返し積層されてなる量子ドット積層体２４を形成する。

【0058】

次いで、量子ドット積層体２４上に、周知の結晶成長技術、例えば分子線エピタキシー法により、ＧａＡｓ上部コンタクト層２６を成長する（図９（ａ））。ＧａＡｓ上部コンタクト層２６の膜厚は、素子構造設計によって異なるが、例えば１５０ｎｍとする。ＧａＡｓ上部コンタクト層２６へのドーピングは、不純物として例えばＳｉを用い、濃度を例えば$1\times10^{18}\ cm^{-3}$とする。

【0059】

次いで、フォトリソグラフィ及びドライエッチングにより、下部電極の形成予定領域のＧａＡｓ上部コンタクト層２６、量子ドット積層体２４、ＡｌＧａＡｓ下地層１８及びＡｌＧａＡｓ不純物導入層１６を除去し、ＧａＡｓ下部コンタクト層１４の表面を露出する。

【0060】

次いで、例えば蒸着法やスパッタ法等により、露出したＧａＡｓ下部コンタクト層１４条及びＧａＡｓ上部コンタクト層２６上に、それぞれ下部電極層２８及び上部電極層３０を形成し、本実施形態による赤外線検出器を完成する（図９（ｂ））。

【0061】

このように、本実施形態によれば、下部コンタクト層１４と下地層（中間層）１８との間に、下部コンタクト層１４側からの電子の注入を促進し、電子がΓ伝導体以外の伝導帯に散乱されるのを抑制するための不純物導入層１６を形成するので、中間層としてＡｌＧａＡｓのようなバンド幅の広い材料を用いて量子閉じ込め効果を向上した場合にも、低電流領域における相対的な感度の低下を抑制することができる。これにより、赤外線検出器の感度特性を改善することができる。

【0062】

［変形実施形態］

本発明は上記実施形態に限らず種々の変形が可能である。

【0063】

例えば、上記実施形態では、赤外線検出器の製造に分子線エピタキシー法を用いた場合を例にして説明したが、赤外線検出器の製造には量子ドットの形成が可能な他の結晶成長法を用いることも可能である。このような結晶成長法としては、例えば有機金属気相成長法が挙げられる。

【0064】

また、上記実施形態では、ＩｎＡｓよりなる量子ドットとＡｌＧａＡｓよりなる量子ドット埋め込み層との組み合わせにより構成した量子ドット型赤外線検出器を示したが、量子ドットの材料と量子ドット埋め込み層の材料との組み合わせは、上記実施例に限定されるものではない。例えば、量子ドットとしては、ＩｎＡｓ、ＩｎＧａＡｓ、ＧａＮ、ＩｎＮ、ＧａＡｓ等の材料を適用することができ、量子ドット埋め込み層としては、ＡｌＧａＡｓ、ＩｎＧａＰ、ＩｎＰ、ＩｎＡｌＡｓ等の材料を適用することができる。

【0065】

量子ドット／量子ドット埋め込み層の具体的な組み合わせ例としては、ＩｎＡｓ／ＧａＡｓ、ＩｎＧａＡｓ／ＧａＡｓ、ＩｎＡｓ／ＡｌＧａＡｓ、ＩｎＡｓ／ＩｎＧａＰ、ＩｎＧａＡｓ／ＩｎＧａＰ、ＩｎＡｓ／ＩｎＰ、ＩｎＧａＡｓ／ＩｎＰ、ＩｎＡｓ／ＩｎＡｌＡｓ、ＩｎＧａＡｓ／ＩｎＡｌＡｓ、ＩｎＡｓ／ＡｌＧａＮ、ＧａＡｓ／ＡｌＧａＮ、ＩｎＮ／ＡｌＧａＮ、ＧａＮ／ＡｌＧａＮ等が挙げられる。

【0066】

SAMSUNG EX. 1002 - 522/2862

また、上記実施形態では、活性領域内で電子がＸ伝導帯又はＬ伝導帯に散乱される場合を例にして説明したが、Γ伝導体に近接する他の伝導帯に電子が散乱される場合についても本発明を適用することができる。

【図面の簡単な説明】

【0067】

【図1】本発明の一実施形態による赤外線検出器の構造を示す概略断面図である。

【図2】ＡｌＧａＡｓにおけるΓ帯からのエネルギー高さ及びＧａＡｓに対する電位障壁高さのＡｌ組成に対する依存性を示すグラフである。

【図3】中間層としてＧａＡｓ又はＡｌ組成の低いＡｌＧａＡｓを用いた赤外線検出器の動作状態を模式的に表すエネルギーバンド図である。

【図4】中間層が感度改善に必要なだけの高いＡｌ組成のＡｌＧａＡｓを用いた赤外線検出器の動作状態を模式的に表すエネルギーバンド図である。

【図5】本発明の一実施形態による赤外線検出器の原理を示すエネルギーバンド図である。

【図6】不純物導入層の最適化のための検討に用いたエネルギーバンド構造のモデルを示す図である。

【図7】本発明の一実施形態による赤外線検出器の評価結果を示すグラフである。

【図8】本発明の一実施形態による赤外線検出器の製造方法を示す工程断面図（その１）である。

【図9】本発明の一実施形態による赤外線検出器の製造方法を示す工程断面図（その２）である。

【図10】量子ドット型赤外線検出器の動作電圧を変えたときの感度と暗電流との関係を模式的に示した図である。

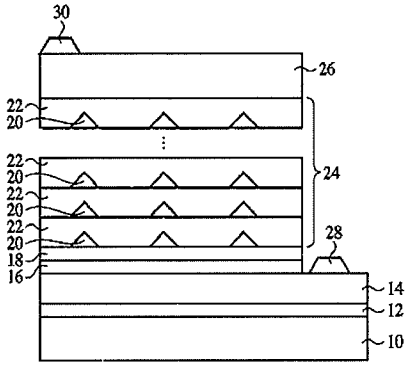
【符号の説明】

【0068】

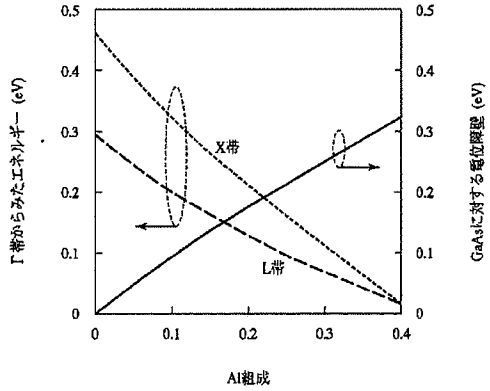
１０…半導体基板
１２…緩衝層
１４…下部コンタクト層
１６…不純物導入層
１８…下地層
２０…量子ドット
２２…中間層
２４…量子ドット積層体
２６…上部コンタクト層
２８…下部電極層
３０…上部電極層

SAMSUNG EX. 1002 - 523/2862

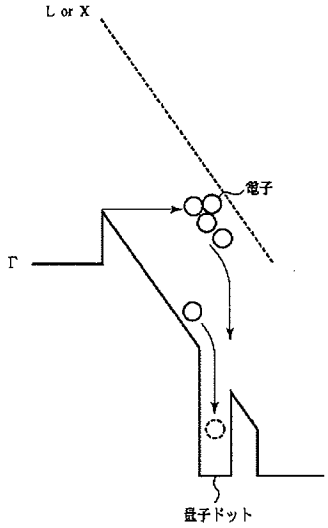
【図1】



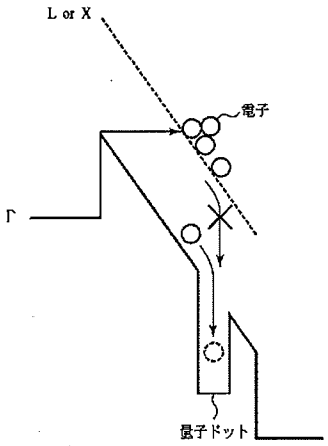
【図2】



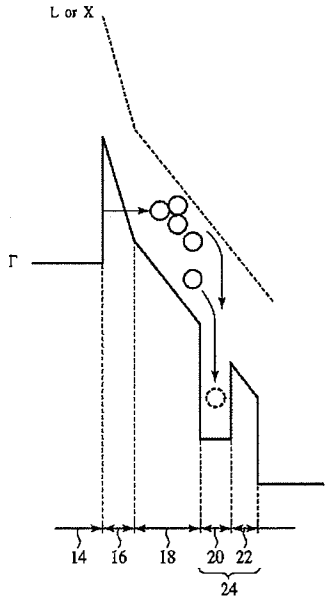
【図3】



【図4】

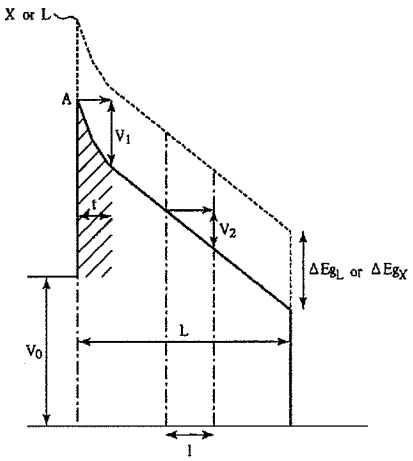


【図5】

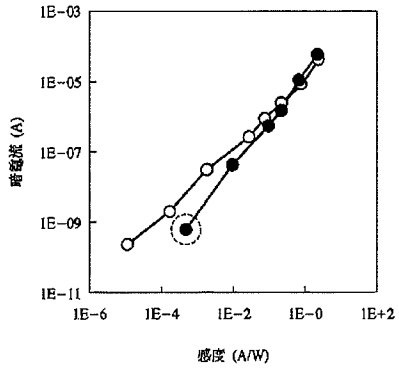


SAMSUNG EX. 1002 - 524/2862

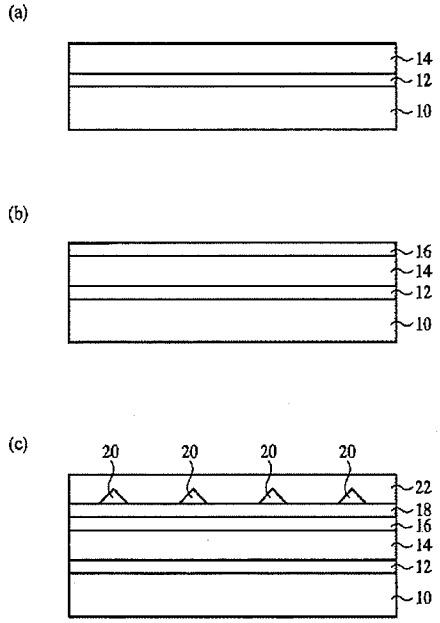
【図6】



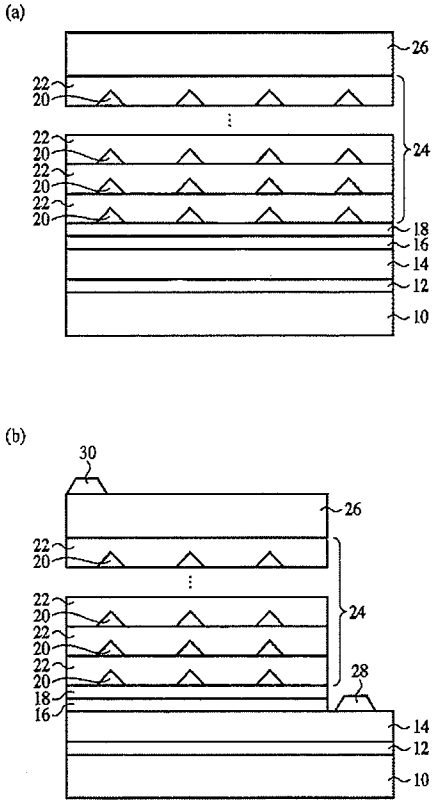
【図7】



【図8】

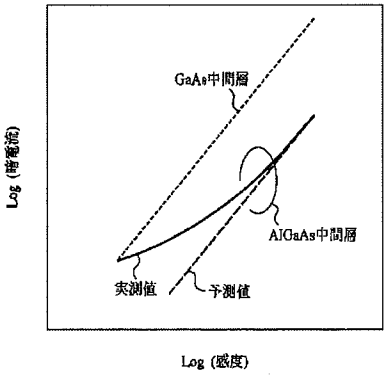


【図9】

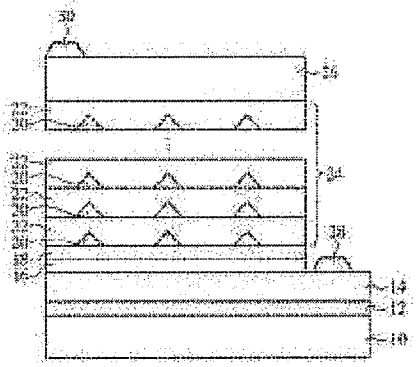


SAMSUNG EX. 1002 - 525/2862

【図10】



SAMSUNG EX. 1002 - 526/2862



Espacenet

Bibliographic data: JP2008283219 (A) — 2008-11-20

OPTICAL DEVICE

Inventor(s): YAMAMOTO KAZUE; SHIMIZU TATSUO ± (YAMAMOTO KAZUE, ; SHIMIZU TATSUO)

Applicant(s): TOSHIBA CORP ± (TOSHIBA CORP)

Classification: **- international:** ***C23C16/28; C30B29/08; H01L31/0248***
- cooperative:

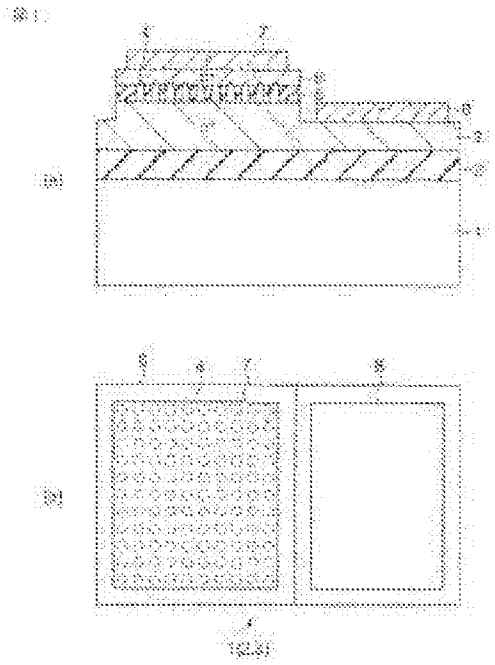
Application number: JP20080208973 20080814

Priority number (s): JP20080208973 20080814

Also published as: JP4875033 (B2)

Abstract of JP2008283219 (A)

PROBLEM TO BE SOLVED: To solve the problem that there has not been practical application of long-wavelength of optical absorption or optical absorption in a long-wave length range when germanium is used for an optical device on the long-wavelength range to be mounted on an optical/electric large-scale integration (LSI) by using a semiconductor process. ;SOLUTION: The optical device includes a photoelectric conversion layer using a tetrahedrally-bonded semiconductor containing an atom of germanium as a major ingredient, an n-type dopant D or a p-type dopant A substituted for the atom of germanium at a lattice point site of the tetrahedrally-bonded semiconductor constituting the photoelectric conversion layer and a different kind atom Z inserted into an interstitial site closest to the dopant and the different kind atom Z has electron arrangement of closed shell structure by charge compensation with the dopant. ;COPYRIGHT: (C)2009,JPO&INPIT



SAMSUNG EX. 1002 - 529/2862

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2008-283219
(P2008-283219A)
(43)公開日　平成20年11月20日(2008.11.20)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 31/0248	(2006.01)	H01L	31/08	H	4G077
C23C 16/28	(2006.01)	C23C	16/28		4K030
C30B 29/08	(2006.01)	C30B	29/08		5F088

審査請求 有　請求項の数 1　OL　（全 21 頁）

(21)出願番号　特願2008-208973 (P2008-208973)
(22)出願日　平成20年8月14日 (2008.8.14)
(62)分割の表示　特願2006-270003 (P2006-270003)の分割
原出願日　平成18年9月29日 (2006.9.29)

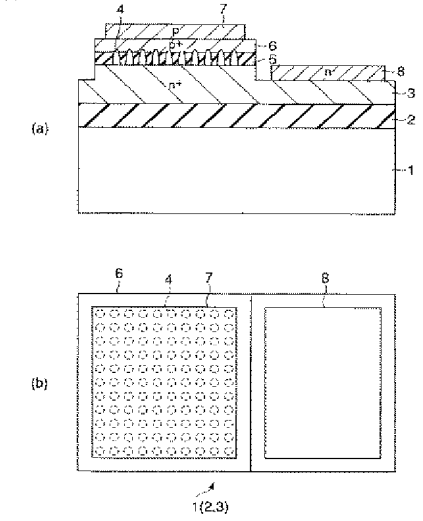
(71)出願人　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(74)代理人　100108855
弁理士　蔵田　昌俊
(74)代理人　100091351
弁理士　河野　哲
(74)代理人　100088683
弁理士　中村　誠
(74)代理人　100109830
弁理士　福原　淑弘
(74)代理人　100075672
弁理士　峰　隆司

最終頁に続く

(54)【発明の名称】光デバイス

(57)【要約】
【課題】　ゲルマニウムは、半導体プロセスを用いて光電気混載ＬＳＩに搭載される長波長帯光デバイスに用いる場合、吸収の長波長化又は長波長帯での吸収が実用化されていない。
【解決手段】　ゲルマニウム原子を主成分とする四面体結合される半導体を光電変換層に用いる光デバイスであり、光電変換層を構成する四面体結合される半導体の格子点サイトのゲルマニウム原子を置換するｎ型ドーパントＤまたはｐ型ドーパントＡと、前記ドーパントに最近接の格子間サイトに挿入される異種原子Ｚを含み、異種原子Ｚはドーパントとの電荷補償により電子配置が閉殻構造となる光デバイスである。
【選択図】　図１

図1



SAMSUNG EX. 1002 - 530/2862

【特許請求の範囲】
【請求項1】
ゲルマニウム原子を主成分とする四面体結合される半導体からなり、前記四面体結合される半導体の格子点サイトのゲルマニウム原子を置換する第１導電型のドーパントＤ又は第２導電型のドーパントＡのいずれかと、前記ゲルマニウム原子を置換するドーパントに最近接の格子間サイトに挿入される異種原子Ｚとを含み、前記異種原子Ｚは前記ドーパントとの電荷補償により電子配置が閉殻構造を成す光電変換層を具備することを特徴とする光デバイス。
【発明の詳細な説明】
【技術分野】
【0001】
本発明は、ゲルマニウムを主成分とし、軸引っ張り構造若しくは、ＦＴ構造の構成部位に作製された長波長帯における感度が増強された光デバイスに関する。
【背景技術】
【0002】
一般に、ゲルマニウムは、近赤外領域に感度を持つ代表的な光電変換材料として光デバイスに用いられている。光デバイスのうち、ゲルマニウム系材料を光電変換層に用いた光デバイスは、半導体製造プロセスによりＳｉ基板上に作製可能であることから、近年開発が盛んな光電気混載ＬＳＩ分野における長波長帯光デバイスの候補と考えられている。
【0003】
ゲルマニウム光デバイスの外部量子効率は、例えば、非特許文献１において波長１．５μｍを超えると急激に減少することが報告されている。従って、数１０ＧＨｚオーダーの高速応答を実現できる可能性を持つ波長領域は１．５μｍより短波長側である。ところが、通信用光源である光ファイバーの増幅領域は波長１．５３－１．５６μｍであるため、この領域で高速応答を実現しようとするとゲルマニウム光デバイスでは分光感度が足りないことになる。
【0004】
ゲルマニウム光デバイスの分光感度を高めるには、吸収を長波長化する、または吸収を強めることが有効である。ゲルマニウムは半導体であり、バンド端近傍の近赤外領域では吸収が小さい本質的な問題がある。これらの本質的な問題の根源的な原因は、その波長域における価電子帯と伝導帯間の電気双極子遷移がそもそも光学禁制であるためである。
【0005】
エネルギーバンド構造を変調することで、吸収や発光などの光学特性を制御する技術をバンドエンジニアリングと呼び、盛んに研究されている。材料としては化合物半導体系が主流であり、技術としては量子ドット（量子細線、超格子）がよく知られている。この量子ドットは、物質の大きさを３次元的（２次元的、１次元的）に縮小し、電子をその中に閉じ込めることでバンド構造を変調するものである。しかしながら、この技術では、物質のサイズを小さくして電子を閉じ込めるほど、吸収は短波長シフトする。
【0006】
従って、ゲルマニウムの吸収を長波長化させる、あるいは長波長帯での吸収を強めることは技術的に困難だという問題がある。
【特許文献1】特表２００５－５３０３６０号公報
【非特許文献1】M.Jutzi, IEEE Photonics Technology Lett., 17,1510 (2005)
【非特許文献2】(K. Akahane, N. Yamamoto, S. Gozu, A. Ueta and N. Ohtani, J. Cryst. Growth 264, 21 (2004))
【発明の開示】
【発明が解決しようとする課題】
【0007】
前述した量子ドット（量子細線、超格子）は、物質の大きさを３次元的（２次元的、１次元的）に縮小し、電子をその中に閉じ込めることでバンド構造を変調するものである。

SAMSUNG EX. 1002 - 531/2862

しかしながら、このバンド構造を変調する技術では、物質のサイズを小さくして電子を閉じ込めるほど、吸収は短波長シフトする。

【0008】

従って、ゲルマニウムの吸収を長波長化させる、あるいは長波長帯での吸収を強めることは技術的に困難である。従って、ゲルマニウムはＳｉ基板上に作製可能であり、光電気混載ＬＳＩにおける長波長帯光デバイスの有力候補であるが、分光感度が足りず実質的な利用には至っていない。

【0009】

そこで本発明は、ゲルマニウム原子間の結合長を伸長する又はゲルマニウム中にＦＴ構造を形成してバンド構造を変調し、長波長帯で実用可能な光デバイスを提供すること目的とする。

【課題を解決するための手段】

【0010】

上記目的を達成するために、ゲルマニウム原子を主成分とする四面体結合される半導体からなり、前記四面体結合される半導体の格子点サイトのゲルマニウム原子を置換する第１導電型のドーパントＤ又は第２導電型のドーパントＡのいずれかと、前記ゲルマニウム原子を置換するドーパントに最近接の格子間サイトに挿入される異種原子Ｚとを含み、前記異種原子Ｚは前記ドーパントとの電荷補償により電子配置が閉殻構造を成す光電変換層を具備する光デバイスを提供する。

【発明の効果】

【0011】

本発明によれば、ゲルマニウム原子を主成分とする四面体結合される半導体を光電変換層に用いる光デバイスであり、基板格子定数がゲルマニウムよりも小さく、基板面方位が｛１１１｝面であり、基板面と垂直な＜１１１＞軸方向に光電変換層の半導体格子を伸長させる光デバイスを提供することができる。

【発明を実施するための最良の形態】

【0012】

以下、図面を参照して本発明の実施形態について詳細に説明する。

本実施形態の光デバイスにおける光電変化層に適用する半導体のバンド構造の変調について説明する。本実施形態では、光デバイスのうち、２つのバンドエンジニアリング法である、「＜１１１＞軸引張り構造」と「ＦＴ（filled tetrahedral）構造」の光電変化層を用いて作製した受光素子を一例として説明する。尚、以下の説明において、ミラー指数において、（　）は（面）を示し、［　］は［結晶の方向：面と垂直になる法線方向］を示す。また、｛　｝は互いに等価な（面）を包括する｛面｝を示し、＜　＞は互いに等価な［方向］を包括する＜方向＞を意味する。例えば、＜１１１＞は結晶の方向：［１１１］、［－１－１１］、［－１１－１］、［１－１－１］等の軸方向の総括を意味する。また、｛１１１｝は面方位：（１１１）面、（１－１１）面、（－１１１）面、（－１－１１）面等の面方位の総括を意味する。

【0013】

（１）ゲルマニウムのバンド構造と光学特性

ゲルマニウム等の間接半導体が持つ間接的なバンド構造及び吸収係数が小さい理由について説明する。図２には、ゲルマニウムのバンド構造を示している。ゲルマニウムが間接半導体となる主たる理由は、構成原子間の結合長ｄが僅かに短いためと考えられている。Γ点における伝導帯と価電子帯のエネルギー差ΔＥは結合長ｄに強く依存し、結合長ｄが短くなるほどΔＥは増加する。従って、結合長ｄが長くなるとエネルギー差ΔＥが急速に小さくなり、直接バンド構造をとるように変化すると推測される。

【0014】

ゲルマニウムの光学特性は、間接半導体であるために電気双極子遷移が光学禁制となり、バンド端付近の低エネルギー領域では弱い吸収しか示さない。即ち、吸収係数が小さい。対照的に、ＧａＡｓなどの直接半導体は電気双極子遷移に由来する直接遷移が起こり、

SAMSUNG EX. 1002 - 532/2862

強いバンド間吸収が生じる。即ち、吸収係数が大きい。両者の相違は、以下に述べる２つの選択則を満たすか否かの主な原因がある。

【0015】

その１つは波数の選択則であり、特定波数でエネルギーギャップが最小となることである。もう１つは波動関数の対称性に関する選択則であり、ギャップ最小となる波数において、伝導帯と価電子帯のうち一方が偶関数、他方が奇関数となることである。

【0016】

対称性の選択則について補足すると、２準位間の発光や光吸収の強さは＜上準位｜遷移双極子モーメントμ｜下準位＞で与えられ、この２準位が原子軌道近似でｓ軌道（偶関数）及びｐ軌道（奇関数）で表される半導体では、μは奇関数であることから、＜ｓ｜μ｜ｐ＞＝∫偶・奇・奇ｄｒ≠０であり、光学許容となる。これに対し、２準位がともにｐ軌道で表される半導体では、＜ｐ｜μ｜ｐ＞＝∫奇・奇・奇ｄｒ＝０であり、光学禁制となる。

【0017】

光半導体は、Γ点でギャップ最小となり波数の選択則を満足する。光半導体は、伝導帯と価電子帯の波動関数がそれぞれｓ軌道とｐ軌道で表されるため、対称性の選択則も満たす。一方、間接半導体は、ギャップ最小となる波数が伝導帯と価電子帯で異なることから波数の選択則を満足せず、しかも伝導帯と価電子帯の波動関数がともにｐ軌道であることから対称性の選択則も満足しない。このために光学禁制となる。

【0018】

（２）＜１１１＞軸引張り構造によるバンド構造変調と吸収変調の原理

＜１１１＞軸引張り構造の特徴を述べ、長波長帯の吸収が強まる原理について説明する。上述したように、原子間結合長が短いとΓ点における伝導帯と価電子帯のエネルギー差ΔＥは広がり、間接半導体になり易い。結合長の短い半導体としては、ダイヤモンド（ｄ＝１．５４Å、間接）、シリコン（ｄ＝２．３５Å、間接）、ＳｉＣ（ｄ＝１．８８Å、間接）、ＢＮ（ｄ＝１．５７Å、間接）、ＢＰ（ｄ＝１．９７Å、間接）、ＧａＮ（ｄ＝１．９４Å、直接）、ＧａＰ（ｄ＝２．３６Å、間接）、ＡｌＮ（ｄ＝１．８９Å、直接）、ＡｌＰ（ｄ＝２．３６Å、間接）、ＺｎＯ（ｄ＝１．９８Å、直接）などが知られており、傾向としては間接半導体が多い。

【0019】

図３はゲルマニウムにおける、格子定数変化に対する３つのエネルギー差、伝導帯Γ点と価電子帯Γ点とのエネルギー差［Γｃ－Γｖ］１１、伝導帯Ｌ点と価電子帯Γ点とのエネルギー差［Ｌｃ－Γｖ］１２、伝導帯Ｘ点と価電子帯Γ点とのエネルギー差［Ｘｃ－Γｖ］の変化を計算した結果を示す。

【0020】

図中に示すように、格子定数変化０％ではＬｃ－Γｖがゲルマニウムのバンドギャップ（０．８ｅＶ）を決める。格子定数が増える方向に変化するとＬｃ－Γｖは徐々に減り、＋０．８％以上では伝導帯最下端はＬｃからΓｃに乗り移り、Γｃ－Γｖが最小ギャップ（０．５ｅＶ以下）となる。すなわち、＋０．８％以上の格子定数変化領域のゲルマニウムは直接的なバンド構造を持つ半導体に変化し、且つバンドギャップは０．５ｅＶ以下にまで低減する。

【0021】

以上の結果は、ゲルマニウムの格子定数が３次元的に膨らむ場合に関するものである。３次元的な引張りでは、全てのＧｅ－Ｇｅ結合長が増加する。このため、先の（１）で説明した結合長増加の効果により、ゲルマニウムは直接半導体に変化すると考えられる。

【0022】

これに対して、我々の研究によれば、１つのＧｅ原子から４方向に伸びたＧｅ－Ｇｅ結合のうち、ある一方向（［１１１］軸、［－１－１１］軸、［－１１－１］軸、［１－１－１］軸のいずれか）だけを伸長させた場合でも、比較的小さな格子定数増加で、ゲルマニウムを直接半導体に変化させられることが明らかになった。図３には、＜１１１＞軸引張

SAMSUNG EX. 1002 - 533/2862

り構造［Γｃ－Γｖ］１３、［Ｌｃ－Γｖ］１４を示している。

【0023】

定性的には、他の結晶軸、例えば［１００］軸を引っ張る構造では、Ｇｅ－Ｇｅ結合の結合長は引張り応力と圧縮応力が相殺して格子定数変化自体が小さくなり、バンド構造の変調も小さいが、結合に平行な結晶軸、例えば＜１１１＞軸を引っ張る構造では、４つのＧｅ－Ｇｅ結合のうち、＜１１１＞軸に平行な結合のみ選択的に結合長が長くなり、効果的に直接遷移化が起きると考えられる。

【0024】

この＜１１１＞軸引張り構造による長波長帯での吸収増加の原理であるが、これは、図４（ｂ）に示すように、バンドギャップが狭まることによって吸収スペクトルが低エネルギーシフトするためである。なお、吸収が低エネルギー化するほど、光学許容遷移であるΓｃ－Γｖ遷移も低エネルギーシフトする。バンド端近傍の波長領域、すなわち、長波長帯では、引張り構造の導入によって吸収に占めるΓｃ－Γｖ遷移の割合が増すことから、吸収係数も劇的に増加する。

【0025】

（３）ＦＴ（filled tetrahedral）構造によるバンド構造変調と吸収変調の原理

ＦＴ構造の特徴と吸収が強まる原理を説明する。以下の説明において、ＦＴ構造を持つ半導体をＦＴ半導体と称する。ＦＴ半導体は、図５（ａ）に示すように、格子間サイトの空間に閉殻構造の希ガス原子２２が導入された半導体、あるいは図５（ｂ）に示すように、格子点サイトを置換するｎ型ドーパントＤ（またはｐ型ドーパントＡ）２３と格子間サイトに挿入された異種原子Ｚ２４との組合せであるＤ－Ｚペア（またはＡ－Ｚペア）が導入された半導体を指す。なお、Ｄ－Ｚペア（またはＡ－Ｚペア）間の電荷補償効果により、ドーパントＤ（またはＡ）の最外殻電子配置はゲルマニウム原子２１のそれと同等であり、また異種原子Ｚ２４の電子配置は閉殻構造となるため、希ガス原子２２のそれと同じになる。

【0026】

これら２種類のＦＴ半導体のうち、希ガス原子を導入した図５（ａ）のＦＴ半導体は熱的に不安定である。その理由は、加熱により、希ガス原子２２が容易に母体半導体中を拡散してしまうためである。図５（ｂ）のＤ－Ｚペア（またはＡ－Ｚペア）を持つＦＴ半導体は、熱的安定性を向上させるために考案した新半導体である。これは、ドーパントＤ（またはＡ）と異種原子Ｚ２４を引き離そうとすると、両者の間に静電相互作用が働き、両者の結合を保持しようとする力が生じる。

【0027】

図６（ａ）乃至（ｃ）は、ゲルマニウムのダイヤモンド構造における、伝導帯Γ点（Γｃ）［図６（ａ）］、伝導帯Ｌ点（Ｌｃ）［図６（ｂ）］、価電子帯Γ点（Γｖ）［図６（ｃ）］の各々について実空間上での電子状態を示す図である。

【0028】

図６（ａ）に示すように、＜１１１＞軸方向で見ると、原子座標（０，０，０）、（１／４，１／４，１／４）にゲルマニウム原子が位置し、Ｇｅ－Ｇｅ結合で結ばれている。原子座標（２／４，２／４，２／４）、（３／４，３／４，３／４）には格子間サイトが並ぶ。四面体結合構造では、＜１１１＞軸に沿って原子が２個並び、格子間サイトが２個並び、再び原子が２個並ぶという、隙間の多い結晶構造をとる。

【0029】

格子間サイトには、原子は存在しないが、ゲルマニウム原子の反結合性ｐ軌道と結合性ｐ軌道が格子間サイト方向に向かって広がるため、格子間サイトには電子状態が存在する。要するに、格子間サイトにはｐ軌道状態が存在する。吸収を高める原理は、格子点サイトにドーパントＤ（Ａ）を導入し、格子間サイトに異種原子Ｚを導入することでＦＴ構造を作り、ｐ軌道を選択的に変調することにある。

【0030】

ＦＴ構造が作られると、格子間サイトの電子が排除され、ｐ軌道に由来するＬｃとΓｖ

SAMSUNG EX. 1002 - 534/2862

のエネルギーは上昇する。しかし、反結合性ｓ軌道に由来するΓｃエネルギーは殆ど影響を受けない。従って、Γｃ－Γｖのエネルギー差が減少し、Γｖに対するΓｃの位置が相対的に下がって直接遷移化するため、光の吸収が増大する。

【0031】

図７（ａ），（ｂ）に示すエネルギーバンド図を参照して、ＦＴ構造がバンド構造変調と吸収変調の原理を整理して説明する。

図７（ａ）に示すように、ゲルマニウム［結晶Ｇｅ］ではｐ軌道が伝導帯の下端と価電子帯の上端を構成し、ｓ軌道は伝導帯のさらに上方にある。ＦＴ構造［ＦＴ－Ｇｅ］は、格子間サイトに閉殻構造を持つ異種原子を導入することによって、この２つのｐ軌道を上昇させてｓ軌道に近づける。さらには、レベル交差させてｓ軌道の伝導帯の上方にｐ軌道の価電子帯の上端が位置する。つまり、光学許容遷移であり、強い吸収を示すΓｃ－Γｖ遷移が低エネルギーにシフトすることで長波長帯における吸収係数が増大する。

【0032】

一般に格子間に原子が存在すると、バンドギャップ内に深い準位や欠陥準位が形成される場合があり、光電変化層内での光から電気への変換効率に悪影響を与える場合がある。しかし、本実施形態のＦＴ構造では、ワイドギャップを有する閉殻構造の異種原子が挿入されるため、原理的にそのような準位は形成されない。

【0033】

本実施形態において、＜１１１＞軸引張り構造を有する半導体としては、単体元素半導体であるゲルマニウムＧｅや、化合物半導体である$Ge_{1-y}C_y$（$1<y<1$）、Si_xGe_{1-x}（$0<x<1$）、及び$Si_xGe_{1-x-y}C_y$（$0<x<1$，$1<y<1$）からなる群より選択される。

【0034】

光電変換層に用いる半導体層の＜１１１＞軸を引っ張る方法としては、以下の例が挙げられる。

【0035】

（ｉ）１つの結合方向を＜１１１＞方向として、光電変換層に用いる半導体と比較して格子定数が小さい物質の｛１１１｝基板を用いることで、光電変換層に面内圧縮応力を加え、基板法線方向、要するに＜１１１＞軸方向に伸長させる。

【0036】

（ii）前記(i)の場合において、光電変換層に用いる半導体と比較して格子定数が小さい物質の｛１１１｝以外の面方位を持つ基板、例えば（１００）基板を用い、異方性エッチングにより（１１１）面、（１－１１）面、（－１１１）面、（－１－１１）面を面出した凹凸状表面とし、その上に光電変換層に形成することで、各面にて光電変換層に面内圧縮応力を加え、各々［１１１］軸、［１－１１］軸、［－１１１］軸、［－１－１１］軸方向に伸長させる。

【0037】

（iii）前記（ｉ）（ii）の場合において、基板上に光電変換材料からなる突起構造を複数個形成し、突起部間にアモルファスシリコンなどの異種材料を充填し、例えばこのアモルファスシリコン層を選択酸化させることにより、突起構造に面内圧縮を加え、［１１１］］軸（又は、［１－１１］軸、［－１１１］軸、［－１－１１］軸）方向に伸長させる。尚、突起構造とは、光デバイス（ここでは、受光素子）を上面から見ると、ゲルマニウムからなる複数の突起部がドットマトリックス状に配置され、側面（断面）から見ると、基板面上に複数の突起部とが配列された構造を示している。また、ここでは、突起部即ち、複数のゲルマニウムナノドット部が｛１１１｝面上に、ドットマトリクス状に並置（juxtapose）され、それらの周囲を絶縁体で充填されたゲルマニウムナノナノドット構造と称してもよい。尚、ナノドットとは、典型的には１ナノメートルから１０００ナノメートルまでの大きさの微細構造を示唆する。

【0038】

（iv）前記（ｉ）（ii）の場合において、基板上に光電変換層を形成し、この層の上部

SAMSUNG EX. 1002 - 535/2862

に面内圧縮応力を生じさせる積層膜を形成することで、光電変換層を［１１１］軸（又は、［１－１１］軸、［－１１１］軸、［－１－１１］軸）方向に伸長させる。

【0039】

（ｖ）前記（ｉ）（ｉｉ）の場合と異なり、光電変換層に用いる半導体と比較して格子定数が大きい物質を基板に用い、基板面方位を（ＬＭＮ）面として、Ｌ＋Ｍ＋Ｎ＝０を満足する基板を用いることで、光電変換層に面内引張り応力を加え、基板面と平行な［１１１］軸方向に伸長させる。補足すると、仮に、基板面と［－１１１］軸とが平行で、この［－１１１］軸を伸長させるには、基板法線ベクトル（Ｌ，Ｍ，Ｎ）とベクトル（－１，１，１）との内積がゼロになるＬＭＮの組み合わせを選べばよい。すなわち、基板面方位として｛１１０｝面を選べばよいという具合である。

【0040】

光電変換層に用いる半導体と比較して小さい格子定数を持つ基板としては、単体元素半導体であるシリコンが挙げられる。さらに、光電変換層と類似の化合物半導体である$Ge_{1-y}C_y$（$1<y<1$）、Si_xGe_{1-x}（$0<x<1$）、又は$Si_xGe_{1-x-y}C_y$（$0<x<1$，$1<y<1$）からなる群より選択することも可能である。この場合、基板に用いる化合物半導体のＳｉとＣの組成比ｘ、ｙは、光電変換層の組成比よりも大きい値の化合物半導体を用いる。従って、基板の格子定数は、光電変換層よりも小さくすることになる。

【0041】

また、反対に、光電変換層よりも大きい格子定数を持つ基板としては、シリコン基板上にＭＳｂ（Ｍ＝Ａｌ、Ｇａ、Ｉｎ、またはその合金）で表されるアンチモン系III－V化合物半導体層を被覆した、擬似III－V化合物半導体基板を用いることができる。

【0042】

公知な技術として、Ｓｉ｛１００｝基板上にゲルマニウムを成長させ、格子ミスマッチによる歪み効果を利用してゲルマニウムに引っ張り応力を与えて吸収を長波長化させる方法が知られている（特許文献１）。この方法では、引っ張り応力を［１１１］軸方向ではなく、［１００］軸方向に働かせることが技術的に大きな相違点である。先の「＜１１１＞軸引張り構造によるバンド構造変調と吸収変調の原理」の節でも述べたように、［１００］軸引張り構造では、Ｇｅ－Ｇｅ結合の結合長は引張り応力と圧縮応力が相殺して格子定数変化自体が小さくなり、バンド構造の変調も小さいという欠点がある。

【0043】

特許文献１によれば、格子定数変化が＋２％まではバンド構造は間接的であり、＋０．８％のときのバンドギャップ減少量は０．１ｅＶである。＜１１１＞軸引張り構造と比べると、バンド変調を引き起こすにはより大きな格子定数変化が必要である。要するに、（１００）基板を用いるこの方法は、本実施形態のおける｛１１１｝基板を用いて、＜１１１＞軸を選択的に引っ張る方法と比較して、ゲルマニウムのバンド変調効果は小さい。

【0044】

また、本実施形態において、ＦＴ半導体に含まれる母体半導体、ドーパントＤまたはＡ、及び異種原子Ｚの組み合わせとしては、以下の例が挙げられる。

【0045】

（ｖｉ）母体半導体をIVb単体半導体及びIVb-IVb化合物半導体からなる群より選択し、ドーパントＤをVa元素またはVb元素からなる群より選択し、異種原子ＺをVIIb元素からなる群より選択する。

【0046】

（ｖｉｉ）母体半導体をIVb単体半導体及びIVb-IVb化合物半導体からなる群より選択し、ドーパントＡをIIIa元素及びIIIb元素からなる群より選択し、異種原子ＺをIa元素及びIb元素からなる群より選択する。

【0047】

ＩＶｂ系以外の母体半導体、ドーパントＤまたはＡ、及び異種原子Ｚの組み合わせとしては、以下の例が挙げられる。

【0048】

SAMSUNG EX. 1002 - 536/2862

母体半導体の例としては以下のようなものが挙げられる。IVb単体半導体はゲルマニウムを指す。IVb-IVb化合物半導体は$Ge_{1-y}C_y$（$1>y>1$）、Si_xGe_{1-x}（$0<x<1$）、又は$Si_xGe_{1-x-y}C_y$（$0<x<1$，$1<y<1$）からなる群より選択される。

【0049】

また、ドーパントD、A及び異種原子Zの例としては以下のようなものが挙げられる。Ia元素はＬｉ、Ｎａ、Ｋ、Ｒｂ、及びＣｓからなる群より選択される。Ib元素はＣｕ、Ａｇ、及びＡｕからなる群より選択される。IIIa元素は、元素はＳｃ、Ｙ及びＬａからなる群より選択される。IIIb元素はＢ、Ａｌ、Ｇａ、Ｉｎ、及びＴｌからなる群より選択される。Vb元素はＶ、Ｎｂ、及びＴａからなる群より選択される。Vb元素はＮ、Ｐ、Ａｓ、Ｓｂ、及びＢｉからなる群より選択される。VIIb元素はＦ、Ｃｌ、Ｂｒ、及びＩからなる群より選択される。IIIa、およびＬｕからなる群より選択される。

【0050】

本実施形態に係る光デバイスは、＜１１１＞軸引っ張り構造、ＦＴ構造を有するゲルマニウム系光電変換層を有する。光電変換層に対する電極配置は特には限定されない。

【0051】

図８（ａ），（ｂ）は、それぞれ本発明の実施形態に係るゲルマニウム系光デバイスの断面図を示す。こごて、図８（ａ）は縦型通電の受光素子、図８（ｂ）は横型通電の受光素子である。

【0052】

図８（ａ）の縦型通電の受光素子では、基板のシリコンn^+領域３２の上に、基板主面と垂直方向に半導体格子が伸張したゲルマニウムからなる光電変換層３３が形成され、さらに光電変換層３３上にシリコンp^+領域３４が形成されている。この構成において、光電変換層３３を挟んでそれぞれn^+領域３２及びp^+領域３４が接している。n^+領域３２にはｎ電極３１が形成され、p^+領域３４にはｐ電極３６が接続されている。光電変換層３３とｐ電極３６は絶縁層３５によって絶縁されている。

【0053】

この縦型通電の受光素子では、光電変換層３３で発生した光キャリア（電子及び正孔）を縦方向にドリフトさせ、n^+領域３２を経てｎ電極３１から電子を取り出し、またp^+領域３４を経てｐ電極３６から正孔を取り出すことで光電流を得ている。

【0054】

図８（ｂ）の横型通電の受光素子では、シリコン基板３７に埋め込み酸化膜３８が形成され、その上に基板主面と垂直方向に半導体光子が伸張したゲルマニウムからなる光電変換層３９が形成され、絶縁膜４０によって素子分離されている。光電変換層３９の表面には、同一面内において光電変換層３９を挟むようにn^+領域４２及びp^+領域４１が形成されている。n^+領域４２にはｎ電極４４が接続され、p^+領域４１にはｐ電極４３が接続されている。

【0055】

この横型通電の受光素子では、光電変換層３９で発生した光キャリア（電子及び正孔）を横方向にドリフトさせ、n^+領域４２を経てｎ電極４４から電子を取り出し、またp^+領域４１を経てｐ電極４３から正孔を取り出すことで光電流を得ている。

【0056】

なお、縦型通電及び横型通電のいずれの受光素子でも、埋め込み酸化膜を設けて電流リークを防いでいるが、素子構成、基板抵抗、回路など、いずれかの手段で絶縁性を確保できる場合には、埋め込み酸化膜は必ずしも必要ではない。

【0057】

図８（ａ），（ｂ）は、受光素子の基本構造を示したものであり、具体的な受光素子については種々の構造が考えられる。本実施形態に係る受光素子は、単体素子として用いることができる。

【0058】

また、同一基板上に複数の受光素子を集積化してアレイ状に配置して、ＣＣＤイメージ

SAMSUNG EX. 1002 - 537/2862

センサやＣＭＯＳイメージセンサを作製してもよい。同一基板上に複数の受光素子を集積化して太陽電池パネルを作製してもよい。同一基板上に受光素子と発光素子とこれらを結ぶ導波路を集積化して光デバイスアレイを作製してもよい。これらの変形例については後により詳細に説明する。

【0059】

次に、図９（ａ）、（ｂ）、（ｃ）及び（ｄ）に示す断面構成を参照して、＜１１１＞軸引っ張り構造を有する光電変換層の形成工程について説明する。ここでは、ゲルマニウム突起構造からなる光電変換層を形成する工程について説明する。

【0060】

図９（ａ）に示す製造工程では、Ｓｉ｛１１１｝基板４５を用意し、ｎ型シリコン層４６上に超高真空レベルの雰囲気下で成膜可能なＣＶＤ装置を用いてゲルマニウム突起部（ゲルマニウム突起構造）４７を成長させる。ここでは、ゲルマニウム源として、水素ガスで希釈したゲルマンガスを用いる。Ｓｉ基板４５は、不純物拡散やイオン注入によりＳｉ基板４５の表面にｎ型シリコン層４６を形成している。次にＳｉ基板４５は、希フッ酸処理で表面酸化膜が除去された後、スピン乾燥され、上記ＣＶＤ装置のプレチャンバーを経て、リアクターチャンバーに導入される。Ｓｉ基板４５を一定温度に加熱してゲルマンを供給することで、ｎ型シリコン層４６上に凸となる形状のゲルマニウム突起構造が形成される。膜形状ではなく突起形状に成長するのは、ＳＫ（Stranski-Krastanov）成長モードが支配的なためと考えられている。

【0061】

ゲルマニウム突起構造の各突起部４７のサイズは、基板温度及び、ゲルマン供給量に強く依存することから、これらを制御することでサイズ制御が可能である。本実施形態の受光素子に用いるゲルマニウム突起部４７の平均サイズとしては、高さが１０ｎｍから１００ｎｍ、基板と接する面の直径が８０ｎｍから８００ｎｍの範囲にあることが望ましい。

【0062】

なお、ゲルマニウム突起部４７を形成する直前に、シランガスを用いて、基板表面にシリコンバッファー層を設けることは有効である（図示せず）。このようなシリコンバッファー層を設けることにより、Ｓｉ基板４６が平坦化し、さらに表面が正常化するため、サイズの揃ったゲルマニウム突起構造が得られる効果がある。

【0063】

図９（ｂ）に示す製造工程では、引き続きＣＶＤ装置によりアモルファスシリコン層４８を形成し、ＲＩＥ装置により、このアモルファスシリコン層４８にエッチバック処理を施し、ゲルマニウム突起部４７の各突起頂上部分の頭出しする。

【0064】

図９（ｃ）に示す製造工程では、酸化炉にてアモルファスシリコン層４８を選択酸化させて、酸化シリコン化を図る。この時、アモルファスシリコンが酸化シリコンに酸化される際に、上下方向だけでなく横方向にも広がろうとするため、各ゲルマニウム突起部４７に径が狭められるような圧縮応力が掛かる。この圧縮応力を緩和させるために、＜１１１＞軸方向に半導体格子が伸長する。このような伸長作用により、引っ張り構造を有し、形状がゲルマニウム突起構造化された光電変換層４８ａを形成する。この酸化工程では、酸化処理温度、プロセス時間等を調整することで、＜１１１＞軸方向の半導体格子の変形の度合いを制御することができる。

【0065】

図９（ｄ）に示す製造工程では、ＣＶＤ装置を用いてシリコン酸化膜４８ａ上にシリコン層４９を形成し、イオン注入工程により、p^+ 化させる。また、同様にＳｉ｛１１１｝基板４５側をＣＭＰ装置を用いて薄化させて、イオン注入工程により、n^+ 化させる。

さらに、通常の製造工程を用いて、電極形成や層間絶縁膜形成を実施することにより、図８（ａ）に示したような縦型通電の受光素子の光デバイスを作製することができる。または、その他の通常の製造工程を用いて、図８（ｂ）に示したような横型通電の受光素子の光デバイスを作製することができる。

SAMSUNG EX. 1002 - 538/2862

【0066】
以上のような製造工程により、＜１１１＞軸引っ張り構造を有する光電変換層を形成することができる。なお、以上説明した製造工程は一例であり、その他の製造手法や製造工程により同様に引っ張り構造を有する光電変換層を形成することもできる。
ゲルマニウムの格子変形を検知する間接的かつ簡便な方法としては、ラマン散乱などの光学的測定を用いることができる。この測定は、格子変形がない場合、ゲルマニウムはＧｅ－Ｇｅ結合に由来する固有振動モードが波数３００ｃｍ$^{-1}$付近に生じる。格子が変形すると、固有振動モードの波数もそれに応じて変化する。振動モードの評価は、格子変形の有無を調べる有力な手段の１つである。ここで、格子が伸びると固有振動モードの波数が小さくなり、格子が縮むと固有振動モードの波数が大きくなる。
【0067】
次に、図１０（ａ）、（ｂ）、（ｃ）及び（ｄ）に示す断面構成を参照して、ＦＴ構造を有する光電変換層の形成工程について説明する。ここでは、Ｐ－Ｆペアドープしたゲルマニウムからなる光電変換層を形成する工程について説明する。
【0068】
図１０（ａ）に示す製造工程では、Ｓｉウエハ５１上にゲルマニウム層５２を形成する。次に図１０（ｂ）に示す製造工程では、ゲルマニウム層５２にｎ型ドーパントＤとしてリン（Ｐ）をドープする。
【0069】
図１０（ｃ）に示す製造工程では、Ｐドープされたｎ型ゲルマニウム層５３に異種原子Ｚとしてフッ素イオン（F^+）をイオン注入したゲルマニウム層５４を形成する。このイオン注入工程では、エネルギー、ドーズ量、基板面方位、チルト角、基板温度などを最適化する。F^+イオンは、Ｐ原子がもつ余分な電子や基板を介してグランドから供給された電子を受け取ってF^-イオンになると考えられる。
【0070】
図１０（ｄ）に示す製造工程では、歪ゲルマニウム層５４に対してアニール処理を施し、イオン注入で乱された格子を再結晶化してＰ－Ｆペアが導入されたＦＴ－ゲルマニウムからなる光電変換層５５を形成する。このアニール処理工程では、アニール温度、処理時間、ガス雰囲気などを調整することで、格子点のゲルマニウム原子がＰ原子で置換され、格子間にＦ原子が挿入されるよう制御できる。Ｐ原子は格子点に位置するが、Ｆ原子に電子を奪われるため、電気的には不活性となり高抵抗化する。Ｐ原子とＦ原子はイオン結合で結びつけられ、アニール処理による温度上昇によっても解離せず、ペアリング状態を保っている。
【0071】
さらに、その他の通常の製造工程を用いて、電極形成や層間絶縁膜形成を実施することにより、図８（ａ），（ｂ）に示したような縦型通電の受光素子又は横型通電の受光素子の光デバイスを作製することができる。
【0072】
以上のように、イオン注入とアニール処理を組み合わせた製造工程により、母体半導体中にＦＴ構造を有する光電変換層を形成することができる。なお、熱拡散とアニール処理を組み合わせて、ＦＴ構造を有する光電変換層を形成してもよい。これら以外の製造工程を用いてＦＴ構造を有する光電変換層を形成してもよい。また、引っ張り構造とＦＴ構造を組み合わせた光電変換層を形成してもよい。
【0073】
Ｐ－Ｆペアのように、格子点のドーパントＤと格子間の異種原子Ｚが結びつくと、母体半導体の格子振動とは別の固有振動モードが生じる。このため、赤外分光またはラマン分光から、ＦＴ構造を直接的に解析することが可能になる。Ｐ－Ｆペアを例に挙げると、基準振動計算から、波数１５０～２００ｃｍ$^{-1}$付近に振動モードが現れる。このように、振動モードの評価は、ＦＴ構造の有無を調べる有力な手段の１つである。
【0074】

SAMSUNG EX. 1002 - 539/2862

Ｄ―Ｚ（またはＡ―Ｚ）ペアの存在を検知する間接的かつ簡便な方法として、電気抵抗やホール測定などの電気測定を用いることもできる。ｎ型（またはｐ型）ドーパントを用いた場合、格子間の異種原子Ｚをドーピングする前の基板はｎ型（またはｐ型）となり低抵抗である。ここで、ドーパントＤ（またはＡ）と異種原子Ｚをペアリングさせると、電荷補償によりフリーキャリアが減って基板は高抵抗化する。このため、異種原子Ｚのドーピング前後における電気抵抗やキャリア濃度の変化を調べることでＤＺ（またはＡＺ）ペアが形成できたか否かを知ることができる。

【0075】

次に、第１の実施形態として、前述した光電変換層を備える受光素子について説明する。

図１（ａ），（ｂ）には、第１の実施形態に係る＜引っ張り構造、｛１１１｝基板、ゲルマニウム突起構造＞の光電変換層を備える縦型通電の受光素子の断面構成を示している。

【0076】

この受光素子は、シリコン基板１上に埋め込み酸化膜２が形成され、さらにイオン注入により、n^+ 化されたｎ型シリコン層３が形成される。埋め込み酸化膜２は、１つの手法として貼り合わせ基板により形成することができる。例えば、第１のシリコン基板｛１１１｝の一主面に熱酸化等の手法により酸化膜（埋め込み酸化膜２）を形成する。この酸化膜に第２のシリコン基板｛１１１｝の主面を貼り合わせて一体化させる。このｎ型シリコン層３上には、前述した＜１１１＞軸方向に半導体格子が伸長された複数のゲルマニウム突起部４とその周囲に充填された絶縁層５（これらの積層を光電変換層とする）が形成される。さらにゲルマニウム突起部４及び絶縁層５の上層に、p^+ 化されたｐ型シリコン層６及びｐ電極７が形成される。また、ｎ型シリコン層３は、一部の領域が溝状に切り欠かれて露呈しており、その上にｎ電極８が形成される。

【0077】

ｎ型シリコン層３は、基板格子定数がゲルマニウムよりも小さく、｛１１１｝面の基板面方位を有しており、光電変換層に対する基板として機能している。光電変換層は、図９で説明した製造工程に従って形成されている。基板法線方向のゲルマニウム＜１１１＞軸が伸長していることはラマン分光から確認している。

【0078】

引っ張り構造を持つゲルマニウムのバンドギャップは、結晶ゲルマニウムのバンドギャップよりも小さく略０．５ｅＶである。バンド端が低エネルギーシフトしたために、近赤外領域における光の吸収係数は$10^5\ cm^{-1}$ 以上と大幅に増強されている。この光デバイスの光電変換層を光励起すると、光電流が生じる。

【0079】

光電変換層で発生した光電流を電極から外部に有効に取り出すには、図１には図示していないが、ｎ電極８とｐ電極７の間に駆動電圧Ｖを印加する。この駆動電圧Ｖの大きさは、この受光素子の開放端電圧をV_{oc}とすると、$V<V_{oc}$とすればよい。$V>V_{oc}$では、逆に電極から光電変換層に外部キャリアが注入されて光電流と相殺し合うため、見掛け上、光電流は減る。このため、動作電圧Ｖの設定は素子特性を決める重要な因子である。なお、開放端電圧V_{oc}は、駆動電圧を振って光電流ゼロとなる電圧（$V=V_{oc}$）から求めることが出来る。

【0080】

図１１に、本実施形態の受光素子に１０ＧＨｚで変調された波長１５５０ｎｍの光信号を入力したときの、出力光電流の応答特性を示す。図１１からわかるように、入力光信号に対し、略同一な波形の出力光電流が得られている。このように、本実施形態の受光素子によれば、結晶ゲルマニウムでは分光感度が低い波長１５５０ｎｍの近赤外光に対して、高速・高感度な光検出が可能になる。

【0081】

以上のことから、ゲルマニウム受光素子の光電変換層の長波長帯化を図る方法として、エネルギーバンドを変調して吸収を強める引っ張り構造は大変有効であることがわかる。

SAMSUNG EX. 1002 - 540/2862

【0082】
次に、第２の実施形態として、前述した光電変換層を備える受光素子について説明する。図１２には、第２の実施形態に係る＜引っ張り構造、｛１１１｝基板、ゲルマニウム＞の光電変換層を備える縦型通電の受光素子の断面構成を示している。本実施形態では、前述した第１の実施形態とは、光電変換層等が異なっており、これ以外の構成部位は同じであり、同じ参照符号を付してその説明は省略する。
【0083】
光電変換層６１，６２は、まず｛１１１｝シリコン基板１上に埋め込み酸化膜２とｎ型シリコン層３が積層形成される。このｎ型シリコン層３上に、シリコン・ゲルマニウム・バッファ層６１を形成した後に、歪ゲルマニウム層６２を形成する。シリコンとゲルマニウムでは格子定数差が約４％と大きいために、シリコン上に直接ゲルマニウムをエピタキシャル成長させると、膜に転位などの欠陥が入りやすく、暗電流の大きい光電変換層が作られる場合がある。そこで、格子定数が両者の間の値を持つシリコン・ゲルマニウム・バッファ層６１を挿入することで、基板面内方向に圧縮応力を受け、基板法線方向に引っ張り応力を受けた、歪ゲルマニウム層６２のエピタキシャル成長が可能になる。基板法線方向のゲルマニウム＜１１１＞軸が伸長していることはラマン分光から確認している。
【0084】
引っ張り構造を持つゲルマニウムのバンドギャップは結晶ゲルマニウムのそれよりも小さく略０．５ｅＶである。バンド端が低エネルギーシフトしたために、近赤外領域における光の吸収係数は10^5 ｃｍ$^{-1}$ 以上と大幅に増強される。この光デバイスの光電変換層を光励起すると、光電流が発生する。
【0085】
本実施形態の受光素子に１０ＧＨｚで変調された波長１５５０ｎｍの光信号を入力すると、前述した図１１と同様に、入力光信号に対して略同一な波形の出力光電流が得られる。このことから、本実施形態の光デバイスによれば、結晶ゲルマニウムでは分光感度が低い波長１５５０ｎｍの近赤外光に対して、高速・高感度な光検出が可能になる。
【0086】
次に、第３の実施形態として、前述した光電変換層を備える受光素子について説明する。図１３には、第３の実施形態に係る＜引っ張り構造、（１００）基板、ゲルマニウム＞の光電変換層を備える縦型通電の受光素子の断面構成を示している。本実施形態では、前述した第２の実施形態とは、シリコン基板と光電変換層等が異なっており、これ以外の構成部位は同じであり、同じ参照符号を付してその説明は省略する。
【0087】
本実施形態は、｛１００｝シリコン基板を用いて、基板表面をＫＯＨ溶液による異方性エッチングにより（１１１）面、（－１１１）面、（１－１１）面、（－１－１１）面を出し、逆ピラミッド形状の凹凸面を設けている。ゲルマニウム［１１１］軸、［－１１１］軸、［１－１１］軸、［－１－１１］軸が伸長していることはラマン分光から確認している。
【0088】
本実施形態の受光素子に１０ＧＨｚで変調された波長１５５０ｎｍの光信号を入力したときの出力光電流の応答特性を調べると、入力光信号に対して略同一波形の出力光電流が得られることがわかった。
【0089】
本実施形態によれば、加工が容易な｛１００｝基板を用いて、エッチングにより｛１１１｝面を出し、その上に引っ張り構造を持つゲルマニウム光電変換層を形成することで、長波長帯における光デバイスの高速化及び高感度化を図ることができる。
【0090】
次に、第４の実施形態として、前述した光電変換層を備える受光素子について説明する。図１４には、第４の実施形態に係る＜引っ張り構造、｛１１１｝基板、ゲルマニウム積層膜＞の光電変換層を備える縦型通電の受光素子の断面構成を示している。本実施形態で

SAMSUNG EX. 1002 - 541/2862

は、前述した第２の実施形態とは、光電変換層上にパターニングされたシリコンナイトライド膜による積層構造が異なっており、これ以外の構成部位は同じであり、同じ参照符号を付してその説明は省略する。

【0091】

このシリコンナイトライド膜６４は歪ゲルマニウム層６２に面内圧縮応力を与える。

シリコンナイトライド膜６４は、小片例えば、小型の矩形形状を成している。歪ゲルマニウム層６２上にパターニングにより例えば、マトリックス配列、又は市松模様の配置に形成される。又は、シリコンナイトライド膜６４は、小片が小型の円形に形成され、ドットマトリックス状に配置してもよい。このように配置は、歪ゲルマニウム層６２上でシリコンナイトライド膜６４が所在する領域と、所在しない領域とが均一となるように配置すればよく、特に配置構成に制限があるものではない。また、面内圧縮応力の所望する分布がある場合には、その分布に従い適宜、シリコンナイトライド膜６４を配置すればよい。

【0092】

従って、歪ゲルマニウム層６２は下層のシリコン・ゲルマニウム層６１と上層のシリコンナイトライド膜６４の両方から圧縮応力を受けて、より＜１１１＞軸方向に格子が伸長しやすくなる。ゲルマニウム＜１１１＞軸が伸長していることはラマン分光から確認している。

【0093】

本実施形態の光デバイスに１０ＧＨｚで変調された波長１７００ｎｍの光信号を入力したときの出力光電流の応答特性を調べると、入力光信号に対して略同一波形の出力光電流が得られることが確認された。

【0094】

本実施形態によれば、ゲルマニウム層（歪ゲルマニウム層）に対して、上層及び下層から面内圧縮応力を加えた引っ張り構造を持つゲルマニウム光電変換層を形成することで、より長波長帯において、受光素子の動作の高速化及び高感度化を図ることができる。

【0095】

次に、第５の実施形態として、前述した光電変換層を備える受光素子について説明する。

図１５には、第５実施形態に係る＜引っ張り構造＞の光電変換層を備える縦型通電の受光素子の断面構成を示している。本実施形態では、前述した第２の実施形態とはシリコン基板及び光電変換層等が異なっており、これ以外の構成部位は同じであり、同じ参照符号を付してその説明は省略する。

【0096】

この受光素子は、シリコン｛１１０｝面基板１上に埋め込み酸化膜２が形成され、さらにイオン注入により、n^+ 化されたｎ型シリコン層３が形成される。ｎ型シリコン層３は、一部の領域が溝状に切り欠かれて露呈しており、その上にｎ電極８が形成される。

【0097】

このｎ型シリコン層３上には、並置された突起形状の複数のアルミニウムアンチモン突起部７１と、アルミニウムアンチモン突起部７１の周囲及び頂部を埋め込むガリウムアンチモン層７２とを備えるIII－V化合物半導体バッファ層と、光電変換層である歪ゲルマニウム層６２が形成される。さらに光電変換層６２の上層に、p^+ 化されたｐ型シリコン層６及びｐ電極７が形成される。

【0098】

III－V化合物半導体バッファ層と、歪ゲルマニウム層の製造工程について説明する。まず、ＭＢＥ装置を用いて、前処理を行った｛１１０｝シリコン基板１のｎ型シリコン層３上にアルミニウムアンチモン突起構造を成長させる。シリコン基板１は、前処理として、希フッ酸処理で表面酸化膜を除去した後、スピン乾燥し、超高真空下のＭＢＥ装置のプレチャンバーを経て、リアクターチャンバーに導入する。

【0099】

シリコン基板１を一定温度に加熱し、Ｋ－セルとシャッターを制御してアルミニウムと

SAMSUNG EX. 1002 - 542/2862

アンチモンの各々を基板１のｎ型シリコン層３上に供給して、アルミニウムアンチモン突起構造７１を形成させる。引き続き、ＭＢＥ装置により、アルミニウムアンチモン突起構造７１を覆うようにガリウムアンチモン層７２を堆積させる。この成膜により、表面が平坦化され、擬似的な｛１１０｝ガリウムアンチモンエピタキシャル基板が形成される（非特許文献２を参照）。

【0100】

さらにガリウムアンチモン層７２上に、ＭＢＥ装置若しくは、ＣＶＤ装置を用いて、歪ゲルマニウム層６２を堆積させる。シリコン基板上のガリウムアンチモン層７２は、ほぼ格子緩和しており、バルクの格子定数０．６０９６ｎｍに近い値を示し、ゲルマニウムの格子定数０．５６４６ｎｍよりも大きい。このため、歪ゲルマニウム層６２は基板面内で引っ張り応力を受け、基板面と平行な［－１１１］軸方向に伸長される。

【0101】

引っ張り構造を持つゲルマニウムのバンドギャップは、結晶ゲルマニウムのそれよりも小さく略０．５ｅＶである。バンド端が低エネルギーシフトしたために、近赤外領域における光の吸収係数は10^{5} ｃｍ$^{-1}$ 台に増強される。この光デバイスの光電変換層を光励起すると、光電流が生じる。

【0102】

本実施形態の受光素子に１０ＧＨｚで変調された波長１５５０ｎｍの光信号を入力すると、入力光信号に対して略同一波形の出力光電流が得られる。このことから、本実施形態の受光素子によれば、結晶ゲルマニウムでは分光感度が低い波長１５５０ｎｍの近赤外光に対して、高速・高感度な光検出が可能になる。

【0103】

次に、第６の実施形態として、前述した光電変換層を備える受光素子について説明する。

第６実施形態として、前述した図８（ｂ）に示したＦＴ構造を有する、横型通電のＦＴ－ゲルマニウムを光電変換層に用いた受光素子について説明する。

【0104】

図８（ｂ）に示した母体半導体としてゲルマニウム、格子点サイトに置換されるｎ型ドーパントＤとしてＰ原子、格子間サイトに挿入される異種原子Ｚとしてフッ素原子Ｆを用い、ＰＦドープのＦＴ－ゲルマニウム光電変換層３９を形成した。Ｐ－Ｆペア濃度は5×10^{21}／ｃｍ^{3} である。Ｐ原子とＦ原子の濃度はＳＩＭＳにより確認している。

【0105】

光電変換層３９中にＦＴ構造のＰ－Ｆペアが形成できているか否かは、Ｐ－Ｆペア固有の振動モードを調べることが有効であり、光電変換層の顕微分光により検出できる。Ｐ－Ｆペア形成を簡便にチェックする方法として、本実施形態に係る受光素子とは別に、高抵抗基板表面に光電変換層と同一組成のＰ－Ｆドープ領域及びＰ単独ドープ領域を作り、両者のシート抵抗またはキャリア濃度を比較する方法もある。Ｐ－Ｆペアが形成されると電荷補償が生じるため、ＰＦドープ領域はＰ単独ドープ領域と比べて高抵抗化し、キャリア濃度は減少する。

【0106】

ＰＦドープゲルマニウムのバンドギャップは、結晶ゲルマニウムのそれとほぼ等しい。この受光素子にバンドギャップ以上のエネルギーを有する光を照射して光電変換層のＰＦドープゲルマニウムを光励起すると、光電流が発生する。

【0107】

図１６には、本実施形態の受光素子に１０ＧＨｚで変調された波長１５５０ｎｍの光信号を入力したときの、出力光電流の応答特性を示す。図１６からわかるように、入力光信号に対し、略同一波形の出力光電流が得られている。このように、本実施形態の受光素子によれば、結晶ゲルマニウムでは分光感度が低い波長１５５０ｎｍの近赤外光に対して、高速の光検出が可能になる。

【0108】

SAMSUNG EX. 1002 - 543/2862

以上のように本実施形態によれば、ゲルマニウム光デバイスの光電変換層の長波長帯化を図る方法として、エネルギーバンドを変調するＦＴ半導体は大変有効である。

【0109】

次に、第７の実施形態の光デバイスについて説明する。

第７の実施形態の光デバイスとして、同一基板上に発光素子と、光デバイスと、これらを結ぶ導波路とが集積化された光素子アレイを例とする。この光素子アレイは、光信号を発信し、伝送し、受信することができる。

【0110】

図１７に示すように、シリコン基板８１上に、発信用の端面発光型半導体レーザー素子（以下、ＬＤ素子）８５及び受信用のゲルマニウム受光素子８３が形成されている。これらの中間の領域に酸化膜８２が形成され、その上に伝送用のＳｉ導波路８４が形成されている。

【0111】

ＬＤ素子８５と受光素子８３は、ともに図１８に示す構造のものを用いる。この受光素子は、シリコン｛１１１｝面基板１上に埋め込み酸化膜２が形成され、さらにイオン注入により、n^+ 化されたｎ型シリコン層３が形成される。ｎ型シリコン層３は、一部の領域が溝状に切り欠かれて露呈しており、その上にｎ電極８が形成される。

【0112】

このｎ型シリコン層３上には、アルミニウムアンチモン突起構造７１と（ｎ層）ガリウムアンチモン（ＧａＳｂ）層７２からなるIII－V化合物半導体バッファ層と、（ｎ層）インジウムガリウムアンチモン（ＩｎＧａＳｂ）層７３と、光電変換層である歪ゲルマニウム層６２が形成される。さらに光電変換層６２の上層に、p^+ 化されたｐ型シリコン層６及びｐ電極７が形成される。

【0113】

ＬＤ素子８５の活性層と受光素子８３の光電変換層は両者とも歪ゲルマニウム層６２である。ＬＤ素子８５の歪ゲルマニウム層のバンド構造を変調して利得媒体に変換するため、基板面と平行な歪ゲルマニウム層の＜１１１＞軸方向の格子をより伸長させるよう、歪ゲルマニウム層と接するバッファ層にはＧａＳｂよりも格子定数が大きいＩｎＧａＳｂが用いられている。この構成により、歪ゲルマニウム層６２は波長２５００ｎｍ付近で発光し、電流注入によるレーザー発振が可能になる。

【0114】

ＬＤ素子８５の発振波長と一致するように受光素子８３の分光感度を長波長化するため、受光素子８３にも同等なＩｎＧａＳｂバッファ層が用いられている。なお本実施形態において、受光素子８３は、歪ゲルマニウム層のバンドギャップを狭めて、発振波長での光デバイスの分光感度を高めるために、ＬＤ素子に比べてバッファ層のＩｎ組成を高めている。

【0115】

図１７に示す光素子アレイでは、ｎ電極８３ａ及びｐ電極８３ｂを示している。このＬＤ素子８５に近接するように基板面内にトレンチを掘り、ＬＤ素子８５の端面８８を露呈している。受光素子８３についてもｎ電極８５ａ及びｐ電極８５ｂを示している。

【0116】

本実施形態において、ＬＤ素子８５から受光素子８３に向けて１０ＧＨｚで変調された波長２５００ｎｍの光信号を入力すると、受光素子８３において入力光信号に対して略同一波形の出力光電流が得られる。このことから、本実施形態の受光素子８３によれば、結晶ゲルマニウムでは分光感度を示さない波長２５００ｎｍの近赤外光に対しても、高速・高感度な光検出が可能になる。

【0117】

以上説明した実施形態においては、以下の特徴を有している。

（１）ゲルマニウム原子を主成分とする四面体結合される半導体を光電変換層に用いる光デバイスであり、基板格子定数がゲルマニウムよりも小さく、基板面方位が｛１１１｝

SAMSUNG EX. 1002 - 544/2862

面であり、基板面と垂直な＜１１１＞軸方向に光電変換層の半導体格子を伸長させる特徴を有する。

【0118】

（２）上記光デバイスにおいて、基板面方位が｛１１１｝面と異なり、異方性エッチングにより｛１１１｝面を出し、この面上に光電変換層を形成することにより、＜１１１＞軸方向に光電変換層の半導体格子を伸長させる特徴を有する。

【0119】

（３）上記光デバイスは、光電変換層がゲルマニウム突起構造からなり、同層にアモルファスシリコン膜を形成し、選択酸化することにより、ゲルマニウム突起構造を面内圧縮し、基板面と垂直方向にゲルマニウム突起構造の半導体格子を伸長させる特徴を有する。

【0120】

（４）上記光デバイスにおいて、光電変換層の上方に、一部分、面内圧縮応力を生じる積層膜を形成することで、基板面と垂直方向に光電変換層の半導体格子を伸長させる特徴を有する。

【0121】

（５）上記光デバイスにおいて、基板格子定数がゲルマニウムよりも大きく、基板面方位を（ＬＭＮ）面とするとＬ＋Ｍ＋Ｎ＝０であり、基板面と平行方向に＜１１１＞軸を含み、この＜１１１＞軸方向に光電変換層の半導体格子を伸長させる特徴を有する。

【0122】

（６）実施形態に係る光デバイスは、ゲルマニウム原子を主成分とする四面体結合される半導体を光電変換層に用いる光デバイスであり、光電変換層を構成する四面体結合される半導体の格子点サイトのゲルマニウム原子を置換するｎ型ドーパントＤまたはｐ型ドーパントAと、前記ドーパントに最近接の格子間サイトに挿入される異種原子Ｚを含み、異種原子Ｚはドーパントとの電荷補償により電子配置が閉殻構造となる特徴を有する。

【0123】

また、本実施形態には、基板として、ＳＯＩ（silicon on insulator）基板を用いたが、バルク基板を用いてもよい。

【図面の簡単な説明】

【0124】

【図1】図１（ａ）、（ｂ）は、本発明の第１の実施形態に係る光デバイスの断面構造を示す図である。

【図2】実施形態に係るゲルマニウムのバンド構造を示す図である。

【図3】実施形態に係るゲルマニウムにおけるΓｃ、Ｌｃ、Ｘｃエネルギーの格子定数依存性を示す図である。

【図4】図４（ａ）、（ｂ）は、実施形態に係る＜１１１＞軸引張り構造による長波長帯での吸収増加の原理を説明する図である。

【図5】図５（ａ）、（ｂ）は、実施形態に係るＦＴ半導体の構造を説明する図である。

【図6】図６（ａ）、（ｂ）、（ｃ）は、ゲルマニウムのエネルギーバンドのうち、Γ点伝導帯、Ｌ点伝導帯、及びΓ点価電子帯の、実空間上での電子状態を説明する図である。

【図7】図７（ａ）、（ｂ）は、ＦＴ半導体で光の吸収が強まる理由を説明するための、ゲルマニウムのエネルギーバンド図である。

【図8】図８（ａ）、（ｂ）は、実施形態に係る縦型通電及び横型通電のシリコン光デバイスの断面構造を示す図である。

【図9】図９（ａ）、（ｂ）、（ｃ）、（ｄ）は、実施形態に係る引張り構造ゲルマニウムからなる光電変換層の形成方法を示す断面構造を示す図である。

【図10】図１０（ａ）、（ｂ）、（ｃ）、（ｄ）は、実施形態に係るＰＦドープＦＴ－ゲルマニウムからなる光電変換層の形成方法を示す断面構造を示す図である。

【図11】本発明の第１の実施形態に係る光デバイスについて、入力信号に対する応答特性を示す図。

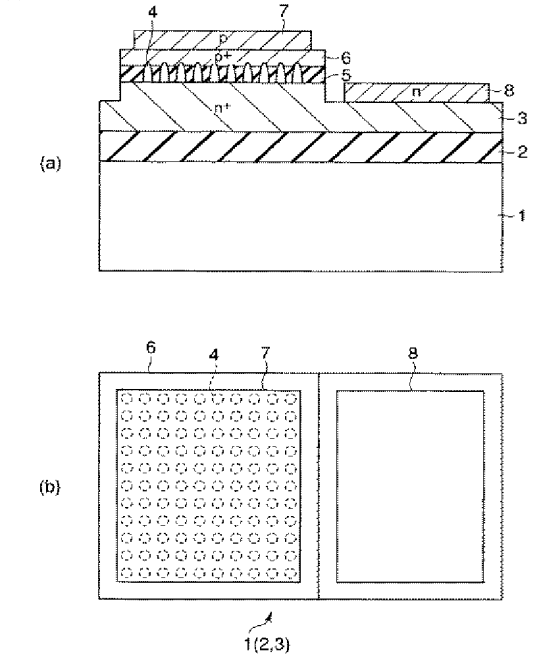
【図12】本発明の第２の実施形態に係る光デバイスの断面構造を示す図である。

SAMSUNG EX. 1002 - 545/2862

【図13】本発明の第３の実施形態に係る光デバイスの断面構造を示す図である。
【図14】本発明の第４の実施形態に係る光デバイスの断面構造を示す図である。
【図15】本発明の第５の実施形態に係る光デバイスの断面構造を示す図である。
【図16】本発明の第６の実施形態に係る光デバイスについて、入力信号に対する応答特性を示す図である。
【図17】本発明の第７の実施形態に係る光素子アレイを斜め上から見た図である。
【図18】第７の実施形態に係るＬＤ素子且つまた光デバイスの断面構造を示す図である。
【符号の説明】
【0125】
１…シリコン基板、２…埋め込み酸化膜、３…ｎ型シリコン層、４…ゲルマニウム突起構造、５…光電変換層、６…ｐ型シリコン層、７…ｐ電極。

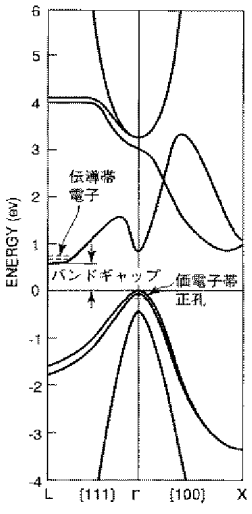
【図1】

図１



【図2】

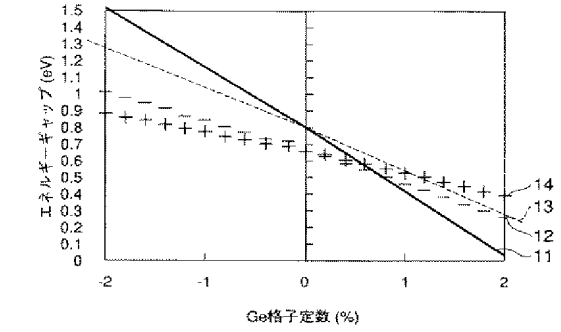
図２



SAMSUNG EX. 1002 - 546/2862

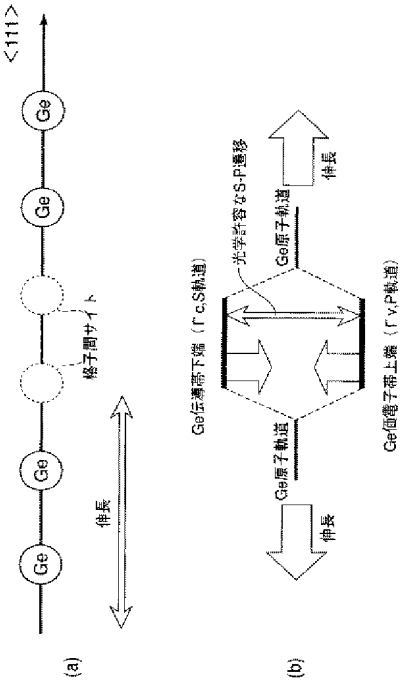
【図3】

図３



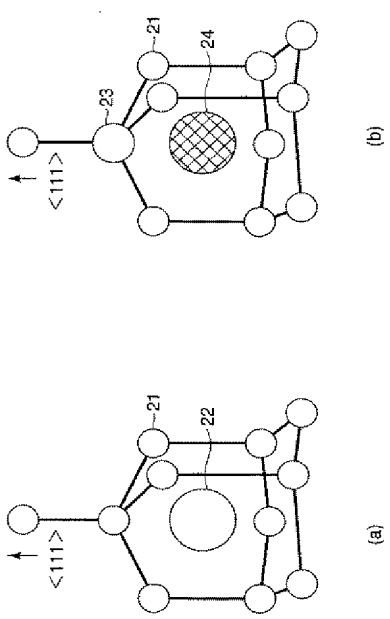
【図4】

図４



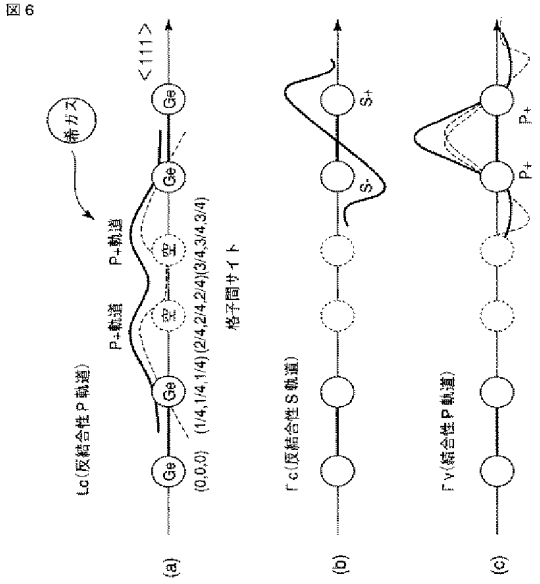
【図5】

図５



【図6】

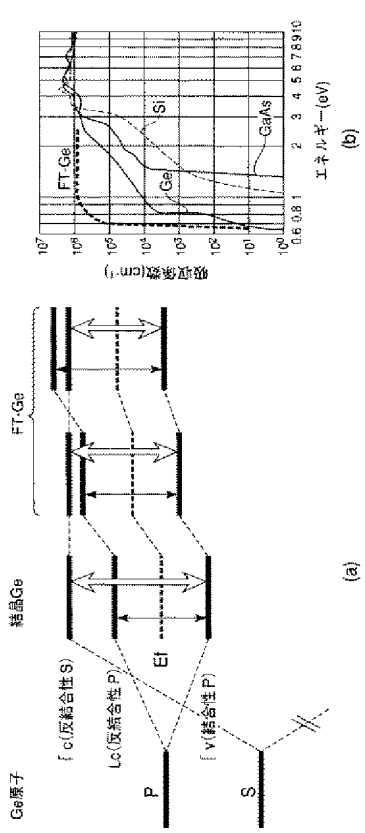
図６



SAMSUNG EX. 1002 - 547/2862

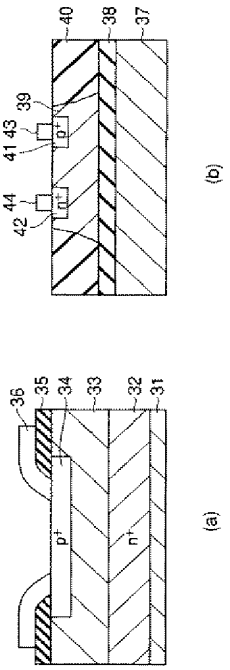
【図7】

図7



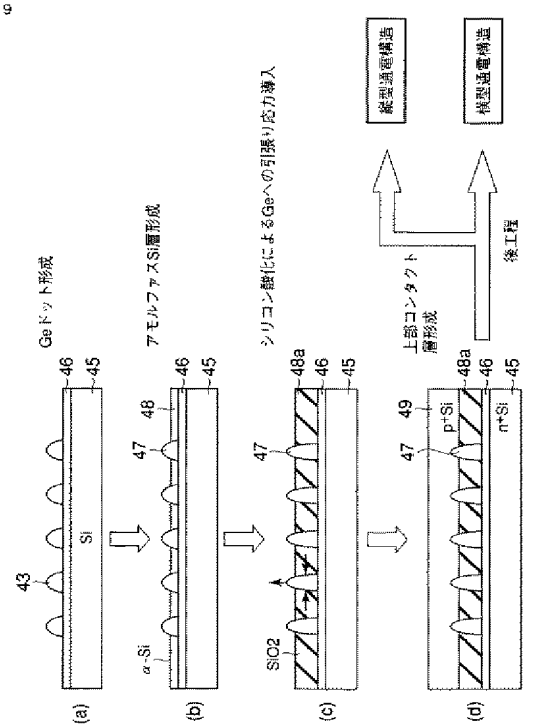
【図8】

図8



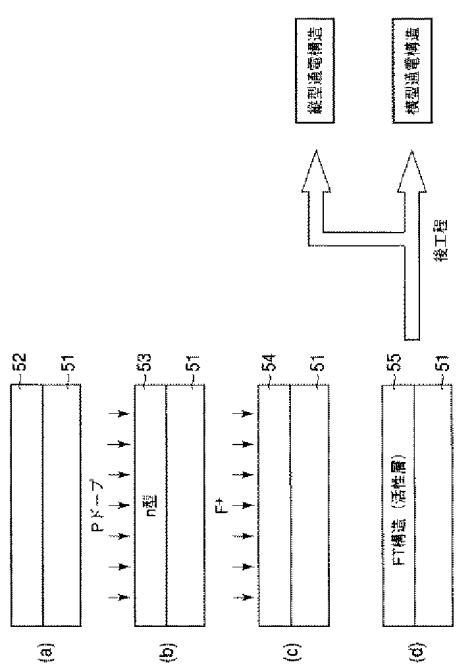
【図9】

図9



【図10】

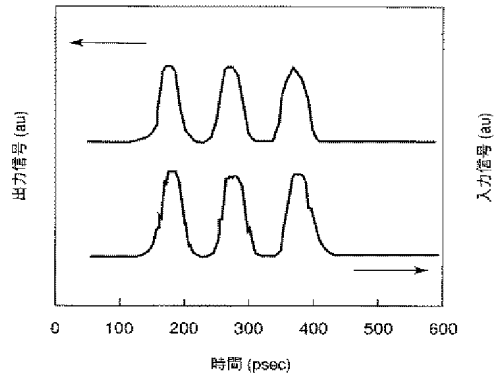
図10



SAMSUNG EX. 1002 - 548/2862

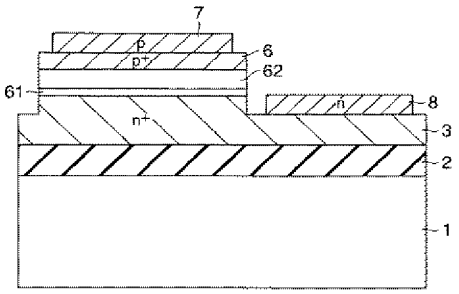
【図11】

図 11



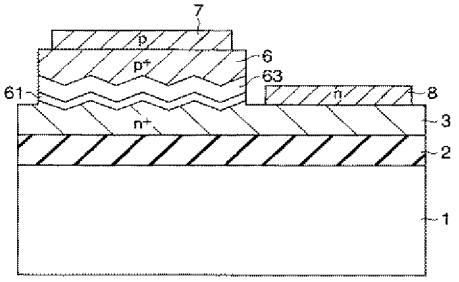
【図12】

図 12



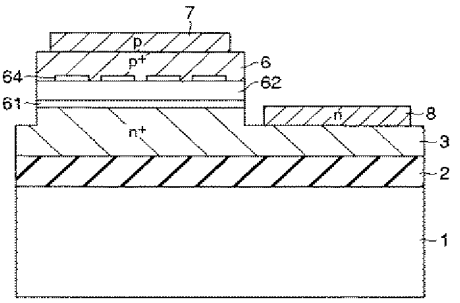
【図13】

図 13



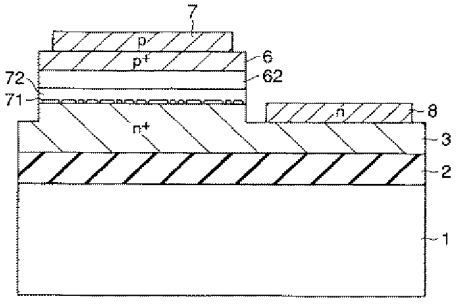
【図14】

図 14



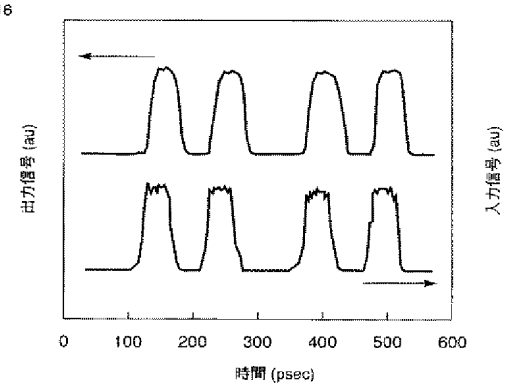
【図15】

図 15



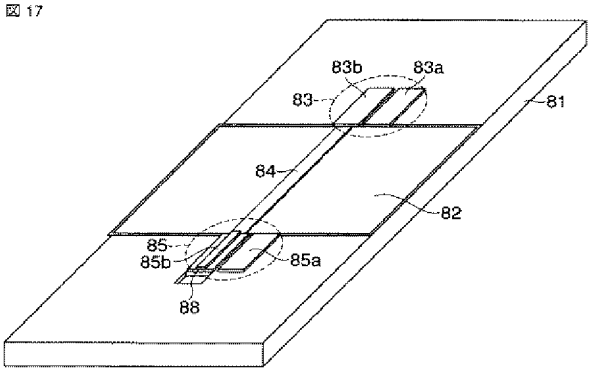
【図16】

図 16



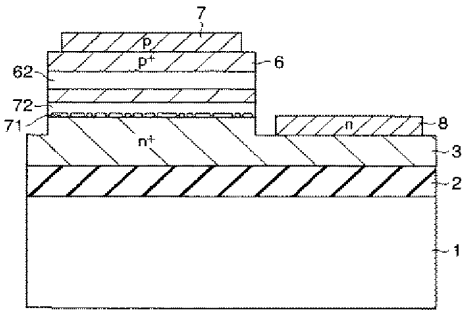
【図17】

図 17



【図18】

図 18



SAMSUNG EX. 1002 - 549/2862

(74)代理人　100095441
弁理士　白根　俊郎
(74)代理人　100084618
弁理士　村松　貞男
(74)代理人　100103034
弁理士　野河　信久
(74)代理人　100119976
弁理士　幸長　保次郎
(74)代理人　100153051
弁理士　河野　直樹
(74)代理人　100140176
弁理士　砂川　克
(74)代理人　100100952
弁理士　風間　鉄也
(74)代理人　100101812
弁理士　勝村　紘
(74)代理人　100070437
弁理士　河井　将次
(74)代理人　100124394
弁理士　佐藤　立志
(74)代理人　100112807
弁理士　岡田　貴志
(74)代理人　100111073
弁理士　堀内　美保子
(74)代理人　100134290
弁理士　竹内　将訓
(74)代理人　100127144
弁理士　市原　卓三
(74)代理人　100141933
弁理士　山下　元
(72)発明者　山本　和重
東京都港区芝浦一丁目１番１号　株式会社東芝内
(72)発明者　清水　達雄
東京都港区芝浦一丁目１番１号　株式会社東芝内

Ｆターム(参考) 4G077 BA05 DB04 ED05 ED06 HA02
4K030 AA05 BA09 BB02 BB03 CA04 CA12 DA03 LA01 LA18
5F088 AA11 AB02 AB16 BA20 BB03 CB01 CB03 CB09 CB10 CB11
CB14 DA05 DA14 GA04 LA01

SAMSUNG EX. 1002 - 550/2862

Espacenet

Bibliographic data: JP2009021479 (A) — 2009-01-29

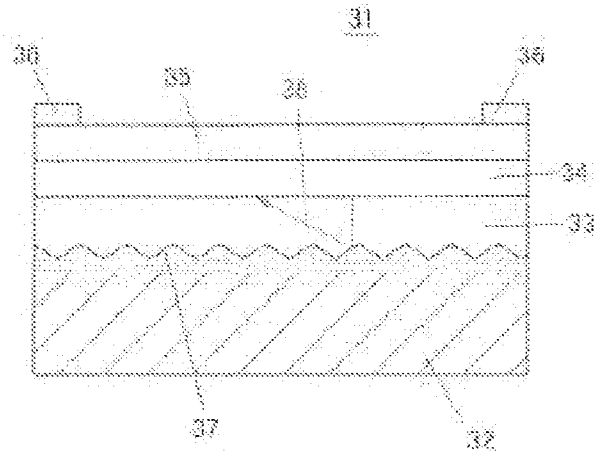
CIS-BASED SOLAR BATTERY AND ITS MANUFACTURING METHOD

Inventor(s):	OTA MORIHISA; KOBAYASHI DAIZO; FUNAMOTO AKIHIRO; AOYAMA SHIGERU ±
Applicant(s):	OMRON TATEISI ELECTRONICS CO ±
Classification: - international:	***C25D1/00; H01L31/04***
Classification: - European:	C25D1/04; H01L31/0236; H01L31/0392; H01L31/0749; Y02E10/50; Y02E10/54B
Application number:	JP20070184196 20070713
Priority number (s):	JP20070184196 20070713
Also published as:	JP4304638 (B2) US2010269906 (A1) WO2009011333 (A1) DE112008001828 (T5) CN101743641 (A) more

Abstract of JP2009021479 (A)

PROBLEM TO BE SOLVED: To provide a CIS solar battery, wherein a rugged shape with a high light scattering effect can be formed on the surface of a lower electrode positioned on the back surface side of a light absorbing layer, and its manufacturing method. ; SOLUTION: An alloy substrate 32 comprising the alloy of Ni and Mo is formed by electroforming, the alloy composition of the alloy substrate 32 is changed in the thickness direction, Ni is the main composition on the lower surface side and Mo is the main composition on the upper surface side. Also, on the upper surface of the alloy substrate 32, many fine rugged shapes 37 in a pyramid shape are formed. A CIS-based light absorbing layer 33 is formed on the upper surface of the alloy substrate 32, and an upper electrode 35 is provided at the upper part. ; COPYRIGHT: (C) 2009,JPO&INPIT

Last updated: 5.12.2011 Worldwide Database 5.7.31; 92p


31
30
39
38
36
34
33
37
32

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2009-21479
(P2009-21479A)
(43)公開日　平成21年1月29日(2009.1.29)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 31/04	(2006.01)	H01L	31/04	E	5F051
C25D 1/00	(2006.01)	C25D	1/00	381	

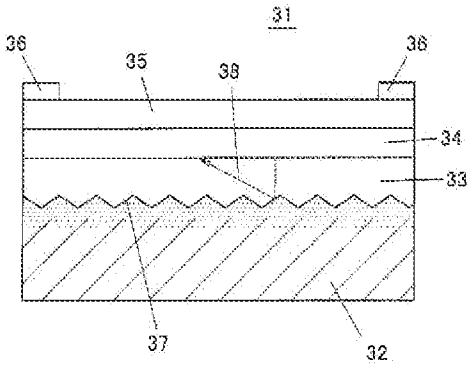
審査請求 有　請求項の数 6　OL　（全 17 頁）

(21)出願番号　特願2007-184196 (P2007-184196)
(22)出願日　平成19年7月13日 (2007.7.13)

(71)出願人　000002945
オムロン株式会社
京都市下京区塩小路通堀川東入南不動堂町
８０１番地
(74)代理人　100094019
弁理士　中野　雅房
(72)発明者　大田　盛久
京都府京都市下京区塩小路通堀川東入南不
動堂町８０１番地　オムロン株式会社内
(72)発明者　小林　大造
京都府京都市下京区塩小路通堀川東入南不
動堂町８０１番地　オムロン株式会社内
(72)発明者　船本　昭宏
京都府京都市下京区塩小路通堀川東入南不
動堂町８０１番地　オムロン株式会社内
最終頁に続く

(54)【発明の名称】ＣＩＳ系太陽電池及びその製造方法

(57)【要約】
【課題】光吸収層の裏面側に位置する下部電極の表面に光散乱効果の高い凹凸形状を形成することのできるＣＩＳ太陽電池及びその製造方法を提供する。
【解決手段】電鋳法によってＮｉとＭｏの合金からなる合金基板３２を形成する。合金基板３２は厚み方向において合金組成が変化しており、下面側はＮｉが主な組成となり、上面側はＭｏが主な組成となっている。また、合金基板３２の上面には、ピラミッド状をした多数の微細な凹凸形状３７が形成されている。合金基板３２の上面にはＣＩＳ系の光吸収層３３が形成され、その上方には上部電極３５が設けられる。
【選択図】図４



SAMSUNG EX. 1002 - 553/2862

【特許請求の範囲】
【請求項1】
上面に凹凸形状を有する基板と、光を吸収するための光吸収層と、前記光吸収層の上方に配置された上部電極とを有するＣＩＳ系太陽電池において、
前記光吸収層は、前記凹凸形状に接して前記基板上に形成されており、前記基板は下部電極として機能することを特徴とするＣＩＳ系太陽電池。
【請求項2】
前記基板は、前記光吸収層と接する上面付近にＭｏを含むことを特徴とする、請求項１に記載のＣＩＳ系太陽電池。
【請求項3】
前記基板は、合金によって形成されていることを特徴とする、請求項１に記載のＣＩＳ系太陽電池。
【請求項4】
前記基板は、下面側と上面側とで合金組成が異なっていることを特徴とする、請求項３に記載のＣＩＳ系太陽電池。
【請求項5】
前記基板は、Ｍｏを含む合金により形成されていることを特徴とする、請求項３に記載のＣＩＳ系太陽電池。
【請求項6】
前記基板は、ＮｉとＭｏの合金により構成されていることを特徴とする、請求項５に記載のＣＩＳ系太陽電池。
【請求項7】
前記基板は、ＣｏとＭｏの合金により構成されていることを特徴とする、請求項５に記載のＣＩＳ系太陽電池。
【請求項8】
前記基板は、下面側から前記光吸収層と接する上面へ向かうにつれてＭｏの濃度が大きくなるように形成されていることを特徴とする、請求項６または７のいずれか１項に記載のＣＩＳ系太陽電池。
【請求項9】
前記凹凸形状は、ピラミッド形状をした凹部または凸部によって構成されていることを特徴とする、請求項１に記載のＣＩＳ系太陽電池。
【請求項10】
前記ピラミッド形状の頂角が１１０°であることを特徴とする、請求項９に記載のＣＩＳ系太陽電池。
【請求項11】
前記凹凸形状の高さが、前記光吸収層の厚さの半分以下であることを特徴とする、請求項１に記載のＣＩＳ系太陽電池。
【請求項12】
前記基板が電鋳法により作製されていることを特徴とする、請求項１に記載のＣＩＳ系太陽電池。
【請求項13】
請求項１に記載したＣＩＳ系太陽電池の製造方法であって、
前記凹凸形状の反転形状が形成された母型に電鋳を行って前記母型の上面に基板材料を堆積させる工程と、
前記母型の上面に形成された基板から前記母型を取り除くことにより、前記凹凸形状を有する前記基板を作製する工程と、
前記基板の上面に前記光吸収層を形成する工程と、
前記光吸収層の上方に上部電極を形成する工程と、
を備えたＣＩＳ系太陽電池の製造方法。

【発明の詳細な説明】

SAMSUNG EX. 1002 - 554/2862

【技術分野】
【0001】
本発明はＣＩＳ系太陽電池及びその製造方法に関し、具体的には、光吸収層としてＣＩＧＳ、ＣＩＧＳＳ、ＣＩＳなどを用いたＣＩＳ系太陽電池とその製造方法に関する。
【背景技術】
【0002】
太陽電池には、単結晶シリコン型太陽電池、多結晶シリコン型太陽電池、アモルファスシリコン型太陽電池（以上、シリコン系太陽電池）、ＧａＡｓ系太陽電池、ＣｄＳ／ＣｄＴｅ系太陽電池、ＣＩＳ系太陽電池（以上、化合物系太陽電池）、色素増感太陽電池（有機物系）などがある。
【0003】
このうち、ＣＩＳ系太陽電池は、多結晶であるため大面積化や量産化に向き、禁制帯幅が材料次第で自由に変えられ、さらに、シリコン系太陽電池の理論変換効率と同等の理論変換効率（３１％）及びシリコン系太陽電池と同等の寿命（約２０年）を有するという特徴がある。従って、将来性のある太陽電池として注目されており、日本においてもＣＩＳ系太陽電池の量産化が始まっている。
【0004】
ＣＩＳ系太陽電池は、光吸収層の材料としてＣｕ、Ｉｎ、Ｇａ、Ａｇ、Ｓｅ、Ｓなどからなるカルコパイライト系と呼ばれるI－III－VI族化合物を用いた薄膜多結晶太陽電池であって、代表的なものは、$Cu(In,Ga)Se_2$［ＣＩＧＳ］、$Cu(In,Ga)(Se,S)_2$［ＣＩＧＳＳ］、$CuInS_2$［ＣＩＳ］などを用いたものである。
【0005】
図１はＣＩＳ系太陽電池１１の一般的な構造を示す斜視図である。ＣＩＳ系太陽電池１１は、ガラス（ソーダライムガラス）からなる基板１２の上にＭｏからなる下部電極１３を設け、下部電極１３の上にＣＩＧＳ等からなる光吸収層１４を形成し、その上にＣｄＳ等からなるバッファ層１５を介してＺｎＯ等からなる透明な上部電極１６を設けたものである。具体的には、基板１２を洗浄した後、この基板１２の上面にＭｏ等をスパッタすることによって下部電極１３を形成し、さらに下部電極１３の上にＣＩＧＳ等のカルコパイライト系材料を同時蒸着させて光吸収層１４を形成する。ついで、当該基板１２をＣｄＳ溶液に浸漬して光吸収層１４の上面にバッファ層１５を成長させ、バッファ層１５の上にＺｎＯ等をスパッタすることによって上部電極１６を形成する。
【0006】
一方、シリコン系太陽電池２１では、図２に示すように、上面に平均粗さが０．１～１０μｍの凹凸形状２７を形成したＮｉ電鋳基板２２の上にＺｎＯからなる下部電極２３を形成し、下部電極２３の上にアモルファスシリコンからなる光吸収層２４を形成し、その上にＺｎＯからなる透明な上部電極２６を設けたものが知られている。このような先行技術例としては、特開２００１－３４５４６０号公報（特許文献１）に開示されたものがある。
【0007】
このようなシリコン系太陽電池２１によれば、電鋳基板２２の表面に形成されている凹凸形状２７のために下部電極２３の表面にも凹凸形状２８が生じている。そのため、上部電極２６を通って光吸収層２４に入射した光２９は凹凸形状２８で散乱されて光吸収層２４内に閉じ込めて吸収され、シリコン系太陽電池２１の変換効率が向上する。また、基板として電鋳基板２２を用いることにより、基板表面に安価に凹凸形状を作製することができる。
【0008】
【特許文献1】特開２００１－３４５４６０号公報
【発明の開示】
【発明が解決しようとする課題】
【0009】

SAMSUNG EX. 1002 - 555/2862

図２に示した構造のシリコン系太陽電池２１を考慮すれば、図１に示したようなＣＩＳ系太陽電池１１においても、下部電極１３に凹凸形状を設けることで変換効率を向上させることが考えられる。

【0010】

しかし、実際には、ＣＩＳ系太陽電池１１では、下部電極１３の表面に微細な凹凸形状を形成することはできなかった。シリコン系太陽電池の場合には、下部電極２３の膜厚が０．０５μｍ（５０ｎｍ）程度と薄いので、電鋳基板２２の表面に形成されていた凹凸形状２７がそのまま下部電極２３の表面に凹凸形状２８となって表れる。これに対し、ＣＩＳ系太陽電池１１の場合には、光吸収層１４とオーミック接合させると共に格子定数を整合させるため下部電極１３にＭｏを用いており、下部電極１３の膜厚が１μｍ程度必要になる。そのため、図３に示すように、微細な凹凸形状１７を有する基板１２の上にＭｏからなる下部電極１３を形成しても、基板１２の凹凸形状１７が下部電極１３の上面では平坦化されてしまう。あるいは、下部電極１３の上面に凹凸形状が生じたとしても、それは凹凸形状１７に比べるとかなり鈍った凹凸形状にしかならない。そのため、下部電極１３によって十分に光を散乱させることができず、下部電極１３で散乱する光の利用効果が悪くなる問題があった。

【0011】

本発明は、このような技術的課題に鑑みてなされたものであって、その目的とするところは、光吸収層の裏面側に位置する下部電極の表面に光散乱効果の高い凹凸形状を形成することのできるＣＩＳ太陽電池及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0012】

本発明にかかるＣＩＳ系太陽電池は、上面に凹凸形状を有する基板と、光を吸収するための光吸収層と、前記光吸収層の上方に配置された上部電極とを有するＣＩＳ系太陽電池において、前記光吸収層が前記凹凸形状に接して前記基板上に形成されており、前記基板が下部電極として機能することを特徴としている。

【0013】

本発明にかかるＣＩＳ系太陽電池は、基板の上面に凹凸形状を有し、基板上面に接して光吸収層を設けているので、光吸収層に入射した光のうち、基板上面にまで達した光は凹凸形状で散乱されて光吸収層に吸収され、それによって太陽電池の変換効率が向上する。また、凹凸形状は基板に直接形成されているので、精度よくくっきりとした形状に形成することが可能である。しかも、基板が下部電極（オーミック電極）の機能を有しているので、凹凸形状の上に別途下部電極を形成して凹凸形状が鈍ったり、平坦化されたりする恐れもない。

【0014】

本発明にかかるＣＩＳ系太陽電池のある実施態様は、前記基板が、前記光吸収層と接する上面付近にＭｏを含むことを特徴としている。かかる実施態様によれば、Ｍｏを含む基板表面を光吸収層にオーミック接合させることができ、基板を下部電極（オーミック電極）として機能させることができる。また、基板表面にＭｏを含んでいるので、基板表面に光吸収層を成長する際に格子定数を整合させることができて良質な光吸収層を形成することができる。

【0015】

本発明にかかるＣＩＳ系太陽電池の別な実施態様は、前記基板が合金によって形成されていることを特徴としている。かかる実施態様によれば、合金組成を調整することによって基板の線膨張係数を制御することができる。また、金属板を貼り合わせた場合にはバイメタル効果によって温度変化に伴う反りが発生するが、基板を合金化することで温度変化に伴う基板の反りを小さくできる。よって、基板の線膨張係数を光吸収層の線膨張係数にほぼ等しくすることで光吸収層のクラックや剥離を防ぐことができる。

【0016】

本発明にかかるＣＩＳ系太陽電池のさらに別な実施形態は、前記合金によって形成され

SAMSUNG EX. 1002 - 556/2862

た基板が、下面側と上面側とで合金組成が異なっていることを特徴としている。かかる実施態様によれば、基板全体としての特性と、下部電極としての特性をそれぞれ制御することができる。例えば、表面では下部電極（オーミック電極）に適した金属材料の濃度が大きくなるようにし、全体としては光吸収層の線膨張係数と等しくなるようにすることができる。

【0017】

また、本発明にかかるＣＩＳ系太陽電池のさらに別な実施形態は、前記基板がＭｏを含む合金であることを特徴としている。かかる実施態様によれば、基板がＭｏを含んでいるので、基板を光吸収層にオーミック接合させることが可能になる。

【0018】

特に、基板をＮｉとＭｏの合金で作製すれば、Ｎｉは光吸収層よりも線膨張係数が大きく、Ｍｏは光吸収層よりも線膨張係数が小さいので、全体としての合金比を調整することによって基板の線膨張係数を光吸収層の線膨張係数にほぼ等しくすることができる。同様に、基板をＣｏとＭｏの合金で作製すれば、Ｃｏは光吸収層よりも線膨張係数が大きく、Ｍｏは光吸収層よりも線膨張係数が小さいので、全体としての合金比を調整することによって基板の線膨張係数を光吸収層の線膨張係数にほぼ等しくすることができる。

【0019】

本発明にかかるＣＩＳ系太陽電池のさらに別な実施態様は、前記基板が、下面側から前記光吸収層と接する上面へ向かうにつれてＭｏの濃度が大きくなるように形成されていることを特徴としている。かかる実施態様によれば、Ｍｏの濃度が基板表面で最も大きくなっているので、基板の表面を光吸収層にオーミック接合させることができ、基板を下部電極（オーミック電極）として使用することができる。

【0020】

本発明にかかるＣＩＳ系太陽電池のさらに別な実施態様は、前記凹凸形状が、ピラミッド形状をした凹部または凸部によって構成されていることを特徴としている。ピラミッド形状をした凹凸形状によれば、その高さや幅あるいは頂角を調整することによって入射光の散乱具合を容易に制御することができる。

【0021】

本発明にかかるＣＩＳ系太陽電池のさらに別な実施態様は、前記ピラミッド形状の頂角が１１０°であることを特徴としている。かかる実施態様によれば、光吸収層内における光の滞在距離を最も長くでき、光吸収層で光をもっともよく吸収させて変換効率を良好にすることができる。

【0022】

本発明にかかるＣＩＳ系太陽電池のさらに別な実施態様は、前記凹凸形状の高さが、前記光吸収層の厚さの半分以下であることを特徴としている。かかる実施態様によれば、凹凸形状が光吸収層の上に飛び出ることがなく、光吸収層のもっとも薄い部分の厚さが薄くなりすぎるのを防ぐことができて光吸収層で効率よく光を吸収することができる。

【0023】

本発明にかかるＣＩＳ系太陽電池のさらに別な実施態様は、前記基板が電鋳法により作製されていることを特徴としている。かかる実施態様によれば、電鋳法によって基板を作製することで凹凸形状作製時のスループットを向上させることができ、基板に安価に凹凸形状を作製することができる。また、下部電極の機能を有する基板を電鋳法によって作製することにより下部電極（基板表面）にくっきりとした凹凸形状を形成することができる。

【0024】

本発明にかかるＣＩＳ系太陽電池の製造方法は、本発明にかかるＣＩＳ系太陽電池の製造方法であって、前記凹凸形状の反転形状が形成された母型に電鋳を行って前記母型の上面に基板材料を堆積させる工程と、前記母型の上面に形成された基板から前記母型を取り除くことにより、前記凹凸形状を有する前記基板を作製する工程と、前記基板の上面に前記光吸収層を形成する工程と、前記光吸収層の上方に上部電極を形成する工程とを備えた

SAMSUNG EX. 1002 - 557/2862

ことを特徴としている。

【0025】

本発明にかかるＣＩＳ系太陽電池の製造方法によれば、電鋳法により凹凸形状の反転形状が形成された母型の上面に基板材料を堆積させて凹凸形状を有する基板を作製することができるので、高いスループットでもって、かつ安価に基板を作製することができる。また、電鋳法によって基板を作製しているので、電鋳の特徴であるパターン制御性の高さを活かすことができ、くっきりとした形状の凹凸形状を形成することができる。

【0026】

なお、本発明における前記課題を解決するための手段は、以上説明した構成要素を適宜組み合せた特徴を有するものであり、本発明はかかる構成要素の組合せによる多くのバリエーションを可能とするものである。

【発明を実施するための最良の形態】

【0027】

以下、添付図面を参照しながら本発明の好適な実施形態を説明する。なお、図面はいずれも模式的な図であって、実際の寸法とは異なっている。また、寸法比率も実際の比率とは異なっており、例えば合金基板の凹凸形状は誇張して大きく描いている。

【0028】

（第１の実施形態）

以下、図４を参照して本発明の第１の実施形態によるＣＩＳ系太陽電池３１の構造を説明する。このＣＩＳ系太陽電池３１は、電鋳法によって作製された合金基板３２の上にＣＩＧＳ、ＣＩＧＳＳ、ＣＩＳ等のＣＩＳ系（カルコパイライト化合物系）の光吸収層３３を形成し、さらにその上にバッファ層３４を介して透明な上部電極３５を設けたものである。また、上部電極３５の上面には一対の取出し電極３６を有している。典型的な一例を挙げると、合金基板３２はＮｉとＭｏの合金であって、５０μｍ程度の厚みを有している。光吸収層３３は、ＣＩＧＳによって２μｍ～３μｍの厚みに形成されている。バッファ層３４は、ＣｄＳ等によって厚みが0.05μｍ（５０ｎｍ）～0.1μｍ（１００ｎｍ）に形成されている。上部電極３５は、ＺｎＯ等によって厚みが0.6μｍ（６００ｎｍ）に形成されている。

【0029】

合金基板３２はＮｉとＭｏの合金であって、その厚みは１０μｍ～５００μｍの範囲であることが望ましい。さらに、合金基板３２の厚みは、強度や重量を考慮すれば、２０μｍ～１００μｍの範囲内であることが好ましく、特に、構造上および取り扱いにおける機械的強度などの点からは５０μｍ程度が好ましい。合金基板３２は厚み方向において合金組成が変化していて、濃度勾配を有している。すなわち、合金基板３２の下部はＮｉによって形成され、上面側へいくほど次第にＭｏの濃度が高くなっていて合金基板３２の上面近傍はＭｏ層またはＭｏリッチ合金層によって構成されている。例えば、上記のように合金基板３２の厚みが５０μｍ程度である場合では、表面の厚み１μｍ程度の領域がＭｏ層またはＭｏリッチ合金層となっており、その下の４９μｍ程度の層がＮｉ層またはＮｉリッチ合金層となっており、両者の間ではＭｏとＮｉとが互いに拡散している。

【0030】

このように合金基板３２はＮｉとＭｏとの合金であるが、合金基板３２の表面は光吸収層３３とオーミック接合することのできるＭｏによって形成されているので、合金基板３２またはその表面は下部電極の機能を有する。逆にいえば、合金基板３２の表面は光吸収層３３とオーミック接合できるだけのＭｏ濃度となっている必要がある。また、合金基板３２の表面がＭｏまたはＭｏリッチとなっているので、ＣＩＳ系の光吸収層３３を成長させるとき、合金基板３２の表面と光吸収層３３との間で格子定数を整合させることができ、良質な光吸収層３３（多結晶薄膜）を成長させることができる。

【0031】

また、合金基板３２の上面のほぼ全面には多数の微細な凹凸形状３７（つまり、凹形状または凸形状）が密に形成されている。１個の凹凸形状３７は、例えば図５に示すような

SAMSUNG EX. 1002 - 558/2862

ピラミッド形の凸形状となっている。この凹凸形状３７は、ピラミッド形状の対向する２斜面に垂直で、かつ頂点を通過する平面内における頂角αが、約１１０°となっている。さらに、凹凸形状３７の高さＨは、光吸収層３３の厚みの半分以下となっている。例えば、凹凸形状３７は、高さＨが０．０１μｍ（１０ｎｍ）～１．５μｍ、底面の一辺の長さＬが０．６μｍ～３μｍとなるように形成されていることが望ましい。凹凸形状３７の表面は鏡面となっている。なお、凹凸形状３７の寸法や配置はランダムであっても差し支えない。

【0032】

図６は、ピラミッド形状をした凹凸形状３７の対向する２斜面に垂直で、かつ頂点を通過する平面内における凹凸形状３７の頂角α（図５参照）と、光吸収層３３に上面から入射した光３８が凹凸形状３７で反射して光吸収層３３の上面から出るまでの光路長（図４参照）との関係をシミュレーションした結果を表した図である。この図によれば、頂角αが約１１０°のときに光吸収層３３における光路長がもっとも長くなることが分かる。よって、凹凸形状３７の頂角αを約１１０°とすることにより、光吸収層３３内における光の滞在距離が最も長くなり、光吸収層３３で光をもっともよく吸収させて変換効率を良好にすることができる。

【0033】

合金基板３２は、ＮｉとＭｏが合金化されていて徐々に組成が変化しているので、Ｎｉ層の上に単にＭｏ層を積層した場合（貼り合わせ構造）に比べて、熱膨張係数の違いによって温度変化に伴う反りが発生しにくい。そのため、合金基板３２の上に光吸収層３３を成膜するときの成膜温度（４００℃～５５０℃）によっても、光吸収層３３と合金基板３２の間に剥離が発生しにくい。

【0034】

また、合金基板３２と光吸収層３３との熱膨張係数の違いに基因して、温度変化により光吸収層３３にクラックが生じたり、光吸収層３３が剥離したりすることのないように、合金基板３２の全体としての線膨張係数は光吸収層３３の線膨張係数に等しくしている。例えば、光吸収層３３がＣＩＧＳの場合には、その線膨張係数は9×10^{-6}／℃～10×10^{-6}／℃である。Ｎｉの線膨張係数は13×10^{-6}／℃、Ｍｏの線膨張係数は5.2×10^{-6}／℃であるから、ＮｉとＭｏの基板全体としての合金比（質量比）をＮｉ：Ｍｏ＝１：１．０８とすれば、合金基板３２の線膨張係数は約9×10^{-6}／℃となる。また、ＮｉとＭｏの基板全体としての合金比をＮｉ：Ｍｏ＝１：０．６４とすれば、合金基板３２の線膨張係数は約10×10^{-6}／℃となる。従って、合金基板３２の線膨張係数をＣＩＧＳの光吸収層３３と等しくするためには、合金基板３２全体としてのＮｉとＭｏの合金比Ｍｏ／Ｎｉ＝０．６４～１．０８とすればよい。特に、光吸収層３３の線膨張係数のばらつきなどを考慮すれば、Ｎｉ：Ｍｏ＝１：１とするのが好ましい。

【0035】

上記のように濃度勾配のついた合金基板３２は、電鋳法により作製することができる。電鋳法とは、一般に電解浴にドラムを浸漬し、ドラム上に厚く金属を電析させ、その電析物をドラムより剥離させて、それを製品、または複製物とする方法である。例えば、電鋳法でＮｉ箔を作製する場合には、スルファミン酸ニッケルを用いた電解浴のなかに、チタン、ステンレス鋼などで作られたドラムを一部浸し、そのドラム表面上にＮｉを電析させ、それを連続的に剥離して帯状の銅箔を製造する。陽極には不溶性陽極（鉛、アンチモン）を用い、電解浴中の銅イオンの減少は銅を化学的に溶解させて補給することによって行われる。

【0036】

図７（ａ）～図７（ｄ）は電鋳法により合金基板３２を作製する工程を表している。まず、フォトリソグラフィやＥＢ、レーザー加工などの技術を用いて、図７（ａ）に示すように、凹凸形状３７と嵌り合う微細な反転形状４０を有する母型３９を作製する。ついで、この母型３９をＮｉイオンとＭｏイオンを含む電解浴中に浸漬し、陽極と陰極の間に電流を流すことにより反転形状４０の表面にＮｉやＭｏを電析させ、図７（ｂ）のように電

SAMSUNG EX. 1002 - 559/2862

鋳法により合金基板３２を作製する。このとき、当初すなわち反転形状４０に近い層では、Ｍｏ層又はＭｏリッチ合金層が堆積するようにし、母型３９の上に堆積する合金基板３２の厚みが厚くなるに従ってＭｏの濃度が少なくなり、最終的にはＮｉが堆積するようにする。したがって、図７（ｃ）及び図７（ｄ）に示すように、母型３９を剥離して得られた合金基板３２は、凹凸形状３７側の表面層ではＭｏまたはＭｏリッチの層となり、下面側ではＮｉ層となる。

【0037】

上記のようにＮｉとＭｏとの組成比を変化させながら母型３９に合金基板３２を堆積させるには、電鋳時に陽極と陰極との間に流す電流密度を制御すればよい。図８（ａ）はｐＨ３のＮｉ－Ｍｏ電解液を用いた場合に電鋳によって形成される膜中のＭｏ濃度（at％）を表している。また、図８（ｂ）はｐＨ５のＮｉ－Ｍｏ電解液を用いた場合に電鋳によって形成される膜中のＭｏ濃度（at％）を表している。図８（ａ）、図８（ｂ）の横軸は電解液の浴中Ｍｏ濃度（mol／リットル）を表し、縦軸が膜中Ｍｏ濃度（at％）を表している。また、白丸、三角印及び黒丸は、それぞれ陽極と陰極の間の電流密度が４００Ａ／ｍ^2、６００Ａ／ｍ^2、８００Ａ／ｍ^{2}のときの膜中Ｍｏ濃度を示す。図８（ａ）、図８（ｂ）から分かるように、浴中Ｍｏ濃度が高くなると膜中Ｍｏ濃度が大きくなり、また電流密度によっても膜中Ｍｏ濃度が変化する。よって、傾斜組成を有する合金基板３２を作製するには、合金基板３２を電鋳法により作製しつつ電流密度を変化させることでＭｏとＮｉの濃度（組成比）を次第に変化させればよい。また、電流だけでは所望の組成を得ることのできない領域（Ｍｏの組成比が非常に大きな部分やＮｉの組成比が非常に大きな部分）では、電流密度を時間的に変化させると共に、電解液のＭｏイオン濃度を制御すればよい。電解液のＭｏ濃度を制御する方法には、例えば、電解液のＭｏイオン濃度を時間とともに次第に変化させる方法と、Ｍｏイオン濃度の異なる複数の電解液に母型３９を順番に入れていく方法とがある。

【0038】

このように電鋳法により合金基板３２を作製すれば、真空工程（真空チャンバ内での工程）が不要であるのでスループットが良好となり、合金基板３２の作製コストを安価にすることができる。また、この合金基板３２の凹凸形状３７側は光吸収層３３と接する面、すなわち下部電極としての機能を有するが、その凹凸形状３７を母型３９からの転写によってくっきりとした形状に形成することができる。よって、光吸収層３３に入射した光を凹凸形状３７で効果的に散乱させることができ、ＣＩＳ系太陽電池３１の変換効率を良好にすることができる。

【0039】

光吸収層３３は、ＣＩＧＳ、ＣＩＧＳＳ、ＣＩＳ等のＣＩＳ系カルコパイライト化合物からなる多結晶薄膜であって、凹凸形状３７の底面または最下点から測った厚みが２μｍ～３μｍとなっている。光吸収層３３は、図７（ｅ）に示すように、３段階法やセレン化法、多元蒸着法、ＭＢＥ法などの常法によって合金基板３２の上面に成膜される。例えば、３段階法では、１層目に$(In,Ga)_2Se_3$膜を形成し、ついでＣｕとＳｅのみを供給して膜全体の組成がＣｕ過剰組成になるまで膜形成を行う。さらに、この膜に再びＩｎ，Ｇａ，Ｓｅの各フラックスを照射し、最終的な組成が(Ｉｎ,Ｇａ)過剰組成となるようにする。また、セレン化法の場合には、Ｉｎ／Ｃｕ（Ｇａ）／Ｍｏ金属積層膜をスパッタによって合金基板３２の上面に形成し、その積層膜を４００℃以上の温度でH_2Seガスと反応させて$Cu(In,Ga)Se_2$［ＣＩＧＳ］膜を得る。

【0040】

光吸収層を形成する際には、ソーダライムガラスからなる基板を用いて、基板から光吸収層にＮａを供給するのが一般的であるが、この実施形態では基板に合金基板３２を用いているので、光吸収層３３の成膜中に光吸収層３３にＮａを直接入れるようにしている。

【0041】

バッファ層３４はＣｄＳによって厚みが２μｍとなるように形成される。しかし、地球環境を考えればＣｄフリーの材料を用いることが望ましいので、バッファ層３４としては

SAMSUNG EX. 1002 - 560/2862

Ｚｎ（Ｏ，Ｓ，ＯＨ）ｘを用いるのが好ましい。バッファ層３４は、図７（ｆ）に示すように、例えばＣＢＤ（Chemical Bath Deposition）法によって０．０５μｍ（５０ｎｍ）～０．１μｍ（１００ｎｍ）の厚みとなるように光吸収層３３の上面に溶液成長させられる。

【0042】

上部電極３５は、図７（ｇ）に示すように、スパッタ法により厚みが６００μｍとなるように成膜される。上部電極３５の材料は、コストの点からはＺｎＯが望ましいが、In_2O_3、SnO_2、ＣｄＯ、Cd_2SO_4、TiO_2、Ta_2O_5、Bi_2O_3、MoO_3、$NaxWO_3$などの導電性酸化物を用いることもできる。また、これらの化合物を混合したもの、これらの化合物に導電率を変化させる元素（ドーパント）を添加したもの（例えば、ＩＴＯ、ＩＺＯ、ＦＴＯ、ＡＺＯ、ＢＺＯ、ＺｎＯにＡｌを微量添加したものなど）でもよい。また、上記のような化合物の膜を高抵抗層と低抵抗層の２層構造とすれば、上部電極３５におけるシャントパスを低減する効果がある。

【0043】

取出し電極３６は、アルミ材料によって１μｍ～３μｍの厚みに形成される。例えば、取出し電極３６を形成するための開口をマスクにあけておき、このマスクを位置合わせして上面電極３５の上に重ね、蒸着やスクリーン印刷によって電極材料をマスクの開口から上面電極３５に供給して取出し電極３６を形成する。

【0044】

本発明の第１の実施形態によるＣＩＳ系太陽電池にあっては、合金基板３２が電鋳法により作製されているので、凹凸形状３７を有する合金基板３２を容易かつ安価に作製することができる。しかも、凹凸形状は精度よくくっきりとした形状に形成される。合金基板３２の上面はＭｏで構成されていて下部電極の機能を有しているので、この合金基板３２の上面にさらに下部電極を設ける必要がなく、光吸収層３３を合金基板３２の凹凸形状３７の上に直接に形成することができる。よって、光吸収層３３に入射した光は、凹凸形状３７で散乱されて光吸収層３３内に広がって吸収され、その結果ＣＩＳ系太陽電池３１の変換効率が向上する。

【0045】

また、第１の実施形態によるＣＩＳ系太陽電池にあっては、合金基板３２がＮｉとＭｏの合金であって、厚み方向において組成が変化し、合金基板３２の表面でＭｏの濃度が大きくなっているので、合金基板３２の表面に下部電極（オーミック電極）を形成することができる。また、合金基板３２の表面でＭｏの濃度が大きくなっているので、光吸収層３３の成膜時に合金基板３２の表面と光吸収層３３とで格子定数が整合し易くなる。また、合金基板３２が合金であるので、合金基板３２の熱膨張係数が光吸収層３３の熱膨張係数にほぼ等しくなるように合金比を調整することができ、光吸収層３３のクラックや剥離を防ぐことができる。

【0046】

（第２の実施形態）

つぎに、本発明にかかる第２の実施形態を説明する。ＣＩＳ系太陽電池の構造については第１の実施形態と同じであるので、図示及び説明を省略する。

【0047】

第１の実施形態では、合金基板３２はＭｏとＮｉの合金であったが、第２の実施形態では、ＭｏとＣｏとの合金を用いて合金基板３２を作製している。この場合には、下面側がＣｏによって構成され、凹凸形状３７の形成されている上面側がＭｏ層またはＭｏリッチ合金層となっている。このようなＭｏ－Ｃｏ合金の場合にも、図９（ａ）及び図９（ｂ）に示すように、膜中Ｍｏ濃度は浴中Ｍｏ濃度及び電流密度によって変化するので、電鋳の工程において電流密度や浴中Ｍｏ濃度を変化させることにより、合金基板３２におけるＭｏ濃度を変化させることができる。

【0048】

Ｍｏ－Ｃｏ合金の合金基板３２の線膨張係数を光吸収層３３の線膨張係数に等しくして

SAMSUNG EX. 1002 - 561/2862

、温度変化による光吸収層３３のクラックや光吸収層３３の剥離を防止するためには、ＣｏとＭｏの合金比を以下のようにすればよい。例えば、光吸収層３３がＣＩＧＳの場合には、その線膨張係数は9×10^{-6}／℃～10×10^{-6}／℃である。Ｃｏの線膨張係数は12.4×10^{-6}／℃、Ｍｏの線膨張係数は5.2×10^{-6}／℃であるから、ＣｏとＭｏの基板全体としての合金比（質量比）をＣｏ：Ｍｏ＝１：０．９２とすれば、合金基板３２の線膨張係数は約9×10^{-6}／℃となる。また、ＣｏとＭｏの基板全体としての合金比をＣｏ：Ｍｏ＝１：０．５２とすれば、合金基板３２の線膨張係数は約10×10^{-6}／℃となる。従って、合金基板３２の線膨張係数をＣＩＧＳの光吸収層３３と等しくするためには、合金基板３２全体としてのＣｏとＭｏの合金比Ｍｏ／Ｃｏ＝０．５２～０．９２とすればよい。

【0049】

なお、合金基板３２は、Ｎｉ－ＭｏやＣｏ－Ｍｏの合金組成以外にも、Ｎｉ、Ｃｕ、Ｔｉ、Ｆｅ、Ｗ、Ｃｒ、Ａｌ、Ａｕ、Ｎｂ、Ｔａ、Ｖ、Ｐｔ、Ｐｂなどのうちの１種または２種以上の材料を下面側の組成とし、Ｍｏを上面側の組成として、線膨張係数が光吸収層３３とほぼ等しくなるように全体の組成比を調整したものであってもよい。

【0050】

（第３の実施形態）

図１０は本発明の第３の実施形態によるＣＩＳ系太陽電池で用いられる合金基板３２を示す斜視図である。この合金基板３２では、図１０に示すように、合金基板３２の上面に微細な三角形溝状の凹凸形状３７を設けている。このような三角形溝状の凹凸形状３７でも、光を散乱させてＣＩＳ系太陽電池の変換効率を向上させることができる。

【0051】

（第４の実施形態）

図１１は本発明の第４の実施形態によるＣＩＳ系太陽電池の構造を示す断面図である。この実施形態では、凹凸形状３７が、矩形状の凸部または凹部によって構成されている。あるいは、矩形溝状の凹凸形状３７であってもよい。この場合も、凹凸形状３７は同じ形状のものを一定ピッチで配列していてもよく、同じ形状のものをランダムに配置していてもよく、異なる形状のものをランダムに形成していてもよい。このような凹凸形状３７では、光を散乱させる効果は低いが、光吸収層３３と合金基板３２の剥離を防止する効果がある。

【0052】

なお、凹凸形状３７としては、その上に形成される光吸収層３３の結晶成長を制御するための形状をしたものであってもよい。

【図面の簡単な説明】

【0053】

【図1】図１は、ＣＩＳ系太陽電池の一般的な構造を示す斜視図である。

【図2】図２は、シリコン系太陽電池の構造を模式的に示す断面図である。

【図3】図３は、基板に凹凸形状を設けたＣＩＳ系太陽電池を模式的に示す断面図である。

【図4】図４は、本発明の第１の実施形態によるＣＩＳ系太陽電池の構造を模式的に示す断面図である。

【図5】図５は、図４の太陽電池の合金基板の表面に形成された凹凸形状の一つを示す斜視図である。

【図6】図６は、ピラミッド形状をした凹凸形状の対向する２斜面に垂直で、かつ頂点を通過する平面内における凹凸形状の頂角αと、光吸収層に上面から入射した光が凹凸形状で反射して光吸収層の上面から出るまでの光路長との関係をシミュレーションした結果を表した図である。

【図7】図７（ａ）～図７（ｄ）は、電鋳法により合金基板を作製する工程を表した図である。

【図8】図８（ａ）はｐＨ３のＮｉ－Ｍｏ電解液を用いた場合に電鋳によって形成される

SAMSUNG EX. 1002 - 562/2862

膜の膜中Ｍｏ濃度を表す図、図８（ｂ）はｐＨ５のＮｉ－Ｍｏ電解液を用いた場合に電鋳によって形成される膜の膜中Ｍｏ濃度を表す図である。

【図9】図９（ａ）は、本発明の第２の実施形態において、ｐＨ３のＣｏ－Ｍｏ電解液を用いた場合に電鋳によって形成される膜の膜中Ｍｏ濃度を表す図、図８（ｂ）はｐＨ５のＣｏ－Ｍｏ電解液を用いた場合に電鋳によって形成される膜の膜中Ｍｏ濃度を表す図である。

【図10】図１０は、本発明の第３の実施形態によるＣＩＳ系太陽電池で用いられる合金基板を示す斜視図である。

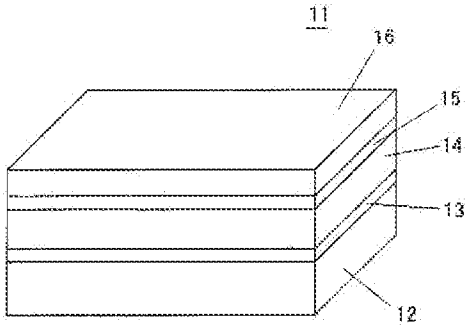
【図11】図１１は、本発明の第４の実施形態によるＣＩＳ系太陽電池の構造を模式的に表した断面図である。

【符号の説明】

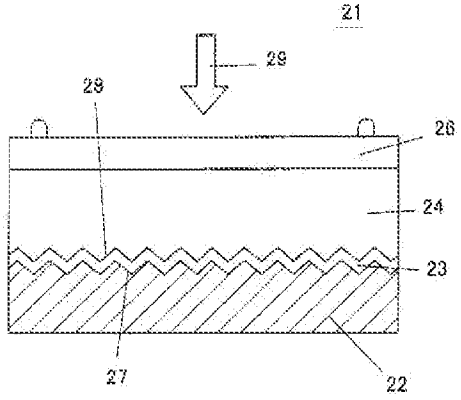
【0054】

３１　　ＣＩＳ系太陽電池
３２　　合金基板
３３　　光吸収層
３４　　バッファ層
３５　　上部電極
３６　　取出し電極
３７　　凹凸形状
３９　　母型
４０　　反転形状

【図1】

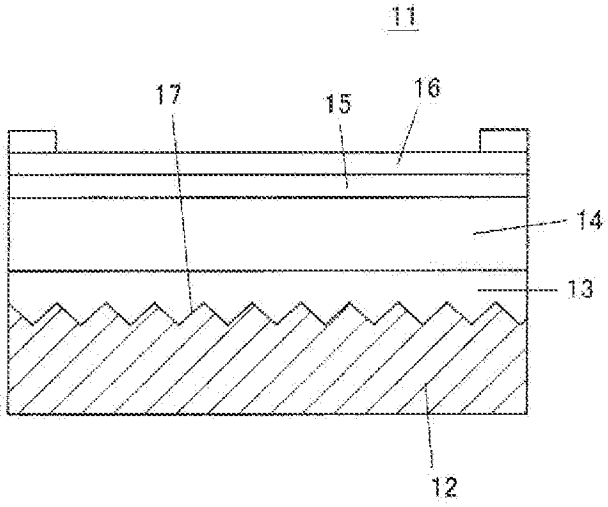


【図2】

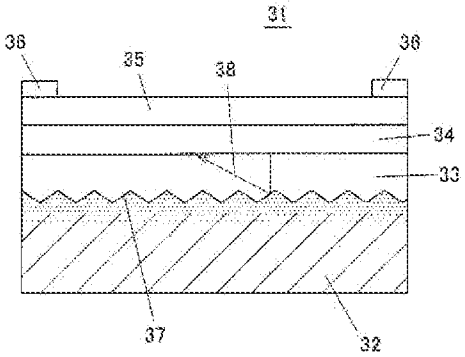


SAMSUNG EX. 1002 - 563/2862

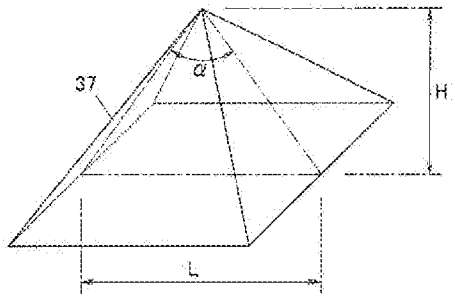
【図3】



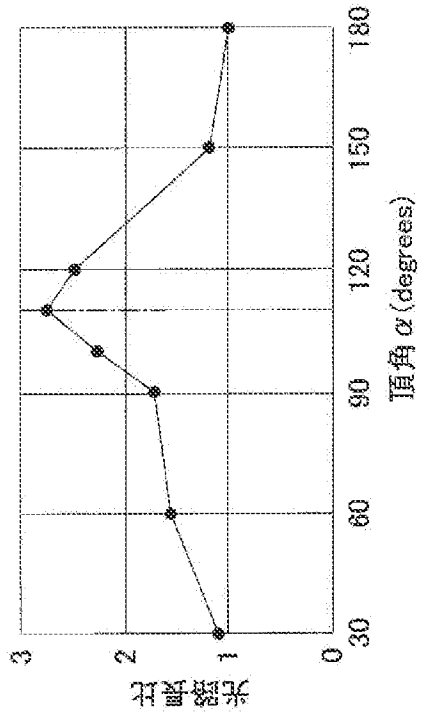
【図4】



【図5】

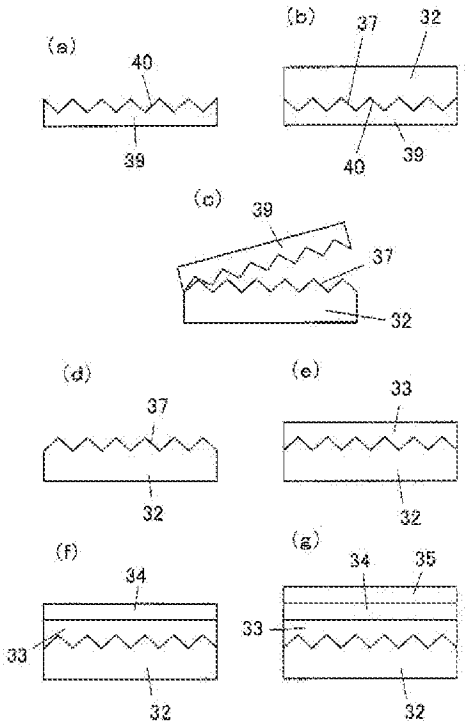


【図6】

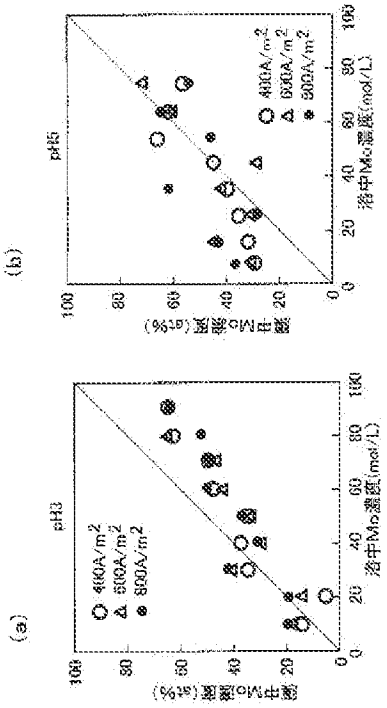


SAMSUNG EX. 1002 - 564/2862

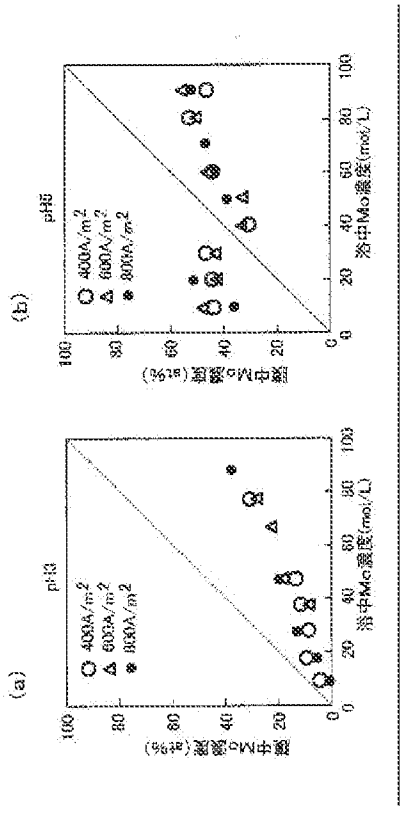
【図7】



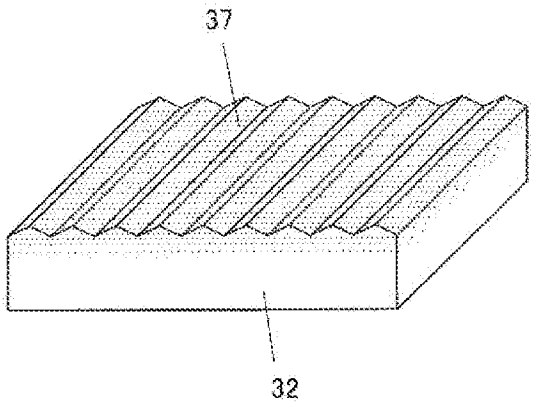
【図8】



【図9】

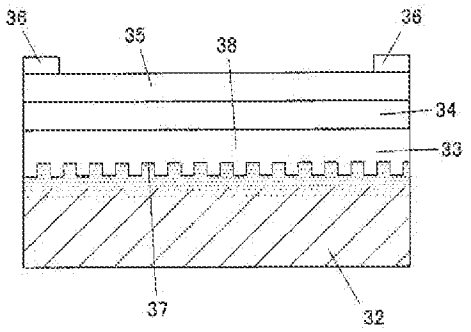


【図10】



SAMSUNG EX. 1002 - 565/2862

【図11】



【手続補正書】
【提出日】平成20年10月16日(2008.10.16)
【手続補正1】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項1】
上面に凹凸形状を有する基板と、光を吸収するための光吸収層と、前記光吸収層の上方に配置された上部電極とを有し、
前記光吸収層は、前記凹凸形状に接して前記基板上に形成されており、前記基板は下部電極として機能するＣＩＳ系太陽電池において、
前記基板は、Ｍｏを含む合金により形成され、下面側から前記光吸収層と接する上面へ向かうにつれてＭｏの濃度が大きくなるように形成されていることを特徴とするＣＩＳ系太陽電池。
【請求項2】
前記凹凸形状は、ピラミッド形状をした凹部または凸部によって構成されていることを特徴とする、請求項１に記載のＣＩＳ系太陽電池。
【請求項3】
前記ピラミッド形状の頂角が１１０°であることを特徴とする、請求項２に記載のＣＩＳ系太陽電池。
【請求項4】
前記凹凸形状の高さが、前記光吸収層の厚さの半分以下であることを特徴とする、請求項１に記載のＣＩＳ系太陽電池。

SAMSUNG EX. 1002 - 566/2862

【請求項5】
前記基板が電鋳法により作製されていることを特徴とする、請求項１に記載のＣＩＳ系太陽電池。
【請求項6】
請求項１に記載したＣＩＳ系太陽電池の製造方法であって、
前記凹凸形状の反転形状が形成された母型に電鋳を行って前記母型の上面にＭｏを含む組成の基板材料を堆積させる工程と、
前記母型の上面に形成された基板から前記母型を取り除くことにより、上面に前記凹凸形状を有し、かつ、下面側から上面へ向かうにつれてＭｏの濃度が大きくなった基板を作製する工程と、
前記基板の上面に前記光吸収層を形成する工程と、
前記光吸収層の上方に上部電極を形成する工程と、
を備えたＣＩＳ系太陽電池の製造方法。
【手続補正2】
【補正対象書類名】明細書
【補正対象項目名】００１２
【補正方法】変更
【補正の内容】
【0012】
本発明にかかるＣＩＳ系太陽電池は、上面に凹凸形状を有する基板と、光を吸収するための光吸収層と、前記光吸収層の上方に配置された上部電極とを有し、前記光吸収層が前記凹凸形状に接して前記基板上に形成されており、前記基板が下部電極として機能するＣＩＳ系太陽電池において、前記基板は、Ｍｏを含む合金により形成され、下面側から前記光吸収層と接する上面へ向かうにつれてＭｏの濃度が大きくなるように形成されていることを特徴としている。
【手続補正3】
【補正対象書類名】明細書
【補正対象項目名】００１４
【補正方法】変更
【補正の内容】
【0014】
また、本発明にかかるＣＩＳ系太陽電池は、前記基板がＭｏを含む合金であり、下面側から光吸収層と接する上面へ向かうにつれてＭｏの濃度が大きくなるように形成されているので、Ｍｏの濃度が基板表面で最も大きくなり、基板の表面を光吸収層にオーミック接合させることができ、基板を下部電極（オーミック電極）として使用することができる。
【手続補正4】
【補正対象書類名】明細書
【補正対象項目名】００１５
【補正方法】削除
【補正の内容】
【手続補正5】
【補正対象書類名】明細書
【補正対象項目名】００１６
【補正方法】削除
【補正の内容】
【手続補正6】
【補正対象書類名】明細書
【補正対象項目名】００１７
【補正方法】削除
【補正の内容】

SAMSUNG EX. 1002 - 567/2862

【手続補正7】
【補正対象書類名】明細書
【補正対象項目名】００１８
【補正方法】削除
【補正の内容】
【手続補正8】
【補正対象書類名】明細書
【補正対象項目名】００１９
【補正方法】削除
【補正の内容】
【手続補正9】
【補正対象書類名】明細書
【補正対象項目名】００２０
【補正方法】変更
【補正の内容】
【0020】
本発明にかかるＣＩＳ系太陽電池のある実施態様は、前記凹凸形状が、ピラミッド形状をした凹部または凸部によって構成されていることを特徴としている。ピラミッド形状をした凹凸形状によれば、その高さや幅あるいは頂角を調整することによって入射光の散乱具合を容易に制御することができる。
【手続補正10】
【補正対象書類名】明細書
【補正対象項目名】００２１
【補正方法】変更
【補正の内容】
【0021】
本発明にかかるＣＩＳ系太陽電池の別な実施態様は、前記ピラミッド形状の頂角が１１０°であることを特徴としている。かかる実施態様によれば、光吸収層内における光の滞在距離を最も長くでき、光吸収層で光をもっともよく吸収させて変換効率を良好にすることができる。
【手続補正11】
【補正対象書類名】明細書
【補正対象項目名】００２４
【補正方法】変更
【補正の内容】
【0024】
本発明にかかるＣＩＳ系太陽電池の製造方法は、本発明にかかるＣＩＳ系太陽電池の製造方法であって、前記凹凸形状の反転形状が形成された母型に電鋳を行って前記母型の上面にＭｏを含む組成の基板材料を堆積させる工程と、前記母型の上面に形成された基板から前記母型を取り除くことにより、上面に前記凹凸形状を有し、かつ、下面側から上面へ向かうにつれてＭｏの濃度が大きくなった基板を作製する工程と、前記基板の上面に前記光吸収層を形成する工程と、前記光吸収層の上方に上部電極を形成する工程とを備えたことを特徴としている。

SAMSUNG EX. 1002 - 568/2862

(72)発明者　青山　茂
京都府京都市下京区塩小路通堀川東入南不動堂町８０１番地　オムロン株式会社内
Ｆターム(参考) 5F051 AA10 BA14 CB15 FA02 FA03 FA04 GA02 GA14 GA20

SAMSUNG EX. 1002 - 569/2862

Europäisches Patentamt
European Patent Office
Office européen des brevets

Espacenet

Bibliographic data: JP2010278472 (A) — 2010-12-09

METHOD OF MANUFACTURING SOLID-STATE IMAGING DEVICE

No documents available for this priority number.

Inventor(s): MARUYAMA YASUSHI ± (MARUYAMA YASUSHI)

Applicant(s): SONY CORP ± (SONY CORP)

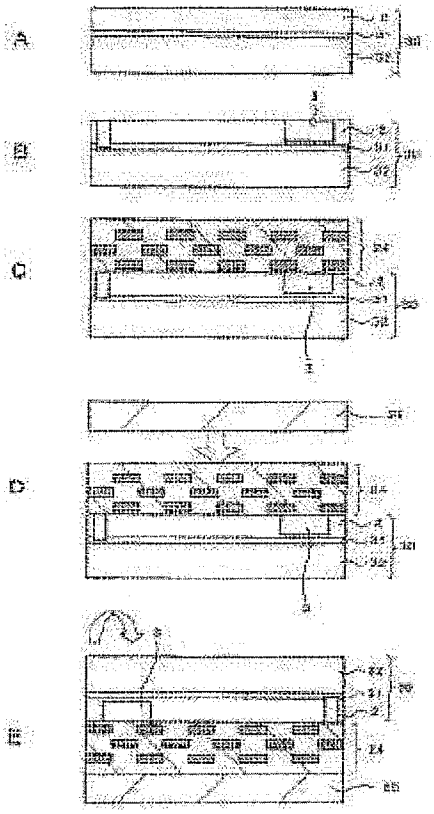
Classification: - international: ***H01L27/146***
- cooperative:

Application number: JP20100191888 20100830

Priority number(s): JP20100191888 20100830

Also published as: JP5218502 (B2)

Abstract of JP2010278472 (A)



SAMSUNG Ex. 1002 - 570/2862

PROBLEM TO BE SOLVED: To provide a solid-state imaging device which is more superior in reliability, a method of manufacturing the same, and a camera. ; SOLUTION: The solid-state imaging device has a semiconductor layer 10 in which a plurality of pixels made of a photoelectric-conversion section 11 and a pixel transistor are formed, and is formed with a multilayer interconnection layer 14 in one surface side of the semiconductor layer 10, wherein light from another surface side of the semiconductor layer 10 enters. In the device, a pad 5 is formed in the another surface side of the semiconductor layer 10, and an aperture which reaches a conductive layer in the multilayer interconnection layer 14 is formed at the pad 5. Further, the device has an insulating film 17 which is extended and formed over the another surface side of the semiconductor layer 10 to a sidewall in the aperture, is directly attached to the semiconductor layer 10 in the aperture, and insulates and covers the semiconductor layer 10; and another insulating film which is different from the insulating film 17 directly attached to the semiconductor layer 10, and extended and formed over the another surface side of the semiconductor layer 10 to the sidewall in the aperture. ; COPYRIGHT: (C)2011,JPO&INPIT

Last updated: 23.09.2013 Worldwide Database 5.8.11.4; 92p

SAMSUNG EX. 1002 - 571/2862

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2010-278472
(P2010-278472A)
(43)公開日　平成22年12月9日(2010.12.9)

(51)Int.Cl.		F I		テーマコード（参考）
H01L 27/146	(2006.01)	H01L 27/14	A	4M118

審査請求 有　請求項の数 2　OL　（全 11 頁）

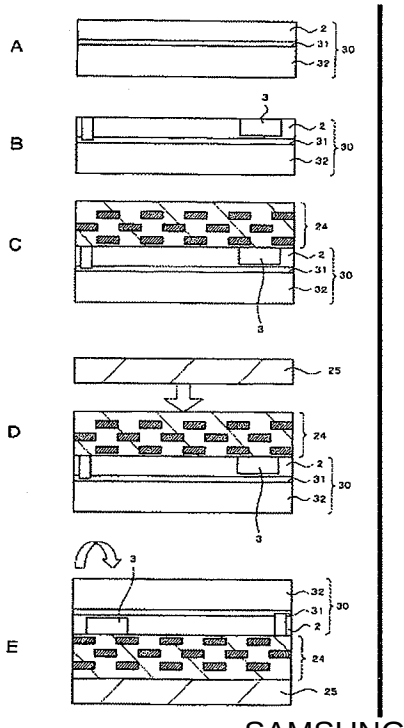
(21)出願番号　特願2010-191888 (P2010-191888)
(22)出願日　平成22年8月30日 (2010.8.30)
(62)分割の表示　特願2004-279780 (P2004-279780)の分割
原出願日　平成16年9月27日 (2004.9.27)

(71)出願人　000002185
ソニー株式会社
東京都港区港南１丁目７番１号
(74)代理人　110000925
特許業務法人信友国際特許事務所
(72)発明者　丸山　康
東京都品川区北品川６丁目７番３５号　ソニー株式会社内

Fターム(参考)　4M118 AA05 AB01 BA14 CA04 CA18 CA32 EA01 EA14 EA18 FA06 FA26 FA33 GA02 GC07 GD03 GD04 GD07

(54)【発明の名称】固体撮像装置の製造方法

(57)【要約】
【課題】より信頼性に優れた固体撮像装置とその製造方法、及びカメラを提供する。
【解決手段】光電変換部１１と画素トランジスタからなる複数の画素が形成された半導体層１０を有し、半導体層１０の一方の面側に多層配線層１４が形成され、半導体層１０の他方の面側から光が入射される固体撮像装置であって、半導体層１０の他方の面側にパッド部５が形成され、パッド部５に多層配線層１４中の導電層に達する開口が形成され、半導体層１０の他方の面上から開口内の側壁に延長して形成された絶縁膜であって、開口内において半導体層１０に直付けされ、半導体層１０を絶縁被覆する絶縁膜１７と、半導体層１０に直付けされた絶縁膜１７とは異なる他の絶縁膜であって、半導体層１０の他方の面上から開口内の側壁に延長して形成された他の絶縁膜とを備える。
【選択図】図３



SAMSUNG EX. 1002 - 572/2862

【特許請求の範囲】
【請求項1】
半導体基板に光電変換部を形成する工程と、
前記半導体基板の光照射面側に、前記光照射面側からイオン注入することによってアキュムレーション層を形成する工程と、
前記半導体基板の光照射面とは反対側の面にイオン注入することによってアキュムレーション層を形成する工程と、
前記半導体基板の裏面側に第１の支持基板を、熱処理を行いながら貼り合わせる工程と、
前記半導体基板の光照射面側とは反対側を研磨し、前記半導体基板を所用の厚さに形成する工程と、
前記半導体基板の光照射面とは反対側の面に配線層を形成する工程と、
前記配線層上部に第２の支持基板を、熱処理を行いながら貼り合わせる工程と、
前記第１の支持基板を前記半導体基板の光照射面側から除去する工程と、
を有し、
前記半導体基板の両面のアキュムレーション層は、その不純物濃度が$1\times10^{17}cm^{-3}$～$1\times10^{19}cm^{-3}$となるように形成し、
前記半導体基板の光照射面側のアキュムレーション層は、前記第１の支持基板を貼り合わせる工程における熱処理により活性化して形成する
固体作撮像装置の製造方法。
【請求項2】
前記半導体基板の裏面側のアキュムレーション層は、光電変換部との接合深さが０．４μｍ以下となるように形成する
請求項１に記載の固体撮像装置の製造方法。

【発明の詳細な説明】
【技術分野】
【0001】
本発明は、基板裏面側から光を入射させるようにした裏面照射型固体撮像素子の製造方法に関する。
【背景技術】
【0002】
固体撮像素子として、ＣＭＯＳ型固体撮像素子及びＣＣＤ型固体撮像素子が知られている。例えばＣＭＯＳ型固体撮像素子は、フォトダイオードと複数のＭＯＳトランジスタとにより１画素を形成し、複数の画素を所要のパターンに配列して構成される。このフォトダイオードは、受光量に応じた信号電荷を生成し蓄積する光電変換素子であり、複数のＭＯＳトランジスタはフォトダイオードからの信号電荷の読み出し動作を行うための素子である。
【0003】
図８に、イメージセンサに適用した従来の裏面から光照射するＣＭＯＳ型固体撮像素子の例を示す。図８は、画素の要部を示している。単位画素ではフォトダイオード５３と、フォトダイオード５３からの信号電荷を読み出すＭＯＳトランジスタ５４と、それ以外のＭＯＳトランジスタ５５の構成部分を表している。この裏面照射型のＣＭＯＳ固体撮像素子５１は、第１導電型、例えばｎ型のシリコン半導体基板６１に各画素を区画するための画素分離領域６２を形成し、各区画された画素領域にフォトダイオード５３と複数のＭＯＳトランジスタ、すなわち読み出しトランジスタ５４、それ以外のＭＯＳトランジスタ５５が形成されて単位画素６０が構成される。そして、この画素６０が多数個、２次元マトリックス状に配列される。
【0004】
画素分離領域６２は、基板表面から基板裏面にわたって比較的に低不純物濃度の第２導

SAMSUNG EX. 1002 - 573/2862

電型であるｐ型半導体領域により形成される。フォトダイオード５３は、ｐ型の画素分離領域６２と各ＭＯＳトランジスタ５４、５５が形成される比較的に深いｐ型半導体ウェル領域６３とにより囲まれたｎ型半導体基板６１で形成される。すなわちフォトダイオード５３は、ｎ－半導体領域６１Ａとその表面側の高不純物濃度のｎ＋半導体領域（ｎ＋領域）６１Ｂとにより形成される。このｎ＋領域６１Ｂは、フォトダイオード３内で光電変換により生成された電子・正孔のうち信号となる電荷、この例では電子を蓄積するための電荷蓄積領域となる。さらに、このｎ＋半導体領域６１Ｂの表面にｐ＋半導体領域６４が形成される。

【0005】

各ＭＯＳトランジスタ５４、５５は、次のようにして構成される。ｐ型半導体ウェル領域６３の表面には、フォトダイオード５３に隣接するように、高不純物濃度のｎ型ソース・ドレイン領域（ｎ＋領域）５７、５８、５９がイオン注入により形成される。

読み出しトランジスタ５４は、ｎ型ソース・ドレイン領域５７と、フォトダイオード５３の表面側のソース・ドレイン領域を兼ねるｎ＋領域６１Ｂと、両領域５７及び６１Ｂ間のｐ－チャネル領域６５上にゲート絶縁膜を介して形成したゲート電極とにより構成される。また、読み出しトランジスタ５４以外のトランジスタ５５は、対をなすｎ型ソース・ドレイン領域５８及び５９と、両領域５８及び５９間のｐ型半導体ウェル領域６３上にゲート絶縁膜を介して形成したゲート電極６７とにより形成される。

また、ｎ型半導体基板６１の光照射面となる裏面には、暗電流の発生を抑制するための高不純物濃度のｐ型半導体領域よりなるｐ＋アキュムレーション層６８が形成される。

【0006】

この裏面照射型固体撮像素子５１は、半導体基板６１の裏面側から光をフォトダイオード５３に入射し、フォトダイオード５３において光電変換して受光量に応じた信号電荷をｎ＋領域６１Ｂに蓄積するようにしている。そして、各ＭＯＳトランジスタ５４、５５の読み出し動作によってｎ＋領域６１Ｂの信号電荷が読み出される。

【0007】

特許文献１には、上述した裏面照射型固体撮像素子が開示されている（特許文献１、図４参照）。

【図面の簡単な説明】

【0013】

【図1】本発明に係る裏面照射型固体撮像素子の一実施の形態を示す構成図である。

【図2】本発明に係る裏面照射型固体撮像素子の要部を示す断面図である。

【図3】Ａ～Ｅ 本発明に係る裏面照射型固体撮像素子の製造方法の一実施の形態を示す断面図である（その１）。

【図4】Ａ～Ｂ 本発明に係る裏面照射型固体撮像素子の製造方法の一実施の形態を示す断面図である（その２）。

【図5】Ａ～Ｆ 本発明に係る裏面照射型固体撮像素子の製造方法の他の実施の形態を示す断面図である（その１）。

【図6】Ａ～Ｄ 本発明に係る裏面照射型固体撮像素子の製造方法の他の実施の形態を示す断面図である（その２）。

【図7】本発明に係る裏面照射型固体撮像素子を用いる電子機器モジュールの構成図である。

【図8】従来の裏面照射型固体撮像素子を示す構成図である。

【符号の説明】

【0042】

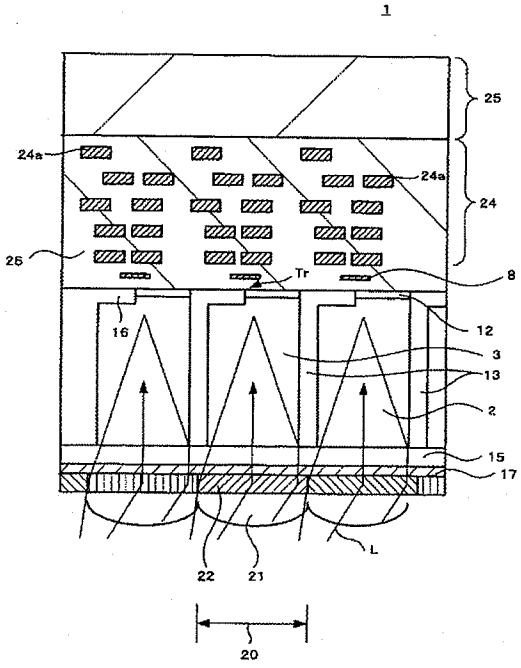
１・・裏面照射型固体撮像素子、２・・半導体基板、３・・フォトダイオード、８・・ゲート電極、１３・・画素分離領域、１２，１５・・ｐ＋アキュムレーション層、１６・・ｐ型半導体ウェル領域、１７・・絶縁保護膜、２０・・単位画素、２１・・オンチップレンズ、２２・・オンチップカラーフィルタ、２４・・配線領域、２４ａ・・配線層、２５、３５・・支持基板、２６・・層間絶縁膜、３０・・ＳＯＩ基板、２８，３１，３６・

SAMSUNG EX. 1002 - 574/2862

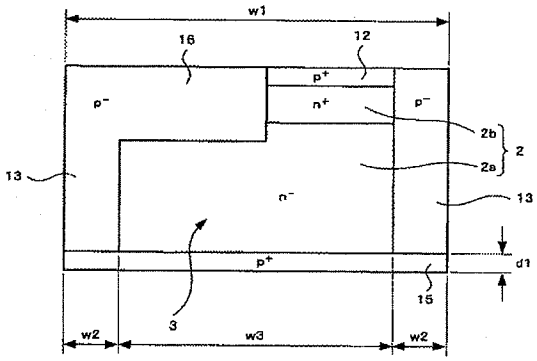
・シリコン酸化膜、３２・・ｎ型半導体基板、５１・・裏面照射型固体撮像素子、５３・・フォトダイオード、５４・・読み出しトランジスタ、５５・・ＭＯＳトランジスタ、５７、５８、５９・・ドレイン領域（ｎ＋領域）、６０、単位画素、６１・・ｎ型のシリコン半導体基板、６１Ａ・・ｎ半導体領域（領域）、６１Ｂ・・ｎ＋半導体領域（ｎ＋領域）、６２・・画素分離領域、６４・・ｐ＋アキュムレーション層（電荷蓄積層）、６５・・ｐ－チャネル領域、６７・・ゲート電極、６８・・ｐ＋アキュムレーション層

SAMSUNG EX. 1002 - 575/2862

【図1】

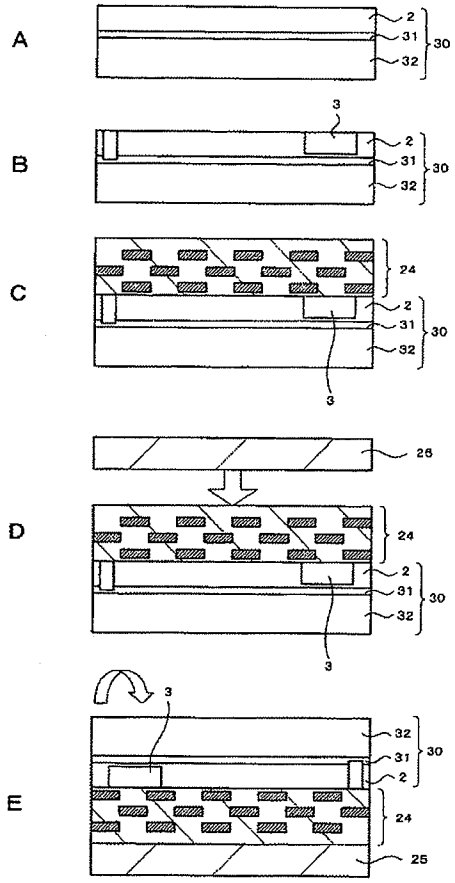


【図2】

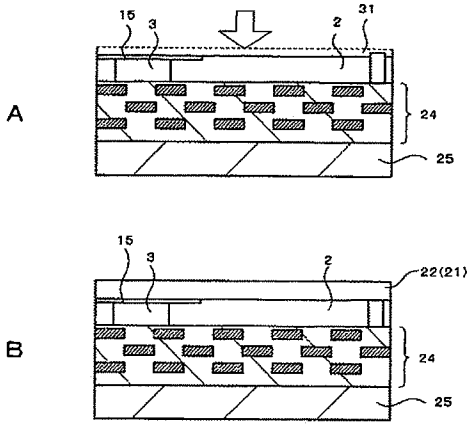


SAMSUNG EX. 1002 - 577/2862

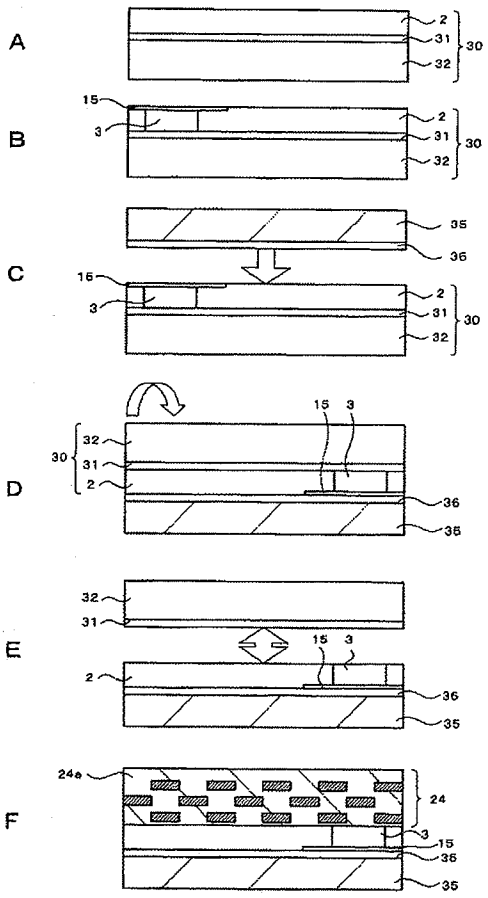
【図3】


A
2
31
32
30
B
3
2
31
32
30
C
24
2
31
32
30
3
D
26
24
2
31
32
30
3
E
3
32
31
2
30
24
25

【図4】

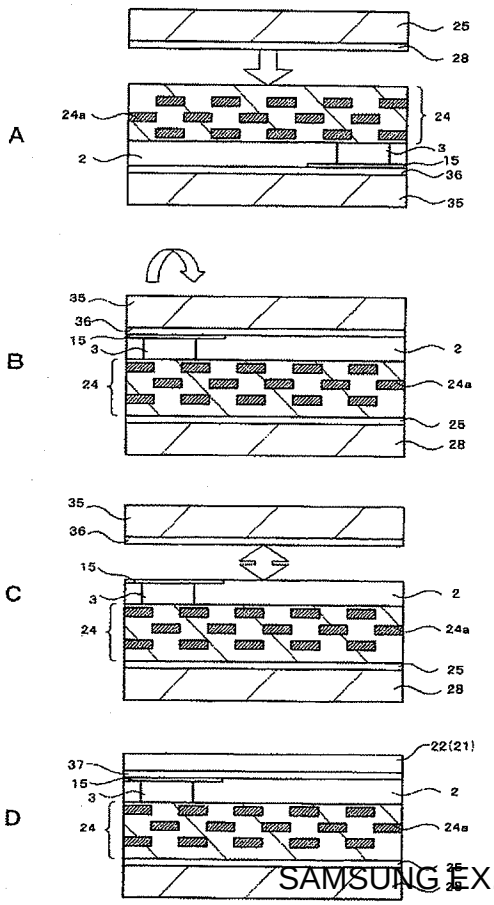


【図5】



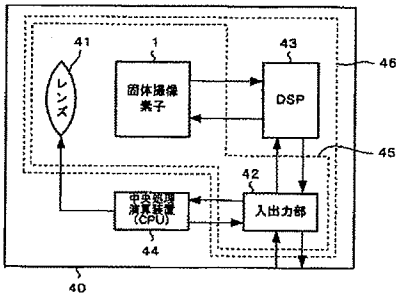
SAMSUNG EX. 1002 - 580/2862

【図6】

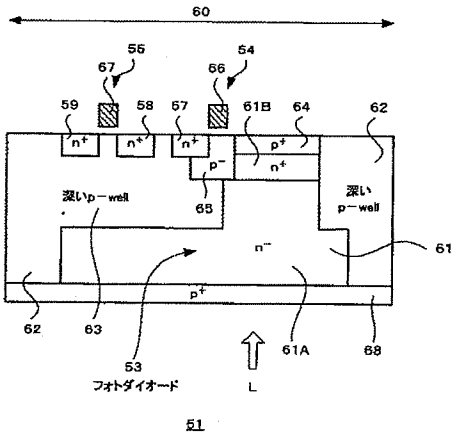


SAMSUNG EX. 1002 - 581/2862

【図7】


41
1
43
46
レンズ
固体撮像素子
DSP
45
42
中央処理演算装置(CPU)
入出力部
44
40

【図8】


60
55
67
54
66
59
58
57
61B
64
62
n+
n+
n+
p+
p−
n+
深いp−well
65
深い
p−well
61
n−
p+
62
63
53
フォトダイオード
L
61A
68
51

Espacenet

Bibliographic data: JP2011091128 (A) — 2011-05-06

SOLID-STATE IMAGE PICKUP ELEMENT

No documents available for this priority number.

Inventor(s): YAMADA DAISUKE ± (YAMADA DAISUKE)

Applicant(s): CANON KK ± (CANON INC)

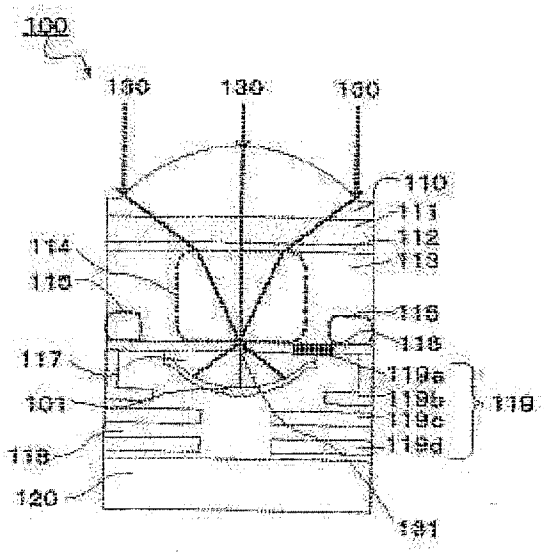
Classification: - international: ***H01L27/14; H01L27/146; H04N5/335***
- cooperative: **H01L27/14625**

Application number: JP20090242053 20091021

Priority number(s): JP20090242053 20091021

Also published as: US2011090384 (A1) US8330847 (B2)

Abstract of JP2011091128 (A)



SAMSUNG EX. 1002 - 584/2862

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2011-91128
(P2011-91128A)
(43)公開日　平成23年5月6日(2011.5.6)

(51)Int.Cl.		F I		テーマコード（参考）
H01L 27/14	***(2006.01)***	H01L 27/14	D	4M118
H01L 27/146	***(2006.01)***	H01L 27/14	A	5C024
H04N 5/335	***(2011.01)***	H04N 5/335	U	

審査請求 未請求　請求項の数 10　ＯＬ　（全 11 頁）

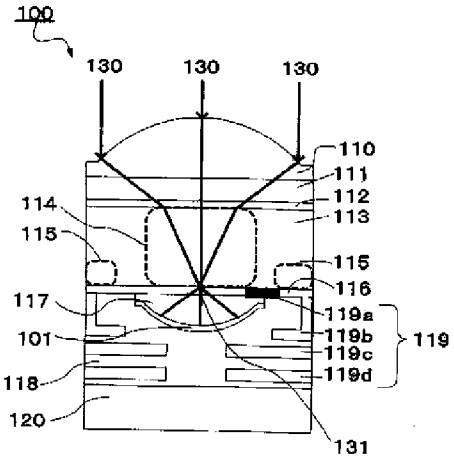
(21)出願番号　特願2009-242053 (P2009-242053)
(22)出願日　平成21年10月21日 (2009.10.21)

(71)出願人　000001007
キヤノン株式会社
東京都大田区下丸子３丁目３０番２号
(74)代理人　100105289
弁理士　長尾　達也
(72)発明者　山田　大輔
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内

Ｆターム(参考)　4M118 BA14 CA32 FA33 GA02 GA08 GA09 GC07 GD04 GD07 GD15 GD16
5C024 AX01 CX11 CY49 DX01 EX43 EX52 GX07 GY31

(54)【発明の名称】固体撮像素子

(57)【要約】
【課題】基板を透過する入射光を光電変換部に反射させる構造の固体撮像素子を構成するに当たり、反射光によるノイズの発生を低減し、光利用効率を向上させることが可能となる固体撮像素子を提供する。
【解決手段】画素ごとに基板内部に形成された光電変換部と、
前記基板に対して入射光が入射する側に設けられ、該入射光を前記光電変換部に集光する集光部と、を有する固体撮像素子であって、
前記基板に対して前記集光部の反対側に設けられ、該基板に向かって凹型形状を有する反射部を有し、
前記反射部は、該反射部の等倍結像位置を前記集光部の集光位置と一致させる構成を備えている。
【選択図】　図1



SAMSUNG EX. 1002 - 585/2862

【特許請求の範囲】
【請求項１】
画素ごとに基板内部に形成された光電変換部と、
前記基板に対して入射光が入射する側に設けられ、該入射光を前記光電変換部に集光する集光部と、を有する固体撮像素子であって、
前記基板に対して前記集光部の反対側に設けられ、該基板に向かって凹型形状を有する反射部を有し、
前記反射部は、該反射部の等倍結像位置を前記集光部の集光位置と一致させる構成を備えていることを特徴とする固体撮像素子。
【請求項２】
前記反射部は、金属で形成されていることを特徴とする請求項１に記載の固体撮像素子。
【請求項３】
前記固体撮像素子は、前記基板に対して前記集光部と反対側に配線部を有する裏面照射型固体撮像素子であることを特徴とする請求項１または請求項２に記載の固体撮像素子。
【請求項４】
前記等倍結像位置と前記焦点位置は、前記基板における前記反射部を有する側の面上にあることを特徴とする請求項１から３のいずれか１項に記載の固体撮像素子。
【請求項５】
前記配線部は、ゲート電極と複数の配線層によって構成され、
前記反射部は、前記配線層よりも前記基板側に配置されていることを特徴とする請求項１から４のいずれか１項に記載の固体撮像素子。
【請求項６】
前記固体撮像素子が複数配列された該固体撮像素子の周辺画素において、
前記集光部の焦点位置が、前記周辺画素の中心軸に変位するように、
前記集光部を、前記周辺画素の中心軸より前記固体撮像素子の中心画素側に変位させて配されていることを特徴とする請求項１から５のいずれか１項に記載の固体撮像素子。
【請求項７】
前記固体撮像素子が複数配列された該固体撮像素子の周辺画素において、
前記配線層を、前記周辺画素の中心軸より前記固体撮像素子の中心画素側と反対側に変位させて配されていることを特徴とする請求項１から６のいずれか１項に記載の固体撮像素子。
【請求項８】
前記固体撮像素子が複数配列された該固体撮像素子の周辺画素において、
前記ゲート電極が、該周辺画素の中心軸より前記固体撮像素子の中心画素側に変位させて配されていることを特徴とする請求項１から７のいずれか１項に記載の固体撮像素子。
【請求項９】
前記配線層は、前記反射部を形成している金属と同一の材料で形成されていることを特徴とする請求項１から８のいずれか１項に記載の固体撮像素子。
【請求項１０】
前記基板と前記絶縁部の間に反射防止層が形成されていることを特徴とする請求項１から９のいずれか１項に記載の固体撮像素子。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、固体撮像素子に関し、特に、デジタルスチルカメラ等の撮像装置に用いる固体撮像素子に関する。
【背景技術】
【０００２】
近年、ＣＣＤやＣＭＯＳ素子などを２次元状に複数配列した固体撮像素子が、デジタル

SAMSUNG EX. 1002 - 586/2862

ビデオカメラやデジタルスチルカメラなどで用いられている。
固体撮像素子は、基板にイオン注入などの不純物導入によって光電変換部や拡散層を形成し、その後、膜を堆積・加工することで配線層や絶縁膜を形成して製造される。
固体撮像素子に入射した光は、光電変換部で吸収され、電荷に変換される。この電荷を光電変換部で蓄積し、蓄積した全電荷量の大きさを検出することで、入射光強度に応じた信号を得ることができる。
【０００３】
しかしながら、基板の深さより入射光の侵入長が長いと、入射光は光電変換部で十分吸収されずに、一部が基板を透過する。
そのため、入射光の一部は電荷信号に変換できず、光利用効率が低下する。
このようなことから、特許文献１では、透過した光を再び光電変換部に反射させるようにした撮像装置が提案されている。
但し、ここでの入射光の侵入長とは、光強度が吸収損失により入射光強度の１／ｅ倍になるまでの伝播距離を意味している。
【先行技術文献】
【特許文献】
【０００４】
【特許文献１】特開２００７－０２７６０４号公報
【発明の概要】
【発明が解決しようとする課題】
【０００５】
しかしながら、上記特許文献１の撮像装置における反射膜の構造では、図１０に示すように、マイクロレンズ９１０によって屈折された入射光９３０は反射膜９０１で反射され、隣接画素へ伝播する。
このため、反射光によりクロストークなどのノイズが発生し、画像のＳＮ比を低下させる。
【０００６】
本発明は、上記課題に鑑み、基板を透過する入射光を光電変換部に反射させる構造の固体撮像素子を構成するに当たり、反射光によるノイズの発生を低減し、光利用効率を向上させることが可能となる固体撮像素子の提供を目的とする。
【課題を解決するための手段】
【０００７】
本発明の固体撮像素子では、画素ごとに基板内部に形成された光電変換部と、
前記基板に対して入射光が入射する側に設けられ、該入射光を前記光電変換部に集光する集光部と、を有する固体撮像素子であって、
前記基板に対して前記集光部の反対側に設けられ、該基板に向かって凹型形状を有する反射部を有し、
前記反射部は、該反射部の等倍結像位置を前記集光部の集光位置と一致させる構成を備えていることを特徴としている。
【発明の効果】
【０００８】
本発明によれば、基板を透過する入射光を光電変換部に反射させる構造の固体撮像素子を構成するに当たり、反射光によるノイズの発生を低減し、光利用効率を向上させることが可能となる固体撮像素子を実現することができる。
【図面の簡単な説明】
【０００９】
【図１】本発明の実施例１における裏面照射型のＣＭＯＳ撮像素子の構成例について説明する断面図。
【図２】本発明の実施例１における可視光用の固体撮像素子の数値実施例を説明する図。
【図３】本発明の実施例１における撮像素子の反射部での反射率を示すグラフ。

SAMSUNG EX. 1002 - 587/2862

【図４】本発明の実施例１における撮像素子の光利用効率を示すグラフ。
【図５】反射部がない場合の固体撮像素子の光利用効率を示すグラフ。
【図６】本発明の実施例２における２次元配列構造を備えたＣＭＯＳ撮像素子の構成例について説明する断面図。
【図７】本発明の実施例２における２次元的に配列されたＣＭＯＳ撮像素子の構成例について説明する図。
【図８】本発明の実施例２における中心画素と周辺画素における光線とマイクロレンズを含む光学配置について説明する概略図。
【図９】本発明の実施例３における裏面照射型のＣＭＯＳ撮像素子の製造方法について説明する図。
【図１０】従来例における固体撮像素子の構成を説明する図。
【発明を実施するための形態】
【００１０】
本発明を実施するための形態を、以下の実施例により図を用いて説明する。
なお、以下の実施例を説明するための全図において、同一の機能を有するものには同一符号を付け、その重複する構成についての説明は省略する。
【実施例】
【００１１】
［実施例１］
図１を用いて、本発明を適用した裏面照射型のＣＭＯＳ撮像素子の構成例について説明する。
図１において、１００は裏面照射型のＣＭＯＳ撮像素子である。
１１３は基板であり、この基板内部に画素ごとに設けられた光電変換部１１４と、基板１１３に向かって特定の曲率半径をもつ凹型形状の反射部１０１が構成されている。
また、１１０は集光部であるマイクロレンズであり、基板より入射側に設けられている。
また、本実施例の撮像素子は、カラーフィルタ１１１、絶縁部１１２、拡散層１１５、反射防止層１１６、凸型絶縁部１１７、層間絶縁膜１１８、配線部１１９、支持基板１２０を備える。
配線部１１９は、ゲート電極１１９ａと３層の配線層１１９ｂ、１１９ｃ、１１９ｄで構成される。
【００１２】
入射光１３０は、マイクロレンズ１１０によって集光され、焦点位置１３１で結像する。
また、入射光１３０の一部は光電変換部を透過し、凹型形状の反射部１０１で反射される。
この反射光の等倍結像位置とマイクロレンズの焦点位置１３１とを一致させることが可能に構成されている。そのため、反射光は再び焦点位置１３１で結像する。
このような構成により、反射部１０１に到達した光はすべて反射光となり、この反射光は入射時とほぼ同じ光路を逆進する。
このため、全反射光は再び光電変換部へ入射するため、固体撮像素子の感度が高くなる。
【００１３】
これに対して、例えば、入射光と反射光が同じ光路を通らない構成の場合には、反射光の一部は隣接画素へ伝播し、また、配線部などによって散乱され、クロストークなどのノイズの原因になる。
特に、マイクロレンズを含む固体撮像素子では、光電変換部へ入射する角度が大きくなるため、入射光を単純に反射させても、光電変換部へは通らず、隣接画素へ伝播し易くなる。
また、固体撮像素子の画素サイズが小さくなれば、ますます隣接画素との距離が短くなるため、クロストークなどのノイズが大きくなる。
【００１４】

SAMSUNG EX. 1002 - 588/2862

本実施例では、以上のように入射光と反射光が同じ光路となるように反射部１０１を構成したことにより、入射光１３０はクロストークなどのノイズを低減し、かつ、光電変換部内の伝播距離が長くなり光利用効率が向上する。
このため、画像のＳＮ比を向上させることができる。

【００１５】

図２を用いて、画素サイズが２．０μｍ、シリコンから成る基板１１３の膜厚が２．５０μｍである可視光用の固体撮像素子の数値実施例を説明する。
ただし、基板１１３の入射側表面を第一面１３４、基板１１３の反射部１０１を有する側の表面を第二面１３５とする。
マイクロレンズ１１０、カラーフィルタ１１１、絶縁部１１２、凸型絶縁部１１７の屈折率は全て１．５０であり、画素の中心での膜厚はそれぞれ０．７５０μｍ、０．７５０μｍ、０．５００μｍ、１．００μｍある。
入射光１３０が基板１１３中の光電変換部に効率よく入射するため、焦点位置１３１を光電変換部の中心で基板１１３と反射防止層１１６との界面（第二面１３５）になるように、マイクロレンズ１１０の曲率半径を０．９７９μｍとした。また、マイクロレンズから入射した複数の角を持つ光が、反射部１０１で全て同じ焦点位置１３１に逆進するように、曲率半径を１．００μｍとした。
このような構成にしたことで、反射部１０１の等倍結像位置とマイクロレンズ（集光部）１１０の焦点位置（集光位置）は、第二面１３５上で一致する。

【００１６】

本実施例において、この反射部１０１は、凸型絶縁部１１７の表面にアルミニウムを堆積させて形成される。
これにより、図３に示す反射率が得られ、可視全域で反射率が８０％以上を得ることが可能となる。
このとき、固体撮像素子の光利用効率を図４に示す。
また、反射部１０１がない場合の固体撮像素子の光利用効率を図５に示す。
波長５００ｎｍより長波長側において、反射部１０１を設けることで光利用効率が高くなり、波長７００ｎｍでは１．５倍程度高くなる。
但し、カラーフィルタ１１１の吸光率は本発明の内容と無関係であるため、吸光率が零として見積もった。
このように、反射部１０１の等倍結像位置とマイクロレンズ１１０の焦点位置とを一致させることで、光利用効率を向上させ、感度を高くすることができる。
また、反射部からの反射光は入射時とほぼ同じ光路を逆進するため、配線部などで生じる散乱を低減し、クロストークを低減することができる。
このため、画像のＳＮ比が向上する。

【００１７】

また、本実施例の固体撮像素子の反射部は金属で形成したが、必ずしも金属である必要はなく、誘電体などによる反射膜であってもよい。
誘電体による反射膜であっても入射光を反射させることさえできれば、同様に光利用効率は向上する。
しかしながら、誘電体の反射膜であれば、屈折率差を大きくすることが材料選択性の観点から困難であるため、高反射率が得られない。
また、誘電体多層膜による反射膜を用いると、波長依存性が大きいため、可視光全域で高反射率を得ることはできない。
一方、金属を用いれば、波長依存性が小さく、かつ、高反射率を得ることができる。このため、反射部に金属を用いた方が光利用効率が向上するため望ましい。
また、本実施例の固体撮像素子は基板１１３に対してマイクロレンズ１１０と反対側に配線部１１９を配した裏面照射型としたが、必ずしも裏面照射型である必要はなく、マイクロレンズと配線部が同じ側に配した表面照射型であってもよい。
表面照射型の固体撮像素子においても、本発明の構成であれば裏面照射型の固体撮像素子

SAMSUNG EX. 1002 - 589/2862

と同様に、光利用効率が向上する。
しかしながら、表面照射型固体撮像素子の場合、入射光側に支持基板を作製することが困難であるため、基板を薄くして、入射光と対向する側に反射部を作製するのが困難である。
一方、裏面照射型固体撮像素子は後述するように、入射光と対向する側に支持基板を貼り合わせ、基板を薄くすることができる。このため、裏面照射型固体撮像素子の方が、容易に作製することができるため望ましい。
【００１８】
また、本実施例のマイクロレンズ１１０の焦点位置１３１と反射部１０１の等倍結像位置は、基板１１３の反射部を有する側の第二面１３５上に形成したが、必ずしも基板の第二面上に形成する必要はない。
基板中または基板の外部に結像させても、光電変換部１１４中に入射光１３０が伝播さえすれば、入射光は電荷信号として検出できる。
しかしながら、裏面入射型固体撮像素子は光電変換部で得られた電荷を転送するトランジスタのドレイン領域となる拡散層１１５が、基板１１３の第二面１３５側に形成される。この拡散層１１５に入射光が伝播すると、拡散層に電荷が発生する。この電荷は、白点ノイズなどのノイズの要因となる。
このため、拡散層に光を入射しないように、第二面に入射光を結像させることが望ましい。
また、本実施例では配線部１１９が複数の配線層１１９ｂ～ｄを有し、反射部１０１はすべての配線層１１９ｂ～ｄより基板側に配した構造としたが、必ずしも、そのような構成である必要はない。
反射部が配線層より支持基板側に配した構造としても、光電変換部を透過した入射光は、反射部によって光電変換部へ反射させることができ、光利用効率は向上する。
但し、光電変換部を透過した光は広がって伝播するため、一部の光は、反射部に到達する前に配線層によって散乱される。
この散乱光は隣接画素の光電変換部に到達すると、クロストークとなる。
このため、反射部は配線層より基板側にあった方が望ましい。
【００１９】
また、本実施例では、配線層１１９ｂ～ｄと反射部１０１をアルミニウムで形成したが、必ずしも同一の材料で形成しなくてもよい。
例えば、配線層１１９ｂ～ｄを銅で形成し、反射部をアルミニウムで形成しても、本発明の効果が得られる。
但し、同一の材料で形成すれば、作製コストを低くすることができるため望ましい。
また、本実施例では基板１１３と凸型絶縁部１１７との間に反射防止層１１６を形成した。
反射防止層がなくても、光電変換部を透過する光は、反射部で反射され光電変換部に再入射するため、光利用効率は向上する。
しかしながら、基板と凸型絶縁部との界面の反射光は、図１０で示した反射膜と同様に、光電変換部に集光せず拡散層１１５や隣接画素へ伝播する。
このため、白点ノイズやクロストークの要因となり、画像のＳＮ比を低下させる。
このようなことから、基板と凸型絶縁部の間に反射防止層を形成し、界面からの反射光を抑制する方が望ましい。
【００２０】
［実施例２］
実施例では、図６を用いて本発明を適用した２次元配列構造を備えたＣＭＯＳ撮像素子の構成例について説明する。
図６において、２００は固体撮像素子であり、本実施例では光電変換部を含む画素２１０を２次元状に複数配列した構造とされている（図７（ａ））。
このとき、通常、カメラレンズの射出瞳２１１と固体撮像素子２００との距離が有限長で

SAMSUNG EX. 1002 - 590/2862

あるため周辺画素では、主光線２３１が傾いて入射する（図７（ｂ））。
このため、周辺画素では入射光を効率よく光電変換部に入射させるため、入射光を光電変換部へ屈折させるマイクロレンズなどの集光部が必要となる。
仮に、集光部を用いなければ、斜入射光は隣接画素へ伝播しクロストークノイズの要因となる。

【００２１】

図６は、マイクロレンズ１１０によって入射光２３１が集光され、また反射部１０１により反射した光が入射光と同じ光路を逆進する構成をとっている。
このため、反射光は再び光電変換部へ入射するため、固体撮像素子の感度が高くなる。
一方、例えば、入射光と反射光が同じ光路を通らない構成で、特に主光線２３１が傾いている場合、反射部からの反射光は、光電変換部を通らず、主光線の傾きと同じ方向の隣接画素へ伝播する。
このため、クロストークなどのノイズの要因となる。特に、入射光を集光させる集光部を用いない構成では、反射光は固体撮像素子内部で広がるため、クロストークなどのノイズが大きくなる。

【００２２】

以上により、入射光と反射光が同じ光路となるように反射部１０１を構成したことで、入射光１３０はクロストークなどのノイズを低減し、かつ、光電変換部内の伝播距離が長くなり光利用効率を向上させる。このため、画像のＳＮ比が向上する。

【００２３】

次に、主光線が傾いた場合における入射光と反射光が同じ光路となるための構成を説明する。
図８に中心画素と周辺画素における光線とマイクロレンズを含む光学配置の概略図を示す。
中心画素の場合、入射光２３０は垂直入斜となるため、焦点位置１３１は中心画素の中心軸２３５上に位置する（図８（ａ））。
一方、周辺画素の場合、入射光２３１は傾いて入射するため、焦点位置は周辺画素の中心軸上に位置せず、該中心軸より中心画素側と反対側にズレて位置することになる。
このため、マイクロレンズ１１０を周辺画素の中心軸より中心画素側に変位させて配することで、焦点位置１３１を周辺画素の中心軸２３５に変位させることができる（図８（ｂ））。

【００２４】

以上のように、マイクロレンズを中心画素側へ変位させることで、すべての画素で焦点位置を画素中心軸２３５に位置させることができる。
この場合、反射部１０１の曲率中心を焦点位置１３１と一致させると、すべての画素で反射部の曲率中心は入射光の焦点位置である画素中心軸２３５上に位置し、反射光を入射光と同じ光路となるように設計できる。
このとき、反射部１０１はすべての画素で同じように設計すればよく、マイクロレンズとは独立に設計できる。
但し、マイクロレンズ１１０を中心画素側に変位させなくて、反射部の曲率中心を面内で変位させれば、焦点位置と等倍結像位置が一致する。
この場合においても、本発明による光利用効率の向上の効果が得られる。
しかしながら、焦点位置が画素中心軸にないと、光電変換部を透過した光は広がって伝播するため、配線部などによる散乱が生じる。散乱光はクロストークの要因となり、画像のＳＮ比の低下を引き起こす。
そのため、マイクロレンズを変位させて、マイクロレンズの焦点位置と反射部の等倍結像位置を画素中心軸上で一致させた方が、画像のＳＮ比が向上し望ましい。

【００２５】

また、このとき、図６に示すように、光電変換部１１４側から入射した透過光２３３は、周辺画素側に伝播する。

SAMSUNG EX. 1002 - 591/2862

この透過光２３３を反射させるためには、反射部１０１を周辺画素側にまで大きく形成する必要がある。
しかしながら、反射部１０１を周辺画素側にまで大きく形成すると、反射部１０１と配線層１１９ｂは近接するため、電気的に導電し、固体撮像素子２００は正常に動作しなくなる。
よって、配線層１１９ｂを周辺画素の中心軸より中心画素側と反対側に変位させて配し、反射部１０１と配線層１１９ｂの距離を長くし、絶縁させる。
以上により、周辺画素において、反射部を周辺画素側まで形成しても、配線層を周辺画素側に変位させることで、感度が高く、ノイズの小さな固体撮像素子を得ることができる。
また、本実施例では、ゲート電極１１９ａを周辺画素の中心軸より中心画素側に変位させて配置したことで、透過光２３３は周辺画素側に伝播し、ゲート電極１１９ａに入射しにくくなる。
通常、ゲート電極１１９ａはポリシリコンで形成されるため、ゲート電極１１９ａに透過光が入射すると、透過光は吸収され、光電変換部に再入射する光量が減少する。
このため、ゲート電極１１９ａを周辺画素の中心軸より中心画素側に形成する方が光利用効率が向上するため望ましい。

【００２６】

［実施例３］

実施例３では、図９は、本発明を適用した裏面照射型のＣＭＯＳ撮像素子を製造する際の製造方法の構成例について説明する。
本実施例の製造方法においては、まず、熱酸化によりシリコン基板１１３の表面にシリコン酸化膜を形成する。
続いて、シリコン基板１１３中に光電変換部１１４を形成するために、フォトレジストにより所定位置にレジストマスクを形成し、不純物のイオン打ち込みを行う。
その後、レジストマスクをアッシング等により除去する。続いて、同様のイオン打ち込みの方法で、拡散層１１５を形成する（図９（ａ））。
次に、光電変換部１１４にて発生した電荷を転送するためのゲート電極１１９ａを形成するために、ポリシリコン膜を形成する。
その後、フォトリソ工程を用いてポリシリコンを所定パターンにエッチングしてゲート電極１１９ａを形成する。
その後、シリコン基板１１３、およびゲート電極１１９ａ上に例えばＢＰＳＧなどの層間絶縁膜を形成し、ＣＭＰ法により平坦化を行う（図９（ｂ））。
さらに、レジストマスクを形成し、１６０℃前後でリフロー処理を行い、凸型形状のレジスト３０１を作製する（図９（ｃ））。
その後、ドライエッチングによりレジストマスクの凸型形状を層間絶縁膜に転写し凸型絶縁部１１７を形成する（図９（ｄ））。

【００２７】

続いて、凸型絶縁部１１７にアルミニウムなどの金属を堆積させて、凸型絶縁部１１７の形状を転写した反射部１０１を形成する（図９（ｅ））。
次に、電気的な接続のため、コンタクトホールなどの接続孔を層間絶縁膜に形成して、他の金属配線層に電気的に接続させる。
同様に、第一配線層１１９ｂ、第二配線層１１９ｃおよび第三配線層１１９ｄをそれぞれ形成し、これら配線層を層間絶縁膜１１８で覆う（図９（ｆ））。
続いて、層間絶縁膜１１８の上部に支持基板１２０を貼り合わせ、支持基板１２０を下側にし、基板１１３を光電変換部１１４が形成されている領域までＣＭＰ法により研磨する（図９（ｇ））。
さらに、シリコン基板１１３の第一面１３４側に、絶縁部１１２を形成する。また、必要に応じて、遮光膜を形成する（不図示）。
その後、カラーフィルタ１１１を形成し、マイクロレンズ１１０をリフロー処理によって形成する（図９（ｈ））。

SAMSUNG EX. 1002 - 592/2862

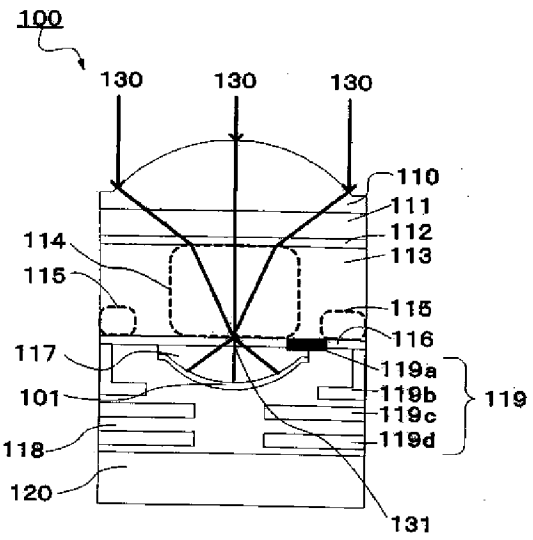
なお、上記の実施例１から実施例３においては、すべてＣＭＯＳ撮像素子に関して説明したが、本発明はＣＭＯＳ撮像素子に限られるものではない。
例えば、ＣＣＤ撮像素子などその他の固体撮像素子に関しても同様に適用できる。

【符号の説明】

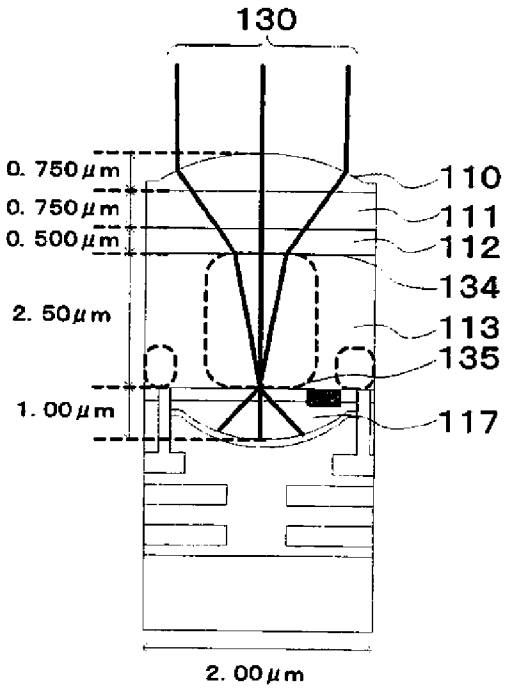
【００２８】

１００：固体撮像素子
１０１：反射部
１１０：マイクロレンズ
１１１：カラーフィルタ
１１２：絶縁部
１１３：基板
１１４：光電変換部
１１５：拡散層
１１６：反射防止層
１１７：凸型絶縁部
１１８：層間絶縁膜
１１９：配線部
１１９ａ：ゲート電極
１１９ｂ、１１９ｃ、１１９ｄ：配線層
１２０：支持基板
１３０：光線
１３１：焦点位置

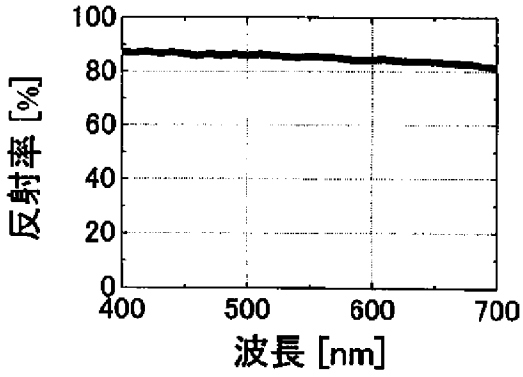
【図１】



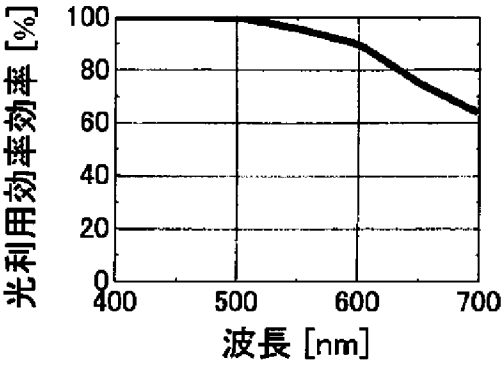
【図２】



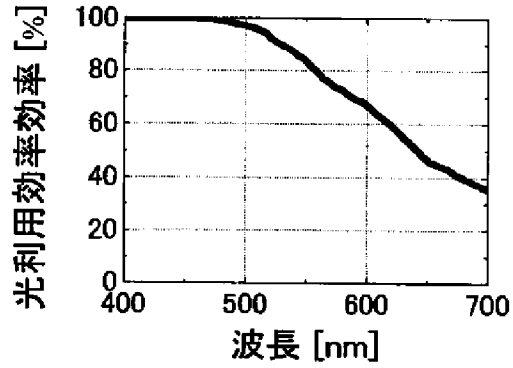
【図３】


反射率 [%]
100
80
60
40
20
0
400
500
600
700
波長 [nm]

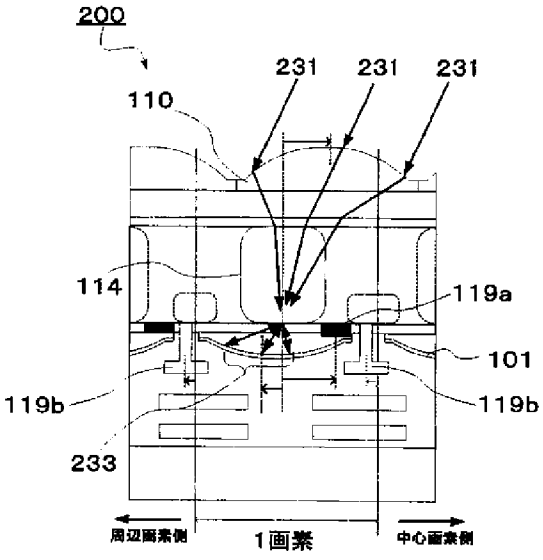
【図４】


光利用効率効率 [%]
100
80
60
40
20
0
400
500
600
700
波長 [nm]

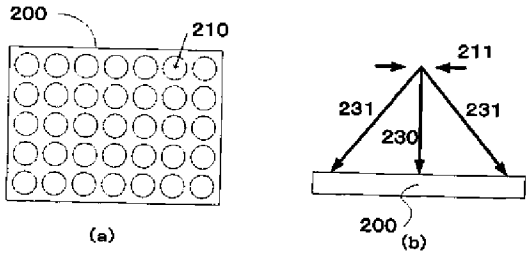
【図５】


光利用効率効率 [%]
100
80
60
40
20
0
400
500
600
700
波長 [nm]

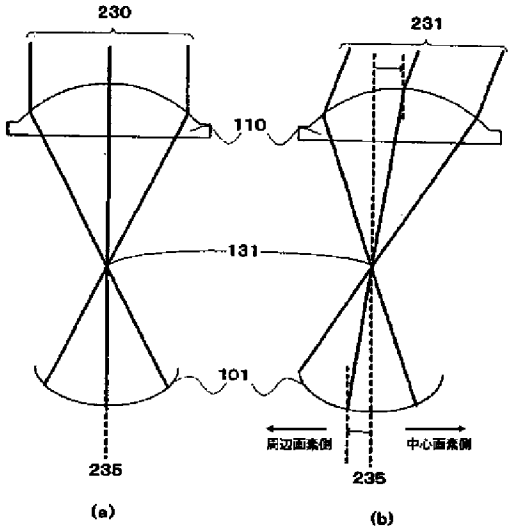
【図６】


200
231
231
231
110
114
119a
101
119b
119b
233
周辺画素側
1画素
中心画素側

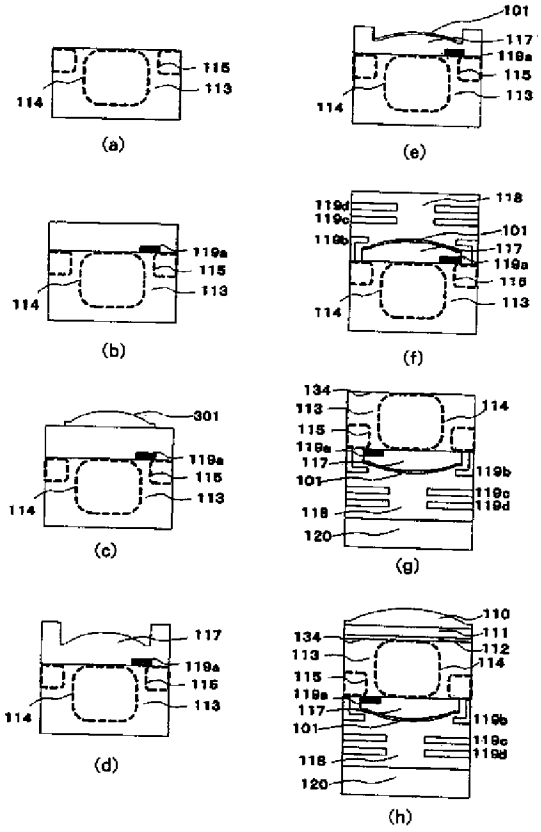
【図７】


200
210
(a)
211
231
231
230
200
(b)

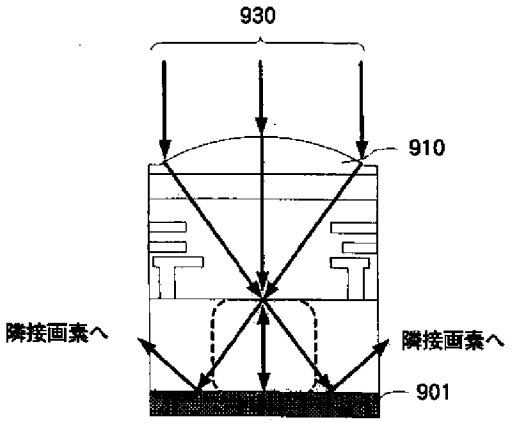
【図８】


230
231
110
131
101
235
(a)
周辺画素側
中心画素側
235
(b)

【図９】


115
113
114
(a)
119a
115
113
114
(b)
301
119a
115
113
114
(c)
117
119a
115
113
114
(d)
101
117
119a
115
113
114
(e)
118
119d
119c
119b
101
117
119a
115
113
114
(f)
134
113
115
119a
117
101
118
120
114
119b
119c
119d
(g)
110
111
112
114
134
113
115
119a
117
101
118
120
119b
119c
119d
(h)

【図１０】


930
910
隣接画素へ
隣接画素へ
901

PROBLEM TO BE SOLVED: To provide a solid-state image pickup element reducing a noise generation by reflection light and improving a light utilization efficiency when constituting the solid-state image pickup element configured to cause a photoelectric conversion part to reflect an incident light passing through a substrate. ; SOLUTION: The solid-state image pickup element includes the optical conversion part formed inside the substrate with respect to each pixel, and a light condensing part provided on a side of the substrate that the incident light enters and condensing the incident light to the optical conversion part, wherein the solid-state image pickup element includes a reflector provided on a side opposite to the light condensing part and having a recessed shape toward the substrate, and the reflector has a configuration to orient a same-size imaging position of the reflector to a condensing position of the light condensing part. ;
COPYRIGHT: (C)2011,JPO&INPIT

Last updated: 09.10.2013 Worldwide Database 5.8.11.5; 92p

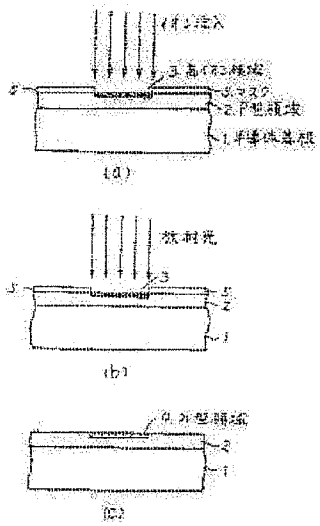
SAMSUNG EX. 1062 - 596/2862

MANUFACTURE OF SEMICONDUCTOR DEVICE

Publication number: JP2152226 (A)
Publication date: 1990-06-12
Inventor(s): SUGITA YOSHIHIRO +
Applicant(s): FUJITSU LTD +
Classification:
- international: ***H01L21/22; H01L21/26; H01L21/265; H01L21/316;*** **H01L21/02**; (IPC1-7): H01L21/22; H01L21/26; H01L21/265; H01L21/316
- European:
Application number: JP19880306346 19881202
Priority number(s): JP19880306346 19881202

Abstract of **JP 2152226 (A)**

PURPOSE:To heat the extreme surface of an element formation region and to activate this region by a method wherein the element formation region of a semiconductor is irradiated with a non-coherent radiated beam having a continuous spectrum of a soft X-ray region from an extreme vacuum ultraviolet- ray region. CONSTITUTION:A mask 5 is formed on a p-type region 2 formed on a semiconductor substrate 1; n-type impurity ions, e.g. phosphorus ions (P<+>), are implanted very shallowly, e.g. down to a depth of about 50nm, from the upper part; a high-ion region 3 is formed. The high-ion region 3 is irradiated with a synchrotron radiation having a continuous spectrum of a soft X-ray region from an extreme vacuum ultraviolet-ray region. The high-ion region 3 is heated and activated; an n-type region 4 is formed; the mask 5 is removed.



Data supplied from the ***espacenet*** database — Worldwide

⑲日本国特許庁(JP)　⑪特許出願公開

⑫公開特許公報(A)　平2−152226

⑤1Int.Cl.⁵	識別記号	庁内整理番号	⑬公開　平成2年(1990)6月12日
H 01 L 21/26		L 7738−5F	
21/22		E 7738−5F	
21/265			
21/316		S 6810−5F	
		7522−5F　H 01 L 21/265	B

審査請求　未請求　請求項の数 1　(全4頁)

⑤4発明の名称　半導体装置の製造方法

⑳特　願　昭63−306346
㉒出　願　昭63(1988)12月2日

⑦2発明者　杉田　義博　神奈川県川崎市中原区上小田中1015番地　富士通株式会社内
⑦1出願人　富士通株式会社　神奈川県川崎市中原区上小田中1015番地
⑦4代理人　弁理士　井桁　貞一

明　細　書

1．発明の名称

半導体装置の製造方法

2．特許請求の範囲

極真空紫外光領域から軟X線領域の連続スペクトルを持つ非干渉性の放射光を半導体の素子形成領域に照射することにより，該素子形成領域の極表面を加熱して活性化する工程を含むことを特徴とする半導体装置の製造方法。

3．発明の詳細な説明

〔概要〕

半導体装置の製造方法に係り，特に半導体装置の素子形成領域の表面加熱方法に関し，

半導体装置の素子形成領域の表面に極めて薄い活性領域を形成することを目的とし，

極真空紫外光領域から軟X線領域の連続スペクトルを持つ非干渉性の放射光を半導体の素子形成領域に照射することにより，該素子形成領域の極表面を加熱して活性化する工程を含む半導体装置の製造方法により構成する。

〔産業上の利用分野〕

本発明は半導体装置の製造方法に係り，特に半導体装置の素子形成領域の表面加熱方法に関する。

半導体デバイスの微細化に伴い，浅い接合の形成技術や薄膜の活性化技術の開発が必要とされ，盛んに研究が行われている。

〔従来の技術〕

従来，紫外光を用いた半導体の極表面加熱法が試みられており，放電ランプによるラピッドサーマルアニール（Rapid Thermal Anneal）法や，それより短波長で出力密度の高いエキシマレーザを用いた方法が研究されている。

半導体の極表面加熱には，200 乃至300nm という短波長光を利用できるエキシマレーザは，ランプ光源よりも有望であるが，一方，光照射損傷によるデバイスの歩留り低下，信頼性低下を引き起

SAMSUNG EX. 1002 - 598/2862

こすおそれがある。

第5図（a），（b）は従来例としてレーザ光を用いる加熱の工程例を示し，1は半導体基板，2はp型領域，4はn型領域，5はマスク，6はドーピング原料を表す。以下，これらの図を参照しながら説明する。

第5図（a）参照

半導体基板1上に形成されたp型領域2上にマスク5を形成してその開口部にドーピング原料6を付着させる。ドーピング原料6はn型不純物を含むものであって，例えばフォスフィン（PH_3）である。

開口部の上からエキシマレーザによるレーザ光を照射してp型領域2の表面を加熱する。

第5図（b）参照

ドーピング原料6はp型領域2の中に拡散して極く薄いn型領域4が形成される。その後マスク5を除去する。

ところで，レーザ光を物質に照射した場合，光照射損傷のおそれがあり，その光照射損傷には熱的なものの他にレーザ光の単色性，可干渉性に起因するアバランシェ破壊がある。

第6図はレーザ光照射の場合の電界振幅を示す。

真空から物質に入射したレーザ光には界面を節とする定在波が立ち，表面から1／4波長入ったところで電界振幅は最大となる。したがって，その深さで電界集中が起こりアバランシェ破壊を生じ易くなる。

さらに，物質中にレーザ光特有の波長を吸収する吸収センタが含まれているとき，そこが熱発生源となって不均一な熱歪みが発生するといった問題もある。

〔発明が解決しようとする課題〕

従って，レーザ光による加熱の場合は表面を均一に加熱出来ないという問題，デバイスに局部的な損傷を与えるといった問題がある。

本発明は，上記の欠点を克服して，デバイスに損傷を与えることなく極めて薄い表面を均一に加熱し，極めて薄い活性領域を形成する方法を提供することを目的とする。

〔課題を解決するための手段〕

上記課題は，極真空紫外光領域から軟X線領域の連続スペクトルを持つ非干渉性の放射光を半導体の素子形成領域に照射することにより，該素子形成領域の極表面を加熱して活性化する工程を含む半導体装置の製造方法によって解決される。

〔作用〕

高速荷電粒子の制動放射光であるシンクロトロン放射光は，紫外線領域からX線領域までの連続光光源として知られ，結晶の分析評価に用いられている。その波長域はエキシマレーザでは達成できない数十nm域の極真空紫外光から1nm程度の軟X線を含む。

本発明では，かかる放射光を利用する。波長が短ければ物質への進入深さが浅くなり，極表面の加熱に有利となる。

さらに，シンクロトロン放射光を光源とした場合，利用できる光は広い範囲の連続光となり，しかも非干渉性であるので，レーザ光に見られる前記の欠点を避けることができる。

第4図に放射光照射の場合の電界振幅を示す。この場合は真空から物質への界面で干渉による定在波は発生せず，進入深さとともに電界振幅は漸減する。したがって，レーザ光を用いる場合のような1／4波長深さでのアバランシェ破壊といった現象は生じない。

したがって，シンクロトロン放射光のような放射光を用いれば半導体の素子形成領域を均一にしかもデバイスに損傷を与えることなく極表面だけ加熱して，そこを活性化することができる。

〔実施例〕

以下，本発明の実施例について説明する。

第1図（a）乃至（c）は実施例Iで，極く薄い接合を作成する工程の例であり，1は半導体基板，2はp型領域，3は高イオン領域，4はn型領域，5はマスクを表す。

SAMSUNG EX. 1002 - 599/2862

第1図（a）参照

半導体基板1上に形成されたp型領域2上にマスク5を形成し，上部からn型の不純物イオン，例えば燐イオン（P^+）を極く浅く例えば50nm程度の深さまで打ち込んで，高イオン領域3を形成する。

第1図（b）参照

極真空紫外線光領域から軟X線領域の連続スペクトルを有するシンクロトロン放射光を高イオン領域3に照射する。

第1図（c）参照

高イオン領域3は加熱され，活性加されてn型領域4を形成する。

マスク5を除去する。

第2図（a），（b）は実施例Ⅱで，極く薄い接合を作成する別の工程例であり，1は半導体基板，2はp型領域，4はn型領域，5はマスク，6はドーピング原料を表す。

第2図（a）参照

半導体基板1上に形成されたp型領域2上にマスク5を形成し，その開口部にn型の不純物を含むドーピング原料6として，例えばフォスフィン（PH_3）を吸着させる。あるいはドーピング原料雰囲気中に半導体基板1を配置する。

上部から極真空紫外線光領域から軟X線領域の連続スペクトルを有するシンクロトロン放射光を照射する。

第2図（b）参照

p型領域2の表面付近は加熱されて，ドーピング原料6の不純物イオンがp型領域2中に拡散して，極く浅いn型領域4が形成される。マスク5を除去する。

この実施例は，イオン注入過程がなく，また，光照射損傷もないため極めて結晶性の高いドーピング領域のn型領域4が形成される。

第3図（a），（b）は実施例Ⅲで，半導体基板上にドーパントを含む絶縁膜を作成する例であり，1はSi基板，6はドーピング原料，7はSiO_2膜，71はドーパントを含むSiO_2膜を表す。

第3図（a）参照

半導体基板1として，例えばSi基板を用い，表面に熱酸化により厚さ約50nmのSiO_2膜7を形成する。

不純物固着トラップとして働く原子，例えば塩素（Cl）原子を含むドーピング原料6をSiO_2膜7上に吸着させる。あるいはドーピング原料雰囲気中にSi基板1を配置する。

上部から極真空紫外線光領域から軟X線領域の連続スペクトルを有するシンクロトロン放射光を照射する。

第3図（b）参照

SiO_2膜7は加熱されて塩素（Cl）原子を取込み，ドーパントを含むSiO_2膜71が形成される。

ドーパントを含むSiO_2膜71中の塩素（Cl）原子はSi基板1とドーパントを含むSiO_2膜71の界面に存在する重金属イオンを吸い寄せて固着する。

したがって，このように活性化された絶縁膜を用いればSi基板1の界面特性を改善することができる。

なお，極真空紫外線光領域以下の波長の放射光を用いることにより，従来のエキシマレーザ光では達成できない極めて浅い表面層を加熱することができるが，軟X線領域よりも短い波長では逆に侵入深さが大きくなって目的が達成されない。

〔発明の効果〕

以上説明した様に，本発明によれば，半導体装置の素子形成領域の極表面を均一にしかもデバイスに損傷を与えることなく加熱することができ，極く浅い接合や不純物トラップ機能を有する極く薄い絶縁膜等の活性領域を形成することができ，半導体デバイスの微細化，高速化に寄与するところが大きい。

4．図面の簡単な説明

第1図は実施例Ⅰ，

第2図は実施例Ⅱ，

第3図は実施例Ⅲ，

第4図は放射光照射の場合の電界振幅，

第5図は従来例，

SAMSUNG EX. 1002 - 600/2862

第6図はレーザ光照射の場合の電界振幅である。図において，

1は半導体基板であってSi基板，

2はp型領域，

3は高イオン領域，

4はn型領域，

5はマスク，

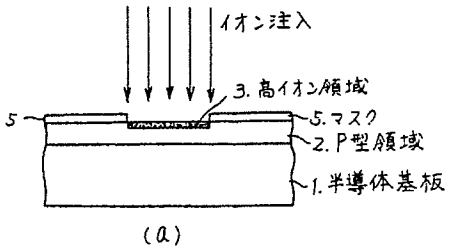
6はドーピング原料，

7は絶縁膜であってSiO_2膜，

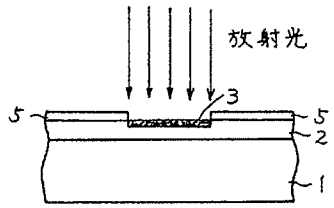
71はドーパントを含むSiO_2膜

を表す。

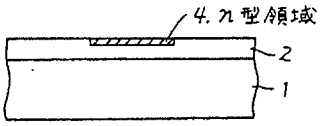
代理人　弁理士　井桁貞一



(a)



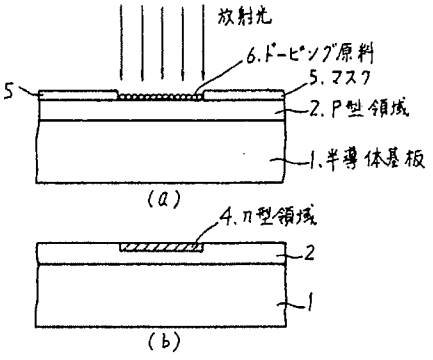
(b)



(c)

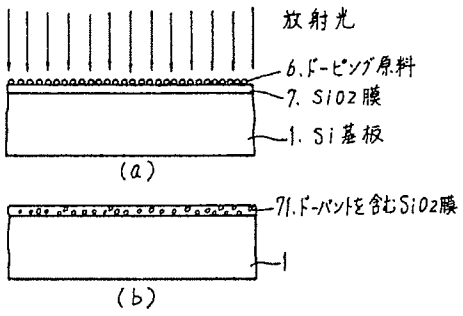
実施例 I

第1図



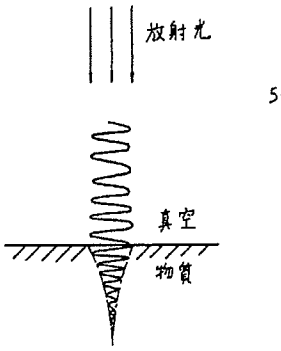
実施例 II

第2図



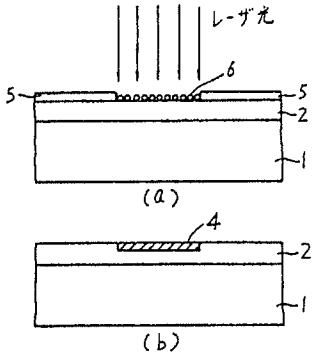
実施例 III

第3図



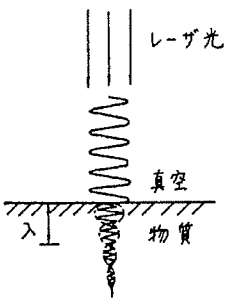
放射光照射の場合の電界振幅

第4図



従来例

第5図



レーザ光照射の場合の電界振幅

第6図

SAMSUNG EX. 1002 - 601/2862

Espacenet

Bibliographic data: JPH02237026 (A) — 1990-09-19

MANUFACTURE OF SEMICONDUCTOR DEVICE

Inventor(s): SUMI HIROBUMI; NOGUCHI TAKASHI ± (SUMI HIROBUMI, ; NOGUCHI TAKASHI)

Applicant(s): SONY CORP ± (SONY CORP, ; SONII KK)

Classification: - international: ***H01L21/28; H01L21/3205; H01L21/336; H01L23/52; H01L29/78;*** (IPC1-7): H01L21/28; H01L21/3205; H01L21/336; H01L29/784
- cooperative: H01L2924/0002 more

Application number: JP19890057571 19890309

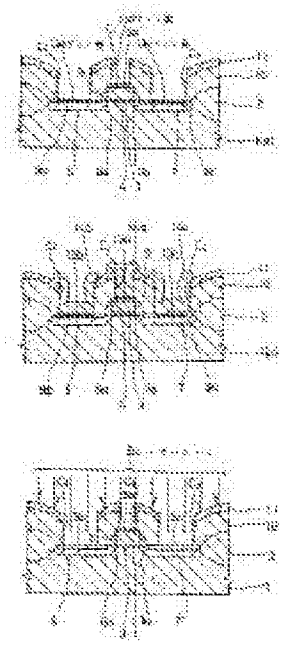
Priority number (s): JP19890057571 19890309

Also published as: JP2864518 (B2)

Abstract of JPH02237026 (A)

PURPOSE:To reduce junction leakage current, contact resistance and sheet resistance by a method wherein a high melting point metallic silicide film is irradiated with specific laser beams in an atmosphere containing N to form a high melting point nitride film. CONSTITUTION:The surface of an interlayer insulating film 10 excluding the parts of contact holes C1 to C3 is covered with a reflection film 11 and then the whole surface is irradiated with laser beams B in an atmosphere containing N so that only TiSi2 films 9a to 9c inside these contact holes C1 to C3 may be locally heated at high temperature. Accordingly, TiN films 13a to 13c can be formed in self-alignment with these contact holes C1 to C3 on the TiSi2 films 9a to 9c.; In this case, the parts not irradiated with the laser beams B are not heated at high temperature so that the surface of the TiSi2 films 9a to 9c on the parts not nitrified may not be subjected to the deterioration in morphology even if any hillock is formed on the surface. Through these procedures, contact resistance, sheet resistance and leakage current can be kept small.

SAMSUNG EX. 1002 - 602/2862



⑲日本国特許庁（JP）　⑪特許出願公開

⑫公開特許公報（A）　平2－237026

⑤1Int.Cl.⁵	識別記号	庁内整理番号	⑬公開　平成2年(1990)9月19日
H01L 21/28	301 T	7738－5F	
	R	7738－5F	
21/3205			
21/336			
29/784			
		8422－5F	H01L 29/78　301 P
		6810－5F	21/88　Q

審査請求　未請求　請求項の数 1　（全7頁）

⑤4発明の名称　半導体装置の製造方法

⑳特　願　平1－57571
㉒出　願　平1(1989)3月9日

⑦2発明者　角　博文　東京都品川区北品川6丁目7番35号　ソニー株式会社内
⑦2発明者　野口　隆　東京都品川区北品川6丁目7番35号　ソニー株式会社内
⑦1出願人　ソニー株式会社　東京都品川区北品川6丁目7番35号
⑦4代理人　弁理士　志賀　富士弥　外1名

明　細　書

1．発明の名称

半導体装置の製造方法

2．特許請求の範囲

（1）高融点金属シリサイド膜と、該高融点金属シリサイド膜上に形成された高融点金属窒化物膜とを有する半導体装置の製造方法において、

N（窒素）を含む雰囲気中で前記高融点金属シリサイド膜に、エネルギー密度1400～2200mJ／cm²のレーザビームを選択的に照射することにより前記高融点金属窒化物膜を形成するようにしたことを特徴とする半導体装置の製造方法。

3．発明の詳細な説明

［産業上の利用分野］

本発明は、半導体装置の製造方法に関し、更に詳しくは、配線のコンタクト部に高融点金属シリサイド膜と高融点金属窒化物膜との二層構造の膜を有する半導体装置の製造方法に係るものである。

［発明の概要］

本発明は、高融点金属シリサイド膜と、該高融点金属シリサイド膜上に形成された高融点金属窒化物膜とを有する半導体装置の製造方法において、

N（窒素）を含む雰囲気中で前記高融点金属シリサイド膜に、エネルギー密度1400～2200mJ／cm²のレーザビームを選択的に照射することにより前記高融点金属窒化物膜を形成するようにしたことにより、

接合リーク電流，コンタクト抵抗及びシート抵抗を低くするようにしたのもである。

［従来の技術］

半導体装置においては、半導体基板中に形成された拡散層に、層間絶縁膜に形成されたコンタクトホールを通じてアルミニウム（Al）の配線がコンタクトしている。従来、この拡散層のシート抵抗の低減及びAl配線とこの拡散層との反応防止を図るために、例えばチタンシリサイド（$TiSi_2$）膜とその上に形成された窒化チタン（T

SAMSUNG EX. 1002 - 604/2862

ｉＮ）膜との二層構造の膜を介してＡｌ配線を拡散層にコンタクトさせる技術が知られている。

特開昭６２－１６９４１２号公報には、このＴｉＳｉ$_x$膜上にＴｉＮ膜を形成する方法として、拡散層上にＴｉＳｉ$_x$膜を形成した後に、窒素（Ｎ）を含む雰囲気中において９００℃以上の高温でアニールを行ってこのＴｉＳｉ$_x$膜の表面を窒化することによりＴｉＮ膜を形成する方法が開示されている。

［発明が解決しようとする課題］

しかしながら、上述の特開昭６２－１６９４１２号公報に開示された方法は、半導体基板全体が９００℃以上の高温に加熱されることに起因して、窒化されない部分におけるＴｉＳｉ$_x$膜の表面のモフォロジー（morphology）が劣化し、その結果、電気的特性の劣化が生じてしまうという問題点があった。また、特に、近年素子の微細化に伴ってソース・ドレイン領域の深さ寸法（ｘ$_j$）が浅くなっているため、このように半導体基板全体が高温に加熱されることにより、拡散層中の不純物の再拡散が生じて拡散層が広がってしまうという問題もあった。

本発明は、このような従来の問題点に着目して創案されたものであって、高融点金属シリサイド膜のモフォロジーの劣化や不純物の再拡散を生じることなく高融点金属窒化物膜を高融点金属シリサイド膜上に形成可能とすると共に、接合リーク電流，コンタクト抵抗及びシート抵抗を低減化させることを可能にする半導体装置の製造方法を得んとするものである。

［課題を解決するための手段］

そこで、本発明は、高融点金属シリサイド膜と、該高融点金属シリサイド膜上に形成された高融点金属窒化物膜とを有する半導体装置の製造方法において、Ｎ（窒素）を含む雰囲気中で前記高融点金属シリサイド膜に、エネルギー密度１４００～２２００ｍＪ／ｃｍ^{2}のレーザビームを選択的に照射することにより前記高融点金属窒化物膜を形成するようにしたことを、その解決手段としている。

［作用］

Ｎを含む雰囲気中で、レーザビームを選択的に照射することにより、高融点金属シリサイド膜の窒化を行うべき部分のみが局所的に高温に加熱されてこの部分に高融点金属窒化物膜が形成されるが、その他の部分は高温に加熱されない。このため、この窒化が行われない部分における高融点金属シリサイド膜の表面のモフォロジーの劣化や不純物の再拡散が生じるのを防止することが可能となる。また、レーザビームのエネルギー密度を１４００～２２００ｍＪ／ｃｍ^{2}とすることにより、コンタクト抵抗，シート抵抗及びリーク電流を低く保つことが可能となる。

［実施例］

以下、本発明に係る半導体装置の製造方法の詳細を図面に示す実施例に基づいて説明する。この実施例は、本発明をＭＯＳトランジスクの製造に適用した実施例である。

第１図Ａ～第１図Ｈは、本実施例の製造方法の工程を示す断面図である。

本実施例においては、第１図Ａに示すように、例えばｐ型のシリコン基板である半導体基板１の表面に例えばＳｉＯ$_2$膜のようなフィールド絶縁膜２を選択的に形成して素子間分離を行った後、このフィールド絶縁膜２で囲まれた活性領域の表面に例えば熱酸化により例えばＳｉＯ$_2$膜のようなゲート絶縁膜３を形成する。次に、このゲート絶縁膜３上に例えば不純物をドープした多結晶Ｓｉ膜を形成した後、これらの多結晶Ｓｉ膜及びゲート絶縁膜３をエッチングにより所定形状にパターンニングする。これによって、ゲート電極４が形成される。この後、このゲート電極４をマスクとして半導体基板１中に例えばリン（Ｐ）のようなｎ型不純物を低濃度にイオン注入する。次に、例えばＣＶＤにより全面に例えばＳｉＯ$_2$膜を形成した後、例えば反応性イオンエッチング（ＲＩ

SAMSUNG EX. 1002 - 605/2862

Ｅ）によりこのＳｉＯ₂膜を基板表面と垂直方向に異方性エッチングしてＳｉＯ₂から成る側壁（サイドウォールスペーサ）５を形成する。次に、この側壁５をマスクとして半導体基板１中に例えばヒ素（Ａｓ）のようなｎ型不純物を比較的高濃度にイオン注入する。これによって、例えばｎ⁺型のソース領域６及びドレイン領域７がゲート電極４に対して自己整合的に形成される。これらのゲート電極４、ソース領域６及びドレイン領域７により、ｎチャンネルＭＯＳＦＥＴが構成される。これらのソース領域６及びドレイン領域７は、側壁５の下方の部分に例えばｎ⁻型の低不純物濃度部６ａ，７ａを有しており、従ってこのｎチャンネルＭＯＳＦＥＴはこの低不純物濃度部７ａによりドレイン領域７の近傍の電界を緩和した、いわゆるＬＤＤ（Lightly Doped Drain）構造を有する。なお、このｎチャンネルＭＯＳＦＥＴは必ずしもＬＤＤ構造を有する必要はない。この後、アニールを行うことにより、イオン注入された不純物の電気的活性化を行う。

次に第１図Ｂに示すように、例えばスパッタや蒸着により全面チタン（Ｔｉ）膜８を形成する。

次に、例えば８００℃程度の温度でアニールを行うことにより、Ｔｉ膜８とこのＴｉ膜８が直接接しているゲート電極４、ソース領域６及びドレイン領域７とを反応させる。これによって、これらのゲート電極４、ソース領域６及びドレイン領域７の表面がシリサイド化される。この後、未反応のＴｉ膜８をエッチング除去する。このようにして、第１図Ｃに示すように、ゲート電極４、ソース領域６及びドレイン領域７の表面にそれぞれＴｉＳｉ₂膜９ａ～９ｃが形成される。これらのＴｉＳｉ₂膜９ａ～９ｃの膜厚は例えば１０００Å程度である。これらのＴｉＳｉ₂膜９ａ～９ｃにより、ゲート電極４、ソース領域６及びドレイン領域７のシート抵抗の低減を図ることができる。なお、上述のアニールは例えば赤外線（ＩＲ）アニールにより行うことも可能である。

次に第１図Ｄに示すように、例えばＣＶＤにより全面に例えばリンシリケートガラス（ＰＳＧ）膜のような層間絶縁膜１０を形成し、さらにこの層間絶縁膜１０の上に例えばスパッタや蒸膜により例えばＡｌ膜のような後述のレーザビームＢに対する反射膜１１を形成した後、リソグラフィーによりこの反射膜１１の上に所定形状のレジストパターン１２を形成する。

次に、このレジストパターン１２をマスクとして反射膜１１及び層間絶縁膜１０の所定部分を例えばＲＩＥによりエッチングして、第１図Ｅに示すようにコンタクトホールＣ₁～Ｃ₃を形成する。この後、レジストパターン１２を除去する。

次に第１図Ｆに示すように、Ｎを含む雰囲気、例えばＮ₂ガスやアンモニア（ＮＨ₃）ガス中（７００ｍ Ｔｏｒｒ）で全面にレーザビームＢを照射する。このレーザビームＢとしては、例えばＸｅＣｌエキシマーレーザのようなエキシマーレーザによるパルスレーザビーム（波長３０８ｎｍ）を用いることができる。この場合、レーザビームＢの照射エネルギー密度は１４００～２２００ｍＪ／ｃｍ²に設定する。そして、反射膜１１に入射したレーザビームＢは反射されるため、結果的に反射膜１１で覆われていないコンタクトホールＣ₁～Ｃ₃内部のＴｉＳｉ₂膜９ａ～９ｃにのみレーザビームＢが照射される。このレーザビームＢの照射によってコンタクトホールＣ₁～Ｃ₃内部のＴｉＳｉ₂膜９ａ～９ｃのみが局所的に高温に加熱され、この部分がレーザビームＢの照射により分解された雰囲気ガス中のＮによって所定深さまで窒化される。これによって、ＴｉＮ膜１３ａ～１３ｃがコンタクトホールＣ₁～Ｃ₃に対して自己整合的に形成される。これらのＴｉＮ膜１３ａ～１３ｃによって、後述の配線１４ａ～１４ｃとゲート電極４、ソース領域６及びドレイン領域７との反応を防止することができる。なお、この反応を効果的に防止するためには、これらのＴｉＮ膜１３ａ～１３ｃの厚さは例えば５００Å程度以上であるのが好ましい。

次に、例えばスパッタや蒸着により全面に例えばＡｌ膜を形成した後、このＡｌ膜をエッチングにより所定形状にパターンニングして第１図Ｈに

SAMSUNG EX. 1002 - 606/2862

示すように配線１４ａ～１４ｃを形成し、これによって目的とするＭＯＳＬＳＩを完成させる。

以上のように、この実施例によれば、コンタクトホールＣ₁～Ｃ₃の部分を除いた層間絶縁膜１０の表面を反射膜１１で覆い、この状態でＮを含む雰囲気中においてレーザビームＢを照射することによりこれらのコンタクトホールＣ₁～Ｃ₃の内部におけるＴｉＳｉ₂膜９ａ～９ｃのみを局所的に高温に加熱しているので、これらのコンタクトホールＣ₁～Ｃ₃の内部におけるＴｉＳｉ₂膜９ａ～９ｃの上にこれらのコンタクトホールＣ₁～Ｃ₃に対して自己整合的にＴｉＮ膜１３ａ～１３ｃを形成することができる。この場合、レーザビームＢが照射されない部分は高温に加熱されないので、窒化が行われない部分におけるＴｉＳｉ₂膜９ａ～９ｃの表面にヒロック（hillock）が形成されたりしてモフォロジーの劣化が生じることがなく、従って電気的特性の劣化は生じない。さらにまた、ソース領域６及びドレイン領域７中の不純物の再拡散が生じることのないので、これらのソース領域６及びドレイン領域７が広がることもない。

なお、第２図及び第３図は、上記実施例における方法により６００～７００Åの厚さのＴｉＳｉ₂膜に照射するエキシマレーザのエネルギー密度を変化させた場合のコンタクト抵抗及びシート抵抗を測定した結果を示すグラフである。なお、両図において示す矢印はエキシマレーザを照射しない場合の値を示している。また、第４図は、ｐ型ＭＯＳトランジスタにおけるリーク電流を、上記実施例によるエキシマレーザのエネルギー密度を変えて測定した結果を示すグラフである。なお、同図中矢印は、エキシマレーザを照射しない場合の値を示している。

これらグラフが示すように、コンタクト抵抗，シート抵抗及びリーク電流に対して、レーザ照射条件が大きく影響を及ぼすことが判る。例えばエキシマレーザのエネルギー密度が３０００ｍＪ以上になると抵抗値が非常に高くなると共に、８００ｍＪではリークレベルが、エキシマレーザを照射しない場合と同程度となる（～１０００ｎＡ）。また、１４００ｍＪ～２２００ｍＪにおいて、コンタクト抵抗，シート抵抗及びリーク電流が低く保たれていることが判る。

次に、第５図は、本発明に係る他の実施例を示している。

本実施例においては、上記した実施例の第１図Ｅに示す工程の後に、ＴｉＳｉ₂９ａ，９ｂ，９ｃ表面上にＳｉ⁺を例えば、出力２０ＫｅＶ，ドーズ量２１．５×１０¹⁵／ｃｍ²の条件でイオン注入を行ないＴｉＳｉ₂の表面をアモルファス層（図中×印で示す）を形成する。

次に、上記した実施例の第１図Ｆに相当する工程を行ないＴｉＳｉ₂表面の前記アモルファス層をＴｉＮ膜に変化させる。なお、本工程においては、エキシマレーザの照射は、パルスショット処理を行なってもよい。また、注入するイオンはＳｉ⁺の他、Ｔｉ⁺やＮ⁺等を用いてもよい。

本実施例においては、形成されたアモルファス層の融点が低いため、エネルギー効率を向上することが可能となる。また、ＴｉＳｉ₂表面にイオン注入するのではなく、Ｓｉ基板上にイオン注入を行なってもよい。本実施例は、特に径寸法の小さいコンタクトホール（０．３５μ以下のプロセス）に適用した場合に効果的である。さらに、アモルファス層の融点が低くなるため、レーザビームの大面積化及びレーザ装置の小型化を可能にする利点がある。

以上、本発明の実施例につき具体的に説明したが、本発明は、上述の実施例に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。

例えば、上記両実施例においては、高融点金属としてＴｉを用いたが、タングステン（Ｗ），モリブデン（Ｍｏ）等を適用しても同様である。

また、上記実施例においては、最終構造に反射膜１１を残しているが、この反射膜１１は例えば配線１４～１４ｃを形成する前に例えばリン酸によりエッチング除去することも可能である。また、この反射膜１１としては、例えばＴｉ膜のようなバリアメタル膜を用いることも可能である。さら

SAMSUNG EX. 1002 - 607/2862

に、この反射膜１１の代わりにレーザビームＢに対して吸収性のある他の金属膜を用いても、コンタクトホールＣ₁～Ｃ₃の内部におけるＴｉＳｉ₂膜９ａ～９ｃにのみレーザビームＢを選択的に照射することが可能である。

また、上述の実施例においては、本発明をＭＯＳトランジスタに適用した場合について説明したが、本発明は、例えばバイポーラＬＳＩやバイポーラＣＭＯＳＬＳＩのようなＭＯＳＬＳＩ以外の半導体集積回路装置の製造に適用することも可能である。

［発明の効果］

以上述べたように、本発明によれば、窒素を含む雰囲気中で高融点金属シリサイド膜にレーザビームを選択的に照射することにより高融点金属窒化物膜を形成するようにしているので、レーザビームが照射されない部分は高温に加熱されず、従って、高融点金属シリサイド膜の表面のモフォロジーの劣化や不純物の再拡散が生じるのを防止することができる。

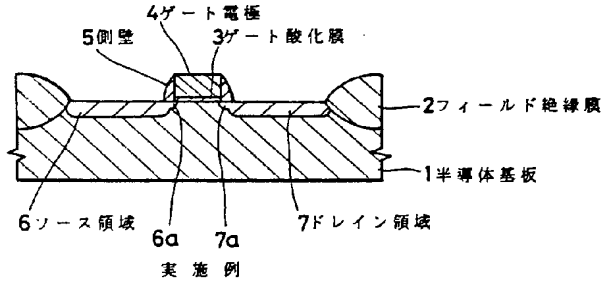
また、本発明によれば、コンタクト抵抗，シート抵抗及びリーク電流を低く保てる効果がある。

４．図面の簡単な説明

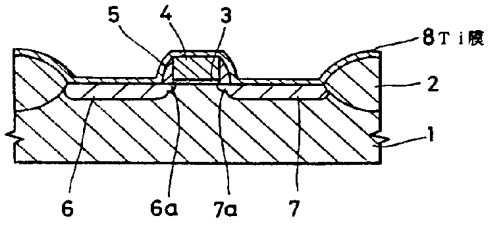
第１図Ａ～第１図Ｈは本発明の実施例によるＭＯＳトランジスタの製造方法を工程順に示す断面図、第２図はエキシマレーザのエネルギー密度とコンタクト抵抗との関係を示すグラフ、第３図はエキシマレーザのエネルギー密度とシート抵抗との関係を示すグラフ、第４図はエキシマレーザのエネルギー密度とリーク電流の関係を示すグラフ、第５図は本発明の他の実施例を示す断面図である。

１…半導体基板、２…フィールド絶縁膜、４…ゲート電極、６…ソース領域、７…ドレイン領域、８…Ｔｉ膜、９ａ～９ｃ…ＴｉＳｉ₂膜、１１…反射膜、１３ａ～１３ｃ…ＴｉＮ膜、１４～１４ｃ…配線、Ｃ₁～Ｃ₃…コンタクトホール。

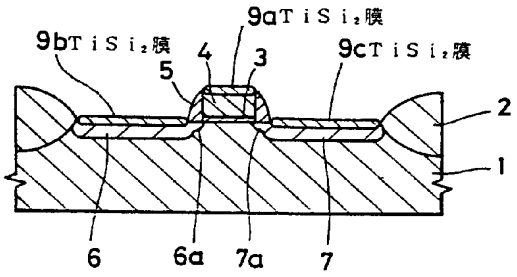
代理人　志賀富士弥　外１名



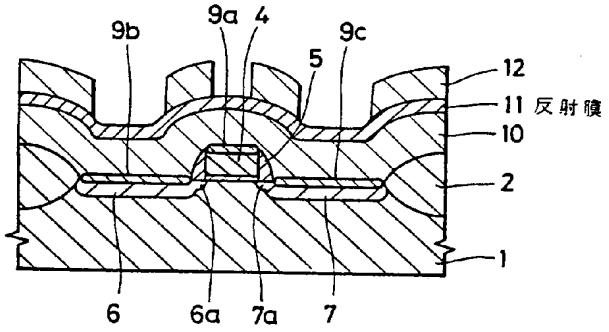
実施例
第１図Ａ



実施例
第１図Ｂ

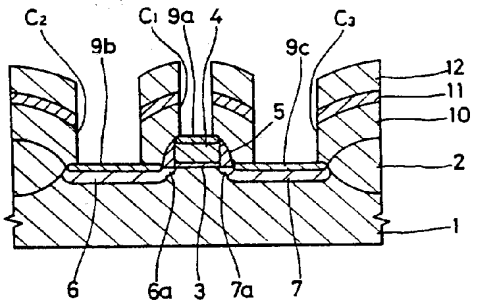


実施例
第１図Ｃ



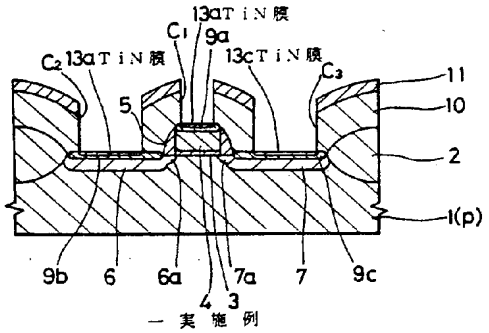
実施例
第１図Ｄ

SAMSUNG EX. 1002 - 608/2862



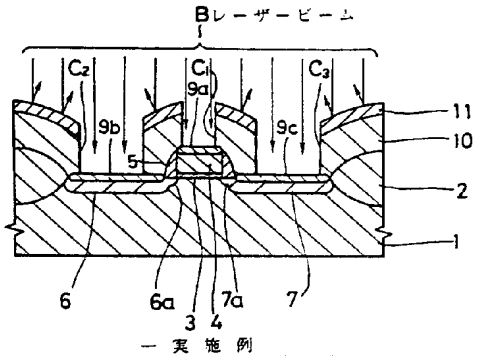
実施例

第 1 図E



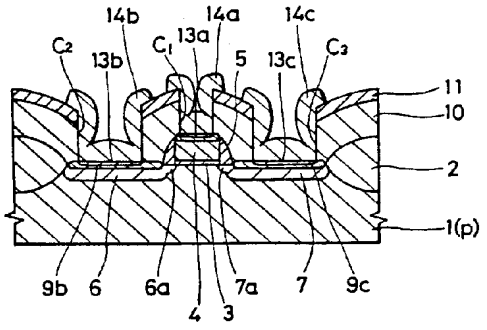
一実施例

第 1 図G



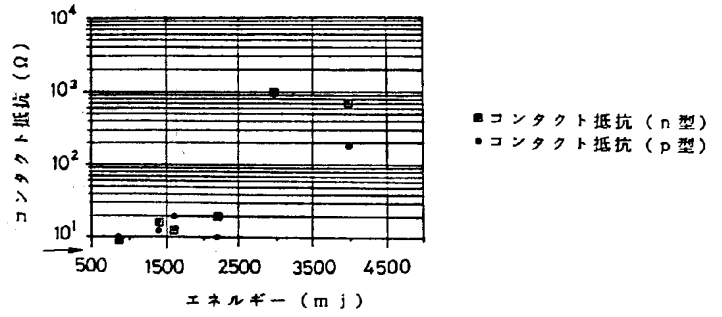
一実施例

第 1 図F



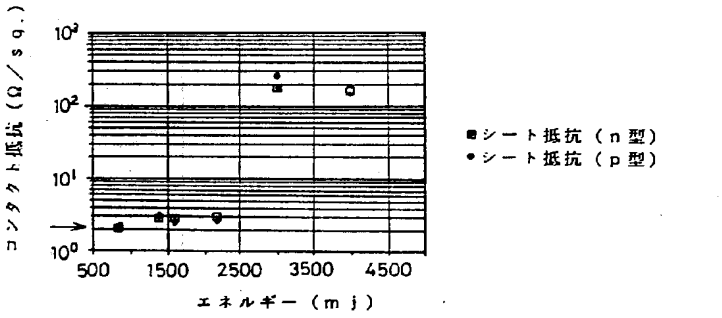
一実施例

第 1 図H



エキシマレーザのエネルギー密度とコンタクト抵抗を示すグラフ

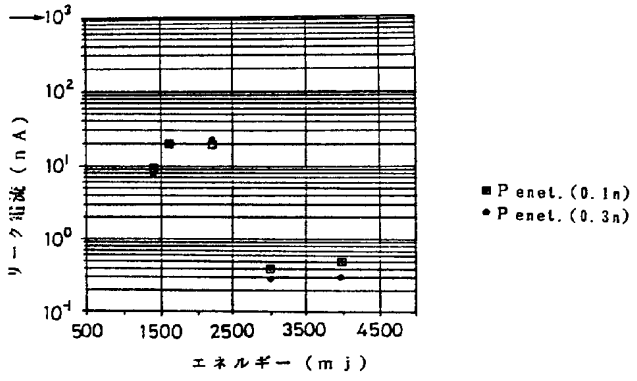
第 2 図



エキシマレーザのエネルギー密度とシート抵抗を示すグラフ

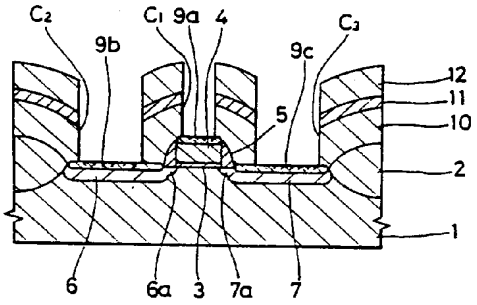
第 3 図

SAMSUNG EX. 1002 - 609/2862



エキシマレーザのエネルギー密度とリーク電流を示すグラフ

第 4 図



他の実施例

第 5 図

SAMSUNG EX. 1002 - 610/2862

Espacenet

Bibliographic data: JPH03183037 (A) — 1991-08-09

OPTICAL MEMORY MEDIUM

Inventor(s): YANAGISAWA MASAHIRO ± (YANAGISAWA MASAHIRO)

Applicant(s): NEC CORP ± (NEC CORP, ; NIPPON DENKI KK)

Classification: **- international:** ***G11B7/24;*** (IPC1-7): G11B7/24
- cooperative:

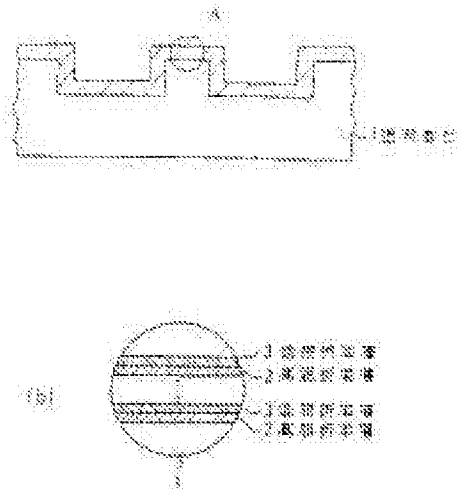
Application number: JP19890318799 19891211

Priority number(s): JP19890318799 19891211

Also published as: JP2647982 (B2)

Abstract of JPH03183037 (A)

PURPOSE:To improve reliability by forming combined layers of high-refractive index layers of adequate film thicknesses on a transparent substrate, thereby obtaining a high reflectivity.
CONSTITUTION:The combinations of the high-refractive index layers 2 consisting of silicon, germanium, etc., and the low-refractive index layers 3 consisting of silicon oxide, magnesium fluoride, etc., are formed in >=1 layers on the transparent substrate 1. The reflecting layers consisting of the respective layers generate multiple interferences in this way. The phases coincide and the reflectivity can be increased up to about 100% when the film thicknesses of the respective layers are selected at adequate values. There is, therefore, no need for forming the reflecting films consisting of Al, Au, etc., directly on the transparent substrate and the optical



SAMSUNG EX. 1002 - 611/2862

recording medium having the high reliability is obtd.

SAMSUNG EX. 1002 - 612/2862

⑲日本国特許庁（JP）　⑪特許出願公開

⑫公開特許公報（A）　平3－183037

⑤1Int. Cl.[5]	識別記号	庁内整理番号	㊸公開　平成3年(1991)8月9日
G 11 B 7/24	B	8120－5D	

審査請求　未請求　請求項の数 2　（全6頁）

⑤4発明の名称　光記憶体

㉑特　願　平1－318799
㉒出　願　平1(1989)12月11日

⑦2発　明　者　柳　沢　　雅　広　東京都港区芝5丁目33番1号　日本電気株式会社内
⑦1出　願　人　日本電気株式会社　東京都港区芝5丁目7番1号
⑦4代　理　人　弁理士　舘野　千恵子

明　細　書

1．発明の名称

光記憶体

2．特許請求の範囲

(1) 透明基板と、該透明基板の記録ピット形成面上に被覆される高屈折率層および低屈折率層の順よりなる組み合わせ層または低屈折率層および高屈折率層の順よりなる組み合わせ層を少なくとも1層以上を備えてなることを特徴とする光記憶体。

(2) 透明基板と、該透明基板の記録ピット形成面上に被覆される高屈折率層および低屈折率層の順よりなる組み合わせ層を少なくとも1層以上と、該組み合わせ層上に被覆される反射層とを備えてなることを特徴とする光記憶体。

3．発明の詳細な説明

［産業上の利用分野］

本発明は音響機器または情報機器などに用いられる光記憶体に関する。

［従来の技術］

従来、光記憶体の一つであるコンパクトディスク（以下、CDと略す。）の反射膜の材料としては、アルミニウムや金が使用されている。しかし、近年、CDにコンピュータデータを記録したCD－ROMが普及し、従来にも増して、高温・高湿下での保存性の高いものが望まれている。

［発明が解決しようとする課題］

従来の金あるいはアルミニウムの反射膜を使用した光記憶体は、かかる過酷な環境下において、蒸着された反射膜がアルミニウムの場合は腐食、また金の場合は下地体から剥離し、信号読み取りの指標とされるエラーレートが増加し、上記したようなニーズに適応できないという問題があった。またアルミニウムや金以外の反射膜材料は、反射率が不足するため使用できない状態にあった。

本発明は、以上述べたような従来の課題を解決するためになされたもので、耐候性、特に優れた耐食性と付着性を有し、かつ高反射率の反射膜を具備する光記憶体を提供することにある。

SAMSUNG EX. 1002 - 613/2862

［課題を解決するための手段］

本発明は、透明基板と、該透明基板の記録ピット形成面上に被覆される高屈折率層および低屈折率層の順よりなる組み合わせ層または低屈折率層および高屈折率層の順よりなる組み合わせ層を少なくとも1層以上を備えてなることを特徴とする光記憶体、および透明基板と、該透明基板の記録ピット形成面上に被覆される高屈折率層および低屈折率層の順よりなる組み合わせ層を少なくとも1層以上と、該組み合わせ層上に被覆される反射層とを備えてなることを特徴とする光記憶体である。

本発明で用いられる高屈折率層は主としてシリコン，ゲルマニウム，ほう素，硫化亜鉛，酸化チタン，酸化ジルコニウム，酸化インジウム，酸化アンチモン，硫化アンチモン，テルル，テルル化カドミウム，テルル化鉛などを使用することができる。

また本発明で用いられる低屈折率層は酸化珪素，ふっ化マグネシウム，酸化アルミニウム，ふっ化セリウム，酸化マグネシウム，ふっ化カルシウム，ふっ化ナトリウム，ふっ化リチウム，カーボン（非晶質またはダイアモンド）などを使用することができる。

本発明で用いられる反射層はクロム，モリブデン，タングステン，バナジウム，ニオブ，タンタル，チタン，ジルコニウム，ハフニウム，マンガン，レニウム，ルテニウム，鉄，オスミウム，コバルト，ロジウム，イリジウム，ニッケル，パラジウム，白金，亜鉛，カドミウム，錫，鉛，タリウム，アンチモン，ビスマス，インジウム，ガリウムなどの金属またはそれらの合金または窒化チタン，窒化ジルコニウム，窒化ハフニウムなどの金属窒化物を使用することができる。また、金または銀の単体を反射層として用いることは付着性の面で、さらに銅，アルミニウムの場合は腐食性の点で望ましくないため、これらの金属を用いる場合には、前記反射層として使われる金属との合金として使用することが望ましい。

本発明で用いられる透明基板は、アクリル樹脂，ポリカーボネート樹脂，ポリオレフィン樹脂，エポキシ樹脂，フッ素樹脂，ガラス，ゾルゲルガラスなどを用いることができる。

本発明の光記憶体は、射出成形あるいはスタンパからの密着転写などにより記録ピットを形成した透明基板の上に、高屈折率層および低屈折率層を交互にスパッタ法、イオンプレーティング法、クラスターイオンビーム法、プラズマＣＶＤ法あるいは蒸着法等により被覆し、さらに必要に応じて反射層を上記と同様に組み合わせ層上に被覆して形成する。

透明基板は、例えば、ガラス基板の上に珪酸重合物をスピン塗布し、スタンパを密着させてピットを転写させ、ピット付きの透明基板を形成する。またスタンパの型の中に樹脂を射出し、型から取り出してピット付きの透明基板を形成してもよい。

このように作製した本発明の光記憶体は、高反射率と高耐候性（高付着および高耐食性）を併せ持ち、従来の金またはアルミニウム反射膜を直接透明基板に被覆したものよりはるかに優れた長期のデータ保存に関する信頼性を有する。

［作用］

本発明の光記憶体は、透明基板上に高屈折率層と低屈折率層よりなる組み合わせ層を形成する。この組み合わせ層によって、各層からの反射光が多重干渉を起こし、この時、各層の膜厚を適切な値に選択すると位相が一致し、反射率を 100%近くにまで高めることができる。従って、従来のように透明基板上に直接Ａℓ やＡｕ等よりなる反射膜を形成しなくともよく、信頼性の高い光記憶体が提供される。

高屈折率層と低屈折率層の組み合わせ層のみでも反射率を 100%近くにすることができるが、多層の組み合わせが必要となる。そこで低屈折率層と高屈折率層の組み合わせ層上に反射層を設けると、少ない組み合わせ層数で高反射率を得ることができる。また高屈折率層と低屈折率層の屈折率の差が大きいほど該2層の膜厚を薄くすることができ、ピットの形状（深さ，巾，長さ）を損ねる

SAMSUNG EX. 1002 - 614/2862

ことが少ない。

［実施例］

以下に、図面を参照して本発明の実施例を詳細に説明する。

第１図は本発明の光記憶体の一実施例を示したもので、第１図(a)はその部分断面図、第１図(b)は(a)におけるＡ部の拡大断面図である。ここで、透明基板１、高屈折率層２、低屈折率層３がそれぞれ第１表のⅠおよびⅡに示す材質，構成および膜厚で被覆された２個の試料を作製した。

第２図は本発明の光記憶体１の他の一実施例を示したもので、第２図(a)はその部分断面図、第２図(b)は(a)におけるＢ部の拡大断面図である。ここで、透明基板１、低屈折率層３、高屈折率層２がそれぞれ第１表のⅢおよびⅣに示す材質，構成および膜厚で被覆された２個の試料を作製した。

第３図は本発明の光記憶体１の他の一実施例を示す部分断面図である。ここで、透明基板１、高屈折率層２、低屈折率層３、反射層４がそれぞれ第１表のⅤ，Ⅵ，Ⅶに示す材質，構成および膜厚で被覆された３個の試料を作製した。

得られた各試料の反射率を併せて第１表に示す。

（以下余白）

第　１　表

試料	透明基板	高屈折率層			低屈折率層			層数	反射層	反射率
		材質	膜厚(nm)	屈折率	材質	膜厚(nm)	屈折率		(膜厚nm)	(%)
Ⅰ	ポリカーボネート	Si	40	3.5	SiO_2	60	1.5	10	なし	90
Ⅱ	ゾルゲルガラス	TiO_2	60	2.7	MgF_2	60	1.4	10	なし	70
Ⅲ	ポリオレフィン	PbTe	30	5.5	LiF	40	1.4	9	なし	96
Ⅳ	ゾルゲルガラス	Ge	40	4.0	CaF_2	50	1.2	7	なし	85
Ⅴ	ポリカーボネート	Si	40	3.5	SiO_2	60	1.5	1	Cr (200)	80
Ⅵ	ポリオレフィン	Ge	40	4.0	MgF_2	60	1.4	1	Ta (200)	75
Ⅶ	ゾルゲルガラス	Si	40	3.5	CaF_2	50	1.2	1	TiN (300)	70

SAMSUNG EX. 1002 - 615/2862

次に、これらの試料とポリカーボネート樹脂からなる透明基板の上にアルミニウムおよび金を反射膜として形成した比較試料について、温度 70℃、相対湿度 95 %の耐候性試験を６ヶ月間行い、信号の良否の指標となるエラー数を測定した。６ヶ月の耐候性試験後、本発明の試料のエラー数は全く劣化がみられなかったが、アルミニウム反射膜を用いた比較試料は腐食により、また金反射膜を用いた比較試料は剥離によりエラーの測定が不能になるほど劣化した。

［発明の効果］

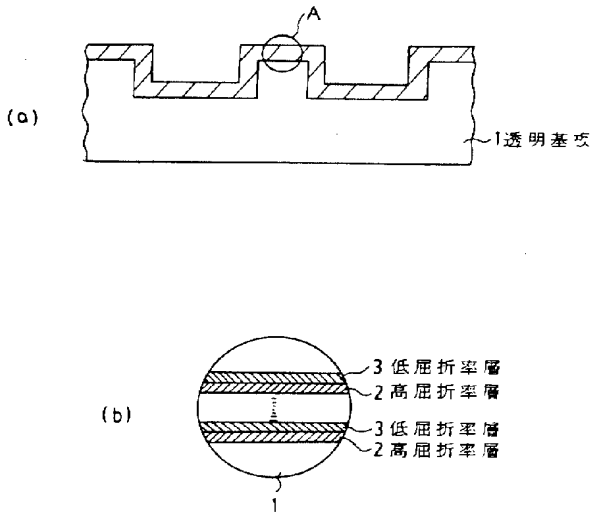
以上、詳細に述べたように、本発明の光記憶体は透明基板との密着性に優れ、かつ耐食性および高反射率を有しており、アルミニウムや金の反射膜を使用した光記憶体に比べてはるかに信頼性を向上させることができる。

４．図面の簡単な説明

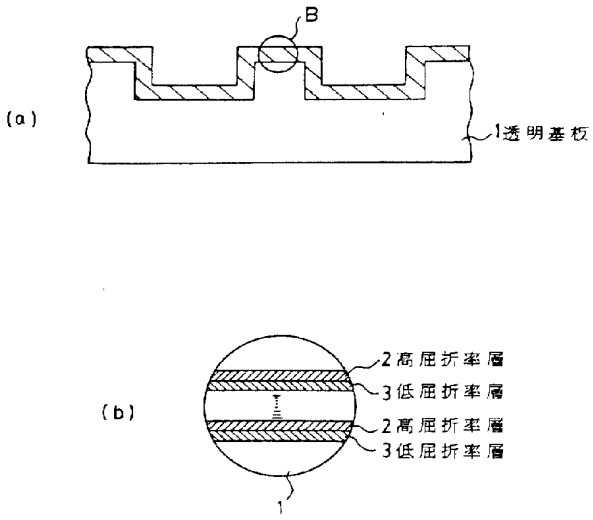
第１図から第３図はそれぞれ本発明の光記憶体の一実施例の部分断面図である。

１…透明基板
２…高屈折率層
３…低屈折率層
４…反射層

特許出願人　日本電気株式会社
代理人　弁理士　舘野千恵子

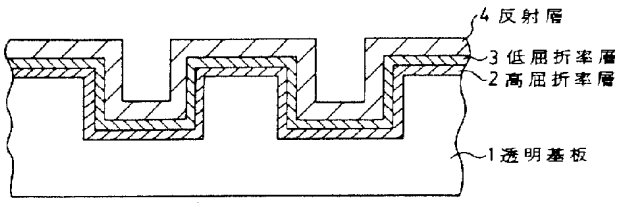


第１図



第２図

SAMSUNG EX. 1002 - 616/2862



第3図

手続補正書（自発）

平成3年3月5日

特許庁長官殿

1．事件の表示

特願平1－318799号

2．発明の名称

光記憶体

3．補正をする者

事件との関係　・特許出願人

住　所　東京都港区芝五丁目7番1号

名　称　(423) 日本電気株式会社

代表者　関本忠弘

4．代　理　人　〒158

住　所　東京都世田谷区玉川4丁目12番16号

チロル玉川 202号　☎03(3707)1639

氏　名　(9052) 弁理士　舘野千恵子

特許庁
3.3.6

5．補正の対象

明細書の「発明の詳細な説明」の欄と
明細書の「図面の簡単な説明」の欄、
および図面

6．補正の内容

(1) 明細書第3頁19行目～20行目に「酸化珪素，ふっ化マグネシウム」とあるのを「酸化珪素，酸化ジルコニウムを含む酸化珪素，ふっ化マグネシウム」と補正する。

(2) 明細書第8頁3行目のあとに以下の文を挿入する。

「第4図は本発明を再生専用光記憶体に適用した一実施例の部分断面図である。ここで1はゾルゲル法により記録ピットを設けた強化ガラス基板、高屈折率層2、低屈折率層3、反射層4がそれぞれ第1表のⅧに示す材料、構成および膜厚で被覆した1個の試料を作製した。反射層4の上には試料を操作する際に反射層等に傷が発生することを防止する意味でシリコン系の樹脂膜5が10 μm被覆されている。また、強化ガラスの基板面側にはガラスの腐食を防止するための保護膜6として10％の酸化ジルコニウムを含む酸化珪素を100nm被覆した。」

(3) 明細書第9頁第1表を以下のように補正する。

（以下余白）

SAMSUNG EX. 1002 - 617/2862

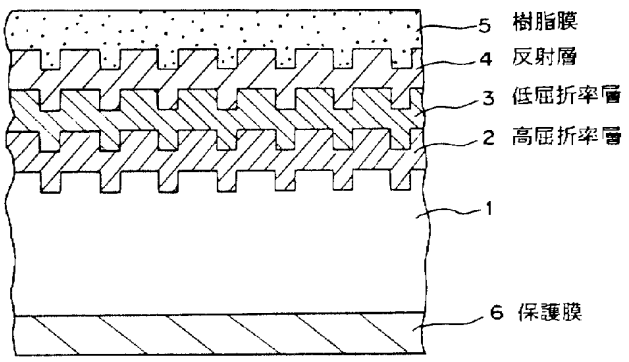
第　1　表

試料	透明基板	高屈折率層			低屈折率層			層数	反射層（膜厚nm）	反射率（%）
		材質	膜厚	屈折率	材質	膜厚	屈折率			
Ⅰ	ポリカーボネート	Si	40 nm	3.5	SiO_2	60 nm	1.5	10	なし	90
Ⅱ	ゾルゲルガラス	TiO_2	60	2.7	MgF_2	60	1.4	10	なし	70
Ⅲ	ポリオレフィン	PbTe	30	5.5	LiF	40	1.4	9	なし	96
Ⅳ	ゾルゲルガラス	Ge	40	4.0	CaF_2	50	1.2	7	なし	85
Ⅴ	ポリカーボネート	Si	40	3.5	SiO_2	60	1.5	1	Cr (200)	80
Ⅵ	ポリオレフィン	Ge	40	4.0	MgF_2	60	1.4	1	Ta (200)	75
Ⅶ	ゾルゲルガラス	Si	40	3.5	CaF_2	50	1.2	1	TiN (300)	70
Ⅷ	ゾルゲルガラス	Si	60	3.5	SiO_2 − 10% ZrO_2	40	1.5	1	Cr (100)	82

(4) 明細書第 10 頁 18 行目に「第１図から第３図」とあるのを「第１図から第４図」と補正する。

(5) 明細書第11頁１行目～３行目に「２…高屈折率層　３…低屈折率層　４…反射層」とあるのを「２…高屈折率層　３…低屈折率層　４…反射層　５…樹脂膜　６…保護膜」と補正する。

(6) 本願添付図面の第３図の次に別紙図面の第４図を追加する。



第４図

SAMSUNG EX. 1002 - 618/2862

Espacenet

Bibliographic data: JPH04318970 (A) — 1992-11-10

MANUFACTURE OF PHOTOSENSOR

Inventor(s): ENDO YUTARO ± (ENDO YUTARO)

Applicant(s): MITSUBISHI ELECTRIC CORP ± (MITSUBISHI ELECTRIC CORP)

Classification: **- international:** ***H01L27/14; H01L31/00;*** (IPC1-7): H01L27/14; H01L31/00

- cooperative:

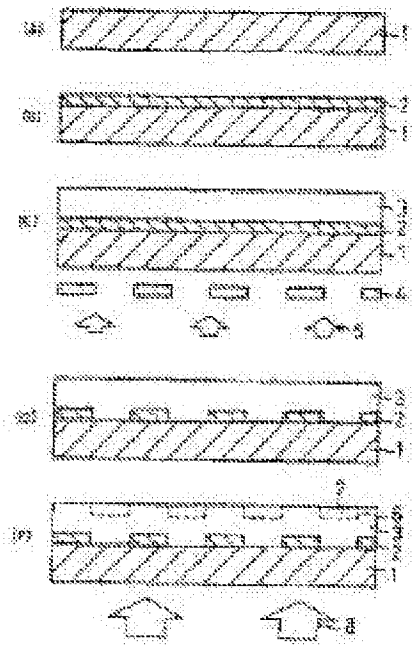
Application number: JP19910085162 19910417

Priority number(s): JP19910085162 19910417

Abstract of JPH04318970 (A)

PURPOSE:To easily manufacture a photosensor having a crosstalk preventive light absorption layer at a lower part between pixels without using complicate photoengraving, etching on the way of a growth. CONSTITUTION:After an HgTe layer 2, a p-type CdHgTe layer 3 are sequentially grown on a CdTe substrate 1, only the layer 2 disposed at a lower part of a region formed of pixels is irradiated with a YAG laser 5 from a lower surface side of the substrate 1 to be absorbed to generate heat, the region is assimilated with the layer 3, and an n-type CdHgTe layer 7 to become a pixel is formed on the assimilated layer 3.

SAMSUNG EX. 1002 - 619/2862



SAMSUNG EX. 1002 - 620/2862

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報（Ａ）**　(11)特許出願公開番号

特開平4－318970

(43)公開日　平成４年(1992)11月10日

(51)Int.Cl.[5]	識別記号	庁内整理番号	ＦＩ		技術表示箇所
Ｈ０１Ｌ　27/14					
31/00					
		8223－4M	Ｈ０１Ｌ	27／14	Ｋ
		7210－4M		31／00	

審査請求　未請求　請求項の数１(全　４　頁)

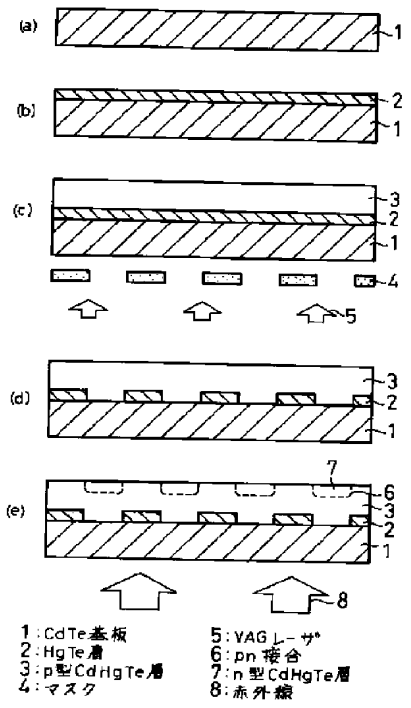
(21)出願番号　特願平3－85162

(22)出願日　平成３年(1991)４月17日

(71)出願人　000006013
三菱電機株式会社
東京都千代田区丸の内二丁目２番３号
(72)発明者　遠藤　雄太郎
伊丹市瑞原４丁目１番地　三菱電機株式会社光・マイクロ波デバイス研究所内
(74)代理人　弁理士　高田　守　(外１名)

(54)【発明の名称】　光検知装置の製造方法

(57)【要約】
【目的】　成長途中において、複雑な写真製版，エッチングを用いることなく、画素間の下部にクロストーク防止用の光吸収層を備えた光検知装置の製造を容易にする。
【構成】　ＣｄＴｅ基板１上にＨｇＴｅ層２，ｐ型ＣｄＨｇＴｅ層３を順次成長させた後、ＣｄＴｅ基板１の下面側から画素が構成される領域の下部に位置するＨｇＴｅ層２のみにＹＡＧレーザ５を照射して吸収，発熱させ、この領域をｐ型ＣｄＨｇＴｅ層３に同化させ、この同化されたｐ型ＣｄＨｇＴｅ層３上に画素となるｎ型ＣｄＨｇＴｅ層７を形成することを特徴としている。



SAMSUNG EX. 1002 - 621/2862

1

【特許請求の範囲】

【請求項１】基板上に光吸収層を成長させる工程と、この光吸収層上に複数の画素が構成される光電変換層を成長させる工程と、前記基板の下面側から前記画素が構成される領域の下部に位置する光吸収層のみにレーザ光を照射して前記光吸収層に吸収，発熱させ、この領域の光吸収層を前記光電変換層に同化させる工程と、前記光電変換層内にｐｎ接合を形成して前記画素を形成する工程とを含むことを特徴とする光検知装置の製造方法。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】本発明は、アレイ状の受光部を持つ背面入射型の光検知装置の製造方法に関し、特にその各画素のクロストーク防止に関するものである。

【０００２】

【従来の技術】図３（ａ）～（ｅ）は従来の光検知装置の製造方法を示す側断面図であり、図において、１はＣｄＴｃ基板、２は赤外線吸収層としてのＨｇＴｃ層、３は光電変換層としてのｐ型ＣｄＨｇＴｅ層、６はｐｎ接合、７は画素を構成するｎ型ＣｄＨｇＴｅ層，８は赤外線である。

【０００３】次に、動作について説明する。まず、アレイ状の受光部を持つ背面入射型の光検知装置の問題点の１つであるクロストークについて図４を用いて説明する。図４は、図３（ｃ）の光検知装置からＨｇＴｃ層２を取り除いた場合を示す図であり、７ａ，７ｂはｎ型ＣｄＨｇＴｅ層、９はキャリアである。まず、ＣｄＴｅ基板１側から入射した赤外線８は、ｐ型ＣｄＨｇＴｅ層３で吸収され、キャリア９を発生する。このキャリア９がｎ型ＣｄＨｇＴｅ層７ａ，７ｂ付近のｐｎ接合６に到達すると光電流となり、光を検知できる。しかし、図のように隣接した画素間に入射した光によって発生したキャリア９の拡散長は、画素を高密度に構成すればするほど、画素ピッチに比べて長くなり、ｎ型ＣｄＨｇＴｅ層７ａ，７ｂのいずれの画素にも到達可能となり、クロストークが生じる。このため、図３（ｅ）に示すように、画素間に光が入射しないように赤外線吸収層としてのＨｇＴｅ層２を設けて画素間でキャリア９が生じないように構成している。ここで、赤外線吸収層としてＨｇＴｅ層２が用いられる理由は、零ギャップ半導体であり、赤外線の吸収効率が良いからである。

【０００４】次に、ＨｇＴｅ層２を設けた光検知装置の製造方法について図３に従って説明する。まず、図３（ａ）に示すＣｄＴｅ基板１上に赤外線吸収層となるＨｇＴｅ層２を図３（ｂ）に示すように、エピタキシャルイ成長させる。次いで、画素となるｎ型ＣｄＨｇＴｅ層７を選択的に作るマスクと、これを反転したマスクを用いて写真製版を行い、エッチング技術を用いて図３（ｃ）に示す形状のＨｇＴｅ層２を形成する。次いで、図３（ｄ）に示すように、ｐ型ＣｄＨｇＴｅ層３をエピタキシャル成長させた後、Ｈｇ拡散あるいはイオン注入技術のいずれかを用いてＨｇＴｅ層２と重ならない部分に図３（ｅ）に示すようにｎ型ＣｄＨｇＴｅ層７を形成する。

2

【０００５】

【発明が解決しようとする課題】上記のような従来の光検知装置の製造方法では、赤外線吸収層となるＨｇＴｅ層２，ｐ型ＣｄＨｇＴｅ層３を形成するために２度のエピタキシャル成長を行わなければならないうえ、ｐ型ＣｄＨｇＴｅ層３を形成する２度目のエピタキシャル成長では、ＨｇＴｅ層２を写真製版，エッチング技術を用いて赤外線吸収層となるパターンに形成した後、この段差のできたＨｇＴｅ層２上にエピタキシャル成長させなければならず、プロセスが複雑であるという問題点があった。

【０００６】本発明は、上記のような問題点を解消するためになされたもので、赤外線吸収層を形成するための写真製版，エッチング技術を省略できるうえ、段差上へのエピタキシャル成長工程を用いることもなく、クロストークを防止するための赤外線吸収層を設けた光検知装置を得ることが可能な光検知装置の製造方法を得ることを目的とする。

【０００７】

【課題を解決するための手段】本発明に係る光検知装置の製造方法は、基板上に光吸収層を成長させる工程と、この光吸収層上に複数の画素が構成される光電変換層を成長させる工程と、基板の下面側から画素が構成される領域の下部に位置する光吸収層のみにレーザ光を照射して光吸収層に吸収，発熱させ、この領域の光吸収層を光電変換層に同化させる工程と、光電変換層内にｐｎ接合を形成して画素を形成する工程とを含むものである。

【０００８】

【作用】本発明においては、基板上に光吸収層，光電変換層が順次成長された後、基板の下面側からのレーザ光の照射によって画素が構成される領域下の光吸収層のみが加熱されて光電変換層と同化され、この同化された領域上に画素が構成される。

【０００９】

【実施例】以下、本発明の一実施例を図について説明する。図１（ａ）～（ｅ）は本発明の光検知装置の製造方法の一実施例を示す側断面図であり、図２は、図１（ｅ）においてｐ型ＣｄＨｇＴｅ層３を一部除去した状態の図である。これらの図において、図３と同一符号は同一のものを示し、４はマスク、５はＹＡＧレーザである。

【００１０】次に、本発明による光検知装置の製造方法について説明する。まず、図１（ａ）に示すＣｄＴｅ基板１上に１．５μｍ程度の赤外線吸収層（光吸収層）としてのＨｇＴｅ層２を、図１（ｂ）に示すように、エピタキシャル成長させ、次いで、このＨｇＴｅ層２上に光

SAMSUNG EX. 1002 - 622/2862

3

電変換層としてのｐ型ＣｄＨｇＴｅ部３を図１（ｃ）に示すように、エピタキシャル成長させる。次に、ＣｄＴｅ基板１側からｎ型ＣｄＨｇＴｅ層７形成のための写真製版に用いるマスクを反転したパターンのメタルマスクをマスクとして、画素となるｎ型ＣｄＨｇＴｅ層７を形成する領域の下部に位置するＨｇＴｅ層２のみにＣｄＴｅ基板１に吸収されにくいＹＡＧレーザ５を照射し、照射されたＨｇＴｅ層２付近の温度が４００℃程度になるように吸収，発熱させる。これにより、ＨｇＴｅ層２とＣｄＴｅ基板１とが相互拡散され、図１（ｄ）に示すように、ＨｇＴｅ層２はｐ型ＣｄＨｇＴｅ層３に同化される。この場合、ＨｇＴｅは零ギャップ半導体であるため、光を吸収しやすくなっている。ＹＡＧレーザ５の照射方法もマスク４を用いず所定のパターンで走査してもよい。すなわち、クロストーク防止層となる赤外線吸収層が画素以外の領域に形成されたことになり、この後、従来技術と同様にＨｇ拡散，不純物拡散あるいはイオン注入技術等を用いて、図１（ｃ）に示すように、ｎ型ＣｄＨｇＴｅ層７を形成すれば画素部が完成する。

【００１１】なお、上記実施例では基板１にＣｄＴｅを、赤外線吸収層２にＨｇＴｅを、画素部を有する第１導電型の半導体層にＣｄＨｇＴｅを用いたが、基板材料にはＣｄｙ Ｚｎ1-ｙ Ｔｅ（０．０５≦ｙ＜１）ＧａＡｓ等、赤外線吸収層はＣｄＨｇＴｅ等、第１の導電型の半導体層よりもＣｄ量が少ないものもしくは同じものなら何でも良い。また、半導体層としては、ＺｎＨｇＴｅ，ＰｂＳｎＴｅ等のほか、ＣｄＴｅとＨｇＴｅの超格子層を用いても良い。

【００１２】また、上記実施例では、赤外線を検知する場合について述べたが、本発明は可視光，赤外線，紫外線，放射線の検出器にも利用できることはいうまでもない。また、赤外線吸収層２にＨｇＴｅを用いた場合、ＹＡＧレーザ５の替わりに０．８６μｍより長い波長光なら何を用いても同様の効果を有し、ＣｄＨｇＴｅ（第１の導電型の半導体層よりもＣｄ量が少ないもの）を用いた場合は、０．８６μｍより大きく検出光（１０μｍ程度）より小さな波長領域のものであれば何を用いても同様の効果を有する。

4

【００１３】

【発明の効果】以上説明したように、本発明は基板上に光吸収層を成長させる工程と、この光吸収層上に複数の画素が構成される光電変換層を成長させる工程と、基板の下面側から画素が構成される領域の下部に位置する光吸収層のみにレーザ光を照射して光吸収層に吸収，発熱させ、この領域の光吸収層を光電変換層に同化させる工程と、光電変換層内にｐｎ接合を形成して画素を形成する工程とを含むので、画素間の下部に選択的に光吸収層を形成する際に従来のような写真製版，エッチング技術を途中の工程で用いながら２回に分けて結晶成長を行う必要がなくなり、簡単な工程で歩留りよく光検知を得ることができるという効果がある。

【図面の簡単な説明】

【図１】本発明の光検知装置の製造方法の一実施例を示す側断面図である。

【図２】図１で製造された光検知装置の一部を取り除いた状態の斜視図である。

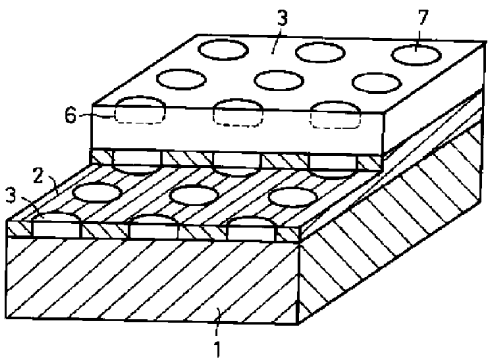
【図３】従来の光検知装置の製造方法を示す側断面図である。

【図４】従来の光検知装置のクロストークについて説明するための側断面図である。

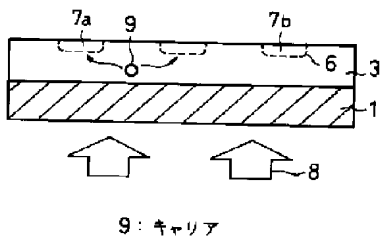
【符号の説明】

１　ＣｄＴｅ基板
２　ＨｇＴｅ層
３　ｐ型ＣｄＨｇＴｅ層
４　マスク
５　ＹＡＧレーザ
６　ｐｎ接合
７　ｎ型ＣｄＨｇＴｅ層
８　赤外線
９　キャリア

【図２】

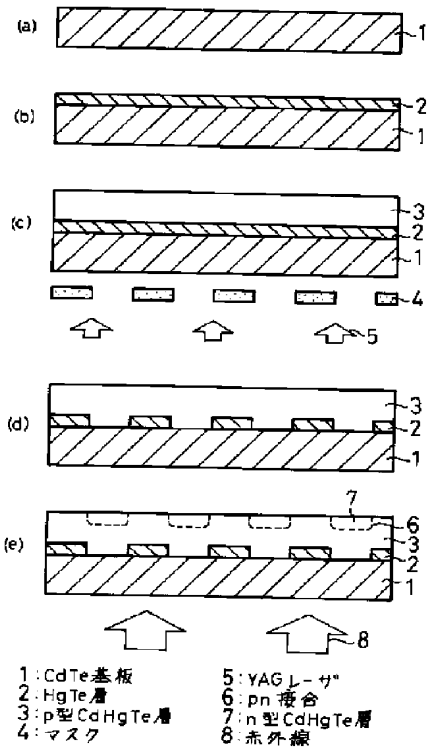


【図４】

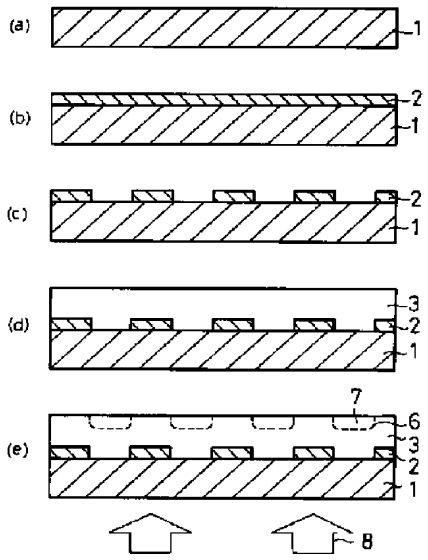


SAMSUNG EX. 1002 - 623/2862

【図１】



【図３】



【手続補正書】
【提出日】平成４年３月４日
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】００１１
【補正方法】変更
【補正内容】
【００１１】なお、上記実施例では基板１にＣｄＴｅを、赤外線吸収層２にＨｇＴｅを、画素部を有する第１導電型の半導体層にＣｄＨｇＴｅを用いたが、基板材料にはＣｄｙ Ｚｎ1-ｙ Ｔｅ（０．０５≦ｙ＜１），ＧａＡｓ等、赤外線吸収層はＣｄＨｇＴｅ等、第１の導電型の半導体層よりもＣｄ量が少ないものもしくは同じものなら何でも良い。また、半導体層としては、ＺｎＨｇＴｅ，ＰｂＳｎＴｅ等のほか、ＣｄＴｅとＨｇＴｅの超格子層を用いても良い。

SAMSUNG EX. 1002 - 624/2862

Espacenet

Bibliographic data: JPH06104414 (A) — 1994-04-15

SOLID-STATE IMAGE SENSING DEVICE

Inventor(s): MIYAGAWA RYOHEI ± (MIYAGAWA RYOHEI)

Applicant(s): TOSHIBA CORP ± (TOSHIBA CORP)

Classification: **- international:** ***H01L27/14; H01L31/10; H04N5/335; H04N5/365; H04N5/369; H04N5/372;*** (IPC1-7): H01L27/14; H01L31/10; H04N5/335

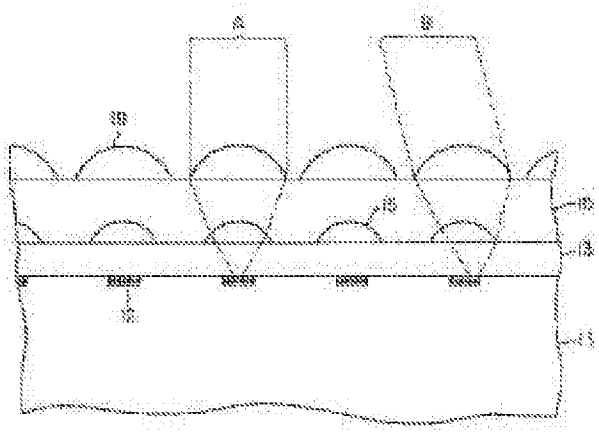
- cooperative:

Application number: JP19920249273 19920918

Priority number (s): JP19920249273 19920918

Abstract of JPH06104414 (A)

PURPOSE:To provide a solid-state image sensing device capable of preventing its sensitivity from lowering even against oblique light, capable of having constant sensitivity even to the diaphragm of the objective lens of a camera, and capable of uniformizing the sensitivity in a light receiving surface. CONSTITUTION:Concerning to a solid-state image sensing device having a plurality of photodiodes arranged on a semiconductor substrate 11, and microlenses arranged on these photodiodes 12 for converging light respectively, the microlenses are composed of first microlenses 15 arranged near the photodiodes 12, and second microlenses 19 arranged at positions further than the microlenses from the photodiodes 12. And incident light passes through the microlenses 19 and 15, and is converged at the photodiodes 12.



(19)日本国特許庁（ＪＰ）　(12)**公開特許公報（Ａ）**　(11)特許出願公開番号

特開平6－104414

(43)公開日　平成６年(1994)４月15日

(51)Int.Cl.[5]	識別記号	庁内整理番号	ＦＩ		技術表示箇所
Ｈ０１Ｌ　27/14					
Ｈ０４Ｎ　5/335	Ｖ				
// Ｈ０１Ｌ　31/10					
		7210－4M	Ｈ０１Ｌ	27/ 14	Ｄ
		8422－4M		31/ 10	Ａ

審査請求　未請求　請求項の数２(全 11 頁)

(21)出願番号　特願平4－249273

(22)出願日　平成４年(1992)９月18日

(71)出願人　000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72)発明者　宮川　良平
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝総合研究所内

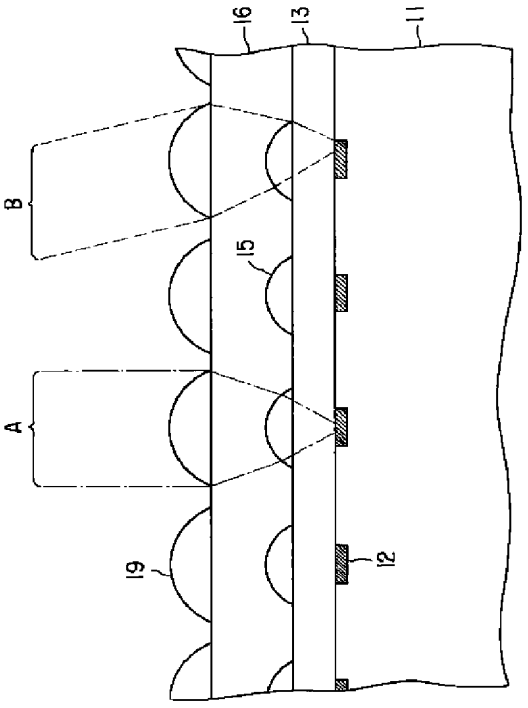
(74)代理人　弁理士　鈴江　武彦

(54)【発明の名称】　固体撮像装置

(57)【要約】

【目的】　斜め光に対しても感度が低下せず、かつカメラの対物レンズの絞り値に対しても感度が変化せず、受光面内での感度の均一化をはかり得る固体撮像装置を提供すること。

【構成】　半導体基板１１上に複数のフォトダイオード１２が配列されると共にこれらのフォトダイオード１２上にそれぞれ光を集光するためのマイクロレンズが配列された固体撮像装置において、マイクロレンズは、フォトダイオード１２の近くに配置された第１のマイクロレンズ１５と、フォトダイオード１２に対しマイクロレンズ１５よりも遠い位置に配置された第２のマイクロレンズ１９とからなり、入射光をマイクロレンズ１９，１５を通してフォトダイオード１２に集光させることを特徴とする。



SAMSUNG EX. 1002 - 627/2862

【特許請求の範囲】
【請求項１】半導体基板上に複数のフォトダイオードが配列されると共に、これらのフォトダイオード上にそれぞれ光を集光するためのマイクロレンズが配列された固体撮像装置であって、前記マイクロレンズは前記フォトダイオード上に複数段、重なるように配置されてなることを特徴とする固体撮像装置。
【請求項２】半導体基板の表面の複数箇所に形成された凹凸部と、これらの凹凸部にそれぞれ形成されたフォトダイオードと、これらのフォトダイオードで検出された信号電荷を読出す手段とを具備してなることを特徴とする固体撮像装置。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】本発明は、固体撮像装置に係わり、特に受光部構成の改良により高感度化をはかった固体撮像装置に関する。
【０００２】
【従来の技術】
（１）近年、固体撮像装置の縮小化，多画素化には、目覚ましいものがある。２次元ＣＣＤ撮像装置は通常、光電変換して信号電荷を蓄積するフォトダイオード・アレイとこのフォトダイオード・アレイの信号電荷を転送する垂直ＣＣＤ及び水平ＣＣＤとにより構成される。この固体撮像装置の縮小化，微細化のため、固体撮像装置の単位セルは益々微細化する必要があり、そのため光電変換を行うフォトダイオードのさらなる微細化は必須である。
【０００３】ところが、フォトダイオードの面積が小さくなれば、受光面積が減るので１画素当たりの感度が低下してしまう問題がある。このために、フォトダイオード上にマイクロレンズを形成し、このマイクロレンズを用いてフォトダイオードに集光することで実効的開口面積を増す工夫がなされている。しかし、テレビジョン学会技術報告（テレビ学技報）vol.16、No.18 、pp.7～12,pp.25～30によれば、以下に述べる問題がある。この問題について、図１１を用いて説明する。
【０００４】図１１は、従来のマイクロレンズを用いた固体撮像装置の画素部の断面を模式的に示している。半導体基板１０１上に受光部であるフォトダイオード１０２が形成され、このフォトダイオード１０２に隣接して信号電荷を転送する手段（例えばＣＣＤ）が形成されている。フォトダイオード１０２上にはパッシベーション層１０３が形成され、その上に平坦化層１０４が形成されている。そして、この平坦化層１０４の上にマイクロレンズ１０５が形成されている。
【０００５】この装置では、Ａのように光が半導体基板１０１に対して垂直に入射する場合は、マイクロレンズ１０５に入射した光が全て、フォトダイオード１０２に集められる。ところが、Ｂのように光が斜めから入射する場合は、マイクロレンズ１０５に入射した光の一部はフォトダイオード１０２の外を通過し集光されなくなる。撮像装置への入射光は対物レンズの絞り形（Ｆ値）によって、その入射角度成分が変化する。例えば、絞り解放側では垂直光から斜め光まで様々な角度を持つ光が入射する。従って、Ｆ値により感度が変化、即ち絞りの解放側では感度が低下する問題がある。
【０００６】また、固体撮像装置の画素領域で中央部の画素の感度と端部の画素の感度が異なる問題が発生する。即ち、端部の画素では中央部の画素と比較して斜め光の成分が多く、そのために端部の画素の感度は中央の画素の感度より小さくなる。さらに、この端部の画素の感度の低下はＦ値により変化することとなる。そしてこれらの問題は、固体撮像装置の感度を不均一化させる要因となる。
【０００７】（２）近年、赤外線用固体撮像装置の縮小化，多画素化には、目覚ましいものがある。２次元固体撮像装置は通常、光電変換して信号電荷を蓄積するフォトダイオード・アレイとこのフォトダイオード・アレイの信号電荷を電荷検出器へ転送する転送素子により構成される。この赤外線用固体撮像装置の縮小化，微細化のため、赤外線用固体撮像装置の単位セルは益々微細化する必要があり、そのため光電変換を行うフォトダイオードも微細化する必要がある。このフォトダイオードの微細化により、単位セル当たりの信号電荷の量が減少するという問題がある。
【０００８】例えば赤外線用固体撮像装置としてIEEE Transactions on Electron Devices,Vol.ED-32, No.8, AUGUST 1985, pp.1564-1573に報告されているように、Ｓｉ基板上にショトキーバリアを形成し、このショトキーバリアをフォトダイオードとして用いる赤外線用固体撮像装置が知られている。この従来型の赤外線固体撮像装置の構造を、図１２に示す。
【０００９】図１２は、単位セルの断面の構造を示したものである。この赤外線用固体撮像装置は、信号電荷を読み出す転送素子として電荷結合素子（ＣＣＤ）を用いている。ｐ型Ｓｉ基板１１１に素子分離領域として厚い絶縁膜１１５を形成し、素子形成領域にｎ型拡散層よりなるＣＣＤチャンネル１１２を形成し、その上に絶縁膜１１６を介して転送電極１１７を形成する。この後、転送電極１１７の上に絶縁膜１１８を形成する。次いで、ｎ型拡散層よりなるガードリング１１４，ｎ型拡散層１１３を形成し、さらにフォトダイオード１１９に対応する領域の絶縁膜を除去し、例えば白金（Ｐｔ）被着する。その後、アニールしてＰｔとＳｉ基板を反応させてＰｔシリサイドを形成し、未反応のＰｔを除去する。このＰｔシリサイドとＳｉ基板はショットキー接合を形成しており、このようにしてショットキー接合よりなるフォトダイオード１１９が形成される。この上部に絶縁膜１２０を形成し、フォトダイオード１１９の上部にＡｌ

SAMSUNG EX. 1002 - 628/2862

膜からなる反射膜１２１を形成することによって、図１２に示す構成が得られる。

【００１０】ところで、ショットキー型のフォトダイオード１１９での赤外線の吸収は小さい。従って、Ｓｉ基板１１１の裏面から入射した赤外線１２２は、フォトダイオード１１９に達し、入射した赤外線の一部はＰｔシリサイドで吸収されるが、残りの多くの赤外線はフォトダイオード１１９を通過し、反射膜１２１に達し反射される。反射した赤外線の一部はフォトダイオード１１９を通過する時にＰｔシリサイドで再び吸収される。

【００１１】この赤外線固体撮像装置の特徴は、赤外線をＳｉ基板１１１の裏面より入射しフォトダイオード上部の反射膜１２１により反射させ、赤外線をフォトダイオード１１９で２回吸収させることにある。これにより、フォトダイオード１１９での光電変換効率を向上させることができる。しかし、このような構成であっても光電変換効率は十分に高いとはいえず、光電変換効率のさらなる向上が必要であった。

【００１２】（３）半導体装置は、半導体基板上にトランジスタやキャパシタ等の構成要素を適当に配置し形成し、これらトランジスタやキャパシタを導電体配線により電気的に結合され機能を果たすものである。半導体装置は通常、外部から電圧を印加し駆動する。また、半導体装置は電流や電圧の電気信号の入力又は電流や電圧の電気信号の出力を伴っている。従って半導体装置は、外部から駆動電圧を受けたり、電気信号を入力したり、出力したりするためのボンディングパッド部を有している。

【００１３】図１３（ａ）に、従来の半導体装置のボンディングパッド部の断面図を示す。Ｓｉ基板１３１上に１μｍ程の酸化膜１３２が形成され、その上部に８００ｎｍ程のＡｌ膜が被着される。このＡｌ膜は光リソグラフィー技術と反応性イオンエッチング（ＲＩＥ）により、不必要の部分は除去され所望の形に加工されて、ボンディングパッド１３３が形成される。この後、ボンディングパッド１３３の上部にパッシベーション層１３４として４００ｎｍ程ＳｉＮが被着され、ボンディングパッド１３３の上部のＳｉＮは除去されパッシベーション層１３４が形成される。この後、ボンディングパッド１３３はボンディングワイヤ１３５に結合させられる。そして、外部から電圧や電流がボンディングワイヤ１３５，ボンディングパッド１３３を通して、トランジスタやキャパシタ等の半導体装置の構成要素に加えられる。

【００１４】図１３（ｂ）は、従来の半導体装置のボンディングパッド部の平面図である。ボンディングワイヤ１３５が、ボンディングパッド１３３のＡｌ膜に結合されている。ボンディングパッド１３３の材料はボンディングの接着性が良好な導電体である必要があり、通常Ａｌ膜或いはＡｌにＳｉやＣｕ等のＡｌ以外の元素を小量混入したＡｌ膜が用いられる。

【００１５】先に述べたように従来の半導体装置においては、ボンディングパッド１３３の材料として、通常Ａｌ膜或いはＡｌにＳｉやＣｕ等のＡｌ以外の元素を小量混入したＡｌ膜が用いられる。ところが、これらＡｌ膜或いはＡｌにＳｉやＣｕ等のＡｌ以外の元素を小量混入したＡｌ膜をボンディングパッド１３３の材料として用いた場合、次のような問題が生じる。即ち、Ａｌ膜は水洗等のウェット処理によってその一部がエッチングされる。また、Ａｌ膜のＲＩＥのエッチングに用いたエッチングガスの成分などが表面に残り、空気中の水分を伴ってＡｌ膜を腐食するコロージョンと呼ばれる現象が起こる。

【００１６】このようにしてボンディングパッドのＡｌの一部分が薄くなったりあるいは消失したりすると、ボンディングパッドにボンディングワイヤを結合できなくなったり、結合できたとしてもボンディング強度が著しく弱くなる。実際 IEEE TRANSACTION ON COMPONENTS,HYBRIDS, AND MANUFACTURING TECHNOLOGY, VOL.CHMT-10, No.2, JUNE, 1987, PP.252-257にあるようにＡｌの消失のためボンディング不良が生じることが知られている。

【００１７】このようなＡｌの消失の問題は、Ａｌを配線材料とする場合にも問題となることがあるが、配線に用いる場合はＡｌ膜をパッシベーション層で保護することで、水洗などのウェット処理や空気雰囲気にＡｌ膜を晒すことを防ぐことができる。しかしながら、ボンディングパッドの場合はボンディングを行う部分はパッシベーション層を除去しており、水洗などのウェット処理や空気雰囲気に晒されることは避けられないので、Ａｌ膜の消失が非常に問題になる。

【００１８】

【発明が解決しようとする課題】

（１）先に述べたように、従来のマイクロレンズを使用した固体撮像装置においては、斜め光に対する感度が低下し、また対物レンズの絞り値に対して感度が変化するという問題があった。

【００１９】本発明は、上記の事情を考慮してなされたもので、その目的とするところは、斜め光に対しても感度が低下せず、カメラの対物レンズの絞り値に対して感度が変化せず、受光面内での感度の均一化をはかり得る固体撮像装置を提供することにある。

【００２０】（２）先に述べたように従来の赤外線固体撮像装置では、フォトダイオードの光電変換効率が小さく、感度が低いという問題があった。本発明は、上記事情を考慮してなされたもので、その目的とするところは、フォトダイオードの光電変換効率を向上し、より感度の高い赤外線固体撮像装置を提供することにある。

【００２１】（３）先に述べたように従来のボンディングパッドにおいては、水洗などのウェット処理や空気雰囲気にさらすことにより、Ａｌ膜の消失が生じ、これが良好なボンディングを妨げる要因となっていた。

SAMSUNG EX. 1002 - 629/2862

【００２２】本発明は、上記の事情を考慮してなされたもので、その目的とするところは、Ａｌ膜の消失が無く、ボンディングの良好なボンディングパッドを有する半導体装置を提供することにある。
【００２３】
【課題を解決するための手段】
（１）本発明の骨子は、半導体基板上に形成されたフォトダイオードの上部に複数のレンズを重なるような位置に形成し、入射光をこの複数のレンズに通してフォトダイオードに集光することにある。
【００２４】即ち本発明は、半導体基板上に複数のフォトダイオードが配列されると共に、これらのフォトダイオード上にそれぞれ光を集光するためのマイクロレンズが配列された固体撮像装置において、マイクロレンズをフォトダイオード上に複数段重なるように配置したことを特徴とする。
【００２５】また、本発明の望ましい実施態様として、複数のマイクロレンズのうち下部にあるマイクロレンズが上部のマイクロレンズよりも小さいこと、さらに複数のマイクロレンズのうち最下部のマイクロレンズの上部にカラーフィルタを配置したことがあげられる。
【００２６】（２）本発明の骨子は、Ｓｉ基板上に凹凸を形成し、その部分にフォトダイオードを形成し、その上部に絶縁膜を介して反射膜を形成することにある。この構造のフォトダイオードでは、フォトダイオード上部の反射膜での赤外線の反射が促進されることによりフォトダイオードの光電変換効率が向上する。
【００２７】また、本発明の望ましい実施態様として、フォトダイオード上に反射膜を形成し、基板の裏面より光を入射させること、さらにフォトダイオードがショットキー接合，ヘテロ接合或いは不純物拡散による接合により構成されることがあげられる。
【００２８】（３）本発明の骨子は、ボンディングパッドのＡｌ膜を薄膜で覆い、Ａｌ膜を空気雰囲気や水洗などのウェット処理にさらすことを防ぐことで、ボンディングパッドのＡｌ膜の消失を防ぐものである。
【００２９】即ち本発明は、半導体基板上に適当に配置され形成されたトランジスタやキャパシタ等の構成要素と、この構成要素を電気的に結合する導電体配線と、構成要素に電気信号，電圧，電流を印加したり、或いは構成要素から電気信号，電圧，電流を読出すのに用いるボンディングパッド部から構成される半導体装置において、ボンディングパッドを、Ａｌ膜或いはＡｌにＣｕやＳｉなどのＡｌ以外の元素を少量混入したＡｌ膜と、その上部に形成した保護層とから構成していることを特徴とする。
【００３０】
【作用】
（１）本発明によれば、半導体基板上に形成されたフォトダイオードの上部に複数のマイクロレンズを重なるような位置に形成し、入射光をこの複数のマイクロレンズに通してフォトダイオードに集光する。このようにすると、単一のマイクロレンズではフォトダイオードに集光できない斜め光に対しても、フォトダイオードに集光することができる。従って、斜め光に対しても感度が低下せず、カメラの対物レンズの絞り値に対して感度が変化せず、かつ撮像装置の受光面内でない感度が均一にできる。
【００３１】（２）本発明によれば、Ｓｉ基板上に凹凸を形成し、その部分にフォトダイオードを形成し、その上部に絶縁膜を介し反射膜を形成することにある。この構造のフォトダイオードでは、フォトダイオード上部の反射膜での赤外線の反射が促進される。従って、入射した赤外線は多数回、フォトダイオードを通過する。また、フォトダイオードに対して斜めに赤外線が入射するため、赤外線がフォトダイオードを通過する距離が長くなる。フォトダイオードの光電変換効率が向上する。従って、赤外線用固体撮像装置の感度を高くすることができる。
【００３２】（３）本発明によれば、ボンディングパッドのＡｌ膜は薄膜で覆われており、Ａｌ膜を空気雰囲気や水洗などのウェット処理に晒すのを防ぐことで、ボンディングパッドのＡｌ膜の消失を防ぐことができる。従って本発明においては、ボンディング不良の無い、ボンディングワイヤとの結合が良好なボンディングパッドを有する半導体装置を実現できる。
【００３３】
【実施例】以下、本発明の実施例を図面を参照して説明する。
（第１の発明の実施例）
【００３４】図１は、本発明の第１の実施例に係わる固体撮像装置の要部構成を模式的に示す断面図である。半導体基板１１上に、受光部であるフォトダイオード１２が形成されている。図示していないが、フォトダイオード１２に隣接して、フォトダイオード１２で光電変換された信号電荷を転送する手段（例えばＣＣＤ）が形成されている。フォトダイオード１２上には、パッシベーション層１３が形成されている。その上部に第１のマイクロレンズ１５が形成され、この第１のマイクロレンズ１５の上に平坦化層１６が形成されている。この平坦化層１６の上部には、第２のマイクロレンズ１９が形成されている。マイクロレンズ１５とマイクロレンズ１９の材料は、パッシベーション層１３，平坦層１６よりも屈折率が高く、透明な材料であればよい。図１より本実施例では、Ａのように半導体基板１１に垂直に光が入射する場合も、Ｂのように斜めに入射する光に対してもフォトダイオード１２に集光することができることが判る。
【００３５】この効果を、図２を用いて説明する。図２では簡単にするため、マイクロレンズ１５とマイクロレンズ１９以外の構成要素を省略している。この図より判

SAMSUNG EX. 1002 - 630/2862

るように、マイクロレンズ１５がマイクロレンズ１９に付加されると、マイクロレンズ１９よりも焦点距離の短いマイクロレンズ２０が仮想的にできたと考えることができる。つまり、２枚のマイクロレンズ１５，１９を重ねることで、マイクロレンズとフォトダイオードの距離を実効的に短くできるため、テレビジョン学会技術報告（テレビ学技報）vol.16,No.18,pp.11にもあるように、斜め光に対する集光効果を改善できるのである。

【００３６】逆にいうと、１枚のマイクロレンズを用いても、フォトダイオードとマイクロレンズの距離を短くできれば、斜め光の集光効果を改善できる。しかしながら、焦点距離の短いマイクロレンズを作ることが難しいことや平坦化層の膜厚を薄くすることが難しいため、１枚の焦点距離の短いマイクロレンズを用いても、フォトダイオードとマイクロレンズの距離を短くすることは難しい。また、マイクロレンズとフォトダイオードの間にカラーフィルタ層を挿入して、カラー用固体撮像装置を構成する場合は特に、マイクロレンズとフォトダイオードの距離を短くすることが難しいのである。

【００３７】これに対し本実施例では、第１のマイクロレンズ１５を挿入することで、開口率を決めているマイクロレンズ１９とフォトダイオード１２との距離を実効的に短くすることができる。ここで注目すべき点は、マイクロレンズ１５は開口率を決めるわけではないので、マイクロレンズ１９より小さくできることである。マイクロレンズ１５，１９は共に平坦化された部分に形成されることが望まれるが、マイクロレンズ１５はマイクロレンズ１９よりも小さいために、その下の平坦化された部分は小さくなる。従って、マイクロレンズ１５の下の平坦化は容易であり、マイクロレンズ１５の下の平坦化層は薄くできる。また、フォトダイオード１２上の領域が平坦であれば平坦化層無しでもよい。そのため、マイクロレンズ１５はフォトダイオードに近くに形成することができる。マイクロレンズ１５がフォトダイオード１２の近くに形成できるほど、本実施例の効果は大きいのである。

【００３８】図３は、本発明の第２の実施例に係わる固体撮像装置の要部構成を模式的に示す断面図である。なお、図１と同一部分には同一符号を付して、その詳しい説明は省略する。この実施例は基本的には第１の実施例と同様であり、第１の実施例と異なる点は、平坦化層の上部にカラーフィルタが形成されていることである。即ち、平坦化層１６の上部にカラーフィルタ１７が形成され、その上部に平坦化層１８が形成される。そして、平坦化層１８の上にマイクロレンズ１９が形成される。

【００３９】この実施例でも２枚のマイクロレンズ１５，１９を用いて集光するので、第１の実施例と同様な効果が得られる。この実施例の特徴はカラーフィルタ１７を導入することで、カラー用の固体撮像装置を構成していることである。このような構成のカラー用固体撮像装置は、カラーフィルタ１７を導入したことでマイクロレンズとフォトダイオードの距離がより長くなるので、カラーフィルタを用いた固体撮像装置における本発明の効果は大きい。

【００４０】図４は、本発明の第３の実施例に係わる固体撮像装置の要部構成を模式的に示す断面図である。なお、図１と同一部分には同一符号を付して、その詳しい説明は省略する。この実施例は、基本的には第１の実施例と同様であり、第１の実施例と異なる点は、パッシベーション層の上部にカラーフィルタが形成されていることである。即ち、パッシベーション１３の上部に、カラーフィルタ１７が形成され、その上部に平坦化層１４が形成される。そして、平坦化層１４の上に第１のマイクロレンズ１５が形成される。この第１のマイクロレンズ１５の上に、平坦化層１６を介して第２のマイクロレンズ１９が形成されている。

【００４１】この実施例でも２枚のマイクロレンズ１５，１９を用いて集光するので、第１の実施例と同様な効果が得られる。また、この実施例でも第２の実施例と同じように、カラーフィルタ１７を導入することでカラー用の固体撮像装置を構成しているが、この実施例の場合はカラーフィルタ１７を第１のマイクロレンズ１５とフォトダイオード１２の間に形成している。本発明の効果を出すためにはマイクロレンズ１５とフォトダイオード１２の距離を十分に短くする必要がある。従って本発明の効果を出すために、第３の実施例ではカラーフィルタ１７の厚さを十分に薄くして、マイクロレンズ１５とフォトダイオード１９の距離を十分短くする必要がある。

【００４２】なお、上記した実施例では２枚のマイクロレンズを用いる場合について述べたが、３枚以上の複数のマイクロレンズを用いてフォトダイオードに集光する場合についても同様の効果を得られる。

（第２の発明の実施例）

【００４３】図５は、本発明の第４の実施例に係わる赤外線固体撮像装置の単位セル構造を示す断面図である。本実施例の基本的な構造は図１２の装置と同様であり、本実施例の従来例と異なる点は、Ｓｉ基板に凹凸を形成し、その凹凸部分にフォトダイオードを形成したことである。

【００４４】まず、図１２に示す従来の赤外線用固体撮像装置と同様に、ｐ型Ｓｉ基板５１に素子分離用の厚い絶縁膜５５，ＣＣＤチャンネル５２，絶縁膜５６，転送電極５７，絶縁膜５８，ガードリング５４，ｎ型拡散層５３を形成する。その後、フォトダイオード５９に対応する部分の上部の絶縁膜を除去する。そして、Ｓｉ基板５１のフォトダイオード５９に対応する部分の一部をエッチングして、Ｓｉ基板５１の表面に凹凸を形成する。この上に例えば白金（Ｐｔ）被着し、アニールしてＰｔとＳｉ基板５１を反応させてＰｔシリサイドを形成す

SAMSUNG EX. 1002 - 631/2862

る。そして、未反応のＰｔを除去する。このようにして、凹凸のあるフォトダイオード５９が形成される。この上部に絶縁膜６０を形成し、フォトダイオード５９の上部にＡｌ膜からなる反射膜６１が形成される。

【００４５】図６は、図５のフォトダイオードを含む部分を拡大した図である。図５と対応する部分は同じ符号を付した。図６から判るように、赤外線６２は反射膜６１で多数回反射され、フォトダイオード５９を多数回通過することができる。また、フォトダイオード５９に対して垂直でなく、斜めに赤外線が入射するので、赤外線がフォトダイオード５９を横切る距離は長くなる。従って、赤外線がＰｔシリサイドで吸収される確率が増すのでフォトダイオード５９での光電変換効率が大きくなる。そのため、固体撮像装置として感度が高くなる。本実施例ではフォトダイオードとしてショットキー接合を用いたが、ＳｉＧｅ等をＳｉ基板上に形成したヘテロ接合でもよい。また、フォトダイオードとしてＳｉ基板表面に作られた拡散層によるｐｎｐやｎｐｎ等の構造を用いてもよい。

【００４６】図７は、本発明の第５の実施例を示す断面図で、図６と同様、フォトダイオードを含む部分の拡大図である。図６と対応する部分は同一の符号を付した。この実施例が第４の実施例と異なる点は、凹凸のあるフォトダイオード５９の凹凸が球形に形成されていることである。この場合も第４の実施例と同様に、フォトダイオード５９での光電変換効率が大きくなるため、感度が大きくなる。

【００４７】図８は、本発明の第６の実施例を示す断面図で、図６と同様、フォトダイオードを含む部分の拡大図である。図６と対応する部分は同一の符号を付した。この実施例が第４の実施例と異なる点は、凹凸のあるフォトダイオード５９の凹凸に絶縁膜６０を埋め込んで平坦化されている点である。反射膜６１は平坦化された絶縁膜６０の表面に形成されている。従って、この実施例では赤外線６２は反射膜６１で多数回反射されることはない。しかし、フォトダイオード５９は赤外線の入射する方向に対して垂直でないので、赤外線がフォトダイオード５９を横切る距離は長くなる。従って、赤外線がＰｔシリサイドで吸収される確率が増すのでフォトダイオード５９での光電変換効率が大きくなる。そのため、固体撮像装置として感度が高くなる。

【００４８】図９は、本発明の第７の実施例を示す断面図で、図６と同様、フォトダイオードを含む部分の拡大図である。図６と対応する部分は同一の符号を付した。この実施例が第４の実施例と異なる点は、反射膜６１が無いことである。この実施例でも第６の実施例と同様に、赤外線６２は反射膜６１で多数回反射されることは無い。しかし、フォトダイオード５９は赤外線の入射する方向に対して垂直でないので、赤外線がフォトダイオード５９を横切る距離は長くなる。従って、赤外線がＰｔシリサイドで吸収される確率が増すのでフォトダイオード５９での光電変換効率が大きくなる。そのため、固体撮像装置として感度が高くなる。また、この実施例では他の実施例と異なり反射膜が無いので、図９に示したようにＳｉ基板５１の上部から赤外線６２を入射できる。この構造はＳｉ基板５１で吸収され易い波長の赤外線に対して有利である。

（第３の発明の実施例）

【００４９】図１０（ａ）は、本発明の第８の実施例に係わる半導体装置のボンディングパッド部の断面図である。この実施例のボンディングパッドは、図１３（ａ）と基本的には同じ構造であるが、図１３（ａ）と異なる点はボンディングパッドのＡｌ膜上に保護層が形成されていることである。

【００５０】即ち、Ｓｉ基板８１上に１μｍ程の酸化膜８２が形成され、その上部に８００ｎｍ程のＡｌ膜が被着される。このＡｌ膜は光リソグラフィー技術と反応性イオンエッチング（ＲＩＥ）により、不必要の部分が除去され所望の形に加工され、これによりボンディングパッド８３が形成される。この後、ボンディングパッド８３の上部にパッシベーション層８４として４００ｎｍ程度のＳｉＮが被着され、ボンディングパッド８３の上部のＳｉＮは除去されパッシベーション層８４が形成される。

【００５１】ここまでは従来例と同様であるが、この後に保護層８６としてスパッタ法などによりＴｉ膜５０ｎｍ程度を被着する。さらに、光リソグラフィー技術を用いてボンディングパッド８３の上部に所望のパターンにレジストを形成して、ＲＩＥによりＴｉ膜をエッチングする。その後、レジストを除去して、図１０（ａ）に示すように保護層８６が形成される。

【００５２】Ｔｉ膜はＡｌ膜と異なり、水洗などのウェット処理や空気雰囲気に対して安定であり、消失することは無い。また、ボンディングパッド８３のＡｌ膜は保護層８６により、ウェット処理や空気雰囲気に晒されることが無いため、ボンディングパッド８３のＡｌ膜が消失することは無い。保護層８６の膜厚が厚い場合はボンディングパッド８３とボンディングワイヤとのボンディングが阻害されることがある。しかし、保護層８６の膜厚が例えば数１０ｎｍ以下と十分に小さいならば、ボンディングパッド８３とボンディングワイヤとのボンディングは阻害されず、良好に結合される。

【００５３】従って、本実施例の半導体装置のボンディングパッド８３はＡｌ膜が保護層８６により保護されているのでボンディングの不良は無く、ボンディングワイヤと良好な結合が得られる。

【００５４】保護層８６としてはＡｌと比較して水洗などのウェット処理や空気雰囲気に対して安定な材料からなる薄膜であればよい。例えば保護層８６の材料として、チタン（Ｔｉ），ジルコニウム（Ｚｒ），ハフニウ

SAMSUNG EX. 1002 - 632/2862

ム（Ｈｆ），バナジウム（Ｖ），ニオブ（Ｎｂ），タンタル（Ｔａ），クロム（Ｃｒ），モリブデン（Ｍｏ），タングステン（Ｗ），鉄（Ｆｅ），コバルト（Ｃｏ），ニッケル（Ｎｉ），プラチナ（Ｐｔ），パラジウム（Ｐｄ）などやこれら金属同士の合金や或いは、これら金属とＡｌの合金などである。また、前記した金属のシリサイドや前記した金属の窒化物，酸化物，炭化物などでもよい。また、Ａｌの酸化物や窒化物でもよい。ＳｉＮ，SiO_2 などの絶縁体薄膜でもよい。また、炭素（Ｃ）の薄膜でもよい。

【００５５】図１０（ｂ）は、本発明の第９の実施例に係わる半導体装置のボンディングパッド部の断面図である。この実施例のボンディングパッドは図１０（ａ）と略同じ構造であり、対応する部分は同一の符号を付している。この実施例と第８の実施例の異なる点は、第８の実施例では保護層８６をパッシベーション層８４を形成した後に形成しているが、この実施例ではボンディングパッド８３のＡｌ膜上に直接、保護層８６を形成していることである。

【００５６】即ち本実施例では、ボンディングパッド８３としてＡｌ膜を被着した後、連続して保護層８６となるＴｉ膜を被着する。その後、光リソグラフィー技術を用いてボンディングパッド８３になる部分の上にレジストを形成して、ＲＩＥによりＴｉ膜とＡｌ膜をエッチングして、その後、レジストを除去する。このようにしてボンディングパッド８３と保護層８６が形成される。その後、図１３（ａ）の場合と同様にしてパッシベーション層８４を形成する。保護層８６の材料としては第８の実施例で記した材料を用いればよい。この第９の実施例においても、ボンディングパッド８３のＡｌ膜を保護層８６によって覆っているので、第８の実施例と同様の効果が得られる。

【００５７】なお上述した第８，９の実施例ではボンディングパッド８３の材料としてＡｌ膜を用いたが、ＡｌにＣｕやＳｉなどＡｌ以外の元素を小量混入したＡｌ膜を用いても、実施例の場合と同等の効果が得られる。

【００５８】

【発明の効果】

（１）以上述べたように本発明によれば、半導体基板上に形成されたフォトダイオードの上部に複数のマイクロレンズを重なるような位置に形成し、入射光をこの複数のマイクロレンズに通してフォトダイオードに集光している。これにより、単一のマイクロレンズではフォトダイオードに集光できない斜め光に対しても、フォトダイオードに集光することができる。従って、斜め光に対しても感度が低下せず、かつカメラの対物レンズの絞り値に対して感度が変化せず、受光面内での感度を均一にすることができる。

【００５９】（２）以上述べたように本発明によれば、Ｓｉ基板上に凹凸を形成し、その部分にフォトダイオードを形成し、その上部に絶縁膜を介し反射膜を形成することで、感度の高い赤外線用固体撮像装置を得ることができる。即ち、この構造のフォトダイオードでは、フォトダイオード上部の反射膜での赤外線の反射が促進される。従って、入射した赤外線は多数回フォトダイオードを通過する。また、赤外線はフォトダイオードに対して斜めに入射するため、赤外線がフォトダイオードを通過する距離が増す。このため、フォトダイオードの光電変換効率が向上することにより、感度の高い赤外線用固体撮像装置を得ることができる。

【００６０】（３）以上詳述したように本発明によれば、ボンディングパッドのＡｌ膜を薄膜で覆い、Ａｌ膜を空気雰囲気やウェット処理に晒すのを防ぐことで、ボンディングパッドのＡｌ膜の消失を防ぐことができる。従って、ボンディング不良の無い、ボンディングワイヤとの結合が良好なボンディングパッドを有する半導体装置を実現できる。

【図面の簡単な説明】

【図１】第１の実施例に係わる固体撮像装置の要部構成を模式的に示す断面図。

【図２】図１の要部構成を拡大して示す模式図。

【図３】第２の実施例に係わる固体撮像装置の要部構成を模式的に示す断面図。

【図４】第３の実施例に係わる固体撮像装置の要部構成を模式的に示す断面図。

【図５】第４の実施例に係わる赤外線固体撮像装置の単位セル構造を示す断面図。

【図６】図５のフォトダイオードを含む部分を拡大して示す断面図。

【図７】第５の実施例の要部構成を示す断面図。

【図８】第６の実施例の要部構成を示す断面図。

【図９】第７の実施例の要部構成を示す断面図。

【図１０】第８，９の実施例に係わる半導体装置のボンディングパッド部の断面図。

【図１１】従来のマイクロレンズを用いた固体撮像装置の画素部構成を示す断面図。

【図１２】従来の赤外線固体撮像装置の単位セル構造を示す断面図。

【図１３】従来の半導体装置のボンディングパッド部構造を示す断面図と平面図。

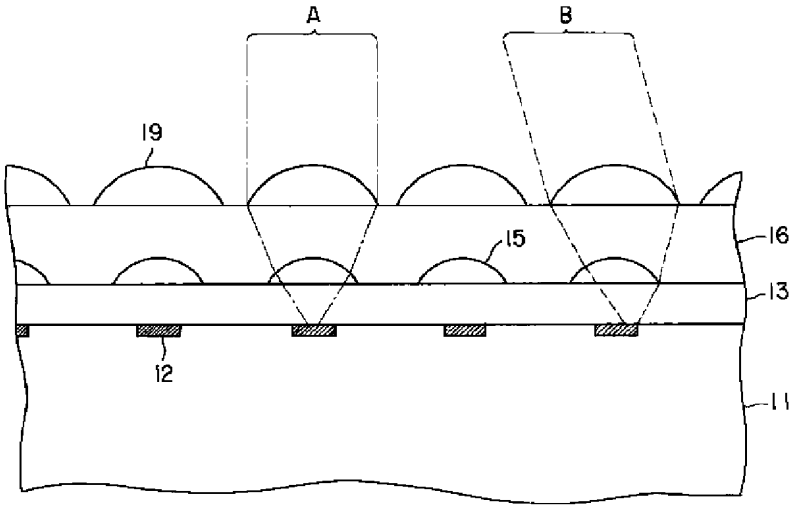
【符号の説明】

１１…半導体基板、　１２…フォトダイオード、１３…パッシベーション層、　１４…平坦化層、１５…第１のマイクロレンズ、　１６…平坦化層、１７…カラーフィルタ、
１８…平坦化層、１９…第２のマイクロレンズ、
２０…仮想的なマイクロレンズ。５１…ｐ型Ｓｉ基板、　５２…ＣＣＤチャネル、５３…ｎ型拡散層、　５４…ガードリング、５５…素子分離用絶縁膜、　５６…絶縁膜、５

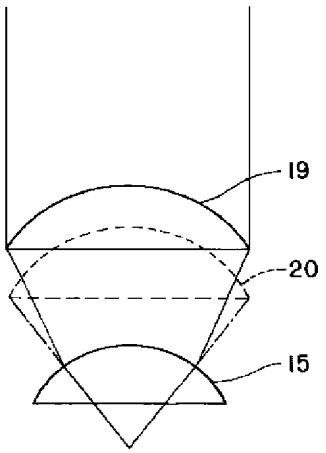
SAMSUNG EX. 1002 - 633/2862

７…転送電極、　５８…絶縁膜、５　１…Ｓｉ基板、　８２…酸化膜、８
９…フォトダイオード、　６０…絶縁膜、６　３…ボンディングパッド、　８４…パッシベー
１…反射膜、　６２…赤外線、８　ション層、８６…保護層。

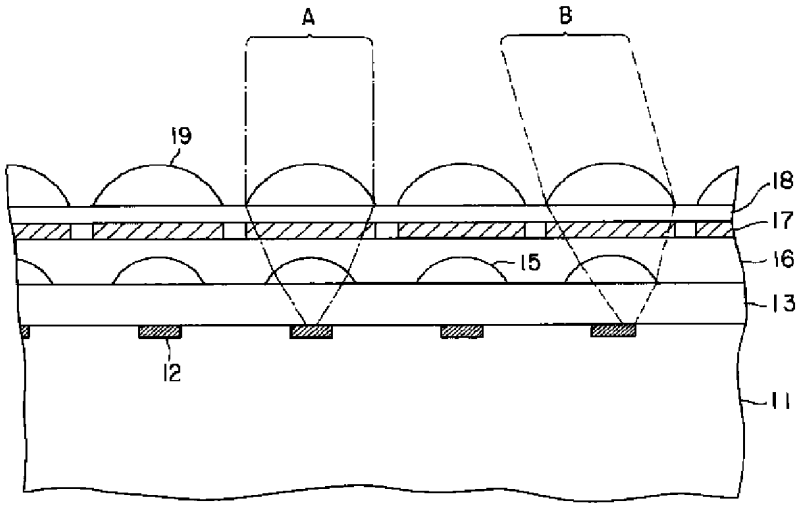
【図１】



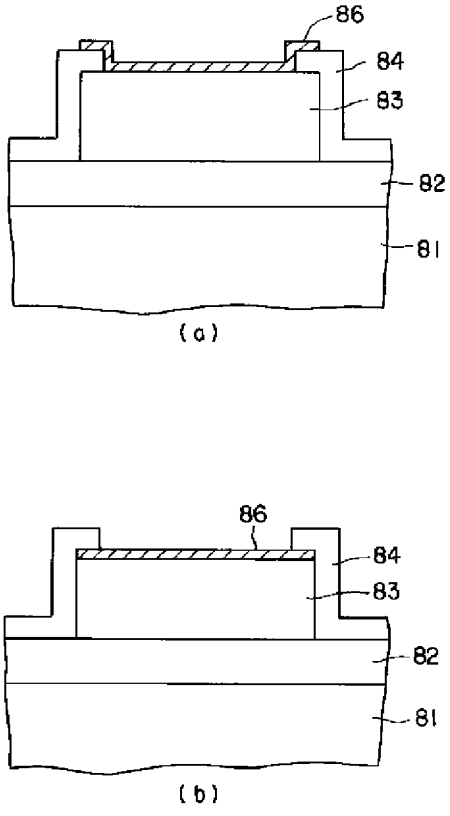
【図２】



【図３】

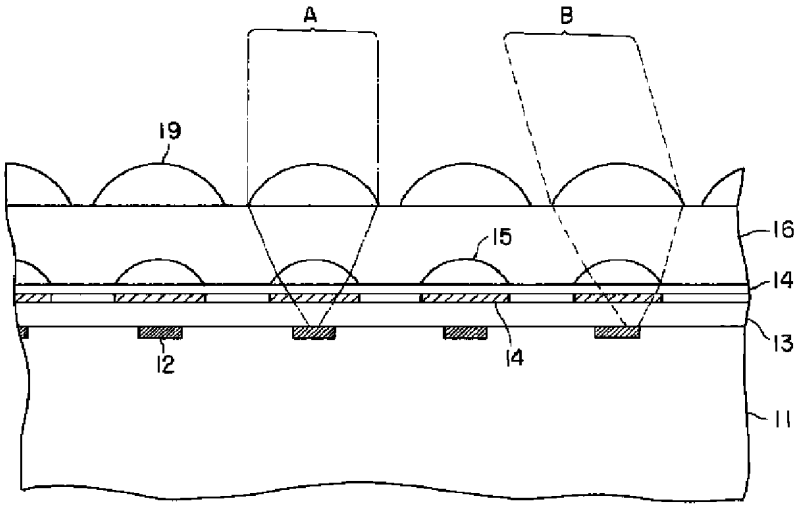


【図１０】

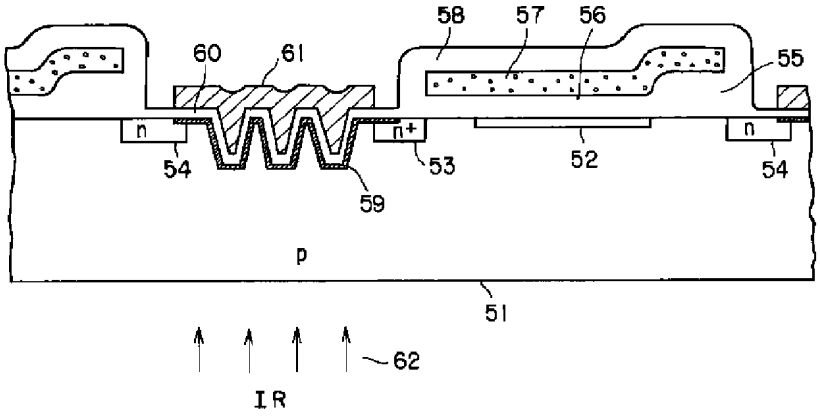


SAMSUNG EX. 1002 - 634/2862

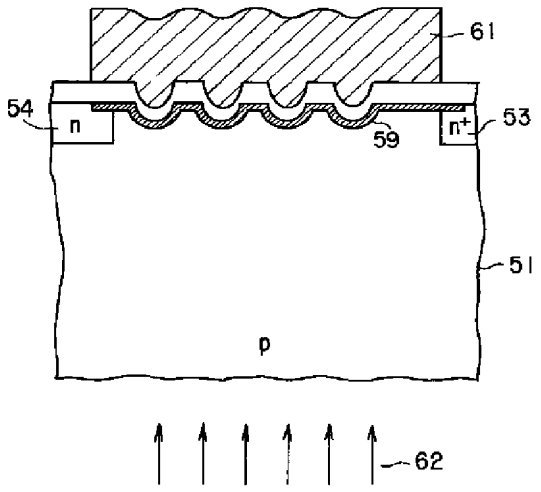
【図４】



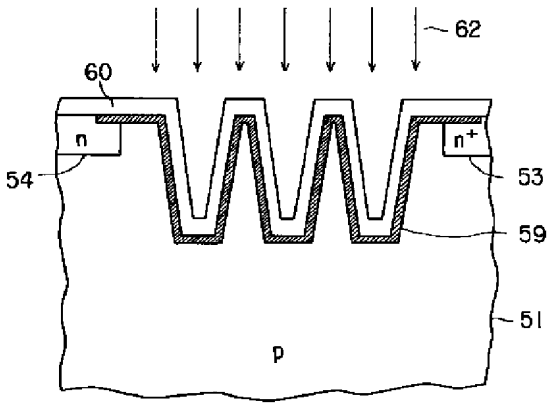
【図５】



【図７】

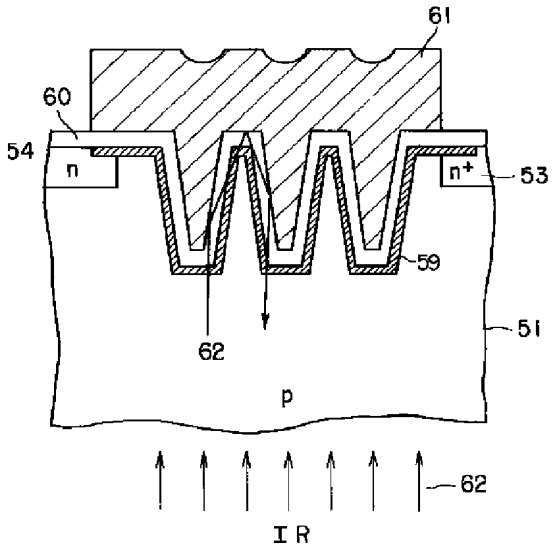


【図９】

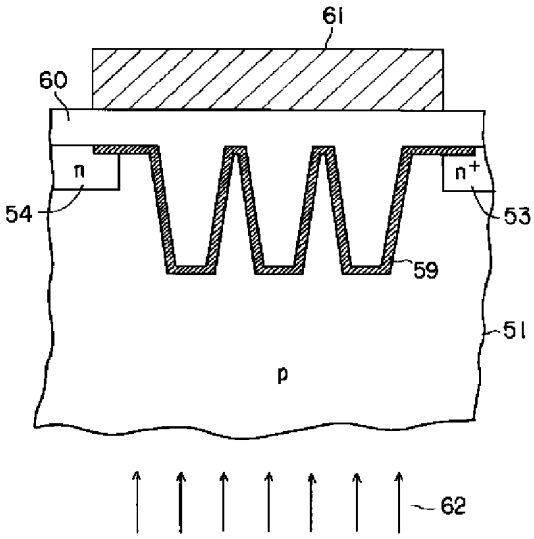


SAMSUNG EX. 1002 - 635/2862

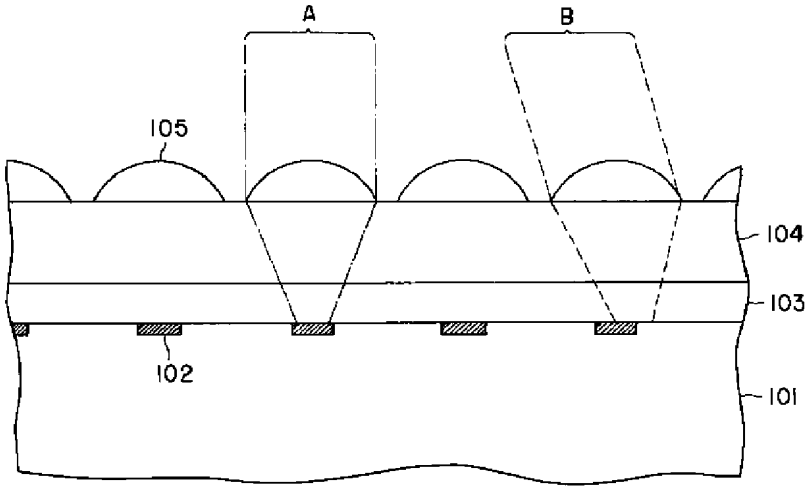
【図６】



【図８】

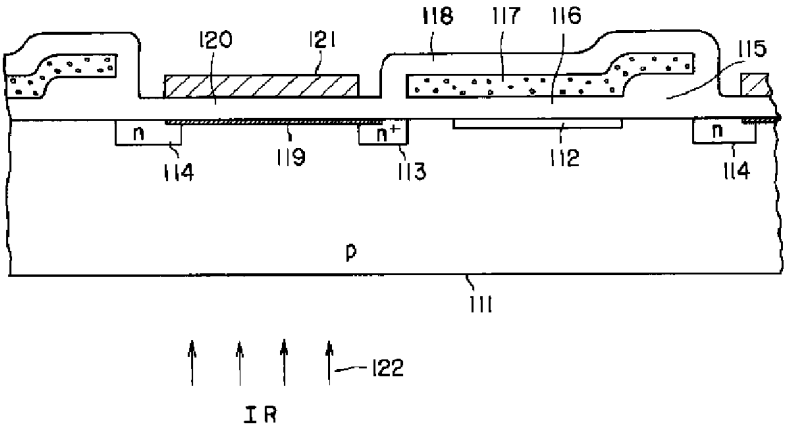


【図１１】

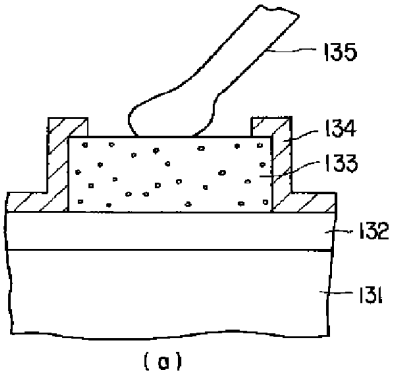


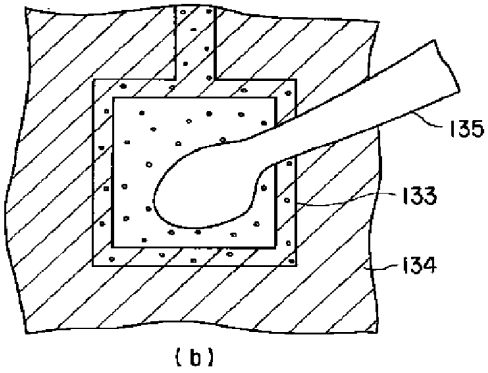
SAMSUNG EX. 1002 - 636/2862

【図１２】



【図１３】





SAMSUNG EX. 1002 - 637/2862

Espacenet

Bibliographic data: JPH06267868 (A) — 1994-09-22

FORMATION OF SILICON OXIDE SEMICONDUCTOR FILM

Inventor(s): POOPON SHITSUCHIYANURITSUTSU ± (POOPON SHITSUCHIYANURITSUTSU)

Applicant(s): FUJI ELECTRIC CO LTD ± (FUJI ELECTRIC CO LTD)

Classification: - international: ***H01L21/205; H01L31/0376; H01L31/04; H01L31/075; H01L31/20;*** (IPC1-7): H01L21/205; H01L31/04
- cooperative: **H01L31/0376**; **H01L31/075**; **H01L31/20**; Y02E10/548

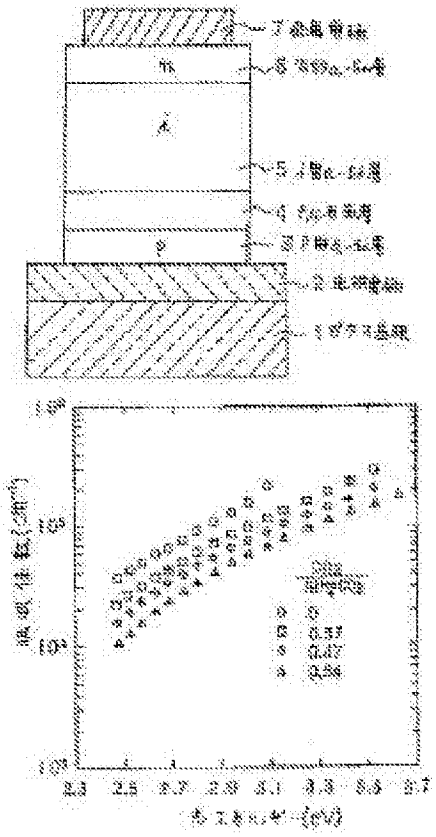
Application number: JP19930054433 19930316

Priority number (s): JP19930054433 19930316

Also published as: JP3047666 (B2) DE4408791 (A1) DE4408791 (B4)

Abstract of JPH06267868 (A)

PURPOSE:To industrially form a silicon oxide semiconductor film having a low light absorption coefficient and high photoconductivity by resolving a gaseous raw material which contains at least SiH4, CO2, and H2 in a state where CO2/(SiH4+CO2) becomes a specific value. CONSTITUTION:In the method which is used for forming an SiO semiconductor film composed of a-SiO2 containing a microcrystalline layer of Si, the SiO semiconductor film is formed by resolving a gaseous raw material which contains at least SiH4, CO2, and H2 in a state where CO2/(SiH4+CO2) becomes <=0.6. At the time of decomposing the mixed gas, it is effective to generate glow discharge in the gas at a high-frequency power density of >=40mW/cm<2>. The formed SiO semiconductor film has a absorption coefficient <=10<6>cm<-1> against light having a wavelength of >=340nm and photoconductivity of >=10<-6>S/cm.; In addition, it is effective, to use a p-type a-SiO layer 3 or n-type a-Si layer 6 obtained by mixing a doping gas with the gaseous raw material as the window layer of a solar battery.



SAMSUNG EX. 1002 - 639/2862

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報（Ａ）**　(11)特許出願公開番号

特開平6－267868

(43)公開日　平成６年(1994)９月22日

(51)Int.Cl.[5]	識別記号	庁内整理番号	ＦＩ	技術表示箇所
Ｈ０１Ｌ　21/205				
31/04				
		7376－4M	Ｈ０１Ｌ　31/ 04	Ｂ

審査請求　未請求　請求項の数５　ＯＬ　（全　５　頁）

(21)出願番号　特願平5－54433

(22)出願日　平成５年(1993)３月16日

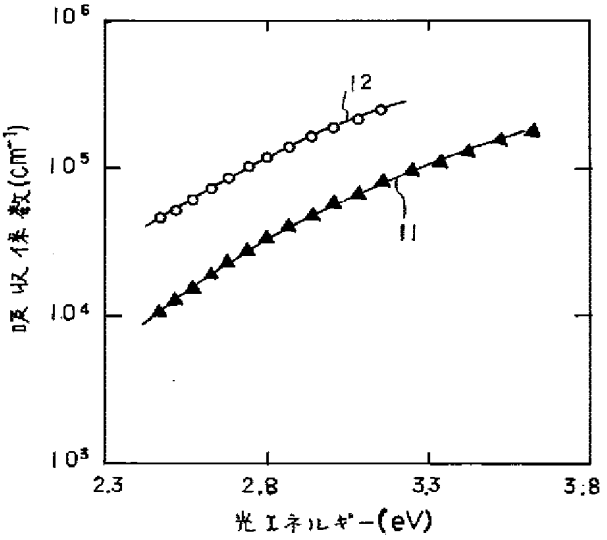
(71)出願人　000005234
富士電機株式会社
神奈川県川崎市川崎区田辺新田１番１号

(72)発明者　ポーポン　シッチャヌリッツ
神奈川県川崎市川崎区田辺新田１番１号
富士電機株式会社内

(74)代理人　弁理士　山口　巖

(54)【発明の名称】　シリコンオキサイド半導体膜の成膜方法

(57)【要約】
【目的】太陽電池の窓層として用いるために他の元素を添加してワイドギャップ化するときに低下するａ－Si系膜の光導電率を向上させるために微結晶化する。
【構成】CO_2 の（SiH_4 ＋CO_2 ）に対する流量比を0.６以下とした（CO_2 ＋SiH_4 ＋H_4 ）混合ガスを高周波パワー密度を高めてグロー放電分解すると、Siの微結晶相とａ－SiＯ相とが混在している半導体膜を得ることができる。この膜は、10^{-6} Ｓ／cm以上の高光導電率で、吸収係数が10^6 cm^{-1}以下の低い値を示す。



SAMSUNG EX. 1002 - 640/2862

【特許請求の範囲】
【請求項１】少なくともSiH$_4$ 、CO$_2$ およびH$_2$ を含み、CO$_2$ ／（SiH$_4$ ＋CO$_2$ ）の値が0.６以下である原料ガスの分解によることを特徴とするシリコンの微結晶相を含む非晶質シリコンオキサイドよりなるシリコンオキサイド半導体膜の成膜方法。
【請求項２】混合ガスの分解のために40mW／cm以上の高周波パワー密度で原料ガス中にグロー放電を発生させる請求項１記載のシリコンオキサイド半導体膜の成膜方法。
【請求項３】得られた膜の340nm 以上の波長の光に対する吸収係数が10^6 cm^{-1}以下である請求項１あるいは２記載のシリコンオキサイド半導体膜の成膜方法。
【請求項４】得られた膜の光導電率が10^{-6} S／cm以上である請求項１、２あるいは３記載のシリコンオキサイド半導体膜の成膜方法。
【請求項５】原料ガスにドーピングガスを混合して得られたｐ形あるいはｎ形の膜を太陽電池の窓層として用いる請求項１、２、３あるいは４記載のシリコンオキサイド半導体膜の成膜方法。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】本発明は、非晶質シリコン（以下ａ－Siと記す）系太陽電池の窓層として適しているシリコンオキサイド半導体膜の成膜方法に関する。
【０００２】
【従来の技術】原料ガスのグロー放電分解や光ＣＶＤ法により形成されるａ－Siを主材料とした太陽電池は薄膜、大面積化が容易という特長をもち、低コスト太陽電池として期待されている。この種の太陽電池の構造としてはｐｉｎ接合を有するｐｉｎ型ａ－Si太陽電池が一般的である。図２はこのような太陽電池の構造を示し、ガラス基板１の上に、透明電極２、ｐ形ａ－Si層３、ｐ／ｉ界面層４、ｉ質ａ－Si層５、ｎ形ａ－Si層６、金属電極７を順次積層することにより作製される。この太陽電池は、ガラス基板１を通して入射する光により発電が起こる。
【０００３】ここで、発電に寄与するフォトキャリアは主にｉ層で発生し、ｐおよびｎ層はデッドレイヤーになっている。従って、図２のようにｐ層３から光が入射する太陽電池では、窓層にあたるｐ層の光吸収係数を低くし、できるだけ多くの光がｉ層５まで到達できるようにすることが出力を増加させる上で重要である。そのためには、ｐ層の光学ギャップEg を増加させて光学吸収ロスを減少させることが有効である。このような目的からｐ形ａ－Si層に、例えば特開昭56－64476 号公報などで公知のように炭素原子を添加したり、特開昭57－181176号公報で公知のように窒素原子を添加したり、特開昭56－142680号公報で公知のように酸素原子を添加したり、または特開昭58－196064号公報あるいは特開昭61－242085号公報で公知のように酸素原子と炭素原子を添加したりすることが試みられている。
【０００４】また、最近では、特開昭64－51618 号公報に示すようにＥＣＲ－ＣＶＤ法により、あるいはTechnical Digest of the International PVSEC-3 (1987)p.49に記載されているようにプラズマＣＶＤ法により、炭素原子を添加した非晶質シリコンカーバイド（以下ａ－SiCと記す）膜に微結晶相を含ませることに成功している。このような膜は、ａ－SiC相にSiの微結晶相を含むことにより、光導電率が高くなり、電気的特性が良好である。
【０００５】
【発明が解決しようとする課題】上記のようにａ－Si系膜にSiの微結晶相を含ませることは、ワイドギャップ化のために他元素原子を添加した場合に低下する光導電率を高めるので、太陽電池窓層としての特性を向上させるのに有望であるが、公知のａ－SiC膜の微結晶化する方法は、微結晶化のための成膜条件の範囲が狭く、付着率を高めるのが困難であるなど工業化には難点がある。
【０００６】本発明は、ａ－Si系膜のうち、酸素を含む非晶質シリコンオキサイド（以下ａ－SiOと記す）膜を微結晶化した、低光吸収係数で高光導電率のシリコンオキサイド（以下SiOと記す）半導体膜の工業化に適した成膜方法を提供することにある。
【０００７】
【課題を解決するための手段】上記の目的を達成するために、本発明のSiの微結晶層を含むａ－SiOよりなるSiO半導体膜の成膜方法は、少なくともSiH$_4$ 、CO$_2$ およびH$_2$ を含み、CO$_2$ ／（SiH$_4$ ＋CO$_2$ ）の値が0.６以下である原料ガスの分解によるものとする。その場合、混合ガスの分解のために40mW／cm^2 以上の高周波パワー密度でグロー放電を原料ガス中に発生させることが有効である。また、得られたSiO半導体膜の340nm 以上の波長の光の吸収係数が10^6 cm^{-1}以下であり、光導電率が10^{-6} S／cm以上である。また、原料ガスにドーピングガスを混合して得られたｐ形あるいはｎ形の膜を太陽電池の窓層として用いることが有効である。
【０００８】
【作用】SiH$_4$ 、CO$_2$ 、H$_2$ を含む原料ガスを用いて太陽電池の窓層を形成することは、前掲の特開昭61－242085号公報で公知であるが、その場合のガス流量比CO$_2$ ／（SiH$_4$ ＋CO$_2$ ）の値は0.83であり、得られたａ－Si膜は、酸素原子および炭素原子を含む。これに対し、CO$_2$ ／（SiH$_4$ ＋CO$_2$ ）を0.６以下とした場合、特に高周波パワー密度40mW／cm^2 以上でのグロー放電分解により得られる膜では、炭素量は検出限界以下であり、微結晶化したSi層とａ－SiO相とが混在しているSiO膜となって、10^{-6} S／cm以上の高い光導電率で高い光吸収係数を示す。
【０００９】

SAMSUNG EX. 1002 - 641/2862

【実施例】SiH_4 、CO_2 、H_2 を混合し、ドーピングガスとしてB_2H_6 あるいはPH_3 を添加し、各ガスの流量比を変化させて、次の成膜条件でｐ形およびｎ形のＳｉＯ膜を形成した。

CO_2 ／（SiH_4 ＋CO_2 ）　０～０．６

H_2 ／SiH_4　160～320

B_2H_6 ／SiH_4 またはPH_3 ／SiH_4　0.08

基板温度　150 ℃

圧　力　0.5Torr

高周波パワー密度　50 mW／cm^2

図３は、ドーピングガスとしてB_2H_6 を添加して成膜したｐ形の膜における340nm ～500nm の波長の光に対する吸収係数のガス流量比CO_2 ／（SiH_4 ＋CO_2 ）依存性を表している。吸収係数は、短い波長の光に対しても10^6 cm^{-3}以下であり、波長が長くなると減少し、またCO_2 流量比が多くなるにつれて減少してくることがわかった。図４は、ドーピングガスとしてPH_3 を添加して成膜したｎ形の膜における吸収係数のガス流量比依存性を表しており、ｐ形膜と同様の傾向を示す。形成されたＰ形およびｎ形膜をＥＳＣＡで分析したところ、混合するCO_2 の流量比の増加に伴って酸素量が増えてくることが確認された。そして、酸素量は25～40原子％であるのに対し、炭素量は１％以下の検出限界外になっていた。

【００１０】図５は、光導電率のガス流量比依存性を示し、CO_2 流量の増加と共に光導電率σ_{ph}が低くなり、線51で示すｎ形の方が線52で示すｐ形より光導電率が高いということがわかった。そして、光導電率を10^{-6}Ｓ／cm以上に抑えるには流量比CO_2 ／（SiH_4 ＋CO_2 ）を0.６以下とすることが必要である。このようにして得られたＳｉＯ膜についてラマン散乱を測定したところ、ラマンスペクトルにSi結晶の存在を示す530 cm^{-1}付近のピークが存在し、微結晶化したSi相とａ－ＳｉＯ相が混在していることが確認された。また、CO_2 流量比の増加と共に、530 cm^{-1}付近のピークの強度が減少してくることが確認された。

【００１１】図１は、光導電率σ_{ph}が太陽電池の窓層として用いることのできる最低限である10^{-6}Ｓ／cm付近にある本発明の実施例によるＳｉＯ膜の吸収係数を従来のｐ形ａ－ＳｉＯ膜と比較したもので、線11に示す微結晶相を含むａ－ＳｉＯ膜の吸収係数は、広い波長域にわたって線12に示す微結晶相を含まないａ－ＳｉＯ膜の吸収係数の１／３になっており、同様な特性をもつｎ形膜と共に太陽電池の窓層の材料として有望であることがわかった。

【００１２】また、CO_2 の代わりにC_2H_2 を用い、原料ガス以外は上記の実施例と同一の条件で成膜したところ、得られた膜の炭素の量は20原子％と少ないにもかかわらず、ラマンスペクトルはSi結晶相の存在を示す530 cm^{-1}付近のピークが見られず、微結晶化していないことが確認された。このことから、酸素原子と比較して炭素原子の方がシリコンの微結晶化を妨げると考えられ、ワイドギャップ化で吸収係数の減少が見られても導電率の低下により、太陽電池の窓層の材料として不適当であることがわかった。

【００１３】

【発明の効果】本発明によれば、混合比を低くしたCO_2 を酸素源として用い、SiH_4 、H_2との混合ガスによりａ－ＳｉＯを成膜することにより、炭素を含まず、Si微結晶相を含んだａ－ＳｉＯ相からなるＳｉＯ膜を成膜することができた。この結果、酸素原子によりワイドギャップ化されて低吸収係数であり、かつ微結晶相の存在により導電率の高いａ－Si系膜を得ることができ、ｐ形あるいはｎ形の窓層としてａ－Si系太陽電池に極めて有効に用いることができる。

【図面の簡単な説明】

【図１】本発明の一実施例により成膜されたｐ形ＳｉＯ膜と従来のｐ形ａ－ＳｉＯ膜との吸収係数と光エネルギーとの関係線図

【図２】本発明により成膜されるｐ形ＳｉＯ膜を用いることのできる太陽電池の断面図

【図３】本発明の一実施例により成膜されたｐ形ＳｉＯ膜の成膜時のCO_2 ガス流量比をパラメータとした吸収係数と光エネルギーとの関係線図

【図４】本発明の別の実施例により成膜されたｎ形ＳｉＯ膜の成膜時のCO_2 ガス流量比をパラメータとした吸収係数と光エネルギーとの関係線図

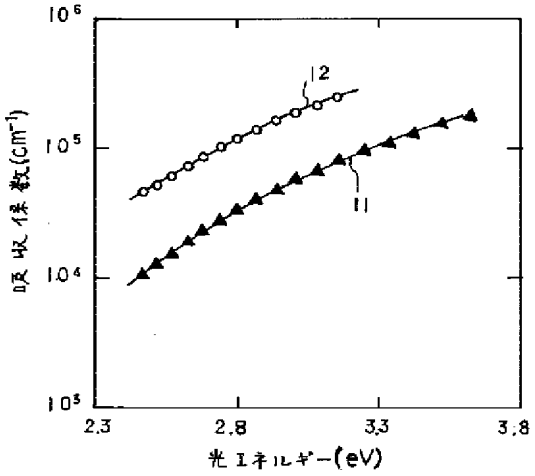
【図５】本発明の実施例により成膜されたｐ形およびｎ形ＳｉＯ膜の光導電率とCO_2 ガス流量比との関係線図

【符号の説明】

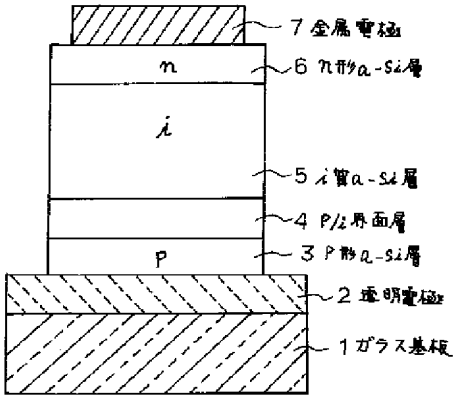
１　ガラス基板
２　透明電極
３　ｐ形ａ－Si層
４　ｐ／ｉ界面層
５　ｉ質ａ－Si層
６　ｎ形ａ－Si層
７　金属電極

SAMSUNG EX. 1002 - 642/2862

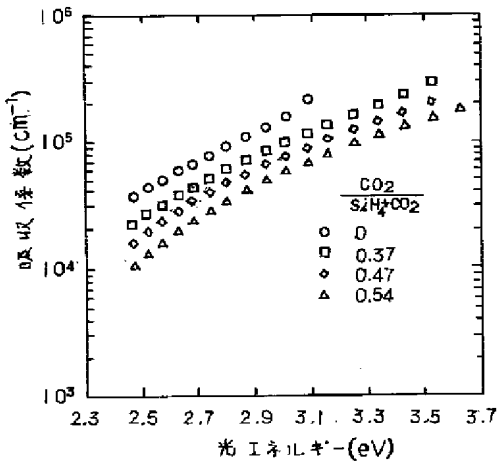
【図１】



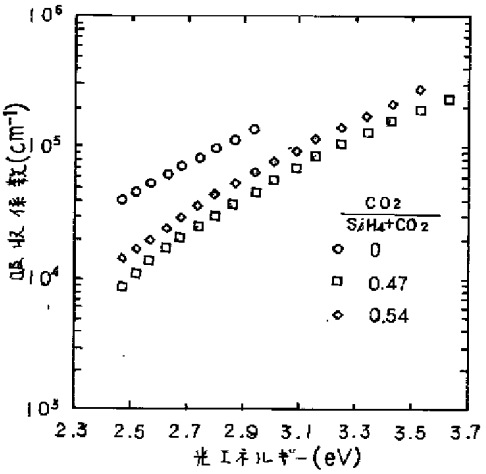
【図２】



【図３】

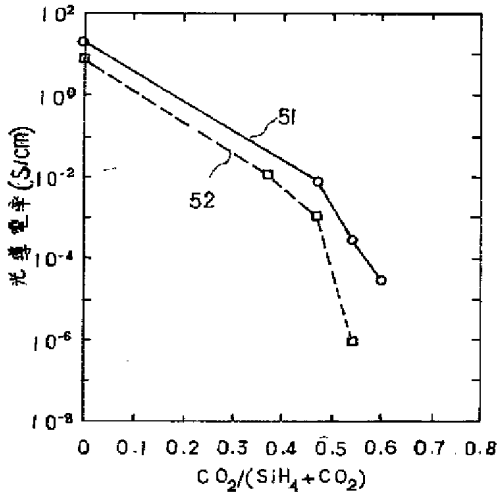


【図４】



SAMSUNG EX. 1002 - 643/2862

【図５】



SAMSUNG EX. 1002 - 644/2862

Electronic Acknowledgement Receipt

EFS ID:	26426011
Application Number:	15216244
International Application Number:	
Confirmation Number:	5052
Title of Invention:	Pixel Isolation Elements, Devices and Associated Methods
First Named Inventor/Applicant Name:	Martin U. Pralle
Customer Number:	136549
Filer:	Reza Mollaaghababa
Filer Authorized By:	
Attorney Docket Number:	143705.05221
Receipt Date:	22-JUL-2016
Filing Date:	
Time Stamp:	11:00:39
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Transmittal Letter	IDSTransmittal.pdf	114543 37c4fafa68f49196dc2b8be4f2f2f961b0c0b023	no	2

Warnings:

SAMSUNG EX. 1002 - 645/2862

Information:					
2	Information Disclosure Statement (IDS) Form (SB08)	Sub1449.pdf	808279 ef29d79754a1717b3a217cefb6ee063f9be56066	no	20
Warnings:					
Information:					
This is not an USPTO supplied IDS fillable form					
3	Foreign Reference	AU3666484.pdf	453842 601ea40fe45107807aa0b9db4de8f6826a6efb52	no	24
Warnings:					
Information:					
4	Foreign Reference	EP0473439A2.pdf	651670 59d8287bba0a6aa7574dd7d25ecc7d64dc431ff2	no	11
Warnings:					
Information:					
5	Foreign Reference	EP0566156A1.pdf	2045450 329d7a3636b72d25be4bf4c1a6652766981e2508	no	26
Warnings:					
Information:					
6	Foreign Reference	EP1630871A1.pdf	814623 16238f4837f929d06eb51ad48b66b6b80394b4ef	no	22
Warnings:					
Information:					
7	Foreign Reference	EP1794804A2.pdf	19989 8dfcaf3a44ecfd44e361d16bc5aca4a4c7e783b6	no	1
Warnings:					
Information:					
8	Foreign Reference	EP1873840A1.pdf	1226159 542aa022ea6f8b82f189c83a6e1c102982d079c1	no	18
Warnings:					
Information:					

9	Foreign Reference	EP2073270.pdf	11423386 3aadd5471a9a017201e2f0df98685ae7626599db	no	65
Warnings:					
Information:					
10	Foreign Reference	FR2827707A1.pdf	2287517 309cca6dc5bd9981b24556c7caef44ca19b482da	no	16
Warnings:					
Information:					
11	Foreign Reference	GB2030766.pdf	63666 8bb31d959c48b36cc7f5615ef04f1f98c49ed243	no	4
Warnings:					
Information:					
12	Foreign Reference	JP_2004273887.pdf	4197379 58876b7ac1ee31d32c9a2aefc285b05f2eb2f3fb	no	12
Warnings:					
Information:					
13	Foreign Reference	JP9148594.pdf	842204 f28986516ce87128604 4b0fc200983cccd1ba95c	no	7
Warnings:					
Information:					
14	Foreign Reference	JP11077348.pdf	537832 a0d6af0a3d440ce92a2d59af24d6f17e62cc6028	no	8
Warnings:					
Information:					
15	Foreign Reference	JP11097724.pdf	418030 388cf460be12ae7b4f3e22a0d80a7074841fefbd	no	5
Warnings:					
Information:					

16	Foreign Reference	JP2000164914.pdf	717746 4eab2931b130870c4cf132394c7031f0b6f19b3e	no	12
Warnings:					
Information:					
17	Foreign Reference	JP2001007381.pdf	628441 dc75188b100c1b2ac7ee3c0a2aa4bc497c8292b2	no	12
Warnings:					
Information:					
18	Foreign Reference	JP2001189478.pdf	988458 7c05ae25d1f85455a612ccdc71e87ea064eaa34f	no	9
Warnings:					
Information:					
19	Foreign Reference	JP2001339057.pdf	917067 bdb90a215a9643ddd48da1a7c0e971aca0d8c1c2	no	11
Warnings:					
Information:					
20	Foreign Reference	JP2002043594.pdf	672836 dc40f8142d981661b1a84eb5ca1e720eb6684185	no	10
Warnings:					
Information:					
21	Foreign Reference	JP2002134640.pdf	447600 721cf4be65bd3838e0ea6972b62eaff9e436cc88	no	8
Warnings:					
Information:					
22	Foreign Reference	JP2003163360A.pdf	1535726 a6e4244c57506669f2af5829ffc18217cfa1e84b	no	25
Warnings:					
Information:					

23	Foreign Reference	JP2004273886A.pdf	561439 bf24d5c77c819f42dc5745d9d1bf8e3c8cf8a53d	no	13
Warnings:					
Information:					
24	Foreign Reference	JP2004273887.pdf	4197377 1f7a61c1413d897fe3726558efddc0d2b4280051	no	12
Warnings:					
Information:					
25	Foreign Reference	JP2004318970A.pdf	704873 6713fab8930cf22e9054da5adc78d42451420a50	no	17
Warnings:					
Information:					
26	Foreign Reference	JP2006173381.pdf	549271 bc7c846bcd6bc839839d4854f211956ec0f20517	no	14
Warnings:					
Information:					
27	Foreign Reference	JP2007165909.pdf	555922 4e79efe47b9cb4449af3fa5dd66fcefb0b3de0ec	no	14
Warnings:					
Information:					
28	Foreign Reference	JP2007180642.pdf	369136 5bdb534131ce04bfcadbaa4a598b5cf0d7daec78	no	10
Warnings:					
Information:					
29	Foreign Reference	JP2007180643.pdf	1322159 54b4fa964d5c319cb8220b67a03b5ccb1d2dadc2	no	23
Warnings:					
Information:					

30	Foreign Reference	JP2007183484.pdf	325806 4bdce2973241c72c79bbdc162c2f053400e6e468	no	9
Warnings:					
Information:					
31	Foreign Reference	JP2007305675.pdf	655388 4bcab694c9bcd8154b021b6342a127bff11ac7da	no	11
Warnings:					
Information:					
32	Foreign Reference	JP2008187003_FujitsuLtd.pdf	328750 0b5834e6dc5d5d9c81b7cea594c249f9717ec256	no	16
Warnings:					
Information:					
33	Foreign Reference	JP2008283219.pdf	1000268 a8298045817e1ebeecf458223c02e73dc633ddf8	no	23
Warnings:					
Information:					
34	Foreign Reference	JP2009021479.pdf	1424319 1a74de12636ea4bcd9c9e5e35f2ee55ffd829235	no	19
Warnings:					
Information:					
35	Foreign Reference	JP2010278472.pdf	412252 b8d1fc94e5f63cc03f3e7a3c274d82c0b5cb6e4c	no	14
Warnings:					
Information:					
36	Foreign Reference	JP2011091128.pdf	616124 140619fcbc4f5939794e8ad0de7585d5983ae0f8	no	13
Warnings:					
Information:					

37	Foreign Reference	JPH02152226.pdf	137860 fd7c51b3e11fedc887578935e4d14bf713956262	no	5
Warnings:					
Information:					
38	Foreign Reference	JPH02237026.pdf	488558 7f62c71aa10dc85583117c5aefc4ef0ef47f2075	no	9
Warnings:					
Information:					
39	Foreign Reference	JPH03183037.pdf	441850 f6e16c4c7d8a790b13c5b358a23e2e93bde58075	no	8
Warnings:					
Information:					
40	Foreign Reference	JPH04318970.pdf	378123 d87fe81f48bde6f73c33ec87c6b819e83caef5dc	no	6
Warnings:					
Information:					
41	Foreign Reference	JPH06104414.pdf	618760 08b918c9c2c93229e8f5b71dc7b7aa4c28c936b2	no	13
Warnings:					
Information:					
42	Foreign Reference	JPH06267868.pdf	282377 d229a95d4f2714994038 5d5a6821b8c2ccc1535b	no	7
Warnings:					
Information:					
		Total Files Size (in bytes):	47183055		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Docket No. 143705.05221

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of: Martin U. Pralle *et al.*	Confirmation No. 5052
Application No. 15/216,244	Art Unit: Not yet assigned
Filed: July 21, 2016	Examiner: Not yet assigned
For: PIXEL ISOLATION ELEMENTS, DEVICES AND ASSOCIATED METHODS	

VIA EFS-WEB
Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

Certificate of Mailing

I hereby certify that this correspondence is being electronically filed via EFS-Web to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

July 22, 2016 — Dated

Electronic Signature: /Reza Mollaaghababa/
Andrew Schultz, Reg. No. 43,810

INFORMATION DISCLOSURE STATEMENT (IDS)

Dear Sir:

Pursuant to 37 CFR 1.56, 1.97 and 1.98, the attention of the Patent and Trademark Office is hereby directed to the references listed on the attached Substitute for Form 1449/PTO. It is respectfully requested that the information be expressly considered during the prosecution of this application, and that the references be made of record therein and appear among the "References Cited" on any patent to issue therefrom.

This Information Disclosure Statement is filed before the mailing date of a first Office Action on the merits as far as is known to the undersigned (37 CFR 1.97(b)(3)).

In accordance with 37 CFR 1.98(a)(2)(ii), Applicant has not submitted copies of U.S. patents and U.S. patent applications. Applicant submits herewith copies of foreign patents and non-patent literature in accordance with 37 CFR 1.98(a)(2).

In accordance with 37 CFR 1.97(g), the filing of this Information Disclosure Statement shall not be construed to mean that a search has been made or that no other material information as defined in 37 CFR 1.56(a) exists. In accordance with 37 CFR 1.97(h), the filing of this Information Disclosure Statement shall not be construed to be an admission that the information cited in the statement is, or is considered to be, material to patentability as defined in § 1.56 (b).

It is submitted that the Information Disclosure Statement is in compliance with 37 CFR 1.98 and the Examiner is respectfully requested to consider the listed references.

The Director is authorized to charge any deficiency in the fees filed, asserted to be filed, or which should have been filed herewith (or with any paper hereafter filed in this application by this firm) to our Deposit Account No. 50-0436, under Order No. 143705.05221.

Respectfully submitted,

Dated: July 22, 2016

Electronic Signature: /Reza Mollaaghababa/

Reza Mollaaghababa, Reg. No. 43,810
Attorney for Applicants
Pepper Hamilton LLP
125 High Street
19th Floor, High Street Tower
Boston, MA 02210
Tel: (617) 204-5168
Fax: (617) 204-5150

Espacenet

Bibliographic data: JPH06275641 (A) — 1994-09-30

METHOD OF FORMING THIN FILM TRANSISTOR

Inventor(s): CHIYOU KOUYUU ± (CHIYOU KOUYUU)

Applicant(s): SEMICONDUCTOR ENERGY LAB ± (SEMICONDUCTOR ENERGY LAB CO LTD)

Classification: **- international:** ***H01L21/28; H01L21/336; H01L29/78; H01L29/786;*** (IPC1-7): H01L21/336; H01L29/784
- cooperative:

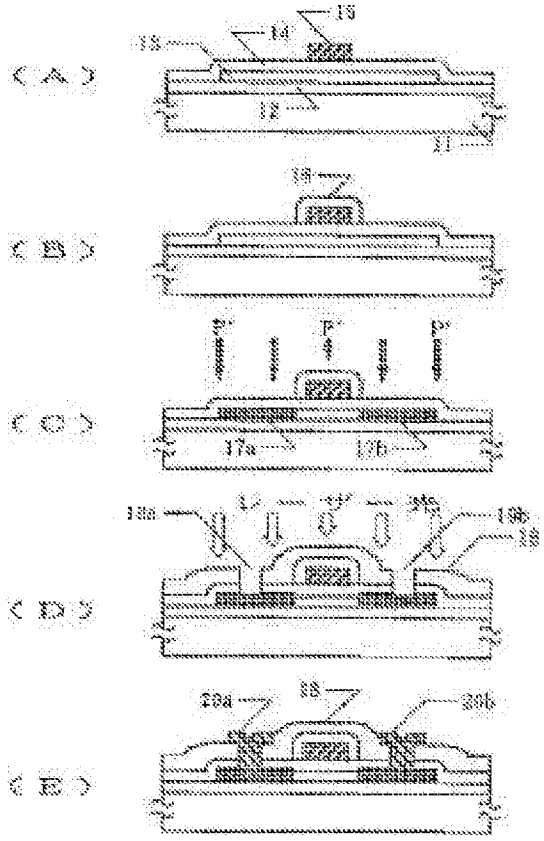
Application number: JP19930086752 19930322

Priority number (s): JP19930086752 19930322

Also published as: JP3315191 (B2)

Abstract of JPH06275641 (A)

PURPOSE:To form contact without an silicon oxide coating film of nonstoichiometry ratio, and reduce the contact resistance of an impurity region, by performing laser annealing after an interlayer insulating film and contact holes are previously formed. CONSTITUTION:A gate insulating film 14 is formed so as to cover a thin film type semiconductor region 13, and a gate electrode 15 is formed so as to traverse the semiconductor region 13. An anodic oxidation material layer 16 is grown on the surface of the gate electrode 15. After that, the gate electrode 15 and an anodic oxidation material layer 16 around the gate electrode are used as masks, and doping impurities are introduced in a self-alignment manner, through a gate insulating film 18. An interlayer insulating film 18 and contact holes 19a, 19b are formed, and the doping impurities are activated by laser beam irradiation.; Electrode wirings 20a, 20b of a source region and a drain region are formed. Thereby a high resistance film which is to be formed by the combination of the semiconductor film and the gate insulating film at the time of laser beam annealing is not formed, so that contact resistance can be reduced.



SAMSUNG EX. 1002 - 656/2862

(19)日本国特許庁（ＪＰ）　(12)**公開特許公報（Ａ）**　(11)特許出願公開番号

特開平6－275641

(43)公開日　平成６年(1994)９月30日

(51)Int.Cl.[5]	識別記号	庁内整理番号	ＦＩ	技術表示箇所
Ｈ０１Ｌ　21/336 29/784				
		9056－4M	Ｈ０１Ｌ　29/ 78　　３１１　Ｐ	

審査請求　未請求　請求項の数２　ＦＤ　（全　４　頁）

(21)出願番号　特願平5－86752

(22)出願日　平成５年(1993)３月22日

(71)出願人　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

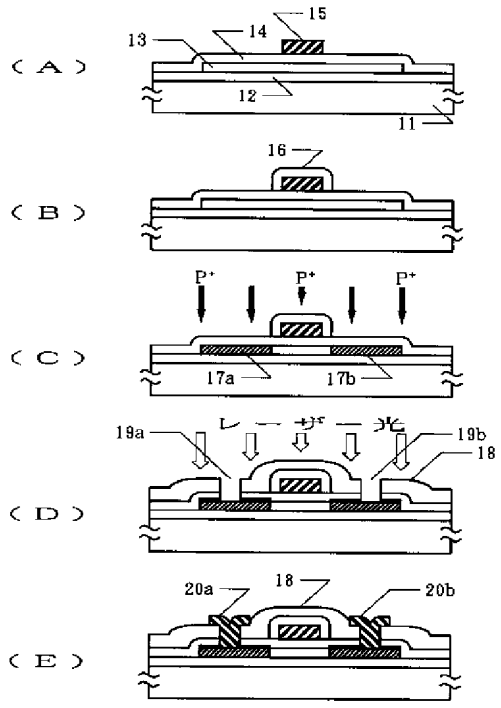
(72)発明者　張　宏勇
神奈川県厚木市長谷398番地　株式会社半導体エネルギー研究所内

(54)【発明の名称】　薄膜トランジスタの作製方法

(57)【要約】

【目的】　レーザーアニールによってドーピング不純物の活性化をおこなうＴＦＴの製造方法において、不純物領域のコンタクト抵抗を低減せしめる方法を提供する。

【構成】　薄膜状半導体領域を覆って、ゲイト絶縁膜を設け、また、該半導体領域を横断してゲイト電極を設ける。その後、このゲイト電極をマスクとして、ゲイト絶縁膜を通して、自己整合的にドーピング不純物を導入する。その後、層間絶縁物を形成し、コンタクトホールを設け、レーザーもしくはそれと同等な強光を照射することによってドーピング不純物の活性化をおこなう。しかるのちにソース、ドレインの電極を形成する。かくすることにより、レーザーアニールの際に半導体膜とゲイト絶縁膜が化合して生じる高抵抗膜ができないので、コンタクト抵抗を減じることができる。



SAMSUNG EX. 1002 - 657/2862

【特許請求の範囲】
【請求項１】　基板上に島状非単結晶半導体領域を形成する第１の工程と、
前記非単結晶半導体領域を覆って絶縁被膜と、前記絶縁被膜上に、ゲイト電極を形成する第２の工程と、
前記ゲイト電極をマスクとして不純物をドーピングする第３の工程と、
前記ゲイト電極を覆って層間絶縁物を堆積する第４の工程と、
前記層間絶縁物を通して、前記半導体領域の不純物のドーピングされた領域にコンタクトホールを形成する第５の工程と、
前記層間絶縁物およびコンタクトホールを通してレーザーもしくはそれと同等な強光を照射することによって、前記半導体領域にドーピングされた不純物を活性化する第６の工程とを有することを特徴とする薄膜トランジスタの作製方法。
【請求項２】　請求項１において、第２の工程と第３の工程の間に前記ゲイト電極を陽極酸化する工程、を有することを特徴とする薄膜トランジスタの作製方法。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】本発明は、非単結晶半導体薄膜を有する薄膜トランジスタ（ＴＦＴ）の作製方法に関するものである。本発明によって作製される薄膜トランジスタは、ガラス等の絶縁基板上、単結晶シリコン等の半導体基板上、いずれにも形成される。
【０００２】
【従来の技術】最近、絶縁基板上に、薄膜状の活性層（活性領域ともいう）を有する絶縁ゲイト型の半導体装置の研究がなされている。特に、薄膜状の絶縁ゲイトトランジスタ、いわゆる薄膜トランジスタ（ＴＦＴ）が熱心に研究されている。これらは、利用する半導体の材料・結晶状態によって、アモルファスシリコンＴＦＴや結晶性シリコンＴＦＴというように区別されている。
【０００３】結晶半導体は、アモルファス半導体よりも電界移動度が大きく、したがって、高速動作が可能である。また、結晶性シリコンでは、ＮＭＯＳのＴＦＴだけでなく、ＰＭＯＳのＴＦＴも同様に得られるのでＣＭＯＳ回路を形成することが可能である。このため、特に最近では結晶シリコンを使用したＴＦＴが盛んに研究されている。
【０００４】結晶シリコンは通常、６００℃以上の温度で長時間のアニールによって得られ、また、イオン注入、イオンドーピング等の方法によって不純物のドーピングされた結晶シリコンにおいて、ドーピング不純物の活性化をおこなうにも同様な温度での熱処理が必要とされてきた。しかしながら、このような高温での熱処理は基板やＴＦＴの構成材料の選択の余地を狭めることとなるのでより低温での処理が求められている。
【０００５】
【発明が解決しようとする課題】結晶化・活性化の低温化の手段として、レーザーもしくはそれと同等な強力な光をシリコン膜に照射することによってシリコンの結晶化、活性化をおこなうことが提案されている。このような方法を光源の名称によってレーザーアニール、もしくはランプアニールと称する。以下では、これらの方法を全てレーザーアニールと総称することとする。
【０００６】レーザーアニールを用いたシリコン膜のドーピング不純物の活性化プロセスを有するＴＦＴの作製工程の例を図２に示す。まず、基板２１上に下地絶縁膜２２を堆積し、その上に結晶シリコン領域２３を形成する。シリコン膜の結晶化には熱アニール、レーザーアニールいずれもが使用される。そして、このシリコン領域を覆って、ゲイト絶縁膜２４が堆積される。さらに、ゲイト電極２５がその上に形成される。（図２（Ａ））
【０００７】そして、ゲイト電極の表面を陽極酸化法によって酸化する。これは不純物領域（ソース、ドレイン）とゲイト電極がオフセット状態となることによって、より良い特性を得るためである。もちろん、このような陽極酸化物２６を形成することは必ずしも必要なわけではない。（図２（Ｂ））
【０００８】その後、イオン注入法、イオンドーピング法等の手段によって、ゲイト絶縁膜２４を通して、シリコン領域２３に不純物が導入される。このときには不純物の導入はゲイト絶縁膜を通すことが歩留りを上げるうえで必要である。こうして、ソース、ドレイン２７ａ、２７ｂが形成される。先に述べた通り、不純物領域とゲイト電極は重なりあうことがなく、わずかに陽極酸化物２７の幅だけ離れた状態（オフセット状態）となっている。（図２（Ｃ））
【０００９】そして、レーザーもしくはそれと同等な強光によって、ドーピングされた不純物の活性化をおこなう。このときには、レーザーエネルギーによってドーピング不純物（燐やホウ素）、シリコン、酸化珪素が化合して、厚さ３０～５００Åの非化学量論比の酸化珪素系の被膜２８がシリコン領域とゲイト絶縁膜２４の境界に形成される。（図２（Ｄ））
【００１０】最後に、コンタクトホールを形成して、ソース、ドレインに金属電極３０ａ、３０ｂを形成するのであるが、この際に、先に形成された非化学量論比の酸化珪素系の被膜２８は、酸化剤を含まないフッ化水素酸系のエッチャントでは十分に除去できない。一方、ドライエッチングでは、酸化珪素とシリコンのエッチング比がそれほど大きくないので、特にシリコン領域が薄い場合には、コンタクトホールがシリコン領域を貫通してしまうことがあった。（図２（Ｅ））
【００１１】このような非化学量論比の酸化珪素系の被膜２８は抵抗が高く、ＴＦＴのコンタクト不良の原因であった。本発明はこのような非化学量論比の酸化珪素系

SAMSUNG EX. 1002 - 658/2862

の被膜のないコンタクトを作製する方法を提供することを目的とする。

【００１２】

【課題を解決するための手段】本発明は、レーザーアニールをおこなう前に、層間絶縁物とコンタクトホールを予め形成し、しかるのちにレーザーアニールをおこなうことを特徴とする。そのため、コンタクトホールの領域では反応すべき酸化珪素が存在しないので、上記のような非化学量論比の酸化珪素系の被膜は形成されない。その後、このコンタクトホールに金属電極を形成することによって確実なコンタクトが形成される。以下に実施例を用いて、より詳細に本発明を説明する。

【００１３】

【実施例】図１に本実施例の作製工程の断面図を示す。まず、基板（コーニング７０５９）１１上にスパッタリング法によって厚さ２０００Åの酸化珪素の下地膜３２を形成した。さらに、プラズマＣＶＤ法によって、厚さ５００～１５００Å、例えば１５００Åの真性（Ｉ型）のアモルファスシリコン膜を、さらにその上にスパッタリング法によって厚さ２００Åの酸化珪素膜を堆積した。そして、このアモルファスシリコン膜を窒素雰囲気中、６００℃、４８時間アニールして結晶化させた。

【００１４】この工程はレーザーアニールによっておこなってもよい。レーザーとしては各種エキシマーレーザーが使用できる。レーザーのエネルギー密度は、２００～５００ｍＪ／ｃｍ^2、例えば３５０ｍＪ／ｃｍ^{2}とし、１か所につき２～１０ショット照射し、レーザー照射時には基板を１００～４５０℃に加熱すればよい。

【００１５】結晶化工程後、シリコン膜をパターニングして、島状シリコン領域１３を形成し、さらに、スパッタリング法によって厚さ１０００Åの酸化珪素膜１４をゲイト絶縁膜として堆積した。スパッタリングには、ターゲットとして酸化珪素を用い、スパッタリング時の基板温度は２００～４００℃、例えば２５０℃、スパッタリング雰囲気は酸素とアルゴンで、アルゴン／酸素＝０～０．５、例えば０．１以下とした。

【００１６】引き続いて、スパッタリング法によって、シリコンを０．５～３％、例えば２％含むアルミニウム膜を厚さ１０００～１００００Å、例えば５０００Å堆積した。なお、この酸化珪素とアルミニウム膜の成膜工程は連続的におこなうことが望ましい。そして、アルミニウム膜をパターニングして、ゲイト電極１５を形成した。アルミニウムの代わりにシリコン、チタン、タンタル、モリブテン、タングステン等の他の金属・半導体材料、あるいはそれらの珪化物でもよい。また、単層の膜ではなく、異種の被膜を重ねた多層の膜でもよい。（図１（Ａ））

【００１７】続いて、酒石酸のエチレングリコール溶液（１～５％、アンモニアによって中性にする）に基板を浸漬して、ゲイト電極に電流を通じ、ゲイト電極の表面に陽極酸化物（酸化アルミニウム）層１６を成長させた。陽極酸化物の厚さは１０００～５０００Å、特に２０００～３０００Åが好ましかった。ここでは２５００Åとした。（図１（Ｂ））

【００１８】そして、イオンドーピング法によって、シリコン領域にゲイト電極とその周囲の陽極酸化物をマスクとして不純物（燐）を注入した。ドーピングガスとして、フォスフィン（PH_3）を用い、加速電圧を６０～９０ｋＶ、例えば８０ｋＶとした。ドーズ量は1×10^{15}～8×10^{15}ｃｍ$^{-2}$、例えば、2×10^{15}ｃｍ$^{-2}$とした。この結果、Ｎ型の不純物領域１７ａ、１７ｂが形成された。（図１（Ｃ））

【００１９】続いて、厚さ６０００Åの酸化珪素膜１８を層間絶縁物としてプラズマＣＶＤ法によって形成し、これにコンタクトホール１９ａ、１９ｂを形成した。その後、レーザー光を照射し、レーザーアニールをおこなった。レーザーとしてはＫｒＦエキシマーレーザー（波長２４８ｎｍ、パルス幅２０ｎｓｅｃ）を用いたが、その他のレーザー、例えば、ＸｅＦエキシマーレーザー（波長３５３ｎｍ）、ＸｅＣｌエキシマーレーザー（波長３０８ｎｍ）、ＡｒＦエキシマーレーザー（波長１９３ｎｍ）等を用いてもよい。ただし、レーザー光が層間絶縁物１８を十分に透過することが必要とされる。レーザーのエネルギー密度は、２００～５００ｍＪ／ｃｍ^2、例えば２５０ｍＪ／ｃｍ^{2}とし、１か所につき２～１０ショット、例えば２ショット照射した。レーザー照射時に、基板を１００～４５０℃、例えば２５０℃に加熱した。こうして、不純物の活性化をおこなった。（図１（Ｄ））

【００２０】最後に、金属材料、例えば、窒化チタンとアルミニウムの多層膜によってＴＦＴのソース領域、ドレイン領域の電極・配線２０ａ、２０ｂを形成した。金属材料のデポジションの前に基板を薄いフッ化水素酸で洗浄することによって、コンタクト部分に生じたシリコンの自然酸化膜を除去すると、より完全なコンタクトが形成された。最後に、１気圧の水素雰囲気で３５０℃、３０分のアニールをおこなった。以上の工程によって薄膜トランジスタが完成した。（図１（Ｅ））

【００２１】

【発明の効果】本発明によって、ソース、ドレインのコンタクトの良好なＴＦＴを得ることができた。これによって、ＴＦＴの作製歩留りは格段に向上し、また、特性ばらつきも著しく減らすことができた。このように本発明は工業上有益な発明である。

【図面の簡単な説明】

【図１】　実施例のＴＦＴの作製工程断面図を示す。

【図２】　従来のＴＦＴの作製工程断面図を示す。

【符号の説明】

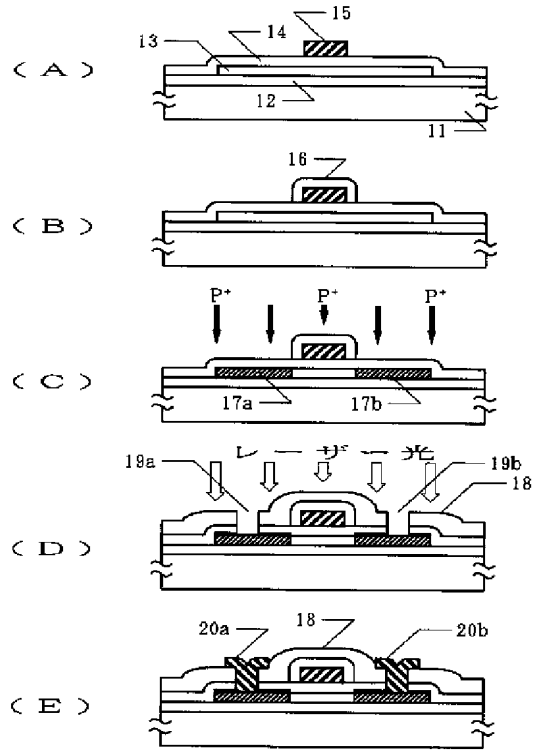
１１・・・基板

１２・・・下地絶縁膜（酸化珪素）

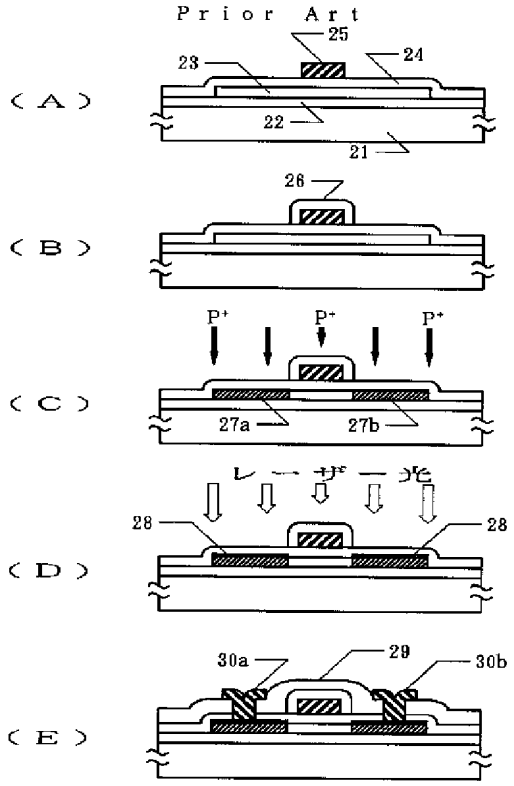
SAMSUNG EX. 1002 - 659/2862

１３・・・島状シリコン領域
１４・・・ゲイト絶縁膜（酸化珪素）
１５・・・ゲイト電極（アルミニウム）
１６・・・陽極酸化物（酸化アルミニウム）
１７・・・不純物領域（ソース、ドレイン）
１８・・・層間絶縁物（酸化珪素）
１９・・・コンタトホール
２０・・・金属電極・配線（窒化チタン／アルミニウム）

【図１】



【図２】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : **07-183484**
(43)Date of publication of application : **21.07.1995**

(51)Int.Cl. **H01L 27/15**
G02B 6/13
G02B 6/122
H01L 31/02
H01S 3/18

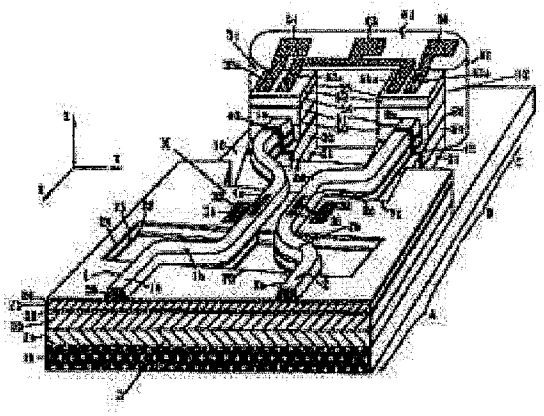
(21)Application number : **06-256229**
(22)Date of filing : **26.09.1994**

(71)Applicant : **FR TELECOM**
(72)Inventor : **GHIRARDI FREDERIC**
GIRAUDET LOUIS

(30)Priority
Priority number : **93 9311404** Priority date : **24.09.1993** Priority country : **FR**

(54) MONOLITHIC INTEGRATED STRUCTURE, ITS FABRICATION AND MONOLITHIC INTEGRATED HETERODYNE RECEIVING CIRCUIT

(57)Abstract:
PURPOSE: To provide a monolithic integrated structure including two photoelectric components connected optically through an optical guide by forming, in si.tu, at least one insulation barrier permitting optical transmission between two photoelectric components.
CONSTITUTION: A new silicon nitride protective mask is deposited on the entire structure and a groove-like window is made in the mask over the entire width thereof along a plane extending in parallel with YZ plane. The window is useful for forming an insulation barrier 40 by preferably diffusing a p+ conductivity type element deeply up to a substrate 10. The barrier 40 can isolate two detection diodes D1, D2 electrically from a coupler K by forming an npn double junction in the direction along the X axis and can transmit light between them. The double junction formed in si.tu corresponds to head/tail fixing of two diodes.



SAMSUNG EX. 1002 - 661/2862

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報（Ａ）**　(11)特許出願公開番号

特開平7－183484

(43)公開日　平成７年(1995)７月21日

(51)Int.Cl.[6]	識別記号	庁内整理番号	ＦＩ	技術表示箇所
Ｈ０１Ｌ　27/15		Ｃ　8832－4Ｍ		
Ｇ０２Ｂ　6/13				
6/122				
			Ｇ０２Ｂ　6/ 12	Ｍ
				Ｂ

審査請求　未請求　請求項の数17　ＦＤ　（全 8 頁）　最終頁に続く

(21)出願番号　特願平6－256229

(22)出願日　平成６年(1994)９月26日

(31)優先権主張番号　９３１１４０４

(32)優先日　1993年９月24日

(33)優先権主張国　フランス（ＦＲ）

(71)出願人　591034154
フランス・テレコム
ＦＲＡＮＣＥ　ＴＥＬＥＣＯＭ
フランス国、75015　パリ、プラス・ダルレ、６

(72)発明者　フレデリック、ギラルディ
フランス国パリ、アブニュ、フィリップ、アウグスト、45

(72)発明者　ルイ、ジロード
フランス国アスニエール、リュ、ド、プロニ、28

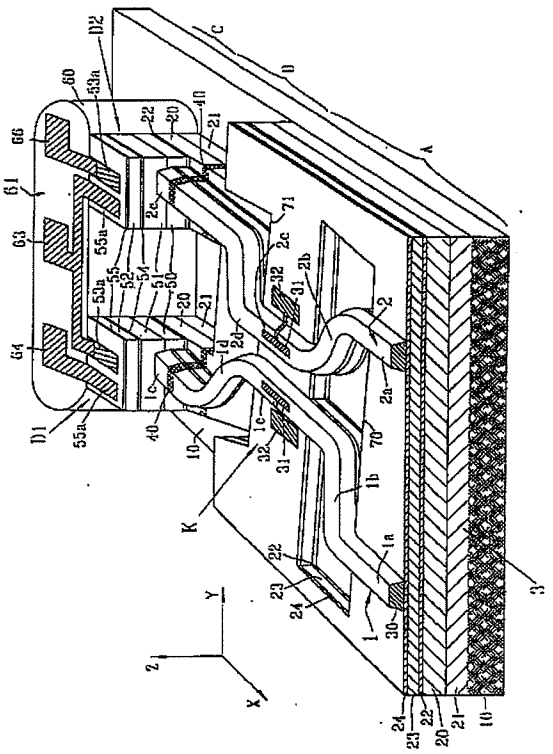
(74)代理人　弁理士　佐藤　一雄　（外３名）

(54)【発明の名称】　モノリシック集積構造体及びその製造方法、並びにモノリシック集積ヘテロダイン受信回路

(57)【要約】

【目的】　光電要素を含むモノリシック集積構造体及びその製造方法、並びにモノリシックヘテロタイン受信回路を提供する。

【構成】　本発明は光ガイドによって光学的に相互に接続された２つの光電成分（Ｋ，Ｄ１）を含むモノリシック集積構造の製造方法に関するものである。この方法は、２つの光電成分の間に光を伝送することのできる少なくとも１つの絶縁バリヤ（４０）を、下記の手段の少なくとも１つによってこれらの光電成分間にインシチュ形成する段階を含む：与えられた導電型の元素による反対導電型の構造区域の局所ドーピング、または半絶縁物質層のエピタキシャル蒸着。



SAMSUNG EX. 1002 - 662/2862

1

【特許請求の範囲】

【請求項１】光ガイドによって光学的に接続された２つの光電成分を含むモノリシック集積構造体の製造方法において、前記２つの光電成分の間の光伝送を可能とする少なくとも１つの絶縁バリヤを形成する段階を含み、前記バリヤ（４０、２４０）はインシチュ（in situ ）形成されることを特徴とするモノリシック集積構造体の製造方法。

【請求項２】少なくとも一方の光電成分と光ガイドとの間の光伝送はエバネッセンス(Evanescence) 効果によって実施されることを特徴とする請求項１に記載の方法。

【請求項３】少なくとも一方の光電成分と光ガイドとの間の光伝送は突き合わせ接合によって実施されることを特徴とする請求項１に記載の方法。

【請求項４】絶縁バリヤ（４０）は与えられた導電型の元素をもって構造の反対導電型の少なくとも１つの区域を局所ドーピングすることによって形成されることを特徴とする請求項１乃至３のいずれかに記載の方法。

【請求項５】ドーピングは、構造の表面から、前記元素を光ガイドを通して構造の絶縁基板（１０）まで深部拡散することによって実施されることを特徴とする請求項４に記載の方法。

【請求項６】ドーピングは、構造の表面から、前記元素を光ガイドを通して構造の絶縁基板（１０）までイオン注入することによって実施されることを特徴とする請求項４に記載の方法。

【請求項７】構造は重ね合された相異なる導電型の少なくとも１つの第１層と少なくとも１つの第２層とを含み、前記第１層の１つの区域のドーピングが前記第１層の導電型と反対の導電型を有する第１元素によって実施され、前記第１層のドーピング区域から片寄った前記第２層の１つの区域のドーピングが前記第２層および前記第１元素の導電型と反対の導電型を有する第２元素によって実施され、２つの光電成分の間にｎｐｎ型およびｐｎｐ型の２つの絶縁接合を形成することを特徴とする請求項５または６に記載の方法。

【請求項８】ドーピングは与えられた型の元素を構造の中間層の中に混入させることによって実施され、この中間層は前記元素の導電型と反対の導電型を有する２つの層の中間にエピタキシャル成長によって付着されることを特徴とする請求項２に記載の方法。

【請求項９】前記元素はｐ＋導電型を有することを特徴とする請求項５、６および８のいずれかに記載の方法。

【請求項１０】絶縁バリヤ（２４０）は半絶性縁物質層のエピタキシャル成長によって実施されることを特徴とする請求項２に記載の方法。

【請求項１１】前記半絶縁性物質は鉄を含有するリン化インジウムから成ることを特徴とする請求項１０に記載の方法。

【請求項１２】ｎ＋導電型の光インピーダンス整合層

2

（５０）が、光ガイドと、この光ガイドによりエバネッセンス(Evanescence) 効果で光を伝送される少なくとも一方の光電成分との間に配置されることを特徴とする請求項４乃至１１のいずれかに記載の方法。

【請求項１３】前記モノリシック集積構造体はヘテロダイン受信回路であって、この受信回路は直列に接続された２つの検出ホトダイオード（Ｄ１，Ｄ２）と、電気的に平衡されうる３ｄＢカプラー（Ｋ）とを含み、前記カプラー（Ｋ）が前記光電成分の一方を成し、また前記のホトダイオード（Ｄ１，Ｄ２）がそれぞれ前記光電成分の他方を成すことを特徴とする請求項１乃至１２のいずれかに記載の方法。

【請求項１４】２つの光電成分の間において光を伝送することのできる絶縁性バリヤ（４０）をこれらの成分間にインシチュ形成されたことを特徴とする光ガイドによって光電的に相互に接続される２つの光電成分を含むモノリシック集積構造体。

【請求項１５】前記バリヤは与えられた導電型の元素をもって構造の反対導電型の少なくとも１つの区域をドーピングすることによって形成されることを特徴とする請求項１４に記載のモノリシック集積構造体。

【請求項１６】前記バリヤは、前記光ガイドと前記の光電成分との間に半絶縁物質層をエピタキシャル成長することによって形成されることを特徴とする請求項１５に記載のモノリシック集積構造体。

【請求項１７】直列に接続された２つの検出ホトダイオードと、電気的に調整可能の３ｄＢ－カプラーとを含み、前記検出ホトダイオードと前記カプラーとの間に絶縁バリヤ（４０、２４０）がインシチュ形成され、このバリヤが前記カプラーと前記検出ホトダイオードとの間の光伝送を可能とすることを特徴とするモノリシック集積ヘテロダイン受信回路。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】本発明は光電分野に関するものであり、さらに詳しくは本発明は別個に形成された成分の組立てよりは、成分そのものの製造テクノロジーを含むモノリシック集積構造体の分野に関するものである。特に本発明は非限定的にヘテロダイン受信回路の製造に関するものである。

【０００２】

【従来の技術、及び発明が解決しようとする課題】文献、"Integrated balanced mixer receiver on InP（Ｉｎｐ上の集積平衡ミキサ受信機），トロンマーほか、4th InP and Related Compounds Conference, WE3, Newport 1992" は、直列に接続された２つの検出ホトダイオードと、２つの光ガイドを含む３ｄＢ－カプラーとを有するモノリシック集積ヘテロダイン受信回路を記載している。カプラーがそれぞれの入力としての光ガイドにおいて、変調される信号Ｓと、局所発振器によって

SAMSUNG EX. 1002 - 663/2862

発生される基準信号Ｒとを受け、出力としての２検出ホトダイオードにおいて、それぞれ前記信号ＳとＲの半和と半差に対応する２つの信号を出力する。ホトダイオードは、それぞれS^2 ＋２Ｓ・Ｒ＋R^2 およびS^2 －２Ｓ・Ｒ＋R^2 の形の前記半和と半差の係数の平方を表わす電気信号を出力する。直列の２つのホトダイオードの搭載により、これらの２つの式の差、すなわち４Ｓ・Ｒの形の電気信号を共通点に集めることができる。このような受信機の利点は、局所発振器からノイズR^2 が除去され、また信号Ｒの振幅が信号Ｓの振幅よりはるかに大であるので、有効信号Ｓを増幅することにある。しかし実際上、完全に平衡されたカプラー、すなわち入力信号ＳとＲの半和と半差を正確に出力することのできるカプラーを作製することは困難であるので、多数の集積構造を作製し、適正に平衡されていないカプラーを有する集積構造を選別して放棄しなければならない。前記の構造においては、２つの光ガイドが半絶縁物質の基板上に形成されるので、これらの２つの光ガイドの絶縁の問題は生じない。

【０００３】他の集積モノリシック構造の例として、文献、"Directional Coupler,Balanced PIN Pair and JFET integrated on Inp Towards Receiver OEICs"L.Giraudet et al., Proceeding of fourth optoelecronic conference,PDP, 14July 1992" が挙げられる。この構造においては、カプラーの２つの光ガイドが導電性物質で形成され、２つの直列搭載ホトダイオードの電極の間に光ガイドを通して流れる漏れ電流が観察され、この漏れ電流が構造の性能を低下させる。しかし、カプラーの２つの光ガイドを導電性物質で形成することは、カプラー上にそれぞれ一方の光ガイドと組合わせて形成された２つの電極を通して電圧を加えまたは電流を注入することによりカプラーを電気的に平衡させうるという利点がある。この電流注入または電圧印加は、光ガイドの案内層を成す物質の指数の変動を生じ、従って物質中を伝播する光信号の位相を調整することが可能である。

【０００４】また他の文献、"Balanced Operation of a GaInAs/GaInAsp multiple-quantum-well Integrated Heterodyne Receiver, IEEE Photonics Technology LettersVol.2, No.8., August 1990" には、同一構造体上に２つの光ガイドを直列に接続せず、このようにして２つのホトダイオードの電極間の漏れ電流の問題を回避する方法が提案されている。２つのホトダイオードがそれぞれ出力する電気信号を別個に増幅し、次にその一方から他方を減算して前記の項S^2 とR^2 とを除去する。各ホトダイオードによって出力される電気信号のそれぞれ別個の増幅は、Ｒ2 の変動によるノイズをもはや抑止しないという欠点がある。

【０００５】米国特許第５，１２２，８５２号明細書には、共通基板上に搭載されてそれぞれ光ガイドと組合わされた２つの半導体検出器を含む集積構造が記載されている。前記基板と光ガイドは非半導体絶縁物質から成り、これは電気絶縁の問題を生じないが、検出器のモノリシック集積が不可能であり、これらの検出器は複雑ないわゆる「エピタキシャル・リフトオフ」法によって形成されなければならない。従ってモノリシック集積構造でないこのような構造は製造コストが高い。

【０００６】文献、"ELECTRONICS LETTERS, Vl.24,No.23, 10 November 1988, STEVENAGEGB, PAGES 1457-1458, S.Chandrasekhar et al., "Balanced dual photodiode sintegrated with a 3dB directional coupler for coherent lightwave receiv-ers" には、光ガイドについて導電性物質を使用して光ガイドの断面積を低減させその長さを増大することによって漏れ電流を低減させる方法が提案された。しかし光ガイドの抵抗率がなおも相当に低く、メグオーム（ＭΩ）のオーダであり、いずれにせよ光ガイドの長さに依存するので、容積および製造コストの問題を生じる。

【０００７】文献、"22 GHz Photodiode monolithically integrated with optical wave-guide on semei-insulating InP using novel Butt-Joint structure, Kato etal., Electronic Letters, 1992, pp.1140-1143" には、光ガイドの端面上に、この光ガイドとホトダイオードとの間に絶縁層を形成する方法が記載されている。光ガイドとホトダイオードの形成後にこれらのホトダイオードと光ガイドとを分離するために反応性イオンビーム腐食法（ＲＩＢＥ）によって垂直溝をエッチングし、この溝の中に絶縁層としてのシリカ薄膜がマグネトロンによって蒸着される。しかしこの方法によれば、エッチングされる溝の幅を制御することが困難であり、従ってホトダイオードと光ガイドとの間に形成される無定形シリカ薄膜の厚さを制御してこれらの光ガイドとホトダイオードとの間に最適光伝送を保証することが困難である。

【０００８】特開平３－２９２，７７７号公報に記載の集積構造体においては、半導体レーザおよび検出器の成分層の形成後に絶縁性バリヤがエピタキシャル成長させられる。これらの２つの成分が導電性基板上に形成されて共通電極を保持するので、２成分間の絶縁が不完全である。同様にＥＰ４２２，８５４号公開明細書の中に提案された構造体においては、ホトダイオードと光増幅器が共通電極を保持する。本発明は前記の問題点を解決しようとするものである。

【０００９】

【課題を解決するための手段】従って本発明の目的は、光ガイドによって光学的に接続された２つの光電成分を含むモノリシック集積構造の製法において、前記２つの光電成分の間の光伝送を可能とする少なくとも１つの絶縁バリヤを形成する段階を含み、本発明によれば前記バリヤはインシチュ（in situ ）形成されることを特徴とするモノリシック集積構造体の製造方法を提供するにあ

SAMSUNG EX. 1002 - 664/2862

る。

【００１０】従って、先行技術による提案と相違し、本発明によれば、後で絶縁物質によって充填されるべき溝を予め正確にエッチングする必要がない。本発明によれば、構造体の成分の製造中にまたは製造後に、この構造中にこれら２成分間の光通路に配置された溝をエッチングすることなく、絶縁バリヤを形成することができる。

【００１１】望ましくは、光電成分の少なくとも一方と光ガイドとの間の光伝送はエバネッセンス(Evanescence) によって実施される。他の実施態様として、この光伝送は突き合わせ接合によって実施される。

【００１２】本発明の第１実施態様によれば、絶縁バリヤは与えられた導電型の元素をもって構造の反対導電型の少なくとも１つの区域を局所ドーピングすることによって形成される。

【００１３】好ましくは、ドーピングは、構造の表面から、前記元素を光ガイドを通して構造の絶縁基板まで深部拡散することによって実施される。他の実施態様において、ドーピングは、構造の表面から、前記元素を光ガイドを通して構造の絶縁基板までイオン注入することによって実施される。好ましくは前記元素はｐ＋導電型を有する。もし適当なら、構造が重ね合された相異なる導電型の少なくとも１つの第１層と少なくとも１つの第２層とを含む場合、第１層の１つの区域のドーピングが前記第１層の導電型と反対の導電型を有する第１元素によって実施され、前記第１層のドーピング区域から片寄った前記第２層の１つの区域のドーピングが前記第２層および前記第１元素の導電型と反対の導電型を有する第２元素によって実施され、２つの光電成分の間にｎｐｎ型およびｐｎｐ型の２つの絶縁接合を形成する。絶縁を改良するため、直列に配置された数個の絶縁接合を同様に形成することができる。

【００１４】前記実施態様の変形として、ドーピングは与えられた型の元素を構造体の中間層の中に混入させることによって実施され、この中間層は前記元素の導電型と反対の導電型を有する２つの層の中間にエピタキシャル成長によって付着される。

【００１５】好ましくは前記元素はｐ＋導電型とする。

【００１６】本発明による方法の第２実施態様においては、絶縁バリヤは半絶縁物質層のエピタキシャル成長によって形成される。好ましくは前記半絶縁物質は鉄を含有するリン化インジウムから成る。

【００１７】望ましくは、ｎ＋導電型の光インピーダンス整合層が、光ガイドと、この光ガイドによりエバネッセンス(Evanescence) 効果で光を伝送される少なくとも一方の光電成分との間に配置される。

【００１８】本発明による方法は、直列に接続された２つの検出ホトダイオードと、電気的に平衡されうる３ｄＢカプラーとを含み、前記カプラーが前記光電成分の一方を成し、また前記のホトダイオードがそれぞれ前記光電成分の他方を成すように成されたヘテロダイン受信回路のモノリシック集積構造体を製造するために使用される。

【００１９】また本発明は、２つの光電成分の間において光を伝送することのできる絶縁性バリヤをこれらの成分間にインシチュ形成されたことを特徴とする光ガイドによって光電的に相互に接続される２つの光電成分を含むモノリシック集積構造体にある。

【００２０】本発明のモノリシック集積構造体の１実施態様においては、前記バリヤは与えられた導電型の元素をもって構造の反対導電型の少なくとも１つの区域をドーピングすることによって形成される。

【００２１】本発明のモノリシック集積構造体の他の実施態様においては、前記バリヤは、前記光ガイドとこの光電成分との間に半絶縁物質層をエピタキシャル蒸着することによって形成される。

【００２２】本発明のさらに他のモノリシック集積構造体においては、直列に接続された２つの検出ホトダイオードと、電気的に調整可能の３ｄＢ－カプラーとを含み、前記検出ホトダイオードと前記カプラーとの間に絶縁バリヤがインシチュ形成され、このバリヤが前記カプラーと前記検出ホトダイオードの間の光伝送を可能とする。

【００２３】

【実施例】下記の説明において、用語および用語結合、「長さ、前方、後方」、「側方」、および「厚さ、垂直、上方、下方」は付図の参照フレーム（Ｘ，Ｙ，Ｚ）のそれぞれＸ軸、Ｙ軸およびＺ軸にそった距離または位置を示す。

【００２４】図１乃至図４に図示の２つのモノリシック集積構造例はそれぞれ本発明の方法によって構成されたものであって、いずれもヘテロダイン受信回路に関するものであり、これらの回路はそれぞれ、直列に接続されたＰＩＮ型の２つの検出ホトダイオードＤ１，Ｄ２と、電気的に調整可能の３ｄＢカプラーＫとを含み、前記カプラーＫは２つの光ガイドを含み、これらの光ガイドはその上部にそれぞれの案内ストリップ１、２を有する。

【００２５】これら２つの集積構造は、ＸＺ面に対して平行な対称中面に対して対称的である。

【００２６】光ガイドの中への光の導入は構造の正面３から実施され、この正面３は平面であって、Ｘ軸線に対して垂直であり、案内層２０の中にあり、この案内層２０は下記に説明するように下方閉込め層２１と上方閉込め層２２とに挟まれている。案内ストリップ１、２は、これらのストリップの被覆する案内層区域の中に光を閉込め、またこれらのストリップは正面３から始まって、Ｘ軸に対して平行な相互に離間する直線部分１ａ，２ａを示し、これらの直線部分から後方に２つの湾曲部分１ｂ，２ｂが延長され、これらの湾曲部分から２つの相互に近接した直線部分１ｃ，１ｄが延長され、これらの直

SAMSUNG EX. 1002 - 665/2862

線部分１ｃ，１ｄはＸ軸に対して平行に並列されてカプラーＫの作動区域を成し、次に２つの後方に湾曲した部分１ｄ，２ｄが延在し、これらの湾曲部分は相互に離間して、これらの湾曲部分からそれぞれ２つの直線部分１ｅ，２ｅが延長され、これらの直線部分１ｅ，２ｅは相互に離間してＸ軸に対して平行に延在しそれぞれホトダイオードＤ１，Ｄ２に終わっている。

【００２７】下記において、Ａ、ＢおよびＣはそれぞれ構造の３区域を示し、これらの区域はＸ軸に対して垂直な２つの面P_{AB}とP_{BC}とによって区画されている。

【００２８】案内ストリップ１と２は区域ＡとＢの上に延在し、ホトダイオードＤ１，Ｄ２は区域Ｃの中に形成される。面P_{AB}は、後方湾曲部分１ｄ，２ｄと後方直線部分１ｅ，２ｅとの接合部分近くで案内ストリップ１、２と交わっている。

【００２９】図１および図２のモノリシック集積構造は本発明の第１実施態様に対応する。この構造は半絶縁性物質の基板１０を含み、この基板は付図においてダイシング後にＸ軸にそった細長い平行六面体として図示され、この基板はこの実施例においては鉄の含有によって半絶縁性に成されたリン化インジウムから成り、その抵抗は10^{7} Ωｃｍである。

【００３０】半絶縁性基板組立体１０の上に、例えば金属－有機化学蒸着法（ＭＯＣＶＤ）または分子ービームエピタキシャル成長法（ＭＢＥ）による第１エピタキシャル成長によって逐次下記の層が蒸着される。

【００３１】ａ）０．５μｍの厚さとｎ導電型のＩｎＰから成る指数n_1の下方閉込め層２１、

ｂ）ｎまたはｎ－導電型と０．６５μｍの厚さを有する４元ＩｎＧａＡｓＰから成るn_1より大きな指数n_2の光案内層２０と、

ｃ）ｎ－導電型のＩｎＰから成り、０．０５μｍの厚さを有する指数n_2以下のn_3の上方閉込め層２２と、

ｄ）０．４μｍの厚さを有し、ｎ＋導電型の４元ＧａＩｎＡｓＰ物質から成る光インピーダンス整合層５０と、

ｅ）０．９μｍの厚さを有し、ｎ－型固有導電性を有する３元ＧａＩｎＡｓ物質から成るＰＩＮホトダイオードの吸収層５１と、

ｆ）５０ｎｍの厚さを有し、それ自体公知のように次の２元物質層との漸進的結合を成すための４元ＧａＩｎＡｓＰの薄層５４と、

ｇ）０．４μｍの厚さを有し、ｎ導電型のＩｎＰから成るＰＩＮホトダイオードの上方閉込め層５２と、

ｈ）０．０５μｍのオーダの厚さを有し、ｎ導電型の３元ＧａＩｎＡｓ物質から成るホトダイオードの接触薄層５５と、

ｉ）図示されていない、エピタキシャル成長再開用の厚さ０．１μｍのＩｎＰ保護層。

【００３２】次に、カプラーＫの２つの光ガイドが形成される構造部分（区域ＡおよびＢ）において、前記ＩｎＰ保護層および前記層５５，５２，５４，５１および５０が除去される。このようにして露出された薄い上方閉込め層２２上に第２エピタキシャル成長が実施されて、これらの構造部分Ａ、Ｂにおいて逐次、下記層が形成される。

【００３３】ｊ）層２２と同一組成の厚さ０．１５μｍのＩｎＰから成る上方閉込め層２３と、

ｋ）厚さ２５ｎｍのｎ導電型の４元ＧａＩｎＡｓＰ物質から成る薄いブロッキング層２４と、

ｌ）厚さ０．８ｍｍで、案内ストリップ１、２をその上にエッチングするためのｎ導電型のＩｎＰから成る上方閉込め層３０。

【００３４】次に、窒化ケイ素保護マスクが構造全体に蒸着され、次に案内ストリップ１、２の線図に従って前記マスクを乾式エッチングし、次に上方閉込め層３０の保護されていない部分を除去することによりこれらのストリップが形成される。

【００３５】案内ストリップ１、２のエッチング後に、樹脂から成る第２保護マスクが構造全体の上に配置され、このマスクは案内ストリップ１、２のそれぞれ湾曲部分１ｂ，２ｂおよび１ｄ，２ｄに跨るウインド７０と７１を示す。これらのウインドの中においてブロッキング層２４と上閉込め層２２、２３を化学腐食によって除去し、図１に図示のようにこれらのウインドの中において案内層２０の上側面を露出させる。

【００３６】次に構造全体の上に新しい窒化ケイ素保護マスクを蒸着し、次にこのマスクの中に構造の幅全体に延在する溝穴状のウインドをＹＺ面に対して平行な面にそって形成する。このウインドは、本発明の方法の第１実施態様により、望ましくは亜鉛のｐ＋導電型の元素を基板１０まで前記ウインドを通して深く拡散させることによって絶縁バリヤ４０を形成するのに役立つ。このバリヤ４０は、Ｘ軸にそった方向にｎｐｎ二重接合を形成して、２つの検出ホトダイオードＤ１，Ｄ２とカプラーとを相互に電気的に絶縁させ同時にこれらの間に光を伝送させることができる。５００℃の温度での光照射に際して、上方閉込め層２２、２３、２４、３０のＩｎＰの厚さ約１μｍと、４元物質案内層２０の厚さ０．６５μｍと、下方閉込め層２１のＩｎＰの厚さ０．５μｍとを通して拡散するためには約３０分が必要である。光ガイドの中において、ｐ＋ドーピングは、相互に平行でＸ軸に対して垂直な２面４０ａ，４０ｂの間に局限される。これらの２つの面は、構造のｎ導電型またはｎ－導電型の区域Ｂの中に配置されている。このようにインシチュ形成された二重接合は２つのダイオードの頭／尾取付けに相当し、電流の横断に抵抗すると共にこの光ガイド中の光通過を可能とする。

【００３７】本発明による方法の第１実施態様の変形においては、構造の表面からＺ軸方向に基板まで延在する長方形断面の潜函の形状の２つの絶縁バリヤを形成し、

SAMSUNG EX. 1002 - 666/2862

それぞれのバリヤの内部に２つのダイオードを配置することができる。

【００３８】光ガイドを形成する層の全部が同一型の導電性でない場合、または光ガイドの導電型と反対の導電型を有する他の層がこの光ガイドの上に蒸着された場合、ＹＺ面に対して平行でＸ軸にそって片寄った２つの面にそって延在する２つの深いドーピングによって絶縁が実施される。この場合、与えられた型の各導電層上に２つのｎｐｎダイオード接合とｐｎｐダイオード接合とを頭／尾形成するように、２つの反対導電型の元素を使用してドーピングを実施することができる。

【００３９】図示の実施例において絶縁バリヤ４０は光ガイド中の光通路の中に配置されている。

【００４０】また本発明の主旨の範囲内において、段階（ｂ）後に、段階（ｃ）前に、ｎ導電型またはｎ－導電型の案内層２０上に、ｐ＋導電型層を蒸着し、次にこのｐ＋導電型層の上にｎ導電型またはｎ－導電型の上方閉込め層２２を蒸着することによって、エピタキシャル成長段階中に絶縁層をインシチュ形成することができる。この場合、絶縁バリヤは、光ガイドを出てホトダイオードに向かう光のエバネッセント型通路の中に配置される。

【００４１】亜鉛の深部拡散による絶縁バリヤ４０の形成後に、案内ストリップ１、２の相互に近接した直線部分１ｃ，２ｃ上にそれぞれ配置された２つのウインドと、ホトダイオードＤ１，Ｄ２の接触層５５上の他の２つのウインドとの合計４ウインドが同一窒化ケイ素マスクを通して拡散によって形成される。この場合、光ダイオードの層５５、５２の中にこれらのウインド５３ａを通して亜鉛が拡散されてｐ＋導電型の２区域５３を形成し、また層３０の中に案内ストリップ１、２の厚さの半分まで亜鉛が拡散されてカプラーＫを平衡させるための２つのｐ＋導電型電極区域３１を形成する。

【００４２】また前述のように、層３０と５２の中にＺｎの拡散による同時的ドーピングを可能とするように、これらの層３０、５２を同一素材で製造するのが望ましいことを注意しよう。

【００４３】次に、ブロッキング層２４上に、案内ストリップ１、２の相互に近接した直線部分１ｃ，２ｃの側方に、それぞれ隣接拡散区域３１に電気的に接続されたカプラーＫの２つの接点３２が配置されている。

【００４４】同様に、各ホトダイオードＤ１，Ｄ２上にそれぞれｎ－接点５５ａとｐ－接点５３ａが金属化によって配置され、これらの接点はそれぞれ各ホトダイオードの拡散区域５３の外側にある接点層５５の一部とこの拡散区域５３とに接続されている。

【００４５】望ましくは、４元物質から成る光インピーダンス整合層５０は、上方閉込め層２２の指数n_3より大きな指数n_4を示す。層５０の厚さは好ましくは反射防止層を成すように選定され、またこの層５０が光ガイドの上方に配置されていることはキャリヤの走行時間を制限させる。光が光ガイドから出てホトダイオードに向かうエバネッセンス(Evanescence) 伝送のために必要な吸収長さを短縮させ、従ってホトダイオードの容量を制限するように、層５０が案内層より大きな光指数を示すことが望ましい。

【００４６】次に、図１に図示の形状と合致するように、樹脂マスクを通してイオンビームエッチング法（ＩＢＥ法）によって、構造区域Ｂ，Ｃにおいて２つのホトダイオードＤ１，Ｄ２が基板１０まで彫刻される。彫刻区域は構造の前記面P_{AB}から後方に構造の後側面まで達する。前記の光ガイドは、その案内ストリップ１、２の後方直線部分１ｅ，２ｅによって覆われる部分において彫刻され、この彫刻部分はＸ軸にそって絶縁バリヤ４０の両側に延在し、従って光ガイドの絶縁バリヤ４０の前方に延在する部分とホトダイオードとの間に電気的接触はありえない。

【００４７】次にポリアミドから成る電気的接触支持パッド６０がそれ自体公知のように配備され、このパッドの上側面６１の上に金属化によって接点６４、６３、６６が形成され、これらの接点はそれぞれホトダイオードＤ１のｎ－接点５５ａ、ホトダイオードＤ１のｐ－接点５３ａおよびホトダイオードＤ２のｐ－接点５３ａに接続される。同様に接点６３はホトダイオードＤ２のｎ－接点５５ａに接続されているので、２つのホトダイオードＤ１，Ｄ２は支持パッド６０の接点６３によって直列に接続されている。

【００４８】図３と図４は本発明の方法の第２実施態様によって形成された構造を示す。

【００４９】図１と図２の素子と同様の図３と図４の素子は単に１００を加えた数字によって示される。もちろん、これらの素子の組成に関する説明は下記の説明に適用されるものとする。

【００５０】この実施態様において、第１エピタキシャル成長段階において光ガイドの上方閉込め層１２２の上に半絶縁物質の層２４０をエピタキシャル成長によって付着することによって電気的絶縁バリヤを形成する。この第１エピタキシャル成長段階においては層１５０、１５１、１５４、１５２、および１５５も付着される。あるいは変形として、層２４０を直接に光案内層１２０の上に付着することも考えられる。

【００５１】望ましくは層２４０は、鉄の含有によって半絶縁化されたＩｎＰ（ＩｎＰ：Ｆｅ）から成る。

【００５２】次に構造区域Ａ，Ｂの化学腐食によって層２４０を除去した後に、第２エピタキシャル成長段階を実施し、この段階において層１２３、１２４、１３０を付着する。

【００５３】案内ストリップ１０１、１０２をエッチングする際に、層２４０と短絡する接点を防止するため、ホトダイオードＤ１，Ｄ２の前縁を含む面P_{MC}から、こ

SAMSUNG EX. 1002 - 667/2862

れらのストリップ１、２の後側面２０２を分離するギャップ２０１をエッチングすることを注意しなければならない。このギャップ２０１は好ましくはＸ軸方向に３μｍのオーダの幅を有し、垂直に層１２２に達する。本出願の前文に記載の最後の公表と相違し、このギャップ２０１は単に絶縁の役割を有するのであって光によって横断されないのであるから、これを高度に精密に形成することは不必要である。

【００５４】本発明は前記の説明に限定されない。特に、カプラーの一方の案内ストリップに対して光学的に接続された局所発振器を使用することも考えられる。

【図面の簡単な説明】

【図１】本発明の第１実施態様によるモノリシック集積＊構造の概略斜視図。

【図２】図１の構造のＸ－Ｚ面に対して平行な面における断面図。

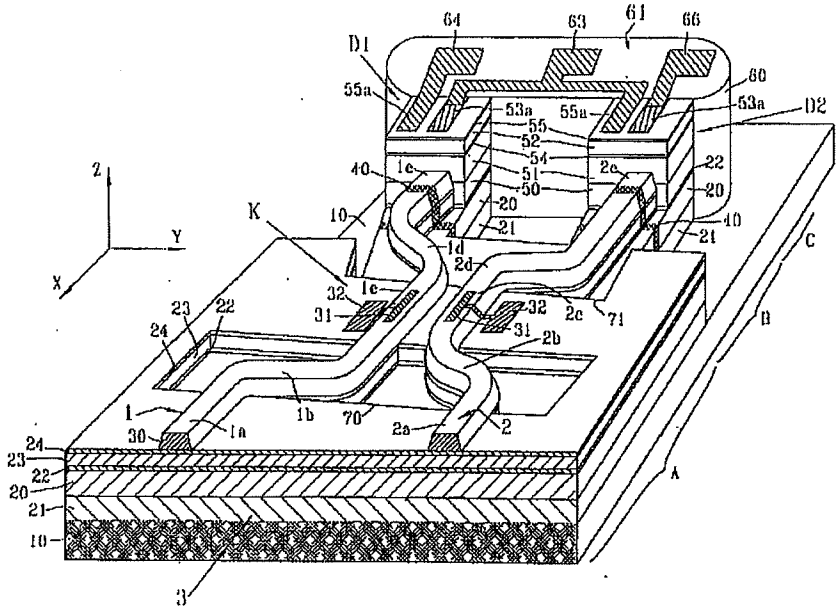
【図３】本発明の第２実施態様によるモノリシック集積構造の概略斜視図。

【図４】図３の構造のＸ－Ｚ面に対して平行な面における断面図。

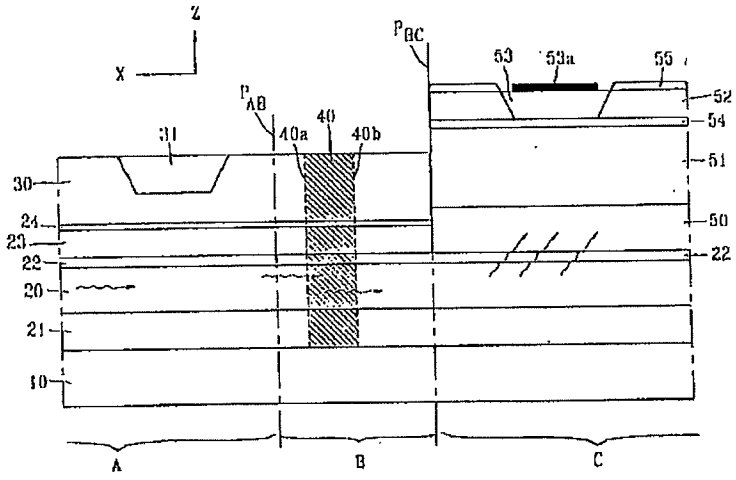
【符号の説明】

１０　基板
４０　絶縁性バリヤ
２４０　絶縁性バリヤ
Ｄ１，Ｄ２　検出ホトダイオード
Ｋ　３ｄＢ－カプラー

【図１】

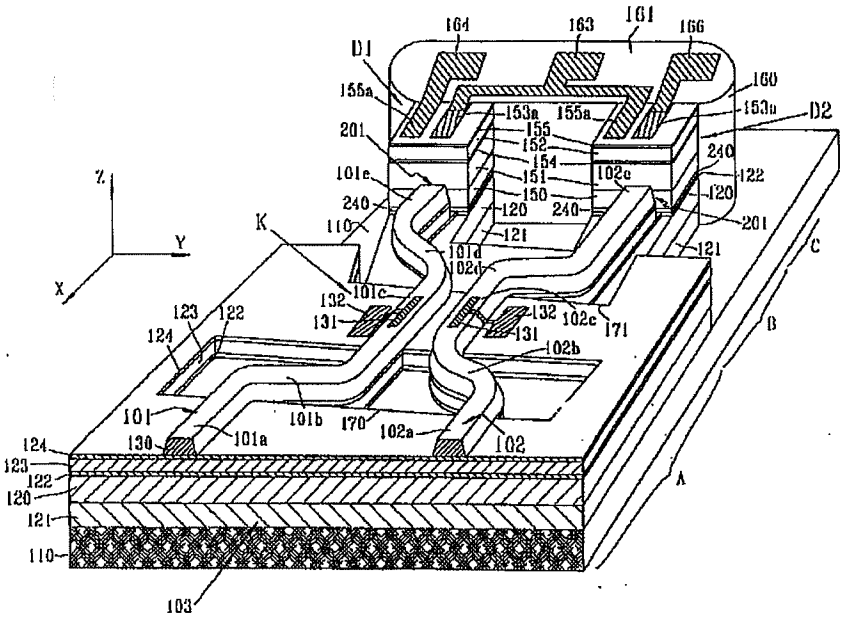


【図２】

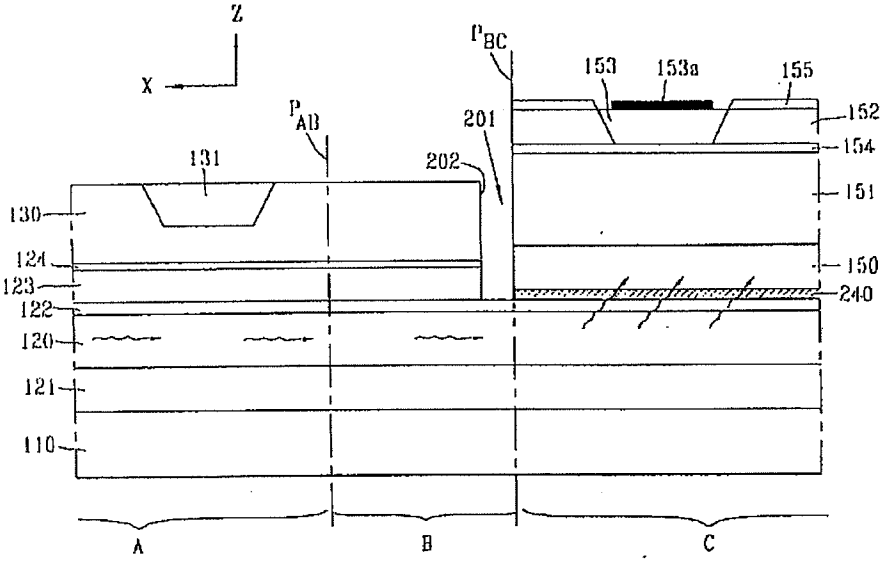


SAMSUNG EX. 1002 - 668/2862

【図3】



【図4】



フロントページの続き

(51)Int.Cl.[6]	識別記号	庁内整理番号	F I	技術表示箇所
H01L 31/02				
H01S 3/18				
		7630－4M	H01L 31/02	B

SAMSUNG EX. 1002 - 669/2862

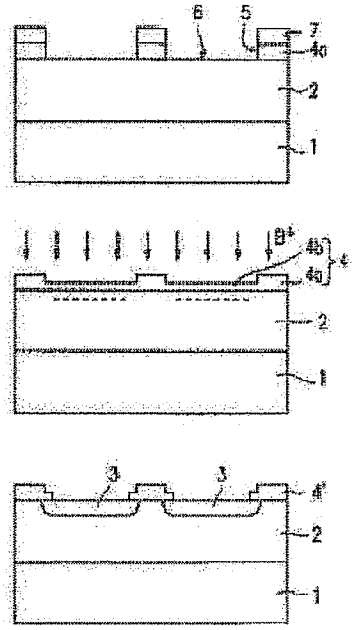
PHOTO DETECTOR AND MANUFACTURE THEREOF

Publication number: JP9298308 (A)
Publication date: 1997-11-18
Inventor(s): FUKUNAGA NAOKI; KUBO MASARU +
Applicant(s): SHARP KK +
Classification:
- international: ***H01L21/265; H01L31/10;*** **H01L21/02; H01L31/10;** (IPC1-7): H01L21/265; H01L31/10
- European:
Application number: JP19960109765 19960430
Priority number(s): JP19960109765 19960430

Also published as:
JP3516552 (B2)

Abstract of **JP 9298308 (A)**

PROBLEM TO BE SOLVED: To reduce the proportion of those carriers recombined to disappear on a semiconductor structure among carriers caused by a light incidence by distributing impurity in a diffused layer forming a photo detecting part of a semiconductor layer so that its concn. increases toward the surface of the semiconductor layer. SOLUTION: The surface 6 of an epitaxially grown layer 2 exposed in openings 5 of a first insulation film 4a is oxidized to form a first thermal oxide layer 4b, and a p-type impurity is implanted into the grown layer 2 under the condition of an implanting incident range less than the thickness of the second oxide layer 4b. This condition is to locate peaks of an impurity profile just after the ion implanting, not in the interior of the epitaxially grown layer 2 but in that of the second oxide film 4b.; For activating the impurity, it is heat treated in a nonoxidative atmosphere to activate and diffuse the impurity to form impurity diffused regions 3.



Data supplied from the ***espacenet*** database — Worldwide

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報（Ａ）**　(11)特許出願公開番号

特開平9－298308

(43)公開日　平成９年(1997)11月18日

(51)Int.Cl.[6]	識別記号	庁内整理番号	ＦＩ		技術表示箇所
Ｈ０１Ｌ　31/10			Ｈ０１Ｌ　31/10	Ａ	
21/265			21/265	Ｈ	

審査請求　未請求　請求項の数９　ＯＬ　（全 11 頁）

(21)出願番号　特願平8－109765

(22)出願日　平成８年(1996)４月30日

(71)出願人　000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号

(72)発明者　福永　直樹
大阪府大阪市阿倍野区長池町22番22号　シャープ株式会社内

(72)発明者　久保　勝
大阪府大阪市阿倍野区長池町22番22号　シャープ株式会社内

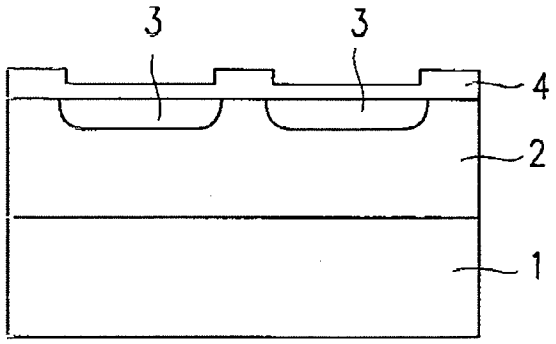
(74)代理人　弁理士　山本　秀策

(54)【発明の名称】　受光素子及びその製造方法

(57)【要約】

【課題】　半導体表面で再結合して消滅する光キャリアを減少させ、侵入長の比較的短い光に対して高い感度で光電変換を達成する。

【解決手段】　表面を有する第１導電型の半導体層２と、半導体層２の受光部に形成された少なくともひとつの第２導電型の不純物拡散層３とを備え、不純物拡散層３によってフォトダイオードが形成されている。不純物拡散層３内の第２導電型不純物は、半導体層２の表面に近づくほど濃度が高くなるように分布している。



SAMSUNG EX. 1002 - 671/2862

【特許請求の範囲】
【請求項１】　表面を有する第１導電型の半導体層と、該半導体層の受光部に形成された少なくともひとつの第２導電型の不純物拡散層とを備え、該不純物拡散層によってフォトダイオードが形成されている受光素子であって、
該不純物拡散層内の第２導電型不純物は、該半導体層の該表面に近づくほど濃度が高くなるように分布している受光素子。
【請求項２】　前記半導体層の前記表面において前記不純物拡散層に接触する絶縁膜を更に備えており、
前記第２導電型不純物の濃度は、該絶縁膜の内部で極大値を示している請求項１に記載の受光素子。
【請求項３】　前記絶縁膜は、反射防止膜として機能する請求項２に記載の受光素子。
【請求項４】　前記半導体層は、基板上にエピタキシャル成長した膜から形成されている請求項１から３の何れかに記載の受光素子。
【請求項５】　前記半導体層には、前記受光部からの信号を処理するための回路が形成されている請求項４に記載の受光素子。
【請求項６】　凹部を有する絶縁膜を第１導電型の半導体層の上に形成する工程と、
該絶縁膜を介して第２導電型不純物イオンを該半導体層に注入し、該絶縁膜の凹部の直下にフォトダイオードのための第２導電型不純物拡散層を形成する工程と、を包含する受光素子の製造方法であって、
該不純物拡散層を形成する工程は、該絶縁膜の凹部の厚さよりも注入飛程が小さくなる加速エネルギーで該不純物イオンを注入する工程を含んでいる、受光素子の製造方法。
【請求項７】　前記凹部を有する絶縁膜を形成する工程は、
第１の絶縁層を前記半導体層上に形成する工程と、
該第１の絶縁層を加工することによって、該第１の絶縁膜層に少なくとも一つの開口部を形成する工程と、
該第１の絶縁層の開口部内で露出する該半導体層の表面を熱酸化することによって、該開口部内に第２の絶縁層を形成する工程と、を包含している請求項６に記載の受光素子の製造方法。
【請求項８】　開口部を有する絶縁膜を第１導電型の半導体層の上に形成する工程と、
該絶縁膜の開口部内で露出する該半導体層の表面を覆うように、該絶縁膜上に反射防止膜を堆積する工程と、
該反射防止膜を介して第２導電型不純物イオンを該半導体層に注入し、該絶縁膜の開口部の直下にフォトダイオードのための第２導電型不純物拡散層を形成する工程と、を包含し、
該不純物拡散層を形成する工程は、該反射防止膜の厚さよりも注入飛程が小さくなる加速エネルギーで該第２導電型不純物イオンを注入する工程を含んでいる、受光素子の製造方法。
【請求項９】　開口部を有する絶縁膜を第１導電型の半導体層の上に形成する工程と、
第２導電型不純物を含む拡散ソース膜を、該絶縁膜の開口部内で露出する該半導体層の表面を覆うように該絶縁膜上に堆積する工程と、
該拡散ソース膜から該第２導電型不純物を該半導体層に拡散させ、該絶縁膜の開口部の直下にフォトダイオードのための第２導電型不純物拡散層を形成する工程と、を包含する受光素子の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は、受光素子及びその製造方法に関しており、特に、波長の短い光に対して高い感度で応答することのできる受光素子及びその製造方法に関する。特に、本発明は、デジタルビデオディスク（ＤＶＤ）再生装置の光ピックアップに適した受光素子及びその製造方法に関する。
【０００２】
【従来の技術】受光素子は、光エネルギーを受けて、それを電気エネルギーに変換する素子である。このような受光素子は、様々な装置に用いられている。近年、ＣＤ、ＭＯ、ＰＤ、及びＤＶＤ等の光学記録媒体の需要が増大するにつれ、光ピックアップに用いられる受光素子の研究開発が積極的に進められている。光学記録媒体の記録密度は、記録媒体に集光される光ビームのスポットサイズが小さいほど高くなる。光ビームのスポットサイズは、光の波長の二乗に比例するので、光源である半導体レーザ素子の発振波長を短くすることが検討されている。ＤＶＤの再生装置では、まず、波長６５０ｎｍまたは６３５ｎｍのレーザ光が使用され、将来的には、波長４３０ｎｍ前後のレーザ光が使用される。
【０００３】受光素子による光電変換は、半導体中に形成されたＰＮ接合に逆バイアスを印加し、それによって形成した空乏層及びその近傍に、光を照射することによって行われる。光の照射は半導体中にキャリアを励起（生成）し、励起されたキャリア（光キャリア）は拡散層及び空乏層に生じた電位勾配に従って移動し、ＰＮ接合に到達することによって光起電力（光電流）が生まれる。
【０００４】半導体表面に照射された光は、半導体に吸収されながら内部に侵入してゆくので、半導体中の光の強度は、半導体表面からの距離（深さ）に応じて指数関数的に減少する。上記キャリアは半導体に吸収された光によって生成されるため、吸収係数αの大きな光ほど、半導体表面の近傍にキャリアを生成することになる。光の吸収係数αは、光の波長と半導体の種類によって異なる。
【０００５】半導体内部に侵入した光の強度が、半導体

SAMSUNG EX. 1002 - 672/2862

表面における強度の１０％に低下する位置の半導体表面から計測した距離（深さ）を、本願明細書では、「侵入長（侵入深さ）」と呼ぶことにする。図９は、シリコンにおける光の強度（表面における光の強度を１とした場合の、光強度の割合）が、シリコン表面からの深さに依存してどのように変化するかを示すグラフである。図９からわかるように、例えば、波長が７８０ｎｍの光の「侵入長」は、約２０μｍである。

【０００６】以下に、図１０（ａ）～（ｄ）を参照しながら、従来の受光素子の製造方法を説明する。

【０００７】まず、図１０（ａ）に示されるように、公知のエピタキャル成長法を用いて、Ｎ型単結晶シリコン基板１０１の主面の上、全面に、Ｎ型エピタキシャル成長層１０２を形成する。次に、酸化性雰囲気中で熱処理を行うことによって、Ｎ型エピタキシャル成長層１０２の表面を熱酸化し、SiO_2膜１０４を形成する。

【０００８】次に、図１０（ｂ）に示すように、公知のリソグラフィ技術及びエッチング技術を用いて、絶縁膜１０４に開口部１０５を設け、Ｎ型エピタキシャル成長層１０２の表面１０６を部分的に露出させる。この開口部１０５の形状及び位置は、フォトダイオードを形成すべき領域を規定する。

【０００９】次に、図１０（ｃ）に示されるように、Ｎ型エピタキシャル成長層１０２の表面１０６のうち、開口部１０５で露出する領域に、Ｐ型不純物イオンを注入する。イオン注入直後の不純物濃度プロファイルのピークは、エピタキシャル成長層１０２の内部に位置する。

【００１０】次に、不純物活性化のための熱処理を行う。この熱処理によって、不純物が活性化されるとともに、不純物が拡散し、図１０（ｄ）に示されるように、不純物拡散領域１０３が形成される。このようして形成された受光素子のフォトダイオードは、図１１に示すような不純物濃度プロファイルを有している。

【００１１】

【発明が解決しようとする課題】上述の従来技術によれば、比較的に波長の短い光に対して感度が極めて低く、高いＳ／Ｎ比が得られないという問題がある。

【００１２】例えば、従来の光ピックアップに用いられる受光素子では、せいぜい、波長が７８０ｎｍ程度のレーザ光を検出できれば良かったが、今後は、更に短い波長の光、例えば、４３０ｎｍ程度のレーザ光を高い感度で検出することが強く望まれるようになってくる。このような短い波長の光は、図９から明らかなように、シリコン表面から約１μｍの範囲内でほとんど吸収される。

【００１３】従来の受光素子に形成されたフォトダイオードは、図１１に示すような不純物濃度プロファイルを有している。図１１から明らかなように、表面近傍で不純物濃度の低下がみられる。この不純物濃度の低下は、従来の製造方法を採用している限り、避けられない現象である。特に、不純物イオンの注入後にシリコン表面を熱酸化して、清浄なシリコン／酸化膜界面を形成する場合、シリコン中の不純物が熱酸化膜中に取り込まれ（パイルアップ）、シリコン表面の不純物濃度が低下する（偏析現象）。このため、従来の製造方法を実施する限り、図１１に示されるように、シリコン表面近傍で不純物濃度が低下してしまう。

【００１４】波長が７８０ｎｍまたはそれ以上の光に対して用いられる受光素子では、このような表面近傍での不純物濃度の低下は、ほとんど問題になることなく、特に重要視されない現象であった。それは、波長が７８０ｎｍまたはそれ以上の光に対しては、シリコンにおける光の侵入長が約２０μｍを越える大きさを持ち、シリコン表面から深い位置まで光が到達していたため、表面近傍（深さが約０．５μｍ以下の領域）でのキャリアの振る舞いが、受光素子の感度にほとんど影響を与えていなかったからである。

【００１５】しかし、シリコンにおける光の侵入長は、波長が青色領域（例えば、４３０ｎｍまたはそれ以下）の光に対しては約１μｍを下回るため、シリコン表面から深い位置まで光が到達しない。このため、受光素子が青色領域の光を受けた場合は、表面近傍（例えば、深さが約０．５μｍ以下の領域）でのキャリアの振る舞いが、受光素子の感度に重要な影響を与えると考えられる。

【００１６】より詳細に述べれば、図１１に示すような不純物濃度プロファイルを持つフォトダイオードでは、ＰＮ接合に逆バイアスを印加した場合、光の照射によって発生したキャリアのうち半導体表面の近傍で発生したものは、表面より内部にピークを持つＰ型拡散層のポテンシャル分布によって、表面側に移動し、表面再結合によって消滅することになる。

【００１７】従来のような不純物プロファイルを持つ受光素子において、このような表面再結合（界面再結合）によって消滅する光キャリアの割合は、波長が４３０ｎｍの光の場合、全体の最大６０％にも達すると考えられる。このため、光電変換効率は、理論的には、０．３５Ａ／Ｗ程度になるが、現実には、０．１５Ａ／Ｗ程度にしかならないと計算される。

【００１８】本願発明者は、デジタルビデオディスク（ＤＶＤ）等の光情報記録媒体から青色レーザ光を用いて高密度情報を再生する場合において、上記現象が光ピックアップの感度を著しく低下させると予測する。

【００１９】本発明は、上記課題を解決するためになされたものであり、その目的とするところは、光の入射によって半導体中に発生したキャリア（光キャリア）のうち、半導体表面で再結合して消滅するものの割合を低減し、侵入長の比較的短い光に対して高い感度で光電変換を達成できる受光素子及びその製造方法を提供することにある。

【００２０】

SAMSUNG EX. 1002 - 673/2862

【課題を解決するための手段】本発明の受光素子は、表面を有する第１導電型の半導体層と、該半導体層の受光部に形成された少なくともひとつの第２導電型の不純物拡散層とを備え、該不純物拡散層によってフォトダイオードが形成されている受光素子であって、該不純物拡散層内の第２導電型不純物は、該半導体層の該表面に近づくほど濃度が高くなるように分布しており、そのことにより上記目的が達成される。

【００２１】ある実施形態では、前記半導体層の前記表面において前記不純物拡散層に接触する絶縁膜を更に備えており、前記第２導電型不純物の濃度は、該絶縁膜の内部で極大値を示している。

【００２２】前記絶縁膜は、反射防止膜として機能してもよい。また、前記半導体層は、基板上にエピタキシャル成長した膜から形成されていてもよい。更に、前記半導体層には、前記受光部からの信号を処理するための回路が形成されてもよい。

【００２３】本発明の受光素子の製造方法は、凹部を有する絶縁膜を第１導電型の半導体層の上に形成する工程と、該絶縁膜を介して第２導電型不純物イオンを該半導体層に注入し、該絶縁膜の凹部の直下にフォトダイオードのための第２導電型不純物拡散層を形成する工程と、を包含する受光素子の製造方法であって、該不純物拡散層を形成する工程は、該絶縁膜の凹部の厚さよりも注入飛程が小さくなる加速エネルギーで該不純物イオンを注入する工程を含んでおり、そのことにより上記目的が達成される。

【００２４】ある実施形態では、前記凹部を有する絶縁膜を形成する工程は、第１の絶縁層を前記半導体層上に形成する工程と、該第１の絶縁層を加工することによって、該第１の絶縁膜層に少なくとも一つの開口部を形成する工程と、該第１の絶縁層の開口部内で露出する該半導体層の表面を熱酸化することによって、該開口部内に第２の絶縁層を形成する工程と、を包含している。

【００２５】本発明の他の受光素子の製造方法は、開口部を有する絶縁膜を第１導電型の半導体層の上に形成する工程と、該絶縁膜の開口部内で露出する該半導体層の表面を覆うように、該絶縁膜上に反射防止膜を堆積する工程と、該反射防止膜を介して第２導電型不純物イオンを該半導体層に注入し、該絶縁膜の開口部の直下にフォトダイオードのための第２導電型不純物拡散層を形成する工程とを包含し、該第２導電型不純物拡散層を形成する工程は、該反射防止膜の厚さよりも注入飛程が小さくなる加速エネルギーで該不純物イオンを注入する工程を含んでおり、そのことにより上記目的が達成される。

【００２６】本発明の更に他の受光素子の製造方法は、開口部を有する絶縁膜を第１導電型の半導体層の上に形成する工程と、第２導電型不純物を含む拡散ソース膜を、該絶縁膜の開口部内で露出する該半導体層の表面を覆うように該絶縁膜上に堆積する工程と、該拡散ソース膜から該第２導電型不純物を該半導体層に拡散させ、該絶縁膜の開口部の直下にフォトダイオードのための第２導電型不純物拡散層を形成する工程とを包含し、そのことにより上記目的が達成される。

【００２７】

【発明の実施の形態】以下に、本発明の実施の形態を説明する。

【００２８】本発明による受光素子は、第１導電型の半導体層と、この半導体層内に形成された第２導電型の不純物拡散層とを備えている。不純物拡散層の不純物濃度は、第１導電型半導体層の表面近傍において半導体層の内部よりも高く、そのことによって、光の入射によって半導体層の表面近傍に発生したキャリアが半導体層の内部に流れる。

【００２９】（実施例１）以下、図面を参照しながら、本発明による受光素子の第１の実施例を説明する。

【００３０】まず、図１を参照する。図１に示す受光素子は、Ｎ型単結晶シリコン基板１と、その上に形成されたＮ型エピタキシャル成長層（単結晶シリコン層）２と、Ｎ型エピタキシャル成長層２の受光部内に形成された複数のＰ型不純物拡散層３とを備えている。Ｎ型エピタキシャル成長層２の表面は、凹部を有する絶縁膜（SiO_2膜）４によって覆われている。本願明細書においては、絶縁膜４の「凹部」とは、絶縁膜４の他の部分よりも厚さの薄い部分を指し、不純物拡散層３は、この凹部の直下に形成されている。

【００３１】なお、図１には受光素子の受光部だけが示されているが、エピタキシャル成長層２の不図示の部分（非受光部）に、例えば、受光部からの信号を処理するための周辺回路が形成されてもよい。このような信号処理回路は、バイポーラトランジスタ等によって形成されることが好ましい。

【００３２】Ｎ型単結晶シリコン基板１としては、例えば、面方位が（１１１）で、比抵抗が０．０１～０．１Ω・ｃｍの基板が用いられる。本実施例のＮ型エピタキシャル成長層２は、厚さが１．０～１０μｍで、不純物濃度は例えば$1\times10^{15}\ cm^{-3}$である。

【００３３】Ｐ型不純物拡散層３は、Ｎ型エピタキシャル成長層２の選択された領域の表面からＰ型不純物が拡散され、導電型がＮ型からＰ型へ反転した領域であり、エピタキシャル成長層２のＮ型領域との間でＰＮ接合を形成している。受光素子が動作するとき、このＰＮ接合には逆バイアス電圧が印加され、それによって空乏層が形成される。空乏層及びその近傍（空乏層端から拡散長程度の距離内）で光照射によって生じたキャリアは、光の強度に応じた大きさを持つ電流を形成する。この電流（または電圧）を測定することによって、受けた光の強度を検出することができる。

【００３４】なお、Ｎ型エピタキシャル成長層２をシリコン基板１の上に形成することなく、Ｐ型不純物拡散層

SAMSUNG EX. 1002 - 674/2862

３を、直接、N型シリコン基板１内に形成しても良い。本実施例で、N型エピタキシャル成長層２をシリコン基板１の上に形成している理由は、周辺回路のバイポーラトランジスタをN型エピタキシャル成長層２に形成することを念頭に置いているからである。一般に、バイポーラトランジスタを形成するためには、エピタキシャル成長層の形成が必要となる。

【００３５】図２は、本実施例の受光素子の受光部において、N型エピタキシャル成長層２の表面から深さ方向に沿って計測した不純物濃度のプロファイル（Depth Profile）を示している。図２から明らかなように、エピタキシャル成長層２の表面（深さ：０μｍ）から内部に向かって、P型不純物の濃度は単調に減少している。言い換えると、エピタキシャル成長層２の表面近傍で不純物濃度は低下しておらず、表面に近づくにつれ不純物濃度は高くなる。図１に示す例では、表面で不純物濃度は、約$2\times10^{18}cm^{-3}$という値を示している。

【００３６】このような不純物濃度プロファイルの不純物拡散領域は、光キャリアが半導体表面に向かって移動するときのポテンシャルバリアとなる。そのため、光の照射を受けて不純物拡散層３の表面近傍に生じたキャリアは、不純物拡散層３の表面側にではなく、内部側に移動することができる。

【００３７】このような不純物プロファイルを持つ受光素子においては、表面再結合（界面再結合）によって消滅する光キャリアの割合は、波長が４３０ｎｍの光の場合、全体の約１０％以下に減少すると考えられる。このため、フォトダイオードの光感度は、エピタキシャル層の再結合による光キャリアの消滅が支配的となり、光電変換効率は、０．２５～０．３Ａ／Ｗにまで向上する。

【００３８】次に、図３（ａ）～（ｄ）を参照しながら、上記受光素子の製造方法を説明する。

【００３９】まず、図３（ａ）に示されるように、公知のエピタキシャル成長法を用いて、N型単結晶シリコン基板１の主面の全面に、N型エピタキシャル成長層２を形成する。次に、酸化性雰囲気（例えば、酸素や水蒸気）中で熱処理を行い、N型エピタキシャル成長層２の表面を熱酸化することによって、第１の絶縁膜（SiO_2膜）４ａを形成する（第１の熱酸化工程）。例えば、水蒸気雰囲気で、約５０分間、温度１０００～１１００℃の熱処理を行えば、３００～６００ｎｍの厚さを持った熱酸化膜が得られる。本実施例では、厚さ約５００ｎｍの熱酸化膜を形成している。この第１の熱酸化膜４ａは、あとの不純物イオン注入工程でマスクとして機能する。従って、その厚さは、注入された不純物イオンがN型エピタキシャル成長層２の表面に到達しないように設定される。

【００４０】次に、図３（ｂ）に示すように、公知のリソグラフィ技術及びエッチング技術を用いて、第１の絶縁膜４ａに開口部５を設け、N型エピタキシャル成長層２の表面６を部分的に露出させる。この開口部５の形状及び位置は、フォトダイオードを形成すべき領域、言い換えると、不純物拡散層３を形成すべき領域の形状及び位置を規定する。開口部５の形成は、開口部５のパターンを持ったレジスト層７を第１の絶縁膜４ａ上に形成した後、第１の絶縁膜４ａのレジスト層７に覆われていない部分をエッチングすることにより行われる。エッチングは、ドライエッチングまたはウェットエッチングの何れであっても良い。また、一般に、ウェットエッチングはドライエッチングに比較して表面６に損傷を与えにくいので、ドライエッチングで第１の絶縁膜４ａを薄膜化した後、引き続いてウェットエッチングで薄膜化した部分を除去するという２段階エッチングを行っても良い。

【００４１】なお、受光素子が、光ピックアップ用に用いられるとき、受光部には複数のフォトダイオードが形成されるので、当然、第１の絶縁膜４ａに設けられる開口部５の数は複数である。

【００４２】レジスト層７を除去した後、第２の熱酸化工程を行う。この工程は、前記第１の熱酸化工程と同様の方法で行われ得る。図３（ｃ）に示されるように、この熱酸化工程によって、第１の絶縁膜４ａの開口部５内で露出していたエピタキシャル成長層２の表面６を酸化し、そこに比較的に薄い第２の熱酸化膜（例えば、５０ｎｍ）４ｂを形成することができる。この熱酸化工程によって、第１の熱酸化膜４ａの厚さも増加する。なお、厳密に言えば、この熱酸化によって、エピタキシャル成長層２の表面６の位置はエピタキシャル成長層２の内部に向かって僅かに移動する。本実施例では、第１の熱酸化膜４ａ及び第２の熱酸化膜４ｂによって、「凹部を有する絶縁膜４」が構成されている。

【００４３】次に、公知のイオン注入法によって、P型不純物（本実施例では「ボロン（Ｂ）」）をエピタキシャル成長層２に注入する。このイオン注入は、注入の投影飛程（Ｒｐ）が第２の熱酸化膜４ｂの厚さ以下になる条件で行われる。このようにする理由は、イオン注入直後の不純物濃度プロファイルのピークを、エピタキシャル成長層２の内部ではなく、第２の熱酸化膜４ｂの内部に位置させるためである。第２の熱酸化膜４ｂの厚さが５０ｎｍの場合、例えば、加速エネルギーを１５ｋｅＶにすれば良い。この場合、第２の熱酸化膜４ｂの中にあって、エピタキシャル成長層２の表面６から約１０ｎｍ程度離れた位置に不純物濃度プロファイルのピーク（極大値）が位置する。

【００４４】次に、不純物活性化のため、非酸化性雰囲気（例えば　窒素ガス）中で、例えば、３０分間、９００～１０００℃の熱処理を行う。この熱処理によって、不純物が活性化されるとともに、不純物が拡散し、不純物拡散領域３が形成される（図３（ｄ））。この熱処理によって不純物が深く拡散することを避けるため、ランプアニール法などによって比較的に高温で短時間の熱処

SAMSUNG EX. 1002 - 675/2862

理を行ってもよい。

【００４５】上記工程によって、図２に示す不純物濃度分布を持った不純物拡散領域３が得られる。

【００４６】なお、図３（ｄ）では、第２の熱酸化膜４ｂの大部分が除去され、不純物拡散領域３の表面が露出している状態が示されている。この工程は必ずしも必要ない。

【００４７】次に、図４（ａ）～（ｃ）を参照して、上記製造工程の間に生じる不純物の再分布を説明する。

【００４８】まず、図４（ａ）は、不純物イオンの注入直後の濃度分布を模式的に示している。不純物濃度のピークは、エピタキシャル成長層２の表面６と第２の熱酸化膜４ｂの表面３６との間に位置している。

【００４９】図４（ｂ）は、不純物活性化のための熱処理後における不純物イオンの濃度分布を模式的に示している。不純物濃度のピークは、なおも、エピタキシャル成長層２の表面６と第２の熱酸化膜４ｂの表面３６との間に位置している。この例では、浅い接合を形成するため、不純物の拡散（不純物の再分布）が大きく進行しないように熱処理を行っている。もし、熱処理の温度が高く、また、時間が長いと、不純物が深く拡散してしまうため、拡散層のプロファイルがなだらかになり、不純物拡散層３の内蔵電界が弱まる。このため、拡散層中のキャリアの移動時間が長くなり、不純物拡散層３中で発生したキャリアが再結合により消滅してしまう問題がある。従って、不純物活性化のための熱処理条件は、図２のグラフに示すような不純物の濃度プロファイルが失われないように選択されなければならない。

【００５０】図４（ｃ）は、第２の熱酸化膜４ｂを除去し、反射防止膜８を堆積した後における不純物イオンの濃度分布を模式的に示している。この場合、反射防止膜８の中には、ほとんど不純物は拡散していない。このため、不純物濃度のピークは、エピタキシャル成長層２の表面６（反射防止膜８とエピタキシャル成長層２との界面）に位置している。

【００５１】不純物活性化のための熱処理は、第２の熱酸化膜４ｂを除去する前に行っても、あるいは、反射防止膜８を堆積した後に行っても良い。

【００５２】また、第２の熱酸化膜４ｂを開口部５内に形成する代わりに、第２の熱酸化膜４ｂと同様の厚さを持つ絶縁膜を基板上にＣＶＤ法やスパッタリング法によって堆積しても良い。ただし、一般に、そのような方法で堆積された絶縁膜とエピタキシャル成長層２との界面に比較して、熱酸化膜（４ｂ）とエピタキシャル成長層２との界面は清浄である。そのため、熱酸化膜（第２の熱酸化膜４ｂ）を形成する方が、表面再結合（界面再結合）の原因となる表面準位（界面準位）が形成されにくいので好ましいといえる。

【００５３】なお、図５に示すように、不純物拡散層３の表面を覆っている第２の熱酸化膜４ｂを除去して、開口部を有する絶縁膜４’を形成した後、例えばシリコンナイトライド膜からなる反射防止膜８を基板上に堆積しても良い。反射防止膜８の厚さは、受光素子の受ける光の波長に応じて適宜選択される。レーザ光等の単色性の強い光のための受光素子である場合は、反射防止膜８の厚さは、λ／（４ｎ）の奇数倍に等しくなるように設定される。なお、λは光の波長、ｎは反射防止膜８の屈折率である。反射防止膜８は、単層構造の代わりに多層構造を有していても良い。

【００５４】また、反射防止膜８は、不純物拡散層３の表面を覆っている第２の熱酸化膜４ｂを除去することなく、その上に形成しても良い。その場合、反射防止膜８の厚さは、第２の熱酸化膜４ｂの存在を考慮して最適化される。

【００５５】（実施例２）次に、図６（ａ）及び（ｂ）を参照しながら、本発明による受光素子の他の製造方法を説明する。

【００５６】まず、実施例１で説明した方法と同様の方法を用いて、図６（ａ）に示される構成を得る。図６（ａ）では、Ｎ型単結晶シリコン基板１１の上にＮ型エピタキシャル成長層１２が形成されており、Ｎ型エピタキシャル成長層１２の表面１６が、開口部１５を有する絶縁膜（厚さ：３００～６００ｎｍ）１４で覆われている。開口部１５の形状及び位置は、フォトダイオードを形成すべき領域、言い換えると、不純物拡散層を形成すべき領域の形状及び位置を規定する。

【００５７】次に、図６（ｂ）に示されるように、シリコンナイトライドからなる反射防止膜（厚さ：約３０～２００ｎｍ）１８を絶縁膜１４上に堆積した後、イオン注入法によってＰ型不純物（本実施例では「ボロン（Ｂ）」）をエピタキシャル成長層１２に注入する。このイオン注入は、注入の投影飛程（R_p）が反射防止膜１８の厚さ以下になる条件で行われる。このようにする理由は、イオン注入直後の不純物濃度プロファイルのピークを、エピタキシャル成長層１２の内部ではなく、反射防止膜１８の内部に位置させるためである。

【００５８】反射防止膜１８の厚さが約５０ｎｍの場合、例えば、加速エネルギーを１７ｋｅＶにすれば良い。この場合、反射防止膜１８の中にあって、エピタキシャル成長層１２の表面から約３０～４０ｎｍ程度離れた位置に不純物濃度プロファイルのピークが位置する。

【００５９】次に、不純物活性化のため、非酸化性雰囲気（例えば　窒素ガス）中で、例えば、約３０分間、９００～１０００℃の熱処理を行う。この熱処理によって、不純物が活性化されるとともに、不純物が拡散し、不純物拡散領域１３が形成される。

【００６０】上記工程によって、図２に示す不純物濃度分布を持った不純物拡散領域１３が得られる。

【００６１】このように本実施例では、フォトダイオードのための不純物イオン注入を、反射防止膜１８を堆積

SAMSUNG EX. 1002 - 676/2862

した後に行っており、しかも、注入直後の不純物濃度プロファイルのピークが反射防止膜１８中に位置するようにしている。

【００６２】反射防止膜１８は、単層構造の代わりに多層構造を有していてもよい。反射防止膜が多層構造を有している場合、まず、反射防止膜を構成する幾つかの層を基板上に堆積した後に上記不純物イオン注入を行い、その後に、残りの層を堆積することによって反射防止膜１８の形成を完了してもよい。

【００６３】なお、反射防止膜１８に不純物イオンの一部が注入された結果、反射防止膜１８の屈折率が変化する可能性がある。そのような屈折率の変化が大きい場合は、その屈折率の変化を考慮したうえで、反射防止膜１８の厚さを決定することが好ましい。

【００６４】上記実施例１及び実施例２の何れの場合も、不純物拡散層３を形成するために、絶縁膜（熱酸化膜やシリコンナイトライド膜）を透過するようにして不純物イオンを注入する方法を採用した。特に、不純物の濃度プロファイルのピークがその絶縁膜の内部に位置するように、不純物イオンの注入加速エネルギや絶縁膜の厚さを調整した。そうすることによって、図２に示すような不純物濃度プロファイルを持つフォトダイオードが形成できた。

【００６５】なお、不純物イオン注入時に、不純物拡散層３または１３の形成領域を覆う膜は、上記実施例１及び実施例２で用いた膜に限定されない。また、上記実施例では、何れも、不純物拡散層３及び１３の導電型をＰ型とし、これらの不純物拡散層３または１３が形成される半導体層の導電型をＮ型としているが、これらの導電型を反転させた構造を用いても良い。Ｐ型の不純物拡散層３及び１３を形成するために使用する不純物イオンとしては、Ｂ以外にBF_2等を使用しても良いし、また、他のIII族元素のイオンを用いても良い。Ｎ型の不純物拡散層を形成するためには、Ｖ族元素のイオン（例えば砒素（Ａｓ））を用いる。

【００６６】本願発明は、比較的に波長の短い光（例えば、４３０ｎｍ）に対して高い感度（高い量子効率）で応答できる受光素子を提供することを目的としているので、不純物拡散層の３及び１３の厚さ（接合深さ）は、そのような波長の短い光の侵入長程度以下に設定されることが好ましい。

【００６７】（実施例３）実施例１及び実施例２では、イオン注入法を用いて不純物拡散領域３及び１３をそれぞれ形成した。本実施例では、イオン注入法に代えて、固相拡散法を用いる。

【００６８】図７を参照して、本実施例の製造方法を説明する。

【００６９】まず、実施例１で説明した方法と同様の方法を用いて、図６（ａ）に示される構成を得る。図７では、Ｎ型単結晶シリコン基板２１の上にＮ型エピタキシャル成長層２２が形成されており、Ｎ型エピタキシャル成長層２２の表面２６が、開口部２５を有する絶縁膜（厚さ：３００～６００ｎｍ）２４で覆われている。開口部２５の形状及び位置は、フォトダイオードを形成すべき領域、言い換えると、不純物拡散層を形成すべき領域の形状及び位置を規定する。

【００７０】次に、図７に示されるように、Ｐ型不純物（本実施例では「ボロン（Ｂ）」）のドープされた絶縁膜（拡散ソース膜）２９を絶縁膜２４上に堆積する。絶縁膜２９は、絶縁膜２４の開口部２５を介してＮ型単結晶シリコン基板２１の表面２６に接触する。Ｐ型不純物がドープされた絶縁膜２９として、本実施例では、ボロンを２０重量％含むボロシリケートガラス（ＢＳＧ、厚さ：約５０～５００ｎｍ）を用いた。

【００７１】この後、例えば、９００～１０５０℃で、５～１０秒間の熱処理を行す。この熱処理によって、絶縁膜２９から不純物（ボロン）をＮ型単結晶シリコン基板２１に熱拡散し、不純物拡散層２３を形成する。熱処理の温度及び時間を調節することにより、前述の実施例の場合よりも、浅い接合を形成することができる。なお、絶縁膜２４の厚さは、絶縁膜（拡散ソース膜）２９からの不純物拡散のバリアとして十分に機能する厚さや膜質を持つように選択される。

【００７２】絶縁膜２９を除去した後、シリコンナイトライドからなる反射防止膜を堆積しても良い。また、絶縁膜２９の厚さを調整することによって、この絶縁膜２９をそのまま反射防止膜として使用しても良い。

【００７３】（実施例４）次に、受光部が形成されている基板上に信号処理回路部を一体的に内蔵した受光素子の実施例を説明する。この実施例は、複数のフォトダイオードが配置された受光部と、ＮＰＮトランジスタを主要な回路素子として含む信号処理回路部とを、同一半導体基板上に有している。

【００７４】以下、図８を参照し、製造工程の順序に従いながら本実施例の構成を説明する。

【００７５】まず、Ｐ型単結晶シリコン基板４１の主面のうち、その上にＮＰＮトランジスタが形成されるべき領域とフォトダイオードが形成されるべき領域とに、Ｎ型埋込拡散層４２を形成する。また、受光部に形成される各フォトダイオードを分離する領域と、信号処理回路部に形成される各回路素子を分離する領域に、Ｐ型埋込拡散層（不純物：ボロン、不純物濃度：$4\times10^{17}cm^{-3}$）４４を形成する。

【００７６】次に、Ｐ型単結晶シリコン基板４１上にＮ型エピタキシャル成長層（厚さ：約３μｍ）４３を形成する。この後、Ｎ型エピタキシャル成長層４３のうちＰ型埋込拡散層４４に対応した領域に、表面からＰ型不純物を拡散し、それによってＰ型埋込拡散層４５を形成する。Ｐ型埋込拡散層４５は、Ｐ型埋込拡散層４４の上部にまで到達し、Ｐ型埋込拡散層４４及び４５は、各フォ

SAMSUNG EX. 1002 - 677/2862

トダイオードや回路素子を相互に電気的に分離する。

【００７７】次に、ＮＰＮトランジスタを形成するために、周知の工程によって、Ｐ型ベース拡散層（不純物：ボロン、不純物濃度：$2\times10^{18}cm^{-3}$）４６、Ｎ型エミッタ拡散層（不純物：ヒ素、不純物濃度：$1\times10^{19}cm^{-3}$）４８、Ｎ型コレクタ取り出し用拡散層（不純物：ヒ素、不純物濃度：$1\times10^{19}cm^{-3}$）４７を順次形成する。Ｎ型エミッタ拡散層４８及びＮ型コレクタ取り出し用拡散層４７は、Ｐ型ベース拡散層４６を形成した後、Ｎ型エピタキシャル成長層４３上に形成した絶縁膜に開口部を設け、その開口部からＮ型不純物を拡散することによって形成される。

【００７８】一方、フォトダイオードが形成される領域に対しては、上記絶縁膜の開口部を介して、Ｐ型不純物が拡散されＰ型不純物拡散層４６’が形成される。このＰ型不純物拡散層４６’は、前述の方法によって形成され、図２に示すような濃度プロファイルを持つ。なお、ＮＰＮトランジスタのＰ型ベース拡散層４６と、フォトダイオードのＰ型不純物拡散層４６’とは、同一工程によって形成されても良い。ただし、ＮＰＮトランジスタのＰ型ベース拡散層４６は、図２のような不純物プロファイルを持つ必要がないので、Ｐ型不純物拡散層４６’を形成する工程とは異なる工程によって形成されてもよい。

【００７９】次に、シリコンナイトライドからなる反射防止膜（厚さ：５０ｎｍ）を形成する。その後、Ｐ型ベース拡散層４６、Ｎ型コレクタ取り出し用拡散層４７及びＮ型エミッタ拡散層４８のそれぞれに接触するように、ベース用電極５０、コレクタ用電極４９及びエミッタ用電極５１を形成する。これらの電極の形成には、公知のメタライゼーション技術が用いられる。

【００８０】本実施例では。フォトダイオードの分割領域に光が照射された場合の応答速度を改善するために、フォトダイオードの下方にもＮ型埋込拡散層（不純物：アンチモン、不純物濃度：$1\times10^{19}cm^{-3}$）４２を形成している。

【００８１】上記実施例としては、何れの場合も、シリコンからなる半導体層を用いた例を説明してきたが、本発明はシリコン以外の半導体層を用いた場合にも適用できるのは言うまでもない。

【００８２】また、図２に示すような不純物濃度プロファイルを得るには、図１１に示す不純物濃度プロファイルを持つシリコン層（又はシリコン基板）を形成した後、その表面の一部をエッチングや研磨等によって除去してもよい。

【００８３】

【発明の効果】本発明によれば、光の入射によって半導体中に発生したキャリア（光キャリア）が、半導体表面から遠ざかる方向にドリフトし、それによって効率的に電気信号が生成される。このため、半導体表面で再結合して消滅する光キャリアが減少し、侵入長の比較的短い光に対して高い感度で光電変換が達成される。

【００８４】本発明によれば、これから実用化されるであろう短波長レーザ光（例えば波長４３０ｎｍのレーザ光）に対して、シリコンを材料として極めて高い感度を持った受光素子を提供できるので、短波長レーザ素子を光源とする光情報媒体再生装置（例えばＤＶＤ装置）の光ピックアップを小型化・低消費電力化することが可能となる。

【図面の簡単な説明】

【図１】本発明による受光素子の実施例の断面図。

【図２】本発明による受光素子の実施例における不純物濃度プロファイルを示すグラフ。

【図３】（ａ）から（ｄ）は、本発明による受光素子製造方法の実施例を示す工程断面図。

【図４】（ａ）から（ｃ）は、製造工程の間に生じる不純物の再分布を示すグラフ。

【図５】本発明による受光素子の他の実施例の断面図。

【図６】（ａ）及び（ｂ）は、本発明による受光素子製造方法の他の実施例を示す工程断面図。

【図７】本発明による受光素子製造方法の更に他の実施例を示す工程断面図。

【図８】本発明による受光素子の更に他の実施例の断面図。

【図９】シリコンにおける光の吸収量（表面における光の強度を１とした場合の、光強度の割合）の深さ依存性を示すグラフ。

【図１０】（ａ）から（ｄ）は、受光素子製造方法の従来例を示す工程断面図。

【図１１】受光素子の従来例における不純物濃度プロファイルを示すグラフ。

【符号の説明】

１、１１、２１　Ｎ型単結晶シリコン基板

２、１２、２２　Ｎ型エピタキシャル成長層（単結晶シリコン層）

３、１３、２３　Ｐ型不純物拡散層

４、１４　絶縁膜（SiO_2膜）

４ａ　第１の絶縁膜

４ｂ　第２の熱酸化膜

５、１５、２５　開口部

６、１６、２６　エピタキシャル成長層２の表面

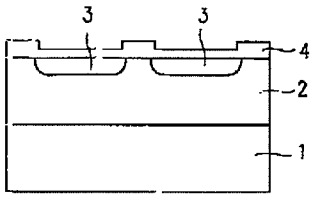
７　レジスト層

８、１８　反射防止膜

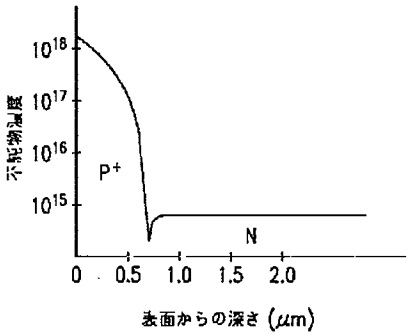
２９　絶縁膜

SAMSUNG EX. 1002 - 678/2862

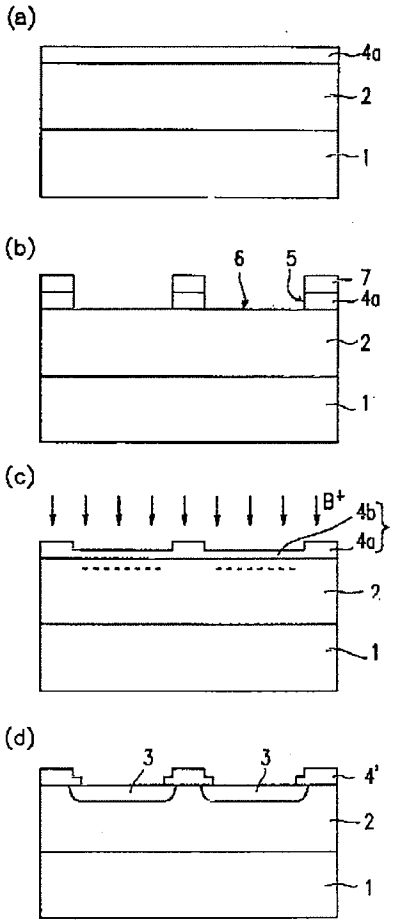
【図1】



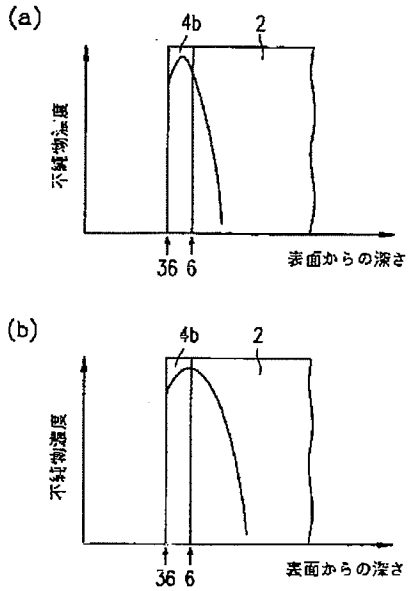
【図2】



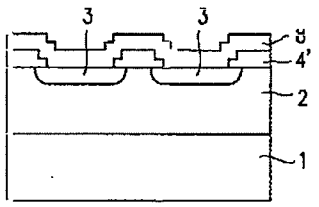
【図3】



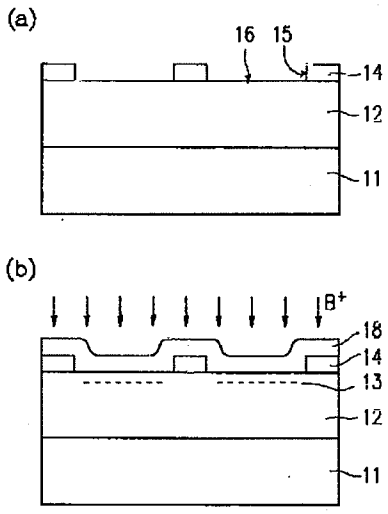
【図4】



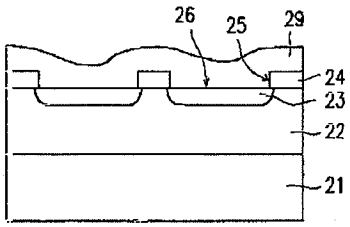
【図5】



【図6】

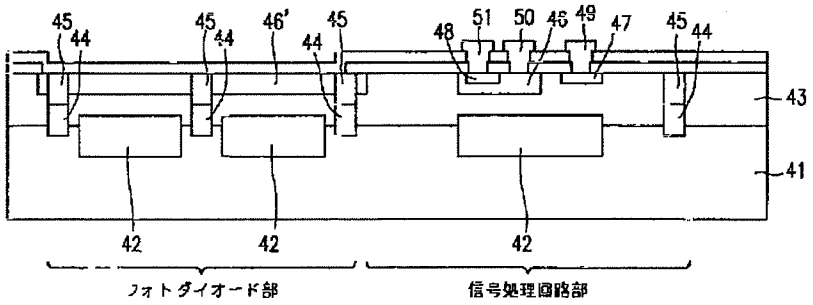


【図7】

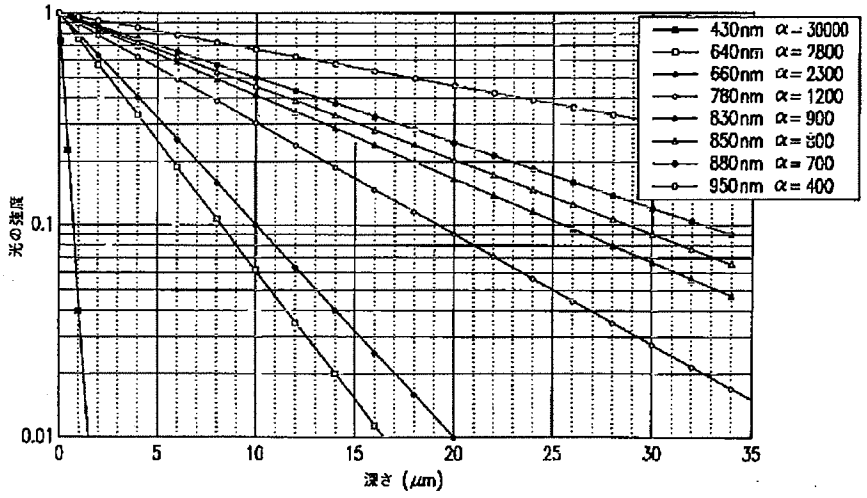


SAMSUNG EX. 1002 - 679/2862

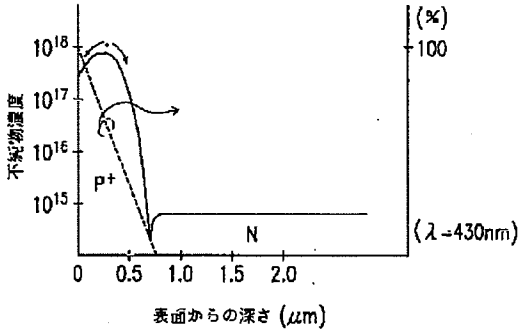
【図8】



【図9】

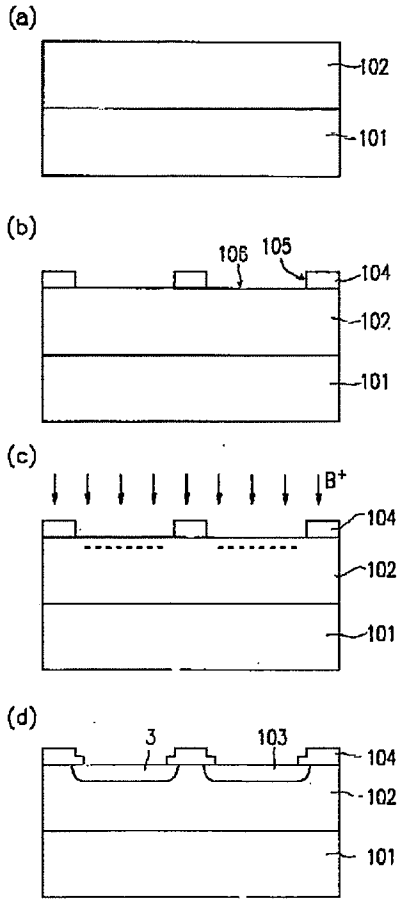


【図11】



SAMSUNG EX. 1002 - 680/2862

【図１０】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 57-071188
(43)Date of publication of application : 01.05.1982

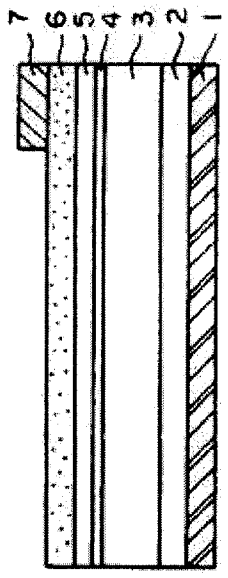
(51)Int.Cl. H01L 31/04

(21)Application number : 55-147846
(22)Date of filing : 21.10.1980

(71)Applicant : MITSUBISHI ELECTRIC CORP
(72)Inventor : HIGAKI YUKIO
YUKIMOTO YOSHINORI

(54) AMORPHOUS SOLAR CELL

(57)Abstract:
PURPOSE: T obtain P-i-N type cell, of small electric resistance, by constituting most of poly-crystal and a part of amorphous layer in a P type layer, as for a solar cell which consists of a P type semiconductor layer and an i type amorphous semiconductor layer, accumulated subsequently on a substrate, and an N type amorphous semiconductor layer.
CONSTITUTION: An N type layer 2 and an i type layer 3, composed of amorphous layer, and a P type layer 4 are accumulated on a metal substrate 1 of stainless steel or the like. A P type polycrystalline layer 5 is accumulated thereon. A transparent electrode 6 of In-Sn composite is accumulated thereon. An Al metal electrode 7 is attached to an end thereon. In this constitution, the layers 2~4 are formed subsequently by glow discharge or the like. THe layer 5 is formed temporarily as a P type amosphous layer, and mostly converted into poly-crystal, while partly remaining as unification with the P type amorphous layer 4, by applying a laser beam. This allows poly-crystallization so as to decrease the electric resistace as well as reduce absorption coefficient, thereby to make it possible to increase the thickness correspondingly and further lowes the resistance.



SAMSUNG EX. 1002 - 682/2862

⑲ 日本国特許庁（JP）　　⑪ 特許出願公開

⑫ 公開特許公報（A）　　昭57—71188

⑤1Int. Cl.³　識別記号　庁内整理番号
H 01 L 31/04　7021—5F

⑬公開　昭和57年(1982)5月1日

発明の数　1
審査請求　未請求

（全 3 頁）

⑤4アモルファス太陽電池

⑳特　願　昭55—147846
㉒出　願　昭55(1980)10月21日
⑦2発 明 者　檜垣幸夫
伊丹市瑞原4丁目1番地三菱電機株式会社エル・エス・アイ研究所内
⑦2発 明 者　行本善則
伊丹市瑞原4丁目1番地三菱電機株式会社エル・エス・アイ研究所内
⑦1出 願 人　三菱電機株式会社
東京都千代田区丸の内2丁目2番3号
⑦4代 理 人　弁理士　葛野信一　外1名

明　細　書

1. 発明の名称

アモルファス太陽電池

2. 特許請求の範囲

(1) 基板上に順次積層されたp型半導体層，i型アモルファス半導体層，n型アモルファス半導体層を有するアモルファス太陽電池において、前記p型半導体層は大部分がp型多結晶層半導体層によつて形成されかつ一部がp型アモルファス半導体層によつて形成されていることを特徴とするアモルファス太陽電池。

(2) p型多結晶半導体層は、p型アモルファス半導体層にレーザ光を照射することによつて形成されていることを特徴とする特許請求の範囲第1項記載のアモルファス太陽電池。

3. 発明の詳細な説明

この発明はアモルファス半導体を用いたpin型構造を有する太陽電池に関するものである。

この種の太陽電池においては一般に、光エネルギを受けて電子と正孔のキャリアを発生する部分は主としてi型半導体部に集中しており、p型およびn型層はキャリアの発生には殆んど寄与しない。従つて、光が照射される側にあるp型層については、特に、光の無駄な吸収を防ぐためにできる限り薄く形成する必要がある。

しかしながら、このようにp型アモルファス半導体層を薄くすると、他方で電気抵抗が増大するという問題が生じて来る。

この発明は、このような従来技術における問題を解決するためになされたもので、その目的は、電気抵抗の小さいpin型のアモルファス太陽電池を提供することにある。

このような目的を達成するために、この発明によるアモルファス太陽電池は、p型アモルファス半導体層の大部分を多結晶半導体層によつて置換したものである。以下、実施例によつて、この発明によるアモルファス太陽電池を詳細に説明する。

第1図は、この発明によるアモルファス太陽電池の一実施例を示す断面図である。同図において、ステンレス鋼等の金属基板(1)の上にn型アモルファス

SAMSUNG EX. 1002 - 683/2862

層(2)，i型アモルファス層(3)，p型アモルファス層(4)，p型多結晶層(5)が積層され、その上に、例えばインジウムとすずの混合物を蒸着することによつて透明電極(6)が形成されている。この透明電極(6)の上に更に、アルミニウム等によつて金属電極(7)が形成されている。該n型アモルファス層(2)，i型アモルファス層(3)，p型アモルファス層(4)は、例えばグロー放電法によつて順次形成される。またp型多結晶層(5)は、一旦p型アモルファス層を形成してこれにレーザ光を照射し、一部をp型アモルファス層(4)として残して大部分を多結晶層に変換することによつて形成される。

このように一旦形成したp型アモルファス層の大部分を多結晶化することにより、電気抵抗を低減することができる。また、多結晶化によつて光の吸収係数が小さくなるために、アモルファス層のみの場合に比べて厚くすることができ、電気抵抗が更に低減される。またこの場合には、はじめから薄いp型アモルファス層を形成しなければならない従来のものに比べ、膜厚の成長条件を緩和することができる利点がある。また、多結晶化する部分の厚さは、照射されるレーザ光の出力を調整することによつて高精度で制御することができる。

第2図は、この発明によるアモルファス太陽電池の他の実施例を示す断面図であり、第1図と同一部分は同一記号を用いてその詳細説明を省略する。同図において、ガラス基板(8)の上に、透明電極(6)が形成され、その上に、ボロンを大量にドーピングしたp型多結晶層(5)が形成されている。このp型多結晶層(5)を形成するには、先ず例えば化学的気相成長法によつてノンドーピングの多結晶層を形成した後にボロンをドーピングしてもよいし、予めドーピングしたガスを用いて化学的気相成長を行なつてもよい。また、グロー放電法により、ガス中にドーピングしながら高温で形成してもよいし、低温でアモルファス状態のものを形成した後に、レーザ光を照射して多結晶化する方法によつてもよい。このp型多結晶層(5)の上に、周辺の一部を残してp型アモルファス層(4)，i型アモルファス層(3)，n型アモルファス層(2)が順次積層されている。これらのアモルファス層は、該周辺の一部を金属マスクで被つた状態で、例えばグロー放電法によつて形成することができる。該n型アモルファス層(2)および露出したp型多結晶層(5)の表面上に、金属電極(7a)，(7b)が設けられている。この金属電極は、所定のパターンを有する金属マスクを用い、アルミニウム等の金属を蒸着することによつて形成される。

この場合も、p型半導体層のうちアモルファス層は極く薄く形成し、大部分を多結晶層によつて構成したことにより、電気抵抗を低減することができる。

以上説明したように、この発明によるアモルファス太陽電池によれば、光が照射される側のp型半導体層を、アモルファス層と該アモルファス層よりも小さい比抵抗を有する多結晶層とによつて形成したことにより、アモルファス層のみを用いた場合に比べて電気抵抗を低減することができる。また、該多結晶層はアモルファス層に比べて光の吸収係数が小さいため、キャリア発生部としてのi型半導体部に到達する前にp型半導体層において無駄に吸収される光を減少させることができる。従つて、p型半導体層で吸収される光を一定とした場合には、従来のものに比べて厚く形成することができ、電気抵抗を更に減少させることが可能になると共に、製造が容易になる等の種々優れた効果を有する。

4. 図面の簡単な説明

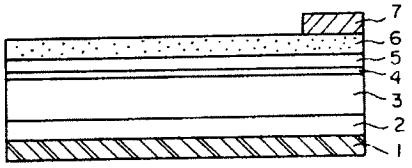
第1図はこの発明によるアモルファス太陽電池の一実施例を示す断面図、第2図はこの発明によるアモルファス太陽電池の他の実施例を示す断面図である。

(1)・・・・金属基板、(2)・・・・n型アモルファス層、(3)・・・・i型アモルファス層、(4)・・・・p型アモルファス層、(5)・・・・p型多結晶層、(8)・・・・ガラス基板。

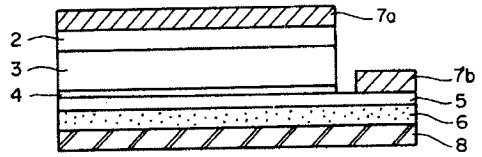
代理人　高　野　信　一（外1名）

SAMSUNG EX. 1002 - 684/2862

第1図



第2図



手 続 補 正 書 （自発）

昭和[illegible]年[illegible]月16日

特許庁長官殿

1. 事件の表示　　特願昭 55－147846号 ✓

2. 発明の名称

アモルファス太陽電池

3. 補正をする者

事件との関係　特許出願人
住 所　東京都千代田区丸の内二丁目2番3号
名 称（601）　三菱電機株式会社
代表者 進 藤 貞 和
片 山 仁八郎

4. 代 理 人
住 所　東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内
氏 名(6699)　弁理士 葛 野 信 一

（1）

5. 補正の対象

明細書の発明の詳細な説明の欄

6. 補正の内容

(1) 明細書第3頁第3行の「インジウムとすず」を「酸化インジウムと酸化すず」と補正する。

以 上

SAMSUNG EX. 1002 - 685/2862

Espacenet

Bibliographic data: JPS57173966 (A) — 1982-10-26

SOLID STATE IMAGE PICKUP DEVICE

Inventor(s): KAWAJIRI KAZUHIRO; MIZOBUCHI YUUZOU; SAITOU MITSUO ± (KAWAJIRI KAZUHIRO, ; MIZOBUCHI YUUZOU, ; SAITOU MITSUO, ; MIZOBUCHI JUZO, ; SAITO MITSUO)

Applicant(s): FUJI PHOTO FILM CO LTD ± (FUJI SHASHIN FILM KK, ; FUJI PHOTO FILM CO LTD)

Classification: - international:***H01L27/146; H04N5/335; H04N5/369; H04N5/372; H04N5/374;*** (IPC1-7): H01L27/14; H04N5/30
- cooperative: **H01L27/14665**

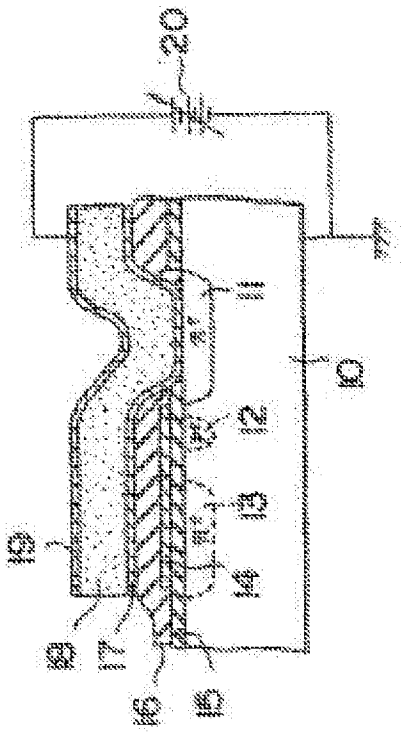
Application number: JP19810059612 19810420

Priority number (s): JP19810059612 19810420

Also published as: JPH023552 (B2)

Abstract of JPS57173966 (A)

PURPOSE:To manufacture an inexpensive, high efficiency optical image pickup device by a method wherein a photodetector layer and electrodes are formed of amorphous Si in a solid state image pickup device with a photodetector on a semiconductor substrate provided with a scanning circuit. CONSTITUTION:An n<+> type region 11 is provided for the formation of a diode and, at the same time, a scanning circuit forming p<+> type region 12 (CCD) or an n<+> type region 13 (BBD) are formed on a p type semiconductor substrate 10. A gate electrode 14 is built on the substrate 10 across an insulator film 15 and an insulator layer 16 is laid on the electrode 14. Next, on the substrate 10, a diode electrode 17, and a photodetecting layer 18 and a transparent electrode 19 forming a photoconductive layer or photodiode or phototransistor are provided on the substrate 10.; The electrode 17, photodetector 18, and transparent electrode 19 are composed of amorphous Si and formed in an uninterrupted process.



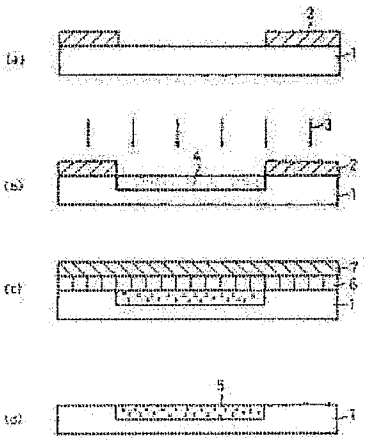
SAMSUNG EX. 1002 - 687/2862

MANUFACTURE OF SEMICONDUCTOR DEVICE

Publication number: JP63116421 (A)
Publication date: 1988-05-20
Inventor(s): OSAWA MASARU +
Applicant(s): MITSUBISHI ELECTRIC CORP +
Classification:
- international: ***H01L21/265; H01L21/324;*** **H01L21/02;** (IPC1-7): H01L21/265; H01L21/324
- European:
Application number: JP19860263160 19861105
Priority number(s): JP19860263160 19861105

Abstract of **JP 63116421 (A)**

PURPOSE:To prevent As from oozing from a GaAs substrate thereby to obtain a semiconductor device having good characteristics by depositing an amorphous As layer on an ion implanted surface as is after implanting, continuously depositing an insulating layer on the surface of the amorphous As layer, and then annealing it. CONSTITUTION:An active layer forming photoresist pattern 2 is formed by photocomposing technique on a GaAs substrate 1. Si<+29> ions 3 are implanted to form an ion implanted region 4. It is dipped in acetone to remove the pattern 2, and an a-As layer 6 and an insulating layer 7 are continuously deposited by a CVD method on the ion 3 implanted surface. It is heat treated at 800 deg.C for 40 min in a reducing atmosphere to obtain a highly activated active layer 5. It is dipped in a fluoric acid to remove the insulating layer, and dipped in a hydrochloric acid to remove the layer 6 to thereby expose the surface of the substrate 1. Thus, it can prevent As from oozing from the substrate 1 to obtain a semiconductor device having good characteristics.



Data supplied from the ***espacenet*** database — Worldwide

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년04월29일
(11) 등록번호 10-0825808
(24) 등록일자 2008년04월22일

(51) Int. Cl.
H01L 27/146 (2006.01)
(21) 출원번호 10-2007-0019134
(22) 출원일자 2007년02월26일
심사청구일자 2007년02월26일
(56) 선행기술조사문헌
KR1020020058459 A

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 매탄동 416
(72) 발명자
문창록
서울 서초구 방배3동 481-11 엔스위트 502호
이덕형
경기 성남시 분당구 정자동 한솔마을LG아파트 201-1203
조성호
경기 성남시 분당구 정자동 169-1번지 C-803
(74) 대리인
리앤목특허법인

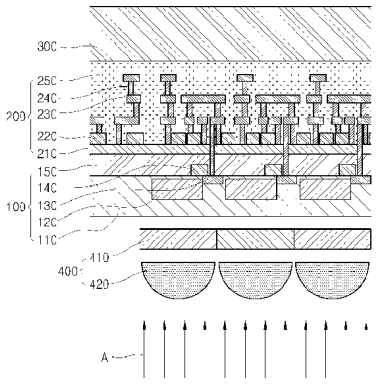
전체 청구항 수 : 총 20 항 심사관 : 안철흥

(54) 후면 조명 구조의 이미지 센서 및 그 이미지 센서 제조방법

(57) 요 약

본 발명은 광감도를 극대화하고 픽셀 당 수광 면적, 즉 포화도를 극대화할 수 있는 후면 조명 구조의 이미지 센서 및 그 이미지 센서 제조방법을 제공한다. 그 이미지 센서는 제1 웨이퍼 상에 형성된 포토 다이오드 및 트랜스퍼 게이트 트랜지스터(transfer gate transistor)를 포함하는 포토 다이오드부; 상기 포토 다이오드부 상부로 접합된 제2 웨이퍼 상에 형성된 신호처리 및 제어 트랜지스터 및 배선 라인을 포함하는 배선 라인부; 상기 배선 라인부 상부에 접합된 지지대 기판; 및 상기 제1 웨이퍼 하부에 형성된 필터부;를 포함한다. 또한, 그 이미지 센서 제조방법은 제1 웨이퍼 상에 포토 다이오드 및 트랜스퍼 게이트 트랜지스터를 포함한 포토 다이오드부를 형성하는 단계; 제2 웨이퍼를 상기 포토 다이오드부 상부로 접합하고 상기 제2 웨이퍼 상에 신호처리 및 제어 트랜지스터 및 배선 라인을 포함하는 배선 라인부를 형성하는 단계; 상기 배선 라인부 상부로 지지대 기판을 접합하는 단계; 및 상기 제1 웨이퍼 하부로 필터부를 형성하는 단계;를 포함한다.

대표도 - 도2



SAMSUNG EX. 1002 - 689/2862

특허청구의 범위

청구항 1

제1 웨이퍼 상에 형성된 포토 다이오드 및 트랜스퍼 게이트 트랜지스터(transfer gate transistor)를 포함하는 포토 다이오드부;

상기 포토 다이오드부 상부로 접합된 제2 웨이퍼 상에 형성된 신호처리 및 제어 트랜지스터 및 배선 라인을 포함하는 배선 라인부;

상기 배선 라인부 상부에 접합된 지지대 기판; 및

상기 제1 웨이퍼 하부에 형성된 필터부;를 포함하는 후면 조명(backside illumination) 구조의 이미지 센서.

청구항 2

제1 항에 있어서,

상기 제2 웨이퍼는 수소 이온주입(implantation) 공정이 수행된 웨이퍼이고,

상기 배선 라인부는 상기 포토 다이오드부 상부에 접합되는 상기 제2 웨이퍼가 스마트 컷(smart-cut)을 통해 제거되고 남은 부분에 상기 신호처리 및 제어 트랜지스터 및 배선 라인이 형성되어 이루어진 것을 특징으로 하는 후면 조명 구조의 이미지 센서.

청구항 3

제2 항에 있어서,

상기 제2 웨이퍼는 밀착 및 열처리를 통해 상기 포토 다이오드부 상부에 접합되는 것을 특징으로 하는 후면 조명 구조의 이미지 센서.

청구항 4

제1 항에 있어서,

상기 포토 다이오드부는 상기 포토 다이오드 주변 상부로 형성된 플로팅 디퓨전(floating difusion) 영역, 및 상기 포토 다이오드 및 트랜스퍼 게이트 트랜지스터가 형성된 상기 제1 웨이퍼 전면으로 형성된 절연층을 포함하는 것을 특징으로 하는 후면 조명 구조의 이미지 센서.

청구항 5

제1 항에 있어서,

상기 신호처리 및 제어 트랜지스터는 소스 팔로어 트랜지스터(source follower transistor), 선택 트랜지스터(selection transistor), 및 리셋 트랜지스터(reset transistor)를 포함하는 것을 특징으로 하는 후면 조명 구조의 이미지 센서.

청구항 6

제1 항에 있어서,

상기 이미지 센서는 상기 포토 다이오드부가 1개의 포토 다이오드 당 1개의 트랜지스터(1Tr/pixel)를 갖는 구조를 갖는 것을 특징으로 하는 후면 조명 구조의 이미지 센서.

청구항 7

제1 항에 있어서,

상기 제1 웨이퍼는 10 ㎛ 이하의 두께를 가지되, 상기 포토 다이오드 및 트랜스퍼 게이트 트랜지스터를 합한 두께 이상을 갖는 것을 특징으로 하는 후면 조명 구조의 이미지 센서.

청구항 8

SAMSUNG EX. 1002 - 690/2862

제1 항에 있어서,

상기 필터부는 빛을 파장에 따라 투과시키는 필터 어레이(filter array) 및 상기 필터 어레이로 빛을 집광하기 위한 마이크로 렌즈(micro-lens)를 포함하고,

상기 이미지 센서는 상기 필터부를 통해 상기 포토 다이오드로 바로 빛이 입사되는 구조를 갖는 것을 특징으로 하는 후면 조명 구조의 이미지 센서.

청구항 9

제8 항에 있어서,

상기 이미지 센서는 빛이 입사되는 상기 포토 다이오드 하부와 반대방향인 상기 포토 다이오드 상부로 상기 배선 라인부가 배치되어 빛에 대한 광감도(sensitivity)가 극대화된 것을 특징으로 하는 후면 조명 구조의 이미지 센서.

청구항 10

제1 웨이퍼 상에 포토 다이오드 및 트랜스퍼 게이트 트랜지스터를 포함한 포토 다이오드부를 형성하는 단계;

제2 웨이퍼를 상기 포토 다이오드부 상부로 접합하고 상기 제2 웨이퍼 상에 신호처리 및 제어 트랜지스터 및 배선 라인을 포함하는 배선 라인부를 형성하는 단계;

상기 배선 라인부 상부로 지지대 기판을 접합하는 단계; 및

상기 제1 웨이퍼 하부로 필터부를 형성하는 단계;를 포함하는 후면 조명 구조의 이미지 센서 제조방법.

청구항 11

제10 항에 있어서,

상기 포토 다이오드부 형성 단계는,

상기 제1 웨이퍼 상에 포토 다이오드를 형성하는 단계;

상기 포토 다이오드 주변 상부로 플로팅 디퓨젼 영역을 형성하는 단계;

상기 포토 다이오드 상부에 상기 트랜스퍼 게이트 트랜지스터 형성하는 단계; 및

상기 제1 웨이퍼 전면으로 절연층을 형성하는 단계;를 포함하는 것을 특징으로 하는 후면 조명 구조의 이미지 센서 제조방법.

청구항 12

제10 항에 있어서,

상기 제2 웨이퍼는 수소 이온주입 공정이 수행된 웨이퍼이고,

상기 제2 웨이퍼의 접합 및 배선 라인부를 형성하는 단계는,

상기 수소 이온이 주입된 상기 제2 웨이퍼의 상면을 상기 제1 기판과 접합하는 단계;

상기 제2 웨이퍼를 스마트 컷을 통해 절단하는 단계;

절단되어 남은 상기 제2 웨이퍼 상에 신호처리 및 제어 트랜지스터를 형성하는 단계; 및

상기 신호처리 및 제어 트랜지스터 상부로 BEOL(Back End Of Line) 공정을 수행하는 단계;를 포함하는 것을 특징으로 하는 후면 조명 구조의 이미지 센서 제조방법.

청구항 13

제12 항에 있어서,

상기 신호처리 및 제어 트랜지스터는 소스 팔로어 트랜지스터, 선택 트랜지스터, 및 리셋 트랜지스터를 포함하는 것을 특징으로 하는 후면 조명 구조의 이미지 센서 제조방법.

SAMSUNG EX. 1002 - 691/2862

청구항 14

제10 항에 있어서,

상기 이미지 센서 제조방법은,

상기 제1 웨이퍼 하부로 필터부를 형성하는 단계 전에

상기 제1 웨이퍼의 하면을 얇게 연마하는 단계를 포함하는 것을 특징으로 하는 후면 조명 구조의 이미지 센서 제조방법.

청구항 15

제14 항에 있어서,

상기 제1 웨이퍼는 상기 연마에 의해 10 ㎛ 이하의 두께를 가지되, 상기 포토 다이오드 및 트랜스퍼 게이트 트랜지스터를 합한 두께 이상을 갖는 것을 특징으로 하는 후면 조명 구조의 이미지 센서 제조방법.

청구항 16

제10 항에 있어서,

상기 필터부를 형성하는 단계는,

상기 제1 웨이퍼 하부로 빛을 파장에 따라 투과시키는 필터 어레이를 형성하는 단계; 및

상기 필터 어레이 하부로 빛을 집광하기 위한 마이크로 렌즈를 형성하는 단계:를 포함하는 것을 특징으로 하는 후면 조명 구조의 이미지 센서 제조방법.

청구항 17

제10 항에 있어서,

상기 이미지 센서는,

상기 포토 다이오드부가 1개의 포토 다이오드 당 1개의 트랜지스터(1Tr/pixel)를 갖는 구조를 갖는 것을 특징으로 하는 후면 조명 구조의 이미지 센서 제조방법.

청구항 18

제1 웨이퍼에 포토 다이오드 및 트랜스퍼 게이트 트랜지스터를 포함한 포토 다이오드부를 형성하는 단계;

제2 웨이퍼를 상기 포토 다이오드부 상부로 접합하고 스마트 컷을 통해 상기 제2 웨이퍼를 절단하는 단계;

절단되어 남은 상기 제2 웨이퍼에 신호처리 및 제어 트랜지스터 및 배선 라인을 포함하는 배선 라인부를 형성하는 단계;

상기 배선 라인부 상부로 지지대 기판을 접합하는 단계;

상기 제1 웨이퍼의 하면을 얇게 연마하는 단계; 및

상기 포토 다이오드부 하부로 필터부를 형성하는 단계;를 포함하는 후면 조명 구조의 이미지 센서 제조방법.

청구항 19

제18 항에 있어서,

상기 배선 라인부를 형성하는 단계는,

상기 남은 상기 제2 웨이퍼 상에 신호처리 및 제어 트랜지스터를 형성하는 단계; 및

상기 신호처리 및 제어 트랜지스터 상부로 BEOL(Back End Of Line) 공정을 수행하는 단계;를 포함하는 것을 특징으로 하는 후면 조명 구조의 이미지 센서 제조방법.

청구항 20

SAMSUNG EX. 1002 - 692/2862

제18 항에 있어서,

상기 신호처리 및 제어 트랜지스터는 소스 팔로어 트랜지스터, 선택 트랜지스터, 및 리셋 트랜지스터를 포함하고,

상기 이미지 센서는,

상기 포토 다이오드부가 1개의 포토 다이오드 당 1개의 트랜지스터(1Tr/pixel)를 갖는 구조를 갖는 것을 특징으로 하는 후면 조명 구조의 이미지 센서 제조방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<15> 본 발명은 이미지 센서 및 그 제조 방법에 관한 것으로, 특히 3차원 집적 방식을 이용한 이미지 센서 및 그 제조 방법에 관한 것이다.

<16> 이미지 센서는 광학 영상(optical image)을 전기 신호로 변환시키는 반도체 소자로서, 크게 전하결합소자(Charge Coupled Device: CCD)와 CMOS(Complementary Metal-Oxide-Silicon) 이미지 센서가 있다.

<17> 이 중에서 CCD는 개개의 MOS(Metal-Oxide-Silicon) 캐패시터가 서로 매우 근접한 위치에 있으면서 전하 캐리어가 캐패시터에 저장되고 이송되는 방식을 채용한 소자이다. 한편, CMOS(Complementary MOS) 이미지 센서는 제어회로(control circuit) 및 신호처리회로(signal processing circuit)를 주변회로로 사용하는 CMOS 기술을 이용하며, 화소 수만큼 MOS 트랜지스터를 만들고 이것을 이용하여 차례차례 출력을 검출하는 스위칭 방식을 채용한 소자이다.

<18> CMOS 이미지 센서는 CCD에 비해 구동방식이 간편하며, 신호처리회로를 한 칩에 집적할 수 있기 때문에 SOC(System On Chip)의 구현이 가능하여 모듈의 소형화에 유리하다. 그에 따라, 현재 모바일 폰(mobile phone), PC(Personal Computer)용 카메라 및 전자기기 등에서 광범위하게 사용되고 있다.

<19> 도 1은 종래의 3차원 집적(3D integration) 방식의 CMOS 이미지 센서를 개략적으로 보여주는 단면도이다.

<20> 도 1을 참조하면, 이미지 센서는 기판에 형성된 포토 다이오드(10, Photo Diode:PD)를 포함하는 수광부, 배선 라인층(20), 컬러 필터 어레이(30, Color Filter Array: CFA), 및 마이크로 렌즈(40, micro-lens)를 포함한다. 한편, 배선 라인층(20)은 도시한 바와 같이 컬러 필터 어레이(30)와 포토 다이오드(10) 사이에 존재하고 투명한 절연막 사이로 형성된 다층의 여러 배선 라인들(M1 ~ M4)로 구성된다.

<21> 이와 같은 종래의 이미지 센서는 제조 공정 특히 BEOL(Back End Of Line) 즉, 메탈라인 공정은 반도체 소자의 제조 공정과 유사하다. 이때, PMD(Pre-Metal Dielectric)와 IMD(Inter-Metal Dielectric) 및 보호막(passivation layer) 등을 형성하기 위하여 서로 상이한 절연 물질이 사용되어야 하며, 이로 인해 각 물질층 간 계면(Interface)에서 빛의 난반사 현상이 발생하여 광감도(sensitivity)를 떨어뜨린다. 또한, 상이한 절연막으로 인해 서로 다른 굴절률을 가지기 때문에 빛의 굴절에 의해 광감도가 떨어지기도 한다. 이와 함께, 종래의 CMOS 이미지 센서를 형성함에 있어서는, 포토 다이오드 형성 후에 메탈 배선 라인들(M1 ~ M4) 및 복수의 절연막 형성 및 평탄화 공정을 실시하여야 하므로 이에 따른 불량도 야기된다.

<22> 한편, 종래의 이미지 센서의 경우, 포토 다이오드 주위로 신호처리 및 제어를 위한 다수의 트랜지스터가 배치되어 픽셀 당 빛을 수광하는 면적이 작다. 즉, 픽셀 당 수광영역의 포화도(saturation)가 낮다. 그에 따라, 노이즈가 증가할 수 있고, 또한 노이즈에 따른 이미지 손실의 위험성이 증가되어 화질이 열화되는 문제 등이 발생하고 있다.

발명이 이루고자 하는 기술적 과제

<23> 따라서, 본 발명이 이루고자 하는 기술적 과제는 종래의 이미지 센서의 문제를 해결하여 광감도를 극대화하고 픽셀 당 수광 면적, 즉 포화도를 극대화할 수 있는 후면 조명 구조의 이미지 센서 및 그 이미지 센서 제조방법

SAMSUNG EX. 1002 - 693/2862

을 제공하는 데에 있다.

발명의 구성 및 작용

<24> 상기 기술적 과제를 달성하기 위하여, 본 발명은 제1 웨이퍼 상에 형성된 포토 다이오드 및 트랜스퍼 게이트 트랜지스터(transfer gate transistor)를 포함하는 포토 다이오드부; 상기 포토 다이오드부 상부로 접합된 제2 웨이퍼 상에 형성된 신호처리 및 제어 트랜지스터 및 배선 라인을 포함하는 배선 라인부; 상기 배선 라인부 상부에 형성된 지지대 기판; 및 상기 제1 웨이퍼 하부에 형성된 필터부;를 포함하는 후면 조명(backside illumination) 구조의 이미지 센서를 제공한다.

<25> 본 발명에 있어서, 상기 제2 웨이퍼는 수소 이온주입(implantation) 공정이 수행된 웨이퍼이고, 상기 배선 라인부는 상기 제2 웨이퍼가 상기 포토 다이오드부 상부에 접합되고 스마트 컷(smart-cut)을 통해 소정 부분이 제거되어 남은 부분에 상기 신호처리 및 제어 트랜지스터 및 배선 라인이 형성되어 이루어질 수 있다. 또한, 상기 제2 웨이퍼는 적층 및 열처리를 통해 상기 포토 다이오드부 상부에 접합될 수 있다.

<26> 한편, 상기 포토 다이오드부는 상기 포토 다이오드 주변 상부로 형성된 플로팅 디퓨전(floating difusion) 영역, 및 상기 포토 다이오드 및 트랜스퍼 게이트 트랜지스터가 형성된 상기 제1 웨이퍼 전면으로 형성된 절연층을 포함할 수 있다. 또한, 상기 신호처리 및 제어 트랜지스터는 소스 팔로어 트랜지스터(source follower transistor), 선택 트랜지스터(selection transistor), 및 리셋 트랜지스터(reset transistor)를 포함할 수 있다.

<27> 본 발명에 있어서, 상기 이미지 센서는 포화도(saturation)를 최대로 하기 위하여, 상기 포토 다이오드부는 1개의 포토 다이오드 당 1개의 트랜지스터(1Tr/pixel)를 갖는 구조를 가진다. 또한, 상기 필터부가 빛을 파장에 따라 투과시키는 필터 어레이(filter array) 및 상기 필터 어레이로 빛을 집광하기 위한 마이크로 렌즈(micro-lens)를 포함하여, 상기 이미지 센서는 상기 필터부를 통해 상기 포토 다이오드로 바로 빛이 입사되는 구조를 갖는다. 이러한 본 발명의 이미지 센서는 빛이 입사되는 상기 포토 다이오드 하부와 반대방향인 상기 포토 다이오드 상부로 상기 배선 라인부가 배치되어 빛에 대한 광감도(sensitivity)가 극대화될 수 있다.

<28> 본 발명은 또한 상기 기술적 과제를 달성하기 위하여, 제1 웨이퍼 상에 포토 다이오드 및 트랜스퍼 게이트 트랜지스터를 포함한 포토 다이오드부를 형성하는 단계; 제2 웨이퍼를 상기 포토 다이오드부 상부로 접합하고 상기 제2 웨이퍼 상에 신호처리 및 제어 트랜지스터 및 배선 라인을 포함하는 배선 라인부를 형성하는 단계; 상기 배선 라인부 상부로 지지대 기판을 접합하는 단계; 및 상기 제1 웨이퍼 하부로 필터부를 형성하는 단계;를 포함하는 후면 조명 구조의 이미지 센서 제조방법을 제공한다.

<29> 본 발명에 있어서, 상기 포토 다이오드부 형성 단계는, 상기 제1 웨이퍼 상에 포토 다이오드를 형성하는 단계; 상기 포토 다이오드 주변 상부로 플로팅 디퓨젼 영역을 형성하는 단계; 상기 포토 다이오드 상부에 상기 트랜스퍼 게이트 트랜지스터 형성하는 단계; 및 상기 제1 웨이퍼 전면으로 절연층을 형성하는 단계;를 포함할 수 있다.

<30> 또한, 상기 제2 웨이퍼는 수소 이온주입 공정이 수행된 웨이퍼이고, 상기 제2 웨이퍼의 접합 및 배선 라인부를 형성하는 단계는, 상기 수소 이온이 주입된 상기 제2 웨이퍼의 상면을 상기 제1 기판과 접합하여 열처리하는 단계; 상기 제2 웨이퍼의 소정 부분을 스마트-컷을 통해 제거하는 단계; 상기 남은 상기 제2 웨이퍼 상에 신호처리 및 제어 트랜지스터를 형성하는 단계; 및 상기 신호처리 및 제어 트랜지스터 상부로 BEOL(Back End Of Line) 공정을 수행하는 단계;를 포함할 수 있다. 여기서, 상기 신호처리 및 제어 트랜지스터는 전술한 바와 같이 소스 팔로어 트랜지스터, 선택 트랜지스터, 및 리셋 트랜지스터를 포함할 수 있다.

<31> 한편, 상기 이미지 센서 제조방법은, 상기 제1 웨이퍼 하부로 필터부를 형성하는 단계 전에 상기 제1 웨이퍼의 하면을 얇게 연마하는 단계를 포함할 수 있는데, 예컨대 상기 제1 웨이퍼는 상기 연마에 의해 10 ㎛ 이하의 두께를 가질 수 있다. 또한, 상기 필터부를 형성하는 단계는 상기 제1 웨이퍼 하부로 빛을 파장에 따라 투과시키는 필터 어레이를 형성하는 단계; 및 상기 필터 어레이 하부로 빛을 집광하기 위한 마이크로 렌즈를 형성하는 단계;를 포함할 수 있다.

<32> 본 발명에 따른 후면 조명 구조의 이미지 센서 및 그 제조 방법은 메탈 배선 라인이 포토 다이오드 전면으로 배치되고 필터부가 후면으로 배치됨으로써, 종래 메탈 배선 라인층의 존재에 인해 발생하던 광감도 저하 문제를 효과적으로 배제시킬 수 있다. 또한, 포토 다이오드부에 하나의 포토 다이오드 당 1개의 트랜지스터만을 포함하는 구조로 형성됨으로써, 수광영역의 포화도를 극대화시킬 수 있다. 더 나아가 제2 웨이퍼를 접합한 후에 트랜

SAMSUNG EX. 1002 - 694/2862

지스터 및 배선 라인들이 형성됨으로써, 트랜지스터 및 배선들 간의 수직 컨택 또는 비아를 용이하게 형성할 수 있는 장점도 있다.

<33> 도 2는 본 발명의 일 실시예에 따른 후면 조명 구조의 이미지 센서를 개략적으로 보여주는 단면도이다.

<34> 도 2를 참조하면, 본 발명의 이미지 센서는 제1 웨이퍼(110) 상에 형성된 포토 다이오드부(100), 포토 다이오드부(100) 상부의 제2 웨이퍼(210) 상에 형성된 배선 라인부(200), 배선 라인부(200) 상부의 지지대 기판(300) 및 제1 웨이퍼(110) 하부에 형성된 필터부(400)를 포함한다.

<35> 포토 다이오드부(100)는 제1 웨이퍼에 형성된 포토 다이오드(120, PD), 포토 다이오드(120) 주변 상부로 형성된 플로팅 디퓨전(Floating Diffusion: FD) 영역(130)과 포토 다이오드(120) 상부로 신호 전달을 위한 트랜스퍼 게이트(Transfer Gate: TG) 트랜지스터(140)를 포함한다. 한편, 이러한 포토 다이오드(120), 플로팅 디퓨전 영역(130) 및 트랜스퍼 게이트 트랜지스터(140)가 형성된 제1 웨이퍼(110) 상부 전면으로 제1 절연층(150)이 형성되어 있다.

<36> 본 실시예에 따른 이미지 센서의 포토 다이오드부(100)는 포토 다이오드(120) 하나 당 1개의 트랜지스터, 즉 트랜스퍼 게이트 트랜지스터(140)만을 포함하므로, 종래의 이미지 센서에 비해 획기적으로 포화도(saturation)를 증가시킬 수 있다. 여기서 포화도는 단위 픽셀 면적에 대한 수광영역의 면적을 나타내는 것으로 필 펙터(fill factor)라고도 한다. 종래의 이미지 센서는 포토 다이오드가 형성된 수광영역 주위로 다수의 신호 처리 및 제어를 위한 트랜지스터들이 형성되어 낮은 포화도를 가지고 있었다. 그러나 본 실시예의 이미지 센서는 단지 트랜스퍼 게이트 트랜지스터 하나만 형성되기 때문에 포화도가 극대화될 수 있다.

<37> 배선 라인부(200)는 포토 다이오드부(100) 상부로 형성되는데, 제2 웨이퍼(210) 상에 형성된 신호처리 및 제어 트랜지스터(220), 다층의 배선 라인(230) 및 트랜지스터와 배선 라인 또는 배선 라인들 간을 전기적으로 연결하는 수직 컨택 또는 비아(240)를 포함한다. 한편, 전술한 바와 같이 제2 웨이퍼(210) 상부로는 제2 절연층(250)이 형성되며, 이러한 제2 절연층(250)은 전술한 바와 같이 상이한 절연 물질이 사용된 다수의 절연막들로 구성될 수 있다.

<38> 여기서, 신호처리 및 제어 트랜지스터(220)는 트랜스퍼 게이트 트랜지스터(140)를 제외한 소오스 팔로어(source follower) 트랜지스터, 선택(selection) 트랜지스터, 리셋(reset) 트랜지스터 등이 될 수 있다. 트랜스퍼 게이트 트랜지스터(140)를 비롯한 이러한 신호처리 및 제어 트랜지스터(220)는 수직 컨택 또는 비아(240)를 통해 배선 라인(230)과 연결되게 된다.

<39> 도 2 부분에서 좀더 상세히 설명하겠지만, 본 실시예에 따른 수직 컨택 또는 비아(240)는 포토 다이오드부(100) 상부로 제2 웨이퍼가 접합된 후에 배선 라인(230) 공정과 함께 형성되기 때문에 얼라인을 맞추기 쉽고 그에 따라 수직 컨택 또는 비아(240)가 대우 작은 선폭을 가지고 형성될 수 있다.

<40> 배선 라인부(200) 상부로는 지지대 기판(300)이 접합 되는데, 지지대 기판(300)은 전체 이미지 센서를 지지하는 기능을 한다.

<41> 제1 웨이퍼(110) 하부로 형성되는 필터부(400)는 빛을 파장에 따라 투과시키는 레드(red), 그린(green), 블루(blue)와 같은 컬러 필터 어레이(410) 및 필터 어레이(410) 하부로 빛을 집광하기 위한 마이크로 렌즈(420)를 포함한다.

<42> 본 실시예의 이미지 센서는 포토 다이오드가 형성된 제1 웨이퍼(110) 하부로 필터부가 형성되어 빛(A)이 웨이퍼(110)의 하부로 입사되는 후면 조명(backside illumination) 구조를 갖는다. 그에 따라, 종래 전면 조명 구조에서 빛이 배선 라인층을 거치면서 발생 되었던 문제, 즉 난반사나 굴절률 차이 등에 의해 발생하던 광감도 저하 문제를 획기적으로 해결할 수 있다. 한편, 제1 웨이퍼의 배면을 연마하여 제1 웨이퍼를 수 ㎛ 이하로 얇게 함으로써, 빛의 입사 거리를 짧게 할 수 있고 그에 따라 더욱 광감도를 향상시킬 수 있는 장점을 갖는다.

<43> 도 3a ~ 3i는 본 발명의 다른 실시예에 따른 후면 조명 구조의 이미지 센서 제조방법을 보여주는 단면도들이다.

<44> 도 3a를 참조하면, 먼저 제1 웨이퍼(110a) 상에 포토 다이오드(120), 플로팅 디퓨전 영역(130) 및 트랜스퍼 게이트 트랜지스터(140)를 형성하고, 제1 웨이퍼(100a) 상부 전면으로 제1 절연층(150)을 형성하여 포토 다이오드부(100)를 완성하게 된다.

<45> 도 3b를 참조하면, 제1 웨이퍼와 다른 제2 웨이퍼(210a)를 준비하고 제2 웨이퍼(210a)에 수소 이온주입(B, hydrogen implantation) 공정을 수행한다. 이러한 수소 이온주입 공정은 차후에 스마트 컷(smart cut)을 통해

SAMSUNG EX. 1002 - 695/2862

제2 웨이퍼의 소정 부분을 절단하여 제거하기 위해 수행된다. 여기서 점선부분(212)으로 수소 이온이 주입되고 차후에 점선부분(212)으로 웨이퍼가 절단된다.

<46> 도 3c를 참조하면, 수소 이온주입 공정이 수행된 제2 웨이퍼(210a)를 포토 다이오드부(100) 상부로 접합하고 열처리를 수행한다. 즉, 제2 웨이퍼(210a)를 포토 다이오드부(100)로 밀착 적층하고 적절한 온도로 열처리를 행하는데, 이러한 열처리를 통해서 제2 웨이퍼의 소정부분, 즉 점선부분(212) 상부를 분리하여 제거하게 된다. 이러한 방법을 스마트 컷(smart cut)이라고 한다. 이러한 스마트 컷을 위한 열처리는 예컨대 300 ~ 600 ℃ 정도로 행할 수 있다.

<47> 도 3d를 참조하면, 포토 다이오드부(100) 상부로 소정 부분이 제거된 제2 웨이퍼(210)가 적층되어 있음을 볼 수 있는데, 제2 웨이퍼의 접합을 견고하게 하기 위하여 다소 고온의 열처리를 더 행할 수도 있다.

<48> 도 3e를 참조하면, 접합된 제2 웨이퍼(210) 상부로 신호처리 및 제어를 위한 다수의 트랜지스터(220)를 형성한다. 예컨대, 신호처리 및 제어 트랜지스터(220)는 트랜스퍼 게이트 트랜지스터를 제외한 소스 팔로어 트랜지스터, 선택 트랜지스터 및 리셋 트랜지스터 등이 될 수 있다. 한편, 이러한 신호처리 및 제어 트랜지스터(220) 상부로는 제1 배선 라인(232) 등이 형성될 수 있는데, 이러한 제1 배선 라인(232) 형성 전에 수직 컨택 또는 비아(240)를 형성하여 신호처리 및 제어 트랜지스터(220)와 트랜스퍼 게이트 트랜지스터(140)를 제1 배선 라인(232)으로 전기적으로 연결 되도록 한다.

<49> 도 3f를 참조하면, 제1 배선 라인(232) 상부로 제2 및 제3 배선 라인(234, 236) 등의 다층의 배선 라인들이 더 형성될 수 있고, 이러한 제2 및 제3 배선 라인(234, 236)들도 수직 컨택 또는 비아(240)를 통해 전기적으로 연결됨은 물론이다. 여기서, 배선 라인(230)으로 3개의 배선 라인들을 예로 들어 설명하였지만 그 미만의 배선 라인층 또는 더 많은 배선 라인층으로 배선 라인(230)이 형성될 수 있음은 물론이다.

<50> 이와 같은, 배선 라인(230) 공정, 즉 BEOL(Back End of Line) 공정이 완료하여 배선 라인부(200)를 완성한다. 여기서, 제2 절연층(250)이 하나로 층으로 표현되고 있지만, 전술한 바와 같이 전체 배선 라인(230)이 다층의 배선 라인들로 형성되므로 배선 라인들 사이 사이의 층간 절연막들이 다른 재질의 절연재료로 형성될 수 있음은 물론이다.

<51> 도 3g를 참조하면, BEOL 공정이 완료된 배선 라인부(200) 상부로 제3 웨이퍼, 즉 지지대 기판(300)을 접합하게 되는데, 이러한 지지대 기판(300)은 전체 이미지 센서에 대한 지지대 역할을 하게 된다. 접합은 앞서 제2 웨이퍼의 접합과 마찬가지로 밀착시켜 다소 고온의 열처리 등을 통해서 이루어진다. 물론 지지대 기판은 전체적으로 이용되므로 스마트 컷과 같은 공정은 진행되지 않는다.

<52> 도 3h를 참조하면, 포토 다이오드부(100)가 형성된 제1 웨이퍼(110a)의 하면을 연마한다. 이러한 연마를 통해 제1 웨이퍼의 두께를 수 ㎛, 예컨대 10 ㎛ 이하의 정도로 만들 수 있다. 그에 따라, 차후 제1 웨이퍼(110) 하부로 형성되는 필터부를 통해 입사되는 빛의 경로를 최소화하여 포토 다이오드(120)의 감광도를 극대화할 수 있다.

<53> 도 3i를 참조하면, 제1 웨이퍼(110) 하면으로 필터부(400)를 형성한다. 즉, 컬러 필터 어레이(410) 및 마이크로 렌즈(420)를 형성한다.

<54> 본 실시예의 이미지 센서 제조방법은 빛이 입사하는 필터부(400)와 반대 방향으로 배선 라인부(200)를 형성함으로써, 종래 빛이 배선 라인층을 거치면서 난반사나 절연막들 사이의 굴절율 차이에 기인한 광감도 저하문제를 효과적으로 배제시킬 수 있다. 또한, 제2 웨이퍼를 포토 다이오드부(100)로 접합한 후에 배선 라인부(200)가 형성되기 때문에, 트랜스퍼 게이트 트랜지스터, 신호처리 및 제어 트랜지스터와 배선 라인들 간의 수직 컨택 또는 홀을 작은 선폭을 가지고 용이하게 형성할 수 있다.

<55> 한편, 본 실시예의 이미지 센서 제조방법은 포토 다이오드부가 포토 다이오드 하나당 1개의 트랜지스터, 즉 트랜스퍼 게이트 트랜지스터만을 포함하도록 형성하므로 수광영역의 포화도를 극대화시킬 수 있는 장점을 가진다.

<56> 지금까지, 본 발명을 도면에 도시된 실시예를 참고로 설명하였으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

<57> 이상에서 상세히 설명한 바와 같이 본 발명에 따른 후면 조명 구조의 이미지 센서 및 그 제조 방법은 메탈 배선

SAMSUNG EX. 1002 - 696/2862

라인이 포토 다이오드 전면으로 배치되고 필터부가 후면으로 배치됨으로써, 종래 메탈 배선 라인층의 존재에 인해 발생하던 광감도 저하 문제를 효과적으로 배제시킬 수 있다.

<58> 또한, 포토 다이오드부에 하나의 포토 다이오드 당 1개의 트랜지스터만을 포함하는 구조로 형성됨으로써, 수광 영역의 포화도를 극대화시킬 수 있다.

<59> 더 나아가 제2 웨이퍼를 접합한 후에 트랜지스터 및 배선 라인들이 형성됨으로써, 트랜지스터 및 배선들 간의 수직 컨택 또는 비아를 용이하게 형성할 수 있는 장점을 갖는다.

도면의 간단한 설명

<1> 도 1은 종래의 3차원 집적(3D-integration) 방식의 CMOS 이미지 센서를 개략적으로 보여주는 단면도이다.

<2> 도 2는 본 발명의 일 실시예에 따른 후면 조명 구조의 이미지 센서를 개략적으로 보여주는 단면도이다.

<3> 도 3a ~ 3i는 본 발명의 다른 실시예에 따른 후면 조명 구조의 이미지 센서 제조방법을 보여주는 단면도들이다.

<4> <도면에 주요부분에 대한 설명>

<5> 100: 포토 다이오드부 110,110a:제1 웨이퍼

<6> 120: 포토 다이오드 130: 플로팅 디퓨전 영역

<7> 140: 트랜스퍼 게이트 트랜지스터 150: 제1 절연층

<8> 200: 배선 라인부 210,210a: 제2 웨이퍼

<9> 220: 신호처리 및 제어 트랜지스터 230: 배선 라인

<10> 232: 제1 배선 라인 234: 제2 배선 라인

<11> 236: 제3 배선 라인 240: 수직 컨택 또는 비아

<12> 250: 제2 절연층 300: 지지대 기판

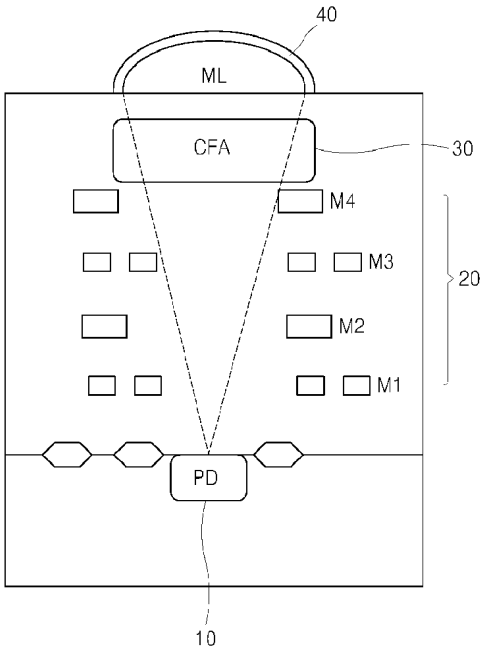
<13> 400: 필터부 410: 필터 어레이

<14> 420: 마이크로 렌즈

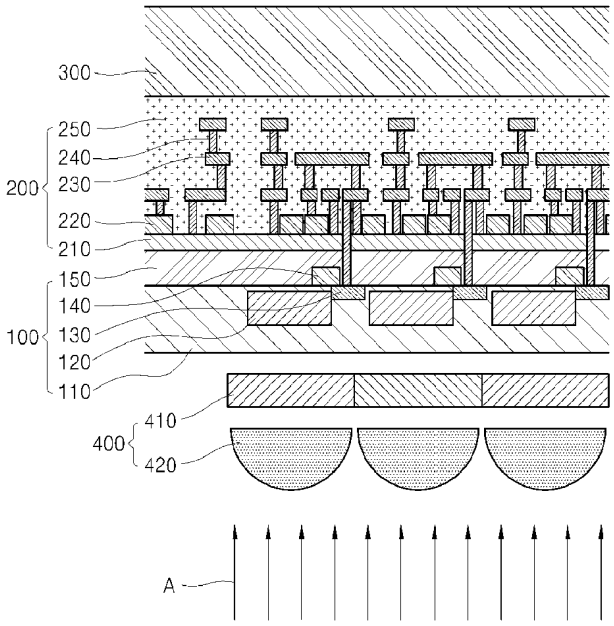
SAMSUNG EX. 1002 - 697/2862

도면

도면1

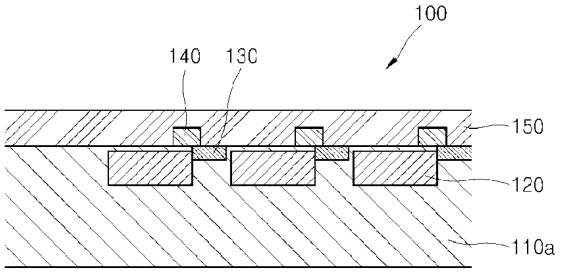


도면2

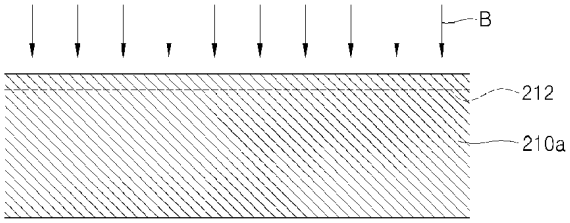


SAMSUNG EX. 1002 - 698/2862

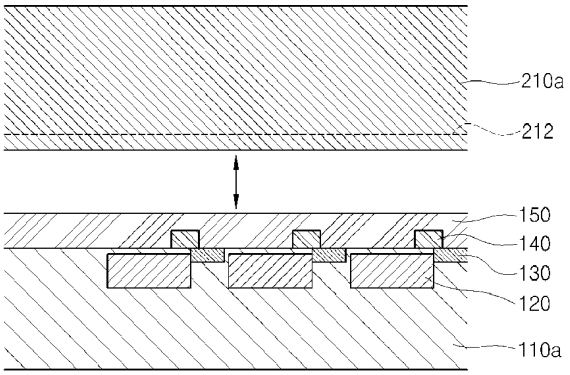
도면3a



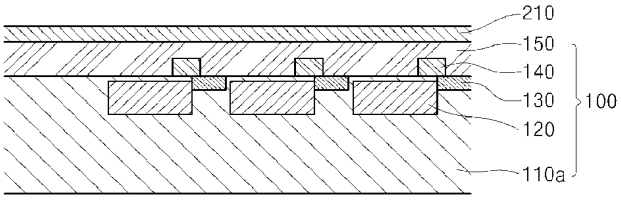
도면3b



도면3c

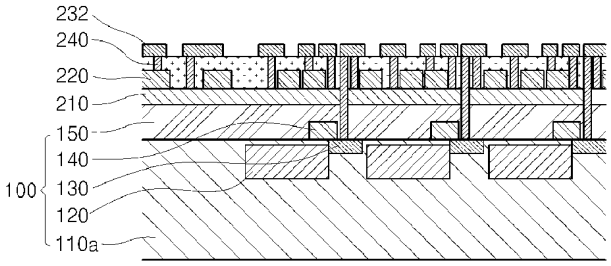


도면3d

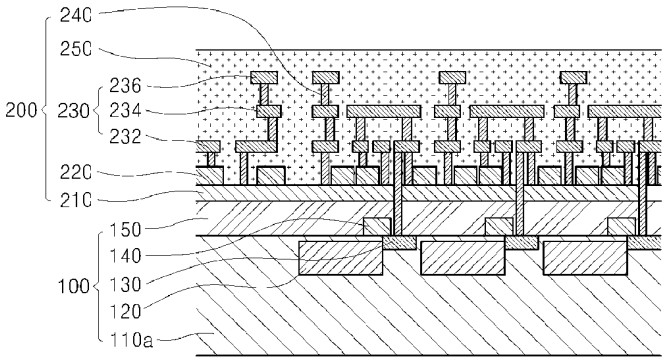


SAMSUNG EX. 1002 - 699/2862

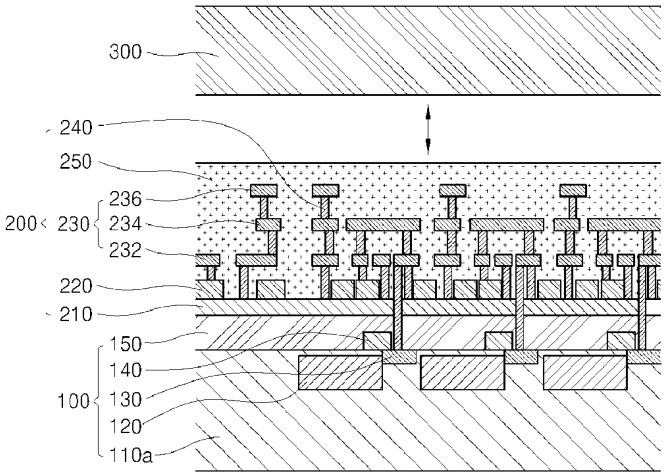
도면3e



도면3f

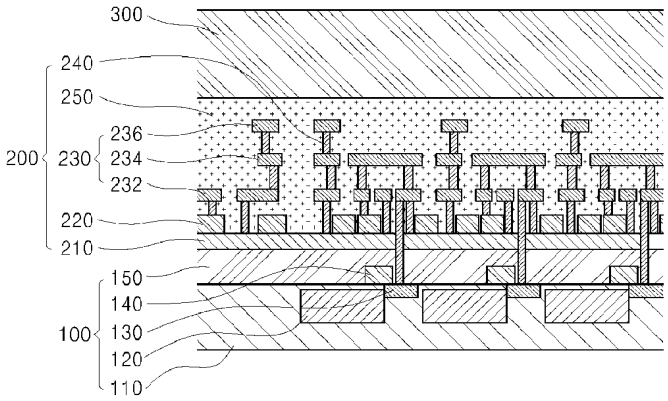


도면3g

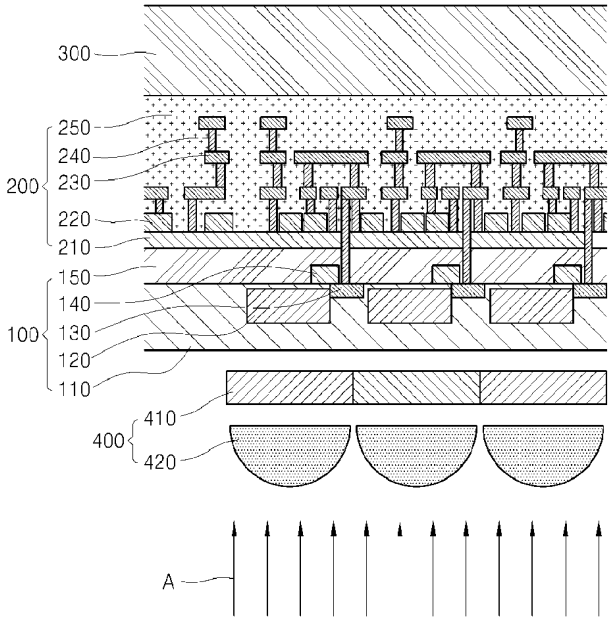


SAMSUNG EX. 1002 - 700/2862

도면3h



도면3i



SAMSUNG EX. 1002 - 701/2862

DERWENT-ACC-NO: 2006-359100

DERWENT-WEEK: 200682

Copyright ©2013 Thomson Reuters

TITLE: Module integrated solar cell to exclude cutting work of solar cell using dielectric film for isolation of anode and cathode, and method for manufacturing the same

INVENTOR: YI J S

PATENT-ASSIGNEE: YI J S[YIJSI]

PRIORITY-DATA: 2003KR-074703 (October 24, 2003)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
KR 2005039273 A	April 29, 2005	KO
KR 543532 B1	January 20, 2006	KO

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
KR2005039273A	N/A	2003KR-074703	October 24, 2003
KR 543532B1	Previous Publ	2003KR-074703	October 24, 2003

INT-CL-CURRENT:

TYPE	IPC DATE
CIPP	H01 L 31/042 20060101

SAMSUNG EX. 1002 - 702/2862

ABSTRACTED-PUB-NO: KR 2005039273 A

BASIC-ABSTRACT:

NOVELTY - A module integrated a solar cell and a method for manufacturing the same are provided to exclude a cutting work of a solar cell, an attachment of a connection tap and an adhesive(thermosetting resin) using a dielectric film for the isolation of an anode and a cathode.

DESCRIPTION - A p-type silicon substrate(120) has a pyramidal surface structure. A front surface anti-reflective coating(110) and a back surface dielectric thin film(130) are respectively formed on a front and back surface of p-type silicon substrate. An integrated base electrode(170) and emitter electrode(180) are buried the back surface dielectric thin film. A high density p.sup.++ type back surface electric field layer(140) and n.sup.++ type emitter layer(150) are formed by doping respectively both electrodes(170,180) for an ohmic contact with a solar cell emitter and base. A unit solar cell comprises one comb-shaped common base electrode(170) and the other comb-shaped common emitter electrode(180), a mutual connection therebetween is electrically insulated by a dielectric thin film(160). An anode output electrode(190a) and a cathode output electrode(190b) are respectively connected with one side of the base electrode and one side of the emitter electrode. The base electrode and the emitter electrode are insulated from the outside by a seal layer(200).(C) KIPO 2006Image 1/1

CHOSEN-DRAWING: Dwg.1/1

TITLE-TERMS: MODULE INTEGRATE SOLAR CELL EXCLUDE CUT WORK DIELECTRIC FILM ISOLATE ANODE CATHODE METHOD MANUFACTURE

DERWENT-CLASS: U12

EPI-CODES: U12-A02A5;

SAMSUNG EX. 1002 - 703/2862

This document is performed by machine translation, and KIPO is not responsible for the result of translation

(19)The Korean Intellectual Property Office (KR)
Unexamined Patent Application (A)

(51) Int.Cl. 7
H01L 31/042

Application No	10-2003-0074703
Application Date	2003-10-24
Publication No	10-2005-0039273
Publication Date	2005-04-29
Agent	International Intellectual Property Law Firm "HONESTY & PATENT"
Inventor	Jun- Sin Lee
Applicant	Jun- Sin Lee
Examination	It has.
Title of Invention	Module Integrated Solar Cell And Method ForManufacturing The Same

Abstract

The invention relates to the module integrated solar cell and a manufacturing method thereof. And the solar cell (100) is manufactured with the method including step of forming the silver on the output electrode (190a) (190b) and step of forming the pyramid surface structure in the p-type silicon substrate (120): the step of forming the oxide film in front and back side of the p-type silicon substrate (120): the step of forming the base electrode (170) in the rear surface isolation film layer (130): the step of forming the n++ type emitter layer (150) in the rear surface isolation film layer (130): the step of forming the insulating film (160) among the unit solar cell (100'): the step of forming the p++ type back surface field (140) in the base electrode (170): emitter electrode (180), and the connecting electrode on the insulating film (160), the step of forming the sealing layer (200) in the rear surface of the p-type silicon substrate (120), and the step of inspecting the electrical characteristic.

Representative Drawing(s)

Fig. 3

Keyword(s)

The module integrated, solar cell, anti-reflection, silicon substrate, insulating film, emitter, P++, N++.

Description

SAMSUNG EX. 1002 - 704/2862

This document is performed by machine translation, and KIPO is not responsible for the result of translation

※ Brief Explanation of the Drawing(s)

Figure 1 is a drawing showing the V-I characteristic curve the solar cell is connected. Figure 1a is a drawing showing the V-I characteristic curve the solar cell is connected in series. Figure 1b is a drawing showing the V-I characteristic curve the solar cell is connected in parallel.

Figure 2 is drawing showing the conventional solar cell module. The drawing 2a is the conventional solar cell module the illustrated configuration drawing. The drawing 2b is the combining sectional view.

Figure 3 is an illustrated configuration drawing the solar cell according to the invention.

Figure 4 is drawing showing the used substrate in the solar cell according to the present invention. Figure 4a is a drawing showing the kind of the monocrystalline silicon substrate. Figure 4b is a drawing showing the kind of the multi crystal silicon substrate.

Figure 5 is drawing showing the electrode portion the upper part of the solar cell to plane according to the invention. Figure 5a is a plane view showing the electrode structure of the output voltage 3V class. Figure 5b is a plane view showing the electrode structure of the output voltage 12V class.

Figure 6 is a block diagram showing the manufacturing method of the solar cell according to the present invention.

<The description of reference numerals showing the main elements in drawings>

10: solar cell 20: connection tab.

30: thermosetting resin 40: module back panel.

50: tempered glass.

100: solar cell 100': unit solar cell.

110: front side anti-reflective coating layer 120: p-type silicon substrate.

130: rear surface isolation film layer 140: p++ type back surface field.

150: n++ type emitter layer 160: insulating film.

170: base electrode 180: emitter electrode.

190a,190b: output electrode 200: sealing layer.

※ Details of the Invention

※ Purpose of the Invention

※ The Technical Field to which the Invention belongs and the Prior Art in that Field

The invention relates to the module integrated solar cell and a manufacturing method thereof, and more specifically, to the module integrated solar cell which separates the anode and cathode of the solar cell

SAMSUNG EX. 1002 - 705/2862

This document is performed by machine translation, and KIPO is not responsible for the result of translation

according to the insulating layer and which forms the integrated connecting electrode on this insulating layer and integrated and a manufacturing method thereof.

Generally, the power demand under the specific part is calculated in order to apply the solar cell to the specific system. The solar cell and the electric energy generated in the solar cell module are supplied to the required amount of electric power of load. The spare electric power amount the added value is additionally determined with the capacity of the solar cell module. In case of the silicon solar cell, as to the property, of obtaining from one solar cell the voltage is fixed to about 0.5V. The current can produce the current of the extent of about 30mA per the unit area according to the change of area.

Therefore, the solar cell is serially connected in order to enhance the necessary voltage of the module. The area of the solar cell is varied according to the necessary electric current capacity. At this time, the existing commercial battery capacity is therefore to 4, 8, twelve, 16, 24, 36, 54 etc with cascade connection and the solar cell module is comprised.

It is drawing in which the attached view shows the V-I characteristic curve 1 connects the solar cell. And figure 1a is drawing which is drawing and shows the V-I characteristic curve. The drawing 1b connects in parallel two solar cells showing the V-I characteristic curve two solar cells are connected in series.

As shown in FIG. 1a, V = Vc it is the same as that of the current size in which the current is generated in one battery when two solar cells were serially connected in the same solar radiation condition the twice of one battery voltage becomes as to both ends voltage1+ Vc2, I = Ic1= Ic2 becomes. Therefore, in case several solar cells are serially connected, the output current of the solar cell is the same as that of the current size generated in one battery. The output voltage can show like the equation (1).

$$Va = Ns \times Vc \quad (1)$$

Va: solar cell output voltage.

Ns: the number of solar cell which is serially connected.

Vc: the output voltage of the solar cell one.

Moreover, as shown in FIG. 1b, V = Vc the property of the solar radiation condition in which the solar cell is the same or material physicals1= Vc2, I = Ic1+ Ic2 becomes. Therefore, in case several solar cells are parallely connected the output current of the solar cell can show like the equation (2).

$$Ia(V) = Np \times I(V) \quad (2)$$

Ia(V): the output current of the solar cell.

Np: the number of solar cell connected in parallels.

I(V): the output current of the solar cell one.

In the meantime, if the production of solar battery as in the above and inspection finish, the attached view manufactures the solar cell module of 10 Watt diffusion level as illustrated in Figure 2b and 2a.

Firstly, the circuit weighing connection tab (20) which is the external wire material the solar cell (10) cut is electrically serially connected it fits to the necessary current capacity and the solar cell (10) is cut according to the power capacity of the goods and altogether connects the solar cell (10) is comprised.

SAMSUNG EX. 1002 - 706/2862

This document is performed by machine translation, and KIPO is not responsible for the result of translation

And the circuit is put the seal upon as the tempered glass (50) in which the external light in the front side the circuit is comprised has the insulation property it well penetrates. Here, in the present preferred embodiment, it may be acceptable that it put the seal upon to the tempered glass (50). However it puts the seal upon to the aluminium foil or the plastic in which the insulating layer is coated.

Moreover, thermosetting resin (EVA) (30) with high transparency adding all kinds of the compounding chemicals and manufactures are coated epoxy resin which is the polymeric compound among the tempered glass (50) and circuit with and the solar cell (10) is sealed hermetically. If the final inspection that the sealed solar cell (10) inspects the bonding process or the damage etc. generated in the modularization process is finished all manufacturing processes are completed.

Here, the unexplained reference numeral "40" exhibits the module back panel.

▪ The Technical Challenges of the Invention

But there is a problem that it has many difficulties in the process of setting up the separate connection tab (20) in the electrode formed on to produce this kind of the conventional solar cell, is the solar cell module, the solar cell (10) front side and backside surface and connecting in arranging the solar cell (10) with the predetermined position. The poor contact between the connection tab (20) and the solar cell (10) are generated.

And there is a problem that in the solar cell module, the thermosetting resin (30) for the used hermetic sealing and adhesion discoloration and performance degradation are obligatorily caused in sunlight in exposure within the specified period, in other words, approximately, 10 year. The performance of the solar cell module itself is lowered due to that in after all.

Thus, an object of the present invention is to provide the module integrated solar cell in which the required additional process manpower, time, the module production consumption goods etc. are unnecessary and saving the manufacturing cost and a manufacturing method thereof in the cut and the cascade connection which are the price rise cause as to the solar cell module manufacture the integrated connecting electrode is formed on this insulating layer it is devised in order to cancel the problem and the anode and cathode of the solar cell are separated according to the insulating layer of the prior art as described above.

▪ Structure & Operation of the Invention

When connecting the unit solar cell in which the module integrated solar cell of the invention for achieving the above-described purpose is made of the respective oxidized front side anti-reflective coating layer, the rear surface isolation film layer, the formed and integrated base electrode, which is laid under the rear surface isolation film layer and emitter electrode, the emitter electrode, which is common to the other comb-shaped and in front and back side of the p-type silicon substrate and the p-type silicon substrate having pyramid surface structure is common to the positive electrode to the high concentration p++ type back surface field, which respectively is doped in the solar cell emitter and base for the ohmic contact and is formed the n++ type emitter layer and one comb-shaped, it is comprised of the insulating film which it electrically insulates and the sealing layer insulating the respective connected anode output electrode, the cathode output electrode, the base electrode and emitter electrode in the base electrode of one side and emitter electrode of one side with outside.

And the insulating film, is the titanium oxide (TiO the base electrode is made of the aluminum (Al) metal2Silicon oxide (SiO.2It comprises any one.

Moreover, in the emitter electrode, and output electrode, and the insulating film, the silver (Ag) is screen-printed.

SAMSUNG EX. 1002 - 707/2862

This document is performed by machine translation, and KIPO is not responsible for the result of translation

In the meantime, comprises the module integrated method for fabricating solar cell of the invention, is the step of forming the respective oxidized front side anti-reflective coating layer in front and back side and rear surface isolation film layer it thermally processes at high temperature in the step of forming into the cone the surface structure it heats and cleanses: p-type silicon substrate, the step of forming the p++ type back surface field on the base electrode it thermally processes at high temperature, output electrode used in the module output it is connected to the base electrode and emitter electrode of one side, the step that performs screen printing silver to the connecting electrode on the emitter electrode, and the insulating film and that dries and plasticized, and the step performing screen printing the ink for the hermetic sealing in the rear surface of the p-type silicon substrate and dries.

And the p-type silicon substrate, is the NaOH and iso-propyl alcohol (IPA : Iso-Propyl Alcohol) and water (H2In the inside of mixture solution of the O), it is heated and it for 25 minutes is washed with figure 70.

Hereinafter, the preferred embodiment of the invention is made to be equal to the attached view, as described in detail, next.

To the attached view is 3. And figure 5 is a drawing showing the solar cell according to the present invention.

The rear surface isolation film layer (130) and front side anti-reflective coating layer (110) are oxidized and the module integrated solar cell (100) of the invention forms on front and back side of the P-type silicon substrate (120) having as shown in the figure, the pyramid surface structure. The base electrode (170) and the integrated emitter electrode (180) are formed on the rear surface isolation film layer (130). And the high concentration p++ type back surface field (140) for the ohmic contact and n++ type emitter layer (150) is doped at respectively in the solar cell emitter and base and it forms on the positive electrode (170) (180). When connecting the unit solar cell (100') consisting of one common base electrode (170) and one common emitter electrode (180) to comb-shaped, the insulating film (160) for electrically insulating is formed. And the anode output electrode (190a) and cathode output electrode (190b) are connected to the base electrode (170) of one side and emitter electrode (180) of one side. The sealing layer (200) for insulating the base electrode (170) and emitter electrode (180) with outside is formed and base are comprised.

And the insulating film (160), is the titanium oxide (TiO the base electrode (170) is made of the aluminum (Al) metal2Silicon oxide (SiO.2It comprises any one.

Moreover, in the output electrode (190a) (190b) and emitter electrode (180), and the insulating film (160), the silver (Ag) is screen-printed and it is formed.

In the meantime, the silicon substrate (120) used as the substrate material of the solar cell (100) has the range value to 10 ohm-cm in the resistivity 0.1 ohm-cm to p-type. As shown in Figure 4a, 4 ", 5" , 6 ", 8" , 12" etc. the range of size of the area of the front surface are the typical size. In the drawing 4b, the area of the multi crystal silicon substrate (120) was shown. It has the range value to 3 ohm-cm in the resistivity 0.5 ohm-cm.

The module integrated solar cell according to the invention structured as mentioned is manufactured by the process as follows.

The attached view 6 is the block diagram showing the manufacturing method of the solar cell according to the present invention.

The module integrated solar cell (100) manufacture of the invention is completed through step of forming silver on the output electrode (190a) (190b) and step of forming as shown in the figure, the pyramid surface structure in the p-type silicon substrate (120): the step of forming the oxide film in front and back side of the p-type silicon substrate (120): the step of forming the base electrode (170) in the rear surface isolation film layer (130): the step of forming the n++ type emitter layer (150) in the rear surface isolation film layer (130): the step of forming the insulating film (160) among the unit solar cell (100'): the step of forming the p++ type back surface field (140) in the base electrode (170): emitter electrode (180), and the connecting electrode on the insulating

SAMSUNG EX. 1002 - 708/2862

This document is performed by machine translation, and KIPO is not responsible for the result of translation

film (160): the step of forming the sealing layer (200) in the rear surface of the p-type silicon substrate (120): the step of inspecting electrical characteristic.

The this, more specifically, the NaOH and iso-propyl alcohol (IPA : Iso-Propyl Alcohol) and water (H the p-type silicon substrate (120).2In the inside of mixture solution of the O), it heats and it washes for 25 minutes with figure 70 and the surface structure is formed into the cone.

At this time, when the heating temperature exceeds figure 70 the height of the formed pyramid structure is enhanced in the screen printing and the screen damage of the screen-printing machine is accelerated. It has the disadvantage of the volatility of the chemical being increased and causing the rising of the manufacturing cost. In case 70 is under the disadvantage has the disadvantage that the time when the pyramid structure is formed gets longer and productivity is lowered.

Moreover, it is difficult to form 3~4 micrometer in which productivity and light capture of the pyramid structure it forms it is 25 minutes under it has the disadvantage of being degraded are the most suitable height.

Then, 850 heat-treats in the p-type silicon substrate (120) at the furnace described in the above and the respective oxidized front side anti-reflective coating layer (110) and rear surface isolation film layer (130) are formed on front and back side.

And the home for forming the electrode (170) (180) on the rear surface isolation film layer (130) as it takes advantage of the Nd YAG laser is formed into the width of 100 micrometer and the depth of 25 micrometer.

As described above, the aluminum metal is performed screen printing in one common groove to the formed comb-shaped and by being dry in the belt furnace of figure 250 the base electrode (170) is formed. It dries in the belt furnace of figure 250.

And the titanium oxide (TiO in the connection part in which the unit solar cell (100') made on one common base electrode (170) and the other common n++ type emitter layer (150) of the emitter electrode (180) formed is connected2Silicon oxide (SiO.2The insulating film (160) is performed screen printing as one paste is used. After it dries in the belt furnace of figure 250, if it heat-treats at the high temperature of figure 850 in the IR lamp high temperature belt-like diffusion furnace, the p++ type back surface field (140) is formed at the base electrode (170) layer. The n++ type emitter layer (150) penetrates to the depth of 0.7 micrometer and it is diffused.

Then, the silver (Ag) paste is performed screen printing to the connecting electrode on the insulating film (160) between the unit solar cell (100') and output electrode (190a) (190b) used in the module output connected to the n++ type emitter layer (150) and emitter electrode (180) and it is dry in the belt furnace of figure 250. It is plasticized in the identical belt furnace as figure 740.

And finally, printable with screen it is dry in the belt furnace of figure 200. Finally, the electrical characteristic of the module is inspected and the manufacture of the module integrated solar cell (100) is completed.

As described above, since the manufactured module integrated solar cell (100) of the invention is integrated in the solar cell (100) itself to the module the loss generated due to the alignment and contact is prevented. The constant resistance is degraded than the existing and the energy conversion efficiency can be raised.

And the thermosetting resin (30) for the hermetic sealing of the conventional solar cell (10) front side is removed and the lifetime of the solar cell (100) module is extended over the treble.

In the meantime, in the drawing 5a, the electrode portion planar structure of the output voltage 3V class single-crystal silicon module integrated solar cell is shown. A lot, it is the example which serially connects 4 unit solar cells and comprised. In the drawing 5b, the electrode portion planar structure of the output voltage 24V class

SAMSUNG EX. 1002 - 709/2862

This document is performed by machine translation, and KIPO is not responsible for the result of translation

poly-crystal silicon module integrated solar cell is shown. It is the example which serially connects the unit solar cell with 36 and comprised.

Moreover, the following table 1 exhibits the various kind specification of the output 10 Watt diffusion level of the single-crystal silicon module integrated solar cell, completed through the process described in the above in other words, the output watt, the wafer diameter, area, the unit solar cell number, the unit solar cell area, the output current. The table 2 exhibits the output watt, the wafer diameter, area, the unit solar cell number, the unit solar cell area, the output current of the completed poly-crystal silicon module integrated solar cell.

▧ Effects of the Invention

As shown in the above, according to the module integrated solar cell and a manufacturing method thereof of the present invention., the manufacturing cost is cut down since the task like the hermetic sealing etc using the conventional solar cell cut, the separate connection tab attaching, the module circuit configuration, the thermosetting resin is skipped.

And if the long term is exposed to convention to the ultraviolet ray of sunlight, the lifetime of the solar cell is extended as the senile change including discoloration, cleavage etc. over treble since the resin system adhesive (thermosetting resin) which is the main cause giving limit to lifetime of the solar cell module is removed.

Moreover, in the present invention, it is automatically arranged since the connection between the unit solar cell occurs in the solar cell itself. The constant resistance is degraded and the efficiency is improved.

Moreover, in the present invention, in 10watt diffusion level module, it has the advantage overcoming the existing limit in the performance improvement, drop in price, manufacturing process require time reduction, the module life time long-term stability etc and can come for the solar cell industry with the activation.

In the meantime, in the above case, in range which it may not deviate with reference to the preferred embodiment of the invention from the thought and domain of the invention described in below claims it is an ordinary person skilled in the art it illustrated, it will be able to understand to be various, can change the invention with correction.

Scope of Claims

Claim 1 :

The module integrated solar cell which is comprised of the insulating film (160) which electrically insulates and the sealing layer (200) insulating the respective connected anode output electrode (190a), the cathode output electrode (190b), the base electrode (170) and emitter electrode (180) in the base electrode (170) of one side and emitter electrode (180) of one side with the outside when connecting the unit solar cell (100') made of the respective oxidized front side anti-reflective coating layer (110), the rear surface isolation film layer (130), the formed and integrated base electrode (170) which is laid under the rear surface isolation film layer (130) and the emitter electrode (180), the emitter electrode (180) which is common to the other comb-shaped and in front and back side of P-type silicon substrate (120) and P-type silicon substrate (120) having pyramid surface structure is common to the positive electrode (170) (180) to the high concentration p++ type back surface field (140), which the respectively is doped in the solar cell emitter and base for the ohmic contact and is formed the n++ type emitter layer (150) and one comb-shaped.

SAMSUNG EX. 1002 - 710/2862

This document is performed by machine translation, and KIPO is not responsible for the result of translation

Claim 2 :
As for claim 1, the module integrated solar cell which the base electrode (170) is made of the aluminum (Al) metal.

Claim 3 :
As for claim 1, the insulating film (160), is the titanium oxide (TiO

2Silicon oxide (SiO.2The module integrated solar cell made of any one.

Claim 4 :
As for claim 3, the module integrated solar cell in which the silver (Ag) is screen-printed in the output electrode (190a) (190b) and emitter electrode (180), and the insulating film (160).

Claim 5 :
The step performing screen printing the ink for the hermetic sealing in the rear surface of the step: step: p-type silicon substrate (120) performing screen printing the silver (Ag) to the connecting electrode on the emitter electrode (180) and step of forming the p++ type back surface field (140) on the base electrode (170) it thermally processes at high temperature: output electrode (190a) (190b) used in the module output it is connected to the base electrode (170) and emitter electrode (180) of one side, and the insulating film (160) and drying the p-type silicon substrate (120) and that plasticizes and performing screen printing the insulating film (160) in the connection part between the unit solar cell (100') consisting of the step of forming the respective oxidized front side anti-reflective coating layer (110) in front and back side and rear surface isolation film layer (130) the p-type silicon substrate (120) thermally is processed at high temperature in the step of forming into cone the surface structure it heats and cleanses: p-type silicon substrate (120), the step performing screen printing the base electrode (170) in the rear surface isolation film layer (130) and dries, the step performing screen printing the n++ type emitter layer (150) in the rear surface isolation film layer (130) and dries, and the base electrode (170) and that dries dries. The base electrode (170) is common to the comb-shaped different from the emitter electrode (180) which is common to the n++ type emitter layer (150) to the formed comb-shaped of one of one. The manufacturing method of the module integrated solar cell which comprises.

Claim 6 :
As for claim 5, the p-type silicon substrate (120), is the NaOH and iso-propyl alcohol (IPA : Iso-Propyl Alcohol) and water (H

2The manufacturing method of the heating and the washed module integrated solar cell in the inside of mixture solution of the O).

SAMSUNG EX. 1002 - 711/2862

This document is performed by machine translation, and KIPO is not responsible for the result of translation

Claim 7 :

As for claim 6, the manufacturing method of the module integrated solar cell forming the home for forming the base electrode (170) and emitter electrode (180) on the rear surface isolation film layer (130) into the width of 100 micrometer and the depth of 25 micrometer.

Claim 8 :

As for claim 5, the insulating film (160), is the titanium oxide (TiO the base electrode (170) is made of the screen-printed aluminum (Al) metal

2Silicon oxide (SiO.2The manufacturing method of the module integrated solar cell made of any one.

Claim 9 :

As for claim 5, the manufacturing method of the module integrated solar cell which it performs screen printing back seal layer (200) capable of preventing the damage mechanical with preventing leak due to the exposure of the base electrode (170) of the solar cell (100) and emitter electrode (180) to the thickness more than 40 micrometer as it uses the printable with screen ink, and it is dry in the belt furnace of figure 200.

Drawings

Fig. 1a

SAMSUNG EX. 1002 - 712/2862

This document is performed by machine translation, and KIPO is not responsible for the result of translation

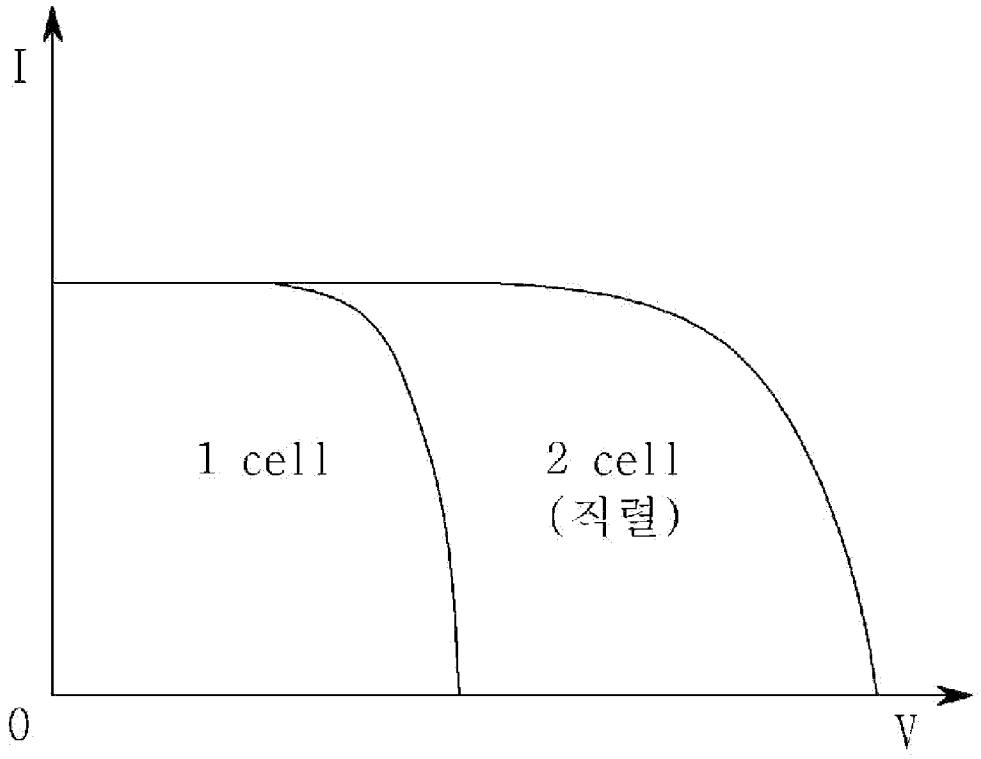


Fig. 1b

SAMSUNG EX. 1002 - 713/2862

This document is performed by machine translation, and KIPO is not responsible for the result of translation

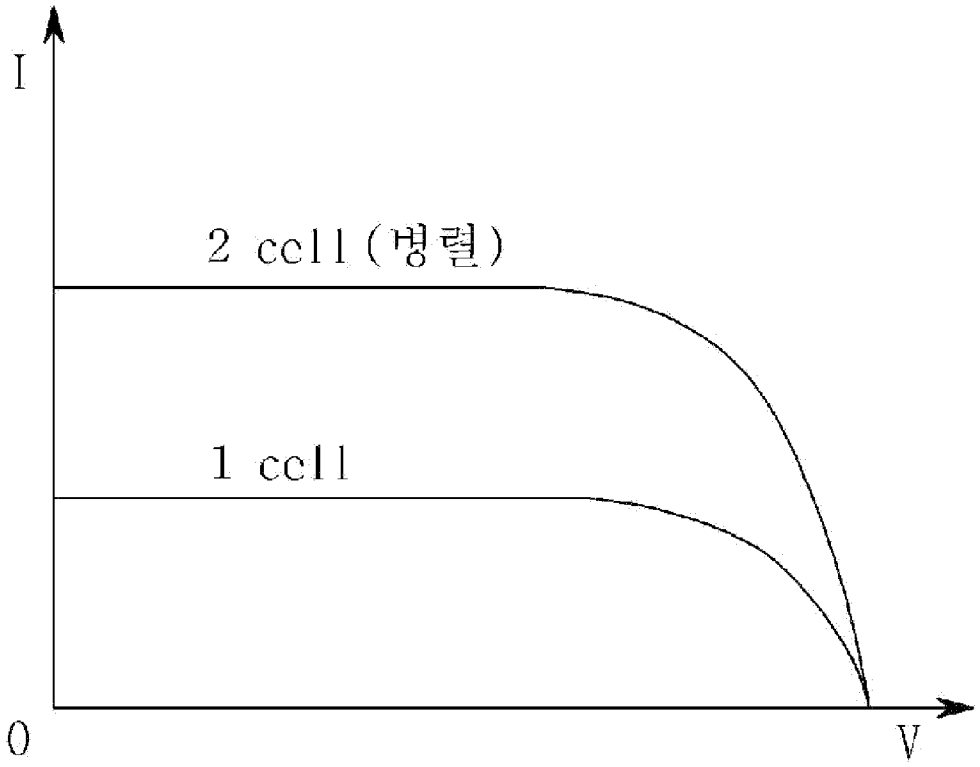


Fig. 2a

SAMSUNG EX. 1002 - 714/2862

This document is performed by machine translation, and KIPO is not responsible for the result of translation

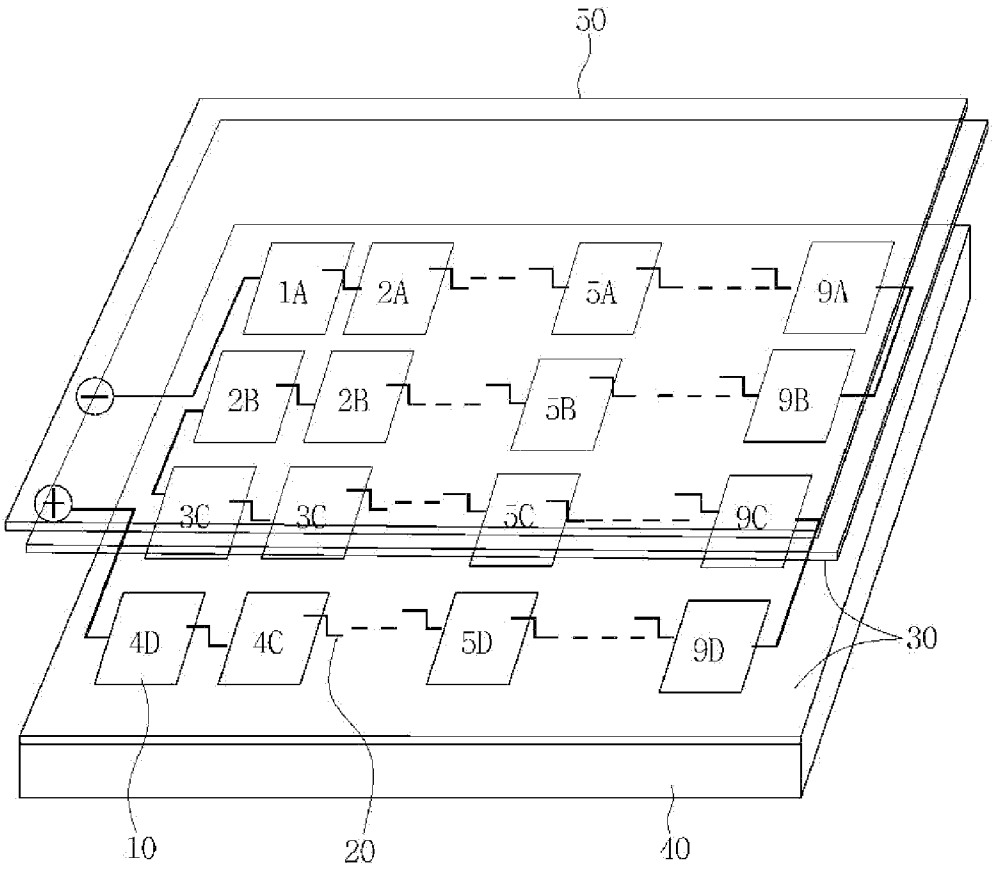


Fig. 2b

SAMSUNG EX. 1002 - 715/2862

This document is performed by machine translation, and KIPO is not responsible for the result of translation

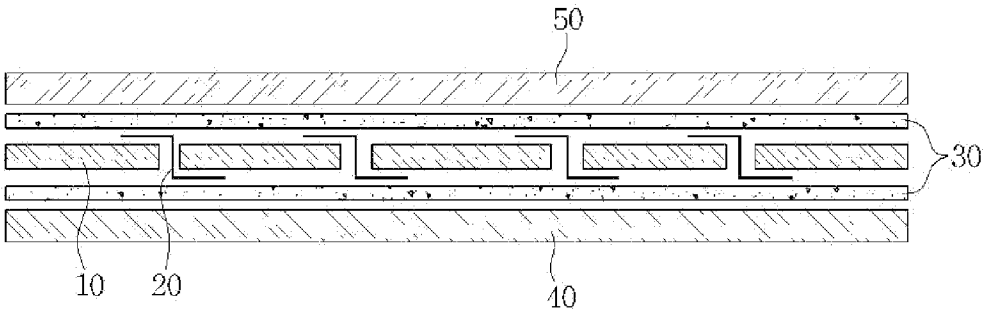


Fig. 3

SAMSUNG EX. 1002 - 716/2862

This document is performed by machine translation, and KIPO is not responsible for the result of translation

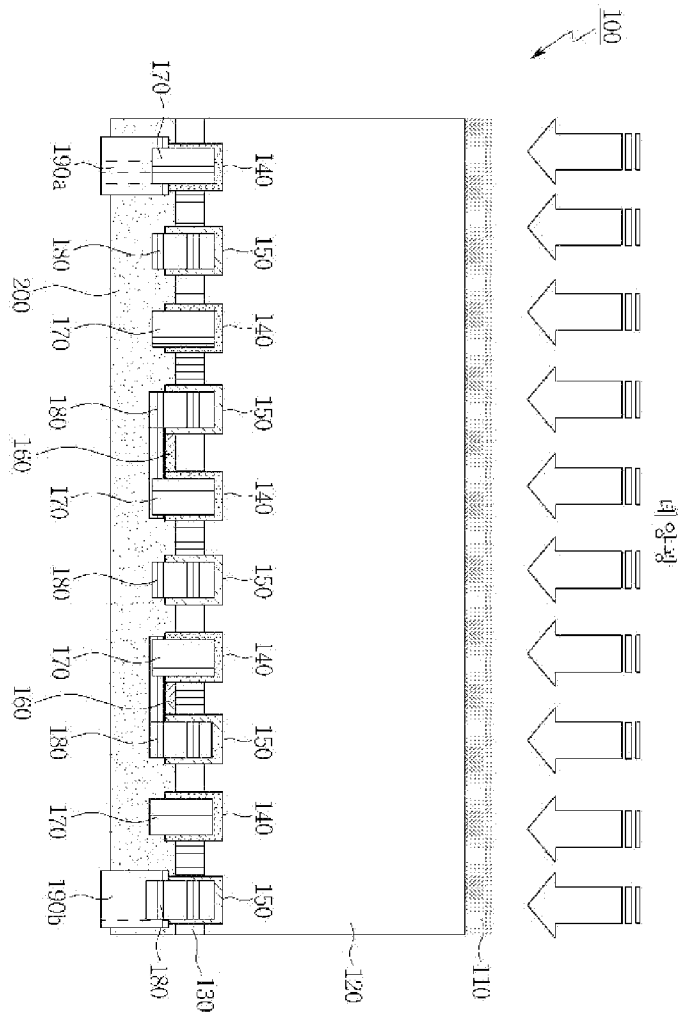


Fig. 4a

SAMSUNG EX. 1002 - 717/2862

This document is performed by machine translation, and KIPO is not responsible for the result of translation

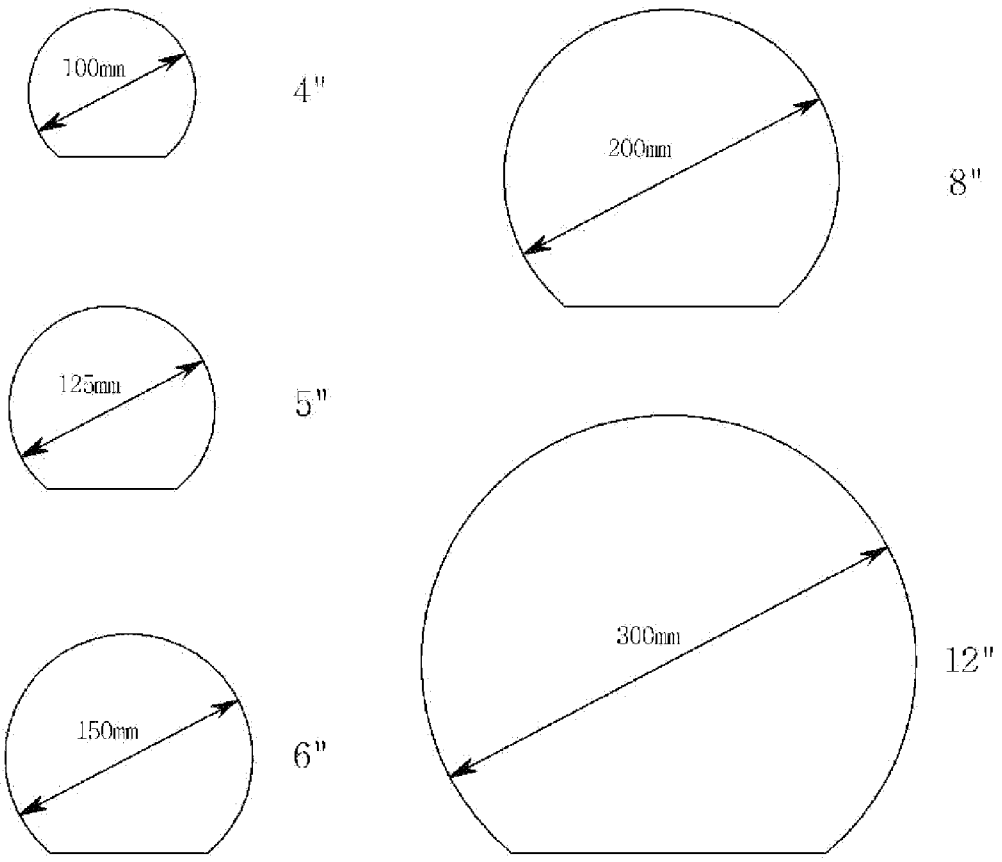


Fig. 4b

SAMSUNG EX. 1002 - 718/2862

This document is performed by machine translation, and KIPO is not responsible for the result of translation

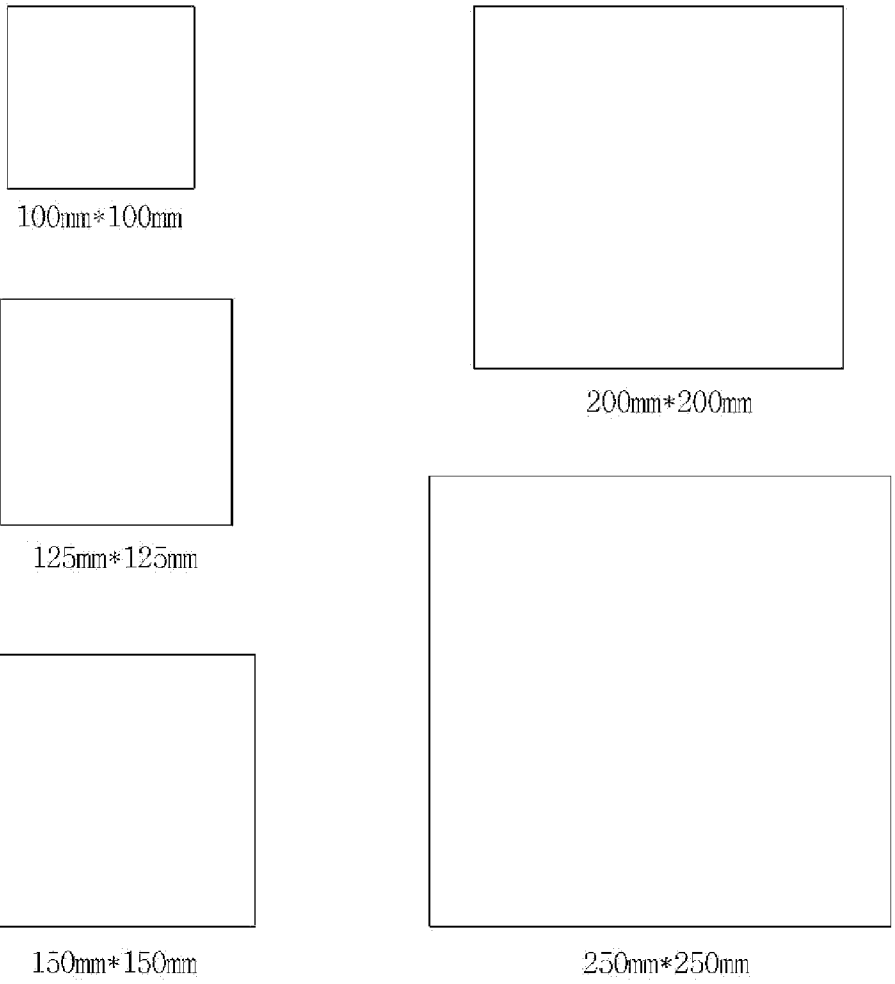


Fig. 5a

SAMSUNG EX. 1002 - 719/2862

This document is performed by machine translation, and KIPO is not responsible for the result of translation

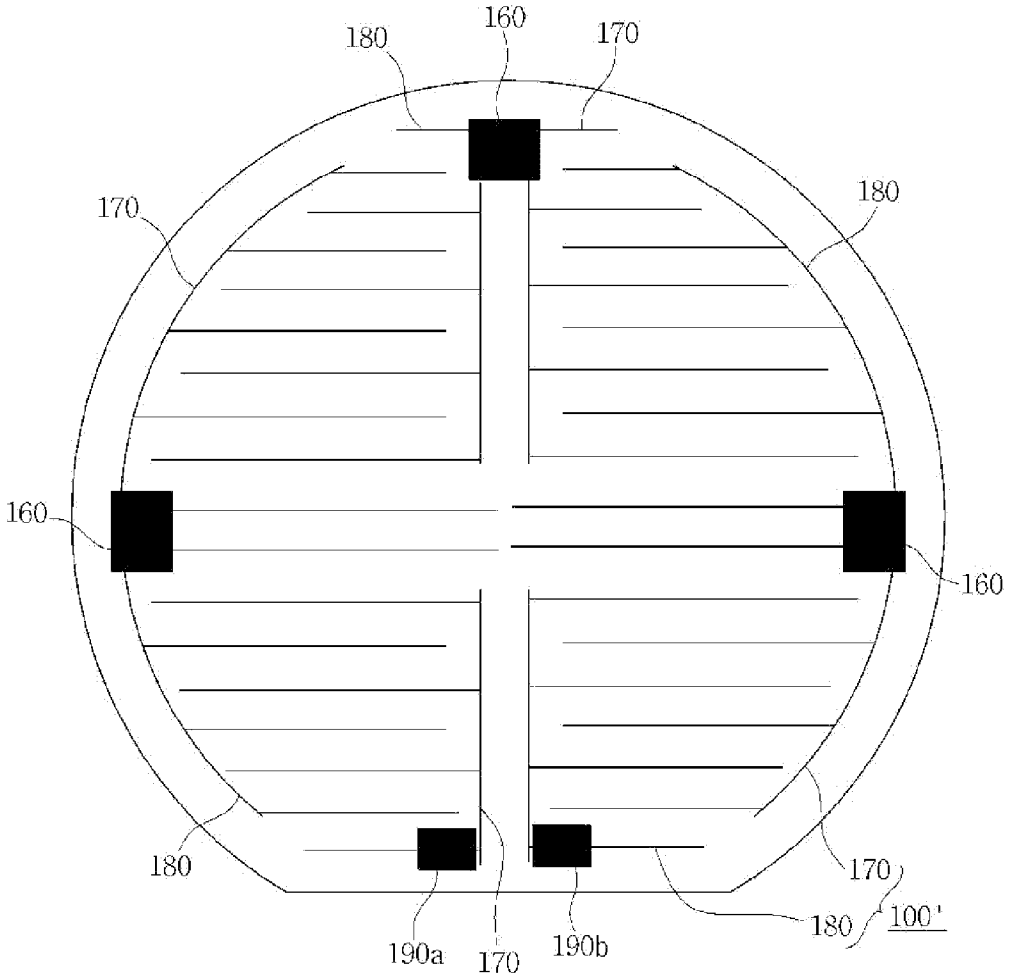


Fig. 5b

SAMSUNG EX. 1002 - 720/2862

This document is performed by machine translation, and KIPO is not responsible for the result of translation

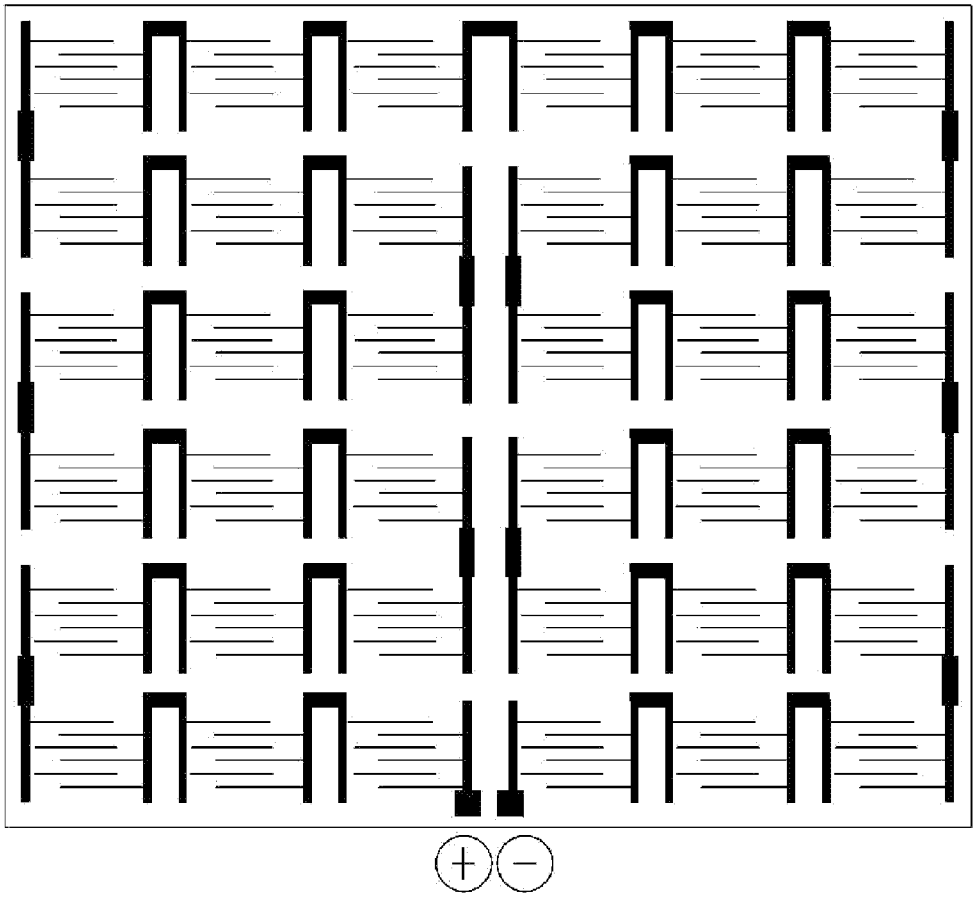
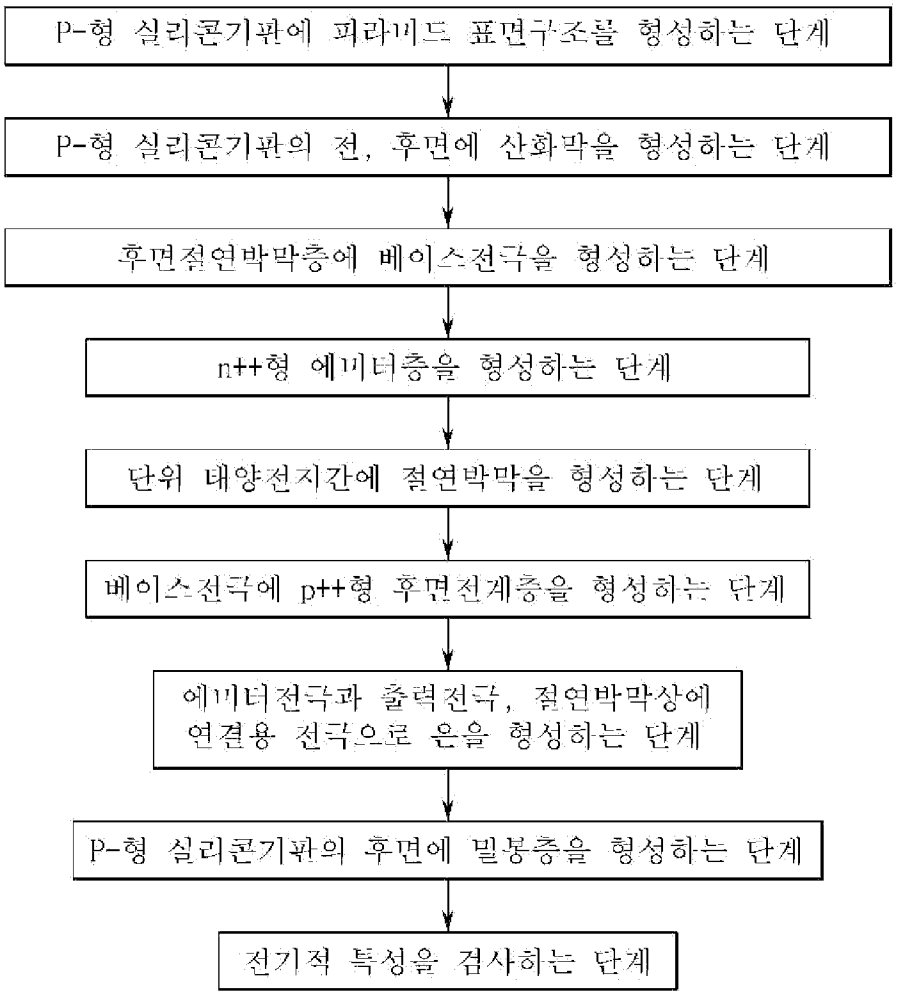


Fig. 6

SAMSUNG EX. 1002 - 721/2862

This document is performed by machine translation, and KIPO is not responsible for the result of translation



SAMSUNG EX. 1002 - 722/2862

(19)대한민국특허청(KR)공개특허공보(A)

(51) Int.Cl. 7
H01L 31/042

출원번호	10-2003-0074703
출원일자	2003년10월24일
공개번호	10-2005-0039273
공개일자	2005년04월29일
대리인	특허법인정직과특허
발명자	이 준 신
출원인	이 준 신
심사청구	있음
발명의명칭	모듈일체형 태양전지 및 그 제조방법

요약

본 발명은 모듈일체형 태양전지 및 그 제조방법에 관한 것으로서, p-형 실리콘기판(120)에 피라미드 표면구조를 형성하는 단계와; p-형 실리콘기판(120)의 전,후면에 산화막을 형성하는 단계와; 후면절연박막층(130)에 베이스전극(170)을 형성하는 단계와; 후면절연박막층(130)에 n++형 에미터층(150)을 형성하는 단계와; 단위 태양전지(100')간에 절연박막(160)을 형성하는 단계와; 베이스전극(170)에 p++형 후면전계층(140)을 형성하는 단계와; 에미터전극(180)과, 출력전극(190a)(190b), 절연박막(160)상에 연결용 전극으로 은을 형성하는 단계와; p-형 실리콘기판(120)의 후면에 밀봉층(200)을 형성하는 단계와; 전기적 특성을 검사하는 단계;를 포함한 방법으로 태양전지(100)를 제조한다.

대표도

도. 3

색인어

모듈일체형, 태양전지, 반사방지, 실리콘기판, 절연박막, 에미터, p++, n++

명세서

※ 도면에 대한 간단한 설명

도 1은, 태양전지를 연결함에 따른 V-I 특성곡선을 나타낸 도면으로서, 도 1a는 태양전지를 직렬연결함에 따른 V-I 특성곡선을 도시한 도면이고, 도 1b는 태양전지를 병렬연결함에 따른 V-I 특성곡선을 도시한 도면이다.

SAMSUNG EX. 1002 - 723/2862

도 2는, 종래의 태양전지 모듈을 도시한 도면으로서, 도 2a는 종래의 태양전지 모듈을 도시한 구성도이고, 도 2b는 결합단면도이다.

도 3은, 본 발명에 따른 태양전지를 도시한 구성도이다.

도 4는, 본 발명에 따른 태양전지에 사용되는 기판을 도시한 도면으로서, 도 4a는 단결정 실리콘 기판의 종류를 도시한 도면이고, 도 4b는, 다결정 실리콘 기판의 종류를 도시한 도면이다.

도 5는, 본 발명에 따른 태양전지의 전극부위를 평면으로 도시한 도면으로서, 도 5a는 출력전압 3V급의 전극구조를 도시한 평면도이고, 도 5b는 출력전압 12V급의 전극구조를 도시한 평면도이다.

도 6은, 본 발명에 따른 태양전지의 제조방법을 도시한 블록도이다.

＜도면의 주요부분에 대한 부호의 설명＞

10 : 태양전지 20 : 연결탭

30 : 열경화성 수지 40 : 모듈뒷판

50 : 강화유리

100 : 태양전지 100' : 단위 태양전지

110 : 전면반사방지막층 120 : p-형 실리콘기판

130 : 후면절연박막층 140 : p++형 후면전계층

150 : n++형 에미터층 160 : 절연박막

170 : 베이스전극 180 : 에미터전극

190a,190b : 출력전극 200 : 밀봉층

※ 발명에 대한 자세한 설명

※ 발명의 목적

※ 발명이 속하는 분야의 종래기술

본 발명은 모듈일체형 태양전지 및 그 제조방법에 관한 것으로서, 보다 상세하게는 태양전지의 양극과 음극을 절연막으로 분리하고, 이 절연막 위에 집적화된 연결전극을 형성하여 집적화한 모듈일체형 태양전지 및 그 제조방법에 관한 것이다.

일반적으로, 태양전지를 특정시스템에 적용하기 위해서는 특정부하의 수요전력량을 계산하고, 태양전지와 태양전지 모듈에서 발생하는 전력량을 부하의 필요전력량으로 공급하고, 추가로 여유전력량을 더한 값을 태양전지 모듈의 용량으로 결정한다. 실리콘 태양전지의 경우 태양전지 1개에서 얻을 수 있는 특성은 전압이 0.5V 정도로 고정되고, 전류는 면적의 변화에 따라서 단위 면적당 약 30mA의 정도의 전류를 생산할 수 있다.

SAMSUNG EX. 1002 - 724/2862

따라서, 모듈의 필요 전압을 높이기 위해서는 직렬로 태양전지를 연결하고, 필요전류 용량에 따라서 태양전지의 면적을 가변시킨다. 이때 기존의 상용 축전지용량 때문에 4개, 8개, 12개, 16개, 24개, 36개, 54개 등으로 직렬 연결하여 태양전지 모듈을 구성한다.

첨부도면 도 1은, 태양전지를 연결함에 따른 V-I 특성곡선을 나타낸 도면으로서, 도 1a는 두 개의 태양전지를 직렬연결함에 따른 V-I 특성곡선을 도시한 도면이고, 도 1b는 두 개의 태양전지를 병렬연결함에 따른 V-I 특성곡선을 도시한 도면이다.

도 1a에 도시된 바와 같이, 두 개의 태양전지를 같은 일사조건에서 서로 직렬로 연결했을 경우, 양단전압은 한 개의 전지전압의 두 배가 되고, 전류는 한 개의 전지에서 발생된 전류의 크기와 같게 되어 V = Vc1+ Vc2, I = Ic1= Ic2가 된다. 따라서 여러 개의 태양전지가 직렬로 연결된 경우에 태양전지의 출력전류는 한 개의 전지에서 발생된 전류의 크기와 같고, 출력전압은 식(1)와 같이 나타낼 수 있다.

$$Va = Ns \times Vc \quad (1)$$

Va : 태양전지 출력전압

Ns : 직렬 연결된 태양전지의 수

Vc : 태양전지 한 개의 출력전압

또한, 도 1b에 도시된 바와 같이, 병렬 연결된 태양전지의 특성은 태양전지가 서로 똑같은 일사조건이나 재질의 특성이 물성적으로나 전기적으로 같은 특성을 갖고 있는 경우에는, V = Vc1= Vc2, I = Ic1+ Ic2가 된다. 그러므로 여러개의 태양전지가 병렬로 연결된 경우, 태양전지의 출력전류는 식(2)와 같이 나타낼 수 있다.

$$Ia(V) = Np \times I(V) \quad (2)$$

Ia(V) : 태양전지의 출력전류

Np : 병렬 연결된 태양전지의 수

I(V) : 태양전지 한 개의 출력전류

한편, 위와 같은 태양전지 제조와 검사가 끝나면, 첨부도면 도 2a 및 도 2b에 도시된 바와 같은 10와트(Watt) 미만급의 태양전지 모듈을 제조한다.

먼저, 응용제품의 전력 용량에 따라서 필요한 전류용량에 맞추어 태양전지(10)를 절단하고, 절단한 태양전지(10)를 각각 전기적으로 직렬로 연결하도록 외부배선재료인 연결탭(20)을 달아서 상기 태양전지(10)를 모두 연결하는 회로를 구성한다.

그리고, 상기 회로가 구성되면, 그 전면에 외부의 빛은 잘 투과하면서도 전기적으로는 절연 특성을 가지는 강화유리(50)로서 회로를 봉인한다. 여기서, 본 실시예에서는 강화유리(50)로 봉인하였지만, 절연막이 코팅된 알루미늄 호일이나 플라스틱으로 봉인하여도 무방하다.

또한, 상기 강화유리(50)와 회로 사이에는 고분자 화합물인 에폭시 수지에 각종 배합제를 가하여 제조한 투명도가 높은 열경화성 수지(EVA)(30)를 도포하여 태양전지(10)를 밀봉하고, 밀봉된 태양전지(10)는 접착공정이나 모듈화공정에서 발생된 손상여부 등을 검사하는 최종 검사가 끝나면 모든 제조과정이 완료된다.

여기서, 미설명부호 "40"은 모듈뒷판을 도시한 것이다.

SAMSUNG EX. 1002 - 725/2862

※ 기술적 과제

그러나, 이와 같은 종래의 태양전지는, 태양전지 모듈을 제조하기 위해서 태양전지(10) 앞면과 뒷면에 형성된 전극에 별도의 연결탭(20)을 설치하여 서로 연결하는 과정에서 태양전지(10)를 정위치로 정열함에 있어 많은 어려움이 있고, 태양전지(10)와 연결탭(20)간의 접촉 불량이 발생되는 문제점이 있었다.

그리고, 태양전지 모듈에서 필수적으로 사용되는 밀봉 및 접착을 위한 열경화성 수지(30)는, 태양광에 노출시에 일정 기간 즉, 대략 10년 이내에 변색과 성능저하가 야기되고, 그로 인해 결국에는 태양전지 모듈 자체의 성능이 저하되는 문제점이 있었다.

이에, 본 발명은 전술한 바와 같은 종래기술의 문제점을 해소하기 위해 안출된 것으로, 태양전지의 양극과 음극을 절연막으로 분리하고, 이 절연막 위에 집적화된 연결전극을 형성하여, 태양전지 모듈 제조에 있어 가격상승 요인인 절단과 직렬연결에 소요되던 추가공정 인력, 시간, 모듈제조 소모품 등이 필요없게 되어 제조원가를 절감시킬 수 있는 모듈일체형 태양전지 및 그 제조방법을 제공하는데 그 목적이 있다.

※ 발명의 구성 및 작용

상술한 목적을 달성하기 위한 본 발명의 모듈일체형 태양전지는, 피라미드 표면구조를 갖는 p-형 실리콘기판과; 상기 p-형 실리콘기판의 전,후면에 각각 산화된 전면반사방지막층 및 후면절연박막층과; 상기 후면절연박막층에 매설되어 형성된 집적화된 베이스전극 및 에미터전극과; 상기 양 전극에 태양전지 에미터와 베이스에 오옴성 접촉을 위해 각각 도핑되어 형성된 고농도 p++형 후면전계층 및 n++형 에미터층과; 하나의 빗살모양으로 공통된 베이스전극과 다른 하나의 빗살모양으로 공통된 에미터전극으로 이루어진 단위 태양전지를 서로 연결할 때 전기적으로 절연시키는 절연박막과; 일측의 베이스전극과 일측의 에미터전극에 각각 연결된 양극출력전극 및 음극출력전극과; 상기 베이스전극과 에미터전극을 외부와 절연시키는 밀봉층;을 포함하여 구성된 것을 특징으로 한다.

그리고, 상기 베이스전극은, 알루미늄(Al) 금속으로 이루어지고, 상기 절연박막은, 산화티타늄(TiO2) 또는 산화규소(SiO2) 중 어느 하나로 이루어진다.

또한, 상기 에미터전극과, 출력전극, 절연박막에는, 은(Ag)이 스크린 인쇄된다.

한편, 본 발명의 모듈일체형 태양전지 제조방법은, p-형 실리콘기판을 가열 세척하여 그 표면구조를 피라미드형으로 형성하는 단계와; 상기 p-형 실리콘기판에 고온 열처리하여 전,후면에 각각 산화된 전면반사방지막층과 후면절연박막층을 형성하는 단계와; 상기 후면절연박막층에 베이스전극을 스크린 인쇄하여 건조시키는 단계와; 상기 후면절연박막층에 n++형 에미터층을 스크린 인쇄하여 건조시키는 단계와; 상기 n++형 에미터층에 형성된 하나의 빗살모양으로 공통된 에미터전극과 다른 하나의 빗살모양으로 공통된 베이스전극으로 이루어진 단위 태양전지간의 연결부에 절연박막을 스크린 인쇄하여 건조시키는 단계와; 상기 p-형 실리콘기판을 고온 열처리하여 베이스전극상에 p++형 후면전계층을 형성하는 단계와; 상기 일측의 베이스전극과 에미터전극에 각각 연결되어 모듈출력에 사용되는 출력전극과, 에미터전극, 절연박막상에 연결용 전극으로 은을 스크린 인쇄하여 건조시키고 소성시키는 단계와; 상기 p-형 실리콘기판의 후면에 밀봉을 위한 잉크를 스크린 인쇄하여 건조시키는 단계;를 포함하여 구성된 것을 특징으로 한다.

그리고, 상기 p-형 실리콘기판은, 수산화나트륨(NaOH)과 이소-프로필 알코올(IPA : Iso-Propyl Alcohol)과 물(H2O)의 혼합용액속에서 70도로 가열되고 25분간 세척된다.

이하, 본 발명의 바람직한 실시예를 첨부도면을 참조하여 상세히 설명하면 다음과 같다.

첨부도면 도 3 내지 도 5는, 본 발명에 따른 태양전지를 도시한 도면이다.

본 발명의 모듈일체형 태양전지(100)는 도시된 바와 같이, 피라미드 표면구조를 갖는 p-형 실리콘기판(120)의 전,후면에 전면반사방지막층(110)과, 후면절연박막층(130)을 각각 산화시켜 형성하고, 상기 후면절연박막층(130)에 집적화된 베이스전극(170)과 에미터전극(180)을 형성하며, 상기 양 전극(170)(180)에 태양전지 에미터와 베이스에 오옴성 접촉을 위한 고농도 p++형 후면전계층(140)과 n++형 에미터층(150)을 각각 도핑하여 형성하고, 빗살모양으로 하나의 공통된 베이스전극(170)과 하나의 공통된 에미터전극(180)으로 이루어진 단위 태양전지(100')를 서로 연결할 때 전기적으로 절연시키기 위한 절연박막(160)을 형성하며, 일측의 베이스전극(170)과 일측의 에미터전극(180)에 양극

SAMSUNG EX. 1002 - 726/2862

출력전극(190a)과 음극출력전극(190b)을 각각 연결하고, 상기 베이스전극(170)과 에미터전극(180)을 외부와 절연시키기 위한 밀봉층(200)을 형성하여 구성된다.

그리고, 상기 베이스전극(170)은, 알루미늄(Al) 금속으로 이루어지고, 상기 절연박막(160)은, 산화티타늄(TiO2) 또는 산화규소(SiO2) 중 어느 하나로 이루어진다.

또한, 상기 에미터전극(180)과, 출력전극(190a)(190b), 절연박막(160)에는, 은(Ag)이 스크린 인쇄되어 형성된다.

한편, 상기 태양전지(100)의 기판재료로 사용한 실리콘기판(120)은 p-형으로, 비저항 0.1 ohm-cm에서 10 ohm-cm까지의 범위 값을 가지고, 그 전면부의 면적의 크기범위는 도 4a에 도시한 바와 같이 4" , 5" , 6" , 8" , 12" 등이 전형적인 크기이다. 도 4b에서는 다결정 실리콘기판(120)의 면적을 도시하였고, 비저항 0.5 ohm-cm에서 3 ohm-cm까지의 범위 값을 가진다.

상기와 같이 구성된 본 발명에 따른 모듈일체형 태양전지는 다음과 같은 공정에 의해 제조된다.

첨부도면 도 6은, 본 발명에 따른 태양전지의 제조방법을 도시한 블록도이다.

본 발명의 모듈일체형 태양전지(100) 제조는 도시된 바와 같이, p-형 실리콘기판(120)에 피라미드 표면구조를 형성하는 단계와; p-형 실리콘기판(120)의 전,후면에 산화막을 형성하는 단계와; 후면절연박막층(130)에 베이스전극(170)을 형성하는 단계와; 후면절연박막층(130)에 n++형 에미터층(150)을 형성하는 단계와; 단위 태양전지(100')간에 절연박막(160)을 형성하는 단계와; 베이스전극(170)에 p++형 후면전계층(140)을 형성하는 단계와; 에미터전극(180)과, 출력전극(190a)(190b), 절연박막(160)상에 연결용 전극으로 은을 형성하는 단계와; p-형 실리콘기판(120)의 후면에 밀봉층(200)을 형성하는 단계와; 전기적 특성을 검사하는 단계;를 통해 완성된다.

이를 보다 구체적으로 설명하면, p-형 실리콘기판(120)을 수산화나트륨(NaOH)과 이소-프로필 알코올(IPA : Iso-Propyl Alcohol)과 물(H2O)의 혼합용액속에서 70도로 가열하고 25분간 세척하여 그 표면구조를 피라미드형으로 형성한다.

이때, 가열온도가 70도를 초과할 경우에는, 스크린 인쇄시에 형성되는 피라미드 구조물의 높이가 높아져 스크린 인쇄기의 스크린 손상이 가속화되고, 화학물의 휘발성이 증가되어 제조비용의 상승을 초래하는 단점이 있고, 70도 미만인 경우에는, 피라미드 구조물이 형성되는 시간이 길어져 생산성이 저하되는 단점이 있다.

또한, 세척시간이 25분를 초과할 경우에는, 피라미드 구조물의 높이가 증가하고, 제조시간이 길어져 생산성이 저하되는 단점이 있고, 25분 미만인 경우에는, 피라미드 구조물의 형성함에 있어 생산성과 빛 포획이 가장 적합한 높이인 3~4 마이크로미터(Micrometer)를 형성하기가 어렵다.

이후, 상기 p-형 실리콘기판(120)에 850도 이상의 고온 튜브로에서 열처리하여 전,후면에 각각 산화된 전면반사방지막층(110)과 후면절연박막층(130)을 형성한다.

그리고, Nd YAG 레이저를 이용하여 후면절연박막층(130)에 전극(170)(180)을 형성하기 위한 홈을 25 마이크로미터(Micrometer)의 깊이와, 100 마이크로미터의 폭으로 형성한다.

상기와 같이 형성된 빗살모양으로 하나의 공통된 홈에 알루미늄 금속을 스크린 인쇄하여 250도의 벨트 퍼니스(Furnace)에서 건조함으로써 베이스전극(170)을 형성하고, 상기 다른 하나의 빗살모양으로 공통된 하나의 홈에 n++형 에미터층(150)을 스크린 인쇄용 페이스트(Paste)를 이용하여 형성하고 250도의 벨트 퍼니스에서 건조시킨다.

그리고, 상기 하나의 공통된 베이스전극(170)과 다른 하나의 공통된 n++형 에미터층(150)위에 형성한 에미터전극(180)으로 이루어진 단위 태양전지(100')가 서로 연결되는 연결부에 산화티타늄(TiO2) 또는 산화규소(SiO2) 중 어느 하나의 페이스트를 이용하여 절연박막(160)을 스크린 인쇄하고, 250도의 벨트 퍼니스에서 건조시킨 후, IR 램프 고온 벨트형 확산로에서 850도의 고온으로 열처리하면, 베이스전극(170)층에서 p++형 후면전계층(140)이 형성되고, n++형 에미터층(150)은 0.7 마이크로미터의 깊이까지 침투하여 확산된다.

SAMSUNG EX. 1002 - 727/2862

이후, 상기 n++형 에미터층(150)에 연결되는 에미터전극(180)과, 모듈출력에 사용되는 출력전극(190a)(190b)과, 단위 태양전지(100') 사이의 절연박막(160) 위에 연결용 전극으로 은(Ag) 페이스트를 스크린 인쇄하여 250도의 벨트 퍼니스에서 건조하고, 동일 벨트 퍼니스에서 740도로서 소성한다.

그리고, 마지막으로 태양전지(100)의 베이스전극(170)과 에미터전극(180)의 노출로 인한 누전을 방지함과 아울러 기계적인 파손을 방지하는 후면 밀봉층(200)을 스크린 인쇄 가능한 잉크를 사용하여 40 마이크로미터 이상의 두께로 스크린 인쇄하고, 200도의 벨트 퍼니스에서 건조한다. 최종적으로 모듈의 전기적 특성을 검사하여 모듈일체형 태양전지(100)의 제조를 완성한다.

상기와 같이 제조된 본 발명의 모듈일체형 태양전지(100)는, 태양전지(100) 자체에서 모듈까지 집적화됨으로써 정열과 접촉으로 인해 발생되던 손실을 방지하고, 접촉저항이 기존보다 저하되어 에너지 변환 효율을 높일 수 있다.

그리고, 종래 태양전지(10) 전면의 밀봉용 열경화성 수지(30)가 제거되어 태양전지(100) 모듈의 수명이 3배 이상 연장된다.

한편, 도 5a에는 출력전압 3V급 단결정 실리콘 모듈일체형 태양전지의 전극부위 평면구조를 도시한 것이다. 크게 4개의 단위 태양전지를 직렬로 연결하여 구성한 예이다. 도 5b에는 출력전압 24V급 다결정 실리콘 모듈일체형 태양전지의 전극부위 평면구조를 도시한 것이다. 단위 태양전지를 직렬로 36개 연결하여 구성한 예이다.

또한, 하기의 표 1은 상기의 공정을 통해서 완성된 단결정 실리콘 모듈일체형 태양전지의 출력 10와트 미만급의 다양한 종류별 제원 즉, 출력 와트, 웨이퍼 직경, 면적, 단위 태양전지 수, 단위 태양전지 면적, 출력전류를 나타내었다. 표 2는 완성된 다결정 실리콘 모듈일체형 태양전지의 출력 와트, 웨이퍼 직경, 면적, 단위 태양전지 수, 단위 태양전지 면적, 출력전류를 나타내었다.

▧ 발명의 효과

이상에서 살펴 본 바와 같이, 본 발명의 모듈일체형 태양전지 및 그 제조방법에 의하면, 종래의 태양전지 절단, 별도의 연결탭 부착, 모듈회로 구성, 열경화성 수지를 이용한 밀봉 등과 같은 작업이 생략되므로 제조원가가 절감된다.

그리고, 종래에 태양광의 자외선에 장기간 노출되면, 변색, 갈라짐 등의 노화현상으로 태양전지 모듈의 수명에 한계를 주던 주요원인인 수지계열 접착제(열경화성 수지)가 제거되므로 태양전지의 수명이 3배 이상 연장된다.

또한, 본 발명에서는 단위 태양전지간의 연결이 태양전지 자체에서 일어남으로써 자동정열되고, 접촉저항도 저하되어 효율이 향상된다.

또한, 본 발명에서는 10watt 미만급 모듈에서 성능개선, 가격하락, 제조공정 소요시간 단축, 모듈 수명시간 장시간 신뢰도 등에서 기존의 한계를 극복하여 태양전지 산업에 활성화를 가지고 올 수 있는 이점이 있다.

한편, 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 통상의 지식을 가진 자라면 하기의 청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

청구의 범위

청구항 1:
피라미드 표면구조를 갖는 p-형 실리콘기판(120)과;

상기 p-형 실리콘기판(120)의 전,후면에 각각 산화된 전면반사방지막층(110) 및 후면절연박막층(130)과;

SAMSUNG EX. 1002 - 728/2862

상기 후면절연박막층(130)에 매설되어 형성된 집적화된 베이스전극(170) 및 에미터전극(180)과;

상기 양 전극(170)(180)에 태양전지 에미터와 베이스에 오옴성 접촉을 위해 각각 도핑되어 형성된 고농도 p++형 후면전계층(140) 및 n++형 에미터층(150)과;

하나의 빗살모양으로 공통된 베이스전극(170)과 다른 하나의 빗살모양으로 공통된 에미터전극(180)으로 이루어진 단위 태양전지(100')를 서로 연결할 때 전기적으로 절연시키는 절연박막(160)과;

일측의 베이스전극(170)과 일측의 에미터전극(180)에 각각 연결된 양극출력전극(190a) 및 음극출력전극(190b)과;

상기 베이스전극(170)과 에미터전극(180)을 외부와 절연시키는 밀봉층(200);을 포함하여 구성된 것을 특징으로 하는 모듈일체형 태양전지.

청구항 2:
제 1 항에 있어서,

상기 베이스전극(170)은, 알루미늄(Al) 금속으로 이루어진 것을 특징으로 하는 모듈일체형 태양전지.

청구항 3:
제 1 항에 있어서,

상기 절연박막(160)은, 산화티타늄(TiO2) 또는 산화규소(SiO2) 중 어느 하나로 이루어진 것을 특징으로 하는 모듈일체형 태양전지.

청구항 4:
제 3 항에 있어서,

상기 에미터전극(180)과, 출력전극(190a)(190b), 절연박막(160)에는, 은(Ag)이 스크린 인쇄된 것을 특징으로 하는 모듈일체형 태양전지.

청구항 5:
p-형 실리콘기판(120)을 가열 세척하여 그 표면구조를 피라미드형으로 형성하는 단계와;

상기 p-형 실리콘기판(120)에 고온 열처리하여 전,후면에 각각 산화된 전면반사방지막층(110)과 후면절연박막층(130)을 형성하는 단계와;

상기 후면절연박막층(130)에 베이스전극(170)을 스크린 인쇄하여 건조시키는 단계와;

상기 후면절연박막층(130)에 n++형 에미터층(150)을 스크린 인쇄하여 건조시키는 단계와;

상기 n++형 에미터층(150)에 형성된 하나의 빗살모양으로 공통된 에미터전극(180)과 다른 하나의 빗살모양으로 공통된 베이스전극(170)으로 이루어진 단위 태양전지(100')간의 연결부에 절연박막(160)을 스크린 인쇄하여 건조시키는 단계와;

상기 p-형 실리콘기판(120)을 고온 열처리하여 베이스전극(170)상에 p++형 후면전계층(140)을 형성하는 단계와;

상기 일측의 베이스전극(170)과 에미터전극(180)에 각각 연결되어 모듈출력에 사용되는 출력전극(190a)(190b)과, 에미터전극(180), 절연박막(160)상에 연결용 전극으로 은(Ag)을 스크린 인쇄하여 건조시키고 소성시키는 단계와;

SAMSUNG EX. 1002 - 729/2862

상기 p-형 실리콘기판(120)의 후면에 밀봉을 위한 잉크를 스크린 인쇄하여 건조시키는 단계;를 포함하여 구성된 것을 특징으로 하는 모듈일체형 태양전지의 제조방법.

청구항 6:
제 5 항에 있어서,

상기 p-형 실리콘기판(120)은, 수산화나트륨(NaOH)과 이소-프로필 알코올(IPA : Iso-Propyl Alcohol)과 물(H2O)의 혼합용액속에서 가열 및 세척된 것을 특징으로 하는 모듈일체형 태양전지의 제조방법.

청구항 7:
제 6 항에 있어서,

상기 후면절연박막층(130)에 베이스전극(170)과 에미터전극(180)을 형성하기 위한 홈을 25 마이크로미터의 깊이와, 100 마이크로미터의 폭으로 형성한 것을 특징으로 하는 모듈일체형 태양전지의 제조방법.

청구항 8:
제 5 항에 있어서,

상기 베이스전극(170)은, 스크린 인쇄된 알루미늄(Al) 금속으로 이루어지고, 상기 절연박막(160)은, 산화티타늄(TiO2) 또는 산화규소(SiO2) 중 어느 하나로 이루어진 것을 특징으로 하는 모듈일체형 태양전지의 제조방법.

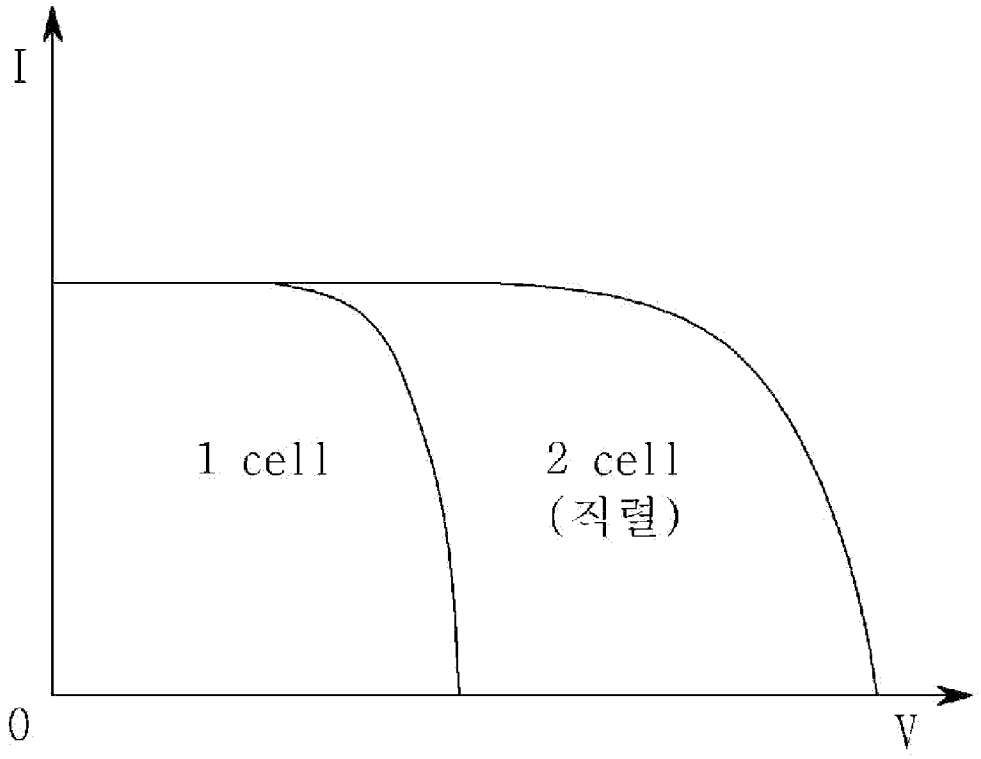
청구항 9:
제 5 항에 있어서,

상기 태양전지(100)의 베이스전극(170)과 에미터전극(180)의 노출로 인한 누전을 방지함과 아울러 기계적인 파손을 방지하는 후면 밀봉층(200)을 스크린 인쇄 가능한 잉크를 사용하여 40 마이크로미터 이상의 두께로 스크린 인쇄하고, 200도의 벨트 퍼니스에서 건조한 것을 특징으로 하는 모듈일체형 태양전지의 제조방법.

도면

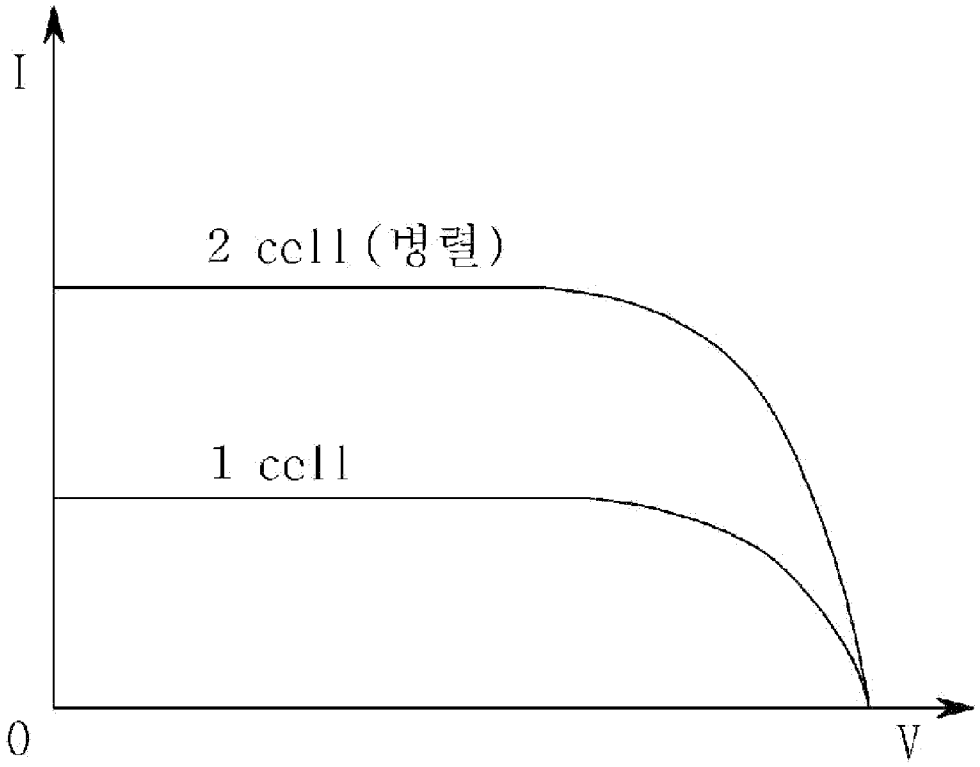
도면 1a

SAMSUNG EX. 1002 - 730/2862



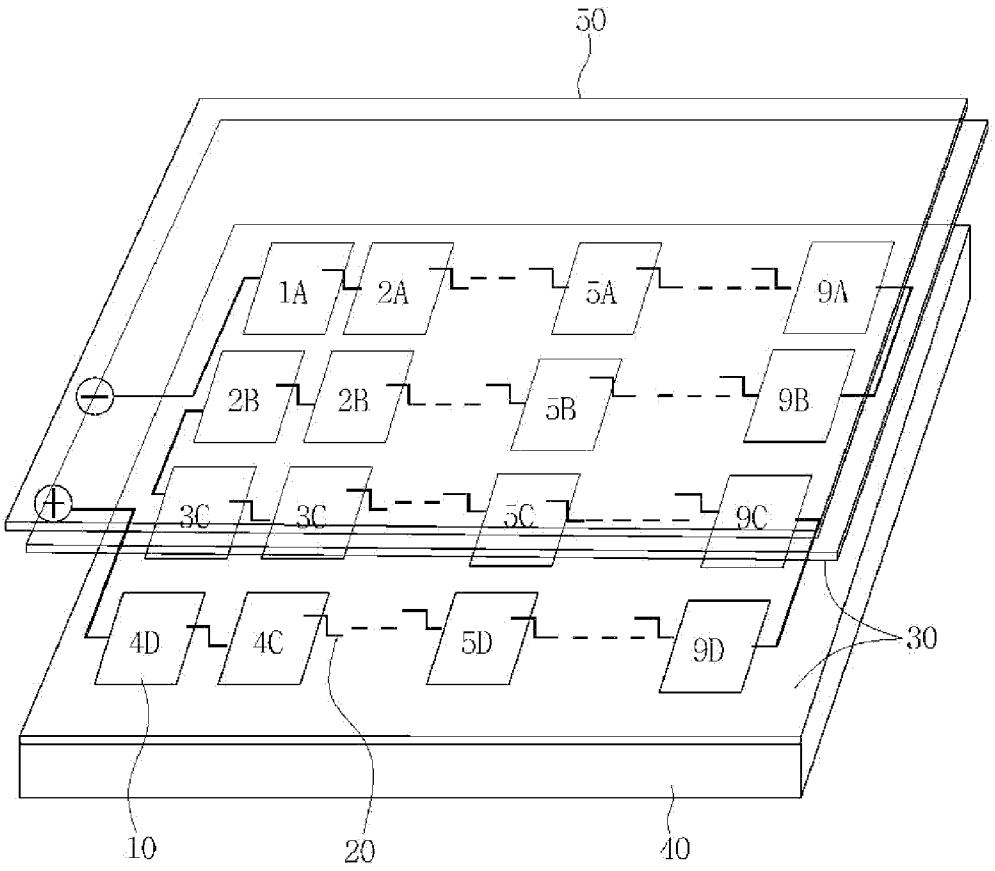
도면 1b

SAMSUNG EX. 1002 - 731/2862



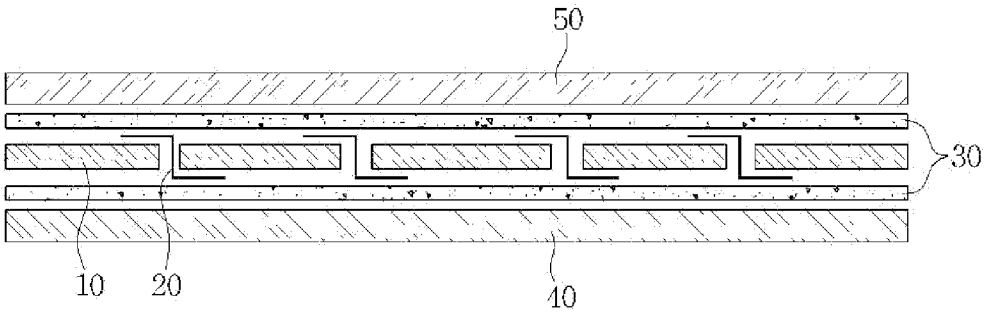
도면 2a

SAMSUNG EX. 1002 - 732/2862



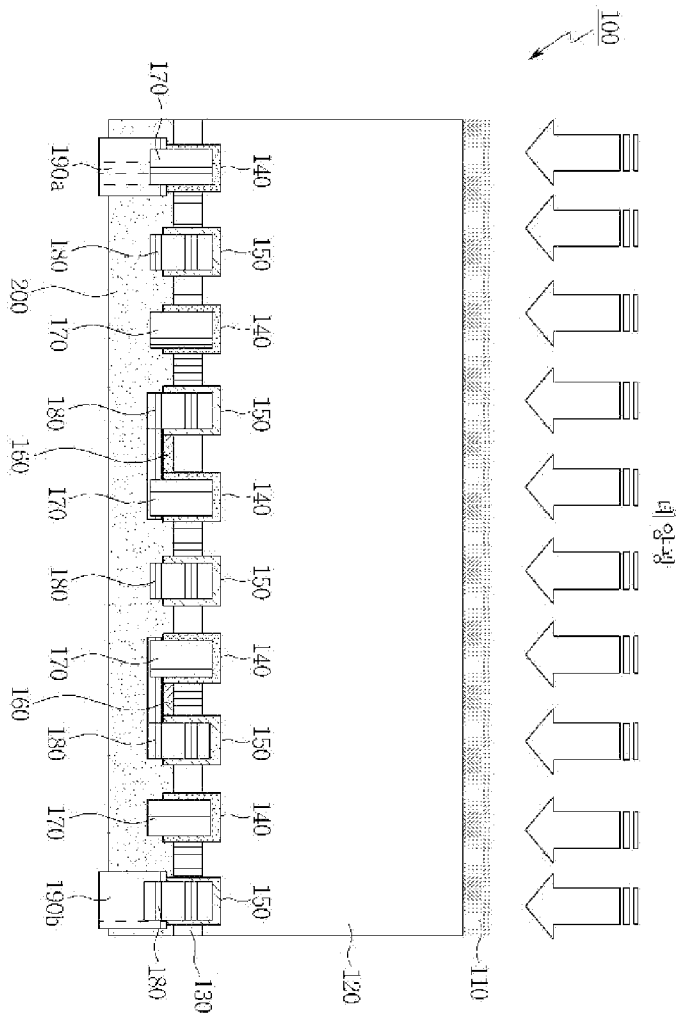
도면 2b

SAMSUNG EX. 1002 - 733/2862



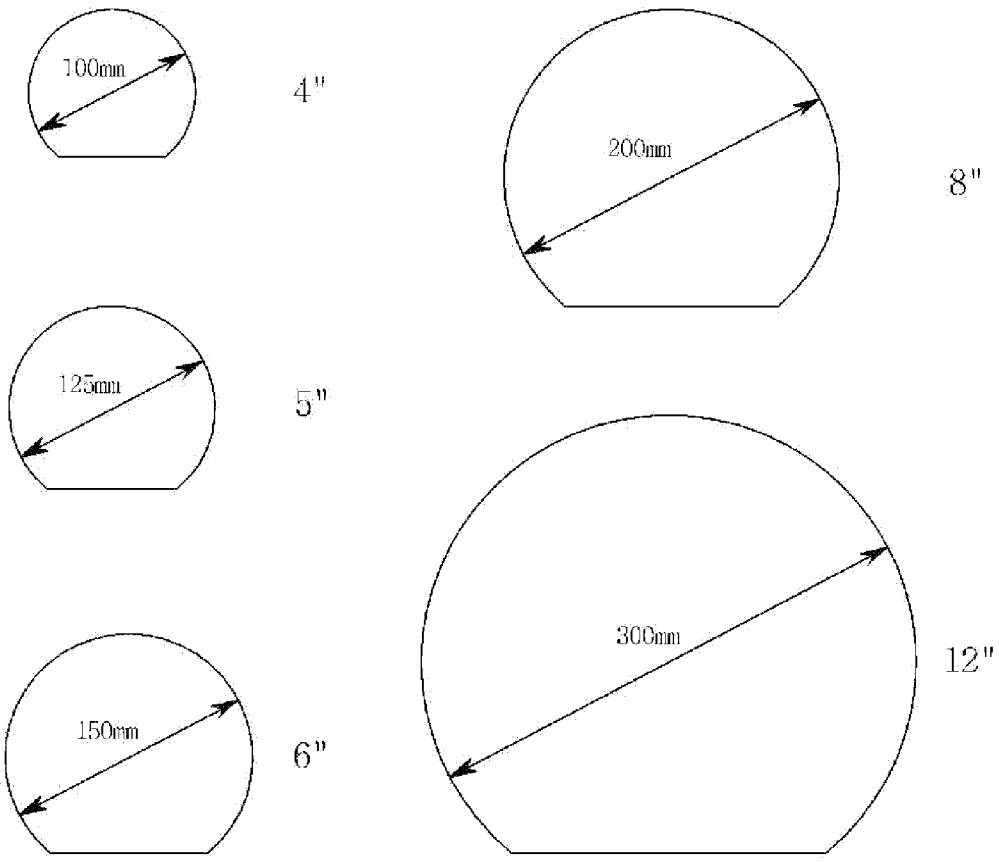
도면 3

SAMSUNG EX. 1002 - 734/2862



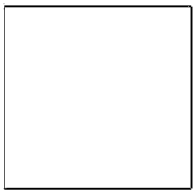
도면 4a

SAMSUNG EX. 1002 - 735/2862

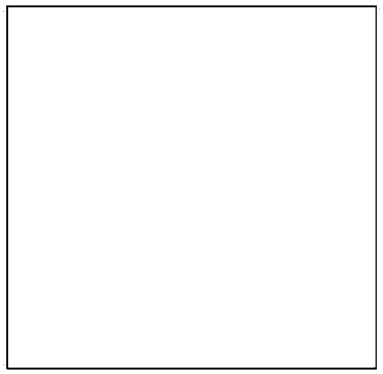


도면 4b

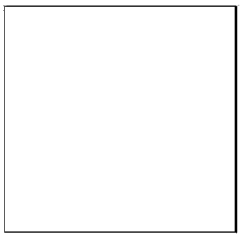
SAMSUNG EX. 1002 - 736/2862



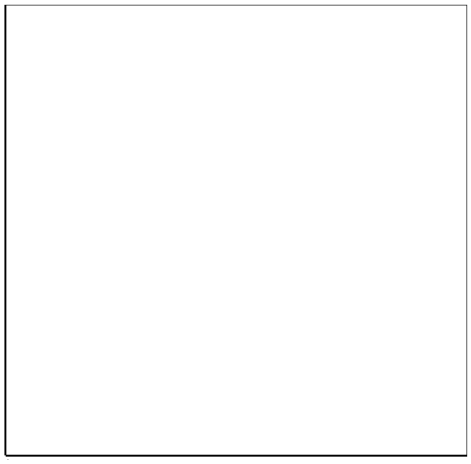
100mm*100mm

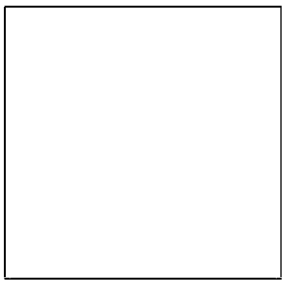


200mm*200mm



125mm*125mm



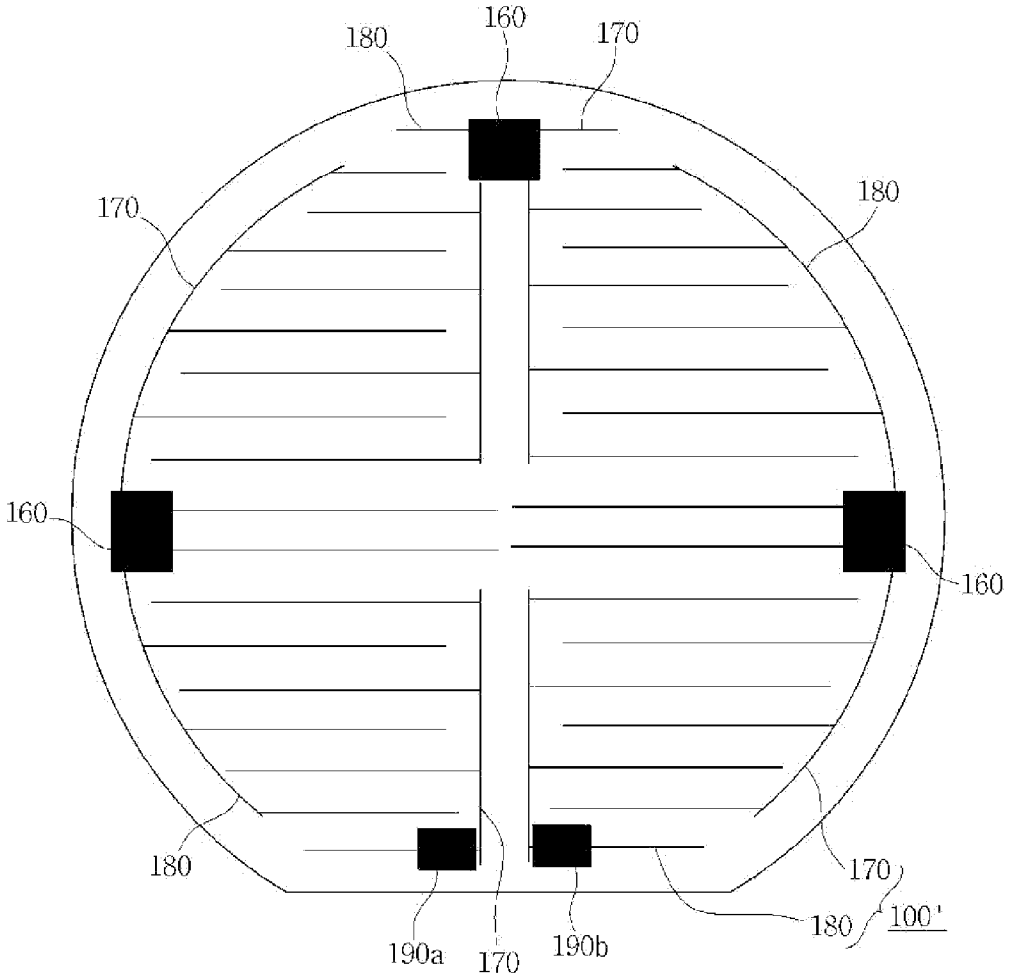


150mm*150mm

250mm*250mm

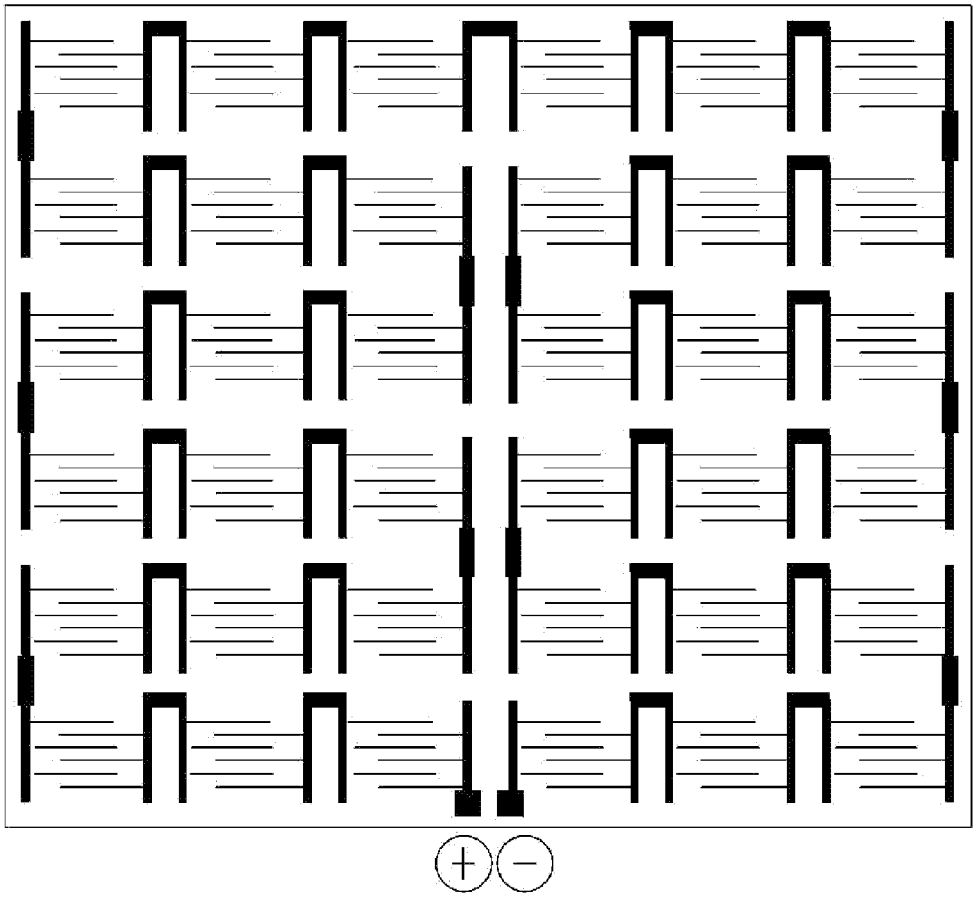
도면 5a

SAMSUNG EX. 1002 - 737/2862



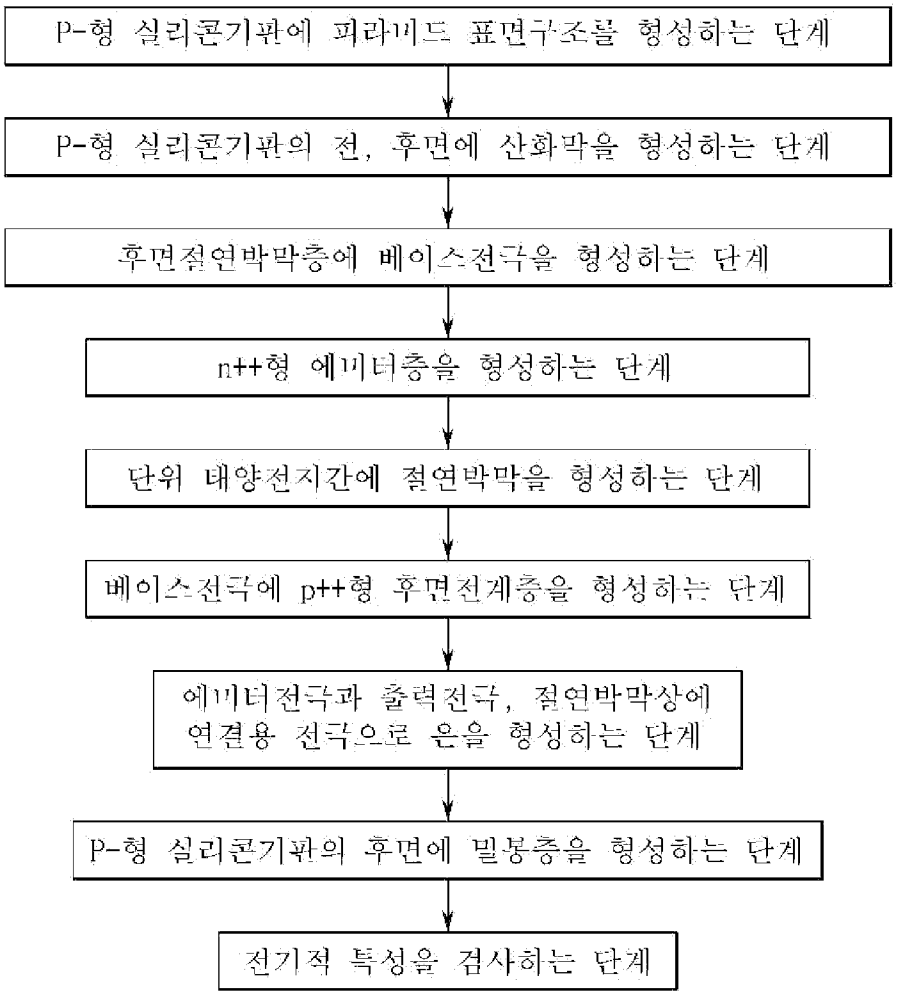
도면 5b

SAMSUNG EX. 1002 - 738/2862



도면 6

SAMSUNG EX. 1002 - 739/2862



SAMSUNG EX. 1002 - 740/2862

No documents available for this priority number.

Espacenet

Bibliographic data: KR20010061058 (A) — 2001-07-07

METHOD FOR MANUFACTURING IMAGE SENSOR

Inventor(s): PARK GI NAM [KR] ± (PARK, GI NAM)

Applicant(s): HYNIX SEMICONDUCTOR INC [KR] ± (HYNIX SEMICONDUCTOR INC)

Classification: **- international:** ***H01L27/146;*** (IPC1-7): H01L27/146
- cooperative:

Application number: KR19990063539 19991228

Priority number(s): KR19990063539 19991228

Also published as: KR100683390 (B1)

Abstract of KR20010061058 (A)

PURPOSE: A method for manufacturing an image sensor is provided to improve quantum efficiency and sensitivity, by additionally depositing a dielectric layer of a low absorption rate between a photodiode and an initial interlayer dielectric to improve illuminance of incident light. CONSTITUTION: A photodiode region and a peripheral device are formed on a substrate(41). The first insulating layer in which an index of refraction, Nx is a square root of N0N and a thickness, Tx is (2n-1)lambda/4Nx (n=0,1,2,3,...), is formed on the photodiode region. The first insulating layer is eliminated to be left only on the photodiode region. The second insulating layer is formed on the resultant structure.

Last updated: 13.03.2013 Worldwide Database 5.8.6.6; 92p

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. 7
H01L 27/146

(11) 공개번호 특2001- 0061058
(43) 공개일자 2001년07월07일

(21) 출원번호 10- 1999- 0063539
(22) 출원일자 1999년12월28일

(71) 출원인 주식회사 하이닉스반도체
박종섭
경기 이천시 부발읍 아미리 산136- 1

(72) 발명자 박기남
경기도이천시부발읍신하리362- 3신한아파트101- 305

(74) 대리인 특허법인 신성 박해천
특허법인 신성 원석희
특허법인 신성 최종식
특허법인 신성 박정후
특허법인 신성 정지원

심사청구 : 없음

(54) 이미지센서의 제조 방법

요약

입사광의 조도를 향상시켜 양자효율 및 광감도를 개선하는데 적합한 이미지센서 제조 방법에 관한 것으로, 이를 위한 본 발명은 기판에 포토다이오드영역 및 주변소자를 형성하는 제 1 단계, 상기 포토다이오드영역 상부에 굴절율 $N_X=\sqrt{N_o N}$ 이고 두께 $T_x=(2n-1)\frac{\lambda}{4N_x}$ $[n=0,1,2,3,\ldots]$ 인 제1절연층을 형성하는 제 2 단계, 상기 포토다이오드영역의 상부에만 남도록 상기 제1절연층을 제거하는 제 3 단계, 상기 결과물 상에 제2절연층을 형성하는 제 4 단계를 포함하여 이루어진다.

대표도
도 3f

색인어
이미지센서, 포토다이오드, 조도, 굴절율, PMD

명세서

SAMSUNG EX. 1002 - 742/2862

도면의 간단한 설명

도 1 은 일반적인 CMOS 이미지센서의 단위화소를 나타낸 등가회로도,

도 2 는 종래기술의 이미지센서의 단위화소 제조 방법을 나타낸 제조 공정 단면도,

도 3a 내지 도 3f 는 본 발명의 실시예에 따른 이미지센서의 단위화소 제조 방법을 나타낸 제조 공정 단면도,

도면의 주요 부분에 대한 부호의 설명

41 : 반도체 기판 47 : 포토다이오드

51 : 버퍼유전층 53 : PMD

57 : 제1금속배선 60 : 층간절연막

63 : 소자보호막 64 : 컬러필터

66 : 마이크로렌즈

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 이미지센서에 관한 것으로, 특히 입사광의 조도(Illuminance)를 향상시킨 CMOS 이미지센서(Image sensor)에 관한 것이다.

일반적으로 이미지센서에는 CCD(Charged Coupled Device) 이미지센서와 CMOS 이미지센서를 이용하는데, 통상의 CCD 이미지센서는 외부의 피사체이미지를 촬상한 빛을 흡수하여 광전하를 모으고 축적하는 광전변환 및 전하축적부, 상기 광전변환 및 전하축적부에서 발생된 전하를 운송하기 위한 전하운송부 및 상기 전하운송부로부터 운송된 광전하를 전기적신호로 출력하는 신호변환부로 구성된다.

여기서 광전변환 및 전하축적부는 주로 포토다이오드(Photodiode;PD)를 사용하는데, 포토다이오드(PD)는 PN접합을 이용하여 포텐셜웰(Pontential well)을 형성시키고 빛(Light)에 의해 발생된 전하를 포텐셜웰에 축적해 두는 소자이다. 그리고 전하축적부에서 발생된 전하는 포토다이오드(PD)의 포텐셜웰에 갇혀있는데, 이 포텐셜웰을 움직임으로써 필요한 곳으로 전하를 운송할 수 있다. 또한 신호변환부는 운송된 전하로부터 전압을 발생시킨다. 한편, 신호검출이 끝나면 다음 차례를 기다리는 전하를 위하여 현재 포텐셜웰의 전하는 배출할 필요가 있는데, 이를 위하여 신호변환부의 포텐셜웰의 장벽을 제거하여 전하를 배출하는데 이를 리셋(Reset)이라고 한다.

이처럼 CCD 이미지센서는 CMOS 이미지센서와 달리 트랜지스터에 의한 스위칭방식이 아니라 전하결합에 의해서 신호를 검출한다. 그리고, 단위화소(Unit pixel)에 해당하고 광감지역할을 하는 포토다이오드(PD)는 광전류를 즉시 추출하지 않고 일정시간 누적시킨 다음 추출하므로 신호전압을 누적시간만큼 증가시킬 수 있어 광감도(Sensitivity)가 좋고, 노이즈(Noise)를 감소시킬 수 있는 장점이 있는 반면, 광전하를 계속 운송해야 하므로 구동방식이 복잡하고, 약 8 ~ 10V의 고전압 및 1W이상의 고전력이 소모된다.

SAMSUNG EX. 1002 - 743/2862

반면 CMOS 이미지센서는 CCD 이미지센서에 비하여 전기광학적 특성에서 열세를 보이고 있으나, 저소비전력과 집적도 측면에서는 CMOS 이미지센서가 CCD 이미지센서보다 우수하다.

이러한 전기광학적 특성 중 외부양자효율(External Quantum Efficiency) 및 광감도(Sensitivity) 특성은 이미지센서의 품질(Quality)을 좌우하는 특성으로서, 특히 단위 시간당 포획할 수 있는 이미지프레임(Image frame) 및 이미지 품질(Image quality) 등을 결정하는 매우 중요한 특성이다.

도 1은 통상의 CMOS 이미지센서의 단위화소를 나타낸 등가회로도로서, 1개의 포토다이오드(PD)와 4개의 NMOS트랜지스터(Tx,Rx,Sx,Dx)로 구성되며, 상기 4개의 NMOS트랜지스터(Tx,Rx,Sx,Dx)는 포토다이오드(PD)에서 집속된 광전하를 플로팅노드 (Floating node; X)로 운송하기 위한 트랜스퍼트랜지스터(Tx), 원하는 값으로 노드의 전위를 세팅하고 전하를 배출하여 플로팅노드를 리셋(Reset) 시키기 위한 리셋트랜지스터(Rx), 소오스팔로워 버퍼증폭기(Source Follower Buffer Amplifier) 역할을 하는 드라이브트랜지스터(Dx), 스위칭(Switching) 역할로 어드레싱(Addressing)을 할 수 있도록 하는 셀렉트트랜지스터(Sx)로 구성된다.

도 2 는 종래기술에 따른 CMOS 이미지센서의 단위화소 제조 방법을 개략적으로 나타낸 도면이다.

도 2 에 도시된 바와 같이, 종래기술의 CMOS 이미지센서의 단위화소는, P형 반도체기판(11)에 국부적으로 P형 웰(12)을 형성한 다음, 단위화소간의 분리를 위한 필드절연막(13)을 형성한다. 이어 상기 P형 반도체기판(11) 내부에 P-N접합층 (17a,17b)을 형성하여 포토다이오드(PD)를 이루고, 상기 반도체기판(11)에 상기 포토다이오드(PD)로부터 생성된 전하를 전달받아 저장하는 플로팅접합층(18a)을 형성한다.

이어 상기 포토다이오드(PD)로부터 플로팅접합층(18a)으로 상기 광전하를 전달하기 위한 트랜스퍼트랜지스터(Tx)의 게이트전극을 형성하며, 상기 플로팅접합층 (18a)을 리셋시키기 위한 리셋트랜지스터(Rx)의 게이트전극을 형성한다. 이어 상기 플로팅접합층(18a)에 전기적으로 접속된 게이트전극을 갖는 드라이브트랜지스터 (Dx)와 어드레싱을 위한 신호를 자신의 게이트전극으로 인가받는 셀렉트트랜지스터 (Sx)를 형성한다. 이 때, 상기 리셋트랜지스터(Rx)와 드라이브트랜지스터(Dx)는 공통접합층(18b)을 가지며, 상기 공통접합층(18b)은 상기 반도체기판(11)과 P형 웰(12)의 경계에 형성된다. 이어 상기 필드절연막(13)의 일측에 셀렉트트랜지스터 (Sx)의 게이트전극을 형성하며, 상기 드라이브트랜지스터(Dx)와 셀렉트트랜지스터 (Sx)는 LDD(Lightly Doped Drain)구조의 불순물접합층(19)이 형성된다. 여기서 게이트전극은 게이트산화막(14), 폴리실리콘(15)과 텅스텐실리사이드(16)로 이루어지며, 게이트전극의 측벽에는 측벽스페이서(20)가 형성된다.

그리고 상기 4개의 트랜지스터(Tx,Rx,Dx,Sx) 상부에 광투과를 위한 제1층간절연막(21,22)과 제2층간절연막(23,24,25)을 형성하고, 상기 제1,2층간절연막들 (21,22,23,24,25)을 선택적으로 식각하여 상기 트랜지스터들(Tx,Rx,Dx,Sx)을 외부소자와 연결하기 위해 티타늄/알루미늄/티타늄나이트라이드(26,27,28)의 적층막으로 이루어진 제1,2금속배선을 형성한다. 또한 상기 제2금속배선 상부에 습기 또는 스크래치(Scratch)로부터 소자를 보호하기 위해 산화막(29) 및 질화막(30)으로 이루어진 소자보호막을 형성하며, 상기 소자보호막 상부에 컬러이미지 구현을 위해서 상기의 단위화소 배열위에 적색, 초록색 및 청색 또는 황색, 자홍색, 청록색으로 구성된 컬러필터(31)의 배열(Color Filter Array; CFA) 공정을 진행한다. 이어 상기 컬러필터(31)의 배열 상부에 평탄층(32)을 형성한 다음, 상기 평탄층(32) 상부에 컬러필터(31) 배열에 대향하는 마이크로렌즈(33)를 형성한다.

이와 같은 공정이 모두 완료된 후 광감지영역인 포토다이오드 상부에는 광투과를 위한 제1,2층간절연막(21,22,23,24,25), 소자보호막(29,30), 컬러필터(31) 및 마이크로렌즈(33)만이 위치하게 된다.

SAMSUNG EX. 1002 - 744/2862

상술한 바와 같이, 종래기술에서는 외부양자효율 및 광감도의 특성을 향상시키기 위해 단위화소마다 마이크로렌즈(33)를 형성하여 입사광을 집속시키고 있으나, 마이크로렌즈(33)로 집속된 입사광은 마이크로렌즈(33)의 중심부와 주변부의 입사각도가 달라지므로 같은 수의 광량(Photon flux)이 집속되었다 하더라도 단위화소의 중심부와 주변부로 입사되는 광자(Photon)의 조도는 달라지게 된다.

즉 단위화소의 중심(θ = "θ_c = "0)으로" 입사되는 광자의 조도를 i_c라 하면, 단위화소의 주변으로 입사각도 θ = "θ_E로 입사되는 광자의 조도 i_E는 $i_c \times \cos^4\theta$ 에 비례하므로 $\cos^4\theta$ 만큼 감소하게 된다. 따라서 단위화소로 입사되는 광자의 입사각도를 줄여주어야만 한다.

이러한 이미지센서의 특성을 향상시키기 위해 반도체기판(11)은 동일한 가시광선영역에서 4.72~ 3.48의 굴절율(N_S)을 가지며, 단위화소의 포토다이오드(PD)를 형성한 후 포토다이오드(PD) 표면에 최초로 증착되는 절연층(PMD)(21,22)은 통상적으로 가시광선영역대(450~635nm)에서 1.48~ 1.46의 굴절율(N_O)을 갖는다. 그리고 마이크로렌즈(33)는 폭이 7.5㎛, 높이가 2.6㎛로 형성된다.

이와 같은 조건의 단위화소로 입사되는 입사광의 최초 입사각은 0(degree)이지만, 마이크로렌즈(33)에 부딪히는 순간 입사광의 입사각은 공기에서 마이크로렌즈로(33)의 매질차와 마이크로렌즈(33)의 곡률에 의하여 변하게 된다. 즉, 최초 공기중에서 입사각이 0(degree)인 입사광이 마이크로렌즈(33)의 중심부로 입사될 때의 입사각은 0(degree)이 되고 마이크로렌즈(33)의 가장자리 부분으로 입사될 때의 입사각은 33.5(degree)가 된다. 이렇게 단위화소의 포토다이오드(PD) 부분으로 입사광이 전파되어 입사되며, 최종 포토다이오드(PD)로 입사되는 입사광의 입사각도가 포토다이오드(PD)에로의 입사광 조도를 결정하게 된다.

따라서, 이미지센서에서 포토다이오드(PD)로 최종 입사되는 입사각도는 37 (degree)가 된다. 그러므로 단위화소의 포토다이오드(PD)가 받아들일 수 있는 중심대비 주변의 상대 조도량은 $\cos^4(37)$ = "0.488" 이 된다. 다시말하면, 포토다이오드(PD) 중심에서의 조도가 100%이면 마이크로렌즈(33)의 가장자리에서 입사된 입사광이 포토다이오드(PD)로 입사될 때의 조도는 48,8% 로, 포토다이오드(PD)의 주변부에서는 약 51.2%의 광량이 손실되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기의 문제점을 해결하기 위해 안출한 것으로서, 포토다이오드와 최초 층간절연막 사이에 흡수율이 낮은 유전층을 추가로 증착하므로써 입사광의 조도를 향상시켜 양자효율 및 광감도를 개선하는데 적합한 이미지센서의 제조 방법을 제공함에 그 목적이 있다.

발명의 구성 및 작용

상기의 목적을 달성하기 위한 본 발명의 일실시예에 따른 이미지센서 제조 방법은 기판에 포토다이오드영역 및 주변소자를 형성하는 제 1 단계, 상기 포토다이오드영역 상부에 굴절율 $N_X = \sqrt{N_o N_s}$ 이고 두께 $T_x = (2n-1)\frac{\lambda}{4N_x}\ [n = 0,1,2,3,\ldots]$ 인 제1절연층을 형성하는 제 2 단계, 상기 포토다이오드영역의 상부에만 남도록 상기 제1절연층을 제거하는 제 3 단계, 상기 결과물 상에 제2절연층을 형성하는 제 4 단계를 포함하여 이루어짐을 특징으로 한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

첨부도면 도 3a 내지 도 3f는 본 발명의 실시예에 따른 이미지센서의 단위화소 제조 방법을 나타낸 공정단면로서, 본 발명의 이미지센서의 단위화소는 통상의 단위화소와 동일한 구조를 갖는다.

SAMSUNG EX. 1002 - 745/2862

도 3a에 도시된 바와 같이, 실리콘기판(41)에 웰 형성을 위한 마스크공정을 실시하고 보론이온을 주입한 다음, 열공정을 실시하여 측면확산(Lateral diffusion)에 의한 P형 웰(42)을 형성한다. 여기서 상기 P형 웰(42)은 셀렉트트랜지스터(Sx)와 드라이브트랜지스터(Dx)가 형성되는 영역이다.

이어 단위화소간의 분리막 필드절연막(43)을 형성한 후 게이트산화막(44)을 형성하고 상기 게이트산화막(44) 상부에 단위화소 내 트랜지스터들의 게이트전극을 형성하기 위해 폴리실리콘(45)과 텅스텐실리사이드막(46)을 연속적으로 형성하고 마스크 및 식각 공정을 통해 다수의 게이트전극을 형성한다. 여기서 상기 다수의 게이트전극들은 각각 트랜스퍼트랜지스터(Tx), 리셋트랜지스터(Rx), 드라이브트랜지스터(Dx), 셀렉트트랜지스터(Sx)의 게이트전극으로 이용된다.

이어 상기 결과물 상부에 포토다이오드(PD)를 형성하기 위한 마스크 공정을 실시하고 N^- 도핑영역과 P^0 도핑영역을 형성하기 위한 N^- 이온주입과 P^0 이온주입을 트랜스퍼트랜지스터(Tx)의 게이트전극 일측면에서 자기정렬하도록 실시한다. 이 때 상기 P형 기판(41), N^- 도핑영역(47a) 및 P^0 도핑영역(47b)은 PNP구조의 포토다이오드(47)를 형성한다.

이어 드라이브트랜지스터(Dx)와 셀렉트트랜지스터(Sx)의 N형 LDD(Lightly Doped Drain) 이온주입을 위한 마스크 패턴을 형성하고 보론이온을 주입하여 LDD영역(49a)을 형성한다.

이어 트랜지스터들의 소오스/드레인 영역을 형성하기 위해 저압화학적기상증착법(Low Pressure Chemical Vapor Deposition; LPCVD)을 이용하여 저압산화막(LP- Oxide)을 증착하고 전면식각하여 게이트전극의 측벽에 접하는 산화막스페이서(50)를 형성한 후, 고농도 N형 불순물 이온을 위한 마스크패턴을 형성하여 N형 불순물 이온주입을 실시하여 불순물접합층들(49b)을 형성한다.

도 3b에 도시된 바와 같이, 상기 결과물 상부 특히 포토다이오드(PD)의 상부에 버퍼유전층(51)을 형성한다.

이 때 버퍼유전층(51)은 가시광선영역인 450~ 635nm 범위에 대하여 2.25~ 2.65의 굴절율을 갖는 유전층, 425~ 2113Å 의 두께를 갖는 유전층 또는 가시광의 흡수가 없는 물질 예를 들면, 실리콘이 다수 함유된 산화막(Silicon- rich Oxide), 옥시나이트라이드(Oxynitride) 또는 실리콘나이트라이드(Silicon nitride)를 포함하는 유전층 중 하나를 이용한다. 상기의 버퍼유전층(51)은 상기 포토다이오드(PD)로 입사되는 입사광의 조도를 증가시킨다.

이어 상기 버퍼유전층(51) 상부에 감광막을 도포하고 노광 및 현상으로 패터닝한 다음, 상기 패터닝된 감광막을 마스크로 하여 상기 포토다이오드영역을 제외한 부분의 버퍼유전층(51)을 습식 또는 건식식각한다.

도 3c에 도시된 바와 같이, 상기 결과물 상부에 저압화학적기상증착법(LPCVD)으로 제1TEOS(TetraEthylOrthoSilicate)막(52a)을 증착한 후, 상기 제1TEOS막(52a) 상에 상압화학적기상증착법(Atmospheric Pressure CVD; APCVD)을 이용하여 BPSG막(52b)을 증착한다. 이어 열처리를 실시하여 상기 BPSG막(52b)을 리플로우시킨다. 여기서 상기 제1TEOS막(52a) 및 BPSG막(52b)을 PMD(Premetal Dielectric Layer)(53)라 한다.

이어 상기 PMD(53) 상에 마스크공정을 거쳐 완충산화막식각용액(BOE)을 이용하여 등방성식각을 하고 플라즈마식각공정을 이용한 비등방성식각을 진행하여 상기 접합층들(49b)의 표면에 콘택홀을 형성한다. 이어 상기 콘택홀을 포함한 전면에 티타늄/알루미늄/티타늄나이트라이드(Ti/Al/TiN)(54,55,56)를 순서대로 증착한다음 마스크공정과 식각공정을 하여 제1금속배선(57)을 형성한다.

도 3d에 도시된 바와 같이, 상기 제1금속배선 상부에 플라즈마화학적기상증착법(Plasma Enhanced CVD; PECVD)을 이용하여 제2TEOS산화막(58)을 증착한 다음, SOG(Spin On Glass)산화막(59)을 두 번 도포하여 형성하고 열처리 및 플라즈마를 이용한 전면식각으로 평탄화한다. 이어 상기 평탄화된 SOG산화막(59) 상부에 플라즈마화학적기상증착(PECVD)법을 이용하여 층간절연막(60)을 증착한다.

도 3e에 도시된 바와 같이, 마스크공정을 거쳐 상기 층간절연막(60)을 완충산화막식각용액(BOE)으로 등방성식각하고

SAMSUNG EX. 1002 - 746/2862

플라즈마를 이용한 비등방성식각을 진행하여 제2금속배선을 위한 콘택홀을 형성한다. 이어 상기 콘택홀을 포함한 결과물 상부에 티타늄/알루미늄/티타늄나이트라이드(54a,55a,56a)를 순서대로 증착한 다음, 마스크공정과 식각공정을 하여 제2금속배선(61)을 형성한다. 이어 상기 제2금속배선(61) 상부에 플라즈마화학적기상증착법(PECVD)을 이용하여 소자보호막(63)으로서 산화막(62a) 및 질화막(62b)을 증착한다.

도 3f에 도시된 바와 같이, 패드오픈(Pad open)을 위해 상기 질화막(62b) 및 산화막(62a)을 선택적으로 제거하여 상기 제2금속배선(61)의 소정 표면을 노출시킨다. 이어 상기 패드오픈지역과 단위화소 상부에 컬러물질(Dyed photoresistor;이하 컬러감광막)을 도포하고 현상공정으로 컬러필터(64)를 형성한다. 이어 상기 컬러필터(64) 상부에 마이크로렌즈의 균일한 형성을 위하여 마이크로렌즈평탄층(65)을 형성한 후 상기 마이크로렌즈평탄층(65) 상부에 마이크로렌즈(66)를 형성한다.

이와 같이 본 발명에서는 PMD 형성 전 포토다이오드(PD) 상부에 2.25~ 2.65의 굴절율을 가지며 425~ 2113Å 의 두께를 갖는 유전층을 형성하여 포토다이오드로 입사되는 입사광의 조도를 증가시킬 수 있다. 즉 입사광의 조도는 유전층의 굴절율과 두께에 의존한다.

상기 유전층 굴절율(Nx)은,

$$N_x=\sqrt{N_o N_s}$$

이고, 또한 상기 유전층의 두께(Tx)는,

$$T_x=(2n-1)\frac{\lambda}{4N_x}\ [n=0,1,2,3,\ldots]$$

이다. 이 때 상기 N_O는 후속공정에서 형성되는 PMD의 굴절율(="1.48~ 1.46)이고," N_S는 기판(41)의 굴절율(="4.72~ 3.48)이다.

이와 같이 흡수율이 낮은 버퍼유전층을 추가로 증착하면 입사광의 가시광선영역대에서 포토다이오드의 중심부 대비 주변부의 상대 조도량을 약 50% 향상시킬 수 있다. 예를 들면 λ ="635nm," Nx="2.261," Tx="700Å " 조건으로 증착된 버퍼유전층은 중심 대비 주변의 상대 조도량이 71.9%로 입사광의 조도를 현저히 향상시킬 수 있다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

상술한 본 발명은 통상의 CMOS 및 CCD 이미지센서의 제조공정을 적용하고 포토다이오드 상부에 버퍼유전층을 형성하여 입사광에 대한 포토다이오드의 중심부 대비 주변부의 상대 조도량을 증가시키므로써 이미지센서의 양자효율 및 광감도를 향상시킬 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

SAMSUNG EX. 1002 - 747/2862

이미지센서 제조 방법에 있어서,

기판에 포토다이오드영역 및 주변소자를 형성하는 제 1 단계;

상기 포토다이오드영역 상부에 굴절율 $N_X=\sqrt{N_o N_y}$ 이고 두께 $\frac{(2n-1)}{4}\frac{\lambda}{N_x}$ $(n=0,1,2,3,\ldots)$ 인 제1절연층을 형성하는 제 2 단계;

상기 포토다이오드영역의 상부에만 남도록 상기 제1절연층을 제거하는 제 3 단계; 및

상기 결과물 상에 제2절연층을 형성하는 제 4 단계

를 포함하여 이루어짐을 특징으로 하는 이미지센서 제조 방법.

청구항 2.

제 1 항에 있어서,

상기 제 4 단계 후,

상기 결과물 상부에 금속배선 및 소자보호막을 형성하는 제 5 단계를 포함하여 이루어지며,

상기 결과물 상부에 컬러필터와 마이크로렌즈를 형성하는 제 6 단계를 더 포함하여 이루어짐을 특징으로 하는 이미지센서 제조 방법.

청구항 3.

제 1 항에 있어서,

상기 제 2 단계에서,

상기 제1절연층은 425~ 2113Å 의 두께인 것을 특징으로 하는 이미지센서 제조 방법.

청구항 4.

제 1 항에 있어서,

상기 제 2 단계에서,

상기 제1절연층은 2.25~ 2.65의 굴절율인 것을 특징으로 하는 이미지센서 제조 방법.

청구항 5.

제 1 항에 있어서,

상기 제 2 단계에서,

상기 제1절연층으로 무반사층을 이용함을 특징으로 하는 이미지센서 제조 방법.

SAMSUNG EX. 1002 - 748/2862

청구항 6.

제 1 항에 있어서,

상기 제 2 단계에서,

상기 N_O 는 상기 제2절연층의 굴절율이고, 상기 N_S 는 상기 기판의 굴절율인 것을 특징으로 하는 이미지센서 제조 방법
.

청구항 7.

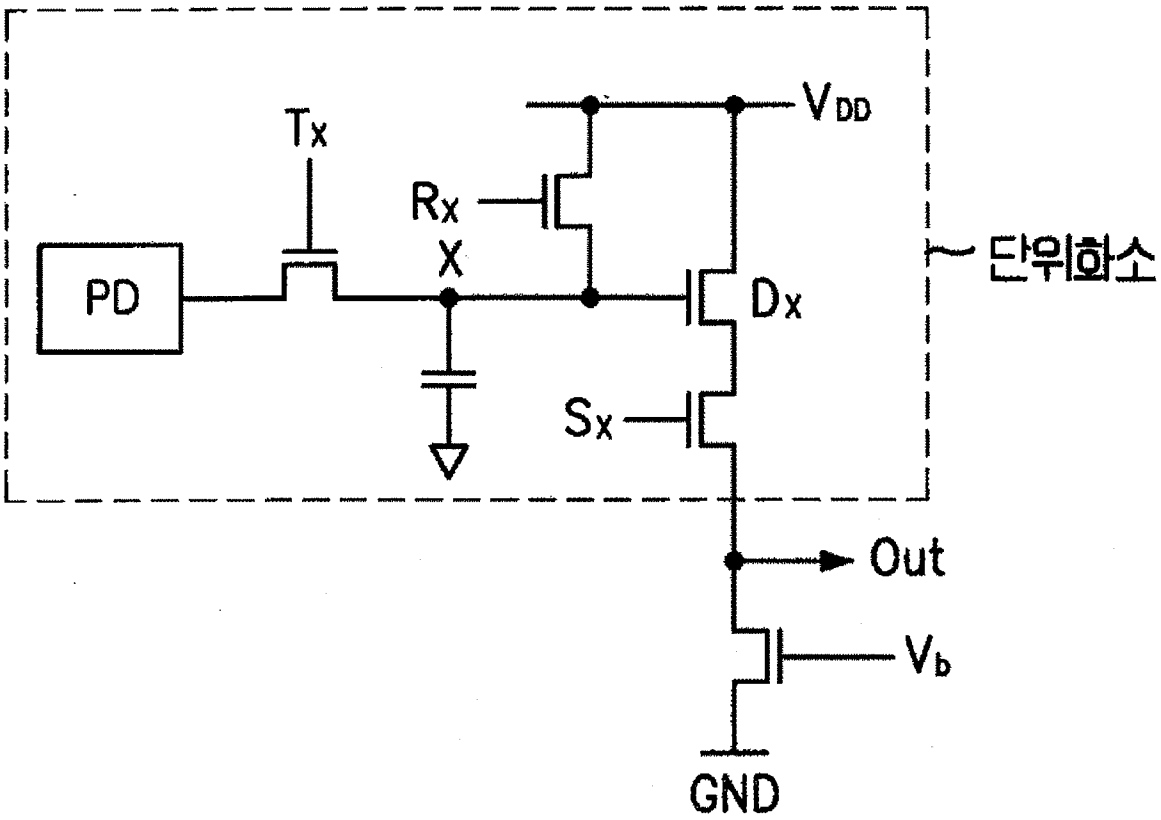
제 1 항에 있어서,

상기 제 2 단계에서,

상기 제1절연층은 실리콘이 다량 함유된 산화막, 옥시나이트라이드 또는 실리콘나이트라이드 중 어느 하나를 이용함을 특징으로 하는 이미지센서 제조 방법.

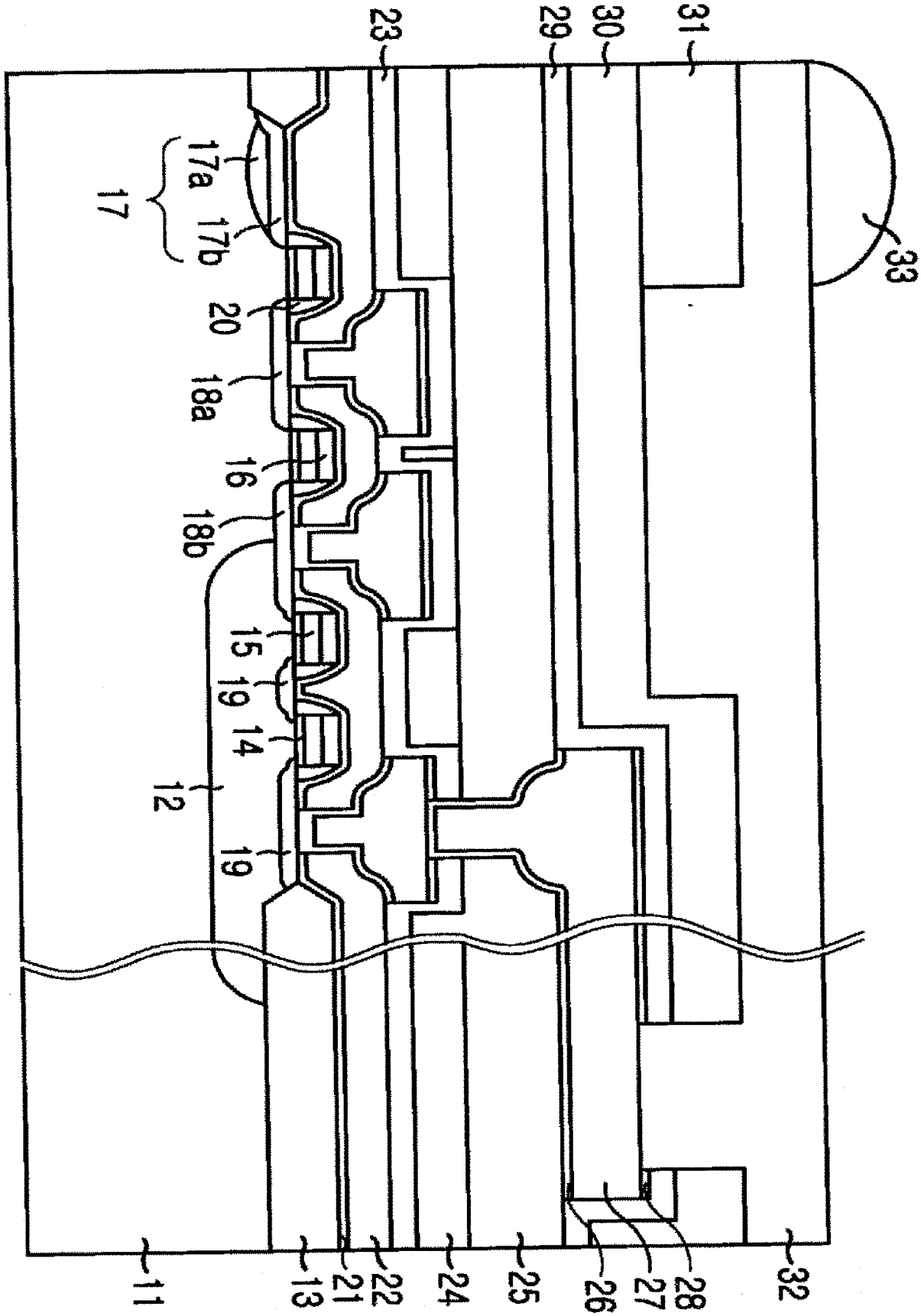
도면

도면 1



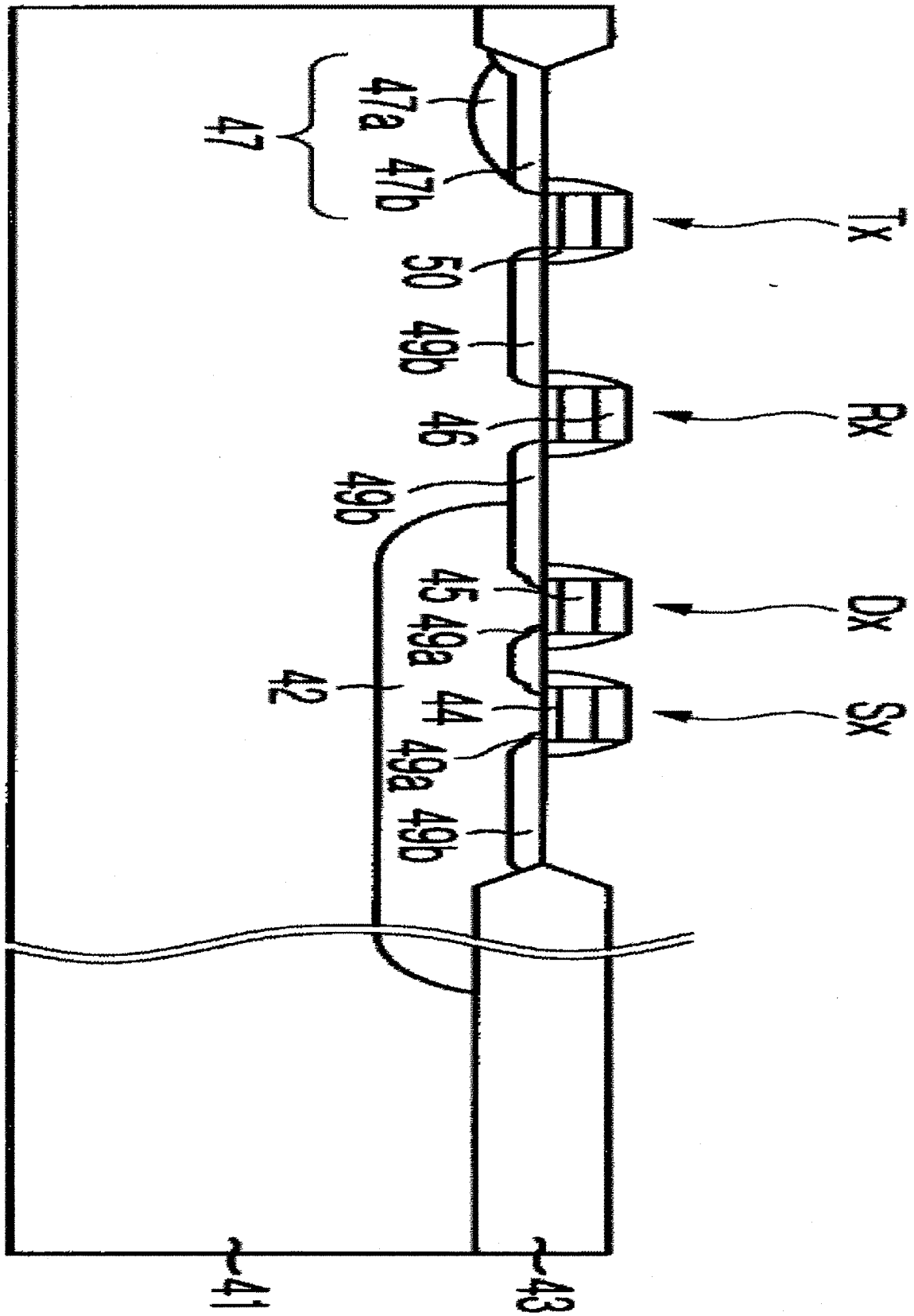
SAMSUNG EX. 1002 - 749/2862

도면 2



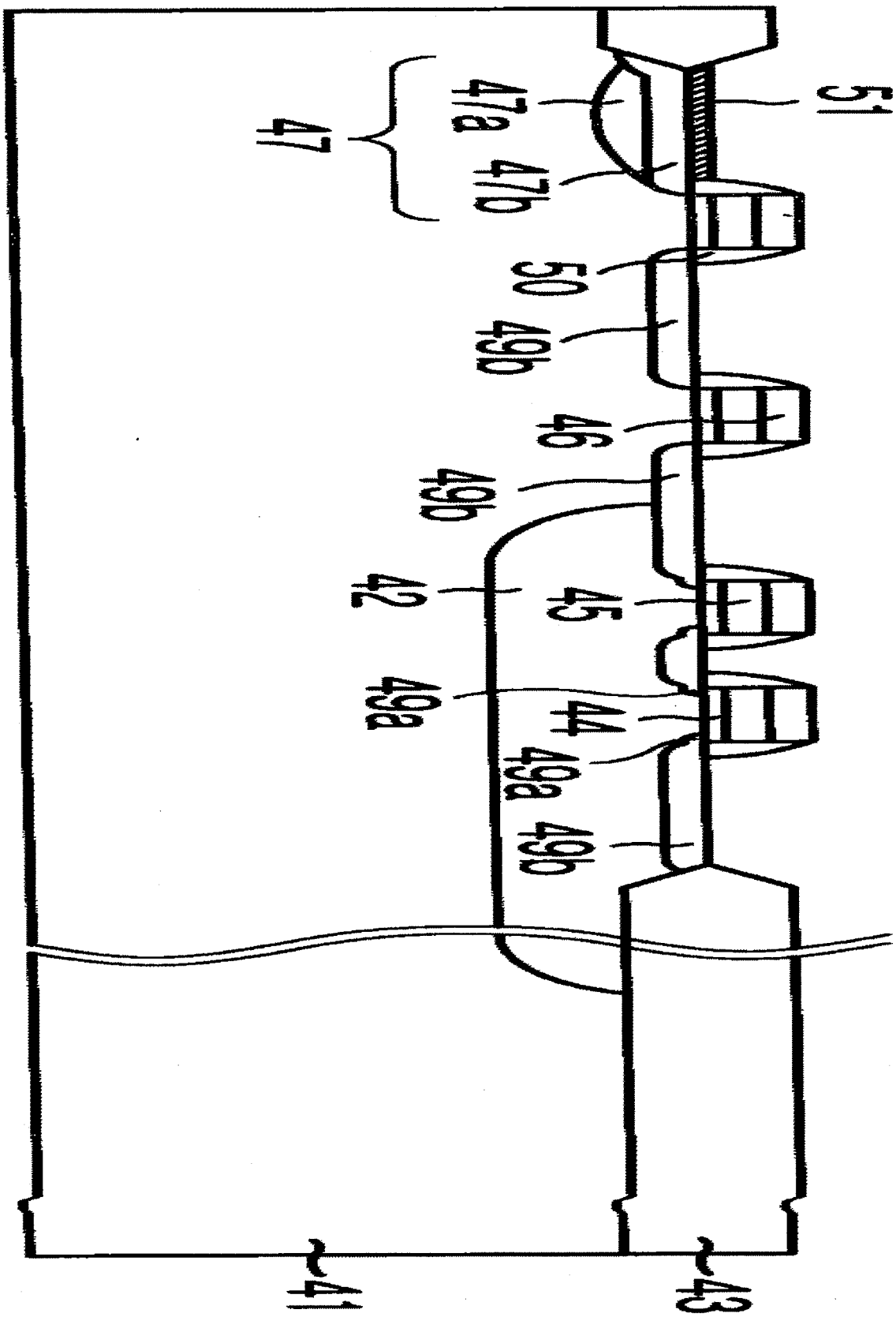
SAMSUNG EX. 1002 - 750/2862

도면 3a



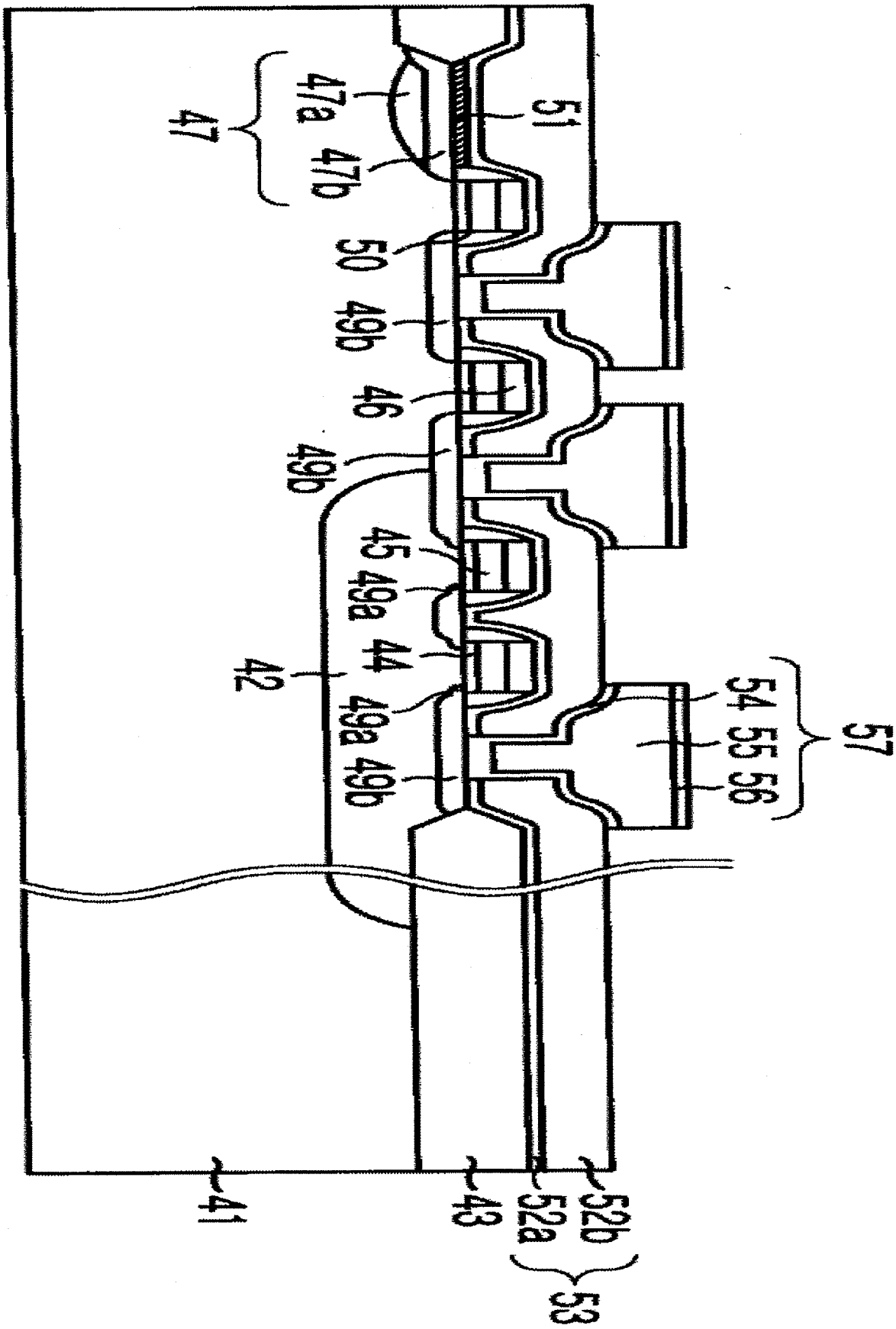
SAMSUNG EX. 1002 - 751/2862

도면 3b



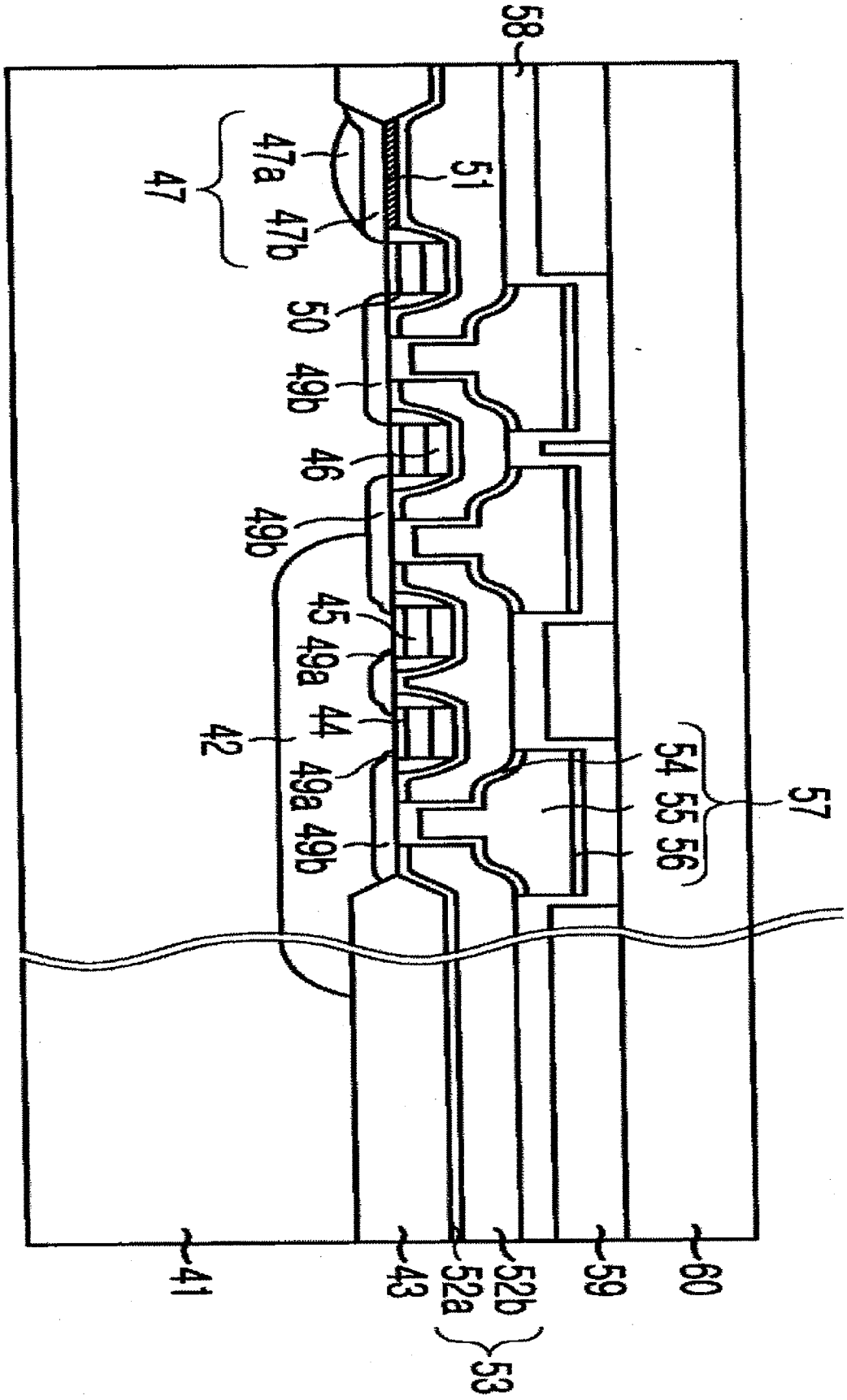
SAMSUNG EX. 1002 - 752/2862

도면 3c



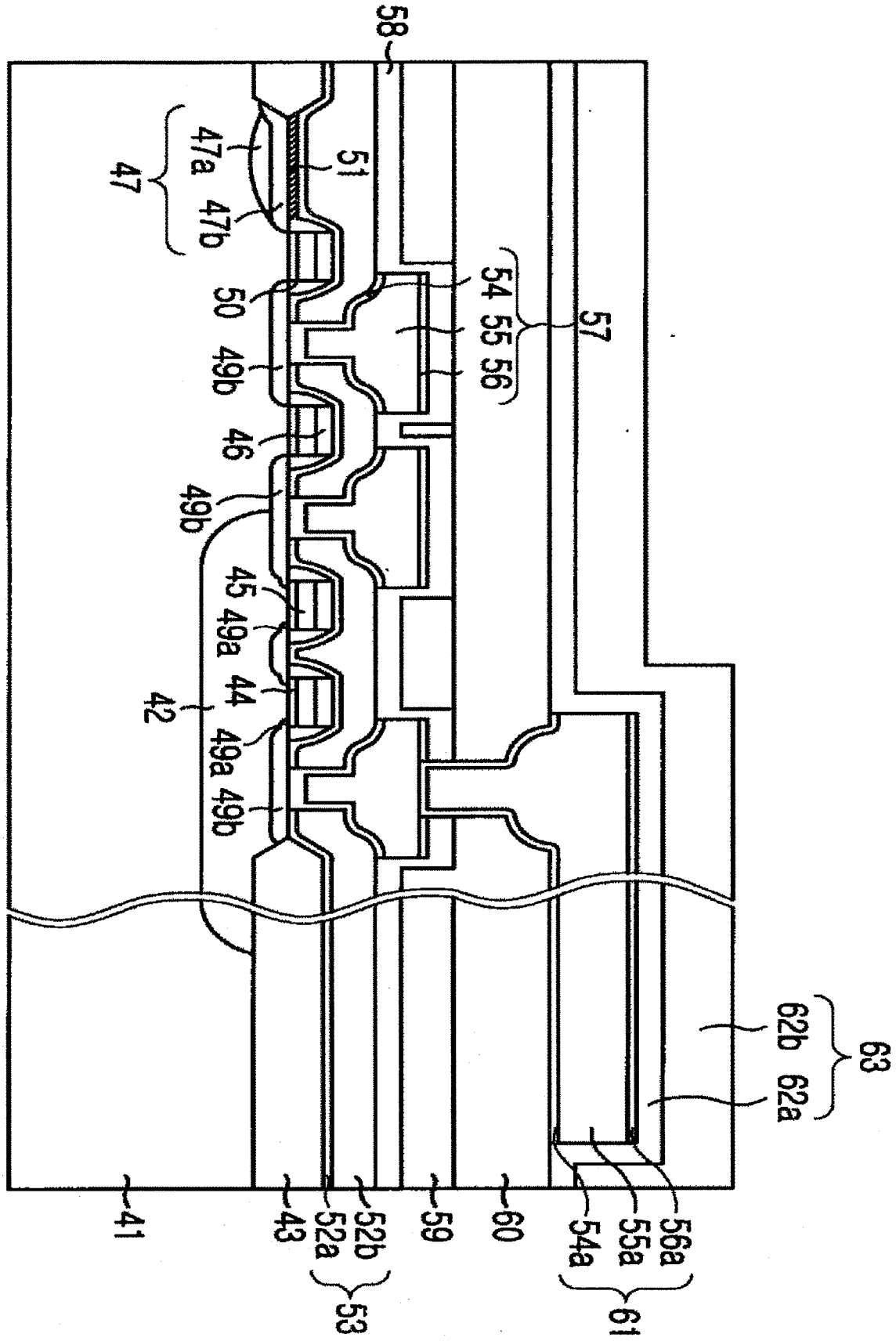
SAMSUNG EX. 1002 - 753/2862

도면 3d



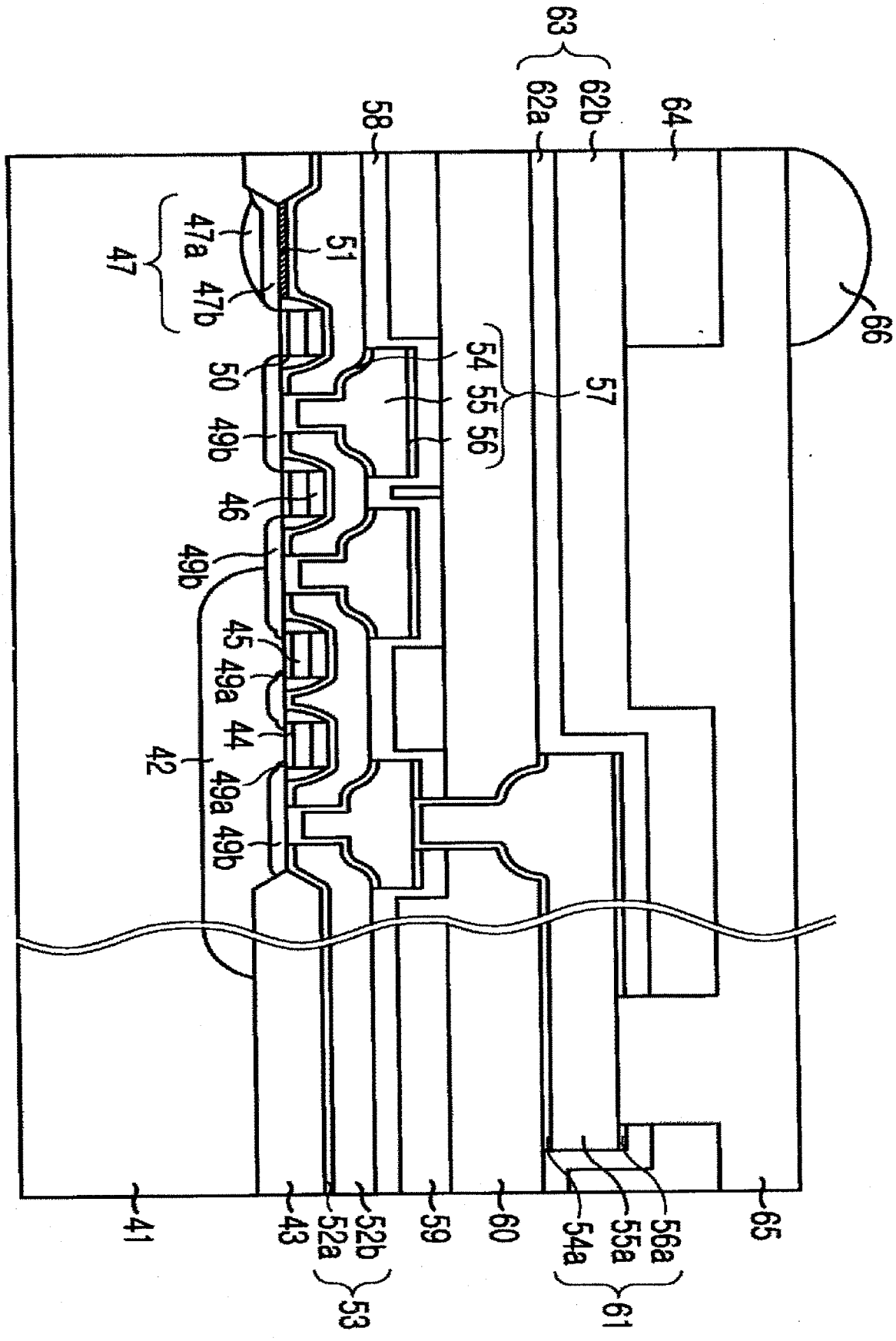
SAMSUNG EX. 1002 - 754/2862

도면 3e



SAMSUNG EX. 1002 - 755/2862

도면 3f



SAMSUNG EX. 1002 - 756/2862

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H01L 27/146

(11) 공개번호 10-2006-0052278
(43) 공개일자 2006년05월19일

(21) 출원번호	10-2005-0101984
(22) 출원일자	2005년10월27일
(30) 우선권주장	JP-P-2004-00314340 2004년10월28일 일본(JP)
(71) 출원인	소니 가부시끼 가이샤 일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7반 35고
(72) 발명자	스미 히로후미 일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7반 35고 소니기부시끼 가이샤내
(74) 대리인	신관호

심사청구 : 없음

(54) 고체 촬상소자와 그 제조 방법 및 반도체 장치와 그 제조방법

요약

SOI 기판을 이용하지 않고 반도체 기판의 박막화를 가능하게 하여, 코스트 저감을 도모한, 고체 촬상소자와 그 제조방법 및 반도체 장치와 그 제조방법을 제공하는 것을 목적으로 한다. 반도체 기판(21)에, 표면에서 두께 방향으로 반도체 기판(21)보다 경도가 큰 종단 검출부(22)가 형성되고, 반도체 기판(21)이 이면으로부터의 화학 기계 연마에 의해 종단 검출부(22)가 노출하는 위치까지 박막화 되어, 반도체 기판(22)의 표면에, 이 기판내에 형성된 광전변환 소자(PD)로부터의 신호를 독출하는 수단(Tr1)이 형성되고, 반도체 기판(21)의 이면에서 입사광을 받아들이도록 하여 이루어진다.

대표도

도6

명세서

도면의 간단한 설명

도 1은 본 발명의 제 1 실시예와 관련되는 고체 촬상소자의 제조방법을 나타내는 제조 공정도(그 1)이다.

도 2는 본 발명의 제 1 실시예와 관련되는 고체 촬상소자의 제조방법을 나타내는 제조 공정도(그 2)이다.

도 3은 본 발명의 제 1 실시예와 관련되는 고체 촬상소자의 제조방법을 나타내는 제조 공정도(그 3)이다.

도 4는 본 발명의 제 1 실시예와 관련되는 고체 촬상소자의 제조방법을 나타내는 제조 공정도(그 4)이다.

도 5는 본 발명의 제 1 실시예와 관련되는 고체 촬상소자의 제조방법을 나타내는 제조 공정도(그 5)이다.

도 6은 본 발명의 제 1 실시예와 관련되는 고체 촬상소자의 제조방법을 나타내는 제조 공정도(그 6)이다.

도 7은 이면 조사형의 CMOS 고체 촬상소자의 단위 화소의 일례를 나타내는 단면도이다.

도 8a ~ c는 본 발명과 관련되는 기둥 모양층에 의한 종단 검출부의 일례를 나타내는 제조 공정도이다.

도 9a ~ b는 본 발명과 관련되는 기둥 모양층에 의한 종단 검출부의 다른 예를 나타내는 제조 공정도이다.

도 10은 본 발명의 제 2 실시예와 관련되는 고체 촬상소자의 제조방법을 나타내는 제조 공정도(그 1)이다.

도 11은 본 발명의 제 2 실시예와 관련되는 고체 촬상소자의 제조방법을 나타내는 제조 공정도(그 2)이다.

도 12는 본 발명의 제 2 실시예와 관련되는 고체 촬상소자의 제조방법을 나타내는 제조 공정도(그 3)이다.

도 13은 본 발명의 제 2 실시예와 관련되는 고체 촬상소자의 제조방법을 나타내는 제조 공정도(그 4)이다.

SAMSUNG EX. 1002 - 757/2862

도 14는 본 발명의 제 3 실시예와 관련되는 고체 촬상소자의 주요부를 나타내는 구성도이다.

도 15는 본 발명의 제 4 실시예와 관련되는 고체 촬상소자의 주요부를 나타내는 구성도이다.

도 16은 본 발명의 제 4 실시예와 관련되는 반도체 장치의 주요부를 나타내는 구성도이다.

도 17a ~ b는 비교예의 이면 조사형의 CMOS 고체 촬상소자의 제조 공정도(그 1)이다.

도 18c ~ d는 비교예의 이면 조사형의 CMOS 고체 촬상소자의 제조 공정도(그 2)이다.

도 19e ~ f는 비교예의 이면 조사형의 CMOS 고체 촬상소자의 제조 공정도(그 3)이다.

* 부호의 설명

21. 반도체 기판 22. 소자 분리영역을 겸하는 종단 검출부

23. 단위 화소 영역 24. 소스·드레인 영역

25, 26. 게이트 전극 27. 층간 절연막

30. 다층 배선 31. 다층 배선층

PD. 포토 다이오드 35. 보호용 절연막

36. 컬러 필터 37. 온-칩(on-chip) 렌즈

38, 64. 이면 조사형태의 CMOS 고체 촬상소자

62. 소자 분리영역 63. 기둥 모양층에 의한 종단 검출부

63a. 종단 검출부의 성긴(sparse) 영역

63b. 종단 검출부의 조밀한 영역

71. 반도체 집적회로 장치 72. 종단 검출부

73. 반도체 기판 Tr21, Tr22. MOS 트랜지스터

75, 81. 게이트 전극 76, 82. 층간 절연막

77, 83. 다층 배선 78, 84. 다층 배선층

85. 패시베이션막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은, 반도체 기판의 박막화를 필요로 한, 고체 촬상소자와 그 제조방법 및 반도체 장치와 그 제조방법에 관한 것이다.

고체 촬상소자로서는, X-Y어드레스를 지정하여 독출하는 CMOS 고체 촬상소자와, 전하 전송형인 CCD 고체 촬상소자가 대표적이다. 이들 어느 고체 촬상소자도 2차원으로 배치된 포토 다이오드에 입사한 광을 광전변환하고, 그 중의 한편의 전하(예를 들면 전자)를 신호 전하로 하고 있다.

CMOS 고체 촬상소자는, 반도체 기판의 배선층이 형성된 표면측에 의해 광을 조사하여, 반도체 기판에 형성된 포토다이오드에서 광을 검지하는 표면 조사형의 CMOS 고체 촬상소자가 일반적이다. 그러나, 이 표면 조사형의 CMOS 고체 촬상소자에서는, 조사되는 광의 경로, 특히 유효 화소 영역의 주변부에 있어서의 기울기광의 광로에 다층 배선이 존재하고, 이 다층 배선에 의해 광이 차지기 위해서, 광의 이용 효율이 떨어지는 감도가 저하하는 것이 알려져 있다. 이 때문에, 표면 측에 다층 배선이 형성된 반도체 기판의 이면측으로부터 광을 조사하는 이면 조사형의 CMOS 고체 촬상소자가 유망(有望)하다(특허문헌 1 참조).

또, CCD 고체 촬상소자에 있어서도, 소자상의 층간 절연층에 광이 흡수되어 감도가 저하하는 것이 알려져 있고, 기판 이면측으로부터 광을 입사하여 광전변환하는 구조가 제안되어있다(특허문헌 2 참조).

[특허문헌 1] 특개2003-31785호 공보

[특허문헌 2] 특개평6-29506호 공보

발명이 이루고자 하는 기술적 과제

그런데, 예를 들면 CMOS 고체 촬상소자에 대해서는, 광을 기판 이면에서 조사하는 경우, 통상 실리콘 기판의 두께가 수백 μm로 두껍고, 광을 투과할 수 없기 때문에, 실리콘 기판을 예를 들면 10μm이하까지 박막화 할 필요가 있다. 박막화 시에, 실리콘층의 막두께가 일정하지 않으면 광의 입사 강도에 일정하지 않음이 발생하여 색 얼룩이 생겨 불편이 생긴다.

한편, 실리콘층의 막두께의 일정하지 않음을 막기 위해서, SOI(Silicon On Insulator) 기판을 이용하는 방법이 고려되고 있다. 즉, SOI 기판을 이용하여 에칭 레이트의 빠른 기계 연마, 그 후의 CMP(화학 기계연마) 처리, 그 후의 웨트 에칭(wet-etching)을 행하여, SiO2 층에서 박막화를 멈추는 것에 의해, 실리콘층의 막두께의 일정하지않음을 억제하도록 하고 있다.

SAMSUNG EX. 1002 - 758/2862

도 17~도 19를 참조하여 SOI 기판을 이용한 이면 조사형의 CMOS 고체 촬상소자의 제조방법을 설명한다.

먼저, 도 17a에 나타낸 바와 같이, 실리콘 기판(1)상에 실리콘 산화막(SiO2 막)(2)을 거쳐서 박막의 실리콘층(3)이 형성된 SOI 기판(4)을 준비한다. 이 SOI 기판(4)의 실리콘층(3)의 소요 위치에 얼라이먼트 마크(5)를 형성한다.

다음에, 도 17b에 나타낸 바와 같이, 실리콘층(3)에 그 표면측에 의해 얼라이먼트 마크(5)를 기준으로 하여, 촬상 영역의 화소 분리영역(도시하지 않음), 반도체 웰 영역(도시하지 않음), 광전변환 소자가 되는 포토다이오드(PD, HAD)(Hole Accumulation Diode) 구조의 포토다이오드(PD)와 함께 화소를 구성하는 복수의 MOS 트랜지스터(Tr)등을 형성한다. 또한 그 위에 층간 절연층(7)을 거쳐서 다층 배선(8)을 형성한 다층 배선층(6)을 적층한다.

다음에, 도 18 C에 나타낸 바와 같이, 다층 배선층(6) 상에 예를 들면 실리콘 기판 등에 의한 지지기판(9)을 접착시킨다.

다음에, 도 18 D에 나타낸 바와 같이, SOI 기판(4)을 반전하고, 실리콘 산화막(2)을 스토퍼막으로서 실리콘 기판(1)을 백-그라인드(back-grinding)(기계적인 조잡함) 및 웨트 에칭에 의해 연마 제거한다. 또한 실리콘 산화막(2)을 웨트 에칭으로 제거한다.

다음에, 도 19e에 나타낸 바와 같이, 실리콘층(3)의 이면에 패시베이션막(passivation film)이 되는 예를 들면 실리콘 질화막(10)을 형성하여, 실리콘 질화막(10)과 함께 실리콘층(3)의 일부, 즉 배선층(8a)으로부터 전극을 도출해야 할 부분에 선택 에칭에 의해, 배선층(8a)에 이르는 통로(11)를 형성한다. 또한, 통로(11)의 안쪽 벽으로부터 실리콘 질화막(10)의 표면을 가리도록, 예를 들면 실리콘 산화막 등의 절연막(12)을 형성한다. 이 통로(11) 내의 배선층(8a)에 접속하는 도전체층(13)을 형성함과 동시에 도전체층(13)에 접속하여 이면에 임하는 전극 패드(14)를 형성하고, 이른바 이면 전극(15)을 형성한다.

다음에, 도 19f에 나타낸 바와 같이, 이면 상에 각 화소의 포토다이오드(PD)에 대응한 위치에 컬러 필터(16) 및 온-칩 렌즈(on-chip lens)(17)를 형성하여, 이면 조사형의 CMOS 고체 촬상소자(18)를 얻는다.

그러나, SOI 기판을 이용하여 이면 조사형의 CMOS 고체 촬상소자를 제조하는 경우, SOI기판이 실리콘 기판에 비해 고가이기 때문에, 제조 코스트가 증대한다고 하는, 문제가 있었다.

이러한 SOI 기판을 이용한 문제는, 이면 조사형의 CCD 고체 촬상소자에도 일어나, 또 고체 촬상소자에 한정하지 않고, 예를 들면 반도체 기판의 표리(表裏) 양면에 반도체소자 또는/및 다층 배선을 형성하도록 한 반도체 집적회로 장치에 있어서도 일어날 수 있다.

본 발명은, 상술의 점에 감안하여, SOI 기판을 이용하지 않고 반도체 기판의 박막화를 가능하게 하여, 코스트 저감을 도모한, 고체 촬상소자와 그 제조방법 및 반도체 장치와 그 제조방법을 제공하는 것이다.

본 발명과 관련되는 고체 촬상소자는, 이른바 이면 조사형이며, 반도체 기판에, 표면으로부터 두께 방향으로 상기 반도체 기판보다 경도가 큰 종단 검출부가 형성되고, 반도체 기판이, 이면으로부터의 화학 기계 연마에 의해 종단 검출부가 노출하는 위치까지 박막화 되고, 반도체 기판의 표면에, 이 기판 내에 형성된 광전변환 소자로부터의 신호를 독출하는 수단이 형성되고, 반도체 기판의 이면으로부터 입사광을 거두어들이도록 해서 이루어지는 것을 특징으로 한다.

본 발명과 관련되는 고체 촬상소자의 제조방법은, 반도체 기판에, 표면으로부터 두께 방향으로 이 반도체 기판보다 경도가 큰 종단 검출부를 형성하는 공정과, 반도체 기판의 표면 측에 고체 촬상소자의 구성요소의 일부를 형성하는 공정과, 반도체 기판의 표면 측에 지지 기판을 접착하는 공정과, 반도체 기판의 이면으로부터 화학 기계 연마를 행하고, 이면에 종단 검출부의 저면이 나타난 시점에서 화학 기계 연마를 자기 정합적으로 멈추고, 반도체 기판의 박막화를 행하는 공정과, 반도체 기판의 이면 측에 고체 촬상소자의 구성요소의 다른 부를 형성하는 공정을 가지는 것을 특징으로 한다.

상기의 고체 촬상소자 및 그 제조방법에 있어서, 종단 검출부는, 소자 분리영역과 겸용하여 형성하는 것이 바람직하다. 종단 검출부는, 소자 분리영역과 다른 기둥 모양층으로 형성하는 것이 바람직하다.

종단 검출부는, 광흡수에 의해 광전 변환시키는 광전변환 소자의 두께에 대응한 길이로 형성하는 것이 바람직하다.

복수의 상기 기둥 모양층에 의한 종단 검출부는, 화학 기계 연마 공정에서의 두께 불균일이 발생하지 않는 간격을 가지고 형성하는 것이 바람직하다.

본 발명과 관련되는 반도체 장치는, 반도체 기판에, 표면으로부터 두께 방향으로 이 반도체 기판보다 경도가 큰 종단 검출부가 형성되고, 반도체 기판이, 이면으로부터의 화학 기계 연마에 의해 종단 검출부가 노출하는 위치까지 박막화 되고, 반도체 기판의 표면 및 이면에 반도체 장치의 구성요소가 형성되어서 완성되는 것을 특징으로 한다.

본 발명과 관련되는 반도체 장치의 제조방법은, 반도체 기판에, 표면으로부터 두께 방향으로 이 반도체 기판보다 경도가 큰 종단 검출부를 형성하는 공정과, 반도체 기판의 표면 측에 반도체 장치의 구성요소의 일부를 형성하는 공정과, 반도체 기판의 표면 측에 지지 기판을 접착하는 공정과, 반도체 기판의 이면으로부터 화학 기계 연마를 행하여, 이면에 종단 검출부의 저면이 나타난 시점에서 화학 기계 연마를 자기 정합적으로 멈추고, 반도체 기판의 박막화를 행하는 공정과, 반도체 기판의 이면 측에 반도체 장치의 구성요소의 다른 부를 형성하는 공정을 가지는 것을 특징으로 한다.

상기의 반도체 장치 및 그 제조방법에 있어서, 종단 검출부는, 소자 분리영역과 겸용하여 형성되는 것이 바람직하다. 종단 검출부는, 소자 분리영역과 다른 기둥 모양층으로 형성되는 것이 바람직하다. 기둥 모양층에 의한 종단 검출부의 간격은, 화학 기계 연마 공정 시에서의 두께 불균일을 발생시키지 않는 간격으로 설정되는 것이 바람직하다.

SAMSUNG EX. 1002 - 759/2862

발명의 구성 및 작용

이하, 도면을 참조하여 본 발명의 실시의 형태를 설명한다.

도 1 ~ 도 6에, 본 발명과 관련되는 고체 촬상소자를, 이면 조사형의 CMOS 고체 촬상소자에 적용했을 경우의 제 1실시의 형태를 나타낸다. 여기에서는, 이면 조사형의 CMOS 고체 촬상소자의 제조방법과 함께 설명한다.

본 실시의 형태에 대해서는, 먼저 도 1에 나타낸 바와 같이, 반도체 기판(예를 들면 실리콘 웨이퍼)(21)를 준비하고, 이 반도체 기판(21)에 종단 검출부를 겸하는 소자 분리영역(22)을 형성한다. 소자 분리영역(22)은 각 화소를 분리하기 위한 화소 분리에 제공된다. 종단 검출부는 반도체 기판보다 경도가 큰 재료로 형성하는 것으로, 예를 들면 실리콘 산화막, 실리콘 질화막 등의 절연체로 형성할 수 있다. 따라서, 종단 검출부를 겸하는 소자 분리영역(22)으로서는, 실리콘 산화막을 묻은 트렌치(trench) 분리영역 혹은 LOCOS(선택 산화) 분리영역 등에 의해 형성할 수 있다. 이 경우, 최종적으로 형성하는 광전변환 소자와 포토다이오드(PD)의 깊이(기판 표면으로부터의 깊이)와 같은 레벨의 깊이(d1)의 소자 분리영역(22)을 형성한다. 즉, 소자 분리영역(22)의 깊이 방향의 길이(d1)는, 포토다이오드(PD)의 두께에 대응한 길이가 된다.

다음에, 도 2에 나타낸 바와 같이, 반도체 기판(21)의 소자 분리영역(22)에서 구획된 각 단위 화소 영역(23)에, 후에 형성되는 포토다이오드(PD)로부터의 신호 전하를 독출하는 복수의 MOS 트랜지스터(Tr)를 형성한다. 복수의 MOS 트랜지스터(Tr)는 기판 표면 측에 형성한다.

복수의 MOS 트랜지스터(Tr)는, 각종의 개수로 구성되고, 예를 들면 전하 독출 트랜지스터, 리셋트 트랜지스터, 앰프 트랜지스터, 수직 선택 트랜지스터의 4개의 트랜지스터로 구성할 수도 있다. 포토다이오드(PD)와 소스·드레인 영역(24)과 양자 사이의 게이트 전극(25)에서 전하 독출 트랜지스터가 형성되어, 다른 쌍의 소스·드레인 영역(24)과 양자 사이의 게이트 전극(26)으로 다른 트랜지스터가 구성된다. 포토다이오드(PD) 및 MOS 트랜지스터(Tr)를 형성한 후, 층간 절연층(27)을 형성하고, 필요한 영역(예를 들면 소스·드레인 영역, 게이트 전극 등)에 대응한 위치에 컨택트 홀(contact hole)(28)을 형성한다. 단위 화소의 자세한 구성에 대해서는 후술한다.

다음에, 도 3에 나타낸 바와 같이, 필요한 영역에 접속하는 다층 배선(30), 층간 절연막(27)에 의한 다층 배선층(31)을 형성한다.

다음에, 도 4에 나타낸 바와 같이, 다층 배선층(31) 상에 예를 들면 실리콘 기판 등에 의한 지지기판(33)을 접착한다.

다음에, 도 5에 나타낸 바와 같이, 반도체 기판(21)을 반전시켜 반도체 기판(21)의 이면 측을 화학 기계 연마(CMP)법으로 깎는다. 이 경우, 종단 검출부를 겸하는 소자 분리영역(22)의 저면이 노출하는 위치까지 연마한다. 연마되는 이면의 실리콘과 소자 분리영역(22)을 형성하고 있는 실리콘 산화(SiO2)층은, 각각 CMP로 연마될 때의 경도의 차가 있고, 실리콘 산화층 측의 경도가 크다. 이 경도에 차이가 있기 때문에, 이면 연마로 표면에 나타난 소자 분리영역(22)의 실리콘 산화층이 스톱퍼(stopper)로서 작용하여, 실리콘 기판(22)은 그 이상 연마되지 않고, 자기 정합적으로 실리콘 연마면이 나타난다. 즉, 소자 분리영역(22)의 저면에 의해 자기 정합적으로 연마의 종단이 검출된다. 이 소자 분리영역(22)의 저면이 나타난 곳에서, CMP의 연마를 멈춘다.

다음에, 도 6에 나타낸 바와 같이, 기판 이면으로부터의 이온 주입에 의해, 반도체 기판(21)에 포토다이오드(PD)를 형성한다. 포토 다이오드(PD)는 소자 분리영역(22)의 깊이(d1)와 같은 깊이로 형성된다. 또, 포토 다이오드(PD)는, 도 b의 공정에서 기판 표면 측에서의 이온 주입에 의해 형성하는 것도 가능하다. 또한, 기판 표면에 보호용 절연막(35)을 형성하고, 그 위에 컬러 필터(36), 온-칩 렌즈(37)를 형성하고, 목적의 이면 조사형의 CMOS 고체 촬상소자(38)를 얻는다.

또한, 종단 검출부는, 소자 분리영역 상, 스크라이브 라인(scribe line) 상 등에 형성할 수 있다.

도 7에, 포토 다이오드(PD)와 복수의 MOS 트랜지스터(Tr)로 이루어지는 단위 화소의 일례를 나타낸다. 이 단위 화소는, 예를 들면, n형 반도체 기판(21)의 소자 분리영역(22)으로 둘러싸인 영역에 p형 반도체 웰(well) 영역(41)에 n+소스·드레인 영역(42), 게이트 절연막(43) 및 게이트 전극(44)으로 이루어지는 복수의 MOS 트랜지스터(Tr)를 형성하고, 기판 이면에서 표면에 이르도록 또한 MOS 트랜지스터(Tr)가 형성된 p형 반도체 웰 영역(41)의 아래까지 연장하도록, 포토 다이오드(PD)를 형성하여 구성된다. 포토 다이오드(PD)는, n+전하 축적 영역(46) 및 n반도체 영역(47)과, 표리 양면에 형성한 암전류를 억제하기 위한 어큐뮬레이션층(accumulation layer)이 되는 p+반도체 영역(48, 49)에 의해 형성된다.

종단 검출부가 되는 소자 분리영역(22)을 트렌치 분리영역에서 형성하는 경우의 일례는, 도 8에 나타낸 바와 같이, 실리콘 기판(21)에 홈(트렌치)(51)을 형성한(도 a) 후, 홈(51) 내에 묻도록 예를 들면 CVD(화학 기상 성장)에 의한 실리콘 산화막(52)을 형성하고(도 b), 그 다음에 실리콘 산화막(52)을 에치백(etched back)하여 홈(51) 내에만 실리콘 산화막(52)을 남긴다. 이와 같이 하여, 트렌치 분리영역(221)을 형성한다.

종단 검출부가 되는 소자 분리영역(22)을 트렌치 분리영역으로 형성하는 경우의 다른 예는, 도 9에 나타낸 바와 같이, 실리콘 기판(21)에 홈(트렌치)(51)을 형성한 후, 홈의 내벽면 및 기판 표면을 가리도록 예를 들면 CVD에 의한 실리콘 질화막(53)을 형성하고(도 a참조), 다음에 홈(51) 내에 묻도록 예를 들면 CVD에 의한 실리콘 산화막(52)을 형성하고, 그 후, 실리콘 산화막(52) 및 실리콘 질화막(53)을 에치백하여 홈(51) 내에만 실리콘 질화막(53) 및 실리콘 산화막(52)을 남긴다(도 b참조). 이와 같이 하여, 홈(51)의 저면에 실리콘 질화막(53)이 형성된 트렌치 분리영역(222)을 형성한다. 이 트렌치 분리영역(222)에서는, 실리콘 질화막(53)은 실리콘 산화막(52)보다 경도가 크기 때문에, 종단 검출부로서 보다 적합하다.

SAMSUNG EX. 1002 - 760/2862

종단 검출부가 되는 소자 분리영역(22)을 LOCOS 분리영역으로 형성하는 경우는, 도시하지 않았지만, 통상과 같이 실리콘 기판상에 패터닝 한 실리콘 질화막, 혹은 실리콘 질화막과 폴리 실리콘막의 2층 막구조를 형성한 후, 산화 처리하여 실리콘 질화막이 형성되어있지 않은 기판 표면에 실리콘 산화(SiO2)층을 형성하고, 그 후 실리콘 질화막을 제거하여 실리콘 산화막에 의한 LOCOS 분리영역을 형성한다.

상술한 제 1실시의 형태와 관련되는 이면 조사형의 CMOS 고체 촬상소자(38)에 의하면, SOI기판을 이용하지 않고, 실리콘 기판(21)에 설치한 종단 검출부를 겸하는 소자 분리영역에 의해서 박막화한 실리콘 기판을 이용하고, 고체 촬상소자의 각 구성요소를 형성하여 구성되므로, 염가로 게다가 정밀도가 좋은 이면 조사형의 CMOS 고체 촬상소자를 제공할 수 있다.

제 1실시의 형태의 제조방법에 의하면, SOI 기판이 필요하지 않아 제조 프로세스의 간소화가 가능하게 되므로, 제조 코스트를 큰 폭으로 저감 할 수 있다. 범용 CMOS 프로세스 기술을 그대로 활용할 수 있다.

종단 검출부가 소자 분리영역에서 형성되므로, 반도체 기판(21)의 화학 기계 연마에 의해 박막화할 때에, 반도체 기판의 막 두께가 국부적으로 균일하지 않은 이른바 막 두께의 면내 불균일을 방지할 수 있고, 반도체 기판의 전역에 걸쳐서 균일의 박막화할 수 있다. 화학 연마를 이용하므로, 박막화 처리 시간을 단축할 수 있는 등 반도체 기판의 박막화가 용이해진다.

도 10 ~ 도 13에, 본 발명과 관련되는 고체 촬상소자를, 이면 조사형의 CMOS 고체 촬상소자에 적용했을 경우의 제 2실시의 형태를 나타낸다. 여기에서도, 이면 조사형의 CMOS 고체 촬상소자를 그 제조방법과 함께 설명한다.

본 실시의 형태에 있어서는, 먼저 도 10에 나타낸 바와 같이, 반도체 기판(예를 들면 실리콘 웨이퍼)(21)을 준비하고, 이 반도체 기판(21)에 각 화소를 분리하기 위한 소자 분리영역(62)을 형성한다. 또한, 이 반도체 기판(21)에 기판 표면으로부터 소요 깊이에 걸쳐서 기둥 모양층으로 이루어지는 종단 검출부(63)를 형성한다. 소자 분리영역(62)은, 상술과 같이 실리콘 산화막을 묻은 트렌치 분리영역 혹은 LOCOS(선택산화) 분리영역 등에 의해 형성할 수 있다. 종단 검출부(63)는, 소자 분리영역(62)보다 깊게 형성하여, 상술한 같은 상태의 반도체 기판(21)보다 경도가 큰 재료로 형성한다. 종단 검출부(62)는, 예를 들면 실리콘 산화막, 실리콘 질화막으로 형성할 수 있다. 종단 검출부(63)는, 최종적으로 형성하는 광전변환 소자가 되는 포토 다이오드(PD)의 깊이(기판 표면으로부터의 깊이)와 같은 깊이(d1)로 형성한다. 즉, 종단 검출부(63)의 깊이 방향의 길이(d1)는, 포토 다이오드(PD)의 두께에 대응한 길이가 된다.

이 종단 검출부(63)는, 반도체 기판(21)에 복수 형성하여, 그 인접하는 종단 검출부(63)의 간격(w1)은, 후술하는 CMP법에 따르는 이면 연마에서의 국부적인 두께 불균일을 발생시키지 않는 간격으로 설정한다. 종단 검출부(63)는, 반도체 기판(21)의 어느 쪽에 형성하는 것도 가능하지만, 각 고체 촬상 칩(chip)에서 두께 불균일을 발생시키지 않기 위해서, 고체 촬상 칩이 되는 영역 내에 형성하는 것이 바람직하다. 도시의 경우는, 설명을 이해하기 위해서, 단위 화소를 구획하는 소자 분리영역(62)의 외측에 형성했지만, 이면 연마 때에 두께 불균일을 주지 않는 범위에서 형성하면 좋다. 화소의 미세화, 고집적화를 고려했을 때에는, 촬상 영역(화소 영역), 주변 회로부 등이 형성된 고체 촬상소자의 경우, 촬상 영역의 외측(화소에 영향을 주지 않는 외측)에 설치하는 것이 바람직하다.

기둥 모양층에 의한 종단 검출부(63)는, 반도체 기판(21)에 홈(트렌치)을 형성하고, 홈 내를 실리콘 산화막(도 8 참조), 혹은 실리콘 질화막, 혹은 도 9에서 설명한 같은 실리콘 질화막과 실리콘 산화막에서 묻어 형성할 수 있다.

다음에, 도 11에 나타낸 바와 같이, 상술과 같은 반도체 기판(21)의 소자 분리영역(62)에서 구획한 각 단위 화소 영역의 기판 표면 측에, 화소를 구성하는 복수의 MOS 트랜지스터(Tr), 예를 들면 전하 독출 트랜지스터, 리셋트 트랜지스터, 앰프 트랜지스터, 수직 선택 트랜지스터의 4개의 트랜지스터를 형성한다. 그 다음에, 층간 절연막(27) 및 다층 배선(30)으로 이루어지는 다층 배선층(31)을 형성한 후, 다층 배선층(31) 상에 예를 들면 실리콘 기판 등에 지지기판(33)을 접착한다.

다음에, 도 12에 나타낸 바와 같이, 반도체 기판(21)을 반전시켜 반도체 기판(21)의 이면 측을 CMP법으로 깎는다. 이 경우, 종단 검출부(63)의 저면이 노출하는 위치까지 연마하여, 종단 검출부(63)와 반도체 기판(21)과의 경도차이로, 종단 검출부(63)가 노출한 시점에서 연마의 종단이 검출되고, 연마를 멈춘다.

다음에, 도 13에 나타낸 바와 같이, 기판 이면으로부터의 이온 주입에 의해, 반도체 기판(21)에 포토 다이오드(PD)를 형성한다. 포토 다이오드(PD)는 소자 분리영역(22)의 깊이(d1)와 같은 깊이로 형성된다. 또한, 포토 다이오드(PD)는, 도 11의 공정에서 기판 표면 측에서의 이온 주입에 의해 형성하는 것도 가능하다. 절연체에 의한 소자 분리영역(62) 아래에는 반도체 소자분 영역(65)을 형성할 수 있다. 또한, 기판 표면에 보호용 절연막(35)을 형성하여, 그 위에 컬러 필터(36), 온-칩 렌즈(37)를 형성하고, 목적의 이면 조사형의 CMOS 고체 촬상소자(64)를 얻는다. 본 실시의 형태의 단위 화소의 구성은, 상술한 도 7의 구성과 같다.

상술한 제 2실시의 형태에 의하면, 소자 분리영역(62)과는 별도로 화학 기계 연마(CMP)에서의 연마 스토퍼(stopper)가 되는 기둥 모양층에 의한 종단 연마부(63)를 적절히 복수, 배치 형성함으로써, CMP 시에 실리콘 기판(21)이 깎아져서 지나도, 두께 불균일을 발생시키지 않고, CMP 제어를 가능하게 한다. 그 외, 상술한 제 1실시의 형태와 같은 효과를 얻을 수 있다.

도 14는, 본 발명과 관련되는 이면 조사형의 CMOS 고체 촬상소자의 제 3실시의 형태를 나타낸다.

본 실시의 형태는, 상술한 도 13의 종단 검출부(63)의 구성에, 또한 종단 검출부(63)가 조밀하게 모인 영역(63B)을 부분적으로 형성한다. 즉, 기둥 모양층에 의한 종단 검출부(63)로서, 종단 검출부(63)의 집밀도(集密度)가 작은 드문드문한 영역(63A)을 균일하게 형성한 상태로, 부분적으로 종단 검출부(63)의 집밀도가 큰 조밀한 영역(63B)을 형성한다. 그 외의 구성은 도면과 같으므로, 대응하는 부분에 동일 부호를 교부하고 중복 설명을 생략한다.

이 제 3실시의 형태에 의하면, 종단 검출부(63)의 조밀한 영역(63B)을 형성함으로써, 보다 CMP의 정밀도를

SAMSUNG EX. 1002 - 761/2862

더할 수 있다. 즉, 보다 균일한 막 두께로 반도체 기판(21)의 CMP에 의한 박막화를 가능하게 한다. 그 외, 제 2실시의 형태와 같은 효과를 얻을 수 있다.

도 15는, 본 발명과 관련되는 이면 조사형의 CMOS 고체 촬상소자의 제 4실시의 형태를 나타낸다. 본 실시의 형태는, 상술한 도 13의 기둥 모양층에 의한 종단 검출부(63)의 구성으로서, 특히 기둥 모양층의 저면, 즉 기판 이면에 노출하는 저면에 실리콘 기판(21)에 대해서 실리콘 질화막(SiN막) 등의 선택성이 높은(경도가 크다) 재료막(66)을 형성하여 구성한다. 재료막(66)으로서는, SiN의 외, 예를 들면 폴리 실리콘, 텅스텐(W), SiW, Ti, TiSi, TiN, NSi, CoSi, 다른 금속 실리사이드 등의 막을 이용할 수 있다. 재료막(66)의 막 두께(t1)는, 종단 검출부(63)의 깊이(d1)의 10분의 1 ~ 20분의 1의 범위(d1/10 ~ d1/20=t1)로 설정할 수 있다.

예를 들면, 실리콘 산화막(67)과 실리콘 질화막(66)에서 종단 검출부(63)를 형성할 수 있다. 이 경우는, 트렌치를 형성한 후, 트렌치 내벽면을 포함한 기판 전면에 실리콘 질화막(66)을 성막하고, 트렌치 내에 묻도록 실리콘 산화막(67)을 기판 전면에 성막하여, 실리콘 질화막(66) 및 실리콘 산화막(67)의 전체를 기판 표면까지 에치백하는 것에 따라, 종단 검출부(63)를 형성할 수 있다. 그 외의 구성은, 상술의 제 1실시의 형태와 같은 것으로, 대응하는 부분에는 동일 부호를 교부하고 중복 설명을 생략한다.

이 제 4실시의 형태에 의하면, 종단 검출부(63)의 저면에 의해 경도의 큰 재료막(66)을 형성함으로써, 종단 검출부(63)로서의 스토퍼 기능을 또한 높일 수 있다. 그 외, 제 2실시의 형태와 같은 효과를 얻을 수 있다.

또한, 종단 검출부(63)의 폭(w1)은 고체 촬상소자의 최소 선폭 이상으로 할 수 있다. 그외 관련하여, 이면 조사에서의 반도체 기판으로의 광 입사 거리는, 예를 들면, 청색광의 경우는 0.5μm정도, 녹색광의 경우는 3μm정도, 적색광의 경우는 5μm정도, 적외광의 경우는 10μm정도이다. 따라서, 적, 녹, 청의 컬러 고체 촬상소자에서는, 종단 검출부(22, 63)의 깊이 방향의 길이(d1)를 5.0μm정도로 설정할 수 있다. 또, 적외광까지 필요한 때는, 종단 검출부(22, 63)의 깊이 방향의 길이(d1)를 10μm정도로 설정할 수 있다.

상술의 실시의 형태에서는, 본 발명을 이면 조사형의 CMOS 고체 촬상소자에 적용했지만, 그외 다른 고체 촬상소자, 예를 들면 이면 조사형의 CCD 고체 촬상소자에 적용할 수도 있다.

도 16에, 본 발명을 반도체 장치, 즉 반도체 집적회로 장치에 적용했을 경우의 제 5실시의 형태를 나타낸다. 본 실시의 형태와 관련되는 반도체 집적회로 장치(71)는, 상술한 바와 같은 것으로 설치한 소자 분리영역을 겸하는, 혹은 소자 분리영역과는 다른 종단 검출부, 본 예에서는 소자 분리영역을 겸하는 종단 검출부(72)를 이용하여 화학 기계 연마법에 의해 종단 검출부(72)의 저면이 노출하는 위치까지 연마하여 박막화한 실리콘 기판(73)의 표면 측에, 게이트 전극(75)을 가지는 MOS 트랜지스터군(Tr21) 및 층간 절연막(76)을 거쳐서 다층 배선(77)을 배치한 다층 배선층(78)을 형성하고, 이 다층 배선층(78) 상에 예를 들면 실리콘 기판에 의한 지지기판(79)을 접착시켜, 또, 실리콘 기판(73)의 이면 측에 게이트 전극(81)을 가지는 MOS 트랜지스터군(Tr22) 및 층간 절연막(82)을 거쳐서 다층 배선(83)을 배치한 다층 배선층(84)을 형성하여 구성된다. 85는 패시베이션막이다.

도 16의 예에서는, 실리콘 기판(73)의 양면의 각각 MOS 트랜지스터군(Tr21, Tr22) 및 다층 배선층(78, 84)을 형성한 구성의 반도체 집적회로 장치에 적용했지만, 그 외, 실리콘 기판(73)의 한편의 면 측에 MOS 트랜지스터 혹은 다른 반도체 소자를 형성하고, 다른 편의 면 측에 배선층을 형성하는 등, 여러 가지의 형태의 반도체 장치 집적회로 장치에도 적용할 수 있다.

이러한 반도체 집적회로 장치 및 그 제조방법에 있어서도, SOI 기판을 이용할 필요가 없고, 제조 프로세스도 간소화할 수 있어, 제조 코스트를 큰 폭으로 저감 할 수 있는, 등 상술한 고체 촬상소자의 경우와 같은 작용·효과를 얻는 것이다.

발명의 효과

본 발명과 관련되는 고체 촬상소자에 의하면, SOI 기판을 이용하지 않고, 반도체 기판에 경도가 큰 종단 검출부를 설치하여 화학 기계 연마로 종단 검출부가 노출하는 위치까지 박막화한 반도체 기판을 이용하고, 이면 조사형 구조에 구성되므로, 코스트 저감이 도모해지고, 게다가 정밀도가 좋은 이면 조사형의 고체 촬상소자를 제공할 수 있다. 화학 기계 연마로 박막화 되므로, 두꺼운 반도체 기판으로부터의 박막화가 용이하게 되어, 제조 프로세스를 간소화할 수 있는 고체 촬상소자를 제공할 수 있다.

본 발명과 관련되는 고체 촬상소자의 제조방법에 의하면, 반도체 기판에 경도가 큰 종단 검출부를 형성하여, 반도체 기판의 이면으로부터 화학 기계 연마를 행하여, 이면에 종단 검출부의 저면이 나타난 시점에서 화학 기계 연마를 자기 정합적으로 멈추어 반도체 기판을 박막화하는 것에 의해, SOI 기판을 이용하지 않고 반도체 기판의 박막화가 가능하게 된다. 따라서 고체 촬상소자의 제조 프로세스를 간소화하여, 제조 코스트를 큰 폭으로 저감 할 수 있다. 또, 화학 기계 연마에 의해 박막화하므로, 두꺼운 반도체 기판으로부터의 박막화도 화학 기계 연마만으로 가능하게 되어, 한층 더 제조 프로세스의 간소화를 도모할 수 있다. 화학 기계 연마는, 대량의 슬러리(slurry)를 상압에서 처리를 행하므로, 두꺼운 반도체 기판으로부터의 박막화에 유리하다.

본 제조방법은, CMOS 고체 촬상소자의 제조에 적용했을 때에는, 범용 CMOS 프로세스 기술을 그대로 활용할 수 있다.

종단 검출부를 소자 분리영역을 겸하여 형성함으로써, 구조 및 제조 프로세스를 간소화할 수 있다.

종단 검출부를 소자 분리영역과 다른 기둥 모양층으로 형성함으로써, 원하는 포텐셜 깊이를 얻을 수 있는 광전변환 소자를 구비한 이면 조사형의 고체 촬상소자를 제공할 수 있다.

종단 검출부의 깊이 방향의 길이를, 광전변환 소자의 두께에 대응한 길이로 함으로써, 광전변환 소자의 두께에 대응한 반도체 박막 기판의 형성을 가능하게 한다.

SAMSUNG EX. 1002 - 762/2862

기둥 모양층에 의한 종단 검출부의 간격을, 화학 기계 연마에 있어서 두께 불균일을 발생시키지 않는 간격으로 형성함으로써, 전면 균일한 두께의 박막화한 반도체 기판을 얻을 수 있다.

본 발명과 관련되는 반도체 장치자에 의하면, SOI 기판을 이용하지 않고, 반도체 기판에 경도가 큰 종단 검출부를 설치하여 화학 기계 연마로 종단 검출부가 노출하는 위치까지 박막화한 반도체 기판을 이용하고, 표리 양면에 구성요소를 형성하여 구성되므로, 코스트 저감이 도모되고, 게다가 정밀도가 좋은 반도체 장치를 제공할 수 있다. 화학 기계 연마로 박막화 되므로, 두꺼운 반도체 기판으로부터의 박막화가 용이하게 되어, 제조 프로세스를 간소화할 수 있는 반도체 장치를 제공할 수 있다.

본 발명과 관련되는 반도체 장치의 제조방법에 의하면, 반도체 기판에 경도가 큰 종단 검출부를 형성하여, 반도체 기판의 이면으로부터 화학 기계 연마를 행하여, 이면에 종단 검출부의 저면이 나타난 시점에서 화학 기계 연마를 자기 정합적으로 멈추어 반도체 기판을 박막화하는 것으로, SOI 기판을 이용하지 않고 반도체 기판의 박막화가 가능하게 된다. 따라서 반도체 장치의 제조 프로세스를 간소화하여, 제조 코스트를 큰 폭으로 저감 할 수 있다. 또, 화학 기계 연마에 의해 박막화하므로, 두꺼운 반도체 기판으로부터의 박막화도 화학 기계 연마만으로 가능하게 되어, 한층 더 제조 프로세스의 간소화를 도모할 수 있다. 화학 기계 연마는, 대량의 슬러리를 상압에서 처리를 행하므로, 두꺼운 반도체 기판으로부터의 박막화에 유리하다.

본 제조방법은, CMOS 집적회로 장치의 제조에 적용했을 때에는, 범용 CMOS 프로세스 기술을 그대로 활용할 수 있다.

종단 검출부를 소자 분리영역을 겸하여 형성함으로써, 구조 및 제조 프로세스를 간소화할 수 있다.

종단 검출부를 소자 분리영역과 다른 기둥 모양층으로 형성함으로써, 원하는 두께로 박막화한 반도체 기판에 구성요소를 구비한 반도체 장치를 제공할 수 있다.

기둥 모양층에 의한 종단 검출부의 간격을, 화학 기계 연마에 있어서 두께 불균일을 발생시키지 않는 간격으로 형성함으로써, 전면 균일한 두께의 박막화한 반도체 기판을 얻을 수 있다.

청구의 범위

청구항 1

반도체 기판에, 표면에서 두께 방향으로 상기 반도체 기판보다 경도가 큰 종단 검출부가 형성되고,

상기 반도체 기판이, 이면으로부터의 화학 기계 연마에 의해 상기 종단 검출부가 노출하는 위치까지 박막화 되고,

상기 반도체 기판의 표면에, 이 기판내에 형성된 광전변환 소자로부터의 신호를 독출하는 수단이 형성되고, 상기 반도체 기판의 이면에서 입사광을 받아들이도록 하여 이루어지는 것을 특징으로 하는 고체 촬상소자.

청구항 2

제 1항에 있어서,

상기 종단 검출부가, 소자 분리영역과 겸용하여 형성되어 이루어지는 것을 특징으로 하는 고체 촬상소자.

청구항 3

제 1항에 있어서,

상기 종단 검출부가, 소자 분리영역과 다른 기둥 모양층에서 형성되어 이루어지는 것을 특징으로 하는 고체 촬상소자.

청구항 4

제 1항에 있어서,

상기 종단 검출부의 깊이 방향의 길이가, 광 흡수에 의해 광전변환 시키는 광전변환 소자의 두께에 대응한 길이인 것을 특징으로 하는 고체 촬상소자.

청구항 5

제 3항에 있어서,

상기 기둥 모양층에 의한 종단 검출부의 간격이, 화학 기계 연마에 있어서 두께가 고르지 않음을 발생시키지 않는 간격으로 설정되어 이루어지는 것을 특징으로 하는 고체 촬상소자.

청구항 6

반도체 기판에, 표면에서 두께 방향으로 이 반도체 기판보다 경도가 큰 종단 검출부를 형성하는 공정과,

상기 반도체 기판의 표면 측에 고체 촬상소자의 구성요소의 일부를 형성하는 공정과,

상기 반도체 기판의 표면 측에 지지 기판을 붙여 맞추는 공정과,

상기 반도체 기판의 이면에서 화학 기계 연마를 행하고, 이면에 상기 종단 검출부의 저면이 나타난 시점에서 화학 기계 연마를 자기 정합적으로 멈추고, 상기 반도체 기판의 박막화를 행하는 공정과,

상기 반도체 기판의 이면 측에 고체 촬상소자의 구성요소의 다른 부를 형성하는 공정을 가지는 것을 특징

SAMSUNG EX. 1002 - 763/2862

으로 하는 고체 촬상소자의 제조방법.

청구항 7

제 6항에 있어서,

상기 종단 검출부를 소자 분리영역과 겸용하여 형성하는 것을 특징으로 하는 고체 촬상소자의 제조방법.

청구항 8

제 6항에 있어서,

상기 종단 검출부를 소자 분리영역과 다른 기둥 모양층에서 형성하는 것을 특징으로 하는 고체 촬상소자의 제조방법.

청구항 9

제 6항에 있어서,

상기 종단 검출부를, 광흡수에 의해 광전변환 시키는 광전변환 소자의 두께에 대응한 길이로 형성하는 것을 특징으로 하는 고체 촬상소자의 제조방법.

청구항 10

제 8항에 있어서,

복수의 상기 기둥 모양층에 의한 종단 검출부를, 화학 기계 연마에서의 두께가 고르지 않음을 발생하지 않는 간격을 가지고 형성하는 것을 특징으로 하는 고체 촬상소자의 제조방법.

청구항 11

반도체 기판에, 표면으로부터 두께 방향으로 이 반도체 기판보다 경도가 큰 종단 검출부가 형성되고,

상기 반도체 기판이, 이면으로부터의 화학 기계 연마에 의해 상기 종단 검출부가 노출하는 위치까지 박막화 되고,

상기 반도체 기판의 표면 및 이면에 반도체 장치의 구성요소가 형성되어 이루어지는 것을 특징으로 하는 반도체 장치.

청구항 12

제 11항에 있어서,

상기 종단 검출부가, 소자 분리영역과 겸용하여 형성되어 이루어지는 것을 특징으로 하는 반도체 장치.

청구항 13

제 11항에 있어서,

상기 종단 검출부가, 소자 분리영역과 다른 기둥 모양층에서 형성되어 이루어지는 것을 특징으로 하는 반도체 장치.

청구항 14

제 13항에 있어서,

상기 기둥 모양층에 의한 에칭 스토퍼층의 간격이, 화학 기계 연마 공정시에서의 두께가 고르지 않음을 발생시키지 않는 간격으로 설정되어 이루어지는 것을 특징으로 하는 반도체 장치.

청구항 15

반도체 기판에, 표면으로부터 두께 방향으로 이 반도체 기판보다 경도가 큰 종단 검출부를 형성하는 공정과,

상기 반도체 기판의 표면 측에 반도체 장치의 구성요소의 일부를 형성하는 공정과,

상기 반도체 기판의 표면 측에 지지 기판을 붙여서 맞추는 공정과,

상기 반도체 기판의 이면으로부터 화학 기계 연마를 행하고, 이면에 상기 종단 검출부의 저면이 나타난 시점에서 화학 기계 연마를 자기 정합적으로 멈추고, 상기 반도체 기판의 박막화를 행하는 공정과,

상기 반도체 기판의 이면 측에 반도체 장치의 구성요소의 다른 부를 형성하는 공정을 가지는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 16

제 15항에 있어서,

상기 종단 검출부를 소자 분리영역과 겸용하여 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 17

제 15항에 있어서,

상기 종단 검출부를 소자 분리영역과 기둥 모양층에서 형성하는 것을 특징으로 하는 반도체 장치의 제조방

SAMSUNG EX. 1002 - 764/2862

법.

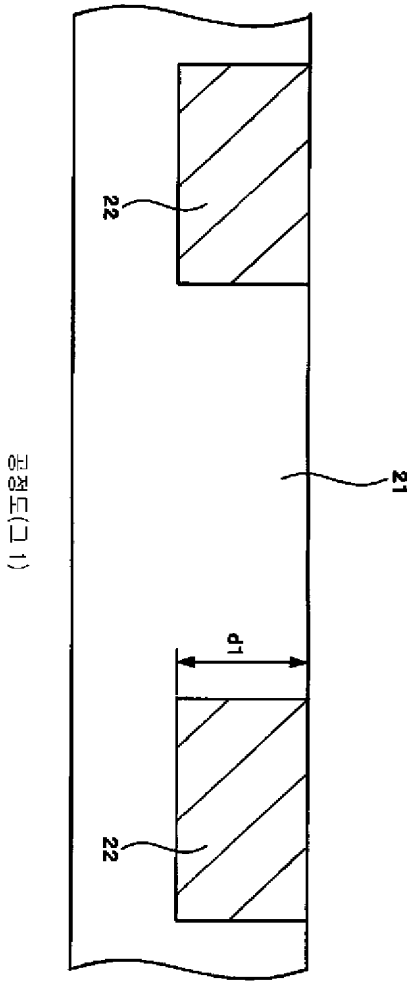
청구항 18

제 17항에 있어서,

복수의 상기 기둥 모양층에 의한 종단 검출부를, 화학 기계 연마에서의 두께가 고르지 않음이 발생하지 않는 간격을 가지고 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

도면

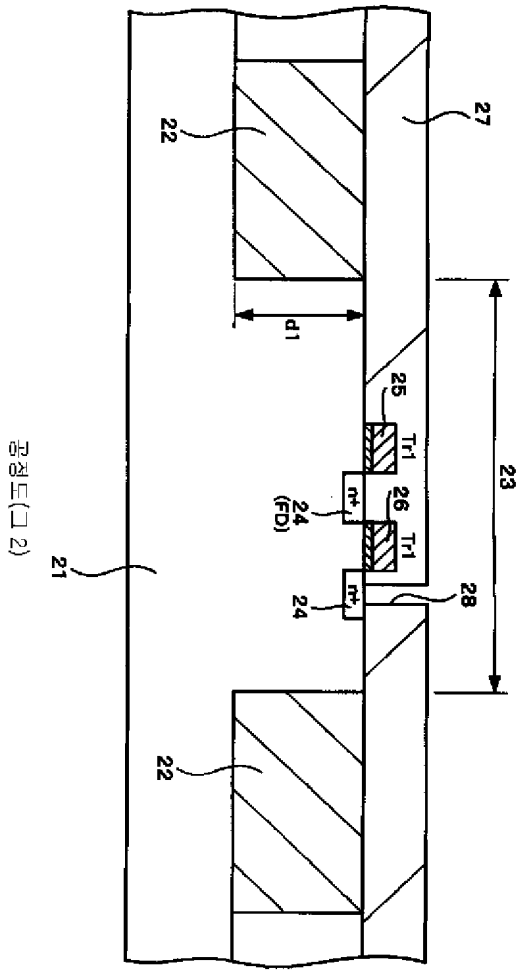
도면1



종래도(그 1)

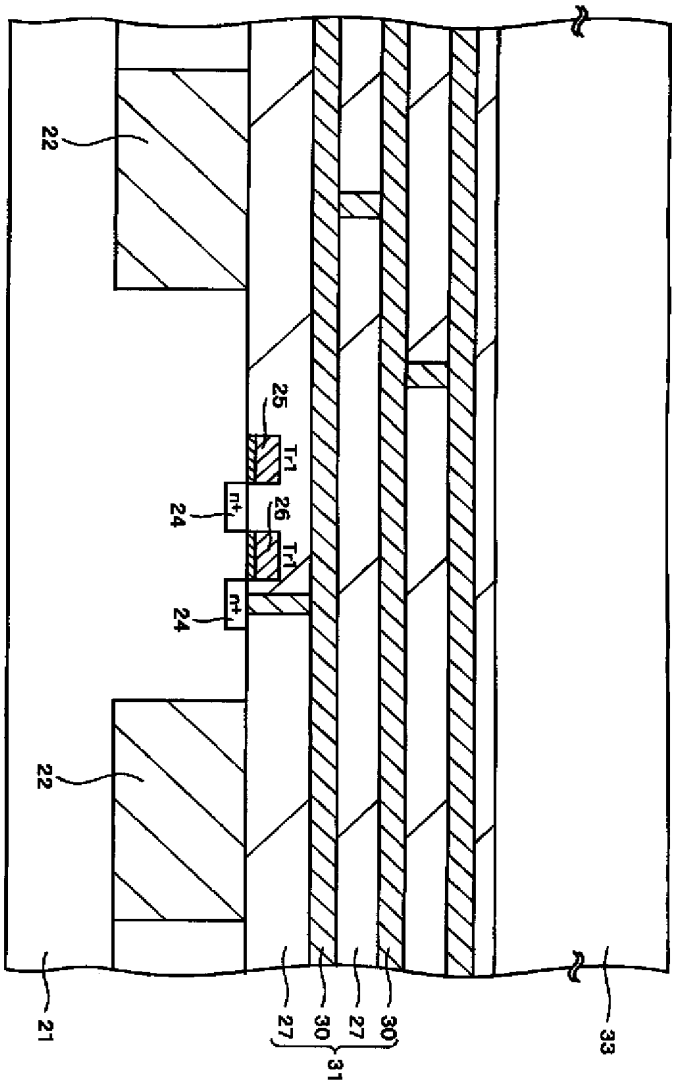
SAMSUNG EX. 1002 - 765/2862

도면2



SAMSUNG EX. 1002 - 766/2862

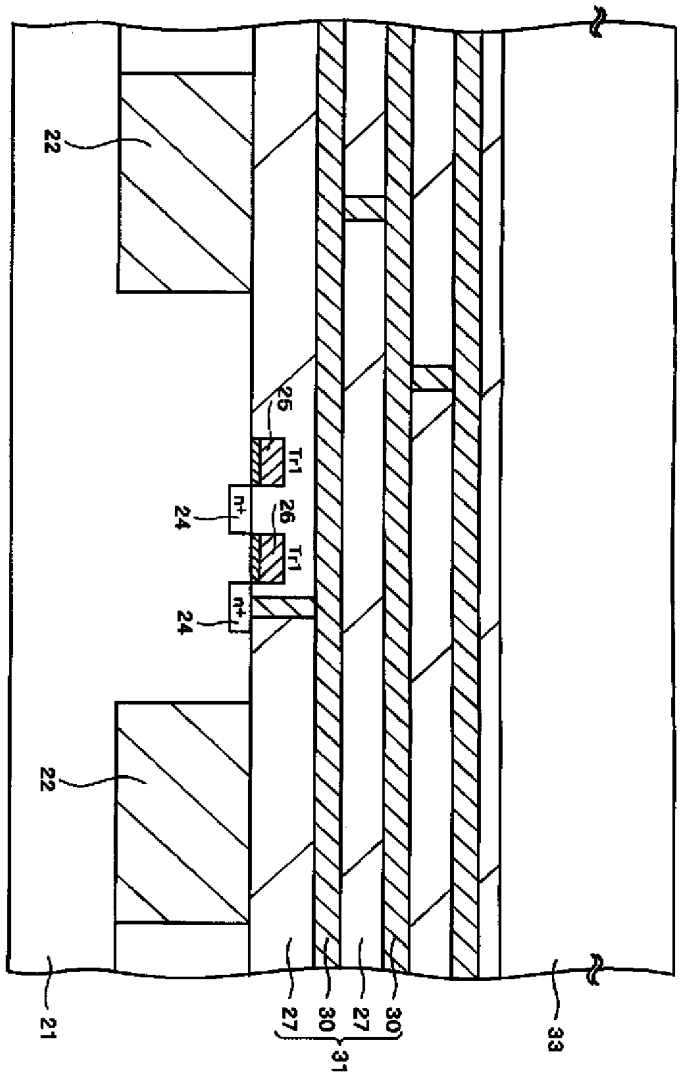
도면3



공정도(그 3)

SAMSUNG EX. 1002 - 767/2862

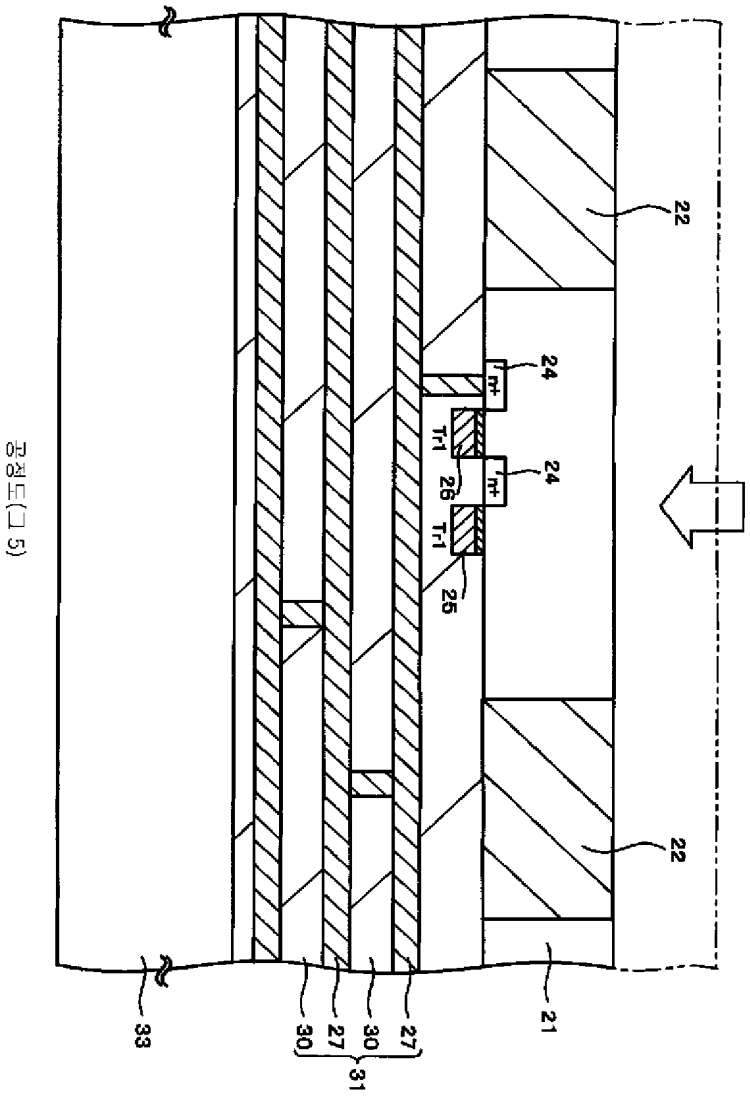
도면4



공정도(그 4)

SAMSUNG EX. 1002 - 768/2862

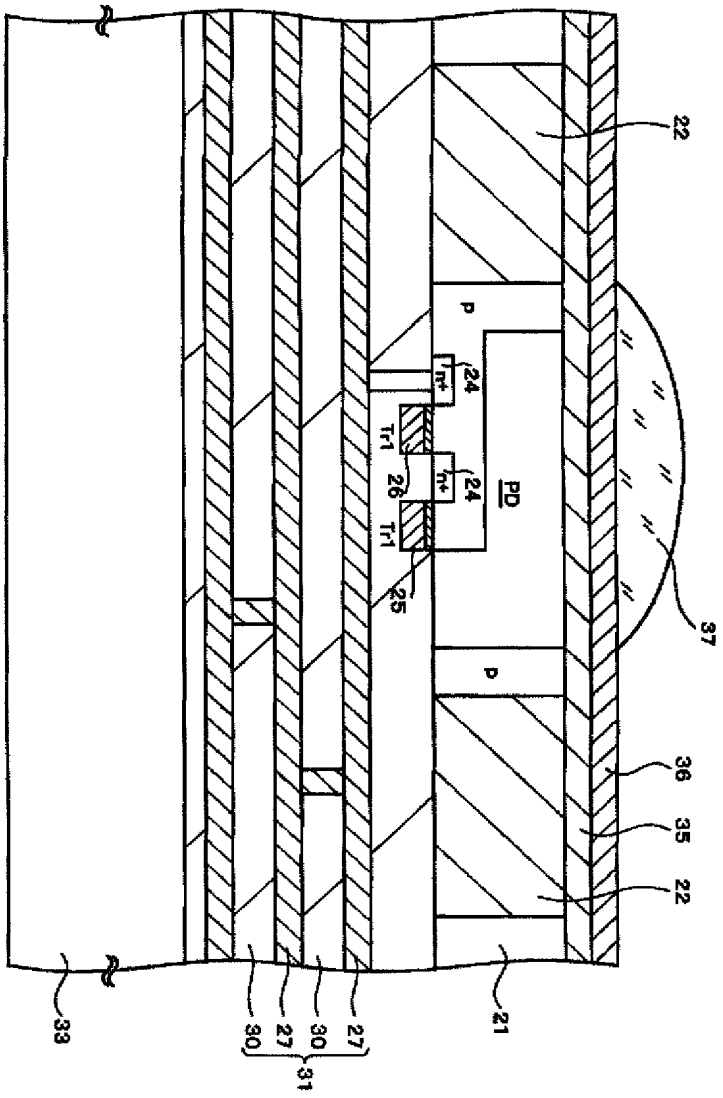
도면5



공정도(그 5)

SAMSUNG EX. 1002 - 769/2862

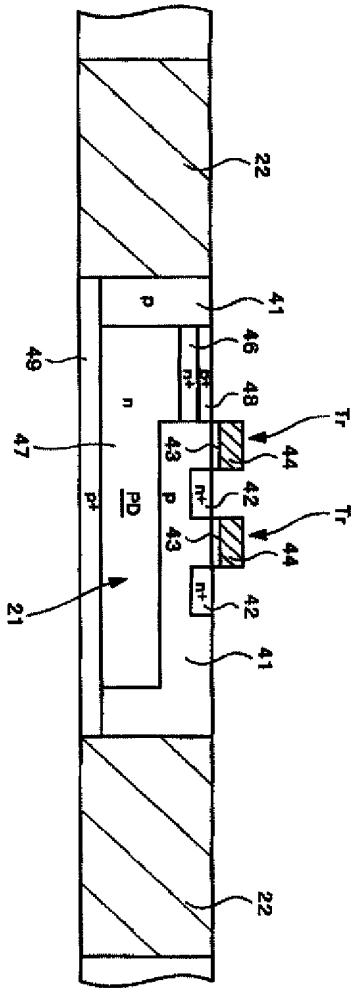
도면6



공정도(그 6)

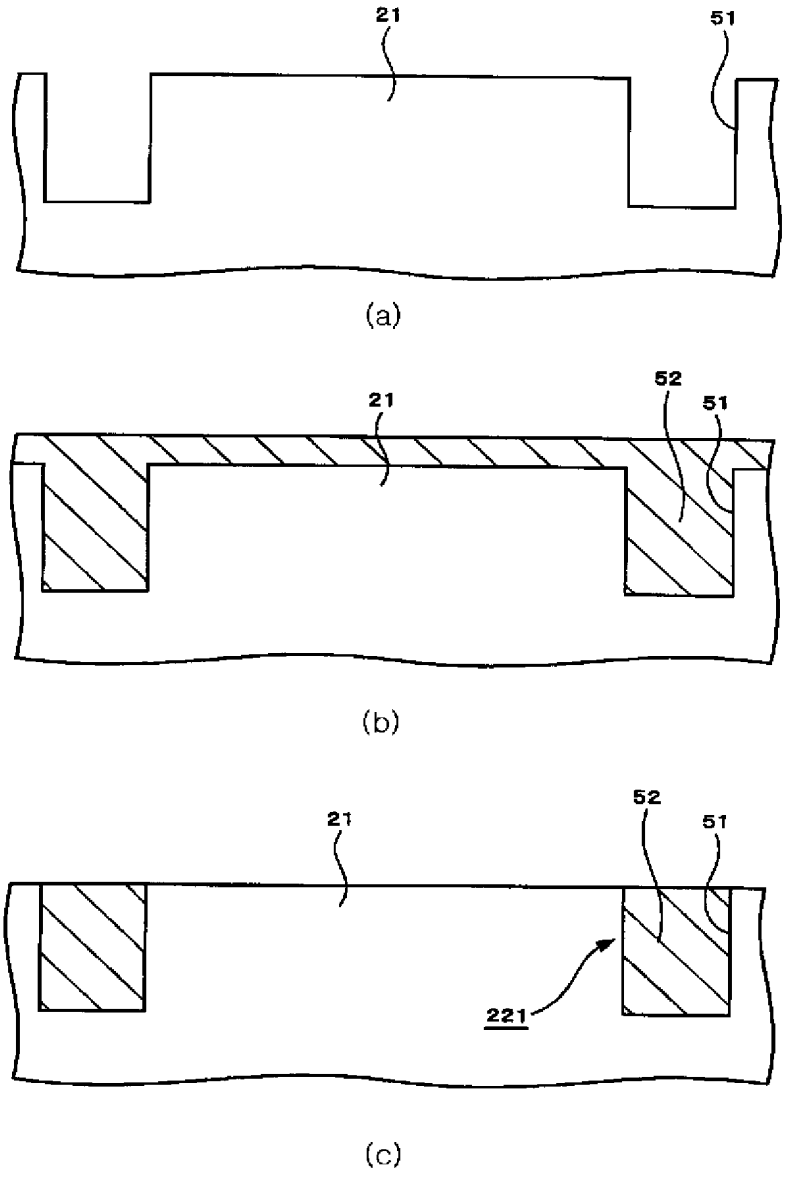
SAMSUNG EX. 1002 - 770/2862

도면7



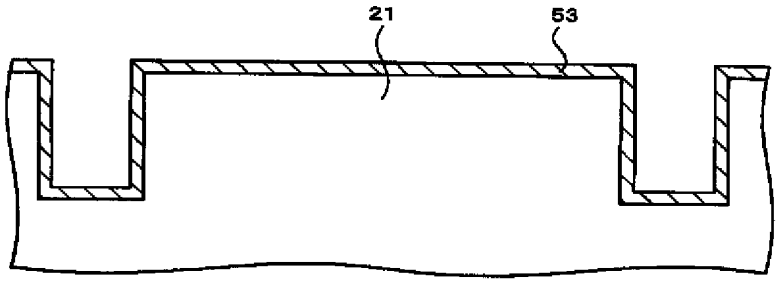
SAMSUNG EX. 1002 - 771/2862

도면8

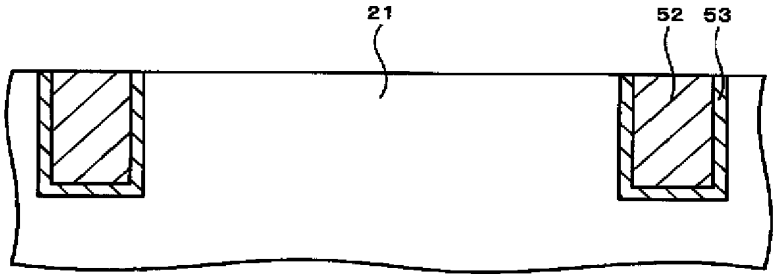


SAMSUNG EX. 1002 - 772/2862

도면9



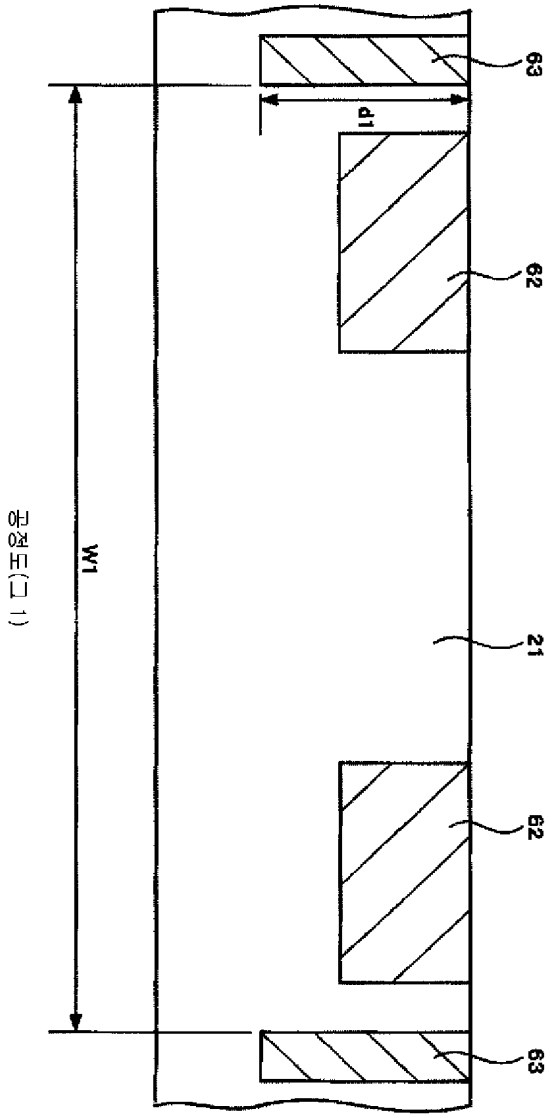
(a)



(b)

SAMSUNG EX. 1002 - 773/2862

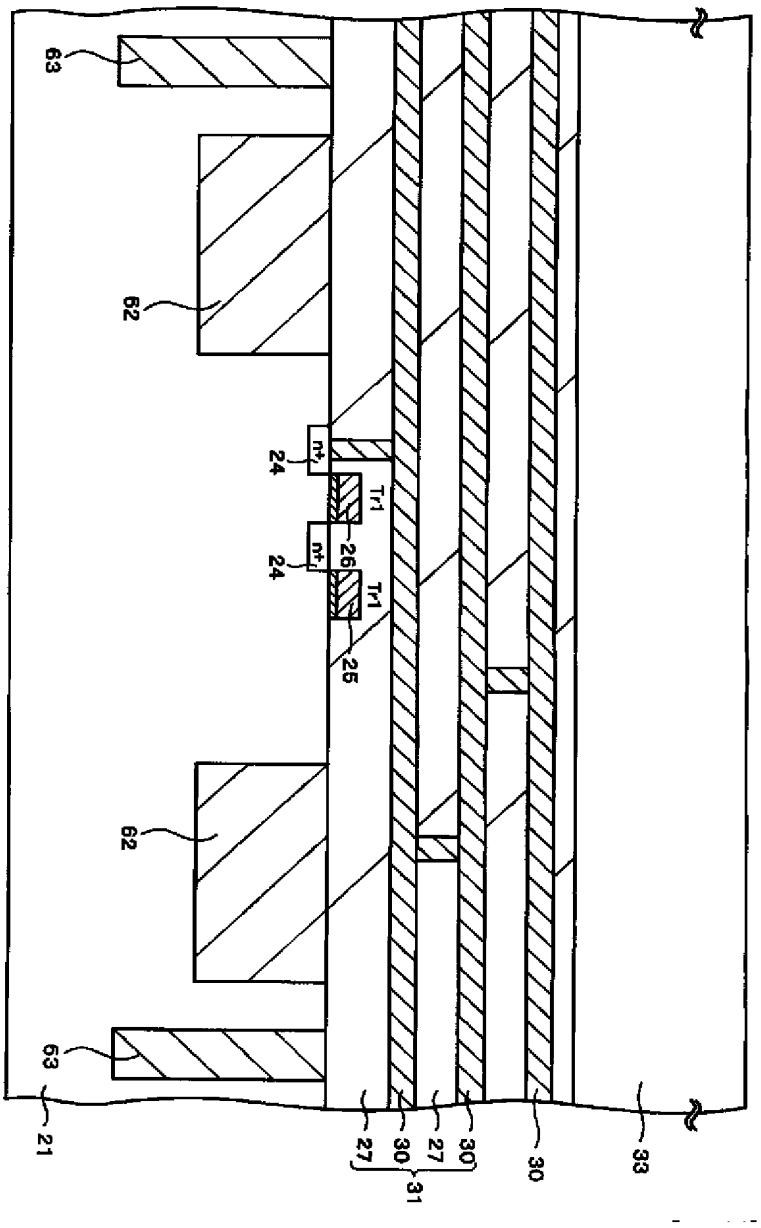
도면10



종래도(그 1)

SAMSUNG EX. 1002 - 774/2862

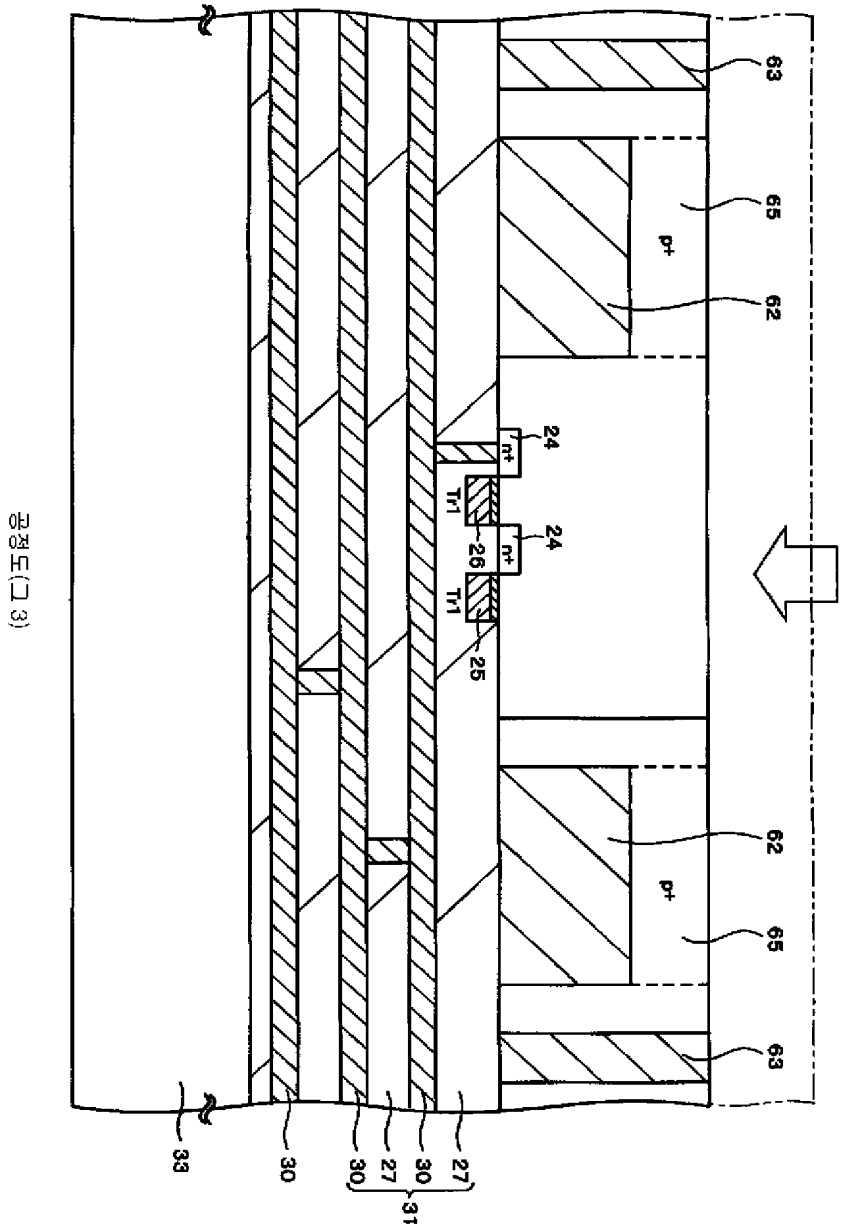
도면11



공정도(그 2)

SAMSUNG EX. 1002 - 775/2862

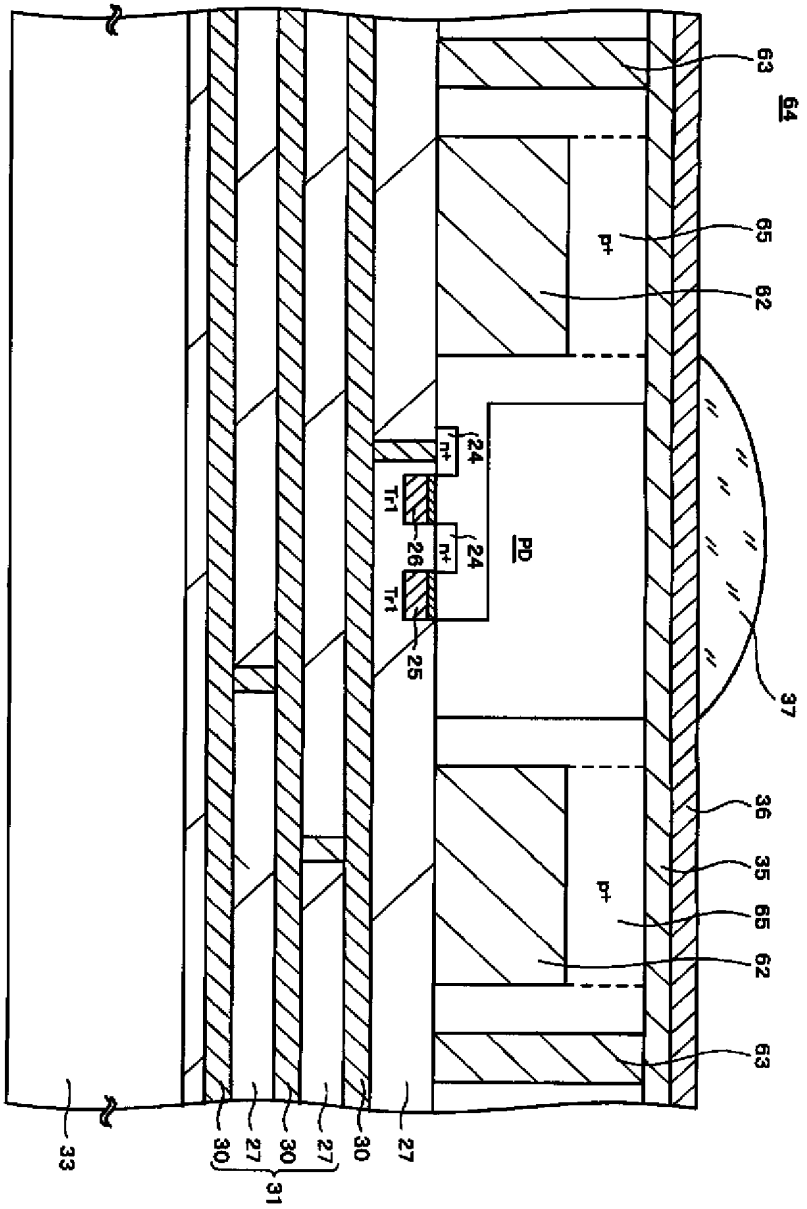
도면12



공정도(그 3)

SAMSUNG EX. 1002 - 776/2862

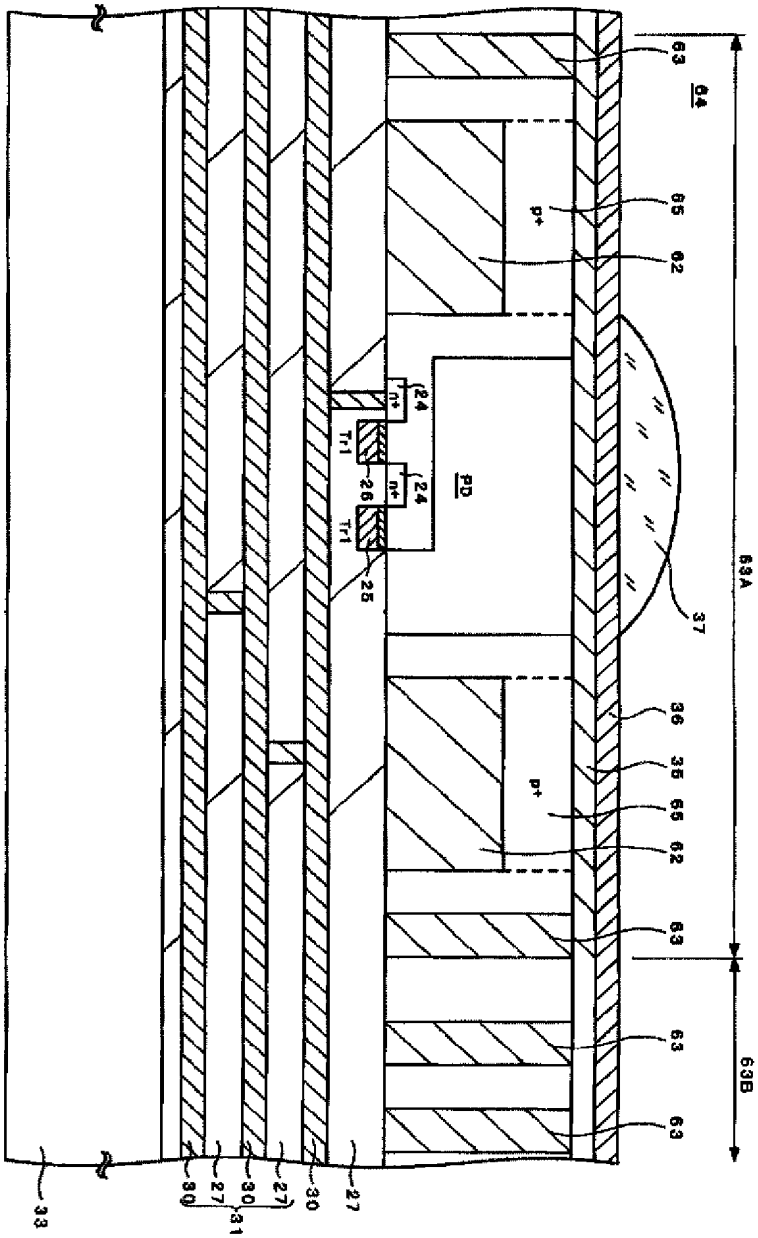
도면13



공정도(그 4)

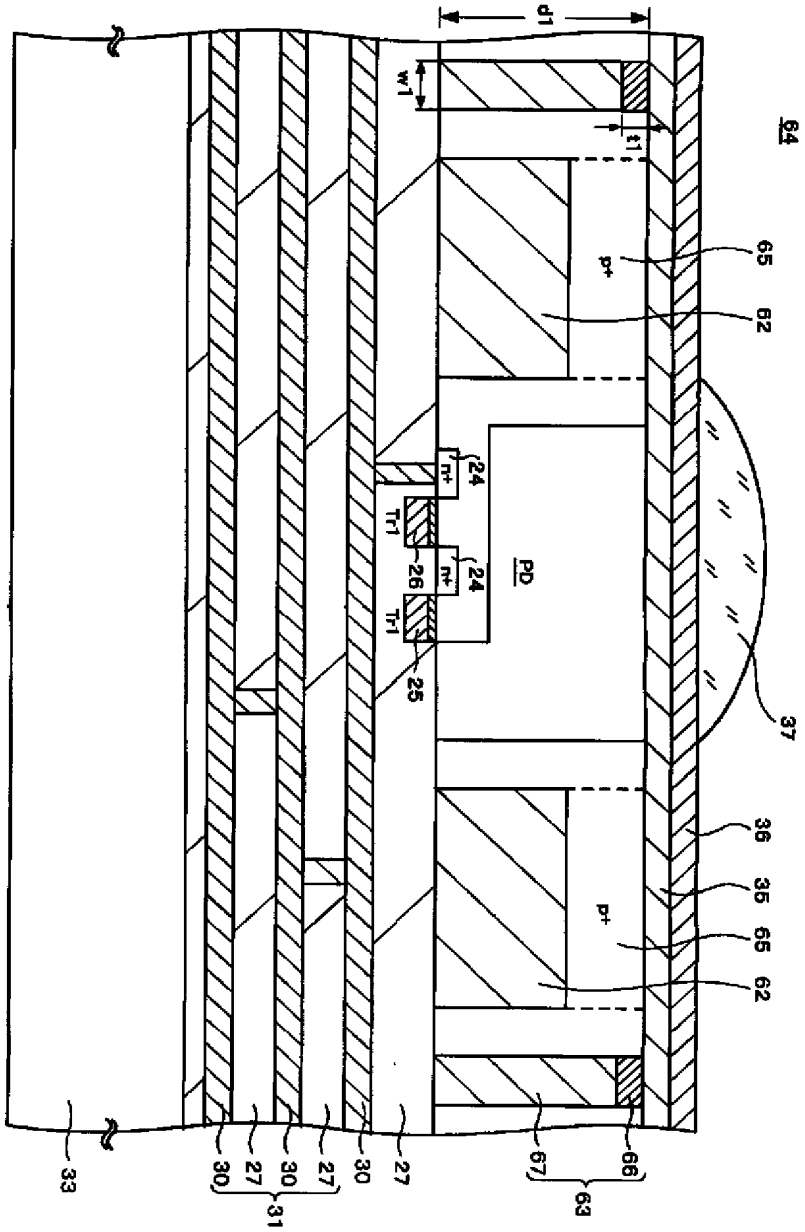
SAMSUNG EX. 1002 - 777/2862

도면14



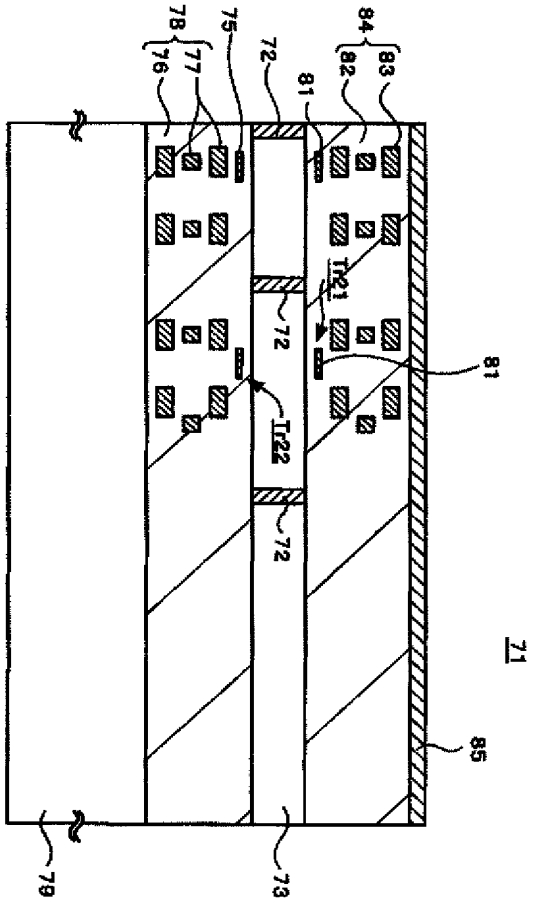
SAMSUNG EX. 1002 - 778/2862

도면15



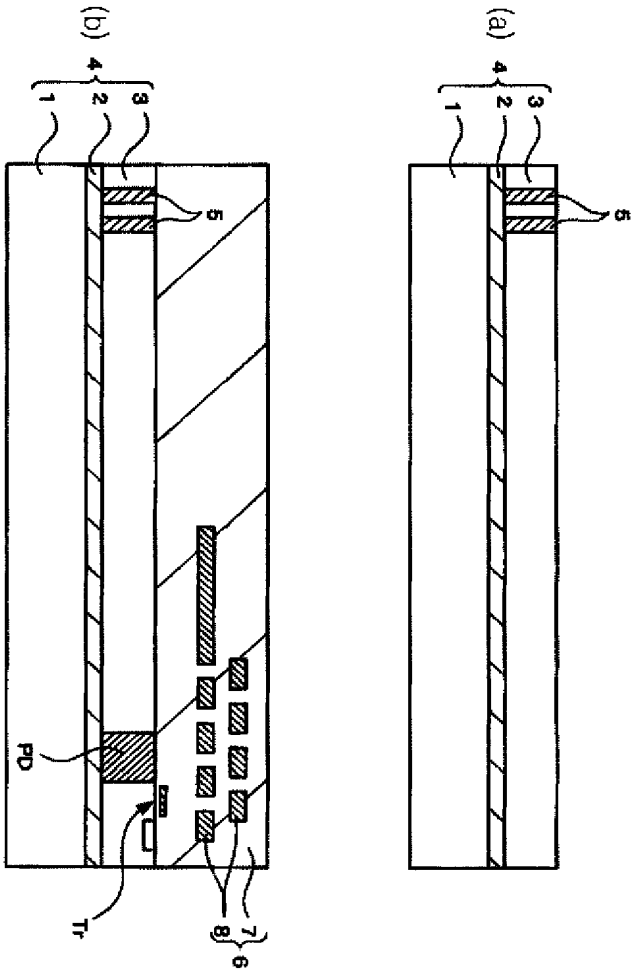
SAMSUNG EX. 1002 - 779/2862

도면16



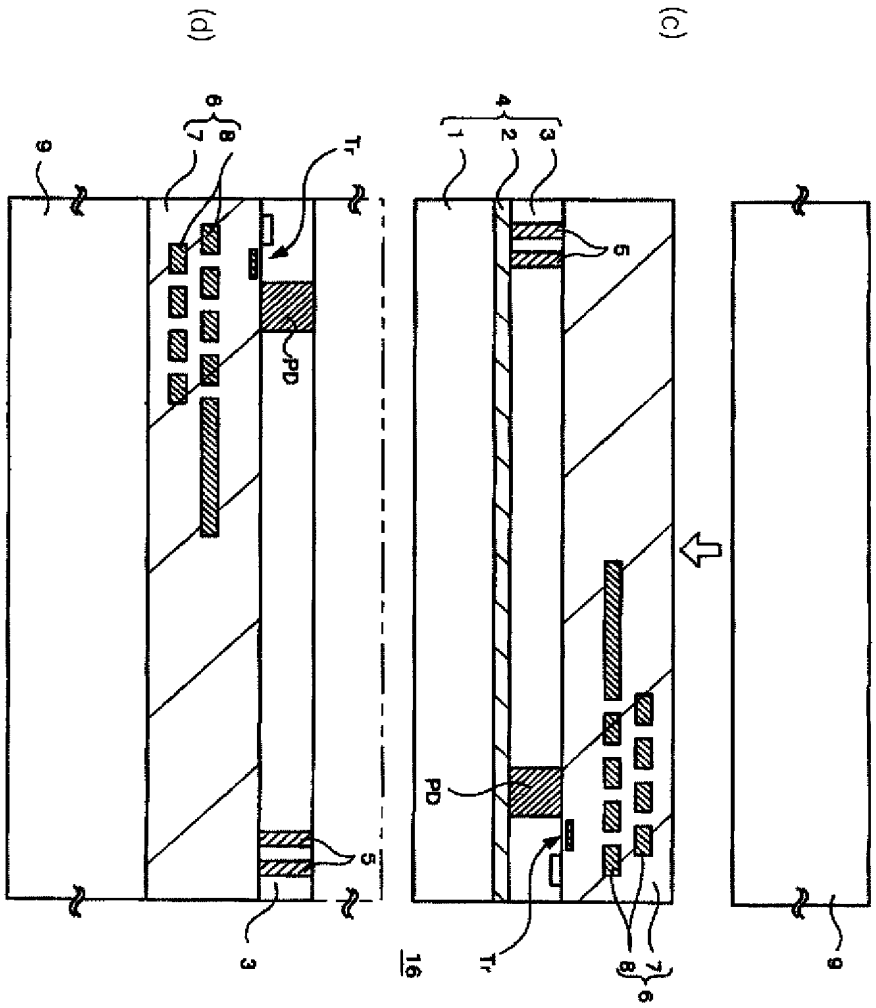
SAMSUNG EX. 1002 - 780/2862

도면17



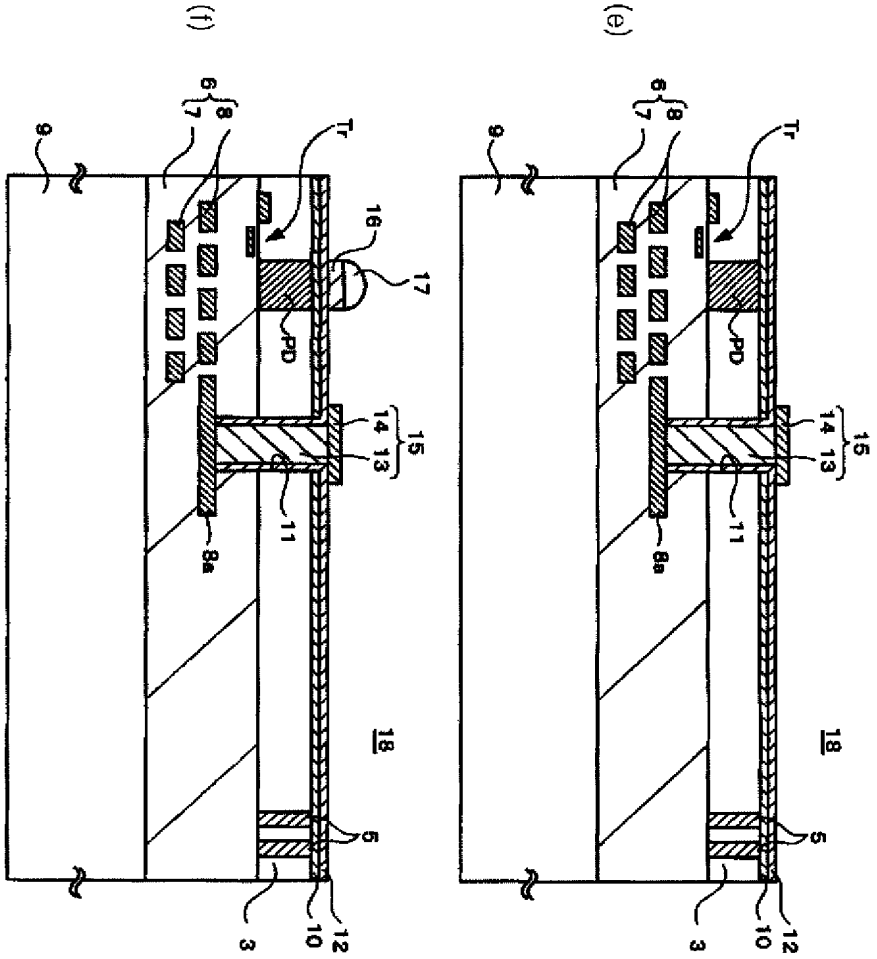
SAMSUNG EX. 1002 - 781/2862

도면18



SAMSUNG EX. 1002 - 782/2862

도면19



SAMSUNG EX. 1002 - 783/2862

No documents available for this priority number.

Espacenet

Bibliographic data: KR20100118864 (A) — 2010-11-08

A FABRICATING METHOD OF BURIED CONTACT SOLAR CELL

Inventor(s): SHIN SANG KYUN [KR]; KIM KI HYUNG [KR]; YANG JUNG YUP [KR] ± (SHIN, SANG KYUN, ; KIM, KI HYUNG, ; YANG, JUNG YUP)

Applicant(s): HYOSUNG CORP [KR] ± (HYOSUNG CORPORATION)

Classification: **- international:** ***H01L31/042***
- cooperative: Y02E10/52

Application number: KR20090037787 20090429

Priority number (s): KR20090037787 20090429

Also published as: KR101160112 (B1)

Abstract of KR20100118864 (A)

PURPOSE: A method for manufacturing a buried contact solar cell is provided to simplify solar cell manufacturing processes by forming a selective emitter layer through one doping process. CONSTITUTION: A mask layer(110) is formed on a semiconductor substrate(100). A part of the mask layer is eliminated. A groove(G) for forming an electrode is formed on a semiconductor substrate to correspond to the eliminated part of the mask layer. An emitter layer(120) is formed by doping dopants in the mask layer and the groove. An anti-reflection layer(130) is formed on the upper side of the emitter layer. A front electrode(142) is formed in the groove of the semiconductor substrate.

SAMSUNG EX. 1002 - 784/2862

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0118864
(43) 공개일자 2010년11월08일

(51) Int. Cl.
H01L 31/042 (2006.01)
(21) 출원번호 10-2009-0037787
(22) 출원일자 2009년04월29일
심사청구일자 2009년04월29일

(71) 출원인
주식회사 효성
서울특별시 마포구 공덕동 450번지
(72) 발명자
신상균
경기도 안양시 동안구 호계동 976 주공아파트 213동 105호
김기형
경기도 안양시 만안구 안양6동 435-9 세양청마루 210호
양정엽
서울특별시 송파구 풍납동 대아아파트 602호
(74) 대리인
특허법인우린

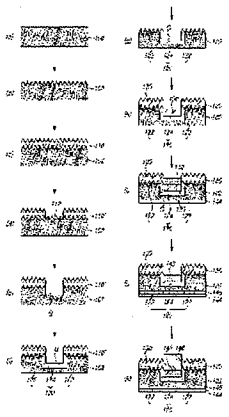
전체 청구항 수 : 총 11 항

(54) 함몰전극형 태양전지의 제조방법

(57) 요 약

본 발명은 함몰전극형 태양전지의 제조방법에 관한 것이다. 본 발명에서는 먼저 텍스처링된 실리콘 기판(102)의 상부 전체 면적에 형성된 마스크 층(110)의 일부분을 제거하여 패터닝된 마스크 층(110')을 형성한다. 그런 다음 텍스처링된 실리콘 기판(102) 상에 전면전극용 홈(G)을 형성하기 위해 식각공정을 수행한다. 이때 텍스처링된 실리콘 기판(102)의 일부(112)에 대해서만 식각이 이루어지고, 상기 패터닝된 마스크 층(110')과 접하는 부분에 대해서는 식각이 되지 않는다. 상기 식각공정에 따라 전면전극용 홈(G)이 형성된 다음에는 도핑공정을 수행한다. 이때 상기 도핑공정 시 상기 형성된 홈(G)의 주위는 고농도로 도핑되고, 상기 패터닝된 마스크 층(110')과 접하는 부분은 저농도로 도핑된다. 즉, 한 번의 도핑공정으로 선택적 에미터(selective emitter) 층(120)이 형성되는 것이다. 그리고 상기 패터닝된 마스크 층(110')을 제거하고, 상기 형성된 선택적 에미터 층(120) 상부에 반사방지막(130)을 형성한다. 그런 다음 상기 텍스처링된 실리콘 기판(102)의 전면에 형성된 홈(G)에는 전면전극(142)을 형성하고 후면 전체 면적에는 후면전극(144)을 형성한다. 이와 같은 본 발명에 의하면, 일반적인 식각공정에 의해 전면전극용 홈을 형성할 수 있고, 선택적 에미터 층을 한 번의 공정으로 형성할 수 있어 전체 공정을 간소화할 수 있는 이점이 있다.

대 표 도 - 도3



SAMSUNG EX. 1002 - 785/2862

특허청구의 범위

청구항 1

반도체 기판의 상부 전체 면적에 마스크 층을 형성하는 마스크 층 형성단계;

상기 형성된 마스크 층의 일부분을 제거하는 마스크 층 패터닝단계;

상기 제거된 마스크 층의 일부분과 대응하는 상기 반도체 기판에 전극형성용 홈(Groove)을 형성하는 홈 형성단계;

상기 마스크 층 및 홈에 불순물을 도핑하여 에미터 층을 형성하는 에미터 층 형성단계;

상기 에미터 층이 형성되면, 상기 마스크 층의 나머지 부분과 부산물을 동시에 제거하는 마스크 층 제거단계;

상기 형성된 에미터 층 상부에 반사방지막을 형성하는 반사방지막 형성단계;

상기 반도체 기판에 형성된 홈에는 전면전극을 형성하고 후면의 전체 면적에는 후면전극을 형성하는 전극 형성단계; 그리고

상기 형성된 전면전극 및 후면전극이 상기 반도체 기판에 전기적으로 연결되도록 열처리하는 열처리단계;를 포함하는 것을 특징으로 하는 함몰전극형 태양전지의 제조방법.

청구항 2

제 1항에 있어서,

상기 반도체 기판을 텍스처링(Texturing)하는 텍스처링 공정단계가 상기 마스크 층 형성단계 이전에 수행되는 것을 특징으로 하는 함몰전극형 태양전지의 제조방법.

청구항 3

제 1항 또는 제 2항에 있어서, 상기 마스크 층 형성단계는,

화학증착(Chemical Vapor Deposition: CVD), 증류(evaporation), 스퍼터링(sputtering), 스핀 코팅(Spin Coating), 잉크젯(Inkjet), 스크린 프린팅, 열 산화(thermal oxidation) 방법 중 어느 하나에 의해 실시되는 것을 특징으로 하는 함몰전극형 태양전지의 제조방법.

청구항 4

제 1항에 있어서, 상기 마스크 층 패터닝단계에서,

상기 마스크 층은, 광식각(Photo-lithography) 방법, 식각 페이스트(Etching Paste)를 이용한 잉크젯(Inkjet) 또는 스크린 프린팅 방법, 레이저를 이용한 패터닝(Laser ablation) 방법 중 어느 하나에 의해 패터닝되는 것을 특징으로 하는 함몰전극형 태양전지의 제조방법.

청구항 5

제 1항에 있어서, 상기 마스크 층 패터닝단계는,

상기 텍스처링된 반도체 기판의 상부에 상기 마스크 층을 미형성한 상태에서, 일정 모양으로 패터닝된 마스크 층을 상기 반도체 기판 상부에 직접 형성하고,

상기 패터닝된 마스크 층은 잉크젯(Inkjet) 방법 또는 스크린 프린팅 방법 중 어느 하나를 이용하여 형성됨을 특징으로 하는 함몰전극형 태양전지의 제조방법.

청구항 6

제 4항에 있어서,

상기 마스크 층은, 디퓨전 배리어(Diffusion Barrier)로 사용가능한 Oxide 계열 또는 Nitride 계열의 유전체 물질, 페이스트(Paste), 유기물 중 어느 하나의 물질로 형성되는 것을 특징으로 하는 함몰전극형 태양전지의 제조방법.

SAMSUNG EX. 1002 - 786/2862

청구항 7

제 1항에 있어서, 상기 홈 형성단계는,

반응성 이온 식각(Reactive Ion Etching: RIE), 플라즈마 식각(Plasma Etching), 습식식각(Wet Etching) 방법 중 어느 하나에 의해 상기 반도체 기판에만 선택적으로 식각공정이 실시되는 것을 특징으로 하는 함몰전극형 태양전지의 제조방법.

청구항 8

제 7항에 있어서,

상기 반응성 이온 식각(Reactive Ion Etching: RIE) 또는 플라즈마 식각(Plasma Etching) 방법이 실시되는 경우, F 계열 또는 Cl 계열의 반응 가스를 이용하는 것을 특징으로 하는 함몰전극형 태양전지의 제조방법.

청구항 9

제 8항에 있어서,

상기 습식식각 방법이 실시되는 경우에는 산(Acid) 계열의 화학물질 또는 알카라인(Alkaline) 계열의 화학물질을 이용하는 것을 특징으로 하는 함몰전극형 태양전지의 제조방법.

청구항 10

제 1항에 있어서, 상기 에미터 층 형성단계에서,

상기 일부분이 제거된 마스크 층은 디퓨전 배리어로 이용되어 상기 일부분이 제거된 마스크 층과 접하는 반도체 기판은 저농도로 도핑되고, 상기 반도체 기판에 형성된 홈 주위는 상대적으로 고농도로 도핑되는 것을 특징으로 하는 함몰전극형 태양전지의 제조방법.

청구항 11

제 1항 또는 제 10항에 있어서,

상기 에미터 층 형성단계는, 튜브 퍼니스(tube furnace)를 이용한 디퓨전(Diffusion) 방법 또는 벨트 퍼니스(belt furnace)를 이용한 디퓨전(Diffusion), 스프레이(Spray), SOD(Spin On Dopant), 플라즈마 도핑(Plasma Doping) 방법 중 어느 하나에 의해 실시되는 것을 특징으로 하는 함몰전극형 태양전지의 제조방법.

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 본 발명은 태양전지에 관한 것으로, 특히 반도체 기판 표면에 홈(Groove)을 내고 홈 안에 전극을 형성하는 함몰전극형 태양전지의 제조방법에 관한 것이다.

배 경 기 술

[0002] 최근 석유나 석탄과 같은 기존 에너지 자원의 고갈이 예측되면서 이들을 대체할 대체 에너지에 대한 관심이 높아지고 있다. 그 중에서도 태양전지는 에너지 자원이 풍부하고 환경오염에 대한 문제점이 없어 특히 주목받고 있다. 태양전지에는 태양열을 이용하여 터빈을 회전시키는데 필요한 증기를 발생시키는 태양열 전지와, 반도체의 성질을 이용하여 태양빛(photons)을 전기에너지로 변환시키는 태양광 전지가 있으며, 태양전지라고 하면 일반적으로 태양광 전지(이하 '태양전지'라 함)를 일컫는다.

[0003] 상기 태양전지는 반도체의 광 기전력 효과를 이용한 것으로서, p형 반도체와 n형 반도체를 조합하여 만든다. p형 반도체와 n형 반도체가 접한 부분(pn 접합부)에 빛이 들어오면, 빛 에너지에 의하여 반도체 내부에서 마이너스의 전하(전자)와 플러스의 전하(정공)가 발생한다. 상기 빛 에너지에 의해 발생된 전자와 정공은 내부의

SAMSUNG EX. 1002 - 787/2862

전계에 의하여 각각 n형 반도체측과 p형 반도체측으로 이동하여 양쪽의 전극부에 모아진다. 이러한 두 개의 전극을 도선으로 연결하면 전류가 흐르고 외부에서 전력으로 이용할 수 있게 된다.

[0004] 이러한 태양전지는 전극의 형태에 따라 스크린 프린팅형 태양전지(Screen Printing Solar Cell: 이하 'SPSC'라 약칭함)와 함몰전극형 태양전지(Buried Contact Solar Cell: 이하 'BCSC'라 약칭함)로 구분할 수 있다.

[0005] 상기 'SPSC'는 일반적으로 제조하기가 용이하지만 에너지 변환 효율이 낮은 편이다. 이는 금속 전극에서의 반사, 후면 전류 흐름에서 기인된 저항 및 일반적으로 깊게 도핑되어 있는 에미터 영역에서의 캐리어들의 높은 재결합률 때문이다. 또한 상기와 같은 이유로 'SPSC'에서는 단락회로전류밀도와 블루우 리스폰스(blue response) 특성이 불량하다.

[0006] 반면, 상기 'BCSC'는 상기 'SPSC'에 비해 제조 원가가 비싸고 공정이 복잡한 단점이 있으나, 변환 효율을 획기적으로 향상시킬 수 있는 장점으로 인해 최근에는 'BCSC'에 대한 많은 연구가 이루어지고 있다.

[0007] 도 1에는 일반적인 'BCSC'의 제조공정도가 도시되어 있다. 설명의 편의상 'BCSC'의 제조 재료인 반도체 기판으로서, 결정질 실리콘(Si) 기판을 예로 들어 설명한다.

[0008] 도 1을 설명하면, 먼저 실리콘 기판을 필요한 크기로 자른 뒤 절단시 발생한 실리콘 기판의 표면 결함이나 손상 부분을 제거하는 절단 및 에칭(Saw damage etching) 공정이 수행된다(S10).

[0009] 상기 에칭공정을 마친 실리콘 기판에 대해 반응성 이온 식각(Reactive Ion Etching:RIE) 방법 또는 습식 식각(Wet Etching) 방법을 이용하여 텍스처링(Texturing) 공정을 수행한다(S12). 상기 텍스처링 공정이 수행되면 상기 실리콘 기판의 전면은 입사되는 빛의 반사를 감소시키는 구조로 형성된다.

[0010] 상기 텍스처링 공정된 실리콘 기판과 다른 타입의 불순물(도펀트)을 도핑하여 저농도 에미터층을 형성하는 제1도핑공정이 수행된다(S14). 여기서, 만약 상기 에미터층이 고농도로 도핑되어 형성되는 경우, 표면에 존재하는 고농도의 도펀트들이 실리콘 기판 내에 과잉으로 존재함으로써 응집물이 형성되고, 이로 인해 전하의 수명이 감소되어 태양전지의 작동효율이 저하될 수 있다. 그렇기 때문에 저농도의 에미터층을 형성하는 것이다.

[0011] 상기 저농도 에미터층이 형성된 다음에는 상기 저농도 에미터층 형성시 발생하는 부산물을 제거하는 제1부산물 제거공정이 수행된다(S16). 상기 부산물은, p형 기판에 n형 도펀트를 확산시키는 경우 생성되는 PSG(Phosphor-Silicate Glass) 또는 n형 기판에 p형 도펀트를 확산시키는 경우 생성되는 BSG(Boro-Silicate Glass)를 말한다. 상기 PSG 또는 BSG는 전지의 전류를 차폐시키는 역할을 하기 때문에 전지효율을 높이기 위해서 식각용액 등을 이용하여 반드시 제거해 주어야 한다.

[0012] 상기 부산물이 제거되면, 상기 에미터층 상부에 태양광 반사를 막기 위한 반사방지막을 형성시키는 공정이 수행된다(S18). 상기 반사방지막은 실리콘 기판의 표면 보호막(Passivation) 역할도 한다.

[0013] 상기 반사방지막이 형성된 다음에는 실리콘 기판의 전면 내부까지 홈(Groove)를 형성시키는 공정이 수행된다(S20). 상기 홈은, 함몰전극(Buried Contact)이 형성될 공간으로, 레이저(Laser) 또는 절단톱(Dicing Saw)을 이용하여 형성된다.

[0014] 상기 홈이 형성되면 상기 함몰전극과의 접촉저항을 줄이기 위해 홈 표면에 실리콘 기판과 다른 타입의 불순물을 도핑하여 고농도 에미터층을 형성하는 제2도핑공정을 수행한다(S22). 이와 같이, 상기 제1도핑공정과 제2도핑공정을 통해 서로 다른 농도를 가지는 에미터층을 형성하는 것을 선택적 에미터(selective emitter)로 칭하고 있다.

[0015] 상기 고농도 에미터층이 형성된 다음에는 상기 고농도 에미터층 형성시 발생하는 부산물을 제거하는 제2부산물 제거공정이 수행된다(S24). 상기 부산물은 상술하였듯이, PSG 또는 BSG를 말한다.

[0016] 이어서, 상기 실리콘 기판의 전면에 형성된 홈 내부 및 후면의 모든 부분에 금속 페이스트를 사용하여 전극을 형성하는 공정이 수행된다(S26). 상기 금속 페이스트는 은(Ag), 알루미늄(Al) 등이 이용될 수 있다. 이때에는 스크린 프린팅 기법 등이 적용된다. 상기 전면에 형성된 전극은 태양광 흡수로 생성된 전자를 수집하는 역할을 하고, 후면에 형성된 전극은 실리콘 기판 후면에서의 광 반사를 높이고 전자의 재결합을 방지하는 역할을 한다.

[0017] 상기 전·후면에 형성된 전극이 실리콘 기판에 전기적으로 연결되도록 열처리 공정을 수행한다(S28). 이때, 상기 실리콘 기판의 후면에는 상기 금속 페이스트가 상기 열처리 공정에 의해 소정의 두께만큼 확산되어 후면 전계층(Back Surface Field: BSF)을 형성한다. 상기 'BSF'는 전계를 형성하여 광여기된 전자가 실리콘 기판의 후

SAMSUNG EX. 1002 - 788/2862

면으로 이동하는 것을 방지하는 역할을 한다.

[0018] 한편, 상기 형성된 전면 전극은 그 자체로 전면 전극 기능을 수행할 수도 있지만, 시드층(seed layer)으로도 사용될 수 있다. 이 경우 상기 형성된 전면 전극 상에 도금층을 형성하는 공정이 추가로 실시될 수 있다(S30). 이는 상기 전면 전극의 저항을 감소시키고 완성된 'BCSC' 기판의 종횡비를 높일 수 있다.

[0019] 그러나, 종래의 'BCSC'의 제조방법에는 다음과 같은 문제점이 있다.

[0020] 먼저, 레이저(Laser) 또는 절단톱(Dicing Saw)을 이용하여 홈을 형성하는 경우에는 실리콘 기판에 물리적인 손상을 유발시킬 수 있다. 특히 레이저(Laser)를 이용하여 홈을 형성하는 경우에는 높은 온도로 인해 기판 표면과 내부에 재결정 현상이 발생한다. 이는 빛을 흡수하여 생성된 전자를 재결합시키는 요인이 되어 표면 재결합 속도를 증가시키고 전자의 라이프 타임(life time)을 감소시키는 문제점이 있다.

[0021] 다음으로, 상기 선택적 에미터층을 형성하기 위해서는 제1 및 제2도핑공정을 반드시 수행하여야 한다. 이는 선택적 에미터층을 형성 시 공정이 복잡하고, 이에 따라 공정 비용이 증가하는 문제점이 있다.

[0022] 또한, 통상적으로, 도핑공정은 불순물을 실리콘 기판에 디퓨전시키기 위해 열처리공정을 수행하게 되는데, 이러한 고온의 열처리공정은 실리콘 기판의 품질을 저하시키는 원인으로 작용한다. 그런데, 상기 'BCSC'는, 상술한 바와 같이 제1 및 제2도핑공정을 수행하고 있어 실리콘 기판의 품질을 더욱 저하시키는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

[0023] 따라서 본 발명의 목적은 상기한 문제점을 해결하기 위한 것으로서, 캐리어의 라이프 타임(life time)이 감소되는 것을 방지하면서도 선택적 에미터의 형성공정을 간소화하기 위한 함몰전극형 태양전지의 제조방법을 제공하는 것이다.

과제 해결수단

[0024] 상기한 바와 같은 목적을 달성하기 위한 본 발명의 특징에 따르면, 본 발명은 반도체 기판의 상부 전체 면적에 마스크 층을 형성하는 마스크 층 형성단계; 상기 형성된 마스크 층의 일부분을 제거하는 마스크 층 패터닝단계; 상기 제거된 마스크 층의 일부분과 대응하는 상기 반도체 기판에 전극형성용 홈(Groove)을 형성하는 홈 형성단계; 상기 마스크 층 및 홈에 불순물을 도핑하여 에미터 층을 형성하는 에미터 층 형성단계; 상기 에미터 층이 형성되면, 상기 마스크 층의 나머지 부분과 부산물을 동시에 제거하는 마스크 층 제거단계; 상기 형성된 에미터 층 상부에 반사방지막을 형성하는 반사방지막 형성단계; 상기 반도체 기판에 형성된 홈에는 전면전극을 형성하고 후면의 전체 면적에는 후면전극을 형성하는 전극 형성단계; 그리고 상기 형성된 전면전극 및 후면전극이 상기 반도체 기판에 전기적으로 연결되도록 열처리하는 열처리단계;를 포함한다.

[0025] 상기 반도체 기판을 텍스처링(Texturing)하는 텍스처링 공정단계가 상기 마스크 층 형성단계 이전에 수행된다.

[0026] 상기 마스크 층 형성단계는, 화학증착(Chemical Vapor Deposition: CVD), 증류(evaporation), 스퍼터링(sputtering), 스핀 코팅(Spin Coating), 잉크젯(Inkjet), 스크린 프린팅, 열 산화(thermal oxidation) 방법 중 어느 하나에 의해 실시된다.

[0027] 상기 마스크 층 패터닝단계에서, 상기 마스크 층은, 광식각(Photo-lithography) 방법, 식각 페이스트(Etching Paste)를 이용한 잉크젯(Inkjet) 또는 스크린 프린팅 방법, 레이저를 이용한 패터닝(Laser ablation) 방법 중 어느 하나에 의해 패터닝된다. 또는 상기 텍스처링된 반도체 기판의 상부에 상기 마스크 층이 미형성된 상태에서, 일정 모양으로 패터닝된 마스크 층을 상기 반도체 기판 상부에 직접 형성할 수도 있다. 여기서, 상기 패터닝된 마스크 층은 잉크젯(Inkjet) 방법 또는 스크린 프린팅 방법 중 어느 하나를 이용하여 형성된다.

[0028] 상기 마스크 층은, 디퓨전 배리어(Diffusion Barrier)로 사용가능한 Oxide 계열 또는 Nitride 계열의 유전체 물질, 페이스트(Paste), 유기물 중 어느 하나의 물질로 형성된다.

[0029] 상기 홈 형성단계는, 반응성 이온 식각(Reactive Ion Etching: RIE), 플라즈마 식각(Plasma Etching), 습식식각(Wet Etching) 방법 중 어느 하나에 의해 상기 반도체 기판에만 선택적으로 식각공정이 실시된다.

[0030] 상기 반응성 이온 식각(Reactive Ion Etching: RIE) 또는 플라즈마 식각(Plasma Etching) 방법이 실시되는 경우, F 계열 또는 Cl 계열의 반응 가스를 이용한다.

SAMSUNG EX. 1002 - 789/2862

[0031] 상기 습식식각 방법이 실시되는 경우에는 산(Acid) 계열의 화학물질 또는 알카라인(Alkaline) 계열의 화학물질을 이용한다.

[0032] 상기 에미터 층 형성단계에서, 상기 일부분이 제거된 마스크 층은 디퓨전 배리어로 이용되어 상기 일부분이 제거된 마스크 층과 접하는 반도체 기판은 저농도로 도핑되고, 상기 반도체 기판에 형성된 홈 주위는 상대적으로 고농도로 도핑된다.

[0033] 상기 에미터 층 형성단계는, 튜브 퍼니스(tube furnace)를 이용한 디퓨전(Diffusion) 방법 또는 벨트 퍼니스(belt furnace)를 이용한 디퓨전(Diffusion), 스프레이(Spray), SOD(Spin On Dopant), 플라즈마 도핑(Plasma Doping) 방법 중 어느 하나에 의해 실시된다.

효 과

[0034] 이와 같은 구성을 갖는 본 발명의 함몰전극형 태양전지의 제조방법에 따르면, 실리콘 기판의 전면에는, 마스크 층(Mask Layer)을 형성하고 패터닝한 다음 상기 패터닝된 마스크 층에 일반적인 식각공정을 이용하여 홈(Groove)을 형성함으로써, 레이저(Laser)를 이용하여 홈을 형성했을 때 발생하는 캐리어의 라이프 타임(life time) 감소 현상을 방지하는 효과가 있다.

[0035] 또 상기 패터닝된 마스크 층을 디퓨전 배리어(Diffusion Barrier)로 이용하여 한 번의 도핑공정을 통해 선택적 에미터(selective emitter) 층을 형성하는바, 태양전지 제조공정을 간소화할 수 있다. 그래서 공정 비용을 절감시키고, 결국 생산단가를 낮추는 효과를 기대할 수 있다.

발명의 실시를 위한 구체적인 내용

[0036] 이하, 본 발명에 의한 함몰전극형 태양전지의 제조방법을 첨부된 도면에 도시된 바람직한 실시 예를 참고하여 상세하게 설명한다. 본 발명의 실시 예에서는 태양전지의 제조 재료로 반도체 기판으로서, 결정질 실리콘(Si) 기판을 예로 설명하기로 한다.

[0037] 도 2에는 본 발명의 바람직한 실시 예에 따른 함몰전극형 태양전지의 제조공정도가 도시되어 있고, 도 3에는 도 2의 함몰전극형 태양전지의 제조방법의 공정도가 단면도로 도시되어 있다.

[0038] 도 2를 설명하면, 먼저 실리콘 기판을 필요한 크기로 자르고 표면의 결함 및 손상을 제거하는 절단 및 에칭(Saw damage etching) 공정이 수행된다(S100).

[0039] 상기 에칭된 실리콘 기판에 대해 반응성 이온 식각(Reactive Ion Etching:RIE) 방법 또는 습식 식각(Wet Etching) 방법을 이용하여 텍스처링(Texturing) 공정을 수행한다(S102). 상기 텍스처링 공정이 수행되면 상기 실리콘 기판은 표면에 입사되는 빛의 반사를 감소시키는 구조로 형성된다.

[0040] 상기 텍스처링 공정된 실리콘 기판의 전면 상부에 마스크 층(Mask Layer)을 형성시키는 공정이 수행된다(S104). 상기 마스크 층은, 상기 실리콘 기판과의 식각 선택비(Etching Selectivity)가 높으면서도 아래에서 설명하는 도핑공정에서 디퓨전 배리어(Diffusion Barrier)로 사용가능하게 형성되어야 한다. 그렇기 때문에, 상기 마스크 층은, SiO_2, SiN_x, TiO_2, Al_2O_3 등의 Oxide 계열 또는 Nitride 계열의 유전체 물질뿐만 아니라, 디퓨전 배리어(Diffusion Barrier)로 사용가능한 페이스트(Paste)와, 유기물 등이 사용되는 것이 좋다. 상기 식각 선택비는 식각 작업시 두 물질이 식각되는 식각율의 비를 말한다. 한편, 상기 마스크 층은 화학증착(Chemical Vapor Deposition: CVD), 증류(evaporation), 스퍼터링(sputtering), 스핀 코팅(spin coating), 잉크젯(Inkjet), 스크린 프린팅, 열 산화(thermal oxidation) 등의 방법에 의해 형성된다.

[0041] 상기 마스크 층이 형성되면, 상기 실리콘 기판의 전면 중 홈(Groove)이 형성될 부분에 해당하는 마스크 층의 일부분을 제거하는 패터닝(Patterning)공정이 수행된다(S106). 상기 패터닝공정은, 광식각(Photo-lithography) 방법, 식각 페이스트(Etching Paste)를 이용한 잉크젯(Inkjet) 또는 스크린 프린팅 방법, 레이저를 이용한 패터닝(Laser ablation) 방법 등에 의해 식각된다.

[0042] 여기서, 상기 패터닝된 마스크 층을 형성하는 공정에 있어, 상술한 바와 같이 상기 실리콘 기판 전면의 모든 영역에 마스크 층을 형성한 상태에서 패터닝공정을 수행할 수도 있지만, 잉크젯(Inkjet) 또는 스크린 프린팅 방법을 이용하여 별도의 패터닝공정 없이 한 번에 패터닝된 마스크 층을 형성시킬 수도 있다.

SAMSUNG EX. 1002 - 790/2862

[0043] 상기 패터닝된 마스크 층을 이용하여 실리콘 기판에 홈을 형성하기 위한 선택적 식각공정이 수행된다(S108). 상기 선택적 식각공정은 상기 패터닝된 마스크 층에 의해 상기 실리콘 기판의 전면 중 홈이 형성되는 부분만을 식각하도록 수행된다. 이때에는 반응성 이온 식각(Reactive Ion Etching: RIE), 플라즈마 식각(Plasma Etching) 및 습식식각(Acid Wet Etching, Alkaline Wet Etching) 등의 방법이 이용되어 선택적 식각공정이 수행된다. 이 중에서, 상기 반응성 이온 식각과 플라즈마 식각 방법을 이용하는 경우, 식각 가스(Gas)는 F 계열 또는 Cl 계열 등의 반응 가스를 이용한다. 그러나, 상기 식각 가스는 이에 한정되는 것은 아니고, 상기 마스크 층과 실리콘 기판 간의 식각 선택비가 높은 가스이면 이용가능하다. 또 상기 습식식각 방법을 이용하는 경우에는 산(Acid) 계열의 화학물질 또는 알카라인(Alkaline) 계열의 화학물질을 이용한다. 상기 산 계열의 화학물질은 HCL, HF, NHO_3, CH_3COOH 또는 상기 산 계열의 화학물질의 혼합물이 이용된다. 그리고, 상기 알카라인 계열의 화학물질은 KOH, $NaOH$, IPA 또는 상기 알카라인 계열의 화학물질의 혼합물이 이용된다. 그러나, 상기 산 계열의 화학물질과 알카라인 계열의 화학물질은 이에 한정되는 것은 아니고, 상기 마스크 층과 실리콘 기판 간의 식각 선택비가 좋은 화학물질이면 이용가능하다.

[0044] 상기 선택적 식각공정에 의해 실리콘 기판에 홈이 형성되면, 상기 실리콘 기판과 다른 타입의 불순물(도펀트)을 도핑하여 선택적 에미터(selective emitter) 층을 형성하는 도핑공정이 수행된다(S110). 즉, 상기 도핑공정이 수행되면, 상기 마스크 층이 제거된 영역, 즉 홈 주위는 상기 도펀트가 직접 실리콘 기판으로 확산되어 고농도로 도핑되고, 반면 상기 마스크 층이 존재하는 영역은 상기 도펀트가 상기 마스크 층에 확산된 다음 실리콘 기판으로 확산되어야 하기 때문에, 확산속도가 느려져 상대적으로 저농도로 도핑되게 되는 것이다. 즉, 상기 패터닝된 마스크 층은 디퓨전 배리어(Diffusion Barrier)로서의 역할을 수행하게 되는 것이다. 이때, 상기 고농도 도핑은 90 ohm/squar 이상의 면 저항을 가지도록 도핑되고, 상기 저농도 도핑은 40 ohm/squar 이하의 면 저항을 가지도록 도핑되게 하는 것이 좋다. 또 상기 선택적 에미터 층은, 튜브 퍼니스(tube furnace)를 이용한 디퓨전(Diffusion), 벨트 퍼니스(belt furnace)를 이용한 디퓨전, 스프레이(Spray), SOD(Spin On Dopant), 플라즈마 도핑(Plasma Doping) 등의 방법에 의해 형성된다. 이와 같이, 한 번의 도핑공정으로 선택적 에미터 층을 형성할 수 있기 때문에 함몰전극형 태양전지를 제조 시 전체공정을 간소화할 수 있고, 이에 따라 공정 비용을 절감할 수 있다.

[0045] 상기 선택적 에미터 층이 정상적으로 형성되면, 상기 마스크 층과, 상기 선택적 에미터 층 형성시 발생하는 부산물을 제거하는 공정이 수행된다(S112). 상기 마스크 층과 부산물은 같은 계열(Oxide)의 유전체 물질이므로, 동일한 식각용액을 이용하여 제거될 수 있다. 상기 부산물은, p형 기판에 n형 도펀트를 확산시키는 경우 생성되는 PSG(Phosphor-Silicate Glass) 또는 n형 기판에 p형 도펀트를 확산시키는 경우 생성되는 BSG(Boro-Silicate Glass) 등을 말한다. 상기 PSG 또는 BSG는 전지의 전류를 차폐시키는 역할을 하기 때문에 전지효율을 높이기 위해서 반드시 제거해 주어야 한다.

[0046] 상기 마스크 층 및 부산물이 제거된 다음에는 상기 선택적 에미터층 상부에 태양광 반사를 막기 위한 반사방지막을 형성시키는 공정이 수행된다(S114). 상기 반사방지막은 SiO_2, SiN_x, Al_2O_3, SiO_xN_y 등과 같이 1.1 ~ 2.5 사이의 굴절율을 가지는 유전체 물질로 형성하고, 이는 화학증착(CVD), 스퍼터링(sputtering), 열 산화(thermal oxidation), 스프레이 등의 방법에 의해 형성된다. 이러한 반사방지막은 실리콘 기판의 표면 보호막(Passivation) 역할도 한다.

[0047] 이어서, 상기 실리콘 기판의 전면에 형성된 홈 내부 및 후면의 모든 부분에 금속 페이스트를 사용하여 전극을 형성하는 공정이 수행된다(S116). 상기 금속 페이스트는 니켈(Ni), 은(Ag), 크로뮴(Cr), 알루미늄(Al) 등이 이용될 수 있다. 이때에는 스크린 프린팅, 스텐실(Stencil), 잉크젯(Inkjet), 에어로졸 젯(Aerosol Jet), 스퍼터링(Sputturing), 증착법(evaporation) 등의 방법이 적용될 수 있다. 상기 전면의 홈에 형성된 전극(이하 "전면전극"이라 함.)은 태양광 흡수로 생성된 전자를 수집하는 역할을 하고, 후면에 형성된 전극(이하 "후면전극"이라 함.)은 실리콘 기판 후면에서의 광 반사를 높이고 전자의 재결합을 방지하는 역할을 한다.

[0048] 그리고 상기 전면전극 및 후면전극이 실리콘 기판에 전기적으로 연결되도록 700도 이상의 고온에서 열처리 공정이 수행된다(S118). 그러면, 전면전극 내의 금속원자가 반사방지막으로 침투하여 결국 상기 반사방지막이 전면전극화 되게 된다. 따라서, 전면전극은 실리콘 기판에 접합하게 되어 저항 전극(Ohmic Contact) 형태로 형성되는 것이다. 그리고 상기 후면전극은 상기 후면전극의 금속 페이스트가 소정의 두께만큼 상기 실리콘 기판에

SAMSUNG EX. 1002 - 791/2862

확산되어 후면 전계층(Back Surface Field: BSF)을 형성한다. 상기 후면 전계층은 전계를 형성하여 광여기된 전자가 실리콘 기판의 후면으로 이동하는 것을 방지하는 역할을 한다.

[0049] 한편, 상기 저항 전극(Ohmic Contact)을 형성한 전면전극은 그 자체로 전면 전극의 기능을 수행할 수도 있지만, 시드층(seed layer)으로도 사용될 수 있다. 이 경우 상기 전면전극의 저항을 낮추고 종횡비를 높이기 위하여 상기 형성된 전면전극 상에 도금 층을 형성하는 도금공정이 추가적으로 수행될 수 있다(S120). 이때 상기 도금 층은 복수 개로 형성할 수도 있다. 상기 도금 층은, 구리(Cu), 주석(Sn), 크로뮴(Cr), 은(Ag), 니켈(Ni) 등의 도금 물질 또는 상기 도금 물질의 혼합물이 사용될 수 있다.

[0050] 다음, 도 3을 참조하여 도 2에서 설명한 공정을 다시 살펴보기로 한다.

[0051] 먼저, 도 3(a)는 절단 및 에칭(Saw damage etching) 공정이 수행된 실리콘 기판(100)이다. 상기 실리콘 기판(100)에 대해 습식 식각(Wet Etching) 방법을 이용하여 텍스처링(Texturing) 하면, 도 3(b)와 같이 상기 실리콘 기판(100)의 전면은 표면적이 증가된 구조로 형성된다.

[0052] 상기 텍스처링된 실리콘 기판(102)의 전면 상부에는 디퓨전 배리어로 사용가능한 마스크 층(110)을 형성한다. 이는 도 3(c)에 도시되어 있다.

[0053] 상기 마스크 층(110)이 형성되면, 도 3(d)에 도시된 바와 같이 상기 텍스처링된 실리콘 기판(102)의 전면 중 홈(Groove)이 형성될 부분에 해당하는 마스크 층(110)의 일부를 제거하여 패터닝(Patterning)된 마스크 층(110')을 형성한다.

[0054] 그런 다음 상기 텍스처링된 실리콘 기판(102)에 홈(G)을 형성하기 위해 도 3(e)처럼 선택적으로 식각공정을 수행한다. 즉, 상기 텍스처링된 실리콘 기판(102)만이 식각될 수 있도록 상기 패터닝된 마스크 층(110')과 텍스처링된 실리콘 기판(102) 간의 식각 선택비가 높은 식각용액을 이용하여 식각공정을 수행하는 것이다. 그러면, 상기 텍스처링된 실리콘 기판(102)에서 상기 패터닝된 마스크 층(110')과 접하는 부분은 식각되지 않고, 상기 패터닝된 마스크 층(110')과 접하지 않는 부분(112)에 대해서만 선택적으로 식각이 이루어지게 된다.

[0055] 이러한 상태에서, 상기 텍스처링된 실리콘 기판(102)과 다른 타입의 불순물(도펀트)을 도핑하게 되면, 선택적 에미터(selective emitter) 층(120)이 형성된다. 상기 선택적 에미터 층(120)은, 도 3(f)에 도시된 바와 같이, 상기 텍스처링된 실리콘 기판(102)에서 상기 패터닝된 마스크 층(110')과 접하는 영역은 상기 패터닝된 마스크 층(110')이 디퓨전 배리어(Diffusion Barrier)로 작용함에 따라 저농도의 에미터 층(122)이 형성되고, 반면 상기 텍스처링된 실리콘 기판(102)에 형성된 홈(G) 주위는 상대적으로 고농도의 에미터 층(124)이 형성되게 되는 것이다. 이와 같이, 한 번의 도핑공정으로 선택적 에미터 층(120)을 형성할 수 있다.

[0056] 상기 선택적 에미터 층(120)이 형성되면, 도 3(g)과 같이 상기 패터닝된 마스크 층(110)과 상기 선택적 에미터 층(120) 형성시 발생하는 부산물(PSG 또는 BSG)을 제거한 다음, 도 3(h)과 같이 상기 선택적 에미터 층(120) 상부에 태양광 반사를 막기 위한 반사방지막(130)을 형성한다.

[0057] 이어서, 도 3(i)에 도시된 바와 같이, 상기 텍스처링된 실리콘 기판(102)에 형성된 홈(G)에는 전면전극(142)을 형성하고 후면의 전체 면적에는 후면전극(144)을 형성한다.

[0058] 그리고 상기 전면전극(142) 및 후면전극(144)이 상기 텍스처링된 실리콘 기판(102)에 전기적으로 연결되도록 열처리 공정을 수행한다. 그러면, 도 3(j)과 같이, 전면전극 내의 금속원자가 반사방지막으로 침투하여 상기 반사방지막이 전면전극화 되게 된다. 이렇게 형성된 전면전극은 결국 실리콘 기판에 접합하게 되어 저항 전극(Ohmic Contact) 형태로 형성된다. 그리고, 상기 후면전극(144)은 소정의 두께만큼 상기 텍스처링된 실리콘 기판(102)으로 확산되어 후면 전계층(Back Surface Field: BSF)(146)을 형성한다.

[0059] 한편, 상기 텍스처링된 실리콘 기판(102)의 전면에 형성된 전면전극(142)은 그 자체로 전극 기능을 수행할 수도 있지만, 시드층(seed layer)으로도 사용될 수 있다. 이 경우 도 3(k)와 같이, 상기 전면전극(142) 상에 도금 층(148)을 형성한다. 본 실시 예에서는 하나의 도금 층(148)이 형성된 것으로 설명하고 있지만, 반드시 그러한 것은 아니고 두 개 이상의 도금 층을 형성할 수도 있다. 이러한 도금 층(148)은 상기 전면전극(142)의 저항을 낮추고 종횡비를 높이기 위함이다.

[0060] 이와 같이 상기 실시 예에 설명되고 있는 본 발명은 실리콘 기판 상부에 형성된 마스크 층을 이용하여 한 번의 도핑공정에 의해 선택적 에미터 층을 형성시킬 수 있어, 공정이 간소화될 수 있고 이에 따라 공정 비용이 절감되는 이점이 있다.

SAMSUNG EX. 1002 - 792/2862

[0061] 이상과 같이 본 발명의 도시된 실시 예를 참고하여 설명하고 있으나, 이는 예시적인 것들에 불과하며, 본 발명의 속하는 기술분야의 통상 지식을 가진 자라면 본 발명의 요지 및 범위에 벗어나지 않으면서도 다양한 변형, 변경 및 균등한 타 실시 예들이 가능하다는 것을 명백하게 알 수 있을 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 청구범위의 기술적인 사상에 의해 정해져야 할 것이다.

도면의 간단한 설명

[0062] 도 1은 일반적인 함몰전극형 태양전지의 제조방법의 공정도.

[0063] 도 2는 본 발명의 바람직한 실시 예에 따른 함몰전극형 태양전지의 제조방법의 공정도.

[0064] 도 3은 도 2의 함몰전극형 태양전지의 제조방법의 공정도를 도시하고 있는 단면도.

[0065] *도면의 주요 부분에 대한 부호의 설명*

[0066] 100 : 실리콘 기판 102 : 텍스처링된 실리콘 기판

[0067] 110 : 마스크 층(Mask Layer) 110' : 패터닝된 마스크 층

[0068] G : 홈(Groove) 120 : 선택적 에미터 층

[0069] 122 : 저농도 에미터 층 124 : 고농도 에미터 층

[0070] 130 : 반사방지막 142 : 전면전극

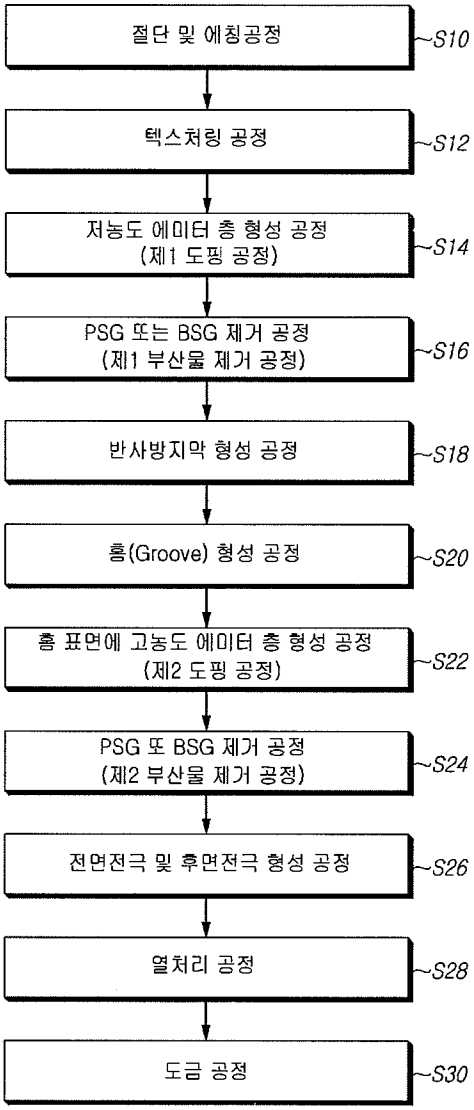
[0071] 144 : 후면전극 146 : 후면 전계층(BSF)

[0072] 148 : 도금층

SAMSUNG EX. 1002 - 793/2862

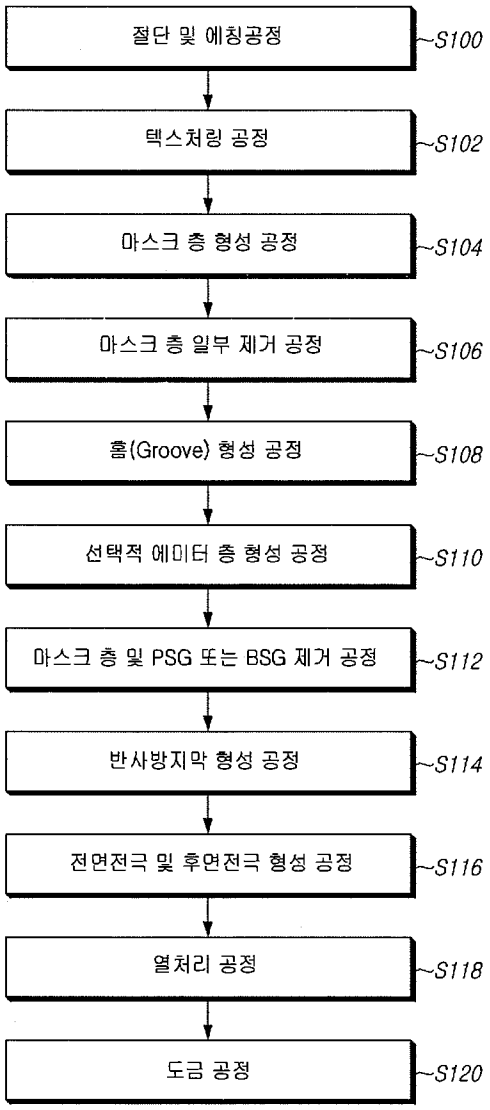
도면

도면1



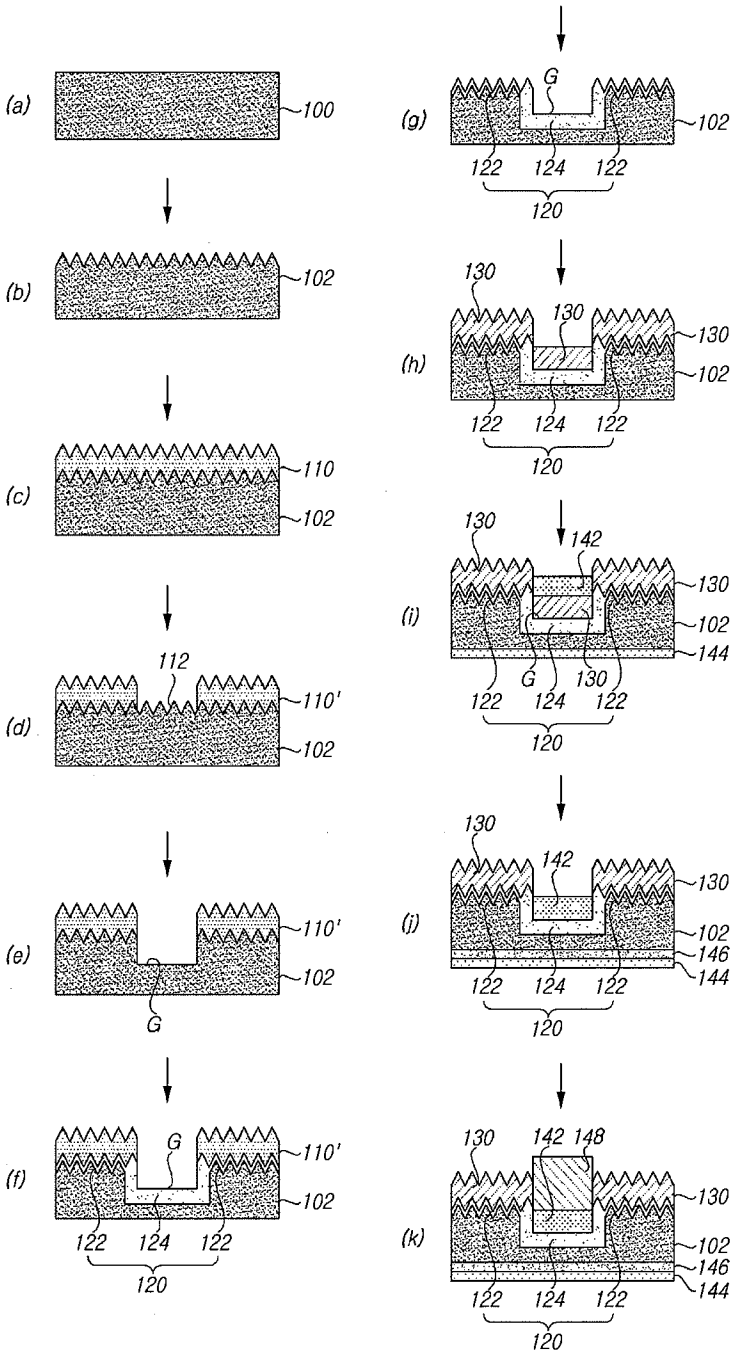
SAMSUNG EX. 1002 - 794/2862

도2



SAMSUNG EX. 1002 - 795/2862

도면3



SAMSUNG EX. 1002 - 796/2862

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau

(43) International Publication Date
24 July 2003 (24.07.2003)

PCT

(10) International Publication Number
WO 03/059390 A1

(51) International Patent Classification[7]: A61K 47/30

(21) International Application Number: PCT/KR03/00084

(22) International Filing Date: 15 January 2003 (15.01.2003)

(25) Filing Language: Korean

(26) Publication Language: English

(30) Priority Data:
10-2002-0002577 16 January 2002 (16.01.2002) KR

(71) Applicant *(for all designated States except US)*: **DONG WHA PHARM. IND. CO., LTD.** [KR/KR]; 5, Soonwha-dong, Joong-gu, Seoul 100-130 (KR).

(72) Inventors; and

(75) Inventors/Applicants *(for US only)*: **CHUNG, Yong-Ho** [KR/KR]; 301-204, Semmaul Apt, Hogae-dong, Dongan-gu, Anyang-si, Kyonggi-do 431-080 (KR). **RYU, Jei-Man** [KR/KR]; 207-101, Eunhasu Apt, Bubeung-dong, Dongan-gu, Anyang-si, Kyonggi-do 431-054 (KR). **JUNG, Jae-Hee** [KR/KR]; 10-503, Namsantown Apt, Sindang-dong, Joong-gu, Seoul 100-754 (KR). **KIM, Yu-Eun** [KR/KR]; 1104, Will Town, #402-3, Sang 1-dong, Wonmi-gu, Bucheon-si, Kyonggi-do 420-814 (KR). **CHO, Chong-Su** [KR/KR]; 211-501, Hangaram Apt, Ichon 1-dong, Yongsan-gu, Seoul 140-728 (KR). **CHOI, Hoo-Kyun** [KR/KR]; 3-1408, Pyeonghwa Mansion, #768, Hak-dong, Dong-gu, Gwangju 501-847 (KR). **CHUN, Myung-Kwan** [KR/KR]; 529-29, Bangnim 1-dong, Nam-gu, Gwangju 503-051 (KR). **AHN, Jae-Soon** [KR/KR]; 105-1404, Donga Apt, Hupyeong-dong, Chuncheon-si, Gangwon-do 200-160 (KR). **KIM, Tae-Hee** [KR/KR]; 123-404, Mugunghwa Apt, Geumjeong-dong, Gunpo-si, Kyonggi-do 435-050 (KR).

(74) Agent: **LEE, Byung-Hyun**; #705, New Seoul Bldg., 828-8, Yeoksam-dong, Kangnam-gu, Seoul 135-080 (KR).

(81) Designated States *(national)*: AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) Designated States *(regional)*: ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, SE, SI, SK, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Published:
— *with international search report*

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

WO 03/059390 A1

(54) Title: ORAL MUCOADHESIVE FILM

(57) Abstract: The present invention relates to a new oral mucoadhesive film containing mucoadhesive polymers. The film, consisting of two layers of an adhesive layer containing drugs and a protective layer functioning as a protector and supporter, adheres to oral mucous membranes so that the drugs may be absorbed steadily through the oral mucous membranes.

SAMSUNG EX. 1002 - 797/2862

ORAL MUCOADHESIVE FILM

Technical Field

The present invention relates to a new oral mucoadhesive film, which consists of two layers of an adhesive layer containing a drug, a polyacrylic acid polymer, a cellulose derivative, poloxamer and a plasticizer and a protective layer containing a water-insoluble and water-impermeable polymer and a plasticizer, and a method of preparing the same.

Background Art

Contrary to skin, most of mucous membranes placed in gastrointestinal tract and oral cavity, etc. easily absorb active substances of large molecular weight such as peptides so that they are of great value for essential administration route of such active substances. Especially, drugs absorbed through oral mucous membrane or gum are not influenced by gastrointestinal effect and hepatic first-pass metabolism, and therefore, they are effectively used in oral diseases as well as other diseases requiring systemic effect.

Gels, one of drug administration preparations using oral mucous membrane, are usually used in treating ulcerative stomatitis, herpes simplex, etc. However, gels are easily mixed with saliva and swell to lose the gel form quickly so that the amount of drugs absorbed in oral mucous membrane is less than that swallowed per os. Tablets, even though having the advantage of elongated time of maintaining the form, give a feeling of foreign substances to users due to their bulkiness and thickness as well as have the possibility to be swallowed with food during a mealtime. On the other hand, films are suitable to be oral mucoadhesive preparations since they are easy to use with little feeling of foreign substances, maintain the adhesiveness during the attached time for drug administration, and provide protection to the treatment time.

In order to administrate drug through oral mucous membrane, the form of preparation containing the drug should be maintained within a certain period of time. Most of mucoadhesive polymers used in conventional oral mucoadhesive films are quickly swelled or dissolved when contacted with water so that they remain on the oral mucous membrane only for a short time, which prevents

SAMSUNG EX. 1002 - 798/2862

sustained release of drugs. Further, with the swelling of polymers, the diffusion of drugs varies and then its delivery rate cannot be estimated.

Among the polymers, polyacrylic acid and cellulose derivatives have excellent mucoadhesiveness (*J. Pharm. Sci.*, 89(7), 850-866, 2000). However, the polymers cannot maintain their form in oral cavity for a long time due to the high swelling or solubility in saliva (U.S. Patent Nos. 4,292,299 and 4,740,365, and European Patent No. 654,261). In the preparations having an adhesive layer containing sodium carboxymethyl cellulose, polyacrylic acid and hydroxyethyl cellulose (U.S. Patent No. 6,159,498), the shape maintenance time of preparations is only less than 1 hour and the preparations are changed to gel form after being attached, so that drugs in the preparations cannot be delivered effectively. Further, in case of the preparations containing hydroxypropylmethyl cellulose (U.S. Patent No. 5,948,430), the polymer has too high solubility in water to be used in the preparations which need to be attached for a long time.

Considering the above, the introduction of new mucoadhesive polymers which maintain their forms and adhesiveness during the release of drugs is required in the development of oral mucoadhesive preparations. Oral mucoadhesive preparations need to be convenient for use, to give minimum feeling of foreign substances after being attached so as to enhance the compliance of patients, to maintain the adhesiveness without changing their forms for a certain period of time in order to deliver drugs effectively, and to have ease and effectiveness of preparing.

There is disclosed a method of preparing a mucoadhesive preparation containing three or four layers of adhesive layer, impermeable layer, drug reservoir layer and controlled release layer. The method comprises making each layer to be dried to a fixed weight, binding each layer with one another, and then completely drying the combined layers (U.S. Patent Nos. 5,196,202 and 4,900,552). However, the preparing processes are complicated and have low effectiveness due to the difficulty in adjusting dry weight and binding these layers. The hydration speed differs in each layer, which results in twist and curling of the preparation and also loss of drugs. Further, the film also has the defect that it has the thickness of about 800 μm, which is thicker than those of conventional oral mucoadhesive films, and gives the feeling of foreign substances when attached.

In case of a single layer film, the residence time of the preparation is affected as the mucoadhesive layer is exposed to water in oral cavity, which limits the use of the film only to delivery of rapid-acting drugs (U.S. Patent No. 5,948,430).

SAMSUNG EX. 1002 - 799/2862

Also disclosed is a film consisting of two layers of a protective layer and an adhesive layer, which lengthens the residence time of the preparation and increases the efficiency of drug absorption in mucous membrane, thereby somewhat solving the problem of single- or multiple-layered films. However, the double-layered film consisting of an adhesive layer containing vinyl acetate, polyacrylic acid, etc. and a protective layer containing polyethylene, aluminum, etc. (U.S. Patent No. 5,137,729) has some defects that the two layers are separated each other and that a feeling of foreign substances is given to users when attached. Further, the film having a protective layer containing water-insoluble materials such as ethyl cellulose (EC), hydroxypropyl cellulose phthalate (HPC-P) and cellulose acetate phthalate (CA-P) (U.S. Patent No. 4,876,092) has decreased affinity between protective layer and adhesive layer, and also has different rate of hydration by saliva after being attached, which results in the possibility of separation of the two layer. Accordingly, the type of mucoadhesive polymers used in protective layer and adhesive layer and the affinity between the layers should be considered preferentially for maintaining the form of preparations.

Disclosed is a method to add a plasticizer such as polyalcohols in an adhesive layer and a protective layer for increasing the affinity between the two layers. However, this method has a defect that it is difficult to maintain the preparations for a long time due to the high solubility and swelling of the mucoadhesive polymers used in the adhesive layer (Korean Laid-open Publication No. 2000-31828). Further disclosed is a method to add a water-insoluble carbonated titanium and talc in an adhesive layer for maintaining the form of preparations. This method also has a defect that the affinity between layers decreases due to the low flexibility of the adhesive layer, thereby resulting in the separation of layers (Korean Laid-open Publication No. 1997-9794).

Considering the above-mentioned problems of oral mucoadhesive films, the present inventors have been able to prepare a new oral mucoadhesive film on the base of the revelation that when polyacrylic acid polymers and cellulose derivatives, which cannot maintain the adhesiveness for a long time due to the swelling and solubility in saliva despite of the excellent mucoadhesiveness, are added with poloxamer, the swelling and solubility in saliva can be adjusted.

Disclosure of the Invention

The present invention relates to an oral mucoadhesive film for an effective drug delivery through oral mucous membrane, which has a long lasting adhesiveness

SAMSUNG EX. 1002 - 800/2862

and a good flexibility, does not give a feeling of foreign substances to users, and is prepared with ease and efficiency, and a method of preparing the same.

In accordance with one aspect of the present invention, it is provided an oral mucoadhesive film which contains an adhesive layer consisting essentially of a polyacrylic acid polymer, poloxamer, a cellulose derivative, a drug which can be absorbed through mucous membrane and a plasticizer, and a protective layer consisting essentially of a water-insoluble and water-impermeable polymer and a plasticizer,

wherein each of the polyacrylic acid polymer and the cellulose derivative is in an amount of 5 to 80 % by weight and the poloxamer is in an amount of 5 to 70 % by weight, based on the weight of the polymers in the adhesive layer, and a mixture of the polymers is in an amount of 5 to 20 % by weight, the drug is in an amount of 0.05 to 20 % by weight, and the plasticizer in the adhesive layer is in an amount of 0.1 to 10 % by weight, based on the weight of the adhesive layer;

the water-insoluble and water-impermeable polymer is in an amount of 5 to 50 % by weight and the plasticizer in the protective layer is in an amount of 0.1 to 10 % by weight, based on the weight of the protective layer; and

the film has a thickness ranging from 30 to 500 μm.

The oral mucoadhesive film of the present invention consists of an adhesive layer containing a drug and a protective layer. The protective layer consists of a water-insoluble and water-impermeable polymer such as ethyl cellulose (EC), polyurethane (PU), polyethylene (PE), and polyester, and a plasticizer. Further, the adhesive layer consists of a cellulose derivative such as hydroxypropyl cellulose (HPC), hydroxymethyl cellulose (HMC), hydroxyethyl cellulose (HEC), hydroxypropylethyl cellulose (HPEC) and hydroxypropylmethyl cellulose (HPMC), a polyacrylic acid polymer such as carbomer and polycarbophil, poloxamer and a plasticizer. The adhesive layer is a drug-containing layer and can adhere to oral mucous membrane to deliver the drug, and the protective layer prevents the drug-containing adhesive layer from being lost or detached from the mucous membrane due to rapid swelling .

Examples of polyacrylic acid polymers contained in the adhesive layer are carbomer, polycarbophil, and mixtures thereof. Polycarbophil is a cross-linked acrylic acid polymer with divinyl glycol and carbomer is polymerized by allyl sucrose or allyl pentaerythritol. Examples of carbomer are carbopol series 980, 934, 940, 941, 934P, 971P, 974P, 981, 1342, 1382, 2984 and 5984EP sold on the market by the trade name "Carbopol" and Noveon series AA-1, CA-1 and CA-2 sold on the market by the trade name "Noveon", preferably carbopol 934P and

SAMSUNG EX. 1002 - 801/2862

carbopol 971P.

Cellulose derivatives have an excellent film-forming ability and are used as a binder and film-coating agent for tablets. Examples of cellulose derivatives are hydroxypropyl cellulose, hydroxymethyl cellulose, hydroxyethyl cellulose, hydroxypropylethyl cellulose and hydroxypropylmethyl cellulose, preferably hydroxypropylethyl cellulose and hydroxypropylmethyl cellulose.

Poloxamer, a copolymer of polyethylene glycol and polypropylene glycol, used as an emulsifier and a supplementary solubilizer, is characterized by a variety of gel formation according to the type, concentration and mixing ratio. Examples are poloxamer series 124, 188, 338 and 407, preferably poloxamer 188 and poloxamer 407.

Examples of the plasticizer used in the adhesive layer are castor oil and polyethylene glycol (PEG), preferably polyethylene glycol.

Drugs which are added in the adhesive layer include all drugs that can be absorbed through mucous membranes. Examples of the drugs are those for oral diseases such as triamcinolone acetonide and glycyrrhetinic acid; anti-inflammatory agents such as ketoprofen and piroxicam; anti-histamines such as diphenhydramine and chlorpheniramine; hormones such as estradiol and testosterone; antihypertensive agents such as clonidine and propranolol; bronchodilators such as theophylline and terbutaline; and anesthetics such as lidocaine and dibucaine. Preferably used are such drugs as have high bioavailability enough to be administered in a small amount, as are easily metabolized when administered orally, and as have a gastro-intestinal adverse effect.

Examples of the water-insoluble and water-impermeable polymers are polyester, polyurethane, polyethylene and ethyl cellulose, preferably polyurethane and ethyl cellulose. Ethyl cellulose is used as a water-insoluble coating agent for tablets or granules for the purpose of controlled release, masking of taste, and improvement of stability, etc.

Examples of the plasticizer used in the protective layer are triethyl citrate (TEC), castor oil and polyethylene glycol (PEG), preferably polyethylene glycol and triethyl citrate.

The film according to the present invention consists of two layers of an adhesive layer and a protective layer, as illustrated in Fig. 1.

In the preparing process of an adhesive layer with excellent film-forming ability and mucoadhesiveness, films are manufactured by preparing a solution mixed with cross-linked polyacrylic acid polymer and cellulose derivative, which have an excellent mucoadhesiveness. Even though the film prepared from the

SAMSUNG EX. 1002 - 802/2862

solution is homogeneous, it has high swelling and solubility in saliva to decrease the delivery of drugs through mucous membranes, and also it has too high viscosity for large-scale production of the high concentrated solution. Further, it has low flexibility to give a feeling of foreign substances when attached to mucous membranes.

Considering the above problems, the present inventors have prepared a film by adding poloxamer into the polymer solution to prepare an adhesive layer, in which the solution can be prepared at a low temperature, the viscosity of the mixed solution is so low as to make it easy to prepare the film, and the film has low swelling and solubility in saliva, thereby enabling the film to be attached to mucous membranes for a long time.

The result of measuring the change of water contents in films prepared by adding poloxamer shows that the water contents decrease in films with an increase of poloxamer in the composition, thereby increasing the shape maintenance time in an aqueous solution (see Experiment 2). It is suggested that poloxamer and carbopol or hydroxypropylmethyl cellulose form a hydrogen bond, thereby forming a dense third-dimensional network structure.

The formation of hydrogen bond due to the addition of poloxamer can be confirmed by infrared spectrophotometer (IR), and the change of film flexibility can be identified by dynamic mechanical thermal analyzer (DMTA). It is confirmed that the characteristic peaks of poloxamer due to hydrogen bonds in IR change to short wave number with an increase of poloxamer in the composition. It is considered that the decrease of glass transition temperature, which shows the movement of molecules, compared to that of the mixture of hydroxypropylmethyl cellulose and carbopol, indicates the increase of film flexibility (see Experiment 3).

An adhesive layer is required to have a mucoadhesiveness as well as an ability to control the release of drug into mucous membranes. A proper combination of the above-mentioned polymers is important for the requirements. Each of the polyacrylic acid polymer and cellulose derivative is added in an amount of 5 to 80 % by weight, preferably 20 to 50 % by weight, based on the weight of the polymers in the adhesive layer. If the amount of each polymer is less than 5 % by weight, it is impossible to prepare the film with constant thickness because of low viscosity of polymer solution, thereby also decreasing the adhesiveness of film. While if the amount of each polymer is more than 80 % by weight, it is difficult to prepare the polymer solution.

Poloxamer is added in an amount of 5 to 70 % by weight, preferably 20 to 50 % by weight, based on the weight of the polymers in the adhesive layer. If the

SAMSUNG EX. 1002 - 803/2862

amount is less than 5 % by weight, the solubility and swelling of film increase so that it is difficult to maintain the form of film. Further, in case the poloxamer is added in an amount of more than 70 % by weight, it is difficult to prepare the polymer solution of high concentration.

The mixed solution of the above three polymers is prepared so that the concentration of the polymers is 5 to 20 % based on the weight of the adhesive layer, in which the preferred weight ratios of poloxamer/cross-linked polyacrylic acid and poloxamer/hydroxypropylmethyl cellulose range from 1:1 to 1:1.5, respectively. Within the above range of concentration, it is easy to adjust the film thickness and drying time at the time of preparing the film.

Drugs are added in an amount of 0.05 to 20 % by weight based on the weight of the adhesive layer. If the drug is added in an amount of more than 20 % by weight, it has an adverse effect on the viscosity of the solution of adhesive layer and makes the preparing of film difficult.

In the protective layer which protects the adhesive layer from saliva, the water-insoluble and water-impermeable polymer is added in an amount of 5 to 50 % by weight, preferably 10 to 30 % by weight, based on the weight of the protective layer. If the amount is less than 5 % by weight, the fluidity of solution containing the polymer is too high to make film. Further, in case the polymer is added in an amount of more than 50 % by weight, it is difficult to prepare film having a constant thickness.

In order to maintain the form of oral mucoadhesive film consisting of a mucoadhesive layer and a water-insoluble and water-impermeable protective layer until an active substance is released, coherence between the two layers is required for a long time.

According to the present invention, a proper plasticizer for each layer is selected in consideration of the mucoadhesiveness of adhesive layer and the affinity between the two layers. Examples of the plasticizer used in the adhesive layer of the present film are castor oil and polyethylene glycol (PEG). Examples of the plasticizer used in the protective layer of the present film are triethyl citrate (TEC), castor oil and polyethylene glycol (PEG).

When triethyl citrate is used in the adhesive layer, it is impossible to form a film. Castor oil and polyethylene glycol added in the adhesive layer have a good effect on the film formation and flexibility. In the adhesive layer, polyethylene glycol is better to be added than castor oil for a good adhesiveness.

Most preferred is the film having polyethylene glycol added in the adhesive layer and triethyl citrate added in the protective layer, which has the most

SAMSUNG EX. 1002 - 804/2862

superior mucoadhesiveness, flexibility and high affinity between layers to provide a long residence time of the preparation in oral cavity.

The amount of plasticizer added in the adhesive layer or protective layer is 0.1 to 10 % by weight, preferably 2 to 8 % by weight, based on the respective weight of the adhesive layer or protective layer. If the amount is more than 10 % by weight, it affects adversely the film formation and drying process of adhesive layer and protective layer and makes it difficult to prepare the film.

The method of preparing the mucoadhesive film of the present invention are described as follows:

5 to 80 % by weight of a polyacrylic acid polymer, 5 to 70 % by weight of poloxamer and 5 to 80 % by weight of a cellulose derivative, based on the total weight of the polymers in the adhesive layer, are dissolved in a mixed solvent of water and ethanol to make a solution in which the concentration of the polymers is 5 to 20 % by weight based on the total weight of the adhesive layer. 0.05 to 20 % by weight of a drug and 0.1 to 10 % by weight of a plasticizer for adhesive layer, based on the total weight of the adhesive layer, are added to the solution in turn to make a homogeneous coating solution for adhesive layer.

Separately, 5 to 50 % by weight of a water-insoluble and water-permeable polymer and 0.1 to 10 % by weight of a plasticizer for protective layer, based on the total weight of the protective layer, are dissolved in ethanol to make a homogeneous coating solution.

After being defoamed, the coating solution for adhesive layer is coated on a release liner with a coater (Laboratory Drawdown Coater LC-100, Chem Instruments) and then dried to make an adhesive layer.

After being defoamed, the coating solution for protective layer is also coated on the adhesive layer with a coater and then dried to make an oral mucoadhesive film consisting of an adhesive layer and a protective layer.

The oral mucoadhesive film of the present invention has a thickness ranging from 30 to 500 μm, preferably from 50 to 300 μm, when being dried, in which each thickness of an adhesive layer and a protective layer is 20 to 300 μm and 10 to 200 μm, respectively. The film with the thickness of less than 30 μm has difficulty in maintaining the form of film and adversely affects favorable release of drug. Further, the film with the thickness of more than 500 μm gives a feeling of foreign substances to users.

The oral mucoadhesive film of the present invention may be prepared with the addition of the conventional lubricants, disintegrating agents, coloring agents, etc. according to the type of preparations.

SAMSUNG EX. 1002 - 805/2862

Brief Description of the Drawings

The above and other objects, features and other advantages of the present invention will be more clearly understood from the following detailed description taken in conjunction with the accompanying drawings, in which:

Fig. 1 is a schematic cross-sectional view of the oral mucoadhesive film consisting of an adhesive layer containing a drug and a protective layer.

Fig. 2 is a graph showing the dissolution rate of drug in Examples 1 and 2, Comparative Example 1 and Aftach tablet.

Fig. 3 is a graph showing the change of concentration of drug in the surface of tongue when the films of Example 1 and Control group 2 are attached to the tongue of rat.

Fig. 4 is a graph showing the change of concentration of drug absorbed into the tissue of tongue when the films of Example 1 and Control group 2 are attached to the tongue of rat.

Best Mode for Carrying Out the Invention

Hereinafter, the present invention will be described in detail, in conjunction with various examples. These examples are provided only for illustrative purposes, and the present invention is not to be construed as being limited to these examples.

Examples 1 to 19

Each of the solutions for adhesive layer and protective layer was prepared according to the compositions shown in the following Tables 1 and 2.

A polyacrylic acid polymer, poloxamer and a cellulose derivative were dissolved in a mixed solvent of water and ethanol to make a homogeneous solution, to which a drug and a plasticizer for adhesive layer were added and dissolved to obtain a homogeneous coating solution for adhesive layer.

Separately, a water-insoluble and water-impermeable polymer and a plasticizer for protective layer were dissolved in ethanol to make a homogeneous coating solution.

After being defoamed, the solution for adhesive layer was coated on a release liner with a coater (Laboratory Drawdown Coater LC-100, Chem Instruments) and dried to obtain an adhesive layer.

After removing bubbles, the solution for protective layer was also coated on

SAMSUNG EX. 1002 - 806/2862

the adhesive layer with a coater and then dried to prepare an oral mucoadhesive film consisting of an adhesive layer and a protective layer and containing 25 μg of triamcinolone acetonide per one sheet of film. The film has the thickness of 60 to 100 μm.

Comparative Examples 1 to 12

The procedures of Examples were repeated using the following composition as shown in Table 3 to obtain a film consisting of an adhesive layer and a protective layer.

Comparative Examples 13 to 22

The procedures of Examples 1 to 10 were repeated except the type of plasticizer as shown in the following composition of Table 4 to obtain a film consisting of an adhesive layer and a protective layer.

Table 1

Comp. \ Examples		1	2	3	4	5	6	7	8	9	10
AL	TAA	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1
	P407	3.0	4.0	4.0	3.0	3.0					
	P188						4.5	4.0	2.2	2.5	2.4
	CP971P	3.5	4.5	4.5			5.0	4.5			
	CP934P				4.2	3.5			2.8	3.5	3.0
	HPMC	3.5	4.5	5.0	3.7	4.5	5.5	4.5	3.1	3.1	2.6
	PEG	3.9	3.9	4.0	6.6	1.9	2.3	3.5	4.0	7.2	3.9
	Water	43.0	41.5	41.2	41.2	43.5	41.3	41.7	43.9	41.8	44.0
	EtOH	43.0	41.5	41.2	41.2	43.5	41.3	41.7	43.9	41.8	44.0
	Total(g)	100	100	100	100	100	100	100	100	100	100
PL	EC	15	12	17	22	13	20	12	17	21	16
	TEC	4.0	3.5	4.2	4.0	3.2	2.9	3.3	4.2	4.3	3.5
	EtOH	81	84.5	78.8	74.0	83.8	77.1	84.7	78.8	74.7	80.5
	Total(g)	100	100	100	100	100	100	100	100	100	100

Table 2

Comp. \ Examples	11	12	13	14	15	16	17	18	19

SAMSUNG EX. 1002 - 807/2862

AL	TAA	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1
	P407	1.5	1.5	1.5	1.5	1.5	1.5	1.5	1.5	1.5
	P188									
	CP971P	1.75	1.75	1.75	1.75	1.75	1.75			
	CP934P							1.75		
	CP940								1.75	
	CP974P									1.75
	HPMC	1.75	1.75	1.75	1.75	1.75	1.75	1.75	1.75	1.75
	PEG	1.9	0.9	0.9	2.9	1.9	1.9	1.9	1.9	1.9
	Water	46.5	47.0	47.0	46.0	46.5	46.5	46.5	46.5	46.5
	EtOH	46.5	47.0	47.0	46.0	46.5	46.5	46.5	46.5	46.5
	Total(g)	100	100	100	100	100	100	100	100	100
PL	PU	15	12	17	22	13	20	12	17	21
	TEC	4.0	3.5	4.2	4.0	3.2	2.9	3.3	4.2	4.3
	EtOH	81	84.5	78.8	74.0	83.8	77.1	84.7	78.8	74.7
	Total(g)	100	100	100	100	100	100	100	100	100

Table 3

Comp. \ C. E.		1	2	3	4	5	6	7	8	9	10	11	12
A	TAA	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1
L	P407		8.4		12.5			10				2	2
	P188						9.0			7.4	7.9		
	CP971P	3.5	2.5									1.5	1
	CP934P				2.0	3.5			2.5				
	HPMC			3.5		9.9	7.4		3.0	5.0		1.0	1
	PEG	4.0	4.0	4.0	6.6	1.9	2.3	3.5	4.0	7.3	4.0	4.0	3.9
	CO												
	TEC												
	Water	46.2	42.5	46.2	39.4	42.3	40.6	43.2	45.2	40.1	44.0	45.7	46.0
	EtOH	46.2	42.5	46.2	39.4	42.3	40.6	43.2	45.2	40.1	44.0	45.7	46.0
	Total(g)	100	100	100	100	100	100	100	100	100	100	100	100
P	EC	18	18	13	21	17	23	14	12	18	23	18	18
L	CO												
	PEG												
	TEC	4.0	3.5	4.2	4.0	3.2	2.9	3.3	4.2	4.3	3.5	4.0	4.0

SAMSUNG EX. 1002 - 808/2862

	EtOH	78.0	78.5	82.8	75.0	79.8	74.1	82.7	83.8	77.7	73.5	78	78
	Total(g)	100	100	100	100	100	100	100	100	100	100	100	100

Table 4

	C.E. / Comp.	13	14	15	16	17	18	19	20	21	22
AL	TAA	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1
	P407	3.0	4.0	4.5	3.0	3.0					
	P188						4.7	4.0	2.2	2.5	2.4
	CP971P	3.5	4.4	5.9			5.2	4.5			
	CP934P				4.1	3.5			2.8	3.5	3.0
	HPMC	3.5	4.5	5.7	3.7	4.5	4.9	4.5	3.1	3.1	2.6
	PEG		4.0						4.0	7.2	
	CO	3.9		4.0	6.7		2.3	3.5			3.9
	TEC					1.9					
	Water	43.0	41.5	39.9	41.2	43.5	41.4	41.7	43.9	41.8	44.0
	EtOH	43.0	41.5	39.9	41.2	43.5	41.4	41.7	43.9	41.8	44.0
	Total(g)	100	100	100	100	100	100	100	100	100	100
PL	EC	15	12	17	22	13	20	12	17	21	16
	CO		3.5		4.0	3.2	2.9			4.3	3.5
	PEG			4.2				3.3	4.2		
	TEC	4.0									
	EtOH	81.0	84.5	78.8	74.0	83.8	77.1	84.7	78.8	74.7	80.5
	Total(g)	100	100	100	100	100	100	100	100	100	100

In Tables 1 to 4, the abbreviations have the following meanings:

AL: Adhesive layer

PL: Protective layer

C.E.: Comparative Examples

Comp.: Component

TAA: Triamcinolone acetonide

P407: Poloxamer 407

P188: Poloxamer 188

CP971P: Carbopol 971P

CP934P: Carbopol 934P

CP940: Carbopol 940

SAMSUNG EX. 1002 - 809/2862

CP974P: Carbopol 974P
HPMC: Hydroxypropylmethyl cellulose
PEG: Polyethylene glycol
EtOH: Ethanol
EC: Ethyl cellulose
TEC: Triethyl citrate
PU: Polyurethane
CO: Castor oil

Control group 1

Among the products on the market, Aftach tablet (Dong Wha Pharm. Ind. Co., Ltd.), an oral mucoadhesive film which contains triamcinolone acetonide, hydroxypropyl cellulose and carboxyvinyl polymer in an adhesive layer and hydroxypropyl cellulose and calcium carboxymethyl cellulose in a protective layer, was selected as control group 1.

Control group 2

Among the products on the market, Innert plaster (Sudo Pharm. Ind. Co., Ltd.), an oral mucoadhesive film which contains triamcinolone acetonide as a main component, was selected as control group 2.

Control group 3

Among the products on the market, Stomatitis patch Taisho A (Japan Taisho Pharm. Ind. Co., Ltd.), an oral mucoadhesive film which contains extract of Lithospermi Radix and enoxolone as main components, was selected as control group 3.

Experiment 1: measurement of adhesiveness and mechanical strength

Each of the film samples prepared in Examples and Comparative Examples was attached to a polypropylene plate, and then the strength required to detach each film from the polypropylene plate was measured using Instron (AGS-5000D, Shimadzu). Table 5 shows the adhesiveness and mechanical strength of each film.

Table 5

Films	Adhesiveness (N)	Mechanical Strength (N)	Concentration of Polymer (%)

SAMSUNG EX. 1002 - 810/2862

Example 10	6.5	1.92	8
Comparative Example 10	2.8	-	7.9
Comparative Example 22	3.3	-	8
Example 1	7.8	2.01	10
Comparative Example 2	4.0	-	10.9
Comparative Example 13	4.7	-	10
Example 5	8.0	2.07	11
Comparative Example 4	4.3	-	14.5
Comparative Example 17	-	-	11
Example 6	8.5	2.13	15
Comparative Example 5	6.3	-	13.4
Comparative Example 18	5.6	-	14.8

As the concentration of mucoadhesive polymers in adhesive layer increases from 8 to 10 %, the adhesiveness of film also increases. When the concentration increases over 10 %, however, the adhesiveness shows a little increase. Even in case of similar concentration of polymers, the films prepared from the compositions consisting of three polymers of poloxamer, carbopol and hydroxypropylmethyl cellulose (Examples 10, 1, 5 and 6) show more increased adhesiveness than those prepared from the composition consisting of one or two polymers (Comparative Examples 10, 2, 4 and 5). Further, the films prepared from the composition containing polyethylene glycol in adhesive layer and triethyl citrate in protective layer as a plasticizer (Examples 10, 1, 5 and 6) show superior adhesiveness to those prepared from the composition containing castor oil and triethyl citrate in adhesive layer and protective layer (Comparative Examples 13, 18 and 22). Meanwhile, the composition containing triethyl citrate in adhesive layer may not be used to prepare a film (Comparative Example 17).

As a result, the films containing polyethylene glycol in adhesive layer and triethyl citrate in protective layer as a plasticizer show the most superior affinity between layers. Such result is considered to be caused by the fact that polyethylene glycol is similar to poloxamer contained in adhesive layer in structure, and triethyl citrate to ethyl cellulose contained in protective layer.

Mechanical strength shows no great change in proportion to the concentration of polymers in adhesive layer. Further, it is impossible to measure mechanical strength of other films except those containing polyethylene glycol and triethyl citrate in adhesive layer and protective layer, respectively, as a plasticizer (Examples 10, 1, 5 and 6),

SAMSUNG EX. 1002 - 811/2862

Experiment 2: measurement of water content and shape maintenance time of film

Water content and shape maintenance time of each film were measured in phosphate buffer (pH 6.8). Table 6 shows the results.

Water content of film is calculated by the following formula:

Water content (% by weight)=[(the weight of swollen film-the weight of dried film)/the weight of swollen film]x100

As the proportion of poloxamer increases in composition, water content decreases but shape mainienance time of film increases.

Table 6

Films	Water content (% by weight)	shape maintenance time (hr)	Poloxamer (%)
Comparative Example 8	89	6.2	-
Comparative Example 11	78	8.2	2
Example 1	45	>24	3
Comparative Example 12	75	9.1	2
Control group 1	84	7.8	-
Control group 2	96	4.5	-

Control group 1: Aftach tablet

Control group 2: Innert plaster

Experiment 3: infrared spectrophotometer (IR) and dynamic mechanical thermal analyzer (DMTA)

FT-IR (M. Series, Midac Corporation, USA) was used for IR of films and DMTA was used to measure glass transition temperature (Tg) in the temperature ranging from room temperature to 300 °C at the rate of 5 °C/min. Table 7 shows the results.

As the proportion of poloxamer increases in composition, the IR peak derived from the hydrogen bond of poloxamer and carboxyl group of carbopol shifts from 1110 to 1107 cm^{-1} and the Tg shown in the mixture of carbopol and hydroxypropylmethyl cellulose decreases from 190 to 170 °C.

Table 7

Films	Wave number (cm^{-1})	Tg (°C)	Poloxamer (%)
Comparative Example 8	1110	190	-

SAMSUNG EX. 1002 - 812/2862

Comparative Example 11	-	180	2
Comparative Example 12	-	180	2
Example 1	1107	170	3

Experiment 4: measurement of bioadhesiveness

Rectal mucous membrane of rabbit was attached to both vials of the apparatus for measurement of bioadhesiveness, and then films were attached therebetween. Putting counterweights in turn on the opposite site, the counterweight was weighed as bioadhesiveness when the vial was dropped (H. G. Choi, J. H. Jung, J. M. Ryu, S. J. Yoon, Y. K. Oh and C. K. Kim, Development of in situ-gelling and mucoadhesive acetaminophen liquid suppository, *Int. J. Pharm., 165*, 33-44, 1998). Table 8 shows the bioadhesiveness measured as above.

Table 8

Films	Bioadhesiveness (dyne/cm^2)x10^2	Remark	
		Polymer (% by weight)	Plasticizer (adhesive layer, protective layer)
Example 16	6.27	5	PEG, TEC
Example 10	8.57	8	PEG, TEC
Example 1	10.33	10	PEG, TEC
Example 3	11.02	13.5	PEG, TEC
Comparative Example 14	8.0	12.9	PEG, CO
Comparative Example 13	6.67	10	CO, TEC
Comparative Example 15	6.93	16.1	CO, PEG
Comparative Example 19	6.14	13	CO, PEG
Comparative Example 16	4.87	10.8	CO, CO

PEG: polyethylene glycol

TEC: triethyl citrate

CO: castor oil

As shown in Examples of Table 8, when polyethylene glycol and triethyl citrate are added in adhesive layer and protective layer, respectively, as a plasticizer, the bioadhesiveness increases from 6.27 to 11.02 according to the increase of the concentration of polymer contained in adhesive layer. Meanwhile, the film containing polyethylene glycol and castor oil as a plasticizer (Comparative Example 14), that containing castor oil and triethyl citrate (Comparative Example

SAMSUNG EX. 1002 - 813/2862

13), those containing castor oil and polyethylene glycol (comparative Examples 15 and 19), and that containing castor oil and castor oil (Comparative Example 16) show lower adhesiveness than those containing polyethylene glycol and triethyl citrate in adhesive layer and protective layer, respectively. Further, these films show no great change in adhesiveness to living body according to the increase of polymers.

Experiment 5: measurement of attached time

The films prepared in Examples and Comparative Examples were cut and attached to glass wall of dissolution test vessel at a height of 5, 7.5 and 10 cm each. Detachment of each sample was observed in 900 ml of phosphate buffer (pH 6.8) at 37± 0.5 °C with the rotation of paddle at 100 rpm by applying method 2 of dissolution test. The attached time of control group was measured in the same manner. Table 9 shows the film thickness and attached time measured as above.

Table 9

Films	Film thickness (μm)	Attached time (hr)
Example 1	75.3	>24
Example 9	77.2	>24
Comparative Example 20	72.6	13.7
Comparative Example 16	69.7	6.0
Comparative Example 14	71.4	15.2
Comparative Example 19	74.8	14.7
Comparative Example 1	65.3	6.07
Comparative Example 2	70.7	13.4
Comparative Example 5	69.3	12.0
Control group 1	1,100	7.8
Control group 2	100	4.5

The films containing polyethylene glycol and triethyl citrate as a plasticizer show long attached time above 24 hours when they contain all three type of polymers in adhesive layer (Examples 1 and 9), which is longer than that of the films containing single or two polymers in adhesive layer (Comparative Examples 1, 2 and 5). The attached time varies from 6.0 to 24 hours in accordance with the type of plasticizer, which corresponds to the results from the adhesive force and bioadhesiveness.

SAMSUNG EX. 1002 - 814/2862

Experiment 6: drug dissolution test

Each oral mucoadhesive film was attached to cellulose membrane and then dissolution test was carried out using diffusion cell. Dissolution solvent was mixture of phosphate buffer (pH 6.8) and ethanol (3:2, v/v). Sample solution was collected at regular intervals and the amount of released drug was analyzed by HPLC.

Comparing the drug dissolution of the film of the present invention with that of control group 1 shows that the films of the present invention has more favorable drug dissolution than those on the market. Fig. 2 is a graph showing the dissolution rate of drug in Examples 1 and 2, Comparative Example 1 and Aftach tablet.

Experiment 7: evaluation of adhesiveness to oral mucous membrane

In order to evaluate the adhesiveness to actual oral mucous membrane, each film was attached to the inside of lower lip of applicant and time required to be detached was measured. Further, feeling of use was evaluated when applied to oral mucous membrane and indicated by the following four stages:

1: little feeling;

2: a little feeling of foreign substances;

3: discomfort resulting from feeling of foreign substances; and

4: others (feeling of irritation, pain, etc.)

Table 10 shows the attached time and feeling of use as measured above.

Table 10

Films	Adhesion time (hr)	Feeling of use
Example 1	3.8	1.4
Example 3	4.2	1.7
Example 8	3.0	1.8
Comparative Example 1	1.2	1.5
Comparative Example 13	1.7	1.6
Comparative Example 22	1.4	1.9
Control group 1	3.2	2.8
Control group 2	1.5	2.7
Control group 3	3.5	2.1

The film of Example 3 shows the longest adhesion time of 4.2 hours, and those of Examples 1 and 8 show the adhesion time of 3.8 and 3.0 hours,

SAMSUNG EX. 1002 - 815/2862

respectively, all of them show over 3 hours. The film containing carbopol only as a mucoadhesive polymer (Comparative Example 1) and that containing castor oil and triethyl citrate as a plasticizer for adhesive layer and protective layer, respectively (Comparative Example 13), have the adhesion time ranging from 1.2 to 1.7 hours, which are shorter than those of the above Examples. Further, control group 1 (Aftach tablet) shows 3.2 hours of attached time, control group 2 (Innert plaster) shows 1.5 hours and control group 3 (Stomatitis patch Taisho A) shows 3.5 hours.

While the control groups give a feeling of foreign substances when attached to oral mucous membrane, the films prepared in Examples and Comparative Examples give no feeling of foreign substances.

The films according to the present invention have superior initial adhesion to oral mucous membrane, show no swelling or detachment of polymers, and leave no remnants on oral mucous membrane during their adhesion and after being detached. Meanwhile, the films of control groups 1 and 2 show increase of swelling in polymers within several minutes after their adhesion to oral mucous membrane, which gives a notable feeling of foreign substances to users. Especially, the film of control group 2 has a good initial adhesion, but the polymer layer in the film swells to be detached from the protective film, which augments the feeling of foreign substances and displeasure and also gives a bitter taste. Further, a portion of the detached polymer layer remains in oral cavity to make some problems.

Experiment 8: animal experiment (in vivo)

Each oral mucoadhesive film of Example 1 and control group 2 was attached to the tongue of rats, and then each amount of drug remained in the surface of tongue and that absorbed into the tissue of tongue was assayed. SPF male wister rats (Charles River, Japan, weigh 260 to 350 g) were used and five rats were placed in a group.

After being anesthetized, each rat was provided with the films, and then was left freely. After a certain period of time, each tissue of tongue was removed and then analyzed. Each of the amount of drug remained in the surface of tongue and that absorbed into the tissue of tongue was determined by HPLC and LC/MS. As shown in Fig. 3, the film of Example 1 is superior to that of control group 2 in the maintenance of drug in the surface of tongue. Further, according to Fig. 4, the film of Example 1 shows a slowly increase of drug absorbed into the tissue of tongue with the lapse of time, and produces a superior result to that of Control group 2 in 2 hours.

SAMSUNG EX. 1002 - 816/2862

Industrial Applicability

The oral mucoadhesive film of the present invention is superior in physicochemical aspects such as adhesiveness, mechanical strength and attached time as well as bioadhesiveness. Further, the film shows sustained-release of drugs and gives long attached time and little feeling of foreign substances when attached to users. Moreover, the preparing process of the present invention is convenient for adjusting the film thickness and drying time.

SAMSUNG EX. 1002 - 817/2862

What is Claimed is:

1. An oral mucoadhesive film which contains an adhesive layer consisting essentially of a polyacrylic acid polymer, poloxamer, a cellulose derivative, a drug which can be absorbed through mucous membrane and a plasticizer, and a protective layer consisting essentially of a water-insoluble and water-impermeable polymer and a plasticizer,

wherein each of the polyacrylic acid polymer and the cellulose derivative is in an amount of 5 to 80 % by weight and the poloxamer is in an amount of 5 to 70 % by weight, based on the weight of the polymers in the adhesive layer, and a mixture of the polymers is in an amount of 5 to 20 % by weight, the drug is in an amount of 0.05 to 20 % by weight, and the plasticizer in the adhesive layer is in an amount of 0.1 to 10 % by weight, based on the weight of the adhesive layer;

the water-insoluble and water-impermeable polymer is in an amount of 5 to 50 % by weight and the plasticizer in the protective layer is in an amount of 0.1 to 10 % by weight, based on the weight of the protective layer; and

the film has a thickness ranging from 30 to 500 μm.

2. The oral mucoadhesive film according to claim 1,

wherein the polyacrylic acid polymer is one or more selected from the group consisting of carbopol series 980, 934, 940, 941, 934P, 971P, 974P, 981, 1342, 1382, 2984 and 5984EP, and Noveon series AA-1, CA-1 and CA-2;

the poloxamer is one or more selected from the group consisting of poloxamer series 124, 188, 338 and 407;

the cellulose derivative is one or more selected from the group consisting of hydroxypropyl cellulose, hydroxymethyl cellulose, hydroxyethyl cellulose, hydroxypropylethyl cellulose and hydroxypropylmethyl cellulose;

the drug is one or more selected from the group consisting of medicines for oral diseases, anti-inflammatory agents, anti-histamines, hormones, antihypertensive agents, bronchodilators and anesthetics;

the plasticizer in the adhesive layer is polyethylene glycol;

the water-insoluble and water-impermeable polymer is one or more selected from the group consisting of polyester, polyurethane, polyethylene and ethyl cellulose; and

the plasticizer in the protective layer is triethyl citrate.

SAMSUNG EX. 1002 - 818/2862

3. The oral mucoadhesive film according to claim 2,

wherein the polyacrylic acid polymer is one or more selected from the group consisting of carbopol series 934P and 971P;

the poloxamer is one or more selected from the group consisting of poloxamer series 188 and 407;

the cellulose derivative is one or more selected from the group consisting of hydroxypropylethyl cellulose and hydroxypropylmethyl cellulose;

the drug is medicines for oral diseases; and

the water-insoluble and water-impermeable polymer is one or more selected from the group consisting of polyurethane and ethyl cellulose.

4. The oral mucoadhesive film according to one of claims 1 to 3,

wherein the weight ratios of poloxamer/polyacrylic acid polymer and poloxamer/cellulose derivative range from 1:1 to 1:1.5, respectively;

the water-insoluble and water-impermeable polymer is in an amount of 10 to 30 % by weight based on the weight of the protective layer; and

the film has a thickness ranging from 50 to 300 μm.

5. A method of preparing an oral mucoadhesive film containing an adhesive layer and a protective layer, which comprises:

(1) dissolving 5 to 80 % by weight of a polyacrylic acid polymer, 5 to 70 % by weight of poloxamer and 5 to 80 % by weight of a cellulose derivative, based on the total weight of the polymers in the adhesive layer, in a mixed solvent of water and ethanol to make a solution in which the concentration of the polymers is 5 to 20 % by weight based on the total weight of the adhesive layer, and then adding 0.05 to 20 % by weight of a drug and 0.1 to 10 % by weight of a plasticizer for the adhesive layer, based on the total weight of the adhesive layer, to the solution to make a homogeneous coating solution for the adhesive layer;

(2) dissolving 5 to 50 % by weight of a water-insoluble and water-impermeable polymer and 0.1 to 10 % by weight of a plasticizer for the protective layer, based on the total weight of the protective layer, in ethanol to make a homogeneous coating solution for the protective layer;

(3) defoaming the coating solution for the adhesive layer prepared by (1), coating the solution on a release liner with a coater, and then drying the coated layer to make the adhesive layer; and

SAMSUNG EX. 1002 - 819/2862

(4) defoaming the coating solution for the protective layer prepared by (2), coating the solution on the adhesive layer prepared by (3) with a coater, and then drying the coated layer to make the oral mucoadhesive film.

6. The method according to claim 5,

wherein the weight ratios of poloxamer/polyacrylic acid polymer and poloxamer/cellulose derivative range of from 1:1 to 1:1.5, respectively;

the water-insoluble and water-impermeable polymer is added in an amount of 10 to 30 % by weight based on the weight of the protective layer; and

the film has a thickness ranging from 50 to 300 μm.

SAMSUNG EX. 1002 - 820/2862

FIG. 1

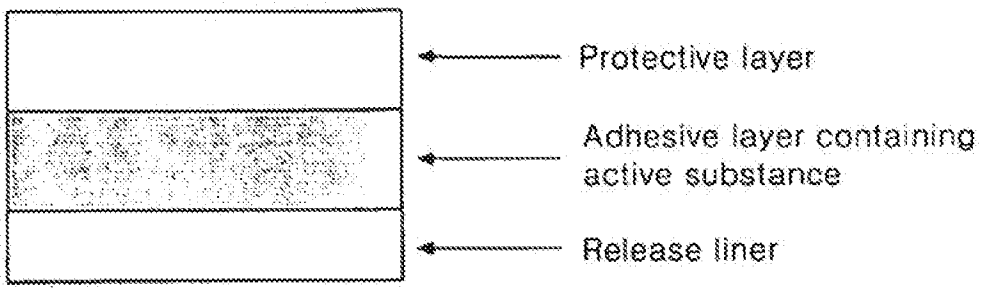

Protective layer
Adhesive layer containing active substance
Release liner

FIG. 2

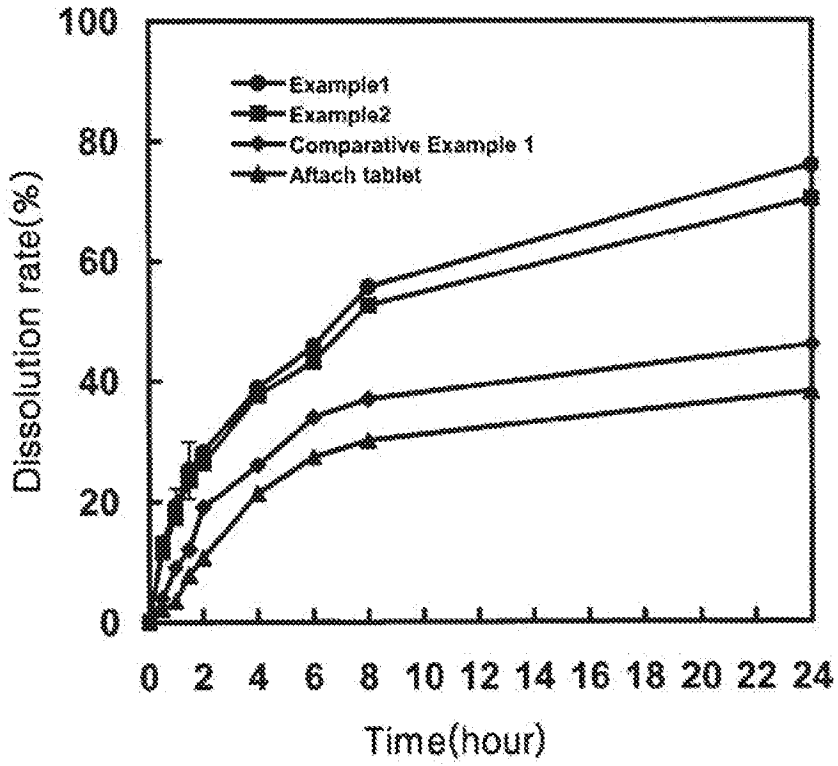

Example1
Example2
Comparative Example 1
Aftach tablet
Dissolution rate(%)
100
80
60
40
20
0
0 2 4 6 8 10 12 14 16 18 20 22 24
Time(hour)

FIG. 3

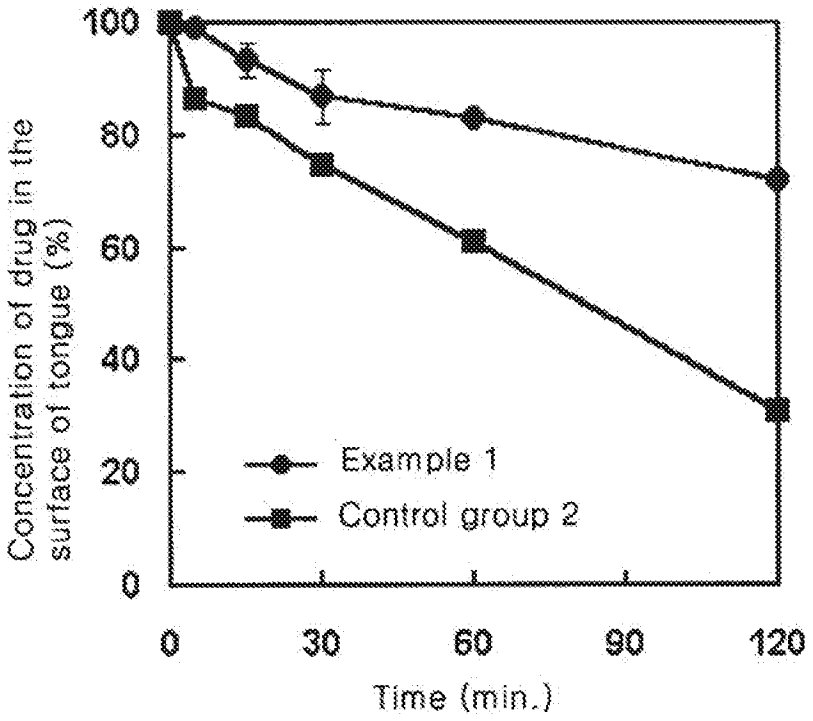
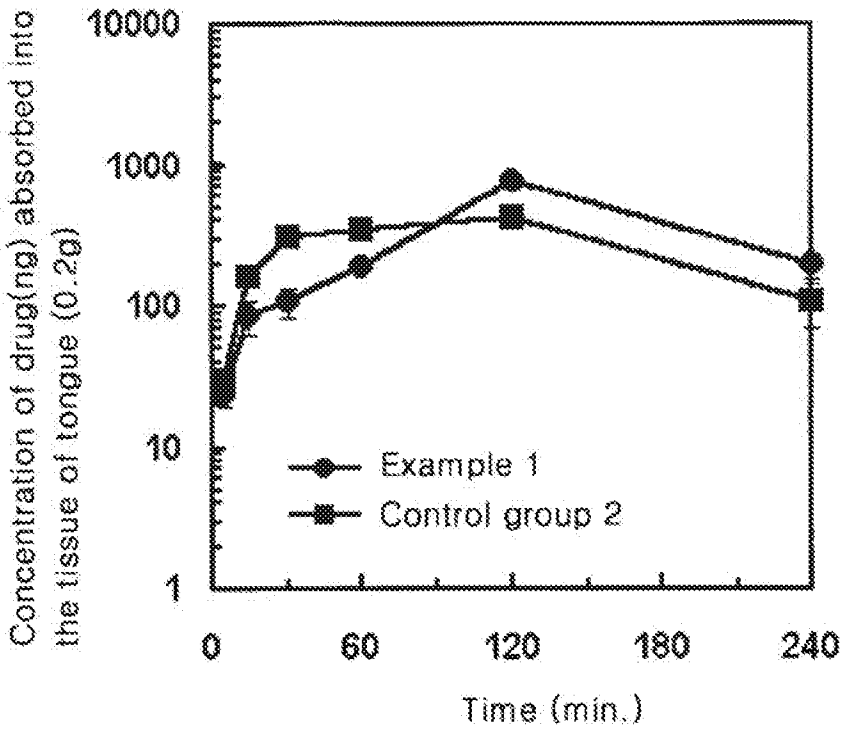

100
80
60
40
20
0
Concentration of drug in the surface of tongue (%)
Example 1
Control group 2
0
30
60
90
120
Time (min.)

FIG. 4


Concentration of drug(ng) absorbed into the tissue of tongue (0.2g)
10000
1000
100
10
1
0
60
120
180
240
Time (min.)
Example 1
Control group 2

INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR03/00084

A. CLASSIFICATION OF SUBJECT MATTER

IPC7 A61K 47/30

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC:A61K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean patents and applications for inventions since 1975

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CAPLUS(STN), SCISEARCH(STN), PASCAL(STN), IPA(STN), BIOTECHNO(STN), PROMT(STN)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 01/70224 A2 (PIERRE FABRE MEDICAMENT) 27 SEP 2001 see the whole document	1-6
A	"Mucoadhesive and physicochemical characterization of carbopol-poloxamer gels containing triamcinolone acetonide", Drug Development and Industrial Pharmacy, USA, 2000, Vol.26, No.3, pp.307-312	1-6
A	"Poloxamer/poly(acrylic acid) interpolymer complex for transmucosal drug delivery", Proceedings of the International Symposium on Controlled Release of Bioactive Materials, USA, 1998, 25th, pp.800-801	1-6
A	US 6177096 B1 (LTS Lohmann Therapie-systems GmbH) 23 JAN 2001 see the whole document	1-6
A	US 5,047,244 (Watson Laboratories, Inc.,) 10 SEP 1991 see the whole document	1-6

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents,such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
31 MARCH 2003 (31.03.2003)	31 MARCH 2003 (31.03.2003)

Name and mailing address of the ISA/KR
Korean Intellectual Property Office
920 Dunsan-dong, Seo-gu, Daejeon 302-701,
Republic of Korea
Facsimile No. 82-42-472-7140

Authorized officer
CHANG, Jin Ah
Telephone No. 82-42-481-5602

Form PCT/ISA/210 (second sheet) (July 1998)

SAMSUNG EX. 1002 - 824/2862

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.
PCT/KR03/00084

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 0170224 A2	27.09.2001	FR 2806625 B1	30.08.2002
		FR 2806625 A1	28.09.2001
		AU 0146622 A5	03.10.2001
US 6177096 B1	23.01.2001	WO 9820862 A1	22.05.1998
		KR 0053184 A	25.08.2000
		JP 1504106 T2	27.03.2001
		EP 936905 A1	25.08.1999
		AU 4868297 A1	03.06.1998
		AU 0739698 B2	18.10.2001
US 5047244 A	10.09.1991	None	

SAMSUNG EX. 1002 - 825/2862