こととなる。

【0100】

このように本実施形態によれば、中間基板１５の代わりに光透過性基板５１４が中間基板分の厚さも有し、スイッチ本体３を収容する中空部５１６を備えることとしたので、部品点数を少なくすることができる。

【0101】

図１４は、本発明の第７の実施形態に係る回路装置のブロック図、図１５は回路装置の斜視図及び図１６は図１５のＩ－Ｉ線断面図である。尚、図１５の斜視図では、機能素子のうちの信号線路の一部を表しその他のアンテナや回路等を省略している。

【0102】

回路装置７２１は、例えば図１４に示すように機能素子としてのアンテナ７２２、７２３、そのアンテナを切替えるスイッチ素子としてのアンテナ切替えスイッチ７２４、そのアンテナ切替えスイッチ７２４に電気的に接続された送受信切替えスイッチ７２５、その送受信切替えスイッチ７２５に電気的に接続されたＬＮＡ(Low Noise Amplifier)７２６、ＰＡ(Power Amplifier)７２７、ＬＮＡ７２６に電気的に接続されたＢＰＦ(Band-Pass Filter)７２８、ＰＡ７２７に電気的に接続されたＢＰＦ(Band-Pass Filter)７２９、ＢＰＦ(Band-Pass Filter)７２８、７２９に電気的に接続されたトランシーバーＩＣ(Integrated Circuit)７３０及びそのトランシーバーＩＣ７３０に電気的接続された受信回路７３１、送信回路７３２、ＶＣＯ(Voltage Controlled Oscillator)７３３及びそれらを電気的に結ぶ信号線路７３４等を有している。

【0103】

ここでアンテナ７２２、７２３は、例えばアンテナ切替えスイッチ７２４等と共に基板７０２に形成されており、互いに周波数帯が異なるアンテナであり、アンテナ切替えスイッチ７２４によってアンテナを切替え、周波数帯を選択できる。

【0104】

基板７０２は、例えば略矩形の低誘電率ガラス基板であり、石英（比誘電率εｒ＝３．９ａｔ１ＭＨｚ）、パイレックス（登録商標）（比誘電率εｒ＝４．６ａｔ１ＭＨｚ）、液晶用基板（比誘電率εｒ＝４．６ａｔ１ＭＨｚ）等が用いられる。

【0105】

また、基板７０２には、図１５に示すように基板上に設けられた機能素子の例である信号線路７３４（７３４ａ、７３４ｂ、７３４ｃ）及びスイッチ素子としてのアンテナ切替えスイッチ７２４を備えている。

【0106】

信号線路７３４は、アンテナ切替えスイッチ７２４の後述する配線３１０、３１１等に電気的に接続されており、例えばＡｌ、Ｔｉ、Ａｕ、Ｃｒ、Ｃｕ、Ｐｔ、Ａｇの他、Ａｌ－Ｓｉ－Ｃｕ等の合金により形成されている。信号線路７３４の厚さは、信号線路７３４を流れる信号が６０ＧＨｚ設計の場合、表面効果を考慮して４００ｎｍ前後、より好ましくはその２、３倍程度である。

【0107】

また、例えば図１５に示すように信号線路７３４ａは、配線３１０とアンテナ７２２とを電気的に接続し、信号線路７３４ｂは、配線３１１とアンテナ７２３とを電気的に接続している。更に信号線路７３４ｃは、アンカーからの図示しない配線と送受信切替えスイッチ７２５とを電気的に接続している。

【0108】

アンテナ切替えスイッチ７２４は、例えば図１６に示すようにカンチレバー型のスイッチ本体３、そのスイッチ本体３をカバーするカバー部材４及び当該スイッチ本体３に光を照射する光源５等を有する。

【0109】

ここで、スイッチ本体３は、可動部材７、アンカー８、接触電極３０９ａ、３０９ｂ、及び配線３１０、３１１を有しており、配線３１０は光透過性基板１４に、配線３１１は

基板７０２に形成されている。

【0110】

また、送受信切替えスイッチ７２５もアンテナ切替えスイッチ７２４と略同様であるのでその説明を省略する。

【0111】

このように本実施形態によれば、回路装置７２１は、光源５を有し、その光源５から出射された光を受け、その光の熱エネルギーにより変形して、スイッチングするアンテナ切替えスイッチ７２４、送受信切替えスイッチ７２５を備えることとした。従って、例えば周波数の異なるアンテナの選択を完全にスイッチ制御回路と信号伝送回路としてのＣＰＷの信号線路やアンテナ等とを空間的、電気的に分離した状態でできる。

【0112】

これにより、アンテナ切替えスイッチ等のカットオフ時のアイソレーションを十分とることが可能となると共に、高周波信号成分がスイッチ制御回路側へ漏れてしまうことがなく、回路系を単純にでき、インピーダンス整合が取りやすくなる。

【0113】

また、特に３０ＧＨｚを超えるようなミリ波帯の高周波伝送のスイッチングを低損失で実現することが可能となる。

【0114】

更に、光の熱エネルギーにより変形し、スイッチ操作させるので、光を受け電圧を発生する受光素子が複数個直列に接続された直列回路を有する受光回路を必要とせず、製造コストの低減を図れる。

【0115】

また、高周波回路上に挿入される切替えスイッチ素子において、電気回路的に完全に分離した形態で制御可能となるため、信号損失を最小化できる。また、高電圧の回路が不要となり、設計の自由度が上がる。不要輻射の問題を解消できる他、現実的なマルチバンドアンテナ、アンテナアレイモジュールを実現できる。

【0116】

図１７は、本発明の第８の実施形態に係る回路装置の説明図、図１８は回路装置の斜視図及び図１９は図１８のＪ－Ｊ線断面図である。尚、図１８の斜視図では、機能素子のうちの信号線路の一部を表しその他のアンテナ等を省略している。

【0117】

回路装置８２１は、例えば図１７及び図１８に示すように基板８０２上に機能素子としてのアンテナ８２２、８２３、８２４、８２５、その各アンテナを夫々オンオフするスイッチ素子としてのスイッチ装置８２６、８２７、８２８、８２９及びそれらを電気的に結ぶ信号線路８３４等を有している。

【0118】

ここでアンテナ８２２、８２３、８２４、８２５は、例えば図１７に示すように夫々アンテナの向いている方向が異なり、スイッチ装置８２６、８２７、８２８、８２９を次々とスイッチングすることにより、一番受信した信号の強いアンテナを選択できるようにしたものである。尚、図１７では、スイッチ装置８２６がスイッチオンされており、アンテナ８２２が選択されている。

【0119】

また、スイッチ装置８２６、８２７、８２８、８２９は夫々同じ構造で、例えばスイッチ装置８２６は、図１８及び図１９に示すように基板２、その基板上に設けられたカンチレバー型のスイッチ本体３、そのスイッチ本体３をカバーするように当該基板上に設けられたカバー部材４、そのカバー部材上にスイッチ本体３に光を供給する光源５及び光源用配線６等を有する。

【0120】

スイッチ本体３は、光源５からの光を受ける可動部材７、その可動部材７を支えるアンカー８、当該可動部材のアンカーと反対側に設けられた導電部材としての接触電極９及び

SIONYX1403000020.0121

SAMSUNG EX. 1002 - 1832/4148

その接触電極９に接触または、離間する配線１０、１１を有する。

【0121】

更に配線１０、１１は例えば図１９に示すように基板２を貫通する導通部材８３５により基板８０２の信号線路８３４に電気的に接続されている。

【0122】

このように本実施形態によれば、回路装置８２１は、光源５を有し、その光源５から出射された光を受け、その光の熱エネルギーにより変形して、スイッチングするスイッチ装置８２６等と、それらのスイッチ装置に電気的に接続され、夫々の方向の異なるアンテナ８２２等を備えることとした。従って、複数のアンテナのうちで最も感度のよいものの選択を、完全にスイッチ制御回路と信号伝送回路としての信号線路やアンテナ等とを空間的、電気的に分離した状態でできる。

【0123】

これにより、スイッチ装置のカットオフ時のアイソレーションを十分とることが可能となると共に、高周波信号成分がスイッチ制御回路側へ漏れてしまうことがなく、回路系を単純にでき、インピーダンス整合が取りやすくなる。

【0124】

また、特に３０ＧＨｚを超えるようなミリ波帯の高周波伝送のスイッチングを低損失で実現することが可能となる。

【0125】

更に、光の熱エネルギーにより変形し、スイッチ操作させるので、光を受け電圧を発生する受光素子が複数個直列に接続された直列回路を有する受光回路を必要とせず、製造コストの低減を図れる。

【0126】

以上、好ましい実施形態を挙げて本発明を説明したが、本発明は上述したいずれの実施形態にも限定されず、本発明の技術思想の範囲内で適宜変更し或は上述した各実施形態を組み合わせて実施できるものである。

【0127】

例えば上述の実施形態では、配線１０，１１を可動部材７の長手方向（例えば図３中のＸ軸方向）に並設したがこれに限られるものではなく、例えば可動部材７の長手方向に交差する方向に配線１０，１１を並設してもよい。これにより、多種多様な配線設計が可能となる。

【図面の簡単な説明】

【0128】

【図1】第１の実施形態に係る回路装置の一部を示す斜視図である。

【図2】図１の分解斜視図である。

【図3】図１のＡ－Ａ線断面図である。

【図4】図１のＢ－Ｂ線断面図である。

【図5】スイッチ装置の動作を説明する図である。

【図6】スイッチ装置の製造方法を説明するフローチャートである。

【図7】接触電極を形成するまでの製造工程を説明する説明図

【図8】第２の部材を形成するところからパッケージまでの製造工程の説明図である。

【図9】第２の実施形態に係るスイッチ装置の図１のＡ－Ａ線断面図である。

【図10】第３の実施形態に係るスイッチ装置の図１のＡ－Ａ線断面図である。

【図11】第４の実施形態に係るスイッチ装置の図１のＡ－Ａ線断面図である。

【図12】第５の実施形態に係るスイッチ装置の図１のＡ－Ａ線断面図である。

【図13】第６の実施形態に係るスイッチ装置の断面図である。

【図14】第７の実施形態に係る回路装置のブロック図である。

【図15】第７の実施形態に係る回路装置の斜視図である。

【図16】図１５のＩ－Ｉ線断面図である。

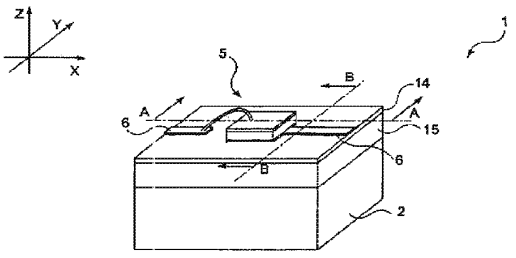
【図17】第８の実施形態に係る回路装置の説明図である。

SIONYX1403000020.0122

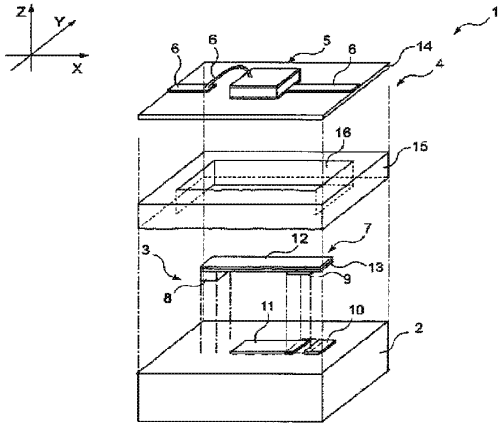
SAMSUNG EX. 1002 - 1833/4148

【図18】第８の実施形態に係る回路装置の斜視図である。
【図19】図１８のＪ－Ｊ線断面図である。
【符号の説明】
【0129】
１…スイッチ装置
２…基板
４…カバー部材
５…光源
７…可動部材
１０、１１…配線
１２…第１の部材
１３…第２の部材
１４…光透過性基板
１５…中間基板
１６…中空部
４２０…第３の部材
７２１、８２１…回路装置
７２２、７２３、８２２、８２３、８２４、８２５…アンテナ

【図1】



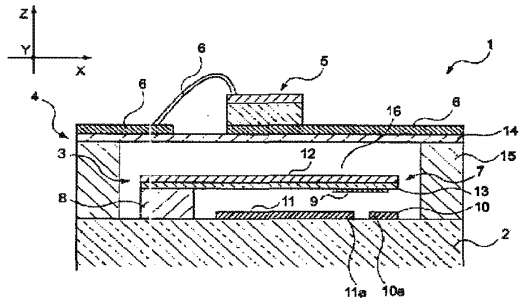
【図2】



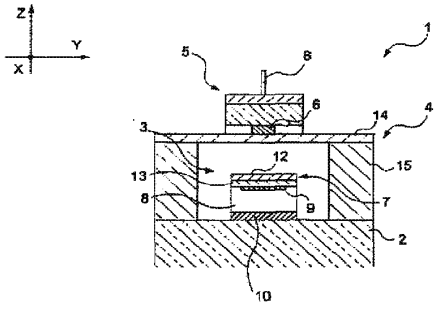
BNSDOCID: <JP_____2007180643A__I_>

SAMSUNG EX. 1002 - 1834/4148

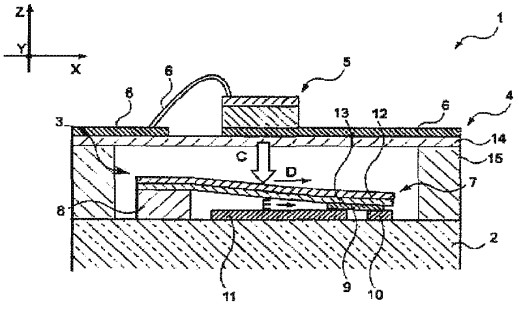
【図3】



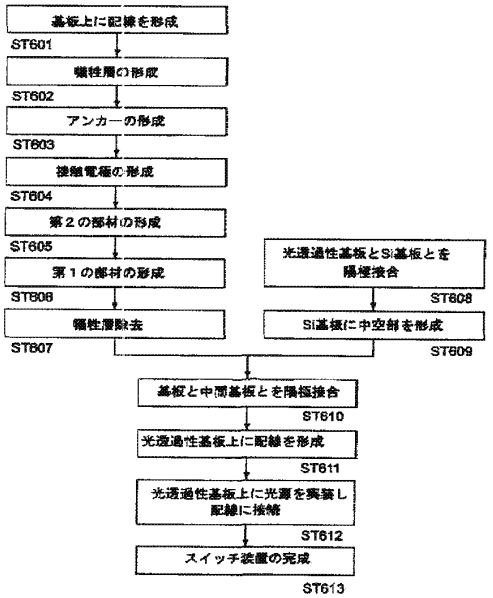
【図4】



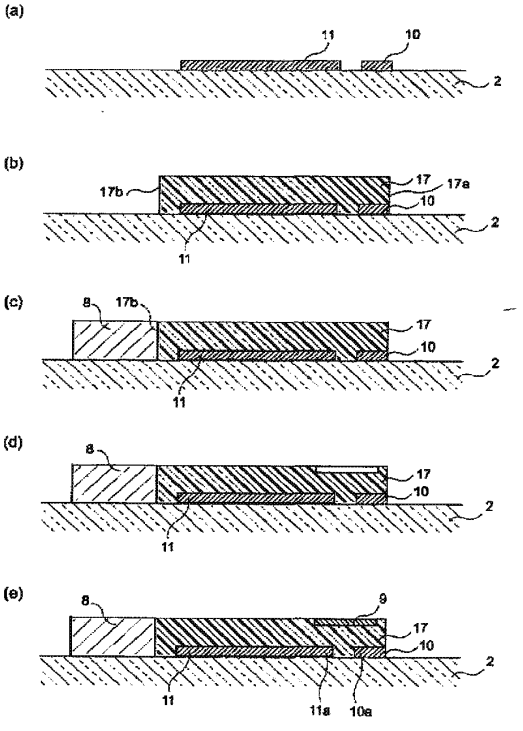
【図5】



【図6】



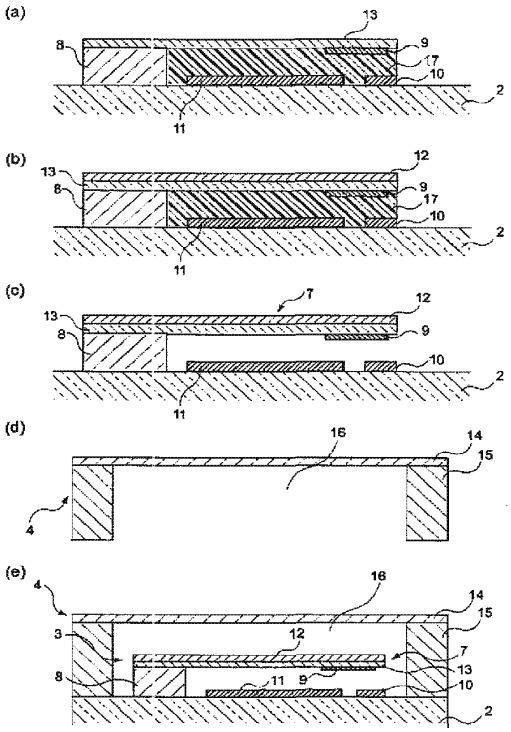
【図7】



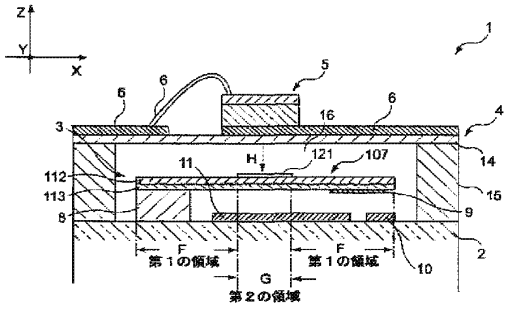
BNSDOCID: <JP_____2007180643A__I_>

SAMSUNG EX. 1002 - 1835/4148

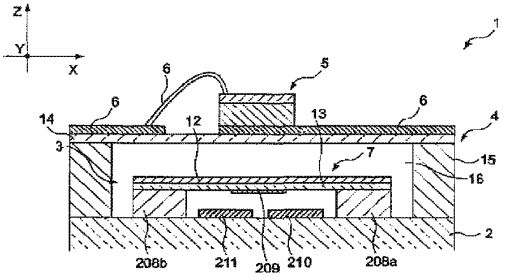
【図8】



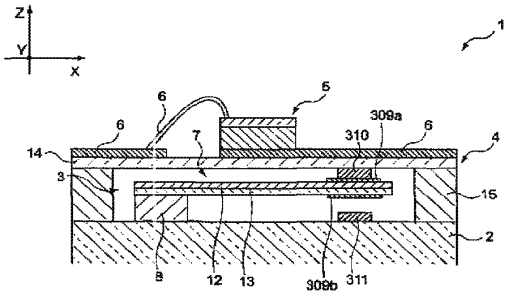
【図9】



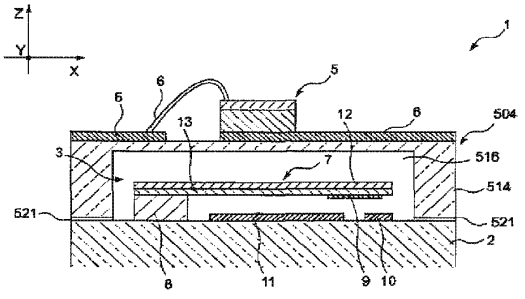
【図10】



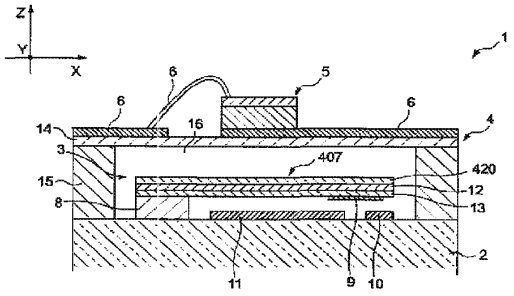
【図11】



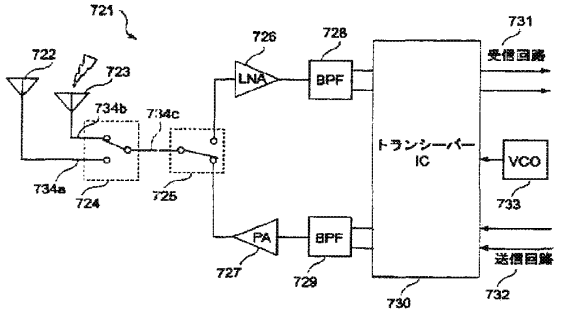
【図13】



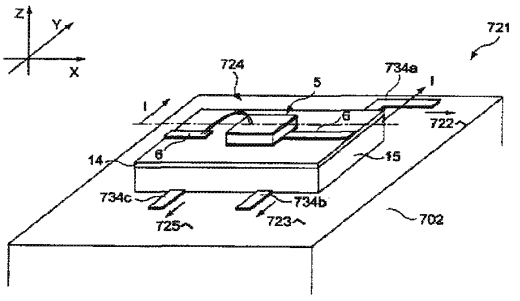
【図12】



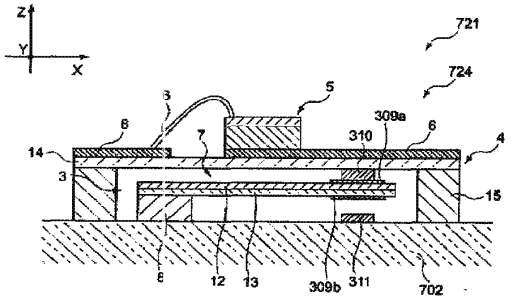
【図14】



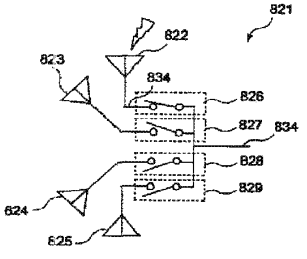
【図15】



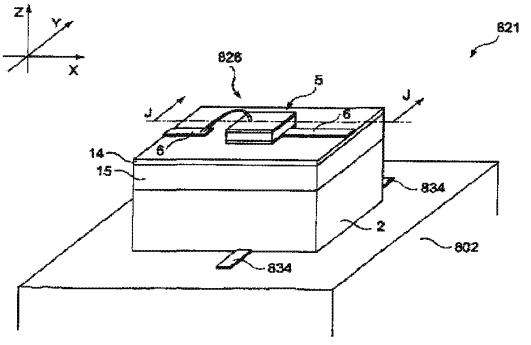
【図16】



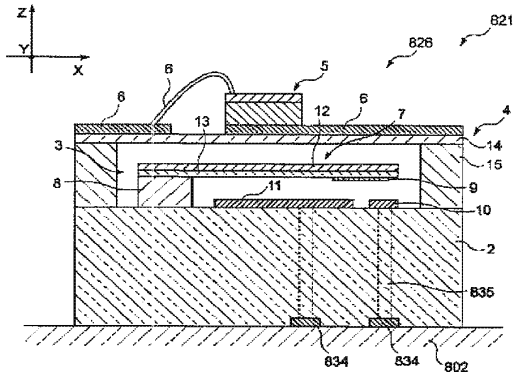
【図17】



【図18】



【図19】



BNSDOCID: <JP_____2007180643A__I_>

(51)Int.Cl.		F I	テーマコード（参考）
H01L 33/00	(2006.01)		

BNSDOCID: <JP_____2007180643A__I_>

SAMSUNG EX. 1002 - 1839/4148

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2007-305675**
(43)Date of publication of application : **22.11.2007**

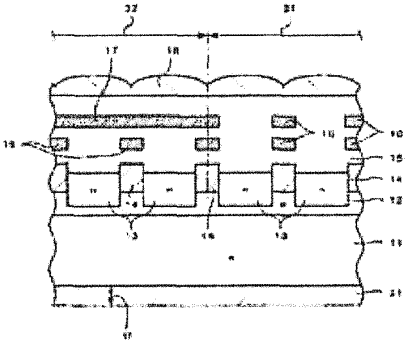
(51)Int.Cl. *H01L 27/14 (2006.01)*
H04N 5/335 (2006.01)

(21)Application number : **2006-130493**
(22)Date of filing : **09.05.2006**

(71)Applicant : **SONY CORP**
(72)Inventor : **TAYA KEIJI**

(54) SOLID-STATE IMAGING DEVICE AND IMAGING DEVICE

(57)Abstract:
PROBLEM TO BE SOLVED: To provide a solid-state imaging device which has a superior imaging characteristic by suppressing variation in black level in an optical black part due to irradiation with infrared light.
SOLUTION: The solid-state imaging device is provided with a sensor 13 for photoelectric conversion that is formed on the front surface of a semiconductor substrate 11, an effective pixel 31 and an optical black part 32 in a pixel area, and a low reflection film 21 which is low in reflectivity to an infrared light and is formed on the rear surface of the semiconductor substrate 11.



SIONYX1403000020.0129

SAMSUNG EX. 1002 - 1840/4148

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2007-305675
(P2007-305675A)
(43)公開日　平成19年11月22日(2007.11.22)

(51)Int.Cl.		F I		テーマコード（参考）
H01L 27/14	(2006.01)	H01L 27/14	D	4M118
H04N 5/335	(2006.01)	H04N 5/335	S	5C024
		H04N 5/335	U	

審査請求 有　請求項の数 5　OL　（全 9 頁）

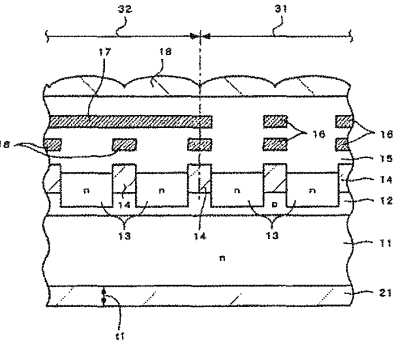
(21)出願番号　特願2006-130493 (P2006-130493)
(22)出願日　平成18年5月9日 (2006.5.9)

(71)出願人　000002185
ソニー株式会社
東京都港区港南１丁目７番１号
(74)代理人　100122884
弁理士　角田　芳末
(74)代理人　100133824
弁理士　伊藤　仁恭
(72)発明者　田谷　圭司
東京都品川区北品川６丁目７番３５号　ソニー株式会社内

Fターム(参考)　4M118 AA05 AB01 BA14 CA02 CA09 CA34 FA06 FA33 GB09 GB11 GB18 GB19 GC07 GD04
5C024 AX01 CX32 EX43 GX03 GZ36

(54)【発明の名称】固体撮像素子、撮像装置

(57)【要約】
【課題】赤外光の入射によるオプティカルブラック部の黒レベルの変動を抑制することにより、良好な撮像特性を有する固体撮像素子を提供する。
【解決手段】光電変換がなされるセンサ部１３が半導体基板１１の表面側に形成され、画素領域に有効画素部３１とオプティカルブラック部３２とを有し、半導体基板１１の裏面側に、赤外光の反射率の低い低反射膜２１が形成されている固体撮像素子を構成する。
【選択図】図１



SIONYX1403000021.0001

SAMSUNG EX. 1002 - 1841/4148

【特許請求の範囲】
【請求項1】
光電変換がなされるセンサ部が、半導体基板の表面側に形成され、
画素領域に有効画素部とオプティカルブラック部とを有し、
前記半導体基板の裏面側に、赤外光の反射率の低い低反射膜が形成されている
ことを特徴とする固体撮像素子。
【請求項2】
前記低反射膜が、前記半導体基板の材料との屈折率の差が大きい材料から成る単層膜であることを特徴とする請求項１に記載の固体撮像素子。
【請求項3】
前記低反射膜が、互いの屈折率の差が大きい複数の膜を積層して成る多層膜であることを特徴とする請求項１に記載の固体撮像素子。
【請求項4】
前記低反射膜が、赤外光を吸収する特性を有する材料から成ることを特徴とする請求項１に記載の固体撮像素子。
【請求項5】
固体撮像素子と、前記固体撮像素子へ入射光を導く光学部品とを少なくとも備え、
前記固体撮像素子は、光電変換がなされるセンサ部が、半導体基板の表面側に形成され、画素領域に有効画素部とオプティカルブラック部とを有し、前記半導体基板の裏面側に、赤外光の反射率の低い低反射膜が形成されている
ことを特徴とする撮像装置。

【発明の詳細な説明】
【技術分野】
【0001】
本発明は、オプティカルブラック部と有効画素部を有して成る固体撮像素子、並びに固体撮像素子を備えた撮像装置に係わる。
【背景技術】
【0002】
通常、固体撮像素子においては、有効画素部の外側にセンサ部上を例えばＡｌ等遮光性の高い金属からなる遮光膜で被覆したオプティカルブラック部を設け、このオプティカルブラック部（以下ＯＰＢ部とする）からの信号を黒レベルとしている（例えば、特許文献１参照。）。
【特許文献1】特開２００１－１４４２８０号公報
【発明の開示】
【発明が解決しようとする課題】
【0003】
ところで、赤外光は、遮光膜で遮ることができるが、可視光線よりも吸収されにくいため、可視光線よりも到達可能距離が長くなる。
【0004】
このことから、センサ部上の遮光膜に開口が形成されている有効画素部において斜めに入射した赤外光が、基板の裏面で反射してＯＰＢ部のセンサ部に入射して、ＯＰＢ部で光電変換が起こってしまい、ＯＰＢ部で黒レベルを決めている部分の画面に色が付いたり、明るさが変わってしまったりという現象が起こっていた。
【0005】
ここで、従来の固体撮像素子の概略構成図（断面図）を図５に示す。
図５に示すように、有効画素部３１の画素においては、センサ部１３上の遮光膜（配線層１６に開口が形成されているため、赤外光がシリコン基板１１に入射する。
そして、図５に示す、シリコン基板１１に斜めに入射した赤外光Ｌは、シリコン基板１１の裏面で反射することによって、隣接するＯＰＢ部３２の画素のセンサ部１３に入射することがある。

SAMSUNG EX. 1002 - 1842/4148

【0006】
赤外光は、可視光線よりも吸収されにくいが、全く吸収されないわけではない。
特に、波長８００ｎｍ～１３００ｎｍ程度の赤外光は、シリコンにある程度吸収されるため、ＯＰＢ部３２の画素のセンサ部１３に赤外光が入射すると、センサ部１３で吸収されて光電変換が起こってしまう。
【0007】
上述の現象への対策としては、固体撮像素子の前段に、赤外線をカットするＩＲカットフィルタを設けてカメラ等の撮像装置を構成することが考えられる。
このようにＩＲカットフィルタを設けることにより、ＯＰＢ部だけでなく、有効画素部へも赤外線が入射しないようにすることができる。
【0008】
しかしながら、広い波長範囲をカットすることが可能なＩＲカットフィルタは非常に高価であるため、撮像装置のコストが増大してしまう、という問題がある。
【0009】
また、ＩＲカットフィルタを設けることができないような撮像装置（例えば、赤外光を利用する監視カメラや、赤外光を利用することによって解像度を上げるもの）等には、ＩＲカットフィルタを設ける対策を採ることができない。
【0010】
上述した問題の解決のために、本発明においては、赤外光の入射によるオプティカルブラック部の黒レベルの変動を抑制することにより、良好な撮像特性を有する固体撮像素子、並びにこの固体撮像素子を備えた撮像装置を提供するものである。
【課題を解決するための手段】
【0011】
本発明の固体撮像素子は、光電変換がなされるセンサ部が半導体基板の表面側に形成され、画素領域に有効画素部とオプティカルブラック部とを有し、半導体基板の裏面側に、赤外光の反射率の低い低反射膜が形成されているものである。
また、本発明の撮像装置は、固体撮像素子と、固体撮像素子へ入射光を導く光学部品とを少なくとも備え、固体撮像素子を上記本発明の固体撮像素子の構成としたものである。
【0012】
上述の本発明の固体撮像素子の構成によれば、表面側にセンサ部が形成された半導体基板の裏面側に、赤外光の反射率の低い低反射膜が形成されていることにより、半導体基板の裏面から反射する光を低減することができる。これにより、半導体基板の裏面で反射してオプティカルブラック部のセンサ部に入射する赤外光を低減することができる。
【発明の効果】
【0013】
上述の本発明の固体撮像素子によれば、半導体基板の裏面で反射してオプティカルブラック部のセンサ部に入射する赤外光を低減することができるため、オプティカルブラック部のセンサ部に入射した赤外光に起因する、オプティカルブラック部の画素から得られる信号の変化を抑制することができる。
従って、黒レベルを決めるための画像に色が付いたり、明るさが変化してしまったりする問題の発生を抑えることができる。
これにより、良好な撮像特性を有する固体撮像素子を構成することができる。
【0014】
さらに、固体撮像素子の半導体基板の裏面で反射してオプティカルブラック部のセンサ部に入射する赤外光を低減することができるため、撮像装置に備えるＩＲカットフィルタを安価なものとすることや、省略することが可能になる。また、ＩＲカットフィルタを設けることができないような撮像装置においても、赤外光の反射光による問題の発生を抑えて、良好な画像を得ることが可能になる。
【0015】
上述の本発明の撮像装置によれば、良好な撮像特性を有する固体撮像素子を備えて、画

SAMSUNG EX. 1002 - 1843/4148

質の良好な画像を得ることができる。
　また、赤外光をカットするＩＲカットフィルタを、安価なものとしたり、省略したりすることが可能になる。
【発明を実施するための最良の形態】
【0016】
　本発明の一実施の形態の固体撮像素子の概略構成図（断面図）を図１に示す。
　本実施の形態は、本発明をＣＭＯＳ型固体撮像素子に適用した場合である。
【0017】
　この固体撮像素子は、第１導電型、例えばｎ型のシリコン基板１１の表面側に、第２導電型、例えばｐ型の半導体ウェル領域１２が形成され、シリコン基板１１の表面側のｐ型半導体ウェル領域１２内に、光電変換が行われるセンサ部１３が形成されている。
　センサ部１３は、ｎ型の半導体領域から成り、ｐ型の半導体ウェル領域１２とによってフォトダイオードＰＤが構成される。
　各画素のセンサ部１３の間は、一部がシリコン基板１１に埋め込まれたSiO_2層から成る素子分離層１４により、分離されている。
　シリコン基板２１の上方には、絶縁層１５を介して配線層１６が設けられている。
【0018】
　画素領域に、多数の画素が形成されており、画像の信号を得るための有効画素部３１の画素に対して、黒レベルの基準を求めるために、オプティカルブラック（ＯＰＢ）部３２の画素が設けられている。図示しないが、有効画素部３１が画素領域の主要部分を占めており、ＯＰＢ部３２は画素領域の端部に形成される。
【0019】
　そして、有効画素部３１の画素では、各層の配線層１６がセンサ部１３上に開口を有している。
　一方、オプティカルブラック（ＯＰＢ）部３２の画素では、最上層の配線層１７が遮光層を兼ねていて、センサ部１３上をも覆って連続的に形成されている。これにより、センサ部１３に光が入射しないようにしている。
【0020】
　さらに上層には、絶縁層を介して、オンチップレンズ１８が設けられている。
　カラー固体撮像素子に使用する場合には、図示しないが、オンチップレンズ１８の下にさらにカラーフィルターを設ける。
【0021】
　なお、各画素において、図１に示す断面以外の部分に、センサ部１３で光電変換された信号電荷を読み出したり、信号電荷を電圧に変換して信号として取り出したりするためのトランジスタを備えた、トランジスタ部が設けられる。
【0022】
　本実施の形態では、特に、センサ部１３が表面側に形成されたシリコン基板１１の裏面側に、赤外光の反射率が低い低反射膜２１を設けている。
　そして、低反射膜２１の具体的な構成として、赤外光に対する屈折率が、シリコン基板１１との差が比較的大きい材料から成る膜を形成している。
【0023】
　さらに、好ましくは、低反射膜２１の膜厚ｔ１を、低反射膜２１の屈折率がｎであるとき、該当する赤外光の波長λに対して、λ／（４ｎ）程度とする。
【0024】
　このような構成の低反射膜２１をシリコン基板１１の裏面側に形成したことにより、シリコン基板１１の裏面で反射した光と、低反射膜２１を経て反射した光とが干渉して弱めあい、その結果として反射光が低減される。
【0025】
　ここで、図１のシリコン基板１１の裏面で反射する光を示した、図２を利用して、干渉による反射光の低減について説明する。

SAMSUNG EX. 1002 - 1844/4148

シリコン基板１１に入射した光のうち、実線で示す一部の光Ｌ１は、シリコン基板１１の裏面即ちシリコン基板１１と低反射膜２１との界面で反射する。また、破線で示す他の光Ｌ２は、低反射膜２１の裏面で反射する。

ここで、低反射膜２１が、該当する赤外光の波長λに対して、λ／（４ｎ）程度の膜厚であることから、光学膜厚（膜厚×屈折率）がλ／４程度となり、低反射膜２１の裏面で反射した光Ｌ２は、位相が変化して１／４周期＋１／４周期＝１／２周期ずれる。このように位相が半周期ずれることにより、シリコン基板１１の裏面で反射した光Ｌ１と干渉して互いに弱めあうことになり、シリコン基板１１の裏面から反射する赤外光が低減されるため、低反射膜２１の赤外光の反射率が低くなる。

【0026】

なお、低反射膜２１の膜厚を、（２ｋ－１）λ／（４ｎ）（ｋは自然数）とすれば、λ／（４ｎ）とした場合と同様の作用効果が得られる。

ただし、ｋをあまり大きくすると、低反射膜２１の成膜に長い時間を要するため、ｋを１～３程度とするとよい。

【0027】

該当する赤外光の波長λは、シリコンに吸収される波長範囲の８００ｎｍ～１３００ｎｍ程度であるため、低反射膜２１の光学膜厚（ｔ１×ｎ）は、２００ｎｍ～１０００ｎｍ程度とすることが好ましい。λ＝８００ｎｍのときにλ／４＝２００ｎｍであり、λ＝１３００ｎｍのときに３λ／４＝約１０００ｎｍである。

【0028】

低反射膜２１の材料としては、オンチップカラーフィルター等に使用される有機材料や、ＳｉＮ，SiO_2，多結晶シリコン，ＳｉＣ，Ta_2O_3 等を使用することが可能である。

【0029】

本実施の形態の固体撮像素子を製造する際には、シリコン基板１１の裏面側に、低反射膜２１を形成する工程を設ける。

シリコン基板１１の裏面に対してバックグラインドを行わない場合は、シリコン基板１１の表面側の工程に引き続いて、低反射膜２１を形成する工程を行うことも可能である。

【0030】

上述の本実施の形態によれば、シリコン基板１１の裏面側に、赤外光の反射率の低い低反射膜２１が形成されていることにより、シリコン基板１１の裏面で反射してセンサ部１３に入射する赤外光を低減することができる。

これにより、シリコン基板１１の裏面で反射して、ＯＰＢ部３２の画素のセンサ部１３に入射した赤外光に起因する、ＯＰＢ部３２の画素から得られる信号の変化を、抑制することができる。

従って、黒レベルを決めるための画像に色が付いたり、明るさが変化してしまったりする問題の発生を抑えることができ、良好な撮像特性を有する固体撮像素子を構成することができる。

【0031】

本実施の形態の固体撮像素子と、固体撮像素子に入射光を導く光学部品、例えばレンズやフィルター等とを少なくとも備えることにより、撮像装置を構成することができる。

なお、このような撮像装置が備える固体撮像素子の個数は１個に限定されるものではなく、３つの固体撮像素子を備えた所謂３板式の構成のように、複数個の固体撮像素子を設けて撮像装置を構成してもよい。

【0032】

そして、本実施の形態の固体撮像素子を備えて撮像装置を構成することにより、ＩＲカットフィルタを安価なものとすることや、ＩＲカットフィルタを省略することが可能になる。

また、前述したような、ＩＲカットフィルタを設けることができないような撮像装置においても、赤外光の反射光による問題の発生を抑えて、良好な画像を得ることが可能にな

SAMSUNG EX. 1002 - 1845/4148

る。

【0033】

なお、基板１１の裏面側に、さらに低反射膜２１を覆って、保護膜等の他の膜を形成してもよい。

【0034】

次に、本発明の他の実施の形態の固体撮像素子の概略構成図（断面図）を図３に示す。

本実施の形態では、シリコン基板１１の裏面側に形成する低反射膜２１を、互いの赤外光の屈折率の差が大きい、第１の膜２２と第２の膜２３とを交互に２層ずつ積層した多層膜としている。

その他の構成は、図１に示した先の実施の形態と同様であるので、同一符号を付して重複説明を省略する。

【0035】

低反射膜２１の第１の膜２２及び第２の膜２３の材料としては、先の実施の形態で挙げた材料、即ち、オンチップカラーフィルター等に使用される有機材料や、ＳｉＮ，SiO_2，多結晶シリコン，ＳｉＣ，Ta_2O_3等を使用することが可能である。

そして、各種の材料から、屈折率の差が比較的大きい２つの材料を選んで、一方の材料を第１の膜２２に使用して、他方の材料を第２の膜２３に使用すればよい。

例えば、ＳｉＮとSiO_2との組み合わせを、第１の膜２２及び第２の膜２３に用いれば、屈折率の差を大きくすることができ、また容易に安価に成膜することができる。

【0036】

屈折率が異なり、屈折率に互いに差がある２つの膜２２，２３を、交互に２層ずつ合計４層積層して低反射膜２１を形成したことにより、シリコン基板１１の裏面で反射する光に対して、低反射膜２１を通ってその裏面で反射する光の位相が変わることを利用して、これらの光を干渉により弱めあうようにして、裏面側から反射する赤外光を減少させることができる。

【0037】

低反射膜２１を通ってその裏面で反射する光が、シリコン基板１１の裏面で反射する光と干渉して弱めあうように、第１の膜２２及び第２の膜２３の膜厚を、使用する材料の屈折率等に対応して、それぞれ適切な膜厚に設定する。

このように設定することにより、使用する材料にもよるが、低反射膜２１の多層膜の合計の光学膜厚は、おおむね単層膜の場合と同様に２００ｎｍ～１０００ｎｍ程度となる。

【0038】

上述の本実施の形態によれば、シリコン基板１１の裏面側に、赤外光の反射率の低い低反射膜２１が形成されていることにより、先の実施の形態と同様に、シリコン基板１１の裏面で反射してセンサ部１３に入射する赤外光を低減することができる。

これにより、シリコン基板１１の裏面で反射して、ＯＰＢ部３２の画素のセンサ部１３に入射した赤外光に起因する、ＯＰＢ部３２の画素から得られる信号の変化を、抑制することができる。

従って、黒レベルを決めるための画像に色が付いたり、明るさが変化してしまったりする問題の発生を抑えることができ、良好な撮像特性を有する固体撮像素子を構成することができる。

【0039】

また、低反射膜２１を第１の膜２２及び第２の膜２３を交互に積層した多層膜としていることにより、先の実施の形態の単層膜と比較して、材料選定や膜厚設定の自由度を高めることができる。

【0040】

本実施の形態の固体撮像素子と、固体撮像素子に入射光を導く光学部品、例えばレンズやフィルター等とを少なくとも備えることにより、撮像装置を構成することができる。

そして、本実施の形態の固体撮像素子を備えて撮像装置を構成することにより、ＩＲカットフィルタを安価なものとすることや、ＩＲカットフィルタを省略することが可能にな

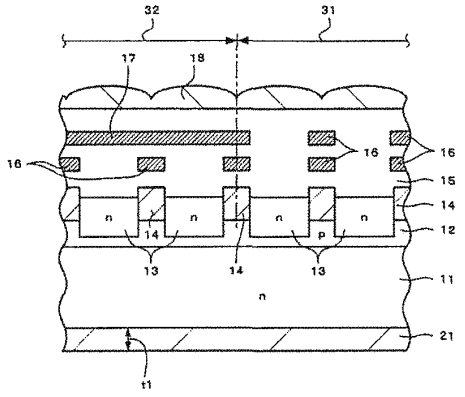
SAMSUNG EX. 1002 - 1846/4148

る。
　また、前述したような、ＩＲカットフィルタを設けることができないような撮像装置においても、赤外光の反射光による問題の発生を抑えて、良好な画像を得ることが可能になる。
【0041】
　上述の本実施の形態では、第１の膜２２と第２の膜２３とを交互に２層ずつ積層した低反射膜２１の構成であったが、積層する膜を３種類以上とすることや、それぞれの膜を積層する数を２層ずつ以外とすることも可能である。また、合計の総数は偶数に限らず、奇数でも構わない。
　いずれの構成であっても、低反射膜全体で反射光の位相が（２ｋ－１）／４（ｋは自然数）変化するように、各層の光学膜厚（屈折率と膜厚）を設定すればよい。
【0042】
　続いて、本発明のさらに他の実施の形態の固体撮像素子の概略構成図（断面図）を図４に示す。
　本実施の形態においては、シリコン基板１１の裏面側に形成する低反射膜２１として、赤外光を吸収する膜２４を設ける。
　これにより、シリコン基板１１の裏面から反射してくる赤外光を減少させることができる。
【0043】
　赤外光を吸収する膜２４の材料としては、カラーフィルター等に使用される各種の有機膜のうち、赤外光を吸収する特性を有する材料であり、赤外光をカットできるものであれば、特に問わない。
　具体的には、例えば、ベース材をポリマーとしてフタルシアニン系色素を混合した材料を使用することができる。
【0044】
　本実施の形態では、赤外光の吸収を利用していて、光の干渉を利用する必要がないため、低反射膜２１の膜厚の条件が、先の実施の形態よりも緩和される。赤外光を充分吸収できることや、成膜に長い時間をかけなくてすむことを考慮して、膜厚を設定すればよい。
【0045】
　上述の本実施の形態によれば、シリコン基板１１の裏面側に、赤外光を吸収する膜２４による低反射膜２１が形成されていることにより、シリコン基板１１の裏面で反射してセンサ部１３に入射する赤外光を低減することができる。
　これにより、シリコン基板１１の裏面で反射して、ＯＰＢ部３２の画素のセンサ部１３に入射した赤外光に起因する、ＯＰＢ部３２の画素から得られる信号の変化を、抑制することができる。
　従って、黒レベルを決めるための画像に色が付いたり、明るさが変化してしまったりする問題の発生を抑えることができ、良好な撮像特性を有する固体撮像素子を構成することができる。
【0046】
　本実施の形態の固体撮像素子と、固体撮像素子に入射光を導く光学部品、例えばレンズやフィルター等とを少なくとも備えることにより、撮像装置を構成することができる。
　そして、本実施の形態の固体撮像素子を備えて撮像装置を構成することにより、ＩＲカットフィルタを安価なものとすることや、ＩＲカットフィルタを省略することが可能になる。
　また、前述したような、ＩＲカットフィルタを設けることができないような撮像装置においても、赤外光の反射光による問題の発生を抑えて、良好な画像を得ることが可能になる。
【0047】
　上述の各実施の形態では、低反射膜を裏面側に形成する半導体基板として、いずれもシリコン基板を使用した場合を示したが、本発明は、シリコン基板以外の半導体基板を使用

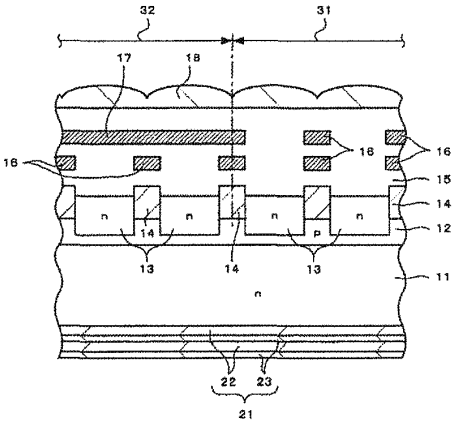
SAMSUNG EX. 1002 - 1847/4148

した場合にも適用することが可能である。
　また、シリコン基板の表面側に、シリコンエピタキシャル層を形成し、センサ部をこのシリコンエピタキシャル層内に形成した構成としてもよい。
　なお、他の半導体（例えばＧａＡｓ等の化合物半導体）は、赤外光の吸収特性がシリコンとは異なるので、その半導体の赤外光の吸収特性に合わせて、低反射膜の膜厚等を設定する。
【0048】
　また、上述の各実施の形態では、ＣＭＯＳ型固体撮像素子に適用した場合を説明したが、その他の構成の固体撮像素子、例えば前記特許文献１のようなＯＰＢ部を有するＣＣＤ固体撮像素子にも、同様に本発明を適用することができる。
【0049】
　さらに、本発明において、低反射膜は、必ずしも固体撮像素子の半導体基板やチップの端縁まで亘って全面的に形成されていなくてもよく、例えばチップの端縁より少し内側まで形成されていてもよい。
【0050】
　本発明は、上述の実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲でその他様々な構成が取り得る。
【図面の簡単な説明】
【0051】
【図1】本発明の一実施の形態の固体撮像素子の概略構成図（断面図）である。
【図2】図１のシリコン基板の裏面側における反射光を示す図である。
【図3】本発明の他の実施の形態の固体撮像素子の概略構成図（断面図）である。
【図4】本発明のさらに他の実施の形態の固体撮像素子の概略構成図（断面図）である。
【図5】従来の固体撮像素子の概略構成図（断面図）である。
【符号の説明】
【0052】
１１　シリコン基板、１２　半導体ウェル領域、１３　センサ部、１４　素子分離層、１５　絶縁層、１６　配線層、１７　配線層（遮光層）、１８　オンチップレンズ、２１　低反射膜、２２　第１の膜、２３　第２の膜、３１　有効画素部、３２　オプティカルブラック（ＯＰＢ）部

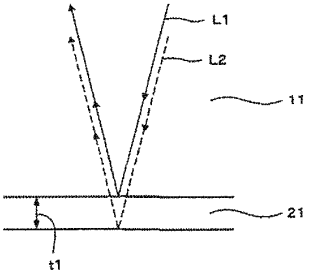
【図1】


32
31
17
18
16
16
16
15
14
12
n
14
n
n
p
n
13
14
13
11
n
21
t1

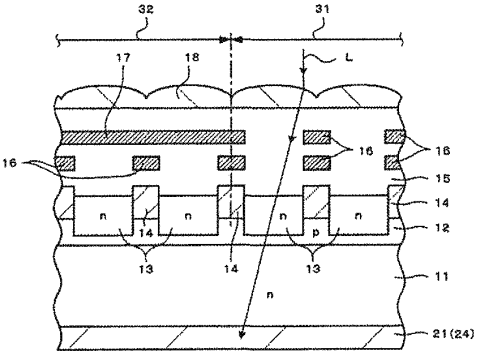
【図3】


32
31
17
18
16
16
16
15
14
12
n
14
n
n
p
n
13
14
13
11
n
22
23
21

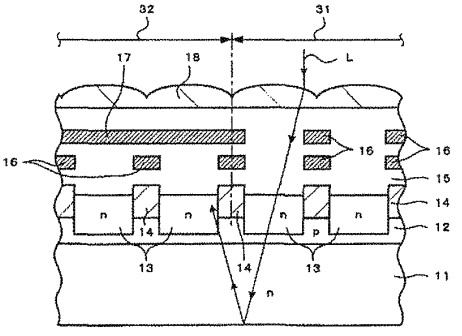
【図2】


L1
L2
11
21
t1

【図4】


32
31
17
18
L
16
16
16
15
14
12
n
14
n
n
p
n
13
14
13
11
n
21(24)

【図5】


32
31
17
18
L
16
16
16
15
14
12
n
14
n
n
p
n
13
14
13
11
n

SAMSUNG EX. 1002 - 1850/4148

No documents available for this priority number.

Espacenet

Bibliographic data: JP2008187003 (A) — 2008-08-14

INFRARED RADIATION DETECTOR

Inventor(s):	MATSUKURA YUSUKE ± (MATSUKURA YUSUKE)
Applicant(s):	FUJITSU LTD ± (FUJITSU LTD)
Classification:	**- international:*H01L31/0264*** **- cooperative: B82Y20/00; H01L31/035218; H01L31/035236; H01L31/109; H01L31/1844**
Application number:	JP20070019117 20070130
Priority number (s):	JP20070019117 20070130
Also published as:	JP4749351 (B2) US2010289061 (A1) US8368045 (B2)

Abstract of JP2008187003 (A)

PROBLEM TO BE SOLVED: To provide a quantum dot type infrared radiation detector using quantum dot in an infrared radiation sensitive part, which hardly lowers sensitivity in a low current region and is excellent in sensitivity characteristics. SOLUTION: The detector has: a contact layer 12 formed on a semiconductor substrate 10; a quantum dot layer 24 which is formed on the contact layer 12 and is formed by alternately and repeatedly laminating an interlayer and a quantum dot; and a contact layer 26 formed on the quantum dot layer 24. The interlayer in contact with the contact layer among a plurality of interlayers, has an impurity introduction region 16 wherein N-type impurities are introduced to an interface side between it and the contact layer 12. ; COPYRIGHT: (C)2008,JPO&INPIT

Last updated: 13.03.2013 Worldwide Database 5.8.6.7; 92p

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2008-187003
(P2008-187003A)
(43)公開日　平成20年8月14日(2008.8.14)

(51)Int.Cl.	F I		テーマコード（参考）
H01L 31/0264 (2006.01)	H01L 31/08	N	5F088

審査請求 未請求　請求項の数 8　OL　（全 14 頁）

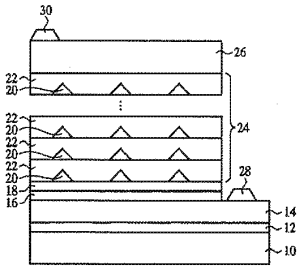
(21)出願番号　特願2007-19117(P2007-19117)
(22)出願日　平成19年1月30日(2007.1.30)

(71)出願人　000005223
富士通株式会社
神奈川県川崎市中原区上小田中４丁目１番１号
(74)代理人　100087479
弁理士　北野　好人
(74)代理人　100114915
弁理士　三村　治彦
(72)発明者　松倉　祐輔
神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内

Fターム(参考)　5F088 AA11　AB07　BA01　BA15　CB01
LA01

(54)【発明の名称】赤外線検出器

(57)【要約】
【課題】赤外感知部分に量子ドットを用いた量子ドット型赤外線検知器に関し、低電流領域における感度低下が少なく感度特性の良好な赤外線検出器を提供する。
【解決手段】半導体基板１０上に形成されたコンタクト層１２と、コンタクト層１２上に形成され、中間層と量子ドットとが交互に繰り返して積層されてなる量子ドット層２４と、量子ドット層２４上に形成されたコンタクト層２６とを有し、複数の中間層のうちコンタクト層に接する中間層は、コンタクト層１２との間の界面側にN型不純物が導入された不純物導入領域１６を有する。
【選択図】図１



SIONYX1403000021.0012

SAMSUNG EX. 1002 - 1852/4148

【特許請求の範囲】
【請求項1】
半導体基板上に形成された第１のコンタクト層と、
前記第１のコンタクト層上に形成され、前記第１の半導体材料よりなる複数の中間層と、前記第１の半導体材料よりもバンド幅の狭い第２の半導体材料よりなる複数の量子ドットとが交互に繰り返して積層されてなる量子ドット層と、
前記量子ドット層上に形成された第２のコンタクト層とを有し、
複数の前記中間層のうち前記第１のコンタクト層に接する前記中間層は、前記第１のコンタクト層との間の界面側にＮ型不純物が導入された不純物導入領域を有する
ことを特徴とする赤外線検出器。
【請求項2】
請求項１記載の赤外線検出器において、
前記不純物導入領域は、前記第１のコンタクト層と前記第２のコンタクト層との間に駆動電圧を印加した状態において、前記不純物導入領域による電位降下量をV_1、前記中間層内におけるΓ伝導体とΓ伝導体に近接する他の伝導帯とのエネルギー差をE_0として、
$$V_1 < E_0$$
の関係を満たすように、厚さ及び不純物濃度が規定されている
ことを特徴とする赤外線検出器。
【請求項3】
請求項１記載の赤外線検出器において、
前記不純物導入領域は、前記第１のコンタクト層と前記第２のコンタクト層との間に駆動電圧を印加した状態において、電荷素量をｅ、前記不純物導入領域の不純物濃度をN_d、前記中間層の誘電率をε、前記不純物導入領域の厚さをｔ、前記第１のコンタクト層と前記第２のコンタクト層との間隔をＬ、前記駆動電圧をV_0、前記中間層内におけるΓ伝導体とΓ伝導体に近接する他の伝導帯とのエネルギー差をE_0として、
$$(1/2)(eN_d/\varepsilon)t^2 + (t/L)V_0 < E_0$$
の関係を満たすように、厚さｔ及び不純物濃度N_dが規定されている
ことを特徴とする赤外線検出器。
【請求項4】
請求項１乃至３のいずれか１項に記載の赤外線検出器において、
前記不純物導入領域は、前記第１のコンタクト層と前記第２のコンタクト層との間に駆動電圧を印加した状態において、前記駆動電圧をV_0、前記不純物導入領域による電位降下量をV_1、前記中間層の厚さをｌ、前記第１のコンタクト層と前記第２のコンタクト層との間隔をＬ、前記不純物導入領域の厚さをｔ、前記中間層内におけるΓ伝導体とΓ伝導体に近接する他の伝導帯とのエネルギー差をE_0として、
$$((V_0 - V_1)l)/(L-t) < E_0$$
の関係を満たすように、厚さ及び不純物濃度が規定されている
ことを特徴とする赤外線検出器。
【請求項5】
請求項１乃至３のいずれか１項に記載の赤外線検出器において、
前記不純物導入領域は、前記第１のコンタクト層と前記第２のコンタクト層との間に駆動電圧を印加した状態において、前記駆動電圧をV_0、前記第１のコンタクト層と前記第２のコンタクト層との間隔をＬ、前記不純物導入領域の厚さをｔ、前記中間層内におけるΓ伝導体とΓ伝導体に近接する他の伝導帯とのエネルギー差をE_0、電荷素量をｅ、前記不純物導入領域の不純物濃度をN_d、前記中間層の誘電率をεとして、
$$V_0 - ((L-t)/l)E_0 < (1/2)(eN_d/\varepsilon)t^2 + (t/L)V_0$$
の関係を満たすように、厚さｔ及び不純物濃度N_dが規定されている
ことを特徴とする赤外線検出器。
【請求項6】

SAMSUNG EX. 1002 - 1853/4148

請求項３乃至５のいずれか１項に記載の赤外線検出器において、
前記Γ伝導体に近接する他の伝導帯は、Ｘ伝導帯又はＬ伝導帯である
ことを特徴とする赤外線検出器。
【請求項7】
請求項１乃至６のいずれか１項に記載の赤外線検出器において、
前記第１の半導体材料は、ＧａＡｓ又はＡｌＧａＡｓであり、
ことを特徴とする赤外線検出器。
【請求項8】
請求項１乃至７のいずれか１項に記載の赤外線検出器において、
前記第２の半導体材料は、ＩｎＡｓ又はＩｎＧａＡｓである
ことを特徴とする赤外線検出器。

【発明の詳細な説明】
【技術分野】
【0001】
本発明は、赤外線検出器に係り、特に、赤外感知部分に量子ドットを用いた量子ドット型赤外線検知器に関する。
【背景技術】
【0002】
赤外線検出器の一つとして、赤外感知部分に量子ドットを用いた量子ドット型赤外線検出器が提案されている。量子ドット型赤外線検出器は、赤外感知部分に量子井戸を用いた量子井戸型赤外線検出器と比較して、素子面に垂直に入射する赤外光に対する検出感度が高い、光励起されたキャリアが再び捕獲される確率が少なく光電流利得が高い、などの利点を有している。このため、大きな光電流、つまり感度が得られる赤外線検出器として期待されている。
【0003】
光電流が大きい検出器では、比較的高い動作温度でも雑音源となる暗電流（動作温度に対して指数関数的に増大する）に埋もれずに信号電流を検出できるため、暗電流抑制のために検出器を冷却する必要が少なくなる。したがって、冷却装置を簡素化することができ、赤外線検出器の小型化並びに低コスト化を図ることが可能となる。
【0004】
なお、量子ドット型赤外線検出器は、例えば特許文献１や非特許文献１に記載されている。
【特許文献1】特開平１０－２５６５８８号公報
【非特許文献1】V. Ryzhii, "The theory of quantum-dot infrared photodiodes", Semicond. Sci. Technol., Vol. 11, 1996, p.759
【非特許文献2】I. Vurgaftman et al., "Band parameters for III-V compound semiconductors and their alloys", Journal of Applied Physics, Vol. 89, No. 11, 2001, pp. 5815-5875
【発明の開示】
【発明が解決しようとする課題】
【0005】
提案されている量子ドット型赤外線検出器としては、量子ドットとしてＩｎＡｓを、量子ドットを埋め込む中間層並びに電極層としてＧａＡｓを用いたものが知られている。しかしながら、このような量子ドット型赤外線検出器を実際に作製すると、期待されるほどの感度が得られなかった。
【0006】
赤外線検出器としての動作を決める量子ドット内での量子閉じ込めは、量子ドットの材料であるＩｎＡｓと、その周りを取り囲んで量子ドットを埋め込んでいるＧａＡｓ中間層との間の電位障壁高さで決まる。期待されるよりも感度が低いことは、この量子閉じ込めのための電位障壁高さが不十分であることが、その一つの原因であると考えられる。した

SAMSUNG EX. 1002 - 1854/4148

がって、量子ドット型赤外線検出器の感度を向上するためには、ＧａＡｓ中間層よりもバンド幅の大きな材料、例えばＡｌＧａＡｓ中間層を用いることが有効であると考えられる。

【0007】

しかしながら、このような構造にすることによって確かに全体的には感度が向上するのであるが、信号雑音特性のよい低電流領域での感度改善が相対的に劣化することが判明した。

【0008】

図１０は量子ドット型赤外線検出器の動作電圧を変えたときの感度と暗電流との関係を模式的に示した図である。図中、点線が中間層としてＧａＡｓを用いた場合、実線が中間層としてＡｌＧａＡｓを用いた場合である。

【0009】

中間層としてＧａＡｓよりもバンド幅の大きなＡｌＧａＡｓを用いた場合、ＧａＡｓ中間層を用いた場合の特性と同様の傾きを有する特性（図中、破線で示す）が期待される。しかしながら、実際に作製した素子では、実線で示すように、低電流領域において相対的に感度が低下してしまう。赤外線検出器は、良い信号雑音特性を得るために、このような低い電流領域を用いることが多いため、この領域での感度の相対的な低下は重大な問題である。

【0010】

本発明の目的は、赤外感知部分に量子ドットを用いた量子ドット型赤外線検知器に関し、低電流領域における感度低下が少なく感度特性の良好な赤外線検出器を提供することにある。

【課題を解決するための手段】

【0011】

本発明の一観点によれば、半導体基板上に形成された第１のコンタクト層と、前記第１のコンタクト層上に形成され、前記第１の半導体材料よりなる複数の中間層と、前記第１の半導体材料よりもバンド幅の狭い第２の半導体材料よりなる複数の量子ドットとが交互に繰り返して積層されてなる量子ドット層と、前記量子ドット層上に形成された第２のコンタクト層とを有し、複数の前記中間層のうち前記第１のコンタクト層に接する前記中間層は、前記第１のコンタクト層との間の界面側にＮ型不純物が導入された不純物導入領域を有する赤外線検出器が提供される。

【発明の効果】

【0012】

本発明によれば、赤外感知部分に量子ドットを用いた量子ドット型赤外線検知器において、量子ドットを埋め込む中間層と電極層との間に、電極層側からの電子の注入を促進し、電子がΓ伝導体以外の伝導帯に散乱されるのを抑制するための不純物導入層を形成するので、中間層としてＡｌＧａＡｓのようなバンド幅の広い材料を用いて量子閉じ込め効果を向上した場合にも、低電流領域における相対的な感度の低下を抑制することができる。これにより、赤外線検出器の感度特性を改善することができる。

【発明を実施するための最良の形態】

【0013】

本発明の一実施形態による赤外線検出器及びその製造方法について図１乃至図９を用いて説明する。

【0014】

図１は本実施形態による赤外線検出器の構造を示す概略断面図、図２はＡｌＧａＡｓにおけるΓ帯からのエネルギー高さ及びＧａＡｓに対する電位障壁高さのＡｌ組成に対する依存性を示すグラフ、図３は中間層としてＧａＡｓ又はＡｌ組成の低いＡｌＧａＡｓを用いた赤外線検出器の動作状態を模式的に表すエネルギーバンド図、図４は中間層が感度改善に必要なだけの高いＡｌ組成のＡｌＧａＡｓを用いた赤外線検出器の動作状態を模式的に表すエネルギーバンド図、図５は本実施形態による赤外線検出器の原理を示すエネルギ

SAMSUNG EX. 1002 - 1855/4148

ーバンド図、図６は不純物導入層の最適化のための検討に用いたエネルギーバンド構造のモデルを示す図、図７は本実施形態による赤外線検出器の評価結果を示すグラフ、図８及び図９は本実施形態による赤外線検出器の製造方法を示す工程断面図である。

【0015】

はじめに、本実施形態による赤外線検出器の構造について図１乃至図７を用いて説明する。

【0016】

ＧａＡｓよりなる半導体基板１０上には、例えば膜厚１００ｎｍのＧａＡｓ層よりなる緩衝層１２が形成されている。緩衝層１２上には、例えば膜厚５００ｎｍのＧａＡｓ層よりなる下部コンタクト層１４（第1のコンタクト層）が形成されている。

【0017】

下部コンタクト層１４上には、例えば膜厚１０ｎｍのＡｌＧａＡｓ層よりなる不純物導入層１６（不純物導入領域）が形成されている。不純物導入層１６には、Ｎ型の導電型を示す不純物が導入されている。不純物として例えばシリコンを用いる場合、III族元素のサイトにシリコンが入ることで、Ｎ型となる。不純物導入層１６上には、例えば膜厚４０ｎｍのＡｌＧａＡｓ層よりなる下地層１８が形成されている。なお、本実施形態では、便宜上、不純物導入層１６と下地層１８とを区別しているが、不純物導入層１６は、下地層１８の一部分の、不純物が導入された領域と考えることができる。

【0018】

下地層１８上には、量子ドット積層体２４が形成されている。量子ドット積層体２４（量子ドット層）は、ＩｎＡｓよりなる量子ドット２０と、例えば膜厚５０ｎｍのＡｌＧａＡｓよりなる中間層２２とを繰り返し（例えば１０回）積層することにより構成されている。なお、本実施形態では、便宜上、下地層１８と量子ドット積層体２４とを区別しているが、下地層１８は中間層２２と同じく量子ドット２０を埋め込み障壁層として機能するものであり、機能的には、中間層の一部分、すなわち量子ドット積層体２４の一部分でもある。かかる観点から、本願明細書では、不純物導入層１６及び下地層１８を、中間層と呼ぶこともある。

【0019】

量子ドット積層体２４上には、例えば膜厚１５０ｎｍのＧａＡｓ層よりなる上部コンタクト層２６（第2のコンタクト層）が形成されている。下部コンタクト層１４の一部の領域上は、上部コンタクト層２６、量子ドット積層体２４、下地層１８及び不純物導入層１６が除去されており、この領域の下部コンタクト層１４上に、下部電極層２８が形成されている。上部コンタクト層２６上には、上部電極層３０が形成されている。

【0020】

このように、本実施形態による赤外線検出器は、量子ドットがＩｎＡｓにより構成され、量子ドットを埋め込む中間層がＡｌＧａＡｓにより構成された量子ドット型赤外線検出器において、下部コンタクト層１４と下地層１８との間に、不純物導入層１６が形成されていることに主たる特徴がある。

【0021】

以下に、下部コンタクト層１４と下地層１８との間に不純物導入層１６を形成する理由及び効果について説明する。

【0022】

上述のように、量子ドットとしてＩｎＡｓを用いた赤外線検出器において、中間層をＧａＡｓからＡｌＧａＡｓに変更すると、低電流領域における感度が相対的に低下する。本願発明者が鋭意検討を行った結果、感度が低下する原因は、中間層の材料変更に伴う本質的な現象であることを突き止めた。

【0023】

一般的な半導体デバイスでは、考察する電子のエネルギーが比較的低いため、半導体中の伝導帯として、通常はいわゆるΓ伝導帯（Γ帯）のみを考える。しかしながら、実際には、よりエネルギー的に高い領域に、Ｌ帯やＸ帯と呼ばれる伝導帯が存在する。

SAMSUNG EX. 1002 - 1856/4148

【0024】
図２は、Ｘ帯及びＬ帯の、Γ帯からのエネルギー高さ及びＧａＡｓに対する電位障壁高さについての、ＡｌＧａＡｓ中のＡｌ組成に対する依存性を示すグラフである。なお、計算に用いた物性定数は、非特許文献２に記載されたものを用いた。ＧａＡｓに対する障壁高さは、バンド幅の差に対して伝導帯側の寄与がその６０％であるとしている。また、素子温度は、７７Ｋを仮定した。
【0025】
図２から判るように、ＡｌＧａＡｓ中間層でのＡｌ組成を増加させることにより、Γ帯で形成されるＧａＡｓに対する電位障壁高さは増加するが、Γ帯からみたＸ帯及びＬ帯のエネルギー高さは減少している。このため、Ａｌ組成が高いＡｌＧａＡｓ中間層を用いる場合、Ｘ帯及びＬ帯の影響も無視できなくなる。
【0026】
図３及び図４は、このような場合の素子動作について模式的に表したエネルギーバンド図である。図３は中間層がＧａＡｓ又はＡｌ組成の低いＡｌＧａＡｓの場合であり、図４は中間層が感度改善に必要なだけの高いＡｌ組成のＡｌＧａＡｓの場合である。
【0027】
なお、図３及び図４では、量子ドット部分でのＸ帯及びＬ帯と、中間層部分でのＸ帯及びＬ帯との間におけるエネルギーの差違を省略している。これは、そもそも量子ドット赤外線検出器としての伝導帯の電位分布は、Γ帯を基準として設計がなされるものであり、Ｘ帯及びＬ帯において電子がどのように伝導しようとも、Γ帯に電子が戻ってこない限り、ここでの議論には本質的ではないことによる。
【0028】
図３に示すように、中間層がＧａＡｓ又は比較的低いＡｌ組成のＡｌＧａＡｓの場合、Γ帯に対してＸ帯或いはＬ帯の伝導帯はエネルギー的に十分に高い位置にあるため、電極層（図面、左側）から注入された電子は、概ねΓ帯にとどまって素子内を伝導していくため、量子ドット層内に捕獲されやすい。
【0029】
これに対し、中間層が、感度改善に必要なだけの高いＡｌ組成のＡｌＧａＡｓの場合、図４に示すように、Ｘ帯又はＬ帯の伝導帯がエネルギー的にΓ帯に近づくため、電極層（図面、左側）から注入された電子の一定部分が、Ｘ帯又はＬ帯の伝導帯に散乱される。したがって、主にΓ帯で設計されている量子ドット部分に捕獲されにくくなり、感度が低下する。
【0030】
更に、中間層をＡｌＧａＡｓのような障壁の高い材料とした場合、電極層から電子が注入されるためにはより高いエネルギーを必要とする。その結果、同じ暗電流値で比較した場合、中間層をバンド幅の大きな材料とした素子では、より高い電圧を印加する必要が生じる。このことは、電子がＸ帯又はＬ帯に散乱されるのに必要なエネルギーを得ることを更に促進し、ひいては感度の相対的な低下を促進してしまう。
【0031】
ところで、そもそもバンド幅の大きな中間層を導入する目的は、量子ドットにおける量子閉じ込め効果の強調によって感度を増加させることにある。したがって、上述の感度劣化の問題は、中間層の電位障壁を高いまま維持しつつ、電極層と中間層との間における電子の注入を促進することで、解決することができる。
【0032】
そこで、本実施形態による赤外線検出器では、下部コンタクト層１４と下地層１８との間に、ＡｌＧａＡｓ不純物導入層１６を設けている。ＧａＡｓ下部コンタクト層１４と下地層１８との間の所定領域に所定濃度の不純物導入層１６を設けることにより、不純物導入層１６が形成された領域での電位分布を変化することができ、下部コンタクト層１４側からの電子の注入を促進することができる。
【0033】

SAMSUNG EX. 1002 - 1857/4148

中間層を電極層（コンタクト層）に比較してバンド幅の大きな材料とした場合、中間層の電極層に接した近傍の領域に不純物を導入すると、イオン化したその不純物による空間電荷によって電位分布が曲がる。例えば図１に示すように、下部コンタクト層１４と下地層１８との間にN型不純物が導入された不純物導入層１６を設けると、不純物導入層１６中のイオン化した不純物による空間電荷により、不純物導入層１６内の伝導帯のエネルギーが低エネルギー側にシフトする（図５参照）。

【0034】

これにより、不純物導入層１６が形成された領域の電位障壁が実効的に薄くなり、トンネル電流が生じやすくなる。この結果、一定の素子印加電圧での素子電流が増加する。また、下部コンタクト層１４側から注入された電子は、不純物導入層１６の電位障壁の上を超えることなくトンネリングによって流れることが可能となり、電子がX帯又はL帯に散乱されるほどのエネルギーを得ることを防止することが可能となる。

【0035】

次に、このような効果を奏する不純物導入層１６に好適な不純物濃度Ｎｄ及び厚さｔについて検討する。この検討にあたり、図６に示すようなエネルギーバンド構造のモデルを考える。図中、Ｌは電極部分（コンタクト層）に挟まれた活性領域の厚さ（素子長）であり、１は量子ドットの１周期に相当する距離である。

【0036】

体積密度N_dの空間電荷を持つ領域の電位分布Ｖは、ｅを電荷素量、εをその領域の誘電率として、下記のポアソン方程式で記述される。

【0037】

$$d^2V/dx^2 = eN_d/\varepsilon$$

素子に印加する電圧をV_0としたとき、下部コンタクト層１４と不純物導入層１６との間の電位障壁の頂点（図中、Ａ点）からみた不純物導入層１６の端部との電位差V_1（図６参照）は、ポアソン方程式を解くことにより、

$$V_1 = (1/2)(eN_d/\varepsilon)t^2 + (t/L)V_0$$

と求めることができる。なお、ここでは、$V_1 \ll V_0$とした近似を用いている。

【0038】

したがって、この電位差V_1が、Γ帯とX帯とのエネルギー差（図中、ΔEg_X）及びΓ帯とＬ帯とのエネルギー差（図中、ΔEg_L）のうち低い方（これをエネルギー差E_0とする）よりも小さければ、少なくとも、図６のＡ点から注入された電子がそのままX帯又はＬ帯に注入されてしまうことを抑制することができる。したがって、下記の式（１）は、不純物導入層１６に導入すべき不純物の濃度N_d及びその領域幅ｔの上限値を与える。

【0039】

$$(1/2)(eN_d/\varepsilon)t^2 + (t/L)V_0 < E_0 \quad \cdots(1)$$

なお、式（１）の左辺第１項は、一様な空間電荷状態での電位分布を示すものであり、ｘ＝ｔでの電位と電界＝０という境界条件によりポアソン方程式から求められるものである。この境界条件が、上述の$V_1 \ll V_0$とする近似に該当する。また、式（１）の左辺第２項は、この近似に対する補正項であり、ｘ＝０からｘ＝ｔでの間でのバイアス電圧V_0による電位変化分（線形近似）を考慮したものである。

【0040】

式（１）を満たす不純物導入層１６を設けることによって、低電圧での暗電流を確保しつつ、下部コンタクト層１４側から注入される電子がX帯又はＬ帯に散乱されてしまい量子ドット型赤外線検出器の感度に寄与しなくなることを抑制することが可能となる。

【0041】

ところで、通常このような量子ドット型赤外線検出器では、十分な量子効率を得るために、複数の量子ドット層を、中間層を介して積層した構造を用いることが多い。図１に示す本実施形態による赤外線検出器も同様である。この場合、素子内に存在する電子が、素子内の内部電界によって加速され、十分なエネルギーを得ると、やはりX帯やＬ帯に散乱

SAMSUNG EX. 1002 - 1858/4148

され、より下流の量子ドットに捕獲されにくくなる。

【0042】

活性領域を流れる電子は、いわゆる濡れ層などの影響により、このような量子ドット積層構造（量子ドット積層体２４）の１周期相当以上の距離を、何らの散乱もされずに伝達することは考え難い。したがって、電子が量子ドット積層体２４の１周期分の距離ｌを流れる間に得るエネルギーの最大値が、やはりエネルギー差E_0を超えないように素子内電位分布を設計すれば、本発明の効果はより十分に発揮できる。

【0043】

不純物導入層１６により、電位差V_1分の電位効果が生じる。したがって、不純物導入層１６は、素子内部での電界を電位差V_1相当分だけ低減する効果も持つ。このとき、電子が量子ドット積層体２４の１周期相当の距離を加速されることによって得るエネルギーの最大値V_2は、

$$V_2=((V_0-V_1)/(L-t))\times l$$

であるから、

$$V_0-((L-t)/l)E_0<(1/2)(eN_d/\varepsilon)t^2+(t/L)V_0 \quad \cdots(2)$$

を満たすことが、より望ましい。上記式（２）は、ＡｌＧａＡｓ不純物導入層１６に導入すべき不純物の濃度N_d及びその領域幅ｔの上限値を与える。

【0044】

なお、$(V_0-V_1)/(L-t)$は、不純物導入部分以外のところでの電圧V_0による電界（一様電界と近似）であり、その電界中での距離ｌ離れた２点間の電位差（V_2）が、電界×距離＝$(V_0-V_1)/(L-t)\times l$であることを表している。

【0045】

以上の結果から、不純物導入層１６の不純物濃度N_d及び厚さｔは、素子に印加する電圧をV_0、電極部分に挟まれた活性領域の厚さをＬ、中間層の厚さの最小値をｌ、中間層におけるΓ伝導体とΓ伝導体以外の伝導帯とのエネルギー差のうちの最小値をE_0、電荷素量をｅ、中間層の誘電率をεとして、下記２式のうち少なくとも一方の関係を満たすように、適宜設定することが望ましい。

【0046】

$$(1/2)(eN_d/\varepsilon)t^2+(t/L)V_0<E_0$$

$$V_0-((L-t)/l)E_0<(1/2)(eN_d/\varepsilon)t^2+(t/L)V_0$$

本実施形態による赤外線検出器では、素子長Ｌが５００ｎｍ、量子ドット２０の１周期相当の距離（中間層２２の厚さ）が５０ｎｍ、不純物導入層１６の厚さｔが１０ｎｍ、不純物導入層１６の不純物濃度N_dが$8.5\times10^{17}cm^{-3}$、ＡｌＧａＡｓ層のＡｌ組成が１５％では、中間層２２の比誘電率が１２．７、Γ伝導帯とＸ伝導帯又はＬ伝導帯との間のエネルギー差E_0が１６３ｍＶであるため、素子に印加する電圧V_0を１Ｖとすると、

$$V_1=(1/2)(eN_d/\varepsilon)t^2+(t/L)V_0=78.8mV$$

となり、上記式（１）の関係を満たしている。また、

$$V2=V_0-((L-t)/l)\times E_0=-628mV$$

となり、上記式（２）の関係も満たしている。

【0047】

図７に、本実施形態による赤外線検出器を実際に作製して評価した結果を示す。図中、○印は不純物導入層１６を形成していない従来構造の試料、●印は不純物導入層１６を形成した本発明の試料である。なお、赤外線検出器の素子サイズは５００μｍ角とし、測定温度は８０Ｋとした。

【0048】

図７中に点線の○印で示した動作点は、$V_0=2.2V$である。この場合、電位差V_1，V_2は、それぞれ、

$$V_1=(1/2)(eN_d/\varepsilon)t^2+(t/L)V_0=105mV$$

SAMSUNG EX. 1002 - 1859/4148

$V2=V_0-((L-t)/1)\times E_0=572mV$

となり、式（１）の関係は満たすが、式（２）の関係は満たしていない。しかしながら、図７から明らかなように、不純物導入層１６を形成した本発明の試料では、不純物導入層１６を形成しない従来構造の試料と比較して、低電流領域での相対的な感度の低下を抑制できていることが判る。

【0049】

上記式（１）の関係及び式（２）の関係は、必ずしも双方ともに満たす必要はなく、少なくとも一方の関係を満たすように不純物導入層１６を設計することにより、本発明の効果を得ることができる。

【0050】

次に、本実施形態による赤外線検出器の製造方法について図８及び図９を用いて説明する。

【0051】

まず、ＧａＡｓ基板１０上に、周知の結晶成長技術、例えば分子線エピタキシー法により、ＧａＡｓ緩衝層１２を成長する。ＧａＡｓ緩衝層１２の膜厚は、素子構造設計によって異なるが、例えば１００ｎｍとする。

【0052】

次いで、ＧａＡｓ緩衝層１２上に、周知の結晶成長技術、例えば分子線エピタキシー法により、ＧａＡｓ下部コンタクト層１４を成長する（図８（ａ））。ＧａＡｓ下部コンタクト層１４の膜厚は、素子構造設計によって異なるが、例えば５００ｎｍとする。ＧａＡｓ下部コンタクト層１４へのドーピングは、不純物として例えばＳｉを用い、濃度を例えば$1\times10^{18}cm^{-3}$とする。

【0053】

次いで、ＧａＡｓ下部コンタクト層１４上に、周知の結晶成長技術、例えば分子線エピタキシー法により、例えば５８０℃の基板温度で、ＡｌＧａＡｓ不純物導入層１６を成長する（図８（ｂ））。ＡｌＧａＡｓ不純物導入層１６の膜厚は、目的とする量子ドット型赤外線検出器の特性によって異なるが、例えば１０ｎｍとする。また、ＡｌＧａＡｓ不純物導入層１６へのドーピングは、目的とする量子ドット型赤外線検出器の特性によって異なるが、不純物として例えばＳｉを用い、濃度を例えば$8.5\times10^{17}cm^{-3}$とする。また、ＡｌＧａＡｓ不純物導入層１６の組成は、目的とする量子ドット型赤外線検出器の特性によって異なるが、Ａｌ組成を例えば１５％とする。

【0054】

次いで、ＡｌＧａＡｓ不純物導入層１６上に、周知の結晶成長技術、例えば分子線エピタキシー法により、例えば５８０℃の基板温度で、ＡｌＧａＡｓ下地層１８を成長する。ＡｌＧａＡｓ下地層１８の膜厚は、目的とする量子ドット型赤外線検出器の特性によって異なるが、例えば４０ｎｍとする。また、ＡｌＧａＡｓ下地層１８の組成は、目的とする量子ドット型赤外線検出器の特性によって異なるが、Ａｌ組成を例えば１５％とする。

【0055】

次いで、ＡｌＧａＡｓ下地層１８上に、周知の結晶成長技術、例えば分子線エピタキシー法を用いた自己組織化成長により、ＩｎＡｓ量子ドット２０を成長する。ＩｎＡｓ量子ドット２０は、例えば４７０℃の基板温度にて、総供給量が例えば２．３分子層相当の原料を、例えば０．２分子層毎秒の速度で供給することにより、成長する。この条件で成長したＩｎＡｓ量子ドット２０の形状は、同じ成長条件の試料を評価したところ、高さが１．４ｎｍ、横幅が１６ｎｍであった。

【0056】

次いで、ＩｎＡｌ量子ドット２０が形成されたＡｌＧａＡｓ下地層１８上に、周知の結晶成長技術、例えば分子線エピタキシー法により、例えば５８０℃の基板温度で、ＡｌＧａＡｓ中間層２２を成長する（図８（ｃ））。ＡｌＧａＡｓ中間層２２の膜厚は、目的とする量子ドット型赤外線検出器の特性によって異なるが、例えば５０ｎｍとする。また、ＡｌＧａＡｓ中間層２２の組成は、目的とする量子ドット型赤外線検出器の特性によって

SAMSUNG EX. 1002 - 1860/4148

異なるが、Ａｌ組成を例えば１５％とする。

【0057】

次いで、ＡｌＧａＡｓ中間層２２上に、上記の手順と同様にして、ＩｎＡｓ量子ドット２０とＡｌＧａＡｓ中間層２２とを、所望の回数、例えば１０回繰り返して成長し、ＩｎＡｓ量子ドット２０とＡｌＧａＡｓ中間層２２とが繰り返し積層されてなる量子ドット積層体２４を形成する。

【0058】

次いで、量子ドット積層体２４上に、周知の結晶成長技術、例えば分子線エピタキシー法により、ＧａＡｓ上部コンタクト層２６を成長する（図９（ａ））。ＧａＡｓ上部コンタクト層２６の膜厚は、素子構造設計によって異なるが、例えば１５０ｎｍとする。ＧａＡｓ上部コンタクト層２６へのドーピングは、不純物として例えばＳｉを用い、濃度を例えば$1\times10^{18}\ cm^{-3}$とする。

【0059】

次いで、フォトリソグラフィ及びドライエッチングにより、下部電極の形成予定領域のＧａＡｓ上部コンタクト層２６、量子ドット積層体２４、ＡｌＧａＡｓ下地層１８及びＡｌＧａＡｓ不純物導入層１６を除去し、ＧａＡｓ下部コンタクト層１４の表面を露出する。

【0060】

次いで、例えば蒸着法やスパッタ法等により、露出したＧａＡｓ下部コンタクト層１４条及びＧａＡｓ上部コンタクト層２６上に、それぞれ下部電極層２８及び上部電極層３０を形成し、本実施形態による赤外線検出器を完成する（図９（ｂ））。

【0061】

このように、本実施形態によれば、下部コンタクト層１４と下地層（中間層）１８との間に、下部コンタクト層１４側からの電子の注入を促進し、電子がΓ伝導体以外の伝導帯に散乱されるのを抑制するための不純物導入層１６を形成するので、中間層としてＡｌＧａＡｓのようなバンド幅の広い材料を用いて量子閉じ込め効果を向上した場合にも、低電流領域における相対的な感度の低下を抑制することができる。これにより、赤外線検出器の感度特性を改善することができる。

【0062】

［変形実施形態］

本発明は上記実施形態に限らず種々の変形が可能である。

【0063】

例えば、上記実施形態では、赤外線検出器の製造に分子線エピタキシー法を用いた場合を例にして説明したが、赤外線検出器の製造には量子ドットの形成が可能な他の結晶成長法を用いることも可能である。このような結晶成長法としては、例えば有機金属気相成長法が挙げられる。

【0064】

また、上記実施形態では、ＩｎＡｓよりなる量子ドットとＡｌＧａＡｓよりなる量子ドット埋め込み層との組み合わせにより構成した量子ドット型赤外線検出器を示したが、量子ドットの材料と量子ドット埋め込み層の材料との組み合わせは、上記実施例に限定されるものではない。例えば、量子ドットとしては、ＩｎＡｓ、ＩｎＧａＡｓ、ＧａＮ、ＩｎＮ、ＧａＡｓ等の材料を適用することができ、量子ドット埋め込み層としては、ＡｌＧａＡｓ、ＩｎＧａＰ、ＩｎＰ、ＩｎＡｌＡｓ等の材料を適用することができる。

【0065】

量子ドット／量子ドット埋め込み層の具体的な組み合わせ例としては、ＩｎＡｓ／ＧａＡｓ、ＩｎＧａＡｓ／ＧａＡｓ、ＩｎＡｓ／ＡｌＧａＡｓ、ＩｎＡｓ／ＩｎＧａＰ、ＩｎＧａＡｓ／ＩｎＧａＰ、ＩｎＡｓ／ＩｎＰ、ＩｎＧａＡｓ／ＩｎＰ、ＩｎＡｓ／ＩｎＡｌＡｓ、ＩｎＧａＡｓ／ＩｎＡｌＡｓ、ＩｎＡｓ／ＡｌＧａＮ、ＧａＡｓ／ＡｌＧａＮ、ＩｎＮ／ＡｌＧａＮ、ＧａＮ／ＡｌＧａＮ等が挙げられる。

【0066】

SAMSUNG EX. 1002 - 1861/4148

また、上記実施形態では、活性領域内で電子がＸ伝導帯又はＬ伝導帯に散乱される場合を例にして説明したが、Γ伝導体に近接する他の伝導帯に電子が散乱される場合についても本発明を適用することができる。

【図面の簡単な説明】

【0067】

【図1】本発明の一実施形態による赤外線検出器の構造を示す概略断面図である。

【図2】ＡｌＧａＡｓにおけるΓ帯からのエネルギー高さ及びＧａＡｓに対する電位障壁高さのＡｌ組成に対する依存性を示すグラフである。

【図3】中間層としてＧａＡｓ又はＡｌ組成の低いＡｌＧａＡｓを用いた赤外線検出器の動作状態を模式的に表すエネルギーバンド図である。

【図4】中間層が感度改善に必要なだけの高いＡｌ組成のＡｌＧａＡｓを用いた赤外線検出器の動作状態を模式的に表すエネルギーバンド図である。

【図5】本発明の一実施形態による赤外線検出器の原理を示すエネルギーバンド図である。

【図6】不純物導入層の最適化のための検討に用いたエネルギーバンド構造のモデルを示す図である。

【図7】本発明の一実施形態による赤外線検出器の評価結果を示すグラフである。

【図8】本発明の一実施形態による赤外線検出器の製造方法を示す工程断面図（その１）である。

【図9】本発明の一実施形態による赤外線検出器の製造方法を示す工程断面図（その２）である。

【図10】量子ドット型赤外線検出器の動作電圧を変えたときの感度と暗電流との関係を模式的に示した図である。

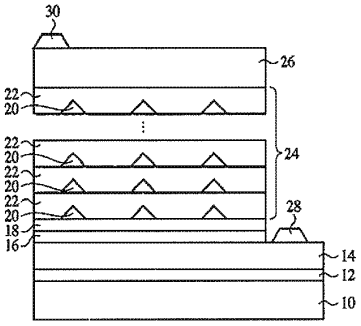
【符号の説明】

【0068】

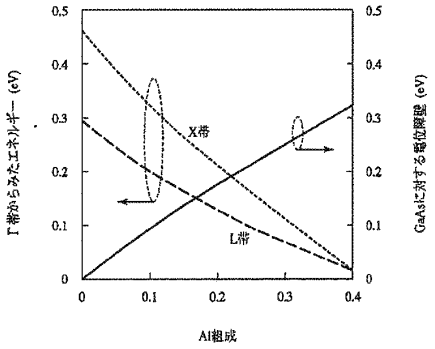
１０…半導体基板
１２…緩衝層
１４…下部コンタクト層
１６…不純物導入層
１８…下地層
２０…量子ドット
２２…中間層
２４…量子ドット積層体
２６…上部コンタクト層
２８…下部電極層
３０…上部電極層

SAMSUNG EX. 1002 - 1862/4148

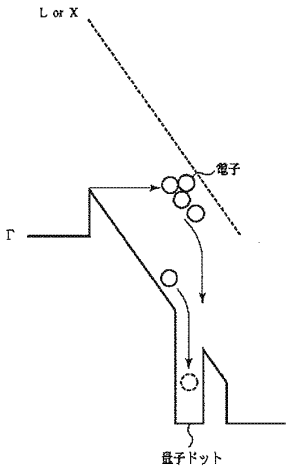
【図1】



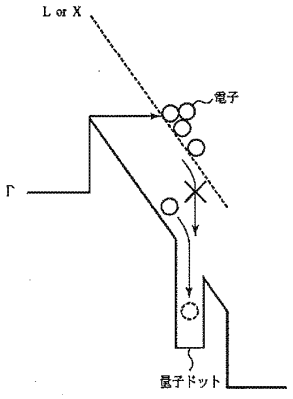
【図2】



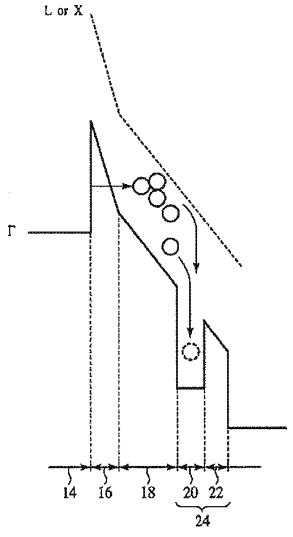
【図3】



【図4】

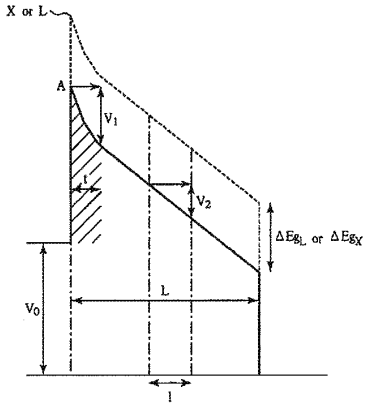


【図5】

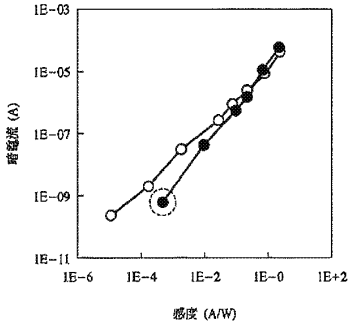


SAMSUNG EX. 1002 - 1863/4148

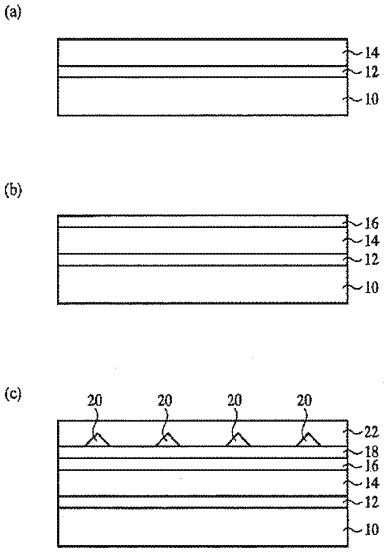
【図6】



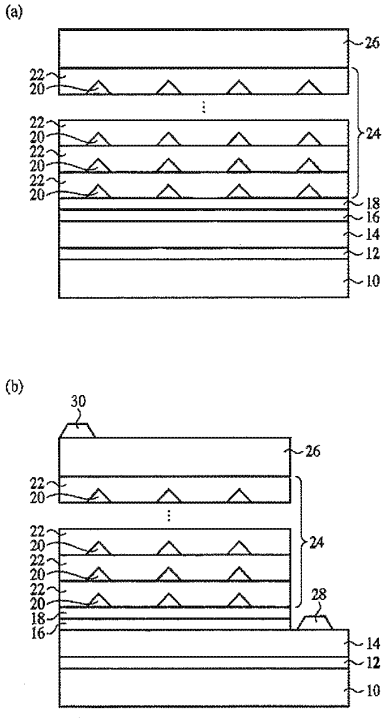
【図7】



【図8】

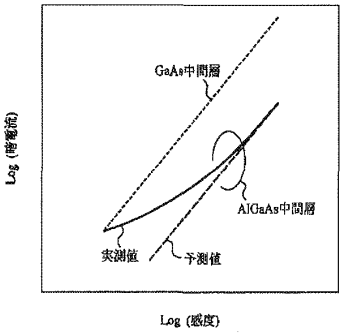


【図9】



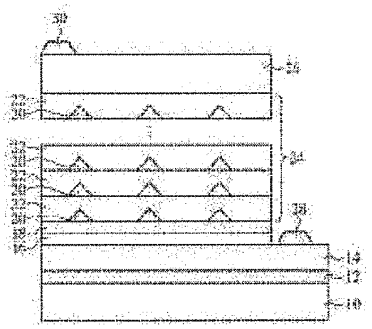
SAMSUNG EX. 1002 - 1864/4148

【図10】



SIONYX1403000021.0025

SAMSUNG EX. 1002 - 1865/4148



PATENT ABSTRACTS OF JAPAN

(11)Publication number : **07-183484**
(43)Date of publication of application : **21.07.1995**

(51)Int.Cl. **H01L 27/15**
G02B 6/13
G02B 6/122
H01L 31/02
H01S 3/18

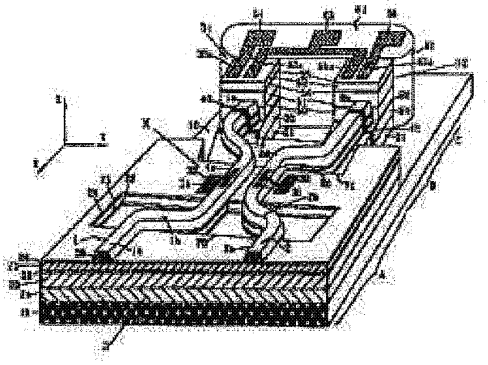
(21)Application number : **06-256229**
(22)Date of filing : **26.09.1994**

(71)Applicant : **FR TELECOM**
(72)Inventor : **GHIRARDI FREDERIC**
GIRAUDET LOUIS

(30)Priority
Priority number : **93 9311404** Priority date : **24.09.1993** Priority country : **FR**

(54) MONOLITHIC INTEGRATED STRUCTURE, ITS FABRICATION AND MONOLITHIC INTEGRATED HETERODYNE RECEIVING CIRCUIT

(57)Abstract:
PURPOSE: To provide a monolithic integrated structure including two photoelectric components connected optically through an optical guide by forming, in si.tu, at least one insulation barrier permitting optical transmission between two photoelectric components.
CONSTITUTION: A new silicon nitride protective mask is deposited on the entire structure and a groove-like window is made in the mask over the entire width thereof along a plane extending in parallel with YZ plane. The window is useful for forming an insulation barrier 40 by preferably diffusing a p+ conductivity type element deeply up to a substrate 10. The barrier 40 can isolate two detection diodes D1, D2 electrically from a coupler K by forming an npn double junction in the direction along the X axis and can transmit light between them. The double junction formed in si.tu corresponds to head/tail fixing of two diodes.



SIONYX1403000021.0027

SAMSUNG EX. 1002 - 1867/4148

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報（Ａ）**　(11)特許出願公開番号

特開平7－183484

(43)公開日　平成７年(1995)７月21日

(51)Int.Cl.[6]	識別記号	庁内整理番号	ＦＩ	技術表示箇所
Ｈ０１Ｌ　27/15		Ｃ　8832－4Ｍ		
Ｇ０２Ｂ　6/13				
6/122				
			Ｇ０２Ｂ　6/12	Ｍ
				Ｂ

審査請求　未請求　請求項の数17　ＦＤ　（全　8　頁）　最終頁に続く

(21)出願番号　特願平6－256229

(22)出願日　平成６年(1994)９月26日

(31)優先権主張番号　９３１１４０４

(32)優先日　1993年９月24日

(33)優先権主張国　フランス（ＦＲ）

(71)出願人　591034154
フランス・テレコム
ＦＲＡＮＣＥ　ＴＥＬＥＣＯＭ
フランス国、75015　パリ、プラス・ダルレ、６

(72)発明者　フレデリック、ギラルディ
フランス国パリ、アブニュ、フィリップ、アウグスト、45

(72)発明者　ルイ、ジロード
フランス国アスニエール、リュ、ド、プロニ、28

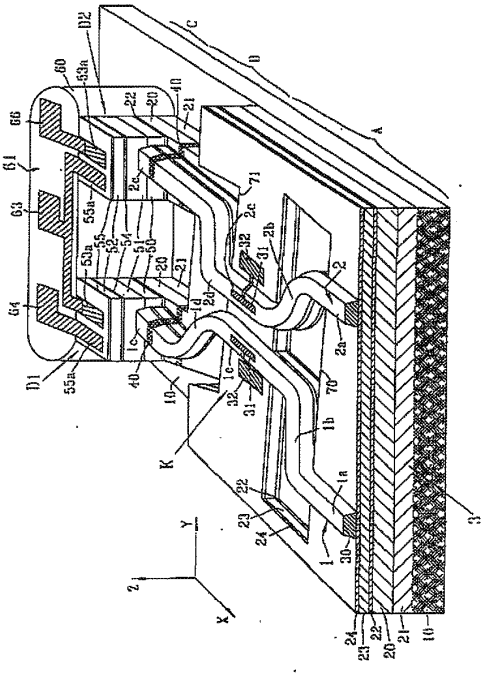
(74)代理人　弁理士　佐藤　一雄　（外３名）

(54)【発明の名称】　モノリシック集積構造体及びその製造方法、並びにモノリシック集積ヘテロダイン受信回路

(57)【要約】

【目的】　光電要素を含むモノリシック集積構造体及びその製造方法、並びにモノリシックヘテロタイン受信回路を提供する。

【構成】　本発明は光ガイドによって光学的に相互に接続された２つの光電成分（Ｋ，Ｄ１）を含むモノリシック集積構造の製造方法に関するものである。この方法は、２つの光電成分の間に光を伝送することのできる少なくとも１つの絶縁バリヤ（４０）を、下記の手段の少なくとも１つによってこれらの光電成分間にインシチュ形成する段階を含む：与えられた導電型の元素による反対導電型の構造区域の局所ドーピング、または半絶縁物質層のエピタキシャル蒸着。



SIONYX1403000021.0028

SAMSUNG EX. 1002 - 1868/4148

1

【特許請求の範囲】

【請求項１】光ガイドによって光学的に接続された２つの光電成分を含むモノリシック集積構造体の製造方法において、前記２つの光電成分の間の光伝送を可能とする少なくとも１つの絶縁バリヤを形成する段階を含み、前記バリヤ（４０、２４０）はインシチュ（in situ）形成されることを特徴とするモノリシック集積構造体の製造方法。

【請求項２】少なくとも一方の光電成分と光ガイドとの間の光伝送はエバネッセンス(Evanescence) 効果によって実施されることを特徴とする請求項１に記載の方法。

【請求項３】少なくとも一方の光電成分と光ガイドとの間の光伝送は突き合わせ接合によって実施されることを特徴とする請求項１に記載の方法。

【請求項４】絶縁バリヤ（４０）は与えられた導電型の元素をもって構造の反対導電型の少なくとも１つの区域を局所ドーピングすることによって形成されることを特徴とする請求項１乃至３のいずれかに記載の方法。

【請求項５】ドーピングは、構造の表面から、前記元素を光ガイドを通して構造の絶縁基板（１０）まで深部拡散することによって実施されることを特徴とする請求項４に記載の方法。

【請求項６】ドーピングは、構造の表面から、前記元素を光ガイドを通して構造の絶縁基板（１０）までイオン注入することによって実施されることを特徴とする請求項４に記載の方法。

【請求項７】構造は重ね合された相異なる導電型の少なくとも１つの第１層と少なくとも１つの第２層とを含み、前記第１層の１つの区域のドーピングが前記第１層の導電型と反対の導電型を有する第１元素によって実施され、前記第１層のドーピング区域から片寄った前記第２層の１つの区域のドーピングが前記第２層および前記第１元素の導電型と反対の導電型を有する第２元素によって実施され、２つの光電成分の間にｎｐｎ型およびｐｎｐ型の２つの絶縁接合を形成することを特徴とする請求項５または６に記載の方法。

【請求項８】ドーピングは与えられた型の元素を構造の中間層の中に混入させることによって実施され、この中間層は前記元素の導電型と反対の導電型を有する２つの層の中間にエピタキシャル成長によって付着されることを特徴とする請求項２に記載の方法。

【請求項９】前記元素はｐ＋導電型を有することを特徴とする請求項５、６および８のいずれかに記載の方法。

【請求項１０】絶縁バリヤ（２４０）は半絶性縁物質層のエピタキシャル成長によって実施されることを特徴とする請求項２に記載の方法。

【請求項１１】前記半絶縁性物質は鉄を含有するリン化インジウムから成ることを特徴とする請求項１０に記載の方法。

【請求項１２】ｎ＋導電型の光インピーダンス整合層

2

（５０）が、光ガイドと、この光ガイドによりエバネッセンス(Evanescence) 効果で光を伝送される少なくとも一方の光電成分との間に配置されることを特徴とする請求項４乃至１１のいずれかに記載の方法。

【請求項１３】前記モノリシック集積構造体はヘテロダイン受信回路であって、この受信回路は直列に接続された２つの検出ホトダイオード（Ｄ１，Ｄ２）と、電気的に平衡されうる３ｄＢカプラー（Ｋ）とを含み、前記カプラー（Ｋ）が前記光電成分の一方を成し、また前記のホトダイオード（Ｄ１，Ｄ２）がそれぞれ前記光電成分の他方を成すことを特徴とする請求項１乃至１２のいずれかに記載の方法。

【請求項１４】２つの光電成分の間において光を伝送することのできる絶縁性バリヤ（４０）をこれらの成分間にインシチュ形成されたことを特徴とする光ガイドによって光電的に相互に接続される２つの光電成分を含むモノリシック集積構造体。

【請求項１５】前記バリヤは与えられた導電型の元素をもって構造の反対導電型の少なくとも１つの区域をドーピングすることによって形成されることを特徴とする請求項１４に記載のモノリシック集積構造体。

【請求項１６】前記バリヤは、前記光ガイドと前記の光電成分との間に半絶縁物質層をエピタキシャル成長することによって形成されることを特徴とする請求項１５に記載のモノリシック集積構造体。

【請求項１７】直列に接続された２つの検出ホトダイオードと、電気的に調整可能の３ｄＢ－カプラーとを含み、前記検出ホトダイオードと前記カプラーとの間に絶縁バリヤ（４０、２４０）がインシチュ形成され、このバリヤが前記カプラーと前記検出ホトダイオードとの間の光伝送を可能とすることを特徴とするモノリシック集積ヘテロダイン受信回路。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】本発明は光電分野に関するものであり、さらに詳しくは本発明は別個に形成された成分の組立てよりは、成分そのものの製造テクノロジーを含むモノリシック集積構造体の分野に関するものである。特に本発明は非限定的にヘテロダイン受信回路の製造に関するものである。

【０００２】

【従来の技術、及び発明が解決しようとする課題】文献、"Integrated balanced mixer receiver on InP（Ｉｎｐ上の集積平衡ミキサ受信機），トロンマーほか、4th InP and Related Compounds Conference, WE3, Newport 1992" は、直列に接続された２つの検出ホトダイオードと、２つの光ガイドを含む３ｄＢ－カプラーとを有するモノリシック集積ヘテロダイン受信回路を記載している。カプラーがそれぞれの入力としての光ガイドにおいて、変調される信号Ｓと、局所発振器によって

SIONYX1403000021.0029

SAMSUNG EX. 1002 - 1869/4148

発生される基準信号Ｒとを受け、出力としての２検出ホトダイオードにおいて、それぞれ前記信号ＳとＲの半和と半差に対応する２つの信号を出力する。ホトダイオードは、それぞれS^2＋２Ｓ・Ｒ＋R^2およびS^2－２Ｓ・Ｒ＋R^2の形の前記半和と半差の係数の平方を表わす電気信号を出力する。直列の２つのホトダイオードの搭載により、これらの２つの式の差、すなわち４Ｓ・Ｒの形の電気信号を共通点に集めることができる。このような受信機の利点は、局所発振器からノイズR^2が除去され、また信号Ｒの振幅が信号Ｓの振幅よりはるかに大であるので、有効信号Ｓを増幅することにある。しかし実際上、完全に平衡されたカプラー、すなわち入力信号ＳとＲの半和と半差を正確に出力することのできるカプラーを作製することは困難であるので、多数の集積構造を作製し、適正に平衡されていないカプラーを有する集積構造を選別して放棄しなければならない。前記の構造においては、２つの光ガイドが半絶縁物質の基板上に形成されるので、これらの２つの光ガイドの絶縁の問題は生じない。

【０００３】他の集積モノリシック構造の例として、文献、"Directional Coupler,Balanced PIN Pair and JFET integrated on Inp Towards Receiver OEICs"L.Giraudet et al., Proceeding of fourth optoelecronic conference,PDP, 14July 1992" が挙げられる。この構造においては、カプラーの２つの光ガイドが導電性物質で形成され、２つの直列搭載ホトダイオードの電極の間に光ガイドを通して流れる漏れ電流が観察され、この漏れ電流が構造の性能を低下させる。しかし、カプラーの２つの光ガイドを導電性物質で形成することは、カプラー上にそれぞれ一方の光ガイドと組合わせて形成された２つの電極を通して電圧を加えまたは電流を注入することによりカプラーを電気的に平衡させうるという利点がある。この電流注入または電圧印加は、光ガイドの案内層を成す物質の指数の変動を生じ、従って物質中を伝播する光信号の位相を調整することが可能である。

【０００４】また他の文献、"Balanced Operation of a GaInAs/GaInAsp multiple-quantum-well Integrated Heterodyne Receiver, IEEE Photonics Technology LettersVol.2, No.8., August 1990" には、同一構造体上に２つの光ガイドを直列に接続せず、このようにして２つのホトダイオードの電極間の漏れ電流の問題を回避する方法が提案されている。２つのホトダイオードがそれぞれ出力する電気信号を別個に増幅し、次にその一方から他方を減算して前記の項S^2とR^2とを除去する。各ホトダイオードによって出力される電気信号のそれぞれ別個の増幅は、R2 の変動によるノイズをもはや抑止しないという欠点がある。

【０００５】米国特許第５，１２２，８５２号明細書には、共通基板上に搭載されてそれぞれ光ガイドと組合わされた２つの半導体検出器を含む集積構造が記載されている。前記基板と光ガイドは非半導体絶縁物質から成り、これは電気絶縁の問題を生じないが、検出器のモノリシック集積が不可能であり、これらの検出器は複雑ないわゆる「エピタキシャル・リフトオフ」法によって形成されなければならない。従ってモノリシック集積構造でないこのような構造は製造コストが高い。

【０００６】文献、"ELECTRONICS LETTERS, Vl.24,No.23, 10 November 1988, STEVENAGEGB, PAGES 1457-1458, S.Chandrasekhar et al., "Balanced dual photodiode sintegrated with a 3dB directional coupler for coherent lightwave receiv-ers" には、光ガイドについて導電性物質を使用して光ガイドの断面積を低減させその長さを増大することによって漏れ電流を低減させる方法が提案された。しかし光ガイドの抵抗率がなおも相当に低く、メグオーム（ＭΩ）のオーダであり、いずれにせよ光ガイドの長さに依存するので、容積および製造コストの問題を生じる。

【０００７】文献、"22 GHz Photodiode monolithically integrated with optical wave-guide on semei-insulating InP using novel Butt-Joint structure, Kato etal., Electronic Letters, 1992, pp.1140-1143" には、光ガイドの端面上に、この光ガイドとホトダイオードとの間に絶縁層を形成する方法が記載されている。光ガイドとホトダイオードの形成後にこれらのホトダイオードと光ガイドとを分離するために反応性イオンビーム腐食法（ＲＩＢＥ）によって垂直溝をエッチングし、この溝の中に絶縁層としてのシリカ薄膜がマグネトロンによって蒸着される。しかしこの方法によれば、エッチングされる溝の幅を制御することが困難であり、従ってホトダイオードと光ガイドとの間に形成される無定形シリカ薄膜の厚さを制御してこれらの光ガイドとホトダイオードとの間に最適光伝送を保証することが困難である。

【０００８】特開平３－２９２，７７７号公報に記載の集積構造体においては、半導体レーザおよび検出器の成分層の形成後に絶縁性バリヤがエピタキシャル成長させられる。これらの２つの成分が導電性基板上に形成されて共通電極を保持するので、２成分間の絶縁が不完全である。同様にＥＰ４２２，８５４号公開明細書の中に提案された構造体においては、ホトダイオードと光増幅器が共通電極を保持する。本発明は前記の問題点を解決しようとするものである。

【０００９】

【課題を解決するための手段】従って本発明の目的は、光ガイドによって光学的に接続された２つの光電成分を含むモノリシック集積構造の製法において、前記２つの光電成分の間の光伝送を可能とする少なくとも１つの絶縁バリヤを形成する段階を含み、本発明によれば前記バリヤはインシチュ（in situ ）形成されることを特徴とするモノリシック集積構造体の製造方法を提供するにあ

SAMSUNG EX. 1002 - 1870/4148

る。

【００１０】従って、先行技術による提案と相違し、本発明によれば、後で絶縁物質によって充填されるべき溝を予め正確にエッチングする必要がない。本発明によれば、構造体の成分の製造中にまたは製造後に、この構造中にこれら２成分間の光通路に配置された溝をエッチングすることなく、絶縁バリヤを形成することができる。

【００１１】望ましくは、光電成分の少なくとも一方と光ガイドとの間の光伝送はエバネッセンス(Evanescence) によって実施される。他の実施態様として、この光伝送は突き合わせ接合によって実施される。

【００１２】本発明の第１実施態様によれば、絶縁バリヤは与えられた導電型の元素をもって構造の反対導電型の少なくとも１つの区域を局所ドーピングすることによって形成される。

【００１３】好ましくは、ドーピングは、構造の表面から、前記元素を光ガイドを通して構造の絶縁基板まで深部拡散することによって実施される。他の実施態様において、ドーピングは、構造の表面から、前記元素を光ガイドを通して構造の絶縁基板までイオン注入することによって実施される。好ましくは前記元素はｐ＋導電型を有する。もし適当なら、構造が重ね合された相異なる導電型の少なくとも１つの第１層と少なくとも１つの第２層とを含む場合、第１層の１つの区域のドーピングが前記第１層の導電型と反対の導電型を有する第１元素によって実施され、前記第１層のドーピング区域から片寄った前記第２層の１つの区域のドーピングが前記第２層および前記第１元素の導電型と反対の導電型を有する第２元素によって実施され、２つの光電成分の間にｎｐｎ型およびｐｎｐ型の２つの絶縁接合を形成する。絶縁を改良するため、直列に配置された数個の絶縁接合を同様に形成することができる。

【００１４】前記実施態様の変形として、ドーピングは与えられた型の元素を構造体の中間層の中に混入させることによって実施され、この中間層は前記元素の導電型と反対の導電型を有する２つの層の中間にエピタキシャル成長によって付着される。

【００１５】好ましくは前記元素はｐ＋導電型とする。

【００１６】本発明による方法の第２実施態様においては、絶縁バリヤは半絶縁物質層のエピタキシャル成長によって形成される。好ましくは前記半絶縁物質は鉄を含有するリン化インジウムから成る。

【００１７】望ましくは、ｎ＋導電型の光インピーダンス整合層が、光ガイドと、この光ガイドによりエバネッセンス(Evanescence) 効果で光を伝送される少なくとも一方の光電成分との間に配置される。

【００１８】本発明による方法は、直列に接続された２つの検出ホトダイオードと、電気的に平衡されうる３ｄＢカプラーとを含み、前記カプラーが前記光電成分の一方を成し、また前記のホトダイオードがそれぞれ前記光電成分の他方を成すように成されたヘテロダイン受信回路のモノリシック集積構造体を製造するために使用される。

【００１９】また本発明は、２つの光電成分の間において光を伝送することのできる絶縁性バリヤをこれらの成分間にインシチュ形成されたことを特徴とする光ガイドによって光電的に相互に接続される２つの光電成分を含むモノリシック集積構造体にある。

【００２０】本発明のモノリシック集積構造体の１実施態様においては、前記バリヤは与えられた導電型の元素をもって構造の反対導電型の少なくとも１つの区域をドーピングすることによって形成される。

【００２１】本発明のモノリシック集積構造体の他の実施態様においては、前記バリヤは、前記光ガイドとこの光電成分との間に半絶縁物質層をエピタキシャル蒸着することによって形成される。

【００２２】本発明のさらに他のモノリシック集積構造体においては、直列に接続された２つの検出ホトダイオードと、電気的に調整可能の３ｄＢ－カプラーとを含み、前記検出ホトダイオードと前記カプラーとの間に絶縁バリヤがインシチュ形成され、このバリヤが前記カプラーと前記検出ホトダイオードの間の光伝送を可能とする。

【００２３】

【実施例】下記の説明において、用語および用語結合、「長さ、前方、後方」、「側方」、および「厚さ、垂直、上方、下方」は付図の参照フレーム（Ｘ，Ｙ，Ｚ）のそれぞれＸ軸、Ｙ軸およびＺ軸にそった距離または位置を示す。

【００２４】図１乃至図４に図示の２つのモノリシック集積構造例はそれぞれ本発明の方法によって構成されたものであって、いずれもヘテロダイン受信回路に関するものであり、これらの回路はそれぞれ、直列に接続されたＰＩＮ型の２つの検出ホトダイオードＤ１，Ｄ２と、電気的に調整可能の３ｄＢカプラーＫとを含み、前記カプラーＫは２つの光ガイドを含み、これらの光ガイドはその上部にそれぞれの案内ストリップ１、２を有する。

【００２５】これら２つの集積構造は、ＸＺ面に対して平行な対称中面に対して対称的である。

【００２６】光ガイドの中への光の導入は構造の正面３から実施され、この正面３は平面であって、Ｘ軸線に対して垂直であり、案内層２０の中にあり、この案内層２０は下記に説明するように下方閉込め層２１と上方閉込め層２２とに挟まれている。案内ストリップ１、２は、これらのストリップの被覆する案内層区域の中に光を閉込め、またこれらのストリップは正面３から始まって、Ｘ軸に対して平行な相互に離間する直線部分１ａ，２ａを示し、これらの直線部分から後方に２つの湾曲部分１ｂ，２ｂが延長され、これらの湾曲部分から２つの相互に近接した直線部分１ｃ，１ｄが延長され、これらの直

SIONYX1403000021.0031

SAMSUNG EX. 1002 - 1871/4148

線部分１ｃ，１ｄはＸ軸に対して平行に並列されてカプラーＫの作動区域を成し、次に２つの後方に湾曲した部分１ｄ，２ｄが延在し、これらの湾曲部分は相互に離間して、これらの湾曲部分からそれぞれ２つの直線部分１ｅ，２ｅが延長され、これらの直線部分１ｅ，２ｅは相互に離間してＸ軸に対して平行に延在しそれぞれホトダイオードＤ１，Ｄ２に終わっている。

【００２７】下記において、Ａ、ＢおよびＣはそれぞれ構造の３区域を示し、これらの区域はＸ軸に対して垂直な２つの面P_{AB}とP_{BC}とによって区画されている。

【００２８】案内ストリップ１と２は区域ＡとＢの上に延在し、ホトダイオードＤ１，Ｄ２は区域Ｃの中に形成される。面P_{AB}は、後方湾曲部分１ｄ，２ｄと後方直線部分１ｅ，２ｅとの接合部分近くで案内ストリップ１、２と交わっている。

【００２９】図１および図２のモノリシック集積構造は本発明の第１実施態様に対応する。この構造は半絶縁性物質の基板１０を含み、この基板は付図においてダイシング後にＸ軸にそった細長い平行六面体として図示され、この基板はこの実施例においては鉄の含有によって半絶縁性に成されたリン化インジウムから成り、その抵抗は10^{7} Ωｃｍである。

【００３０】半絶縁性基板組立体１０の上に、例えば金属－有機化学蒸着法（ＭＯＣＶＤ）または分子－ビームエピタキシャル成長法（ＭＢＥ）による第１エピタキシャル成長によって逐次下記の層が蒸着される。

【００３１】ａ）０．５μｍの厚さとｎ導電型のＩｎＰから成る指数n_1の下方閉込め層２１、

ｂ）ｎまたはｎ－導電型と０．６５μｍの厚さを有する４元ＩｎＧａＡｓＰから成るn_1より大きな指数n_2の光案内層２０と、

ｃ）ｎ－導電型のＩｎＰから成り、０．０５μｍの厚さを有する指数n_2以下のn_3の上方閉込め層２２と、

ｄ）０．４μｍの厚さを有し、ｎ＋導電型の４元ＧａＩｎＡｓＰ物質から成る光インピーダンス整合層５０と、

ｅ）０．９μｍの厚さを有し、ｎ－型固有導電性を有する３元ＧａＩｎＡｓ物質から成るＰＩＮホトダイオードの吸収層５１と、

ｆ）５０ｎｍの厚さを有し、それ自体公知のように次の２元物質層との漸進的結合を成すための４元ＧａＩｎＡｓＰの薄層５４と、

ｇ）０．４μｍの厚さを有し、ｎ導電型のＩｎＰから成るＰＩＮホトダイオードの上方閉込め層５２と、

ｈ）０．０５μｍのオーダの厚さを有し、ｎ導電型の３元ＧａＩｎＡｓ物質から成るホトダイオードの接触薄層５５と、

ｉ）図示されていない、エピタキシャル成長再開用の厚さ０．１μｍのＩｎＰ保護層。

【００３２】次に、カプラーＫの２つの光ガイドが形成される構造部分（区域ＡおよびＢ）において、前記ＩｎＰ保護層および前記層５５，５２，５４，５１および５０が除去される。このようにして露出された薄い上方閉込め層２２上に第２エピタキシャル成長が実施されて、これらの構造部分Ａ、Ｂにおいて逐次、下記層が形成される。

【００３３】ｊ）層２２と同一組成の厚さ０．１５μｍのＩｎＰから成る上方閉込め層２３と、

ｋ）厚さ２５ｎｍのｎ導電型の４元ＧａＩｎＡｓＰ物質から成る薄いブロッキング層２４と、

ｌ）厚さ０．８ｍｍで、案内ストリップ１、２をその上にエッチングするためのｎ導電型のＩｎＰから成る上方閉込め層３０。

【００３４】次に、窒化ケイ素保護マスクが構造全体に蒸着され、次に案内ストリップ１、２の線図に従って前記マスクを乾式エッチングし、次に上方閉込め層３０の保護されていない部分を除去することによりこれらのストリップが形成される。

【００３５】案内ストリップ１、２のエッチング後に、樹脂から成る第２保護マスクが構造全体の上に配置され、このマスクは案内ストリップ１、２のそれぞれ湾曲部分１ｂ，２ｂおよび１ｄ，２ｄに跨るウインド７０と７１を示す。これらのウインドの中においてブロッキング層２４と上閉込め層２２、２３を化学腐食によって除去し、図１に図示のようにこれらのウインドの中において案内層２０の上側面を露出させる。

【００３６】次に構造全体の上に新しい窒化ケイ素保護マスクを蒸着し、次にこのマスクの中に構造の幅全体に延在する溝穴状のウインドをＹＺ面に対して平行な面にそって形成する。このウインドは、本発明の方法の第１実施態様により、望ましくは亜鉛のｐ＋導電型の元素を基板１０まで前記ウインドを通して深く拡散させることによって絶縁バリヤ４０を形成するのに役立つ。このバリヤ４０は、Ｘ軸にそった方向にｎｐｎ二重接合を形成して、２つの検出ホトダイオードＤ１，Ｄ２とカプラーＫとを相互に電気的に絶縁させ同時にこれらの間に光を伝送させることができる。５００℃の温度での光照射に際して、上方閉込め層２２、２３、２４、３０のＩｎＰの厚さ約１μｍと、４元物質案内層２０の厚さ０．６５μｍと、下方閉込め層２１のＩｎＰの厚さ０．５μｍとを通して拡散するためには約３０分が必要である。光ガイドの中において、ｐ＋ドーピングは、相互に平行でＸ軸に対して垂直な２面４０ａ，４０ｂの間に局限される。これらの２つの面は、構造のｎ導電型またはｎ－導電型の区域Ｂの中に配置されている。このようにインシチュ形成された二重接合は２つのダイオードの頭／尾取付けに相当し、電流の横断に抵抗すると共にこの光ガイド中の光通過を可能とする。

【００３７】本発明による方法の第１実施態様の変形においては、構造の表面からＺ軸方向に基板まで延在する長方形断面の潜函の形状の２つの絶縁バリヤを形成し、

SIONYX1403000021.0032

SAMSUNG EX. 1002 - 1872/4148

それぞれのバリヤの内部に２つのダイオードを配置することができる。

【００３８】光ガイドを形成する層の全部が同一型の導電性でない場合、または光ガイドの導電型と反対の導電型を有する他の層がこの光ガイドの上に蒸着された場合、ＹＺ面に対して平行でＸ軸にそって片寄った２つの面にそって延在する２つの深いドーピングによって絶縁が実施される。この場合、与えられた型の各導電層上に２つのｎｐｎダイオード接合とｐｎｐダイオード接合とを頭／尾形成するように、２つの反対導電型の元素を使用してドーピングを実施することができる。

【００３９】図示の実施例において絶縁バリヤ４０は光ガイド中の光通路の中に配置されている。

【００４０】また本発明の主旨の範囲内において、段階（ｂ）後に、段階（ｃ）前に、ｎ導電型またはｎ－導電型の案内層２０上に、ｐ＋導電型層を蒸着し、次にこのｐ＋導電型層の上にｎ導電型またはｎ－導電型の上方閉込め層２２を蒸着することによって、エピタキシャル成長段階中に絶縁層をインシチュ形成することができる。この場合、絶縁バリヤは、光ガイドを出てホトダイオードに向かう光のエバネッセント型通路の中に配置される。

【００４１】亜鉛の深部拡散による絶縁バリヤ４０の形成後に、案内ストリップ１、２の相互に近接した直線部分１ｃ，２ｃ上にそれぞれ配置された２つのウインドと、ホトダイオードＤ１，Ｄ２の接触層５５上の他の２つのウインドとの合計４ウインドが同一窒化ケイ素マスクを通して拡散によって形成される。この場合、光ダイオードの層５５、５２の中にこれらのウインド５３ａを通して亜鉛が拡散されてｐ＋導電型の２区域５３を形成し、また層３０の中に案内ストリップ１、２の厚さの半分まで亜鉛が拡散されてカプラーＫを平衡させるための２つのｐ＋導電型電極区域３１を形成する。

【００４２】また前述のように、層３０と５２の中にＺｎの拡散による同時的ドーピングを可能とするように、これらの層３０、５２を同一素材で製造するのが望ましいことを注意しよう。

【００４３】次に、ブロッキング層２４上に、案内ストリップ１、２の相互に近接した直線部分１ｃ，２ｃの側方に、それぞれ隣接拡散区域３１に電気的に接続されたカプラーＫの２つの接点３２が配置されている。

【００４４】同様に、各ホトダイオードＤ１，Ｄ２上にそれぞれｎ－接点５５ａとｐ－接点５３ａが金属化によって配置され、これらの接点はそれぞれ各ホトダイオードの拡散区域５３の外側にある接点層５５の一部とこの拡散区域５３とに接続されている。

【００４５】望ましくは、４元物質から成る光インピーダンス整合層５０は、上方閉込め層２２の指数n_3より大きな指数n_4を示す。層５０の厚さは好ましくは反射防止層を成すように選定され、またこの層５０が光ガイドの上方に配置されていることはキャリヤの走行時間を制限させる。光が光ガイドから出てホトダイオードに向かうエバネッセンス(Evanescence) 伝送のために必要な吸収長さを短縮させ、従ってホトダイオードの容量を制限するように、層５０が案内層より大きな光指数を示すことが望ましい。

【００４６】次に、図１に図示の形状と合致するように、樹脂マスクを通してイオンビームエッチング法（ＩＢＥ法）によって、構造区域Ｂ，Ｃにおいて２つのホトダイオードＤ１，Ｄ２が基板１０まで彫刻される。彫刻区域は構造の前記面P_{AB}から後方に構造の後側面まで達する。前記の光ガイドは、その案内ストリップ１、２の後方直線部分１ｅ，２ｅによって覆われる部分において彫刻され、この彫刻部分はＸ軸にそって絶縁バリヤ４０の両側に延在し、従って光ガイドの絶縁バリヤ４０の前方に延在する部分とホトダイオードとの間に電気的接触はありえない。

【００４７】次にポリアミドから成る電気的接触支持パッド６０がそれ自体公知のように配備され、このパッドの上側面６１の上に金属化によって接点６４、６３、６６が形成され、これらの接点はそれぞれホトダイオードＤ１のｎ－接点５５ａ、ホトダイオードＤ１のｐ－接点５３ａおよびホトダイオードＤ２のｐ－接点５３ａに接続される。同様に接点６３はホトダイオードＤ２のｎ－接点５５ａに接続されているので、２つのホトダイオードＤ１，Ｄ２は支持パッド６０の接点６３によって直列に接続されている。

【００４８】図３と図４は本発明の方法の第２実施態様によって形成された構造を示す。

【００４９】図１と図２の素子と同様の図３と図４の素子は単に１００を加えた数字によって示される。もちろん、これらの素子の組成に関する説明は下記の説明に適用されるものとする。

【００５０】この実施態様において、第１エピタキシャル成長段階において光ガイドの上方閉込め層１２２の上に半絶縁物質の層２４０をエピタキシャル成長によって付着することによって電気的絶縁バリヤを形成する。この第１エピタキシャル成長段階においては層１５０、１５１、１５４、１５２、および１５５も付着される。あるいは変形として、層２４０を直接に光案内層１２０の上に付着することも考えられる。

【００５１】望ましくは層２４０は、鉄の含有によって半絶縁化されたＩｎＰ（ＩｎＰ：Ｆｅ）から成る。

【００５２】次に構造区域Ａ，Ｂの化学腐食によって層２４０を除去した後に、第２エピタキシャル成長段階を実施し、この段階において層１２３、１２４、１３０を付着する。

【００５３】案内ストリップ１０１、１０２をエッチングする際に、層２４０と短絡する接点を防止するため、ホトダイオードＤ１，Ｄ２の前縁を含む面P_{BC}から、こ

SIONYX1403000021.0033

SAMSUNG EX. 1002 - 1873/4148

れらのストリップ１、２の後側面２０２を分離するギャップ２０１をエッチングすることを注意しなければならない。このギャップ２０１は好ましくはＸ軸方向に３μｍのオーダの幅を有し、垂直に層１２２に達する。本出願の前文に記載の最後の公表と相違し、このギャップ２０１は単に絶縁の役割を有するのであって光によって横断されないのであるから、これを高度に精密に形成することは不必要である。

【００５４】本発明は前記の説明に限定されない。特に、カプラーの一方の案内ストリップに対して光学的に接続された局所発振器を使用することも考えられる。

【図面の簡単な説明】

【図１】本発明の第１実施態様によるモノリシック集積＊構造の概略斜視図。

【図２】図１の構造のＸ－Ｚ面に対して平行な面における断面図。

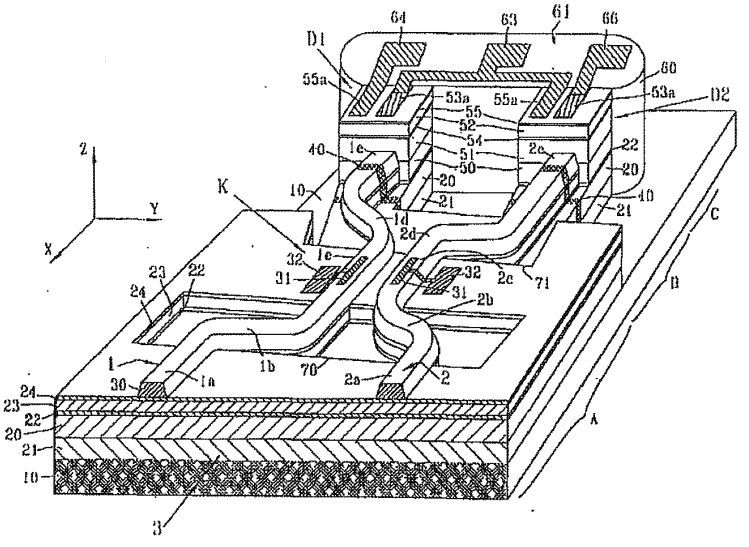
【図３】本発明の第２実施態様によるモノリシック集積構造の概略斜視図。

【図４】図３の構造のＸ－Ｚ面に対して平行な面における断面図。

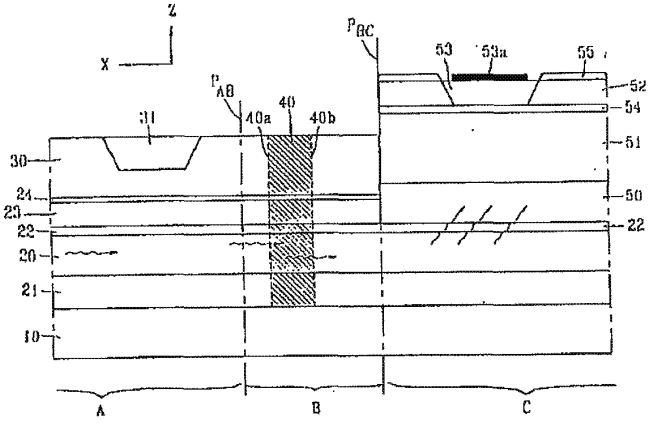
【符号の説明】

１０　基板
４０　絶縁性バリヤ
２４０　絶縁性バリヤ
Ｄ１，Ｄ２　検出ホトダイオード
Ｋ　３ｄＢ－カプラー

【図１】

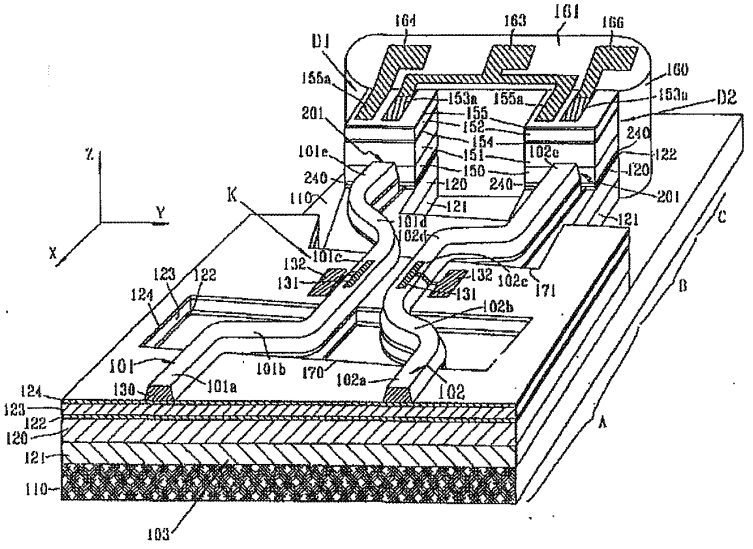


【図２】

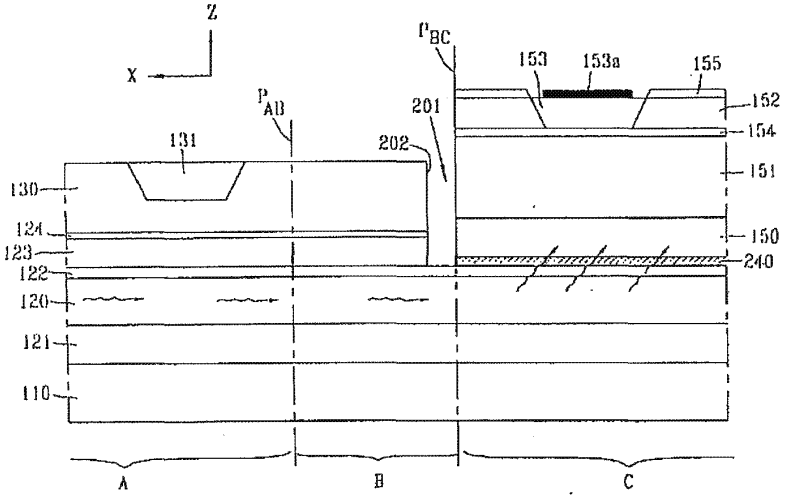


SAMSUNG EX. 1002 - 1874/4148

【図3】



【図4】



フロントページの続き

(51)Int.Cl.[6]	識別記号	庁内整理番号	FI	技術表示箇所
H01L 31/02				
H01S 3/18				
		7630－4M	H01L 31/02	B

SAMSUNG EX. 1002 - 1875/4148

Espacenet

Bibliographic data: JP2011091128 (A) — 2011-05-06

SOLID-STATE IMAGE PICKUP ELEMENT

No documents available for this priority number.

Inventor(s): YAMADA DAISUKE ± (YAMADA DAISUKE)

Applicant(s): CANON KK ± (CANON INC)

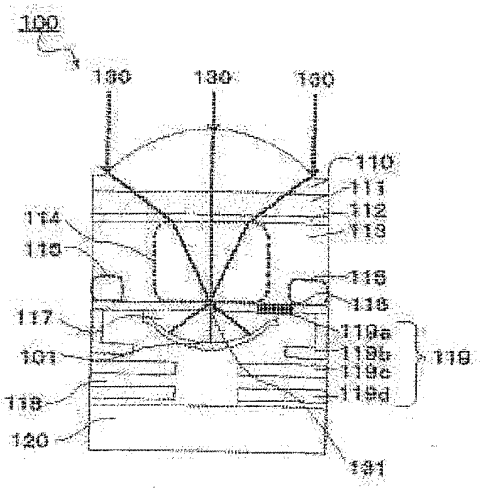
Classification: - international: ***H01L27/14; H01L27/146; H04N5/335***
- cooperative: **H01L27/14625**

Application number: JP20090242053 20091021

Priority number(s): JP20090242053 20091021

Also published as: US2011090384 (A1) US8330847 (B2)

Abstract of JP2011091128 (A)



SIONYX1403000021.0036

SAMSUNG EX. 1002 - 1876/4148

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2011-91128
(P2011-91128A)
(43)公開日　平成23年5月6日(2011.5.6)

(51)Int.Cl.		F I		テーマコード（参考）
H01L 27/14	(2006.01)	H01L 27/14	D	4M118
H01L 27/146	(2006.01)	H01L 27/14	A	5C024
H04N 5/335	(2011.01)	H04N 5/335	U	

審査請求 未請求　請求項の数 10　OL　（全 11 頁）

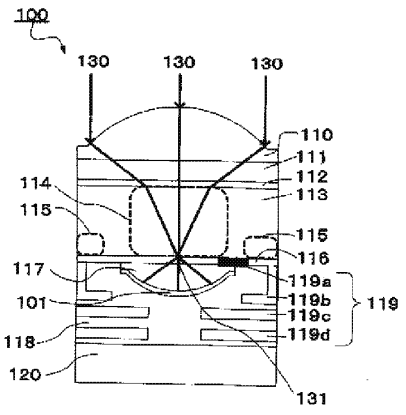
(21)出願番号　特願2009-242053 (P2009-242053)
(22)出願日　平成21年10月21日 (2009.10.21)

(71)出願人　000001007
キヤノン株式会社
東京都大田区下丸子３丁目３０番２号
(74)代理人　100105289
弁理士　長尾　達也
(72)発明者　山田　大輔
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内

Fターム(参考)　4M118 BA14 CA32 FA33 GA02 GA08 GA09 GC07 GD04 GD07 GD15 GD16
5C024 AX01 CX11 CY49 DX01 EX43 EX52 GX07 GY31

(54)【発明の名称】固体撮像素子

(57)【要約】
【課題】基板を透過する入射光を光電変換部に反射させる構造の固体撮像素子を構成するに当たり、反射光によるノイズの発生を低減し、光利用効率を向上させることが可能となる固体撮像素子を提供する。
【解決手段】画素ごとに基板内部に形成された光電変換部と、
前記基板に対して入射光が入射する側に設けられ、該入射光を前記光電変換部に集光する集光部と、を有する固体撮像素子であって、
前記基板に対して前記集光部の反対側に設けられ、該基板に向かって凹型形状を有する反射部を有し、
前記反射部は、該反射部の等倍結像位置を前記集光部の集光位置と一致させる構成を備えている。
【選択図】　図１



SAMSUNG EX. 1002 - 1877/4148

【特許請求の範囲】
【請求項１】
画素ごとに基板内部に形成された光電変換部と、
前記基板に対して入射光が入射する側に設けられ、該入射光を前記光電変換部に集光する集光部と、を有する固体撮像素子であって、
前記基板に対して前記集光部の反対側に設けられ、該基板に向かって凹型形状を有する反射部を有し、
前記反射部は、該反射部の等倍結像位置を前記集光部の集光位置と一致させる構成を備えていることを特徴とする固体撮像素子。
【請求項２】
前記反射部は、金属で形成されていることを特徴とする請求項１に記載の固体撮像素子。
【請求項３】
前記固体撮像素子は、前記基板に対して前記集光部と反対側に配線部を有する裏面照射型固体撮像素子であることを特徴とする請求項１または請求項２に記載の固体撮像素子。
【請求項４】
前記等倍結像位置と前記焦点位置は、前記基板における前記反射部を有する側の面上にあることを特徴とする請求項１から３のいずれか１項に記載の固体撮像素子。
【請求項５】
前記配線部は、ゲート電極と複数の配線層によって構成され、
前記反射部は、前記配線層よりも前記基板側に配置されていることを特徴とする請求項１から４のいずれか１項に記載の固体撮像素子。
【請求項６】
前記固体撮像素子が複数配列された該固体撮像素子の周辺画素において、
前記集光部の焦点位置が、前記周辺画素の中心軸に変位するように、
前記集光部を、前記周辺画素の中心軸より前記固体撮像素子の中心画素側に変位させて配されていることを特徴とする請求項１から５のいずれか１項に記載の固体撮像素子。
【請求項７】
前記固体撮像素子が複数配列された該固体撮像素子の周辺画素において、
前記配線層を、前記周辺画素の中心軸より前記固体撮像素子の中心画素側と反対側に変位させて配されていることを特徴とする請求項１から６のいずれか１項に記載の固体撮像素子。
【請求項８】
前記固体撮像素子が複数配列された該固体撮像素子の周辺画素において、
前記ゲート電極が、該周辺画素の中心軸より前記固体撮像素子の中心画素側に変位させて配されていることを特徴とする請求項１から７のいずれか１項に記載の固体撮像素子。
【請求項９】
前記配線層は、前記反射部を形成している金属と同一の材料で形成されていることを特徴とする請求項１から８のいずれか１項に記載の固体撮像素子。
【請求項１０】
前記基板と前記絶縁部の間に反射防止層が形成されていることを特徴とする請求項１から９のいずれか１項に記載の固体撮像素子。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、固体撮像素子に関し、特に、デジタルスチルカメラ等の撮像装置に用いる固体撮像素子に関する。
【背景技術】
【０００２】
近年、ＣＣＤやＣＭＯＳ素子などを２次元状に複数配列した固体撮像素子が、デジタル

SIONYX1403000021.0038

SAMSUNG EX. 1002 - 1878/4148

ビデオカメラやデジタルスチルカメラなどで用いられている。
固体撮像素子は、基板にイオン注入などの不純物導入によって光電変換部や拡散層を形成し、その後、膜を堆積・加工することで配線層や絶縁膜を形成して製造される。
固体撮像素子に入射した光は、光電変換部で吸収され、電荷に変換される。この電荷を光電変換部で蓄積し、蓄積した全電荷量の大きさを検出することで、入射光強度に応じた信号を得ることができる。
【０００３】
しかしながら、基板の深さより入射光の侵入長が長いと、入射光は光電変換部で十分吸収されずに、一部が基板を透過する。
そのため、入射光の一部は電荷信号に変換できず、光利用効率が低下する。
このようなことから、特許文献１では、透過した光を再び光電変換部に反射させるようにした撮像装置が提案されている。
但し、ここでの入射光の侵入長とは、光強度が吸収損失により入射光強度の１／ｅ倍になるまでの伝播距離を意味している。
【先行技術文献】
【特許文献】
【０００４】
【特許文献１】特開２００７－０２７６０４号公報
【発明の概要】
【発明が解決しようとする課題】
【０００５】
しかしながら、上記特許文献１の撮像装置における反射膜の構造では、図１０に示すように、マイクロレンズ９１０によって屈折された入射光９３０は反射膜９０１で反射され、隣接画素へ伝播する。
このため、反射光によりクロストークなどのノイズが発生し、画像のＳＮ比を低下させる。
【０００６】
本発明は、上記課題に鑑み、基板を透過する入射光を光電変換部に反射させる構造の固体撮像素子を構成するに当たり、反射光によるノイズの発生を低減し、光利用効率を向上させることが可能となる固体撮像素子の提供を目的とする。
【課題を解決するための手段】
【０００７】
本発明の固体撮像素子では、画素ごとに基板内部に形成された光電変換部と、
前記基板に対して入射光が入射する側に設けられ、該入射光を前記光電変換部に集光する集光部と、を有する固体撮像素子であって、
前記基板に対して前記集光部の反対側に設けられ、該基板に向かって凹型形状を有する反射部を有し、
前記反射部は、該反射部の等倍結像位置を前記集光部の集光位置と一致させる構成を備えていることを特徴としている。
【発明の効果】
【０００８】
本発明によれば、基板を透過する入射光を光電変換部に反射させる構造の固体撮像素子を構成するに当たり、反射光によるノイズの発生を低減し、光利用効率を向上させることが可能となる固体撮像素子を実現することができる。
【図面の簡単な説明】
【０００９】
【図１】本発明の実施例１における裏面照射型のＣＭＯＳ撮像素子の構成例について説明する断面図。
【図２】本発明の実施例１における可視光用の固体撮像素子の数値実施例を説明する図。
【図３】本発明の実施例１における撮像素子の反射部での反射率を示すグラフ。

SIONYX1403000021.0039

SAMSUNG EX. 1002 - 1879/4148

【図４】本発明の実施例１における撮像素子の光利用効率を示すグラフ。
【図５】反射部がない場合の固体撮像素子の光利用効率を示すグラフ。
【図６】本発明の実施例２における２次元配列構造を備えたＣＭＯＳ撮像素子の構成例について説明する断面図。
【図７】本発明の実施例２における２次元的に配列されたＣＭＯＳ撮像素子の構成例について説明する図。
【図８】本発明の実施例２における中心画素と周辺画素における光線とマイクロレンズを含む光学配置について説明する概略図。
【図９】本発明の実施例３における裏面照射型のＣＭＯＳ撮像素子の製造方法について説明する図。
【図１０】従来例における固体撮像素子の構成を説明する図。
【発明を実施するための形態】
【００１０】
本発明を実施するための形態を、以下の実施例により図を用いて説明する。
なお、以下の実施例を説明するための全図において、同一の機能を有するものには同一符号を付け、その重複する構成についての説明は省略する。
【実施例】
【００１１】
［実施例１］
図１を用いて、本発明を適用した裏面照射型のＣＭＯＳ撮像素子の構成例について説明する。
図１において、１００は裏面照射型のＣＭＯＳ撮像素子である。
１１３は基板であり、この基板内部に画素ごとに設けられた光電変換部１１４と、基板１１３に向かって特定の曲率半径をもつ凹型形状の反射部１０１が構成されている。
また、１１０は集光部であるマイクロレンズであり、基板より入射側に設けられている。
また、本実施例の撮像素子は、カラーフィルタ１１１、絶縁部１１２、拡散層１１５、反射防止層１１６、凸型絶縁部１１７、層間絶縁膜１１８、配線部１１９、支持基板１２０を備える。
配線部１１９は、ゲート電極１１９ａと３層の配線層１１９ｂ、１１９ｃ、１１９ｄで構成される。
【００１２】
入射光１３０は、マイクロレンズ１１０によって集光され、焦点位置１３１で結像する。
また、入射光１３０の一部は光電変換部を透過し、凹型形状の反射部１０１で反射される。
この反射光の等倍結像位置とマイクロレンズの焦点位置１３１とを一致させることが可能に構成されている。そのため、反射光は再び焦点位置１３１で結像する。
このような構成により、反射部１０１に到達した光はすべて反射光となり、この反射光は入射時とほぼ同じ光路を逆進する。
このため、全反射光は再び光電変換部へ入射するため、固体撮像素子の感度が高くなる。
【００１３】
これに対して、例えば、入射光と反射光が同じ光路を通らない構成の場合には、反射光の一部は隣接画素へ伝播し、また、配線部などによって散乱され、クロストークなどのノイズの原因になる。
特に、マイクロレンズを含む固体撮像素子では、光電変換部へ入射する角度が大きくなるため、入射光を単純に反射させても、光電変換部へは通らず、隣接画素へ伝播し易くなる。
また、固体撮像素子の画素サイズが小さくなれば、ますます隣接画素との距離が短くなるため、クロストークなどのノイズが大きくなる。
【００１４】

SIONYX1403000021.0040

SAMSUNG EX. 1002 - 1880/4148

本実施例では、以上のように入射光と反射光が同じ光路となるように反射部１０１を構成したことにより、入射光１３０はクロストークなどのノイズを低減し、かつ、光電変換部内の伝播距離が長くなり光利用効率が向上する。
このため、画像のＳＮ比を向上させることができる。

【００１５】

図２を用いて、画素サイズが２．０μｍ、シリコンから成る基板１１３の膜厚が２．５０μｍである可視光用の固体撮像素子の数値実施例を説明する。
ただし、基板１１３の入射側表面を第一面１３４、基板１１３の反射部１０１を有する側の表面を第二面１３５とする。
マイクロレンズ１１０、カラーフィルタ１１１、絶縁部１１２、凸型絶縁部１１７の屈折率は全て１．５０であり、画素の中心での膜厚はそれぞれ０．７５０μｍ、０．７５０μｍ、０．５００μｍ、１．００μｍある。
入射光１３０が基板１１３中の光電変換部に効率よく入射するため、焦点位置１３１を光電変換部の中心で基板１１３と反射防止層１１６との界面（第二面１３５）になるように、マイクロレンズ１１０の曲率半径を０．９７９μｍとした。また、マイクロレンズから入射した複数の角を持つ光が、反射部１０１で全て同じ焦点位置１３１に逆進するように、曲率半径を１．００μｍとした。
このような構成にしたことで、反射部１０１の等倍結像位置とマイクロレンズ（集光部）１１０の焦点位置（集光位置）は、第二面１３５上で一致する。

【００１６】

本実施例において、この反射部１０１は、凸型絶縁部１１７の表面にアルミニウムを堆積させて形成される。
これにより、図３に示す反射率が得られ、可視全域で反射率が８０％以上を得ることが可能となる。
このとき、固体撮像素子の光利用効率を図４に示す。
また、反射部１０１がない場合の固体撮像素子の光利用効率を図５に示す。
波長５００ｎｍより長波長側において、反射部１０１を設けることで光利用効率が高くなり、波長７００ｎｍでは１．５倍程度高くなる。
但し、カラーフィルタ１１１の吸光率は本発明の内容と無関係であるため、吸光率が零として見積もった。
このように、反射部１０１の等倍結像位置とマイクロレンズ１１０の焦点位置とを一致させることで、光利用効率を向上させ、感度を高くすることができる。
また、反射部からの反射光は入射時とほぼ同じ光路を逆進するため、配線部などで生じる散乱を低減し、クロストークを低減することができる。
このため、画像のＳＮ比が向上する。

【００１７】

また、本実施例の固体撮像素子の反射部は金属で形成したが、必ずしも金属である必要はなく、誘電体などによる反射膜であってもよい。
誘電体による反射膜であっても入射光を反射させることさえできれば、同様に光利用効率は向上する。
しかしながら、誘電体の反射膜であれば、屈折率差を大きくすることが材料選択性の観点から困難であるため、高反射率が得られない。
また、誘電体多層膜による反射膜を用いると、波長依存性が大きいため、可視光全域で高反射率を得ることはできない。
一方、金属を用いれば、波長依存性が小さく、かつ、高反射率を得ることができる。このため、反射部に金属を用いた方が光利用効率が向上するため望ましい。
また、本実施例の固体撮像素子は基板１１３に対してマイクロレンズ１１０と反対側に配線部１１９を配した裏面照射型としたが、必ずしも裏面照射型である必要はなく、マイクロレンズと配線部が同じ側に配した表面照射型であってもよい。
表面照射型の固体撮像素子においても、本発明の構成であれば裏面照射型の固体撮像素子

SIONYX1403000021.0041

SAMSUNG EX. 1002 - 1881/4148

と同様に、光利用効率が向上する。
しかしながら、表面照射型固体撮像素子の場合、入射光側に支持基板を作製することが困難であるため、基板を薄くして、入射光と対向する側に反射部を作製するのが困難である。
一方、裏面照射型固体撮像素子は後述するように、入射光と対向する側に支持基板を貼り合わせ、基板を薄くすることができる。このため、裏面照射型固体撮像素子の方が、容易に作製することができるため望ましい。
【００１８】
また、本実施例のマイクロレンズ１１０の焦点位置１３１と反射部１０１の等倍結像位置は、基板１１３の反射部を有する側の第二面１３５上に形成したが、必ずしも基板の第二面上に形成する必要はない。
基板中または基板の外部に結像させても、光電変換部１１４中に入射光１３０が伝播さえすれば、入射光は電荷信号として検出できる。
しかしながら、裏面入射型固体撮像素子は光電変換部で得られた電荷を転送するトランジスタのドレイン領域となる拡散層１１５が、基板１１３の第二面１３５側に形成される。この拡散層１１５に入射光が伝播すると、拡散層に電荷が発生する。この電荷は、白点ノイズなどのノイズの要因となる。
このため、拡散層に光を入射しないように、第二面に入射光を結像させることが望ましい。
また、本実施例では配線部１１９が複数の配線層１１９ｂ～ｄを有し、反射部１０１はすべての配線層１１９ｂ～ｄより基板側に配した構造としたが、必ずしも、そのような構成である必要はない。
反射部が配線層より支持基板側に配した構造としても、光電変換部を透過した入射光は、反射部によって光電変換部へ反射させることができ、光利用効率は向上する。
但し、光電変換部を透過した光は広がって伝播するため、一部の光は、反射部に到達する前に配線層によって散乱される。
この散乱光は隣接画素の光電変換部に到達すると、クロストークとなる。
このため、反射部は配線層より基板側にあった方が望ましい。
【００１９】
また、本実施例では、配線層１１９ｂ～ｄと反射部１０１をアルミニウムで形成したが、必ずしも同一の材料で形成しなくてもよい。
例えば、配線層１１９ｂ～ｄを銅で形成し、反射部をアルミニウムで形成しても、本発明の効果が得られる。
但し、同一の材料で形成すれば、作製コストを低くすることができるため望ましい。
また、本実施例では基板１１３と凸型絶縁部１１７との間に反射防止層１１６を形成した。
反射防止層がなくても、光電変換部を透過する光は、反射部で反射され光電変換部に再入射するため、光利用効率は向上する。
しかしながら、基板と凸型絶縁部との界面の反射光は、図１０で示した反射膜と同様に、光電変換部に集光せず拡散層１１５や隣接画素へ伝播する。
このため、白点ノイズやクロストークの要因となり、画像のＳＮ比を低下させる。
このようなことから、基板と凸型絶縁部の間に反射防止層を形成し、界面からの反射光を抑制する方が望ましい。
【００２０】
［実施例２］
実施例では、図６を用いて本発明を適用した２次元配列構造を備えたＣＭＯＳ撮像素子の構成例について説明する。
図６において、２００は固体撮像素子であり、本実施例では光電変換部を含む画素２１０を２次元状に複数配列した構造とされている（図７（ａ））。
このとき、通常、カメラレンズの射出瞳２１１と固体撮像素子２００との距離が有限長で

SIONYX1403000021.0042

SAMSUNG EX. 1002 - 1882/4148

あるため周辺画素では、主光線２３１が傾いて入射する（図７（ｂ））。
このため、周辺画素では入射光を効率よく光電変換部に入射させるため、入射光を光電変換部へ屈折させるマイクロレンズなどの集光部が必要となる。
仮に、集光部を用いなければ、斜入射光は隣接画素へ伝播しクロストークノイズの要因となる。

【００２１】

図６は、マイクロレンズ１１０によって入射光２３１が集光され、また反射部１０１により反射した光が入射光と同じ光路を逆進する構成をとっている。
このため、反射光は再び光電変換部へ入射するため、固体撮像素子の感度が高くなる。
一方、例えば、入射光と反射光が同じ光路を通らない構成で、特に主光線２３１が傾いている場合、反射部からの反射光は、光電変換部を通らず、主光線の傾きと同じ方向の隣接画素へ伝播する。
このため、クロストークなどのノイズの要因となる。特に、入射光を集光させる集光部を用いない構成では、反射光は固体撮像素子内部で広がるため、クロストークなどのノイズが大きくなる。

【００２２】

以上により、入射光と反射光が同じ光路となるように反射部１０１を構成したことで、入射光１３０はクロストークなどのノイズを低減し、かつ、光電変換部内の伝播距離が長くなり光利用効率を向上させる。このため、画像のＳＮ比が向上する。

【００２３】

次に、主光線が傾いた場合における入射光と反射光が同じ光路となるための構成を説明する。
図８に中心画素と周辺画素における光線とマイクロレンズを含む光学配置の概略図を示す。
中心画素の場合、入射光２３０は垂直入斜となるため、焦点位置１３１は中心画素の中心軸２３５上に位置する（図８（ａ））。
一方、周辺画素の場合、入射光２３１は傾いて入射するため、焦点位置は周辺画素の中心軸上に位置せず、該中心軸より中心画素側と反対側にズレて位置することになる。
このため、マイクロレンズ１１０を周辺画素の中心軸より中心画素側に変位させて配することで、焦点位置１３１を周辺画素の中心軸２３５に変位させることができる（図８（ｂ））。

【００２４】

以上のように、マイクロレンズを中心画素側へ変位させることで、すべての画素で焦点位置を画素中心軸２３５に位置させることができる。
この場合、反射部１０１の曲率中心を焦点位置１３１と一致させると、すべての画素で反射部の曲率中心は入射光の焦点位置である画素中心軸２３５上に位置し、反射光を入射光と同じ光路となるように設計できる。
このとき、反射部１０１はすべての画素で同じように設計すればよく、マイクロレンズとは独立に設計できる。
但し、マイクロレンズ１１０を中心画素側に変位させなくて、反射部の曲率中心を面内で変位させれば、焦点位置と等倍結像位置が一致する。
この場合においても、本発明による光利用効率の向上の効果が得られる。
しかしながら、焦点位置が画素中心軸にないと、光電変換部を透過した光は広がって伝播するため、配線部などによる散乱が生じる。散乱光はクロストークの要因となり、画像のＳＮ比の低下を引き起こす。
そのため、マイクロレンズを変位させて、マイクロレンズの焦点位置と反射部の等倍結像位置を画素中心軸上で一致させた方が、画像のＳＮ比が向上し望ましい。

【００２５】

また、このとき、図６に示すように、光電変換部１１４側から入射した透過光２３３は、周辺画素側に伝播する。

SIONYX1403000021.0043

SAMSUNG EX. 1002 - 1883/4148

この透過光２３３を反射させるためには、反射部１０１を周辺画素側にまで大きく形成する必要がある。
しかしながら、反射部１０１を周辺画素側にまで大きく形成すると、反射部１０１と配線層１１９ｂは近接するため、電気的に導電し、固体撮像素子２００は正常に動作しなくなる。
よって、配線層１１９ｂを周辺画素の中心軸より中心画素側と反対側に変位させて配し、反射部１０１と配線層１１９ｂの距離を長くし、絶縁させる。
以上により、周辺画素において、反射部を周辺画素側まで形成しても、配線層を周辺画素側に変位させることで、感度が高く、ノイズの小さな固体撮像素子を得ることができる。
また、本実施例では、ゲート電極１１９ａを周辺画素の中心軸より中心画素側に変位させて配置したことで、透過光２３３は周辺画素側に伝播し、ゲート電極１１９ａに入射しにくくなる。
通常、ゲート電極１１９ａはポリシリコンで形成されるため、ゲート電極１１９ａに透過光が入射すると、透過光は吸収され、光電変換部に再入射する光量が減少する。
このため、ゲート電極１１９ａを周辺画素の中心軸より中心画素側に形成する方が光利用効率が向上するため望ましい。

【００２６】

［実施例３］

実施例３では、図９は、本発明を適用した裏面照射型のＣＭＯＳ撮像素子を製造する際の製造方法の構成例について説明する。
本実施例の製造方法においては、まず、熱酸化によりシリコン基板１１３の表面にシリコン酸化膜を形成する。
続いて、シリコン基板１１３中に光電変換部１１４を形成するために、フォトレジストにより所定位置にレジストマスクを形成し、不純物のイオン打ち込みを行う。
その後、レジストマスクをアッシング等により除去する。続いて、同様のイオン打ち込みの方法で、拡散層１１５を形成する（図９（ａ））。
次に、光電変換部１１４にて発生した電荷を転送するためのゲート電極１１９ａを形成するために、ポリシリコン膜を形成する。
その後、フォトリソ工程を用いてポリシリコンを所定パターンにエッチングしてゲート電極１１９ａを形成する。
その後、シリコン基板１１３、およびゲート電極１１９ａ上に例えばＢＰＳＧなどの層間絶縁膜を形成し、ＣＭＰ法により平坦化を行う（図９（ｂ））。
さらに、レジストマスクを形成し、１６０℃前後でリフロー処理を行い、凸型形状のレジスト３０１を作製する（図９（ｃ））。
その後、ドライエッチングによりレジストマスクの凸型形状を層間絶縁膜に転写し凸型絶縁部１１７を形成する（図９（ｄ））。

【００２７】

続いて、凸型絶縁部１１７にアルミニウムなどの金属を堆積させて、凸型絶縁部１１７の形状を転写した反射部１０１を形成する（図９（ｅ））。
次に、電気的な接続のため、コンタクトホールなどの接続孔を層間絶縁膜に形成して、他の金属配線層に電気的に接続させる。
同様に、第一配線層１１９ｂ、第二配線層１１９ｃおよび第三配線層１１９ｄをそれぞれ形成し、これら配線層を層間絶縁膜１１８で覆う（図９（ｆ））。
続いて、層間絶縁膜１１８の上部に支持基板１２０を貼り合わせ、支持基板１２０を下側にし、基板１１３を光電変換部１１４が形成されている領域までＣＭＰ法により研磨する（図９（ｇ））。
さらに、シリコン基板１１３の第一面１３４側に、絶縁部１１２を形成する。また、必要に応じて、遮光膜を形成する（不図示）。
その後、カラーフィルタ１１１を形成し、マイクロレンズ１１０をリフロー処理によって形成する（図９（ｈ））。

SIONYX1403000021.0044

SAMSUNG EX. 1002 - 1884/4148

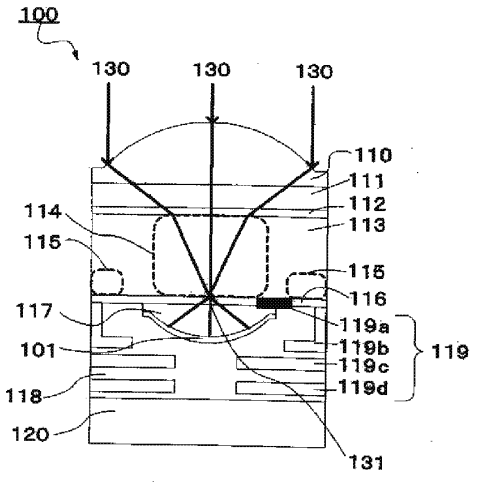
なお、上記の実施例１から実施例３においては、すべてＣＭＯＳ撮像素子に関して説明したが、本発明はＣＭＯＳ撮像素子に限られるものではない。
例えば、ＣＣＤ撮像素子などその他の固体撮像素子に関しても同様に適用できる。

【符号の説明】

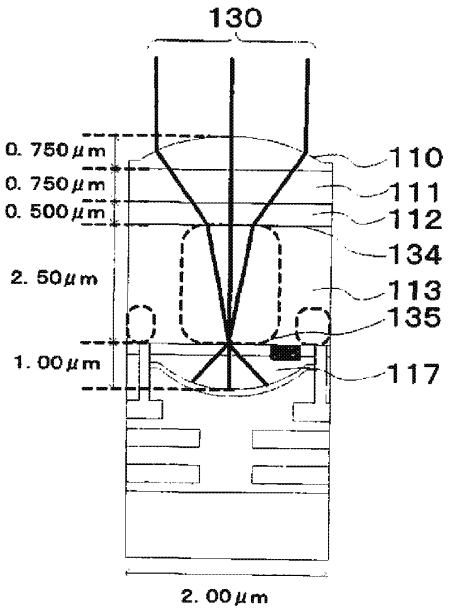
【００２８】

１００：固体撮像素子
１０１：反射部
１１０：マイクロレンズ
１１１：カラーフィルタ
１１２：絶縁部
１１３：基板
１１４：光電変換部
１１５：拡散層
１１６：反射防止層
１１７：凸型絶縁部
１１８：層間絶縁膜
１１９：配線部
１１９ａ：ゲート電極
１１９ｂ、１１９ｃ、１１９ｄ：配線層
１２０：支持基板
１３０：光線
１３１：焦点位置

【図１】

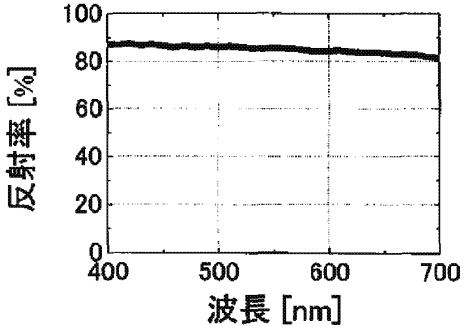


【図２】

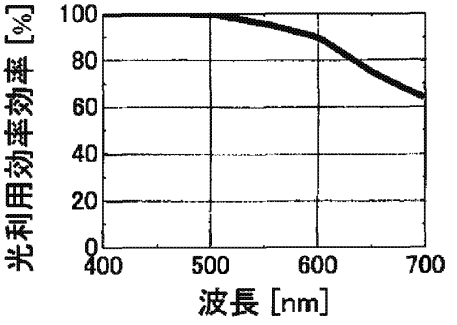


SAMSUNG EX. 1002 - 1885/4148

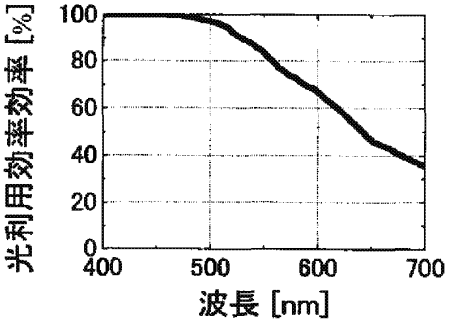
【図３】



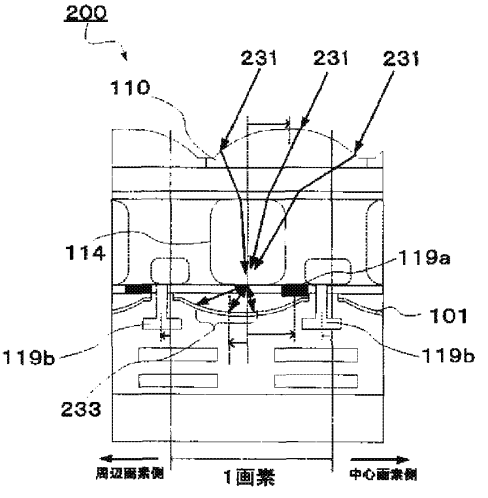
【図４】



【図５】

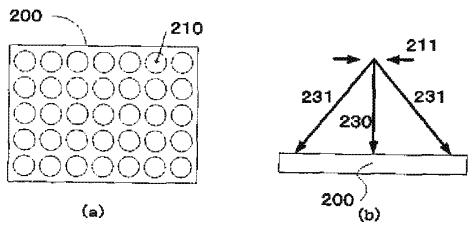


【図６】

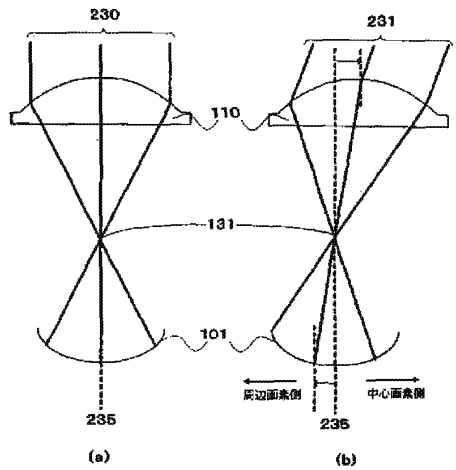


SAMSUNG EX. 1002 - 1886/4148

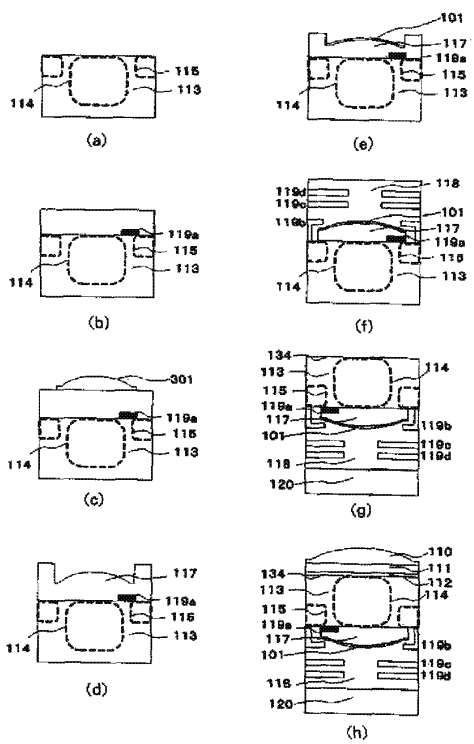
【図７】


200
210
(a)
211
231
230
231
200
(b)

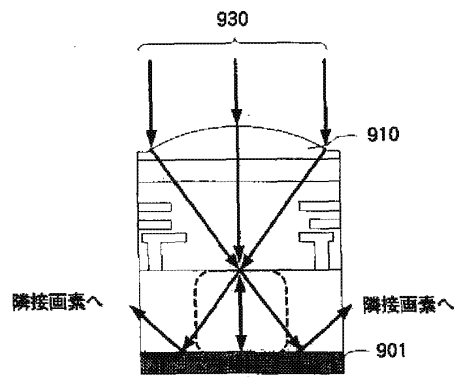
【図８】


230
231
110
131
101
235
(a)
周辺画素側
中心画素側
235
(b)

【図９】


115
113
114
(a)
119a
115
113
114
(b)
301
119a
115
113
114
(c)
117
119a
115
113
114
(d)
101
117
119a
115
113
114
(e)
119d
119c
119b
118
101
117
119a
115
113
114
(f)
134
113
115
119a
117
101
118
120
114
119b
119c
119d
(g)
110
134
113
115
119a
117
101
118
120
111
112
114
119b
119c
119d
(h)

【図１０】


930
910
隣接画素へ
隣接画素へ
901

PROBLEM TO BE SOLVED: To provide a solid-state image pickup element reducing a noise generation by reflection light and improving a light utilization efficiency when constituting the solid-state image pickup element configured to cause a photoelectric conversion part to reflect an incident light passing through a substrate. ; SOLUTION: The solid-state image pickup element includes the optical conversion part formed inside the substrate with respect to each pixel, and a light condensing part provided on a side of the substrate that the incident light enters and condensing the incident light to the optical conversion part, wherein the solid-state image pickup element includes a reflector provided on a side opposite to the light condensing part and having a recessed shape toward the substrate, and the reflector has a configuration to orient a same-size imaging position of the reflector to a condensing position of the light condensing part. ;
COPYRIGHT: (C)2011,JPO&INPIT

Last updated: 09.10.2013 Worldwide Database 5.8.11.5; 92p

SIONYX1403000021.0048

SAMSUNG EX. 1002 - 1888/4148

Espacenet

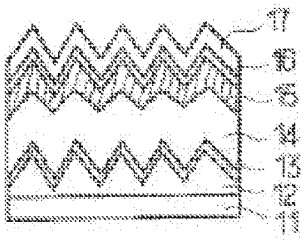
Bibliographic data: JP9148594 (A) — 1997-06-06

PHOTOVOLTAIC ELEMENT AND ITS MANUFACTURE

Inventor(s):	ENDO KOJI; SHIMA MASAKI +
Applicant(s):	SANYO ELECTRIC CO +
Classification:	- **international:** ***H01L31/04;*** (IPC1-7): H01L31/04
	- **European:** Y02E10/54N
Application number:	JP19950307095 19951127
Priority number(s):	JP19950307095 19951127
Also published as:	JP3416364 (B2)

Abstract of JP9148594 (A)

PROBLEM TO BE SOLVED: To control at will a texture structure on the surface of a separated semiconductor layer from a substrate, by providing as at least one semiconductor layer of a plurality of semiconductor layers a diamond-like carbon film with a texture structure formed etching its opposite surface to the substrate. SOLUTION: On a substrate 11, a transparent electrode 12 with a formed texture structure is formed to form thereon a p- or n-layer 13. Thereon, an i-layer 14 made of i-type amorphous silicon is formed. Further, thereon, forming a diamond-like carbon film 15, the opposite surface of the film 15 to the substrate 11 is etched to form a texture structure. While the irregular shape of the texture structure on the surface of the i-layer 14 is blunted, the texture structure on the surface of the film 15 has a sharp irregular shape because it is formed by etching.; On this newly formed texture structure, an n- or p-layer 16 is formed. Therefore, a texture structure on the surface of a separated semiconductor layer from the substrate 11 can be controlled at will.



Last updated: 5.12.2011 Worldwide Database 5.7.31; 92p

SIONYX1403000021.0049

SAMSUNG EX. 1002 - 1889/4148

SAMSUNG EX. 1002 - 1890/4148

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号

特開平9－148594

(43)公開日　平成９年(1997)６月６日

(51)Int.Cl.[6]	識別記号	庁内整理番号	Ｆ Ｉ	技術表示箇所
Ｈ０１Ｌ　31/04			Ｈ０１Ｌ　31/04	Ｆ

審査請求　未請求　請求項の数５　ＯＬ　（全　６　頁）

(21)出願番号　特願平7－307095

(22)出願日　平成７年(1995)11月27日

(71)出願人　000001889
三洋電機株式会社
大阪府守口市京阪本通２丁目５番５号

(72)発明者　遠藤　浩二
大阪府守口市京阪本通２丁目５番５号　三洋電機株式会社内

(72)発明者　島　正樹
大阪府守口市京阪本通２丁目５番５号　三洋電機株式会社内

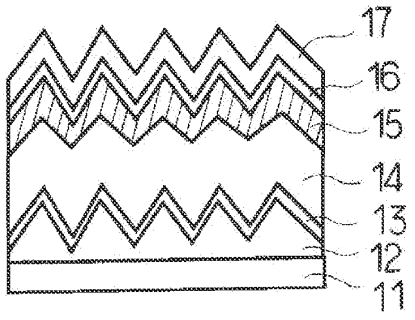
(74)代理人　弁理士　目次　誠　（外１名）

(54)【発明の名称】　光起電力素子及びその製造方法

(57)【要約】

【課題】　基板から離れた半導体層の表面のテクスチャー構造を自由に制御することができ、光閉じ込め効果を十分に得ることができる光起電力素子の構造及びその製造方法を得る。

【解決手段】　ｉ層１４の上にダイヤモンド様炭素膜１５が設けられ、ダイヤモンド様炭素膜１５の表面がH_2プラズマ処理などによるエッチングによりテクスチャー化されていることを特徴としている。



SIONYX1403000021.0050

【特許請求の範囲】
【請求項１】　基板上方に複数の半導体層を積層することにより構成された光起電力素子において、
前記複数の半導体層のうちの少なくとも１つの半導体層として、前記基板と反対側の表面をエッチングしてテクスチャー構造としたダイヤモンド様炭素膜が設けられていることを特徴とする光起電力素子。
【請求項２】　前記ダイヤモンド様炭素膜がｉ層またはｉ層の一部の層であり、ｉ層の一部の層である場合にはｉ層の他の部分の層に対し前記基板と反対側に設けられていることを特徴とする請求項１に記載の光起電力素子。
【請求項３】　基板上方に複数の半導体層を積層することにより構成された光起電力素子を製造する方法であって、
前記複数の半導体層のうちの少なくとも１つの半導体層として、sp^3 構造／sp^2 構造の比を所定の比率に制御したダイヤモンド様炭素膜を形成する工程と、
前記ダイヤモンド様炭素膜のsp^2 構造を選択的にエッチングすることにより、その表面にテクスチャー構造を形成する工程とを備える光起電力素子の製造方法。
【請求項４】　前記ダイヤモンド様炭素膜のエッチングが、H_2 、Ｈｅ、Ｎｅ、Ａｒ、Ｋｒ、またはこれらのうちの少なくとも１種を含む混合ガスを用いたエッチングである請求項３に記載の光起電力素子の製造方法。
【請求項５】　前記ダイヤモンド様炭素膜のsp^3 構造／sp^2 構造の比が、０．８以上３．２以下である請求項３または４に記載の光起電力素子の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は、光起電力素子及びその製造方法に関するものである。
【０００２】
【従来の技術及び発明が解決しようとする課題】従来より、複数の半導体層を積層し、ｐｉｎ接合等をその内部に形成した光起電力装置においては、半導体層の接合界面を凹凸化したテクスチャー構造を形成することにより、半導体層内に光を閉じ込め、光電変換効率を向上させる研究がなされている。しかしながら、多くの研究は、Solar Cells,11(1984)357-366 に示されているように、基板上に形成する透明導電膜または金属反射膜の表面にテクスチャー構造を形成するものである。
【０００３】図７は、透明導電膜の表面にテクスチャー構造を形成した従来の光起電力装置を示す断面図である。図７を参照して、基板１の上には透明導電膜２が形成されている。透明導電膜２は、その表面にサブミクロンオーダーのテクスチャー形状が形成されている。このようなテクスチャー構造は、例えば四塩化錫（$SnCl_4$ ）や４－メチル錫（$Sn(CH_3)_4$ ）を原料とし、熱ＣＶＤ法やスプレー法等で形成することにより形成される。このようなテクスチャー形状を有する透明導電膜２の上には、ｐ層またはｎ層３、ｉ層４、ｎ層またはｐ層５が順次積層され、さらにその上に裏面電極層６が形成されている。これらｐ層、ｉ層及びｎ層は、それぞれｐ型、ｉ型及びｎ型の非晶質シリコンに代表される非晶質半導体からなる。図７に示されるように、基板１上の下地層となる透明電極膜２の表面にテクチスャー構造を形成することにより、その上に積層する層の表面もテクスチャー構造の凹凸形状を受け継ぎ凹凸形状に形成される。しかしながら、上方の積層膜になるに従い、その凹凸形状が鈍くなっている。図７においては、ｐ層またはｎ層３とｉ層４の界面の凹凸形状に比べ、ｉ層４とｎ層またはｐ層５との界面の凹凸形状の方が鈍くなっていることがわかる。
【０００４】図８は、同様に透明導電膜の表面にテクスチャー構造を形成し、この透明導電膜上に半導体層を積層することにより形成したタンデム構造の光起電力素子を示す断面図である。図８を参照して、ｎ層またはｐ層５の上には、次のセル単位となるｐ層またはｎ層７、ｉ層８、及びｎ層またはｐ層９が積層され、さらにこの上に裏面電極層１０が形成されている。このようにさらに多数積層していくと、テクスチャー構造の凹凸形状がさらに鈍くなることがわかる。例えば、ｉ層８とｎ層またはｐ層９との界面は、ｉ層４とｎ層またはｐ層５との界面の凹凸形状よりもさらに鈍くなっている。
【０００５】このように従来の光起電力装置では、透明電極膜または金属反射膜にテクスチャー構造を付与しても、その上に半導体層を積層していくと、半導体層の上方の界面では、テクスチャー構造の凹凸形状が鈍くなり、十分な光閉じ込め効果を得ることができていなかった。
【０００６】また、テクスチャー構造の凹凸形状が、散乱させたい光の波長と関連するものであるので、半導体層表面のテクスチャー構造の凹凸形状を自由に制御することができれば、光閉じ込め効果をさらに十分に得ることが可能になる。
【０００７】本発明の目的は、基板から離れた半導体層表面のテクスチャー構造を自由に制御することができ、光閉じ込め効果を十分に得ることができる光起電力素子の構造及びその製造方法を提供することにある。
【０００８】
【課題を解決するための手段】本発明の光起電力素子は、基板上方に複数の半導体層を積層することにより構成された光起電力素子であり、複数の半導体層のうちの少なくとも１つの半導体層として、基板と反対側の表面をエッチングしてテクスチャー構造としたダイヤモンド様炭素膜が設けられている。
【０００９】本発明の製造方法は、上記本発明の光起電力素子を製造することができる方法であり、複数の半導体層のうちの少なくとも１つの半導体層として、sp^3

SIONYX1403000021.0051

SAMSUNG EX. 1002 - 1891/4148

構造／sp^2 構造の比を所定の比率に制御したダイヤモンド様炭素膜を形成する工程と、ダイヤモンド様炭素膜のsp^2 構造を選択的にエッチングすることによりその表面にテクスチャー構造を形成する工程とを備えている。

【００１０】ダイヤモンド様炭素膜は、H_2 、Ｈｅ、Ｎｅ、Ａｒ、Ｋｒ、またはこれらのうちの少なくとも１種を含む混合ガスを処理用ガスとして用い、プラズマ処理することによりエッチングすることができる。このようなエッチングの際、ダイヤモンド様炭素膜のsp^2 構造が選択的にエッチングされ、この結果凹凸形状のテクスチャー構造が形成される。

【００１１】ダイヤモンド様炭素膜のsp^3 構造／sp^2 構造の比は、０．８以上３．２以下であることが好ましく、さらに好ましくは１．０以上３．２以下であり、さらに好ましくは１．０以上２．０以下である。

【００１２】本発明に従えば、テクスチャー構造を有したダイヤモンド様炭素膜が半導体層の積層構造中に設けられるので、半導体層積層によるテクスチャー構造の凹凸形状の鈍化を改善することができ、光閉じ込め効果を向上させることができる。

【００１３】また本発明に従えば、sp^3 構造／sp^2 構造の比を制御することにより、ダイヤモンド様炭素膜の表面に形成するテクスチャー構造の凹凸形状を制御することができる。従って、効果的に散乱させたい波長に応じて、ダイヤモンド様炭素膜表面のテクスチャー構造を形成することができる。

【００１４】以上のように、本発明に従えば、光閉じ込め効果を向上させることができるので、短絡電流を大幅に増加させることができ、変換効率の向上を達成することができる。

【００１５】また、従来と同じ短絡電流を得るのであれば、ｉ層の膜厚を薄くすることができるので、光劣化後の変換効率を大幅に改善することができる。本発明の限定された局面においては、基板上に形成される透明導電膜または金属反射膜がテクスチャー化されており、このようなテクスチャー構造を有する透明導電膜または金属反射膜の上に複数の半導体層が積層され、複数の半導体層のうちの少なくとも１つの半導体層として、ダイヤモンド様炭素膜が形成される。

【００１６】本発明に従う他の限定された局面においては、基板上方に、ｐ型、ｉ型、ｎ型の半導体層を積層することにより構成された光起電力装置において、ｉ型の半導体層の基板と反対側に、基板と反対側の表面をエッチングしてテクスチャー構造としたダイヤモンド様炭素膜が設けられる。このようなダイヤモンド様炭素膜は、ｉ型のものであってもよいし、ｉ型の半導体層上に設けられるｎ型もしくはｐ型の半導体層であってもよい。

【００１７】本発明に従う他の限定された局面における製造方法は、上記局面の光起電力装置を製造することができる方法であり、ｉ型の半導体層の上にsp^3 構造／sp^2 構造の比を所定の比率に制御したダイヤモンド様炭素膜を形成する工程と、ダイヤモンド様炭素膜のsp^2 構造を選択的にエッチングすることにより、その表面にテクスチャー構造を形成する工程とを備えている。

【００１８】

【発明の実施の形態】図１は、本発明に従う一実施形態の光起電力素子を示す断面図である。図１を参照して、基板１１の上には、テクスチャー構造が形成された透明電極膜１２が形成されており、この透明電極層１２の上にｐ層もしくはｎ層１３が形成されている。これらｐ層もしくはｎ層は、ｐ型の非晶質シリコンカーバイドもしくはｎ型の非晶質シリコンからなる。ｐ層もしくはｎ層１３の上には、ｉ型の非晶質シリコンからなるｉ層１４が形成されている。ｐ層もしくはｎ層１３及びｉ層１４は、透明電極層１２のテクスチャー構造を引き継ぐように凹凸形状を有している。

【００１９】ｉ層１４の上には、ダイヤモンド様炭素膜１５が形成されている。このダイヤモンド様炭素膜１５の、基板１１と反対側の表面には、その表面をエッチングすることにより形成されたテクスチャー構造が形成されている。ｉ層１４の表面のテクスチャー構造の凹凸形状は、透明導電膜１２のテクスチャー構造の凹凸形状に比べ鈍化しているが、このように形成されたダイヤモンド様炭素膜１５の表面は、その表面をエッチングすることにより新たに形成されたテクスチャー構造であるため、鋭い凹凸形状を有している。この新たに形成されたテクスチャー構造の上に、ｎ層もしくはｐ層１６が形成され、さらにその上にＡｇなどからなる裏面電極層１７が形成されている。

【００２０】上記実施形態の光起電力素子は、基板１１として透明基板を用い、基板側から光を入射するタイプの光起電力素子である。従って、ｐｉｎ接合は、光入射側からｐ／ｉ／ｎの順で設けられることが好ましいので、１３はｐ層、１６はｎ層として形成されることが好ましい。

【００２１】基板と反対側から光が入射するタイプの光起電力素子の場合は、基板１１として透明基板を用いる必要はなく、シリコンなどの半導体基板や金属基板を用いることができる。またこの場合、基板表面にテクスチャー構造を形成し、この上に半導体層を積層させてもよい。また基板の上にテクスチャー化した金属層１２を形成させ、この上に半導体層を積層させてもよい。この場合、最上層１７は透明電極層となる。上述のように、光入射側からｐ／ｉ／ｎの順で半導体層を積層することが好ましいので、このような場合には、１６がｐ層となり、１３がｎ層となることが好ましい。また、ｐ層１６を高濃度にドーピングすることにより、ｐ層１６を透明導電膜として機能させることができる。このような場合、その上の透明導電膜１７を省略することができる。

SIONYX1403000021.0052

SAMSUNG EX. 1002 - 1892/4148

【００２２】上記の実施形態では、ｉ層１４の上にダイヤモンド様炭素膜１５を設けたが、ｎ層１６をダイヤモンド様炭素膜として、基板と反対側の表面をテクスチャー構造としてもよい。

【００２３】上記実施形態においては、ｉ層として非晶質シリコン層を形成しているが、ｉ層としてダイヤモンド様炭素膜を形成してもよい。図２は、図１に示す光起電力素子を製造する工程を説明するための断面図である。ダイヤモンド様炭素膜１５は、例えば、原料ガスC_2H_2の流量５０ｓｃｃｍ、基板温度２００℃、ＲＦパワー５０ｍＷ／ｃｍ^2、圧力１Ｐａの条件でプラズマＣＶＤ法により形成することができる。このようにして形成したダイヤモンド様炭素膜をエッチングし、その表面にテクスチャー構造を形成する。このようなエッチングは、処理用ガスとして、H_2、Ｈｅ、Ａｒ、Ｎｅ、Ｋｒなどのガスを用い、例えば、ガス流量５０ｓｃｃｍ、基板温度２００℃、ＲＦパワー５０ｍＷ／ｃｍ^2、圧力１Ｐａの条件でプラズマ処理することにより行うことができる。

【００２４】本発明におけるダイヤモンド様炭素膜のプラズマＣＶＤ法における一般的な形成条件としては、C_2H_2などの原料ガスの流量１０～５００ｓｃｃｍ、基板温度１００～３５０℃、ＲＦパワー１～３００ｍＷ／ｃｍ^2、圧力０．５～５Ｐａが挙げられる。

【００２５】以上のようなプラズマ処理によるエッチングで、ダイヤモンド様炭素膜１５の表面をテクスチャー構造にすることができる。このようにテクスチャー構造を付与した後に、残りの層を積層し、図１に示すような光起電力素子とする。

【００２６】図１におけるその他の半導体層は、プラズマＣＶＤ法を用いて、原料ガスとしてB_2H_6、SiH_4及びPH_3を適宜切り替えることにより形成することができる。

【００２７】ダイヤモンド様炭素膜のｓｐ^{3}構造／ｓｐ^{2}構造の比は、例えばプラズマＣＶＤ法で形成する場合、原料ガスの流量、基板温度、ＲＦパワー、圧力等の全てのパラメーターにより影響を受けるものである。ここでは、成膜時の下地へのダメージを低減するため、基板温度２００℃、ＲＦパワー５０ｍＷ／ｃｍ^{2}と一定の条件にし、反応圧力を０．５～５Ｐａの範囲内で変化させることにより、種々のダイヤモンド様炭素膜を形成し、反応圧力と膜中水素量及びｓｐ^{3}構造／ｓｐ^{2}構造の比との関係を求めた。結果を、図３及び図４にそれぞれ示す。なお、膜中水素量はＳＩＭＳ（Secondary Ion Mass Spectroscopy）で測定し、ｓｐ^{3}構造／ｓｐ^{2}構造の比は、ＸＰＳ（X-ray Photoelectron Spectroscopy）によりそれぞれ測定した。

【００２８】図３から明らかなように、反応圧力が低下するに伴い、形成されるダイヤモンド様炭素膜中での膜中水素量が増加している。また図４から明らかなように、反応圧力が低下するに伴い、ダイヤモンド様炭素膜中のｓｐ^{3}構造／ｓｐ^{2}構造の比が増加していることがわかる。このような低い圧力におけるダイヤモンド様炭素膜におけるｓｐ^{3}構造／ｓｐ^{2}構造の比の増加は、イオン衝撃により選択的にｓｐ^{2}結合が切断されていることによるものと思われる。従って、例えば、反応圧力をコントロールすることにより、ダイヤモンド様炭素膜中のｓｐ^{3}構造／ｓｐ^{2}構造の比を所定の比率となるように制御することができる。

【００２９】次に、図１に示すような構造の光起電力素子のダイヤモンド様炭素膜１５として、種々のｓｐ^{3}構造／ｓｐ^{2}構造の比を有するダイヤモンド様炭素膜を形成し、ダイヤモンド様炭素膜のｓｐ^{3}構造／ｓｐ^{2}構造の比と、光起電力素子における短絡電流との関係を検討した。図１におけるｉ層１４の膜厚としては２５００Åとし、エッチング処理前のダイヤモンド様炭素膜１５の膜厚としては５００Åとなるように形成した。基板１１と透明電極膜１２とからなるＴＣＯ基板としては、ヘイズ率１５％のものを用いた。なお、ここでヘイズ率とは、直達光に対する散乱光の割合を示す値である。またｐ層１３としては、膜厚１００Åのｐ型非晶質シリコンカーバイド層を形成した。ダイヤモンド様炭素膜１５の上に形成するｎ層１６としては、膜厚１００Åのｎ型非晶質シリコン層を形成した。裏面電極層１７としては、Ａｇ層をスパッタリング法により形成した。

【００３０】なお、短絡電流は、ダイヤモンド様炭素膜１５を形成していない、すなわち図７に示すような従来の光起電力素子の構造で、非晶質シリコンからなるｉ層１４の膜厚を３０００Åとし、その他の構造は上述の実施形態と同様である比較の光起電力素子を作製し、この比較の光起電力素子で得られる短絡電流で規格化した規格化短絡電流として表した。図５に、ｓｐ^{3}構造／ｓｐ^{2}構造の比と、このようにして測定された規格化短絡電流との関係を示す。

【００３１】図５から明らかなように、ｓｐ^3／ｓｐ^{2}の比が０．８以上３．２以下の範囲で、規格化短絡電流の値が１以上になっており、短絡電流の改善が認められる。特に好ましくは、１．０以上３．２以下であり、さらに好ましくは、１．０以上２．０以下である。これらの範囲で短絡電流が著しく改善されている。ｓｐ^3／ｓｐ^{2}の比が大きくなると、選択的にエッチングされるｓｐ^{2}の構造が少なくなるため、エッチングによる凹凸形状の形成が不十分になるため、短絡電流が低下するものと思われる。またｓｐ^3／ｓｐ^{2}の比が小さくなると、選択的にエッチングされるｓｐ^{2}構造が多くなるため、大部分がエッチングされ、効果的な凹凸形状が形成されず、短絡電流が低下するものと思われる。

【００３２】さらに、ｓｐ^3／ｓｐ^2＝１．２において、約１割の短絡電流の改善が認められたため、このようなｓｐ^3／ｓｐ^{2}の比率を有するダイヤモンド様炭素

SIONYX1403000021.0053

SAMSUNG EX. 1002 - 1893/4148

膜を用い、ｉ層の薄膜化による光劣化の改善効果を検討した。すなわち、ｉ層の膜厚を２５００Åから２０００Åに薄くした、図１に示すような構造の光起電力素子を作製し、変換効率を測定した。変換効率は、上記の比較の光起電力素子と同様に、図７に示すような構造を有する従来の光起電力素子においてｉ層の膜厚を３０００Åとした光起電力素子の効率を基準とし、（本実施形態の光起電力素子の変換効率）／（比較の光起電力素子の変換効率）の比を、規格化効率として示した。光劣化条件は、初年度劣化に相当する加速劣化条件（５００ｍＷ／ｃｍ^2、２５℃、１６０分）とした。光劣化前の初期の規格化効率及び光劣化後の規格化効率を表１に示す。

【００３３】

【表１】

初期	劣化後
１．０１	１．１５

【００３４】表１から明らかなように、光劣化前の規格化変換効率は１．０１であり、本実施形態と比較の光起電力素子はほぼ同程度の変換効率を示しているが、劣化後においては、規格化効率が１．１５であり、本実施形態の光電変換効率が比較の光起電力素子の変換効率よりも著しく高くなっている。これは、本実施形態によれば、光閉じ込め効果が改善され、従来より薄いｉ層で従来と同程度の短絡電流が得られるため、ｉ層を薄膜化することにより、光劣化後の光起電力素子の特性を大幅に改善することができたことに対応している。

【００３５】ところで、ダイヤモンド様炭素膜は、その膜中のｓｐ^3／ｓｐ^{2}の比率を変えることにより、その光学ギャップを変化させることができる。ｓｐ^3／ｓｐ^{2}の比率をそれぞれ１．２及び１．８と代えて作製したダイヤモンド様炭素膜の光学ギャップを表２に示す。

【００３６】

【表２】

ｓｐ^3／ｓｐ^2	１．２	１．８
光学ギャップ（ｅＶ）	１．９	１．６

【００３７】表２から明らかなように、ダイヤモンド様炭素膜のｓｐ^3／ｓｐ^{2}の比を変化させることにより光学ギャップを変化させることが可能であることがわかる。このような種々の光学ギャップに制御可能なセルは、積層型光起電力素子のフロントセルやボトムセルの発電層としても有用なものである。

【００３８】図６は、このような積層型光起電力素子に本発明を適用した実施形態の１つを示す断面図である。本実施形態の積層型光起電力素子は、基板と反対側から光が入射するいわゆる逆タイプ構造のものである。図６を参照して、基板１の上にテクスチャー構造を有する金属電極層２２が設けられており、この上にはｎ層２３、ｉ層２４、及びｐ層２５が順次積層されている。このｎ層２３、ｉ層２４、及びｐ層２５からボトムセルが形成されている。

【００３９】このボトムセルの上には、ｎ層２６、ｉ層２７が形成され、このｉ層２７はダイヤモンド様炭素膜から形成されている。このｉ層２７の上には、ダイヤモンド様炭素膜２８が形成されている。ダイヤモンド様炭素膜２８の表面は、H_2プラズマ処理等によりテクスチャー構造が形成されている。このテクスチャー構造が形成された表面上にｐ層２９が形成され、さらにその上にＩＴＯなどからなる透明電極膜３０が形成されている。ｎ層２６、ｉ層２７、ダイヤモンド様炭素膜２８、及びｎ層２９からフロントセルが構成される。

【００４０】図６に示すようなタンデム型の光起電力素子において、ダイヤモンド様炭素膜２８として、ｓｐ^3／ｓｐ^{2}の比が１．２であるものを用いると、フロントセルとして、上述のように光学ギャップが１．９ｅＶのものが得られる。従って、ボトムセルのｉ層２４として、例えば、公知のプラズマＣＶＤ法により形成した光学ギャップ１．７ｅＶの非晶質Ｓｉ層を用い、積層型太陽電池とすることができる。

【００４１】なお、ダイヤモンド様炭素膜２８の表面をH_2プラズマ処理でエッチングしない場合に比べ、エッチング処理しテクスチャー構造を形成した場合には、変換効率が約１割向上し、変換効率として１０％が得られた。

【００４２】上記実施形態では、いわゆる逆タイプ構造の積層型太陽電池においてフロントセルとして本発明に従う光起電力素子を用いたが、基板側から光が入射する、いわゆる順タイプ構造の積層型太陽電池にも本発明に従う光起電力素子を用いることができる。例えば、基板側に形成するフロントセルとして、公知のプラズマＣＶＤにより形成した、光学ギャップ１．８ｅＶの非晶質Ｓｉからなるｉ層のセルを用い、ボトムセルとして表３に示したｓｐ^3／ｓｐ^{2}の比が１．８である、光学ギャップ１．６ｅＶのｉ層を有する光起電力素子を形成することができる。このような積層型太陽電池は、ボトムセルにおいてエッチング処理によるテクスチャー構造の付与を行わないものに比べ、変換効率において約１．５割向上し、変換効率として１０．５％が得られた。

【００４３】以上のように、本発明の光起電力素子は、積層型光起電力素子にも適用することができ、変換効率を向上させることができる。

【００４４】

【発明の効果】本発明に従えば、基板から離れた半導体層表面のテクスチャー構造を自由に制御することができ、光閉じ込め効果を十分に得ることができる。また、効果的に散乱させたい波長に応じてテクスチャー構造の凹凸形状を制御することができるので、短絡電流を大幅

SIONYX1403000021.0054

SAMSUNG EX. 1002 - 1894/4148

に増加することができ、変換効率の向上を達成することができる。

【００４５】また短絡電流を大幅に増加することが可能であるので、短絡電流を従来と同程度のものにすれば、ｉ層の膜厚を薄くすることができる。このため、光劣化後の変換効率を大幅に改善することができる。

【図面の簡単な説明】

【図１】本発明に従う一実施形態の光起電力素子を示す断面図。

【図２】図１に示す本発明の実施形態を製造する工程を説明するための断面図。

【図３】ダイヤモンド様炭素膜の形成の際の反応圧力と、膜中水素量との関係を示す図。

【図４】ダイヤモンド様炭素膜の形成の際の反応圧力と、sp^3/sp^2の比との関係を示す図。

【図５】本発明におけるダイヤモンド様炭素膜のsp^3/sp^2の比を変化させたときの光起電力素子の規格化短絡電流を示す図。

【図６】本発明に従う他の実施形態である積層型太陽電池を示す断面図。

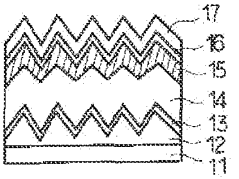
【図７】従来の光起電力素子の一例を示す断面図。

【図８】従来の積層型光起電力素子の一例を示す断面図。

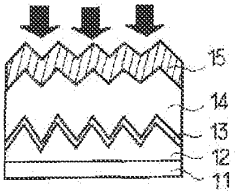
【符号の説明】

１１…基板
１２…透明電極膜または金属電極膜
１３…ｐ層またはｎ層
１４…第１のダイヤモンド様炭素膜であるｉ層
１５…ダイヤモンド様炭素膜
１６…ｎ層もしくはｐ層
１７…裏面電極膜または透明電極膜

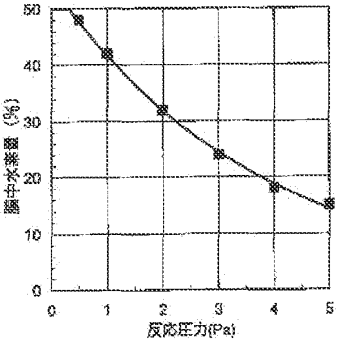
【図１】



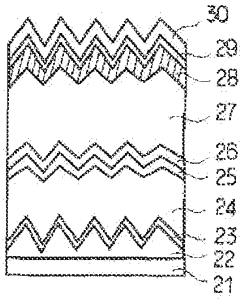
【図２】



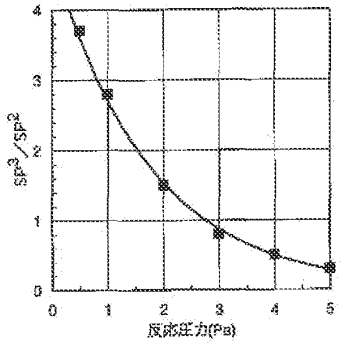
【図３】



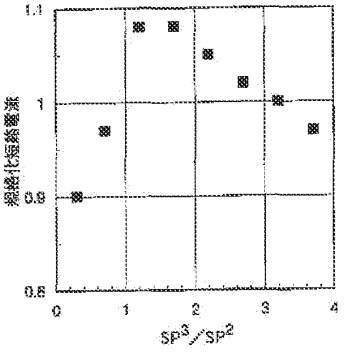
【図６】



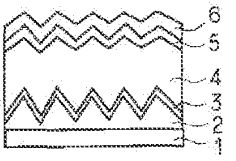
【図４】



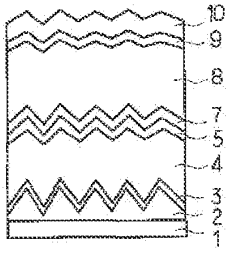
【図５】



【図７】



【図８】



SIONYX1403000021.0055

SAMSUNG EX. 1002 - 1895/4148

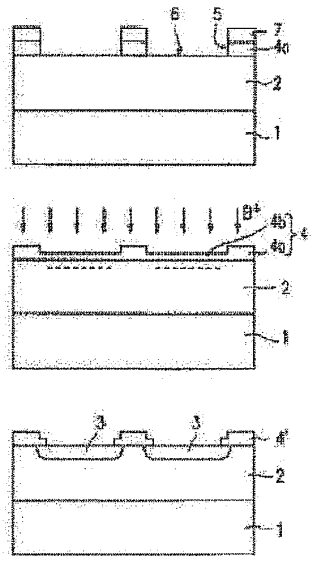
PHOTO DETECTOR AND MANUFACTURE THEREOF

Publication number: JP9298308 (A)
Publication date: 1997-11-18
Inventor(s): FUKUNAGA NAOKI; KUBO MASARU +
Applicant(s): SHARP KK +
Classification:
- international: ***H01L21/265; H01L31/10;*** **H01L21/02; H01L31/10;** (IPC1-7): H01L21/265; H01L31/10
- European:
Application number: JP19960109765 19960430
Priority number(s): JP19960109765 19960430

Also published as:
JP3516552 (B2)

Abstract of **JP 9298308 (A)**

PROBLEM TO BE SOLVED: To reduce the proportion of those carriers recombined to disappear on a semiconductor structure among carriers caused by a light incidence by distributing impurity in a diffused layer forming a photo detecting part of a semiconductor layer so that its concn. increases toward the surface of the semiconductor layer. SOLUTION: The surface 6 of an epitaxially grown layer 2 exposed in openings 5 of a first insulation film 4a is oxidized to form a first thermal oxide layer 4b, and a p-type impurity is implanted into the grown layer 2 under the condition of an implanting incident range less than the thickness of the second oxide layer 4b. This condition is to locate peaks of an impurity profile just after the ion implanting, not in the interior of the epitaxially grown layer 2 but in that of the second oxide film 4b.; For activating the impurity, it is heat treated in a nonoxidative atmosphere to activate and diffuse the impurity to form impurity diffused regions 3.



Data supplied from the ***espacenet*** database — Worldwide

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報（Ａ）**　(11)特許出願公開番号

特開平9－298308

(43)公開日　平成９年(1997)11月18日

(51)Int.Cl.[6]	識別記号	庁内整理番号	ＦＩ		技術表示箇所
Ｈ０１Ｌ　31/10			Ｈ０１Ｌ　31/10	Ａ	
21/265			21/265	Ｈ	

審査請求　未請求　請求項の数９　ＯＬ　（全 11 頁）

(21)出願番号　特願平8－109765

(22)出願日　平成８年(1996)４月30日

(71)出願人　000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号

(72)発明者　福永　直樹
大阪府大阪市阿倍野区長池町22番22号　シャープ株式会社内

(72)発明者　久保　勝
大阪府大阪市阿倍野区長池町22番22号　シャープ株式会社内

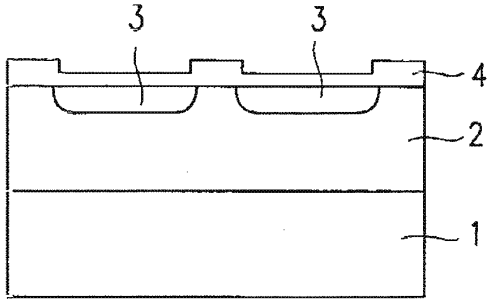
(74)代理人　弁理士　山本　秀策

(54)【発明の名称】　受光素子及びその製造方法

(57)【要約】

【課題】　半導体表面で再結合して消滅する光キャリアを減少させ、侵入長の比較的短い光に対して高い感度で光電変換を達成する。

【解決手段】　表面を有する第１導電型の半導体層２と、半導体層２の受光部に形成された少なくともひとつの第２導電型の不純物拡散層３とを備え、不純物拡散層３によってフォトダイオードが形成されている。不純物拡散層３内の第２導電型不純物は、半導体層２の表面に近づくほど濃度が高くなるように分布している。



SIONYX1403000021.0057

SAMSUNG EX. 1002 - 1897/4148

【特許請求の範囲】
【請求項１】　表面を有する第１導電型の半導体層と、該半導体層の受光部に形成された少なくともひとつの第２導電型の不純物拡散層とを備え、該不純物拡散層によってフォトダイオードが形成されている受光素子であって、
該不純物拡散層内の第２導電型不純物は、該半導体層の該表面に近づくほど濃度が高くなるように分布している受光素子。
【請求項２】　前記半導体層の前記表面において前記不純物拡散層に接触する絶縁膜を更に備えており、
前記第２導電型不純物の濃度は、該絶縁膜の内部で極大値を示している請求項１に記載の受光素子。
【請求項３】　前記絶縁膜は、反射防止膜として機能する請求項２に記載の受光素子。
【請求項４】　前記半導体層は、基板上にエピタキシャル成長した膜から形成されている請求項１から３の何れかに記載の受光素子。
【請求項５】　前記半導体層には、前記受光部からの信号を処理するための回路が形成されている請求項４に記載の受光素子。
【請求項６】　凹部を有する絶縁膜を第１導電型の半導体層の上に形成する工程と、
該絶縁膜を介して第２導電型不純物イオンを該半導体層に注入し、該絶縁膜の凹部の直下にフォトダイオードのための第２導電型不純物拡散層を形成する工程と、を包含する受光素子の製造方法であって、
該不純物拡散層を形成する工程は、該絶縁膜の凹部の厚さよりも注入飛程が小さくなる加速エネルギーで該不純物イオンを注入する工程を含んでいる、受光素子の製造方法。
【請求項７】　前記凹部を有する絶縁膜を形成する工程は、
第１の絶縁層を前記半導体層上に形成する工程と、
該第１の絶縁層を加工することによって、該第１の絶縁膜層に少なくとも一つの開口部を形成する工程と、
該第１の絶縁層の開口部内で露出する該半導体層の表面を熱酸化することによって、該開口部内に第２の絶縁層を形成する工程と、を包含している請求項６に記載の受光素子の製造方法。
【請求項８】　開口部を有する絶縁膜を第１導電型の半導体層の上に形成する工程と、
該絶縁膜の開口部内で露出する該半導体層の表面を覆うように、該絶縁膜上に反射防止膜を堆積する工程と、
該反射防止膜を介して第２導電型不純物イオンを該半導体層に注入し、該絶縁膜の開口部の直下にフォトダイオードのための第２導電型不純物拡散層を形成する工程と、を包含し、
該不純物拡散層を形成する工程は、該反射防止膜の厚さよりも注入飛程が小さくなる加速エネルギーで該第２導電型不純物イオンを注入する工程を含んでいる、受光素子の製造方法。
【請求項９】　開口部を有する絶縁膜を第１導電型の半導体層の上に形成する工程と、
第２導電型不純物を含む拡散ソース膜を、該絶縁膜の開口部内で露出する該半導体層の表面を覆うように該絶縁膜上に堆積する工程と、
該拡散ソース膜から該第２導電型不純物を該半導体層に拡散させ、該絶縁膜の開口部の直下にフォトダイオードのための第２導電型不純物拡散層を形成する工程と、を包含する受光素子の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は、受光素子及びその製造方法に関しており、特に、波長の短い光に対して高い感度で応答することのできる受光素子及びその製造方法に関する。特に、本発明は、デジタルビデオディスク（ＤＶＤ）再生装置の光ピックアップに適した受光素子及びその製造方法に関する。
【０００２】
【従来の技術】受光素子は、光エネルギーを受けて、それを電気エネルギーに変換する素子である。このような受光素子は、様々な装置に用いられている。近年、ＣＤ、ＭＯ、ＰＤ、及びＤＶＤ等の光学記録媒体の需要が増大するにつれ、光ピックアップに用いられる受光素子の研究開発が積極的に進められている。光学記録媒体の記録密度は、記録媒体に集光される光ビームのスポットサイズが小さいほど高くなる。光ビームのスポットサイズは、光の波長の二乗に比例するので、光源である半導体レーザ素子の発振波長を短くすることが検討されている。ＤＶＤの再生装置では、まず、波長６５０ｎｍまたは６３５ｎｍのレーザ光が使用され、将来的には、波長４３０ｎｍ前後のレーザ光が使用される。
【０００３】受光素子による光電変換は、半導体中に形成されたＰＮ接合に逆バイアスを印加し、それによって形成した空乏層及びその近傍に、光を照射することによって行われる。光の照射は半導体中にキャリアを励起（生成）し、励起されたキャリア（光キャリア）は拡散層及び空乏層に生じた電位勾配に従って移動し、ＰＮ接合に到達することによって光起電力（光電流）が生まれる。
【０００４】半導体表面に照射された光は、半導体に吸収されながら内部に侵入してゆくので、半導体中の光の強度は、半導体表面からの距離（深さ）に応じて指数関数的に減少する。上記キャリアは半導体に吸収された光によって生成されるため、吸収係数αの大きな光ほど、半導体表面の近傍にキャリアを生成することになる。光の吸収係数αは、光の波長と半導体の種類によって異なる。
【０００５】半導体内部に侵入した光の強度が、半導体

SAMSUNG EX. 1002 - 1898/4148

表面における強度の１０％に低下する位置の半導体表面から計測した距離（深さ）を、本願明細書では、「侵入長（侵入深さ）」と呼ぶことにする。図９は、シリコンにおける光の強度（表面における光の強度を１とした場合の、光強度の割合）が、シリコン表面からの深さに依存してどのように変化するかを示すグラフである。図９からわかるように、例えば、波長が７８０ｎｍの光の「侵入長」は、約２０μｍである。

【０００６】以下に、図１０（ａ）～（ｄ）を参照しながら、従来の受光素子の製造方法を説明する。

【０００７】まず、図１０（ａ）に示されるように、公知のエピタキャル成長法を用いて、Ｎ型単結晶シリコン基板１０１の主面の上、全面に、Ｎ型エピタキシャル成長層１０２を形成する。次に、酸化性雰囲気中で熱処理を行うことによって、Ｎ型エピタキシャル成長層１０２の表面を熱酸化し、SiO_2膜１０４を形成する。

【０００８】次に、図１０（ｂ）に示すように、公知のリソグラフィ技術及びエッチング技術を用いて、絶縁膜１０４に開口部１０５を設け、Ｎ型エピタキシャル成長層１０２の表面１０６を部分的に露出させる。この開口部１０５の形状及び位置は、フォトダイオードを形成すべき領域を規定する。

【０００９】次に、図１０（ｃ）に示されるように、Ｎ型エピタキシャル成長層１０２の表面１０６のうち、開口部１０５で露出する領域に、Ｐ型不純物イオンを注入する。イオン注入直後の不純物濃度プロファイルのピークは、エピタキシャル成長層１０２の内部に位置する。

【００１０】次に、不純物活性化のための熱処理を行う。この熱処理によって、不純物が活性化されるとともに、不純物が拡散し、図１０（ｄ）に示されるように、不純物拡散領域１０３が形成される。このようして形成された受光素子のフォトダイオードは、図１１に示すような不純物濃度プロファイルを有している。

【００１１】

【発明が解決しようとする課題】上述の従来技術によれば、比較的に波長の短い光に対して感度が極めて低く、高いＳ／Ｎ比が得られないという問題がある。

【００１２】例えば、従来の光ピックアップに用いられる受光素子では、せいぜい、波長が７８０ｎｍ程度のレーザ光を検出できれば良かったが、今後は、更に短い波長の光、例えば、４３０ｎｍ程度のレーザ光を高い感度で検出することが強く望まれるようになってくる。このような短い波長の光は、図９から明らかなように、シリコン表面から約１μｍの範囲内でほとんど吸収される。

【００１３】従来の受光素子に形成されたフォトダイオードは、図１１に示すような不純物濃度プロファイルを有している。図１１から明らかなように、表面近傍で不純物濃度の低下がみられる。この不純物濃度の低下は、従来の製造方法を採用している限り、避けられない現象である。特に、不純物イオンの注入後にシリコン表面を熱酸化して、清浄なシリコン／酸化膜界面を形成する場合、シリコン中の不純物が熱酸化膜中に取り込まれ（パイルアップ）、シリコン表面の不純物濃度が低下する（偏析現象）。このため、従来の製造方法を実施する限り、図１１に示されるように、シリコン表面近傍で不純物濃度が低下してしまう。

【００１４】波長が７８０ｎｍまたはそれ以上の光に対して用いられる受光素子では、このような表面近傍での不純物濃度の低下は、ほとんど問題になることなく、特に重要視されない現象であった。それは、波長が７８０ｎｍまたはそれ以上の光に対しては、シリコンにおける光の侵入長が約２０μｍを越える大きさを持ち、シリコン表面から深い位置まで光が到達していたため、表面近傍（深さが約０．５μｍ以下の領域）でのキャリアの振る舞いが、受光素子の感度にほとんど影響を与えていなかったからである。

【００１５】しかし、シリコンにおける光の侵入長は、波長が青色領域（例えば、４３０ｎｍまたはそれ以下）の光に対しては約１μｍを下回るため、シリコン表面から深い位置まで光が到達しない。このため、受光素子が青色領域の光を受けた場合は、表面近傍（例えば、深さが約０．５μｍ以下の領域）でのキャリアの振る舞いが、受光素子の感度に重要な影響を与えると考えられる。

【００１６】より詳細に述べれば、図１１に示すような不純物濃度プロファイルを持つフォトダイオードでは、ＰＮ接合に逆バイアスを印加した場合、光の照射によって発生したキャリアのうち半導体表面の近傍で発生したものは、表面より内部にピークを持つＰ型拡散層のポテンシャル分布によって、表面側に移動し、表面再結合によって消滅することになる。

【００１７】従来のような不純物プロファイルを持つ受光素子において、このような表面再結合（界面再結合）によって消滅する光キャリアの割合は、波長が４３０ｎｍの光の場合、全体の最大６０％にも達すると考えられる。このため、光電変換効率は、理論的には、０．３５Ａ／Ｗ程度になるが、現実には、０．１５Ａ／Ｗ程度にしかならないと計算される。

【００１８】本願発明者は、デジタルビデオディスク（ＤＶＤ）等の光情報記録媒体から青色レーザ光を用いて高密度情報を再生する場合において、上記現象が光ピックアップの感度を著しく低下させると予測する。

【００１９】本発明は、上記課題を解決するためになされたものであり、その目的とするところは、光の入射によって半導体中に発生したキャリア（光キャリア）のうち、半導体表面で再結合して消滅するものの割合を低減し、侵入長の比較的短い光に対して高い感度で光電変換を達成できる受光素子及びその製造方法を提供することにある。

【００２０】

SIONYX1403000021.0059

SAMSUNG EX. 1002 - 1899/4148

【課題を解決するための手段】本発明の受光素子は、表面を有する第１導電型の半導体層と、該半導体層の受光部に形成された少なくともひとつの第２導電型の不純物拡散層とを備え、該不純物拡散層によってフォトダイオードが形成されている受光素子であって、該不純物拡散層内の第２導電型不純物は、該半導体層の該表面に近づくほど濃度が高くなるように分布しており、そのことにより上記目的が達成される。

【００２１】ある実施形態では、前記半導体層の前記表面において前記不純物拡散層に接触する絶縁膜を更に備えており、前記第２導電型不純物の濃度は、該絶縁膜の内部で極大値を示している。

【００２２】前記絶縁膜は、反射防止膜として機能してもよい。また、前記半導体層は、基板上にエピタキシャル成長した膜から形成されていてもよい。更に、前記半導体層には、前記受光部からの信号を処理するための回路が形成されてもよい。

【００２３】本発明の受光素子の製造方法は、凹部を有する絶縁膜を第１導電型の半導体層の上に形成する工程と、該絶縁膜を介して第２導電型不純物イオンを該半導体層に注入し、該絶縁膜の凹部の直下にフォトダイオードのための第２導電型不純物拡散層を形成する工程と、を包含する受光素子の製造方法であって、該不純物拡散層を形成する工程は、該絶縁膜の凹部の厚さよりも注入飛程が小さくなる加速エネルギーで該不純物イオンを注入する工程を含んでおり、そのことにより上記目的が達成される。

【００２４】ある実施形態では、前記凹部を有する絶縁膜を形成する工程は、第１の絶縁層を前記半導体層上に形成する工程と、該第１の絶縁層を加工することによって、該第１の絶縁膜層に少なくとも一つの開口部を形成する工程と、該第１の絶縁層の開口部内で露出する該半導体層の表面を熱酸化することによって、該開口部内に第２の絶縁層を形成する工程と、を包含している。

【００２５】本発明の他の受光素子の製造方法は、開口部を有する絶縁膜を第１導電型の半導体層の上に形成する工程と、該絶縁膜の開口部内で露出する該半導体層の表面を覆うように、該絶縁膜上に反射防止膜を堆積する工程と、該反射防止膜を介して第２導電型不純物イオンを該半導体層に注入し、該絶縁膜の開口部の直下にフォトダイオードのための第２導電型不純物拡散層を形成する工程とを包含し、該第２導電型不純物拡散層を形成する工程は、該反射防止膜の厚さよりも注入飛程が小さくなる加速エネルギーで該不純物イオンを注入する工程を含んでおり、そのことにより上記目的が達成される。

【００２６】本発明の更に他の受光素子の製造方法は、開口部を有する絶縁膜を第１導電型の半導体層の上に形成する工程と、第２導電型不純物を含む拡散ソース膜を、該絶縁膜の開口部内で露出する該半導体層の表面を覆うように該絶縁膜上に堆積する工程と、該拡散ソース膜から該第２導電型不純物を該半導体層に拡散させ、該絶縁膜の開口部の直下にフォトダイオードのための第２導電型不純物拡散層を形成する工程とを包含し、そのことにより上記目的が達成される。

【００２７】

【発明の実施の形態】以下に、本発明の実施の形態を説明する。

【００２８】本発明による受光素子は、第１導電型の半導体層と、この半導体層内に形成された第２導電型の不純物拡散層とを備えている。不純物拡散層の不純物濃度は、第１導電型半導体層の表面近傍において半導体層の内部よりも高く、そのことによって、光の入射によって半導体層の表面近傍に発生したキャリアが半導体層の内部に流れる。

【００２９】（実施例１）以下、図面を参照しながら、本発明による受光素子の第１の実施例を説明する。

【００３０】まず、図１を参照する。図１に示す受光素子は、Ｎ型単結晶シリコン基板１と、その上に形成されたＮ型エピタキシャル成長層（単結晶シリコン層）２と、Ｎ型エピタキシャル成長層２の受光部内に形成された複数のＰ型不純物拡散層３とを備えている。Ｎ型エピタキシャル成長層２の表面は、凹部を有する絶縁膜（SiO_2膜）４によって覆われている。本願明細書においては、絶縁膜４の「凹部」とは、絶縁膜４の他の部分よりも厚さの薄い部分を指し、不純物拡散層３は、この凹部の直下に形成されている。

【００３１】なお、図１には受光素子の受光部だけが示されているが、エピタキシャル成長層２の不図示の部分（非受光部）に、例えば、受光部からの信号を処理するための周辺回路が形成されてもよい。このような信号処理回路は、バイポーラトランジスタ等によって形成されることが好ましい。

【００３２】Ｎ型単結晶シリコン基板１としては、例えば、面方位が（１１１）で、比抵抗が０．０１～０．１Ω・ｃｍの基板が用いられる。本実施例のＮ型エピタキシャル成長層２は、厚さが１．０～１０μｍで、不純物濃度は例えば$1\times10^{15}cm^{-3}$である。

【００３３】Ｐ型不純物拡散層３は、Ｎ型エピタキシャル成長層２の選択された領域の表面からＰ型不純物が拡散され、導電型がＮ型からＰ型へ反転した領域であり、エピタキシャル成長層２のＮ型領域との間でＰＮ接合を形成している。受光素子が動作するとき、このＰＮ接合には逆バイアス電圧が印加され、それによって空乏層が形成される。空乏層及びその近傍（空乏層端から拡散長程度の距離内）で光照射によって生じたキャリアは、光の強度に応じた大きさを持つ電流を形成する。この電流（または電圧）を測定することによって、受けた光の強度を検出することができる。

【００３４】なお、Ｎ型エピタキシャル成長層２をシリコン基板１の上に形成することなく、Ｐ型不純物拡散層

SIONYX1403000021.0060

SAMSUNG EX. 1002 - 1900/4148

３を、直接、N型シリコン基板１内に形成しても良い。本実施例で、N型エピタキシャル成長層２をシリコン基板１の上に形成している理由は、周辺回路のバイポーラトランジスタをN型エピタキシャル成長層２に形成することを念頭に置いているからである。一般に、バイポーラトランジスタを形成するためには、エピタキシャル成長層の形成が必要となる。

【００３５】図２は、本実施例の受光素子の受光部において、N型エピタキシャル成長層２の表面から深さ方向に沿って計測した不純物濃度のプロファイル（Depth Profile）を示している。図２から明らかなように、エピタキシャル成長層２の表面（深さ：０μｍ）から内部に向かって、P型不純物の濃度は単調に減少している。言い換えると、エピタキシャル成長層２の表面近傍で不純物濃度は低下しておらず、表面に近づくにつれ不純物濃度は高くなる。図１に示す例では、表面で不純物濃度は、約$2\times10^{18}cm^{-3}$という値を示している。

【００３６】このような不純物濃度プロファイルの不純物拡散領域は、光キャリアが半導体表面に向かって移動するときのポテンシャルバリアとなる。そのため、光の照射を受けて不純物拡散層３の表面近傍に生じたキャリアは、不純物拡散層３の表面側にではなく、内部側に移動することができる。

【００３７】このような不純物プロファイルを持つ受光素子においては、表面再結合（界面再結合）によって消滅する光キャリアの割合は、波長が４３０ｎｍの光の場合、全体の約１０％以下に減少すると考えられる。このため、フォトダイオードの光感度は、エピタキシャル層の再結合による光キャリアの消滅が支配的となり、光電変換効率は、０．２５～０．３Ａ／Ｗにまで向上する。

【００３８】次に、図３（ａ）～（ｄ）を参照しながら、上記受光素子の製造方法を説明する。

【００３９】まず、図３（ａ）に示されるように、公知のエピタキャル成長法を用いて、N型単結晶シリコン基板１の主面の全面に、N型エピタキシャル成長層２を形成する。次に、酸化性雰囲気（例えば、酸素や水蒸気）中で熱処理を行い、N型エピタキシャル成長層２の表面を熱酸化することによって、第１の絶縁膜（SiO_2膜）４ａを形成する（第１の熱酸化工程）。例えば、水蒸気雰囲気で、約５０分間、温度１０００～１１００℃の熱処理を行えば、３００～６００ｎｍの厚さを持った熱酸化膜が得られる。本実施例では、厚さ約５００ｎｍの熱酸化膜を形成している。この第１の熱酸化膜４ａは、あとの不純物イオン注入工程でマスクとして機能する。従って、その厚さは、注入された不純物イオンがN型エピタキシャル成長層２の表面に到達しないように設定される。

【００４０】次に、図３（ｂ）に示すように、公知のリソグラフィ技術及びエッチング技術を用いて、第１の絶縁膜４ａに開口部５を設け、N型エピタキシャル成長層２の表面６を部分的に露出させる。この開口部５の形状及び位置は、フォトダイオードを形成すべき領域、言い換えると、不純物拡散層３を形成すべき領域の形状及び位置を規定する。開口部５の形成は、開口部５のパターンを持ったレジスト層７を第１の絶縁膜４ａ上に形成した後、第１の絶縁膜４ａのレジスト層７に覆われていない部分をエッチングすることにより行われる。エッチングは、ドライエッチングまたはウェットエッチングの何れであっても良い。また、一般に、ウェットエッチングはドライエッチングに比較して表面６に損傷を与えにくいので、ドライエッチングで第１の絶縁膜４ａを薄膜化した後、引き続いてウェットエッチングで薄膜化した部分を除去するという２段階エッチングを行っても良い。

【００４１】なお、受光素子が、光ピックアップ用に用いられるとき、受光部には複数のフォトダイオードが形成されるので、当然、第１の絶縁膜４ａに設けられる開口部５の数は複数である。

【００４２】レジスト層７を除去した後、第２の熱酸化工程を行う。この工程は、前記第１の熱酸化工程と同様の方法で行われ得る。図３（ｃ）に示されるように、この熱酸化工程によって、第１の絶縁膜４ａの開口部５内で露出していたエピタキシャル成長層２の表面６を酸化し、そこに比較的に薄い第２の熱酸化膜（例えば、５０ｎｍ）４ｂを形成することができる。この熱酸化工程によって、第１の熱酸化膜４ａの厚さも増加する。なお、厳密に言えば、この熱酸化によって、エピタキシャル成長層２の表面６の位置はエピタキシャル成長層２の内部に向かって僅かに移動する。本実施例では、第１の熱酸化膜４ａ及び第２の熱酸化膜４ｂによって、「凹部を有する絶縁膜４」が構成されている。

【００４３】次に、公知のイオン注入法によって、P型不純物（本実施例では「ボロン（Ｂ）」）をエピタキシャル成長層２に注入する。このイオン注入は、注入の投影飛程（Ｒｐ）が第２の熱酸化膜４ｂの厚さ以下になる条件で行われる。このようにする理由は、イオン注入直後の不純物濃度プロファイルのピークを、エピタキシャル成長層２の内部ではなく、第２の熱酸化膜４ｂの内部に位置させるためである。第２の熱酸化膜４ｂの厚さが５０ｎｍの場合、例えば、加速エネルギーを１５ｋｅＶにすれば良い。この場合、第２の熱酸化膜４ｂの中にあって、エピタキシャル成長層２の表面６から約１０ｎｍ程度離れた位置に不純物濃度プロファイルのピーク（極大値）が位置する。

【００４４】次に、不純物活性化のため、非酸化性雰囲気（例えば　窒素ガス）中で、例えば、３０分間、９００～１０００℃の熱処理を行う。この熱処理によって、不純物が活性化されるとともに、不純物が拡散し、不純物拡散領域３が形成される（図３（ｄ））。この熱処理によって不純物が深く拡散することを避けるため、ランプアニール法などによって比較的に高温で短時間の熱処

SIONYX1403000021.0061

SAMSUNG EX. 1002 - 1901/4148

理を行ってもよい。

【００４５】上記工程によって、図２に示す不純物濃度分布を持った不純物拡散領域３が得られる。

【００４６】なお、図３（ｄ）では、第２の熱酸化膜４ｂの大部分が除去され、不純物拡散領域３の表面が露出している状態が示されている。この工程は必ずしも必要ない。

【００４７】次に、図４（ａ）～（ｃ）を参照して、上記製造工程の間に生じる不純物の再分布を説明する。

【００４８】まず、図４（ａ）は、不純物イオンの注入直後の濃度分布を模式的に示している。不純物濃度のピークは、エピタキシャル成長層２の表面６と第２の熱酸化膜４ｂの表面３６との間に位置している。

【００４９】図４（ｂ）は、不純物活性化のための熱処理後における不純物イオンの濃度分布を模式的に示している。不純物濃度のピークは、なおも、エピタキシャル成長層２の表面６と第２の熱酸化膜４ｂの表面３６との間に位置している。この例では、浅い接合を形成するため、不純物の拡散（不純物の再分布）が大きく進行しないように熱処理を行っている。もし、熱処理の温度が高く、また、時間が長いと、不純物が深く拡散してしまうため、拡散層のプロファイルがなだらかになり、不純物拡散層３の内蔵電界が弱まる。このため、拡散層中のキャリアの移動時間が長くなり、不純物拡散層３中で発生したキャリアが再結合により消滅してしまう問題がある。従って、不純物活性化のための熱処理条件は、図２のグラフに示すような不純物の濃度プロファイルが失われないように選択されなければならない。

【００５０】図４（ｃ）は、第２の熱酸化膜４ｂを除去し、反射防止膜８を堆積した後における不純物イオンの濃度分布を模式的に示している。この場合、反射防止膜８の中には、ほとんど不純物は拡散していない。このため、不純物濃度のピークは、エピタキシャル成長層２の表面６（反射防止膜８とエピタキシャル成長層２との界面）に位置している。

【００５１】不純物活性化のための熱処理は、第２の熱酸化膜４ｂを除去する前に行っても、あるいは、反射防止膜８を堆積した後に行っても良い。

【００５２】また、第２の熱酸化膜４ｂを開口部５内に形成する代わりに、第２の熱酸化膜４ｂと同様の厚さを持つ絶縁膜を基板上にＣＶＤ法やスパッタリング法によって堆積しても良い。ただし、一般に、そのような方法で堆積された絶縁膜とエピタキシャル成長層２との界面に比較して、熱酸化膜（４ｂ）とエピタキシャル成長層２との界面は清浄である。そのため、熱酸化膜（第２の熱酸化膜４ｂ）を形成する方が、表面再結合（界面再結合）の原因となる表面準位（界面準位）が形成されにくいので好ましいといえる。

【００５３】なお、図５に示すように、不純物拡散層３の表面を覆っている第２の熱酸化膜４ｂを除去して、開口部を有する絶縁膜４’を形成した後、例えばシリコンナイトライド膜からなる反射防止膜８を基板上に堆積しても良い。反射防止膜８の厚さは、受光素子の受ける光の波長に応じて適宜選択される。レーザ光等の単色性の強い光のための受光素子である場合は、反射防止膜８の厚さは、λ／（４ｎ）の奇数倍に等しくなるように設定される。なお、λは光の波長、ｎは反射防止膜８の屈折率である。反射防止膜８は、単層構造の代わりに多層構造を有していても良い。

【００５４】また、反射防止膜８は、不純物拡散層３の表面を覆っている第２の熱酸化膜４ｂを除去することなく、その上に形成しても良い。その場合、反射防止膜８の厚さは、第２の熱酸化膜４ｂの存在を考慮して最適化される。

【００５５】（実施例２）次に、図６（ａ）及び（ｂ）を参照しながら、本発明による受光素子の他の製造方法を説明する。

【００５６】まず、実施例１で説明した方法と同様の方法を用いて、図６（ａ）に示される構成を得る。図６（ａ）では、Ｎ型単結晶シリコン基板１１の上にＮ型エピタキシャル成長層１２が形成されており、Ｎ型エピタキシャル成長層１２の表面１６が、開口部１５を有する絶縁膜（厚さ：３００～６００ｎｍ）１４で覆われている。開口部１５の形状及び位置は、フォトダイオードを形成すべき領域、言い換えると、不純物拡散層を形成すべき領域の形状及び位置を規定する。

【００５７】次に、図６（ｂ）に示されるように、シリコンナイトライドからなる反射防止膜（厚さ：約３０～２００ｎｍ）１８を絶縁膜１４上に堆積した後、イオン注入法によってＰ型不純物（本実施例では「ボロン（Ｂ）」）をエピタキシャル成長層１２に注入する。このイオン注入は、注入の投影飛程（R_p）が反射防止膜１８の厚さ以下になる条件で行われる。このようにする理由は、イオン注入直後の不純物濃度プロファイルのピークを、エピタキシャル成長層１２の内部ではなく、反射防止膜１８の内部に位置させるためである。

【００５８】反射防止膜１８の厚さが約５０ｎｍの場合、例えば、加速エネルギーを１７ｋｅＶにすれば良い。この場合、反射防止膜１８の中にあって、エピタキシャル成長層１２の表面から約３０～４０ｎｍ程度離れた位置に不純物濃度プロファイルのピークが位置する。

【００５９】次に、不純物活性化のため、非酸化性雰囲気（例えば　窒素ガス）中で、例えば、約３０分間、９００～１０００℃の熱処理を行う。この熱処理によって、不純物が活性化されるとともに、不純物が拡散し、不純物拡散領域１３が形成される。

【００６０】上記工程によって、図２に示す不純物濃度分布を持った不純物拡散領域１３が得られる。

【００６１】このように本実施例では、フォトダイオードのための不純物イオン注入を、反射防止膜１８を堆積

SIONYX1403000021.0062

SAMSUNG EX. 1002 - 1902/4148

した後に行っており、しかも、注入直後の不純物濃度プロファイルのピークが反射防止膜１８中に位置するようにしている。

【００６２】反射防止膜１８は、単層構造の代わりに多層構造を有していてもよい。反射防止膜が多層構造を有している場合、まず、反射防止膜を構成する幾つかの層を基板上に堆積した後に上記不純物イオン注入を行い、その後に、残りの層を堆積することによって反射防止膜１８の形成を完了してもよい。

【００６３】なお、反射防止膜１８に不純物イオンの一部が注入された結果、反射防止膜１８の屈折率が変化する可能性がある。そのような屈折率の変化が大きい場合は、その屈折率の変化を考慮したうえで、反射防止膜１８の厚さを決定することが好ましい。

【００６４】上記実施例１及び実施例２の何れの場合も、不純物拡散層３を形成するために、絶縁膜（熱酸化膜やシリコンナイトライド膜）を透過するようにして不純物イオンを注入する方法を採用した。特に、不純物の濃度プロファイルのピークがその絶縁膜の内部に位置するように、不純物イオンの注入加速エネルギや絶縁膜の厚さを調整した。そうすることによって、図２に示すような不純物濃度プロファイルを持つフォトダイオードが形成できた。

【００６５】なお、不純物イオン注入時に、不純物拡散層３または１３の形成領域を覆う膜は、上記実施例１及び実施例２で用いた膜に限定されない。また、上記実施例では、何れも、不純物拡散層３及び１３の導電型をＰ型とし、これらの不純物拡散層３または１３が形成される半導体層の導電型をＮ型としているが、これらの導電型を反転させた構造を用いても良い。Ｐ型の不純物拡散層３及び１３を形成するために使用する不純物イオンとしては、Ｂ以外にBF_2等を使用しても良いし、また、他のIII族元素のイオンを用いても良い。Ｎ型の不純物拡散層を形成するためには、Ｖ族元素のイオン（例えば砒素（Ａｓ））を用いる。

【００６６】本願発明は、比較的に波長の短い光（例えば、４３０ｎｍ）に対して高い感度（高い量子効率）で応答できる受光素子を提供することを目的としているので、不純物拡散層の３及び１３の厚さ（接合深さ）は、そのような波長の短い光の侵入長程度以下に設定されることが好ましい。

【００６７】（実施例３）実施例１及び実施例２では、イオン注入法を用いて不純物拡散領域３及び１３をそれぞれ形成した。本実施例では、イオン注入法に代えて、固相拡散法を用いる。

【００６８】図７を参照して、本実施例の製造方法を説明する。

【００６９】まず、実施例１で説明した方法と同様の方法を用いて、図６（ａ）に示される構成を得る。図７では、Ｎ型単結晶シリコン基板２１の上にＮ型エピタキシャル成長層２２が形成されており、Ｎ型エピタキシャル成長層２２の表面２６が、開口部２５を有する絶縁膜（厚さ：３００～６００ｎｍ）２４で覆われている。開口部２５の形状及び位置は、フォトダイオードを形成すべき領域、言い換えると、不純物拡散層を形成すべき領域の形状及び位置を規定する。

【００７０】次に、図７に示されるように、Ｐ型不純物（本実施例では「ボロン（Ｂ）」）のドープされた絶縁膜（拡散ソース膜）２９を絶縁膜２４上に堆積する。絶縁膜２９は、絶縁膜２４の開口部２５を介してＮ型単結晶シリコン基板２１の表面２６に接触する。Ｐ型不純物がドープされた絶縁膜２９として、本実施例では、ボロンを２０重量％含むボロシリケートガラス（ＢＳＧ、厚さ：約５０～５００ｎｍ）を用いた。

【００７１】この後、例えば、９００～１０５０℃で、５～１０秒間の熱処理を行す。この熱処理によって、絶縁膜２９から不純物（ボロン）をＮ型単結晶シリコン基板２１に熱拡散し、不純物拡散層２３を形成する。熱処理の温度及び時間を調節することにより、前述の実施例の場合よりも、浅い接合を形成することができる。なお、絶縁膜２４の厚さは、絶縁膜（拡散ソース膜）２９からの不純物拡散のバリアとして十分に機能する厚さや膜質を持つように選択される。

【００７２】絶縁膜２９を除去した後、シリコンナイトライドからなる反射防止膜を堆積しても良い。また、絶縁膜２９の厚さを調整することによって、この絶縁膜２９をそのまま反射防止膜として使用しても良い。

【００７３】（実施例４）次に、受光部が形成されている基板上に信号処理回路部を一体的に内蔵した受光素子の実施例を説明する。この実施例は、複数のフォトダイオードが配置された受光部と、ＮＰＮトランジスタを主要な回路素子として含む信号処理回路部とを、同一半導体基板上に有している。

【００７４】以下、図８を参照し、製造工程の順序に従いながら本実施例の構成を説明する。

【００７５】まず、Ｐ型単結晶シリコン基板４１の主面のうち、その上にＮＰＮトランジスタが形成されるべき領域とフォトダイオードが形成されるべき領域とに、Ｎ型埋込拡散層４２を形成する。また、受光部に形成される各フォトダイオードを分離する領域と、信号処理回路部に形成される各回路素子を分離する領域に、Ｐ型埋込拡散層（不純物：ボロン、不純物濃度：$4\times10^{17}cm^{-3}$）４４を形成する。

【００７６】次に、Ｐ型単結晶シリコン基板４１上にＮ型エピタキシャル成長層（厚さ：約３μｍ）４３を形成する。この後、Ｎ型エピタキシャル成長層４３のうちＰ型埋込拡散層４４に対応した領域に、表面からＰ型不純物を拡散し、それによってＰ型埋込拡散層４５を形成する。Ｐ型埋込拡散層４５は、Ｐ型埋込拡散層４４の上部にまで到達し、Ｐ型埋込拡散層４４及び４５は、各フォ

SIONYX1403000021.0063

SAMSUNG EX. 1002 - 1903/4148

トダイオードや回路素子を相互に電気的に分離する。

【００７７】次に、ＮＰＮトランジスタを形成するために、周知の工程によって、Ｐ型ベース拡散層（不純物：ボロン、不純物濃度：$2\times10^{18}cm^{-3}$）４６、Ｎ型エミッタ拡散層（不純物：ヒ素、不純物濃度：$1\times10^{19}cm^{-3}$）４８、Ｎ型コレクタ取り出し用拡散層（不純物：ヒ素、不純物濃度：$1\times10^{19}cm^{-3}$）４７を順次形成する。Ｎ型エミッタ拡散層４８及びＮ型コレクタ取り出し用拡散層４７は、Ｐ型ベース拡散層４６を形成した後、Ｎ型エピタキシャル成長層４３上に形成した絶縁膜に開口部を設け、その開口部からＮ型不純物を拡散することによって形成される。

【００７８】一方、フォトダイオードが形成される領域に対しては、上記絶縁膜の開口部を介して、Ｐ型不純物が拡散されＰ型不純物拡散層４６’が形成される。このＰ型不純物拡散層４６’は、前述の方法によって形成され、図２に示すような濃度プロファイルを持つ。なお、ＮＰＮトランジスタのＰ型ベース拡散層４６と、フォトダイオードのＰ型不純物拡散層４６’とは、同一工程によって形成されても良い。ただし、ＮＰＮトランジスタのＰ型ベース拡散層４６は、図２のような不純物プロファイルを持つ必要がないので、Ｐ型不純物拡散層４６’を形成する工程とは異なる工程によって形成されてもよい。

【００７９】次に、シリコンナイトライドからなる反射防止膜（厚さ：５０ｎｍ）を形成する。その後、Ｐ型ベース拡散層４６、Ｎ型コレクタ取り出し用拡散層４７及びＮ型エミッタ拡散層４８のそれぞれに接触するように、ベース用電極５０、コレクタ用電極４９及びエミッタ用電極５１を形成する。これらの電極の形成には、公知のメタライゼーション技術が用いられる。

【００８０】本実施例では。フォトダイオードの分割領域に光が照射された場合の応答速度を改善するために、フォトダイオードの下方にもＮ型埋込拡散層（不純物：アンチモン、不純物濃度：$1\times10^{19}cm^{-3}$）４２を形成している。

【００８１】上記実施例としては、何れの場合も、シリコンからなる半導体層を用いた例を説明してきたが、本発明はシリコン以外の半導体層を用いた場合にも適用できるのは言うまでもない。

【００８２】また、図２に示すような不純物濃度プロファイルを得るには、図１１に示す不純物濃度プロファイルを持つシリコン層（又はシリコン基板）を形成した後、その表面の一部をエッチングや研磨等によって除去してもよい。

【００８３】

【発明の効果】本発明によれば、光の入射によって半導体中に発生したキャリア（光キャリア）が、半導体表面から遠ざかる方向にドリフトし、それによって効率的に電気信号が生成される。このため、半導体表面で再結合して消滅する光キャリアが減少し、侵入長の比較的短い光に対して高い感度で光電変換が達成される。

【００８４】本発明によれば、これから実用化されるであろう短波長レーザ光（例えば波長４３０ｎｍのレーザ光）に対して、シリコンを材料として極めて高い感度を持った受光素子を提供できるので、短波長レーザ素子を光源とする光情報媒体再生装置（例えばＤＶＤ装置）の光ピックアップを小型化・低消費電力化することが可能となる。

【図面の簡単な説明】

【図１】本発明による受光素子の実施例の断面図。

【図２】本発明による受光素子の実施例における不純物濃度プロファイルを示すグラフ。

【図３】（ａ）から（ｄ）は、本発明による受光素子製造方法の実施例を示す工程断面図。

【図４】（ａ）から（ｃ）は、製造工程の間に生じる不純物の再分布を示すグラフ。

【図５】本発明による受光素子の他の実施例の断面図。

【図６】（ａ）及び（ｂ）は、本発明による受光素子製造方法の他の実施例を示す工程断面図。

【図７】本発明による受光素子製造方法の更に他の実施例を示す工程断面図。

【図８】本発明による受光素子の更に他の実施例の断面図。

【図９】シリコンにおける光の吸収量（表面における光の強度を１とした場合の、光強度の割合）の深さ依存性を示すグラフ。

【図１０】（ａ）から（ｄ）は、受光素子製造方法の従来例を示す工程断面図。

【図１１】受光素子の従来例における不純物濃度プロファイルを示すグラフ。

【符号の説明】

１、１１、２１　Ｎ型単結晶シリコン基板

２、１２、２２　Ｎ型エピタキシャル成長層（単結晶シリコン層）

３、１３、２３　Ｐ型不純物拡散層

４、１４　絶縁膜（SiO_2膜）

４ａ　第１の絶縁膜

４ｂ　第２の熱酸化膜

５、１５、２５　開口部

６、１６、２６　エピタキシャル成長層２の表面

７　レジスト層

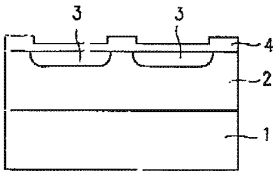
８、１８　反射防止膜

２９　絶縁膜

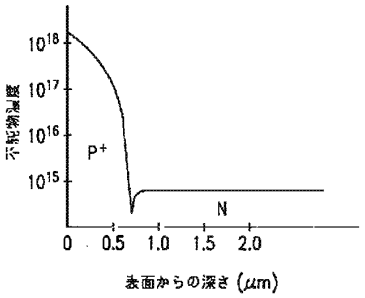
SIONYX1403000021.0064

SAMSUNG EX. 1002 - 1904/4148

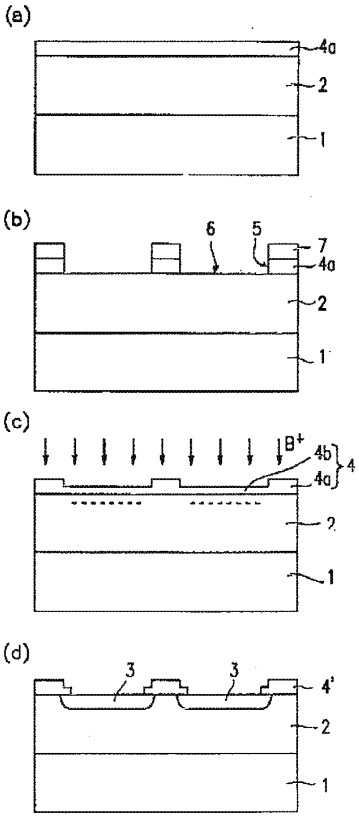
【図1】



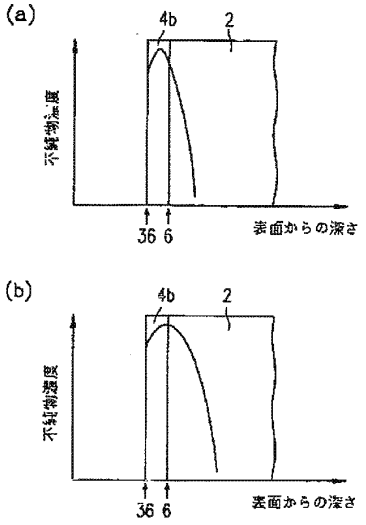
【図2】



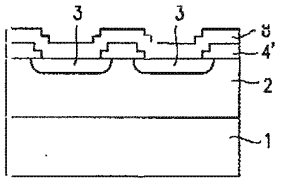
【図3】



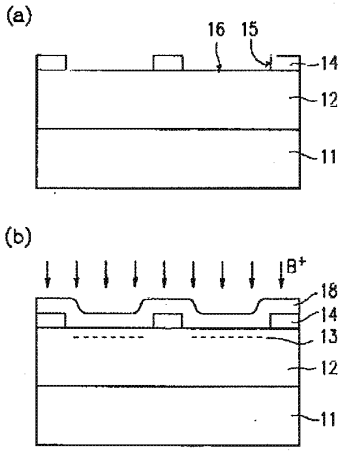
【図4】



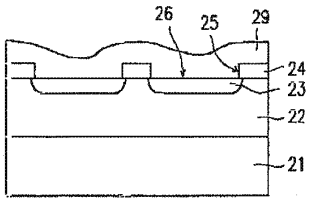
【図5】



【図6】



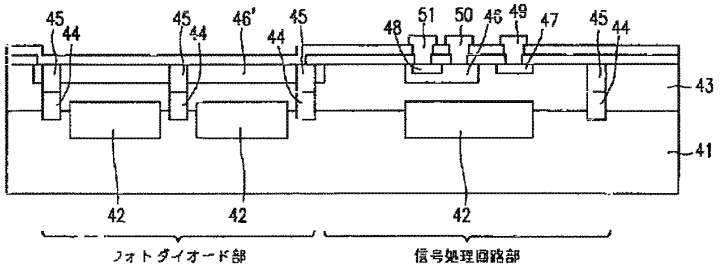
【図7】



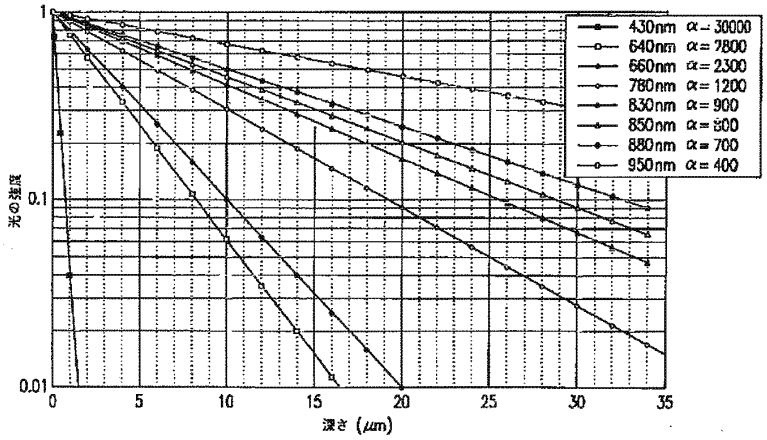
SIONYX1403000021.0065

SAMSUNG EX. 1002 - 1905/4148

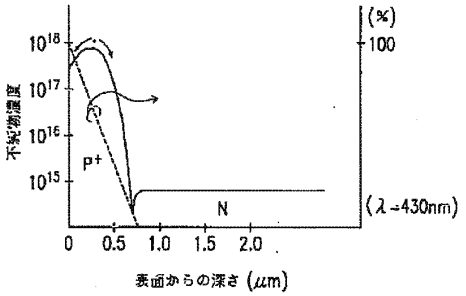
【図８】


45
44
46'
48
51
50
49
47
43
41
42
フォトダイオード部
信号処理回路部

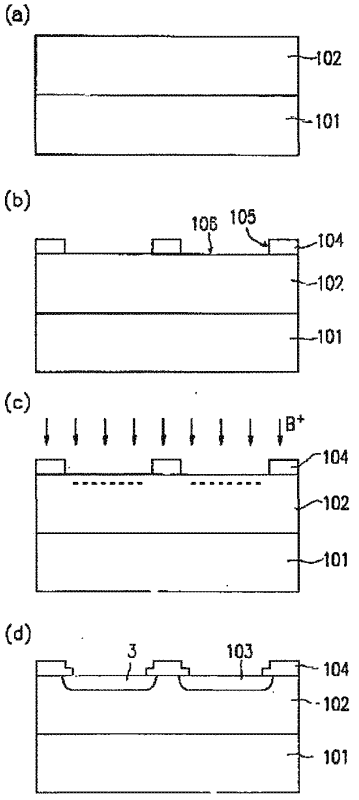
【図９】


430nm α= 30000
640nm α= 7800
660nm α= 2300
780nm α= 1200
830nm α= 900
850nm α= 800
880nm α= 700
950nm α= 400
光の強度
深さ (μm)

【図１１】


(%)
100
不純物濃度
P+
N
(λ=430nm)
表面からの深さ (μm)

【図10】



Espacenet

Bibliographic data: JPH06104414 (A) — 1994-04-15

SOLID-STATE IMAGE SENSING DEVICE

Inventor(s): MIYAGAWA RYOHEI ± (MIYAGAWA RYOHEI)

Applicant(s): TOSHIBA CORP ± (TOSHIBA CORP)

Classification: **- international:** ***H01L27/14; H01L31/10; H04N5/335; H04N5/365; H04N5/369; H04N5/372;*** (IPC1-7): H01L27/14; H01L31/10; H04N5/335

- cooperative:

Application number: JP19920249273 19920918

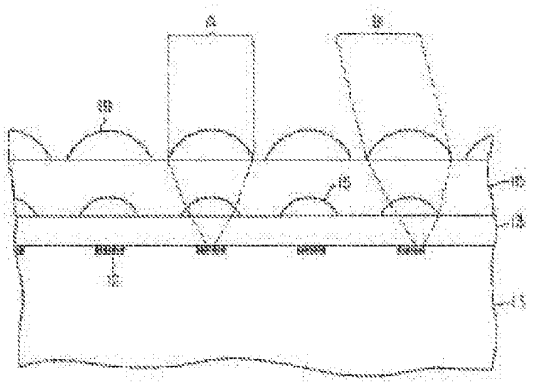
Priority number (s): JP19920249273 19920918

Abstract of JPH06104414 (A)

PURPOSE:To provide a solid-state image sensing device capable of preventing its sensitivity from lowering even against oblique light, capable of having constant sensitivity even to the diaphragm of the objective lens of a camera, and capable of uniformizing the sensitivity in a light receiving surface. CONSTITUTION:Concerning to a solid-state image sensing device having a plurality of photodiodes arranged on a semiconductor substrate 11, and microlenses arranged on these photodiodes 12 for converging light respectively, the microlenses are composed of first microlenses 15 arranged near the photodiodes 12, and second microlenses 19 arranged at positions further than the microlenses from the photodiodes 12. And incident light passes through the microlenses 19 and 15, and is converged at the photodiodes 12.

SIONYX1403000021.0068

SAMSUNG EX. 1002 - 1908/4148



SIONYX1403000021.0069

SAMSUNG EX. 1002 - 1909/4148

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報**（Ａ）　(11)特許出願公開番号

特開平6－104414

(43)公開日　平成６年(1994)４月15日

(51)Int.Cl.[5]	識別記号	庁内整理番号	ＦＩ		技術表示箇所
Ｈ０１Ｌ　27/14					
Ｈ０４Ｎ　5/335	Ｖ				
// Ｈ０１Ｌ　31/10					
		7210－4M	Ｈ０１Ｌ	27/ 14	Ｄ
		8422－4M		31/ 10	Ａ

審査請求　未請求　請求項の数２(全 11 頁)

(21)出願番号　特願平4－249273

(22)出願日　平成４年(1992)９月18日

(71)出願人　000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72)発明者　宮川　良平
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝総合研究所内

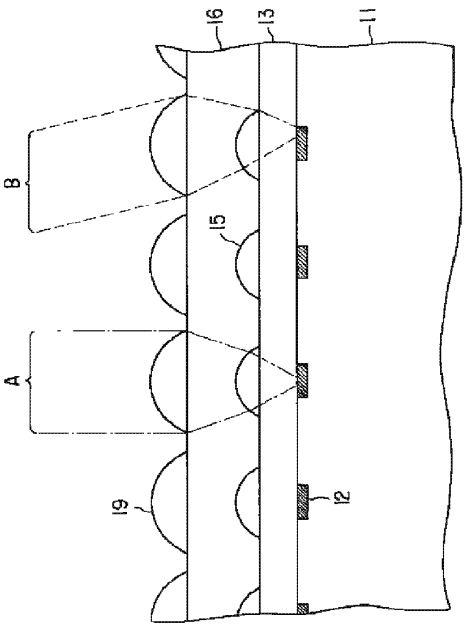
(74)代理人　弁理士　鈴江　武彦

(54)【発明の名称】　固体撮像装置

(57)【要約】

【目的】　斜め光に対しても感度が低下せず、かつカメラの対物レンズの絞り値に対しても感度が変化せず、受光面内での感度の均一化をはかり得る固体撮像装置を提供すること。

【構成】　半導体基板１１上に複数のフォトダイオード１２が配列されると共にこれらのフォトダイオード１２上にそれぞれ光を集光するためのマイクロレンズが配列された固体撮像装置において、マイクロレンズは、フォトダイオード１２の近くに配置された第１のマイクロレンズ１５と、フォトダイオード１２に対しマイクロレンズ１５よりも遠い位置に配置された第２のマイクロレンズ１９とからなり、入射光をマイクロレンズ１９，１５を通してフォトダイオード１２に集光させることを特徴とする。



SIONYX1403000021.0070

SAMSUNG EX. 1002 - 1910/4148

【特許請求の範囲】
【請求項１】半導体基板上に複数のフォトダイオードが配列されると共に、これらのフォトダイオード上にそれぞれ光を集光するためのマイクロレンズが配列された固体撮像装置であって、前記マイクロレンズは前記フォトダイオード上に複数段、重なるように配置されてなることを特徴とする固体撮像装置。
【請求項２】半導体基板の表面の複数箇所に形成された凹凸部と、これらの凹凸部にそれぞれ形成されたフォトダイオードと、これらのフォトダイオードで検出された信号電荷を読出す手段とを具備してなることを特徴とする固体撮像装置。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】本発明は、固体撮像装置に係わり、特に受光部構成の改良により高感度化をはかった固体撮像装置に関する。
【０００２】
【従来の技術】
（１）近年、固体撮像装置の縮小化，多画素化には、目覚ましいものがある。２次元ＣＣＤ撮像装置は通常、光電変換して信号電荷を蓄積するフォトダイオード・アレイとこのフォトダイオード・アレイの信号電荷を転送する垂直ＣＣＤ及び水平ＣＣＤとにより構成される。この固体撮像装置の縮小化，微細化のため、固体撮像装置の単位セルは益々微細化する必要があり、そのため光電変換を行うフォトダイオードのさらなる微細化は必須である。
【０００３】ところが、フォトダイオードの面積が小さくなれば、受光面積が減るので１画素当たりの感度が低下してしまう問題がある。このために、フォトダイオード上にマイクロレンズを形成し、このマイクロレンズを用いてフォトダイオードに集光することで実効的開口面積を増す工夫がなされている。しかし、テレビジョン学会技術報告（テレビ学技報）vol.16、No.18 、pp.7～12,pp.25～30によれば、以下に述べる問題がある。この問題について、図１１を用いて説明する。
【０００４】図１１は、従来のマイクロレンズを用いた固体撮像装置の画素部の断面を模式的に示している。半導体基板１０１上に受光部であるフォトダイオード１０２が形成され、このフォトダイオード１０２に隣接して信号電荷を転送する手段（例えばＣＣＤ）が形成されている。フォトダイオード１０２上にはパッシベーション層１０３が形成され、その上に平坦化層１０４が形成されている。そして、この平坦化層１０４の上にマイクロレンズ１０５が形成されている。
【０００５】この装置では、Ａのように光が半導体基板１０１に対して垂直に入射する場合は、マイクロレンズ１０５に入射した光が全て、フォトダイオード１０２に集められる。ところが、Ｂのように光が斜めから入射する場合は、マイクロレンズ１０５に入射した光の一部はフォトダイオード１０２の外を通過し集光されなくなる。撮像装置への入射光は対物レンズの絞り形（Ｆ値）によって、その入射角度成分が変化する。例えば、絞り解放側では垂直光から斜め光まで様々な角度を持つ光が入射する。従って、Ｆ値により感度が変化、即ち絞りの解放側では感度が低下する問題がある。
【０００６】また、固体撮像装置の画素領域で中央部の画素の感度と端部の画素の感度が異なる問題が発生する。即ち、端部の画素では中央部の画素と比較して斜め光の成分が多く、そのために端部の画素の感度は中央の画素の感度より小さくなる。さらに、この端部の画素の感度の低下はＦ値により変化することとなる。そしてこれらの問題は、固体撮像装置の感度を不均一化させる要因となる。
【０００７】（２）近年、赤外線用固体撮像装置の縮小化，多画素化には、目覚ましいものがある。２次元固体撮像装置は通常、光電変換して信号電荷を蓄積するフォトダイオード・アレイとこのフォトダイオード・アレイの信号電荷を電荷検出器へ転送する転送素子により構成される。この赤外線用固体撮像装置の縮小化，微細化のため、赤外線用固体撮像装置の単位セルは益々微細化する必要があり、そのため光電変換を行うフォトダイオードも微細化する必要がある。このフォトダイオードの微細化により、単位セル当たりの信号電荷の量が減少するという問題がある。
【０００８】例えば赤外線用固体撮像装置としてIEEE Transactions on Electron Devices,Vol.ED-32, No.8, AUGUST 1985, pp.1564-1573に報告されているように、Ｓｉ基板上にショトキーバリアを形成し、このショトキーバリアをフォトダイオードとして用いる赤外線用固体撮像装置が知られている。この従来型の赤外線固体撮像装置の構造を、図１２に示す。
【０００９】図１２は、単位セルの断面の構造を示したものである。この赤外線用固体撮像装置は、信号電荷を読み出す転送素子として電荷結合素子（ＣＣＤ）を用いている。ｐ型Ｓｉ基板１１１に素子分離領域として厚い絶縁膜１１５を形成し、素子形成領域にｎ型拡散層よりなるＣＣＤチャンネル１１２を形成し、その上に絶縁膜１１６を介して転送電極１１７を形成する。この後、転送電極１１７の上に絶縁膜１１８を形成する。次いで、ｎ型拡散層よりなるガードリング１１４，ｎ型拡散層１１３を形成し、さらにフォトダイオード１１９に対応する領域の絶縁膜を除去し、例えば白金（Ｐｔ）被着する。その後、アニールしてＰｔとＳｉ基板を反応させてＰｔシリサイドを形成し、未反応のＰｔを除去する。このＰｔシリサイドとＳｉ基板はショットキー接合を形成しており、このようにしてショットキー接合よりなるフォトダイオード１１９が形成される。この上部に絶縁膜１２０を形成し、フォトダイオード１１９の上部にＡｌ

SIONYX1403000021.0071

SAMSUNG EX. 1002 - 1911/4148

膜からなる反射膜１２１を形成することによって、図１２に示す構成が得られる。

【００１０】ところで、ショットキー型のフォトダイオード１１９での赤外線の吸収は小さい。従って、Ｓｉ基板１１１の裏面から入射した赤外線１２２は、フォトダイオード１１９に達し、入射した赤外線の一部はＰｔシリサイドで吸収されるが、残りの多くの赤外線はフォトダイオード１１９を通過し、反射膜１２１に達し反射される。反射した赤外線の一部はフォトダイオード１１９を通過する時にＰｔシリサイドで再び吸収される。

【００１１】この赤外線固体撮像装置の特徴は、赤外線をＳｉ基板１１１の裏面より入射しフォトダイオード上部の反射膜１２１により反射させ、赤外線をフォトダイオード１１９で２回吸収させることにある。これにより、フォトダイオード１１９での光電変換効率を向上させることができる。しかし、このような構成であっても光電変換効率は十分に高いとはいえず、光電変換効率のさらなる向上が必要であった。

【００１２】（３）半導体装置は、半導体基板上にトランジスタやキャパシタ等の構成要素を適当に配置し形成し、これらトランジスタやキャパシタを導電体配線により電気的に結合され機能を果たすものである。半導体装置は通常、外部から電圧を印加し駆動する。また、半導体装置は電流や電圧の電気信号の入力又は電流や電圧の電気信号の出力を伴っている。従って半導体装置は、外部から駆動電圧を受けたり、電気信号を入力したり、出力したりするためのボンディングパッド部を有している。

【００１３】図１３（ａ）に、従来の半導体装置のボンディングパッド部の断面図を示す。Ｓｉ基板１３１上に１μｍ程の酸化膜１３２が形成され、その上部に８００ｎｍ程のＡｌ膜が被着される。このＡｌ膜は光リソグラフィー技術と反応性イオンエッチング（ＲＩＥ）により、不必要の部分は除去され所望の形に加工されて、ボンディングパッド１３３が形成される。この後、ボンディングパッド１３３の上部にパッシベーション層１３４として４００ｎｍ程ＳｉＮが被着され、ボンディングパッド１３３の上部のＳｉＮは除去されパッシベーション層１３４が形成される。この後、ボンディングパッド１３３はボンディングワイヤ１３５に結合させられる。そして、外部から電圧や電流がボンディングワイヤ１３５，ボンディングパッド１３３を通して、トランジスタやキャパシタ等の半導体装置の構成要素に加えられる。

【００１４】図１３（ｂ）は、従来の半導体装置のボンディングパッド部の平面図である。ボンディングワイヤ１３５が、ボンディングパッド１３３のＡｌ膜に結合されている。ボンディングパッド１３３の材料はボンディングの接着性が良好な導電体である必要があり、通常Ａｌ膜或いはＡｌにＳｉやＣｕ等のＡｌ以外の元素を小量混入したＡｌ膜が用いられる。

【００１５】先に述べたように従来の半導体装置においては、ボンディングパッド１３３の材料として、通常Ａｌ膜或いはＡｌにＳｉやＣｕ等のＡｌ以外の元素を小量混入したＡｌ膜が用いられる。ところが、これらＡｌ膜或いはＡｌにＳｉやＣｕ等のＡｌ以外の元素を小量混入したＡｌ膜をボンディングパッド１３３の材料として用いた場合、次のような問題が生じる。即ち、Ａｌ膜は水洗等のウェット処理によってその一部がエッチングされる。また、Ａｌ膜のＲＩＥのエッチングに用いたエッチングガスの成分などが表面に残り、空気中の水分を伴ってＡｌ膜を腐食するコロージョンと呼ばれる現象が起こる。

【００１６】このようにしてボンディングパッドのＡｌの一部分が薄くなったりあるいは消失したりすると、ボンディングパッドにボンディングワイヤを結合できなくなったり、結合できたとしてもボンディング強度が著しく弱くなる。実際 IEEE TRANSACTION ON COMPONENTS,HYBRIDS, AND MANUFACTURING TECHNOLOGY, VOL.CHMT-10, No.2, JUNE, 1987, PP.252-257にあるようにＡｌの消失のためボンディング不良が生じることが知られている。

【００１７】このようなＡｌの消失の問題は、Ａｌを配線材料とする場合にも問題となることがあるが、配線に用いる場合はＡｌ膜をパッシベーション層で保護することで、水洗などのウェット処理や空気雰囲気にＡｌ膜を晒すことを防ぐことができる。しかしながら、ボンディングパッドの場合はボンディングを行う部分はパッシベーション層を除去しており、水洗などのウェット処理や空気雰囲気に晒されることは避けられないので、Ａｌ膜の消失が非常に問題になる。

【００１８】

【発明が解決しようとする課題】

（１）先に述べたように、従来のマイクロレンズを使用した固体撮像装置においては、斜め光に対する感度が低下し、また対物レンズの絞り値に対して感度が変化するという問題があった。

【００１９】本発明は、上記の事情を考慮してなされたもので、その目的とするところは、斜め光に対しても感度が低下せず、カメラの対物レンズの絞り値に対して感度が変化せず、受光面内での感度の均一化をはかり得る固体撮像装置を提供することにある。

【００２０】（２）先に述べたように従来の赤外線固体撮像装置では、フォトダイオードの光電変換効率が小さく、感度が低いという問題があった。本発明は、上記事情を考慮してなされたもので、その目的とするところは、フォトダイオードの光電変換効率を向上し、より感度の高い赤外線固体撮像装置を提供することにある。

【００２１】（３）先に述べたように従来のボンディングパッドにおいては、水洗などのウェット処理や空気雰囲気にさらすことにより、Ａｌ膜の消失が生じ、これが良好なボンディングを妨げる要因となっていた。

SIONYX1403000021.0072

SAMSUNG EX. 1002 - 1912/4148

【００２２】本発明は、上記の事情を考慮してなされたもので、その目的とするところは、Ａｌ膜の消失が無く、ボンディングの良好なボンディングパッドを有する半導体装置を提供することにある。

【００２３】

【課題を解決するための手段】

（１）本発明の骨子は、半導体基板上に形成されたフォトダイオードの上部に複数のレンズを重なるような位置に形成し、入射光をこの複数のレンズに通してフォトダイオードに集光することにある。

【００２４】即ち本発明は、半導体基板上に複数のフォトダイオードが配列されると共に、これらのフォトダイオード上にそれぞれ光を集光するためのマイクロレンズが配列された固体撮像装置において、マイクロレンズをフォトダイオード上に複数段重なるように配置したことを特徴とする。

【００２５】また、本発明の望ましい実施態様として、複数のマイクロレンズのうち下部にあるマイクロレンズが上部のマイクロレンズよりも小さいこと、さらに複数のマイクロレンズのうち最下部のマイクロレンズの上部にカラーフィルタを配置したことがあげられる。

【００２６】（２）本発明の骨子は、Ｓｉ基板上に凹凸を形成し、その部分にフォトダイオードを形成し、その上部に絶縁膜を介して反射膜を形成することにある。この構造のフォトダイオードでは、フォトダイオード上部の反射膜での赤外線の反射が促進されることによりフォトダイオードの光電変換効率が向上する。

【００２７】また、本発明の望ましい実施態様として、フォトダイオード上に反射膜を形成し、基板の裏面より光を入射させること、さらにフォトダイオードがショットキー接合，ヘテロ接合或いは不純物拡散による接合により構成されることがあげられる。

【００２８】（３）本発明の骨子は、ボンディングパッドのＡｌ膜を薄膜で覆い、Ａｌ膜を空気雰囲気や水洗などのウェット処理にさらすことを防ぐことで、ボンディングパッドのＡｌ膜の消失を防ぐものである。

【００２９】即ち本発明は、半導体基板上に適当に配置され形成されたトランジスタやキャパシタ等の構成要素と、この構成要素を電気的に結合する導電体配線と、構成要素に電気信号，電圧，電流を印加したり、或いは構成要素から電気信号，電圧，電流を読出すのに用いるボンディングパッド部から構成される半導体装置において、ボンディングパッドを、Ａｌ膜或いはＡｌにＣｕやＳｉなどのＡｌ以外の元素を少量混入したＡｌ膜と、その上部に形成した保護層とから構成していることを特徴とする。

【００３０】

【作用】

（１）本発明によれば、半導体基板上に形成されたフォトダイオードの上部に複数のマイクロレンズを重なるような位置に形成し、入射光をこの複数のマイクロレンズに通してフォトダイオードに集光する。このようにすると、単一のマイクロレンズではフォトダイオードに集光できない斜め光に対しても、フォトダイオードに集光することができる。従って、斜め光に対しても感度が低下せず、カメラの対物レンズの絞り値に対して感度が変化せず、かつ撮像装置の受光面内でない感度が均一にできる。

【００３１】（２）本発明によれば、Ｓｉ基板上に凹凸を形成し、その部分にフォトダイオードを形成し、その上部に絶縁膜を介し反射膜を形成することにある。この構造のフォトダイオードでは、フォトダイオード上部の反射膜での赤外線の反射が促進される。従って、入射した赤外線は多数回、フォトダイオードを通過する。また、フォトダイオードに対して斜めに赤外線が入射するため、赤外線がフォトダイオードを通過する距離が長くなる。フォトダイオードの光電変換効率が向上する。従って、赤外線用固体撮像装置の感度を高くすることができる。

【００３２】（３）本発明によれば、ボンディングパッドのＡｌ膜は薄膜で覆われており、Ａｌ膜を空気雰囲気や水洗などのウェット処理に晒すのを防ぐことで、ボンディングパッドのＡｌ膜の消失を防ぐことができる。従って本発明においては、ボンディング不良の無い、ボンディングワイヤとの結合が良好なボンディングパッドを有する半導体装置を実現できる。

【００３３】

【実施例】以下、本発明の実施例を図面を参照して説明する。

（第１の発明の実施例）

【００３４】図１は、本発明の第１の実施例に係わる固体撮像装置の要部構成を模式的に示す断面図である。半導体基板１１上に、受光部であるフォトダイオード１２が形成されている。図示していないが、フォトダイオード１２に隣接して、フォトダイオード１２で光電変換された信号電荷を転送する手段（例えばＣＣＤ）が形成されている。フォトダイオード１２上には、パッシベーション層１３が形成されている。その上部に第１のマイクロレンズ１５が形成され、この第１のマイクロレンズ１５の上に平坦化層１６が形成されている。この平坦化層１６の上部には、第２のマイクロレンズ１９が形成されている。マイクロレンズ１５とマイクロレンズ１９の材料は、パッシベーション層１３，平坦層１６よりも屈折率が高く、透明な材料であればよい。図１より本実施例では、Ａのように半導体基板１１に垂直に光が入射する場合も、Ｂのように斜めに入射する光に対してもフォトダイオード１２に集光することができることが判る。

【００３５】この効果を、図２を用いて説明する。図２では簡単にするため、マイクロレンズ１５とマイクロレンズ１９以外の構成要素を省略している。この図より判

SIONYX1403000021.0073

SAMSUNG EX. 1002 - 1913/4148

るように、マイクロレンズ１５がマイクロレンズ１９に付加されると、マイクロレンズ１９よりも焦点距離の短いマイクロレンズ２０が仮想的にできたと考えることができる。つまり、２枚のマイクロレンズ１５，１９を重ねることで、マイクロレンズとフォトダイオードの距離を実効的に短くできるため、テレビジョン学会技術報告（テレビ学技報）vol.16,No.18,pp.11にもあるように、斜め光に対する集光効果を改善できるのである。

【００３６】逆にいうと、１枚のマイクロレンズを用いても、フォトダイオードとマイクロレンズの距離を短くできれば、斜め光の集光効果を改善できる。しかしながら、焦点距離の短いマイクロレンズを作ることが難しいことや平坦化層の膜厚を薄くすることが難しいため、１枚の焦点距離の短いマイクロレンズを用いても、フォトダイオードとマイクロレンズの距離を短くすることは難しい。また、マイクロレンズとフォトダイオードの間にカラーフィルタ層を挿入して、カラー用固体撮像装置を構成する場合は特に、マイクロレンズとフォトダイオードの距離を短くすることが難しいのである。

【００３７】これに対し本実施例では、第１のマイクロレンズ１５を挿入することで、開口率を決めているマイクロレンズ１９とフォトダイオード１２との距離を実効的に短くすることができる。ここで注目すべき点は、マイクロレンズ１５は開口率を決めるわけではないので、マイクロレンズ１９より小さくできることである。マイクロレンズ１５，１９は共に平坦化された部分に形成されることが望まれるが、マイクロレンズ１５はマイクロレンズ１９よりも小さいために、その下の平坦化された部分は小さくなる。従って、マイクロレンズ１５の下の平坦化は容易であり、マイクロレンズ１５の下の平坦化層は薄くできる。また、フォトダイオード１２上の領域が平坦であれば平坦化層無しでもよい。そのため、マイクロレンズ１５はフォトダイオードに近くに形成することができる。マイクロレンズ１５がフォトダイオード１２の近くに形成できるほど、本実施例の効果は大きいのである。

【００３８】図３は、本発明の第２の実施例に係わる固体撮像装置の要部構成を模式的に示す断面図である。なお、図１と同一部分には同一符号を付して、その詳しい説明は省略する。この実施例は基本的には第１の実施例と同様であり、第１の実施例と異なる点は、平坦化層の上部にカラーフィルタが形成されていることである。即ち、平坦化層１６の上部にカラーフィルタ１７が形成され、その上部に平坦化層１８が形成される。そして、平坦化層１８の上にマイクロレンズ１９が形成される。

【００３９】この実施例でも２枚のマイクロレンズ１５，１９を用いて集光するので、第１の実施例と同様な効果が得られる。この実施例の特徴はカラーフィルタ１７を導入することで、カラー用の固体撮像装置を構成していることである。このような構成のカラー用固体撮像装置は、カラーフィルタ１７を導入したことでマイクロレンズとフォトダイオードの距離がより長くなるので、カラーフィルタを用いた固体撮像装置における本発明の効果は大きい。

【００４０】図４は、本発明の第３の実施例に係わる固体撮像装置の要部構成を模式的に示す断面図である。なお、図１と同一部分には同一符号を付して、その詳しい説明は省略する。この実施例は、基本的には第１の実施例と同様であり、第１の実施例と異なる点は、パッシベーション層の上部にカラーフィルタが形成されていることである。即ち、パッシベーション１３の上部に、カラーフィルタ１７が形成され、その上部に平坦化層１４が形成される。そして、平坦化層１４の上に第１のマイクロレンズ１５が形成される。この第１のマイクロレンズ１５の上に、平坦化層１６を介して第２のマイクロレンズ１９が形成されている。

【００４１】この実施例でも２枚のマイクロレンズ１５，１９を用いて集光するので、第１の実施例と同様な効果が得られる。また、この実施例でも第２の実施例と同じように、カラーフィルタ１７を導入することでカラー用の固体撮像装置を構成しているが、この実施例の場合はカラーフィルタ１７を第１のマイクロレンズ１５とフォトダイオード１２の間に形成している。本発明の効果を出すためにはマイクロレンズ１５とフォトダイオード１２の距離を十分に短くする必要がある。従って本発明の効果を出すために、第３の実施例ではカラーフィルタ１７の厚さを十分に薄くして、マイクロレンズ１５とフォトダイオード１９の距離を十分短くする必要がある。

【００４２】なお、上記した実施例では２枚のマイクロレンズを用いる場合について述べたが、３枚以上の複数のマイクロレンズを用いてフォトダイオードに集光する場合についても同様の効果を得られる。

（第２の発明の実施例）

【００４３】図５は、本発明の第４の実施例に係わる赤外線固体撮像装置の単位セル構造を示す断面図である。本実施例の基本的な構造は図１２の装置と同様であり、本実施例の従来例と異なる点は、Ｓｉ基板に凹凸を形成し、その凹凸部分にフォトダイオードを形成したことである。

【００４４】まず、図１２に示す従来の赤外線用固体撮像装置と同様に、ｐ型Ｓｉ基板５１に素子分離用の厚い絶縁膜５５，ＣＣＤチャンネル５２，絶縁膜５６，転送電極５７，絶縁膜５８，ガードリング５４，ｎ型拡散層５３を形成する。その後、フォトダイオード５９に対応する部分の上部の絶縁膜を除去する。そして、Ｓｉ基板５１のフォトダイオード５９に対応する部分の一部をエッチングして、Ｓｉ基板５１の表面に凹凸を形成する。この上に例えば白金（Ｐｔ）被着し、アニールしてＰｔとＳｉ基板５１を反応させてＰｔシリサイドを形成す

SIONYX1403000021.0074

SAMSUNG EX. 1002 - 1914/4148

る。そして、未反応のＰｔを除去する。このようにして、凹凸のあるフォトダイオード５９が形成される。この上部に絶縁膜６０を形成し、フォトダイオード５９の上部にＡｌ膜からなる反射膜６１が形成される。

【００４５】図6は、図5のフォトダイオードを含む部分を拡大した図である。図５と対応する部分は同じ符号を付した。図6から判るように、赤外線６２は反射膜６１で多数回反射され、フォトダイオード５９を多数回通過することができる。また、フォトダイオード５９に対して垂直でなく、斜めに赤外線が入射するので、赤外線がフォトダイオード５９を横切る距離は長くなる。従って、赤外線がＰｔシリサイドで吸収される確率が増すのでフォトダイオード５９での光電変換効率が大きくなる。そのため、固体撮像装置として感度が高くなる。本実施例ではフォトダイオードとしてショットキー接合を用いたが、ＳｉＧｅ等をＳｉ基板上に形成したヘテロ接合でもよい。また、フォトダイオードとしてＳｉ基板表面に作られた拡散層によるｐｎｐやｎｐｎ等の構造を用いてもよい。

【００４６】図7は、本発明の第５の実施例を示す断面図で、図6と同様、フォトダイオードを含む部分の拡大図である。図6と対応する部分は同一の符号を付した。この実施例が第４の実施例と異なる点は、凹凸のあるフォトダイオード５９の凹凸が球形に形成されていることである。この場合も第４の実施例と同様に、フォトダイオード５９での光電変換効率が大きくなるため、感度が大きくなる。

【００４７】図8は、本発明の第６の実施例を示す断面図で、図6と同様、フォトダイオードを含む部分の拡大図である。図6と対応する部分は同一の符号を付した。この実施例が第４の実施例と異なる点は、凹凸のあるフォトダイオード５９の凹凸に絶縁膜６０を埋め込んで平坦化されている点である。反射膜６１は平坦化された絶縁膜６０の表面に形成されている。従って、この実施例では赤外線６２は反射膜６１で多数回反射されることはない。しかし、フォトダイオード５９は赤外線の入射する方向に対して垂直でないので、赤外線がフォトダイオード５９を横切る距離は長くなる。従って、赤外線がＰｔシリサイドで吸収される確率が増すのでフォトダイオード５９での光電変換効率が大きくなる。そのため、固体撮像装置として感度が高くなる。

【００４８】図9は、本発明の第７の実施例を示す断面図で、図6と同様、フォトダイオードを含む部分の拡大図である。図6と対応する部分は同一の符号を付した。この実施例が第４の実施例と異なる点は、反射膜６１が無いことである。この実施例でも第６の実施例と同様に、赤外線６２は反射膜６１で多数回反射されることは無い。しかし、フォトダイオード５９は赤外線の入射する方向に対して垂直でないので、赤外線がフォトダイオード５９を横切る距離は長くなる。従って、赤外線がＰｔシリサイドで吸収される確率が増すのでフォトダイオード５９での光電変換効率が大きくなる。そのため、固体撮像装置として感度が高くなる。また、この実施例では他の実施例と異なり反射膜が無いので、図９に示したようにＳｉ基板５１の上部から赤外線６２を入射できる。この構造はＳｉ基板５１で吸収され易い波長の赤外線に対して有利である。

（第３の発明の実施例）

【００４９】図１０（ａ）は、本発明の第８の実施例に係わる半導体装置のボンディングパッド部の断面図である。この実施例のボンディングパッドは、図１３（ａ）と基本的には同じ構造であるが、図１３（ａ）と異なる点はボンディングパッドのＡｌ膜上に保護膜が形成されていることである。

【００５０】即ち、Ｓｉ基板８１上に１μｍ程の酸化膜８２が形成され、その上部に８００ｎｍ程のＡｌ膜が被着される。このＡｌ膜は光リソグラフィー技術と反応性イオンエッチング（ＲＩＥ）により、不必要の部分が除去され所望の形に加工され、これによりボンディングパッド８３が形成される。この後、ボンディングパッド８３の上部にパッシベーション層８４として４００ｎｍ程度のＳｉＮが被着され、ボンディングパッド８３の上部のＳｉＮは除去されパッシベーション層８４が形成される。

【００５１】ここまでは従来例と同様であるが、この後に保護層８６としてスパッタ法などによりＴｉ膜５０ｎｍ程度を被着する。さらに、光リソグラフィー技術を用いてボンディングパッド８３の上部に所望のパターンにレジストを形成して、ＲＩＥによりＴｉ膜をエッチングする。その後、レジストを除去して、図１０（ａ）に示すように保護層８６が形成される。

【００５２】Ｔｉ膜はＡｌ膜と異なり、水洗などのウェット処理や空気雰囲気に対して安定であり、消失することは無い。また、ボンディングパッド８３のＡｌ膜は保護層８６により、ウェット処理や空気雰囲気に晒されることが無いため、ボンディングパッド８３のＡｌ膜が消失することは無い。保護層８６の膜厚が厚い場合はボンディングパッド８３とボンディングワイヤとのボンディングが阻害されることがある。しかし、保護層８６の膜厚が例えば数１０ｎｍ以下と十分に小さいならば、ボンディングパッド８３とボンディングワイヤとのボンディングは阻害されず、良好に結合される。

【００５３】従って、本実施例の半導体装置のボンディングパッド８３はＡｌ膜が保護層８６により保護されているのでボンディングの不良は無く、ボンディングワイヤと良好な結合が得られる。

【００５４】保護層８６としてはＡｌと比較して水洗などのウェット処理や空気雰囲気に対して安定な材料からなる薄膜であればよい。例えば保護層８６の材料として、チタン（Ｔｉ），ジルコニウム（Ｚｒ），ハフニウ

SIONYX1403000021.0075

SAMSUNG EX. 1002 - 1915/4148

ム（Ｈｆ），バナジウム（Ｖ），ニオブ（Ｎｂ），タンタル（Ｔａ），クロム（Ｃｒ），モリブデン（Ｍｏ），タングステン（Ｗ），鉄（Ｆｅ），コバルト（Ｃｏ），ニッケル（Ｎｉ），プラチナ（Ｐｔ），パラジウム（Ｐｄ）などやこれら金属同士の合金や或いは、これら金属とＡｌの合金などである。また、前記した金属のシリサイドや前記した金属の窒化物，酸化物，炭化物などでもよい。また、Ａｌの酸化物や窒化物でもよい。ＳｉＮ，SiO_2 などの絶縁体薄膜でもよい。また、炭素（Ｃ）の薄膜でもよい。

【００５５】図１０（ｂ）は、本発明の第９の実施例に係わる半導体装置のボンディングパッド部の断面図である。この実施例のボンディングパッドは図１０（ａ）と略同じ構造であり、対応する部分は同一の符号を付している。この実施例と第８の実施例の異なる点は、第８の実施例では保護層８６をパッシベーション層８４を形成した後に形成しているが、この実施例ではボンディングパッド８３のＡｌ膜上に直接、保護層８６を形成していることである。

【００５６】即ち本実施例では、ボンディングパッド８３としてＡｌ膜を被着した後、連続して保護層８６となるＴｉ膜を被着する。その後、光リソグラフィー技術を用いてボンディングパッド８３になる部分の上にレジストを形成して、ＲＩＥによりＴｉ膜とＡｌ膜をエッチングして、その後、レジストを除去する。このようにしてボンディングパッド８３と保護層８６が形成される。その後、図１３（ａ）の場合と同様にしてパッシベーション層８４を形成する。保護層８６の材料としては第８の実施例で記した材料を用いればよい。この第９の実施例においても、ボンディングパッド８３のＡｌ膜を保護層８６によって覆っているので、第８の実施例と同様の効果が得られる。

【００５７】なお上述した第８，９の実施例ではボンディングパッド８３の材料としてＡｌ膜を用いたが、ＡｌにＣｕやＳｉなどＡｌ以外の元素を小量混入したＡｌ膜を用いても、実施例の場合と同等の効果が得られる。

【００５８】

【発明の効果】

（１）以上述べたように本発明によれば、半導体基板上に形成されたフォトダイオードの上部に複数のマイクロレンズを重なるような位置に形成し、入射光をこの複数のマイクロレンズに通してフォトダイオードに集光している。これにより、単一のマイクロレンズではフォトダイオードに集光できない斜め光に対しても、フォトダイオードに集光することができる。従って、斜め光に対しても感度が低下せず、かつカメラの対物レンズの絞り値に対して感度が変化せず、受光面内での感度を均一にすることができる。

【００５９】（２）以上述べたように本発明によれば、Ｓｉ基板上に凹凸を形成し、その部分にフォトダイオードを形成し、その上部に絶縁膜を介し反射膜を形成することで、感度の高い赤外線用固体撮像装置を得ることができる。即ち、この構造のフォトダイオードでは、フォトダイオード上部の反射膜での赤外線の反射が促進される。従って、入射した赤外線は多数回フォトダイオードを通過する。また、赤外線はフォトダイオードに対して斜めに入射するため、赤外線がフォトダイオードを通過する距離が増す。このため、フォトダイオードの光電変換効率が向上することにより、感度の高い赤外線用固体撮像装置を得ることができる。

【００６０】（３）以上詳述したように本発明によれば、ボンディングパッドのＡｌ膜を薄膜で覆い、Ａｌ膜を空気雰囲気やウェット処理に晒すのを防ぐことで、ボンディングパッドのＡｌ膜の消失を防ぐことができる。従って、ボンディング不良の無い、ボンディングワイヤとの結合が良好なボンディングパッドを有する半導体装置を実現できる。

【図面の簡単な説明】

【図１】第１の実施例に係わる固体撮像装置の要部構成を模式的に示す断面図。

【図２】図１の要部構成を拡大して示す模式図。

【図３】第２の実施例に係わる固体撮像装置の要部構成を模式的に示す断面図。

【図４】第３の実施例に係わる固体撮像装置の要部構成を模式的に示す断面図。

【図５】第４の実施例に係わる赤外線固体撮像装置の単位セル構造を示す断面図。

【図６】図５のフォトダイオードを含む部分を拡大して示す断面図。

【図７】第５の実施例の要部構成を示す断面図。

【図８】第６の実施例の要部構成を示す断面図。

【図９】第７の実施例の要部構成を示す断面図。

【図１０】第８，９の実施例に係わる半導体装置のボンディングパッド部の断面図。

【図１１】従来のマイクロレンズを用いた固体撮像装置の画素部構成を示す断面図。

【図１２】従来の赤外線固体撮像装置の単位セル構造を示す断面図。

【図１３】従来の半導体装置のボンディングパッド部構造を示す断面図と平面図。

【符号の説明】

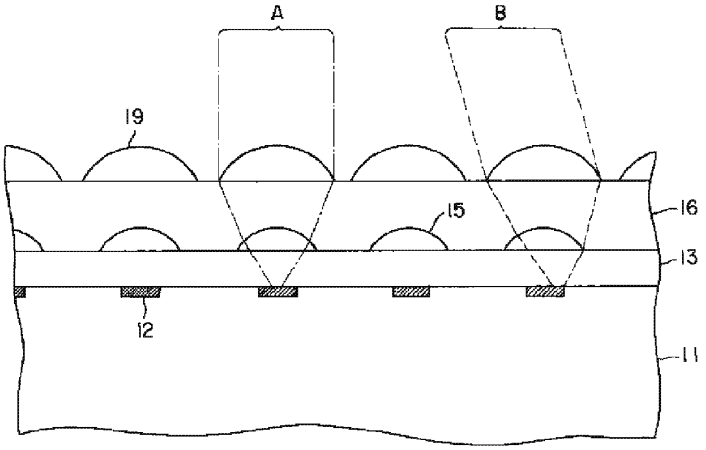
１１…半導体基板、　１２…フォトダイオード、１３…パッシベーション層、　１４…平坦化層、１５…第１のマイクロレンズ、　１６…平坦化層、１７…カラーフィルタ、１８…平坦化層、１９…第２のマイクロレンズ、２０…仮想的なマイクロレンズ。５１…ｐ型Ｓｉ基板、　５２…ＣＣＤチャネル、５３…ｎ型拡散層、　５４…ガードリング、５５…素子分離用絶縁膜、　５６…絶縁膜、５

SIONYX1403000021.0076

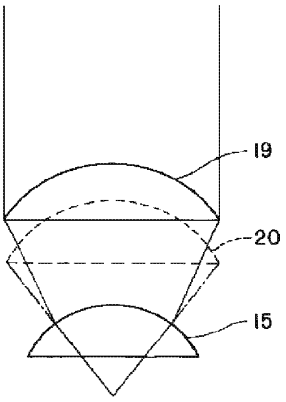
SAMSUNG EX. 1002 - 1916/4148

７…転送電極、　５８…絶縁膜、５　１…Ｓｉ基板、　８２…酸化膜、８
９…フォトダイオード、　６０…絶縁膜、６　３…ボンディングパッド、　８４…パッシベー
１…反射膜、　６２…赤外線、８　ション層、８６…保護層。

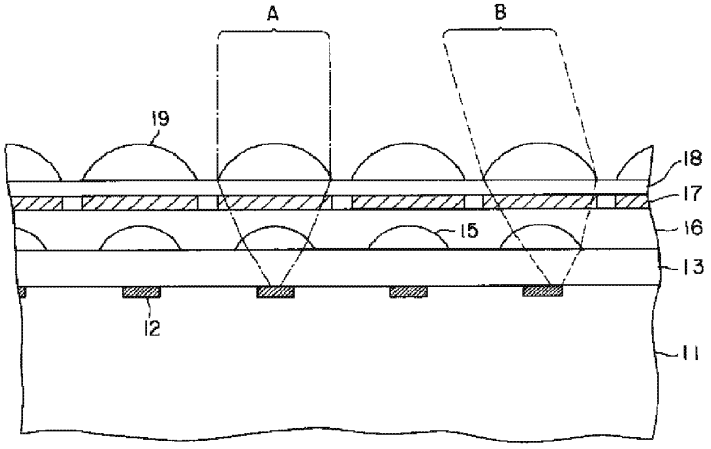
【図１】



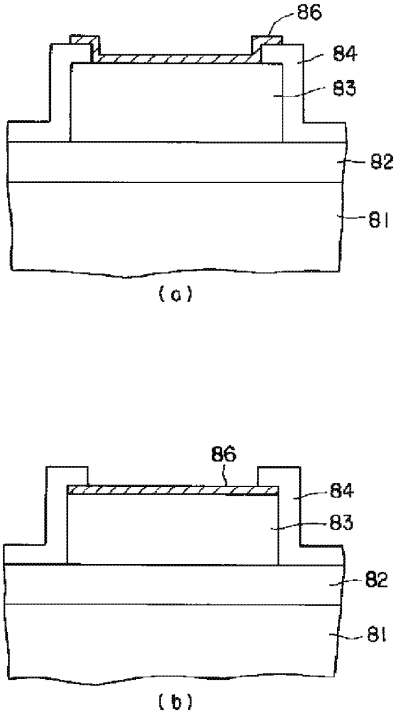
【図２】



【図３】



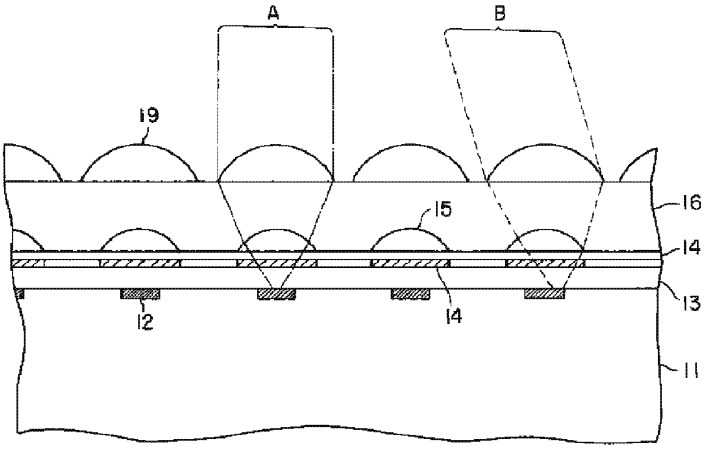
【図１０】



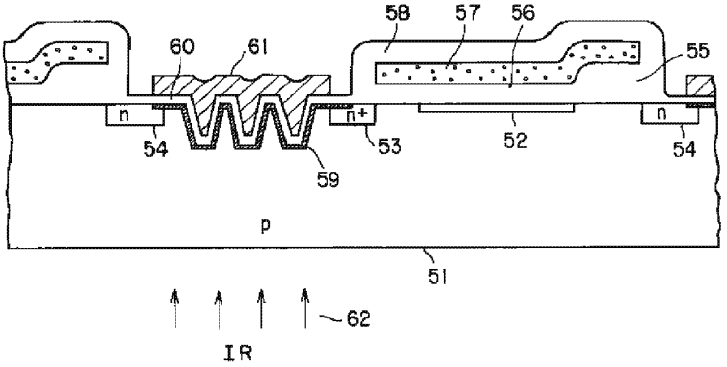
SIONYX1403000021.0077

SAMSUNG EX. 1002 - 1917/4148

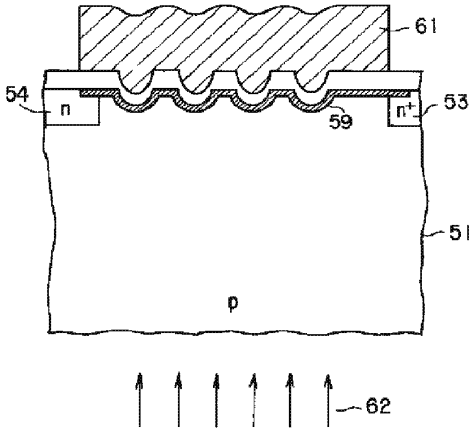
【図４】


A
B
19
16
15
14
13
12
14
11

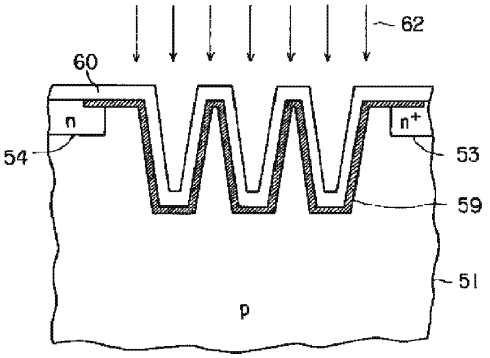
【図５】


58
57
56
60
61
55
n
n+
n
54
53
52
54
59
p
51
62
IR

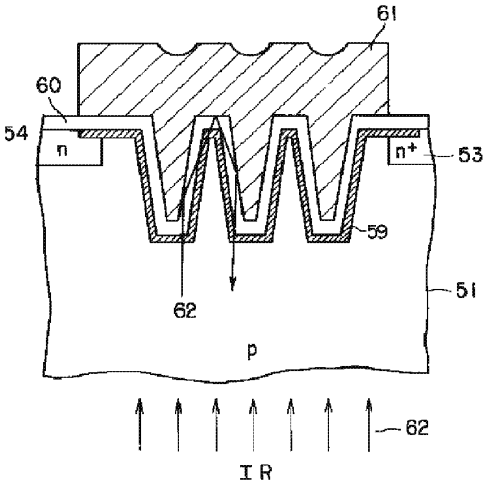
【図７】


61
54
n
59
n+
53
51
p
62

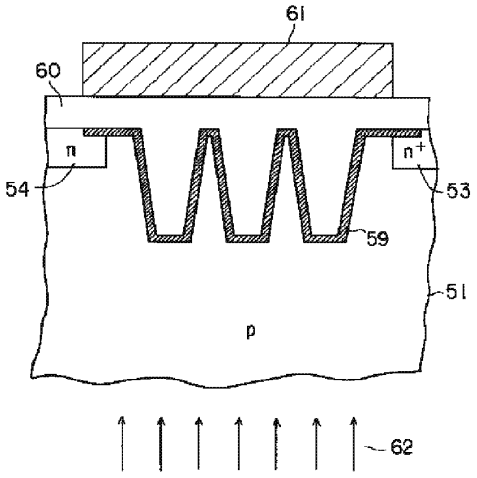
【図９】


62
60
n
n+
54
53
59
51
p

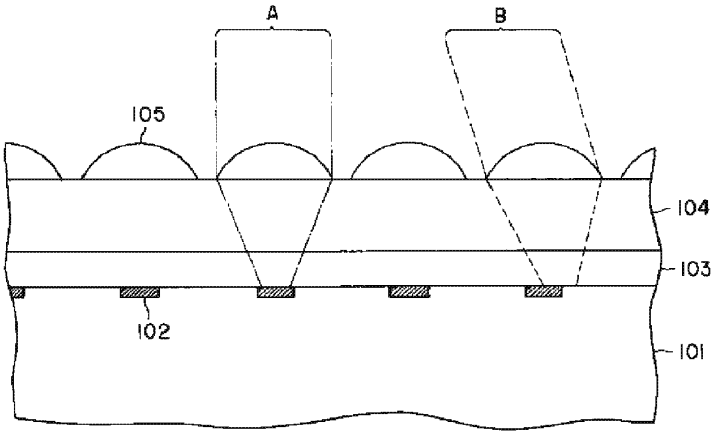
【図６】


61
60
54
n
n+
53
59
62
51
p
62
IR

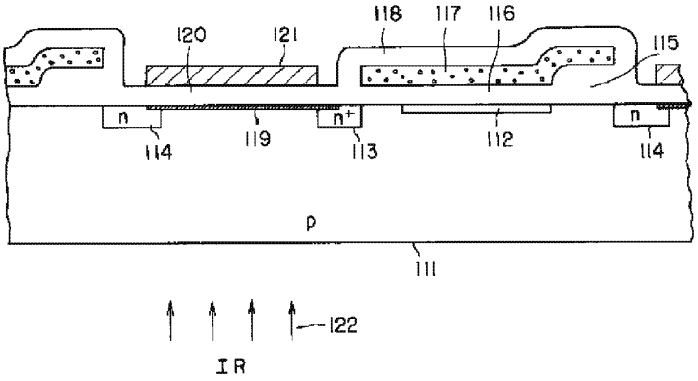
【図８】


61
60
n
n+
54
53
59
51
p
62

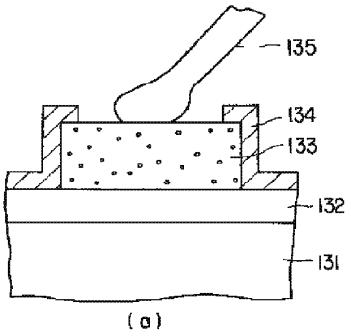
【図１１】

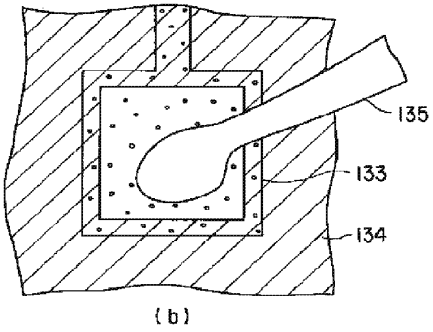

A
B
105
104
103
102
101

【図１２】


118
117
116
120
121
115
n
n+
n
114
119
113
112
114
p
111
122
IR

【図１３】


135
134
133
132
131
(a)


135
133
134
(b)

Espacenet

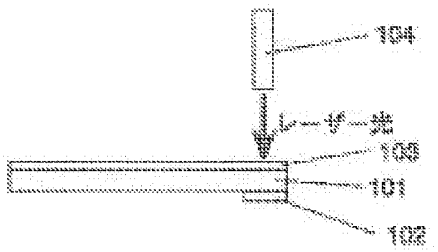
Bibliographic data: JP 11077348 (A)

WELDING METHOD AND PHOTOVOLTAIC ELEMENT

Publication date:	1999-03-23	
Inventor(s):	TSUZUKI KOJI; TAKEYAMA YOSHIFUMI; HAYASHI YOSHIMITSU; SAWAYAMA IPPEI +	
Applicant(s):	CANON KK +	
Classification:	- international:	***B23K26/00; B23K26/20; B23K26/32; H01L31/04; H01L31/05; H01L31/18; H05K3/32;*** (IPC1-7): B23K26/00; H01L31/04; H05K3/32
	- European:	B23K26/32; H01L31/05; H01L31/18; Y02E10/50
Application number:	JP19970233774 19970829	
Priority number (s):	JP19970233774 19970829	
Also published as:	• US 6114185 (A)	

Abstract of JP 11077348 (A)

PROBLEM TO BE SOLVED: To improve welding strength and to obtain a fully reliable element by emitting, from a thin semiconductor layer side, a laser beam with a wavelength absorbable in the layer and welding/joining a semiconductor holding member to a metallic member. SOLUTION: A semiconductor holding member 101 is a member for mechanically supporting a thin semiconductor layer 103, in the case of a thin solar cell such as amolphous silicon, and is also used as an electrode depending on the situation. The semiconductor holding member 101 requires a heat resistance that withstands heating temperature in the film formation of the thin semiconductor layer 103, and desirably excels in electrical conductivity. A laser beam 104 is used for the purpose of welding the semiconductor holding member 101 to a metallic member 102, and is usable according to a desire so long as it has an oscillation wavelength absorbable in the thin semiconductor 103 formed on its holding member 101.



Last updated: 26.04.2011 Worldwide Database 5.7.22.92p

SIONYX1403000021.0081

SAMSUNG EX. 1002 - 1921/4148

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報（Ａ）**　(11)特許出願公開番号

特開平11－77348

(43)公開日　平成11年(1999)３月23日

(51)Int.Cl.[6]	識別記号	ＦＩ	
Ｂ２３Ｋ　26/00	３１０	Ｂ２３Ｋ　26/00	３１０Ｇ
			３１０Ｓ
Ｈ０１Ｌ　31/04		Ｈ０５Ｋ　3/32	Ｃ
Ｈ０５Ｋ　3/32		Ｈ０１Ｌ　31/04	Ｍ

審査請求　未請求　請求項の数８　ＯＬ　（全　７　頁）

(21)出願番号　特願平9－233774

(22)出願日　平成９年(1997)８月29日

(71)出願人　000001007
キヤノン株式会社
東京都大田区下丸子３丁目30番２号

(72)発明者　都築　幸司
東京都大田区下丸子３丁目30番２号　キヤノン株式会社内

(72)発明者　竹山　祥史
東京都大田区下丸子３丁目30番２号　キヤノン株式会社内

(72)発明者　林　芳光
東京都大田区下丸子３丁目30番２号　キヤノン株式会社内

(74)代理人　弁理士　渡辺　敬介　（外１名）

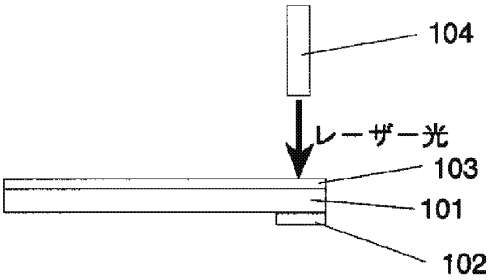
最終頁に続く

(54)【発明の名称】　溶接方法及び光起電力素子

(57)【要約】

【課題】　特に光起電力素子の一部である導電性基板に、同種もしくは別の金属部材を溶接する際に、強度が充分強く、長期的に安定な接合が行なえる溶接方法を提供する。

【解決手段】　少なくとも薄膜半導体層１０３を有する半導体保持部材１０１と、金属部材１０２とを溶接接合する方法において、該薄膜半導体層１０３が吸収可能な波長を有するレーザー光を、該薄膜半導体層側から照射することにより、半導体保持部材と金属部材を溶接接合する溶接方法。



SIONYX1403000021.0082

SAMSUNG EX. 1002 - 1922/4148

【特許請求の範囲】
【請求項１】　少なくとも薄膜半導体層を有する半導体保持部材と、金属部材とを溶接接合する方法において、該薄膜半導体層が吸収可能な波長を有するレーザー光を、該薄膜半導体層側から照射することにより、半導体保持部材と金属部材を溶接接合することを特徴とする溶接方法。
【請求項２】　前記半導体保持部材が光起電力素子の導電性基板であり、かつ前記金属部材が導電性箔体であることを特徴とする請求項１に記載の溶接方法。
【請求項３】　前記薄膜半導体層が、光起電力素子の半導体活性層であることを特徴とする請求項１乃至２に記載の溶接方法。
【請求項４】　前記半導体保持部材がＦｅを主成分とし、かつ前記金属部材がＣｕを主成分とすることを特徴とする請求項１乃至３に記載の溶接方法。
【請求項５】　前記半導体保持部材がステンレス、かつ前記金属部材がＣｕであることを特徴とする請求項１乃至４に記載の溶接方法。
【請求項６】　前記金属部材が半田メッキ銅であることを特徴とする請求項５に記載の金属部材の溶接方法。
【請求項７】　前記薄膜半導体層が非単結晶半導体であることを特徴とする請求項１乃至６に記載の金属部材の溶接方法。
【請求項８】　導電性箔体が導電性基板の少なくとも一部に請求項１乃至７に記載の溶接方法により溶接接合されていることを特徴とする光起電力素子。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は、表面に薄膜半導体層を有する半導体保持部材と金属部材、特に光起電力素子の導電性基板と導電性箔体との溶接方法に関する。
【０００２】
【従来の技術】光を入射させて起電力を発生させる光起電力素子は、様々なところで利用されており、特に近年、環境問題に対する関心の高まりから、クリーンエネルギーである太陽電池への応用に期待が高まっている。
【０００３】現在、太陽電池としては、単結晶シリコンあるいは多結晶シリコンを用いた結晶系とアモルファスシリコンを用いた非晶質系及び化合物半導体系に大別される。アモルファスシリコン太陽電池は、変換効率こそ結晶系の太陽電池に及ばないものの、大面積化が容易でかつ、光吸収係数が大きいので薄膜で動作するなどの結晶系太陽電池にはない優れた特徴を持っており、将来を有望視されている太陽電池の一つである。
【０００４】それにもかかわらず、現在太陽電池の普及を阻んでいる点は、太陽電池の製造コストが高いという点である。太陽電池の製造コストを下げるには、
（１）発電領域の効率的利用
（２）接続箇所を減らすことによる接続部材料費の節減、及び接続のための人件費の節減
（３）光電変換層の製造費等の低減
等が挙げられるが、これらの点から、太陽電池の大面積化が必要不可欠である。
【０００５】図４は従来の太陽電池を示す模式図であり、図４（ａ）は受光面側から見た図、図４（ｂ）はＸ—Ｘ’断面図である。
【０００６】図４に示した光起電力素子４００は、ステンレス等の基板４０２の上に下部電極層４０３、半導体層４０４、透明電極層４０５を順次積層して作製している。透明電極層４０５としては、反射防止手段と集電手段を兼ねて酸化インジウム等の透明導電膜が形成してある。
【０００７】透明電極層４０５は$FeCl_3$、$AlCl_3$等を含むエッチングペーストをスクリーン印刷等の方法で塗布し加熱することによって、一部が図中４０１（エッチングライン）に示す線状に除去されている。透明電極層４０５の一部除去の目的は、光起電力素子の外周切断時に発生する基板４０２と透明電極層４０５との短絡の悪影響を光起電力素子の有効受光範囲に及ぼさないようにすることである。
【０００８】また、光起電力素子４００の表面には発電された電力を効率よく集電するための集電電極４０７が形成されている。集電電極４０７は、半導体層４０３で発生した電力を損失なく取り出すために、予め導電性接着剤を薄くコートした金属ワイヤー（例えばカーボンペーストをコートした銅ワイヤー）を透明電極層４０５上に接着している。銅ワイヤーを用いるのは、導電率が高いものを使用して電流損失を低減するためである。
【０００９】さらに、これらの集電電極４０７のさらなる集電電極として導電性箔体４０８が設けられている。導電性箔体４０８の下部には、性能が保証されないエッチングライン４０１部との絶縁を確保するために、絶縁部材４０９が設けられている。
【００１０】こうして製造された光起電力素子は、導電性箔材４０８及び基板４０２が両極の端子として機能し、電力を取り出すことができる。
【００１１】しかしながら、これだけでは発電用途には使用できない。通常は単一の発電セルでは発生電圧が低すぎるため、直列接続を行なって高電圧化を図る必要がある。
【００１２】図４（ｃ）に、直列接続した光起電力素子を示している（２直列の場合を図示）。１つの光起電力素子の導電性箔体４１０と、これに隣接する光起電力素子の基板４１１とを、例えば銅箔等の接続部材４１２を用いて接続することにより、各光起電力素子を電気的に直列化する。接続にはステンレス用のフラックス入りの半田を使用するため、半田づけ後にＭＥＫ等の溶剤で洗浄して直列化が完成する。
【００１３】しかしながら、上記従来の太陽電池を大面

SIONYX1403000021.0083

SAMSUNG EX. 1002 - 1923/4148

積化しようとした場合には、単に面積が増加するだけではなく、変換効率において以下のような問題点が生じる。

【００１４】（１）発生電流量の増加、及び集電電極４０７が長くなることにより、抵抗損失（i^2R）が増加し、変換効率が低下する。

【００１５】（２）ステンレス基板のような導電性のあまり良好でない導電性基板を使用する場合、電流の行路長が増加するため、抵抗損失（i^2R）が大きくなり変換効率が低下する。

【００１６】これらの問題点を解決する手段として、例えば、特開平８－１３９３４９号公報におは、大面積の太陽電池においても、導電性基板の一部に超音波溶接法や半田付けにより導電性箔体を設けることによって、変換効率の低下なく電力を取り出すことが可能な方法が開示されている。

【００１７】

【発明が解決しようとする課題】しかしながら、超音波溶接においては以下の（１）～（３）の問題が、また半田においては以下の（４）や（５）の問題がある。

【００１８】（１）鉄系と銅系の金属を溶接しようとした場合、その格子定数の違いから、双方の元素が混合しにくく、表面層だけを接合する超音波溶接の場合には特に接合強度が弱くなる。ステンレスを基板とした光起電力素子に、安価で導電率の良い銅の箔体を溶接するような場合が、その例として挙げられる。

【００１９】（２）表面層だけの金属接合である為、金属表面が酸化している場合などに接合強度が弱くなってしまう。さらにこれらの接合強度は、高温高湿（８５℃、８５％）の環境下でさらに弱くなり、長期にわたる信頼性が保証できない。

【００２０】（３）金属同士の表面の酸化の状態によって、溶接条件を変える必要がある為、量産性に向かない。

【００２１】（４）半田ごてで熱を加えた時に、その熱で基板が変形してしまい、光起電力素子の平面性を失ってしまう。

【００２２】（５）溶剤を用いてもフラックスが取れにくく、温湿度がかかった状態でさびを発生してしまう。その結果、光起電力素子の被覆材の剥離を起こしてしまう。

【００２３】本発明の目的は以上の問題点を克服して、充分な溶接強度の得られる接合方法を提供し、とりわけ鉄系と銅系の金属間接合を行う方法を提供するものである。また、それによって、上記接合を一部材とした太陽電池素子等の光起電力素子の信頼性を高めることを目的としている。

【００２４】

【課題を解決するための手段】即ち、本発明の溶接方法は、少なくとも薄膜半導体層を有する半導体保持部材と、金属部材とを溶接接合する際に、該薄膜半導体層が吸収可能な波長を有するレーザー光を、該薄膜半導体層側から照射することにより、半導体保持部材と金属部材を溶接接合することを特徴としている。

【００２５】また、本発明の溶接方法は、前記半導体保持部材が光起電力素子の導電性基板であり、かつ前記金属部材が導電性箔体であることを特徴としている。

【００２６】また、本発明の溶接方法は、前記薄膜半導体層が、光起電力素子の半導体活性層であることを特徴としている。

【００２７】また、本発明の溶接方法は、前記半導体保持部材がＦｅを主成分とし、かつ前記金属部材がＣｕを主成分とすることを特徴としている。

【００２８】また、本発明の溶接方法は、前記半導体保持部材がステンレス、かつ前記金属部材がＣｕであることを特徴としている。

【００２９】また、本発明の溶接方法は、前記半導体保持部材がステンレス、かつ前記金属部材が半田メッキ銅であることを特徴としている。

【００３０】また、本発明の溶接方法は、前記薄膜半導体層が非単結晶半導体であることを特徴としている。

【００３１】また、本発明の光起電力素子は、導電性箔体が導電性基板の少なくとも一部に上記溶接方法により溶接接合されていることを特徴としている。

【００３２】

【作用】本発明の溶接方法は、特に光起電力素子の一部である導電性基板に、同種もしくは別の金属部材を溶接する際に、強度が充分強く、長期的に安定な接合が行なえる溶接方法について、本発明者らが鋭意検討した結果完成したものであり、以下の作用効果が奏される。

【００３３】（１）従来法と比較して、初期溶接強度及び長期安定性という点で優れた溶接強度が得られる。すなわち、薄膜半導体層を有する半導体保持部材と、金属部材を接合する際に、薄膜半導体層が吸収可能な波長を有するレーザー光を、薄膜半導体層側から照射することによって、該薄膜半導体層内部でレーザー光の一部が吸収される。その結果、薄膜半導体層内部で光エネルギー吸収による発熱が起こり、半導体保持部材、金属部材がさらに溶融しやすくなることによって、充分な溶融拡散が起こり、溶接強度の向上に寄与する。

【００３４】（２）太陽電池等の光起電力素子の部材の形成に応用することができる。すなわち、該薄膜半導体層が光起電力素子の半導体活性層、半導体保持部材を光起電力素子の導電性基板、金属部材を導電性箔体とすることで、光起電力素子の部材の溶接として応用することが可能である。

【００３５】（３）半導体保持部材が鉄系、金属部材が銅系である場合には、最も顕著に溶接強度向上効果を期待できる。すなわち、本来なら混合しにくいこれらの材料も、上記（１）の作用によって、より強度が増す方向

SIONYX1403000021.0084

SAMSUNG EX. 1002 - 1924/4148

に溶融拡散が起こる。

【００３６】（４）半導体保持部材をステンレス、金属部材を銅とすることで、より優れた光起電力素子を提供することができる。すなわち、ステンレスを使用することによって、防蝕性が高く、長期信頼性の高い光起電力素子を提供することができ、また銅を使用することによって、安価であり、かつ導電性が高く抵抗損失の少ない光起電力素子を提供することができる。特に、銅として半田メッキ銅を使用することで、後工程での直列作業において、予備半田の必要がなく、工程を削減することができ、さらには、銅の酸化を防ぐことができる。

【００３７】

【発明の実施の形態】以下に本発明の実施態様例を図１を用いて説明する。図１において、１０１は半導体保持部材、１０２は金属部材、１０３は薄膜半導体層、１０４はレーザーである。

【００３８】（半導体保持部材１０１）本発明で用いられる半導体保持部材としては、アモルファスシリコンのような薄膜の太陽電池の場合に、半導体層１０３を機械的に支持する部材であり、また、場合によっては電極としても用いられる。半導体保持部材は、薄膜半導体層１０３を成膜する時の加熱温度に耐える耐熱性が要求されるが、電気的には導電性のより優れているものが望ましい。

【００３９】例えばＦｅ、Ｃｕ、Ｎｉ、Ｃｒ、Ａｌ、Ｍｏ、Ａｕ、Ｎｂ、Ｔａ、Ｖ、Ｔｉ、Ｐｔ、Ｐｂ等の金属またはこれらの合金、具体的には真ちゅう、ステンレス鋼等の薄板及びその複合体やカーボンシート、亜鉛メッキ鋼板が挙げられる。

【００４０】上記材料の中でも、特に太陽電池の部材として用いる場合には、（１）耐食性に優れていること、（２）電気伝導性が優れていること等の条件を満たす物が好適に用いられ、上記材用の中でも、ＦｅとＣｒ、Ｎｉ、Ｃ等の合金であるステンレス鋼が好適に用いられる。

【００４１】半導体保持部材の厚みとしては、使用するレーザー光が金属部材１０２にまで貫通可能な範囲の厚みであれば、特に制限なく使用することが可能である。

【００４２】（金属部材１０２）金属部材としては、例えばＦｅ、Ｃｕ、Ｎｉ、Ｃｒ、Ａｌ、Ｍｏ、Ａｕ、Ｎｂ、Ｔａ、Ｖ、Ｔｉ、Ｐｔ、Ｐｂ等の金属またはこれらの合金、具体的には真ちゅう、ステンレス鋼等の薄板及びその複合体やカーボンシート、亜鉛メッキ鋼板等を用いることができる。

【００４３】特に光起電力素子の部材として用いる場合には、（１）半導体保持部材１０１よりも電気伝導性の良いこと、（２）加工性の良いこと、（３）安価であること等の条件を満たすものが望ましく、上記材料の中でも、Ｃｕを主成分としたものが好適に用いられる。

【００４４】Ｃｕの種としては、電気銅、電解タフピッチ銅、無酸素銅、脱酸銅等いずれを用いても構わないし、黄銅、シルジン青銅、リン青銅、青銅、アルミニウム青銅、ベリリウム銅、鉛青銅、ニッケル青銅等のＣｕ合金を用いても何等問題はない。Ｃｕ合金を用いる場合には、電気伝導性の点から、Ｃｕ以外の元素がより少ない方が望ましい。

【００４５】また、銅の表面に他元素をメッキした部材や、他元素をクラッドした材料でもよく、例えば、銀メッキ銅、半田メッキ銅、銀クラッド銅、アルミクラッド銅が使用可能である。

【００４６】特に金属部材に関して、太陽電池の直列化を行う後工程で半田付けを必要とする場合は、上記の材料が好適に用いられる。

【００４７】これらのうちでも、無酸素銅、リン青銅、半田メッキ銅が好ましく、特に半田メッキ銅が好ましい。

【００４８】また、その厚みは、電流の通過部分であることと機械的強度を考えれば厚い方が望ましく、レーザー光が行き届いて溶融が起こるという点、及び接続体の厚みが大きい場合にはラミ材で充分な充填ができずに気泡を生じる、といった点からは薄い方が望ましく、この両者の兼ね合いから具体的には７０～２００μｍの厚みが望ましい。

【００４９】（薄膜半導体層１０３）本発明に係る薄膜半導体層とは、アモルファスシリコン系太陽電池を例に挙げると、ｉ層を構成する半導体材料として、ａ－Ｓｉ、ａ－ＳｉＧｅ、ａ－ＳｉＣ等のいわゆるＩＶ族およびＩＶ族合金系アモルファス半導体が挙げられる。ｐ層またはｎ層を構成する半導体材料としては、前述したｉ層を構成する半導体材料に価電子制御剤をドーピングすることによって得られる。また、原料としては、ｐ型半導体を得るための価電子制御剤としては第ＩＩＩ族の元素を含む化合物が用いられる。第ＩＩＩ族の元素としては、Ｂ、Ａｌ、Ｇａ、Ｉｎが挙げられる。ｎ型半導体を得る為の価電子制御剤としては第Ｖ族の元素を含む化合物が用いられる。第Ｖ族の元素としては、Ｐ、Ｎ、Ａｓ、Ｓｂが挙げられる。

【００５０】これらはアモルファス半導体の場合について例を挙げたが、例えばｐ層、ｎ層全体もしくは一部が多結晶化していても何等構わず使用することができる。

【００５１】薄膜半導体層の成膜方法としては、蒸着法、スパッタ法、ＲＦプラズマ法、マイクロ波プラズマＣＶＤ法、ＥＣＲ法、熱ＣＶＤ法、ＬＰＣＶＤ法等の公知の方法を所望に応じて用いる。また、大面積のものを得る方法としては、ロールツーロール法で基板を連続的に搬送して成膜する方法が用いられる。

【００５２】また、本発明においては、分光感度や電圧の向上を目的として、半導体接合を２層以上積層したいわゆるタンデムセルやトリプルセルを用いることもできる。

SIONYX1403000021.0085

SAMSUNG EX. 1002 - 1925/4148

【００５３】（レーザー１０４）本発明にかかるレーザーとしては、半導体保持部材１０１と金属部材１０２を溶接する目的で使用され、半導体保持部材１０１上に形成された薄膜半導体層１０３が吸収可能な発振波長を有するレーザーであれば、所望に応じて使用可能である。

【００５４】レーザーの種類としては、具体的には、ルビー、ＹＡＧ、ガラス、$CaWO_4$等の固体レーザー、Ｈｅ－Ｎｅ、アルゴン等の気体レーザーを、薄膜半導体の構成に合わせて適宜用いることができる。

【００５５】また、レーザーの発振形式としては、加工の種類や目的によって異なってくるが、パルス発振でも連続発振でも、適宜用いることが可能である。

【００５６】

【実施例】以下本発明の実施例を説明する。

【００５７】（実施例１）本実施例では基板としてステンレス基板を用いたｐｉｎ接合型トリプル構成の非晶質シリコン太陽電池の場合を図２を用いて具体的に説明する。

【００５８】半導体保持部材２０１としては、表面を洗浄した厚さ０．１０ｍｍのロール状ステンレス４３０ＢＡ基板（体積抵抗率６．０×10^{-5}Ωｃｍ）を用意した。このステンレスロール上には、下部電極として、基板に近い側から１０００オングストロームのＡｌ層と１μｍのＺｎＯ膜が、スパッタリング法で基板温度３５０℃にて作製された。

【００５９】その後、マイクロ波プラズマＣＶＤ成膜装置に入れ、ｎ層、ｉ層、ｐ層の順で堆積を行い、ボトム層２０２を形成した。この時、ｉ層はａ－ＳｉＧｅとした。次にｎ層、ｉ層、ｐ層の順で堆積を行い、ミドル層２０３を形成した。ｉ層はボトム層と同様にａ－ＳｉＧｅとした。次にｎ層、ｉ層、ｐ層の順で堆積を行い、トップ層２０４を形成した。ｉ層は、ａ－Ｓｉとした。

【００６０】次に反射防止効果を兼ねた機能を有する透明な電極としてＩＴＯを７００オングストローム形成した（不図示）。

【００６１】上記のプロセスによりトリプル多層膜が形成されたロール状ステンレス基板は、切断加工により、各太陽電池素子に分割した。このようにして、図２に示したボトム層２０２、ミドル層２０３、トップ層２０４からなる薄膜半導体層を有する太陽電池素子２０５を得た。

【００６２】次に、金属部材２０６として、厚さ１００μｍの軟質銅箔（無酸素銅）を用意した。この軟質銅箔は体積抵抗率が１．７×10^{-6}Ωｃｍのものであり、銅箔の断面積を考慮しても半導体保持部材２０１であるステンレス基板よりは高い導電性を有するものである。

【００６３】これらの半導体保持部材２０１と金属部材２０６を溶接するレーザーとしては、ミヤチテクノス社製パルスＮｄ－ＹＡＧレーザー（最大定格出力５０Ｗ、ピーク出力５ｋｗ／１０ｍｓ）を用意した。ＹＡＧレーザーは、波長１．０６５μｍの単色光を有しており、この波長の光は前述のａ－ＳｉＧｅボトムｉ層にて吸収が可能である。

【００６４】以上の準備を完了したところで、固定治具に、太陽電池素子２０５と金属部材２０６を、半導体保持部材２０１と金属部材２０６が接触するように密着固定させ、薄膜半導体層が形成されている方向から、約２０ｊのエネルギーでパルスレーザーを発振し、１０か所の溶接を行った。

【００６５】以上のような工程を経て作成した溶接サンプルを、１８０℃剥離試験機にて剥離強度を測定した結果、２．２±０．５ｋｇであった。また、溶接した部分を研磨し、断面組織を走査型電子顕微鏡で観察したところ、ステンレスと銅が混在したような組織が見られ、良好な溶接ができていた。

【００６６】（比較例１）比較のために、図３に示すように薄膜半導体層を設けない以外は、実施例１と全く同様にして溶接サンプルを作成した。ただし、レーザー入射側で金属体３０１に直接レーザー光を入射すると、ステンレスの反射の影響を受ける可能性を考慮して、金属体３０１の上に、反射防止効果を兼ねた機能を有する透明な電極としてＩＴＯを７００オングストローム形成した（不図示）。

【００６７】以上のような工程を経て作成した溶接サンプルを、１８０℃剥離試験機にて剥離強度を測定した結果、１．７±０．５ｋｇであった。また、溶接した部分を研磨し、断面組織を走査型電子顕微鏡で観察したところ、ステンレス部と銅部が完全に分離して見えた。この結果から、薄膜半導体層が存在する方が、優れた溶接ができており、溶接強度を向上させることができる。

【００６８】（実施例２）本実施例２では、金属部材２０６としてリン青銅を用い、レーザーの発振エネルギーを２５ｊとした以外は実施例１と同様にして、溶接サンプルを作成した。リン青銅は、厚さ２００μｍで硬質のものを用いた。

【００６９】上記工程を経て作成した溶接サンプルを、１８０℃剥離試験機にて剥離強度を測定した結果、２．１±０．５ｋｇであった。また、断面組織観察を行った結果、実施例１と同様に、ステンレスと銅が混在したような組織が見られ、良好な溶接ができていた。

【００７０】（比較例２）比較のために、薄膜半導体層を設けない以外は、実施例２と全く同様にして溶接サンプルを作成した。ただし、比較例１と同様に、金属部材３０１の上に、反射防止効果を兼ねた機能を有する透明な電極としてＩＴＯを７００オングストローム形成した（不図示）。

【００７１】以上のような工程を経て作成した溶接サンプルを、１８０℃剥離試験機にて剥離強度を測定した結果、１．３±０．４ｋｇであった。また、溶接した部分を研磨し、断面組織を走査型電子顕微鏡で観察したとこ

SIONYX1403000021.0086

SAMSUNG EX. 1002 - 1926/4148

ろ、比較例１と同様にステンレス部と銅部が完全に分離して見えた。

【００７２】以上の結果から、リン青銅を用いた場合でも、薄膜半導体層の存在の有無で顕著な差が現れた。

【００７３】（実施例３）本実施例では、金属部材２０１として半田メッキ銅を用いる以外は実施例１と同様にして、溶接サンプルを作成した。半田メッキ銅は、厚さ１００μｍの銅箔の両面に厚さ２μｍの半田がメッキされているものを用いた。

【００７４】上記工程を経て作成した溶接サンプルを、１８０℃剥離試験機にて剥離強度を測定した結果、２．２±０．５ｋｇと、ほぼ実施例１の結果と同じであった。また、断面組織観察を行った結果、実施例１と同様に、ステンレスと銅が混在したような組織が見られた。

【００７５】（比較例３）比較のために、薄膜半導体層を設けない以外は、実施例３と全く同様にして溶接サンプルを作成した。ただし、比較例１と同様に、金属部材３０１の上に、反射防止効果を兼ねた機能を有する透明な電極としてＩＴＯを７００オングストローム形成した（不図示）。

【００７６】以上のような工程を経て作成した溶接サンプルを、１８０℃剥離試験機にて剥離強度を測定した結果、１．５±０．４ｋｇであった。また、溶接した部分を研磨し、断面組織を走査型電子顕微鏡で観察したところ、比較例１と同様にステンレス部と銅部の分離組織が観察された。

【００７７】以上の結果から、半田メッキ銅を用いた場合でも、薄膜半導体層の存在の有無で顕著な差が現れた。

【００７８】（実施例４）上記実施例１～３及び比較例１～３で作成したサンプルを、太陽電池素子部材としての信頼性の確認を、日本工業規格Ｃ８９１７の結晶系太陽電池モジュールの環境試験方法及び耐久試験方法に定められた温湿度サイクル試験Ａ－２に基づいて行った。即ち、サンプルを、温湿度が制御できる恒温恒湿器に投入し、－４０℃から＋８５℃（相対湿度）に変化させるサイクル試験を１００回繰り返し行った。

【００７９】試験終了後の試料を初期と同様に１８０℃剥離試験機を用いて剥離強度を測定し、初期剥離強度と合わせて表１に示す。

【００８０】

【表１】

	初期剥離強度（kg）	試験後剥離強度（kg）
実施例１	2.2	2.3
実施例２	2.1	2.2
実施例３	2.2	2.1
比較例１	1.7	1.5
比較例２	1.3	1.0
比較例３	1.5	1.2

【００８１】上記結果より、薄膜半導体層が形成されている状態で溶接を行った実施例１～３のサンプルに関しては、試験後の剥離強度が初期に比べてほとんど変化がないことがわかる。これに対して、薄膜半導体層が形成されていない比較例１～３のサンプルに関しては、０．２～０．３ｋｇの剥離強度の低下が見られる。この原因としては、２金属の溶接の混合具合が完全ではない為に、その結晶粒の隙間等に水分が侵入することによって、剥離を進行させる方向に働いた為と考えられる。

【００８２】

【発明の効果】以上説明したように、本発明によれば、従来よりも優れた溶接強度が得られ、特に鉄系と銅系でその効果は顕著であった。また、本発明によれば、充分に信頼性の得られる光起電力素子を提供することが可能である。

【図面の簡単な説明】

【図１】本発明の実施態様例を説明する概略図である。

【図２】本発明の実施例を説明する概略図である。

【図３】本発明の比較例を説明する概略図である。

【図４】従来の太陽電池構成の概略図である。

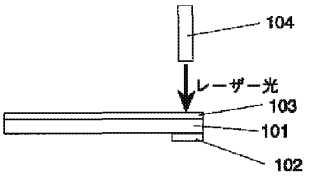
【符号の説明】

１０１、２０１　半導体保持部材
１０２、２０６、３０１、３０２　金属部材
１０３　薄膜半導体層
１０４　レーザー
２０２　ボトム層
２０３　ミドル層
２０４　トップ層
２０５　太陽電池素子
４００　光起電力素子
４０１　エッチングライン
４０２、４１１　基板
４０３　下部電極層
４０４　半導体層
４０５　透明電極層
４０７　集電電極
４０８、４１０　導電性箔体
４０９　絶縁部材
４１２　接続部材

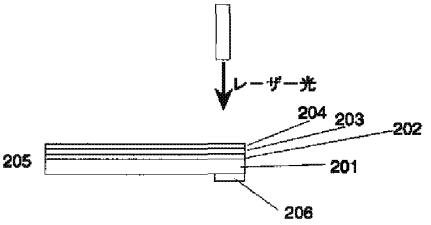
SIONYX1403000021.0087

SAMSUNG EX. 1002 - 1927/4148

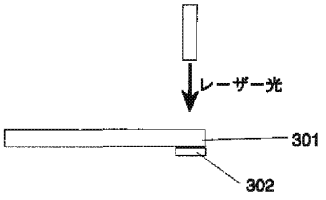
【図１】



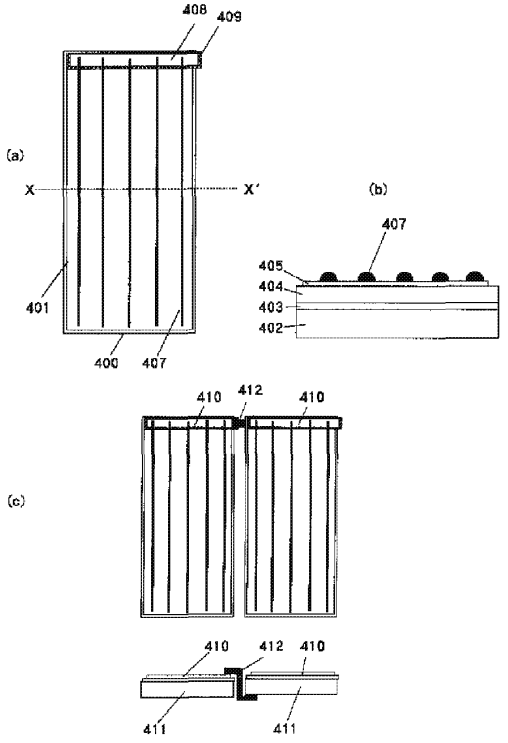
【図２】



【図３】



【図４】



フロントページの続き

(72)発明者　沢山　一平
東京都大田区下丸子３丁目30番２号　キヤノン株式会社内

Espacenet

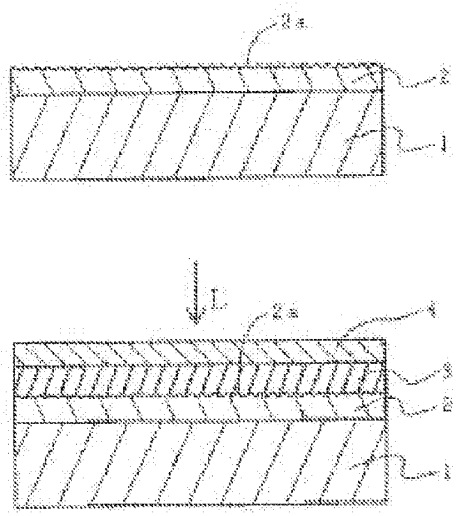
Bibliographic data: JP11097724 (A) — 1999-04-09

SOLAR CELL AND ITS MANUFACTURE

Inventor(s):	AOTA KATSUMI ±
Applicant(s):	CITIZEN WATCH CO LTD ±
Classification:	**- international:** ***H01L31/04;*** (IPC1-7): H01L31/04
	- European: Y02E10/54N
Application number:	JP19970259471 19970925
Priority number(s):	JP19970259471 19970925

Abstract of JP11097724 (A)

PROBLEM TO BE SOLVED: To increase the short-circuiting current of a solar cell by arranging an aluminum oxide film layer with a roughened surface between an aluminum substrate and a lower electrode. SOLUTION: An aluminum oxide(Al2 O3) film 2 is electrochemically an insulation film is formed on a substrate 1 by anode oxidation. An aluminum substrate 1 is subjected to anode oxidation in a nitric acid bath. When a porous covering (Al2 O3) is grown to a thickness of 2-6 &mu m on the surface of the substrate 1, surface 2a of the film 2 is made recessed and projected (roughened). A P-I-N junction type amorphous silicon film 3 is formed on the Al2 O3 film 2 with a recessed and projected surface as an amorphous silicon generation layer and then an ITO film 4 that becomes a transparent electrode is formed. A solar beam with a wavelength of 550-800 nm is diffused and reflected on the recessed and projected surface for confining light and the optical path length in the amorphous silicon is extended, thus increasing the short-circuiting current of a solar cell.



Last updated: 5.12.2011 Worldwide Database 5.7.31; 92p

SIONYX1403000021.0089

SAMSUNG EX. 1002 - 1929/4148

(19)日本国特許庁（JP）　(12)公開特許公報（A）　(11)特許出願公開番号

特開平11－97724

(43)公開日　平成11年(1999)4月9日

(51)Int.Cl.[6]	識別記号	FI	
H01L 31/04		H01L 31/04	M

審査請求　未請求　請求項の数4　OL　（全 4 頁）

(21)出願番号　特願平9－259471

(22)出願日　平成9年(1997)9月25日

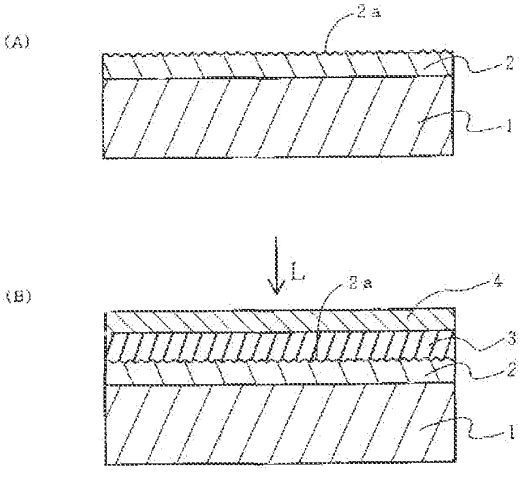
(71)出願人　000001960
シチズン時計株式会社
東京都新宿区西新宿２丁目１番１号

(72)発明者　青田　克己
埼玉県所沢市大字下富字武野840番地　シチズン時計株式会社技術研究所内

(74)代理人　弁理士　斉藤　武彦　（外１名）

(54)【発明の名称】　太陽電池およびその製造方法

(57)【要約】
【課題】　低コストで光電変換効率が高いアモルファスシリコン太陽電池を提供する。
【解決手段】　金属基板１上にアモルファス発電層３および透明電極４が順次配設してなる太陽電池において、前記金属基板１がアルミニウムからなり、前記アルミニウム基板１上に凹凸面２ａを有するアルミニウム酸化膜２を具備した。



SIONYX1403000021.0090

SAMSUNG EX. 1002 - 1930/4148

【特許請求の範囲】
【請求項１】　金属基板上に下部電極、アモルファス発電層および上部電極が順次配設してなる太陽電池において、前記金属基板がアルミニウムからなり、前記アルミニウム基板と該下部電極との間に粗面化されたアルミニウム酸化膜層が配置されていることを特徴とする太陽電池。
【請求項２】　金属基板上に下部電極、アモルファス発電層および上部電極が順次配設してなる太陽電池の製造方法において、金属基板としてアルミニウムを選択する工程、当該アルミニウム基板表面に粗面化された表面を有するアルミニウム酸化膜層を形成する工程、当該粗面化されたアルミニウム酸化膜層の上に下部電極、アモルファス発電層および上部電極を順次に形成する工程とから構成されていることを特徴とする太陽電池の製造方法。
【請求項３】　当該アルミニウム基板表面に粗面化されたアルミニウム酸化膜を形成する工程は、前記アルミニウム基板表面を陽極酸化する工程である事を特徴とする請求項２記載の太陽電池の製造方法。
【請求項４】　金属基板として、アルミニウムを選択する工程、当該アルミニウム基板表面を粗面化する工程、当該粗面化されたアルミニウム基板表面に陽極酸化を施して、粗面化されたアルミニウム酸化膜層を形成する工程、当該粗面化されたアルミニウム酸化膜層の上に下部電極、アモルファス発電層および上部電極を順次に形成する工程とから構成されていることを特徴とする太陽電池の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は太陽電池およびその製造方法に関し、さらに詳細には、光電変換効率を向上させたアモルファスシリコン太陽電池およびその製造方法に関する。
【０００２】
【従来の技術】有害物質を出さないクリーンで非枯渇性のエネルギーを利用する低コスト太陽電池としてアモルファス（非晶質）シリコン太陽電池が知られている。このようなアモルファスシリコン太陽電池は、安価な基板と、低温で形成できる厚さ１μm以下の薄膜とで構成できるため、低コストで製造できる特長がある。このような特長を十分に活かすためには、光電変換効率を向上させ、実用に供し得る性能にする必要がある。
【０００３】従来このようなアモルファスシリコン太陽電池の基板材料として、ステンレス鋼等の金属基板、ガラス、高分子フィルム、セラミック等の絶縁性基板あるいは金属基板表面に絶縁物をコーティングした絶縁性基板等が知られている。あまり薄くできないガラス基板と違って、軽量小型化を図ることが可能な金属基板に絶縁膜をコーティングした構造を使用する場合、一般にステンレス鋼基板上にポリイミド等の耐熱性樹脂膜等が使用される。
【０００４】又、従来に於いては、基板に、例えば、ＳＵＳ等のステンレス系金属材料を使用した場合には、複数個のセル素子部間を直列に接続して容量の大きい太陽電池を構成するに際して、当該基板と下部電極との間に絶縁膜を介在させる必要がある。然しながら、従来に於いては、当該絶縁膜として、有機材料からなる絶縁膜を使用する場合が多く、当該有機材料からなる絶縁膜は、熱電導性が大きく、又耐熱性に乏しい為、太陽電池としての特性を悪化させるものであった。
【０００５】しかも下地金属の表面加工や、膜厚を薄くする必要があるため製造コストも高くなる。
【０００６】
【発明が解決しようとする課題】上記問題を鑑み、本発明の目的は、耐熱性を有する絶縁部位を備えた薄い金属基板を備え、しかも光電変換効率の高い太陽電池およびその製造方法を提供することである。
【０００７】
【課題を解決するための手段】上記目的を達成するための本発明の第１の態様は、金属基板上に下部電極、アモルファス発電層および上部電極が順次配設してなる太陽電池において、前記金属基板がアルミニウムからなり、前記アルミニウム基板と該下部電極との間に粗面化されたアルミニウム酸化膜層が配置されている太陽電池であり、又本発明の第２の態様は、金属基板上に下部電極、アモルファス発電層および上部電極が順次配設してなる太陽電池の製造方法において、金属基板としてアルミニウムを選択する工程、当該アルミニウム基板表面に粗面化された表面を有するアルミニウム酸化膜層を形成する工程、当該粗面化されたアルミニウム酸化膜層の上に下部電極、アモルファス発電層および上部電極を順次に形成する工程とから構成されている太陽電池の製造方法である。
【０００８】
【発明の実施の形態】本発明では、アルミニウム基板表面が陽極酸化によって酸化されるため、アルミニウム基板表面に陽極酸化工程の酸を選択することによって表面が凹凸になる粗面化した皮膜層を形成することができる。この凹凸表面で波長５５０～８００ｎｍの太陽光が拡散反射させ光を閉じ込め、アモルファスシリコン中の行路長を長くし、その結果、太陽電池の短絡電流を大きくすることができる。このことにより光電変換効率が高い太陽電池を得ることができる。
【０００９】
【実施例】以下、本発明の具体的な実施例を図面を参照して詳細に説明する。図１は、本発明の太陽電池の第１実施例の製造方法を説明するための工程断面図である。図１（ａ）に示すように、先ず、表面をバフ研磨等により研磨した後、リン酸－硝酸混合液で化学研磨して鏡面

SIONYX1403000021.0091

SAMSUNG EX. 1002 - 1931/4148

性を持たせた約０．２ｍｍの厚さのアルミニウム（Ａｌ）基板１に、陽極酸化によって電気化学的に絶縁膜である酸化アルミニウム（Al_2O_3）膜２を形成する。この陽極酸化はアルミニウム基板１を硝酸浴中で行なわれ、基板１表面にポーラス形皮膜（Al_2O_3）を２～６μｍの厚さに成長させたもので、その膜２の表面２ａが凹凸状態（粗面化）になっている。

【００１０】次に、図１（ｂ）に示すように、凹凸面２ａを有するAl_2O_3膜２上に通常と同様にプラズマＣＶＤ法により約２５０℃の温度で５５５０Å（Ｐ層：４００Å、Ｉ層：５０００Å、Ｎ層：１５０Å、）の厚さのＰ－Ｉ－Ｎ接合型のアモルファスシリコン膜３を成膜しアモルファスシリコン発電層とし、次に、ＤＣスパッタ法によりＡｒガス中、３００℃で１０００Åの厚さの透明電極となるＩＴＯ膜４を形成する。この透明電極から光が入射される（矢印Ｌ）。

【００１１】以上の工程により金属基板１上にアモルファス発電層３および透明電極４が順次配設してなる太陽電池において、この金属基板１がアルミニウムからなり、アルミニウム基板１上に凹凸面２ａを有するアルミニウム酸化膜２を具備した太陽電池を低コストで得ることができる。なお図示していないが、Al_2O_3膜２とアモルファスシリコン膜３の間にこのアモルファスシリコン膜３とのオーミック接触を得るため金属膜を形成してもよい。その材料は、チタン、モリブデン、ニッケル、クロム等が可能である。

【００１２】図２は本発明の太陽電池の第２実施例を示す断面図である。図２に示した太陽電池は上記第１実施例のアルミニウム基板１１の表面に予め物理的、あるいは化学的に凹凸面１１ａを設けた後に、第１実施例と同様に、陽極酸化膜のAl_2O_3膜２、アモルファスシリコン膜３、透明電極のＩＴＯ膜４を順次形成した構造となっている。

【００１３】この第２実施例では陽極酸化膜のAl_2O_3膜２の凹凸面２ａを形成する下地アルミニウム表面が予め凹凸面１１ａが設けられているため、第１実施例よりさらに粗面のAl_2O_3膜２が得られアモルファスシリコン発電層内に光を閉じ込め、光電変換効率の高い太陽電池を得ることができる。上記本実施例では透明電極４としてＩＴＯを使用したが、可視光に対する透明性と電気伝導性に優れた特性を有する材料、例えば、SnO_2膜およびIn_2O_3膜等も利用することができる。

【００１４】上記実施例ではアモルファスシリコン膜３は、アモルファスシリコンＳｉ膜中に水素を取り込ませるようにプラズマＣＶＤ法により水素化アモルファスシリコン膜を形成させている。水素化アモルファスシリコン膜のｐ層およびｎ層は、SiH_4ガスにそれぞれB_2H_6ガスおよびPH_3ガスを不純物添加（ドーピング）により得られ、Ｉ層はSiH_4ガスのみのグロー放電分解によって形成した。

【００１５】さらに本実施例においては、Ｐ－Ｉ－Ｎ接合型の水素化アモルファスシリコン積層膜としたが、Ｓｉとの結合力がより強いフッ素Ｆをアモルファスシリコン膜に取り込んだフッ素化アモルファスシリコン膜なども可能である。本実施例では実施していないが、透明電極４とアモルファスシリコン発電層３の間にSi_3N_4などの絶縁膜を形成することによって、より化学的に安定で平坦性を有するアモルファスシリコン発電層を得ることができる。しかしながらその場合、絶縁膜は透明電極４との対応のため透光性に優れたものでなくてはならない。

【００１６】

【発明の効果】以上説明したように、本発明によれば、低コストで金属基板に高耐熱性の絶縁膜を形成した光電変換効率が高いアモルファスシリコン太陽電池を得ることができる。

【図面の簡単な説明】

【図１】図１は、本発明の太陽電池の第１実施例の製造工程を示す工程断面図。

【図２】図２は、本発明の太陽電池の第２実施例を示す断面図。

【符号の説明】

１，１１…アルミニウム基板

２…Al_2O_3膜（陽極酸化膜）

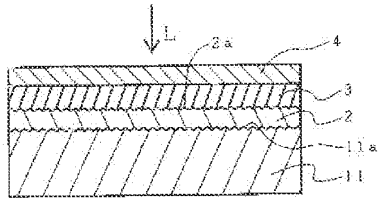
２ａ…凹凸面（Al_2O_3膜）

３…アモルファスシリコン膜（発電層）

４…ＩＴＯ膜（透明電極）

１１ａ…凹凸面（アルミニウム基板）

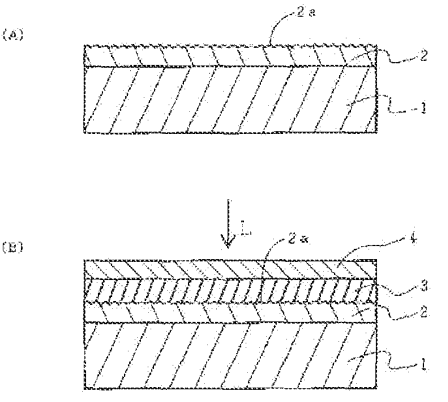
【図２】



SIONYX1403000021.0092

SAMSUNG EX. 1002 - 1932/4148

【図1】



SIONYX1403000021.0093

SAMSUNG EX. 1002 - 1933/4148

Espacenet

Bibliographic data: JP2001189478 (A) — 2001-07-10

SEMICONDUCTOR ELEMENT AND MANUFACTURING METHOD THEREFOR

Inventor(s):		SAKATA HITOSHI; KADONAGA YASUO ±
Applicant(s):		SANYO ELECTRIC CO ±
Classification:	**- international:**	***G02F1/136; G02F1/1368; H01L21/205; H01L21/336; H01L29/786; H01L31/0236; H01L31/04; H01L31/072; H01L31/20;*** (IPC1-7): G02F1/1368; H01L21/205; H01L21/336; H01L29/786; H01L31/04
	- European:	H01L31/0236; H01L31/0745; H01L31/20B; H01L31/20B2; Y02E10/50
Application number:		JP19990372418 19991228
Priority number(s):		JP19990372418 19991228
Also published as:		EP1113505 (A2) EP1113505 (A3) US2001008295 (A1) US6670542 (B2)

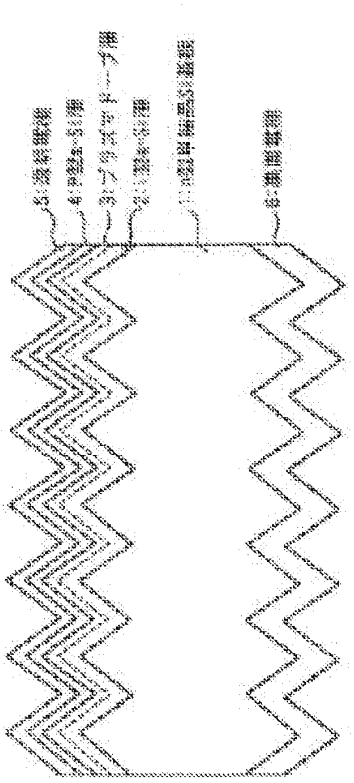
Abstract of JP2001189478 (A)

PROBLEM TO BE SOLVED: To provide a highly efficient semiconductor element by eliminating damages due to plasma and appropriately maintaining the interface characteristics between an amorphous semiconductor layer and a transparent electrode. SOLUTION: This method includes a process for forming an i-type amorphous semiconductor layer 2, that does not practically contain impurities for reducing electrical resistance on the surface of an n-type single-crystal substrate 1, a process for forming a plasma-doping layer 3 by exposing the n-type single-crystal substrate 1, where the amorphous semiconductor layer 2 is formed to an atmosphere where gas containing a p-type impurity is excited and diffusing the impurity to the amorphous semiconductor layer 2, a process for forming a p-type amorphous semiconductor layer thin film 4 containing the p-type impurity on the plasma-doping layer 3 by chemical vapor growth method, and a process for forming a transparent electrode 5 on the p-type amorphous semiconductor thin film 4.

Last updated: 5.12.2011 Worldwide Database 5.7.31; 92p

SIONYX1403000021.0094

SAMSUNG EX. 1002 - 1934/4148



SIONYX1403000021.0095

SAMSUNG EX. 1002 - 1935/4148

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号
特開2001－189478
（Ｐ2001－189478Ａ）
(43)公開日　平成13年７月10日(2001.7.10)

(51)Int.Cl.[7]	識別記号	ＦＩ		テーマコード[*](参考)
Ｈ０１Ｌ　31/04		Ｈ０１Ｌ　21/205		２Ｈ０９２
Ｇ０２Ｆ　1/1368			31/04　Ｖ	５Ｆ０４５
Ｈ０１Ｌ　21/205		Ｇ０２Ｆ　1/136	５００	５Ｆ０５１
29/786		Ｈ０１Ｌ　29/78	６１６Ｕ	５Ｆ１１０
21/336			６１６Ｌ	

審査請求　未請求　請求項の数６　ＯＬ　（全７頁）

(21)出願番号　特願平11－372418

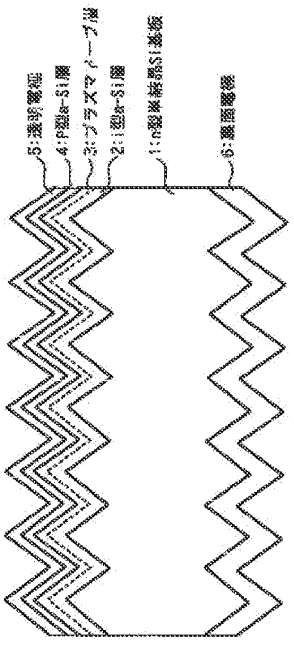
(22)出願日　平成11年12月28日(1999.12.28)

(71)出願人　000001889
三洋電機株式会社
大阪府守口市京阪本通２丁目５番５号
(72)発明者　坂田　仁
大阪府守口市京阪本通２丁目５番５号　三洋電機株式会社内
(72)発明者　門永　泰男
大阪府守口市京阪本通２丁目５番５号　三洋電機株式会社内
(74)代理人　100085213
弁理士　鳥居　洋

最終頁に続く

(54)【発明の名称】　半導体素子及びその製造方法

(57)【要約】
【課題】　この発明は、プラズマによるダメージを解消し、非晶質半導体層と透明電極との界面特性を良好に保ち、高効率な半導体素子を提供することを課題とする。
【解決手段】　ｎ型単結基板１表面に電気抵抗を低下させる不純物を実質的に含まないｉ型非晶質半導体層２を形成する工程と、ｐ型不純物を含むガスを励起した雰囲気に、前記非晶質半導体層２が形成されたｎ型単結晶基板１を曝して前記不純物を前記非晶質半導体層２に拡散させてプラズマドーピング層３を形成する工程と、前記プラズマドーピング層３上に、化学的気相成長法により前記ｐ型不純物を含むｐ型非晶質半導体層薄膜４を形成する工程と、このｐ型非晶質半導体薄膜４上に透明電極５を形成する工程と、を有する。



SIONYX1403000021.0096

SAMSUNG EX. 1002 - 1936/4148

【特許請求の範囲】

【請求項１】　一導電型結晶系半導体基板と、この結晶系半導体基板上に形成された電気抵抗を低下させる不純物を実質的に含まない非晶質半導体層と、他導電型の不純物を含むガスを励起した雰囲気に前記非晶質半導体層を形成した前記結晶系半導体基板を曝すことにより形成された他導電型非晶質半導体層と、前記他導電型非晶質半導体層上に化学的気相成長法により形成された他導電型非晶質半導体層薄膜と、を有することを特徴とする半導体素子。

【請求項２】　結晶系半導体基板を有する半導体素子の製造方法において、前記結晶系半導体基板表面に電気抵抗を低下させる不純物を実質的に含まない非晶質半導体層を形成する工程と、電気抵抗を低下させる不純物を含むガスを励起した雰囲気に、前記非晶質半導体層が形成された前記結晶系半導体基板を曝して前記不純物を前記非晶質半導体層に拡散させる工程と、前記電気抵抗を低下させた非晶質半導体層上に、化学的気相成長法により前記電気抵抗を低下させる不純物を含む非晶質半導体層薄膜を形成する工程と、を有することを特徴とする半導体素子の製造方法。

【請求項３】　前記結晶系半導体基板表面に電気抵抗を低下させる不純物を実質的に含まない非晶質半導体層が水素化非晶質シリコンカーバイトであり、前記電気抵抗を低下させる不純物を含むガスを励起した雰囲気に、前記電気抵抗を低下させる不純物を実質的に含まない水素化非晶質シリコンカーバイト層が形成された前記結晶系半導体基板を曝して、前記不純物を前記水素化非晶質シリコンカーバイト層に拡散させる工程において、前記ガス中に炭素を含むガスを混合することを特徴とする請求項２に記載の半導体素子の製造方法。

【請求項４】　前記電気抵抗を低下させる不純物を含む非晶質半導体層薄膜は、１０ないし５０Åの範囲の薄膜であることを特徴とする請求項２に記載の半導体素子の製造方法。

【請求項５】　前記電気抵抗を低下させる不純物を含む水素化非晶質シリコンカーバイド薄膜は、２０ないし１００Åの範囲の薄膜であることを特徴とする請求項３に記載の半導体素子の製造方法。

【請求項６】　前記電気抵抗を低下させる不純物を実質的に含まない非晶質半導体層を形成する反応室と、前記電気抵抗を低下させる不純物を含む非晶質半導体層薄膜を形成する反応室とを独立させ、前記電気抵抗を低下させる不純物を含むガスを励起した雰囲気に、前記非晶質半導体層が形成された前記結晶系半導体基板を曝して、前記不純物を前記非晶質半導体層に拡散させる工程を、前記電気抵抗を低下させる不純物を含む非晶質半導体層薄膜を形成するための反応室において行うことを特徴とする請求項２ないし５のいずれかに記載の半導体素子の製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】この発明は、光入射により光起電力を発生する光起電力素子や、液晶ディスプレイなどに用いる薄膜トランジスタなどのヘテロ接合を有する半導体素子及びその製造方法に関する。

【０００２】

【従来の技術】一般に、光起電力素子は、光を吸収し電流に主に変換する部分の半導体の種類により、単結晶系、多結晶系、非晶質系に分類されるが、単結晶シリコンまたは多結晶シリコン等の結晶系半導体からなる結晶系基板を基板として用い、その基板上に非晶質シリコン半導体層を形成し、結晶系基板と非晶質シリコン半導体層との間に、半導体接合を形成する光起電力素子の研究が進んでおり、例えば、特開平４－１３０６７１号公報にその種の光起電力素子が示されている。この光起電力素子は、互いに逆の導電型を有する結晶系半導体と非晶質半導体とを組み合わせて半導体接合を形成する際に、接合界面に膜厚が数Å以上２５０Å以下であるｉ型の非晶質半導体層を介在せしめることにより界面特性を向上させ、光電変換特性の向上を図るものである。

【０００３】ところで、光電変換特性に優れた、例えば単結晶シリコンを用いた結晶系の光起電力素子においては、単結晶シリコンの表面を凹凸化することにより、反射を低減し、かつ、入射した光を散乱させ半導体層中での光路長を長くすることで光の有効利用を図っている。しかしながら、上述した特開平４－１３０６７１号公報に記載されている結晶系半導体と非晶質半導体との接合界面にｉ型の非晶質半導体層を介在させた構造の光起電力素子においては、結晶系半導体の凹凸表面上に均一にｉ型非晶質半導体を薄く形成することが困難であった。すなわち、ｉ型の非晶質半導体層が数Å以上２５０Å以下と極めて薄膜であり、通常のプラズマＣＶＤ（化学気相成長）法では、結晶系半導体の凸部にその非晶質半導体層が形成され難く、全面に均一な薄膜を形成することが困難であった。このため、高い開放電圧を得るためにｉ型非晶質半導体層を必要以上に厚く形成する必要があり、発電層である結晶系半導体に到達する光が減少していた。

【０００４】上記した問題点を解決する方法が特開平１１－１１２０１１号公報に提案されている。この方法は、一導電型結晶系半導体上に所定の膜厚のｉ型非晶質半導体層を形成し、その後、他導電型の不純物を含むプラズマ中に曝して表面部分に不純物層を形成することにより、結晶系半導体と非晶質半導体との接合界面に薄膜のｉ型の非晶質半導体層を介在させるように構成し、高い変換効率を得るものである。

【０００５】

【発明が解決しようとする課題】上述した特開平１１－１１２０１１号公報に記載された方法においては、光学

SIONYX1403000021.0097

SAMSUNG EX. 1002 - 1937/4148

的ロスや膜厚不均一による開放電圧の低下は回避できるものの、非晶質半導体表面をプラズマに曝すために、非晶質半導体層表面にダメージが残り、この半導体層表面に形成される透明導電膜との界面特性が劣化し、F．F．（曲線因子）の低下が発生するという問題があった。

【０００６】この発明は、上述した従来の問題点を解決するためになされたものにして、プラズマによるダメージを解消し、非晶質半導体層と電極との界面特性を良好に保ち、高効率な半導体素子を提供することを課題とする。

【０００７】

【課題を解決するための手段】この発明の半導体素子は、一導電型結晶系半導体基板と、この結晶系半導体基板上に形成された電気抵抗を低下させる不純物を実質的に含まない非晶質半導体層と、他導電型の不純物を含むガスを励起した雰囲気に前記非晶質半導体層を形成した前記結晶系半導体基板を曝すことにより形成された他導電型非晶質半導体層と、前記他導電型非晶質半導体層上に化学的気相成長法により形成された他導電型非晶質半導体層薄膜と、を有する。

【０００８】また、この発明の半導体素子の製造方法は、結晶系半導体基板表面に電気抵抗を低下させる不純物を実質的に含まない非晶質半導体層を形成する工程と、電気抵抗を低下させる不純物を含むガスを励起した雰囲気に、前記非晶質半導体層が形成された前記結晶系半導体基板を曝して前記不純物を前記非晶質半導体層に拡散させる工程と、前記電気抵抗を低下させた非晶質半導体層上に、化学的気相成長法により前記電気抵抗を低下させる不純物を含む非晶質半導体層薄膜を形成する工程と、を有することを特徴とする。

【０００９】また、この発明は前記結晶系半導体基板表面に電気抵抗を低下させる不純物を実質的に含まない非晶質半導体層が水素化非晶質シリコンカーバイトであり、前記電気抵抗を低下させる不純物を含むガスを励起した雰囲気に、前記電気抵抗を低下させる不純物を実質的に含まない水素化非晶質シリコンカーバイト層が形成された前記結晶系半導体基板を曝して、前記不純物を前記水素化非晶質シリコンカーバイト層に拡散させる工程において、前記ガス中に炭素を含むガスを混合するように構成することができる。

【００１０】前記電気抵抗を低下させる不純物を含む非晶質半導体層薄膜は、１０ないし５０Åの範囲の薄膜に構成すればよい。

【００１１】また、前記電気抵抗を低下させる不純物を含む水素化非晶質シリコンカーバイド薄膜は、２０ないし１００Åの範囲の薄膜に構成すればよい。

【００１２】また、この発明は、前記電気抵抗を低下させる不純物を実質的に含まない非晶質半導体層を形成する反応室と、前記電気抵抗を低下させる不純物を含む非晶質半導体層薄膜を形成する反応室とを独立させ、前記電気抵抗を低下させる不純物を含むガスを励起した雰囲気に、前記非晶質半導体層が形成された前記結晶系半導体基板を曝して、前記不純物を前記非晶質半導体層に拡散させる工程を、前記電気抵抗を低下させる不純物を含む非晶質半導体層薄膜を形成するための反応室において行うように構成すればよい。

【００１３】上記したように、この発明は、一導電型結晶系基板に、不純物を含まないｉ型の非晶質半導体層、プラズマにより不純物を前記ｉ型の非晶質導体層に拡散させた他導電型半導体層、及び不純物をプラズマ拡散させた非晶質半導体層上に堆積させた電気抵抗を低下させる不純物を含む導電層を極薄膜状に形成する工程を用いる。これにより、表面が凹凸化された結晶系基板を用いる場合でも、簡単な工程において、所望の膜厚を有する薄膜のｉ型の非晶質半導体層を均一に形成でき、かつ、非晶質半導体層の最表面にプラズマによるダメージの少ない良質の界面を形成することができる。

【００１４】

【発明の実施の形態】以下、この発明の実施の形態を図面を参照して具体的に説明する。

【００１５】（第１の実施の形態）図１は、この発明の第１の実施の形態による光起電力装置の構成を示す断面図である。図１において、１は、ｎ型の単結晶シリコン（Ｓｉ）基板（抵抗率：５Ωｃｍ以下、厚さ：３００μｍ）である。この単結晶シリコン基板１の表面はアルカリエッチング等の方法により表面が凹凸化されている。凹凸化された単結晶シリコン基板１の受光面には、ｉ型の水素化非晶質シリコン（ａ－Ｓｉ）半導体層２（厚さ：数Å～５００Å、好ましくは数Å～２５０Å）、ｉ型の水素化非晶質シリコン半導体層２の表面部を電気抵抗を低下させる不純物を含むプラズマに曝すことにより、低抵抗化させたｐ型の水素化非晶質シリコン半導体層（プラズマドープ層）３（厚さ：数Å～３００Å、好ましくは数Å～２００Å）、プラズマＣＶＤ法により形成されたｐ型の水素化非晶質シリコン（ａ－Ｓｉ）半導体層４（厚さ：数Å～３００Å、好ましくは数Å～１５０Å）、例えばＩＴＯ（Ｉｎｄｉｕｍ Ｔｉｎ Ｏｘｉｄｅ）の透光性導電膜からなる透明電極５（厚さ：６００Å～１５００Å、好ましくは７００Å～１２００Å）がその順に積層形成されている。更に、透明電極５上には、図示はしていないが、例えば、Ａｇからなる櫛形状の集電極（幅２００μｍ以下、１０μｍ以上）が形成されている。また、単結晶シリコン基板１の背面には、例えば、Ａｌからなる裏面電極６（厚さ：２μｍ以下）が形成されている。

【００１６】次に、図１に示す構成の光起電力装置の製造方法について説明する。まず、アルカリエッチング等の方法により表面に凹凸が形成されたｎ型の単結晶シリコン基板１を洗浄した後、水素プラズマに曝して表面を

SIONYX1403000021.0098

SAMSUNG EX. 1002 - 1938/4148

クリーニングする。次いで、SiH_4ガスを用いたプラズマCVD法により、単結晶シリコン基板1の凹凸化された受光面に、i型の水素化非晶質シリコン半導体層2を約100Åの膜厚で形成する。

【0017】この水素化非晶質シリコン半導体層2が形成された単結晶シリコン基板1を、H_2で希釈されたB_2H_6ガスのプラズマ中に曝す。すると、i型の水素化非晶質シリコン半導体層2の表面からある深さまで電気的抵抗を小さくする不純物であるボロン原子が混入し、i型の水素化非晶質シリコン半導体層2及びp型の水素化非晶質シリコン半導体層3の積層構造が形成される。このとき、非晶質シリコン半導体層3表面は、プラズマによりダメージ層が形成される。

【0018】次に、プラズマダメージを含むp型の水素化非晶質シリコン半導体層3の表面に、透明導電膜との界面特性を向上させるために、SiH_4、B_2H_6とH_2とを含むガスによるプラズマCVD法により、第2のp型の水素化非晶質シリコン半導体層4を約20Å形成する。この際、n型の単結晶シリコン基板1とボロン原子の混入で形成されるp型の水素化非晶質シリコン半導体層3との界面では、その界面特性を良好に維持するために、i型の水素化非晶質シリコン半導体層2をボロンを含まない状態に維持する必要がある。また、第2のp型の非晶質シリコン半導体層4は極薄膜を凹凸表面に均一に形成する必要がある。このような条件を表1に示す。かかる条件によれば、i型の水素化非晶質シリコン半導体層の表面から約50Åの深さまでボロン原子を混入させてp型の水素化非晶質シリコン半導体層とすることができ、単結晶シリコン基板1と水素化非晶質シリコン半導体層が接する部分をi型のまま約50Å維持することができる。また、極薄膜の第2のp型の水素化非晶質シリコン半導体層を凹凸表面に均一に形成することができる。

【0019】

【表1】

	基板温度 (℃)	ガス流量 (sccm)	圧力 (Torr)	RFパワー (mW/cm^2)	処理時間 (min)
i型 a-Si層	150	SiH_4 : 10	0.2	30	
プラズマドープ層	150	B_2H_6 :1.0 H_2 :99	0.2	50～100	2～5
p型 a-Si層	150	SiH_4 : 10 B_2H_6 :0.1 H_2 :9.9	0.2	30	

【0020】次いで、ITOをターゲットとするスパッタ法により、透光性導電膜としての透明電極5を水素化非晶質シリコン半導体層4上に形成する。メタルマスクを用いたAgの蒸着により、櫛形の集電極を透明電極5上にパターン形成する。最後に単結晶シリコン基板1の裏面に、Alからなる裏面電極6を蒸着により形成する。

【0021】なお、i型水素化非晶質シリコン半導体層2を形成する反応室と、p型水素化非晶質シリコン半導体層薄膜4を形成する反応室とを独立させて形成する工程をとる場合には、プラズマドーピングを行う工程をp型水素化非晶質シリコン半導体層薄膜4を形成する反応室で行えばよい。

【0022】上記した実施の形態では、表面が凹凸化された結晶系シリコン基板を用いた場合であっても、最初に比較的厚い膜厚のi型の水素化非晶質シリコン半導体層2を形成し、その後に不純物を混入させて、薄膜のi型の水素化非晶質シリコン半導体層を形成するようにしたので、i型の水素化非晶質シリコン半導体層が形成されないところが無くなる。そして、従来のように透明電極5との界面にプラズマダメージが残った部分が水素化非晶質シリコン半導体層表面上に無くなり、良質な半導体素子を提供することができる。

【0023】（第2の実施形態）上記した第1の実施の形態においては、実質的に電気抵抗を低下させる不純物を含まない非晶質半導体層として、i型の水素化非晶質シリコン半導体層を用いたが、この第2の実施形態では、i型の水素化非晶質シリコン半導体層の替わりに、水素化非晶質シリコンカーバイド（a－SiC）層を用いたものである。水素化非晶質シリコンカーバイドは光学的バンドギャップが広く、炭素（C）を含まない水素化非晶質シリコン半導体層よりも多くの光を単結晶シリコン基板1中に導くことができる。以下の表2にプラズマCVDの条件を示す。なお、他のプロセスは第1の実施形態と同様であるので、ここでは割愛する。

【0024】

【表2】

	基板温度 (℃)	ガス流量 (sccm)	圧力 (Torr)	RFパワー (mW/cm^2)	処理時間 (min)
i型 SiC層	150	SiH_4 : 10 CH_4 :10	0.2	30	
プラズマドープ層	150	B_2H_6 :1.0 H_2 :99	0.2	50～100	2～5
p型 a-Si層	150	SiH_4 : 10 B_2H_6 :0.1 H_2 :9.9	0.2	30	

【0025】（第3の実施形態）第3の実施形態は、上記した第1、2の実施形態において、プラズマCVDプ

SIONYX1403000021.0099

SAMSUNG EX. 1002 - 1939/4148

ロセスにより形成されるp型の水素化非晶質シリコン半導体層4を、水素化非晶質シリコンカーバイド層で構成したものである。水素化非晶質シリコンカーバイド層とすることで、p型非晶質半導体層をワイドバンドギャップ化でき、光の吸収を低下させることができる。その形成条件を以下の表3に示す。

【0026】

【表3】

	基板温度 (℃)	ガス流量 (sccm)	圧力 (Torr)	RFパワー (mW/cm²)	処理時間 (min)
i型 a-SiC層	150	SiH_4:10(CH_4:10)	0.2	30	
プラズマドープ層	150	B_2H_6:1.0 H_2:99	0.2	50～100	2～5
p型 a-SiC層	150	SiH_4:5 CH_4:5 B_2H_6:0.1 H_2:9.9	0.2	30	

【0027】（第4の実施形態）第4の実施形態は、電気抵抗を低下させる不純物を含むプラズマ中にi型の水素化非晶質シリコンカーバイド層が形成された結晶系半導体基板を曝して不純物をi型の水素化非晶質シリコンカーバイド層に拡散させる工程において、プラズマ中にCH_4を導入したものである。かかる方法によるプラズマドーピングを用いることで、不純物導入によるバンドギャップのナローイングを防ぐことができる。その形成条件を表4に示す。

【0028】

【表4】

	基板温度 (℃)	ガス流量 (sccm)	圧力 (Torr)	RFパワー (mW/cm²)	処理時間 (min)
i型 a-SiC層	150	SiH_4:10(CH_4:10)	0.2	30	
プラズマドープ層	150	B_2H_6:1.0 H_2:99 CH_4:10	0.2	50～100	2～5
p型 a-SiC層	150	SiH_4:5 (CH_4:5) B_2H_6:0.1 H_2:9.9	0.2	30	

【0029】（第5の実施形態）この第5の実施形態は、p－n接合のみでなく、n型の結晶系半導体基板とn型の水素化非晶質シリコン半導体層とのhigh－low接合にもこの発明を適用したものである。また、この第5の実施形態は、基板の両面から光が入射される両面入射型光起電力装置である。

【0030】この第5の実施形態につき図2に従い説明する。図2に示す構造について、p－n接合形成の形態は、前記した第1から4の実施の形態と同様であるので、ここでは説明を省略し、high－low接合部分につき説明する。

【0031】凹凸加工が施された単結晶シリコン基板1表面を水素プラズマに曝して表面をクリーニングする。次いで、SiH_4ガスを用いたプラズマCVD法により、単結晶シリコン基板1の凹凸化された裏面側受光面に、i型の水素化非晶質シリコン系半導体層7を約200Åの膜厚で形成する。この水素化非晶質シリコン半導体層7が形成された単結晶シリコン基板1をH_2で希釈されたPH_3ガスのプラズマ中に曝す。すると、i型の水素化非晶質シリコン系半導体層7の表面からある深さまで電気的抵抗を小さくする不純物である燐（P）原子が混入し、i型の水素化非晶質シリコン系半導体層7及びn型の水素化非晶質シリコン系半導体層8の積層構造が形成される。次に、プラズマダメージを含むn型の水素化非晶質シリコン系半導体層8の表面に、裏面電極との界面特性を向上させるために、SiH_4、PH_3とH_2とを含むガスによるプラズマCVD法により、第2のn型の水素化非晶質シリコン系半導体層9を約50Å形成する。この際、n型の単結晶シリコン基板1と燐原子の混入で形成されるn型の水素化非晶質シリコン系半導体層8との界面では、その界面特性を良好に維持するために、i型の水素化非晶質シリコン系半導体層7を燐を含まない状態に維持する必要がある。また、第2のn型の水素化非晶質シリコン系半導体層9は極薄膜を凹凸表面に均一に形成する必要がある。このような条件を表5に示す。かかる条件によれば、i型の水素化非晶質シリコン系半導体層の表面から約100Åの深さまでボロン原子を混入させてn型の水素化非晶質シリコン系半導体層とすることができ、単結晶シリコン基板1と水素化非晶質シリコン系半導体層が接する部分をi型のまま約100Å維持することができる。また、極薄膜の第2のn型の水素化非晶質シリコン系半導体層を凹凸表面に均一に形成することができる。

【0032】

【表5】

SIONYX1403000021.0100

SAMSUNG EX. 1002 - 1940/4148

	基板温度 (℃)	ガス流量 (sccm)	圧力 (Torr)	RFパワー (mW/cm^2)	処理時間 (min)
i型 a-SiC層	150	SiH_4:10 (CH_4:10)	0.2	30	
プラズマドープ層	150	PH_3:2 H_2:98 (CH_4:10)	0.2	50～100	2～5
p型 a-SiC層	150	SiH_4:5 (CH_4:5) PH_3:0.2 H_2:9.8	0.2	30	

【００３３】次いで、ＩＴＯをターゲットとするスパッタ法により、透明導電膜としての透明電極５及び１０を水素化非晶質シリコン半導体層４及び９上にそれぞれ形成する。その後、メタルマスクを用いたＡｇの蒸着により、櫛形の集電極を透明電極５及び１０上にパターン形成する。

【００３４】上記した第５の実施形態においては、水素化非晶質シリコン系半導体として、水素化非晶質シリコンカーバイトを用いているが、水素化非晶質シリコンを用いても同様の効果が得られる。

【００３５】上述したこの発明の光起電力装置では、凹凸加工が施された結晶系基板の表面に均一に薄膜の非晶質半導体層が形成でき、かつ非晶質半導体層と透明電極との界面を良好に保つことができる。

【００３６】次に、以上のようにこの発明の方法を用いて作製された光起電力素子と従来のプラズマドーピングにより形成された光起電力素子との光電変換特性を比較した結果を表６に示す。

【００３７】

【表６】

	Voc (V)	Isc (A)	FF	Pmax (W)
第１の実施の形態	0.656	3.69	0.745	1.80
第２の実施の形態	0.663	3.73	0.740	1.84
第３の実施の形態	0.665	3.78	0.735	1.85
第４の実施の形態	0.664	3.83	0.730	1.86
第５の実施の形態	0.689	3.83	0.740	1.95
従来例１	0.655	3.70	0.715	1.73
従来例２	0.682	3.74	0.725	1.85

【００３８】表６よりこの発明の光起電力素子が、従来に比べて光電変換効率が向上していることが分かる。この理由は、プラズマダメージがあるプラズマドーピング層の表面に、良質の電気抵抗を低下させた水素化非晶質半導体層を極薄膜形成したことにより、水素化非晶半導体層と透明電極との界面特性が向上し、主に曲線因子（Ｆ．Ｆ．）が向上したからである。なお、表６に示す従来例１の構造は、裏面に水素化非晶質シリコン半導体層を形成しないＡｌ電極のみの構造である。また、従来例２の構造は、単結晶シリコン基板の裏面側にもｉ型およびｎ型の水素化非晶質シリコン半導体層を形成した構造である。

【００３９】なお、上記の実施形態の中では、裏面電極層をＡｌの単一材料にて形成した例を示している場合でも、裏面電極での光反射率を向上させるために、ＩＴＯ、ＺｎＯ、SiO_2等の膜と反射率が高いＡｇ、Ａｕ等の膜とを、全域又は一部領域で積層する構成も可能である。

【００４０】また、上記実施形態では、ｎ型の単結晶シリコン基板１を使用したが、これに限るものではなく、ｐ型の単結晶シリコン基板を用い、不純物を含む各水素化非晶質シリコン半導体層の導電型を逆にする場合や、多結晶シリコン基板を用いた場合においても、この発明を適用できることはもちろんである。

【００４１】さらに、上記実施形態は、この発明を光起電力装置に適用した場合につき説明したが、液晶ディスプレイなどに用いる薄膜トランジスタなどのヘテロ接合を有する半導体素子にも適用することができる。

【００４２】

【発明の効果】以上説明したように、この発明では、不純物を含むガスをプラズマ分解し、その雰囲気中に不純物を含まない非晶質半導体層を曝し、不純物を拡散させて、不純物を含まない層と不純物を含む層とを非晶質半導体層中に形成し、プラズマダメージを含むプラズマドープ層上に不純物を含む良質な非晶質半導体層を極薄膜状に形成することにより、表面が凹凸化された結晶系シリコン基板についても各水素化非晶質シリコン半導体層を均一に形成でき、且つ、非晶質半導体層と電極との界面特性を良好に保つことができるため、高効率な半導体素子を安価に製造できる。

【図面の簡単な説明】

【図１】この発明の実施の形態による光起電力装置の構成を示す断面図である。

【図２】この発明の異なる実施の形態による光起電力装置の構成を示す断面図である。

【符号の説明】

１　ｎ型単結晶シリコン基板１

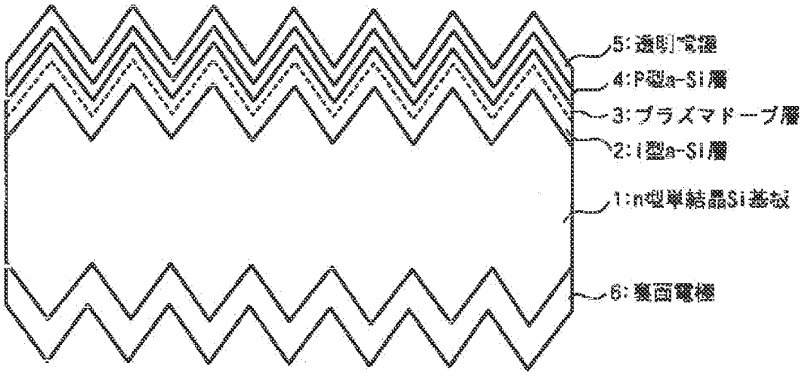
２　ｉ型水素化非晶質シリコン半導体層

SIONYX1403000021.0101

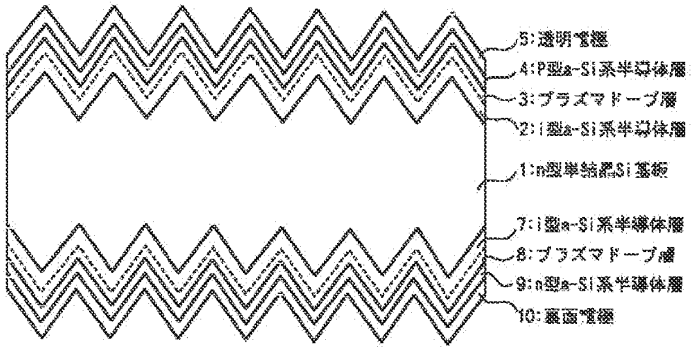
SAMSUNG EX. 1002 - 1941/4148

3　p型水素化非晶質シリコン半導体層（プラズマドーピング層）
4　p型水素化非晶質シリコン半導体層
5　透明電極
6　裏面電極

【図１】



【図２】



フロントページの続き

Fターム(参考)　2H092 HA04 JA24 KA03 KA05 KA10
MA07 MA08 MA27 MA37
5F045 AA08 AB04 AB06 AC01 AD05
AE19 AF03 AF12 BB08 BB16
CA13 CA15 DA52 DA66 EB13
HA02 HA20
5F051 AA05 AA16 CA02 CA03 CA05
CA15 DA03 DA04 FA04 FA06
GA04 GA15
5F110 AA30 BB01 GG01 GG02 GG07
GG13 GG15 GG20 GG22 GG25
GG36 GG45 GG55 HK08 HK09
HK16 HK21 HK25 HK35 HK39

SAMSUNG EX. 1002 - 1942/4148

Espacenet

Bibliographic data: JP2001339057 (A) — 2001-12-07

METHOD OF MANUFACTURING THREE-DIMENSIONAL IMAGE PROCESSOR

No documents available for this priority number.

Inventor(s): KOYANAGI MITSUMASA; OKANO TAISUKE; MIYAGAWA NOBUAKI ± (KOYANAGI MITSUMASA, ; OKANO TAISUKE, ; MIYAGAWA NOBUAKI)

Applicant(s): KOYANAGI MITSUMASA; FUJI XEROX CO LTD ± (KOYANAGI MITSUMASA, ; FUJI XEROX CO LTD)

Classification: - international: ***G06T1/00; H01L21/3205; H01L21/768; H01L21/8238; H01L23/52; H01L27/00; H01L27/092; H01L27/14; H01L27/146; H01L29/786; H04N5/335; H04N5/369; H04N5/374;*** *H01L31/0232;* (IPC1-7): G06T1/00; H01L21/3205; H01L21/768; H01L21/8238; H01L27/00; H01L27/092; H01L27/14; H01L27/146; H01L29/786; H04N5/335

- cooperative: **H01L27/14609**; **H01L27/14627**; **H01L27/14634**; **H01L27/14683**; H01L31/0232

Application number: JP20000160330 20000530

Priority number(s): JP20000160330 20000530

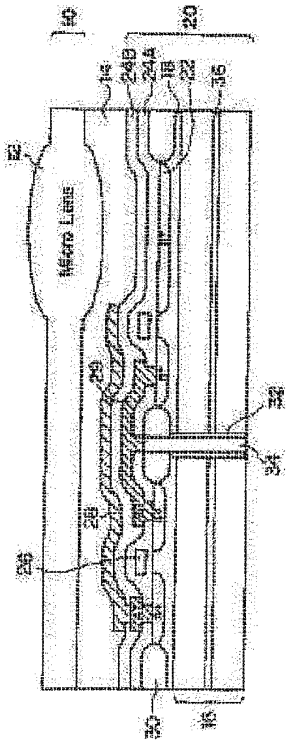
Also published as: JP3713418 (B2)

Abstract of JP2001339057 (A)

SIONYX1403000021.0103

SAMSUNG EX. 1002 - 1943/4148

PROBLEM TO BE SOLVED: To provide a manufacturing method for a three-dimensional image processor which can sharply simplify the manufacture process due to needlessness of mounting and removal process of a supporting board, can manufacture a three-dimensional image processor by simple and easy process, and can form embedded wiring surrounded by a highly reliable insulating film.; SOLUTION: A transparent substrate 10 made of quartz glass, where many microlenses 12 are made two-dimensionally, is bonded to a photoelectric transfer substrate 20 where a photodiode and a MOS transistor are made on an n-type silicon crystalline substrate 16 wherein an insulating layer 36 consisting of silicon diode is inserted, through an adhesive 14 consisting of high polymer material such as epoxy resin, polyimide resin, or the like, so that the main face of the photoelectric transfer substrate 20 and the rear of the transparent substrate 10 may oppose to each other.



Last updated: 23.09.2013 Worldwide Database 5.8.11.4; 92p

SIONYX1403000021.0104

SAMSUNG EX. 1002 - 1944/4148

(19)日本国特許庁（ＪＰ）　(12)**公開特許公報（Ａ）**　(11)特許出願公開番号
特開2001－339057
（P2001－339057A）
(43)公開日　平成13年12月７日(2001.12.7)

(51)Int.Cl.[7]	識別記号	ＦＩ		テーマコード（参考）
Ｈ０１Ｌ　27/146		Ｇ０６Ｔ　1/00	４２０Ａ	４Ｍ１１８
Ｇ０６Ｔ　1/00	４２０	Ｈ０１Ｌ　27/00	３０１Ｂ	５Ｂ０４７
Ｈ０１Ｌ　21/3205		Ｈ０４Ｎ　5/335	Ｕ	５Ｃ０２４
21/768		Ｈ０１Ｌ　27/14	Ｆ	５Ｆ０３３
27/00	３０１	21/88	Ｊ	５Ｆ０４８

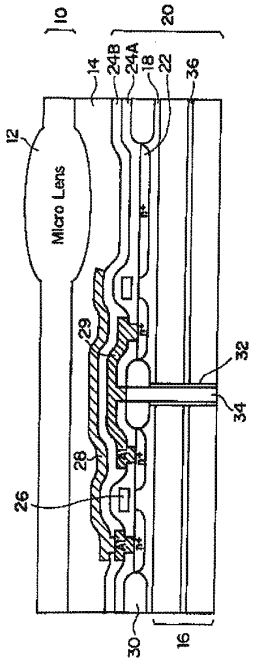
審査請求　未請求　請求項の数５　ＯＬ　（全９頁）　最終頁に続く

(21)出願番号　特願2000－160330(P2000－160330)
(22)出願日　平成12年５月30日(2000.5.30)

(71)出願人　591272974
小柳　光正
宮城県名取市ゆりが丘１－22－５
(71)出願人　000005496
富士ゼロックス株式会社
東京都港区赤坂二丁目17番22号
(72)発明者　小柳　光正
宮城県名取市ゆりが丘１－22－５
(72)発明者　岡野　泰典
神奈川県足柄上郡中井町境430　グリーン
テクなかい　富士ゼロックス株式会社内
(74)代理人　100079049
弁理士　中島　淳　（外３名）
最終頁に続く

(54)【発明の名称】　３次元画像処理装置の製造方法

(57)【要約】
【課題】支持基板の着脱工程が不要で製造工程を大幅に簡略化することができ、簡素かつ容易な工程により３次元画像処理装置を製造することができる３次元画像処理装置の製造方法を提供する。また、信頼性の高い絶縁膜で囲まれた埋め込み配線を形成することができる３次元画像処理装置の製造方法を提供する。
【解決手段】内部に二酸化ケイ素からなる絶縁層３６が挿入されたｎ型シリコン結晶基板１６上に、フォトダイオードとＭＯＳトランジスタとが形成された光電変換基板２０に、多数のマイクロレンズ１２が２次元状に形成された石英ガラス製の透明基板１０を、光電変換基板２０の主面と透明基板１０の裏面とが対向するように、エポキシ樹脂やポリイミド樹脂等の高分子材料からなる接着剤１４を介して接着する。



SIONYX1403000021.0105

SAMSUNG EX. 1002 - 1945/4148

【特許請求の範囲】
【請求項１】光を集光するレンズを備えた透明基板と、主面に光電変換素子が形成されると共に該光電変換素子に電気的に接続された埋め込み配線が形成された光電変換基板とを、透明基板の裏面と光電変換基板の主面とが対向するように接着して、３次元画像処理装置を製造する３次元画像処理装置の製造方法。
【請求項２】前記光電変換基板の裏面側を研磨して前記埋め込み配線を露出させ、
該光電変換基板の裏面に、主面に増幅器及びアナログ／デジタル変換器が形成されると共に該増幅器及びアナログ／デジタル変換器に電気的に接続された埋め込み配線が形成された増幅変換基板を、該増幅器及びアナログ／デジタル変換器が前記埋め込み配線の露出部に電気的に接続されるように接着して、３次元画像処理装置を製造する請求項１に記載の３次元画像処理装置の製造方法。
【請求項３】前記増幅変換基板の裏面側を研磨して前記埋め込み配線を露出させ、
該増幅変換基板の裏面に、主面にデータ記憶装置が形成されると共に該データ記憶装置に電気的に接続された埋め込み配線が形成されたデータ記憶基板を、該データ記憶装置が前記埋め込み配線の露出部に電気的に接続されるように接着して、３次元画像処理装置を製造する請求項２に記載の３次元画像処理装置の製造方法。
【請求項４】前記データ記憶基板の裏面側を研磨して前記埋め込み配線を露出させ、
該データ記憶基板の裏面に、主面にデータ処理装置が形成されると共に該データ処理装置に電気的に接続された埋め込み配線が形成されたデータ処理基板を、該データ処理装置が前記埋め込み配線の露出部に電気的に接続されるように接着して、３次元画像処理装置を製造する請求項３に記載の３次元画像処理装置の製造方法。
【請求項５】前記データ処理基板の裏面側を研磨して前記埋め込み配線を露出させ、
該データ処理基板の裏面に、主面に出力回路が形成されると共に該出力回路に電気的に接続された埋め込み配線が形成された出力回路基板を、該出力回路が前記埋め込み配線の露出部に電気的に接続されるように接着して、３次元画像処理装置を製造する請求項４に記載の３次元画像処理装置の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は、３次元画像処理装置の製造方法に関する。
【０００２】
【従来の技術】近年、半導体集積回路装置の高集積化・高密度化等の目的から、複数の回路機能ブロックを立体的に集積した３次元半導体集積回路装置の開発が進められている。特に、イメージセンサとその信号を処理するための信号処理回路を一体化した３次元画像処理装置（インテリジェントイメージプロセッサ）は、光センサから得られる画像データを並列に高速処理し、高画質画像をリアルタイムで得ることが可能になることから、多くの期待が寄せられている。
【０００３】これら３次元半導体集積回路装置は、当初はレーザ再結晶化等によるＳＯＩ（Silicon On Insulator）技術を利用してＳＯＩ基板形成とＳＯＩ基板への半導体装置の形成を繰り返すモノリシック法によりその製造が検討されてきたが、ＳＯＩを多層に積層するには、結晶性の確保が難しい、製造時間が長い等の問題があった。
【０００４】このため、半導体装置または半導体集積回路装置が予め作製された単結晶半導体基板同士を貼り合わせる貼り合わせ技術による３次元半導体集積回路装置の製造方法が種々検討されている。
【０００５】月刊セミコンダクターワールド（林善宏等、１９９０年９月号ｐ５８～６４）には、貼り合わせ技術の一種として、研磨により薄膜化した半導体基板を貼り合わせるＣＵＢＩＣ技術が提案されている。ＣＵＢＩＣ技術では、まずシリコン基板上に半導体素子が形成された第１の半導体基板を支持基板に接着した後、余分なシリコン基板をポリッシングして薄膜化する。次に、埋め込み配線、裏面配線、バンプ／プールからなるコンタクト部材等のデバイスの縦方向の接続に必要な配線を形成し、第１の半導体基板とシリコン基板上に半導体素子の形成された第２の半導体基板とを貼り合わせる。そして最後に支持基板を取り外して多層構造の半導体装置が完成する。
【０００６】また、特開平６－２６０５９４号公報には、貼り合わせ技術による３次元半導体集積回路装置の製造方法が開示されている。この方法は、シリコン基板上に半導体素子が形成された第１の半導体基板を支持基板に接着した後、余分なシリコン基板をポリッシングして薄膜化する点はＣＵＢＩＣ技術と共通しているが、第１の半導体基板に予め埋め込み配線を形成するための深溝が設けられている点、及び第１の半導体基板とシリコン基板上に半導体素子の形成された第２の半導体基板とを貼り合わせ、貼り合わせ後に支持基板を取り除き埋め込み配線を形成する点で、ＣＵＢＩＣ技術とは異なっている。
【０００７】
【発明が解決しようとする課題】しかしながら、いずれの製造方法も、第１の半導体基板を支持基板に貼り合わせ、研磨した後に支持基板から第１の半導体基板を剥離する工程を含んでおり、製造工程が煩雑であるという問題があった。特に、３次元画像処理装置を製造する場合には、支持基板を取り除いた後にその表面にイメージセンサを構成するマイクロレンズを備えた透明基板を設ける必要があるため、なおさら製造工程が煩雑になる。
【０００８】また、ＣＵＢＩＣ技術では、余分なシリコ

SAMSUNG EX. 1002 - 1946/4148

ン基板をポリッシングして薄膜化した後に支持基板を取り除くため、支持基板を取り除く際に半導体基板上に形成された集積回路が破損するという問題があった。

【０００９】また、特開平６－２６０５９４号公報に記載された方法では、埋め込み配線を形成するための深溝が予め設けられた第１の半導体基板を支持基板に接着するため、深溝に入り込んだ接着剤の除去が困難であるという問題や、第１の半導体基板と第２の半導体基板とを接着した後に深溝の側壁を酸化して絶縁膜を形成するため、接着剤の耐熱温度以上に酸化温度を上げることができず、信頼性のある絶縁膜を形成することができないという問題があった。

【００１０】本発明は上記従来技術の問題点に鑑みなされたものであり、本発明の目的は、支持基板の着脱工程が不要で製造工程を大幅に簡略化することができ、簡素かつ容易な工程により３次元画像処理装置を製造することができる３次元画像処理装置の製造方法を提供することにある。また、本発明の他の目的は、信頼性の高い絶縁膜で囲まれた埋め込み配線を形成することができる３次元画像処理装置の製造方法を提供することにある。

【００１１】

【課題を解決するための手段】上記目的を達成するために、請求項１に記載の３次元画像処理装置の製造方法は、光を集光するレンズを備えた透明基板と、主面に光電変換素子が形成されると共に該光電変換素子に電気的に接続された埋め込み配線が形成された光電変換基板とを、透明基板の裏面と光電変換基板の主面とが対向するように接着して、３次元画像処理装置を製造することを特徴とする。

【００１２】請求項１の発明では、支持基板等を用いることなく、光を集光するレンズを備えた透明基板と、主面に光電変換素子が形成されると共に該光電変換素子に電気的に接続された埋め込み配線が形成された光電変換基板とを、透明基板の裏面と光電変換基板の主面とが対向するように接着するため、透明基板をそのままイメージセンサの透明基板として使用することができ、支持基板への接着工程、支持基板からの除去工程、及び透明基板の形成工程が不要であり、３次元画像処理装置の製造工程を大幅に簡略化することができる。また、光電変換基板に埋め込み配線を形成した後に透明基板と貼り合わせるため、信頼性の高い絶縁膜で囲まれた埋め込み配線を形成することができる。

【００１３】請求項２に記載の３次元画像処理装置の製造方法は、請求項１の発明において、前記光電変換基板の裏面側を研磨して前記埋め込み配線を露出させ、該光電変換基板の裏面に、主面に増幅器及びアナログ／デジタル変換器が形成されると共に該増幅器及びアナログ／デジタル変換器に電気的に接続された埋め込み配線が形成された増幅変換基板を、該増幅器及びアナログ／デジタル変換器が前記埋め込み配線の露出部に電気的に接続されるように接着して、３次元画像処理装置を製造することを特徴とする。

【００１４】請求項２の発明によれば、透明基板及び光電変換基板からなるイメージセンサ部に、研磨及び接着という簡素かつ容易な工程により、増幅器及びアナログ／デジタル変換器に電気的に接続された埋め込み配線が形成された増幅変換基板を積層した３次元画像処理装置を製造することができる。

【００１５】請求項３に記載の３次元画像処理装置の製造方法は、請求項２の発明において、前記増幅変換基板の裏面側を研磨して前記埋め込み配線を露出させ、該増幅変換基板の裏面に、主面にデータ記憶装置が形成されると共に該データ記憶装置に電気的に接続された埋め込み配線が形成されたデータ記憶基板を、該データ記憶装置が前記埋め込み配線の露出部に電気的に接続されるように接着して、３次元画像処理装置を製造することを特徴とする。

【００１６】請求項３の発明によれば、透明基板及び光電変換基板からなるイメージセンサ部に研磨と接着とにより増幅変換基板が形成された積層体に、研磨及び接着という簡素かつ容易な工程により、主面に記憶装置が形成されると共にデータ記憶装置に電気的に接続された埋め込み配線が形成されたデータ記憶基板を積層した３次元画像処理装置を製造することができる。

【００１７】請求項４に記載の３次元画像処理装置の製造方法は、請求項２の発明において、前記データ記憶基板の裏面側を研磨して前記埋め込み配線を露出させ、該データ記憶基板の裏面に、主面にデータ処理装置が形成されると共に該データ処理装置に電気的に接続された埋め込み配線が形成されたデータ処理基板を、該データ処理装置が前記埋め込み配線の露出部に電気的に接続されるように接着して、３次元画像処理装置を製造することを特徴とする。

【００１８】請求項４の発明によれば、透明基板及び光電変換基板からなるイメージセンサ部に研磨と接着とにより増幅変換基板及びデータ記憶基板が形成された積層体に、研磨及び接着という簡素かつ容易な工程により、主面にデータ処理装置が形成されると共に該データ処理装置に電気的に接続された埋め込み配線が形成されたデータ処理基板を積層した３次元画像処理装置を製造することができる。

【００１９】請求項５に記載の３次元画像処理装置の製造方法は、請求項４の発明において、前記データ処理基板の裏面側を研磨して前記埋め込み配線を露出させ、該データ処理基板の裏面に、主面に出力回路が形成されると共に該出力回路に電気的に接続された埋め込み配線が形成された出力回路基板を、該出力回路が前記埋め込み配線の露出部に電気的に接続されるように接着して、３次元画像処理装置を製造することを特徴とする。

【００２０】請求項５の発明によれば、透明基板及び光

SAMSUNG EX. 1002 - 1947/4148

電変換基板からなるイメージセンサ部に研磨と接着とにより増幅変換基板、データ記憶基板、及びデータ処理装置が形成された積層体に、研磨及び接着という簡素かつ容易な工程により、主面に出力回路が形成されると共に該出力回路に電気的に接続された埋め込み配線が形成された出力回路基板を積層した３次元画像処理装置を製造することができる。

【００２１】

【発明の実施の形態】以下、本発明の３次元画像処理装置の製造方法を、図面を参照しつつ具体的に説明する。図１～図５は、本発明の３次元画像処理装置の製造方法の各工程を示す断面図である。

【００２２】まず、図１に示すように、光電変換基板２０に、多数のマイクロレンズ１２が２次元状に形成された石英ガラス製の透明基板１０を、光電変換基板２０の主面と透明基板１０の裏面とが対向するように、エポキシ樹脂やポリイミド樹脂等の高分子材料からなる接着剤１４を介して接着する。

【００２３】上記で用いる光電変換基板２０は、内部に二酸化ケイ素からなる絶縁層３６が挿入されたｎ型シリコン結晶基板１６上に、フォトダイオードとＭＯＳトランジスタとを形成したものである。フォトダイオードは、光電変換基板２０のｎ型シリコン結晶基板１６上にｐ型不純物層１８を形成し、ｐ型不純物層１８表層のマイクロレンズ１２の焦点位置に対応する領域にｎ型不純物層２２を設けることにより形成されている。また、ＭＯＳトランジスタは、ｐ型不純物層１８表層の撮像領域以外の部分にソース及びドレインとなるｎ型不純物層２２を設け、このｎ型不純物層２２間のｐ型不純物層１８上に絶縁膜２４Ａにより相互に絶縁されたポリシリコンからなるゲート電極２６を設けることにより形成されている。なお、隣接するＭＯＳトランジスタは二酸化ケイ素からなる素子分離膜３０で分離されている。

【００２４】また、光電変換基板２０には、素子分離膜３０を貫通し光電変換基板２０の裏面に達するトレンチ（深溝）が設けられている。なお、このようなトレンチは誘導結合型プラズマエッチング等により形成することができる。このトレンチの内表面に絶縁膜３２が形成され、トレンチ内に導電材料が充填されて埋め込み配線３４が形成されている。埋め込み配線３４を形成する導電材料としては、例えば不純物をドープした低抵抗多結晶シリコンやタングステン等の低抵抗の金属が使用される。

【００２５】ＭＯＳトランジスタのソースとなるｎ型不純物層２２は、例えばアルミニウムからなるソース電極２８に接続されおり、ドレインとなるｎ型不純物層２２は、絶縁膜２４Ｂによりソース電極２８と絶縁された例えばアルミニウムからなるドレイン電極２９に接続されている。このドレイン電極２９は埋め込み配線３４に接続されており、ゲート電極２６に所定電圧を印加することによりｎ型チャネル２２及びｐ型不純物層１８からなるフォトダイオードに蓄積された電荷はこの埋め込み配線３４を介して後述する増幅器へと転送される。

【００２６】次に、図２に示すように、透明基板１０に接着された光電変換基板２０を、化学的機械研磨により裏面側から研磨して薄膜化する。ｎ型シリコン結晶基板１６に挿入された絶縁層３６を構成する二酸化ケイ素はシリコンよりも研磨耐性が大きいため、研磨は絶縁層３６の手前で止まり、埋め込み配線３４が絶縁層３６から露出される。このとき透明基板１０が支持基板の役割を果たすが、当初からマイクロレンズ１２を一体化して形成した石英ガラス製の透明基板を用いているので後で取り外す必要はない。

【００２７】以上の工程により、光を集光するレンズを備えた透明基板１０、及び光電変換基板２０を備えたイメージセンサ部が完成する。

【００２８】次に、図３に示すように、光電変換基板２０の裏面に、光電変換基板２０からの信号を増幅すると共に増幅されたアナログ信号をデジタル信号に変換する増幅変換基板４０を接着する。この増幅変換基板４０は、内部に二酸化ケイ素からなる絶縁層３６Ａが挿入されたシリコン基板３８Ａ上に、絶縁膜４２Ａにより絶縁されたゲート４４Ａ、ソース４６Ａ、及びドレイン４８Ａからなる複数のＭＯＳＦＥＴ５０Ａ（本実施の形態では２つのＭＯＳＦＥＴを図示する）を形成したものである。これら隣接するＭＯＳＦＥＴ５０Ａは、二酸化ケイ素からなる素子分離膜５２Ａにより分離されている。

【００２９】また、増幅変換基板４０には、この素子分離膜５２Ａを貫通し増幅変換基板４０の裏面側表面から回路面に達するトレンチが設けられている。このトレンチの内表面に絶縁膜５４Ａが形成され、トレンチ内に導電材料が充填されて埋め込み配線５６Ａが形成されている。埋め込み配線５６Ａを形成する導電材料としては、例えば不純物をドープした低抵抗多結晶シリコンやタングステン等の低抵抗の金属が使用される。この埋め込み配線５６Ａの回路面側の端部にはアルミニウム配線５８Ａが直接接続されている。これにより増幅器（アンプ）及びアナログ／デジタル変換器（ＡＤＣ）を含む集積回路が構成されている。形成された集積回路は二酸化ケイ素からなる絶縁膜６０Ａにより被覆され、増幅変換基板４０の集積回路側の表面が平坦化されている。また、この絶縁膜６０Ａに設けられた開口からアルミニウム配線５８Ａが引き出され、絶縁膜６０Ａの表面に露出されている。

【００３０】上記光電変換基板２０の裏面側の表面に、絶縁層３６の表面から露出した埋め込み配線３４の端部に接触するようにマイクロバンプ６２を形成する。一方、増幅変換基板４０の集積回路側の表面にも、絶縁膜６０Ａの表面に露出したアルミニウム配線５８Ａの端部に接触するようにマイクロバンプ６４を形成する。マイ

SAMSUNG EX. 1002 - 1948/4148

クロバンプは、レジストマスクを用いたリフトオフ等により形成することができ、マイクロバンプの材料としては例えば金とインジウムとの合金またはインジウムを用いることができる。

【００３１】光電変換基板２０の裏面側の表面に設けられたマイクロバンプ６２と、増幅変換基板４０の集積回路面側の表面に設けられたマイクロバンプ６４とが電気的に接続されるように、増幅変換基板４０上に光電変換基板２０を重ね合わせて仮接着する。なお、光電変換基板２０と増幅変換基板４０との位置合わせは、例えばシリコンウエハを透過する赤外線を用いた位置合わせ装置により行うことができる。

【００３２】仮接着した光電変換基板２０と増幅変換基板４０とを、液状のエポキシ樹脂を保持した容器と共に気圧調整が可能なチャンバーに入れてチャンバー内を真空にし、仮接着した光電変換基板２０と増幅変換基板４０とを液状のエポキシ樹脂にディップして常圧に戻し基板間の隙間にエポキシ樹脂６６を注入する。その後基板を引き上げエポキシ樹脂６６を硬化させて、増幅変換基板４０と光電変換基板２０との接着が完了する。

【００３３】次に、図４に示すように、増幅変換基板４０を裏面側から化学的機械研磨により均一な厚さに研磨して薄膜化する。絶縁層３６Ａを構成するニ酸化ケイ素はシリコンよりも研磨耐性が大きいため、研磨は絶縁層３６Ａの手前で止まり、絶縁層３６Ａよりも深い位置まで形成されている埋め込み配線５６Ａが絶縁層３６Ａから露出される。

【００３４】次に、図５に示すように、光電変換基板２０に接着された増幅変換基板４０の裏面に、一時的にデータを記憶するデータ記憶装置（レジスタアレイ）を備えたデータ記憶基板７０を接着する。ここで用いるデータ記憶基板７０は、増幅変換基板４０と同様に、内部にニ酸化ケイ素からなる絶縁層３６Ｂが挿入されたシリコン基板３８Ｂ上に、絶縁膜４２Ｂにより絶縁されたゲート４４Ｂ、ソース４６Ｂ、及びドレイン４８Ｂからなる複数のＭＯＳＦＥＴ５０Ｂ（本実施の形態では２つのＭＯＳＦＥＴを図示する）を形成したものであり、隣接するＭＯＳＦＥＴ５０Ｂは、ニ酸化ケイ素からなる素子分離膜５２Ｂにより分離されている。

【００３５】また、データ記憶基板７０には、この素子分離膜５２Ｂを貫通しデータ記憶基板７０の裏面側表面から回路面に達するトレンチが設けられている。このトレンチの内表面に絶縁膜５４Ｂが形成され、トレンチ内に導電材料が充填されて埋め込み配線５６Ｂが形成されている。埋め込み配線５６Ｂを形成する導電材料としては、例えば不純物をドープした低抵抗多結晶シリコンやタングステン等の低抵抗の金属が使用される。埋め込み配線５６Ｂの回路面側の端部にはアルミニウム配線５８Ｂが直接接続されている。これによりデータ記憶装置を含む集積回路が構成されている。形成された集積回路は、ニ酸化ケイ素からなる絶縁膜６０Ｂにより被覆され、データ記憶基板７０の集積回路側の表面が平坦化されている。この絶縁膜６０Ｂに設けられた開口からアルミニウム配線５８Ｂが引き出されて、絶縁膜６０Ｂの表面に露出されている。

【００３６】上記増幅変換基板４０の裏面側の表面に、絶縁層３６Ａの表面から露出した埋め込み配線５６Ａの端部に接触するようにマイクロバンプ７１を形成する。一方、データ記憶基板７０の集積回路側の表面にも、絶縁膜６０Ｂの表面に露出したアルミニウム配線５８Ｂの端部に接触するようにマイクロバンプ７２を形成する。そして増幅変換基板４０の裏面側の表面に設けられたマイクロバンプ７１と、データ記憶基板７０の集積回路側の表面に設けられたマイクロバンプ７２とが電気的に接続されるようにデータ記憶基板７０上に増幅変換基板４０を重ね合わせて仮接着し、光電変換基板２０及び増幅変換基板４０を接着する場合と同様にして、増幅変換基板４０とデータ記憶基板７０とをエポキシ樹脂７４により接着する。

【００３７】次に、図６に示すように、データ記憶基板７０の裏面に、データ処理基板８０、出力回路基板９０、及び出力端子部１００を順に形成する。上記増幅変換基板４０やデータ記憶基板７０の形成工程と同様にして、増幅変換基板４０に接着されたデータ記憶基板７０を裏面側から研磨し、データ記憶基板７０の裏面に、データ処理装置（プロセッサアレイ）を備え埋め込み配線８２の形成されたデータ処理基板８０を、両基板に設けられた集積回路が埋め込み配線８２により電気的に接続されるように接着する。さらに、このデータ処理基板８０を裏面側から研磨した後に、データ処理基板８０の裏面に埋め込み配線９２の形成された出力回路基板９０を、両基板に設けられた集積回路が埋め込み配線９２により電気的に接続されるように接着する。そして出力回路基板９０を裏面側から研磨して、出力回路基板９０裏面の絶縁膜から埋め込み配線９２の端部を露出させ、露出した埋め込み配線９２の端部に接触するようにマイクロバンプ９３を形成する。

【００３８】そして最後に出力回路基板９０の裏面に出力端子部１００を形成する。出力端子部１００はシリコン基板１０２にこのシリコン基板１０２を貫通し基板両面側に露出した埋め込み配線１０４が形成されたものである。埋め込み配線１０４を形成する導電材料としては、例えば銅、タングステン、金等の低抵抗の金属が使用される。この出力端子部１００の入力側の表面に、出力端子部１００の絶縁層の表面から露出した埋め込み配線１０４の一方の端部に接触するようにマイクロバンプ９４を形成する。そして出力回路基板９０の裏面側の表面に設けられたマイクロバンプ９３と出力端子部１００の入力側の表面に設けられたマイクロバンプ９４とが接触し、出力回路基板９０に設けられた集積回路が出力端

SAMSUNG EX. 1002 - 1949/4148

子部１００の出力端子に電気的に接続されるように両基板を接着する。そして上記出力端子部１００の出力側の表面には、埋め込み配線１０４の他方の端部に接触するようにマイクロバンプ１０６を形成する。マイクロバンプ１０６は、例えば金やインジウムまたはそれらの合金から形成することができる。また、はんだバンプとしてもよい。

【００３９】以上の工程により、光を集光するレンズを備えた透明基板１０及び光電変換基板２０からなるイメージセンサ部と、そのイメージセンサ部からの信号を処理するための処理部（増幅変換基板４０、データ記憶基板７０、データ処理基板８０及び出力回路基板９０）とを一体化した図６に示す３次元画像処理装置を得ることができる。

【００４０】本実施の形態では、多数のマイクロレンズが２次元状に形成された石英ガラス製の透明基板に光電変換基板を直接接着するので、支持基板を別途用意する必要がなく支持基板の着脱工程が不要となる。これにより製造工程を大幅に簡略化することができ、簡素かつ容易な工程により３次元画像処理装置を製造することができる。また、各集積回路基板の埋め込み配線は貼り合わせ前に形成されるので、信頼性の高い絶縁膜で囲まれた埋め込み配線を形成することができる。

【００４１】上記実施の形態では、集積回路を形成するための各半導体基板に二酸化ケイ素からなる絶縁層が内部に形成されたシリコン基板を使用したが、二酸化ケイ素からなる絶縁層を含まないシリコン基板を使用してもよい。

【００４２】上記実施の形態では、埋め込み配線の両端部にマイクロバンプを形成し、マイクロバンプ同士を接触させて隣接する基板を電気的に接続する例について説明したが、埋め込み配線の一方の端部にのみマイクロバンプを形成して隣接する基板を電気的に接続するようにしても良い。

【００４３】上記実施の形態では、集光レンズを備えた透明基板及び光電変換基板からなるイメージセンサ部に、そのイメージセンサ部からの信号を処理するための増幅変換基板、データ記憶基板、データ処理基板、及び出力回路基板の各処理部を研磨及び貼合せを繰り返すことにより形成する例について説明したが、イメージセンサ部を構成する光電変換基板を裏面側から研磨して埋め込み配線を露出させた後、配線により光電変換基板を増幅変換基板と電気的に接続することもできる。

【００４４】また、上記実施の形態と同様にしてイメージセンサ部に研磨及び貼合せにより増幅変換基板を形成し、増幅変換基板を裏面側から研磨して埋め込み配線を露出させた後、配線により増幅変換基板をデータ記憶基板と電気的に接続することもできる。また、上記実施の形態と同様にしてイメージセンサ部に研磨及び貼合せにより増幅変換基板及びデータ記憶基板を形成し、データ記憶基板を裏面側から研磨して埋め込み配線を露出させた後、配線によりデータ記憶基板をデータ処理基板と電気的に接続することもできる。また、上記実施の形態と同様にしてイメージセンサ部に研磨及び貼合せにより増幅変換基板、データ記憶基板、及びデータ処理基板を形成し、データ処理基板を裏面側から研磨して埋め込み配線を露出させた後、配線によりデータ処理基板を出力回路基板と電気的に接続することもできる。

【００４５】なお、上記実施の形態において使用するシリコン基板は、ウエハスケールでもチップスケールでもよい。

【００４６】

【発明の効果】本発明の３次元画像処理装置の製造方法は、支持基板の着脱工程が不要で、製造工程を大幅に簡略化することができ、簡素かつ容易な工程により３次元画像処理装置を製造することができる、という効果を奏する。また、本発明の３次元画像処理装置の製造方法は、信頼性の高い絶縁膜で囲まれた埋め込み配線を形成することができる、という効果を奏する。

【図面の簡単な説明】

【図１】本実施の形態の３次元画像形成装置の製造工程を示す概略断面図である。

【図２】本実施の形態の３次元画像形成装置の製造工程を示す概略断面図である。

【図３】本実施の形態の３次元画像形成装置の製造工程を示す概略断面図である。

【図４】本実施の形態の３次元画像形成装置の製造工程を示す概略断面図である。

【図５】本実施の形態の３次元画像形成装置の製造工程を示す概略断面図である。

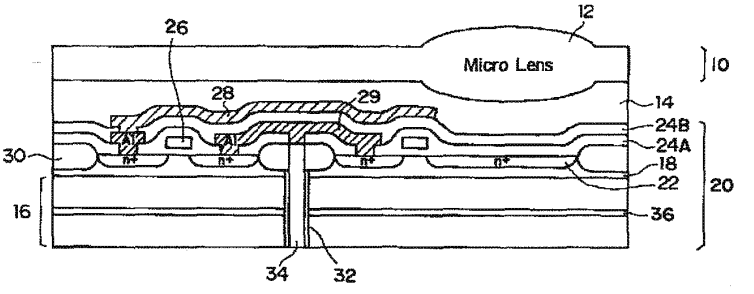
【図６】本実施の形態の３次元画像形成装置の構造を示す概略断面図である。

【符号の説明】

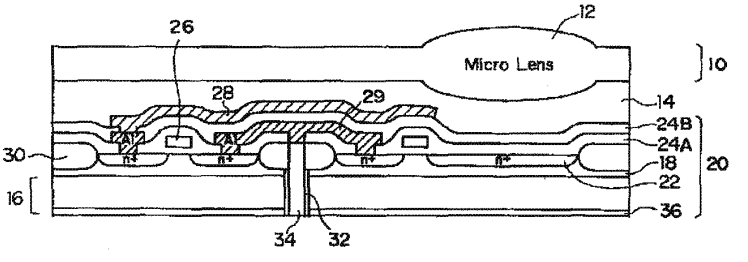
１０　透明基板
１２　マイクロレンズ
１６　ｎ型シリコン結晶基板
１８　ｐ型不純物層
２０　光電変換基板
２２　ｎ型不純物層
２６　ゲート電極
２８　電極
３４　埋め込み配線
４０　増幅変換基板
７０　データ記憶基板
８０　データ処理基板
９０　出力回路基板
１００　出力端子部

SAMSUNG EX. 1002 - 1950/4148

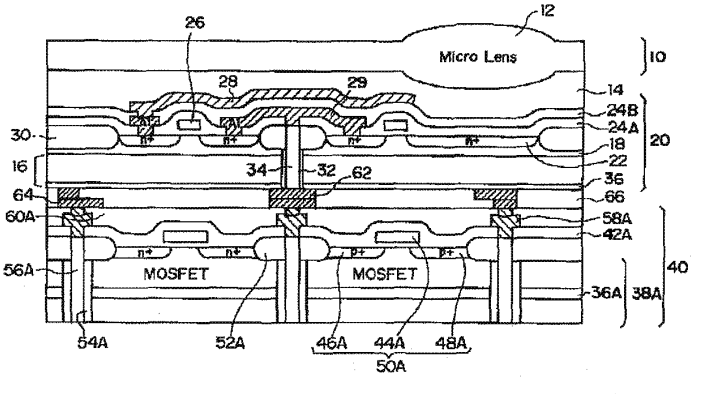
【図1】


12
26
Micro Lens
10
28
29
14
24B
24A
30
18
22
20
16
36
34
32

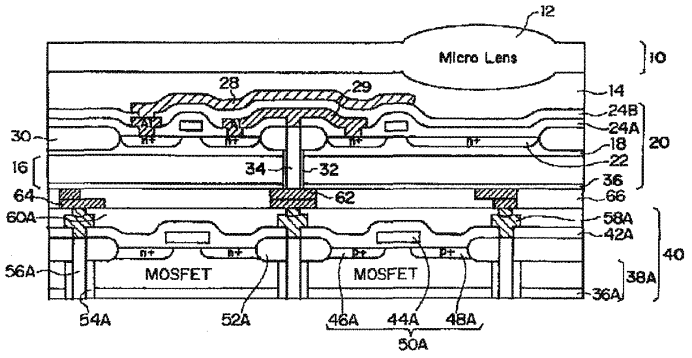
【図2】


12
26
Micro Lens
10
28
29
14
24B
24A
30
18
20
22
16
36
34
32

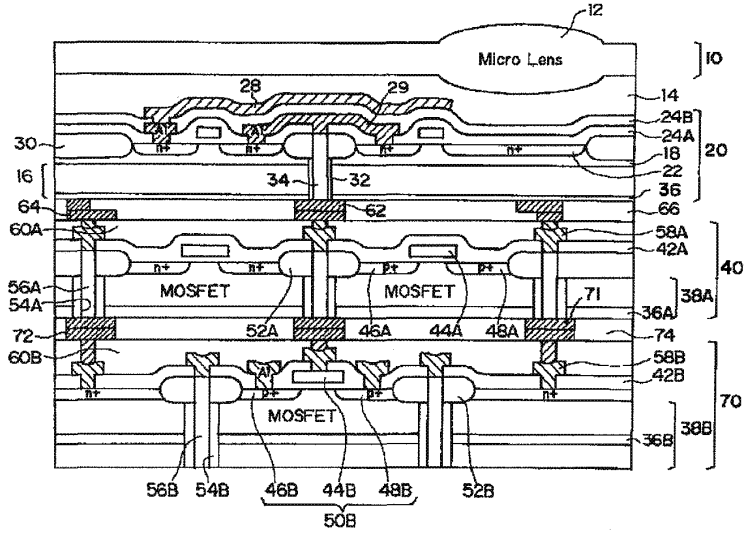
【図3】


12
26
Micro Lens
10
28
29
14
24B
24A
30
18
20
22
16
34
32
62
36
64
66
60A
58A
42A
56A
MOSFET
MOSFET
40
36A
38A
54A
52A
46A
44A
48A
50A

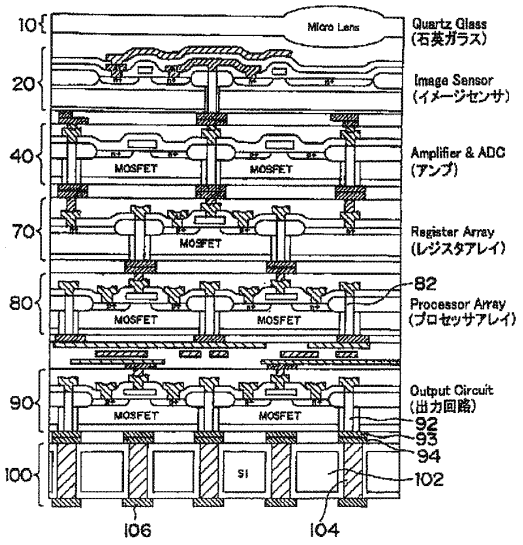
【図4】


12
Micro Lens
10
28
29
14
24B
24A
20
30
18
22
16
34
32
36
64
62
66
60A
58A
42A
40
56A
MOSFET
MOSFET
38A
36A
54A
52A
46A
44A
48A
50A

【図5】


12
Micro Lens
10
28
29
14
24B
24A
20
30
18
22
16
34
32
36
64
62
66
60A
58A
42A
40
56A
54A
MOSFET
MOSFET
71
38A
36A
72
52A
46A
44A
48A
74
60B
58B
42B
70
MOSFET
38B
36B
56B
54B
46B
44B
48B
52B
50B

【図6】



フロントページの続き

(51)Int.Cl.[7]	識別記号	FI		テーマコード(参考)
H01L	21/8238	H01L	21/90	A 5F110
	27/092		27/08	321G
	27/14		27/14	D
	29/786		29/78	613Z
H04N	5/335			

(72)発明者 宮川 宣明
神奈川県海老名市本郷2274番地 富士ゼロックス株式会社海老名事業所内

Fターム(参考) 4M118 AA10 AB01 BA04 BA14 CA03 EA04 EA20 FA33 GD01 GD04 GD07 HA21 HA33
5B047 BB04 BC01 BC05 DB01
5C024 CY47 EX43 GX03 GY31 HX01 HX17 HX40 HX41
5F033 HH04 HH08 HH11 HH13 HH19 JJ01 JJ08 KK01 MM30 QQ08 QQ09 QQ12 QQ37 QQ49 RR04 SS25 UU05 VV00 VV07 XX10
5F048 AA09 AB03 AB10 AC03 AC10 BA09 BB05 BC12 BF01 BF02 BF03 BF07 BF15 BG12 BG14 CB02 CB03 CB04
5F110 AA16 BB10 BB11 CC02 DD03 DD05 DD21 DD30 EE09 HL03 NN62 NN71 QQ16 QQ30

SAMSUNG EX. 1002 - 1953/4148

Espacenet

Bibliographic data: JP2006173381 (A) — 2006-06-29

PHOTOELECTROMOTIVE FORCE ELEMENT

Inventor(s): OKUMURA KENICHI ± (OKUMURA KENICHI)

Applicant(s): TOYOTA MOTOR CORP ± (TOYOTA MOTOR CORP)

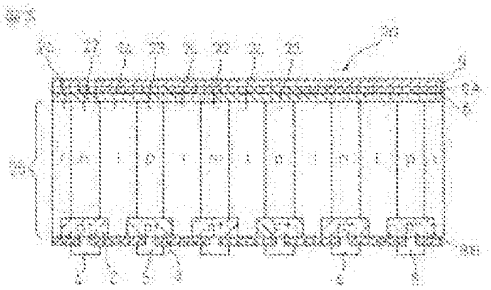
Classification: **- international:** ***H01L31/04***
- cooperative: Y02E10/50

Application number: JP20040364406 20041216

Priority number(s): JP20040364406 20041216

Abstract of JP2006173381 (A)

PROBLEM TO BE SOLVED: To obtain a photoelectromotive force element which decreases a probability of recoupling which occurs in a collection process of electrons and holes, and has power generation efficiency. ;SOLUTION: In the photoelectromotive force element of back electrode type in which electrodes (4, 5) are disposed on the back which is a reverse side to the light receiving face of a light absorber (25), the light absorber (25) is provided with one conductive type region (22) extending from the light receiving face to the back and an opposed conductive type region (23), and further, a true semiconductor region (24) where impurities are not doped is provided between these regions (22, 23). Carriers are isolated by the one conductive type region (22) and the opposed conductive type region (23), and also, due to existence of the true semiconductor region (24) having little defects, a mean lifetime of the carriers of the entire light absorber (25) is enhanced and the power generation efficiency is enhanced. ;COPYRIGHT: (C)2006,JPO&NCIPI



SIONYX1403000021.0114

SAMSUNG EX. 1002 - 1954/4148

SIONYX1403000021.0115

SAMSUNG EX. 1002 - 1955/4148

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2006-173381
(P2006-173381A)
(43)公開日　平成18年6月29日(2006.6.29)

(51)Int.Cl.		F I		テーマコード（参考）
H01L 31/04	(2006.01)	H01L 31/04	L	5F051

審査請求 未請求　請求項の数 3　OL　（全 12 頁）

(21)出願番号　特願2004-364406 (P2004-364406)
(22)出願日　平成16年12月16日 (2004.12.16)

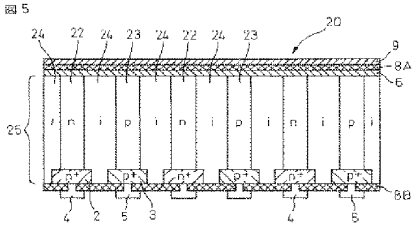
(71)出願人　000003207
トヨタ自動車株式会社
愛知県豊田市トヨタ町１番地
(74)代理人　100099759
弁理士　青木　篤
(74)代理人　100092624
弁理士　鶴田　準一
(74)代理人　100102819
弁理士　島田　哲郎
(74)代理人　100122965
弁理士　水谷　好男
(74)代理人　100119987
弁理士　伊坪　公一
(74)代理人　100082898
弁理士　西山　雅也

最終頁に続く

(54)【発明の名称】光起電力素子

(57)【要約】
【課題】　電子および正孔の収集過程で生じる再結合確率を低減して、発電効率の優れた光起電力素子を得る。
【解決手段】　光吸収部（２５）の受光面とは反対側である裏面に電極（４、５）を配置した裏面電極型の光起電力素子において、光吸収部（２５）に、受光面から裏面にまで延在する一伝導型領域（２２）と反対伝導型領域（２３）とを設け、さらにこれらの領域（２２、２３）間に不純物をドーピングしない真性半導体領域（２４）を設ける。一伝導型領域（２２）と反対伝導型領域（２３）によってキャリアが分離されると共に、欠陥の少ない真性半導体領域（２４）の存在によって、光吸収部（２５）全体のキャリアの平均のライフタイムが向上し、発電効率が向上する。
【選択図】　図５

図５



SIONYX1403000021.0116

SAMSUNG EX. 1002 - 1956/4148

【特許請求の範囲】
【請求項1】
光吸収部の受光面とは反対側である裏面に電極を配置した裏面電極型の光起電力素子において、前記光吸収部が、前記受光面から前記裏面にまで延在する一伝導型領域と反対伝導型領域とさらにこれらの領域間に設けた真性半導体領域とからなることを特徴とする、光起電力素子。
【請求項2】
請求項１に記載の光起電力素子において、前記真性半導体領域を前記受光面側で前記裏面側より大きくし、かつ前記一伝導型領域と反対伝導型領域とを前記裏面側で前記受光面側より大きくしたことを特徴とする、光起電力素子。
【請求項3】
請求項１または２に記載の光起電力素子において、前記真性半導体領域と前記一伝導型領域または反対伝導型領域とのそれぞれの界面に、水素またはハロゲン元素添加領域を形成したことを特徴とする、光起電力素子。

【発明の詳細な説明】
【技術分野】
【0001】
本発明は、裏面電極型の光起電力素子に関し、特にその発電効率を改善した光起電力素子に関する。
【背景技術】
【0002】
裏面電極型の光起電力素子（光電池、太陽電池等を含む）は特許文献１～４等により知られている。共通する基本構造を図１に示す。光起電力素子１００を構成する半導体基板１０（ｐ型またはｎ型の単結晶半導体）の主要部である光吸収部１において、光吸収により正負のキャリアとしての電子および正孔が発生する。基板１０の裏面側（図の下面側）には、光吸収部１で発生したキャリア収集層としてのｎ＋層（電子収集層）２およびｐ＋層（正孔収集層）３が不純物拡散により形成されており、基板１０の下面に形成された負電極４、正電極５はそれぞれｎ＋層２、ｐ＋層３と接続している。この接続部以外において基板１０の下面は表面保護膜（絶縁膜）８Ｂにより被覆されている。基板１０の受光面側（図の上面側）に形成された拡散層６（ｐ＋層またはｎ＋層）は、基板表面でのキャリアの再結合を防止するためのポテンシャル障壁として機能する（特許文献２参照）。この受光面側拡散層６の表面は、下面と同様の保護膜（絶縁膜）８Ａにより被覆されており、更にその上に反射防止膜９が形成されている。
【0003】
上記従来の光起電力素子では、光吸収部１はｎまたはｐのいずれか一方の伝導型を有し、単一のキャリア濃度で形成されているので、光吸収によって発生した電子と正孔はキャリアの収集層即ちｎ＋層２とｐ＋層３に到達するまでに、共に光吸収部１内を通過する。そのため、光吸収部１内で電子と正孔が再結合して消滅する確率が高く、再結合損失により発電効率が低下するという問題があった。
【0004】
【特許文献1】特開平１１－３１７５３３号公報（特許請求の範囲）
【特許文献2】特開平１１－３１２８１４号公報（特許請求の範囲）
【特許文献3】特開２００１－２８４６６６号公報（特許請求の範囲）
【特許文献4】特開２００１－８５７１８号公報（特許請求の範囲）
【発明の開示】
【発明が解決しようとする課題】
【0005】
欠陥により形成されるトラップ準位を介した電子と正孔の挙動は、図２に示す４つの過程で表される（ＳＲＨモデル）。図において、過程〔１〕は伝導帯にある電子がトラップ準位に捕獲される場合を示し、過程〔２〕はトラップ準位に捕獲されていた電子が伝導帯

SIONYX1403000021.0117

SAMSUNG EX. 1002 - 1957/4148

に放出される場合を示し、過程〔３〕は価電子帯にある正孔がトラップ準位に捕獲される場合を示し、さらに過程〔４〕はトラップ準位に捕獲されていた正孔が価電子帯に放出される場合を示している。過程〔３〕、〔４〕における破線は、電子の遷移でこれらの過程を表したものである。なお、図において、Ｅｃは伝導帯の下端のエネルギーレベルを、Ｅｖは価電子帯の上端のエネルギーレベルを、Ｅｔはトラップ準位のエネルギーレベルを示す。

【0006】

トラップ準位を介した電子と正孔の再結合は、図中の〔１〕と〔３〕の過程が生じ、トラップ準位に電子と正孔の対が存在することにより発生する。伝導帯とトラップ準位間または価電子帯とトラップ準位間のエネルギーギャップは、伝導帯と価電子帯間のエネルギーギャップに比べて小さく、そのため光吸収部に欠陥が多く存在すると電子と正孔がこれらの欠陥に捕獲され易く、トラップ準位において再結合を生じて発電効率を低下させる。

【0007】

したがって、発電効率の高い光起電力素子を得るためには、光吸収部における欠陥濃度をなるべく小さくすると共に、電子と正孔とがなるべく分離してそれぞれの収集層まで移動できるようにしなければならない。電子と正孔とを分離するためには、光吸収部中に不純物を拡散してｎ型領域とｐ型領域を形成し、電子をｎ型領域に、正孔をｐ型領域に選択的に移動させればよい。しかしながら、この場合、不純物のドーピングによって欠陥が増加しキャリアのライフタイムが短くなる。ドーピング量を減少させるとライフタイムは向上するが、一方でｎ型領域とｐ型領域間にキャリアを分離するための充分なエネルギー障壁を形成することができない。即ち、キャリアの分離機能を維持しつつ光吸収部全体の平均的なライフタイムを向上させることは困難であった。

【0008】

本発明は、かかる点に関してなされたもので、光吸収部においてキャリアの分離機能を維持しつつこの層全体の平均的なライフタイムを向上することが可能な新規な構造の光起電力素子を提供し、その発電効率の向上を図ることを課題とする。

【課題を解決するための手段】

【0009】

上記課題を解決するために、第１の発明では、光吸収部の受光面とは反対側の裏面に電極を配置した裏面電極型の光起電力素子において、光吸収部が、受光面から裏面にまで延在する一伝導型領域と反対伝導型領域とさらにこれらの領域間に設けた真性半導体領域とを有するように構成する。

【0010】

また、第２の発明においては、真性半導体領域を受光面側において裏面側より大きくする。このとき、真性半導体領域と一伝導型領域または反対伝導型領域とのそれぞれの界面を階段状にし、あるいは平面状または曲面状とする。

【0011】

また、第３の発明においては、真性半導体領域と一伝導型領域または反対伝導型領域とのそれぞれの界面に、水素またはハロゲン元素添加領域を形成する。

【発明の効果】

【0012】

第１の発明にかかる光起電力素子では、光吸収部中に、受光面から裏面側まで延在する一伝導型領域と反対伝導型領域とが形成されているので、電子または正孔はエネルギー的に安定して存在し得るいずれかの領域に選択的に集まり、その領域を移動して正または負の電極に達する。そのため、これらの領域では電子または正孔のいずれかが優勢となり、正負キャリア数のバランスが大きく崩れるので、キャリアの再結合確率が低下する。さらに、一伝導型領域と反対伝導型領域間に、電子または正孔を捕獲する電気的な欠陥が少ない真性半導体領域が設けられているので、この領域を移動するキャリアが欠陥に捕獲される確率が低くなり、結果的に光吸収部におけるキャリアの平均的なライフタイムが向上する。これらの結果、素子の発電効率が向上する。

SIONYX1403000021.0118

SAMSUNG EX. 1002 - 1958/4148

【0013】
第２の発明にかかる光起電力素子では、光吸収部において光の吸収量の多い受光面側で真性半導体領域を大きくしているため、キャリアのライフタイムがさらに向上する。さらに、電流密度の高い裏面側で電子または正孔の移動領域を形成する一伝導型領域および反対伝導型領域とが広く形成されているので、抵抗損失が低減する。これらの結果から、さらに素子の発電効率が向上する。
【0014】
第１、第２の発明にかかる光起電力素子では、この素子の製造に当って熱処理を行うと、一伝導型領域または反対伝導型領域中の不純物が領域界面を越えて真性半導体領域中に拡散し、電気的な欠陥を形成する。この欠陥により、キャリアのライフタイムが短くなり、素子の発電効率が低下する。したがって、第３の発明では、この界面に水素またはハロゲン元素を添加して電気的な欠陥を不活性化している。これによって、キャリアのライフタイムが長くなり、素子の発電効率がさらに向上する。
【発明を実施するための最良の形態】
【0015】
本発明にかかる光起電力素子の構造を説明する前に、まず、光吸収部におけるキャリアの分離機能およびその問題点について説明する。
【0016】
図１に示す光起電力素子１００では、受光することによって光吸収部１に生成された電子と正孔は共に層１中を移動しながら、電子は電子収集層２に、正孔は正孔収集層３により収集され各電極４、５を介して出力として取り出される。このとき、電子と正孔が同じ伝導型の均一なキャリア濃度を有する層１を通過することから、その通過中に電子と正孔が出会い、再結合する確率が高くなる。したがって、光吸収部１を、主に電子が移動する電子移動領域と主に正孔が移動する正孔移動領域に分割することが考えられる。このように、電子と正孔の移動領域を別個に設けることで、電子と正孔の再結合確率が低下し出力の向上が期待される。
【0017】
図３に示す構造の光起電力素子２００は、上記の考えに基づいて構成されたものである。図示するように、光起電力素子２００は、光吸収部２１に電子移動領域（ｎ層）２２と正孔移動領域（ｐ層）２３を交互に設けた構造を有する。これらの領域２２、２３は、光吸収部２１の受光面側から裏面側に延在して設けられる。電子移動領域２２は電子収集層２を含む領域であり、ｎ型不純物がドーピングされている。正孔移動領域２３は正孔収集層３を含む領域であり、ｐ型不純物がドーピングされている。これによって、領域２２、２３間にｐｎ接合が形成される。その他の構造は、図１に示す光起電力素子１００と同じであるので、その説明は省略する。
【0018】
図４（ａ）および（ｂ）に、光起電力素子２００の素子中央部における横方向（受光面と平行な方向）のエネルギーバンド図を示す。図３に示す構造の光起電力素子では、隣接する領域の伝導型を相違させているため、横方向に繰り返してｐｎ接合が形成されることとなる。
【0019】
図４（ａ）は、光吸収部２１が光を吸収した直後のバンド構造を示す。受光によって、電子および正孔はｐｎ接合に関係なく光吸収部２１全体で発生するが、その後、エネルギーレベルの違いにより、ｐ層２３において発生した電子はｎ層２２に移動し、また、ｎ層２２において発生した正孔はｐ層２３に移動する。移動後の電子および正孔は、両側のｐｎ接合で形成されるエネルギー障壁によって各層内に留まる。
【0020】
その結果、図（ｂ）に示すように、電子移動領域２２には電子が、正孔移動領域２３には正孔がそれぞれ分離して存在する状態が形成される。即ち、電了移動領域２２では正孔の濃度が電子の濃度に比べて極端に低く、一方、正孔移動領域２３では電子の濃度が正孔

SAMSUNG EX. 1002 - 1959/4148

の濃度に比べて極端に低くなる。この状態では、電子と正孔の再結合確率が小さくなり、再結合損失が減少して発電効率が向上する。

【0021】

ところが、図３に示す構造の光起電力素子２００では、光吸収部２１中に電子移動領域もしくは正孔移動領域を設けるために、バルク半導体に不純物をドーピングしてｎ層あるいはｐ層としなければならない。不純物ドーピングによって結晶中には欠陥が増加して捕獲中心が多く形成される。そのため、ｐ層２３で生成された電子が電子移動領域（ｎ層）２２に達するまでに正孔と再結合して消滅する確率、およびｎ層２２で生成された正孔が正孔移動領域（ｐ層）２３に達するまでに電子と再結合して消滅する確率が高くなり、その分再結合損失が増加する。

【0022】

図４のエネルギーバンド図は、このようなキャリアの再結合を考慮して示している。即ち、図４の例では、ｐ層２３からｎ層２２に移動する電子と、ｎ層２２からｐ層２３に移動する正孔のうち、半数のものがそれぞれの移動領域に達するまでに再結合により消失すると仮定して、電子、正孔の移動を表している。具体的に説明すると、電子移動領域２２には、両側の正孔移動領域２３からその領域２３に存在する電子の半分づつが供給され、再結合が無い場合、図（ｂ）の電子移動領域２２には合計８個の電子が存在するようになる。ところが、移動中に半数の電子が正孔との再結合によって消失するので、結果として、図示するように６個の電子が電子移動領域２２に存在することになる。正孔についても同じである。

【0023】

したがって本発明では、キャリアの分離機能を有する光起電力素子において、移動中のキャリアの再結合損失をなるべく低減することが可能な新規な構造を提案する。

【0024】

（実施形態１）

図５に、本発明の実施形態１にかかる光起電力素子２０の断面構造を示す。なお、図５以下において、図１または図３と同じ符号は同じかまたは類似の構成要素を示すので、それらについて重複した説明は行わない。図示するように、本実施形態の光起電力素子２０は、光吸収部２５を、ｎ型半導体で構成される電子移動領域２２とｐ型半導体で構成される正孔移動領域２３とこれらの領域間に設けた不純物をドーピングしない真性半導体領域（ｉ層）２４とで構成している。即ち、電子移動領域２２と正孔移動領域２３間に、不純物のドーピングが無くしたがって欠陥の少ない真性半導体領域２４設けることによって、キャリアの分離機能を維持したまま、不純物ドーピング領域を小さくしている。

【0025】

図５に示す構造の光吸収部２５は、種々の製造方法により製造することができるが、例えば、真性半導体基板上に、ｐ層およびｎ層をｉ層を挟んで順にエピタキシャル成長させることにより、容易に実現することができる。あるいは、真性半導体のバルク基板に対して、イオン注入法等によってｎ型、ｐ型の不純物を所定の領域にドーピングすることによっても、形成することができる。

【0026】

図６に、光起電力素子２０の素子中央部における横方向のエネルギーバンド図を示す。図（ａ）は、光吸収直後であってキャリア分離前のエネルギーバンド構造を示し、図（ｂ）はキャリア分離後のエネルギーバンド構造を示す。以下に、これらの図を参照して、実施形態１にかかる光起電力素子２０の作用効果を説明する。

【0027】

図（ａ）に示すように、光吸収部２５が受光することによって層２５の全体で電子および正孔が生成される。しかしながら、ｐ層即ち正孔移動領域２３で生成された電子およびｉ層２４で生成された電子は、時間の経過と共にエネルギー的に安定なｎ層、即ち電子移動領域２２に移動し、その領域に閉じ込められる。また、ｎ層即ち電子移動領域２２で生成された正孔およびｉ層２４で生成された正孔は、時間の経過と共にエネルギー的に安定

SAMSUNG EX. 1002 - 1960/4148

なｐ層、即ち正孔移動領域２３に移動し、その領域に閉じ込められる。その結果、図（ｂ）に示すように、正孔は正孔移動領域２３に、電子は電子移動領域２２に分離された状態が形成される。

【0028】

この場合、図４と同じ仮定、即ちｐ層またはｎ層中の半分の電子または正孔が、それぞれの移動領域への移動中に再結合によって消失するものとすると、ｎ層２２に両側のｉ層を介して隣接する２個のｐ層２３で生成された電子Ａ、Ｂのいずれか一方がｎ層への移動中に消失する。一方、ｉ層２４で形成された電子は再結合を生じず、ｎ層２２中に移動する。その結果、図（ｂ）に示すように、電子移動領域２２に最終的に７個の電子が存在するようになる。正孔の場合も同じ結果となる。

【0029】

この結果を図４の結果と比較すると、本実施形態にかかる光起電力素子において、電子移動領域２２および正孔移動領域２３に最終的に存在する電子、正孔の数が１個増え、その分光起電力素子２０の発電効率が向上することが理解される。

【0030】

本実施形態１による光起電力素子３０を構成する材質の具体例を下記に示す。なお、光起電力素子２０を構成するバルクは、単結晶Ｓｉによって形成されているものとする。

【0031】

電子移動領域２２：ｎ型Ｓｉ層（厚さ１５０μｍ、キャリア濃度$1\times10^{14}cm^{-3}$）

正孔移動領域２３：ｐ型Ｓｉ層（厚さ１５０μｍ、キャリア濃度$1\times10^{14}cm^{-3}$）

真性半導体領域２４：ｉ型Ｓｉ層（厚さ１５０μｍ、キャリア濃度$1.5\times10^{10}cm^{-3}$）

電子収集層２：ｎ＋型Ｓｉ層（拡散深さ１μｍ、キャリア濃度$1\times10^{19}cm^{-3}$）

正孔収集層３：ｐ＋型Ｓｉ層（拡散深さ１μｍ、キャリア濃度$1\times10^{19}cm^{-3}$）

負電極４：Ａｌ層、膜厚２μｍ

正電極５：Ａｌ層、膜厚２μｍ

受光面側拡散層６：ｐ＋型Ｓｉ層（拡散深さ０．５μｍ、キャリア濃度$1\times10^{18}cm^{-3}$）

表面保護膜８Ａ：SiO_2層、膜厚１０ｎｍ

表面保護膜８Ｂ：SiO_2層、膜厚０．３μｍ

反射防止膜９：MgF_2／ＺｎＳの２層膜（膜厚１１０ｎｍ／５０ｎｍ）

【0032】

なお、上記の例では、バルク材料としてＳｉを挙げているが、Ｇｅ、ＳｉＧｅ、ＳｉＣ、Ｃ等の材料を用いても同様な効果を得ることができる。

【0033】

（実施形態２）

図７に、本発明の実施形態２にかかる光起電力素子４０の断面構造を示す。光起電力素子４０では、光吸収部２６の受光面側において、ｉ層２７の幅を広げ、かつ電子移動領域２８、正孔移動領域２９の幅を狭くしている。これにより、裏面側では、電子移動領域２８、正孔移動領域２９が大きくなる。

【0034】

本実施形態の光起電力素子４０では、基本的な作用効果は実施形態１に示す光起電力素子２０と同じであるが、光吸収量の大きい表面側でｉ層２７の占める体積が大きく、その分生成されたキャリアの再結合確率が実施形態１に示す光起電力素子２０の場合よりも低下する効果を有している。また、光吸収部２６において発生したキャリアは、電子と正孔それぞれの移動領域２８、２９内を光起電力素子４０の裏面側に向かって移動するため、各領域２８、２９内では素子の表面側よりも裏面側の方が電流密度が高くなる。本実施形態の光起電力素子４０では、裏面側で電子と正孔移動領域２８、２９の幅が広くなっているため、実施形態１に示す光起電力素子３０に比べて抵抗損失をより低減することができる。これらの効果により、実施形態１の光起電力素子２０よりも発電効率が向上する。

SIONYX1403000021.0121

SAMSUNG EX. 1002 - 1961/4148

【0035】
本実施形態２による光起電力素子４０を構成する材質の具体例を下記に示す。なお、光吸収部２６は、バルク状の単結晶Ｓｉによって形成されているものとする。
【0036】
電子移動領域２８：ｎ型Ｓｉ層（厚さ１５０μｍ、キャリア濃度１×１０^{14}ｃｍ$^{-3}$）
正孔移動領域２９：ｐ型Ｓｉ層（厚さ１５０μｍ、キャリア濃度１×１０^{14}ｃｍ$^{-3}$）
真性半導体領域２７：ｉ型Ｓｉ層（厚さ１５０μｍ、キャリア濃度１．５×１０^{10}ｃｍ$^{-3}$）
電子収集層２：ｎ＋型Ｓｉ層（拡散深さ１μｍ、キャリア濃度１×１０^{19}ｃｍ$^{-3}$）
正孔収集層３：ｐ＋型Ｓｉ層（拡散深さ１μｍ、キャリア濃度１×１０^{19}ｃｍ$^{-3}$）
負電極４：Ａｌ層、膜厚２μｍ
正電極５：Ａｌ層、膜厚２μｍ
受光面側拡散層６：ｐ＋型Ｓｉ層（拡散深さ０．５μｍ、キャリア濃度１×１０^{18}ｃｍ$^{-3}$）
表面保護膜８Ａ：SiO_2層、膜厚１０ｎｍ
表面保護膜８Ｂ：SiO_2層、膜厚０．３μｍ
反射防止膜９：MgF_2／ＺｎＳの２層膜（膜厚１１０ｎｍ／５０ｎｍ）
【0037】
なお、上記の例では、バルク材料としてＳｉを挙げているが、Ｇｃ、ＳｉＧｃ、ＳｉＣ、Ｃ等の材料を用いても同様な効果を得ることができる。
【0038】
図７に示す光起電力素子４０では、素子表面側の真性半導体領域２７の幅を広くするために、電子移動領域２８、正孔移動領域２９の真性半導体領域２７との界面に直線状の傾斜を設けているが、本発明はこの実施形態に限定されるものではない。例えば、真性半導体領域２７と電子または正孔移動領域の界面を階段状にしても、あるいは曲線状としても良い。
【0039】
図８は、真性領域２７と電子または正孔移動領域との界面３１を階段状とした光起電力素子４１を示し、図９は、界面３１を曲線状とした光起電力素子４２を示している。いずれの例でも、図７に示した光起電力素子４０と同様の作用効果を得ることができる。なお、図８および９に示した光起電力素子４１、４２も、図７に示した光起電力素子４０と同様に、電子移動領域２８および正孔移動領域２９にイオン注入によって不純物をドーピングすることにより、形成することができる。界面３１の形状は、素子表面と平行方向に走査しながら電圧を変えてイオン注入を行うことによって、所望の形状が得られる。
【0040】
（実施形態３）
図１０に、本発明の実施形態３の光起電力素子５０を示す。本実施形態では、基本的な構造は図７に示す実施形態２の素子と同じであるが、真性半導体領域２７と電子移動領域２８、および真性半導体領域２７と正孔移動領域２９との界面に、水素もしくはハロゲン元素を添加した領域３３を形成したことにおいて相違している。図７に示す構造の光起電力素子４０では、領域２８、２９に不純物の拡散後、熱処理を行うと、これらの領域２８、２９中にドーピングされた不純物が領域界面を越えて真性半導体領域２７中に拡散し、界面近傍に電気的な欠陥を多く含む拡散層を形成する。そのため、本実施形態では、この界面近傍（領域３３）に水素またはハロゲン元素を添加することにより、この電気的な欠陥を不活性化するようにしている。その結果、領域３３での再結合損失が低減し、実施形態２に示す光起電力素子４０に比べてセル出力が増加する。
【0041】
なお、界面における不純物の熱拡散は、実施形態１の光起電力素子２０であっても同様に発生するので、素子２０においてｉ層２４とｎ層２２およびｉ層２４とｐ層２３間に水素もしくはハロゲン元素を添加しても、実施形態３の場合と同様の効果が得られる。

SAMSUNG EX. 1002 - 1962/4148

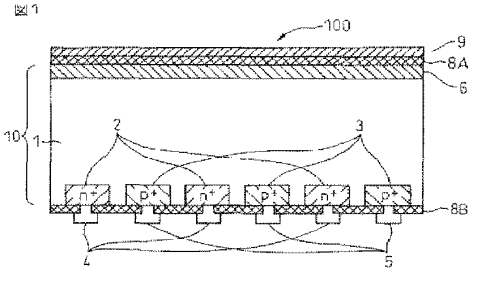
【0042】
本実施形態３にかかる光起電力素子５０を構成する材質の具体例を、下記に示す。なお、光吸収部２６は、バルク状の単結晶Ｇｃによって形成されているものとする。
【0043】
電子移動領域２８：ｎ型Ｇｅ層（厚さ１５０μｍ、キャリア濃度$1\times10^{15}cm^{-3}$）
正孔移動領域２９：ｐ型Ｇｅ層（厚さ１５０μｍ、キャリア濃度$1\times10^{15}cm^{-3}$）
真性半導体領域２７：ｉ型Ｇｅ層（厚さ１５０μｍ、キャリア濃度$2.5\times10^{13}cm^{-3}$）
電子収集層２：ｎ＋型Ｇｅ層（拡散深さ１μｍ、キャリア濃度$1\times10^{19}cm^{-3}$）
正孔収集層３：ｐ＋型Ｇｅ層（拡散深さ１μｍ、キャリア濃度$1\times10^{19}cm^{-3}$）
負電極４：Ａｌ層、膜厚２μｍ
正電極５：Ａｌ層、膜厚２μｍ
受光面側拡散層６：ｐ＋型Ｇｅ層（拡散深さ０．５μｍ、キャリア濃度$1\times10^{18}cm^{-3}$）
表面保護膜８Ａ：SiN_x層、膜厚１０ｎｍ
表面保護膜８Ｂ：SiN_x層、膜厚０．３μｍ
反射防止膜９：SiO_2／TiO_2の２層膜（膜厚１００ｎｍ／６０ｎｍ）
領域３３：水素添加Ｇｅ層（水素含有量$1\times10^{19}cm^{-3}$、厚さ１μｍ）
【0044】
なお、上記の例では、バルク材料としてＧｅを挙げているが、Ｓｉ、ＳｉＧｅ、ＳｉＣ、Ｃ等の材料を用いても同様な効果を得ることができる。また、領域３３に添加する元素として水素を用いているが、ハロゲン元素を用いても同様な効果が得られる。
【図面の簡単な説明】
【0045】
【図1】従来の裏面電極型光起電力素子の基本構造を示す断面図。
【図2】結晶欠陥により形成されるトラップ準位を介した電子と正孔の挙動についてのＳＲＨモデルに基づく４つの過程を示す図。
【図3】図１に示す基本構造に対して電子および正孔移動領域を設けた光起電力素子の構造を示す断面図。
【図4】図３に示す光起電力素子のキャリア分離前とキャリア分離後のエネルギーバンド構造を示す図。
【図5】本発明の実施形態１にかかる光起電力素子の構造を示す断面図。
【図6】図５に示す光起電力素子のキャリア分離前とキャリア分離後のエネルギーバンド構造を示す図。
【図7】本発明の実施形態２にかかる光起電力素子の構造を示す断面図。
【図8】図７に示す光起電力素子の変形例を示す断面図。
【図9】図７に示す光起電力素子の別の変形例を示す断面図。
【図10】本発明の実施形態３にかかる光起電力素子の構造を示す断面図。
【符号の説明】
【0046】
２　　電子収集層
３　　正孔収集層
４　　負電極
５　　正電極
６　　受光面側拡散層
８Ａ、８Ｂ　　表面保護膜
９　　反射防止膜
２０、４０、４１、４２、５０　　光起電力素子
２２　　電子移動領域
２３　　正孔移動領域

SAMSUNG EX. 1002 - 1963/4148

２４　　真性半導体領域
２５、２６　　光吸収部
３１　　界面
３３　　水素またはハロゲン元素の添加領域

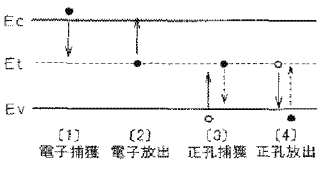
【図1】

図１



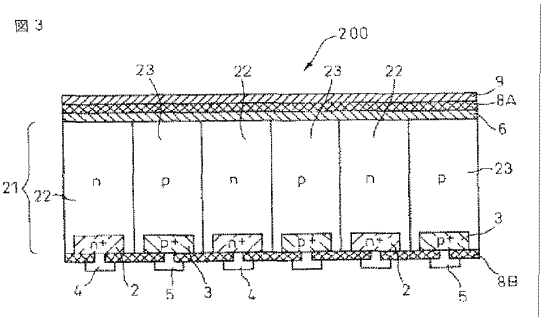
【図2】

図２

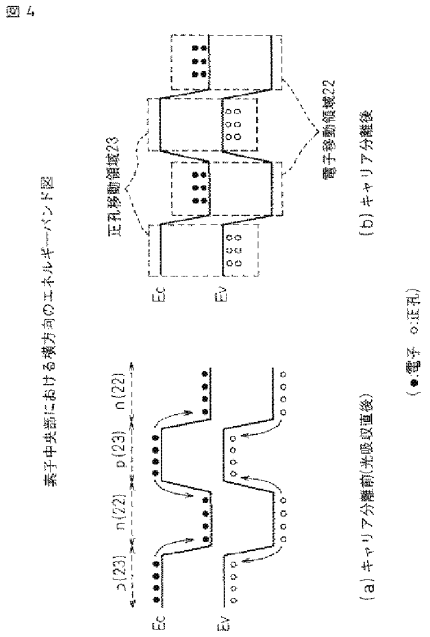


【図3】

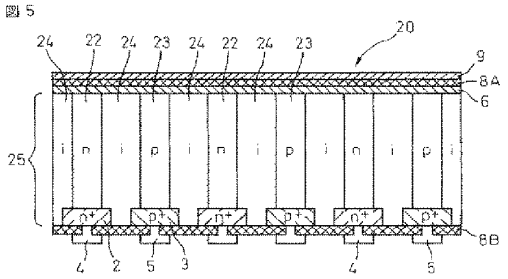
図３



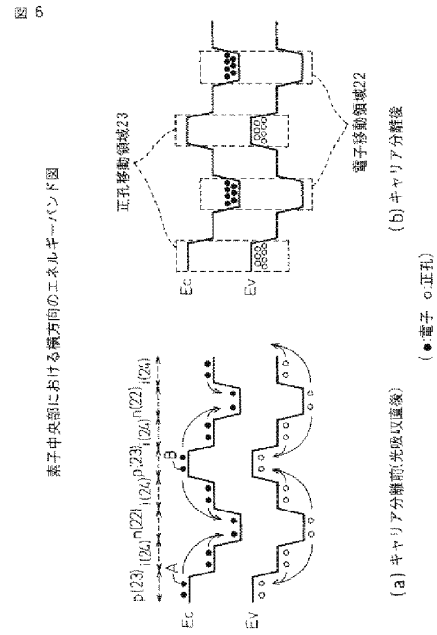
【図4】


図４
素子中央部における横方向のエネルギーバンド図
正孔移動領域23
電子移動領域22
Ec
Ev
(b) キャリア分離後
(a) キャリア分離前(光吸収直後)
(●:電子 ○:正孔)

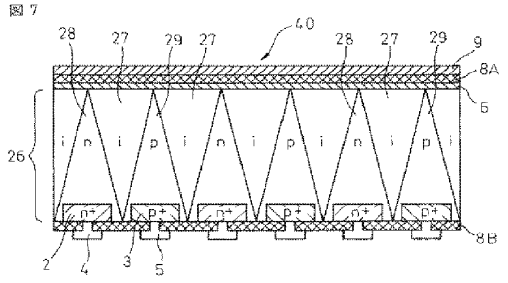
【図5】


図５
20
9
8A
6
25
8B
i
n
p
n+
p+

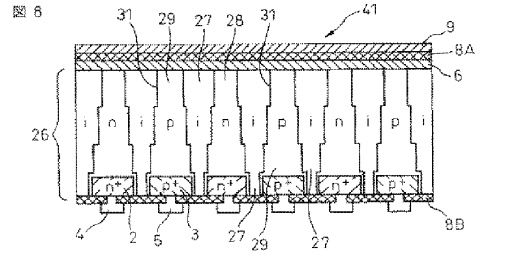
【図6】


図６
素子中央部における横方向のエネルギーバンド図
正孔移動領域23
電子移動領域22
Ec
Ev
(b) キャリア分離後
(a) キャリア分離前(光吸収直後)
(●:電子 ○:正孔)

【図7】

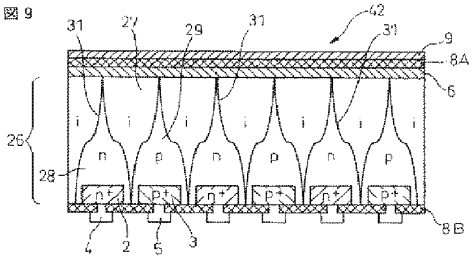

図７
40
9
8A
6
26
8B
i
n
p
n+
p+

【図8】


図８
41
9
8A
6
26
8B
i
n
p
n+
p+

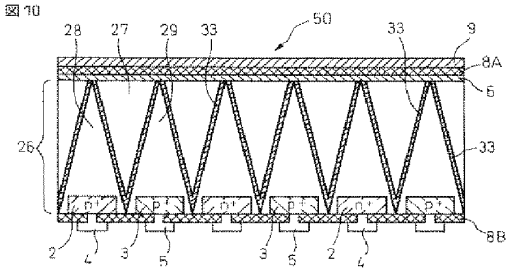
【図9】

図９


31
27
29
31
42
31
9
8A
6
26
28
i
n
p
n+
p+
8B
4
2
5
3

【図10】

図10


28
27
29
33
50
33
9
8A
6
26
33
n+
p+
8B
2
4
3
5

(72)発明者　奥村　健一
愛知県豊田市トヨタ町１番地　トヨタ自動車株式会社内
Ｆターム(参考) 5F051 AA02　CB30　DA04　FA15

Espacenet

Bibliographic data: JP2007165909 (A) — 2007-06-28

BACKLIT (BACK ELECTRIC) PHOTODIODE AND METHOD FOR MANUFACTURING BACKLIT PHOTODIODE

Inventor(s): WILSON ROBIN; CONOR BROGAN; GRIFFIN HUGH J; MACNAMARA CORMAC ± (WILSON ROBIN, ; CONOR BROGAN, ; GRIFFIN HUGH J, ; MACNAMARA CORMAC)

Applicant(s): ICEMOS TECHNOLOGY CORP ± (ICEMOS TECHNOLOGY CORP)

Classification: **- international:** ***H01L31/10***
- cooperative: **H01L31/022408**

Application number: JP20060337706 20061215

Priority number (s): US20050750873P 20051216

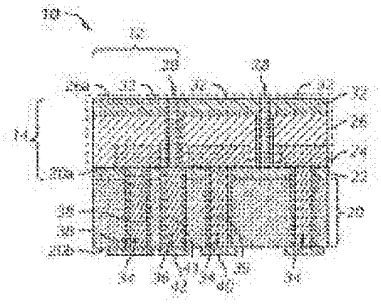
Also published as: JP4755577 (B2) US2007138588 (A1) US7576404 (B2)

Abstract of JP2007165909 (A)

PROBLEM TO BE SOLVED: To provide a photodiode array which is formed on an SOI substrate with backside contacts, and to provide a method for manufacturing it. ;SOLUTION: A backlit photodiode array includes a semiconductor substrate equipped with a first main surface and a second main surface which face each other. A first dielectric layer is formed on the first main surface. A first conductive path and a second conductive path extend through the semiconductor substrate and the first dielectric layer from the second main surface. The first conductive path and the second conductive path are separated from the semiconductor substrate by a second dielectric material. A first anode/cathode layer with first conductivity is formed on the first dielectric layer and is electrically connected to the first conductive path. An intrinsic semiconductor layer is formed on the first anode/cathode layer.; The second anode/cathode layer with the second conductivity, which is opposite to the first conductivity, is formed on the intrinsic semiconductor layer and is electrically connected to the second conductive path. ;COPYRIGHT: (C)2007,JPO&INPIT

SIONYX1403000022.0006

SAMSUNG EX. 1002 - 1968/4148



SIONYX1403000022.0007

SAMSUNG EX. 1002 - 1969/4148

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2007-165909
(P2007-165909A)
(43)公開日　平成19年6月28日(2007.6.28)

(51)Int.Cl.		F I		テーマコード（参考）
H01L 31/10	(2006.01)	H01L 31/10	H	5F049
		H01L 31/10	A	

審査請求 未請求　請求項の数 9　OL　外国語出願　（全 12 頁）

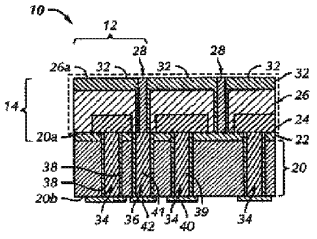
(21)出願番号　特願2006-337706 (P2006-337706)
(22)出願日　平成18年12月15日 (2006.12.15)
(31)優先権主張番号　60/750873
(32)優先日　平成17年12月16日 (2005.12.16)
(33)優先権主張国　米国 (US)

(71)出願人　506416824
アイスモス　テクノロジー　コーポレイション
アメリカ合衆国　アリゾナ州　８５２８５、テンペ　ピーオーボックス　２４６１９
(74)代理人　100087653
弁理士　鈴江　正二
(74)代理人　100121474
弁理士　木村　俊之
(72)発明者　ウィルソン、ロビン
英国　北アイルランド　ビィティ２３　８ゼットタブリュ、ニュータウナーズ　コウ　ダウン、スタンフォード　ゲート　ドライヴ　７

最終頁に続く

(54)【発明の名称】バックリット（後電）フォトダイオードおよびバックリット・フォトダイオートの製造方法

(57)【要約】　（修正有）
【課題】後ろ側接点を有するＳＯＩ基板上に形成されたフォトダイオード配列とその製造方法を提供する。
【解決手段】バックリット・フォトダイオード配列は、相互に対向する第１主表面および第２主表面とを備えた半導体基板を含む。第１誘電層が第１主表面上に形成される。第１導電通路および第２導電通路が第２主表面から半導体基板と第１誘電層を通って延びている。第１導電通路および第２導電通路が第２誘電材料によって半導体基板から分離されている。第１導電率の第１陽極／陰極層が第１誘電層上に形成され、第１導電通路に電気的に連結されている。真性半導体層が第１陽極／陰極層上に形成されている。第１導電率とは反対の第２導電率の第２陽極／陰極層が真性半導体層上に形成されて、第２導電通路に電気的に連結されている。
【選択図】図１



SIONYX1403000022.0008

SAMSUNG EX. 1002 - 1970/4148

【特許請求の範囲】
【請求項1】
フォトダイオードであって、
相互に対向する第１主表面と第２主表面とを備えた半導体基板と、
上記の第１主表面に形成された第１誘電層と、
上記の第２主表面から上記の半導体基板と第１誘電層とを通って延びる第１導電通路であって、上記の半導体基板から第２誘電材料によって分離されているものと、
上記の第２主表面から上記の半導体基板と第１誘電層とを通って延びる第２導電通路であって、上記の半導体基板から上記の第２誘電材料によって分離されているものと、
第１誘電層上に形成され、第１導電通路と電気的に連結されて、第１導電率を有する第１陽極／陰極層と、
上記の第１陽極／陰極層上に形成された真性半導体層と、
上記の真性半導体層上に形成され、第２導電通路と電気的に連結されて、第１導電率とは反対の第２導電率を有する第２陽極／陰極層とからなるもの
【請求項2】
請求項１に記載のフォトダイオードであって、第１誘電層が酸化物であるもの。
【請求項3】
請求項１に記載のフォトダイオードであって、第１導電率がｐ型およびｎ型の１方であり、第２導電率が他方であるもの。
【請求項4】
フォトーダイオード配列であって、
相互に対向する第１主表面と第２主表面とを備えたＳＯＩ基板であって、第１主表面に近接する誘電層を有するものと、
上記のＳＯＩ基板の第１主表面上の誘電層に形成されたフォトダイオード層であって、上記の誘電層に近接する第１陽極／陰極層を、そして上記のフォトダイオード層の露出面に近接する第２陽極／陰極層とを有するものと、
上記のフォトダイオード層に第２陽極／陰極層に近接して形成され、上記の誘電層までのびる１つ以上の陽極／陰極通路と、
上記のＳＯＩ基板の第２主表面から、ＳＯＩ基板と誘電層とを通って延びる第１導電通路および第２導電通路であって、第１導電通路が第１陽極／陰極層に電気的に連結されており、第２導電通路が第２陽極／陰極層に電気的に連結しているものとからなるもの。
【請求項5】
フォトーダイオード配列の製造方法であって、
相互に対向する第１主表面と第２主表面とを備えたＳＯＩ基板であって、第１主表面に近接する誘電層を有するものを提供し、
上記のＳＯＩ基板の第１主表面上の誘電層にフォトダイオード層を形成し、このフォトダイオード層は上記の誘電層に近接する第１陽極／陰極層を、そして上記のフォトダイオード層の露出面に近接する第２陽極／陰極層とを有しており、
上記のフォトダイオードの上記露出面に上記の誘電層まで延びる１つ以上の陽極／陰極溝を形成し、
上記の１つ以上の陽極／陰極溝の両側をドープし、
上記のＳＯＩ基板の第２主表面から上記のＳＯＩ基板と誘電層とを通って延びる第１通路溝および第２通路溝を形成し、
上記の第１陽極／陰極層に電気的に連結される第１導電層を第１通路溝に形成し、上記の第２陽極／陰極層に電気的に連結される第２導電層を第２通路溝に形成することからなるもの。
【請求項6】
請求項５に記載した方法であって、
上記のＳＯＩ基板の第２主表面の平坦化、研削および研磨の少なくとも１つを含むもの

SAMSUNG EX. 1002 - 1971/4148

。
【請求項7】
請求項５に記載した方法であって、１つ以上の陽極／陰極溝ならびに第１通路溝および第２通路溝が、プラズマ・エッチング、反応イオンエッチング(ＲＩＥ)および化学エッチングの１つを用いて形成されるもの。
【請求項8】
請求項５に記載した方法であって、ドーピングが、イオン打ち込み、固体拡散、液体拡散、ｓｐｉｎ－ｏｎ沈着、プラズマ・ドーピング、気相ドーピングおよびレーザ・ドーピングの１つにより為されるもの。
【請求項9】
請求項５に記載した方法によって形成されるフォトダイオード配列。

【発明の詳細な説明】
【技術分野】
【0001】
〔関連技術の記載〕
本願は、“バックリットフォトダイオードおよびバックリット・フォトダイオートの製造方法”と称する２００５年１２月１６日出願の米国仮出願第６０／７５０,８７３号の優先権を主張するものである。
【背景技術】
【0002】
本発明は、バックリット・フォトダイオード配列、特に、後ろ側接点を有するＳＯＩ基板(絶縁物層上にケイ素を設けた基板)上に形成されたバックリット・フォトダイオード配列に関する。
【0003】
光子検知器あるいはフォト検知器(またはフォトダイオードと言う)は放射パワーあるいは光を直接電流に変換する半導体装置である。ＰＩＮダイオードあるいはＰＩＮフォトダイオードが一般に当業界で知られている。ＰＩＮ／ＮＩＰダイオードはフォート検知器の１つの形態である。
【0004】
ＰＩＮダイオードは、ｐ－ドープされた半導体領域とｎ－ドープされた半導体領域の間に挟まれた、大きくて、中性にドープされた真性領域を備えた１つのタイプのフォトダイオードである。ＰＩＮダイオードの名前は、その材料である、正、真性および負(ＰＩＮ)の層形から来ている。ＰＩＮダイオードは、その電気導電率の増加を入射放射の強度、波長および／または変調率の関数として示す。
【0005】
ＰＩＮダイオードは無線周波数(ＲＦ)およびマイクロウェーブ周波数で可変抵抗器として作動する。ＰＩＮダイオードの抵抗値は前向きのバイアスされた直流電流によってのみ決定される。ＰＩＮダイオードが０バイアスあるいはリバース・バイアス(逆バイアス)である高無線周波数(ＲＦ)では、本質的には逆電圧とは別個の平列板コンデンサとして現れる。
【0006】
フォトコンダクタ配列は、基板あるいはウェーハ上に一緒に配置されたＰＩＮ／ＮＩＰのようなフォート検知器の複数個のグループである。
後側に接点を有するＳＯＩ基板上に形成されたバックリット・フォトダイオード配列を提供することが望ましい。
【発明の開示】
【課題を解決するための手段】
【0007】
簡単に述べると、本発明の１つの実施例は、相互に対向する第１主表面と第２主表面と

SAMSUNG EX. 1002 - 1972/4148

を備えた半導体基板と、上記の第１主表面に形成された第１誘電層と、上記の第２主表面から延びる第１導電通路と、上記の第２主表面から延びる第２導電通路とを含むフォトダイオードからなる。上記の第１導電通路は上記の半導体基板と第１誘電層とを通って延びる。第１導電通路は第２誘電材料により半導体基板から分離されている。第２導電通路は半導体基板と第１誘電層とを通って延びている。第２導電通路は、第２誘電材料により半導体基板から分離されている。上記のフォトダイオードは、上記の第１誘電層に形成された第１陽極／陰極層と、この第１陽極／陰極層に形成された真性半導体層と、この真性半導体層に形成された第２陽極／陰極層とを含む。第１陽極／陰極層は電気的に第１導電通路に連結されていて、第１導電率を有するものである。第２陽極／陰極層は、第２導電通路に電気的に連結されていて、第１導電率とは反対の第２導電率を有するものである。

【0008】

本発明のもう１つの実施例は、ＳＯＩ基板とフォトダイオード層とを含むフォトダイオード配列からなる。このＳＯＩ基板は相互に対向する第１主表面と第２主表面と、この第１主表面に近接する誘電層とを有する。上記のフォトダイオード層は、上記のＳＯＩ基板の第１主表面上の誘電層に形成される。上記のフォトダイオードは上記の誘電層に近接する第１陽極／陰極層を、そしてその露出面に近接する第２陽極／陰極層とを有する。この第２陽極／陰極層に近接して、１つ以上の陽極／陰極通路がフォトダイオード層に形成され、誘電層まで延びている。第１導電通路および第２導電通路がＳＯＩ基板の第２主表面からＳＯＩ基板と誘電層とを通って延びている。第１導電通路が、第１陽極／陰極層に電気的に連結し、第２導電通路が、第２陽極／陰極層に電気的に連結している。

【0009】

本発明の更にもう１つの実施例は、相互に対向する第１主表面と第２主表面とを備えたＳＯＩ基板を提供することを含む、フォトダイオード配列の製造方法である。上記のＳＯＩ基板は第１主表面に近接する誘電層を有する。フォトダイオード層がＳＯＩ基板の第１主表面上の誘電層に形成されている。このフォトダイオード層は上記の誘電層に近接して第１陽極／陰極層を有し、その露出面に近接して第２陽極／陰極層を有する。１つ以上の陽極／陰極溝が第２陽極／陰極層に近接してフォトダイオード層に形成されている。この１つ以上の陽極／陰極溝が誘電層まで延び、その両壁がドープされる。第１および第２通路溝がＳＯＩ基板の第２主表面からＳＯＩ基板と誘電層とを通って延びている。第１導電層が第１通路溝に形成され、第１陽極／陰極層に電気的に連結されている。第２導電層が第２通路溝に形成され、第２陽極／陰極層に電気的に連結されている。

【発明を実施するための最良の形態】

【0010】

本発明の上記の概要および以下の詳細な説明は添付図面と共に読めばより良く理解される。本発明を図示するため、図面には現在好ましい実施例が示されているが、本発明は、図示されている正確な装置および器具に限定されるものではない。

【0011】

ある種の用語が以下の説明に便宜上のみ使われているが、これに限定されるものでない。“右”、“左”、“下方”および“上方”の言葉は言及している図面の方向を示す。“内方”および“外方”は、それぞれ、記載されている物体およびその指摘された部分の幾何学的中央に向かうあるいはそこから遠のく方向を言う。上記の用語には上記の言葉と、それらの派生語と、類似の意味の言葉を含む。加えて、クレームおよび明細書の対応部分に使われている“a”の言葉は“少なくとも１つ”を意味する。

【0012】

ここに使用されているように、導電率とは記載されている実施例に限定されれる。然し、当業者であれば、ｐ－型導電率はｎ－型導電率と交換でき、それでも装置は機能的には正しいことを知っている(すなわち、第１あるいは第２導電率型)。よって、ここで用いる場合、ｎあるいはｐと言っているのはｎとｐあるいはｐとｎに置き代えられることを意味する。

【0013】

SAMSUNG EX. 1002 - 1973/4148

SAMSUNG EX. 1002 - 1974/4148

更に、n^+及びp^+は、強くドープされたｎ領域及びｐ領域をそれぞれ意味する。n^{++}及びp^{++}は、非常に強くドープされたｎ領域およびｐ領域をそれぞれ意味する。n^-及びp^-は、弱くドープされたｎ領域およびｐ領域をそれぞれ意味する。n^{--}及びp^{--}は、非常に弱くドープされたｎ領域およびｐ領域をそれぞれ意味する。然し、そのような相対的ドーピングの言葉は限定的なものと解釈すべきではない。

【0014】

図面を詳細に参照すると、全体を通じて同様の符号が同様の要素を示し、図１には、本発明の好ましい実施例による、いくつかのフォトダイオード１２を含むフォトダイオード配列１０が示されている。

【0015】

各フォトダイオード１２は、半導体基板２０を含み、この半導体基板２０は相互に対向する第１主表面２０ａおよび第２主表面２０ｂと、第１主表面２０ａ上に形成されている第１誘電層２２と、第１導電通路３４と、第２導電通路３６とを備える。第１導電通路３４は第２主表面２ｂから半導体基板２０と第１誘電層２２とを通って延びる。第１導電通路３４は第２誘電材料３８により半導体基板２０から分離されている。第２導電通路３６は又第２主表面２０ｂから半導体基板２０と第１誘電層２２とを通って延びている。第２導電通路３６は同様に第２誘電材料３８により半導体基板２０から分離している。フォトダイオード１２は又第１誘電層２２に形成された陽極／陰極層２４と、真性半導体層２６に形成された第２陽極／陰極層３２とを含む。第１陽極／陰極層２４は第１導電通路３４に電気的に連結されて、第１導電率を有する。第２陽極／陰極層３２は第２導電通路３６に電気的に連結されて、第１導電率とは反対の第２導電率を有する。特に、フォトダイオード配列１０はＳＯＩ基板２０を含み、このＳＯＩ基板２０は第１主表面２０ａに近接する誘電層２２を有する。フォトダイオード層１４がＳＯＩ基板２０の第１主表面２０ａ上の誘電層２２に形成されている。各フォトダイオード１２は、誘電層２２に近接する第１陽極／陰極層２４を有し、そして真性半導体層２６の露出面に近接する第２陽極／陰極層３２を有する。１つ以上の陽極／陰極通路２８が各第２陽極／陰極層３２に近接して、各フォトダイオード１２に形成されている。その陽極／陰極通路２８はＳＯＩ基板２０の誘電層２２にまで延びている。複数個の第１導電通路３４および第２導電通路３６がＳＯＩ基板２０の第２主表面２０ｂに形成されている。これら第１導電通路３４および第２導電通路３６はＳＯＩ基板２０と誘電層２２とを通って延びている。第１導電通路３４の各々は各第１陽極／陰極２４に電気連結しており、第２導電通路３６は第２陽極／陰極３２に電気的に連結している。

【0016】

本発明から逸脱することなく、第１導電率はｐ型およびｎ型の一方であり、第２導電率はその他方であり得る。例えば、配列１０のフォトダイオード１２は、本発明から逸脱することなく、ＰＩＮダイオードあるいはＮＩＰダイオードでもよい。半導体基板２０はケイ素(Si)で形成されるのが好ましいが、ヒ化ガリウム（GaAs)、ゲルマニウム(Ge)等のその他の材料で形成されてもよい。

【0017】

一般に、半導体結晶が不純物を含んでいない場合、存在する唯一の電荷保有物は共有連結の熱破壊により生じたものであり、導電性は純粋半導体材料の特徴である。そのような結晶は“真性”半導体と称されている。ＰＩＮあるいはＮＩＰダイオードと言う場合は、当業界では従来弱くドープされた真性領域を含むものを言う場合使用されていた。ここでは、半導体基板あるいは半導体基板／エピタキシアル層を“真性”と言及するため用いられるが、本発明のフォトダイオード配列は、半導体基板が弱くドープされているかあるいはより一層強くドープされている場合でさえドープされていない基板と匹敵する働きをするものである。従って、“真性”の言葉は限定的に解釈されるべきでなく、本発明は、色々の材料から形成された純粋およびドープされた半導体基板を包含し得るものである。

【0018】

図８に示されているように、フォトダイオード配列１０は露出面２６ａに形成された複

SIONYX1403000022.0012

数個の陽極／陰極通路２８とこれらの陽極／陰極通路で形成された複数個の隣接する陽極／陰極３２とを含むのが好ましい。この複数個の陽極/陰極３２は、フォトダイオード配列１０をＸ線あるいはコンピュータ造影(ＣＴ)法のような映像に用いる場合、映像の画素と組み合わせてもよい。

【0019】

再び、図１に関し、フォトダイオード配列１０は、第２主基板表面２０ｂに近接する第１導電通路３４および第２導電通路３６の上あるいはこれらと接触して形成される後側接点４０および４２とを含む。

【0020】

図２から図７は１つの可能なフォトダイオード配列１０の製造方法を示す。この方法は、図２に示すように、相互に対向する第１主表面２０ａおよび第２主表面２０ｂを備えたＳＯＩ基板を提供することを含む。ＳＯＩ基板２０は第１表面２０ａに近接する誘電層２２を有する。図３Ａに関して、第１陽極／陰極層２４はＳＯＩ基板２０の第１主表面２０ａ上の誘電層２２に形成されている。真性半導体層２６が次いで第１陽極／陰極層２４に形成される。図３Ｂに示されているように、１つ以上の陽極／陰極溝および好ましくは複数個の間隔を開けて離れた陽極／陰極溝２８’が露出面２６’に近接して真性半導体２６に形成される。上記の１つ以上の陽極／陰極溝２８’は第１陽極／陰極層から誘電層２２まで延びる。

【0021】

図４Ａに関し、上記の１つ以上の陽極／陰極溝２８’の側壁２８ａおよび２８ｂが第１陽極／陰極層２４の導電率とは反対の導電率を有するドーパントでドープされる。図４Ｂに関し、陽極／陰極溝２８’は任意でドープされていないポリシリコンをレフィルして陽極／陰極通路２８を形成してもよい。次いで、露出面２６ａと陽極／陰極通路２８を平坦化して余分なポリシリコンを取除く。図５Ａに示されているように、露出面２６ａがドープされて第２陽極／陰極層３２を形成する。そのドーパントは第１陽極／陰極層２４の導電率とは反対の導電率のものである。第２陽極／陰極層３２は又、通路溝２８’が形成される前に形成することが出来る。

【0022】

ＳＯＩ基板２０は下記の通路溝３４’および３６’のエッチング時間を短縮するため所望のように薄くできる。然し、ＳＯＩ基板２０は十分な強度を保持するに足る厚さを維持すべきである。図５Ｂに関し、第１および第２通路溝３４’および３６’がＳＯＩ基板２０の第２主表面に形成されている。第１および第２通路溝３４’および３６’はＳＯＩ基板２０から誘電層２２まで延びる。図６は、通路溝３４’および３６’の両壁が酸化物のような誘電材料で任意で裏打ちされているのを示す。次いで図６Ｂに示されているように、通路溝３４’および通路溝３６’は第１誘電層２２を通って第１陽極／陰極層２４までエッチングされている。溝３４’は第１陽極／陰極層２４に当接し、溝３６’は陽極／陰極通路２８の１つに当接している。図７に関し、第１導電層３９が第１通路溝３４’に形成されて、この第１導電層３９は第１陽極／陰極２４に電気的に連結されている。第２導電層４１が第２通路溝３６’に形成されており、この第２導電層４１は第２陽極／陰極３２に電気的に連結されている。金属／ケイ化金属の沈着により両導電通路３４および３６ならびに後側接触パッド４０および４２の役割を果たす。

【0023】

図８に関し、陽極／陰極通路２８は又フォトダイオードを相互から分離させる役目を為す。分離のため溝形成に代えて、ドープされた分離領域を用いてもよい。フォトダイオード配列１０の露出面２６ａを選択的にマスクして第３導電率の第２ドーパントでドープする。(通路２８に代わる)ドープされた分離領域は、露出面２６ａから半導体基板２０の少なくとも第１主表面２０ａまで延びる。

【0024】

半導体基板２０および／または真性半導体層２６の表面は、必要なら、以下の工程の１つ以上を用いて平滑化する。

SIONYX1403000022.0013

SAMSUNG EX. 1002 - 1975/4148

（ｉ）等方性プラズマ・エッチングを用いて、溝の表面から薄いシリコン層(一般には１００－１０００Å)を除去する。
（ｉｉ）犠牲二酸化ケイ素層を溝の表面上で成長させ、緩衝酸化物エッチングあるいは希釈フッ化水素(ＨＦ)酸エッチングのようなエッチングを用いて除去する。

【0025】
これらの技術のいずれかあるいは両方を用いると、残留応力および好ましくない汚染物を除去しつつ、丸い角を備えた平滑な溝表面を生成することができる。然し、垂直壁と方形角を備えることが望ましい場合は、上記の等方性エッチングに代え異方性エッチング方法が用いられる。等方性エッチングとは反対に、異方性エッチングはエッチングされる材料においてエッチング率と方向が異なるものを意味する。

【0026】
イオン打ち込み、固体拡散、液体拡散、ｓｐｉｎ－ｏｎ沈着、プラズマドーピング、気相ドーピング、レーザ・ドーピング等の1つを用いてドーピングが為される。ホウ素(Ｂ)でのドーピングではｐ型領域が多くなり、リン酸Ｐドーピングではｎ型領域が多くなり、ヒ素Ａｓドーピングではｎ型領域が多くなる。アンチモンＳｂ、ビスマスＢｉ、アルミニウムＡｌ、インジウムＩｎ、ガリウムＧａ等のその他のドーパントが、真性半導体層２６の材料とドーピングの所望の強度によって、用いられる。

【0027】
ドーパントを拡散により施してもよい。真性半導体層２６は、約７００℃から約１２００℃の適切な拡散チャンバにホウ素あるいはリン酸等の固体源に近接して置かれる。あるいは、真性半導体層２６は約７００℃から約１２００℃のドーパントの液体源に晒される。

【0028】
あるいは又、ドーパントは打ち込んでもよい。真性半導体層２６は、約４０～１０００ＫｅＶの範囲の高エネルギー・レベルでホウ素Ｂ、リンＰ、ヒ素Ａｓ等を打ち込む。エネルギー・レベルは約２００～１０００ＫｅＶの範囲が好ましいが、ドーパントを十分に打ち込めるよう選択すべきである。第２ドーパントは、ホウ素Ｂ、リンＰ、ヒ素Ａｓ等である。第２陽極／陰極層は第１導電率を有する。１２００℃までの温度での工程における更なる打ち込みが、打ち込まれたドーパントが基板に十分に貫通(driven)されるように１２時間までの間為される。

【0029】
後側接点４０あるいは４２は、スパッタリング、蒸発および／または電気メッキにより形成され、図１に示されているフォトダイオード配列１０になる。接点４０および４２はアルミニウムＡｌ、アルミニウム・シリコンＡｌ[％Ｓｉ]、銅Ｃｕ、金Ａｕ、銀Ａｇ、チタニウムＴｉ、タングステンＷ、ニッケルＮｉ等の金属およびこれらの組み合わせ、あるいはドープされたあるいはドープされていないポリシリコンでもよい。接点４０および４２は又異なる金属の層でもよい。

【0030】
この技術分野で知られているその他の処理工程を本発明から逸脱することなく用いても良い。

【0031】
接着工程は１２００℃までの温度で約数分から６時間までの間焼鈍し炉での基板の焼きなましを含んでもよい。任意で、接着工程はシリコン基板の表面を水(H_2O)および過酸化水素(H_2O_2)で濡らし、濡らしたシリコン基板を共にプレスし、８００～１２００℃で焼鈍す前に乾燥させることを含んでもよい。プラズマエッチングを用いて、接着するシリコン基板の表面上の不純酸化物を除去する。次いで、その他の処理工程全てを為してフォトダイオード配列を形成する。

【0032】
本発明の第２の好ましい実施例によるフォトダイオード配列１０のもう１つの製造方法は相互に対向する第１主表面２０ａおよび第２主表面２０ｂを備えた半導体基板２０を提

SAMSUNG EX. 1002 - 1976/4148

供することを含む。酸化物層２２が半導体基板２０の第１主表面２０ａに形成され、この酸化物層２２の上に第１導電率のエピタキシアル層２４が沈着あるいは成長される。エピタキシアル成長あるいは沈着は約１２００℃までの温度の適切な反応室で生じる。その他の処理工程の全てが次いで為されてフォトダイオード配列１０を形成する。

【0033】

従って、フォトダイオード配列１０は、両側が適切にドープされた１枚の基板から形成でき、共に接着され適切にドープされた複数枚の基板からも作成でき、適切にドープされるエピタキシアル成長層を備えた基板からも作成でき、エピタキシアル層を備えた基板から作成され、この基板を適切にドープしても作成できる。

【0034】

以上より、本発明は、後側接点を備えたＳＯＩ基板上に形成されたバックリット・フォトダイオード配列に関することが分かる。当業者であれば、上記の実施例を、その広い発明的概念から逸脱することなく変更できることは認識するであろう。よって、本発明は開示された特定の実施例に限定されず、添付のクレームに記載された本発明の精神と範囲内の変形例もカバーするものである。

【図面の簡単な説明】

【0035】

【図1】本発明の第１の好ましい実施例による、後側接点を有するＳＯＩ基板上に形成されたフォトダイオード配列の部分断面正面図である。

【図2】図１に示すフォトダイオード配列を形成するためのＳＯＩ基板の部分断面正面図である。

【図3】図３Ａおよび図３Ｂは、陽極／陰極溝形成を示す、部分的に形成されたフォトダイオード配列の部分断面正面図である。

【図4】図４Ａお呼びは図４Ｂは、溝のドープと任意の溝のレフィルを示す、部分的に形成されたフォトダイオード配列の部分断面正面図である。。

【図5】図５Ａ及び図５Ｂは、表面拡散と後側通路の溝形成を示す、部分的に形成されたフォトダイオード配列の部分断面正面図である。

【図6】図６Ａ及び図６Ｂは、通路の側壁の酸化を示す、部分的に形成されたフォトダイオード配列の部分断面正面図である。

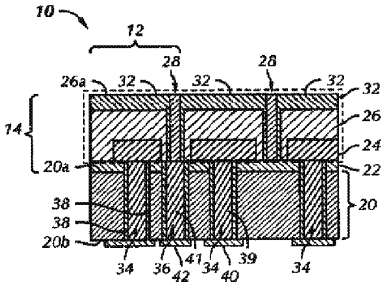
【図7】図７は金属／ケイ化金属接点の沈着を示す、部分的に形成されたフォトダイオード配列の部分的断面正面図である。

【図8】図８は分離溝あるいはインプラントを示す、図１に示したフォトダイオード配列の平面図である。

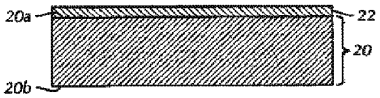
SIONYX1403000022.0015

SAMSUNG EX. 1002 - 1977/4148

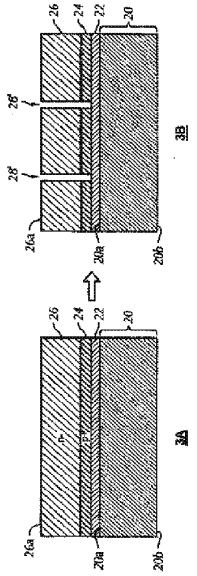
【図1】


10
12
28
26a
32
14
20a
38
20b
34
36
42
41
40
39
26
24
22
20

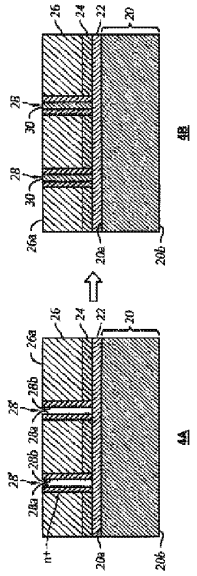
【図2】


20a
22
20
20b

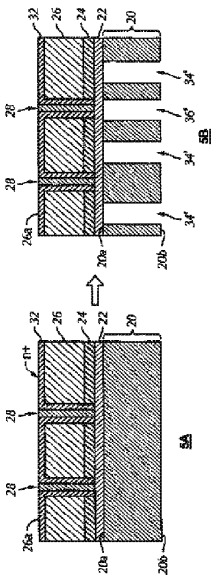
【図3】


3B
3A
26
24
22
20
28
26a
20a
20b

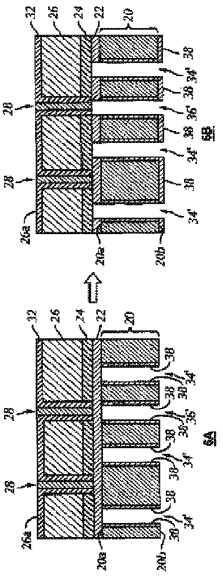
【図4】


4B
4A
26
24
22
20
28
30
26a
20a
20b
n+

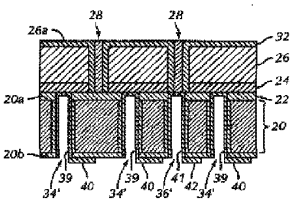
【図5】


5B
5A
32
26
24
22
20
28
34
36
26a
20a
20b
n+

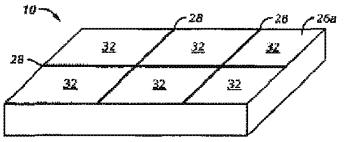
【図6】



【図7】



【図8】



SAMSUNG EX. 1002 - 1979/4148

(72)発明者　ブロガン、コーナー
英国　北アイルランド　ビィティ５　７ディティ、ベルファースト、ギルナハーク　ライズ　１９
(72)発明者　グリフィン、ヒュー　ジェイ
英国　北アイルランド　ビィティ３６　７イージェイ、ニュータウナベイ　コウ　アントリム、アーサー　アヴェニュ　２７
(72)発明者　マクナマラ、コーマック
英国　北アイルランド　ビィティ７　３イージィ、ベルファースト、サニィサイド　ストリート　１２８

Ｆターム(参考) 5F049 MA04 MB02 NA19 NB10 PA06 PA07 PA08 PA09 PA10 PA14
PA15 RA04 SE05 SE20 SS03 SS08

SIONYX1403000022.0018

SAMSUNG EX. 1002 - 1980/4148

【外国語明細書】
2007165909000001.pdf

Espacenet

Bibliographic data: JP2008283219 (A) — 2008-11-20

OPTICAL DEVICE

Inventor(s): YAMAMOTO KAZUE; SHIMIZU TATSUO ± (YAMAMOTO KAZUE, ; SHIMIZU TATSUO)

Applicant(s): TOSHIBA CORP ± (TOSHIBA CORP)

Classification: **- international:** ***C23C16/28; C30B29/08; H01L31/0248***
- cooperative:

Application number: JP20080208973 20080814

Priority number (s): JP20080208973 20080814

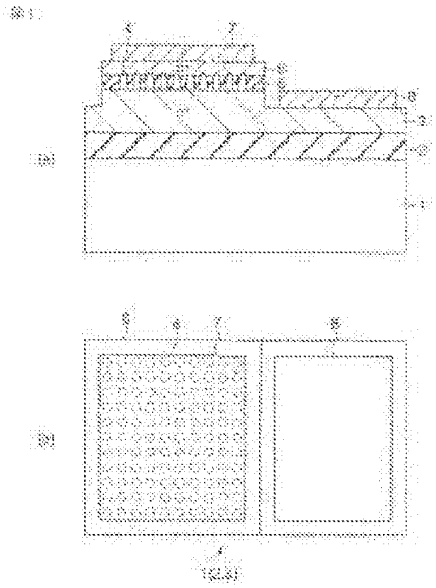
Also published as: JP4875033 (B2)

Abstract of JP2008283219 (A)

PROBLEM TO BE SOLVED: To solve the problem that there has not been practical application of long-wavelength of optical absorption or optical absorption in a long-wave length range when germanium is used for an optical device on the long-wavelength range to be mounted on an optical/electric large-scale integration (LSI) by using a semiconductor process. ;SOLUTION: The optical device includes a photoelectric conversion layer using a tetrahedrally-bonded semiconductor containing an atom of germanium as a major ingredient, an n-type dopant D or a p-type dopant A substituted for the atom of germanium at a lattice point site of the tetrahedrally-bonded semiconductor constituting the photoelectric conversion layer and a different kind atom Z inserted into an interstitial site closest to the dopant and the different kind atom Z has electron arrangement of closed shell structure by charge compensation with the dopant. ;COPYRIGHT: (C)2009,JPO&INPIT

SIONYX1403000022.0020

SAMSUNG EX. 1002 - 1982/4148



SIONYX1403000022.0021

SAMSUNG EX. 1002 - 1983/4148

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2008-283219
(P2008-283219A)
(43)公開日　平成20年11月20日(2008.11.20)

(51)Int.Cl.			F I			テーマコード（参考）
H01L	31/0248	(2006.01)	H01L	31/08	H	4G077
C23C	16/28	(2006.01)	C23C	16/28		4K030
C30B	29/08	(2006.01)	C30B	29/08		5F088

審査請求 有　請求項の数 1　OL　（全 21 頁）

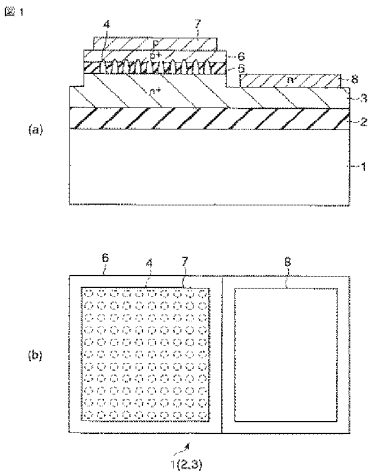
(21)出願番号　特願2008-208973 (P2008-208973)
(22)出願日　平成20年8月14日 (2008.8.14)
(62)分割の表示　特願2006-270003 (P2006-270003)の分割
原出願日　平成18年9月29日 (2006.9.29)

(71)出願人　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(74)代理人　100108855
弁理士　蔵田　昌俊
(74)代理人　100091351
弁理士　河野　哲
(74)代理人　100088683
弁理士　中村　誠
(74)代理人　100109830
弁理士　福原　淑弘
(74)代理人　100075672
弁理士　峰　隆司

最終頁に続く

(54)【発明の名称】光デバイス

(57)【要約】
【課題】　ゲルマニウムは、半導体プロセスを用いて光電気混載ＬＳＩに搭載される長波長帯光デバイスに用いる場合、吸収の長波長化又は長波長帯での吸収が実用化されていない。
【解決手段】　ゲルマニウム原子を主成分とする四面体結合される半導体を光電変換層に用いる光デバイスであり、光電変換層を構成する四面体結合される半導体の格子点サイトのゲルマニウム原子を置換するｎ型ドーパントＤまたはｐ型ドーパントＡと、前記ドーパントに最近接の格子間サイトに挿入される異種原子Ｚを含み、異種原子Ｚはドーパントとの電荷補償により電子配置が閉殻構造となる光デバイスである。
【選択図】　図１



SIONYX1403000022.0022

SAMSUNG EX. 1002 - 1984/4148

【特許請求の範囲】
【請求項1】
ゲルマニウム原子を主成分とする四面体結合される半導体からなり、前記四面体結合される半導体の格子点サイトのゲルマニウム原子を置換する第１導電型のドーパントＤ又は第２導電型のドーパントＡのいずれかと、前記ゲルマニウム原子を置換するドーパントに最近接の格子間サイトに挿入される異種原子Ｚとを含み、前記異種原子Ｚは前記ドーパントとの電荷補償により電子配置が閉殻構造を成す光電変換層を具備することを特徴とする光デバイス。
【発明の詳細な説明】
【技術分野】
【0001】
本発明は、ゲルマニウムを主成分とし、軸引っ張り構造若しくは、ＦＴ構造の構成部位に作製された長波長帯における感度が増強された光デバイスに関する。
【背景技術】
【0002】
一般に、ゲルマニウムは、近赤外領域に感度を持つ代表的な光電変換材料として光デバイスに用いられている。光デバイスのうち、ゲルマニウム系材料を光電変換層に用いた光デバイスは、半導体製造プロセスによりＳｉ基板上に作製可能であることから、近年開発が盛んな光電気混載ＬＳＩ分野における長波長帯光デバイスの候補と考えられている。
【0003】
ゲルマニウム光デバイスの外部量子効率は、例えば、非特許文献１において波長１．５μｍを超えると急激に減少することが報告されている。従って、数１０ＧＨｚオーダーの高速応答を実現できる可能性を持つ波長領域は１．５μｍより短波長側である。ところが、通信用光源である光ファイバーの増幅領域は波長１．５３－１．５６μｍであるため、この領域で高速応答を実現しようとするとゲルマニウム光デバイスでは分光感度が足りないことになる。
【0004】
ゲルマニウム光デバイスの分光感度を高めるには、吸収を長波長化する、または吸収を強めることが有効である。ゲルマニウムは半導体であり、バンド端近傍の近赤外領域では吸収が小さい本質的な問題がある。これらの本質的な問題の根源的な原因は、その波長域における価電子帯と伝導帯間の電気双極子遷移がそもそも光学禁制であるためである。
【0005】
エネルギーバンド構造を変調することで、吸収や発光などの光学特性を制御する技術をバンドエンジニアリングと呼び、盛んに研究されている。材料としては化合物半導体系が主流であり、技術としては量子ドット（量子細線、超格子）がよく知られている。この量子ドットは、物質の大きさを３次元的（２次元的、１次元的）に縮小し、電子をその中に閉じ込めることでバンド構造を変調するものである。しかしながら、この技術では、物質のサイズを小さくして電子を閉じ込めるほど、吸収は短波長シフトする。
【0006】
従って、ゲルマニウムの吸収を長波長化させる、あるいは長波長帯での吸収を強めることは技術的に困難だという問題がある。
【特許文献1】特表２００５－５３０３６０号公報
【非特許文献1】M.Jutzi, IEEE Photonics Technology Lett., 17,1510 (2005)
【非特許文献2】(K. Akahane, N. Yamamoto, S. Gozu, A. Ueta and N. Ohtani, J. Cryst. Growth 264, 21 (2004))
【発明の開示】
【発明が解決しようとする課題】
【0007】
前述した量子ドット（量子細線、超格子）は、物質の大きさを３次元的（２次元的、１次元的）に縮小し、電子をその中に閉じ込めることでバンド構造を変調するものである。

SIONYX1403000022.0023

SAMSUNG EX. 1002 - 1985/4148

しかしながら、このバンド構造を変調する技術では、物質のサイズを小さくして電子を閉じ込めるほど、吸収は短波長シフトする。

【0008】

従って、ゲルマニウムの吸収を長波長化させる、あるいは長波長帯での吸収を強めることは技術的に困難である。従って、ゲルマニウムはＳｉ基板上に作製可能であり、光電気混載ＬＳＩにおける長波長帯光デバイスの有力候補であるが、分光感度が足りず実質的な利用には至っていない。

【0009】

そこで本発明は、ゲルマニウム原子間の結合長を伸長する又はゲルマニウム中にＦＴ構造を形成してバンド構造を変調し、長波長帯で実用可能な光デバイスを提供すること目的とする。

【課題を解決するための手段】

【0010】

上記目的を達成するために、ゲルマニウム原子を主成分とする四面体結合される半導体からなり、前記四面体結合される半導体の格子点サイトのゲルマニウム原子を置換する第１導電型のドーパントＤ又は第２導電型のドーパントＡのいずれかと、前記ゲルマニウム原子を置換するドーパントに最近接の格子間サイトに挿入される異種原子Ｚとを含み、前記異種原子Ｚは前記ドーパントとの電荷補償により電子配置が閉殻構造を成す光電変換層を具備する光デバイスを提供する。

【発明の効果】

【0011】

本発明によれば、ゲルマニウム原子を主成分とする四面体結合される半導体を光電変換層に用いる光デバイスであり、基板格子定数がゲルマニウムよりも小さく、基板面方位が｛１１１｝面であり、基板面と垂直な＜１１１＞軸方向に光電変換層の半導体格子を伸長させる光デバイスを提供することができる。

【発明を実施するための最良の形態】

【0012】

以下、図面を参照して本発明の実施形態について詳細に説明する。

本実施形態の光デバイスにおける光電変化層に適用する半導体のバンド構造の変調について説明する。本実施形態では、光デバイスのうち、２つのバンドエンジニアリング法である、「＜１１１＞軸引張り構造」と「ＦＴ（filled tetrahedral）構造」の光電変化層を用いて作製した受光素子を一例として説明する。尚、以下の説明において、ミラー指数において、（　）は（面）を示し、［　］は［結晶の方向：面と垂直になる法線方向］を示す。また、｛　｝は互いに等価な（面）を包括する｛面｝を示し、＜　＞は互いに等価な［方向］を包括する＜方向＞を意味する。例えば、＜１１１＞は結晶の方向：［１１１］、［－１－１１］、［－１１－１］、［１－１－１］等の軸方向の総括を意味する。また、｛１１１｝は面方位：（１１１）面、（１－１１）面、（－１１１）面、（－１－１１）面等の面方位の総括を意味する。

【0013】

（１）ゲルマニウムのバンド構造と光学特性

ゲルマニウム等の間接半導体が持つ間接的なバンド構造及び吸収係数が小さい理由について説明する。図２には、ゲルマニウムのバンド構造を示している。ゲルマニウムが間接半導体となる主たる理由は、構成原子間の結合長ｄが僅かに短いためと考えられている。Γ点における伝導帯と価電子帯のエネルギー差ΔＥは結合長ｄに強く依存し、結合長ｄが短くなるほどΔＥは増加する。従って、結合長ｄが長くなるとエネルギー差ΔＥが急速に小さくなり、直接バンド構造をとるように変化すると推測される。

【0014】

ゲルマニウムの光学特性は、間接半導体であるために電気双極子遷移が光学禁制となり、バンド端付近の低エネルギー領域では弱い吸収しか示さない。即ち、吸収係数が小さい。対照的に、ＧａＡｓなどの直接半導体は電気双極子遷移に由来する直接遷移が起こり、

SIONYX1403000022.0024

SAMSUNG EX. 1002 - 1986/4148

強いバンド間吸収が生じる。即ち、吸収係数が大きい。両者の相違は、以下に述べる２つの選択則を満たすか否かの主な原因がある。

【0015】

その１つは波数の選択則であり、特定波数でエネルギーギャップが最小となることである。もう１つは波動関数の対称性に関する選択則であり、ギャップ最小となる波数において、伝導帯と価電子帯のうち一方が偶関数、他方が奇関数となることである。

【0016】

対称性の選択則について補足すると、２準位間の発光や光吸収の強さは＜上準位｜遷移双極子モーメントμ｜下準位＞で与えられ、この２準位が原子軌道近似でｓ軌道（偶関数）及びｐ軌道（奇関数）で表される半導体では、μは奇関数であることから、＜ｓ｜μ｜ｐ＞＝∫偶・奇・奇ｄｒ≠０であり、光学許容となる。これに対し、２準位がともにｐ軌道で表される半導体では、＜ｐ｜μ｜ｐ＞＝∫奇・奇・奇ｄｒ＝０であり、光学禁制となる。

【0017】

光半導体は、Γ点でギャップ最小となり波数の選択則を満足する。光半導体は、伝導帯と価電子帯の波動関数がそれぞれｓ軌道とｐ軌道で表されるため、対称性の選択則も満たす。一方、間接半導体は、ギャップ最小となる波数が伝導帯と価電子帯で異なることから波数の選択則を満足せず、しかも伝導帯と価電子帯の波動関数がともにｐ軌道であることから対称性の選択則も満足しない。このために光学禁制となる。

【0018】

（２）＜１１１＞軸引張り構造によるバンド構造変調と吸収変調の原理

＜１１１＞軸引張り構造の特徴を述べ、長波長帯の吸収が強まる原理について説明する。上述したように、原子間結合長が短いとΓ点における伝導帯と価電子帯のエネルギー差ΔＥは広がり、間接半導体になり易い。結合長の短い半導体としては、ダイヤモンド（ｄ＝１．５４Å、間接）、シリコン（ｄ＝２．３５Å、間接）、ＳｉＣ（ｄ＝１．８８Å、間接）、ＢＮ（ｄ＝１．５７Å、間接）、ＢＰ（ｄ＝１．９７Å、間接）、ＧａＮ（ｄ＝１．９４Å、直接）、ＧａＰ（ｄ＝２．３６Å、間接）、Ａ１Ｎ（ｄ＝１．８９Å、直接）、Ａ１Ｐ（ｄ＝２．３６Å、間接）、ＺｎＯ（ｄ＝１．９８Å、直接）などが知られており、傾向としては間接半導体が多い。

【0019】

図３はゲルマニウムにおける、格子定数変化に対する３つのエネルギー差、伝導帯Γ点と価電子帯Γ点とのエネルギー差［Γｃ－Γｖ］１１、伝導帯Ｌ点と価電子帯Γ点とのエネルギー差［Ｌｃ－Γｖ］１２、伝導帯Ｘ点と価電子帯Γ点とのエネルギー差［Ｘｃ－Γｖ］の変化を計算した結果を示す。

【0020】

図中に示すように、格子定数変化０％ではＬｃ－Γｖがゲルマニウムのバンドギャップ（０．８ｅＶ）を決める。格子定数が増える方向に変化するとＬｃ－Γｖは徐々に減り、＋０．８％以上では伝導帯最下端はＬｃからΓｃに乗り移り、Γｃ－Γｖが最小ギャップ（０．５ｅＶ以下）となる。すなわち、＋０．８％以上の格子定数変化領域のゲルマニウムは直接的なバンド構造を持つ半導体に変化し、且つバンドギャップは０．５ｅＶ以下にまで低減する。

【0021】

以上の結果は、ゲルマニウムの格子定数が３次元的に膨らむ場合に関するものである。３次元的な引張りでは、全てのＧｅ－Ｇｅ結合長が増加する。このため、先の（１）で説明した結合長増加の効果により、ゲルマニウムは直接半導体に変化すると考えられる。

【0022】

これに対して、我々の研究によれば、１つのＧｅ原子から４方向に伸びたＧｅ－Ｇｅ結合のうち、ある一方向（［１１１］軸、［－１－１１］軸、［－１１－１］軸、［１－１－１］軸のいずれか）だけを伸長させた場合でも、比較的小さな格子定数増加で、ゲルマニウムを直接半導体に変化させられることが明らかになった。図３には、＜１１１＞軸引張

SAMSUNG EX. 1002 - 1987/4148

り構造［Γｃ－Γｖ］１３、［Ｌｃ－Γｖ］１４を示している。

【0023】

定性的には、他の結晶軸、例えば［１００］軸を引っ張る構造では、Ｇｃ－Ｇｃ結合の結合長は引張り応力と圧縮応力が相殺して格子定数変化自体が小さくなり、バンド構造の変調も小さいが、結合に平行な結晶軸、例えば＜１１１＞軸を引っ張る構造では、４つのＧｅ－Ｇｅ結合のうち、＜１１１＞軸に平行な結合のみ選択的に結合長が長くなり、効果的に直接遷移化が起きると考えられる。

【0024】

この＜１１１＞軸引張り構造による長波長帯での吸収増加の原理であるが、これは、図４（ｂ）に示すように、バンドギャップが狭まることによって吸収スペクトルが低エネルギーシフトするためである。なお、吸収が低エネルギー化するほど、光学許容遷移であるΓｃ－Γｖ遷移も低エネルギーシフトする。バンド端近傍の波長領域、すなわち、長波長帯では、引張り構造の導入によって吸収に占めるΓｃ－Γｖ遷移の割合が増すことから、吸収係数も劇的に増加する。

【0025】

（３）ＦＴ（filled tetrahedral）構造によるバンド構造変調と吸収変調の原理

ＦＴ構造の特徴と吸収が強まる原理を説明する。以下の説明において、ＦＴ構造を持つ半導体をＦＴ半導体と称する。ＦＴ半導体は、図５（ａ）に示すように、格子間サイトの空間に閉殻構造の希ガス原子２２が導入された半導体、あるいは図５（ｂ）に示すように、格子点サイトを置換するｎ型ドーパントＤ（またはｐ型ドーパントＡ）２３と格子間サイトに挿入された異種原子Ｚ２４との組合せであるＤ－Ｚペア（またはＡ－Ｚペア）が導入された半導体を指す。なお、Ｄ－Ｚペア（またはＡ－Ｚペア）間の電荷補償効果により、ドーパントＤ（またはＡ）の最外殻電子配置はゲルマニウム原子２１のそれと同等であり、また異種原子Ｚ２４の電子配置は閉殻構造となるため、希ガス原子２２のそれと同じになる。

【0026】

これら２種類のＦＴ半導体のうち、希ガス原子を導入した図５（ａ）のＦＴ半導体は熱的に不安定である。その理由は、加熱により、希ガス原子２２が容易に母体半導体中を拡散してしまうためである。図５（ｂ）のＤ－Ｚペア（またはＡ－Ｚペア）を持つＦＴ半導体は、熱的安定性を向上させるために考案した新半導体である。これは、ドーパントＤ（またはＡ）と異種原子Ｚ２４を引き離そうとすると、両者の間に静電相互作用が働き、両者の結合を保持しようとする力が生じる。

【0027】

図６（ａ）乃至（ｃ）は、ゲルマニウムのダイヤモンド構造における、伝導帯Γ点（Γｃ）［図６（ａ）］、伝導帯Ｌ点（Ｌｃ）［図６（ｂ）］、価電子帯Γ点（Γｖ）［図６（ｃ）］の各々について実空間上での電子状態を示す図である。

【0028】

図６（ａ）に示すように、＜１１１＞軸方向で見ると、原子座標（０，０，０）、（１／４，１／４，１／４）にゲルマニウム原子が位置し、Ｇｅ－Ｇｅ結合で結ばれている。原子座標（２／４，２／４，２／４）、（３／４，３／４，３／４）には格子間サイトが並ぶ。四面体結合構造では、＜１１１＞軸に沿って原子が２個並び、格子間サイトが２個並び、再び原子が２個並ぶという、隙間の多い結晶構造をとる。

【0029】

格子間サイトには、原子は存在しないが、ゲルマニウム原子の反結合性ｐ軌道と結合性ｐ軌道が格子間サイト方向に向かって広がるため、格子間サイトには電子状態が存在する。要するに、格子間サイトにはｐ軌道状態が存在する。吸収を高める原理は、格子点サイトにドーパントＤ（Ａ）を導入し、格子間サイトに異種原子Ｚを導入することでＦＴ構造を作り、ｐ軌道を選択的に変調することにある。

【0030】

ＦＴ構造が作られると、格子間サイトの電子が排除され、ｐ軌道に由来するＬｃとΓｖ

SIONYX1403000022.0026

SAMSUNG EX. 1002 - 1988/4148

のエネルギーは上昇する。しかし、反結合性ｓ軌道に由来するΓｃエネルギーは殆ど影響を受けない。従って、Γｃ－Γｖのエネルギー差が減少し、Γｖに対するΓｃの位置が相対的に下がって直接遷移化するため、光の吸収が増大する。

【0031】

図７（ａ），（ｂ）に示すエネルギーバンド図を参照して、ＦＴ構造がバンド構造変調と吸収変調の原理を整理して説明する。

図７（ａ）に示すように、ゲルマニウム［結晶Ｇｅ］ではｐ軌道が伝導帯の下端と価電子帯の上端を構成し、ｓ軌道は伝導帯のさらに上方にある。ＦＴ構造［ＦＴ－Ｇｅ］は、格子間サイトに閉殻構造を持つ異種原子を導入することによって、この２つのｐ軌道を上昇させてｓ軌道に近づける。さらには、レベル交差させてｓ軌道の伝導帯の上方にｐ軌道の価電子帯の上端が位置する。つまり、光学許容遷移であり、強い吸収を示すΓｃ－Γｖ遷移が低エネルギーにシフトすることで長波長帯における吸収係数が増大する。

【0032】

一般に格子間に原子が存在すると、バンドギャップ内に深い準位や欠陥準位が形成される場合があり、光電変化層内での光から電気への変換効率に悪影響を与える場合がある。しかし、本実施形態のＦＴ構造では、ワイドギャップを有する閉殻構造の異種原子が挿入されるため、原理的にそのような準位は形成されない。

【0033】

本実施形態において、＜１１１＞軸引張り構造を有する半導体としては、単体元素半導体であるゲルマニウムＧｅや、化合物半導体である$Ge_{1-y}C_y$（$1<y<1$）、Si_xGe_{1-x}（$0<x<1$）、及び$Si_xGe_{1-x-y}C_y$（$0<x<1$，$1<y<1$）からなる群より選択される。

【0034】

光電変換層に用いる半導体層の＜１１１＞軸を引っ張る方法としては、以下の例が挙げられる。

【0035】

（ｉ）１つの結合方向を＜１１１＞方向として、光電変換層に用いる半導体と比較して格子定数が小さい物質の｛１１１｝基板を用いることで、光電変換層に面内圧縮応力を加え、基板法線方向、要するに＜１１１＞軸方向に伸長させる。

【0036】

（ii）前記(i)の場合において、光電変換層に用いる半導体と比較して格子定数が小さい物質の｛１１１｝以外の面方位を持つ基板、例えば（１００）基板を用い、異方性エッチングにより（１１１）面、（１－１１）面、（－１１１）面、（－１－１１）面を面出した凹凸状表面とし、その上に光電変換層に形成することで、各面にて光電変換層に面内圧縮応力を加え、各々［１１１］軸、［１－１１］軸、［－１１１］軸、［－１－１１］軸方向に伸長させる。

【0037】

（iii）前記（ｉ）（ii）の場合において、基板上に光電変換材料からなる突起構造を複数個形成し、突起部間にアモルファスシリコンなどの異種材料を充填し、例えばこのアモルファスシリコン層を選択酸化させることにより、突起構造に面内圧縮を加え、［１１１］］軸（又は、［１－１１］軸、［－１１１］軸、［－１－１１］軸）方向に伸長させる。尚、突起構造とは、光デバイス（ここでは、受光素子）を上面から見ると、ゲルマニウムからなる複数の突起部がドットマトリックス状に配置され、側面（断面）から見ると、基板面上に複数の突起部とが配列された構造を示している。また、ここでは、突起部即ち、複数のゲルマニウムナノドット部が｛１１１｝面上に、ドットマトリクス状に並置（juxtapose）され、それらの周囲を絶縁体で充填されたゲルマニウムナノナノドット構造と称してもよい。尚、ナノドットとは、典型的には１ナノメートルから１０００ナノメートルまでの大きさの微細構造を示唆する。

【0038】

（iv）前記（ｉ）（ii）の場合において、基板上に光電変換層を形成し、この層の上部

SIONYX1403000022.0027

SAMSUNG EX. 1002 - 1989/4148

に面内圧縮応力を生じさせる積層膜を形成することで、光電変換層を［１１１］軸（又は、［１－１１］軸、［－１１１］軸、［－１－１１］軸）方向に伸長させる。

【0039】

（ｖ）前記（ｉ）（ｉｉ）の場合と異なり、光電変換層に用いる半導体と比較して格子定数が大きい物質を基板に用い、基板面方位を（ＬＭＮ）面として、Ｌ＋Ｍ＋Ｎ－０を満足する基板を用いることで、光電変換層に面内引張り応力を加え、基板面と平行な［１１１］軸方向に伸長させる。補足すると、仮に、基板面と［－１１１］軸とが平行で、この［－１１１］軸を伸長させるには、基板法線ベクトル（Ｌ，Ｍ，Ｎ）とベクトル（－１，１，１）との内積がゼロになるＬＭＮの組み合わせを選べばよい。すなわち、基板面方位として｛１１０｝面を選べばよいという具合である。

【0040】

光電変換層に用いる半導体と比較して小さい格子定数を持つ基板としては、単体元素半導体であるシリコンが挙げられる。さらに、光電変換層と類似の化合物半導体である$Ge_{1-y}C_y$（$1<y<1$）、Si_xGe_{1-x}（$0<x<1$）、又は$Si_xGe_{1-x-y}C_y$（$0<x<1$，$1<y<1$）からなる群より選択することも可能である。この場合、基板に用いる化合物半導体のＳｉとＣの組成比ｘ、ｙは、光電変換層の組成比よりも大きい値の化合物半導体を用いる。従って、基板の格子定数は、光電変換層よりも小さくすることになる。

【0041】

また、反対に、光電変換層よりも大きい格子定数を持つ基板としては、シリコン基板上にＭＳｂ（Ｍ＝Ａｌ、Ｇａ、Ｉｎ、またはその合金）で表されるアンチモン系III－V化合物半導体層を被覆した、擬似III－V化合物半導体基板を用いることができる。

【0042】

公知な技術として、Ｓｉ｛１００｝基板上にゲルマニウムを成長させ、格子ミスマッチによる歪み効果を利用してゲルマニウムに引っ張り応力を与えて吸収を長波長化させる方法が知られている（特許文献１）。この方法では、引っ張り応力を［１１１］軸方向ではなく、［１００］軸方向に働かせることが技術的に大きな相違点である。先の「＜１１１＞軸引張り構造によるバンド構造変調と吸収変調の原理」の節でも述べたように、［１００］軸引張り構造では、Ｇｃ－Ｇｃ結合の結合長は引張り応力と圧縮応力が相殺して格子定数変化自体が小さくなり、バンド構造の変調も小さいという欠点がある。

【0043】

特許文献１によれば、格子定数変化が＋２％まではバンド構造は間接的であり、＋０．８％のときのバンドギャップ減少量は０．１ｅＶである。＜１１１＞軸引張り構造と比べると、バンド変調を引き起こすにはより大きな格子定数変化が必要である。要するに、（１００）基板を用いるこの方法は、本実施形態のおける｛１１１｝基板を用いて、＜１１１＞軸を選択的に引っ張る方法と比較して、ゲルマニウムのバンド変調効果は小さい。

【0044】

また、本実施形態において、ＦＴ半導体に含まれる母体半導体、ドーパントＤまたはＡ、及び異種原子Ｚの組み合わせとしては、以下の例が挙げられる。

【0045】

（vi）母体半導体をIVb単体半導体及びIVb-IVb化合物半導体からなる群より選択し、ドーパントＤをVa元素またはVb元素からなる群より選択し、異種原子ＺをVIIb元素からなる群より選択する。

【0046】

（vii）母体半導体をIVb単体半導体及びIVb-IVb化合物半導体からなる群より選択し、ドーパントＡをIIIa元素及びIIIb元素からなる群より選択し、異種原子ＺをIa元素及びIb元素からなる群より選択する。

【0047】

ＩＶｂ系以外の母体半導体、ドーパントＤまたはＡ、及び異種原子Ｚの組み合わせとしては、以下の例が挙げられる。

【0048】

SIONYX1403000022.0028

SAMSUNG EX. 1002 - 1990/4148

母体半導体の例としては以下のようなものが挙げられる。IVb単体半導体はゲルマニウムを指す。IVb-IVb化合物半導体は$Ge_{1-y}C_y$（$1<y<1$）、Si_xGe_{1-x}（$0<x<1$）、又は$Si_xGe_{1-x-y}C_y$（$0<x<1$，$1<y<1$）からなる群より選択される。

【0049】

また、ドーパントD、A及び異種原子Zの例としては以下のようなものが挙げられる。Ia元素はＬｉ、Ｎａ、Ｋ、Ｒｂ、及びＣｓからなる群より選択される。Ib元素はＣｕ、Ａｇ、及びＡｕからなる群より選択される。IIIa元素は、元素はＳｃ、Ｙ及びＬａからなる群より選択される。IIIb元素はＢ、Ａｌ、Ｇａ、Ｉｎ、及びＴｌからなる群より選択される。Vb元素はＶ、Ｎｂ、及びＴａからなる群より選択される。Vb元素はＮ、Ｐ、Ａｓ、Ｓｂ、及びＢｉからなる群より選択される。VIIb元素はＦ、Ｃｌ、Ｂｒ、及びＩからなる群より選択される。IIIa、およびＬｕからなる群より選択される。

【0050】

本実施形態に係る光デバイスは、＜１１１＞軸引っ張り構造、ＦＴ構造を有するゲルマニウム系光電変換層を有する。光電変換層に対する電極配置は特には限定されない。

【0051】

図８（ａ），（ｂ）は、それぞれ本発明の実施形態に係るゲルマニウム系光デバイスの断面図を示す。こごて、図８（ａ）は縦型通電の受光素子、図８（ｂ）は横型通電の受光素子である。

【0052】

図８（ａ）の縦型通電の受光素子では、基板のシリコンn^+領域３２の上に、基板主面と垂直方向に半導体格子が伸張したゲルマニウムからなる光電変換層３３が形成され、さらに光電変換層３３上にシリコンp^+領域３４が形成されている。この構成において、光電変換層３３を挟んでそれぞれn^+領域３２及びp^+領域３４が接している。n^+領域３２にはｎ電極３１が形成され、p^+領域３４にはｐ電極３６が接続されている。光電変換層３３とｐ電極３６は絶縁層３５によって絶縁されている。

【0053】

この縦型通電の受光素子では、光電変換層３３で発生した光キャリア（電子及び正孔）を縦方向にドリフトさせ、n^+領域３２を経てｎ電極３１から電子を取り出し、またp^+領域３４を経てｐ電極３６から正孔を取り出すことで光電流を得ている。

【0054】

図８（ｂ）の横型通電の受光素子では、シリコン基板３７に埋め込み酸化膜３８が形成され、その上に基板主面と垂直方向に半導体光子が伸張したゲルマニウムからなる光電変換層３９が形成され、絶縁膜４０によって素子分離されている。光電変換層３９の表面には、同一面内において光電変換層３９を挟むようにn^+領域４２及びp^+領域４１が形成されている。n^+領域４２にはｎ電極４４が接続され、p^+領域４１にはｐ電極４３が接続されている。

【0055】

この横型通電の受光素子では、光電変換層３９で発生した光キャリア（電子及び正孔）を横方向にドリフトさせ、n^+領域４２を経てｎ電極４４から電子を取り出し、またp^+領域４１を経てｐ電極４３から正孔を取り出すことで光電流を得ている。

【0056】

なお、縦型通電及び横型通電のいずれの受光素子でも、埋め込み酸化膜を設けて電流リークを防いでいるが、素子構成、基板抵抗、回路など、いずれかの手段で絶縁性を確保できる場合には、埋め込み酸化膜は必ずしも必要ではない。

【0057】

図８（ａ），（ｂ）は、受光素子の基本構造を示したものであり、具体的な受光素子については種々の構造が考えられる。本実施形態に係る受光素子は、単体素子として用いることができる。

【0058】

また、同一基板上に複数の受光素子を集積化してアレイ状に配置して、ＣＣＤイメージ

SIONYX1403000022.0029

SAMSUNG EX. 1002 - 1991/4148

センサやＣＭＯＳイメージセンサを作製してもよい。同一基板上に複数の受光素子を集積化して太陽電池パネルを作製してもよい。同一基板上に受光素子と発光素子とこれらを結ぶ導波路を集積化して光デバイスアレイを作製してもよい。これらの変形例については後により詳細に説明する。

【0059】

次に、図９（ａ）、（ｂ）、（ｃ）及び（ｄ）に示す断面構成を参照して、＜１１１＞軸引っ張り構造を有する光電変換層の形成工程について説明する。ここでは、ゲルマニウム突起構造からなる光電変換層を形成する工程について説明する。

【0060】

図９（ａ）に示す製造工程では、Ｓｉ｛１１１｝基板４５を用意し、ｎ型シリコン層４６上に超高真空レベルの雰囲気下で成膜可能なＣＶＤ装置を用いてゲルマニウム突起部（ゲルマニウム突起構造）４７を成長させる。ここでは、ゲルマニウム源として、水素ガスで希釈したゲルマンガスを用いる。Ｓｉ基板４５は、不純物拡散やイオン注入によりＳｉ基板４５の表面にｎ型シリコン層４６を形成している。次にＳｉ基板４５は、希フッ酸処理で表面酸化膜が除去された後、スピン乾燥され、上記ＣＶＤ装置のプレチャンバーを経て、リアクターチャンバーに導入される。Ｓｉ基板４５を一定温度に加熱してゲルマンを供給することで、ｎ型シリコン層４６上に凸となる形状のゲルマニウム突起構造が形成される。膜形状ではなく突起形状に成長するのは、ＳＫ（Stranski-Krastanov）成長モードが支配的なためと考えられている。

【0061】

ゲルマニウム突起構造の各突起部４７のサイズは、基板温度及び、ゲルマン供給量に強く依存することから、これらを制御することでサイズ制御が可能である。本実施形態の受光素子に用いるゲルマニウム突起部４７の平均サイズとしては、高さが１０ｎｍから１００ｎｍ、基板と接する面の直径が８０ｎｍから８００ｎｍの範囲にあることが望ましい。

【0062】

なお、ゲルマニウム突起部４７を形成する直前に、シランガスを用いて、基板表面にシリコンバッファー層を設けることは有効である（図示せず）。このようなシリコンバッファー層を設けることにより、Ｓｉ基板４６が平坦化し、さらに表面が正常化するため、サイズの揃ったゲルマニウム突起構造が得られる効果がある。

【0063】

図９（ｂ）に示す製造工程では、引き続きＣＶＤ装置によりアモルファスシリコン層４８を形成し、ＲＩＥ装置により、このアモルファスシリコン層４８にエッチバック処理を施し、ゲルマニウム突起部４７の各突起頂上部分の頭出しする。

【0064】

図９（ｃ）に示す製造工程では、酸化炉にてアモルファスシリコン層４８を選択酸化させて、酸化シリコン化を図る。この時、アモルファスシリコンが酸化シリコンに酸化される際に、上下方向だけでなく横方向にも広がろうとするため、各ゲルマニウム突起部４７に径が狭められるような圧縮応力が掛かる。この圧縮応力を緩和させるために、＜１１１＞軸方向に半導体格子が伸長する。このような伸長作用により、引っ張り構造を有し、形状がゲルマニウム突起構造化された光電変換層４８ａを形成する。この酸化工程では、酸化処理温度、プロセス時間等を調整することで、＜１１１＞軸方向の半導体格子の変形の度合いを制御することができる。

【0065】

図９（ｄ）に示す製造工程では、ＣＶＤ装置を用いてシリコン酸化膜４８ａ上にシリコン層４９を形成し、イオン注入工程により、p^+ 化させる。また、同様にＳｉ｛１１１｝基板４５側をＣＭＰ装置を用いて薄化させて、イオン注入工程により、n^+ 化させる。

さらに、通常の製造工程を用いて、電極形成や層間絶縁膜形成を実施することにより、図８（ａ）に示したような縦型通電の受光素子の光デバイスを作製することができる。または、その他の通常の製造工程を用いて、図８（ｂ）に示したような横型通電の受光素子の光デバイスを作製することができる。

SIONYX1403000022.0030

SAMSUNG EX. 1002 - 1992/4148

【0066】
以上のような製造工程により、＜１１１＞軸引っ張り構造を有する光電変換層を形成することができる。なお、以上説明した製造工程は一例であり、その他の製造手法や製造工程により同様に引っ張り構造を有する光電変換層を形成することもできる。
ゲルマニウムの格子変形を検知する間接的かつ簡便な方法としては、ラマン散乱などの光学的測定を用いることができる。この測定は、格子変形がない場合、ゲルマニウムはＧｅ－Ｇｅ結合に由来する固有振動モードが波数３００ｃｍ$^{-1}$付近に生じる。格子が変形すると、固有振動モードの波数もそれに応じて変化する。振動モードの評価は、格子変形の有無を調べる有力な手段の１つである。ここで、格子が伸びると固有振動モードの波数が小さくなり、格子が縮むと固有振動モードの波数が大きくなる。
【0067】
次に、図１０（ａ）、（ｂ）、（ｃ）及び（ｄ）に示す断面構成を参照して、ＦＴ構造を有する光電変換層の形成工程について説明する。ここでは、Ｐ－Ｆペアドープしたゲルマニウムからなる光電変換層を形成する工程について説明する。
【0068】
図１０（ａ）に示す製造工程では、Ｓｉウエハ５１上にゲルマニウム層５２を形成する。次に図１０（ｂ）に示す製造工程では、ゲルマニウム層５２にｎ型ドーパントＤとしてリン（Ｐ）をドープする。
【0069】
図１０（ｃ）に示す製造工程では、Ｐドープされたｎ型ゲルマニウム層５３に異種原子Ｚとしてフッ素イオン（F^+）をイオン注入したゲルマニウム層５４を形成する。このイオン注入工程では、エネルギー、ドーズ量、基板面方位、チルト角、基板温度などを最適化する。F^+イオンは、Ｐ原子がもつ余分な電子や基板を介してグランドから供給された電子を受け取ってF^-イオンになると考えられる。
【0070】
図１０（ｄ）に示す製造工程では、歪ゲルマニウム層５４に対してアニール処理を施し、イオン注入で乱された格子を再結晶化してＰ－Ｆペアが導入されたＦＴ－ゲルマニウムからなる光電変換層５５を形成する。このアニール処理工程では、アニール温度、処理時間、ガス雰囲気などを調整することで、格子点のゲルマニウム原子がＰ原子で置換され、格子間にＦ原子が挿入されるよう制御できる。Ｐ原子は格子点に位置するが、Ｆ原子に電子を奪われるため、電気的には不活性となり高抵抗化する。Ｐ原子とＦ原子はイオン結合で結びつけられ、アニール処理による温度上昇によっても解離せず、ペアリング状態を保っている。
【0071】
さらに、その他の通常の製造工程を用いて、電極形成や層間絶縁膜形成を実施することにより、図８（ａ），（ｂ）に示したような縦型通電の受光素子又は横型通電の受光素子の光デバイスを作製することができる。
【0072】
以上のように、イオン注入とアニール処理を組み合わせた製造工程により、母体半導体中にＦＴ構造を有する光電変換層を形成することができる。なお、熱拡散とアニール処理を組み合わせて、ＦＴ構造を有する光電変換層を形成してもよい。これら以外の製造工程を用いてＦＴ構造を有する光電変換層を形成してもよい。また、引っ張り構造とＦＴ構造を組み合わせた光電変換層を形成してもよい。
【0073】
Ｐ－Ｆペアのように、格子点のドーパントＤと格子間の異種原子Ｚが結びつくと、母体半導体の格子振動とは別の固有振動モードが生じる。このため、赤外分光またはラマン分光から、ＦＴ構造を直接的に解析することが可能になる。Ｐ－Ｆペアを例に挙げると、基準振動計算から、波数１５０～２００ｃｍ$^{-1}$付近に振動モードが現れる。このように、振動モードの評価は、ＦＴ構造の有無を調べる有力な手段の１つである。
【0074】

SAMSUNG EX. 1002 - 1993/4148

Ｄ—Ｚ（またはＡ—Ｚ）ペアの存在を検知する間接的かつ簡便な方法として、電気抵抗やホール測定などの電気測定を用いることもできる。ｎ型（またはｐ型）ドーパントを用いた場合、格子間の異種原子Ｚをドーピングする前の基板はｎ型（またはｐ型）となり低抵抗である。ここで、ドーパントＤ（またはＡ）と異種原子Ｚをペアリングさせると、電荷補償によりフリーキャリアが減って基板は高抵抗化する。このため、異種原子Ｚのドーピング前後における電気抵抗やキャリア濃度の変化を調べることでＤＺ（またはＡＺ）ペアが形成できたか否かを知ることができる。

【0075】

次に、第１の実施形態として、前述した光電変換層を備える受光素子について説明する。

図１（ａ），（ｂ）には、第１の実施形態に係る＜引っ張り構造、｛１１１｝基板、ゲルマニウム突起構造＞の光電変換層を備える縦型通電の受光素子の断面構成を示している。

【0076】

この受光素子は、シリコン基板１上に埋め込み酸化膜２が形成され、さらにイオン注入により、n^+化されたｎ型シリコン層３が形成される。埋め込み酸化膜２は、１つの手法として貼り合わせ基板により形成することができる。例えば、第１のシリコン基板｛１１１｝の一主面に熱酸化等の手法により酸化膜（埋め込み酸化膜２）を形成する。この酸化膜に第２のシリコン基板｛１１１｝の主面を貼り合わせて一体化させる。このｎ型シリコン層３上には、前述した＜１１１＞軸方向に半導体格子が伸長された複数のゲルマニウム突起部４とその周囲に充填された絶縁層５（これらの積層を光電変換層とする）が形成される。さらにゲルマニウム突起部４及び絶縁層５の上層に、p^+化されたｐ型シリコン層６及びｐ電極７が形成される。また、ｎ型シリコン層３は、一部の領域が溝状に切り欠かれて露呈しており、その上にｎ電極８が形成される。

【0077】

ｎ型シリコン層３は、基板格子定数がゲルマニウムよりも小さく、｛１１１｝面の基板面方位を有しており、光電変換層に対する基板として機能している。光電変換層は、図９で説明した製造工程に従って形成されている。基板法線方向のゲルマニウム＜１１１＞軸が伸長していることはラマン分光から確認している。

【0078】

引っ張り構造を持つゲルマニウムのバンドギャップは、結晶ゲルマニウムのバンドギャップよりも小さく略０．５ｅＶである。バンド端が低エネルギーシフトしたために、近赤外領域における光の吸収係数は$10^5\ cm^{-1}$以上と大幅に増強されている。この光デバイスの光電変換層を光励起すると、光電流が生じる。

【0079】

光電変換層で発生した光電流を電極から外部に有効に取り出すには、図１には図示していないが、ｎ電極８とｐ電極７の間に駆動電圧Ｖを印加する。この駆動電圧Ｖの大きさは、この受光素子の開放端電圧をV_{oc}とすると、$V<V_{oc}$とすればよい。$V>V_{oc}$では、逆に電極から光電変換層に外部キャリアが注入されて光電流と相殺し合うため、見掛け上、光電流は減る。このため、動作電圧Ｖの設定は素子特性を決める重要な因子である。なお、開放端電圧V_{oc}は、駆動電圧を振って光電流ゼロとなる電圧（$V=V_{oc}$）から求めることが出来る。

【0080】

図１１に、本実施形態の受光素子に１０ＧＨｚで変調された波長１５５０ｎｍの光信号を入力したときの、出力光電流の応答特性を示す。図１１からわかるように、入力光信号に対し、略同一な波形の出力光電流が得られている。このように、本実施形態の受光素子によれば、結晶ゲルマニウムでは分光感度が低い波長１５５０ｎｍの近赤外光に対して、高速・高感度な光検出が可能になる。

【0081】

以上のことから、ゲルマニウム受光素子の光電変換層の長波長帯化を図る方法として、エネルギーバンドを変調して吸収を強める引っ張り構造は大変有効であることがわかる。

SIONYX1403000022.0032

SAMSUNG EX. 1002 - 1994/4148

【0082】
次に、第２の実施形態として、前述した光電変換層を備える受光素子について説明する。図１２には、第２の実施形態に係る＜引っ張り構造、｛１１１｝基板、ゲルマニウム＞の光電変換層を備える縦型通電の受光素子の断面構成を示している。本実施形態では、前述した第１の実施形態とは、光電変換層等が異なっており、これ以外の構成部位は同じであり、同じ参照符号を付してその説明は省略する。
【0083】
光電変換層６１，６２は、まず｛１１１｝シリコン基板１上に埋め込み酸化膜２とｎ型シリコン層３が積層形成される。このｎ型シリコン層３上に、シリコン・ゲルマニウム・バッファ層６１を形成した後に、歪ゲルマニウム層６２を形成する。シリコンとゲルマニウムでは格子定数差が約４％と大きいために、シリコン上に直接ゲルマニウムをエピタキシャル成長させると、膜に転位などの欠陥が入りやすく、暗電流の大きい光電変換層が作られる場合がある。そこで、格子定数が両者の間の値を持つシリコン・ゲルマニウム・バッファ層６１を挿入することで、基板面内方向に圧縮応力を受け、基板法線方向に引っ張り応力を受けた、歪ゲルマニウム層６２のエピタキシャル成長が可能になる。基板法線方向のゲルマニウム＜１１１＞軸が伸長していることはラマン分光から確認している。
【0084】
引っ張り構造を持つゲルマニウムのバンドギャップは結晶ゲルマニウムのそれよりも小さく略０．５ｃＶである。バンド端が低エネルギーシフトしたために、近赤外領域における光の吸収係数は10^5 ｃｍ$^{-1}$ 以上と大幅に増強される。この光デバイスの光電変換層を光励起すると、光電流が発生する。
【0085】
本実施形態の受光素子に１０ＧＨｚで変調された波長１５５０ｎｍの光信号を入力すると、前述した図１１と同様に、入力光信号に対して略同一な波形の出力光電流が得られる。このことから、本実施形態の光デバイスによれば、結晶ゲルマニウムでは分光感度が低い波長１５５０ｎｍの近赤外光に対して、高速・高感度な光検出が可能になる。
【0086】
次に、第３の実施形態として、前述した光電変換層を備える受光素子について説明する。図１３には、第３の実施形態に係る＜引っ張り構造、（１００）基板、ゲルマニウム＞の光電変換層を備える縦型通電の受光素子の断面構成を示している。本実施形態では、前述した第２の実施形態とは、シリコン基板と光電変換層等が異なっており、これ以外の構成部位は同じであり、同じ参照符号を付してその説明は省略する。
【0087】
本実施形態は、｛１００｝シリコン基板を用いて、基板表面をＫＯＨ溶液による異方性エッチングにより（１１１）面、（－１１１）面、（１－１１）面、（－１－１１）面を出し、逆ピラミッド形状の凹凸面を設けている。ゲルマニウム［１１１］軸、［－１１１］軸、［１－１１］軸、［－１－１１］軸が伸長していることはラマン分光から確認している。
【0088】
本実施形態の受光素子に１０ＧＨｚで変調された波長１５５０ｎｍの光信号を入力したときの出力光電流の応答特性を調べると、入力光信号に対して略同一波形の出力光電流が得られることがわかった。
【0089】
本実施形態によれば、加工が容易な｛１００｝基板を用いて、エッチングにより｛１１１｝面を出し、その上に引っ張り構造を持つゲルマニウム光電変換層を形成することで、長波長帯における光デバイスの高速化及び高感度化を図ることができる。
【0090】
次に、第４の実施形態として、前述した光電変換層を備える受光素子について説明する。図１４には、第４の実施形態に係る＜引っ張り構造、｛１１１｝基板、ゲルマニウム積層膜＞の光電変換層を備える縦型通電の受光素子の断面構成を示している。本実施形態で

SAMSUNG EX. 1002 - 1995/4148

は、前述した第２の実施形態とは、光電変換層上にパターニングされたシリコンナイトライド膜による積層構造が異なっており、これ以外の構成部位は同じであり、同じ参照符号を付してその説明は省略する。

【0091】

このシリコンナイトライド膜６４は歪ゲルマニウム層６２に面内圧縮応力を与える。

シリコンナイトライド膜６４は、小片例えば、小型の矩形形状を成している。歪ゲルマニウム層６２上にパターニングにより例えば、マトリックス配列、又は市松模様の配置に形成される。又は、シリコンナイトライド膜６４は、小片が小型の円形に形成され、ドットマトリックス状に配置してもよい。このように配置は、歪ゲルマニウム層６２上でシリコンナイトライド膜６４が所在する領域と、所在しない領域とが均一となるように配置すればよく、特に配置構成に制限があるものではない。また、面内圧縮応力の所望する分布がある場合には、その分布に従い適宜、シリコンナイトライド膜６４を配置すればよい。

【0092】

従って、歪ゲルマニウム層６２は下層のシリコン・ゲルマニウム層６１と上層のシリコンナイトライド膜６４の両方から圧縮応力を受けて、より＜１１１＞軸方向に格子が伸長しやすくなる。ゲルマニウム＜１１１＞軸が伸長していることはラマン分光から確認している。

【0093】

本実施形態の光デバイスに１０ＧＨｚで変調された波長１７００ｎｍの光信号を入力したときの出力光電流の応答特性を調べると、入力光信号に対して略同一波形の出力光電流が得られることが確認された。

【0094】

本実施形態によれば、ゲルマニウム層（歪ゲルマニウム層）に対して、上層及び下層から面内圧縮応力を加えた引っ張り構造を持つゲルマニウム光電変換層を形成することで、より長波長帯において、受光素子の動作の高速化及び高感度化を図ることができる。

【0095】

次に、第５の実施形態として、前述した光電変換層を備える受光素子について説明する。

図１５には、第５実施形態に係る＜引っ張り構造＞の光電変換層を備える縦型通電の受光素子の断面構成を示している。本実施形態では、前述した第２の実施形態とはシリコン基板及び光電変換層等が異なっており、これ以外の構成部位は同じであり、同じ参照符号を付してその説明は省略する。

【0096】

この受光素子は、シリコン｛１１０｝面基板１上に埋め込み酸化膜２が形成され、さらにイオン注入により、n^+ 化されたｎ型シリコン層３が形成される。ｎ型シリコン層３は、一部の領域が溝状に切り欠かれて露呈しており、その上にｎ電極８が形成される。

【0097】

このｎ型シリコン層３上には、並置された突起形状の複数のアルミニウムアンチモン突起部７１と、アルミニウムアンチモン突起部７１の周囲及び頂部を埋め込むガリウムアンチモン層７２とを備えるIII－V化合物半導体バッファ層と、光電変換層である歪ゲルマニウム層６２が形成される。さらに光電変換層６２の上層に、p^+ 化されたｐ型シリコン層６及びｐ電極７が形成される。

【0098】

III－V化合物半導体バッファ層と、歪ゲルマニウム層の製造工程について説明する。まず、ＭＢＥ装置を用いて、前処理を行った｛１１０｝シリコン基板１のｎ型シリコン層３上にアルミニウムアンチモン突起構造を成長させる。シリコン基板１は、前処理として、希フッ酸処理で表面酸化膜を除去した後、スピン乾燥し、超高真空下のＭＢＥ装置のプレチャンバーを経て、リアクターチャンバーに導入する。

【0099】

シリコン基板１を一定温度に加熱し、Ｋ－セルとシャッターを制御してアルミニウムと

SIONYX1403000022.0034

SAMSUNG EX. 1002 - 1996/4148

アンチモンの各々を基板１のｎ型シリコン層３上に供給して、アルミニウムアンチモン突起構造７１を形成させる。引き続き、ＭＢＥ装置により、アルミニウムアンチモン突起構造７１を覆うようにガリウムアンチモン層７２を堆積させる。この成膜により、表面が平坦化され、擬似的な｛１１０｝ガリウムアンチモンエピタキシャル基板が形成される（非特許文献２を参照）。

【0100】

さらにガリウムアンチモン層７２上に、ＭＢＥ装置若しくは、ＣＶＤ装置を用いて、歪ゲルマニウム層６２を堆積させる。シリコン基板上のガリウムアンチモン層７２は、ほぼ格子緩和しており、バルクの格子定数０．６０９６ｎｍに近い値を示し、ゲルマニウムの格子定数０．５６４６ｎｍよりも大きい。このため、歪ゲルマニウム層６２は基板面内で引っ張り応力を受け、基板面と平行な［－１１１］軸方向に伸長される。

【0101】

引っ張り構造を持つゲルマニウムのバンドギャップは、結晶ゲルマニウムのそれよりも小さく略０．５ｅＶである。バンド端が低エネルギーシフトしたために、近赤外領域における光の吸収係数は10^5 ｃｍ$^{-1}$ 台に増強される。この光デバイスの光電変換層を光励起すると、光電流が生じる。

【0102】

本実施形態の受光素子に１０ＧＨｚで変調された波長１５５０ｎｍの光信号を入力すると、入力光信号に対して略同一波形の出力光電流が得られる。このことから、本実施形態の受光素子によれば、結晶ゲルマニウムでは分光感度が低い波長１５５０ｎｍの近赤外光に対して、高速・高感度な光検出が可能になる。

【0103】

次に、第６の実施形態として、前述した光電変換層を備える受光素子について説明する。

第６実施形態として、前述した図８（ｂ）に示したＦＴ構造を有する、横型通電のＦＴ－ゲルマニウムを光電変換層に用いた受光素子について説明する。

【0104】

図８（ｂ）に示した母体半導体としてゲルマニウム、格子点サイトに置換されるｎ型ドーパントＤとしてＰ原子、格子間サイトに挿入される異種原子Ｚとしてフッ素原子Ｆを用い、ＰＦドープのＦＴ－ゲルマニウム光電変換層３９を形成した。Ｐ－Ｆペア濃度は５×10^{21}／ｃｍ^3 である。Ｐ原子とＦ原子の濃度はＳＩＭＳにより確認している。

【0105】

光電変換層３９中にＦＴ構造のＰ－Ｆペアが形成できているか否かは、Ｐ－Ｆペア固有の振動モードを調べることが有効であり、光電変換層の顕微分光により検出できる。Ｐ－Ｆペア形成を簡便にチェックする方法として、本実施形態に係る受光素子とは別に、高抵抗基板表面に光電変換層と同一組成のＰ－Ｆドープ領域及びＰ単独ドープ領域を作り、両者のシート抵抗またはキャリア濃度を比較する方法もある。Ｐ－Ｆペアが形成されると電荷補償が生じるため、ＰＦドープ領域はＰ単独ドープ領域と比べて高抵抗化し、キャリア濃度は減少する。

【0106】

ＰＦドープゲルマニウムのバンドギャップは、結晶ゲルマニウムのそれとほぼ等しい。この受光素子にバンドギャップ以上のエネルギーを有する光を照射して光電変換層のＰＦドープゲルマニウムを光励起すると、光電流が発生する。

【0107】

図１６には、本実施形態の受光素子に１０ＧＨｚで変調された波長１５５０ｎｍの光信号を入力したときの、出力光電流の応答特性を示す。図１６からわかるように、入力光信号に対し、略同一波形の出力光電流が得られている。このように、本実施形態の受光素子によれば、結晶ゲルマニウムでは分光感度が低い波長１５５０ｎｍの近赤外光に対して、高速の光検出が可能になる。

【0108】

SIONYX1403000022.0035

SAMSUNG EX. 1002 - 1997/4148

以上のように本実施形態によれば、ゲルマニウム光デバイスの光電変換層の長波長帯化を図る方法として、エネルギーバンドを変調するＦＴ半導体は大変有効である。

【0109】

次に、第７の実施形態の光デバイスについて説明する。

第７の実施形態の光デバイスとして、同一基板上に発光素子と、光デバイスと、これらを結ぶ導波路とが集積化された光素子アレイを例とする。この光素子アレイは、光信号を発信し、伝送し、受信することができる。

【0110】

図１７に示すように、シリコン基板８１上に、発信用の端面発光型半導体レーザー素子（以下、ＬＤ素子）８５及び受信用のゲルマニウム受光素子８３が形成されている。これらの中間の領域に酸化膜８２が形成され、その上に伝送用のＳｉ導波路８４が形成されている。

【0111】

ＬＤ素子８５と受光素子８３は、ともに図１８に示す構造のものを用いる。この受光素子は、シリコン｛１１１｝面基板１上に埋め込み酸化膜２が形成され、さらにイオン注入により、n^+化されたｎ型シリコン層３が形成される。ｎ型シリコン層３は、一部の領域が溝状に切り欠かれて露呈しており、その上にｎ電極８が形成される。

【0112】

このｎ型シリコン層３上には、アルミニウムアンチモン突起構造７１と（ｎ層）ガリウムアンチモン（ＧａＳｂ）層７２からなるIII－V化合物半導体バッファ層と、（ｎ層）インジウムガリウムアンチモン（ＩｎＧａＳｂ）層７３と、光電変換層である歪ゲルマニウム層６２が形成される。さらに光電変換層６２の上層に、p^+化されたｐ型シリコン層６及びｐ電極７が形成される。

【0113】

ＬＤ素子８５の活性層と受光素子８３の光電変換層は両者とも歪ゲルマニウム層６２である。ＬＤ素子８５の歪ゲルマニウム層のバンド構造を変調して利得媒体に変換するため、基板面と平行な歪ゲルマニウム層の＜１１１＞軸方向の格子をより伸長させるよう、歪ゲルマニウム層と接するバッファ層にはＧａＳｂよりも格子定数が大きいＩｎＧａＳｂが用いられている。この構成により、歪ゲルマニウム層６２は波長２５００ｎｍ付近で発光し、電流注入によるレーザー発振が可能になる。

【0114】

ＬＤ素子８５の発振波長と一致するように受光素子８３の分光感度を長波長化するため、受光素子８３にも同等なＩｎＧａＳｂバッファ層が用いられている。なお本実施形態において、受光素子８３は、歪ゲルマニウム層のバンドギャップを狭めて、発振波長での光デバイスの分光感度を高めるために、ＬＤ素子に比べてバッファ層のＩｎ組成を高めている。

【0115】

図１７に示す光素子アレイでは、ｎ電極８３ａ及びｐ電極８３ｂを示している。このＬＤ素子８５に近接するように基板面内にトレンチを掘り、ＬＤ素子８５の端面８８を露呈している。受光素子８３についてもｎ電極８５ａ及びｐ電極８５ｂを示している。

【0116】

本実施形態において、ＬＤ素子８５から受光素子８３に向けて１０GIIｚで変調された波長２５００ｎｍの光信号を入力すると、受光素子８３において入力光信号に対して略同一波形の出力光電流が得られる。このことから、本実施形態の受光素子８３によれば、結晶ゲルマニウムでは分光感度を示さない波長２５００ｎｍの近赤外光に対しても、高速・高感度な光検出が可能になる。

【0117】

以上説明した実施形態においては、以下の特徴を有している。

（１）ゲルマニウム原子を主成分とする四面体結合される半導体を光電変換層に用いる光デバイスであり、基板格子定数がゲルマニウムよりも小さく、基板面方位が｛１１１｝

SIONYX1403000022.0036

SAMSUNG EX. 1002 - 1998/4148

面であり、基板面と垂直な＜１１１＞軸方向に光電変換層の半導体格子を伸長させる特徴を有する。

【0118】

（２）上記光デバイスにおいて、基板面方位が｛１１１｝面と異なり、異方性エッチングにより｛１１１｝面を出し、この面上に光電変換層を形成することにより、＜１１１＞軸方向に光電変換層の半導体格子を伸長させる特徴を有する。

【0119】

（３）上記光デバイスは、光電変換層がゲルマニウム突起構造からなり、同層にアモルファスシリコン膜を形成し、選択酸化することにより、ゲルマニウム突起構造を面内圧縮し、基板面と垂直方向にゲルマニウム突起構造の半導体格子を伸長させる特徴を有する。

【0120】

（４）上記光デバイスにおいて、光電変換層の上方に、一部分、面内圧縮応力を生じる積層膜を形成することで、基板面と垂直方向に光電変換層の半導体格子を伸長させる特徴を有する。

【0121】

（５）上記光デバイスにおいて、基板格子定数がゲルマニウムよりも大きく、基板面方位を（ＬＭＮ）面とするとＬ＋Ｍ＋Ｎ＝０であり、基板面と平行方向に＜１１１＞軸を含み、この＜１１１＞軸方向に光電変換層の半導体格子を伸長させる特徴を有する。

【0122】

（６）実施形態に係る光デバイスは、ゲルマニウム原子を主成分とする四面体結合される半導体を光電変換層に用いる光デバイスであり、光電変換層を構成する四面体結合される半導体の格子点サイトのゲルマニウム原子を置換するｎ型ドーパントＤまたはｐ型ドーパントAと、前記ドーパントに最近接の格子間サイトに挿入される異種原子Ｚを含み、異種原子ＺはドーパントとのＺ荷補償により電子配置が閉殻構造となる特徴を有する。

【0123】

また、本実施形態には、基板として、ＳＯＩ（silicon on insulator）基板を用いたが、バルク基板を用いてもよい。

【図面の簡単な説明】

【0124】

【図1】図１（ａ）、（ｂ）は、本発明の第１の実施形態に係る光デバイスの断面構造を示す図である。

【図2】実施形態に係るゲルマニウムのバンド構造を示す図である。

【図3】実施形態に係るゲルマニウムにおけるΓｃ、Ｌｃ、Ｘｃエネルギーの格子定数依存性を示す図である。

【図4】図４（ａ）、（ｂ）は、実施形態に係る＜１１１＞軸引張り構造による長波長帯での吸収増加の原理を説明する図である。

【図5】図５（ａ）、（ｂ）は、実施形態に係るＦＴ半導体の構造を説明する図である。

【図6】図６（ａ）、（ｂ）、（ｃ）は、ゲルマニウムのエネルギーバンドのうち、Γ点伝導帯、Ｌ点伝導帯、及びΓ点価電子帯の、実空間上での電子状態を説明する図である。

【図7】図７（ａ）、（ｂ）は、ＦＴ半導体で光の吸収が強まる理由を説明するための、ゲルマニウムのエネルギーバンド図である。

【図8】図８（ａ）、（ｂ）は、実施形態に係る縦型通電及び横型通電のシリコン光デバイスの断面構造を示す図である。

【図9】図９（ａ）、（ｂ）、（ｃ）、（ｄ）は、実施形態に係る引張り構造ゲルマニウムからなる光電変換層の形成方法を示す断面構造を示す図である。

【図10】図１０（ａ）、（ｂ）、（ｃ）、（ｄ）は、実施形態に係るＰＦドープＦＴ－ゲルマニウムからなる光電変換層の形成方法を示す断面構造を示す図である。

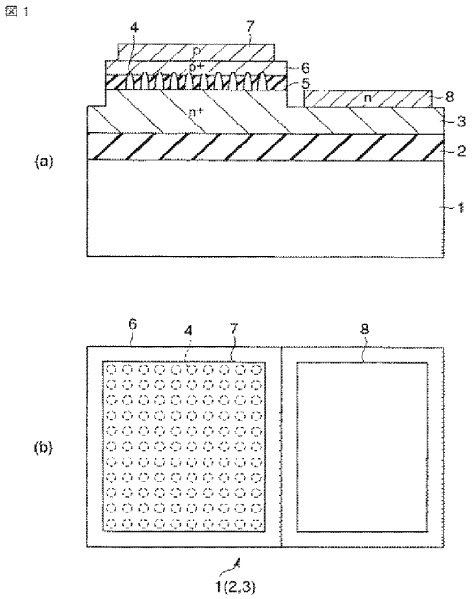
【図11】本発明の第１の実施形態に係る光デバイスについて、入力信号に対する応答特性を示す図。

【図12】本発明の第２の実施形態に係る光デバイスの断面構造を示す図である。

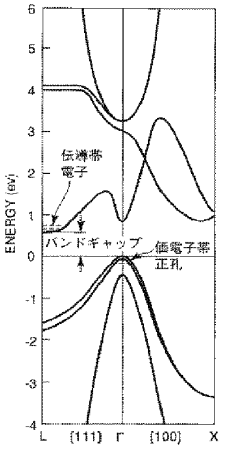
SAMSUNG EX. 1002 - 1999/4148

【図13】本発明の第３の実施形態に係る光デバイスの断面構造を示す図である。
【図14】本発明の第４の実施形態に係る光デバイスの断面構造を示す図である。
【図15】本発明の第５の実施形態に係る光デバイスの断面構造を示す図である。
【図16】本発明の第６の実施形態に係る光デバイスについて、入力信号に対する応答特性を示す図である。
【図17】本発明の第７の実施形態に係る光素子アレイを斜め上から見た図である。
【図18】第７の実施形態に係るＬＤ素子且つまた光デバイスの断面構造を示す図である。
【符号の説明】
【0125】
１…シリコン基板、２…埋め込み酸化膜、３…ｎ型シリコン層、４…ゲルマニウム突起構造、５…光電変換層、６…ｐ型シリコン層、７…ｐ電極。

【図1】



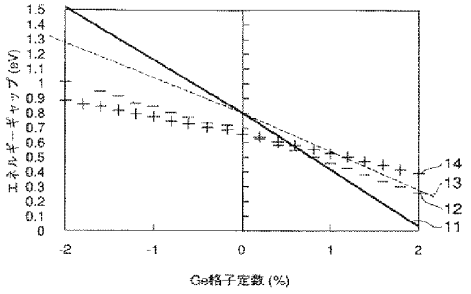
【図2】



SAMSUNG EX. 1002 - 2000/4148

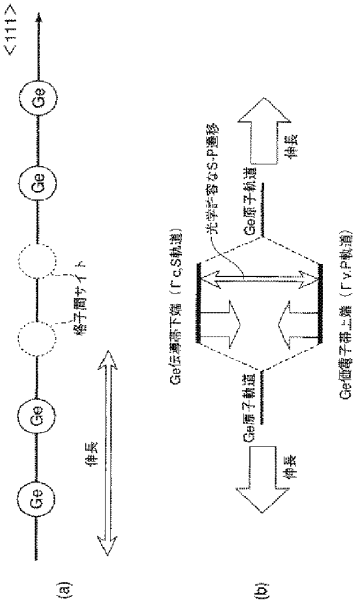
【図3】

図３



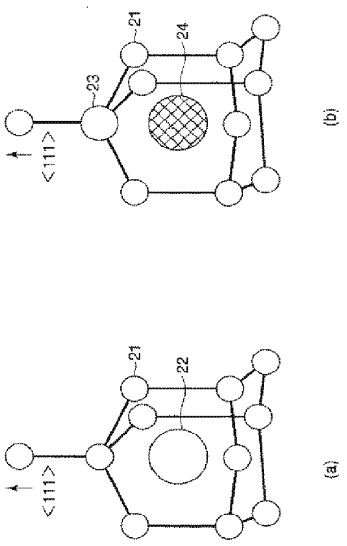
【図4】

図４



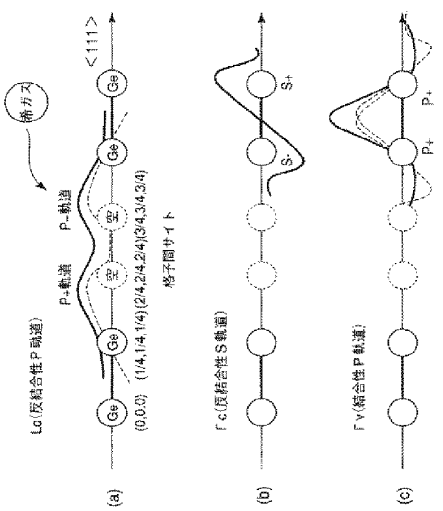
【図5】

図５



【図6】

図６

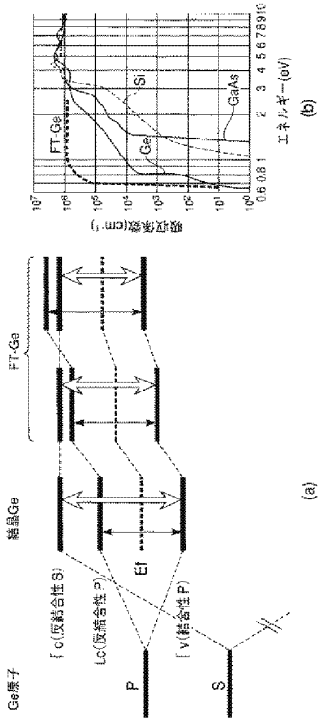


SIONYX1403000022.0039

SAMSUNG EX. 1002 - 2001/4148

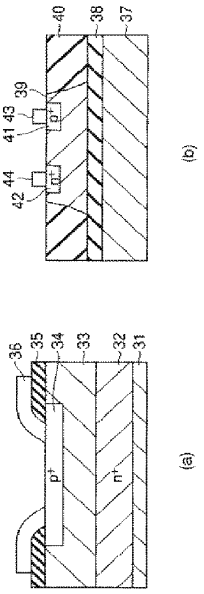
【図7】

図７



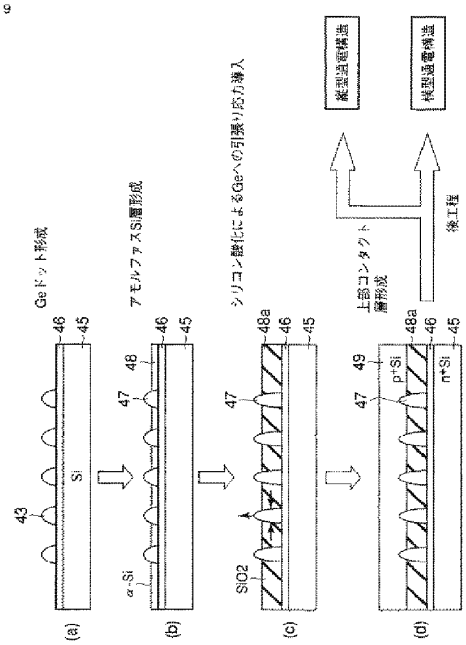
【図8】

図８



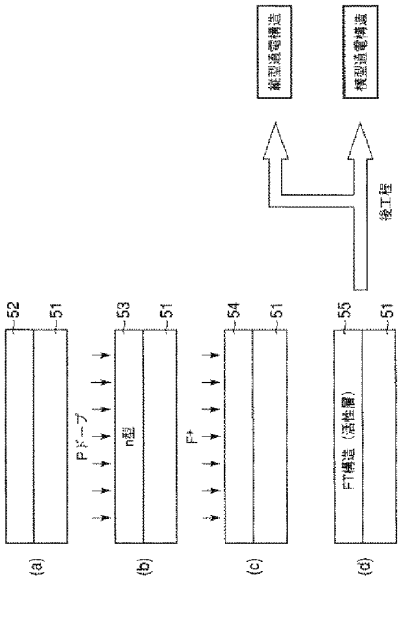
【図9】

図９



【図10】

図１０

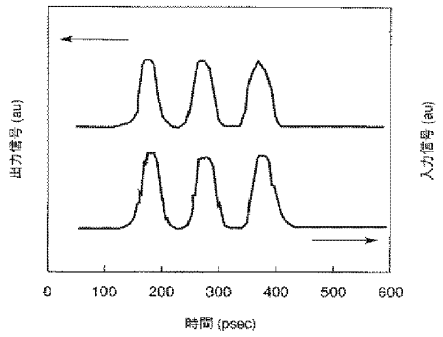


SIONYX1403000022.0040

SAMSUNG EX. 1002 - 2002/4148

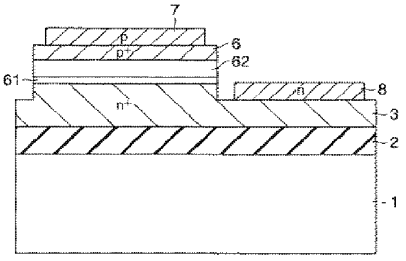
【図11】

図 11



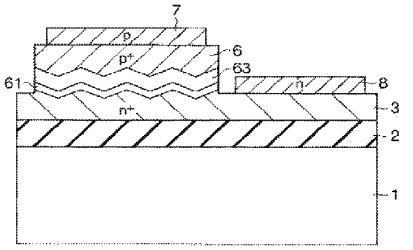
【図12】

図 12



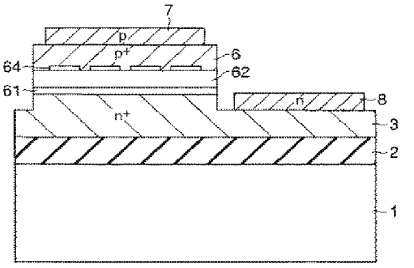
【図13】

図 13



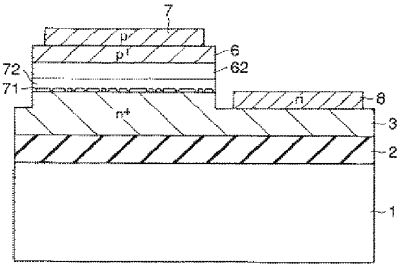
【図14】

図 14



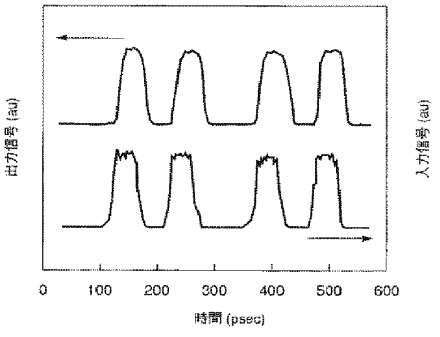
【図15】

図 15



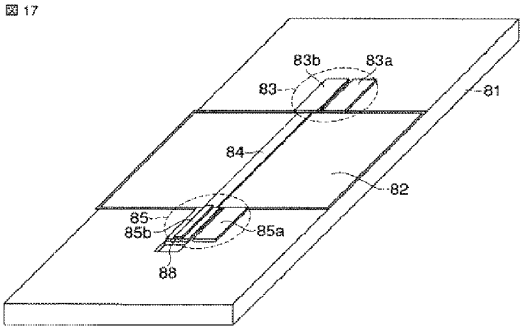
【図16】

図 16



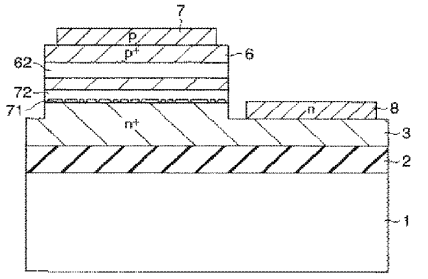
【図17】

図 17



【図18】

図 18



(74)代理人　100095441
弁理士　白根　俊郎
(74)代理人　100084618
弁理士　村松　貞男
(74)代理人　100103034
弁理士　野河　信久
(74)代理人　100119976
弁理士　幸長　保次郎
(74)代理人　100153051
弁理士　河野　直樹
(74)代理人　100140176
弁理士　砂川　克
(74)代理人　100100952
弁理士　風間　鉄也
(74)代理人　100101812
弁理士　勝村　紘
(74)代理人　100070437
弁理士　河井　将次
(74)代理人　100124394
弁理士　佐藤　立志
(74)代理人　100112807
弁理士　岡田　貴志
(74)代理人　100111073
弁理士　堀内　美保子
(74)代理人　100134290
弁理士　竹内　将訓
(74)代理人　100127144
弁理士　市原　卓三
(74)代理人　100141933
弁理士　山下　元
(72)発明者　山本　和重
東京都港区芝浦一丁目１番１号　株式会社東芝内
(72)発明者　清水　達雄
東京都港区芝浦一丁目１番１号　株式会社東芝内

Ｆターム(参考)　4G077 BA05 DB04 ED05 ED06 HA02
4K030 AA05 BA09 BB02 BB03 CA04 CA12 DA03 LA01 LA18
5F088 AA11 AB02 AB16 BA20 BB03 CB01 CB03 CB09 CB10 CB11
CB14 DA05 DA14 GA04 LA01

SIONYX1403000022.0042

SAMSUNG EX. 1002 - 2004/4148

Espacenet

Bibliographic data: JP2009021479 (A) — 2009-01-29

CIS-BASED SOLAR BATTERY AND ITS MANUFACTURING METHOD

Inventor(s):	OTA MORIHISA; KOBAYASHI DAIZO; FUNAMOTO AKIHIRO; AOYAMA SHIGERU ±
Applicant(s):	OMRON TATEISI ELECTRONICS CO ±
Classification:	- **international:** ***C25D1/00; H01L31/04***
	- **European:** C25D1/04; H01L31/0236; H01L31/0392; H01L31/0749; Y02E10/50; Y02E10/54B
Application number:	JP20070184196 20070713
Priority number (s):	JP20070184196 20070713
Also published as:	JP4304638 (B2) US2010269906 (A1) WO2009011333 (A1) DE112008001828 (T5) CN101743641 (A) more

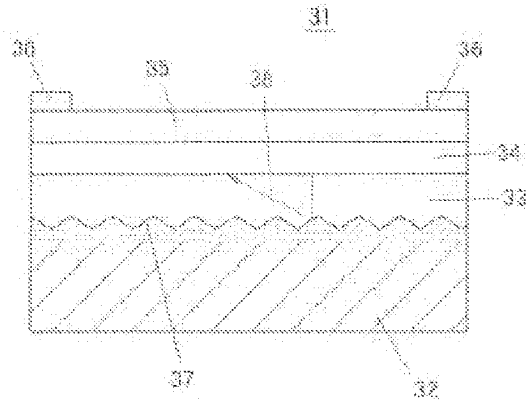
Abstract of JP2009021479 (A)

PROBLEM TO BE SOLVED: To provide a CIS solar battery, wherein a rugged shape with a high light scattering effect can be formed on the surface of a lower electrode positioned on the back surface side of a light absorbing layer, and its manufacturing method. ; SOLUTION: An alloy substrate 32 comprising the alloy of Ni and Mo is formed by electroforming, the alloy composition of the alloy substrate 32 is changed in the thickness direction. Ni is the main composition on the lower surface side and Mo is the main composition on the upper surface side. Also, on the upper surface of the alloy substrate 32, many fine rugged shapes 37 in a pyramid shape are formed. A CIS-based light absorbing layer 33 is formed on the upper surface of the alloy substrate 32, and an upper electrode 35 is provided at the upper part ; COPYRIGHT: (C) 2009,JPO&INPIT

Last updated: 5.12.2011 Worldwide Database 5.7.31; 92p

SIONYX1403000022.0043

SAMSUNG EX. 1002 - 2005/4148



SIONYX1403000022.0044

SAMSUNG EX. 1002 - 2006/4148

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2009-21479
(P2009-21479A)
(43)公開日　平成21年1月29日(2009.1.29)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 31/04	(2006.01)	H01L	31/04	E	5F051
C25D 1/00	(2006.01)	C25D	1/00	381	

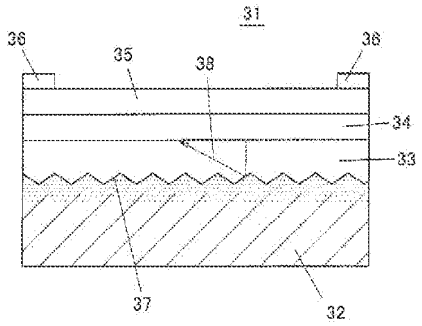
審査請求 有　請求項の数 6　OL　（全 17 頁）

(21)出願番号　特願2007-184196 (P2007-184196)
(22)出願日　平成19年7月13日 (2007.7.13)

(71)出願人　000002945
オムロン株式会社
京都市下京区塩小路通堀川東入南不動堂町
８０１番地
(74)代理人　100094019
弁理士　中野　雅房
(72)発明者　大田　盛久
京都府京都市下京区塩小路通堀川東入南不
動堂町８０１番地　オムロン株式会社内
(72)発明者　小林　大造
京都府京都市下京区塩小路通堀川東入南不
動堂町８０１番地　オムロン株式会社内
(72)発明者　船本　昭宏
京都府京都市下京区塩小路通堀川東入南不
動堂町８０１番地　オムロン株式会社内
最終頁に続く

(54)【発明の名称】ＣＩＳ系太陽電池及びその製造方法

(57)【要約】
【課題】光吸収層の裏面側に位置する下部電極の表面に光散乱効果の高い凹凸形状を形成することのできるＣＩＳ太陽電池及びその製造方法を提供する。
【解決手段】電鋳法によってＮｉとＭｏの合金からなる合金基板３２を形成する。合金基板３２は厚み方向において合金組成が変化しており、下面側はＮｉが主な組成となり、上面側はＭｏが主な組成となっている。また、合金基板３２の上面には、ピラミッド状をした多数の微細な凹凸形状３７が形成されている。合金基板３２の上面にはＣＩＳ系の光吸収層３３が形成され、その上方には上部電極３５が設けられる。
【選択図】図４



SIONYX1403000022.0045

SAMSUNG EX. 1002 - 2007/4148

【特許請求の範囲】
【請求項1】
上面に凹凸形状を有する基板と、光を吸収するための光吸収層と、前記光吸収層の上方に配置された上部電極とを有するＣＩＳ系太陽電池において、
前記光吸収層は、前記凹凸形状に接して前記基板上に形成されており、前記基板は下部電極として機能することを特徴とするＣＩＳ系太陽電池。
【請求項2】
前記基板は、前記光吸収層と接する上面付近にＭｏを含むことを特徴とする、請求項１に記載のＣＩＳ系太陽電池。
【請求項3】
前記基板は、合金によって形成されていることを特徴とする、請求項１に記載のＣＩＳ系太陽電池。
【請求項4】
前記基板は、下面側と上面側とで合金組成が異なっていることを特徴とする、請求項３に記載のＣＩＳ系太陽電池。
【請求項5】
前記基板は、Ｍｏを含む合金により形成されていることを特徴とする、請求項３に記載のＣＩＳ系太陽電池。
【請求項6】
前記基板は、ＮｉとＭｏの合金により構成されていることを特徴とする、請求項５に記載のＣＩＳ系太陽電池。
【請求項7】
前記基板は、ＣｏとＭｏの合金により構成されていることを特徴とする、請求項５に記載のＣＩＳ系太陽電池。
【請求項8】
前記基板は、下面側から前記光吸収層と接する上面へ向かうにつれてＭｏの濃度が大きくなるように形成されていることを特徴とする、請求項６または７のいずれか１項に記載のＣＩＳ系太陽電池。
【請求項9】
前記凹凸形状は、ピラミッド形状をした凹部または凸部によって構成されていることを特徴とする、請求項１に記載のＣＩＳ系太陽電池。
【請求項10】
前記ピラミッド形状の頂角が１１０°であることを特徴とする、請求項９に記載のＣＩＳ系太陽電池。
【請求項11】
前記凹凸形状の高さが、前記光吸収層の厚さの半分以下であることを特徴とする、請求項１に記載のＣＩＳ系太陽電池。
【請求項12】
前記基板が電鋳法により作製されていることを特徴とする、請求項１に記載のＣＩＳ系太陽電池。
【請求項13】
請求項１に記載したＣＩＳ系太陽電池の製造方法であって、
前記凹凸形状の反転形状が形成された母型に電鋳を行って前記母型の上面に基板材料を堆積させる工程と、
前記母型の上面に形成された基板から前記母型を取り除くことにより、前記凹凸形状を有する前記基板を作製する工程と、
前記基板の上面に前記光吸収層を形成する工程と、
前記光吸収層の上方に上部電極を形成する工程と、
を備えたＣＩＳ系太陽電池の製造方法。

【発明の詳細な説明】

SIONYX1403000022.0046

SAMSUNG EX. 1002 - 2008/4148

【技術分野】
【0001】
本発明はＣＩＳ系太陽電池及びその製造方法に関し、具体的には、光吸収層としてＣＩＧＳ、ＣＩＧＳＳ、ＣＩＳなどを用いたＣＩＳ系太陽電池とその製造方法に関する。
【背景技術】
【0002】
太陽電池には、単結晶シリコン型太陽電池、多結晶シリコン型太陽電池、アモルファスシリコン型太陽電池（以上、シリコン系太陽電池）、ＧａＡｓ系太陽電池、ＣｄＳ／ＣｄＴｅ系太陽電池、ＣＩＳ系太陽電池（以上、化合物系太陽電池）、色素増感太陽電池（有機物系）などがある。
【0003】
このうち、ＣＩＳ系太陽電池は、多結晶であるため大面積化や量産化に向き、禁制帯幅が材料次第で自由に変えられ、さらに、シリコン系太陽電池の理論変換効率と同等の理論変換効率（３１％）及びシリコン系太陽電池と同等の寿命（約２０年）を有するという特徴がある。従って、将来性のある太陽電池として注目されており、日本においてもＣＩＳ系太陽電池の量産化が始まっている。
【0004】
ＣＩＳ系太陽電池は、光吸収層の材料としてＣｕ、Ｉｎ、Ｇａ、Ａｇ、Ｓｅ、Ｓなどからなるカルコパイライト系と呼ばれるI－III－VI族化合物を用いた薄膜多結晶太陽電池であって、代表的なものは、$Cu(In,Ga)Se_2$［ＣＩＧＳ］、$Cu(In,Ga)(Se,S)_2$［ＣＩＧＳＳ］、$CuInS_2$［ＣＩＳ］などを用いたものである。
【0005】
図１はＣＩＳ系太陽電池１１の一般的な構造を示す斜視図である。ＣＩＳ系太陽電池１１は、ガラス（ソーダライムガラス）からなる基板１２の上にＭｏからなる下部電極１３を設け、下部電極１３の上にＣＩＧＳ等からなる光吸収層１４を形成し、その上にＣｄＳ等からなるバッファ層１５を介してＺｎＯ等からなる透明な上部電極１６を設けたものである。具体的には、基板１２を洗浄した後、この基板１２の上面にＭｏ等をスパッタすることによって下部電極１３を形成し、さらに下部電極１３の上にＣＩＧＳ等のカルコパイライト系材料を同時蒸着させて光吸収層１４を形成する。ついで、当該基板１２をＣｄＳ溶液に浸漬して光吸収層１４の上面にバッファ層１５を成長させ、バッファ層１５の上にＺｎＯ等をスパッタすることによって上部電極１６を形成する。
【0006】
一方、シリコン系太陽電池２１では、図2に示すように、上面に平均粗さが０．１～１０μｍの凹凸形状２７を形成したＮｉ電鋳基板２２の上にＺｎＯからなる下部電極２３を形成し、下部電極２３の上にアモルファスシリコンからなる光吸収層２４を形成し、その上にＺｎＯからなる透明な上部電極２６を設けたものが知られている。このような先行技術例としては、特開２００１－３４５４６０号公報（特許文献１）に開示されたものがある。
【0007】
このようなシリコン系太陽電池２１によれば、電鋳基板２２の表面に形成されている凹凸形状２７のために下部電極２３の表面にも凹凸形状２８が生じている。そのため、上部電極２６を通って光吸収層２４に入射した光２９は凹凸形状２８で散乱されて光吸収層２４内に閉じ込めて吸収され、シリコン系太陽電池２１の変換効率が向上する。また、基板として電鋳基板２２を用いることにより、基板表面に安価に凹凸形状を作製することができる。
【0008】
【特許文献1】特開２００１－３４５４６０号公報
【発明の開示】
【発明が解決しようとする課題】
【0009】

SIONYX1403000022.0047

SAMSUNG EX. 1002 - 2009/4148

図２に示した構造のシリコン系太陽電池２１を考慮すれば、図１に示したようなＣＩＳ系太陽電池１１においても、下部電極１３に凹凸形状を設けることで変換効率を向上させることが考えられる。

【0010】

しかし、実際には、ＣＩＳ系太陽電池１１では、下部電極１３の表面に微細な凹凸形状を形成することはできなかった。シリコン系太陽電池の場合には、下部電極２３の膜厚が０．０５μｍ（５０ｎｍ）程度と薄いので、電鋳基板２２の表面に形成されていた凹凸形状２７がそのまま下部電極２３の表面に凹凸形状２８となって表れる。これに対し、ＣＩＳ系太陽電池１１の場合には、光吸収層１４とオーミック接合させると共に格子定数を整合させるため下部電極１３にＭｏを用いており、下部電極１３の膜厚が１μｍ程度必要になる。そのため、図３に示すように、微細な凹凸形状１７を有する基板１２の上にＭｏからなる下部電極１３を形成しても、基板１２の凹凸形状１７が下部電極１３の上面では平坦化されてしまう。あるいは、下部電極１３の上面に凹凸形状が生じたとしても、それは凹凸形状１７に比べるとかなり鈍った凹凸形状にしかならない。そのため、下部電極１３によって十分に光を散乱させることができず、下部電極１３で散乱する光の利用効果が悪くなる問題があった。

【0011】

本発明は、このような技術的課題に鑑みてなされたものであって、その目的とするところは、光吸収層の裏面側に位置する下部電極の表面に光散乱効果の高い凹凸形状を形成することのできるＣＩＳ太陽電池及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0012】

本発明にかかるＣＩＳ系太陽電池は、上面に凹凸形状を有する基板と、光を吸収するための光吸収層と、前記光吸収層の上方に配置された上部電極とを有するＣＩＳ系太陽電池において、前記光吸収層が前記凹凸形状に接して前記基板上に形成されており、前記基板が下部電極として機能することを特徴としている。

【0013】

本発明にかかるＣＩＳ系太陽電池は、基板の上面に凹凸形状を有し、基板上面に接して光吸収層を設けているので、光吸収層に入射した光のうち、基板上面にまで達した光は凹凸形状で散乱されて光吸収層に吸収され、それによって太陽電池の変換効率が向上する。また、凹凸形状は基板に直接形成されているので、精度よくくっきりとした形状に形成することが可能である。しかも、基板が下部電極（オーミック電極）の機能を有しているので、凹凸形状の上に別途下部電極を形成して凹凸形状が鈍ったり、平坦化されたりする恐れもない。

【0014】

本発明にかかるＣＩＳ系太陽電池のある実施態様は、前記基板が、前記光吸収層と接する上面付近にＭｏを含むことを特徴としている。かかる実施態様によれば、Ｍｏを含む基板表面を光吸収層にオーミック接合させることができ、基板を下部電極（オーミック電極）として機能させることができる。また、基板表面にＭｏを含んでいるので、基板表面に光吸収層を成長する際に格子定数を整合させることができて良質な光吸収層を形成することができる。

【0015】

本発明にかかるＣＩＳ系太陽電池の別な実施態様は、前記基板が合金によって形成されていることを特徴としている。かかる実施態様によれば、合金組成を調整することによって基板の線膨張係数を制御することができる。また、金属板を貼り合わせた場合にはバイメタル効果によって温度変化に伴う反りが発生するが、基板を合金化することで温度変化に伴う基板の反りを小さくできる。よって、基板の線膨張係数を光吸収層の線膨張係数にほぼ等しくすることで光吸収層のクラックや剥離を防ぐことができる。

【0016】

本発明にかかるＣＩＳ系太陽電池のさらに別な実施形態は、前記合金によって形成され

SIONYX1403000022.0048

SAMSUNG EX. 1002 - 2010/4148

た基板が、下面側と上面側とで合金組成が異なっていることを特徴としている。かかる実施態様によれば、基板全体としての特性と、下部電極としての特性をそれぞれ制御することができる。例えば、表面では下部電極（オーミック電極）に適した金属材料の濃度が大きくなるようにし、全体としては光吸収層の線膨張係数と等しくなるようにすることができる。

【0017】

また、本発明にかかるＣＩＳ系太陽電池のさらに別な実施形態は、前記基板がＭｏを含む合金であることを特徴としている。かかる実施態様によれば、基板がＭｏを含んでいるので、基板を光吸収層にオーミック接合させることが可能になる。

【0018】

特に、基板をＮｉとＭｏの合金で作製すれば、Ｎｉは光吸収層よりも線膨張係数が大きく、Ｍｏは光吸収層よりも線膨張係数が小さいので、全体としての合金比を調整することによって基板の線膨張係数を光吸収層の線膨張係数にほぼ等しくすることができる。同様に、基板をＣｏとＭｏの合金で作製すれば、Ｃｏは光吸収層よりも線膨張係数が大きく、Ｍｏは光吸収層よりも線膨張係数が小さいので、全体としての合金比を調整することによって基板の線膨張係数を光吸収層の線膨張係数にほぼ等しくすることができる。

【0019】

本発明にかかるＣＩＳ系太陽電池のさらに別な実施態様は、前記基板が、下面側から前記光吸収層と接する上面へ向かうにつれてＭｏの濃度が大きくなるように形成されていることを特徴としている。かかる実施態様によれば、Ｍｏの濃度が基板表面で最も大きくなっているので、基板の表面を光吸収層にオーミック接合させることができ、基板を下部電極（オーミック電極）として使用することができる。

【0020】

本発明にかかるＣＩＳ系太陽電池のさらに別な実施態様は、前記凹凸形状が、ピラミッド形状をした凹部または凸部によって構成されていることを特徴としている。ピラミッド形状をした凹凸形状によれば、その高さや幅あるいは頂角を調整することによって入射光の散乱具合を容易に制御することができる。

【0021】

本発明にかかるＣＩＳ系太陽電池のさらに別な実施態様は、前記ピラミッド形状の頂角が１１０°であることを特徴としている。かかる実施態様によれば、光吸収層内における光の滞在距離を最も長くでき、光吸収層で光をもっともよく吸収させて変換効率を良好にすることができる。

【0022】

本発明にかかるＣＩＳ系太陽電池のさらに別な実施態様は、前記凹凸形状の高さが、前記光吸収層の厚さの半分以下であることを特徴としている。かかる実施態様によれば、凹凸形状が光吸収層の上に飛び出ることがなく、光吸収層のもっとも薄い部分の厚さが薄くなりすぎるのを防ぐことができて光吸収層で効率よく光を吸収することができる。

【0023】

本発明にかかるＣＩＳ系太陽電池のさらに別な実施態様は、前記基板が電鋳法により作製されていることを特徴としている。かかる実施態様によれば、電鋳法によって基板を作製することで凹凸形状作製時のスループットを向上させることができ、基板に安価に凹凸形状を作製することができる。また、下部電極の機能を有する基板を電鋳法によって作製することにより下部電極（基板表面）にくっきりとした凹凸形状を形成することができる。

【0024】

本発明にかかるＣＩＳ系太陽電池の製造方法は、本発明にかかるＣＩＳ系太陽電池の製造方法であって、前記凹凸形状の反転形状が形成された母型に電鋳を行って前記母型の上面に基板材料を堆積させる工程と、前記母型の上面に形成された基板から前記母型を取り除くことにより、前記凹凸形状を有する前記基板を作製する工程と、前記基板の上面に前記光吸収層を形成する工程と、前記光吸収層の上方に上部電極を形成する工程とを備えた

SIONYX1403000022.0049

SAMSUNG EX. 1002 - 2011/4148

ことを特徴としている。

【0025】

本発明にかかるＣＩＳ系太陽電池の製造方法によれば、電鋳法により凹凸形状の反転形状が形成された母型の上面に基板材料を堆積させて凹凸形状を有する基板を作製することができるので、高いスループットでもって、かつ安価に基板を作製することができる。また、電鋳法によって基板を作製しているので、電鋳の特徴であるパターン制御性の高さを活かすことができ、くっきりとした形状の凹凸形状を形成することができる。

【0026】

なお、本発明における前記課題を解決するための手段は、以上説明した構成要素を適宜組み合せた特徴を有するものであり、本発明はかかる構成要素の組合せによる多くのバリエーションを可能とするものである。

【発明を実施するための最良の形態】

【0027】

以下、添付図面を参照しながら本発明の好適な実施形態を説明する。なお、図面はいずれも模式的な図であって、実際の寸法とは異なっている。また、寸法比率も実際の比率とは異なっており、例えば合金基板の凹凸形状は誇張して大きく描いている。

【0028】

（第１の実施形態）

以下、図４を参照して本発明の第１の実施形態によるＣＩＳ系太陽電池３１の構造を説明する。このＣＩＳ系太陽電池３１は、電鋳法によって作製された合金基板３２の上にＣＩＧＳ、ＣＩＧＳＳ、ＣＩＳ等のＣＩＳ系（カルコパイライト化合物系）の光吸収層３３を形成し、さらにその上にバッファ層３４を介して透明な上部電極３５を設けたものである。また、上部電極３５の上面には一対の取出し電極３６を有している。典型的な一例を挙げると、合金基板３２はＮｉとＭｏの合金であって、５０μｍ程度の厚みを有している。光吸収層３３は、ＣＩＧＳによって２μｍ～３μｍの厚みに形成されている。バッファ層３４は、ＣｄＳ等によって厚みが０．０５μｍ（５０ｎｍ）～０．１μｍ（１００ｎｍ）に形成されている。上部電極３５は、ＺｎＯ等によって厚みが０．６μｍ（６００ｎｍ）に形成されている。

【0029】

合金基板３２はＮｉとＭｏの合金であって、その厚みは１０μｍ～５００μｍの範囲であることが望ましい。さらに、合金基板３２の厚みは、強度や重量を考慮すれば、２０μｍ～１００μｍの範囲内であることが好ましく、特に、構造上および取り扱いにおける機械的強度などの点からは５０μｍ程度が好ましい。合金基板３２は厚み方向において合金組成が変化していて、濃度勾配を有している。すなわち、合金基板３２の下部はＮｉによって形成され、上面側へいくほど次第にＭｏの濃度が高くなっていて合金基板３２の上面近傍はＭｏ層またはＭｏリッチ合金層によって構成されている。例えば、上記のように合金基板３２の厚みが５０μｍ程度である場合では、表面の厚み１μｍ程度の領域がＭｏ層またはＭｏリッチ合金層となっており、その下の４９μｍ程度の層がＮｉ層またはＮｉリッチ合金層となっており、両者の間ではＭｏとＮｉとが互いに拡散している。

【0030】

このように合金基板３２はＮｉとＭｏとの合金であるが、合金基板３２の表面は光吸収層３３とオーミック接合することのできるＭｏによって形成されているので、合金基板３２またはその表面は下部電極の機能を有する。逆にいえば、合金基板３２の表面は光吸収層３３とオーミック接合できるだけのＭｏ濃度となっている必要がある。また、合金基板３２の表面がＭｏまたはＭｏリッチとなっているので、ＣＩＳ系の光吸収層３３を成長させるとき、合金基板３２の表面と光吸収層３３との間で格子定数を整合させることができ、良質な光吸収層３３（多結晶薄膜）を成長させることができる。

【0031】

また、合金基板３２の上面のほぼ全面には多数の微細な凹凸形状３７（つまり、凹形状または凸形状）が密に形成されている。１個の凹凸形状３７は、例えば図５に示すような

SIONYX1403000022.0050

SAMSUNG EX. 1002 - 2012/4148

ピラミッド形の凸形状となっている。この凹凸形状３７は、ピラミッド形状の対向する２斜面に垂直で、かつ頂点を通過する平面内における頂角αが、約１１０°となっている。さらに、凹凸形状３７の高さＨは、光吸収層３３の厚みの半分以下となっている。例えば、凹凸形状３７は、高さＨが０．０１μｍ（１０ｎｍ）～１．５μｍ、底面の一辺の長さＬが０．６μｍ～３μｍとなるように形成されていることが望ましい。凹凸形状３７の表面は鏡面となっている。なお、凹凸形状３７の寸法や配置はランダムであっても差し支えない。

【0032】

図６は、ピラミッド形状をした凹凸形状３７の対向する２斜面に垂直で、かつ頂点を通過する平面内における凹凸形状３７の頂角α（図５参照）と、光吸収層３３に上面から入射した光３８が凹凸形状３７で反射して光吸収層３３の上面から出るまでの光路長（図４参照）との関係をシミュレーションした結果を表した図である。この図によれば、頂角αが約１１０°のときに光吸収層３３における光路長がもっとも長くなることが分かる。よって、凹凸形状３７の頂角αを約１１０°とすることにより、光吸収層３３内における光の滞在距離が最も長くなり、光吸収層３３で光をもっともよく吸収させて変換効率を良好にすることができる。

【0033】

合金基板３２は、ＮｉとＭｏが合金化されていて徐々に組成が変化しているので、Ｎｉ層の上に単にＭｏ層を積層した場合（貼り合わせ構造）に比べて、熱膨張係数の違いによって温度変化に伴う反りが発生しにくい。そのため、合金基板３２の上に光吸収層３３を成膜するときの成膜温度（４００℃～５５０℃）によっても、光吸収層３３と合金基板３２の間に剥離が発生しにくい。

【0034】

また、合金基板３２と光吸収層３３との熱膨張係数の違いに基因して、温度変化により光吸収層３３にクラックが生じたり、光吸収層３３が剥離したりすることのないように、合金基板３２の全体としての線膨張係数は光吸収層３３の線膨張係数に等しくしている。例えば、光吸収層３３がＣＩＧＳの場合には、その線膨張係数は９×１０$^{-6}$／℃～１０×１０$^{-6}$／℃である。Ｎｉの線膨張係数は１３×１０$^{-6}$／℃、Ｍｏの線膨張係数は５．２×１０$^{-6}$／℃であるから、ＮｉとＭｏの基板全体としての合金比（質量比）をＮｉ：Ｍｏ＝１：１．０８とすれば、合金基板３２の線膨張係数は約９×１０$^{-6}$／℃となる。また、ＮｉとＭｏの基板全体としての合金比をＮｉ：Ｍｏ＝１：０．６４とすれば、合金基板３２の線膨張係数は約１０×１０$^{-6}$／℃となる。従って、合金基板３２の線膨張係数をＣＩＧＳの光吸収層３３と等しくするためには、合金基板３２全体としてのＮｉとＭｏの合金比Ｍｏ／Ｎｉ＝０．６４～１．０８とすればよい。特に、光吸収層３３の線膨張係数のばらつきなどを考慮すれば、Ｎｉ：Ｍｏ＝１：１とするのが好ましい。

【0035】

上記のように濃度勾配のついた合金基板３２は、電鋳法により作製することができる。電鋳法とは、一般に電解浴にドラムを浸漬し、ドラム上に厚く金属を電析させ、その電析物をドラムより剥離させて、それを製品、または複製物とする方法である。例えば、電鋳法でＮｉ箔を作製する場合には、スルファミン酸ニッケルを用いた電解浴のなかに、チタン、ステンレス鋼などで作られたドラムを一部浸し、そのドラム表面上にＮｉを電析させ、それを連続的に剥離して帯状の銅箔を製造する。陽極には不溶性陽極（鉛、アンチモン）を用い、電解浴中の銅イオンの減少は銅を化学的に溶解させて補給することによって行われる。

【0036】

図７（ａ）～図７（ｄ）は電鋳法により合金基板３２を作製する工程を表している。まず、フォトリソグラフィやＥＢ、レーザー加工などの技術を用いて、図７（ａ）に示すように、凹凸形状３７と嵌り合う微細な反転形状４０を有する母型３９を作製する。ついで、この母型３９をＮｉイオンとＭｏイオンを含む電解浴中に浸漬し、陽極と陰極の間に電流を流すことにより反転形状４０の表面にＮｉやＭｏを電析させ、図７（ｂ）のように電

SAMSUNG EX. 1002 - 2013/4148

鋳法により合金基板３２を作製する。このとき、当初すなわち反転形状４０に近い層では、Ｍｏ層又はＭｏリッチ合金層が堆積するようにし、母型３９の上に堆積する合金基板３２の厚みが厚くなるに従ってＭｏの濃度が少なくなり、最終的にはＮｉが堆積するようにする。したがって、図７（ｃ）及び図７（ｄ）に示すように、母型３９を剥離して得られた合金基板３２は、凹凸形状３７側の表面層ではＭｏまたはＭｏリッチの層となり、下面側ではＮｉ層となる。

【0037】

上記のようにＮｉとＭｏとの組成比を変化させながら母型３９に合金基板３２を堆積させるには、電鋳時に陽極と陰極との間に流す電流密度を制御すればよい。図８（ａ）はｐＨ３のＮｉ－Ｍｏ電解液を用いた場合に電鋳によって形成される膜中のＭｏ濃度（at％）を表している。また、図８（ｂ）はｐＨ５のＮｉ－Ｍｏ電解液を用いた場合に電鋳によって形成される膜中のＭｏ濃度（at％）を表している。図８（ａ）、図８（ｂ）の横軸は電解液の浴中Ｍｏ濃度（mol／リットル）を表し、縦軸が膜中Ｍｏ濃度（at％）を表している。また、白丸、三角印及び黒丸は、それぞれ陽極と陰極の間の電流密度が４００Ａ／ｍ^2、６００Ａ／ｍ^2、８００Ａ／ｍ^{2}のときの膜中Ｍｏ濃度を示す。図８（ａ）、図８（ｂ）から分かるように、浴中Ｍｏ濃度が高くなると膜中Ｍｏ濃度が大きくなり、また電流密度によっても膜中Ｍｏ濃度が変化する。よって、傾斜組成を有する合金基板３２を作製するには、合金基板３２を電鋳法により作製しつつ電流密度を変化させることでＭｏとＮｉの濃度（組成比）を次第に変化させればよい。また、電流だけでは所望の組成を得ることのできない領域（Ｍｏの組成比が非常に大きな部分やＮｉの組成比が非常に大きな部分）では、電流密度を時間的に変化させると共に、電解液のＭｏイオン濃度を制御すればよい。電解液のＭｏ濃度を制御する方法には、例えば、電解液のＭｏイオン濃度を時間とともに次第に変化させる方法と、Ｍｏイオン濃度の異なる複数の電解液に母型３９を順番に入れていく方法とがある。

【0038】

このように電鋳法により合金基板３２を作製すれば、真空工程（真空チャンバ内での工程）が不要であるのでスループットが良好となり、合金基板３２の作製コストを安価にすることができる。また、この合金基板３２の凹凸形状３７側は光吸収層３３と接する面、すなわち下部電極としての機能を有するが、その凹凸形状３７を母型３９からの転写によってくっきりとした形状に形成することができる。よって、光吸収層３３に入射した光を凹凸形状３７で効果的に散乱させることができ、ＣＩＳ系太陽電池３１の変換効率を良好にすることができる。

【0039】

光吸収層３３は、ＣＩＧＳ、ＣＩＧＳＳ、ＣＩＳ等のＣＩＳ系カルコパイライト化合物からなる多結晶薄膜であって、凹凸形状３７の底面または最下点から測った厚みが２μｍ～３μｍとなっている。光吸収層３３は、図７（ｅ）に示すように、３段階法やセレン化法、多元蒸着法、ＭＢＥ法などの常法によって合金基板３２の上面に成膜される。例えば、３段階法では、１層目に$(In,Ga)_2Se_3$膜を形成し、ついでＣｕとＳｅのみを供給して膜全体の組成がＣｕ過剰組成になるまで膜形成を行う。さらに、この膜に再びＩｎ，Ｇａ，Ｓｅの各フラックスを照射し、最終的な組成が(Ｉｎ,Ｇａ)過剰組成となるようにする。また、セレン化法の場合には、Ｉｎ／Ｃｕ（Ｇａ）／Ｍｏ金属積層膜をスパッタによって合金基板３２の上面に形成し、その積層膜を４００℃以上の温度でH_2Seガスと反応させて$Cu(In,Ga)Se_2$［ＣＩＧＳ］膜を得る。

【0040】

光吸収層を形成する際には、ソーダライムガラスからなる基板を用いて、基板から光吸収層にＮａを供給するのが一般的であるが、この実施形態では基板に合金基板３２を用いているので、光吸収層３３の成膜中に光吸収層３３にＮａを直接入れるようにしている。

【0041】

バッファ層３４はＣｄＳによって厚みが２μｍとなるように形成される。しかし、地球環境を考えればＣｄフリーの材料を用いることが望ましいので、バッファ層３４としては

SAMSUNG EX. 1002 - 2014/4148

Ｚｎ（Ｏ，Ｓ，ＯＨ）ｘを用いるのが好ましい。バッファ層３４は、図７（ｆ）に示すように、例えばＣＢＤ（Chemical Bath Deposition）法によって０．０５μｍ（５０ｎｍ）～０．１μｍ（１００ｎｍ）の厚みとなるように光吸収層３３の上面に溶液成長させられる。

【0042】

上部電極３５は、図７（ｇ）に示すように、スパッタ法により厚みが６００μｍとなるように成膜される。上部電極３５の材料は、コストの点からはＺｎＯが望ましいが、In_2O_3、SnO_2、ＣｄＯ、Cd_2SO_4、TiO_2、Ta_2O_5、Bi_2O_3、MoO_3、$NaxWO_3$などの導電性酸化物を用いることもできる。また、これらの化合物を混合したもの、これらの化合物に導電率を変化させる元素（ドーパント）を添加したもの（例えば、ＩＴＯ、ＩＺＯ、ＦＴＯ、ＡＺＯ、ＢＺＯ、ＺｎＯにＡｌを微量添加したものなど）でもよい。また、上記のような化合物の膜を高抵抗層と低抵抗層の２層構造とすれば、上部電極３５におけるシャントパスを低減する効果がある。

【0043】

取出し電極３６は、アルミ材料によって１μｍ～３μｍの厚みに形成される。例えば、取出し電極３６を形成するための開口をマスクにあけておき、このマスクを位置合わせして上面電極３５の上に重ね、蒸着やスクリーン印刷によって電極材料をマスクの開口から上面電極３５に供給して取出し電極３６を形成する。

【0044】

本発明の第１の実施形態によるＣＩＳ系太陽電池にあっては、合金基板３２が電鋳法により作製されているので、凹凸形状３７を有する合金基板３２を容易かつ安価に作製することができる。しかも、凹凸形状は精度よくくっきりとした形状に形成される。合金基板３２の上面はＭｏで構成されていて下部電極の機能を有しているので、この合金基板３２の上面にさらに下部電極を設ける必要がなく、光吸収層３３を合金基板３２の凹凸形状３７の上に直接に形成することができる。よって、光吸収層３３に入射した光は、凹凸形状３７で散乱されて光吸収層３３内に広がって吸収され、その結果ＣＩＳ系太陽電池３１の変換効率が向上する。

【0045】

また、第１の実施形態によるＣＩＳ系太陽電池にあっては、合金基板３２がＮｉとＭｏの合金であって、厚み方向において組成が変化し、合金基板３２の表面でＭｏの濃度が大きくなっているので、合金基板３２の表面に下部電極（オーミック電極）を形成することができる。また、合金基板３２の表面でＭｏの濃度が大きくなっているので、光吸収層３３の成膜時に合金基板３２の表面と光吸収層３３とで格子定数が整合し易くなる。また、合金基板３２が合金であるので、合金基板３２の熱膨張係数が光吸収層３３の熱膨張係数にほぼ等しくなるように合金比を調整することができ、光吸収層３３のクラックや剥離を防ぐことができる。

【0046】

（第２の実施形態）

つぎに、本発明にかかる第２の実施形態を説明する。ＣＩＳ系太陽電池の構造については第１の実施形態と同じであるので、図示及び説明を省略する。

【0047】

第１の実施形態では、合金基板３２はＭｏとＮｉの合金であったが、第２の実施形態では、ＭｏとＣｏとの合金を用いて合金基板３２を作製している。この場合には、下面側がＣｏによって構成され、凹凸形状３７の形成されている上面側がＭｏ層またはＭｏリッチ合金層となっている。このようなＭｏ－Ｃｏ合金の場合にも、図９（ａ）及び図９（ｂ）に示すように、膜中Ｍｏ濃度は浴中Ｍｏ濃度及び電流密度によって変化するので、電鋳の工程において電流密度や浴中Ｍｏ濃度を変化させることにより、合金基板３２におけるＭｏ濃度を変化させることができる。

【0048】

Ｍｏ－Ｃｏ合金の合金基板３２の線膨張係数を光吸収層３３の線膨張係数に等しくして

SAMSUNG EX. 1002 - 2015/4148

、温度変化による光吸収層３３のクラックや光吸収層３３の剥離を防止するためには、ＣｏとＭｏの合金比を以下のようにすればよい。例えば、光吸収層３３がＣＩＧＳの場合には、その線膨張係数は９×１０－６／℃～１０×１０－６／℃である。Ｃｏの線膨張係数は１２.４×１０－６／℃、Ｍｏの線膨張係数は５.２×１０－６／℃であるから、ＣｏとＭｏの基板全体としての合金比（質量比）をＣｏ：Ｍｏ＝１：０.９２とすれば、合金基板３２の線膨張係数は約９×１０－６／℃となる。また、ＣｏとＭｏの基板全体としての合金比をＣｏ：Ｍｏ＝１：０.５２とすれば、合金基板３２の線膨張係数は約１０×１０－６／℃となる。従って、合金基板３２の線膨張係数をＣＩＧＳの光吸収層３３と等しくするためには、合金基板３２全体としてのＣｏとＭｏの合金比Ｍｏ／Ｃｏ＝０.５２～０.９２とすればよい。

【0049】

なお、合金基板３２は、Ｎｉ－ＭｏやＣｏ－Ｍｏの合金組成以外にも、Ｎｉ、Ｃｕ、Ｔｉ、Ｆｅ、Ｗ、Ｃｒ、Ａｌ、Ａｕ、Ｎｂ、Ｔａ、Ｖ、Ｐｔ、Ｐｂなどのうちの１種または２種以上の材料を下面側の組成とし、Ｍｏを上面側の組成として、線膨張係数が光吸収層３３とほぼ等しくなるように全体の組成比を調整したものであってもよい。

【0050】

（第３の実施形態）

図１０は本発明の第３の実施形態によるＣＩＳ系太陽電池で用いられる合金基板３２を示す斜視図である。この合金基板３２では、図１０に示すように、合金基板３２の上面に微細な三角形溝状の凹凸形状３７を設けている。このような三角形溝状の凹凸形状３７でも、光を散乱させてＣＩＳ系太陽電池の変換効率を向上させることができる。

【0051】

（第４の実施形態）

図１１は本発明の第４の実施形態によるＣＩＳ系太陽電池の構造を示す断面図である。この実施形態では、凹凸形状３７が、矩形状の凸部または凹部によって構成されている。あるいは、矩形溝状の凹凸形状３７であってもよい。この場合も、凹凸形状３７は同じ形状のものを一定ピッチで配列していてもよく、同じ形状のものをランダムに配置していてもよく、異なる形状のものをランダムに形成していてもよい。このような凹凸形状３７では、光を散乱させる効果は低いが、光吸収層３３と合金基板３２の剥離を防止する効果がある。

【0052】

なお、凹凸形状３７としては、その上に形成される光吸収層３３の結晶成長を制御するための形状をしたものであってもよい。

【図面の簡単な説明】

【0053】

【図1】図１は、ＣＩＳ系太陽電池の一般的な構造を示す斜視図である。

【図2】図２は、シリコン系太陽電池の構造を模式的に示す断面図である。

【図3】図３は、基板に凹凸形状を設けたＣＩＳ系太陽電池を模式的に示す断面図である。

【図4】図４は、本発明の第１の実施形態によるＣＩＳ系太陽電池の構造を模式的に示す断面図である。

【図5】図５は、図４の太陽電池の合金基板の表面に形成された凹凸形状の一つを示す斜視図である。

【図6】図６は、ピラミッド形状をした凹凸形状の対向する２斜面に垂直で、かつ頂点を通過する平面内における凹凸形状の頂角αと、光吸収層に上面から入射した光が凹凸形状で反射して光吸収層の上面から出るまでの光路長との関係をシミュレーションした結果を表した図である。

【図7】図７（ａ）～図７（ｄ）は、電鋳法により合金基板を作製する工程を表した図である。

【図8】図８（ａ）はｐＨ３のＮｉ－Ｍｏ電解液を用いた場合に電鋳によって形成される

SAMSUNG EX. 1002 - 2016/4148

膜の膜中Ｍｏ濃度を表す図、図８（ｂ）はｐＨ５のＮｉ－Ｍｏ電解液を用いた場合に電鋳によって形成される膜の膜中Ｍｏ濃度を表す図である。

【図9】図９（ａ）は、本発明の第２の実施形態において、ｐＨ３のＣｏ－Ｍｏ電解液を用いた場合に電鋳によって形成される膜の膜中Ｍｏ濃度を表す図、図８（ｂ）はｐＨ５のＣｏ－Ｍｏ電解液を用いた場合に電鋳によって形成される膜の膜中Ｍｏ濃度を表す図である。

【図10】図１０は、本発明の第３の実施形態によるＣＩＳ系太陽電池で用いられる合金基板を示す斜視図である。

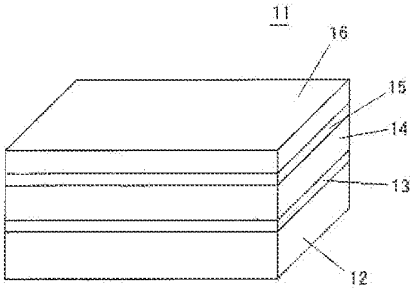
【図11】図１１は、本発明の第４の実施形態によるＣＩＳ系太陽電池の構造を模式的に表した断面図である。

【符号の説明】

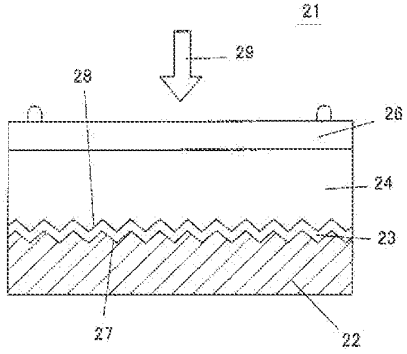
【0054】

３１　　ＣＩＳ系太陽電池
３２　　合金基板
３３　　光吸収層
３４　　バッファ層
３５　　上部電極
３６　　取出し電極
３７　　凹凸形状
３９　　母型
４０　　反転形状

【図1】

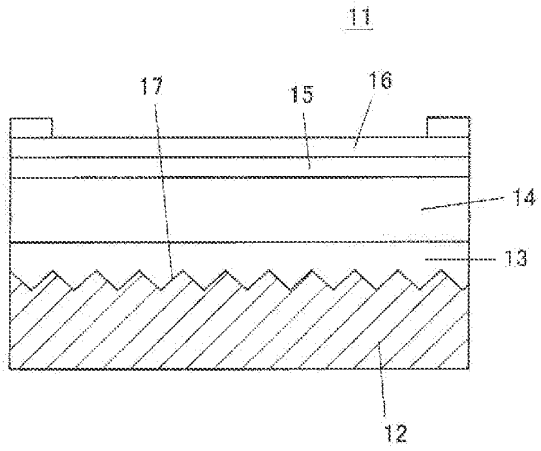


【図2】

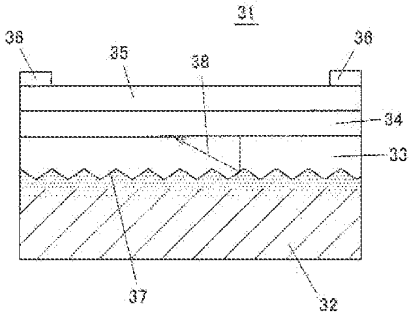


SAMSUNG EX. 1002 - 2017/4148

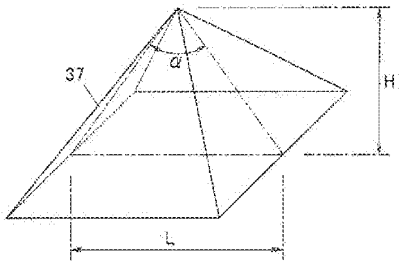
【図3】



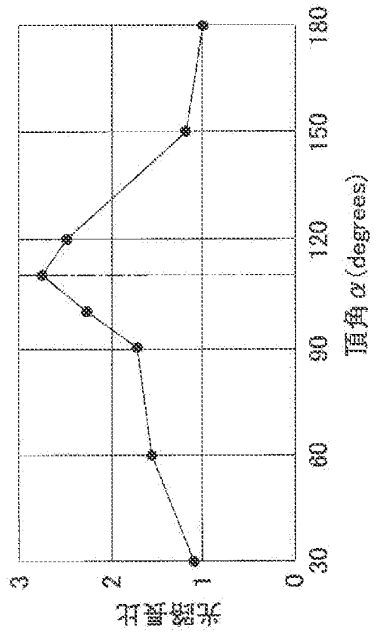
【図4】



【図5】

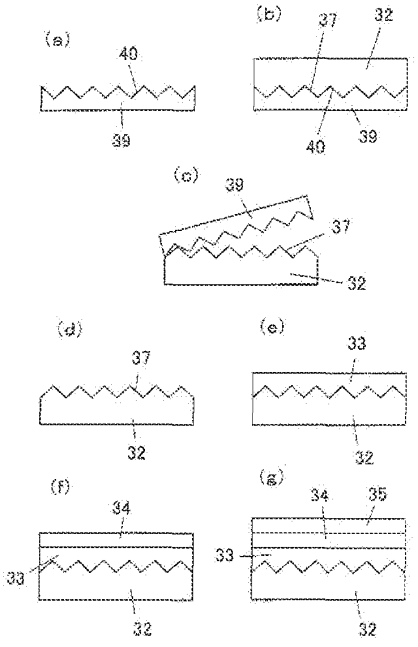


【図6】

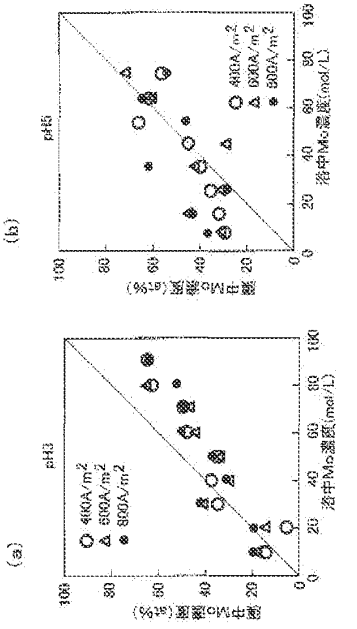


SAMSUNG EX. 1002 - 2018/4148

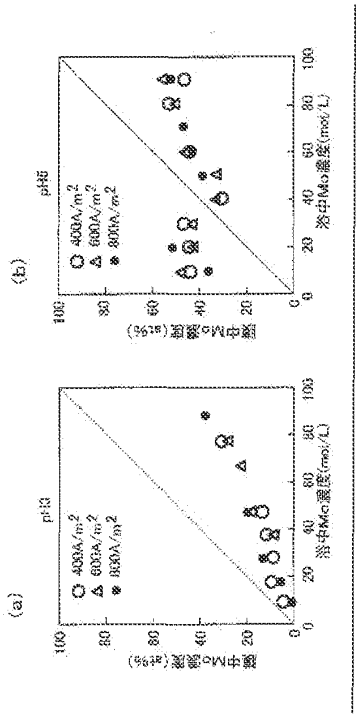
【図7】



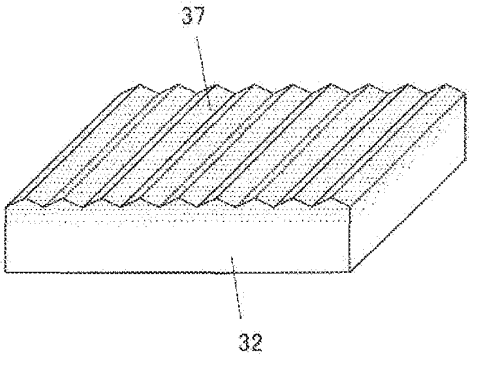
【図8】



【図9】



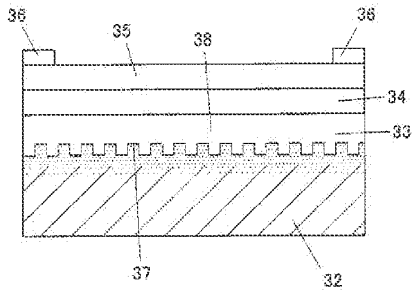
【図10】



SIONYX1403000022.0057

SAMSUNG EX. 1002 - 2019/4148

【図11】



【手続補正書】
【提出日】平成20年10月16日(2008.10.16)
【手続補正1】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項1】
上面に凹凸形状を有する基板と、光を吸収するための光吸収層と、前記光吸収層の上方に配置された上部電極とを有し、
前記光吸収層は、前記凹凸形状に接して前記基板上に形成されており、前記基板は下部電極として機能するＣＩＳ系太陽電池において、
前記基板は、Ｍｏを含む合金により形成され、下面側から前記光吸収層と接する上面へ向かうにつれてＭｏの濃度が大きくなるように形成されていることを特徴とするＣＩＳ系太陽電池。
【請求項2】
前記凹凸形状は、ピラミッド形状をした凹部または凸部によって構成されていることを特徴とする、請求項１に記載のＣＩＳ系太陽電池。
【請求項3】
前記ピラミッド形状の頂角が１１０°であることを特徴とする、請求項２に記載のＣＩＳ系太陽電池。
【請求項4】
前記凹凸形状の高さが、前記光吸収層の厚さの半分以下であることを特徴とする、請求項１に記載のＣＩＳ系太陽電池。

SIONYX1403000022.0058

SAMSUNG EX. 1002 - 2020/4148

【請求項5】
前記基板が電鋳法により作製されていることを特徴とする、請求項１に記載のＣＩＳ系太陽電池。
【請求項6】
請求項１に記載したＣＩＳ系太陽電池の製造方法であって、
前記凹凸形状の反転形状が形成された母型に電鋳を行って前記母型の上面にＭｏを含む組成の基板材料を堆積させる工程と、
前記母型の上面に形成された基板から前記母型を取り除くことにより、上面に前記凹凸形状を有し、かつ、下面側から上面へ向かうにつれてＭｏの濃度が大きくなった基板を作製する工程と、
前記基板の上面に前記光吸収層を形成する工程と、
前記光吸収層の上方に上部電極を形成する工程と、
を備えたＣＩＳ系太陽電池の製造方法。
【手続補正2】
【補正対象書類名】明細書
【補正対象項目名】００１２
【補正方法】変更
【補正の内容】
【0012】
本発明にかかるＣＩＳ系太陽電池は、上面に凹凸形状を有する基板と、光を吸収するための光吸収層と、前記光吸収層の上方に配置された上部電極とを有し、前記光吸収層が前記凹凸形状に接して前記基板上に形成されており、前記基板が下部電極として機能するＣＩＳ系太陽電池において、前記基板は、Ｍｏを含む合金により形成され、下面側から前記光吸収層と接する上面へ向かうにつれてＭｏの濃度が大きくなるように形成されていることを特徴としている。
【手続補正3】
【補正対象書類名】明細書
【補正対象項目名】００１４
【補正方法】変更
【補正の内容】
【0014】
また、本発明にかかるＣＩＳ系太陽電池は、前記基板がＭｏを含む合金であり、下面側から光吸収層と接する上面へ向かうにつれてＭｏの濃度が大きくなるように形成されているので、Ｍｏの濃度が基板表面で最も大きくなり、基板の表面を光吸収層にオーミック接合させることができ、基板を下部電極（オーミック電極）として使用することができる。
【手続補正4】
【補正対象書類名】明細書
【補正対象項目名】００１５
【補正方法】削除
【補正の内容】
【手続補正5】
【補正対象書類名】明細書
【補正対象項目名】００１６
【補正方法】削除
【補正の内容】
【手続補正6】
【補正対象書類名】明細書
【補正対象項目名】００１７
【補正方法】削除
【補正の内容】

SAMSUNG EX. 1002 - 2021/4148

【手続補正7】
【補正対象書類名】明細書
【補正対象項目名】００１８
【補正方法】削除
【補正の内容】
【手続補正8】
【補正対象書類名】明細書
【補正対象項目名】００１９
【補正方法】削除
【補正の内容】
【手続補正9】
【補正対象書類名】明細書
【補正対象項目名】００２０
【補正方法】変更
【補正の内容】
【0020】
本発明にかかるＣＩＳ系太陽電池のある実施態様は、前記凹凸形状が、ピラミッド形状をした凹部または凸部によって構成されていることを特徴としている。ピラミッド形状をした凹凸形状によれば、その高さや幅あるいは頂角を調整することによって入射光の散乱具合を容易に制御することができる。
【手続補正10】
【補正対象書類名】明細書
【補正対象項目名】００２１
【補正方法】変更
【補正の内容】
【0021】
本発明にかかるＣＩＳ系太陽電池の別な実施態様は、前記ピラミッド形状の頂角が１１０°であることを特徴としている。かかる実施態様によれば、光吸収層内における光の滞在距離を最も長くでき、光吸収層で光をもっともよく吸収させて変換効率を良好にすることができる。
【手続補正11】
【補正対象書類名】明細書
【補正対象項目名】００２４
【補正方法】変更
【補正の内容】
【0024】
本発明にかかるＣＩＳ系太陽電池の製造方法は、本発明にかかるＣＩＳ系太陽電池の製造方法であって、前記凹凸形状の反転形状が形成された母型に電鋳を行って前記母型の上面にＭｏを含む組成の基板材料を堆積させる工程と、前記母型の上面に形成された基板から前記母型を取り除くことにより、上面に前記凹凸形状を有し、かつ、下面側から上面へ向かうにつれてＭｏの濃度が大きくなった基板を作製する工程と、前記基板の上面に前記光吸収層を形成する工程と、前記光吸収層の上方に上部電極を形成する工程とを備えたことを特徴としている。

SAMSUNG EX. 1002 - 2022/4148

(72)発明者　青山　茂
京都府京都市下京区塩小路通堀川東入南不動堂町８０１番地　オムロン株式会社内
Ｆターム(参考) 5F051 AA10　BA14　CB15　FA02　FA03　FA04　GA02　GA14　GA20

SAMSUNG EX. 1002 - 2023/4148

Espacenet

Bibliographic data: JP2010278472 (A) — 2010-12-09

METHOD OF MANUFACTURING SOLID-STATE IMAGING DEVICE

No documents available for this priority number.

Inventor(s): MARUYAMA YASUSHI ± (MARUYAMA YASUSHI)

Applicant(s): SONY CORP ± (SONY CORP)

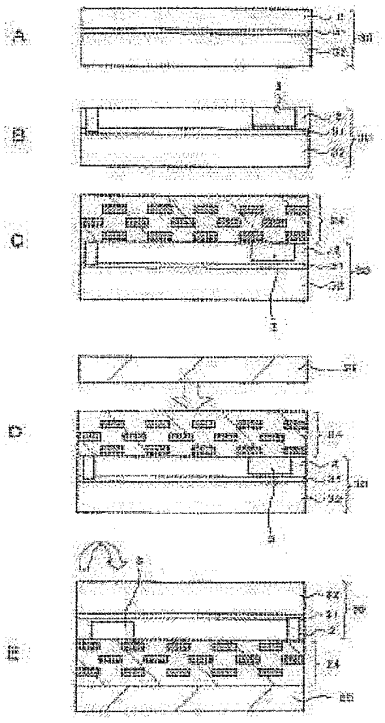
Classification: - international: *H01L27/146*
- cooperative:

Application number: JP20100191888 20100830

Priority number(s): JP20100191888 20100830

Also published as: JP5218502 (B2)

Abstract of JP2010278472 (A)



SIONYX1403000022.0062

SAMSUNG EX. 1002 - 2024/4148

PROBLEM TO BE SOLVED: To provide a solid-state imaging device which is more superior in reliability, a method of manufacturing the same, and a camera. ; SOLUTION: The solid-state imaging device has a semiconductor layer 10 in which a plurality of pixels made of a photoelectric-conversion section 11 and a pixel transistor are formed, and is formed with a multilayer interconnection layer 14 in one surface side of the semiconductor layer 10, wherein light from another surface side of the semiconductor layer 10 enters. In the device, a pad 5 is formed in the another surface side of the semiconductor layer 10, and an aperture which reaches a conductive layer in the multilayer interconnection layer 14 is formed at the pad 5. Further, the device has an insulating film 17 which is extended and formed over the another surface side of the semiconductor layer 10 to a sidewall in the aperture, is directly attached to the semiconductor layer 10 in the aperture, and insulates and covers the semiconductor layer 10; and another insulating film which is different from the insulating film 17 directly attached to the semiconductor layer 10, and extended and formed over the another surface side of the semiconductor layer 10 to the sidewall in the aperture. ; COPYRIGHT: (C)2011,JPO&INPIT

Last updated: 23.09.2013 Worldwide Database 5.8.11.4; 92p

SIONYX1403000022.0063

SAMSUNG EX. 1002 - 2025/4148

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2010-278472
(P2010-278472A)
(43)公開日　平成22年12月9日(2010.12.9)

(51)Int.Cl.	F I		テーマコード（参考）
H01L 27/146 (2006.01)	H01L 27/14	A	4M118

審査請求 有　請求項の数 2　OL　（全 11 頁）

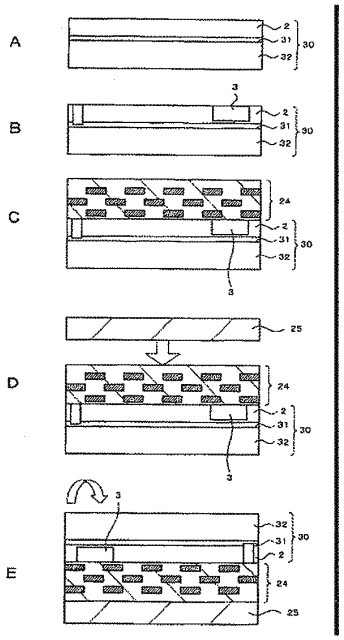
(21)出願番号　特願2010-191888 (P2010-191888)
(22)出願日　平成22年8月30日 (2010.8.30)
(62)分割の表示　特願2004-279780 (P2004-279780)の分割
原出願日　平成16年9月27日 (2004.9.27)

(71)出願人　000002185
ソニー株式会社
東京都港区港南１丁目７番１号
(74)代理人　110000925
特許業務法人信友国際特許事務所
(72)発明者　丸山　康
東京都品川区北品川６丁目７番３５号　ソニー株式会社内

Fターム(参考)　4M118 AA05 AB01 BA14 CA04 CA18 CA32 EA01 EA14 EA18 FA06 FA26 FA33 GA02 GC07 GD03 GD04 GD07

(54)【発明の名称】固体撮像装置の製造方法

(57)【要約】
【課題】より信頼性に優れた固体撮像装置とその製造方法、及びカメラを提供する。
【解決手段】光電変換部１１と画素トランジスタからなる複数の画素が形成された半導体層１０を有し、半導体層１０の一方の面側に多層配線層１４が形成され、半導体層１０の他方の面側から光が入射される固体撮像装置であって、半導体層１０の他方の面側にパッド部５が形成され、パッド部５に多層配線層１４中の導電層に達する開口が形成され、半導体層１０の他方の面上から開口内の側壁に延長して形成された絶縁膜であって、開口内において半導体層１０に直付けされ、半導体層１０を絶縁被覆する絶縁膜１７と、半導体層１０に直付けされた絶縁膜１７とは異なる他の絶縁膜であって、半導体層１０の他方の面上から開口内の側壁に延長して形成された他の絶縁膜とを備える。
【選択図】図３



SIONYX1403000022.0064

SAMSUNG EX. 1002 - 2026/4148

【特許請求の範囲】
【請求項1】
半導体基板に光電変換部を形成する工程と、
前記半導体基板の光照射面側に、前記光照射面側からイオン注入することによってアキュムレーション層を形成する工程と、
前記半導体基板の光照射面とは反対側の面にイオン注入することによってアキュムレーション層を形成する工程と、
前記半導体基板の裏面側に第１の支持基板を、熱処理を行いながら貼り合わせる工程と、
前記半導体基板の光照射面側とは反対側を研磨し、前記半導体基板を所用の厚さに形成する工程と、
前記半導体基板の光照射面とは反対側の面に配線層を形成する工程と、
前記配線層上部に第２の支持基板を、熱処理を行いながら貼り合わせる工程と、
前記第１の支持基板を前記半導体基板の光照射面側から除去する工程と、
を有し、
前記半導体基板の両面のアキュムレーション層は、その不純物濃度が$1\times10^{17}cm^{-3}$～$1\times10^{19}cm^{-3}$となるように形成し、
前記半導体基板の光照射面側のアキュムレーション層は、前記第１の支持基板を貼り合わせる工程における熱処理により活性化して形成する
固体作撮像装置の製造方法。
【請求項2】
前記半導体基板の裏面側のアキュムレーション層は、光電変換部との接合深さが０．４μｍ以下となるように形成する
請求項１に記載の固体撮像装置の製造方法。

【発明の詳細な説明】
【技術分野】
【0001】
本発明は、基板裏面側から光を入射させるようにした裏面照射型固体撮像素子の製造方法に関する。
【背景技術】
【0002】
固体撮像素子として、ＣＭＯＳ型固体撮像素子及びＣＣＤ型固体撮像素子が知られている。例えばＣＭＯＳ型固体撮像素子は、フォトダイオードと複数のＭＯＳトランジスタとにより１画素を形成し、複数の画素を所要のパターンに配列して構成される。このフォトダイオードは、受光量に応じた信号電荷を生成し蓄積する光電変換素子であり、複数のＭＯＳトランジスタはフォトダイオードからの信号電荷の読み出し動作を行うための素子である。
【0003】
図８に、イメージセンサに適用した従来の裏面から光照射するＣＭＯＳ型固体撮像素子の例を示す。図８は、画素の要部を示している。単位画素ではフォトダイオード５３と、フォトダイオード５３からの信号電荷を読み出すＭＯＳトランジスタ５４と、それ以外のＭＯＳトランジスタ５５の構成部分を表している。この裏面照射型のＣＭＯＳ固体撮像素子５１は、第１導電型、例えばｎ型のシリコン半導体基板６１に各画素を区画するための画素分離領域６２を形成し、各区画された画素領域にフォトダイオード５３と複数のＭＯＳトランジスタ、すなわち読み出しトランジスタ５４、それ以外のＭＯＳトランジスタ５５が形成されて単位画素６０が構成される。そして、この画素６０が多数個、２次元マトリックス状に配列される。
【0004】
画素分離領域６２は、基板表面から基板裏面にわたって比較的に低不純物濃度の第２導

SAMSUNG EX. 1002 - 2027/4148

電型であるｐ型半導体領域により形成される。フォトダイオード５３は、ｐ型の画素分離領域６２と各ＭＯＳトランジスタ５４、５５が形成される比較的に深いｐ型半導体ウェル領域６３とにより囲まれたｎ型半導体基板６１で形成される。すなわちフォトダイオード５３は、ｎ－半導体領域６１Ａとその表面側の高不純物濃度のｎ＋半導体領域（ｎ＋領域）６１Ｂとにより形成される。このｎ＋領域６１Ｂは、フォトダイオード３内で光電変換により生成された電子・正孔のうち信号となる電荷、この例では電子を蓄積するための電荷蓄積領域となる。さらに、このｎ＋半導体領域６１Ｂの表面にｐ＋半導体領域６４が形成される。

【0005】

各ＭＯＳトランジスタ５４、５５は、次のようにして構成される。ｐ型半導体ウェル領域６３の表面には、フォトダイオード５３に隣接するように、高不純物濃度のｎ型ソース・ドレイン領域（ｎ＋領域）５７、５８、５９がイオン注入により形成される。

読み出しトランジスタ５４は、ｎ型ソース・ドレイン領域５７と、フォトダイオード５３の表面側のソース・ドレイン領域を兼ねるｎ＋領域６１Ｂと、両領域５７及び６１Ｂ間のｐ－チャネル領域６５上にゲート絶縁膜を介して形成したゲート電極とにより構成される。また、読み出しトランジスタ５４以外のトランジスタ５５は、対をなすｎ型ソース・ドレイン領域５８及び５９と、両領域５８及び５９間のｐ型半導体ウェル領域６３上にゲート絶縁膜を介して形成したゲート電極６７とにより形成される。

また、ｎ型半導体基板６１の光照射面となる裏面には、暗電流の発生を抑制するための高不純物濃度のｐ型半導体領域よりなるｐ＋アキュムレーション層６８が形成される。

【0006】

この裏面照射型固体撮像素子５１は、半導体基板６１の裏面側から光をフォトダイオード５３に入射し、フォトダイオード５３において光電変換して受光量に応じた信号電荷をｎ＋領域６１Ｂに蓄積するようにしている。そして、各ＭＯＳトランジスタ５４、５５の読み出し動作によってｎ＋領域６１Ｂの信号電荷が読み出される。

【0007】

特許文献１には、上述した裏面照射型固体撮像素子が開示されている（特許文献１、図４参照）。

【図面の簡単な説明】

【0013】

【図1】本発明に係る裏面照射型固体撮像素子の一実施の形態を示す構成図である。

【図2】本発明に係る裏面照射型固体撮像素子の要部を示す断面図である。

【図3】Ａ～Ｅ 本発明に係る裏面照射型固体撮像素子の製造方法の一実施の形態を示す断面図である（その１）。

【図4】Ａ～Ｂ 本発明に係る裏面照射型固体撮像素子の製造方法の一実施の形態を示す断面図である（その２）。

【図5】Ａ～Ｆ 本発明に係る裏面照射型固体撮像素子の製造方法の他の実施の形態を示す断面図である（その１）。

【図6】Ａ～Ｄ 本発明に係る裏面照射型固体撮像素子の製造方法の他の実施の形態を示す断面図である（その２）。

【図7】本発明に係る裏面照射型固体撮像素子を用いる電子機器モジュールの構成図である。

【図8】従来の裏面照射型固体撮像素子を示す構成図である。

【符号の説明】

【0042】

１・・裏面照射型固体撮像素子、２・・半導体基板、３・・フォトダイオード、８・・ゲート電極、１３・・画素分離領域、１２，１５・・ｐ＋アキュムレーション層、１６・・ｐ型半導体ウェル領域、１７・・絶縁保護膜、２０・・単位画素、２１・・オンチップレンズ、２２・・オンチップカラーフィルタ、２４・・配線領域、２４ａ・・配線層、２５、３５・・支持基板、２６・・層間絶縁膜、３０・・ＳＯＩ基板、２８，３１，３６・

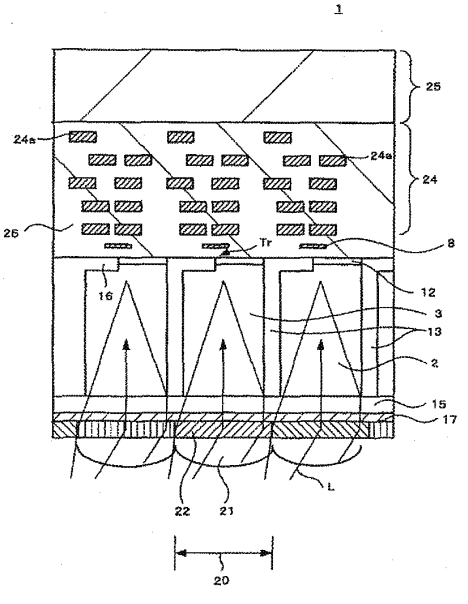
SAMSUNG EX. 1002 - 2028/4148

・シリコン酸化膜、３２・・ｎ型半導体基板、５１・・裏面照射型固体撮像素子、５３・・フォトダイオード、５４・・読み出しトランジスタ、５５・・ＭＯＳトランジスタ、５７、５８、５９・・ドレイン領域（ｎ＋領域）、６０、単位画素、６１・・ｎ型のシリコン半導体基板、６１Ａ・・ｎ半導体領域（領域）、６１Ｂ・・ｎ＋半導体領域（ｎ＋領域）、６２・・画素分離領域、６４・・ｐ＋アキュムレーション層（電荷蓄積層）、６５・・ｐ－チャネル領域、６７・・ゲート電極、６８・・ｐ＋アキュムレーション層

SIONYX1403000022.0067

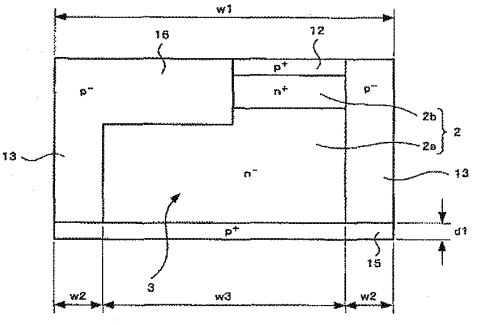
SAMSUNG EX. 1002 - 2029/4148

【図1】



SAMSUNG EX. 1002 - 2030/4148

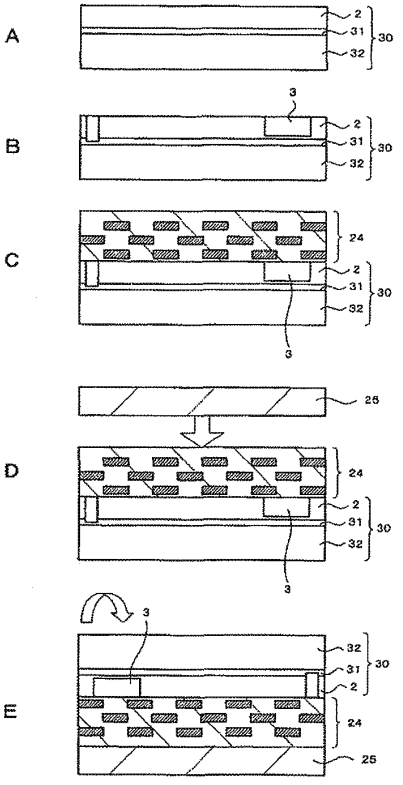
【図2】



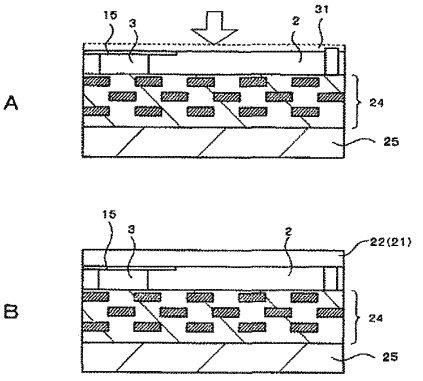
SIONYX1403000022.0069

SAMSUNG EX. 1002 - 2031/4148

【図3】

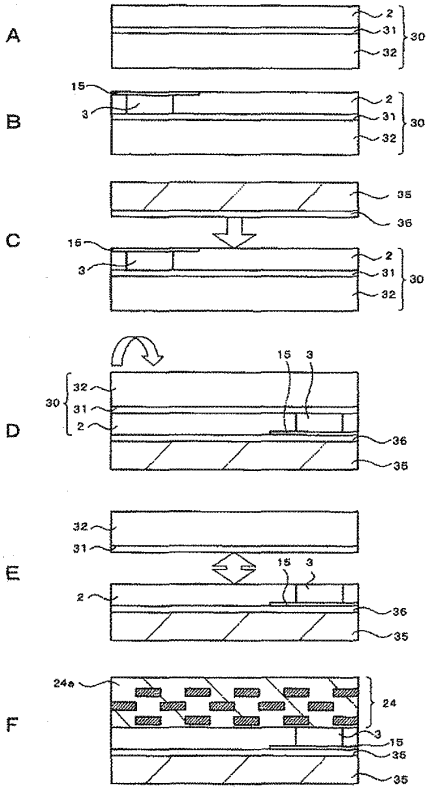


【図4】



SAMSUNG EX. 1002 - 2033/4148

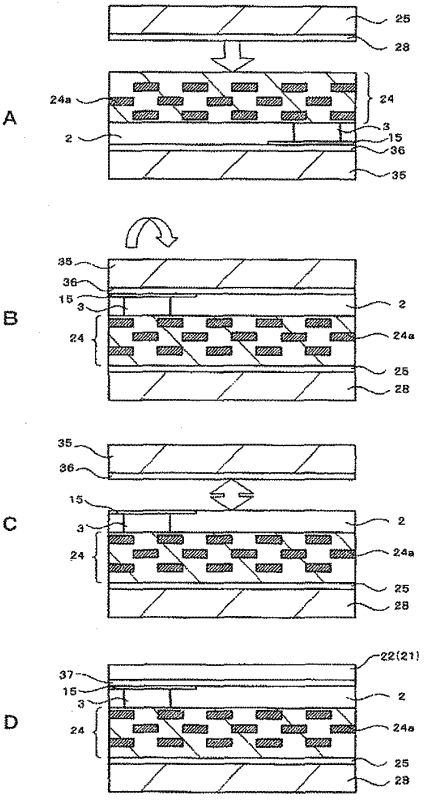
【図5】



SIONYX1403000022.0072

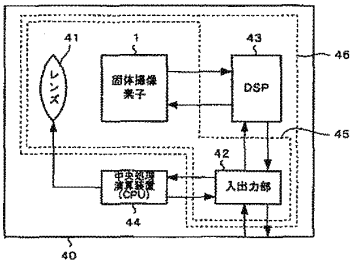
SAMSUNG EX. 1002 - 2034/4148

【図6】

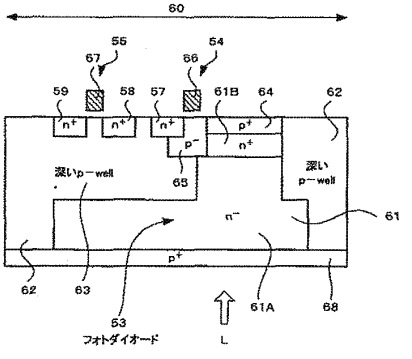


SIONYX1403000022.0073

【図7】



【図8】



SAMSUNG EX. 1002 - 2036/4148

SAMSUNG EX. 1002 - 2037/4148

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H01L 27/146

(11) 공개번호 10-2006-0052278
(43) 공개일자 2006년05월19일

(21) 출원번호	10-2005-0101984
(22) 출원일자	2005년10월27일
(30) 우선권주장	JP-P-2004-00314340 2004년10월28일 일본(JP)
(71) 출원인	소니 가부시끼 가이샤 일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7반 35고
(72) 발명자	스미 히로후미 일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7번 35고 소니가부시끼 가이샤내
(74) 대리인	신관호

심사청구 : 없음

(54) 고체 촬상소자와 그 제조 방법 및 반도체 장치와 그 제조방법

요약

SOI 기판을 이용하지 않고 반도체 기판의 박막화를 가능하게 하여, 코스트 저감을 도모한, 고체 촬상소자와 그 제조방법 및 반도체 장치와 그 제조방법을 제공하는 것을 목적으로 한다. 반도체 기판(21)에, 표면에서 두께 방향으로 반도체 기판(21)보다 경도가 큰 종단 검출부(22)가 형성되고, 반도체 기판(21)이 이면으로부터의 화학 기계 연마에 의해 종단 검출부(22)가 노출하는 위치까지 박막화 되어, 반도체 기판(22)의 표면에, 이 기판내에 형성된 광전변환 소자(PD)로부터의 신호를 독출하는 수단(Tr1)이 형성되고, 반도체 기판(21)의 이면에서 입사광을 받아들이도록 하여 이루어진다.

대표도

도6

명세서

도면의 간단한 설명

도 1은 본 발명의 제 1 실시예와 관련되는 고체 촬상소자의 제조방법을 나타내는 제조 공정도(그 1)이다.

도 2는 본 발명의 제 1 실시예와 관련되는 고체 촬상소자의 제조방법을 나타내는 제조 공정도(그 2)이다.

도 3은 본 발명의 제 1 실시예와 관련되는 고체 촬상소자의 제조방법을 나타내는 제조 공정도(그 3)이다.

도 4는 본 발명의 제 1 실시예와 관련되는 고체 촬상소자의 제조방법을 나타내는 제조 공정도(그 4)이다.

도 5는 본 발명의 제 1 실시예와 관련되는 고체 촬상소자의 제조방법을 나타내는 제조 공정도(그 5)이다.

도 6은 본 발명의 제 1 실시예와 관련되는 고체 촬상소자의 제조방법을 나타내는 제조 공정도(그 6)이다.

도 7은 이면 조사형의 CMOS 고체 촬상소자의 단위 화소의 일례를 나타내는 단면도이다.

도 8a ~ c는 본 발명과 관련되는 기둥 모양층에 의한 종단 검출부의 일례를 나타내는 제조 공정도이다.

도 9a ~ b는 본 발명과 관련되는 기둥 모양층에 의한 종단 검출부의 다른 예를 나타내는 제조 공정도이다.

도 10은 본 발명의 제 2 실시예와 관련되는 고체 촬상소자의 제조방법을 나타내는 제조 공정도(그 1)이다.

도 11은 본 발명의 제 2 실시예와 관련되는 고체 촬상소자의 제조방법을 나타내는 제조 공정도(그 2)이다.

도 12는 본 발명의 제 2 실시예와 관련되는 고체 촬상소자의 제조방법을 나타내는 제조 공정도(그 3)이다.

도 13은 본 발명의 제 2 실시예와 관련되는 고체 촬상소자의 제조방법을 나타내는 제조 공정도(그 4)이다.

SIONYX1403000022.0076

SAMSUNG EX. 1002 - 2038/4148

도 14는 본 발명의 제 3 실시예와 관련되는 고체 촬상소자의 주요부를 나타내는 구성도이다.

도 15는 본 발명의 제 4 실시예와 관련되는 고체 촬상소자의 주요부를 나타내는 구성도이다.

도 16은 본 발명의 제 4 실시예와 관련되는 반도체 장치의 주요부를 나타내는 구성도이다.

도 17a ~ b는 비교예의 이면 조사형의 CMOS 고체 촬상소자의 제조 공정도(그 1)이다.

도 18c ~ d는 비교예의 이면 조사형의 CMOS 고체 촬상소자의 제조 공정도(그 2)이다.

도 19e ~ f는 비교예의 이면 조사형의 CMOS 고체 촬상소자의 제조 공정도(그 3)이다.

* 부호의 설명

21. 반도체 기판 22. 소자 분리영역을 겸하는 종단 검출부

23. 단위 화소 영역 24. 소스·드레인 영역

25, 26. 게이트 전극 27. 층간 절연막

30. 다층 배선 31. 다층 배선층

PD. 포토 다이오드 35. 보호용 절연막

36. 컬러 필터 37. 온-칩(on-chip) 렌즈

38, 64. 이면 조사형태의 CMOS 고체 촬상소자

62. 소자 분리영역 63. 기둥 모양층에 의한 종단 검출부

63a. 종단 검출부의 성긴(sparse) 영역

63b. 종단 검출부의 조밀한 영역

71. 반도체 집적회로 장치 72. 종단 검출부

73. 반도체 기판 Tr21, Tr22. MOS 트랜지스터

75, 81. 게이트 전극 76, 82. 층간 절연막

77, 83. 다층 배선 78, 84. 다층 배선층

85. 패시베이션막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은, 반도체 기판의 박막화를 필요로 한, 고체 촬상소자와 그 제조방법 및 반도체 장치와 그 제조방법에 관한 것이다.

고체 촬상소자로서는, X-Y어드레스를 지정하여 독출하는 CMOS 고체 촬상소자와, 전하 전송형인 CCD 고체 촬상소자가 대표적이다. 이들 어느 고체 촬상소자도 2차원으로 배치된 포토 다이오드에 입사한 광을 광전변환하고, 그 중의 한편의 전하(예를 들면 전자)를 신호 전하로 하고 있다.

CMOS 고체 촬상소자는, 반도체 기판의 배선층이 형성된 표면측에 의해 광을 조사하여, 반도체 기판에 형성된 포토다이오드에서 광을 검지하는 표면 조사형의 CMOS 고체 촬상소자가 일반적이다. 그러나, 이 표면 조사형의 CMOS 고체 촬상소자에서는, 조사되는 광의 경로, 특히 유효 화소 영역의 주변부에 있어서의 기울기광의 광로에 다층 배선이 존재하고, 이 다층 배선에 의해 광이 차지기 위해서, 광의 이용 효율이 떨어지는 감노가 서하하는 것이 알려져 있나. 이 때문에, 표면 측에 나층 배선이 형성된 반노체 기판의 이면측으로부터 광을 조사하는 이면 조사형의 CMOS 고체 촬상소자가 유망(有望)하다(특허문헌 1 참조).

또, CCD 고체 촬상소자에 있어서도, 소자상의 층간 절연층에 광이 흡수되어 감도가 저하하는 것이 알려져 있고, 기판 이면측으로부터 광을 입사하여 광전변환하는 구조가 제안되어있다(특허문헌 2 참조).

[특허문헌 1] 특개2003-31785호 공보

[특허문헌 2] 특개평6-29506호 공보

발명이 이루고자 하는 기술적 과제

그런데, 예를 들면 CMOS 고체 촬상소자에 대해서는, 광을 기판 이면에서 조사하는 경우, 통상 실리콘 기판의 두께가 수백 μm로 두껍고, 광을 투과할 수 없기 때문에, 실리콘 기판을 예를 들면 10μm이하까지 박막화 할 필요가 있다. 박막화 시에, 실리콘층의 막두께가 일정하지 않으면 광의 입사 강도에 일정하지 않음이 발생하여 색 얼룩이 생겨 불편이 생긴다.

한편, 실리콘층의 막두께의 일정하지 않음을 막기 위해서, SOI(Silicon On Insulator) 기판을 이용하는 방법이 고려되고 있다. 즉, SOI 기판을 이용하여 에칭 레이트의 빠른 기계 연마, 그 후의 CMP(화학 기계 연마) 처리, 그 후의 웨트 에칭(wet-etching)을 행하여, SiO2 층에서 박막화를 멈추는 것에 의해, 실리콘층의 막두께의 일정하지않음을 억제하도록 하고 있다.

SIONYX1403000022.0077

SAMSUNG EX. 1002 - 2039/4148

도 17~도 19를 참조하여 SOI 기판을 이용한 이면 조사형의 CMOS 고체 촬상소자의 제조방법을 설명한다.

먼저, 도 17a에 나타낸 바와 같이, 실리콘 기판(1)상에 실리콘 산화막(SiO2 막)(2)을 거쳐서 박막의 실리콘층(3)이 형성된 SOI 기판(4)을 준비한다. 이 SOI 기판(4)의 실리콘층(3)의 소요 위치에 얼라이먼트 마크(5)를 형성한다.

다음에, 도 17b에 나타낸 바와 같이, 실리콘층(3)에 그 표면측에 의해 얼라이먼트 마크(5)를 기준으로 하여, 촬상 영역의 화소 분리영역(도시하지 않음), 반도체 웰 영역(도시하지 않음), 광진변환 소자가 되는 포토다이오드(PD, HAD)(Hole Accumulation Diode) 구조의 포토다이오드(PD)와 함께 화소를 구성하는 복수의 MOS 트랜지스터(Tr)등을 형성한다. 또한 그 위에 층간 절연층(7)을 거쳐서 다층 배선(8)을 형성한 다층 배선층(6)을 적층한다.

다음에, 도 18 C에 나타낸 바와 같이, 다층 배선층(6) 상에 예를 들면 실리콘 기판 등에 의한 지지기판(9)을 접착시킨다.

다음에, 도 18 D에 나타낸 바와 같이, SOI 기판(4)을 반전하고, 실리콘 산화막(2)을 스토퍼막으로서 실리콘 기판(1)을 백-그라인드(back-grinding)(기계적인 조잡함) 및 웨트 에칭에 의해 연마 제거한다. 또한 실리콘 산화막(2)을 웨트 에칭으로 제거한다.

다음에, 도 19e에 나타낸 바와 같이, 실리콘층(3)의 이면에 패시베이션막(passivation film)이 되는 예를 들면 실리콘 질화막(10)을 형성하여, 실리콘 질화막(10)과 함께 실리콘층(3)의 일부, 즉 배선층(8a)으로부터 전극을 도출해야 할 부분에 선택 에칭에 의해, 배선층(8a)에 이르는 통로(11)를 형성한다. 또한, 통로(11)의 안쪽 벽으로부터 실리콘 질화막(10)의 표면을 가리도록, 예를 들면 실리콘 산화막 등의 절연막(12)을 형성한다. 이 통로(11) 내의 배선층(8a)에 접속하는 도전체층(13)을 형성함과 동시에 도전체층(13)에 접속하여 이면에 임하는 진극 패드(14)를 형성하고, 이른바 이면 진극(15)을 형성한다.

다음에, 도 19f에 나타낸 바와 같이, 이면 상에 각 화소의 포토다이오드(PD)에 대응한 위치에 컬러 필터(16) 및 온-칩 렌즈(on-chip lens)(17)를 형성하여, 이면 조사형의 CMOS 고체 촬상소자(18)를 얻는다.

그러나, SOI 기판을 이용하여 이면 조사형의 CMOS 고체 촬상소자를 제조하는 경우, SOI기판이 실리콘 기판에 비해 고가이기 때문에, 제조 코스트가 증대한다고 하는, 문제가 있었다.

이러한 SOI 기판을 이용한 문제는, 이면 조사형의 CCD 고체 촬상소자에도 일어나, 또 고체 촬상소자에 한정하지 않고, 예를 들면 반도체 기판의 표리(表裏) 양면에 반도체소자 또는/및 다층 배선을 형성하도록 한 반도체 집적회로 장치에 있어서도 일어날 수 있다.

본 발명은, 상술의 점에 감안하여, SOI 기판을 이용하지 않고 반도체 기판의 박막화를 가능하게 하여, 코스트 저감을 도모한, 고체 촬상소자와 그 제조방법 및 반도체 장치와 그 제조방법을 제공하는 것이다.

본 발명과 관련되는 고체 촬상소자는, 이른바 이면 조사형이며, 반도체 기판에, 표면으로부터 두께 방향으로 상기 반도체 기판보다 경도가 큰 종단 검출부가 형성되고, 반도체 기판이, 이면으로부터의 화학 기계 연마에 의해 종단 검출부가 노출하는 위치까지 박막화 되고, 반도체 기판의 표면에, 이 기판 내에 형성된 광전변환 소자로부터의 신호를 독출하는 수단이 형성되고, 반도체 기판의 이면으로부터 입사광을 거두어들이도록 해서 이루어지는 것을 특징으로 한다.

본 발명과 관련되는 고체 촬상소자의 제조방법은, 반도체 기판에, 표면으로부터 두께 방향으로 이 반도체 기판보다 경도가 큰 종단 검출부를 형성하는 공정과, 반도체 기판의 표면 측에 고체 촬상소자의 구성요소의 일부를 형성하는 공정과, 반도체 기판의 표면 측에 지지 기판을 접착하는 공정과, 반도체 기판의 이면으로부터 화학 기계 연마를 행하고, 이면에 종단 검출부의 저면이 나타난 시점에서 화학 기계 연마를 자기 정합적으로 밈추고, 반도체 기판의 박막화를 행하는 공정과, 반도체 기판의 이면 측에 고체 촬상소자의 구성요소의 다른 부를 형성하는 공정을 가지는 것을 특징으로 한다.

상기의 고체 촬상소자 및 그 제조방법에 있어서, 종단 검출부는, 소자 분리영역과 겸용하여 형성하는 것이 바람직하다. 종단 검출부는, 소자 분리영역과 다른 기둥 모양층으로 형성하는 것이 바람직하다.

종단 검출부는, 광흡수에 의해 광전 변환시키는 광전변환 소자의 두께에 대응한 길이로 형성하는 것이 바람직하다.

복수의 상기 기둥 모양층에 의한 종단 검출부는, 화학 기계 연마 공정에서의 두께 불균일이 발생하지 않는 간격을 가지고 형성하는 것이 바람직하다.

본 발명과 관련되는 반도체 장치는, 반도체 기판에, 표면으로부터 두께 방향으로 이 반도체 기판보다 경도가 큰 종단 검출부가 형성되고, 반도체 기판이, 이면으로부터의 화학 기계 연마에 의해 종단 검출부가 노출하는 위치까지 박막화 되고, 반도체 기판의 표면 및 이면에 반도체 장치의 구성요소가 형성되어서 얻성되는 것을 특징으로 한다.

본 발명과 관련되는 반도체 장치의 제조방법은, 반도체 기판에, 표면으로부터 두께 방향으로 이 반도체 기판보다 경도가 큰 종단 검출부를 형성하는 공정과, 반도체 기판의 표면 측에 반도체 장치의 구성요소의 일부를 형성하는 공정과, 반도체 기판의 표면 측에 지지 기판을 접착하는 공정과, 반도체 기판의 이면으로부터 화학 기계 연마를 행하여, 이면에 종단 검출부의 저면이 나타난 시점에서 화학 기계 연마를 자기 정합적으로 밈추고, 반도체 기판의 박막화를 행하는 공정과, 반도체 기판의 이면 측에 반도체 장치의 구성요소의 다른 부를 형성하는 공정을 가지는 것을 특징으로 한다.

상기의 반도체 장치 및 그 제조방법에 있어서, 종단 검출부는, 소자 분리영역과 겸용하여 형성되는 것이 바람직하다. 종단 검출부는, 소자 분리영역과 다른 기둥 모양층으로 형성되는 것이 바람직하다. 기둥 모양층에 의한 종단 검출부의 간격은, 화학 기계 연마 공정 시에서의 두께 불균일을 발생시키지 않는 간격으로 설정되는 것이 바람직하다.

SIONYX1403000022.0078

SAMSUNG EX. 1002 - 2040/4148

발명의 구성 및 작용

이하, 도면을 참조하여 본 발명의 실시의 형태를 설명한다.

도 1 ~ 도 6에, 본 발명과 관련되는 고체 촬상소자를, 이면 조사형의 CMOS 고체 촬상소자에 적용했을 경우의 제 1실시의 형태를 나타낸다. 여기에서는, 이면 조사형의 CMOS 고체 촬상소자의 제조방법과 함께 설명한다.

본 실시의 형태에 대해서는, 먼저 도 1에 나타낸 바와 같이, 반도체 기판(예를 들면 실리콘 웨이퍼)(21)을 준비하고, 이 반도체 기판(21)에 종단 검출부를 겸하는 소자 분리영역(22)을 형성한다. 소자 분리영역(22)은 각 화소를 분리하기 위한 화소 분리에 제공된다. 종단 검출부는 반도체 기판보다 경도가 큰 재료로 형성하는 것으로, 예를 들면 실리콘 산화막, 실리콘 질화막 등의 절연체로 형성할 수 있다. 따라서, 종단 검출부를 겸하는 소자 분리영역(22)으로서는, 실리콘 산화막을 묻은 트렌치(trench) 분리영역 혹은 LOCOS(선택 산화) 분리영역 등에 의해 형성할 수 있다. 이 경우, 최종적으로 형성하는 광전변환 소자와 포토다이오드(PD)의 깊이(기판 표면으로부터의 깊이)와 같은 레벨의 깊이(d1)의 소자 분리영역(22)을 형성한다. 즉, 소자 분리영역(22)의 깊이 방향의 길이(d1)는, 포토다이오드(PD)의 두께에 대응한 길이가 된다.

다음에, 도 2에 나타낸 바와 같이, 반도체 기판(21)의 소자 분리영역(22)에서 구획된 각 단위 화소 영역(23)에, 후에 형성되는 포토다이오드(PD)로부터의 신호 전하를 독출하는 복수의 MOS 트랜지스터(Tr)를 형성한다. 복수의 MOS 트랜지스터(Tr)는 기판 표면 측에 형성한다.

복수의 MOS 트랜지스터(Tr)는, 각종의 개수로 구성되고, 예를 들면 전하 독출 트랜지스터, 리셋트 트랜지스터, 앰프 트랜지스터, 수직 선택 트랜지스터의 4개의 트랜지스터로 구성할 수도 있다. 포토다이오드(PD)와 소스·드레인 영역(24)과 양자 사이의 게이트 전극(25)에서 전하 독출 트랜지스터가 형성되어, 다른 쌍의 소스·드레인 영역(24)과 양자 사이의 게이트 전극(26)으로 다른 트랜지스터가 구성된다. 포토다이오드(PD) 및 MOS 트랜지스터(Tr)를 형성한 후, 층간 절연층(27)을 형성하고, 필요한 영역(예를 들면 소스·드레인 영역, 게이트 전극 등)에 대응한 위치에 컨택트 홀(contact hole)(28)을 형성한다. 단위 화소의 자세한 구성에 대해서는 후술한다.

다음에, 도 3에 나타낸 바와 같이, 필요한 영역에 접속하는 다층 배선(30), 층간 절연막(27)에 의한 다층 배선층(31)을 형성한다.

다음에, 도 4에 나타낸 바와 같이, 다층 배선층(31) 상에 예를 들면 실리콘 기판 등에 의한 지지기판(33)을 접착한다.

다음에, 도 5에 나타낸 바와 같이, 반도체 기판(21)을 반전시켜 반도체 기판(21)의 이면 측을 화학 기계연마(CMP)법으로 깎는다. 이 경우, 종단 검출부를 겸하는 소자 분리영역(22)의 저면이 노출하는 위치까지 연마한다. 연마되는 이면의 실리콘과 소자 분리영역(22)을 형성하고 있는 실리콘 산화(SiO2)층은, 각각 CMP로 연마될 때의 경도의 차가 있고, 실리콘 산화층 측의 경도가 크다. 이 경도에 차이가 있기 때문에, 이면 연마로 표면에 나타난 소자 분리영역(22)의 실리콘 산화층이 스톱퍼(stopper)로서 작용하여, 실리콘 기판(22)은 그 이상 연마되지 않고, 자기 정합적으로 실리콘 연마면이 나타난다. 즉, 소자 분리영역(22)의 저면에 의해 자기 정합적으로 연마의 종단이 검출된다. 이 소자 분리영역(22)의 저면이 나타난 곳에서, CMP의 연마를 멈춘다.

다음에, 도 6에 나타낸 바와 같이, 기판 이면으로부터의 이온 주입에 의해, 반도체 기판(21)에 포토다이오드(PD)를 형성한다. 포토 다이오드(PD)는 소자 분리영역(22)의 깊이(d1)와 같은 깊이로 형성된다. 또, 포토 다이오드(PD)는, 도 b의 공정에서 기판 표면 측에서의 이온 주입에 의해 형성하는 것도 가능하다. 또한, 기판 표면에 보호용 절연막(35)을 형성하고, 그 위에 컬러 필터(36), 온 칩 렌즈(37)를 형성하고, 목적의 이면 조사형의 CMOS 고체 촬상소자(38)를 얻는다.

또한, 종단 검출부는, 소자 분리영역 상, 스크라이브 라인(scribe line) 상 등에 형성할 수 있다.

도 7에, 포토 다이오드(PD)와 복수의 MOS 트랜지스터(Tr)로 이루어지는 단위 화소의 일례를 나타낸다. 이 단위 화소는, 예를 들면, n형 반도체 기판(21)의 소자 분리영역(22)으로 둘러싸인 영역에 p형 반도체 웰(well) 영역(41)에 n+소스·드레인 영역(42), 게이트 절연막(43) 및 게이트 전극(44)으로 이루어지는 복수의 MOS 트랜지스터(Tr)를 형성하고, 기판 이면에서 표면에 이르도록 또한 MOS 트랜지스터(Tr)가 형성된 p형 반도체 웰 영역(41)의 아래까지 연장하도록, 포토 다이오드(PD)를 형성하여 구성된다. 포토 다이오드(PD)는, n+전하 축적 영역(46) 및 n반도체 영역(47)과, 표리 양면에 형성된 암전류를 억제하기 위한 어큐뮬레이션층(accumulation layer)이 되는 p+반도체 영역(48, 49)에 의해 형성된다.

종단 검출부가 되는 소자 분리영역(22)을 트렌치 분리영역에서 형성하는 경우의 일례는, 도 8에 나타낸 바와 같이, 실리콘 기판(21)에 홈(드렌치)(51)을 형성한(도 a) 후, 홈(51) 내에 묻도록 예를 들면 CVD(화학기상 성장)에 의한 실리콘 산화막(52)을 형성하고(도 b), 그 다음에 실리콘 산화막(52)을 에치백(etched back)하여 홈(51) 내에만 실리콘 산화막(52)을 남긴다. 이와 같이 하여, 트렌치 분리영역(221)을 형성한다.

종단 검출부가 되는 소자 분리영역(22)을 트렌치 분리영역으로 형성하는 경우의 다른 예는, 도 9에 나타낸 바와 같이, 실리콘 기판(21)에 홈(트렌치)(51)을 형성한 후, 홈의 내벽면 및 기판 표면을 가리도록 예를 들면 CVD에 의한 실리콘 질화막(53)을 형성하고(도 a참조), 다음에 홈(51) 내에 묻도록 예를 들면 CVD에 의한 실리콘 산화막(52)을 형성하고, 그 후, 실리콘 산화막(52) 및 실리콘 질화막(53)을 에치백하여 홈(51) 내에만 실리콘 질화막(53) 및 실리콘 산화막(52)을 남긴다(도 b참조). 이와 같이 하여, 홈(51)의 저면에 실리콘 질화막(53)이 형성된 트렌치 분리영역(222)을 형성한다. 이 트렌치 분리영역(222)에서는, 실리콘 질화막(53)은 실리콘 산화막(52)보다 경도가 크기 때문에, 종단 검출부로서 보다 적합하다.

SIONYX1403000022.0079

SAMSUNG EX. 1002 - 2041/4148

종단 검출부가 되는 소자 분리영역(22)을 LOCOS 분리영역으로 형성하는 경우는, 도시하지 않았지만, 통상과 같이 실리콘 기판상에 패터닝 한 실리콘 질화막, 혹은 실리콘 질화막과 폴리 실리콘막의 2층 막구조를 형성한 후, 산화 처리하여 실리콘 질화막이 형성되어있지 않은 기판 표면에 실리콘 산화(SiO2)층을 형성하고, 그 후 실리콘 질화막을 제거하여 실리콘 산화막에 의한 LOCOS 분리영역을 형성한다.

상술한 제 1실시의 형태와 관련되는 이면 조사형의 CMOS 고체 촬상소자(38)에 의하면, SOI기판을 이용하지 않고, 실리콘 기판(21)에 설치한 종단 검출부를 겸하는 소자 분리영역에 의해서 박막화한 실리콘 기판을 이용하고, 고체 촬상소자의 각 구성요소를 형성하여 구성되므로, 염가로 게다가 정밀도가 좋은 이면 조사형의 CMOS 고체 촬상소자를 제공할 수 있다.

제 1실시의 형태의 제조방법에 의하면, SOI 기판이 필요하지 않아 제조 프로세스의 간소화가 가능하게 되므로, 제조 코스트를 큰 폭으로 저감 할 수 있다. 범용 CMOS 프로세스 기술을 그대로 활용할 수 있다.

종단 검출부가 소자 분리영역에서 형성되므로, 반도체 기판(21)의 화학 기계 연마에 의해 박막화할 때에, 반도체 기판의 막 두께가 국부적으로 균일하지 않은 이른바 막 두께의 면내 불균일을 방지할 수 있고, 반도체 기판의 전역에 걸쳐서 균일의 박막화할 수 있다. 화학 연마를 이용하므로, 박막화 처리 시간을 단축할 수 있는 등 반도체 기판의 박막화가 용이해진다.

도 10 ~ 도 13에, 본 발명과 관련되는 고체 촬상소자를, 이면 조사형의 CMOS 고체 촬상소자에 적용했을 경우의 제 2실시의 형태를 나타낸다. 여기에서도, 이면 조사형의 CMOS 고체 촬상소자를 그 제조방법과 함께 설명한다.

본 실시의 형태에 있어서는, 먼저 도 10에 나타낸 바와 같이, 반도체 기판(예를 들면 실리콘 웨이퍼)(21)을 준비하고, 이 반도체 기판(21)에 각 화소를 분리하기 위한 소자 분리영역(62)을 형성한다. 또한, 이 반도체 기판(21)에 기판 표면으로부터 소요 깊이에 걸쳐서 기둥 모양층으로 이루어지는 종단 검출부(63)를 형성한다. 소자 분리영역(62)은, 상술과 같이 실리콘 산화막을 묻은 트렌치 분리영역 혹은 LOCOS(선택산화) 분리영역 등에 의해 형성할 수 있다. 종단 검출부(63)는, 소자 분리영역(62)보다 깊게 형성하여, 상술한 같은 상태의 반도체 기판(21)보다 경도기 큰 재료로 형성한다. 종단 검출부(62)는, 예를 들면 실리콘 산화막, 실리콘 질화막으로 형성할 수 있다. 종단 검출부(63)는, 최종적으로 형성하는 광전변환 소자가 되는 포토 다이오드(PD)의 깊이(기판 표면으로부터의 깊이)와 같은 깊이(d1)로 형성한다. 즉, 종단 검출부(63)의 깊이 방향의 길이(d1)는, 포토 다이오드(PD)의 두께에 대응한 길이가 된다.

이 종단 검출부(63)는, 반도체 기판(21)에 복수 형성하여, 그 인접하는 종단 검출부(63)의 간격(w1)은, 후술하는 CMP법에 따르는 이면 연마에서의 국부적인 두께 불균일을 발생시키지 않는 간격으로 설정한다. 종단 검출부(63)는, 반도체 기판(21)의 어느 쪽에 형성하는 것도 가능하지만, 각 고체 촬상 칩(chip)에서 두께 불균일을 발생시키지 않기 위해서, 고체 촬상 칩이 되는 영역 내에 형성하는 것이 바람직하다. 두 번째의 경우는, 설명을 이해하기 위해서, 단위 화소를 구획하는 소자 분리영역(62)의 외측에 형성했지만, 이면 연마 때에 두께 불균일을 주지 않는 범위에서 형성하면 좋다. 화소의 미세화, 고집적화를 고려했을 때에는, 촬상 영역(화소 영역), 주변 회로부 등이 형성된 고체 촬상소자의 경우, 촬상 영역의 외측(화소에 영향을 주지 않는 외측)에 실시하는 것이 바람직하다.

기둥 모양층에 의한 종단 검출부(63)는, 반도체 기판(21)에 홈(트렌치)을 형성하고, 홈 내를 실리콘 산화막(도 8 참조), 혹은 실리콘 질화막, 혹은 도 9에서 설명한 같은 실리콘 질화막과 실리콘 산화막에서 묻어 형성할 수 있다.

다음에, 도 11에 나타낸 바와 같이, 상술과 같은 반도체 기판(21)의 소자 분리영역(62)에서 구획한 각 단위 화소 영역의 기판 표면 측에, 화소를 구성하는 복수의 MOS 트랜지스터(Tr), 예를 들면 전하 독출 트랜지스터, 리셋트 트랜지스터, 앰프 트랜지스터, 수직 선택 트랜지스터의 4개의 트랜지스터를 형성한다. 그 다음에, 층간 절연막(27) 및 다층 배선(30)으로 이루어지는 다층 배선층(31) 상에 예를 들면 실리콘 기판 등에 지지기판(33)을 접착한다.

다음에, 도 12에 나타낸 바와 같이, 반도체 기판(21)을 반전시켜 반도체 기판(21)의 이면 측을 CMP법으로 깎는다. 이 경우, 종단 검출부(63)의 저면이 노출하는 위치까지 연마하여, 종단 검출부(63)와 반도체 기판(21)과의 경도차이로, 종단 검출부(63)가 노출한 시점에서 연마의 종단이 검출되고, 연마를 멈춘다.

다음에, 도 13에 나타낸 바와 같이, 기판 이면으로부터의 이온 주입에 의해, 반도체 기판(21)에 포토 다이오드(PD)를 형성한다. 포토 다이오드(PD)는 소자 분리영역(22)의 깊이(d1)와 같은 깊이로 형성된다. 또한, 포토 다이오드(PD)는, 도 11의 공정에서 기판 표면 측에서의 이온 주입에 의해 형성하는 것도 가능하다. 절연체에 의한 소자 분리영역(62) 아래에는 반도체 소자분 영역(65)을 형성할 수 있다. 또한, 기판 표면에 보호용 절연막(35)을 형성하여, 그 위에 컬러 필터(36), 온-칩 렌즈(37)를 형성하고, 목적의 이면 조사형의 CMOS 고체 촬상소자(64)를 얻는다. 본 실시의 형태의 단위 화소의 구성은, 상술한 도 7의 구성과 같다.

상술한 제 2실시의 형태에 의하면, 소자 분리영역(62)과는 별도로 화학 기계 연마(CMP)에서의 연마 스토퍼(stopper)가 되는 기둥 모양층에 의한 종단 연마부(63)를 적절히 복수, 배치 형성함으로써, CMP 시에 실리콘 기판(21)이 깎아져서 지나도, 두께 불균일을 발생시키지 않고, CMP 제어를 가능하게 한다. 그 외, 상술한 제 1실시의 형태와 같은 효과를 얻을 수 있다.

도 14는, 본 발명과 관련되는 이면 조사형의 CMOS 고체 촬상소자의 제 3실시의 형태를 나타낸다.

본 실시의 형태는, 상술한 도 13의 종단 검출부(63)의 구성에, 또한 종단 검출부(63)가 조밀하게 모인 영역(63B)을 부분적으로 형성한다. 즉, 기둥 모양층에 의한 종단 검출부(63)로서, 종단 검출부(63)의 집밀도(集密度)가 작은 느문느문한 영역(63A)을 균일하게 형성한 상태로, 부분적으로 종단 검출부(63)의 집밀도가 큰 조밀한 영역(63B)을 형성한다. 그 외의 구성은 도면과 같으므로, 대응하는 부분에 동일 부호를 교부하고 중복 설명을 생략한다.

이 제 3실시의 형태에 의하면, 종단 검출부(63)의 소밀한 영역(63B)을 형성함으로써, 보다 CMP의 성밀도를

SIONYX1403000022.0080

SAMSUNG EX. 1002 - 2042/4148

더할 수 있다. 즉, 보다 균일한 막 두께로 반도체 기판(21)의 CMP에 의한 박막화를 가능하게 한다. 그 외, 제 2실시의 형태와 같은 효과를 얻을 수 있다.

도 15는, 본 발명과 관련되는 이면 조사형의 CMOS 고체 촬상소자의 제 4실시의 형태를 나타낸다. 본 실시의 형태는, 상술한 도 13의 기둥 모양층에 의한 종단 검출부(63)의 구성으로서, 특히 기둥 모양층의 저면, 즉 기판 이면에 노출하는 저면에 실리콘 기판(21)에 대해서 실리콘 질화막(SiN막) 등의 선택성이 높은(경도가 크다) 재료막(66)을 형성하여 구성한다. 재료막(66)으로서는, SiN의 외, 예를 들면 폴리 실리콘, 텅스텐(W), SiW, Ti, TiSi, TiN, NSi, CoSi, 다른 금속 실리사이드 등의 막을 이용할 수 있다. 재료막(66)의 막 두께(t1)는, 종단 검출부(63)의 깊이(d1)의 10분의 1 ~ 20분의 1의 범위(d1/10 ~ d1/20=t1)로 설정할 수 있다.

예를 들면, 실리콘 산화막(67)과 실리콘 질화막(66)에서 종단 검출부(63)를 형성할 수 있다. 이 경우는, 트렌치를 형성한 후, 트렌치 내벽면을 포함한 기판 전면에 실리콘 질화막(66)을 성막하고, 트렌치 내에 묻도록 실리콘 산화막(67)을 기판 전면에 성막하여, 실리콘 질화막(66) 및 실리콘 산화막(67)의 전체를 기판 표면까지 에치백하는 것에 따라, 종단 검출부(63)를 형성할 수 있다. 그 외의 구성은, 상술의 제 1실시의 형태와 같은 것으로, 대응하는 부분에는 동일 부호를 교부하고 중복 설명을 생략한다.

이 제 4실시의 형태에 의하면, 종단 검출부(63)의 저면에 의해 경도의 큰 재료막(66)을 형성함으로써, 종단 검출부(63)로서의 스토퍼 기능을 높일 수 있다. 그 외, 제 2실시의 형태와 같은 효과를 얻을 수 있다.

또한, 종단 검출부(63)의 폭(w1)은 고체 촬상소자의 최소 선폭 이상으로 할 수 있다. 그와 관련하여, 이면 조사에서의 반도체 기판으로의 광 입사 거리는, 예를 들면, 청색광의 경우는 0.5㎛정도, 녹색광의 경우는 3㎛정도, 적색광의 경우는 5㎛정도, 적외광의 경우는 10㎛정도이다. 따라서, 적, 녹, 청의 컬러 고체 촬상소자에서는, 종단 검출부(22, 63)의 깊이 방향의 길이(d1)를 5.0㎛정도로 설정할 수 있다. 또, 적외광까지 필요한 때는, 종단 검출부(22, 63)의 깊이 방향의 길이(d1)를 10㎛정도로 설정할 수 있다.

상술의 실시의 형태에서는, 본 발명을 이면 조사형의 CMOS 고체 촬상소자에 적용했지만, 그외 다른 고체 촬상소자, 예를 들면 이면 조사형의 CCD 고체 촬상소자에 적용할 수도 있다.

도 16에, 본 발명을 반도체 장치, 즉 반도체 집적회로 장치에 적용했을 경우의 제 5실시의 형태를 나타낸다. 본 실시의 형태와 관련되는 반도체 집적회로 장치(71)는, 상술한 바와 같은 것으로 설치한 소자 분리영역을 겸하는, 혹은 소자 분리영역과는 다른 종단 검출부, 본 예에서는 소자 분리영역을 겸하는 종단 검출부(72)를 이용하여 화학 기계 연마법에 의해 종단 검출부(72)의 저면이 노출하는 위치까지 연마하여 박막화한 실리콘 기판(73)의 표면 측에, 게이트 전극(75)을 가지는 MOS 트랜지스터군(Tr21) 및 층간 절연막(76)을 거쳐서 다층 배선(77)을 배치한 다층 배선층(78)을 형성하고, 이 다층 배선층(78) 상에 예를 들면 실리콘 기판에 의한 지지기판(79)을 접착시켜, 또, 실리콘 기판(73)의 이면 측에 게이트 전극(81)을 가지는 MOS 드랜지스터군(Tr22) 및 층간 절연막(82)을 거쳐서 다층 배선(83)을 배치한 다층 배선층(84)을 형성하여 구성된다. 85는 패시베이션막이다.

도 16의 예에서는, 실리콘 기판(73)의 양면의 각각 MOS 트랜지스터군(Tr21, Tr22) 및 다층 배선층(78, 84)을 형성한 구성의 반도체 집적회로 장치에 적용했지만, 그 외, 실리콘 기판(73)의 한편의 면 측에 MOS 트랜지스터 혹은 다른 반도체 소자를 형성하고, 다른 편의 면 측에 배선층을 형성하는 등, 여러 가지의 형태의 반도체 장치 집적회로 장치에도 적용할 수 있다.

이러한 반도체 집적회로 장치 및 그 제조방법에 있어서도, SOI 기판을 이용할 필요가 없고, 제조 프로세스도 간소화할 수 있어, 제조 코스트를 큰 폭으로 저감 할 수 있는, 등 상술한 고체 촬상소자의 경우와 같은 작용·효과를 얻는 것이다.

발명의 효과

본 발명과 관련되는 고체 촬상소자에 의하면, SOI 기판을 이용하지 않고, 반도체 기판에 경도가 큰 종단 검출부를 설치하여 화학 기계 연마로 종단 검출부가 노출하는 위치까지 박막화한 반도체 기판을 이용하고, 이면 조사형 구조에 구성되므로, 코스트 저감이 도모해지고, 게다가 정밀도가 좋은 이면 조사형의 고체 촬상소자를 제공할 수 있다. 화학 기계 연마로 박막화 되므로, 두꺼운 반도체 기판으로부터의 박막화가 용이하게 되어, 제조 프로세스를 간소화할 수 있는 고체 촬상소자를 제공할 수 있다.

본 발명과 관련되는 고체 촬상소자의 제조방법에 의하면, 반도체 기판에 경도가 큰 종단 검출부를 형성하여, 반도체 기판의 이면으로부터 화학 기계 연마를 행하여, 이면에 종단 검출부의 저면이 나타난 시점에서 화학 기계 연마를 자기 정합적으로 멈추어 반도체 기판을 박막화하는 것에 의해, SOI 기판을 이용하지 않고 반도체 기판의 박막화가 가능하게 된다. 따라서 고체 촬상소자의 제조 프로세스를 간소화하여, 제조 코스트를 큰 폭으로 저감 할 수 있다. 또, 화학 기계 연마에 의해 박막화하므로, 두꺼운 반도체 기판으로부터의 박막화도 화학 기계 연마만으로 가능하게 되어, 한층 더 제조 프로세스의 간소화를 도모할 수 있다. 화학 기계 연마는, 대량의 슬러리(slurry)를 상압에서 처리를 행하므로, 두꺼운 반도체 기판으로부터의 박막화에 유리하다.

본 제조방법은, CMOS 고체 촬상소자의 제조에 적용했을 때에는, 범용 CMOS 프로세스 기술을 그대로 활용할 수 있다.

종단 검출부를 소자 분리영역을 겸하여 형성함으로써, 구조 및 제조 프로세스를 간소화할 수 있다.

종단 검출부를 소자 분리영역과 다른 기둥 모양층으로 형성함으로써, 원하는 포텐셜 깊이를 얻을 수 있는 광전변환 소자를 구비한 이면 조사형의 고체 촬상소자를 제공할 수 있다.

종단 검출부의 깊이 방향의 길이를, 광전변환 소자의 두께에 대응한 길이로 함으로써, 광전변환 소자의 두께에 대응한 반도체 박막 기판의 형성을 가능하게 한다.

SIONYX1403000022.0081

SAMSUNG EX. 1002 - 2043/4148

기둥 모양층에 의한 종단 검출부의 간격을, 화학 기계 연마에 있어서 두께 불균일을 발생시키지 않는 간격으로 형성함으로써, 전면 균일한 두께의 박막화한 반도체 기판을 얻을 수 있다.

본 발명과 관련되는 반도체 장치자에 의하면, SOI 기판을 이용하지 않고, 반도체 기판에 경도가 큰 종단 검출부를 설치하여 화학 기계 연마로 종단 검출부가 노출하는 위치까지 박막화한 반도체 기판을 이용하고, 표리 양면에 구성요소를 형성하여 구성되므로, 코스트 저감이 도모되고, 게다가 정밀도가 좋은 반도체 장치를 제공할 수 있다. 화학 기계 연마로 박막화 되므로, 두꺼운 반도체 기판으로부터의 박막화가 용이하게 되어, 제조 프로세스를 간소화할 수 있는 반도체 장치를 제공할 수 있다.

본 발명과 관련되는 반도체 장치의 제조방법에 의하면, 반도체 기판에 경도가 큰 종단 검출부를 형성하여, 반도체 기판의 이면으로부터 화학 기계 연마를 행하여, 이면에 종단 검출부의 저면이 나타난 시점에서 화학 기계 연마를 자기 정합적으로 멈추어 반도체 기판을 박막화하는 것으로, SOI 기판을 이용하지 않고 반도체 기판의 박막화가 가능하게 된다. 따라서 반도체 장치의 제조 프로세스를 간소화하여, 제조 코스트를 큰 폭으로 저감 할 수 있다. 또, 화학 기계 연마에 의해 박막화하므로, 두꺼운 반도체 기판으로부터의 박막화도 화학 기계 연마만으로 가능하게 되어, 한층 더 제조 프로세스의 간소화를 도모할 수 있다. 화학 기계 연마는, 내량의 슬러리를 상압에서 처리를 행하므로, 두꺼운 반도체 기판으로부터의 박막화에 유리하다.

본 제조방법은, CMOS 집적회로 장치의 제조에 적용했을 때에는, 범용 CMOS 프로세스 기술을 그대로 활용할 수 있다.

종단 검출부를 소자 분리영역을 겸하여 형성함으로써, 구조 및 제조 프로세스를 간소화할 수 있다.

종단 검출부를 소자 분리영역과 다른 기둥 모양층으로 형성함으로써, 원하는 두께로 박막화한 반도체 기판에 구성요소를 구비한 반도체 장치를 제공할 수 있다.

기둥 모양층에 의한 종단 검출부의 간격을, 화학 기계 연마에 있어서 두께 불균일을 발생시키지 않는 간격으로 형성함으로써, 전면 균일한 두께의 박막화한 반도체 기판을 얻을 수 있다.

청구의 범위

청구항 1

반도체 기판에, 표면에서 두께 방향으로 상기 반도체 기판보다 경도가 큰 종단 검출부가 형성되고,

상기 반도체 기판이, 이면으로부터의 화학 기계 연마에 의해 상기 종단 검출부가 노출하는 위치까지 박막화 되고,

상기 반도체 기판의 표면에, 이 기판내에 형성된 광전변환 소자로부터의 신호를 독출하는 수단이 형성되고, 상기 반도체 기판의 이면에서 입사광을 받아들이도록 하여 이루어지는 것을 특징으로 하는 고체 촬상소자.

청구항 2

제 1항에 있어서,

상기 종단 검출부가, 소자 분리영역과 겸용하여 형성되어 이루어지는 것을 특징으로 하는 고체 촬상소자.

청구항 3

제 1항에 있어서,

상기 종단 검출부가, 소자 분리영역과 다른 기둥 모양층에서 형성되어 이루어지는 것을 특징으로 하는 고체 촬상소자.

청구항 4

제 1항에 있어서,

상기 종단 검출부의 깊이 방향의 길이가, 광 흡수에 의해 광전변환 시키는 광전변환 소자의 두께에 대응한 길이인 것을 특징으로 하는 고체 촬상소자.

청구항 5

제 3항에 있어서,

상기 기둥 모양층에 의한 종단 검출부의 간격이, 화학 기계 연마에 있어서 두께가 고르지 않음을 발생시키지 않는 간격으로 설정되어 이루어지는 것을 특징으로 하는 고체 촬상소자.

청구항 6

반도체 기판에, 표면에서 두께 방향으로 이 반도체 기판보다 경도가 큰 종단 검출부를 형성하는 공정과,

상기 반도체 기판의 표면 측에 고체 촬상소자의 구성요소의 일부를 형성하는 공정과,

상기 반도체 기판의 표면 측에 지지 기판을 붙여 맞추는 공정과,

상기 반도체 기판의 이면에서 화학 기계 연마를 행하고, 이면에 상기 종단 검출부의 저면이 나타난 시점에서 화학 기계 연마를 자기 정합적으로 멈추고, 상기 반도체 기판의 박막화를 행하는 공정과,

상기 반도체 기판의 이면 측에 고체 촬상소자의 구성요소의 다른 부를 형성하는 공정을 가지는 것을 특징

SIONYX1403000022.0082

SAMSUNG EX. 1002 - 2044/4148

으로 하는 고체 촬상소자의 제조방법.

청구항 7

제 6항에 있어서,

상기 종단 검출부를 소자 분리영역과 겸용하여 형성하는 것을 특징으로 하는 고체 촬상소자의 제조방법.

청구항 8

제 6항에 있어서,

상기 종단 검출부를 소자 분리영역과 다른 기둥 모양층에서 형성하는 것을 특징으로 하는 고체 촬상소자의 제조방법.

청구항 9

제 6항에 있어서,

상기 종단 검출부를, 광흡수에 의해 광전변환 시키는 광전변환 소자의 두께에 대응한 길이로 형성하는 것을 특징으로 하는 고체 촬상소자의 제조방법.

청구항 10

제 8항에 있어서,

복수의 상기 기둥 모양층에 의한 종단 검출부를, 화학 기계 연마에서의 두께가 고르지 않음을 발생하지 않는 간격을 가지고 형성하는 것을 특징으로 하는 고체 촬상소자의 제조방법.

청구항 11

반도체 기판에, 표면으로부터 두께 방향으로 이 반도체 기판보다 경도가 큰 종단 검출부가 형성되고,

상기 반도체 기판이, 이면으로부터의 화학 기계 연마에 의해 상기 종단 검출부가 노출하는 위치까지 박막화 되고,

상기 반도체 기판의 표면 및 이면에 반도체 장치의 구성요소가 형성되어 이루어지는 것을 특징으로 하는 반도체 장치.

청구항 12

제 11항에 있어서,

상기 종단 검출부가, 소자 분리영역과 겸용하여 형성되어 이루어지는 것을 특징으로 하는 반도체 장치.

청구항 13

제 11항에 있어서,

상기 종단 검출부가, 소자 분리영역과 다른 기둥 모양층에서 형성되어 이루어지는 것을 특징으로 하는 반도체 장치.

청구항 14

제 13항에 있어서,

상기 기둥 모양층에 의한 에칭 스토퍼층의 간격이, 화학 기계 연마 공정시에서의 두께가 고르지 않음을 발생시키지 않는 간격으로 설정되어 이루어지는 것을 특징으로 하는 반도체 장치.

청구항 15

반도체 기판에, 표면으로부터 두께 방향으로 이 반도체 기판보다 경도가 큰 종단 검출부를 형성하는 공정과,

상기 반도체 기판의 표면 측에 반도체 장치의 구성요소의 일부를 형성하는 공정과,

상기 반도체 기판의 표면 측에 지지 기판을 붙여서 맞추는 공정과,

상기 반도체 기판의 이면으로부터 화학 기계 연마를 행하고, 이면에 상기 종단 검출부의 저면이 나타난 시점에서 화학 기계 연마를 상기 성합석으로 멈추고, 상기 반도체 기판의 박막화를 행하는 공정과,

상기 반도체 기판의 이면 측에 반도체 장치의 구성요소의 다른 부를 형성하는 공정을 가지는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 16

제 15항에 있어서,

상기 종단 검출부를 소자 분리영역과 겸용하여 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 17

제 15항에 있어서,

상기 종단 검출부를 소자 분리영역과 기둥 모양층에서 형성하는 것을 특징으로 하는 반도체 장치의 제조방

SIONYX1403000022.0083

SAMSUNG EX. 1002 - 2045/4148

법.

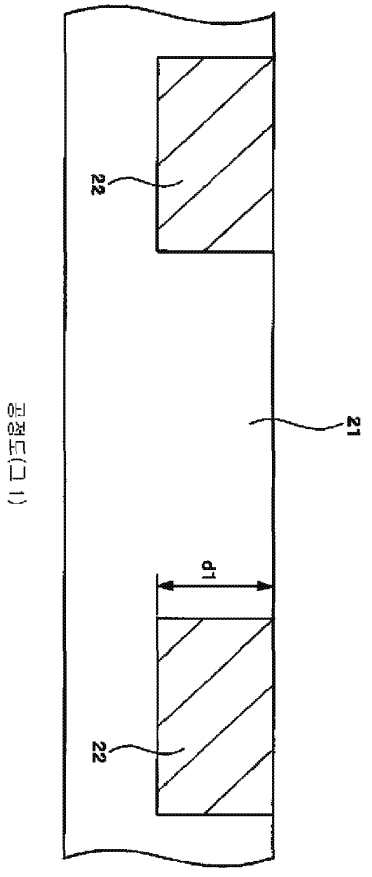
청구항 18

제 17항에 있어서,

복수의 상기 기둥 모양층에 의한 종단 검출부를, 화학 기계 연마에서의 두께가 고르지 않음이 발생하지 않는 간격을 가지고 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

도면

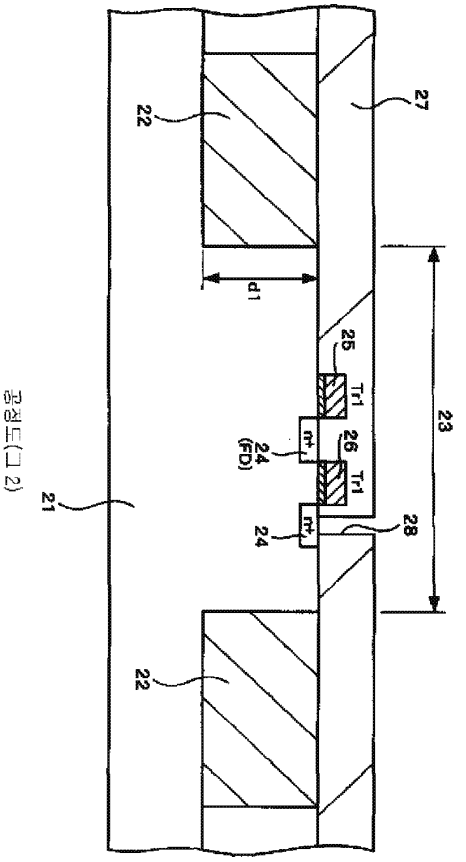
도면1



SIONYX1403000022.0084

SAMSUNG EX. 1002 - 2046/4148

도면2



종정도(그 2)

SIONYX1403000022.0085

SAMSUNG EX. 1002 - 2047/4148

SIONYX140300002.0086

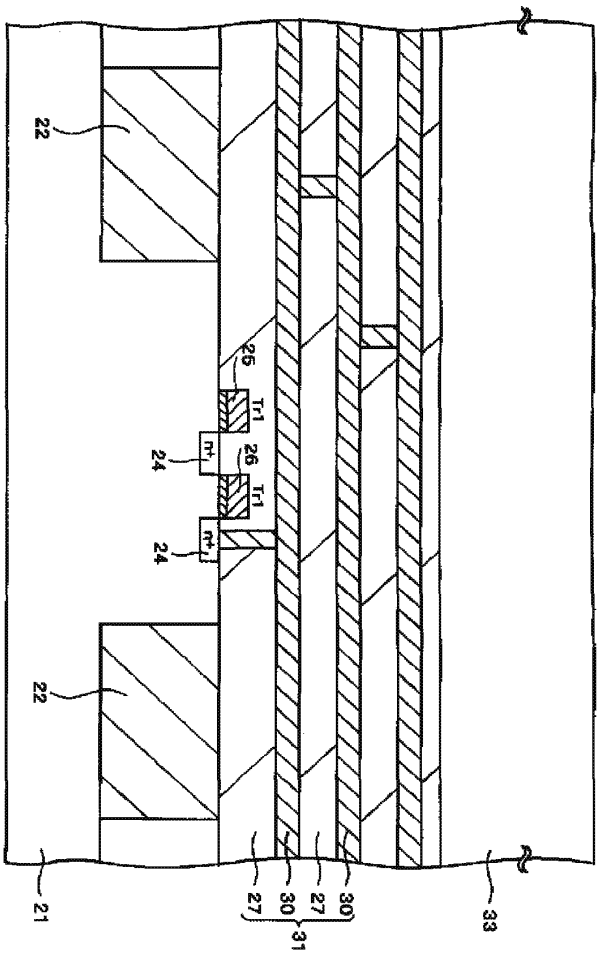
공정도(그 3)

도면3

공개특허 10-2006-0052278

SAMSUNG EX. 1002 - 2048/4148

도면4

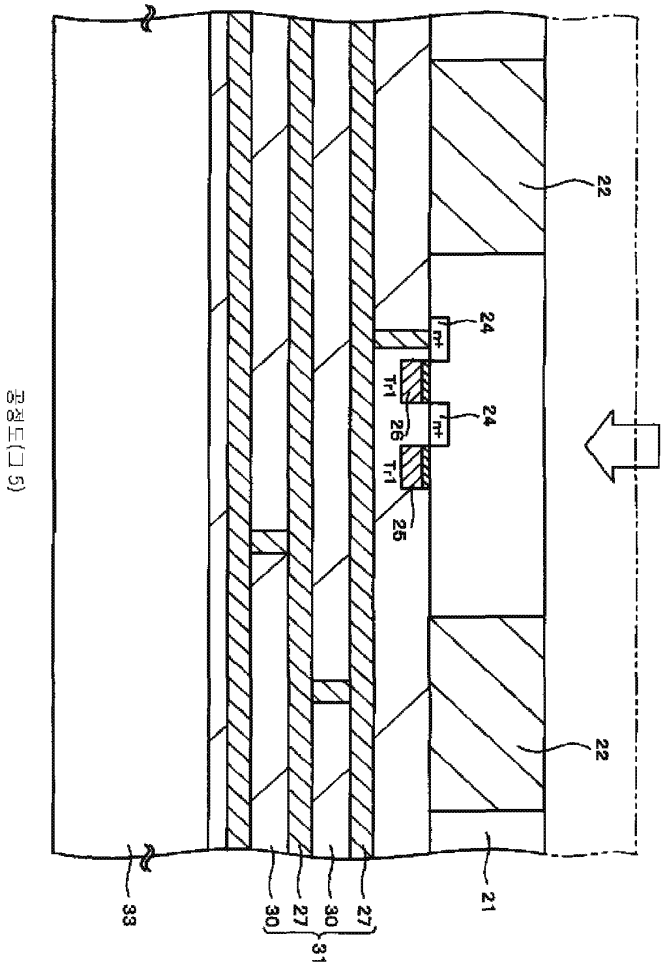


공정도(그 4)

SIONYX1403000022.0087

SAMSUNG EX. 1002 - 2049/4148

도면5

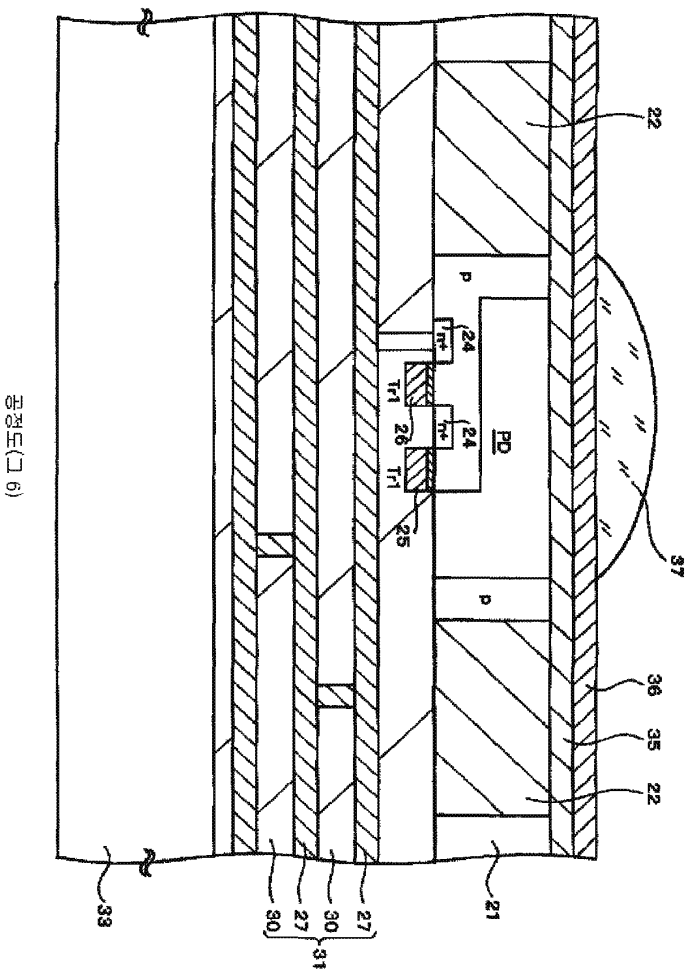


공정도(그 5)

SIONYX1403000022.0088

SAMSUNG EX. 1002 - 2050/4148

도면6

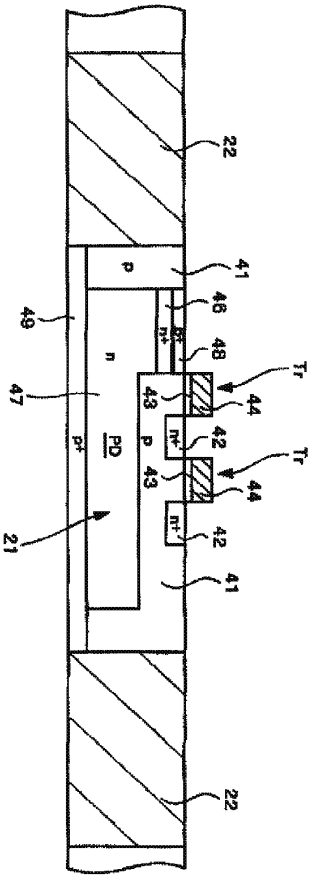


공정도(그 6)

SIONYX1403000022.0089

SAMSUNG EX. 1002 - 2051/4148

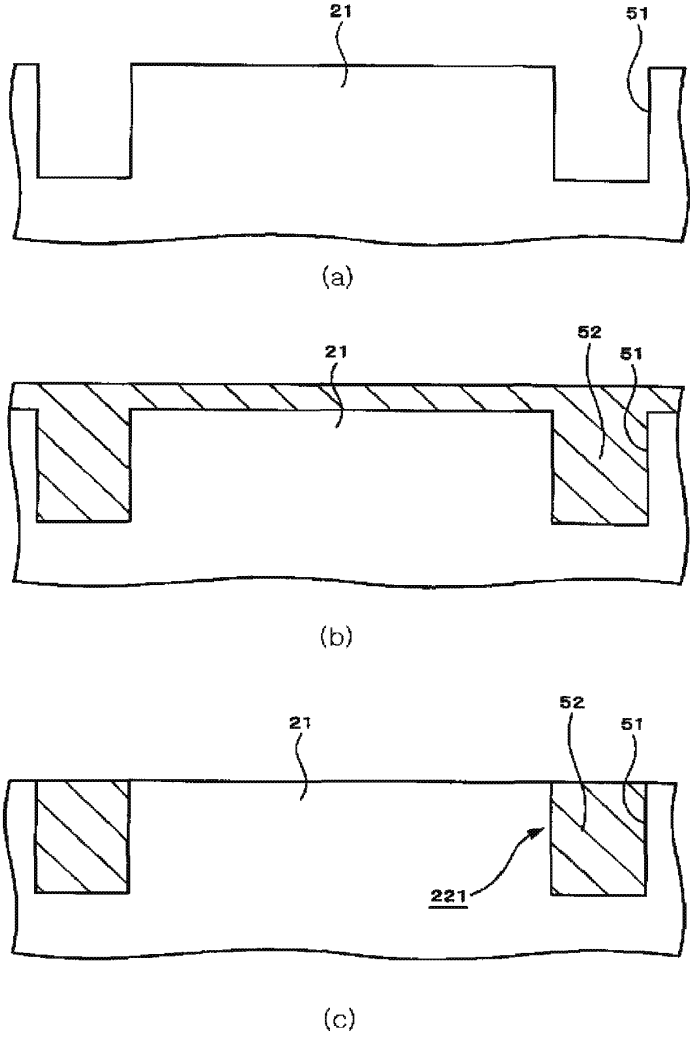
도면1



SIONYX1403000022.0090

SAMSUNG EX. 1002 - 2052/4148

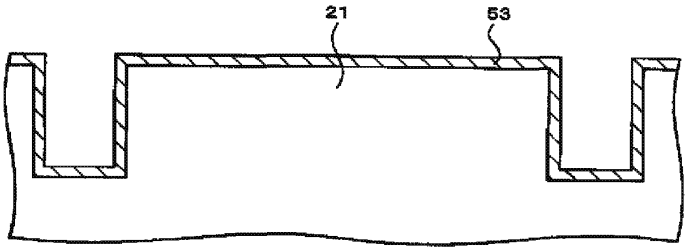
도면8



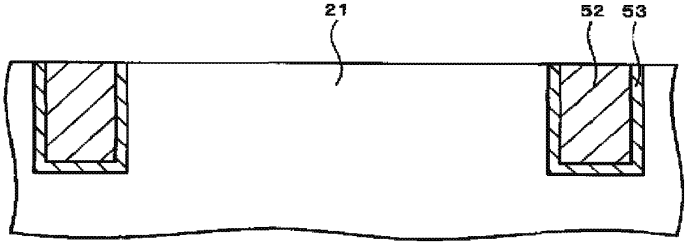
SIONYX1403000022.0091

SAMSUNG EX. 1002 - 2053/4148

도면9



(a)

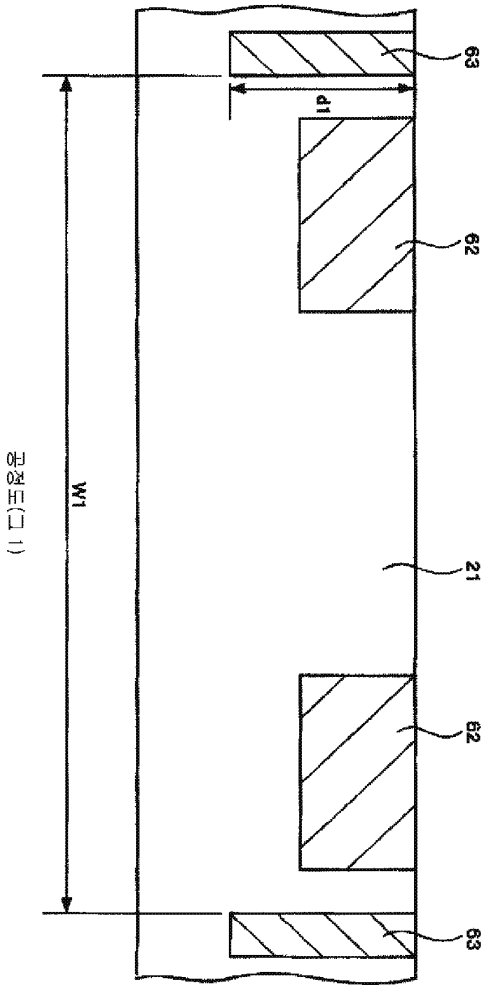


(b)

SIONYX1403000022.0092

SAMSUNG EX. 1002 - 2054/4148

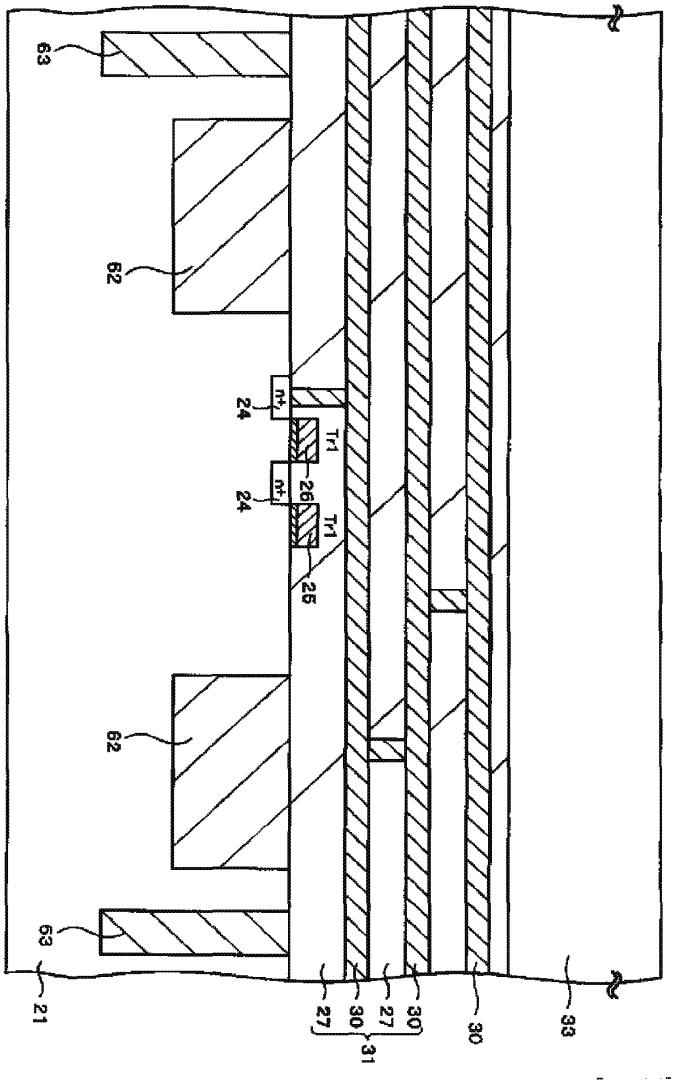
도면10



SIONYX1403000022.0093

SAMSUNG EX. 1002 - 2055/4148

도면11

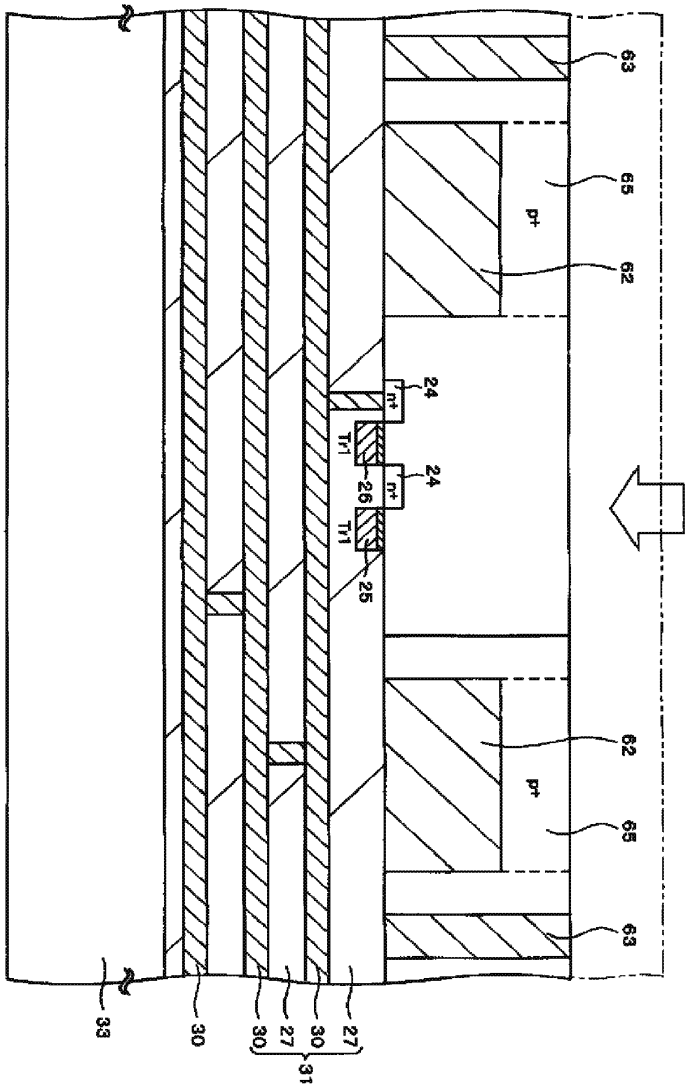


종래도(그 2)

SIONYX1403000022.0094

SAMSUNG EX. 1002 - 2056/4148

도면12

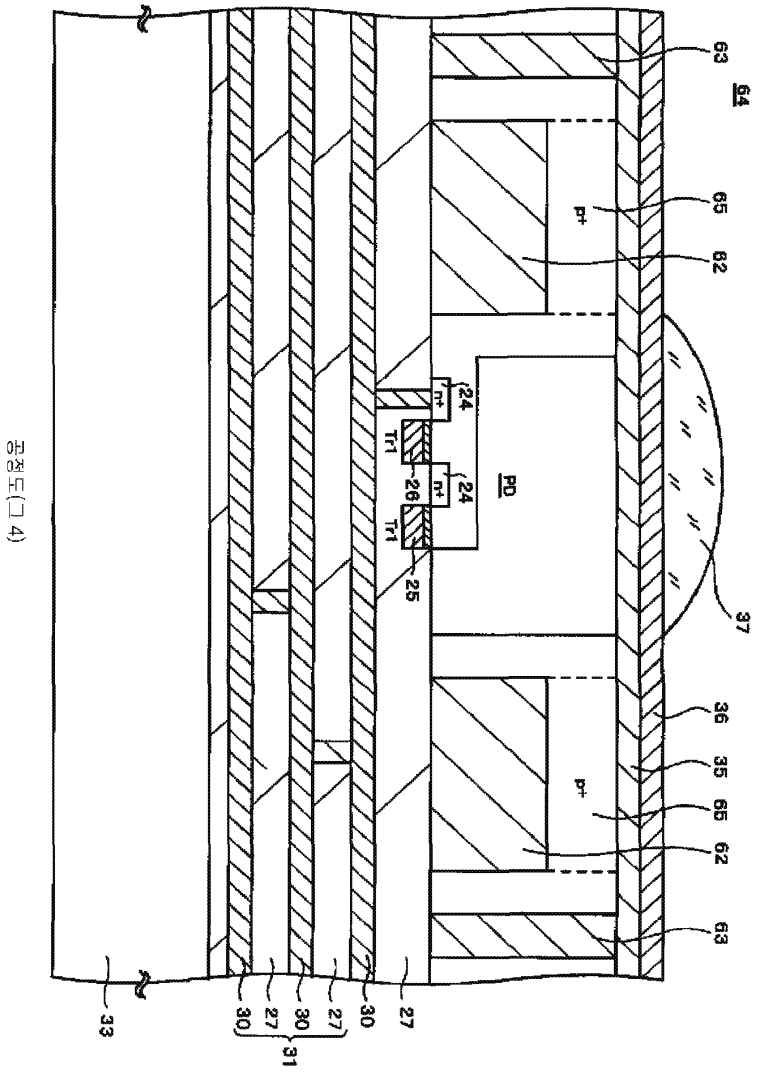


공정도(그 3)

SIONYX1403000022.0095

SAMSUNG EX. 1002 - 2057/4148

도면13

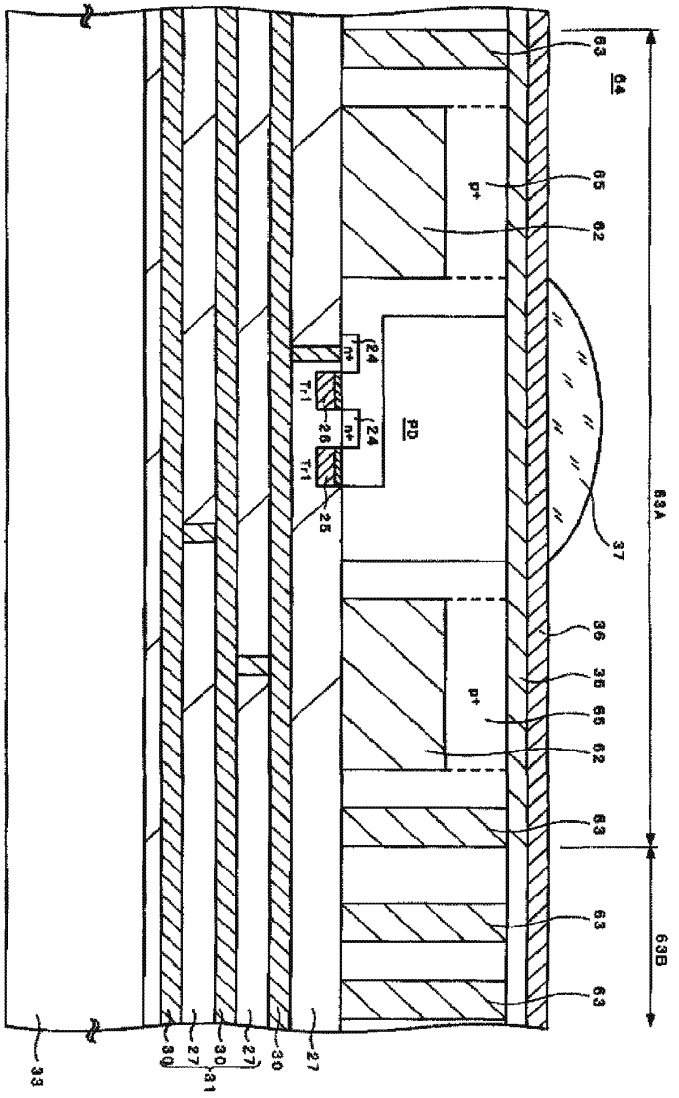


공정도(그 4)

SIONYX1403000022.0096

SAMSUNG EX. 1002 - 2058/4148

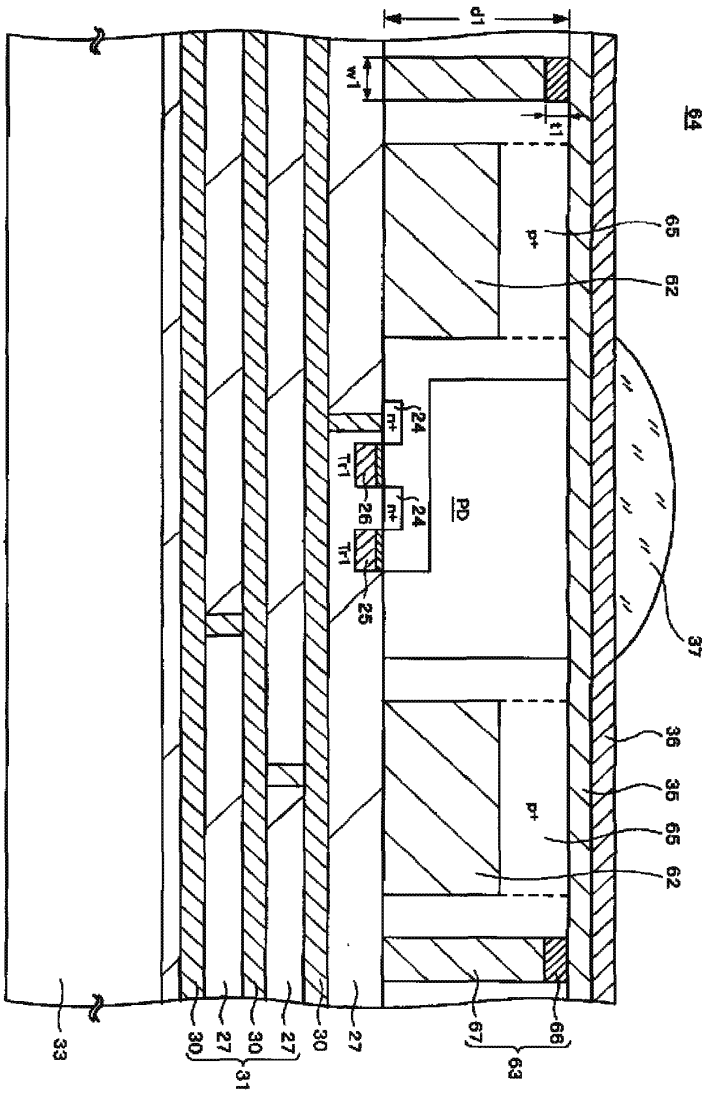
도면14



SIONYX1403000022.0097

SAMSUNG EX. 1002 - 2059/4148

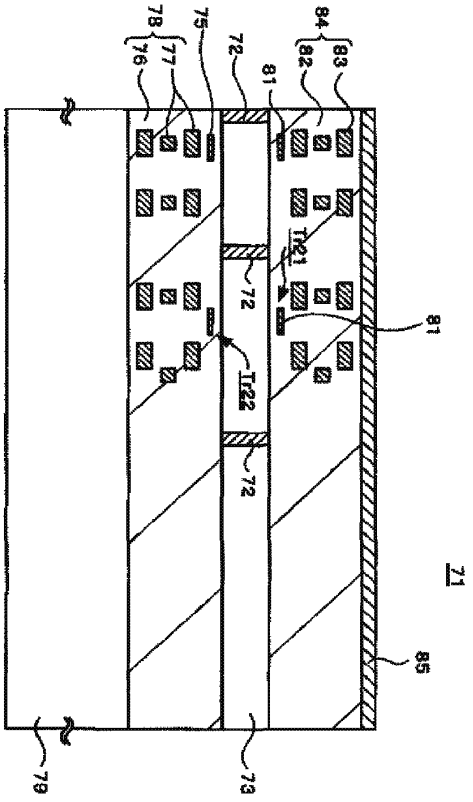
도면15



SIONYX1403000022.0098

SAMSUNG EX. 1002 - 2060/4148

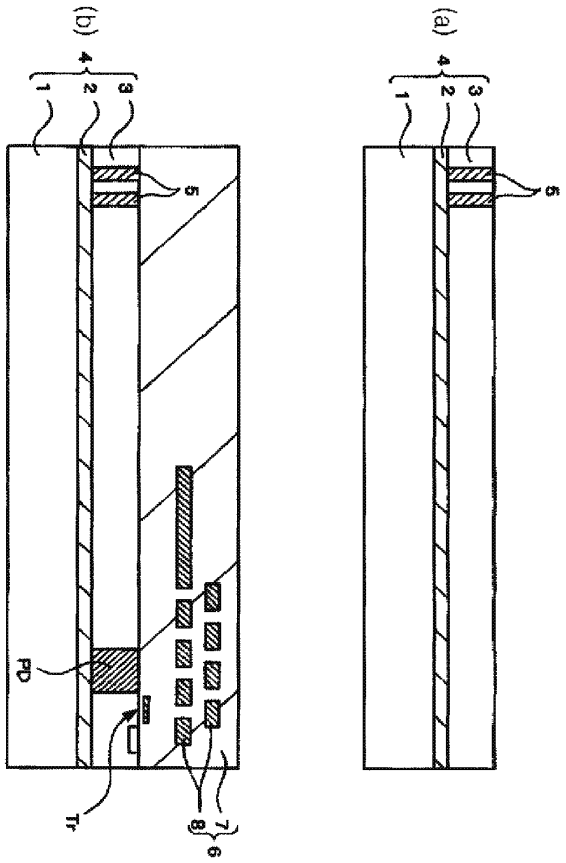
도면16



SIONYX1403000022.0099

SAMSUNG EX. 1002 - 2061/4148

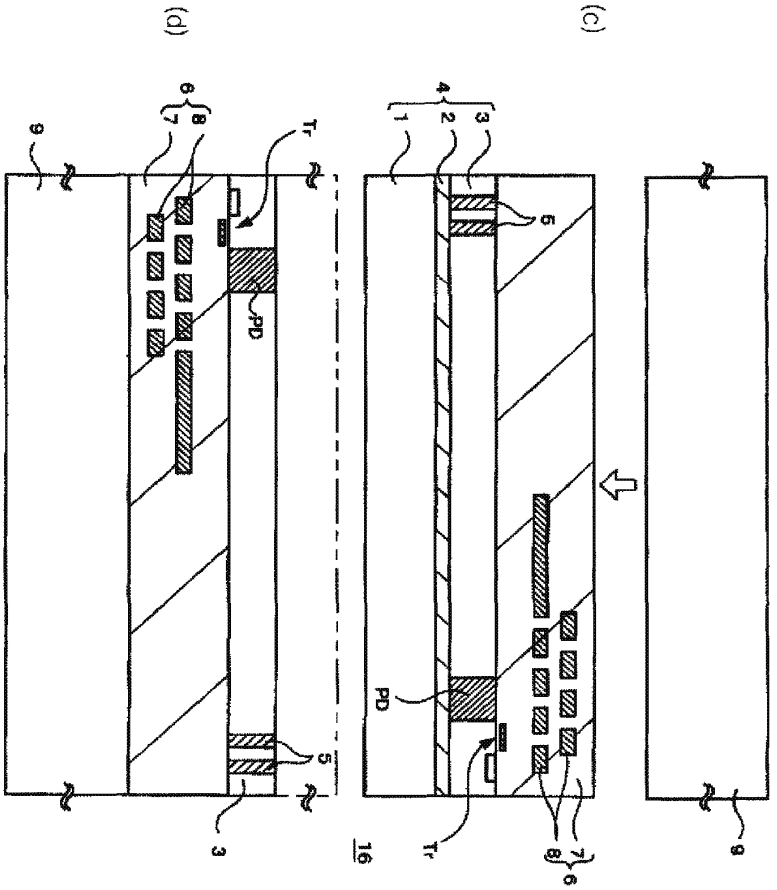
도면1/



SIONYX1403000022.0100

SAMSUNG EX. 1002 - 2062/4148

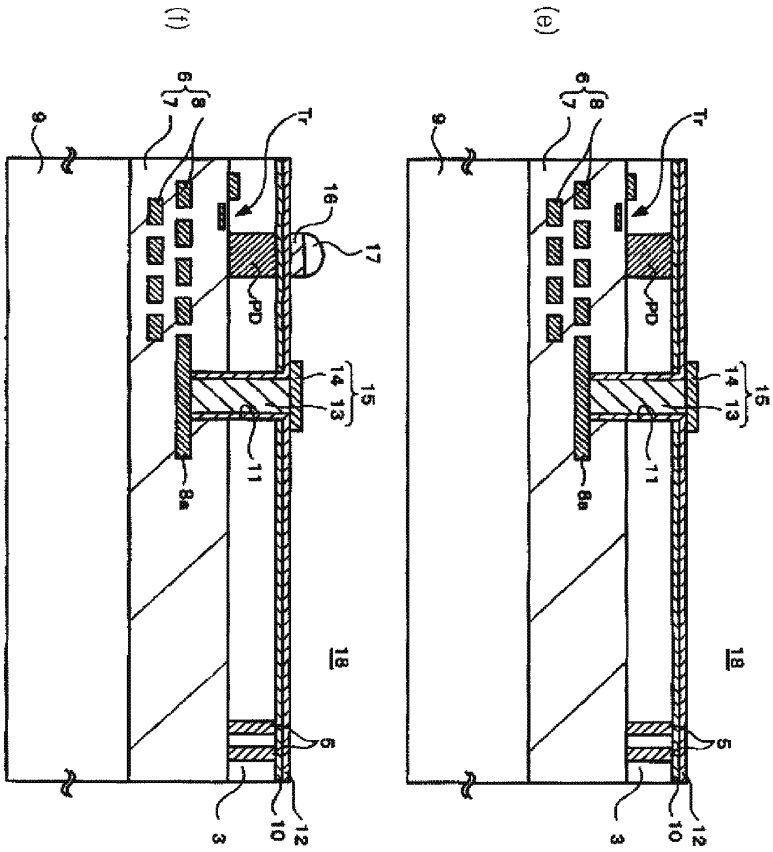
도면18



SIONYX1403000022.0101

SAMSUNG EX. 1002 - 2063/4148

도면19



SIONYX1403000022.0102

SAMSUNG EX. 1002 - 2064/4148

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년04월29일
(11) 등록번호 10-0825808
(24) 등록일자 2008년04월22일

(51) Int. Cl.
H01L 27/146 (2006.01)
(21) 출원번호 10-2007-0019134
(22) 출원일자 2007년02월26일
심사청구일자 2007년02월26일
(56) 선행기술조사문헌
KR1020020058459 A

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 매탄동 416
(72) 발명자
문창록
서울 서초구 방배3동 481-11 엔스위트 502호
이덕형
경기 성남시 분당구 정자동 한솔마을LG아파트 201-1203
조성호
경기 성남시 분당구 정자동 169-1번지 C-803
(74) 대리인
리엔목특허법인

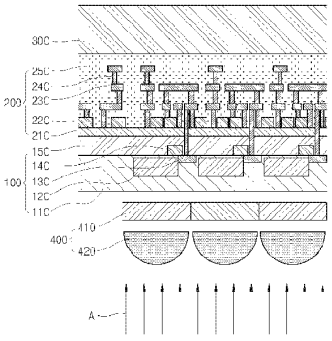
전체 청구항 수 : 총 20 항 심사관 : 안철홍

(54) 후면 조명 구조의 이미지 센서 및 그 이미지 센서 제조방법

(57) 요 약

본 발명은 광감도를 극대화하고 픽셀 당 수광 면적, 즉 포화도를 극대화할 수 있는 후면 조명 구조의 이미지 센서 및 그 이미지 센서 제조방법을 제공한다. 그 이미지 센서는 제1 웨이퍼 상에 형성된 포토 다이오드 및 트랜스퍼 게이트 트랜지스터(transfer gate transistor)를 포함하는 포토 다이오드부; 상기 포토 다이오드부 상부로 접합된 제2 웨이퍼 상에 형성된 신호처리 및 제어 트랜지스터 및 배선 라인을 포함하는 배선 라인부; 상기 배선 라인부 상부에 접합된 지지대 기판; 및 상기 제1 웨이퍼 하부에 형성된 필터부;를 포함한다. 또한, 그 이미지 센서 제조방법은 제1 웨이퍼 상에 포토 다이오드 및 트랜스퍼 게이트 트랜지스터를 포함한 포토 다이오드부를 형성하는 단계; 제2 웨이퍼를 상기 포토 다이오드부 상부로 접합하고 상기 제2 웨이퍼 상에 신호처리 및 제어 트랜지스터 및 배선 라인을 포함하는 배선 라인부를 형성하는 단계; 상기 배선 라인부 상부로 지지대 기판을 접합하는 단계; 및 상기 제1 웨이퍼 하부로 필터부를 형성하는 단계;를 포함한다.

대표도 - 도2



SIONYX1403000022.0103

SAMSUNG EX. 1002 - 2065/4148

특허청구의 범위

청구항 1

제1 웨이퍼 상에 형성된 포토 다이오드 및 트랜스퍼 게이트 트랜지스터(transfer gate transistor)를 포함하는 포토 다이오드부;

상기 포토 다이오드부 상부로 접합된 제2 웨이퍼 상에 형성된 신호처리 및 제어 트랜지스터 및 배선 라인을 포함하는 배선 라인부;

상기 배선 라인부 상부에 접합된 지지대 기판; 및

상기 제1 웨이퍼 하부에 형성된 필터부;를 포함하는 후면 조명(backside illumination) 구조의 이미지 센서.

청구항 2

제1 항에 있어서,

상기 제2 웨이퍼는 수소 이온주입(implantation) 공정이 수행된 웨이퍼이고,

상기 배선 라인부는 상기 포토 다이오드부 상부에 접합되는 상기 제2 웨이퍼가 스마트 컷(smart-cut)을 통해 제거되고 남은 부분에 상기 신호처리 및 제어 트랜지스터 및 배선 라인이 형성되어 이루어진 것을 특징으로 하는 후면 조명 구조의 이미지 센서.

청구항 3

제2 항에 있어서,

상기 제2 웨이퍼는 밀착 및 열처리를 통해 상기 포토 다이오드부 상부에 접합되는 것을 특징으로 하는 후면 조명 구조의 이미지 센서.

청구항 4

제1 항에 있어서,

상기 포토 다이오드부는 상기 포토 다이오드 주변 상부로 형성된 플로팅 디퓨전(floating difusion) 영역, 및 상기 포토 다이오드 및 트랜스퍼 게이트 트랜지스터가 형성된 상기 제1 웨이퍼 전면으로 형성된 절연층을 포함하는 것을 특징으로 하는 후면 조명 구조의 이미지 센서.

청구항 5

제1 항에 있어서,

상기 신호처리 및 제어 트랜지스터는 소스 팔로어 트랜지스터(source follower transistor), 선택 트랜지스터(selection transistor), 및 리셋 트랜지스터(reset transistor)를 포함하는 것을 특징으로 하는 후면 조명 구조의 이미지 센서.

청구항 6

제1 항에 있어서,

상기 이미지 센서는 상기 포토 다이오드부가 1개의 포토 다이오드 당 1개의 트랜지스터(1Tr/pixel)를 갖는 구조를 갖는 것을 특징으로 하는 후면 조명 구조의 이미지 센서.

청구항 7

제1 항에 있어서,

상기 제1 웨이퍼는 10 ㎛ 이하의 두께를 가지되, 상기 포토 다이오드 및 트랜스퍼 게이트 트랜지스터를 합한 두께 이상을 갖는 것을 특징으로 하는 후면 조명 구조의 이미지 센서.

청구항 8

SIONYX1403000022.0104

SAMSUNG EX. 1002 - 2066/4148

제1 항에 있어서,

상기 필터부는 빛을 파장에 따라 투과시키는 필터 어레이(filter array) 및 상기 필터 어레이로 빛을 집광하기 위한 마이크로 렌즈(micro-lens)를 포함하고,

상기 이미지 센서는 상기 필터부를 통해 상기 포토 다이오드로 바로 빛이 입사되는 구조를 갖는 것을 특징으로 하는 후면 조명 구조의 이미지 센서.

청구항 9

제8 항에 있어서,

상기 이미지 센서는 빛이 입사되는 상기 포토 다이오드 하부와 반대방향인 상기 포토 다이오드 상부로 상기 배선 라인부가 배치되어 빛에 대한 광감도(sensitivity)가 극대화된 것을 특징으로 하는 후면 조명 구조의 이미지 센서.

청구항 10

제1 웨이퍼 상에 포토 다이오드 및 트랜스퍼 게이트 트랜지스터를 포함한 포토 다이오드부를 형성하는 단계;

제2 웨이퍼를 상기 포토 다이오드부 상부로 접합하고 상기 제2 웨이퍼 상에 신호처리 및 제어 트랜지스터 및 배선 라인을 포함하는 배선 라인부를 형성하는 단계;

상기 배선 라인부 상부로 지지대 기판을 접합하는 단계; 및

상기 제1 웨이퍼 하부로 필터부를 형성하는 단계;를 포함하는 후면 조명 구조의 이미지 센서 제조방법.

청구항 11

제10 항에 있어서,

상기 포토 다이오드부 형성 단계는,

상기 제1 웨이퍼 상에 포토 다이오드를 형성하는 단계;

상기 포토 다이오드 주변 상부로 플로팅 디퓨젼 영역을 형성하는 단계;

상기 포토 다이오드 상부에 상기 트랜스퍼 게이트 트랜지스터 형성하는 단계; 및

상기 제1 웨이퍼 전면으로 절연층을 형성하는 단계;를 포함하는 것을 특징으로 하는 후면 조명 구조의 이미지 센서 제조방법.

청구항 12

제10 항에 있어서,

상기 제2 웨이퍼는 수소 이온주입 공정이 수행된 웨이퍼이고,

상기 제2 웨이퍼의 접합 및 배선 라인부를 형성하는 단계는,

상기 수소 이온이 주입된 상기 제2 웨이퍼의 상면을 상기 제1 기판과 접합하는 단계;

상기 제2 웨이퍼를 스마트 컷을 통해 절단하는 단계;

절단되어 남은 상기 제2 웨이퍼 상에 신호처리 및 제어 트랜지스터를 형성하는 단계; 및

상기 신호처리 및 제어 트랜지스터 상부로 BEOL(Back End Of Line) 공정을 수행하는 단계;를 포함하는 것을 특징으로 하는 후면 조명 구조의 이미지 센서 제조방법.

청구항 13

제12 항에 있어서,

상기 신호처리 및 제어 트랜지스터는 소스 팔로어 트랜지스터, 선택 트랜지스터, 및 리셋 트랜지스터를 포함하는 것을 특징으로 하는 후면 조명 구조의 이미지 센서 제조방법.

SIONYX1403000022.0105

SAMSUNG EX. 1002 - 2067/4148

청구항 14

제10 항에 있어서,

상기 이미지 센서 제조방법은,

상기 제1 웨이퍼 하부로 필터부를 형성하는 단계 전에

상기 제1 웨이퍼의 하면을 얇게 연마하는 단계를 포함하는 것을 특징으로 하는 후면 조명 구조의 이미지 센서 제조방법.

청구항 15

제14 항에 있어서,

상기 제1 웨이퍼는 상기 연마에 의해 10 ㎛ 이하의 두께를 가지되, 상기 포토 다이오드 및 트랜스퍼 게이트 트랜지스터를 합한 두께 이상을 갖는 것을 특징으로 하는 후면 조명 구조의 이미지 센서 제조방법.

청구항 16

제10 항에 있어서,

상기 필터부를 형성하는 단계는,

상기 제1 웨이퍼 하부로 빛을 파장에 따라 투과시키는 필터 어레이를 형성하는 단계; 및

상기 필터 어레이 하부로 빛을 집광하기 위한 마이크로 렌즈를 형성하는 단계;를 포함하는 것을 특징으로 하는 후면 조명 구조의 이미지 센서 제조방법.

청구항 17

제10 항에 있어서,

상기 이미지 센서는,

상기 포토 다이오드부가 1개의 포토 다이오드 당 1개의 트랜지스터(1Tr/pixel)를 갖는 구조를 갖는 것을 특징으로 하는 후면 조명 구조의 이미지 센서 제조방법.

청구항 18

제1 웨이퍼에 포토 다이오드 및 트랜스퍼 게이트 트랜지스터를 포함한 포토 다이오드부를 형성하는 단계;

제2 웨이퍼를 상기 포토 다이오드부 상부로 접합하고 스마트 컷을 통해 상기 제2 웨이퍼를 절단하는 단계;

절단되어 남은 상기 제2 웨이퍼에 신호처리 및 제어 트랜지스터 및 배선 라인을 포함하는 배선 라인부를 형성하는 단계;

상기 배선 라인부 상부로 지지대 기판을 접합하는 단계;

상기 제1 웨이퍼의 하면을 얇게 연마하는 단계; 및

상기 포토 다이오드부 하부로 필터부를 형성하는 단계;를 포함하는 후면 조명 구조의 이미지 센서 제조방법.

청구항 19

제18 항에 있어서,

상기 배선 라인부를 형성하는 단계는,

상기 남은 상기 제2 웨이퍼 상에 신호처리 및 제어 트랜지스터를 형성하는 단계; 및

상기 신호처리 및 제어 트랜지스터 상부로 BEOL(Back End Of Line) 공정을 수행하는 단계;를 포함하는 것을 특징으로 하는 후면 조명 구조의 이미지 센서 제조방법.

청구항 20

SIONYX1403000022.0106

SAMSUNG EX. 1002 - 2068/4148

제18 항에 있어서,

상기 신호처리 및 제어 트랜지스터는 소스 팔로어 트랜지스터, 선택 트랜지스터, 및 리셋 트랜지스터를 포함하고,

상기 이미지 센서는,

상기 포토 다이오드부가 1개의 포토 다이오드 당 1개의 트랜지스터(1Tr/pixel)를 갖는 구조를 갖는 것을 특징으로 하는 후면 조명 구조의 이미지 센서 제조방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<15> 본 발명은 이미지 센서 및 그 제조 방법에 관한 것으로, 특히 3차원 집적 방식을 이용한 이미지 센서 및 그 제조 방법에 관한 것이다.

<16> 이미지 센서는 광학 영상(optical image)을 전기 신호로 변환시키는 반도체 소자로서, 크게 전하결합소자(Charge Coupled Device: CCD)와 CMOS(Complementary Metal-Oxide-Silicon) 이미지 센서가 있다.

<17> 이 중에서 CCD는 개개의 MOS(Metal-Oxide-Silicon) 캐패시터가 서로 매우 근접한 위치에 있으면서 전하 캐리어가 캐패시터에 저장되고 이송되는 방식을 채용한 소자이다. 한편, CMOS(Complementary MOS) 이미지 센서는 제어회로(control circuit) 및 신호처리회로(signal processing circuit)를 주변회로로 사용하는 CMOS 기술을 이용하며, 화소 수만큼 MOS 트랜지스터를 만들고 이것을 이용하여 차례차례 출력을 검출하는 스위칭 방식을 채용한 소자이다.

<18> CMOS 이미지 센서는 CCD에 비해 구동방식이 간편하며, 신호처리회로를 한 칩에 집적할 수 있기 때문에 SOC(System On Chip)의 구현이 가능하여 모듈의 소형화에 유리하다. 그에 따라, 현재 모바일 폰(mobile phone), PC(Personal Computer)용 카메라 및 전자기기 등에서 광범위하게 사용되고 있다.

<19> 도 1은 종래의 3차원 집적(3D integration) 방식의 CMOS 이미지 센서를 개략적으로 보여주는 단면도이다.

<20> 도 1을 참조하면, 이미지 센서는 기판에 형성된 포토 다이오드(10, Photo Diode:PD)를 포함하는 수광부, 배선 라인층(20), 컬러 필터 어레이(30, Color Filter Array: CFA), 및 마이크로 렌즈(40, micro-lens)를 포함한다. 한편, 배선 라인층(20)은 도시한 바와 같이 컬러 필터 어레이(30)와 포토 다이오드(10) 사이에 존재하고 투명한 절연막 사이로 형성된 다층의 여러 배선 라인들(M1 ~ M4)로 구성된다.

<21> 이와 같은 종래의 이미지 센서는 제조 공정 특히 BEOL(Back End Of Line) 즉, 메탈라인 공정은 반도체 소자의 제조 공정과 유사하다. 이때, PMD(Pre-Metal Dielectric)와 IMD(Inter-Metal Dielectric) 및 보호막(passivation layer) 등을 형성하기 위하여 서로 상이한 절연 물질이 사용되어야 하며, 이로 인해 각 물질층 간 계면(Interface)에서 빛의 난반사 현상이 발생하여 광감도(sensitivity)를 떨어뜨린다. 또한, 상이한 절연막으로 인해 서로 다른 굴절률을 가지기 때문에 빛의 굴절에 의해 광감도가 떨어지기도 한다. 이와 함께, 종래의 CMOS 이미지 센서를 형성함에 있어서는, 포토 다이오드 형성 후에 메탈 배선 라인들(M1 ~ M4) 및 복수의 절연막 형성 및 평탄화 공정을 실시하여야 하므로 이에 따른 불량도 야기된다.

<22> 한편, 종래의 이미지 센서의 경우, 포토 다이오드 주위로 신호처리 및 제어를 위한 다수의 트랜지스터가 배치되어 픽셀 당 빛을 수광하는 면적이 작다. 즉, 픽셀 당 수광영역의 포화도(saturation)가 낮다. 그에 따라, 노이즈가 증가할 수 있고, 또한 노이즈에 따른 이미지 손실의 위험성이 증가되어 화질이 열화되는 문제 등이 발생하고 있다.

발명이 이루고자 하는 기술적 과제

<23> 따라서, 본 발명이 이루고자 하는 기술적 과제는 종래의 이미지 센서의 문제를 해결하여 광감도를 극대화하고 픽셀 당 수광 면적, 즉 포화도를 극대화할 수 있는 후면 조명 구조의 이미지 센서 및 그 이미지 센서 제조방법

SIONYX1403000022.0107

SAMSUNG EX. 1002 - 2069/4148

을 제공하는 데에 있다.

발명의 구성 및 작용

<24> 상기 기술적 과제를 달성하기 위하여, 본 발명은 제1 웨이퍼 상에 형성된 포토 다이오드 및 트랜스퍼 게이트 트랜지스터(transfer gate transistor)를 포함하는 포토 다이오드부; 상기 포토 다이오드부 상부로 접합된 제2 웨이퍼 상에 형성된 신호처리 및 제어 트랜지스터 및 배선 라인을 포함하는 배선 라인부; 상기 배선 라인부 상부에 형성된 지지대 기판; 및 상기 제1 웨이퍼 하부에 형성된 필터부;를 포함하는 후면 조명(backside illumination) 구조의 이미지 센서를 제공한다.

<25> 본 발명에 있어서, 상기 제2 웨이퍼는 수소 이온주입(implantation) 공정이 수행된 웨이퍼이고, 상기 배선 라인부는 상기 제2 웨이퍼가 상기 포토 다이오드부 상부에 접합되고 스마트 컷(smart-cut)을 통해 소정 부분이 제거되어 남은 부분에 상기 신호처리 및 제어 트랜지스터 및 배선 라인이 형성되어 이루어질 수 있다. 또한, 상기 제2 웨이퍼는 직층 및 열처리를 통해 상기 포토 다이오드부 상부에 집합될 수 있다.

<26> 한편, 상기 포토 다이오드부는 상기 포토 다이오드 주변 상부로 형성된 플로팅 디퓨전(floating difusion) 영역, 및 상기 포토 다이오드 및 트랜스퍼 게이트 트랜지스터가 형성된 상기 제1 웨이퍼 전면으로 형성된 절연층을 포함할 수 있다. 또한, 상기 신호처리 및 제어 트랜지스터는 소스 팔로어 트랜지스터(source follower transistor), 선택 트랜지스터(selection transistor), 및 리셋 트랜지스터(reset transistor)를 포함할 수 있다.

<27> 본 발명에 있어서, 상기 이미지 센서는 포화도(saturation)를 최대로 하기 위하여, 상기 포토 다이오드부는 1개의 포토 다이오드 당 1개의 트랜지스터(1Tr/pixel)를 갖는 구조를 가진다. 또한, 상기 필터부가 빛을 파장에 따라 투과시키는 필터 어레이(filter array) 및 상기 필터 어레이로 빛을 집광하기 위한 마이크로 렌즈(micro-lens)를 포함하여, 상기 이미지 센서는 상기 필터부를 통해 상기 포토 다이오드로 바로 빛이 입사되는 구조를 갖는다. 이러한 본 발명의 이미지 센서는 빛이 입사되는 상기 포토 다이오드 하부와 반대방향인 상기 포토 다이오드 상부로 상기 배선 라인부가 배치되어 빛에 대한 광감도(sensitivity)가 극대화될 수 있다.

<28> 본 발명은 또한 상기 기술적 과제를 달성하기 위하여, 제1 웨이퍼 상에 포토 다이오드 및 트랜스퍼 게이트 트랜지스터를 포함한 포토 다이오드부를 형성하는 단계; 제2 웨이퍼를 상기 포토 다이오드부 상부로 접합하고 상기 제2 웨이퍼 상에 신호처리 및 제어 트랜지스터 및 배선 라인을 포함하는 배선 라인부를 형성하는 단계; 상기 배신 라인부 상부로 지지대 기판을 접합하는 단계; 및 상기 제1 웨이퍼 하부로 필터부를 형성하는 단계;를 포함하는 후면 조명 구조의 이미지 센서 제조방법을 제공한다.

<29> 본 발명에 있어서, 상기 포토 다이오드부 형성 단계는, 상기 제1 웨이퍼 상에 포토 다이오드를 형성하는 단계; 상기 포토 다이오드 주변 상부로 플로팅 디퓨전 영역을 형성하는 단계; 상기 포토 다이오드 상부에 상기 트랜스퍼 게이트 트랜지스터 형성하는 단계; 및 상기 제1 웨이퍼 전면으로 절연층을 형성하는 단계;를 포함할 수 있다.

<30> 또한, 상기 제2 웨이퍼는 수소 이온주입 공정이 수행된 웨이퍼이고, 상기 제2 웨이퍼의 접합 및 배선 라인부를 형성하는 단계는, 상기 수소 이온이 주입된 상기 제2 웨이퍼의 상면을 상기 제1 기판과 접합하여 열처리하는 단계; 상기 제2 웨이퍼의 소정 부분을 스마트-컷을 통해 제거하는 단계; 상기 남은 상기 제2 웨이퍼 상에 신호처리 및 제어 트랜지스터를 형성하는 단계; 및 상기 신호처리 및 제어 트랜지스터 상부로 BEOL(Back End Of Line) 공정을 수행하는 단계;를 포함할 수 있다. 여기서, 상기 신호처리 및 제어 트랜지스터는 전술한 바와 같이 소스 팔로어 트랜지스터, 선택 트랜지스터, 및 리셋 트랜지스터를 포함할 수 있다.

<31> 한편, 상기 이미지 센서 제조방법은, 상기 제1 웨이퍼 하부로 필터부를 형성하는 단계 전에 상기 제1 웨이퍼의 하면을 얇게 연마하는 단계를 포함할 수 있는데, 예컨대 상기 제1 웨이퍼는 상기 연마에 의해 10 ㎛ 이하의 두께를 가질 수 있다. 또한, 상기 필터부를 형성하는 단계는 상기 제1 웨이퍼 하부로 빛을 파장에 따라 투과시키는 필터 어레이를 형성하는 단계; 및 상기 필터 어레이 하부로 빛을 집광하기 위한 마이크로 렌즈를 형성하는 단계;를 포함할 수 있다.

<32> 본 발명에 따른 후면 조명 구조의 이미지 센서 및 그 제조 방법은 메탈 배선 라인이 포토 다이오드 전면으로 배치되고 필터부가 후면으로 배치됨으로써, 종래 메탈 배선 라인층의 존재에 인해 발생하던 광감도 저하 문제를 효과적으로 배제시킬 수 있다. 또한, 포토 다이오드부에 하나의 포토 다이오드 당 1개의 트랜지스터만을 포함하는 구조로 형성됨으로써, 수광영역의 포화도를 극대화시킬 수 있다. 더 나아가 제2 웨이퍼를 접합한 후에 트랜

SIONYX1403000022.0108

SAMSUNG EX. 1002 - 2070/4148

지스터 및 배선 라인들이 형성됨으로써, 트랜지스터 및 배선들 간의 수직 컨택 또는 비아를 용이하게 형성할 수 있는 장점도 있다.

<33> 도 2는 본 발명의 일 실시예에 따른 후면 조명 구조의 이미지 센서를 개략적으로 보여주는 단면도이다.

<34> 도 2를 참조하면, 본 발명의 이미지 센서는 제1 웨이퍼(110) 상에 형성된 포토 다이오드부(100), 포토 다이오드부(100) 상부의 제2 웨이퍼(210) 상에 형성된 배선 라인부(200), 배선 라인부(200) 상부의 지지대 기판(300) 및 제1 웨이퍼(110) 하부에 형성된 필터부(400)를 포함한다.

<35> 포토 다이오드부(100)는 제1 웨이퍼에 형성된 포토 다이오드(120, PD), 포토 다이오드(120) 주변 상부로 형성된 플로팅 디퓨전(Floating Diffusion: FD) 영역(130)과 포토 다이오드(120) 상부로 신호 전달을 위한 트랜스퍼 게이트(Transfer Gate: TG) 트랜지스터(140)를 포함한다. 한편, 이러한 포토 다이오드(120), 플로팅 디퓨전 영역(130) 및 트랜스퍼 게이트 트랜지스터(140)가 형성된 제1 웨이퍼(110) 상부 전면으로 제1 절연층(150)이 형성되어 있다.

<36> 본 실시예에 따른 이미지 센서의 포토 다이오드부(100)는 포토 다이오드(120) 하나 당 1개의 트랜지스터, 즉 트랜스퍼 게이트 트랜지스터(140)만을 포함하므로, 종래의 이미지 센서에 비해 획기적으로 포화도(saturation)를 증가시킬 수 있다. 여기서 포화도는 단위 픽셀 면적에 대한 수광영역의 면적을 나타내는 것으로 필 팩터(fill factor)라고도 한다. 종래의 이미지 센서는 포토 다이오드가 형성된 수광영역 주위로 다수의 신호 처리 및 제어를 위한 트랜지스터들이 형성되어 낮은 포화도를 가지고 있었다. 그러나 본 실시예의 이미지 센서는 단지 트랜스퍼 게이트 트랜지스터 하나만 형성되기 때문에 포화도가 극대화될 수 있다.

<37> 배선 라인부(200)는 포토 다이오드부(100) 상부로 형성되는데, 제2 웨이퍼(210) 상에 형성된 신호처리 및 제어 트랜지스터(220), 다층의 배선 라인(230) 및 트랜지스터와 배선 라인 또는 배선 라인들 간을 전기적으로 연결하는 수직 컨택 또는 비아(240)를 포함한다. 한편, 전술한 바와 같이 제2 웨이퍼(210) 상부로는 제2 절연층(250)이 형성되며, 이러한 제2 절연층(250)은 전술한 바와 같이 상이한 절연 물질이 사용된 다수의 절연막들로 구성될 수 있다.

<38> 여기서, 신호처리 및 제어 트랜지스터(220)는 트랜스퍼 게이트 트랜지스터(140)를 제외한 소오스 팔로어(source follower) 트랜지스터, 선택(selection) 트랜지스터, 리셋(reset) 트랜지스터 등이 될 수 있다. 트랜스퍼 게이트 트랜지스터(140)를 비롯한 이러한 신호처리 및 제어 트랜지스터(220)는 수직 컨택 또는 비아(240)를 통해 배선 라인(230)과 연결되게 된다.

<39> 도 2 부분에서 좀더 상세히 설명하겠지만, 본 실시예에 따른 수직 컨택 또는 비아(240)는 포토 다이오드부(100) 상부로 제2 웨이퍼가 집합된 후에 배선 라인(230) 공정과 함께 형성되기 때문에 얼라인을 맞추기 쉽고 그에 따라 수직 컨택 또는 비아(240)가 매우 작은 선폭을 가지고 형성될 수 있다.

<40> 배선 라인부(200) 상부로는 지지대 기판(300)이 접합 되는데, 지지대 기판(300)은 전체 이미지 센서를 지지하는 기능을 한다.

<41> 제1 웨이퍼(110) 하부로 형성되는 필터부(400)는 빛을 파장에 따라 투과시키는 레드(red), 그린(green), 블루(blue)와 같은 컬러 필터 어레이(410) 및 필터 어레이(410) 하부로 빛을 집광하기 위한 마이크로 렌즈(420)를 포함한다.

<42> 본 실시예의 이미지 센서는 포토 다이오드가 형성된 제1 웨이퍼(110) 하부로 필터부가 형성되어 빛(A)이 웨이퍼(110)의 하부로 입사되는 후면 조명(backside illumination) 구조를 갖는다. 그에 따라, 종래 전면 조명 구조에서 빛이 배선 라인층을 거치면서 발생 되었던 문제, 즉 난반사나 굴절률 차이 등에 의해 발생하던 광감도 저하 문제를 획기적으로 해결할 수 있다. 한편, 제1 웨이퍼의 배면을 연마하여 제1 웨이퍼를 수 ㎛ 이하로 얇게 함으로써, 빛의 입사 거리를 짧게 할 수 있고 그에 따라 더욱 광감도를 향상시킬 수 있는 장점을 갖는다.

<43> 도 3a ~ 3i는 본 발명의 다른 실시예에 따른 후면 조명 구조의 이미지 센서 제조방법을 보여주는 단면도들이다.

<44> 도 3a를 참조하면, 먼저 제1 웨이퍼(110a) 상에 포토 다이오드(120), 플로팅 디퓨전 영역(130) 및 트랜스퍼 게이트 트랜지스터(140)를 형성하고, 제1 웨이퍼(100a) 상부 전면으로 제1 절연층(150)을 형성하여 포토 다이오드부(100)를 완성하게 된다.

<45> 도 3b를 참조하면, 제1 웨이퍼와 다른 제2 웨이퍼(210a)를 준비하고 제2 웨이퍼(210a)에 수소 이온주입(B, hydrogen implantation) 공정을 수행한다. 이러한 수소 이온주입 공정은 차후에 스마트 컷(smart cut)을 통해

SIONYX1403000022.0109

SAMSUNG EX. 1002 - 2071/4148

제2 웨이퍼의 소정 부분을 절단하여 제거하기 위해 수행된다. 이기서 절선부분(212)으로 수소 이온이 주입되고 차후에 절선부분(212)으로 웨이퍼가 절단된다.

<46> 도 3c를 참조하면, 수소 이온주입 공정이 수행된 제2 웨이퍼(210a)를 포토 다이오드부(100) 상부로 접합하고 열처리를 수행한다. 즉, 제2 웨이퍼(210a)를 포토 다이오드부(100)로 밀착 적층하고 적절한 온도로 열처리를 행하는데, 이러한 열처리를 통해서 제2 웨이퍼의 소정부분, 즉 절선부분(212) 상부를 분리하여 제거하게 된다. 이러한 방법을 스마트 컷(smart cut)이라고 한다. 이러한 스마트 컷을 위한 열처리는 예컨대 300 ~ 600 ℃ 정도로 행할 수 있다.

<47> 도 3d를 참조하면, 포토 다이오드부(100) 상부로 소정 부분이 제거된 제2 웨이퍼(210)가 적층되어 있음을 볼 수 있는데, 제2 웨이퍼의 접합을 견고하게 하기 위하여 다소 고온의 열처리를 더 행할 수도 있다.

<48> 도 3e를 참조하면, 접합된 제2 웨이퍼(210) 상부로 신호처리 및 제어를 위한 다수의 트랜지스터(220)를 형성한다. 예컨대, 신호처리 및 제어 트랜지스터(220)는 트랜스퍼 게이트 트랜지스터를 제외한 소스 팔로어 트랜지스터, 선택 트랜지스터 및 리셋 트랜지스터 등이 될 수 있다. 한편, 이러한 신호처리 및 제어 트랜지스터(220) 상부로는 제1 배선 라인(232) 등이 형성될 수 있는데, 이러한 제1 배선 라인(232) 형성 전에 수직 컨택 또는 비아(240)를 형성하여 신호처리 및 제어 트랜지스터(220)와 트랜스퍼 게이트 트랜지스터(140)를 제1 배선 라인(232)으로 전기적으로 연결 되도록 한다.

<49> 도 3f를 참조하면, 제1 배선 라인(232) 상부로 제2 및 제3 배선 라인(234, 236) 등의 다층의 배선 라인들이 더 형성될 수 있고, 이러한 제2 및 제3 배선 라인(234, 236)들도 수직 컨택 또는 비아(240)를 통해 전기적으로 연결됨은 물론이다. 여기서, 배선 라인(230)으로 3개의 배선 라인들을 예로 들어 설명하였지만 그 미만의 배선 라인층 또는 더 많은 배선 라인층으로 배선 라인(230)이 형성될 수 있음은 물론이다.

<50> 이와 같은, 배선 라인(230) 공정, 즉 BEOL(Back End of Line) 공정이 완료하여 배선 라인부(200)를 완성한다. 여기서, 제2 절연층(250)이 하나로 층으로 표현되고 있지만, 전술한 바와 같이 전체 배선 라인(230)이 다층의 배선 라인들로 형성되므로 배선 라인들 사이 사이의 층간 절연막들이 다른 재질의 절연재료로 형성될 수 있음은 물론이다.

<51> 도 3g를 참조하면, BEOL 공정이 완료된 배선 라인부(200) 상부로 제3 웨이퍼, 즉 지지대 기판(300)을 접합하게 되는데, 이러한 지지대 기판(300)은 전체 이미지 센서에 대한 지지대 역할을 하게 된다. 접합은 앞서 제2 웨이퍼의 접합과 마찬가지로 밀착시켜 다소 고온의 열처리 등을 통해서 이루어진다. 물론 지지대 기판은 전체적으로 이용되므로 스마트 컷과 같은 공정은 진행되지 않는다.

<52> 도 3h를 참조하면, 포토 다이오드부(100)가 형성된 제1 웨이퍼(110a)의 하면을 연마한다. 이러한 연마를 통해 제1 웨이퍼의 두께를 수 ㎛, 예컨대 10 ㎛ 이하의 정도로 만들 수 있다. 그에 따라, 차후 제1 웨이퍼(110) 하부로 형성되는 필터부를 통해 입사되는 빛의 경로를 최소화하여 포토 다이오드(120)의 감광도를 극대화할 수 있다.

<53> 도 3i를 참조하면, 제1 웨이퍼(110) 하면으로 필터부(400)를 형성한다. 즉, 컬러 필터 어레이(410) 및 마이크로 렌즈(420)를 형성한다.

<54> 본 실시예의 이미지 센서 제조방법은 빛이 입사하는 필터부(400)와 반대 방향으로 배선 라인부(200)를 형성함으로써, 종래 빛이 배선 라인층을 거치면서 난반사나 절연막들 사이의 굴절율 차이에 기인한 광감도 저하문제를 효과적으로 배제시킬 수 있다. 또한, 제2 웨이퍼를 포토 다이오드부(100)로 접합한 후에 배선 라인부(200)가 형성되기 때문에, 트랜스퍼 게이트 트랜지스터, 신호처리 및 제어 트랜지스터와 배선 라인들 간의 수직 컨택 또는 홀을 작은 선폭을 가지고 용이하게 형성할 수 있다.

<55> 한편, 본 실시예의 이미지 센서 제조방법은 포토 다이오드부가 포토 다이오드 하나당 1개의 트랜지스터, 즉 트랜스퍼 게이트 트랜지스터만을 포함하도록 형성하므로 수광영역의 포화도를 극대화시킬 수 있는 장점을 가진다.

<56> 지금까지, 본 발명을 도면에 도시된 실시예를 참고로 설명하였으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

<57> 이상에서 상세히 설명한 바와 같이 본 발명에 따른 후면 조명 구조의 이미지 센서 및 그 제조 방법은 메탈 배선

SIONYX1403000022.0110

SAMSUNG EX. 1002 - 2072/4148

라인이 포토 다이오드 전면으로 배치되고 필터부가 후면으로 배치됨으로써, 종래 메탈 배선 라인층의 존재에 인해 발생하던 광감도 저하 문제를 효과적으로 배제시킬 수 있다.

<58> 또한, 포토 다이오드부에 하나의 포토 다이오드 당 1개의 트랜지스터만을 포함하는 구조로 형성됨으로써, 수광 영역의 포화도를 극대화시킬 수 있다.

<59> 더 나아가 제2 웨이퍼를 접합한 후에 트랜지스터 및 배선 라인들이 형성됨으로써, 트랜지스터 및 배선들 간의 수직 컨택 또는 비아를 용이하게 형성할 수 있는 장점을 갖는다.

도면의 간단한 설명

<1> 도 1은 종래의 3차원 집적(3D-integration) 방식의 CMOS 이미지 센서를 개략적으로 보여주는 단면도이다.

<2> 도 2는 본 발명의 일 실시예에 따른 후면 조명 구조의 이미지 센서를 개략적으로 보여주는 단면도이다.

<3> 도 3a ~ 3i는 본 발명의 다른 실시예에 따른 후면 조명 구조의 이미지 센서 제조방법을 보여주는 단면도들이다.

<4> <도면에 주요부분에 대한 설명>

<5> 100: 포토 다이오드부 110,110a:제1 웨이퍼

<6> 120: 포토 다이오드 130: 플로팅 디퓨전 영역

<7> 140: 트랜스퍼 게이트 트랜지스터 150: 제1 절연층

<8> 200: 배선 라인부 210,210a: 제2 웨이퍼

<9> 220: 신호처리 및 제어 트랜지스터 230: 배선 라인

<10> 232: 제1 배선 라인 234: 제2 배선 라인

<11> 236: 제3 배선 라인 240: 수직 컨택 또는 비아

<12> 250: 제2 절연층 300: 지지대 기판

<13> 400: 필터부 410: 필터 어레이

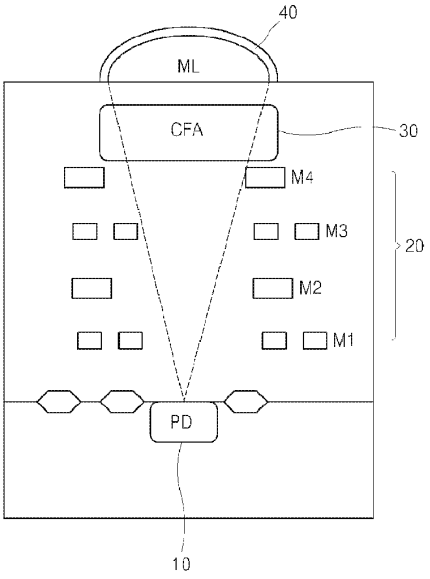
<14> 420: 마이크로 렌즈

SIONYX1403000022.0111

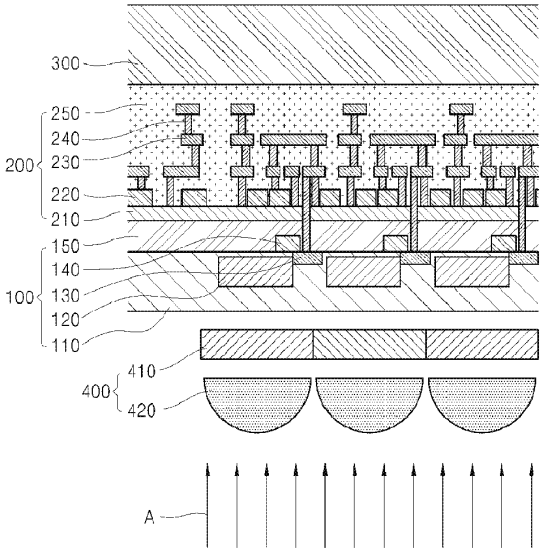
SAMSUNG EX. 1002 - 2073/4148

도면

도면1



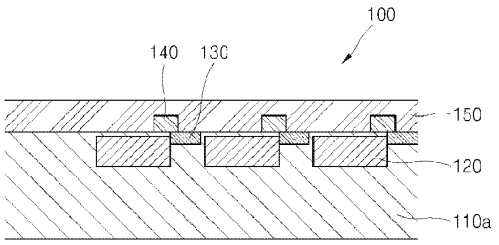
도면2



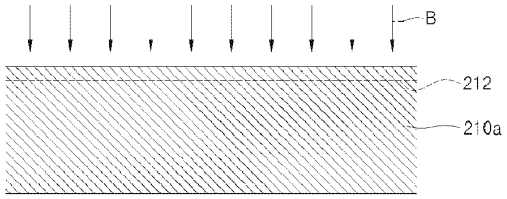
SIONYX1403000022.0112

SAMSUNG EX. 1002 - 2074/4148

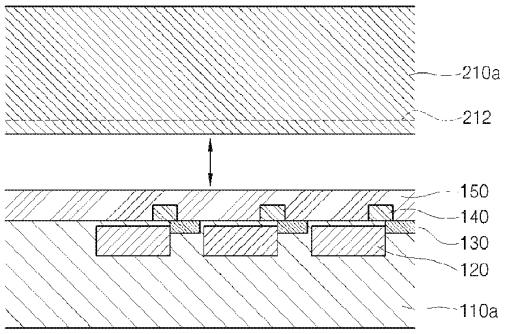
도면3a



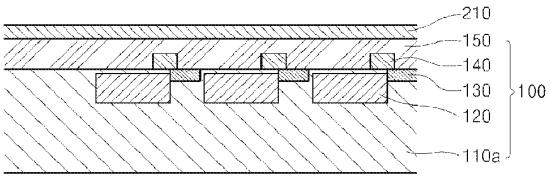
도면3b



도면3c



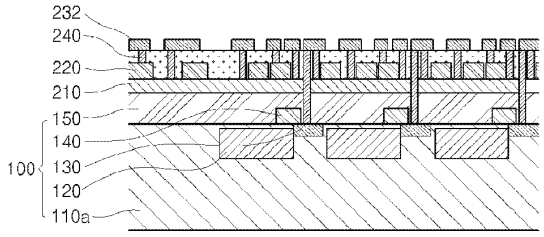
도면3d



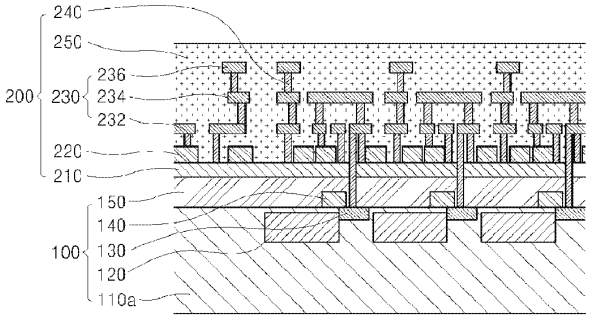
SIONYX1403000022.0113

SAMSUNG EX. 1002 - 2075/4148

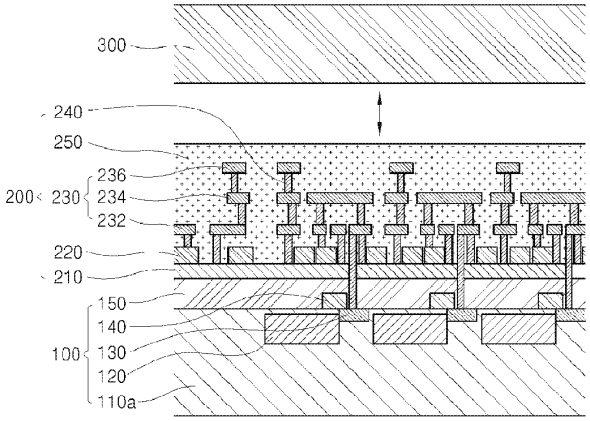
도면3e



도면3f



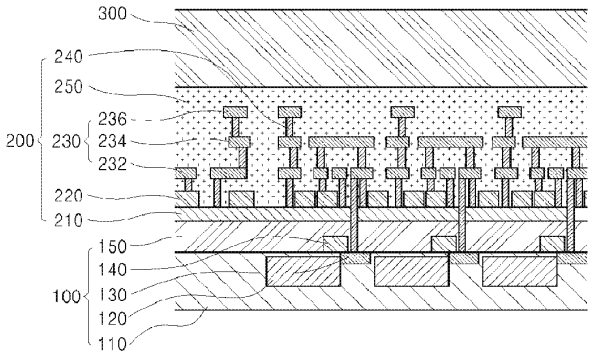
도면3g



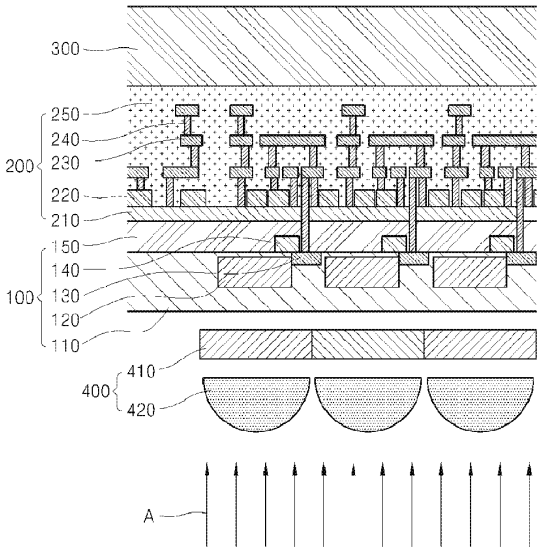
SIONYX1403000022.0114

SAMSUNG EX. 1002 - 2076/4148

도면3h



도면3i



SIONYX1403000022.0115

SAMSUNG EX. 1002 - 2077/4148

No documents available for this priority number.

Espacenet

Bibliographic data: KR20010061058 (A) — 2001-07-07

METHOD FOR MANUFACTURING IMAGE SENSOR

Inventor(s): PARK GI NAM [KR] ± (PARK, GI NAM)

Applicant(s): HYNIX SEMICONDUCTOR INC [KR] ± (HYNIX SEMICONDUCTOR INC)

Classification: **- international:** ***H01L27/146;*** (IPC1-7): H01L27/146
- cooperative:

Application number: KR19990063539 19991228

Priority number(s): KR19990063539 19991228

Also published as: KR100683390 (B1)

Abstract of KR20010061058 (A)

PURPOSE: A method for manufacturing an image sensor is provided to improve quantum efficiency and sensitivity, by additionally depositing a dielectric layer of a low absorption rate between a photodiode and an initial interlayer dielectric to improve illuminance of incident light. CONSTITUTION: A photodiode region and a peripheral device are formed on a substrate(41). The first insulating layer in which an index of refraction, Nx is a square root of N0N and a thickness, Tx is (2n-1)lambda/4Nx (n=0,1,2,3,...), is formed on the photodiode region. The first insulating layer is eliminated to be left only on the photodiode region. The second insulating layer is formed on the resultant structure.

Last updated: 13.03.2013 Worldwide Database 5.8.6.6; 92p

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
H01L 27/146

(11) 공개번호 특2001- 0061058
(43) 공개일자 2001년07월07일

(21) 출원번호 10- 1999- 0063539
(22) 출원일자 1999년12월28일

(71) 출원인 주식회사 하이닉스반도체
박종섭
경기 이천시 부발읍 아미리 산136- 1

(72) 발명자 박기남
경기도이천시부발읍신하리362- 3신한아파트101- 305

(74) 대리인 특허법인 신성 박해천
특허법인 신성 원석희
특허법인 신성 최종식
특허법인 신성 박정후
특허법인 신성 정지원

심사청구 : 없음

(54) 이미지센서의 제조 방법

요약

입사광의 조도를 향상시켜 양자효율 및 광감도를 개선하는데 적합한 이미지센서 제조 방법에 관한 것으로, 이를 위한 본 발명은 기판에 포토다이오드영역 및 주변소자를 형성하는 제 1 단계, 상기 포토다이오드영역 상부에 굴절율 $N_X=\sqrt{N_o N_s}$ 이고 두께 $T_x=(2n-1)\frac{\lambda}{4N_x}\ [n=0,1,2,3,\ldots]$ 인 제1절연층을 형성하는 제 2 단계, 상기 포토다이오드영역의 상부에만 남도록 상기 제1절연층을 제거하는 제 3 단계, 상기 결과물 상에 제2절연층을 형성하는 제 4 단계를 포함하여 이루어진다.

대표도
도 3f

색인어
이미지센서, 포토다이오드, 조도, 굴절율, PMD

명세서

SIONYX1403000022.0117

SAMSUNG EX. 1002 - 2079/4148

도면의 간단한 설명

도 1 은 일반적인 CMOS 이미지센서의 단위화소를 나타낸 등가회로도,

도 2 는 종래기술의 이미지센서의 단위화소 제조 방법을 나타낸 제조 공정 단면도,

도 3a 내지 도 3f 는 본 발명의 실시예에 따른 이미지센서의 단위화소 제조 방법을 나타낸 제조 공정 단면도,

도면의 주요 부분에 대한 부호의 설명

41 : 반도체 기판 47 : 포토다이오드

51 : 버퍼유전층 53 : PMD

57 : 제1금속배선 60 : 층간절연막

63 : 소자보호막 64 : 컬러필터

66 : 마이크로렌즈

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 이미지센서에 관한 것으로, 특히 입사광의 조도(Illuminance)를 향상시킨 CMOS 이미지센서(Image sensor)에 관한 것이다.

일반적으로 이미지센서에는 CCD(Charged Coupled Device) 이미지센서와 CMOS 이미지센서를 이용하는데, 통상의 CCD 이미지센서는 외부의 피사체이미지를 촬상한 빛을 흡수하여 광전하를 모으고 축적하는 광전변환 및 전하축적부, 상기 광전변환 및 전하축적부에서 발생된 전하를 운송하기 위한 전하운송부 및 상기 전하운송부로부터 운송된 광전하를 전기적신호로 출력하는 신호변환부로 구성된다.

여기서 광전변환 및 전하축적부는 주로 포토다이오드(Photodiode;PD)를 사용하는데, 포토다이오드(PD)는 PN접합을 이용하여 포텐셜웰(Pontential well)을 형성시키고 빛(Light)에 의해 발생된 전하를 포텐셜웰에 축적해 두는 소자이다. 그리고 전하축적부에서 발생된 전하는 포토다이오드(PD)의 포텐셜웰에 갇혀있는데, 이 포텐셜웰을 움직임으로써 필요한 곳으로 전하를 운송할 수 있다. 또한 신호변환부는 운송된 전하로부터 전압을 발생시킨다. 한편, 신호검출이 끝나면 다음 차례를 기다리는 전하를 위하여 현재 포텐셜웰의 전하는 배출할 필요가 있는데, 이를 위하여 신호변환부의 포텐셜웰의 장벽을 제거하여 전하를 배출하는데 이를 리셋(Reset)이라고 한다.

이처럼 CCD 이미지센서는 CMOS 이미지센서와 달리 트랜지스터에 의한 스위칭방식이 아니라 전하결합에 의해서 신호를 검출한다. 그리고, 단위화소(Unit pixel)에 해당하고 광감지역할을 하는 포토다이오드(PD)는 광전류를 즉시 추출하지 않고 일정시간 누적시킨 다음 추출하므로 신호전압을 누적시간만큼 증가시킬 수 있어 광감도(Sensitivity)가 좋고, 노이즈(Noise)를 감소시킬 수 있는 장점이 있는 반면, 광전하를 계속 운송해야 하므로 구동방식이 복잡하고, 약 8 ~ 10V의 고전압 및 1W이상의 고전력이 소모된다.

SIONYX1403000022.0118

SAMSUNG EX. 1002 - 2080/4148

반면 CMOS 이미지센서는 CCD 이미지센서에 비하여 전기광학적 특성에서 열세를 보이고 있으나, 저소비전력과 집적도 측면에서는 CMOS 이미지센서가 CCD 이미지센서보다 우수하다.

이러한 전기광학적 특성 중 외부양자효율(External Quantum Efficiency) 및 광감도(Sensitivity) 특성은 이미지센서의 품질(Quality)을 좌우하는 특성으로서, 특히 단위 시간당 포획할 수 있는 이미지프레임(Image frame) 및 이미지 품질(Image quality) 등을 결정하는 매우 중요한 특성이다.

도 1은 통상의 CMOS 이미지센서의 단위화소를 나타낸 등가회로도로서, 1개의 포토다이오드(PD)와 4개의 NMOS트랜지스터(Tx,Rx,Sx,Dx)로 구성되며, 상기 4개의 NMOS트랜지스터(Tx,Rx,Sx,Dx)는 포토다이오드(PD)에서 집속된 광전하를 플로팅노드 (Floating node; X)로 운송하기 위한 트랜스퍼트랜지스터(Tx), 원하는 값으로 노드의 전위를 세팅하고 전하를 배출하여 플로팅노드를 리셋(Reset) 시키기 위한 리셋트랜지스터(Rx), 소오스팔로워 버퍼증폭기(Source Follower Buffer Amplifier) 역할을 하는 드라이브트랜지스터(Dx), 스위칭(Switching) 역할로 어드레싱(Addressing)을 할 수 있도록 하는 셀렉트트랜지스터(Sx)로 구성된다.

도 2 는 종래기술에 따른 CMOS 이미지센서의 단위화소 제조 방법을 개략적으로 나타낸 도면이다.

도 2 에 도시된 바와 같이, 종래기술의 CMOS 이미지센서의 단위화소는, P형 반도체기판(11)에 국부적으로 P형 웰(12)을 형성한 다음, 단위화소간의 분리를 위한 필드절연막(13)을 형성한다. 이어 상기 P형 반도체기판(11) 내부에 P-N접합층 (17a,17b)을 형성하여 포토다이오드(PD)를 이루고, 상기 반도체기판(11)에 상기 포토다이오드(PD)로부터 생성된 전하를 전달받아 저장하는 플로팅접합층(18a)을 형성한다.

이어 상기 포토다이오드(PD)로부터 플로팅접합층(18a)으로 상기 광전하를 전달하기 위한 트랜스퍼트랜지스터(Tx)의 게이트전극을 형성하며, 상기 플로팅접합층 (18a)을 리셋시키기 위한 리셋트랜지스터(Rx)의 게이트전극을 형성한다. 이어 상기 플로팅접합층(18a)에 전기적으로 접속된 게이트전극을 갖는 드라이브트랜지스터 (Dx)와 어드레싱을 위한 신호를 자신의 게이트전극으로 인가받는 셀렉트트랜지스터 (Sx)를 형성한다. 이 때, 상기 리셋트랜지스터(Rx)와 드라이브트랜지스터(Dx)는 공통접합층(18b)을 가지며, 상기 공통접합층(18b)은 상기 반도체기판(11)과 P형 웰(12)의 경계에 형성된다. 이어 상기 필드절연막(13)의 일측에 셀렉트트랜지스터 (Sx)의 게이트전극을 형성하며, 상기 드라이브트랜지스터(Dx)와 셀렉트트랜지스터 (Sx)는 LDD(Lightly Doped Drain) 구조의 불순물접합층(19)이 형성된다. 여기서 게이트전극은 게이트산화막(14), 폴리실리콘(15)과 텅스텐실리사이드(16)로 이루어지며, 게이트전극의 측벽에는 측벽스페이서(20)가 형성된다.

그리고 상기 4개의 트랜지스터(Tx,Rx,Dx,Sx) 상부에 광투과를 위한 제1층간절연막(21,22)과 제2층간절연막(23,24,25)을 형성하고, 상기 제1,2층간절연막들 (21,22,23,24,25)을 선택적으로 식각하여 상기 트랜지스터들(Tx,Rx,Dx,Sx)을 외부소자와 연결하기 위해 티타늄/알루미늄/티타늄나이트라이드(26,27,28)의 적층막으로 이루어진 제1,2금속배선을 형성한다. 또한 상기 제2금속배선 상부에 습기 또는 스크래치(Scratch)로부터 소자를 보호하기 위해 산화막(29) 및 질화막(30)으로 이루어진 소자보호막을 형성하며, 상기 소자보호막 상부에 컬러이미지 구현을 위해서 상기의 단위화소 배열위에 적색, 초록색 및 청색 또는 황색, 자홍색, 청록색으로 구성된 컬러필터(31)의 배열(Color Filter Array; CFA) 공정을 진행한다. 이어 상기 컬러필터(31)의 배열 상부에 평탄층(32)을 형성한 다음, 상기 평탄층(32) 상부에 컬러필터(31) 배열에 대향하는 마이크로렌즈(33)를 형성한다.

이와 같은 공정이 모두 완료된 후 광감지영역인 포토다이오드 상부에는 광투과를 위한 제1,2층간절연막(21,22,23,24,25), 소자보호막(29,30), 컬러필터(31) 및 마이크로렌즈(33)만이 위치하게 된다.

SIONYX1403000022.0119

SAMSUNG EX. 1002 - 2081/4148

상술한 바와 같이, 종래기술에서는 외부양자효율 및 광감도의 특성을 향상시키기 위해 단위화소마다 마이크로렌즈(33)를 형성하여 입사광을 집속시키고 있으나, 마이크로렌즈(33)로 집속된 입사광은 마이크로렌즈(33)의 중심부와 주변부의 입사각도가 달라지므로 같은 수의 광량(Photon flux)이 집속되었다 하더라도 단위화소의 중심부와 주변부로 입사되는 광자(Photon)의 조도는 달라지게 된다.

즉 단위화소의 중심(θ = "θ_c = "0)으로" 입사되는 광자의 조도를 i_c라 하면, 단위화소의 주변으로 입사각도 θ = "θ_E로 입사되는 광자의 조도 i_E는 $i_c \times \cos^4\theta$ 에 비례하므로 $\cos^4\theta$ 만큼 감소하게 된다. 따라서 단위화소로 입사되는 광자의 입사각도를 줄여주어야만 한다.

이러한 이미지센서의 특성을 향상시키기 위해 반도체기판(11)은 동일한 가시광선영역에서 4.72~ 3.48의 굴절율(N_S)을 가지며, 단위화소의 포토다이오드(PD)를 형성한 후 포토다이오드(PD) 표면에 최초로 증착되는 절연층(PMD)(21,22)은 통상적으로 가시광선영역대(450~635nm)에서 1.48~ 1.46의 굴절율(N_O)을 갖는다. 그리고 마이크로렌즈(33)는 폭이 7.5㎛, 높이가 2.6㎛로 형성된다.

이와 같은 조건의 단위화소로 입사되는 입사광의 최초 입사각은 0(degree)이지만, 마이크로렌즈(33)에 부딪히는 순간 입사광의 입사각은 공기에서 마이크로렌즈로(33)의 매질차와 마이크로렌즈(33)의 곡률에 의하여 변하게 된다. 즉, 최초 공기중에서 입사각이 0(degree)인 입사광이 마이크로렌즈(33)의 중심부로 입사될 때의 입사각은 0(degree)이 되고 마이크로렌즈(33)의 가장자리 부분으로 입사될 때의 입사각은 33.5(degree)가 된다. 이렇게 단위화소의 포토다이오드(PD) 부분으로 입사광이 전파되어 입사되며, 최종 포토다이오드(PD)로 입사되는 입사광의 입사각도가 포토다이오드(PD)에로의 입사광 조도를 결정하게 된다.

따라서, 이미지센서에서 포토다이오드(PD)로 최종 입사되는 입사각도는 37 (degree)가 된다. 그러므로 단위화소의 포토다이오드(PD)가 받아들일 수 있는 중심대비 주변의 상대 조도량은 $\cos^4(37)$ = "0.488" 이 된다. 다시말하면, 포토다이오드(PD) 중심에서의 조도가 100%이면 마이크로렌즈(33)의 가장자리에서 입사된 입사광이 포토다이오드(PD)로 입사될 때의 조도는 48,8% 로, 포토다이오드(PD)의 주변부에서는 약 51.2%의 광량이 손실되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기의 문제점을 해결하기 위해 안출한 것으로서, 포토다이오드와 최초 층간절연막 사이에 흡수율이 낮은 유전층을 추가로 증착하므로써 입사광의 조도를 향상시켜 양자효율 및 광감도를 개선하는데 적합한 이미지센서의 제조방법을 제공함에 그 목적이 있다.

발명의 구성 및 작용

상기의 목적을 달성하기 위한 본 발명의 일실시예에 따른 이미지센서 제조 방법은 기판에 포토다이오드영역 및 주변소자를 형성하는 제 1 단계, 상기 포토다이오드영역 상부에 굴절율 $N_X=\sqrt{N_o N}$ 이고 두께 $T_x=(2n-1)\frac{\lambda}{4N_x}\ [n=0,1,2,3,\ldots]$ 인 제1절연층을 형성하는 제 2 단계, 상기 포토다이오드영역의 상부에만 남도록 상기 제1절연층을 제거하는 제 3 단계, 상기 결과물 상에 제2절연층을 형성하는 제 4 단계를 포함하여 이루어짐을 특징으로 한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

첨부도면 도 3a 내지 도 3f는 본 발명의 실시예에 따른 이미지센서의 단위화소 제조 방법을 나타낸 공정단면로서, 본 발명의 이미지센서의 단위화소는 통상의 단위화소와 동일한 구조를 갖는다.

SIONYX1403000022.0120

SAMSUNG EX. 1002 - 2082/4148

도 3a에 도시된 바와 같이, 실리콘기판(41)에 웰 형성을 위한 마스크공정을 실시하고 보론이온을 주입한 다음, 열공정을 실시하여 측면확산(Lateral diffusion)에 의한 P형 웰(42)을 형성한다. 여기서 상기 P형 웰(42)은 셀렉트트랜지스터(Sx)와 드라이브트랜지스터(Dx)가 형성되는 영역이다.

이어 단위화소간의 분리막 필드절연막(43)을 형성한 후 게이트산화막(44)을 형성하고 상기 게이트산화막(44) 상부에 단위화소 내 트랜지스터들의 게이트전극을 형성하기 위해 폴리실리콘(45)과 텅스텐실리사이드막(46)을 연속적으로 형성하고 마스크 및 식각 공정을 통해 다수의 게이트전극을 형성한다. 여기서 상기 다수의 게이트전극들은 각각 트랜스퍼트랜지스터(Tx), 리셋트랜지스터(Rx), 드라이브트랜지스터(Dx), 셀렉트트랜지스터(Sx)의 게이트전극으로 이용된다.

이어 상기 결과물 상부에 포토다이오드(PD)를 형성하기 위한 마스크 공정을 실시하고 N^- 도핑영역과 P^0 도핑영역을 형성하기 위한 N^- 이온주입과 P^0 이온주입을 트랜스퍼트랜지스터(Tx)의 게이트전극 일측면에서 자기정렬하도록 실시한다. 이 때 상기 P형 기판(41), N^- 도핑영역(47a) 및 P^0 도핑영역(47b)은 PNP구조의 포토다이오드(47)를 형성한다.

이어 드라이브트랜지스터(Dx)와 셀렉트트랜지스터(Sx)의 N형 LDD(Lightly Doped Drain) 이온주입을 위한 마스크 패턴을 형성하고 보론이온을 주입하여 LDD영역(49a)을 형성한다.

이어 트랜지스터들의 소오스/드레인 영역을 형성하기 위해 저압화학적기상증착법(Low Pressure Chemical Vapor Deposition; LPCVD)을 이용하여 저압산화막(LP- Oxide)을 증착하고 전면식각하여 게이트전극의 측벽에 접하는 산화막스페이서(50)를 형성한 후, 고농도 N형 불순물 이온을 위한 마스크패턴을 형성하여 N형 불순물 이온주입을 실시하여 불순물접합층들(49b)을 형성한다.

도 3b에 도시된 바와 같이, 상기 결과물 상부 특히 포토다이오드(PD)의 상부에 버퍼유전층(51)을 형성한다.

이 때 버퍼유전층(51)은 가시광선영역인 450~ 635nm 범위에 대하여 2.25~ 2.65의 굴절율을 갖는 유전층, 425~ 2113Å 의 두께를 갖는 유전층 또는 가시광의 흡수가 없는 물질 예를 들면, 실리콘이 다수 함유된 산화막(Silicon- rich Oxide), 옥시나이트라이드(Oxynitride) 또는 실리콘나이트라이드(Silicon nitride)를 포함하는 유전층 중 하나를 이용한다. 상기의 버퍼유전층(51)은 상기 포토다이오드(PD)로 입사되는 입사광의 조도를 증가시킨다.

이어 상기 버퍼유전층(51) 상부에 감광막을 도포하고 노광 및 현상으로 패터닝한 다음, 상기 패터닝된 감광막을 마스크로 하여 상기 포토다이오드영역을 제외한 부분의 버퍼유전층(51)을 습식 또는 건식식각한다.

도 3c에 도시된 바와 같이, 상기 결과물 상부에 저압화학적기상증착법(LPCVD)으로 제1TEOS(TetraEthylOrthoSilicate)막(52a)을 증착한 후, 상기 제1TEOS막(52a) 상에 상압화학적기상증착법(Atmospheric Pressure CVD; APCVD)을 이용하여 BPSG막(52b)을 증착한다. 이어 열처리를 실시하여 상기 BPSG막(52b)을 리플로우시킨다. 여기서 상기 제1TEOS막(52a) 및 BPSG막(52b)을 PMD(Premetal Dielectric Layer)(53)라 한다.

이어 상기 PMD(53) 상에 마스크공정을 거쳐 완충산화막식각용액(BOE)을 이용하여 등방성식각을 하고 플라즈마식각공정을 이용한 비등방성식각을 진행하여 상기 접합층들(49b)의 표면에 콘택홀을 형성한다. 이어 상기 콘택홀을 포함한 전면에 티타늄/알루미늄/티타늄나이트라이드(Ti/Al/TiN)(54,55,56)를 순서대로 증착한다음 마스크공정과 식각공정을 하여 제1금속배선(57)을 형성한다.

도 3d에 도시된 바와 같이, 상기 제1금속배선 상부에 플라즈마화학적기상증착법(Plasma Enhanced CVD; PECVD)을 이용하여 제2TEOS산화막(58)을 증착한 다음, SOG(Spin On Glass)산화막(59)을 두 번 도포하여 형성하고 열처리 및 플라즈마를 이용한 전면식각으로 평탄화한다. 이어 상기 평탄화된 SOG산화막(59) 상부에 플라즈마화학적기상증착(PECVD)법을 이용하여 층간절연막(60)을 증착한다.

도 3e에 도시된 바와 같이, 마스크공정을 거쳐 상기 층간절연막(60)을 완충산화막식각용액(BOE)으로 등방성식각하고

SIONYX1403000022.0121

SAMSUNG EX. 1002 - 2083/4148

플라즈마를 이용한 비등방성식각을 진행하여 제2금속배선을 위한 콘택홀을 형성한다. 이어 상기 콘택홀을 포함한 결과물 상부에 티타늄/알루미늄/티타늄나이트라이드(54a,55a,56a)를 순서대로 증착한 다음, 마스크공정과 식각공정을 하여 제2금속배선(61)을 형성한다. 이어 상기 제2금속배선(61) 상부에 플라즈마화학적기상증착법(PECVD)을 이용하여 소자보호막(63)으로서 산화막(62a)및 질화막(62b)을 증착한다.

도 3f에 도시된 바와 같이, 패드오픈(Pad open)을 위해 상기 질화막(62b) 및 산화막(62a)을 선택적으로 제거하여 상기 제2금속배선(61)의 소정 표면을 노출시킨다. 이어 상기 패드오픈지역과 단위화소 상부에 컬러물질(Dyed photoresistor;이하 컬러감광막)을 도포하고 현상공정으로 컬러필터(64)를 형성한다. 이어 상기 컬러필터(64) 상부에 마이크로렌즈의 균일한 형성을 위하여 마이크로렌즈평탄층(65)을 형성한 후 상기 마이크로렌즈평탄층(65) 상부에 마이크로렌즈(66)를 형성한다.

이와 같이 본 발명에서는 PMD 형성 전 포토다이오드(PD) 상부에 2.25~ 2.65의 굴절율을 가지며 425~ 2113Å 의 두께를 갖는 유전층을 형성하여 포토다이오드로 입사되는 입사광의 조도를 증가시킬 수 있다. 즉 입사광의 조도는 유전층의 굴절율과 두께에 의존한다.

상기 유전층 굴절율(Nx)은,

$$N_x = \sqrt{N_o N_s}$$

이고, 또한 상기 유전층의 두께(Tx)는,

$$T_x = (2n-1)\frac{\lambda}{4N_x} \quad [n=0,1,2,3,\ldots]$$

이다. 이 때 상기 N_O는 후속공정에서 형성되는 PMD의 굴절율(="1.48~ 1.46)이고," N_S는 기판(41)의 굴절율(="4.72~ 3.48)이다.

이와 같이 흡수율이 낮은 버퍼유전층을 추가로 증착하면 입사광의 가시광선영역대에서 포토다이오드의 중심부 대비 주변부의 상대 조도량을 약 50% 향상시킬 수 있다. 예를 들면 λ ="635nm," Nx="2.261," Tx="700Å " 조건으로 증착된 버퍼유전층은 중심 대비 주변의 상대 조도량이 71.9%로 입사광의 조도를 현저히 향상시킬 수 있다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

상술한 본 발명은 통상의 CMOS 및 CCD 이미지센서의 제조공정을 적용하고 포토다이오드 상부에 버퍼유전층을 형성하여 입사광에 대한 포토다이오드의 중심부 대비 주변부의 상대 조도량을 증가시키므로써 이미지센서의 양자효율 및 광감도를 향상시킬 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

SIONYX1403000022.0122

SAMSUNG EX. 1002 - 2084/4148

이미지센서 제조 방법에 있어서,

기판에 포토다이오드영역 및 주변소자를 형성하는 제 1 단계;

상기 포토다이오드영역 상부에 굴절율 $N_X=\sqrt{N_o N_x}$ 이고 두께 $\frac{(2n-1)\lambda}{4N_x}$ $(n=0,1,2,3,\ldots)$ 인 제1절연층을 형성하는 제 2 단계;

상기 포토다이오드영역의 상부에만 남도록 상기 제1절연층을 제거하는 제 3 단계; 및

상기 결과물 상에 제2절연층을 형성하는 제 4 단계

를 포함하여 이루어짐을 특징으로 하는 이미지센서 제조 방법.

청구항 2.

제 1 항에 있어서,

상기 제 4 단계 후,

상기 결과물 상부에 금속배선 및 소자보호막을 형성하는 제 5 단계를 포함하여 이루어지며,

상기 결과물 상부에 컬러필터와 마이크로렌즈를 형성하는 제 6 단계를 더 포함하여 이루어짐을 특징으로 하는 이미지센서 제조 방법.

청구항 3.

제 1 항에 있어서,

상기 제 2 단계에서,

상기 제1절연층은 425~ 2113Å 의 두께인 것을 특징으로 하는 이미지센서 제조 방법.

청구항 4.

제 1 항에 있어서,

상기 제 2 단계에서,

상기 제1절연층은 2.25~ 2.65의 굴절율인 것을 특징으로 하는 이미지센서 제조 방법.

청구항 5.

제 1 항에 있어서,

상기 제 2 단계에서,

상기 제1절연층으로 무반사층을 이용함을 특징으로 하는 이미지센서 제조 방법.

SIONYX1403000022.0123

SAMSUNG EX. 1002 - 2085/4148

청구항 6.

제 1 항에 있어서,

상기 제 2 단계에서,

상기 N_O는 상기 제2절연층의 굴절율이고, 상기 N_S는 상기 기판의 굴절율인 것을 특징으로 하는 이미지센서 제조 방법.

청구항 7.

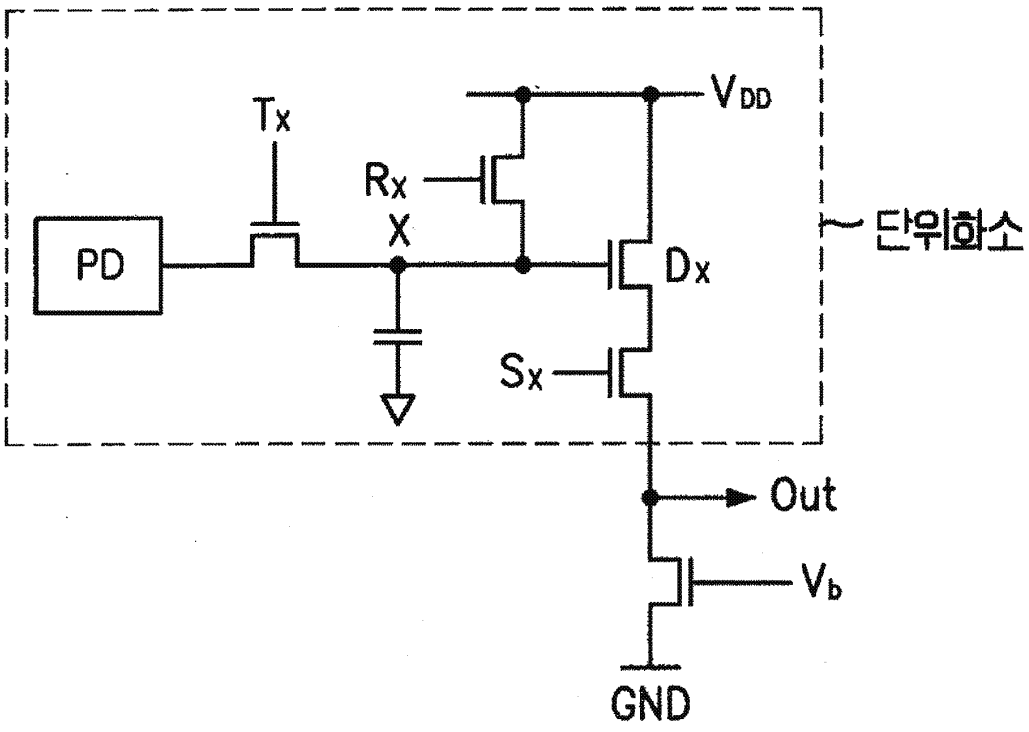
제 1 항에 있어서,

상기 제 2 단계에서,

상기 제1절연층은 실리콘이 다량 함유된 산화막, 옥시나이트라이드 또는 실리콘나이트라이드 중 어느 하나를 이용함을 특징으로 하는 이미지센서 제조 방법.

도면

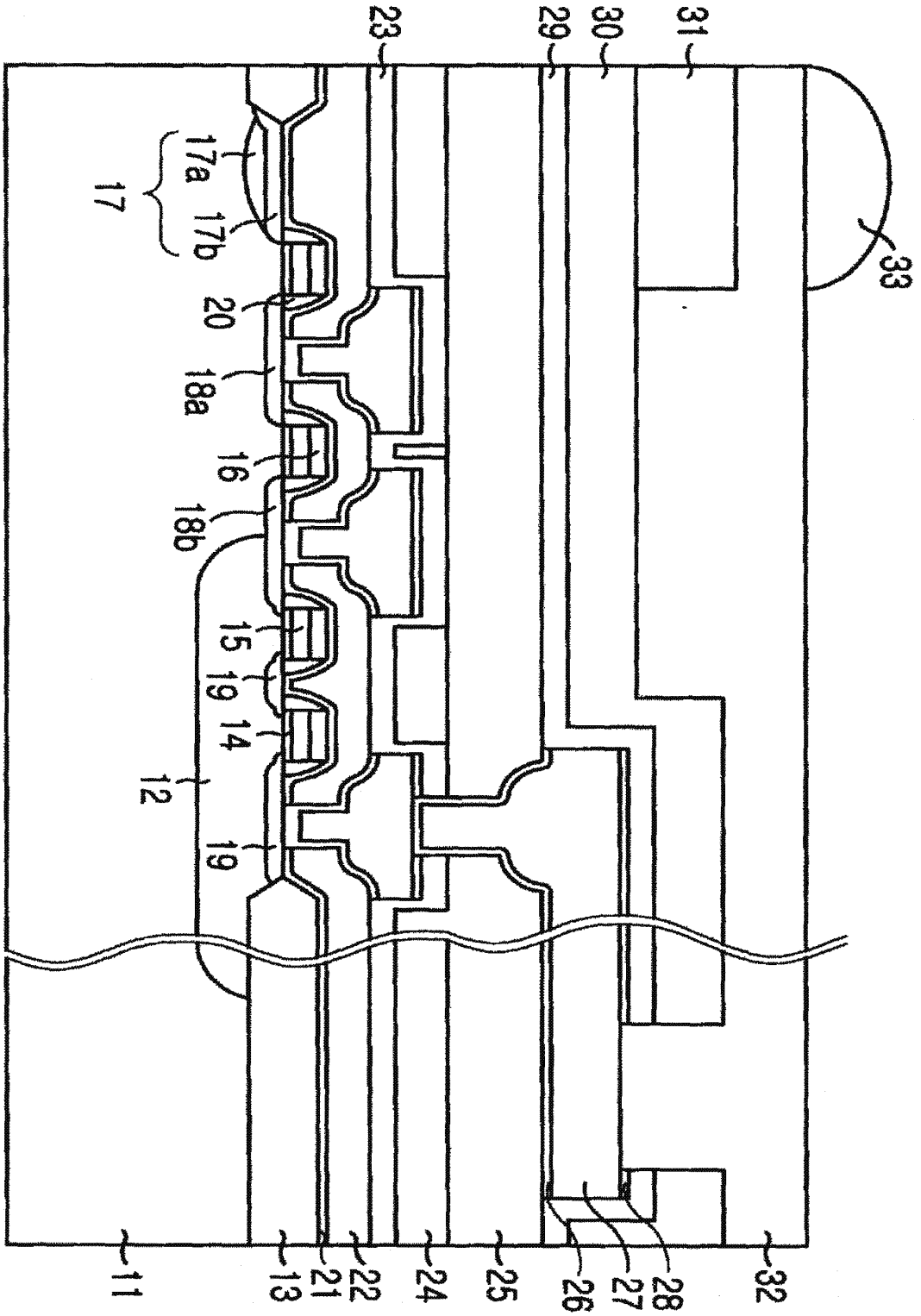
도면 1



SIONYX1403000022.0124

SAMSUNG EX. 1002 - 2086/4148

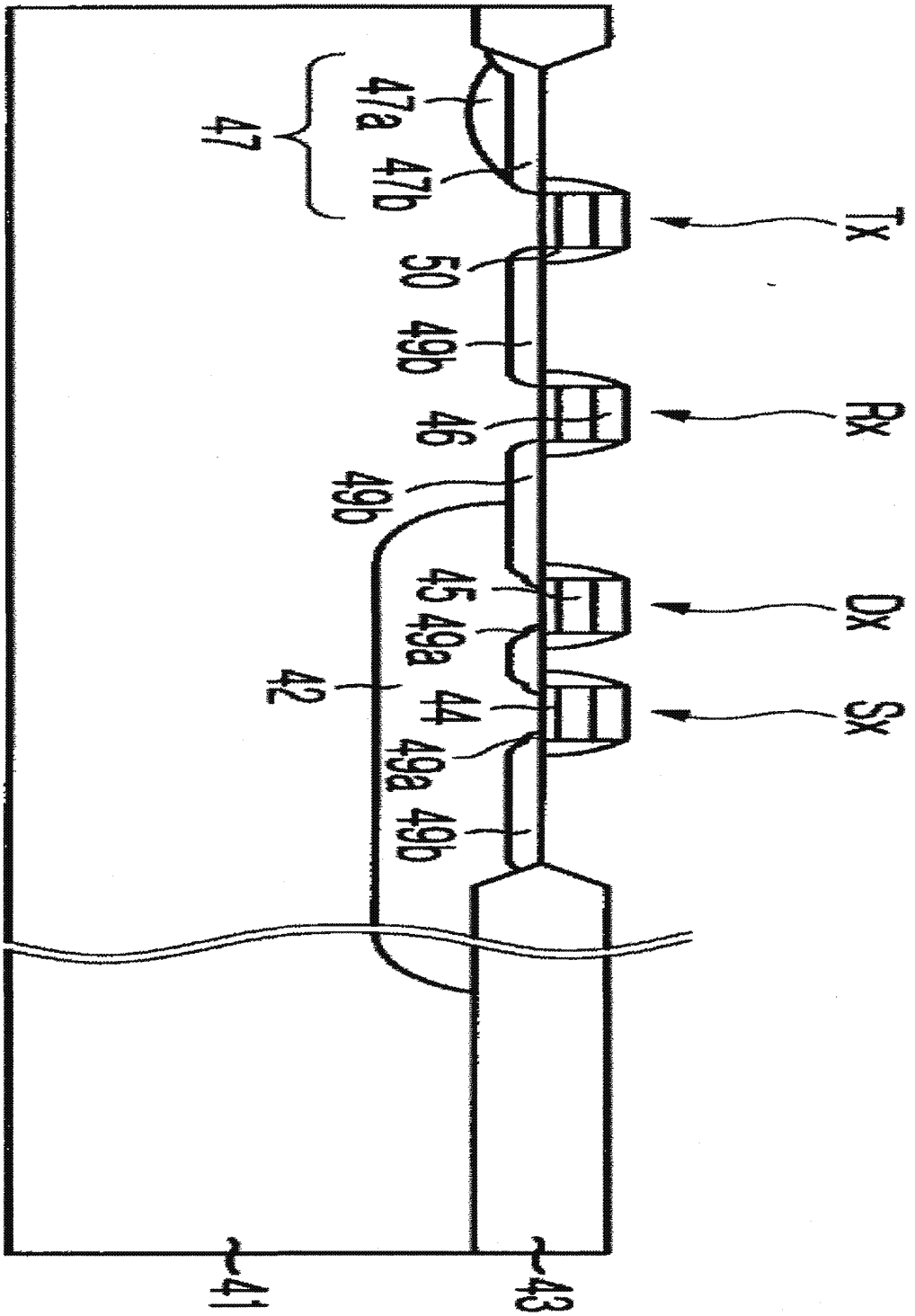
도면 2



SIONYX1403000022.0125

SAMSUNG EX. 1002 - 2087/4148

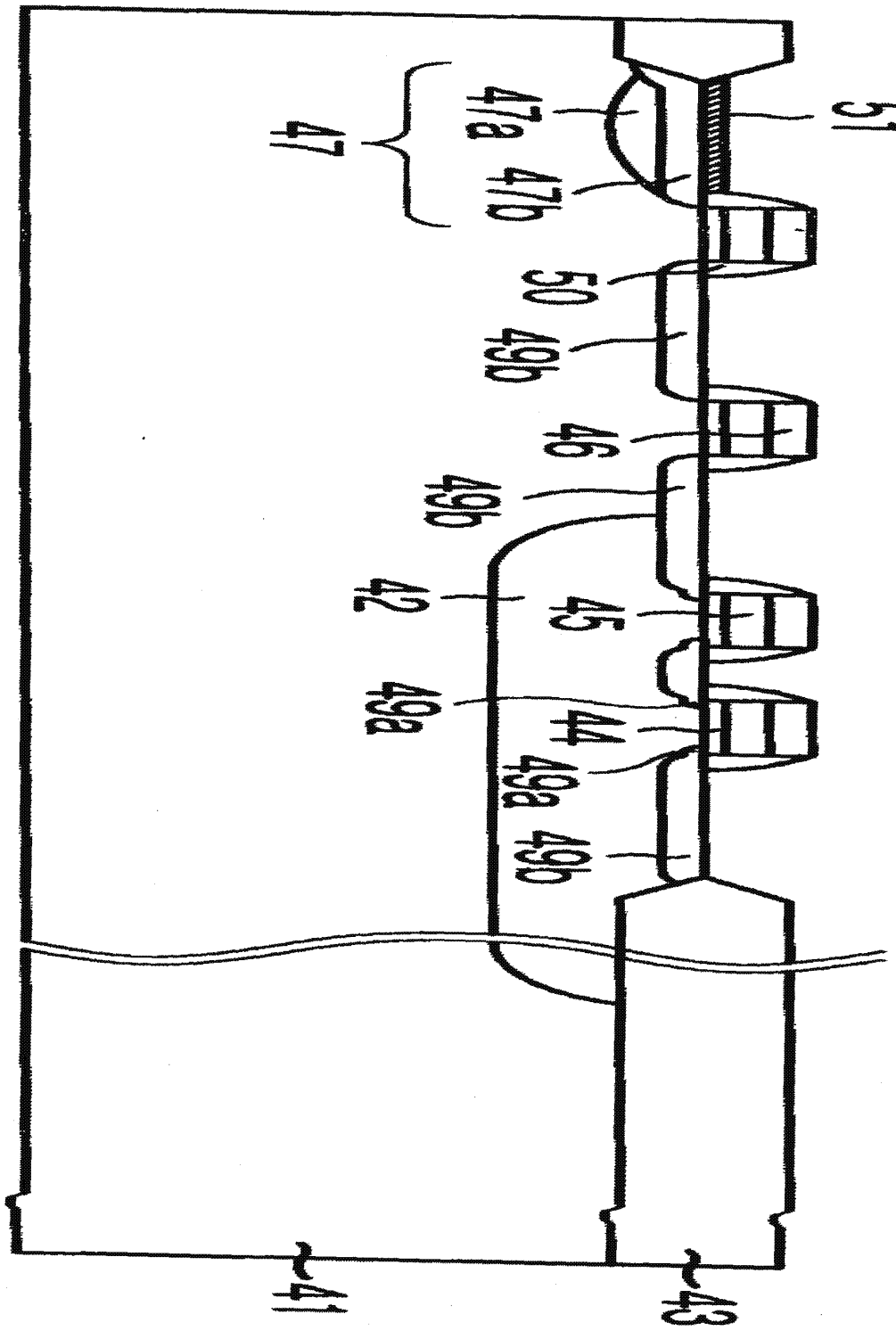
도면 3a



SIONYX1403000022.0126

SAMSUNG EX. 1002 - 2088/4148

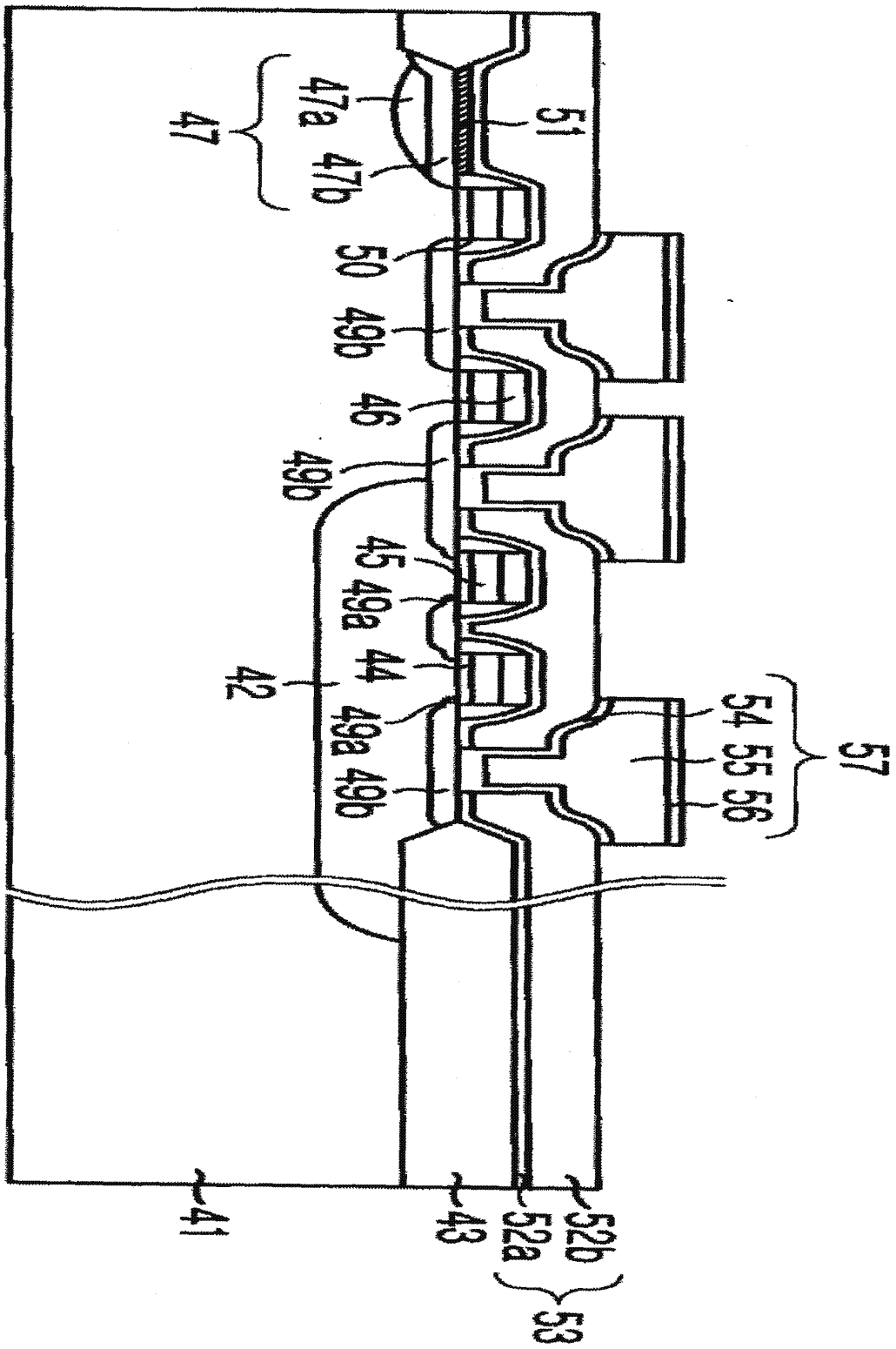
도면 3b



SIONYX1403000022.0127

SAMSUNG EX. 1002 - 2089/4148

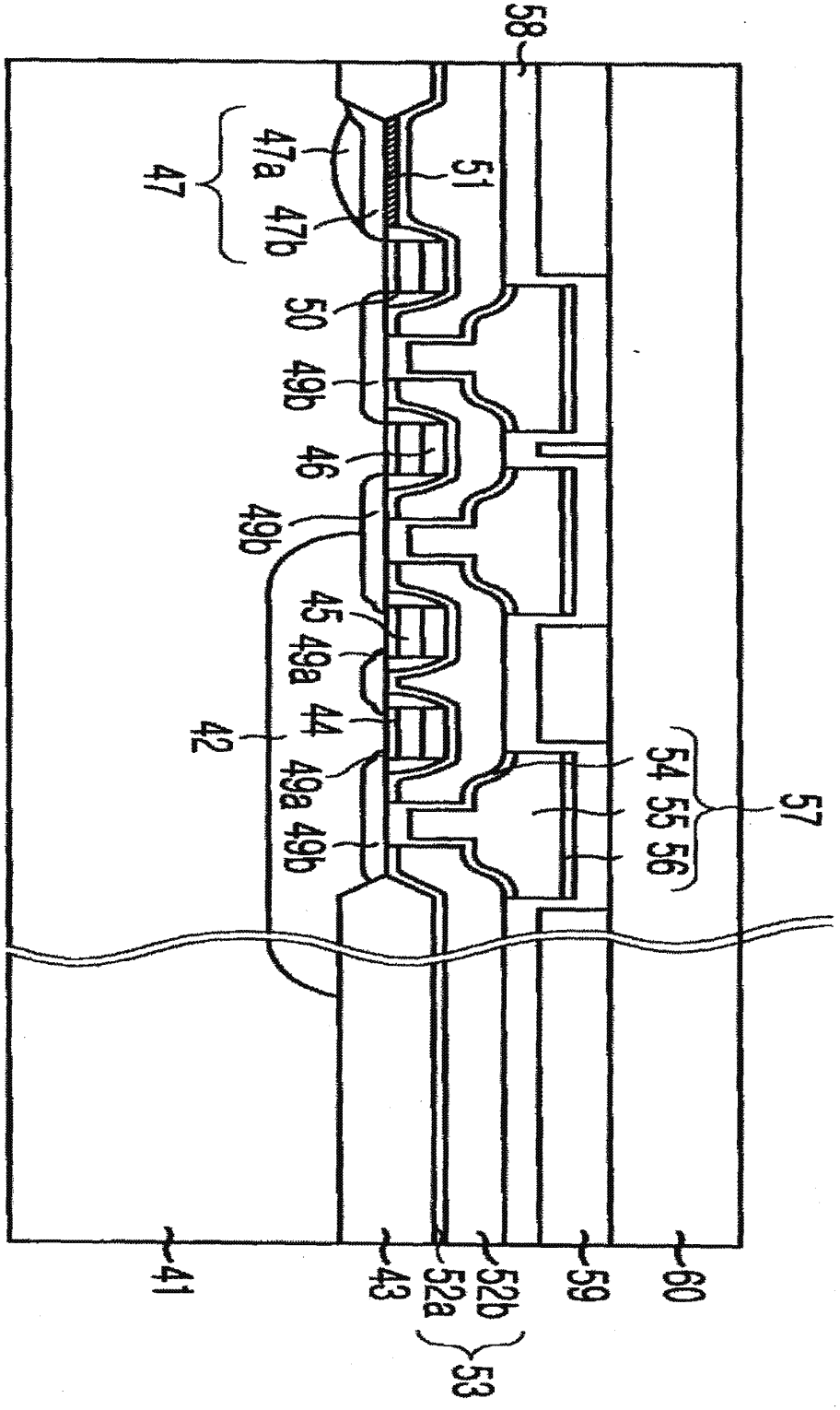
도면 3c



SIONYX1403000022.0128

SAMSUNG EX. 1002 - 2090/4148

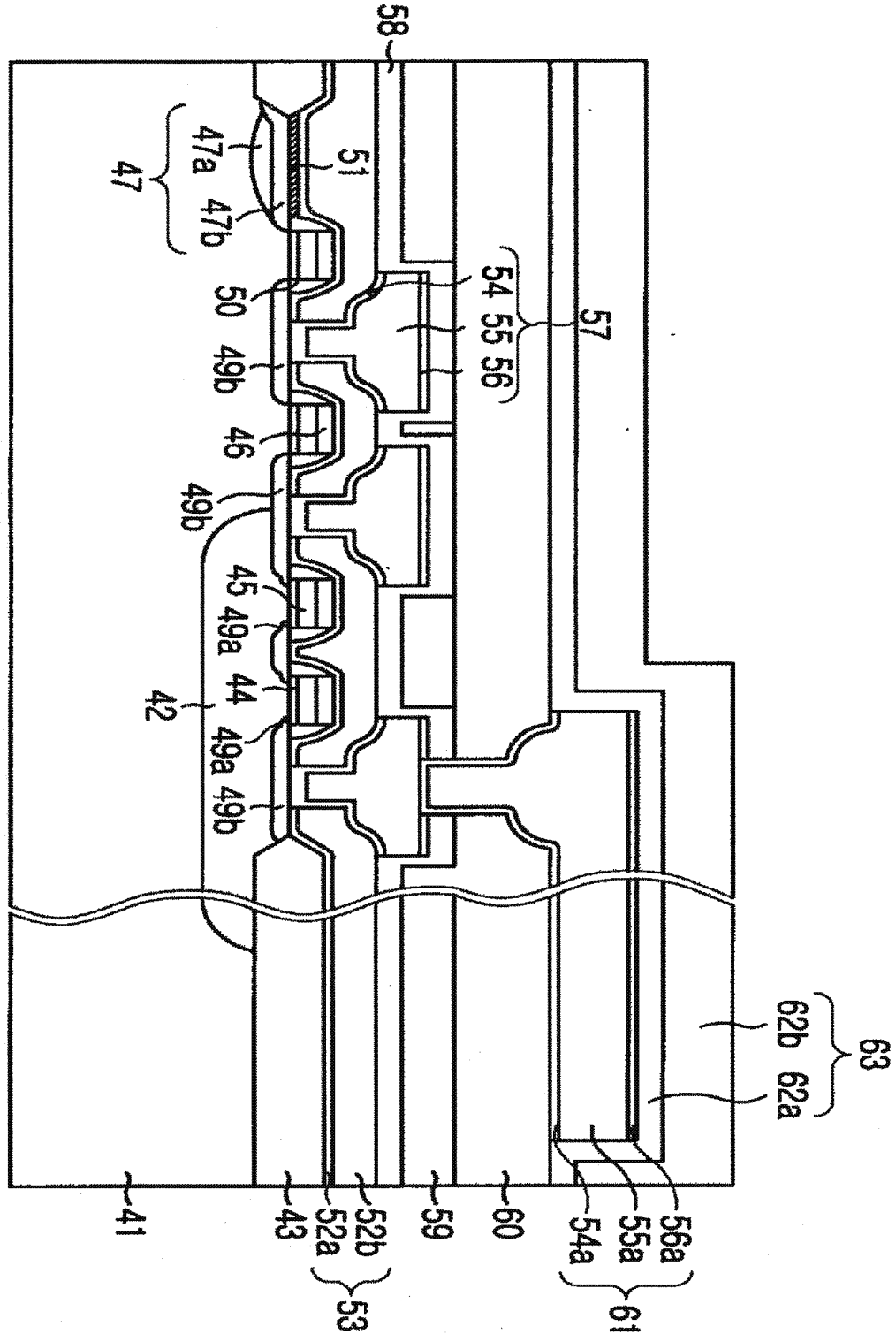
도면 3d



SIONYX1403000022.0129

SAMSUNG EX. 1002 - 2091/4148

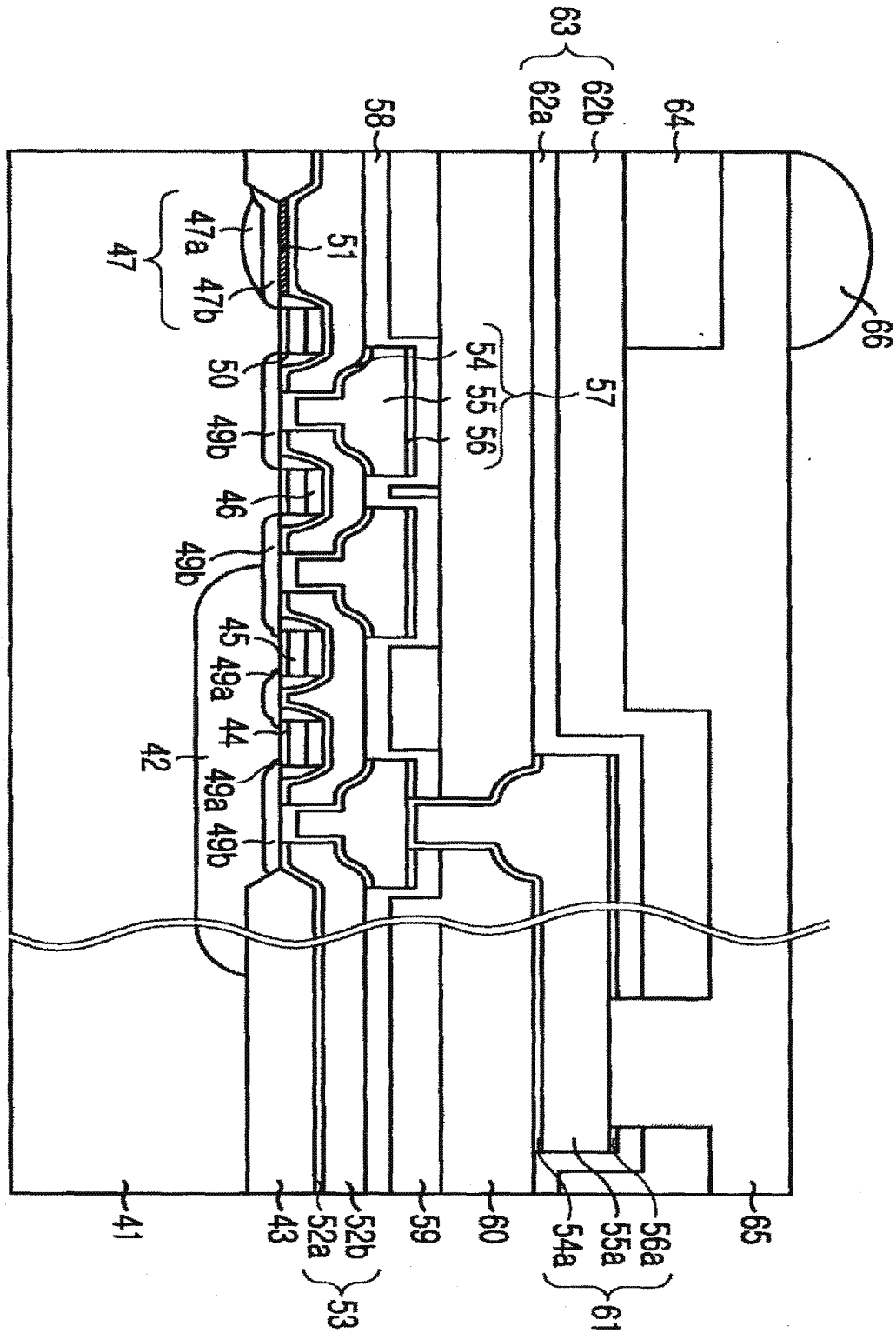
도면 3e



SIONYX1403000022.0130

SAMSUNG EX. 1002 - 2092/4148

도면 3f



SIONYX1403000022.0131

SAMSUNG EX. 1002 - 2093/4148

DERWENT-ACC-NO: 2006-359100

DERWENT-WEEK: 200682

Copyright ©2013 Thomson Reuters

TITLE: Module integrated solar cell to exclude cutting work of solar cell using dielectric film for isolation of anode and cathode, and method for manufacturing the same

INVENTOR: YI J S

PATENT-ASSIGNEE: YI J S[YIJSI]

PRIORITY-DATA: 2003KR-074703 (October 24, 2003)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
KR 2005039273 A	April 29, 2005	KO
KR 543532 B1	January 20, 2006	KO

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
KR2005039273A	N/A	2003KR-074703	October 24, 2003
KR 543532B1	Previous Publ	2003KR-074703	October 24, 2003

INT-CL-CURRENT:

TYPE	IPC DATE
CIPP	H01 L 31/042 20060101

ABSTRACTED-PUB-NO: KR 2005039273 A

BASIC-ABSTRACT:

NOVELTY - A module integrated a solar cell and a method for manufacturing the same are provided to exclude a cutting work of a solar cell, an attachment of a connection tap and an adhesive(thermosetting resin) using a dielectric film for the isolation of an anode and a cathode.

DESCRIPTION - A p-type silicon substrate(120) has a pyramidal surface structure. A front surface anti-reflective coating(110) and a back surface dielectric thin film(130) are respectively formed on a front and back surface of p-type silicon substrate. An integrated base electrode(170) and emitter electrode(180) are buried the back surface dielectric thin film. A high density p.sup.++ type back surface electric field layer(140) and n.sup.++ type emitter layer(150) are formed by doping respectively both electrodes(170,180) for an ohmic contact with a solar cell emitter and base. A unit solar cell comprises one comb-shaped common base electrode(170) and the other comb-shaped common emitter electrode(180), a mutual connection therebetween is electrically insulated by a dielectric thin film(160). An anode output electrode(190a) and a cathode output electrode(190b) are respectively connected with one side of the base electrode and one side of the emitter electrode. The base electrode and the emitter electrode are insulated from the outside by a seal layer(200).(C) KIPO 2006Image 1/1

CHOSEN-DRAWING: Dwg.1/1

TITLE-TERMS: MODULE INTEGRATE SOLAR CELL EXCLUDE CUT WORK DIELECTRIC FILM ISOLATE ANODE CATHODE METHOD MANUFACTURE

DERWENT-CLASS: U12

EPI-CODES: U12-A02A5;

This document is performed by machine translation, and KIPO is not responsible for the result of translation

(19)The Korean Intellectual Property Office (KR)
Unexamined Patent Application (A)

(51) Int.Cl. 7
H01L 31/042

Application No	10-2003-0074703
Application Date	2003-10-24
Publication No	10-2005-0039273
Publication Date	2005-04-29
Agent	International Intellectual Property Law Firm "HONESTY & PATENT"
Inventor	Jun- Sin Lee
Applicant	Jun- Sin Lee
Examination	It has.
Title of Invention	Module Integrated Solar Cell And Method ForManufacturing The Same

Abstract

The invention relates to the module integrated solar cell and a manufacturing method thereof. And the solar cell (100) is manufactured with the method including step of forming the silver on the output electrode (190a) (190b) and step of forming the pyramid surface structure in the p-type silicon substrate (120): the step of forming the oxide film in front and back side of the p-type silicon substrate (120): the step of forming the base electrode (170) in the rear surface isolation film layer (130): the step of forming the n++ type emitter layer (150) in the rear surface isolation film layer (130): the step of forming the insulating film (160) among the unit solar cell (100'): the step of forming the p++ type back surface field (140) in the base electrode (170): emitter electrode (180), and the connecting electrode on the insulating film (160), the step of forming the sealing layer (200) in the rear surface of the p-type silicon substrate (120), and the step of inspecting the electrical characteristic.

Representative Drawing(s)

Fig. 3

Keyword(s)

The module integrated, solar cell, anti-reflection, silicon substrate, insulating film, emitter, P++, N++.

Description

SIONYX1403000022.0134

SAMSUNG EX. 1002 - 2096/4148

This document is performed by machine translation, and KIPO is not responsible for the result of translation

▩ Brief Explanation of the Drawing(s)

Figure 1 is a drawing showing the V-I characteristic curve the solar cell is connected. Figure 1a is a drawing showing the V-I characteristic curve the solar cell is connected in series. Figure 1b is a drawing showing the V-I characteristic curve the solar cell is connected in parallel.

Figure 2 is drawing showing the conventional solar cell module. The drawing 2a is the conventional solar cell module the illustrated configuration drawing. The drawing 2b is the combining sectional view.

Figure 3 is an illustrated configuration drawing the solar cell according to the invention.

Figure 4 is drawing showing the used substrate in the solar cell according to the present invention. Figure 4a is a drawing showing the kind of the monocrystalline silicon substrate. Figure 4b is a drawing showing the kind of the multi crystal silicon substrate.

Figure 5 is drawing showing the electrode portion the upper part of the solar cell to plane according to the invention. Figure 5a is a plane view showing the electrode structure of the output voltage 3V class. Figure 5b is a plane view showing the electrode structure of the output voltage 12V class.

Figure 6 is a block diagram showing the manufacturing method of the solar cell according to the present invention.

< The description of reference numerals showing the main elements in drawings >

10: solar cell 20: connection tab.

30: thermosetting resin 40: module back panel.

50: tempered glass.

100: solar cell 100': unit solar cell.

110: front side anti-reflective coating layer 120: p-type silicon substrate.

130: rear surface isolation film layer 140: p++ type back surface field.

150: n++ type emitter layer 160: insulating film.

170: base electrode 180: emitter electrode.

190a,190b: output electrode 200: sealing layer.

▩ Details of the Invention

▩ Purpose of the Invention

▪ The Technical Field to which the Invention belongs and the Prior Art in that Field

The invention relates to the module integrated solar cell and a manufacturing method thereof, and more specifically, to the module integrated solar cell which separates the anode and cathode of the solar cell

SAMSUNG EX. 1002 - 2097/4148

This document is performed by machine translation, and KIPO is not responsible for the result of translation

according to the insulating layer and which forms the integrated connecting electrode on this insulating layer and integrated and a manufacturing method thereof.

Generally, the power demand under the specific part is calculated in order to apply the solar cell to the specific system. The solar cell and the electric energy generated in the solar cell module are supplied to the required amount of electric power of load. The spare electric power amount the added value is additionally determined with the capacity of the solar cell module. In case of the silicon solar cell, as to the property, of obtaining from one solar cell the voltage is fixed to about 0.5V. The current can produce the current of the extent of about 30mA per the unit area according to the change of area.

Therefore, the solar cell is serially connected in order to enhance the necessary voltage of the module. The area of the solar cell is varied according to the necessary electric current capacity. At this time, the existing commercial battery capacity is therefore to 4, 8, twelve, 16, 24, 36, 54 etc with cascade connection and the solar cell module is comprised.

It is drawing in which the attached view shows the V-I characteristic curve 1 connects the solar cell. And figure 1a is drawing which is drawing and shows the V-I characteristic curve. The drawing 1b connects in parallel two solar cells showing the V-I characteristic curve two solar cells are connected in series.

As shown in FIG. 1a, V = Vc it is the same as that of the current size in which the current is generated in one battery when two solar cells were serially connected in the same solar radiation condition the twice of one battery voltage becomes as to both ends voltage1+ Vc2, I = Ic1= Ic2 becomes. Therefore, in case several solar cells are serially connected, the output current of the solar cell is the same as that of the current size generated in one battery. The output voltage can show like the equation (1).

$$Va = Ns \times Vc \quad (1)$$

Va: solar cell output voltage.

Ns: the number of solar cell which is serially connected.

Vc: the output voltage of the solar cell one.

Moreover, as shown in FIG. 1b, V = Vc the property of the solar radiation condition in which the solar cell is the same or material physicals1= Vc2, I = Ic1+ Ic2 becomes. Therefore, in case several solar cells are parallely connected the output current of the solar cell can show like the equation (2).

$$Ia(V) = Np \times I(V) \quad (2)$$

Ia(V): the output current of the solar cell.

Np: the number of solar cell connected in parallels.

I(V): the output current of the solar cell one.

In the meantime, if the production of solar battery as in the above and inspection finish, the attached view manufactures the solar cell module of 10 Watt diffusion level as illustrated in Figure 2b and 2a.

Firstly, the circuit weighing connection tab (20) which is the external wire material the solar cell (10) cut is electrically serially connected it fits to the necessary current capacity and the solar cell (10) is cut according to the power capacity of the goods and altogether connects the solar cell (10) is comprised.

SAMSUNG EX. 1002 - 2098/4148

This document is performed by machine translation, and KIPO is not responsible for the result of translation

And the circuit is put the seai upon as the tempered glass (50) in which the external light in the front side the circuit is comprised has the insulation property it well penetrates. Here, in the present preferred embodiment, it may be acceptable that it put the seal upon to the tempered glass (50). However it puts the seal upon to the aluminium foil or the plastic in which the insulating layer is coated.

Moreover, thermosetting resin (EVA) (30) with high transparency adding all kinds of the compounding chemicals and manufactures are coated epoxy resin which is the polymeric compound among the tempered glass (50) and circuit with and the solar ceil (10) is sealed hermetically. If the final inspection that the sealed solar cell (10) inspects the bonding process or the damage etc. generated in the modularization process is finished ail manufacturing processes are completed.

Here, the unexplained reference numeral "40" exhibits the module back panel.

▪ The Technical Challenges of the Invention

But there is a problem that it has many difficulties in the process of setting up the separate connection tab (20) in the electrode formed on to produce this kind of the conventional solar cell, is the solar cell module, the solar cell (10) front side and backside surface and connecting in arranging the solar cell (10) with the predetermined position. The poor contact between the connection tab (20) and the solar cell (10) are generated.

And there is a problem that in the solar cell module, the thermosetting resin (30) for the used hermetic sealing and adhesion discoloration and performance degradation are obligatorily caused in sunlight in exposure within the specified period, in other words, approximately, 10 year. The performance of the solar ceil module itself is lowered due to that in after all.

Thus, an object of the present invention is to provide the module integrated solar ceil in which the required additional process manpower, time, the module production consumption goods etc. are unnecessary and saving the manufacturing cost and a manufacturing method thereof in the cut and the cascade connection which are the price rise cause as to the solar cell module manufacture the integrated connecting electrode is formed on this insulating layer it is devised in order to cancel the problem and the anode and cathode of the solar cell are separated according to the insulating layer of the prior art as described above.

▪ Structure & Operation of the Invention

When connecting the unit solar ceil in which the module integrated solar cell of the invention for achieving the above-described purpose is made of the respective oxidized front side anti-reflective coating layer, the rear surface isolation film layer, the formed and integrated base electrode, which is laid under the rear surface isolation film layer and emitter electrode, the emitter electrode, which is common to the other comb-shaped and in front and back side of the p-type silicon substrate and the p-type silicon substrate having pyramid surface structure is common to the positive electrode to the high concentration p++ type back surface field, which respectively is doped in the solar cell emitter and base for the ohmic contact and is formed the n++ type emitter layer and one comb-shaped, it is comprised of the insulating film which it electrically insulates and the sealing layer insulating the respective connected anode output electrode, the cathode output electrode, the base electrode and emitter electrode in the base electrode of one side and emitter electrode of one side with outside.

And the insulating film, is the titanium oxide (TiO the base electrode is made of the aluminum (Al) metal2Silicon oxide (SiO.2It comprises any one.

Moreover, in the emitter electrode, and output electrode, and the insulating film, the silver (Ag) is screen-printed.

SAMSUNG EX. 1002 - 2099/4148

This document is performed by machine translation, and KIPO is not responsible for the result of translation

In the meantime, comprises the module integrated method for fabricating solar cell of the invention, is the step of forming the respective oxidized front side anti-reflective coating layer in front and back side and rear surface isolation film layer it thermally processes at high temperature in the step of forming into the cone the surface structure it heats and cleanses: p-type silicon substrate, the step of forming the p++ type back surface field on the base electrode it thermally processes at high temperature, output electrode used in the module output it is connected to the base electrode and emitter electrode of one side, the step that performs screen printing silver to the connecting electrode on the emitter electrode, and the insulating film and that dries and plasticized, and the step performing screen printing the ink for the hermetic sealing in the rear surface of the p-type silicon substrate and dries.

And the p-type silicon substrate, is the NaOH and iso-propyl alcohol (IPA : Iso-Propyl Alcohol) and water (H2In the inside of mixture solution of the O), it is heated and it for 25 minutes is washed with figure 70.

Hereinafter, the preferred embodiment of the invention is made to be equal to the attached view, as described in detail, next.

To the attached view is 3. And figure 5 is a drawing showing the solar cell according to the present invention.

The rear surface isolation film layer (130) and front side anti-reflective coating layer (110) are oxidized and the module integrated solar cell (100) of the invention forms on front and back side of the P-type silicon substrate (120) having as shown in the figure, the pyramid surface structure. The base electrode (170) and the integrated emitter electrode (180) are formed on the rear surface isolation film layer (130). And the high concentration p++ type back surface field (140) for the ohmic contact and n++ type emitter layer (150) is doped at respectively in the solar cell emitter and base and it forms on the positive electrode (170) (180). When connecting the unit solar cell (100') consisting of one common base electrode (170) and one common emitter electrode (180) to comb-shaped, the insulating film (160) for electrically insulating is formed. And the anode output electrode (190a) and cathode output electrode (190b) are connected to the base electrode (170) of one side and emitter electrode (180) of one side. The sealing layer (200) for insulating the base electrode (170) and emitter electrode (180) with outside is formed and base are comprised.

And the insulating film (160), is the titanium oxide (TiO the base electrode (170) is made of the aluminum (Al) metal2Silicon oxide (SiO.2It comprises any one.

Moreover, in the output electrode (190a) (190b) and emitter electrode (180), and the insulating film (160), the silver (Ag) is screen-printed and it is formed.

In the meantime, the silicon substrate (120) used as the substrate material of the solar cell (100) has the range value to 10 ohm-cm in the resistivity 0.1 ohm-cm to p-type. As shown in Figure 4a, 4 ", 5" , 6 ", 8" , 12" etc. the range of size of the area of the front surface are the typical size. In the drawing 4b, the area of the multi crystal silicon substrate (120) was shown. It has the range value to 3 ohm-cm in the resistivity 0.5 ohm-cm.

The module integrated solar cell according to the invention structured as mentioned is manufactured by the process as follows.

The attached view 6 is the block diagram showing the manufacturing method of the solar cell according to the present invention.

The module integrated solar cell (100) manufacture of the invention is completed through step of forming silver on the output electrode (190a) (190b) and step of forming as shown in the figure, the pyramid surface structure in the p-type silicon substrate (120): the step of forming the oxide film in front and back side of the p-type silicon substrate (120): the step of forming the base electrode (170) in the rear surface isolation film layer (130): the step of forming the n++ type emitter layer (150) in the rear surface isolation film layer (130): the step of forming the insulating film (160) among the unit solar cell (100'): the step of forming the p++ type back surface field (140) in the base electrode (170): emitter electrode (180), and the connecting electrode on the insulating

SIONYX1403000022.0138

SAMSUNG EX. 1002 - 2100/4148

This document is performed by machine translation, and KIPO is not responcible for the result of translation

film (160): the step of forming the sealing layer (200) in the rear surface of the p-type silicon substrate (120): the step of inspecting electrical characteristic.

The this, more specifically, the NaOH and iso-propyl alcohol (IPA : Iso-Propyl Alcohol) and water (H the p-type silicon substrate (120).2In the inside of mixture solution of the O), it heats and it washes for 25 minutes with figure 70 and the surface structure is formed into the cone.

At this time, when the heating temperature exceeds figure 70 the height of the formed pyramid structure is enhanced in the screen printing and the screen damage of the screen-printing machine is accelerated. It has the disadvantage of the volatility of the chemical being increased and causing the rising of the manufacturing cost. In case 70 is under the disadvantage has the disadvantage that the time when the pyramid structure is formed gets longer and productivity is lowered.

Moreover, it is difficult to form 3~4 micrometer in which productivity and light capture of the pyramid structure it forms it is 25 minutes under it has the disadvantage of being degraded are the most suitable height.

Then, 850 heat-treats in the p-type silicon substrate (120) at the furnace described in the above and the respective oxidized front side anti-reflective coating layer (110) and rear surface isolation film layer (130) are formed on front and back side.

And the home for forming the electrode (170) (180) on the rear surface isolation film layer (130) as it takes advantage of the Nd YAG laser is formed into the width of 100 micrometer and the depth of 25 micrometer.

As described above, the aluminum metal is performed screen printing in one common groove to the formed comb-shaped and by being dry in the belt furnace of figure 250 the base electrode (170) is formed. It dries in the belt furnace of figure 250.

And the titanium oxide (TiO in the connection part in which the unit solar cell (100') made on one common base electrode (170) and the other common n++ type emitter layer (150) of the emitter electrode (180) formed is connected2Silicon oxide (SiO.2The insulating film (160) is performed screen printing as one paste is used. After it dries in the belt furnace of figure 250, if it heat-treats at the high temperature of figure 850 in the IR lamp high temperature belt-like diffusion furnace, the p++ type back surface field (140) is formed at the base electrode (170) layer. The n++ type emitter layer (150) penetrates to the depth of 0.7 micrometer and it is diffused.

Then, the silver (Ag) paste is performed screen printing to the connecting electrode on the insulating film (160) between the unit solar cell (100') and output electrode (190a) (190b) used in the module output connected to the n++ type emitter layer (150) and emitter electrode (180) and it is dry in the belt furnace of figure 250. It is plasticized in the identical belt furnace as figure 740.

And finally, printable with screen it is dry in the belt furnace of figure 200. Finally, the electrical characteristic of the module is inspected and the manufacture of the module integrated solar cell (100) is completed.

As described above, since the manufactured module integrated solar cell (100) of the invention is integrated in the solar cell (100) itself to the module the loss generated due to the alignment and contact is prevented. The constant resistance is degraded than the existing and the energy conversion efficiency can be raised.

And the thermosetting resin (30) for the hermetic sealing of the conventional solar cell (10) front side is removed and the lifetime of the solar cell (100) module is extended over the treble.

In the meantime, in the drawing 5a, the electrode portion planar structure of the output voltage 3V class single-crystal silicon module integrated solar cell is shown. A lot, it is the example which serially connects 4 unit solar cells and comprised. In the drawing 5b, the electrode portion planar structure of the output voltage 24V class

SAMSUNG EX. 1002 - 2101/4148

This document is performed by machine translation, and KIPO is not responsible for the result of translation

poly-crystal silicon module integrated solar cell is shown. It is the example which serially connects the unit solar cell with 36 and comprised.

Moreover, the following table 1 exhibits the various kind specification of the output 10 Watt diffusion level of the single-crystal silicon module integrated solar cell, completed through the process described in the above in other words, the output watt, the wafer diameter, area, the unit solar cell number, the unit solar cell area, the output current. The table 2 exhibits the output watt, the wafer diameter, area, the unit solar cell number, the unit solar cell area, the output current of the completed poly-crystal silicon module integrated solar cell.

Effects of the Invention

As shown in the above, according to the module integrated solar cell and a manufacturing method thereof of the present invention., the manufacturing cost is cut down since the task like the hermetic sealing etc using the conventional solar cell cut, the separate connection tab attaching, the module circuit configuration, the thermosetting resin is skipped.

And if the long term is exposed to convention to the ultraviolet ray of sunlight, the lifetime of the solar cell is extended as the senile change including discoloration, cleavage etc. over treble since the resin system adhesive (thermosetting resin) which is the main cause giving limit to lifetime of the solar cell module is removed.

Moreover, in the present invention, it is automatically arranged since the connection between the unit solar cell occurs in the solar cell itself. The constant resistance is degraded and the efficiency is improved.

Moreover, in the present invention, in 10watt diffusion level module, it has the advantage overcoming the existing limit in the performance improvement, drop in price, manufacturing process require time reduction, the module life time long-term stability etc and can come for the solar cell industry with the activation.

In the meantime, in the above case, in range which it may not deviate with reference to the preferred embodiment of the invention from the thought and domain of the invention described in below claims it is an ordinary person skilled in the art it illustrated, it will be able to understand to be various, can change the invention with correction.

Scope of Claims

Claim 1 :

The module integrated solar cell which is comprised of the insulating film (160) which electrically insulates and the sealing layer (200) insulating the respective connected anode output electrode (190a), the cathode output electrode (190b), the base electrode (170) and emitter electrode (180) in the base electrode (170) of one side and emitter electrode (180) of one side with the outside when connecting the unit solar cell (100') made of the respective oxidized front side anti-reflective coating layer (110), the rear surface isolation film layer (130), the formed and integrated base electrode (170) which is laid under the rear surface isolation film layer (130) and the emitter electrode (180), the emitter electrode (180) which is common to the other comb-shaped and in front and back side of P-type silicon substrate (120) and P-type silicon substrate (120) having pyramid surface structure is common to the positive electrode (170) (180) to the high concentration p++ type back surface field (140), which the respectively is doped in the solar cell emitter and base for the ohmic contact and is formed the n++ type emitter layer (150) and one comb-shaped.

SIONYX1403000022.0140

SAMSUNG EX. 1002 - 2102/4148

This document is performed by machine translation, and KIPO is not responcible for the result of translation

Claim 2 :
As for claim 1, the module integrated solar cell which the base electrode (170) is made of the aluminum (Al) metal.

Claim 3 :
As for claim 1, the insulating film (160), is the titanium oxide (TiO

2Silicon oxide (SiO.2The module integrated solar cell made of any one.

Claim 4 :
As for claim 3, the module integrated solar cell in which the silver (Ag) is screen-printed in the output electrode (190a) (190b) and emitter electrode (180), and the insulating film (160).

Claim 5 :
The step performing screen printing the ink for the hermetic sealing in the rear surface of the step: step: p-type silicon substrate (120) performing screen printing the silver (Ag) to the connecting electrode on the emitter electrode (180) and step of forming the p++ type back surface field (140) on the base electrode (170) it thermally processes at high temperature: output electrode (190a) (190b) used in the module output it is connected to the base electrode (170) and emitter electrode (180) of one side, and the insulating film (160) and drying the p-type silicon substrate (120) and that plasticizes and performing screen printing the insulating film (160) in the connection part between the unit solar cell (100') consisting of the step of forming the respective oxidized front side anti-reflective coating layer (110) in front and back side and rear surface isolation film layer (130) the p-type silicon substrate (120) thermally is processed at high temperature in the step of forming into cone the surface structure it heats and cleanses: p-type silicon substrate (120), the step performing screen printing the base electrode (170) in the rear surface isolation film layer (130) and dries, the step performing screen printing the n++ type emitter layer (150) in the rear surface isolation film layer (130) and dries, and the base electrode (170) and that dries dries. The base electrode (170) is common to the comb-shaped different from the emitter electrode (180) which is common to the n++ type emitter layer (150) to the formed comb-shaped of one of one. The manufacturing method of the module integrated solar cell which comprises.

Claim 6 :
As for claim 5, the p-type silicon substrate (120), is the NaOH and iso-propyl alcohol (IPA : Iso-Propyl Alcohol) and water (H

2The manufacturing method of the heating and the washed module integrated solar cell in the inside of mixture solution of the O).

SIONYX1403000022.0141

SAMSUNG EX. 1002 - 2103/4148

This document is performed by machine translation, and KIPO is not responsible for the result of translation

Claim 7 :

As for claim 6, the manufacturing method of the module integrated solar cell forming the home for forming the base electrode (170) and emitter electrode (180) on the rear surface isolation film layer (130) into the width of 100 micrometer and the depth of 25 micrometer.

Claim 8 :

As for claim 5, the insulating film (160), is the titanium oxide (TiO the base electrode (170) is made of the screen-printed aluminum (Al) metal

2Silicon oxide (SiO.2The manufacturing method of the module integrated solar cell made of any one.

Claim 9 :

As for claim 5, the manufacturing method of the module integrated solar cell which it performs screen printing back seal layer (200) capable of preventing the damage mechanical with preventing leak due to the exposure of the base electrode (170) of the solar cell (100) and emitter electrode (180) to the thickness more than 40 micrometer as it uses the printable with screen ink, and it is dry in the belt furnace of figure 200.



Drawings

Fig. 1a

SIONYX1403000022.0142

SAMSUNG EX. 1002 - 2104/4148

This document is performed by machine translation, and KIPO is not responsible for the result of translation

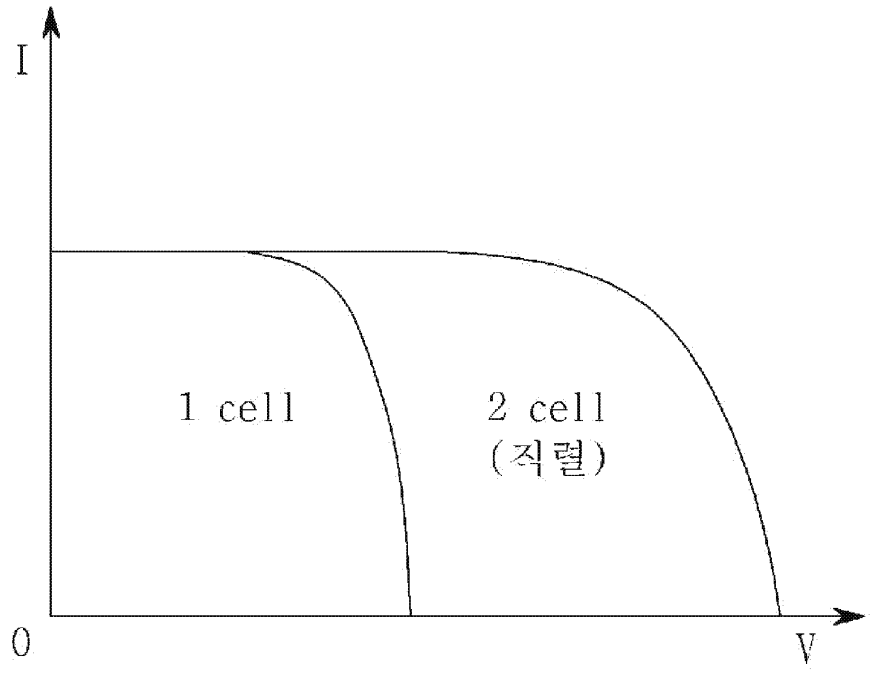


Fig. 1b

SIONYX1403000022.0143

SAMSUNG EX. 1002 - 2105/4148

This document is performed by machine translation, and KIPO is not responsible for the result of translation

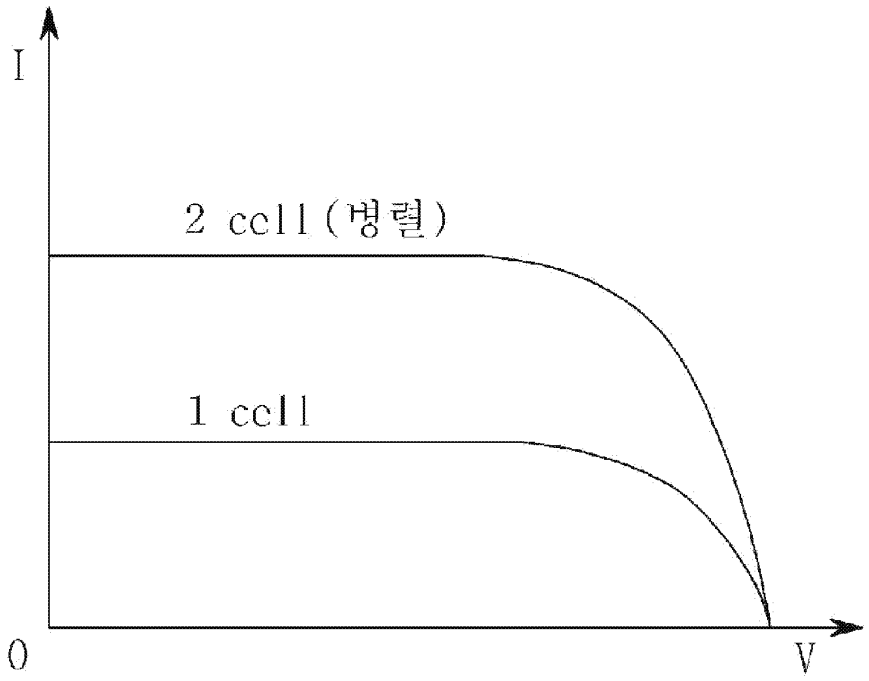


Fig. 2a

SIONYX1403000022.0144

SAMSUNG EX. 1002 - 2106/4148

This document is performed by machine translation, and KIPO is not responsible for the result of translation

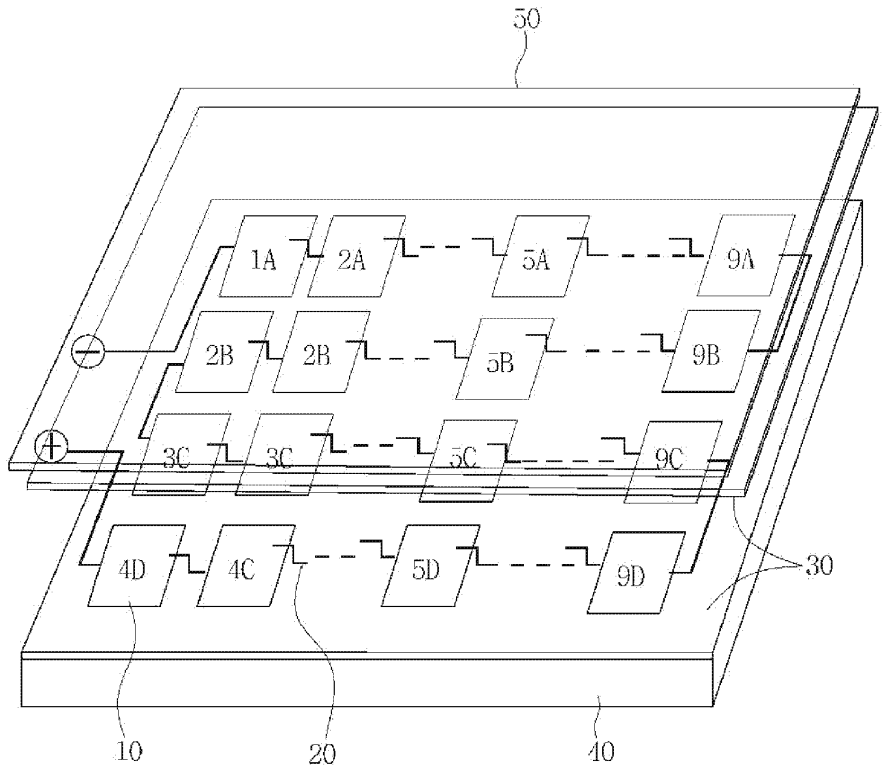


Fig. 2b

SAMSUNG EX. 1002 - 2107/4148

This document is performed by machine translation, and KIPO is not responsible for the result of translation

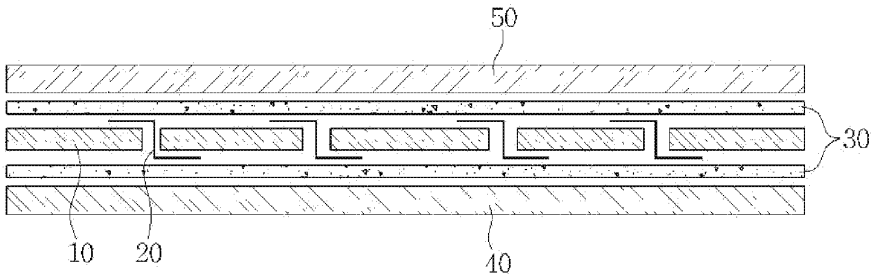


Fig. 3

This document is performed by machine translation, and KIPO is not responsible for the result of translation

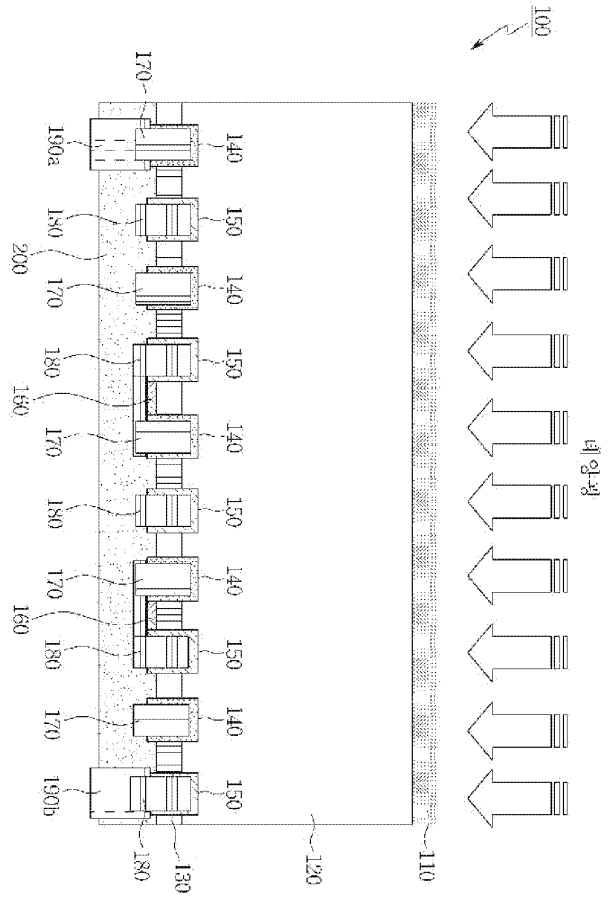


Fig. 4a

SIONYX1403000022.0147

SAMSUNG EX. 1002 - 2109/4148

This document is performed by machine translation, and KIPO is not responsible for the result of translation

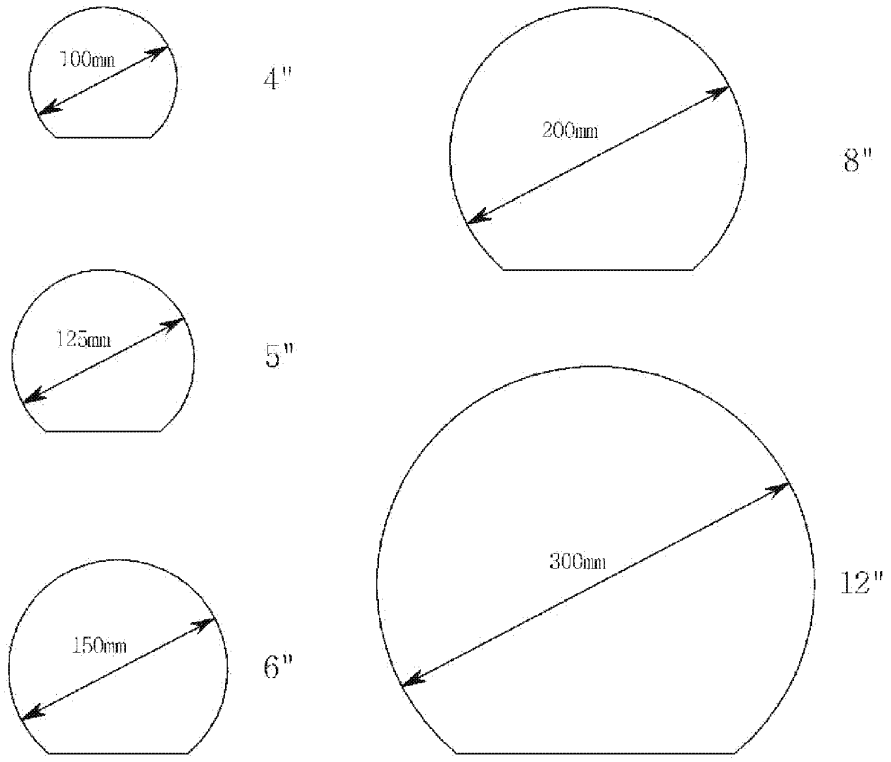


Fig. 4b

SIONYX1403000022.0148

SAMSUNG EX. 1002 - 2110/4148

This document is performed by machine translation, and KIPO is not responsible for the result of translation

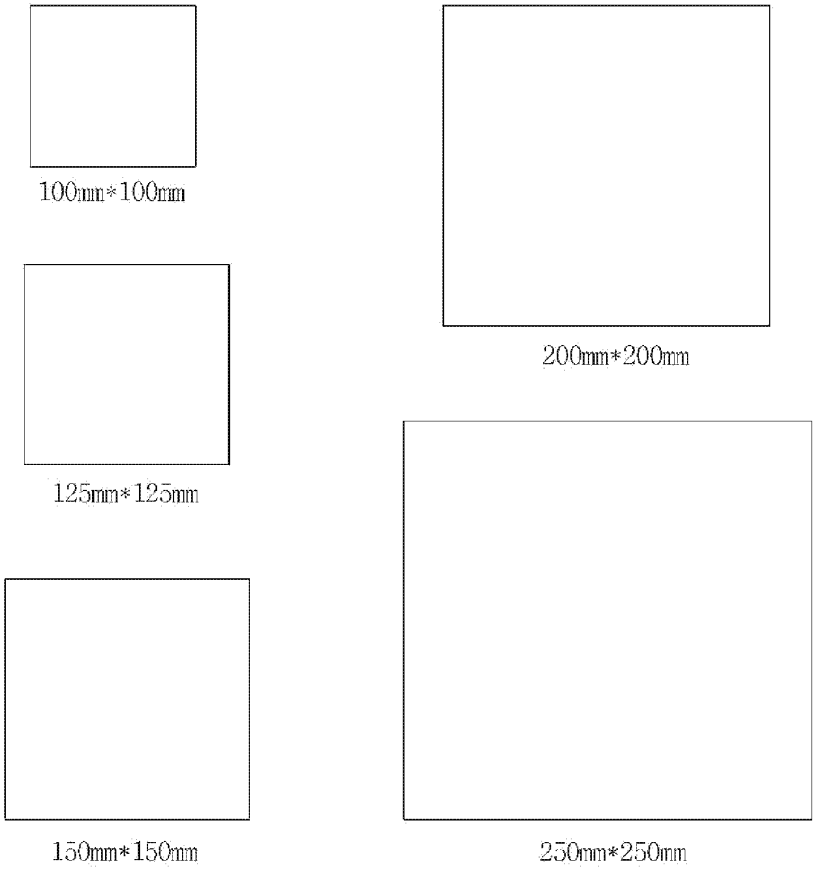


Fig. 5a

SIONYX1403000022.0149

SAMSUNG EX. 1002 - 2111/4148

This document is performed by machine translation, and KIPO is not responsible for the result of translation

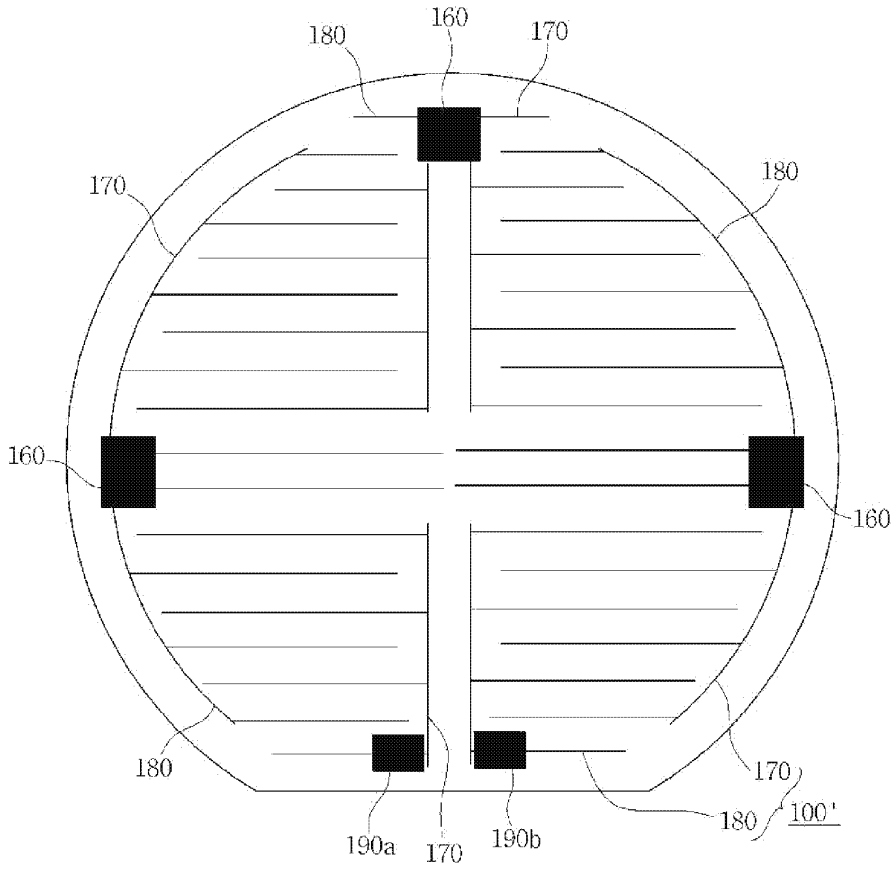


Fig. 5b

SIONYX1403000022.0150

SAMSUNG EX. 1002 - 2112/4148

This document is performed by machine translation, and KIPO is not responsible for the result of translation

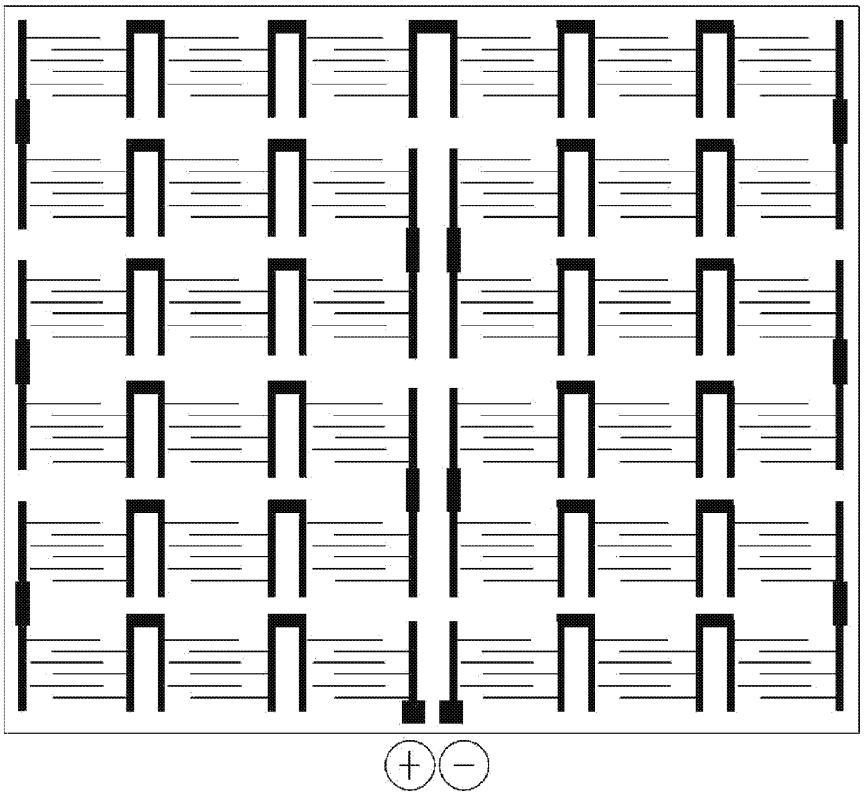
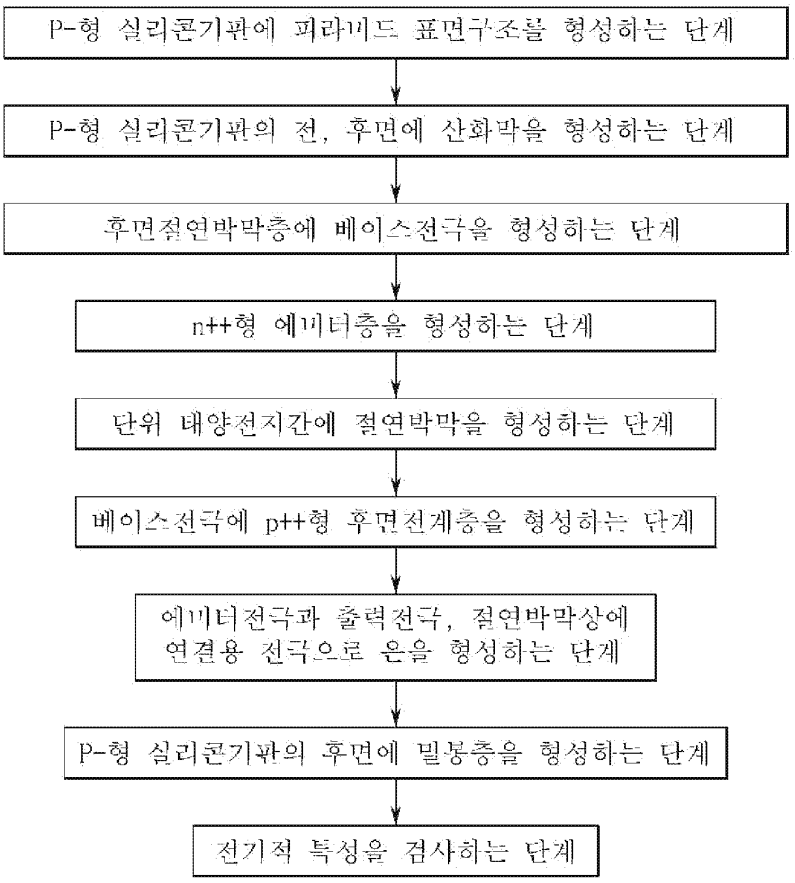


Fig. 6

SAMSUNG EX. 1002 - 2113/4148

This document is performed by machine translation, and KIPO is not responsible for the result of translation



SIONYX1403000022.0152

SAMSUNG EX. 1002 - 2114/4148

(19)대한민국특허청(KR)공개특허공보(A)

(51) Int.Cl. 7
H01L 31/042

출원번호	10-2003-0074703
출원일자	2003년10월24일
공개번호	10-2005-0039273
공개일자	2005년04월29일
대리인	특허법인정직과특허
발명자	이 준 신
출원인	이 준 신
심사청구	있음
발명의명칭	모듈일체형 태양전지 및 그 제조방법

요약

본 발명은 모듈일체형 태양전지 및 그 제조방법에 관한 것으로서, p-형 실리콘기판(120)에 피라미드 표면구조를 형성하는 단계와; p-형 실리콘기판(120)의 전,후면에 산화막을 형성하는 단계와; 후면절연박막층(130)에 베이스전극(170)을 형성하는 단계와; 후면절연박막층(130)에 n++형 에미터층(150)을 형성하는 단계와; 단위 태양전지(100')간에 절연박막(160)을 형성하는 단계와; 베이스전극(170)에 p++형 후면전계층(140)을 형성하는 단계와; 에미터전극(180)과, 출력전극(190a)(190b), 절연박막(160)상에 연결용 전극으로 은을 형성하는 단계와; p-형 실리콘기판(120)의 후면에 밀봉층(200)을 형성하는 단계와; 전기적 특성을 검사하는 단계;를 포함한 방법으로 태양전지(100)를 제조한다.

대표도

도. 3

색인어

모듈일체형, 태양전지, 반사방지, 실리콘기판, 절연박막, 에미터, p++, n++

명세서

※ 도면에 대한 간단한 설명

도 1은, 태양전지를 연결함에 따른 V-I 특성곡선을 나타낸 도면으로서, 도 1a는 태양전지를 직렬연결함에 따른 V-I 특성곡선을 도시한 도면이고, 도 1b는 태양전지를 병렬연결함에 따른 V-I 특성곡선을 도시한 도면이다.

SIONYX1403000022.0153

SAMSUNG EX. 1002 - 2115/4148

도 2는, 종래의 태양전지 모듈을 도시한 도면으로서, 도 2a는 종래의 태양전지 모듈을 도시한 구성도이고, 도 2b는 결합단면도이다.

도 3은, 본 발명에 따른 태양전지를 도시한 구성도이다.

도 4는, 본 발명에 따른 태양전지에 사용되는 기판을 도시한 도면으로서, 도 4a는 단결정 실리콘 기판의 종류를 도시한 도면이고, 도 4b는, 다결정 실리콘 기판의 종류를 도시한 도면이다.

도 5는, 본 발명에 따른 태양전지의 전극부위를 평면으로 도시한 도면으로서, 도 5a는 출력전압 3V급의 전극구조를 도시한 평면도이고, 도 5b는 출력전압 12V급의 전극구조를 도시한 평면도이다.

도 6은, 본 발명에 따른 태양전지의 제조방법을 도시한 블록도이다.

< 도면의 주요부분에 대한 부호의 설명 >

10 : 태양전지 20 : 연결탭

30 : 열경화성 수지 40 : 모듈뒷판

50 : 강화유리

100 : 태양전지 100' : 단위 태양전지

110 : 전면반사방지막층 120 : p-형 실리콘기판

130 : 후면절연박막층 140 : p++형 후면전계층

150 : n++형 에미터층 160 : 절연박막

170 : 베이스전극 180 : 에미터전극

190a,190b : 출력전극 200 : 밀봉층

※ 발명에 대한 자세한 설명

※ 발명의 목적

※ 발명이 속하는 분야의 종래기술

본 발명은 모듈일체형 태양전지 및 그 제조방법에 관한 것으로서, 보다 상세하게는 태양전지의 양극과 음극을 절연막으로 분리하고, 이 절연막 위에 집적화된 연결전극을 형성하여 집적화한 모듈일체형 태양전지 및 그 제조방법에 관한 것이다.

일반적으로, 태양전지를 특정시스템에 적용하기 위해서는 특정부하의 수요전력량을 계산하고, 태양전지와 태양전지 모듈에서 발생하는 전력량을 부하의 필요전력량으로 공급하고, 추가로 여유전력량을 더한 값을 태양전지 모듈의 용량으로 결정한다. 실리콘 태양전지의 경우 태양전지 1개에서 얻을 수 있는 특성은 전압이 0.5V 정도로 고정되고, 전류는 면적의 변화에 따라서 단위 면적당 약 30mA의 정도의 전류를 생산할 수 있다.

SIONYX1403000022.0154

SAMSUNG EX. 1002 - 2116/4148

따라서, 모듈의 필요 전압을 높이기 위해서는 직렬로 태양전지를 연결하고, 필요전류 용량에 따라서 태양전지의 면적을 가변시킨다. 이때 기존의 상용 축전지용량 때문에 4개, 8개, 12개, 16개, 24개, 36개, 54개 등으로 직렬 연결하여 태양전지 모듈을 구성한다.

첨부도면 도 1은, 태양전지를 연결함에 따른 V-I 특성곡선을 나타낸 도면으로서, 도 1a는 두 개의 태양전지를 직렬연결함에 따른 V-I 특성곡선을 도시한 도면이고, 도 1b는 두 개의 태양전지를 병렬연결함에 따른 V-I 특성곡선을 도시한 도면이다.

도 1a에 도시된 바와 같이, 두 개의 태양전지를 같은 일사조건에서 서로 직렬로 연결했을 경우, 양단전압은 한 개의 전지전압의 두 배가 되고, 전류는 한 개의 전지에서 발생된 전류의 크기와 같게 되어 V = Vc1 + Vc2, I = Ic1 = Ic2가 된다. 따라서 여러 개의 태양전지가 직렬로 연결된 경우에 태양전지의 출력전류는 한 개의 전지에서 발생된 전류의 크기와 같고, 출력전압은 식(1)와 같이 나타낼 수 있다.

$$Va = Ns \times Vc \quad (1)$$

Va : 태양전지 출력전압

Ns : 직렬 연결된 태양전지의 수

Vc : 태양전지 한 개의 출력전압

또한, 도 1b에 도시된 바와 같이, 병렬 연결된 태양전지의 특성은 태양전지가 서로 똑같은 일사조건이나 재질의 특성이 물성적으로나 전기적으로 같은 특성을 갖고 있는 경우에는, V = Vc1 = Vc2, I = Ic1 + Ic2가 된다. 그러므로 여러개의 태양전지가 병렬로 연결된 경우, 태양전지의 출력전류는 식(2)와 같이 나타낼 수 있다.

$$Ia(V) = Np \times I(V) \quad (2)$$

Ia(V) : 태양전지의 출력전류

Np : 병렬 연결된 태양전지의 수

I(V) : 태양전지 한 개의 출력전류

한편, 위와 같은 태양전지 제조와 검사가 끝나면, 첨부도면 도 2a 및 도 2b에 도시된 바와 같은 10와트(Watt) 미만급의 태양전지 모듈을 제조한다.

먼저, 응용제품의 전력 용량에 따라서 필요한 전류용량에 맞추어 태양전지(10)를 절단하고, 절단한 태양전지(10)를 각각 전기적으로 직렬로 연결하도록 외부배선재료인 연결탭(20)을 달아서 상기 태양전지(10)를 모두 연결하는 회로를 구성한다.

그리고, 상기 회로가 구성되면, 그 전면에 외부의 빛은 잘 투과하면서도 전기적으로는 절연 특성을 가지는 강화유리(50)로서 회로를 봉인한다. 여기서, 본 실시예에서는 강화유리(50)로 봉인하였지만, 절연막이 코팅된 알루미늄 호일이나 플라스틱으로 봉인하여도 무방하다.

또한, 상기 강화유리(50)와 회로 사이에는 고분자 화합물인 에폭시 수지에 각종 배합제를 가하여 제조한 투명도가 높은 열경화성 수지(EVA)(30)를 도포하여 태양전지(10)를 밀봉하고, 밀봉된 태양전지(10)는 접착공정이나 모듈화공정에서 발생된 손상여부 등을 검사하는 최종 검사가 끝나면 모든 제조과정이 완료된다.

여기서, 미설명부호 "40"은 모듈뒷판을 도시한 것이다.

SIONYX1403000022.0155

SAMSUNG EX. 1002 - 2117/4148

기술적 과제

그러나, 이와 같은 종래의 태양전지는, 태양전지 모듈을 제조하기 위해서 태양전지(10) 앞면과 뒷면에 형성된 전극에 별도의 연결탭(20)을 설치하여 서로 연결하는 과정에서 태양전지(10)를 정위치로 정열함에 있어 많은 어려움이 있고, 태양전지(10)와 연결탭(20)간의 접촉 불량이 발생되는 문제점이 있었다.

그리고, 태양전지 모듈에서 필수적으로 사용되는 밀봉 및 접착을 위한 열경화성 수지(30)는, 태양광에 노출시에 일정 기간 즉, 대략 10년 이내에 변색과 성능저하가 야기되고, 그로 인해 결국에는 태양전지 모듈 자체의 성능이 저하되는 문제점이 있었다.

이에, 본 발명은 전술한 바와 같은 종래기술의 문제점을 해소하기 위해 안출된 것으로, 태양전지의 양극과 음극을 절연막으로 분리하고, 이 절연막 위에 집적화된 연결전극을 형성하여, 태양전지 모듈 제조에 있어 가격상승 요인인 절단과 직렬연결에 소요되던 추가공정 인력, 시간, 모듈제조 소모품 등이 필요없게 되어 제조원가를 절감시킬 수 있는 모듈일체형 태양전지 및 그 제조방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상술한 목적을 달성하기 위한 본 발명의 모듈일체형 태양전지는, 피라미드 표면구조를 갖는 p-형 실리콘기판과; 상기 p-형 실리콘기판의 전,후면에 각각 산화된 전면반사방지막층 및 후면절연박막층과; 상기 후면절연박막층에 매설되어 형성된 집적화된 베이스전극 및 에미터전극과; 상기 양 전극에 태양전지 에미터와 베이스에 오옴성 접촉을 위해 각각 도핑되어 형성된 고농도 p++형 후면전계층 및 n++형 에미터층과; 하나의 빗살모양으로 공통된 베이스전극과 다른 하나의 빗살모양으로 공통된 에미터전극으로 이루어진 단위 태양전지를 서로 연결할 때 전기적으로 절연시키는 절연박막과; 일측의 베이스전극과 일측의 에미터전극에 각각 연결된 양극출력전극 및 음극출력전극과; 상기 베이스전극과 에미터전극을 외부와 절연시키는 밀봉층;을 포함하여 구성된 것을 특징으로 한다.

그리고, 상기 베이스전극은, 알루미늄(Al) 금속으로 이루어지고, 상기 절연박막은, 산화티타늄(TiO2) 또는 산화규소(SiO2) 중 어느 하나로 이루어진다.

또한, 상기 에미터전극과, 출력전극, 절연박막에는, 은(Ag)이 스크린 인쇄된다.

한편, 본 발명의 모듈일체형 태양전지 제조방법은, p-형 실리콘기판을 가열 세척하여 그 표면구조를 피라미드형으로 형성하는 단계와; 상기 p-형 실리콘기판에 고온 열처리하여 전,후면에 각각 산화된 전면반사방지막층과 후면절연박막층을 형성하는 단계와; 상기 후면절연박막층에 베이스전극을 스크린 인쇄하여 건조시키는 단계와; 상기 후면절연박막층에 n++형 에미터층을 스크린 인쇄하여 건조시키는 단계와; 상기 n++형 에미터층에 형성된 하나의 빗살모양으로 공통된 에미터전극과 다른 하나의 빗살모양으로 공통된 베이스전극으로 이루어진 단위 태양전지간의 연결부에 절연박막을 스크린 인쇄하여 건조시키는 단계와; 상기 p-형 실리콘기판을 고온 열처리하여 베이스전극상에 p++형 후면전계층을 형성하는 단계와; 상기 일측의 베이스전극과 에미터전극에 각각 연결되어 모듈출력에 사용되는 출력전극과, 에미터전극, 절연박막상에 연결용 전극으로 은을 스크린 인쇄하여 건조시키고 소성시키는 단계와; 상기 p-형 실리콘기판의 후면에 밀봉을 위한 잉크를 스크린 인쇄하여 건조시키는 단계;를 포함하여 구성된 것을 특징으로 한다.

그리고, 상기 p-형 실리콘기판은, 수산화나트륨(NaOH)과 이소-프로필 알코올(IPA : Iso-Propyl Alcohol)과 물(H2O)의 혼합용액속에서 70도로 가열되고 25분간 세척된다.

이하, 본 발명의 바람직한 실시예를 첨부도면을 참조하여 상세히 설명하면 다음과 같다.

첨부도면 도 3 내지 도 5는, 본 발명에 따른 태양전지를 도시한 도면이다.

본 발명의 모듈일체형 태양전지(100)는 도시된 바와 같이, 피라미드 표면구조를 갖는 p-형 실리콘기판(120)의 전,후면에 전면반사방지막층(110)과, 후면절연박막층(130)을 각각 산화시켜 형성하고, 상기 후면절연박막층(130)에 집적화된 베이스전극(170)과 에미터전극(180)을 형성하며, 상기 양 전극(170)(180)에 태양전지 에미터와 베이스에 오옴성 접촉을 위한 고농도 p++형 후면전계층(140)과 n++형 에미터층(150)을 각각 도핑하여 형성하고, 빗살모양으로 하나의 공통된 베이스전극(170)과 하나의 공통된 에미터전극(180)으로 이루어진 단위 태양전지(100')를 서로 연결할 때 전기적으로 절연시키기 위한 절연박막(160)을 형성하며, 일측의 베이스전극(170)과 일측의 에미터전극(180)에 양극

SIONYX1403000022.0156

SAMSUNG EX. 1002 - 2118/4148

출력전극(190a)과 음극출력전극(190b)을 각각 연결하고, 상기 베이스전극(170)과 에미터전극(180)을 외부와 절연시키기 위한 밀봉층(200)을 형성하여 구성된다.

그리고, 상기 베이스전극(170)은, 알루미늄(Al) 금속으로 이루어지고, 상기 절연박막(160)은, 산화티타늄(TiO2) 또는 산화규소(SiO2) 중 어느 하나로 이루어진다.

또한, 상기 에미터전극(180)과, 출력전극(190a)(190b), 절연박막(160)에는, 은(Ag)이 스크린 인쇄되어 형성된다.

한편, 상기 태양전지(100)의 기판재료로 사용한 실리콘기판(120)은 p-형으로, 비저항 0.1 ohm-cm에서 10 ohm-cm까지의 범위 값을 가지고, 그 전면부의 면적의 크기범위는 도 4a에 도시한 바와 같이 4" , 5" , 6" , 8" , 12" 등이 전형적인 크기이다. 도 4b에서는 다결정 실리콘기판(120)의 면적을 도시하였고, 비저항 0.5 ohm-cm에서 3 ohm-cm까지의 범위 값을 가진다.

상기와 같이 구성된 본 발명에 따른 모듈일체형 태양전지는 다음과 같은 공정에 의해 제조된다.

첨부도면 도 6은, 본 발명에 따른 태양전지의 제조방법을 도시한 블록도이다.

본 발명의 모듈일체형 태양전지(100) 제조는 도시된 바와 같이, p-형 실리콘기판(120)에 피라미드 표면구조를 형성하는 단계와; p-형 실리콘기판(120)의 전,후면에 산화막을 형성하는 단계와; 후면절연박막층(130)에 베이스전극(170)을 형성하는 단계와; 후면절연박막층(130)에 n++형 에미터층(150)을 형성하는 단계와; 단위 태양전지(100')간에 절연박막(160)을 형성하는 단계와; 베이스전극(170)에 p++형 후면전계층(140)을 형성하는 단계와; 에미터전극(180)과, 출력전극(190a)(190b), 절연박막(160)상에 연결용 전극으로 은을 형성하는 단계와; p-형 실리콘기판(120)의 후면에 밀봉층(200)을 형성하는 단계와; 전기적 특성을 검사하는 단계;를 통해 완성된다.

이를 보다 구체적으로 설명하면, p-형 실리콘기판(120)을 수산화나트륨(NaOH)과 이소-프로필 알코올(IPA : Iso-Propyl Alcohol)과 물(H2O)의 혼합용액속에서 70도로 가열하고 25분간 세척하여 그 표면구조를 피라미드형으로 형성한다.

이때, 가열온도가 70도를 초과할 경우에는, 스크린 인쇄시에 형성되는 피라미드 구조물의 높이가 높아져 스크린 인쇄기의 스크린 손상이 가속화되고, 화학물의 휘발성이 증가되어 제조비용의 상승을 초래하는 단점이 있고, 70도 미만인 경우에는, 피라미드 구조물이 형성되는 시간이 길어져 생산성이 저하되는 단점이 있다.

또한, 세척시간이 25분를 초과할 경우에는, 피라미드 구조물의 높이가 증가하고, 제조시간이 길어져 생산성이 저하되는 단점이 있고, 25분 미만인 경우에는, 피라미드 구조물의 형성함에 있어 생산성과 빛 포획이 가장 적합한 높이인 3~4 마이크로미터(Micrometer)를 형성하기가 어렵다.

이후, 상기 p-형 실리콘기판(120)에 850도 이상의 고온 튜브로에서 열처리하여 전,후면에 각각 산화된 전면반사방지막층(110)과 후면절연박막층(130)을 형성한다.

그리고, Nd YAG 레이저를 이용하여 후면절연박막층(130)에 전극(170)(180)을 형성하기 위한 홈을 25 마이크로미터(Micrometer)의 깊이와, 100 마이크로미터의 폭으로 형성한다.

상기와 같이 형성된 빗살모양으로 하나의 공통된 홈에 알루미늄 금속을 스크린 인쇄하여 250도의 벨트 퍼니스(Furnace)에서 건조함으로써 베이스전극(170)을 형성하고, 상기 다른 하나의 빗살모양으로 공통된 하나의 홈에 n++형 에미터층(150)을 스크린 인쇄용 페이스트(Paste)를 이용하여 형성하고 250도의 벨트 퍼니스에서 건조시킨다.

그리고, 상기 하나의 공통된 베이스전극(170)과 다른 하나의 공통된 n++형 에미터층(150)위에 형성한 에미터전극(180)으로 이루어진 단위 태양전지(100')가 서로 연결되는 연결부에 산화티타늄(TiO2) 또는 산화규소(SiO2) 중 어느 하나의 페이스트를 이용하여 절연박막(160)을 스크린 인쇄하고, 250도의 벨트 퍼니스에서 건조시킨 후, IR 램프 고온 벨트형 확산로에서 850도의 고온으로 열처리하면, 베이스전극(170)층에서 p++형 후면전계층(140)이 형성되고, n++형 에미터층(150)은 0.7 마이크로미터의 깊이까지 침투하여 확산된다.

SIONYX1403000022.0157

SAMSUNG EX. 1002 - 2119/4148

이후, 상기 n++형 에미터층(150)에 연결되는 에미터전극(180)과, 모듈출력에 사용되는 출력전극(190a)(190b)과, 단위 태양전지(100') 사이의 절연박막(160) 위에 연결용 전극으로 은(Ag) 페이스트를 스크린 인쇄하여 250도의 벨트 퍼니스에서 건조하고, 동일 벨트 퍼니스에서 740도로서 소성한다.

그리고, 마지막으로 태양전지(100)의 베이스전극(170)과 에미터전극(180)의 노출로 인한 누전을 방지함과 아울러 기계적인 파손을 방지하는 후면 밀봉층(200)을 스크린 인쇄 가능한 잉크를 사용하여 40 마이크로미터 이상의 두께로 스크린 인쇄하고, 200도의 벨트 퍼니스에서 건조한다. 최종적으로 모듈의 전기적 특성을 검사하여 모듈일체형 태양전지(100)의 제조를 완성한다.

상기와 같이 제조된 본 발명의 모듈일체형 태양전지(100)는, 태양전지(100) 자체에서 모듈까지 집적화됨으로써 정열과 접촉으로 인해 발생되던 손실을 방지하고, 접촉저항이 기존보다 저하되어 에너지 변환 효율을 높일 수 있다.

그리고, 종래 태양전지(10) 전면의 밀봉용 열경화성 수지(30)가 제거되어 태양전지(100) 모듈의 수명이 3배 이상 연장된다.

한편, 도 5a에는 출력전압 3V급 단결정 실리콘 모듈일체형 태양전지의 전극부위 평면구조를 도시한 것이다. 크게 4개의 단위 태양전지를 직렬로 연결하여 구성한 예이다. 도 5b에는 출력전압 24V급 다결정 실리콘 모듈일체형 태양전지의 전극부위 평면구조를 도시한 것이다. 단위 태양전지를 직렬로 36개 연결하여 구성한 예이다.

또한, 하기의 표 1은 상기의 공정을 통해서 완성된 단결정 실리콘 모듈일체형 태양전지의 출력 10와트 미만급의 다양한 종류별 제원 즉, 출력 와트, 웨이퍼 직경, 면적, 단위 태양전지 수, 단위 태양전지 면적, 출력전류를 나타내었다. 표 2는 완성된 다결정 실리콘 모듈일체형 태양전지의 출력 와트, 웨이퍼 직경, 면적, 단위 태양전지 수, 단위 태양전지 면적, 출력전류를 나타내었다.

발명의 효과

이상에서 살펴 본 바와 같이, 본 발명의 모듈일체형 태양전지 및 그 제조방법에 의하면, 종래의 태양전지 절단, 별도의 연결탭 부착, 모듈회로 구성, 열경화성 수지를 이용한 밀봉 등과 같은 작업이 생략되므로 제조원가가 절감된다.

그리고, 종래에 태양광의 자외선에 장기간 노출되면, 변색, 갈라짐 등의 노화현상으로 태양전지 모듈의 수명에 한계를 주던 주요원인인 수지계열 접착제(열경화성 수지)가 제거되므로 태양전지의 수명이 3배 이상 연장된다.

또한, 본 발명에서는 단위 태양전지간의 연결이 태양전지 자체에서 일어남으로써 자동정열되고, 접촉저항도 저하되어 효율이 향상된다.

또한, 본 발명에서는 10watt 미만급 모듈에서 성능개선, 가격하락, 제조공정 소요시간 단축, 모듈 수명시간 장시간 신뢰도 등에서 기존의 한계를 극복하여 태양전지 산업에 활성화를 가지고 올 수 있는 이점이 있다.

한편, 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 통상의 지식을 가진 자라면 하기의 청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

청구의 범위

청구항 1:
피라미드 표면구조를 갖는 p-형 실리콘기판(120)과;

상기 p-형 실리콘기판(120)의 전,후면에 각각 산화된 전면반사방지막층(110) 및 후면절연박막층(130)과;

SIONYX1403000022.0158

SAMSUNG EX. 1002 - 2120/4148

상기 후면절연박막층(130)에 매설되어 형성된 집적화된 베이스전극(170) 및 에미터전극(180)과;

상기 양 전극(170)(180)에 태양전지 에미터와 베이스에 오옴성 접촉을 위해 각각 도핑되어 형성된 고농도 p++형 후면전계층(140) 및 n++형 에미터층(150)과;

하나의 빗살모양으로 공통된 베이스전극(170)과 다른 하나의 빗살모양으로 공통된 에미터전극(180)으로 이루어진 단위 태양전지(100')를 서로 연결할 때 전기적으로 절연시키는 절연박막(160)과;

일측의 베이스전극(170)과 일측의 에미터전극(180)에 각각 연결된 양극출력전극(190a) 및 음극출력전극(190b)과;

상기 베이스전극(170)과 에미터전극(180)을 외부와 절연시키는 밀봉층(200);을 포함하여 구성된 것을 특징으로 하는 모듈일체형 태양전지.

청구항 2:
제 1 항에 있어서,

상기 베이스전극(170)은, 알루미늄(Al) 금속으로 이루어진 것을 특징으로 하는 모듈일체형 태양전지.

청구항 3:
제 1 항에 있어서,

상기 절연박막(160)은, 산화티타늄(TiO_2) 또는 산화규소(SiO_2) 중 어느 하나로 이루어진 것을 특징으로 하는 모듈일체형 태양전지.

청구항 4:
제 3 항에 있어서,

상기 에미터전극(180)과, 출력전극(190a)(190b), 절연박막(160)에는, 은(Ag)이 스크린 인쇄된 것을 특징으로 하는 모듈일체형 태양전지.

청구항 5:
p-형 실리콘기판(120)을 가열 세척하여 그 표면구조를 피라미드형으로 형성하는 단계와;

상기 p-형 실리콘기판(120)에 고온 열처리하여 전,후면에 각각 산화된 전면반사방지막층(110)과 후면절연박막층(130)을 형성하는 단계와;

상기 후면절연박막층(130)에 베이스전극(170)을 스크린 인쇄하여 건조시키는 단계와;

상기 후면절연박막층(130)에 n++형 에미터층(150)을 스크린 인쇄하여 건조시키는 단계와;

상기 n++형 에미터층(150)에 형성된 하나의 빗살모양으로 공통된 에미터전극(180)과 다른 하나의 빗살모양으로 공통된 베이스전극(170)으로 이루어진 단위 태양전지(100')간의 연결부에 절연박막(160)을 스크린 인쇄하여 건조시키는 단계와;

상기 p-형 실리콘기판(120)을 고온 열처리하여 베이스전극(170)상에 p++형 후면전계층(140)을 형성하는 단계와;

상기 일측의 베이스전극(170)과 에미터전극(180)에 각각 연결되어 모듈출력에 사용되는 출력전극(190a)(190b)과, 에미터전극(180), 절연박막(160)상에 연결용 전극으로 은(Ag)을 스크린 인쇄하여 건조시키고 소성시키는 단계와;

SIONYX1403000022.0159

SAMSUNG EX. 1002 - 2121/4148

상기 p-형 실리콘기판(120)의 후면에 밀봉을 위한 잉크를 스크린 인쇄하여 건조시키는 단계;를 포함하여 구성된 것을 특징으로 하는 모듈일체형 태양전지의 제조방법.

청구항 6:
제 5 항에 있어서,

상기 p-형 실리콘기판(120)은, 수산화나트륨(NaOH)과 이소-프로필 알코올(IPA : Iso-Propyl Alcohol)과 물(H2O)의 혼합용액속에서 가열 및 세척된 것을 특징으로 하는 모듈일체형 태양전지의 제조방법.

청구항 7:
제 6 항에 있어서,

상기 후면절연박막층(130)에 베이스전극(170)과 에미터전극(180)을 형성하기 위한 홈을 25 마이크로미터의 깊이와, 100 마이크로미터의 폭으로 형성한 것을 특징으로 하는 모듈일체형 태양전지의 제조방법.

청구항 8:
제 5 항에 있어서,

상기 베이스전극(170)은, 스크린 인쇄된 알루미늄(Al) 금속으로 이루어지고, 상기 절연박막(160)은, 산화티타늄(TiO2) 또는 산화규소(SiO2) 중 어느 하나로 이루어진 것을 특징으로 하는 모듈일체형 태양전지의 제조방법.

청구항 9:
제 5 항에 있어서,

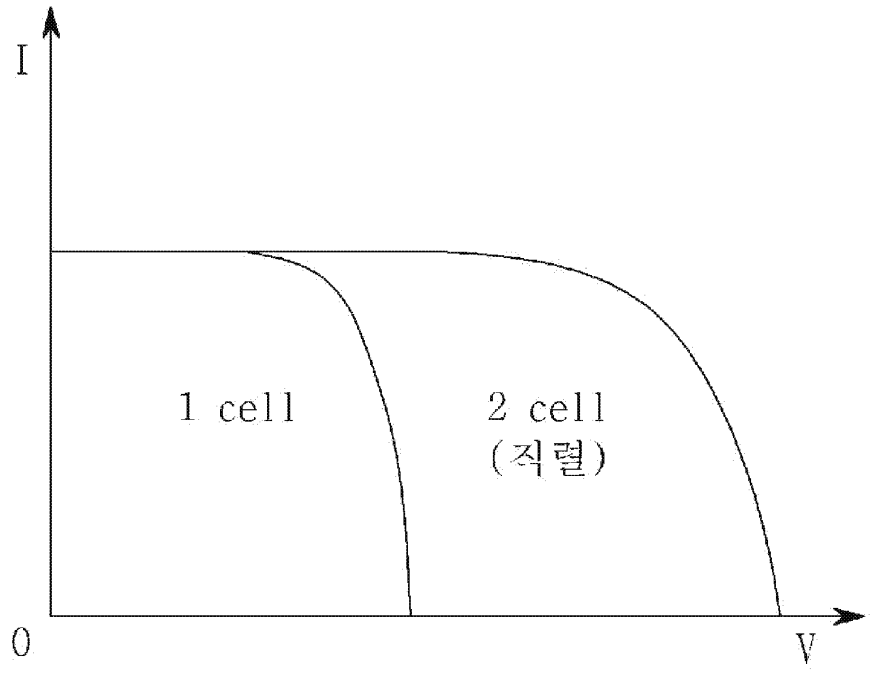
상기 태양전지(100)의 베이스전극(170)과 에미터전극(180)의 노출로 인한 누전을 방지함과 아울러 기계적인 파손을 방지하는 후면 밀봉층(200)을 스크린 인쇄 가능한 잉크를 사용하여 40 마이크로미터 이상의 두께로 스크린 인쇄하고, 200도의 벨트 퍼니스에서 건조한 것을 특징으로 하는 모듈일체형 태양전지의 제조방법.

 도면

도면 1a

SIONYX1403000022.0160

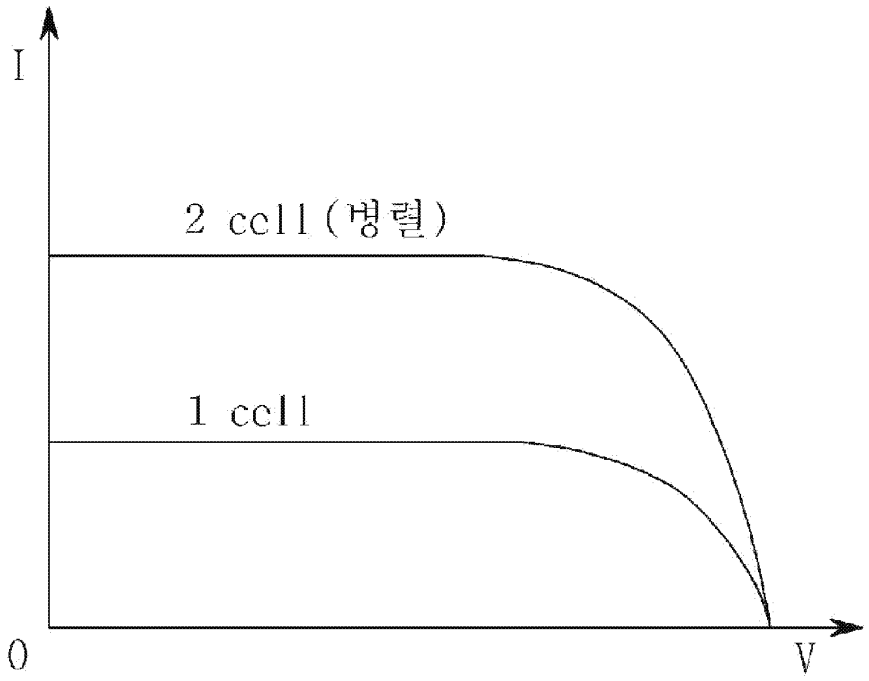
SAMSUNG EX. 1002 - 2122/4148



도면 1b

SIONYX1403000022.0161

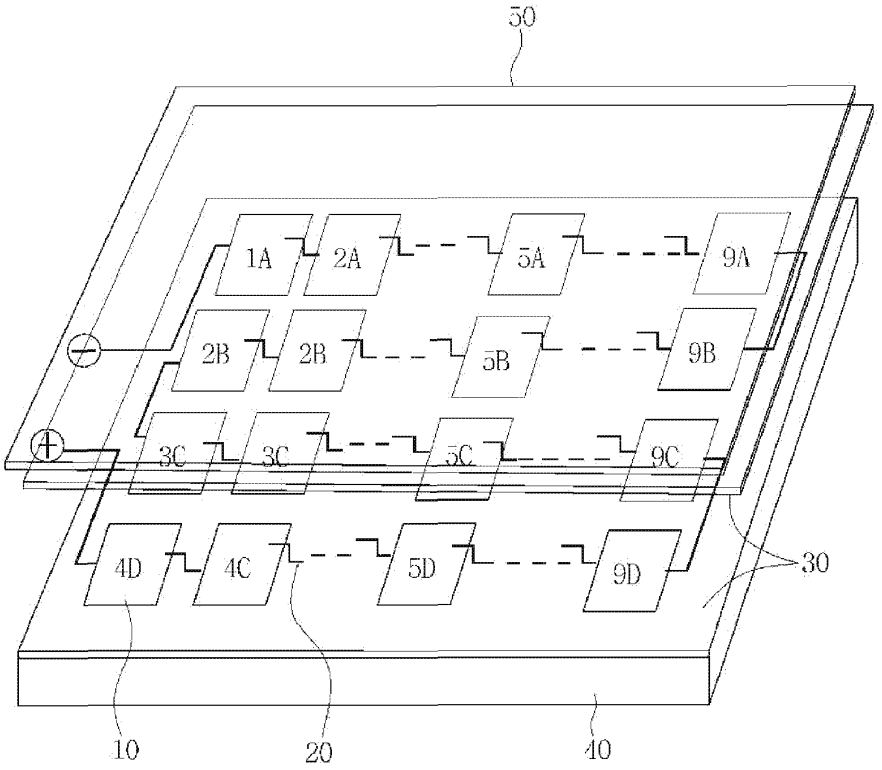
SAMSUNG EX. 1002 - 2123/4148



도면 2a

SIONYX1403000022.0162

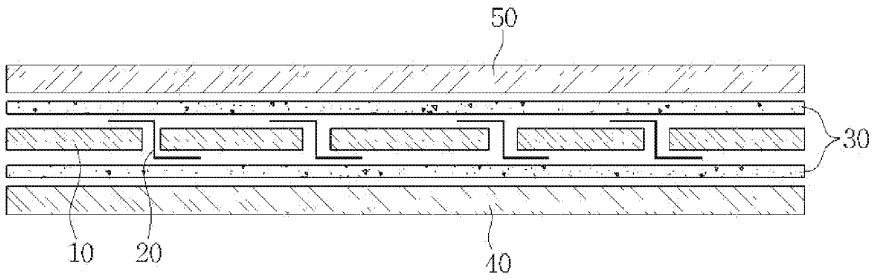
SAMSUNG EX. 1002 - 2124/4148



도면 2b

SIONYX1403000022.0163

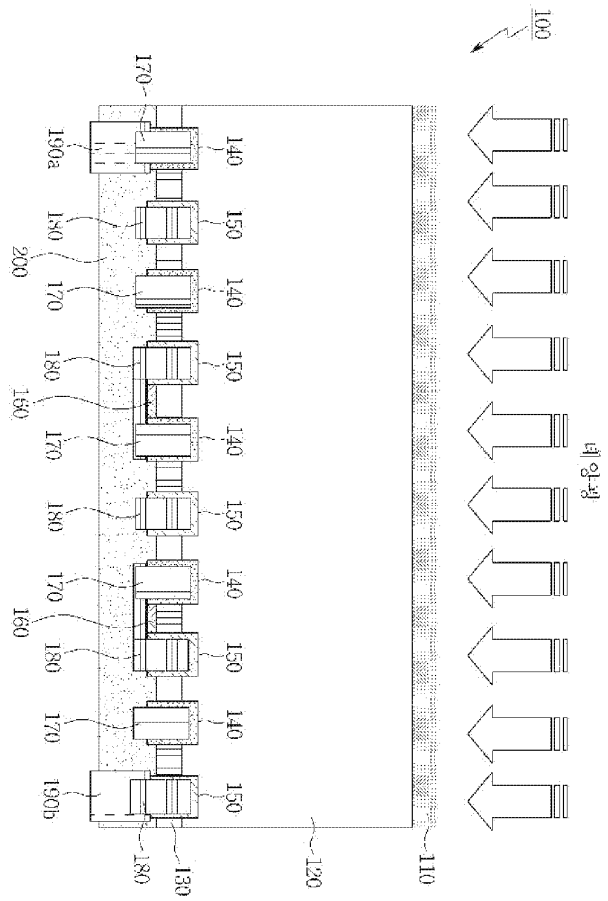
SAMSUNG EX. 1002 - 2125/4148



도면 3

SIONYX1403000022.0164

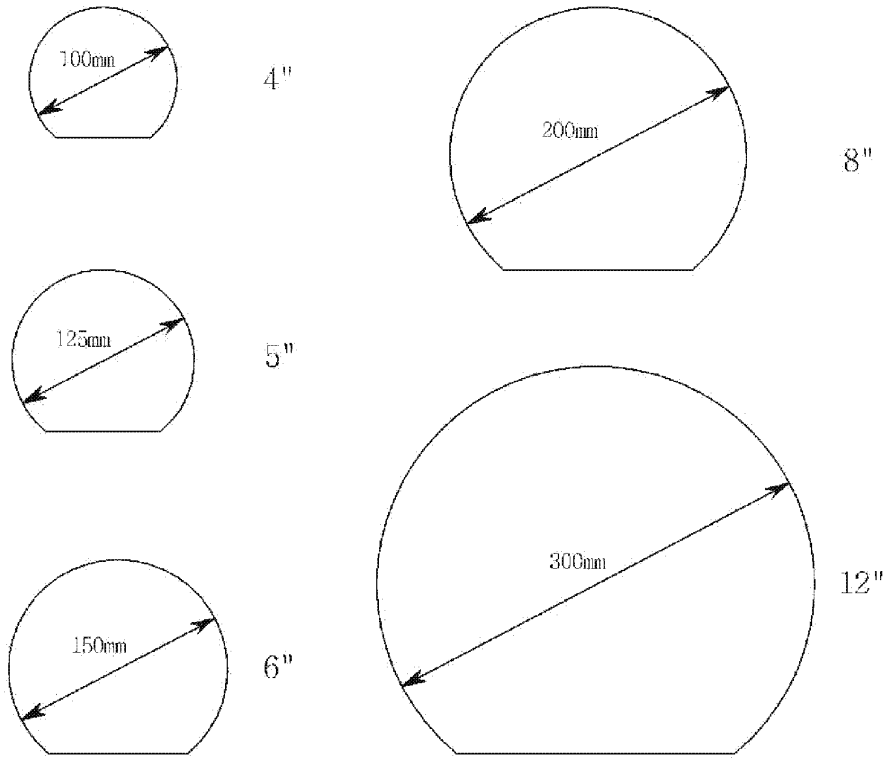
SAMSUNG EX. 1002 - 2126/4148



도면 4a

SIONYX1403000022.0165

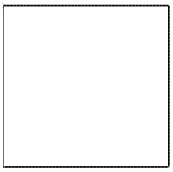
SAMSUNG EX. 1002 - 2127/4148



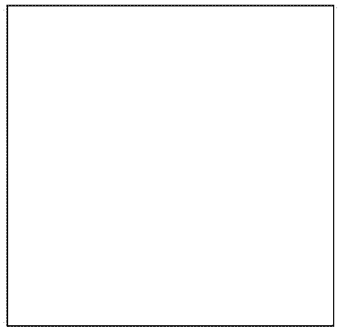
도면 4b

SIONYX1403000022.0166

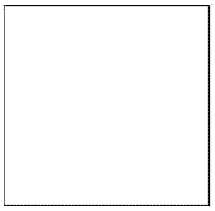
SAMSUNG EX. 1002 - 2128/4148



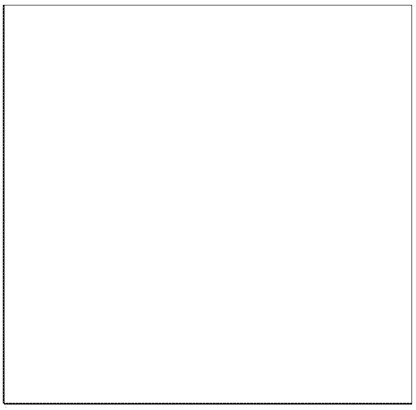
100mm*100mm

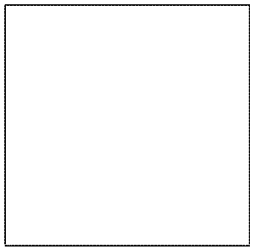


200mm*200mm



125mm*125mm





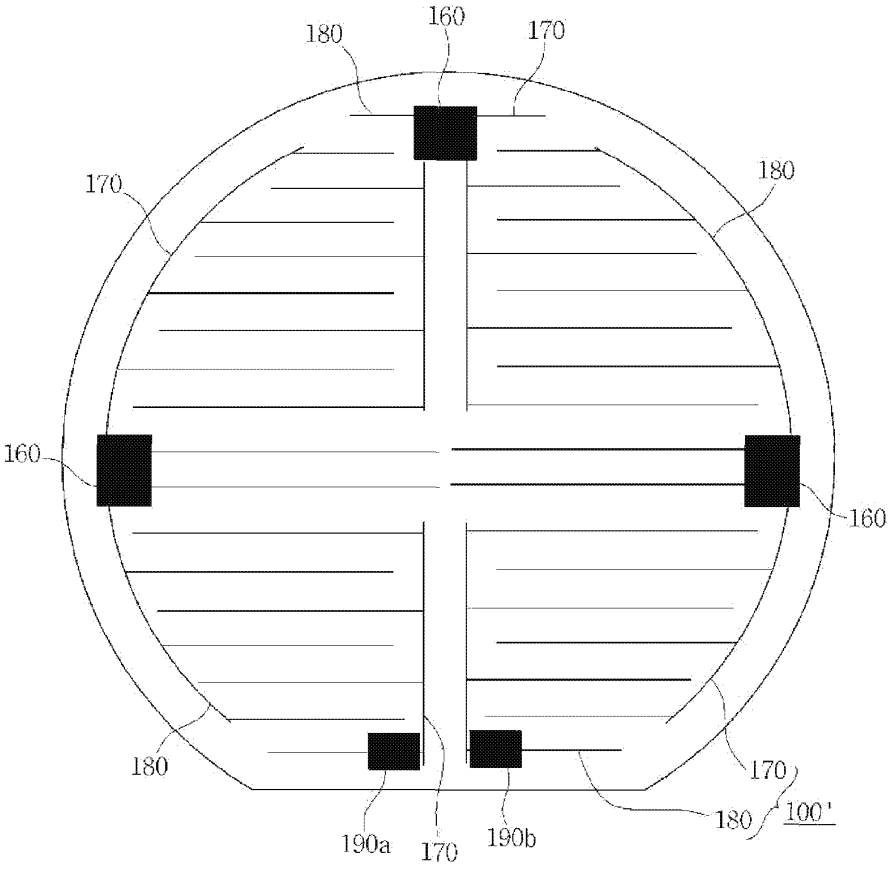
150mm*150mm

250mm*250mm

도면 5a

SIONYX1403000022.0167

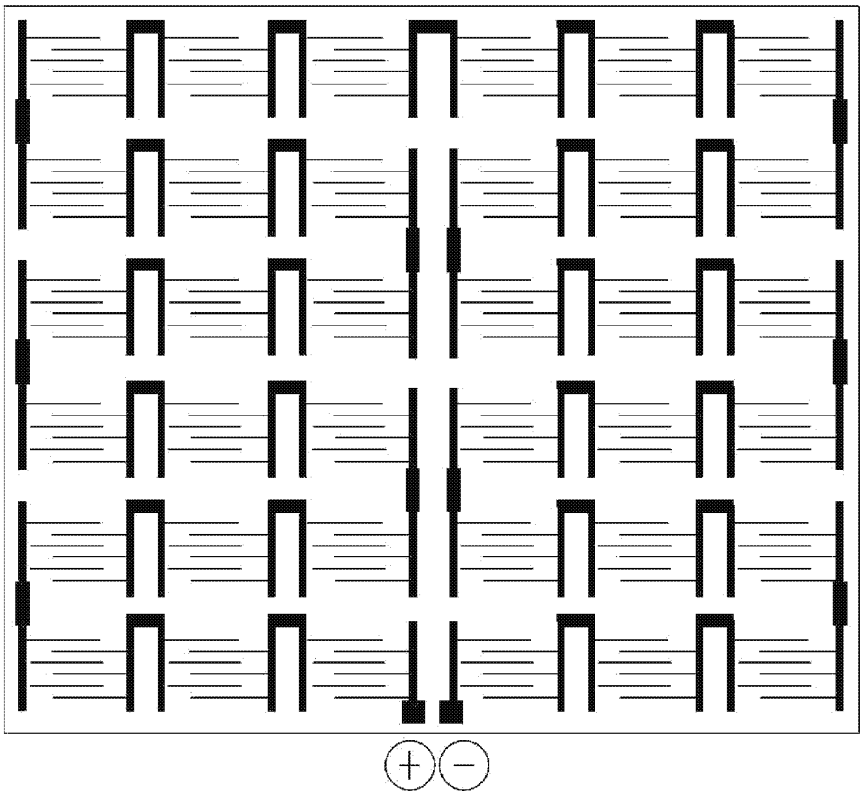
SAMSUNG EX. 1002 - 2129/4148



도면 5b

SIONYX1403000022.0168

SAMSUNG EX. 1002 - 2130/4148



도면 6

SIONYX1403000022.0169

SAMSUNG EX. 1002 - 2131/4148

p-형 실리콘기판에 피라미드 표면구조를 형성하는 단계
p-형 실리콘기판의 전, 후면에 산화막을 형성하는 단계
후면절연막막층에 베이스전극을 형성하는 단계
n++형 에미터층을 형성하는 단계
단위 태양전지간에 절연막막을 형성하는 단계
베이스전극에 p++형 후면전계층을 형성하는 단계
에미터전극과 출력전극, 절연막막상에
연결용 전극으로 은을 형성하는 단계
p-형 실리콘기판의 후면에 밀봉층을 형성하는 단계
전기적 특성을 검사하는 단계

No documents available for this priority number.

Espacenet

Bibliographic data: KR20100118864 (A) — 2010-11-08

A FABRICATING METHOD OF BURIED CONTACT SOLAR CELL

Inventor(s):	SHIN SANG KYUN [KR]; KIM KI HYUNG [KR]; YANG JUNG YUP [KR] ± (SHIN, SANG KYUN, ; KIM, KI HYUNG, ; YANG, JUNG YUP)
Applicant(s):	HYOSUNG CORP [KR] ± (HYOSUNG CORPORATION)
Classification:	**- international:** ***H01L31/042***
	- cooperative: Y02E10/52
Application number:	KR20090037787 20090429
Priority number (s):	KR20090037787 20090429
Also published as:	KR101160112 (B1)

Abstract of KR20100118864 (A)

PURPOSE: A method for manufacturing a buried contact solar cell is provided to simplify solar cell manufacturing processes by forming a selective emitter layer through one doping process. CONSTITUTION: A mask layer(110) is formed on a semiconductor substrate(100). A part of the mask layer is eliminated. A groove(G) for forming an electrode is formed on a semiconductor substrate to correspond to the eliminated part of the mask layer. An emitter layer(120) is formed by doping dopants in the mask layer and the groove. An anti-reflection layer(130) is formed on the upper side of the emitter layer. A front electrode(142) is formed in the groove of the semiconductor substrate.

Last updated: 13.03.2013 Worldwide Database 5.8.6.7; 92p

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0118864
(43) 공개일자 2010년11월08일

(51) Int. Cl.
H01L 31/042 (2006.01)
(21) 출원번호 10-2009-0037787
(22) 출원일자 2009년04월29일
심사청구일자 2009년04월29일

(71) 출원인
주식회사 효성
서울특별시 마포구 공덕동 450번지
(72) 발명자
신상균
경기도 안양시 동안구 호계동 976 주공아파트 213동 105호
김기형
경기도 안양시 만안구 안양6동 435-9 세양청마루 210호
양정엽
서울특별시 송파구 풍납동 대아아파트 602호
(74) 대리인
특허법인우린

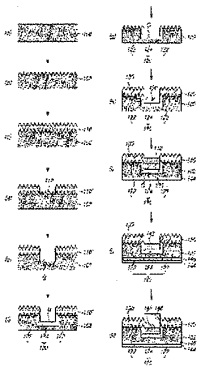
전체 청구항 수 : 총 11 항

(54) 함몰전극형 태양전지의 제조방법

(57) 요 약

본 발명은 함몰전극형 태양전지의 제조방법에 관한 것이다. 본 발명에서는 먼저 텍스처링된 실리콘 기판(102)의 상부 전체 면적에 형성된 마스크 층(110)의 일부분을 제거하여 패터닝된 마스크 층(110')을 형성한다. 그런 다음 텍스처링된 실리콘 기판(102) 상에 전면전극용 홈(G)을 형성하기 위해 식각공정을 수행한다. 이때 텍스처링된 실리콘 기판(102)의 일부(112)에 대해서만 식각이 이루어지고, 상기 패터닝된 마스크 층(110')과 접하는 부분에 대해서는 식각이 되지 않는다. 상기 식각공정에 따라 전면전극용 홈(G)이 형성된 다음에는 도핑공정을 수행한다. 이때 상기 도핑공정 시 상기 형성된 홈(G)의 주위는 고농도로 도핑되고, 상기 패터닝된 마스크 층(110')과 접하는 부분은 저농도로 도핑된다. 즉, 한 번의 도핑공정으로 선택적 에미터(selective emitter) 층(120)이 형성되는 것이다. 그리고 상기 패터닝된 마스크 층(110')을 제거하고, 상기 형성된 선택적 에미터 층(120) 상부에 반사방지막(130)을 형성한다. 그런 다음 상기 텍스처링된 실리콘 기판(102)의 전면에 형성된 홈(G)에는 전면전극(142)을 형성하고 후면 전체 면적에는 후면전극(144)을 형성한다. 이와 같은 본 발명에 의하면, 일반적인 식각공정에 의해 전면전극용 홈을 형성할 수 있고, 선택적 에미터 층을 한 번의 공정으로 형성할 수 있어 전체 공정을 간소화할 수 있는 이점이 있다.

대 표 도 - 도3



SIONYX1403000022.0172

SAMSUNG EX. 1002 - 2134/4148

특허청구의 범위

청구항 1

반도체 기판의 상부 전체 면적에 마스크 층을 형성하는 마스크 층 형성단계;

상기 형성된 마스크 층의 일부분을 제거하는 마스크 층 패터닝단계;

상기 제거된 마스크 층의 일부분과 대응하는 상기 반도체 기판에 전극형성용 홈(Groove)을 형성하는 홈 형성단계;

상기 마스크 층 및 홈에 불순물을 도핑하여 에미터 층을 형성하는 에미터 층 형성단계;

상기 에미터 층이 형성되면, 상기 마스크 층의 나머지 부분과 부산물을 동시에 제거하는 마스크 층 제거단계;

상기 형성된 에미터 층 상부에 반사방지막을 형성하는 반사방지막 형성단계;

상기 반도체 기판에 형성된 홈에는 전면전극을 형성하고 후면의 전체 면적에는 후면전극을 형성하는 전극 형성단계; 그리고

상기 형성된 전면전극 및 후면전극이 상기 반도체 기판에 전기적으로 연결되도록 열처리하는 열처리단계;를 포함하는 것을 특징으로 하는 함몰전극형 태양전지의 제조방법.

청구항 2

제 1항에 있어서,

상기 반도체 기판을 텍스처링(Texturing)하는 텍스처링 공정단계가 상기 마스크 층 형성단계 이전에 수행되는 것을 특징으로 하는 함몰전극형 태양전지의 제조방법.

청구항 3

제 1항 또는 제 2항에 있어서, 상기 마스크 층 형성단계는,

화학증착(Chemical Vapor Deposition: CVD), 증류(evaporation), 스퍼터링(sputtering), 스핀 코팅(Spin Coating), 잉크젯(Inkjet), 스크린 프린팅, 열 산화(thermal oxidation) 방법 중 어느 하나에 의해 실시되는 것을 특징으로 하는 함몰전극형 태양전지의 제조방법.

청구항 4

제 1항에 있어서, 상기 마스크 층 패터닝단계에서,

상기 마스크 층은, 광식각(Photo-lithography) 방법, 식각 페이스트(Etching Paste)를 이용한 잉크젯(Inkjet) 또는 스크린 프린팅 방법, 레이저를 이용한 패터닝(Laser ablation) 방법 중 어느 하나에 의해 패터닝되는 것을 특징으로 하는 함몰전극형 태양전지의 제조방법.

청구항 5

제 1항에 있어서, 상기 마스크 층 패터닝단계는,

상기 텍스처링된 반도체 기판의 상부에 상기 마스크 층을 미형성한 상태에서, 일정 모양으로 패터닝된 마스크 층을 상기 반도체 기판 상부에 직접 형성하고,

상기 패터닝된 마스크 층은 잉크젯(Inkjet) 방법 또는 스크린 프린팅 방법 중 어느 하나를 이용하여 형성됨을 특징으로 하는 함몰전극형 태양전지의 제조방법.

청구항 6

제 4항에 있어서,

상기 마스크 층은, 디퓨전 배리어(Diffusion Barrier)로 사용가능한 Oxide 계열 또는 Nitride 계열의 유전체 물질, 페이스트(Paste), 유기물 중 어느 하나의 물질로 형성되는 것을 특징으로 하는 함몰전극형 태양전지의 제조방법.

SIONYX1403000022.0173

SAMSUNG EX. 1002 - 2135/4148

청구항 7

제 1항에 있어서, 상기 홈 형성단계는,

반응성 이온 식각(Reactive Ion Etching: RIE), 플라즈마 식각(Plasma Etching), 습식식각(Wet Etching) 방법 중 어느 하나에 의해 상기 반도체 기판에만 선택적으로 식각공정이 실시되는 것을 특징으로 하는 함몰전극형 태양전지의 제조방법.

청구항 8

제 7항에 있어서,

상기 반응성 이온 식각(Reactive Ion Etching: RIE) 또는 플라즈마 식각(Plasma Etching) 방법이 실시되는 경우, F 계열 또는 Cl 계열의 반응 가스를 이용하는 것을 특징으로 하는 함몰전극형 태양전지의 제조방법.

청구항 9

제 8항에 있어서,

상기 습식식각 방법이 실시되는 경우에는 산(Acid) 계열의 화학물질 또는 알카라인(Alkaline) 계열의 화학물질을 이용하는 것을 특징으로 하는 함몰전극형 태양전지의 제조방법.

청구항 10

제 1항에 있어서, 상기 에미터 층 형성단계에서,

상기 일부분이 제거된 마스크 층은 디퓨전 배리어로 이용되어 상기 일부분이 제거된 마스크 층과 접하는 반도체 기판은 저농도로 도핑되고, 상기 반도체 기판에 형성된 홈 주위는 상대적으로 고농도로 도핑되는 것을 특징으로 하는 함몰전극형 태양전지의 제조방법.

청구항 11

제 1항 또는 제 10항에 있어서,

상기 에미터 층 형성단계는, 튜브 퍼니스(tube furnace)를 이용한 디퓨전(Diffusion) 방법 또는 벨트 퍼니스(belt furnace)를 이용한 디퓨전(Diffusion), 스프레이(Spray), SOD(Spin On Dopant), 플라즈마 도핑(Plasma Doping) 방법 중 어느 하나에 의해 실시되는 것을 특징으로 하는 함몰전극형 태양전지의 제조방법.

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 본 발명은 태양전지에 관한 것으로, 특히 반도체 기판 표면에 홈(Groove)을 내고 홈 안에 전극을 형성하는 함몰전극형 태양전지의 제조방법에 관한 것이다.

배 경 기 술

[0002] 최근 석유나 석탄과 같은 기존 에너지 자원의 고갈이 예측되면서 이들을 대체할 대체 에너지에 대한 관심이 높아지고 있다. 그 중에서도 태양전지는 에너지 자원이 풍부하고 환경오염에 대한 문제점이 없어 특히 주목받고 있다. 태양전지에는 태양열을 이용하여 터빈을 회전시키는데 필요한 증기를 발생시키는 태양열 전지와, 반도체의 성질을 이용하여 태양빛(photons)을 전기에너지로 변환시키는 태양광 전지가 있으며, 태양전지라고 하면 일반적으로 태양광 전지(이하 '태양전지'라 함)를 일컫는다.

[0003] 상기 태양전지는 반도체의 광 기전력 효과를 이용한 것으로서, p형 반도체와 n형 반도체를 조합하여 만든다. p형 반도체와 n형 반도체가 접한 부분(pn 접합부)에 빛이 들어오면, 빛 에너지에 의하여 반도체 내부에서 마이너스의 전하(전자)와 플러스의 전하(정공)가 발생한다. 상기 빛 에너지에 의해 발생된 전자와 정공은 내부의

SIONYX1403000022.0174

SAMSUNG EX. 1002 - 2136/4148

전계에 의하여 각각 n형 반도체측과 p형 반도체측으로 이동하여 양쪽의 전극부에 모아진다. 이러한 두 개의 전극을 도선으로 연결하면 전류가 흐르고 외부에서 전력으로 이용할 수 있게 된다.

[0004] 이러한 태양전지는 전극의 형태에 따라 스크린 프린팅형 태양전지(Screen Printing Solar Cell: 이하 'SPSC'라 약칭함)와 함몰전극형 태양전지(Buried Contact Solar Cell: 이하 'BCSC'라 약칭함)로 구분할 수 있다.

[0005] 상기 'SPSC'는 일반적으로 제조하기가 용이하지만 에너지 변환 효율이 낮은 편이다. 이는 금속 전극에서의 반사, 후면 전류 흐름에서 기인된 저항 및 일반적으로 깊게 도핑되어 있는 에미터 영역에서의 캐리어들의 높은 재결합률 때문이다. 또한 상기와 같은 이유로 'SPSC'에서는 단락회로전류밀도와 블루우 리스폰스(blue response) 특성이 불량하다.

[0006] 반면, 상기 'BCSC'는 상기 'SPSC'에 비해 제조 원가가 비싸고 공정이 복잡한 단점이 있으나, 변환 효율을 획기적으로 향상시킬 수 있는 장점으로 인해 최근에는 'BCSC'에 대한 많은 연구가 이루어지고 있다.

[0007] 도 1에는 일반적인 'BCSC'의 제조공정도가 도시되어 있다. 설명의 편의상 'BCSC'의 제조 재료인 반도체 기판으로서, 결정질 실리콘(Si) 기판을 예로 들어 설명한다.

[0008] 도 1을 설명하면, 먼저 실리콘 기판을 필요한 크기로 자른 뒤 절단시 발생한 실리콘 기판의 표면 결함이나 손상 부분을 제거하는 절단 및 에칭(Saw damage etching) 공정이 수행된다(S10).

[0009] 상기 에칭공정을 마친 실리콘 기판에 대해 반응성 이온 식각(Reactive Ion Etching:RIE) 방법 또는 습식 식각(Wet Etching) 방법을 이용하여 텍스처링(Texturing) 공정을 수행한다(S12). 상기 텍스처링 공정이 수행되면 상기 실리콘 기판의 전면은 입사되는 빛의 반사를 감소시키는 구조로 형성된다.

[0010] 상기 텍스처링 공정된 실리콘 기판과 다른 타입의 불순물(도펀트)을 도핑하여 저농도 에미터층을 형성하는 제1도핑공정이 수행된다(S14). 여기서, 만약 상기 에미터층이 고농도로 도핑되어 형성되는 경우, 표면에 존재하는 고농도의 도펀트들이 실리콘 기판 내에 과잉으로 존재함으로써 응집물이 형성되고, 이로 인해 전하의 수명이 감소되어 태양전지의 작동효율이 저하될 수 있다. 그렇기 때문에 저농도의 에미터층을 형성하는 것이다.

[0011] 상기 저농도 에미터층이 형성된 다음에는 상기 저농도 에미터층 형성시 발생하는 부산물을 제거하는 제1부산물 제거공정이 수행된다(S16). 상기 부산물은, p형 기판에 n형 도펀트를 확산시키는 경우 생성되는 PSG(Phosphor-Silicate Glass) 또는 n형 기판에 p형 도펀트를 확산시키는 경우 생성되는 BSG(Boro-Silicate Glass)를 말한다. 상기 PSG 또는 BSG는 전지의 전류를 차폐시키는 역할을 하기 때문에 전지효율을 높이기 위해서 식각용액 등을 이용하여 반드시 제거해 주어야 한다.

[0012] 상기 부산물이 제거되면, 상기 에미터층 상부에 태양광 반사를 막기 위한 반사방지막을 형성시키는 공정이 수행된다(S18). 상기 반사방지막은 실리콘 기판의 표면 보호막(Passivation) 역할도 한다.

[0013] 상기 반사방지막이 형성된 다음에는 실리콘 기판의 전면 내부까지 홈(Groove)를 형성시키는 공정이 수행된다(S20). 상기 홈은, 함몰전극(Buried Contact)이 형성될 공간으로, 레이저(Laser) 또는 절단톱(Dicing Saw)을 이용하여 형성된다.

[0014] 상기 홈이 형성되면 상기 함몰전극과의 접촉저항을 줄이기 위해 홈 표면에 실리콘 기판과 다른 타입의 불순물을 도핑하여 고농도 에미터층을 형성하는 제2도핑공정을 수행한다(S22). 이와 같이, 상기 제1도핑공정과 제2도핑공정을 통해 서로 다른 농도를 가지는 에미터층을 형성하는 것을 선택적 에미터(selective emitter)로 칭하고 있다.

[0015] 상기 고농도 에미터층이 형성된 다음에는 상기 고농도 에미터층 형성시 발생하는 부산물을 제거하는 제2부산물 제거공정이 수행된다(S24). 상기 부산물은 상술하였듯이, PSG 또는 BSG를 말한다.

[0016] 이어서, 상기 실리콘 기판의 전면에 형성된 홈 내부 및 후면의 모든 부분에 금속 페이스트를 사용하여 전극을 형성하는 공정이 수행된다(S26). 상기 금속 페이스트는 은(Ag), 알루미늄(Al) 등이 이용될 수 있다. 이때에는 스크린 프린팅 기법 등이 적용된다. 상기 전면에 형성된 전극은 태양광 흡수로 생성된 전자를 수집하는 역할을 하고, 후면에 형성된 전극은 실리콘 기판 후면에서의 광 반사를 높이고 전자의 재결합을 방지하는 역할을 한다.

[0017] 상기 전·후면에 형성된 전극이 실리콘 기판에 전기적으로 연결되도록 열처리 공정을 수행한다(S28). 이때, 상기 실리콘 기판의 후면에는 상기 금속 페이스트가 상기 열처리 공정에 의해 소정의 두께만큼 확산되어 후면 전계층(Back Surface Field: BSF)을 형성한다. 상기 'BSF'는 전계를 형성하여 광여기된 전자가 실리콘 기판의 후

SIONYX1403000022.0175

SAMSUNG EX. 1002 - 2137/4148

면으로 이동하는 것을 방지하는 역할을 한다.

[0018] 한편, 상기 형성된 전면 전극은 그 자체로 전면 전극 기능을 수행할 수도 있지만, 시드층(seed layer)으로도 사용될 수 있다. 이 경우 상기 형성된 전면 전극 상에 도금층을 형성하는 공정이 추가로 실시될 수 있다(S30). 이는 상기 전면 전극의 저항을 감소시키고 완성된 'BCSC' 기판의 종횡비를 높일 수 있다.

[0019] 그러나, 종래의 'BCSC'의 제조방법에는 다음과 같은 문제점이 있다.

[0020] 먼저, 레이저(Laser) 또는 절단톱(Dicing Saw)을 이용하여 홈을 형성하는 경우에는 실리콘 기판에 물리적인 손상을 유발시킬 수 있다. 특히 레이저(Laser)를 이용하여 홈을 형성하는 경우에는 높은 온도로 인해 기판 표면과 내부에 재결정 현상이 발생한다. 이는 빛을 흡수하여 생성된 전자를 재결합시키는 요인이 되어 표면 재결합 속도를 증가시키고 전자의 라이프 타임(life time)을 감소시키는 문제점이 있다.

[0021] 다음으로, 상기 선택적 에미터층을 형성하기 위해서는 제1 및 제2도핑공정을 반드시 수행하여야 한다. 이는 선택적 에미터층을 형성 시 공정이 복잡하고, 이에 따라 공정 비용이 증가하는 문제점이 있다.

[0022] 또한, 통상적으로, 도핑공정은 불순물을 실리콘 기판에 디퓨전시키기 위해 열처리공정을 수행하게 되는데, 이러한 고온의 열처리공정은 실리콘 기판의 품질을 저하시키는 원인으로 작용한다. 그런데, 상기 'BCSC'는, 상술한 바와 같이 제1 및 제2도핑공정을 수행하고 있어 실리콘 기판의 품질을 더욱 저하시키는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

[0023] 따라서 본 발명의 목적은 상기한 문제점을 해결하기 위한 것으로서, 캐리어의 라이프 타임(life time)이 감소되는 것을 방지하면서도 선택적 에미터의 형성공정을 간소화하기 위한 함몰전극형 태양전지의 제조방법을 제공하는 것이다.

과제 해결수단

[0024] 상기한 바와 같은 목적을 달성하기 위한 본 발명의 특징에 따르면, 본 발명은 반도체 기판의 상부 전체 면적에 마스크 층을 형성하는 마스크 층 형성단계; 상기 형성된 마스크 층의 일부분을 제거하는 마스크 층 패터닝단계; 상기 제거된 마스크 층의 일부분과 대응하는 상기 반도체 기판에 전극형성용 홈(Groove)을 형성하는 홈 형성단계; 상기 마스크 층 및 홈에 불순물을 도핑하여 에미터 층을 형성하는 에미터 층 형성단계; 상기 에미터 층이 형성되면, 상기 마스크 층의 나머지 부분과 부산물을 동시에 제거하는 마스크 층 제거단계; 상기 형성된 에미터 층 상부에 반사방지막을 형성하는 반사방지막 형성단계; 상기 반도체 기판에 형성된 홈에는 전면전극을 형성하고 후면의 전체 면적에는 후면전극을 형성하는 전극 형성단계; 그리고 상기 형성된 전면전극 및 후면전극이 상기 반도체 기판에 전기적으로 연결되도록 열처리하는 열처리단계;를 포함한다.

[0025] 상기 반도체 기판을 텍스처링(Texturing)하는 텍스처링 공정단계가 상기 마스크 층 형성단계 이전에 수행된다.

[0026] 상기 마스크 층 형성단계는, 화학증착(Chemical Vapor Deposition: CVD), 증류(evaporation), 스퍼터링(sputtering), 스핀 코팅(Spin Coating), 잉크젯(Inkjet), 스크린 프린팅, 열 산화(thermal oxidation) 방법 중 어느 하나에 의해 실시된다.

[0027] 상기 마스크 층 패터닝단계에서, 상기 마스크 층은, 광식각(Photo-lithography) 방법, 식각 페이스트(Etching Paste)를 이용한 잉크젯(Inkjet) 또는 스크린 프린팅 방법, 레이저를 이용한 패터닝(Laser ablation) 방법 중 어느 하나에 의해 패터닝된다. 또는 상기 텍스처링된 반도체 기판의 상부에 상기 마스크 층이 미형성된 상태에서, 일정 모양으로 패터닝된 마스크 층을 상기 반도체 기판 상부에 직접 형성할 수도 있다. 여기서, 상기 패터닝된 마스크 층은 잉크젯(Inkjet) 방법 또는 스크린 프린팅 방법 중 어느 하나를 이용하여 형성된다.

[0028] 상기 마스크 층은, 디퓨전 배리어(Diffusion Barrier)로 사용가능한 Oxide 계열 또는 Nitride 계열의 유전체 물질, 페이스트(Paste), 유기물 중 어느 하나의 물질로 형성된다.

[0029] 상기 홈 형성단계는, 반응성 이온 식각(Reactive Ion Etching: RIE), 플라즈마 식각(Plasma Etching), 습식식각(Wet Etching) 방법 중 어느 하나에 의해 상기 반도체 기판에만 선택적으로 식각공정이 실시된다.

[0030] 상기 반응성 이온 식각(Reactive Ion Etching: RIE) 또는 플라즈마 식각(Plasma Etching) 방법이 실시되는 경우, F 계열 또는 Cl 계열의 반응 가스를 이용한다.

SIONYX1403000022.0176

SAMSUNG EX. 1002 - 2138/4148

[0031] 상기 습식식각 방법이 실시되는 경우에는 산(Acid) 계열의 화학물질 또는 알카라인(Alkaline) 계열의 화학물질을 이용한다.

[0032] 상기 에미터 층 형성단계에서, 상기 일부분이 제거된 마스크 층은 디퓨전 배리어로 이용되어 상기 일부분이 제거된 마스크 층과 접하는 반도체 기판은 저농도로 도핑되고, 상기 반도체 기판에 형성된 홈 주위는 상대적으로 고농도로 도핑된다.

[0033] 상기 에미터 층 형성단계는, 튜브 퍼니스(tube furnace)를 이용한 디퓨전(Diffusion) 방법 또는 벨트 퍼니스(belt furnace)를 이용한 디퓨전(Diffusion), 스프레이(Spray), SOD(Spin On Dopant), 플라즈마 도핑(Plasma Doping) 방법 중 어느 하나에 의해 실시된다.

효 과

[0034] 이와 같은 구성을 갖는 본 발명의 함몰전극형 태양전지의 제조방법에 따르면, 실리콘 기판의 전면에는, 마스크 층(Mask Layer)을 형성하고 패터닝한 다음 상기 패터닝된 마스크 층에 일반적인 식각공정을 이용하여 홈(Groove)을 형성함으로써, 레이저(Laser)를 이용하여 홈을 형성했을 때 발생하는 캐리어의 라이프 타임(life time) 감소 현상을 방지하는 효과가 있다.

[0035] 또 상기 패터닝된 마스크 층을 디퓨전 배리어(Diffusion Barrier)로 이용하여 한 번의 도핑공정을 통해 선택적 에미터(selective emitter) 층을 형성하는바, 태양전지 제조공정을 간소화할 수 있다. 그래서 공정 비용을 절감시키고, 결국 생산단가를 낮추는 효과를 기대할 수 있다.

발명의 실시를 위한 구체적인 내용

[0036] 이하, 본 발명에 의한 함몰전극형 태양전지의 제조방법을 첨부된 도면에 도시된 바람직한 실시 예를 참고하여 상세하게 설명한다. 본 발명의 실시 예에서는 태양전지의 제조 재료로 반도체 기판으로서, 결정질 실리콘(Si) 기판을 예로 설명하기로 한다.

[0037] 도 2에는 본 발명의 바람직한 실시 예에 따른 함몰전극형 태양전지의 제조공정도가 도시되어 있고, 도 3에는 도 2의 함몰전극형 태양전지의 제조방법의 공정도가 단면도로 도시되어 있다.

[0038] 도 2를 설명하면, 먼저 실리콘 기판을 필요한 크기로 자르고 표면의 결함 및 손상을 제거하는 절단 및 에칭(Saw damage etching) 공정이 수행된다(S100).

[0039] 상기 에칭된 실리콘 기판에 대해 반응성 이온 식각(Reactive Ion Etching:RIE) 방법 또는 습식 식각(Wet Etching) 방법을 이용하여 텍스처링(Texturing) 공정을 수행한다(S102). 상기 텍스처링 공정이 수행되면 상기 실리콘 기판은 표면에 입사되는 빛의 반사를 감소시키는 구조로 형성된다.

[0040] 상기 텍스처링 공정된 실리콘 기판의 전면 상부에 마스크 층(Mask Layer)을 형성시키는 공정이 수행된다(S104). 상기 마스크 층은, 상기 실리콘 기판과의 식각 선택비(Etching Selectivity)가 높으면서도 아래에서 설명하는 도핑공정에서 디퓨전 배리어(Diffusion Barrier)로 사용가능하게 형성되어야 한다. 그렇기 때문에, 상기 마스크 층은, SiO_2, SiN_x, TiO_2, Al_2O_3 등의 Oxide 계열 또는 Nitride 계열의 유전체 물질뿐만 아니라, 디퓨전 배리어(Diffusion Barrier)로 사용가능한 페이스트(Paste)와, 유기물 등이 사용되는 것이 좋다. 상기 식각 선택비는 식각 작업시 두 물질이 식각되는 식각율의 비를 말한다. 한편, 상기 마스크 층은 화학증착(Chemical Vapor Deposition: CVD), 증류(evaporation), 스퍼터링(sputtering), 스핀 코팅(spin coating), 잉크젯(Inkjet), 스크린 프린팅, 열 산화(thermal oxidation) 등의 방법에 의해 형성된다.

[0041] 상기 마스크 층이 형성되면, 상기 실리콘 기판의 전면 중 홈(Groove)이 형성될 부분에 해당하는 마스크 층의 일부분을 제거하는 패터닝(Patterning)공정이 수행된다(S106). 상기 패터닝공정은, 광식각(Photo-lithography) 방법, 식각 페이스트(Etching Paste)를 이용한 잉크젯(Inkjet) 또는 스크린 프린팅 방법, 레이저를 이용한 패터닝(Laser ablation) 방법 등에 의해 식각된다.

[0042] 여기서, 상기 패터닝된 마스크 층을 형성하는 공정에 있어, 상술한 바와 같이 상기 실리콘 기판 전면의 모든 영역에 마스크 층을 형성한 상태에서 패터닝공정을 수행할 수도 있지만, 잉크젯(Inkjet) 또는 스크린 프린팅 방법을 이용하여 별도의 패터닝공정 없이 한 번에 패터닝된 마스크 층을 형성시킬 수도 있다.

SIONYX1403000022.0177

SAMSUNG EX. 1002 - 2139/4148

[0043] 상기 패터닝된 마스크 층을 이용하여 실리콘 기판에 홈을 형성하기 위한 선택적 식각공정이 수행된다(S108). 상기 선택적 식각공정은 상기 패터닝된 마스크 층에 의해 상기 실리콘 기판의 전면 중 홈이 형성되는 부분만을 식각하도록 수행된다. 이때에는 반응성 이온 식각(Reactive Ion Etching: RIE), 플라즈마 식각(Plasma Etching) 및 습식식각(Acid Wet Etching, Alkaline Wet Etching) 등의 방법이 이용되어 선택적 식각공정이 수행된다. 이 중에서, 상기 반응성 이온 식각과 플라즈마 식각 방법을 이용하는 경우, 식각 가스(Gas)는 F 계열 또는 Cl 계열 등의 반응 가스를 이용한다. 그러나, 상기 식각 가스는 이에 한정되는 것은 아니고, 상기 마스크 층과 실리콘 기판 간의 식각 선택비가 높은 가스이면 이용가능하다. 또 상기 습식식각 방법을 이용하는 경우에는 산(Acid) 계열의 화학물질 또는 알카라인(Alkaline) 계열의 화학물질을 이용한다. 상기 산 계열의 화학물질은 HCL, HF, NHO_3, CH_3COOH 또는 상기 산 계열의 화학물질의 혼합물이 이용된다. 그리고, 상기 알카라인 계열의 화학물질은 KOH, $NaOH$, IPA 또는 상기 알카라인 계열의 화학물질의 혼합물이 이용된다. 그러나, 상기 산 계열의 화학물질과 알카라인 계열의 화학물질은 이에 한정되는 것은 아니고, 상기 마스크 층과 실리콘 기판 간의 식각 선택비가 좋은 화학물질이면 이용가능하다.

[0044] 상기 선택적 식각공정에 의해 실리콘 기판에 홈이 형성되면, 상기 실리콘 기판과 다른 타입의 불순물(도펀트)을 도핑하여 선택적 에미터(selective emitter) 층을 형성하는 도핑공정이 수행된다(S110). 즉, 상기 도핑공정이 수행되면, 상기 마스크 층이 제거된 영역, 즉 홈 주위는 상기 도펀트가 직접 실리콘 기판으로 확산되어 고농도로 도핑되고, 반면 상기 마스크 층이 존재하는 영역은 상기 도펀트가 상기 마스크 층에 확산된 다음 실리콘 기판으로 확산되어야 하기 때문에, 확산속도가 느려져 상대적으로 저농도로 도핑되게 되는 것이다. 즉, 상기 패터닝된 마스크 층은 디퓨전 배리어(Diffusion Barrier)로서의 역할을 수행하게 되는 것이다. 이때, 상기 고농도 도핑은 90 ohm/squar 이상의 면 저항을 가지도록 도핑되고, 상기 저농도 도핑은 40 ohm/squar 이하의 면 저항을 가지도록 도핑되게 하는 것이 좋다. 또 상기 선택적 에미터 층은, 튜브 퍼니스(tube furnace)를 이용한 디퓨전(Diffusion), 벨트 퍼니스(belt furnace)를 이용한 디퓨전, 스프레이(Spray), SOD(Spin On Dopant), 플라즈마 도핑(Plasma Doping) 등의 방법에 의해 형성된다. 이와 같이, 한 번의 도핑공정으로 선택적 에미터 층을 형성할 수 있기 때문에 함몰전극형 태양전지를 제조 시 전체공정을 간소화할 수 있고, 이에 따라 공정 비용을 절감할 수 있다.

[0045] 상기 선택적 에미터 층이 정상적으로 형성되면, 상기 마스크 층과, 상기 선택적 에미터 층 형성시 발생하는 부산물을 제거하는 공정이 수행된다(S112). 상기 마스크 층과 부산물은 같은 계열(Oxide)의 유전체 물질이므로, 동일한 식각용액을 이용하여 제거될 수 있다. 상기 부산물은, p형 기판에 n형 도펀트를 확산시키는 경우 생성되는 PSG(Phosphor-Silicate Glass) 또는 n형 기판에 p형 도펀트를 확산시키는 경우 생성되는 BSG(Boro-Silicate Glass) 등을 말한다. 상기 PSG 또는 BSG는 전지의 전류를 차폐시키는 역할을 하기 때문에 전지효율을 높이기 위해서 반드시 제거해 주어야 한다.

[0046] 상기 마스크 층 및 부산물이 제거된 다음에는 상기 선택적 에미터층 상부에 태양광 반사를 막기 위한 반사방지막을 형성시키는 공정이 수행된다(S114). 상기 반사방지막은 SiO_2, SiN_x, Al_2O_3, SiO_xN_y 등과 같이 1.1 ~ 2.5 사이의 굴절율을 가지는 유전체 물질로 형성하고, 이는 화학증착(CVD), 스퍼터링(sputtering), 열 산화(thermal oxidation), 스프레이 등의 방법에 의해 형성된다. 이러한 반사방지막은 실리콘 기판의 표면 보호막(Passivation) 역할도 한다.

[0047] 이어서, 상기 실리콘 기판의 전면에 형성된 홈 내부 및 후면의 모든 부분에 금속 페이스트를 사용하여 전극을 형성하는 공정이 수행된다(S116). 상기 금속 페이스트는 니켈(Ni), 은(Ag), 크로뮴(Cr), 알루미늄(Al) 등이 이용될 수 있다. 이때에는 스크린 프린팅, 스텐실(Stencil), 잉크젯(Inkjet), 에어로졸 젯(Aerosol Jet), 스퍼터링(Sputturing), 증착법(evaporation) 등의 방법이 적용될 수 있다. 상기 전면의 홈에 형성된 전극(이하 "전면전극"이라 함.)은 태양광 흡수로 생성된 전자를 수집하는 역할을 하고, 후면에 형성된 전극(이하 "후면전극"이라 함.)은 실리콘 기판 후면에서의 광 반사를 높이고 전자의 재결합을 방지하는 역할을 한다.

[0048] 그리고 상기 전면전극 및 후면전극이 실리콘 기판에 전기적으로 연결되도록 700도 이상의 고온에서 열처리 공정이 수행된다(S118). 그러면, 전면전극 내의 금속원자가 반사방지막으로 침투하여 결국 상기 반사방지막이 전면전극화 되게 된다. 따라서, 전면전극은 실리콘 기판에 접합하게 되어 저항 전극(Ohmic Contact) 형태로 형성되는 것이다. 그리고 상기 후면전극은 상기 후면전극의 금속 페이스트가 소정의 두께만큼 상기 실리콘 기판에

SIONYX1403000022.0178

SAMSUNG EX. 1002 - 2140/4148

확산되어 후면 전계층(Back Surface Field: BSF)을 형성한다. 상기 후면 전계층은 전계를 형성하여 광여기된 전자가 실리콘 기판의 후면으로 이동하는 것을 방지하는 역할을 한다.

[0049] 한편, 상기 저항 전극(Ohmic Contact)을 형성한 전면전극은 그 자체로 전면 전극의 기능을 수행할 수도 있지만, 시드층(seed layer)으로도 사용될 수 있다. 이 경우 상기 전면전극의 저항을 낮추고 종횡비를 높이기 위하여 상기 형성된 전면전극 상에 도금 층을 형성하는 도금공정이 추가적으로 수행될 수 있다(S120). 이때 상기 도금 층은 복수 개로 형성할 수도 있다. 상기 도금 층은, 구리(Cu), 주석(Sn), 크로뮴(Cr), 은(Ag), 니켈(Ni) 등의 도금 물질 또는 상기 도금 물질의 혼합물이 사용될 수 있다.

[0050] 다음, 도 3을 참조하여 도 2에서 설명한 공정을 다시 살펴보기로 한다.

[0051] 먼저, 도 3(a)는 절단 및 에칭(Saw damage etching) 공정이 수행된 실리콘 기판(100)이다. 상기 실리콘 기판(100)에 대해 습식 식각(Wet Etching) 방법을 이용하여 텍스처링(Texturing) 하면, 도 3(b)와 같이 상기 실리콘 기판(100)의 전면은 표면적이 증가된 구조로 형성된다.

[0052] 상기 텍스처링된 실리콘 기판(102)의 전면 상부에는 디퓨전 배리어로 사용가능한 마스크 층(110)을 형성한다. 이는 도 3(c)에 도시되어 있다.

[0053] 상기 마스크 층(110)이 형성되면, 도 3(d)에 도시된 바와 같이 상기 텍스처링된 실리콘 기판(102)의 전면 중 홈(Groove)이 형성될 부분에 해당하는 마스크 층(110)의 일부를 제거하여 패터닝(Patterning)된 마스크 층(110')을 형성한다.

[0054] 그런 다음 상기 텍스처링된 실리콘 기판(102)에 홈(G)을 형성하기 위해 도 3(e)처럼 선택적으로 식각공정을 수행한다. 즉, 상기 텍스처링된 실리콘 기판(102)만이 식각될 수 있도록 상기 패터닝된 마스크 층(110')과 텍스처링된 실리콘 기판(102) 간의 식각 선택비가 높은 식각용액을 이용하여 식각공정을 수행하는 것이다. 그러면, 상기 텍스처링된 실리콘 기판(102)에서 상기 패터닝된 마스크 층(110')과 접하는 부분은 식각되지 않고, 상기 패터닝된 마스크 층(110')과 접하지 않는 부분(112)에 대해서만 선택적으로 식각이 이루어지게 된다.

[0055] 이러한 상태에서, 상기 텍스처링된 실리콘 기판(102)과 다른 타입의 불순물(도펀트)을 도핑하게 되면, 선택적 에미터(selective emitter) 층(120)이 형성된다. 상기 선택적 에미터 층(120)은, 도 3(f)에 도시된 바와 같이, 상기 텍스처링된 실리콘 기판(102)에서 상기 패터닝된 마스크 층(110')과 접하는 영역은 상기 패터닝된 마스크 층(110')이 디퓨전 배리어(Diffusion Barrier)로 작용함에 따라 저농도의 에미터 층(122)이 형성되고, 반면 상기 텍스처링된 실리콘 기판(102)에 형성된 홈(G) 주위는 상대적으로 고농도의 에미터 층(124)이 형성되게 되는 것이다. 이와 같이, 한 번의 도핑공정으로 선택적 에미터 층(120)을 형성할 수 있다.

[0056] 상기 선택적 에미터 층(120)이 형성되면, 도 3(g)과 같이 상기 패터닝된 마스크 층(110)과 상기 선택적 에미터 층(120) 형성시 발생하는 부산물(PSG 또는 BSG)을 제거한 다음, 도 3(h)과 같이 상기 선택적 에미터 층(120) 상부에 태양광 반사를 막기 위한 반사방지막(130)을 형성한다.

[0057] 이어서, 도 3(i)에 도시된 바와 같이, 상기 텍스처링된 실리콘 기판(102)에 형성된 홈(G)에는 전면전극(142)을 형성하고 후면의 전체 면적에는 후면전극(144)을 형성한다.

[0058] 그리고 상기 전면전극(142) 및 후면전극(144)이 상기 텍스처링된 실리콘 기판(102)에 전기적으로 연결되도록 열처리 공정을 수행한다. 그러면, 도 3(j)과 같이, 전면전극 내의 금속원자가 반사방지막으로 침투하여 상기 반사방지막이 전면전극화 되게 된다. 이렇게 형성된 전면전극은 결국 실리콘 기판에 접합하게 되어 저항 전극(Ohmic Contact) 형태로 형성된다. 그리고, 상기 후면전극(144)은 소정의 두께만큼 상기 텍스처링된 실리콘 기판(102)으로 확산되어 후면 전계층(Back Surface Field: BSF)(146)을 형성한다.

[0059] 한편, 상기 텍스처링된 실리콘 기판(102)의 전면에 형성된 전면전극(142)은 그 자체로 전극 기능을 수행할 수도 있지만, 시드층(seed layer)으로도 사용될 수 있다. 이 경우 도 3(k)와 같이, 상기 전면전극(142) 상에 도금 층(148)을 형성한다. 본 실시 예에서는 하나의 도금 층(148)이 형성된 것으로 설명하고 있지만, 반드시 그러한 것은 아니고 두 개 이상의 도금 층을 형성할 수도 있다. 이러한 도금 층(148)은 상기 전면전극(142)의 저항을 낮추고 종횡비를 높이기 위함이다.

[0060] 이와 같이 상기 실시 예에 설명되고 있는 본 발명은 실리콘 기판 상부에 형성된 마스크 층을 이용하여 한 번의 도핑공정에 의해 선택적 에미터 층을 형성시킬 수 있어, 공정이 간소화될 수 있고 이에 따라 공정 비용이 절감되는 이점이 있다.

SIONYX1403000022.0179

SAMSUNG EX. 1002 - 2141/4148

[0061] 이상과 같이 본 발명의 도시된 실시 예를 참고하여 설명하고 있으나, 이는 예시적인 것들에 불과하며, 본 발명의 속하는 기술분야의 통상 지식을 가진 자라면 본 발명의 요지 및 범위에 벗어나지 않으면서도 다양한 변형, 변경 및 균등한 타 실시 예들이 가능하다는 것을 명백하게 알 수 있을 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 청구범위의 기술적인 사상에 의해 정해져야 할 것이다.

도면의 간단한 설명

[0062] 도 1은 일반적인 함몰전극형 태양전지의 제조방법의 공정도.

[0063] 도 2는 본 발명의 바람직한 실시 예에 따른 함몰전극형 태양전지의 제조방법의 공정도.

[0064] 도 3은 도 2의 함몰전극형 태양전지의 제조방법의 공정도를 도시하고 있는 단면도.

[0065] *도면의 주요 부분에 대한 부호의 설명*

[0066] 100 : 실리콘 기판 102 : 텍스처링된 실리콘 기판

[0067] 110 : 마스크 층(Mask Layer) 110' : 패터닝된 마스크 층

[0068] G : 홈(Groove) 120 : 선택적 에미터 층

[0069] 122 : 저농도 에미터 층 124 : 고농도 에미터 층

[0070] 130 : 반사방지막 142 : 전면전극

[0071] 144 : 후면전극 146 : 후면 전계층(BSF)

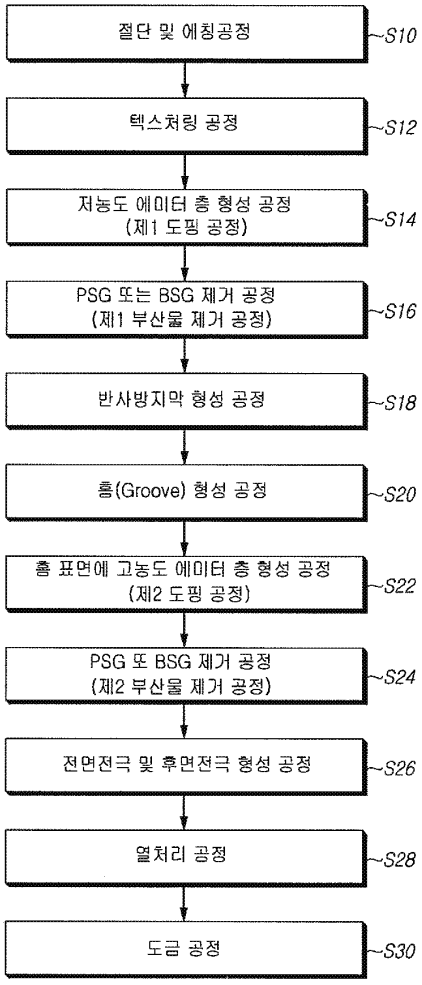
[0072] 148 : 도금층

SIONYX1403000022.0180

SAMSUNG EX. 1002 - 2142/4148

도면

도면1



SIONYX1403000022.0181

SAMSUNG EX. 1002 - 2143/4148

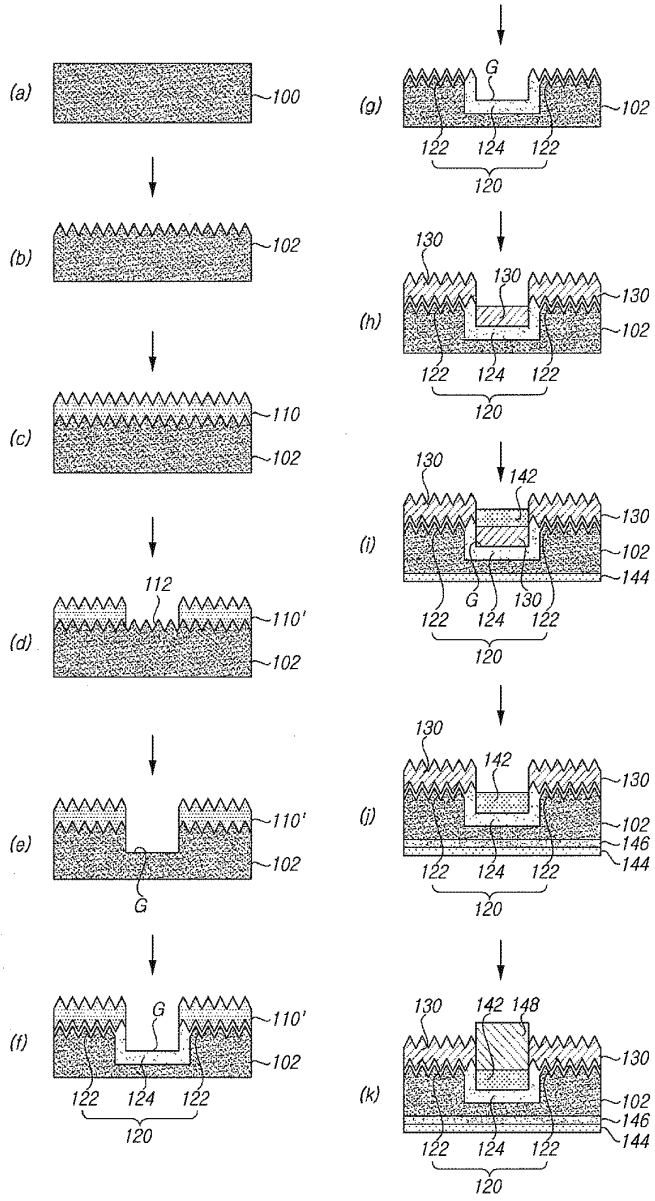
도면2



SIONYX1403000022.0182

SAMSUNG EX. 1002 - 2144/4148

도면3



SIONYX1403000022.0183

SAMSUNG EX. 1002 - 2145/4148

PCT WORLD INTELLECTUAL PROPERTY ORGANIZATION
International Bureau

INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(51) International Patent Classification 5 : H01L 27/148, 27/085 — A1

(11) International Publication Number: WO 91/14284

(43) International Publication Date: 19 September 1991 (19.09.91)

(21) International Application Number: PCT/AU91/00078

(22) International Filing Date: 6 March 1991 (06.03.91)

(30) Priority data:
PJ 8964 6 March 1990 (06.03.90) AU

(71) Applicant *(for all designated States except US)*: UNISEARCH LIMITED [AU/AU]; 221-227 Anzac Parade, Kensington, NSW 2033 (AU).

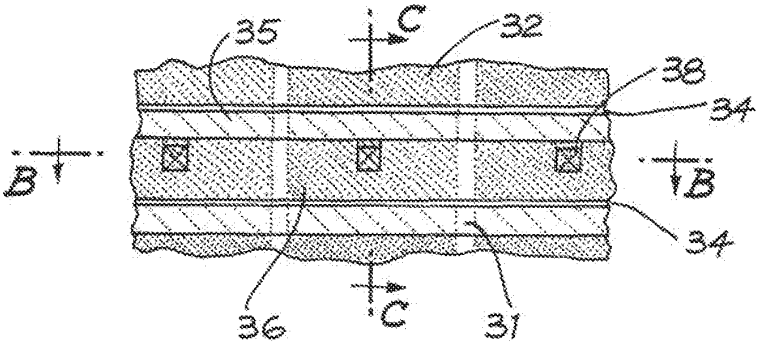
(72) Inventor; and
(75) Inventor/Applicant *(for US only)* : THEDEN, Ulrich [DE/AU]; 2 Beadle Place, Charnwood, ACT 2615 (AU).

(74) Agent: F.B. RICE & CO.; 28A Montague Street, P.O. Box 117, Balmain, NSW 2041 (AU).

(81) Designated States: AT (European patent), AU, BE (European patent), CH (European patent), DE (European patent), DK (European patent), ES (European patent), FR (European patent), GB (European patent), GR (European patent), IT (European patent), JP, LU (European patent), NL (European patent), SE (European patent), US.

Published
With international search report.

(54) Title: SCHOTTKY JUNCTION CHARGE COUPLED DEVICE



(57) Abstract

The present invention provides a Schottky Junction CCD array comprising a plurality of adjacent Schottky Junction CCDs which are infra-red sensitive, and which are separated by a low dose impurity implant (31) of the same polarity as a higher dose implant (35, 36) within the CCD channel (32). The individual gates are comprised of a metal silicide layer on the semiconductor substrate. The silicide layer stretches all the way across the array. Also, these silicide strips are separated by gaps (34) of sub-micron dimensions. This construction leads to substantially a 100 % fill factor for the array. Nearly all of the array will be IR sensitive.

SIONYX1403000022.0184

SAMSUNG EX. 1002 - 2146/4148

FOR THE PURPOSES OF INFORMATION ONLY

Codes used to identify States party to the PCT on the front pages of pamphlets publishing international applications under the PCT.

AT	Austria	ES	Spain	MG	Madagascar
AU	Australia	FI	Finland	ML	Mali
BB	Barbados	FR	France	MN	Mongolia
BE	Belgium	GA	Gabon	MR	Mauritania
BF	Burkina Faso	GB	United Kingdom	MW	Malawi
BG	Bulgaria	GN	Guinea	NL	Netherlands
BJ	Benin	GR	Greece	NO	Norway
BR	Brazil	HU	Hungary	PL	Poland
CA	Canada	IT	Italy	RO	Romania
CF	Central African Republic	JP	Japan	SD	Sudan
CG	Congo	KP	Democratic People's Republic of Korea	SE	Sweden
CH	Switzerland			SN	Senegal
CI	Côte d'Ivoire	KR	Republic of Korea	SU	Soviet Union
CM	Cameroon	LI	Liechtenstein	TD	Chad
CS	Czechoslovakia	LK	Sri Lanka	TG	Togo
DE	Germany	LU	Luxembourg	US	United States of America
DK	Denmark	MC	Monaco		

SAMSUNG EX. 1002 - 2147/4148

Schottky Junction Charge Coupled Device

The present invention relates generally to the design and fabrication of a Schottky Junction Charge Coupled Device, and more particularly, but not exclusively, to a Schottky Junction Charge Coupled Device arranged as a photo-optic detector, particularly to the design and fabrication of detector arrangements using low Schottky barrier height metal silicide layers on a silicon substrate for infra-red (IR) detection, wherein each of the detector elements in the arrangement forms one of a plurality of Schottky gates for infra-red sensitive Schottky Charge Coupled Devices.

Prior art silicide infra-red detector arrays are known wherein vertical and horizontal Charge Coupled Device (CCD) shift registers are provided to transfer charges generated in separate infra-red detectors to the detector array output. This detector array architecture is known as the "interline transfer scheme". Due to the area occupied by the shift registers, the detector fill factor (the ratio of active detector area to the area of the whole device) is, in practice, in the order of less than 50%.

To overcome the problem of low detector fill factors several approaches have been suggested. One way to boost the fill factor is the use of separate planes, one for Schottky silicide IR detection, and the other one as a silicon multiplexer network, bonded together with indium bumps, as described in US Patent No. 4,531,055. Another approach is to use micro-lenses on the device backside. These approaches lead to almost 100% detector fill factors, but the fabrication of these detector arrays is very costly.

Yet another approach to increase the detector fill factor is the use of CCDs which are infra-red sensitive. In Australian Patent No. 579027, the disclosure of which is incorporated herein by reference, a device is described which uses Schottky metal silicide CCD gates for both

SIONYX1403000022.0186

SAMSUNG EX. 1002 - 2148/4148

infra-red detection and charge transfer. One device described comprises a series of Schottky silicide gates in a Junction CCD arrangement. The metal silicide layers of each gate are separated from each other by a gap of a few microns.

Another device described in Australian Patent No. 579027 comprises a series of Schottky silicide gates which are separated from each other by MOS-type poly-silicon gates of a few microns to form a linear CCD. The area required by the MOS gates decreases the available space for the infra-red sensitive Schottky silicide gates.

In both the above devices, the individual linear CCDs which are made up by the Schottky silicide gates are placed side by side to build a two-dimensional detector array. Each linear CCD column is separated by channel stop diffusions of the opposite polarity as the CCD channel implant. On p type silicon implants, each gate also requires a guard barrier of opposite polarity implant at either side of the CCD gate, to prevent edge leakage current. The areas under the MOS poly-silicon gates and gaps between the metal silicide layers, and the areas covered by the channel stop diffusion and guard barriers, are non infra-red sensitive.

A problem occurs in Schottky Junction CCD arrangements with edge leakage current from the metal silicide layers. The present invention addresses solutions to the problems associated with this edge leakage current of reversed bias low Schottky barrier height metal gates on p-type silicon, which is prevented in conventional Schottky infra-red detectors by implanted guard rings.

The present invention provides a Schottky Junction CCD array comprising a plurality of Schottky Junction transfer gates on a semiconductor substrate, the array comprising at least two adjacent linear CCDs, each CCD

comprising a plurality of adjacent Schottky Junction transfer gates, the adjacent CCDs being separated by a low dose semiconductor impurity implant of the same polarity as a higher dose buried channel implant used in the CCD channel.

Defining the boundaries between adjacent CCDs by a low dose semiconductor impurity implant of the same polarity as a higher dose buried channel implant surprisingly obviates the need for guard barriers (where the CCD is made from p-type implants into silicon) and channel stop diffusions. Edge leakage does not substantially occur and anti-blooming properties of the Schottky gates are maintained. A further advantage is that substantially the entire area of the CCD will be sensitive to radiation where the CCD is arranged as a radiation detector.

Each Schottky Junction transfer gate preferably comprises a metal silicide layer over a semiconductor impurity implant. Preferably, the metal silicide layers of adjacent gates extend in strips across adjacent CCDs.

Preferably, adjacent Schottky Junction transfer gates in each CCD are separated from each other by only sub-micron wide gaps. Silicon dioxide spacers are preferably used to separate the adjacent gates. Previously, adjacent gates in each CCD were separated by gaps of a few microns. Preferably, the Schottky Junction transfer gates are infra-red sensitive gates which are arranged to operate in a first mode as IR detection elements and in a second mode as gates of a CCD shift register.

The Schottky Junction CCD array is preferably a "frame transfer device". Preferably, an array of infra-red sensitive Schottky CCD gates is connected to an array of non-sensitive Schottky CCD gates for frame storage. The frame of information can then be read out

line by line through a Schottky gate read-out CCD. The frame storage array could comprise an array of infra-red sensitive Schottky CCD gates shielded from IR radiation so they act as a storage array for charge from the array exposed to IR.

The semiconductor substrate preferably comprises n-type silicon and the CCD is formed by a p-type implant on the n-type silicon.

The present invention further provides a Schottky Junction CCD array comprising a plurality of Schottky Junction transfer gates on a semiconductor substrate, the array comprising at least two adjacent linear CCDs, each CCD comprising a plurality of adjacent Schottky Junction transfer gates, each Schottky Junction transfer gate comprising a layer of metal silicide over a semiconductor impurity implant, the metal silicide layers of adjacent gates extending in strips across adjacent CCDs in the array.

Preferably, the adjacent CCDs are separated by a low dose semiconductor impurity implant of the same polarity as a higher dose buried channel implant used in the CCD channel.

The device may also include sub-micron wide gaps between adjacent gates and may be a frame transfer device, and preferably the gates are IR sensitive, as discussed above.

An advantage of having the layer of silicide extending all the way across the CCD array is that the whole array underneath the silicide strip will be IR sensitive, unlike the case in the prior art where silicide layers of adjacent CCD columns are separated by a channel stop diffusion and also by opposite polarity implant guard rings.

The present invention yet further provides a Schottky Junction CCD array comprising a plurality of Schottky

Junction transfer gates, on a semiconductor substrate, the array comprising at least two adjacent linear CCDs, each CCD comprising a plurality of adjacent Schottky Junction transfer gates, adjacent Schottky Junction transfer gates within the CCD being separated from each other by a gap of a micron or less wide in the direction of charge transfer. The gap is preferably of sub-micron dimension. Silicon dioxide spacers are preferably used to separate adjacent gates.

Adjacent CCDs may be separated by a low dose semiconductor impurity implant, metal silicide layers forming the Schottky Junction transfer gates may extend across adjacent CCDs, and the array may be a frame transfer device, and preferably the gates are IR sensitive, as discussed above.

An advantage of having adjacent gates separated by gaps of sub-micron dimension is that inversion layers caused by the reverse bias voltage connected to the silicide gates are formed in an overlapping manner, and guard rings are not needed. This also leads to more efficient charge transfer.

In order to improve resistance to radiation damage, the silicon dioxide spacers may be removed by etching, i.e. the SiO_2 spacers would only be used during the manufacturing process for the array.

The present invention yet further provides a frame transfer Schottky Junction CCD array comprising an upper array and a lower array, the upper array comprising at least two adjacent linear CCDs, each CCD comprising a plurality of adjacent Schottky Junction transfer gates on a semiconductor substrate, said transfer gates being radiation sensitive and being arranged to operate in a first mode as radiation detection elements and in a second mode as gates of a CCD shift register, and the lower frame comprising at least two adjacent linear CCDs, each

comprising a plurality of adjacent Schottky Junction transfer gates, each upper CCD being able to transfer charge into a respective lower frame CCD for storage.

The upper array gates are preferably IR sensitive. In at least the upper frame array it is preferred that adjacent CCDs are separated by a low dose semiconductor impurity implant. It is also preferred that, in at least the upper array, that adjacent transfer gates in each CCD are separated by a gap of sub-micron width dimension. It is also preferred that, in at least the upper array, that metal silicide layers forming part of the transfer gates extend across the array over adjacent CCDs.

Preferably, both arrays include all the above features. An advantage of arranging the device as a frame transfer device is that similar fabrication techniques may be used for each array of the frame, which leads to ease of manufacture. In order to prevent the lower array producing charge it may be shielded from incident radiation..

A CCD array comprising adjacent radiation sensitive CCDs which are separated by a low dose impurity implant, adjacent gates being separated by a silicon dioxide spacer, results in a "Fully Integrated Schottky Array" (FISA), with a detector array of almost 100% fill factor.

A further advantage is that the FISA does not need metal oxide semiconductor type gates for separating the individual Schottky gates.

With channel separation of adjacent CCDs being by lower implant polarity, of the same implant as for the CCD channel, only a lower dose, this leads to the surprising advantage that guard rings for each individual Schottky gate within the CCD matrix are not needed. Edge leakage current does not substantially occur.

With such an FISA array, the whole matrix of Schottky CCDs including the channel separation implant may be

infra-red sensitive. Only a small fraction under the sub-micron spacers separating the Schottky gates is non-infra-red sensitive. This leads to almost 100% detector fill factor.

Such an FISA is also only minimally affected by solar radiation because of the lack of gate oxides. As discussed above, the SiO_2 spacers may be removed by etching in order to improve further resistance to solar radiation.

The present invention further provides a Schottky Junction charge coupled device infra-red imaging array having substantially continuous infra-red sensitive elements with a fill factor substantially greater than fifty percent, said imaging array comprising:

a plurality of substantially contiguous conductive transfer electrodes disposed along a semiconductor substrate above a buried implant channel and providing means for serially shifting charge packets within the buried channel of said substrate when a sequence of control voltages is applied thereto,

each of said substantially contiguous transfer elements forming a rectifying metal to semiconductor contact known as a Schottky contact and having a barrier height sufficiently low to cause the Schottky contact to respond to infra-red radiation of wavelength substantially greater than the band to band absorption cutoff wavelength of the semiconductor,

said Schottky contact acting in a first mode as an infra-red detector element by photoemission of charge carriers from the metallic region of said Schottky contact to said buried channel of said semiconductor substrate and, in a second mode, to control movement of charge packets within said buried channel, operating in said first or second mode being determined by voltage sequences applied to said transfer electrodes,

a dielectric passivating layer located over the transfer electrodes, and

a mirror located above the dielectric layer,

the transfer electrodes being sufficiently thin to enable transmission of infra-red light and the dielectric layer forming an optical cavity on top of the transfer electrode,

the buried implant channel comprising a central region of relatively high concentration dopant extending along the channel and bounded by regions of relatively low concentration dopant of the same polarity at its edges.

The present invention yet further provides a Schottky Junction charge coupled device infra-red imaging array having substantially contiguous infra-red sensitive elements with a fill factor substantially greater than fifty percent, said imaging array comprising:

a plurality of substantially contiguous conductive transfer electrodes disposed along a semiconductor substrate above a buried implant channel and providing means for serially shifting charge packets within the buried channel of said substrates when a sequence of control voltages is applied thereto,

each of said substantially contiguous transfer electrodes forming a rectifying metal to semiconductor contact known as a Schottky contact and having a barrier height sufficiently low to cause the Schottky contact to respond to infra-red radiation of wavelength substantially greater than the band to band absorption cutoff wavelength of the semiconductor,

said Schottky contact acting in a first mode as an infra-red detector element by photoemission of charge carriers from the metallic region of said Schottky contact to said buried channel of said semiconductor substrate and, in a second mode, to control movement of charge packets within said buried channel, operating in said

first or second mode being determined by voltage sequences applied to said transfer electrodes,

the buried implant channel comprising a central region of relatively high concentration dopant extending along the channel and bounded by regions of relatively low concentration dopant of the same polarity at its edges.

Features and advantages of the present invention will become apparent from the following description of an embodiment thereof, by way of example only, with reference to the accompanying drawings, in which:-

Figure 1 illustrates in cross section the basic structure of a single conventional metal-silicide Schottky barrier infra-red detector;

Figure 2 illustrates in plan view the structure of a prior art Schottky Junction Charge Coupled Device.

Figure 3 schematically illustrates the layout of a frame transfer detector array designed in accordance with an embodiment of the present invention, and

Figures 3 and 4 A, B and C, illustrate in plan view and cross-sections elements of the Fully Integrated Schottky Array in accordance with an embodiment of the present invention.

The basic structure of a conventional metal silicide Schottky barrier infra-red detector is illustrated in Figure 1, from which it will be noted that photons of incident infra-red radiation 11 are transmitted from the back surface 12 of the detector to the silicide layer 13 via a dielectric anti-reflection coating 14 and a p-type silicon substrate 15. Silicides of metals such as platinum or palladium are characterised by low Schottky barrier height for p-type silicon and are therefore suitable for the formation of infra-red sensitive detectors. The quantum efficiency of the silicide infra-red detector is improved by putting an optical cavity on top of the thin silicide layer 13 comprising a

dielectric layer 16 and an aluminium mirror 17. Light passing through the silicide 13 traverses the dielectric layer 16 and is reflected by the aluminium mirror 17 thereby providing additional opportunities for transmitted photons to be absorbed by silicide layer 13. During the integration time, when photons due to the incoming infra-red radiation 11 are absorbed in the silicide layer 13 creating electron-hole pairs, the metal-silicide layer 13 is reverse biased. Holes are absorbed by the p-type silicon substrate 15, while electrons stay in the silicide layer 13 as photo-current. This reverse bias voltage creates a high electric field at the edge of the extremely thin silicide layer 13, which would cause high leakage currents in p-type silicon. Therefore, a n-type guard ring 18 is integrated into the silicon substrate surrounding the edge of the silicide layer 13. The metal-silicide having a low Schottky barrier height on p-type silicon is characterised by a high Schottky barrier height on n-type silicon, thus preventing leakage current within the n-type doped guard ring 18.

In conventional infra-red detector arrays, such detectors are placed as an array, and the photo current of each individual detector is read-out by shift registers placed between the rows of detectors. Valuable space occupied by the shift registers can not be used for infra-red detection, leading to detector fill factors of less than 50%.

Figure 2 is a plan view of a portion of a prior art infra-red sensitive Schottky Junction CCD array such as the types disclosed in Australian Patent No. 579027. The CCD array, designated generally by reference numeral 100, is formed by p-type implants 101 (to form the CCD columns) on an n-type silicone substrate. It wold be possible to form the CCDs from n-type implants on p-type silicon, but

the wavelength response for such a CCD will be unsatisfactory. To obtain the required wavelength sensitivity p-type implants on n-type silicon need to be used. Each CCD gate is formed by a layer of metal silicide 102 over the channel implants 101 (silicides of metals such as platinum or palladium are suitable). In order to prevent edge leakage from each gate it is necessary to form guard barriers 103 at either side of the silicide 102. These guard barriers 103 are formed by n-type channel implants. Further, to separate each CCD column 101 channel stop diffusions 104 are required. These are also formed by n-type diffusions. The guard barriers 103 and channel stop diffusions 104 take up space that would otherwise be responsive to IR radiation, and reduce the fill factor of the CCD array. Overlying the CCD array will be a dielectric layer (not shown) and metallic contact layers (also not shown) connecting the CCDs up to two alternate phases of electrical potential (dia. 1, dia. 2) for operation of the device. The opposite side of the detector array may be coated with an anti-reflective layer.

The device operation is divided into two modes; the integration or detection mode and the read-out mode respectively. During the integration mode the silicide gates, and their respective overlying dielectric and metal layers,. work, as infra-red detectors as described with reference to Fig. 1, where the silicide is an infra-red sensitive region and the dielectric with overlying metal may act as an optical cavity of the detector in addition to its main role. The infra-red radiation coming from the substrate direction generates charges in the infra-red sensitive region where positive charges (holes) are ejected to the p-type channel. When the phase 1 is "on" during the integration mode, the charges will accumulate in the well regions of the gates connected to that phase

and they will choose the shortest way to go to these regions of lowest potential from the regions where they were generated. The size of the charge packages accumulated under the gates during the integration is proportional tothe amount of infra=red radiation falling in their close proximity. Thus an infra-red line image or two dimensional image is generated from a one or two dimensional array respectively.

After operating in the integration mode for a predetermined period, the second mode of operation is initiated, within which the accumulated charge is read out to the output stage. During this mode, the device has either to be covered from infra-red light (by a shutter) to prevent additional charge generation thus avoiding image "smear", or alternatively it is possible to avoid the use of the shutter by very fast transfer of the changes rom the horizontal lines into a conventional CCD array (non-detecting) for later slow read-out. In the read-out mode the silicide gates work as junction gates of a junction CCD. The silicide-silicon Schottky Junction behaves as a reverse biased p-n junction and is used in that capacity for charge transfer in the infra-red Schottky Junction CCD. Applying the proper phase voltages tothe IR SJ CCD gates we can transfer the whole infra-red generated image charge to the output stage. In the case of a two dimensional array the signal is transferred from all horizontal line IR SJ CCDs column by column, to either a frame storage CCD array (not shown), or a vertical CCD (which can be either an infra-red Schottky Junction CCD type or a conventional CC) which may then transport them to an output stage.

Referring to Figure 3, the Fully Integrated Schottky Array (FISA) should best be implemented as a frame transfer architecture, since metal-silicide Schottky CCDs in accordance with the present invention can be used for

SIONYX1403000023.0001

SAMSUNG EX. 1002 - 2159/4148

both infra-red detection and signal shift registers. An array of IR-sensitive Schottky silicide gates for IR imaging and frame transfer 21 is connected to an array of non-IR-sensitive CCDs for frame storage 22, before line-by-line read-out through a further CCD 23. For achieving detector fill factors close to 100%, the CCDs in the image part must abandon the use of MOS-type gates, and use Schottky gates only. For the infra-red sensitive image area 21, the Schottky gates would be formed by using low Schottky barrier height silicides such as platinum silicide for maximum infra-red response. On the other hand, silicide for the CCDs within the frame storage area 22, and for the read-out CCD 23, would be formed by using metals which have a high Schottky barrier height, for minimal infra-red response and low dark current.

By using Schottky gates for all active components of the detector array device, the FISA is easy to fabricate, leading to high fabrication yields. The lack of gate oxides increases the storage capacity of the Schottky CCDs compared to conventional buried channel CCDs, leads automatically to anti-blooming behaviour, and makes the device more radiation resistant.

Figure 4, A, B and C, in plan view (A) and cross section (Fig. 4B is a cross-section along line B-B of Fig. 4A, and Fig. 4C is a cross-section along line C-C of Fig. 4A) the layout of a detector cell of the proposed FISA device. Starting material for the detector device is n-type silicon 30. Boron is implanted across the CCD matrix. A SiO_2 layer, patterned between the CCD channels, masks against the first boron channel implant, while the silicon substrate 30 within the channel areas is uncovered by this masking oxide. This leads to a light boron dose 31 between the CCD channels and a heavier boron dose within the channel areas 32. The light boron dose area 31 willbe about a half of the concentration of the

SIONYX1403000023.0002

SAMSUNG EX. 1002 - 2160/4148

heavy boron dose area 32, for example, although it may vary from this. This distinct implant profile has two purposes: (1) The heavy implant keeps the charges within the CCD channel 32, while the light implant acts as a channel separation 31; (2) Schottky gates 33 formed later on this p-type implant do not need guard rings for each individual CCD gate, since silicide areas may stretch on uninterrupted p-implanted silicon across the whole device. Channel stop diffusions of the opposite polarity than the channel implant, as used in conventional CCDs (and in the CCDs of AU 579027), are not needed in Schottky CCDs because of the inbuilt anti-blooming features of this type of CCD. The light implant used in the present invention is also infra-red sensitive - leading to increased detector fill factor.

The gaps between adjacent Schottky gates 33 have to be made very small, preferably in the sub-micron range, if high transfer efficiency is to be achieved. Schottky gates which lie directly on silicon, can be separated by spacers 34 of grown or deposited silicon-dioxide (SiO_2), patterned by electron-beam exposure, X-ray exposure, deep UV exposure, or other patterning techniques leading to sub-micron wide SiO_2 lines 34 across the CCD matrix perpendicular to the CCD channel direction. Metals having low Schottky barrier heights such as platinum on p-type silicon, form platinum-silicide (PtSi) only on exposed silicon and not on SiO_2, and the PtSi Schottky gates are thus separated by sub-micron SiO_2-spacers 34. Other metals which form high Schottky barrier height silicides, would be suitable for the CCD matrix 22 (Figure 2) as frame storage CCDs or for the read-out CCD 23 (Figure 2).

If the Schottky CCD is supposed to be operated as a two-phase CCD shift register, then the CCD p-type channel implant needs two distinct regions under each Schottky gate for a unique charge transfer direction. This channel

SIONYX1403000023.0003

SAMSUNG EX. 1002 - 2161/4148

implant has to be aligned exactly to the sub-micron Schottky gate spacers 34. This second p-type implant leads to three distinguishable p-implanted areas; a light implant 31 between the CCD channels 32, a medium implant 35 for the charge barrier areas within the channel under each gate, and a heavy implant dose for the charge storage areas 36 under each Schottky gate.

In order to lower the resistivity of each silicide gate stretching across the whole device, an aluminium layer 39 is patterned as stripes over each silicide gate 33 on top of a dielectric layer 37, interconnecting the PtSi gates of the same phase through contact holes 38. In addition, the dielectric layer 37 acts, together with the aluminium layer 39 on top of it, as the optical cavity, enhancing the detector quantum efficiency (i.e. it provides an optical cavity and reflective layer, designed to reflect photos of light back towards the section layer). On the opposite, radiation receiving side of the device an anti-reflective coating 40 may be provided.The advantage of having uninterrupted silicide gates 33 lying on uninterrupted p-implanted silicon 31,35,36 across the entire width of the device is that the PtSi Schottky gates do not need guard rings for each individual pixel. Only at the edge of the CCD array a structure is needed to prevent edge leakage current and edge breakdown while the Schottky gates 33 are reverse biased during operation. This leakage current can be reduced by implanting a shallow n-type layer at the end of each Schottky gate at the edge of the array into the p-type channel implant, or by replacing the low Schottky barrier height PtSi at the end of each gate by a metal silicide having a high Schottky barrier height on p-type silicon. The silicide gate edges facing the silicon dioxide spacer 34 do not need guard rings, since the gates are only separated by sub-micron spacers, and therefore

form overlapping depletion regions when reverse biased. The operation of the image part 21 (Figure 2) of the FISA is divided into two modes: the detection mode and the frame transfer mode. During the detection mode the Schottky gates of one phase (e.g. dia.1) would be reverse biased. The infra-red radiation coming from the substrate direction generates electron-hole pairs in the metal-silicide layer, as described for Figure 1. Electrons which stay in the silicide layer, are absorbed by the applied bias voltage, while positive charges (holes) are ejected into the p-type implanted layer and stored in the "buried" channel potential well. After the detection mode, the phases are alternatingly pulsed, as in conventional buried channel CCDs, thus shifting the potential wells and stored holes along the Schottky CCD channels. This way, the whole frame of an infra-red image is shifted into the storage CCDs 22 (Figure 2). While all charges are then read-out from the storage CCD matrix line-by-line through the read-out CCD 23, the next frame of an infra-red image is integrated in the image part 21.

A generalized process for the fabrication of a Schottky Junction CCD array in accordance with the present invention may include the following items:

1. A first p-type implant step on the n-type silicon substrate with no mask.

2. A second p-type implant to define the CCD channels, using a silicon dioxide or photoresist mask to define the areas of light and heavy concentration doping.

3. A third p-type implant to define the p-type concentration profile within each CCD channel, using masks to form the storage and barrier areas under each Schottky gate. [Note that this is only necessary for two phase CCD operation, as is described herein. It is also possible to have a four phase device, in which case the third p-type implant step is not necessary, although four different phases of electrical potential are]

4. Silicone dioxide deposition and sub-micron patterning to form sub-micron spacers between Schottky gates. This submission patterning may be carried out using such techniques as electron-beam exposure, X-ray exposure, etc.
5. Deposition of SiO_2 or siO dielectric layer, patterning of contact holes for each Schottky gate.
6. Deposition and patterning of aluminium layer interconnecting all Schottky gates of the same phase, and acting together with the detective layer as "optical cavity".

The present invention cannot only be applied in the area of IR detection arrays, but is also applicable to Schottky Junction CCD arrays in general and also photo-optic detectors outside the IR range.

Note that the array in accordance with the present invention may be mounted in a device having a lens or other means for focussing radiation on the array.

It will be recognised by persons skilled in the art that numerous variations and modifications may be made to the invention as described above without departing from the spirit or scope of the invention as broadly described.

SIONYX1403000023.0006

SAMSUNG EX. 1002 - 2164/4148

THE CLAIMS DEFINING THE INVENTION ARE AS FOLLOWS:

1. A Schottky Junction CCD array comprising a plurality of Schottky Junction transfer gates on a semiconductor substrate, the array comprising at least two adjacent linear CCDs, each CCD comprising a plurality of adjacent Schottky Junction transfer gates, the adjacent CCDs being separated by a low dose semiconductor impurity implant of the same polarity as a higher dose buried channel implant in the CCD channel.

2. A Schottky Junction CCD array in accordance with claim 1, wherein each Schottky Junction transfer gate comprises a metal silicide layer formed over the semiconductor impurity implant.

3. A Schottky Junction CCD array in accordance with claim 2, wherein the metal silicide layers extend in strips across adjacent CCDs in the array.

4. A Schottky Junction CCD array in accordance with any of claims 1, 2 or 3, wherein adjacent Schottky Junction transfer gates in each CCD are separated from each other by micron or less width gaps.

5. A Schottky Junction CCD array in accordance with claim 4, wherein spacers of silicon dioxide separate adjacent gates within each CCD.

6. A Schottky Junction CCD array in accordance with any preceding claim, wherein each Schottky gate is of low barrier height, such that it is sensitive to infra-red radiation.

7. A Schottky Junction CCD array in accordance with any preceding claim, wherein the array is provided with an anti-reflective coating at least on the surface which is arranged to receive incident radiation.

8. A Schottky Junction CCD array comprising a plurality of Schottky Junction transfer gates on a semiconductor substrate, the array comprising at least two adjacent linear CCDs, each CCD comprising a plurality of adjacent

Schottky Junction transfer gates, each Schottky Junction transfer gate comprising a layer of metal silicide over a semiconductor impurity implant, the metal silicide layers extending in strips across adjacent CCDs in the array.

9. A Schottky Junction CCD array in accordance with claim 8, wherein adjacent CCDs are separated by a low dose semiconductor impurity implant of the same polarity as a higher dose buried channel implant in the CCD channel.

10. A Schottky Junction CCD array in accordance with claims 8 or 9, wherein adjacent Schottky Junction transfer gates in each CCD are separated from each other by micron or less width gaps.

11. A Schottky Junction CCD array in accordance with claim 10, wherein spacers of silicon dioxide separate adjacent gates within each CCD.

12. A Schottky Junction CCD array in accordance with any of claims 8 to 11, wherein each Schottky gate is of low barrier height, such that it is sensitive to infra-red radiation.

13. A Schottky Junction CCD array comprising a plurality of Schottky Junction transfer gates, on a semiconductor substrate, the array comprising at least two adjacent linear CCDs, each CCD comprising a plurality of adjacent Schottky Junction transfer gates, adjacent Schottky Junction transfer gates within the CCD being separated from each other by a gap of a micron or less wide in the direction of charge transfer.

14. A Schottky Junction CCD array in accordance with claim 13, wherein the gap is of sub-micron dimensions.

15. A Schottky Junction CCD array in accordance with claims 13 or 14, wherein adjacent CCDs are separated by a low dose semiconductor impurity implant of the same polarity as a higher dose buried channel implant in the CCD channel.

16. A Schottky Junction CCD array in accordance with

claims 13, 14 or 15, wherein each Schottky Junction transfer gate comprises a metal silicide layer formed over a semiconductor impurity implant.

17. A Schottky Junction CCD array in accordance with claim 16, wherein the metal silicide layers extend in strips across adjacent CCDs in the array.

18. A Schottky Junction CCD array in accordance with any of claims 13 to 17, wherein spacers of silicon dioxide separate adjacent gates within each CCD.

19. A Schottky Junction CCD array in accordance with any of claims 13 to 18, wherein each Schottky gate is of low barrier height, such that it is sensitive to infra-red radiation.

20. A Schottky Junction CCD array in accordance with any of claims 13 to 19, wherein the array is provided with an anti-reflective coating at least on the surface which is arranged to receive incident radiation.

21. A frame transfer Schottky Junction CCD array comprising an upper array and a lower array, the upper array comprising at least two adjacent linear CCDs, each CCD comprising a plurality of adjacent Schottky Junction transfer gates on a semiconductor substrate, said transfer gates being radiation sensitive and being arranged to operate in a first mode as radiation detection elements and in a second mode as gates of a CCD shift register, and the lower frame comprising at least two adjacent linear CCDs, each comprising a plurality of adjacent Schottky Junction transfer gates, each upper CCD being arranged to transfer charge into a respective lower frame CCD.

22. A frame transfer Schottky Junction CCD array in accordance with claim 21, wherein adjacent CCDs in at least the upper array are separated by a low dose semiconductor impurity implant of the same polarity as a higher dose buried channel implant in each CCD channel.

23. A frame transfer Schottky Junction CCD array in

accordance with claims 21 or 22, wherein each Schottky Junction transfer gate in at least the upper array comprises a metal silicide layer formed over the semiconductor impurity implant.

24. A Schottky CCD array in accordance with claim 23 wherein the metal silicide layers of the gates in at least the upper array, extend in strips across adjacent CCDs in the array.

25. A frame transfer Schottky Junction CCD array in accordance with any of claims 21 to 24, wherein adjacent Schottky Junction transfer gates in each CCD in at least the upper array are separated from each other by micron or less width gaps.

26. A frame transfer device in accordance with claim 25, wherein spacers of silicon dioxide separate adjacent gates within each CCD.

27. A frame transfer Schottky Junction CCD array in accordance with any of claims 21 to 26, wherein each Schottky gate of at least the upper array is of low barrier height, such that it is sensitive to infra-red radiation.

28. A frame transfer Schottky Junction CCD array in accordance with any of claims 21 to 27, wherein at least the upper array is provided with an anti-reflective coating at least on the surface which is arranged to receive incident radiation.

29. A Schottky Junction charge coupled device infra-red imaging array having substantially contiguous infra-red sensitive elements with a fill factor substantially greater than fifty percent, said imaging array comprising:

a plurality of substantially contiguous conductive transfer electrodes disposed along a semiconductor substrate above a buried implant channel and providing means for serially shifting charge packets within the buried channel of said substrate when a sequence of

control voltages is applied thereto,

each of said substantially contiguous transfer elements forming a rectifying metal to semiconductor contact known as a Schottky contact and having a barrier height sufficiently low to cause the Schottky contact to respond to infra-red radiation of wavelength substantially greater than the band to band absorption cutoff wavelength of the semiconductor,

said Schottky contact acting in a first mode as an infra-red detector element by photoemission of charge carriers from the metallic region of said Schottky contact to said buried channel of said semiconductor substrate and, in a second mode, to control movement of charge packets within said buried channel, operating in said first or second mode being determined by voltage sequences applied to said transfer electrodes,

a dielectric passivating layer located over the transfer electrodes, and

a mirror located above the dielectric layer,

the transfer electrodes being sufficiently thin to enable transmission of infra-red light and the dielectric layer forming an optical cavity on top of the transfer electrode,

the buried implant channel comprising a central region of relatively high concentration dopant extending along the channel and bounded by regions of relatively low concentration dopant of the same polarity at its edges.

30. A Schottky Junction charge coupled device infra-red imaging array having substantially contiguous infra-red sensitive elements with a fill factor substantially greater than fifty percent, said imaging array comprising:

a plurality of substantially contiguous conductive transfer electrodes disposed along a semiconductor substrate above a buried implant channel and providing means for serially shifting charge packets within the

buried channel of said substrates when a sequence of control voltages is applied thereto,

each of said substantially contiguous transfer electrodes forming a rectifying metal to semiconductor contact known as a Schottky contact and having a barrier height sufficiently low to cause the Schottky contact to respond to infra-red radiation of wavelength substantially greater than the band to band absorption cutoff wavelength of the semiconductor,

said Schottky contact acting in a first mode as an infra-red detector element by photoemission of charge carriers from the metallic region of said Schottky contact to said buried channel of said semiconductor substrate and, in a second mode, to control movement of charge packets within said buried channel, operating in said first or second mode being determined by voltage sequences applied to said transfer electrodes,

the buried implant channel comprising a central region of relatively high concentration dopant extending along the channel and bounded by regions of relatively low concentration dopant of the same polarity at its edges.

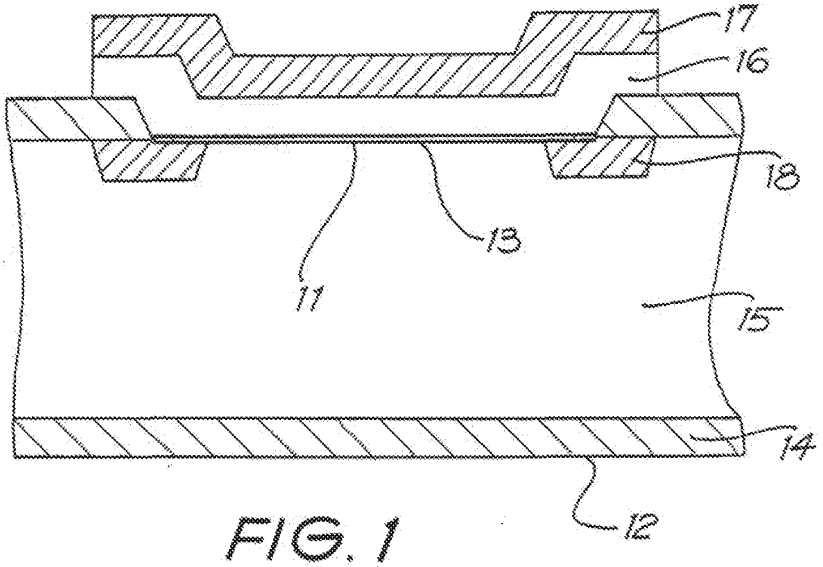


FIG. 1

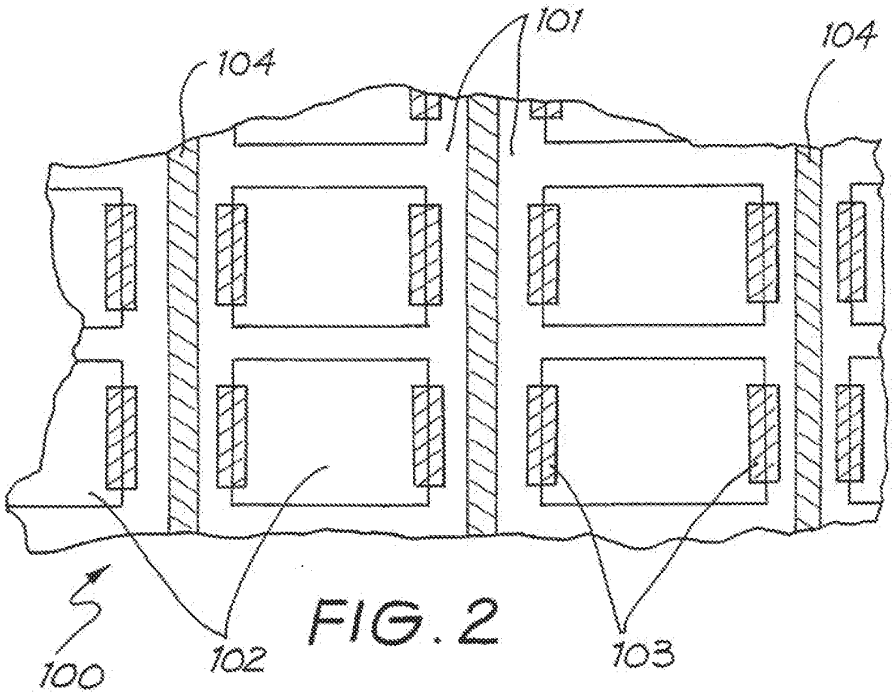


FIG. 2

SIONYX1403000023.0013

SAMSUNG EX. 1002 - 2171/4148

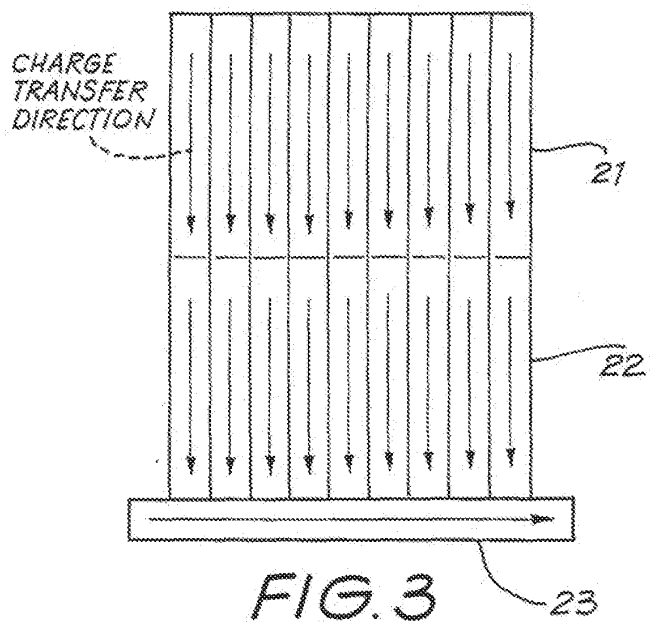


FIG. 3

SIONYX1403000023.0014

SAMSUNG EX. 1002 - 2172/4148

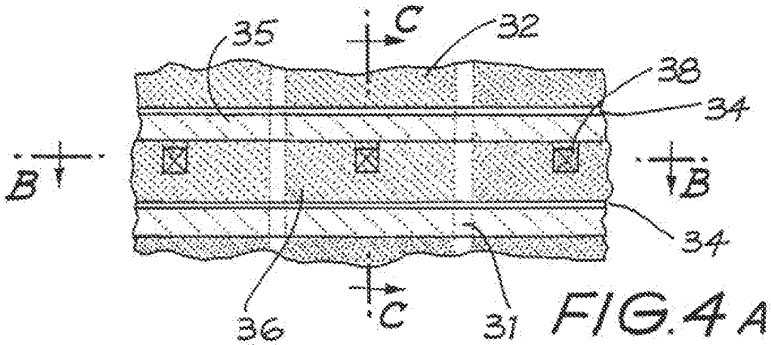


FIG. 4A

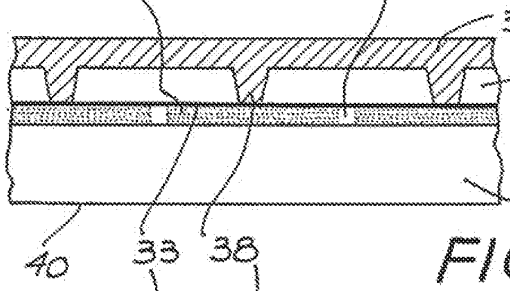


FIG. 4B

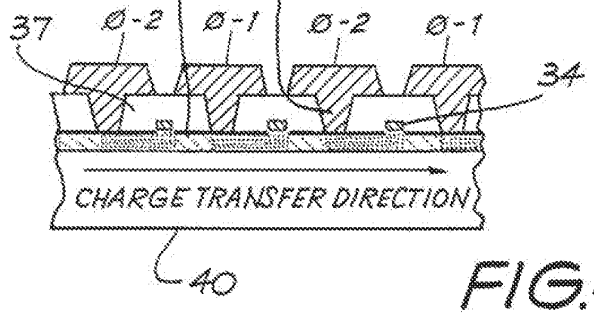


FIG. 4C

SIONYX1403000023.0015

SAMSUNG EX. 1002 - 2173/4148

INTERNATIONAL SEARCH REPORT

International Application No. PCT/AU 91/00078

I. CLASSIFICATION OF SUBJECT MATTER (if several classification symbols apply, indicate all) 6

According to International Patent Classification (IPC) or to both National Classification and IPC

Int. Cl.[5] H01L 27/148, 27/085

II. FIELDS SEARCHED

Minimum Documentation Searched 7

Classification System	Classification Symbols
IPC	H01L 27/148, 27/085, 27/14, 27/08

Documentation Searched other than Minimum Documentation to the Extent that such Documents are Included in the Fields Searched 8

AU : H01L 27/148, 27/085, 27/14, 27/08

III. DOCUMENTS CONSIDERED TO BE RELEVANT 9

Category*	Citation of Document, [11] with indication, where appropriate, of the relevant passages 12	Relevant to Claim No 13
X,Y	US,A, 4675714 (HIGGINS) 23 June 1987 (23.06.87) (Column 3 line 33)	(13,14,16-20)
X,Y	US,A, 4264915 (BIERHENKE et al) 28 April 1981 (28.04.81) (Column 6 lines 37,38)	(13,14,16-20)
X,Y	AU,B, 62199/86 (579027) (UNISEARCH LTD) 5 March 1987 (05.03.87) (page 9 lines 2-4, Fig 4b,5b, page 10 lines 6-9)	(8,10-14,16-21,23, 26-28)
X,Y	CARLO H. SEQUIN and MICHAEL F. TOMPSETT "Charge & Transfer Devices", published 1975 by Academic Press, Inc. (pages 152-157, Fig 5.6(c), Fig 5.20, pages 197-198)	(8,10-14,16-21, 23-28)
A	US,A, 4779124 (HYNECEK) 18 October 1988 (18.10.88)	
A	US,A, 4273596 (GUTIERREZ et al) 16 June 1981 (16.06.81)	

* Special categories of cited documents: 10

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

IV. CERTIFICATION

Date of the Actual Completion of the International Search	Date of Mailing of this International Search Report
13 June 1991 (13.06.91)	20 June 1991
International Searching Authority	**Signature of Authorized Officer**
Australian Patent Office	M.E. DIXON

SIONYX1403000023.0016

SAMSUNG EX. 1002 - 2174/4148

FURTHER INFORMATION CONTINUED FROM THE SECOND SHEET

V. [ ] OBSERVATIONS WHERE CERTAIN CLAIMS WERE FOUND UNSEARCHABLE 1

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1.[ ] Claim numbers ..., because they relate to subject matter not required to be searched by this Authority, namely:

2.[ ] Claim numbers , because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3.[ ] Claim numbers ..., because they are dependent claims and are not drafted in accordance with the second and third sentences of PCT Rule 6.4 (a):

VI. [X] OBSERVATIONS WHERE UNITY OF INVENTION IS LACKING 2

This International Searching Authority found multiple inventions in this international application as follows:

SEE ATTACHED SHEET

1.[ ] As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims of the international application.

2.[ ] As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims of the international application for which fees were paid, specifically claims:

3.[ ] No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claim numbers:

4. [X] As all searchable claims could be searched without effort justifying an additional fee, the International Searching Authority did not invite payment of any additional fee.

Remark on Protest

[ ] The additional search fees were accompanied by applicant's protest.

[ ] No protest accompanied the payment of additional search fees.

SIONYX1403000023.0017

SAMSUNG EX. 1002 - 2175/4148

FURTHER INFORMATION CONTINUED FROM THE THIRD SHEET

VI. [X] OBSERVATIONS WHERE UNITY OF INVENTION IS LACKING:

All claims are to Schottky Junction CCDs. This alone is not a new invention.

(i) Claims 1-7,29 and 30 relate to the doping of impurity implants in the CCD.

(ii) Claims 8-12 specify metal silicide layers in strips across the CCD.

(iii) Claims 13-20 specify sub-micron separation of transfer gates in the CCD.

(iv) Claims 21-28 are to a frame transfer CCD.

Each of (i),(ii),(iii) and (iv) relate to a different improvement in a Schottky Junction CCD and are therefore different inventions.

SIONYX1403000023.0018

SAMSUNG EX. 1002 - 2176/4148

ANNEX TO THE INTERNATIONAL SEARCH REPORT ON
INTERNATIONAL APPLICATION NO. PCT/AU 91/00078

This Annex lists the known "A" publication level patent family members relating to the patent documents cited in the above-mentioned international search report. The Australian Patent Office is in no way liable for these particulars which are merely given for the purpose of information.

Patent Document Cited in Search Report	Patent Family Members		
US 4675714			
US 4264915	DE 2743245 JP 54057869	FR 2404303	GB 2005074
AU 62199/86	US 5001530 JP 3121072	CA 2025077	EP 419282
US 4779124	EP 167756	JP 61044465	
US 4273596	US 4228365		

END OF ANNEX

SAMSUNG EX. 1002 - 2177/4148

PUB-NO: WO009114284A1
DOCUMENT-IDENTIFIER: WO 9114284 A1
TITLE: SCHOTTKY JUNCTION CHARGE COUPLED DEVICE
PUBN-DATE: September 19, 1991

INVENTOR-INFORMATION:

NAME	COUNTRY
THEDEN, ULRICH	AU

ASSIGNEE-INFORMATION:

NAME	COUNTRY
UNISEARCH LTD	AU

APPL-NO: AU09100078
APPL-DATE: March 6, 1991

PRIORITY-DATA: AUPJ896490A (March 6, 1990)

INT-CL (IPC): H01L027/085 , H01L027/148

EUR-CL (EPC): H01L027/148

US-CL-CURRENT: 257/216 , 257/280 , 257/E27.16

ABSTRACT:

The present invention provides a Schottky Junction CCD array comprising a plurality of adjacent Schottky Junction CCDs which are infra-red sensitive, and which are separated by a low dose impurity implant (31) of the same polarity as a higher dose implant (35, 36) within the CCD channel (32). The individual gates are comprised of a metal silicide layer on the semiconductor substrate. The silicide layer stretches all the way across the array. Also, these silicide strips are separated by gaps (34) of sub-micron dimensions. This construction leads to substantially a 100 % fill factor for the array. Nearly all of the array will be IR sensitive.

SAMSUNG EX. 1002 - 2178/4148

Espacenet

Bibliographic data: WO0241363 (A2) — 2002-05-23

SYSTEM AND METHODS FOR LASER ASSISTED DEPOSITION

Inventor(s): DESSEL NORMAN F [US] ± (DESSEL, NORMAN, F)

Applicant(s): SOLARFLEX TECHNOLOGIES INC; DESSEL NORMAN F [US] ± (SOLARFLEX TECHNOLOGIES, INC, ; DESSEL, NORMAN, F)

Classification: - international: ***C23C14/34; C23C14/58; H01L31/18;*** (IPC1-7): H01L
- cooperative: **C23C14/3435**; **C23C14/3471**; **C23C14/5813**; **H01L31/18**; **H01L31/1836**; Y02E10/50

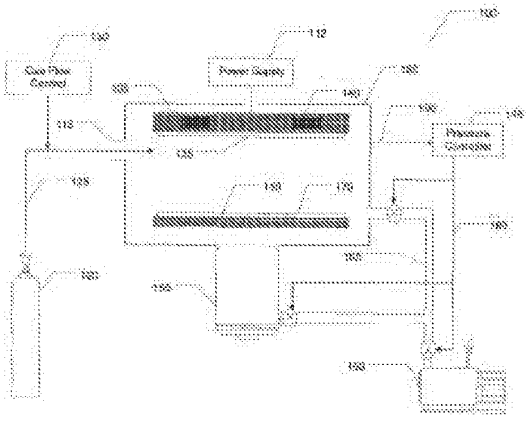
Application number: WO2001US43586 20011116

Priority number (s): US20000249367P 20001116 ; US20000254760P 20001212 ; US20010892131 20010625

Also published as: WO0241363 (A3) WO0241363 (A9) AU3393002 (A)

Abstract of WO0241363 (A2)

Systems and methods for laser assisted deposition use an energy source such as a laser to simultaneously deposit and anneal a thin film of semiconductor or metal material on a substrate. The uniform heating of the deposited material while the layer is being sputtered obviates a subsequent annealing stage. The laser can be pulsed or continuous wave. The substrate can be plastic such as tediar, mylar, teflon, or tefzel. The systems and methods for laser assisted deposition can be used to manufacture solar cells, such as a cadmium telluride (CdTe) solar cell having a cadmium sulfide (CdS) window layer. Both the techniques of sputtering and sublimation can be used to grow the layer.



SIONYX1403000023.0021

SAMSUNG EX. 1002 - 2179/4148

SIONYX1403000023.0022

SAMSUNG EX. 1002 - 2180/4148

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau

(43) International Publication Date
23 May 2002 (23.05.2002)

PCT

(10) International Publication Number
WO 02/41363 A2

(51) International Patent Classification[7]: H01L

(21) International Application Number: PCT/US01/43586

(22) International Filing Date:
16 November 2001 (16.11.2001)

(25) Filing Language: English

(26) Publication Language: English

(30) Priority Data:

60/249,367	16 November 2000 (16.11.2000)	US
60/254,760	12 December 2000 (12.12.2000)	US
09/892,131	25 June 2001 (25.06.2001)	US

(71) Applicant *(for all designated States except US)*: **SOLARFLEX TECHNOLOGIES, INC.** [/]; 7950 Silverton Avenue, Suite 112, San Diego, CA 92126 (US).

(72) Inventor; and
(75) Inventor/Applicant *(for US only)*: **DESSEL, Norman, F.** [US/US]; 6443 Lance Court, San Diego, CA 92120 (US).

(74) Agent: **ALBERT, G., Peter, Jr.**; Lyon & Lyon LLP, Suite 800, 4225 Executive Square, La Jolla, CA 92037 (US).

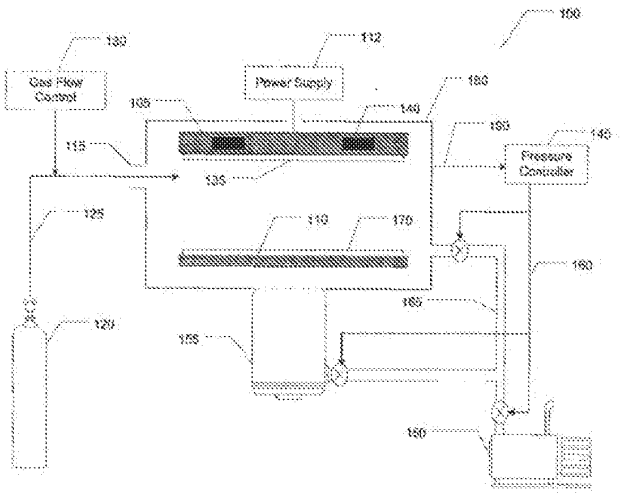
(81) Designated States *(national)*: AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CR, CU, CZ, DE, DK, DM, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW.

(84) Designated States *(regional)*: ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Published:
— *without international search report and to be republished upon receipt of that report*

[Continued on next page]

(54) Title: SYSTEM AND METHODS FOR LASER ASSISTED DEPOSITION



(57) Abstract: Systems and methods for laser assisted deposition use an energy source such as a laser to simultaneously deposit and anneal a thin film of semiconductor or metal material on a substrate. The uniform heating of the deposited material while the layer is being sputtered obviates a subsequent annealing stage. The laser can be pulsed or continuous wave. The substrate can be plastic such as tedlar, mylar, teflon, or tefzel. The systems and methods for laser assisted deposition can be used to manufacture solar cells, such as a cadmium telluride (CdTe) solar cell having a cadmium sulfide (CdS) window layer. Both the techniques of sputtering and sublimation can be used to grow the layer.

WO 02/41363 A2

SIONYX1403000023.0023

SAMSUNG EX. 1002 - 2181/4148

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

SYSTEMS AND METHODS FOR LASER ASSISTED DEPOSITION

Related Applications

[01] This application claims the benefit of United States Provisional Application Serial No. 60/249,367, filed November 16, 2000, and United States Provisional Application Serial No. 60/254,760, filed December 12, 2000, and this application is a continuation-in-part of United States Patent Application Serial No. 09/892,131 filed June 25, 2001.

Field of the Invention

[02] The present invention relates generally to the deposition of thin films and, more particularly relates to methods and systems for laser assisted deposition.

Background of the Invention

[03] The fabrication of solar cells presents unique manufacturability challenges to the solar energy industry. Chief among them is the difficulty often encountered in depositing the semiconductor layers that form a cell's pn-junction onto a substrate material capable of withstanding high processing temperatures. In the past, this challenge has prevented the manufacture of solar cells on flexible materials such as plastic because many plastics break down or become damaged during high temperature deposition and annealing.

[04] Known deposition systems for creating thin films include evaporation, chemical vapor deposition and sublimation. Deposition is a physical vapor deposition process in which a target material is bombarded by high-energy ions, causing the target material to eject atoms or molecules that are then deposited in a thin layer on the substrate. Deposition is relied on heavily in the solar cell industry for at least two reasons: First, deposition permits the deposition of complex alloys, such as CdTe, CdS, and other compound semiconductors. Second, deposition is ideal for depositing controlled, uniform films onto substrates having large surface area, such as the substrates used to

SAMSUNG EX. 1002 - 2183/4148

produce solar cells and panels. Sublimation is an alternative technique for depositing a solid state material onto a surface that is also widely used to manufacture solar cells.

[05] In semiconductor wafer manufacturing, annealing has traditionally been performed as a follow-on step subsequent to ion implantation or other process step known to damage the crystal lattice. In contrast, thin film manufacturing uses annealing primarily to improve crystalinity of the amorphous deposited layer. In both cases, annealing usually takes place at a temperature of about 500°C. Most plastics break down when exposed to such high heat. As a result, thin film solar cell construction has required a heat tolerant substrate material such as glass. Unfortunately, glass solar cells have limited applications due to their cost and bulkiness. Thus, a manufacturing process and apparatus capable of depositing thin film layers onto a flexible and low-cost plastic or polymeric substrate is desirable.

Summary of the Invention

[06] The present invention addresses the drawbacks of prior art thin film deposition techniques noted above and provides systems and methods for laser assisted deposition of thin films.

[07] The systems and methods for laser assisted deposition use a thin film deposition technique that combines thin film deposition and annealing into one processing stage. In one embodiment, the target material for deposition is mounted to a negatively charged cathode in a magnetron or similar processing apparatus having a plasma within a chamber and sputter-depositing the target material onto a substrate to build a thin film layer thereon. In one embodiment the substrate material is a plastic or polymeric material such as tedlar, mylar, tefzel, or teflon.

[08] The processing apparatus can be modified to contain an energy source. In one implementation of the invention, the energy source is a laser. The energy source could be any homogenized beam energy source producing electromagnetic energy of any wavelength sufficient to anneal the thin film layer without overheating or damaging the substrate. The energy source can be a pulsed source of very short duration so as to prevent the beam from damaging the substrate. Alternatively, the energy source can be a continuous wave source that is scanned back and forth across the film surface in order

SAMSUNG EX. 1002 - 2184/4148

to evenly heat the target material as it gets deposited onto the substrate. In both cases, the majority of the energy from the source is ideally absorbed by the film before being passed on to the substrate.

[09] In one embodiment of the invention, the systems and methods for laser assisted deposition are used to manufacture a solar cell, for example a cadmium telluride solar cell having cadmium telluride (CdTe) as the absorption layer and cadmium sulfide (CdS) as the window layer. Other layers utilizing laser assisted deposition, such as current collection layers, may be necessary to complete the solar cell.

[10] The systems and methods for laser assisted deposition may incorporate a radio frequency system, a magnetron, or any other similar apparatus designed for depositing thin films.

Brief Description of the Drawings

[11] The details of the present invention, both as to its structure and operation, may be gleaned in part by study of the accompanying drawings, in which like reference numerals refer to like parts, and in which:

[12] **Figure 1** is a diagram of a typical system using a parallel plate DC magnetron used to sputter-deposit thin films.

[13] **Figure 2** is an enlarged view of a process chamber used in a typical parallel plate DC magnetron showing the details of particle interaction.

[14] **Figure 3** is a flow diagram of the basic steps involved in thin film deposition.

[15] **Figure 4** is a diagram of a parallel plate DC magnetron as modified to include an energy source according to one embodiment of the systems and methods for laser assisted deposition.

[16] **Figure 5** is a flow diagram of one embodiment of the systems and methods for laser assisted deposition which employs sputtering.

[17] **Figure 6** is a diagram of a sublimation chamber modified to include an energy source according to one embodiment of the systems and methods for laser assisted deposition.

Detailed Description of the Invention

[18] The systems and methods for laser assisted deposition overcome the aforementioned manufacturability problem by providing an energy source with a deposition apparatus that simultaneously deposits and anneals a target material onto a substrate. In one embodiment, the deposition systems and methods employ a simple parallel plate DC diode deposition apparatus. In other embodiments, the deposition apparatus may be a magnetron, an RF system, a sublimation chamber, or any other apparatus designed for manufacturing thin films.

[19] **Figure 1** is a diagram of a typical system using a parallel plate DC magnetron 100 used to sputter-deposit thin films. Cathode 105 is equipped with magnets 140 and is held at a negative potential with respect to anode 110 by DC power supply 112. Target material 135 is mounted to cathode 105 and substrate material 170 lays atop anode 110. Pressure controller 145 is attached to sputter chamber 180 via pressure control line 190. Gas inlet 115 is connected to gas supply 120 via gas supply line 125. Gas flow controller 130 also connects to gas supply line 125. Pressure controller 145 is also coupled to roughing pump 150 and turbo pump 155 via vacuum control lines 160. Finally, a network of vacuum outtake tubes 165 connects turbo pump 155 and roughing pump 150 to process chamber 180.

[20] **Figure 2** is an expanded view of process chamber 180 showing the details of particle interaction within magnetron system 100. Positively charged gas ions 205 interact with target material 135 in plasma 215. Dislodged particles 210 from target material 135 migrate toward substrate 170 through plasma 215. Target material 135 can be, for instance, a semiconductor material such as cadmium sulfide, or a metal such as copper, both used in the manufacture of solar cells. Excess matter 220 is removed from process chamber 180 through vacuum outtake 165.

[21] Cathode 105 of parallel plate DC magnetron 100 houses magnets 140 configured around and behind target material 135 to capture and restrict electrons 225 near target material 135. The purpose of magnets 140 is to cause electrons 225 from cathode 105 to spin in the magnetic field created by cathode 180 and anode 110. A single electron 225 can liberate as many as thirty new electrons 225 by impacting and ionizing inert gas atoms 205. Thus, in the dark space near the face of target material

135, spinning electrons 225 ionize the flood of inert gas atoms 205. Ionized inert gas atoms 205, now positively charged, accelerate to collide with the surface of target material 135. The result is a higher overall deposition rate of magnetron 100 due to a greater number of positively charged ions 205 bombarding target material 135.

[22] Other embodiments of process chamber 180 include a simple parallel plate DC diode deposition apparatus having no magnets 140. As just described, magnets 140 are preferable to the extent that they improve the deposition rate. Process chamber 180, so modified to include magnets 140, is commonly called a magnetron. However, process chamber 180 may be further modified such that the electric field between cathode 105 and anode 110 is an RF (radio frequency) field. In this RF embodiment, the deposition apparatus uses RF energy to create the plasma instead of the DC field described above.

[23] The basic steps to deposition are depicted in **Figure 3**. In step 305, positively charged ions of inert gas 205 are generated in plasma 215 in high vacuum chamber 180 and accelerated toward target material 135 at a negative potential. Argon is often the inert gas of choice due to its relative abundance in earth's atmosphere. In step 310, positively charged ions 205 gain momentum and accelerate toward target material 135. Upon physical impact with target material 135 in step 315, particles from target material 135 are physically dislodged. In step 320, the dislodged particles migrate toward the surface of substrate 170. In step 325, the sputtered particles condense and form a thin film on substrate 170 with essentially the same material composition as target material 135. In step 330, excess material 320 is removed from the chamber by vacuum outtake 165. Finally, a typical thin film device manufacturing method also usually comprises a subsequent annealing phase 335 wherein the deposited layer is annealed at high temperature in order to eliminate film irregularity or repair any damage caused to the layer during deposition.

[24] The systems and methods thus far described are suitable for thin film deposition in semiconductor device fabrication situations of all types, including building metallization layers in silicon wafer processing and deposition of the thin film layers comprising a solar cell. In the manufacture of thin film solar cells in particular, annealing step 335 can serve the special purpose of crystallizing an amorphous deposited layer. Deposited layers are often amorphous; hence, the subsequent

annealing of such a layer acts to improve the electrical and physical properties of the film by decreasing the number of defects and grain boundaries as the layer progresses toward polycrystal.

[25] Annealing is a thermal treatment usually accomplished in furnaces following layer deposition, or multi-layer deposition. Annealing furnaces typically expose devices to high heat for very long duration. Where the device is a thin film solar cell built on a plastic substrate, both high heat and long duration can cause permanent damage to the substrate. Rapid thermal annealing is an example of a technique that has been developed by process engineers to minimize the exposure of a device to extreme annealing temperatures. However, the high target temperatures reached in a rapid anneal can cause damage to plastic even though the exposure is limited in time.

[26] The systems and methods for laser assisted deposition permit the deposition of thin films on plastic substrates by merging the deposition and annealing together in one step. Combined deposition and annealing eliminates the subsequent anneal stage 335 of the thin film process of **figure 3**. Process chamber 180 is able to simultaneously deposit and anneal the thin film because the system for laser assisted deposition includes an energy source for uniformly heating the target material while it is deposited as further illustrated below.

[27] **Figure 4** is a diagram of the process chamber of **figure 2** as modified to include energy source 410 according to one implementation of the systems and methods for laser assisted deposition. In one embodiment, energy source 410 is designed to emit energy through a port 420 provided in cathode 105 and aimed at substrate 170. However, energy source 410 could be provided at any suitable position within process chamber 180. Also, the vacuum conditions created in process chamber 180 are designed to have negligible effect on the output of energy source 410.

[28] Energy source 410 may be, for instance, any of a number of tunable lasers or masers. Also, the particular type of source selected may be modulated in both beam energy density and beam center frequency. The energy density used is varied in time in synchronization with the particular layer thickness. The high level of control of the energy density is best achieved with a cw (continuous wave) laser with long temporal coherence length. It is often necessary to deposit only a very small total energy per

SAMSUNG EX. 1002 - 2188/4148

square centimeter of deposition layer. Additionally, the cw beam intensity also may be slowly modulated as cell layer depth increases, using only an amount of intensity that will result in the desired temperature in the selected layer. Control over beam intensity prevents destroying the layer, which could occur if the temperature were to rise too quickly.

[29] Energy source 410 may also be a pulse laser. However, pulse lasers are much more difficult to control in energy delivery to substrate 170 since their energy is delivered in a pulse that has poor temporal coherence by comparison with cw beams. The peaked pulse of the pulse laser output makes it far less desirable as a controlled power source.

[30] In one implementation, energy source 410 is a modified solid state laser such as a Yttrium-Aluminum-Garnet (YAG) laser. In other implementations, energy source 410 is a continuous wave laser. However, the system and method for laser assisted deposition contemplates any of the many types of lasers available including those lasers categorized by the physical state of the active medium employed (i.e., gas, liquid, and solid-state), as well as those lasers categorized by their wavelength (i.e., infrared, visible, and ultraviolet). Energy source 410 is chiefly responsible for ensuring that the deposited layer is adequately annealed at the same time as it gets deposited. In effect, annealing takes place in a layer-by-layer fashion while the thin film is sputtered onto substrate 170.

[31] If energy source 410 is a continuous wave laser light source, the beam emanating from source 410 could be rapidly and continuously scanned back and forth across the film. A stationary continuous beam may cause damage to substrate 170 or to the deposited film if allowed to irradiate an isolated portion of substrate 170 or deposited layer for too long. In whatever implementation of source 410, either continuous wave or pulsed, the energy directed at the thin film surface must be substantially absorbed by the thin film layer itself with as little energy as possible passing to substrate 170. Both the fine tuning of the laser's output and/or a cooling circuit can help to achieve optimal energy absorption and protect substrate 170 in case of excessive exposure. A cooling circuit would contact the reverse side of substrate

170 and provide a temperature differential that can be controlled to keep substrate 170 within the acceptable temperature range.

[32] In one embodiment, port 420 is a clear opening (not shown) in cathode 105 through which a laser beam is able to pass. A window covering port 420 and interfacing with chamber 180 could be used but would have to be frequently cleaned in order to prevent build-up of target material 135 and other matter from obscuring the passage of the beam. In another embodiment, the window is covered with a transparent conductive layer such as indium-tin-oxide (ITO) and charged to a negative potential for repelling particles from target material 135. This repulsion would help control or eliminate the potential build-up of matter on the window and would ease the burden of having to clean the window as frequently.

[33] The systems and methods of laser assisted deposition are easily understood from the process flow diagram of **figure 5**. In step 505, positively charged ions of inert gas 205 are generated in plasma 215 in high vacuum chamber 180 and accelerated toward target material 135 held at a negative potential. As before, argon gas is frequently chosen for inert gas 205 because it is abundant and inexpensive. In step 510, positively charged ions 205 gain momentum and accelerate toward target material 135. Upon physical impact with target material 135 in step 515, atoms from target material 135 are physically dislodged and upon arriving at the growing thin film layer, are uniformly heated by energy source 410.

[34] Step 520 represents a significant departure from the conventional systems and methods of deposition. Whereas deposition and annealing were two distinct steps in the method and systems of **figures 1-3**, the systems and methods of laser assisted deposition combine deposition and annealing into one step to produce a thin film layer that is simultaneously annealed while being deposited onto the substrate. The controlled heating of the deposited material in this step anneals the sputtered material at the same time it is being deposited onto substrate 170. Control of the temperature at this stage is critical. The laser light source must generate energy just adequate to ensure that the target material is annealed but without causing harm to the substrate.

[35] In step 525, the sputtered atoms condense and form a thin film on substrate 170 with essentially the same material composition as target material 135. Finally, in step 530, excess material 220 is removed from chamber 180 by vacuum pump 165.

[36] In addition to controlling the output of energy source 410, the temperature at which laser assisted deposition is carried out must be kept sufficiently low to avoid damaging the plastic or polymer substrate 170. In one embodiment, the systems and methods for laser assisted deposition are carried out at room temperature. In another embodiment, the systems and methods for laser assisted deposition are carried out at or below the temperature above which the thin film of material crystallizes, so long as this temperature does not melt or damage substrate 170. In another embodiment, the systems and methods for laser assisted deposition are carried out below the critical temperature of substrate 170. The critical temperature of substrate 170 is the temperature at which substrate 170 begins to sustain permanent damage.

[37] The systems and methods for laser assisted deposition also allow each layer of a cell to be annealed separately as it is produced, rather than annealing an entire stack of layers simultaneously. This advantage means that less energy is used to anneal a single layer; hence, the substrate temperature rise as well as the temperature rise of the underlying layers is minimized. Individual layer annealing also reduces problems that arise due to differences in thermal expansion coefficients of the various layers because the temperature rise of the underlying layers is kept to a minimum. In another embodiment, simultaneous deposition and anneal permits annealing of a portion of the thickness of a layer at a time, further reducing the amount of heat to which the substrate is exposed.

[38] A principle purpose of the systems and methods for laser assisted deposition is to optimize the sheet resistance of the deposited layer. Since sheet resistance causes electrical losses in the cell, deposited thin films should have a sheet resistance as low as possible. One way to reduce sheet resistance involves increasing the thickness of the film. The disadvantage to thicker films, at least in the context of solar cells, is reduced flexibility; and in some instances, a thicker cell may undesirably alter the cell's optical absorption properties. Laser assisted deposition is a superior method of improving sheet resistance, which uses a laser beam to control annealing energy without causing

the substrate to overheat. All else being equal, the simultaneous annealing disclosed as part of the systems and methods for laser assisted deposition generates films of very low sheet resistance without increasing the thickness of the film. The result is a film of superior crystalline structure having, in addition to a low sheet resistance, a finer structure and larger grain size without high temperature processing.

[39] The systems and methods for laser assisted deposition can be used to create thin film solar cells on a flexible or plastic substrate such as disclosed in pending U.S. Patent Application Serial No. 09/892,131 and said Application is fully incorporated by reference herein as though included in its entirety. Sputter depositing a thin film of the compound semiconductor CdTe has proven difficult; therefore, the systems and methods for laser assisted deposition contemplate the use of sublimation techniques to grow a CdTe absorption layer. Sublimation can be used, however, to grow any layers of a cell, including metallization layers, as an alternative or companion process to sputtering.

[40] **Figure 6** is a diagram of a typical sublimation chamber 600 modified to include an energy source according to one embodiment of the system and method for laser assisted deposition. Sublimation chamber 600 comprises crucible 610, sublimation material 620, energy source 630, and vacuum outtake 660. Sublimation material 620 can be, for instance, solid state CdTe for use in depositing a CdTe thin film onto substrate 170, according to one embodiment. Sublimation can also be carried out using pure cadmium and pure telluride rather than depositing compound CdTe. Sublimation in this manner could require two crucibles 610 to separately store the cadmium and the telluride.

[41] Sublimation includes converting a substance directly from a solid to a gas. Solid material 620 is thus converted to a gas 670 in chamber 600 wherein appropriate vacuum pumps are attached to chamber 600.

[42] Energy source 630 simultaneously anneals gas particles 670 concurrent with their deposition onto substrate 170. As before, energy source 610 can be a maser or laser or any other source regardless of categorization by active medium or wavelength. Continuous wave, rasterized, or pulsed energy is likewise acceptable.

SAMSUNG EX. 1002 - 2192/4148

[43] Temperature control can be accomplished using a cooling circuit that would maintain a temperature differential at substrate 170 in order to prevent damage to substrate 170. Cooling is also critical during sublimation to ensure that the deposited layer of gas particles 670 are annealed without causing harm to substrate 170.

[44] One or more metallization layers using the systems and methods for laser assisted deposition may also be necessary to provide current collection for the cells. Metallization layers as well as semiconductor layers may be deposited using sublimation. Proof-of-principle lab results have yielded solar cells built on high temperature flexible substrates such as mylar, tedlar, teflon, and tefzel using the techniques described herein. By flexible is meant a sheet of finished cells that can be rolled to a minimum inside radius of about four inches such that when unrolled, the cells will not suffer degradation or damage. Also, the selection of a very heat tolerant substrate will produce a cell with higher efficiency because it is possible to raise annealing temperature to higher levels.

[45] The description and drawings contained herein represent the presently preferred embodiment of the invention and are, as such, a representative of the subject matter which is broadly contemplated by the present invention. The scope of the present invention fully encompasses other embodiments that may become obvious to those skilled in the art, and the scope of the present invention is accordingly limited by nothing other than the appended claims.

WHAT IS CLAIMED IS

1. A system for depositing a thin film comprising:

a chamber having a cathode and an anode for generating an electric field therebetween;

a gas intake for injecting an inert gas into the chamber;

a target material affixed to the cathode and exposed to the inert gas whereby positively charged inert gas particles dislodge particles from the target material;

an energy source for generating energy inside the chamber; and

a substrate affixed to the anode on which substrate the dislodged particles from the target material are deposited to form the thin film and on which the energy from the energy source simultaneously anneals the thin film without damaging the substrate.

2. The system of claim 1, wherein the cathode contains magnets.

3. The system of claim 1, wherein the electric field is an RF (radio frequency) field.

4. The system of claim 1, wherein the electric field is a DC (direct current) field.

5. The system of claim 1, wherein the energy source is a laser.

6. The system of claim 5, wherein the laser is a pulsed laser.

7. The system of claim 6, wherein the pulsed laser is activated for a duration short enough to avoid damaging the substrate.

8. The system of claim 5, wherein the laser is a continuous wave laser.

SAMSUNG EX. 1002 - 2194/4148

9. The system of claim 8, wherein the continuous wave laser is scanned back and forth over an upper surface of the thin film to avoid damaging the substrate.

10. The system of claim 1, wherein the inert gas is argon (Ar).

11. The system of claim 1, further comprising a pump for creating and maintaining vacuum conditions in the chamber.

12. The system of claim 1, further comprising a vacuum outtake for removing excess matter from the chamber.

13. The system of claim 1, further comprising a cooling circuit for controlling the temperature of the substrate.

14. The system of claim 1, wherein the substrate is plastic.

15. The system of claim 14, wherein the plastic substrate is one of the group consisting of tedlar, tefzel, mylar, and teflon.

16. The system of claim 1, wherein the target material is a semiconductor.

17. The system of claim 16, wherein the semiconductor target material is one of the group consisting of cadmium telluride (CdTe) and cadmium sulfide (CdS).

18. The system of claim 1, wherein the target material is a metal.

19. The system of claim 18, wherein the metal target material is one of the group consisting of indium-tin-oxide (ITO), copper (Cu), and silver (Ag).

20. A system for depositing a thin film comprising:
a chamber;

SAMSUNG EX. 1002 - 2195/4148

a crucible housed within the chamber for storing a sublimation material;

an energy source for generating energy inside the chamber; and

a substrate mounted in the chamber, on which substrate gas particles from the sublimation material are deposited to form the thin film and on which the energy from the energy source simultaneously anneals the thin film without damaging the substrate.

21. The system of claim 20, wherein the energy source is a laser.

22. The system of claim 21, wherein the laser is a pulsed laser.

23. The system of claim 22, wherein the pulsed laser is activated for a duration short enough to avoid damaging the substrate.

24. The system of claim 21, wherein the laser is a continuous wave laser.

25. The system of claim 20, further comprising a pump for creating and maintaining vacuum conditions in the chamber.

26. The system of claim 20, further comprising a vacuum outtake for removing excess matter from the chamber.

27. The system of claim 20, further comprising a cooling circuit for controlling the temperature of the substrate.

28. The system of claim 20, wherein the substrate is plastic.

29. The system of claim 20, wherein the sublimation material is a semiconductor.

30. The system of claim 29, wherein the semiconductor material is cadmium telluride (CdTe).

31. A method of depositing a thin film comprising:
sputtering a thin film of material onto a substrate; and
simultaneously directing energy from an energy source at the thin film for annealing of the thin film.

32. The method of claim 31, wherein the substrate is a polymer or plastic.

33. The method of claim 31, wherein the energy source is a laser.

34. The method of claim 33, wherein the laser is a pulsed laser.

35. The method of claim 33, wherein the laser is a continuous wave laser.

36. The method of claim 31, wherein energy from the energy source is directed at the thin film and is at a temperature below the critical temperature of the substrate to avoid damaging the substrate.

37. The method of claim 31, wherein the thin film of material is a semiconductor.

38. The method of claim 37, wherein the semiconductor is one of the group consisting of cadmium telluride (CdTe) and cadmium sulfide (CdS).

39. The method of claim 31, wherein the thin film of material is a metal.

40. The method of claim 39, wherein the metallization layer is one of the group consisting of Indium-Tin-Oxide (ITO), Copper (Cu), and Silver (Ag).

SAMSUNG EX. 1002 - 2197/4148

41. The method of claim 31, wherein the steps of sputtering the thin film and directing an energy source both occur in a process chamber having a cathode and an anode for creating an electric field therebetween.

42. The method of claim 41, wherein the electric field is an RF (radio frequency) field.

43. The method of claim 41, wherein the electric field is a DC (direct current) field.

44. A method of depositing a thin film comprising:

subliminating a thin film of material onto a substrate; and

simultaneously directing energy from an energy source at the thin film for annealing of the thin film.

45. The method of claim 44, wherein the substrate is a polymer or plastic.

46. The method of claim 44, wherein the energy source is a laser.

47. The method of claim 46, wherein the laser is a pulsed laser.

48. The method of claim 46, wherein the laser is a continuous wave laser.

49. The method of claim 44, wherein energy from the energy source is directed at the thin film and is at a temperature below the critical temperature of the substrate to avoid damaging the substrate.

50. The method of claim 44, wherein the thin film of material is a semiconductor.

51. The method of claim 50, wherein the semiconductor is cadmium telluride (CdTe).

52. The method of claim 44, wherein the thin film of material is a metal.

53. The method of claim 52, wherein the metal is one of the group consisting of Indium-Tin-Oxide (ITO), Copper (Cu), and Silver (Ag).

54. A method of manufacturing solar cells comprising the steps of:

depositing a semiconductor layer onto a substrate;

simultaneously annealing the semiconductor layer as the layer is deposited on the substrate by directing energy from an energy source onto the semiconductor layer; and

depositing a current-collecting metallization layer onto the semiconductor layer or substrate.

55. The method of claim 54, wherein simultaneously annealing comprises directing the energy from the energy source onto the semiconductor layer for a duration long enough to noticeably increase the grain size of the semiconductor layer.

56. The method of claim 54, wherein the energy source is a laser.

57. The method of claim 54, wherein the substrate is plastic.

58. The method of claim 57, wherein the plastic substrate is one of the group consisting of mylar, tedlar, teflon, and tefzel.

59. A solar cell comprising:

a flexible substrate;

an n-type window layer deposited at a temperature sufficiently low so as not to damage the substrate; and

SAMSUNG EX. 1002 - 2199/4148

a p-type absorption layer deposited using sublimation at a temperature sufficiently low so as not to damage the substrate.

60. The solar cell of claim 59, wherein the p-type absorption layer comprises cadmium telluride deposited at a temperature sufficiently low to avoid crystallization of the cadmium telluride.

61. The solar cell of claim 59, wherein the n-type window layer comprises cadmium sulfide sputter deposited at a temperature sufficiently low to avoid crystallization of the cadmium sulfide.

62. A thin film flexible solar cell comprising:

a plastic or polymer substrate;

a thin film of n-type cadmium sulfide deposited at a temperature sufficiently low so as not to damage the substrate; and

a comparatively thicker film of p-type cadmium telluride deposited using sublimation at a temperature sufficiently low so as not to damage the substrate.

63. A thin film flexible solar cell comprising:

a flexible substrate;

a current collection layer deposited onto the substrate;

an n-type semiconductor film that is deposited onto the current collection layer and has an amorphous atomic structure;

a p-type semiconductor film having a bandgap energy less than the n-type semiconductor film that is deposited using sublimation onto the n-type semiconductor film and has an amorphous atomic structure; and

a metallization layer deposited onto the p-type semiconductor film.

64. The thin film flexible solar cell of claim 61 wherein:

the substrate is a transparent polymer or plastic;

the n-type semiconductor film is cadmium sulfide deposited at a temperature sufficiently low to avoid melting or damaging the substrate; and

the p-type semiconductor film is cadmium telluride deposited at a temperature sufficiently low to avoid melting or damaging the substrate.

65. A thin film flexible solar cell comprising:

a flexible substrate;

a metallization layer deposited onto the substrate;

a p-type semiconductor film that is deposited using sublimation onto the metallization layer and has an amorphous atomic structure;

an n-type semiconductor film having a bandgap energy greater than the p-type semiconductor film that is deposited onto the p-type semiconductor layer and has an amorphous atomic structure; and

a current collection layer deposited onto the n-type semiconductor film.

66. The thin film flexible solar cell of claim 65 wherein:

the substrate is a transparent polymer or plastic;

the p-type semiconductor film is cadmium telluride deposited at a temperature sufficiently low to avoid melting or damaging the substrate; and

the n-type semiconductor film is cadmium sulfide sputter deposited at a temperature sufficiently low to avoid melting or damaging the substrate.

67. A method for manufacturing a thin film flexible solar cell comprising the following steps:

(a) providing a plastic or polymer substrate;

(b) depositing a layer of an n-type semiconductor on the substrate at a temperature sufficiently low to avoid melting or damaging the substrate; and

(c) sublimating a layer of a p-type semiconductor on the n-type semiconductor layer at a temperature sufficiently low to avoid melting or damaging the substrate.

SIONYX1403000023.0043

SAMSUNG EX. 1002 - 2201/4148

68. The method of claim 67, wherein:

after step (a), a transparent conductive oxide layer is deposited on the substrate and a metal bar bus network is deposited on the transparent conductive oxide layer; and

after step (c), a metallization layer is deposited on the p-type semiconductor layer.

69. The method of claim 68, wherein the n-type semiconductor is cadmium sulfide and the p-type semiconductor is cadmium telluride.

70. A method for manufacturing a thin film flexible solar cell comprising the following steps:

(a) providing a plastic or polymer substrate;

(b) sublimating a layer of a p-type semiconductor on the substrate at a temperature sufficiently low to avoid melting or damaging the substrate; and

(c) depositing a layer of an n-type semiconductor on the p-type semiconductor at a temperature sufficiently low to avoid melting or damaging the substrate.

71. A method as claimed in claim 70, wherein steps (b) and (c) are carried out at a temperature sufficiently low to avoid crystallization of the semiconductors.

72. A method as claimed in claim 70, wherein the p-type semiconductor is cadmium telluride and the n-type semiconductor is cadmium sulfide.

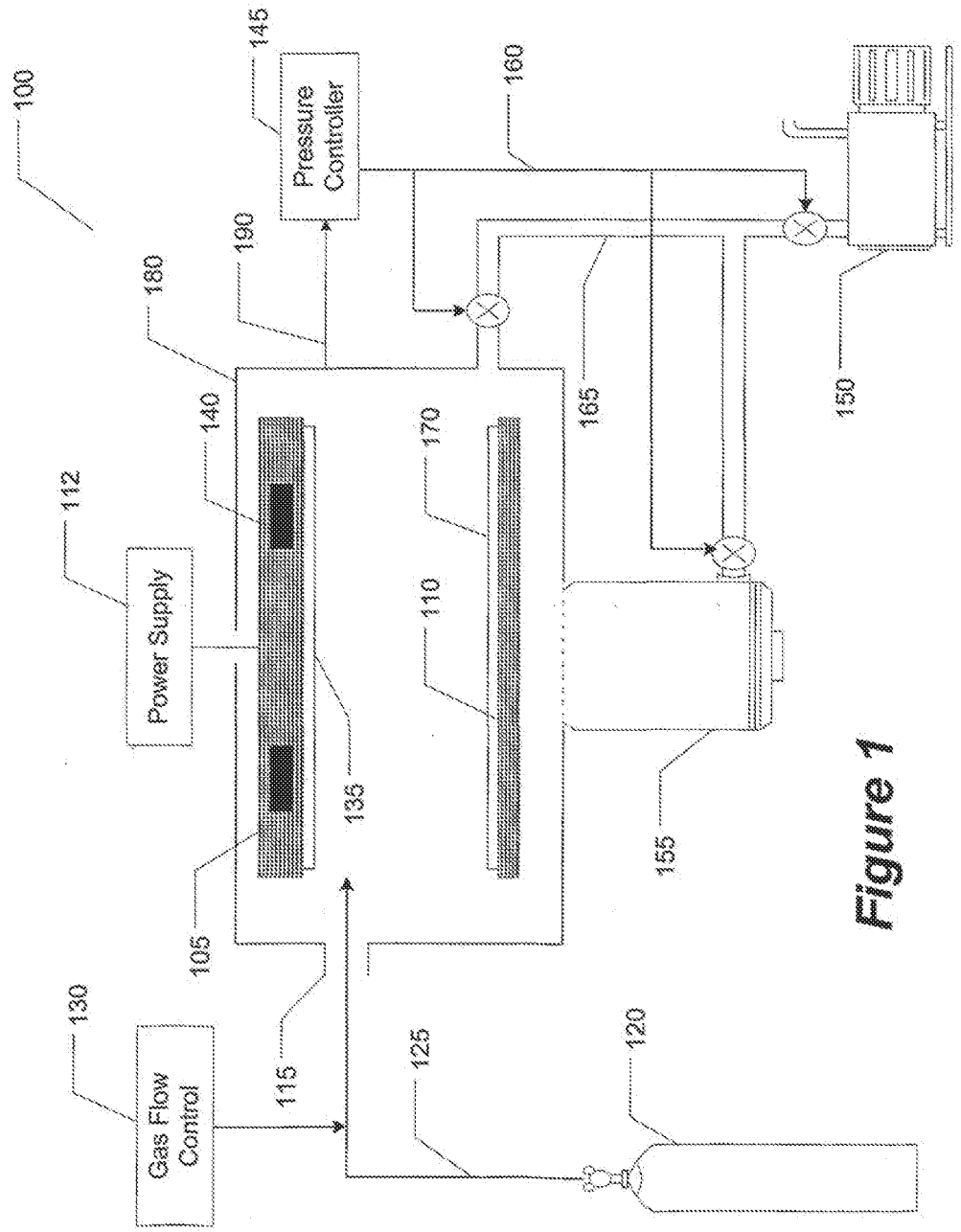


Figure 1

SAMSUNG EX. 1002 - 2203/4148