

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-330501

(43)公開日 平成11年(1999)11月30日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 31/02

H 0 1 L 31/02

A

審査請求 未請求 請求項の数10 O L (全 10 頁)

(21)出願番号 特願平10-130442

(22)出願日 平成10年(1998)5月13日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 鈴木 浩

神奈川県川崎市幸区堀川町72番地 株式会
社東芝川崎事業所内

(72)発明者 田口 一郎

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝多摩川工場内

(72)発明者 丹沢 勝二郎

神奈川県川崎市幸区堀川町72番地 株式会
社東芝川崎事業所内

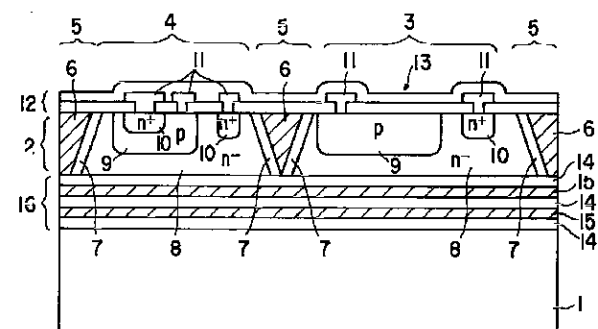
(74)代理人 弁理士 鈴木 武彦 (外6名)

(54)【発明の名称】 半導体受光素子及びその製造方法

(57)【要約】

【課題】誘電体分離法を用いて集積化され、かつ、赤外領域において高い受光効率を示す半導体受光素子とその製造方法を提供する

【解決手段】半導体基板上に第1の屈折率を有する膜と第2の屈折率を有する膜とが交互に積層された多重反射膜を形成し、この多重反射膜を介して素子層と半導体基板とを接着し、この素子層に誘電体分離法を適用して複数の素子領域を形成し、これらの素子領域に受光素子等を形成することにより、互いに誘電体分離された集積化半導体受光素子を得ることができる。前記多重反射膜は半導体基板と素子層とを互いに絶縁すると同時に、素子領域に形成された受光素子への入射光を反射し、再度受光素子に入射することにより、素子層の厚さを等価的に2倍とし、シリコンの吸収係数が低下する赤外領域においても高い受光効率を示す半導体受光素子を得ることができる。



1 : シリコン基板	6 : ポリシリコン	11 : 電極
2 : 素子層	7 : SiO ₂ 膜	12 : パッシベーション膜
3 : 素子領域 (受光素子)	8 : n ⁺ 層	13 : 受光面
4 : 素子領域 (トランジスタ)	9 : p 型層	14 : SiO ₂ 膜
5 : 誘電体分離	10 : n ⁺ 層	15 : ポリシリコン膜
		16 : 多重反射膜

【特許請求の範囲】

【請求項1】 半導体基板上の素子層に形成された半導体受光素子において、

前記素子層は前記半導体基板との界面に第1の屈折率を有する膜と第2の屈折率を有する膜とが交互に積層された多重反射膜を備え、

前記多重反射膜は、前記素子層と前記半導体基板とを絶縁分離し、

かつ、前記素子層に形成された半導体受光素子を透過した透過光を前記界面で反射し、この反射光を再度前記半導体受光素子に入射することを特徴とする半導体受光素子。

【請求項2】 半導体基板上の素子層に形成された半導体受光素子において、

前記素子層は、前記半導体基板上において相互に誘電体膜により分離された複数の素子領域を備え、

この複数の素子領域は、前記半導体基板との界面に第1の屈折率を有する膜と第2の屈折率を有する膜とが交互に積層された多重反射膜をさらに備え、

この多重反射膜は、前記素子領域と前記半導体基板とをそれぞれ絶縁分離し、かつ、前記素子領域に形成された前記半導体受光素子を透過した透過光を前記界面で反射し、この反射光を再度前記半導体受光素子に入射することを特徴とする半導体受光素子。

【請求項3】 前記誘電体膜は、第1の屈折率を有する膜と第2の屈折率を有する膜とが交互に積層された多重反射膜からなることを特徴とする請求項2記載の半導体受光素子。

【請求項4】 前記第1の屈折率を有する膜は多結晶半導体からなり、前記第2の屈折率を有する膜は誘電体からなることを特徴とする請求項1、2及び3のいずれか1つに記載の半導体受光素子。

【請求項5】 前記多結晶半導体は、シリコン及びゲルマニウムのいずれか1つからなり、前記誘電体は、 SiO_2 、 Si_3N_4 、 SiO_x ($1 \leq x \leq 2$)、 SiN_x ($1 \leq x \leq 1$)、 SiO_xN_y ($1 \leq x+y \leq 2$)、PSG、BSG、BPSG、 Al_2O_3 、 AlN 、 $(\text{Ba}, \text{Sr})\text{TiO}_3$ 、 TiO_2 、 Ta_2O_5 のいずれか1つからなることを特徴とする請求項4記載の半導体受光素子。

【請求項6】 前記第1、第2の屈折率を有する膜は、それぞれ SiO_2 、 Si_3N_4 、 SiO_x ($1 \leq x \leq 2$)、 SiN_x ($1 \leq x \leq 1$)、 SiO_xN_y ($1 \leq x+y \leq 2$)、PSG、BSG、BPSG、 Al_2O_3 、 AlN 、 $(\text{Ba}, \text{Sr})\text{TiO}_3$ 、 TiO_2 、 Ta_2O_5 のいずれか1つの材料からなり、

かつ、前記第2の屈折率を有する膜は、前記第1の屈折率を有する膜とは異なる材料からなることを特徴とする請求項1、2及び3のいずれか1つに記載の半導体受光素子。

【請求項7】 第1のシリコン基板の一方の主面に SiO_2 膜と多結晶シリコン膜とを交互に積層することにより多重反射膜を形成し、

第2のシリコン基板の一方の主面と前記多重反射膜の最終膜をなす前記 SiO_2 膜又は前記多結晶シリコン膜の表面とを清浄な空気中で接合し、

この接合を熱処理することにより接合強度を大とし、前記工程を経た第2のシリコン基板の他方の主面を一定の厚さだけ除去し、さらに表面研磨することにより所定の厚さの素子層とする工程を含むことを特徴とする半導体受光素子の製造方法。

【請求項8】 第1のシリコン基板の一方の主面に SiO_2 膜と多結晶シリコン膜とを交互に積層することにより多重反射膜を形成し、

前記多重反射膜の最終膜をなす前記多結晶シリコン膜の表面を表面研磨し、

第2のシリコン基板の一方の主面と前記表面研磨した多結晶シリコン膜の表面とを清浄な空気中で接合し、この接合を熱処理することにより接合強度を大とし、前記工程を経た第2のシリコン基板の他方の主面を一定の厚さだけ除去し、さらに表面研磨することにより所定の厚さの素子層とする工程を含むことを特徴とする半導体受光素子の製造方法。

【請求項9】 第1のシリコン基板の一方の主面に SiO_2 膜と多結晶シリコン膜とを交互に積層することにより第1の多重反射膜を形成し、

第2のシリコン基板の一方の主面に SiO_2 膜と多結晶シリコン膜とを交互に積層することにより第2の多重反射膜を形成し、

前記第1の多重反射膜の最終膜を SiO_2 膜とし、前記第2の多重反射膜の最終膜を多結晶シリコン膜とし、

前記 SiO_2 膜の表面と前記多結晶シリコン膜の表面とを清浄な空気中で接合し、

この接合を熱処理することにより接合強度を大とし、前記工程を経た第1又は第2のシリコン基板の他方の主面を一定の厚さだけ除去し、さらに表面研磨することにより所定の厚さの素子層とする工程を含むことを特徴とする半導体受光素子の製造方法。

【請求項10】 前記最終膜をなす多結晶シリコン膜の表面は、表面研磨されたことを特徴とする請求項9記載の半導体受光素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体受光素子に係り、特に赤外領域において高い受光効率を示す半導体受光素子とその製造方法に関するものである。

【0002】

【従来の技術】従来シリコン基板に形成する単体の受光素子では、入射光のエネルギーをシリコン基板に高い効

率で吸収させるため、シリコン基板を十分厚くしてシリコン基板中で電子・正孔対を発生させ、高い受光効率を得るように構成されていた。

【0003】しかし、例えばアレイ状の受光素子をシリコン基板上に配列したり、受光素子と光信号増幅用トランジスタとを同一基板上に集積化して光集積回路を形成しようとするれば、素子分離技術の導入が不可欠となる。

【0004】通常、集積回路の素子分離法として、形成の容易なp-n接合分離が多く用いられる。しかし、光集積回路の場合には、素子分離用のp-n接合に光が入射すれば逆バイアスされたp-n接合が光伝導性を示すため、素子分離の役割を果たすことができない。従って、光集積回路の素子分離には、SiO₂等の絶縁膜でシリコン基板上の素子領域を取り囲む誘電体分離法を用いる必要があった。

【0005】近年シリコンウエハ接着技術が開発され、SiO₂膜を介してシリコン基板を相互に接着することが可能となり、このシリコンウエハ接着技術とトレンチやV溝に誘電体膜を埋め込む誘電体分離法とを組み合わせ、素子領域を島状に絶縁分離する方法が開発されている。

【0006】しかし、この方法では加工技術上の問題から、トレンチやV溝の深さに一定の制約があるため素子層の厚さを十分に厚くすることができず、誘電体分離が可能な素子層の厚さは高々10μm〜20μmの範囲に限定されていた。

【0007】図6は従来のシリコンウエハ接着技術を用いた光集積回路用の半導体受光素子の断面図である。図6に示す半導体受光素子は、シリコン基板1、素子を形成する素子層2、この素子層に受光素子を形成するための素子領域3、受光信号の増幅用トランジスタを形成する素子領域4からなっている。以下3、4を素子領域と総称する。

【0008】素子領域3、4の間の誘電体分離領域5は、誘電体としてSiO₂膜7等を介して、ポリシリコン6をV溝に埋め込むことにより形成される。この誘電体分離は必ずしもV溝を用いる必要はなく、トレンチ等を形成し、ここにSiO₂等の誘電体を埋め込む方法を用いても良い。

【0009】受光素子は素子層2のn⁻層8、p型層9、n側のコンタクトをとるためのn⁺層10を用いて形成される。9、8及び10からなるp-n⁻-n⁺構造がpin型の受光素子を構成する。なお、トランジスタを形成する素子領域4においては、n⁺層10は、エミッタ拡散層及びコレクタのコンタクト層として用いられ、p型層9はベース領域、n⁻型層8はコレクタ領域として、それぞれ用いられる。

【0010】11は受光素子及びトランジスタの電極、12はこれらの電極とこれを接続する配線を覆うパッシベーション膜である。なお、パッシベーション膜は、受

光面13において反射防止膜としての役割を兼ねることができる。

【0011】図6に示す従来の光集積回路では、シリコン基板1と素子層2とをSiO₂膜14等の誘電体膜介して接着し、接着後は通常の誘電体分離を用いた製造工程をそのまま適用して素子層2の素子領域3、4に、それぞれ受光素子やトランジスタを形成する。

【0012】前述したように、このとき、素子層の厚さは誘電体分離上の制約から10μm〜20μmの範囲に限定されるので、シリコンによる光吸収係数が比較的小さい赤外領域では、受光面13から入射した光は素子層2で十分吸収されずにSiO₂膜14を透過し、厚いシリコン基板1で吸収されて電子・正孔対を発生する。

【0013】このようにシリコン基板1で発生した電子・正孔対はSiO₂膜14で遮断され、受光素子に到達することができないので電気エネルギーに変換されることなく消滅する。従って、受光素子の受光効率を高めるためには素子層を厚くして、素子層の光吸収率を増加しなければならない。

【0014】ここで図7を用いて、シリコンの光吸収の波長依存性を検討する。図の横軸はシリコンの表面からの深さ、縦軸はシリコンの光吸収率、図の下部に示す各曲線のパラメータは光の波長である。可視領域の波長660nmでは、厚さ10μm以上のシリコンの吸収率が95%をこえるので、厚さ10μm〜20μmの素子層に形成された受光素子は高い受光効率を示すが、波長950nm以上の赤外領域では、厚さ10μmの素子層では十分な光吸収が得られないことがわかる。

【0015】例えば赤外領域の代表的な赤外発光素子として、波長940nmにおいて高い発光効率を示すGaAs発光素子を光源とする場合には、素子層の厚さを20μmまで厚くしてもシリコンによる光の吸収率は30%程度であり、入射光の大部分はSiO₂膜14を透過してシリコン基板1に吸収され、受光素子の受光効率が大幅に低下することを図7から知ることができる。

【0016】

【発明が解決しようとする課題】上記したように、シリコンウエハ接着技術を用いた従来の受光素子では、V溝やトレンチに誘電体を埋め込む誘電体分離法で素子領域を互いに分離するため、素子層の厚さを10μm〜20μm程度に薄くしなければならず、従って、赤外領域において受光効率がいちじるしく低下するという問題があった。

【0017】本発明は上記の問題点を解決すべくなされたもので、素子層の厚さが10μm〜20μmの範囲であっても、赤外領域において十分に高い発光効率を示す受光素子を提供することを目的とする。

【0018】

【課題を解決するための手段】本発明の半導体受光素子は、半導体基板上の素子層に形成された半導体受光素子

において、前記素子層は半導体基板との界面に第1の屈折率を有する膜と第2の屈折率を有する膜とが交互に積層された多重反射膜を備え、この多重反射膜は前記素子層と半導体基板とを絶縁分離し、かつ、前記素子層に形成された半導体受光素子を透過した透過光を前記界面で反射し、この反射光を再度前記半導体受光素子に入射することを特徴とする。

【0019】また本発明の半導体受光素子は、前記素子層が半導体基板上において相互に誘電体膜により分離された複数の素子領域を備え、この複数の素子領域は半導体基板との界面に第1の屈折率を有する膜と第2の屈折率を有する膜とが交互に積層された多重反射膜をさらに備え、前記多重反射膜は前記素子領域と半導体基板とをそれぞれ絶縁分離し、かつ、素子領域に形成された前記半導体受光素子を透過した透過光を前記界面で反射し、この反射光を再度前記半導体受光素子に入射することを特徴とする。

【0020】好ましくは前記素子領域を相互に分離する誘電体膜は、第1の屈折率を有する膜と第2の屈折率を有する膜とが交互に積層された多重反射膜からなることを特徴とする。

【0021】さらに好ましくは第1の屈折率を有する膜は多結晶半導体からなり、第2の屈折率を有する膜は誘電体からなることを特徴とする。さらに好ましくは前記多結晶半導体は、シリコン及びゲルマニウムのいずれか1つからなり、前記誘電体は、 SiO_2 、 Si_3N_4 、 SiO_x ($1 \leq x \leq 2$)、 SiN_x ($1 \leq x \leq 1$)、 SiO_xN_y ($1 \leq x+y \leq 2$)、PSG、BSG、BP SG、 Al_2O_3 、 AlN 、 $(\text{Ba}, \text{Sr})\text{TiO}_3$ 、 TiO_2 、 Ta_2O_3 のいずれか1つからなることを特徴とする。

【0022】また好ましくは第1、第2の屈折率を有する膜は、それぞれ SiO_2 、 Si_3N_4 、 SiO_x ($1 \leq x \leq 2$)、 SiN_x ($1 \leq x \leq 1$)、 SiO_xN_y ($1 \leq x+y \leq 2$)、PSG、BSG、BP SG、 Al_2O_3 、 AlN 、 $(\text{Ba}, \text{Sr})\text{TiO}_3$ 、 TiO_2 、 Ta_2O_3 のいずれか1つの材料からなり、かつ、前記第2の屈折率を有する膜は、前記第1の屈折率を有する膜とは異なる材料からなることを特徴とする。

【0023】本発明の半導体受光素子の製造方法は、第1のシリコン基板の一方の主面に SiO_2 膜と多結晶シリコン膜とを交互に積層することにより多重反射膜を形成し、第2のシリコン基板の一方の主面と前記多重反射膜の最終膜をなす前記 SiO_2 膜又は前記多結晶シリコン膜の表面とを清浄な空气中で接合し、この接合を熱処理することにより接合強度を大とし、前記工程を経た第2のシリコン基板の他方の主面を一定の厚さだけ除去し、さらに表面研磨することにより所定の厚さの素子層とする工程を含むことを特徴とする。

【0024】また本発明の半導体受光素子の製造方法は、第1のシリコン基板の一方の主面に SiO_2 膜と多結晶シリコン膜とを交互に積層することにより多重反射膜を形成し、前記多重反射膜の最終膜をなす前記多結晶シリコン膜の表面を表面研磨し、第2のシリコン基板の一方の主面と前記多結晶シリコン膜の表面とを清浄な空气中で接合し、この接合を熱処理することにより接合強度を大とし、前記工程を経た第2のシリコン基板の他方の主面を一定の厚さだけ除去し、さらに表面研磨することにより所定の厚さの素子層とする工程を含むことを特徴とする。

【0025】また本発明の半導体受光素子の製造方法は、第1のシリコン基板の一方の主面に SiO_2 膜と多結晶シリコン膜とを交互に積層することにより第1の多重反射膜を形成し、第2のシリコン基板の一方の主面に SiO_2 膜と多結晶シリコン膜とを交互に積層することにより第2の多重反射膜を形成し、前記第1の多重反射膜の最終膜を SiO_2 膜とし、前記第2の多重反射膜の最終膜を多結晶シリコン膜とし、前記 SiO_2 膜の表面と前記多結晶シリコン膜の表面とを清浄な空气中で接合し、この接合を熱処理することにより接合強度を大とし、前記工程を経た第1又は第2のシリコン基板の他方の主面を一定の厚さだけ除去し、さらに表面研磨することにより所定の厚さの素子層とする工程を含むことを特徴とする。好ましくは前記最終膜をなす多結晶シリコン膜の表面は、表面研磨されたことを特徴とする。

【0026】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。図1は、本発明の第1の実施の形態に係るシリコン受光素子の構造を示す図である。なお、図6と対応する部分には同一の参照番号を付し、詳細な説明を省略する。

【0027】従来構造との相違点は、シリコン基板1と素子層2との間に、 SiO_2 膜14とポリシリコン膜15とを交互に積層した多重反射膜16が形成されることである。ここでポリシリコン膜15は、自由電子または正孔による光の吸収を回避するため不純物を添加しないことが望ましい。

【0028】このように、受光素子を形成する素子層2とシリコン基板1との間に多重反射膜16を形成し、受光面13からの入射光の波長に対して、 SiO_2 膜14とポリシリコン膜15の厚さを最適化すれば、素子層2を透過する入射光を多重反射膜16でほぼ100%反射させることが可能になる。多重反射膜16に対して光を垂直に入射する場合、多重反射膜の反射率 R_{2N+1} は次の式(1)で与えられる。

【0029】

【数1】

$$R_{2N+1} = \left(\frac{1 - \left(\frac{n_2}{n_1}\right) \left(\frac{n_2}{n_2}\right) \left(\frac{n_2}{n_3}\right)^{2N}}{1 + \left(\frac{n_2}{n_1}\right) \left(\frac{n_2}{n_2}\right) \left(\frac{n_2}{n_3}\right)^{2N}} \right)^2 \text{----- (1)}$$

【0030】ここでNはSiO₂とポリシリコンからなる2重膜の繰り返し数、n₁は素子層2をなすシリコンの屈折率、n₂、n₃はそれぞれSiO₂膜14、ポリシリコン膜15の屈折率、n₁はシリコン基板1の屈折率である。

【0031】n₁と、n₁の厚さをそれぞれ無限大とし、n₂、n₃の厚さをd₂、d₃、また空気中における入射光の波長をλ₀とすれば、n₂・d₂=n₃・d₃=λ₀/4の関係が成り立つようにSiO₂膜14とポリシリコン膜15の膜厚がそれぞれ設定される。式(1)の結果から、反射率R_{2N+1}はNが大きいほど、また多重反射膜を構成する2重膜の屈折率比n₂/n₃が小さいほど100%に近づくことがわかる。

【0032】SiO₂膜14とポリシリコン膜15からなる多重反射膜16について、繰り返し数Nと反射率R_{2N+1}との関係を求めた結果を図2に示す。例えばSiO₂膜3層とポリシリコン膜2層の計5層で層の厚さを最適化すれば、90%以上の反射率が得られる。なお、N=2、すなわちSiO₂とポリシリコンとが各2層では反射率は90%に達しないが、SiO₂膜を3層とすれば反射率は90%以上になる。

【0033】図6に示したように、従来のシリコンウエハ接着技術を用いた受光素子では、SiO₂膜14は単に素子層2とシリコン基板1とを絶縁するために設けたものであったため、受光面13から素子層を透過した透過光は、さらにSiO₂膜14を透過してシリコン基板1で吸収され、SiO₂膜14による反射は無視し得るほど小さかった。

【0034】本第1の実施の形態に示すように、従来1層のSiO₂膜14からなる絶縁膜を、図1に示すように、3層のSiO₂膜と2層のポリシリコン膜を交互に積層した多重反射膜16に置き換えれば、多重反射膜16の反射率を90%以上にできることは、予想されない大きな効果といえることができる。

【0035】なお、SiO₂膜とポリシリコン膜とを積層する工程は、半導体集積回路の製造工程において十分な実績があり、工程上何等の問題も含まれないことが大きな利点であるといえる。

【0036】このようにすれば、入射面13から受光素子に入射し、素子層2を透過した透過光は、多重反射膜16でほぼ完全に反射され、再度素子層2を通過することになるので、実効的に素子層の厚さdが2dになったのと同等の受光効率の改善効果を生じる。

【0037】また、受光効率の向上が光の反射によるた

め、単に素子層の厚さを2倍した効果があるばかりでなく、反射光による電子・正孔対の発生は、厚さが2倍の素子層に入射した場合に比べて、より受光素子の空乏層近傍で行われるため、電子・正孔対の空乏層への拡散に要する時間を大幅に短縮することができる。

【0038】すなわち、本発明の多重反射膜16をシリコン基板1と素子層2との間に介在させることにより、集積化されたシリコン受光素子の受光効率の向上と動作速度の向上とが同時に達成されることが極めて注目される。

【0039】受光効率の向上について、例えば波長940nmのGaAs赤外発光素子を光源とするとき、素子層の厚さが20μmの場合、実効的には往復40μmのシリコンの光吸収効果を受けることになるので、素子層2における入射光の吸収率を70%程度にまで向上することができる。すなわち、従来に比べて受光効率を極めて容易に2倍以上にすることができる。

【0040】上記したように、このとき受光素子の動作速度も大幅に向上するため、本発明の多重反射膜16をシリコン基板1と素子層2との間に用いれば、受光素子と増幅用トランジスタを含む光集積回路の受光系の利得帯域幅を大幅に向上することができる。

【0041】また、波長880nmのGaAlAs発光素子を光源として用いる場合、図6に示す従来構造のシリコンウエハ張り合わせ技術を用いた受光素子の吸収率は、素子層2の厚さが20μmの場合約60%であったが、図1に示す本発明の多重反射膜16を具備する受光素子の構造を用いれば、光吸収率を90%程度に向上することができる。

【0042】次に図3を用いて、本発明の第2の実施の形態のシリコン受光素子の製造方法について説明する。本発明の受光素子の構造では、シリコン基板1と素子層2とを多重反射膜16を介して接着することに特徴があり、良好な接着がなされた後は従来のV溝又はトレンチ等を用いた誘電体分離工程をそのまま用いることができるので、以下の実施の形態においてはこの接着工程のみに着目して詳細に説明する。

【0043】図3(a)に示すように、シリコン基板1の上に、熱酸化によるSiO₂膜14と、CVD (Chemical Vapor Deposition)法によるポリシリコン膜15とを交互に堆積する。先にのべたように、このときの膜の厚さは受光素子の使用波長範囲で異なり、膜厚と屈折率との積が、それぞれ空気中における光の波長の1/4になるように設定される。

【0044】膜の成長法として、膜厚の制御性の高いMOCVD(Metal-Organic Chemical Vapor Deposition)法やMBE(Molecular Beam Epitaxy)法を用いればさらに良好な結果が得られることはいうまでもない。

【0045】シリコン基板1の上にSiO₂膜14を成長する際、シリコン基板1の表面を洗浄することが望ましいが、単に量産工程用のシリコンウエハとして通常仕様で購入したウエハの研磨面をそのまま用いれば良好な結果が得られる。

【0046】図3(a)に示す素子層2は接着前のシリコンウエハであって、シリコン基板1と同一仕様のウエハの研磨面2aを備えている。前記の工程で形成された最終のSiO₂膜14のSiO₂接着面14aと素子層2の研磨面2aとを対向させて接合する。このとき、接合面となる素子層2の研磨面2aは疎水性のエッチング液で、基板1の上の前記SiO₂膜14の接着面14aは親水性のエッチング液で洗浄すれば良好な結果が得られる。

【0047】図3(b)に示すように、クラス10以下の清浄な環境下でシリコン基板1と素子層2となるシリコンウエハとを接合する。ここでクラス10以下とは、1ft³における0.5μm以下のごみの数が10ヶ以下の清浄度のことであり、通常のセミクリーンルーム中に置かれたクリーンベンチ内で作業すれば良好な結果が得られる。なお、ここで接合とは、特に圧力を加えることなく互いの接合面を単に密着させることをいう。

【0048】多重反射膜16を介してシリコン基板1と素子層2となるシリコンウエハとを接合した後、接着強度を大とするため酸化性の雰囲気中で800℃～1100℃の温度で1時間以上熱処理する。ここで酸化性の雰囲気とは、酸素と窒素の混合ガスや、酸素中にわずかに水素を混合した水素燃焼酸化雰囲気をいう。

【0049】酸化性の雰囲気を用いれば、シリコン基板1と素子層2との接合面の反対側の表面にそれぞれSiO₂膜14bが形成されるので、熱処理中に各ウエハの表と裏に生じる応力がバランスされ、大型ウエハを用いる場合でもウエハの反りを大幅に低減することができる。

【0050】このようにして接着された図3(b)に示す接着状態は極めて強固であるため、素子層2となるシリコンウエハの不要な厚さ部分を、グラインダーを用いてグラインダーの削り面17まで容易に削り落とすことが可能である。

【0051】グラインダーの削り面17には、多くの傷や欠陥が含まれ、その表面に半導体素子を形成することができないので、さらにCMP研磨(Chemical-Mechanical Polishing)を行ってCMP研磨面18まで除去する。このようにして、シリコン基板1の上の多重反射膜16の上に、厚さ10μm～20μmの素子層2が形成される。

【0052】引き続き、素子層2に誘電体分離領域5を形成し、光受光素子と光信号増幅用のトランジスを形成する工程は、通常の誘電体分離技術による半導体集積回路の製造工程をそのまま用いて実施することができる。

【0053】次に図4を用いて本発明の本発明の第3の実施の形態のシリコン受光素子の製造方法について説明する。第3の実施の形態では、シリコン基板上に形成された多重反射膜の最上層を厚いポリシリコン膜とし、この厚いポリシリコン膜と素子層とを張り合わせることに特徴がある。

【0054】すなわち、シリコン基板1の上に第1の実施の形態と同様に3層のSiO₂膜14と2層のポリシリコン膜15からなる多重反射膜16を形成する。引き続き、ポリシリコン膜15よりも厚い最終層のポリシリコン膜19を形成する。

【0055】CVD法を用いてポリシリコン膜を形成すれば、通常多結晶化の過程で表面の平滑性が失われ、極めて微細な凹凸面(曇り面)となり易い。このような微細な凹凸を含むポリシリコン膜15とSiO₂膜14とを積層すれば、成長条件によってはSiO₂膜14の表面の平滑性が失われる場合がある。

【0056】このとき図3(a)のように、素子層接着面2aと、平滑性の失われた最終のSiO₂接着面14aとを接着すれば界面にボイドを生じることがあり、接着工程の歩留まりに悪影響を及ぼす。

【0057】この問題を回避するため、図4に示すように、第3の実施の形態では最終層として厚いポリシリコン膜19を形成し、CMP研磨法を用いて微細な凹凸を除去する。

【0058】このように平滑化したCMP研磨面20と、素子層2の接着面2aとを、親水性または疎水性の洗浄液で表面処理をした後、清浄な雰囲気中で接合し、800℃～1100℃で1時間以上熱処理すれば強固な接着状態を得ることができる。

【0059】このとき、最終層のポリシリコン膜19と単結晶シリコンからなる素子層2との間に屈折率の差がないので、ポリシリコン膜19の厚さが多重反射膜16のポリシリコン膜15の厚さと異なることは、多重反射膜16の反射率に何等の影響も及ぼさない。例えば、CMP研磨によりCMP研磨面20と多重反射膜16と平行性に多少の誤差を生じても、何等問題を生じることはない。

【0060】次に図5を用いて本発明の第4の実施の形態に係るシリコン受光素子の製造方法について説明する。本第4の実施の形態では、より高い反射率を備えた多重反射膜をシリコン基板1と素子層2との間に形成するため、多重反射膜の層の数を増加する場合に利点がある。

【0061】例えば4層のSiO₂膜と3層のポリシリコン膜からなる合計7層の多重反射膜を形成する際、こ

れを全てシリコン基板1の上に形成すれば、多重反射膜の生じる歪みが過大となり、シリコン基板1に反りを生じて素子層2との接着歩留まりが低下する恐れがある。

【0062】このとき図5に示すように、シリコン基板1の上部の研磨面と素子層2をなすシリコンウエハの下部の研磨面に分けて多重反射膜をそれぞれ形成し、中央部の SiO_2 膜の表面14aと、CMP研磨し洗浄したポリシリコン膜15のCMP研磨面23とを接着すれば、前記反りの問題が大幅に緩和される。

【0063】このときCMP研磨面23に生じる誤差により、素子層2に形成された最終のポリシリコン膜15の厚さが多重反射膜の設計値からずれる恐れがあるが、このとき、図3に示す合計5層の多重反射膜に対して、図5ではさらに追加ポリシリコン膜21と追加 SiO_2 膜22が加えられるため総合的に反射率を高めることが可能になる。

【0064】なお本発明は上記の実施の形態に限定されることはない。例えば第1の実施の形態において、多重反射膜16をシリコン基板1と素子層2との間に形成する構造について説明したが、必ずしもこれに限定されるものではない。素子分離領域5の SiO_2 膜7もまた多重反射膜とすれば、入射面13から散乱光が入射する場合、これを反射面の一部として役立てることができる。

【0065】また、第2乃至第4の実施の形態において、主としてCVD法により SiO_2 膜とポリシリコン膜からなる多重反射膜を形成する方法について説明したが、MOCVD法やMBE法を用いれば、膜厚の精度が向上し、多重反射膜の平滑性を改善することができる。さらにプラズマ技術を併用してポリシリコン膜を無定形化し、多重反射膜の構成要素として用いる等の手段を講じれば、さらにポリシリコン膜の平滑性が向上し、接着

面のCMP研磨工程を除外することができる。

【0066】また、第1乃至第4の実施の形態において、屈折率の大きい膜としてポリシリコン膜を用いる構成について説明したが、必ずしもポリシリコン膜に限定されるものではない、さらに長波長領域の用途には、例えば表1に示すように、ゲルマニウム膜を同様に用いることができるし、さらに広い波長領域に対しては種々の禁制帯幅を有する化合物半導体材料からなる膜を広く同様の目的に用いることができる。このとき、前記シリコン基板1及び素子層2はゲルマニウム又は化合物半導体であっても良い。

【0067】また、第1乃至第4の実施の形態において、屈折率の大きい膜は必ずしも半導体材料に限られるものではなく、例えば表1に示すように Si_3N_4 、 Al_2O_3 、 TiO_2 、 Ta_2O_5 、 $(\text{Ba}, \text{Sr})\text{TiO}_3$ 等のいずれか1つとし、これに屈折率のちいさい SiO_2 やPSG(Phospho-Silicate-Glass)、BSG(Boro-Silicate-Glass)等を組み合わせても良い。

【0068】この目的に用いることができる誘電体材料としては、この他 SiO_x ($1 \leq x \leq 2$)、 SiN_x ($1 \leq x \leq 1$)、 SiO_xN_y ($1 \leq x+y \leq 2$) BP SG(Boro-Phospho-Silicate-Glass)、AlN等が含まれる。

【0069】また本発明は、pin型の受光素子に適用する場合について説明したが、通常のp-n接合型受光素子、フォトランジスタ、又はp-n接合を設けない光伝導素子についても適用可能であることはいうまでもない。その他本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0070】

【表1】

材料名	屈折率
Si	3.5
Ge	4.0
SiO_2	1.45~1.46
Si_3N_4	1.96
Al_2O_3	1.7
PSG	1.45~1.48
BSG	1.45~1.48
TiO_2	1.96~2.6
Ta_2O_5	1.77
$(\text{Ba}, \text{Sr})\text{TiO}_3$	2.3

【0071】

【発明の効果】上述したように、集積化された半導体受

光素子をシリコンウエハ接着技術を用いて形成しようとする際、従来、 SiO_2 膜を介してシリコン基板と素子

層とを接着し、この素子層に受光素子等を形成するため、V溝やトレンチ等に誘電体を埋め込む誘電体分離法を用いて、これらの素子を形成する素子領域を互いに分離する必要があった。このため、素子層の厚さを $10\mu\text{m}$ ～ $20\mu\text{m}$ 程度に薄くしなければならず、従って、シリコンの光吸収係数が低下する赤外領域において、集積化された半導体受光素子の受光効率がいちじるしく低下するという問題があった。

【0072】本発明の半導体受光素子とその製造方法によれば、従来シリコン基板と素子層との間の絶縁膜として用いた SiO_2 膜の代わりに、例えばポリシリコン膜と SiO_2 膜とを交互に積層した多重反射膜を形成し、この多重反射膜を介してシリコン基板と素子層とを接着し、両者を互いに絶縁すると同時に素子層に形成された受光素子の入射光をこの多重反射膜で反射し、実効的に素子層の厚さを2倍とすることにより、素子層の厚さが $10\mu\text{m}$ ～ $20\mu\text{m}$ の範囲であっても、赤外領域において十分に高い発光効率を示す受光素子を得ることが可能になる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る集積化された半導体受光素子の構造を示す断面図。

【図2】本発明の多重反射膜の繰り返し数と反射率との関係を示す図。

【図3】本発明の第2の実施の形態に係る半導体受光素子の形成に用いるシリコンウエハ接着方法を示す図。

【図4】本発明の第3の実施の形態に係る半導体受光素子の形成に用いるシリコンウエハ接着方法を示す図。

【図5】本発明の第4の実施の形態に係る半導体受光素子の形成に用いるシリコンウエハ接着方法を示す図。

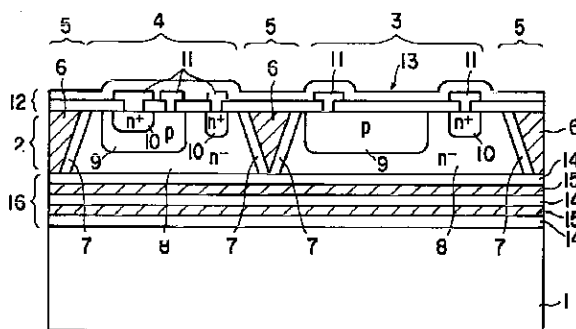
【図6】従来の集積化された半導体受光素子の構造を示す断面図。

【図7】シリコンの表面からの深さと光吸収率との関係を、波長をパラメータとして示す図。

【符号の説明】

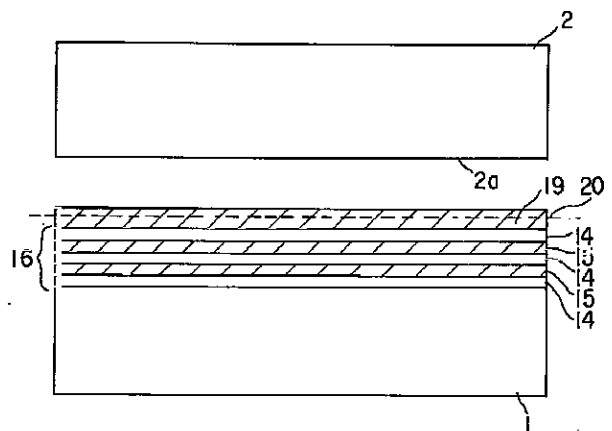
- 1…シリコン基板
- 2…素子層
- 2a…素子層接着面
- 3…素子領域（受光素子）
- 4…素子領域（トランジスタ）
- 5…誘電体分離領域
- 6…ポリシリコン
- 7… SiO_2 膜
- 8… n^- 層
- 9…p型層
- 10… n^+ 層
- 11…電極
- 12…パッシベーション膜
- 13…受光面
- 14… SiO_2 膜
- 14a… SiO_2 接着面
- 14b… SiO_2 膜
- 15…ポリシリコン膜
- 16…多重反射膜
- 17…グラインダー削り面
- 18、20、23…CMP研磨面
- 19…厚いポリシリコン膜
- 21…追加ポリシリコン膜
- 22…追加 SiO_2 膜

【図1】



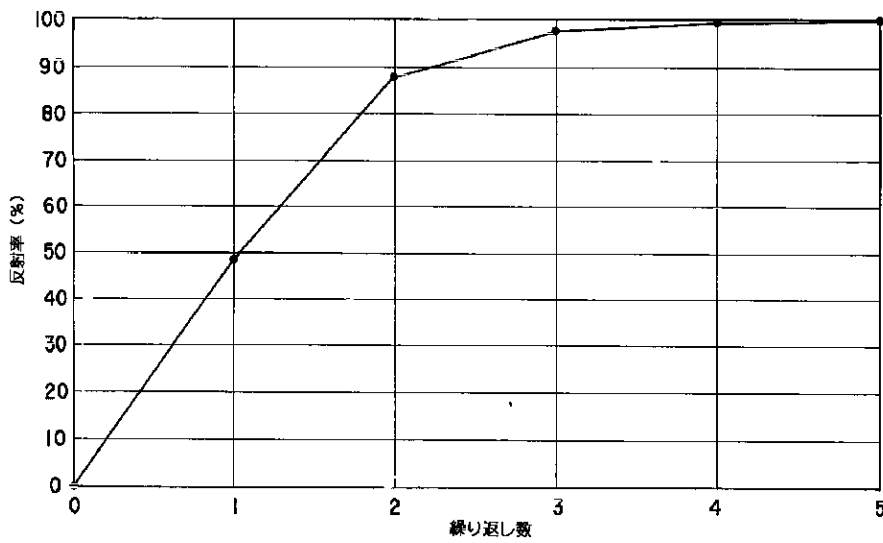
- | | | |
|-----------------|---------------------|----------------------|
| 1: シリコン基板 | 6: ポリシリコン | 11: 電極 |
| 2: 素子層 | 7: SiO_2 膜 | 12: パッシベーション膜 |
| 3: 素子領域（受光素子） | 8: n^- 層 | 13: 受光面 |
| 4: 素子領域（トランジスタ） | 9: p型層 | 14: SiO_2 膜 |
| 5: 誘電体分離 | 10: n^+ 層 | 15: ポリシリコン膜 |
| | | 16: 多重反射膜 |

【図4】

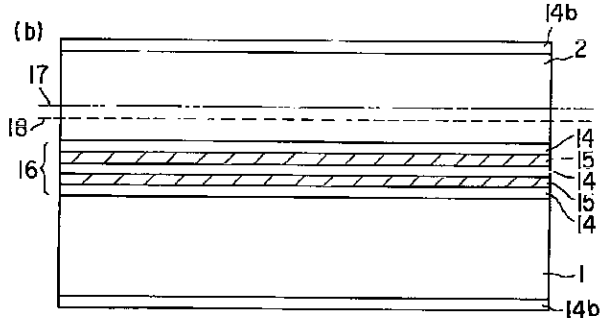
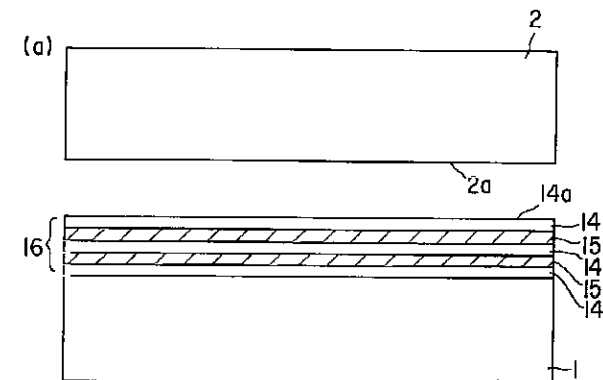


- | | | |
|------------|-------------------------|---------------|
| 1: シリコン基板 | 14: SiO_2 膜 | 16: 多重反射膜 |
| 2: 素子層 | 14a: SiO_2 接着面 | 19: 厚いポリシリコン膜 |
| 2a: 素子層接着面 | 15: ポリシリコン膜 | 20: CMP研磨面 |

【図2】

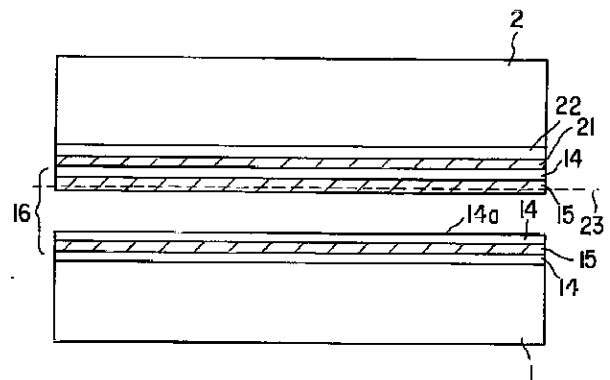


【図3】



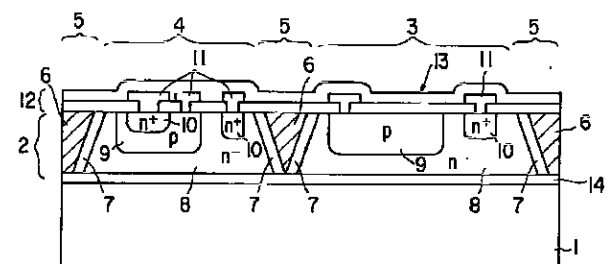
- 1: シリコン基板 14: SiO₂膜 16: 多電反射膜
 2: 素子層 14a: SiO₂接着面 17: グラインター削り面
 2a: 素子層接着面 15: ポリシリコン膜 18: CMP研磨面
 14b: SiO₂膜

【図5】



- 1: シリコン基板 14a: SiO₂接着面 20: CMP研磨面
 2: 素子層 15: ポリシリコン膜 21: 追加ポリシリコン膜
 2a: 素子層接着面 16: 多重反射膜 22: 追加SiO₂膜
 14: SiO₂膜 19: 厚いポリシリコン膜 23: CMP研磨面

【図6】



- 1: シリコン基板 6: ポリシリコン 11: 電極
 2: 素子層 7: SiO₂膜 12: パッシベーション膜
 3: 素子領域 (受光素子) 8: n⁺層 13: 受光面
 4: 素子領域 (トランジスタ) 9: p型層 14: SiO₂膜
 5: 誘電体分離 10: n⁺層

【図7】

