Doc Code: PA..
Document Description: Power of Attorney

PTO/AIA/82A (07-13)
Approved for use through 11/30/2014. OMB 0651-0051
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FOR POWER OF ATTORNEY TO ONE OR MORE REGISTERED PRACTITIONERS

NOTE: This form is to be submitted with the Power of Attorney by Applicant form (PTO/AIA/82B) to identify the application to which the Power of Attorney is directed, in accordance with 37 CFR 1.5, unless the application number and filing date are identified in the Power of Attorney by Applicant form. If neither form PTO/AIA/82A nor form PTO/AIA82B identifies the application to which the Power of Attorney is directed, the Power of Attorney will not be recognized in the application.

Application Number	N/A
Filing Date	N/A
First Named Inventor	Yali Song
Title	MEMORY INCLUDING A PLURALITY OF PORTIONS AND USED FOR REDUCING PROGRAM DISTURBANCE AND PROGRAM METHOD THEREOF
Art Unit	N/A
Examiner Name	N/A
Attorney Docket Number	YMTP0265USA1

SIGNATURE of Applicant or Patent Practitioner

Signature	/Roger Chen/	Date (Optional)	09/10/2021
Name	Roger Chen	Registration Number	67314
Title (if Applicant is a juristic entity)			
Applicant Name (if Applicant is a juristic entity)			

NOTE: This form must be signed in accordance with 37 CFR 1.33. See 37 CFR 1.4(d) for signature requirements and certifications. If more than one applicant, use multiple forms.

☐ *Total of _____ forms are submitted.

This collection of information is required by 37 CFR 1.131, 1.32, and 1.33. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 3 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Doc Code: PA..
Document Description: Power of Attorney

PTO/AIA/82B (07-13)
Approved for use through 11/30/2014, OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number

POWER OF ATTORNEY BY APPLICANT

hereby revoke all previous powers of attorney given in the application identified in either the attached transmittal letter or he boxes below.

Application Number	Filing Date

(Note: The boxes above may be left blank if information is provided on form PTO/AIA/82A.)

☑ I hereby appoint the Patent Practitioner(s) associated with the following Customer Number as my/our attorney(s) or agent(s), and to transact all business in the United States Patent and Trademark Office connected therewith for the application referenced in the attached transmittal letter (form PTO/AIA/82A) or identified above: 27765

OR

☐ I hereby appoint Practitioner(s) named in the attached list (form PTO/AIA/82C) as my/our attorney(s) or agent(s), and to transact all business in the United States Patent and Trademark Office connected therewith for the patent application referenced in the attached transmittal letter (form PTO/AIA/82A) or identified above. [Note: Complete form PTO/AIA/82C.)

Please recognize or change the correspondence address for the application identified in the attached transmittal letter or the boxes above to:

☑ The address associated with the above-mentioned Customer Number

OR

☐ The address associated with Customer Number:

OR

	Firm or Individual Name				
Address					
City		State		Zip	
Country					
Telephone		Email			

am the Applicant (if the Applicant is a juristic entity, list the Applicant name in the box):

Yangtze Memory Technologies Co., Ltd.

☐ Inventor or Joint Inventor (title not required below)

☐ Legal Representative of a Deceased or Legally Incapacitated Inventor (title not required below)

☑ Assignee or Person to Whom the Inventor is Under an Obligation to Assign (provide signer's title if applicant is a juristic entity)

☐ Person Who Otherwise Shows Sufficient Proprietary Interest (e.g., a petition under 37 CFR 1.46(b)(2) was granted in the application or is concurrently being filed with this document) (provide signer's title if applicant is a juristic entity)

SIGNATURE of Applicant for Patent

The undersigned (whose title is supplied below) is authorized to act on behalf of the applicant (e.g., where the applicant is a juristic entity).

Signature		Date (Optional)	AUG 21 2018
Name	SIMON SHI-NING YANG		
Title	CEO		

NOTE: Signature - This form must be signed by the applicant in accordance with 37 CFR 1.33. See 37 CFR 1.4 for signature requirements and certifications. If more than one applicant, use multiple forms.

☐ Total of forms are submitted

This collection of information is required by 37 CFR 1.131, 1.32, and 1.33. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 3 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Atty. Docket No. YMTP0265USA3

COMBINED DECLARATION AND ASSIGNMENT

DECLARATION

As the below named inventors, I hereby declare that:

This declaration is directed to:

☒ The attached application, or

☐ United States application or PCT international application number _____ filed on _____

The above-identified application was made or authorized to be made by me.

I believe that I am the original inventor or an original joint inventor of a claimed invention in the application.

I hereby acknowledge that any willful false statement made in this declaration is punishable under 18 U.S.C. § 1001 by fine or imprisonment of not more than five (5) years, or both.

ASSIGNMENT

In consideration of the sum of One Dollar ($1.00) or equivalent and other good and valuable consideration paid to each of the below named inventors, each of the below named inventors, hereby sell and assign to **Yangtze Memory Technologies Co., Ltd.**, a corporation formed under the laws of China, whose mailing address is Room 7018, No.18, Huaguang Boulevard, Guandong Tech. Industrial Park, Donghu Development Area, Hongshan District, Wuhan City, Hubei Province, P.R.C. (hereafter referred to as the Assignee), his/her entire right, title and interest, including the right to sue for past infringement and to collect for all past, present and future damages, for the United States of America (as defined in 35 U.S.C. § 100) and throughout the world,

(a) in the invention(s) known as **MEMORY INCLUDING A PLURALITY OF PORTIONS AND USED FOR REDUCING PROGRAM DISTURBANCE AND PROGRAM METHOD THEREOF** for which application(s) for patent in the United States of America is identified above, in any and all applications thereon, in any and all Letters Patent(s) therefor, and

(b) in any and all applications that claim the benefit of the patent application identified above in part (a), including non-provisional applications, continuing (continuation, divisional, or continuation-in-part) applications, reissues, extensions, renewals and reexaminations of the patent application or Letters Patent therefor listed above in part (a), to the full extent of the term or terms for which Letters Patents issue, and

(c) in any and all inventions described in the patent application identified

Micron Ex. 1002, p. 3
Micron v. YMTC
IPR2025-00190

above in part (a), and in any and all forms of intellectual and industrial property protection derivable from such patent application, and that are derivable from any and all continuing applications, reissues, extensions, renewals and reexaminations of such patent application, including, without limitation, patents, applications, utility models, inventor's certificates, and designs together with the right to file applications therefor; and including the right to claim the same priority rights from any previously filed applications under the International Agreement for the Protection of Industrial Property, or any other international agreement, or the domestic laws of the country in which any such application is filed, as may be applicable;

all such rights, title and interest to be held and enjoyed by the above-named Assignee, its successors, legal representatives and assigns to the same extent as all such rights, title and interest would have been held and enjoyed by the Assignor had this assignment and sale not been made.

The below named inventors agree to execute all papers necessary in connection with the application(s) and any non-provisional, continuing (continuation, divisional, or continuation-in-part), reissue, reexamination or corresponding application(s) thereof and also to execute separate assignments in connection with such application(s) as the Assignee may deem necessary or expedient.

The below named inventors agree to execute all papers necessary in connection with any patent enforcement action (judicial or otherwise) related to the application(s) or any non-provisional, continuing (continuation, divisional, or continuation-in-part), reissue or reexamination application(s) thereof and to cooperate with the Assignee in every way possible in obtaining evidence and going forward with such patent enforcement action.

The below named inventors hereby represent that he/she has full right to convey the entire interest herein assigned, and that he/she has not executed, and will not execute, any agreement in conflict therewith.

The below named inventors hereby represent that he/she understands that the patent practitioners associated with **CUSTOMER NUMBER 27765** are the legal representatives of, and attorneys for, the assignee, and are NOT the legal representatives of, and attorneys for, the inventors.

Micron Ex. 1002, p. 4
Micron v. YMTC
IPR2025-00190

IN WITNESS WHEREOF, executed by the below named inventors on the date opposite his/her name.

LEGAL NAME OF INVENTOR

Inventor: Yali Song Date: 2019. 12. 4

Signature of Inventor: Yali Song

LEGAL NAME OF INVENTOR

Inventor: XiangNan Zhao Date: 2019.12.04

Signature of Inventor: XiangNan Zhao

LEGAL NAME OF INVENTOR

Inventor: Ying Cui Date: Ying Cui 20191204

Signature of Inventor: Ying Cui

19C4285-00F23FC>-10.17.86.195
32766-03/12/2019 15:20

Micron Ex. 1002, p. 5
Micron v. YMTC
IPR2025-00190

Doc Code: ECOMM.AUTH/ECOMM.WTDW
Doc Description: Internet Communications Authorized/Internet Communications Authorization Withdrawn

PTO/SB/439 (11-15)

AUTHORIZATION FOR INTERNET COMMUNICATIONS IN A PATENT APPLICATION OR REQUEST TO WITHDRAW AUTHORIZATION FOR INTERNET COMMUNICATIONS		
	Application No.	N/A
	Filing Date	N/A
	First Named Inventor	Yali Song
	Art Unit	N/A
	Examiner Name	N/A
	Practitioner Docket No.	YMTP0265USA1

To: Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

I. To authorize permission for Internet Communications.

☑ Recognizing that Internet communications are not secure, I hereby authorize the USPTO to communicate with the undersigned and practitioners in accordance with 37 CFR 1.33 and 37 CFR 1.34 concerning any subject matter of this application via video conferencing, instant messaging, or electronic mail. I understand that a copy of these communications will be made of record in the application file. (MPEP 502.03)

II. To withdraw authorization for Internet Communications.

☐ The authorization given on _____, to the USPTO to communicate with the undersigned and any practitioner in accordance with 37 CFR 1.33 and 37 CFR 1.34 concerning any subject matter of this application via Internet communications such as video conferencing, instant messaging, or electronic mail is hereby withdrawn. I understand that the withdrawal is effective when approved rather than when received.

I am the

☐ applicant.

☑ attorney or agent of record. Registration number 67314.

☐ attorney or agent acting under 37 CFR 1.34. Registration number _____.

/Roger Chen/	09/10/2021
Signature	Date
Roger Chen	3027291562
Typed or printed name	Telephone Number

NOTE: This form must be signed in accordance with 37 CFR 1.33. See 37 CFR 1.4 for signature requirements and certifications. Juristic entities must be represented by a patent practitioner (see 37 CFR 1.31, which is applicable to any paper filed on or after September 16, 2012, that is presented on behalf of a juristic entity, regardless of application filing date). Submit multiple forms if more than one signature is required, see below*.

☐ * Total of _____ forms are submitted.

Privacy Act Statement

The **Privacy Act of 1974 (P.L. 93-579)** requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (*i.e.*, GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

PTO/AIA/14 (02-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	YMTP0265USA1
	Application Number	
Title of Invention	MEMORY INCLUDING A PLURALITY OF PORTIONS AND USED FOR REDUCING PROGRAM DISTURBANCE AND PROGRAM METHOD THEREOF	

The application data sheet is part of the provisional or nonprovisional application for which it is being submitted. The following form contains the bibliographic data arranged in a format specified by the United States Patent and Trademark Office as outlined in 37 CFR 1.76.
This document may be completed electronically and submitted to the Office in electronic format using the Electronic Filing System (EFS) or the document may be printed and included in a paper filed application.

Secrecy Order 37 CFR 5.2:

☐ Portions or all of the application associated with this Application Data Sheet may fall under a Secrecy Order pursuant to 37 CFR 5.2 (Paper filers only. Applications that fall under Secrecy Order may not be filed electronically.)

Inventor Information:

Inventor 1 Remove

Legal Name

Prefix	Given Name	Middle Name	Family Name	Suffix
	Yali		Song	

Residence Information (Select One) US Residency ● Non US Residency Active US Military Service

City	Country of Residence [i]
Wuhan City, Hubei Province	CN

Mailing Address of Inventor:

Address 1	Room 7018, No.18, Huaguang Boulevard, Guandong Tech. Industrial Park, Donghu
Address 2	Development Area, Hongshan District
City	Wuhan City, Hubei Province
State/Province	
Postal Code	
Country [i]	CN

Inventor 2 Remove

Legal Name

Prefix	Given Name	Middle Name	Family Name	Suffix
	XiangNan		Zhao	

Residence Information (Select One) US Residency ◉ Non US Residency Active US Military Service

City	Country of Residence [i]
Wuhan City, Hubei Province	CN

Mailing Address of Inventor:

Address 1	Room 7018, No.18, Huaguang Boulevard, Guandong Tech. Industrial Park, Donghu
Address 2	Development Area, Hongshan District
City	Wuhan City, Hubei Province
State/Province	
Postal Code	
Country [i]	CN

Inventor 3 Remove

Legal Name

PTO/AIA/14 (02-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	YMTP0265USA1
	Application Number	
Title of Invention	MEMORY INCLUDING A PLURALITY OF PORTIONS AND USED FOR REDUCING PROGRAM DISTURBANCE AND PROGRAM METHOD THEREOF	

Prefix	Given Name	Middle Name	Family Name	Suffix
	Ying		Cui	

Residence Information (Select One) US Residency ◉ Non US Residency Active US Military Service

City	Wuhan City, Hubei Province	Country of Residence [i]	CN

Mailing Address of Inventor:

Address 1	Room 7018, No.18, Huaguang Boulevard, Guandong Tech. Industrial Park, Donghu		
Address 2	Development Area, Hongshan District		
City	Wuhan City, Hubei Province	**State/Province**	
Postal Code		**Country** [i]	CN

All Inventors Must Be Listed - Additional Inventor Information blocks may be generated within this form by selecting the **Add** button. Add

Correspondence Information:

Enter either Customer Number or complete the Correspondence Information section below.
For further information see 37 CFR 1.33(a).

☐ **An Address is being provided for the correspondence Information of this application.**

Customer Number	27765		
Email Address	rogerchen@naipo.com	Add Email	Remove Email

Application Information:

Title of the Invention	MEMORY INCLUDING A PLURALITY OF PORTIONS AND USED FOR REDUCING PROGRAM DISTURBANCE AND PROGRAM METHOD THEREOF		
Attorney Docket Number	YMTP0265USA1	**Small Entity Status Claimed**	☐
Application Type	Nonprovisional		
Subject Matter	Utility		
Total Number of Drawing Sheets (if any)	7	**Suggested Figure for Publication (if any)**	

Filing By Reference:

Only complete this section when filing an application by reference under 35 U.S.C. 111(c) and 37 CFR 1.57(a). Do not complete this section if application papers including a specification and any drawings are being filed. Any domestic benefit or foreign priority information must be provided in the appropriate section(s) below (i.e., "Domestic Benefit/National Stage Information" and "Foreign Priority Information").

For the purposes of a filing date under 37 CFR 1.53(b), the description and any drawings of the present application are replaced by this reference to the previously filed application, subject to conditions and requirements of 37 CFR 1.57(a).

Application number of the previously filed application	Filing date (YYYY-MM-DD)	Intellectual Property Authority or Country [i]

PTO/AIA/14 (02-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	YMTP0265USA1
	Application Number	
Title of Invention	MEMORY INCLUDING A PLURALITY OF PORTIONS AND USED FOR REDUCING PROGRAM DISTURBANCE AND PROGRAM METHOD THEREOF	

Publication Information:

☐	Request Early Publication (Fee required at time of Request 37 CFR 1.219)
☐	**Request Not to Publish.** I hereby request that the attached application not be published under 35 U.S.C. 122(b) and certify that the invention disclosed in the attached application **has not and will not** be the subject of an application filed in another country, or under a multilateral international agreement, that requires publication at eighteen months after filing.

Representative Information:

Representative information should be provided for all practitioners having a power of attorney in the application. Providing this information in the Application Data Sheet does not constitute a power of attorney in the application (see 37 CFR 1.32).
Either enter Customer Number or complete the Representative Name section below. If both sections are completed the customer Number will be used for the Representative Information during processing.

Please Select One:	● Customer Number	US Patent Practitioner	○ Limited Recognition (37 CFR 11.9)
Customer Number	27765		

Domestic Benefit/National Stage Information:

This section allows for the applicant to either claim benefit under 35 U.S.C. 119(e), 120, 121, 365(c), or 386(c) or indicate National Stage entry from a PCT application. Providing benefit claim information in the Application Data Sheet constitutes the specific reference required by 35 U.S.C. 119(e) or 120, and 37 CFR 1.78.
When referring to the current application, please leave the "Application Number" field blank.

Prior Application Status	Pending		Remove
Application Number	Continuity Type	Prior Application Number	Filing or 371(c) Date (YYYY-MM-DD)
	Division of	16827734	2020-03-24
Prior Application Status	Pending		Remove
Application Number	Continuity Type	Prior Application Number	Filing or 371(c) Date (YYYY-MM-DD)
16827734	Continuation of	PCT/CN2020/074580	2020-02-10

Additional Domestic Benefit/National Stage Data may be generated within this form by selecting the **Add** button. Add

Foreign Priority Information:

Micron Ex. 1002, p. 10
Micron v. YMTC
IPR2025-00190

PTO/AIA/14 (02-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	YMTP0265USA1
	Application Number	
Title of Invention	MEMORY INCLUDING A PLURALITY OF PORTIONS AND USED FOR REDUCING PROGRAM DISTURBANCE AND PROGRAM METHOD THEREOF	

This section allows for the applicant to claim priority to a foreign application. Providing this information in the application data sheet constitutes the claim for priority as required by 35 U.S.C. 119(b) and 37 CFR 1.55. When priority is claimed to a foreign application that is eligible for retrieval under the priority document exchange program (PDX)[i] the information will be used by the Office to automatically attempt retrieval pursuant to 37 CFR 1.55(i)(1) and (2). Under the PDX program, applicant bears the ultimate responsibility for ensuring that a copy of the foreign application is received by the Office from the participating foreign intellectual property office, or a certified copy of the foreign priority application is filed, within the time period specified in 37 CFR 1.55(g)(1).

Remove

Application Number	Country[i]	Filing Date (YYYY-MM-DD)	Access Code[i] (if applicable)

Additional Foreign Priority Data may be generated within this form by selecting the **Add** button. Add

Statement under 37 CFR 1.55 or 1.78 for AIA (First Inventor to File) Transition Applications

☐ This application (1) claims priority to or the benefit of an application filed before March 16, 2013 and (2) also contains, or contained at any time, a claim to a claimed invention that has an effective filing date on or after March 16, 2013.
NOTE: By providing this statement under 37 CFR 1.55 or 1.78, this application, with a filing date on or after March 16, 2013, will be examined under the first inventor to file provisions of the AIA.

PTO/AIA/14 (02-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	YMTP0265USA1
	Application Number	
Title of Invention	MEMORY INCLUDING A PLURALITY OF PORTIONS AND USED FOR REDUCING PROGRAM DISTURBANCE AND PROGRAM METHOD THEREOF	

Authorization or Opt-Out of Authorization to Permit Access:

When this Application Data Sheet is properly signed and filed with the application, applicant has provided written authority to permit a participating foreign intellectual property (IP) office access to the instant application-as-filed (see paragraph A in subsection 1 below) and the European Patent Office (EPO) access to any search results from the instant application (see paragraph B in subsection 1 below).

Should applicant choose not to provide an authorization identified in subsection 1 below, applicant **must opt-out** of the authorization by checking the corresponding box A or B or both in subsection 2 below.

NOTE: This section of the Application Data Sheet is **ONLY** reviewed and processed with the **INITIAL** filing of an application. After the initial filing of an application, an Application Data Sheet cannot be used to provide or rescind authorization for access by a foreign IP office(s). Instead, Form PTO/SB/39 or PTO/SB/69 must be used as appropriate.

1. Authorization to Permit Access by a Foreign Intellectual Property Office(s)

A. Priority Document Exchange (PDX) - Unless box A in subsection 2 (opt-out of authorization) is checked, the undersigned hereby **grants the USPTO authority** to provide the European Patent Office (EPO), the Japan Patent Office (JPO), the Korean Intellectual Property Office (KIPO), the State Intellectual Property Office of the People's Republic of China (SIPO), the World Intellectual Property Organization (WIPO), and any other foreign intellectual property office participating with the USPTO in a bilateral or multilateral priority document exchange agreement in which a foreign application claiming priority to the instant patent application is filed, access to: (1) the instant patent application-as-filed and its related bibliographic data, (2) any foreign or domestic application to which priority or benefit is claimed by the instant application and its related bibliographic data, and (3) the date of filing of this Authorization. See 37 CFR 1.14(h)(1).

B. Search Results from U.S. Application to EPO - Unless box B in subsection 2 (opt-out of authorization) is checked, the undersigned hereby **grants the USPTO authority** to provide the EPO access to the bibliographic data and search results from the instant patent application when a European patent application claiming priority to the instant patent application is filed. See 37 CFR 1.14(h)(2).

The applicant is reminded that the EPO's Rule 141(1) EPC (European Patent Convention) requires applicants to submit a copy of search results from the instant application without delay in a European patent application that claims priority to the instant application.

2. Opt-Out of Authorizations to Permit Access by a Foreign Intellectual Property Office(s)

☐ A. Applicant **DOES NOT** authorize the USPTO to permit a participating foreign IP office access to the instant application-as-filed. If this box is checked, the USPTO will not be providing a participating foreign IP office with any documents and information identified in subsection 1A above.

☐ B. Applicant **DOES NOT** authorize the USPTO to transmit to the EPO any search results from the instant patent application. If this box is checked, the USPTO will not be providing the EPO with search results from the instant application.

NOTE: Once the application has published or is otherwise publicly available, the USPTO may provide access to the application in accordance with 37 CFR 1.14.

PTO/AIA/14 (02-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	YMTP0265USA1
	Application Number	
Title of Invention	MEMORY INCLUDING A PLURALITY OF PORTIONS AND USED FOR REDUCING PROGRAM DISTURBANCE AND PROGRAM METHOD THEREOF	

Applicant Information:

Providing assignment information in this section does not substitute for compliance with any requirement of part 3 of Title 37 of CFR to have an assignment recorded by the Office.

Applicant 1 — Remove

If the applicant is the inventor (or the remaining joint inventor or inventors under 37 CFR 1.45), this section should not be completed. The information to be provided in this section is the name and address of the legal representative who is the applicant under 37 CFR 1.43; or the name and address of the assignee, person to whom the inventor is under an obligation to assign the invention, or person who otherwise shows sufficient proprietary interest in the matter who is the applicant under 37 CFR 1.46. If the applicant is an applicant under 37 CFR 1.46 (assignee, person to whom the inventor is obligated to assign, or person who otherwise shows sufficient proprietary interest) together with one or more joint inventors, then the joint inventor or inventors who are also the applicant should be identified in this section.

Clear

● Assignee	Legal Representative under 35 U.S.C. 117	Joint Inventor
Person to whom the inventor is obligated to assign.	Person who shows sufficient proprietary interest	

If applicant is the legal representative, indicate the authority to file the patent application, the inventor is:

Name of the Deceased or Legally Incapacitated Inventor:

If the Applicant is an Organization check here. ☒

Organization Name	Yangtze Memory Technologies Co., Ltd.		
Mailing Address Information For Applicant:			
Address 1	Room 7018, No.18, Huaguang Boulevard, Guandong Tech. Industrial Park, Donghu		
Address 2	Development Area, Hongshan District		
City	Wuhan City, Hubei Province	**State/Province**	
Country	CN	Postal Code	
Phone Number		Fax Number	
Email Address			

Additional Applicant Data may be generated within this form by selecting the Add button. Add

Assignee Information including Non-Applicant Assignee Information:

Providing assignment information in this section does not substitute for compliance with any requirement of part 3 of Title 37 of CFR to have an assignment recorded by the Office.

Micron Ex. 1002, p. 13
Micron v. YMTC
IPR2025-00190

PTO/AIA/14 (02-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	YMTP0265USA1
	Application Number	
Title of Invention	MEMORY INCLUDING A PLURALITY OF PORTIONS AND USED FOR REDUCING PROGRAM DISTURBANCE AND PROGRAM METHOD THEREOF	

Assignee 1

Complete this section if assignee information, including non-applicant assignee information, is desired to be included on the patent application publication. An assignee-applicant identified in the "Applicant Information" section will appear on the patent application publication as an applicant. For an assignee-applicant, complete this section only if identification as an assignee is also desired on the patent application publication.

Remove

If the Assignee or Non-Applicant Assignee is an Organization check here. ☒

Organization Name	Yangtze Memory Technologies Co., Ltd.

Mailing Address Information For Assignee including Non-Applicant Assignee:

Address 1	Room 7018, No.18, Huaguang Boulevard, Guandong Tech. Industrial Park, Donghu		
Address 2	Development Area, Hongshan District		
City	Wuhan City, Hubei Province	**State/Province**	
Country i	CN	Postal Code	
Phone Number		Fax Number	
Email Address			

Additional Assignee or Non-Applicant Assignee Data may be generated within this form by selecting the Add button. Add

Signature:

Remove

NOTE: This Application Data Sheet must be signed in accordance with 37 CFR 1.33(b). **However, if this Application Data Sheet is submitted with the INITIAL filing of the application and either box A or B is not checked in subsection 2 of the "Authorization or Opt-Out of Authorization to Permit Access" section, then this form must also be signed in accordance with 37 CFR 1.14(c).**

This Application Data Sheet **must** be signed by a patent practitioner if one or more of the applicants is a **juristic entity** (e.g., corporation or association). If the applicant is two or more joint inventors, this form must be signed by a patent practitioner, **all** joint inventors who are the applicant, or one or more joint inventor-applicants who have been given power of attorney (e.g., see USPTO Form PTO/AIA/81) on behalf of **all** joint inventor-applicants.

See 37 CFR 1.4(d) for the manner of making signatures and certifications.

Signature	/Roger Chen/			Date (YYYY-MM-DD)	2021-09-10
First Name	Roger	Last Name	Chen	Registration Number	67314

Additional Signature may be generated within this form by selecting the Add button. Add

Micron Ex. 1002, p. 14
Micron v. YMTC
IPR2025-00190

PTO/AIA/14 (02-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	YMTP0265USA1
	Application Number	
Title of Invention	MEMORY INCLUDING A PLURALITY OF PORTIONS AND USED FOR REDUCING PROGRAM DISTURBANCE AND PROGRAM METHOD THEREOF	

This collection of information is required by 37 CFR 1.76. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 23 minutes to complete, including gathering, preparing, and submitting the completed application data sheet form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1 The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these records.

2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.

3 A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.

4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).

5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent CooperationTreaty.

6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).

7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.

8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.

9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Micron Ex. 1002, p. 16
Micron v. YMTC
IPR2025-00190

Electronic Patent Application Fee Transmittal

Application Number:	
Filing Date:	
Title of Invention:	MEMORY INCLUDING A PLURALITY OF PORTIONS AND USED FOR REDUCING PROGRAM DISTURBANCE AND PROGRAM METHOD THEREOF
First Named Inventor/Applicant Name:	Yali Song
Filer:	Winston Hsu/Vickie Lee
Attorney Docket Number:	YMTP0265USA1

Filed as Large Entity

Filing Fees for Utility under 35 USC 111(a)

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
UTILITY APPLICATION FILING	1011	1	320	320
UTILITY SEARCH FEE	1111	1	700	700
UTILITY EXAMINATION FEE	1311	1	800	800
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				
Miscellaneous:				
		Total in USD ($)		**1820**

Title

MEMORY INCLUDING A PLURALITY OF PORTIONS AND USED FOR REDUCING PROGRAM DISTURBANCE AND PROGRAM METHOD THEREOF

Cross Reference To Related Applications

[0001] This application is a division of U.S. application No. 16/827,734 filed 2020/03/24, which is a continuation of International Application No. PCT/CN2020/074580 filed on 2020/02/10 and incorporated by reference herein in its entirety.

Background of the Invention

1. Field of the Invention

[0002] The disclosure is related to a memory and a program method, and more particularly, a memory including a plurality of portions and used for reducing program disturbance and a program method thereof.

2. Description of the Prior Art

[0003] In order to increase the capacity of a memory, a memory with a three-dimensional structure has been developed. For example, a three-dimensional stack NAND flash memory can be available presently.

[0004] A three-dimensional structure of a memory can include a plurality of layers so as to store more data on a same area. This structure has been proved to be effective for increasing capacity of memory.

[0005] However, program disturbance will become more significant when the number of layers is increased. Program disturbance will lead to a higher failure rate of programming a memory. In addition, pass voltage disturbance also occurs when using a memory with a plurality of layers.

[0006] Hence, a solution for reducing program disturbance and pass voltage disturbance when operating a three-dimensional memory is in need in the field.

Summary of the Invention

[0007] An embodiment provides a memory including a first portion, a second portion and a controller. The first portion includes a first word line to a kth word line from bottom to top. The second portion is formed above the first portion and includes a (k+1)th word line to an mth word line from bottom to top. The controller is used to apply a first voltage to the first word line to an (x-2)th word line, a second voltage to an (x-1)th word line, and a third voltage to an (x+1)th word line when an xth word line is used to perform a program operation. x, k and m are positive integers.

Micron Ex. 1002, p. 19
Micron v. YMTC
IPR2025-00190

[0008] An embodiment provides a memory including a first portion, a second portion and a controller. The first portion includes an (m+1)th word line to an nth word line from bottom to top. The second portion is formed below the first portion and includes a (k+1)th word line to an mth word line from bottom to top. The controller is used to apply a first voltage to an (x+2)th word line to the nth word line, a second voltage to an (x+1)th word line, a third voltage to an (x-1)th word line, a fourth voltage to the (m+1)th word line to an (x-2)th word line, and a fifth voltage to the (k+1)th word line to the mth word line when an xth word line is used to perform a program operation. x, k and m are integers. The fifth voltage is lower than the fourth voltage.

[0009] An embodiment provides a program method used for operating a memory. The memory includes a first portion and a second portion. The first portion includes a first word line to a kth word line from bottom to top. The second portion is formed above the first portion and includes a (k+1)th word line to an mth word line from bottom to top. The program method includes applying a first voltage to the to the first word line to an (x-2)th word line when an xth word line is used to perform a program operation; applying a second voltage to an (x-1)th word line; and applying a third voltage to an (x+1)th word line.

[0010] An embodiment provides a program method used for operating a memory. The memory includes a first portion and a second portion formed below the first portion. The first portion includes an (m+1)th word line to an nth word line from bottom to top. The second portion includes a (k+1)th word line to an mth word line from bottom to top. The program method includes applying a first voltage to an (x+2)th word line to the nth word line when an xth word line is used to perform a program operation; applying a second voltage to an (x+1)th word line; applying a third voltage to an (x-1)th word line; applying a fourth voltage to the (m+1)th word line to an (x-2)th word line; and applying a fifth voltage to the (k+1)th word line to the mth word line. x, k and m are integers. The fifth voltage is lower than the fourth voltage.

[0011] These and other objectives of the present invention will no doubt become obvious to those of ordinary skill in the art after reading the following detailed description of the preferred embodiment that is illustrated in the various figures and drawings.

Brief Description of the Drawings

[0012] FIG.1 illustrates a memory according to an embodiment.

[0013] FIG.2 illustrates the memory of FIG.1 operated in another condition.

[0014] FIG.3 illustrates a memory according to another embodiment.

[0015] FIG.4 and FIG.5 illustrate the memory of FIG.3 operated in other conditions.

[0016] FIG.6 illustrates a memory according to another embodiment.

[0017] FIG.7 illustrates a memory according to another embodiment.

Micron Ex. 1002, p. 20
Micron v. YMTC
IPR2025-00190

[0018] FIG.8 illustrates the memory of FIG.7 operated in another condition.

[0019] FIG.9 illustrates a memory according to another embodiment.

[0020] FIG.10 illustrates the memory of FIG.9 operated in another condition.

[0021] FIG.11 illustrates a memory according to another embodiment.

[0022] FIG.12 illustrates a flowchart of an program method according to an embodiment

[0023] FIG.13 illustrates a flowchart of an program method according to another embodiment

Detailed Description

[0024] FIG.1 illustrates a memory 100 according to an embodiment. The memory 100 may include a first portion 110, a second portion 120 and a controller 190. The first portion 110 may include a first word line WL1 to a kth word line WLk from bottom to top. The second portion 120 may be formed above the first portion 110 and includes a (k+1)th word line WL(k+1) to an mth word line WLm from bottom to top.

[0025] In the text, when a word line is said to be programmed, it may mean the word line is used to performed a program operation. A program operation said in the text may be an operation for programming a memory cell formed using, for example, a set of transistors.

[0026] When an xth word line WLx is used to performed a program operation, the controller 190 may apply a program voltage Vpgm to the xth word line WLx; the controller 190 may apply a first voltage V1 to the first word line WL1 to an (x-2)th word line WL(x-2); the controller 190 may apply a second voltage V2 to an (x-1)th word line WL(x-1); and the controller 190 may apply third voltage V3 is applied to an (x+1)th word line WL(x+1). x, k and m are positive integers, $1 < k < m$ and $3 \leq x$.

[0027] As shown in FIG.1, the controller 190 may apply a fourth voltage V4 to an (x+2)th word line WL(x+2) to the mth word line WLm when the xth word line WLx is used to performed the program operation, and $x < m-1$.

[0028] In FIG.1, the xth word line WLx is located in the first portion 110 as an example; however, the xth word line WLx may be located in the second portion 120 in another condition.

[0029] FIG.2 illustrates the memory 100 of FIG.1 operated in another condition. In FIG.2, the xth word line WLx is located in the second portion 120. Regarding voltages applied, FIG.2 may be similar to FIG.1, and it is not repeatedly described.

[0030] FIG.1 and FIG.2 are merely examples, and each of the word lines WL(x-2), WL(x-1), WL(x+1) and WL(x+2) mentioned above is allowed to be located in the first portion 110 or the second portion 120.

[0031] Regarding the memory 100, the first voltage V1 may have a first level if the xth word

Micron Ex. 1002, p. 21
Micron v. YMTC
IPR2025-00190

line WLx is in the first portion 110 and a second level if the xth word line WLx is in the second portion 120, where the first level may be lower than the second level. For example, the first voltage V1 in FIG.1 may have a lower value than the first voltage V1 in FIG.2.

[0032] FIG.3 illustrates a memory 300 according to another embodiment. Regarding the memories 100 and 300, the memory 300 may include a third portion 130 in addition to the first portion 110 and the second portion 120.

[0033] The third portion 130 may be formed above the second portion 120 and includes an (m+1)th word line WL(m+1) to an nth word line WLn from bottom to top. As shown in FIG.3, the controller 190 may apply a fourth voltage V4 to the (x+2)th word line WL(x+2) to the nth word line WLn when the xth word line WLx is used to performed the program operation, $m < n$, and $x < (n-1)$.

[0034] FIG.4 and FIG.5 illustrate the memory 300 of FIG.3 operated in other conditions. In FIG.3, the xth word line WLx used to performed a program operation is in the first portion 110. In FIG.4 and FIG.5, the xth word line WLx is in the second portion 120 and the third portion 130 respectively.

[0035] FIG.3 to FIG.5 are merely examples, and each of the word lines WL(x-2), WL(x-1), WL(x+1) and WL(x+2) mentioned above is allowed to be located in the first portion 110, the second portion 120 or third portion 130.

[0036] Regarding the memory 300, the first voltage V1 may have a first level if the xth word line WLx is in the first portion 110, a second level if the xth word line WLx is in the second portion 120, and a third level if the xth word line WLx is in the third portion 130, where the first level may be lower than the second level, and the second level may be lower than the third level. For example, the first voltage V1 in FIG.3 may have a lower value than the first voltage V1 in FIG.4, and the first voltage V1 in FIG.4 may have a lower value than the first voltage V1 in FIG.5.

[0037] FIG.6 illustrates a memory 600 according to another embodiment. The memory 600 may be similar to the memory 100 of FIG.1 and FIG.2. However, the structure of FIG.1 and FIG.2 may include merely one deck, and the memory 600 may have a structure of two decks. In other word, the memory 100 may have a one-deck structure, and the memory 600 may have a two-deck structure. As shown in FIG.6, the first portion 110 is of a deck DECK1, and the second portion 120 is of a deck DECK2. The two decks DECK1 and DECK2 may be separated by a joint oxide layer OL. The memory 600 may include a lower dummy word line DL, an upper dummy word line DU and the joint oxide layer OL. The lower dummy word line DL may be formed above the first portion 110. The upper dummy word line DU may be formed below the second portion 120. The joint oxide layer OL may be formed between the lower dummy word

Micron Ex. 1002, p. 22
Micron v. YMTC
IPR2025-00190

line DL and the upper dummy word line DU. The voltages applied to a one-deck structure may be like the voltages applied to a two-deck structure according to embodiments. For example, the voltages applied to the word lines of the memory 600 may be like the voltages applied to the word lines of the memory 100 of FIG.1 and FIG.2, and it is not repeatedly described.

[0038] FIG.7 and FIG.8 illustrate a memory 700 operated in two conditions according to another embodiment. The memory 700 may include a first portion 710, a second portion 720 and a controller 190. The first portion 710 may include an (m+1)th word line WL(m+1) to an nth word line WLn from bottom to top. The second portion 720 may be formed below the first portion 710 and include a (k+1)th word line WL(k+1) to an mth word line WLm from bottom to top.

[0039] When an xth word line is used to performed a program operation, the controller 190 may apply a first voltage V71 to an (x+2)th word line WL(x+2) to the nth word line WLn; the controller 190 may apply a second voltage V72 to an (x+1)th word line WL(x+1); and the controller 190 may apply a third voltage V73 to an (x-1)th word line WL(x-1).

[0040] If the word line WLx is located in the second portion 720 as shown in FIG.7, when the xth word line is used to performed the program operation, the controller 190 may apply a fifth voltage V75 to the (k+1)th word line WL(k+1) to an (x-2)th word line WL(x-2). In FIG.7, x, k and m are integers, $(k+2) < x < (m+1)$. The condition of FIG.7 may be substantially similar to the condition of FIG.1; however, FIG.7 is provided to introduce FIG.8 to FIG.11.

[0041] If the word line WLx used to performed a program operation is located in the first portion 710 as shown in FIG.8, the first voltage V71, the second voltage V72 and the third voltage V73 may be applied by the controller 190 as shown in FIG.7; however, the controller 190 may apply a fourth voltage V74 to the (m+1)th word line WL(m+1) to an (x-2)th word line WL(x-2). The controller 190 may apply the fifth voltage V75 to the (k+1)th word line WL(k+1) to the mth word line WLm. In FIG.8, x, k and m are integers, $0 \leq k < m$, $(m+2) < x < (n-1)$. The fifth voltage V75 may be lower than the fourth voltage V74.

[0042] According to another embodiment, as shown in FIG.6, the first portion 710 and the second portion 720 shown in FIG.7 and FIG.8 may be of two decks respectively, and the two decks may be separated by a joint oxide layer. As shown in FIG.6, the two decks may have an upper dummy word line and a lower dummy word line respectively.

[0043] FIG.9 illustrates a memory 900 according to another embodiment. FIG.10 illustrates the memory 900 of FIG.9 operated in another condition.

[0044] As shown in FIG.9, the memory 900 may have three portions 910, 920 and 930. The first portion 910 and the second portion 920 may be similar to the portions 710 and 720 shown in FIG.7. The third portion 930 may be formed above the first portion 910 and include a plurality of

Micron Ex. 1002, p. 23
Micron v. YMTC
IPR2025-00190

word lines WL(n+1) to WLq from bottom to top. The condition of FIG.9 may be similar to FIG.7 where the word line WLx used to performed a program operation is located in the lowermost portion 920. The controller 190 may apply the first voltage V71 to the plurality of word lines WL(n+1) to WLq of FIG.9. The variable q is an integer, and $q > (n+1)$.

[0045] The memory 900 of FIG.10 may have the same structure as shown in FIG.9. The condition of FIG.10 may be similar to FIG.8 where the word line WLx used to performed a program operation is located in the portion 910 above the lowermost portion 920. The voltages applied to the portions 910 and 920 may be like the voltages applied to the portions 710 and 720 of FIG.8. As shown in FIG.9, the controller 190 may apply the first voltage V71 to the plurality of word lines WL(n+1) to WLq of the portion 930.

[0046] FIG.11 illustrates a memory 1100 according to another embodiment. The first portion 1110 and the second portion 1120 of the memory 1100 may be like the portions 710 and 720 of FIG.8, and the memory 1100 may further include a third portion 1130 formed below the second portion 1120. Similarly, the xth word line WLx may be used to perform a program operation. Hence, the memory 1100 may include three portions and have a structure like the memory 900 of FIG.9 and FIG.10. As shown in FIG.11, the third portion 1130 may include a first word line WL1 to a kth word line WLk from bottom to top. The controller 190 may apply a six voltage V76 to the first word line WL1 to the kth word line WLk. $0 < k$, and the sixth voltage V76 is lower than the fifth voltage V75.

[0047] Although the numberings of the portions and word lines are not the same, the memories 900 and 1100 shown in FIG.9 to FIG.11 may be regarded as a same memory operated in different conditions.

[0048] In FIG.9, the word line (e.g., WLx) used to performed a program operation is located in a lowermost portion of the three portions.

[0049] In FIG.10, the word line (e.g., WLx) used to performed a program operation is located in a second lowermost portion of the three portions.

[0050] In FIG.11, the word line (e.g., WLx) used to performed a program operation is located in an uppermost portion of the three portions.

[0051] As shown in FIG.9 to FIG.11, when the word line WLx used to performed a program operation is located in the different portions, different voltages may be applied to the word lines below the word line WLx according to the corresponding portion(s).

[0052] In the example of FIG.9 to FIG.11, the relationship among voltages may be $V76 < V75 < V74$. In other words, a same voltage may be applied to word lines of a same portion located below the portion corresponding to the word line (e.g., WLx) used to performed a program operation, and a lower voltage may be applied to word lines of a portion located lower.

Micron Ex. 1002, p. 24
Micron v. YMTC
IPR2025-00190

[0053] FIG.12 illustrates a flowchart of a program method 1200 according to an embodiment. The program method 1200 may be used to operate the memory 100 of FIG.1 and FIG.2 and the memory 300 of FIG.3 to FIG.5. The method 1200 may include following steps.

[0054] Step 1210: apply a first voltage V1 to the to the first word line WL1 to an (x-2)th word line WL(x-2) when an xth word line WLx is used to perform a program operation;

[0055] Step 1220: apply a second voltage V2 to an (x-1)th word line WL(x-1); and

[0056] Step 1230: apply a third voltage V3 to an (x+1)th word line WL(x+1).

[0057] Step 1210 to Step 1230 may be performed when the xth word line WLx is used to perform the program operation. In addition, when the xth word line WLx is used to perform the program operation, a fourth voltage V4 may be applied as show in FIG.1 to FIG.5 and as described above. The relationships among the voltages (e.g. V1, V2, V3 and V4) shown in FIG.1 to FIG.5 may be as described above.

[0058] FIG.13 illustrates a flowchart of a program method 1300 according to an embodiment. The program method 1300 may be used to operate the memory 700 of FIG.8, the memory 900 of FIG.9 and FIG.10, and the memory 1100 of FIG.11. The method 1300 may include the following steps.

[0059] Step 1310: apply a first voltage V71 to an (x+2)th word line WL(x+2) to the nth word line WLn when an xth word line WLx is used to perform a program operation;

[0060] Step 1320: apply a second voltage V72 to an (x+1)th word line WL(x+1);

[0061] Step 1330: apply a third voltage V73 to an (x-1)th word line WL(x-1);

[0062] Step 1340: apply a fourth voltage V74 to the (m+1)th word line WL(m+1) to an (x-2)th word line WL(x-2); and

[0063] Step 1350: apply a fifth voltage V75 to the (k+1)th word line WL(k+1) to the mth word line WLm.

[0064] Step 1310 to Step 1350 may be performed when the xth word line WLx is used to perform the program operation. In addition, when the xth word line WLx is used to perform the program operation, a six voltage V76 may be applied as shown in FIG.11 and as described above. The relationships among the voltages (e.g., V71, V72, V73, V74, V75 and V76) shown in FIG.7 to FIG.11 may be as described above.

[0065] In summary, by using a memory sectioned to have a plurality of portions and applying voltages to the word lines of the memory according to the portions, program disturbance and pass voltage disturbance may be reduced according to simulations and experiments. In addition, by using a same voltage source to apply a voltage to word lines of a same portion or word lines of different portions, less voltage sources may be required, and the area of system may be smaller. Hence, problems of the field can be reduced.

Micron Ex. 1002, p. 25
Micron v. YMTC
IPR2025-00190

[0066] Those skilled in the art will readily observe that numerous modifications and alterations of the device and method may be made while retaining the teachings of the invention. Accordingly, the above disclosure should be construed as limited only by the metes and bounds of the appended claims.

Micron Ex. 1002, p. 26
Micron v. YMTC
IPR2025-00190

Claims

What is claimed is:

1. A memory comprising:

   a first portion comprising an (m+1)th word line to an nth word line from bottom to top; and

   a second portion formed below the first portion and comprising a (k+1)th word line to an mth word line from bottom to top; and

   a controller configured to apply a first voltage to an (x+2)th word line to the nth word line, a second voltage to an (x+1)th word line, a third voltage to an (x-1)th word line, a fourth voltage to the (m+1)th word line to an (x-2)th word line, and a fifth voltage to the (k+1)th word line to the mth word line when an xth word line is used to perform a program operation;

   wherein x, k and m are integers, $0 \leq k < m$, $(m+2) < x < (n-1)$, and the fifth voltage is lower than the fourth voltage.

2. The memory of claim 1, further comprising a third portion formed below the second portion and comprising a first word line to a kth word line from bottom to top wherein the controller is further configured to apply a six voltage to the first word line to the kth word line when the xth word line is used to perform the program operation, $0 < k$, and the sixth voltage is lower than the fifth voltage.

3. The memory of claim 1, further comprising a third portion formed above the first portion and comprising a plurality of word lines wherein the controller is further configured to apply the first voltage to the plurality of word lines when the xth word line is used to perform the program operation.

4. The memory of claim 1, further comprising:

   an upper dummy word line formed below the first portion;

   a lower dummy word line formed above the second portion; and

   a joint oxide layer formed between the upper dummy word line and the lower dummy word line;

   wherein the memory has a two-deck structure.

5. A program method of a memory, the memory comprising a first portion and a second portion, the first portion comprising a first word line to a kth word line from bottom to top, the second portion formed above the first portion and comprising a (k+1)th word line to an

Micron Ex. 1002, p. 27
Micron v. YMTC
IPR2025-00190

mth word line from bottom to top, the program method comprising:

applying a first voltage to the to the first word line to an (x-2)th word line when an xth word line is used to perform a program operation;

applying a second voltage to an (x-1)th word line; and

applying a third voltage to an (x+1)th word line;

wherein x, k and m are positive integers, $1 < k < m$ and $3 \leq x$.

6. The program method of claim 5, further comprising:

applying a fourth voltage to an (x+2)th word line to the mth word line; and

wherein $x < (m-1)$.

7. The program method of claim 5, wherein the memory further comprises a third portion formed above the second portion, the third portion comprises an (m+1)th word line to an nth word line from bottom to top, and the program method further comprises:

applying a fourth voltage to the (x+2)th word line to the nth word line;

wherein $m < n$, and $x < (n-1)$.

8. The program method of claim 7, wherein:

the first voltage has a first level if the xth word line is in the first portion;

the first voltage has a second level if the xth word line is in the second portion;

the first voltage has a third level if the xth word line is in the third portion; and

the first level is lower than the second level, and the second level is lower than the third level.

9. The program method of claim 5, wherein:

the first voltage has a first level if the xth word line is in the first portion;

the first voltage has a second level if the xth word line is in the second portion; and

the first level is lower than the second level.

10. The program method of claim 5, wherein the memory further comprises:

a lower dummy word line formed above the first portion;

an upper dummy word line formed below the second portion;

a joint oxide layer formed between the lower dummy word line and the upper dummy word line;

wherein the memory has a two-deck structure.

Micron Ex. 1002, p. 28
Micron v. YMTC
IPR2025-00190

11. A program method of a memory, the memory comprising a first portion and a second portion formed below the first portion, the first portion comprising an (m+1)th word line to an nth word line from bottom to top, the second portion comprising a (k+1)th word line to an mth word line from bottom to top, the program method comprising:

applying a first voltage to an (x+2)th word line to the nth word line when an xth word line is used to perform a program operation;

applying a second voltage to an (x+1)th word line;

applying a third voltage to an (x-1)th word line;

applying a fourth voltage to the (m+1)th word line to an (x-2)th word line; and

applying a fifth voltage to the (k+1)th word line to the mth word line;

wherein x, k and m are integers, $0 \leq k < m$, $(m+2) < x < (n-1)$, and the fifth voltage is lower than the fourth voltage.

12. The program method of claim 11, wherein the memory further comprises a third portion formed below the second portion, the third portion comprises a first word line to a kth word line from bottom to top, and the program method further comprises:

applying a six voltage to the first word line to the kth word line;

wherein $0 < k$, and the sixth voltage is lower than the fifth voltage.

13. The program method of claim 11, wherein the memory further comprises a third portion formed above the first portion, the third portion comprises a plurality of word lines, and the program method further comprises:

applying the first voltage to the plurality of word lines of the third portion.

14. The program method of claim 11, wherein the memory further comprises:

an upper dummy word line formed below the first portion;

a lower dummy word line formed above the second portion; and

a joint oxide layer formed between the upper dummy word line and the lower dummy word line;

wherein the memory has a two-deck structure.

Micron Ex. 1002, p. 29
Micron v. YMTC
IPR2025-00190

Abstract of Disclosure

A memory includes a first portion, a second portion and a controller. The first portion includes a first word line to a kth word line. The second portion is formed above the first portion and includes a (k+1)th word line to an mth word line. When an xth word line is used to perform a program operation, the controller is used to apply a first voltage to the first word line to an (x-2)th word line, a second voltage to an (x-1)th word line, and a third voltage to an (x+1)th word line. x, k and m are positive integers.

Micron Ex. 1002, p. 30
Micron v. YMTC
IPR2025-00190

Electronic Acknowledgement Receipt

EFS ID:	43729317
Application Number:	17472560
International Application Number:	
Confirmation Number:	2978
Title of Invention:	MEMORY INCLUDING A PLURALITY OF PORTIONS AND USED FOR REDUCING PROGRAM DISTURBANCE AND PROGRAM METHOD THEREOF
First Named Inventor/Applicant Name:	Yali Song
Customer Number:	27765
Filer:	Winston Hsu/Sibyl Yu
Filer Authorized By:	Winston Hsu
Attorney Docket Number:	YMTP0265USA1
Receipt Date:	10-SEP-2021
Filing Date:	
Time Stamp:	22:47:12
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	DA
Payment was successfully received in RAM	$1820
RAM confirmation Number	E202190M48270685
Deposit Account	503105
Authorized User	Sibyl Yu
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows: 37 CFR 1.16 (National application filing, search, and examination fees) 37 CFR 1.17 (Patent application and reexamination processing fees)	

37 CFR 1.19 (Document supply fees)

37 CFR 1.20 (Post Issuance fees)

37 CFR 1.21 (Miscellaneous fees and charges)

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Drawings-only black and white line drawings	4329478.PDF	168865 094d81bcb1b8f8f1a9245c81262d1f73490df7ac	no	7
Warnings:					
Information:					
2	Power of Attorney	4329501.PDF	508497 e45ef78831180530b9789158445b2b1cc45f1744	no	2
Warnings:					
Information:					
3	Oath or Declaration filed	4329502.PDF	130174 0973439bc82fed4e5c5a29bd4841174d9eefadc1	no	3
Warnings:					
Information:					
4	Internet Communications Authorized	4329503.PDF	415326 2bbdf7825c395b12603a42843adda6feee71a752	no	2
Warnings:					
Information:					
5	Application Data Sheet	4329509.PDF	1771805 26107fe5e203ee075e24e35463f9207b963af9c0	no	9
Warnings:					
Information:					
6	Fee Worksheet (SB06)	fee-info.pdf	44063 fb5d7b7b0934670d0e7314477f3988b518190826	no	2
Warnings:					
Information:					

7	Specification	2021_09_10_04_51_55_0286_8ffa6c9f-edb4-4ca4-be0b-0b81ef9afc34.docx	26185 2adf68521f9fb90bda0e42d5ca7a15749b0255a9017675b3dc1b2efcfb94bc4d4a04938c7c861b0bc7d246083a3930a3ac45b07dba2d91879b41808fd7fda351	no	8
Warnings:					
Information:					
8	Claims	2021_09_10_04_51_58_0421_83370ef6-cd5f-43ee-8023-23b3515781bb.docx	22579 65833d29cc7754ae940bec887bf1be57e63af43795df1b377ed1ee9afe087453b861cc77cb5e3b9efd2fa7704c1c5bcc8a97f98ac890075acd8f0d3cca8bb096	no	3
Warnings:					
Information:					
9	Abstract	2021_09_10_04_52_00_0175_6ef25660-9de9-4a67-b590-5bb0770850eb.docx	20582 ac1b765541925c77de0c8b491f6b8d928ef3cf28acc4727377d0b12a8e7e62e2109368b8a15276a72722c821484d576b105a3620309433ceb7901a04abe62b1a	no	1
Warnings:					
Information:					
		Total Files Size (in bytes):	3293036		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

<u>New Applications Under 35 U.S.C. 111</u>
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.
<u>National Stage of an International Application under 35 U.S.C. 371</u>
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.
<u>New International Application Filed with the USPTO as a Receiving Office</u>
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

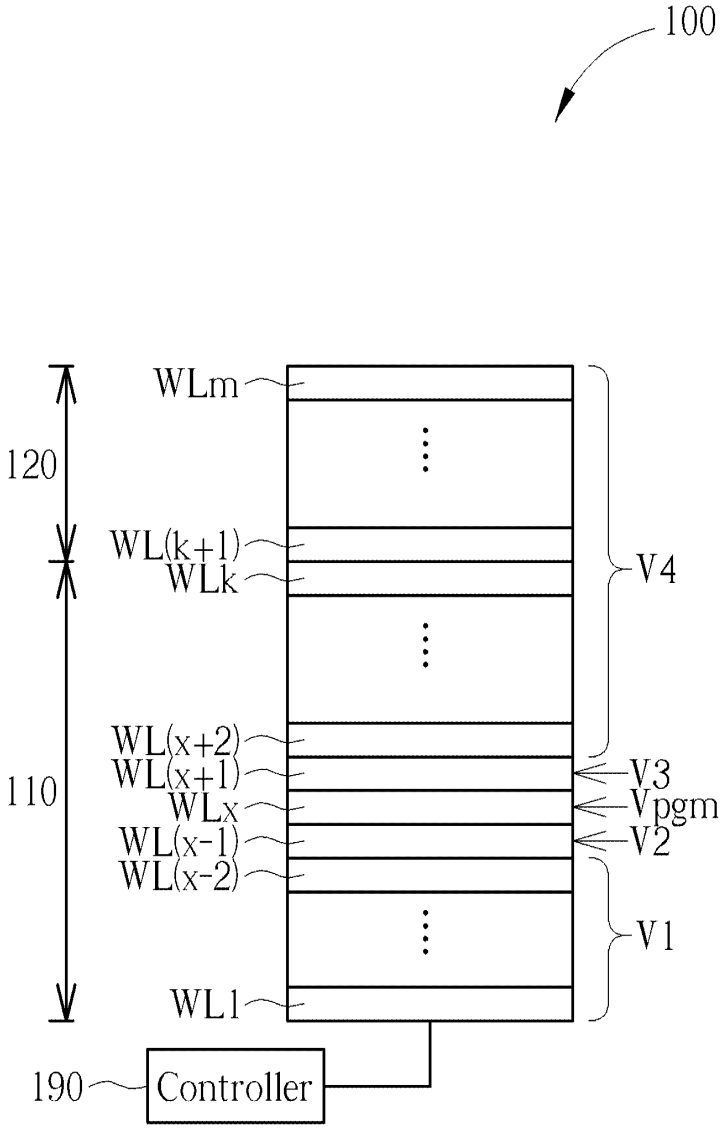


FIG. 1

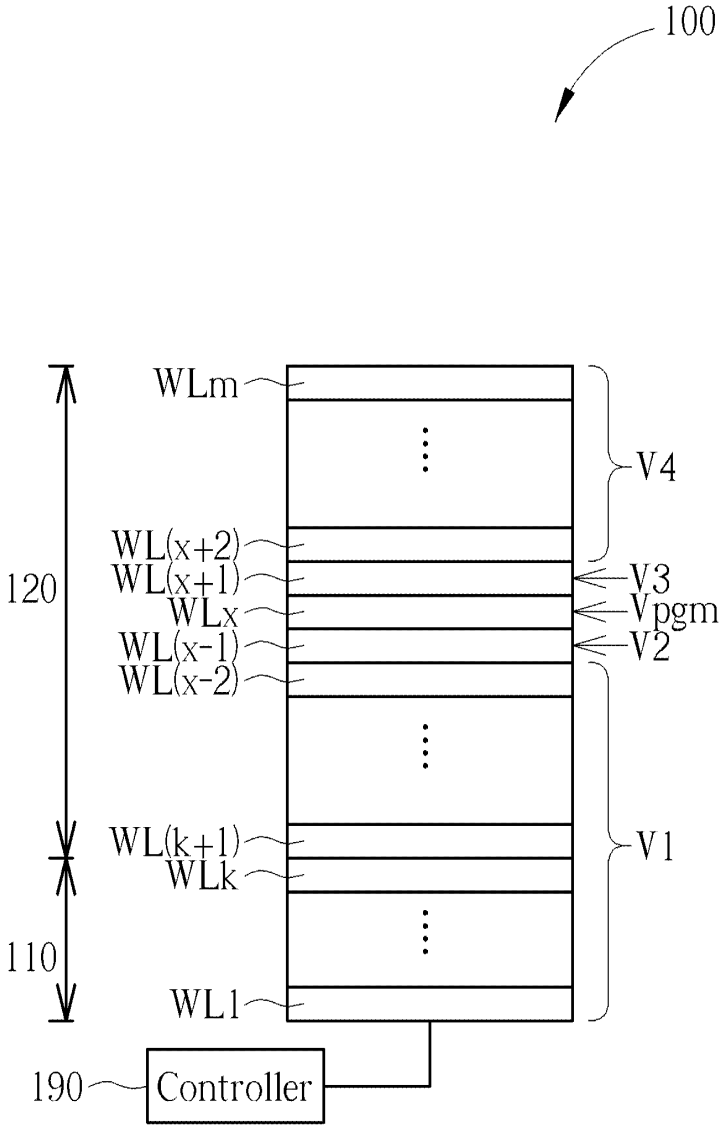


FIG. 2

Micron Ex. 1002, p. 34
Micron v. YMTC
IPR2025-00190

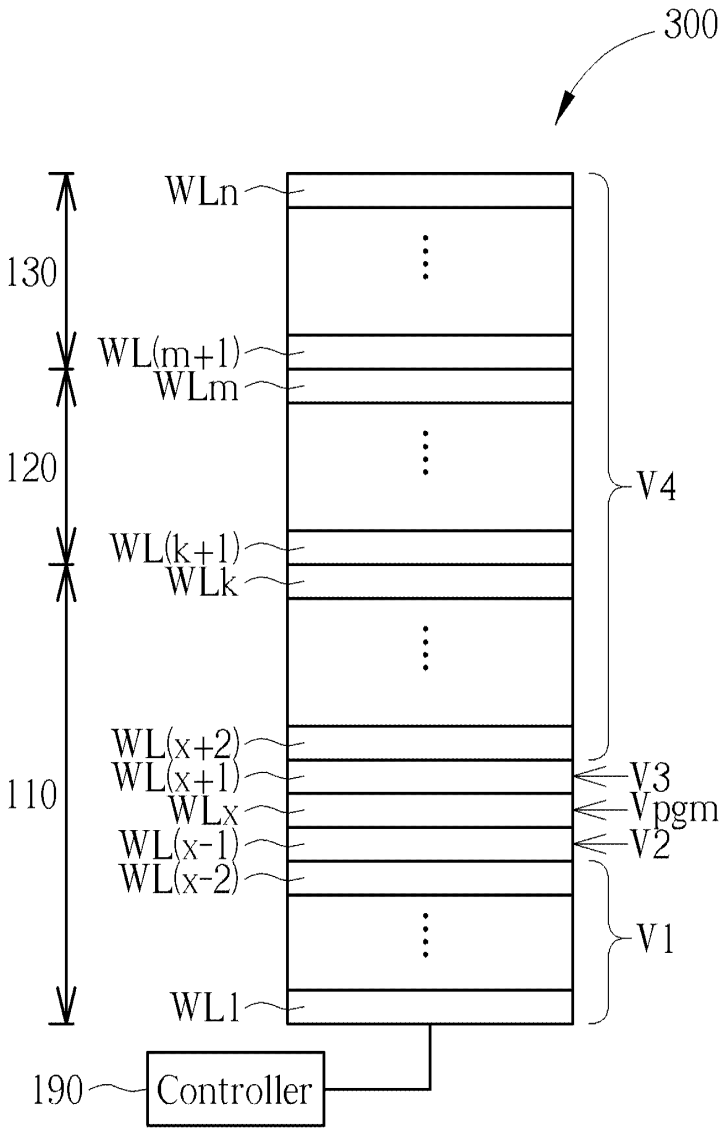


FIG. 3

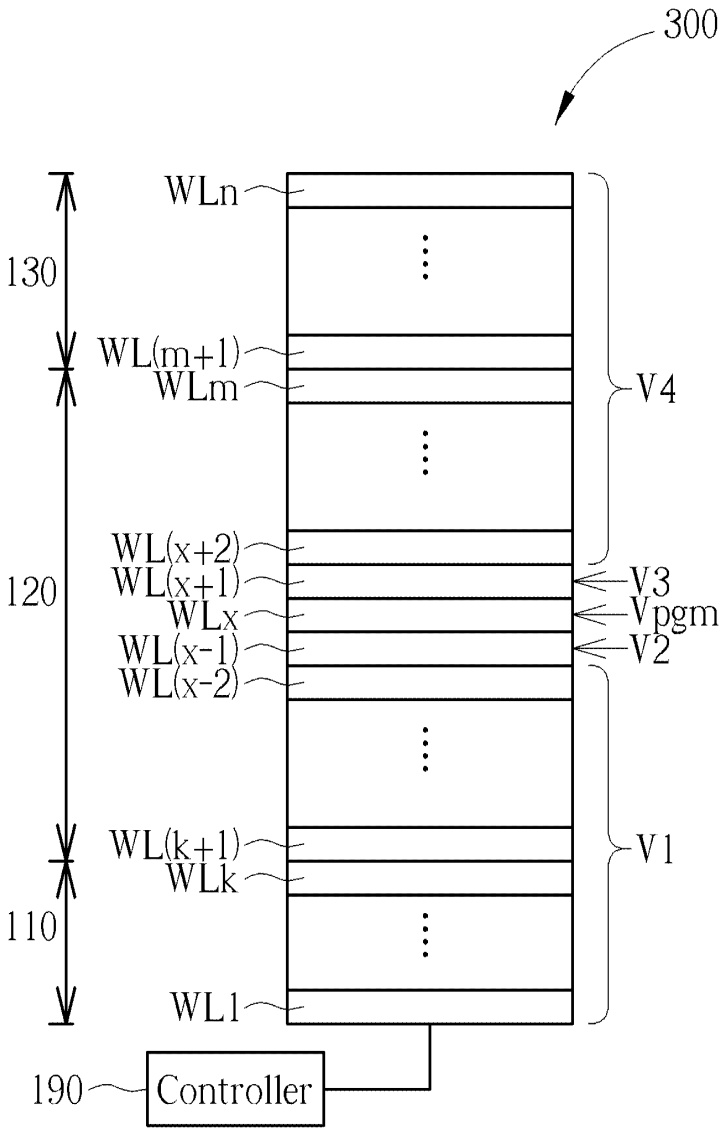


FIG. 4

Micron Ex. 1002, p. 35
Micron v. YMTC
IPR2025-00190

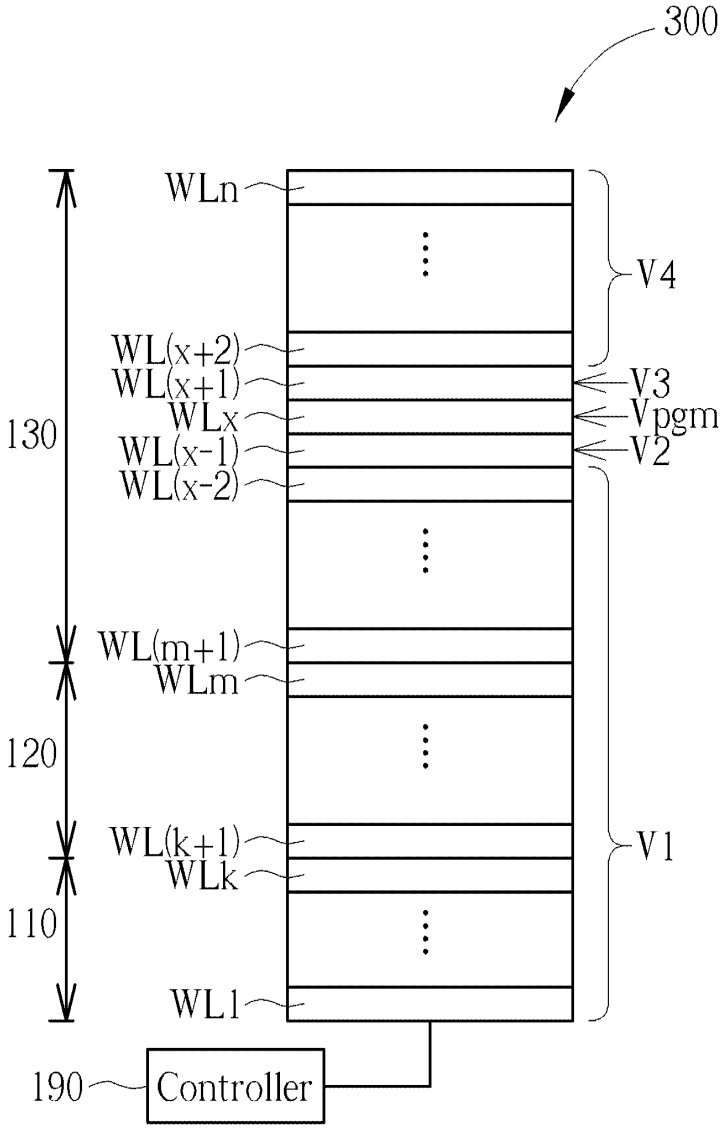


FIG. 5

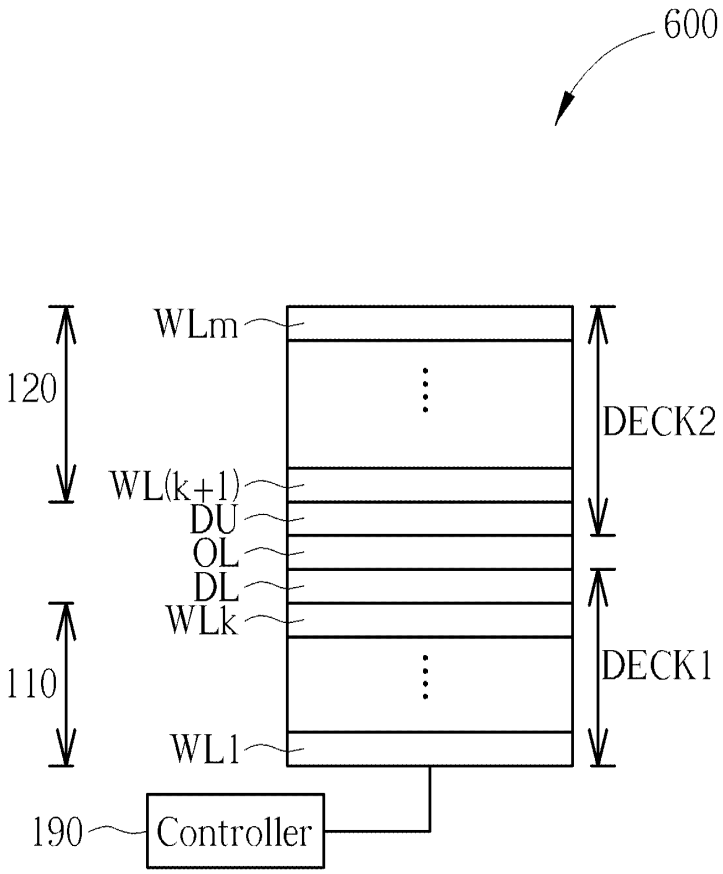


FIG. 6

Micron Ex. 1002, p. 36
Micron v. YMTC
IPR2025-00190

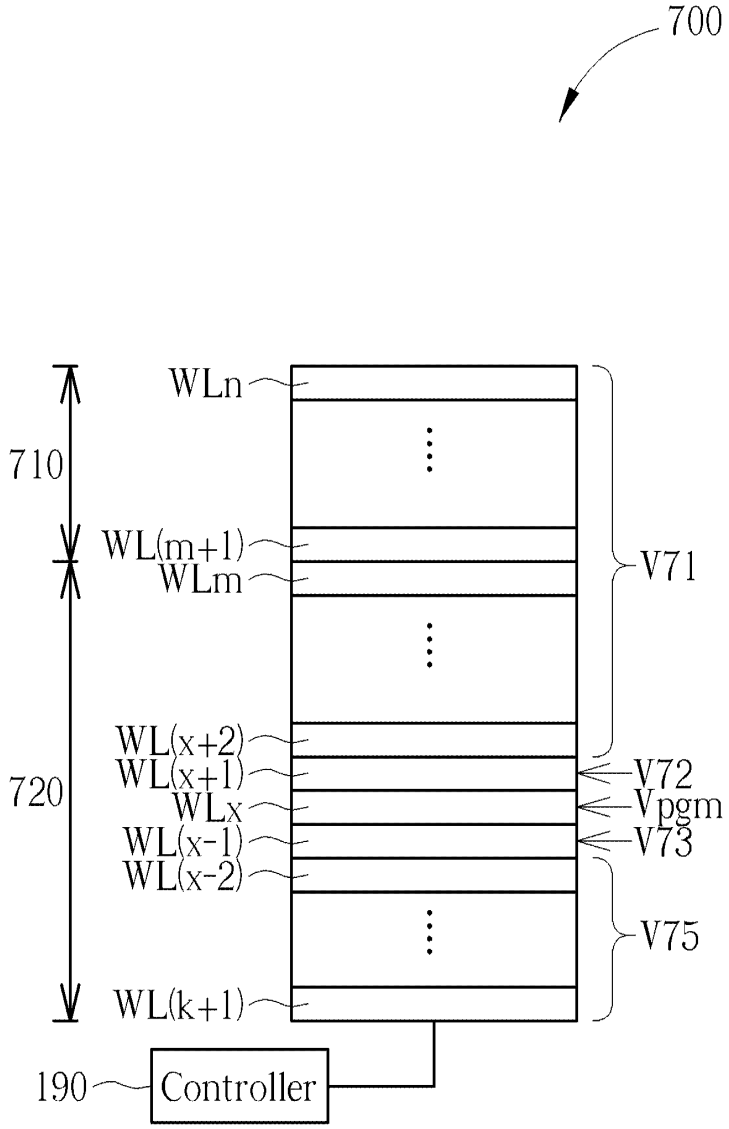


FIG. 7

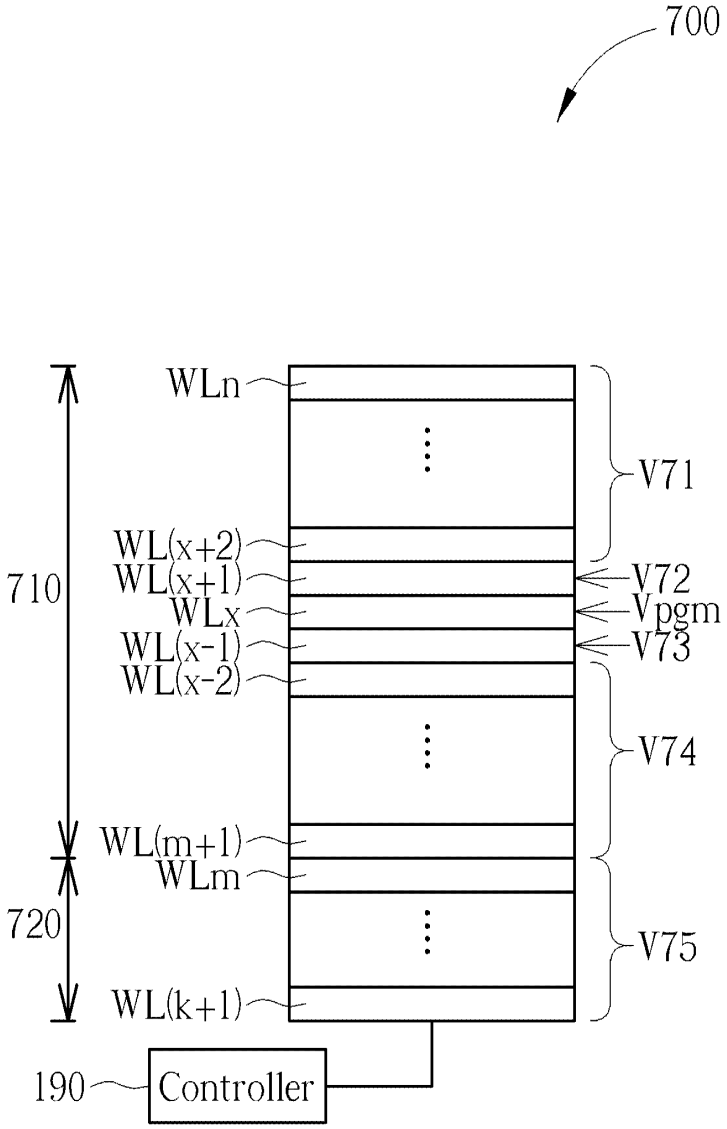


FIG. 8

Micron Ex. 1002, p. 37
Micron v. YMTC
IPR2025-00190

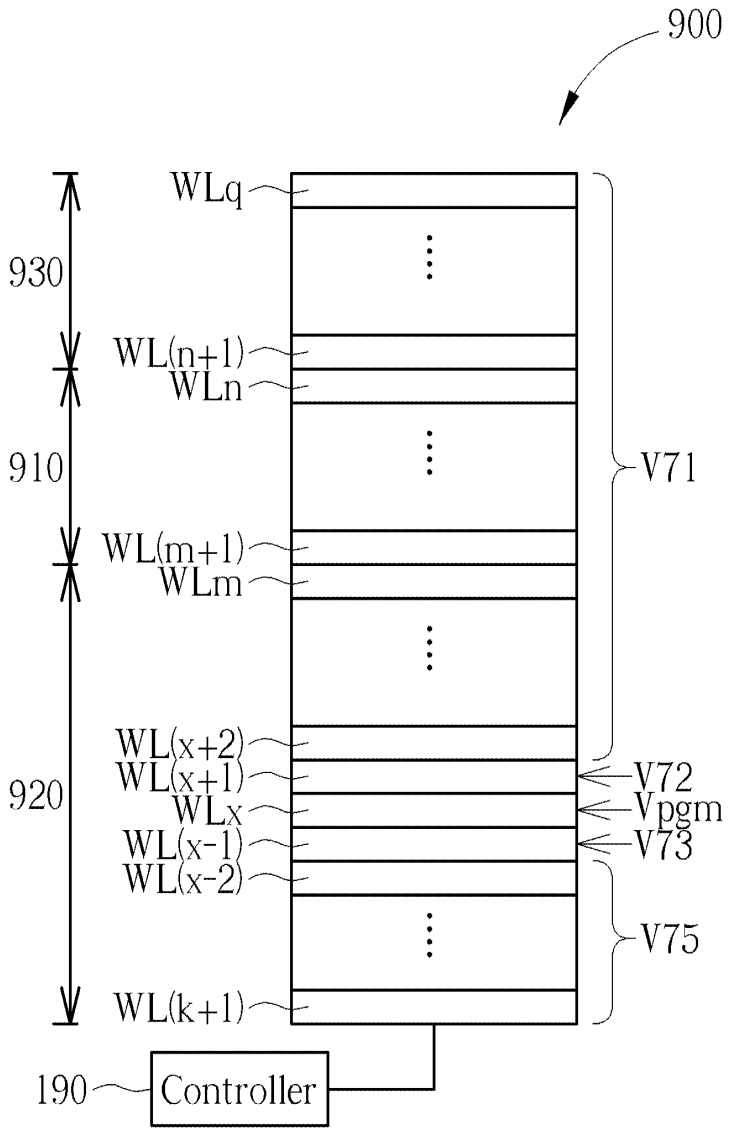


FIG. 9

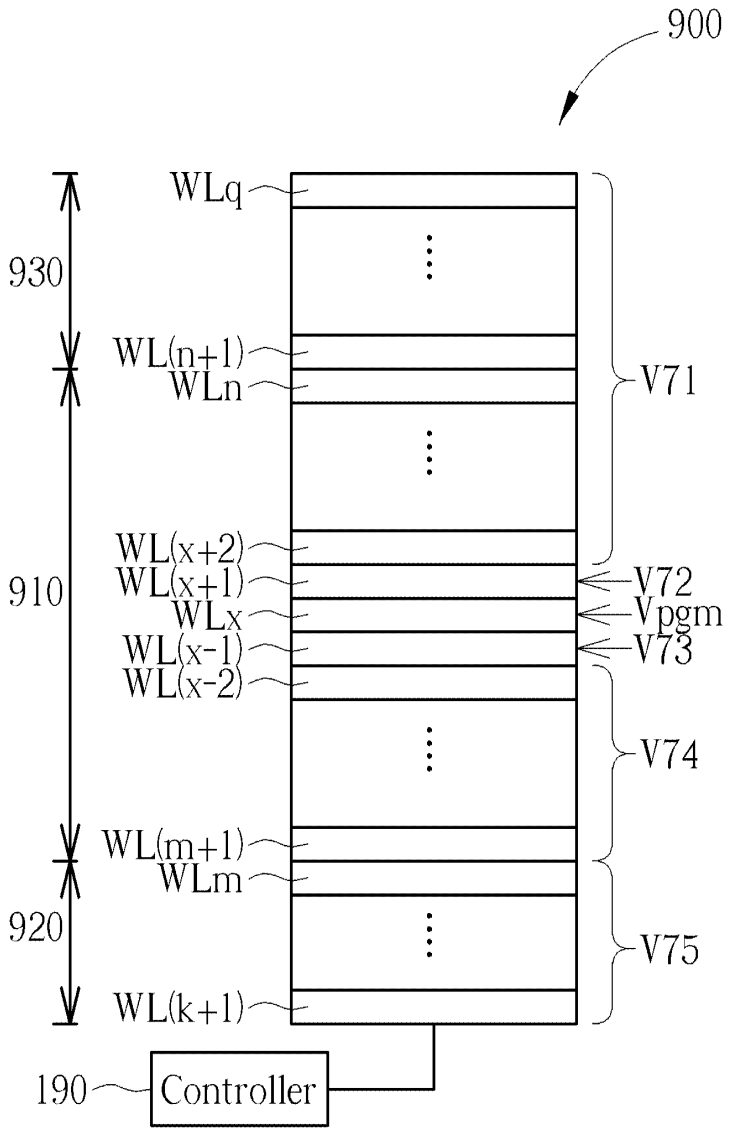


FIG. 10

Micron Ex. 1002, p. 38
Micron v. YMTC
IPR2025-00190

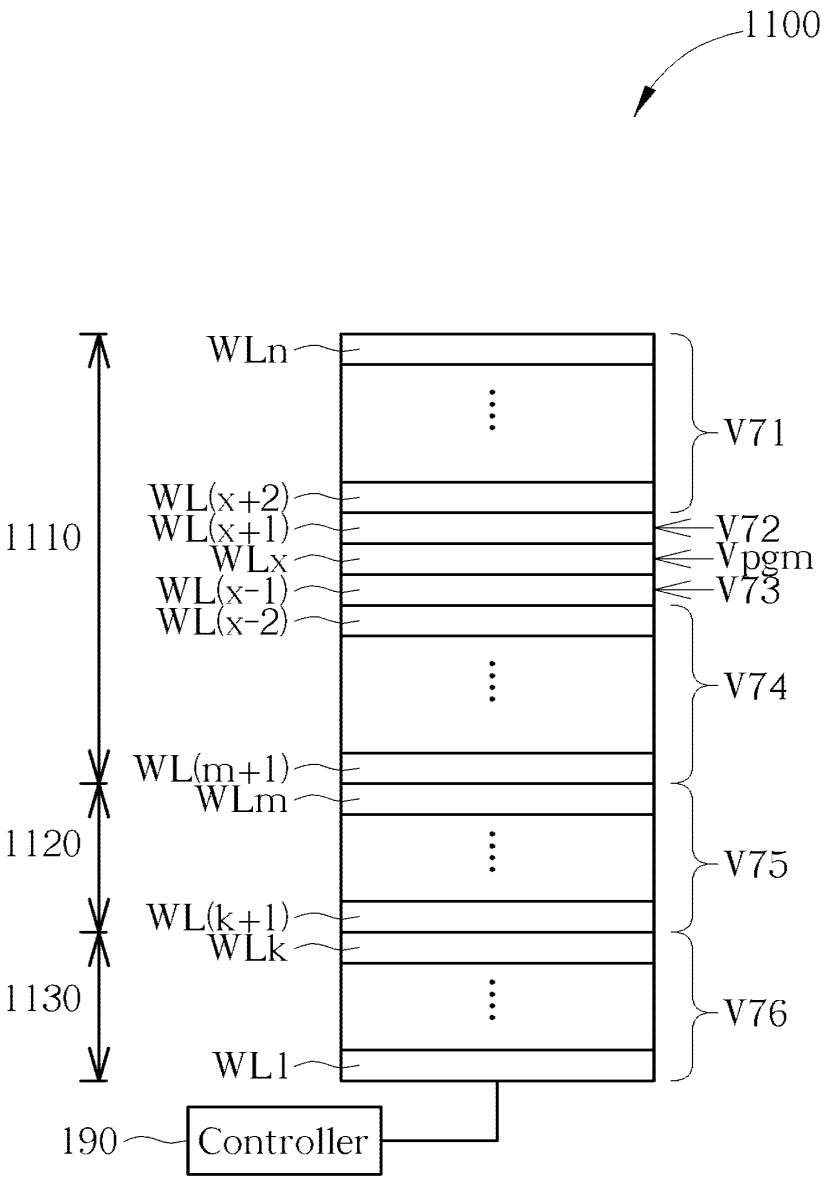


FIG. 11

Micron Ex. 1002, p. 39
Micron v. YMTC
IPR2025-00190

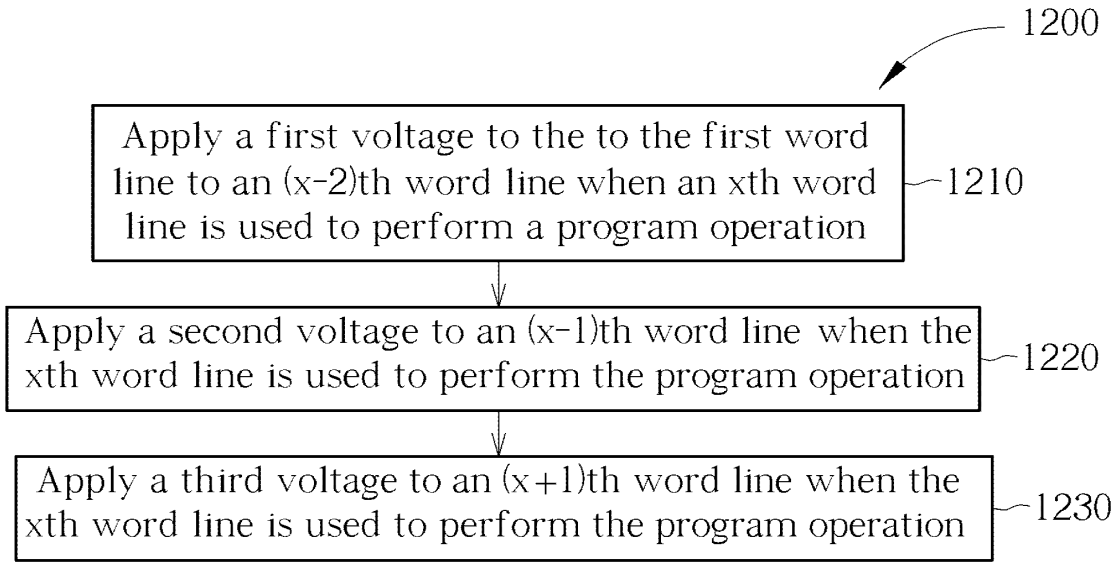


FIG. 12

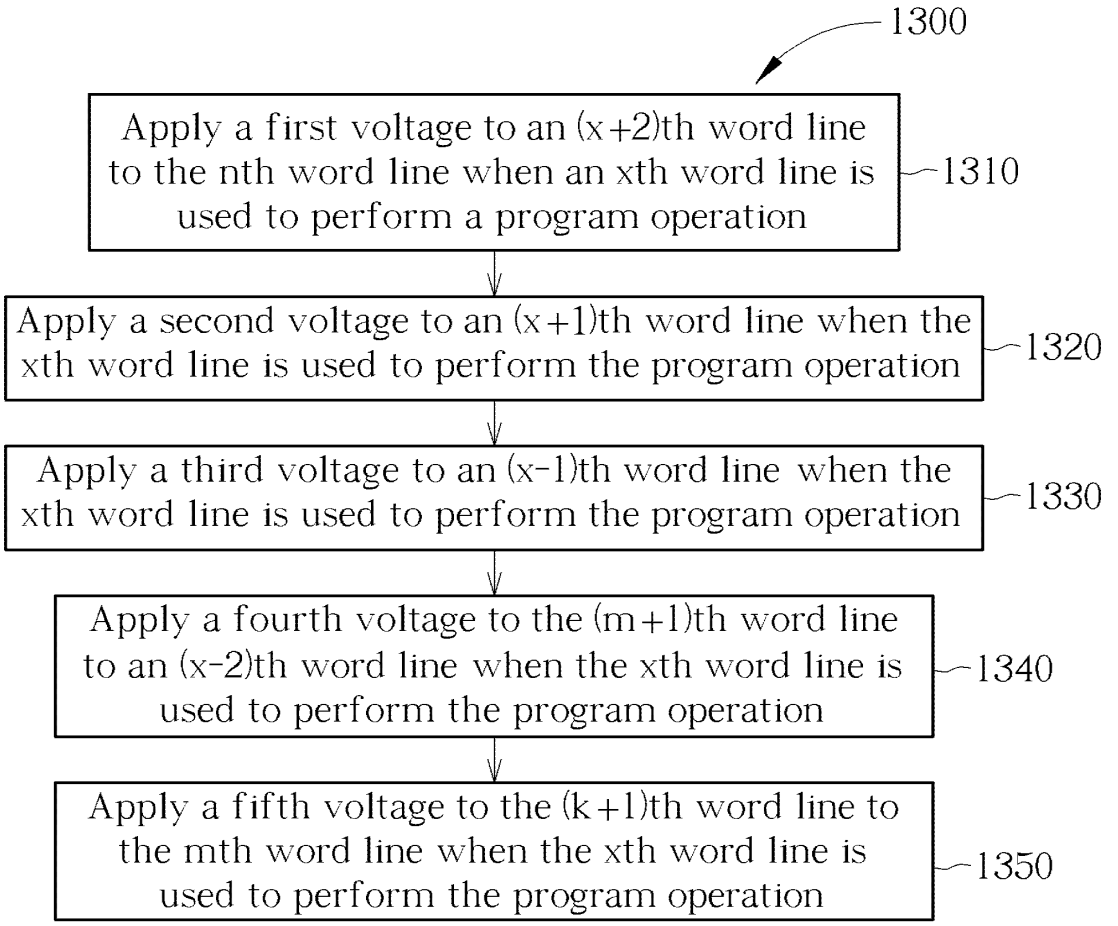


FIG. 13

Micron Ex. 1002, p. 40
Micron v. YMTC
IPR2025-00190

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING or 371(c) DATE	GRP ART UNIT	FIL FEE REC'D	ATTY.DOCKET.NO	TOT CLAIMS	IND CLAIMS
17/472,560	09/10/2021	2827	1820	YMTP0265USA1	14	3

CONFIRMATION NO. 2978

27765
NORTH AMERICA INTELLECTUAL PROPERTY CORPORATION
5F., NO.389, FUHE RD., YONGHE DIST.
NEW TAIPEI CITY,
TAIWAN

FILING RECEIPT

OC00000012858631

Date Mailed: 09/23/2021

Receipt is acknowledged of this non-provisional utility patent application. The application will be taken up for examination in due course. Applicant will be notified as to the results of the examination. Any correspondence concerning the application must include the following identification information: the U.S. APPLICATION NUMBER, FILING DATE, NAME OF FIRST INVENTOR, and TITLE OF INVENTION. Fees transmitted by check or draft are subject to collection.

Please verify the accuracy of the data presented on this receipt. If an error is noted on this Filing Receipt, please submit a written request for a corrected Filing Receipt, including a properly marked-up ADS showing the changes with strike-through for deletions and underlining for additions. If you received a "Notice to File Missing Parts" or other Notice requiring a response for this application, please submit any request for correction to this Filing Receipt with your reply to the Notice. When the USPTO processes the reply to the Notice, the USPTO will generate another Filing Receipt incorporating the requested corrections provided that the request is grantable.

Inventor(s)

Yali Song, Wuhan City, CHINA;
XiangNan Zhao, Wuhan City, CHINA;
Ying Cui, Wuhan City, CHINA;

Applicant(s)

Yangtze Memory Technologies Co., Ltd., Wuhan City, CHINA;

Assignment For Published Patent Application

Yangtze Memory Technologies Co., Ltd., Wuhan City, CHINA

Power of Attorney: The patent practitioners associated with Customer Number 27765

Domestic Priority data as claimed by applicant

This application is a DIV of 16/827,734 03/24/2020
which is a CON of PCT/CN2020/074580 02/10/2020

Foreign Applications for which priority is claimed (You may be eligible to benefit from the **Patent Prosecution Highway** program at the USPTO. Please see http://www.uspto.gov for more information.) - None.
Foreign application information must be provided in an Application Data Sheet in order to constitute a claim to foreign priority. See 37 CFR 1.55 and 1.76.

Permission to Access Application via Priority Document Exchange: Yes

Permission to Access Search Results: Yes

Micron Ex. 1002, p. 41
Micron v. YMTC
IPR2025-00190

Applicant may provide or rescind an authorization for access using Form PTO/SB/39 or Form PTO/SB/69 as appropriate.

If Required, Foreign Filing License Granted: 09/21/2021

The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is **US 17/472,560**

Projected Publication Date: 12/30/2021

Non-Publication Request: No

Early Publication Request: No

Title

MEMORY INCLUDING A PLURALITY OF PORTIONS AND USED FOR REDUCING PROGRAM DISTURBANCE AND PROGRAM METHOD THEREOF

Preliminary Class

365

Statement under 37 CFR 1.55 or 1.78 for AIA (First Inventor to File) Transition Applications: No

PROTECTING YOUR INVENTION OUTSIDE THE UNITED STATES

Since the rights granted by a U.S. patent extend only throughout the territory of the United States and have no effect in a foreign country, an inventor who wishes patent protection in another country must apply for a patent in a specific country or in regional patent offices. Applicants may wish to consider the filing of an international application under the Patent Cooperation Treaty (PCT). An international (PCT) application generally has the same effect as a regular national patent application in each PCT-member country. The PCT process **simplifies** the filing of patent applications on the same invention in member countries, but **does not result** in a grant of "an international patent" and does not eliminate the need of applicants to file additional documents and fees in countries where patent protection is desired.

Almost every country has its own patent law, and a person desiring a patent in a particular country must make an application for patent in that country in accordance with its particular laws. Since the laws of many countries differ in various respects from the patent law of the United States, applicants are advised to seek guidance from specific foreign countries to ensure that patent rights are not lost prematurely.

Applicants also are advised that in the case of inventions made in the United States, the Director of the USPTO must issue a license before applicants can apply for a patent in a foreign country. The filing of a U.S. patent application serves as a request for a foreign filing license. The application's filing receipt contains further information and guidance as to the status of applicant's license for foreign filing.

Applicants may wish to consult the USPTO booklet, "General Information Concerning Patents" (specifically, the section entitled "Treaties and Foreign Patents") for more information on timeframes and deadlines for filing foreign patent applications. The guide is available either by contacting the USPTO Contact Center at 800-786-9199, or it can be viewed on the USPTO website at http://www.uspto.gov/web/offices/pac/doc/general/index.html.

For information on preventing theft of your intellectual property (patents, trademarks and copyrights), you may wish to consult the U.S. Government website, http://www.stopfakes.gov. Part of a Department of Commerce initiative, this website includes self-help "toolkits" giving innovators guidance on how to protect intellectual property in specific

Micron Ex. 1002, p. 42
Micron v. YMTC
IPR2025-00190

countries such as China, Korea and Mexico. For questions regarding patent enforcement issues, applicants may call the U.S. Government hotline at 1-866-999-HALT (1-866-999-4258).

LICENSE FOR FOREIGN FILING UNDER

Title 35, United States Code, Section 184

Title 37, Code of Federal Regulations, 5.11 & 5.15

GRANTED

The applicant has been granted a license under 35 U.S.C. 184, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" followed by a date appears on this form. Such licenses are issued in all applications where the conditions for issuance of a license have been met, regardless of whether or not a license may be required as set forth in 37 CFR 5.15. The scope and limitations of this license are set forth in 37 CFR 5.15(a) unless an earlier license has been issued under 37 CFR 5.15(b). The license is subject to revocation upon written notification. The date indicated is the effective date of the license, unless an earlier license of similar scope has been granted under 37 CFR 5.13 or 5.14.

This license is to be retained by the licensee and may be used at any time on or after the effective date thereof unless it is revoked. This license is automatically transferred to any related applications(s) filed under 37 CFR 1.53(d). This license is not retroactive.

The grant of a license does not in any way lessen the responsibility of a licensee for the security of the subject matter as imposed by any Government contract or the provisions of existing laws relating to espionage and the national security or the export of technical data. Licensees should apprise themselves of current regulations especially with respect to certain countries, of other agencies, particularly the Office of Defense Trade Controls, Department of State (with respect to Arms, Munitions and Implements of War (22 CFR 121-128)); the Bureau of Industry and Security, Department of Commerce (15 CFR parts 730-774); the Office of Foreign AssetsControl, Department of Treasury (31 CFR Parts 500+) and the Department of Energy.

NOT GRANTED

No license under 35 U.S.C. 184 has been granted at this time, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" DOES NOT appear on this form. Applicant may still petition for a license under 37 CFR 5.12, if a license is desired before the expiration of 6 months from the filing date of the application. If 6 months has lapsed from the filing date of this application and the licensee has not received any indication of a secrecy order under 35 U.S.C. 181, the licensee may foreign file the application pursuant to 37 CFR 5.15(b).

SelectUSA

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation, and commercialization of new technologies. The U.S. offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to promote and facilitate business investment. SelectUSA provides information assistance to the international investor community; serves as an ombudsman for existing and potential investors; advocates on behalf of U.S. cities, states, and regions competing for global investment; and counsels U.S. economic development organizations on investment attraction best practices. To learn more about why the United States is the best country in the world to develop

Micron Ex. 1002, p. 43
Micron v. YMTC
IPR2025-00190

technology, manufacture products, deliver services, and grow your business, visit http://www.SelectUSA.gov or call +1-202-482-6800.

Micron Ex. 1002, p. 44
Micron v. YMTC
IPR2025-00190

PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875

Application or Docket Number: 17/472,560

APPLICATION AS FILED - PART I

FOR	(Column 1) NUMBER FILED	(Column 2) NUMBER EXTRA	SMALL ENTITY RATE($)	SMALL ENTITY FEE($)	OR	OTHER THAN SMALL ENTITY RATE($)	OTHER THAN SMALL ENTITY FEE($)
BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A	320
SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A			N/A	700
EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A	800
TOTAL CLAIMS (37 CFR 1.16(i))	14 minus 20 =	*			OR	x 100 =	0.00
INDEPENDENT CLAIMS (37 CFR 1.16(h))	3 minus 3 =	*				x 480 =	0.00
APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $310 ($155 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).						0.00
MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))							0.00
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL	1820

APPLICATION AS AMENDED - PART II

		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE($)	SMALL ENTITY ADDITIONAL FEE($)	OR	OTHER THAN SMALL ENTITY RATE($)	OTHER THAN SMALL ENTITY ADDITIONAL FEE($)
AMENDMENT A	Total (37 CFR 1.16(i))	*	Minus	**	=	x =		OR	x =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	x =		OR	x =	
	Application Size Fee (37 CFR 1.16(s))									
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE($)	SMALL ENTITY ADDITIONAL FEE($)	OR	OTHER THAN SMALL ENTITY RATE($)	OTHER THAN SMALL ENTITY ADDITIONAL FEE($)
AMENDMENT B	Total (37 CFR 1.16(i))	*	Minus	**	=	x =		OR	x =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	x =		OR	x =	
	Application Size Fee (37 CFR 1.16(s))									
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".
The "Highest Number Previously Paid For" (Total or Independent) is the highest found in the appropriate box in column 1.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	17472560
	Filing Date	2021-09-10
	First Named Inventor	Yali Song
	Art Unit	2827
	Examiner Name	N/A
	Attorney Docket Number	YMTP0265USA1

U.S.PATENTS						
Examiner Initial*	Cite No	Patent Number	Kind Code	Issue Date	Name	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1	6061270		2000-05-09	Choi	
	2	10269570	B2	2019-04-23	Lee	
U.S.PATENT APPLICATION PUBLICATIONS						
Examiner Initial*	Cite No	Publication Number	Kind Code	Publication Date	Name	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1	20090257280		2009-10-15	Oh	
	2	20100124119		2010-05-20	Lee	
	3	20120294087		2012-11-22	SEO	
	4	20150262682		2015-09-17	FUTATSUYAMA	

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	17472560
	Filing Date	2021-09-10
	First Named Inventor	Yali Song
	Art Unit	2827
	Examiner Name	N/A
	Attorney Docket Number	YMTP0265USA1

	5	20180190498		2018-07-05	LEE	
	6	20190259456		2019-08-22	KWAK	
	7	20160071595	A1	2016-03-10	Dong	
	8	20160343414	A1	2016-11-24	LEE	
	9	20190206690	A1	2019-07-04	LEE	
	10	20130163326	A1	2013-06-27	Lee	
	11	20160099060	A1	2016-04-07	YOO	
	12	20130272067	A1	2013-10-17	Lee	
	13	20190006021	A1	2019-01-03	Ghai	

.

FOREIGN PATENT DOCUMENTS

Examiner Initial*	Cite No	Foreign Document Number	Country Code	Kind Code	Publication Date	Name	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear	

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	17472560
	Filing Date	2021-09-10
	First Named Inventor	Yali Song
	Art Unit	2827
	Examiner Name	N/A
	Attorney Docket Number	YMTP0265USA1

	1	110689913	CN	A	2020-01-14			Abstract
	2	101567213	CN	A	2009-10-28			US 20090257280
	3	101740129	CN	A	2010-06-16			US 20100124119
	4	102789814	CN	A	2012-11-21			US 20120294087
	5	104916319	CN	A	2015-09-16			US 20150262682
	6	108281166	CN	A	2018-07-13			US 20180190498
	7	110189784	CN	A	2019-08-30			US 20190259456
	8	10-0297602	KR	B1	2001-08-07			US 6061270

NON-PATENT LITERATURE DOCUMENTS

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc), date, pages(s), volume-issue number(s), publisher, city and/or country where published.	
	1		

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (**Not for submission under 37 CFR 1.99)**		
	Application Number	17472560
	Filing Date	2021-09-10
	First Named Inventor	Yali Song
	Art Unit	2827
	Examiner Name	N/A
	Attorney Docket Number	YMTP0265USA1

EXAMINER SIGNATURE			
Examiner Signature		Date Considered	
*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.			

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	17472560
	Filing Date	2021-09-10
	First Named Inventor	Yali Song
	Art Unit	2827
	Examiner Name	N/A
	Attorney Docket Number	YMTP0265USA1

CERTIFICATION STATEMENT

Please see 37 CFR 1.97 and 1.98 to make the appropriate selection(s):

☐ That each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(1).

OR

☐ That no item of information contained in the information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the information disclosure statement was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(2).

☐ See attached certification statement.

☐ Fee set forth in 37 CFR 1.17 (p) has been submitted herewith.

☒ None

SIGNATURE

A signature of the applicant or representative is required in accordance with CFR 1.33, 10.18. Please see CFR 1.4(d) for the form of the signature.

Signature	/Roger Chen/	Date (YYYY-MM-DD)	2021-09-22
Name/Print	Roger Chen	Registration Number	67314

Abstract of China application CN110689913A

There is provided a non-volatile memory device, including: a memory cell array including a plurality of memory cells arranged in word lines and bit lines; a voltage generator generating a program voltage pulse applied to a selected one of the word lines, a first pass voltage applied to a first unselected one of the word lines that is adjacent to the selected word line, and a second pass voltage applied to a second unselected one of the word lines that is not adjacent to the selected word line; and control logic to iteratively increase the programming voltage pulse and to differently increase the first pass voltage and the second pass voltage according to the increased iteration of the programming voltage pulse.

Statement

As the requirement from the examiner, the document has been translated by using the translation software powered by Google Translate. Reasonable efforts have been made to provide an accurate translation, however, no automated translation is perfect nor is it intended to replace human translators. This translation is provided "as is." No warranty of any kind, either expressed or implied, is made as to the accuracy, reliability, or correctness of the translation made from Chinese into English.

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 110689913 A
(43)申请公布日 2020.01.14

(21)申请号 201810730072.X

(22)申请日 2018.07.05

(71)申请人 三星电子株式会社
地址 韩国京畿道水原市

(72)发明人 朴起台 吴贤实

(74)专利代理机构 北京铭硕知识产权代理有限公司 11286
代理人 尹淑梅 薛义丹

(51)Int.Cl.
G11C 16/30(2006.01)
G11C 16/34(2006.01)

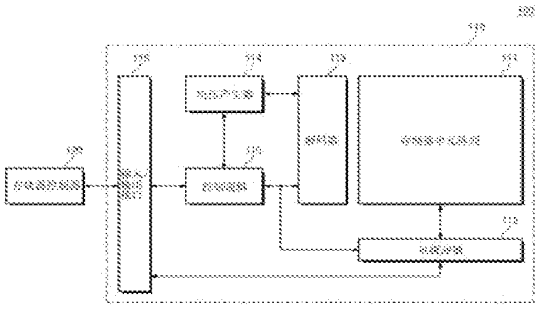
权利要求书2页 说明书16页 附图29页

(54)发明名称

非易失性存储器装置

(57)摘要

提供了一种非易失性存储器装置，所述非易失性存储器装置包括：存储器单元阵列，包括以字线和位线布置的多个存储器单元；电压产生器，产生施加到字线之中的选择的字线的编程电压脉冲、施加到字线之中的与选择的字线相邻的第一未选择的字线的第一通过电压以及施加到字线之中的不与选择的字线相邻的第二未选择的字线的第二通过电压；以及控制逻辑，迭代地增大编程电压脉冲并且根据编程电压脉冲的增大的迭代来不同地增大第一通过电压和第二通过电压。



CN 110689913 A

Micron Ex. 1002, p. 52
Micron v. YMTC
IPR2025-00190

1.一种非易失性存储器装置,所述非易失性存储器装置包括:

存储器单元阵列,包括以字线和位线布置的多个存储器单元;

电压产生器,被构造成产生施加到字线之中的选择的字线的编程电压脉冲、施加到字线之中的与选择的字线相邻的第一未选择的字线的第一通过电压以及施加到字线之中的不与选择的字线相邻的第二未选择的字线的第二通过电压;以及

控制逻辑,被构造成迭代地增大编程电压脉冲的电平并且根据编程电压脉冲的增大的迭代来不同地增大第一通过电压和第二通过电压。

2.根据权利要求1所述的非易失性存储器装置,其中,第二通过电压的增量比第一通过电压的增量大。

3.根据权利要求1所述的非易失性存储器装置,其中,第一通过电压在第一预定次数的编程电压脉冲的循环期间维持在恒定的电平之后增大到第一预定电平。

4.根据权利要求3所述的非易失性存储器装置,其中,控制逻辑在编程电压脉冲的增大的迭代之中的第一点处增大第一通过电压,并且在编程电压脉冲的增大的迭代之中的与第一点不同的第二点处增大第二通过电压。

5.根据权利要求1所述的非易失性存储器装置,其中,控制逻辑还被构造成根据第一通过电压的波动来增大编程电压脉冲。

6.根据权利要求1所述的非易失性存储器装置,其中,控制逻辑在编程电压脉冲的增大的迭代之中的第一点处增加编程电压脉冲的施加时间。

7.根据权利要求6所述的非易失性存储器装置,其中,控制逻辑根据编程电压脉冲的施加时间的增加在第一点处增大第一通过电压和第二通过电压。

8.根据权利要求1所述的非易失性存储器装置,其中,电压产生器还产生施加到字线之中的边缘字线的第三通过电压,控制逻辑使第三通过电压与第二通过电压不同地增大。

9.根据权利要求1所述的非易失性存储器装置,其中,控制逻辑在与选择的字线相邻的未选择的字线之中不同地调整施加到位于选择的字线与串选择线之间的第一未选择的字线的第一通过电压的第一电平以及施加到位于选择的字线与地选择线之间的第一未选择的字线的第一通过电压的第二电平。

10.一种非易失性存储器装置,所述非易失性存储器装置包括:

存储器单元阵列,包括以字线和位线布置的多个存储器单元;

电压产生器,被构造成产生施加到字线之中的选择的字线的编程电压脉冲和施加到未选择的字线的通过电压;以及

控制逻辑,被构造成迭代地增大编程电压脉冲并且根据编程电压脉冲的增大的迭代调整通过电压,

其中,控制逻辑还被构造成在编程电压脉冲的增大的迭代之中的第一点处增加编程电压脉冲的施加时间并且根据编程电压脉冲的施加时间的增加在第一点处增大施加到至少一条未选择的字线的通过电压。

11.根据权利要求10所述的非易失性存储器装置,其中,施加到与选择的字线相邻的未选择的字线的通过电压为恒定通过电压。

12.根据权利要求10所述的非易失性存储器装置,其中,施加到字线之中的边缘字线的通过电压为第二通过电压,控制逻辑与其它通过电压不同地增大第二通过电压。

Micron Ex. 1002, p. 53
Micron v. YMTC
IPR2025-00190

13.一种非易失性存储器装置，所述非易失性存储器装置包括：

存储器单元阵列，包括以字线和位线布置的多个存储器单元；

电压产生器，被构造成产生施加到字线之中的选择的字线的编程电压脉冲、施加到至少一条未选择的非边缘字线的第一通过电压以及施加到未选择的边缘字线的第二通过电压；以及

控制逻辑，被构造成在编程操作期间迭代地增大编程电压脉冲，

其中，控制逻辑还被构造成根据编程电压脉冲的增大的迭代不同地增大第一通过电压和第二通过电压。

14.根据权利要求13所述的非易失性存储器装置，其中，电压产生器还产生施加到与选择的字线相邻的未选择的字线的恒定通过电压。

15.根据权利要求13所述的非易失性存储器装置，其中，控制逻辑在编程电压脉冲的增大的迭代之中的不同的点处增大第一通过电压和第二通过电压。

16.一种非易失性存储器装置，所述非易失性存储器装置包括：

存储器单元阵列，包括多个存储器块，每个存储器块包括多个单元串，每个单元串包括沿垂直于基底的方向顺序地堆叠在基底上的第一存储器单元、虚设存储器单元和第二存储器单元，第一存储器单元和第二存储器单元连接到字线；

电压产生器，被构造成产生施加到字线之中的选择的字线的编程电压脉冲、施加到未选择的字线的通过电压以及施加到虚设字线的虚设通过电压；以及

控制逻辑，被构造成在编程操作期间控制电压产生器以增量迭代地增大编程电压脉冲，

其中，控制逻辑还被构造成根据编程电压脉冲的增大不同地调整通过电压和虚设通过电压。

17.根据权利要求16所述的非易失性存储器装置，其中，当虚设字线与选择的字线相邻时，控制逻辑在编程电压脉冲的增大的迭代之中将虚设通过电压固定在恒定的电平处。

18.根据权利要求16所述的非易失性存储器装置，其中，当虚设字线不与选择的字线相邻时，控制逻辑在编程电压脉冲的增大的迭代之中的第一点处将虚设通过电压增大第一增量，

当虚设字线与选择的字线相邻时，控制逻辑在编程电压脉冲的增大的迭代之中的第二点处将虚设通过电压增大第二增量。

19.根据权利要求16所述的非易失性存储器装置，其中，每个单元串还包括位于第一存储器单元下方的第二虚设存储器单元以及位于第二存储器单元上方的第三虚设存储器单元，

电压产生器还产生施加到第二虚设存储器单元和第三虚设存储器单元中的一个的第二虚设通过电压，

控制逻辑与虚设通过电压不同地调整第二虚设通过电压。

20.根据权利要求16所述的非易失性存储器装置，其中，控制逻辑还被构造成在编程电压脉冲的增大的迭代之中的第一点处增加编程电压脉冲的施加时间并且根据编程电压脉冲的施加时间的增加在第一点处增大通过电压。

Micron Ex. 1002, p. 54
Micron v. YMTC
IPR2025-00190

非易失性存储器装置

技术领域

[0001] 本发明构思总体上涉及非易失性存储器装置。更具体地，发明构思涉及控制编程电压脉冲的非易失性存储器装置。

背景技术

[0002] 非易失性存储器装置的示例包括闪存装置和可变电阻存储器装置。当前的闪存装置可通常被分类为NAND闪存或NOR闪存。NOR闪存具有存储器单元独立连接到位线和字线的结构。NOR闪存具有快的(随机)数据存取速度的特性。相比之下，因为多个存储器单元串联连接，所以NAND闪存每个存储器单元串仅需要一个接触件。

[0003] 闪存像其它形式的非易失存储器一样在缺少施加的电力时保留存储的数据。在诸如蜂窝电话、PDA数码相机、便携式游戏控制器和MP3播放器的移动装置内，闪存被广泛用于存储编程代码和有效载荷数据。闪存装置也可用在诸如HDTV、DVD、路由器和GPS的家用电器中。

[0004] 为了进一步提高数据存储密度，许多传统的非易失性存储器装置被构造成包含存储器单元阵列，所述存储器单元阵列包括多个多位存储器单元，每个多位存储器单元能够存储多于一个数据位。多位存储器单元被统称为多级单元(MLC)，而单位存储器单元被称为单级单元(SLC)。如本领域所公知的，MLC操作成使用两个或更多个阈值电压分布来存储数据。

发明内容

[0005] 发明构思的实施例提供一种能够与限定的ISPP常量相关地来维持增大的编程电压的非易失性存储器装置。发明构思的实施例也提供了一种减小存储器单元过编程的可能性而具有改善的通过电压窗口特性的非易失性存储器装置。

[0006] 在一个实施例中，本发明构思提供了一种存储器装置，所述存储器装置包括：存储器单元阵列，包括以字线和位线布置的多个存储器单元；电压产生器，被构造成产生施加到字线之中的选择的字线的编程电压脉冲和施加到未选择的字线的通过电压；以及控制逻辑，被构造成在编程操作期间根据限定的增量来迭代地增大编程电压脉冲的电平以及调整通过电压的电平。

[0007] 在另一实施例中，本发明构思提供了一种非易失性存储器装置，所述非易失性存储器装置包括：存储器单元阵列，包括以字线和位线布置的多个存储器单元；电压产生器，被构造成产生施加到字线之中的选择的字线的编程电压脉冲和施加到未选择的字线的至少一个通过电压；以及控制逻辑，被构造成迭代地增大编程电压脉冲并且根据未选择的字线在存储器单元阵列中的位置将具有不同的电压电平的不同通过电压施加到未选择的字线，其中，控制逻辑还被构造成在编程操作期间将施加到与选择的字线相邻的未选择的字线的通过电压固定在恒定的电平处。

[0008] 在另一实施例中，本发明构思提供了一种非易失性存储器装置，所述非易失性存

Micron Ex. 1002, p. 55
Micron v. YMTC
IPR2025-00190

储器装置包括:存储器单元阵列,包括以字线和位线布置的多个存储器单元;电压产生器,被构造成产生施加到字线之中的选择的字线的编程电压脉冲和施加到未选择的字线的至少一个通过电压;以及控制逻辑,被构造成在编程操作期间迭代地增大编程电压脉冲,其中,控制逻辑还被构造成确定选择的字线的位置,电压产生器还被构造成在编程操作期间根据选择的字线在存储器单元阵列中的位置来控制通过电压的电平。

[0009] 在另一实施例中,本发明构思提供了一种非易失性存储器装置,所述非易失性存储器装置包括:存储器单元阵列,包括以字线和位线布置的多个存储器单元;电压产生器,被构造成产生施加到字线之中的选择的字线的编程电压脉冲和施加到未选择的字线的通过电压;以及控制逻辑,被构造成在编程操作期间控制电压产生器以增量迭代地增大编程电压,其中,控制逻辑还被构造成确定存储器单元阵列中的选择的字线的位置,电压产生器还被构造成在编程操作期间根据选择的字线的确定的位置来控制编程电压的初始电压电平。

附图说明

[0010] 将参照附图来描述发明构思的实施例。在附图中:

[0011] 图1是示出根据发明构思的实施例的存储器系统的框图;

[0012] 图2是进一步示出图1的存储器单元阵列中的存储器单元的串的概念图;

[0013] 图3是示出根据发明构思的实施例的增量步进脉冲编程(ISPP)的时序图;

[0014] 图4是示出图1的存储器单元阵列中的存储器单元串的概念剖视图;

[0015] 图5是示出阈值电压与ISPP迭代次数(#)的比的曲线图;

[0016] 图6是进一步示出图5中的编程电压脉冲和相关的通过电压的时序图;

[0017] 图7是示出根据图6的编程电压脉冲的阈值电压分布的曲线图;

[0018] 图8是示出阈值电压相对于图6中的编程电压的ISPP迭代次数的曲线图;

[0019] 图9是进一步示出根据发明构思的实施例的编程电压和相关的通过电压的时序图;

[0020] 图10是示出根据发明构思的另一实施例的提供有编程电压和通过电压的存储器单元串的概念图;

[0021] 图11是进一步示出图10的编程电压和通过电压的时序图;

[0022] 图12是示出在各个字线区域中经由字线提供有不同的通过电压的存储器单元串的图;

[0023] 图13是示出根据发明构思的另一实施例的编程电压和通过电压的施加的概念图。

[0024] 图14是示出图13的通过电压的示例性电平的曲线图;

[0025] 图15是总结提供图13的通过电压的方法的流程图;

[0026] 图16是示出根据发明构思的另一实施例的示例性编程电压的曲线图;

[0027] 图17是总结提供图16的编程电压的方法的流程图;

[0028] 图18是示出使用图14和图16的编程电压的编程操作的结果的曲线图;

[0029] 图19是示出将电压施加到单元串的另一示例的图;

[0030] 图20是示出施加图19的编程电压、第一动态通过电压和第二动态通过电压的示例的时序图;

Micron Ex. 1002, p. 56
Micron v. YMTC
IPR2025-00190

[0031] 图21是示出施加编程电压的时间的示例的图；

[0032] 图22是示出施加编程电压的时间的另一示例的图；

[0033] 图23是示出将电压施加到单元串的另一示例的图；

[0034] 图24是示出施加图23的第二动态通过电压和第三动态通过电压的示例的时序图；

[0035] 图25是示出图1的存储器单元阵列的存储器块中的一个存储器块的示例的图；

[0036] 图26是示出将电压施加到具有参照图25描述的结构的单元串的示例的图；

[0037] 图27是示出将电压施加到具有参照图25描述的结构的单元串的另一示例的图；

[0038] 图28是示出将电压施加到具有参照图25描述的结构的单元串的另一示例的图；

[0039] 图29是示出图1的存储器单元阵列的存储器块中的另一存储器块的示例的图；

[0040] 图30是示出图1的存储器单元阵列的存储器块中的另一存储器块的示例的图；

[0041] 图31是示出图1的存储器单元阵列的存储器块中的另一存储器块的示例的图；

[0042] 图32是示出根据发明构思的实施例的包含存储器装置的计算系统的框图；以及

[0043] 图33是示出根据发明构思的实施例的基于存储器的存储装置的框图。

具体实施方式

[0044] 现在将参照附图以一些补充细节来描述发明构思的实施例。然而，发明构思可以以不同的形式来实施并且不应被解释为仅局限于示出的实施例。相反，这些实施例被作为教导示例提供。

[0045] 因为多年以来已经简化了闪存装置的设计规则，所以限定和适当地维持所谓的通过电压(Vpass)窗口的重要性已经变大。例如，在闪存的编程操作中，编程电压(Vpgm)被施加到选择的字线，并且通过电压(Vpass)被施加到未选择的字线。由于公知的编程电压干扰会起因于低的通过电压，因此多个存储器单元之中的连接到施加有编程电压的字线的编程禁止单元被编程，因此导致出现失败的情况。相比之下，当通过电压干扰起因于高的通过电压时，连接到同一单元串的存储器单元之中的施加有通过电压的单元被编程并且也导致出现失败的情况。即，通过电压窗口表示其中通过电压干扰和编程电压干扰都不产生的通过电压范围。因此，可利用更大的通过电压窗口使闪存装置以更高的可靠性操作。

[0046] 为了改善通过电压窗口(例如，使通过电压窗口最大化)，可在编程操作期间响应于根据限定的增量步进脉冲编程(ISPP)增大的编程电压来控制相应的通过电压。这里，恒定地维持编程电压的增大以执行精确的编程操作。

[0047] 图1是示出根据发明构思的实施例的存储器系统的框图。参照图1，存储器系统100通常包括存储器装置110和存储器控制器(或闪存控制器)120。

[0048] 出于下面的描述的目的，存储器装置110被假设为闪存装置。可选择地，存储器装置110可以是相变随机存取存储器(PRAM)、磁阻随机存取存储器(MRAM)或电阻随机存取存储器(RRAM)。

[0049] 在图1的示出的实施例中，存储器装置110包括每存储器单元能够存储M位数据的存储器单元阵列111，其中，M为正整数。存储器单元阵列111可被分成多个区域，各种区域可根据存储的数据类型来限定，例如，通用(有效载荷)数据区域、备用数据区域等。存储器单元阵列111的各种区域可均包括多个存储器块。由于存储器阵列分成多个存储器块的构造是本领域技术人员公知的，因此将省略其描述。

Micron Ex. 1002, p. 57
Micron v. YMTC
IPR2025-00190

[0050] 存储器装置110还包括页缓冲器112、解码器113、电压产生器(例如,高电压产生器)114、控制逻辑115和输入/输出接口116。页缓冲器112可被构造成根据控制逻辑115的控制从存储器单元阵列111读取数据/将数据编程至存储器单元阵列111。解码器113可被构造成通过控制逻辑115来控制,并且选择存储器单元阵列111的存储器块和选择的存储器块的字线。选择的字线可通过来自电压产生器114的字线电压来驱动。电压产生器114可被构造成通过控制逻辑115来控制,并且产生字线电压(例如,读取电压、编程电压、通过电压、局部电压和检验电压)以供应到存储器单元阵列111。控制逻辑115可被构造成控制闪存装置110的总体操作。

[0051] 再次参照图1,存储器控制器120可被构造成响应于来自外部(例如,主机)的请求来控制存储器装置110。虽然未示出,但是存储器控制器120可包括本领域公知的诸如中央处理单元或微处理器的处理单元、ECC和缓冲存储器。

[0052] 为了改善通过电压窗口,存储器装置110可在编程操作期间响应于根据ISPP增大的编程电压按阶段来增大通过电压。将参照图2和图3详细地描述这些特征。

[0053] 图2是进一步示出图1的存储器单元阵列中的存储器单元(在下文中称为“串单元”)的串(例如,单元串)的概念图。

[0054] 参照图2,编程电压Vpgm可被施加到位于串单元的中心处或串单元的中心附近的“中间的存储器单元”。动态通过电压动态Vpass被施加到其它存储器单元的字线。动态通过电压(动态Vpass)表示为了改善相应的通过电压窗口而根据限定的ISPP在一系列的迭代中增大的通过电压。照惯例来理解ISPP的一般用途,本领域技术人员将认识到的是,可在发明构思的实施例内使用许多不同的ISPP。在下文中,将参照图3以一些补充细节来描述一种可能的ISPP来作为可使用的许多其它ISPP的示例。

[0055] 图3是示出根据发明构思的实施例的示例性ISPP的时序图。

[0056] 参照图3,脉冲形编程电压(Vpgm)在示例性ISPP的控制下在一系列的迭代中逐步增大。即,在示出的示例中,编程电压Vpgm在每次迭代期间增大固定的增量值(ΔISPP)以形成升高阶梯的编程脉冲波形。

[0057] 为了改善相应的通过电压窗口,多个通过电压组均被分别不同地施加。例如,低编程电压组可包括较低的编程脉冲(例如,P1至P3),中编程电压组可包括相对较高的(或中间范围的)编程脉冲(例如,Pk-1至Pk),高编程电压组可包括更高的(或最高的)编程脉冲(例如,Pj-1至Pj)。

[0058] 因此,发明构思的特定实施例可根据限定的ISPP来控制通过电压(Vpass)的产生和提供。然而,这种控制方法会导致与选择的存储器单元相关的浮置栅极的电压电位的不期望的升高。将参照图4以一些补充细节来描述这种现象。

[0059] 图4是进一步示出图1的存储器单元阵列的单元串的图。参照图4,接收编程电压Vpgm的存储器单元位于接收通过电压Vpass的两个存储器单元之间。因此,寄生电容“Cp”产生在接收编程电压Vpgm的存储器单元的浮置栅极与相邻的存储器单元的栅极端子之间。虽然未在图4中示出,但是寄生电容可产生在存储器单元阵列中的所有单元串之间。这个寄生电容对接收编程电压Vpgm的选择的存储器单元在其位于与两个未选择的存储器单元相邻的位置时具有最大的影响。

[0060] 如果通过电压Vpass根据ISPP增大,则寄生电容会使接收编程电压Vpgm的存储器

Micron Ex. 1002, p. 58
Micron v. YMTC
IPR2025-00190

单元的浮置栅极的电位升高。因此，为了抵消寄生电容的影响，应仔细地控制编程电压的电平。参照图5来进一步描述这个要求。

[0061] 图5是示出阈值电压(Vth)与ISPP迭代次数的比的曲线图。

[0062] 共同参照图3至图5，曲线图的水平轴是ISPP迭代的次数(#)，曲线图的竖直轴是阈值电压Vth的电平。ISPP增量的假设斜率是大约0.3。即，编程电压Vpgm脉冲在每次增量期间增大大约0.3V。也假设大约0.1的寄生电容Cp的耦合比。

[0063] 在这些假设下，如果施加到相邻的字线的通过电压Vpass增大大约1.0V，则连接到选择的字线的存储器单元的浮置栅极上的电位升高大约0.2V。因此，ISPP在拐点“t”处的斜率对于通过电压Vpass进一步增大大约0.2。关于图6和图7进一步描述由寄生电容导致的编程电压脉冲的波动和相应的影响。

[0064] 图6是进一步示出图5的编程电压脉冲和相关的通过电压的时序图。编程电压脉冲从大约15V的起始电压(Vpgm起始)每次迭代逐步增大大约0.3V直至大约25V的停止电压(Vpgm停止)。

[0065] 如图2中所描述的，动态通过电压(动态Vpass)表示根据ISPP波动的通过电压。动态通过电压在点T1处从大约8V增大至大约9V。动态通过电压然后在点T2处从大约9V增大至大约10V。图7中描述了使用示例性编程电压脉冲和通过电压的编程操作的结果。

[0066] 图7是示出通过图6的编程电压脉冲限定的阈值电压分布的曲线图。即，如果施加图6中描述的编程电压脉冲，则阈值电压分布示出由于由寄生电容导致的编程电压的增大而致的过编程现象(over-program phenomenon)。即，如图7中所示，动态通过电压ISPP可具有比传统ISPP宽的阈值电压Vth。考虑到前面的结果，必须仔细控制ISPP的宽度的增大。将参照图8以一些补充细节描述这个要求。

[0067] 图8是进一步示出在产生图6中示出的编程电压时的阈值电压(Vth)与ISPP迭代次数之间的关系的曲线图。

[0068] 参照图8，编程电压脉冲的斜率被假设为大约0.3。即，编程电压脉冲增大了大约0.3V。如果动态通过电压在点T1处从大约8V增大到大约9V，则连接到选择的字线的存储器单元的浮置栅极的电位会被图4中描述的寄生电容Cp升高。

[0069] 例如，寄生电容Cp的耦合比被假设为大约0.1。如果动态通过电压从大约8V增大到大约9V，则连接到选择的字线的存储器单元的浮置栅极的电位升高大约0.2V。因此，第K-1编程电压脉冲Pk-1可增大大约0.2V。并且如果动态通过电压在点T2处从大约9V增大到大约10V，则连接到选择的字线的存储器单元的浮置栅极的电位被图4中描述的寄生电容Cp升高。

[0070] 在前面的假设的情况下，如果动态通过电压从大约9V增大到大约10V，则连接到选择的字线的存储器单元的浮置栅极的电位升高大约0.2V。因此，第J-1编程电压脉冲Pj-1可增大大约0.2V。

[0071] 在发明构思的特定实施例中，假设的是，施加的通过电压的电平根据每个编程电压脉冲波动。另外，根据ISPP的编程电压脉冲可分成若干编程电压脉冲组，施加的通过电压的电平可根据每个组波动。

[0072] 在编程电压干扰的发生最集中的第J-1编程电压脉冲Pj-1和第J编程电压脉冲Pj的施加期间，控制编程电压脉冲的宽度的增大。

Micron Ex. 1002, p. 59
Micron v. YMTC
IPR2025-00190

[0073] 为了抵消寄生电容的影响，可在施加到未选择的字线的通过电压波动时适当地控制编程电压脉冲的增大的宽度。即，编程电压脉冲受控制来增大，同时抵消由寄生电容导致的升高的电位。将参照图9以一些补充细节来描述这个方法。

[0074] 图9是示出根据实施例的编程电压和通过电压的时序图。参照图9，将描述编程电压和动态通过电压。

[0075] 编程电压脉冲以大约0.3V的增量从大约15V的起始电压增大直至大约25V的停止电压。然而，编程电压脉冲(Vpgm脉冲)在发生在(例如)图6的点T1和T2处的“控制迭代”处仅增大大约0.1V。这些控制增量与通过电压在寄生电容的影响下波动处的点对应。

[0076] 如先前注意的，动态通过电压在点T1处从大约8V增大到大约9V，并且在T2点处从大约9V增大到大约10V。动态通过电压的波动会进一步提升编程电压脉冲(Vpgm脉冲)的电平，因该电平被图4中描述的寄生电容提升。因此，会如图7中所示发生过编程。

[0077] 因此，编程电压脉冲通过抵消在预计使动态通过电压波动处的点T1和T2处与寄生电容Cp相关的电压电平来增大。因此，在示出的实施例的工作假设下，编程电压脉冲在发生在点T1和T2处的控制迭代处增大仅大约0.1V的“控制增量”。除此之外，编程电压脉冲按大约0.3V的“正常增量”从15V的起始电压增大直至停止电压。

[0078] 为了抵消寄生电容的影响，可在施加到未选择的字线的通过电压波动时适当地控制编程电压脉冲的增大宽度。即，可根据发明构思的实施例来抵消编程电压在寄生电容的影响下的波动。因此，可恒定地维持施加到与选择的字线相邻的未选择的字线的通过电压。其它未选择的字线接收动态通过电压。将参照图10和图11以一些补充细节来对此进行描述。

[0079] 图10是示出根据发明构思的另一实施例的接收编程电压和通过电压的单元串的图。

[0080] 如图10中所示，假设寄生电容位于接收编程电压(Vpgm)的存储器单元与相邻的存储器单元之间。为了抵消寄生电容的影响，将具有恒定电压电平的通过电压(恒定Vpass)施加到与接收编程电压的存储器单元相邻的存储器单元。动态通过电压(动态Vpass)被施加到其它存储器单元。在示出的实施例中，动态通过电压可与关于图2描述的动态通过电压相同。将参照图11以一些补充细节来进一步描述这些控制电压和它们的各种关系。

[0081] 图11是进一步示出图10的编程电压和通过电压的时序图。如图11中所示，示出了编程电压(Vpgm)以及恒定通过电压(恒定Vpass)和根据编程电压波动的动态通过电压(动态Vpass)。

[0082] 与图6相似，编程电压按大约0.3V的正常增量从大约15V的起始电压(Vpgm起始)增大直至大约25V的停止电压(Vpgm停止)。如图2中所描述的，动态通过电压表示根据限定编程电压的ISPP波动的通过电压。

[0083] 示出的实施例的动态通过电压在第一控制迭代(点T1)处从大约8V增大到大约9V，并且在第二控制迭代(点T2)处从大约9V增大到大约10V。如果编程电压的电压被图4中描述的寄生电容Cp恒定地增大，则通过电压的波动会进一步增大编程电压的电压。因此，会如图7中所描述地发生过编程。

[0084] 连接到选择的字线的存储器单元接收编程电压。在连接到未选择的字线的存储器单元之中，与接收编程电压的选择的存储器单元相邻的存储器单元接收恒定通过电压。在

Micron Ex. 1002, p. 60
Micron v. YMTC
IPR2025-00190

示出的实施例中，恒定通过电压为大约9V。连接到未选择的字线的其它(不相邻的)存储器单元接收动态通过电压。

[0085] 与选择的存储器单元相邻的存储器单元的寄生电容对选择的存储器单元具有最大的影响。因此，施加到相邻的存储器单元的通过电压维持恒定以抵消寄生电容的影响。

[0086] 在下文中，描述防止当将不同的通过电压施加到各种字线时潜在地由寄生电容造成的过编程情况的方法。

[0087] 图12是示出单元串中的根据单元串内的存储器单元的位置而经由关联的字线接收不同的通过电压的存储器单元的概念图。

[0088] 如图12中所示，单元串被分成均包含连接到单元串中的存储器单元的多条字线的第一区域(区域1)、第二区域(区域2)和第三区域(区域3)。例如，假设64条字线并联布置以从形成单元串的存储器单元中的对应编号的存储器单元存取数据，第一区域可包括字线0至字线19，第二区域可包括字线20至字线43，第三区域可包括字线44至字线63。大约8V的通过电压(Vpass)被施加到第一区域中的存储器单元。大约9V的通过电压被施加到第二区域中的存储器单元，大约10V的通过电压被施加到第三区域中的存储器单元。

[0089] 在这些工作假设的情况下，将参照图13至图15描述根据发明构思的实施例的将通过电压施加到单元串的存储器单元的示例性方法。

[0090] 图13是示出根据发明构思的另一实施例的编程电压和通过电压的施加的图。参照图13，图1的存储器单元阵列111包括多个单元串，在图13中示出了所述多个单元串中的仅一个单元串来作为示例。

[0091] 编程电压(Vpgm)被施加到选择的字线。恒定通过电压(恒定Vpass)被施加到与选择的字线相邻的字线。动态通过电压(动态Vpass)被施加到第一区域至第三区域(区域1至区域3)中的每个中的其它的未选择的字线。动态通过电压可与关于图12描述的动态通过电压相同。例如，当区域1的字线被选择时，最相邻的字线接收8V，区域1的其它字线接收8V，区域2的字线接收9V，区域3的字线接收10V。当区域2的字线被选择时，最相邻的字线接收8V，区域2的其它字线接收9V，区域1的字线接收8V，区域3的字线接收10V。当区域3的字线被选择时，最相邻的字线接收8V，区域3的其它字线接收10V，区域1的字线接收8V，区域2的字线接收9V。将参照图14以一些补充细节来描述如遍及各个区域施加的通过电压。

[0092] 图14是示出图13中示出的发明构思的实施例中施加的通过电压的曲线图。

[0093] 参照图14，曲线图的水平轴指示单元串内的字线的位置(WL0和WL63被假设为单元串的最外面的(或顶部的和底部的)字线)，曲线图的竖直轴是通过电压(Vpass)的电平。通过电压的指示电平“A”和“B”被施加到连接到未选择的字线的存储器单元。“A”电平通过电压或恒定通过电压(恒定Vpass)被施加到与接收编程电压(Vpgm)的选择的存储器单元相邻的存储器单元。“B”电平通过电压Vpass或动态通过电压被施加到所有其它未选择的存储器单元。

[0094] 恒定通过电压被施加到与选择的存储器单元相邻的存储器单元并且维持为恒定而与存储器单元在第一区域至第三区域内的位置无关。相反，施加到其它未选择的存储器单元的通过电压从第一(或下)区域(区域1)逐渐增大到第三(或上)区域(区域3)，第二(或中间)区域接收介于施加到第一区域的较低的通过电压与施加到第二区域的较高的通过电压之间的通过电压。例如，在发明构思的特定实施例中，通过电压(Vpass)对于第一区域为

Micron Ex. 1002, p. 61
Micron v. YMTC
IPR2025-00190

大约8V，对于第二区域为大约9V，对于第三区域为大约10V。

[0095] 即，随着编程操作从第一条字线(例如，字线0)进行到最后一条字线(例如，字线63)，施加到与选择的字线相邻的存储器单元的通过电压维持在大约8V。然而，可变的通过电压遍及多个区域被施加到不相邻的未选择的字线。因此，恒定通过电压被施加到与接收编程电压的存储器单元相邻的存储器单元，以阻止由于通过电压的波动而致的过编程。在图18中进一步描述根据示出的实施例的编程操作的结果。

[0096] 在下文中，将参照图15的流程图以一些补充细节来描述根据发明构思的实施例的施加通过电压的方法。图15是总结施加图13的通过电压的方法的流程图。

[0097] 共同参照图1和图15，控制逻辑115确定选择的字线WL是否属于第一区域(S11＝是)，或者选择的字线WL是否属于第二区域(S11＝否，并且S13＝是)，或者选择的字线WL是否属于第三区域(S11＝否，并且S13＝否)。

[0098] 如果选择的字线属于第一区域，则电压产生器114根据第一区域施加动态通过电压，并且将恒定通过电压施加到与选择的字线(WL)相邻的字线WL-1和WL+1(S12)。

[0099] 而如果选择的字线属于第二区域，则电压产生器114根据第二区域施加动态通过电压，并且将恒定通过电压施加到与选择的字线(WL)相邻的字线WL-1和WL+1(S14)。

[0100] 而如果选择的字线属于第三区域，则电压产生器114根据第三区域施加动态通过电压，并且将恒定通过电压施加到与选择的字线(WL)相邻的字线WL-1和WL+1(S15)。

[0101] 然后，电压产生器114将编程电压(Vpgm)施加到选择的字线WL，控制逻辑115进行编程操作(S16)。

[0102] 施加到与选择的字线相邻的未选择的字线的通过电压对编程操作总是维持恒定。因此，可对编程操作抵消由于施加到与选择的字线相邻的未选择的字线的通过电压的波动而致的影响，由此改善过编程。

[0103] 图16是示出根据发明构思的另一实施例的编程电压的曲线图。

[0104] 参照图16，曲线图的水平轴指示单元串内的字线位置，曲线图的竖直轴是编程起始电压的电平。第一编程起始电压“A”是根据限定的ISPP正常增大的编程电压的起始电压。第二编程起始电压“B”是根据发明构思的实施例增大的编程电压的起始电压。即，当通过电压Vpass波动时，在控制迭代处控制第二编程起始电压“B”的增大宽度。

[0105] 例如，再次假设单元串通过64条字线来存取，所述64条字线布置在包括字线0至字线19的第一区域、包括字线20至字线43的第二区域以及包括字线44至字线63的第三区域中。如本领域技术人员将理解的，这只是一个示例。如图18中所示，动态通过电压(动态Vpass)在第一区域(区域1)中为大约8V、在第二区域(区域2)中为大约9V、在第三区域(区域3)中为大约10V。

[0106] 在每个存储器单元区域使用不同的编程起始电压的发明构思的实施例中，可使用大约15V的第一起始电压。

[0107] 由于第二区域的通过电压在连接到第二区域中的字线的存储器单元的编程期间波动，因此连接到选择的字线的存储器单元的电位被寄生电容升高。因此，编程起始电压可在第二区域中调节为不同的第二起始电压。例如，第二起始电压可由第一起始电压减小被寄生电容升高的电压电位。

[0108] 相似地，由于第三区域的通过电压在连接到第三区域中的字线的存储器单元的编

Micron Ex. 1002, p. 62
Micron v. YMTC
IPR2025-00190

程期间波动，因此连接到选择的字线的存储器单元的电位被寄生电容升高。因此，第三编程起始电压可针对第三区域(区域3)来调节。例如，第三起始电压可从第二起始电压减小被寄生电容升高的电压电位。将在图18中示出图16中描述的根据编程起始电压的编程操作的结果。

[0109] 另外，将参照图17中的流程图详细地描述根据实施例的施加编程电压的方法。图17是总结施加图16的编程电压的方法的流程图。

[0110] 参照图1、图16和图17，控制逻辑115确定选择的字线WL是否属于第一区域(S21)。如果属于，则执行操作S22。如果不属于，则执行操作S23。

[0111] 电压产生器114将根据第一区域(区域1)的动态通过电压施加到第一区域的字线(S22)。电压产生器114将根据第一区域的编程起始电压Vpgm起始施加到选择的字线WL。

[0112] 另外，控制逻辑115确定选择的字线WL是否属于第二区域(S23)。如果属于，则执行操作S24。如果不属于，则执行操作25。

[0113] 电压产生器114将根据第二区域的动态通过电压施加到第二区域的字线(S24)。电压产生器114将根据第二区域的编程起始电压Vpgm起始施加到选择的字线WL。

[0114] 电压产生器114将根据第三区域(区域3)的动态通过电压施加到第三区域的字线(S25)。电压产生器114将根据第三区域的编程起始电压施加到选择的字线。

[0115] 施加到与选择的字线相邻的未选择的字线的通过电压对编程操作总是维持恒定。因此，可对编程操作抵消由于施加到与选择的字线相邻的未选择的字线的通过电压的波动而致的影响，由此减少过编程的发生。

[0116] 图18是示出使用图14和图16的编程电压的编程操作的结果的曲线图。

[0117] 如图12中所示，大约8V的通过电压被施加到第一区域中的字线的存储器单元。大约9V的通过电压被施加到第二区域中的字线的存储器单元。大约10V的通过电压被施加到第三区域中的字线的存储器单元。

[0118] 如图18中所示，当执行根据图14和图16的方法的编程操作时，第一区域至第三区域中的所有的存储器单元可被编程为在目标阈值电压(目标Vth)内。

[0119] 图19是示出将电压施加到单元串的另一示例的图。参照图19，编程电压Vpgm可被施加到“中间的存储器单元”。动态通过电压动态Vpass可被施加到其它存储器单元的字线。

[0120] 例如，第一动态通过电压Dyanmic Vpass1可被施加到与施加有编程电压Vpgm的存储器单元(直接)相邻的存储器单元的字线。第二动态通过电压动态Vpass2可被施加到其余的存储器单元的字线。

[0121] 为了减小相邻的存储器单元的寄生电容的影响，第一动态通过电压动态Vpass1的增量可小于第二动态通过电压动态Vpass2的增量。在实施例中，施加到在施加有编程电压Vpgm的存储器单元上方/上(例如，串选择线(SSL)侧)相邻的存储器单元的第一动态通过电压动态Vpass1和施加到在供应有编程电压Vpgm的存储器单元下方(例如，地选择线(GSL)侧)相邻的存储器单元的第一动态通过电压动态Vpass1可以彼此相同或彼此不同。

[0122] 在实施例中，第一动态通过电压动态Vpass1增大处的点可与第二动态通过电压动态Vpass2增大处的点不同或相同。

[0123] 图20是示出施加图19的编程电压Vpgm、第一动态通过电压动态Vpass1和第二动态通过电压动态Vpass2的示例的时序图。如参照图9所描述的，编程电压Vpgm可从大约15V的

Micron Ex. 1002, p. 63
Micron v. YMTC
IPR2025-00190

起始电压Vpgm起始逐渐增大到大约25V的停止电压Vpgm停止。

[0124] 第一动态通过电压动态Vpass1可在第一点T1处从8V增大到8.5V。相比之下，第二动态通过电压动态Vpass2可在第一点T1处从8V增大到9V。第一动态通过电压动态Vpass1可在第二点T2处从8.5V增大到9V。相比之下，第二动态通过电压动态Vpass2可在第二点T2处从9V增大到10V。

[0125] 在第一动态通过电压动态Vpass1或第二动态通过电压动态Vpass2增大处的第一点T1和第二点T2的控制迭代处，编程电压Vpgm可增大大约0.2V。在除了控制迭代的其余的迭代处，编程电压Vpgm可增大大约0.3V。可通过将控制迭代的编程电压Vpgm的增量调整为比其余的迭代的编程电压Vpgm的增量小来抵消寄生电容的影响。

[0126] 在实施例中，如果第一动态通过电压动态Vpass1的增量小于第二动态通过电压动态Vpass2的增量，则可减小第一动态通过电压动态Vpass1的由于寄生电容而致的影响。因此，可忽略第一动态通过电压动态Vpass1的由于寄生电容而致的影响，并且可省略控制迭代。即，编程电压Vpgm可从起始电压到停止电压在每次迭代处增大相同的增量(例如，0.3V)。

[0127] 图20中给出的描述为第一动态通过电压动态Vpass1和第二动态通过电压动态Vpass2增大的时序彼此相同。然而，可不同地设定第一动态通过电压动态Vpass1和第二动态通过电压动态Vpass2的时序。

[0128] 图21是示出施加编程电压Vpgm的时间的示例的图。与图9的第一点T1相比，在图21的第一时间T1处，可增加施加编程电压Vpgm的时间。因为编程电压Vpgm的施加时间增加，所以可增大动态通过电压动态Vpass。

[0129] 例如，动态通过电压动态Vpass在图9的第一点T1处增大了1V。相比之下，动态通过电压动态Vpass在图21的第一点T1处增大了2V。即，因为编程电压Vpgm的施加时间增加，所以除了原始增量以外，动态通过电压动态Vpass可基于施加时间的增加而进一步增大。

[0130] 图22是示出施加编程电压Vpgm的时间的另一示例的图。与图21的施加时间相比，编程电压Vpgm的施加时间可在第二点T2处增加。例如，当编程电压Vpgm从起始电压增大到停止电压时，编程电压Vpgm的施加时间可在调整动态通过电压的最后一点处增加。

[0131] 因为编程电压Vpgm的施加时间在第二点T2处增加，所以动态通过电压动态Vpass可从9V增大到11V。例如，除了原始增量以外，动态通过电压动态Vpass可基于施加时间的增加而进一步增大。

[0132] 图21和图22中给出的描述为编程电压Vpgm的施加时间在控制迭代处增加。然而，编程电压Vpgm的施加时间可在不与控制迭代重叠的时序处增加。在控制迭代处，动态通过电压动态Vpass可在编程电压Vpgm的施加时间增加的时序处增大。

[0133] 在实施例中，编程电压Vpgm的施加时间可在最后的编程循环中增加。可通过在最后的编程循环中增加编程电压Vpgm的施加时间来进一步改善存储在其编程速度慢的慢单元中的数据的可靠性。

[0134] 图21和图22中给出的描述为编程电压Vpgm的施加时间在执行编程操作时增加。然而，编程电压Vpgm的施加时间可在执行编程操作时减少。如果编程电压Vpgm的施加时间减少，则可降低动态通过电压动态Vpass。

[0135] 如参照图10或图13所描述的，恒定通过电压恒定Vpass可被施加到与施加有编程

Micron Ex. 1002, p. 64
Micron v. YMTC
IPR2025-00190

电压Vpgm的存储器单元相邻的存储器单元。在这种情况下，可省略调整编程电压Vpgm的增量处的控制迭代。

[0136] 如果省略控制迭代，则动态通过电压动态Vpass可在预设点处以及当编程电压Vpgm的施加时间增加时增大。

[0137] 如参照图19和图20所描述的，施加到相邻的存储器单元的字线的动态通过电压动态Vpass(例如，第一动态通过电压动态Vpass1)可具有增量或增大点，其与施加到其它存储器单元的字线的动态通过电压动态Vpass(例如，第二动态通过电压动态Vpass2)不同。第一动态通过电压动态Vpass1和第二动态通过电压动态Vpass2可在预设点(例如，控制迭代)处以及当编程电压Vpgm的施加时间增加时增大。

[0138] 例如，为了减小寄生电容的影响，第一动态通过电压动态Vpass1的增量可与第二动态通过电压动态Vpass2的增量相同或比第二动态通过电压动态Vpass2的增量小。

[0139] 图23是示出将电压施加到单元串的另一示例的图。参照图23，编程电压Vpgm可被施加到“中间的存储器单元”。动态通过电压动态Vpass可被施加到其它存储器单元的字线。

[0140] 例如，第三动态通过电压动态Vpass3可被施加到位于单元串的上部(例如，串选择线(SSL)侧)的边缘处的至少一个存储器单元的字线以及位于单元串的下部(例如，地选择线(GSL)侧)的边缘处的至少一个存储器单元的字线。第二动态通过电压动态Vpass2可被施加到其余的存储器单元的字线。

[0141] 第三动态通过电压动态Vpass3的增量可与第二动态通过电压动态Vpass2的增量不同。例如，如参照图19和图20所描述的，第三动态通过电压动态Vpass3的增量可小于第二动态通过电压动态Vpass2的增量。

[0142] 在实施例中，施加到在施加有编程电压Vpgm的存储器单元上方/上(例如，串选择线(SSL)侧)相邻的存储器单元的第一动态通过电压动态Vpass1和施加到在供应有编程电压Vpgm的存储器单元下方(例如，地选择线(GSL)侧)相邻的存储器单元的第二动态通过电压动态Vpass2可以彼此相同或彼此不同。

[0143] 在实施例中，第二动态通过电压动态Vpass2增大的点可与第三动态通过电压动态Vpass3增大的点不同或相同。

[0144] 如参照图10或图13所描述的，恒定通过电压恒定Vpass可被施加到与施加有编程电压Vpgm的存储器单元相邻的存储器单元。

[0145] 如参照图19和图20所描述的，施加到相邻的存储器单元的字线的第二动态通过电压动态Vpass2可具有增量或增大点，其与施加到其它存储器单元的字线的第二动态通过电压动态Vpass2不同。

[0146] 如参照图21和图22所描述的，编程电压Vpgm的施加时间可在执行编程操作时增加。当编程电压Vpgm的施加时间增加时，可增大动态通过电压(例如，动态Vpass1、动态Vpass2或动态Vpass3)。

[0147] 图24是示出施加图23的第二动态通过电压动态Vpass2和第三动态通过电压动态Vpass3的示例的时序图。参照图24，施加第二动态通过电压动态Vpass2的点可与施加第三动态通过电压动态Vpass3的点相同，但不限于此。

[0148] 例如，第三动态通过电压动态Vpass3可在第二动态通过电压动态Vpass2被控制(或增大)之后或之前被控制(或增大)。第三动态通过电压动态Vpass3的增量可小于或大于

Micron Ex. 1002, p. 65
Micron v. YMTC
IPR2025-00190

第二动态通过电压动态Vpass2的增量。

[0149] 图25是示出图1的存储器单元阵列111的存储器块中的一个存储器块BLK1的示例的图。参照图25，多个单元串CS可以以行和列设置在基底SUB上。多个单元串CS可共同连接到形成在基底SUB上(或中)的共源极线CSL。在图25中，示出了基底SUB的示例性位置以帮助理解存储器块BLK1的结构。

[0150] 图25中示出的示例为共源极线CSL连接到单元串CS的下端。然而，共源极线CSL电连接到单元串CS的下端就是充分的，发明构思不限于共源极线CSL物理地位于单元串CS的下端处的情况。图25中示出的示例为单元串CS以四乘四的矩阵来布置。然而，存储器块BLK1可包括更少或更多的单元串CS。

[0151] 每行的单元串CS可共同连接到地选择线GSL并且连接到第一串选择线SSL1至第四串选择线SSL4中的相应的串选择线。每列的单元串CS可连接到第一位线BL1至第四位线BL4中的相应的位线。为了易于说明，将连接到第二串选择线SSL2和第三串选择线SSL3的单元串CS描绘成模糊的。

[0152] 每个单元串CS可包括连接到地选择线GSL的至少一个地选择晶体管GST、连接到第一虚设字线DWL1的第一虚设存储器单元DMC1、分别连接到第一字线WL1至第四字线WL4的第一存储器单元MC1至第四存储器单元MC4、分别连接到第二虚设字线DWL2和第三虚设字线DWL3的第二虚设存储器单元DMC2和第三虚设存储器单元DMC3、分别连接到第五字线WL5至第八字线WL8的第五存储器单元MC5至第八存储器单元MC8、连接到第四虚设字线DWL4的第四虚设存储器单元DMC4以及分别连接到串选择线SSL1、SSL2、SSL3或SSL4的串选择晶体管SST。

[0153] 在每个单元串CS中，地选择晶体管GST、第一虚设存储器单元DMC1、第一存储器单元MC1至第四存储器单元MC4、第二虚设存储器单元DMC2和第三虚设存储器单元DMC3、第五存储器单元MC5至第八存储器单元MC8、第四虚设存储器单元DMC4以及串选择晶体管SST可沿垂直于基底SUB的方向串联连接并且可沿垂直于基底SUB的方向顺序地堆叠。

[0154] 在图25示出的示例为八个存储器单元MC1至MC8以及四个虚设存储器单元DMC1至DMC4布置在每个单元串CS中。然而，发明构思不限于此。如参照图2、图10和图13所描述的，每个单元串CS的存储器单元的数量可小于8或者可大于8。另外，每个单元串CS的虚设存储器单元的数量可小于4或者可大于4。

[0155] 虚设存储器单元DMC1至DMC4可具有与存储器单元MC1至MC8相同的结构。虚设存储器单元DMC1至DMC4可不被编程(例如，可被编程禁止)或者可被与存储器单元MC1至MC8不同地编程。

[0156] 例如，存储器单元MC1至MC8可根据数据被编程为具有各种阈值电压，虚设存储器单元DMC1至DMC4可被编程为具有特定范围内的阈值电压。如在虚设存储器单元DMC1至DMC4中，串选择晶体管SST和地选择晶体管GST可不被编程或者可被编程为具有特定范围内的阈值电压。

[0157] 在实施例中，处于同一高度并且与一条串选择线SSL1、SSL2、SSL3或SSL4关联的存储器单元可形成一个物理页。一个物理页的存储器单元可连接到一条子字线。物理页的位于同一高度的子字线可共同连接到一条字线。

[0158] 在实施例中，物理页的处于同一高度的子字线可在形成有子字线的高度处彼此连

Micron Ex. 1002, p. 66
Micron v. YMTC
IPR2025-00190

接。在另一实施例中，物理页的处于同一高度的子字线可在与形成有子字线的高度不同的层(诸如金属层)处彼此间接连接。

[0159] 存储器块BLK1可设置为3D存储器阵列。3D存储器阵列单片式地形成在存储器单元MC的阵列的一个或更多个物理水平中，所述存储器单元MC的阵列的一个或更多个物理水平具有设置在硅基底上方的有源区以及与这些存储器单元MC的操作有关的电路。与存储器单元MC的操作有关的电路可位于这样的基底上方或内部。术语“单片式”意思是阵列的每个水平的层直接沉积在3D存储器阵列的每个下面的水平的层上。

[0160] 在发明构思的实施例中，3D存储器阵列包括垂直定位的垂直单元串CS(或NAND串)，使得至少一个存储器单元位于另一存储器单元上方。至少一个存储器单元可包括电荷俘获层。每个单元串还可包括位于存储器单元MC上方的至少一个选择晶体管。至少一个选择晶体管可具有与存储器单元MC相同的结构并且可与存储器单元MC一致地形成。

[0161] 通过引用包含于此的下面的专利文献描述用于三维存储器阵列的适当的构造，在该构造中，三维存储器阵列被构造为具有水平之间共用的字线和/或位线的多个水平：第7,679,133号美国专利、第8,553,466号美国专利、第8,654,587号美国专利、第8,559,235号美国专利以及第2011/0233648号美国专利公开。

[0162] 在实施例中，第一存储器单元MC1至第四存储器单元MC4可构成第一子块，第五存储器单元MC5至第八存储器单元MC8可构成第二子块。第一子块和第二子块可被独立擦除。例如，当擦除第一子块时，擦除电压从基底SUB供应到单元串CS的沟道。与地电压相近的低电压可被施加到第一子块的第一字线WL1至第四字线WL4，第一存储器单元MC1至第四存储器单元MC4可被擦除。

[0163] 第二子块的第五字线WL5至WL8可被浮置，第二子块可不被擦除。对于擦除操作来说不作为目标的连接到虚设存储器单元DMC1至DMC4、地选择晶体管GST和串选择晶体管SST的虚设字线DWL1至DWL4、地选择线GSL和串选择线SSL也可被浮置。

[0164] 图26是示出将电压施加到具有参照图25描述的结构的单元串的示例的图。参照图26，编程电压Vpgm可被施加到“特定存储器单元”。动态通过电压动态Vpass可被施加到其它存储器单元的字线。

[0165] 如参照图25所描述的，第一虚设存储器单元DMC1至第四虚设存储器单元DMC4可设置在单元串中。动态虚设通过电压动态Vdpass可被施加到第一虚设存储器单元DMC1至第四虚设存储器单元DMC4的虚设字线DWL1至DWL4。

[0166] 在实施例中，可根据与动态通过电压动态Vpass相同的增量来控制动态虚设通过电压动态Vdpass。例如，当动态通过电压动态Vpass增大1V时，动态虚设通过电压动态Vdpass也可增大1V。

[0167] 在另一实施例中，动态虚设通过电压动态Vdpass可根据与动态通过电压动态Vpass不同的增量来控制。动态虚设通过电压动态Vdpass可通过使用小于或大于动态通过电压动态Vpass的增量的增量来控制。例如，当动态通过电压动态Vpass增大1V时，动态虚设通过电压动态Vdpass可增大0.5V或1.5V。

[0168] 动态虚设通过电压动态Vdpass可具有与动态通过电压动态Vpass相同的增量或相同的增大点。动态虚设通过电压动态Vdpass可具有与动态通过电压动态Vpass不同的增量或不同的增大点。

Micron Ex. 1002, p. 67
Micron v. YMTC
IPR2025-00190

[0169] 施加到虚设存储器单元DMC1至DMC4的动态虚设通过电压动态Vdpass可彼此相同或不同。施加到虚设存储器单元DMC1至DMC4的动态虚设通过电压动态Vdpass的增量或增大点可彼此相同或不同。

[0170] 图27是示出将电压施加到具有参照图25描述的结构的单元串的另一示例的图。参照图27，编程电压Vpgm可被施加到“特定存储器单元”。如参照图10或图13所描述的，为了抵消寄生电容的影响，具有恒定电压电平的通过电压恒定Vpass可被施加到与接收编程电压Vpgm的存储器单元相邻的存储器单元(或多个存储器单元)的字线(或多条字线)。动态通过电压动态Vpass可被施加到其它的存储器单元。

[0171] 如参照图10所描述的，为了抵消寄生电容的影响，具有恒定电压电平的虚设通过电压恒定Vdpass可被施加到与接收编程电压Vpgm的存储器单元相邻的虚设存储器单元的虚设字线。动态虚设通过电压动态Vdpass可被施加到其它的虚设存储器单元。当虚设存储器单元不与接收编程电压Vpgm的存储器单元相邻时，动态虚设通过电压动态Vdpass可被施加到虚设存储器单元的所有虚设字线。

[0172] 如参照图21和图22所描述的，编程电压Vpgm的施加时间可在执行编程操作时增加。当编程电压Vpgm的施加时间增加时，可增大动态通过电压动态Vpass或动态虚设通过电压动态Vdpass。

[0173] 如参照图23所描述的，施加到存储器单元之中的位于边缘处的存储器单元的字线(例如，施加到图25的WL1和WL8之中的不与施加有编程电压Vpgm的存储器单元相邻的存储器单元的字线)的动态通过电压动态Vpass可具有与施加到其它的字线(例如，施加到图25的WL2至WL7之中的不与施加有编程电压Vpgm的存储器单元相邻的存储器单元的字线)的动态通过电压动态Vpass不同的增量或不同的增大点。

[0174] 施加到位于边缘处的虚设字线(例如，施加到图25的DWL1和DWL4之中的不与施加有编程电压Vpgm的存储器单元相邻的虚设存储器单元的虚设字线)的动态虚设通过电压动态Vdpass可具有与施加到其它的虚设字线(例如，施加到图25的DWL2和DWL3之中的不与施加有编程电压Vpgm的存储器单元相邻的虚设存储器单元的虚设字线)的动态虚设通过电压动态Vdpass不同的增量或不同的增大点。

[0175] 图28是示出将电压施加到具有参照图25描述的结构的单元串的另一示例的图。参照图28，如参照图19和图20所描述的，具有与第二动态通过电压动态Vpass2不同的增量或不同的增大点的第一动态通过电压动态Vpass1可被施加到与接收编程电压Vpgm的存储器单元相邻的存储器单元(或多个存储器单元)的字线(或多条字线)。例如，第一动态通过电压动态Vpass1和第二动态通过电压动态Vpass2的增量或增大点可彼此相同或不同。

[0176] 另外，如参照图19和图20所描述的，具有与第二动态虚设通过电压动态Vdpass2不同的增量或不同的增大点的第一动态虚设通过电压动态Vdpass1可被施加到相邻的虚设存储器单元的虚设字线。例如，第一动态虚设通过电压动态Vdpass1和第二动态虚设通过电压动态Vdpass2的增量或增大点可彼此相同或不同。

[0177] 如参照图21和图22所描述的，编程电压Vpgm的施加时间可在执行编程操作时增加。当编程电压Vpgm的施加时间增加时，可增大动态通过电压动态Vpass1或动态Vpass2或者动态虚设通过电压动态Vdpass1或动态Vdpass2。

[0178] 如参照图23所描述的，施加到存储器单元之中的位于边缘处的存储器单元的字线

Micron Ex. 1002, p. 68
Micron v. YMTC
IPR2025-00190

(例如,施加到图25的WL1和WL8之中的不与施加有编程电压Vpgm的存储器单元相邻的存储器单元的字线)的第二动态通过电压动态Vpass2可具有与施加到其它的字线(例如,施加到图25的WL2至WL7之中的不与施加有编程电压Vpgm的存储器单元相邻的存储器单元的字线)的第二动态通过电压动态Vpass2不同的增量或不同的增大点。

[0179] 施加到位于边缘处的虚设字线(例如,施加到图25的DWL1和DWL4之中的不与施加有编程电压Vpgm的存储器单元相邻的虚设存储器单元的虚设字线)的第二动态虚设通过电压动态Vdpass2可具有与施加到其它的虚设字线(例如,施加到图25的DWL2和DWL3之中的不与施加有编程电压Vpgm的存储器单元相邻的虚设存储器单元的虚设字线)的第二动态虚设通过电压动态Vdpass2不同的增量或不同的增大点。

[0180] 图29是示出图1的存储器单元阵列111的存储器块中的另一存储器块BLK2的示例的图。与图25的存储器块BLK1相比,在图29的存储器块BLK2中,地选择晶体管GST、第一虚设存储器单元DMC1、第一存储器单元MC1至第四存储器单元MC4、开关SW、第五存储器单元MC5至第八存储器单元MC8、第四虚设存储器单元DMC4以及串选择晶体管SST可设置在每个单元串CS中。

[0181] 单元串CS的开关SW可通过选择线SL来共同地控制。开关SW可连接第一子块的沟道和第二子块的沟道。开关SW可不具有电荷存储层,因此不被编程或擦除。用于控制开关SW的开关电压可被施加到选择线SL。

[0182] 例如,开关电压可以是恒定的电压。如参照图1至图28所描述的,开关电压可以是以与动态通过电压动态Vpass或动态虚设通过电压动态Vdpass相同的方式来控制的动态电压。

[0183] 图30是示出图1的存储器单元阵列的存储器块中的另一存储器块BLK3的示例的图。与图25的存储器块BLK1相比,在图30的存储器块BLK3的第一子块中,第一串选择晶体管SST1设置在每个单元串CS的第二虚设存储器单元DMC2上方/上。第一串选择晶体管SST1连接到关联的第一串选择线SSL1。

[0184] 在第二子块的每个单元串CS中,第二串选择晶体管SST2设置在第四虚设存储器单元DMC4上方/上。第二串选择晶体管SST2连接到关联的第二串选择线SSL2。即,串选择晶体管可设置在每个子块中。

[0185] 图31是示出图1的存储器单元阵列111的存储器块中的另一存储器块BLK4的示例的图。图31的存储器块BLK4的第二子块可具有图30的存储器块BLK3的第二子块沿垂直于基底的方向反转的结构。

[0186] 在每个单元串CS中,第二串选择晶体管SST2可设置在第二子块的最下端处。在每个单元串CS的第二子块中,第二串选择晶体管SST2、第四虚设存储器单元DMC4、第五存储器单元MC5至第八存储器单元MC8、第三虚设存储器单元DMC3以及第二地选择晶体管GST2可沿垂直于基底的方向顺序地堆叠。

[0187] 位线(BL1至BL4中的一条)可连接在每个单元串的第一串选择晶体管SST1与第二串选择晶体管SST2之间。第一地选择晶体管GST1可连接到共源极线CSL,第二地选择晶体管GST2可连接到源极线SL。

[0188] 图32是示出根据实施例的计算系统的框图。

[0189] 参照图32,计算系统200包括电连接到总线210的中央处理单元220、用户接口230、

Micron Ex. 1002, p. 69
Micron v. YMTC
IPR2025-00190

诸如基带芯片组的调制解调器240、存储器控制器250和存储器装置260。存储器控制器250控制存储器装置260。存储器装置260通过存储器控制器250来存储由中央处理单元220处理或将处理的N位数据，其中，N是正整数。

[0190] 当计算系统200是移动装置时，可附加地提供用于将电力供应到计算系统的电池270。虽然未在图中示出，但是对于本领域技术人员将明显的是，可在计算系统200中进一步提供应用芯片组、相机图像处理器(CIS)和移动DRAM等。

[0191] 作为优选的示例，存储器装置260可包括图1至图18中的闪存装置。另外，存储器控制器250可包括控制闪存装置的闪存控制器。

[0192] 例如，存储器装置260和存储器控制器250可包括使用非易失性存储器来存储数据的固态驱动器(SSD)。另外，存储器装置260和存储器控制器250可包括使用非易失性存储器来存储数据的存储器卡。

[0193] 图33是示出根据实施例的基于存储器的存储装置的框图。

[0194] 参照图33，基于存储器的存储系统300包括基于存储器的存储装置310和连接到其的主机320。基于存储器的存储装置310可包括存储器311和控制存储器311的存储器控制器312。

[0195] 例如，基于存储器的存储装置310可以是诸如SD卡的闪存卡。另外，基于存储器的存储装置310可包括SIM卡或USIM卡。即，基于存储器的存储装置310可以是满足诸如数码相机和个人计算机的电子装置的使用的特定工业标准的卡。

[0196] 作为优选的示例，存储器311可包括图1至图16中描述的闪存装置。另外，存储器控制器312可包括控制闪存装置的闪存控制器。

[0197] 本公开描述了电压根据时间的动态变化。另外，本公开描述了电压根据位置(例如，区域)和存储器单元的类型(例如，存储器单元或虚设存储器单元)的动态变化。根据实施例，可抵消编程电压Vpgm的由寄生电容影响的波动。

[0198] 根据实施例，可通过防止过编程来改善通过电压窗口。

[0199] 上面公开的主题将被认为是说明性的，而不是限制性的，权利要求意图覆盖落在本发明构思的范围内的所有这样的修改、提高以及其它实施例。因此，在法律允许的最大范围内，本发明构思的范围将通过权利要求和它们的等同物的最宽的可允许的解释来确定，并且不应被前面的详细描述约束或限制。

Micron Ex. 1002, p. 70
Micron v. YMTC
IPR2025-00190

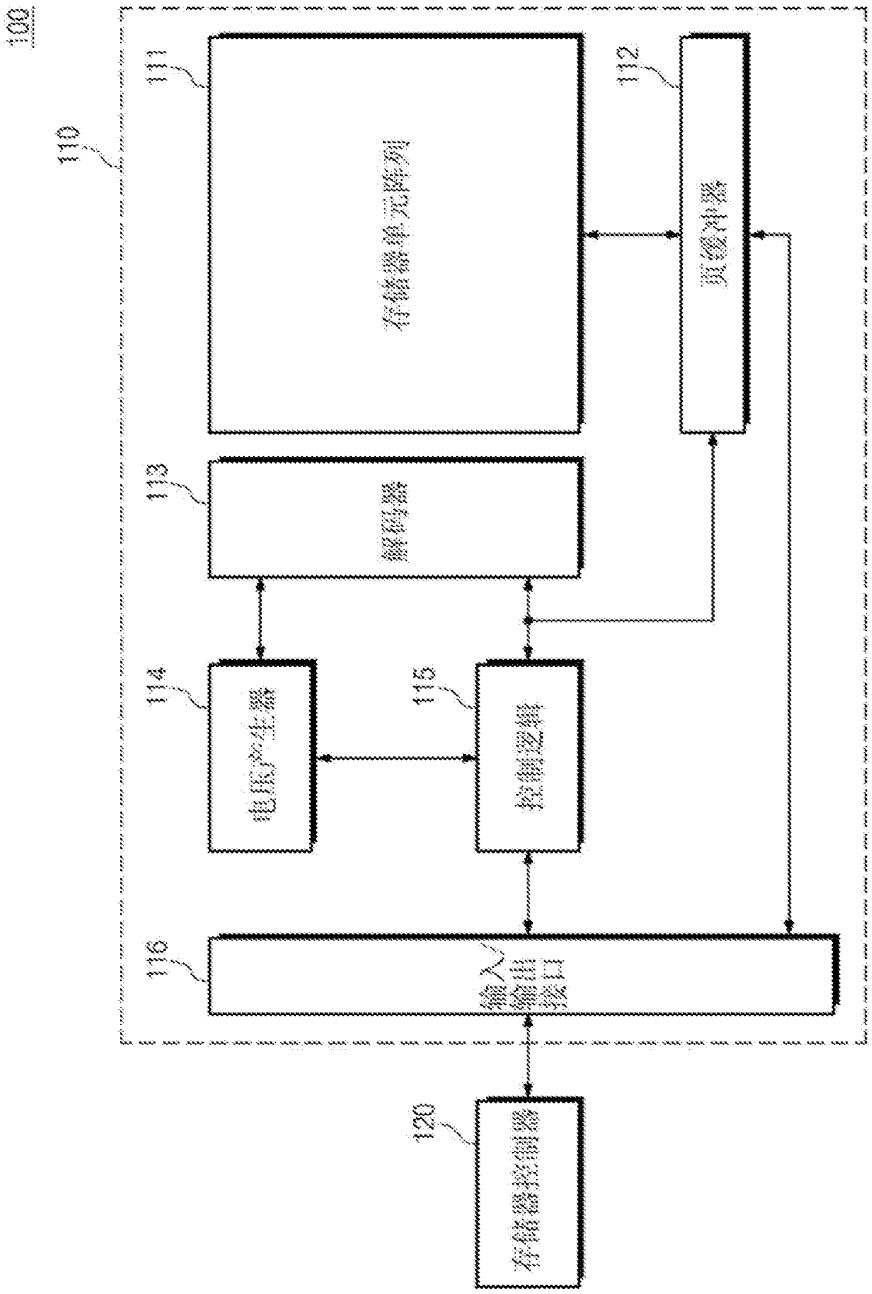


图1

Micron Ex. 1002, p. 71
Micron v. YMTC
IPR2025-00190

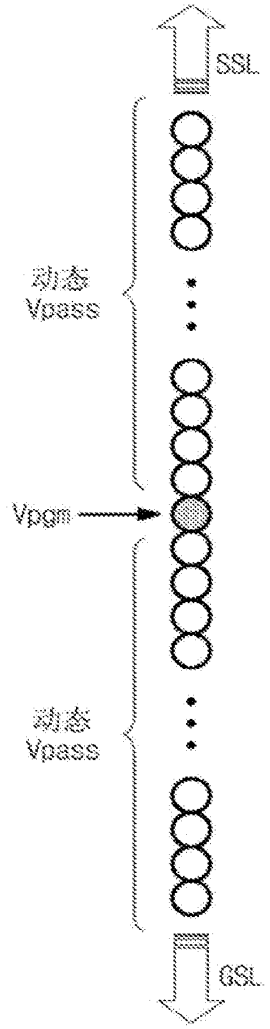


图2

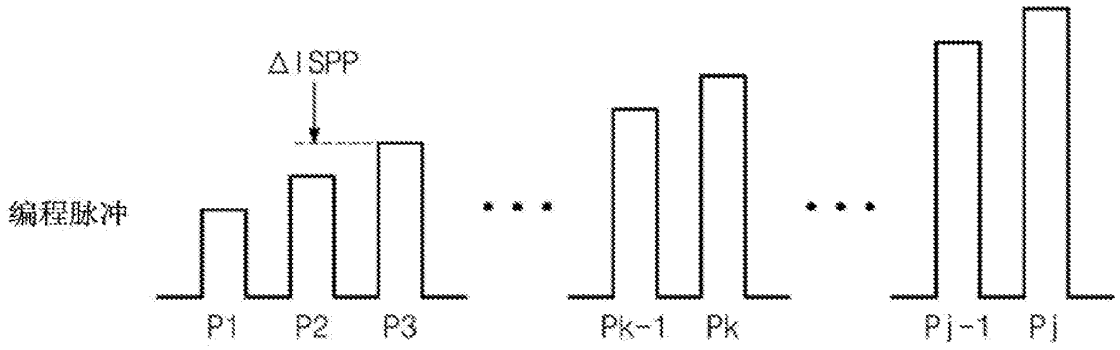


图3

Micron Ex. 1002, p. 72
Micron v. YMTC
IPR2025-00190

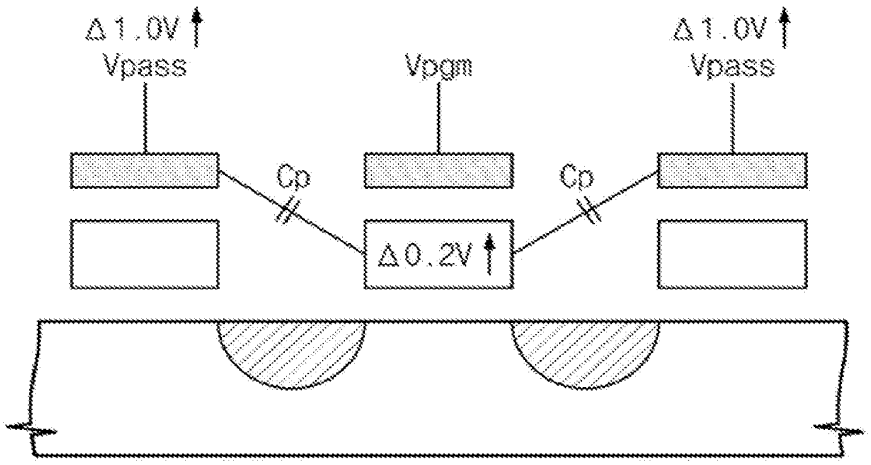


图4

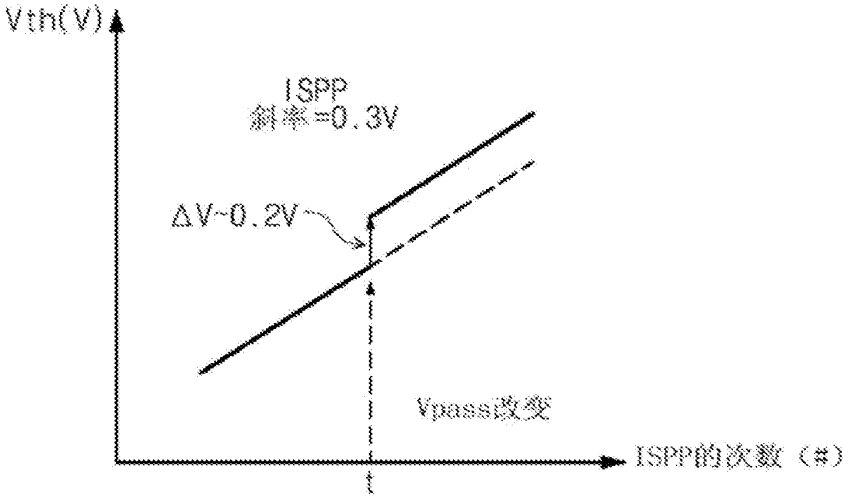


图5

Micron Ex. 1002, p. 73
Micron v. YMTC
IPR2025-00190

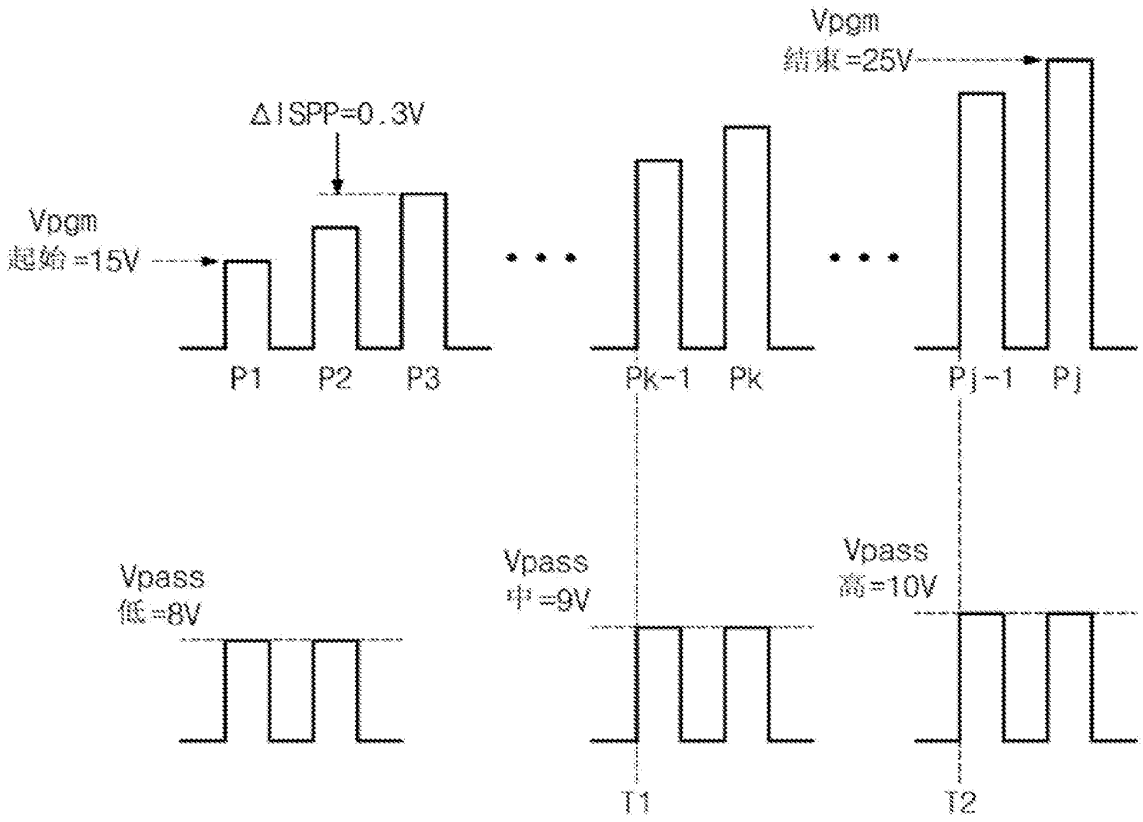


图6

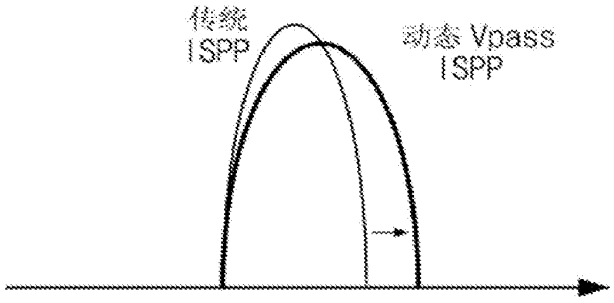


图7

Micron Ex. 1002, p. 74
Micron v. YMTC
IPR2025-00190

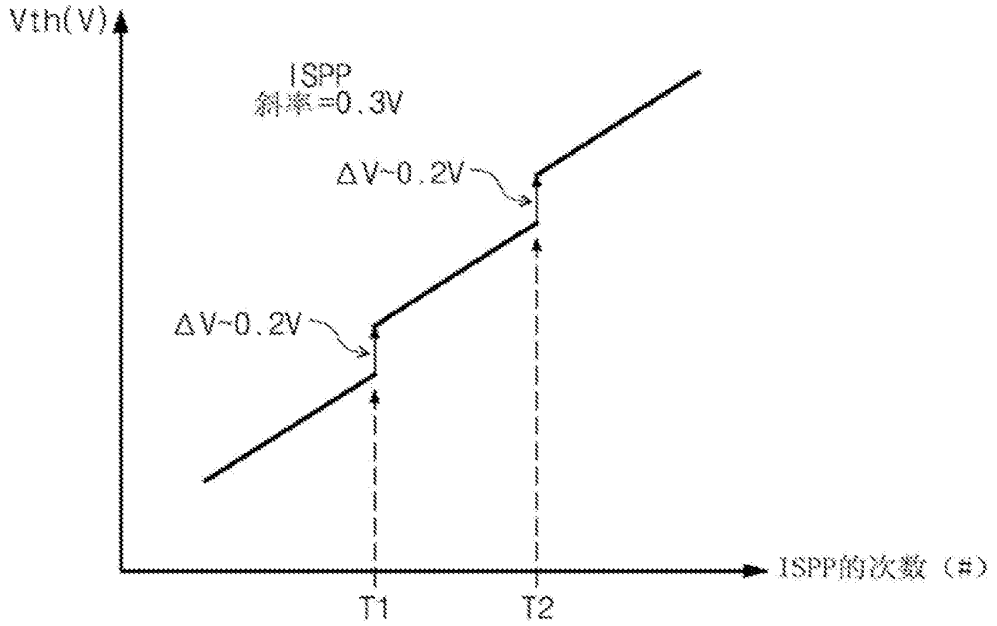


图8

Micron Ex. 1002, p. 75
Micron v. YMTC
IPR2025-00190

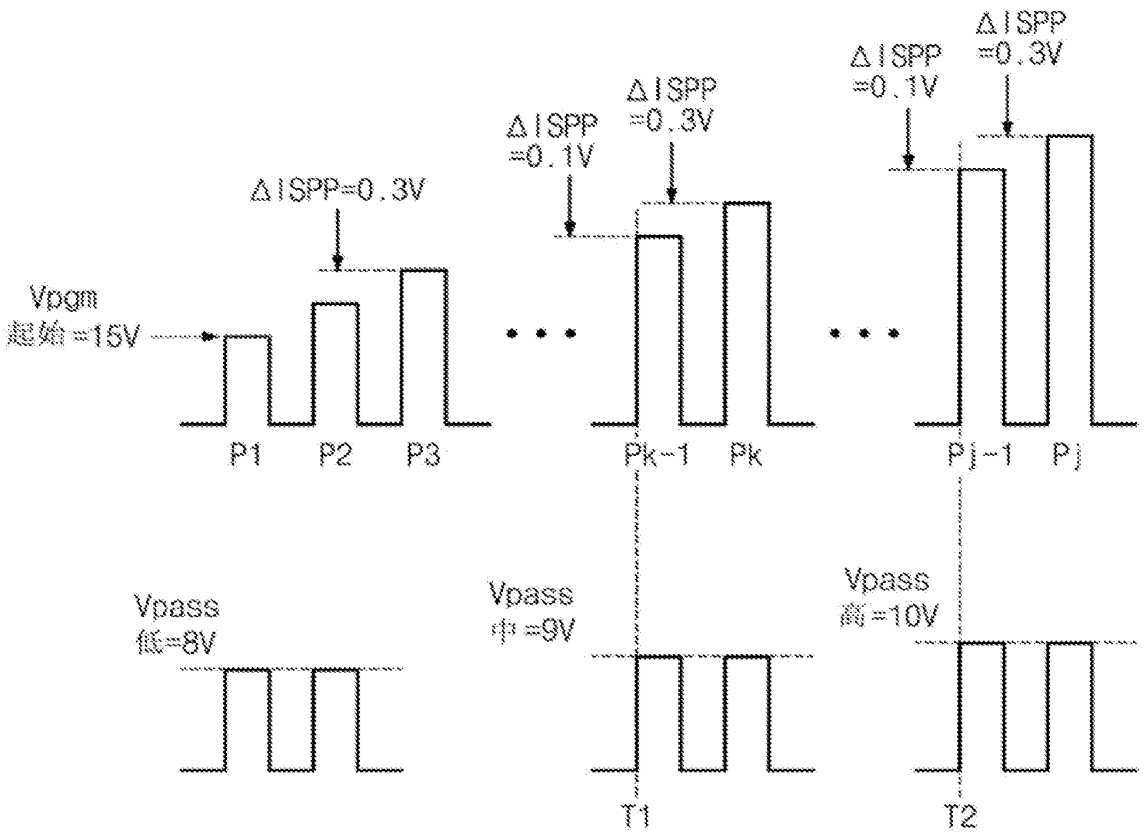


图9

Micron Ex. 1002, p. 76
Micron v. YMTC
IPR2025-00190

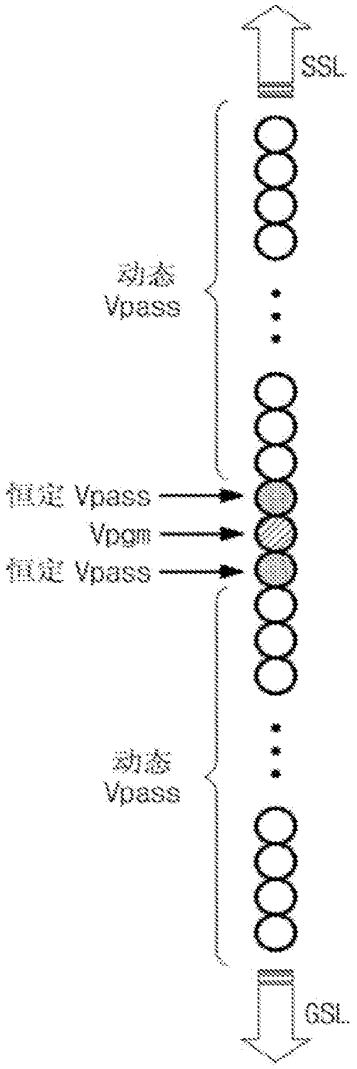


图10

Micron Ex. 1002, p. 77
Micron v. YMTC
IPR2025-00190

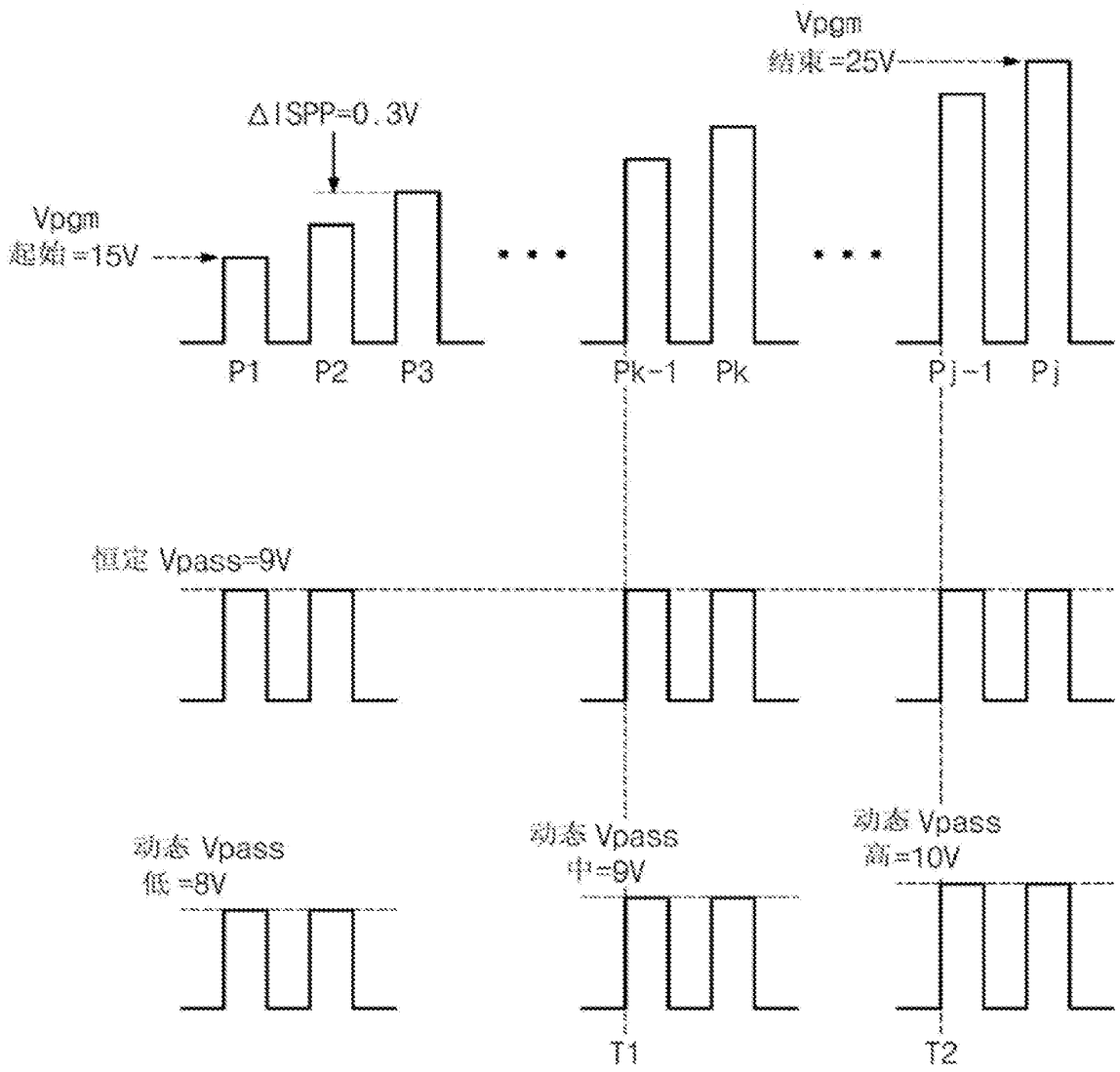


图11

Micron Ex. 1002, p. 78
Micron v. YMTC
IPR2025-00190

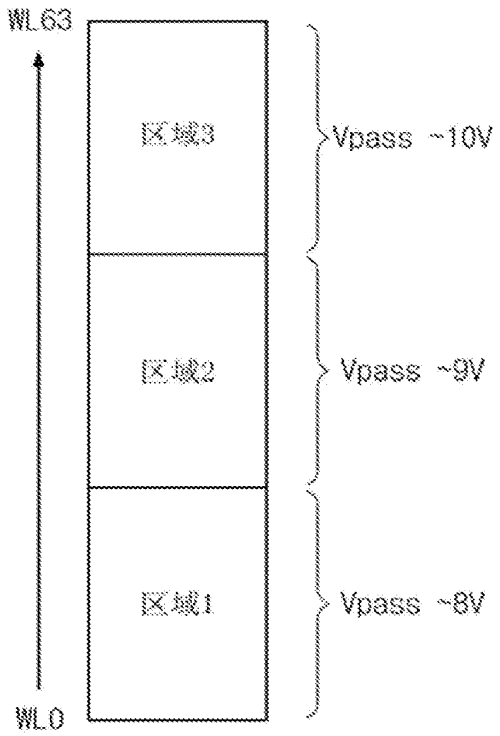


图12

Micron Ex. 1002, p. 79
Micron v. YMTC
IPR2025-00190

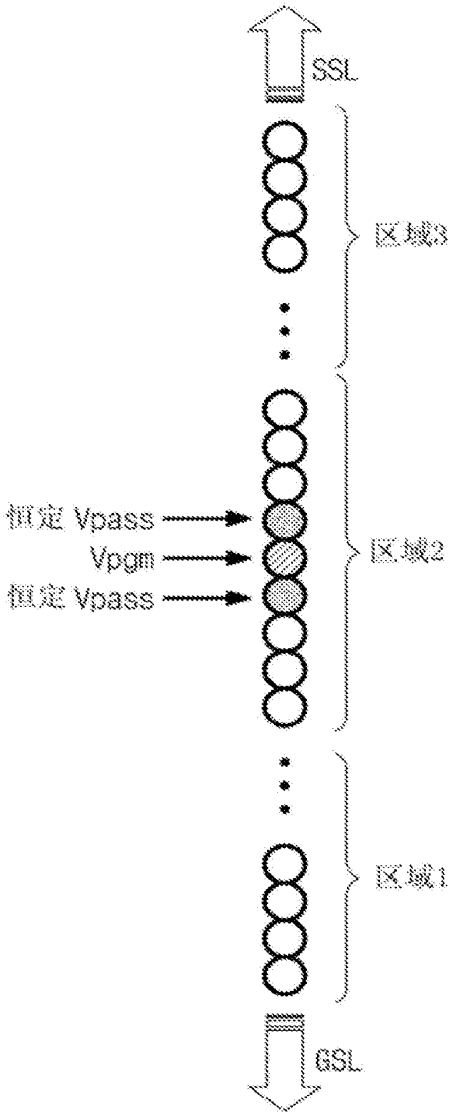


图13

Micron Ex. 1002, p. 80
Micron v. YMTC
IPR2025-00190

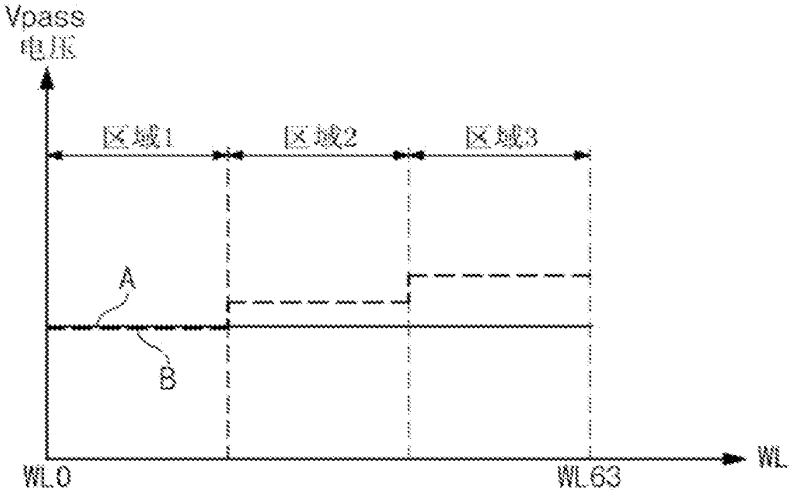


图14

Micron Ex. 1002, p. 81
Micron v. YMTC
IPR2025-00190

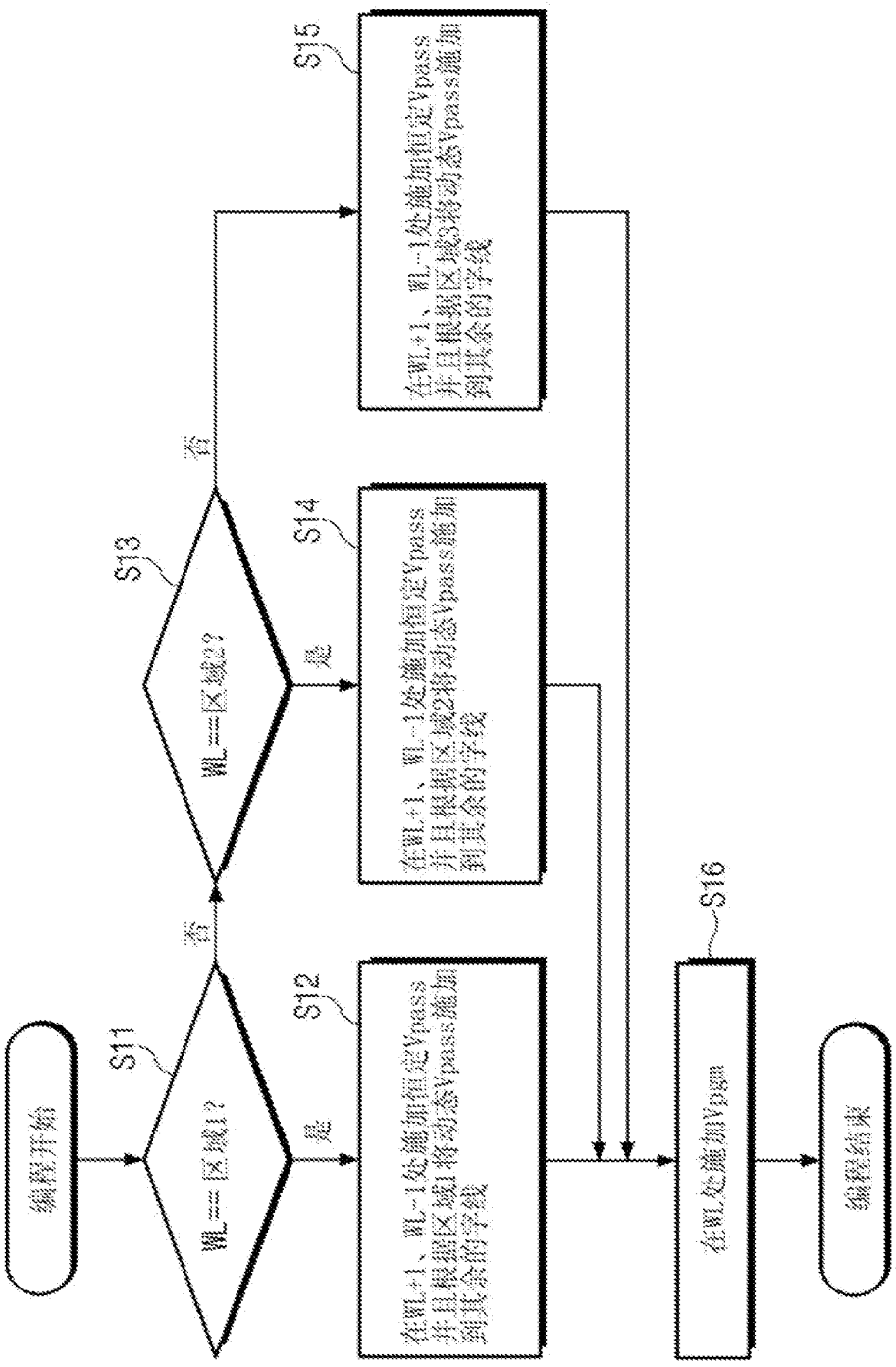


图15

Micron Ex. 1002, p. 82
Micron v. YMTC
IPR2025-00190

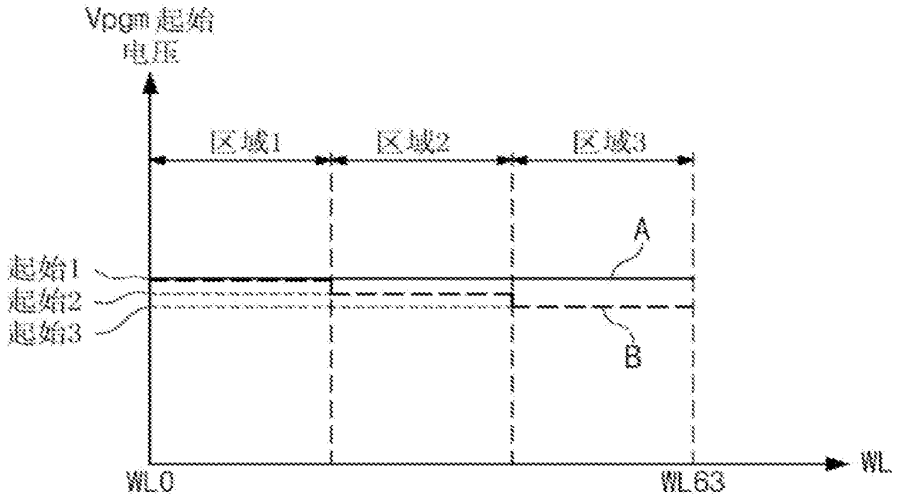


图16

Micron Ex. 1002, p. 83
Micron v. YMTC
IPR2025-00190

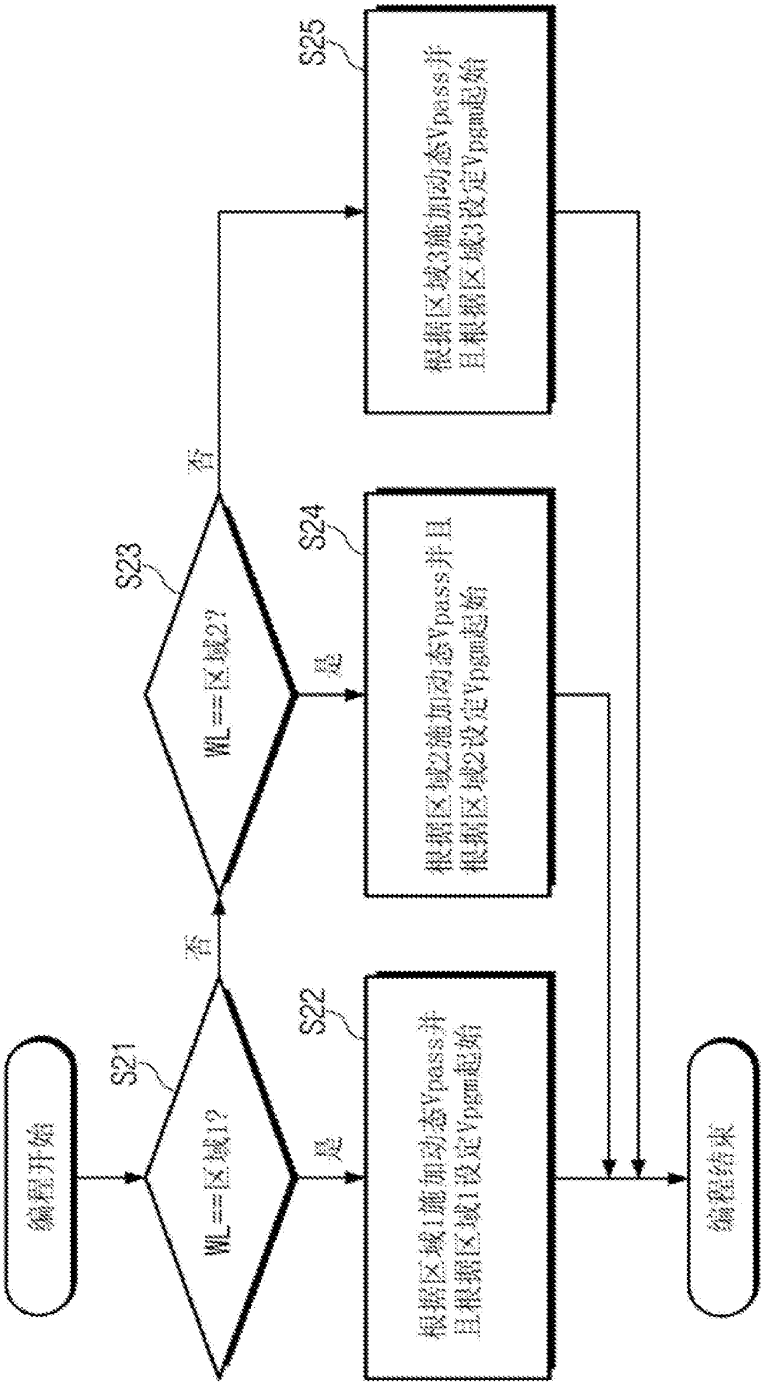


图17

Micron Ex. 1002, p. 84
Micron v. YMTC
IPR2025-00190

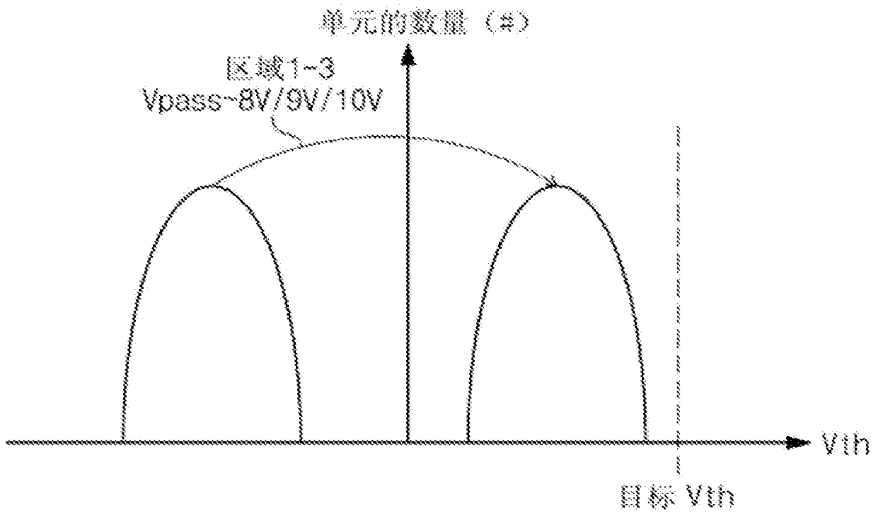


图18

Micron Ex. 1002, p. 85
Micron v. YMTC
IPR2025-00190

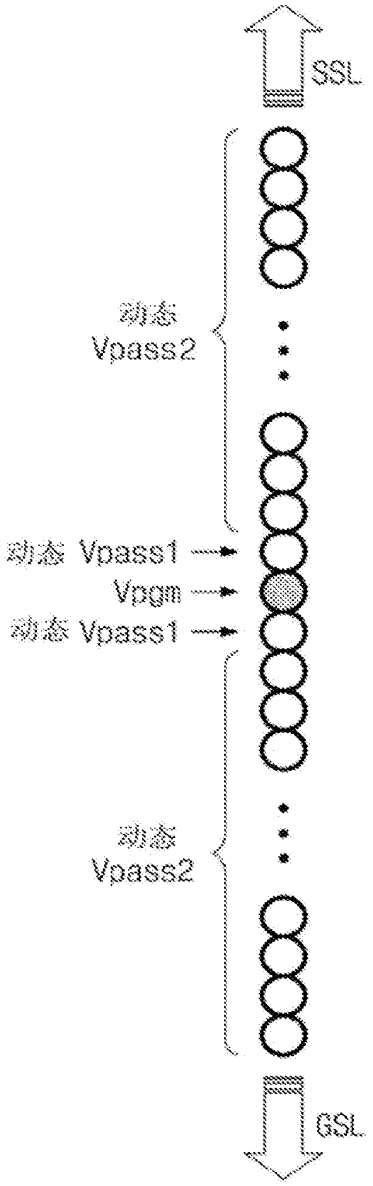


图19

Micron Ex. 1002, p. 86
Micron v. YMTC
IPR2025-00190

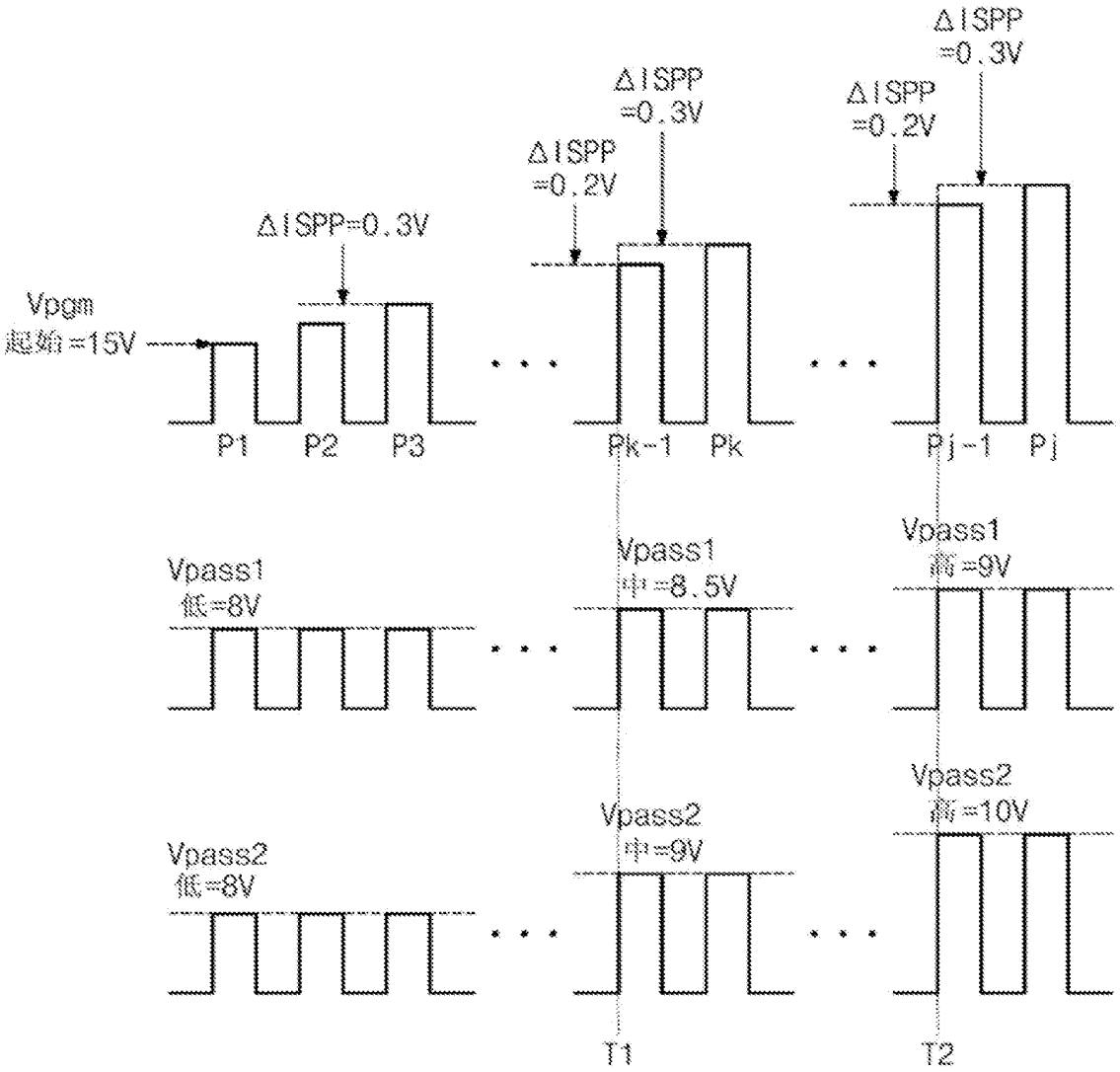


图20

Micron Ex. 1002, p. 87
Micron v. YMTC
IPR2025-00190

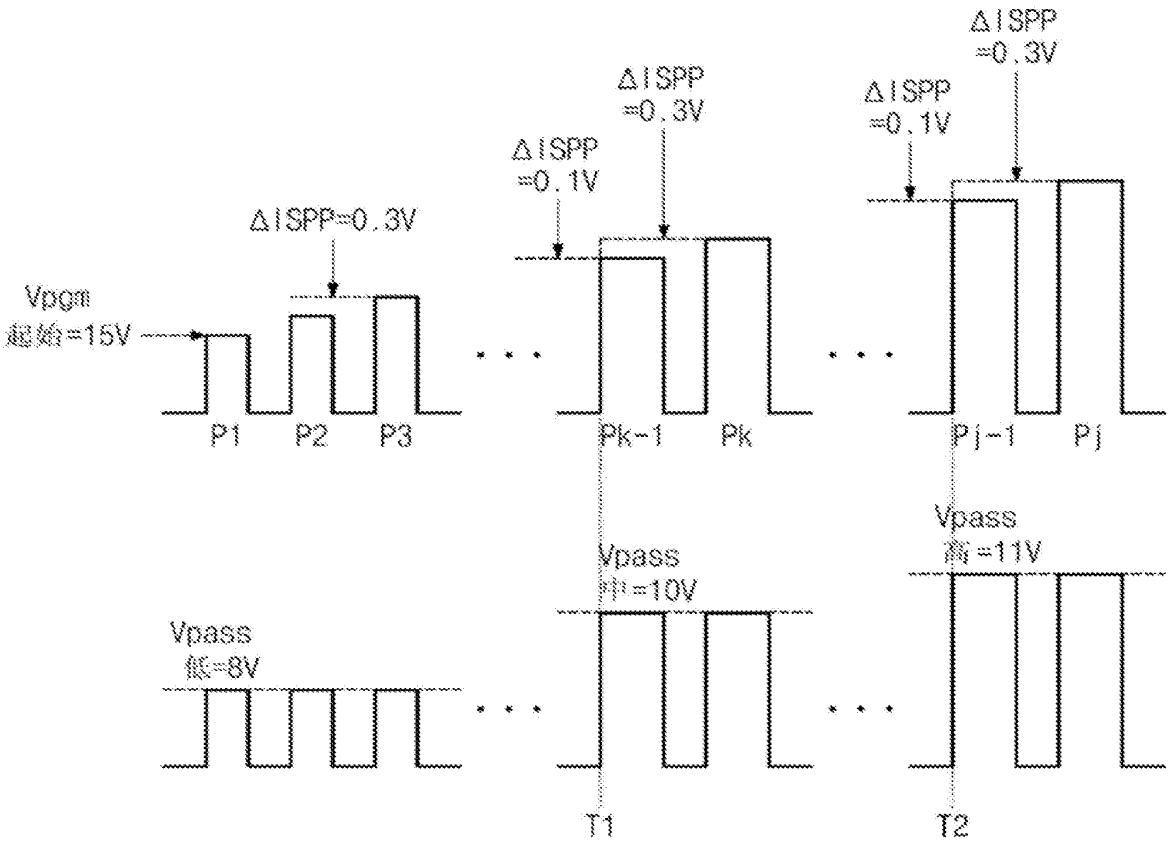


图21

Micron Ex. 1002, p. 88
Micron v. YMTC
IPR2025-00190

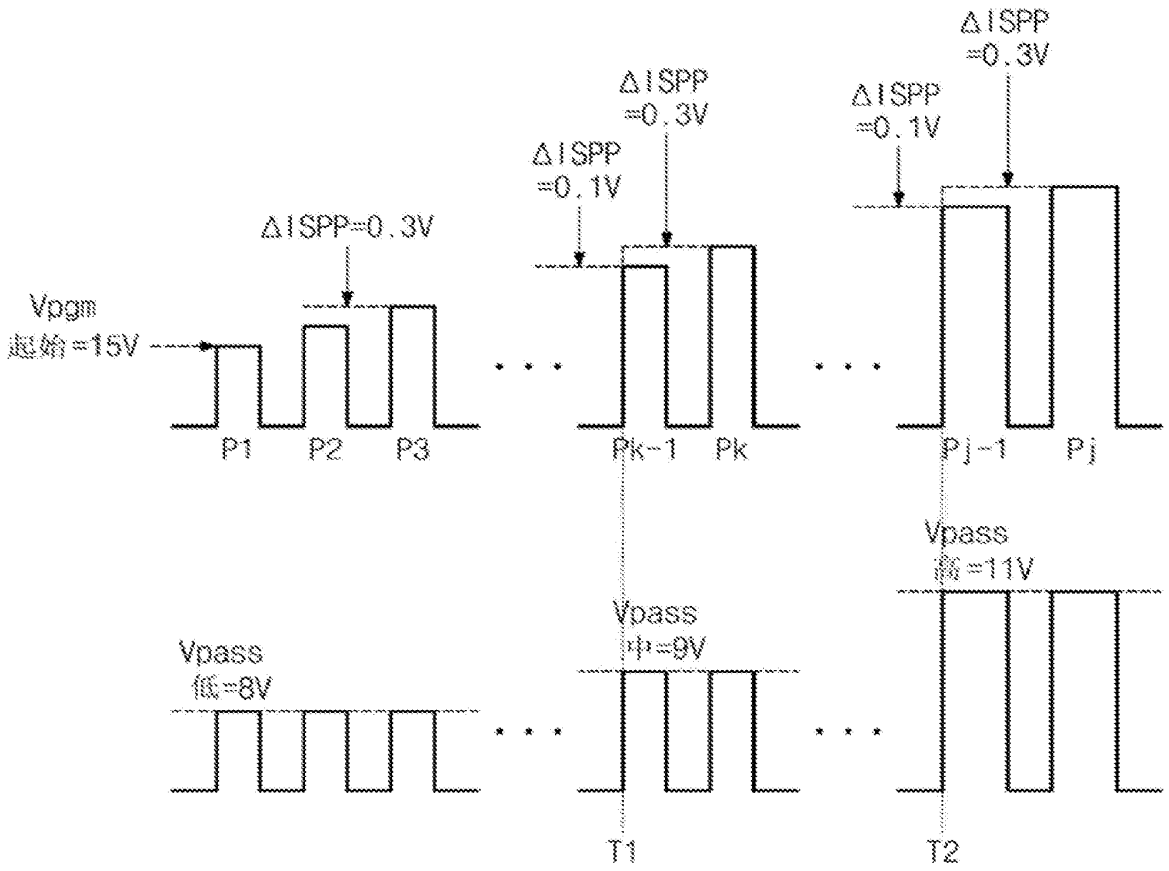


图22

Micron Ex. 1002, p. 89
Micron v. YMTC
IPR2025-00190

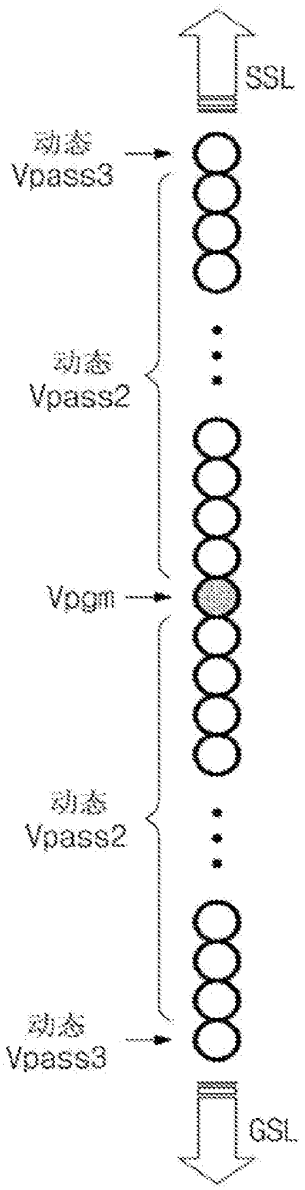


图23

Micron Ex. 1002, p. 90
Micron v. YMTC
IPR2025-00190

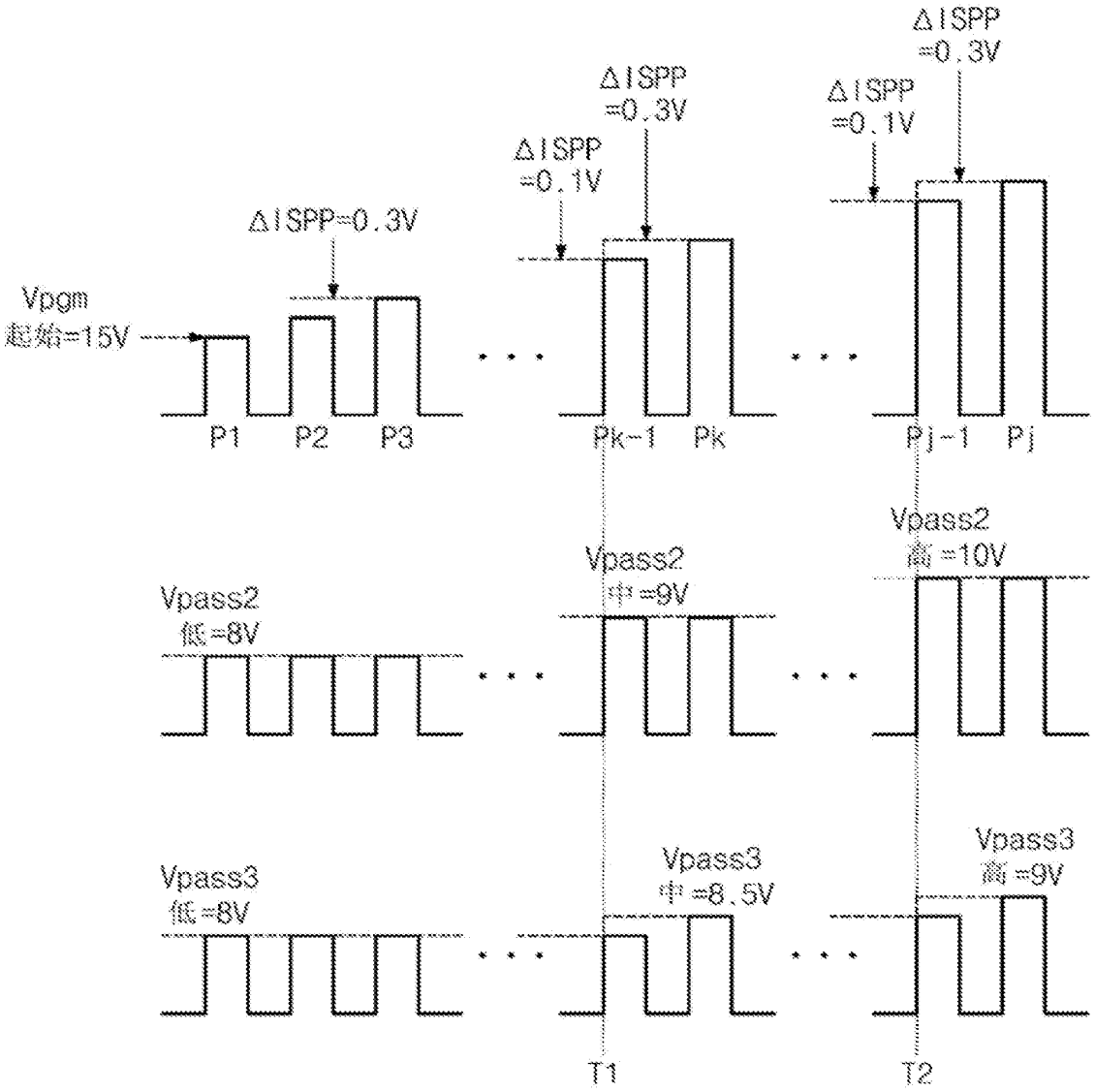


图21

Micron Ex. 1002, p. 91
Micron v. YMTC
IPR2025-00190

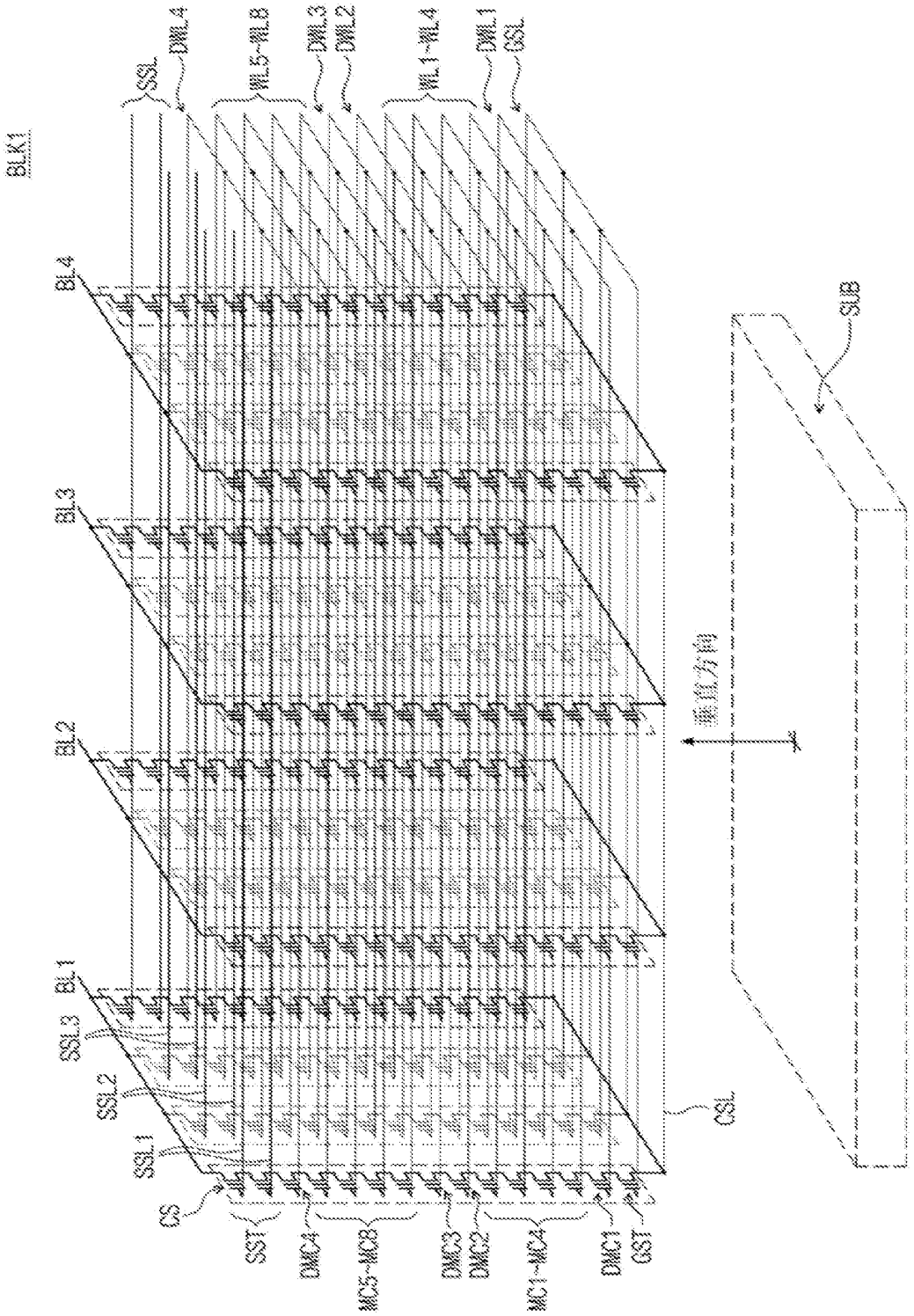


图25

Micron Ex. 1002, p. 92
Micron v. YMTC
IPR2025-00190

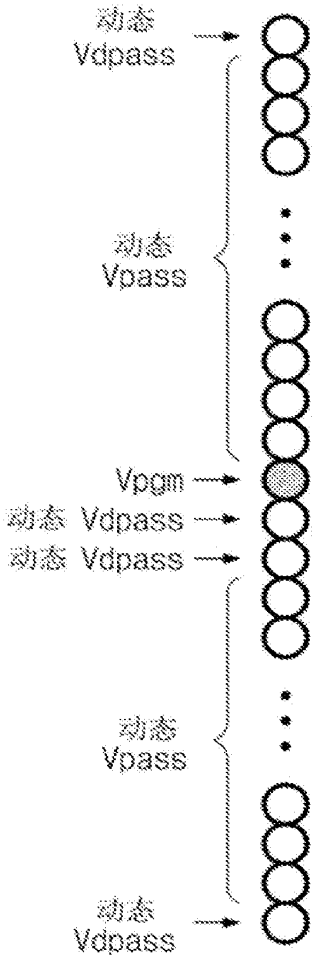


图26

Micron Ex. 1002, p. 93
Micron v. YMTC
IPR2025-00190

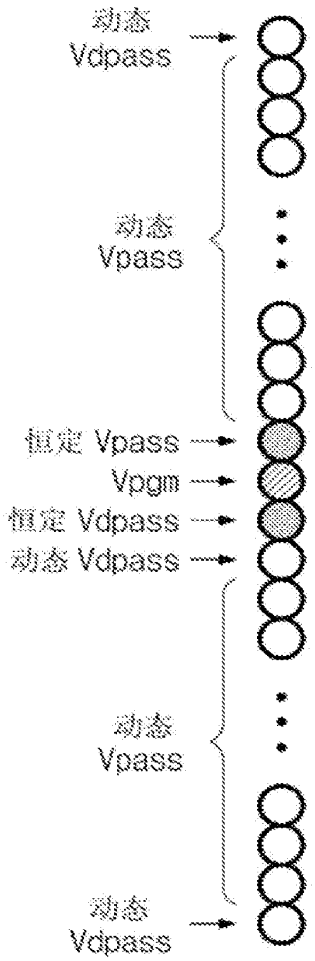


图27

Micron Ex. 1002, p. 94
Micron v. YMTC
IPR2025-00190

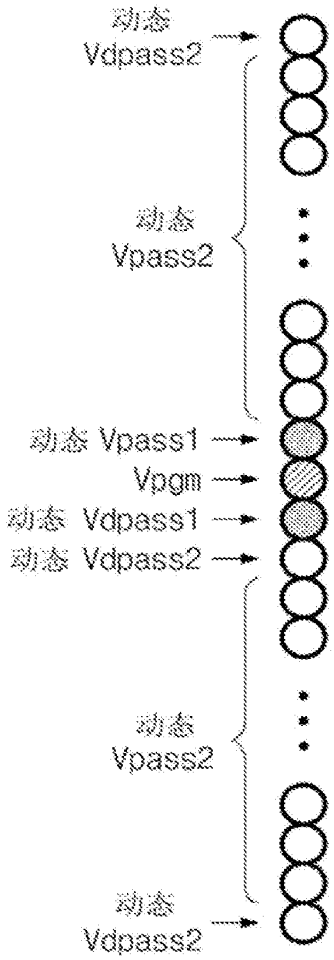


图28

Micron Ex. 1002, p. 95
Micron v. YMTC
IPR2025-00190

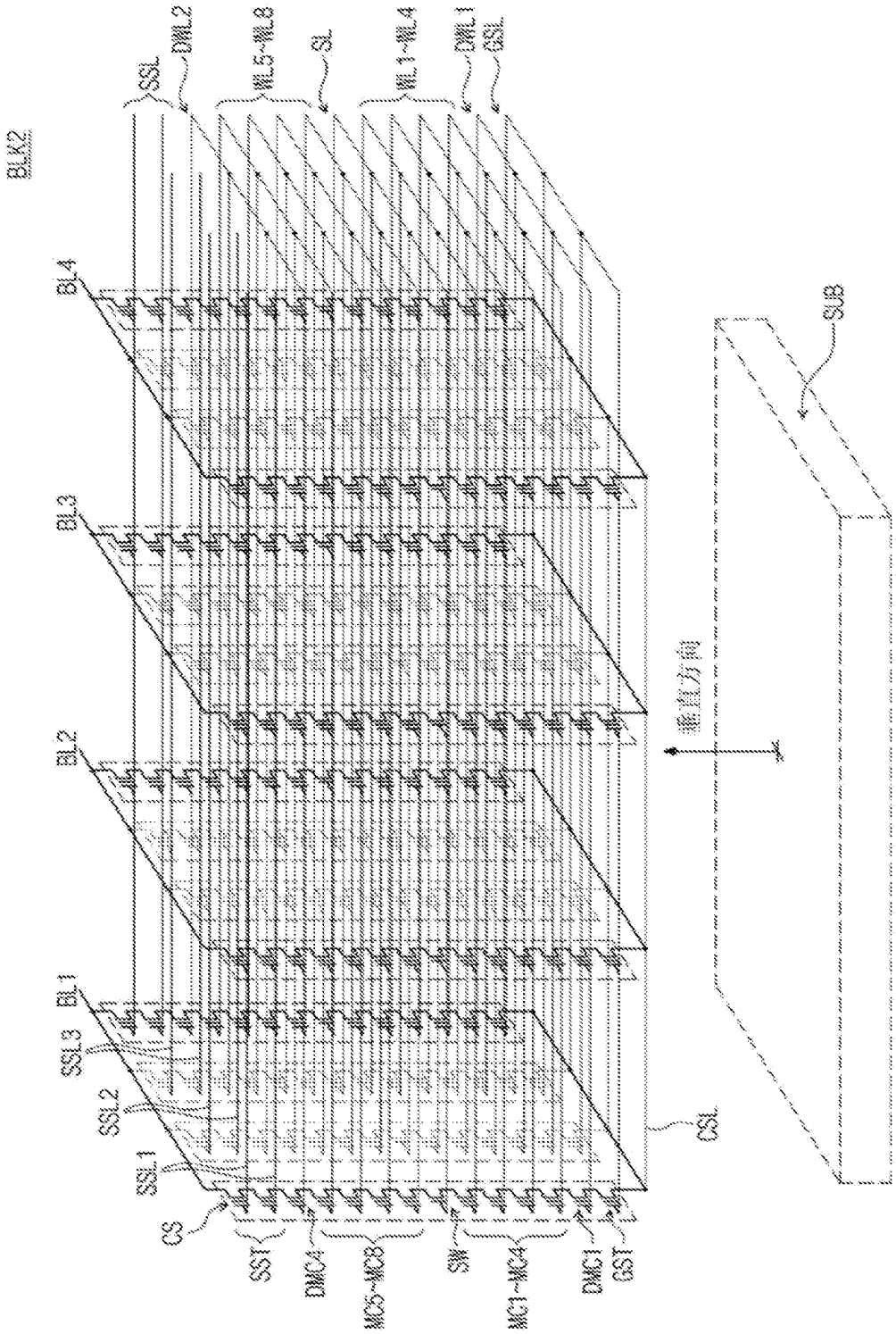


图29

Micron Ex. 1002, p. 96
Micron v. YMTC
IPR2025-00190

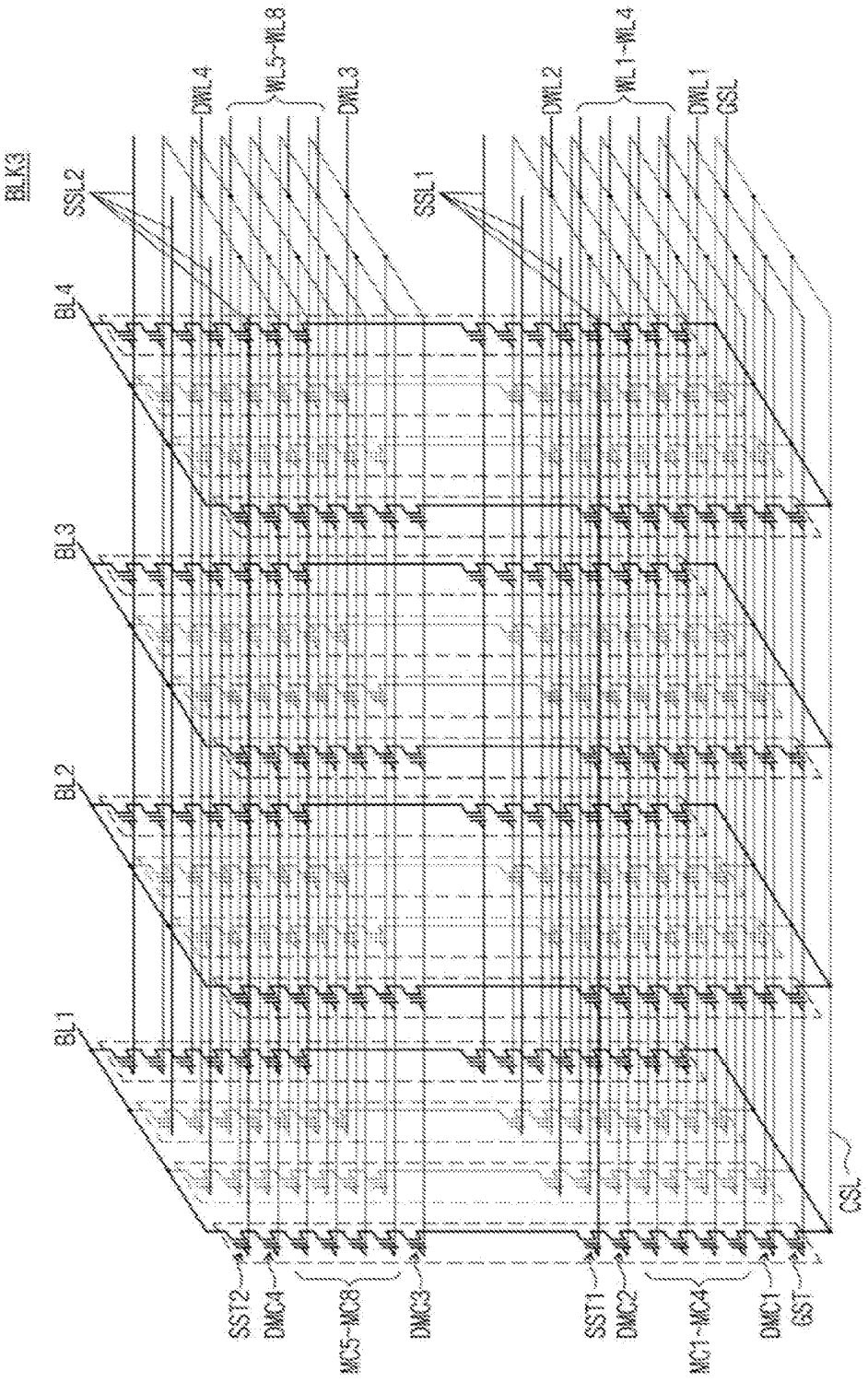


图30

Micron Ex. 1002, p. 97
Micron v. YMTC
IPR2025-00190

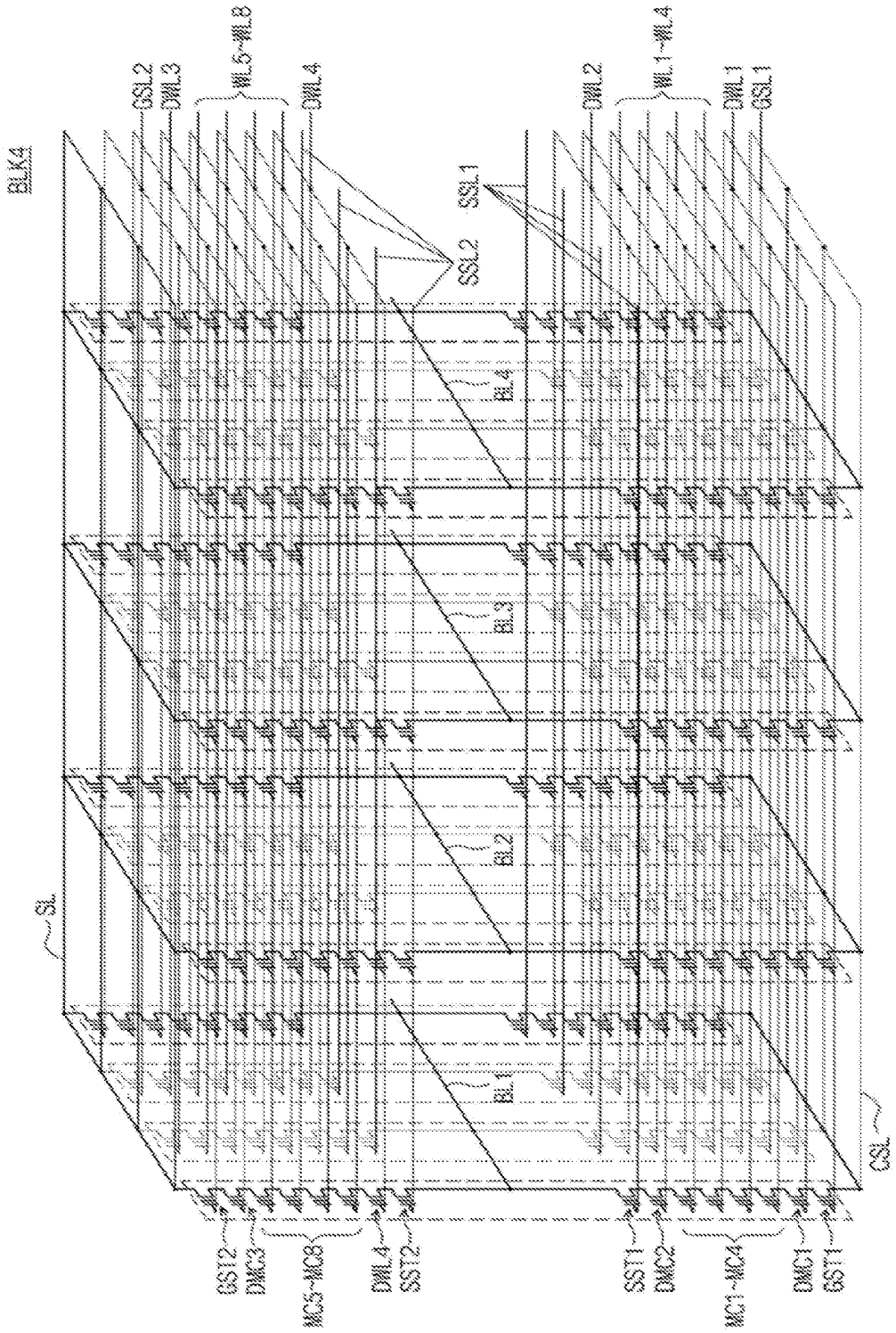


图31

Micron Ex. 1002, p. 98
Micron v. YMTC
IPR2025-00190

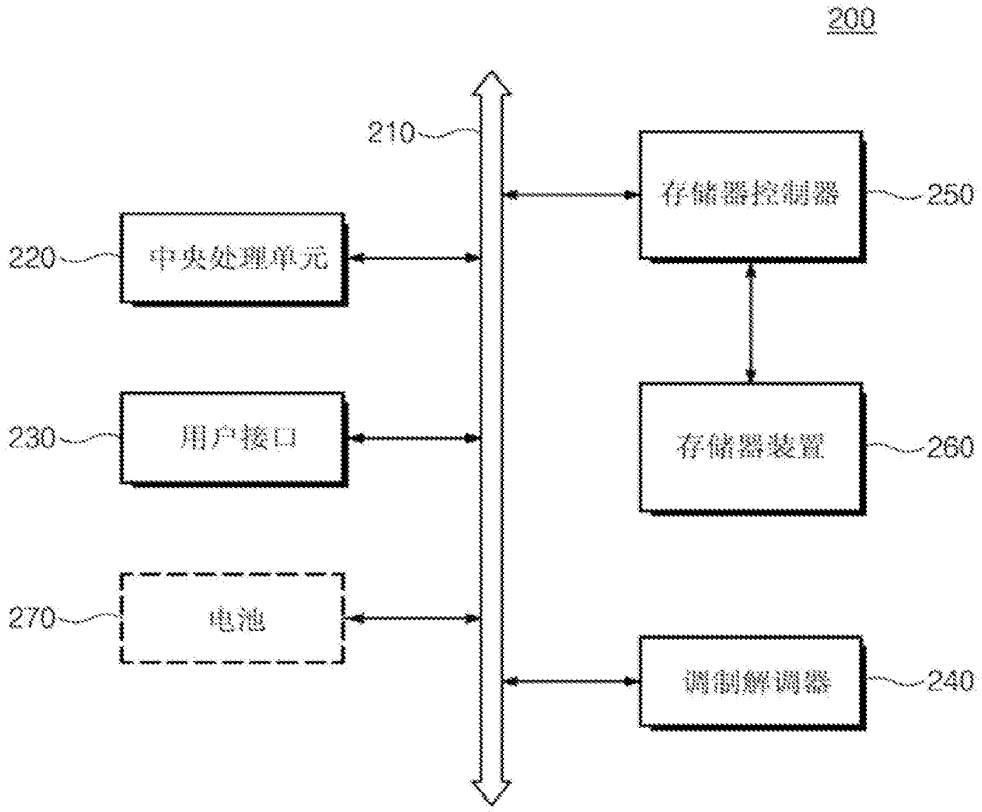


图32

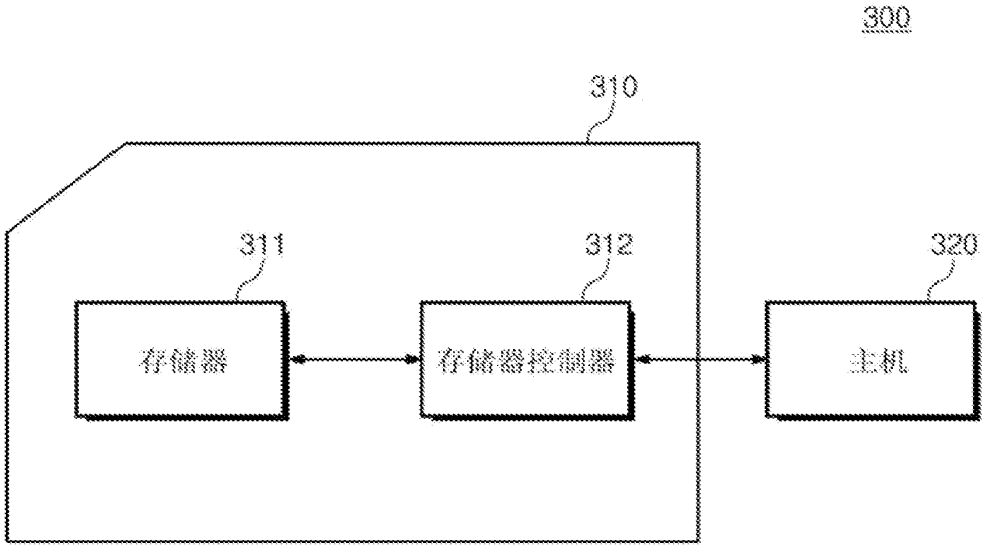


图33

Micron Ex. 1002, p. 99
Micron v. YMTC
IPR2025-00190

The English-language equivalent US Published Application (No. 2009/0257280 A1) of CN (No. 101567213) is hereby presented to fulfill the 37 CFR 1.98(a)(3) requirement.

[19] 中华人民共和国国家知识产权局

[12] 发明专利申请公布说明书

[21] 申请号 200910133553.3

[51] Int. Cl.
G11C 11/40 (2006.01)
G11C 16/04 (2006.01)
G11C 16/10 (2006.01)

[43] 公开日 2009 年 10 月 28 日

[11] 公开号 CN 101567213A

[22] 申请日 2009.4.14
[21] 申请号 200910133553.3
[30] 优先权
[32] 2008.4.14 [33] KR [31] 10-2008-0034316
[32] 2009.3.17 [33] US [31] 12/405,826
[71] 申请人 三星电子株式会社
地址 韩国京畿道水原市灵通区梅滩洞 416 番地
[72] 发明人 吴东妍 李云京 宋在爀 李昌燮
[74] 专利代理机构 中原信达知识产权代理有限责任公司
代理人 穆德骏 陆锦华

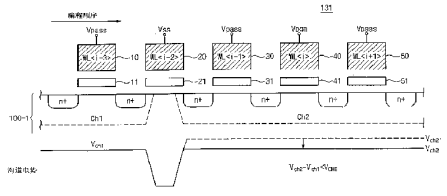
权利要求书 7 页 说明书 36 页 附图 21 页

[54] 发明名称

NAND 闪速存储器件及其操作方法

[57] 摘要

本发明提供了一种闪速存储器件及其操作方法，该闪速存储器件包括 NAND 单元单位的块，块中的每个 NAND 单元单位包括由 n 个字线控制的 n 个存储器单元晶体管 MC，并且串联连接在与位线连接的串选择晶体管 SST 和接地选择晶体管 GST 之间。在向所选择的字线 WL<i>施加编程电压 Vpgm 的同时，向更靠近接地选择晶体管 GST 的附近的未被选择的字线施加截止电压 Vss，以将第一局部沟道 Ch1 与第二局部沟道 Ch2 隔离。随着所选择的字线 WL<i>的位置 i 增大而靠近 SST，第二沟道电势 Vch2 趋于过度增大，这导致了误差。通过只在所选择的字线 WL<i>的位置 i 等于或大于预定(存储的)位置编号 x 时，更改施加到串选择线(SSL)和/或位线(BL)的电压、或者施加到未被选择的字线(WL<i+1>至 WL<n->)的通过电压 Vpass，来防止 Vch2 的过度增大。如果执行步增脉冲编程(ISPP)，则仅在 ISPP 循环计数 j 等于或大于预定(存储的)临界循环数量 y 时更改所施加的电压。



Micron Ex. 1002, p. 100
Micron v. YMTC
IPR2025-00190

1. 一种对闪存单元单位进行编程的方法，其中，所述闪存单元单位具有与由串选择线 SSL 控制的串选择晶体管 SST 连接的 n 个存储器单元晶体管 MC<0>至 MC<n-1>，所述 n 个存储器单元晶体管 MC<0>至 MC<n-1>分别由 n 个字线 WL<0>至 WL<n-1>控制，所述方法包括：

向所述串选择线 SSL 施加第一预定电压 Vcc；以及

向所述 SSL 施加第二预定电压（Vcc-α 或者 Vcc+α），同时向所选择的字线 WL<i' >施加编程电压 Vpgm，以减小至少多个存储器单元晶体管的沟道电势。

2. 如权利要求 1 所述的方法，还包括：

在向所述 SSL 施加所述第二预定电压（Vcc-α 或者 Vcc+α）之前，向前面的字线 WL<i>施加所述编程电压 Vpgm，以减小存储器单元晶体管 MC<i'>至 MC<n-1>的局部沟道电势，其中，$0 \leq i < x$ 且 $i' \geq x$。

3. 如权利要求 2 所述的方法，其中，所述所选择的字线 WL<i' >比前面的字线 WL<i>更靠近所述串选择线 SSL。

4. 如权利要求 1 所述的方法，其中，α 在大约 0.1 伏至大约 3.0 伏之间，Vcc 在大约 2.5 伏至大约 3.5 伏之间，并且 Vpgm 在大约 15 伏至大约 25 伏之间。

5. 如权利要求 1 所述的方法，其中，所述第二预定电压是 Vcc+α 或 Vcc-α 中的一个。

6. 如权利要求 1 所述的方法，还包括在从所述第二所选择的字线 WL<i'>撤掉所述编程电压之前，从所述 SSL 撤掉所述第二预定电压 Vcc-α。

Micron Ex. 1002, p. 101
Micron v. YMTC
IPR2025-00190

7. 如权利要求 2 所述的方法，还包括：

向存储器单元晶体管 MC<i+1>至 MC<n-1>施加通过电压 Vpass，同时向所述前面的字线 WL<i>施加所述编程电压 Vpgm，其中，Vpgm>Vpass>0；以及在不同的时间，

向所述存储器单元晶体管 MC<i'+1>至 MC<n-1>施加所述通过电压 Vpass，同时向所述所选择的字线 WL<i'>施加所述编程电压 Vpgm。

8. 如权利要求 2 所述的方法，其中，所述 x 的值已经被存储为包括所述闪存单元单位的闪速存储器件中的建立数据。

9. 如权利要求 1 所述的方法，还包括：

向所述 SSL 和与所述 SSL 连接的位线 BL 施加所述第二预定电压 Vcc-α，同时将所述所选择的字线 WL<i'>编程，以减小存储器单元晶体管 MC<i'> 至 MC<n-1>的沟道电势，其中，$i' \geq x$。

10. 一种对闪存单元单位进行编程的方法，其中，所述闪存单元单位具有与由串选择线 SSL 控制的串选择晶体管 SST 连接的 n 个存储器单元晶体管 MC<0>至 MC<n-1>，和与所述 SST 连接的位线 BL，所述 n 个存储器单元晶体管 MC<0>至 MC<n-1>分别由 n 个字线 WL<0>至 WL<n-1>控制，所述方法包括：

在时间 t，向所述位线 BL 施加第一预定电压 Vcc，同时对第一所选择的字线 WL<i>上的第一所选择的存储器单元晶体管 MC<i>进行编程，其中，$0 \leq i < x$；以及在不同的时间 t'，

向所述位线 BL 施加第二预定电压 Vcc-α，同时对第二所选择的字线 WL<i'>上的第二所选择的存储器单元晶体管 MC<i'>进行编程，以减小存储器单元晶体管 MC<i'>至 MC<n-1>的沟道电势，其中，$i' \geq x$。

11. 如权利要求 10 所述的方法，还包括：

向所述位线 BL 施加所述第一预定电压 Vcc，同时向所述第一所选择的字线 WL<i>上的所述第一所选择的存储器单元晶体管 MC<i>应用

Micron Ex. 1002, p. 102
Micron v. YMTC
IPR2025-00190

步增脉冲编程（ISPP）；以及在不同的时间，

对所述 ISPP 循环进行计数，同时对所述第二所选择的字线 WL<i'>上的所述第二所选择的存储器单元晶体管 MC<i'>进行 ISPP 编程；以及

在所述 ISPP 循环计数 j 大于或等于 y 时，向所述位线 BL 施加所述第二预定的电压 Vcc-α。

12. 如权利要求 11 所述的方法，还包括，其中，所述 y 的值已经被存储为包括所述闪存单元单位的闪速存储器件中的建立数据。

13. 一种对闪存单元单位进行编程的方法，其中，所述闪存单元单位具有与由串选择线 SSL 控制的串选择晶体管 SST 连接的 n 个存储器单元晶体管 MC<0>至 MC<n-1>，所述 n 个存储器单元晶体管 MC<0>至 MC<n-1>分别由 n 个字线 WL<0>至 WL<n-1>控制，所述方法包括：

向未被选择的字线 WL<i+1>至 WL<n-1>施加通过电压 Vpass，同时向第一所选择的字线 WL<i>施加编程电压 Vpgm，其中，$0 \le i < x$，其中，$Vpgm > Vpass > 0$；以及此后

向所述未被选择的字线 WL<i'+1> 至 WL<n-1>中的三个的每个施加不同的第一通过电压 Vpass1、第二通过电压 Vpass2 和第三通过电压 Vpass3 中的一个，同时向第二所选择的字线 WL<i'>施加所述编程电压 Vpgm，以减小多个存储器单元晶体管 MC<i'> 至 MC<n-1>的沟道电势，其中，$i' \ge x$。

14. 如权利要求 13 所述的方法，其中，所述第二所选择的字线 WL<i'>比所述第一所选择的字线 WL<i>更靠近所述串选择线 SSL。

15. 如权利要求 13 所述的方法，其中，Vpass1 < Vpass，和 Vpass3，并且将 Vpass1 施加到 WL<i'+1> 且 Vpass3 施加到 WL<n-1>。

16. 如权利要求 13 所述的方法，其中，Vpass1 施加到 WL<n-1> 且 Vpass3 施加到 WL<i'+1>。

Micron Ex. 1002, p. 103
Micron v. YMTC
IPR2025-00190

17. 如权利要求 13 所述的方法，其中，

Vpass 施加到 WL<i'+1>, WL<i+2 和 WL<i+l>,

Vpass1 施加到 WL<i'+l+1>, 并且

Vpass3 施加到 WL<n-1>。

18. 一种闪速存储器件，包括：

存储块，所述存储块包括共享 n 个字线 WL< >和串选择线 SSL 的 m 个单元单位，所述每个单元单位包括由所述 SSL 控制并连接到 n 个存储器晶体管的串选择晶体管 SST，其中，所述 n 个存储器晶体管分别由所述 n 个字线 WL< >来控制；以及

外围电路，所述外围电路适于向所述串选择线 SSL 施加第一预定电压 Vcc，同时对由第一所选择的字线 WL<i>控制的所述 m 个存储器晶体管进行编程，并且此后，向所述串选择线 SSL 施加第二预定电压 Vcc±α，同时对由第二所选择的字线 WL<i'>控制的所述 m 个存储器晶体管进行编程，其中，所述第二所选择的字线 WL<i'>比所述第一所选择的字线 WL<i>更靠近所述串选择线 SSL。

19. 如权利要求 18 所述的器件，其中，所述存储器单元晶体管中的每个具有控制栅和浮栅。

20. 如权利要求 18 所述的器件，其中，所述 m 个单元单位被连接作为 NAND 闪速存储器件。

21. 一种用于计算机系统的固态存储器模块，所述模块包括：

壳体；

接口连接器，所述接口连接器在所述壳体上；

闪速存储器控制器，所述闪速存储器控制器位于所述壳体内；

权利要求 18 所述的闪速存储器件，权利要求 18 所述的闪速存储器件位于所述壳体内并电连接到所述接口连接器，在集成电路中的所

Micron Ex. 1002, p. 104
Micron v. YMTC
IPR2025-00190

述多个存储器晶体型晶体管被布置成用于数据贮存的阵列并由所述闪速存储器控制器控制。

22. 如权利要求 21 所述的固态存储器模块，其中，所述接口连接器是包括 IDE 管脚接口和电源连接器的 IDE 接口连接器。

23. 如权利要求 21 所述的固态存储器模块，其中，所述壳体具有 SD 卡的形式因素，并且所述接口连接器具有多电接触焊盘。

24. 如权利要求 21 所述的固态存储器模块，其中，所述壳体具有从由 MS（记忆棒）、CF（紧凑式闪存）、SMC（智能媒体卡）、MMC（多媒体卡）、SD（安全数码卡）或 XD（XD-图卡）组成的组中选择的形式因素。

25. 一种包括权利要求 21 所述的固态存储器模块的计算机系统。

26. 如权利要求 25 所述的计算机系统，其中，所述计算机系统是个人计算机（PC）、个人数字助理（PDA）、MP3 播放器、数码录音机、笔型计算机、数码相机、或录影机中的一个。

27. 一种闪速存储器件，包括：

存储块，所述存储块包括共享 n 个字线 WL< >和串选择线 SSL 的 m 个单元单位，所述每个单元单位包括由所述 SSL 控制并连接到位线 BL 和 n 个存储器晶体管的串选择晶体管（SST），其中，所述 n 个存储器晶体管分别由所述 n 个字线 WL< >来控制；

页缓冲电路，所述页缓冲电路适于向所述位线 BL< >施加第一预定电压 Vcc，同时对由第一所选择的字线 WL<i>控制的所述 m 个存储器晶体管进行编程，并且此后，向所述位线 BL< >施加预定的减小的电压 Vcc-α，同时对由第二所选择的字线 WL<i'>控制的所述 m 个存储器晶体管进行编程，其中，所述第二所选择的字线 WL<i'>比所述第一所

Micron Ex. 1002, p. 105
Micron v. YMTC
IPR2025-00190

选择的字线 WL<i>更靠近所述串选择线 SSL。

28. 如权利要求 27 所述的闪速存储器件，还包括外围电路，所述外围电路包括页缓冲电路，并适于向所述串选择线（SSL）施加所述第一预定电压 Vcc，同时对由所述第一所选择的字线 WL<i>控制的所述 m 个存储器晶体管进行编程，并且此后，向所述串选择线（SSL）施加所述预定的减小的电压 Vcc-α，同时对由所述第二所选择的字线 WL<i'>控制的所述 m 个存储器晶体管进行编程。

29. 如权利要求 27 所述的闪速存储器件，其中，所述外围电路还包括用于对 ISPP 应用计数的步增脉冲编程（ISPP）循环计数器，并且所述外围电路只在所述 ISPP 循环计数 j 不小于预定的值 y 时，向所述位线 BL< >施加所述预定的减小的电压 Vcc-α，同时对由所述第二所选择的字线 WL< >控制的所述 m 个存储器晶体管进行编程。

30. 一种闪速存储器件，包括：

存储块，所述存储块包括共享 n 个字线 WL< >和串选择线（SSL）的 m 个单元单位，所述每个单元单位包括由所述 SSL 控制并连接到 n 个存储器晶体管的串选择晶体管（SST），其中，所述 n 个存储器晶体管分别由所述 n 个字线 WL< >来控制；

外围电路，所述外围电路适于向第一多个未被选择的字线 WL<0>至 WL<i-3>中的每个施加第一预定通过电压 Vpass(1)，同时向所选择的字线 WL<i>施加高于 Vpass(1)的编程电压 Vpgm，并适于同时地向第二多个未被选择的字线 WL<i+1> 至 WL<n-1>施加第二预定通过电压 Vpass(2)和第三预定通过电压 Vpass(3)，其中，所述第二多个未被选择的字线比所述第一多个未被选择的字线更靠近所述串选择线（SSL），其中，所述第二预定通过电压 Vpass(2)小于所述第一预定通过电压 Vpass(1)，并且所述第一预定通过电压 Vpass(1)小于所述第三预定通过电压 Vpass(3)。

Micron Ex. 1002, p. 106
Micron v. YMTC
IPR2025-00190

31. 如权利要求 30 所述的闪速存储器件，其中，向 WL<n-2>施加 Vpass(2)，向 WL<n-1>施加 Vpass(3)，以及

其中，Vpass(2)小于 Vpass(3)，Vpass(3)小于所述编程电压 Vpgm。

32. 如权利要求 30 所述的闪速存储器件，其中，向 WL<n-2>施加 Vpass(3)，向 WL<n-1>施加 Vpass(2)，以及

其中，Vpass(2)小于 Vpass(3)，Vpass(3)小于所述编程电压 Vpgm。

33. 如权利要求 30 所述的器件，其中，所述存储器单元晶体管中的每个具有控制栅和浮栅。

34. 如权利要求 30 所述的器件，其中，所述 m 个单元单位被连接作为 NAND 闪速存储器件。

35. 如权利要求 34 所述的器件，其中，所述每个 NAND 单元单位还包括串联连接到所述 n 个存储器单元的接地选择晶体管（GST）。

Micron Ex. 1002, p. 107
Micron v. YMTC
IPR2025-00190

NAND 闪速存储器件及其操作方法

相关申请的交叉引用

该申请要求于 2008 年 4 月 14 日提交的韩国专利申请第 10-2008-0034316 号在 35 U.S.C 119 下的优先权，其全部内容通过引用被合并于此。

技术领域

本发明一般涉及闪速存储器件，更具体来说，涉及一种在编程过程中将闪速存储器件中的未被选择的存储器单元晶体管偏置以减少由于热载流子效应导致的编程误差的方法。

背景技术

诸如闪速存储器件的非易失性存储器件可以设置为 NOR 型构造或 NAND 型构造，并可以被电重写入且以高集成密度形成。NAND 型非易失性半导体存储器件包括多个 NAND 单元单位（cell unit）。通过在源和漏之间串联连接沿着列方向的多个存储器晶体管来构造每个 NAND 单元单位。选择栅（SG）晶体管连接到串联连接的存储器晶体管电路的每个端。

两种非易失性存储器晶体管是浮栅型存储器晶体管和浮动捕获（floating trap）（电荷捕获）型存储器晶体管。浮栅型存储器晶体管包括控制栅和导电浮栅，其中，导电浮栅通过绝缘层与衬底中形成的场效应晶体管（FET）隔离。浮栅型存储器晶体管可以通过在导电浮栅上将电荷存储为自由载流子来编程。

除了浮栅型存储器晶体管具有两个栅而不是只有一个栅之外，浮栅型存储器晶体管与标准的 MOS 晶体管类似。一个栅是与其它

Micron Ex. 1002, p. 108
Micron v. YMTC
IPR2025-00190

MOSFET 晶体管相同的控制栅（CG），而第二个栅是被氧化物绝缘体环绕的浮栅（FG）。因为 FG 被浮栅型存储器晶体管的绝缘氧化物层隔离，所以处于其上的任何电子都被捕获在那，由此来存储信息。

当电子被捕获在 FG 上时，它们改变（局部抵消）来自 CG 的电场，这样改变了单元的阈值电压（Vt）。因此，当通过将特定电压施加到控制栅（CG）上来“读取”单元时，根据单元的阈值电压（Vt），电流将在单元的源和漏连接之间流动或不流动。电流是存在还是不存在被感测并被翻译成“1”和“0”，从而再现所存储的数据。

电荷捕获型存储器晶体管可包括形成在衬底中的场效应晶体管（FET）沟道和栅电极之间的非导电电荷贮存层。浮动捕获型存储器晶体管可以通过将电荷存储在非导电电荷贮存层中的陷阱（trap）中被编程。

当正电压施加到栅电极上时，电子隧穿穿过隧穿绝缘层 20 从而变成被捕获在电荷贮存层中。随着电子积累在电荷贮存层中，存储器晶体管的阈值电压增大，并且存储器晶体管变成被编程。当负电压施加到栅电极时，被捕获的电子穿过隧穿绝缘层释放至半导体衬底。同时，空穴变成被隧穿绝缘层捕获，存储器晶体管的阈值电压减小，并且存储器晶体管被擦除。

典型地，NAND 闪速存储器串（string）与其它串通过浅沟槽隔离（STI）而被隔离开，以防止相邻的半导体器件组件之间的电流泄漏。NAND 存储器串包括三种晶体管：存储器晶体管型晶体管（memory transistor transistors）（实现非易失性数据贮存）；串选择晶体管 SST；以及接地选择晶体管 GST。典型地，在 NAND 闪速存储器件中，串选择晶体管和接地选择晶体管（SSL 和 GSL）位于 NAND 串的端部，并用于在编程、擦除和读取操作中选择 NAND 串。

Micron Ex. 1002, p. 109
Micron v. YMTC
IPR2025-00190

沿着行方向布置的成组的 NAND 单元单位（NAND 串）被称作 NAND 单元块（存储块，MB）。布置在相同行的选择晶体管 SST 和 GST 的栅公共地连接到选择栅线中对应的一个，并且布置在相同行的存储器晶体管的控制栅公共地连接到控制栅线中对应的一个。如果 n 个存储器晶体管在 NAND 单元单位中串联连接，则包含在一个 NAND 单元单位中的存储器晶体管的控制栅线（字线 WL<>）的数量也是 n。

当对数据进行编程时，首先，同时擦除存储在整个存储块（MB）中的存储器贮存单元的所有存储器晶体管中存储的所有数据项。通过将所选择的存储块中的存储器晶体管的所有控制栅线（字线）设置成低电压 Vss（例如，0V），并将高的正电压 Vera（擦除电压，例如，20V）施加到 p 型阱区，来执行擦除处理，其中，在 p 型阱区中，存储器单元阵列被形成为将浮栅中的电子释放到沟道区。结果，在整个存储块中存储器贮存单元的所有存储器晶体管中存储的所有数据项全被设置成 “1” 数据。可以同时擦除多个或所有的存储块。

在上述的数据同时擦除步骤之后，对与所选择的控制栅线连接的多个存储器晶体管同时进行数据编程程序。通常地，将待被编程到与所选择的控制栅线连接的存储器晶体管中的二进制数据的单位定义为数据的一“页（page）”。在其中数据被编程到存储块中的存储器晶体管（页）中的“页”顺序，基于在其中以随机顺序将数据编程（随机编程处理）的系统，或者基于在其中将数据沿着一个方向顺序编程（顺序编程处理）的系统。通常地，在顺序编程处理的过程中，数据从源侧存储器晶体管依次地在顺序页中被编程。

如果与编程处理同时地将高的正电压 Vpgm（编程电压，例如，20V）施加到所选择的控制栅线，则在“0”数据的情况下电子从存储器晶体管的沟道注入到浮栅中。这就是所谓的“0”编程或“0”写入。在该情况下，在“1”数据的情况下禁止电子的注入（所谓的编程禁止、“1”编程或“1”写入）。由此，在将随机数据写入到一页的存储器

Micron Ex. 1002, p. 110
Micron v. YMTC
IPR2025-00190

晶体管的同时，同时地执行两种类型的数据编程操作，并必须根据其编程数据来控制每个存储器晶体管的沟道电压。例如，在“0”数据的情况下，沟道电压被保持为低，以便于在编程电压 Vpgm 施加到控制栅时，向在浮栅下的栅绝缘膜施加强的电场。在“1”数据的情况下，沟道电压被升压，以使得弱的电场施加到栅绝缘膜，并禁止电子注入到浮栅中。如果沟道电压被不充分地升压，则电子被注入使得将经历“1”编程处理的存储器晶体管的阈值电压将发生变化。这种现象被称作“错误编程”或者“写入误差”。因此，为了实现 NAND 型闪存 EEPROM 的编程操作，必须将由于错误编程导致的阈值电压变化抑制在特定的范围内，以不造成错误操作。

已知各种类型的 NAND 沟道电压控制方法。自举（self-boost）（SB）编程方法普遍用于在“1”数据编程情况下将 NAND 单元单位的所有沟道区设置为电浮动状态，并通过利用与控制栅的电容耦合将沟道电压升压。在第 11 期（1995）第 30 卷的 IEEE Journal of Solid-state Circuits 中的第 1149~1156 页描述了由 K.D.Suh 等人所著的自举编程方法。

在美国专利第 5715194 号和第 6930921 号中描述了另一自举系统，即局部自举系统（LSB）。局部自举系统（LSB）是用于从公共源线 CSL 侧的控制栅线（字线）（例如，字线 WL<xx>）开始，顺序将数据编程的顺序编程方法。局部自举（LSB）系统将把所选择的存储器晶体管（WL<i>）两侧的存储器晶体管设置成截止状态，以便于只将所选择的存储器晶体管（WL<i>）的沟道和扩散层（升压区）与剩余的存储器晶体管电隔离，从而将以上区域设置成电浮动状态并将其电压升压。

擦除区自举（EASB）系统是另一个自举系统。在日本专利申请未审公开第 10-283788 号中描述了擦除区自举系统。EASB 系统基于从如之前描述的公共源线 CSL 侧上的控制栅线开始的顺序编程数据。低电压 Vcutoff 施加到与所选择的存储器单元晶体管的公共源线 CSL 侧相邻

Micron Ex. 1002, p. 111
Micron v. YMTC
IPR2025-00190

并位于其上的存储器单元晶体管的控制栅线（字线），以使存储器单元晶体管截止。编程电压 Vpgm 施加到所选择的存储器单元晶体管的控制栅线（WL<i>），并且中间电压 Vpass 施加到未被选择的其他控制栅线。

对于被编程的存储器单元的阈值电压分布的更精确控制，经常使用步增脉冲编程（incremental step pulse programming）（ISPP）模式。在应用 ISPP 模式的情况下，施加到字线的编程电压在重复编程周期的循环过程中逐步地上升。编程电压以预定的步增量（ΔV）增加，其中，预定的步增量也被称作“上升速率”。在编程序列中，被编程的单元的单元阈值电压以预定用于每个编程循环的速率增加。在名为“Non-Volatile Semiconductor Memory and Programming Method of the Same”的美国专利第 6,266,270 号中公开了通过 ISPP 模式的方式对非易失性存储器器件进行编程。每个编程循环通常被划分为编程时间段和编程检验时间段。在编程时间段内，在给定的偏置条件下对存储器单元进行编程。在编程检验时间段内，检验被编程的存储器单元，看它们是否达到目标阈值电压的条件。将编程循环重复预定数量的次数，直到所有的存储器单元被以目标阈值电压来完全地编程。除了读取的数据没有被输出到器件的外部之外，编程检验操作与读取操作类似。

发明内容

本发明的一方面提供了一种对闪存单元单位进行编程的方法，其中，所述闪存单元单位具有与由串选择线 SSL 控制的串选择晶体管 SST 连接的 n 个存储器单元晶体管 MC<0>至 MC<n-1>，其中，所述 n 个存储器单元晶体管 MC<0>至 MC<n-1>分别由 n 个字线 WL<0>至 WL<n-1>控制，所述方法包括：向所述串选择线 SSL 施加第一预定电压 Vcc；以及向所述 SSL 施加第二预定电压（Vcc-α 或者 Vcc+α），同时向所选择的字线 WL<i'>施加编程电压 Vpgm，以减小至少多个存储器单元晶体管的沟道电势。

Micron Ex. 1002, p. 112
Micron v. YMTC
IPR2025-00190

在本发明的一些实施例中，所述方法还包括：向所述串选择线 SSL 施加第一预定电压 Vcc，同时向所述第一所选择的字线 WL<i>施加编程电压 Vpgm，其中，0 ≤ i < x；在不同的（例如，随后的）时间，向所述串选择线 SSL 施加所述第二预定电压（Vcc-α 或 Vcc+α），同时向所述第二所选择的字线 WL<i'>施加所述编程电压 Vpgm，以减小存储器单元晶体管 MC<i'>至 MC<n-1>的局部沟道电势，其中，i'≥x，其中，所述第二所选择的字线 WL<i'>比所述第一所选择的字线 WL<i>更靠近所述串选择线 SSL。

在各种实施例中，施加到所述串选择线（SSL）的所述第二预定电压是 Vcc-α，α 在大约 0.1 伏至大约 3.0 伏之间，Vcc 在大约 2.5 伏至大约 3.5 伏之间，Vpass 在大约 8 伏至大约 10 伏之间，并且 Vpgm 在大约 15 伏至大约 20 伏之间。

本发明的另一方面提供了一种对闪存单元单位进行编程的方法，其中，所述闪存单元单位具有与由串选择线 SSL 控制的串选择晶体管 SST 连接的 n 个存储器单元晶体管 MC<0>至 MC<n-1>，其中，所述 n 个存储器单元晶体管 MC<0>至 MC<n-1>分别由 n 个字线 WL<0>至 WL<n-1>控制。所述方法包括：在时间 t，向所述位线 BL 施加第一预定电压 Vcc，同时将第一所选择的字线 WL<i>上的第一所选择的存储器单元晶体管 MC<i>编程，其中，0 ≤ i < x；以及在不同的时间，向所述位线 BL 施加第二预定电压 Vcc-α，同时将第二所选择的字线 WL<i'>上的第二所选择的存储器单元晶体管 MC<i'>编程，以减小存储器单元晶体管 MC<i'>至 MC<n-1>的局部沟道电势，其中，i' ≥ x，其中，所述第二所选择的字线 WL<i'>比所述第一所选择的字线 WL<i>更靠近所述串选择线 SSL。

所述方法的一些实施例还包括：向所述位线 BL 施加第一预定电压 Vcc，同时向所述第一所选择的字线 WL<i>上的所述第一所选择的存储器单元晶体管 MC<i>应用步增脉冲编程（ISPP），其中，0≤i < x；

Micron Ex. 1002, p. 113
Micron v. YMTC
IPR2025-00190

以及在不同的时间，对所述步增脉冲编程（ISPP）循环进行计数，同时对第二所选择的字线 WL<i'>上的第二所选择的存储器单元晶体管 MC<i'>进行 ISPP 编程，其中，i'≥x；以及只在 ISPP 循环计数 j 大于或等于 y 时，向所述位线 BL 施加所述第二预定电压 Vcc-α，以减小存储器单元晶体管 MC<i'> 至 MC<n-1>的局部沟道电势，同时对所述第二所选择的字线 WL<i'>上的第二所选择的存储器单元晶体管 MC<i'>进行 ISPP 编程，其中，i'≥x。

本发明的可选实施例可以使超过两个的局部沟道（Ch1、Ch2、Ch3...）的相邻的沟道电压大致相等。

本发明的另一方面提供了一种对闪存单元单位进行编程的方法，其中，所述闪存单元单位具有与由串选择线 SSL 控制的串选择晶体管 SST 连接的 n 个存储器单元晶体管 MC<0>至 MC<n-1>，其中，所述 n 个存储器单元晶体管 MC<0>至 MC<n-1>分别由 n 个字线 WL<0>至 WL<n-1>控制。所述方法包括：向未被选择的字线 WL<i+1>至 WL<n-1>施加通过电压 Vpass，同时向所述第一所选择的字线 WL<i>施加编程电压 Vpgm，其中，$0 \le i < x$，其中，$Vpgm > Vpass > 0$；此后，向所述未选择的字线 WL<i'+1>至 WL<n-1>中的三个的每个施加不同的第一通过电压 Vpass1、第二通过电压 Vpass2 和第三通过电压 Vpass3 中的一个，同时向第二所选择的字线 WL<i'>施加所述编程电压 Vpgm，以减小存储器单元晶体管 MC<i'> 至 MC<n-1>的局部沟道电势，其中，$i \ge x$，其中，所述第二所选择的字线 WL<i'>比所述第一所选择的字线 WL<i>更靠近所述串选择线 SSL。

在一些示例性实施例中，Vpass1 < Vpass 且 Vpass3 > Vpass。在一些示例性实施例中，Vpass1 施加到 WL<i'+1>且 Vpass3 施加到 WL<n-1>。在一些示例实施例中，Vpass1 施加到 WL<n-1> 且 Vpass3 施加到 WL<i'+1>。在一些示例性实施例中，Vpass 施加到 WL<i'+1>, WL<i+2 和 WL<i+l>，而 Vpass1 施加到 WL<i'+l+1>，Vpass3 施加到

Micron Ex. 1002, p. 114
Micron v. YMTC
IPR2025-00190

WL<n-1>。

本发明的另一方面提供了一种闪速存储器件，所述闪速存储器件包括：存储块，所述存储块包括共享 n 个字线 WL< >和串选择线(SSL)的 m 个 NAND 单元单位，每个 NAND 单元单位包括由所述 SSL 控制并串联连接在位线 BL< >和 n 个存储器晶体管的之间的串选择晶体管 SST，其中，所述 n 个存储器晶体管分别由 n 个字线 WL< >来控制；以及外围电路，所述外围电路适于向所述串选择线（SSL）施加第一预定电压 Vcc，同时对由第一所选择的字线 WL<i>控制的 m 个存储器晶体管进行编程，此后，在向所述串选择线（SSL）施加第二预定电压 Vcc ±α 的同时，对由第二所选择的字线 WL<i'>控制的 m 个存储器晶体管进行编程，其中，所述第二所选择的字线 WL<i'>比所述第一所选择的字线 WL<i>更靠近所述串选择线（SSL）。

所述存储器晶体管可以形成为除了控制栅之外还均具有浮栅的存储器晶体管。可选择地，所述存储器晶体管可以形成为电荷捕获型存储器晶体管。

本发明的另一方面提供了一种用于计算机系统的固态存储器模块，所述模块包括：壳体；接口连接器，其在所述壳体上；闪速存储器控制器，其位于所述壳体内；根据本发明的示例性实施例的权利要求所述的闪速存储器件，其位于所述壳体内，并电连接到所述接口连接器，其中，在集成电路中的所述多个存储器晶体型晶体管被布置成用于数据贮存的阵列，并由所述闪速存储器控制器控制。所述接口连接器可以是包括四十个 IDE 管脚接口和电源连接器的 IDE 接口连接器，或者所述壳体可以具有 SD 卡的形式因素，并且所述接口连接器具有八个电接触焊盘。可选择地，所述壳体可以具有从由 MS（记忆棒）、CF（紧凑式闪存卡）、SMC（智能媒体卡）、MMC（多媒体卡）、SD（安全数码卡）或 XD（XD-图卡）中任意一个的形式因素。

Micron Ex. 1002, p. 115
Micron v. YMTC
IPR2025-00190

本发明的另一方面提供了一种包括固态存储器模块的计算机系统。所述计算机系统可以是个人计算机（PC）、个人数字助理（PDA）、MP3 播放器、数码录音机、笔型计算机（pen-shaped computer）、数码相机或者录影机。

本发明的另一方面提供了一种闪速存储器件，所述闪速存储器件包括：存储块，所述存储块包括共享 n 个字线 WL< >和串选择线（SSL）的 m 个 NAND 单元单位，每个 NAND 单元单位包括由所述 SSL 控制并串联连接在位线 BL< >和 n 个存储器晶体管之间的串选择晶体管（SST），其中，所述 n 个存储器晶体管分别由 n 个字线 WL< >来控制；以及页缓冲电路，所述页缓冲电路适于向位线 BL< >施加第一预定电压 Vcc，同时对由第一所选择的字线 WL<i>控制的所述 m 个存储器晶体管进行编程，此后，在向所述位线 BL< >施加预定的减小的电压 Vcc-α 的同时，对由第二所选择的字线 WL<i'>控制的所述 m 个存储器晶体管进行编程，其中，所述第二所选择的字线 WL<i'>比所述第一所选择的字线 WL<i>更靠近所述串选择线（SSL）。

所述闪速存储器件还可包括外围电路，所述外围电路包括页缓冲电路，并适于向所述串选择线（SSL）施加所述第一预定电压 Vcc，同时对由所述第一所选择的字线 WL<i>控制的所述 m 个存储器晶体管进行编程，此后，向所述串选择线（SSL）施加所述预定的减小的电压 Vcc-α，同时对由所述第二所选择的字线 WL<i'>控制的所述 m 个存储器晶体管进行编程。所述外围电路还可包括步增脉冲编程（ISPP）循环计数器，并且只在 ISPP 循环计数 j 不小于预定的值 y 时，所述外围电路可以向位线 BL< >施加所述预定的减小的电压 Vcc-α，同时对由所述第二所选择的字线 WL< >控制的所述 m 个存储器晶体管进行编程。

本发明的另一方面提供了一种闪速存储器件，所述闪速存储器件包括：存储块，所述存储块包括共享 n 个字线 WL< >和串选择线（SSL）的 m 个 NAND 单元单位，每个 NAND 单元单位包括由所述 SSL 控制，

Micron Ex. 1002, p. 116
Micron v. YMTC
IPR2025-00190

并串联连接在位线 BL< >和 n 个存储器晶体管之间的串选择晶体管（SST），其中，所述 n 个存储器晶体管分别由 n 个字线 WL< >来控制；以及外围电路，所述外围电路适于向第一多个未被选择的字线(WL<0> 至 WL<i-3>)中的每个施加第一预定通过电压 Vpass(1)，同时向所选择的字线 WL<i>施加高于 Vpass(1)的编程电压 Vpgm，并且适于同时地向第二多个未被选择的字线(WL<i+1> 至 WL<n-1>)施加第二预定通过电压 Vpass(2)和第三预定通过电压 Vpass(3)，其中，所述第二多个未被选择的字线比所述第一多个未被选择的字线更靠近所述串选择线（SSL），其中，所述第二预定通过电压 Vpass(2)小于所述第一预定通过电压 Vpass(1)，并且所述第一预定通过电压 Vpass(1)小于所述第三预定通过电压 Vpass(3)。

附图说明

通过结合附图考虑的下面的详细描述，对于本领域的技术人员，本发明的示例性实施例的以上和其它特征将变得容易清楚，其中，在整个申请和一些附图中，相同的标号通常指示相同或相似的元件，其中：

图 1 是根据本发明的各种示例性实施例的在使相邻的沟道电势 Vch1 和 Vch2 大致相等的存储器器件（分别为图 2 中的 100、图 6 中的 200、图 10 中的 300、图 13 中的 400 和图 17 中的 500）中的集成电路中形成的浮栅型 NAND 单元单位 131 的侧面剖视图；

图 2 是根据本发明的第一示例性实施例的、包括适于使图 2 的 NAND 单元单位 131 中相邻的沟道电势 Vch1 和 Vch2 相等的外围电路 110、120、140、150 和 160 的闪速存储器件 100 的框图；

图 3 是图 2 的 NAND 单元单位 131 的组合电路图以及在图 2 的闪速存储器件 100 中的施加到其中的偏压的表格；

图 4 是示出了施加图 3 的 Vcc+a 偏压，以及图 2 的 NAND 单元单位 131 中相邻的沟道电势 Vch1 和 Vch2 产生的相等化的时序图；

图 5 是示出了施加图 3 的 Vcc-a 偏压，以及图 2 的 NAND 单元单

Micron Ex. 1002, p. 117
Micron v. YMTC
IPR2025-00190

位 131 中相邻的沟道电势 Vch1 和 Vch2 产生的大致相等化的时序图；

图 6 是包括适于使图 2 的 NAND 单元单位 131 中的相邻的沟道电势 Vch1 和 Vch2 大致相等的外围电路 110、120、240、250 和 160 的闪速存储器件 200 的框图；

图 7A 和图 7B 是实现图 6 的闪速存储器件 200 中的页缓冲电路 240 的电路的框图；

图 8 是图 6 的 NAND 单元单位 131 的组合电路图示，以及图 6 的闪速存储器件中施加到其中的偏压的表格；

图 9 是示出了将 Vcc-a 偏压施加到如图 8 所示的位线和/或串选择线，以及在图 6 的闪速存储器件 200 中的 NAND 单元单位 131 中相邻的沟道电势 Vch1 和 Vch2 产生大致相等化的时序图；

图 10 是根据本发明的第三示例性实施例的包括适于使图 1 的 NAND 单元单位 131 中的相邻的沟道电势 Vch1 和 Vch2 大致相等的外围电路 110、120、340、350 和 360 的闪速存储器件 300 的框图；

图 11 是在图 10 的闪速存储器件 300 中的 NAND 单元单位 131 的预定页（WL<i>）的步增脉冲编程（ISPP）的过程中，选择性地减小位线电压的方法的流程图；

图 12 是示出了将 Vcc-a 偏压施加到如图 10 中的位线，以及在图 10 的闪速存储器件 300 中 NAND 单元单位 131 中相邻的沟道电势 Vch1 和 Vch2 产生大致相等化的时序图；

图 13 是根据本发明的第四示例性实施例的包括适于使图 1 的 NAND 单元单位 131 中的相邻的沟道电势 Vch1 和 Vch2 大致相等的外围电路 110、420、140、450 和 160 的闪速存储器件 400 的框图；

图 14 是图 13 的 NAND 单元单位 131 的组合电路图，以及在图 13 的闪速存储器件 400 的操作的写入（编程）模式的过程中，其中的偏压，例如施加到未被选择的字线的 k 个中间通过电压（pass voltage）Vpass(k)的表格；

图 15A 是示出了将以升压顺序的多个中间通过电压 Vpass(k) 施加到图 13 的闪速存储器件 400 中的 NAND 单元单位 131 中未被选择的字线 WL<i+1> 至 WL<n-1>的时序图；

Micron Ex. 1002, p. 118
Micron v. YMTC
IPR2025-00190

图 15B 是示出了将以降压顺序的多个中间通过电压 Vpass(k) 施加到图 13 的闪速存储器件 400 中的 NAND 单元单位 131 中未被选择的字线 WL<i+1> 至 WL<n-1>的时序图；

图 15C 是示出了将传统的通过电压 Vpass 加上各种多个中间通过电压 Vpass(k) 施加到图 13 的闪速存储器件 400 中的 NAND 单元单位 131 中未被选择的字线 WL<i+1>至 WL<n-1>的时序图；

图 16A 和图 16B 是用于将传统的 NAND 闪速存储器件中形成（develope）的沟道电势 Vch2（现有的）和图 2、图 6、图 10、图 13 或图 17 的 NAND 闪速存储器件 100、200、300、400 或 500 中形成的沟道电势 Vch2（新的）进行比较，同时对 NAND 单元单位 131 的所有页（WL<1>至 WL<31>）中的 1 位（二进制）数据进行编程的实验获得数据的曲线图；

图 17 是根据本发明的第四示例性实施例的包括适于使图 1 的 NAND 单元单位 131 中的相邻的沟道电势 Vch1 和 Vch2 大致相等的外围电路 110、420、140、450 和 160 的闪速存储器件 500 的框图；

图 18 是在存储器件（分别为图 2 的 100、图 6 的 200、图 10 的 300、图 13 的 400 或图 17 的 500）的可选实施例中使用的集成电路中形成的电荷捕获型 NAND 单元单位 131-2 的侧面剖视图；

图 19 是包括根据本发明的任意实施例的闪速存储器件 720（例如 100、700、300、400、500）的存储卡的框图；

图 20 是包括根据本发明的任意实施例的闪速存储器件 812（例如 100、200、300、400、500）的闪速存储器系统 810 的计算机系统 800 的框图。

具体实施方式

图 1 是根据本发明的各种示例性实施例的在使相邻的沟道电势 Vch1 和 Vch2 大致相等的存储器器件中的集成电路中形成的浮栅型 NAND 单元单位 131 的侧面剖视图。图 2 是根据本发明实施例的包括外围电路的闪速存储器件的框图。

Micron Ex. 1002, p. 119
Micron v. YMTC
IPR2025-00190

参照图 1 和图 2，经受编程的 NAND 单元单位 131 使各种偏压 Vpgm、Vpass 和 Vss 顺序地施加到其存储器单元晶体管的控制栅 10、20、30、40、50 和字线 WL<>。NAND 单元单位 131 形成在闪速存储器件 100（图 2）中的存储器单元阵列 130 内的存储块（MB）和集成电路中。NAND 单元单位 131 形成在半导体衬底 100-1 上。NAND 单元单位 131 的沟道形成在选择晶体管 SST 和 GST 之间的半导体衬底 100-1 中。在该示例性实施例中，存储器单元晶体管 MC0 至 MCn-1 中的每个具有在半导体衬底 100-1 中形成的 NAND 单元单位 131 的沟道的上方形成的控制栅 11、21、31、41、51 和浮栅 10、20、30、40、50。NAND 单元单位 111 的沟道可以通过浅沟槽隔离（STI）（未示出）与其它相邻的 NAND 单元单位的沟道隔离，这样防止了相邻的半导体器件组件之间的电流泄漏。

具有第一沟道电势 Vch1 的第一（下）局部沟道 Ch1 通过具有施加到其控制栅的低电压 Vcutoff（Vss，0V）的存储器单元晶体管与具有第二沟道电势 Vch2 的第二（上）局部沟道 Ch2 隔离。低压 Vcutoff 施加到存储器单元晶体管（例如，WL<i-2>）的控制栅线，以截止存储器单元晶体管（例如，WL<i-2>），其中，存储器单元晶体管（例如，WL<i-2>）位于所选择的存储器单元晶体管（WL<i>）的公共源线 CSL 侧。作为示例，编程电压 Vpgm 施加到所选择的存储器单元晶体管（WL<i>）的控制栅 40，并且中间电压 Vpass 施加到未被选择的存储器单元晶体管（WL<1>...WL<i-3>、WL<i-1>、WL<i+1>、WL<l+2>...WL<31>）的控制栅（例如，10、30、50）。

编程电压 Vpgm（例如，20V）施加到所选择的存储器单元晶体管的控制栅线（WL<i>），并且使存储器单元晶体管截止的低电压 Vcutoff（例如，VSS，0V）施加到将第一局部沟道 Ch1 与第二局部沟道 Ch2 隔离（局部化）的存储器单元晶体管 20 的控制栅线（例如，WL<i-2>）。Vpgm 和 Vcutoff（Vss）之间的中间电压 Vpass（例如，5V 或 10V）施加到未被选择的控制栅线（例如，WL<i-3>、WL<i-1>、WL<l+1>）。

Micron Ex. 1002, p. 120
Micron v. YMTC
IPR2025-00190

通过施加到对应区域内的控制栅的电压 Vpgm、Vpass 的电容耦合，感应出沟道电势 Vch1 和 Vch2 中的每个。具体来说，第二沟道电势 Vch2 通过等式 1 来描述特征：

[等式 1]

$$Vch2 \propto \frac{q}{N} Vpass + \frac{1}{N} Vpgm$$

其中，q 是在第二沟道 Ch2 内具有施加到其控制栅（例如，30、50）的通过电压 Vpass 的存储器单元晶体管的数量；并且 N 是第二沟道 Ch2 内的存储器单元的总数。根据等式 1，被编程（Vpgm）的所选择的存储器单元晶体管距离串选择线 SSL 越近，第二沟道 Ch2 内的存储器单元的总数 N 越小，由此，第二沟道电势 Vch2 变得更高。

两个区域，即，第一沟道 Ch1 和第二沟道 Ch2 的沟道电势 Vch1 和 Vch2 之间的电势差 Vch2-Vch1 产生了电场，并且热载流子效应（HCE）会增大，以及由于 HCE 导致发生软编程（soft-programming）（编程干扰）误差。由此，被编程（Vpgm）的所选择的存储器单元晶体管距离串选择线 SSL 越近，由于 HCE 导致发生的软编程（编程干扰）误差越多。当沟道电势 Vch1 和 Vch2 之间的差（Vch2-Vch1）大于 V_{CHE}，即产生热载流子效应（HCE）的临界电压时，会出现热载流子效应（HCE）软编程（编程干扰）误差。因此，期望的是，控制沟道电势 Vch1 和 Vch2 之间的差（Vch2-Vch1），使其与等式 2 中表示的条件一致。

[等式 2]

$Vch2\text{-}Vch1 < V_{CHE}$

其中，V_{CHE} 是产生热载流子效应（HCE）误差的临界电压。

根据本发明的示例性实施例，电压阿尔法（如下面进一步描述的

Micron Ex. 1002, p. 121
Micron v. YMTC
IPR2025-00190

Vcc-α、Vcc+α 中的 α）是足以使 Vch2 更接近 Vch1 以足够满足等式 2 的值。

参照图 2，根据本发明的示例性实施例的闪速存储器件 100 包括 NAND 单元单位（NAND 串）131 的阵列 130 和外围电路，其中，外围电路包括电压提供器 110、X（行）解码器 120、页缓冲器 140、控制逻辑 150 和数据建立（setup-data）贮存单元 160。

存储器单元阵列 130 包括 NAND 单元单位、字线 WL< >和 m 个位线 BL<0>至 BL<m-1>。存储器单元阵列 130 还包括与 NAND 单元单位中的串选择晶体管 SST 连接的 m 个位线 BL< >（BL<0>、BL<1>...、BL<m-1>）。存储器单元阵列 130 包括多个（c×n×m 个，其中，c 是每列中 NAND 单元单位的数量，n 是每个 NAND 单元单位中字线/存储器单元晶体管的数量）存储器单元晶体管 MC< >。

外围电路 110、120、140、150 和 160 合作来向在 NAND 单元阵列 130 中被编程的 NAND 单元单位 131 施加偏压，这导致 NAND 单元单位 131 中的相邻的局部沟道电势 Vch1 和 Vch2 大致相等，并防止或最小化热载流子效应（HCE）软编程（编程干扰）误差。在对根据本发明的该示例性实施例的闪速存储器件 100 的指定字线 WL< >进行每个编程操作的过程中，NAND 单元单位 131 中的相邻的局部沟道电势 Vch1 和 Vch2 之间的电压差可以被减小成足以防止热载流子效应（HCE）软编程（编程干扰）误差。

电压提供器 110 包括串选择电压（Vssl）发生器 111、编程电压（Vpgm）发生器 112 和通过电压（Vpass）发生器 113。串选择电压（Vssl）发生器 111 适于顺序地产生诸如 Vcc、Vcc+α 和 Vcc-α 的不同的串选择电压（Vssl），这些电压将被施加到串选择线（SSL）并施加到 NAND 单元单位 131 中的串选择晶体管 SST 的控制栅。

Micron Ex. 1002, p. 122
Micron v. YMTC
IPR2025-00190

编程电压（Vpgm）发生器 112 和通过电压（Vpass）发生器 113 产生偏压，所述偏压将通过 X（行）解码器 120，并通过分别与阵列 130 中的 NAND 单元单位 131 中的所选择的存储器单元晶体管 WL<i>和未被选择的存储器单元晶体管的控制栅连接的控制线（字线 WL< >）来施加。

X（行）解码器 120 基于接收到的行地址向阵列 130 中的字线 WL<0>至 WL<n-1>和选择线 SSL、GSL 施加由电压提供器 110 产生的控制电压 Vpgm、Vpass、Vss 和 Vssl。根据本发明的该实施例，X（行）解码器 120 可以根据擦除区自举（EASB）系统在编程操作的过程中向控制线提供控制电压 Vpgm、Vpass、Vss 和 Vssl，以使得能够如上所述从 NAND 单元单位 131 的公共源线 CSL 侧上的第一字线 WL<0>开始，对所选择字线 WL<i>的数据进行顺序编程。编程电压 Vpgm 施加到所选择的存储器单元晶体管 WL<i>的控制栅，而低电压 Vcutoff (Vss) 施加到存储器单元晶体管 WL<i-2>的控制栅，其中，存储器单元晶体管 WL<i-2>位于所选择的存储器单元晶体管 WL<i>的公共源线 CSL 侧。中间通过电压 Vpass 施加到除 WL<i-2>之外的其它未被选择的存储器单元晶体管。由此，在阵列 130 的相同的存储块中的每个 NAND 单元单位 131 中，第一（下）局部沟道 Ch1 形成在存储器单元晶体管 WL<i-2>一侧，而第二（上）局部沟道 Ch2 形成在存储器单元晶体管 WL<i-2>的另一侧，如图 1 所示。

页缓冲电路 140 通过 m 个位线 BL<0>至 BL<m-1>连接到存储器单元阵列 130 中的 NAND 单元单位 131。页缓冲电路 140 将接收到的随机数据写入到 m 个位线 BL<0>至 BL<m-1>，并利用 m 个位线 BL<0>至 BL<m-1>读取存储在 NAND 单元单位 131 中的随机数据。页缓冲电路 140 可选择性地在写入（编程）模式的操作过程中用作写入驱动器单元，而在读取模式的操作过程中用作感应放大器。在写入（编程）模式的操作中，页缓冲电路 140 传统上可以向与将被禁止编程（写入“1”数据）的存储器单元晶体管连接并且与第一预定组的字线（例如，

Micron Ex. 1002, p. 123
Micron v. YMTC
IPR2025-00190

WL<0>≤WL<i>≤WL<21>，x=22）连接的位线 BL< >提供电源电压（Vcc）。在该情况下，在“1”数据的情况下，电子的注入被禁止（所谓的编程禁止，“1”编程或“1”写入）。在写入（编程）模式的操作过程中，页缓冲电路 140 可以向与将被编程（写入“0”数据）的存储器单元晶体管连接的位线 BL< >提供接地电压（GND，0V）。由此，在将随机数据写入存储器单元晶体管的同时，根据其随机数据，页缓冲电路 140 控制将被编程的 NAND 单元单位 131 中的每个存储器单元晶体管的浮栅两端产生的电压。

图 3 示出了图 2 的 NAND 单元单位 131 的电路图，以及图 2 的闪速存储器件 100 的写入（编程）模式的操作过程中施加到 NAND 单元单位中的串选择晶体管 SST 的偏压（Vcc±α）的表格。

图 4 是示出了将图 3 的 Vcc+α 偏压施加到串选择线（SSL），和施加到阵列 130 中的 NAND 单元单位 131 中串选择晶体管 SST 的控制栅，以及图 2 的 NAND 单元单位 131 中的相邻的沟道电势 Vch1 和 Vch2 产生的相等化的时序图。

图 5 是示出了施加根据本发明的示例性实施例的图 3 的 Vcc-α 偏压，以及图 2 的 NAND 单元单位 131 中的相邻的沟道电势 Vch1 和 Vch2 产生的大致相等化的时序图。

参照图 3、图 4 和图 5，根据本发明的示例性实施例，在写入（编程）模式的操作过程中，串选择电压（Vssl）发生器 111 产生预定的串选择电压（Vssl），以便于将所述串选择电压（Vssl）顺序地施加到串选择线（SSL）并施加到阵列 130 中的 NAND 单元单位 131 中的串选择晶体管 SST 的控制栅。通过或者在将串选择电压（Vssl）施加到串选择线（SSL）并施加到图 2 的 NAND 单元单位 131 中的串选择晶体管 SST 的控制栅的过程中，沟道电势（电压）Vch2 减小。

Micron Ex. 1002, p. 124
Micron v. YMTC
IPR2025-00190

参照图 4，在第一示例性方法中，Vcc 偏压和随后的 Vcc+α 偏压施加到串选择线（SSL），并施加到阵列 130 中的 NAND 单元单位 131 中的串选择晶体管 SST 的控制栅。

在预充电时间段 t1~t2 内，串选择线（SSL）和串选择晶体管 SST 的控制栅上升为电压 Vcc。沟道被预充电，直到串选择晶体管 SST 截止（Vcc-Vth）。公共源线（CSL）和接地选择晶体管 GST 的控制栅上升为 V_{CSL}，同时与所有字线 WL< >连接的所有存储器单元晶体管的所有控制栅接地。因此，第一沟道的电势 Vch1 和第二沟道的电势 Vch2 都略微上升。

在预编程时间段 t2~t3 内，与除了字线 WL<l-2>之外的所有字线 WL< >连接的所有存储器单元晶体管的控制栅上升为中间通过电压 Vpass。因此，第一沟道的电势 Vch1 和第二沟道的电势 Vch2 都由于与中间通过电压 Vpass 的电容耦合而上升。

在编程时间段 t3~t4 内，串选择线（SSL）和串选择晶体管 SST 的控制栅被脉冲上升为升压的电压 Vcc+α，并且与字线 WL<i>连接的存储器单元晶体管的控制栅上升为高的编程电压 Vpgm。串选择晶体管 SST 由于增大的电压而导通，并且第二沟道的电势 Vch2 电连接到位线（Vcc）。因此升压的电压 Vcc+α 是在间隔 t3~t4 内施加到串选择线（SSL），并施加到串选择晶体管 SST 的控制栅的脉冲，所以尽管与字线 WL<i>上的高的编程电压 Vpgm 电容耦合，第二沟道的电势 Vch2 在间隔 t3~t5 内也没有进一步上升，结果是图 2 中的 NAND 单元单位 131 中的相邻的沟道电势 Vch1 和 ch2 大致相等。

参照图 5，在可选的方法中，只有 Vcc-α 偏压施加到串选择线（SSL），并施加到阵列 130 中的 NAND 单元单位 131 中的串选择晶体管 SST 的控制栅。

Micron Ex. 1002, p. 125
Micron v. YMTC
IPR2025-00190

在预充电时间段 t1~t2 内，串选择线（SSL）和串选择晶体管 SST 的控制栅上升为电压 Vcc-α（并一直保持到时间 t5），公共源线（CSL）和接地选择晶体管 GST 的控制栅上升为 V_{CSL}，同时与所有字线 WL< > 连接的所有存储器单元晶体管的所有控制栅接地。因此，第一沟道的电势 Vch1 和第二沟道的电势 Vch2 都略微上升。

在预编程时间段 t2~t3 内，与除了字线 WL<l-2>之外的所有字线 WL< >连接的所有存储器单元晶体管的控制栅上升为中间通过电压 Vpass。沟道被预充电，直到选择晶体管 SST 由于电压 Vcc-Vth-α 而截止。沟道的电势相对低于处于电压 Vcc-Vth 的串选择晶体管 SST 的情况。因此，第一沟道的电势 Vch1 和第二沟道的电势 Vch2 都由于与中间通过电压 Vpass 的电容耦合而上升。

在编程时间段 t3~t4 内，串选择线（SSL）和串选择晶体管 SST 的控制栅保持在电压 Vcc-α，并且与字线 WL<i>连接的存储器单元晶体管的控制栅上升为高的编程电压 Vpgm。由于在预充电时间段 t2~t3 内的相对低的预充电电压 Vcc-α，第二沟道 Ch2 的自举减小。因为在间隔 t2~t5 内电压 Vcc-α 施加到串选择线（SSL），并施加到串选择晶体管 SST 的控制栅，所以第二沟道的电势 Vch2 没有像由于与字线 WL<i> 上的高编程电压 Vpgm 电容耦合而导致在时间间隔 t3~t5 内上升的其它可能的情况一样多，结果是图 2 中的 NAND 单元单位 131 中的相邻的沟道电势 Vch1 和 Vch2 大致相等。由此，沟道电势 Vch1 和 Vch2 之间的差（Vch2-Vch1）与等式 2 中所表示的条件一致。

再次参照图 2，基于建立数据贮存单元 260 中存储的字线信息 WL<x>，控制逻辑 150 控制串选择电压（Vssl）发生器 111，以顺序地输出将施加到串选择线（SSL）的不同的串选择电压（Vssl），例如，根据图 4 所示的第一方法来顺序地输出 Vcc 然后是 Vcc+α，根据图 5 所示的可选的方法来顺序地输出 Vcc 然后是 Vcc-α。

Micron Ex. 1002, p. 126
Micron v. YMTC
IPR2025-00190

在写入（编程）模式的操作的过程中，在对 NAND 单元单位的位线/SST 端接近的字线（例如，WL<22>≤WL<i>≤WL<31>；x=22）进行编程的同时，控制逻辑 150 激活串选择电压（Vssl）发生器 111，来顺序地向与将被编程的 NAND 单元单位 131 中的串选择晶体管 SST 连接的串选择线 SSL 输出不同的串选择电压（Vssl），以使 NAND 单元单位 131 中的相邻的局部沟道电势 Vch1 和 Vch2 大致相等。在写入（编程）模式的操作中，在对远离 NAND 单元单位的位线端的字线（例如，WL<1>≤WL<i>≤WL<21>，x=22）进行编程的过程中，控制逻辑 150 控制串选择电压（Vssl）发生器 111，以向与将被编程的 NAND 单元单位 131 中的串选择晶体管 SST 连接的串选择线 SSL 仅仅提供完整的电源电压（Vcc），而不是顺序地输出不同的串选择电压（Vssl）。

建立数据贮存单元 160 存储确认字线 WL<x>（例如，x=22）的信息，并在电源开启（power-on）的过程中或者系统初始化时将该信息 x 发送到控制逻辑 150，其中，对于字线 WL<x>，传统地会出现热载流子效应（HCE）软编程（编程干扰）误差。可以在器件测试级，对确认字线 WL<x>的该信息 x 进行估计或者进行实验地测量，并将其存储在建立数据贮存单元 160 中。可选择地，该信息 x 可以被存储在存储器单元阵列 130 的特定区域（建立数据区 535，如图 17 所示）内，并在电源开启的过程中或者在系统初始化时被拷贝到建立数据贮存单元 160。

图 6 是根据本发明另一示例性实施例的包括适于使图 1 的 NAND 单元单位 131 中的相邻的局部沟道电势 Vch1 和 Vch2 大致相等的外围电路 110、120、240、250 和 160 的闪速存储器件 200 的框图。

参照图 6，根据本发明的第二示例性实施例的闪速存储器件 200 包括 NAND 单元单位（NAND 串）131 的阵列 130 和外围电路，其中，外围电路包括电压提供器 110、X（行）解码器 120、页缓冲器 240、控制逻辑 250 和建立数据贮存单元 160。

Micron Ex. 1002, p. 127
Micron v. YMTC
IPR2025-00190

外围电路 110、120、240、250 和 160 合作来向在 NAND 单元阵列 130 中被编程的 NAND 单元单位 131 施加偏压和/或位线电压，这导致 NAND 单元单位 131 中的相邻的局部沟道电势 Vch1 和 Vch2 大致相等，并防止或最小化热载流子效应（HCE）软编程（编程干扰）误差。在随根据本发明的该示例性实施例的闪速存储器件 200 进行某些编程操作的过程中，NAND 单元单位 131 中的相邻的局部沟道电势 Vch1 和 Vch2 之间的电压差可以被减小成足以防止热载流子效应（HCE）软编程（编程干扰）误差。

电压提供器 110 可以包括与图 2 中的串选择电压（Vssl）发生器 111 相同的串选择电压（Vssl）发生器 111，其适于产生作为串选择电压（Vssl）的 Vcc 和 Vcc-α。

页缓冲电路 240 通过 m 个位线 BL<0>至 BL<m-1>连接到存储器单元阵列 130 中的 NAND 单元单位 131。虽然页缓冲电路 240 具有与图 2 的页缓冲电路 140 相同的读取/写入功能，但是此外其还适于基于来自控制逻辑 250 的开关信号 SW 的状态来输出完整的位线电压 Vcc 或者减小的位线电压 Vcc-α。在写入（编程）模式的操作中，页缓冲电路 240 将接收到的随机数据写入 m 个位线 BL<0>至 BL<m-1>。在对第一预定组的字线（例如，WL<0>≤WL<i>≤WL<21>）的写入（编程）模式的操作中，页缓冲电路 240 传统上会向与将被禁止编程（写入“1”数据）的存储器单元晶体管连接的位线 BL< >提供完整的电源电压（Vcc）。在对第二预定组的字线（例如，WL<0>≤WL<i>≤WL<21>）的写入（编程）模式的操作中，页缓冲电路 240 会向与将被禁止编程（写入“1”数据）的存储器单元晶体管连接的位线 BL< >提供减小的电源电压（Vcc-α）。由此，在将随机数据写入存储器单元晶体管的同时，根据其随机数据，页缓冲电路 240 控制将被编程的 NAND 单元单位 131 中每个存储器单元晶体管的浮栅两端产生的电压。

Micron Ex. 1002, p. 128
Micron v. YMTC
IPR2025-00190

图 7A 和图 7B 是实现图 6 的闪速存储器件 200 中的页缓冲电路 240 的电路的框图。在对例如大于由建立数据贮存单元 160 所存储的内容所指示的 WL<x>的字线进行编程的过程中，如果通过控制逻辑 250 来激活 SW 信号，则建立 VTG 驱动器 244 可以向页缓冲电路 240 的 m 个锁存器 241、242、243...提供作为电源电压的减小的电压 Vcc-α。每个锁存器 241、242、243 中的每个将根据存储在每个锁存器中的随机二进制数据的位，向 m 个位线中对应的一个输出逻辑低电压或者逻辑高电压。m 个位线 BL<0>至 BL<m-1>中的每个可以直接连接到 m 个锁存器 241、242、243 中对应一个的输出节点，如图 7b 所示。在减小的电压 Vcc-α 是电源电压时，锁存“1”数据的锁存器 241、242、243 将向其连接的位线输出电源电压 Vcc-α。相反，在完整的电压 Vcc 是电源电压时，锁存“1”数据的锁存器 241、242、243 将向其连接的位线输出完整的电源电压 Vcc。在一些实施例中，如图 7b 所示，由锁存器 241、242、243 输出到 m 个位线的完整的电源电压（Vcc）会通过晶体管 M0、M1...M2 提供的电阻而减小（减小到 Vcc-α），其中，晶体管 M0、M1...M2 的电阻的阻值由来自控制逻辑 250 的开关信号 SW 来控制。

图 8 示出了图 6 的 NAND 单元单位 131 的电路图，以及图 6 的闪速存储器件 100 的写入（编程）模式的操作过程中施加到其中的偏压的表格。在图 6 的闪速存储器件 100 的写入（编程）模式的操作过程中，在等于或大于 WL<x>的字线被编程的同时，电压 Vcc-α 可以施加到与被编程的 NAND 单元单位 131 连接的位线和/或串选择线 SSL。

图 9 是示出了将 Vcc-α 偏压施加到如图 8 所示的位线和/或串选择线，并施加到与阵列 130 中的 NAND 单元单位 131 连接的串选择线（SSL）和/或位线 BL< >的时序图。图 9 示出了图 6 的 NAND 单元单位 131 中相邻的沟道电势 Vch1 和 Vch2 产生的大致的相等化。

参照图 8 和图 9，根据本发明的另一示例性实施例，在写入（编程）模式的操作中，在等于或大于 WL<x>（例如，WL<22>≤WL<i>

Micron Ex. 1002, p. 129
Micron v. YMTC
IPR2025-00190

≤WL<31>，x=22）的字线被编程的同时，串选择电压（Vssl）发生器111产生预定减小的串选择电压（Vssl），所述串选择电压（Vssl）将被施加到串选择线（SSL）和阵列130中的NAND单元单位131中的串选择晶体管SST的控制栅。同时，页缓冲电路240向与将被禁止编程（写入“1”数据）的存储器单元晶体管连接的位线BL< >提供减小的电源电压（Vcc-α）。

通过或在将减小的串选择电压（Vssl）（Vcc-α）施加到串选择线（SSL）和/或将减小的电源电压（Vcc-α）施加到位线BL< >的过程中，第二沟道电势（电压）Vch2减小。

在预充电时间段t1~t2内，串选择线（SSL）和与将被禁止编程的存储器单元晶体管连接的位线BL< >上升为电压Vcc-α（并一直保持到时间t5），并且公共源线（CSL）和接地选择晶体管GST的控制栅上升为V_{CSL}，同时与所有字线WL< >连接的所有存储器单元晶体管的所有控制栅接地。因此，第一沟道的电势Vch1和第二沟道的电势Vch2都略微上升。

在编程时间段t3~t4内，与字线WL<i>连接的存储器单元晶体管的控制栅上升为高的编程电压Vpgm。因为在间隔t3~t4内，电压Vcc-α是施加到串选择线（SSL），并施加到串选择晶体管SST的控制栅的脉冲，并且因为与将被禁止编程的存储器单元晶体管连接的位线BL< >上升为电压Vcc-α，所以第二沟道的电势Vch2没有像由于与字线WL<i>上的高编程电压Vpgm电容耦合而导致在时间间隔t3~t5内上升的其它可能的情况一样多，结果是图6中的NAND单元单位131中的相邻的沟道电势Vch1和Vch2大致相等。由此，图6中的NAND单元单位131中的沟道电势Vch1和Vch2之间的差（Vch2-Vch1）与等式2中所表示的条件一致。

图10是根据本发明的又一示例性实施例的闪速存储器件300的框

Micron Ex. 1002, p. 130
Micron v. YMTC
IPR2025-00190

图，该闪速存储器件 300 包括适于使 NAND 单元单位中的相邻的沟道电势 Vch1 和 Vch2 基本上相等的外围电路 110、120、340、350 和 360。

参照图 10，闪速存储器件 300 包括 NAND 单元单位（NAND 串）131 的阵列 130 和外围电路，其中，外围电路包括电压提供器 110、X（行）解码器 120、页缓冲器 340、控制逻辑 350 和建立数据贮存单元 360。外围电路 110、120、340、350 和 360 合作来向在 NAND 单元阵列 130 中被编程的 NAND 单元单位 131 施加减小的位线电压，以实现 NAND 单元单位 131 中的相邻的局部沟道电势 Vch1 和 Vch2 的大致相等，并防止或最小化热载流子效应（HCE）软编程（编程干扰）误差。在对闪速存储器件 300 进行某些编程操作的过程中，NAND 单元单位 131 中的相邻的局部沟道电势 Vch1 和 Vch2 之间的电压差可以被减小成足以防止热载流子效应（HCE）软编程（编程干扰）误差。

控制逻辑 350 包括 ISPP 循环计数器 355，并适于支持步增脉冲编程（ISPP）模式。在以 ISPP 模式进行操作的同时，在重复编程周期的循环<j>的过程中，施加到字线 WL< >的编程电压 Vpgm 逐步地上升。以预定的步增量（ΔV）来增大编程电压 Vpgm，其中，该预定的步增量（ΔV）也被称作“上升速率”。ISPP 循环计数器 355 对每个字线 WL<i>的每个编程循环进行计数。在对特定的字线 WL<i>的编程循环已经重复了预定临界数量 y 的次数（即，当循环计数 j=y 时）之后，根据等式 1，编程电压 Vpgm 达到了足以将第二沟道电势 Vch2 上升为以下电压电平，该电压电平高得足够使 NAND 单元单位 131 中的沟道电势 Vch1 和 Vch2 之间的差（Vch2-Vch1）与等式 2 表示的条件不一致。因为 Vpgm 将沟道电势 Vch2 升压的效应取决于字线相对于串选择晶体管/位线的位置（参见等式 1），所以指示循环的临界数的数量 y 取决于当前字线 WL<i>的编号。由此，编号 i 越高，对应的临界数量 y 会越低。用于例如等于或大于 WL<x>的每个字线 WL<i>的例如 y<i>的每个字线 WL<i>的临界数量 y 会被存储在建立数据贮存单元 360 中。

Micron Ex. 1002, p. 131
Micron v. YMTC
IPR2025-00190

页缓冲电路 340 通过 m 个位线 BL<0>至 BL<m-1>连接到存储器单元阵列 130 中的 NAND 单元单位 131。虽然页缓冲电路 340 与图 2 的页缓冲电路 340 具有相同的读/写功能，但是其进一步适于基于来自控制逻辑 350 的开关信号 SW 的状态来输出完整的位线电压 Vcc 或减小的位线电压 Vcc-α。在写入（编程）模式的操作过程中，页缓冲电路 340 将接收到的随机数据写入 m 个位线 BL<0>至 BL<m-1>。在对第一预定组的字线（例如，WL<0>≤WL<i>≤WL<21>，x=22）的写入（编程）模式的操作过程中，页缓冲电路 340 可以向与将被禁止编程（写入“1”数据）的存储器单元晶体管连接的位线 BL< >提供完整的电源电压（Vcc）。在对第二预定组的字线（例如，WL<22>≤WL<i>≤WL<31>，x=22）的写入（编程）模式的操作过程中，页缓冲电路 340 可以向与将被禁止编程（写入“1”数据）的存储器单元晶体管连接的位线 BL< >提供减小的电源电压（Vcc-α）。由此，在将随机数据写入存储器单元晶体管的同时，根据其随机数据，页缓冲电路 340 控制将被编程的 NAND 单元单位 131 中的每个存储器单元晶体管的浮栅两端产生的电压。可以用图 7A 和图 7B 的框图所示的电路来实现图 10 的闪速存储器件 200 中的页缓冲电路 340。

图 11 示出了在图 10 的闪速存储器件 300 中的 NAND 单元单位 131 的预定页（WL<i>）的步增脉冲编程（ISPP）的过程中用于选择性地减小位线电压的示例性的方法步骤。图 11 示出了在图 10 的闪速存储器件 300 的写入（编程）模式的操作过程中，在被编程的字线 WL<i>等于或大于 WL<x>（即，i≥x）且 ISPP 编程循环计数器 j 等于或超过临界数量 y（即，j≥y<i>）时，减小的电源电压 Vcc-α 用作位线电压 VBL，其被施加到与闪速存储器件 300 中被编程的 NAND 单元单位 131 连接的禁止编程（数据“1”）的位线 BL< >。图 11 还示出了在图 10 的闪速存储器件 300 的写入（编程）模式的操作过程中，如果被编程的字线 WL<i>的编号小于预定的字线 WL<x>（即，i<x）或者如果 ISPP 编程循环计数器 j 低于临界数量 y（即，j≥y<i>），则完整的电源电压 Vcc 用作位线电压 VBL，其施加到与闪速存储器件 300 中被编程的

Micron Ex. 1002, p. 132
Micron v. YMTC
IPR2025-00190

NAND 单元单位 131 连接的禁止编程（数据“1”）的位线 BL< >。

在决定/分支步骤 S10、S20 中，确定被编程的字线 WL<i>的编号是否小于预定的字线 WL<x>，（即，i<x）。如果被编程的字线 WL<i>的编号小于预定的字线 WL<x>，（即，i<x），（S20 的“是”分支）则执行 S80，即利用完整的位线电压（VBL=Vcc）进行传统的 ISPP 编程。如果被编程的字线 WL<i>的编号等于或大于预定的字线 WL<x>（即，i≥x），（S20 的“否”分支）则执行 ISPP 循环计数（j=0）初始化步骤 S30，然后增加 ISPP 循环计数 j（j=j+1），并且然后执行决定/分支步骤 S50、S60。

在决定/分支步骤 S50、S60 中，确定用于字线 WL<i>（即，i<x）的当前第j个的ISPP编程循环的计数j是否小于预定的临界循环数量y。如果被编程的字线 WL<i>的 ISPP 循环计数 j 小于预定的临界循环数量 y，（S60 的“是”分支）则执行 S80，即利用完整的位线电压（VBL=Vcc）进行传统的 ISPP 编程。

当通过 ISPP S80（例如，在决定 S20 或 S60 之后）来执行利用位线电压 VBL=Vcc 的传统编程时，然后根据传统的 ISPP 编程方法来执行检验/决定/分支步骤 S90、S100。如果被编程的存储器单元晶体管的阈值电压通过（S100 的“是”分支）检验 S90，则字线 WL<i>的 ISPP 编程在结束处完成。

如果被编程的字线 WL<i>的编号等于或大于预定的字线 WL<x>（即，i≥x），（S20 的“否”分支），且如果被编程的字线 WL<i≥x>的循环计数 j 等于或大于预定的临界循环数量 y，（S60 的“否”分支），则执行采用减小的位线电压（VBL=Vcc-α）的根据本发明的示例性实施例的 ISPP 编程（步骤 S70）。

图 12 是示出了将 Vcc-α 偏压施加到图 10 中的位线，以及在图 10

Micron Ex. 1002, p. 133
Micron v. YMTC
IPR2025-00190

的闪速存储器件300中的NAND单元单位131中相邻的沟道电势Vch1和Vch2产生的大致相等化的时序图。在第一预定组的字线（例如，WL<0>≤WL<i>≤WL<21>，x=22）的写入（编程）模式的操作过程中，控制逻辑350不激活控制信号SW（例如，将其保持在逻辑低电压L），页缓冲电路340将完整的电源电压（Vcc）提供到与将被禁止编程（写入“1”数据）的存储器单元晶体管连接的位线BL< >。

在第二预定组的字线（例如，WL<22>≤WL<i>≤WL<31>，x=22）的写入（编程）模式的操作过程中，且在当前的ISPP编程循环数量<j>小于预定的编程循环数量<y>时，控制逻辑350不激活控制信号SW（例如，保持其为逻辑低电压L），页缓冲电路340将完整的电源电压（Vcc）提供到与将被禁止编程（写入“1”数据）的存储器单元晶体管连接的位线BL< >。在采用第二预定组的字线（例如，WL<22>≤WL<i>≤WL<31>，x=22）的写入（编程）模式的操作过程中，且在当前的ISPP编程循环数量<j>等于或大于预定的编程循环数量<y>时，控制逻辑350激活控制信号SW（例如，将其上升为逻辑高电压H），并且页缓冲电路340因此将施加到与将被禁止编程（写入“1”数据）的存储器单元晶体管连接的位线BL< >的电源电压（Vcc-α）减小。

通过或者在将减小的电源电压（Vcc-α）施加到与将被禁止编程（写入“1”数据）的存储器单元晶体管连接的位线BL< >的过程中，第二沟道电势（电压）Vch2减小。

在预充电时间段t1~t2内，串选择线（SSL）和与将被编程禁止的存储器单元晶体管连接的位线BL< >上升为电压Vcc-α（一直保持到时间t5），公共源线（CSL）和接地选择晶体管GST的控制栅上升为V_{CSL}，而与所有的字线WL< >连接的所有存储器单元晶体管的所有控制栅接地。因此，第一沟道电势Vch1和第二沟道电势Vch2都略微上升。

在编程时间段t3~t4内，根据ISPP循环loop< >数量，与字线WL<i>

Micron Ex. 1002, p. 134
Micron v. YMTC
IPR2025-00190

连接的存储器单元晶体管的控制栅上升为步进的编程电压（stepped program voltage）Vpgm。因为与将被禁止编程的存储器单元晶体管连接的位线 BL< >上升为电压 Vcc-α，所以第二沟道的电势 Vch2 没有像由于与字线 WL<i>上的高编程电压 Vpgm 电容耦合而导致在时间间隔 t3~t5 内上升的其它可能的情况一样多，结果是图 10 中的 NAND 单元单位 131 中的相邻的沟道电势 Vch1 和 Vch2 大致相等。即使在编程电压 Vpgm 增大到超过用于循环<y>和其之上而设置的电压电平时，第二沟道 Ch2 的自举也被抑制。因为减小的电源电压 Vcc-α 提供到位线 BL< >，所以当向位线 BL< >提供完整的电源电压 Vcc 时会出现的（现有的）第二沟道电势 Vch2'的自举被减小为（新的）第二沟道电势 Vch2。由此，图 10 中的 NAND 单元单位 131 中的沟道电势 Vch1 和 Vch2 之间的差（Vch2-Vch1）与被禁止编程的 NAND 单元单位 131 中的等式 2 中表示的条件一致。由此，在被禁止编程的 NAND 串中，通过防止第二沟道的过度的电势增大，可以防止热载流子效应编程干扰（软编程）。

图 13 是根据本发明的又一示例性实施例的闪速存储器件 400 的框图，该闪速存储器件 400 包括适于使图 13 的 NAND 单元单位 131 中的相邻的局部沟道电势 Vch1 和 Vch2 大致相等的外围电路 410、420、140、450 和 160。

参照图 13，闪速存储器件 400 包括 NAND 单元单位（NAND 串）131 的阵列 130 和外围电路，其中，外围电路包括电压提供器 410、X（行）解码器 420、页缓冲器 140、控制逻辑 450 和建立数据贮存单元 160。

存储器单元阵列 130 包括 NAND 单元单位的阵列、字线 WL< >和 m 个位线 BL<0>至 BL<m-1>。外围电路 410、420、140、450 和 160 合作来向在 NAND 单元阵列 130 中被编程的 NAND 单元单位 131 施加偏压，这导致 NAND 单元单位 131 中的相邻的局部沟道电势 Vch1 和 Vch2 大致相等，并防止了热载流子效应（HCE）软编程（编程干扰）

Micron Ex. 1002, p. 135
Micron v. YMTC
IPR2025-00190

误差。在对闪速存储器件 400 的指定字线 WL< >进行每个编程操作的过程中，NAND 单元单位 131 中的相邻的局部沟道电势 Vch1 和 Vch2 之间的电压差可以被减小成足以防止热载流子效应（HCE）软编程（编程干扰）误差。

电压提供器 410 包括串选择电压（Vssl）发生器 111、编程电压（Vpgm）发生器 112 和多通过电压 Vpass(k)发生器 413。

多通过电压 Vpass(k)发生器 413 产生 k 个（k 个，k 是大于 2 的整数）中间偏压 Vpass(k)：通过 X（行）解码器 420 和通过控制线（字线 WL<i+1>至 WL<n-1>）将 Vpass(i+1)至 Vpass(n-1)同时施加到阵列 130 中的 NAND 单元单位 131 中未被选择的存储器单元晶体管 MC<i+1>至 MC<n-1>的控制栅。

X（行）解码器 420 基于所接收的行地址向阵列 130 中的选择线 SSL、GSL 和字线 WL<0>至 WL<n-1> 施加由电压提供器 110 产生的控制电压 Vpgm、Vpass(k)、Vss 和 Vssl。在对存储器单元晶体管 MC<i>编程的过程中，多个中间通过电压 Vpass(k)被同时施加到第二沟道 Ch2 的未被选择的存储器单元晶体管的字线（除了 WL<i-1>之外）。由此，在图 13 的阵列 130 的相同的存储块中的每个 NAND 单元单位 131 中，第二沟道 Ch2 电势（Vch2）由于与施加到 k 个字线 WL<l+1>至 WL<n-1>和施加到未被选择的存储器单元晶体管 MC<i+1>至 MC<n-1>的控制栅的 k 个中间通过电压 Vpass(k)中的每个电容耦合而受影响。由此，根据等式 1，如果施加到未被选择的字线的 k 个中间通过电压 Vpass(k)的平均电压低于传统的通过电压电平 Vpass，则如果传统的单个通过电压 Vpass 施加到所有的 k 个未被选择的字线，则第二沟道 Ch2 的电势 Vch2 可以被升压。并且，此外，随着所选择的字线 WL<i>靠近 NAND 单元单位 131 的串选择线（SSL）/位线端，并且高编程电压 Vpgm 的影响增大（见图 16A 和图 16B），则行解码器 420 可以选择 k 个中间通过电压 Vpass(k)中最低的，并将其施加到未被选择的字线。

Micron Ex. 1002, p. 136
Micron v. YMTC
IPR2025-00190

控制逻辑 450 控制电压提供器 410，以基于当前被编程的字线 WL<i>的编号 i 是否等于或超过存储在建立数据贮存单元 160 的建立数据中的存储的临界字线数量 x，来产生 k 个通过电压 Vpass(k)或单个通过电压 Vpass。如果当前被编程的字线 WL<i>在临界字线 WL<x>和串选择线 SSL 之间，则控制逻辑 450 控制电压提供器 410，以通过 X（行）解码器 420 向未被选择的字线提供具有各种电压电平的两个或更多个的 k 个通过电压 Vpass(k)，从而防止第二沟道电势 Vch2 过度地升压。由此，沟道电势 Vch1 和 Vch2 之间的差（Vch1-Vch2）将与等式 2 中表示的条件一致。

图 14 示出了图 13 的 NAND 单元单位 131 的电路图，以及在图 13 的闪速存储器件 400 的写入（编程）模式的操作过程中闪速存储器件 400 中的偏压，例如施加到未被选择的字线的 k 个中间通过电压 Vpass(k)的表格。

参照图 14，WL<i>表示当前被编程的所选择的字线。字线 WL<i-2>表示通过截止电压（Vss）截止的存储器单元晶体管，以将第一沟道 Ch1 与第二沟道 Ch2 隔离。字线 WL<0>至 WL<i-3>表示第一沟道 Ch1 的未被选择的字线，并且将传统的中间通过电压 Vpass 施加到字线 WL<0>至 WL<i-3>中的每个。字线 WL<i-1>和 WL<i+1>至 WL<n-1>表示第二沟道 Ch2 的未被选择的字线（更靠近串选择线 SSL）。K 个中间通过电压 Vpass(k)施加到未被选择的字线 WL<i+1>至 WL<n-1>。施加到未被选择的字线 WL<i+1>至 WL<n-1>的多个通过电压 Vpass（i+1）至 Vpass（n-1）具有至少两个不同的电压电平。

多个中间通过电压 Vpass(k)：施加到未被选择的字线 WL<i+1>至 WL<n-1>的 Vpass（i+1）至 Vpass（n-1）可以以各种方式来分布，这些方式包括（1）单调升压的顺序、（2）单调降压的顺序、以及（3）作为提供到与所选择的字线 WL<i>相邻的一个或多个未被选择的字线

Micron Ex. 1002, p. 137
Micron v. YMTC
IPR2025-00190

（例如，WL<i+1>）的传统的通过电压 Vpass 与施加到其它未被选择的字线的多个中间通过电压 Vpass(k)的组合。不管多个中间通过电压 Vpass(k)的分布如何，当施加多个通过电压 Vpass（i+1）至 Vpass（n-1）时，第二沟道 Ch2 的自举电压 Vch2 低于如果单个通过电压 Vpass 提供到所有未被选择的字线时的情况。由此，通过施加多个中间通过电压 Vpass(k)来防止第二沟道的过度的电势增大，可以防止热载流子效应编程干扰（软编程）误差。

图 15A 是示出了向图 13 的闪速存储器件 400 中的 NAND 单元单位 131 中的第二沟道 Ch2 的未被选择的字线 WL<i+1>至 WL<n-1>施加升压顺序的多个中间通过电压 Vpass(k)，以及相邻的沟道电势 Vch1 和 Vch2 产生的大致相等化的时序图。

参照图 13、图 14、图 15A、图 15B 和图 15C，在写入（编程）模式的操作过程中，在等于或大于 WL<x>（例如，WL<22>≤WL<i>≤WL<31>，x=22）的字线被编程的同时，多通过电压 Vpass(k)发生器 413 同时产生 k 个（至少两个）不同的电压，这些不同的电压将被施加到图 13 的闪速存储器件 400 中的 NAND 单元单位 131 中的第二沟道 Ch2 的 WL<i+1>至 WL<n-1>。

在图 15A 中，施加到 WL<i+1>至 WL<n-1>的多个通过电压 Vpass(k)以单调递增的顺序分布。由此，Vpass(i+1)<Vpass(i+2)<Vpass(i+3)...<Vpass(n-1)。结果，即使在时间 t3~t5 内高编程电压施加到 WL<i>时，第二沟道 Ch2 的过度的自举也被抑制。沟道电势 Vch1 和 Vch2 之间的差（Vch2-Vch1）与等式 2 中表示的条件一致。由此，通过防止第二沟道的过度的电势增大，可以防止热载流子效应程序干扰（软编程）误差。

图 15B 是示出了向图 13 的闪速存储器件 400 中的 NAND 单元单位 131 中的未被选择的字线 WL<i+1>至 WL<n-1>施加降压顺序的多个

Micron Ex. 1002, p. 138
Micron v. YMTC
IPR2025-00190

（降压）中间通过电压 Vpass(k)，以及相邻的沟道电势 Vch1 和 Vch2 产生的大致相等化的时序图。

在图 15B 中，施加到 WL<i+1>至 WL<n-1>的多个通过电压 Vpass(k)以单调递减的顺序分布。由此，Vpass(i+1)>Vpass(i+2)>Vpass(i+3)...>Vpass(n-1)。结果，即使在时间 t3~t5 内高编程电压施加到 WL<i>时，第二沟道 Ch2 的过度的自举也被抑制。沟道电势 Vch1 和 Vch2 之间的差（Vch2-Vch1）与等式 2 中表示的条件一致。由此，通过防止第二沟道的过度的电势增大，可以防止热载流子效应程序干扰（软编程）误差。

图 15C 是示出了向图 13 的闪速存储器件 400 中的 NAND 单元单位 131 中的未被选择的字线 WL<i+1>至 WL<n-1>施加传统的通过电压 Vpass 加上各种多个中间通过电压 Vpass(k)，以及相邻的沟道电势 Vch1 和 Vch2 产生的大致相等化的时序图。图 15A、图 15B 和图 15C 所示的多个中间通过电压 Vpass(k)没有按比例绘制。

在图 15C 中，分布多个通过电压 Vpass(k)和传统的通过电压 Vpass 并将其施加到字线 WL<i+1>至 WL<n-1>。由此，Vpass(i+1)=Vpass(i+2)=... Vpass(i+l)，而 Vpass(i+l)<Vpass(n-3)<Vpass(n-2)<Vpass(n-1)。这样防止了所选择的字线 WL<i>与相对低压的通过电压相邻。结果，即使在时间 t3~t5 内将高编程电压施加到 WL<i>，第二沟道 Ch2 的过度的自举也被抑制。沟道电势 Vch1 和 Vch2 之间的差（Vch2-Vch1）与等式 2 中表示的条件一致。由此，通过防止第二沟道的过度的电势增大，可以防止热载流子效应程序干扰（软编程）误差。

图 16A 和图 16B 描述了与沟道电势 Vch1 和 Vch2 相关的数据。图 16A 描绘了当对所有页（例如，WL<1>至 WL<31>）中的 1 位（二进制）数据顺序编程时，在闪速存储器件中的 NAND 单元单位 131 中传

Micron Ex. 1002, p. 139
Micron v. YMTC
IPR2025-00190

统地产生的沟道电势（Vch1▲，Vch2（现有的）■）。图 16B 描绘了当对所有页（例如，WL<1>至 WL<31>）中的 1 位（二进制）数据顺序编程时，在闪速存储器件中的 NAND 单元单位 131 中产生的沟道电势（Vch1▲，Vch2（现有的）■）之间的差■（Vch1-Vch2（现有的））。如图 16A 和图 16B 所示，当在与串选择线（SSL）和位线最近的页（例如，WL<23>至 WL<31>）中进行编程时，在闪速存储器件中的 NAND 单元单位 131 中产生的沟道电势（Vch1▲，Vch2（现有的）■）之间的差■（Vch1-Vch2（现有的））急剧增大，其中，等式 1 中的数 N 的值变得越来越小。由此，在与串选择线（SSL）和位线最近的页（例如，WL<23>至 WL<31>）中进行编程的过程中，在闪速存储器件中更可能出现热载流子效应（HCE）软编程（编程干扰）误差。

图 16A 附加地描述了当对所有的页（例如，WL<23>至 WL<31>）中的 1 位（二进制）数据顺序编程时，根据本发明的示例性实施例的闪速存储器件中的 NAND 单元单位 131 中产生的沟道电势（Vch1▲，Vch2（新的）●）。图 16B 附加地描述了当对所有的页（例如，WL<23>至 WL<31>）中的 1 位（二进制）数据顺序编程时，根据本发明的示例性实施例的闪速存储器件中的 NAND 单元单位 131 中产生的沟道电势（Vch1▲，Vch2（新的）●）之间的差● (Vch1 - Vch2(新的))。如图 16B 所示，在与串选择线（SSL）和位线最近的页（例如，WL<23>至 WL<31>）中进行编程的过程中，根据本发明的示例性实施例的闪速存储器件中的 NAND 单元单位 131 中产生的沟道电势（Vch1▲，Vch2（新的）●）之间的差● (Vch1 - Vch2(新的)) 没有根据等式 1 急剧增大。由此，在根据本发明的实施例的闪速存储器件中，在与串选择线（SSL）和位线最近的页（例如，WL<23>至 WL<31>）中进行编程的过程中，较不可能出现热载流子效应（HCE）软编程（编程干扰）误差。

图 17 是包括适于使根据本发明的另一示例性实施例的图 1 的 NAND 单元单位 131 中的相邻的沟道电势 Vch1 和 Vch2 基本上相等的外围电路 110、120、240 和 250 的闪速存储器件 500 的框图。除了没

Micron Ex. 1002, p. 140
Micron v. YMTC
IPR2025-00190

有用独特（distinct）的建立数据贮存单元 160 来实现存储器件 500 之外，存储器件 500 可以与图 2 的存储器件 200 或在以上公开的其它示例性实施例相同。利用闪速存储器阵列 130 的专用的建立数据区 535 来存储建立数据（例如，WL<x>或 Loop<y>），在图 17 中已经实现了图 2 的建立数据贮存单元 160 的建立数据贮存功能。

图 18 是分别用在图 2 的存储器件 100、图 6 的存储器件 200、图 10 的存储器件 300、图 13 的存储器件 400 或图 17 的存储器件 500 的可选实施例中的集成电路中形成的电荷捕获型 NAND 单元单位 131-2 的剖视图。

示例性的存储器件包括形成在电介质层上方的多晶硅（“多晶硅”，poly-Si）栅 10、20、30、40 和 50，其中，电介质层包括夹在氧化硅层 620 和 640 之间的氮化硅层 630，这被称作 SONOS（硅-氧化物-氮-氧化物-半导体）。电荷贮存介质可以包括阻挡绝缘层 620、电荷贮存层 630 和隧穿绝缘层 640。通过引用合并于此的美国专利第 6,85,8906 号、第 7,253,467 号和第 20060180851 号描述了该种电荷贮存介质。

浮动捕获型非易失性存储器件利用用于存储操作的诸如氮化硅层 630 中出现的捕获电平的捕获电平（trap level）。当正电压施加在栅电极（例如，10）上时，电子隧穿穿过隧穿绝缘层 640，以被捕获在电荷贮存层 630 中。随着电子积累在电荷贮存层 630 中，存储器单元晶体管的阈值电压增大，并且存储器件被编程。因此，单元存储器件的阈值电压减小，并且存储器件变成被擦除。

图 19 是包括根据上述的本发明的至少一个实施例的闪速存储器件 720（例如 100、700、300、400、500） 的存储卡的框图。存储卡 700 连接到主机（Host）并从主机接收基于小块的逻辑地址（small block based logical address）和用户数据。存储卡 700 包括主机接口 713、存储器控制器/接口 715、闪速存储器件 720、微处理器（CPU）712、随

Micron Ex. 1002, p. 141
Micron v. YMTC
IPR2025-00190

机存取存储器 RAM 711、以及误差检查和校正（ECC）单元 714。主机接口 713 从主机接收信号，并将接收到的信号通过总线传输到存储卡 700 的预定的组件。闪速存储器件 720 包括多个存储块，每个存储块包括共享控制线（例如，字线 WL<>、SSL 和 GSL）的多个 NAND 单元单位 131。存储器控制器/接口 715 响应于来自主机的控制命令来控制主机和存储器件 720 中的 NAND 存储器单元晶体管之间的数据流动。当存储卡 700 被驱动时，RAM 711 暂时存储数据。

主机的示例包括个人计算机、文件服务器、外围装置、无线装置、数码相机、个人数字助理（PDA）、MP3 音频播放器、MPEG 视频播放器和录音机。可移动的存储卡典型地具有拥有预定的形式因素和接口的壳体，例如 SD（安全数码卡）、MS（记忆棒）、CF（紧凑式闪存卡）、SMC（智能媒体卡）、MMC（多媒体卡）或 XD（XD-图卡）、PCMCIA、CardBus、IDE、EIDE、SATA、SCSI、例如 USB 闪存驱动的通用串行总线等。

图 20 是包括具有根据上述的本发明的至少一个实施例的闪速存储器件 812（例如 100、200、300、400、500）的闪速存储器系统 810 的计算机系统 800 的框图。闪速存储器件 812 耦合到存储器控制器 811，用于对闪速存储器件 812 中的闪速存储器晶体管阵列（例如，参见图 2 中的 130）进行存取。与存储器控制器 811 耦合的闪速存储器件 812 形成了计算机系统 800 的一部分。计算机系统 800 的示例包括个人计算机、外围装置、无线装置、数码相机、个人数字助理（PDA）、MP3 音频播放器、MPEG 视频播放器、数码录音机和数码录影机。闪速存储器系统 810 可以是基于存储卡的硬驱动、固态驱动器（SSD）、混合（SSD/磁）盘、相机图像处理器（CIS）、应用芯片组（application chipset）或者与 CPU 820 集成的记忆核心（memory core）。固态驱动器（SSD）是典型地仿效传统的硬盘驱动器（HDD）的数据贮存装置，因此容易在多数应用中替代 HDD。与 HDD 的旋转盘介质相比，SSD 利用固态的 NAND 闪速存储器件来存储数据。没有采用移动部件，SSD 很大程

Micron Ex. 1002, p. 142
Micron v. YMTC
IPR2025-00190

度上消除了与传统的 HDD 相关联的寻道时间、等待时间（latency）和其它电机延迟和故障。

图 20 的闪速存储器系统 800 的存储器件 812 通过存储器控制器 811 从系统总线 860 接收经过控制线的控制信号，以控制对存储器件 812 中的存储器晶体管阵列 130 的存取。对存储器件 812 中的存储器晶体管阵列 130 的存取指向利用集成的外围电路并通过存储器件 812 中的字线 WL< >和位线 BL< >的一个或多个的目标存储器单元晶体管 MC< >。一旦响应于控制信号和地址信号对存储器单元晶体管阵列进行存取，通过存储器件 812 中的集成的外围电路，将数据写入存储器晶体管或者从存储器晶体管读取数据。

图 20 的计算机系统 800 中的存储器件 812，和图 19 的存储卡 700 中的存储器件 720 可以以各种封装类型安装，其中，各种封装类型包括球栅阵列（BGA）、芯片级封装（CSP）、塑料有引线芯片载体（PLCC）、塑料双列直插式封装（PDIP）、多芯片封装（MCP）、晶圆级构造封装（WFP）、晶圆级堆叠封装（WSP）。

要注意的是，在上述的示例性实施例中和以下的权利要求中，n 和 m 是在制造闪速存储器件的设计阶段确定的固定整数，并且 i、x、j 和 y 是正整数变量。另外，在上述的时序图中，所叙述的诸如电压电平的参数可以不按比例绘制。

由此已经描述了本发明的示例性实施例，应理解的是，由于在不脱离下文要求的本发明的精神或范围的情况下其许多明显的变化是可能的，因此由所附的权利要求限定的本发明将不受以上描述中阐述的特定细节的限制。

Micron Ex. 1002, p. 143
Micron v. YMTC
IPR2025-00190

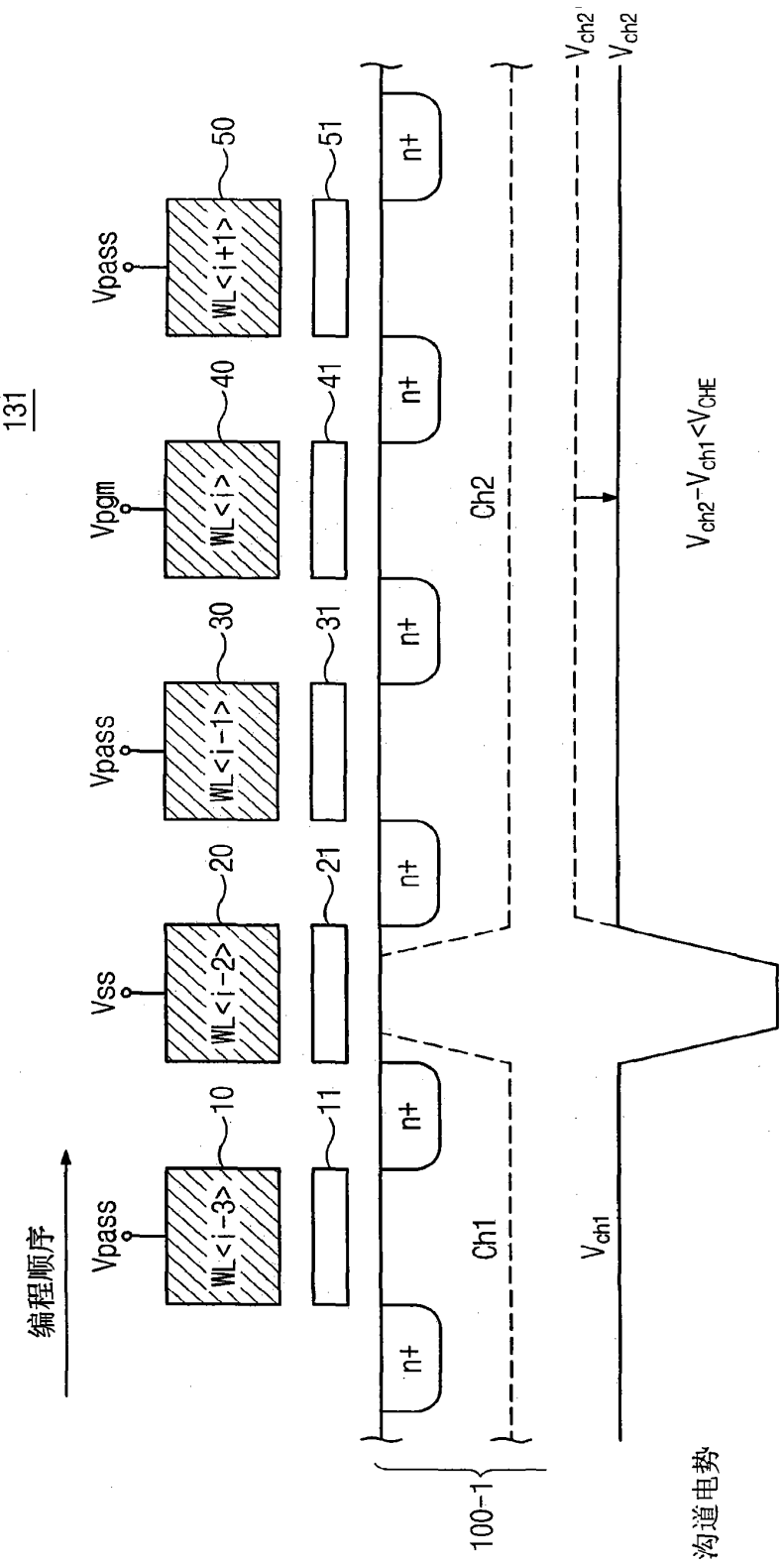


图1

Micron Ex. 1002, p. 144
Micron v. YMTC
IPR2025-00190

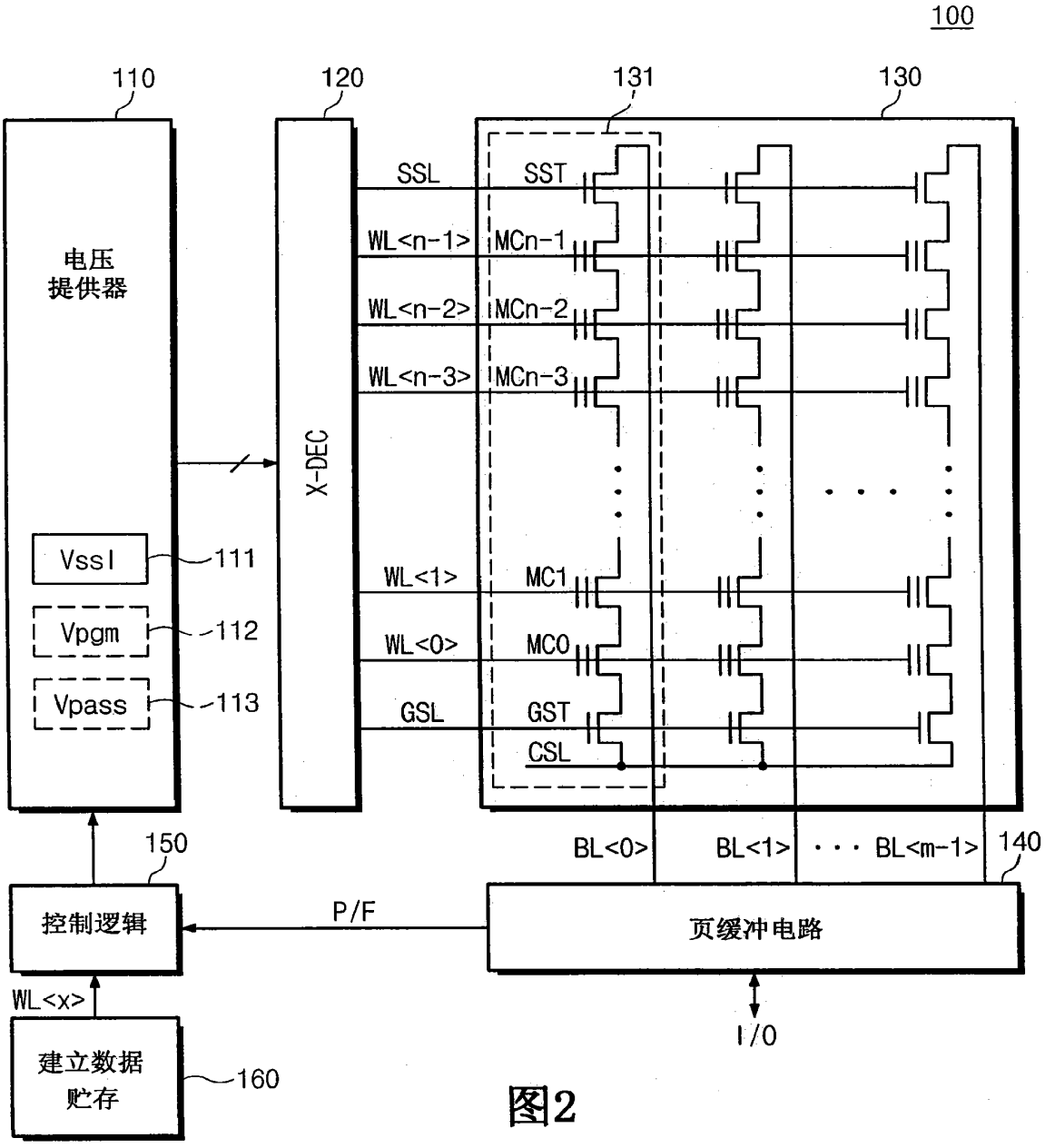


图2

Micron Ex. 1002, p. 145
Micron v. YMTC
IPR2025-00190

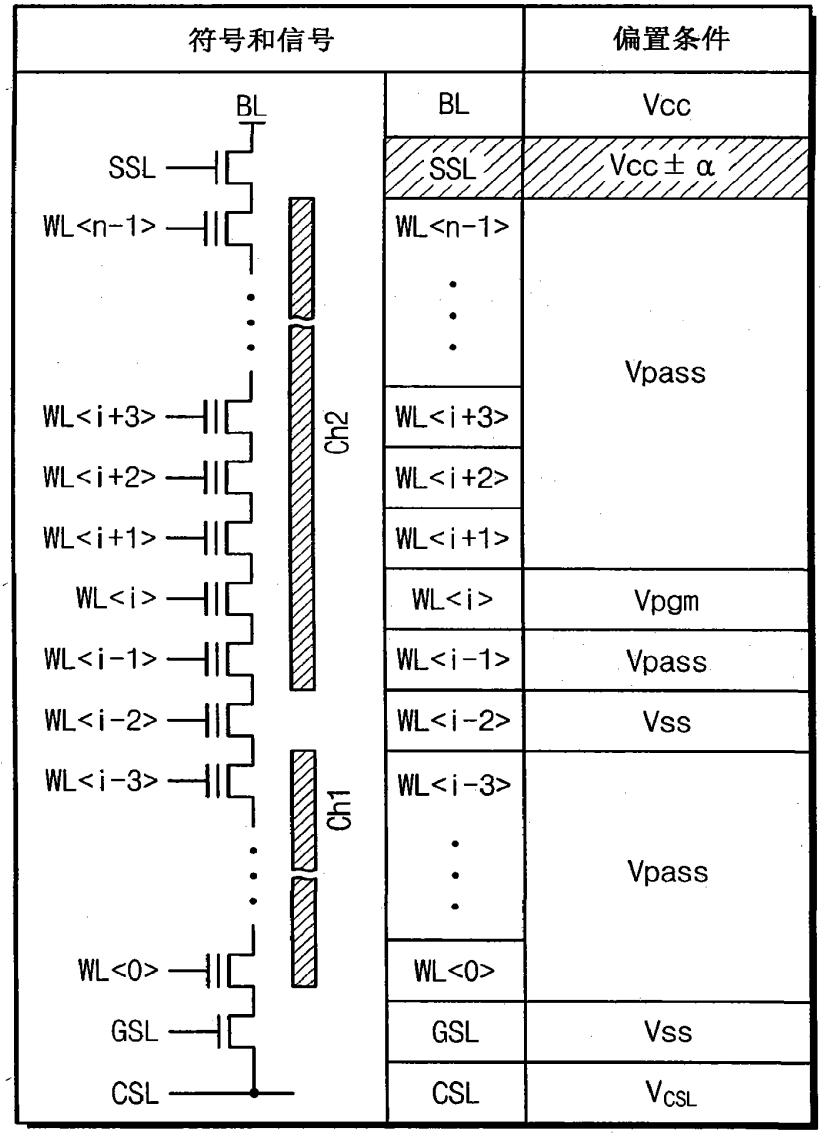


图3

Micron Ex. 1002, p. 146
Micron v. YMTC
IPR2025-00190

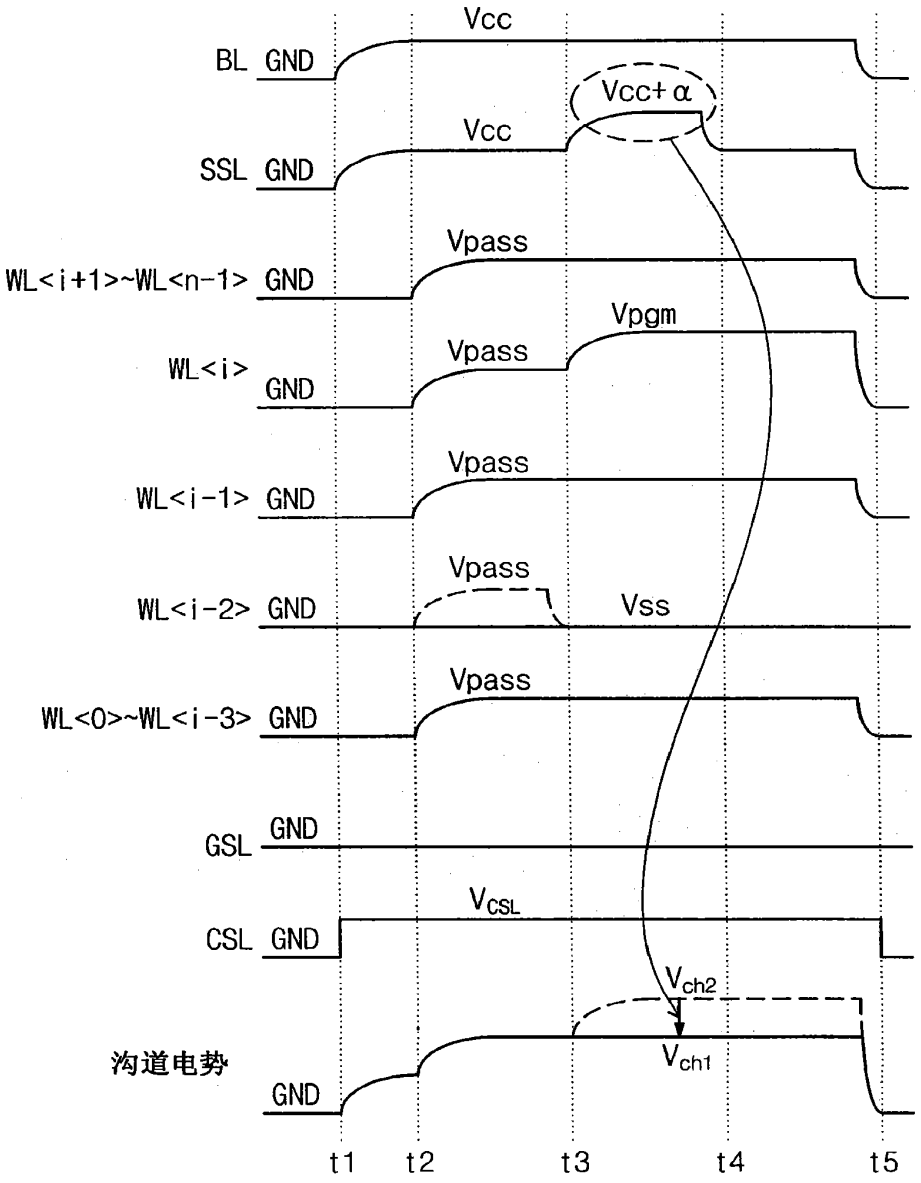


图4

Micron Ex. 1002, p. 147
Micron v. YMTC
IPR2025-00190

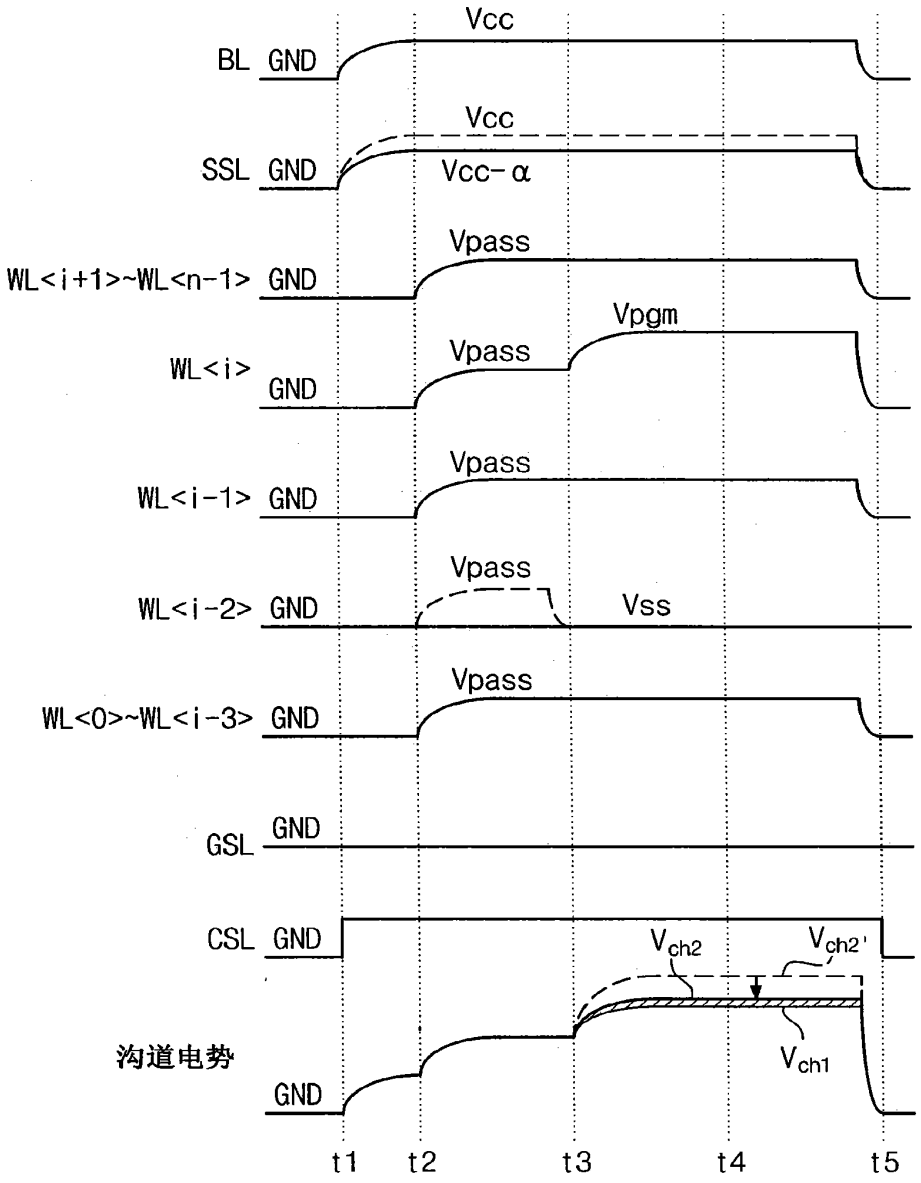


图5

Micron Ex. 1002, p. 148
Micron v. YMTC
IPR2025-00190

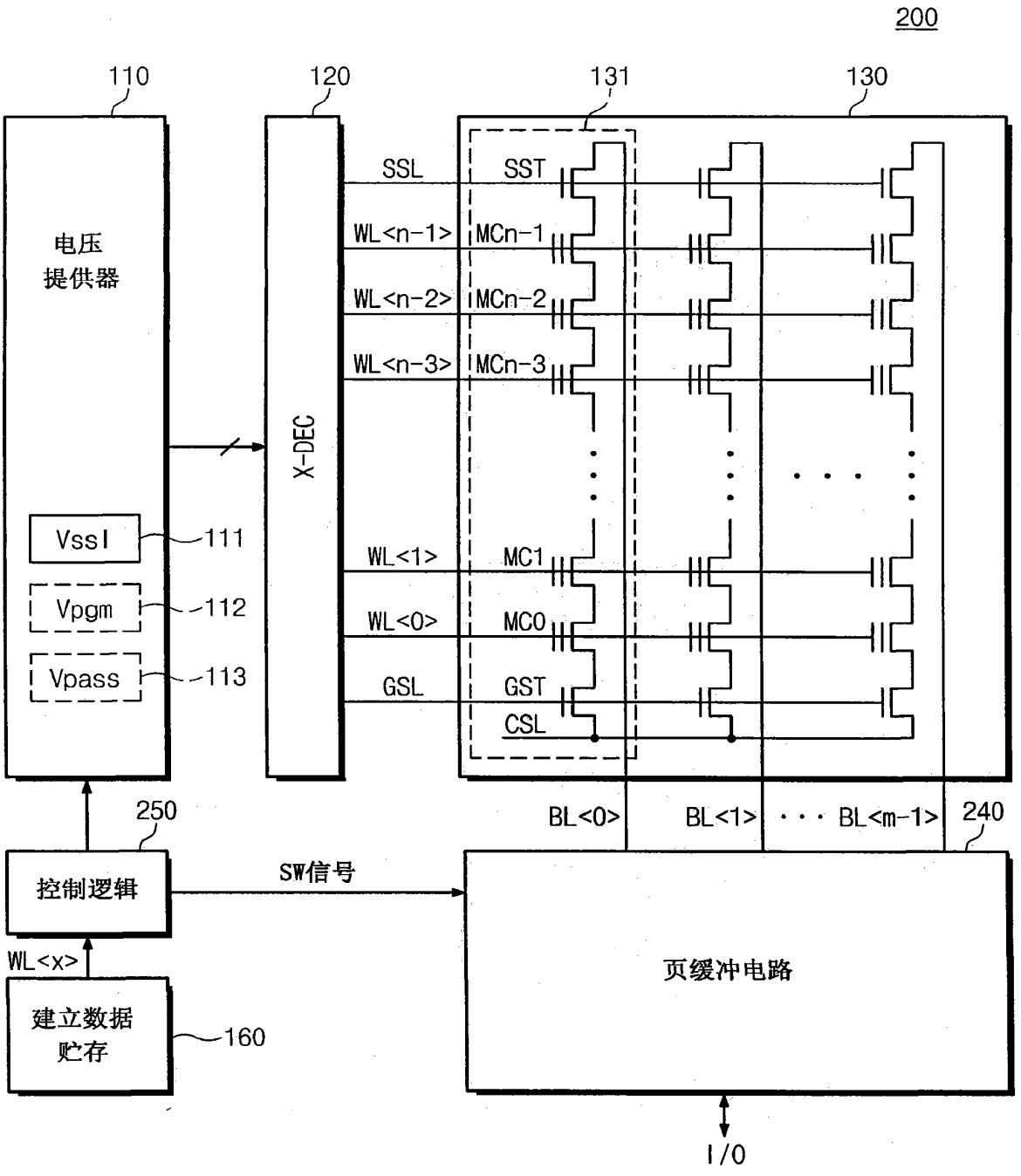


图6

Micron Ex. 1002, p. 149
Micron v. YMTC
IPR2025-00190

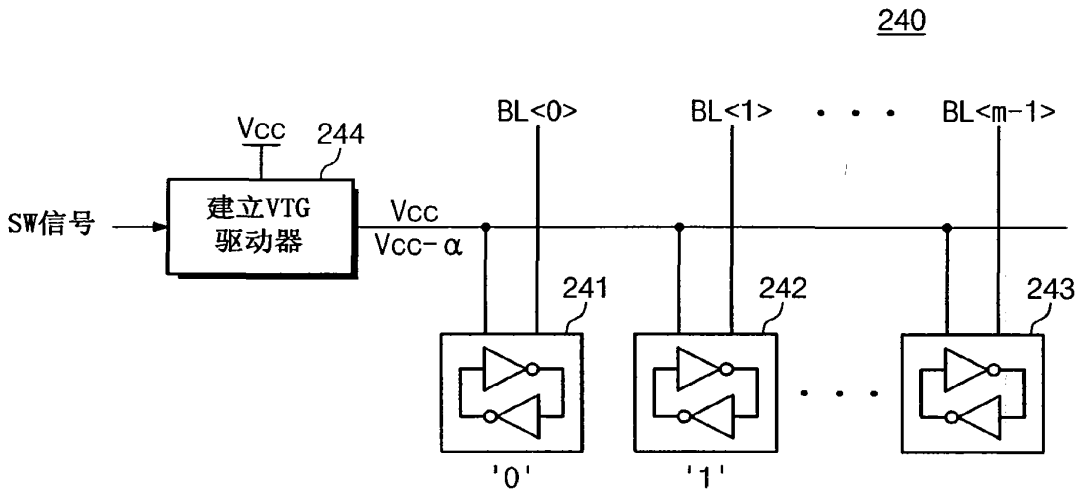


图7A

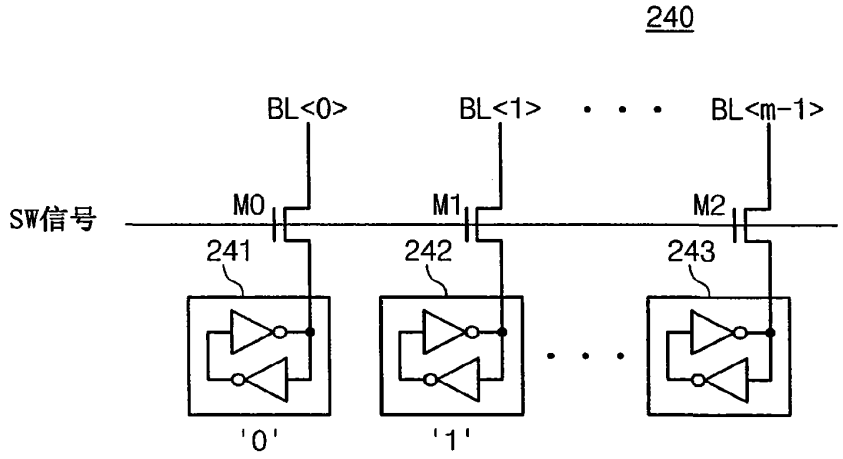


图7B

Micron Ex. 1002, p. 150
Micron v. YMTC
IPR2025-00190

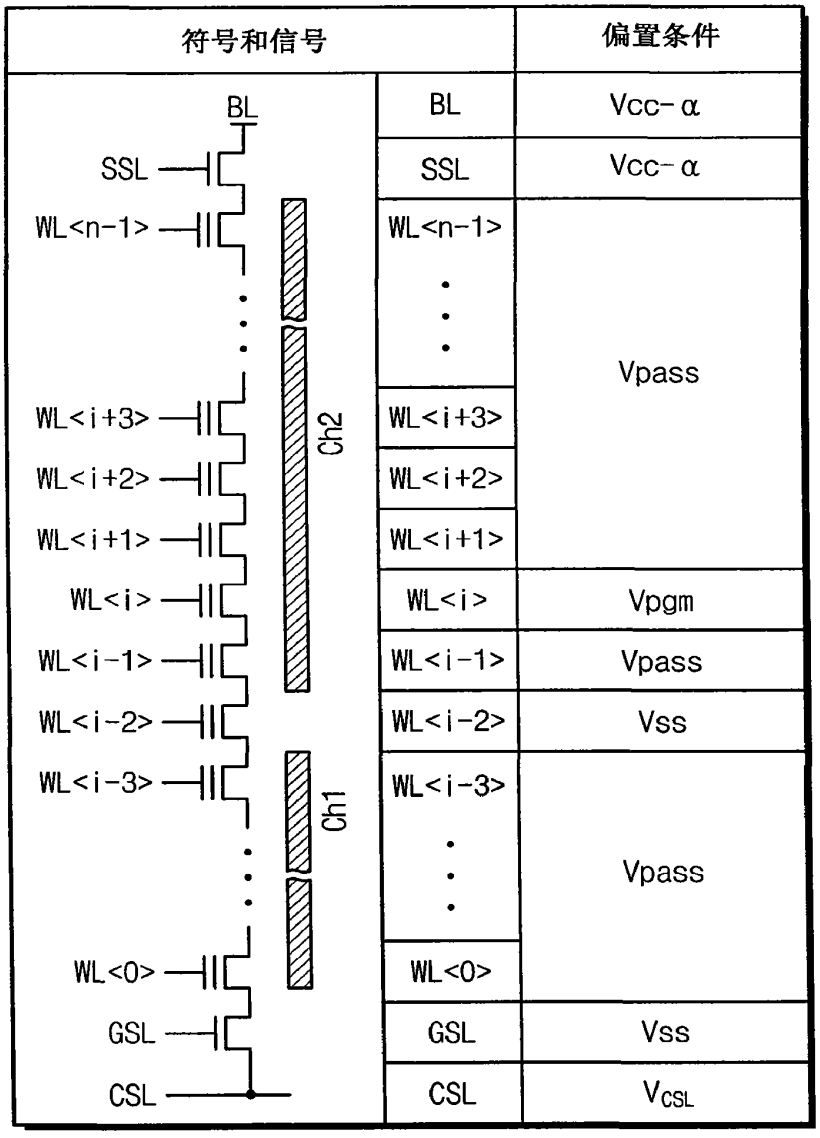


图8

Micron Ex. 1002, p. 151
Micron v. YMTC
IPR2025-00190

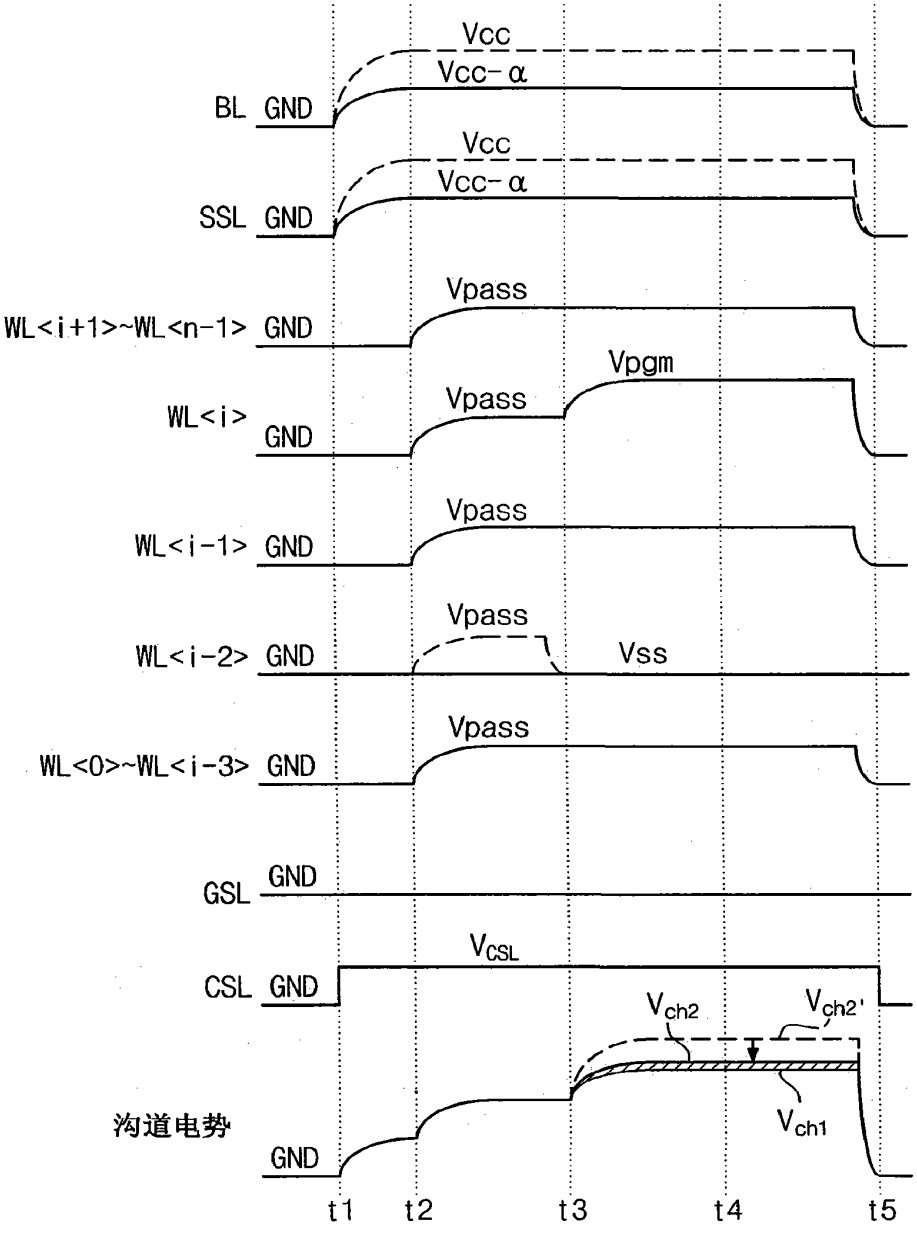


图9

Micron Ex. 1002, p. 152
Micron v. YMTC
IPR2025-00190

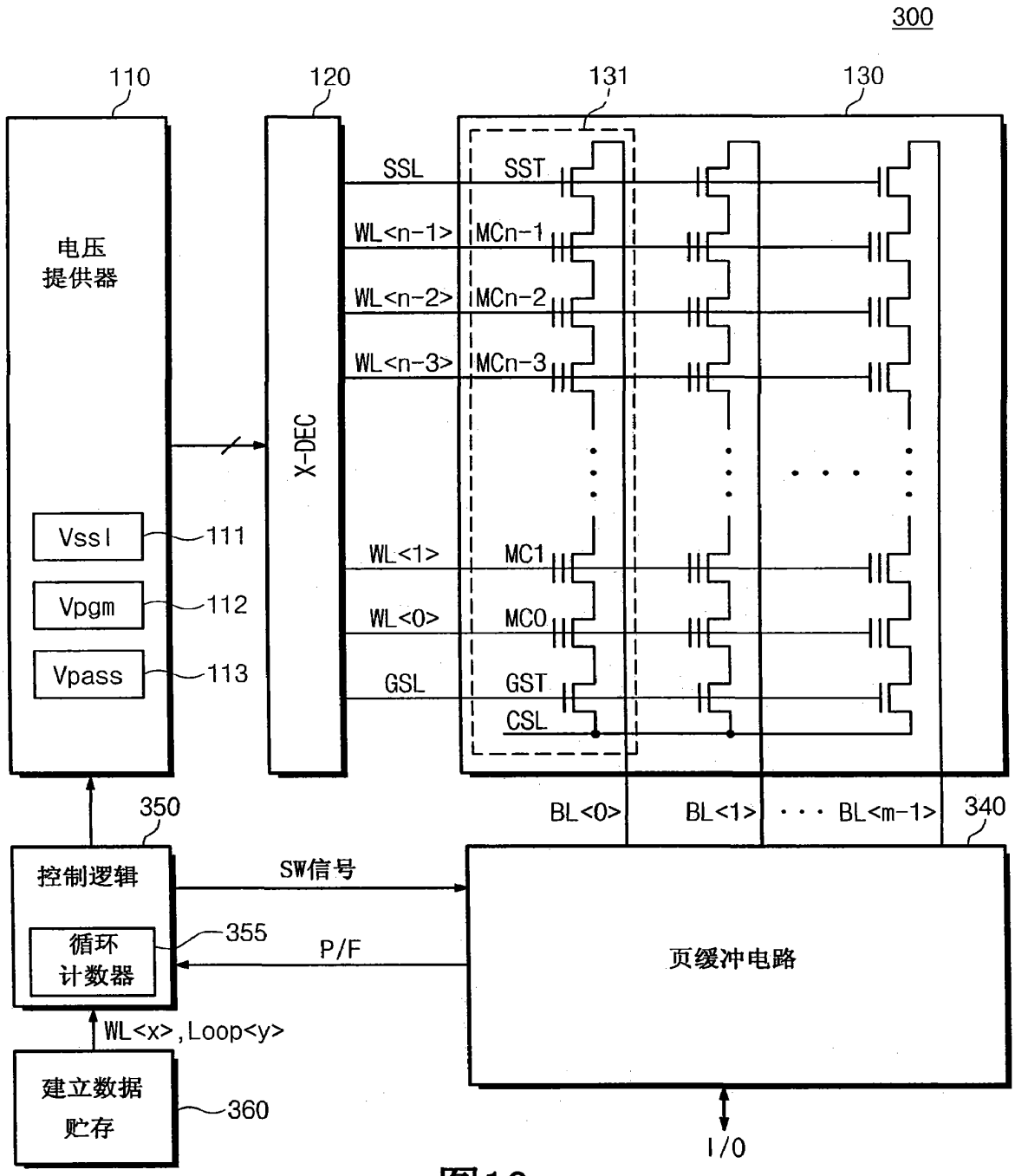


图10

Micron Ex. 1002, p. 153
Micron v. YMTC
IPR2025-00190

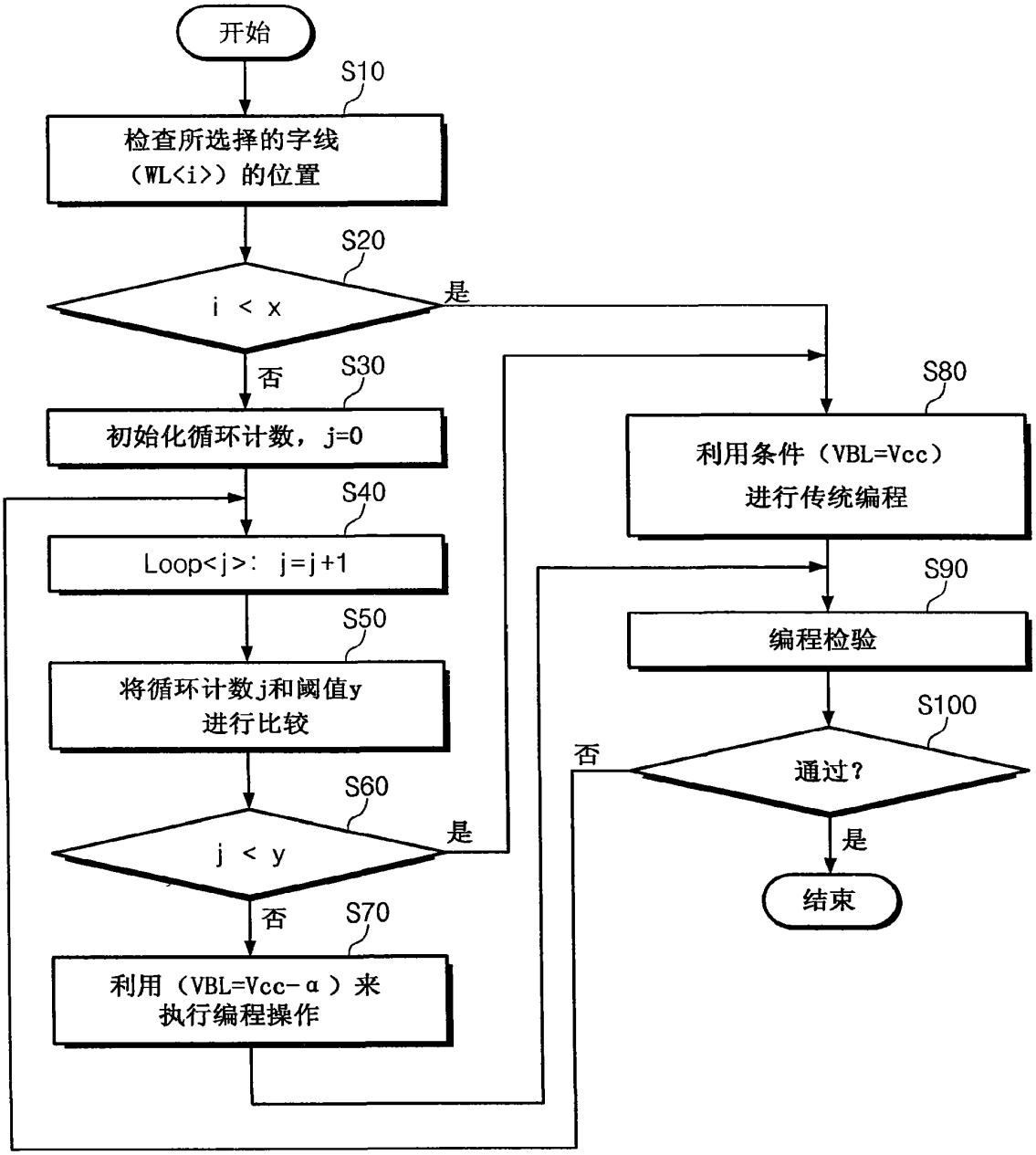


图11

Micron Ex. 1002, p. 154
Micron v. YMTC
IPR2025-00190

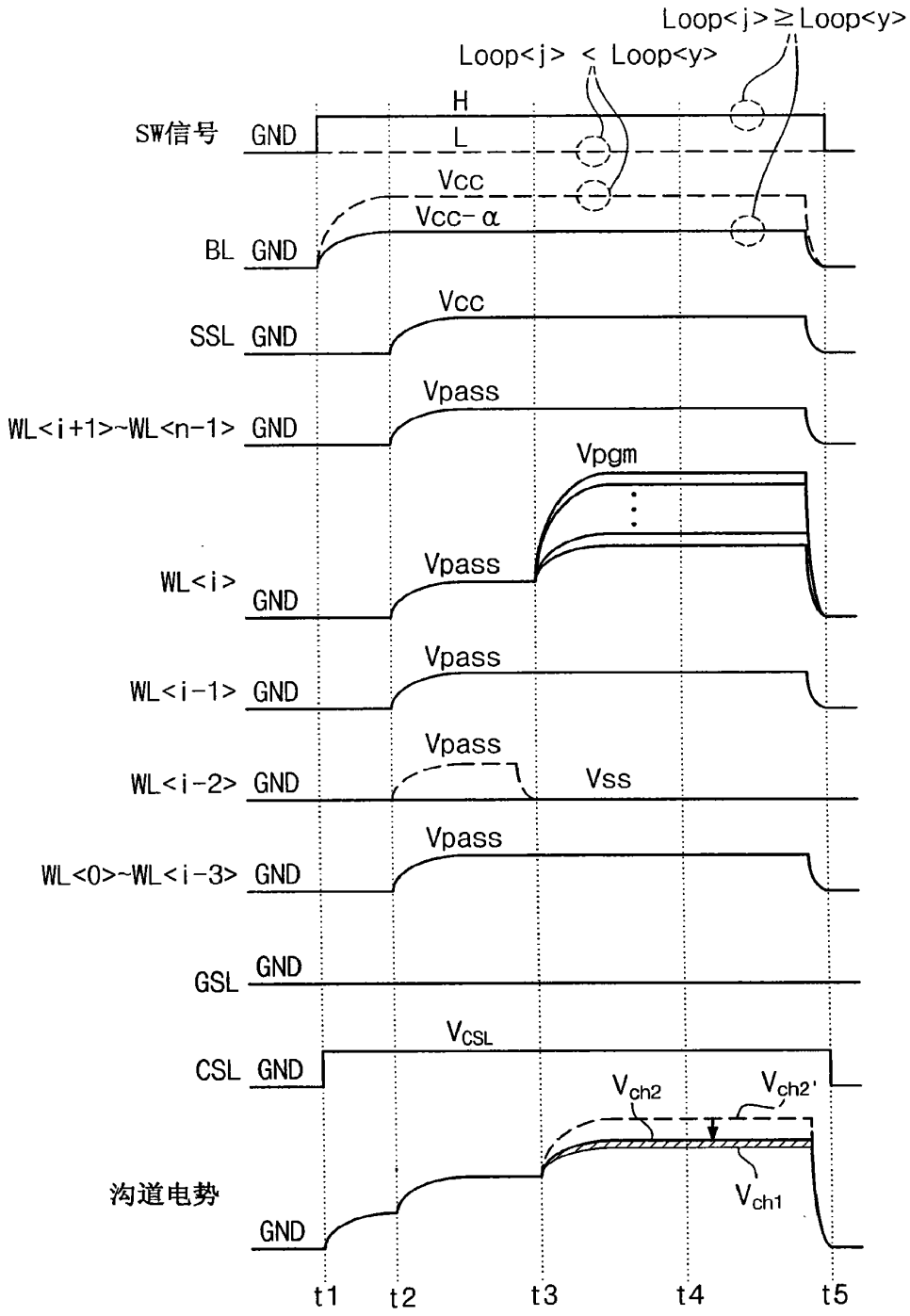


图12

Micron Ex. 1002, p. 155
Micron v. YMTC
IPR2025-00190

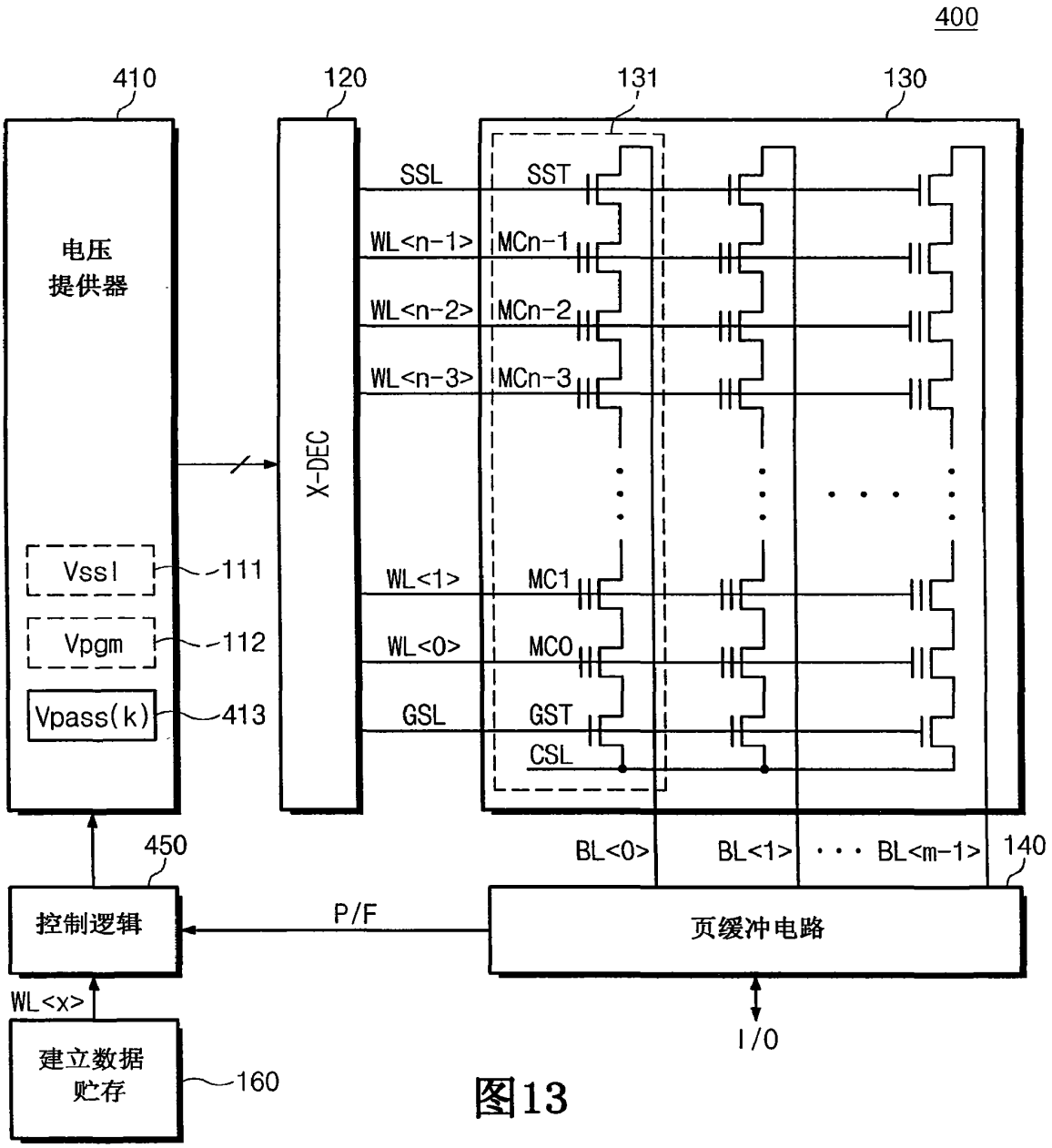
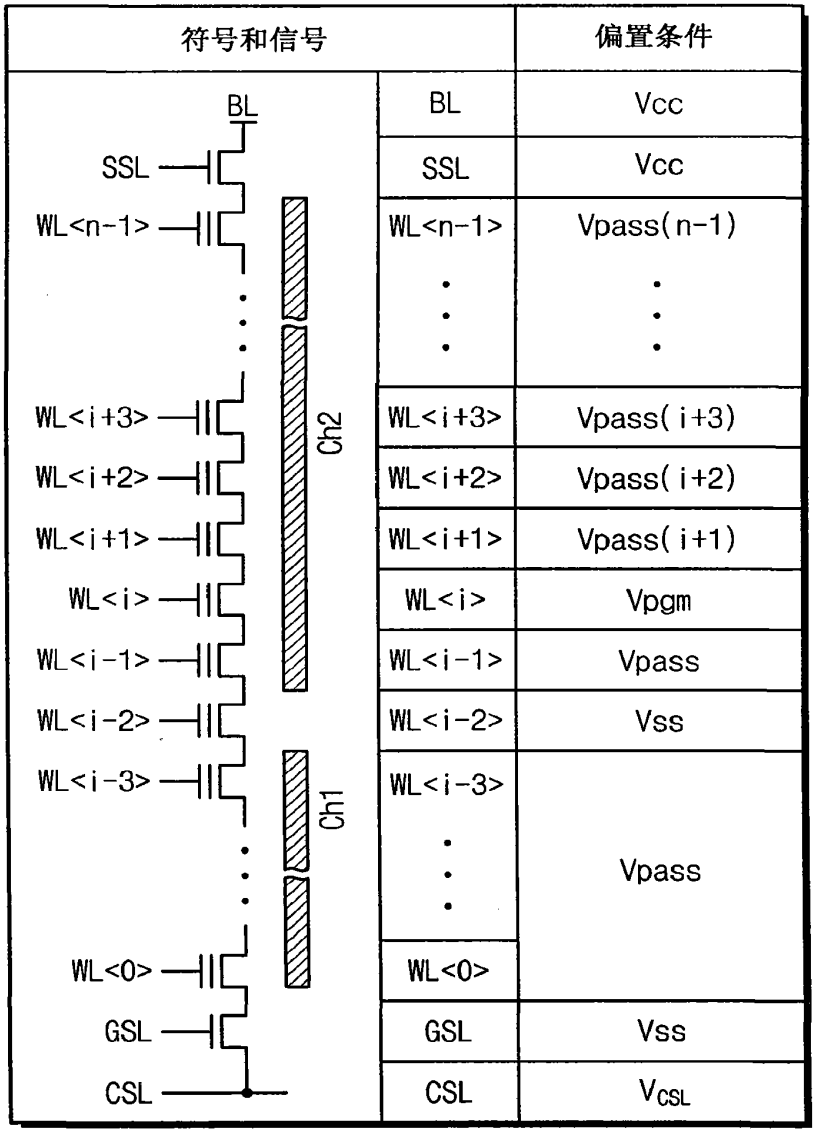


图13

Micron Ex. 1002, p. 156
Micron v. YMTC
IPR2025-00190



情况
① Vpass(i+1) < Vpass(i+2) < ··· Vpass(n-1)
② Vpass(i+1) > Vpass(i+2) > Vpass(i+3) > ··· >Vpass(n-1)
③ Vpass(i+1) ~ Vpass(i+ℓ) = Vpass,
Vpass(i+ℓ+1) ~ Vpass(n-1) =多个通过电压

图14

Micron Ex. 1002, p. 157
Micron v. YMTC
IPR2025-00190

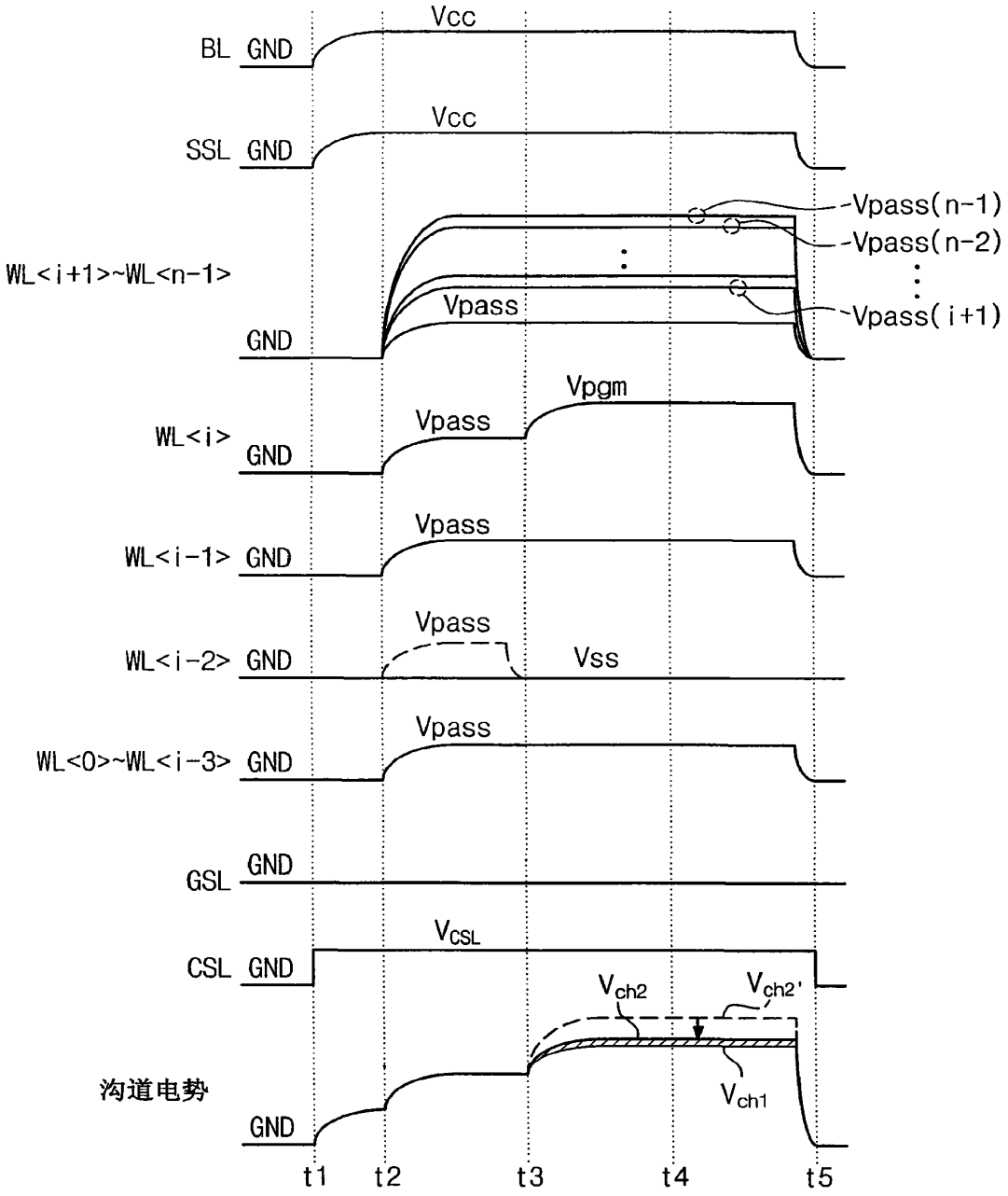


图15A

Micron Ex. 1002, p. 158
Micron v. YMTC
IPR2025-00190

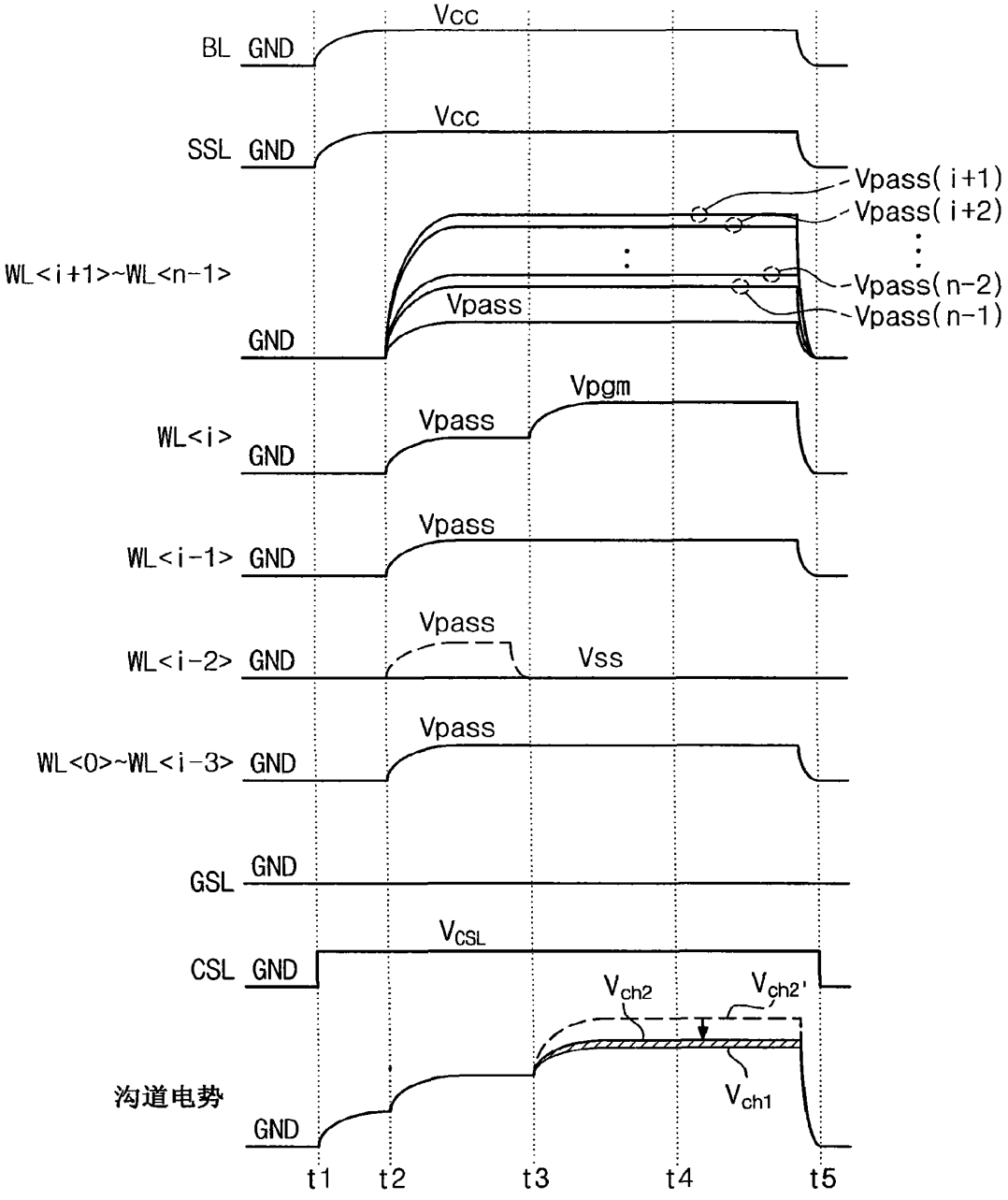


图15B

Micron Ex. 1002, p. 159
Micron v. YMTC
IPR2025-00190

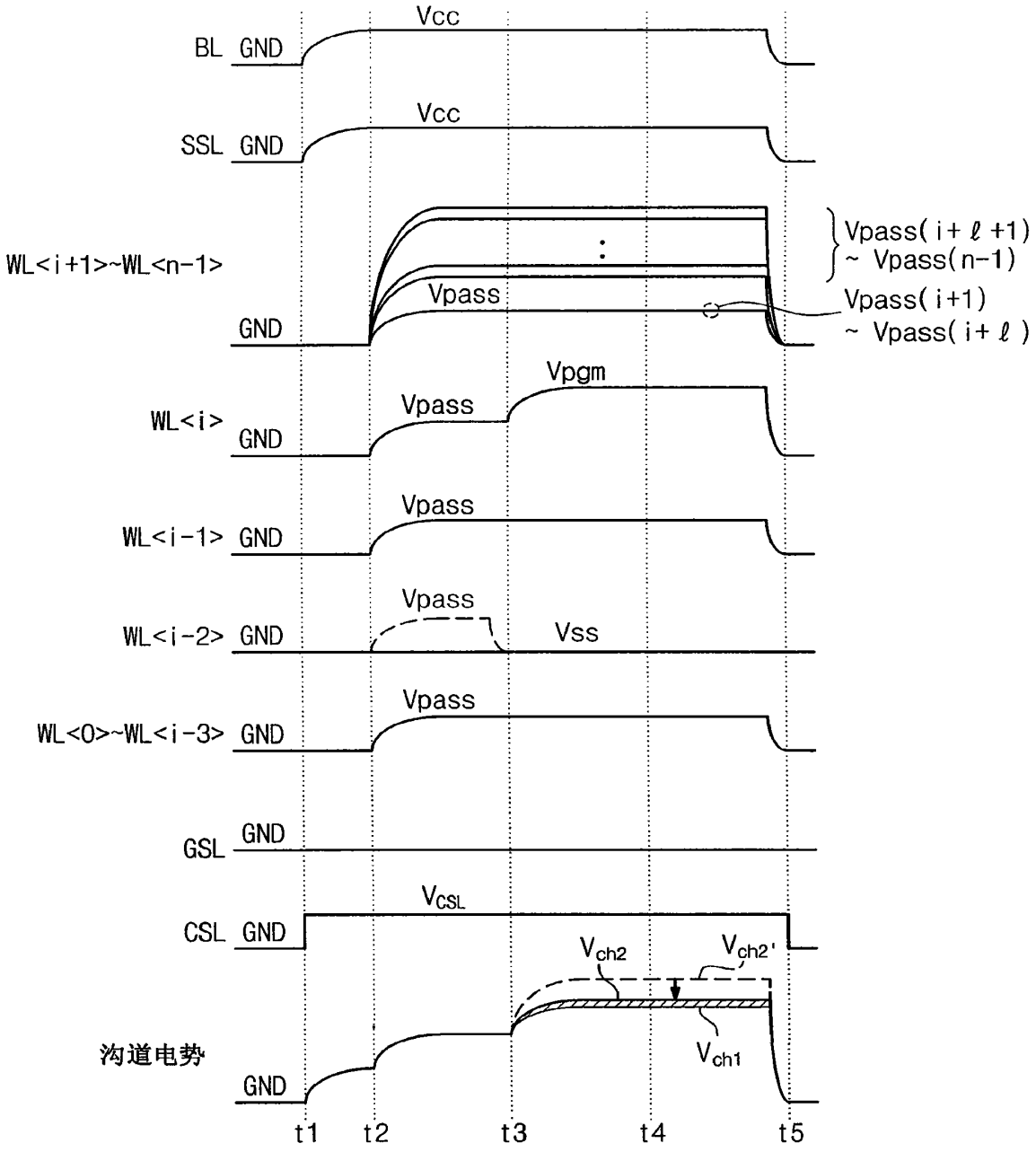


图15C

Micron Ex. 1002, p. 160
Micron v. YMTC
IPR2025-00190

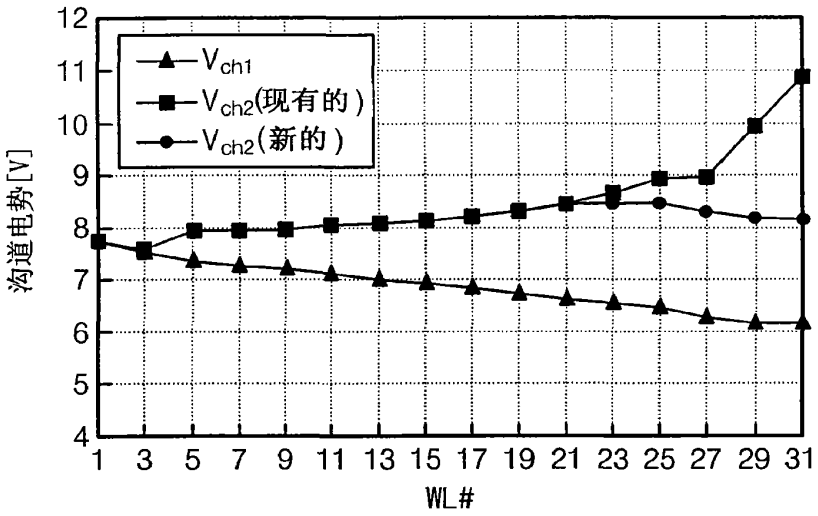


图16A

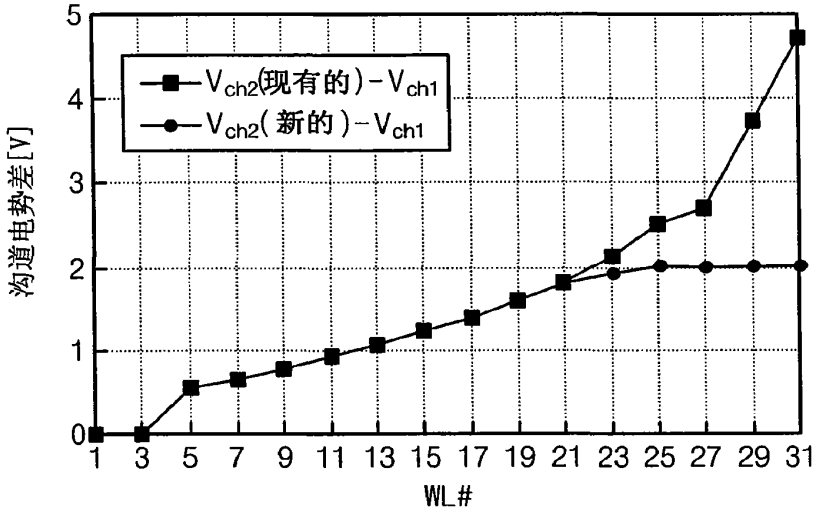


图16B

Micron Ex. 1002, p. 161
Micron v. YMTC
IPR2025-00190

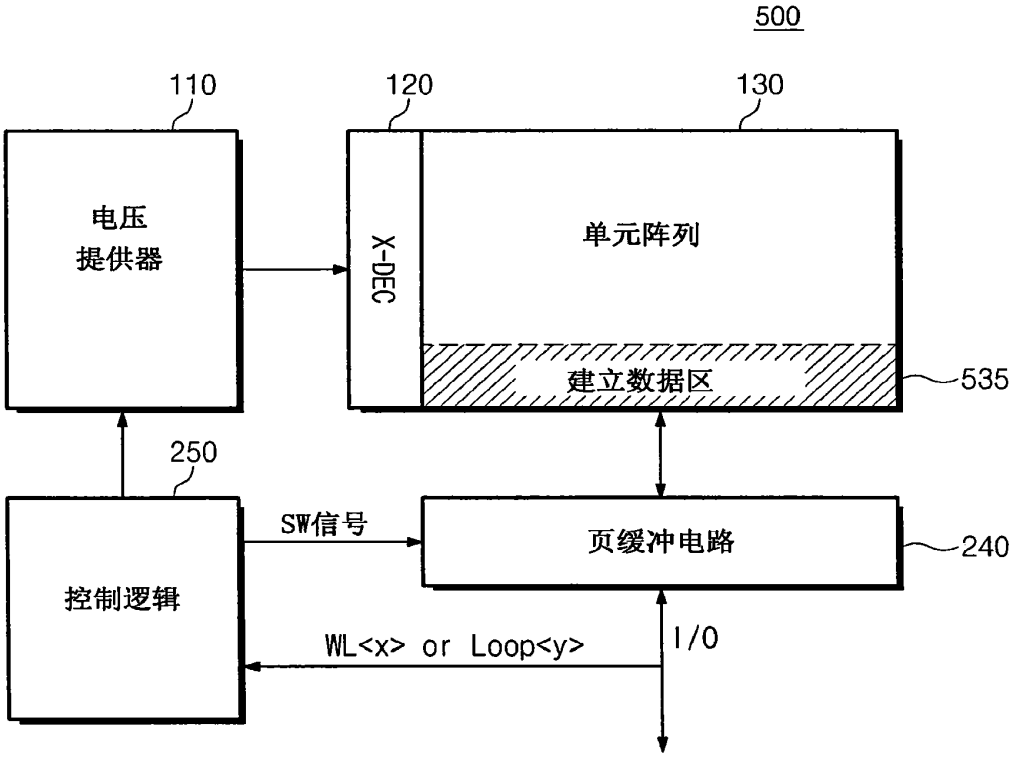


图17

Micron Ex. 1002, p. 162
Micron v. YMTC
IPR2025-00190

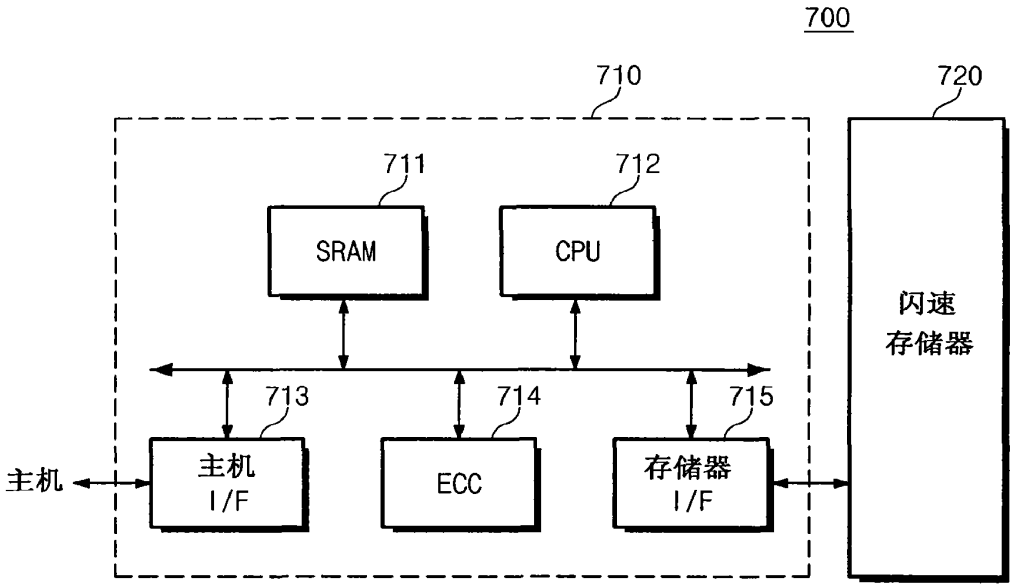


图19

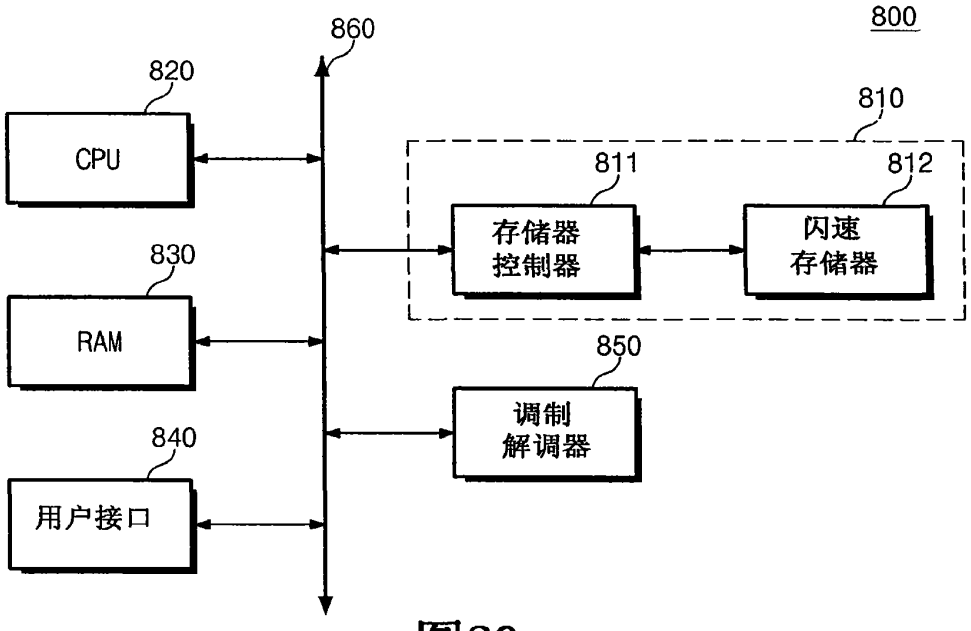


图20

Micron Ex. 1002, p. 163
Micron v. YMTC
IPR2025-00190

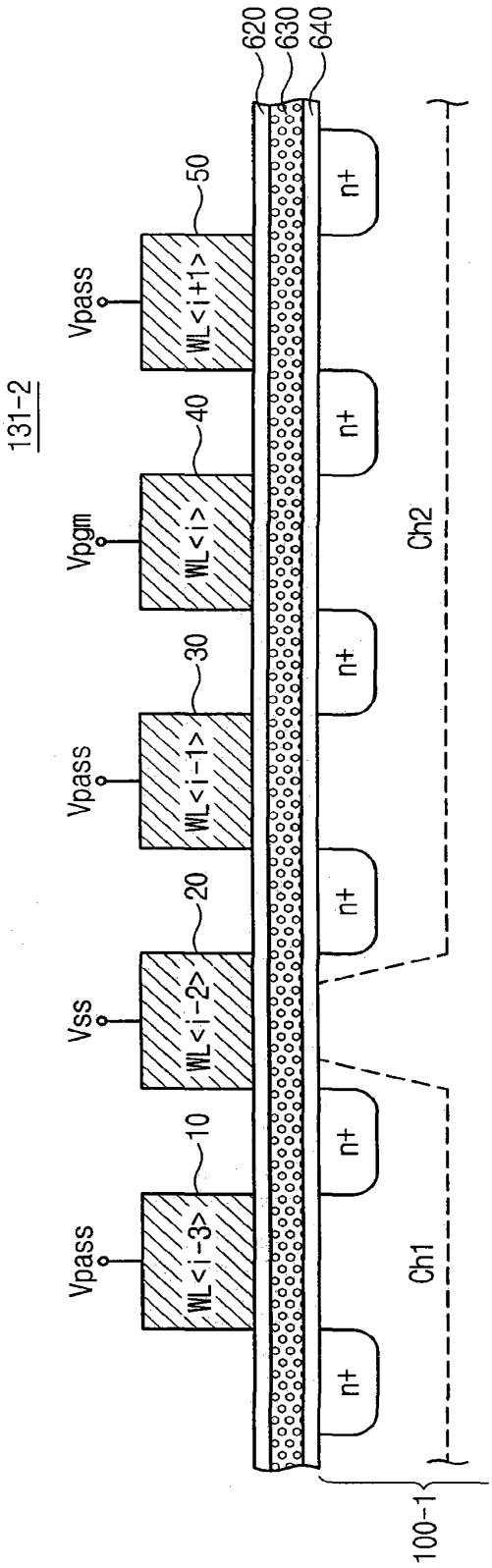


图18

Micron Ex. 1002, p. 164
Micron v. YMTC
IPR2025-00190

The English-language equivalent US Published Application (No. 2010/0124119 A1) of CN (No. 101740129) is hereby presented to fulfill the 37 CFR 1.98(a)(3) requirement.

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 101740129 A
(43)申请公布日 2010.06.16

(21)申请号 200910220889.3

(22)申请日 2009.11.16

(30)优先权数据
10-2008-0113531 2008.11.14 KR

(71)申请人 三星电子株式会社
地址 韩国京畿道水原市

(72)发明人 李昌炫 崔正达 崔炳仁

(74)专利代理机构 北京铭硕知识产权代理有限公司 11286
代理人 韩明星 王艳娇

(51)Int.Cl.
G11C 16/26(2006.01)

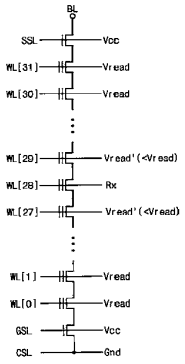
权利要求书 2 页 说明书 13 页 附图 17 页

(54)发明名称

非易失性存储装置及其读取方法

(57)摘要

本发明构思的目的在于提供一种因补偿闪速存储单元的阈值电压而具有改善的可靠性的非易失性存储装置及其读取方法。根据本发明构思的非易失性存储装置包括：存储单元阵列，连接到多条字线；电压产生器，用于在执行读取操作时，将选择的读取电压提供到所述多条字线中的选择的字线，将未选的读取电压提供到所述多条字线中的未选的字线。电压产生器根据未选的字线是否与选择的字线相邻而产生电平不同的未选的读取电压。根据本发明构思的非易失性存储装置补偿因各种原因而升高或降低的阈值电压。根据本发明的构思，改善了非易失性存储装置的可靠性。



CN 101740129 A

Micron Ex. 1002, p. 165
Micron v. YMTC
IPR2025-00190

1. 一种非易失性存储装置，所述非易失性存储装置包括：

存储单元阵列，连接到多条字线；

电压产生器，用于在执行读取操作时，将选择的读取电压提供到所述多条字线中的选择的字线，将未选的读取电压提供到所述多条字线中的未选的字线，

其中，电压产生器根据未选的字线是否与选择的字线相邻而产生电平不同的未选的读取电压。

2. 如权利要求 1 所述的非易失性存储装置，其中，当连接到选择的字线的选择的存储单元的阈值电压降低时，电压产生器将未选的读取电压提供到与选择的字线相邻的上字线和下字线中的至少一条字线，该未选的读取电压低于提供到其他未选的字线的未选的读取电压。

3. 如权利要求 1 所述的非易失性存储装置，其中，当连接到选择的字线的选择的存储单元的阈值电压升高时，电压产生器将未选的读取电压提供到与选择的字线相邻的上字线和下字线中的至少一条字线，该未选的读取电压高于提供到其他未选的字线的未选的读取电压。

4. 一种非易失性存储装置的读取方法，所述读取方法包括如下步骤：

通过将选择的读取电压施加到选择的字线并将未选的读取电压施加到未选的字线来执行第一读取操作；

检测在第一读取操作中是否出现错误；

当在第一读取操作中出现错误时，通过改变与选择的字线相邻的字线的电压来执行第二读取操作。

5. 如权利要求 4 所述的读取方法，其中，当连接到选择的字线的选择的存储单元的阈值电压降低时，将未选的读取电压提供到与选择的字线相邻的上字线和下字线中的至少一条字线，该未选的读取电压低于提供到其他未选的字线的未选的读取电压。

6. 如权利要求 4 所述的读取方法，其中，当连接到选择的字线的选择的存储单元的阈值电压升高时，将未选的读取电压提供到与选择的字线相邻的上字线和下字线中的至少一条字线，该未选的读取电压高于提供到其他未选的字线的未选的读取电压。

7. 如权利要求 4 所述的读取方法，其中，通过误差校正电路来检测在第一读取操作中是否出现错误。

8. 如权利要求 4 所述的读取方法，所述读取方法还包括：

当在第一读取操作中出现错误时，通过改变施加到选择的字线的选择的读取电压来执行第二读取操作。

9. 如权利要求 4 所述的读取方法，所述读取方法还包括：

当在第二读取操作中出现错误时，通过改变施加到选择的字线的选择的读取电压来执行第三读取操作。

10. 如权利要求 4 所述的读取方法，所述读取方法还包括：

当在第二读取操作中出现错误时，检测改变与选择的字线相邻的字线的电压的次数是否超过参考次数；

当改变与选择的字线相邻的字线的电压的次数超过参考次数时，通过改变施加到选择的字线的选择的读取电压来执行第三读取操作。

Micron Ex. 1002, p. 166
Micron v. YMTC
IPR2025-00190

11. 一种非易失性存储装置的读取方法，所述读取方法包括如下步骤：

通过将选择的读取电压施加到监视字线并将未选的读取电压施加到未选的字线来执行读取操作；

检测存储在连接到监视字线的监视单元中的数据是否被正常地读取；

当存储在监视单元中的数据没有被正常地读取时，通过改变与监视字线相邻的字线的电压来对监视单元再次执行读取操作。

12. 如权利要求 11 所述的读取方法，所述读取方法还包括：

当存储在监视单元中的数据被正常地读取时，通过将电提供到与选择的字线相邻的字线来对选择的存储单元执行读取操作，该电压的电平和与监视字线相邻的字线的电压的电平相同。

13. 如权利要求 11 所述的读取方法，所述读取方法还包括：

当存储在监视单元中的数据没有被正常地读取并且改变与监视字线相邻的字线的电压的次数超过参考次数时，通过改变施加到监视字线的选择的读取电压来对监视单元执行读取操作。

Micron Ex. 1002, p. 167
Micron v. YMTC
IPR2025-00190

非易失性存储装置及其读取方法

[0001] 本专利申请要求 2008 年 11 月 14 日提交的第 2008-0113531 号韩国专利申请的优先权，其内容通过引用包含于此。

技术领域

[0002] 这里公开的示例性实施例涉及一种非易失性存储装置，更具体地讲，涉及具有改善的可靠性的非易失性存储装置及其读取方法。

背景技术

[0003] 存储装置用于存储数据。存储装置分为易失性存储装置和非易失性存储装置。当中断对易失性存储装置的供电时，存储在易失性存储装置中的数据消失；而即使中断对非易失性存储装置供电时，存储在非易失性存储装置中的数据也得以保留。

[0004] 因为非易失性存储装置可以利用低功率来存储数据，所以它们作为便携式装置的存储介质而备受瞩目。闪速存储装置是一种非易失性存储装置。下面，将闪速存储装置作为非易失性存储装置的示例进行描述。然而，本发明构思的范围不限于此，而是可以被应用于其他非易失性存储装置（例如，电荷捕获闪速存储器、PRAM、FRAM 或 MRAM 等）。

[0005] 存储在闪速存储装置（或电荷捕获闪速存储器）的存储单元（cell）中的数据通过测量存储单元的阈值电压来进行区分。根据存储在浮置栅极中的电子的数量来确定存储单元的阈值电压。随着存储在浮置栅极中的电子的数量增加，阈值电压变高。

[0006] 存储在浮置栅极中的电子可以因许多原因而泄漏。存储在浮置栅极中的电子可以因外部条件（例如，热）而泄漏。此外，存储在浮置栅极中的电子可以因存储单元的损耗而泄漏。闪速存储装置中的反复的存取操作对设置在沟道区和浮置栅极之间的绝缘层造成损耗。存取操作包括编程操作、擦除操作、读取操作。如果绝缘层被损耗，则存储在浮置栅极中的电荷容易泄漏。阈值电压的降低导致读取错误，使得闪速存储装置的可靠性劣化。

发明内容

[0007] 本发明构思的示例性实施例提供一种非易失性存储装置。非易失性存储装置包括：存储单元阵列，连接到多条字线；电压产生器，用于在执行读取操作时，将选择的读取电压提供到所述多条字线中的选择的字线，将未选的读取电压提供到所述多条字线中的未选的字线。电压产生器根据未选的字线是否与选择的字线相邻而产生电平不同的未选的读取电压。

[0008] 本发明构思的示例性实施例提供一种非易失性存储装置的读取方法。所述读取方法可以包括如下步骤：通过将选择的读取电压施加到选择的字线并将未选的读取电压施加到未选的字线来执行第一读取操作；检测在第一读取操作中是否出现错误；当在第一读取操作中出现错误时，通过改变与选择的字线相邻的字线的电压来执行第二读取操作。

[0009] 本发明构思的示例性实施例提供一种非易失性存储装置的读取方法。所述读取方法可以包括如下步骤：通过将选择的读取电压施加到监视字线并将未选的读取电压施加到

Micron Ex. 1002, p. 168
Micron v. YMTC
IPR2025-00190

未选的字线来执行读取操作；检测存储在连接到监视字线的监视单元中的数据是否被正常地读取；当存储在监视单元中的数据没有被正常地读取时，通过改变与监视字线相邻的字线的电压来对监视单元再次执行读取操作。

附图说明

[0010] 包括附图以提供对本发明的进一步理解，并且将附图包括在本说明书中并作为本说明书的一部分。附图示出了本发明的示例性实施例，并与描述一起用于说明本发明的原理，在附图中：

[0011] 图 1 是示出闪速存储装置的存储单元的剖视图。

[0012] 图 2A 和图 2 B 是分别示出电荷捕获闪速存储装置的剖视图。

[0013] 图 3 是示出存储单元的阈值电压分布的曲线图。

[0014] 图 4 是示出图 3 中描述的存储单元的阈值电压降低的情况的曲线图。

[0015] 图 5 是示出三位 (bit) 多级单元 (MLC，multi level cell) 的阈值电压分布的曲线图。

[0016] 图 6 是示出图 5 中描述的三位多级单元 (MLC) 的阈值电压降低的情况的曲线图。

[0017] 图 7 是示出根据本发明构思的非易失性存储装置的框图。

[0018] 图 8 是示出选择的存储单元从与选择的存储单元相邻的上字线和下字线进行接收的效果的示图。

[0019] 图 9 是示出当执行读取操作时选择的存储单元的阈值电压根据施加到上字线和下字线的读取电压的改变的曲线图。

[0020] 图 10 是示出执行根据本发明构思的非易失性存储装置的校验读取操作时的偏置条件的示图。

[0021] 图 11 是示出执行根据本发明构思的非易失性存储装置的第一实施例的读取操作时的偏执条件的示图。

[0022] 图 12 是示出执行根据本发明构思的非易失性存储装置的第二实施例的读取操作的偏置条件的示图。

[0023] 图 13 是示出执行根据本发明构思的非易失性存储装置的第三实施例的读取操作的偏置条件的示图。

[0024] 图 14 是示出存储单元的阈值电压根据图 11 至图 13 中描述的偏置条件的改变的曲线图。

[0025] 图 15 是示出执行根据本发明构思的非易失性存储装置的第四实施例的读取操作的偏置条件的示图。

[0026] 图 16 是示出执行根据本发明构思的非易失性存储装置的第五实施例的读取操作的偏置条件的示图。

[0027] 图 17 是示出执行根据本发明构思的非易失性存储装置的第六实施例的读取操作的偏置条件的示图。

[0028] 图 18 是示出存储单元的阈值电压根据图 15 至图 17 中描述的偏置条件的改变的曲线图。

[0029] 图 19 是示出根据本发明构思的非易失性存储装置的第八实施例的读取方法的流

Micron Ex. 1002, p. 169
Micron v. YMTC
IPR2025-00190

程图。

[0030] 图 20 是示出根据本发明构思的非易失性存储装置的第九实施例的读取方法的流程图。

[0031] 图 21 是示出根据本发明构思的非易失性存储装置的第十实施例的读取方法的流程图。

[0032] 图 22 是示出根据本发明构思的非易失性存储装置的第十一实施例的读取方法的流程图。

[0033] 图 23 是示出根据本发明构思的非易失性存储装置的第十二实施例的读取方法的流程图。

[0034] 图 24 是示出根据本发明构思的非易失性存储装置的第十三实施例的读取方法的流程图。

[0035] 图 25 是示出包括根据本发明构思的闪速存储器的计算机系统的框图。

[0036] 图 26 是示出根据本发明构思的 SSD 系统的结构的框图。

具体实施方式

[0037] 下面将参照附图更详细地描述本发明的优选实施例。然而，本发明可以以不同的形式来实施，且不应该被解释为限于这里阐述的实施例。相反，提供这些实施例使得本公开将是彻底和完整的，并将把本发明的范围充分地传达给本领域技术人员。相同的标号始终表示相同的元件。

[0038] 图 1 是示出闪速存储装置的存储单元的剖视图。参照图 1，源极 (S) 和漏极 (D) 形成在沟道区的两侧的半导体基底中。浮置栅极形成在沟道区上，绝缘层设置在沟道区和浮置栅极之间。控制栅极形成在浮置栅极上，绝缘层设置在浮置栅极和控制栅极之间。用于施加编程操作、擦除操作、读取操作的电压的端子连接到源极 (S)、漏极 (D)、浮置栅极、控制栅极、半导体基底。

[0039] 图 2A 和图 2B 是示出电荷捕获闪速存储装置的剖视图。参照图 2A、隧道氧化物层 130、电荷捕获层 140、阻挡绝缘层 150、栅电极 160 顺序形成在包括源区 / 漏区 120 的基底 110 上。电荷捕获层 140 由氮化硅形成，阻挡绝缘层 150 由氧化铝形成，栅电极 160 由氮化钽形成。具有这样结构的电荷捕获闪速存储装置是一种 MONOS，具体地讲，被称为钽 - 氧化铝 - 氮化物 - 氧化物 - 半导体 (TANOS)。

[0040] 参照图 2B，隧道氧化物层 130a、电荷捕获层 140a、阻挡绝缘层 150a、栅电极 160a 顺序形成在包括源区 / 漏区 120a 的基底 110a 上。在这种情况下，电荷捕获层 140a 由层叠的三层形成。即，第一氮化硅层 142a、第一氧化铝层 144a、第二氮化硅层 146a 顺序堆叠。阻挡绝缘层 150a 由氧化铝形成，栅电极 160a 由氮化钽形成。具有这样的结构的电荷捕获闪速存储装置被称为氮化物 - 铝氧化物 - 氮化物 (NAN)。

[0041] 在上述的闪速存储装置中，通过区分存储单元的阈值电压来对数据进行解码。通过存储在浮置栅极或电荷捕获层中的电子的量来确定存储单元的阈值电压。随着存储在浮置栅极或电荷捕获层中的电子的量增加，阈值电压变高。

[0042] 存储在浮置栅极中的电子可以因许多原因而沿图 1 的箭头方向泄漏。存储在浮置栅极或电荷捕获层中的电子可以因外部条件（例如，热）而泄漏。此外，存储在浮置栅极或

Micron Ex. 1002, p. 170
Micron v. YMTC
IPR2025-00190

电荷捕获层中的电子可以因存储单元的损耗而泄漏。闪速存储装置中的反复的存取操作对在沟道区和浮置栅极之间的绝缘层造成损耗。存取操作包括编程操作、擦除操作、读取操作。如果绝缘层被损耗，则存储在浮置栅极中的电荷容易泄漏。

[0043] 图 3 是示出存储单元的阈值电压分布的曲线图。参照图 3，水平轴代表阈值电压 (Vth)，垂直轴代表存储单元的数量。在单级单元 (SLC，single levelcell) 的情况下，存储单元的阈值电压具有两个状态 (S0、S1) 之一。

[0044] 当将读取电压 (Vr) 施加到存储单元的控制栅极 (参照图 1) 时，S0 状态的存储单元导通。相反，S1 状态的存储单元截止。当存储单元导通时，电流流过存储单元。当存储单元截止时，电流没有流过存储单元。因此，可以根据存储单元导通还是截止来区分数据。应该均匀地保持存储单元的阈值电压，从而准确地检测存储在存储单元中的数据。然而，如上所述，存储单元的阈值电压可以因外部环境和 / 或存储单元的损耗而降低。

[0045] 图 4 是示出图 3 中描述的存储单元的阈值电压降低的情况的曲线图。参照图 4，实线表示存储单元的初始阈值电压，虚线表示存储单元的因外部环境和 / 或存储单元的损耗而降低的阈值电压。属于图 4 的斜线部分的存储单元被初始地按 S1 状态进行编程，但是它们因阈值电压的降低而被判断为被按 S0 状态进行了编程。这可以导致读取错误，使得非易失性存储装置的可靠性劣化。阈值电压的改变导致一些问题，特别是在多级单元 (MLC) 中。多个数据位存储在多级单元 (MLC) 中，从而增加了非易失性存储装置的集成度。

[0046] 图 5 示出了三位多级单元 (MLC) 的阈值电压分布的曲线图。参照图 5，三位多级单元 (MLC) 的阈值电压为八个状态 (S0 ～ S7) 之一。S0 表示擦除状态，S1 ～ S7 表示编程状态。与单级单元 (SLC) 相比，多级单元 (MLC) 的阈值电压余量小。因此，多级单元 (MLC) 中阈值电压的小改变可以导致大问题。

[0047] 图 6 示出图 5 中描述的三位多级单元 (MLC) 的阈值电压降低的情况的曲线图。参照图 6，实线表示存储单元的初始阈值电压，虚线表示存储单元的因外部环境和 / 或存储单元的损耗而降低的阈值电压。当读取与斜线部分对应的存储单元时，会因阈值电压的降低而出现读取错误。

[0048] 图 7 是示出根据本发明构思的非易失性存储装置的框图。参照图 7，非易失性存储装置包括存储单元阵列 210、行选择电路 220、输入 / 输出电路 250、电压产生器 230、控制逻辑电路 240。

[0049] 单元阵列包括多个存储器块 (未示出)。在闪速存储器中，可以对每个块执行擦除操作。每个块由以行 (或字线) 和列 (或位线) 的矩阵形式布置的存储单元构成。存储单元可以被布置为具有 NAND 结构或 NOR 结构。

[0050] 行选择电路 220 响应于行地址 (未示出) 分别驱动选择的行和未选择的行。电压产生器 230 产生驱动电压。当执行读取操作时，行选择电路 220 将读取参考电压施加到选择的行，并将读取电压 (Vread) 施加到未选择的行。

[0051] 当执行读取操作时，输入 / 输出电路 250 用作感测放大器。当执行读取操作时，输入 / 输出电路 250 从存储单元读取数据。控制逻辑电路 240 控制电压产生器 230 和输入 / 输出电路 250 读取存储在存储单元 210 中的数据。

[0052] 图 8 是示出选择的存储单元从与选择的存储单元相邻的上字线和下字线进行接收的效果的示图。选择的存储单元是指变为读取操作的目标的存储单元。选择的字线是指

Micron Ex. 1002, p. 171
Micron v. YMTC
IPR2025-00190

连接到选择的存储单元的字线。在根据本发明构思的实施例中，由选择的存储单元的阈值电压的改变来控制施加到选择的字线 (WLn) 的上字线 (WLn+1) 和下字线 (WLn-1) 的读取电压。

[0053] 上字线 (WLn+1) 的电压和下字线 (WLn-1) 的电压可以影响连接到选择的字线 (WLn) 的选择的存储单元的沟道电压。随着非易失性存储装置的集成度的提高，相邻字线的电压的影响程度变大。此外，选择的存储单元的沟道电压不仅受选择的字线 (WLn) 的电压的影响，也受到相邻的上字线 (WLn+1) 的电压和相邻的下字线 (WLn-1) 的电压的影响。这可以改变选择的存储单元的阈值电压。例如，当执行非易失性存储装置的读取操作时，选择的存储单元可以受施加到上字线 (WLn+1) 和下字线 (WLn-1) 的读取电压 (Vread) 的影响。

[0054] 图 9 是示出当执行读取操作时选择的存储单元的阈值电压根据施加到上字线和下字线的读取电压的改变的曲线图。参照图 9，电压 Vread 是指当执行编程校验操作时施加到未选择的字线的电压。连接到未选择的字线的存储单元通过电压 Vread 而导通。如果电流 Iref 流过存储单元，则存储单元被识别为导通，此时的栅极电压变为阈值电压。

[0055] 在本实施例中，当执行读取操作时，将电压 Vread 施加到选择的字线的上字线和下字线。情况 (1) 示出当执行读取操作时将高于电压 Vread 的电压 Vread′ 施加到选择的字线的上字线和下字线的的情况。此时，当选择的存储单元的栅极电压为 Vth1 时，电流 Iref 流过选择的存储单元。即，电压 Vth1 变为阈值电压。

[0056] 情况 (2) 示出当执行读取操作时将等于电压 Vread 的电压 Vread′ 施加到选择的字线的上字线和下字线的情况。此时，当选择的存储单元的栅极电压为 Vth2 时，电流 Iref 流过选择的存储单元。即，Vth2 变为阈值电压。

[0057] 情况 (3) 示出当执行读取操作时将低于电压 Vread 的电压 Vread′ 施加到选择的字线的上字线和下字线的情况。此时，当选择的存储单元的栅极电压为 Vth3 时，电流 Iref 流过选择的存储单元。即，Vth3 变为阈值电压。

[0058] 总之，当执行读取操作时，选择的存储单元的阈值电压根据施加到选择的字线的上字线和下字线的读取电压 (Vread′) 而改变。因此，可以通过控制执行读取操作时施加到选择的字线的上字线和下字线的读取电压 (Vread′) 来补偿选择的存储单元的阈值电压。

[0059] 图 10 是示出执行根据本发明构思的非易失性存储装置的校验读取操作时的偏置条件的示图。执行校验读取操作以检测存储单元是否被正常地编程。参照图 10，为了方便起见，描述了一个存储单元串。存储单元阵列包括多个单元串。存储单元串包括连接到串选择线 (SSL) 的串选择晶体管、连接到字线 (WL0 ～ WL31) 中的每条字线的浮置栅极晶体管、连接到地选择线 (GSL) 的地选择晶体管。

[0060] 当执行校验读取操作时，将电源电压 (Vcc) 施加到串选择线 (SSL)。当施加电源电压 (Vcc) 时，串选择晶体管导通。因此，存储单元串连接到位线 (BL)。将读取电压 (Vread) 施加到未选择的字线。当施加读取电压 (Vread) 时，连接到未选择的字线的未选择的存储单元导通。

[0061] 将校验电压 (Vvf) 施加到选择的字线。当施加校验电压 (Vvf) 时，选择的存储单元根据数据状态而导通或截止。被编程过的选择的存储单元截止，未被编程过的选择的存储单元导通。将电源电压 (Vcc) 施加到地选择线 (GSL)。当施加电源电压 (Vcc) 时，地选择

Micron Ex. 1002, p. 172
Micron v. YMTC
IPR2025-00190

晶体管导通。因此，存储单元串连接到共源极线 (CSL)。

[0062] 图 11 是示出当执行根据本发明构思的非易失性存储装置的第一实施例的读取操作的偏置条件的示图。参照图 11，当执行读取操作时，将电源电压 (Vcc) 施加到串选择线 (SSL)。当施加电源电压 (Vcc) 时，串选择晶体管导通。因此，存储单元串连接到位线 (BL)。将读取电压 (Vread) 施加到未选择的字线。当施加读取电压 (Vread) 时，连接到未选择的字线的未选择的存储单元导通。

[0063] 将读取参考电压 (Rx) 施加到选择的字线 (WL28)。当施加读取参考电压 (Rx) 时，选择的存储单元根据数据状态而导通或截止。被编程过的选择的存储单元截止，未被编程过的选择的存储单元导通。将电源电压 (Vcc) 施加到地选择线 (GSL)。当施加电源电压 (Vcc) 时，地选择晶体管导通。因此，存储单元串连接到共源极线 (CSL)。

[0064] 在根据本发明构思的实施例中，将低于电压 Vread 的电压 Vread′ 施加到选择的字线 (WL28) 的上字线 (WL29) 和下字线 (WL27)。连接到选择的字线 (WL28) 的选择的存储单元的阈值电压因上字线 (WL29) 和下字线 (WL27) 的电压的干扰而升高。因此，可以补偿选择的存储单元的因电流泄漏而降低的阈值电压。

[0065] 图 12 是示出执行根据本发明构思的非易失性存储装置的第二实施例的读取操作的偏置条件的示图。参照图 12，当执行读取操作时，将电源电压 (Vcc) 施加到串选择线 (SSL)。当施加电源电压 (Vcc) 时，串选择晶体管导通。因此，存储单元串连接到位线 (BL)。将读取电压 (Vread) 施加到未选择的字线。当施加读取电压 (Vread) 时，连接到未选择的字线的未选择的存储单元导通。

[0066] 将读取参考电压 (Rx) 施加到选择的字线 (WL28)。当施加读取参考电压 (Rx) 时，选择的存储单元根据数据状态而导通或截止。被编程过的选择的存储单元截止，未被编程过的选择的存储单元导通。将电源电压 (Vcc) 施加到地选择线 (GSL)。当施加电源电压 (Vcc) 时，地选择晶体管导通。因此，存储单元串连接到共源极线 (CSL)。

[0067] 在根据本发明构思的实施例中，将低于电压 Vread 的电压 Vread′ 施加到选择的字线 (WL28) 的下字线 (WL27)。连接到选择的字线 (WL28) 的选择的存储单元的阈值电压因下字线 (WL27) 的电压的干扰而升高。因此，可以补偿选择的存储单元的因电流泄漏而降低的阈值电压。

[0068] 图 13 是示出执行根据本发明构思的非易失性存储装置的第三实施例的读取操作的偏置条件的示图。参照图 13，当执行读取操作时，将电源电压 (Vcc) 施加到串选择线 (SSL)。当施加电源电压 (Vcc) 时，串选择晶体管导通。因此，存储单元串连接到位线 (BL)。将读取电压 (Vread) 施加到未选择的字线。当施加读取电压 (Vread) 时，连接到未选择的字线的未选择的存储单元导通。

[0069] 将读取参考电压 (Rx) 施加到选择的字线 (WL28)。当施加读取参考电压 (Rx) 时，选择的存储单元根据数据状态而导通或截止。被编程过的选择的存储单元截止，未被编程过的选择的存储单元导通。将电源电压 (Vcc) 施加到地选择线 (GSL)。当施加电源电压 (Vcc) 时，地选择晶体管导通。因此，存储单元串连接到共源极线 (CSL)。

[0070] 在根据本发明构思的实施例中，将低于电压 Vread 的电压 Vread′ 施加到选择的字线 (WL28) 的上字线 (WL29)。连接到选择的字线 (WL28) 的选择的存储单元的阈值电压因上字线 (WL29) 的电压的干扰而升高。因此，可以补偿选择的存储单元的因电流泄漏而降低

Micron Ex. 1002, p. 173
Micron v. YMTC
IPR2025-00190

的阈值电压。

[0071] 图 14 是示出存储单元的阈值电压根据图 11 至图 13 中描述的偏置条件的改变的曲线图。参照图 14，虚线示出了存储单元的阈值电压因漏电流而降低。在根据本发明构思的实施例中，存储单元的阈值电压因将低于读取电压 (Vread) 的电压 Vread′ 施加到选择的字线的上字线和 / 或下字线而降低。因此，可以补偿选择的存储单元的因电流泄漏而降低的阈值电压。

[0072] 在传统的非易失性存储装置的情况下，可以通过改变读取参考电压来补偿存储单元的降低的阈值电压。相反，在本发明构思中，可以通过升高存储单元的阈值电压来执行读取操作而没有改变读取参考电压。

[0073] 然而，可以根据情况来升高存储单元的阈值电压。例如，可以通过由相邻的存储单元导致的耦合来升高存储单元的阈值电压。存储单元的升高的阈值电压会降低读取操作的准确性，并会使非易失性存储装置的可靠性劣化。下文中，将参照附图更详细地描述根据本发明构思的存储单元的阈值电压升高时的读取方法。

[0074] 图 15 是示出执行根据本发明构思的非易失性存储装置的第四实施例的读取操作的偏置条件的示图。参照图 15，当执行读取操作时，将电源电压 (Vcc) 施加到串选择线 (SSL)。当施加电源电压 (Vcc) 时，串选择晶体管导通。因此，存储单元串连接到位线 (BL)。将读取电压 (Vrcad) 施加到未选择的字线。当施加读取电压 (Vrcad) 时，连接到未选择的字线的未选择的存储单元导通。

[0075] 将读取参考电压 (Rx) 施加到选择的字线 (WL28)。当施加读取参考电压 (Rx) 时，选择的存储单元根据数据状态而导通或截止。被编程过的选择的存储单元截止，未被编程过的选择的存储单元导通。将电源电压 (Vcc) 施加到地选择线 (GSL)。当施加电源电压 (Vcc) 时，地选择晶体管导通。因此，存储单元串连接到共源极线 (CSL)。

[0076] 在根据本发明构思的实施例中，将高于电压 Vread 的电压 Vread′ 施加到选择的字线 (WL28) 的上字线 (WL29) 和下字线 (WL27)。连接到选择的字线 (WL28) 的选择的存储单元的阈值电压降低。因此，可以补偿选择的存储单元的因耦合而升高的阈值电压。

[0077] 图 16 是示出执行根据本发明构思的非易失性存储装置的第五实施例的读取操作的偏置条件的示图。参照图 16，当执行读取操作时，将电源电压 (Vcc) 施加到串选择线 (SSL)。当施加电源电压 (Vcc) 时，串选择晶体管导通。因此，存储单元串连接到位线 (BL)。将读取电压 (Vread) 施加到未选择的字线。当施加读取电压 (Vread) 时，连接到未选择的字线的未选择的存储单元导通。

[0078] 将读取参考电压 (Rx) 施加到选择的字线 (WL28)。当施加读取参考电压 (Rx) 时，选择的存储单元根据数据状态而导通或截止。被编程过的选择的存储单元截止，未被编程过的选择的存储单元导通。将电源电压 (Vcc) 施加到地选择线 (GSL)。当施加电源电压 (Vcc) 时，地选择晶体管导通。因此，存储单元串连接到共源极线 (CSL)。

[0079] 在根据本发明构思的实施例中，将高于电压 Vrcad 的电压 Vrcad′ 施加到选择的字线 (WL28) 的下字线 (WL27)。连接到选择的字线 (WL28) 的选择的存储单元的阈值电压降低。因此，可以补偿选择的存储单元的因耦合而升高的阈值电压。

[0080] 图 17 是示出执行根据本发明构思的非易失性存储装置的第六实施例的读取操作的偏置条件的示图。参照图 17，当执行读取操作时，将电源电压 (Vcc) 施加到串选择线

Micron Ex. 1002, p. 174
Micron v. YMTC
IPR2025-00190

(SSL)。当施加电源电压 (Vcc) 时，串选择晶体管导通。因此，存储单元串连接到位线 (BL)。将读取电压 (Vread) 施加到未选择的字线。当施加读取电压 (Vread) 时，连接到未选择的字线的未选择的存储单元导通。

[0081] 将读取参考电压 (Rx) 施加到选择的字线 (WL28)。当施加读取参考电压 (Rx) 时，选择的存储单元根据数据状态而导通或截止。被编程过的选择的存储单元截止，未被编程过的选择的存储单元导通。将电源电压 (Vcc) 施加到地选择线 (GSL)。当施加电源电压 (Vcc) 时，地选择晶体管导通。因此，存储单元串连接到共源极线 (CSL)。

[0082] 在根据本发明构思的实施例中，将高于电压 Vread 的电压 Vread′ 施加到选择的字线 (WL28) 的上字线 (WL29)。连接到选择的字线 (WL28) 的选择的存储单元的阈值电压降低。因此，可以补偿选择的存储单元的因耦合而升高的阈值电压。

[0083] 图 18 是示出存储单元的阈值电压根据图 15 至图 17 中描述的偏置条件的改变的曲线图。参照图 18，虚线示出了存储单元的阈值电压因耦合而升高。在根据本发明构思的实施例中，存储单元的阈值电压因将高于读取电压 (Vread) 的电压 Vread′ 施加到选择的字线的上字线和 / 或下字线而降低。因此，可以补偿选择的存储单元的因耦合而升高的阈值电压。

[0084] 在传统的非易失性存储装置的情况下，可以通过改变读取参考电压来补偿存储单元的升高的阈值电压。相反，在本发明构思中，可以通过降低存储单元的阈值电压来执行读取操作而没有改变读取参考电压。这简化了非易失性存储装置的结构。

[0085] 然而，在闪速存储装置中，在对存储单元进行了编程之后，存储单元的阈值电压可以立即降低。这样的现象是由因对存储单元进行编程而立即捕获电荷之后再次立即去捕获 (detrapp) 电荷的现象所引起的。因此，当在完成存储单元的编程和编程校验操作之后立即执行读取操作时，会出现可将存储单元判断为未被编程的问题。

[0086] 可以通过根据本发明构思的第七实施例来去除上述问题。当执行读取操作时，将执行编程校验操作时施加的低于电压 Vread 的电压 Vread′ 施加到上字线和下字线。可以得到作为一种统计数据的阈值电压的初始降低的量。因此，参照统计数据，预先确定阈值电压的根据编程重复的次数的初始降低的量，可以施加根据初始降低的量的电压 Vread′ 。统计数据可以存储在非易失性存储装置内部或外部。

[0087] 图 19 示出了根据本发明构思的非易失性存储装置的第八实施例的读取操作的流程图。参照图 19，根据本发明构思的非易失性存储装置的读取方法包括读取操作执行步骤、错误检测步骤、改变读取电压步骤。

[0088] 在步骤 S110 中，非易失性存储装置接收来自外部装置的读取指令。例如，非易失性存储装置可以接收来自存储器控制器的读取指令。在步骤 S120 中，非易失性存储装置响应于读取指令来执行读取操作。利用公知的偏置条件来执行读取操作。在步骤 S130 中，在读取操作期间出现错误，并且如果不能校正出现的错误，则执行步骤 S140。相反，如果没有出现错误或可以校正出现的错误，则读取操作结束。

[0089] 在步骤 S140 中，改变施加到选择的字线的上字线和下字线的读取电压 (Vread′)。例如，当存储单元的阈值电压降低时，降低读取电压 (Vread′)；当存储单元的阈值电压升高时，升高读取电压 (Vread′)。将改变的读取电压 (Vread′) 存储在非易失性存储器控制器、易失性存储器控制器或闪速存储器控制器中，可以在下一次读取操作

Micron Ex. 1002, p. 175
Micron v. YMTC
IPR2025-00190

期间使用改变的读取电压（Vread′）。在步骤 S150 中，通过将改变的读取电压（Vread′）施加到上字线和下字线来再次执行读取操作。在步骤 S160 中，在读取操作期间出现错误，如果不能校正出现的错误，则再次执行步骤 S140。相反，如果没有出现错误或可以校正出现的错误，则读取操作结束。

[0090] 在根据本发明构思的实施例中，根据能否校正读取操作期间出现的错误来改变读取电压（Vread′）的电平。可以通过改变读取电压（Vread′）来补偿存储单元的降低的或升高的阈值电压。

[0091] 图 20 是示出根据本发明构思的非易失性存储装置的第九实施例的读取方法的流程图。参照图 20，根据本发明构思的非易失性存储装置的读取方法包括读取操作执行步骤、错误检测步骤、改变读取电压步骤、改变读取参考电压步骤。

[0092] 在步骤 S205 中，非易失性存储装置接收来自外部装置的读取指令。在步骤 S210 中，非易失性存储装置响应于读取指令来执行读取操作。利用公知的偏置条件来执行读取操作。在步骤 S215 中，在读取操作期间出现错误，并且如果不能校正出现的错误，则执行步骤 S220。相反，如果没有出现错误或可以校正出现的错误，则读取操作结束。

[0093] 在步骤 S220 中，改变施加到选择的字线的上字线和下字线的读取电压（Vread′）。例如，当非易失性存储单元的阈值电压降低时，降低读取电压（Vread′）；当非易失性存储单元的阈值电压升高时，升高读取电压（Vrcad′）。将改变的读取电压（Vread′）存储在非易失性存储器控制器、易失性存储器控制器或闪速存储器控制器中，可以在下一次读取操作期间使用改变的读取电压（Vread′）。在步骤 S225 中，通过将改变的读取电压（Vread′）施加到上字线和下字线来执行读取操作。在步骤 S230 中，在读取操作期间出现错误，并且如果不能校正出现的错误，则再次执行步骤 S235。相反，如果没有出现错误或可以校正出现的错误，则读取操作结束。

[0094] 在步骤 S235 中，检测改变读取电压的次数是否超过参考次数。如果改变读取电压的次数没有超过参考次数，则再次执行步骤 S220。如果改变读取电压的次数超过参考次数，则执行步骤 S240。在步骤 S240 中，改变读取参考电压。例如，当非易失性存储单元的阈值电压降低时，降低读取参考电压（Rx′）；当非易失性存储单元的阈值电压升高时，升高读取参考电压（Rx′）。改变的读取参考电压（Rx′）存储在非易失性存储器控制器、易失性存储器控制器或闪速存储器控制器中，可以在下一次读取操作期间使用改变的读取参考电压（Rx′）。在步骤 S245 中，通过将改变的读取参考电压（Rx′）施加到选择的字线来再次执行读取操作。在步骤 S250 中，在读取操作期间出现错误，如果不能校正出现的错误，并且则再次执行步骤 S240。相反，如果没有出现错误或可以校正出现的错误，则读取操作结束。

[0095] 在根据本发明构思的实施例中，根据能否校正读取操作期间出现的错误来改变读取电压（Vread′）的电平。可以通过改变读取电压（Vread′）来补偿存储单元的降低的或升高的阈值电压。此外，如果改变读取电压（Vread′）的次数超过参考次数，则可以通过改变读取参考电压来准确地读取存储在存储单元中的数据。

[0096] 图 21 是示出根据本发明构思的非易失性存储装置的第十实施例的读取方法的流程图。参照图 21，根据本发明构思的非易失性存储装置的读取方法包括读取操作执行步骤、错误检测步骤、改变读取电压步骤、改变读取参考电压步骤。

[0097] 在步骤 S310 中，非易失性存储装置接收来自外部装置的读取指令。在步骤 S320

Micron Ex. 1002, p. 176
Micron v. YMTC
IPR2025-00190

中，非易失性存储装置响应于读取指令来执行读取操作。利用公知的偏置条件来执行读取操作。在步骤 S330 中，在读取操作期间出现错误，如果不能校正出现的错误，则执行步骤 S340。相反，如果没有出现错误或可以校正出现的错误，则读取操作结束。

[0098] 在步骤 S340 中，改变施加到选择的字线的上字线和下字线的读取电压 (Vread′)。例如，当非易失性存储单元的阈值电压降低时，降低读取电压 (Vread′)；当非易失性存储单元的阈值电压升高时，升高读取电压 (Vread′)。将改变的读取电压 (Vread′) 存储在非易失性存储器控制器、易失性存储器控制器或闪速存储器控制器中，可以在下一次读取操作期间使用改变的读取电压 (Vread′)。

[0099] 在步骤 S350 中，改变施加到选择的字线的读取参考电压。例如，当非易失性存储单元的阈值电压降低时，降低读取参考电压 (Rx′)；当非易失性存储单元的阈值电压升高时，升高读取参考电压 (Rx′)。改变的读取参考电压 (Rx′) 存储在非易失性存储器控制器、易失性存储器控制器或闪速存储器控制器中，可以在下一次读取操作期间使用改变的读取参考电压 (Rx′)。

[0100] 在步骤 S360 中，利用改变的读取电压 (Vread′) 和读取参考电压来执行读取操作。在步骤 S370 中，在读取操作期间出现错误，如果不能校正出现的错误，则再次执行步骤 S340。相反，如果没有出现错误或可以校正出现的错误，则读取操作结束。

[0101] 在根据本发明构思的实施例中，如果不能校正在读取操作期间出现的错误，则一起改变读取电压 (Vread′) 的电平和读取参考电压的电平。可以通过改变读取电压 (Vread′) 来补偿存储单元的降低的或升高的阈值电压。此外，可以通过改变读取参考电压来准确地读取存储在存储单元中的数据。

[0102] 图 22 是示出根据本发明构思的非易失性存储装置的第十一实施例的读取方法的流程图。参照图 22，根据本发明构思的非易失性存储装置的读取方法包括读取操作执行步骤、错误检测步骤、改变读取电压步骤、改变读取参考电压步骤。

[0103] 在步骤 S410 中，非易失性存储装置接收来自外部装置的读取指令。在步骤 S420 中，非易失性存储装置响应于读取指令来执行读取操作。利用公知的偏置条件来执行读取操作。在步骤 S430 中，在读取操作期间出现错误，并且如果不能校正出现的错误，则执行步骤 S440。相反，如果没有出现错误或可以校正出现的错误，则读取操作结束。

[0104] 在步骤 S440 中，改变施加到选择的字线的上字线和下字线的读取电压 (Vread′)。例如，当非易失性存储单元的阈值电压降低时，降低读取电压 (Vread′)；当非易失性存储单元的阈值电压升高时，升高读取电压 (Vread ′)。将改变的读取电压 (Vread′) 存储在非易失性存储器控制器、易失性存储器控制器或闪速存储器控制器中，可以在下一次读取操作期间使用改变的读取电压 (Vread′)。

[0105] 在步骤 S450 中，利用改变的读取电压 (Vread′) 来执行读取操作。在步骤 S460 中，在读取操作期间出现错误，并且如果不能校正出现的错误，则执行步骤 S470。相反，如果没有出现错误或可以校正出现的错误，则读取操作结束。

[0106] 在步骤 470 中，改变施加到选择的字线的读取参考电压。例如，当非易失性存储单元的阈值电压降低时，降低读取参考电压 (Rx′)；当非易失性存储单元的阈值电压升高时，升高读取参考电压 (Rx′)。改变的读取参考电压 (Rx′) 存储在非易失性存储器控制器、易失性存储器控制器或闪速存储器控制器中，可以在下一次读取操作期间使用改变的

Micron Ex. 1002, p. 177
Micron v. YMTC
IPR2025-00190

读取参考电压（Rx′）。

[0107] 在步骤S480中，利用改变的读取电压（Vread′）和读取参考电压来执行读取操作。在步骤S490中，在读取操作期间出现错误，并且如果不能校正出现的错误，则再次执行步骤S440。相反，如果没有出现错误或可以校正出现的错误，则读取操作结束。在本实施例中，可以在改变了读取参考电压之后改变读取电压（Vread′），或者可以在改变读取电压（Vread′）之后改变读取参考电压。

[0108] 在根据本发明构思的实施例中，如果不能校正在读取操作期间出现的错误，则改变读取电压（Vread′）的电平。可以通过改变读取电压（Vread′）来补偿存储单元的降低的或升高的阈值电压。此外，即使当改变读取电压（Vread′）还出现错误时，还可以改变读取参考电压。可以通过改变读取参考电压来准确地读取存储在存储单元中的数据。

[0109] 图23是示出根据本发明构思的非易失性存储装置的第十二实施例的读取方法的流程图。在本实施例中，非易失性存储装置还包括监视单元。监视单元设置在存储单元阵列中，监视单元的结构与存储单元的结构相同。因此，可以通过检测监视单元来估计存储单元的特性。存储在监视单元中的初始数据是已知的。

[0110] 参照图23，根据本发明构思的非易失性存储装置的读取方法包括读取监视单元步骤、错误检测步骤、改变读取电压步骤。在步骤S510中，非易失性存储装置接收来自外部装置的读取指令。在步骤S520中，非易失性存储装置改变施加到选择的字线的上字线和下字线的读取电压（Vread′）。在步骤S530中，对监视单元执行读取操作。在步骤S540中，将从监视单元读取的数据和参考数据彼此进行比较。如果从监视单元读取的数据与参考数据不同，则再次执行步骤S520。如果从监视单元读取的数据与参考数据相同，则对存储单元执行读取操作。

[0111] 在根据本发明构思的实施例中，利用预定的读取电压（Vread′）来读取存储在监视单元中的数据。如果准确地读取了存储在监视单元中的数据，则意味着读取电压（Vread′）是适合的。因此，利用读取电压（Vread′）对存储单元执行读取操作。相反，如果没有准确地读取存储在监视单元中的数据，则意味着读取电压（Vread′）不合适。因此，改变读取电压（Vread′）。可以通过改变读取电压（Vread′）来补偿存储单元的降低的或升高的阈值电压。

[0112] 图24是示出根据本发明构思的非易失性存储装置的第十三实施例的读取方法的流程图。在本实施例中，非易失性存储装置还包括监视单元。监视单元设置在存储单元阵列中，监视单元的结构与存储单元的结构相同。因此，通过检测监视单元来估计存储单元的特性。存储在监视单元中的初始数据是已知的。

[0113] 参照图24，根据本发明构思的非易失性存储装置的读取方法包括读取监视单元步骤、错误检测步骤、改变读取电压步骤、改变读取参考电压步骤。在步骤S610中，非易失性存储装置接收来自外部装置的读取指令。在步骤S620中，非易失性存储装置改变施加到选择的字线的上字线和下字线的读取电压（Vread′）。在步骤S630中，对监视单元执行读取操作。在步骤S640中，将从监视单元读取的数据和参考数据彼此进行比较。如果从监视单元读取的数据与参考数据不同，则执行步骤S650。如果从监视单元读取的数据与参考数据相同，则对存储单元执行读取操作。

[0114] 在步骤S650中，检测改变读取电压的次数是否超过参考次数。如果改变读取电压

Micron Ex. 1002, p. 178
Micron v. YMTC
IPR2025-00190

的次数没有超过参考次数，则再次执行步骤S620。如果改变读取电压的次数超过参考次数，则执行步骤S660。在步骤S660中，改变读取参考电压，并再次执行步骤S620。

[0115] 在根据本发明构思的实施例中，利用预定的读取电压（Vread′）来读取存储在监视单元中的数据。如果准确地读取了存储在监视单元中的数据，则利用预定的读取电压（Vread′）对存储单元执行读取操作。相反，如果没有准确地读取存储在监视单元中的数据，则改变读取电压（Vread′）读取参考电压。可以通过改变读取电压（Vread′）和读取参考电压来补偿存储单元的降低的或升高的阈值电压。

[0116] 图25是示出根据本发明构思的包括闪速存储器的计算机系统的框图。参照图25，计算机系统300包括处理器310、存储器控制器320、输入装置330、输出装置340、闪速存储器350、主存储装置360。在图中，实线表示传输数据或指令的系统总线。

[0117] 存储器控制器320和闪速存储器350可以构成存储卡。存储器310、输入装置330、输出装置340、主存储器装置360可以构成将存储卡用作存储装置的主机。根据本发明构思的计算机系统300通过输入装置（例如，键盘、相机等）接收来自外部装置的数据。输入的数据可以为多媒体数据，诸如用户的指令或相机的图像数据。输入的数据存储在闪速存储器350中或主存储器装置360中。

[0118] 处理器310处理的结果存储在闪速存储器350和主存储装置360中。输出装置340输出存储在闪速存储器350和主存储装置360中的数据。输出装置340输出人们可以感知的类型的数字数据。例如，输出装置340包括显示器或扬声器。将根据本发明构思的读取方法应用于闪速存储器350。随着闪速存储器350的可靠性的提升，计算机系统300的集成度和可靠性也可以得到提升。

[0119] 可以利用各种类型的封装件来安装闪速存储器350和/或存储器控制器320，各种类型的封装件例如：PoP（封装件上封装件）、球栅阵列（BGA）、芯片级封装件（CSP）、塑料引线芯片载体（PLCC，plastic leaded chip carrier）、塑料双列封装件（PDIP，plastic dual in-line package）、华夫封装件中芯片（diein waffle pack）、晶片形式中芯片（die in wafer form）、板上芯片（COB）、陶瓷双列封装件（CERDIP）、塑料公制四方扁平封装件（MQFP）、薄型四方扁平封装件（TQFP）、小外形集成电路（SOIC）、缩小外形封装件（SSOP）、薄小外形封装件（TSOP）、封装件中系统（SIP）、多芯片封装件（MCP）、晶片级制造封装件（WFP）、晶片级处理堆叠封装件（WSP）。

[0120] 还需要电源部件（未示出）以提供计算机系统300的操作所需的功率。如果计算机系统300是移动装置，则额外需要用于提供计算机系统300的操作功率的电池。

[0121] 图26是示出根据本发明构思的SSD系统的结构的框图。参照图26，SSD系统400包括SSD控制器410和闪速存储器420至423。

[0122] 可以将根据本发明构思的非易失性存储装置应用于固态驱动器（SSD）。近来，被认为取代硬盘驱动器（HDD）的SDD装置在下一代的市场中备受瞩目。SSD利用诸如闪速存储器的存储芯片以代替在通常的硬盘驱动器中使用的旋转的盘来存储数据。与机械运动的硬盘驱动器（HDD）相比，SSD具有速度快、功耗低、抗外部冲击性强的优点。

[0123] 返回参照图26，中央处理单元411确定或控制接收来自主机的数据以将来自主机的数据存储在闪速存储器、或者读取存储在闪速存储器中的数据以将其传输到主机。ATA接口412根据中央处理单元411的控制而与主机交换数据。ATA接口412包括串行ATA(S-ATA)

Micron Ex. 1002, p. 179
Micron v. YMTC
IPR2025-00190

标准和并行 ATA(P-ATA) 标准。ATA 接口 412 取回指令和地址，以通过 CPU 总线将它们传输到中央处理单元 411。根据中央处理单元 411 的控制，通过 ATA 接口 412 从主机输入的数据或将被传输到主机的数据通过 SRAM 高速缓存 (cache)413 而没有经过 CPU 总线进行传输。

[0124] SRAM 高速缓存 413 暂时存储在主机和闪速存储器 420 至 423 之间移动的数据。此外，SRAM 高速缓存 413 用于存储将被中央处理单元 411 执行的程序。SRAM 高速缓存 413 可以被视为一种缓冲存储器，并且 SRAM 高速缓存 413 通常不是必须由 SRAM 组成的。闪存接口 414 与用作存储装置的非易失性存储器交换数据。闪存接口 414 可以构成为支持 NAND 闪速存储器、一 NAND 闪速存储器 (one-NAND flash memory) 或多级闪速存储器 (multi-levelflash memory)。根据本发明构思的非易失性存储装置可以用作移动存储装置。因此，根据本发明构思的非易失性存储装置可以用作存储装置，诸如 MP3、数字相机、PDA、e-Book(电子书)、数字 TV 或计算机。

[0125] 已经描述了本发明的示例性实施例，还应该注意的是，对于本领域技术人员来说，在不脱离由权利要求的范围限定的本发明的精神和范围的情况下，可以进行的各种修改是显而易见的。

Micron Ex. 1002, p. 180
Micron v. YMTC
IPR2025-00190

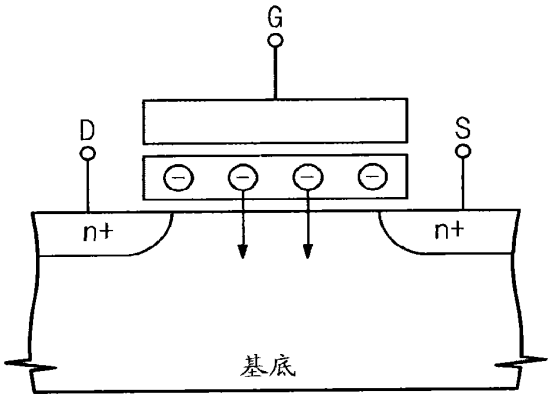


图 1

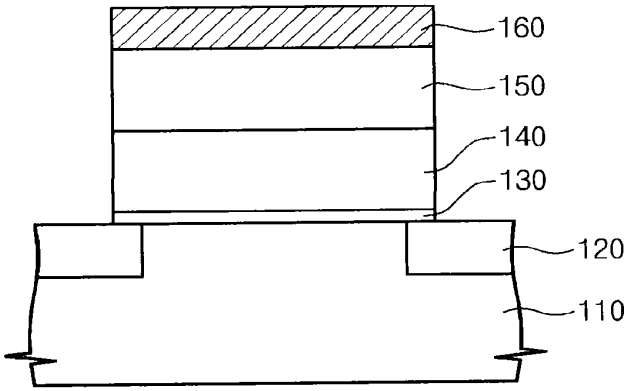


图 2A

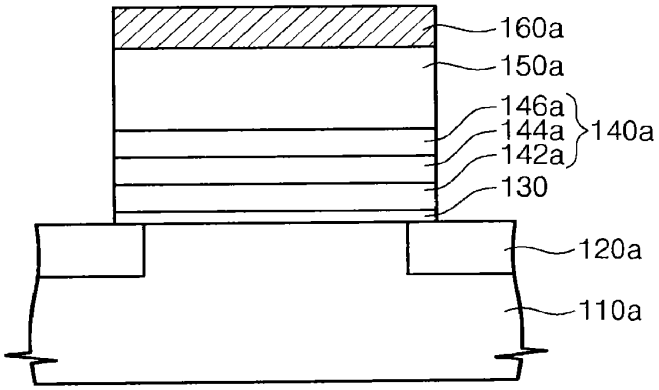


图 2B

Micron Ex. 1002, p. 181
Micron v. YMTC
IPR2025-00190

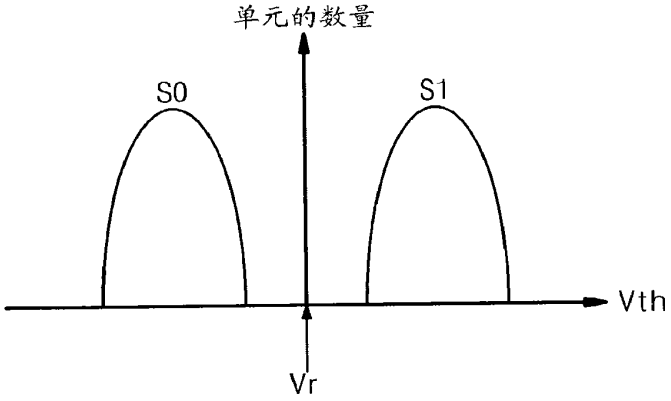


图 3

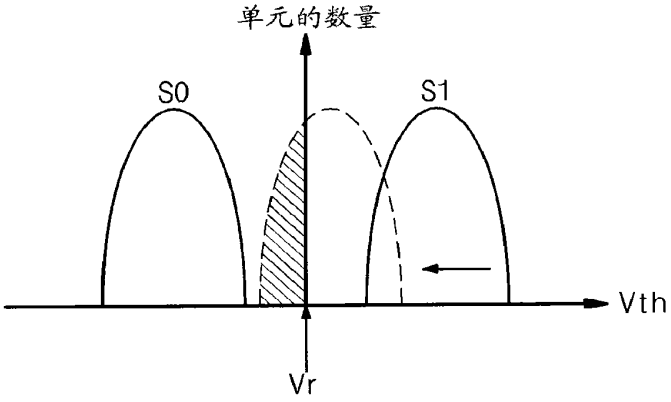


图 4

Micron Ex. 1002, p. 182
Micron v. YMTC
IPR2025-00190

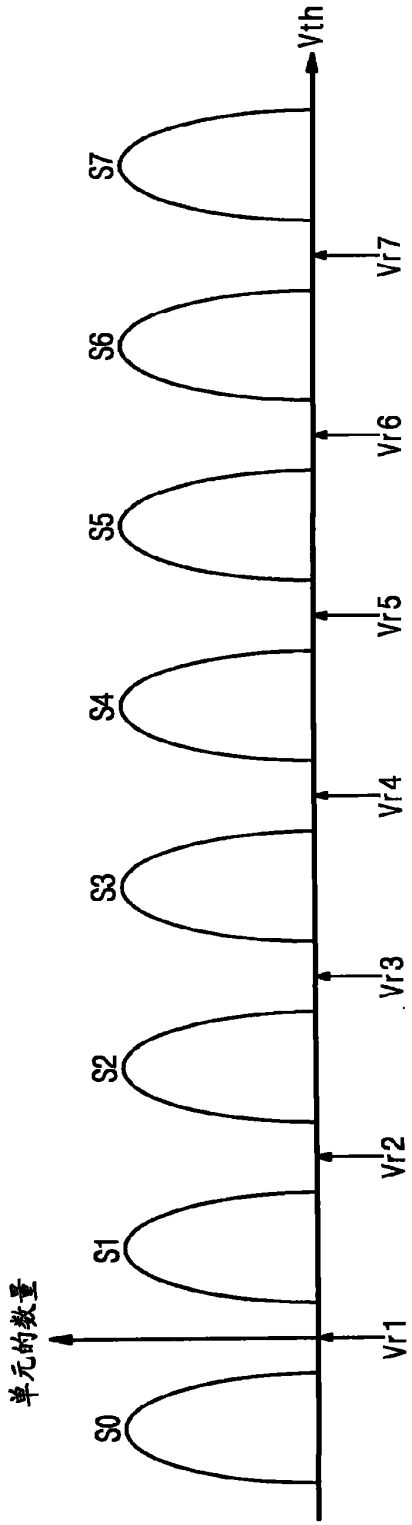


图 5

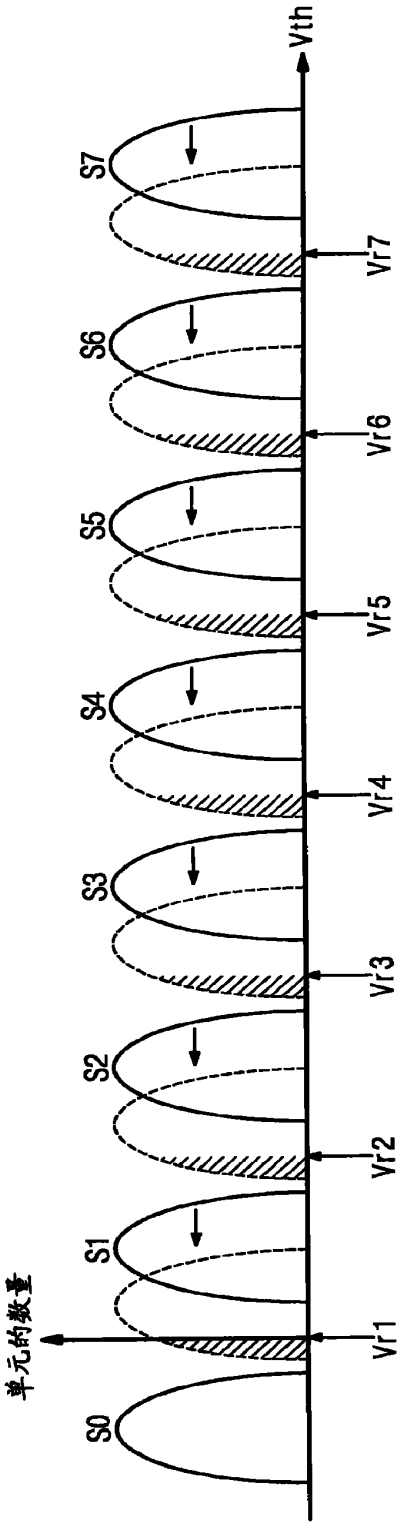


图 6

Micron Ex. 1002, p. 183
Micron v. YMTC
IPR2025-00190

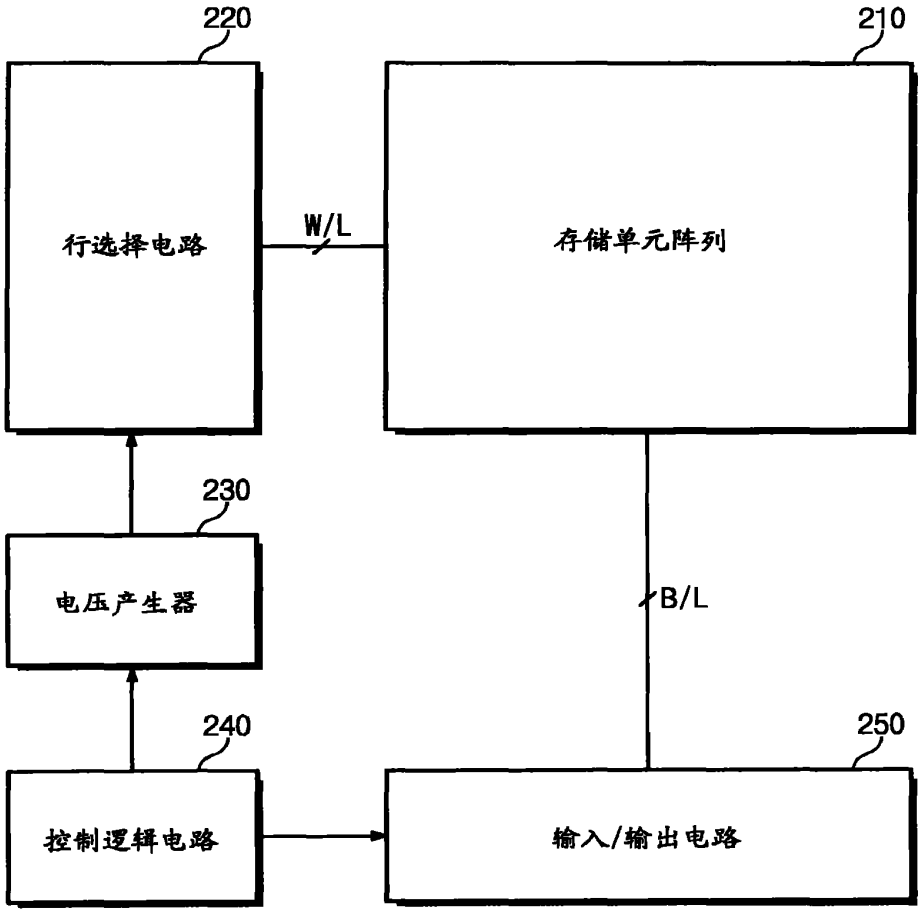


图 7

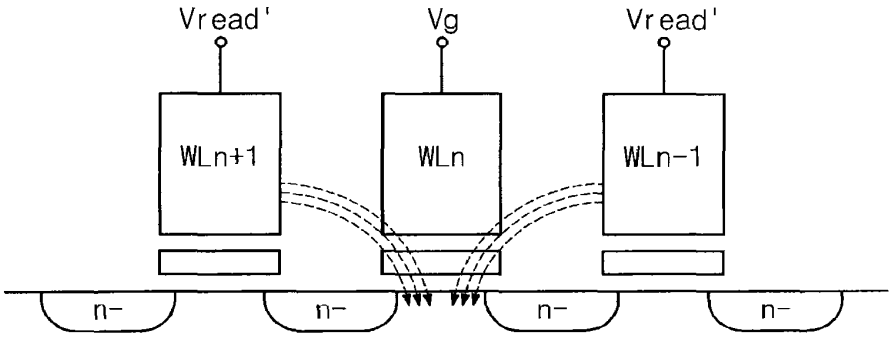


图 8

Micron Ex. 1002, p. 184
Micron v. YMTC
IPR2025-00190

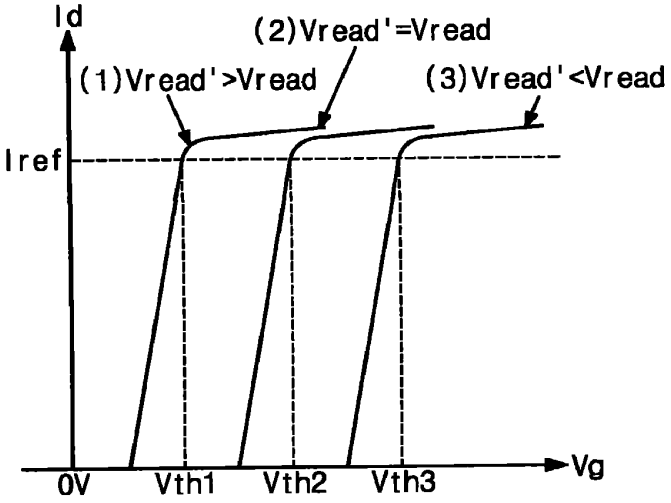


图 9

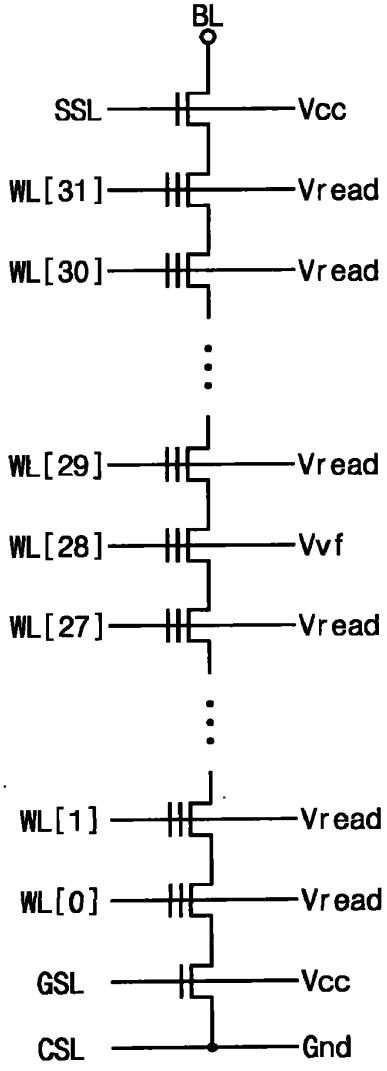


图 10

Micron Ex. 1002, p. 185
Micron v. YMTC
IPR2025-00190

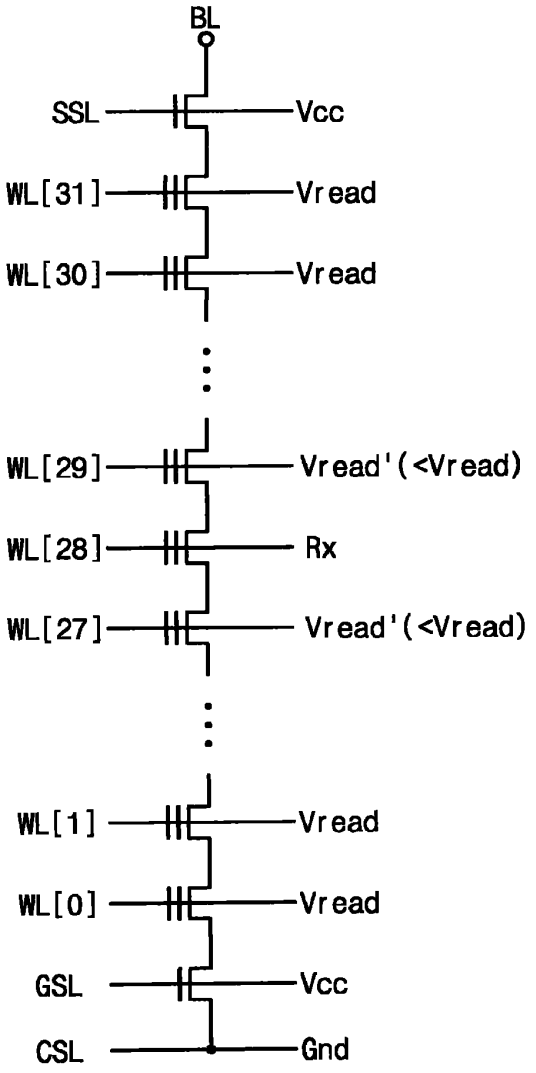


图 11

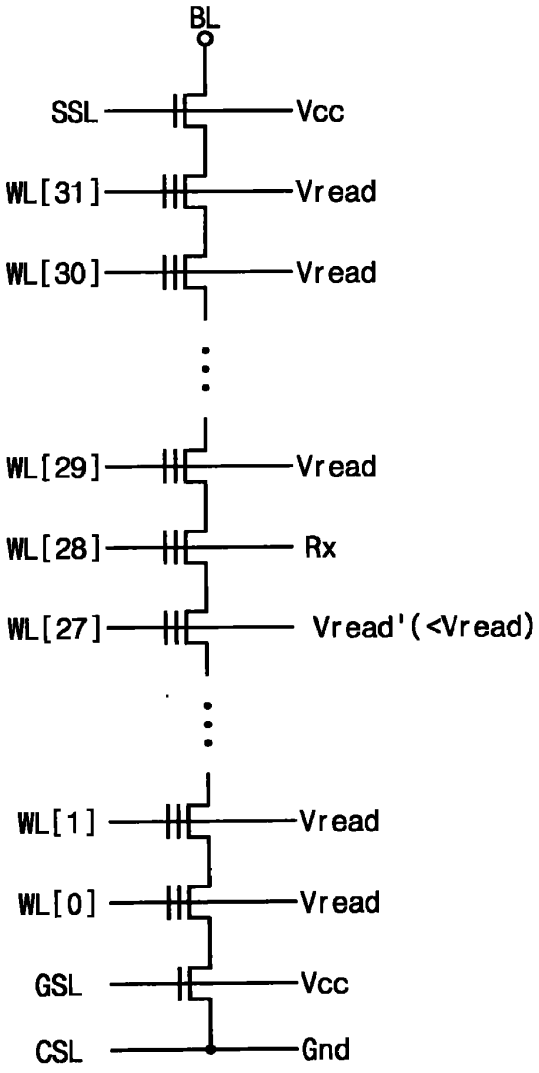


图 12

Micron Ex. 1002, p. 186
Micron v. YMTC
IPR2025-00190

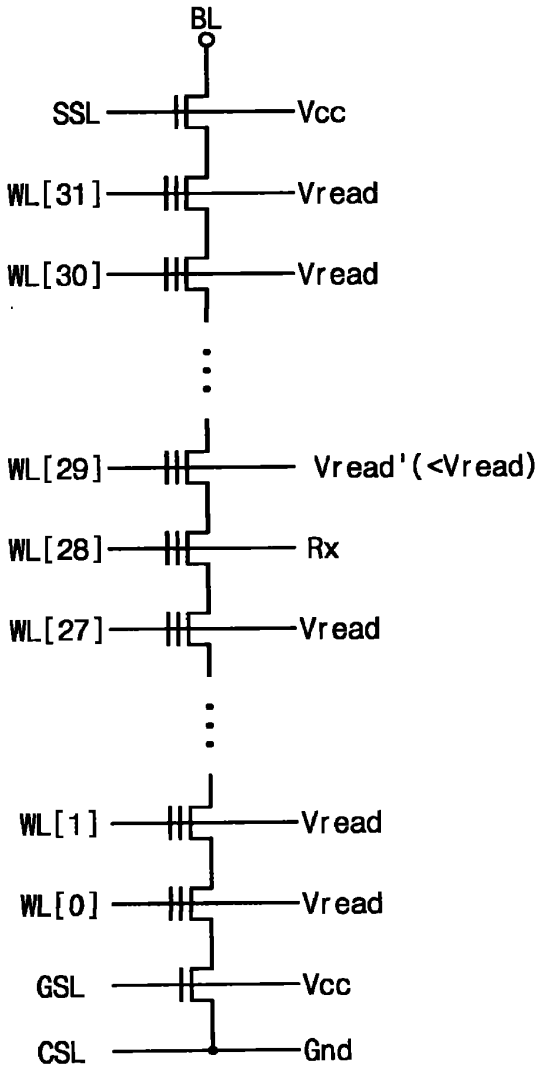


图 13

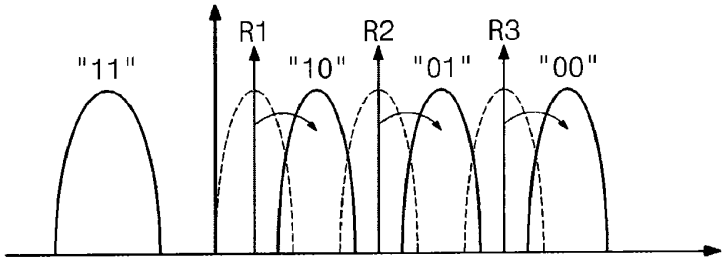


图 14

Micron Ex. 1002, p. 187
Micron v. YMTC
IPR2025-00190

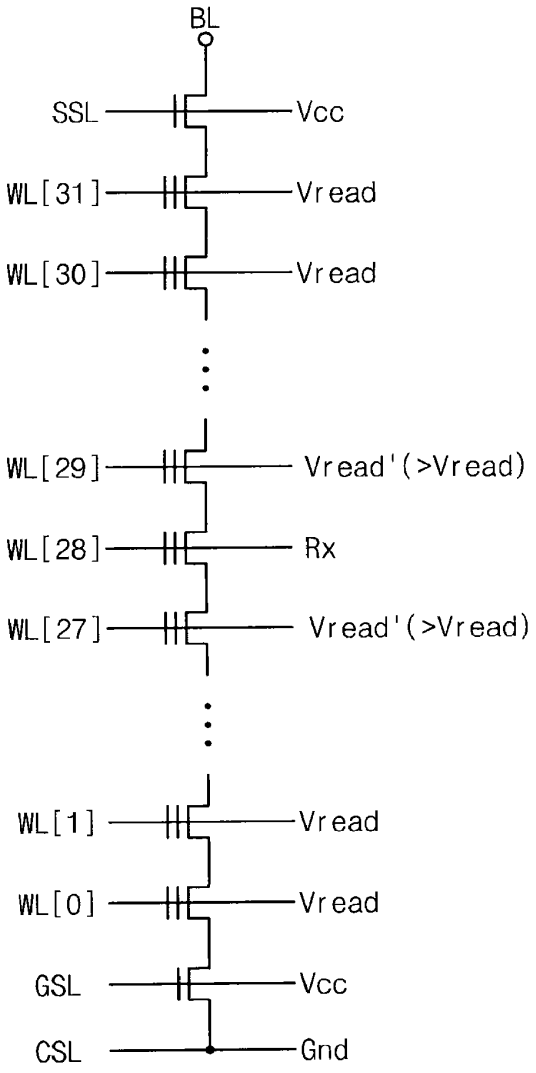


图 15

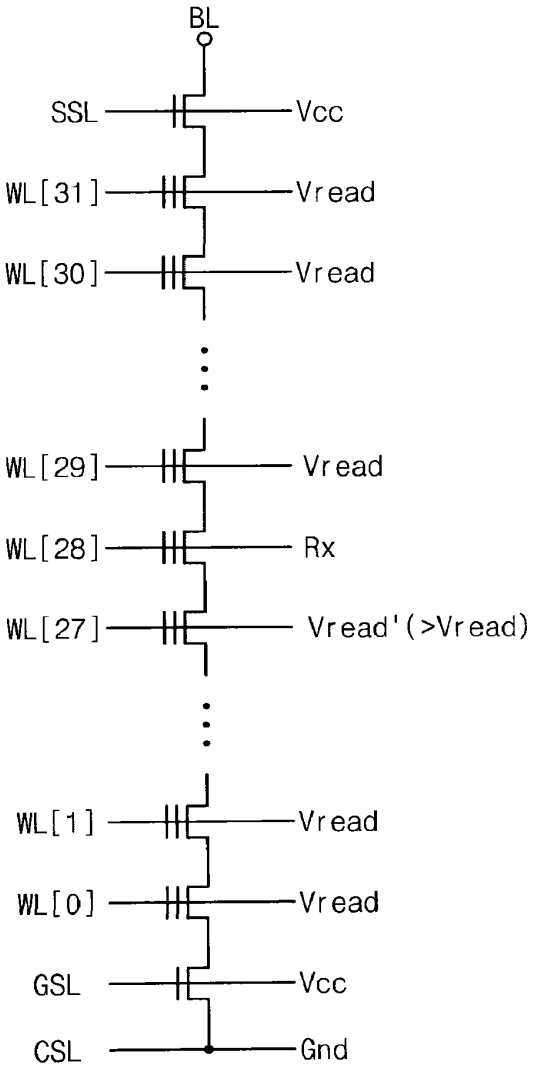


图 16

Micron Ex. 1002, p. 188
Micron v. YMTC
IPR2025-00190

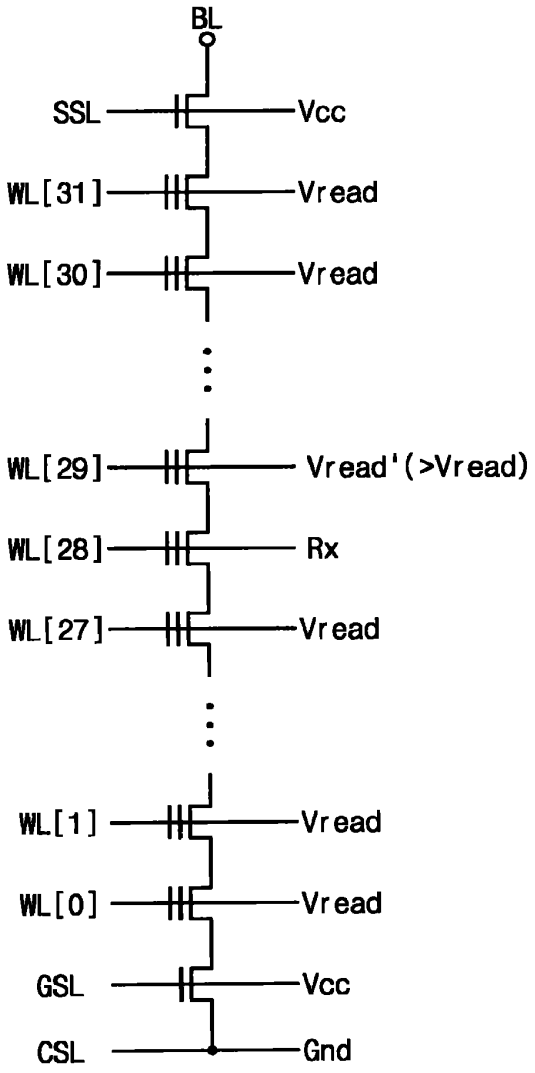


图 17

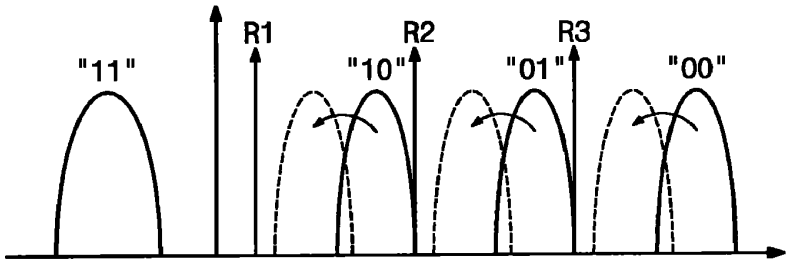


图 18

Micron Ex. 1002, p. 189
Micron v. YMTC
IPR2025-00190

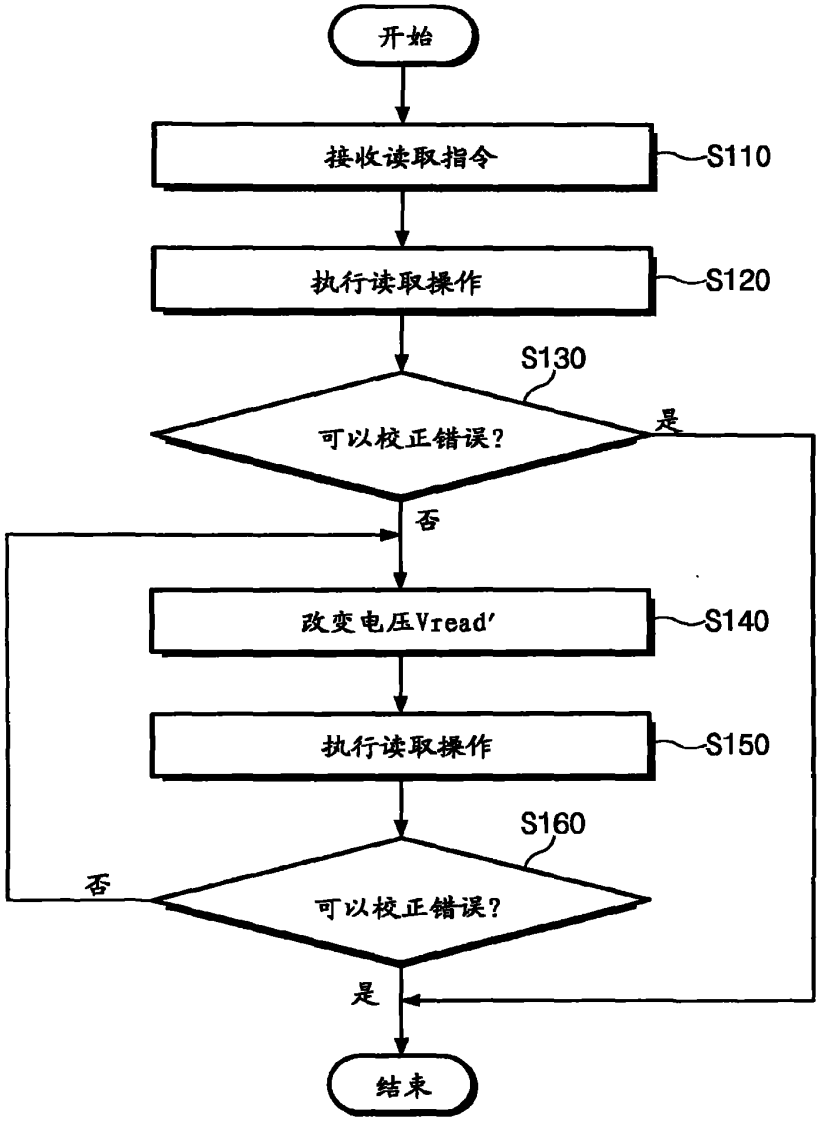


图 19

Micron Ex. 1002, p. 190
Micron v. YMTC
IPR2025-00190

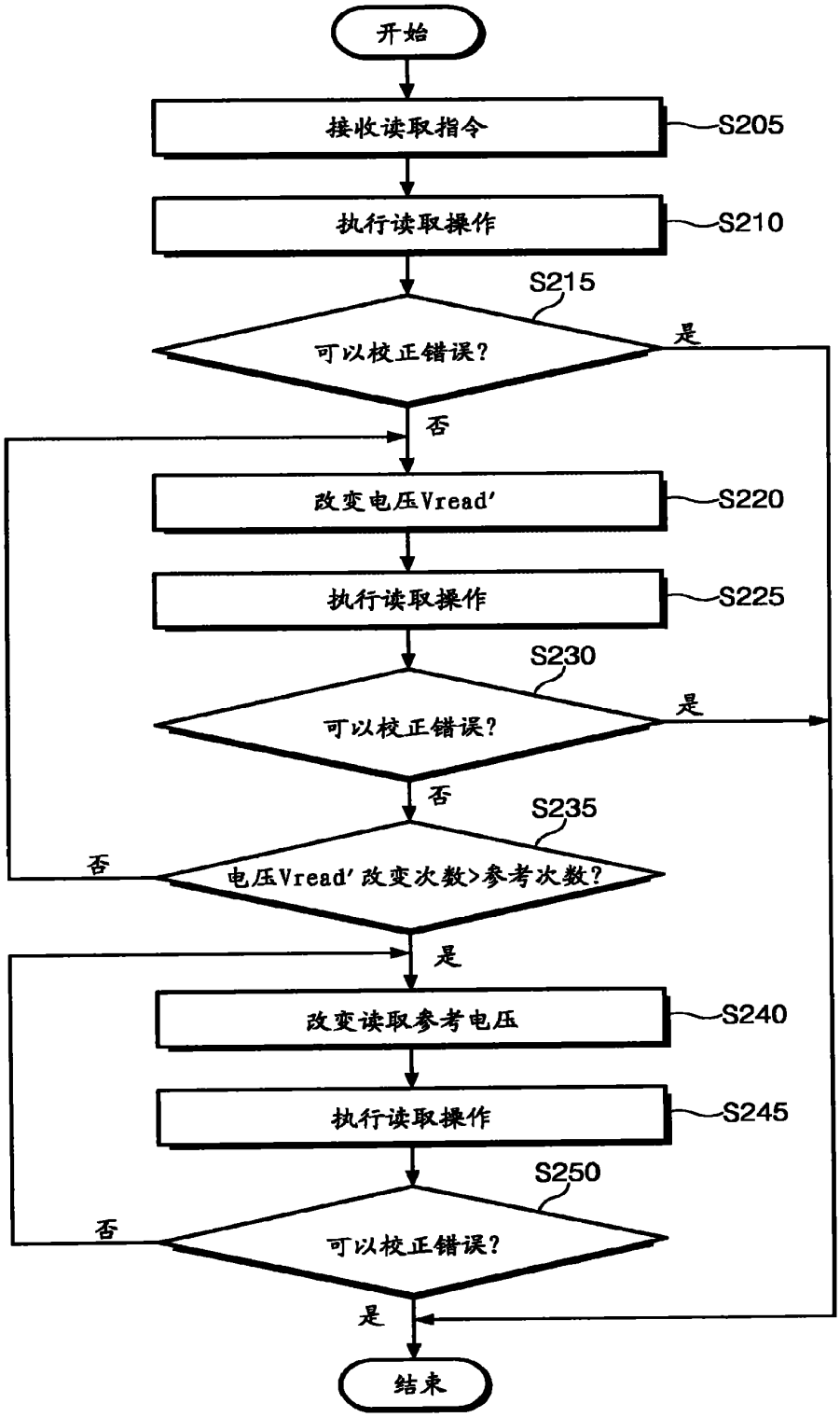


图 20

Micron Ex. 1002, p. 191
Micron v. YMTC
IPR2025-00190

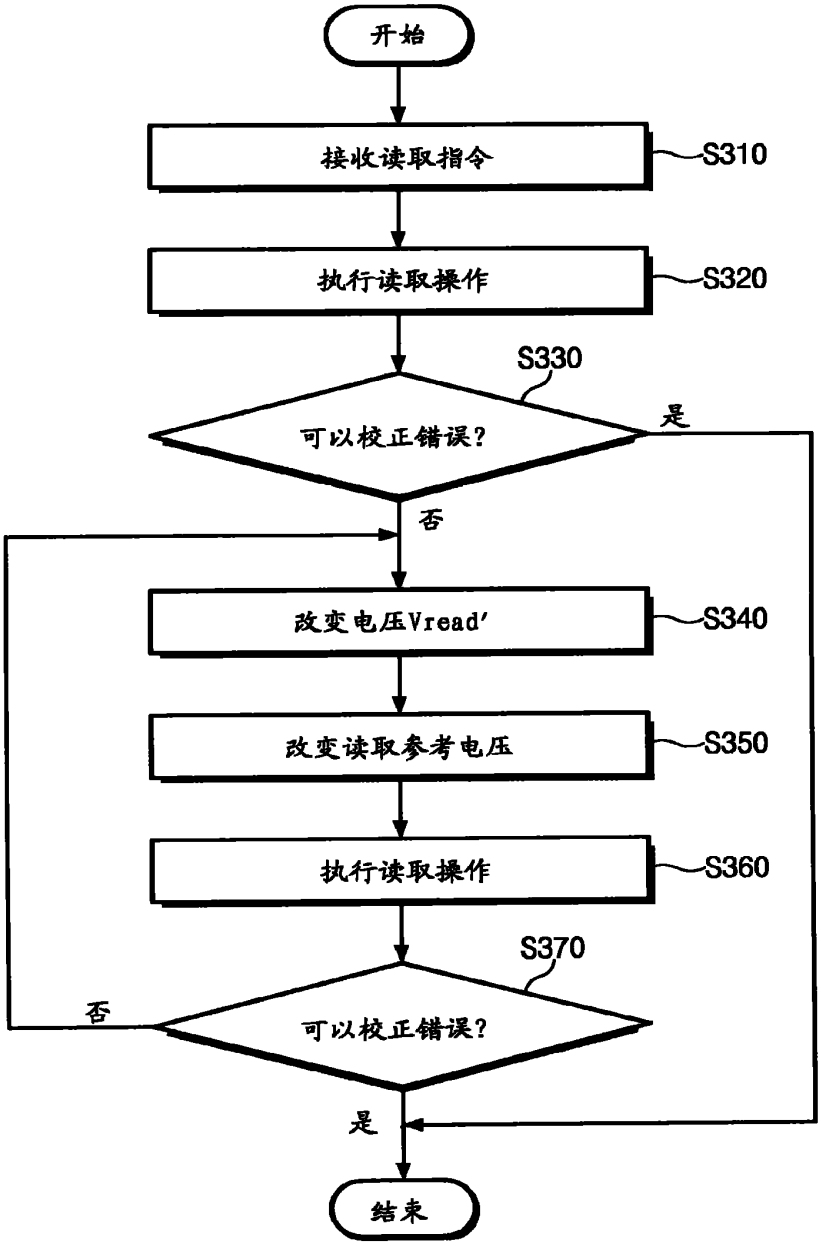


图 21

Micron Ex. 1002, p. 192
Micron v. YMTC
IPR2025-00190

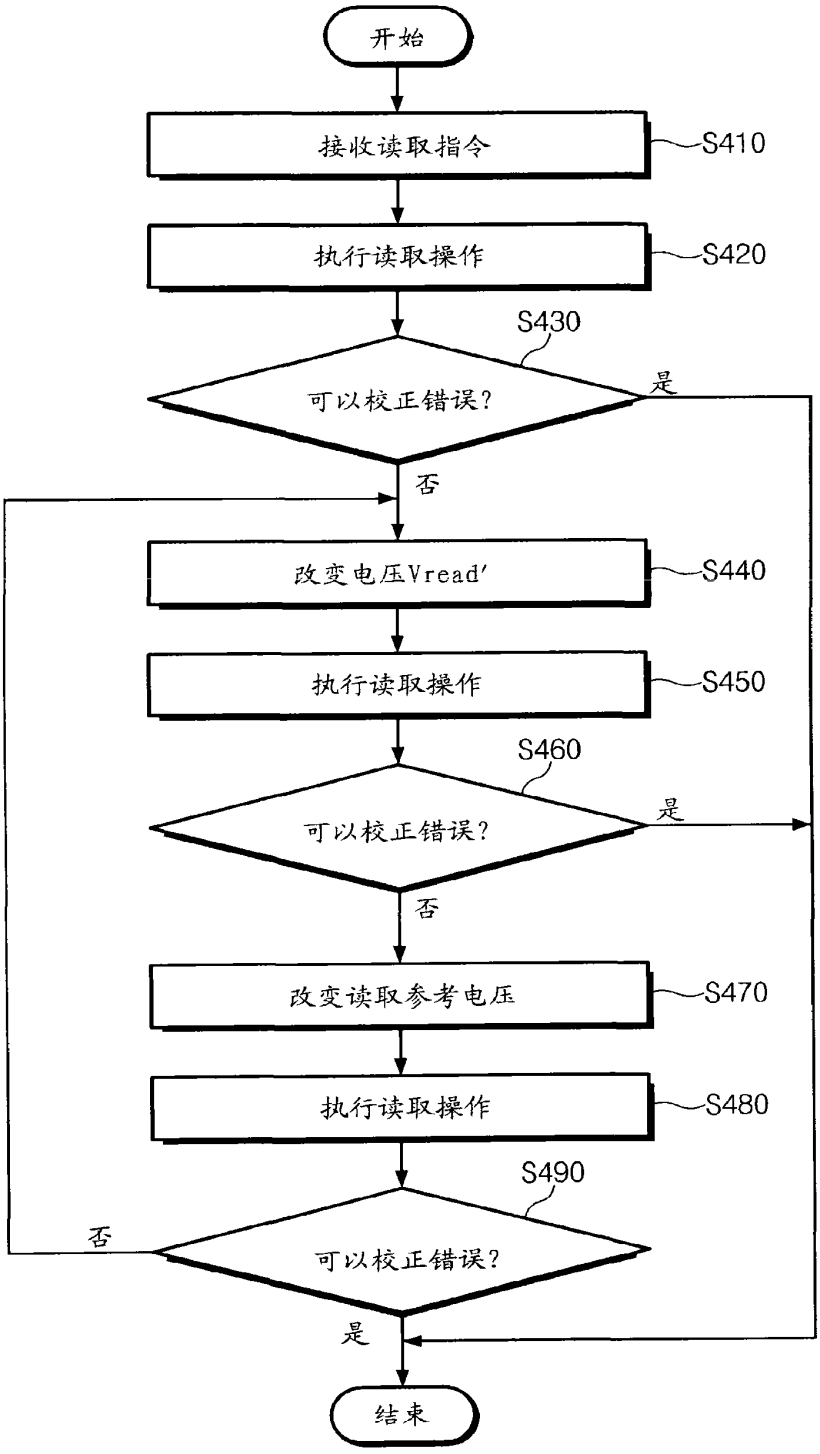


图 22

Micron Ex. 1002, p. 193
Micron v. YMTC
IPR2025-00190

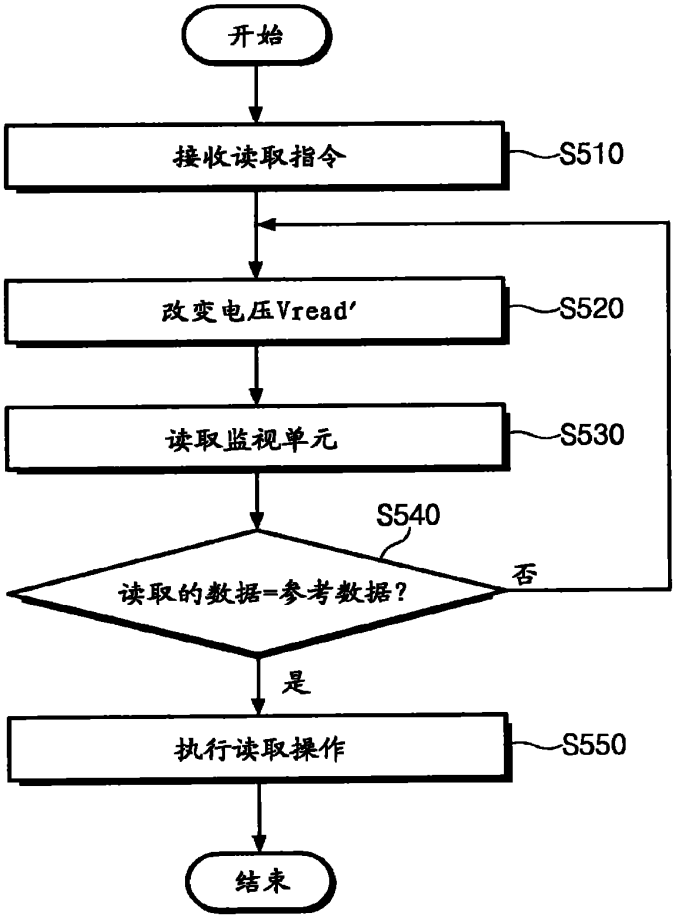


图 23

Micron Ex. 1002, p. 194
Micron v. YMTC
IPR2025-00190

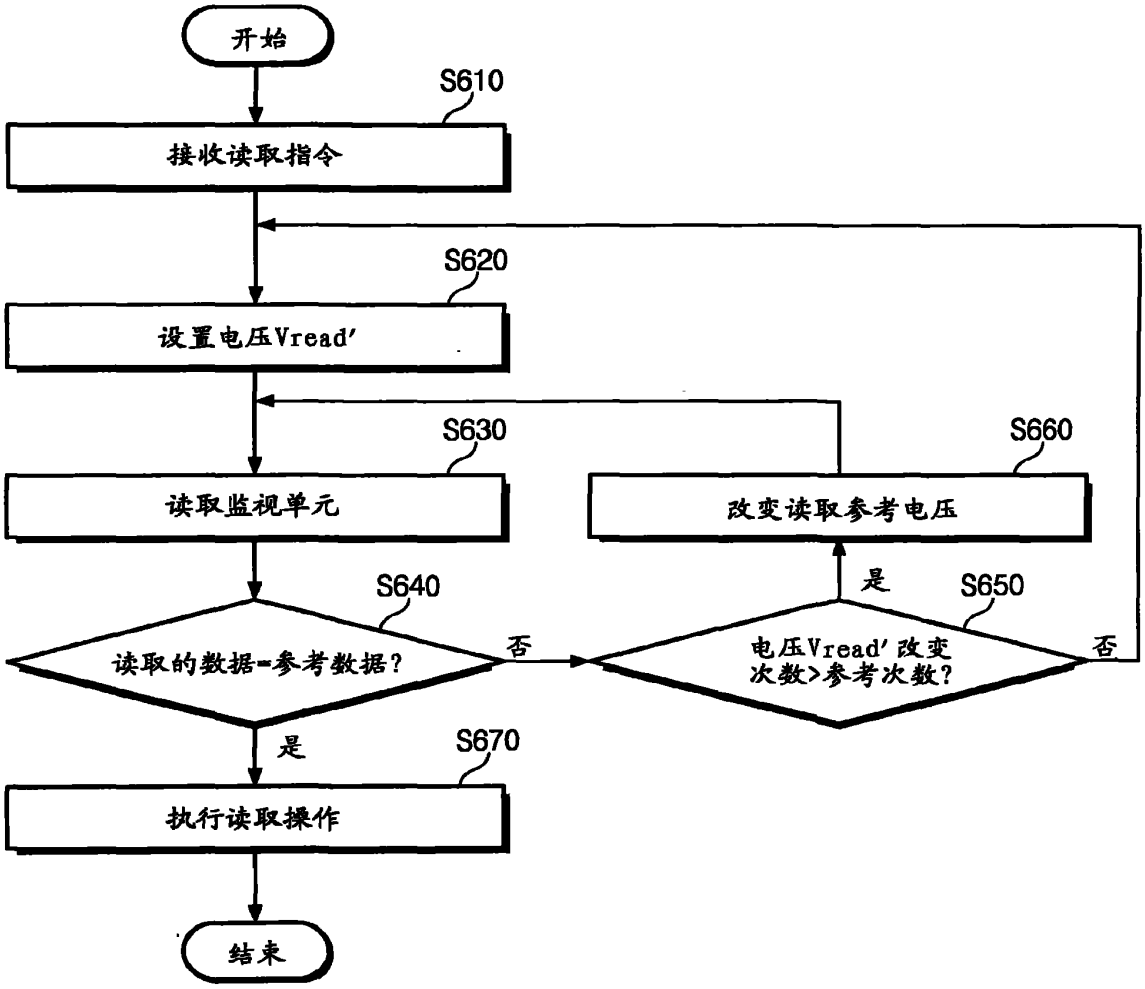


图 24

Micron Ex. 1002, p. 195
Micron v. YMTC
IPR2025-00190

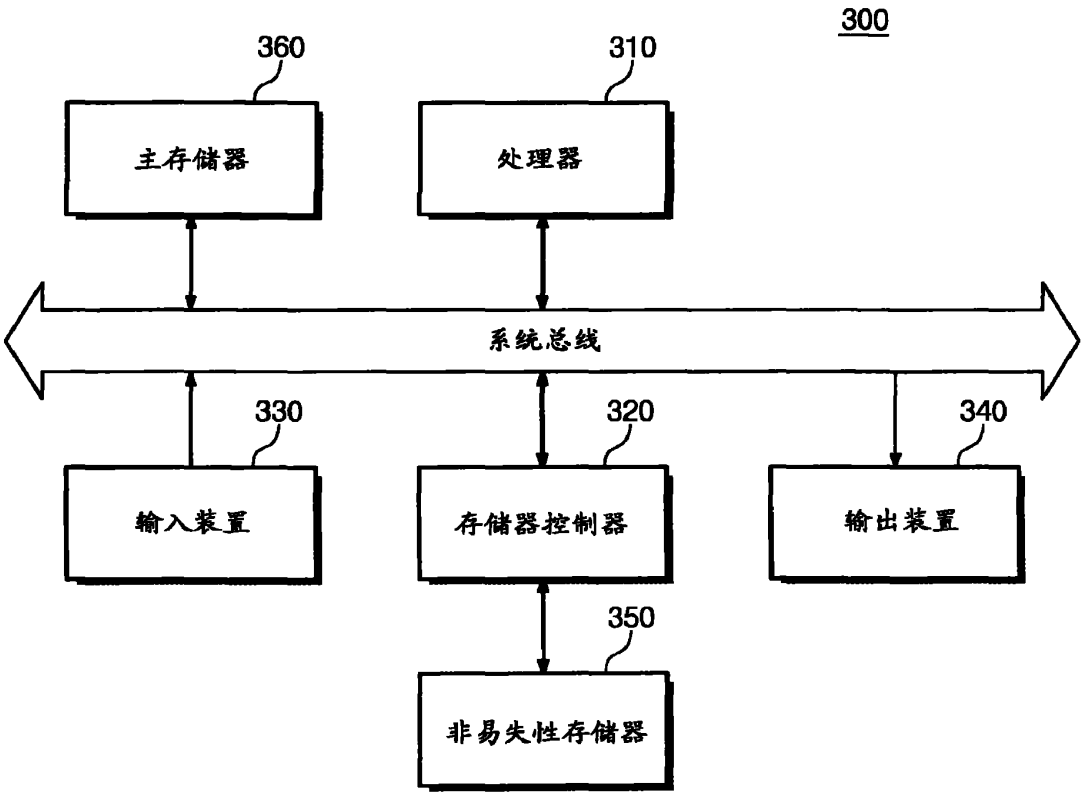


图 25

Micron Ex. 1002, p. 196
Micron v. YMTC
IPR2025-00190

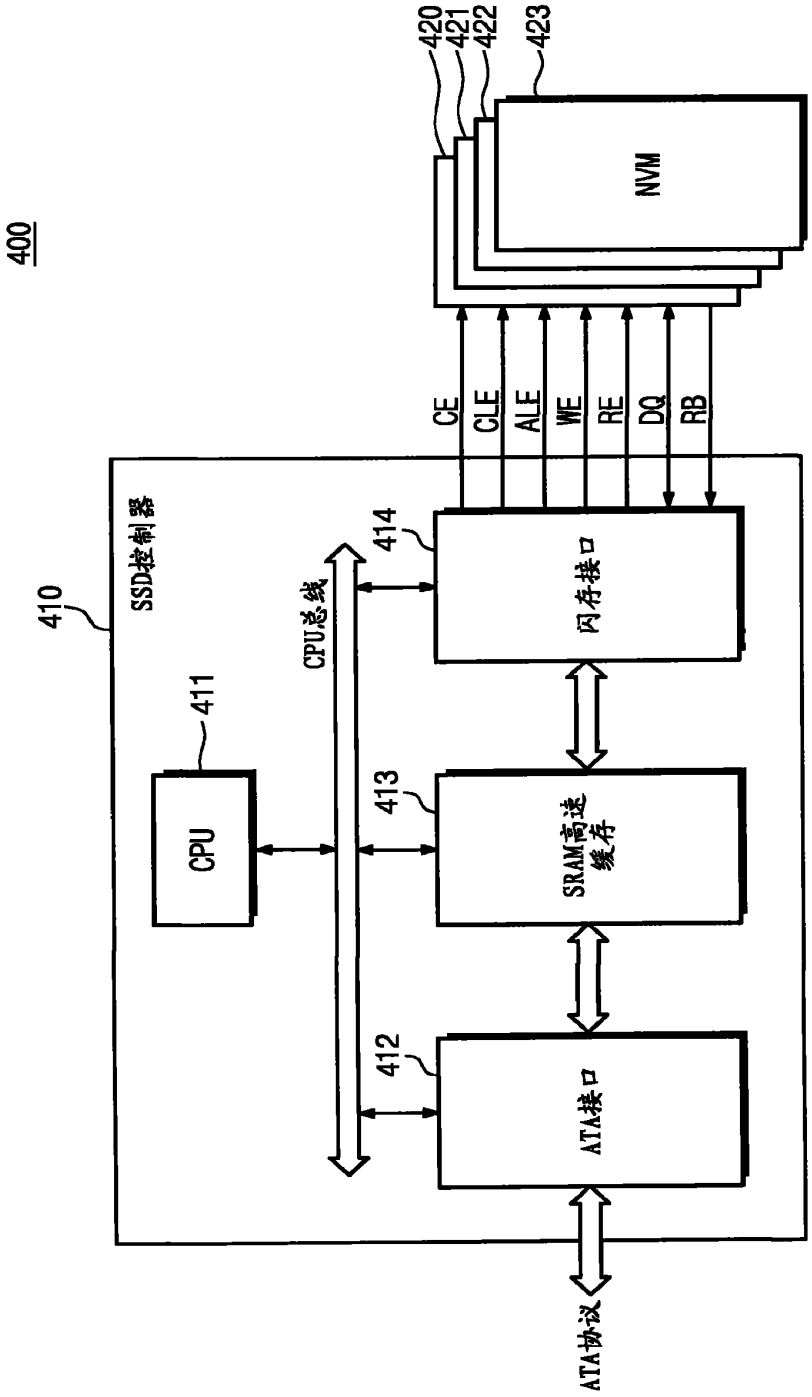


图 26

Micron Ex. 1002, p. 197
Micron v. YMTC
IPR2025-00190

The English-language equivalent US Published Application (No. 2012/0294087 A1) of CN (No. 102789814) is hereby presented to fulfill the 37 CFR 1.98(a)(3) requirement.

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 102789814 A
(43)申请公布日 2012.11.21

(21)申请号 201110397916.1

(22)申请日 2011.12.05

(30)优先权数据
10-2011-0047965 2011.05.20 KR

(71)申请人 海力士半导体有限公司
地址 韩国京畿道

(72)发明人 徐智贤 金秉国 郑成在

(74)专利代理机构 北京弘权知识产权代理事务所(普通合伙) 11363
代理人 郭放 许伟群

(51)Int.Cl.
G11C 16/10(2006.01)
G11C 16/02(2006.01)

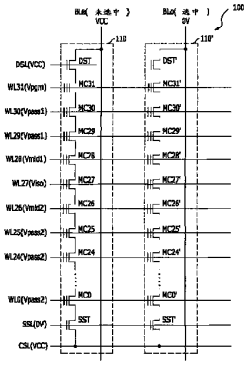
权利要求书 3 页 说明书 8 页 附图 6 页

(54)发明名称

非易失性存储器件的编程方法

(57)摘要

本发明提供一种非易失性存储器件的编程方法,包括以下步骤:将编程电压施加给选中的字线;将第一通过电压施加给与所述选中的字线相邻的至少一个字线;将比所述第一通过电压低但比隔离电压高的至少一个第一中间电压施加给与接收所述第一通过电压的字线相邻的至少一个字线;将所述隔离电压施加给与接收所述第一中间电压的字线相邻的字线;将比所述隔离电压高但比第二通过电压低的至少一个第二中间电压施加给与接收所述隔离电压的字线相邻的至少一个字线;以及将所述第二通过电压施加给与接收所述第二中间电压的字线相邻的至少一个字线。



CN 102789814 A

Micron Ex. 1002, p. 198
Micron v. YMTC
IPR2025-00190

1. 一种非易失性存储器件的编程方法，所述非易失性存储器件包括具有位于漏极选择线和源极选择线之间的多个字线的存储单元阵列，所述编程方法包括以下步骤：

将编程电压施加给选中的字线；

将第一通过电压施加给与所述选中的字线相邻的至少一个字线；

将比所述第一通过电压低但比隔离电压高的至少一个第一中间电压施加给与接收所述第一通过电压的字线相邻的至少一个字线；

将所述隔离电压施加给与接收所述第一中间电压的字线相邻的字线；

将比所述隔离电压高但比第二通过电压低的至少一个第二中间电压施加给与接收所述隔离电压的字线相邻的至少一个字线；以及

将所述第二通过电压施加给与接收所述第二中间电压的字线相邻的至少一个字线。

2. 如权利要求 1 所述的编程方法，其中，所述第一中间电压和所述第二中间电压彼此相同。

3. 如权利要求 1 所述的编程方法，其中，接收所述至少一个第一中间电压的所述至少一个字线包括至少两个字线，

所述至少一个第一中间电压包括多个第一中间电压，并且

将所述第一中间电压中的较低电压施加给所述至少两个字线中的与接收所述隔离电压的字线较近的一个，将所述第一中间电压中的较高电压施加给所述至少两个字线中的与接收所述隔离电压的字线较远的一个。

4. 如权利要求 3 所述的编程方法，其中，接收所述至少一个第二中间电压的所述至少一个字线包括至少两个字线，

所述至少一个第二中间电压包括多个第二中间电压，并且

将所述第二中间电压中的较低电压施加给所述至少两个字线中的与接收所述隔离电压的字线较近的一个，将所述第二中间电压中的较高电压施加给所述至少两个字线中的与接收所述隔离电压的字线较远的字线。

5. 如权利要求 4 所述的编程方法，其中，接收所述至少一个第一中间电压的至少一个字线的数目等于接收所述至少一个第二中间电压的至少一个字线的数目，并且

施加给接收所述至少一个第一中间电压的至少一个字线中的第一个的所述第一中间电压中的第一个与施加给接收所述至少一个第二中间电压的至少一个字线中的第一个的所述第二中间电压中的第一个相同，并且接收所述至少一个第一中间电压的至少一个字线中的第一个与接收所述至少一个第二中间电压的至少一个字线中的第一个关于接收所述隔离电压的字线对称地设置。

6. 如权利要求 1 所述的编程方法，其中，随着所述选中的字线变得更靠近所述漏极选择线，施加的所述隔离电压变大。

7. 如权利要求 1 所述的编程方法，其中，随着所述多个字线的数目变大，施加的所述隔离电压变大。

8. 一种非易失性存储器件的编程方法，所述非易失性存储器件包括多个单元串，每个所述单元串具有串联耦合在漏极选择晶体管和源极选择晶体管之间的多个存储单元，所述编程方法包括以下步骤：

将编程电压施加给第一单元串的存储单元的控制栅；

Micron Ex. 1002, p. 199
Micron v. YMTC
IPR2025-00190

将第一通过电压施加给与接收所述编程电压的存储单元相邻的至少一个存储单元的控制栅，其中，所述第一通过电压将与接收所述编程电压的存储单元相邻的至少一个存储单元导通；

将比所述第一通过电压低但是比隔离电压高的至少一个第一中间电压施加给与接收所述第一通过电压的存储单元相邻的至少一个存储单元的控制栅；

将所述隔离电压施加给与接收所述第一中间电压的存储单元相邻的至少一个存储单元的控制栅，其中，所述隔离电压将与接收所述第一中间电压的存储单元相邻的至少一个存储单元关断；

将比所述隔离电压高但是比第二通过电压低的至少一个第二中间电压施加给与接收所述隔离电压的存储单元相邻的至少一个存储单元的控制栅；以及

将所述第二通过电压施加给与接收所述第二中间电压的存储单元相邻的至少一个存储单元的控制栅。

9. 如权利要求 8 所述的编程方法，其中，所述第一单元串包括编程禁止单元串。

10. 如权利要求 8 所述的编程方法，其中，所述第一中间电压和所述第二中间电压彼此相等。

11. 如权利要求 8 所述的编程方法，其中，接收所述至少一个第一中间电压的所述至少一个存储单元包括至少两个存储单元，

所述至少一个第一中间电压包括多个第一中间电压，并且

将所述第一中间电压中的较低电压施加给所述至少两个存储单元中的与接收所述隔离电压的存储单元较近的一个，将所述第一中间电压中的较高电压施加给所述至少两个存储单元中的与接收所述隔离电压的存储单元较远的一个。

12. 如权利要求 11 所述的编程方法，其中，接收所述至少一个第二中间电压的所述至少一个存储单元包括至少两个存储单元；

所述至少一个第二中间电压包括多个第二中间电压，并且

将所述第二中间电压中的较低电压施加给所述至少两个存储单元中的与接收所述隔离电压的存储单元较近的一个，将所述第二中间电压中的较高电压施加给所述至少两个存储单元中的与接收所述隔离电压的存储单元较远的一个。

13. 如权利要求 12 所述的编程方法，其中，接收所述第一中间电压的所述至少一个存储单元的数目等于接收所述第二中间电压的所述至少一个存储单元的数目，以及

施加给接收所述至少一个第一中间电压的至少一个存储单元中的第一个的所述第一中间电压的第一个与施加给接收所述至少一个第二中间电压的至少一个字线中的第一个的所述第二中间电压的第一个相同，并且接收所述至少一个第一中间电压的至少一个存储单元中的第一个与接收所述至少一个第二中间电压的至少一个字线中的第一个关于接收所述隔离电压的存储单元对称地设置。

14. 如权利要求 8 所述的编程方法，其中，随着选中的存储单元变得更靠近所述漏极选择晶体管，施加的所述隔离电压变大。

15. 如权利要求 8 所述的编程方法，其中，随着所述多个字线的数目变大，施加的所述隔离电压变大。

16. 一种对非易失性器件进行编程的方法，包括以下步骤：

Micron Ex. 1002, p. 200
Micron v. YMTC
IPR2025-00190

将编程电压施加给存储串的选中的字线；

将隔离电压施加给所述存储串的另一字线，其中，所述存储串的存储单元接收所述隔离电压且响应于所述隔离电压而被关断，无论所述存储单元是否被编程；

将至少一个第一通过电压施加给位于所述选中的字线与接收所述隔离电压的字线之间的至少一个第一字线，其中，所述存储串中的至少一个存储单元接收所述至少一个第一通过电压且响应于所述至少一个第一通过电压而被导通，无论接收所述至少一个第一通过电压的至少一个存储单元是否被编程；以及

将至少一个中间电压施加给位于所述至少一个第一字线与接收所述隔离电压的字线之间的至少一个第二字线，其中，所述至少一个中间电压比所述至少一个第一通过电压低但是比所述隔离电压高。

17. 如权利要求 16 所述的方法，其中，所述至少一个中间电压包括第一中间电压和比所述第一中间电压低的第二中间电压，所述第一中间电压被施加给所述至少一个第二字线中的第一个，而所述第二中间电压被施加给所述至少一个第二字线中的第二个，所述至少一个第二字线中的第二个位于所述至少一个第二字线中的第一个与接收所述隔离电压的字线之间。

18. 如权利要求 16 所述的方法，其中，所述至少一个第一通过电压和所述至少一个中间电压相对于接收所述隔离电压的存储单元对称地施加在所述存储串的两侧。

19. 如权利要求 16 所述的方法，其中，随着所述选中的字线变得更靠近于与位于所述存储串的存储单元和位线之间的存储单元耦合的漏极选择线，施加的所述隔离电压变大。

20. 如权利要求 16 所述的方法，其中，随着所述存储串的字线的总数目变大，施加的所述隔离电压变大。

Micron Ex. 1002, p. 201
Micron v. YMTC
IPR2025-00190

非易失性存储器件的编程方法

[0001] 相关申请的交叉引用

[0002] 本申请要求于 2011 年 5 月 20 日提交的韩国申请 No. 10-2011-0047965 的优先权，其全部内容通过引用合并于此。

技术领域

[0003] 本发明的示例性实施例涉及一种非易失性存储器件的编程方法，更具体来说，涉及一种利用局部自升压方案来执行编程禁止操作的非易失性存储器件的编程方法。

背景技术

[0004] 非易失性存储器件能够对数据进行电编程和电擦除，且不需要用于周期性重写数据的刷新功能。这里，编程指的是将数据写入存储单元的操作。

[0005] 在作为一种示例性非易失性存储器件的 NAND 型快闪存储器件中，相邻的存储单元共用漏极或源极，使得多个存储单元串联耦合以形成单元串（即，存储单元串）。NAND 型快闪存储器件适于储存大量信息。

[0006] NAND 型快闪存储器件的每个单元串可以包括串联耦合在位线和公共源极线之间的漏极选择晶体管、存储单元和源极选择晶体管。不同单元串中的漏极选择晶体管、存储单元和源极选择晶体管使它们的栅极分别通过漏极选择线、字线和源极选择线而相互耦合，其中，它们分别受到漏极选择线、字线和源极选择线的控制。这里，具有共同耦合到字线的控制栅的存储单元由字线来控制且形成页。在更大的尺寸范围上，包括页的多个单元串和耦合到所述单元串的多个位线形成存储单元块。

[0007] 在对存储单元进行编程中，可以先对存储单元执行擦除操作以将它们的阈值电压调整至负电压。随后，当将高电压作为编程电压施加给选中的存储单元的字线时，选中的存储单元的阈值电压增加。另一方面，其余的存储单元的阈值电压不变。

[0008] 然而，在编程操作期间将编程电压施加到选中的字线时，编程电压会被施加到共用所述选中字线的所有存储单元。因而，除了选中的存储单元以外，耦合到所述选中字线的存储单元都可能被编程（即，编程干扰）。

[0009] 关于用于防止这种编程干扰的方法，存在利用自升压 (self-boosting) 方案的编程禁止方法和利用局部自升压方案的编程禁止方法。

[0010] 在自升压方案中，在存储单元沟道串联耦合时，通过关断源极 / 漏极选择晶体管而使耦合到未选中位线的单元串中的所有存储单元电隔离并进入浮置状态。这里，沟道电压升压。由于升压后的沟道电压与字线之间的电压差较小，所以即使将编程电压施加到选中的字线也可以防止耦合到未选中的位线的编程禁止单元（即不进行编程的存储单元）被编程。

[0011] 局部自升压方案与自升压方案类似，区别在于以下特征。在局部自升压方案中，由于位于与未选中位线耦合的单元串中的存储单元之中的选中存储单元的一侧或两侧的存储单元被关断，因此与未选中位线耦合的单元串的存储单元沟道被电隔离成彼此隔离的两

Micron Ex. 1002, p. 202
Micron v. YMTC
IPR2025-00190

个或更多个局部沟道（即，选中的存储单元所属的沟道以及其他沟道）并进入到浮置状态。这里，各个局部沟道的沟道电压被升压。在局部自升压方案中，与自升压方案相比编程禁止单元的沟道电压的升压效果可以得到增强。

[0012] 然而，当应用局部自升压方案时，升压的局部沟道电压与关断的存储单元的沟道电压之差可能较大且由此造成热载流子注入，其中关断的存储单元中的漏电流引起相邻的存储单元、如编程禁止单元中的电子注入。

[0013] 这里，上述的热载流子注入可能通过例如改变存储单元的阈值电压而使器件特性降低，由此引起编程操作或读取操作等的错误。因而，用于防止上述热载流子注入的技术是有用的。

发明内容

[0014] 本发明的示例性实施例涉及一种非易失性存储器件的编程方法，其能够减少由于存储单元之间的沟道电压差造成的热载流子注入，同时根据局部自升压方案来执行编程禁止操作。

[0015] 根据本发明的一个示例性实施例，一种非易失性存储器件的编程方法，所述非易失性存储器件包括具有位于漏极选择线和源极选择线之间的多个字线的存储单元阵列，所述编程方法包括以下步骤：将编程电压施加给选中的字线；将第一通过电压施加给与所述选中的字线相邻的至少一个字线；将比所述第一通过电压低但比隔离电压高的至少一个第一中间电压施加给与接收所述第一通过电压的字线相邻的至少一个字线；将所述隔离电压施加给与接收所述第一中间电压的字线相邻的字线；将比所述隔离电压高但比第二通过电压低的至少一个第二中间电压施加给与接收所述隔离电压的字线相邻的至少一个字线；以及将所述第二通过电压施加给与接收所述第二中间电压的字线相邻的至少一个字线。

[0016] 根据本发明的另一个示例性实施例，一种非易失性存储器件的编程方法，所述非易失性存储器件包括多个单元串，每个所述单元串具有串联耦合在漏极选择晶体管和源极选择晶体管之间的多个存储单元，所述编程方法包括以下步骤：将编程电压施加给第一单元串的存储单元的控制栅；将第一通过电压施加给与接收所述编程电压的存储单元相邻的至少一个存储单元的控制栅，其中，所述第一通过电压将与接收所述编程电压的存储单元相邻的至少一个存储单元导通；将比所述第一通过电压低但是比隔离电压高的至少一个第一中间电压施加给与接收所述第一通过电压的存储单元相邻的至少一个存储单元的控制栅；将所述隔离电压施加给与接收所述第一中间电压的存储单元相邻的至少一个存储单元的控制栅，其中，所述隔离电压将与接收所述第一中间电压的存储单元相邻的至少一个存储单元关断；将比所述隔离电压高但是比第二通过电压低的至少一个第二中间电压施加给与接收所述隔离电压的存储单元相邻的至少一个存储单元的控制栅；以及将所述第二通过电压施加给与接收所述第二中间电压的存储单元相邻的至少一个存储单元的控制栅。

[0017] 根据本发明的另一个示例性实施例，一种非易失性存储器件的编程方法包括：将编程电压施加给存储串的选中的字线；将隔离电压施加给所述存储串的另一字线，其中，所述存储串的存储单元接收所述隔离电压且响应于所述隔离电压而被关断，无论所述存储单元是否被编程；将至少一个第一通过电压施加给位于所述选中的字线与接收所述隔离电压的字线之间的至少一个第一字线，其中，所述存储串中的至少一个存储单元接收所述至少

Micron Ex. 1002, p. 203
Micron v. YMTC
IPR2025-00190

一个第一通过电压且响应于所述至少一个第一通过电压而被导通，无论接收所述至少一个第一通过电压的至少一个存储单元是否被编程；以及将至少一个中间电压施加给位于所述至少一个第一字线与接收所述隔离电压的字线之间的至少一个第二字线，其中，所述至少一个中间电压比所述至少一个第一通过电压低但是比所述隔离电压高。

附图说明

[0018] 图 1A 是示出根据本发明第一示例性实施例的非易失性存储器件及其编程方法的电路图，图 1B 是耦合到图 1A 的未选中位线的单元串的截面图。

[0019] 图 2A 至 2D 是示出根据本发明第一示例性实施例的非易失性存储器件的编程方法的效果的图。

[0020] 图 3 是示出根据本发明第二示例性实施例的非易失性存储器件的编程方法的电路图。

[0021] 图 4 是根据本发明第三示例性实施例的非易失性存储器件的编程方法的电路图。

具体实施方式

[0022] 下面将参考附图更详细地描述根据本发明的示例性实施例。然而，本发明可以通过不同的形式来实现，且不应被限定于本文描述的实施例。相反，提供这些实施例是使本公开更加完整和透彻，并将本发明的范围完整传达给本领域技术人员。在本公开中，在本发明的各个附图和实施例中相同的附图标记用来表示相同的部件。

[0023] 图 1A 是示出根据本发明第一示例性实施例的非易失性存储器件及其编程方法的电路图。图 1B 是耦合到图 1A 的未选中位线的单元串的截面图。

[0024] 参见图 1A 和 1B，根据本发明第一实施例的非易失性存储器设置有存储单元块 100，所述存储单元块 100 包括多个单元串 110、110'、分别耦合到单元串 110 和 110'的第一端的多个位线 BLe 和 BLo、以及共同地耦合到单元串 110、110'的另一端的公共源极线 CSL。

[0025] 单元串 110、110'分别包括存储单元（MC0 至 MC31 以及 MC0'至 MC31'）、源极选择晶体管（SST 和 SST'）以及漏极选择晶体管（DST 和 DST'）。存储单元（MC0 至 MC31 或 MC0'至 MC31'）串联耦合在源极选择晶体管（SST 或 SST'）和漏极选择晶体管（DST 或 DST'）之间。在示例性实施例中，尽管存储单元块 100 被示出为包括两个单元串 110、110'，但是根据应用示例性实施例的不同环境，单元串的数目可以改变。

[0026] 存储单元（MC0 至 MC31 以及 MC0'至 MC31'）中的每个包括浮栅 FG 和控制栅 CG 的层叠结构，存储单元的控制栅相互耦合以共享字线。例如，存储单元 MC31 和 MC31'共享字线 WL31 并形成页。尽管示出了 32 个页和 32 个字线 WL0 至 WL31，但是根据应用示例性实施例的不同实施方式，字线的数目可以改变。

[0027] 此外，漏极选择晶体管 DST 和 DST'的栅极共同地耦合到漏极选择线 DSL，源极选择晶体管 SST 和 SST'的栅极共同地耦合到源极选择线 SSL。

[0028] 因此，设置成相互平行的多个字线 WL0 至 WL31 被提供在由存储单元块 100 的漏极选择线 DSL 和源极选择线 SSL 控制的选择晶体管之间。

[0029] 多个位线 BLe 和 BLo 可以分别耦合到单元串 110 和 110'所包括的漏极选择晶体管 DST 和 DST'的漏极，其中 BLe 表示偶数位线且 BLo 表示奇数位线。根据一个例子，在编

Micron Ex. 1002, p. 204
Micron v. YMTC
IPR2025-00190

程操作期间 BLe 是未选中的位线而 BLo 是选中的位线。然而，根据应用示例性实施例的不同实施方式，不同的位线可以被选中或不被选中。

[0030] 公共源极线 CSL 可以共同地耦合到单元串 110 和 110' 所包括的源极选择晶体管 SST 和 SST' 的源极。

[0031] 对非易失性存储器件进行编程的方法可以如以下来执行。根据一个例子，利用局部自升压方案的编程禁止方法可以执行如下。

[0032] 首先，执行擦除操作以擦除存储单元块 100 中所包括的所有存储单元 (MC0 至 MC31 以及 MC0' 至 MC31') 的数据。

[0033] 接着，将接地电压 0V 施加至耦合到源极选择晶体管 SST 的栅极的源极选择线 SSL，将电源电压 VCC 作为编程禁止电压施加给未选中的位线 BLe，将接地电压 0V 施加给选中的位线 BLo，将电源电压 VCC 施加给与漏极选择晶体管 DST 的栅极相对应的漏极选择线 DSL。因而，单元串 110 和 110' 的沟道分别被预充电至施加给未选中的位线 BLe 的电压和施加给选中的位线 BLo 的电压。

[0034] 这里，选中的位线 BLo 耦合到单元串 110'，单元串 110' 包括要进行编程的存储单元（下文称作编程目标存储单元），未选中的位线 BLe 耦合到单元串 110，单元串 110 包括不进行编程、但与编程目标存储单元所耦合的同一字线耦合的存储单元（下文称作编程禁止单元）。根据一个例子，编程目标存储单元是存储单元 MC31'，存储单元 MC31' 是单元串 110' 相对于选中的位线 BLo 最近的存储单元并接收以下将描述的编程电压 Vpgm，编程禁止存储单元是单元串 110 的存储单元 MC31。然而，编程目标存储单元和编程禁止存储单元的位置可以根据不同的设计需要 / 操作而改变（例如附图所示的）。

[0035] 接着，将编程电压 Vpgm 施加到与编程目标存储单元 MC31' 的控制栅 CG 耦合的字线 WL31（即，选中的字线 WL31），将比编程电压 Vpgm 低的第一通过电压 Vpass1 施加到与选中的字线 WL31 相邻的一个或更多个字线，例如，字线 WL30 和 WL29。此外，将比第一通过电压 Vpass1 低而比隔离电压 Viso 高的第一中间电压 Vmid1 施加到与接收第一通过电压 Vpass1 的字线 WL30、WL29 相邻的一个或更多个字线（例如，字线 WL28），并将隔离电压 Viso 施加到与接收第一中间电压 Vmid1 的字线 (WL28) 相邻的一个或更多个字线（例如，字线 WL27）。此外，将比隔离电压 Viso 高而比第二通过电压 Vpass2 低的第二中间电压 Vmid2 施加给与施加了隔离电压 Viso 的字线 WL27 相邻的一个或更多个字线（例如，字线 WL26），将第二通过电压 Vpass2 施加给与接收第二中间电压 Vmid2 的字线 WL26 相邻的其它字线 (WL0 至 WL25)。

[0036] 编程电压 Vpgm 是用于对编程目标存储单元 MC31' 进行编程的高电压，根据一个例子，可以被设置成约 20V。

[0037] 第一通过电压 Vpass1 或第二通过电压 Vpass2 是用于将与未选中的位线 BLe 耦合的单元串 110 的相应存储单元 (MC0 至 MC25、MC29 和 MC30) 导通（无论这些存储单元的编程状态如何）的电压。第一通过电压 Vpass1 或第二通过电压 Vpass2 具有比隔离电压 Viso 高但是比编程电压 Vpgm 低的值，根据一个例子，可以被设置成 9V。第一通过电压 Vpass1 可以等于或不等于第二通过电压 Vpass2。

[0038] 隔离电压 Viso 是用于将单元串 110 的存储单元 MC27 关断（无论存储单元 MC27 的编程状态如何）的低电压，根据一个例子，隔离电压 Viso 可以具有 3V 的值。

Micron Ex. 1002, p. 205
Micron v. YMTC
IPR2025-00190

[0039] 随着施加了隔离电压 Viso，与未选中的位线 BLe 耦合的单元串 110 可以包括彼此电隔离且处于浮置状态的两个或更多个局部沟道。更具体来说，单元串 110 的沟道可以包括如下的一个局部沟道，所述局部沟道被配置成作为接收编程电压 Vpgm 的存储单元 MC31 以及与存储单元 31 相邻且接收第一通过电压 Vpass1 的存储单元 MC30 和 MC29 的沟道，单元串 110 的沟道还包括另一局部沟道，所述另一局部沟道被配置成作为接收第二通过电压 Vpass2 的存储单元 MC0 至 MC25 的沟道。这里，当隔离电压 Viso 施加到设置在单元串 110 中间的存储单元 MC27 时，局部沟道彼此电隔离。

[0040] 这里，由于存储单元 MC29 至 MC31 的沟道电压可以响应于编程电压 Vpgm 和第一通过电压 Vpass1 而自升压，因此在编程禁止存储单元 MC31 的浮栅 FG 与沟道之间不出现 F-N(Fowler-Nordheim) 隧穿，并且编程禁止存储单元 MC31 保持初始擦除状态。

[0041] 将第一中间电压 Vmid1 施加到存储单元 MC28，存储单元 MC28 设置在接收隔离电压 Viso 的存储单元 MC27 和接收第一通过电压 Vpass1 的存储单元 MC29 之间，第一中间电压 Vmid1 具有第一通过电压 Vpass1 和隔离电压 Viso 之间的值。此外，将第二中间电压 Vmid2 施加到存储单元 MC26，存储单元 MC26 设置在接收隔离电压 Viso 的存储单元 MC27 和接收第二通过电压 Vpass2 的存储单元 MC25 之间，第二中间电压 Vmid2 具有第二通过电压 Vpass2 和隔离电压 Viso 之间的值。这里，第一中间电压 Vmid1 和第二中间电压 Vmid2 可以具有相同的值（例如，5.6V）。当第一中间电压 Vmid1 和第二中间电压 Vmid2 彼此相同时，用于提供包括这两个中间电压在内的电压的电压发生电路的配置可以比第一中间电压 Vmid1 和第二中间电压 Vmid2 彼此不同时更为简化。

[0042] 在常规的非易失性器件中，接收隔离电压的字线可以设置在接收通过电压的字线之间，且被设置成与所述字线相邻。例如，若结合图 1A 和图 1B 来描述此配置时，第一通过电压 Vpass1 和第二通过电压 Vpass2 分别施加到字线 W26 和 W28，所述字线 W26 和 W28 位于被施加了隔离电压 Viso 的字线 WL27 两侧。因而，耦合到未选中的位线 BLe 的单元串 110 的沟道借助于位于中间的存储单元 MC27 的沟道而被隔离，且包括由经过存储单元 MC28 至 MC31 的沟道所构成的局部沟道，以及由经过存储单元 MC0 至 MC26 所形成的沟道构成的另一局部沟道。

[0043] 根据常规的非易失性存储器件，存储单元 MC27 的沟道电压通过隔离电压 Viso 被固定为低电压（例如，接地电压 0V），存储单元 MC27 的沟道两侧的局部沟道电压由编程电压 Vpgm 和 / 或通过电压 Vpass1 和 Vpass2 升压。这里，关断的存储单元 MC27 的沟道电压与经过相邻存储单元 MC26 或 MC28 的局部沟道的电压之差变得相对较大。在这种情况下，在关断的存储单元 MC27 的沟道以及与关断的存储单元 MC27 的沟道相邻的局部沟道之间存在强横向电场。因而，由于关断的存储单元 MC27 中的漏电流，电子朝着经过相邻存储单元 MC26 或 MC28 的局部沟道转移。在关断的存储单元 MC27 的两侧处的存储单元（例如，存储单元 MC26 和 MC28）中，由第一通过电压 Vpass1 或第二通过电压 Vpass2 形成朝向浮栅 FG 的强纵向电场。在这种情况下，在转移的电子经过存储单元 MC26 或 MC28 的栅电介质层且被注入到存储单元 MC26 或 MC28 的浮栅 FG 的地方，可能出现热载流子注入。

[0044] 根据第一示例性实施例，在解决常规的非易失性存储器件的这种特征时，可以将比第一通过电压 Vpass1 和第二通过电压 Vpass2 低但是比隔离电压 Viso 高的电压（即，第一中间电压 Vmid1 和第二中间电压 Vmid2）施加给与关断的存储单元 MC27 相邻的存储单元

Micron Ex. 1002, p. 206
Micron v. YMTC
IPR2025-00190

MC26 和 MC28。

[0045] 在使用这种配置时，分别接收第一中间电压 Vmid1 和第二中间电压 Vmid2 的存储单元 MC26 和 MC28 的沟道电压的升压比接收第一通过电压 Vpass1 和第二通过电压 Vpass2 的存储单元（例如，存储单元 MC25 和 MC29）的沟道电压的升压低。因此，存储单元 MC27 的沟道电压与存储单元 MC26 和 MC28 的沟道电压之差减少，存储单元 MC26 和 MC28 的沟道电压和分别与存储单元 MC26 和 MC28 相邻的存储单元 MC25 和 MC29 的沟道电压之差减少。结果，由于在每级减少了关断的存储单元与相邻存储单元之间的沟道电压，因此可以防止存储单元之间的沟道电压的快速变化带来的热载流子注入。以下将更具体地描述这种保护性的效果。

[0046] 图 2A 至 2D 是示出根据本发明第一示例性实施例的非易失性存储器件的编程方法的效果的图。图 2A 是示出响应于施加到字线的电压而出现的电势轮廓的图。图 2B 是示出响应于施加到字线的电压而出现的电势轮廓的图。图 2C 是示出比较性例子和实验性例子中的沟道电势的图。图 2D 是示出在比较性例子和实验性例子中出现漏电流的图。

[0047] 在比较性例子中，将 5.6V 的中间电压只施加给与接收 3V 的隔离电压的字线 WL27 一侧相邻的字线 WL28，将 9V 的通过电压施加给其它未选中的字线，将编程电压施加给选中的字线 WL31。另一方面，在实验性例子中，将 5.6V 的中间电压施加给位于接收 3V 的隔离电压的字线 WL27 的任意侧的相邻字线 WL26 和 WL28，将 9V 的通过电压施加给其它未选中的字线，将编程电压施加给选中的字线 WL31。

[0048] 对于图 2A 和 2B，与接收 3V 的隔离电压的字线 WL27 耦合的存储单元基本上被关断。此外，当 5.6V 的中间电压被施加给位于字线 WL27 两侧的字线 WL26 和 WL28 时，与字线 WL27 耦合的存储单元的两侧的沟道电势逐渐减少。为了说明，附图中的区域越红，其电势越高，而区域越蓝，其电势越低。

[0049] 在图 2C 中，在比较性例子中，位于字线 WL27 两侧的沟道电势是非对称的，但在实验性例子中，位于字线 WL27 两侧的沟道电势基本上是对称的。

[0050] 参见图 2D，可以看出，在比较性例子中，在字线 WL26 和 WL27 之间出现漏电流，但在实验性例子中，没有出现漏电流。

[0051] 简而言之，从图 2A 至 2D 可以看出，当将比通过电压更低的中间电压施加到位于接收隔离电压的字线两侧的字线时，获得了合适的沟道电势分布，没有出现通过漏电流的电子迁移。因而，基本上防止了热载流子注入。

[0052] 图 3 是示出根据本发明第二示例性实施例的非易失性存储器件的编程方法的电路图。为了说明，在很大程度上省略对与本发明第一示例性实施例相同的特征的描述，而是指出两个实施例之间的区别。

[0053] 在第一示例性实施例中，接收第一中间电压 Vmid1 的字线 WL28 和接收第二中间电压 Vmid2 的字线 WL26 被示出成分别设置在接收隔离电压 Viso 的字线 WL27 与接收第一通过电压 Vpass1 的字线 WL29 之间以及在接收隔离电压 Viso 的字线 WL27 与接收第二通过电压 Vpass2 的字线 WL25 之间。此外，接收第一通过电压 Vpass1 的两个字线 WL29 和 WL30 被示出成额外地设置在接收隔离电压 Viso 的字线 WL27 与接收编程电压 Vpgm 的字线 WL31 之间。

[0054] 然而，本发明的示例性实施例不限于上述的特定特征。例如，多个字线可以接收

Micron Ex. 1002, p. 207
Micron v. YMTC
IPR2025-00190

第一中间电压 Vmid1，其中施加给不同字线的第一中间电压 Vmid1 可以具有在第一通过电压 Vpass1 和隔离电压 Viso 之间的不同电压电平。这里，可以将第一中间电压 Vmid1 中较低的一个施加给更靠近接收隔离电压 Viso 的字线的字线，而将第一中间电压 Vmid1 中较高的一个施加给更远离接收隔离电压 Viso 的字线的字线。这里，可以改变接收第二中间电压 Vmid2 的字线的数目以及第二中间电压 Vmid2 的数目。此外，可以改变接收第一通过电压且被设置在接收隔离电压 Viso 的字线和接收编程电压 Vpgm 的字线之间的字线的数目。以下结合图 3 更具体地描述本发明的示例性实施例的这些特征。

[0055] 在图 3 中，两个字线 WL28 和 WL29 被设置在接收隔离电压 Viso 的字线 WL27 和接收第一通过电压 Vpass1 的字线 WL30 之间，可以将具有第一电平的第一中间电压 Vmid1-1 和具有第二电平的第一中间电平 Vmid1-2 分别施加给两个字线 WL28 和 WL29。具有第一电平的第一中间电压 Vmid1-1 和具有第二电平的第一中间电平 Vmid1-2 可以彼此不同，其中具有第一电平的第一中间电压 Vmid1-1 可以比具有第二电平的第一中间电平 Vmid1-2 更大。

[0056] 此外，两个字线 WL25 和 WL26 可以设置在接收隔离电压 Viso 的字线 WL27 和接收第二通过电压 Vpass2 的字线 WL24 之间，且可以将具有第一电平的第二中间电压 Vmid2-1 和具有第二电平的第二中间电压 Vmid2-2 分别施加给两个字线 WL25 和 WL26。这里，具有第一电平的第二中间电压 Vmid2-1 和具有第二电平的第二中间电压 Vmid2-2 可以彼此不同，其中具有第一电平的第二中间电压 Vmid2-1 可以比具有第二电平的第二中间电压 Vmid2-2 更大。

[0057] 施加给位于相对于接收隔离电压 Viso 的字线 WL27 的对称位置处的字线的中间电压的电平可以彼此相同。也就是说，具有第一电平的第一中间电压 Vmid1-1 和具有第一电平的第二中间电压 Vmid2-1 可以彼此相同，具有第二电平的第一中间电压 Vmid1-2 和具有第二电平的第二中间电压 Vmid2-2 可以彼此相同。

[0058] 图 4 是根据本发明第三示例性实施例的非易失性存储器件的编程方法的电路图。为了说明，在很大程度上省略对与本发明第一示例性实施例相同的特征的描述，而是指出两个实施例之间的区别。

[0059] 在第一示例性实施例中，接收编程电压 Vpgm 的字线 WL31 被示出为是最接近于与漏极选择线 DSL 耦合的漏极选择晶体管 DST 的字线。

[0060] 然而，本发明的示例性实施例不限于上述的第一示例性实施例的具体特征。例如，编程电压 Vpgm 也可以施加给任意的其它字线 WL0 至 WL31，并且可以依次施加给字线 WL0 至 WL31。尽管接收编程电压 Vpgm 的字线可以不同于字线 WL31，但是也可以将以上结合本发明第一或第二示例性实施例给出的相同描述应用于本发明的第三示例性实施例，除了使用了不同的电压施加方案以外：将施加给字线的电压向下移动以允许将通过电压施加到最接近于漏极选择线 DSL 的一个或更多个字线。以下结合图 4 来更为具体地描述本发明的示例性实施例的这些特征。

[0061] 在图 4 中，根据一个例子，接收编程电压 Vpgm 的字线可以是字线 WL29。在这种情况下，可以将第一通过电压 Vpass1 施加给设置在接收编程电压 Vpgm 的字线 WL29 与漏极选择线 DSL 之间的字线 WL30 和 WL31。此外，接收第一通过电压 Vpass1 的两个字线 WL27 和 WL28 和接收第一中间电压 Vmid1 的字线 WL26 可以设置在接收编程电压 Vpgm 的字线 WL29 与接收隔离电压 Viso 的字线 WL25 之间，接收第二中间电压 Vmid2 的字线 WL24 可以设置在

Micron Ex. 1002, p. 208
Micron v. YMTC
IPR2025-00190

施加了隔离电压 Viso 的字线 WL25 与接收第二通过电压 Vpass2 的字线 WL0 至 WL23 之间。这种配置与本发明第一示例性实施例的配置类似。

[0062] 另外，将第一示例性实施例与第三示例性实施例进行比较，在第一示例性实施例中单元串（例如，耦合到未选中的位线 BLe 的单元串 110）中的接收编程电压 Vpgm 的存储单元的局部沟道的面积比第三示例性实施例中更小。更具体来说，随着选中的字线更靠近漏极选择线，与选中的字线耦合的存储单元的局部沟道的面积越小。这里，由于局部沟道面积变小，沟道电压的升压增加。因此，随着选中的字线更靠近漏极选择线（即，随着局部沟道面积减少），与选中的字线耦合的存储单元的局部沟道和与此局部沟道隔离的另一局部沟道之间的电势差增加。在这种情况下，由漏电流引起的热载流子注入的几率增加。

[0063] 为了解决本发明第一至第三示例性实施例中的这种特性，可以随着选中的字线更靠近漏极选择线而增加隔离电压 Viso 的幅度。例如，在第一示例性实施例中施加 3V 的隔离电压 Viso，而在第三实施例——其中与第一示例性实施例相比选中的字线更加远离漏极选择线——中可以施加约 2.8V 的电压作为隔离电压 Viso。只要使接收隔离电压的存储单元保持关断状态，接收隔离电压 Viso 的存储单元的沟道电压与接收中间电压 Vmid1 或 Vmid2 的存储单元的沟道电压之差就会响应于隔离电压的增加而减小。因此，可以防止由于漏电流而引起的热载流子注入。

[0064] 在本发明的第一至第三示例性实施例中，尽管示出了 32 个字线，但是根据应用示例性实施例的不同环境，可以改变数目。这里，随着字线数目增加（即，随着属于单元串的存储单元的数目增加），上述特性变得越来越明显。即，随着选中的字线更靠近漏极选择线，与选中的字线耦合的存储单元的局部沟道和与此局部沟道隔离的局部沟道之间的电势差增加，并且由漏电流引起的热载流子注入的概率增加。例如，实验证明当字线的数目被设定为 64 时，由于选中的字线变得更靠近漏极选择线，与字线数目被设定成 32 的情况相比更严重地出现由漏电流引起的热载流子注入。

[0065] 为了解决这种特性，可以随着字线数目的增加而增加隔离电压 Viso 的幅度。例如，在第一示例性实施例中，可以施加 3V 的电压作为隔离电压 Viso。在这种情况下，当字线数目是 64 且将编程电压施加给最接近于漏极选择线的第 64 个字线时，可以施加 3.2V 的电压作为隔离电压 Viso。

[0066] 根据本发明的示例性实施例，可以将比隔离电压高但是比通过电压低的一个或更多个中间电压施加给位于接收隔离电压、并将包括编程禁止存储单元的单元串中的一个局部沟道与另一沟道隔离的存储单元两侧的一个或更多个存储单元。由此，基本可以防止存储单元之间的沟道电压的快速变化。这里，当将中间电压对称地施加给接收隔离电压的存储单元两侧的存储单元时，可以简化用于将电压供应到存储单元的电压发生电路的配置。此外，通过根据字线相对于漏极选择线的相对位置或者字线的总数目来控制隔离电压，可以基本上防止热载流子注入。

[0067] 根据本发明的示例性实施例，可以防止 / 减少由存储单元之间的沟道电压差引起的热载流子注入，并且可以根据局部自升压方案来执行编程禁止操作。

[0068] 尽管以上描述了具体实施例，但本领域技术人员应理解可以在不脱离后附权利要求限定的本发明的精神和范围的情况下进行各种修改和变型。

Micron Ex. 1002, p. 209
Micron v. YMTC
IPR2025-00190

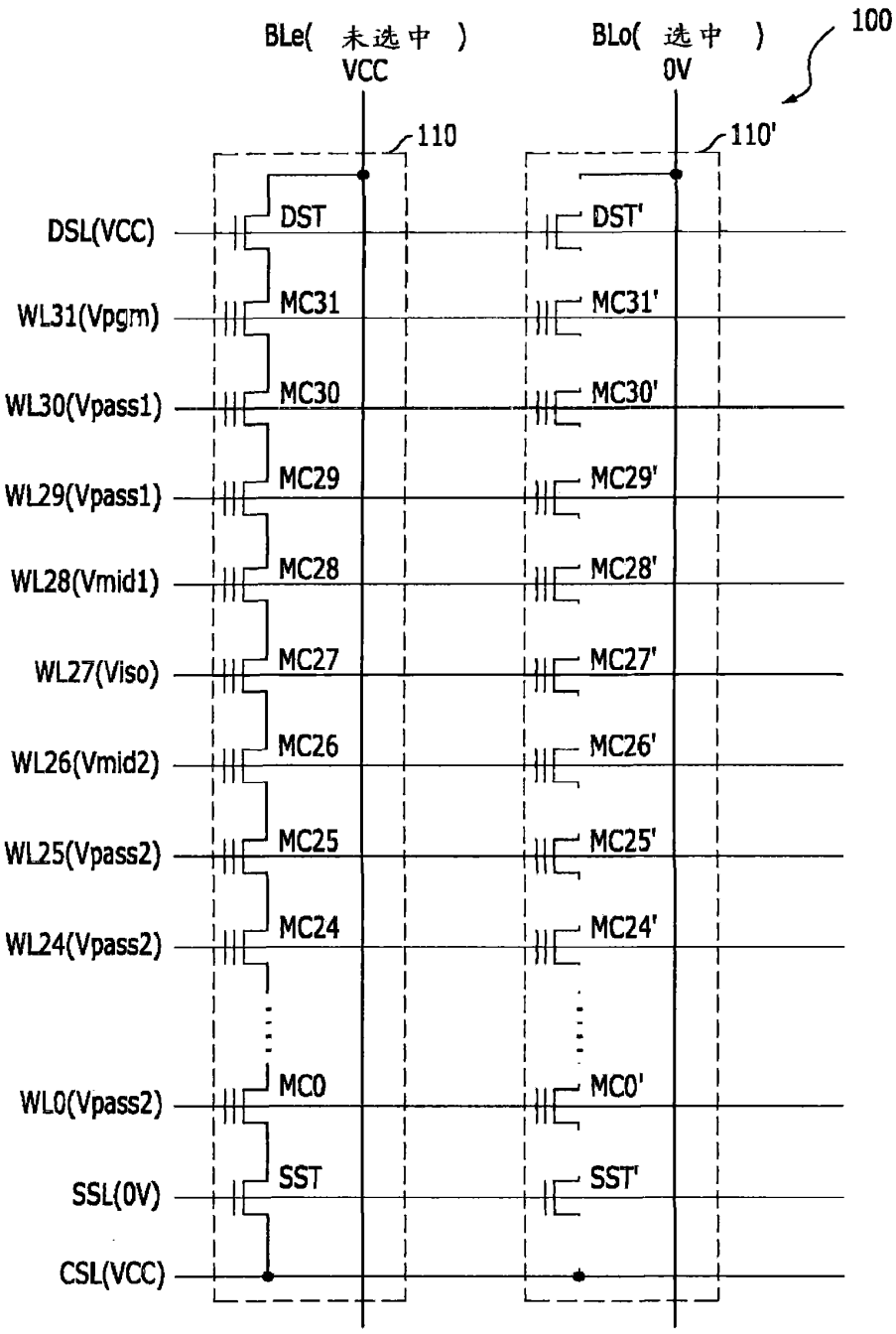


图 1A

Micron Ex. 1002, p. 210
Micron v. YMTC
IPR2025-00190

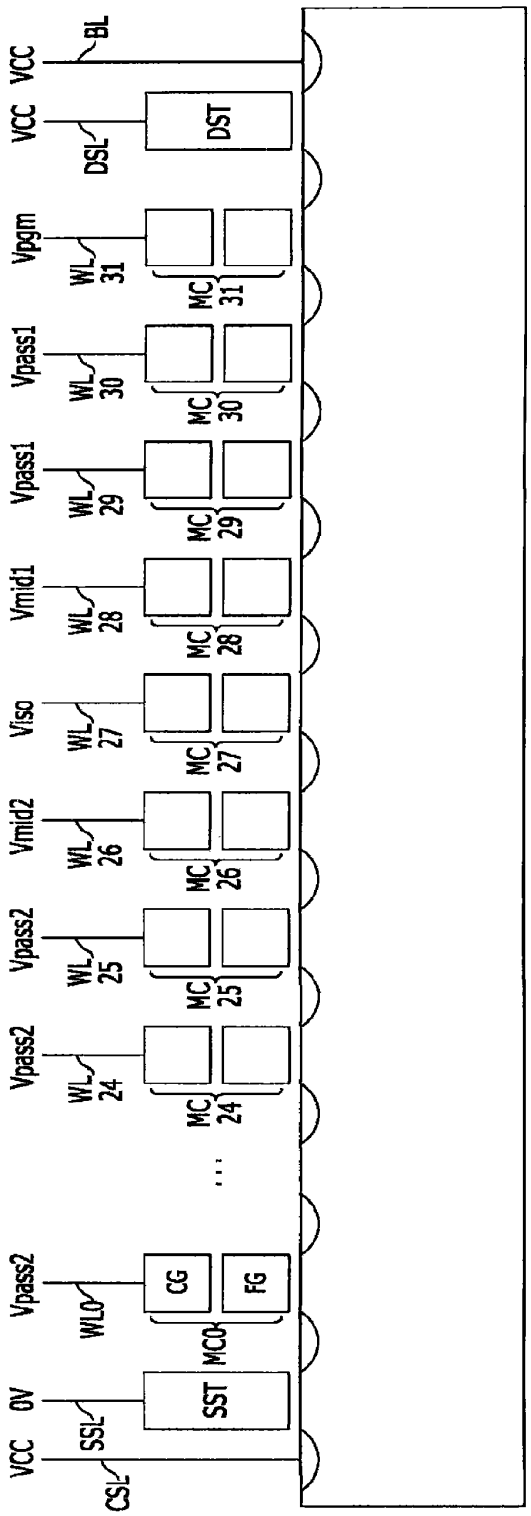


图 1B

Micron Ex. 1002, p. 211
Micron v. YMTC
IPR2025-00190

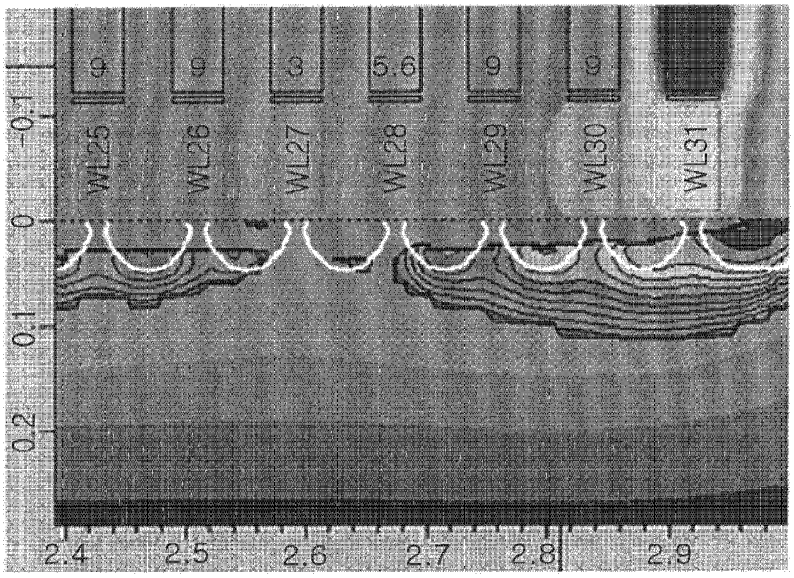


图 2A

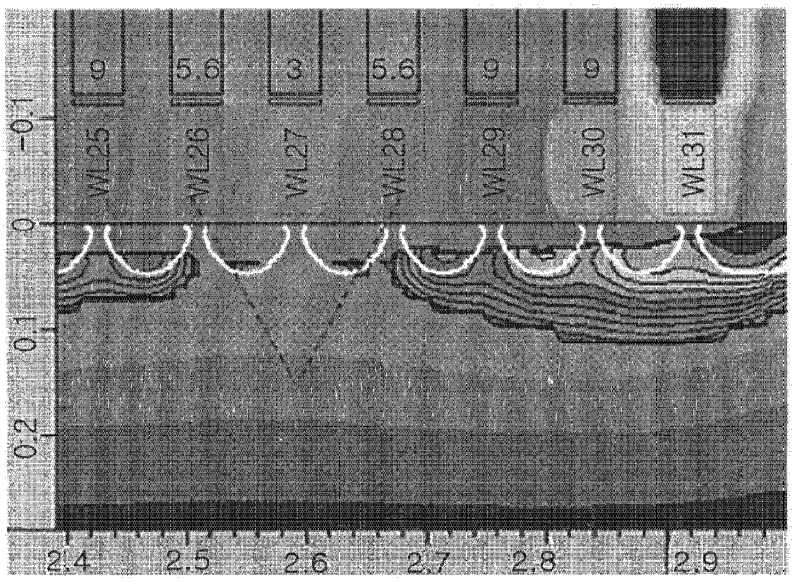


图 2B

Micron Ex. 1002, p. 212
Micron v. YMTC
IPR2025-00190

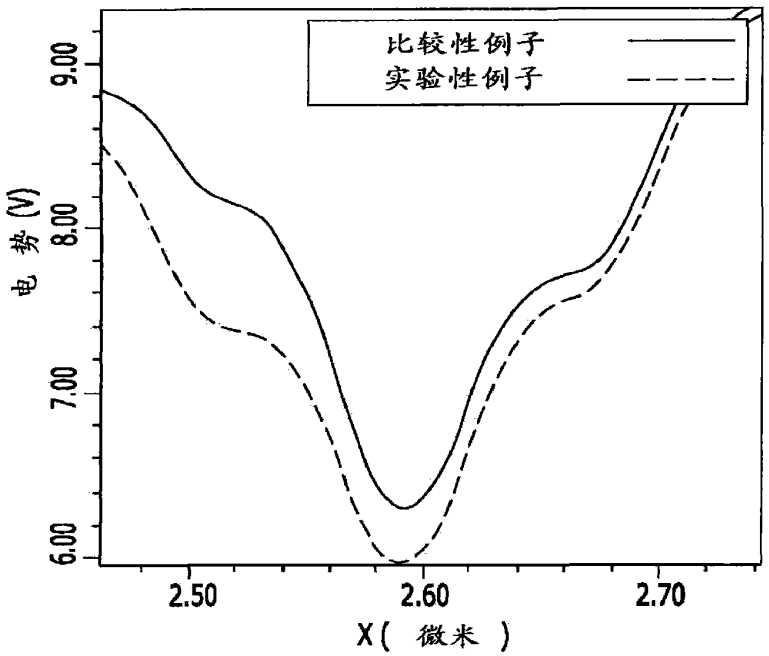


图 2C

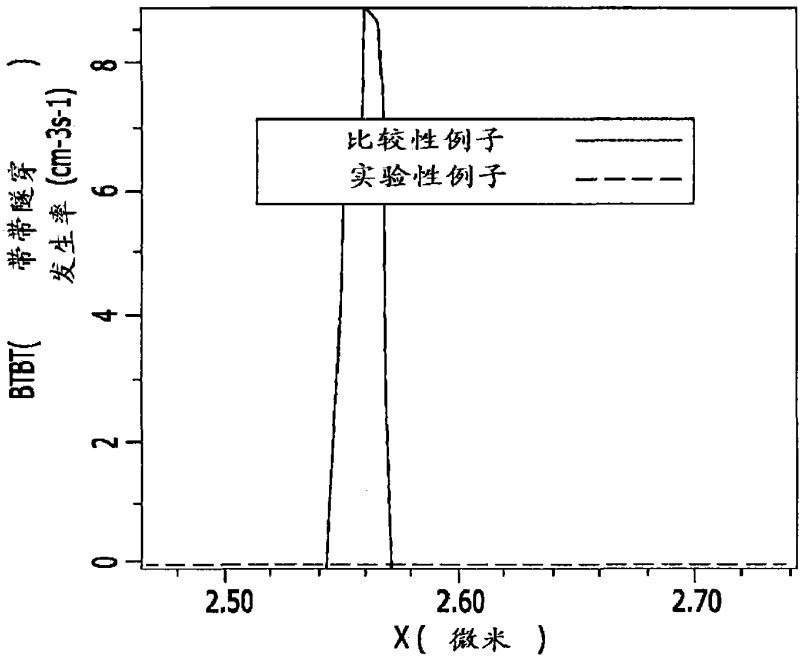


图 2D

Micron Ex. 1002, p. 213
Micron v. YMTC
IPR2025-00190

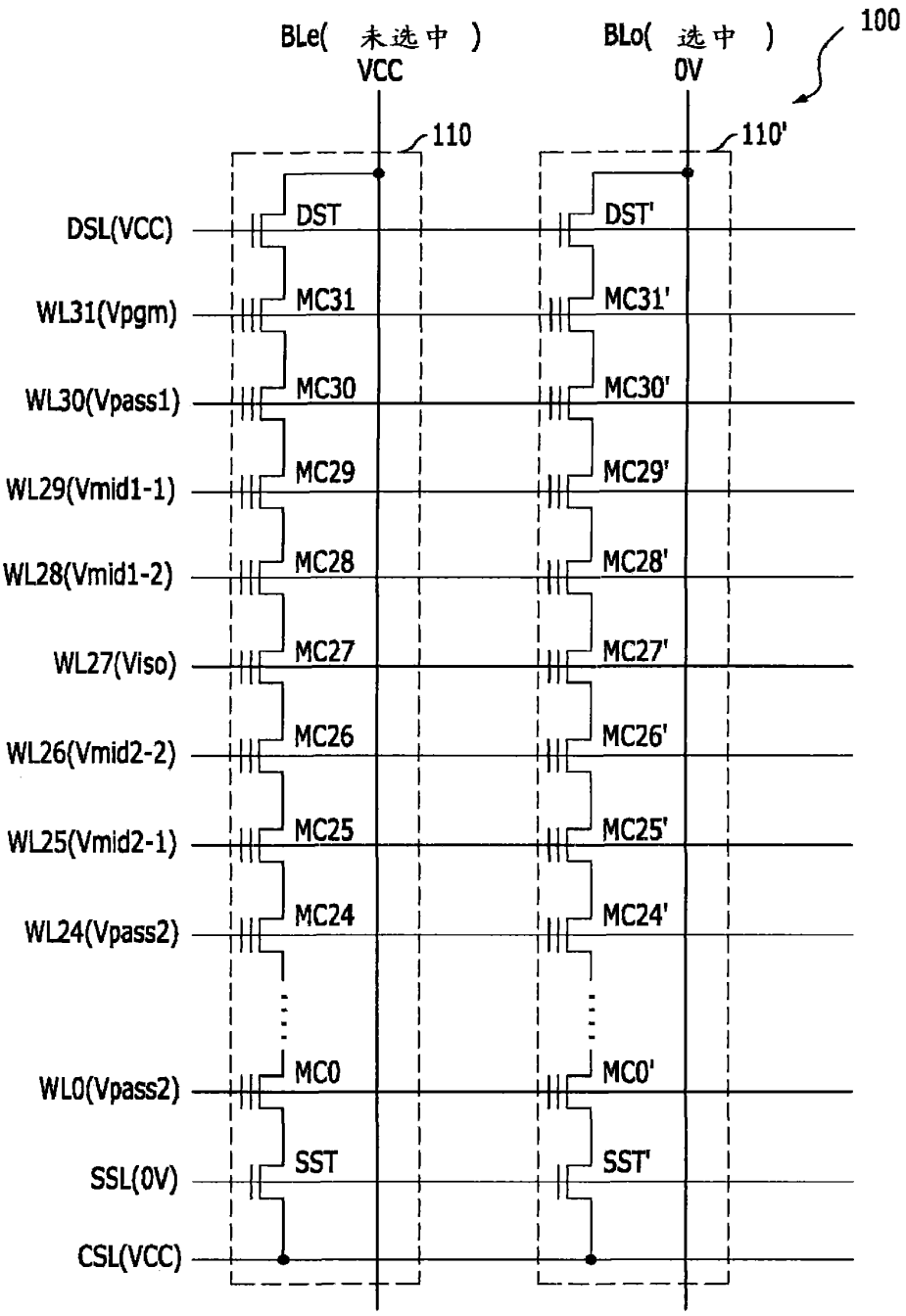


图 3

Micron Ex. 1002, p. 214
Micron v. YMTC
IPR2025-00190

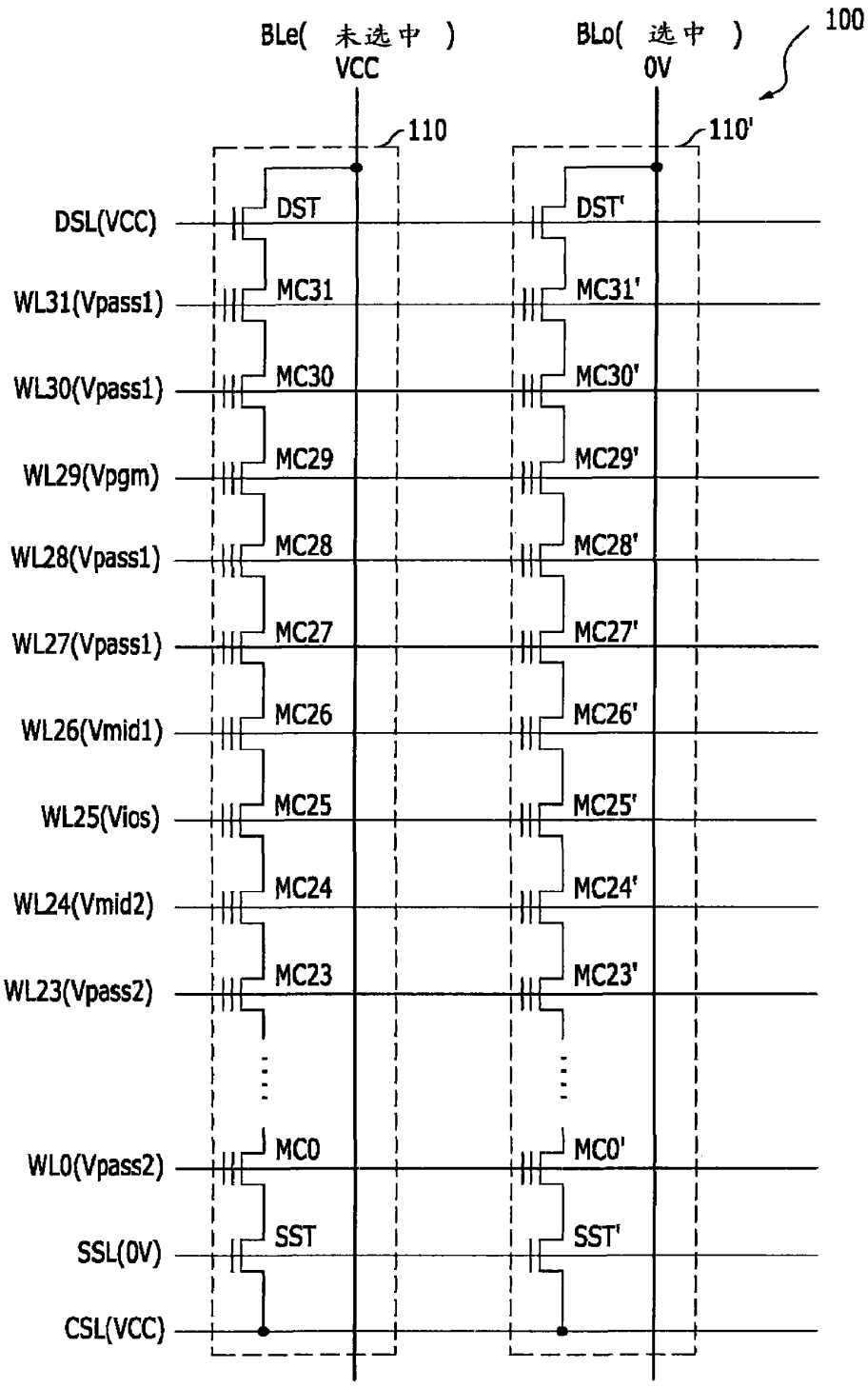


图 4

Micron Ex. 1002, p. 215
Micron v. YMTC
IPR2025-00190

The English-language equivalent US Published Application (No. 2015/0262682 A1) of CN (No. 104916319) is hereby presented to fulfill the 37 CFR 1.98(a)(3) requirement.

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 104916319 A
(43)申请公布日 2015.09.16

(21)申请号 201410453093.3

(22)申请日 2014.09.05

(30)优先权数据
2014-051934 2014.03.14 JP

(71)申请人 株式会社东芝
地址 日本东京

(72)发明人 二山拓也 白川政信 阿部健一

(74)专利代理机构 北京律盟知识产权代理有限责任公司 11287
代理人 张世俊

(51)Int.Cl.
G11C 16/06(2006.01)
G11C 16/08(2006.01)
H01L 27/115(2006.01)

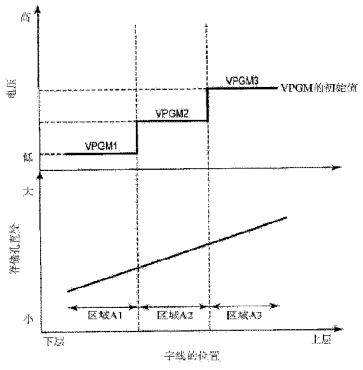
权利要求书2页 说明书25页 附图41页

(54)发明名称

半导体存储装置

(57)摘要

本发明提供一种能够提高动作性能的半导体存储装置。实施方式的半导体存储装置包括：第一至第四存储单元，积层在半导体基板的上方；第一至第四字线，分别连接于第一至第四存储单元的栅极；以及行解码器112，向第一至第四字线施加电压。行解码器112在向第一存储单元进行写入动作时，向第一字线施加第一编程电压，在向第二存储单元进行写入动作时，向第二字线施加所述第一编程电压，在向第三存储单元进行写入动作时，向第三字线施加第二编程电压，在向第四存储单元进行写入动作时，向第四字线施加所述第二编程电压。第二编程电压比第一编程电压高。



CN 104916319 A

Micron Ex. 1002, p. 216
Micron v. YMTC
IPR2025-00190

1. 一种半导体存储装置，其特征在于包括：

第一及第二存储单元，积层在半导体基板的上方；

第三及第四存储单元，积层在所述第一及第二存储单元的上方；

第一至第四字线，分别与所述第一至第四存储单元的栅极电连接；以及

行解码器，向所述第一至第四字线施加电压；并且

所述行解码器在向所述第一存储单元进行写入动作时，向所述第一字线施加第一编程电压，在向所述第二存储单元进行写入动作时，向所述第二字线施加所述第一编程电压，

在向所述第三存储单元进行写入动作时，向所述第三字线施加第二编程电压，在向所述第四存储单元进行写入动作时，向所述第四字线施加所述第二编程电压，所述第二编程电压比所述第一编程电压高。

2. 根据权利要求 1 所述的半导体存储装置，其特征在于：

所述写入动作包含重复进行写入循环的动作，该写入循环包含以编程电压进行写入的编程动作、以及对所述编程动作进行验证的验证动作；

每进行一次所述写入循环，所述编程电压被逐步增加；

所述第一、第二编程电压分别为所述编程电压的初始电压。

3. 根据权利要求 2 所述的半导体存储装置，其特征在于：

所述写入动作还包含检测动作；

对所述第一及第二存储单元的至少一个存储单元的所述检测动作是通过进行使用第一检测电压的读出动作而判定阈值；

对所述第三及第四存储单元中的至少一个存储单元的所述检测动作是通过进行使用第二检测电压的读出动作而判定阈值；

所述第二检测电压比所述第一检测电压高。

4. 根据权利要求 3 所述的半导体存储装置，其特征在于：

所述第一至第四存储单元分别能够保持 2 比特以上的数据，所述写入动作包含：所述 2 比特以上的数据的低阶比特写入动作、所述低阶比特写入动作后的所述检测动作、以及所述检测动作后的高阶比特写入动作；

在所述低阶比特写入动作中，所述第一及第二编程电压被用作所述编程电压的初始电压；

所述高阶比特写入动作中所使用的编程电压被设定为与所述检测动作的结果对应的值。

5. 根据权利要求 1 至 4 中任一项所述的半导体存储装置，其特征在于还包括：

导电层，其设置于贯通所述第一至第四字线的存储孔内，且形成有所述第一至第四存储单元的电流路径；并且

所述导电层的直径越为上层越大，越为下层越小。

6. 一种半导体存储装置，其特征在于包括：

第一存储单元，设置在半导体基板的上方；

第二存储单元，设置在所述第一存储单元的上方；

第一及第二字线，分别与所述第一及第二存储单元的栅极电连接；以及

行解码器，向所述第一及第二字线施加电压；并且

Micron Ex. 1002, p. 217
Micron v. YMTC
IPR2025-00190

所述写入动作包括：写入循环，包含进行写入的编程动作、及对所述编程动作进行验证的验证动作；以及检测动作，求出存储单元的写入特性；

对所述第一存储单元的检测动作是通过向所述第一字线施加第一检测电压而进行，

对所述第二存储单元的检测动作是通过向所述第二字线施加第二检测电压而进行，

所述第二检测电压比所述第一检测电压高。

7. 根据权利要求 6 所述的半导体存储装置，其特征在于：

对所述第一存储单元的所述检测动作是在进行第一次数的所述写入循环后执行，

对所述第二存储单元的所述检测动作是在进行多于所述第一次数的第二次数的所述写入循环后执行。

8. 根据权利要求 7 所述的半导体存储装置，其特征在于：

所述第一、第二存储单元分别能够保持 2 比特以上的数据，所述写入动作包含：所述 2 比特以上的数据的低阶比特写入动作、所述低阶比特写入动作后的所述检测动作、以及所述检测动作后的高阶比特写入动作；并且

所述高阶比特写入动作中所使用的编程电压是设定为与所述检测动作的结果对应的值。

9. 根据权利要求 6 至 8 中任一项所述的半导体存储装置，其特征在于还包括：

导电层，其是设置于贯通所述第一及第二字线的存储孔，且形成所述第一及第二存储单元的电流路径；并且

所述存储孔的直径越为上层越大，越为下层越小。

10. 一种半导体存储装置，其特征在于包括：

多个存储单元，积层在半导体基板的上方；

多个字线，分别连接于所述多个存储单元的栅极；以及

行解码器，向所述多个字线施加电压；并且

所述行解码器在进行数据的编程时，向选择字线施加编程电压，

向位于比所述选择字线更靠上层的第一非选择字线，施加比所述编程电压小的第一非选择电压，

向位于比所述选择字线更靠下层的第二非选择字线，施加比所述编程电压及所述第一电压小的第二非选择电压。

11. 根据权利要求 10 所述的半导体存储装置，其特征在于：

所述行解码器在进行所述数据的编程时，对位于越上层的非选择字线，施加越高的非选择电压，对位于越下层的非选择字线，施加越低的非选择电压。

12. 根据权利要求 11 所述的半导体存储装置，其特征在于：

所述行解码器对于多条非选择字线组的每一组，改变所述非选择电压的值。

13. 根据权利要求 10 至 12 中任一项所述的半导体存储装置，其特征在于还包括：

导电层，其设置于贯通所述多个字线的存储孔内，且形成有所述多个存储单元的电流路径；并且

所述导电层的直径越为上层越大，越为下层越小。

Micron Ex. 1002, p. 218
Micron v. YMTC
IPR2025-00190

半导体存储装置

[0001] [相关申请案]

[0002] 本申请案享受以日本专利申请案2014-51934号(申请日:2014年3月14日)为基础申请案的优先权。本申请案通过参照该基础申请案而包含基础申请案的全部内容。

技术领域

[0003] 本发明的实施方式涉及一种半导体存储装置。

背景技术

[0004] 存储单元呈三维排列而成的NAND型闪速存储器已为众所周知。

发明内容

[0005] 本发明提供一种能够提高动作性能的半导体存储装置。

[0006] 实施方式的半导体存储装置包括:第一及第二存储单元,积层在半导体基板的上方;第三及第四存储单元,积层在第一及第二存储单元的上方;第一至第四字线,分别电连接于第一至第四存储单元的栅极;以及行解码器,对第一至第四字线施加电压。行解码器在对第一存储单元进行写入动作时,向第一字线施加第一编程电压,在对第二存储单元进行写入动作时,向第二字线施加所述第一编程电压。而且,行解码器在对第三存储单元进行写入动作时,向第三字线施加第二编程电压,在对第四存储单元进行写入动作时,向第四字线施加第二编程电压。并且,第二编程电压的电压高于第一编程电压的电压。

附图说明

[0007] 图1是第一实施方式的存储系统的框图。

[0008] 图2是第一实施方式的半导体存储装置的框图。

[0009] 图3是第一实施方式的存储单元阵列的电路图。

[0010] 图4是第一实施方式的NAND串的一例的剖视图。

[0011] 图5是表示第一实施方式的存储单元的一例的阈值分布的曲线图。

[0012] 图6是第一实施方式的感应放大器及源极线控制电路的电路图。

[0013] 图7是第一实施方式的写入动作的流程表。

[0014] 图8是第一实施方式的NAND串的电路图。

[0015] 图9是第一实施方式的NAND串的电路图。

[0016] 图10是第一实施方式的写入动作时的时序图。

[0017] 图11是第一实施方式的字线电压的时序图。

[0018] 图12是第一实施方式的NAND串的一例的剖视图。

[0019] 图13是表示第一实施方式的存储孔直径与编程电压相对于字线的位置的关系的曲线图。

[0020] 图14是表示第一实施方式的编程电压相对于字线的位置的关系的曲线图。

Micron Ex. 1002, p. 219
Micron v. YMTC
IPR2025-00190

[0021] 图 15 是表示第二实施方式的存储单元的一例的阈值分布的曲线图。

[0022] 图 16 是表示第二实施方式的写入时的阈值分布的变化的曲线图。

[0023] 图 17 是第二实施方式的写入动作的流程表。

[0024] 图 18 是第二实施方式的写入动作时的时序图。

[0025] 图 19 是第二实施方式的写入动作时的时序图。

[0026] 图 20 是表示第二实施方式的检测动作的概念的图表。

[0027] 图 21 是表示第二实施方式的检测电压相对于字线的位置的关系的曲线图。

[0028] 图 22(a)- 图 22(c) 是第二实施方式的变化例的写入动作时的时序图。

[0029] 图 23(a)、图 23(b) 是第二实施方式的变化例的写入动作时的时序图。

[0030] 图 24 是表示第三实施方式的存储孔直径与编程电压相对于字线的位置的关系的曲线图。

[0031] 图 25 是表示第三实施方式的 VPASS 与 VPGM 相对于字线的位置的关系的图表。

[0032] 图 26 是表示第三实施方式的 VPASS 与 VPGM 相对于字线的位置的关系的图表。

[0033] 图 27 是表示第三实施方式的 VPASS 与 VPGM 相对于字线的位置的关系的图表。

[0034] 图 28 是第四实施方式的 NAND 串的剖视图。

[0035] 图 29 是表示第四实施方式的存储孔直径与编程电压相对于字线的位置的关系的曲线图。

[0036] 图 30 是表示第四实施方式的存储孔直径与 VPASS 相对于字线的位置的关系的图表。

[0037] 图 31 是表示第四实施方式的变化例的存储孔直径与 VPASS 相对于字线的位置的关系的图表。

[0038] 图 32 是第四实施方式的变化例的 NAND 串的剖视图。

[0039] 图 33 是第五实施方式的第一例的 NAND 串的剖视图。

[0040] 图 34 是第五实施方式的第二例的 NAND 串的剖视图。

[0041] 图 35 是第五实施方式的第三例的 NAND 串的剖视图。

[0042] 图 36 是第五实施方式的第四例的 NAND 串的剖视图。

[0043] 图 37 是第六实施方式的第一例的存储单元阵列的电路图。

[0044] 图 38 是第六实施方式的第一例的存储单元阵列的立体图。

[0045] 图 39 是第六实施方式的第一例的存储单元阵列的俯视图。

[0046] 图 40 是沿着图 39 中的 40-40 线的剖视图。

[0047] 图 41 是沿着图 39 中的 41-41 线的剖视图。

[0048] 图 42 是沿着图 39 中的 42-42 线的剖视图。

[0049] 图 43 是第六实施方式的读出动作的时序图。

[0050] 图 44 是第六实施方式的写入动作的时序图。

[0051] 图 45 是第六实施方式的第二例的存储单元阵列的立体图。

[0052] 图 46 是第六实施方式的第二例的存储单元阵列的俯视图。

[0053] 图 47 是沿着图 46 中的 47-47 线的剖视图。

[0054] 图 48 是沿着图 46 中的 48-48 线的剖视图。

Micron Ex. 1002, p. 220
Micron v. YMTC
IPR2025-00190

具体实施方式

[0055] 下面，参照附图对实施方式进行说明。另外，在下面的说明中，对于具有相同功能及构成的构成要素，附加共用的参照符号。

[0056] 1. 第一实施方式

[0057] 对第一实施方式的半导体存储装置进行说明。下面，列举在半导体基板的上方积层存储单元而成的三维积层型 NAND 型闪速存储器作为半导体存储装置而进行说明。

[0058] 1.1 构成

[0059] 1.1.1 存储系统的构成

[0060] 首先，使用图 1，对本实施方式的包含半导体存储装置的存储系统的构成进行说明。图 1 是本实施方式的存储系统的框图。

[0061] 如图所示，存储系统 1 包括 NAND 型闪速存储器 100 及控制器 200。可以通过将控制器 200 及 NAND 型闪速存储器 100 例如组合而构成一个半导体装置，作为其例，可列举如 SD™ 卡般的存储卡、及 SSD(solid state drive，固态硬盘）等。

[0062] NAND 型闪速存储器 100 包括多个存储单元，非易失地存储数据。NAND 型闪速存储器 100 的详细构成在下文中叙述。

[0063] 控制器 200 对来自外部的主机机器的命令作出应答，而对 NAND 型闪速存储器 100 发出读出、写入、删除等命令。而且，控制器 200 管理 NAND 型闪速存储器 100 中的存储空间。

[0064] 控制器 200 包括：主机接口电路 210、内部存储器 (RAM(Random Access Memory，随机存取存储器))220、处理器 (CPU(Central Processing Unit，中央处理单元))230、缓冲存储器 240、NAND 接口电路 250、及 ECC(Error Correction Code，错误校正码）电路 260。

[0065] 主机接口电路 210 经由控制器总线与主机机器连接，操纵与主机机器的通信。并且，将从主机机器接收到的命令及数据分别传送给 CPU230 及缓冲存储器 240。而且，对 CPU230 的命令作出应答，将缓冲存储器 240 内的数据传送给主机机器。

[0066] NAND 接口电路 250 经由 NAND 总线与 NAND 型闪速存储器 100 连接，操纵与 NAND 型闪速存储器 100 的通信。并且，将从 CPU230 接收到的命令传送给 NAND 型闪速存储器 100，而且，在进行写入时，将缓冲存储器 240 内的写入数据传送给 NAND 型闪速存储器 100。进而，在进行读出时，将从 NAND 型闪速存储器 100 读出的数据传送给缓冲存储器 240。

[0067] CPU230 控制整个控制器 200 的动作。例如，CPU230 在从主机机器接收到写入命令时，对该命令作出应答，并发布基于 NAND 接口的写入命令。在读出及删除时也相同。而且，CPU230 执行耗损平均等用以对 NAND 型闪速存储器 100 进行管理的各种处理。进而，CPU230 执行各种运算。例如，执行数据的加密处理或随机化处理等。

[0068] ECC 电路 260 执行数据的错误订正 (ECC，Error Checkingand Correcting，错误检查与校正）处理。也就是说，ECC 电路 260 在进行数据写入时基于写入数据产生奇偶性，在进行数据读出时根据奇偶性产生校正子而检测错误，并订正该错误。另外，CPU230 也可以具有 ECC 电路 260 的功能。

[0069] 内部存储器 220 例如为 DRAM(Dynamic Random Access Memory，动态随机存取存储器）等半导体存储器，被用作 CPU230 的作业区域。并且，内部存储器 220 保持用来管理 NAND 型闪速存储器 100 的固件、及各种控制表等。

[0070] 1.1.2 半导体存储装置的构成

Micron Ex. 1002, p. 221
Micron v. YMTC
IPR2025-00190

[0071] 接下来，对 NAND 型闪速存储器 100 的构成进行说明。

[0072] 1.1.2.1 半导体存储装置的整体构成

[0073] 图 2 是本实施方式的 NAND 型闪速存储器 100 的框图。如图所示，NAND 型闪速存储器 100 大致包括核心部 110 及周边电路 120。

[0074] 核心部 110 包括：存储单元阵列 111、行解码器 112、感应放大器 113 以及源极线控制电路 114。

[0075] 存储单元阵列 111 包括多个区块 BLK(BLK0、BLK1、BLK2…)，这些区块 BLK 是分别与字线及比特线相关联的多个非易失性存储单元的集合。区块 BLK 是数据的删除单位，同一区块 BLK 内的数据被统一删除。各区块 BLK 包括多个串单元 SU(SU0、SU1、SU2…)，这些串单元 SU 是串列连接有存储单元的 NAND 串 115 的集合。当然，存储单元阵列 111 内的区块数、以及一个区块 BLK 内的串单元数为任意。

[0076] 行解码器 112 对区块地址及页面地址进行解码，并且选择对应的区块的任一条字线。并且，行解码器 112 向选择字线及非选择字线施加适当的电压。

[0077] 感应放大器 113 在进行数据读出时，对从存储单元读出到比特线的数据进行感测或放大。而且，在进行数据写入时，将写入数据传送给存储单元。数据对存储单元阵列 111 的读出及写入是以多个存储为单位进行，该单元为页。

[0078] 源极线控制电路 114 在进行数据读出时或进行删除时等施加给源极线。

[0079] 周边电路 120 包括：定序器 121、电荷泵 122、寄存器 123 及驱动器 124。

[0080] 驱动器 124 将写入数据、读出数据及删除数据所需的电压供给给行解码器 112、感应放大器 113 以及源极线控制电路 114。这些电压通过行解码器 112、感应放大器 113 及源极线控制电路 114 而施加给存储单元（下述字线、选择栅极线、背栅线、比特线及源极线）。

[0081] 电荷泵 122 将从外部赋予的电源电压升高，并将所需的电压供给到驱动器 124。

[0082] 寄存器 123 保持各种信号。例如，寄存器 123 保持数据的写入或删除动作的状态，由此向控制器通知动作是否已正常完成。或者，寄存器 123 也可以保持各种表。

[0083] 定序器 121 控制整个 NAND 型闪速存储器 100 的动作。例如，定序器 121 在进行写入时控制赋予给字线的编程电压。也就是说，如果从控制器 200 接收地址信号，则定序器 121 根据地址信号，从多个编程电压中选择供给哪一个电压，并将该选择信号输出到电荷泵 122。电荷泵 122 从多个编程电压中，将与所述选择信号对应的编程电压供给到驱动器 124。驱动器 124 将所接收到的编程电压输出到行解码器 112。

[0084] 1.1.2.2 存储单元阵列 111

[0085] 接下来，对所述存储单元阵列 111 的详细构成进行说明。图 3 是任一个区块 BLK 的电路图，其他区块 BLK 也具有相同的构成。

[0086] 如图所示，区块 BLK 包含例如四个串单元 SU(SU0 ～ SU3)。而且，各个串单元 SU 包含多个 NAND 串 115。

[0087] 各个 NAND 串 115 包含例如 8 个存储单元晶体管 MT(MT0 ～ MT7)、选择晶体管 ST1、ST2、以及背栅极晶体管 BT。存储单元晶体管 MT 包括包含控制栅极及电荷存储层的积层栅极，非易失地保持数据。另外，存储单元晶体管 MT 的个数并不限定于 8 个，也可以为 16 个或 32 个、64 个、128 个等，其数量并无限定。背栅极晶体管 BT 也与存储单元晶体管 MT 同样地包括包含控制栅极及电荷存储层的积层栅极。但是，背栅极晶体管 BT 并非用来保持数据

Micron Ex. 1002, p. 222
Micron v. YMTC
IPR2025-00190

的晶体管，在写入数据、读出数据及删除数据时，仅作为电流路径而发挥功能。存储单元晶体管 MT 及背栅极晶体管 BT 以其电流路径被串列连接的方式配置在选择晶体管 ST1、ST2 之间。另外，背栅极晶体管 BT 设置在存储单元晶体管 MT3 与 MT4 之间。该串列连接的一端侧的存储单元晶体管 MT7 的电流路径与选择晶体管 ST1 的电流路径的一端连接，另一端侧的存储单元晶体管 MT0 的电流路径与选择晶体管 ST2 的电流路径的一端连接。

[0088] 串单元 SU0 ～ SU3 各自的选择晶体管 ST1 的栅极分别共用地连接于选择栅极线 SGD0 ～ SGD3，选择晶体管 ST2 的栅极分别共用地连接于选择栅极线 SGS0 ～ SGS3。相对于此，位于相同区块 BLK0 内的存储单元晶体管 MT0 ～ MT7 的控制栅极分别共用地连接于字线 WL0 ～ WL7，背栅极晶体管 BT 的控制栅极共用地连接于背栅线 BG（在区块 BLK0 ～ BLK2 中，分别为 BG0 ～ BG2）。

[0089] 也就是说，字线 WL0 ～ WL7 及背栅线 BG 是在相同区块 BLK0 内的多个串单元 SU0 ～ SU3 之间共用地连接，相对于此，选择栅极线 SGD、SGS 即便位于相同区块 BLK0 内，也独立于每个串单元 SU0 ～ SU3。

[0090] 而且，在存储单元阵列 111 内呈矩阵状配置的 NAND 串 115 中的位于同一列的 NAND 串 115 的选择晶体管 ST1 的电流路径的另一端共用地连接于任一条比特线 BL（BL0 ～ BL(L-1)，(L-1) 为大于等于 1 的自然数）。也就是说，比特线 BL 在多个区块 BLK 之间共用地连接 NAND 串 115。而且，选择晶体管 ST2 的电流路径的另一端共用地连接于源极线 SL。源极线 SL 在例如多个区块之间，共用地连接 NAND 串 115。

[0091] 如上所述，位于相同区块 BLK 内的存储单元晶体管 MT 的数据被统一删除。相对于此，读出数据及写入数据是针对任一个区块 BLK 的任一个串单元 SU 中的与任一条字线 WL 共用地连接的多个存储单元晶体管 MT 而统一进行。将该单位称为“页”。

[0092] 关于存储单元阵列 111 的构成，例如记载在“三维积层非易失性半导体存储器”的 2009 年 3 月 19 日申请的美国专利申请案 12/407,403 号中。而且，记载在“三维积层非易失性半导体存储器”的 2009 年 3 月 18 日申请的美国专利申请案 12/406,524 号、“非易失性半导体存储装置及其制造方法”的 2010 年 3 月 25 日申请的美国专利申请案 12/679,991 号、及“半导体存储器及其制造方法”的 2009 年 3 月 23 日申请的美国专利申请案 12/532,030 号中。这些专利申请案的全部内容以参照的形式引用到本案说明书中。

[0093] 图 4 是 NAND 串 115 的一个构成例的剖视图。图 4 所示的构成仅为一例，也可以为其他构成，关于若干变化，在下述实施方式中进行叙述。在存储单元阵列 111 内，沿着记载图 4 的纸面的深度方向排列着多个图 4 所示的构造，这些构造共有字线 WL0 ～ WL7、选择栅极线 SGD 及 SGS、以及背栅线 BG，从而形成一个串单元 SU。

[0094] 在半导体基板上，形成例如行解码器 112 及感应放大器 113 等周边电路部。而且，在半导体基板上，以被覆该周边电路部的方式形成层间绝缘膜，在该层间绝缘膜上形成存储单元阵列 111。也就是说，如图 4 所示，在半导体基板上方，形成作为背栅线 BG 发挥功能的导电层（例如多晶硅层）。进而，在背栅线 BG 上，形成作为字线 WL0 ～ WL7 发挥功能的多个导电层（例如多晶硅层）。在字线 WL0 上，形成作为选择栅极线 SGS 发挥功能的导电层（例如多晶硅层）。进而，在字线 WL7 上，形成作为选择栅极线 SGD 发挥功能的导电层（例如多晶硅层）。

[0095] 在本例中，字线 WL0 及 WL7 形成在同一层上，字线 WL1 及 WL6 形成在同一层上，字

Micron Ex. 1002, p. 223
Micron v. YMTC
IPR2025-00190

线 WL2 及 WL5 形成在同一层上，字线 WL3 及 WL4 形成在同一层上。

[0096] 并且，以贯通选择栅极线 SGS 及字线 WL0 ～ WL3 的方式形成存储孔 MH，而且，以贯通选择栅极线 SGD 及字线 WL4 ～ WL7 的方式形成另一个存储孔 MH。在这些存储孔 MH 内嵌入半导体层 AA，嵌入在两个存储孔 MH 内的半导体层 AA 通过形成在背栅线 BG 内的半导体层而连接。该半导体层 AA 为如下区域，即，作为 NAND 串 115 的电流路径发挥功能，在存储单元晶体管 MT 动作时形成通道。进而，在半导体层 AA 上形成源极线 SL 及比特线 BL。

[0097] 存储孔 MH 的直径 D_{MH} 在背栅线 BG 上方，从上层侧朝向下层侧逐渐变小。也就是说，直径 D_{MH} 从字线 WL7 朝向 WL4、以及从字线 WL0 朝向 WL3 不断变小。因此，存储孔 MH 内的半导体层 AA 具有从上层侧朝向下层侧直径逐渐变小的锥形状。

[0098] 图 5 是表示本实施方式的存储单元晶体管 MT 可取的阈值分布。如图所示，本例的存储单元晶体管 MT 可以根据其阈值，保持 1 比特的数据 (SLC(Single-Level Cell，单位阶存储器单元))。1 比特数据按照阈值由低到高依次为例如“E”电平、“P”电平。“E”电平是数据被删除的状态下的阈值，例如具有负值（也可以具有正值），低于验证电压 EV。“P”电平是在电荷存储层内注入电荷后的状态的阈值，“P”电平具有高于读出电平“PR”的阈值 (PR ＞ EV)。

[0099] 1.1.2.3 关于感应放大器 113 的构成

[0100] 接下来，参照图 6 对感应放大器 113 的构成进行说明。图 6 是与任一个 NAND 串 115（一根比特线 BL）对应的感应放大器 113 及源极线控制电路 114 的电路图。感应放大器 113 每一条比特线具有图 6 所示的构成，源极线控制电路 114 每多条源极线 SL 具有图 6 所示的构成。

[0101] 如图所示，感应放大器 113 包括感应放大器单元 130、调节器 131、及 n 通道 MOS 晶体管 132 ～ 134。

[0102] 关于晶体管 132，对栅极赋予信号 BLS，电流路径的一端连接于比特线 BL，另一端连接于晶体管 133 的电流路径的一端。晶体管 132 作为经由晶体管 133 将比特线 BL 连接于感应放大器单元 130 的开关而发挥功能。因此，除了进行删除动作时以外，在选择对应的比特线 BL 的情况下，信号 BLS 的电压设定为例如 7 ～ 8V 左右（可使晶体管 132 充分地成为接通状态的电压）。

[0103] 关于晶体管 134，对栅极赋予信号 BLP，对汲极施加预充电电压 VPRE。接着，晶体管 134 在进行数据读出时，经由感应放大器单元 130、晶体管 132 及 133，对比特线 BL 进行预充电。

[0104] 调节器 131 调节例如电源电压，产生具有特定值的电压的信号 BLC。信号 BLC 的电压值由例如定序器 121 的命令决定。

[0105] 关于晶体管 133，对栅极赋予信号 BLC，电流路径的一端经由晶体管 132 连接于比特线 BL，另一端经由感应放大器单元 130 连接于晶体管 134 的源极。晶体管 133 在例如进行数据读出时，将比特线 BL 的电压设定为与信号 BLC 对应的所需值。

[0106] 感应放大器单元 130 在进行数据读出时，检测流入比特线 BL 的电流或比特线 BL 的电压变化，对读出到比特线 BL 的数据进行感测或放大。经放大的数据暂时保持在感应放大器单元 130 内的锁存电路中，其后，经由未图示的输入输出电路而输出到外部（存储器控制器 200）。而且，在进行数据写入时，暂时保持从存储器控制器 200 赋予的写入数据，并经

Micron Ex. 1002, p. 224
Micron v. YMTC
IPR2025-00190

出晶体管 132 及 133 将与写入数据对应的电压施加给比特线 BL。

[0107] 1.1.2.4 关于源极线控制电路 114 的构成

[0108] 接下来，继续参照图 6 对源极线控制电路 114 的构成进行说明。如图所示，源极线控制电路 114 包括调节器 140、及 n 通道 MOS 晶体管 141 ～ 143。

[0109] 关于晶体管 141，对栅极赋予信号 GSRC，电流路径的一端连接于源极线 SL，另一端连接于晶体管 142 及 143 的电流路径的一端。晶体管 141 作为将源极线 SL 连接于晶体管 142 及 143 的开关而发挥功能。因此，当选择源极线 SL 时，信号 GSRC 的电压设定为例如 7 ～ 8V 左右（可使晶体管 141 充分地成为接通状态的电压）。

[0110] 关于晶体管 143，对栅极赋予信号 SLP，例如电源电压 Vdd（例如 3V）被施加给电流路径的另一端（汲极）。接着，晶体管 143 在进行数据读出时或进行数据删除时等，经由晶体管 141 向源极线 SL 传送电压。

[0111] 调节器 140 调节例如电源电压，产生具有特定值的电压的信号 SLG。信号 SLG 的电压值由例如定序器 121 的命令决定。

[0112] 关于晶体管 142，对栅极赋予信号 SLG，电流路径的另一端接地 (0V)。晶体管 142 例如在进行读出时，将源极线 SL 接地。此时，晶体管 142 的电流驱动力由信号 SLG 决定。因此，当晶体管 143 被接通时，源极线 SL 的电位由被晶体管 143 传送的电源电压 Vdd 与根据信号 SLG 将源极线 SL 接地的强度的平衡而决定。而且，当晶体管 143 被断开时，通过晶体管 142 对源极线 SL 赋予 0V。

[0113] 1.1.3 关于数据的写入动作

[0114] 接下来，对本实施方式的写入动作进行说明。图 7 是表示本实施方式的写入动作的流程的流程表。

[0115] 写入动作大致包括：编程动作，将电荷注入到电荷存储层而使阈值上升；以及编程验证动作，确认作为编程动作的结果的已变化的阈值电压。接着，通过重复进行这些动作组（称为写入顺序）而写入数据。另外，主要通过定序器 121 的控制来执行图 7 所示的处理。

[0116] 如图所示，首先，NAND 型闪速存储器 100 从控制器 200 载入数据及地址信号。数据被保持在感应放大器 113 中，地址信号被输入到定序器 121（步骤 S10）。

[0117] 接着，定序器 121 基于地址信号而选择适当的编程电压 VPGM，并且命令电荷泵 122 执行该选择结果。电荷泵 122 对定序器 121 的命令作出应答，产生适当的编程电压 VPGM，并且将该编程电压 VPGM 供给到驱动器 124（步骤 S11）。

[0118] 接着，行解码器 112 对定序器 121 的命令作出应答而选择字线 WL，并且对选择字线 WL 施加编程电压 VPGM。进而，感应放大器 113 向比特线 BL 施加电压。由此，在存储单元晶体管中，以页为单元将步骤 S10 中所载入的数据编程编程（步骤 S12）。将步骤 S12 的情况示于图 8。图 8 是 NAND 串 115 的电路图。如图所示，向非选择字线施加电压 VPASS，向选择字线施加 VPGM。无论保持数据如何，电压 VPASS 均使存储单元晶体管 MT 接通，电压 VPGM 是用来利用 FN(Fowler-Nordheim，富雷－诺特海姆式）穿隧而将电荷注入到电荷存储层的高电压 (VPGM ＞ VPASS)。向背栅线 BG 施加使晶体管 BT 接通的电压 VBG。进而，向选择栅极线 SGD 及 SGS 分别施加电压 VSGD 及 0V。电压 VSGD 是如下电压，即，使与选择比特线 (0V) 对应的选择晶体管 ST1 接通，并且使与非选择比特线 (V1 ＞ 0V) 对应的选择晶体管 ST1 断

Micron Ex. 1002, p. 225
Micron v. YMTC
IPR2025-00190

开。

[0119] 接着，电荷泵 122 对定序器 121 的命令作出应答而产生验证电压。接着，行解码器 112 将验证电压施加给选择字线 WL，而执行编程验证动作（步骤 S13）。也就是说，例如依据定序器 121 的命令，感应放大器 113 从选择页面读出数据。接着，定序器 121 基于读出数据，确认存储单元晶体管 MT 的阈值是否上升到所需值。下面，在验证中将存储单元晶体管 MT 的阈值已上升到所需值的情况称为“通过”，将未上升的情况称为“失败”。将步骤 S13 的情况示于图 9。图 9 是 NAND 串 115 的电路图。如图所示，向非选择字线施加电压 VREAD，向选择字线施加编程验证电压 Vpv。无论保持数据如何，电压 VREAD 均使存储单元晶体管 MT 接通，电压 Vpv 是与应进行编程的数据对应的电压（VREAD ＞ Vpv）。向背栅线 BG 施加电压 VBG。进而，向选择栅极线 SGD 及 SGS 分别施加电压 VSG。电压 VSG 是使选择晶体管 ST1 及 ST2 接通的电压。

[0120] 如果页面内的大于等于规定数的存储单元通过验证（步骤 S14，是），则对该页面的写入动作完成。另一方面，如果已通过的存储单元小于规定数，也就是说，如果已失败的存储单元数多（步骤 S14，否），则定序器 121 判定写入顺序的重复次数是否达到最大次数（步骤 S15）。如果已达到最大次数，则写入动作以编程失败的形式完成（步骤 S16）。如果小于最大次数，则返回到步骤 S11 的处理。此时，定序器 121 使编程电压 VPGM 逐步增加（步骤 S17）。

[0121] 使用图 10，对所述写入动作时的各配线的电压变化的情况进行说明。图 10 是表示各配线的电压变化的时序图，表示一次写入顺序。

[0122] 如图所示，在时间点 t0，行解码器 112 向选择串单元的选择栅极线 SGD 施加电压 VSGD_prog（＞ VSGD）。电压 VSGD_prog 是使选择晶体管 ST1 接通的电压。

[0123] 感应放大器 113 对尚未通过编程验证的比特线 BL 施加 0V，对已通过的比特线 BL 及非选择比特线 BL 施加电压 V1（未图示）。选择晶体管 ST1 将这些电压从汲极传送到源极。

[0124] 接下来，在时间点 t1，行解码器 112 使选择栅极线 SGD 的电位降低到 VSGD。由此，与已通过验证的比特线 BL 及非选择比特线 BL 对应的选择晶体管 ST1 被断开。

[0125] 接着，行解码器 112 向选择字线、非选择字线及背栅线 BG 施加电压 VPASS（时间点 t2）。其后，通过将选择字线的电位上升到 VPGM，而执行编程动作。

[0126] 另一方面，对于与已通过验证的比特线 BL 及非选择比特线 BL 对应的 NAND 串，由于选择晶体管 ST1 为断开状态，因此通道电性浮动。结果，通道的电位因与字线的耦合而上升，导致编程被禁止。

[0127] 其后，定序器 121 执行编程验证动作。也就是说，行解码器 112 使字线 WL 的电位降低到 0V，并且向选择串单元 SU 中的选择栅极线 SGD 及 SGS 施加电压 VSG，使选择晶体管 ST1 及 ST2 接通（时间点 t6）。

[0128] 接下来，行解码器 112 向选择字线施加验证电压 Vpv，向非选择字线施加电压 VREAD。接着，感应放大器 113 对被读出到比特线 BL 中的数据进行感测或放大。根据该读出结果，定序器 121 判定对选择页面的写入是否已完成（也就是说，是否已通过验证）。如果写入未完成，则重复进行对选择页面的编程动作。

[0129] 1.1.4 关于编程电压 VPGM

Micron Ex. 1002, p. 226
Micron v. YMTC
IPR2025-00190

[0130] 接着，对在所述编程动作时施加给选择字线 WL 的编程电压 VPGM 进行说明。

[0131] 关于本实施方式的编程电压 VPGM 的初始值，施加给越下层的字线 WL，值越小，施加给越上层的字线 WL，值越大。换言之，施加给贯通的存储孔直径越大的字线 WL，编程电压 VPGM 越大，施加给存储孔直径越小的字线 WL，编程电压 VPGM 越小。

[0132] 图 11 是在写入动作时施加给选择字线 WL 的编程电压 VPGM 及编程验证电压 Vpv 的时序图。如图所示，施加给下层的字线 WL 的编程电压 VPGM 的初始值为 VPGM1，施加给中间层的字线 WL 的编程电压 VPGM 的初始值为 VPGM2（＝ VPGM1+ΔV），施加给上层的字线 WL 的编程电压 VPGM 的初始值为 VPGM3（＝ VPGM2+ΔV）。并且，每当重复进行写入顺序时，编程电压 VPGM 均逐步增加 ΔVPGM。因此，如果以相同的写入顺序的次数进行比较，则始终施加给上层的字线 WL 的 VPGM（例如 17 ～ 20V 左右）大于施加给下层的字线 WL 的 VPGM（例如 13 ～ 15V 左右）。

[0133] 接下来，在下文中对编程电压 VPGM 的详情的一例进行说明。图 12 是 NAND 串 115 的更详细的剖视图。

[0134] 如图所示，NAND 串 115 包括分别积层于比特线 BL 侧及源极 SL 线侧的 (n+1) 层字线。n 为大于等于 1 的自然数。在比特线侧的背栅极 BG 上，依次积层着虚设字线 WLDD0、字线 WLD0、WLD1、…、WLDk-2、WLDk-1、WLDk、WLDk+1、WLDk+2、…、WLDn-3、WLDn-2、WLDn-1、WLDn、虚设字线 WLDD1、WLDD2。在虚设字线 WLDD2 上，积层着例如四根选择栅极线 SGD。这四层的选择栅极线 SGD 共用地电连接，与一个选择晶体管 ST1 等效。进而，在选择栅极线 SGD 上配置着比特线 BL，比特线 BL 与存储孔 MH 内的半导体层电连接。

[0135] 在源极线侧的背栅极 BG 上，依次积层虚设字线 WLSD0、字线 WLS0、WLS1、…、WLSk-2、WLSk-1、WLSk、WLSk+1、WLSk+2、…、WLSn-3、WLSn-2、WLSn-1、WLSn、虚设字线 WLSD1、WLSD2。在虚设字线 WLSD2 上，积层着四根选择栅极线 SGS。这四层的选择栅极线 SGS 共用地电连接，与一个选择晶体管 ST2 等效。进而，在选择栅极线 SGS 上配置源极线 SL，源极线 SL 与存储孔 MH 内的半导体层电连接。

[0136] 在图 12 中，(n+1) 层字线 WL 从下层依次属于区域 A1、A2 及 A3。并且，各区域 A1、A2 及 A3 中所含的字线 WL 的层数分别为 a1、a2 及 a3，均为大于等于 2 的自然数 (a1+a2+a3＝(n+1))。

[0137] 图 13 是表示存储孔直径与编程电压 VPGM 的初始值相对于字线 WL 的位置（区域 A1 ～ A3）的关系的曲线图。

[0138] 如上所述，贯通越上层的字线 WL，存储孔的直径 D_{MH} 越大，贯通越下层的字线 WL，存储孔的直径 D_{MH} 越小。并且，行解码器 112 是将施加给区域 A1、A2 及 A3 的字线 WL 的编程电压 VPGM 的初始值分别设为 VPGM1、VPGM2 及 VPGM3。并且，在这些初始值之间，存在 VPGM1 ＞ VPGM2 ＞ VPGM3 的关系。也就是说，越靠上层侧的字线，行解码器 112 将编程电压 VPGM 的初始值设定得越高，越靠下层侧的字线，行解码器 112 将编程电压 VPGM 的初始值设定得越低。换言之，行解码器 112 向存储孔的直径 D_{MH} 大的字线施加大的编程电压 VPGM，向存储孔的直径 D_{MH} 小的字线施加小的编程电压 VPGM。存储孔的直径 D_{MH} 也可以称为存储单元的晶体管尺寸。

[0139] 1.3 第一实施方式的效果

[0140] 如图 4 及图 12 中所说明般，存储孔 MH 的直径 D_{MH} 为从上层朝向下层逐渐变小的锥

Micron Ex. 1002, p. 227
Micron v. YMTC
IPR2025-00190

状。也就是说，下层的存储孔 MH 的直径小于上层的存储孔 MH 的直径。

[0141] 其原因在于，通过将积层为复数层的字线 WL 统一蚀刻而形成存储孔，存储孔 MH 变得越深，该倾向越显著。

[0142] 于是，在将相同电压供给到各字线时，位于存储孔 MH 的直径大的位置的半导体层与位于存储孔 MH 的直径小的位置的半导体层相比，要被施加的电场变弱。因此，配置在存储孔 MH 的直径大的位置的存储单元晶体管与位于存储孔 MH 的直径小的位置的存储单元晶体管相比，难以形成通道。换言之，越靠近上层的存储单元晶体管，数据越难以编程，越靠近下层的存储单元晶体管，数据越容易编程。

[0143] 考虑此种存储单元晶体管的层依存性，在本实施方式中，随着从上层侧朝向下层侧、也就是说随着存储孔 MH 的直径变小，逐渐降低施加给选择字线的编程电压 VPGM 的初始值。也就是说，使施加给下层的存储单元的编程电压 VPGM 的初始值低于施加给上层的存储单元的初始值。由此，对于上层侧及下层侧的存储单元，能以适当的编程电压 VPGM 执行写入动作，从而可使写入动作高速化。

[0144] 另外，编程电压 VPGM 的初始值并不限定于图 13 的关系。图 14 是表示字线 WL 的位置（层）与 VPGM 的初始值的关系的曲线图。如图所示，施加给区域 A3 中的最上层的字线 WLDn 及 WLSn 的 VPGM 的初始值也可以不同于施加给区域 A3 内的除此以外的字线的 VPGM 的初始值（在图 14 的例中，设定得大 (VPGM4)，但并不限定于此）。同样地，施加给区域 A1 中的最下层的字线 WLD0、WLS0 的 VPGM 的初始值也可以不同于施加给区域 A1 内的除此以外的字线的 VPGM 的初始值（于图 14 的例中，设定得小 (VPGM0)，但并不限定于此）。

[0145] 进而，在图 12 至图 14 中，对 NAND 串被分割成三个区域 A1 ～ A3 的例子进行了说明，但也可以为分割成两个区域的情况，或者也可以为分割成大于等于四个区域的情况，并无限定。

[0146] 2. 第二实施方式

[0147] 接下来，对第二实施方式的半导体存储装置进行说明。本实施方式是关于在所述第一实施方式中，一个存储单元晶体管可保持大于等于 2 比特的数据的情况 (MLC(Multi-Level Cell，多电平单元))。下面，只对不同于第一实施方式的方面进行说明。

[0148] 2.1 关于存储单元晶体管的阈值分布

[0149] 将本实施方式的存储单元晶体管的阈值分布示于图 15。如图所示，本实施方式的存储单元晶体管 MT 可根据其阈值保持例如 2 比特的数据。该 2 比特数据按照阈值由低到高依次为例如“E”电平、“A”电平、“B”电平及“C”电平。“A”～“C”电平是电荷存储层内注入电荷后的状态的阈值，“A”电平具有高于读出电平“AR”且低于读出电平“BR”的阈值。“B”电平具有高于读出电平“BR”且低于读出电平“CR”的阈值。“C”电平具有高于读出电平“CR”的阈值。

[0150] 这样一来，由于可取得四个阈值电平，因此各个存储单元晶体管 MT 可存储 2 比特的数据 (4 阶数据 (4-level data))。

[0151] 图 16 是表示数据写入时的阈值分布的变化的曲线图。对于处于删除状态的存储单元晶体管，首先，将 2 比特数据中的低阶比特编程 (Lower program，下位编程）。由此，应写入“B”电平或“C”电平数据的存储单元晶体管 MT 的阈值上升到“M”电平。“M”电平具有大于电压 VM 的阈值，例如为高于“AR”且低于“CR”的范围的值。

Micron Ex. 1002, p. 228
Micron v. YMTC
IPR2025-00190

[0152] 接着，将高阶比特数据编程（Upper program，上位编程）。由此，各存储单元晶体管 MT 的阈值被设定为所需值。另外，低阶比特编程及高阶比特编程均以页为单位进行。

[0153] 2.2 关于数据的写入动作

[0154] 接下来，对本实施方式的写入动作进行说明。图 17 是表示本实施方式的 2 比特数据的写入动作的流程的流程表，与第一实施方式中所说明的图 7 对应。

[0155] 写入动作大致为：重复进行下位页面编程与其编程验证组成的组、基于下位页面编程的单元特性的检测动作、以及重复进行之后的上位页面编程与其编程验证组成的组。另外，图 17 所示的处理主要也是通过定序器 121 的控制来执行。

[0156] 如图所示，在步骤 S10 及 S11 后，进行下位页面编程（步骤 S20）。下位页面编程中所使用的 VPGM 如所述第一实施方式中所说明般具有层依存性，越靠近上层的字线，值设定得越高。

[0157] 接下来，执行步骤 S13 ～ S16。步骤 S13 中所使用的验证电平 Vpv 例如为图 16 中所说明的电压 VM。如果即便到达最大重复次数仍未通过验证，则写入以编程失败的形式完成。

[0158] 当未达到最大重复次数（步骤 S15，否）时，定序器 121 判定重复次数是否已到达特定的次数（步骤 S21）。如果未到达特定的次数（步骤 S21，否），则进入到步骤 S17，再次重复进行下位页面写入。

[0159] 如果达到特定的次数（步骤 S21，是），则定序器 121 执行检测动作（步骤 S22）。在检测动作中进行编程验证动作，该编程验证动作使用低于步骤 S13 中的验证电压的检测电压 VL1。接着，定序器 121 基于该编程验证动作的结果，计数具有大于等于检测电压 VL1 的阈值的存储单元晶体管数，判定其是否达到特定数。并且，当达到特定数时，定序器 121 使该时间点下的编程次数保持在例如寄存器 123 等中。

[0160] 在检测动作后，进入到步骤 S17。

[0161] 在步骤 S14 中，如果大于等于规定数的存储单元晶体管通过验证（步骤 S14，是），则定序器 121 完成下位页面数据的写入，接着执行上位页面数据的写入。

[0162] 也就是说，定序器 121 基于步骤 S22 中所获得的检测结果来选择编程电压 VPGM，并且命令电荷泵 122 执行该选择结果。电荷泵 122 对定序器 121 的命令作出应答，产生适当的编程电压 VPGM，并且将该编程电压 VPGM 供给到驱动器 124（步骤 S23）。

[0163] 接着，行解码器 112 对定序器 121 的命令作出应答而选择字线 WL，并且向选择字线 WL 施加编程电压 VPGM。进而，感应放大器 113 向比特线 BL 施加电压。由此，上位页面数据被编程（步骤 S24）。

[0164] 之后，与下位页面写入同样地进行上位页面编程验证（步骤 S26），如果通过（步骤 S26，是），则写入动作完成。另一方面，当失败（步骤 S26，否）时，重复进行上位页面编程（步骤 S24），在编程次数达到最大重复次数的情况下，写入动作以编程失败的形式完成。

[0165] 下位页面写入时的各配线的电压如第一实施方式中所说明的图 10 所述，例如可使用电压 VM 作为验证电压 Vpv。编程电压 VPGM 具有层依存性这方面也与第一实施方式相同。

[0166] 图 18 是表示上位页面写入时的各配线的电压。不同于下位页面写入的方面在于：编程电压 VPGM 并非依存于层，而依存于检测动作结果；可使用 Vpv1、Vpv2 及 Vpv3 作为验证

Micron Ex. 1002, p. 229
Micron v. YMTC
IPR2025-00190

电压。验证电压 Vpv1、Vpv2 及 Vpv3 相当于例如图 15 中的“AR”、“BR”及“CR”。

[0167] 图 19 是表示下位页面写入时的选择字线 WL 的电位变化的时序图，作为一例，表示选择位于下层（区域 A1）的字线 WL 的情况。

[0168] 如图所示，在最初的编程时，使用 VPGM1 进行下位页面编程，接着使用电压 VM 进行编程验证（第一循环）。其后，一边将编程电压逐步增加，一边重复进行相同的动作。并且，如果图 17 的步骤 S21 中的特定的重复次数为“三次”，则如图 19 所示，在第三循环后紧接着进行检测动作。也就是说，使用检测电压 VL1 执行编程验证动作。之后，接着重复进行下位页面写入。

[0169] 使用图 20 对进行检测动作的意义进行说明。图 20 是表示在检测动作中具有大于等于检测电压 VL1 的阈值的存储单元晶体管数成为大于等于规定数的写入循环次数、与该次数对应的存储单元晶体管的特性、及上位页面编程时使用的编程电压 VPGM 的初始值的表。

[0170] 如图所示，在写入循环数少的情况下使大量存储单元晶体管的阈值达到 VL1 意味着，该页面内的存储单元晶体管具有易编程（阈值易上升，或者编程速度快）的特性。相反地，如果多次执行写入循环，则规定数的存储单元晶体管的阈值仍未达到 VL1 意味着，该页面内的存储单元晶体管具有难以编程（阈值难以上升，或者编程速度慢）的特性。

[0171] 因此，在进行上位页面编程时，基于所述单元特性来选择编程电压 VPGM 的初始值。也就是说，对于易编程的页面，使用相对较低的电压 VPGM1′，对于难以编程的页面，使用相对较高的电压 VPGM3′（＞VPGM1′），对于具有通常的编程速度的页面，使用中间电压 VPGM2′（其中，VPGM1′ ＜ VPGM2′ ＜ VPGM3′）。

[0172] 并且，定序器 121 或寄存器 123 保持图 20 中的至少写入循环数与 VPGM 的初始值的关系。

[0173] 2.3 关于检测电压 VL1

[0174] 接着，对所述检测动作时施加给选择字线 WL 的检测电压 VL1 进行说明。

[0175] 关于本实施方式的检测电压 VL1 的初始值，施加给越下层的字线 WL，该初始值越小，施加给越上层的字线 WL，该初始值越大。换言之，施加给贯通的存储孔直径越大的字线 WL，检测电压 VL1 越大，施加给存储孔直径越小的字线 WL，检测电压 VL1 越小。也就是说，具有同编程电压 VPGM 与字线层的关系相同的关系。

[0176] 图 21 是表示存储孔直径与检测电压 VL1 相对于图 12 中所说明的区域 A1 ～ A3 的关系的曲线图。

[0177] 如图所示，行解码器 112 将施加给区域 A1、A2 及 A3 的字线 WL 的检测电压 VL1 的值分别设为 VL1-1、VL1-2 及 VL1-3。并且，在它们之间，存在 VL1-1 ＞ VL1-2 ＞ VL1-3 的关系。其中，VL1-1 ～ VL1-3 均为小于 VM 的电压。

[0178] 2.4 第二实施方式的效果

[0179] 根据本实施方式，当进行下位页面写入时，进行判断存储单元晶体管 MT 的特性的检测动作。接着，基于该检测动作的结果，判断各页面是否为易于编程的页面，并且基于该判断结果，决定上位页面写入时的编程电压 VPGM 的大小。也就是说，对于易于编程的页面，使用低的编程电压 VPGM，对于难以编程的页面，使用高的编程电压 VPGM。由此可使写入动作高速化。

Micron Ex. 1002, p. 230
Micron v. YMTC
IPR2025-00190

[0180] 此时，根据本实施方式，在进行检测动作时施加给选择字线 WL 的检测电压具有层依存性。如第一实施方式中所说明般，由于存储孔具有锥形状，因此因层不同而导致存储单元晶体管的特性（编程的容易度）不同。

[0181] 因此，在本实施方式中，对照该特性，适当地设定检测电压 VL1。因此，可准确地求出存储单元特性。

[0182] 另外，检测动作的方法并不限定于所述实施方式中所进行的说明的方法，可进行各种变化。

[0183] 图 22 是表示选择字线 WL 的电位变化的时序图，表示从第三循环到第四循环的情况。在图 22 中，表示下层的字线的例，中间层及上层的字线也一样。

[0184] (a) 图是与所述实施方式中所说明的图 19 相同。与此相对，也可以如 (b) 图那样更换检测动作与第三循环的验证动作的顺序。而且，也可以如 (c) 图所示那样连续地进行检测动作及验证动作。而且，在 (c) 图中，也可以使检测动作与验证动作的顺序颠倒。

[0185] 图 23 是表示另一例的时序图，(a) 图是表示选择上层的字线的情况，(b) 图是表示选择下层的字线的情况。

[0186] 如图所示，也可以使进行检测动作的频度具有层依存性。更具体来说，可以将上层的字线的检测动作的频度设定为略低，将下层的字线的检测动作的频度设定为略高。如果为图 23 的例，则如 (a) 图所示，上层的字线是每进行四次写入动作而进行一次检测动作。另一方面，如 (b) 图所示，下层的字线是每进行两次写入动作而进行一次检测动作。

[0187] 如上所述，越为下层的存储单元晶体管，越容易写入。换言之，存储孔越小的存储单元晶体管写入速度越快。于是，可知：为了使上层的存储单元晶体管通过检测动作，需要相对较多的写入循环次数，下层的存储单元晶体管以相对较少的写入循环次数通过检测动作。

[0188] 因此，可通过将上层的存储单元晶体管的检测动作的频度设为略低，而省去无用的检测动作，从而可提高写入速度。

[0189] 当然，在图 23 中，对于例如位于中间层的字线，也可以每进行三次写入动作而进行一次检测动作。它们的次数为任意，只要越为上层将频度设为越低即可。

[0190] 而且，在本实施方式中，关于检测电压 VL1，将字线分为下层、中间层及上层这三个区域 A1 ～ A3 进行了说明，但也可以为两个区域或大于等于四个区域，而且，区域的分割方法也可以与用来设定电压 VPGM 的图 12 不同。并且，关于电压 VPGM 的区域数与关于检测电压 VL1 的区域数也可以互不相同。

[0191] 3. 第三实施方式

[0192] 接下来，对第三实施方式的半导体存储装置进行说明。本实施方式是在所述第一或第二实施方式中，还使电压 VPASS 也具有层依存性。下面，只对不同于第一、第二实施方式的方面进行说明。

[0193] 3.1 关于电压 VPASS 的层依存性

[0194] 图 24 是表示存储孔直径与电压 VPASS 相对于字线的位置的关系的曲线图。

[0195] 如图所示，越为下层的字线，电压 VPASS 的值设定得越小，越为上层的字线，电压 VPASS 的值设定地越大。换言之，与编程电压 VPGM 的情况同样地，对于存储孔的直径 D_{MH} 大的字线施加大的电压 VPASS，对于存储孔的直径 D_{MH} 小的字线施加小的电压 VPASS。

Micron Ex. 1002, p. 231
Micron v. YMTC
IPR2025-00190

[0196] 而且，在 NAND 串内，邻接的多个字线组的每一组均被群组化，施加给相同群组内的字线的 VPASS 被设为相同值。

[0197] 3.2 关于电压 VPASS 与 VPGM 的关系

[0198] 图 25 是表示在图 12 的构成中，当选择比特线侧的位于相对上层的任一条字线 WLDk(k 为 0 ～ n 的任一个值）时的施加给比特线侧的字线 WLD0 ～ WLDn 及源极线侧的字线 WLS0 ～ WLSn 的电压的图表。

[0199] 如图所示，在本例中，邻接的非选择字线以两条为一组的形式被群组化，并且施加相同电压 VPASS。首先，对包含选择字线 WLDk 在内的比特线侧的字线 WLD0 ～ WLDn 进行说明。在比特线侧，向字线 WLDn 及 WLD(n-1) 施加电压 VPASSD4，所施加的电压 VPASS 随着从此处起朝向下层而变低（图 25 中，为 VPASSD4 ＞ VPASSD5 ＞ VPASSD6）。

[0200] 关于在上层侧与选择字线 WLDk 邻接的 m2 条非选择字线、以及在下层侧邻接的 m1 条非选择字线，进行与所述不同的处理。

[0201] 对于选择字线 WLDk 施加编程电压 VPGM11。对于在上层侧与选择字线 WLDk 邻接的 m2 条字线 WL(k+1) ～ WLD(n-6)，施加从电压 VPGAM11 朝向电压 VPASSD6 逐渐降低的电压 VPASSD(k+1) ～ VPASSD(k+m2)。也就是说，下面的 (1) 式的关系成立。

[0202] VPGM11 ＞ VPASSD(k+1) ＞ VPASSD(k+2) ＞…＞ VPASSD(k+m2-1) ＞ VPASSD(k+m2) (1) 式

[0203] 而且，对于在下层侧与选择字线 WLDk 邻接的 m1 条字线 WL(k-1) ～ WLD(k-m1)，施加从电压 VPGAM11 起逐渐降低的电压 VPASSD(k-1) ～ VPASSD(k-m1)。也就是说，下面的关系成立。

[0204] VPGM11 ＞ VPASSD(k-1) ＞ VPASSD(k-2) ＞…＞ VPASSD(k-m1+1) ＞ VPASSD(k-m1) (2) 式

[0205] 并且，对于字线 WLD(k-m1-1) 至字线 WLD0，每两条施加依次降低的电压 VPASS。例如向字线 WLD(k-m1-1) 及 WLD(k-m1-2) 施加电压 VPASSD1，向字线 WLD(k-m1-3) 及 WLD(k-m1-4) 施加电压 VPASSD2，向字线 WLD(k-m1-5) 及 WLD(k-m1-6) 施加电压 VPASSD3。并且，VPASSD1 ＞ VPASSD2 ＞ VPASSD3 的关系成立。而且，在 VPASSD6 与 VPASSD1 之间，VPASSD6 ≥ VPASS1 的关系成立。

[0206] 如上所述，基本上越为上层的字线，电压 VPASS 的值设定得越高，越为下层的字线，电压 VPASS 的值设定得越低。并且，电压 VPASS 的值是以例如大于等于两条为单位变化。但是，在下层侧与选择字线邻接的多个非选择字线（将它称为区域 M1）、以及在上层侧与选择字线邻接的多个非选择字线（将它称为区域 M2）进行不同的处理。

[0207] 在区域 M2 中，施加所述说明的满足 (1) 式的电压 VPASS。也就是说，在区域 M2 中，电压 VPASS 的值从上层朝向下层逐渐上升。另一方面，在区域 M1 中，施加所述说明的满足 (2) 式的电压 VPASS。也就是说，在区域 M2 中，电压 VPASS 的值从下层朝向上层逐渐降低。由此，邻接的字线间的电压差得以缓和。

[0208] 如果将上面的电压 VPASS 的施加方法进一步一般化，则可如下所述地进行说明。也就是说，将从最下层的字线 WLD0 到区域 M1 的多个字线从下层按序设为字线层数为 c1 的区域 C1、及字线层数为 c2 的区域 C2。而且，将从最上层的字线 WLDn 到区域 M2 的多个字线从上层按序设为字线层数为 d2 的区域 D2、及字线层数为 d1 的区域 D1。于是，

Micron Ex. 1002, p. 232
Micron v. YMTC
IPR2025-00190

c1+c2+m1+1+m2+d1+d2 = n 成立。并且，以如下方式施加电压 VPASS。

[0209] 在区域 C1 与 C2 的交界，如下关系成立。

[0210] VPASSD(k-m1-c2+1) ≥ VPASSD(k-m1-c2) > VPASSD(k-m1-c2-1) ≥ VPASSD(k-m1-c2-2)

[0211] 其中，VPASSD(k-m1-c2) 是施加给区域 C2 中的非选择字线 WLD(k-m1-c2) 的电压 VPASS 的值，VPASSD(k-m1-c2-1) 是施加给区域 C1 中的非选择字线 WLD(k-m1-c2-1) 的电压 VPASS 的值。

[0212] 同样地，在区域 D2 与 D1 的交界，如下关系成立。

[0213] VPASSD(k+m2+d1+2) ≥ VPASSD(k+m2+d1+1) > VPASSD(k+m2+d1) ≥ VPASSD(k+m2+d1-1)

[0214] 其中，VPASSD(k+m2+d1+1) 是施加给区域 D2 中的非选择字线 WLD(k+m2+d1+1) 的电压 VPASS 的值，VPASSD(k+m2+d1) 是施加给区域 D1 中的非选择字线 WLD(k+m2+d1) 的电压 VPASS 的值。

[0215] 当然，在所述说明中，比区域 M1 靠下的区域的分割数及比区域 M2 靠上层的分割数并不限定于两个，字线也可以被分割为大于等于三个区域。

[0216] 接着，对不包含选择字线的源极线侧的字线 WLS0 ～ WLSn 进行说明。在源极线侧，向最上层的字线 WLSn 及 WLS(n-1) 施加电压 VPASSS11，所施加的电压 VPASS 随着从此处起朝向下层而降低（图 25 中，为 VPASSS11 > VPASSS12 > VPASSS13）。

[0217] 如果将源极线侧的电压 VPASS 一般化，则可如下所述地进行说明。也就是说，从最下层的字线 WLS0 起依次为：字线层数为 e1 的区域 E1、字线层数为 e2 的区域 E2、及字线层数为 e3 的区域 E3。于是，e1+e2+e3 = n 成立。并且，以如下方式施加电压 VPASS。

[0218] 在区域 E1 与 E2 的交界，如下关系成立。

[0219] VPASSS(e1+1) ≥ VPASSS(e1) > VPASSS(e1-1) ≥ VPASSS(e1-2)

[0220] 其中，VPASSS(e1) 是施加给区域 E2 中的非选择字线 WLS(e1) 的电压 VPASS 的值，VPASSS(e1-1) 是施加给区域 E1 中的非选择字线 WLS(e1-1) 的电压 VPASS 的值。

[0221] 同样地，在区域 E2 与 E3 的交界，如下关系成立。

[0222] VPASSS(e1+e2+1) ≥ VPASSS(e1+e2) > VPASSS(e1+e2-1) ≥ VPASSS(e1+e2-2)

[0223] 其中，VPASSS(e1+e2) 是施加给区域 E3 中的非选择字线 WLS(e1+e2) 的电压 VPASS 的值，VPASSS(e1+e2-1) 是施加给区域 E2 中的非选择字线 WLS(e1+e2-1) 的电压 VPASS 的值。

[0224] 另外，最上层的非选择字线 WLSn 的电压 VPASSSn 也可以不同于施加给相同区域 E3 中所含的其他非选择字线 WLS 的电压。而且，最下层的非选择字线 WLS0 的电压 VPASSS0 也可以不同于施加给相同区域 E1 中所含的其他非选择字线 WLS 的电压。这与第一实施方式中所说明的图 14 为相同的关系。

[0225] 当然，在所述说明中，对源极线侧的字线被分割成三个区域的例子进行了说明，但也可以分割成两个区域，或者也可以分割成大于等于四个区域。

[0226] 另外，所述说明中的常数 m（在本例中为 m1 及 m2）、c（在本例中为 c1 及 c2）、d（在本例中为 d1 及 d2）、e（在本例中为 e1 及 e2）为任意，可根据所要选择的字线 WL 的位置（即 k 的值）、或字线层数 n 适当变更。

Micron Ex. 1002, p. 233
Micron v. YMTC
IPR2025-00190

[0227] 当选择源极线侧的字线时，在所述说明中，将 WLD 替换为 WLS，将 WLS 替换为 WLD，将 VPASSD 替换为 VPASSS，将 VPASSS 替换为 VPASSD 即可。

[0228] 图 26 及图 27 分别表示选择中间层的字线的情况、及选择下层的字线的情况。在此情况下，与图 25 相同的关系成立。

[0229] 3.3 本实施方式的效果

[0230] 如第一实施方式中所说明那样，因存储孔的尺寸不同而导致存储单元晶体管的尺寸不同。基于所述情况，不仅编程特性不同，读出特性也不同。更具体来说，存储孔的尺寸越小，越容易接通，存储孔的尺寸越大，越难以接通。

[0231] 因此，根据本实施方式，对于存储孔的尺寸越小的下层的非选择字线，使电压 VPASS 越小，对于存储孔的尺寸越大的上层的非选择字线，使电压 VPASS 越大。

[0232] 由此，可对非选择字线施加适当的电压，从而可提高写入动作可靠性。

[0233] 而且，不仅根据层简单地使 VPASS 的值变化，而且对于与选择字线邻近的非选择字线，以邻接字线间的电位差逐渐变化的方式设定 VPASS 的值（图 25 的区域 M1 及 M2）。由此，也可以考虑到字线间的耐受电压。

[0234] 另外，电压 VPASS 的值在重复进行编程动作期间，可以维持为固定值，或者也可以与 VPGM 同样地逐步增加。

[0235] 而且，有关所述 VPASS 的实施方式也可以全部相同地应用于读出电压 VREAD。也就是说，可对照存储孔的直径来改变电压 VREAD 的大小。

[0236] 4. 第四实施方式

[0237] 接下来，对第四实施方式的半导体存储装置进行说明。本实施方式是在所述第一至第三实施方式中通过多次蚀刻而形成存储孔。下面，只对不同于第一至第三实施方式的方面进行说明。

[0238] 4.1 关于 NAND 串的构成

[0239] 首先，使用图 28 对本实施方式的 NAND 串的构成进行说明。图 28 是 NAND 串的剖视图。在图 28 中，表示通过三个步骤形成存储孔的情况。由大于等于四个步骤而形成存储孔的情况也一样。

[0240] 如图所示，从比特线 BL 或源极线 SL 到达至背栅极晶体管 BT 的存储孔是从下层分别依次形成三个存储孔 MH1、MH2 及 MH3 而成。

[0241] 并且，各个存储孔 MH1 ～ MH3 具有锥形状。因此，最下层的存储孔 MH1 的上端的直径大于中间层的存储孔 MH2 的下端的直径，中间层的存储孔 MH2 的上端的直径大于最上层的存储孔 MH3 的下端的直径，最上层的存储孔 MH3 的直径大于其下端的直径。

[0242] 4.2 关于编程电压 VPGM

[0243] 图 29 是表示存储孔直径与编程电压 VPGM 相对于字线的位置的关系的曲线图。

[0244] 如图所示，对照各存储孔 MH1 ～ MH3 的直径而设定 VPGM 的值。也就是说，当选择与存储孔 MH1 的最下层的区域 A1 对应的字线时，施加 VPGM1-1，当选择与存储孔 MH1 的中间层的区域 A2 对应的字线时，施加 VPGM2-1，当选择与存储孔 MH1 的最上层的区域 A3 对应的字线时，施加 VPGM3-1。并且，VPGM1-1 ＜ VPGM2-1 ＜ VPGM3-1 的关系成立。

[0245] 而且，当选择与存储孔 MH2 的最下层的区域 A1 对应的字线时，施加 VPGM1-2，当选择与存储孔 MH2 的中间层的区域 A2 对应的字线时，施加 VPGM2-2，当选择与存储孔 MH2 的最

Micron Ex. 1002, p. 234
Micron v. YMTC
IPR2025-00190

上层的区域 A3 对应的字线时，施加 VPGM3-2。并且，VPGM1-2 < VPGM2-2 < VPGM3-2 的关系成立，在存储孔 MH1 与 MH2 的阶差部分，VPGM1-2 < VPGM3-1 的关系成立。

[0246] 进而，当选择与存储孔 MH3 的最下层的区域 A1 对应的字线时，施加 VPGM1-3，当选择与存储孔 MH3 的中间层的区域 A2 对应的字线时，施加 VPGM2-3，当选择与存储孔 MH3 的最上层的区域 A3 对应的字线时，施加 VPGM3-3。并且，VPGM1-3 < VPGM2-3 < VPGM3-3 的关系成立，在存储孔 MH2 与 MH3 的阶差部分，VPGM1-3 < VPGM3-2 的关系成立。

[0247] 另外，VPGM1-1、VPGM1-2 及 VPGM1-3 既可为相同值，也可以为不同值。这些值是根据存储孔 MH1 ～ MH3 的尺寸而决定。此情况针对 VPGM2-1、VPGM2-2 及 VPGM2-3 也相同，而且，针对 VPGM3-1、VPGM3-2 及 VPGM3-3 也相同。

[0248] 4.3 关于电压 VPASS

[0249] 图 30 是表示存储孔直径与电压 VPASS 相对于字线的位置的关系的图表。

[0250] 如图所示，VPASS 的值与 VPGM 同样地对照各存储孔 MH1 ～ MH3 的直径而设定。在图 30 的例中，与各存储孔 MH1 ～ MH3 对应的字线 WL 针对多条字线的每一条被分割成五个区域。当然，字线 WL 的区域数也可以为小于等于四个，还可以为大于等于六个。

[0251] 并且，在与存储孔 MH3 对应的区域，从上层依次赋予 VPA1、VPA2、VPA3、VPA4 及 VPA5 作为电压 VPASS。此处，VPA1 > VPA2 > VPA3 > VPA4 > VPA5 的关系成立。

[0252] 而且，在与存储孔 MH2 对应的区域，从上层依次赋予 VPA6、VPA7、VPA8、VPA9 及 VPA10 作为电压 VPASS。此处，VPA6 > VPA7 > VPA8 > VPA9 > VPA10 的关系成立。

[0253] 进而，在与存储孔 MH3 对应的区域，从上层依次赋予 VPA11、VPA12、VPA13、VPA14、及 VPA15 作为电压 VPASS。此处，VPA11 > VPA12 > VPA13 > VPA14 > VPA15 的关系成立。

[0254] 另外，VPA1、VPA6 及 VPA11 既可为相同值，也可以为不同值。这些值根据存储孔 MH1 ～ MH3 的尺寸而决定。该情况针对 VPA2、VPA7 及 VPA12 也相同，针对 VPA3、VPA8 及 VPA13 也相同，针对 VPA4、VPA9 及 VPA14 也相同，针对 VPA5、VPA10 及 VPA15 也相同。

[0255] 4.4 本实施方式的效果

[0256] 对于三维积层型 NAND 型闪速存储器，越增加字线 WL 的积层数，越能提高积体度。但是，越增加积层数，存储孔变得越深，结果，存储孔的上端与下端的直径差变大。换言之，下层的存储单元晶体管与上层的存储单元晶体管的特性的差异变大。

[0257] 因此，优选为不通过统一加工而制成存储孔，而是分多次形成存储孔。在此情况下，存储孔的直径并不是从上层朝向下层单调递减，而如图 28 所示，成为具有阶差的复杂的形状。

[0258] 即便在这种情况下，也可以通过对照存储孔的直径适当地设定 VPGM 及 VPASS 的值，而提高 NAND 型闪速存储器的动作可靠性。虽省略了说明，但检测电压 VL1 的情况也一样。

[0259] 另外，在如图 28 的构成的情况下，也能够在存储孔的交界部分，以非选择字线间的电位差变小的方式设定 VPASS 的值。将此种例子示于图 31。

[0260] 如图所示，施加给存储孔 MH3 的最下层的区域的字线的电压 VPASS 的值 VPA5 是以满足 VPA4 < VPA5 < VPA6 的关系的方式设定。而且，施加给存储孔 MH2 的最下层的区域的字线的电压 VPASS 的值 VPA10 是以满足 VPA9 < VPA10 < VPA11 的关系的方式设定。

[0261] 或者，在图 30 中，也能够以满足 VPA5 < VPA6 < VPA7 的关系的方式设定 VPA6 的

Micron Ex. 1002, p. 235
Micron v. YMTC
IPR2025-00190

值，也能够以满足 VPA10 < VPA11 < VPA12 的关系的方式设定 VPA11 的值。

[0262] 进而，也可以在存储孔的阶差部分设置虚设字线。将此种例子示于图 32。图 32 是 NAND 串的剖视图。

[0263] 如图所示，在存储孔 MH3 的最下层设置虚设字线 WLDDM1 及 WLSDM1，在存储孔 MH2 的最下层设置虚设字线 WLDDM2 及 WLSDM2。

[0264] 5. 第五实施方式

[0265] 接下来，对第五实施方式的半导体存储装置进行说明。本实施方式是将所述第一至第四实施方式应用于其他具有 NAND 串形状的 NAND 型闪速存储器。下面，只对不同于第一至第四实施方式的方面进行说明。

[0266] 5.1 第一例

[0267] 图 33 是第一例的 NAND 串的剖视图。如图所示，在本例中，在半导体基板上方，首先形成源极线 SL。接着，在源极线 SL 的上方形成选择栅极线 SGS，在选择栅极线 SGS 的上方依次形成虚设字线 WLDS0 及 WLDS1，在虚设字线 WLDS1 的上方依次形成字线 WL0 ～ WLn，在字线 WLn 的上方依次形成虚设字线 WLDD1 及 WLDD2，在虚设字线 WLDD2 的上方形成选择栅极线 SGD。并且，一个存储孔 MH 贯通所述各部位，在存储孔 MH 内形成半导体层 AA。并且，在半导体层 AA 上形成比特线 BL。

[0268] 在本构成中，也可以如图 13 及图 14 中所说明那样设定编程电压 VPGM。而且，可如图 21 中所说明那样设定检测电压 VL1。进而，可如图 24 至图 27 中所说明那样设定电压 VPASS。另外，可如图 24 至图 27 中在比特线 BL 侧所说明那样施加电压 VPASS。

[0269] 5.2 第二例

[0270] 图 34 是第二例的 NAND 串的剖视图。如图所示，本例是在第一例中所说明的图 33 中，通过多次加工（本例中为三次）而形成存储孔。

[0271] 在本构成中，也可以如图 29 中所说明那样设定编程电压 VPGM，如图 30 及图 31 中所说明那样设定电压 VPASS。检测电压 VL1 的情况也一样。

[0272] 5.3 第三例

[0273] 图 35 是第三例的 NAND 串的剖视图。如图所示，在本例中，在 p 型井区域上形成 NAND 串。在 p 型井区域内形成 n^+ 型杂质扩散层及 p^+ 型杂质扩散层。接着，在 n^+ 型杂质扩散层上形成接触插塞 CP1，在接触插塞 CP1 上形成源极线 SL。接着，在 p^+ 型杂质扩散层上形成接触插塞 CP2，在接触插塞 CP2 上形成井配线 CPWELL。选择栅极线 SGS 形成到 n^+ 型杂质扩散层的附近。并且，在进行读出时，通过利用选择栅极线 SGS 形成在选择晶体管 ST2 的通道，而使形成在存储单元晶体管 MT 的通道电连接到 n^+ 型杂质扩散层。并且，根据本构成，可通过井配线 CPWELL，在进行数据删除时对半导体层 AA 施加删除电压。

[0274] 在本构成中，也可以如图 13 及图 14 中所说明那样设定编程电压 VPGM。而且，可如图 21 中所说明那样设定检测电压 VL1。进而，可如图 24 至图 27 中所说明那样设定电压 VPASS。另外，可如图 24 至图 27 中在比特线 BL 侧所说明那样施加电压 VPASS。

[0275] 5.4 第四例

[0276] 图 36 是第四例的 NAND 串的剖视图。本例是在所述第三例中所说明的图 35 中，通过多次加工（本例中为三次）而形成存储孔。

[0277] 在本构成中，也可以如图 29 中所说明那样设定编程电压 VPGM，还可以如图 30 及图

Micron Ex. 1002, p. 236
Micron v. YMTC
IPR2025-00190

31 中所说明那样设定电压 VPASS。检测电压 VL1 的情况也一样。

[0278] 5.5 本实施方式的效果

[0279] 如上所述，第一至第四实施方式中所说明的方法也可以应用于如下构成：成为存储单元晶体管 MT 的通道的半导体层并非 U 字型，而具有一根柱状形状。

[0280] 6. 第六实施方式

[0281] 接下来，对第六实施方式的半导体存储装置进行说明。本实施方式是将第一至第四实施方式应用于进而不同的存储单元阵列而成。下面，只对不同于第一至第四实施方式的方面进行说明。

[0282] 6.1 第一例

[0283] 6.1.1 关于存储单元阵列的构成

[0284] 图 37 是本实施方式的存储单元阵列 111 的电路图，表示任一个区块 BLK 的构成。如图所示，区块 BLK 包含多个存储器单位 MU(MU1、MU2)。在图 37 中，只图示了两个存储器单位 MU，但也可以为大于等于三个，其数量并无限定。

[0285] 各个存储器单位 MU 包含例如四个串群组 GR(GR1 ～ GR4)。另外，当在存储器单位 MU1 及 MU2 之间进行区分时，将存储器单位 MU1 的串群组 GR 分别称为 GR1-1 ～ GR4-1，将存储器单位 MU2 的串群组 GR 分别称为 GR1-2 ～ GR4-2。

[0286] 各个串群组 GR 包含例如三个 NAND 串 SR(SR1 ～ SR3)。当然，NAND 串 SR 的数量并不限定于三个，也可以为大于等于四个。各个 NAND 串 SR 包含选择晶体管 ST1 及 ST2、及四个存储单元晶体管 MT(MT1 ～ MT4)。存储单元晶体管 MT 的数量并不限定于四个，也可以为大于等于五个，还可以为小于等于三个。

[0287] 在串群组 GR 内，三个 NAND 串 SR1 ～ SR3 依次积层在半导体基板上，NAND 串 SR1 形成在最下层，NAND 串 SR3 形成在最上层。也就是说，在第一实施方式中所说明的图 4 中，NAND 串内的存储单元晶体管 MT 沿着半导体基板面的垂直方向积层，相对于此，在本实施方式中，NAND 串内的存储单元晶体管 MT 沿着与半导体基板面平行的方向排列，该 NAND 串沿着垂直方向积层。并且，相同的串群组 GR 中所含的选择晶体管 ST1 及 ST2 分别与相同的选择栅极线 GSL1 及 GSL2 连接，位于同一行的存储单元晶体管 MT 的控制栅极与相同的字线 WL 连接。进而，某串群组 GR 内的三个选择晶体管 ST1 的汲极连接于互不相同的比特线 BL，选择晶体管 ST2 的源极连接于相同的源极线 SL。

[0288] 在奇数的串群组 GR1 及 GR3、以及偶数的串群组 GR2 及 GR4 中，选择晶体管 ST1 及 ST2 以其位置关系相反的方式配置。也就是说，如果是图 37 的例子，则串群组 GR1 及 GR3 的选择晶体管 ST1 配置在 NAND 串 SR 的左端，选择晶体管 ST2 配置在 NAND 串 SR 的右端。相对于此，串群组 GR2 及 GR4 的选择晶体管 ST1 配置在 NAND 串 SR 的右端，选择晶体管 ST2 配置在 NAND 串 SR 的左端。

[0289] 并且，串群组 GR1 及 GR3 的选择晶体管 ST1 的栅极连接于相同的选择栅极线 GSL1，选择晶体管 ST2 的栅极连接于相同的选择栅极线 GSL2。另一方面，串群组 GR2 及 GR4 的选择晶体管 ST1 的栅极连接于相同的选择栅极线 GSL2，选择晶体管 ST2 的栅极连接于相同的选择栅极线 GSL1。

[0290] 而且，某存储器单位 MU 中所含的四个串群组 GR1 ～ GR4 连接于彼此相同的比特线 BL，不同的存储器单位 MU 连接于互不相同的比特线 BL。更具体来说，在存储器单位 MU1 中，

Micron Ex. 1002, p. 237
Micron v. YMTC
IPR2025-00190

串群组 GR1 ～ GR4 中的 NAND 串 SR1 ～ SR3 的选择晶体管 ST1 的汲极分别经由行选择栅极 CSG(CSG1 ～ CSG4) 连接于比特线 BL1 ～ BL3。行选择栅极 CSG 具有与例如存储单元晶体管 MT 或选择晶体管 ST1 及 ST2 等相同的构成，在各存储器单位 MU 中，选择比特线 BL 所选择的一个串群组 GR。因此，与各串群组 GR 对应的行选择栅极 CSG1 ～ CSG4 的栅极分别被不同的控制信号线 SSL1 ～ SSL4 控制。

[0291] 具有以上所说明的构成的存储器单位 MU 在记载图 37 的纸面沿着上下方向排列多个。这些多个存储器单位 MU 与存储器单位 MU1 共有字线 WL、选择栅极线 GSL1 及 GSL2。另一方面，比特线 BL 独立，例如相对于存储器单位 MU2，将与存储器单位 MU1 不同的三条比特线 BL4 ～ BL6 建立对应。与各存储器单位 MU 建立对应的比特线 BL 的条数与一个串群组 GR 中所含的 NAND 串 SR 的总数对应。因此，如果 NAND 串为四层，则比特线 BL 也设置四条，其他数量的情况也一样。而且，控制信号 SSL1 ～ SSL4 在存储器单位 MU 之间可共用，或者也可以独立地被控制。

[0292] 在所述构成中，从各存储器单位 MU 逐一选择的一个串群组 GR 中的相同字线 WL 所连接的多个存储单元晶体管 MT 的集合为“页”。

[0293] 图 38 及图 39 是区块 BLK 的立体图及俯视图，图 40 是沿着图 39 中的 40-40 线的剖视图，图 41 是沿着图 39 中的 41-41 线的剖视图，图 42 是沿着图 39 中的 42-42 线的剖视图。在图 37、图 40 及图 42 中图示了一个存储器单位 MU，图 39 及图 41 中图示了两个存储器单位 MU1 及 MU2。

[0294] 如图所示，在半导体基板 20 上形成绝缘膜 21，在绝缘膜 21 上形成区块 BLK。

[0295] 通过在绝缘膜 21 上形成沿着第二方向的条纹形状的例如四个鳍式构造 24(24-1 ～ 24-4) 而形成一个存储器单位 MU，所述第二方向与作为相对于半导体基板 20 表面垂直的方向的第一方向正交。各个鳍式构造 24 包含沿着第二方向设置的绝缘膜 22(22-1 ～ 22-4)、及半导体层 23(23-1 ～ 23-3)。并且，于各个鳍式构造 24 中，通过交替积层绝缘膜 22-1 ～ 22-4 及半导体层 23-1 ～ 23-3，而形成在相对于半导体基板 20 的表面垂直的方向上延伸的四个积层构造。该鳍式构造 24 分别相当于图 37 中所说明的串群组 GR。并且，最下层的半导体层 23-1 相当于 NAND 串 SR1 的电流路径（形成通道的区域），最上层的半导体层 23-3 相当于 NAND 串 SR3 的电流路径，位于它们之间的半导体层 23-2 相当于 NAND 串 SR2 的电流路径。

[0296] 在鳍式构造 24 的上表面及侧面，依次形成栅极绝缘膜 25、电荷存储层 26、区块绝缘膜 27 及控制栅极 28（参照图 40）。电荷存储层 26 由例如绝缘膜形成。而且，控制栅极 28 由导电膜形成，作为字线 WL 或选择栅极线 GSL1 及 GSL2 而发挥功能。字线 WL、选择栅极线 GSL1 及 GSL2 在多个存储器单位 MU 之间，以跨及多个鳍式构造 24 的方式形成。另一方面，控制信号线 SSL1 ～ SSL4 独立于每个鳍式构造 24。

[0297] 鳍式构造 24 的一端部被引出到区块 BLK 的端部，在被引出的区域与比特线 BL 连接。也就是说，作为一例，如果着眼于存储器单位 MU1，则奇数的鳍式构造 24-1 及 24-3 的一端部沿着第二方向被引出到某区域而共用地连接，在该区域形成接触插塞 BC1 ～ BC3。形成在该区域的接触插塞 BC1 将串群组 GR1 及 GR3 的半导体层 23-1 及比特线 BL1 连接，半导体层 23-2 及 23-3 得以绝缘。接触插塞 BC2 将串群组 GR1 及 GR3 的半导体层 23-2 及比特线 BL2 连接，半导体层 23-1 及 23-3 得以绝缘。接触插塞 BC3 将串群组 GR1 及 GR3 的半导

Micron Ex. 1002, p. 238
Micron v. YMTC
IPR2025-00190

体层 23-3 及比特线 BL3 连接，半导体层 23-1 及 23-2 得以绝缘。

[0298] 另一方面，偶数的鳍式构造 24-2 及 24-4 的一端部被引出到沿着第二方向与鳍式构造 24-1 及 24-3 的一端部对向的区域而共用地连接，在该区域形成接触插塞 BC1 ～ BC3。形成在该区域的接触插塞 BC1 将串群组 GR2 及 GR4 的半导体层 23-1 及比特线 BL1 连接，半导体层 23-2 及 23-3 得以绝缘。接触插塞 BC2 将串群组 GR2 及 GR4 的半导体层 23-2 及比特线 BL2 连接，半导体层 23-1 及 23-3 得以绝缘。接触插塞 BC3 将串群组 GR2 及 GR4 的半导体层 23-3 及比特线 BL3 连接，半导体层 23-1 及 23-2 得以绝缘。

[0299] 当然，所述说明是存储器单位 MU1 的情况，例如在存储器单位 MU2 的情况下，形成接触插塞 BC4 ～ BC6，这些接触插塞将半导体层 23-1 ～ 23-3 分别连接于比特线 BL4 ～ BL6（参照图 41）。

[0300] 而且，在鳍式构造 24 的另一端上形成接触插塞 SC。接触插塞 SC 将半导体层 23-1 ～ 23-3 连接于源极线 SL。

[0301] 在所述构成中，NAND 串 SR1 ～ SR3 中所含的存储单元晶体管的尺寸互不相同。更具体来说，如图 40 所示，在各鳍式构造 24 中，半导体层 23 的沿着第三方向的宽度是位于越低层越大，位于越高层越小。也就是说，半导体层 23-1 的宽度最大，半导体层 23-3 的宽度最小，半导体层 23-2 的宽度为它们中间。也就是说，特性互不相同的多个存储单元晶体管 MT 包含在一个页面中。

[0302] 6.1.2 关于读出动作

[0303] 接下来，使用图 43 对本实施方式的读出动作进行说明。图 43 是表示数据读出动作时的各配线的电压变化的时序图，作为一例，表示从串群组 GR1-1 读出数据的情况。

[0304] 首先，将信号 SSL1 设为“H”电平，串群组 GR1-1 连接于感应放大器 113。接着，如图 43 所示，首先，向选择栅极线 GSL1 施加电压 VSG，使选择晶体管 ST1 成为接通状态。而且，例如利用定序器 121 控制调节器 140，由源极线控制电路 114 将适当的电压施加给源极线 SL1（图 43 的例中施加电源电压 Vdd，但也可以适当设定 0 ～ Vdd 之间的值，例如为 1V 左右）。

[0305] 接下来，将信号 BLP 及 BLS 设为“H”电平，感应放大器 113 中的晶体管 132 及 134 成为接通状态。接着，定序器 121 控制调节器 131，而产生信号 BLC。此时，定序器 121 根据连接对应的比特线 BL 的 NAND 串 SR 来控制信号 BLC 的电压值。更具体来说，在与最下层的 NAND 串 SR1 对应的情况下，将信号 BLC 的电压值设定为 VBLC1，在与中间层的 NAND 串 SR2 对应的情况下，将信号 BLC 的电压值设定为 VBLC2，在与最上层的 NAND 串 SR3 对应的情况下，将信号 BLC 的电压值设定为 VBLC3。并且，在它们之间，存在 VBLC1 ＜ VBLC2 ＜ VBLC3 的关系。

[0306] 结果，比特线 BL1 ～ BL3 的预充电电位分别为 VPRE1、VPRE2、VPRE3，在它们之间存在 VPRE1 ＜ VPRE2 ＜ VPRE3 的关系。

[0307] 之后，向非选择字线施加电压 VREAD，向选择字线施加电压 VCGRV（与读出电平对应的电压），向选择栅极线 GSL2 施加电压 VSG。

[0308] 结果，如果连接于选择字线的存储单元晶体管成为接通状态，则比特线的电位降低，如果断开，则大致维持预充电电平。接着，感应放大器单元 130 对该电位进行感测或放大。

Micron Ex. 1002, p. 239
Micron v. YMTC
IPR2025-00190

[0309] 另外，在本实施方式中，比特线 BL1 ～ BL3 的预充电电位分别为 VPRE1、VPRE2、VPRE3，以比特线为单位变更预充电电位，但并不限定于该情况，例如也可以针对复数条比特线的每一条来变更预充电电位。三条比特线 BL1 ～ BL3 的预充电电位也可以设为 VPRE1，三条比特线 BL4 ～ BL6 的预充电电位也可以设为 VPRE2，三条比特线 BL7 ～ BL9 的预充电电位也可以设为 VPRE3。

[0310] 6.1.3 关于写入动作

[0311] 接下来，参照图 44 对本例的写入动作进行说明。图 44 是本例的写入动作的时序图，与第一实施方式中所说明的图 10 大致对应。写入动作的流程大致与图 7 相同，但不同于第一实施方式的方面在于：与读出动作同样地，被赋予层依存性的并非字线电压，而是比特线电压。而且，在图 44 中，与图 7 的说明不同，在编程动作前执行验证动作，但其顺序并无限制。进而，在图 44 中，列举使用快速通过写入 (Quick pass write) 方式的例进行说明。关于快速通过写入方式，记载在例如名称为“NONVOLATILE SEMICONDUCTOR MEMORY DEVICE（非易失性半导体存储器装置）”的 2009 年 6 月 25 日申请的美国专利申请案 12/491,638 号中。该专利申请案的全部内容以参照的形式引用到本案说明书中。

[0312] 如图所示，在本例中，与所述 6.1.2 项中所说明的读出动作同样地，对编程验证时的比特线电压赋予层依存性。也就是说，通过定序器 121 的控制，由调节器 131 产生与层对应的信号 BLC。

[0313] 结果，编程验证时的比特线电压是越为下层的 NAND 串 SR1 设定得越低，越为上层的 NAND 串 SR3 设定得越高。

[0314] 6.2 第二例

[0315] 接下来，对第二例的存储单元阵列进行说明。本例与第一例不同，是根据源极线 SL 而选择 NAND 串 SR1 ～ SR3。

[0316] 图 45 是本实施方式的区块 BLK 的立体图，表示任一个存储器单位 MU。图 46 是存储器单位 MU 的俯视图，图 47 是沿着图 46 中的 47-47 线的剖视图，图 48 是沿着图 46 中的 48-48 线的剖视图。

[0317] 如图所示，本例的构成是在所述第一例中所说明的构成中，多个鳍式构造 24 的一端部被引出到区块 BLK 的端部，在被引出的区域，与比特线 BL 连接，另一端部针对每层而共用地连接，且连接于源极线 SL。并且，比特线 BL 共用地连接于对应的鳍式构造 24 中的各半导体层 23-1 ～ 23-3（参照图 48）。另一方面，源极线 SL 相对于共用地连接的鳍式构造 24 中的各个半导体层 23-1 ～ 23 ～ 3 独立地设置（参照图 47）。而且，在本例中，取消第一例中的控制信号线 SSL。

[0318] 6.2 关于读出动作及写入动作

[0319] 本例的读出动作及写入动作与图 43 及图 44 中所说明的第一例基本相同。但是，在本例中，比特线 BL 是通过一个串群组 GR 中所含的多个 NAND 串 SR 而共用地连接。因此，可通过控制源极线 SL 的电位，而从各串群组 GR 中选择任一个 NAND 串 SR。

[0320] 例如，当选择最下层的 NAND 串 SR1 时，选择对应的源极线 SL1，向选择源极线 SL1 施加适当的选择源极线电压。向其他非选择源极线 SL2 及 SL3 施加非选择源极线电压。

[0321] 比特线电压根据所选择的比特线对应的层，以与第一例相同的方式设定。

[0322] 6.3 本实施方式的效果

Micron Ex. 1002, p. 240
Micron v. YMTC
IPR2025-00190

[0323] 如上所述，即便是具有本实施方式的构成的存储单元阵列的情况，也可以应用第一至第四实施方式。

[0324] 7. 变化例等

[0325] 如上所述，实施方式的半导体存储装置包括：第一及第二存储单元，积层在半导体基板的上方；第三及第四存储单元，积层在第一及第二存储单元的上方；第一至第四字线，分别电连接于第一至第四存储单元的栅极；以及行解码器，向第一至第四字线施加电压。行解码器在向第一存储单元进行写入动作时，向第一字线施加第一编程电压，在向第二存储单元进行写入动作时，向第二字线施加所述第一编程电压。而且，行解码器在向第三存储单元进行写入动作时，向第三字线施加第二编程电压，在向第四存储单元进行写入动作时，向第四字线施加第二编程电压。并且，第二编程电压的电压值比第一编程电压高。

[0326] 根据所述构成，在三维地积层存储单元而成的半导体存储装置中，可根据层对特性不同的存储单元施加适当的编程电压。因此，可提高半导体存储装置的动作性能。

[0327] 但是，实施方式并不限定于所述所说明的第一至第七实施方式，可进行各种变化。

[0328] 例如，当选择栅极线 SGD、SGS 分别由复数层配线层形成时（图 12 等例中，分别由四层配线层形成），施加给这些选择栅极线的电压也可以与 VPGM 或 VPASS 同样地，越为上层，电压设得越高。

[0329] 另外，关于施加给选择栅极线 SGS、SGD 的电压，例如，记载在“NONVOLATILE SEMICONDUCTOR DEVICE（非易失性半导体装置）”的 2010 年 7 月 29 日申请的美国专利申请案编号 12/846,234 号中。该专利申请案的全部内容以参照的形式引用到本案说明书中。

[0330] 而且，所述实施方式并不限定于 NAND 型闪速存储器，可应用于根据层而单元特性不同的所有存储装置，而且，并不限定于存储装置。进而，各实施方式也可以分别单独地实施，还可以组合地实施能够进行组合的多个实施方式。

[0331] 另外，在有关本发明的各实施方式中，

[0332] (1) 在读出动作中，各存储单元晶体管 MT 可保持 2 比特数据，按照阈值由低到高的顺序依序定义为“E”电平（删除电平）、“A”电平、“B”电平、及“C”时，

[0333] 施加给 A 电平的读出动作所选择的字线的电压例如为 0V ～ 0.55V 之间。并不限定于此，也可以设为 0.1V ～ 0.24V 之间、0.21V ～ 0.31V 之间、0.31V ～ 0.4V 之间、0.4V ～ 0.5V 之间、0.5V ～ 0.55V 之间的任一种情况。

[0334] 施加给 B 电平的读出动作所选择的字线的电压例如为 1.5V ～ 2.3V 之间。并不限定于此，也可以设为 1.65V ～ 1.8V 之间、1.8V ～ 1.95V 之间、1.95V ～ 2.1V 之间、2.1V ～ 2.3V 之间的任一种情况。

[0335] 施加给 C 电平的读出动作所选择的字线的电压例如为 3.0V ～ 4.0V 之间。并不限定于此，也可以设为 3.0V ～ 3.2V 之间、3.2V ～ 3.4V 之间、3.4V ～ 3.5V 之间、3.5V ～ 3.6V 之间、3.6V ～ 4.0V 之间的任一种情况。

[0336] 作为读出动作的时间 (tR)，例如也可以设为 25μs ～ 38μs 之间、38μs ～ 70μs 之间、70μs ～ 80μs 之间。

[0337] (2) 如上所述，写入动作包含编程动作及验证动作。在写入动作中，

[0338] 最初施加给于编程动作时所选择的字线的电压例如为 13.7V ～ 14.3V 之间。并不限定于此，例如也可以设为 13.7V ～ 14.0V 之间、14.0V ～ 14.6V 之间的任一种情况。

Micron Ex. 1002, p. 241
Micron v. YMTC
IPR2025-00190

[0339] 也可以改变最初施加给对奇数字线进行写入时所选择的字线的电压、及最初施加给对偶数字线进行写入时所选择的字线的电压。

[0340] 当将编程动作设为 ISPP 方式（Incremental Step Pulse Program，增量阶跃脉冲编程）时，作为逐步增加的电压，例如可列举 0.5V 左右。

[0341] 作为施加给非选择字线的电压，例如也可以设为 6.0V ～ 7.3V 之间。但并不限定于该情形，例如也可以设为 7.3V ～ 8.4V 之间，或者设为 6.0V 以下。

[0342] 也可以根据非选择字线为奇数字线或者偶数字线，来改变施加的通过电压。

[0343] 作为写入动作的时间（tProg），例如可设为 1700μs ～ 1800μs 之间、1800μs ～ 1900μs 之间、1900μs ～ 2000μs 之间。

[0344] (3) 在删除动作中，

[0345] 最初施加给形成在半导体基板上部且在上方配置着所述存储单元的井的电压例如为 12V ～ 13.6V 之间。但并不限定于该情况，例如也可以为 13.6V ～ 14.8V 之间、14.8V ～ 19.0V 之间、19.0 ～ 19.8V 之间、19.8V ～ 21V 之间。

[0346] 作为删除动作的时间（tErase），也可以设为例如 3000μs ～ 4000μs 之间、4000μs ～ 5000μs 之间、4000μs ～ 9000μs 之间。

[0347] (4) 关于存储单元的构造，

[0348] 具有隔着膜厚为 4 ～ 10nm 的隧道绝缘膜而配置在半导体基板（硅基板）上的电荷存储层。该电荷存储层可设为膜厚为 2 ～ 3nm 的 SiN 或 SiON 等绝缘膜与膜厚为 3 ～ 8nm 的多晶硅的积层构造。而且，也可以在多晶硅中添加 Ru 等金属。在电荷存储层上具有绝缘膜。该绝缘膜例如包括被膜厚为 3 ～ 10nm 的下层 High-k 膜及膜厚为 3 ～ 10nm 的上层 High-k 膜夹着的膜厚为 4 ～ 10nm 的氧化硅膜。High-k 膜可列举 HfO 等。而且，氧化硅膜的膜厚可设为比 High-k 膜的膜厚厚。在绝缘膜上隔着膜厚为 3 ～ 10nm 的功函数调整用材料而形成膜厚为 30nm ～ 70nm 的控制电极。此处，功函数调整用材料为 TaO 等金属氧化膜、TaN 等金属氮化物膜。控制电极可使用 W 等。

[0349] 而且，可在存储单元之间形成气隙。

[0350] 对本发明的若干实施方式进行了说明，但这些实施方式是作为例子而提出的，并非意欲限定发明的范围。这些实施方式能够以其他各种形态实施，可在不脱离发明的主旨的范围内进行各种省略、替换、变更。这些实施方式及其变化包含在发明的范围及主旨中，同样地包含在权利要求所记载的发明及其同等范围内。

[0351] [符号的说明]

[0352] 1 存储系统

[0353] 100 NAND 型闪速存储器

[0354] 110 核心部

[0355] 111 存储单元阵列

[0356] 112 行解码器

[0357] 113 感应放大器

[0358] 114 源极线控制电路

[0359] 115 NAND 串

[0360] 120 周边电路部

Micron Ex. 1002, p. 242
Micron v. YMTC
IPR2025-00190

[0361]	121	定序器
[0362]	122	电荷泵
[0363]	123	寄存器
[0364]	124	驱动器
[0365]	200	控制器
[0366]	210	主机接口电路
[0367]	220	内部存储器
[0368]	230	CPU
[0369]	240	缓冲存储器
[0370]	250	NAND 接口

Micron Ex. 1002, p. 243
Micron v. YMTC
IPR2025-00190

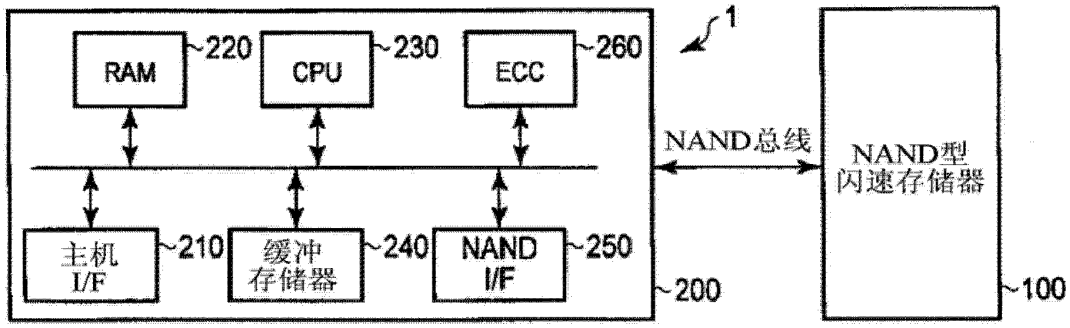


图 1

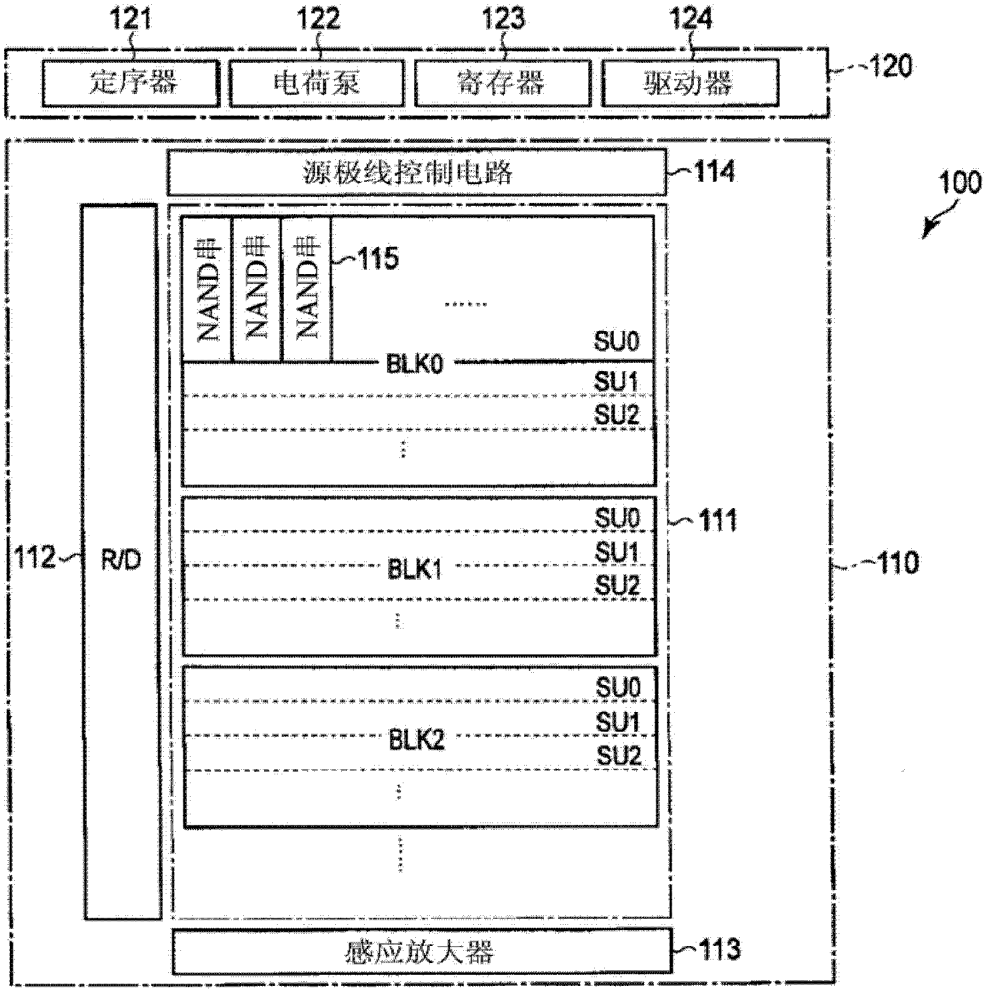


图 2

Micron Ex. 1002, p. 244
Micron v. YMTC
IPR2025-00190

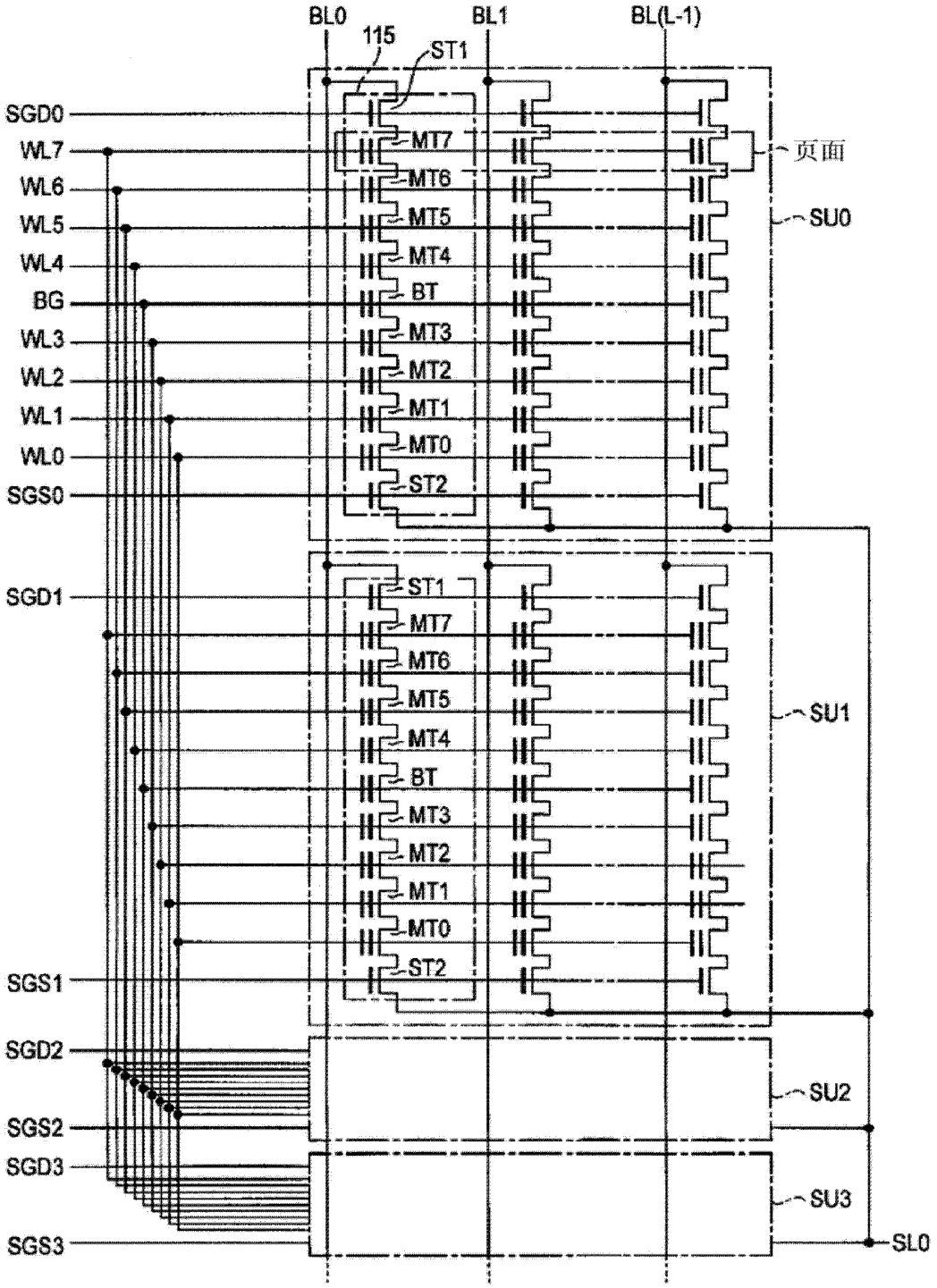


图 3

Micron Ex. 1002, p. 245
Micron v. YMTC
IPR2025-00190

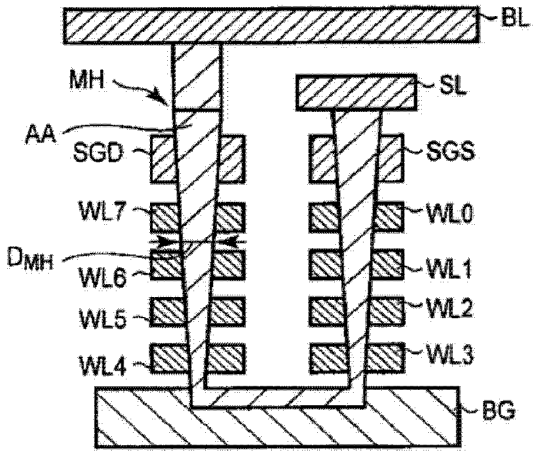


图 4

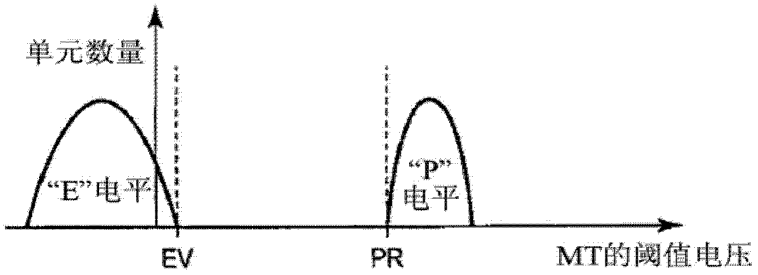


图 5

Micron Ex. 1002, p. 246
Micron v. YMTC
IPR2025-00190

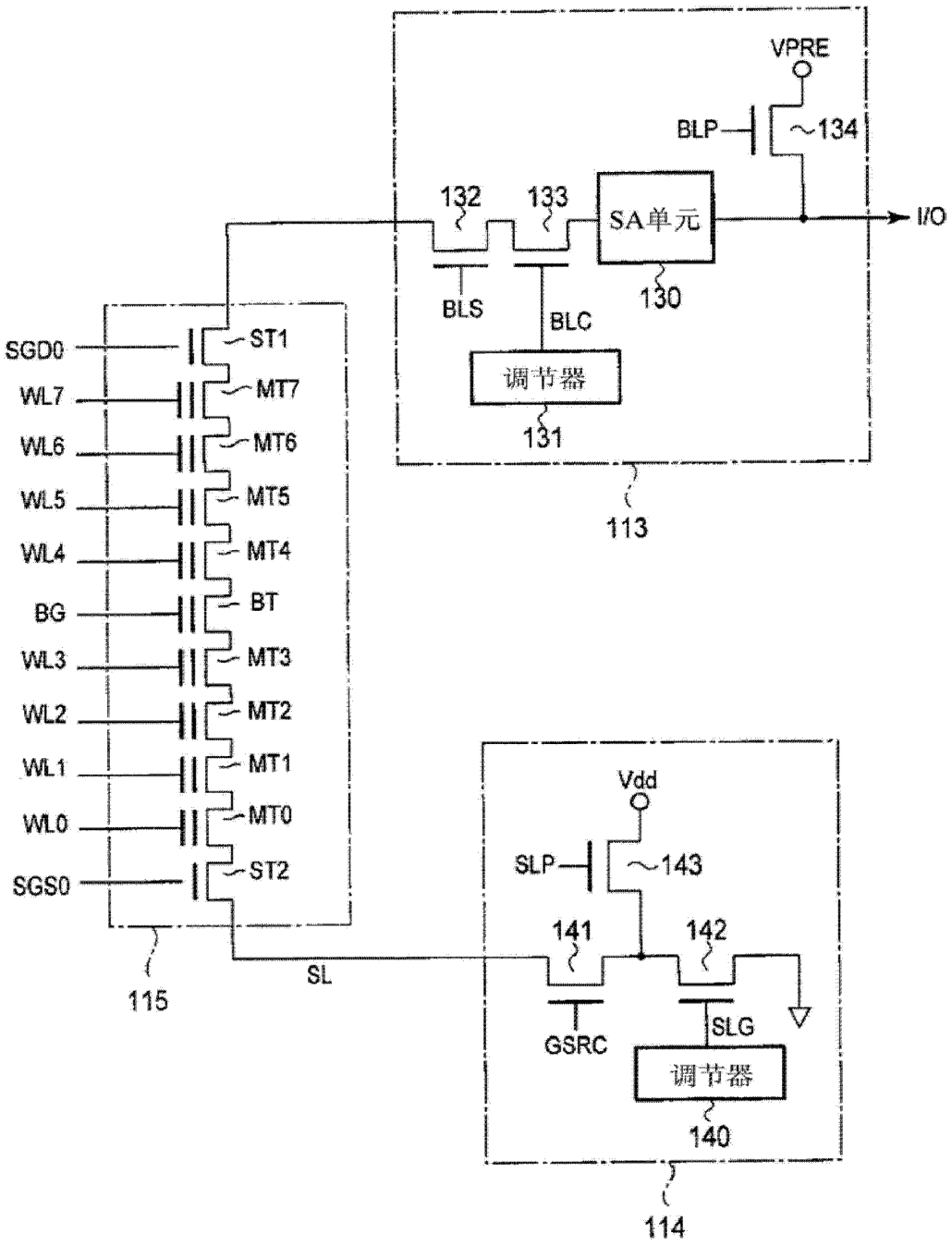


图 6

Micron Ex. 1002, p. 247
Micron v. YMTC
IPR2025-00190

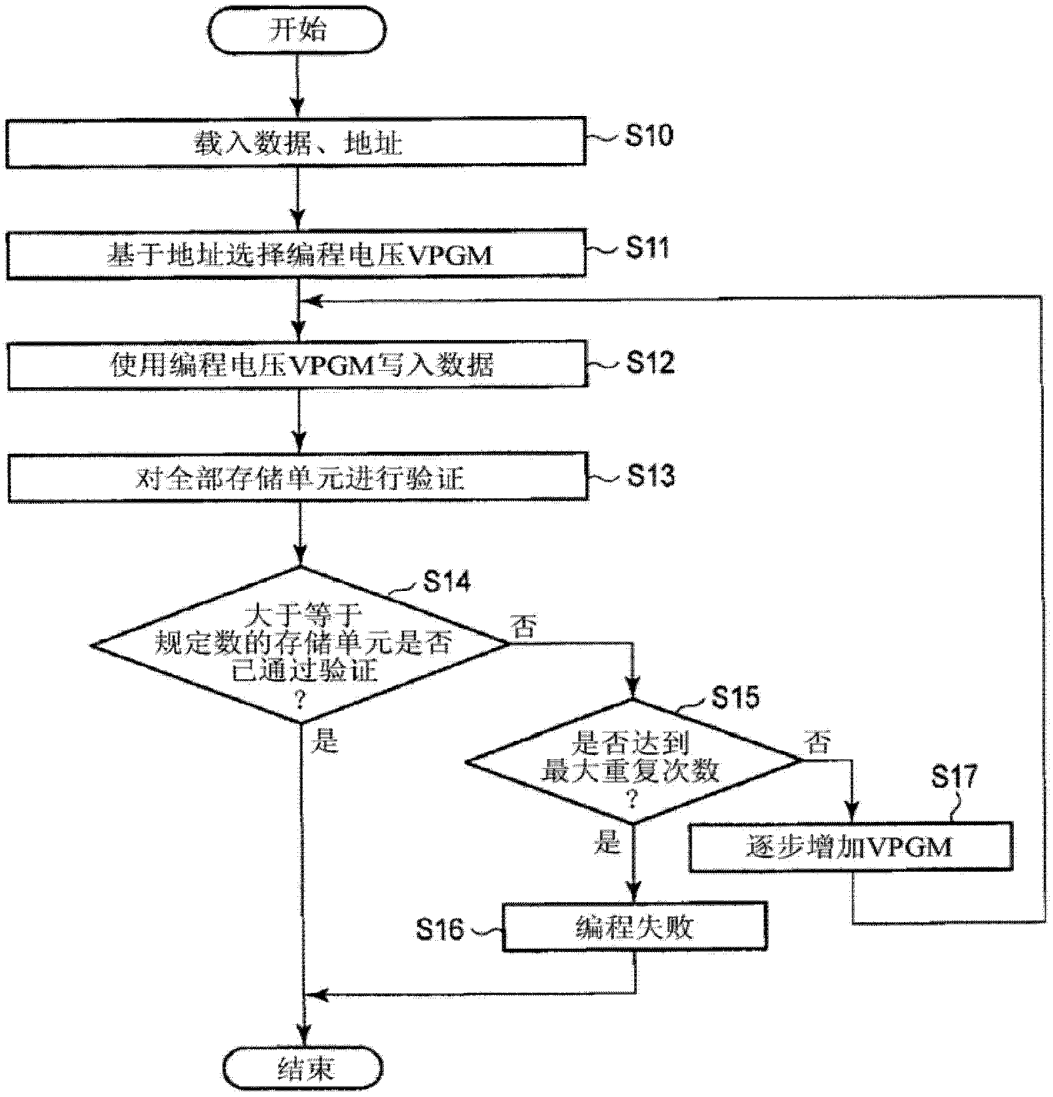


图 7

Micron Ex. 1002, p. 248
Micron v. YMTC
IPR2025-00190

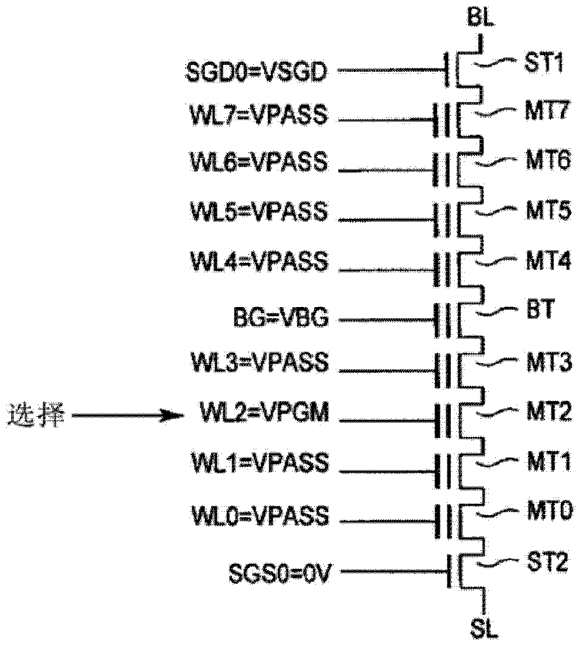


图 8

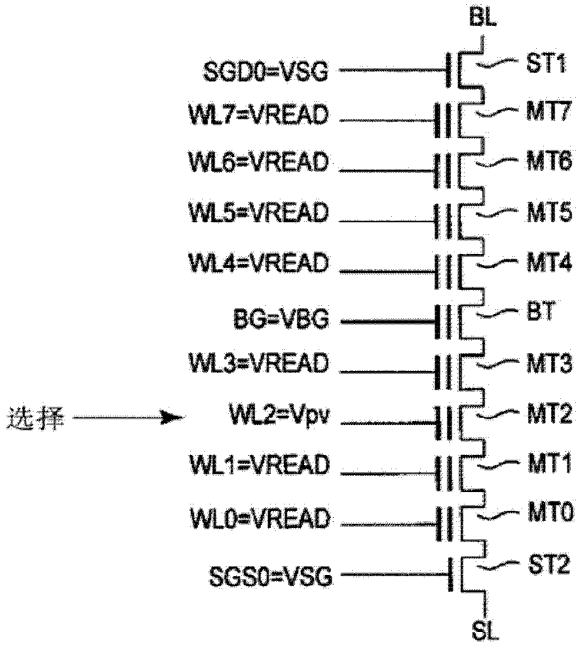


图 9

Micron Ex. 1002, p. 249
Micron v. YMTC
IPR2025-00190

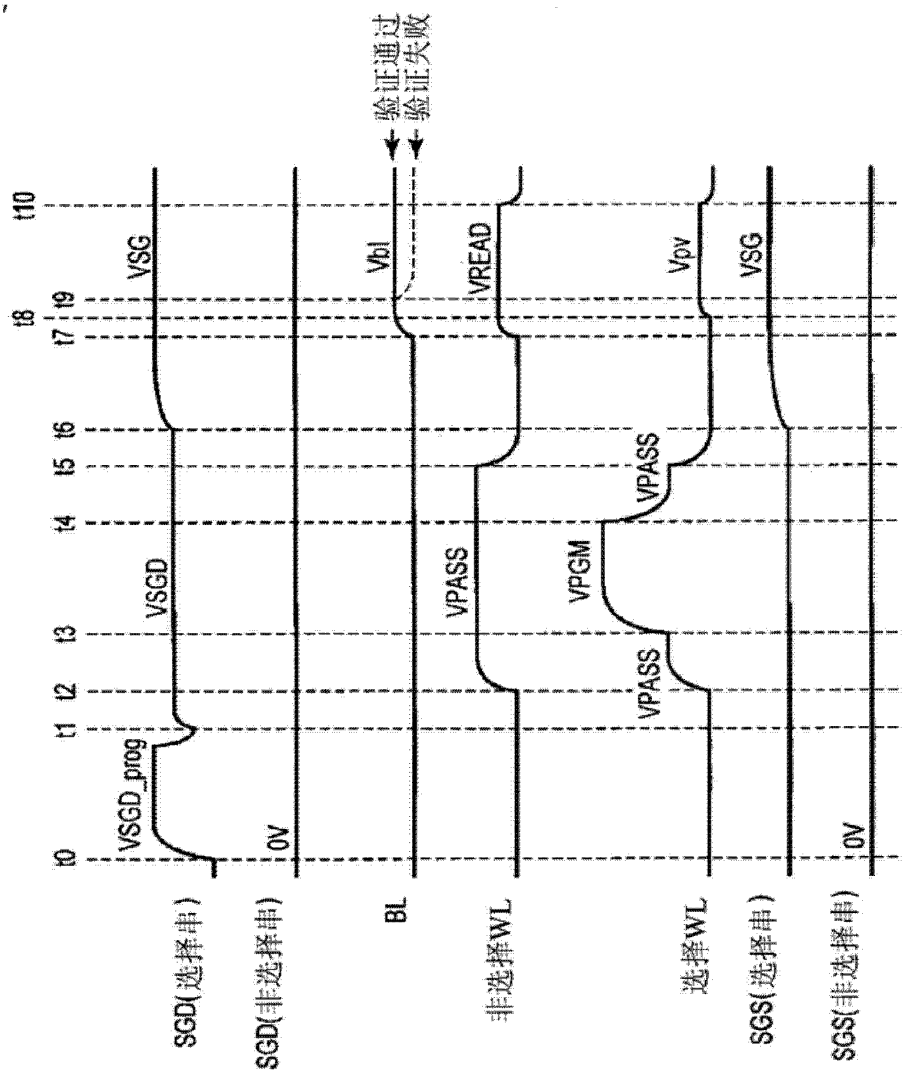


图 10

Micron Ex. 1002, p. 250
Micron v. YMTC
IPR2025-00190

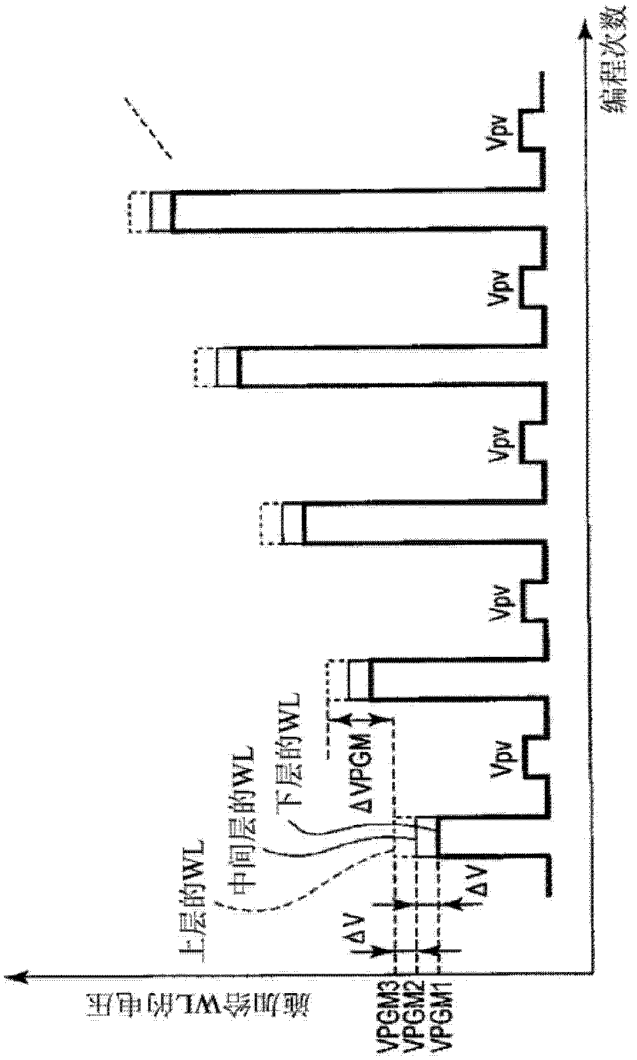


图 11

Micron Ex. 1002, p. 251
Micron v. YMTC
IPR2025-00190

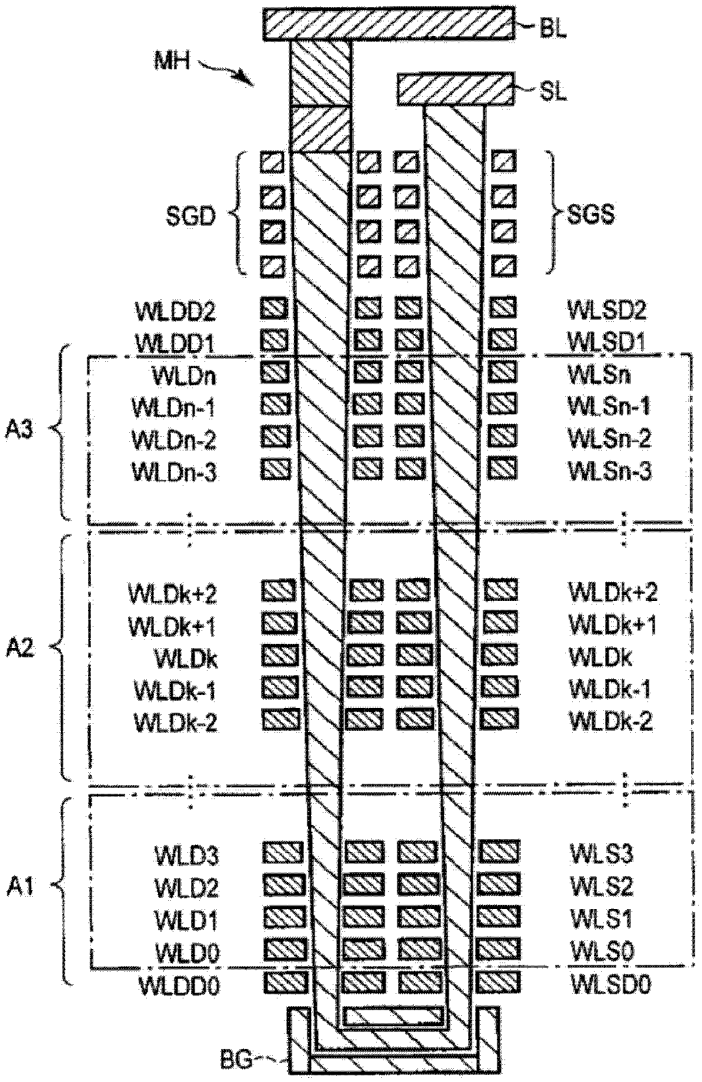


图 12

Micron Ex. 1002, p. 252
Micron v. YMTC
IPR2025-00190

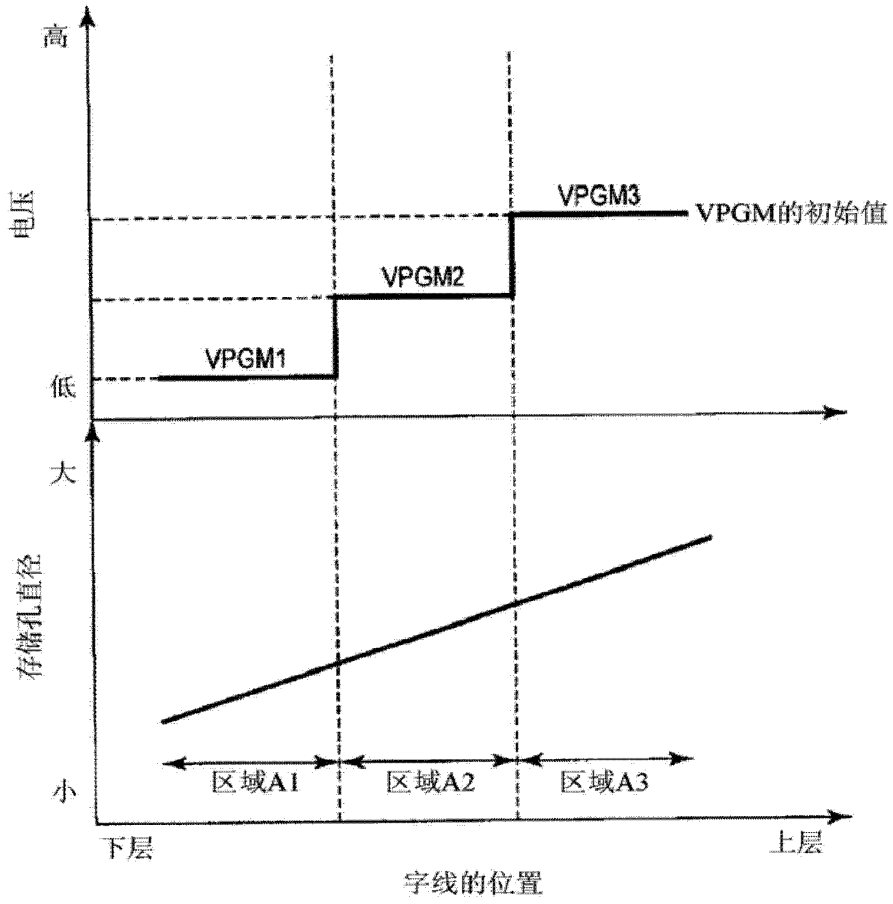


图 13

Micron Ex. 1002, p. 253
Micron v. YMTC
IPR2025-00190

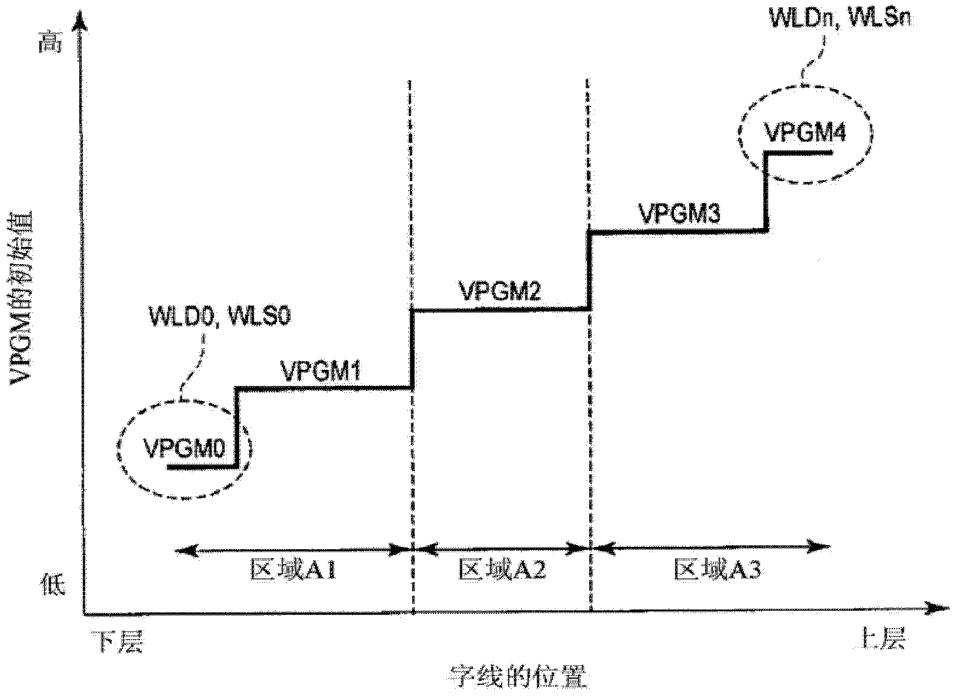


图 14

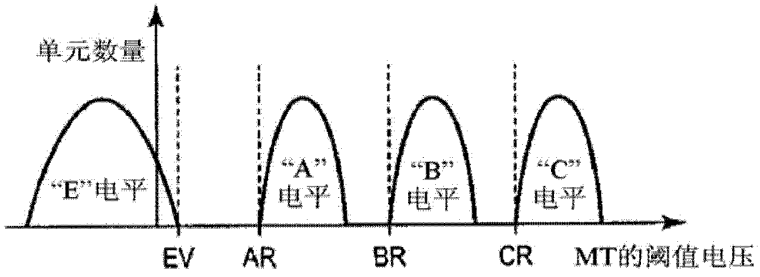


图 15

Micron Ex. 1002, p. 254
Micron v. YMTC
IPR2025-00190

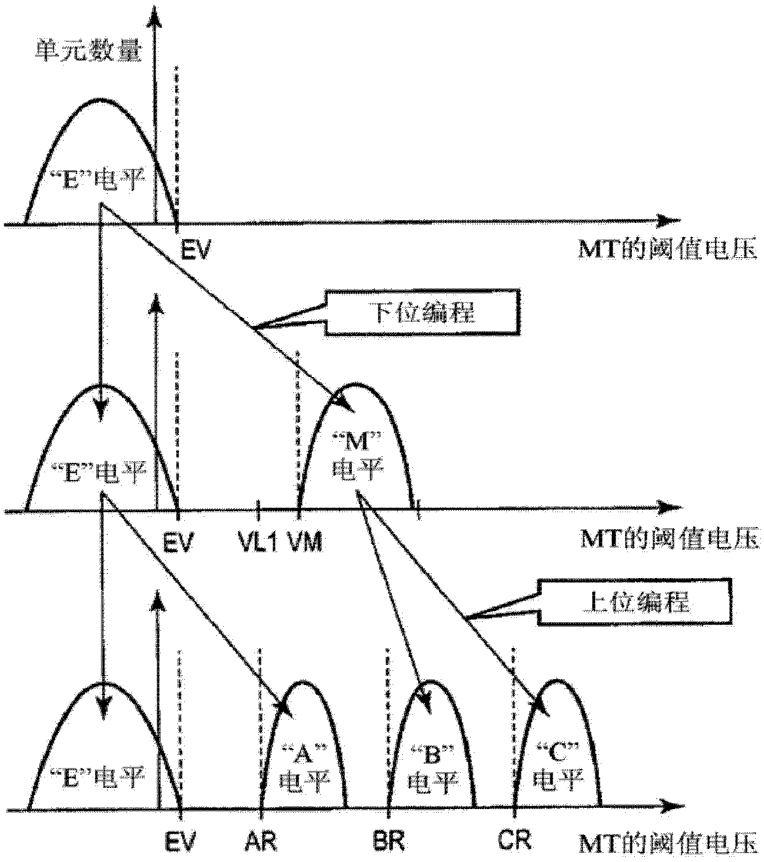


图 16

Micron Ex. 1002, p. 255
Micron v. YMTC
IPR2025-00190

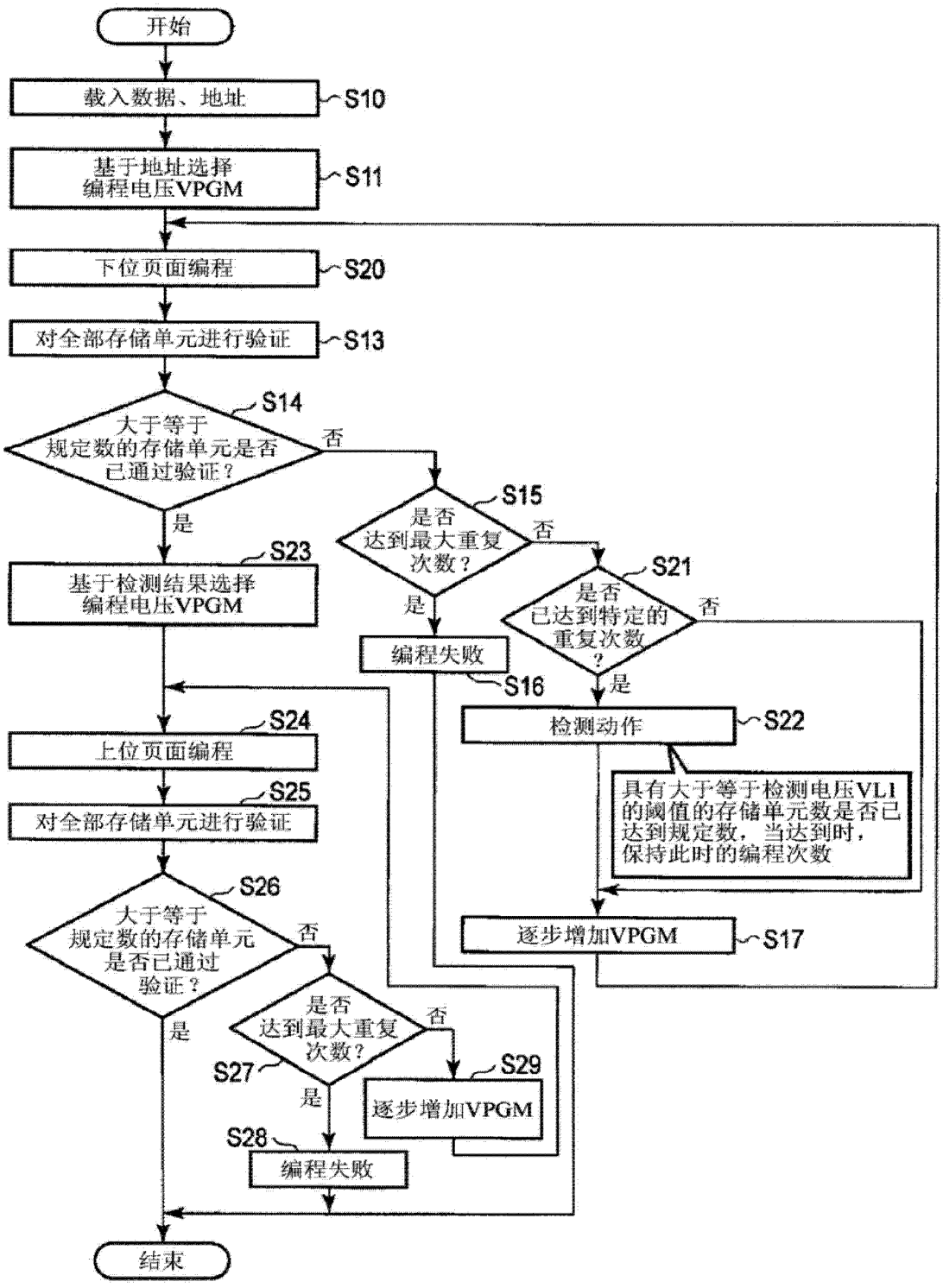


图 17

Micron Ex. 1002, p. 256
Micron v. YMTC
IPR2025-00190

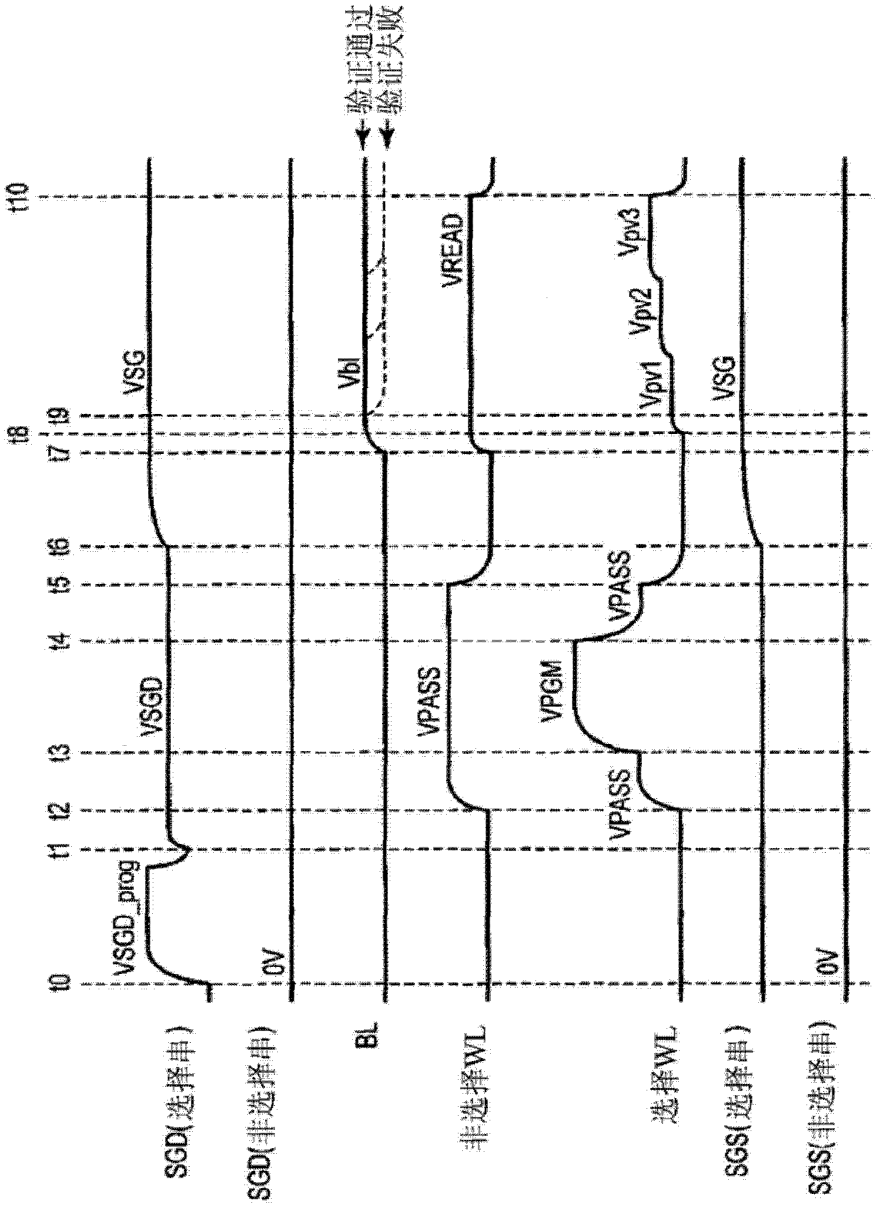


图 18

Micron Ex. 1002, p. 257
Micron v. YMTC
IPR2025-00190

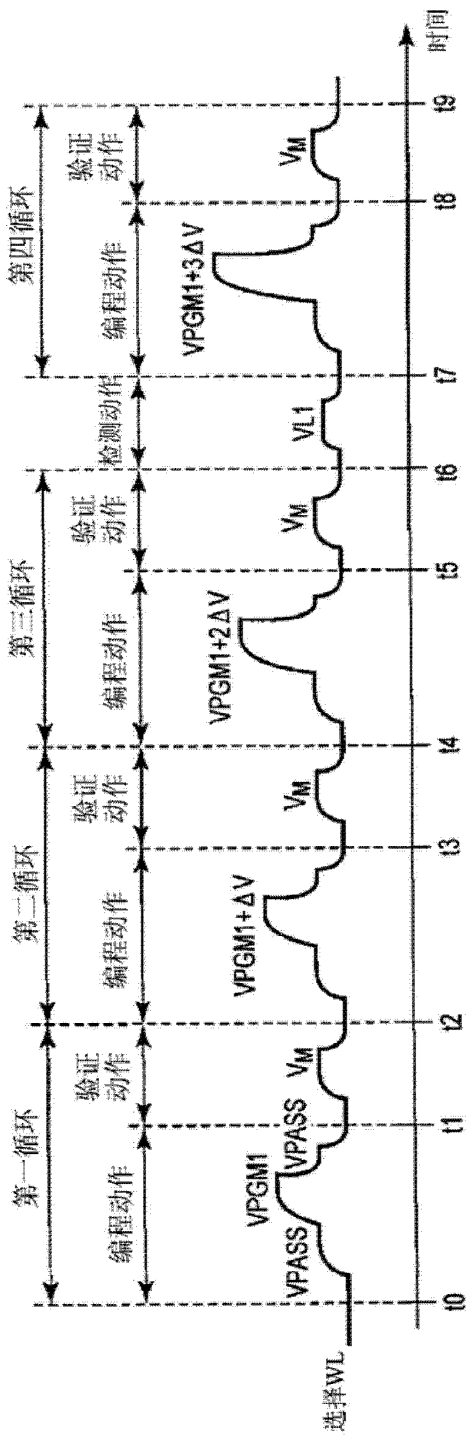


图 19

Micron Ex. 1002, p. 258
Micron v. YMTC
IPR2025-00190

写入循环次数	1～N1次	(N1＋1)～N2次	(N2＋1)～N3次
单元特性	易于编程	通常	难以编程
进行上位页面编程时的VPGM	VPGM1'	VPGM2' (<VPGM1')	VPGM3' (<VPGM2')

图 20

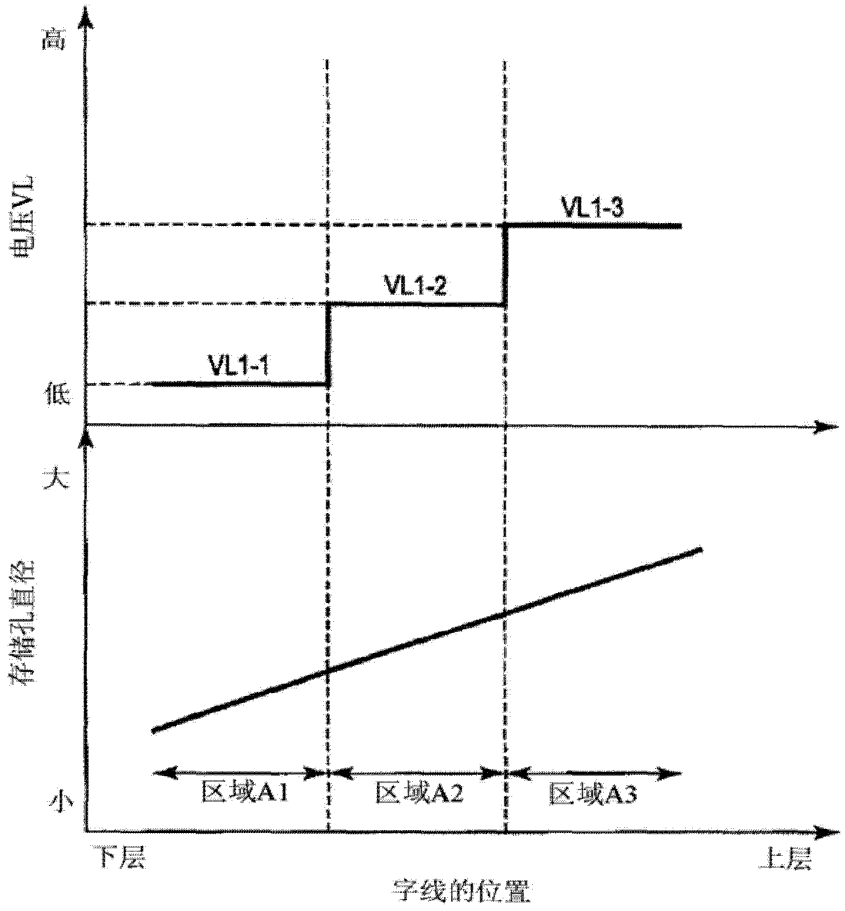


图 21

Micron Ex. 1002, p. 259
Micron v. YMTC
IPR2025-00190

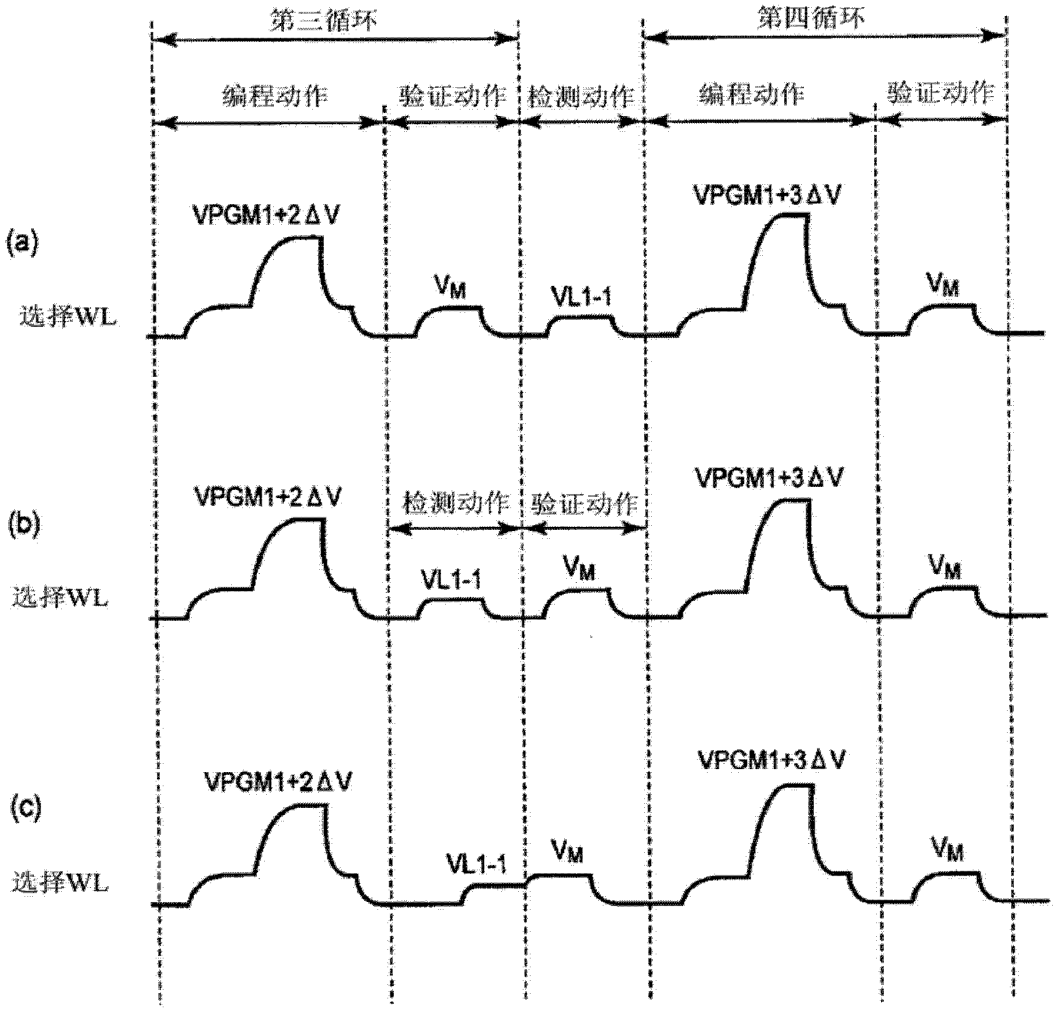


图 22

Micron Ex. 1002, p. 260
Micron v. YMTC
IPR2025-00190

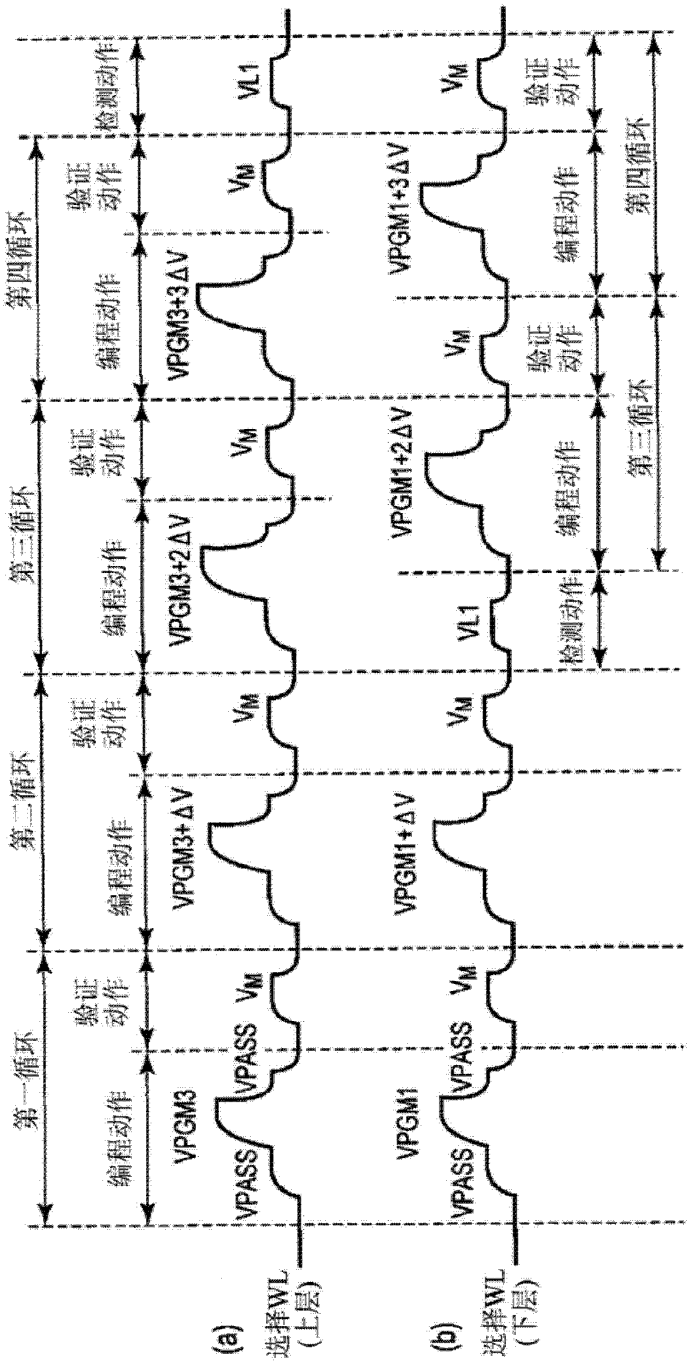


图 23

Micron Ex. 1002, p. 261
Micron v. YMTC
IPR2025-00190

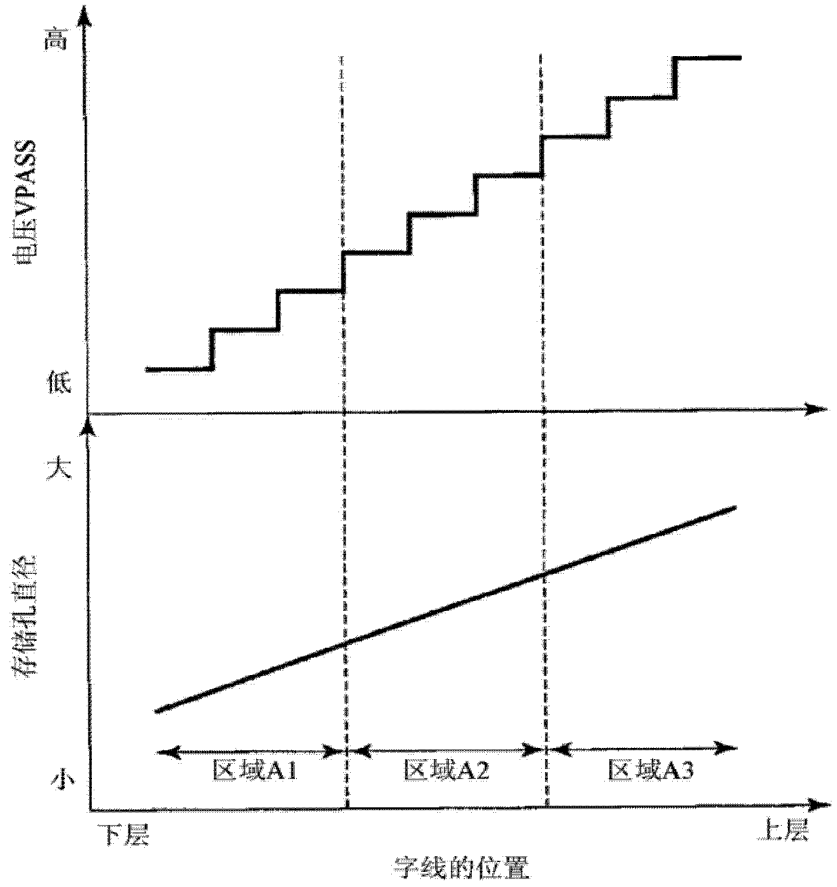


图 24

Micron Ex. 1002, p. 262
Micron v. YMTC
IPR2025-00190

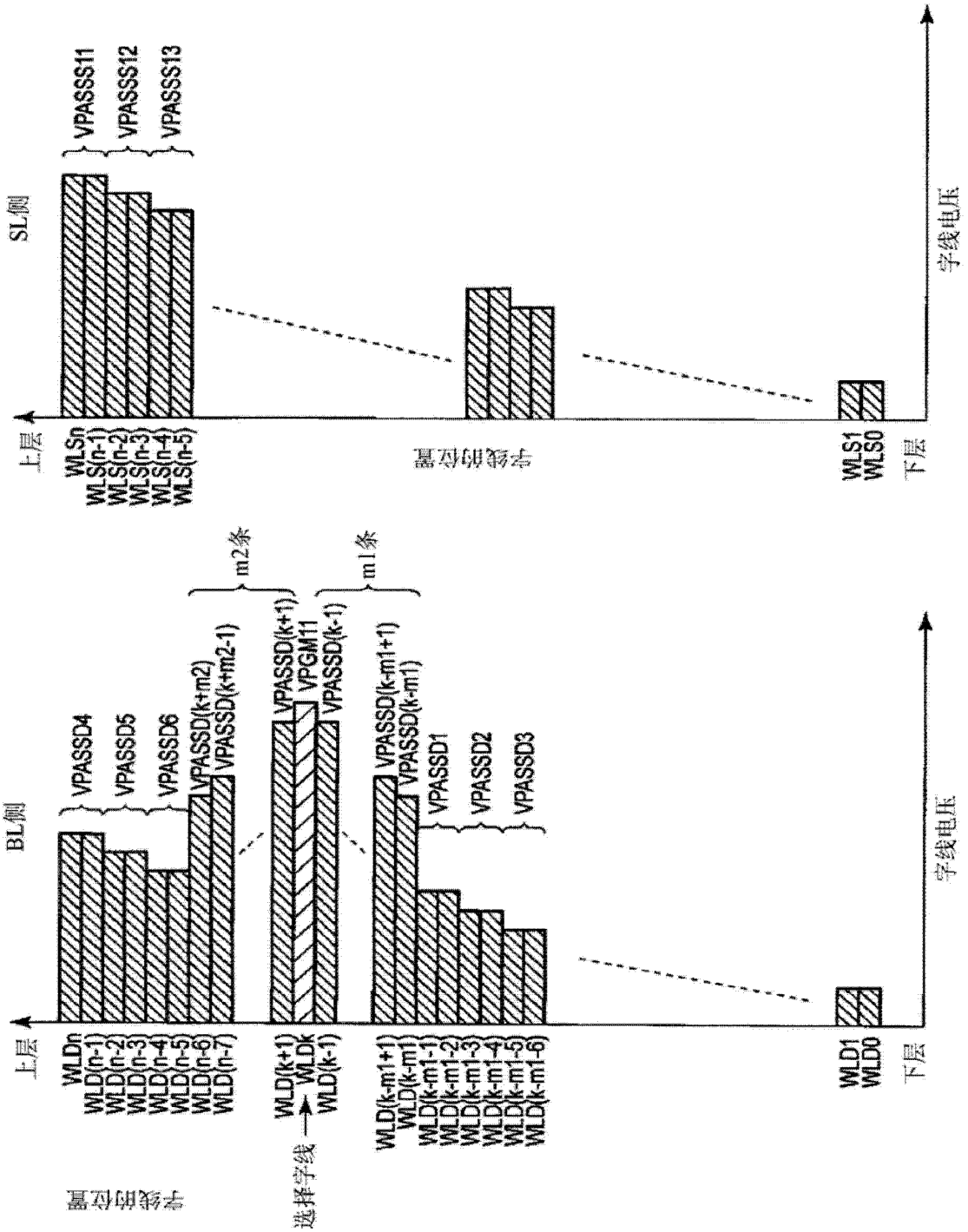


图 25

Micron Ex. 1002, p. 263
Micron v. YMTC
IPR2025-00190

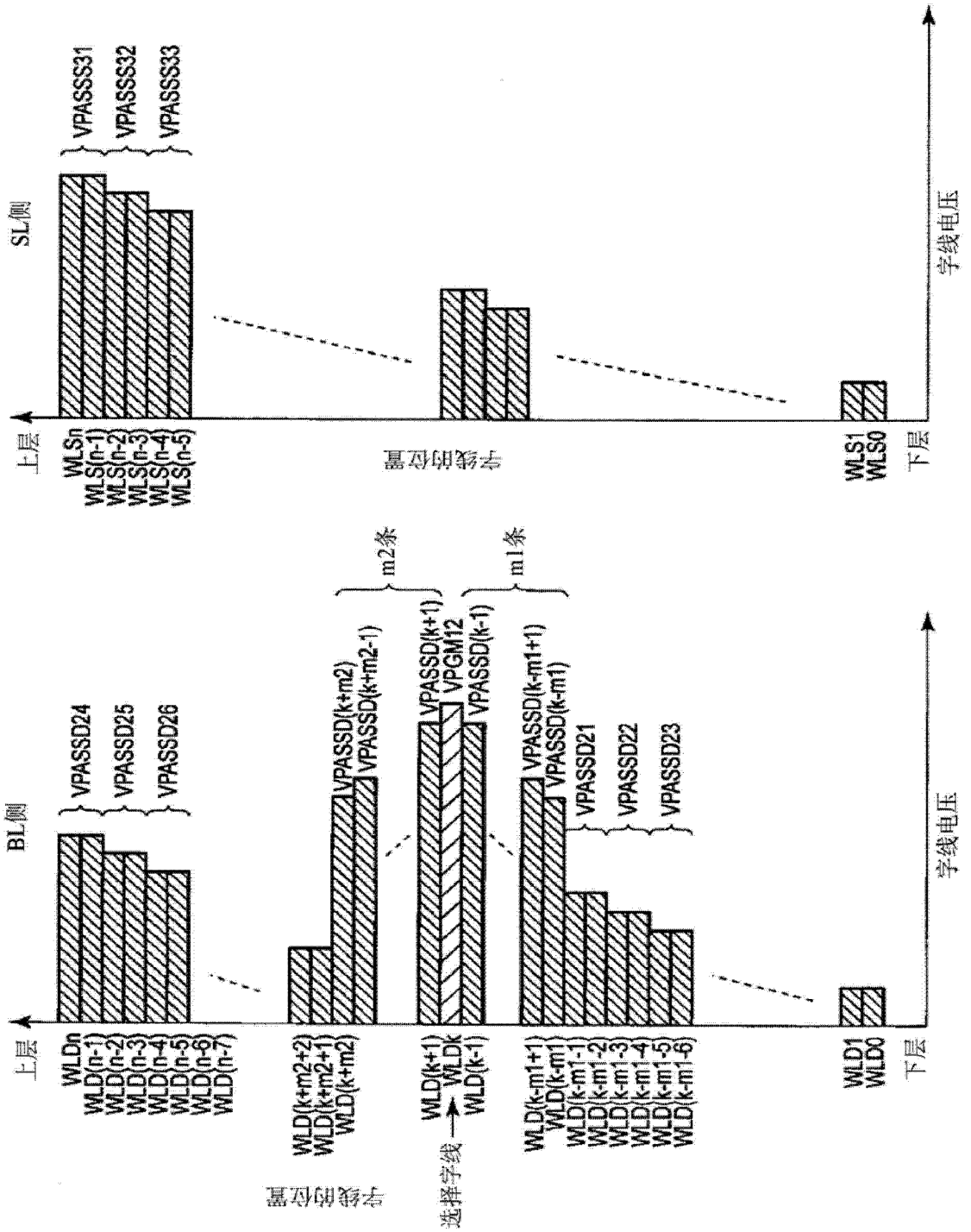


图 26

Micron Ex. 1002, p. 264
Micron v. YMTC
IPR2025-00190

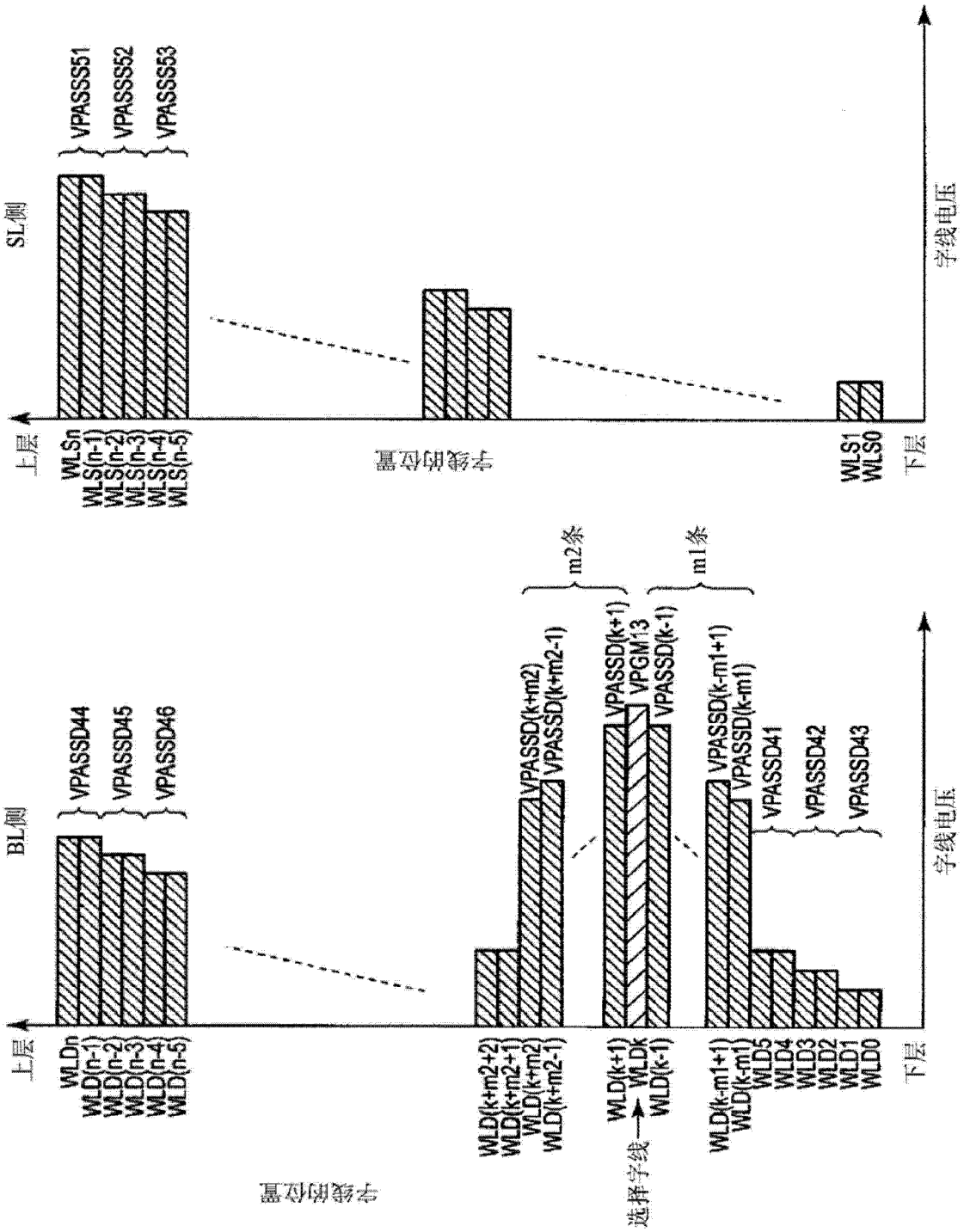


图 27

Micron Ex. 1002, p. 265
Micron v. YMTC
IPR2025-00190

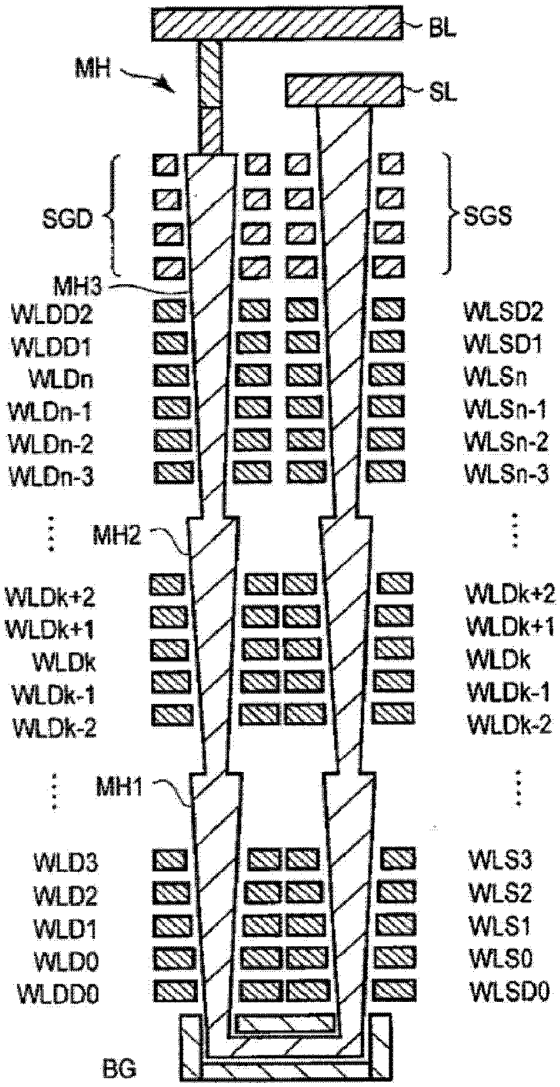


图 28

Micron Ex. 1002, p. 266
Micron v. YMTC
IPR2025-00190

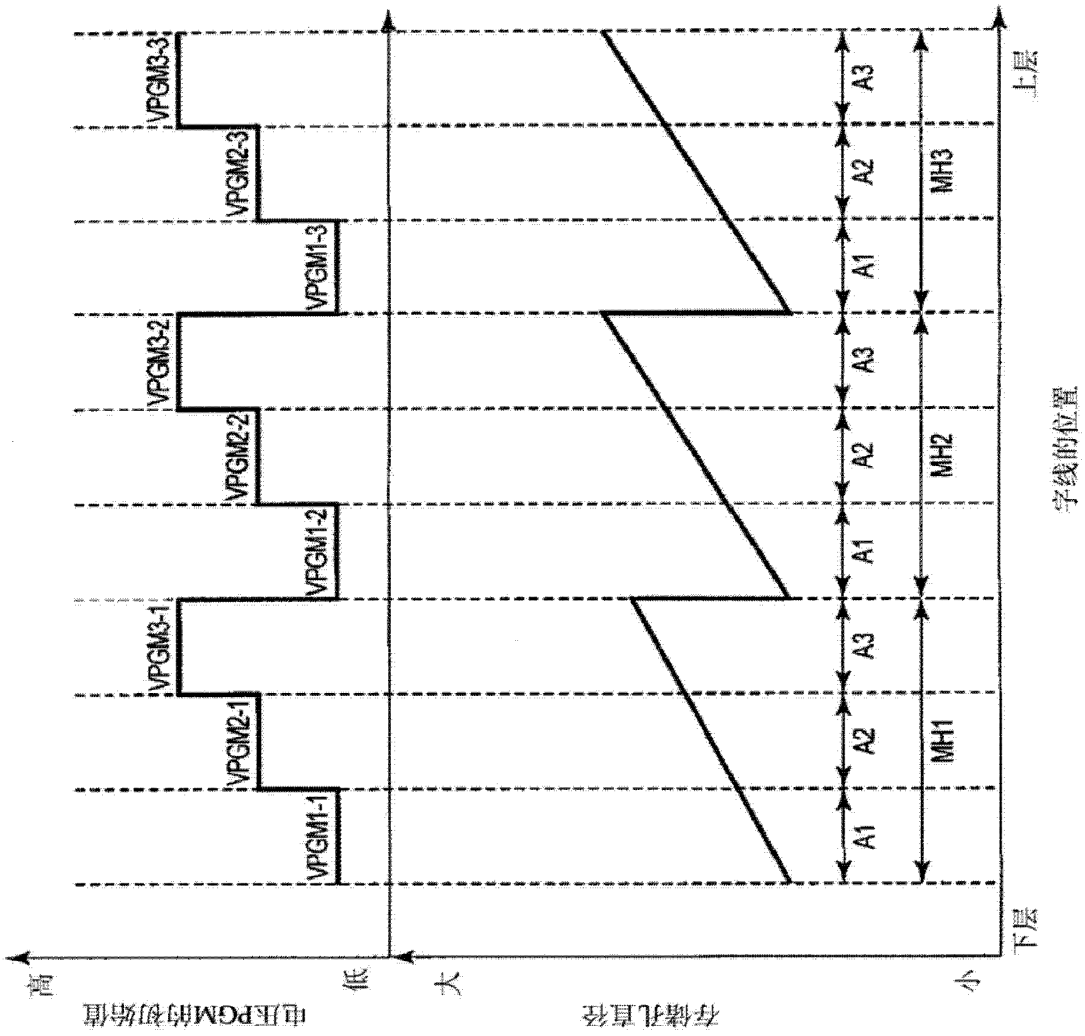


图 29

Micron Ex. 1002, p. 267
Micron v. YMTC
IPR2025-00190

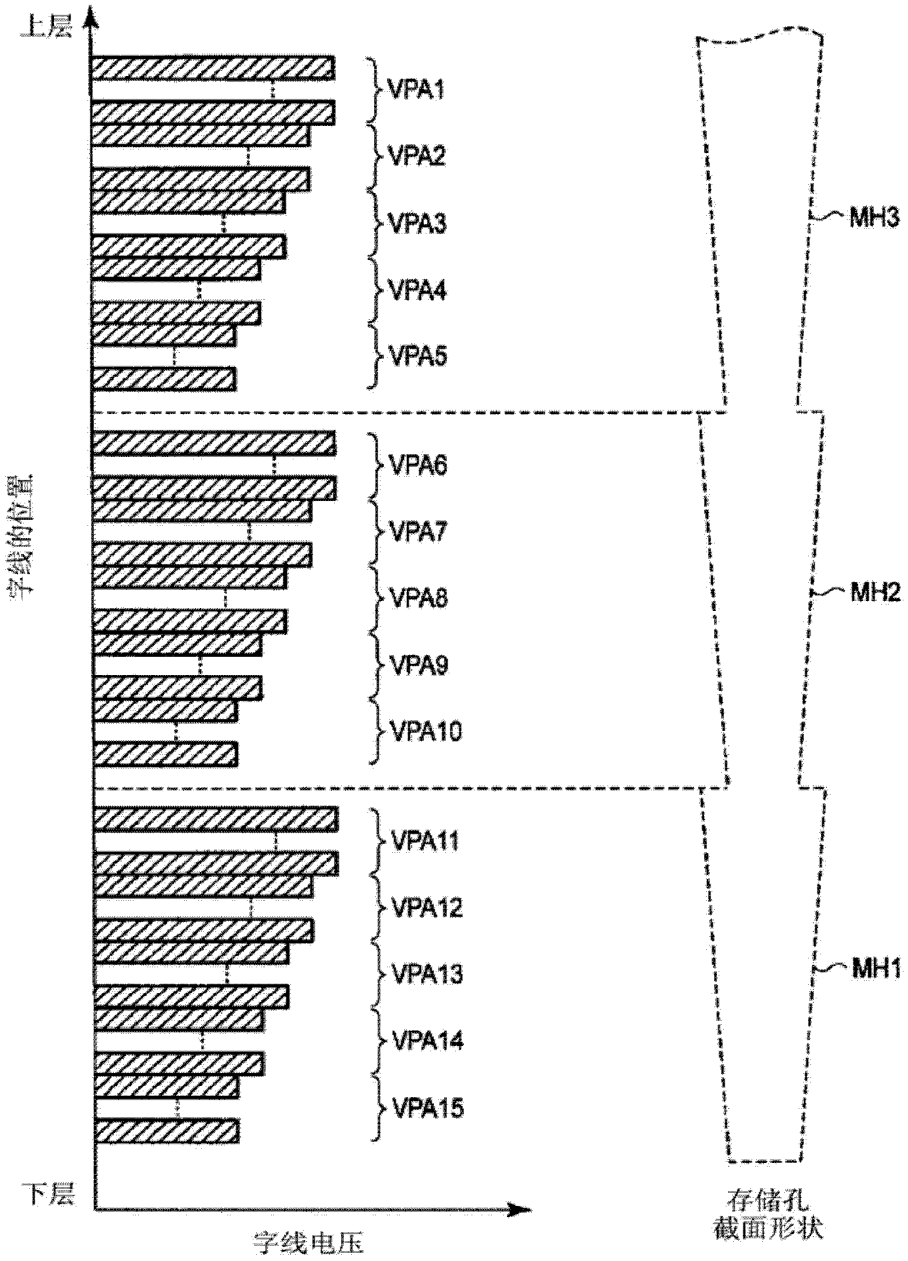


图 30

Micron Ex. 1002, p. 268
Micron v. YMTC
IPR2025-00190

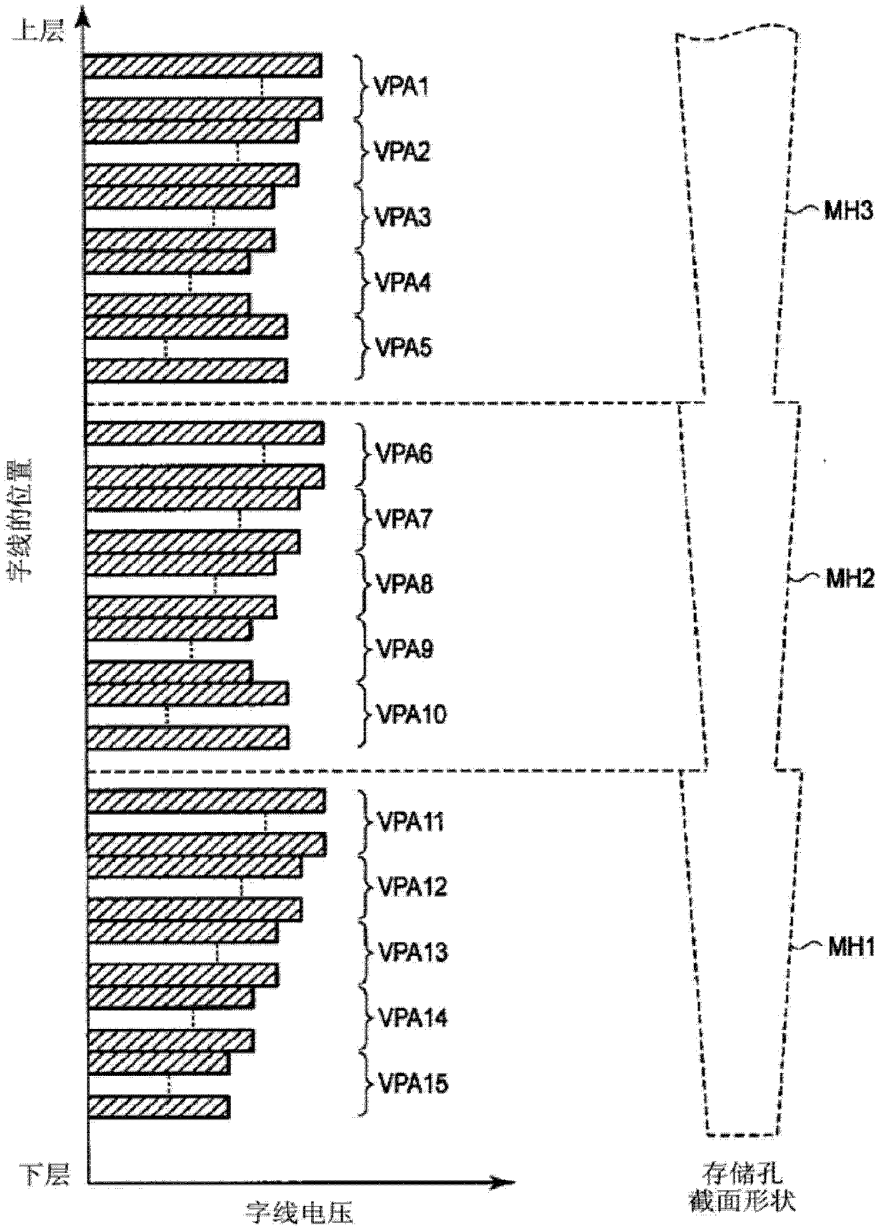


图 31

Micron Ex. 1002, p. 269
Micron v. YMTC
IPR2025-00190

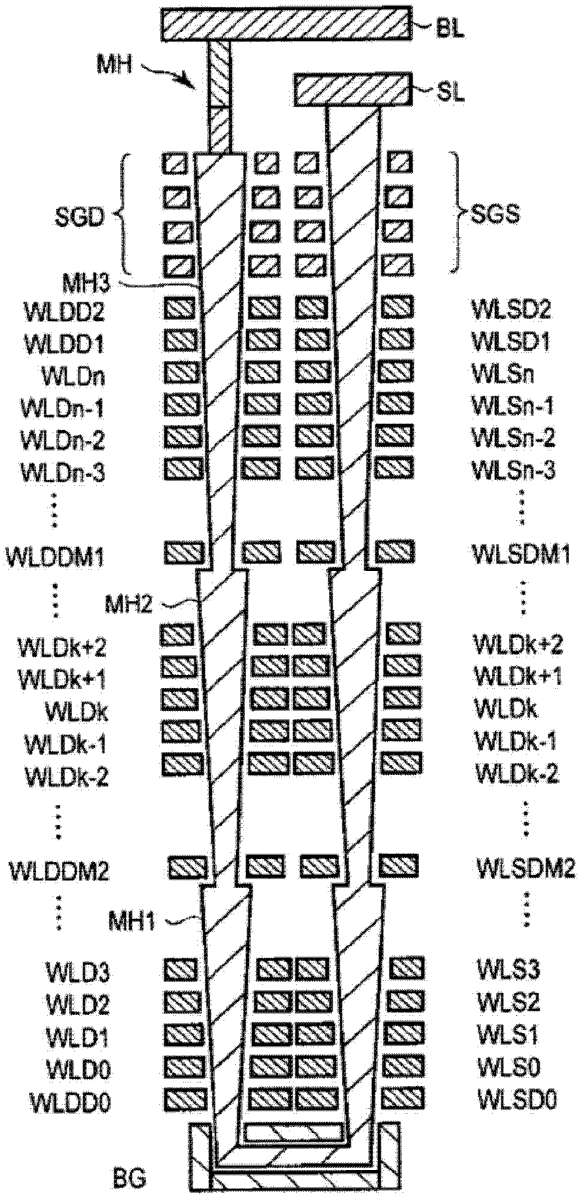


图 32

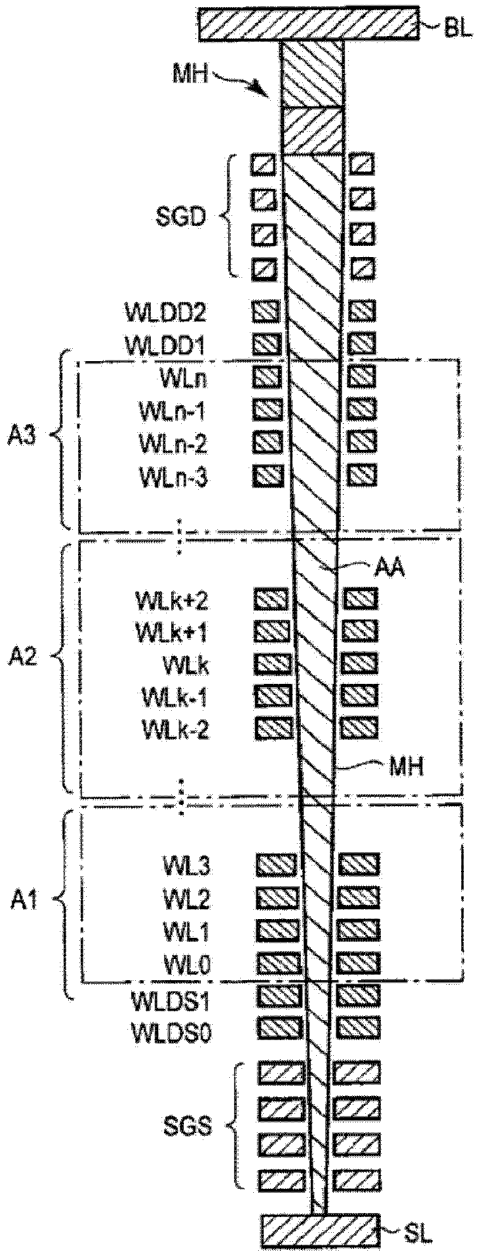


图 33

Micron Ex. 1002, p. 270
Micron v. YMTC
IPR2025-00190

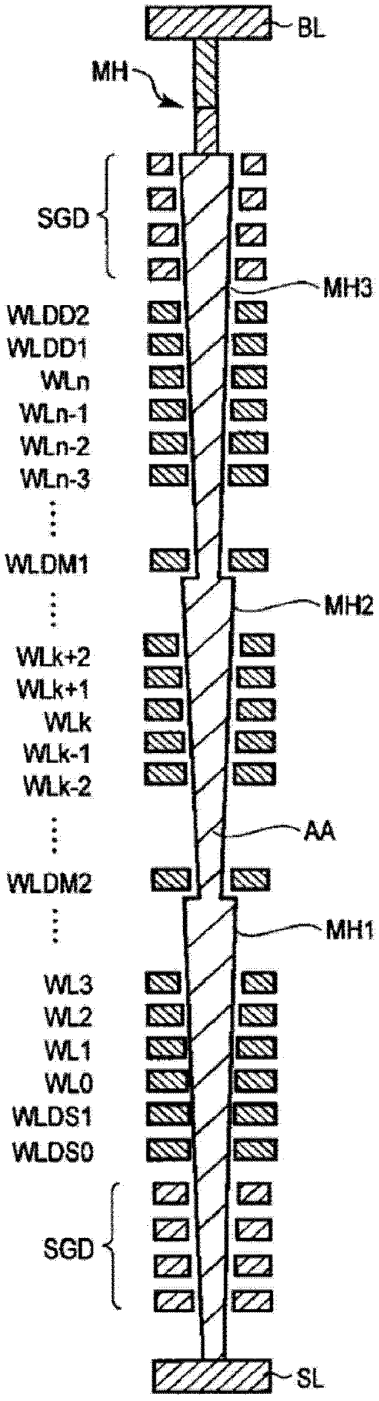


图 34

Micron Ex. 1002, p. 271
Micron v. YMTC
IPR2025-00190

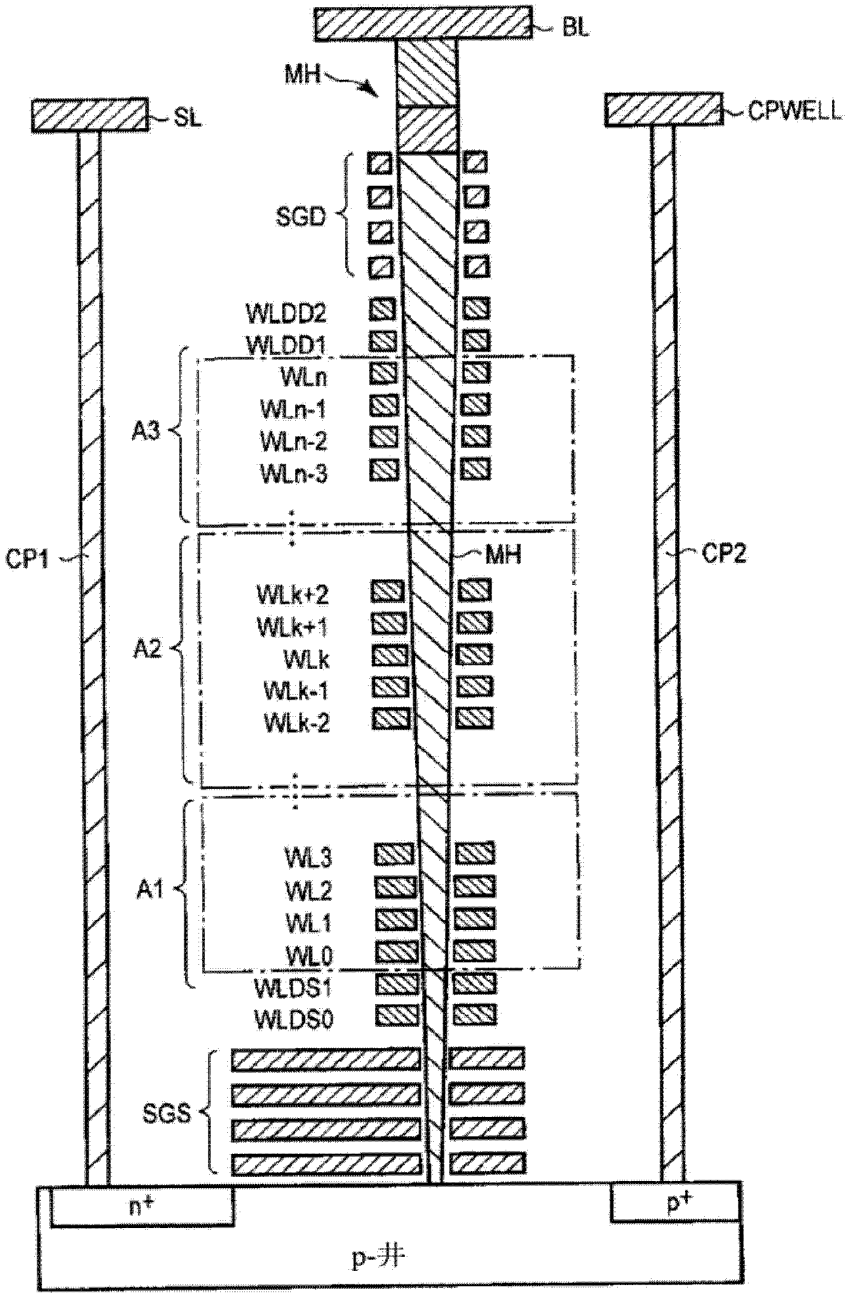


图 35

Micron Ex. 1002, p. 272
Micron v. YMTC
IPR2025-00190

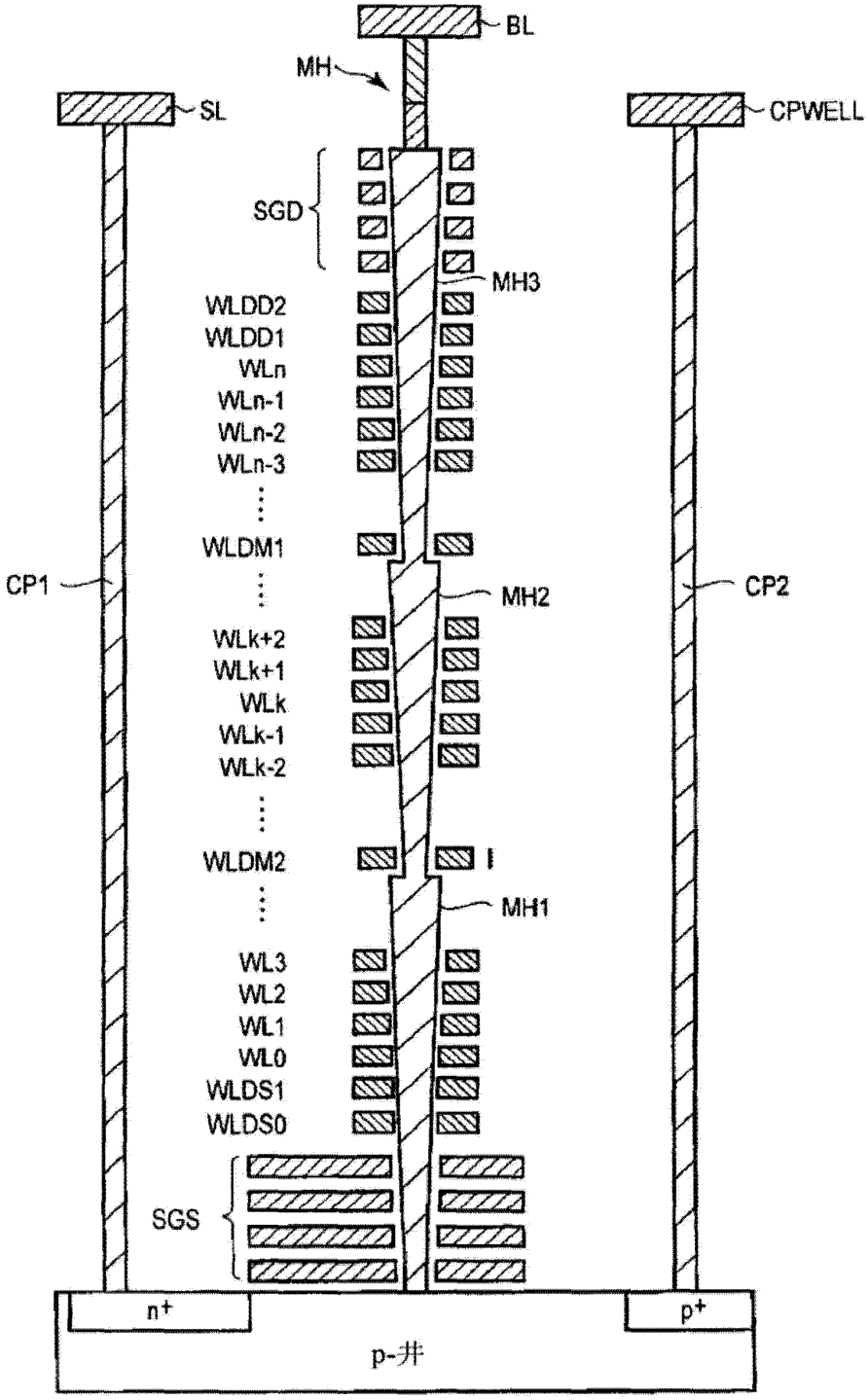


图 36

Micron Ex. 1002, p. 273
Micron v. YMTC
IPR2025-00190

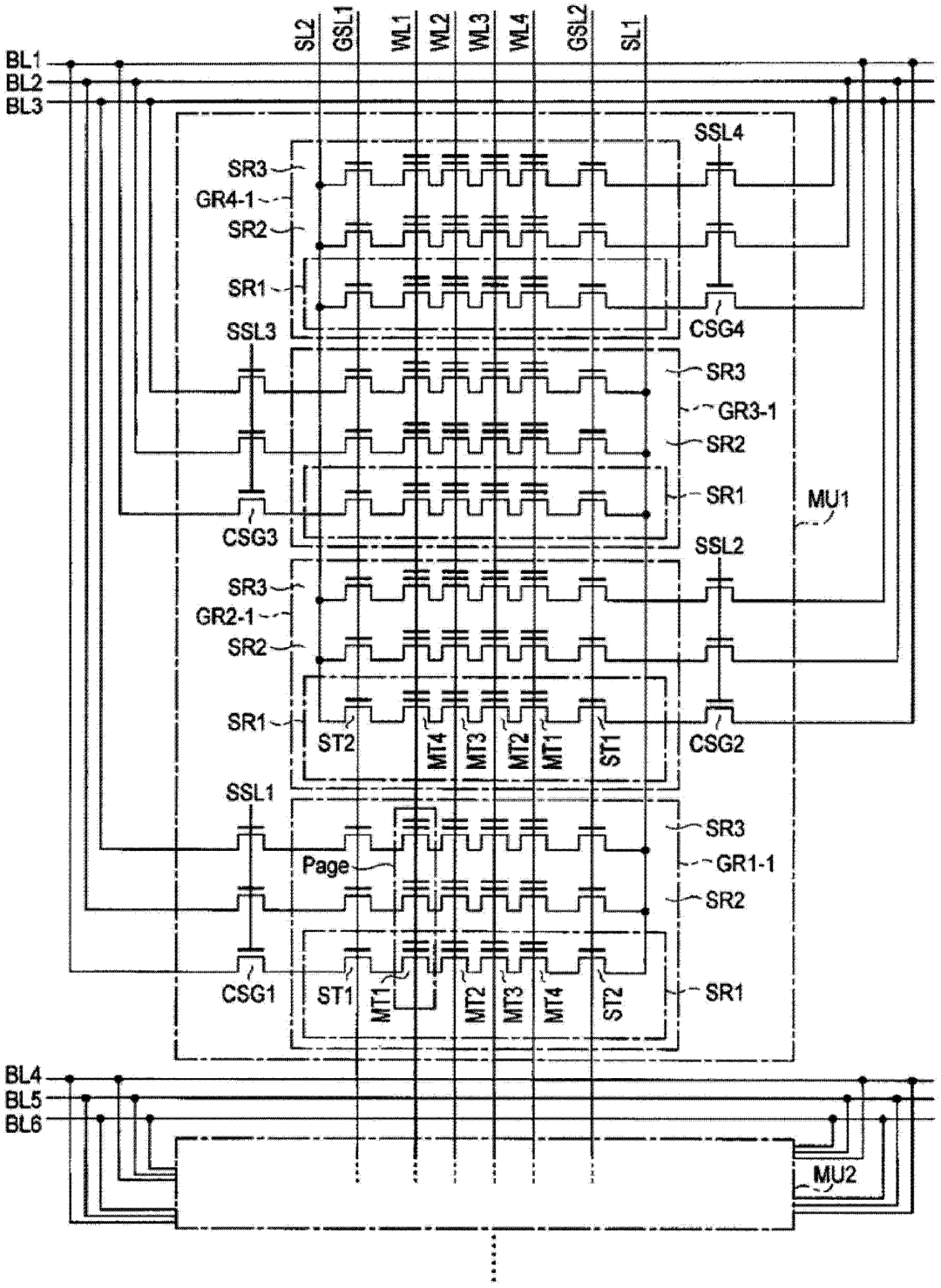


图 37

Micron Ex. 1002, p. 274
Micron v. YMTC
IPR2025-00190

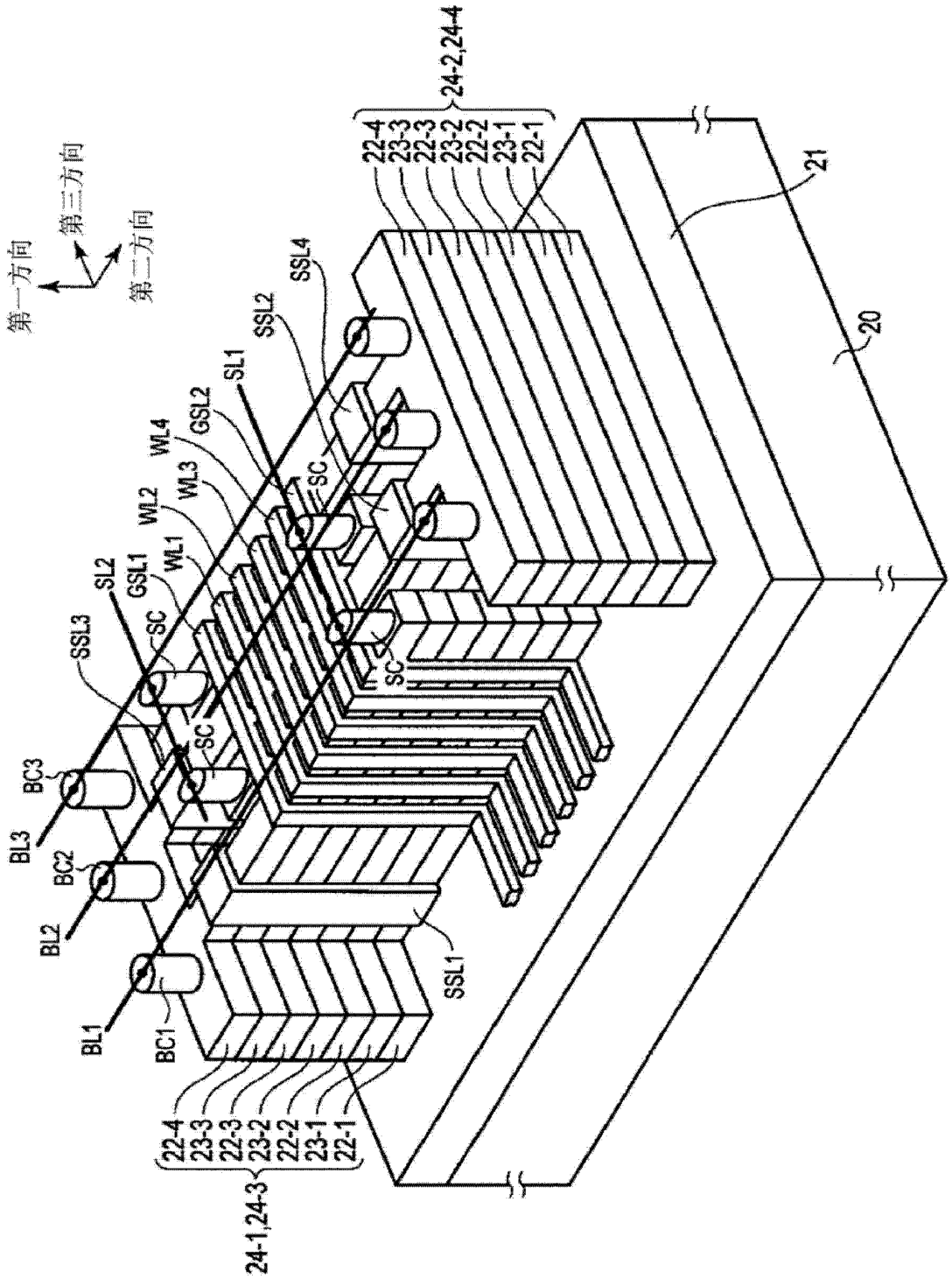


图 38

Micron Ex. 1002, p. 275
Micron v. YMTC
IPR2025-00190

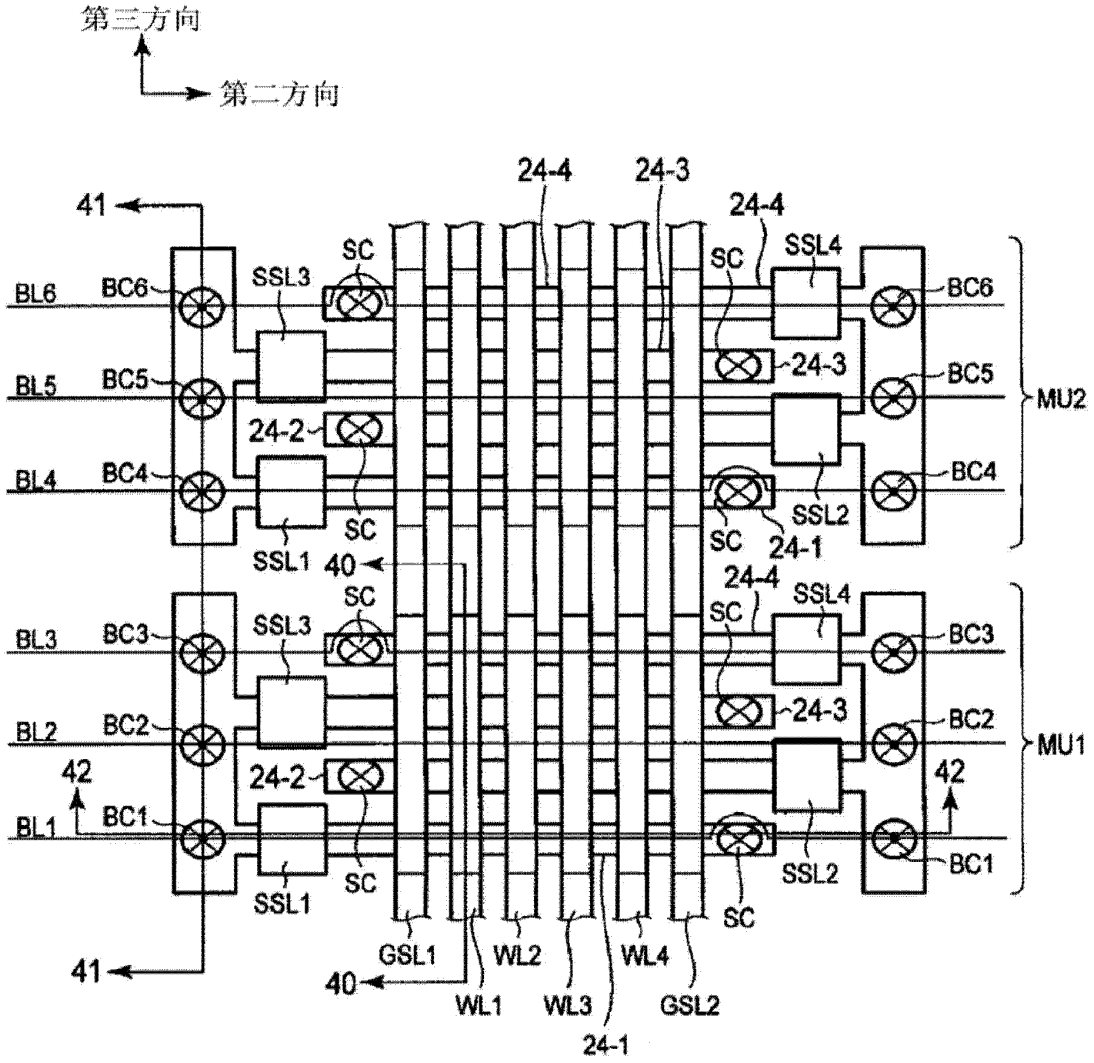


图 39

Micron Ex. 1002, p. 276
Micron v. YMTC
IPR2025-00190

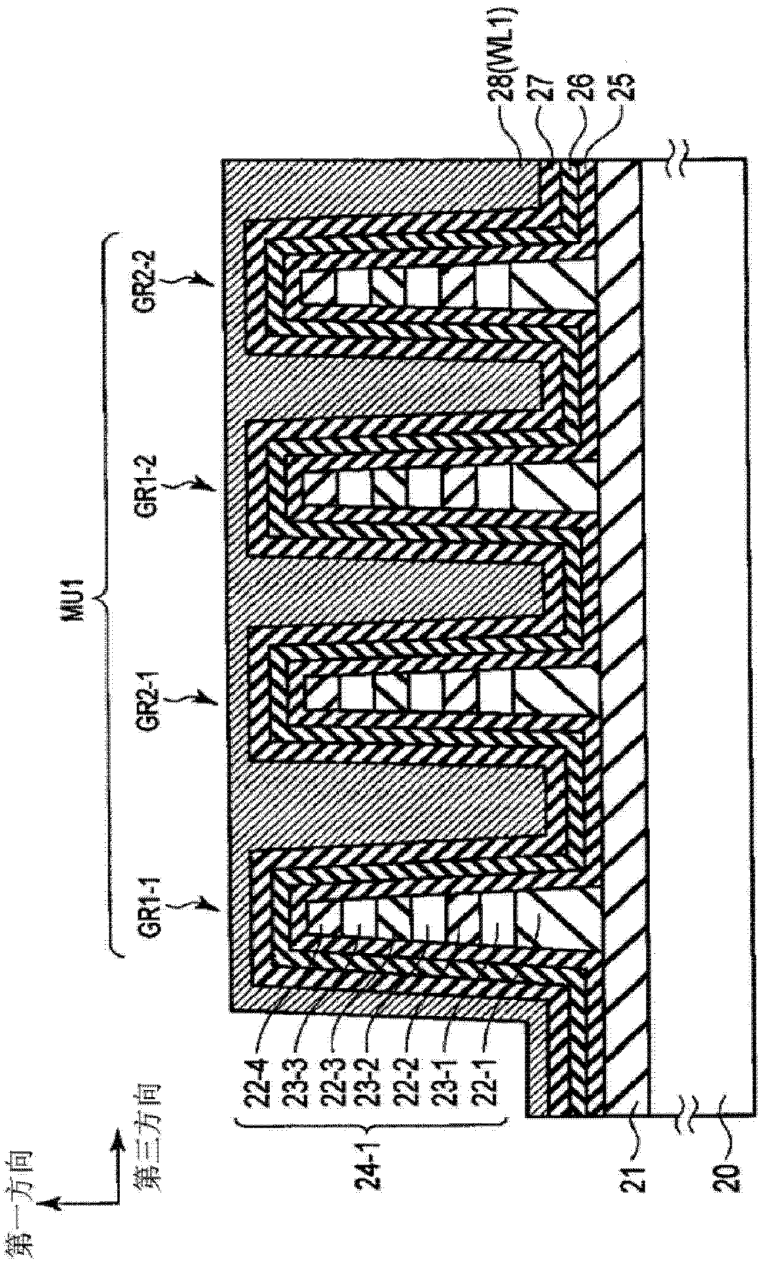


图 40

Micron Ex. 1002, p. 277
Micron v. YMTC
IPR2025-00190

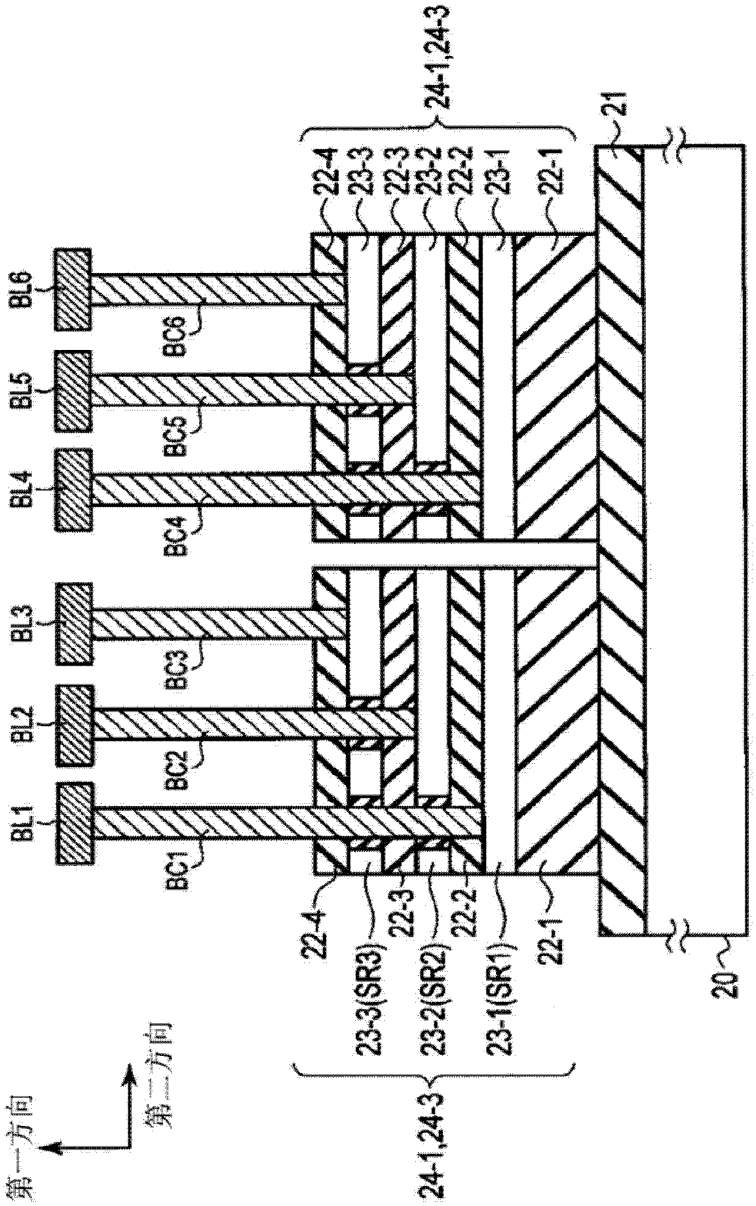


图 41

Micron Ex. 1002, p. 278
Micron v. YMTC
IPR2025-00190

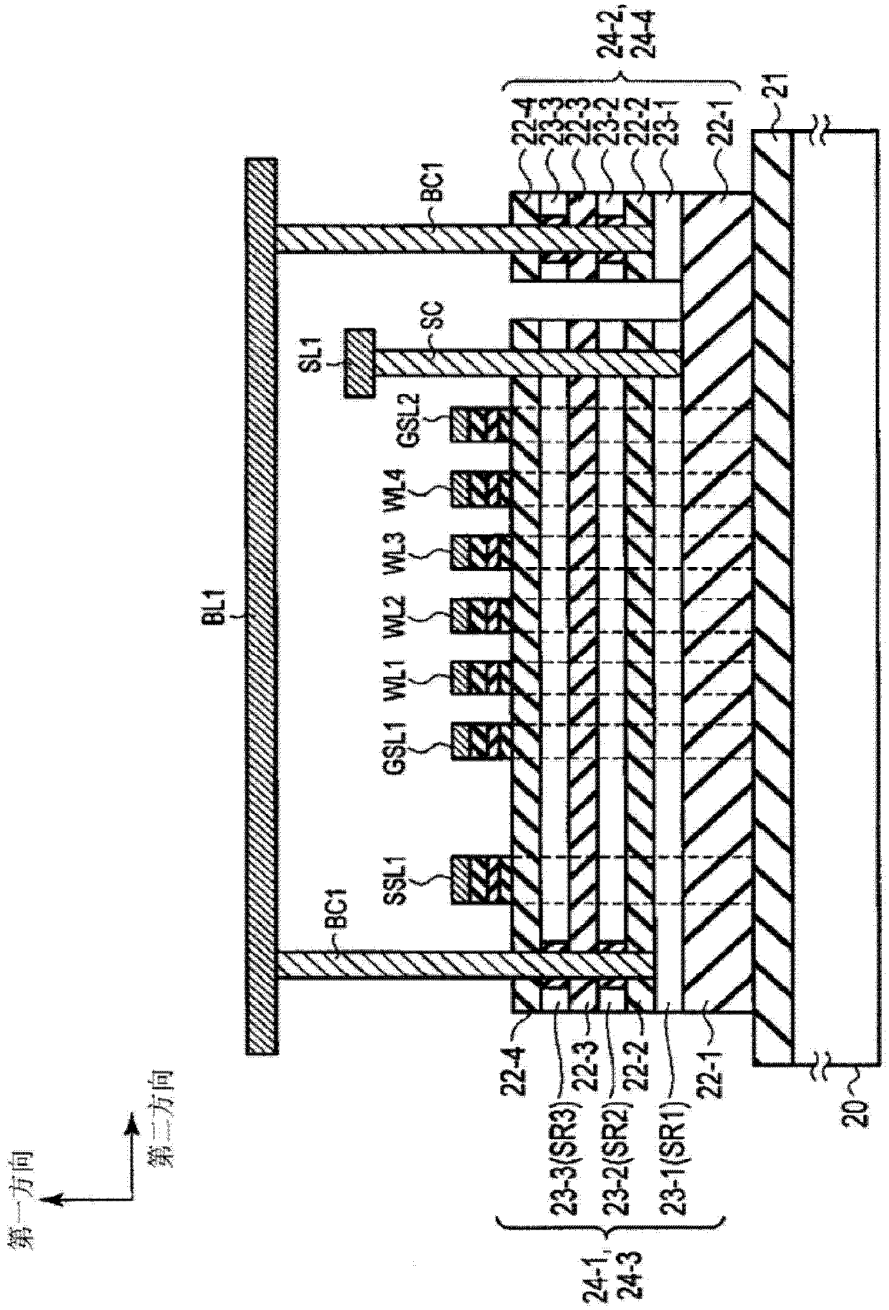


图 42

Micron Ex. 1002, p. 279
Micron v. YMTC
IPR2025-00190

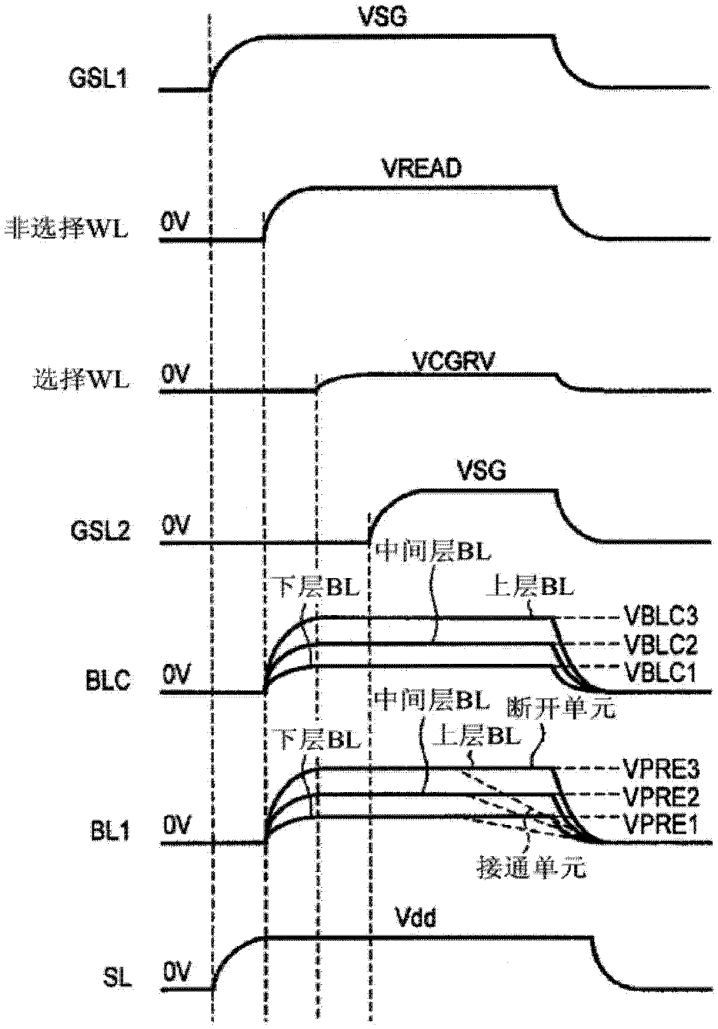


图 43

Micron Ex. 1002, p. 280
Micron v. YMTC
IPR2025-00190

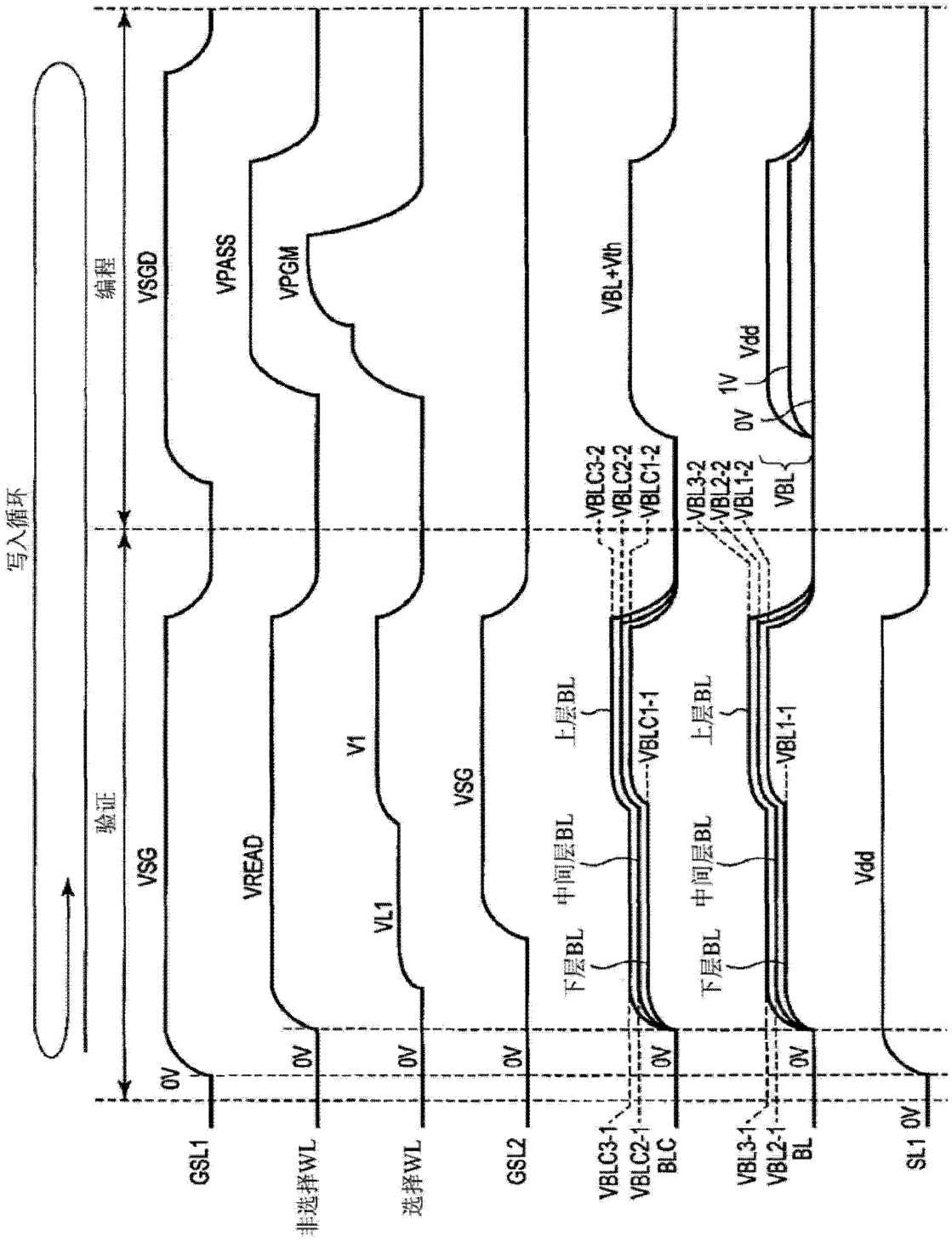


图 44

Micron Ex. 1002, p. 281
Micron v. YMTC
IPR2025-00190

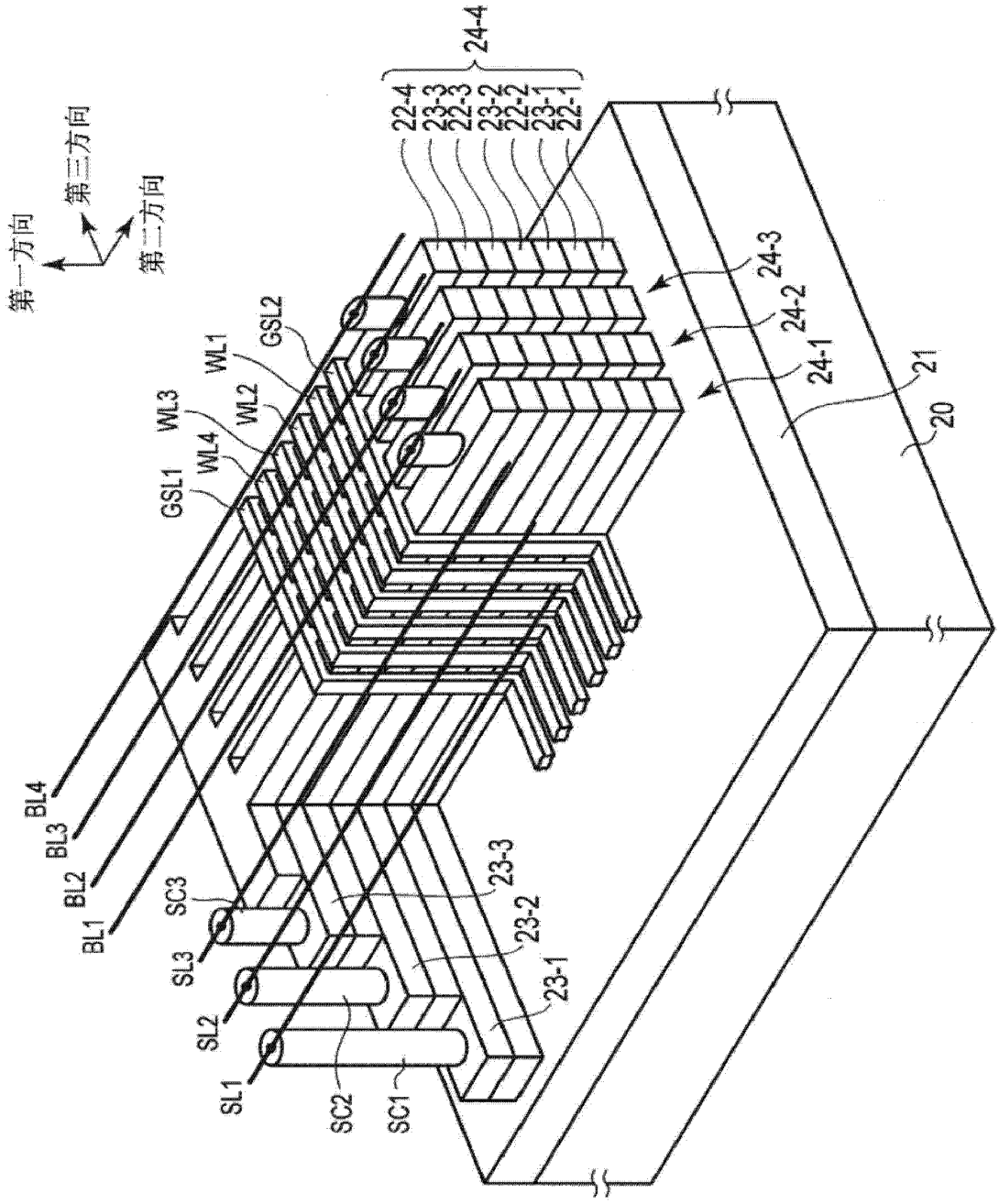


图 45

Micron Ex. 1002, p. 282
Micron v. YMTC
IPR2025-00190

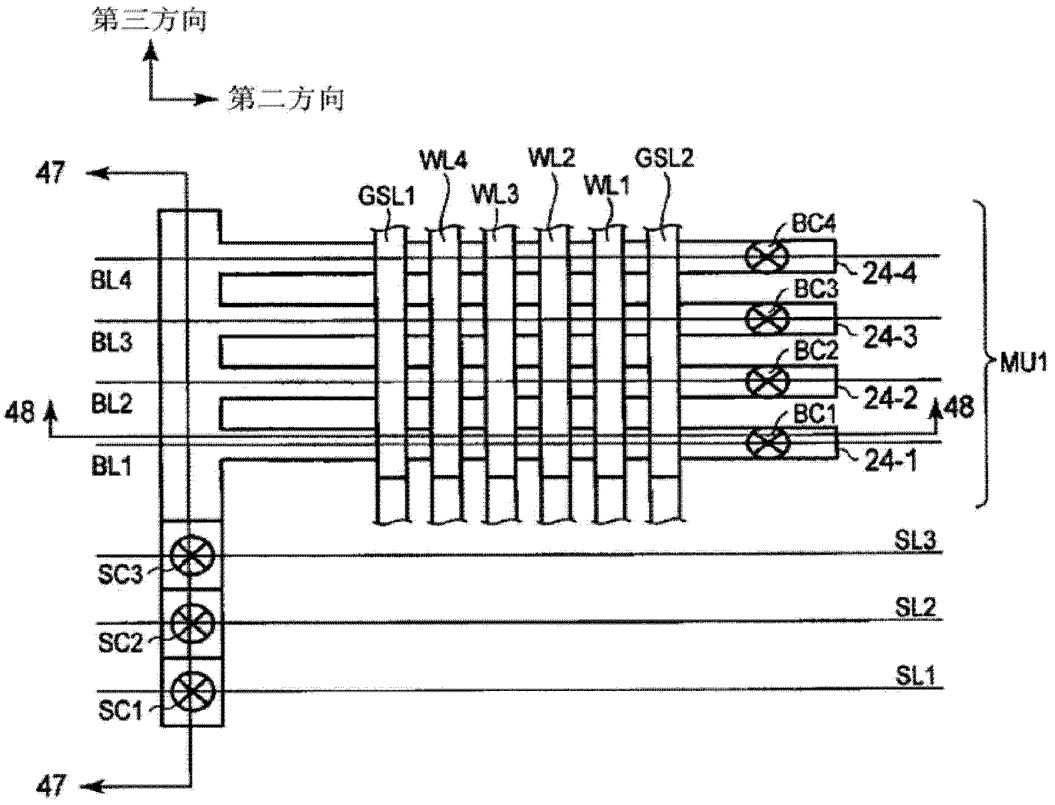


图 46

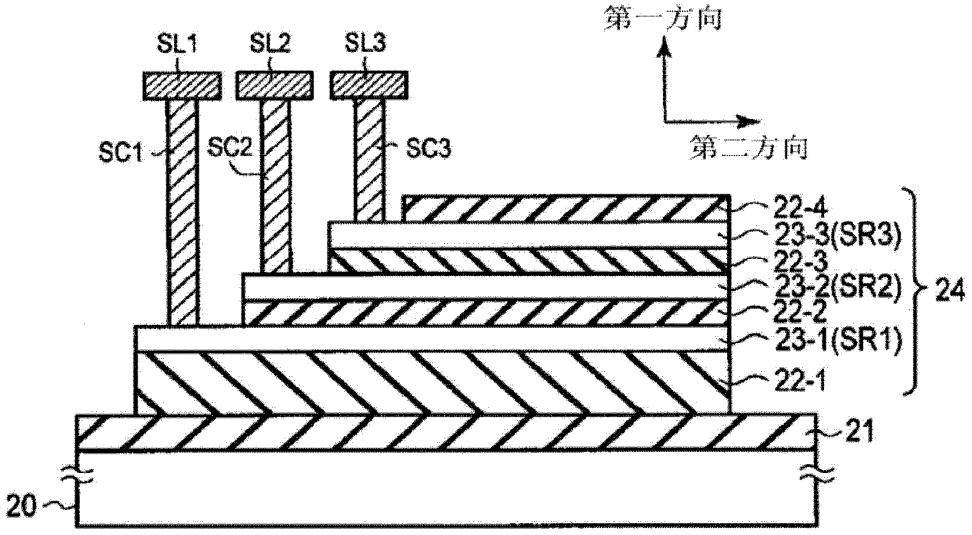


图 47

Micron Ex. 1002, p. 283
Micron v. YMTC
IPR2025-00190

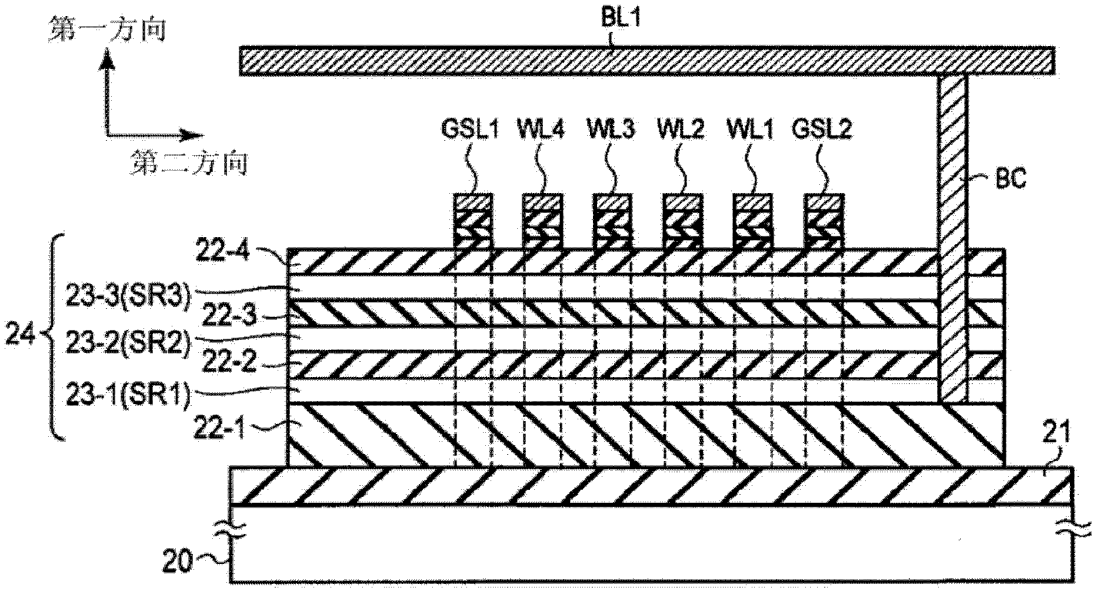


图 48

Micron Ex. 1002, p. 284
Micron v. YMTC
IPR2025-00190

The English-language equivalent US Published Application (No. 2018/0190498 A1) of CN (No. 108281166) is hereby presented to fulfill the 37 CFR 1.98(a)(3) requirement.

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 108281166 A
(43)申请公布日 2018.07.13

(21)申请号 201710674204.7

(22)申请日 2017.08.09

(30)优先权数据
10-2017-0001875 2017.01.05 KR

(71)申请人 爱思开海力士有限公司
地址 韩国京畿道

(72)发明人 李熙烈

(74)专利代理机构 北京三友知识产权代理有限公司 11127
代理人 李辉 刘久亮

(51)Int.Cl.
G11C 11/408(2006.01)
G11C 11/409(2006.01)
G11C 16/08(2006.01)
G11C 16/10(2006.01)

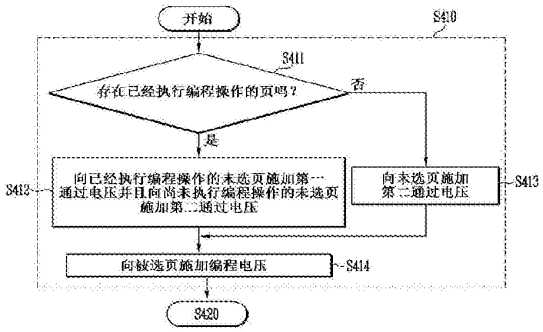
权利要求书2页 说明书15页 附图21页

(54)发明名称

存储装置及其操作方法

(57)摘要

本文中提供了存储装置和操作该存储装置的方法。该存储装置可以包括:存储块,该存储块包括多个页;以及外围电路,该外围电路被配置成依次对所述页进行编程。该存储装置可以包括控制逻辑,该控制逻辑被配置成控制所述外围电路,使得编程电压被施加至与从所述页当中选择的页联接的字线,使得不同的通过电压被施加至与除了被选页之外的未选页当中的已经执行编程操作的页联接的全部或一些字线以及与所述未选页当中的尚未执行所述编程操作的页联接的字线。



CN 108281166 A

Micron Ex. 1002, p. 285
Micron v. YMTC
IPR2025-00190

1.一种存储装置，该存储装置包括：

存储块，该存储块包括多个页；

外围电路，该外围电路被配置成依次对所述页进行编程；以及

控制逻辑，该控制逻辑被配置成控制所述外围电路，使得编程电压被施加至与从所述页当中选择的页联接的字线，使得不同的通过电压被施加至与除了被选页之外的未选页当中的已经执行编程操作的页联接的全部或一些字线以及与所述未选页当中的尚未执行所述编程操作的页联接的字线。

2.根据权利要求1所述的存储装置，其中，所述存储块被形成为所述页在水平方向布置在基板上的二维2D结构或者所述页在垂直方向布置在所述基板上的三维3D结构。

3.根据权利要求1所述的存储装置，其中，所述外围电路包括电压发生电路，所述电压发生电路被配置成产生：

被施加至与所述被选页联接的字线的所述编程电压，以及

被施加至与所述未选页联接的字线的所述通过电压。

4.根据权利要求1所述的存储装置，其中，所述控制逻辑被配置成控制所述外围电路，使得当所述存储块的所述编程操作开始时，确定在要执行所述编程操作的页中是否包括已经执行所述编程操作的页，从而基于所确定的结果来产生所述通过电压。

5.根据权利要求4所述的存储装置，其中，所述控制逻辑被配置成：

控制所述外围电路，使得当所述存储块中包括已经执行所述编程操作的页时，向与已经执行所述编程操作的未选页联接的字线的全部或一些施加第一通过电压，并且使得向与尚未执行所述编程操作的未选页联接的字线施加比所述第一通过电压低的第二通过电压，并且

控制所述外围电路，使得当所述存储块中不包括已经执行所述编程操作的页时，向与所述未选页联接的字线施加所述第二通过电压。

6.根据权利要求1所述的存储装置，其中，所述控制逻辑被配置成控制所述外围电路，使得当向与已经执行所述编程操作的所述未选页联接的字线中的一些施加第一通过电压时，向与已经执行所述编程操作的所述未选页当中的剩余页联接的字线施加第二通过电压。

7.根据权利要求1所述的存储装置，其中，所述控制逻辑被配置成控制所述外围电路，使得：

将在所述页当中设置的参考页与所述被选页进行比较，并且

在所述被选页到达所述参考页之前和在所述被选页到达所述参考页之后，所述通过电压被产生为不同的电压。

8.根据权利要求7所述的存储装置，其中，关于所述参考页的信息被存储在所述控制逻辑中或者所述存储块的标志区域中。

9.根据权利要求7所述的存储装置，其中，所述控制逻辑被配置成控制所述外围电路，使得在所述被选页到达所述参考页之前，向与所述未选页当中的尚未执行所述编程操作的页联接的字线施加第三通过电压，并且使得向与已经执行所述编程操作的页联接的字线施加所述第三通过电压或者比所述第三通过电压低的第四通过电压。

10.根据权利要求7所述的存储装置，其中，所述控制逻辑被配置成控制所述外围电路，

Micron Ex. 1002, p. 286
Micron v. YMTC
IPR2025-00190

使得在所述被选页到达所述参考页之后，向与所述未选页当中的尚未执行所述编程操作的页联接的字线施加第三通过电压，并且向与已经执行所述编程操作的页联接的字线施加比所述第三通过电压低的第五通过电压。

11.一种操作存储装置的方法，该方法包括以下步骤：

向与被选页联接的字线施加编程电压；

向除了所述被选页之外的未选页当中的已经执行编程操作的全部或一些页施加第一通过电压；以及

向所述未选页当中的尚未执行所述编程操作的页施加比所述第一通过电压低的第二通过电压。

12.根据权利要求11所述的方法，其中，所述第一通过电压和所述第二通过电压被设置成高于0V且低于所述编程电压的电压。

13.根据权利要求11所述的方法，该方法还包括以下步骤：在向与所述被选页联接的字线施加所述编程电压之前，确定页中是否包括已经执行所述编程操作的一个或更多个页。

14.根据权利要求13所述的方法，该方法还包括以下步骤：如果在所述一个或更多个页中不包括已经执行所述编程操作的页，则向与所述未选页联接的全部字线施加所述第二通过电压。

15.根据权利要求11所述的方法，其中，如果在包括页的存储块中包括虚拟单元，则当向与所述被选页联接的所述字线施加所述编程电压时，向与所述虚拟单元联接的虚拟线施加所述第一通过电压或所述第二通过电压。

16.一种操作存储装置的方法，该方法包括以下步骤：

设置参考页；

确定被选页是否已经到达所述参考页；

在所述被选页到达所述参考页之前，向与尚未执行编程操作的未选页联接的字线施加第三通过电压，向与已经执行所述编程操作的未选页联接的字线施加所述第三通过电压或者比所述第三通过电压低的第四通过电压，并且向与所述被选页联接的字线施加编程电压；以及

在所述被选页到达所述参考页之后，向与尚未执行编程操作的未选页联接的字线施加所述第三通过电压并且向与已经执行所述编程操作的未选页联接的字线施加比所述第三通过电压高的第五通过电压，并且向与所述被选页联接的所述字线施加所述编程电压。

17.根据权利要求16所述的方法，其中，在考虑到经编程的存储单元在测试操作期间变稳定所需的时间的情况下设置所述参考页。

18.根据权利要求17所述的方法，其中，所述存储单元变稳定所需的时间是抑制在所述存储单元中捕获的电子的移动所需的时间。

19.根据权利要求16所述的方法，其中，所述第三通过电压、所述第四通过电压和所述第五通过电压被设置成高于0V且低于所述编程电压的电压。

20.根据权利要求16所述的方法，其中，当在包括页的存储块中包括虚拟单元时，所述第三通过电压、所述第四通过电压或所述第五通过电压在所述编程电压被施加至与所述被选页联接的所述字线时被施加至与所述虚拟单元联接的虚拟线。

Micron Ex. 1002, p. 287
Micron v. YMTC
IPR2025-00190

存储装置及其操作方法

技术领域

[0001] 本公开的各种实施方式总体上涉及存储装置和操作该存储装置的方法，并且更具体地，涉及一种存储装置的编程操作。

背景技术

[0002] 存储装置被分类成易失性存储装置和非易失性存储装置。

[0003] 非易失性存储装置即使在电源中断时也能够保留其内容。虽然非易失性存储装置的读写速度与易失性存储装置的读写速度相比相对低，但是非易失性存储装置广泛用于便携式电子装置，这是因为它无论是否与电源连接都保留其内容。

[0004] 非易失性存储装置的示例可以根据数据存储方案包括只读存储器(ROM)、掩模ROM(MROM)、可编程ROM(PROM)、可擦除可编程ROM(EPROM)、电可擦除可编程ROM(EEPROM)、闪速存储器、相变随机存取存储器(PRAM)、磁性RAM(MRAM)、电阻式RAM(RRAM)和铁电式RAM(FRAM)。

[0005] 闪速存储器可具有串水平地布置在半导体基板上的二维(2D)结构。另选地，闪速存储器可以具有串垂直地层叠在半导体基板上的三维(3D)结构。随着二维(2D)结构到达其物理比例极限，半导体制造商正在制造包括垂直地层堆在半导体基板上的存储单元的存储装置。

发明内容

[0006] 本公开的各种实施方式针对一种存储装置和操作该存储装置的方法，其能够提高存储装置的编程操作的可靠性。

[0007] 本公开的实施方式可以提供一种存储装置。该存储装置可以包括：存储块，该存储块包括多个页；外围电路，该外围电路被配置成依次对所述页进行编程；以及控制逻辑，该控制逻辑被配置成控制所述外围电路，使得编程电压被施加至与从所述页当中选择的页联接的字线，使得不同的通过电压被施加至与除了被选页之外的未选页当中的已经执行编程操作的页联接的全部或一些字线以及与所述未选页当中的尚未执行所述编程操作的页联接的字线。

[0008] 本公开的实施方式可以提供一种操作存储装置的方法。该方法可以包括以下步骤：向与被选页联接的字线施加编程电压；向除了所述被选页之外的未选页当中的已经执行编程操作的全部或一些页施加第一通过电压；以及向所述未选页当中的尚未执行所述编程操作的页施加比所述第一通过电压低的第二通过电压。

[0009] 该方法可以包括以下步骤：设置参考页；确定被选页是否已经到达所述参考页；在所述被选页到达所述参考页之前，向与尚未执行编程操作的未选页联接的字线施加第三通过电压，向与已经执行所述编程操作的未选页联接的字线施加所述第三通过电压或者比所述第三通过电压低的第四通过电压，并且向与所述被选页联接的字线施加编程电压；以及在所述被选页到达所述参考页之后，向与尚未执行编程操作的未选页联接的字线施加所述

Micron Ex. 1002, p. 288
Micron v. YMTC
IPR2025-00190

第三通过电压并且向与已经执行所述编程操作的未选页联接的字线施加比所述第三通过电压高的第五通过电压，并且向与所述被选页联接的所述字线施加所述编程电压。

附图说明

[0010] 图1是用于说明根据本公开的实施方式的存储系统的示图。

[0011] 图2是用于说明图1的存储装置的示图。

[0012] 图3是用于说明图2的存储块的示图。

[0013] 图4是用于说明根据本公开的实施方式的编程操作的流程图。

[0014] 图5是用于详细说明图4的编程操作的流程图。

[0015] 图6、图7、图8和图9是用于说明图5的编程操作的示例的示图。

[0016] 图10是用于说明根据本公开的实施方式的编程操作的流程图。

[0017] 图11和图12是用于说明图10的编程操作的示例的示图。

[0018] 图13是用于说明3D存储块的实施方式的示图。

[0019] 图14是用于说明图13的编程操作的示例的示图。

[0020] 图15和图16是用于说明图13的编程操作的示例的示图。

[0021] 图17是用于说明3D存储块的实施方式的示图。

[0022] 图18是用于说明图17的编程操作的示例的示图。

[0023] 图19和图20是用于说明图17的编程操作的示例的示图。

[0024] 图21是用于说明包括图2的存储装置的存储系统的实施方式的示图。

[0025] 图22是用于说明包括图2的存储装置的存储系统的实施方式的示图。

[0026] 图23是用于说明包括图2的存储装置的存储系统的实施方式的示图。

[0027] 图24是用于说明包括图2的存储装置的存储系统的实施方式的示图。

具体实施方式

[0028] 现在将参照附图在下文中更充分地描述示例实施方式；然而，这些实施方式可按不同的形式来实施，而不应该被理解为限于本文中阐述的实施方式。相反，提供这些实施方式使得本公开将是彻底的和完整的，并将示例实施方式的范围充分地传达给本领域技术人员。

[0029] 在附图中，为了图示清晰起见，可以夸大尺寸。将理解的是，当元件被称为“在”两个元件“之间”时，该元件可以是这两个元件之间的唯一元件，或者还可以存在一个或更多个居间元件。

[0030] 在下文中，将参照附图来描述实施方式。在本文中参照作为实施方式的示意性例示(和中间结构)的截面图来描述实施方式。如此，将预料到由于例如制造技术和/或容差而导致的例示形状的变化。因此，实施方式不应该被解释为限于本文中例示的特定形状，而是可以包括由例如制造而导致的形状偏差。在附图中，为了清晰起见，可以夸大层和区域的长度和大小。附图中的相同的附图标记指示相同的元件。

[0031] 可以使用诸如“第一”和“第二”这样的术语来描述各种组件，但这些术语不应该限制各种组件。使用这些术语仅出于将一个组件与其它组件区分开的目的。例如，在不脱离本公开的精神和范围的情况下，第一组件可以被称为第二组件，并且第二组件可以被称为第

Micron Ex. 1002, p. 289
Micron v. YMTC
IPR2025-00190

一组件，依次类推。此外，“和/或”可以包括所提到组件中的任何一个或组合。

[0032] 此外，单数形式可以包括复数形式，只要它在句子中没有具体提到。此外，说明书中使用的“包括”或“包含”或其变型表示存在或添加一个或更多个组件、步骤、操作和元件。

[0033] 此外，除非另外定义，否则在本说明书中使用的包括技术术语和科学术语的全部术语具有与相关领域的技术人员通常理解的含义相同的含义。通用字典中定义的术语应该被解释为具有与相关领域的背景下将解释的含义相同的含义，并且除非在本说明书中另外清楚定义，否则不应该被解释为具有理想或过于正式的含义。

[0034] 还要注意，在本说明书中，“连接/联接”是指一个组件不仅直接联接另一个组件，而且还通过中间组件来间接联接另一个组件。另一方面，“直接连接/直接联接”是指一个组件直接联接另一个组件而没有中间组件。

[0035] 图1是用于说明根据本公开的实施方式的存储系统的示图。

[0036] 参照图1，存储系统1000可以包括用于存储数据的存储装置1100和用于在主机2000的控制下控制存储装置1100的存储控制器1200。

[0037] 主机2000可以使用诸如外围组件快速互连(PCI-E)、高级技术附件(ATA)、串行ATA(SATA)、并行ATA(PATA)或串行附接SCSI(SAS)这样的接口协议来与存储系统1000通信。另外，出于主机2000和存储系统1000之间的数据通信目的而提供的接口协议不限于以上示例，并且可以是诸如通用串行总线(USB)、多媒体卡(MMC)、增强型小型磁盘接口(ESDI)或集成型驱动电子器件(IDE)这样的接口协议。

[0038] 存储控制器1200可以控制存储系统1000的整体操作并且可以控制主机2000和存储装置1100之间的数据交换。例如，存储控制器1200可以响应于来自主机2000的请求，通过控制存储装置1100来对数据进行编程或读取。另外，存储控制器1200可以存储关于存储装置1100中包括的主存储块和辅存储块的信息，并且可以选择存储装置1100，使得根据针对编程操作加载的数据量对主存储块或辅存储块执行编程操作。在实施方式中，存储装置1100可以包括双倍数据速率同步动态随机存取存储器(DDR SDRAM)、低功率DDR SDRAM第四代(LPDDR4SDRAM)、图形双数据速率SDRAM(GDDR SDRAM)、低功率DDR(LPDDR)、Rambus动态随机存取存储器(RDRAM)或闪速存储器。

[0039] 存储装置1100可以在存储控制器1200的控制下执行编程、读取或擦除操作。例如，存储装置1100可以对从包括在存储装置1100中的多个页当中选择的页中包括的存储单元进行编程。

[0040] 图2是用于说明图1的存储装置的示图。

[0041] 参照图2，存储装置1100可以包括存储数据的存储单元阵列100。存储装置1100还可以包括外围电路200，外围电路200执行用于将数据存储在存储单元阵列100中的编程操作、用于输出所存储的数据的读取操作和用于擦除所存储的数据的擦除操作。存储装置1100可以包括控制逻辑300，控制逻辑300在存储控制器(例如，图1的1200)的控制下控制外围电路200。

[0042] 存储单元阵列100可以包括多个存储块MB1至MBk(其中，k是正整数)。本地线LL和位线BL1至BLm(其中，m是正整数)可以与存储块MB1至MBk中的每一个联接。例如，本地线LL可以包括字线、漏极选择线和源极选择线以及源线。例如，本地线LL还可以包括虚拟线。例如，本地线LL还可以包括管线。

Micron Ex. 1002, p. 290
Micron v. YMTC
IPR2025-00190

[0043] 本地线LL可以分别联接至存储块MB1至MBk，而位线BL1至BLm可以共同联接至存储块MB1至MBk。存储块MB1至MBk可以被实现为二维(2D)或三维(3D)结构。例如，在形成为2D结构的存储块中，页可以水平地布置在基板上。例如，在形成为3D结构的存储块中，页可以垂直地布置在基板上。

[0044] 外围电路200可以被配置成在控制逻辑300的控制下对选择的存储块执行编程、读取和擦除操作。例如，外围电路200可以包括电压发生电路210、行解码器220、页缓冲组230、列解码器240、输入/输出电路250和电流感测电路260。

[0045] 电压发生电路210可以响应于操作信号OP_CMD产生将用于编程、读取和擦除操作的各种操作电压Vop。例如，电压发生电路210可以在控制逻辑300的控制下产生编程电压、验证电压、通过电压、读取电压、擦除电压、导通电压等。例如，在编程操作期间，电压发生电路210可以在控制逻辑300的控制下产生第一通过电压或第二通过电压或者第一通过电压和第二通过电压，作为将被施加至未选页的通过电压。例如，第一通过电压或第二通过电压可以被施加至与未选页联接的字线(例如，未选字线)。

[0046] 行解码器220可以响应于行地址RADD将操作电压Vop传送至与被选存储块联接的本地线LL。

[0047] 页缓冲组230可以包括与位线BL1至BLm联接的多个页缓冲器PB1至PBm。页缓冲器PB1至PBm可以响应于页缓冲控制信号PBSIGNALS进行操作。例如，页缓冲器PB1至PBm可以暂时存储通过位线BL1至BLm接收的数据，或者可以在读取操作或验证操作期间感测位线BL1至BLm的电压或电流。

[0048] 列解码器240可以响应于列地址CADD在输入/输出电路250和页缓冲组230之间传送数据。例如，列解码器240可以通过数据线DL与页缓冲器PB交换数据或者可以通过列线CL与输入/输出电路250交换数据。

[0049] 输入/输出电路250可以将从存储控制器(例如，图1的1200)接收的命令CMD和地址ADD传送至控制逻辑300，或者可以与列解码器240交换数据DATA。

[0050] 在读取操作或验证操作期间，电流感测电路260可以响应于使能位VRY_BIT<#>来产生参考电流，并且可以将从页缓冲组230接收的感测电压VPB与通过参考电流所产生的参考电压进行比较，并且输出通过信号PASS或失败信号FAIL。

[0051] 控制逻辑300可以响应于命令CMD和地址ADD，通过输出操作信号OP_CMD、行地址RADD、页缓冲控制信号PBSIGNALS和使能位VRY_BIT<#>来控制外围电路200。另外，控制逻辑300可以响应于通过信号PASS或失败信号FAIL确定验证操作是通过还是失败。具体地，在编程操作期间，控制逻辑300可以控制电压发生电路210，使得通过电压根据是否已经对未选页编程来调节。例如，在编程操作期间，控制逻辑300可以控制电压发生电路210，使得编程电压被施加至与被选页联接的字线(例如，被选字线)，并且通过电压被施加至与未选页联接的字线(例如，未选字线)。例如，在编程操作期间，控制逻辑300可以控制电压发生电路210，使得通过电压根据是否已经预先对未选页执行编程操作来调节。例如，在编程操作期间，控制逻辑300可以控制电压发生电路210，使得不同的通过电压被施加至已经预先执行编程操作的未选页和尚未执行编程操作的未选页。例如，在编程操作期间，控制逻辑300可以控制电压发生电路210，使得不同的通过电压被施加至与已经执行编程操作的未选页联接的全部或一些字线以及与尚未执行编程操作的至少一些未选页联接的字线。例如，在编

Micron Ex. 1002, p. 291
Micron v. YMTC
IPR2025-00190

程操作期间，控制逻辑300可以基于参考页将页分组并且可以控制电压发生电路210，使得施加至未选页的通过电压根据包括被选页的组来调节。

[0052] 图3是用于说明图2的存储块的示图。因为图2中例示的存储块MB1至MBk可以具有与图3中的存储块相似的配置，所以将以举例的方式来描述存储块当中的第一存储块MB1。

[0053] 参照图3，第一存储块MB1可以包括联接在位线BL1至BLm(其中，m是正整数)和源线SL之间的多个串ST。位线BL1至BLm可以分别联接至串ST，而源线SL可以共同联接至串ST。由于串ST可以具有相同的配置，因此将以举例方式来详细描述与第一位线BL1联接的串ST。

[0054] 串ST可以包括串联连接在源线SL和第一位线BL1之间的源极选择晶体管SST、多个存储单元F1至F16和漏极选择晶体管DST。单个串ST可以包括一个或更多个源极选择晶体管SST和漏极选择晶体管DST，并且可以包括比附图中例示的存储单元F1至F16多的存储单元。

[0055] 源极选择晶体管SST的源极可以联接至源线SL，并且漏极选择晶体管DST的漏极可以联接至第一位线BL1。存储单元F1至F16可以串联连接在源极选择晶体管SST和漏极选择晶体管DST之间。不同的串ST中包括的源极选择晶体管SST的栅极可以联结至源极选择线SSL，漏极选择晶体管DST的栅极可以联结至漏极选择线DSL，并且存储单元F1至F6的栅极可以联结至多条字线WL1至WL16。在不同的串ST中包括的存储单元当中，联结至同一字线的一组存储单元可以被称为页PG。因此，存储块中可以包括与字线WL1至WL16的数目相同的多个页PG。第一存储块MB1中包括的串ST中的一些串可以被包括在存储正常数据的正常区域31中，而剩余串可以被包括在存储用于操作存储装置1100所需的标志数据的标志区域32中。正常数据可以包括用户数据，而标志数据可以包括关于是否已经对每个页执行编程操作的信息。

[0056] 图4是用于说明根据本公开的实施方式的编程操作的流程图。

[0057] 参照图4，存储装置1100可以响应于从存储控制器(例如，图1的1200)接收到的程序命令和地址而对被选页中的被选存储单元执行编程操作。例如，可以使用按步进电压增加编程电压的增量步进脉冲编程(ISPP)方法来执行编程操作。如有必要，基于ISPP方法的编程操作可以包括对被选页进行编程的步骤、验证被选页的步骤和增加编程电压的步骤。

[0058] 下面将更详细地描述上述编程操作。

[0059] 在编程操作执行步骤S410中，可以对从被选页中包括的存储单元当中选择的存储单元执行编程操作。

[0060] 在已经对被选页执行编程操作达预定时间段之后，可以执行在步骤S420中确定是否验证被选页的操作。在验证操作期间，可以确定被选存储单元的阈值电压是否增至目标电压。

[0061] 如果在被选页的被选存储单元当中存在具有未增至目标电压的阈值电压的存储单元，则验证操作失败。另一方面，如果被选页中的全部被选存储单元的阈值电压都增至目标电压，则被选存储单元通过验证操作。

[0062] 当验证操作失败时，在步骤S430中增加施加至被选页的编程电压，并且可以执行使用增加后的编程电压的编程操作S410。以这种方式，可以重复步骤S410至S430，直到被选页通过验证操作为止。

[0063] 如果被选页通过验证操作，则在步骤S440中可以执行确定已经执行编程操作的被选页是否是编程目标页当中的最后一页的操作。如果确定被选页不是最后一页(在“否”的

Micron Ex. 1002, p. 292
Micron v. YMTC
IPR2025-00190

情况下)，则可以在步骤S450中选择下一页，并且可以重复步骤S410至S450。如果在步骤S440中确定被选页是编程目标页当中的最后一页(在“是”的情况下)，则可以终止被选存储块的编程操作。

[0064] 当执行上述操作当中的编程操作S410时，通过电压被施加至除被选页之外的未选页，并且以下将详细地描述该操作。

[0065] 图5是用于详细说明图4的编程操作的流程图。

[0066] 参照图5，图4的编程操作S410将描述如下。

[0067] 当被选存储块的编程操作开始时，可以在步骤S411中执行确定是否存在已经执行编程操作的一个或更多个页的操作。例如，可以基于存储在相应页的标志单元中的数据来确定已经执行编程操作的页。例如，在页中包括的标志单元中，可以存储诸如关于是否已经预先对相应页执行编程操作的信息和经编程的逻辑页信息(例如，低位或高位)这样的与相应页的状态相关的数据。

[0068] 如果在步骤S411中确定在存储块中不存在已经预先执行编程操作的页(在“否”的情况下)，则可以控制外围电路200，使得可以在步骤S413中将第二通过电压施加至与未选页联接的字线。例如，当在被选存储块中不存在已经预先执行编程操作的页时，被选页可以是从被选存储块首先选择的编程目标页。这里，可将施加至未选页的第二通过电压施加至与未选页联接的字线(例如，未选字线)。然后，可以在步骤S414中将编程电压施加至被选页并且可以对被选存储单元执行编程操作。这里，可将施加至被选页的编程电压施加至与被选页联接的字线(例如，被选字线)。

[0069] 如果在步骤S411中确定在存储块中存在已经预先执行编程操作的页(在“是”的情况下)，则控制逻辑300可以控制外围电路200将不同的通过电压施加至尚未执行编程操作的未选页和已经预先执行编程操作的被选页。

[0070] 例如，在步骤S412中，控制逻辑300可以控制外围电路200经由与已经执行编程操作的未选页联接的字线向全部或一些未选页施加第一通过电压，并且可以经由与尚未执行编程操作的未选页联接的字线向未选页施加比第一通过电压低的第二通过电压。例如，第一通过电压和第二通过电压二者可以被设置成高于0V的正电压，并且可以被施加至未选页的字线。例如，第一通过电压可以被设置成高于第二通过电压且低于编程电压的电压。换句话讲，第二通过电压可以被设置成在0V和第一通过电压之间的电压。另选地，第一通过电压可以被施加至已经执行编程操作的未选页中的一些，并且比第一通过电压低的第二通过电压可以被施加至尚未执行编程操作的未选页中的一些。例如，当第一通过电压被施加至已经预先执行编程操作的未选页中的一些并且第二通过电压被施加至尚未执行编程操作的未选页中的一些时，与第一通过电压和第二通过电压不同的附加通过电压可以被施加至剩余页。这里，与第一通过电压和第二通过电压不同的附加通过电压可以是被设置成存储装置中的默认值的通过电压。然后，在步骤S414中，可以向被选页施加编程电压，并因此可以对被选存储单元执行编程操作。

[0071] 以这种方式，与尚未执行编程操作的未选页的全部或一些页相比，更高的通过电压被施加至已经预先执行编程操作的未选页的全部或一些页，从而防止沟道在已经预先执行编程操作的页上断开。也就是说，因为预先执行编程操作的存储单元具有比尚未执行编程操作的存储单元的阈值电压高的阈值电压，所以需要更高的通过电压来形成沟道。因此，

Micron Ex. 1002, p. 293
Micron v. YMTC
IPR2025-00190

如上所述，向已经预先执行编程操作的页的全部或一些页施加相对高的电压(例如，第一通过电压)，从而防止沟道断开并且减少在包括未选页的区域中出现的编程干扰现象。

[0072] 下面将更详细地描述上述编程操作。

[0073] 图6至图9是用于说明图5的编程操作的示例的示图。

[0074] 图6是用于说明在从源极选择线SSL到漏极选择线DSL的方向上执行编程操作的示例的示图。

[0075] 参照图6，第一页PG1可以与源极选择线SSL相邻布置并且第十六页PG16可以与漏极选择线DSL相邻布置。虽然在图6中例示了在第一存储块MB1中包括16页，但是该例示只对应于用于说明根据本公开的编程操作的示例的图，因此页的数目不限于此。

[0076] 假定第九页PG9是被选页，剩余的第一页至第八页和第十页至第十六页是未选页。当在从第一页PG1至第十六页PG16的方向上执行编程操作时，第一页至第八页可以是已经执行编程操作的未选页，并且第十页至第十六页可以是尚未执行编程操作的未选页。

[0077] 在被选页PG9的编程操作期间，可以向与已经执行编程操作的未选页联接的字线WL1至WL8施加第一通过电压Vpass1，并且可以向与尚未执行编程操作的未选页联接的字线WL10至WL16施加比第一通过电压Vpass1低的第二通过电压Vpass2。编程电压Vpgm可以被施加至与被选页PG9联接的字线WL9，因此可以对被选页执行编程操作。

[0078] 下面将描述与上述示例的编程操作顺序不同的编程操作顺序的示例。

[0079] 图7是用于说明在从漏极选择线DSL到源极选择线SSL的方向上执行编程操作的示例的示图。

[0080] 参照图7，当在从第十六页PG16至第一页PG1的方向上依次执行编程操作并且被选页是第九页PG9时，第十六页至第十页可以是已经执行编程操作的未选页，并且第八页至第一页可以是尚未执行编程操作的未选页。

[0081] 在被选页PG9的编程操作期间，可以向与已经执行编程操作的未选页联接的字线WL16至WL10施加第一通过电压Vpass1，并且可以向与尚未执行编程操作的未选页联接的字线WL8至WL1施加比第一通过电压Vpass1低的第二通过电压Vpass2。编程电压Vpgm可以被施加至与被选页PG9联接的字线WL9，因此可以对被选页执行编程操作。

[0082] 下面将描述包括在串ST中的虚拟单元的示例。

[0083] 图8是用于说明包括虚拟单元的存储块MB1的编程操作的示图。

[0084] 参照图8，串ST中的每一个可以包括一个或更多个虚拟单元。例如，虚拟单元可以与源极选择晶体管SST相邻布置并且可以与漏极选择晶体管DST相邻布置。另选地，虚拟单元可以布置在存储单元之间。在图8中，以下将描述虚拟单元F1和F16与源极选择晶体管SST和漏极选择晶体管DST相邻布置的实施方式。

[0085] 在被选页PG9的编程操作期间，可以根据是否已经预先对未选页执行编程操作来向未选字线WL2至WL8和WL10至WL15施加第一通过电压Vpass1或第二通过电压Vpass2(参见图6和图7)，并且可以向被选字线WL9施加编程电压Vpgm。这里，第一通过电压Vpass1或第二通过电压Vpass2可以被施加至与虚拟单元F1和F16的栅极联接的虚拟线WL1和WL16。例如，当虚拟单元F1和F16已经被编程并且其阈值电压已经增加时，可以向虚拟线WL1和WL16施加第一通过电压Vpass1。如果虚拟单元F1和F16已经被擦除，则可以向虚拟线WL1和WL16施加比第一通过电压Vpass1低的第二通过电压Vpass2。

Micron Ex. 1002, p. 294
Micron v. YMTC
IPR2025-00190

[0086] 图9是用于说明在从源极选择线SSL到漏极选择线DSL的方向上执行编程操作的示例的示图。

[0087] 参照图9，第一页PG1可以与源极选择线SSL相邻布置，并且第十六页PG16可以与漏极选择线DSL相邻布置。虽然在图9中例示了在第一存储块MB1中包括16页，但是该例示只对应于用于说明根据本公开的编程操作的示例的图，因此页的数目不限于此。

[0088] 假定第九页PG9是被选页，剩余的第一页至第八页和第十页至第十六页可以是未选页。当在从第一页PG1至第十六页PG16的方向上执行编程操作时，第一页至第八页可以是已经执行编程操作的未选页，并且第十页至第十六页可以是尚未执行编程操作的未选页。

[0089] 在被选页PG9的编程操作期间，可以向与已经执行编程操作的未选页联接的字线WL1至WL8施加第一通过电压Vpass1，并且可以向与尚未执行编程操作的未选页联接的字线WL10至WL16施加比第一通过电压Vpass1低的第二通过电压Vpass2。例如，可以向与已经执行编程操作的未选页联接的字线WL1至WL8当中的第五字线WL5至第八字线WL8施加第一通过电压Vpass1，并且可以向剩余的第一字线WL1至第四字线WL4施加第二通过电压Vpass2或默认通过电压。编程电压Vpgm可以被施加至与被选页PG9联接的第九字线WL9，因此可以对被选页执行编程操作。

[0090] 图9旨在描述仅向与已经完成编程操作的页当中的页联接的一些字线施加第一通过电压Vpass1的示例。因此，在与已经完成编程操作的页联接的字线当中，将施加有第一通过电压Vpass1的字线可以根据存储装置而改变。

[0091] 图10是用于说明根据本公开的实施方式的编程操作的流程图。

[0092] 参照图10，根据本公开的实施方式的编程操作可以被划分成在被选页到达参考页之前执行的操作9A和在被选页已经到达参考页之后执行的操作9B。

[0093] 可以在考虑到经编程的存储单元的阈值电压变稳定所需的时间的情况下设置参考页。详细地，在已经对存储单元编程并且其阈值电压已经增加之后，阈值电压可能在预定时间段内不稳定。例如，存储单元可以进入其中在存储单元中捕获的电子会由于外部电压而在预定时间段内容易移动的不稳定状态，但是在经过该预定时间段之后，存储单元可以进入其中电子的移动被抑制的稳定状态。因此，通过执行测试操作来测量存储单元进入稳定状态所需的时间，并且可以基于测量时间来设置参考页。例如，可以在考虑到包括在第一页中的存储单元变稳定所需的时间的情况下设置参考页，或者可以在考虑到包括在第二页或第N(其中，N是正整数)页中的存储单元变稳定所需的时间的情况下设置参考页。

[0094] 关于参考页的信息可以被存储在存储控制器(例如，图1的1200)、控制逻辑(例如，图2的300)或者存储块的标志区域(例如，图3的32)中包括的标志单元中。

[0095] 当参考页信息被存储在存储控制器(例如，图1的1200)中时，存储控制器(例如，图1的1200)可以在向存储装置1100发送编程目标地址时将参考页信息与编程目标地址一起发送，并且存储装置(例如，图2的1100)可以基于接收到的信息来执行编程操作。

[0096] 当参考页信息被存储在控制逻辑(例如，图2的300)时，控制逻辑(例如，图2的300)可以控制电压发生电路(例如，图2的210)，使得第一通过电压和第二通过电压中的一者或二者可以基于参考页信息来输出。

[0097] 当参考页信息被存储在存储块的标志区域(例如，图3的32)中时，控制逻辑(例如，图2的300)可以通过从标志区域(例如，图3的32)中包括的标志单元读取信息来获取参考页

Micron Ex. 1002, p. 295
Micron v. YMTC
IPR2025-00190

信息，并且可以基于参考页信息来控制外围电路(例如，图2的200)。

[0098] 下面将详细地描述使用参考页信息的编程操作。

[0099] 当设置参考页时，可以在步骤S91中将参考页信息存储在存储控制器(例如，图1的1200)或存储装置(例如，图1的1100)中。控制逻辑300可以控制外围电路200在步骤S92中执行确定作为待编程的目标的选择页是否是参考页的操作。如果在被选页到达参考页之前确定被选页不是参考页(在“否”的情况下)，则在步骤S93中可以经由与尚未执行编程操作的未选页联接的字线向未选页施加第三通过电压，并且可以经由与已经预先执行编程操作的未选页联接的字线向未选页施加第三通过电压或比第三通过电压低的第四通过电压。这里，可以向未选页的字线施加第三通过电压或第四通过电压。然后，在步骤S94中，可以向被选页施加编程电压。这里，编程电压可以被施加至与被选页联接的字线。接下来，在步骤S95中，可以对被选页中包括的存储单元执行验证操作。

[0100] 当验证操作失败时，在步骤S96中增加编程电压，并且可以重复步骤S93至S96，直到验证操作通过为止。

[0101] 当验证操作通过时，在步骤S97中选择下一页，可以重复步骤S92至S97，直到被选页变成参考页为止。

[0102] 如果在步骤S92中确定被选页是参考页(在“是”的情况下)，则控制逻辑300可以控制外围电路200，使得在步骤S98中可以经由与尚未执行编程操作的未选页联接的字线向未选页施加第三通过电压，并且可以经由与已经预先执行编程操作的未选页联接的字线向未选页施加比第三通过电压高的第五通过电压。例如，第三通过电压、第四通过电压和第五通过电压可以被设置成高于0V且低于编程电压的电压。第三通过电压可以被设置成高于第四通过电压且低于第五通过电压的电压。这里，第三通过电压或第五通过电压可以被施加至未选页的字线。然后，在步骤S99中，可以向被选页施加编程电压。这里，编程电压可以被施加至与被选页联接的字线。接下来，在步骤S100中，可以对被选页中包括的存储单元执行验证操作。

[0103] 如果验证操作失败，则在步骤S101中增加编程电压，并且可以重复步骤S98至S101，直到验证操作通过为止。

[0104] 如果验证操作通过，则在步骤S102中可以执行确定被选页是否是最后一页的操作。例如，可以确定从包括在被选存储块中的编程目标页当中选择的页是否是最后一页。

[0105] 如果被选页不是最后一页(在“否”的情况下)，则在步骤S103中选择下一页，并且可以重复步骤S98至S103。

[0106] 如果被选页是最后一页(在“是”的情况下)，则可以终止被选存储块的编程操作。

[0107] 图11和图12是用于说明图10的编程操作的示例的示图。

[0108] 图11是用于说明在被选页到达参考页之前执行的编程操作的示图。

[0109] 参照图11，假定编程方向是从源极选择线SSL到漏极选择线DSL的方向并且参考页是第九页PG9。这里，因为从第一页起依次执行编程操作，所以当被选页被包括在第一页至第八页中时，可以执行图10的编程操作9A，并且当被选页被包括在第九页至第十六页中时，可以执行图10的编程操作9B。

[0110] 在图11中，例示了被选页是第五页PG5的示例，因此这对应于被选页未到达参考页的情况。因此，可以向与已经预先执行编程操作的页联接的字线WL1至WL4施加第三通过电

Micron Ex. 1002, p. 296
Micron v. YMTC
IPR2025-00190

压Vpass3或第四通过电压Vpass4，并且可以向与尚未执行编程操作的页联接的字线WL6至WL16施加第三通过电压Vpass3。可以向与被选页联接的字线WL5施加编程电压Vpgm，因此可以对被选页执行编程操作。

[0111] 图12是用于说明在被选页到达参考页之后执行的编程操作的示图。

[0112] 参照图12，例示了被选页是第十二页的示例。也就是说，因为被选页被包括在第九页PG9至第十六页PG16中，所以可以执行在被选页到达参考页之后执行的编程操作(例如，图10的9B)。例如，可以向与已经预先执行编程操作的页联接的字线WL1至WL11施加第五通过电压Vpass5，并且可以向与尚未执行编程操作的页联接的字线WL13至WL16施加第三通过电压Vpass3。编程电压Vpgm可以被施加至与被选页联接的字线WL12，因此可以对被选页执行编程操作。

[0113] 上述编程操作还可以应用于垂直布置在基板上的3D存储装置。与此相关，将参照以下附图进行描述。

[0114] 图13是用于说明3D存储块的实施方式的示图。

[0115] 参照图13，存储单元阵列100可以包括多个存储块MB1至MBk。在图13中例示了第一存储块MB1的内部配置以帮助理解本公开，并且省略了剩余存储块MB2至MBk的内部配置。第二存储块MB2至第k存储块MBk可以具有与第一存储块MB1相同的配置。

[0116] 第一存储块MB1可以包括多个串ST11至ST1m和ST21至ST2m。在实施方式中，串ST11至ST1m和ST21至ST2m中的每一个可以形成为“U”形。在第一存储块MB1中，可以在行方向(即，X方向)上布置m个串。在图13中，例示了在列方向(即，Y方向)上布置两个串。然而，该例示是为了方便描述而给出的，并且可以在列方向上布置三个或更多个串。

[0117] 多个串ST11至ST1m和ST21至ST2m中的每一个可以包括至少一个源极选择晶体管SST、第一存储单元MC1至第n存储单元MCn、管晶体管PT和至少一个漏极选择晶体管DST。

[0118] 源极选择晶体管SST和漏极选择晶体管DST以及存储单元MC1至MCn可以具有相似的结构。在实施方式中，源极选择晶体管SST和漏极选择晶体管DST以及存储单元MC1至MCn中的每一个可以包括沟道层、隧道绝缘层、电荷捕获层和阻挡绝缘层。例如，可以针对每个串设置用于提供沟道层的柱。在实施方式中，可以针对每个串设置用于提供沟道层、隧道绝缘层、电荷捕获层和阻挡绝缘层中的至少一个的柱。

[0119] 每个串的源极选择晶体管SST可以联接在源线SL和存储单元MC1至MCp之间。

[0120] 在实施方式中，布置在同一行中的串的源极选择晶体管可以联接至在行方向上延伸的源极选择线，并且布置在不同的行中的串的源极选择晶体管可以联接至不同的源极选择线。在图13中，第一行中的串ST11至ST1m的源极选择晶体管可以联接至第一源极选择线SSL1。第二行中的串ST21至ST2m的源极选择晶体管可以联接至第二源极选择线SSL2。

[0121] 在另一实施方式中，串ST11至ST1m和ST21至ST2m的源极选择晶体管可以共同联接至单个源极选择线。

[0122] 每个串中的第一存储单元MC1至第n存储单元MCn可以联接在源极选择晶体管SST和漏极选择晶体管DST之间。

[0123] 第一存储单元MC1至第n存储单元MCn可以被划分成第一存储单元MC1至第p存储单元MCp以及第p+1存储单元MCp+1至第n存储单元MCn。第一存储单元MC1至第p存储单元MCp可以在Z方向上依次布置，并且可以串联连接在源极选择晶体管SST和管晶体管PT之间。第p+1

Micron Ex. 1002, p. 297
Micron v. YMTC
IPR2025-00190

存储单元MCp+1至第n存储单元MCn可以在Z方向上依次布置，并且可以串联连接在管晶体管PT和漏极选择晶体管DST之间。第一存储单元MC1至第p存储单元MCp以及第p+1存储单元MCp+1至第n存储单元MCn可以通过管晶体管PT彼此联接。每个串的第一存储单元MC1至第n存储单元MCn的栅极可以分别联接至第一字线WL1至第n字线WLn。

[0124] 在实施方式中，第一存储单元MC1至第n存储单元MCn中的至少一个可以用作虚拟存储单元。当虚拟存储单元被设置时，可以稳定地控制对应串的电压或电流。因此，可以提高存储在存储块MB1中的数据的可靠性。

[0125] 每个串的管晶体管PT的栅极可以联接到管线PL。

[0126] 每个串的漏极选择晶体管DST可以联接在对应位线和存储单元MCp+1至MCn之间。在行方向上布置的串可以联接到在行方向上延伸的漏极选择线。第一行中的串ST11至ST1m的漏极选择晶体管可以联接至第一漏极选择线DSL1。第二行中的串ST21至ST2m的漏极选择晶体管可以联接至第二漏极选择线DSL2。

[0127] 在列方向上布置的串可以联接至在列方向上延伸的位线。在图13中，第一列中的串ST11至ST21可以联接至第一位线BL1。第m列中的串ST1m和ST2m可以联接至第m位线BLm。

[0128] 在行方向上布置的串当中的与同一字线联接的存储单元构成单个页。例如，第一行中的串ST11至ST1m当中的与第一字线WL1联接的存储单元可以构成单个页。第二行中的串ST21至ST2m当中的与第一字线WL1联接的存储单元可以构成单个附加页。可以通过选择漏极选择线DSL1和DSL2中的任一条来选择在单个行方向上布置的串。可以通过选择字线WL1至WLn中的任一条从被选串中选择单个页。

[0129] 图14是用于说明图13的编程操作的示例的示图。

[0130] 参照图14，在这个示例中，假定从第一字线WL1至第a字线WLa依次执行编程操作，并且从第a+1字线WLa+1至第n字线WLn依次执行编程操作。

[0131] 当第五字线WL5是与被选页联接的字线时，第一字线WL1至第四字线WL4所联接的页可以是已经执行编程的页，并且第六字线WL6至第n字线WLn所联接的页可以是尚未执行编程操作的页。因此，当将编程电压Vpgm施加至与被选页联接的字线WL5时，可以向第一字线WL1至第四字线WL4施加第一通过电压Vpass1，并且可以向第六字线WL6至第n字线WLn施加比第一通过电压低的第二通过电压Vpass2。第一通过电压Vpass1和第二通过电压Vpass2可以被设置成高于0V且低于编程电压Vpgm的电压。

[0132] 另外，如果在串中包括虚拟单元，则当将编程电压Vpgm施加至与被选页联接的被选字线WL5时，可以向与虚拟单元联接的虚拟线DWL1至DWL4施加第一通过电压Vpass1或第二通过电压Vpass2。

[0133] 另外，当在与图14中例示的编程方向相反的方向上执行编程操作时，如以上参照图7所述，可以将第一通过电压Vpass1或第二通过电压Vpass2施加至未选字线。

[0134] 图15和图16是用于说明图13的编程操作的示例的示图。

[0135] 参照图15，可以像以上参照图10所述的编程操作的情况一样来设置参考页。在这个示例中，假定与第五字线WL5联接的页被设置为参考页，并且假定从第一字线WL1至第a字线WLa依次执行编程操作，并且从第a+1字线WLa+1至第n字线WLn依次执行编程操作。

[0136] 当第三字线WL3是与被选页联接的字线时，第一字线WL1和第二字线WL2所联接的页可以是已经执行编程操作的页，并且第四字线WL4至第n字线WLn所联接的页可以是尚未

Micron Ex. 1002, p. 298
Micron v. YMTC
IPR2025-00190

执行编程操作的页。因此，当编程电压Vpgm被施加至与被选页联接的字线WL3时，第三通过电压Vpass3或第四通过电压Vpass4可以被施加至第一字线WL1和第二字线WL2，并且第三通过电压Vpass3可以被施加至第四字线WL4至第n字线WLn。第三通过电压Vpass3和第四通过电压Vpass4可以被设置成高于0V且低于编程电压Vpgm的电压，并且第四通过电压Vpass4可以被设置成小于或等于第三通过电压Vpass3的电压。

[0137] 另外，如果在串中包括虚拟单元，则当编程电压Vpmg被施加至被选字线WL3时，第三通过电压Vpass3或第四通过电压Vpass4可以被施加至与虚拟单元联接的虚拟线DWL1至DWL4。

[0138] 参照图16，在这个示例中，假定第五字线WL5所联接的页被设置为参考页，并且假定从第一字线WL1至第a字线WLa依次执行编程操作，并且从第a+1字线WLa+1至第n字线WLn依次执行编程操作。

[0139] 当第a-1字线WLa-1是与被选页联接的字线时，第一字线WL1至第a-2字线WLa-2所联接的页可以是已经执行编程操作的页，并且第a字线WLa至第n第n字线WLn所联接的页可以是尚未执行编程操作的页。因此，当编程电压Vpgm被施加至与被选页联接的字线WLa-1时，第五通过电压Vpass5可以被施加至第一字线WL1至第a-2字线WLa-2，并且第三通过电压Vpass3可以被施加至第a字线WLa至第n字线WLn。第三通过电压Vpass3和第五通过电压Vpass5可以被设置成高于0V且低于编程电压Vpgm的电压，并且第三通过电压Vpass3可以被设置成小于第五通过电压Vpass5的电压。

[0140] 另外，如果在串中包括虚拟单元，则当编程电压Vpmg被施加至被选字线WLa-1时，第三通过电压Vpass3或第五通过电压Vpass5可以被施加至与虚拟单元联接的虚拟线DWL1至DWL4。

[0141] 图17是用于说明3D存储块的实施方式的示图。

[0142] 参照图17，存储单元阵列100可以包括多个存储块MB1至MBk。在图17中例示了第一存储块MB1的内部配置以帮助理解本公开，并且省略了剩余存储块MB2至MBk的内部配置。第二存储块MB2至第k存储块MBk可以具有与第一存储块MB1相同的配置。

[0143] 第一存储块MB1可以包括多个串ST11'至ST1m'和ST21'至ST2m'。多个串ST11'至ST1m'和ST21'至ST2m'中的每一个可以沿Z方向延伸。在第一存储块MB1中，可以在X方向上布置m个串。虽然在图17中例示了在Y方向上布置两个串，但是该例示仅是为了方便描述，并且可以在列方向上布置三个或更多个串。

[0144] 串ST11'至ST1m'和ST21'至ST2m'中的每一个可以包括至少一个源极选择晶体管SST、第一存储单元MC1至第n存储单元MCn和至少一个漏极选择晶体管DST。

[0145] 每个串的源极选择晶体管SST可以联接在源线SL和存储单元MC1至MCn之间。布置在同一行中的串的源极选择晶体管可以联接到同一源极选择线。布置在第一行中的串ST11'至ST1m'的源极选择晶体管可以联接到第一源极选择线SSL1。布置在第二行中的串ST21'至ST2m'的源极选择晶体管可以联接到第二源极选择线SSL2。在其它实施方式中，串ST11'至ST1m'和ST21'至ST2m'的源极选择晶体管可以共同联接到单条源选择线。

[0146] 每个串中的第一存储单元MC1至第n存储单元MCn可以串联连接在源极选择晶体管SST和漏极选择晶体管DST之间。第一存储单元MC1至第n存储单元MCn的栅极可以分别联接至第一字线WL1至第n字线WLn。

Micron Ex. 1002, p. 299
Micron v. YMTC
IPR2025-00190

[0147] 在实施方式中，第一存储单元MC1至第n存储单元MCn中的至少一个可以用作虚拟存储单元。当提供虚拟存储单元时，可以稳定地控制对应串的电压或电流。因此，可以提高存储在存储块MB1中的数据的可靠性。

[0148] 每个串的漏极选择晶体管DST可以联接在对应位线和存储单元MC1至MCn之间。在行方向上布置的串的漏极选择晶体管DST可以联接至在行方向上延伸的漏极选择线。第一行中的串ST11'至ST1m'的漏极选择晶体管DST可以联接至第一漏极选择线DSL1。第二行中的串ST21'至ST2m'的漏极选择晶体管DST可以联接至第二漏极选择线DSL2。

[0149] 因此，除了每个串不包括管晶体管PT之外，图17的存储块MB1可以具有与图13的存储块MB1的等效电路相似的等效电路。

[0150] 图18是用于说明图17的编程操作的示例的示图。

[0151] 参照图18，在这个示例中，假定从第一字线WL1至第n字线WLn依次执行编程操作。

[0152] 当第四字线WL4是与被选页联接的字线时，第一字线WL1至第三字线WL3所联接的页可以是已经执行编程操作的页，并且第五字线WL5至第n字线WLn所联接的页可以是尚未执行编程操作的页。因此，当编程电压Vpgm被施加至与被选页联接的字线WL4时，第一通过电压Vpass1可以被施加至第一字线WL1至第三字线WL3，并且比第一通过电压低的第二通过电压Vpass2可以被施加至第五字线WL5至第n字线WLn。第一通过电压Vpass1和第二通过电压Vpass2可以被设置成高于0V且低于编程电压Vpgm的电压。

[0153] 另外，如果在串中包括虚拟单元，则当编程电压Vpmg被施加至被选字线WL4时，第一通过电压Vpass1或第二通过电压Vpass2可以被施加至与虚拟单元联接的虚拟线DWL1和DWL2。

[0154] 此外，当在与图18中例示的编程方向相反的方向上执行编程操作时，如以上参照图7所述，第一通过电压Vpass1或第二通过电压Vpass2可以被施加至未选字线。

[0155] 图19和图20是用于说明图17的编程操作的示例的示图。

[0156] 参照图19，可以像以上参照图10描述的编程操作的情况一样设置参考页。例如，假定第n-4字线WLn-4所联接的页被设置为参考页，并且假定从第一字线WL1至第n字线WLn依次执行编程操作。

[0157] 当第五字线WL5是与被选页联接的字线时，第一字线WL1至第四字线WL4所联接的页可以是已经执行编程操作的页，并且第六字线WL6至第n字线WLn所联接的页可以是尚未执行编程操作的页。因此，当编程电压Vpgm被施加至与被选页联接的字线WL5时，第三通过电压Vpass3或第四通过电压Vpass4可以被施加至第一字线WL1至第四字线WL4，并且第三通过电压Vpass3可以被施加至第六字线WL6至第n字线WLn。第三通过电压Vpass3和第四通过电压Vpass4可以被设置成高于0V且低于编程电压Vpgm的电压，并且第四通过电压Vpass4可以被设置成小于或等于第三通过电压Vpass3的电压。

[0158] 另外，如果在串中包括虚拟单元，则当编程电压Vpmg被施加至被选字线WL5时，第三通过电压Vpass3或第四通过电压Vpass4可以被施加至与虚拟单元联接的虚拟线DWL1和DWL2。

[0159] 参照图20，假定第n-4字线WLn-4所联接的页被设置为参考页，并且假定从第一字线WL1至第n字线WLn依次执行编程操作。

[0160] 当第n-2字线WLn-2是与被选页联接的字线时，第一字线WL1至第n-3字线WLn-3所

Micron Ex. 1002, p. 300
Micron v. YMTC
IPR2025-00190

联接的页可以是已经执行编程操作的页，并且第n-1字线WLn-1和第n字线WLn所联接的页可以是尚未执行编程操作的页。因此，当编程电压Vpgm被施加至与被选页联接的字线WLn-2时，第五通过电压Vpass5可以被施加至第一字线WL1至第n-3字线WLn-3，并且第三通过电压Vpass3可以被施加至第n-1字线WLn-1和第n字线WLn。第三通过电压Vpass3和第五通过电压Vpass5可以被设置成高于0V且低于编程电压Vpgm的电压，并且第三通过电压Vpass3可以被设置成小于第五通过电压Vpass5的电压。

[0161] 另外，如果在串中包括虚拟单元，则当编程电压Vpmg被施加至被选字线WLn-2时，第三通过电压Vpass3或第五通过电压Vpass5可以被施加至与虚拟单元联接的虚拟线DWL1和DWL2。

[0162] 如上所述，当根据在编程操作期间是否已经对未选页编程来调节通过电压时，可以抑制经编程的存储单元的阈值电压的变化，并且可以减少编程干扰现象。对于该操作，上述实施方式中的每一个可以单独执行或与一些实施方式组合执行。因此，可以提高存储装置的编程操作可靠性。

[0163] 图21是例示包括图2中示出的存储装置的存储系统的实施方式的示图。

[0164] 参照图21，存储系统30000可以在蜂窝电话、智能电话、平板PC、个人数字助理(PDA)或无线通信装置中实施。存储系统30000可以包括存储装置1100和能够控制存储装置1100的操作的存储控制器1200。存储控制器1200可以在处理器3100的控制下控制存储装置1100的数据访问操作(例如，编程、擦除或读取操作)。

[0165] 在存储装置1100中编程的数据可以在存储控制器1200的控制下通过显示器3200输出。

[0166] 无线电收发器3300可以通过天线ANT来发送和接收无线电信号。例如，无线电收发器3300可以将通过天线ANT接收的无线电信号改变成可以在处理器3100中处理的信号。因此，处理器3100可以处理从无线电收发器3300输出的信号并且将经处理的信号发送至存储控制器1200或显示器3200。存储控制器1200可以将由处理器3100处理的信号编程到存储装置1100。此外，无线电收发器3300可以将从处理器3100输出的信号改变成无线电信号，并且通过天线ANT将经改变的无线电信号输出到外部装置。输入装置3400可以被用于输入用于控制处理器3100的操作的控制信号或者要由处理器3100处理的数据。输入装置3400可以被实现为诸如触摸焊盘或计算机鼠标、小型键盘或键盘这样的定点装置。处理器3100可以控制显示器3200的操作，使得从存储控制器1200输出的数据、从无线电收发器3300输出的数据或者从输入装置3400输出的数据通过显示器3200输出。

[0167] 在实施方式中，能够控制存储装置1100的操作的存储控制器1200可以被实现为处理器3100的部件或者与处理器3100分开设置的芯片。

[0168] 图22是例示包括图2中示出的存储装置的存储系统的实施方式的示图。

[0169] 参照图22，存储系统40000可以在个人计算机、平板PC、上网本、电子阅读器、个人数字助理(PDA)、便携式多媒体播放器(PMP)、MP3播放器或MP4播放器中实施。

[0170] 存储系统40000可以包括存储装置1100和能够控制存储装置1100的数据处理操作的存储控制器1200。

[0171] 处理器4100可以根据从输入装置4200输入的数据，通过显示器4300来输出存储在存储装置1100中的数据。例如，输入装置4200可以被实现为诸如触摸焊盘或计算机鼠标、小

Micron Ex. 1002, p. 301
Micron v. YMTC
IPR2025-00190

型键盘或键盘这样的定点装置。

[0172] 处理器4100可以控制存储系统40000的整体操作和存储控制器1200的控制操作。在实施方式中，能够控制存储装置1100的操作的存储控制器1200可以被实现为处理器4100的部件或者与处理器4100分开设置的芯片。

[0173] 图23是例示包括图2中示出的存储装置的存储系统的实施方式的示图。

[0174] 参照图23，存储系统50000可以在例如数码相机的图像处理装置、设置有数码相机的便携式电话、设置有数码相机的智能电话或设置有数码相机的平板PC中实施。

[0175] 存储系统50000可以包括存储装置1100和能够控制存储装置1100的数据处理操作(例如，编程、擦除或读取操作)的存储控制器1200。

[0176] 存储系统50000的图像传感器5200可以将光学图像转换成数字信号。经转换的数字信号可以被发送到处理器5100或存储控制器1200。在处理器5100的控制下，经转换的数字信号可以通过显示器5300输出或者通过存储控制器1200存储在存储装置1100中。存储在存储装置1100中的数据可以在处理器5100或存储控制器1200的控制下通过显示器5300输出。

[0177] 在实施方式中，能够控制存储装置1100的操作的存储控制器1200可以被实现为处理器5100的部件或者与处理器5100分开设置的芯片。

[0178] 图24是例示包括图2中示出的存储装置的存储系统的实施方式的示图。

[0179] 参照图24，存储系统70000可以在存储卡或智能卡中实施。存储系统70000可以包括存储装置1100、存储控制器1200和卡接口7100。

[0180] 存储控制器1200可以控制存储装置1100和卡接口7100之间的数据交换。在实施方式中，卡接口7100可以是安全数字(SD)卡接口或多媒体卡(MMC)接口，但是不限于此。

[0181] 卡接口7100可以根据主机60000的协议用接口进行主机60000和存储控制器1200之间的数据交换。在实施方式中，卡接口7100可以支持通用串行总线(USB)协议和芯片间(IC)USB协议。这里，卡接口可以是指能够支持供主机60000使用的协议的硬件、安装在硬件中的软件或信号传输方法。

[0182] 当存储系统70000连接到诸如PC、平板PC、数码相机、数字音频播放器、蜂窝电话、控制台视频游戏硬件或数字机顶盒这样的主机60000的主机接口6200时，主机接口6200可以在微处理器6100的控制下通过卡接口7100和存储控制器1200与存储装置1100执行数据通信。

[0183] 本公开可以提高存储装置的编程操作可靠性。

[0184] 本文中已经公开了实施方式的示例，并且虽然采用了具体术语，但是仅以通用和描述性意义而非出于限制目的使用这些术语并且对其进行了解释。在一些情形下，除非另外具体指明，否则如提交本申请时本领域普通技术人员将显而易见的，结合具体实施方式描述的特征、特性和/或元件可以单独使用或与结合其它实施方式描述的特征、特性和/或元件组合使用。因此，本领域的技术人员将理解，可以在不脱离如所附的权利要求中阐述的本公开的精神和范围的情况下进行形式和细节上的各种改变。

[0185] 相关申请的交叉引用

[0186] 本申请要求于2017年1月5日在韩国知识产权局提交的韩国专利申请No.10-2017-0001875的优先权，该韩国专利申请的全部公开内容通过引用并入本文中。

Micron Ex. 1002, p. 302
Micron v. YMTC
IPR2025-00190

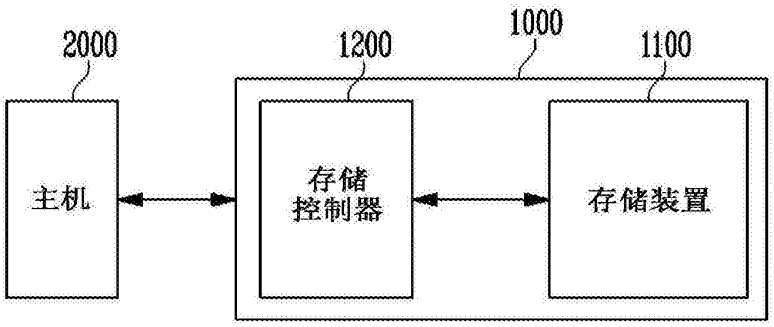


图1

Micron Ex. 1002, p. 303
Micron v. YMTC
IPR2025-00190

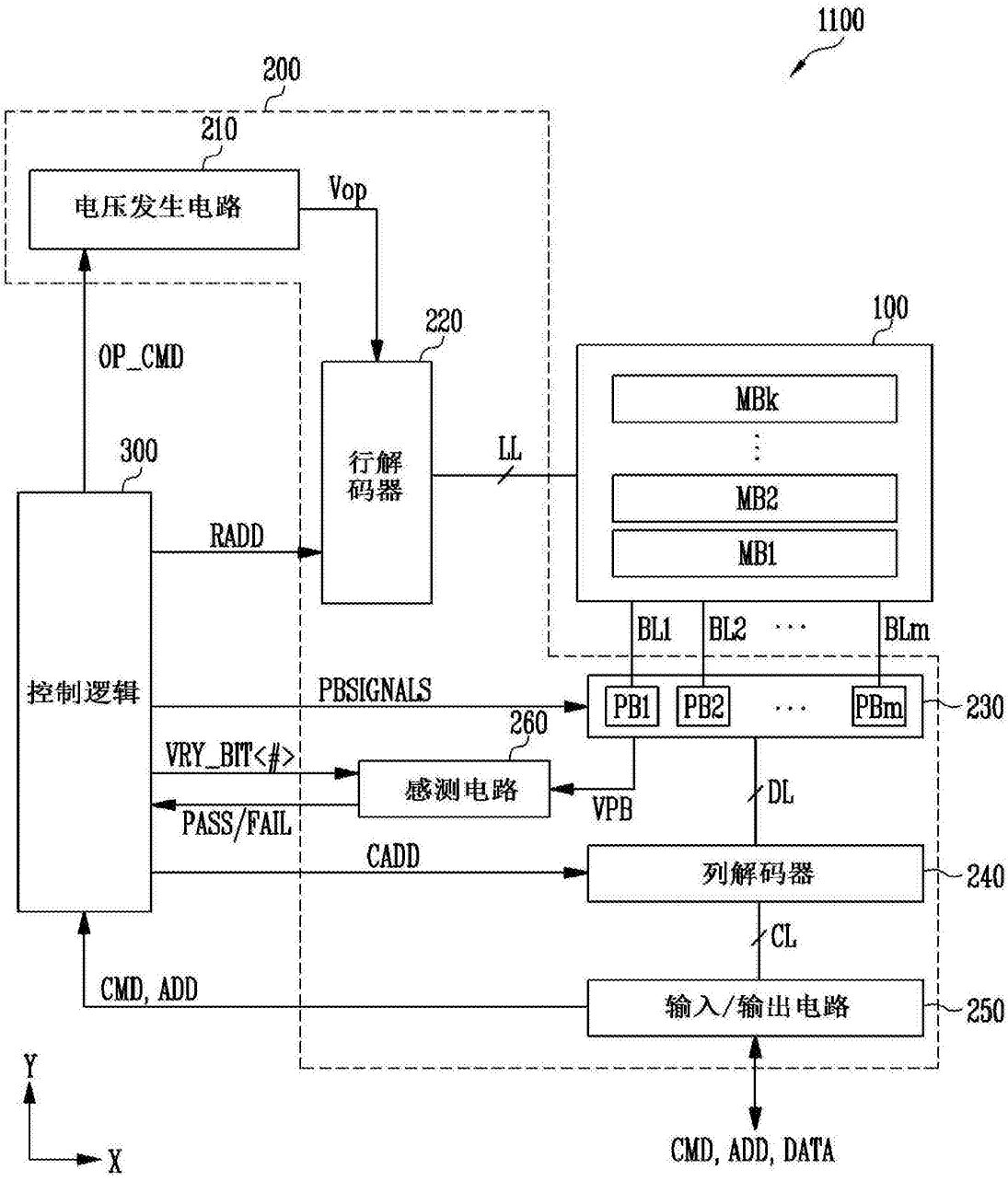


图2

Micron Ex. 1002, p. 304
Micron v. YMTC
IPR2025-00190

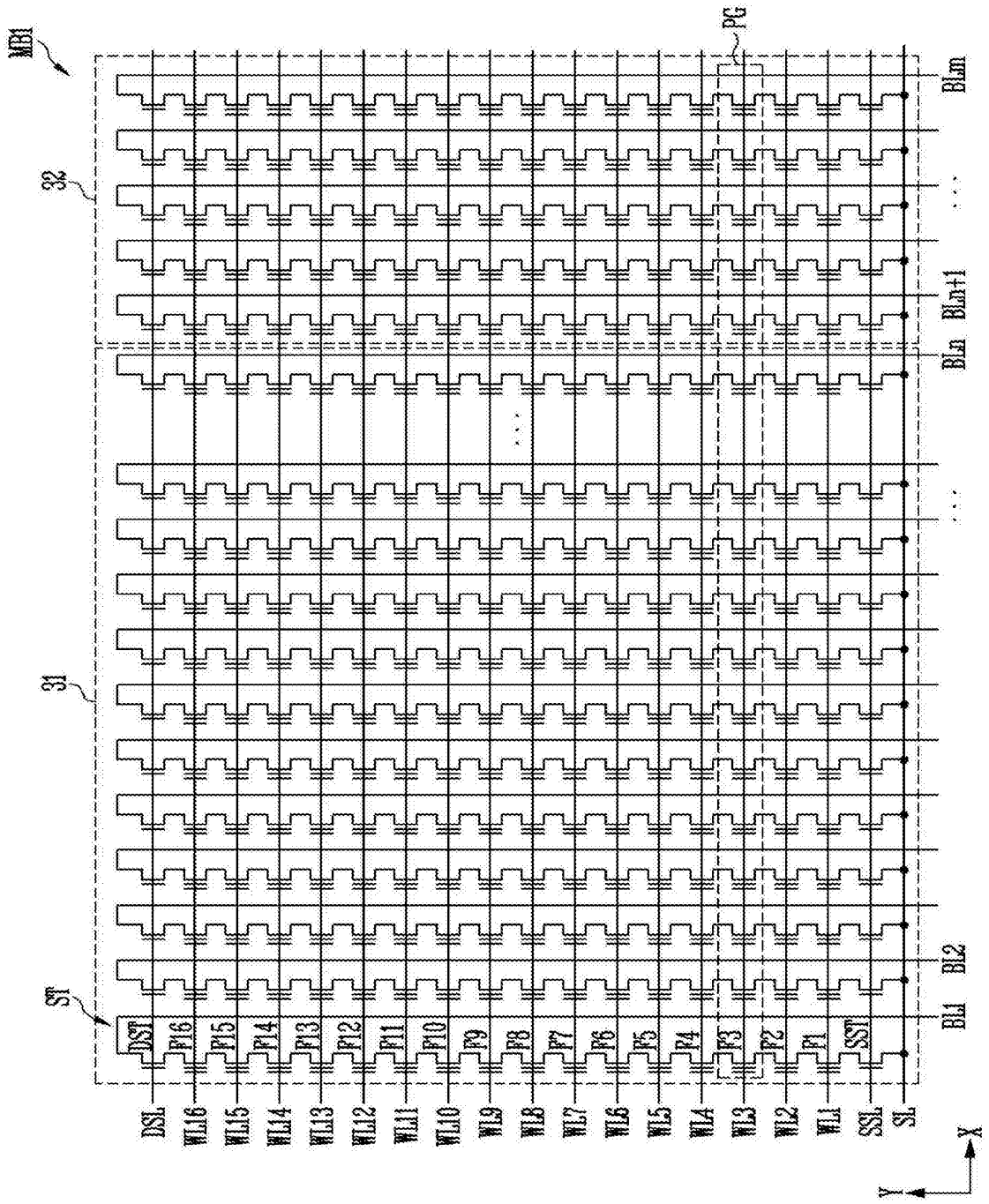


图3

Micron Ex. 1002, p. 305
Micron v. YMTC
IPR2025-00190

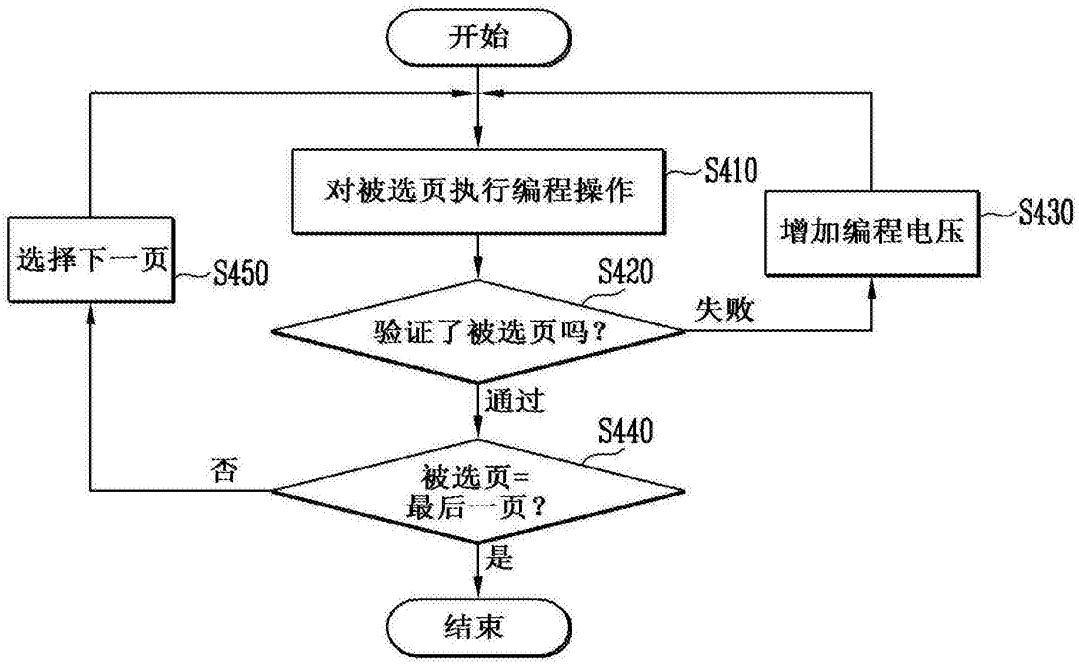


图4

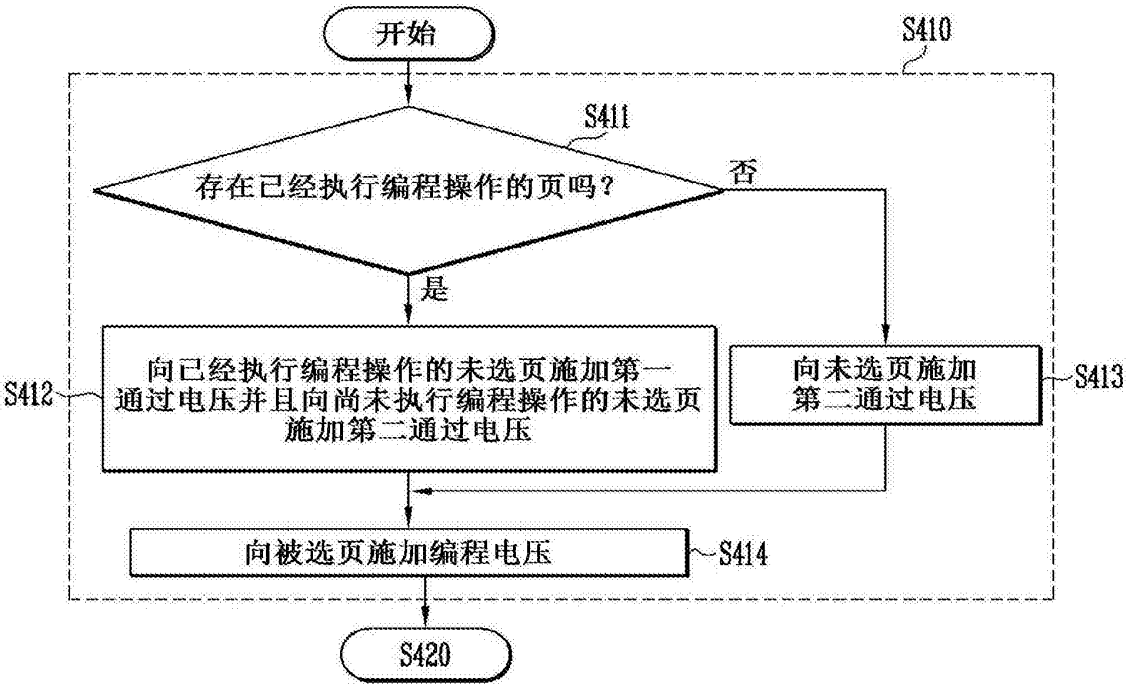


图5

Micron Ex. 1002, p. 306
Micron v. YMTC
IPR2025-00190

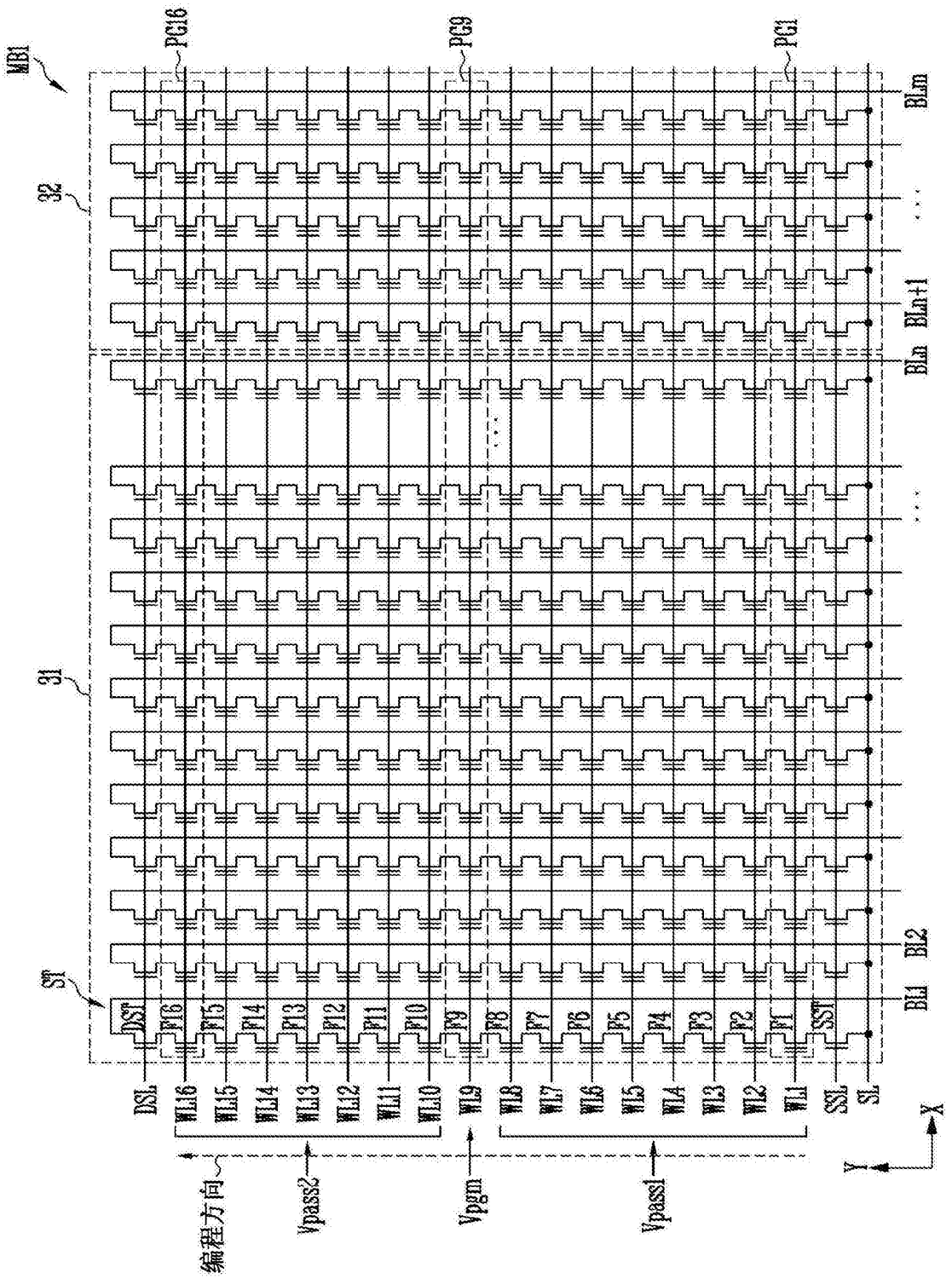


图6

Micron Ex. 1002, p. 307
Micron v. YMTC
IPR2025-00190

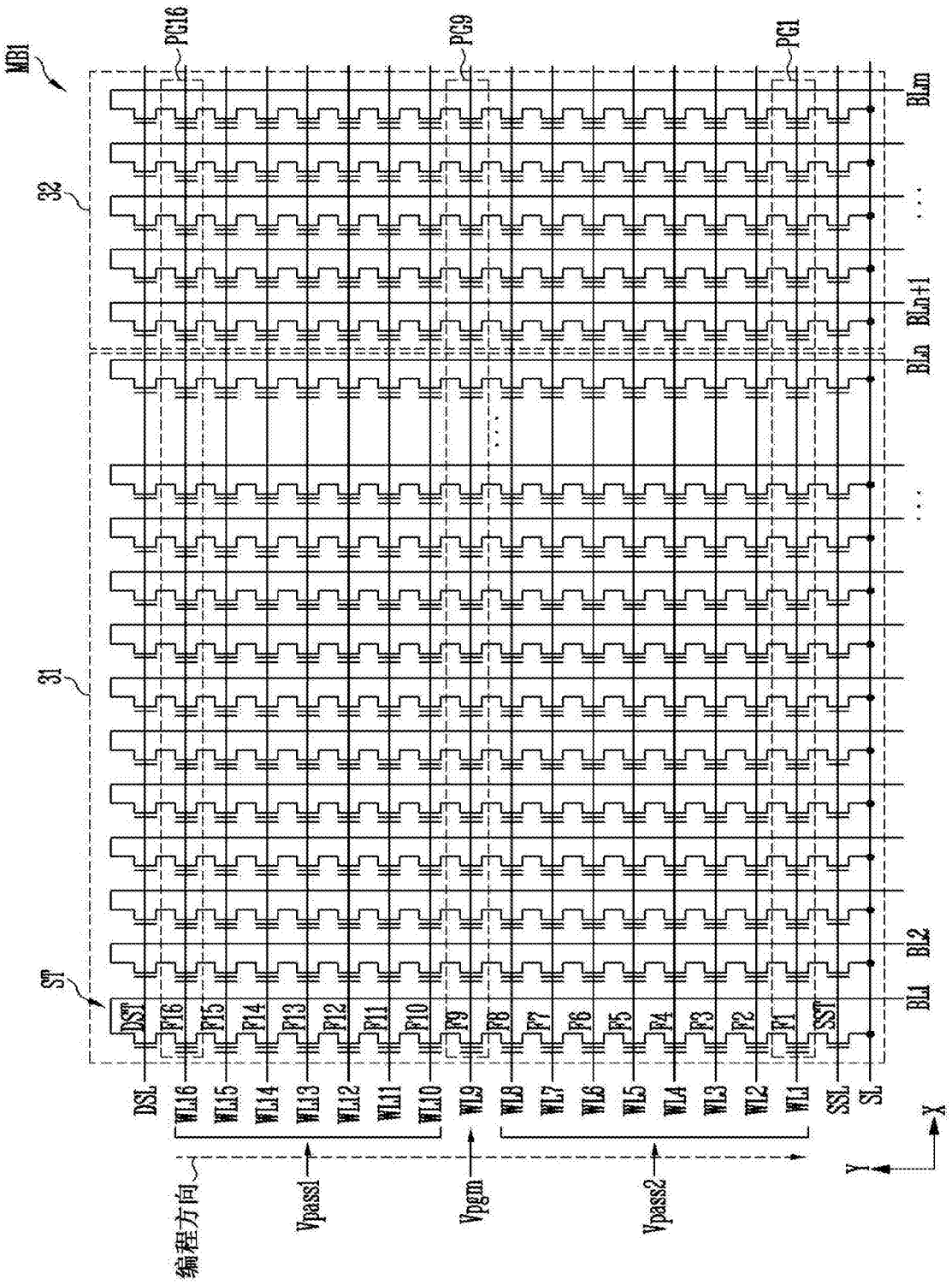


图7

Micron Ex. 1002, p. 308
Micron v. YMTC
IPR2025-00190

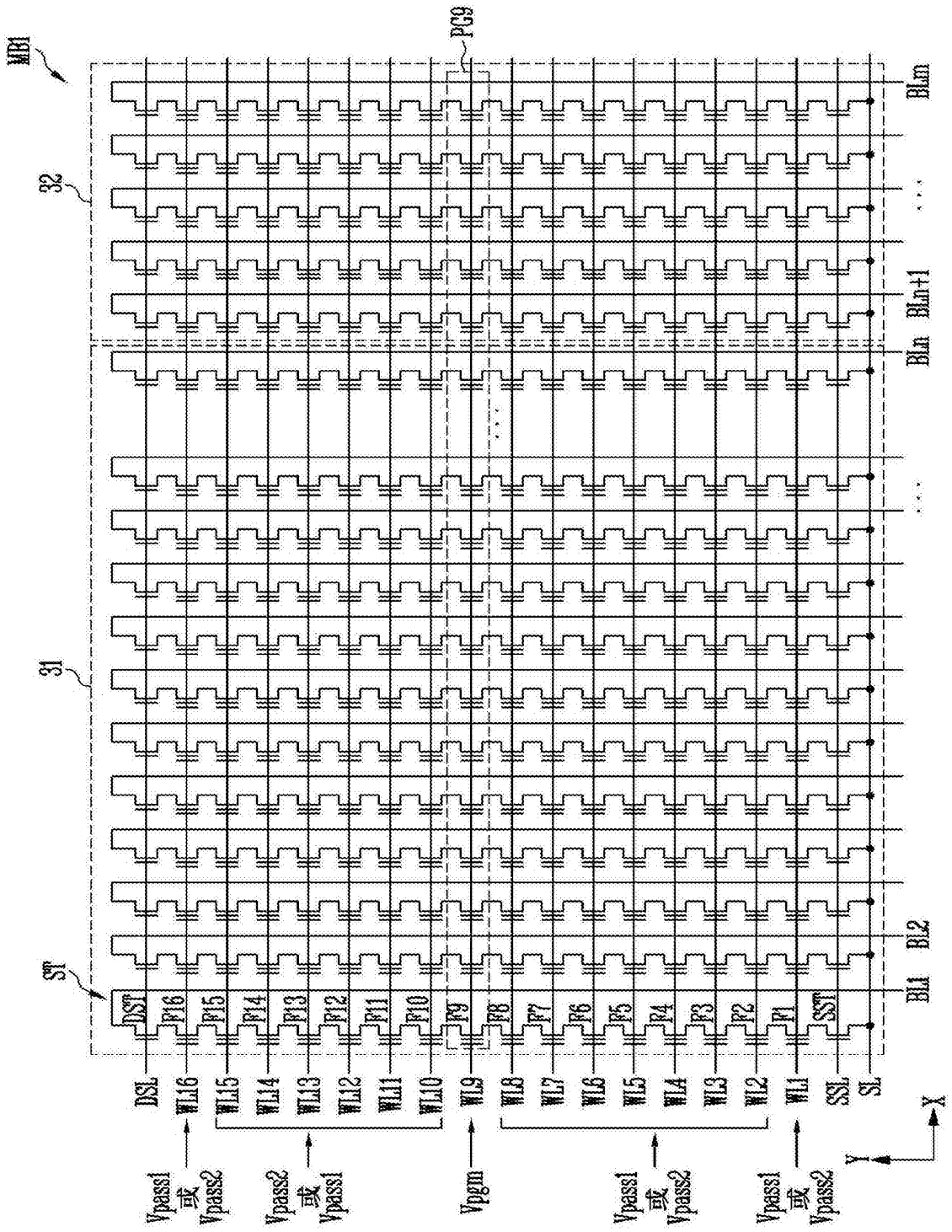


图8

Micron Ex. 1002, p. 309
Micron v. YMTC
IPR2025-00190

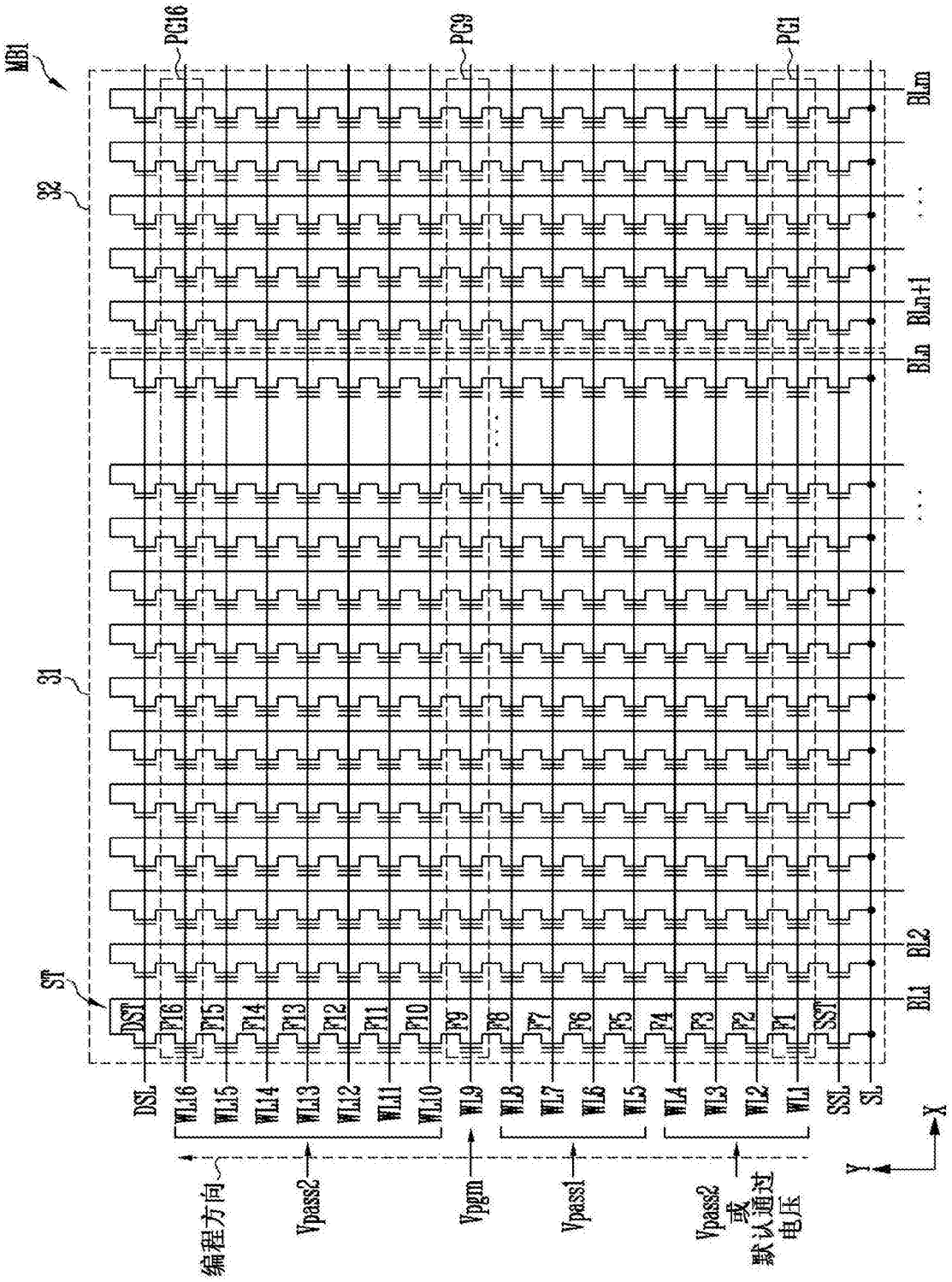


图9

Micron Ex. 1002, p. 310
Micron v. YMTC
IPR2025-00190

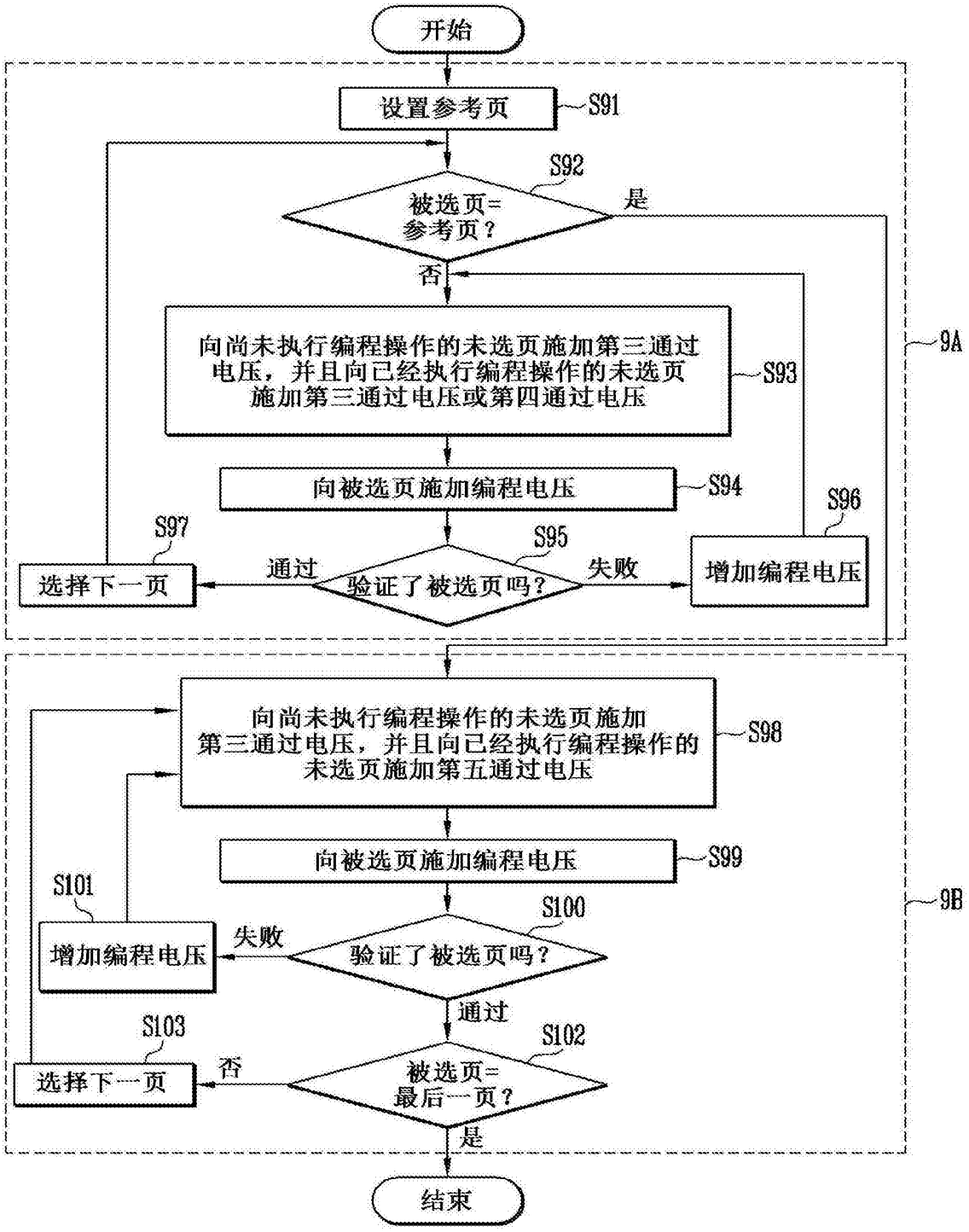


图10

Micron Ex. 1002, p. 311
Micron v. YMTC
IPR2025-00190

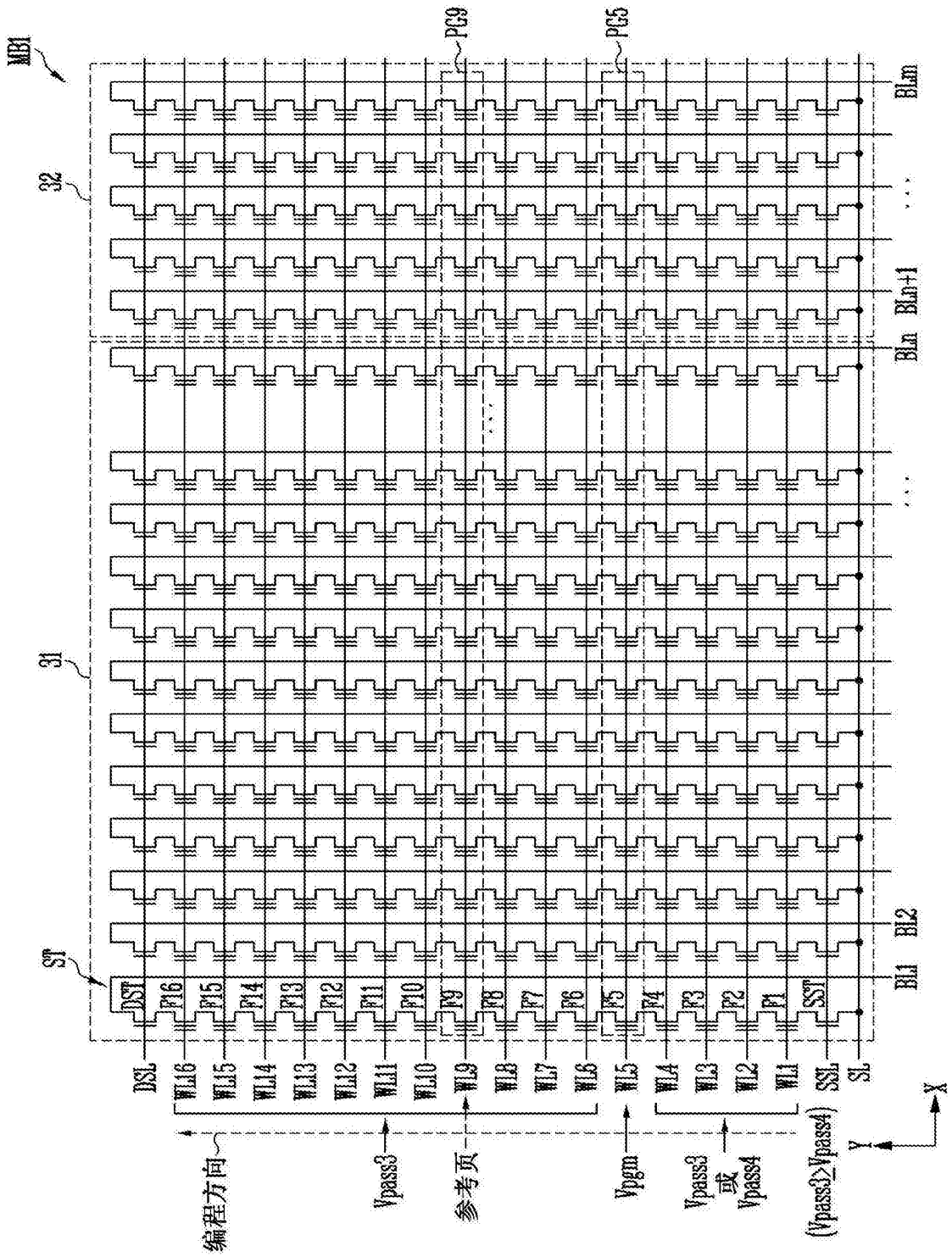


图11

Micron Ex. 1002, p. 312
Micron v. YMTC
IPR2025-00190

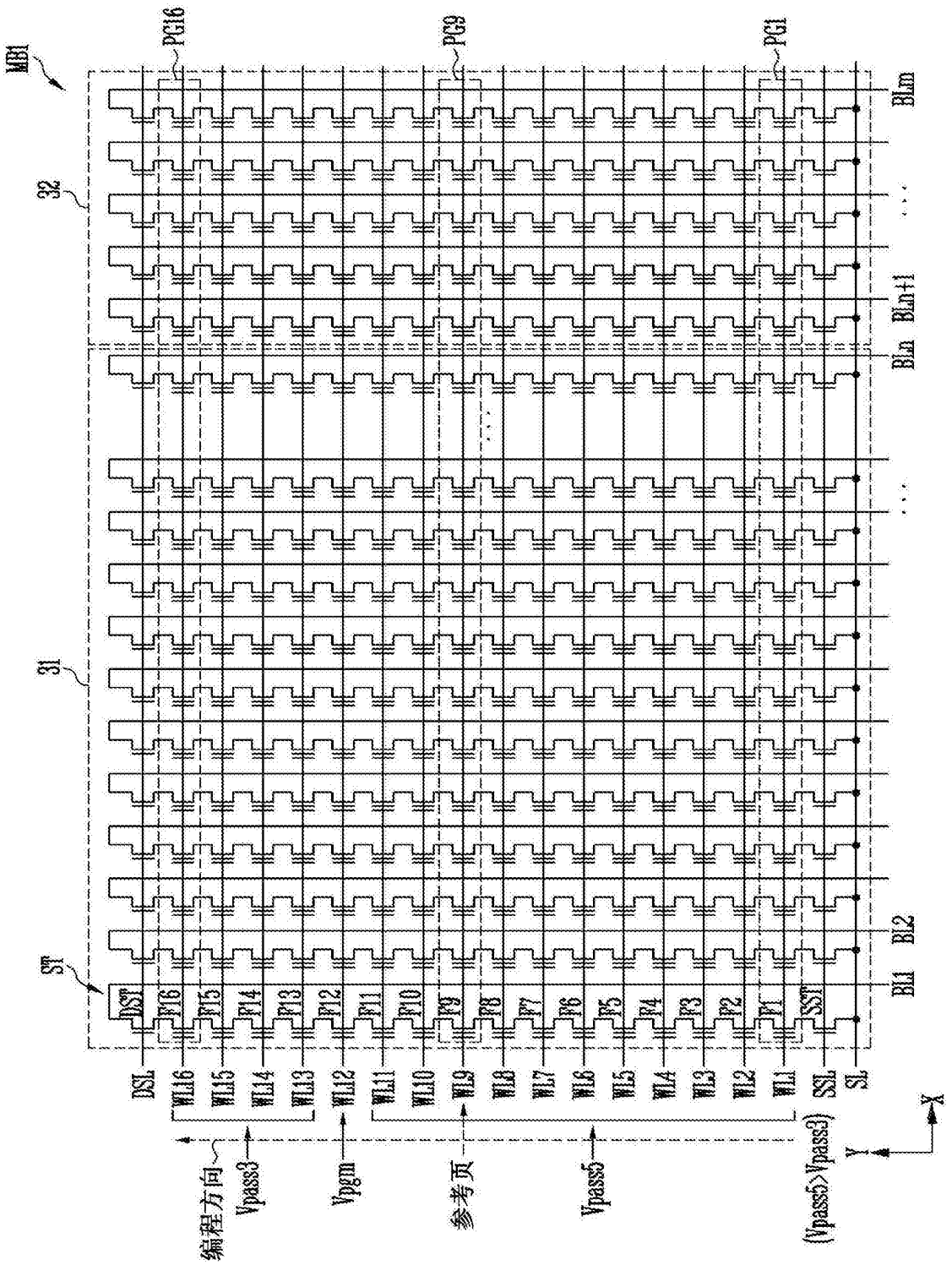


图12

Micron Ex. 1002, p. 313
Micron v. YMTC
IPR2025-00190

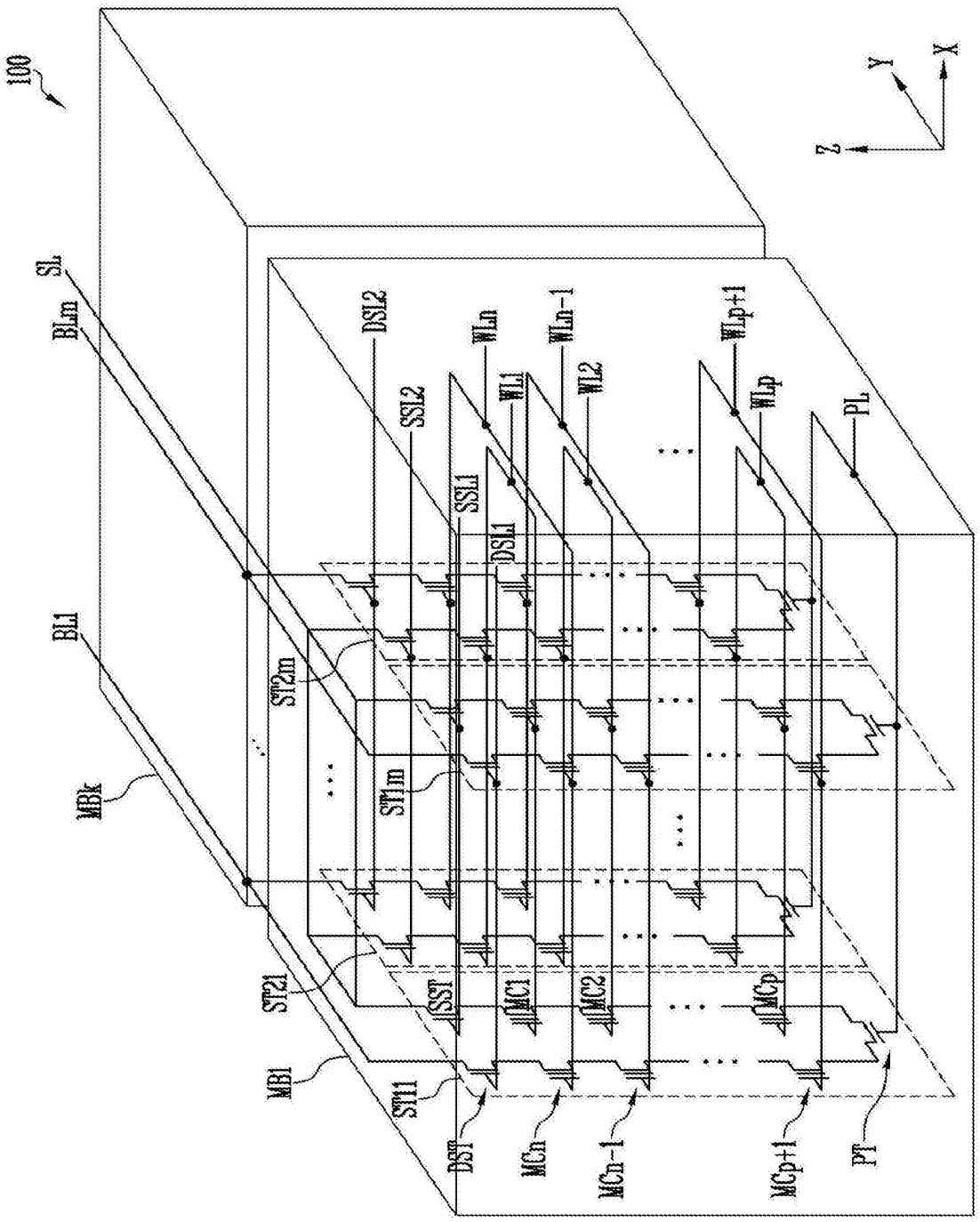


图13

Micron Ex. 1002, p. 314
Micron v. YMTC
IPR2025-00190

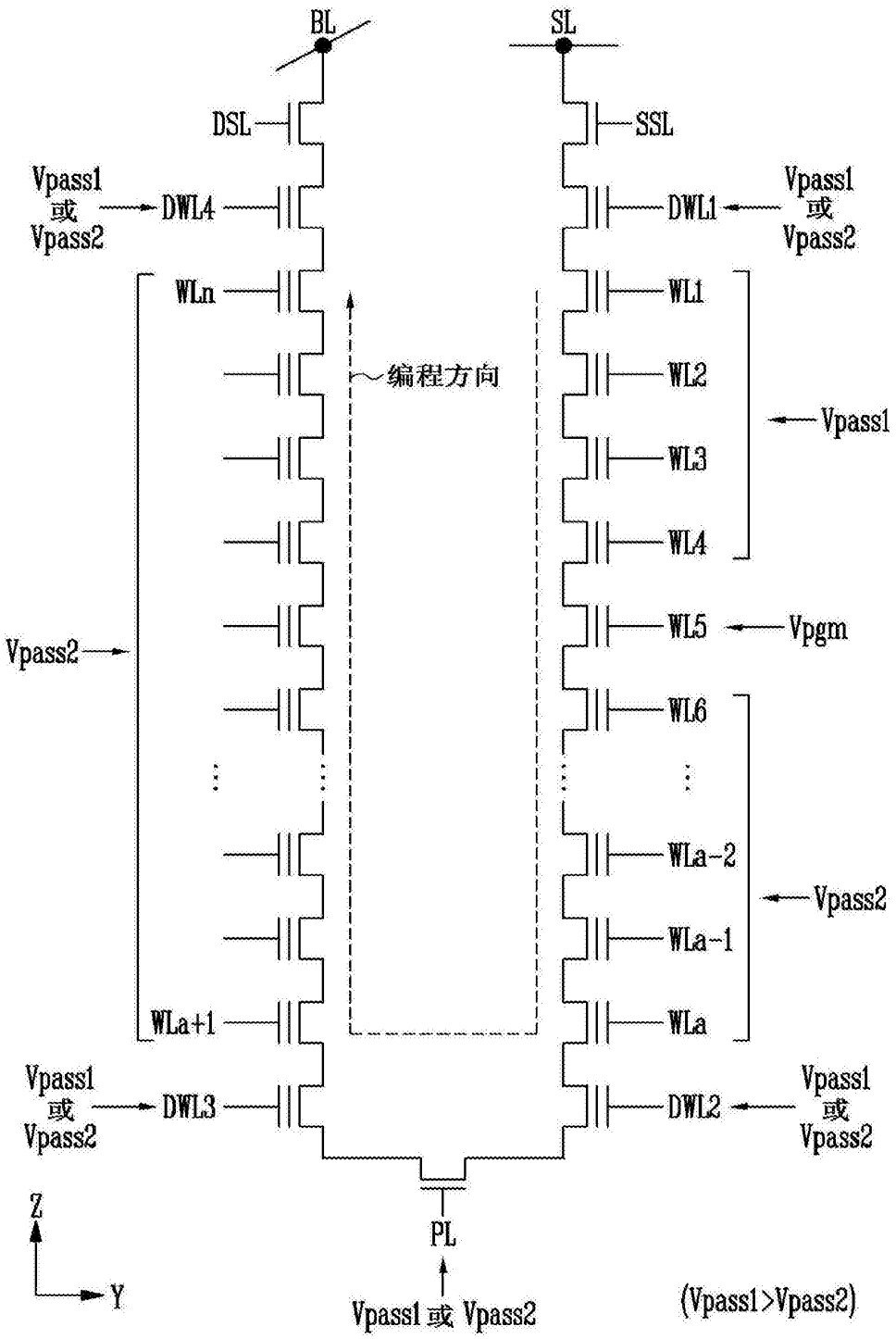


图14

Micron Ex. 1002, p. 315
Micron v. YMTC
IPR2025-00190

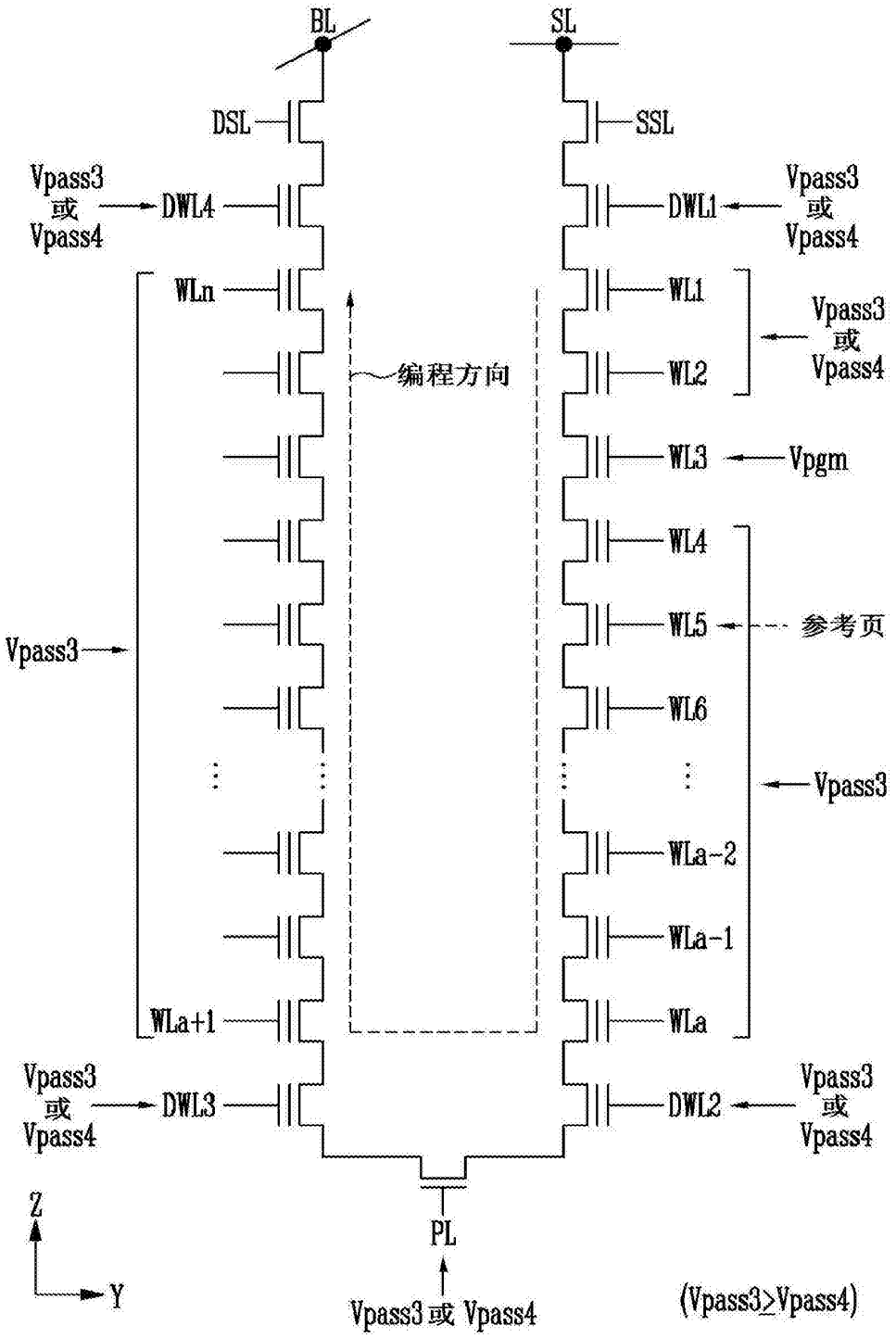


图15

Micron Ex. 1002, p. 316
Micron v. YMTC
IPR2025-00190

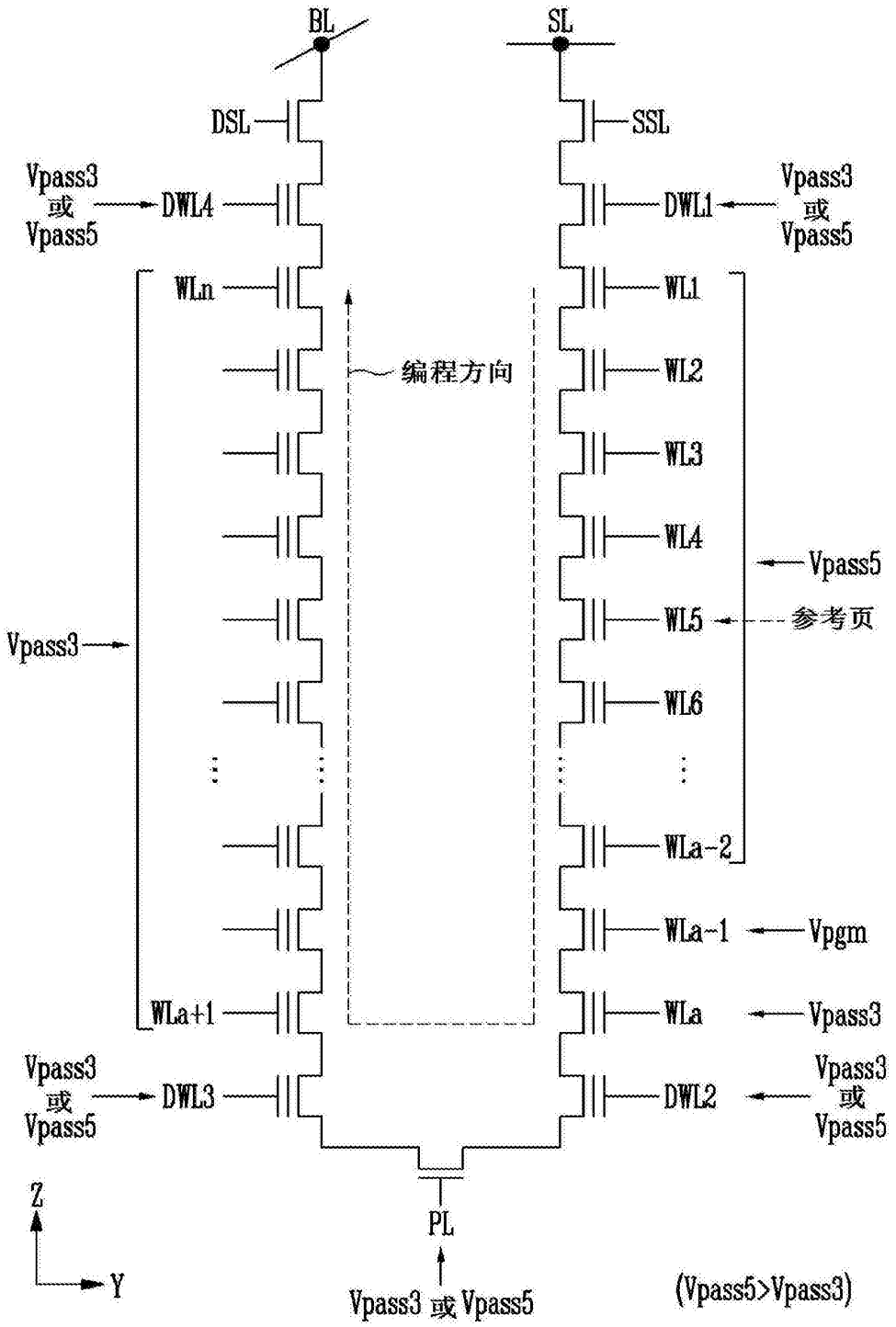


图16

Micron Ex. 1002, p. 317
Micron v. YMTC
IPR2025-00190

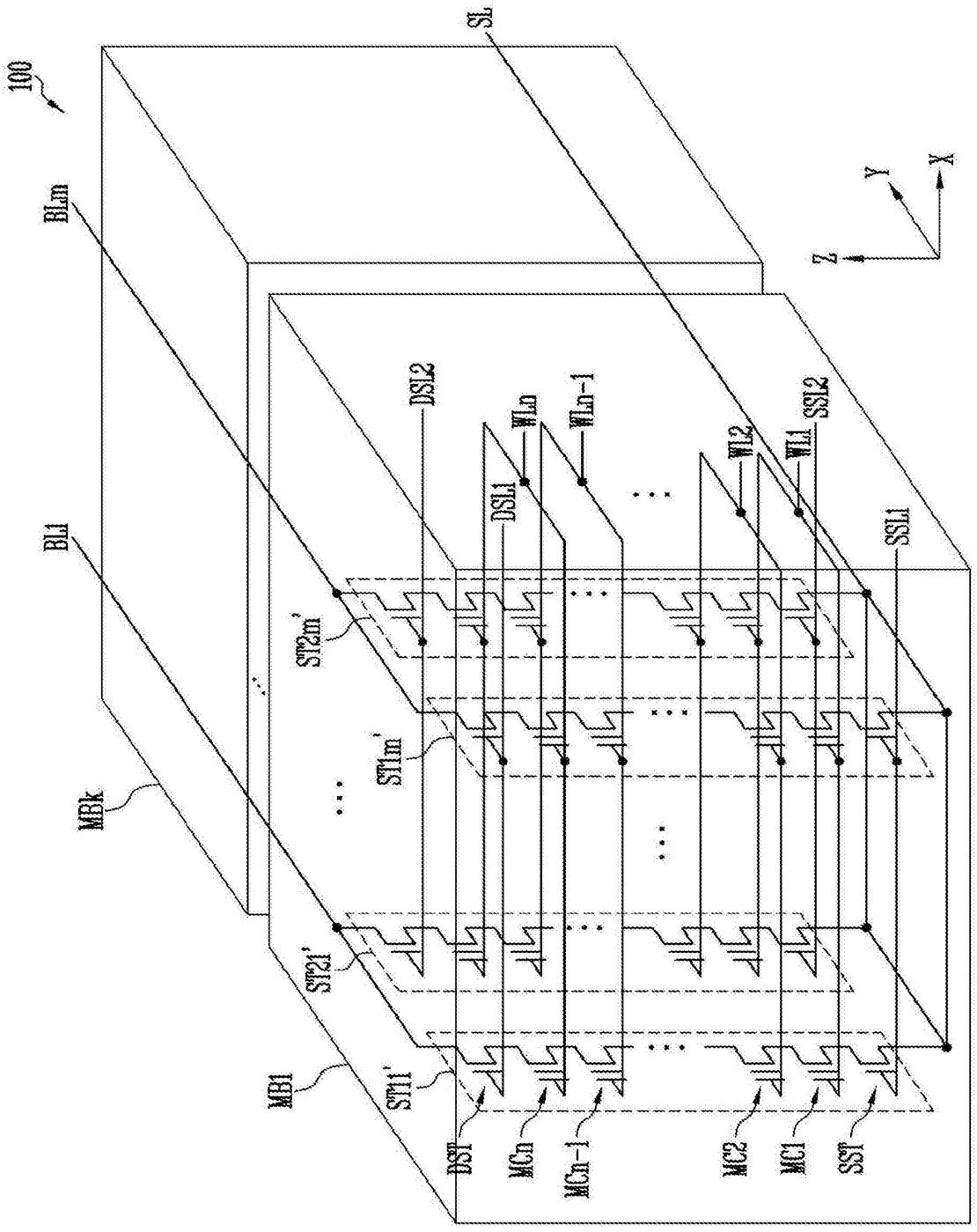


图17

Micron Ex. 1002, p. 318
Micron v. YMTC
IPR2025-00190

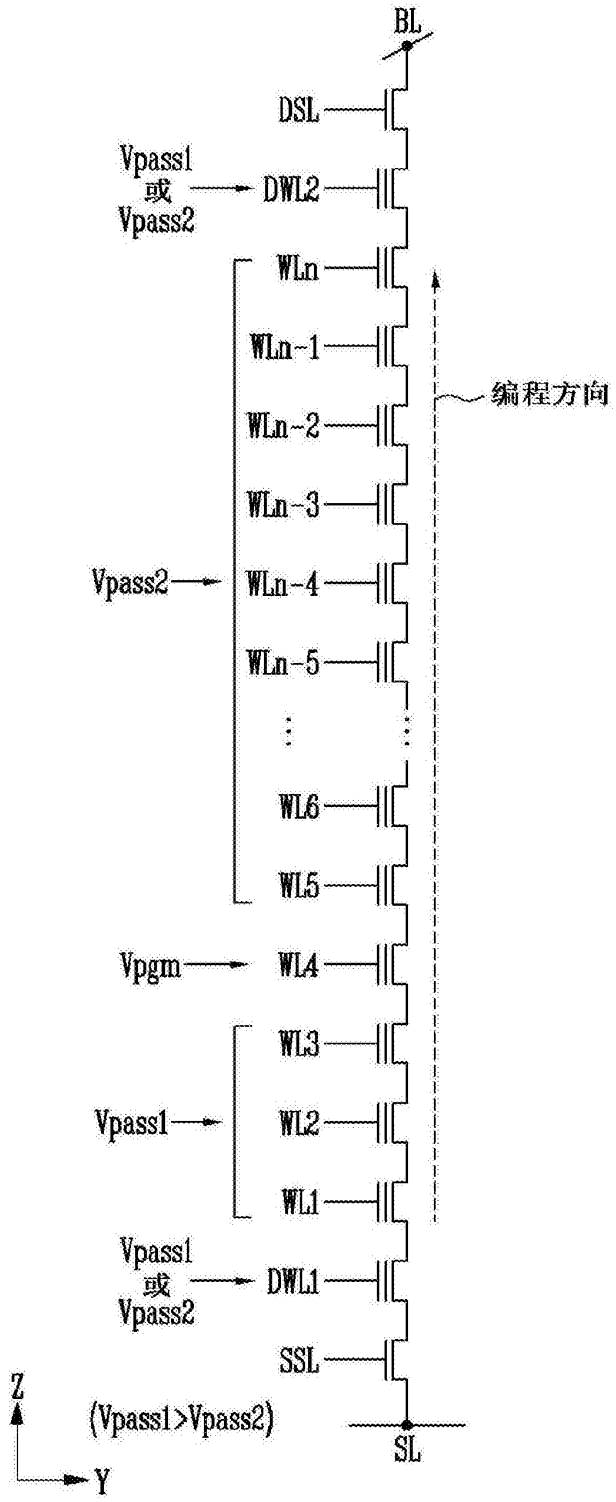


图18

Micron Ex. 1002, p. 319
Micron v. YMTC
IPR2025-00190

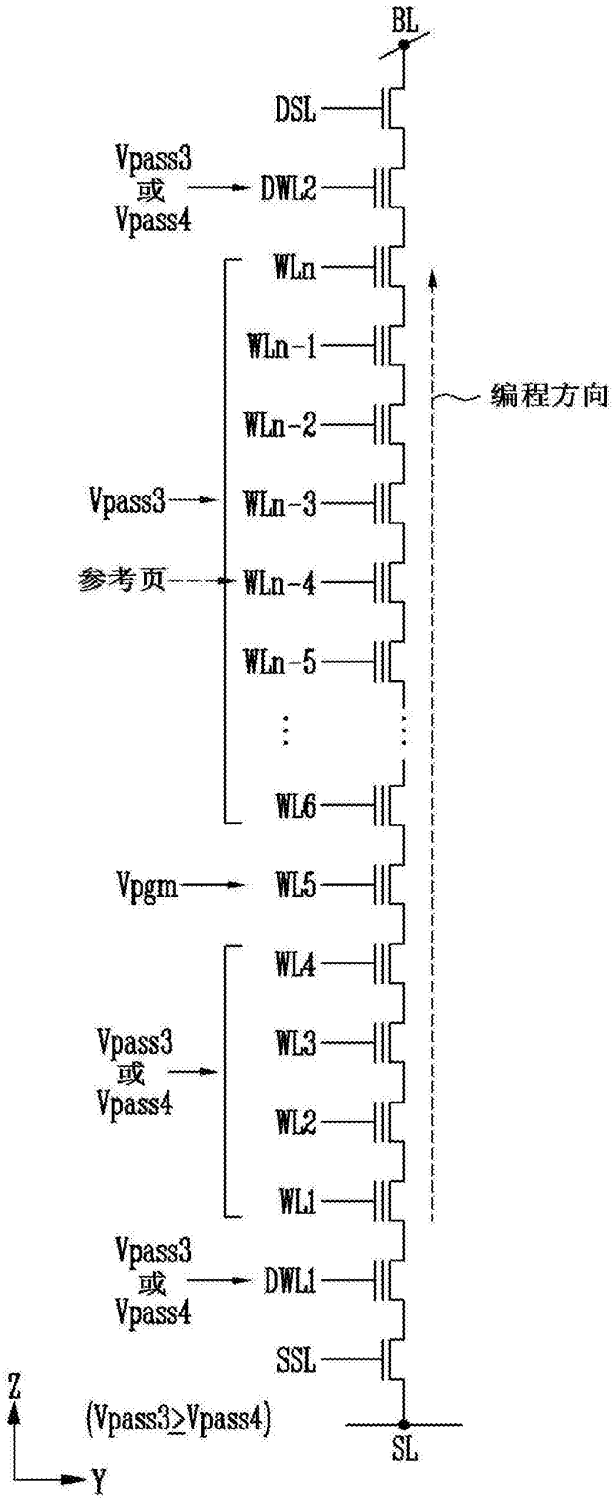


图19

Micron Ex. 1002, p. 320
Micron v. YMTC
IPR2025-00190

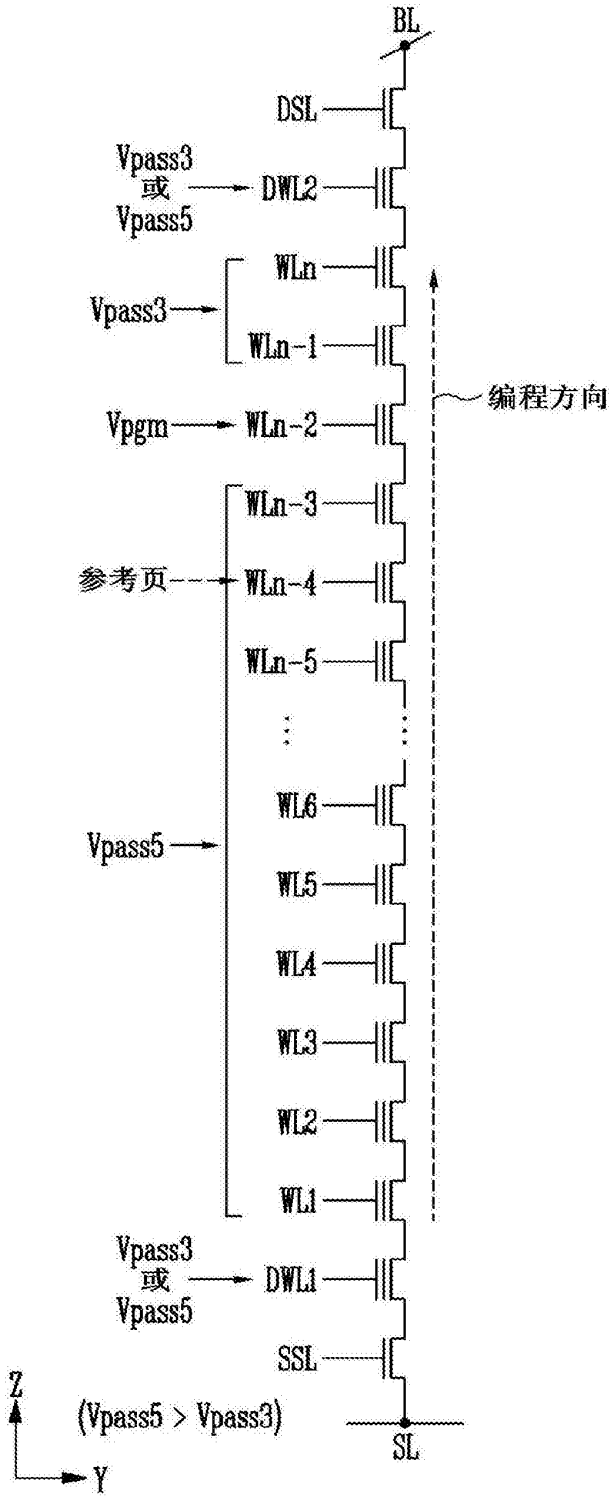


图20

Micron Ex. 1002, p. 321
Micron v. YMTC
IPR2025-00190

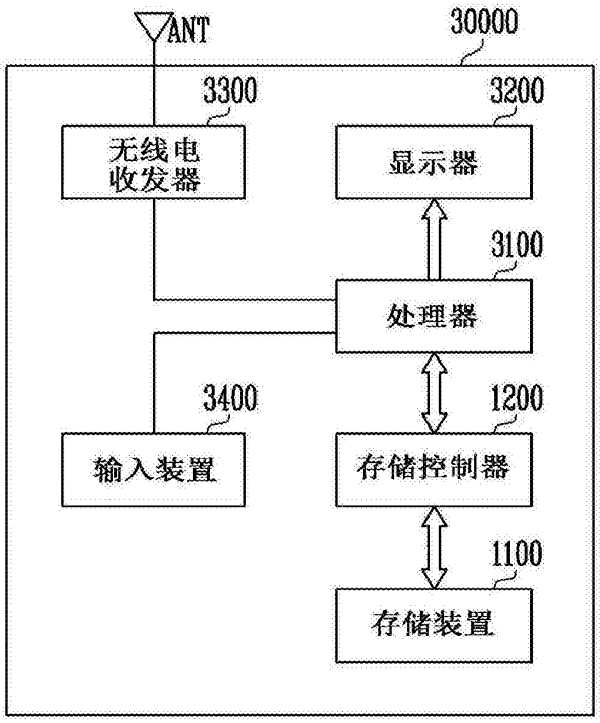


图21

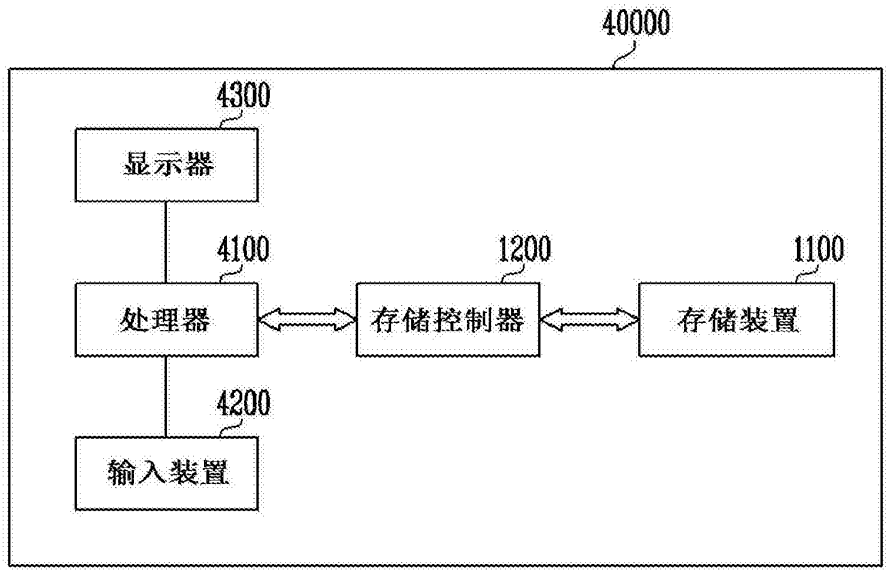


图22

Micron Ex. 1002, p. 322
Micron v. YMTC
IPR2025-00190

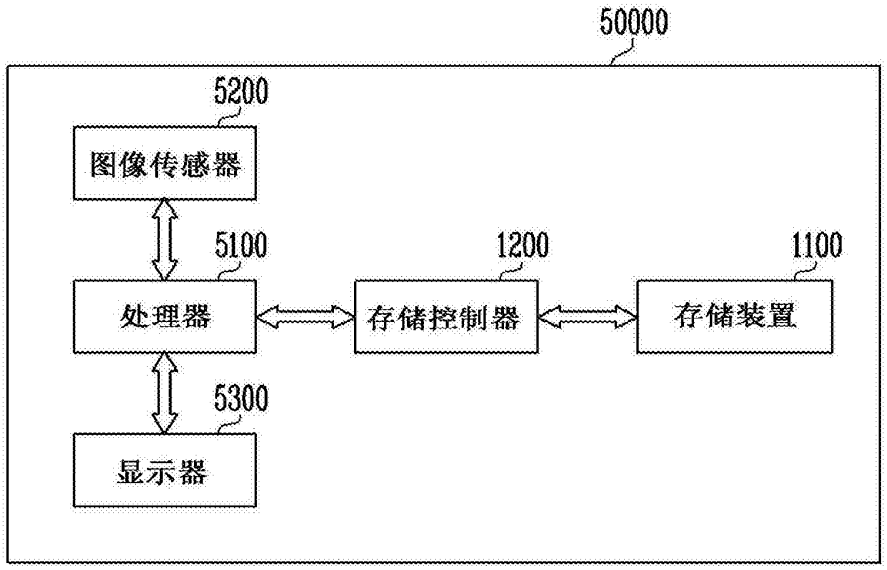


图23

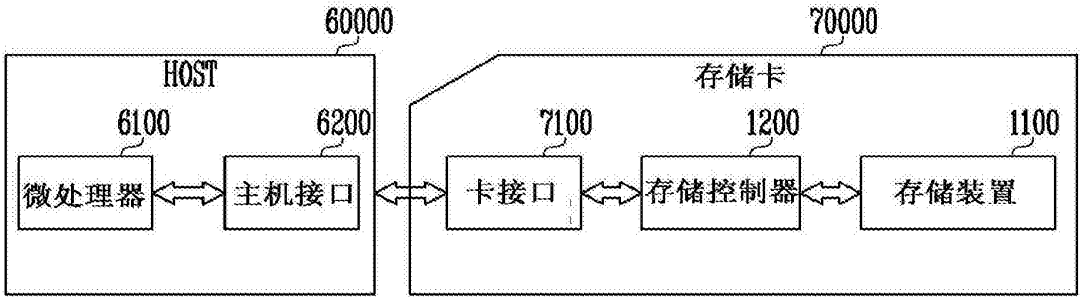


图24

Micron Ex. 1002, p. 323
Micron v. YMTC
IPR2025-00190

The English-language equivalent US Published Application (No. 2019/0259456 A1) of CN (No. 110189784) is hereby presented to fulfill the 37 CFR 1.98(a)(3) requirement.

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 110189784 A
(43)申请公布日 2019.08.30

(21)申请号 201910067431.2

(22)申请日 2019.01.24

(30)优先权数据
10-2018-0020979 2018.02.22 KR

(71)申请人 三星电子株式会社
地址 韩国京畿道水原市

(72)发明人 郭东勳 南尚完 尹治元

(74)专利代理机构 北京铭硕知识产权代理有限公司 11286
代理人 王兆赓 姜长星

(51)Int.Cl.
G11C 16/24(2006.01)
G11C 16/34(2006.01)

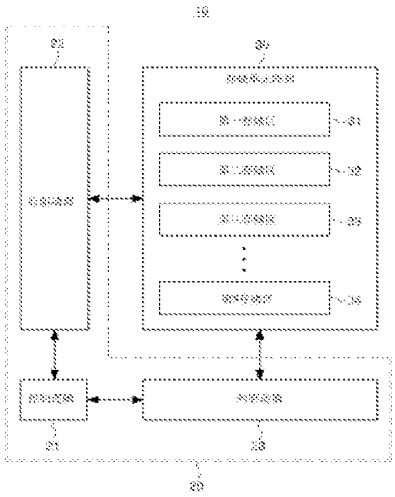
权利要求书3页 说明书14页 附图17页

(54)发明名称

存储器装置

(57)摘要

公开一种存储器装置。所述存储器装置包括:第一存储区、第二存储区、第三存储区和控制器。第一存储区具有共享第一沟道区的多个第一存储单元。第二存储区具有共享第一沟道区的多个第二存储单元。第三存储区具有共享第二沟道区的多个第三存储单元,第一沟道区与第一沟道区不同,第一沟道区和第二沟道区连接到位线。控制器被配置为:当对第一存储单元的至少一个执行控制操作时,将第二存储单元的电压输入到第二存储单元,并且将第三存储单元的电压输入到第三存储单元,第二存储单元和第三存储单元的电压具有不同的大小。



CN 110189784 A

Micron Ex. 1002, p. 324
Micron v. YMTC
IPR2025-00190

1.一种存储器装置,包括:

第一存储区,具有共享第一沟道区的多个第一存储单元;

第二存储区,具有共享第一沟道区的多个第二存储单元;

第三存储区,具有共享第二沟道区的多个第三存储单元,第二沟道区与第一沟道区不同,第一沟道区和第二沟道区连接到相同的位线;

控制器,被配置为:当对所述多个第一存储单元中的至少一个执行控制操作时,将第二存储单元的电压输入到第二存储单元,并且将第三存储单元的电压输入到第三存储单元,第二存储单元的电压和第三存储单元的电压具有不同的大小。

2.根据权利要求1所述的存储器装置,其中,第二存储单元的电压的大小大于第三存储单元的电压的大小。

3.根据权利要求1所述的存储器装置,其中,控制操作包括用于将数据存储在所述多个第一存储单元中的至少一个中的编程操作和用于从所述多个第一存储单元中的至少一个读取数据的读取操作中的至少一个。

4.根据权利要求3所述的存储器装置,其中,控制器还被配置为:

将编程电压输入到所述多个第一存储单元中的被选择的存储单元,并且

将通过电压输入到所述多个第一存储单元中的剩余的未被选择的存储单元,以执行编程操作,通过电压的大小小于编程电压的大小。

5.根据权利要求4所述的存储器装置,其中,控制器还被配置为:当第二存储区被编程时,输入通过电压作为第二存储单元的电压。

6.根据权利要求4所述的存储器装置,其中,控制器还被配置为:当第二存储单元不被编程时,输入子通过电压作为第二存储单元的电压,子通过电压的大小低于通过电压的大小。

7.根据权利要求6所述的存储器装置,其中,控制器还被配置为:在对通过电压进行放电之后对第二存储单元的电压进行放电。

8.根据权利要求3所述的存储器装置,其中,控制器还被配置为:

将读取电压输入到所述多个第一存储单元中的被选择的存储单元,并且

将通过电压输入到所述多个第一存储单元中的未被选择的存储单元,以执行读取操作,通过电压的大小大于读取电压的大小。

9.根据权利要求8所述的存储器装置,其中,控制器还被配置为:当第二存储区被编程时,输入通过电压作为第二存储单元的电压。

10.根据权利要求8所述的存储器装置,其中,控制器还被配置为:当第二存储区不被编程时,输入子通过电压作为第二存储单元的电压,子通过电压的大小低于通过电压的大小。

11.根据权利要求10所述的存储器装置,其中,控制器还被配置为:在对通过电压进行放电之后对第二存储单元的电压进行放电。

12.根据权利要求1所述的存储器装置,其中,第三存储区包括多个第三存储子区,并且

所述多个第三存储子区包括编程第三存储区和非编程第三存储区。

13.根据权利要求12所述的存储器装置,其中,控制器还被配置为:将第三存储单元的多个电压中的一个输入到所述多个第三存储单元中的每个,第三存储单元的多个电压包括所述第三存储单元的电压,并且

Micron Ex. 1002, p. 325
Micron v. YMTC
IPR2025-00190

通过控制器输入到编程第三存储区的电压的大小大于由控制器输入到非编程第三存储区的电压的大小。

14.根据权利要求1所述的存储器装置，其中，所述多个第一存储单元被设置在所述多个第二存储单元的上方或下方。

15.一种存储器装置，包括：

存储单元阵列，包括第一存储区和第二存储区，第一存储区包括多个第一存储单元，第二存储区包括多个第二存储单元，第一存储区和第二存储区连接到相同的位线；

控制器，被配置为：

将操作电压输入到所述多个第一存储单元中的被选择的存储单元，并且

将与操作电压不同的通过电压输入到所述多个第一存储单元中的剩余的未被选择的存储单元，以对第一存储区执行控制操作，

其中，控制器还被配置为基于第二存储区是否被编程以及第一存储区与第二存储区是否共享沟道区中的至少一个，来确定将被输入到所述多个第二存储单元的第二存储单元的电压。

16.根据权利要求15所述的存储器装置，其中，控制器还被配置为：当第二存储区与第一存储区共享沟道区，并且第二存储区不被编程时，来确定输入低于通过电压的子通过电压作为第二存储单元的电压。

17.根据权利要求15所述的存储器装置，其中，控制器还被配置为：当第二存储区与第一存储区共享沟道区，并且第二存储区被编程时，输入通过电压作为第二存储单元的电压。

18.根据权利要求15所述的存储器装置，其中，控制器还被配置为：当第二存储区不与第一存储区共享沟道区时，输入低于通过电压的子通过电压作为第二存储单元的电压。

19.根据权利要求15所述的存储器装置，其中，所述多个第一存储单元被配置为通过多个第一开关装置均从控制器接收第一存储单元的多个电压中的一个，并且所述多个第二存储单元被配置为通过多个第二开关装置从控制器接收第二存储单元的电压。

20.根据权利要求19所述的存储器装置，其中，控制器还被配置为：同时导通或截止所述多个第一开关装置和所述多个第二开关装置。

21.根据权利要求15所述的存储器装置，其中，控制器还被配置为：基于第二存储区是否被编程以及第一存储区与第二存储区是否共享沟道区中的至少一个，来确定将被输入到所述多个第二存储单元的第二存储单元的电压的大小和放电时间。

22.根据权利要求21所述的存储器装置，其中，控制器还被配置为：当输入到所述多个第二存储单元的第二存储单元的电压的大小低于通过电压的大小时，在对通过电压进行放电之后，对输入到所述多个第二存储单元的第二存储单元的电压进行放电。

23.根据权利要求21所述的存储器装置，其中，控制器还被配置为：当输入到所述多个第二存储单元的第二存储单元的电压的大小等于通过电压的大小时，同时地对输入到所述多个第二存储单元的第二存储单元的电压和通过电压进行放电。

24.根据权利要求15所述的存储器装置，其中，控制器还被配置为：当数据存储在所述多个第二存储单元中的一个或多个中时，确定第二存储区被编程。

25.一种存储器装置，包括：

存储单元阵列，包括第一存储区、第二存储区和第三存储区，第二存储区被配置为存储

Micron Ex. 1002, p. 326
Micron v. YMTC
IPR2025-00190

数据并且与第一存储区不同，第三存储区被配置为不存储数据并且与第一存储区和第二存储区不同，第一存储区、第二存储区和第三存储区连接到相同的位线；

控制器，被配置为：

当多个第一电压被输入到第一存储区以执行对第一存储区的控制操作时，将第二电压输入到第二存储区，并将第三电压输入到第三存储区，

并且

当控制操作终止时，对第二电压和第三电压进行放电。

Micron Ex. 1002, p. 327
Micron v. YMTC
IPR2025-00190

存储器装置

[0001] 本申请要求于2018年2月22日提交到韩国知识产权局的第10-2018-0020979号韩国专利申请的优先权权益，所述韩国专利申请的公开通过引用完整地包含于此。

技术领域

[0002] 本发明构思涉及一种存储器装置。

背景技术

[0003] 随着对具有高容量同时具有小尺寸的存储器装置的需求的增加，已经积极地进行了对具有垂直堆叠的存储单元的存储器装置的研究。近来，随着存储器装置的集成度的增加和垂直堆叠的存储单元的数量的增加，已经提出了用于将多个存储单元划分为多个将被控制的存储区的各种方法。

发明内容

[0004] 本发明构思的一些示例实施例可涉及一种存储器装置，所述存储器装置能够在对多个存储区中的一个执行控制操作时，明显减小控制操作对多个存储区中剩余的存储区的影响。

[0005] 根据本发明构思的一些示例实施例，一种存储器装置包括：第一存储区、第二存储区、第三存储区和控制器。第一存储区具有共享第一沟道区的多个第一存储单元。第二存储区具有共享第一沟道区的多个第二存储单元。第三存储区具有共享第二沟道区的多个第三存储单元，第二沟道区与第一沟道区不同，第一沟道区和第二沟道区连接到一位线。控制器被配置为：当对所述多个第一存储单元中的至少一个执行控制操作时，将第二存储单元的电压输入到第二存储单元，并且将第三存储单元的电压输入到第三存储单元，第二存储单元的电压和第三存储单元的电压具有不同的大小。

[0006] 第二存储单元的电压的大小可大于第三存储单元的电压的大小。

[0007] 控制操作可包括用于将数据存储在所述多个第一存储单元中的至少一个中的编程操作和用于从所述多个第一存储单元中的至少一个读取数据的读取操作中的至少一个。

[0008] 控制器还可被配置为：将编程电压输入到所述多个第一存储单元中的被选择的存储单元，并且将通过电压输入到所述多个第一存储单元中的剩余的未被选择的存储单元，以执行编程操作，通过电压的大小小于编程电压的大小。

[0009] 控制器可被配置为：当第二存储区被编程时，输入通过电压作为第二存储单元的电压。

[0010] 控制器可被配置为：当第二存储单元不被编程时，输入子通过电压作为第二存储单元的电压，子通过电压的大小低于通过电压的大小。

[0011] 控制器可被配置为：在对通过电压进行放电之后对第二存储单元的电压进行放电。

[0012] 控制器可被配置为：将读取电压输入到所述多个第一存储单元中的被选择的存储

Micron Ex. 1002, p. 328
Micron v. YMTC
IPR2025-00190

单元，并且将通过电压输入到所述多个第一存储单元中的未被选择的存储单元，以执行读取操作，通过电压的大小大于读取电压的大小。

[0013] 控制器可被配置为：当第二存储区被编程时，输入通过电压作为第二存储单元的电压。

[0014] 控制器可被配置为：当第二存储区不被编程时，输入子通过电压作为第二存储单元的电压，子通过电压的大小低于通过电压的大小。

[0015] 控制器可被配置为：在对通过电压进行放电之后对第二存储单元的电压进行放电。

[0016] 第三存储区可包括多个第三存储子区，并且所述多个第三存储子区包括编程第三存储区和非编程第三存储区。

[0017] 控制器可被配置为：将第三存储单元的多个电压中的一个输入到所述多个第三存储单元中的每个，第三存储单元的多个电压包括所述第三存储单元的电压，并且通过控制器输入到编程第三存储区的电压的大小可大于由控制器输入到非编程第三存储区的电压的大小。

[0018] 所述多个第一存储单元可被设置在所述多个第二存储单元的上方或下方。

[0019] 根据本发明构思的一些示例实施例，一种存储器装置包括：存储单元阵列和控制器。存储单元阵列包括第一存储区和第二存储区。第一存储区包括多个第一存储单元。第二存储区包括多个第二存储单元。第一存储区和第二存储区连接到一位线。控制器被配置为：将操作电压输入到所述多个第一存储单元中被选择的存储单元，并且将与操作电压不同的通过电压输入到所述多个第一存储单元中剩余的未被选择的存储单元，以对第一存储区执行控制操作。控制器被配置为基于第二存储区是否被编程以及第一存储区与第二存储区是否共享沟道区中的至少一个，来确定将被输入到所述多个第二存储单元的第二电压。

[0020] 控制器可被配置为：当第二存储区与第一存储区共享沟道区，并且第二存储区不被编程时，来确定输入低于通过电压的子通过电压作为所述多个第二存储单元的电压。

[0021] 控制器可被配置为：当第二存储区与第一存储区共享沟道区，并且第二存储区被编程时，输入通过电压作为第二存储单元的电压。

[0022] 控制器可被配置为：当第二存储区不与第一存储区共享沟道区时，输入低于通过电压的子通过电压作为第二存储单元的电压。

[0023] 所述多个第一存储单元可被配置为通过多个第一开关装置均从控制器接收第一存储单元的多个电压中的一个，并且所述多个第二存储单元可被配置为通过多个第二开关装置从控制器接收第二存储单元的电压。

[0024] 控制器可被配置为：同时导通或截止所述多个第一开关装置和所述多个第二开关装置。

[0025] 控制器可被配置为：基于第二存储区是否被编程以及第一存储区与第二存储区是否共享沟道区中的至少一个，来确定将被输入到所述多个第二存储单元的第二存储单元的电压的大小和放电时间。

[0026] 控制器可被配置为：当输入到所述多个第二存储单元的第二存储单元的电压的大小低于通过电压的大小时，在对通过电压进行放电之后，对输入到所述多个第二存储单元的第二存储单元的电压进行放电。

Micron Ex. 1002, p. 329
Micron v. YMTC
IPR2025-00190

[0027] 控制器可被配置为:当输入到所述多个第二存储单元的电压的大小等于通过电压的大小时,同时地对输入到所述多个第二存储单元的电压和通过电压进行放电。

[0028] 控制器可被配置为:当数据存储在所述多个第二存储单元中的一个或多个中时,确定第二存储区被编程。

[0029] 根据本发明构思的一些示例实施例,一种存储器装置包括:存储单元阵列和控制器。存储单元阵列包括第一存储区、第二存储区和第三存储区。第二存储区被配置为存储数据,并且与第一存储区不同。第三存储区不被配置为存储数据,并且与第一存储区和第二存储区不同,第一存储区、第二存储区和第三存储区连接到一位线。控制器被配置为:当多个第一电压被输入到第一存储区以执行对第一存储区的控制操作时,将第二电压输入到第二存储区,并将第三电压输入到第三存储区,并且当控制操作终止时,对第二电压和第三电压进行放电。

附图说明

[0030] 从以下结合附图进行的详细描述,将更清楚地理解本公开的以上和其他特征以及其他优点,其中:

[0031] 图1是示出根据一些示例实施例的包括在存储器装置中的存储单元阵列的示图;

[0032] 图2至图4是示出根据各种示例实施例的存储器装置的结构的示意图;

[0033] 图5是示出根据一些示例实施例的存储器装置的示意框图;

[0034] 图6是示出根据一些示例实施例的存储器装置的操作的示图;

[0035] 图7和图8是示出根据一些示例实施例的存储器装置的操作的示图;

[0036] 图9和图10是示出根据一些示例实施例的存储器装置的操作的示图;

[0037] 图11和图12是示出根据一些示例实施例的存储器装置的操作的示图;

[0038] 图13和图14是示出根据一些示例实施例的存储器装置的操作的示图;

[0039] 图15和图16是示出根据一些示例实施例的存储器装置的操作的示图;

[0040] 图17是示出根据一些示例实施例的包括存储器装置的电子装置的示意框图。

具体实施方式

[0041] 在下文中,将参照附图详细地描述本公开的示例实施例。

[0042] 图1是示出根据一些示例实施例的包括在存储器装置中的存储单元阵列的示图。

[0043] 参照图1,根据一些示例实施例,存储单元阵列可包括多个存储单元MC。可在多条字线WL和多条位线BL彼此相交的各个点处设置各自的存储单元MC。换句话说,每个存储单元MC可连接到多条字线WL中的一条和多条位线BL中的一条。

[0044] 多个存储单元MC可彼此串联连接,并且可提供单个存储单元串MCS。除了存储单元MC之外,存储单元串MCS还可包括串选择晶体管SST和地选择晶体管GST。串选择晶体管SST可连接到存储单元串MCS中位于存储单元MC上方的多条位线BL中的一条位线。地选择晶体管GST可连接到位于存储单元MC下方的共源极线CSL。

[0045] 在一个示例实施例中,包括在存储单元阵列中的存储单元MC可被划分为将被操作的多个存储区。多个存储区可以是通过控制存储单元阵列的控制器虚拟划分的区。换句话说,多个存储区可以是在物理上不分离的区。例如,连接到多条位线BL中的一条位线的多个

Micron Ex. 1002, p. 330
Micron v. YMTC
IPR2025-00190

存储单元MC可被划分为不同的存储区。

[0046] 图2至图4是示出根据各种示例实施例的存储器装置的结构的示意图。

[0047] 图2是示出包括在存储器装置100中的存储单元阵列的部分的透视图。参照图2，根据一些示例实施例的存储器装置100可包括基底101、多个沟道结构CH和虚设沟道结构DCH以及多个栅电极层130(例如，栅电极层131至栅电极层138)等，其中，多个沟道结构CH和虚设沟道结构DCH垂直于基底101的上表面(图2所示的一些示例实施例的X-Y平面)，多个栅电极层130堆叠在基底101上，以与沟道结构CH相邻。多个栅电极层130可与多个绝缘层140(例如，绝缘层141至149)交替地堆叠，并且多个栅电极层130中的至少一部分可被分离绝缘层155划分为多个片。

[0048] 多个栅电极层130可提供地选择线131和串选择线138以及多条字线132至137。地选择线131和串选择线138中的每条可向地选择晶体管GST和串选择晶体管SST提供沟道结构CH。多条字线132至137设置在地选择线131和串选择线138之间，并且可向多个存储单元MC1至MCn提供沟道结构CH。

[0049] 多个栅电极层130可被共源极线151和在共源极线151侧面上的间隔件109划分为多个片。共源极线151可由金属、金属化合物或诸如多晶硅的绝缘材料形成，并且可电连接到在基底101上形成的源极区103。源极区103可被设置为地选择晶体管GST的源极区。共源极线151可通过间隔件109与多个栅电极层130电隔离。

[0050] 多个沟道结构CH和虚设沟道结构DCH可在与基底101的上表面垂直的方向(图2中的一些示例实施例中的Z轴方向)上延伸。每个沟道结构CH可包括沟道区110、填充沟道区110的内部空间的嵌入绝缘层115、设置在沟道区110上方的漏极区113、设置在沟道区110和栅电极层130之间的栅极绝缘层160等。栅极绝缘层160可包括隧道层、电荷存储层、阻挡层等，并且栅极绝缘层160的至少一部分可以以围绕栅电极层130的形式而设置。根据一些示例实施例，沟道区110可具有诸如圆柱体或棱柱的柱状形状，而没有嵌入绝缘层115。此外，每个沟道结构CH可具有倾斜的侧表面，根据沟道结构的高宽比向基底101变窄。

[0051] 多个沟道结构CH和虚设沟道结构DCH可被设置为在X-Y平面上彼此分离。多个沟道结构CH和虚设沟道结构DCH的数量和布置可根据示例实施例而改变。例如，多个沟道结构CH和虚设沟道结构DCH可在至少一个方向上以曲折的形式设置。在图2所示的示例实施例中，多个沟道结构CH与插入在它们之间的分离绝缘层155对称地布置，并且多个虚设沟道结构DCH被示出为穿过分离绝缘层155，但不限于此。多个沟道结构CH中的每个可连接到设置在沟道结构上方的位线，并且两个或更多个沟道结构CH可连接到单条位线。例如，在图2所示的示例实施例中，多个沟道结构CH中的设置在X轴方向上的相同位置的至少一部分可连接到单条位线。

[0052] 沟道区110可通过它下部的外延层105电连接到基底101。沟道区110可包括诸如多晶硅或单晶硅的半导体材料，并且半导体材料可以是不掺杂杂质的材料，或者可包括P型或N型杂质。外延层105可以是使用选择性外延生长(SEG)工艺生长的层。如图2所示，可以以外延层以预定深度嵌入基底101中的形式设置外延层105。

[0053] 多个虚设沟道结构DCH可具有类似于沟道结构CH的结构的结构。换句话说，多个虚设沟道结构DCH中的每一个可包括漏极区113、沟道区110和嵌入绝缘层115，并且可选择性地包括外延层。然而，以与沟道结构CH不同的方式，多个虚设沟道结构DCH可与栅极结构上

Micron Ex. 1002, p. 331
Micron v. YMTC
IPR2025-00190

部的位线电隔离。因此，在设置有虚设沟道结构DCH的存储单元MC1至MCn中，一些控制操作(例如，编程操作)可不被执行。

[0054] 在根据图2所示的示例实施例的存储器装置100中，多个存储单元MC可被划分为多个存储区。多个存储区可以是由控制器虚拟定义的区，其中，控制器被配置为：针对多个存储单元MC执行诸如编程、读取、删除等的操作。例如，多个存储单元MC中共享单个沟道区110的部分被定义为第一存储区，并且剩余的部分可被定义为第二存储区。

[0055] 图3是示出包括在存储器装置200中的存储单元阵列的部分的透视图。参照图3，根据一些示例实施例的存储器装置200可包括基底201、多个沟道结构CH和虚设沟道结构DCH以及多个栅电极层230(例如，栅电极层231至239)等，其中，多个沟道结构CH和虚设沟道结构DCH垂直于基底201的上表面(图3所示的示例实施例的X-Y平面)，多个栅电极层230堆叠在基底201上，以与沟道结构CH相邻。多个栅电极层230可与多个绝缘层240(例如，绝缘层241至249)交替地堆叠，并且栅电极层230的至少一部分可被分离绝缘层255划分为多个片。

[0056] 在一些示例实施例中，如图3所示，沟道区210可包括下沟道区210A和上沟道区210B。下沟道区210A可连接到上沟道区210B。与下沟道区210A和上沟道区210B之间的边界相邻的栅电极层236可设置虚设存储单元DMC。在虚设存储单元DMC中，以与其他存储单元MC1至MCn不同的方式，可不执行编程操作。通过划分下沟道区210A和上沟道区210B来形成沟道区210，因此可以解决由存储器装置200的梯级数量的增加而引起的工艺中的问题。下沟道区210A和上沟道区210B可彼此连接，并且可提供基本上单个的沟道区210。

[0057] 除了沟道区210和虚设存储单元DMC之外的其他组件可类似于图2所示的存储器装置100。栅电极层230可被共源极线251和间隔件209划分为多个区域，并且共源极线251可连接到形成在基底201中的源极区203。栅极绝缘层260可形成在沟道区210和栅电极层230之间。栅极绝缘层260可具有多个层，并且部分层可分离地形成在沟道区210的外侧表面和栅电极层230的外侧表面上。

[0058] 同时，多个沟道结构CH中的部分可共享单条位线。例如，多个沟道结构CH中的设置在X轴方向上相同位置的至少一部分可连接到相同的位线。

[0059] 在一些示例实施例中，如图3所示，存储器装置200的控制器可被配置为在存储单元MC被划分为多个存储区时控制存储单元MC。例如，控制器可被配置为：当共享单个沟道区210的多个存储单元MC中的设置在虚设存储单元DMC上方的单元和设置在虚设存储单元DMC下方的单元被划分为彼此不同的存储区时，控制单元。

[0060] 图4是示出包括在存储器装置300中的存储单元阵列的部分的透视图。在根据一些示例实施例的存储器装置300中，如图4所述，可不在基底301中形成源极区。沟道区310可具有弯曲的U形，并且串选择晶体管的漏极区和地选择晶体管的源极区中的每个可由形成在沟道区310的两端中的每一端中的导电层313提供。

[0061] 参照图4，多个栅电极层330(例如，栅电极层331至338)和多个绝缘层340(例如，绝缘层341至349)可以交替地堆叠，并且沟道区310的内部可被嵌入绝缘层315填充。层间绝缘层370还可形成在多个栅电极层330上。同时，栅极绝缘层360可形成在栅电极层330和沟道区310之间，并且包括在栅极绝缘层360中的多个层中的至少一个层可沿着沟道区310的外侧表面形成。

[0062] 同时，栅电极层330可被分离绝缘层350划分为多个片。在一些示例实施例中，分离

Micron Ex. 1002, p. 332
Micron v. YMTC
IPR2025-00190

绝缘层350可设置在以U形弯曲的沟道区310的部分之间。因此，存储器装置300可被实现为允许以U形弯曲的单个沟道区310与被划分为多个片的栅电极层330相邻。

[0063] 在一些示例实施例中，如图4所示，存储器装置300的控制器可被配置为在存储单元MC被划分为多个存储区时控制存储单元MC。例如，当共享单个沟道区310的多个存储单元MC中的设置在分离绝缘层350一侧的单元和设置在分离绝缘层350另一侧的单元被划分为彼此不同的存储区时，控制器可控制单元。

[0064] 图5是示出根据一些示例实施例的存储器装置的示意框图。

[0065] 参照图5，根据一些示例实施例的存储器装置10可包括控制器20和存储单元阵列30。控制器20可包括控制逻辑21、行驱动器22、列驱动器23等。

[0066] 如之前参照图1至图4所述，存储单元阵列30可包括多个存储单元。控制器20可被配置为执行编程操作、读取操作和擦除操作等，其中，编程操作用于将数据存储在包括在存储单元阵列30中的多个存储单元中，读取操作用于读取存储在多个存储单元中的数据，擦除操作用于擦除存储在多个存储单元中的数据。

[0067] 控制器20可被配置为：当包括在存储单元阵列30中的多个存储单元被划分为多个存储区(即，第一存储区31、第二存储区32、第三存储区33至第N存储区34)时，执行诸如编程操作、读取操作、擦除操作等的控制操作。例如，多个存储区31至34可以是物理上彼此分离的区，或者是由控制器20虚拟划分的区。换句话说，在一个示例实施例中，多个存储区31至34的部分可共享单个沟道区，或者可连接到单条位线。

[0068] 例如，假设第一存储区31、第二存储区32和第三存储区33连接到单条位线，以便控制器对包括在第一存储区31中的存储单元执行控制操作，控制器可被配置为还将预定电压输入到包括在第二存储区域32和第三存储区域33中的存储单元。在这种情况下，如果没有适当地选择输入到包括在第二存储区32和第三存储区33中的存储单元的电压，则在对第一存储区31执行控制操作时，可能产生包括在第二存储区32和第三存储区33中的存储单元的特性可能会劣化，或者存储在第二存储区32和第三存储区33中的数据可能会受影响等的问题。

[0069] 在一些示例实施例中，当对多个存储区31至34中的单个选择的存储区执行控制操作时，可基于连接到选择的存储区所连接的相同的位线上的剩余区的状态，确定输入到剩余区的电压。例如，控制器20可被配置为：当对包括在第一存储区31中的多个存储单元中的至少一个存储单元执行控制操作时，根据连接到第一存储区域31所连接的相同位线的第二存储区32和第三存储区33中的每个是否共享沟道区，第二存储区32和第三存储区33中的每个是否被编程等，来确定输入到第二存储区32和第三存储区33中的每个的电压。

[0070] 图6是示出根据一些示例实施例的存储器装置的操作的示图。

[0071] 参照图6，根据一些示例实施例的存储器装置400可包括多个存储单元串410和420以及控制器430。第一存储单元串410可包括第一存储区411、第二存储区412、第一地选择晶体管413、第一串选择晶体管414等。第一串选择晶体管414连接到位线BL，在第一存储单元串410中第一存储区411和第二存储区412可共享沟道区。

[0072] 同时，第二存储单元串420可包括第三存储区421、第四存储区422、第二地选择晶体管423、第二串选择晶体管424等。第二存储单元串420连接到第一存储单元串410所连接的相同的位线BL，并且第三存储区421和第四存储区422可共享单个沟道区。同时，第一串选

Micron Ex. 1002, p. 333
Micron v. YMTC
IPR2025-00190

择晶体管414和第二串选择晶体管424中的每个可连接到彼此不同的串选择线。

[0073] 控制器430可包括字线控制电路431和块控制电路432以及多个开关装置SW1至SW4。字线控制电路431可通过多个开关装置SW1至SW4，连接到与第一存储区411、第二存储区412、第三存储区421和第四存储区422中的每个连接的多个存储单元MC1至MC8。多个开关装置SW1至SW4是否导通/截止可通过由块控制电路432输出的开关控制信号CNT_{SW}来确定。

[0074] 字线控制电路431可基于行地址RA，将执行控制操作所需的电压输入到多个存储单元MC1至MC8。控制操作可包括编程操作、读取操作等。块控制电路432可允许多个开关装置SW1至SW4导通，以允许字线控制电路431对多个存储单元MC1至MC8执行控制操作。块控制电路432可参照块地址BA，来确定多个开关装置SW1至SW4是否导通/截止。

[0075] 当控制器430对其执行编程操作、读取操作等的存储单元包括在第一存储区411、第二存储区412、第三存储区421和第四存储区422中的一个中时，块控制电路432可允许多个开关装置SW1至SW4导通。由块控制电路432输出的开关控制信号CNT_{SW}共同地连接到多个开关装置SW1至SW4，所以多个开关装置SW1至SW4可同时导通。

[0076] 例如，当对包括在第一存储区411中的第五存储单元MC5执行编程操作、读取操作等时，多个开关装置SW1至SW4可通过块控制电路432同时导通。字线控制电路431可将用于对第五存储单元MC5执行编程操作或读取操作的电压输入到包括在第一存储区411和第二存储区412中的存储单元MC1至MC8。例如，当对第五存储单元MC5执行编程操作时，字线控制电路431可将编程电压输入到第五存储单元MC5，并且可将通过电压输入到剩余的存储单元(第一存储区411的存储单元MC1至MC4和MC6至MC8以及第二存储区412的存储单元MC1至MC8)。

[0077] 除第二存储区412之外，具有第五存储单元MC5的第一存储区411连接到与第三存储区421和第四存储区422所连接的位线相同的位线BL，因此，对第五存储单元MC5的编程操作或读取操作可能影响第二存储区412、第三存储区421和第四存储区422。在一些示例实施例中，为了明显减小对第一存储区411的第五存储单元MC5的编程操作或读取操作对第二存储区412、第三存储区421和第四存储区422的影响，字线控制电路431可将适当的电压输入到第二存储区412、第三存储区421和第四存储区422的存储单元MC1至MC8。字线控制电路431可根据第二存储区412、第三存储区421和第四存储区422中的每个是否被编程，第二存储区412、第三存储区421和第四存储区422中的每个是否与第一存储区411共享沟道区等，来确定输入到第二存储区412、第三存储区421和第四存储区422的存储单元MC1至MC8的电压。

[0078] 在一些示例实施例中，当对第五存储单元MC5执行编程操作或读取操作时，输入到与第一存储区411共享沟道区的第二存储区412的存储单元MC1至MC4的电压，可能与输入到不与第一存储区411共享沟道区的第三存储区421和第四存储区422的存储单元MC1至MC8的电压不同。例如，输入到第二存储区412的存储单元MC1至MC4的电压，可高于输入到第三存储区421和第四存储区422的存储单元MC1至MC8的电压。此外，当第三存储区421和第四存储区422中仅有一个被编程时，控制器430可被配置为将不同的电压输入到第三存储区421和第四存储区422中的每个的存储单元MC1至MC8。

[0079] 此外，控制器430可被配置为将输入到第一存储区411、第二存储区412、第三存储区421和第四存储区422中的每个的存储单元MC1至MC8的电压的放电特性设置为彼此不同。

Micron Ex. 1002, p. 334
Micron v. YMTC
IPR2025-00190

当对第五存储单元MC5执行编程操作或读取操作时，控制器430可被配置为将输入到第二存储区412的存储单元MC5至MC8的电压的放电点设置为与输入到第三存储区421和第四存储区422的存储单元MC1至MC8的电压的放电点不同。在一些示例实施例中，放电点可被定义为输入到存储单元MC1至MC8的电压开始下降的时间点。此外，在一些示例实施例中，输入到第二存储区412的存储单元MC5至MC8的电压大小可与输入到第三存储区421和第四存储区422的存储单元MC1至MC8的电压大小不同。

[0080] 图7和图8是示出根据一些示例实施例的存储器装置的操作的示图。

[0081] 参照图7，第一存储单元串410可包括第一存储区411、第二存储区412、第一地选择晶体管413、第一串选择晶体管414等。在第一存储单元串410中，第一存储区411和第二存储区412可共享沟道区。同时，第二存储单元串420可包括第三存储区421、第四存储区422、第二地选择晶体管423、第二串选择晶体管424等。在第二存储单元串420中，第三存储区421和第四存储区422可共享单个沟道区。

[0082] 第一存储单元串410和第二存储单元串420可连接到相同的位线BL。此外，分别包括在第一存储单元串410和第二存储单元串420中的第一串选择晶体管414和第二串选择晶体管424可彼此不同。例如，第一串选择晶体管414和第二串选择晶体管424可连接到相同的位线BL，并且可连接到彼此不同的串选择线。

[0083] 在一些示例实施例中，如图7所示，可对包括在第一存储区411中的第七存储单元MC7执行编程操作。用于对第七存储单元MC7执行编程操作的第一存储单元串410的电压偏置条件可如表1所示。

[0084] 【表1】

[0085]

BL	SST	MC7	MC5，MC6，MC8	MC1至MC4	GST	CSL
0	0	V_{PGM}	V_{PASS}	V2	0	VDD

[0086] 在表1中，输入到第七存储单元MC7的作为操作电压的编程电压V_{PGM}可高于输入到第一存储区411的其他存储单元MC5、MC6和MC8的通过电压V_{PASS}。同时，可将第二电压V2输入到与第一存储区411共享相同的沟道区的第二存储区412的存储单元MC1至MC4。在一些示例实施例中，可根据第二存储区412是否被编程，将第二电压V2的大小确定为不同。例如，当第二存储区412的存储单元MC1至MC4中的至少一个存储数据时，可确定第二存储区412被编程。如图7所示，一些示例实施例可对应于第二存储区412没有被编程的情况。在这种情况下，第二电压V2可低于通过电压V_{PASS}。

[0087] 同时，当对第一存储区411的第七存储单元MC7执行编程操作时，控制器可将适当的电压输入到包括在第三存储区421和第四存储区422中的存储单元MC1至MC8。因此，可明显减小编程操作对第三存储区421和第四存储区422的影响。例如，输入到第三存储区421和第四存储区422的存储单元MC1至MC8的第三电压V3和第四电压V4的大小可与输入到第二存储区412的存储单元MC1至MC4的第二电压V2的大小不同。就这一点而言，第三存储区421和第四存储区422可以以与第二存储区412不同的方式，不与第一存储区域411共享沟道区，并且可不连接到第一串选择晶体管414而是连接到第二串选择晶体管424。在一些示例实施例中，第三电压V3和第四电压V4的大小可低于第二电压V2的大小。

[0088] 同时，可根据第三存储区421和第四存储区422中的每个是否被编程，将第三电压

Micron Ex. 1002, p. 335
Micron v. YMTC
IPR2025-00190

V3和第四电压V4的大小确定为彼此不同。在如图7所示的一些示例实施例中，第三存储区421可不被编程，而第四存储区422可被编程。在这种情况下，第三电压V3的大小可低于第四电压V4的大小。

[0089] 此外，在一些示例实施例中，为了执行编程或读取操作，可将输入到已经被选择的第一存储区411的通过电压V_{PASS}的放电点与输入到还未被选择的第二存储区412、第三存储区421和第四存储区422的第二电压V2、第三电压V3和第四电压V4的放电点设置为彼此不同。在下文中，将参照图8进行以下描述。

[0090] 参照图8，输入到第一存储区411的第七存储单元MC7的编程电压V_{PGM}可高于输入到第一存储区411的其他存储单元MC5、MC6和MC8的通过电压V_{PASS}。此外，如之前所述，输入到第二存储区412、第三存储区421和第四存储区422的第二电压V2、第三电压V3和第四电压V4的大小可低于通过电压V_{PASS}的大小。第二电压V2的大小可高于第三电压V3和第四电压V4的大小，同时第三电压V3的大小可低于第四电压V4的大小。

[0091] 此外，参照图8，第二电压V2、第三电压V3和第四电压V4开始下降的放电点可与通过电压V_{PASS}开始下降的放电点不同。当通过电压V_{PASS}在第一时间点T_1开始下降时，第二电压V2、第三电压V3和第四电压V4在第一时间点T1之后的第二时间点T_2开始下降。如之前所述，第二电压V2、第三电压V3和第四电压V4的大小可低于通过电压V_{PASS}的大小。第二电压V2、第三电压V3和第四电压V4在第一时间点T1之后的第二时间点T_2开始放电，所以，通过电压V_{PASS}放电完成的时间点T_R与第二电压V2、第三电压V3和第四电压V4放电完成的时间点T_R可基本一致。因此，可明显减少通过对第一存储区411的编程操作而可能在第二存储区412、第三存储区421和第四存储区422的出现的存储单元MC1至MC8的劣化。

[0092] 参照图7和图8描述的示例实施例还可类似地应用于不执行编程操作而是执行读取操作的情况。通过与表1中的电压偏置条件不同的电压偏置条件，可对第一存储区411执行读取操作。在这种情况下，可根据第二存储区412、第三存储区421和第四存储区域422中的每个是否被编程，它们中的每个是否与第一存储区411共享沟道区，它们中的每个是否连接到第一存储区411所连接的相同的第一串选择晶体管414，来改变第二电压V2、第三电压V3和第四电压V4中的每个的大小。

[0093] 图9和图10是示出根据一些示例实施例的存储器装置的操作的示图。

[0094] 在图9和图10所示的一些示例实施例中，存储单元串410和420的配置可类似于参照图7和图8所述的一些示例实施例中的配置。首先，参照图9，可对第七存储单元MC7执行编程操作。用于对第七存储单元MC7执行编程操作的第一存储单元串410的电压偏置条件可如之前所示的表1所示。例如，编程电压V_{PGM}被输入到第七存储单元MC7作为操作电压，并且与操作电压不同的通过电压V_{PASS}可被输入到第一存储区411的其他存储单元MC5、MC6和MC8。

[0095] 同时，以与参照图7所示的一些示例实施例不同的方式，在参照图9所示的一些示例实施例中，输入到第二存储区412的存储单元MC1至MC4的第二电压V2可具有等于通过电压V_{PASS}的大小的大小。以与参照图7所示的示例实施例不同的方式，在参照图9所示的示例实施例中，第二存储区412可被编程。因此，在一些示例实施例中，如图9中所示，第二电压V2可具有等于通过电压V_{PASS}的大小的大小。

[0096] 同时，控制器可被配置为将第三电压V3和第四电压V4分别输入到第三存储区421和第四存储区422，因此明显地减小针对第七存储单元M7的编程操作对第三存储区421和第

Micron Ex. 1002, p. 336
Micron v. YMTC
IPR2025-00190

四存储区422的影响。例如，输入到第三存储区421和第四存储区422的存储单元MC1至MC8的第三电压V3和第四电压V4的大小可与输入到第二存储区412的存储单元MC1至MC4的第二电压V2的大小不同。就这一点而言，以与第二存储区412连接到第一存储区411和第一串选择晶体管414的方式不同的方式，第三存储区421和第四存储区422连接到第二串选择晶体管424。在一些示例实施例中，第三电压V3和第四电压V4的大小可低于第二电压V2的大小。

[0097] 可根据第三存储区421和第四存储区422中的每个是否被编程，将第三电压V3和第四电压V4的大小确定为彼此不同。在如图9所示的一些示例实施例中，第三存储区421可被编程，而第四存储区422可不被编程。在这种情况下，第三电压V3的大小可高于第四电压V4的大小。

[0098] 此外，如之前参照图7和图8所示，在一些示例实施例中，如图9所示，可将输入到第一存储区411的通过电压V_{PASS}的放电点与输入到还未被选择的第二存储区412、第三存储区421和第四存储区422的第二电压V2、第三电压V3和第四电压V4的至少一部分的放电点设置为彼此不同。在下文中，将参照图10进行以下描述。

[0099] 参照图10，输入到第一存储区411的第七存储单元MC7的编程电压V_{PGM}可高于输入到第一存储区411的其他存储单元MC5、MC6和MC8的通过电压V_{PASS}。此外，输入到第二存储区412的存储单元MC1至MC4的第二电压V2可与通过电压V_{PASS}相同。第二电压V2开始下降的放电点可以是与通过电压V_{PASS}的放电点相同的第一时间点T_1。

[0100] 同时，分别输入到第三存储区421和第四存储区422的第三电压V3和第四电压V4可具有低于通过电压V_{PASS}的大小的大小。如图9所示，在一些示例实施例中，可仅第三存储区421被编程，所以第三电压V3的大小可高于第四电压V4的大小。

[0101] 此外，第三电压V3和第四电压V4开始下降的放电点可与通过电压V_{PASS}和第二电压V2开始下降的放电点不同。当通过电压V_{PASS}和第二电压V2在第一时间点T_1开始下降时，第三电压V3和第四电压V4在第一时间点T_1之后的第二时间点T_2开始下降。第三电压V3和第四电压V4在第一时间点T_1之后的第二时间点T_2放电，所以，通过电压V_{PASS}和第二电压V2放电完成的时间点T_R与第三电压V3和第四电压V4放电完成的时间点T_R可基本一致。因此，可明显减少通过对第一存储区411的编程操作而可能在第二存储区412、第三存储区421和第四存储区422中出现的存储单元MC1至MC8的劣化。

[0102] 图11和图12是示出根据一些示例实施例的存储器装置的操作的示图。

[0103] 在一些示例实施例中，如图11和图12所示，存储单元串410和420的配置可类似于参照图7和图9所述的一些示例实施例的配置。换句话说，存储单元串410和420连接到单条位线BL，并且可具有彼此不同的沟道区。首先，在一些示例实施例中，如图11所示，可对包括在第一存储区411中的第七存储单元MC7执行编程操作。用于对第七存储单元MC7执行编程操作的第一存储单元串410的电压偏置条件可如之前所示的表1所示。

[0104] 在一些示例实施例中，如参照图11所示，输入到第二存储区412的存储单元MC1至MC4的第二电压V2可具有低于通过电压V_{PASS}的大小的大小。参照图11，第二存储区412的存储单元MC1至MC4可不被编程，所以第二电压V2可低于通过电压V_{PASS}。

[0105] 控制器可被配置为将第三电压V3和第四电压V4分别输入到第三存储区421和第四存储区422，从而明显地减小针对第一存储区411的第七存储单元M7的编程操作对第二存储区421和第四存储区422的存储单元MC1至MC8的影响。在一些示例实施例中，输入到第三存

Micron Ex. 1002, p. 337
Micron v. YMTC
IPR2025-00190

储区421和第四存储区422的存储单元MC1至MC8的第三电压V3和第四电压V4的大小可与第二电压V2的大小不同。就这一点而言，以与第二存储区412和第一存储区411共享相同的沟道区的方式不同的方式，第三存储区421和第四存储区422不与第一存储区411共享沟道区。在一些示例实施例中，第三电压V3和第四电压V4的大小可低于第二电压V2的大小。

[0106] 可根据第三存储区421和第四存储区422中的每个是否被编程，将第三电压V3和第四电压V4的每个的大小确定为彼此不同。在一些示例实施例中，如图11中所示，第三存储区421和第四存储区422可不被编程。因此，在一些示例实施例中，如图11所示，第三电压V3和第四电压V4的大小可彼此相等。

[0107] 如之前所述，在一些示例实施例中，如图11所示，可将输入到第一存储区411的通过电压V_{PASS}的放电点与输入到第二存储区412、第三存储区421和第四存储区422的第二电压V2、第三电压V3和第四电压V4的至少一部分的放电点设置为彼此不同。在下文中，将参照图12进行以下描述。

[0108] 参照图12，输入到第一存储区411的第七存储单元MC7的编程电压V_{PGM}可高于输入到第一存储区411的其他存储单元MC5、MC6和MC8的通过电压V_{PASS}。此外，第二存储区412不被编程，所以输入到第二存储区412的存储单元MC1至MC4的第二电压V2可低于通过电压V_{PASS}。同时，分别输入到第三存储区421和第四存储区422的第三电压V3和第四电压V4可具有相同的大小。第三电压V3和第四电压V4的大小可低于第二电压V2的大小。

[0109] 此外，第二电压V2、第三电压V3和第四电压V4开始下降的放电点可与通过电压V_{PASS}开始下降的放电点不同。当通过电压V_{PASS}在第一时间点T_1开始下降时，第二电压V2、第三电压V3和第四电压V4可在第一时间点T1之后的第二时间点T_2开始下降。第二电压V2、第三电压V3和第四电压V4在第一时间点T_1之后的第二时间点T_2放电，所以，通过电压V_{PASS}放电完成的时间点T_R与第二电压V2、第三电压V3和第四电压V4放电完成的时间点T_R可基本一致。因此，可明显减少通过对第一存储区411的编程操作而可能在第二存储区412、第三存储区421和第四存储区422中出现的存储单元MC1至MC8的劣化。

[0110] 参照图7至图12所述的示例实施例还可类似地应用于执行读取操作的情况。例如，在一些示例实施例中，如图7至图12所示，当用于读取存储在第一存储区411的第五存储单元MC5中的数据的读取操作被执行时，针对第一存储单元串410的电压偏置条件可如表2所示。可在表2所示的偏置条件下施加电压，并且可通过位线BL读取存储在第五存储单元MC5中的数据。

[0111] 【表2】

[0112]

SST	MC5	MC6至MC8	MC1至MC4	GST	CSL
V_{PASS}	V_{READ}	V_{PASS}	V2	V_{PASS}	0

[0113] 在表2所示的偏置条件中，通过电压V_{PASS}可低于在编程操作期间提供给第一存储单元串410的通过电压V_{PASS}。同时，输入到数据将被读取的第五存储单元MC5的读取电压V_{READ}可低于输入到其他存储单元MC6至MC8、地选择晶体管GST、串选择晶体管SST等的通过电压V_{PASS}。

[0114] 可根据第二存储区412、第三存储区421和第四存储区422中的每个是否与第一存储区411共享相同的沟道区，第二存储区412、第三存储区421和第四存储区422中的每个是

Micron Ex. 1002, p. 338
Micron v. YMTC
IPR2025-00190

否被编程等，将在读取操作中输入到第二存储区412、第三存储区421和第四存储区422的第二电压V2、第三电压V3和第四电压V4中的每个确定为不同。例如，输入到与第一存储区411共享相同的沟道区的第二存储区412的第二电压V2的大小可高于第三电压V3和第四电压V4的大小。

[0115] 根据第二存储区412是否被编程，第二电压V2可具有等于或低于通过电压V_{PASS}的大小的大小。在一些示例实施例中，如图11所示，第二存储区412可不被编程，所以第二电压V2可低于通过电压V_{PASS}。另一方面，在一些示例实施例中，如图9中所示，第二存储区412可被编程，所以第二电压V2可具有等于通过电压V_{PASS}的大小的大小。

[0116] 可根据第三存储区421和第四存储区422中的每个是否被编程，确定第三电压V3和第四电压V4中的每个的大小。例如，当第三存储区421和第四存储区422被编程时，第三电压V3和第四电压V4可具有相同的大小。另一方面，当第三存储区421被编程，而第四存储区422不被编程时，第三电压V3的大小可高于第四电压V4的大小。另一方面，当第三存储区421不被编程，而第四存储区422被编程时，第三电压V3的大小可低于第四电压V4的大小。

[0117] 图13和图14是示出根据一些示例实施例的存储器装置的操作的示图。

[0118] 参照图13，根据一些示例实施例的存储器装置可包括存储单元串500。存储单元串500可包括第一存储区510、第二存储区520、第三存储区530、地选择晶体管501、串选择晶体管502等。串选择晶体管502连接到位线BL，并且地选择晶体管501可连接到共源极线CSL。第一存储区510、第二存储区520和第三存储区530可连接到单条位线BL，并且可共享单个沟道区。

[0119] 在一些示例实施例中，如图13所示，可对包括在第二存储区520中的第七存储单元MC7执行编程操作。当对第七存储单元MC7执行编程操作时，输入到存储单元MC1至MC12、地选择晶体管GST、串选择晶体管SST、共源极线CSL和位线BL中的每个的电压的偏置条件可如表3所示。

[0120] 【表3】

[0121]

BL	SST	MC7	MC5,MC6,MC8	MC9至MC12	MC1至MC4	GST	CSL
0	0	V_{PGM}	V_{PASS}	V1	V3	0	VDD

[0122] 输入到第七存储单元MC7的编程电压V_{PGM}可高于输入到第二存储区520的其他存储单元MC5、MC6和MC8的通过电压V_{PASS}。可根据第一存储区510和第三存储区530中的每个是否被编程，来确定分别输入到第一存储区510的存储单元MC9至MC12和第三存储区530的存储单元MC1至MC4的第一电压V1和第三电压V3。

[0123] 参照图13，第一存储区510可被编程，而第三存储区530可不被编程。因此，在一些示例实施例中，如图13所示，第一电压V1的大小可高于第三电压V3的大小。例如，第一电压V1可具有等于通过电压V_{PASS}的大小的大小，而第三电压V3可具有低于通过电压V_{PASS}的大小的大小。

[0124] 参照图14，第一电压V1可具有与通过电压V_{PASS}的波形相同的波形。换句话说，第一电压V1在与通过电压V_{PASS}开始放电的时间点相同的第一时间点T_1开始放电，并且第一电压V1和通过电压V_{PASS}被放电，然后可被减小到第一恢复电压V_{R1}。另一方面，第三电压V3可具有低于通过电压V_{PASS}的大小的大小，并且可在第一时间点T_1之后的第二时间点T_2开始放电。此

Micron Ex. 1002, p. 339
Micron v. YMTC
IPR2025-00190

外，第三电压V3可被放电到第二恢复电压V_{R2}，并且第二恢复电压V_{R2}可具有与第一恢复电压V_{R1}的值不同的值。第三电压V3可以是低于通过电压V_{PASS}的子通过电压，并且可被输入到不被编程的第三存储区530，所以可防止第三存储区530的存储单元MC1至MC4的阈值电压被对第七存储单元MC7的编程操作改变的软编程现象。

[0125] 图15和图16是示出根据一些示例实施例的存储器装置的操作的示图。

[0126] 如图15所示，根据一些示例实施例的存储器装置可包括存储单元串500。存储单元串500的结构可与参照图13所示的结构相同。

[0127] 在一些示例实施例中，如图15所示，可对包括在第二存储区520中的第七存储单元MC7执行读取操作。当对第七存储单元MC7执行读取操作时，输入到存储单元MC1至MC12、地选择晶体管GST、串选择晶体管SST和共源极线CSL中的每个的电压的偏置条件可如表4所示。

[0128] 【表4】

[0129]

SST	MC7	MC5,MC6,MC8	MC9至MC12	MC1至MC4	GST	CSL
V_{PASS}	V_{READ}	V_{PASS}	V1	V3	V_{PASS}	0

[0130] 输入到第七存储单元MC7的读取电压V_{READ}可低于输入到第二存储区520的其他存储单元MC5、MC6、MC8、地选择晶体管GST、串选择晶体管SST等的通过电压V_{PASS}。可根据第一存储区510和第三存储区530中的每个是否被编程，来确定分别输入到第一存储区510的存储单元MC9至MC12和第三存储区530的存储单元MC1至MC4的第一电压V1和第三电压V3。

[0131] 参照图15，第一存储区510可被编程，而第三存储区530可不被编程。在一些示例实施例中，如图15中所示，第一电压V1的大小可高于第三电压V3的大小。例如，第一电压V1可具有等于通过电压V_{PASS}的大小的大小，而第三电压V3可具有低于通过电压V_{PASS}的大小的大小。

[0132] 参照图16，第一电压V1可具有与通过电压V_{PASS}的波形相同的波形。换句话说，第一电压V1以与通过电压V_{PASS}相同的方式，在第一时间点T_1开始放电，并且第一电压V1和通过电压V_{PASS}被放电，然后可被减小到第一恢复电压V_{R1}。另一方面，第三电压V3可具有低于通过电压V_{PASS}的大小的大小，并且可在第一时间点T_1之后的第二时间点T_2开始放电。此外，第三电压V3可被放电到第二恢复电压V_{R2}，并且第二恢复电压V_{R2}可具有与第一恢复电压V_{R1}的值不同的值。低于通过电压V_{PASS}的第三电压V3被输入到不被编程的第三存储区530，所以第三存储区530的存储单元MC1至MC4的阈值电压被对第七存储单元MC7的读取操作改变的软编程现象可被防止。

[0133] 图17是示出根据一些示例实施例的包括存储器装置的电子装置的示意性框图。

[0134] 参照图17，根据一些示例实施例的电子装置1000可包括显示器1010、输入和输出装置1020、存储器1030、端口1040、处理器1050等。电子装置1000除包括诸如智能电话、平板PC、膝上型计算机等的移动装置以外，还可包括电视、台式计算机等。诸如显示器1010、输入和输出装置1020、存储器1030、端口1040、处理器1050等的组件可通过总线1060彼此通信。

[0135] 存储器1030可包括存储器控制器1031和存储单元阵列1032，并且可通过总线1060接收经由处理器1050发送的命令来执行诸如编程操作、读取操作、擦除操作等的操作。存储器1030可包括NAND闪存装置，并且可包括根据之前参照图1至图16所示的各种示例实施例

Micron Ex. 1002, p. 340
Micron v. YMTC
IPR2025-00190

的存储器装置中的一个。

[0136] 如上所述，根据本发明构思的一些示例实施例，当对连接到单条位线的多个存储区中的一个执行控制操作时，可根据其他存储区中的每个是否被编程以及其他存储区中的每个是否与执行控制操作的存储区共享沟道区，来改变输入到其他存储区的电压。因此，可明显减小针对连接到单条位线的多个存储区中的一个存储区的控制操作对其他存储区的影响，从而可提高存储器装置的稳定性。

[0137] 尽管以上示出和描述了示例实施例，但是本领域的技术人员将清楚，在不脱离由所附权利要求限定的本公开的范围的情况下，可进行修改和改变。

Micron Ex. 1002, p. 341
Micron v. YMTC
IPR2025-00190

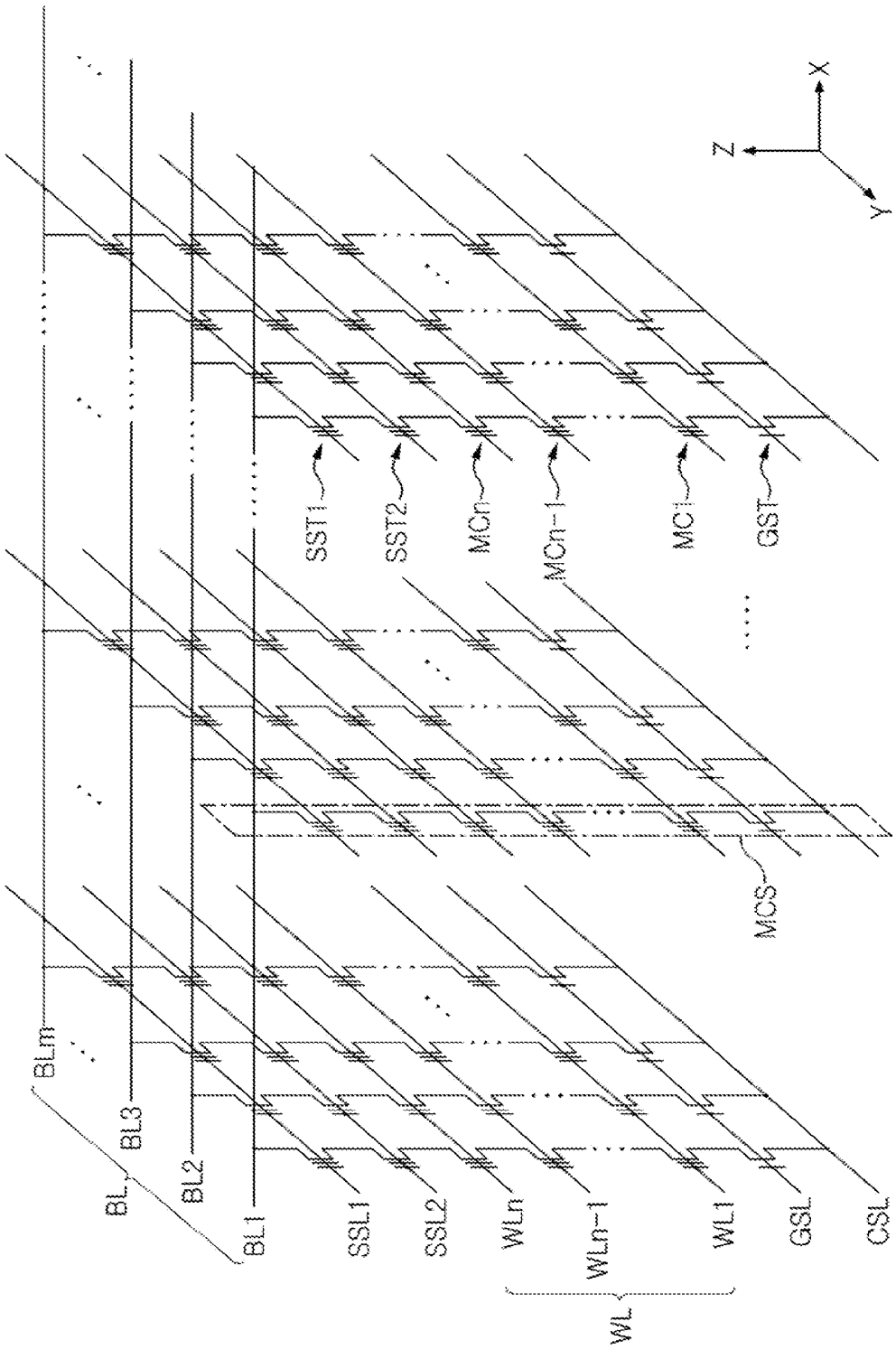


图1

Micron Ex. 1002, p. 342
Micron v. YMTC
IPR2025-00190

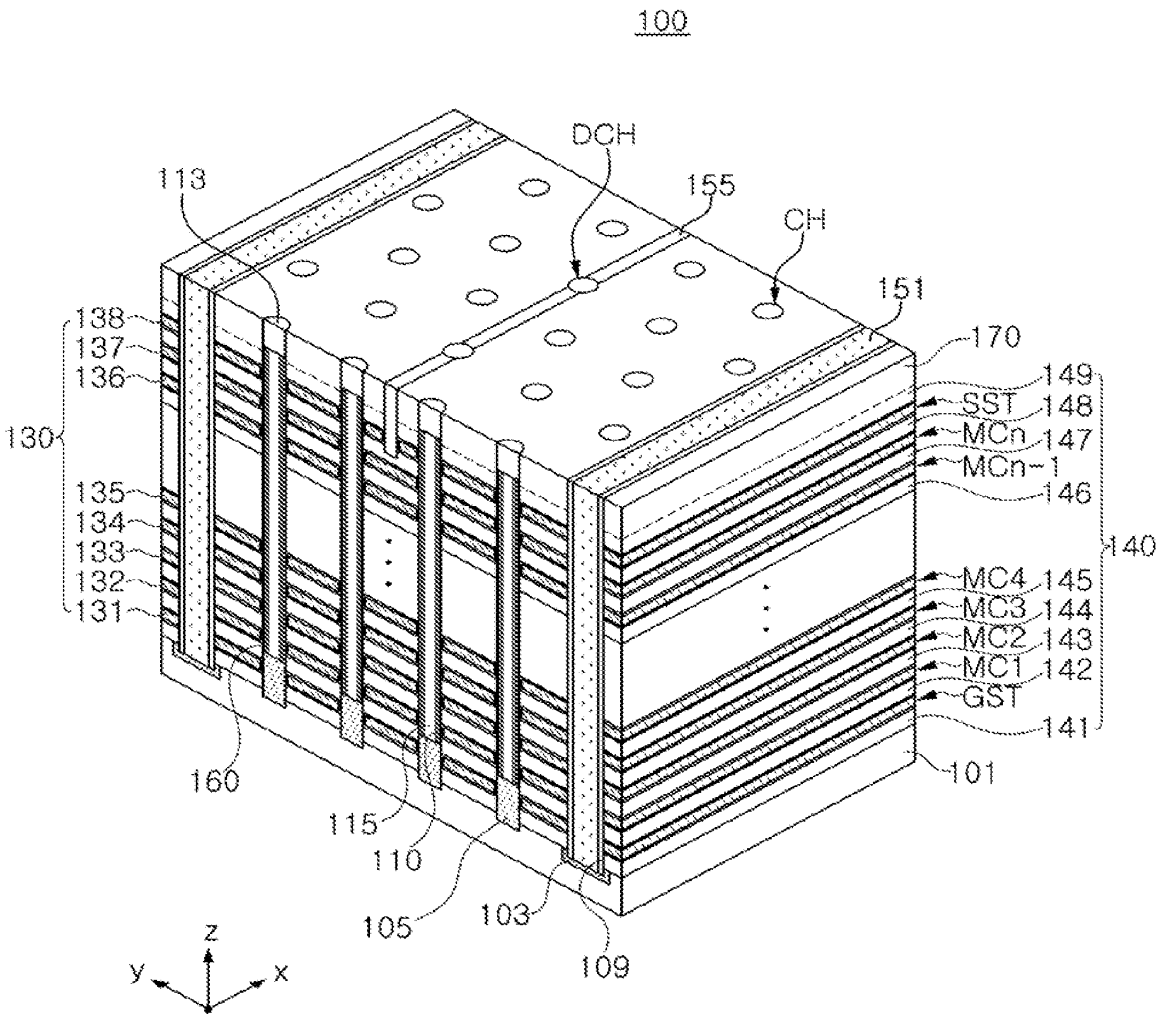


图2

Micron Ex. 1002, p. 343
Micron v. YMTC
IPR2025-00190

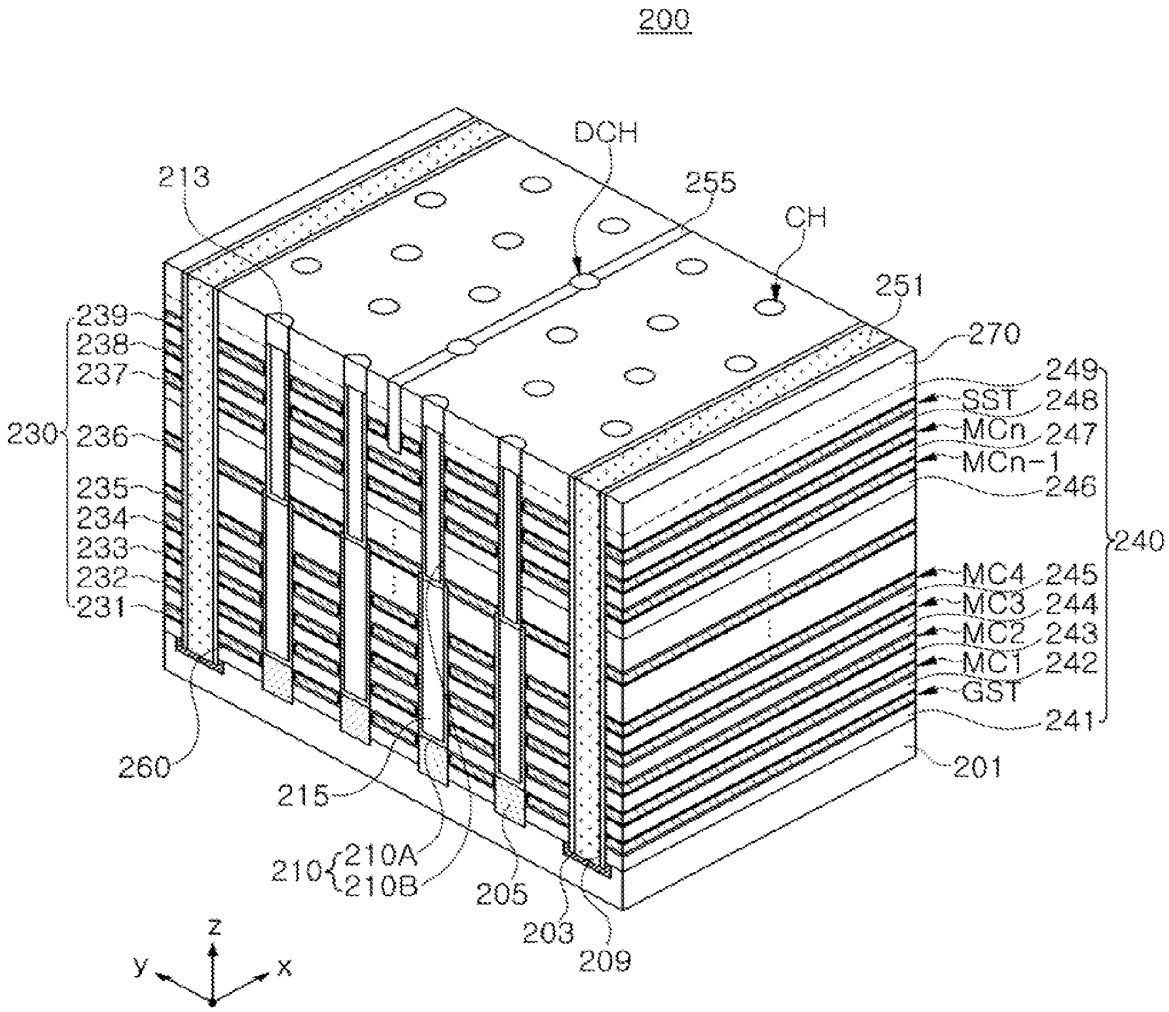


图3

Micron Ex. 1002, p. 344
Micron v. YMTC
IPR2025-00190

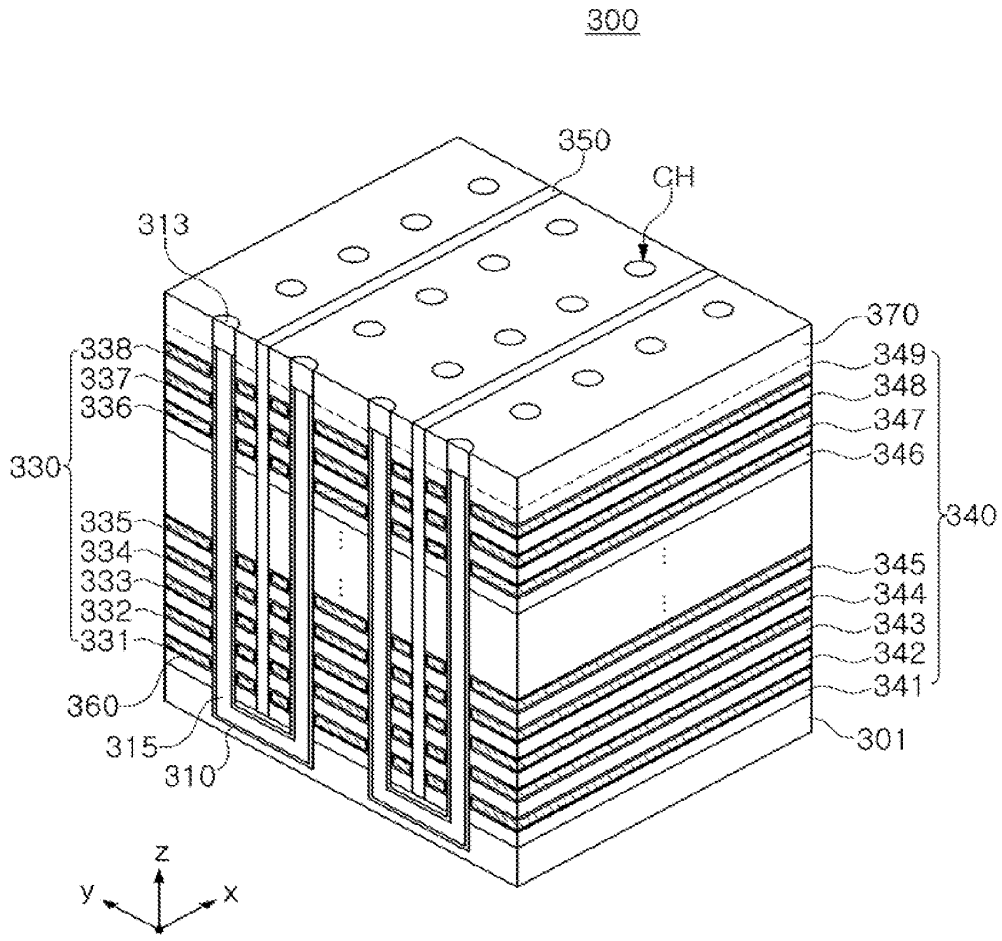


图4

Micron Ex. 1002, p. 345
Micron v. YMTC
IPR2025-00190

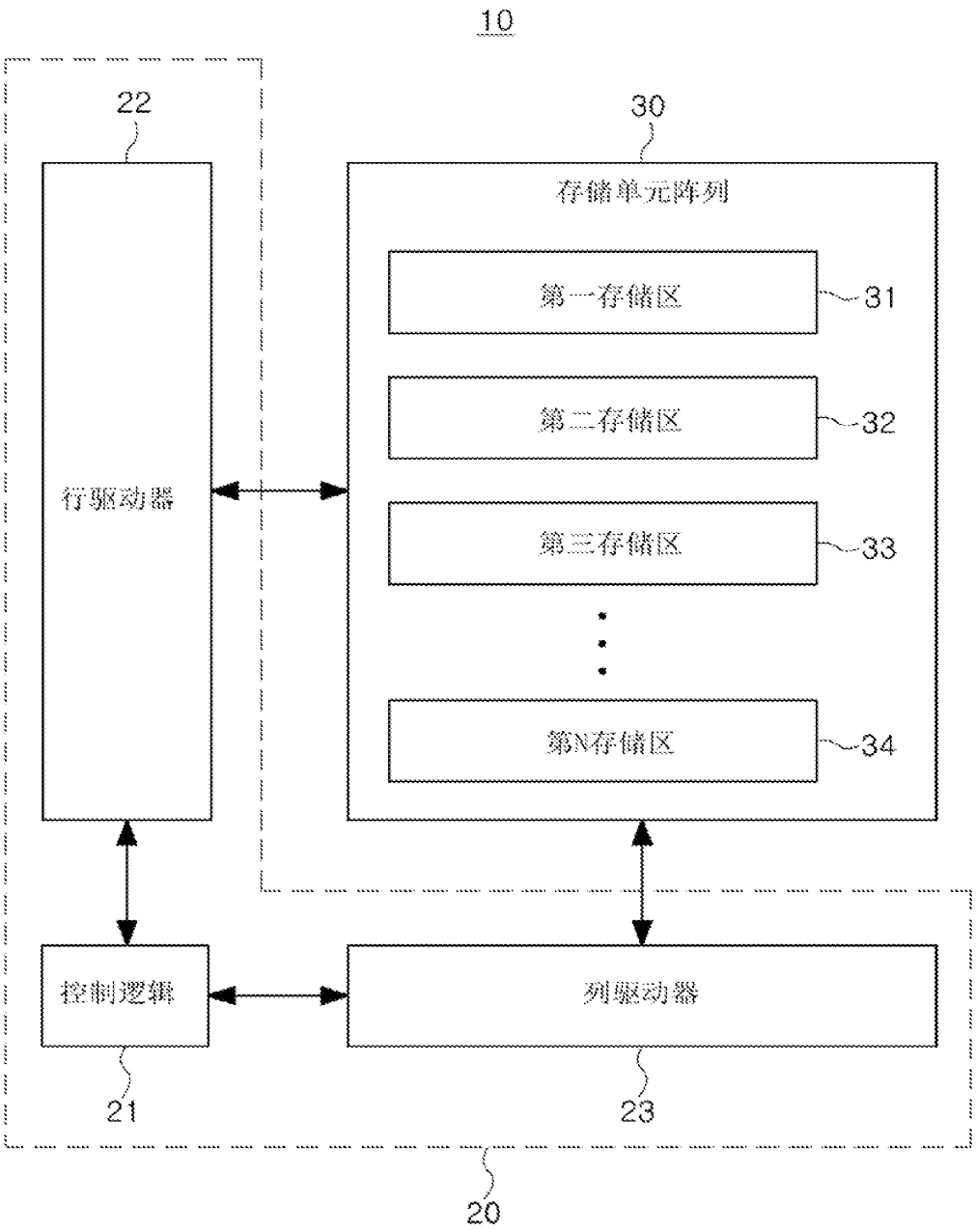


图5

Micron Ex. 1002, p. 346
Micron v. YMTC
IPR2025-00190

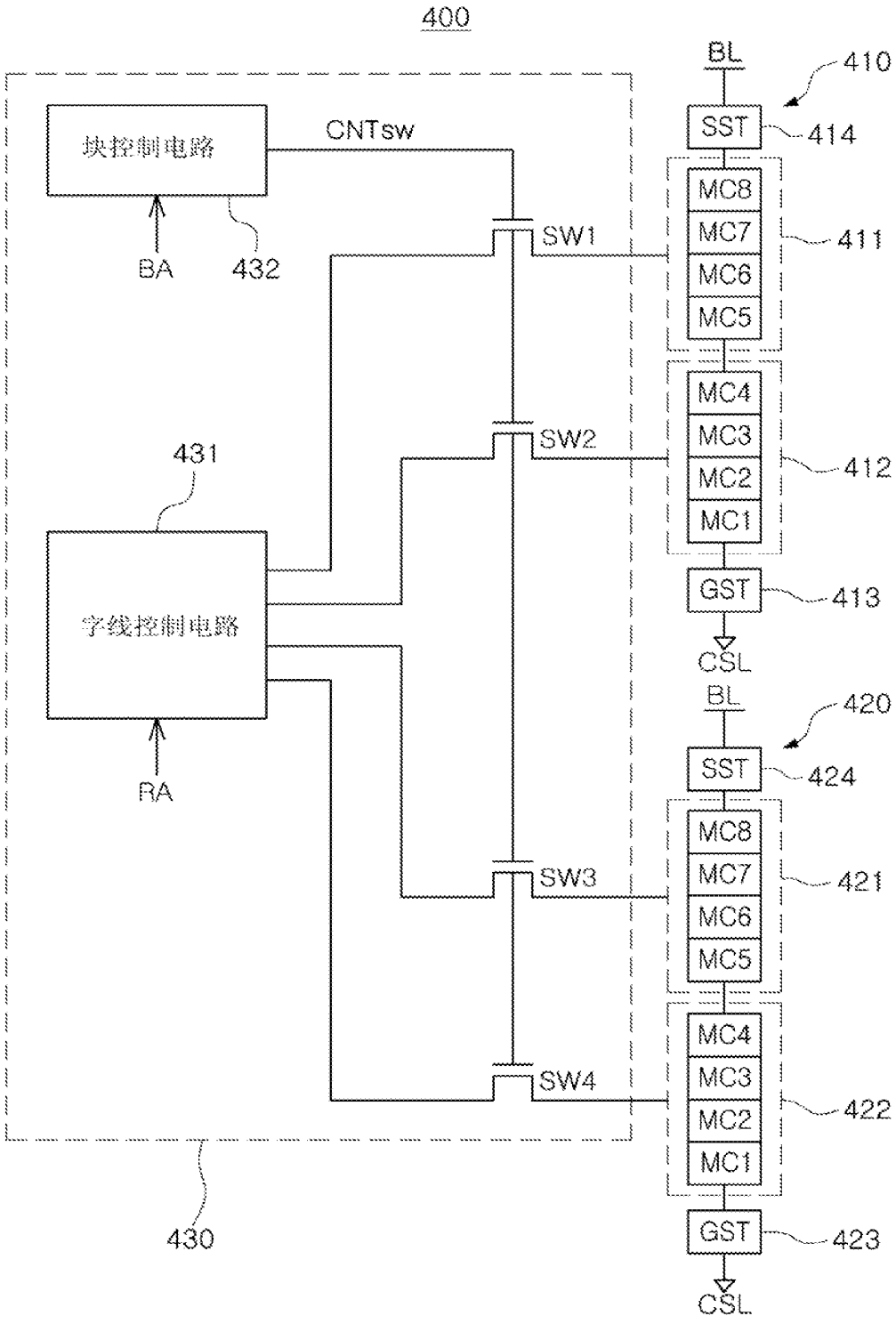


图6

Micron Ex. 1002, p. 347
Micron v. YMTC
IPR2025-00190

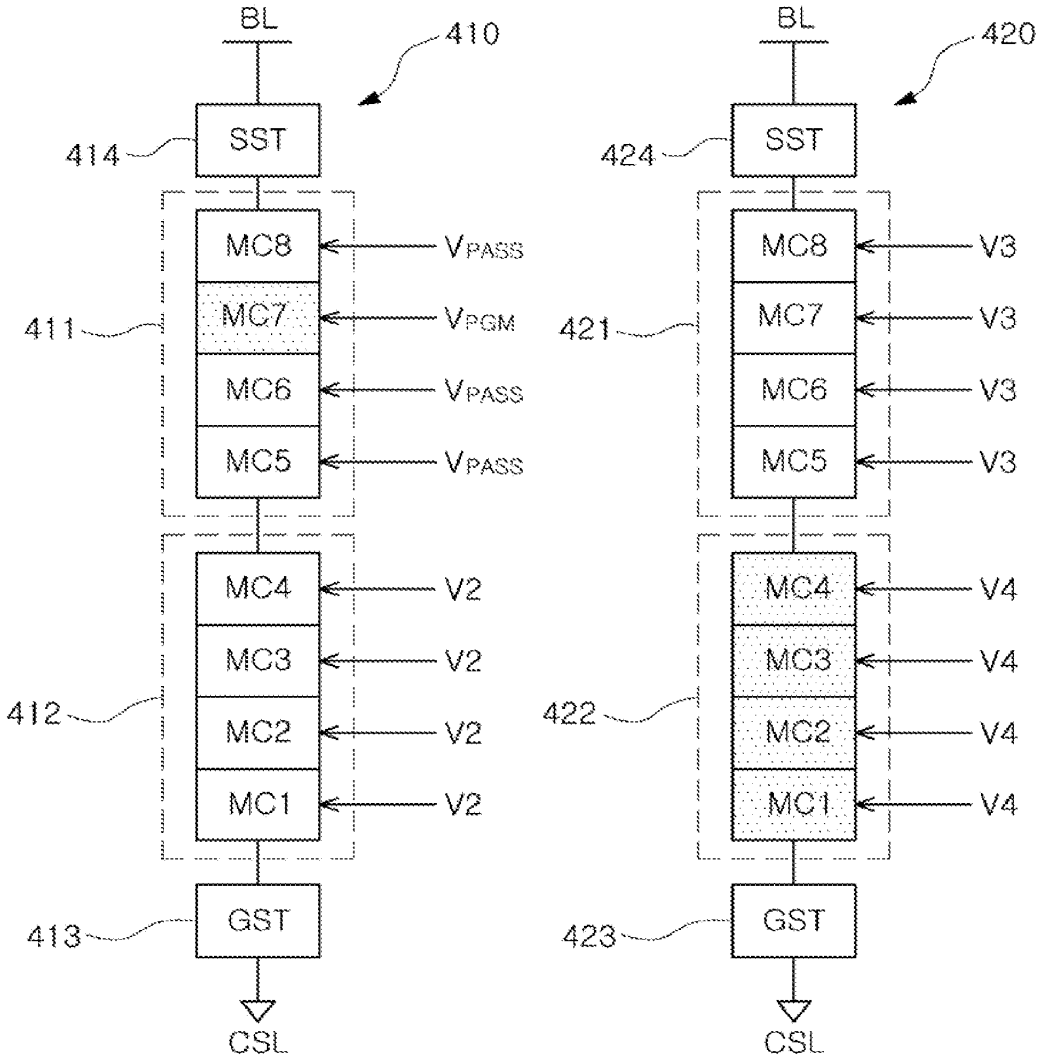


图7

Micron Ex. 1002, p. 348
Micron v. YMTC
IPR2025-00190

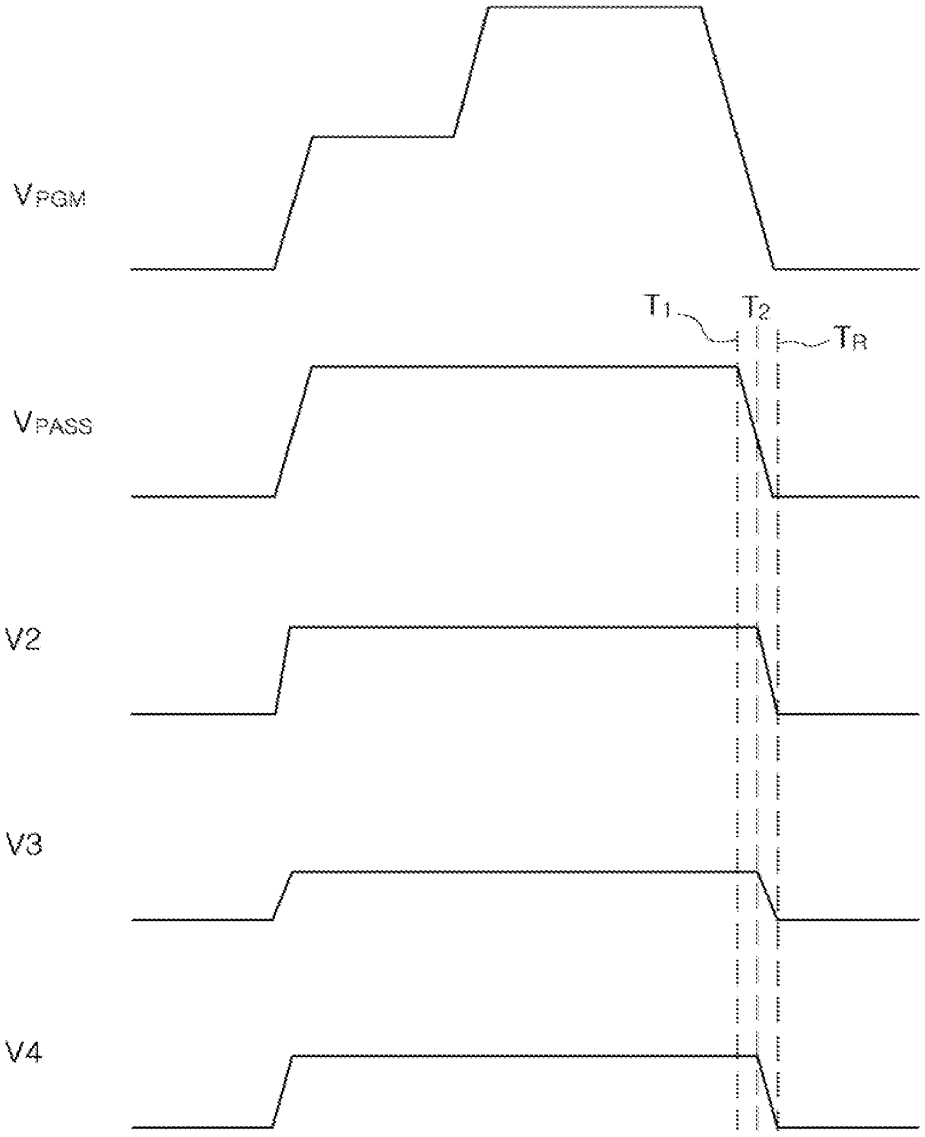


图8

Micron Ex. 1002, p. 349
Micron v. YMTC
IPR2025-00190

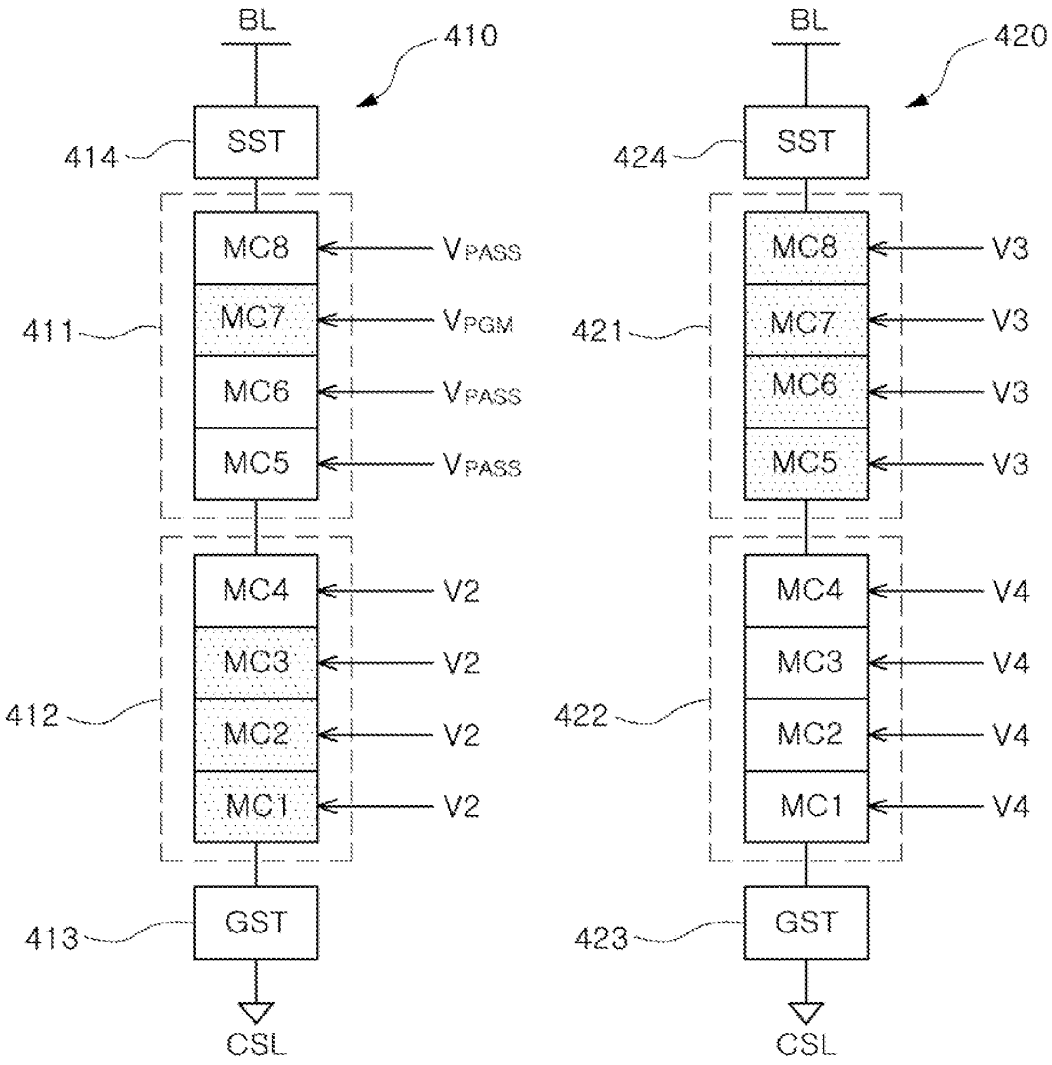


图9

Micron Ex. 1002, p. 350
Micron v. YMTC
IPR2025-00190

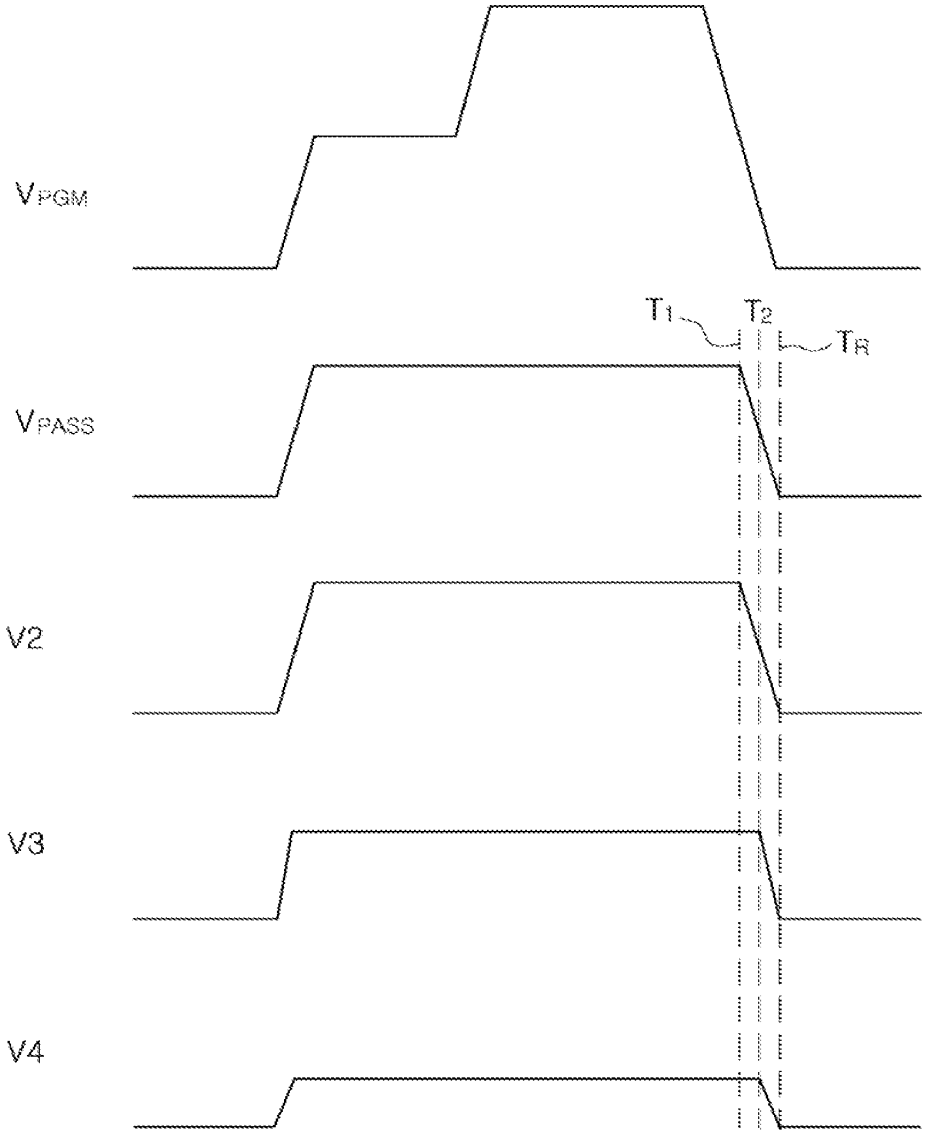


图10

Micron Ex. 1002, p. 351
Micron v. YMTC
IPR2025-00190

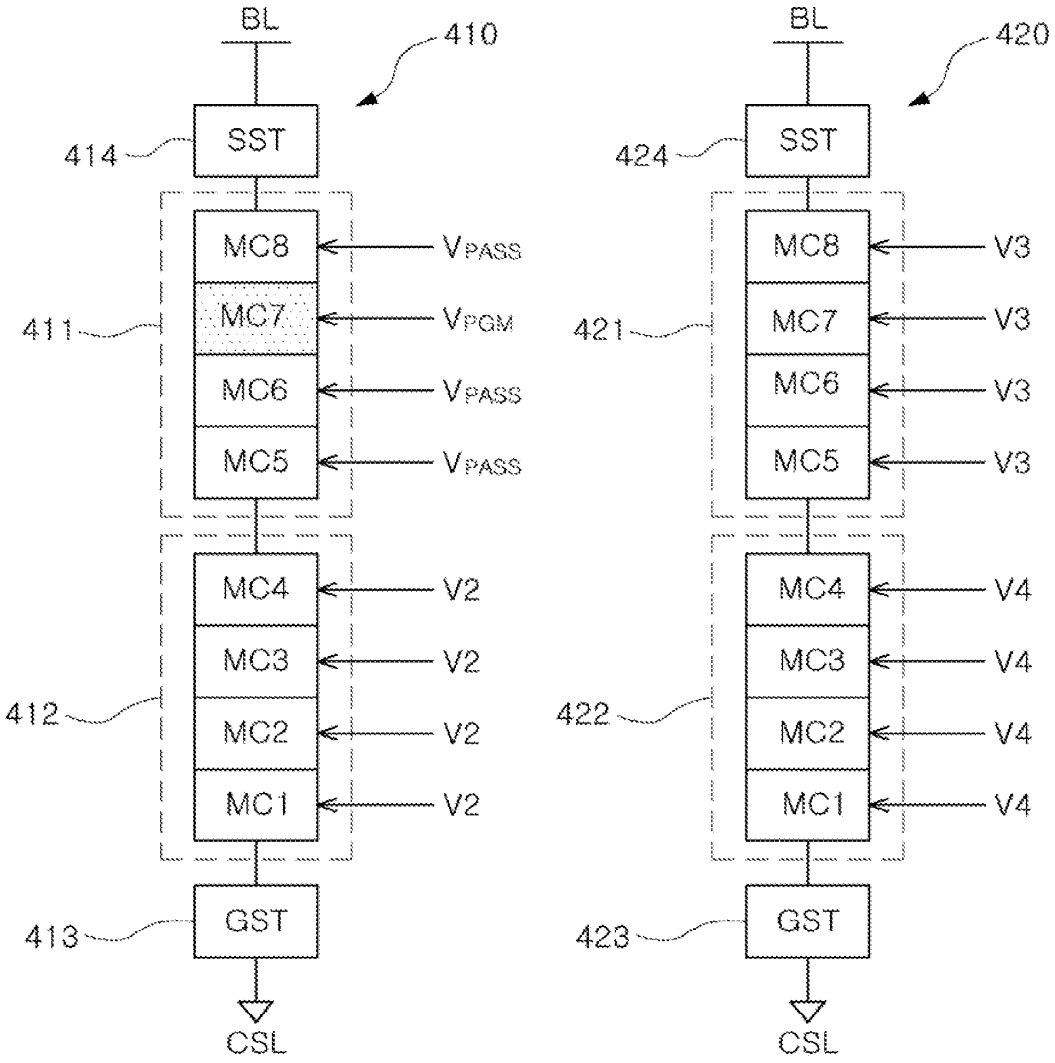


图11

Micron Ex. 1002, p. 352
Micron v. YMTC
IPR2025-00190

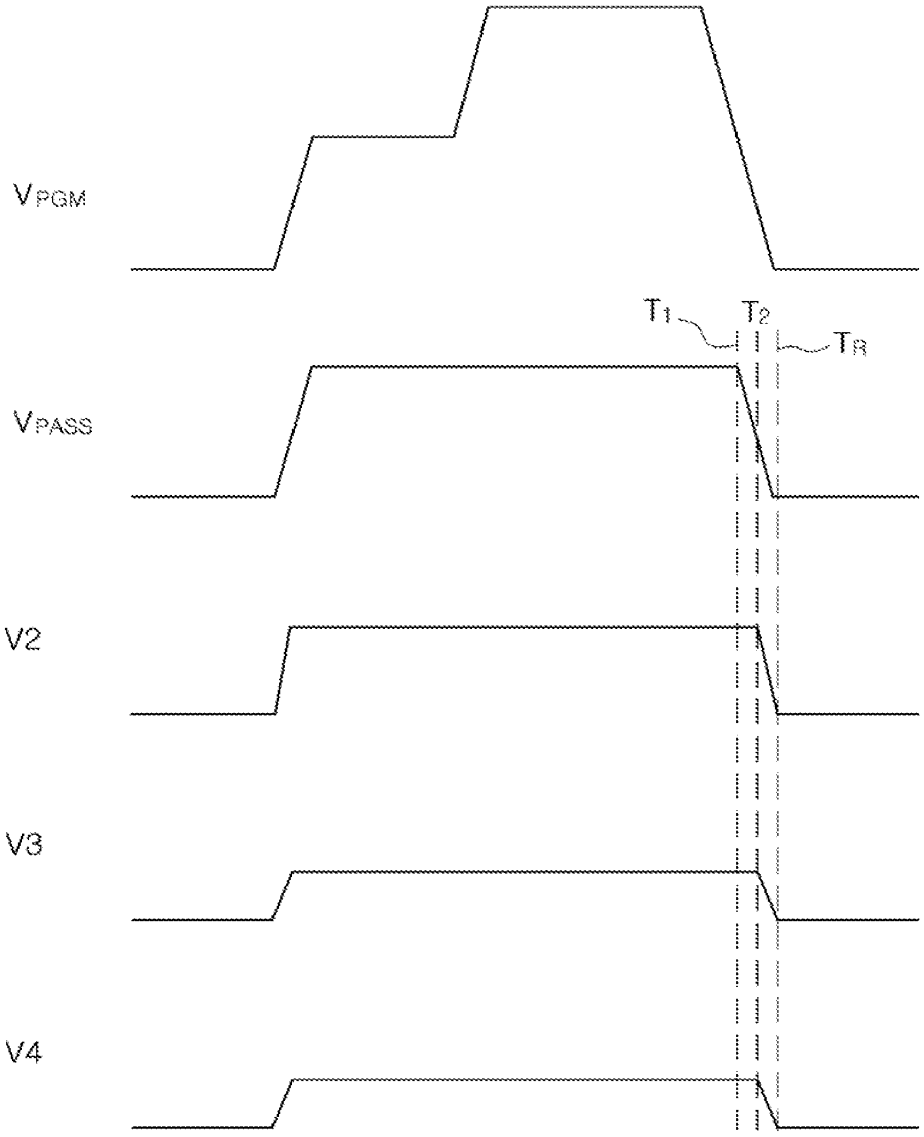


图12

Micron Ex. 1002, p. 353
Micron v. YMTC
IPR2025-00190

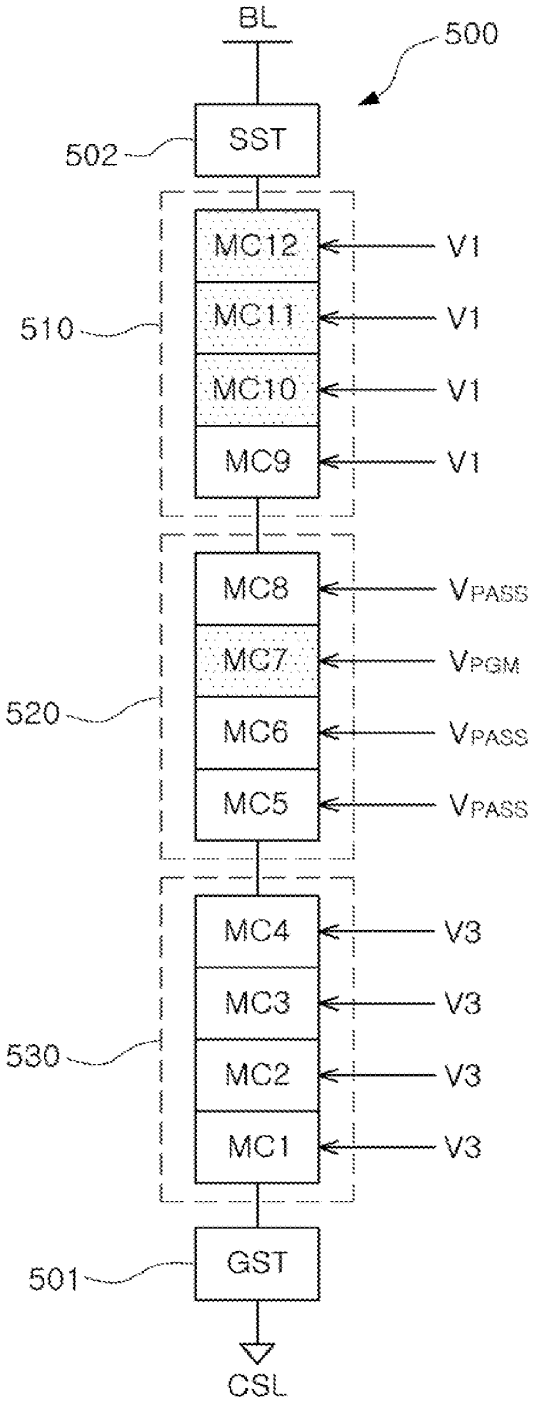


图13

Micron Ex. 1002, p. 354
Micron v. YMTC
IPR2025-00190

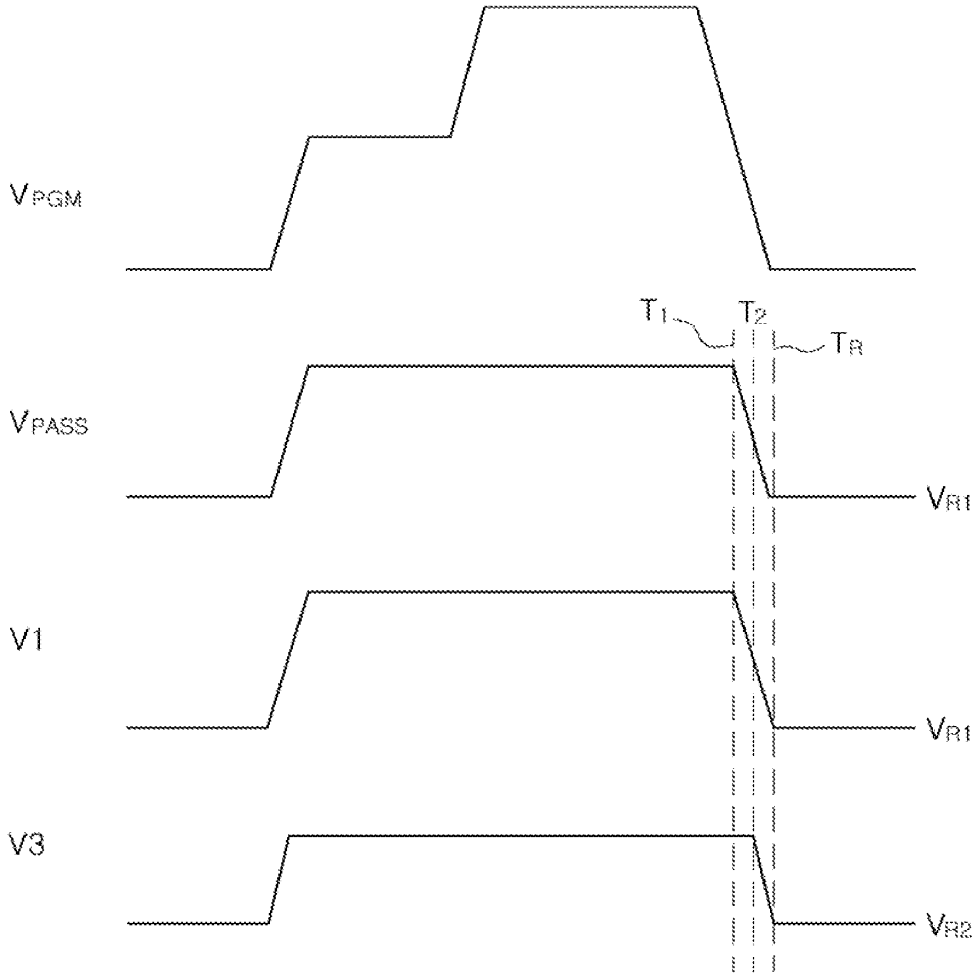


图14

Micron Ex. 1002, p. 355
Micron v. YMTC
IPR2025-00190

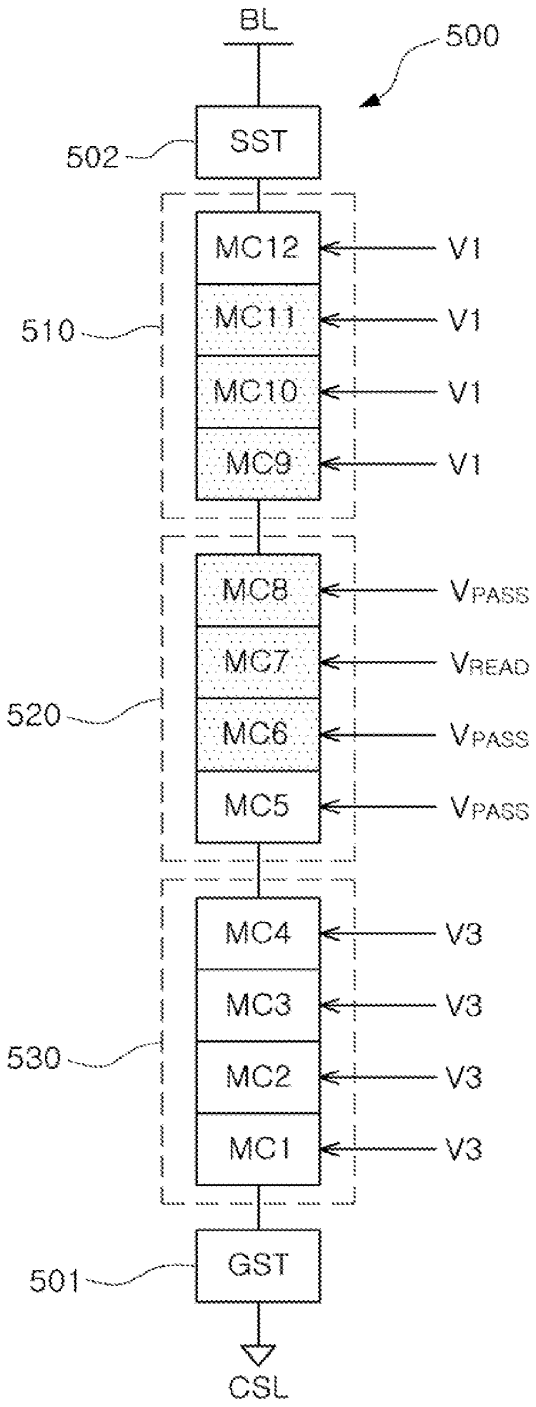


图15

Micron Ex. 1002, p. 356
Micron v. YMTC
IPR2025-00190

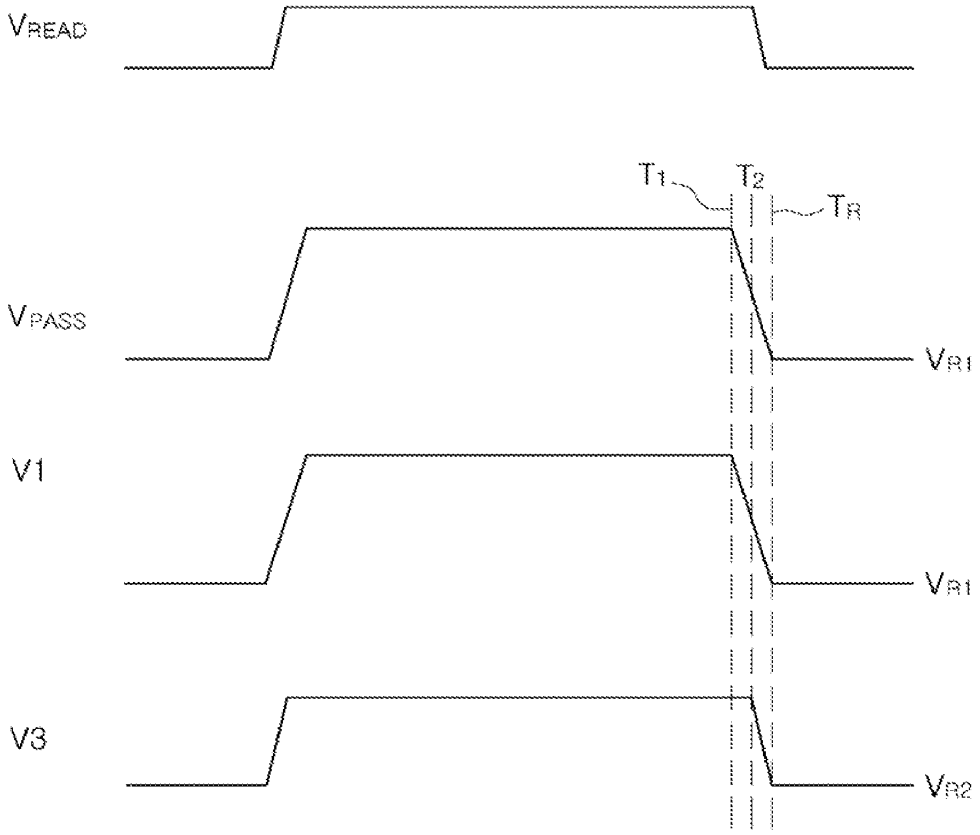


图16

Micron Ex. 1002, p. 357
Micron v. YMTC
IPR2025-00190

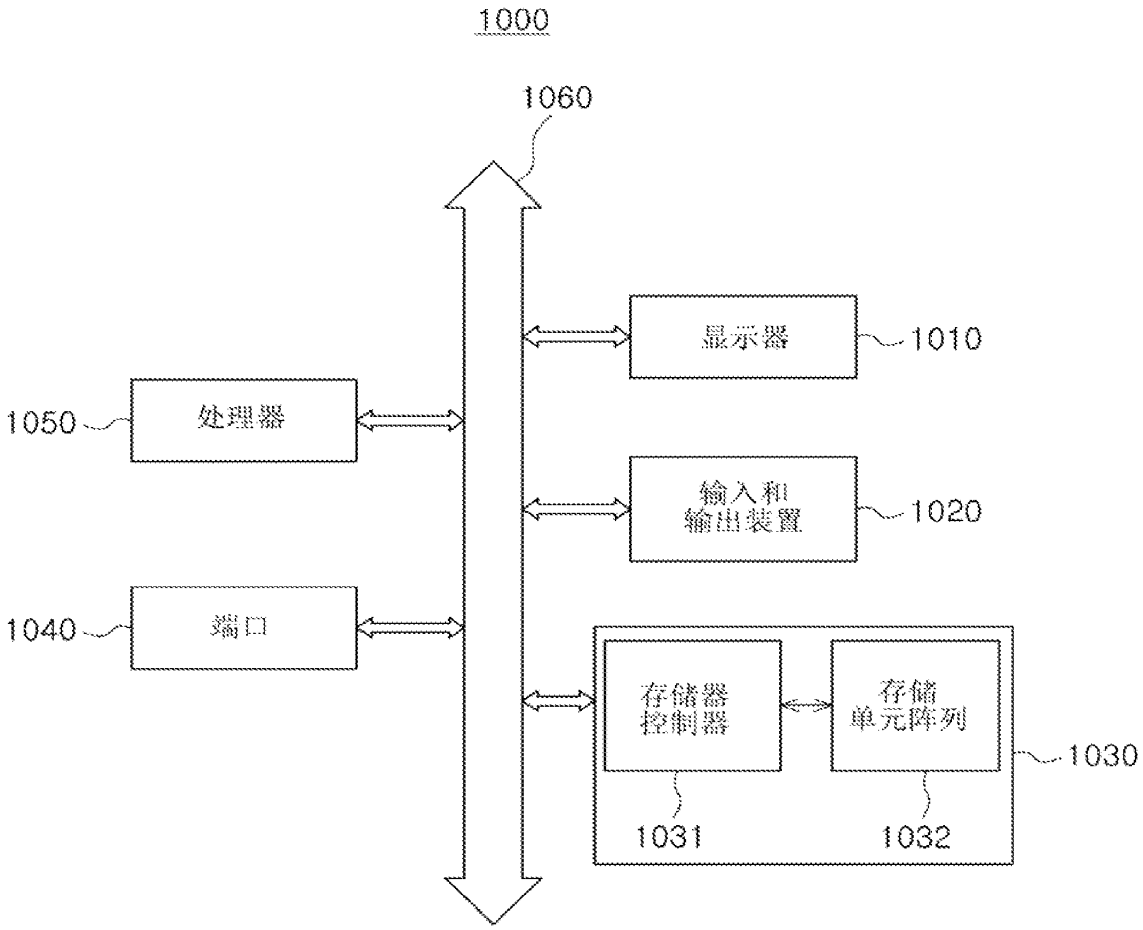


图17

Micron Ex. 1002, p. 358
Micron v. YMTC
IPR2025-00190

The English-language equivalent US patent (No. 6,061,270) of KR (No. 10-0297602) is hereby presented to fulfill the 37 CFR 1.98(a)(3) requirement.

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 27/115

(45) 공고일자 2001년08월07일
(11) 등록번호 10-0297602
(24) 등록일자 2001년05월23일

(21) 출원번호 10-1997-0080587
(22) 출원일자 1997년12월31일
(65) 공개번호 특1999-0060364
(43) 공개일자 1999년07월26일

(73) 특허권자 삼성전자 주식회사 윤종용
경기 수원시 팔달구 매탄3동 416
(72) 발명자 최정달
경기도 수원시 팔달구 매탄3동 임광 아파트 5-1204
(74) 대리인 이건주

심사관 : 오세준

(54) 비휘발성메모리장치의프로그램방법

요약

비휘발성 메모리 장치의 프로그램 방법이 개시되어 있다. 비트라인에 프로그램 금지를 위한 제1전압을 인가하고, 제1선택 트랜지스터의 게이트와 비선택된 워드라인 및 선택된 워드라인에 제1전압을 손실 없이 패스시킬 수 있는 제2전압을 인가한다. 이어서, 제1선택 트랜지스터의 게이트에 제1전압을 인가하여 비트라인으로의 전류 경로를 차단한다. 다음에, 선택된 워드라인에 종속된 메모리 셀의 소오스를 공유하는 비선택된 제1메모리 셀의 워드라인, 및 드레인을 공유하는 비선택된 제2 메모리 셀의 워드라인에 다른 비선택된 메모리 셀과 디커플시키기 위한 제3전압을 인가하고, 비선택된 제1 및 제2메모리 셀을 제외한 비선택된 워드라인에 제4전압을 인가하여 비선택된 제1 및 제2메모리 셀의 소오스 또는 드레인을 [그 게이트 전압 - 문턱 전압]의 값보다 높은 전압으로 용량성 커플링시킴으로써, 선택된 메모리 셀의 채널과 비선택된 메모리 셀의 채널과의 연결을 차단한다. 이후, 선택된 워드라인에 프로그램 전압을 인가한다. 비트라인에 인가된 프로그램 금지 전압을 제1선택 트랜지스터의 문턱 전압과 선택 및 비선택된 메모리 셀의 소거 전압과 무관하게 프리차아지시킬 수 있다.

대표도

도8

명세서

도면의 간단한 설명

도 1은 통상적인 NAND형 플래쉬 EEPROM장치의 셀 어레이의 수직 구조를 도시한 단면도이다.

도 2는 도 1에 도시한 셀 어레이의 등가 회로도이다.

도 3은 종래 방법에 의한 NAND형 플래쉬 EEPROM 장치에 있어서, 셀의 프로그램 방법을 설명하기 위한 회로도이다.

도 4는 도 3의 장치에 있어서, 프로그램 금지 셀의 패스 전압에 따른 문턱 전압의 변동 특성을 도시한 그래프이다.

도 5는 종래의 다른 방법에 의한 NAND형 플래쉬 EEPROM 장치의 프로그램 방법을 설명하기 위한 회로도이다.

도 6은 도 5의 장치에 있어서, 프로그램 금지 셀의 패스 전압에 따른 문턱 전압의 변동 특성을 도시한 그래프이다.

도 7은 본 발명에 의한 NAND형 플래쉬 EEPROM 장치의 셀 어레이의 회로도이다.

도 8은 본 발명에 의한 NAND형 플래쉬 EEPROM 장치의 프로그램 방법을 설명하기 위한 회로도이다.

도 9는 도 8의 장치에 있어서, 프로그램 금지 셀의 패스 전압에 따른 문턱 전압의 변동 특성을 도시한 그래프이다.

발명의 상세한 설명

Micron Ex. 1002, p. 359
Micron v. YMTC
IPR2025-00190

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에 관한 것으로, 보다 상세하게는 전기적으로 소거 및 프로그램 가능한(electrically erasable and programmable) 비휘발성 메모리 장치의 프로그램 방법에 관한 것이다.

반도체 메모리 장치는 DRAM(dynamic random access memory) 및 SRAM(static random access memory)과 같이 시간이 지남에 따라 데이터를 잃어버리는 휘발성(volatile)이면서 데이터의 입·출력이 빠른 RAM 제품과, 한번 데이터를 입력하면 그 상태를 유지할 수 있지만 데이터의 입·출력이 느린 ROM(read only memory) 제품으로 크게 구분할 수 있다. 이러한 ROM 제품 중에서, 전기적으로 데이터의 입·출력이 가능한 플래쉬(flash) EEPROM에 대한 수요가 늘고 있다. 플래쉬 EEPROM 소자는 회로 보드(board)로 부터 제거하지 않으면서 고속으로 전기적 소거가 가능한 소자로서, 메모리 셀 구조가 간단하여 단위 메모리당 제조원가가 싸고 데이터를 보존하기 위한 리프레쉬(refresh) 기능이 불필요하다는 장점이 있다.

플래쉬 EEPROM의 셀 구조는 크게 NOR형과 NAND형으로 분류하는데, NOR형은 2셀당 1개의 콘택이 필요하여 고집적화에 불리하지만 셀 전류가 커서 고속화에 유리하다는 장점을 가지며, NAND형은 셀 전류가 적어 고속화에 불리하지만 다수의 셀이 하나의 콘택을 공유하여 고집적화에 유리하다는 장점을 갖는다. 따라서, NAND형 플래쉬 EEPROM 소자는 최근 디지털 스틸 카메라 등에 사용되는등 차세대 메모리 소자로 각광받고 있다.

통상적인 NAND형 플래쉬 EEPROM 장치의 셀 어레이의 구조가 1990년 초고집적 회로 심포지움(Symposium on VLSI circuits), pp.105~106에 기술되어 있으며, 그 단면도 및 등가 회로도를 도 1 및 도 2에 도시하였다.

도 1 및 도 2를 참조하면, 통상적인 NAND형 플래쉬 EEPROM 셀 어레이는 단위 스트링(string)을 선택하기 위한 선택 트랜지스터(string select transistor; SST)와 그라운드를 선택하기 위한 선택 트랜지스터(ground select transistor; GST)의 사이에 플로팅 게이트(floating gate)(18)와 컨트롤 게이트(control gate)(22)가 적층된 구조의 메모리 셀 트랜지스터(MC1, …, MC16)들이 다수개 직렬로 연결되어 하나의 스트링을 구성한다. 상기 스트링은 비트라인(bit line; B/L1, B/L2, …)에 다수개 병렬로 연결되어 하나의 블록(block)을 구성하고, 상기 블록은 비트라인 콘택을 중심으로 대칭적으로 배치된다. 상기 트랜지스터들은 행과 열의 매트릭스 형태로 배열되고, 동일 열들에 배열된 스트링 선택 트랜지스터(SST) 및 그라운드 선택 트랜지스터(GST)의 게이트는 각각 스트링 선택 라인(string select line; SSL) 및 그라운드 선택 라인(ground select line; GSL)과 접속된다. 또한, 동일 열들에 배열된 메모리 셀 트랜지스터(MC1, …, MC16)의 게이트는 대응되는 다수의 워드라인(word line; W/L1, …, W/L16)에 접속된다. 그리고, 상기 스트링 선택 트랜지스터(SST)의 드레인에는 비트라인(B/L)이 연결되고, 그라운드 선택 트랜지스터(GST)의 소오스에는 공통 소오스 라인(common source line; CSL)이 연결된다.

메모리 셀 트랜지스터(MC1, …, MC16)는 반도체 기판(10)의 상부에 터널 산화막(16)을 개재하여 형성된 플로팅 게이트(18)와, 상기 플로팅 게이트(18)의 상부에 층간 유전막(20)을 개재하여 형성된 컨트롤 게이트(22)가 적층된 구조로 형성된다. 상기 플로팅 게이트(18)는 액티브 영역과 상기 액티브 영역 양측의 필드 영역 가장자리의 일부 영역에 걸쳐서 형성됨으로써 이웃한 셀 트랜지스터의 플로팅 게이트(18)와 격리된다. 상기 컨트롤 게이트(22)는 필드 영역을 사이에 두고 독립적으로 형성된 플로팅 게이트(18)를 포함하여 이웃한 셀 트랜지스터의 컨트롤 게이트(22)와 연결됨으로써 워드라인을 형성한다.

선택 트랜지스터(SST, GST)들은 데이터를 저장하는 플로팅 게이트가 필요 없는 트랜지스터이므로, 셀 어레이 내의 필드 영역 상부에서 버팅 콘택(butting contact)을 통해 상기 플로팅 게이트(18)와 컨트롤 게이트(22)를 금속선으로 연결한다. 따라서, 상기 선택 트랜지스터들은 전기적으로는 1층의 게이트를 갖는 모스 트랜지스터로서 동작하게 된다. 상술한 구조를 갖는 NAND형 플래쉬 EEPROM 장치의 셀 동작을 살펴보면 다음과 같다.

먼저, 프로그램 동작은 선택된 셀 트랜지스터와 연결되는 비트라인에 0V의 전압을 인가하고 선택된 셀 트랜지스터와 연결되는 워드라인에 프로그램 전압(Vpgm)을 인가하여 셀 트랜지스터의 채널 영역과 컨트롤 게이트 사이의 높은 전압 차이에 의한 파울러 노드하임(Fowler-Nordheim; 이하 'F-N'이라 한다) 터널링(tunneling)에 의해 채널 영역의 전자를 플로팅 게이트 내로 주입하는 것이다. 이때, 비트라인과 그라운드 노드 사이에 위치하는 다수의 메모리 셀 중에서 비선택된 셀 트랜지스터에 연결되는 워드라인에는 선택된 비트라인에 인가되는 데이터(0V)를 선택된 셀 트랜지스터에 전달하기 위한 패스 전압(Vpass)을 인가한다. 이때, 선택된 셀 트랜지스터의 문턱 전압이 양의 전압으로 바뀌게 된다.

소거 동작은 플로팅 게이트 내에 저장된 전자를 제거하는 동작으로서, 벌크에 약 20V의 소거 전압(Verase)을 인가하고 선택된 셀 트랜지스터와 연결된 워드라인에 0V를 인가하면, 프로그램 동작과는 반대 방향의 소거 전압(Verase)에 의한 전계에 의해 플로팅 게이트 내에 저장된 전자가 소거되고 정공(hole)이 주입되게 된다. 상기한 소거 동작에 의해 셀 트랜지스터의 초기 상태가 약 -3V의 문턱 전압을 갖게 된다.

판독(read) 동작은 셀 트랜지스터 내에 전자가 저장되어 있을 경우에는 그 문턱 전압(Vth)이 +1V로 변하고 셀 트랜지스터 내에 정공이 저장되어 있을 경우에는 그 문턱 전압이 -3V로 변하는 것을 이용하여 선택된 워드라인에 0V를 인가하여 선택된 셀 트랜지스터를 통한 전류 경로의 형성 유·무에 따라 '0' 또는 '1'의 데이터를 판독하는 것이다.

여기서, 상기 프로그램 동작은 모든 셀 트랜지스터들의 소거 동작을 진행한 후에 실시되는데, 프로그램 동작시 선택된 워드라인의 비선택된 비트라인에 연결된 비선택된 셀 트랜지스터가 받는 프로그램 외란(program disturbance)을 방지하기 위하여 비선택된 셀 트랜지스터가 프로그램되는 것을 금지하여야 한다. 종래의 셀프-부스팅(self-boosting)에 의한 프로그램 금지 방법이 1995년 JSSC(Journal of Solid state circuits), Vol.30, No.11, pp.1149~1156에 기술되어 있으며, 이를 설명하기 위한 회로도를 도 3

Micron Ex. 1002, p. 360
Micron v. YMTC
IPR2025-00190

에 도시하였다.

도 3을 참조하면, 예를 들어 셀 트랜지스터-A를 프로그래밍할 때, 그라운드 선택 트랜지스터의 게이트(GSL)에 0V를 인가하여 메모리 셀 어레이의 그라운드 경로를 차단시키고, 선택된 비트라인에 0V를 인가하고 비선택된 비트라인에는 프로그램 금지 전압(program inhibition voltage; Vpi)을 공급한다. 이때, 상기 프로그램 금지 전압(Vpi)는 전원 전압인 Vcc(3.3V 또는 5V)를 인가한다. 이와 동시에, 스트링 선택 트랜지스터의 게이트(SSL)에 Vcc를 인가하여 스트링 선택 트랜지스터(SST)의 소오스를 [Vcc - 스트링 선택 트랜지스터의 문턱 전압(SST_{Vth})]의 전압으로 차아징한 후, 상기 스트링 선택 트랜지스터(SST)가 가상적으로 차단되도록 한다. 그리고, 선택된 워드라인에 약 18V의 프로그램 전압(Vpgm)을 인가하고, 비선택된 워드라인에 약 10V의 패스 전압(Vpass)을 인가하여, 동일한 스트링에 종속된 셀 트랜지스터들의 채널 영역을 16단 NAND형의 경우, 차아지 공유(charge sharing)에 의해 (Vcc - SST_{Vth})/17의 전압으로 차아징시킨다. 그리고, 선택된 워드라인에 인가된 전압들을 패스시키면, 선택된 워드라인에 인가된 높은 프로그램 전압(Vpgm)에 의한 용량성 커플링(capacitive coupling)으로 셀 트랜지스터들의 채널 전압 Vch는,

$$Vch = \frac{Vcc - SST_{Vth}}{17} + Vboost$$

가 된다. 그리고,

$$Vboost = \left(\frac{Cins}{Cins+Cch}\right)\left(Vpgm - \frac{Cins}{Cins+Cch}\right)Vpass$$

$$Cins = \frac{ConoCtun}{Cono+Ctun}$$

이다. 여기서, Cch는 채널 아래에 형성되는 공핍 영역에 의해 발생되는 공핍 캐패시턴스를 나타내며, Cins는 컨트롤 게이트와 채널 사이의 전체 캐패시턴스이다. 예를 들어, 프로그램 전압(Vpgm)이 20V이고 패스 전압(Vpass)이 10V이면, 약 8V의 전압이 프로그램 금지되는 셀 트랜지스터의 채널 영역에 유기된다. 이 경우, 플로팅 게이트와 채널 사이에서 F-N 터널링이 발생할 수 없는 조건이 되므로, 프로그램 금지되는 셀 트랜지스터는 초기에 소거된 상태 (즉, -3V의 문턱 전압)로 유지된다.

그러나, 상술한 종래 방법에 의하면, Vcc가 낮아질 경우 [~ (Vcc - SST_Vth) / 17 ~+~ Vboost ~]의 전압이 낮아져서 프로그램 금지되는 셀 트랜지스터의 채널 전압(Vch)과 선택된 워드라인에 인가된 프로그램 전압(Vpgm)과의 전위가 커지게 된다. 그 결과, 선택된 셀 트랜지스터의 컨트롤 게이트에 인가된 프로그램 전압(Vpgm)에 의한 소프트-프로그래밍(soft-programming) 현상(이하, 'Vpgm 스트레스'라 한다)이 커지게 되어, 프로그램 금지되는 셀 트랜지스터가 초기에 소거된 상태를 유지하지 못하고 그 문턱 전압이 증가하는 문제가 발생한다. 또한, 비트라인에 0V가 인가된 단위 스트링에 종속된 비선택 셀 트랜지스터들은 패스 전압(Vpass)이 증가함에 따라 컨트롤 게이트와 채널과의 전압차가 증가하여 소프트-프로그래밍되는 현상(이하, 'Vpass 스트레스'라 한다)이 유발됨으로써 그 문턱 전압이 증가하는 문제가 발생한다. 따라서, 상기 Vpgm스트레스 및 Vpass스트레스가 유발되지 않는 패스 전압 영역에서 최적의 패스 전압을 결정하여야 한다.

도 4는 상술한 종래 방법에 있어서, 프로그램 금지 전압을 2.8V/3.8V/5V로 각각 변화시키면서 프로그램 금지 셀의 패스 전압(Vpass)에 따른 문턱 전압(Vth)의 변동 특성을 도시한 그래프로서, 프로그램 전압(Vpgm)은 17V이고 총 프로그램 스트레스 시간(Tpgm)은 3ms이다. 도 4를 참조하면, 비트라인에 인가되는 프로그램 금지 전압(Vcc)이 낮아짐에 따라 Vpgm 스트레스 및 Vpass 스트레스가 유발되지 않는 패스 전압 영역의 윈도우가 점점 줄어듬을 알 수 있다. 또한, 상술한 종래 방법에 의하면, 셀당 2비트 이상의 정보를 기록하는 멀티-비트 NAND 플래쉬 동작시 3배 이상 길어진 프로그래밍 시간과 3V 이상 높아진 프로그램 전압으로 인하여 프로그램 외란 윈도우가 감소하는 문제가 있다.

상술한 종래 방법의 문제점을 해결하기 위한 또다른 종래 방법인 로컬 셀프-부스팅(local self-boosting; 이하 'LSB'라 한다)에 의한 프로그램 금지 방법이 1996년 ISSCC Digest of Technical Papers, pp.32~33에 기술되어 있으며, 이를 설명하기 위한 회로도를 도 5에 도시하였다. 도 5를 참조하면, 선택된 워드라인과 인접한 두 개의 비선택된 워드라인에 디커플 전압(Vdecouple)으로 0V를 인가한다. 그리고, 나머지 비선택된 워드라인에 약 10V의 패스 전압(Vpass)을 인가한 후, 약 2μs의 시간 차이를 두고 선택된 워드라인에 약 18V의 프로그램 전압(Vpgm)을 인가한다. 그러면, 셀프-부스팅되는 셀 트랜지스터의 채널이 선택 워드라인으로만 국한되어 부스팅 전압(Vboost)이 증가됨으로써, Vpgm 스트레스가 개선된다. 상술한 LSB 방법에 의하면, 프로그램 금지되는 셀 트랜지스터의 채널 전압 Vch는

$$Vch = \frac{Vcc - SST_{Vth}}{17} + Vboost$$

가 되고, 부스팅 전압(Vboost)은

$$Vboost = \left(\frac{Cins}{Cins+Cch}\right)Vpgm$$

이 되므로, 도 3에서 설명한 셀프-부스팅에 의한 프로그램 금지 방법보다 Vpgm 스트레스가 훨씬 개선된다.

도 6은 상기한 LSB 방법에 있어서, 디커플 전압이 인가되는 셀 트랜지스터의 문턱 전압을 -5V/-3V/-1V로 각각 변화시키면서 프로그램 금지 셀의 패스 전압(Vpass)에 따른 문턱 전압(Vth)의 변동 특성을 도시한 그래프로서, 프로그램 전압(Vpgm)은 20V이고 총 프로그램 스트레스 시간(Tpgm)은 2.4ms이며, 프로그램 금지 전압(Vpi)은 2.8V이다. 도 6을 참조하면, 프로그램 금지를 위해 비트라인에 인가되는 Vcc 전압이 낮아짐에 따라 Vpgm 스트레스 및 Vpass 스트레스가 유발되지 않는 패스 전압 영역의 윈도우가 도 4에 도시한

Micron Ex. 1002, p. 361
Micron v. YMTC
IPR2025-00190

종래의 것에 비해 3V 이상 개선된다.

그러나, 디커플 전압(Vdecouple)이 인가되는 두 개의 셀 트랜지스터의 초기 문턱 전압이 과도 소거(over-erase)될 경우, 셀프-부스팅되는 셀 트랜지스터의 채널을 선택된 워드라인으로만 국한시키지 못하게 되어 도 6에 도시한 바와 같이, Vpgm스트레스가 증가하여 문턱 전압의 변동이 커지게 되는 문제가 발생한다. 또한, 디커플 전압(Vdecouple)이 인가되는 두 개의 비선택된 셀 트랜지스터의 초기 문턱 전압이 충분히 소거되지 못하게 되면(under-erase), 스트링 선택 트랜지스터(SST)의 소오스에 프리차아지된 (Vcc - SST_{Vth})의 전압이 프로그램 금지되어야 할 셀 트랜지스터의 채널에 충분히 전달되지 못하고, 선택된 워드라인에 종속된 셀 트랜지스터가 프로그램되는 최악의 경우, 프로그램 금지되어야 할 셀 트랜지스터의 채널이 [(Vdecouple(0V) - Vdecouple이 인가된 셀 트랜지스터의 Vth)/17]의 전압으로만 프리차아지된다. 이에 따라, 프로그램 금지되는 셀 트랜지스터의 채널 전압(Vch)과 선택된 워드라인에 인가된 프로그램 전압(Vpgm)과의 전위가 커지게 되어 도 6에 도시한 바와 같이 Vpgm 스트레스가 증가하여 문턱 전압의 변동이 커지게 된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 프로그램 동작시 프로그램 금지 셀에서 발생하는 소프트-프로그래밍 현상을 개선할 수 있는 비휘발성 메모리 장치의 프로그램 방법을 제공하는데 있다.

상기 목적을 달성하기 위하여 본 발명은, 매트릭스 형태로 배열된 다수의 메모리 셀과 메모리 셀을 선택하기 위한 제1 및 제2선택 트랜지스터를 구비하는 메모리 셀 어레이와, 상기 메모리 셀들의 드레인을 공통으로 하여 접속된 복수개의 비트라인과, 상기 메모리 셀들의 컨트롤 게이트와 접속된 복수개의 워드라인을 갖는 비휘발성 메모리 장치에 있어서, 상기 비트라인에 프로그램 금지를 위한 제1전압을 인가하고, 상기 제1선택 트랜지스터의 게이트와 비선택된 워드라인 및 선택된 워드라인에 상기 제1전압을 손실 없이 패스시킬 수 있는 제2전압을 인가하는 제1단계; 상기 제1단계 후, 상기 제1선택 트랜지스터의 게이트에 상기 제1 전압을 인가하여 비트라인으로의 전류 경로를 차단하는 제2단계; 선택된 워드라인에 종속된 메모리 셀의 소오스를 공유하는 비선택된 제1메모리 셀의 워드라인, 및 상기 선택된 워드라인에 종속된 메모리 셀의 드레인을 공유하는 비선택된 제2메모리 셀의 워드라인에는 다른 비선택된 메모리 셀과 디커플시키기 위한 제3전압을 인가하고, 상기 비선택된 제1 및 제2메모리 셀을 제외한 비선택된 워드라인에는 제4전압을 인가하여 상기 비선택된 제1 및 제2메모리 셀의 소오스 또는 드레인을[그 게이트 전압 - 문턱 전압]의 값보다 높은 전압으로 용량성 커플링시킴으로써, 선택된 메모리 셀의 채널과 비선택된 메모리 셀의 채널과의 연결을 차단하는 제3단계; 그리고 상기 제3 단계 후, 선택된 워드라인에 프로그램 전압을 인가하는 제4단계를 구비하는 것을 특징으로 하는 비휘발성 메모리 장치의 프로그램 방법을 제공한다.

바람직하게는, 상기 제1전압은 전원 전압(Vcc)이다. 바람직하게는, 상기 제2전압은 상기 제1전압보다 높은 전압이다. 바람직하게는, 상기 제3전압은 상기 제1 및 제2전압보다 낮은 전압이며, 더 바람직하게는 0V 이하의 전압이다. 바람직하게는, 상기 제4전압은 상기 제1 및 제2전압보다 높은 전압이다.

상술한 바와 같이 본 발명에 따른 비휘발성 메모리 장치의 프로그램 방법에 의하면, 프로그램 전압을 인가하기 전에[전원 전압(Vcc) + 스트링 선택 트랜지스터의 문턱 전압] 이상의 전압을 스트링 선택 트랜지스터의 게이트와 동일 스트링 내의 모든 셀 트랜지스터의 게이트에 인가함으로써, 비트라인에 인가된 프로그램 금지 전압을 상기 스트링 선택 트랜지스터의 문턱 전압과 선택 및 비선택된 셀 트랜지스터의 소거 문턱 전압과 무관하게 프리차아지시킨다. 따라서, 공정 매개 변수의 변화 등에 의한 프로그램 외란 특성을 개선하여 균일한 셀 특성을 확보할 수 있으며, 수율(yield) 향상을 도모할 수 있다.

발명의 구성 및 작용

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.

도 7은 본 발명에 의한 NAND형 플래쉬 EEPROM 장치의 셀 어레이의 등가 회로도이다. 도 7을 참조하면, 본 발명에 의한 NAND형 플래쉬 EEPROM 셀 어레이는 단위 스트링을 선택하기 위한 선택 트랜지스터(SST)와 그라운드를 선택하기 위한 선택 트랜지스터(GST)의 사이에 플로팅 게이트와 컨트롤 게이트가 적층된 구조의 메모리 셀 트랜지스터(MC1, …, MC16)들이 다수개 직렬로 연결되어 하나의 스트링을 구성한다. 상기 스트링은 비트라인(B/L1, B/L2, …)에 다수개 병렬로 연결되어 하나의 블록을 구성하고, 상기 블록은 비트라인 콘택을 중심으로 대칭적으로 배치된다. 상기 트랜지스터들은 행과 열의 매트릭스 형태로 배열되고, 동일 열들에 배열된 스트링 선택 트랜지스터(SST) 및 그라운드 선택 트랜지스터(GST)의 게이트는 각각 스트링 선택 라인(SSL) 및 그라운드 선택 라인(GSL)과 접속된다. 또한, 동일 열들에 배열된 메모리 셀 트랜지스터(MC1, …, MC16)의 게이트는 대응되는 다수의 워드라인(W/L1, …, W/L16)에 접속된다. 그리고, 상기 스트링 선택 트랜지스터(SST)의 드레인에는 비트라인(B/Lj)(여기서 'j'는 1,2,3등의 자연수이다)이 연결되고, 그라운드 선택 트랜지스터(GST)의 소오스에는 공통 소오스 라인(CSL)이 연결된다.

메모리 셀 트랜지스터(MC1, …, MC16)의 플로팅 게이트는 액티브 영역과 상기 액티브 영역 양측의 필드 영역 가장 자리의 일부 영역에 걸쳐서 형성됨으로써 이웃한 셀 트랜지스터의 플로팅 게이트와 격리된다. 상기 컨트롤 게이트는 필드 영역을 사이에 두고 독립적으로 형성된 플로팅 게이트를 포함하여 이웃한 셀 트랜지스터의 컨트롤 게이트와 연결됨으로써 워드라인을 형성한다.

상기 선택 트랜지스터(SST, GST)들은 데이터를 저장하는 플로팅 게이트가 필요 없는 트랜지스터이므로, 셀 어레이 내의 필드 영역 상부에서 버팅 콘택을 통해 상기 플로팅 게이트와 컨트롤 게이트를 금속선으로 연결한다. 따라서, 상기 선택 트랜지스터들은 전기적으로는 1층의 게이트를 갖는 모스 트랜지스터로서 동작하게 된다.

Micron Ex. 1002, p. 362
Micron v. YMTC
IPR2025-00190

이하, 상술한 구조를 갖는 본 발명에 의한 NAND형 플래쉬 EEPROM 장치의 프로그램 동작을 도 8을 참조하여 설명하고자 한다.

본 발명의 프로그램 동작은 종래 방법과 마찬가지로 소거 동작을 실시한 후 진행하게 된다. 소거 동작은 플로팅 게이트 내에 저장된 전자를 제거하는 동작으로서, 벌크에 약 20V의 소거 전압(Verase)을 인가하고 선택된 셀 트랜지스터에 연결된 워드라인에 0V를 인가하므로써 실행된다. 상기와 같이 벌크와 선택된 셀 트랜지스터의 워드라라인에 0V를 공급하면, 프로그램 동작과는 반대 방향의 소거 전압(Verase)에 의한 전계에 의해 플로팅 게이트 내에 저장된 전자가 소거되고 정공이 주입되게 된다. 상기한 소거 동작에 의해 셀 트랜지스터의 초기 상태가 약 -3V의 문턱 전압을 갖게 된다.

상기한 소거 동작 후에 실시되는 프로그램 동작은 선택된 셀 트랜지스터와 연결되는 비트라인에 0V의 전압을 인가하고 선택된 셀 트랜지스터에 연결되는 워드라인에 프로그램 전압(Vpgm)을 인가하여 셀 트랜지스터의 채널과 컨트롤 게이트 사이의 높은 전압 차이에 의한 F-N터널링에 의해 채널 영역의 전자를 플로팅 게이트 내로 주입함으로써, 선택된 셀 트랜지스터의 문턱 전압을 양의 전압으로 바꾸는 동작이다. 상기한 프로그램 동작을 상세히 살펴보면 하기와 같다.

먼저, 그라운드 선택 트랜지스터(GST)의 게이트 혹은 그라운드 선택 라인(GSL)에 0V를 인가하여 메모리 셀 어레이의 그라운드 경로를 차단시키고, 공통 소오스 라인(CSL)에 Vcc를 인가한다. 이와 동시에, 선택된 비트라인, 예를 들면, 비트라인 B/L1에 0V를 인가하고 선택된 워드라인, 예를 들면, 워드라인(W/L2)에 종속된 셀 트랜지스터 중에서 비선택된 셀 트랜지스터들이 프로그램되는 것을 방지하기 위하여 도 8에 도시한 바와 같이, 제1전압, 즉, Vcc전압으로 설정되는 프로그램 금지 전압(Vpi)을 비선택된 비트라인, 예를 들면, 비트라인(B/L2)에 공급한다. 그리고, 스트링 선택 트랜지스터(SSL)의 게이트(SSL)와 비선택된 워드라인들(W/L1, W/L3 ~ W/L15, W/L16) 및 선택된 워드라인(W/L2)에 [Vcc + 스트링 선택 트랜지스터의 문턱 전압(SST_{Vth})]의 값보다 높은 제2전압을 인가함으로써, 선택된 스트링 내에 종속된 모든 셀 트랜지스터들의 소오스/드레인 및 채널을 비트라인에 인가된 Vcc 전압으로 프리차아지시킨다.

따라서, 선택된 스트링 내에 종속된 모든 셀 트랜지스터들의 소오스/드레인 및 채널은 스트링 선택 트랜지스터의 게이트(SSL)와 비선택된 워드라인들(W/L1, W/L3 ~ W/L15, W/L16) 및 선택된 워드라인(W/L2)에 [Vcc + SST_{Vth}] 이상의 제2전압이 인가되기 때문에, 종래 방법에서와 같이 (Vcc - SST_{Vth})/17의 전압으로 프리차아지되지 않을 뿐만 아니라 공정 매개 변수의 변화에 의한 비균일성 등에 의해 발생하는 불충분 소거(under-erase)에 의해 [디커플 전압(Vdecouple) - (셀 트랜지스터의 소거 문턱 전압)]의 값으로 프리차아지 되지 않는다. 즉, Vcc가 3V이고 스트링 선택 트랜지스터(SST)의 문턱 전압이 1V일 경우, 종래 방법에서는 프리차아지되는 전압이 0.118V 정도이지만 본 발명에서는 3V의 프리차아지 전압을 얻을 수 있다. 여기서, 스트링 선택 트랜지스터(SST)의 문턱 전압은 통상적으로 1V 정도이므로, 상기 스트링 선택 트랜지스터의 게이트(SSL)와 비선택된 워드라인들(W/L1, W/L3 ~ W/L15, W/L16) 및 선택된 워드라인(W/L2)에 인가되는 제2전압은 바람직하게는 5V~7V의 전압이며, 상기 제2전압은 약 2㎲ 동안 인가된다. 이후, 상기 스트링 선택 트랜지스터(SST)의 게이트에 Vcc이하의 전압을 인가하여 비트라인으로의 전류 통로를 차단함과 동시에, 메모리 셀 트랜지스터의 소오스/드레인 및 채널을 플로팅시킨다.

상기와 같은 동작 후에, 선택된 워드라인(W/L2)에 종속된 셀 트랜지스터의 소오스를 공유하는 비선택된 제1 셀 트랜지스터의 워드라인(W/L3) 및 상기 선택된 워드라인(W/L2))에 종속된 셀 트랜지스터의 드레인을 공유하는 비선택된 제2 셀 트랜지스터의 워드라인(W/L1)에 다른 비선택된 셀 트랜지스터와 디커플시키기 위한 제3전압, 예컨대 0V를 인가한다. 이와 동시에, 상기 비선택된 제1 및 제2 셀 트랜지스터를 제외한 비선택된 워드라인들(W/L15~W/L16)에 상기 제1전압 및 제2전압보다 높은 제4전압, 즉 선택된 비트라인에 인가되는 데이터(0V)를 선택된 셀 트랜지스터에 전달하기 위한 패스 전압(Vpass)을 인가하여 상기 비선택된 제1 및 제2 셀 트랜지스터의 소오스 또는 드레인을 그 게이트 전압보다 높은 전압, 바람직하게는 [그 게이트 전압 - 문턱 전압]의 값보다 높은 전압으로 용량성 커플링시킴으로써, 워드라인(W/L2)에 접속되어 선택된 셀 트랜지스터의 채널과 워드라인(W/L15, W/L16)에 접속되어 비선택된 셀 트랜지스터들의 채널과의 연결을 차단하는 동작을 수행한다. 여기서, 상기 제3전압, 즉 디커플 전압(Vdecouple)은 제1전압 및 제2전압보다 낮아야 한다. 그리고, 상기 제4전압, 즉 패스 전압(Vpass)에 의해 용량성 커플링되는 부스팅 전압(Vboost)은

$$Vboost = [\frac{Cins}{(13Cins + Cch)}]Vpass$$

의 식으로 표현된다. 여기서, Cch는 채널 아래에 형성되는 공핍 영역에 의해 발생되는 공핍 캐패시턴스를 나타내며, Cins는 컨트롤 게이트와 채널 사이의 전체 캐패시턴스로서

$$Cins = \frac{ConoCtun}{Cono+Ctun}$$

의 식으로 표현된다.

상기와 같은 동작이 진행된 후, 선택된 워드라인(W/L2)에 [Vcc + SST_{Vth}] 레벨 이상의 전압에서 F-N 터널링이 가능한 프로그램 전압(Vpgm)을 인가한다. 이때, 프로그램 금지되는 셀 트랜지스터(Vpgm stress cell)의 채널은 [Vcc + Vboost]의 전압으로 부스팅되어 플로팅 게이트 내로의 전자 주입이 억제된다. 여기서, 부스팅 전압(Vboost)은

$$Vboost = [\frac{Cins}{Cins + Cch}]Vpgm$$

의 식으로 표현된다. 따라서, 본 발명에 의해 프로그램 금지되는 셀 트랜지스터(Vpgm stress cell)의 채널은 종래의 로컬 셀프-부스팅(LSB)에 의한 채널 전압이 $Vch = \frac{Vcc-SST_{Vth}}{17} + Vboost$ 의 값이 되는

Micron Ex. 1002, p. 363
Micron v. YMTC
IPR2025-00190

것과 비교할 때 훨씬 증가되므로, 종래 방법보다 개선된 Vpgm 스트레스 특성을 나타낸다.

도 9는 본 발명에 의한 NAND형 플래쉬 EEPROM 장치에 있어서, 디커플 전압이 인가되는 셀 트랜지스터의 소거 문턱 전압을 변수로 하여 프로그램 금지 셀의 패스 전압(Vpass)에 따른 문턱 전압(Vth)의 변동 특성을 도시한 그래프로서, 프로그램 전압(Vpgm)은 20V이고 총 프로그램 스트레스 시간(Tpgm)은 2.4ms이며, 프로그램 금지 전압(Vpi)은 2.8V이다. 도 9를 참조하면, 디커플 전압이 인가되는 비선택된 워드라인(W/L1, W/L3)에 종속되는 셀 트랜지스터의 소거 문턱 전압이 -5V/-3V/-1V로 변하여도 종래의 LSB 방법보다 Vpgm 스트레스와 Vpass 스트레스가 유발되지 않는 패스 전압 영역의 윈도우가 3V 이상 개선됨을 알 수 있다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 본 발명의 내용을 이해한 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

발명의 효과

상술한 바와 같이 본 발명에 따른 비휘발성 메모리 장치의 프로그램 방법에 의하면, 프로그램 전압을 인가하기 전에 [전원 전압(Vcc) + 스트링 선택 트랜지스터의 문턱 전압] 이상의 전압을 스트링 선택 트랜지스터의 게이트와 동일 스트링 내의 모든 셀 트랜지스터의 게이트에 인가함으로써, 비트라인에 인가된 프로그램 금지 전압을 상기 스트링 선택 트랜지스터의 문턱 전압과 선택 및 비선택된 셀 트랜지스터의 소거 문턱 전압과 무관하게 프리차아지시킨다. 따라서, 공정 매개 변수의 변화 등에 의한 프로그램 외란 특성을 개선하여 균일한 셀 특성을 확보할 수 있으며, 수율 향상을 도모할 수 있다.

(57) 청구의 범위

청구항 1

매트릭스 형태로 배열된 다수의 메모리 셀 및 상기 메모리 셀을 선택하기 위한 제1 및 제2 선택 트랜지스터를 구비하는 메모리 셀 어레이와, 상기 메모리 셀들의 드레인을 공통으로 하여 접속된 복수개의 비트라인과, 상기 메모리 셀들의 컨트롤 게이트와 접속된 복수개의 워드라인을 갖는 비휘발성 메모리 장치에 있어서,

상기 비트라인에 프로그램 금지를 위한 제1전압을 인가하고, 상기 제1선택 트랜지스터의 게이트와 비선택된 워드라인 및 선택된 워드라인에 상기 제1전압을 손실 없이 패스시킬 수 있는 제2전압을 인가하는 제1단계;

상기 제1선택 트랜지스터의 게이트에 상기 제1전압을 인가하여 비트라인으로의 전류 경로를 차단하는 제2단계;

선택된 워드라인에 종속된 메모리 셀의 소오스를 공유하는 비선택된 제1메모리 셀의 워드라인 및 상기 선택된 워드라인에 종속된 메모리 셀의 드레인을 공유하는 비선택된 제2메모리 셀의 워드라인에는 다른 비선택된 메모리 셀과 디커플시키기 위한 제3전압을 인가하고, 상기 비선택된 제1 및 제2메모리 셀을 제외한 비선택된 워드라인에는 제4전압을 인가하여 상기 비선택된 제1 및 제2메모리 셀의 소오스 또는 드레인을 [그 게이트 전압 - 문턱 전압]의 값보다 높은 전압으로 용량성 커플링시킴으로써 선택된 메모리 셀의 채널과 비선택된 메모리 셀의 채널과의 연결을 차단하는 제3단계; 및

상기 선택된 워드라인에 프로그램 전압을 인가하는 제4단계로 이루어짐을 특징으로 하는 비휘발성 메모리 장치의 프로그램 방법.

청구항 2

제1항에 있어서, 상기 제1전압은 전원 전압(Vcc)인 것을 특징으로 하는 비휘발성 메모리 장치의 프로그램 방법.

청구항 3

제1항에 있어서, 상기 제2전압은 상기 제1전압보다 높은 전압인 것을 특징으로 하는 비휘발성 메모리 장치의 프로그램 방법.

청구항 4

제1항에 있어서, 상기 제3전압은 상기 제1 및 제2 전압보다 낮은 전압인 것을 특징으로 하는 비휘발성 메모리 장치의 프로그램 방법.

청구항 5

제4항에 있어서, 상기 제3전압은 0V 이하의 전압인 것을 특징으로 하는 비휘발성 메모리 장치의 프로그램 방법.

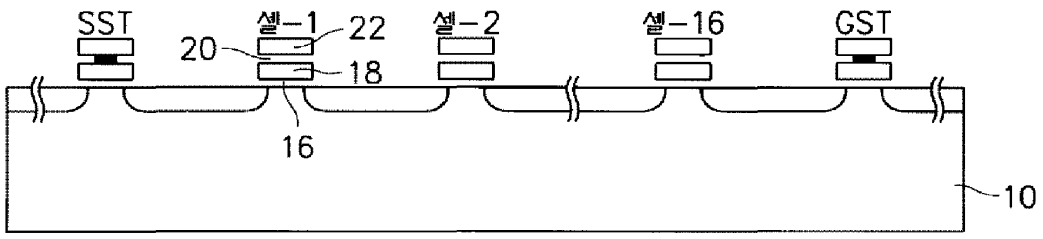
Micron Ex. 1002, p. 364
Micron v. YMTC
IPR2025-00190

청구항 6

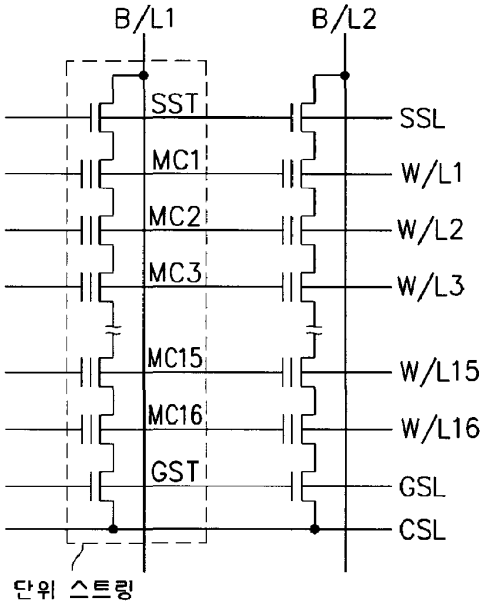
제1항에 있어서, 상기 제4 전압은 상기 제1 및 제2전압보다 높은 전압인 것을 특징으로 하는 비휘발성 메모리 장치의 프로그램 방법.

도면

도면1

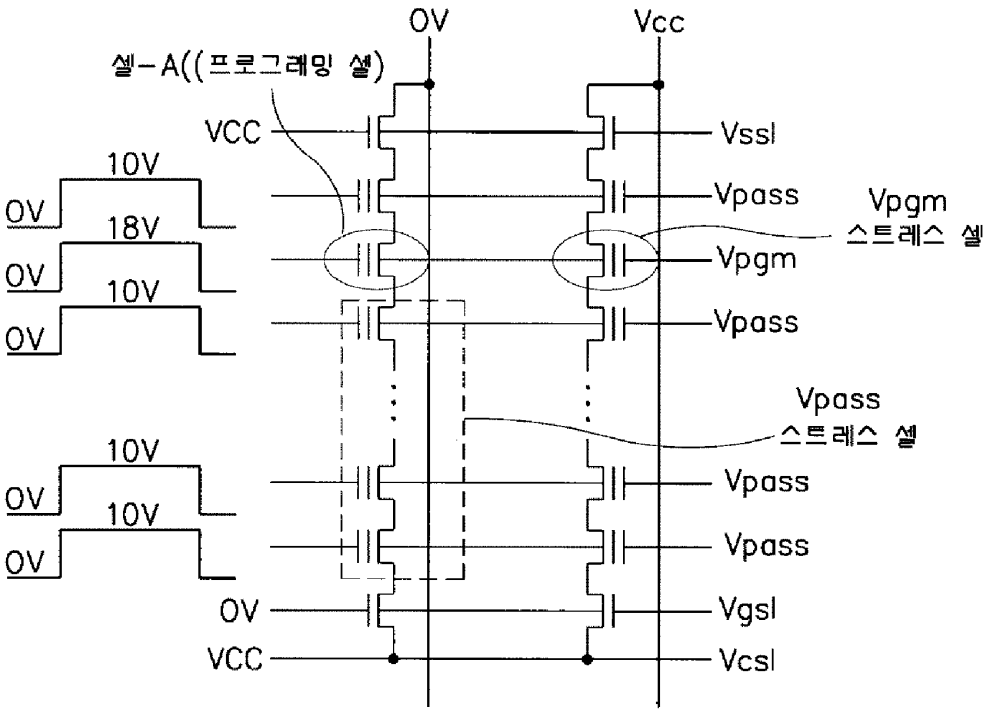


도면2

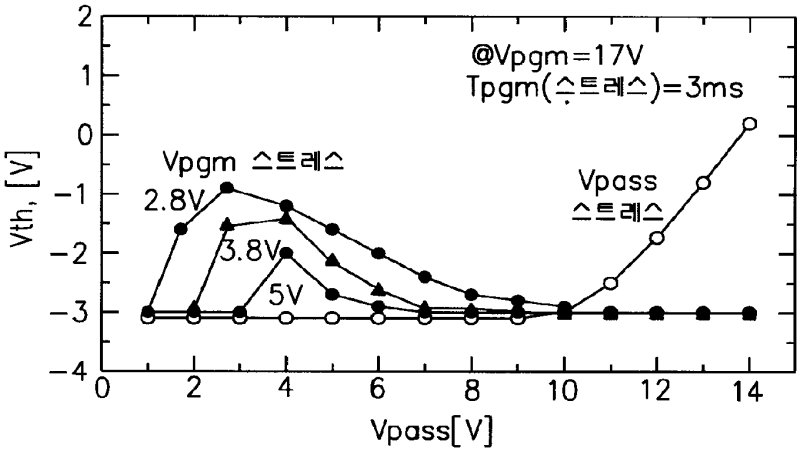


Micron Ex. 1002, p. 365
Micron v. YMTC
IPR2025-00190

도면3

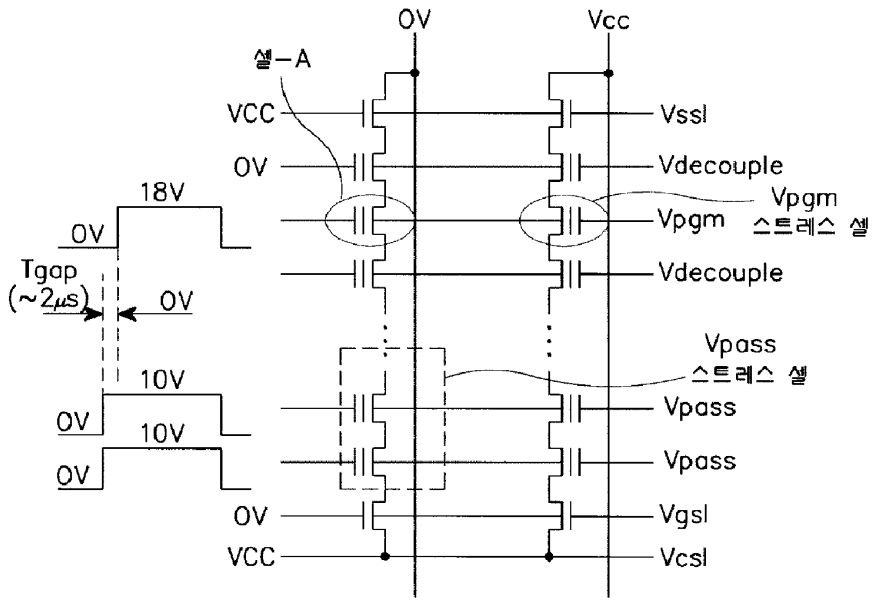


도면4

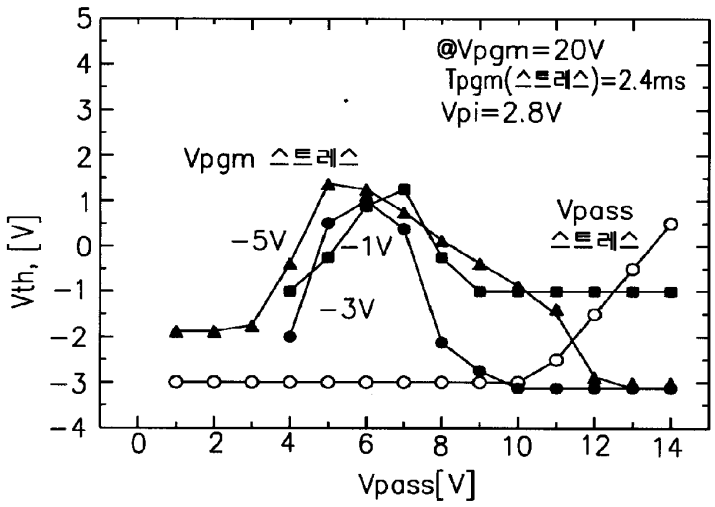


Micron Ex. 1002, p. 366
Micron v. YMTC
IPR2025-00190

도면5

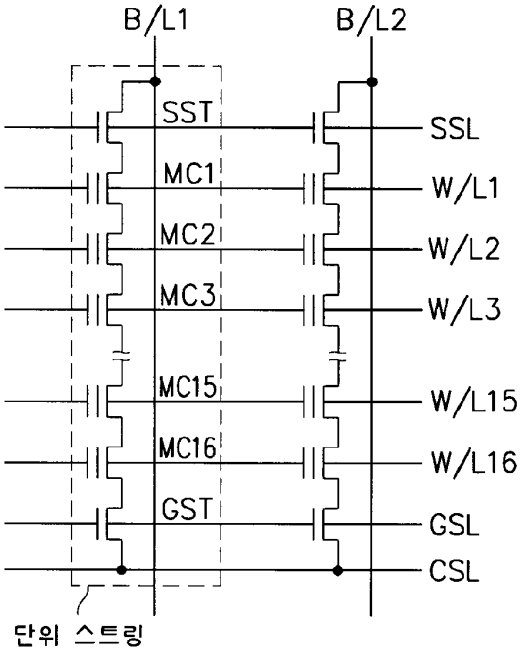


도면6

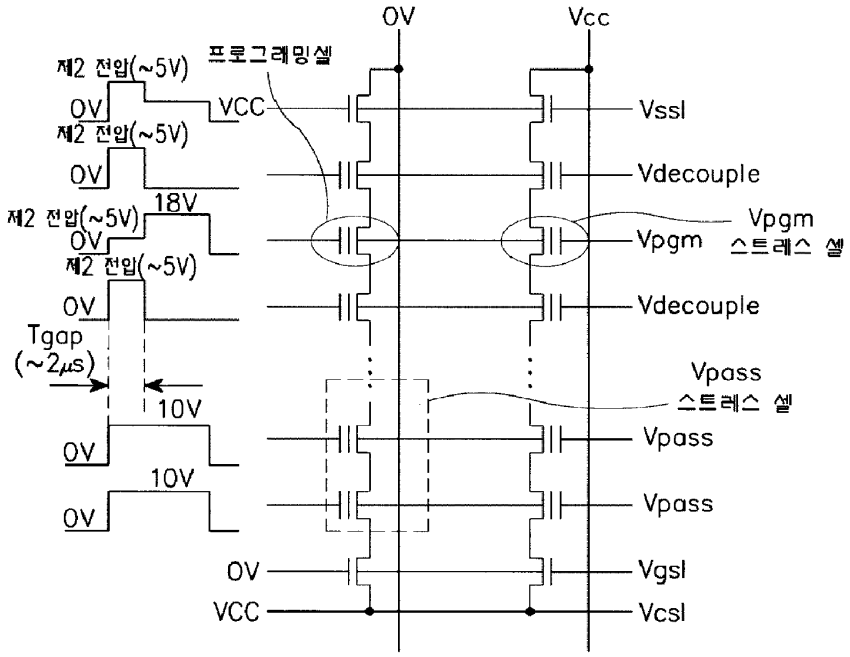


Micron Ex. 1002, p. 367
Micron v. YMTC
IPR2025-00190

도면7

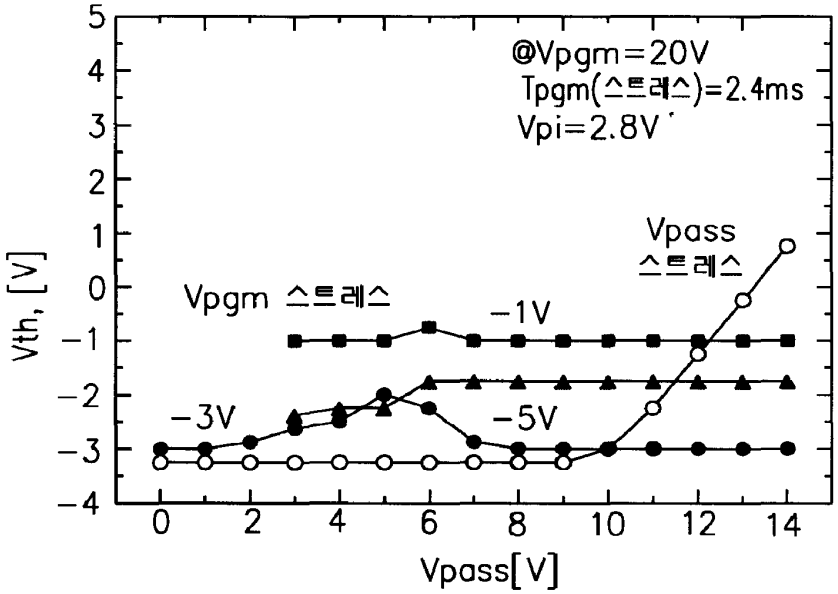


도면8



Micron Ex. 1002, p. 368
Micron v. YMTC
IPR2025-00190

도면9



Micron Ex. 1002, p. 369
Micron v. YMTC
IPR2025-00190

Electronic Acknowledgement Receipt

EFS ID:	43827689
Application Number:	17472560
International Application Number:	
Confirmation Number:	2978
Title of Invention:	MEMORY INCLUDING A PLURALITY OF PORTIONS AND USED FOR REDUCING PROGRAM DISTURBANCE AND PROGRAM METHOD THEREOF
First Named Inventor/Applicant Name:	Yali Song
Customer Number:	27765
Filer:	Winston Hsu/Sibyl Yu
Filer Authorized By:	Winston Hsu
Attorney Docket Number:	YMTP0265USA1
Receipt Date:	23-SEP-2021
Filing Date:	10-SEP-2021
Time Stamp:	23:29:58
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Information Disclosure Statement (IDS) Form (SB08)	4338811.PDF	30789 910010f1844325b806ac2450020e4713a401271c	no	5

Warnings:

Information:					
This is not an USPTO supplied IDS fillable form					
2	Foreign Reference	CN_110689913.pdf	2724151 fb61567bf7e884d2f07331ae697e9f11b50555ba	no	49
Warnings:					
Information:					
3	Foreign Reference	CN_101567213.pdf	2619955 dbc5b54c12197d7763cc0c448cc59a2d15edbd76	no	65
Warnings:					
Information:					
4	Foreign Reference	CN_101740129.pdf	1453503 701b8a23e1fcc9e16e68ae18a4e37e89e8e9c319	no	33
Warnings:					
Information:					
5	Foreign Reference	CN_102789814.pdf	2047346 7a281a9312e5df0d1a48111332211bf0fc08639e	no	18
Warnings:					
Information:					
6	Foreign Reference	CN_104916319.pdf	6837487 39d4a2c19ee1cfe9b48442c79fd8f62f98c45b02	no	69
Warnings:					
Information:					
7	Foreign Reference	CN_108281166.pdf	3232523 c2af2902dc28d9d5afe4bf8d6f74e83db2942dfa	no	39
Warnings:					
Information:					
8	Foreign Reference	CN_110189784.pdf	1867138 8460b8fcaa1182d5809adf46e083166a993dc080	no	35
Warnings:					
Information:					

9	Foreign Reference	KR_100297602.pdf	484219 3e96ebc02b4daf70ca2f3d3952968d609f88e2ba	no	11
Warnings:					
Information:					
			Total Files Size (in bytes):	21297111	

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

<u>New Applications Under 35 U.S.C. 111</u>
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.
<u>National Stage of an International Application under 35 U.S.C. 371</u>
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.
<u>New International Application Filed with the USPTO as a Receiving Office</u>
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
17/472,560	09/10/2021	Yali Song	YMTP0265USA1

CONFIRMATION NO. 2978

27765
NORTH AMERICA INTELLECTUAL PROPERTY CORPORATION
5F., NO.389, FUHE RD., YONGHE DIST.
NEW TAIPEI CITY,
TAIWAN

PUBLICATION NOTICE

OC00000130809007

Title:MEMORY INCLUDING A PLURALITY OF PORTIONS AND USED FOR REDUCING PROGRAM DISTURBANCE AND PROGRAM METHOD THEREOF

Publication No.US-2021-0407599-A1
Publication Date:12/30/2021

NOTICE OF PUBLICATION OF APPLICATION

The above-identified application will be electronically published as a patent application publication pursuant to 37 CFR 1.211, et seq. The patent application publication number and publication date are set forth above.

The publication may be accessed through the USPTO's publically available Searchable Databases via the Internet at www.uspto.gov. The direct link to access the publication is currently http://www.uspto.gov/patft/.

The publication process established by the Office does not provide for mailing a copy of the publication to applicant. A copy of the publication may be obtained from the Office upon payment of the appropriate fee set forth in 37 CFR 1.19(a)(1). Orders for copies of patent application publications are handled by the USPTO's Public Records Division. The Public Records Division can be reached by telephone at (571) 272-3150 or (800) 972-6382, by facsimile at (571) 273-3250, by mail addressed to the United States Patent and Trademark Office, Public Records Division, Alexandria, VA 22313-1450 or via the Internet.

In addition, information on the status of the application, including the mailing date of Office actions and the dates of receipt of correspondence filed in the Office, may also be accessed via the Internet through the Patent Electronic Business Center at www.uspto.gov using the public side of the Patent Application Information and Retrieval (PAIR) system. The direct link to access this status information is currently https://portal.uspto.gov/pair/PublicPair. Prior to publication, such status information is confidential and may only be obtained by applicant using the private side of PAIR.

Further assistance in electronically accessing the publication, or about PAIR, is available by calling the Patent Electronic Business Center at 1-866-217-9197.

Office of Data Managment, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101

Micron Ex. 1002, p. 373
Micron v. YMTC
IPR2025-00190

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

27765 7590 10/04/2022

NORTH AMERICA INTELLECTUAL PROPERTY CORPORATION
5F., NO.389, FUHE RD., YONGHE DIST.
NEW TAIPEI CITY,
TAIWAN

EXAMINER
YANG, HAN

ART UNIT	PAPER NUMBER
2824	

DATE MAILED: 10/04/2022

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
17/472,560	09/10/2021	Yali Song	YMTP0265USA1	2978

TITLE OF INVENTION: MEMORY INCLUDING A PLURALITY OF PORTIONS AND USED FOR REDUCING PROGRAM DISTURBANCE AND PROGRAM METHOD THEREOF

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	$1200	$0.00	$0.00	$1200	01/04/2023

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE DOES NOT REFLECT A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE IN THIS APPLICATION. IF AN ISSUE FEE HAS PREVIOUSLY BEEN PAID IN THIS APPLICATION (AS SHOWN ABOVE), THE RETURN OF PART B OF THIS FORM WILL BE CONSIDERED A REQUEST TO REAPPLY THE PREVIOUSLY PAID ISSUE FEE TOWARD THE ISSUE FEE NOW DUE.

HOW TO REPLY TO THIS NOTICE:

I. Review the ENTITY STATUS shown above. If the ENTITY STATUS is shown as SMALL or MICRO, verify whether entitlement to that entity status still applies.

If the ENTITY STATUS is the same as shown above, pay the TOTAL FEE(S) DUE shown above.

If the ENTITY STATUS is changed from that shown above, on PART B - FEE(S) TRANSMITTAL, complete section number 5 titled "Change in Entity Status (from status indicated above)".

For purposes of this notice, small entity fees are 1/2 the amount of undiscounted fees, and micro entity fees are 1/2 the amount of small entity fees.

II. PART B - FEE(S) TRANSMITTAL, or its equivalent, must be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed. If an equivalent of Part B is filed, a request to reapply a previously paid issue fee must be clearly made, and delays in processing may occur due to the difficulty in recognizing the paper as an equivalent of Part B.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Maintenance fees are due in utility patents issuing on applications filed on or after Dec. 12, 1980. It is patentee's responsibility to ensure timely payment of maintenance fees when due. More information is available at www.uspto.gov/PatentMaintenanceFees.

PTOL-85 (Rev. 02/11)

Micron Ex. 1002, p. 374
Micron v. YMTC
IPR2025-00190

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), by mail or fax, or via EFS-Web.

By mail, send to: Mail Stop ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

By fax, send to: (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

27765 7590 10/04/2022

NORTH AMERICA INTELLECTUAL PROPERTY CORPORATION
5F., NO.389, FUHE RD., YONGHE DIST.
NEW TAIPEI CITY,
TAIWAN

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being transmitted to the USPTO via EFS-Web or by facsimile to (571) 273-2885, on the date below.

(Typed or printed name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
17/472,560	09/10/2021	Yali Song	YMTP0265USA1	2978

TITLE OF INVENTION: MEMORY INCLUDING A PLURALITY OF PORTIONS AND USED FOR REDUCING PROGRAM DISTURBANCE AND PROGRAM METHOD THEREOF

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	$1200	$0.00	$0.00	$1200	01/04/2023

EXAMINER	ART UNIT	CLASS-SUBCLASS
YANG, HAN	2824	365-185180

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

❑ Change of correspondence address (or Change of Correspondence Address form PTO/AIA/122 or PTO/SB/122) attached.

❑ "Fee Address" indication (or "Fee Address" Indication form PTO/AIA/47 or PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list
(1) The names of up to 3 registered patent attorneys or agents OR, alternatively,
(2) The name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 _____
2 _____
3 _____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document must have been previously recorded, or filed for recordation, as set forth in 37 CFR 3.11 and 37 CFR 3.81(a). Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE (B) RESIDENCE: (CITY and STATE OR COUNTRY)

Please check the appropriate assignee category or categories (will not be printed on the patent) : ❑ Individual ❑ Corporation or other private group entity ❑ Government

4a. Fees submitted: ❑ Issue Fee ❑ Publication Fee (if required) ❑ Advance Order - # of Copies _____

4b. Method of Payment: *(Please first reapply any previously paid fee shown above)*

❑ Electronic Payment via EFS-Web ❑ Enclosed check ❑ Non-electronic payment by credit card (Attach form PTO-2038)

❑ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment to Deposit Account No. _____

5. **Change in Entity Status** (from status indicated above)

❑ Applicant certifying micro entity status. See 37 CFR 1.29

❑ Applicant asserting small entity status. See 37 CFR 1.27

❑ Applicant changing to regular undiscounted fee status.

NOTE: Absent a valid certification of Micro Entity Status (see forms PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.
NOTE: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.
NOTE: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: This form must be signed in accordance with 37 CFR 1.31 and 1.33. See 37 CFR 1.4 for signature requirements and certifications.

Authorized Signature _____ Date _____

Typed or printed name _____ Registration No. _____

PTOL-85 Part B (08-18) Approved for use through 01/31/2020 OMB 0651-0033 U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Micron Ex. 1002, p. 375
Micron v. YMTC
IPR2025-00190

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
17/472,560	09/10/2021	Yali Song	YMTP0265USA1	2978

27765 7590 10/04/2022

NORTH AMERICA INTELLECTUAL PROPERTY CORPORATION
5F., NO.389, FUHE RD., YONGHE DIST.
NEW TAIPEI CITY,
TAIWAN

EXAMINER	
YANG, HAN	
ART UNIT	PAPER NUMBER
2824	

DATE MAILED: 10/04/2022

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(Applications filed on or after May 29, 2000)

The Office has discontinued providing a Patent Term Adjustment (PTA) calculation with the Notice of Allowance.

Section 1(h)(2) of the AIA Technical Corrections Act amended 35 U.S.C. 154(b)(3)(B)(i) to eliminate the requirement that the Office provide a patent term adjustment determination with the notice of allowance. See Revisions to Patent Term Adjustment, 78 Fed. Reg. 19416, 19417 (Apr. 1, 2013). Therefore, the Office is no longer providing an initial patent term adjustment determination with the notice of allowance. The Office will continue to provide a patent term adjustment determination with the Issue Notification Letter that is mailed to applicant approximately three weeks prior to the issue date of the patent, and will include the patent term adjustment on the patent. Any request for reconsideration of the patent term adjustment determination (or reinstatement of patent term adjustment) should follow the process outlined in 37 CFR 1.705.

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at 1-(888)-786-0101 or (571)-272-4200.

PTOL-85 (Rev. 02/11)

Micron Ex. 1002, p. 376
Micron v. YMTC
IPR2025-00190

OMB Clearance and PRA Burden Statement for PTOL-85 Part B

The Paperwork Reduction Act (PRA) of 1995 requires Federal agencies to obtain Office of Management and Budget approval before requesting most types of information from the public. When OMB approves an agency request to collect information from the public, OMB (i) provides a valid OMB Control Number and expiration date for the agency to display on the instrument that will be used to collect the information and (ii) requires the agency to inform the public about the OMB Control Number's legal significance in accordance with 5 CFR 1320.5(b).

The information collected by PTOL-85 Part B is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 30 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450. Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Notice of Allowability	**Application No.** 17/472,560	**Applicant(s)** Song et al.	
	Examiner HAN YANG	**Art Unit** 2824	**AIA (FITF) Status** Yes

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☑ This communication is responsive to 09/10/2021.
   ☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on _____.

2. ☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.

3. ☑ The allowed claim(s) is/are 1-14 . As a result of the allowed claim(s), you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see **http://www.uspto.gov/patents/init_events/pph/index.jsp** or send an inquiry to **PPHfeedback@uspto.gov.**

4. ☐ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

   Certified copies:

   a) ☐ All b) ☐ Some* c) ☐ None of the:

   1. ☐ Certified copies of the priority documents have been received.
   2. ☐ Certified copies of the priority documents have been received in Application No. _____ .
   3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

   * Certified copies not received: _____ .

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

5. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
   ☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____ .

   Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).

6. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

1. ☑ Notice of References Cited (PTO-892)
2. ☑ Information Disclosure Statements (PTO/SB/08), Paper No./Mail Date 09/23/2021.
3. ☐ Examiner's Comment Regarding Requirement for Deposit of Biological Material _____.
4. ☐ Interview Summary (PTO-413), Paper No./Mail Date. _____.
5. ☐ Examiner's Amendment/Comment
6. ☑ Examiner's Statement of Reasons for Allowance
7. ☐ Other _____.

/HAN YANG/
Primary Examiner, Art Unit 2824

Micron Ex. 1002, p. 378
Micron v. YMTC
IPR2025-00190

Notice of Pre-AIA or AIA Status

The present application, filed on or after March 16, 2013, is being examined under the first inventor to file provisions of the AIA.

DETAILED ACTION

Allowable Subject Matter

1. **Claims 1-14** are allowed.

2. The following is an examiner's statement of reasons for allowance:

3. **With respect to independent claims 1,** Overall there is no teaching, suggestion, or motivation for combination in the prior art for a controller configured to apply a first voltage to an (x+2)th word line to the nth word line, a second voltage to an (x+1)th word line, a third voltage to an (x-1)th word line, a fourth voltage to the (m+1)th word line to an (x-2)th word line, and a fifth voltage to the (k+1)th word line to the mth word line when an xth word line is used to perform a program operation; wherein x, k and m are integers, $0 < k < m$, $(m+2) < x < (n-1)$, and the fifth voltage is lower than the fourth voltage.

4. **With respect to dependent claim 2-4** since these claims are depending on **claim 1**, therefore claim 2-4 are allowable subject matter.

5. **With respect to independent claims 5,** Overall there is no teaching, suggestion, or motivation for combination in the prior art for identify, using the local row control logic, a delay between sub- operations of an operation for applying a first voltage to the to the first word line to an (x-2)th word line when an xth word line is used to perform a program operation; applying a second voltage to an (x-1)th word line; and

applying a third voltage to an (x+1)th word line; wherein x, k and m are positive integers, $1 < k < m$ and $3 < x$.

6. **With respect to dependent claim 6-10** since these claims are depending on **claim 5**, therefore claim 6-10 are allowable subject matter.

7. **With respect to independent claims 11,** Overall there is no teaching, suggestion, or motivation for combination in the prior art for applying a first voltage to an (x+2)th word line to the nth word line when an xth word line is used to perform a program operation; applying a second voltage to an (x+1)th word line; applying a third voltage to an (x-1)th word line; applying a fourth voltage to the (m+1)th word line to an (x-2)th word line; and applying a fifth voltage to the (k+1)th word line to the mth word line; wherein x, k and m are integers, $0 < k < m$, $(m+2) < x < (n-1)$, and the fifth voltage is lower than the fourth voltage.

8. **With respect to dependent claims 12-14** since these claims are depending on **claim 11**, therefore claims 12-14 are allowable subject matter.

Any comments considered necessary by applicant must be submitted no later than the payment of the issue fee and, to avoid processing delays, should preferably accompany the issue fee. Such submissions should be clearly labeled "Comments on Statement of Reasons for Allowance."

Conclusion

9. The prior art made of record and not relied upon is considered pertinent to applicant's disclosure, Lee (US Patent 10,269,570), FUTATSUYAMA et al (Pub. No.: US 2012/0163096).

Lee (US Patent 10,269,570) shows multiple pass voltages

FUTATSUYAMA et al (Pub. No.: US 2012/0163096) shows multiple different3 reading voltages

10. Any inquiry concerning this communication or earlier communications from the examiner should be directed to Han Yang whose telephone is (571) 270-3048. The examiner can normally be reached on Monday-Friday 8am-5pm with alternate Friday off. If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Richard Elms can be reached on (571) 272-1869. The fax phone number for the organization where this application or proceeding is assigned is (571) 273-8300. Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

HY

09/23/2022

/HAN YANG/

Primary Examiner, Art Unit 2824

.

Notice of References Cited	Application/Control No. 17/472,560	Applicant(s)/Patent Under Reexamination Song et al.	
	Examiner HAN YANG	Art Unit 2824	Page 1 of 1

U.S. PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	CPC Classification	US Classification
*	A	US-20120163096-A1	06-2012	FUTATSUYAMA; Takuya	G11C16/0483	365/185.2
*	B	US-10269570-B2	04-2019	Lee; Hee Youl	G11C16/3459	1/1
*	C	US-20130163326-A1	06-2013	Lee; Seung-Jun	G11C16/3468	365/185.23
	D					
	E					
	F					
	G					
	H					
	I					
	J					
	K					
	L					
	M					

FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	CPC Classification
	N					
	O					
	P					
	Q					
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

Micron Ex. 1002, p. 383
Micron v. YMTC
IPR2025-00190

Index of Claims	Application/Control No.	Applicant(s)/Patent Under Reexamination
	17/472,560	Song et al.
	Examiner	**Art Unit**
	HAN YANG	2824

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

CLAIMS

☑ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

CLAIM		DATE								
Final	Original	09/27/2022								
	1	=								
	2	=								
	3	=								
	4	=								
	5	=								
	6	=								
	7	=								
	8	=								
	9	=								
	10	=								
	11	=								
	12	=								
	13	=								
	14	=								

Micron Ex. 1002, p. 384
Micron v. YMTC
IPR2025-00190

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	17/472,560	Song et al.
	Examiner	Art Unit
	HAN YANG	2824

CPC - Searched*		
Symbol	**Date**	**Examiner**
G11C16/3418, G11C16/08, G11C16/10, G11C16/08	09/27/2022	HY

CPC Combination Sets - Searched*		
Symbol	**Date**	**Examiner**

US Classification - Searched*			
Class	**Subclass**	**Date**	**Examiner**

* See search history printout included with this form or the SEARCH NOTES box below to determine the scope of the search.

Search Notes		
Search Notes	**Date**	**Examiner**
Searched in PE2E search	09/27/2022	HY
Searched inventor's name in Palm for double patenting	09/27/2022	HY

Interference Search			
US Class/CPC Symbol	**US Subclass/CPC Group**	**Date**	**Examiner**
G11C	16/3418, 16/08, 16/10, 16/08	09/27/2022	HY

Micron Ex. 1002, p. 385
Micron v. YMTC
IPR2025-00190

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	17/472,560	Song et al.
	Examiner	**Art Unit**
	HAN YANG	2824

CPC						
Symbol					**Type**	**Version**
G11C	/	16	/	3418	F	2013-01-01
G11C	/	16	/	08	I	2013-01-01
G11C	/	16	/	10	I	2013-01-01

CPC Combination Sets							
Symbol					**Type**	**Set**	**Ranking**	**Version**
	/		/					

NONE		Total Claims Allowed:	
(Assistant Examiner)	(Date)	14	
/HAN YANG/ Primary Examiner, Art Unit 2824	27 September 2022	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	10

U.S. Patent and Trademark Office — Part of Paper No.: 20220927

Micron Ex. 1002, p. 386
Micron v. YMTC
IPR2025-00190

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	17/472,560	Song et al.
	Examiner	**Art Unit**
	HAN YANG	2824

INTERNATIONAL CLASSIFICATION					
CLAIMED					
G11C	/	16	/	34	

NON-CLAIMED					
	/		/		

US ORIGINAL CLASSIFICATION	
CLASS	**SUBCLASS**

CROSS REFERENCES(S)						
CLASS	**SUBCLASS (ONE SUBCLASS PER BLOCK)**					

NONE		**Total Claims Allowed:**	
(Assistant Examiner)	(Date)	14	
/HAN YANG/ Primary Examiner, Art Unit 2824	27 September 2022	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	10

U.S. Patent and Trademark Office — Part of Paper No.: 20220927

Micron Ex. 1002, p. 387
Micron v. YMTC
IPR2025-00190

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	17/472,560	Song et al.
	Examiner	Art Unit
	HAN YANG	2824

☑ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

CLAIMS

Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original

NONE		Total Claims Allowed:	
(Assistant Examiner)	(Date)	14	
/HAN YANG/ Primary Examiner, Art Unit 2824	27 September 2022	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	10

U.S. Patent and Trademark Office Part of Paper No.: 20220927

Micron Ex. 1002, p. 388
Micron v. YMTC
IPR2025-00190

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	17472560
	Filing Date	2021-09-10
	First Named Inventor	Yali Song
	Art Unit	2827
	Examiner Name	N/A
	Attorney Docket Number	YMTP0265USA1

U.S.PATENTS						
Examiner Initial*	Cite No	Patent Number	Kind Code	Issue Date	Name	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1	6061270		2000-05-09	Choi	
	2	10269570	B2	2019-04-23	Lee	
U.S.PATENT APPLICATION PUBLICATIONS						
Examiner Initial*	Cite No	Publication Number	Kind Code	Publication Date	Name	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1	20090257280		2009-10-15	Oh	
	2	20100124119		2010-05-20	Lee	
	3	20120294087		2012-11-22	SEO	
	4	20150262682		2015-09-17	FUTATSUYAMA	

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /H.Y/

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	17472560
	Filing Date	2021-09-10
	First Named Inventor	Yali Song
	Art Unit	2827
	Examiner Name	N/A
	Attorney Docket Number	YMTP0265USA1

	5	20180190498		2018-07-05	LEE	
	6	20190259456		2019-08-22	KWAK	
	7	20160071595	A1	2016-03-10	Dong	
	8	20160343414	A1	2016-11-24	LEE	
	9	20190206690	A1	2019-07-04	LEE	
	10	20130163326	A1	2013-06-27	Lee	
	11	20160099060	A1	2016-04-07	YOO	
	12	20130272067	A1	2013-10-17	Lee	
	13	20190006021	A1	2019-01-03	Ghai	

.

FOREIGN PATENT DOCUMENTS

Examiner Initial*	Cite No	Foreign Document Number	Country Code	Kind Code	Publication Date	Name	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear	

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /H.Y/

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	17472560
	Filing Date	2021-09-10
	First Named Inventor	Yali Song
	Art Unit	2827
	Examiner Name	N/A
	Attorney Docket Number	YMTP0265USA1

	1	110689913	CN	A	2020-01-14			Abstract
	2	101567213	CN	A	2009-10-28			US 20090257280
	3	101740129	CN	A	2010-06-16			US 20100124119
	4	102789814	CN	A	2012-11-21			US 20120294087
	5	104916319	CN	A	2015-09-16			US 20150262682
	6	108281166	CN	A	2018-07-13			US 20180190498
	7	110189784	CN	A	2019-08-30			US 20190259456
	8	10-0297602	KR	B1	2001-08-07			US 6061270

NON-PATENT LITERATURE DOCUMENTS

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc), date, pages(s), volume-issue number(s), publisher, city and/or country where published.	
	1		

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /H.Y/

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	17472560
	Filing Date	2021-09-10
	First Named Inventor	Yali Song
	Art Unit	2827
	Examiner Name	N/A
	Attorney Docket Number	YMTP0265USA1

EXAMINER SIGNATURE			
Examiner Signature	/HAN YANG/ (09/27/2022)	Date Considered	09/27/2022
*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.			

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /H.Y/

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	17472560
	Filing Date	2021-09-10
	First Named Inventor	Yali Song
	Art Unit	2827
	Examiner Name	N/A
	Attorney Docket Number	YMTP0265USA1

CERTIFICATION STATEMENT

Please see 37 CFR 1.97 and 1.98 to make the appropriate selection(s):

☐ That each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(1).

OR

☐ That no item of information contained in the information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the information disclosure statement was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(2).

☐ See attached certification statement.

☐ Fee set forth in 37 CFR 1.17 (p) has been submitted herewith.

☒ None

SIGNATURE

A signature of the applicant or representative is required in accordance with CFR 1.33, 10.18. Please see CFR 1.4(d) for the form of the signature.

Signature	/Roger Chen/	Date (YYYY-MM-DD)	2021-09-22
Name/Print	Roger Chen	Registration Number	67314

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /H.Y/

PE2E SEARCH - Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	British Equivalents	Time Stamp
L1	0	"16827734"	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/02/02 08:36 AM
L2	4	((("Song") near3 ("Yali"))).INV.	(US-PGPUB; USPAT; USOCR)	OR	OFF	OFF	2021/02/02 09:07 AM
L3	0	((("Zhao") near3 ("XiangNan"))).INV.	(US-PGPUB; USPAT; USOCR)	OR	OFF	OFF	2021/02/02 09:07 AM
L4	73	((("Cui") near3 ("Ying"))).INV.	(US-PGPUB; USPAT; USOCR)	OR	OFF	OFF	2021/02/02 09:07 AM
L8	11	((("salvatore") near3 ("pais"))).INV.	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/02/02 12:08 PM
L9	0	"16827734"	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/12 01:42 PM
L10	151	((("YANGTZE") near3 ("MEMORY") near3 ("TECHNOLOGIES") near3 ("CO") near3 ("LTD"))).AS,AANM.	(USPAT)	OR	OFF	OFF	2021/04/12 01:49 PM
L11	9	((("Song") near3 ("Yali"))).INV.	(US-PGPUB; USPAT; USOCR)	OR	OFF	OFF	2021/04/12 01:49 PM
L12	2	((("Zhao") near3 ("XiangNan"))).INV.	(US-PGPUB; USPAT; USOCR)	OR	OFF	OFF	2021/04/12 01:49 PM
L13	75	((("Cui") near3 ("Ying"))).INV.	(US-PGPUB; USPAT; USOCR)	OR	OFF	OFF	2021/04/12 01:49 PM
L14	43164	(word$1line row$1line gate$1line row (word row gate) near line) near voltage	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/12 05:19 PM
L15	7	("adjacent" upper lower) near (writ$3 program$3) near (word$1line row$1line gate$1line row (word row gate) near line) near voltage	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/12 05:22 PM
L16	43164	L14 L15	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/12 05:23 PM
L17	2	L14 and (multi$3 plurality) near pass$3 near voltage with ("adjacent" upper lower) near (word$1line row$1line gate$1line	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/12 05:25 PM

Micron Ex. 1002, p. 394
Micron v. YMTC
IPR2025-00190

		row (word row gate) near line)					
L18	2	(multi$3 plurality) near pass$3 near voltage with ("adjacent" upper lower) near (word$1line row$1line gate$1line row (word row gate) near line)	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/12 05:25 PM
L19	5	(multi$3 plurality) near pass$3 near voltage with ("adjacent" upper lower) with (word$1line row$1line gate$1line row (word row gate) near line)	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/12 05:38 PM
L20	18	(multi$3 plurality different variety) near pass$3 near voltage with ("adjacent" upper lower) with (word$1line row$1line gate$1line row (word row gate) near line)	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/12 05:38 PM
L21	1155	(word$1line row$1line gate$1line row (word row gate) near line) near pass$3 near voltage	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/12 05:56 PM
L22	2	(multi$3 plurality different varie$3) near (word$1line row$1line gate$1line row (word row gate) near line) near pass$3 near voltage	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/12 05:57 PM
L23	66	(multi$3 plurality different varie$3) with (word$1line row$1line gate$1line row (word row gate) near line) near pass$3 near voltage	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/12 05:58 PM
L24	505	(multi$3 plurality different varie$3 third 3rd) near pass$3 near voltage	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/12 06:07 PM
L25	43882	(word$1line row$1line gate$1line row (word row gate) near line) and (program$3 writ$3) near voltage	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/12 06:07 PM
L26	224	L24 and L25	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT;	OR	OFF	OFF	2021/04/12 06:09 PM

Micron Ex. 1002, p. 395
Micron v. YMTC
IPR2025-00190

			IBM_TDB)				
L27	265	(third 3rd) near pass$3 near voltage	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/12 06:09 PM
L28	286	(third 3rd fourth 4th fifth 5th) near pass$3 near voltage	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/12 06:10 PM
L29	340	(third 3rd fourth 4th fifth 5th varie$3) near pass$3 near voltage	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/12 06:10 PM
L30	168	L29 and L25	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/12 06:14 PM
L31	23266	(multi$3 plurality different variety) with (word$1line row$1line gate$1line row (word row gate) near line gate) near voltage	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/13 04:40 PM
L32	2944	(multi$3 plurality different variety) with (word$1line row$1line gate$1line row (word row gate) near line gate) near voltage with (writ$3 program$3)	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/13 04:44 PM
L33	39	(multi$3 plurality different variety) with (word$1line row$1line gate$1line row (word row gate) near line gate) near pass$3 near voltage with (writ$3 program$3)	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/13 04:45 PM
L34	12	(multi$3 plurality different variety third 3rd) with (un$1select$3 de$1select$3 non$1select$3) near (word$1line row$1line gate$1line row (word row gate) near line gate) near pass$3 near voltage same (writ$3 program$3)	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/13 05:36 PM
L35	12	(multi$3 plurality different variety third 3rd) with (un$1select$3 de$1select$3 non$1select$3) near (word$1line row$1line	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/13 06:27 PM

Micron Ex. 1002, p. 396
Micron v. YMTC
IPR2025-00190

		gate$1line row (word row gate) near line gate) near pass$3 near voltage					
L36	224	(multi$3 plurality different variety third 3rd) with (un$1select$3 de$1select$3 non$1select$3) near (word$1line row$1line gate$1line row (word row gate) near line gate) near voltage same (writ$3 program$3)	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/13 06:28 PM
L37	221	L36 not (L33 L34)	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/13 06:36 PM
L38	39	(multi$3 plurality different variety) with (word$1line row$1line gate$1line row (word row gate) near line gate) near pass$3 near voltage with (writ$3 program$3)	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/14 04:35 PM
L39	12	(multi$3 plurality different variety third 3rd) with (un$1select$3 de$1select$3 non$1select$3) near (word$1line row$1line gate$1line row (word row gate) near line gate) near pass$3 near voltage same (writ$3 program$3)	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/14 04:35 PM
L40	224	(multi$3 plurality different variety third 3rd) with (un$1select$3 de$1select$3 non$1select$3) near (word$1line row$1line gate$1line row (word row gate) near line gate) near voltage same (writ$3 program$3)	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/14 04:35 PM
L41	221	L40 not (L38 L39)	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/14 04:35 PM
L42	3	L40 not L41	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT;	OR	OFF	OFF	2021/04/14 04:35 PM

Micron Ex. 1002, p. 397
Micron v. YMTC
IPR2025-00190

			IBM_TDB)				
L43	280	boost$3 near channel$3 near voltage with (word$1line row$1line gate$1line row (word row gate) near line gate) same (writ$3 program$3)	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/14 04:42 PM
L44	22	(4th fourth) near pass$3 near voltage with (word$1line row$1line gate$1line row (word row gate) near line gate) same (writ$3 program$3)	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/15 12:14 PM
L45	1243	(lower upper first second 2nd 1st) near dummy near (word$1line row$1line gate$1line row (word row gate) near line)	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/15 02:28 PM
L46	109	(multi$3 plurality 3rd) near dummy near (word$1line row$1line gate$1line row (word row gate) near line)	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/15 02:29 PM
L47	0	(multi$3 plurality 3rd) near dummy near (word$1line row$1line gate$1line row (word row gate) near line) near voltage same (writ$3 program$3)	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/15 02:29 PM
L48	1143	(upper first 1st) near dummy near (word$1line row$1line gate$1line row (word row gate) near line)	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/15 02:36 PM
L49	1088	(lower second 2nd) near dummy near (word$1line row$1line gate$1line row (word row gate) near line)	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/15 02:36 PM
L50	833	L48 and L49 and (writ$3 program$3)	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/15 03:13 PM
L51	158	L48 same L49 same (writ$3 program$3)	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/15 03:20 PM
L52	9	(("6061270") or ("20090257280") or ("20100124119") or ("20120294087") or	(US-PGPUB; USPAT)	OR	OFF	OFF	2021/04/15 05:33 PM

Micron Ex. 1002, p. 398
Micron v. YMTC
IPR2025-00190

		("20150262682") or ("20180190498") or ("20190259456") or ("20160071595") or ("20160343414")).PN.					
L53	4	(multi$3 plurality different variety) near (word$1line row$1line gate$1line row (word row gate) near line) near voltage$1 with (different variety multi$3 plurality) near (block$1 sector$1) same (writ$3 program$3)	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/15 06:51 PM
L54	4	(multi$3 plurality different variety) near (word$1line row$1line gate$1line row (word row gate) near line) near voltage$1 with (different variety multi$3 plurality "adjacent" 2nd second) near (block$1 sector$1) same (writ$3 program$3)	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/15 06:52 PM
L55	7	(un$1select$3 de$1select$3 non$1select$3) near (block$1 secotr$1) near (word$1line row$1line gate$1line row (word row gate) near line) near voltage$1 same (writ$3 program$3)	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/15 07:18 PM
L56	26	(multi$3 plurality different variety) near (word$1line row$1line gate$1line row (word row gate) near line) near voltage$1 with (different variety multi$3 plurality "adjacent" 2nd second) near (block$1 sector$1) and (writ$3 program$3)	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/15 07:19 PM
L57	287	float$3 with (un$1select$3 de$1select$3 non$1select$3) near (block$1 secotr$1) same (writ$3 program$3)	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/15 08:53 PM
L58	125	(multi$3 plurality different variety third 3rd) near (word$1line	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT;	OR	OFF	OFF	2021/04/15 09:07 PM

Micron Ex. 1002, p. 399
Micron v. YMTC
IPR2025-00190

		row$1line gate$1line row (word row gate) near line gate writ$3 program$3) near voltage with (multi$3 plurality different variety third 3rd) near (sector$1 block$1 array)	IBM_TDB)				
L59	40695	G11C16/3418.cpc. G11C8/08.cpc. G11C8/14.cpc. G11C16/08.cpc.	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/15 09:20 PM
L60	152	float$3 with (un$1select$3 de$1select$3 non$1select$3) near (block$1 secotr$1) same (writ$3 program$3) and L59	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/15 09:20 PM
L61	2454	(multi$3 plurality different variety) with (word$1line row$1line gate$1line row (word row gate) near line gate) near voltage and L59	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2021/04/15 09:20 PM
L62	1	("20190206690").PN.	(US-PGPUB; USPAT)	OR	OFF	OFF	2021/07/30 01:09 PM
L63	73	(Vpass5 V.sub.pass5)	(US-PGPUB; USPAT; USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/09/26 05:34 PM
L64	916	(multi$3 plurality different variety) NEAR pass$3 NEAR voltage$3	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2022/09/26 06:29 PM
L65	87	(multi$3 plurality different variety) NEAR pass$3 NEAR voltage$3 SAME (program$3 NEAR voltage Vpgm V.sub.pgm)	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2022/09/26 06:34 PM

Micron Ex. 1002, p. 400
Micron v. YMTC
IPR2025-00190

L66	829	64 NOT 65	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2022/09/26 10:07 PM
L67	361	66 AND dummy NEAR (word$1line$1 row$1line$1 gate$1line$1 (word row gate) NEAR line$1)	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2022/09/26 10:10 PM
L68	3062135	(multi$3 pluralit$3 second 2nd) NEAR (portion$1 region$1)	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2022/09/27 12:20 PM
L69	35	(multi$3 pluralit$3 second 2nd) NEAR (portion$1 region$1) AND dummy NEAR (word$1line$1 row$1line$1 gate$1line$1 (word row gate) NEAR line$1) AND 64	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2022/09/27 12:21 PM
L70	648	(multi$3 plurality different variety) NEAR (boost$3 pump$3 inhibit) NEAR voltage$3	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2022/09/27 12:43 PM
L71	69	70 AND 68	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2022/09/27 12:43 PM
L72	8	(V.sub.boost5 Vboost5 V.sub.pump5 Vpump5)	(US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	OFF	OFF	2022/09/27 12:44 PM
L73	190	(Vread5 V.sub.read5 Vrd5 V.sub.rd5 Vread6 V.sub.read6 Vrd6 V.sub.rd6)	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, MC, MD, MY, NL, NO, NZ, OA, PH, PL, PT, RO, RS, RU, SE, SG, SI, SK, SU, TH, TN, TR, TW, UA, VN, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/09/27 02:17 PM
L74	156	(Vpgm5 V.sub.pgm5 Vprogram5 V.sub.program5 Vpgm6 V.sub.pgm6 Vprogram6 V.sub.program6)	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA,	OR	ON	ON	2022/09/27 03:24 PM

Micron Ex. 1002, p. 401
Micron v. YMTC
IPR2025-00190

			EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, MC, MD, MY, NL, NO, NZ, OA, PH, PL, PT, RO, RS, RU, SE, SG, SI, SK, SU, TH, TN, TR, TW, UA, VN, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)				
L75	96806	G11C16/3418.cpc. G11C16/08.cpc. G11C16/10.cpc. G11C16/12.cpc.	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, MC, MD, MY, NL, NO, NZ, OA, PH, PL, PT, RO, RS, RU, SE, SG, SI, SK, SU, TH, TN, TR, TW, UA, VN, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/09/27 04:49 PM
L76	211	75 AND 70	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, MC, MD, MY, NL, NO, NZ, OA, PH, PL, PT, RO, RS, RU, SE, SG, SI, SK, SU, TH, TN, TR, TW, UA, VN, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/09/27 04:49 PM
L77	42	75 AND 71	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, MC, MD, MY, NL, NO, NZ, OA, PH, PL, PT, RO, RS, RU, SE, SG, SI, SK, SU, TH, TN, TR, TW, UA, VN, WO); FPRS; EPO;	OR	ON	ON	2022/09/27 04:49 PM

Micron Ex. 1002, p. 402
Micron v. YMTC
IPR2025-00190

			JPO; DERWENT; IBM_TDB)				
L78	6	61 AND 7p	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, MC, MD, MY, NL, NO, NZ, OA, PH, PL, PT, RO, RS, RU, SE, SG, SI, SK, SU, TH, TN, TR, TW, UA, VN, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/09/27 04:50 PM
L79	57	61 AND 70	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, MC, MD, MY, NL, NO, NZ, OA, PH, PL, PT, RO, RS, RU, SE, SG, SI, SK, SU, TH, TN, TR, TW, UA, VN, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/09/27 04:50 PM
L80	0	N66 AND (first WITH second WITH portion WITH word$1line WITH fifth NEAR voltage WITH fourth WITH lower WITH integer$1 WITH program$3).clm.	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, MC, MD, MY, NL, NO, NZ, OA, PH, PL, PT, RO, RS, RU, SE, SG, SI, SK, SU, TH, TN, TR, TW, UA, VN, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/09/27 05:04 PM

PE2E SEARCH - Search History (Interference)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	British Equivalents	Time Stamp
N63	18259	G11C16/3418.cpc.	(US-PGPUB; USPAT)	OR	OFF	OFF	2021/07/30

Micron Ex. 1002, p. 403
Micron v. YMTC
IPR2025-00190

		G11C8/08.cpc. G11C16/08.cpc. G11C16/12.cpc.					02:08 PM
N64	0	N63 and (word$1line with bottom with top with program$3 with first with second with portion with third near voltage).clm.	(US-PGPUB; USPAT)	OR	OFF	OFF	2021/07/30 02:13 PM
N65	0	(word$1line with bottom with top with program$3 with first with second with portion with third near voltage).clm.	(US-PGPUB; USPAT)	OR	OFF	OFF	2021/07/30 02:13 PM
N66	25952	G11C16/3418.cpc. G11C16/08.cpc. G11C16/10.cpc. G11C16/12.cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2022/09/27 04:49 PM
N67	0	N66 AND (first WITH second WITH portion WITH word$1line WITH fifth NEAR voltage WITH fourth WITH lower WITH integer$1 WITH program$3).clm.	(US-PGPUB; USPAT)	OR	ON	ON	2022/09/27 05:04 PM
N68	0	(first WITH second WITH portion WITH word$1line WITH fifth NEAR voltage WITH fourth WITH lower WITH integer$1 WITH program$3).clm.	(US-PGPUB; USPAT)	OR	ON	ON	2022/09/27 05:04 PM

Micron Ex. 1002, p. 404
Micron v. YMTC
IPR2025-00190

Bibliographic Data

Application No: 17/472,560

Foreign Priority claimed: ○ Yes ◉ No

35 USC 119 (a-d) conditions met: ☐ Yes ☑ No ☐ Met After Allowance

Verified and Acknowledged: /HAN YANG/ (Examiner's Signature) | (Initials)

Title: MEMORY INCLUDING A PLURALITY OF PORTIONS AND USED FOR REDUCING PROGRAM DISTURBANCE AND PROGRAM METHOD THEREOF

FILING or 371(c) DATE	CLASS	GROUP ART UNIT	ATTORNEY DOCKET NO.
09/10/2021	365	2824	YMTP0265USA1
RULE			

APPLICANTS

Yangtze Memory Technologies Co., Ltd., Wuhan City, CHINA

INVENTORS

Yali Song, Wuhan City, CHINA

XiangNan Zhao, Wuhan City, CHINA

Ying Cui, Wuhan City, CHINA

CONTINUING DATA

This application is a DIV of 16827734 03/24/2020 PAT 11195590

16827734 is a CON of PCT/CN2020/074580 02/10/2020

FOREIGN APPLICATIONS

IF REQUIRED, FOREIGN LICENSE GRANTED**

09/21/2021

STATE OR COUNTRY

CHINA

ADDRESS

NORTH AMERICA INTELLECTUAL PROPERTY CORPORATION

5F., NO.389, FUHE RD., YONGHE DIST.

NEW TAIPEI CITY,

TAIWAN

FILING FEE RECEIVED

$1,820

PART B – FEE(S) TRANSMITTAL

Complete and send this form, together with the applicable fee(s), by mail or fax, or via EFS-Web.

By mail, send to: Mail Stop ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

By fax, send to: (571) 273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate " FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

27765 7590 10/04/2022

NORTH AMERICA INTELLECTUAL PROPERTY CORPORATION
5F., No.389, Fuhe Rd., Yonghe Dist.,
New Taipei City,
Taiwan

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being transmitted to the USPTO via EFS-Web or by facsimile to (571) 273-2885, on the date below.

Hitomi Lin	(Typed or printed name)
/Hitomi Lin/	(Signature)
12/30/2022	(Date)

APPLICATION NO	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO	CONFIRMATION NO
17/472,560	09/10/2021	Yali Song	YMTP0265USA1	2978

TITLE OF INVENTION: MEMORY INCLUDING A PLURALITY OF PORTIONS AND USED FOR REDUCING PROGRAM DISTURBANCE AND PROGRAM METHOD THEREOF

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	$1200	$0	$0	$1200	01/04/2023

EXAMINER	ART UNIT	CLASS-SUBCLASS
YANG, HAN	2824	365-185180

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363)

☐ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.

☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-09 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list

(1) The names of up to 3 registered patent attorneys or agents OR, alternatively,

(2) The name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1. Winston Hsu
2.
3.

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document must have been previously recorded, or filed for recordation, as set forth in 37 CFR 3.11 and 37 CFR 3.81(a). Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE	(B) RESIDENCE: (CITY and STATE or COUNTRY)
Yangtze Memory Technologies Co., Ltd.	Wuhan City, Hubei Province, P.R.C.

Please check the appropriate assignee category or categories (will not be printed on the patent): ☐ Individual ☑ Corporation or other private group entity ☐ Government

4a. Fees Submitted: ☑ Issue Fee ☐ Publication Fee (if required) ☐ Advance Order - # of Copies _____

4b. Method of Payment (*Please first reapply any previously paid fee shown above*):

☑ Electronic Payment via EFS-Web ☐ Enclosed check ☐ Non-electronic payment by credit card (Attach form PTO-2038)

☑ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment to Deposit Account No. 50-3105

5. Change of Entity Status (from status indicated above)

☐ Applicant certifying micro entity status. See 37 CFR 1.29. NOTE: Absent a valid Certification of Micro Entity Status (see forms PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.

☐ Applicant asserting small entity status. See 37 CFR 1.27. NOTE: If the application was previously under micro entity status, checking this box will be taken as a notification of loss of entitlement to micro entity status.

☐ Applicant changing to regular undiscounted fee status. NOTE: Checking this box will be taken as a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: This form must be signed in accordance with 37 CFR 1.31 and 1.33. See 37 CFR 1.4 for signature requirements and certifications.

Authorized Signature /Winston Hsu/ Date 12/29/2022

Typed or printed name Winston Hsu Registration No. 41526

Micron Ex. 1002, p. 406
Micron v. YMTC
IPR2025-00190

Electronic Patent Application Fee Transmittal

Application Number:	17472560
Filing Date:	10-Sep-2021
Title of Invention:	MEMORY INCLUDING A PLURALITY OF PORTIONS AND USED FOR REDUCING PROGRAM DISTURBANCE AND PROGRAM METHOD THEREOF
First Named Inventor/Applicant Name:	Yali Song
Filer:	Winston Hsu/Hitomi Lin
Attorney Docket Number:	YMTP0265USA1

Filed as Large Entity

Filing Fees for Utility under 35 USC 111(a)

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
UTILITY APPL ISSUE FEE	1501	1	1200	1200

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Extension-of-Time:				
Miscellaneous:				
		Total in USD ($)		**1200**

Electronic Acknowledgement Receipt

EFS ID:	47289478
Application Number:	17472560
International Application Number:	
Confirmation Number:	2978
Title of Invention:	MEMORY INCLUDING A PLURALITY OF PORTIONS AND USED FOR REDUCING PROGRAM DISTURBANCE AND PROGRAM METHOD THEREOF
First Named Inventor/Applicant Name:	Yali Song
Customer Number:	27765
Filer:	Winston Hsu/Hitomi Lin
Filer Authorized By:	Winston Hsu
Attorney Docket Number:	YMTP0265USA1
Receipt Date:	30-DEC-2022
Filing Date:	10-SEP-2021
Time Stamp:	00:34:21
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	DA
Payment was successfully received in RAM	$1200
RAM confirmation Number	E2022BT135141334
Deposit Account	503105
Authorized User	Hitomi Lin
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows: 37 CFR 1.16 (National application filing, search, and examination fees) 37 CFR 1.17 (Patent application and reexamination processing fees)	

37 CFR 1.19 (Document supply fees)

37 CFR 1.20 (Post Issuance fees)

37 CFR 1.21 (Miscellaneous fees and charges)

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Issue Fee Payment (PTO-85B)	4784523.PDF	762679 bc1c29f223ac99abc6531e86b06a9e059f8b0f66	no	1
Warnings:					
Information:					
2	Fee Worksheet (SB06)	fee-info.pdf	37738 b8dd82b67f690d7031dca4bf34f281c51fcab018	no	2
Warnings:					
Information:					
		Total Files Size (in bytes):	800417		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

<u>New Applications Under 35 U.S.C. 111</u>
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.
<u>National Stage of an International Application under 35 U.S.C. 371</u>
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.
<u>New International Application Filed with the USPTO as a Receiving Office</u>
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	ISSUE DATE	PATENT NO.	ATTORNEY DOCKET NO.	CONFIRMATION NO.
17/472,560	01/31/2023	11568941	YMTP0265USA1	2978

27765 7590 01/11/2023

NORTH AMERICA INTELLECTUAL PROPERTY CORPORATION
5F., NO.389, FUHE RD., YONGHE DIST.
NEW TAIPEI CITY,
TAIWAN

ISSUE NOTIFICATION

The projected patent number and issue date are specified above.

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment is 0 day(s). Any patent to issue from the above-identified application will include an indication of the adjustment on the front page.

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Application Assistance Unit (AAU) of the Office of Patents Stakeholder Experience (OPSE), Stakeholder Support Division (SSD) at (571)-272-4200.

INVENTOR(s) (Please see PAIR WEB site http://pair.uspto.gov for additional inventors):

Yali Song, Wuhan City, CHINA;
XiangNan Zhao, Wuhan City, CHINA;
Ying Cui, Wuhan City, CHINA;

APPLICANT(s) (Please see PAIR WEB site http://pair.uspto.gov for additional applicants):

Yangtze Memory Technologies Co., Ltd., Wuhan City, CHINA;

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation, and commercialization of new technologies. The USA offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to encourage and facilitate business investment. To learn more about why the USA is the best country in the world to develop technology, manufacture products, and grow your business, visit SelectUSA.gov.

Micron Ex. 1002, p. 411
Micron v. YMTC
IPR2025-00190