

	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2013-0015120 (43) 공개일자 2013년02월13일
(51) 국제특허분류(Int. Cl.) H01L 21/8247 (2006.01) H01L 27/115 (2006.01) (21) 출원번호 10-2011-0076956 (22) 출원일자 2011년08월02일 심사청구일자 없음		(71) 출원인 에스케이하이닉스 주식회사 경기도 이천시 부발읍 경충대로 2091 (72) 발명자 이성권 서울 강남구 대치 2동 316 은마아파트 1동 813호 (74) 대리인 신영무

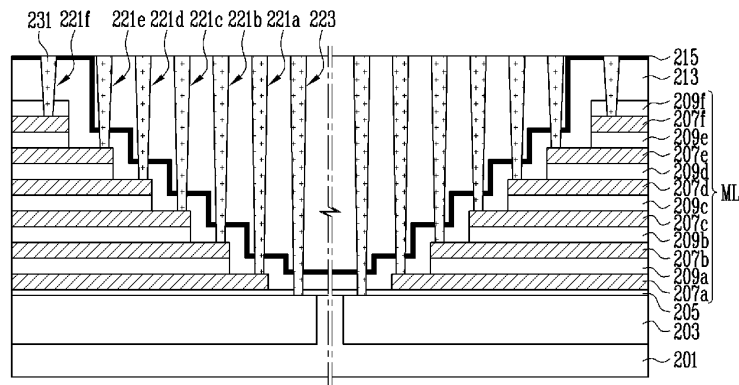
전체 청구항 수 : 총 5 항

(54) 발명의 명칭 반도체 소자 및 그 제조방법

(57) 요약

본 발명에 따른 반도체 소자는 계단형으로 패터닝된 콘택 영역을 구비하는 다층의 도전막들 및 다층의 층간 절연막들이 교대로 적층된 적층 구조들, 상기 적층 구조들의 표면을 따라 형성된 제1 절연막, 상기 제1 절연막의 상부에 형성되어 상기 적층 구조들 사이의 공간을 채우며, 상기 제1 절연막보다 치밀도가 낮은 제2 절연막, 및 상기 제1 및 제2 절연막을 관통하여 상기 도전막들 각각의 상기 콘택 영역에 접속된 콘택 패턴들을 포함한다.

도 3f



특허청구의 범위

청구항 1

다층의 도전막들 및 다층의 층간 절연막들이 교대로 적층된 적층 구조를 형성하는 단계;
 상기 다층의 도전막들 양측부가 계단형으로 노출되도록 패터닝 공정을 실시하는 단계;
 상기 계단형으로 노출된 상기 도전막들을 포함한 상기 적층 구조의 표면을 따라 제1 절연막을 형성하는 단계;
 상기 제1 절연막보다 치밀도가 낮은 제2 절연막을 상기 제1 절연막 상부에 형성하는 단계; 및
 상기 계단형으로 패터닝된 상기 도전막들 각각이 노출되도록 상기 제1 및 제2 절연막을 제거하여 콘택홀들을 형성하는 단계; 및
 상기 콘택홀들 내부를 도전 물질로 채우는 단계를 포함하는 반도체 소자의 제조방법.

청구항 2

다층의 적층막들을 포함하는 적층 구조를 형성하는 단계;
 상기 적층막들의 양측부가 계단형으로 노출되도록 패터닝 공정을 실시하는 단계;
 상기 계단형으로 노출된 상기 적층막들의 표면을 따라 제1 절연막을 형성하는 단계;
 상기 제1 절연막보다 치밀도가 낮은 제2 절연막을 상기 제1 절연막 상부에 형성하는 단계;
 상기 계단형으로 패터닝된 상기 적층막들 각각이 노출되도록 상기 제1 및 제2 절연막을 제거하여 트렌치들을 형성하는 단계; 및
 상기 트렌치들 내부를 도전 물질로 채우는 단계를 포함하는 반도체 소자의 제조방법.

청구항 3

제 1 항 또는 제 2 항에 있어서,
 상기 제2 절연막을 형성하는 단계 이 전,
 상기 제1 절연막의 표면을 따라 식각 정지막을 형성하는 단계를 더 포함하는 반도체 소자의 제조방법.

청구항 4

제 1 항 또는 제 2 항에 있어서,
 상기 제1 절연막은 HDP(high density plasma) 산화막이고,
 상기 제2 절연막은 SOD(Spin On Dielectric) 절연막인 반도체 소자.

청구항 5

계단형으로 패터닝된 콘택 영역을 구비하는 다층의 도전막들 및 다층의 층간 절연막들이 교대로 적층된 적층 구조들;
 상기 적층 구조들의 표면을 따라 형성된 제1 절연막;
 상기 제1 절연막의 상부에 형성되어 상기 적층 구조들 사이의 공간을 채우며, 상기 제1 절연막보다 치밀도가 낮은 제2 절연막; 및
 상기 제1 및 제2 절연막을 관통하여 상기 도전막들 각각의 상기 콘택 영역에 접속된 콘택 패턴들을 포함하는 반도체 소자.

명세서

기술분야

[0001] 본 발명은 반도체 소자 및 그 제조방법에 관한 것으로, 특히 계단형으로 패터닝된 적층 구조의 각 적층막에 접속된 도전 패턴들을 포함하는 반도체 소자 및 그 제조방법에 관한 것이다.

배경기술

[0002] 반도체 소자는 수많은 트랜지스터 및 트랜지스터들 각각에 구동 신호를 인가하기 위한 신호 라인들을 포함한다. 트랜지스터와 신호 라인은 이들 사이에 형성된 절연막을 관통하는 도전 패턴을 통해 전기적으로 접속된다.

[0003] 절연막을 관통하는 도전 패턴은 도전 패턴이 형성될 영역에 대응하는 절연막의 소정 영역을 제거한 후, 절연막이 제거된 영역을 도전 물질로 채워서 형성할 수 있다. 이 때, 다층의 적층막들로 구성되며 계단형으로 패터닝된 적층 구조의 각 적층막에 도전 패턴이 접속되어야 하는 경우, 다층의 적층막들에 각각 접속된 도전 패턴들의 깊이는 타겟으로 하는 적층막의 깊이에 따라 다르게 형성된다. 이와 같이 도전 패턴들의 깊이를 서로 다르게 형성해야 하는 경우, 도전 패턴들이 형성될 영역들에 대응하는 절연막을 제거하는 과정에서 특정 영역이 과도식각되는 문제가 발생할 수 있다. 이러한 과도식각에 의해 일부 도전 패턴이 접속 타겟으로 하는 적층막을 관통하여 그 하부의 다른 적층막에 접속되는 불량률이 야기될 수 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 계단형으로 패터닝된 적층 구조의 적층막들에 각각 접속된 도전 패턴들 중 일부가 접속 타겟으로 하는 적층막을 관통하여 그 하부의 다른 적층막에 접속되는 현상을 개선할 수 있는 반도체 소자 및 그 제조방법을 제공한다.

과제의 해결 수단

[0005] 본 발명의 실시 예에 따른 반도체 소자의 제조방법은 다층의 도전막들 및 다층의 층간 절연막들이 교대로 적층된 적층 구조를 형성하는 단계, 상기 다층의 도전막들 양측부가 계단형으로 노출되도록 패터닝 공정을 실시하는 단계, 상기 계단형으로 노출된 상기 도전막들을 포함한 상기 적층 구조의 표면을 따라 제1 절연막을 형성하는 단계, 상기 제1 절연막보다 치밀도가 낮은 제2 절연막을 상기 제1 절연막 상부에 형성하는 단계, 및 상기 계단형으로 패터닝된 상기 도전막들 각각이 노출되도록 상기 제1 및 제2 절연막을 제거하여 콘택홀들을 형성하는 단계, 및 상기 콘택홀들 내부를 도전 물질로 채우는 단계를 포함한다.

[0006] 본 발명의 다른 실시 예에 따른 반도체 소자의 제조방법은 다층의 적층막들을 포함하는 적층 구조를 형성하는 단계, 상기 적층막들의 양측부가 계단형으로 노출되도록 패터닝 공정을 실시하는 단계, 상기 계단형으로 노출된 상기 적층막들의 표면을 따라 제1 절연막을 형성하는 단계, 상기 제1 절연막보다 치밀도가 낮은 제2 절연막을 상기 제1 절연막 상부에 형성하는 단계, 상기 계단형으로 패터닝된 상기 적층막들 각각이 노출되도록 상기 제1 및 제2 절연막을 제거하여 트렌치들을 형성하는 단계, 및 상기 트렌치들 내부를 도전 물질로 채우는 단계를 포함한다.

[0007] 본 발명의 실시 예에 따른 반도체 소자는 계단형으로 패터닝된 콘택 영역을 구비하는 다층의 도전막들 및 다층의 층간 절연막들이 교대로 적층된 적층 구조들, 상기 적층 구조들의 표면을 따라 형성된 제1 절연막, 상기 제1 절연막의 상부에 형성되어 상기 적층 구조들 사이의 공간을 채우며, 상기 제1 절연막보다 치밀도가 낮은 제2 절연막, 및 상기 제1 및 제2 절연막을 관통하여 상기 도전막들 각각의 상기 콘택 영역에 접속된 콘택 패턴들을 포함한다.

[0008] 상기 제1 절연막은 HDP(high density plasma) 산화막이고, 상기 제2 절연막은 SOD(Spin On Dielectric) 절연막인 것이 바람직하다.

[0009] 상기 제1 및 제2 절연막 사이에는 식각 정지막이 더 형성된다.

발명의 효과

[0010] 본 발명은 서로 다른 제1 절연막과 제2 절연막을 계단형으로 패터닝된 적층 구조의 상부에 형성한 후, 제1 및 제2 절연막을 식각하여 콘택홀들 또는 트렌치들을 형성한다. 제1 및 제2 절연막을 식각하는 동안 제1 절연막에

비해 제2 절연막이 더 빠르게 식각될 수 있도록 하기 위해 본 발명은 제1 및 제2 절연막을 서로 다른 물질로 형성한다. 이에 따라 본 발명은 상대적으로 깊은 콘택홀 또는 트렌치를 형성하기 위해 제2 절연막을 식각하는 동안 상대적으로 얇은 콘택홀 또는 트렌치가 형성될 영역의 제1 절연막이 노출되어 식각되도록 할 수 있다.

[0011] 제1 절연막의 식각 속도는 제2 절연막의 식각 속도에 비해 느리므로 본 발명은 상대적으로 깊은 콘택홀 또는 트렌치를 형성하기 위한 식각 공정 동안 상대적으로 얇은 콘택홀 또는 트렌치를 통해 적층 구조가 노출되어 과도 식각되는 문제를 개선할 수 있다. 그 결과, 본 발명은 과도 식각으로 인한 도전 패턴의 접속 불량을 개선할 수 있다.

도면의 간단한 설명

[0012] 도 1은 본 발명에 따른 3차원 반도체 메모리 소자의 사시도이다.

도 2a 및 도 2b는 본 발명의 실시 예에 따른 반도체 소자 및 그 제조방법을 설명하기 위한 단면도들이다.

도 3a 내지 도 3f는 본 발명의 다른 실시 예에 따른 반도체 소자 및 그 제조방법을 설명하기 위한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0013] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명의 범위는 본원의 특허 청구 범위에 의해서 이해되어야 한다.

[0014] 도 1은 본 발명에 따른 3차원 반도체 메모리 소자의 사시도이다. 도 1에는 하나의 메모리 블록을 도시하였다.

[0015] 도 1을 참조하면, 본 발명에 따른 3차원 반도체 메모리 소자는 반도체 기판 상부 또는 반도체 기판 내에 형성된 소스 영역(SL) 상부에 배열된 다수의 스트링(ST)을 포함한다. 소스 영역(SL)은 반도체 기판의 불순물 주입 영역이거나, 반도체 기판 상부에 형성된 도프트 폴리 실리콘막일 수 있다. 스트링(ST) 각각은 xyz 좌표계의 z 방향을 따라 연장되어 소스 영역(SL)과 비트 라인(BL) 사이에 접속된 수직 채널막(CH)과 수직 채널막(CH)을 따라 소스 영역(SL) 상부에 적층된 하부 선택 트랜지스터, 다수의 메모리 셀, 및 상부 선택 트랜지스터를 포함한다

[0016] 하부 선택 트랜지스터는 소스 영역(SL) 상부에 적층된 하부 선택 게이트(LSG)와 수직 채널막(CH)의 교차부에 형성된다. 다수의 메모리 셀들은 하부 선택 게이트(LSG) 상부에 적층된 다층의 셀 게이트들(CG)과 수직 채널막(CH)의 교차부에 형성된다. 상부 선택 트랜지스터는 다층의 셀 게이트들(WL) 상부에 적층된 상부 선택 게이트(USG)와 수직 채널막(CH)의 교차부에 형성된다.

[0017] 수직 채널막(CH)의 외벽은 터널 절연막, 전하 저장막, 및 전하 차단막으로 둘러싸일 수 있다. 전하 저장막은 실질적인 데이터 저장소로서 트랩 사이트에 전하를 트랩/방출하여 데이터를 저장/소거한다. 전하 차단막은 전하 저장막에 저장된 전하들이 셀 게이트(WL)로 이동하는 것을 차단한다. 터널 절연막은 수직 채널막(CH)으로부터 전하 저장막 내로 전하가 주입될 때 또는 전하 저장막 내에 축적된 전하가 수직 채널막(CH) 내부로 이동할 때 전위 장벽막 역할을 한다.

[0018] 소스 영역(SL), 하부 선택 게이트(LSG), 셀 게이트들(CG), 및 상부 선택 게이트(USG) 사이는 층간 절연막에 의해 격리된다. 한편, 하부 선택 게이트(LSG), 셀 게이트들(CG), 및 상부 선택 게이트(USG)가 적층되어 형성된 적층 구조는 메모리 블록 단위로 분리된다. 그리고, 적층 구조의 하부 선택 게이트(LSG), 셀 게이트들(CG), 및 상부 선택 게이트(USG) 각각에 도전 패턴인 콘택 패턴들(CT_LSG, CT.CG, CT_USG)이 연결될 수 있도록 하기 위해 적층 구조는 계단형으로 패턴닝된 측벽을 구비한다. 소스 영역(SL)에 도전 패턴인 콘택 패턴(CT_SL)이 연결될 수 있도록 하기 위해 소스 영역(SL)은 적층 구조보다 돌출된 측벽을 구비한다.

[0019] 콘택 패턴들(CT_LSG, CT.CG, CT_USG, CT_SL)은 xyz좌표계의 z방향으로 연장되어 적층 구조와 이격되어 적층 구조 상부에 형성된 신호 라인들(M_USG, M_LSG, M.CG, M_SL)에 연결된다. 신호 라인들(M_USG, M_LSG, M.CG, M_SL)은 금속 배선으로 형성될 수 있다.

[0020] 도면에 도시하진 않았으나, 도 1에서와 같이 z방향을 따라 연장된 수직 스트링 구조를 가진 3차원 반도체 메모리 소자 외에도 z방향을 따라 수직으로 배열된 2열의 메모리 셀들을 파이프 채널로 연결하여 U자형 스트링 구조

를 가진 3차원 메모리 소자가 있다. U자형 스트링 구조를 가진 3차원 반도체 메모리 소자 또한 각 층의 메모리 셀들 및 파이프 채널에 콘택 패턴이 연결될 수 있도록 계단형으로 패터닝된 적층 구조를 구비한다.

- [0021] 상술한 바와 같은 3차원 반도체 메모리 소자 뿐 아니라 다층의 적층막들로 구성된 적층 구조의 적층막들 각각을 적층 구조 상부에 형성된 신호 라인들과 연결시키기 위해서는 적층막들 각각이 계단형으로 노출될 수 있도록 적층 구조를 계단형으로 패터닝해야 한다. 그리고, 계단형으로 패터닝된 적층 구조의 적층막들 각각과 신호 라인 사이에 도전 패턴을 형성해야 한다. 이하 본 발명의 실시 예를 통해 본 발명을 보다 구체적으로 설명한다.
- [0022] 도 2a 및 도 2b는 본 발명의 실시 예에 따른 반도체 소자 및 그 제조 방법을 설명하기 위한 단면도들이다. 도 2a 및 도 2b는 도 1에 도시된 3차원 메모리 소자의 블록간 경계부를 도시한 것이다.
- [0023] 도 2a를 참조하면, 소스 영역들(103)이 구비된 반도체 기판(101) 상부에 제1 층간 절연막(105)을 형성한다. 이후, 제1 층간 절연막(105)의 상부에 다층의 도전막들(107a 내지 107f) 및 다층의 제2 층간 절연막들(109a 내지 109f)이 교대로 적층하여 적층 구조(ML)를 형성한다. 다층의 도전막들(107a 내지 107f) 중 최하층의 도전막(107a)은 하부 선택 게이트(LSG)용 도전막이며, 최상층의 도전막(107f)은 상부 선택 게이트(USG)용 도전막일 수 있다. 그리고, 최하층의 도전막(107a)과 최상층의 도전막(107f) 사이의 도전막들(107b 내지 107e)은 셀 게이트(CG)용 도전막일 수 있다.
- [0024] 적층 구조(ML) 형성 후, 도 1에 도시된 스트링(ST) 구조를 형성하기 위한 공정이 수행될 수 있으나, 이에 대한 상세한 설명은 생략한다.
- [0025] 이 후, 적층 구조(ML) 상에 포토레지스트 패턴(미도시)을 형성하고, 포토레지스트 패턴을 식각 베리어로 적층 구조(ML)를 식각하여 적층 구조(ML)를 분리한다. 이 때, 포토레지스트 패턴의 폭을 줄여가며 적층 구조(ML)를 반복 식각함으로써 적층 구조(ML)의 도전막들(107a 내지 107f)을 계단형으로 노출시키는 단차가 형성된다. 이에 대한 상세한 공정은 도 3a 내지 도 3c에서 후술하기로 한다.
- [0026] 계단형으로 패터닝된 적층 구조(ML)의 도전막들(107a 내지 107f) 각각의 노출된 영역은 콘택 영역(A)이다. 콘택 영역(A)이 노출된 적층 구조들(ML) 상부에는 절연막(111)이 형성된다. 절연막(111)은 적층 구조들(ML) 사이의 영역을 채우도록 형성된다.
- [0027] 도 2b를 참조하면, 절연막(111)을 식각하여 도전막들(107a 내지 107f) 각각의 콘택 영역(A)을 노출시키는 콘택 홀들(121a 내지 121f)을 형성한다. 이 때, 적층 구조(ML)보다 돌출된 소스 영역(103)의 콘택 영역을 노출시키는 콘택홀(123) 또한 형성된다.
- [0028] 각층의 도전막들(107a 내지 107f)은 절연막(111)의 표면으로부터 각각 다른 깊이에 위치하므로 콘택홀들(121a 내지 121f, 123) 또한 다른 깊이로 형성된다. 이 때 상대적으로 깊은 깊이의 콘택홀(예를 들어, 121a)을 형성하기 위해 절연막(111)을 식각하는 동안, 상대적으로 얇은 깊이의 콘택홀(예를 들어, 121f)이 먼저 형성되어 노출 타겟인 도전막(107f) 뿐 아니라 그 하부의 제2 층간 절연막(109e)이 식각되어 노출 타겟 하부의 도전막(107e)이 노출될 수 있다. 이는 상대적으로 깊은 깊이의 콘택홀(121a)을 형성하기 위해 제거해야하는 절연막(111)의 두께가 상대적으로 얇은 깊이의 콘택홀(121f)을 형성하기 위해 제거해야하는 절연막(111) 및 제2 층간 절연막(109f)의 두께의 합보다 과도하게 두꺼워서 얇은 깊이의 콘택홀(121f) 형성 후 과도 식각되는 부분(B)이 발생하기 때문이다.
- [0029] 이 후, 콘택홀들(121a 내지 121f, 123) 내부를 도전물질로 매립하여 콘택 패턴들(131)을 형성한다. 이 때, 과도 식각된 부분(B)에 매립된 도전물질에 의해 서로 절연되어야 하는 도전막들(예를 들어, 107f, 107e)이 전기적으로 접속되는 불량 발생한다.
- [0030] 상술한 문제를 해결하기 위해 절연막(111)을 형성하기 전 질화막으로 식각 정지막을 두껍게 형성하는 방법이 있다. 식각 정지막은 층간 절연막들(109a 내지 109f, 105) 및 절연막(111)의 구성 물질인 산화막과 다르게 질화막으로 형성된다. 이 때문에 콘택홀들(121a 내지 121f, 123)을 형성하기 위한 식각 공정시 식각 정지막의 식각된 측벽에 큰 경사가 발생될 수 있다. 이러한 식각 정지막 측벽에 발생한 큰 경사는 콘택 패턴(131)의 형성 면적을 줄여 콘택 패턴(131)의 저항을 증가시킬 수 있다.
- [0031] 상기의 문제점을 보완할 수 있는 본 발명의 다른 실시예를 설명하면 다음과 같다.
- [0032] 도 3a 내지 도 3f는 본 발명의 다른 실시 예에 따른 반도체 소자 및 그 제조 방법을 설명하기 위한 단면도들이다. 도 3a 내지 도 3f는 도 1에 도시된 3차원 메모리 소자의 블록간 경계부를 도시한 것이다.

- [0033] 도 3a를 참조하면, 소스 영역들(203)이 구비된 반도체 기판(201) 상부에 제1 층간 절연막(205)을 형성한다. 소스 영역들(203)은 반도체 기판(201) 내부에 불순물을 주입하여 형성하거나, 도면에 도시하진 않았으나 반도체 기판(201) 상부에 불순물이 주입된 도프트 폴리 실리콘막을 증착한 후 이를 패터닝하여 형성할 수 있다. 이러한 소스 영역들(203)은 메모리 블록 단위로 분리될 수 있다. 제1 층간 절연막(205)은 소스 영역(203)과 그 상부에 형성되는 도전막(207a)을 전기적으로 절연시키기 위한 것으로 산화막으로 형성될 수 있다.
- [0034] 이 후, 제1 층간 절연막(205)의 상부에 다층의 도전막들(207a 내지 207f) 및 다층의 제2 층간 절연막들(209a 내지 209f)을 교대로 적층하여 적층 구조(ML)를 형성한다. 다층의 도전막들(207a 내지 207f) 중 최하층의 도전막(207a)은 하부 선택 게이트(LSG)용 도전막이며, 최상층의 도전막(207f)은 상부 선택 게이트(USG)용 도전막일 수 있다. 그리고, 최하층의 도전막(207a)과 최상층의 도전막(207f) 사이의 도전막들(207b 내지 207e)은 셀 게이트(CG)용 도전막일 수 있다. 셀 게이트(CG)용 도전막들(207b 내지 207e)의 적층 수는 적층하고자 하는 메모리 셀의 개수에 따라 다양하게 변경될 수 있다. 제2 층간 절연막들(209a 내지 209e)은 적층 구조의 도전막들(207a 내지 207f)을 전기적으로 절연시키기 위한 것으로 산화막으로 형성될 수 있다. 한편 적층 구조(ML)의 최상부층에도 후속에서 형성될 막과, 적층 구조(ML)의 최상부층에 형성된 도전막(207f)을 분리시키기 위해 산화막인 제2 층간 절연막(209f)이 더 형성될 수 있다. 도전막들(207a 내지 207f)은 폴리 실리콘막으로 형성될 수 있다.
- [0035] 도면에 도시하진 않았으나 적층 구조(ML) 형성 후, 도 1에 도시된 스트링(ST) 구조를 형성하기 위해 적층 구조(ML), 제1 층간 절연막(205)을 관통하는 채널홀 형성 공정, 채널홀 측벽에 전하 차단막, 전하 저장막, 및 터널 절연막을 순차로 적층하는 공정, 채널홀 내부를 수직 채널막으로 채우는 공정이 수행될 수 있다.
- [0036] 이어서, 적층 구조(ML) 상부에 도전막들(207a 내지 207f)의 콘택 영역을 노출시키기 위한 계단형 패턴 형성 공정시 식각 베리어 역할을 하는 마스크 패턴(211)을 형성한다. 마스크 패턴(211)은 포토레지스트 패턴으로 형성될 수 있으며, 적층 구조(ML)의 최하층에 배치된 도전막(207a)의 폭을 고려하여 적층 구조(ML)를 노출시킨다. 이러한 마스크 패턴(211)은 최초 형성시, 제1 폭(W1) 및 제1 높이(h1)를 가진다. 제1 폭(W1)은 계단형 패턴을 이루는 최하층 도전막(207a)(즉, 도전막 제1 층)의 패터닝 폭으로 설정된 값이다. 제1 높이(h1)는 후속에서 반복되는 적층 구조(ML)의 식각 공정 중 마스크 패턴(211)의 높이가 감소되더라도 높이가 감소된 마스크 패턴(211)이 충분히 식각 베리어 역할을 할 수 있도록 설정된 값이다.
- [0037] 상술한 제1 폭(W1)을 가진 마스크 패턴(211)에 의해 노출된 적층 구조(ML)의 최상층 제2 층간 절연막(209f)과 도전막(207f)을 식각한다. 이 때, 도전막(207f) 하부의 제2 층간 절연막(209e)이 더 식각될 수 있다. 이로써 최상층의 도전막(207f) 하부의 도전막(207e)이 노출된다.
- [0038] 도 3b를 참조하면, 마스크 패턴(211)을 식각하여 마스크 패턴(211)의 크기를 축소시킨다. 이로써, 마스크 패턴(211)의 폭은 제1 폭(W1)보다 좁은 제2 폭(W2)이 되고, 마스크 패턴(211)의 높이는 제1 높이(h1)보다 낮은 제2 높이(h2)가 된다.
- [0039] 상기에서 제2 폭(W2)은 계단형 패턴을 이루는 도전막 제2 층(207b)의 패터닝 폭으로 설정된 값이다.
- [0040] 상술한 제2 폭(W2)을 가진 마스크 패턴(211)에 의해 노출된 적층 구조(ML)의 최상층에 인접한 두층의 도전막(207f, 207e)과, 제2 층간 절연막(209f, 209e)을 식각한다. 이 때, 도전막(207e) 하부의 제2 층간 절연막(209d)이 더 식각될 수 있다. 이로써 최상층에 인접한 두층의 도전막(207f, 207e) 하부의 도전막(207d)이 노출된다.
- [0041] 도 3c를 참조하면, 마스크 패턴(211)의 폭이 계단형 패턴(A)을 구성하는 최상층의 도전막(207f)의 폭으로 설정된 제3 폭(W3)이 되고, 적층 구조(ML)의 최하층의 도전막(207a)이 분리되어 패터닝될 때까지 도 3b에서 상술한 마스크 패턴(211)의 축소 공정, 축소된 마스크 패턴(211)을 식각 베리어로 적층 구조(ML)를 식각하는 공정을 반복 실시한다. 마스크 패턴(211)의 폭이 제3 폭(W3)이 되면, 마스크 패턴(211)의 높이 또한 반복되는 마스크 패턴(211)의 축소 공정에 의해 감소되어 제2 높이(h2)보다 낮은 제3 높이(h3)가 된다.
- [0042] 상술한 마스크 패턴(211) 축소 공정과, 적층 구조(ML)의 식각 공정이 반복 실시로 인해 도전막들(207a 내지 207f)의 콘택 영역(A)이 계단형으로 노출되도록 패터닝된다. 이 때, 계단형으로 패터닝된 적층 구조(ML)는 소스 영역(203)의 콘택 영역을 노출시킬 수 있도록 형성된다.
- [0043] 도 3d를 참조하면, 계단형으로 노출된 콘택 영역(A)을 포함한 전체 구조의 표면을 따라 제1 절연막(213)을 형성한다. 제1 절연막(213)은 후속 식각 공정에서 제2 절연막(217)에 비해 식각 속도가 느려질 수 있도록 제2 절

연막(217)의 막질에 비해 치밀한 막질을 가지도록 형성되는 것이 바람직하다. 그리고, 계단형으로 패터닝된 적층 구조들(ML)에 의한 단차를 따라 형성되는 것이 바람직하다. 이를 위해 제1 절연막(213)은 막질이 치밀한 HDP(High Density Plasma) 산화막으로 형성하는 것이 바람직하다.

[0044] 이 후, 제1 절연막(213)의 상부에 식각 정지막(215)을 더 형성할 수 있다. 식각 정지막(215)은 후속에서 형성될 제2 절연막(217)의 평탄화 공정시 식각 정지막 역할을 할 수 있도록 형성되는 것이다. 또한 식각 정지막(215)은 후속에서 콘택홀 형성 공정시 도전막들(207a 내지 207f) 측벽이 노출되는 것을 방지하는 역할을 할 수 있도록 형성되는 것이다. 이러한 역할이 가능하도록 식각 정지막(215)은 질화막으로 형성되는 것이 바람직하다. 한편, 식각 정지막(215)의 두께는 후속에서 콘택홀 형성 공정시 식각된 식각 정지막(215)의 경사진 측벽에 의해 콘택홀의 폭이 좁아지지 않도록 가능한 얇게 형성하는 것이 바람직하다.

[0045] 이어서, 식각 정지막(215)의 상부에 제2 절연막(217)을 형성한다. 제2 절연막(217)은 후속 식각 공정시 제1 절연막(213)보다 식각 속도가 빠르도록 제1 절연막(213)에 비해 막의 치밀도가 낮게 형성되는 것이 바람직하며, 계단형 콘택 영역(A)을 덮도록 적층 구조들(ML) 사이의 공간을 매립할 수 있는 물질로 형성되는 것이 바람직하다. 이를 위해 제2 절연막(217)은 매립특성이 우수하며 치밀도가 낮은 SOD(Spin On Dielectric) 산화막으로 형성되는 것이 바람직하다.

[0046] 도 3e를 참조하면, 제2 절연막(217)의 표면을 평탄화시킨다. 평탄화 공정은 화학적 기계적 연마(CMP: Chemical Mechanical Polishing) 방식으로 실시될 수 있다. 식각 정지막(215)이 형성된 경우, 제2 절연막(217)의 평탄화 공정은 식각 정지막(215)이 노출될 때까지 실시된다.

[0047] 도 3f를 참조하면, 제2 절연막(217), 식각 정지막(215) 및 제1 절연막(213)을 식각하여 도전막들(207a 내지 207f) 각각의 콘택 영역(A) 및 소스 영역(203)의 콘택 영역을 노출시키는 콘택홀들(221a 내지 221f, 223)을 형성한다. 이 때, 소스 영역(203)의 콘택 영역 상부에 형성된 제1 층간 절연막(205)이 더 식각될 수 있다.

[0048] 상술한 콘택홀들(221a 내지 221f, 223)을 형성하는 공정 진행시, 상대적으로 깊은 콘택홀(예를 들어, 221a)이 형성될 영역의 제2 절연막(217)이 식각되는 동안 상대적으로 얇은 콘택홀(예를 들어, 221f)이 형성될 영역의 제1 절연막(213)이 노출되어 식각된다. 이 때, 막 치밀도 차이로 인해 제2 절연막(213)의 식각 속도는 제1 절연막(213)이 식각 속도보다 빠르므로, 얇은 콘택홀(221f)이 형성될 영역의 제1 절연막(213)이 제거되기 전, 깊은 콘택홀(221a)이 형성될 영역에 두껍게 형성된 제2 절연막(217)이 제거된다. 따라서, 얇은 콘택홀(221f)을 통해 노출된 도전막(207f)이 깊은 콘택홀(221f)이 형성될 영역의 절연막을 식각하는 동안 노출되는 시간이 감소되어 도전막(207f)이 과도 식각되는 문제가 개선된다. 이로써, 서로 다른 깊이의 콘택홀들(221a 내지 221f, 223)이 형성되는 동안, 노출 타겟으로 하는 도전막(예를 들어, 207f)이 과도 식각되어 그 하부의 도전막(207e)이 노출되는 현상을 개선할 수 있다.

[0049] 이 후, 콘택홀들(221a 내지 221f, 223) 내부를 도전 물질로 매립하여 도전막들(207a 내지 207f) 및 소스 영역(203)의 콘택 영역에 접속된 콘택 패턴들(231)을 형성한다.

[0050] 상기에서는 3차원 반도체 메모리 소자의 콘택 패턴들(231) 형성 방법 위주로 설명하였으나, 본 발명은 이에 한정되지 않고, 다층의 적층막들 각각이 계단형으로 노출될 수 있도록 패터닝된 적층 구조를 포함하며, 적층 구조를 덮는 절연막을 식각하여 적층막들 각각을 노출시키는 트렌치를 형성하는 공정을 포함하는 공지의 어떠한 기술에도 적용될 수 있다.

[0051] 본 발명은 계단형으로 패터닝된 적층 구조 상부에 형성된 제1 및 제2 절연막(213, 217)간 식각 속도 차이를 이용하여 콘택홀들(221a 내지 221f, 223) 또는 트렌치들을 형성하는 과정에서 일부 콘택홀(221f) 또는 트렌치를 통해 타겟으로 하는 도전막(207f)이 과도 식각되어 그 하부의 도전막(207e)이 노출되는 현상을 개선한다. 이에 따라 본 발명은 후속 공정에서 콘택홀들(221a 내지 221f, 223) 또는 트렌치들 내부를 도전 패턴(231)으로 채우더라도 서로 절연되어야 하는 도전막들(207f, 207e)이 도전 패턴(231)에 의해 전기적으로 접속되는 현상을 개선할 수 있다.

부호의 설명

[0052] 201: 반도체 기판
205, 209a 내지 209f: 층간 절연막
207a 내지 207f: 도전막
ML: 적층 구조
211: 마스크 패턴
213: 제1 절연막

215: 식각 정지막

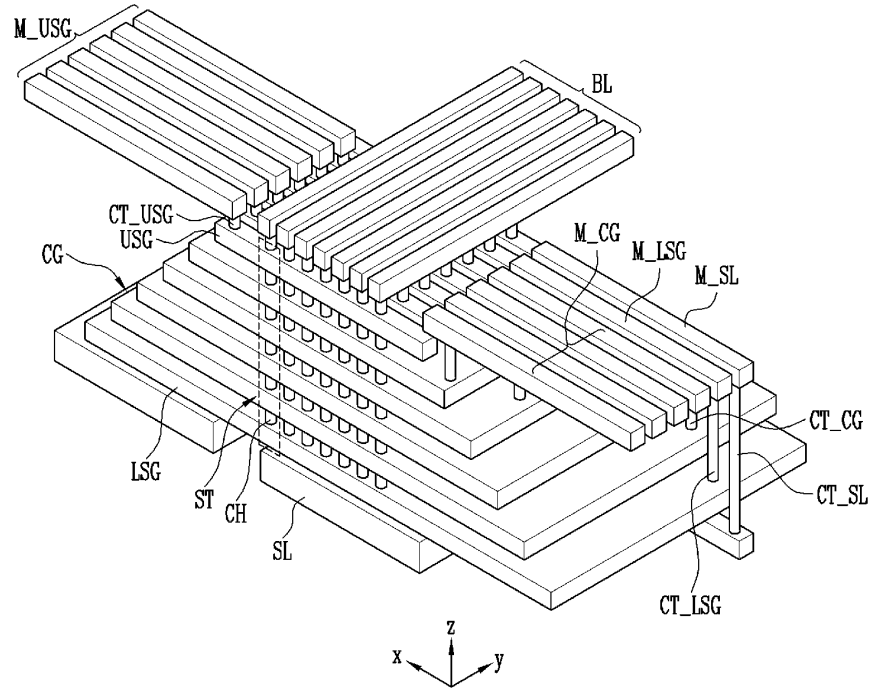
217: 제2 절연막

221a 내지 221f, 223: 콘택홀

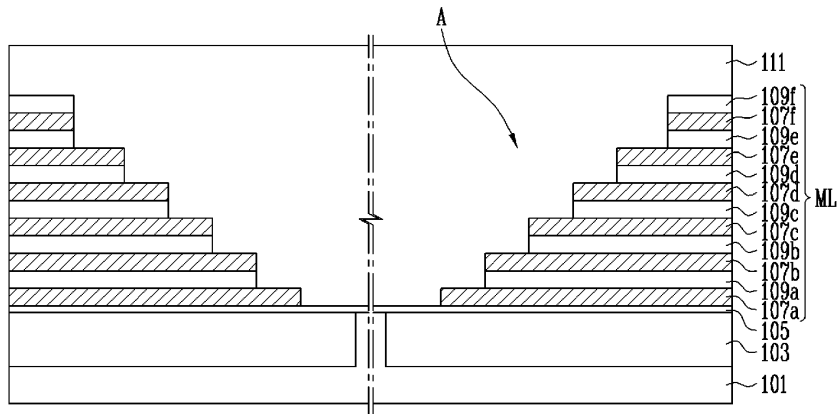
231: 콘택 패턴

도면

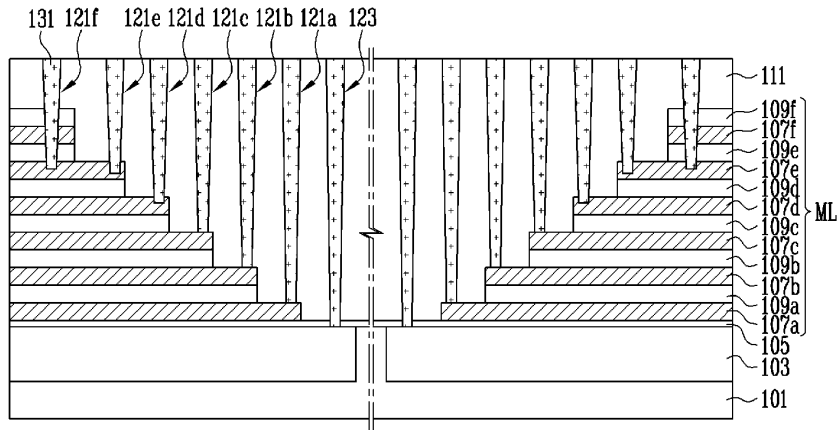
도면1



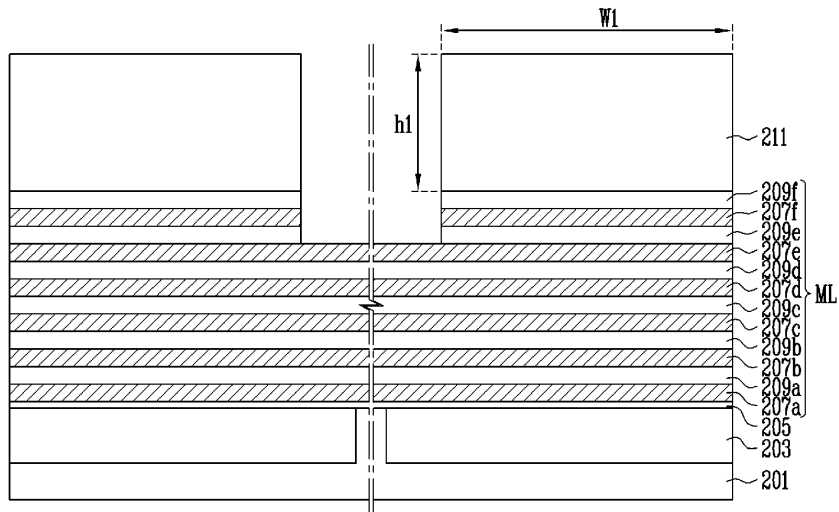
도면2a



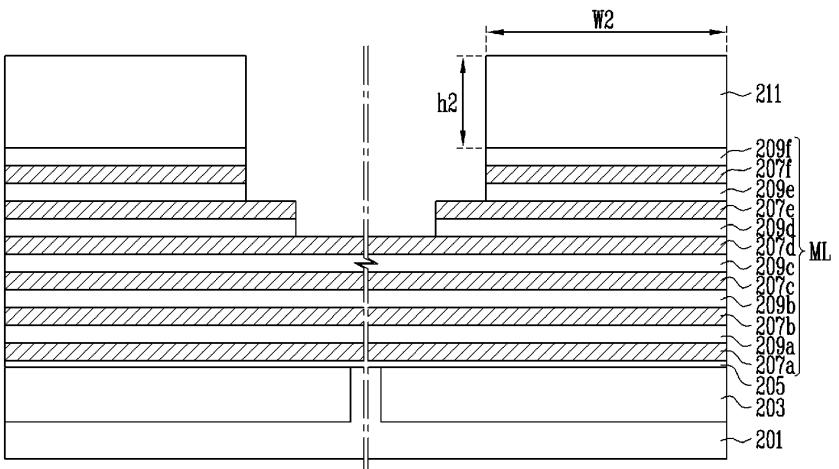
도면2b



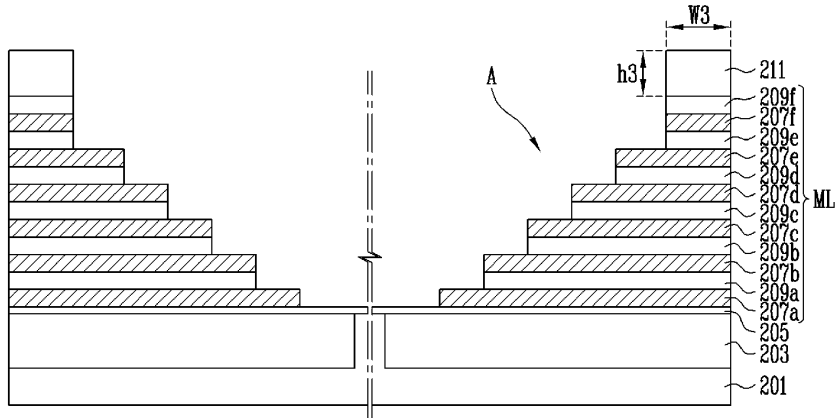
도면3a



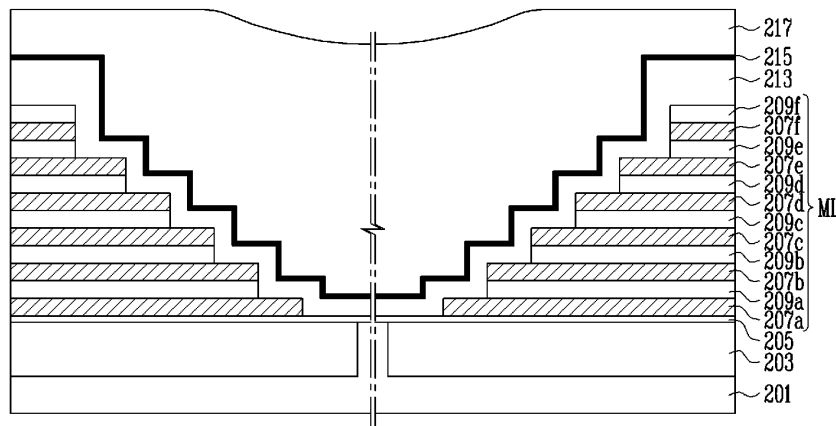
도면3b



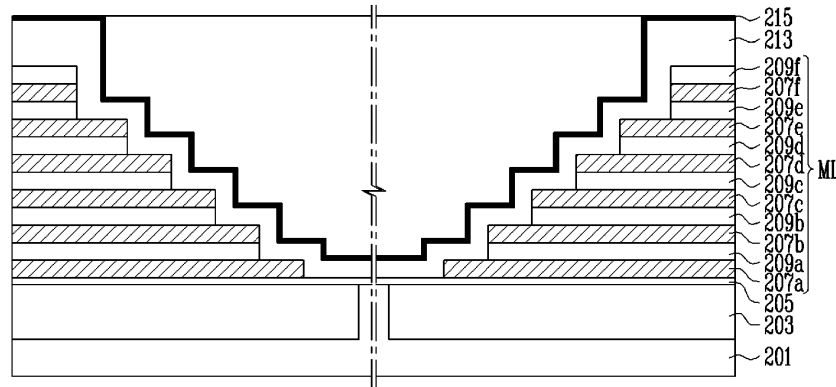
도면3c



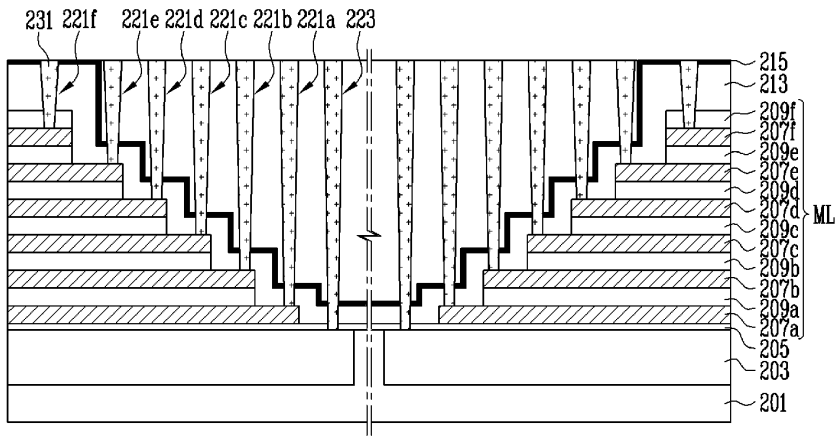
도면3d



도면3e



도면31





Espacenet

KR20130015120A SEMICONDUCTOR DEVICE AND METHOD OF FABRICATING THE SAME

Applicants: SK HYNIX INC [KR]

Inventors: LEE SUNG KWON [KR]

Classifications:

IPC **H01L21/8247; H10B69/00;**

CPC **H01L21/31051 (KR); H01L21/76224 (KR); H01L21/76877 (KR); H10B43/20 (KR); H10B43/27 (KR);**

Priorities: KR20110076956A 2011-08-02

Application: KR20110076956A·2011-08-02

Publication: KR20130015120A·2013-02-13

Published as: KR20130015120A

SEMICONDUCTOR DEVICE AND METHOD OF FABRICATING THE SAME

Abstract

PURPOSE: A semiconductor device and a manufacturing method thereof are provided to improve a connection failure of a conductive pattern due to excessive etch by forming a first insulation layer and a second insulation layer with different materials.

CONSTITUTION: A first interlayer insulation layer(205) is formed on the upper side of a semiconductor substrate(201) with a source area(203). A laminate structure is formed on the upper side of the first interlayer dielectric layer. The laminate structure is formed by alternatively laminating a multilayered conductive layers(207a-207f) and multilayered second interlayer dielectric layers(209a-209f). A first insulation layer(213) is formed on the upper side of the laminate structure. An etch stop layer(215) is formed on the upper side of the first insulation layer.

KR20130015120A SEMICONDUCTOR DEVICE AND METHOD OF FABRICATING THE SAME

Data originating from sources other than the EPO may not be accurate, complete, or up to date.

The wording below is an initial machine translation of the original publication. To generate a version using the latest translation technology, go to the original language text and use Patent Translate.

Semiconductor device and method of fabricating same

[0001] The present invention relates to a semiconductor device and a method of manufacturing the same, and more particularly, to a semiconductor device including conductive patterns connected to respective laminated films of a laminated structure patterned in a stepwise manner, and a method of manufacturing the same.

[0002] Semiconductor devices include signal lines for applying drive signals to a number of transistors and transistors, respectively. The transistor and the signal line are electrically connected through a conductive pattern passing through the insulating film formed therebetween.

[0003] The conductive pattern passing through the insulating film can be formed by removing a predetermined region of the insulating film corresponding to the region where the conductive pattern is to be formed and then filling the region from which the insulating film is removed with a conductive material. At this time, when a conductive pattern is to be connected to each laminated film of a laminated structure constituted by multilayered films and patterned in a stepwise pattern, the depth of the conductive patterns connected to the multilayered laminated films, respectively, is formed differently depending on the depth. When the depths of the conductive patterns are different from each other, a problem may occur that a specific region is excessively etched in the process of removing the insulating layer corresponding to the regions in which the conductive patterns are to be formed. Such transient etching may cause defects such that a part of the conductive pattern penetrates through the laminated film as a connection target and is connected to another laminated film below the laminated film.

The present invention provides a semiconductor device capable of improving the phenomenon that a part of the conductive patterns respectively connected to the laminated films of the stepwise patterned laminated structure is connected to the other laminated film through the laminated film serving as the connection target, And a manufacturing method thereof.

A method of fabricating a semiconductor device according to an embodiment of the present invention includes forming a stacked structure in which a plurality of conductive films and a plurality of interlayer insulating films are alternately stacked, a step of patterning both sides of the conductive films in a step- Forming a first insulating film along a surface of the stacked structure including the conductive films exposed in a stepwise manner, forming a second insulating film having a lower density than the first insulating film on the first insulating film Forming contact holes by removing the first and second insulating films so that each of the conductive films patterned in a stepwise pattern is exposed, and filling the inside of the contact holes with a conductive material A method of fabricating a semiconductor device according to another embodiment of the present invention includes the steps of forming a laminated structure including a plurality of laminated films, Forming a first insulating film along a surface of the stacked layers exposed in a stepwise manner, forming a second insulating film having a lower densification than the first insulating film on the first insulating film, Forming a first insulating film on the first insulating film, removing the first insulating film and the second insulating film to expose each of the laminated films patterned in a stepwise manner to form trenches, and filling the trenches with a conductive material A semiconductor device according to an embodiment of the present invention includes stacked structures in which a multilayered conductive film and a multilayered interlayer insulating film are alternately stacked with a stepped patterned contact region, A first insulating layer formed on the first insulating layer to fill a space between the first and second insulating layers, A second insulating layer, and contact patterns connected to the contact regions of the conductive layers through the first and second insulating layers. The first insulating layer is a high density plasma (HDP) oxide layer, The insulating layer is preferably an SOD (Spin On Dielectric) insulating layer. An etch stop layer is further formed between the first and second insulating layers.

The present invention forms contact holes or trenches by etching the first and second insulating films after forming the first insulating film and the second insulating film on top of the laminated structure patterned stepwise. In order to enable the second insulating layer to be etched faster than the first insulating layer during the etching of the first and second insulating layers, the first and second insulating layers are formed of different materials. Accordingly, the present invention can expose and etch the first insulating layer in a region where relatively shallow contact holes or trenches are to be formed, while etching the second insulating layer to form a relatively deep contact hole or trench. Is slow compared to the etch rate of the second insulating layer, the present invention has the problem that the stack structure is exposed through relatively shallow contact holes or trenches during the etch process to form relatively deep contact holes or trenches, Can be improved. As a result, the present invention can improve the connection failure of the conductive pattern due to transient etching.

[0012] BACKGROUND OF THE INVENTION 1. Field of the Invention [0001] The present invention relates to a three-dimensional semiconductor memory device and a method of fabricating the same, Sectional views for explaining a semiconductor device and a manufacturing method thereof according to another embodiment of the present invention.

[0013] Hereinafter, preferred embodiments of the present invention will be described with reference to the accompanying drawings. However, the present invention is not limited to the embodiments described below, but may be implemented in various forms, and the scope of the present invention is not limited to the embodiments described below. It is to be understood that both the foregoing general description and the following detailed description are exemplary and explanatory and are intended to provide further explanation of the invention as claimed.

[0014] 1 is a perspective view of a three-dimensional semiconductor memory device according to the present invention. 1 shows one memory block.

[0015] Referring to FIG. 1, a three-dimensional semiconductor memory device according to the present invention includes a plurality of strings ST arranged on a semiconductor substrate or on a source region SL formed in a semiconductor substrate. The source region SL may be an impurity implantation region of the semiconductor substrate, or may be a doped polysilicon film formed on the semiconductor substrate. Each of the strings ST has a source region SL along a vertical channel film CH and a vertical channel film CH extending along the z direction of the xyz coordinate system and connected between the source region SL and the bit line BL, A lower selection transistor stacked on top, a plurality of memory cells, and an upper selection transistor

[0016] The lower selection transistor is formed at the intersection of the lower selection gate LSG and the vertical channel film CH stacked above the source region SL. A plurality of memory cells are formed at the intersections of the multi-layered cell gates CG and the vertical channel layer CH stacked on the lower select gate LSG. The upper select transistor is formed at the intersection of the upper select gate (USG) and the vertical channel film (CH) stacked on the cell gates (WL) of the multiple layers.

[0017] The outer wall of the vertical channel film CH may be surrounded by a tunnel insulating film, a charge storage film, and a charge blocking film. The charge storage film traps / emits charge to the trap site as a substantial data store to store / erase data. The charge blocking film blocks the charges stored in the charge storage film from moving to the cell gate (WL). The tunnel insulating film serves as a potential barrier film when charges are injected into the charge storage film from the vertical channel film CH or when charge accumulated in the charge storage film moves into the vertical channel film CH.

[0018] The source region SL, the lower select gate LSG, the cell gates CG, and the upper select gate USG are isolated by the interlayer insulating film. On the other hand, the stacked structure formed by stacking the lower select gate LSG, the cell gates CG, and the upper select gate USG is separated in memory block units. In order to allow the contact patterns CT_LSG, CT_CG and CT_USG, which are conductive patterns, to be connected to the lower select gate LSG, the cell gates CG and the upper select gate USG of the stacked structure, And has stepped patterned sidewalls. The source region SL has sidewalls that protrude from the stacked structure so that the contact pattern CT_SL, which is a conductive pattern, can be connected to the source region SL.

[0019] The contact patterns CT_LSG, CT_CG, CT_USG and CT_SL are connected to the signal lines M_USG, M_LSG, M_CG and M_SL formed on the upper part of the laminated structure, extending in the z direction of

the xyz coordinate system and spaced apart from the laminated structure. The signal lines M_USG, M_LSG, M_CG, and M_SL may be formed of metal wirings.

[0020] 1, in addition to a three-dimensional semiconductor memory device having a vertical string structure extending along the z direction as shown in FIG. 1, two column memory cells arranged vertically along the z direction are connected by a pipe channel to form a U- memory. A three-dimensional semiconductor memory device having a U-shaped string structure is also provided with a laminated structure patterned in a stepwise manner so that a contact pattern can be connected to memory cells and pipe channels of each layer.

[0021] In order to connect not only the above-described three-dimensional semiconductor memory device but also the laminated films of the laminated structure composed of the multilayered films to the signal lines formed on the laminated structure, each of the laminated films may be exposed in a step- The laminated structure should be patterned in a stepped pattern. Then, a conductive pattern should be formed between each of the laminated films of the laminated structure patterned stepwise and the signal lines. Hereinafter, the present invention will be described in more detail with reference to Examples.

[0022] 2A and 2B are cross-sectional views illustrating a semiconductor device and a method of manufacturing the same according to an embodiment of the present invention. FIGS. 2A and 2B show the boundary between blocks of the three-dimensional memory device shown in FIG.

[0023] Referring to FIG. 2A, a first interlayer insulating film 105 is formed on a semiconductor substrate 101 having source regions 103. Thereafter, multilayered conductive films 107a to 107f and multilayered second interlayer insulating films 109a to 109f are alternately stacked on the first interlayer insulating film 105 to form a multilayer structure ML. Among the multilayer conductive films 107a to 107f, the lowermost conductive film 107a is the conductive film for the lower selection gate LSG, and the conductive film 107f for the uppermost conductive film 107f is the conductive film for the upper selection gate USG. The conductive films 107b to 107e between the lowermost conductive film 107a and the uppermost conductive film 107f may be conductive films for cell gates CG.

[0024] After the formation of the laminated structure ML, a process for forming the string ST structure shown in FIG. 1 may be performed, but a detailed description thereof will be omitted.

[0025] Thereafter, a photoresist pattern (not shown) is formed on the laminated structure ML, and the laminated structure ML is separated by etching the laminated structure ML with the photoresist pattern as an etching barrier. At this time, a step for exposing the conductive films 107a to 107f of the multilayer structure ML in a stepwise manner is formed by repeatedly etching the multilayer structure ML while reducing the width of the photoresist pattern. The detailed process will be described later in FIGS. 3A to 3C.

[0026] The exposed regions of each of the conductive films 107a to 107f of the stacked patterned stacked structure ML are the contact regions A. [An insulating film 111 is formed on the stacked structure ML in which the contact region A is exposed. The insulating film 111 is formed to fill the region between the lamination structures ML.

[0027] Referring to FIG. 2B, the insulating film 111 is etched to form contact holes 121a to 121f that expose the contact regions A of the conductive films 107a to 107f, respectively. At this time, a contact hole 123 exposing the contact region of the source region 103 protruding from the stacked structure ML is also formed.

[0028] Since the conductive films 107a to 107f of the respective layers are located at different depths from the surface of the insulating film 111, the contact holes 121a to 121f and 123 are also formed to have different depths. At this time, during the etching of the insulating film 111 to form a contact hole (for example, 121a) having a relatively deep depth, a contact hole having a relatively shallow depth (for example, 121f) Not only the conductive film 107f but also the second interlayer insulating film 109e below the conductive film 107f may be etched to expose the conductive film 107e under the exposed target. This is because the thickness of the insulating film 111 to be removed in order to form the contact hole 121a having a relatively deep depth is smaller than the thickness of the insulating film 111 and the second interlayer insulating film 109f, so that a portion B which is excessively etched after the formation of the contact hole 121f having a shallow depth is generated.

[0029] Thereafter, the contact holes 121a to 121f and 123 are filled with a conductive material to form contact patterns 131. At this time, a failure occurs in which the conductive films (for example, 107f and 107e) to be

insulated from each other are electrically connected by the conductive material embedded in the transiently etched portion B.

[0030] In order to solve the above-mentioned problem, there is a method of thickening the etching stopper film with a nitride film before forming the insulating film 111. [The etching stopper film is formed of a nitride film different from the oxide film which is a constituent material of the interlayer insulating films 109a to 109f and 105 and the insulating film 111. [Therefore, a large inclination may be generated on the etched side walls of the etch stop layer during the etching process for forming the contact holes 121a to 121f and 123. [The large inclination occurring on the sidewall of the etch stop film can reduce the formation area of the contact pattern 131 and increase the resistance of the contact pattern 131.

[0031] Another embodiment of the present invention for solving the above problems will be described as follows.

[0032] 3A to 3F are cross-sectional views illustrating a semiconductor device and a method of manufacturing the same according to another embodiment of the present invention. FIGS. 3A to 3F show the boundary between blocks of the three-dimensional memory device shown in FIG. 1. FIG.

[0033] Referring to FIG. 3A, a first interlayer insulating film 205 is formed on a semiconductor substrate 201 having source regions 203. The source regions 203 may be formed by implanting impurities into the semiconductor substrate 201 or may be formed by depositing a doped polysilicon film doped with impurities on the semiconductor substrate 201 and patterning the doped polysilicon film. These source regions 203 may be separated in units of memory blocks. The first interlayer insulating film 205 may be formed of an oxide film for electrically insulating the source region 203 and the conductive film 207a formed thereon.

[0034] Thereafter, multilayered conductive films 207a to 207f and multilayered second interlayer insulating films 209a to 209f are alternately stacked on the first interlayer insulating film 205 to form a multilayer structure ML. Among the multilayered conductive films 207a to 207f, the lowermost conductive film 207a is the conductive film for the lower selection gate (LSG), and the conductive film 207f for the uppermost conductive film is the conductive film for the upper selection gate USG. The conductive films 207b to 207e between the lowermost conductive film 207a and the uppermost conductive film 207f may be conductive films for cell gates CG. The number of stacked conductive films 207b to 207e for the cell gate (CG) can be variously changed according to the number of memory cells to be stacked. The second interlayer insulating films 209a to 209e may be formed of an oxide film for electrically insulating the conductive films 207a to 207f of the stacked structure. On the other hand, a second interlayer insulating film 209f, which is an oxide film, may be further formed to separate the film to be formed subsequently on the uppermost layer of the laminated structure ML and the conductive film 207f formed on the uppermost layer of the laminated structure ML have. The conductive films 207a to 207f may be formed of a polysilicon film.

[0035] Although not shown in the figure, after forming the multilayer structure ML, a multilayer structure ML, a channel hole forming process that penetrates the first interlayer insulating film 205 to form the string ST structure shown in FIG. 1, A step of laminating a charge blocking layer, a charge storage layer, and a tunnel insulating layer on the sidewall, and a process of filling the channel hole with a vertical channel layer may be performed.

[0036] Next, a mask pattern 211 serving as an etching barrier is formed in the step pattern formation process for exposing the contact regions of the conductive films 207a to 207f on the stacked structure ML. The mask pattern 211 may be formed of a photoresist pattern and exposes the multilayer structure ML in consideration of the width of the conductive film 207a disposed on the lowermost layer of the multilayer structure ML. The mask pattern 211 has a first width W1 and a first height h1 at the time of initial formation. The first width W1 is a value set by the patterning width of the lowermost conductive film 207a (that is, the conductive film first layer) forming the stepwise pattern. The first height h1 is set to a value that is set so that the mask pattern 211 having a reduced height can sufficiently serve as an etch barrier even if the height of the mask pattern 211 is reduced during the subsequent etching process of the laminated structure ML. to be.

[0037] The uppermost second interlayer insulating film 209f and the conductive film 207f of the multilayer structure ML exposed by the mask pattern 211 having the first width W1 are etched. At this time, the second interlayer insulating film 209e under the conductive film 207f can be further etched. As a result, the conductive film 207e under the uppermost conductive film 207f is exposed.

[0038] Referring to FIG. 3B, the mask pattern 211 is etched to reduce the size of the mask pattern 211. Thus, the width of the mask pattern 211 becomes the second width W2 which is narrower than the first width W1, and the height of the mask pattern 211 becomes the second height h2 which is lower than the first height h1.

[0039] In the above, the second width W2 is a value set by the patterning width of the conductive film second layer 207b forming a stepped pattern.

[0040] The conductive films 207f and 207e of the two layers adjacent to the uppermost layer of the multilayer structure ML exposed by the mask pattern 211 having the second width W2 and the second interlayer insulating films 209f and 209e are etched do. At this time, the second interlayer insulating film 209d under the conductive film 207e can be further etched. As a result, the conductive film 207d under the conductive films 207f and 207e of the two layers adjacent to the uppermost layer is exposed.

[0041] 3C, the width of the mask pattern 211 becomes the third width W3 set by the width of the conductive film 207f of the uppermost layer constituting the stepped pattern A, and the width of the lowermost layer. The process of reducing the mask pattern 211 described in FIG. 3B and the process of etching the reduced mask pattern 211 with the etching barrier are repeated until the conductive film 207a of the conductive film 207a is separated and patterned do. When the width of the mask pattern 211 becomes the third width W3, the height of the mask pattern 211 is also reduced by the repeated process of reducing the mask pattern 211, (h3).

[0042] The contact region A of the conductive films 207a to 207f is patterned so as to be exposed stepwise due to the repetition of the mask pattern 211 reduction process and the etching process of the multilayer structure ML. At this time, the stepped patterned lamination structure ML is formed so as to expose the contact region of the source region 203.

[0043] Referring to FIG. 3D, a first insulating film 213 is formed along the surface of the entire structure including the contact region A exposed stepwise. The first insulating layer 213 may be formed to have a film quality that is lower than the film quality of the second insulating layer 217 so that the etching rate may be slower than that of the second insulating layer 217 in a subsequent etching process. Further, it is preferable to be formed along the stepped portion by the laminated structures ML patterned in a stepwise manner. For this, the first insulating layer 213 is preferably formed of a dense HDP (High Density Plasma) oxide layer.

[0044] Thereafter, an etch stop layer 215 may be further formed on the first insulating layer 213. The etch stop layer 215 is formed to serve as an etch stop layer during the planarization process of the second insulation layer 217 to be formed subsequently. In addition, the etch stop layer 215 is formed to prevent the sidewalls of the conductive layers 207a to 207f from being exposed in the subsequent process of forming a contact hole. It is preferable that the etching stopper film 215 is formed of a nitride film to enable this role. The thickness of the etching stopper film 215 is preferably as thin as possible so that the width of the contact hole is not narrowed by inclined side walls of the etching stopper film 215 etched in the subsequent process of forming the contact hole.

[0045] Next, a second insulating film 217 is formed on the etch stop layer 215. The second insulating film 217 is preferably formed to have a lower film density than the first insulating film 213 so as to have a higher etching rate than the first insulating film 213 in a subsequent etching process. It is preferable to be formed of a material capable of embedding a space between the lamination structures ML so as to cover it. For this, the second insulating film 217 is preferably formed of an SOD (Spin On Dielectric) oxide film having excellent filling property and low density.

[0046] Referring to FIG. 3E, the surface of the second insulating film 217 is planarized. The planarization process may be performed by a chemical mechanical polishing (CMP) method. When the etch stop film 215 is formed, the planarization process of the second insulation film 217 is performed until the etch stop film 215 is exposed.

[0047] Referring to FIG. 3F, the second insulating layer 217, the etch stop layer 215, and the first insulating layer 213 are etched to form the contact regions A and the source regions 203 of the conductive layers 207a to 207f, respectively. The contact holes 221a to 221f and 223 are formed to expose the contact region of the contact hole. At this time, the first interlayer insulating film 205 formed on the contact region of the source region 203 may be further etched.

[0048] During the process of forming the above-described contact holes 221a to 221f and 223, the second insulating film 217 of the region where the relatively deep contact hole (for example, 221a) is to be formed is

etched while the relatively shallow contact The first insulating film 213 of the region where the hole (for example, 221f) is to be formed is exposed and etched. At this time, the etching rate of the second insulating film 213 is faster than the etching rate of the first insulating film 213 due to the difference in film density, so that the first insulating film 213 in the region where the shallow contact hole 221f is to be formed The second insulating film 217 formed thick in the region where the deep contact hole 221a is to be formed is removed. Therefore, the time for which the conductive film 207f exposed through the shallow contact hole 221f is exposed during the etching of the insulating film in the region where the deep contact hole 221f is to be formed is reduced, and the conductive film 207f is overetched Is improved. As a result, while the contact holes 221a to 221f and 223 having different depths are formed, the conductive film (for example, 207f) to be the exposure target is over-etched and the conductive film 207e Can be improved.

[0049] Thereafter, the contact holes 221a to 221f and 223 are filled with a conductive material to form the contact patterns 231 connected to the contact regions of the conductive films 207a to 207f and the source region 203. [

[0050] Although the method of forming the contact patterns 231 of the three-dimensional semiconductor memory device has been described above, the present invention is not limited thereto, and may include a laminated structure patterned so that each of the multilayered laminated films may be exposed in a step- And a step of etching the insulating film covering the laminated structure to form a trench exposing each of the laminated films.

[0051] In the process of forming the contact holes 221a to 221f and 223 or the trenches using the etching rate difference between the first and second insulating films 213 and 217 formed on the stepped patterned laminated structure, The conductive film 207f serving as a target through the hole 221f or the trench is excessively etched to expose the lower conductive film 207e. The conductive films 207f and 207e to be insulated from each other are formed on the conductive pattern 231 even when the conductive patterns 231 are filled in the contact holes 221a to 221f and 223 or trenches in the subsequent process So that the phenomenon of being electrically connected can be improved.

[0052] 201: Semiconductor substrate 205, 209a to 209f: interlayer insulating film 207a to 207f: conductive film ML: laminated structure 211: mask pattern 213: first insulating film 215: etch stop film 217: second insulating film 221a to 221f, 223: pattern

KR20130015120A SEMICONDUCTOR DEVICE AND METHOD OF FABRICATING THE SAME

Data originating from sources other than the EPO may not be accurate, complete, or up to date.

The wording below is an initial machine translation of the original publication. To generate a version using the latest translation technology, go to the original language text and use Patent Translate.

1. A step of forming a laminated structure in which a plurality of conductive films and a plurality of interlayer insulating films are alternately stacked, performing a patterning process so that both sides of the conductive films are exposed stepwise, Forming a first insulating layer on the surface of the stacked structure including the first insulating layer, the second insulating layer having a lower density than the first insulating layer on the first insulating layer; And forming the contact holes by removing the first and second insulating films to expose each of the conductive films patterned in a stepwise pattern. And filling the inside of the contact holes with a conductive material.
2. A method of manufacturing a semiconductor device, the method comprising: forming a stacked structure including a plurality of stacked layers; performing a patterning process so that both sides of the stacked layers are exposed stepwise; Forming a second insulating layer having a lower density than the first insulating layer on the first insulating layer, removing the first and second insulating layers to expose each of the laminated layers patterned in the stepwise pattern, Forming trenches; And filling the trenches with a conductive material.
3. The method of claim 1 or 2, further comprising forming an etch stop layer along the surface of the first insulating film before forming the second insulating film.
4. The semiconductor device according to claim 1 or 2, wherein the first insulating film is a high density plasma (HDP) oxide film, and the second insulating film is an SOD (Spin On Dielectric) insulating film.
5. A first insulating layer formed on the surface of the stacked structures, a second insulating layer formed on the first insulating layer, and a second insulating layer formed on the first insulating layer, A second insulating layer filling a space between the stacked structures and having a density lower than that of the first insulating layer; And contact patterns penetrating the first and second insulating films and connected to the contact region of each of the conductive films.