(19) Korean Intellectual Property Office (KR)
(12)Registered Patent Publication (B 1)

(45) Publication Date **February 4, 2015**
(11) Registration Number **10-1487746**
(24) Registration Date **January 23, 2015**

(51) International Patent Classification (Int. Cl.)
H01L 27/115 (2006.01)
(21) Application No. **10-2014-0014399**
(22) Application Date **February 7, 2014**
Examination Request Date **February 7, 2014**
(56) Prior Art Search Document
KR101137770 B1
W02012142020 A1
KR1020120101818 A
JP2008172164 A

(73) Patent Holder
Korea Advanced Institute of Science and Technology
Daehak-ro 291, Yuseong-gu, Daejeon (Guseong-dong)
(72) Inventor
Wan Gyu Lee
Seoul Gwangjin-gu 9, 501-ho, Gingorang-ro 10-gil (Junggok-dong, Dreamville)
Jeong Woo Kim
Daejeon Yuseong-gu Deokmyeong-ro 26
Ho Soong Jeong
Gyeonggi Uijeongbu-si Singok-ro 35, 204-dong 505-ho (Singok-dong, Dongshin Apartment)
(74) Representative
In Hwan Lee, Ki Hyuk Yang, Nam Sik Kim, Yoon Ho Han

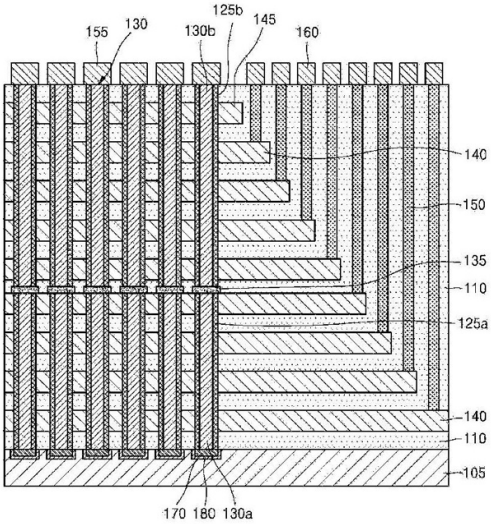
Total number of claims: Total of 9 claims
Examiner: Jung Hyun Ryu

(54) Title of invention **Method for expanding a nonvolatile memory device with a tertiary structure into an ultra-high layer**

(57) Summary

A nonvolatile memory device of a tertiary structure according to one embodiment of the present invention comprises a substrate, at least one semiconductor pillar extending upwardly from the substrate and doped an impurity of a first conductive type, and at least one NAND string having a plurality of memory cells connected in series along the at least one semiconductor pillar. The substrate comprises an LDD region, which is in contact with at least one semiconductor pillar and is doped with an impurity of a second conductive type opposite to the first conductive type; and a source region, which surrounds a portion of the LDD region and is spaced apart from the semiconductor pillar so as not to be in contact with the semiconductor pillar and is doped with an impurity of a second conductive type; wherein the concentration of the impurity of the second conductive type in the LDD region is lower than the concentration of the impurity of the second conductive type in the source region.

Representative Drawing - FIG. 2



Micron Ex. 1023, p. 1
Micron v. YMTC
IPR2025-00244

Invention-supporting national research and development project

Project Unique Number	10035320
Ministry Name	Ministry of Trade and Energy
Research Management Specialist Organization	Korea Industrial Technology Evaluation and Planning Institute
Research Project Name	Industrial Source Technology Development Project
Study Title	Development of 3D stacked new devices and core material process technology for next-generation memory
Contribution Rate	1/1
Supervising Agency	Seoul National University
Study Period	12/31/2010-02/28/2015

Micron Ex. 1023, p. 2
Micron v. YMTC
IPR2025-00244

Scope of Claim

Claim 1

A nonvolatile memory device having a tertiary structure, comprising a substrate, at least one NAND string having at least one semiconductor pillar extending upwardly above

the substrate and doped with an impurity with a first conductivity type and a plurality of memory cells connected in series along the at least one semiconductor pillar; wherein the at least one semiconductor pillar includes at least one lateral extension within each NAND string, the plurality of memory cells in each NAND string are stacked in a plurality of layers on the substrate and include a plurality of control gate electrodes surrounding the at least one semiconductor pillar and at least one charge storage layer between the at least one semiconductor pillar and the control gate electrodes, the substrate includes a Lightly Doped Drain (LDD) region, which is doped with an impurity of a second conductivity type opposite to the first conductivity type and which is coupled to the at least one semiconductor pillar and a source region, which surrounds a portion of the LDD region and is spaced apart from the semiconductor pillar so as not to couple to the semiconductor pillar and is doped with an impurity of the second conductivity type; and wherein the concentration of the impurity of the second conductivity type in the LDD region is lower than the concentration of the impurity of the second conductivity type in the source region.

Claim 2

The nonvolatile memory device having a tertiary structure according to Claim 1,

wherein the at least one semiconductor pillar comprises single crystal silicon formed by selective epitaxial growth from a surface of the substrate.

Claim 3

The nonvolatile memory device having a tertiary structure according to Claim 1,

wherein the at least one semiconductor pillar extends vertically to the substrate.

Claim 4

The nonvolatile memory device having a tertiary structure according to Claim 1, further comprising at least one bit line connected to an end of the at least one NAND string,

the at least one NAND string further comprising a string select transistor between the plurality of memory cells and the at least one-bit line.

Claim 5

A method for manufacturing a nonvolatile memory device having a tertiary structure, comprising: a step for preparing a substrate having an LDD (Lightly Doped Drain) region doped with an impurity of a second conductive type opposite to a first conductive type and a source region doped with an impurity of a second conductive type surrounding a part of the LDD region,

wherein the concentration of the impurity of

the second conductive type in the LDD region is lower than the concentration of the impurity of the second conductive type in the source region,

Micron Ex. 1023, p. 3
Micron v. YMTC
IPR2025-00244

a step for stacking a plurality of first conductive layers on the substrate, a step for forming at least one first through hole penetrating the plurality of first conductive layers so that the LDD region is exposed while the source region is not exposed, a step for forming at least one first charge storage layer on an inner surface of the at least one first through hole; a step of forming at least one first semiconductor pillar, doped with an impurity of the first conductive type, on the at least one first charge storage layer within the at least one first through hole, and not in contact with the source region but in contact with the LDD region; forming at least one first lateral extension connected to an end of the at least one first semiconductor pillar on the plurality of first conductive layers,

a step of depositing a plurality of second conductive layers on the at least one first lateral extension and a

step of forming at least one second semiconductor pillar through the plurality of second conductive layers and connected to the at least one first lateral extension;

Claim 6

The method for manufacturing a tertiary structure nonvolatile memory device according to Claim 5, comprising a step of forming at least one second through hole through the plurality of second conductive layers, exposing the at least one first lateral extension layer; and a step of forming at least one second charge storage layer on an inner surface of the at least one second through hole before forming the at least one second semiconductor pillar, wherein the at least one second semiconductor pillar is formed on the at least one second charge storage layer within the at least one second through hole so as to be connected to the at least one first lateral extension layer.

Claim 7

The method for manufacturing a nonvolatile memory device having a tertiary structure according to Claim 5, wherein the at least one first semiconductor pillar comprises single crystal silicon formed from a surface of the substrate using a selective epitaxial growth method.

Claim 8

The method for manufacturing a nonvolatile memory device having a tertiary structure according to Claim 5, wherein the at least one first lateral extension is formed into a single crystal structure using a selective epitaxial growth method from a surface of the at least one first semiconductor pillar.

Claim 9

A memory chip comprising a memory cell array including a nonvolatile memory device having a tertiary structure according to any one of Claims 1 to 4,

a row decoder coupled to word lines of the memory sensor array,

a column decoder coupled to bit lines of the memory sensor array,

and a control logic coupled to the row decoder and the column decoder.

Specification

Technical Field

[0001] The present invention relates to semiconductor devices, and particularly to nonvolatile memory devices having a tertiary structure and memory chips utilizing the same.

Micron Ex. 1023, p. 4
Micron v. YMTC
IPR2025-00244

Prior Art

[0002] Electronic products are becoming increasingly smaller while requiring high-capacity data processing. Accordingly, it is necessary to reduce the volume of memory chips used in such electronic products while increasing their density. In this regard, nonvolatile memory devices having a tertiary structure that stack memory cells vertically on a substrate instead of a conventional flat structure are being considered for such a highly integrated memorial chip. In this regard, a nonvolatile memory device having a tertiary structure that vertically stacks memory cells on a substrate instead of the conventional planar structure is being considered for such high-density memory chips.

Correspondence of Invention

Problem to be Solved

[0003] However, as the number of stacks of memory cells in nonvolatile memory devices having a tertiary structure increase, the aspect ratio increases, making the manufacturing process difficult. Thus, the reliability of nonvolatile memory devices having tertiary structures is decreasing.

[0004] Accordingly, the present invention is provided to address the above-described problems, providing nonvolatile memory devices and methods of manufacturing thereof that can increase the reliability of the manufacturing process in a tertiary structure. In addition, the present invention provides memory chips utilizing nonvolatile memory devices with such tertiary structures.

[0005] However, the technical problems described above have been provided by way of example, and the technical problems the present invention seeks to solve are not limited by the examples described above.

Solution to the Problem

[0006] A nonvolatile memory device having a tertiary structure according to one form of the present invention is provided. The nonvolatile memory device having a tertiary structure includes a substrate, at least one semiconductor pillar extending upwardly from the substrate and doped an impurity having a first conductivity type, and at least one NAND string having a plurality of memory cells connected in a row along the at least one semiconductor pillar. The at least one semiconductor pillar includes at least one lateral extension within each NAND string, and the plurality of memory cells within each NAND string include a plurality of control gate electrodes stacked in a plurality of layers on the substrate and surrounding the at least one semiconductor pillar, and at least one charge storage layer between the at least one semiconductor pillar and the control gate electrodes. The substrate includes an LDD (Lightly Doped Drain) region, which is in contact with the at least one semiconductor pillar and is doped with an impurity of a second conductive type opposite to the first conductive type, and a source region, which surrounds a portion of the LDD region and is spaced apart from the semiconductor pillar so as not to be in contact with the semiconductor pillar and is doped with an impurity of the second conductive type; wherein the concentration of the impurity of the second conductive type in the LDD region is lower than the concentration of the impurity of the second conductive type in the source region.

[0007] In the nonvolatile memory device of the tertiary structure, the at least one semiconductor column may comprise a single-crystal silicon formed by linear epitaxial growth from the surface of the substrate (e.g., selective epitaxial growth).

[0008] In the nonvolatile memory device having a tertiary structure, the at least one semiconductor pillar may extend vertically to the
substrate.

[0009] The nonvolatile memory device of the above tertiary structure further includes at least one bit line connected to an end of the at least one NAND string, and the at least one NAND string may further include a string selection transistor between the plurality of memory cells and the at least one bit line.

[0010] A method of manufacturing a nonvolatile memory device having a tertiary structure according to another form of the present invention is provided. The method for manufacturing a nonvolatile memory device having a three-dimensional structure comprises the steps of: preparing a substrate having an LDD (Lightly Doped Drain) region doped with an impurity of a second conductive type opposite to a first conductive type and a source region doped with an impurity of a second conductive type surrounding a part of the LDD region, wherein the concentration of the impurity of the second conductive type in the LDD region is lower than the concentration of the impurity of the second conductive type in the source region; a step of stacking a plurality of first conductive layers on the substrate, a step of forming at least one first through hole penetrating the plurality of first conductive layers so that the source region is not exposed while the LDD region is exposed, a step of forming at least one first charge storage layer on the inner surface of the at least one first through hole, wherein the method comprises: forming at least one first semiconductor pillar, doped with an impurity of the first conductive type, on the at least one first charge storage layer in the at least one first through hole, and not in contact with the source region but in contact with the LDD region, a step of forming at least one first lateral extension connected to an end of the at least

Micron Ex. 1023, p. 5
Micron v. YMTC
IPR2025-00244

one first semiconductor pillar on the plurality of first conductive layers, a step of stacking a plurality of second conductive layers on the at least one first lateral extension, and a step of forming at least one second semiconductor pillar connected to the at least one first lateral extension through the plurality of second conductive layers.

[0011] The method for manufacturing a nonvolatile memory device having a tertiary structure includes, before forming the at least one second semiconductor pillar, a step of forming at least one second through hole through the plurality of second conductive layers to expose the at least one first lateral extension layer; and a step of forming at least one second charge storage layer on an inner surface of the at least one second through hole; wherein the at least one second semiconductor pillar can be formed on the at least one second charge storage layer within the at least one second through hole to be connected to the at least one first lateral extension layer.

[0012] In the method of manufacturing a nonvolatile memory device of the tertiary structure, the at least one first semiconductor column may comprise a single-crystal silicon formed from the surface of the substrate using selective epitaxial growth.

[0013] In the method of manufacturing a nonvolatile memory device of the tertiary structure, the at least one first lateral expansion may be formed into a single crystal structure using selective epitaxial growth method from the surface of the at least one first semiconductor column .

[0014] A memory chip according to yet another form of the invention is provided. The memory chip comprises a memory cell array comprising a nonvolatile memory device having a tertiary structure described above; a low decoder coupled to word lines of the memory cell array; a column decoder coupled to bit lines of the memory cell array; and control logic coupled to the low decoder and the column decoder.

Effects of the Invention

[0015] According to the nonvolatile memory device having a tertiary structure and its manufacturing method according to the embodiments of the present invention, it is possible to overcome the stacking limit of vertical structure channels with low manufacturing cost (cost/bit) and expand to ultra-high layers, and to provide an ultra-high-density nonvolatile memory device having a tertiary structure and its manufacturing method that can greatly improve device characteristics such as Ion and Ion/Ioff and lower the operating voltage. Of course, the scope of the present invention is not limited by these effects.

Brief Explanation of the Drawings

[0016] FIG. 1 is a schematic perspective view showing a nonvolatile memory device according to an embodiment of the present invention.
FIG. 2 is a cross-sectional view taken from line II-II' of FIG. 1.
FIG. 3 is a cross-sectional view showing a nonvolatile memory device in accordance with another embodiment of the present invention.
FIG. 4 is an equivalent circuit diagram of a part of the nonvolatile memory element according to embodiments of the present invention.
FIGS. 5-14 are cross-sectional views showing a method of making a nonvolatile memory device in accordance with embodiments of the present invention.
and
FIG. 15 is a schematic block diagram showing a memory chip in accordance with yet another embodiment of the present invention.

Specific details for implementing the invention

[0017] Hereinafter, the present invention will be described in detail by explaining a preferred embodiment according to the present invention with reference to the accompanying drawings.However, the present invention will be implemented in various different forms, not limited to the embodiments disclosed below, and only this embodiment is provided to ensure that the disclosure of the invention is complete and to fully inform those of ordinary skill in the art of the scope of the invention. In the drawings, the sizes of the components may be exaggerated for convenience of explanation.

[0018] The first conductive type mentioned in the specification may be, for example, p-type and the second conductive type may be, for example, n-type, but in some cases, on the contrary, the first conductive type may be n-type and the second conductive type may be p-type.

[0019] FIG. 1 is a schematic perspective view showing a nonvolatile memory device according to an embodiment of the present invention. FIG. 2 is a cross-sectional view taken from line II-II' of FIG. 1.

Micron Ex. 1023, p. 6
Micron v. YMTC
IPR2025-00244

[0020] Referring to FIGS. 1 and 2, a memory-centered array of vertical structures may be provided on the substrate (105). The substrate (105) may include a semiconductor material, such as a group IV semiconductor, a group III-V compound semiconductor, or a group II-VI oxide semiconductor. For example, the group IV semiconductor may include silicon, germanium, or silicon-germanium. The substrate (105) may be provided as a bulk wafer or epitaxial layer. For example, a portion of the bulk wafer or epitaxial layer may be doped with impurities, and the doped region may be used as a common source line (see CSL in FIG. 4).

[0021] The semiconductor pillars (130) may be arranged to extend upwardly onto the substrate (105). For example, the semiconductor pillars (130) may extend vertically to the substrate (105). The semiconductor pillars (130) may have a cylindrical or polygonal pillar shape. The number of semiconductor pillars (130) may be appropriately selected according to the capacity of the nonvolatile memory device, and does not limit the scope of this embodiment. The semiconductor pillars (130) may include a semiconductor material, for example, a group IV semiconductor material such as silicon, germanium, or silicon-germanium. For a specific example, the semiconductor pillars (130) may include single crystal silicon formed by selective epitaxial growth from the surface of the substrate (105).

[0022] For example, each semiconductor pillar (130) may include first and second semiconductor pillars (130a, 130b) of a vertical structure and at least one lateral extension portion (135). The lateral extension portion (135) may be arranged between the first and second semiconductor pillars (130a, 130b). For example, the first semiconductor pillar (130a) may be vertically arranged on the substrate (105), the lateral extension (135) may be arranged on the first semiconductor pillar (130a), and the second semiconductor pillar (130b) may be vertically arranged on the substrate (105) above the lateral extension portion (135).

[0023] The lateral extension portion (135) may have a larger cross-sectional area than the first and second semiconductor pillars (130a, 130b) based on a cross-section parallel to the substrate (105). For example, the lateral extension portion (135) may substantially cover the entire upper surface of the first semiconductor pillar (130a) and may extend laterally. The lower end of the second semiconductor pillar (130b) may be entirely or at least partially in contact with the lateral extension portion (135).

[0024] The lateral extension portion (135) may be formed of the same semiconductor material as the first and second semiconductor pillars (130a, 130b) or may be formed of different semiconductor materials. For example, the first and second semiconductor pillars (130a, 130b) and the lateral extension portion (135) may be formed of the same semiconductor material having a substantially single crystal structure. However, in a modified example of this embodiment, some or all of the first and second semiconductor pillars (130a, 130b) and the lateral extension portion (135) may be formed of a semiconductor material having a multi-crystalline structure. The semiconductor pillar (130) and the lateral extension portion (135) may be doped with impurities of the first conductive type.

[0025] The inventors of the present invention have confirmed that device characteristics such as I_{on} and I_{on}/I_{off} can be improved by providing a semiconductor pillar (130) including single crystal silicon formed by selective epitaxial growth from the surface of a substrate (105). Accordingly, it is expected that there will be an effect of being able to expand a tertiary structured high-layer device to an ultra-high layer.

[0026] According to the comparative example of the present invention assuming a semiconductor pillar (130) including polysilicon formed by chemical vapor deposition, in a nonvolatile memory device having a tertiary structure with a polycrystalline polysilicon channel, the device characteristic values such as I_{on} and I_{on}/I_{off} are low, which reduces the operating speed of the device and increases the error rate of memory operation. This causes the problem of having to widen the channel diameter, which hinders three-dimensional integration and limits the expansion of high-layer devices to ultra-high layers.

[0027] In the present invention, by replacing the polysilicon vertical channel with single-crystal episilicon, the device characteristic values such as I_{on} and I_{on}/I_{off} can be increased, thereby enabling the high-layer expansion of a tertiary structured high-layer device, and at the same time, there is no need to further expand the channel diameter to form a vertical channel, and rather, the channel diameter can be narrowed, thereby further increasing the integration, and an additional effect of significantly lowering the operating voltage due to the electric field effect concentrated at a diameter of 100 nm or less can be expected. When manufacturing a nonvolatile memory device having a tertiary structure according to the present invention, the vertical through-type tertiary structured nonvolatile memory device can be expanded to a high layer, thereby greatly increasing the integration of the three-dimensional nonvolatile memory device with the same manufacturing cost (cost/bit). Not only that, but the reliability of semiconductor devices can be greatly improved by increasing the operating speed of the device and reducing the error rate of memory device operation that occurs during the operation of non-memory devices [sic].

[0028] Meanwhile, device performance may be degraded due to the autodoping phenomenon of the single crystal silicon channel grown vertically in the source region of the silicon substrate. For example, in order to impart electrical resistance characteristics to the vertically grown single crystal silicon channel, an impurity of the first conductive type (e.g., boron (B)) may be supplied in very small quantities to have the desired resistance value, during which a flow phenomenon occurs in which the impurity diffuses from the sodium region of the silicon substrate to the vertically grown single crystal silicon channel. This causes the channel to have an inconsistent distribution of resistance values . The diffusion phenomenon of impurities that causes an inconsistent resistance value distribution as described above must be removed from the process , and this unintended doping phenomenon is called autodoping .

Micron Ex. 1023, p. 7
Micron v. YMTC
IPR2025-00244

[0029] The present inventors have confirmed that this problem can be overcome by forming a substrate (105) including an LDD (Lightly Doped Drain) region (170) doped with a second conductive type impurity opposite to the first conductive type and surrounding a portion of the LDD region (170) so as not to contact the semiconductor pillar (130) and spaced apart from the semiconductor pillar (130), and doped with a second conductive type impurity, wherein the concentration of the second conductive type impurity in the LDD region (170) is lower than the concentration of the second conductive type impurity in the source region (180). By adding the LDD ion implantation process to the source region formation in the silicon substrate of the nonvolatile memory device having a tertiary structure, the performance improvement and manufacturing cost (cost/bit) reduction were secured simultaneously with the minimum additional process.

[0030] The upper ends of the semiconductor pillars (130) can be connected to the bit lines (155, BL). For example, when semiconductor pillars (130) are arranged in a matrix, semiconductor pillars (130) arranged in the same row can be connected to the same bit line (155). Such an arrangement can reduce the number of bit lines (155), thereby simplifying the structure of the nonvolatile memory device.

[0031] The control gate electrodes (140) can be laminated in multiple layers on the substrate (105) while surrounding the semiconductor pillars (130).Interlayer insulating layers (110) may be interposed between the control gate electrodes (140). The number of the control gate electrodes (140) above and below the lateral extension portion (135) may or may not be the same. In FIG. 1, a structure is illustrated in which four control gate electrodes (140) are arranged under a lateral extension portion (135) and four control gate electrodes (140) are arranged on top of the lateral extension portion. This number of stacks of control gate electrodes (140) may be selected appropriately depending on the capacity of the nonvolatile memory device and does not limit the scope of this embodiment.

[0032] The control gate electrodes (140) may be connected to the word lines (160, WL) through the via plugs (150). For example, the control gate electrodes (140) may be arranged in a line pattern within each plane, and the control gate electrodes (140) of the same layer may be connected to the same word line electrode (160). For the placement of the via plugs (150), the control gate electrodes (140) may be disposed in a narrower step shape as they move away from the substrate (105).

[0033] The word lines (160) may extend perpendicular to the control gate electrodes (140) and parallel to the bit lines (155). In a modified example of this embodiment, the control gate electrodes (140) may be provided in a flat type, in which case one word line (160) may be connected to each flat plate.

[0034] The first and second charge storage layers (125a, 125b) may be arranged at least between the control gate electrodes (140) and the semiconductor pillars (130). For example, the first charge storage layer (125a) may be provided between the first semiconductor pillar (130a) and the control gate electrodes (140) below the lateral extension portion (135), and the second charge storage layer (125b) may be provided between the second semiconductor pillar (130b) and the control gate electrodes (140) above the lateral extension portion (135). Optionally, a portion of the first charge storage layer (125a) may be further extended onto the control gate electrode (140) below the lateral extension portion (135).

[0035] The first and second charge storage layers (125a, 125b) can be used as data storage layers of memory cells (see TMc in FIG. 4) configured with a stacked structure between semiconductor pillars (130) and control gate electrodes (140). For example, the first and second charge storage layers (125a, 125b) can include a stacked structure of a tunneling insulating layer (124a)/charge trap layer (123a)/blocking insulating layer (122a) between the semiconductor pillars (130) and the control gate electrodes (140). The charge trap layer has charge storage capability, the tunneling insulating layer is used as a tunneling path for charges, and the blocking insulating layer can play a role in suppressing reverse tunneling of charges.

[0036] For example, the charge trap layer may be a silicon nitride layer or may comprise an insulating layer comprising quantum dots or nanoparticles. The quantum dots or nanoparticles can be composed of fine particles of an electrical conductor, such as a metal or semiconductor. The tunneling insulating layers and the blocking insulating layers may include any suitable insulating film, such as an oxide film, a nitride film, or a high-k film. The high-k film may refer to a dielectric film having a higher dielectric constant than the oxide film and the nitride film.

[0037] The string selection lines (145) may be arranged to surround the semiconductor pillar (130) between the bit lines (155) and the uppermost control gate electrode (140). The second charge storage layer (125b) may be arranged to extend between the string selection lines (145) and the second semiconductor pillars (130b) and may function as a gate insulating layer. In a modified example of this embodiment, a single-layer jet insulation layer (not shown) may be interposed between the string selection lines (145) and the second semiconductor pillars (130b) instead of the second charge storage layer (125b).

[0038] The string selection lines (145) may be stretched perpendicular to the bit lines (155) and provided in a line pattern. Accordingly, semiconductor pillars (130) disposed in the same row may be each surrounded by the same string selection line (145). Meanwhile, a source/drain region may be formed in the semiconductor pillars (130) on both sides of the string selection lines (145).

Micron Ex. 1023, p. 8
Micron v. YMTC
IPR2025-00244

[0039] The stacked structure between the semiconductor pillar (130) and the string selection lines (145) may form string selection transistors (T_{ss} of FIG. 4). In this embodiment, the string selection lines (145) may serve as gate electrodes of the string selection transistors (Tss of FIG. 4). In a modified example of this embodiment, the string selection gate electrodes may be provided to surround the semiconductor pillar (130), and the string selection lines may additionally be provided to be connected to the gate electrodes.

[0040] FIG. 3 is a cross-sectional view showing a nonvolatile memory device according to another embodiment of the present invention. The nonvolatile memory device according to this embodiment may refer to the nonvolatile memory devices of FIGS. 1 and 2, and therefore, duplicate descriptions in the two embodiments are omitted.

[0041] Referring to FIG. 3, a ground selection line (147) may be further arranged between the substrate (105) and the lowermost control gate electrode (140). The ground selection line (147) may be arranged to surround the semiconductor pillar (130) on the substrate (105). The first charge storage layer (125a) may be arranged to extend further between the ground selection line (147) and the first semiconductor pillar (130a) and may function as a gate insulating layer.

[0042] In a modified example of this embodiment, between the ground selection line (147) and the first semiconductor column (130a), a single layer of gate insulation layer (not shown) may be interposed in place of the first charge storage layer (125a). For example, the ground selection line (147) may extend perpendicular to the bit line (155) and provided in a line pattern . In another example, the ground selection line (147) may be provided in one plate -like configuration.

[0043] The stacked structure between the semiconductor pillar (130) and the ground selection line (147) may form a ground selection transistor (T_{GS} of FIG. 4). In this embodiment, the ground selection line (147) may serve as a gate electrode of the ground selection transistor (T_{GS} of FIG . 4). In a modified example of this embodiment, a ground selection gate electrode may be provided to surround the semiconductor column (130), and a ground selection line may additionally be provided to connect to the ground selection gate electrode.

[0044] The first lateral extension portion (135a) may be provided on the first semiconductor pillar (130a), and the second lateral extension portion (135b) may be provided on the second semiconductor pillar (130b). For example, the first lateral extension portion (135a) may be provided to cover the upper surface of the first semiconductor pillar (130a), and the second lateral extension portion (135b) may be provided to cover the upper surface of the second semiconductor pillar (130b).

[0045] The third semiconductor pillar (130c) may be provided on the second lateral extension portion (135b). The cross-sectional area of the first and second lateral extension portions (135a, 135b) in a direction parallel to the substrate (105) may be larger than the cross-sectional area of the first to third semiconductor pillars (130a, 130b, 130c) in a direction parallel to the substrate (105). The bit lines (155) may be connected to the upper surface of the semiconductor pillar (130), that is, the upper surface of the third semiconductor pillar (130c).

[0046] The control gate electrodes (140) may be provided to surround the first to third semiconductor pillars (130a, 130b, 130c). The first to third charge storage layers (125a, 125b, 125c) may be respectively arranged between the first to third semiconductor pillars (130a, 130b, 130c) and the control gate electrodes (140). Optionally, the first charge storage layer (125a) may be further extended onto the control gate electrode (140) directly below the first lateral extension portion (135a), and the second charge storage layer (125b) may be further extended onto the control gate electrode (140) directly below the second lateral extension portion (135b).

[0047] The number of control gate electrodes (140) between the first and second lateral extension portions (135a, 135b) can be appropriately selected.FIG. 3 illustrates a structure in which two control gate electrodes (140) are arranged under the first lateral extension portion (135a), three control gate electrodes (140) are arranged between the first and second lateral extension portions (135a, 135b), and three control gate electrodes (140) are arranged on the second lateral extension (135b).

[0048] In yet another embodiment of the invention, the lateral extension portions are provided in one or more, and the control gate electrodes can be grouped into a plurality of groups by the lateral extension portions. For example, the number of control gate electrodes in each group may be 2 to 6, but this embodiment is not limited thereto. Grouping control gate electrodes into multiple groups can increase the manufacturing reliability of a memory cell array with a vertically stacked structure, as will be described later.

[0049] FIG. 4 is an equivalent circuit diagram for a portion of nonvolatile memory devices according to embodiments of the present invention. In this circuit diagram, the number of bit lines and NAND strings is shown as an example.

[0050] Referring to FIG. 4, a memory-cell array of vertical structures may include a band string (NSl, NS2) disposed in a vertical structure on a substrate (FIGS. 1-3, 105). Each of the NAND strings (NSl, NS2) may comprise a plurality of memory cells (T_{MC}s) in series perpendicularly connected to the substrate (105). A set of NAND trunks (NSl, NS2) is connected to a bit line (BL), and the other end is connected to a common soot line (CSL).

Micron Ex. 1023, p. 9
Micron v. YMTC
IPR2025-00244

[0051] Between the bit line (BL) and the memory cells (T_{MC}) there may be string select transistors (T_{ss}), and between the common source line (CSL) and the memory cells (T_{MC}) there may be ground select transistors (T_{GS}). Optionally, for the nonvolatile memory devices of FIGS. 1 and 2, ground select transistors (T_{GS}) may be omitted.

[0052] Word lines (WL01 to WLn) are disposed in multiple layers and may be defective in sharing in memory cells (T_{MC}s) of that layer. Word lines (WL01 to WLn) may be selected appropriately and do not limit the scope of this embodiment. Word lines (WL01-WLn) may control control gate electrodes (see 140 in FIGS. 1-3) of memory cells (T_{MC}s), thereby controlling the probe , erasing and reading operation of memory cells (T_{MC}s). For example, program operation may be performed by selecting one of the word lines (WL01 to WLn) to apply a program voltage, and may also be read by applying a read voltage.

[0053] The ground selection line (GSL) can be shared with the ground selection transistor (T_{GS}). For the nonvolatile memory device of FIGS. 1 and 2, a ground selection line (GSL) may be omitted. Since the ground selection line (GSL) is covalently coupled to the NAND strings (NSl, NS2), a signal of a common soot line (CSL), such as a ground voltage, may be applied simultaneously to the NAND strings (NSl, NS2). During the program and read operations of the memory cells (T_{MC}), a turn-on voltage may be applied to the ground select line (GSL) to turn on the ground select transistors (T_{GS}), and during the program prevention operation, a turn-off voltage may be applied to turn off the ground select transistors (T_{GS}).

[0054] The string selection lines (SSL1, SSL2) can be connected to the string select transistors (T_{SS}), respectively. In order to separate the signals of the NAND strings (NS1, NS2) sharing the bit line (BL), the string select lines (SSL1, SSL2) can be connected to the string select transistors (T_{SS}), respectively. However, if the NAND strings (NSl, NS2) are disposed in an array as in the case of FIG . 1, the string selection lines (SSLl, SSL2) may be covalently coupled to the string selection transistors (T_{SS}) disposed in the same row.

[0055] For example, to select a NAND string (NSl), the string selection line (SSLl) may be subjected to a turn-on voltage for turning on the string selection transistors (T_{SS}) and the string selection line (SSL2) may be subjected to a turn-off voltage for turning them off . By this, a signal of the bit line (BL) may be selectively applied to memory cells (T_{MC}) in the NAND string (NSl). Similarly, in order to select a NAND string (NS2), a turn-on voltage may be applied to the string selection line (SSL2) to turn on the string selection transistors (T_{SS}) and a turn -off voltage to turn off the string selection transistors (T_{SS}) to the string selection line (SSLl). Accordingly, the signal of the memory line (BL) can be selectively applied to the memory cells (T_{MC}) in the NAND string (NS2).

[0056] FIGS. 5-11 are cross-sectional views showing a method of making a nonvolatile memory device in accordance with embodiments of the present invention.

[0057] Referring to FIG. 5, a substrate (105) is prepared, which has an LDD region (170) doped with an impurity of a second conductive type opposite to the first conductive type and a source region (180) doped with an impurity of a second conductive type surrounding a part of the LDD region (170), but the concentration of the impurity of the second conductive type in the LDD region (170) is lower than the concentration of the impurity of the second conductive type in the source region (180).

[0058] The first electrically conductive layer (115a) may be disposed on the substrate (105). For example, the step of forming a first insulating layer (110a) on the substrate (105) and forming a first electrically conductive layer (115a) on the first insulating layer (110a) may be repeated to form a repeat stacked structure of the first insulating layer (110a)/first electrically conductive layer (115a).

[0059] For example, the first insulating layer (110a) can be formed using any insulating material, such as an oxide, by an appropriate deposition method. The first conductive layer (115a) can be formed of an appropriate conductive material, such as polysilicon, by an appropriate deposition method. For example, the first conductive layer (115a) can be formed as a polysilicon layer using a chemical vapor deposition (CVD) method, and can be formed by doping impurities at the same time as the deposition. Or, it can be formed by doping impurities after the final deposition is completed.

[0060] The first through-holes (120a) may then be formed through the first insulating layer (110a) and the first electrically conductive layer (115a). The first through-hole (120a) may be formed such that the source region (180) is exposed while the LDD region (170) is not exposed .

Micron Ex. 1023, p. 10
Micron v. YMTC
IPR2025-00244

[0061] In a modified embodiment of the present invention, a first insulating layer (110a) and a first through-hole (120a) may be formed disposed on a substrate (105) with a source region (180), followed by a LDD region (170) to the substrate (105) exposed by the first through-hole (120a). In this case, the LDD region (170) and the first semiconductor pillars (130a) may be misaligned to effectively prevent a configuration in which the first semiconductor pillars (130a) and the source region (180) are in direct contact.

[0062] The number of first through-holes (120a) may be appropriately selected and does not limit the scope of this embodiment. For example, photo lithography techniques may be used to form a photoresist mask (not shown), and the first through-holes (120a) may be formed by etching the first insulating layer (110a) and the first conductive layer (115a) with the mask as a protective film.

[0063] Referring to FIG. 6A, the first charge storage layers (125a) may be formed on the sidewalls of the first through-holes (120a). The region comprising the inner surface and the surface of the periphery of the first through-holes (120A) shown in FIGS. 6a- 8 corresponds to an enlarged portion of the A region of FIG. 5.

[0064] Furthermore, the first charge storage layers (125a) may be further extended on the bottom surface of the first through-holes (120a) and the topmost first conductive layer (115a). For example, first charge storage layers (125a) including a stacked structure of a blocking insulating layer (122a)/charge trap layer (123a)/tunneling insulating layer (124a) may be formed on a resultant in which first through holes (120a) are formed. The result of the formation of the first through hole (120a) may include the inner (side wall and bottom) surface of the first through hole (120a) and the surface of the peripheral portion of the first through hole (120a). The blocking insulating layer (122a)/charge trap layer (123a)/tunneling insulating layer (124a) may each comprise, for example, a first oxide layer, a nitride layer and a second oxide layer.

[0065] Referring to FIG. 6B, a subsequent process may be carried out such that the first charge storage layers (125a) may be formed only on the side walls of the first through-holes (120a). For example, the first charge storage layers (125a) formed on the inner (side wall and bottom) surface of the first through-holes (120a) and the surface of the peripheral portion of the first through-holes (120a) may be anisotropically etched to form the first charge storage layers (125a) only on the sidewalls of the first through-holes (120a). That is, upon anisotropically etching the first charge storage layers (125a), the first charge storage layers (125a) formed on the bottom surface of the first through-holes (120a) and the surface of the periphery of the first through-holes (120a) may be removed. In this case, the tunneling insulation layer (124a) containing the second oxide layer located on the side wall of the first through-holes (120a) during an anisotropic etching process is subject to etching damage, which may be a direct factor that degrades the variation and reliability of device characteristics.

[0066] A protective layer (126a) may be formed on the blocking insulating layer (122a)/charge trap layer (123a)/tunneling insulating layer (124a) to prevent this problem. The protective layer (126a) serves as an etch protection pattern to prevent etch damage of the first charge storage layers (125a), in particular the tunneling insulating layer (124a), disposed on the side walls of the first through hole (120a) in the process of anisotropically etching the first charge storage layers (125a). The protective layer (126a) may be, for example, an amorphous silicon, polycrystalline silicon, a thin film comprising an oxide or nitride with a fast etch rate.

[0067] Referring to FIG. 8, the first charge storage layers (125a) are anisotropically etched and then the remaining protective layer (126a) is removed. For example, if the protective layer (126a) comprises a nitride, the protective layer (126a) may be removed by an isotropic dry-etch or wet-etch using a phosphoric acid solution. In addition, if the protective layer (126a) comprises amorphous silicon or polycrystalline silicon, the protective layer (126a) may be removed by an isotropic dry-etch.

[0068] On the other hand, optionally, the top layer of the laminate structure of the first insulating layer (110a) and the first conductive layer (115a) may be the first insulating layer (110a), in which case the first charge storage layers (125a) may be disposed in spacer form within the first through-holes (120a) and not stretched onto the first insulating layer (110a) and the first conductive layer (115a) using deposition and dry etching techniques.

[0069] In a modified embodiment of the present invention, the tunneling insulating layer (124a) may also serve as the protective layer in anisotropic etching, after thicker deposition of the tunneling insulating layer (124a) without forming a separate protective layer (126a) for forming the first charge storage layers (125a) on the sidewalls of the first through-holes (120a). The area comprising the inner surface and the surface of the periphery of the first through-holes (120a) shown in FIGS. 7A-7B corresponds to an enlarged portion of the A region of FIG. 5.

[0070] Referring to FIG. 7A, the first charge storage layers (125a) may be further extended onto the bottom surface of the first through-holes (120a) and onto the first conductive layer (115a) of the top. For example, first charge storage layers (125a) comprising a stacked structure of a blocking insulating layer (122a)/charge trap layer (123a)/tunneling insulating layer (124a) may be formed on the result in which the first through-holes (120a) are formed. The result of the formation of the first through-hole (120a) may include the inner (side wall and bottom) surface of the first through-hole (120a) and the surface of the periphery of the first through-hole (120a). The blocking insulating layer (122a)/charge trap layer (123a)/tunneling insulating layer (124a) may each comprise, for example, a first oxide layer, a nitride layer and a second oxide layer. Meanwhile, unlike FIGS. 6a and 6b, in a modified embodiment of the present invention, the tunneling insulating layer (124a) can be formed relatively thicker without forming a separate protective layer (126a).

Micron Ex. 1023, p. 11
Micron v. YMTC
IPR2025-00244

[0071] Instead of the protective layer (126a), the thickness of the tunneling insulating layer formed on the sidewall of the vertical channel is deposited thicker than the target thickness (the thickness of 124a in FIG. 8) so that the thick additionally deposited thickness protects the inside, which is the target thickness. The additional deposited thickness can be easily removed at the pre-cleaning step which is performed immediately before receiving the plasma and etching or forming the subsequent channel layer instead of the film thickness of the tunneling insulating layer inside upon subsequent anisotropic etching.

[0072] Referring to FIG. 7B, a subsequent process may be carried out such that the first charge storage layers (125a) may be formed only on the side walls of the first through-holes (120a). For example, the first charge storage layers (125a) formed on the inner (side wall and bottom) surface of the first through-holes (120a) and the surface of the peripheral portion of the first through-holes (120a) may be anisotropically etched to form the first charge storage layers (125a) only on the sidewalls of the first through-holes (120a). That is, upon anisotropically etching the first charge storage layers (125a), the first charge storage layers (125a) formed on the bottom surface of the first through-holes (120a) and the surface of the periphery of the first through-holes (120a) may be removed. In this case, the surface portion of the tunneling insulating layer (124a) comprising a second oxide layer located on the side walls of the first through-holes (120a) during an anisotropic etching process may be subjected to etching damage. The surface portion of the tunneling insulation layer (124a) subjected to etching damage may be removed in a subsequent cleaning step. The subsequent cleaning step is a pre-cleaning step performed prior to forming the first semiconductor pillars (130a), and the solution used may use red hydrofluoric acid (HF, 50:1 or less), red BOE, phosphoric acid (H_3PO_4, 140°C or more), $5HNO_3$+$126NH_4F$ +(60-120)H_2O, and tetramethylammonium hydroxide (TMAH). Accordingly , according to the modified embodiment of the invention described with reference to FIGS. 7A and 7B, it can be expected that the structure shown in FIG . 8 can be implemented without forming a separate protective layer (126a), thereby providing a significantly advantageous effect that the process can be simplified.

[0073] Referring then to FIG. 9, the first semiconductor pillar (130a) can be formed with the first conductive type of impurities doped on the first charge storage layers (125a) in the first through-holes (120a). The first semiconductor pillars (130a) can be formed to fill the first through holes (120a). The first semiconductor pillars (130a) can be formed to contact the LDD region (170) without contacting the source region (180). That is, the first semiconductor pillars (130a) can be formed spaced apart from the source region (180). In a modified example of this embodiment, the thickness of the first semiconductor pillars (130a) may be adjusted so as not to completely fill the first through holes (120a). The first semiconductor pillars (130a) may be used as a channel layer of memory cells (TMC of FIG. 4).

[0074] For example, a selective epitaxial growth (SEG) method may be used to form a pillar-shaped semiconductor layer on a substrate (105), and the first semiconductor pillars (130a) may be formed by flattening the semiconductor layer. In this case, if the substrate (105) is a single crystal, the first semiconductor pillars (130a) can be formed with a single crystal structure. Furthermore, the SEG condition when forming the first semiconductor pillars (130a) can be a vertical growth condition based on the substrate (105). For example, the semiconductor layer can include silicon, germanium, or silicon-germanium.

[0075] As another example, an amorphous semiconductor layer may be formed within the first through holes (120a), and the first semiconductor pillars (130a) may be formed by flattening and heat-treating the same. In this case, the amorphous semiconductor layer may be substantially re-crystallized into a single crystal structure during the heat treatment step because the width of the first through holes (120a) is small. As another example, the first semiconductor pillars (130a) may be formed into a polycrystalline structure by forming a polycrystalline semiconductor layer within the first through holes (120a), and flattening the same.

[0076] Referring to FIG. 10, a lateral extension layer (135) may be formed on the first semiconductor pillars For example, the lateral extension layer (135) can be formed into a single crystal structure from the first semiconductor pillars (130a) using a selective epitaxial growth (SEG) method. When forming the lateral extension layer (135), the SEG condition may be a lateral growth condition in which the horizontal direction is preferentially grown with respect to the substrate (105), unlike when forming the first semiconductor pillar (130a). In this case, by controlling the SEG time, the lateral extension layer (135) can be formed only by the SEG method without an additional patterning process. However, in a modified example of this embodiment, a patterning process may be added after the SEG growth.

[0077] As another example, the lateral extension layer (135) may be formed by depositing an amorphous semiconductor layer and then performing a patterning and heat treatment process. Since the size of the lateral extension layer (135) is not large, the amorphous semiconductor layer may be recrystallized into a single crystal structure by heat treatment. The patterning process may utilize photolithography and etching techniques. In another example, the lateral expansion layer (135) may form a polycrystalline semiconductor layer, which may be flattened and patterned to form a polycrystalline structure.

[0078] Referring to FIG. 11, a stacked structure of the second insulating layer (110b) and the second conductive layer (115b) can be formed on the result in which the lateral expansion layer (135) is formed . A description of this lamination structure may refer to the description of the lamination structure of the first insulating layer (110a) and the first electrically conductive layer (115a) of FIG. 5.

Micron Ex. 1023, p. 12
Micron v. YMTC
IPR2025-00244

[0079] Referring to FIG. 12, second through-holes (120b) may be formed through the second insulating layer (110b) and the second conductive layer (115b). The second through-holes (120b) may expose some or all of the top surface of the lateral expansion layer (135). The second through-holes (120 B) may be formed using photolithography and etching techniques, as can the first through-holes (120a in FIG. 5).

[0080] In the photolithography step, the second through-holes (120b) may be formed to align with the lateral expansion layers (135). Since the lateral expansion layers (135) have a wider cross-sectional area than the first semiconductor pillar (130a), aligning the second through-holes (120b) to the lateral expansion layers (135) is advantageous over aligning the first semiconductor pillar (130a). Accordingly, the alignment margin of the second through holes (120b) can be improved by arranging the lateral expansion layers (135).

[0081] Referring to FIG. 13, the second charge storage layer (125b) and the second semiconductor pillars (130b) may be formed sequentially within the second through-holes (120b). The method of forming the second charge storage layer (125b) and the second semiconductor pillars (130b) may refer to the description of the first charge storage layer (125a) and the first semiconductor pillars (130a) of FIG. 6A.

[0082] Referring to FIG. 14, the first and second conductive layers (115a, 115b) may be patterned to form control gate electrodes (140) and string selection lines (145). The control gate electrodes (140) may be patterned in a stepwise manner. Afterwards, a third insulating layer (not shown) is filled to form an insulating layer (110), and via holes (not shown) penetrating the insulating layer can be formed, and via plugs (150) can be formed in the via holes.

[0083] Subsequently, bit lines (155) can be formed on the semiconductor pillars (130), and word lines (160) can be formed on the via plugs (150). The bit lines (155) and word lines (160) may be disposed on the same plane or on different planes.

[0084] According to the manufacturing method according to this embodiment, the semiconductor pillar (130) may be formed by dividing it into a first semiconductor pillar (130a), a lateral extension layer (135), and a second semiconductor pillar (130b) instead of forming it all at once. If the semiconductor pillar (130) is formed all at once, the aspect ratio of the through hole increases, making it difficult to form the through hole, and it also becomes difficult to fill the semiconductor material in the through hole. This difficulty limits the height of the semiconductor pillar (130), which limits the number of memory cells (TMc) in the vertical NAND strings (NS1, NS2 in FIG. 4).

[0085] However, by dividing the semiconductor pillars (130) into the first semiconductor pillars (130a) and the second semiconductor pillars (130b), the aspect ratio of the first through holes (120a) and the second through holes (120b) can be significantly reduced. Accordingly, not only the formation of the first and second through holes (120a, 120b), but also the formation of the first and second semiconductor pillars (130a, 130b) that fill them becomes easier.

[0086] In addition, by arranging the lateral extension portion (135) between the first semiconductor pillar (130a) and the second semiconductor pillar (130b), the alignment margin is increased when the second through holes (120b) are formed, thereby increasing the connection reliability between the first semiconductor pillar (130a) and the second semiconductor pillar (130b). In this regard, the number of lateral extension portions (135) can be appropriately selected in consideration of the aspect ratio of the first and second through holes (120a, 120b). For example, a plurality of lateral extensions (135) can be provided between two and six control gate electrodes (140).

[0087] Accordingly, by using the manufacturing method according to this embodiment, the length of the vertical semiconductor pillar (130) can be increased, and accordingly, the number of stacked control gate electrodes (140) can be increased. As a result, the number of memory cells stacked in each NAND string may be increased, increasing the capacity of the nonvolatile memory device.

[0088] With reference to the above-described manufacturing methods, the nonvolatile memory device of FIG. 3 can also be manufactured. For example, the nonvolatile memory device of FIG. 3 may be manufactured by repeating the steps of FIGS. 11-13 on the output of FIG. 13, and then proceeding with the steps of FIG. 14.

[0089] Furthermore, by repeating the steps of FIGS. 11 - 13 as appropriate number of times, nonvolatile memory devices with four or more lateral extension portions can also be manufactured.

[0090] FIG. 15 is a schematic block diagram showing a memory chip (300) according to an embodiment of the present invention.

[0091] Referring to FIG. 15, the memory-cell array (310) may comprise at least one of the nonvolatile memory elements of the tertiary structure described above. The memory cell array (310) may be coupled with an X-buffer/row decoder (320) and a Y-buffer/column decoder (330). For example, word lines (WL) of the memory cell array (310) may be coupled to the X-buffer/row decoder (320).The bit lines (BLs) of the memory cell array (310) may be connected to the Y-buffer/column decoder (330). The control logic (340) may be coupled to and controlled by X-buffer/row decoder (320) and Y-buffer/column decoder (330).

Micron Ex. 1023, p. 13
Micron v. YMTC
IPR2025-00244

[0092] For example, looking at the transmission process of the address signal, the control logic (340) transmits the row address signal to the X-buffer/row decoder (320), and the X-buffer/row decoder (320) can decode these signals and transmit the row address signal to the memory cell array (310). Further, the control logic (340) communicates the column address signal to the Y-buffer/column decoder (330), and the Y-buffer/column decoder (330) can decode the signal to communicate the column address signal to the memory cell array (310) via bit lines (BLs).

[0093] The nonvolatile memory devices of the tertiary structure according to embodiments of the present invention, methods of making them, and memory chips have been described in detail so far.

[0094] According to a nonvolatile memory element having a tertiary structure according to embodiments of the invention, at least one NAND string is manufactured on the substrate. The above at least one NAND string includes a high-concentration source and LDD (Lightly Doped Drain) region formed on the substrate, at least one epi semiconductor pillar extending vertically upward, and a plurality of memory cells having a charge storage layer surrounding the semiconductor pillar along the vertical direction of the at least one epi semiconductor pillar, and insulating layers (oxide film/nitride film/oxide film). The high-concentration source region formed on the above substrate secures a predetermined distance from the bottom surface position where the epi semiconductor pillar is vertically extended, and forms an LDD region at the bottom surface position where the epi semiconductor pillar is vertically extended, thereby preventing impurities in the high-concentration source region from diffusing into the vertical channel. Accordingly, a nonvolatile memory device with a vertical tertiary structure can be expanded to a high stacking level, and high integration, high performance, low power consumption, and low manufacturing cost can be expected.For example, in the nonvolatile memory device of the three-dimensional structure according to the present invention, it was confirmed that the device characteristics such as I_{on}/I_{off} were increased by more than 500 times compared to the conventional ones and that low-voltage operation of 1V or less was possible.

[0095] According to the present invention, the device performance limitation due to auto-doping of the silicon channel in nonvolatile memory device having a tertiary structure was overcome by adding an LDD ion implantation process to the silicon substrate source region formation and vertically growing a single crystal epi-silicon channel. This enables simultaneous performance improvement and manufacturing cost (cost/bit) reduction with minimal additional processes, and also resolves channel characteristic deterioration, deviation, and distribution that occur when expanding tertiary structures to high layers by manufacturing using epitaxial single crystal channel materials. This is an innovation and foundation for continuous technological advancement by removing the major obstacles to technological development that have been inherently associated with high integration. In addition, nonvolatile memory devices of tertiary structures can be manufactured with lower power consumption, better performance, and lower error rates of device behavior than current nonvolatile memory devices having a tertiary structure.

[0096] The above description of specific embodiments of the invention has been provided for purposes of illustration and description. Thus, it is clear that the invention is not limited to the above embodiments, and that many modifications and changes are possible, such as combining the above embodiments by a person of ordinary skill in the art within the technical spirit of the invention.

Micron Ex. 1023, p. 14
Micron v. YMTC
IPR2025-00244

Drawings
FIG. 1

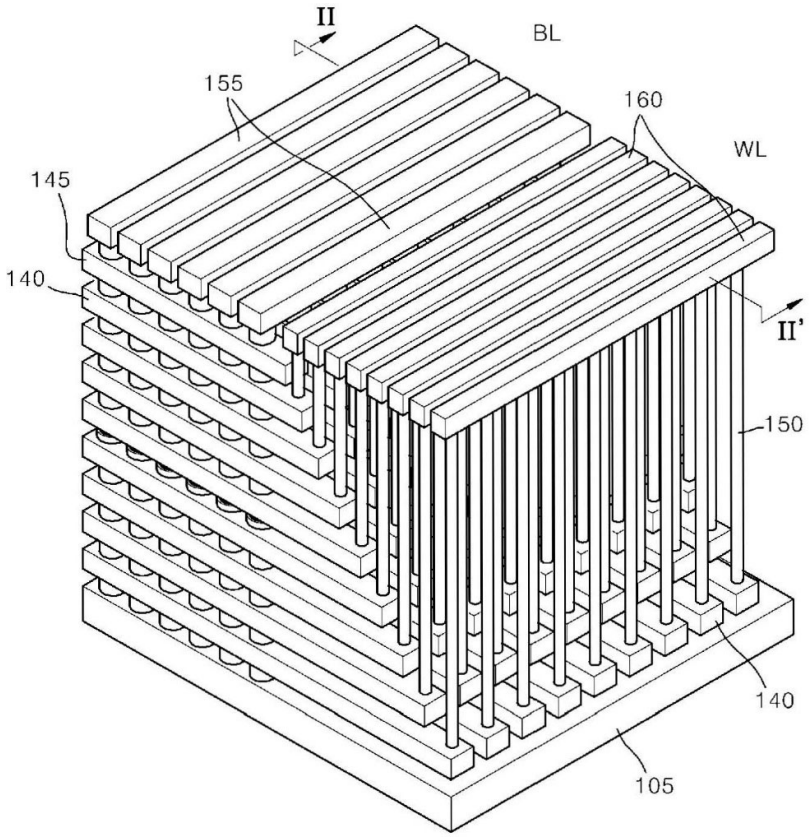
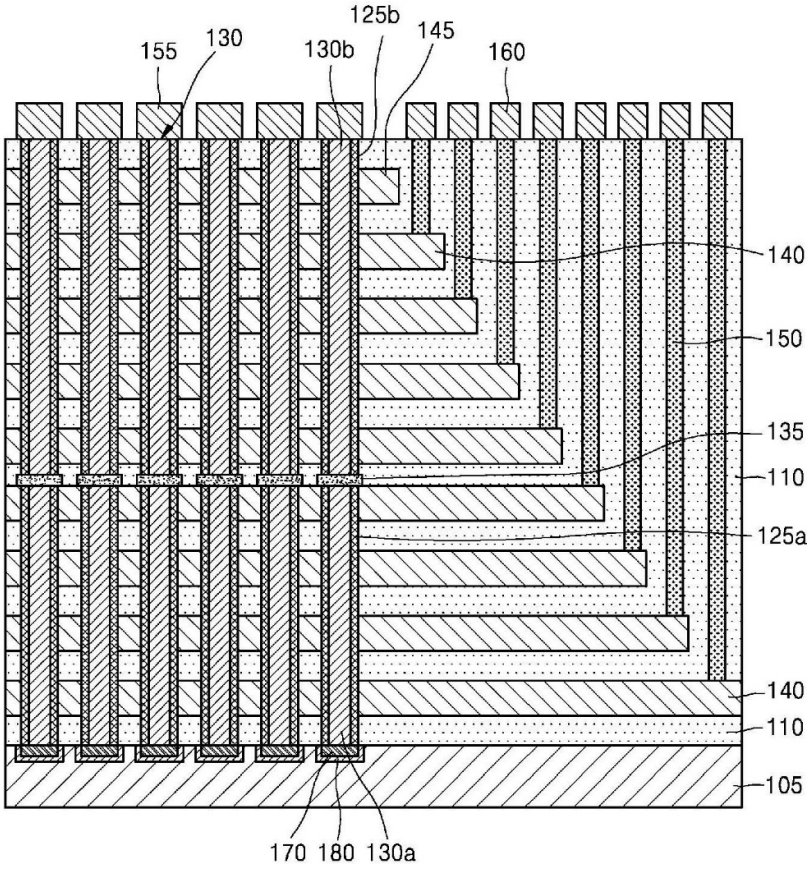


FIG. 2



Micron Ex. 1023, p. 16
Micron v. YMTC
IPR2025-00244

FIG. 3

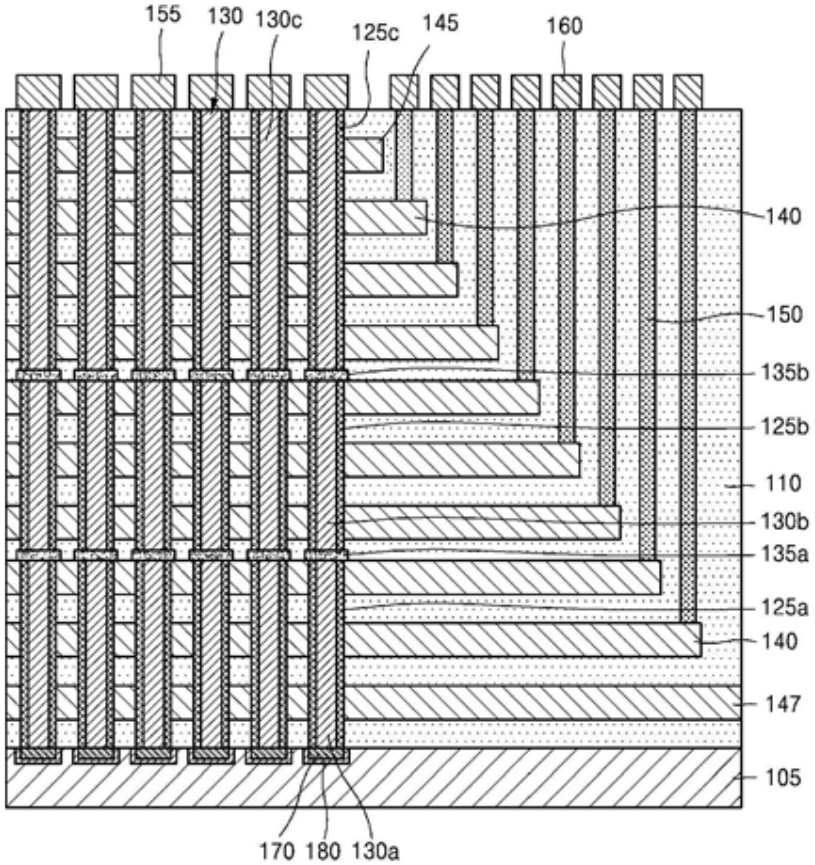
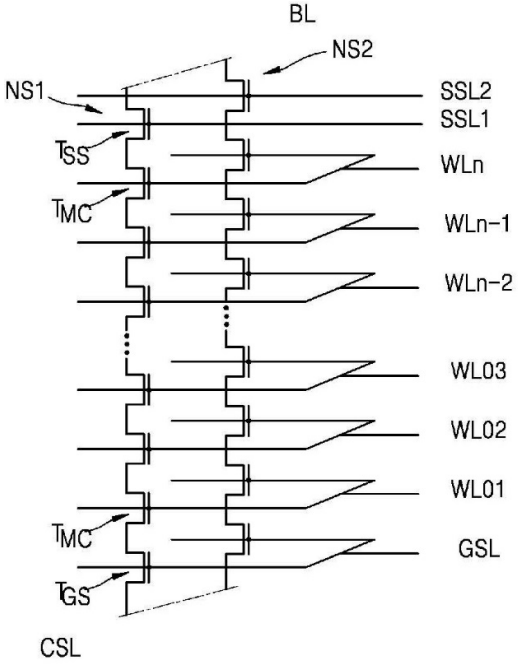


FIG. 4



Micron Ex. 1023, p. 17
Micron v. YMTC
IPR2025-00244

FIG. 5

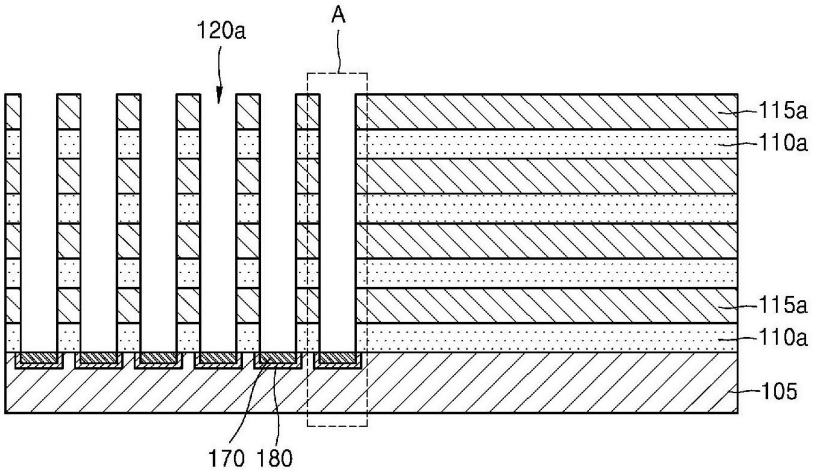
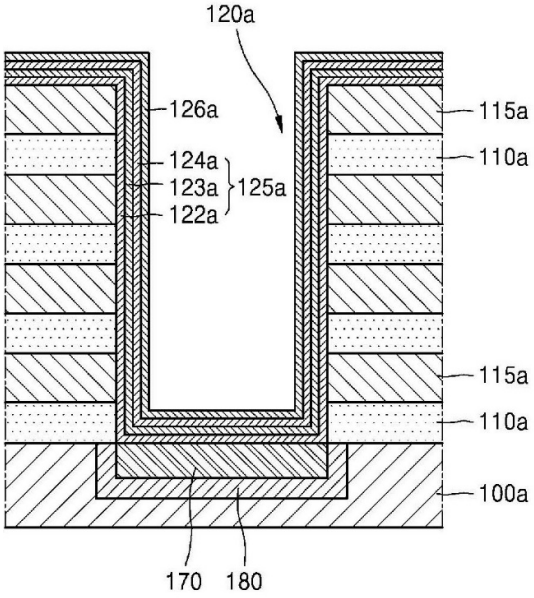


FIG. 6a



Micron Ex. 1023, p. 18
Micron v. YMTC
IPR2025-00244

FIG. 6b

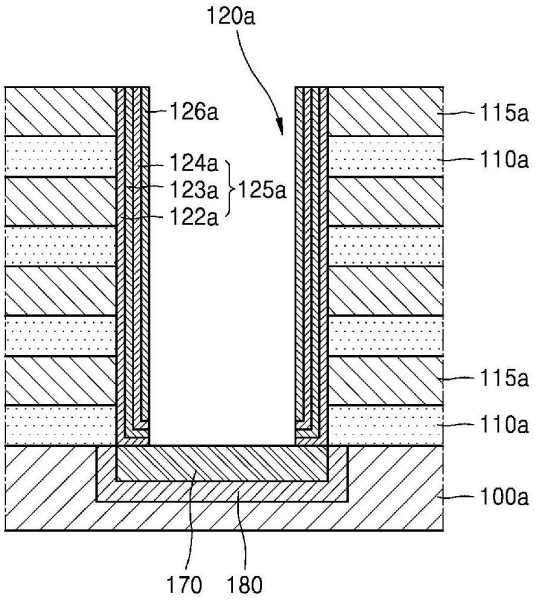
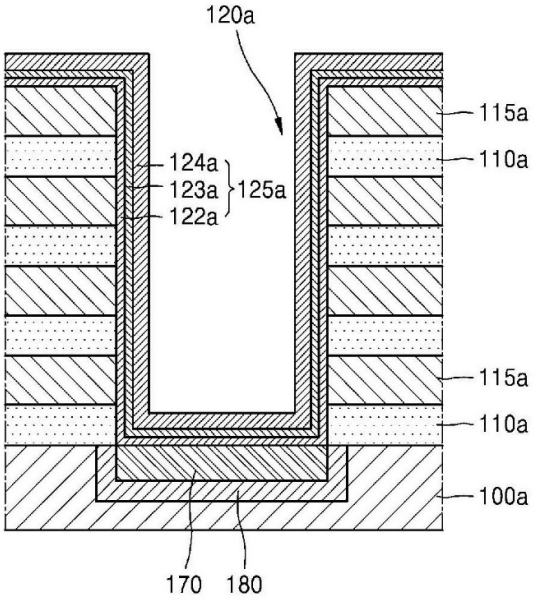


FIG. 7a



Micron Ex. 1023, p. 19
Micron v. YMTC
IPR2025-00244

FIG. 7b

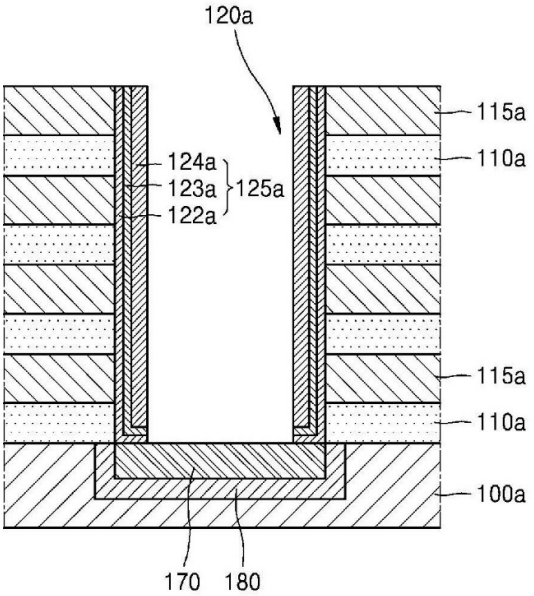
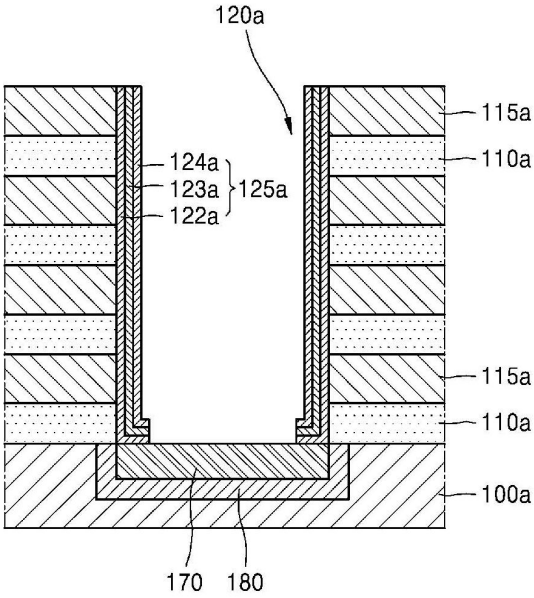


FIG. 8



Micron Ex. 1023, p. 20
Micron v. YMTC
IPR2025-00244

FIG. 9

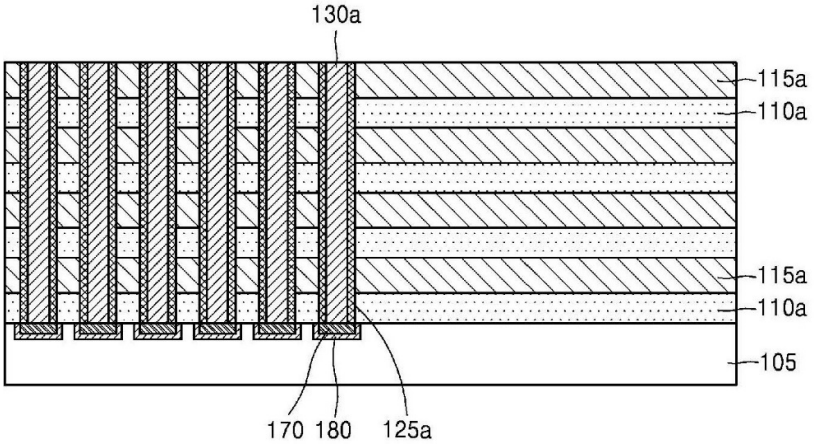
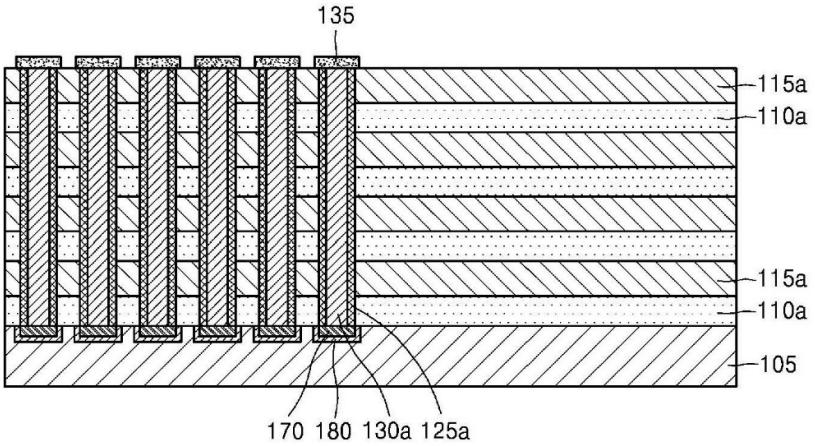
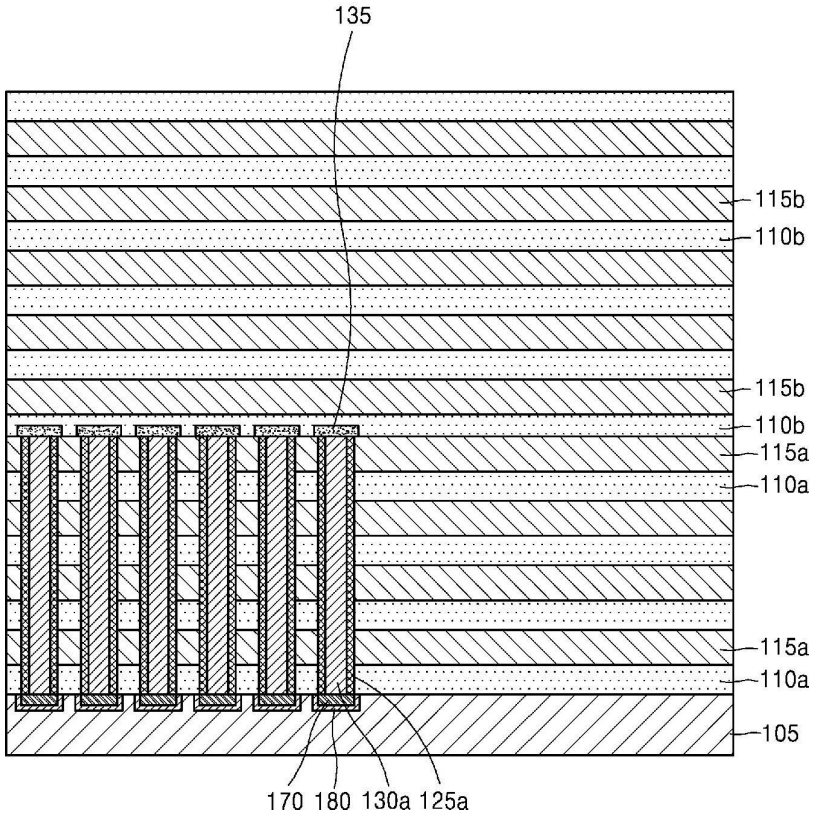


FIG. 10



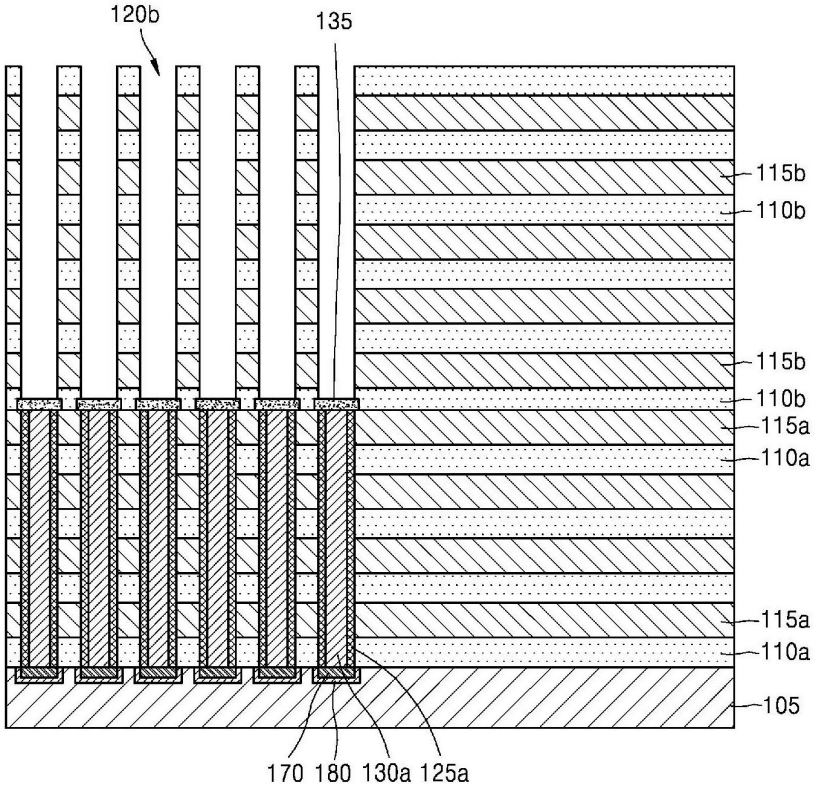
Micron Ex. 1023, p. 21
Micron v. YMTC
IPR2025-00244

FIG. 11



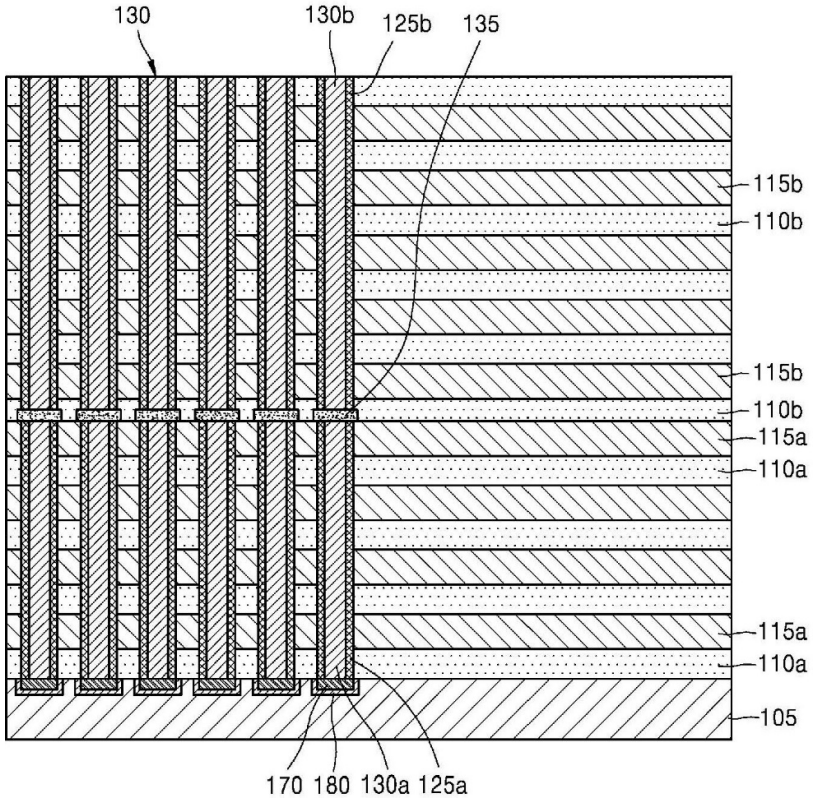
Micron Ex. 1023, p. 22
Micron v. YMTC
IPR2025-00244

FIG. 13



Micron Ex. 1023, p. 23
Micron v. YMTC
IPR2025-00244

FIG. 13



Micron Ex. 1023, p. 24
Micron v. YMTC
IPR2025-00244

FIG. 14

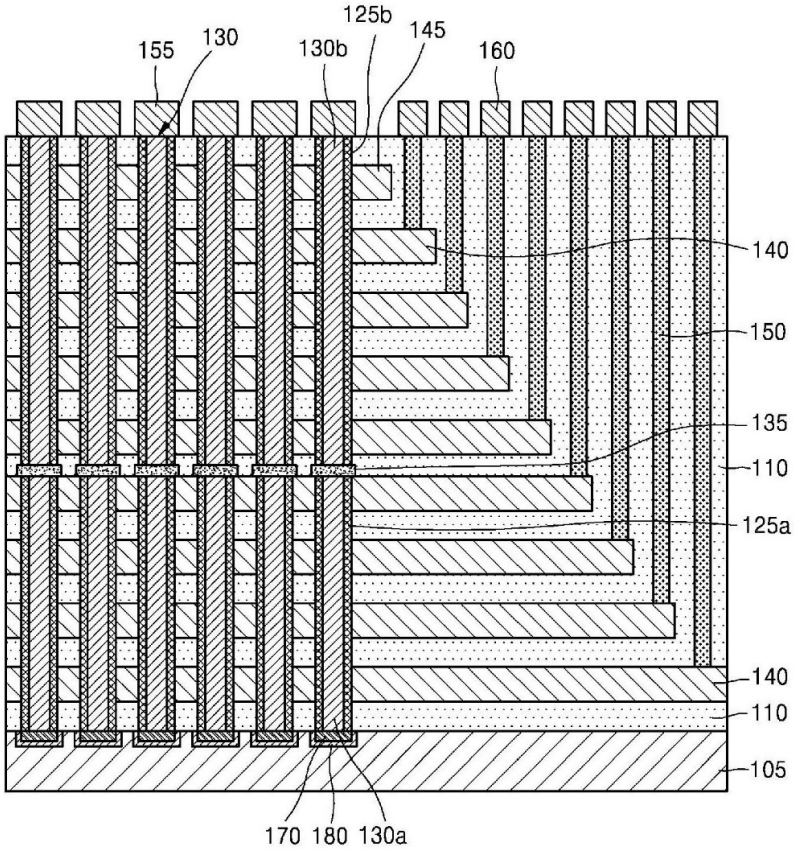
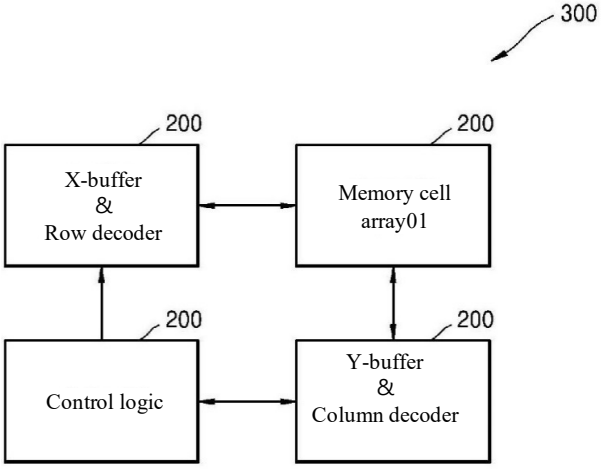


FIG. 15



[Examiner's Ex Officio Correction]
[Correction Item 1]
[Correction Item] Scope of claims
[Correction details] Claim 1

Micron Ex. 1023, p. 25
Micron v. YMTC
IPR2025-00244

[Before change]
the at least one NAND string
[After change]
at least one NAND string

Micron Ex. 1023, p. 26
Micron v. YMTC
IPR2025-00244

TRANSPERFECT

November 3, 2024

Certification

Translator's Declaration:

I, Gwen Snorteland, hereby declare:

That I possess advanced knowledge of the Korean and English languages.

My qualifications are as follows: BA in East Asian Studies from Princeton University, JD from University of Pennsylvania.

The attached Korean into English translation has been translated by me and to the best of my knowledge and belief, it is a true and accurate translation of:

KR101487746B1

I understand that willful false statement and link are punishable by fine or imprisonment, or both (18 U.S.C. 1001) and may jeopardize the validity of the application or any patent issuing thereon. I declare under the penalty of the perjury that all statements made herein of my own knowledge are true and all statements made on information and belief are believed to be true.

Gwen Snorteland

Sworn to before me this

3rd of November 2024

Signature, Notary Public

NOTARIAL SEAL

WILLIAM H. SNORTELAND
NOTARY PUBLIC, STATE OF OHIO
My Commission Expires Jan. 21, 2027

Stamp, Notary Public

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년02월04일
(11) 등록번호 10-1487746
(24) 등록일자 2015년01월23일

(51) 국제특허분류(Int. Cl.)
H01L 27/115 (2006.01)
(21) 출원번호 10-2014-0014399
(22) 출원일자 2014년02월07일
심사청구일자 2014년02월07일
(56) 선행기술조사문헌
KR101137770 B1
WO2012142020 A1
KR1020120101818 A
JP2008172164 A

(73) 특허권자
한국과학기술원
대전광역시 유성구 대학로 291(구성동)
(72) 발명자
이완규
서울 광진구 긴고랑로10길 9, 501호 (중곡동, 드림빌)
김정우
대전광역시 유성구 덕명로 26
전호승
경기 의정부시 신곡로 35, 204동 505호 (신곡동, 동신아파트)
(74) 대리인
이인행, 양기혁, 김남식, 한윤호

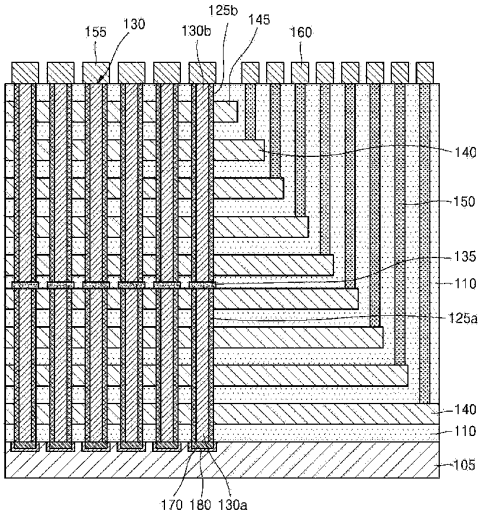
전체 청구항 수 : 총 9 항 심사관 : 류정현

(54) 발명의 명칭 **3차원 구조의 비휘발성 메모리 소자를 초고층으로 확장하는 방법**

(57) 요 약

본 발명의 일 형태에 따른 3차원 구조의 비휘발성 메모리 소자는 기판 및 상기 기판 상으로 상향 신장되며 제 1 도전형의 불순물이 도핑된 적어도 하나의 반도체 기둥 및 상기 적어도 하나의 반도체 기둥을 따라 직렬로 연결된 복수의 메모리셀들을 구비하는, 상기 적어도 하나의 낸드 스트링을 포함한다. 상기 기판은, 상기 적어도 하나의 반도체 기둥과 접하며, 상기 제 1 도전형과 반대되는 제 2 도전형의 불순물이 도핑된, LDD 영역; 및 상기 반도체 기둥과 접하지 않도록 상기 반도체 기둥과 이격되면서, 상기 LDD 영역의 일부를 둘러싸며, 제 2 도전형의 불순물이 도핑된, 소오스 영역;을 포함하며, 상기 LDD 영역에서의 상기 제 2 도전형의 불순물의 농도는 상기 소오스 영역에서의 상기 제 2 도전형의 불순물의 농도보다 더 낮다.

대 표 도 - 도2



Micron Ex. 1023, p. 28
Micron v. YMTC
IPR2025-00244

이 발명을 지원한 국가연구개발사업

과제고유번호	10035320
부처명	산업통상자원부
연구관리전문기관	한국산업기술평가관리원
연구사업명	산업원천기술개발사업
연구과제명	차세대 memory용 3D 적층 신소자 및 핵심소재 공정기술개발
기 여 율	1/1
주관기관	서울대학교
연구기간	2010.12.31 ~ 2015.02.28

Micron Ex. 1023, p. 29
Micron v. YMTC
IPR2025-00244

특허청구의 범위

청구항 1

기판; 및

상기 기판 상으로 상향 신장되며 제 1 도전형의 불순물이 도핑된 적어도 하나의 반도체 기둥 및 상기 적어도 하나의 반도체 기둥을 따라 직렬로 연결된 복수의 메모리셀들을 구비하는, 적어도 하나의 낸드 스트링;을 포함하고,

상기 적어도 하나의 반도체 기둥은 각 낸드 스트링 내에 적어도 하나의 측방향 확장부를 포함하고,

각 낸드 스트링 내 상기 복수의 메모리셀들은, 상기 기판 상에 복수의 층으로 적층되고 상기 적어도 하나의 반도체 기둥을 둘러싸는 복수의 제어 게이트 전극들 및 상기 적어도 하나의 반도체 기둥 및 상기 제어 게이트 전극들 사이의 적어도 하나의 전하 저장층을 포함하고,

상기 기판은,

상기 적어도 하나의 반도체 기둥과 접하며, 상기 제 1 도전형과 반대되는 제 2 도전형의 불순물이 도핑된, LDD(Lightly Doped Drain) 영역; 및 상기 반도체 기둥과 접하지 않도록 상기 반도체 기둥과 이격되면서, 상기 LDD 영역의 일부를 둘러싸며, 제 2 도전형의 불순물이 도핑된, 소오스 영역;을 포함하며,

상기 LDD 영역에서의 상기 제 2 도전형의 불순물의 농도는 상기 소오스 영역에서의 상기 제 2 도전형의 불순물의 농도보다 더 낮은,

3차원 구조의 비휘발성 메모리 소자.

청구항 2

제 1 항에 있어서,

상기 적어도 하나의 반도체 기둥은 상기 기판의 표면으로부터 선택적 에피택셜 성장(selective epitaxial growth)에 의하여 형성된 단결정 실리콘을 포함하는, 3차원 구조의 비휘발성 메모리 소자.

청구항 3

제 1 항에 있어서,

상기 적어도 하나의 반도체 기둥은 상기 기판에 수직으로 신장된, 3차원 구조의 비휘발성 메모리 소자.

청구항 4

제 1 항에 있어서,

상기 적어도 하나의 낸드 스트링의 단부에 연결된 적어도 하나의 비트 라인을 더 포함하고,

상기 적어도 하나의 낸드 스트링은 상기 복수의 메모리셀들 및 상기 적어도 하나의 비트 라인 사이의 스트링 선택 트랜지스터를 더 포함하는,

3차원 구조의 비휘발성 메모리 소자.

청구항 5

제 1 도전형과 반대되는 제 2 도전형의 불순물이 도핑된 LDD(Lightly Doped Drain) 영역 및 상기 LDD 영역의 일부를 둘러싸며 제 2 도전형의 불순물이 도핑된 소오스 영역을 구비하되, 상기 LDD 영역에서의 상기 제 2 도전형의 불순물의 농도는 상기 소오스 영역에서의 상기 제 2 도전형의 불순물의 농도보다 더 낮은, 기판을 준비하는 단계;

상기 기판 상에 복수의 제 1 도전 층들을 적층하는 단계;

상기 소오스 영역은 노출되지 않으면서 상기 LDD 영역은 노출되도록, 상기 복수의 제 1 도전 층들을 관통하는

Micron Ex. 1023, p. 30
Micron v. YMTC
IPR2025-00244

적어도 하나의 제 1 관통 홀을 형성하는 단계;

상기 적어도 하나의 제 1 관통 홀의 내부 표면 상에 적어도 하나의 제 1 전하 저장층을 형성하는 단계;

상기 적어도 하나의 제 1 관통 홀 내의 상기 적어도 하나의 제 1 전하 저장층 상에, 상기 소오스 영역과 접하지 않으면서 상기 LDD 영역과는 접하는, 상기 제 1 도전형의 불순물이 도핑된, 적어도 하나의 제 1 반도체 기둥을 형성하는 단계;

상기 복수의 제 1 도전 층들 상에 상기 적어도 하나의 제 1 반도체 기둥의 단부와 연결된 적어도 하나의 제 1 측방향 확장부를 형성하는 단계;

상기 적어도 하나의 제 1 측방향 확장부 상에 복수의 제 2 도전층들을 적층하는 단계; 및

상기 복수의 제 2 도전층들을 관통하여 상기 적어도 하나의 제 1 측방향 확장부에 연결된 적어도 하나의 제 2 반도체 기둥을 형성하는 단계;를 포함하는,

3차원 구조의 비휘발성 메모리 소자의 제조방법.

청구항 6

제 5 항에 있어서,

상기 적어도 하나의 제 2 반도체 기둥을 형성하기 전에, 상기 복수의 제 2 도전층들을 관통하여, 상기 적어도 하나의 제 1 측방향 확장층을 노출하는 적어도 하나의 제 2 관통 홀을 형성하는 단계; 및

상기 적어도 하나의 제 2 관통 홀의 내부 표면 상에 적어도 하나의 제 2 전하 저장층을 형성하는 단계;를 포함하고,

상기 적어도 하나의 제 2 반도체 기둥은 상기 적어도 하나의 제 2 관통 홀 내의 상기 적어도 하나의 제 2 전하 저장층 상에 상기 적어도 하나의 제 1 측방향 확장층과 연결되게 형성하는,

3차원 구조의 비휘발성 메모리 소자의 제조방법.

청구항 7

제 5 항에 있어서,

상기 적어도 하나의 제 1 반도체 기둥은 상기 기판의 표면으로부터 선택적 에피택셜 성장법을 이용하여 형성된 단결정 실리콘을 포함하는, 3차원 구조의 비휘발성 메모리 소자의 제조방법.

청구항 8

제 5 항에 있어서,

상기 적어도 하나의 제 1 측방향 확장부는, 상기 적어도 하나의 제 1 반도체 기둥의 표면으로부터 선택적 에피택셜 성장법을 이용하여 단결정 구조로 형성되는, 3차원 구조의 비휘발성 메모리 소자의 제조방법.

청구항 9

제 1 항 내지 제 4 항의 어느 한 항에 따른 3차원 구조의 비휘발성 메모리 소자를 포함하는 메모리셀 어레이;

상기 메모리셀 어레이의 워드 라인들에 결합된 로우 디코더;

상기 메모리셀 어레이의 비트 라인들에 결합된 칼럼 디코더; 및

상기 로우 디코더 및 상기 칼럼 디코더에 결합된 제어 로직을 포함하는, 메모리 칩.

명 세 서

기 술 분 야

[0001] 본 발명은 반도체 소자에 관한 것이고, 특히 3차원 구조의 비휘발성 메모리 소자 및 이를 이용한 메모리 칩에

Micron Ex. 1023, p. 31
Micron v. YMTC
IPR2025-00244

관한 것이다.

배 경 기 술

[0002] 전자 제품은 그 부피가 점점 작아지면서도 고용량의 데이터 처리를 요하고 있다. 이에 따라, 이러한 전자 제품에 사용되는 메모리 칩의 부피를 줄이면서 그 집적도를 높일 필요가 있다. 이러한 점에서, 종래의 평면형 구조 대신에 기판 상에 메모리 셀들을 수직으로 적층하는 3차원 구조의 비휘발성 메모리 소자가 이러한 고집적 메모리 칩에 고려되고 있다. 이러한 3차원 구조에서는 메모리 셀들의 적층 수를 늘림으로써 동일한 평면 상에서 비휘발성 메모리 소자의 용량을 늘릴 수 있다.

발명의 내용

해결하려는 과제

[0003] 하지만, 3차원 구조의 비휘발성 메모리 소자에서 메모리셀들의 적층 수가 증가함에 따라서 애스펙트비(aspect ratio)가 증가하여 제조 공정이 어려워지고 있다. 이에 따라, 3차원 구조의 비휘발성 메모리 소자의 신뢰성이 떨어지고 있다.

[0004] 이에 본 발명은 전술한 문제점을 해결하기 위해 제공되는 것으로서, 3차원 구조에서 제조 공정의 신뢰성을 높일 수 있는 비휘발성 메모리 소자 및 그 제조방법을 제공한다. 또한, 본 발명은 이러한 3차원 구조의 비휘발성 메모리 소자를 이용한 메모리 칩을 제공한다.

[0005] 하지만, 전술한 기술적 과제는 예로써 제공되었고, 본 발명이 이루고자하는 기술적 과제가 전술한 예에 의해서 제한되지는 않는다.

과제의 해결 수단

[0006] 본 발명의 일 형태에 따른 3차원 구조의 비휘발성 메모리 소자가 제공된다. 상기 3차원 구조의 비휘발성 메모리 소자는 기판 및 상기 기판 상으로 상향 신장되며 제 1 도전형의 불순물이 도핑된 적어도 하나의 반도체 기둥 및 상기 적어도 하나의 반도체 기둥을 따라 직렬로 연결된 복수의 메모리셀들을 구비하는, 상기 적어도 하나의 낸드 스트링을 포함한다. 상기 적어도 하나의 반도체 기둥은 각 낸드 스트링 내에 적어도 하나의 측방향 확장부를 포함하고, 각 낸드 스트링 내 상기 복수의 메모리셀들은, 상기 기판 상에 복수의 층으로 적층되고 상기 적어도 하나의 반도체 기둥을 둘러싸는 복수의 제어 게이트 전극들 및 상기 적어도 하나의 반도체 기둥 및 상기 제어 게이트 전극들 사이의 적어도 하나의 전하 저장층을 포함한다. 상기 기판은, 상기 적어도 하나의 반도체 기둥과 접하며, 상기 제 1 도전형과 반대되는 제 2 도전형의 불순물이 도핑된, LDD(Lightly Doped Drain) 영역; 및 상기 반도체 기둥과 접하지 않도록 상기 반도체 기둥과 이격되면서, 상기 LDD 영역의 일부를 둘러싸며, 제 2 도전형의 불순물이 도핑된, 소오스 영역;을 포함하며, 상기 LDD 영역에서의 상기 제 2 도전형의 불순물의 농도는 상기 소오스 영역에서의 상기 제 2 도전형의 불순물의 농도보다 더 낮다.

[0007] 상기 3차원 구조의 비휘발성 메모리 소자에서, 상기 적어도 하나의 반도체 기둥은 상기 기판의 표면으로부터 선택적 에피택셜 성장(selective epitaxial growth)에 의하여 형성된 단결정 실리콘을 포함할 수 있다.

[0008] 상기 3차원 구조의 비휘발성 메모리 소자에서, 상기 적어도 하나의 반도체 기둥은 상기 기판에 수직으로 신장될 수 있다.

[0009] 상기 3차원 구조의 비휘발성 메모리 소자는 상기 적어도 하나의 낸드 스트링의 단부에 연결된 적어도 하나의 비트 라인을 더 포함하고, 상기 적어도 하나의 낸드 스트링은 상기 복수의 메모리셀들 및 상기 적어도 하나의 비트 라인 사이의 스트링 선택 트랜지스터를 더 포함할 수 있다.

[0010] 본 발명의 다른 형태에 따른 3차원 구조의 비휘발성 메모리 소자의 제조방법이 제공된다. 상기 3차원 구조의 비휘발성 메모리 소자의 제조방법은 제 1 도전형과 반대되는 제 2 도전형의 불순물이 도핑된 LDD(Lightly Doped Drain) 영역 및 상기 LDD 영역의 일부를 둘러싸며 제 2 도전형의 불순물이 도핑된 소오스 영역을 구비하되, 상기 LDD 영역에서의 상기 제 2 도전형의 불순물의 농도는 상기 소오스 영역에서의 상기 제 2 도전형의 불순물의 농도보다 더 낮은, 기판을 준비하는 단계; 상기 기판 상에 복수의 제 1 도전 층들을 적층하는 단계; 상기 소오스 영역은 노출되지 않으면서 상기 LDD 영역은 노출되도록, 상기 복수의 제 1 도전 층들을 관통하는 적어도 하나의 제 1 관통 홀을 형성하는 단계; 상기 적어도 하나의 제 1 관통 홀의 내부 표면 상에 적어도 하나의 제 1 전하 저장층을 형성하는 단계; 상기 적어도 하나의 제 1 관통 홀 내의 상기 적어도 하나의 제 1 전하 저장층 상

Micron Ex. 1023, p. 32
Micron v. YMTC
IPR2025-00244

에, 상기 소오스 영역과 접하지 않으면서 상기 LDD 영역과는 접하는, 상기 제 1 도전형의 불순물이 도핑된, 적어도 하나의 제 1 반도체 기둥을 형성하는 단계; 상기 복수의 제 1 도전 층들 상에 상기 적어도 하나의 제 1 반도체 기둥의 단부와 연결된 적어도 하나의 제 1 측방향 확장부를 형성하는 단계; 상기 적어도 하나의 제 1 측방향 확장부 상에 복수의 제 2 도전층들을 적층하는 단계; 및 상기 복수의 제 2 도전층들을 관통하여 상기 적어도 하나의 제 1 측방향 확장부에 연결된 적어도 하나의 제 2 반도체 기둥을 형성하는 단계;를 포함한다.

[0011] 상기 3차원 구조의 비휘발성 메모리 소자의 제조방법은 상기 적어도 하나의 제 2 반도체 기둥을 형성하기 전에, 상기 복수의 제 2 도전층들을 관통하여, 상기 적어도 하나의 제 1 측방향 확장층을 노출하는 적어도 하나의 제 2 관통 홀을 형성하는 단계; 및 상기 적어도 하나의 제 2 관통 홀의 내부 표면 상에 적어도 하나의 제 2 전하 저장층을 형성하는 단계;를 포함하고, 상기 적어도 하나의 제 2 반도체 기둥은 상기 적어도 하나의 제 2 관통 홀 내의 상기 적어도 하나의 제 2 전하 저장층 상에 상기 적어도 하나의 제 1 측방향 확장층과 연결되게 형성될 수 있다.

[0012] 상기 3차원 구조의 비휘발성 메모리 소자의 제조방법에서, 상기 적어도 하나의 제 1 반도체 기둥은 상기 기판의 표면으로부터 선택적 에피택셜 성장법을 이용하여 형성된 단결정 실리콘을 포함할 수 있다.

[0013] 상기 3차원 구조의 비휘발성 메모리 소자의 제조방법에서, 상기 적어도 하나의 제 1 측방향 확장부는, 상기 적어도 하나의 제 1 반도체 기둥의 표면으로부터 선택적 에피택셜 성장법을 이용하여 단결정 구조로 형성될 수 있다.

[0014] 본 발명의 또 다른 형태에 따른 메모리 칩이 제공된다. 상기 메모리 칩은 상술한 3차원 구조의 비휘발성 메모리 소자를 포함하는 메모리셀 어레이; 상기 메모리셀 어레이의 워드 라인들에 결합된 로우 디코더; 상기 메모리셀 어레이의 비트 라인들에 결합된 칼럼 디코더; 및 상기 로우 디코더 및 상기 칼럼 디코더에 결합된 제어 로직을 포함한다.

발명의 효과

[0015] 본 발명의 실시예들에 따른 3차원 구조의 비휘발성 메모리 소자 및 그 제조방법에 따르면, 낮은 제조원가(cost/bit)로 수직 구조의 채널의 적층 한계를 극복하여 초고층으로 확장할 수 있고, I_{on} 및 I_{on}/I_{off} 와 같은 소자 특성이 크게 향상되고 동작전압을 낮출 수 있는 초고집적 3차원 비휘발성 메모리 소자 및 그 제조방법을 제공할 수 있다. 물론 이러한 효과에 의해 본 발명의 범위가 한정되는 것은 아니다.

도면의 간단한 설명

[0016] 도 1은 본 발명의 일 실시예에 따른 비휘발성 메모리 소자를 보여주는 개략적인 사시도이고;

도 2는 도 1의 II-II'선에서 절취한 단면도이고;

도 3은 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자를 보여주는 단면도이고;

도 4는 본 발명의 실시예들에 따른 비휘발성 메모리 소자들의 일부분에 대한 등가 회로도이고;

도 5 내지 도 14는 본 발명의 실시예들에 따른 비휘발성 메모리 소자의 제조방법을 보여주는 단면도들이고; 그리고

도 15는 본 발명의 또 다른 실시예에 따른 메모리 칩을 보여주는 개략적인 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0017] 이하, 첨부한 도면을 참조하여 본 발명에 따른 바람직한 실시예를 설명함으로써 본 발명을 상세하게 설명한다. 그러나 본 발명은 이하에서 개시되는 실시예 에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 도면에서 구성 요소들은 설명의 편의를 위하여 그 크기가 과장될 수 있다.

[0018] 본 명세서에서 언급된 제 1 도전형은, 예를 들어, p형이고, 제 2 도전형은, 예를 들어, n형일 수 있으나, 경우에 따라서는 이와 반대로, 제 1 도전형은 n형이고, 제 2 도전형은 p형일 수 있다.

[0019] 도 1은 본 발명의 일 실시예에 따른 비휘발성 메모리 소자를 보여주는 개략적인 사시도이다. 도 2는 도 1의 II-II'선에서 절취한 단면도이다.

Micron Ex. 1023, p. 33
Micron v. YMTC
IPR2025-00244

[0020] 도 1 및 도 2를 참조하면, 기판(105) 상에 수직 구조의 메모리 셀 어레이가 제공될 수 있다. 기판(105)은 반도체 물질, 예컨대 IV족 반도체, III-V족 화합물 반도체, 또는 II-VI족 산화물 반도체를 포함할 수 있다. 예를 들어, IV족 반도체는 실리콘, 게르마늄 또는 실리콘-게르마늄을 포함할 수 있다. 기판(105)은 벌크 웨이퍼 또는 에피택셜 층으로 제공될 수 있다. 예를 들어, 이러한 벌크 웨이퍼 또는 에피택셜 층의 일부에 불순물이 도핑될 수 있고, 이러한 도핑 영역은 공통 소오스 라인(도 4의 CSL 참조)으로 이용될 수 있다.

[0021] 반도체 기둥(130)들은 기판(105) 상으로 상향 신장되어 배치될 수 있다. 예를 들어, 반도체 기둥(130)들은 기판(105)에 수직하게 신장될 수 있다. 반도체 기둥(130)들은 원통형 또는 다각 기둥 형상을 가질 수 있다. 반도체 기둥(130)의 수는 비휘발성 메모리 소자의 용량에 따라서 적절하게 선택될 수 있고, 이 실시예의 범위를 제한하지 않는다. 반도체 기둥(130)은 반도체 물질, 예컨대 실리콘, 게르마늄 또는 실리콘-게르마늄과 같은 IV족 반도체 물질을 포함할 수 있다. 구체적인 예를 들면, 반도체 기둥(130)은 기판(105)의 표면으로부터 선택적 에피택셜 성장(selective epitaxial growth)에 의하여 형성된 단결정 실리콘을 포함할 수 있다.

[0022] 예를 들어, 각 반도체 기둥(130)은 수직 구조의 제 1 및 제 2 반도체 기둥(130a, 130b)들 및 적어도 하나의 측방향 확장부(lateral extention portion, 135)를 포함할 수 있다. 측방향 확장부(135)는 제 1 및 제 2 반도체 기둥(130a, 130b)들 사이에 배치될 수 있다. 예를 들어, 제 1 반도체 기둥(130a)은 기판(105) 상에 수직으로 배치되고, 측방향 확장부(135)는 제 1 반도체 기둥(130a) 상에 배치되고, 제 2 반도체 기둥(130b)은 측방향 확장부(135) 위에 기판(105) 상에 수직으로 배치될 수 있다.

[0023] 측방향 확장부(135)는 기판(105)에 평행한 단면을 기준으로 제 1 및 제 2 반도체 기둥(130a, 130b)들 보다 큰 단면적을 가질 수 있다. 예를 들어, 측방향 확장부(135)는 실질적으로 제 1 반도체 기둥(130a)의 상면을 전체적으로 덮고 측면으로 더 신장될 수 있다. 제 2 반도체 기둥(130b)의 하단부는 전체적으로 또는 적어도 일부분이 측방향 확장부(135)와 접촉될 수 있다.

[0024] 측방향 확장부(135)는 제 1 및 제 2 반도체 기둥(130a, 130b)들과 동일한 반도체 물질로 형성되거나 또는 서로 다른 반도체 물질로 형성될 수도 있다. 예를 들어, 제 1 및 제 2 반도체 기둥(130a, 130b)들과 측방향 확장부(135)는 실질적으로 단결정 구조를 갖는 동일한 반도체 물질로 형성될 수 있다. 하지만, 이 실시예의 변형된 예에서, 제 1 및 제 2 반도체 기둥(130a, 130b)들과 측방향 확장부(135)의 일부 또는 전부가 다결정 구조의 반도체 물질로 형성될 수도 있다. 반도체 기둥(130) 및 측방향 확장부(135)는 제 1 도전형의 불순물로 도핑될 수 있다.

[0025] 본 발명자는, 기판(105)의 표면으로부터 선택적 에피택셜 성장(selective epitaxial growth)에 의하여 형성된 단결정 실리콘을 포함하는 반도체 기둥(130)을 제공함으로써 I_{on}과 I_{on}/I_{off}와 같은 소자 특성을 높일 수 있음을 확인하였다. 이에 따라 3차원 구조의 고적층소자를 초고층으로 확장할 수 있는 효과가 있을 것으로 기대한다.

[0026] 화학기상 증착법에 의하여 형성된 폴리실리콘을 포함하는 반도체 기둥(130)을 상정한 본 발명의 비교예에 의하면, 다결정의 폴리실리콘 채널을 가지는 3차원 구조의 비휘발성 메모리 소자에서는 I_{on}과 I_{on}/I_{off}와 같은 소자 특성값이 낮아서 소자의 동작속도 저하와 메모리 동작의 에러율이 증가함을 확인하였으며, 채널 직경을 넓혀야 하는 문제점을 야기하며 3차원 집적화의 걸림돌이 되며 고적층소자를 초고층으로 확장함에 한계를 수반한다.

[0027] 본 발명에서는 폴리실리콘 수직채널을 단결정의 에피 실리콘으로 대체하여 I_{on}과 I_{on}/I_{off} 와 같은 소자 특성값을 높임으로써 3차원 구조의 고적층소자를 초고층으로 확장할 수 있으며, 동시에, 채널 직경을 더 이상 넓혀서 수직채널을 형성시킬 필요가 없고 오히려 채널 직경을 좁힘으로써 집적도를 더욱 더 높일 수 있을 뿐만아니라 100nm 이하 직경에서 집중된 전기장 효과에 의하여 동작 전압을 훨씬 더 낮출 수 있는 추가적인 효과를 기대할 수 있다. 본 발명에 따른 3차원 구조의 비휘발성 메모리 소자를 제조할 경우, 수직관통형 3차원 비휘발성 메모리 소자를 초고층으로 확장하여 동일한 제조원가(cost/bit)로 3차원 비휘발성 메모리 소자의 집적도를 훨씬 더 높일 수 있다. 뿐만 아니라, 소자의 동작속도를 높이고 비메모리 소자의 동작 시 발생하는 메모리 소자동작의 에러율을 낮춤으로써 반도체 소자의 신뢰성을 크게 향상시킬 수 있다.

[0028] 한편, 실리콘 기판의 소오스 영역에 수직 성장시킨 단결정 실리콘 채널의 오토도핑(autodoping) 현상에 의하여 소자 성능이 저하될 수 있다. 예를 들어, 수직 성장시킨 단결정 실리콘 채널에 전기적 저항특성을 부여하기 위해 제 1 도전형의 불순물(예를 들어, 붕소(B))을 극소량 공급하여 원하는 저항값을 가질 수 있는데, 이러한 공정 중에 실리콘 기판의 소오스 영역으로부터 불순물이 확산되어 수직 성장시킨 단결정 실리콘 채널로 불순물이 이동하는 유동현상이 발생하게 된다. 이러한 것이 원인이 되어서 채널에 저항값이 일정하지 않은 분포를 가지게

Micron Ex. 1023, p. 34
Micron v. YMTC
IPR2025-00244

된다. 상기와 같이 일정하지 않은 저항값 분포를 가지게 하는 원인인 불순물의 확산 현상은 공정 상에서 제거되어야 하며, 이러한 의도하지 않은 도핑 현상을 오토도핑(Autodoping)이라고 부른다.

[0029] 본 발명자는, 적어도 하나의 반도체 기둥(130)과 접하며, 제 1 도전형과 반대되는 제 2 도전형의 불순물이 도핑된, LDD(Lightly Doped Drain) 영역(170) 및 반도체 기둥(130)과 접하지 않도록 반도체 기둥(130)과 이격되도록 LDD 영역(170)의 일부를 둘러싸며, 제 2 도전형의 불순물이 도핑된, 소오스 영역(180)을 포함하되, LDD 영역(170)에서의 상기 제 2 도전형의 불순물의 농도가 소오스 영역(180)에서의 상기 제 2 도전형의 불순물의 농도보다 더 낮은, 기판(105)을 형성함으로써, 이러한 문제점을 극복할 수 있음을 확인하였다. LDD 이온주입 공정을 3차원 구조의 비휘발성 메모리 소자의 실리콘 기판에서 소오스 영역 형성에 추가함으로써 최소의 추가공정으로 성능 향상과 제조원가(cost/bit) 절감을 동시에 확보하였다.

[0030] 반도체 기둥(130)들의 상단은 비트 라인(155, BL)들에 연결될 수 있다. 예를 들어, 반도체 기둥(130)들이 매트릭스로 배열된 경우, 동일 열에 배치된 반도체 기둥(130)들은 동일한 비트 라인(155)에 연결될 수 있다. 이러한 배치는 비트 라인(155)들의 수를 줄일 수 있어서, 비휘발성 메모리 소자의 구조를 단순화 할 수 있다.

[0031] 제어 게이트 전극(140)들은 반도체 기둥(130)들을 둘러싸면서, 기판(105) 상에 복수의 층들로 적층될 수 있다. 제어 게이트 전극(140)들 사이에는 층간 절연층(110)이 개재될 수 있다. 측방향 확장부(135) 상하의 제어 게이트 전극(140)들의 수는 동일하거나 동일하지 않을 수도 있다. 도 1에는 예시적으로, 측방향 확장부(135) 아래에 4개의 제어 게이트 전극(140)들이 배치되고, 측방향 확장부(135) 위에 4개의 제어 게이트 전극(140)들이 배치된 구조가 도시되어 있다. 제어 게이트 전극(140)들의 이러한 적층 수는 비휘발성 메모리 소자의 용량에 따라서 적절하게 선택될 수 있고, 이 실시예의 범위를 제한하지 않는다.

[0032] 제어 게이트 전극(140)들은 비어 플러그(150)들을 통해서 워드 라인(160, WL)들로 연결될 수 있다. 예를 들어, 제어 게이트 전극(140)들은 각 평면 내에 라인 패턴으로 배열될 수 있고, 동일 층의 제어 게이트 전극(140)들은 동일한 하나의 워드 라인 전극(160)에 연결될 수 있다. 비어 플러그(150)들의 배치를 위하여, 제어 게이트 전극(140)들은 기판(105)으로부터 멀어질수록 폭이 좁은 계단 형태로 배치될 수 있다.

[0033] 워드 라인(160)들은 제어 게이트 전극(140)들에 수직하고, 비트 라인(155)들에 평행하게 신장할 수 있다. 이 실시예의 변형된 예에서, 제어 게이트 전극(140)들은 평판 타입으로 제공될 수 있고, 이 경우 각 평판에 하나의 워드 라인(160)이 각각 연결될 수 있다.

[0034] 제 1 및 제 2 전하 저장층(125a, 125b)들은 적어도 제어 게이트 전극(140)들 및 반도체 기둥(130) 사이에 배치될 수 있다. 예를 들어, 제 1 전하 저장층(125a)은 제 1 반도체 기둥(130a) 및 측방향 확장부(135) 아래의 제어 게이트 전극(140)들 사이에 제공되고, 제 2 전하 저장층(125b)은 제 2 반도체 기둥(130b) 및 측방향 확장부(135) 위의 제어 게이트 전극(140)들 사이에 제공될 수 있다. 선택적으로, 제 1 전하 저장층(125a)의 일부는 측방향 확장부(135) 바로 아래의 제어 게이트 전극(140) 상으로 더 신장될 수도 있다.

[0035] 제 1 및 제 2 전하 저장층(125a, 125b)들은 반도체 기둥(130)과 제어 게이트 전극(140)들 사이의 적층 구조로 구성되는 메모리 셀들(도 4의 T_{MC} 참조)의 데이터 저장층으로 이용될 수 있다. 예를 들어, 제 1 및 제 2 전하 저장층(125a, 125b)들은 반도체 기둥(130) 및 제어 게이트 전극(140)들 사이에 터널링 절연층(124a)/전하 트랩층(123a)/블로킹 절연층(122a)의 적층 구조를 포함할 수 있다. 전하 트랩층은 전하 저장 능력을 갖고, 터널링 절연층은 전하의 터널링 통로로 이용되고, 블로킹 절연층은 전하의 역터널링을 억제하는 역할을 할 수 있다.

[0036] 예를 들어, 전하 트랩 층은 실리콘 질화 층이거나 또는 양자 도트(quantum dots) 또는 나노입자들(nano-particles)을 포함하는 절연 층을 포함할 수 있다. 양자 도트 또는 나노입자들은 도전체, 예컨대 금속 또는 반도체의 미세 입자들로 구성될 수 있다. 터널링 절연 층들 및 블로킹 절연 층은 적절한 여하의 절연 막, 예컨대 산화 막, 질화 막 또는 고유전율 막을 포함할 수 있다. 고유전율 막은 산화 막 및 질화 막보다 높은 유전 상수를 갖는 유전 막을 지칭할 수 있다.

[0037] 스트링 선택 라인(145)들은 비트 라인(155)들과 최상부의 제어 게이트 전극(140)의 사이에 반도체 기둥(130)을 둘러싸도록 배치될 수 있다. 제 2 전하 저장층(125b)은 스트링 선택 라인(145)들 및 제 2 반도체 기둥(130b) 사이로 더 신장되어 배치되어 게이트 절연 층의 역할을 할 수 있다. 이 실시예의 변형된 예에서, 스트링 선택 라인(145)들 및 제 2 반도체 기둥(130b) 사이에 제 2 전하 저장층(125b) 대신에 단층의 게이트 절연층(미도시)이 개재될 수도 있다.

[0038] 스트링 선택 라인(145)들은 비트 라인(155)들과 수직하게 신장될 수 있고, 라인 패턴으로 제공될 수 있다. 이에

Micron Ex. 1023, p. 35
Micron v. YMTC
IPR2025-00244

따라, 동일 행에 배치된 반도체 기둥(130)들은 동일한 스트링 선택 라인(145)에 의해서 각각 둘러싸일 수 있다. 한편, 스트링 선택 라인(145)들 양측의 반도체 기둥(130) 부분에는 소오스/드레인 영역이 형성될 수 있다.

[0039] 반도체 기둥(130)과 스트링 선택 라인(145)들 사이의 적층 구조는 스트링 선택 트랜지스터(도 4의 T_{SS})들을 구성할 수 있다. 이 실시예에서, 스트링 선택 라인(145)들은 스트링 선택 트랜지스터(도 4의 T_{SS})들의 게이트 전극들의 역할을 할 수 있다. 이 실시예의 변형된 예에서, 스트링 선택 게이트 전극들이 반도체 기둥(130)을 둘러싸도록 제공되고, 스트링 선택 라인들은 게이트 전극들에 연결되도록 부가적으로 제공될 수도 있다.

[0040] 도 3은 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자를 보여주는 단면도이다. 이 실시예에 따른 비휘발성 메모리 소자는 도 1 및 도 2의 비휘발성 메모리 소자를 참조할 수 있고, 따라서 두 실시예들에서 중복된 설명은 생략된다.

[0041] 도 3을 참조하면, 기판(105)과 최하단 제어 게이트 전극(140) 사이에 접지 선택 라인(147)이 더 배치될 수 있다. 접지 선택 라인(147)은 기판(105) 상에 반도체 기둥(130)을 둘러싸도록 배치될 수 있다. 제 1 전하 저장층(125a)은 접지 선택 라인(147) 및 제 1 반도체 기둥(130a) 사이로 더 신장되어 배치되어 게이트 절연 층의 역할을 할 수 있다.

[0042] 이 실시예의 변형된 예에서, 접지 선택 라인(147) 및 제 1 반도체 기둥(130a) 사이에 제 1 전하 저장층(125a) 대신에 단층의 게이트 절연층(미도시)이 개재될 수도 있다. 예를 들어, 접지 선택 라인(147)은 비트 라인(155)들과 수직하게 신장될 수 있고, 라인 패턴으로 제공될 수 있다. 다른 예로, 접지 선택 라인(147)은 하나의 판 형태로 제공될 수도 있다.

[0043] 반도체 기둥(130)과 접지 선택 라인(147) 사이의 적층 구조는 접지 선택 트랜지스터(도 4의 T_{GS})를 구성할 수 있다. 이 실시예에서, 접지 선택 라인(147)은 접지 선택 트랜지스터(도 4의 T_{GS})의 게이트 전극의 역할을 할 수 있다. 이 실시예의 변형된 예에서, 접지 선택 게이트 전극이 반도체 기둥(130)을 둘러싸도록 제공되고, 접지 선택 라인은 접지 선택 게이트 전극에 연결되도록 부가적으로 제공될 수도 있다.

[0044] 제 1 측방향 확장부(135a)는 제 1 반도체 기둥(130a) 상에 제공되고, 제 2 측방향 확장부(135b)는 제 2 반도체 기둥(130b) 상에 제공될 수 있다. 예를 들어, 제 1 측방향 확장부(135a)는 제 1 반도체 기둥(130a)의 상면을 덮도록 제공되고, 제 2 측방향 확장부(135b)는 제 2 반도체 기둥(130b)의 상면을 덮도록 제공될 수 있다.

[0045] 제 3 반도체 기둥(130c)은 제 2 측방향 확장부(135b) 상에 제공될 수 있다. 제 1 및 제 2 측방향 확장부(135a, 135b)들의 기판(105)과 평행한 방향의 단면적은 제 1 내지 제 3 반도체 기둥(130a, 130b, 130c)들의 기판(105)과 평행한 방향의 단면적보다 클 수 있다. 비트 라인(155)들은 반도체 기둥(130)의 상면, 즉 제 3 반도체 기둥(130c)의 상면 상에 연결될 수 있다.

[0046] 제어 게이트 전극(140)들은 제 1 내지 제 3 반도체 기둥(130a, 130b, 130c)들을 둘러싸도록 제공될 수 있다. 제 1 내지 제 3 전하 저장층(125a, 125b, 125c)들은 제 1 내지 제 3 반도체 기둥(130a, 130b, 130c)들 및 제어 게이트 전극(140)들 사이에 각각 배치될 수 있다. 선택적으로, 제 1 전하 저장층(125a)은 제 1 측방향 확장부(135a) 바로 아래의 제어 게이트 전극(140) 상으로 더 신장될 수 있고, 제 2 전하 저장층(125b)은 제 2 측방향 확장부(135b) 바로 아래의 제어 게이트 전극(140) 상으로 더 신장될 수 있다.

[0047] 제 1 및 제 2 측방향 확장부(135a, 135b)들 사이의 제어 게이트 전극(140)들의 수는 적절하게 선택될 수 있다. 도 3에는 예시적으로, 제 1 측방향 확장부(135a) 아래에는 2개의 제어 게이트 전극(140)들이 배치되고, 제 1 및 제 2 측방향 확장부(135a, 135b)들 사이에는 3개의 제어 게이트 전극(140)들이 배치되고, 제 2 측방향 확장부(135b) 위에는 3개의 제어 게이트 전극(140)들이 배치된 구조가 도시되어 있다.

[0048] 본 발명의 또 다른 실시예에서, 측방향 확장부들은 하나 또는 복수개로 제공되고, 제어 게이트 전극들은 측방향 확장부들에 의해서 다수의 군으로 그룹화 될 수 있다. 예를 들어, 각 군의 제어 게이트 전극들은 2 내지 6개 일 수 있으나, 이 실시예가 이에 제한되는 것은 아니다. 제어 게이트 전극들을 다수의 군으로 그룹화하는 것은 후술하는 바와 같이, 수직 적층 구조의 메모리 셀 어레이의 제조 신뢰성을 높일 수 있다.

[0049] 도 4는 본 발명의 실시예들에 따른 비휘발성 메모리 소자들의 일부분에 대한 등가 회로도이다. 이 회로도에서, 비트 라인 및 낸드 스트링들의 수는 예시적으로 도시되었다.

[0050] 도 4를 참조하면, 수직 구조의 메모리 셀 어레이는 기판(도 1 내지 도 3의 105) 상에 수직 구조로 배치된 낸드 스트링들(NS1, NS2)을 포함할 수 있다. 낸드 스트링들(NS1, NS2) 각각은 기판(105) 상에 수직으로 직렬 연결된

Micron Ex. 1023, p. 36
Micron v. YMTC
IPR2025-00244

복수의 메모리 셀들(T_{MC})을 포함할 수 있다. 낸드 스트링들(NS1, NS2)의 일단은 비트 라인(BL)에 연결되고, 타단은 공통 소오스 라인(CSL)에 연결된다.

[0051] 비트 라인(BL)과 메모리 셀들(T_{MC}) 사이에는 스트링 선택 트랜지스터들(T_{SS})이 배치되고, 공통 소오스 라인(CSL)과 메모리 셀들(T_{MC}) 사이에는 접지 선택 트랜지스터들(T_{GS})이 배치될 수 있다. 선택적으로, 도 1 및 도 2의 비휘발성 메모리 소자의 경우, 접지 선택 트랜지스터들(T_{GS})이 생략될 수 있다.

[0052] 워드 라인들(WL01 ~ WLn)은 복층으로 배치되고, 해당 층의 메모리 셀들(T_{MC})에 공유로 결합될 수 있다. 워드 라인들(WL01 ~ WLn)은 적절하게 선택될 수 있고, 이 실시예의 범위를 제한하지 않는다. 워드 라인들(WL01 ~ WLn)은 메모리 셀들(T_{MC})의 제어 게이트 전극들(도 1 내지 도 3의 140 참조)을 제어하여, 메모리 셀들(T_{MC})의 프로그램, 소거 및 판독 동작을 제어할 수 있다. 예를 들어, 워드 라인들(WL01 ~ WLn) 중 하나를 선택하여 프로그램 전압을 인가함으로써 프로그램 동작을 수행할 수 있고, 아울러 판독 전압을 인가함으로써 프로그램 상태를 판독할 수도 있다.

[0053] 접지 선택 라인(GSL)은 접지 선택 트랜지스터(T_{GS})에 공유로 결합될 수 있다. 도 1 및 도 2의 비휘발성 메모리 소자의 경우, 접지 선택 라인(GSL)이 생략될 수 있다. 접지 선택 라인(GSL)은 낸드 스트링들(NS1, NS2)에 공유로 결합되어 있기 때문에, 공통 소오스 라인(CSL)의 신호, 예컨대 접지 전압은 낸드 스트링들(NS1, NS2)에 동시에 인가될 수 있다. 메모리 셀들(T_{MC})의 프로그램 및 판독 동작 시 접지 선택 라인(GSL)에는 접지 선택 트랜지스터들(T_{GS})을 켜기 위한 턴-온(turn-on) 전압이 인가되고, 프로그램 방지 동작 시에는 접지 선택 트랜지스터들(T_{GS})을 끄기 위한 턴-오프(turn-off) 전압이 인가될 수 있다.

[0054] 스트링 선택 라인들(SSL1, SSL2)은 스트링 선택 트랜지스터들(T_{SS})에 각각 결합될 수 있다. 비트 라인(BL)을 공유하는 낸드 스트링들(NS1, NS2)의 신호를 분리하기 위하여, 스트링 선택 라인들(SSL1, SSL2)은 스트링 선택 트랜지스터들(T_{SS})에 각각 결합될 수 있다. 다만, 도 1의 경우와 같이 낸드 스트링들(NS1, NS2)이 어레이로 배치된 경우, 스트링 선택 라인들(SSL1, SSL2)은 동일 행에 배치된 스트링 선택 트랜지스터들(T_{SS})에 공유로 결합될 수 있다.

[0055] 예를 들어, 낸드 스트링(NS1)을 선택하기 위해서, 스트링 선택 라인(SSL1)에는 스트링 선택 트랜지스터들(T_{SS})을 켜기 위한 턴-온 전압을 인가하고 스트링 선택 라인(SSL2)에는 이들을 끄기 위한 턴-오프 전압을 인가할 수 있다. 이에 따라, 비트 라인(BL)의 신호가 선택적으로 낸드 스트링(NS1) 내의 메모리 셀들(T_{MC})에 인가되도록 할 수 있다. 유사하게, 낸드 스트링(NS2)을 선택하기 위해서, 스트링 선택 라인(SSL2)에는 스트링 선택 트랜지스터들(T_{SS})을 켜기 위한 턴-온 전압을 인가하고 스트링 선택 라인(SSL1)에는 스트링 선택 트랜지스터들(T_{SS})을 끄기 위한 턴-오프 전압을 인가할 수 있다. 이에 따라, 비트 라인(BL)의 신호가 선택적으로 낸드 스트링(NS2) 내의 메모리 셀들(T_{MC})에 인가되도록 할 수 있다.

[0056] 도 5 내지 도 11은 본 발명의 실시예들에 따른 비휘발성 메모리 소자의 제조방법을 보여주는 단면도들이다.

[0057] 도 5를 참조하면, 제 1 도전형과 반대되는 제 2 도전형의 불순물이 도핑된 LDD 영역(170) 및 LDD 영역(170)의 일부를 둘러싸며 제 2 도전형의 불순물이 도핑된 소오스 영역(180)을 구비하되, LDD 영역(170)에서의 상기 제 2 도전형의 불순물의 농도는 소오스 영역(180)에서의 상기 제 2 도전형의 불순물의 농도보다 더 낮은, 기판(105)을 준비한다.

[0058] 기판(105) 상에 제 1 도전층(115a)들을 적층할 수 있다. 예를 들어, 기판(105) 상에 제 1 절연 층(110a)을 형성하고, 제 1 절연 층(110a) 상에 제 1 도전층(115a)을 형성하는 단계를 반복하여, 제 1 절연 층(110a)/제 1 도전층(115a)의 반복 적층 구조를 형성할 수 있다.

[0059] 예를 들어, 제 1 절연 층(110a)은 여하의 절연물, 예컨대 산화물을 적절한 증착법으로 형성할 수 있다. 제 1 도전층(115a)은 적절한 도전물, 예컨대 폴리실리콘을 절적한 증착법으로 형성할 수 있다. 예를 들어, 제 1 도전층(115a)은 화학기상증착(chemical vapor deposition; CVD)법을 이용하여 폴리실리콘 층으로 형성하고, 그 증착과 동시에 불순물을 도핑하여 형성할 수 있다. 혹은 증착이 완료된 이후에 불순물을 도핑하여 형성할 수 있다.

[0060] 이어서, 제 1 절연층(110a)들 및 제 1 도전층(115a)들을 관통하는 제 1 관통홀(120a)들을 형성할 수 있다. 제 1

Micron Ex. 1023, p. 37
Micron v. YMTC
IPR2025-00244

관통홀(120a)들은 소오스 영역(180)은 노출되지 않으면서 LDD 영역(170)은 노출되도록 형성될 수 있다.

[0061] 본 발명의 변형된 실시예에서는, 소오스 영역(180)을 구비하는 기판(105) 상에 적층된 제 1 절연층(110a)들 및 제 1 도전층(115a)들을 관통하는 제 1 관통홀(120a)들을 형성하고, 이어서, 제 1 관통홀(120a)에 의하여 노출된 기판(105)에 LDD 영역(170)을 형성할 수도 있다. 이 경우, LDD 영역(170)과 제 1 반도체 기둥들(130a)이 오정렬되어 제 1 반도체 기둥들(130a)과 소오스 영역(180)이 직접 접하는 구성을 효과적으로 방지할 수 있다.

[0062] 제 1 관통홀(120a)들의 수는 적절하게 선택될 수 있고, 이 실시예의 범위를 제한하지 않는다. 예를 들어, 포토리소그래피 기술을 이용하여 포토레지스트 마스크(미도시)를 형성하고, 이 마스크를 보호막으로 하여 제 1 절연층(110a) 및 제 1 도전층(115a)들을 식각함으로써 제 1 관통홀(120a)들을 형성할 수 있다.

[0063] 도 6a를 참조하면, 제 1 관통홀(120a)들의 측벽 상에 제 1 전하 저장층들(125a)을 형성할 수 있다. 도 6a 내지 도 8에 도시된 제 1 관통홀(120a)들의 내부 표면 및 주변부의 표면을 포함하는 영역은 도 5의 A 영역을 확대한 부분에 대응된다.

[0064] 나아가, 제 1 전하 저장층들(125a)은 제 1 관통홀(120a)들의 바닥면 상과 최상부의 제 1 도전층(115a) 상으로 더 신장될 수 있다. 예를 들어, 블로킹 절연층(122a)/전하 트랩층(123a)/터널링 절연층(124a)의 적층 구조를 포함하는 제 1 전하 저장층들(125a)이 제 1 관통홀(120a)들이 형성된 결과물 상에 형성될 수 있다. 제 1 관통홀(120a)들이 형성된 결과물은 제 1 관통홀(120a)들의 내부(측벽 및 바닥면) 표면과 제 1 관통홀(120a)들의 주변부의 표면을 포함할 수 있다. 블로킹 절연층(122a)/전하 트랩층(123a)/터널링 절연층(124a)은 각각, 예를 들어, 제 1 산화물 층, 질화물 층 및 제 2 산화물 층을 포함할 수 있다.

[0065] 도 6b를 참조하면, 제 1 전하 저장층들(125a)이 제 1 관통홀(120a)들의 측벽에만 형성될 수 있도록 후속 공정이 진행될 수 있다. 예를 들어, 제 1 관통홀(120a)들의 내부(측벽 및 바닥면) 표면과 제 1 관통홀(120a)들의 주변부의 표면 상에 형성된 제 1 전하 저장층들(125a)을 비등방성 식각하여 제 1 관통홀(120a)들의 측벽에만 제 1 전하 저장층들(125a)을 형성할 수 있다. 즉, 제 1 전하 저장층들(125a)을 비등방성 식각하면, 제 1 관통홀(120a)들의 바닥면 표면과 제 1 관통홀(120a)들의 주변부의 표면 상에 형성된 제 1 전하 저장층들(125a)은 제거될 수 있다. 이 경우 비등방성 식각 과정에서 제 1 관통홀(120a)들의 측벽 상에 위치하는 제 2 산화물층을 포함하는 터널링 절연층(124a)은 식각 손상을 받게 되는데 소자특성의 변동과 신뢰성을 열화시키는 직접적인 요인이 될 수 있다.

[0066] 이러한 문제점을 방지하기 위하여 블로킹 절연층(122a)/전하 트랩층(123a)/터널링 절연층(124a) 상에 보호층(126a)을 형성할 수 있다. 보호층(126a)은 제 1 전하 저장층들(125a)을 비등방성 식각하는 과정에서 제 1 관통홀(120a)들의 측벽 상에 배치된 제 1 전하 저장층들(125a), 특히, 터널링 절연층(124a)의 식각 손상을 방지하기 위한 식각 보호패턴의 역할을 한다. 보호층(126a)은, 예를 들어, 비정질 실리콘, 다결정 실리콘, 식각속도가 빠른 산화물 또는 질화물을 포함하는 박막일 수 있다.

[0067] 도 8을 참조하면, 제 1 전하 저장층들(125a)을 비등방성 식각한 후에 잔존하는 보호층(126a)을 제거한다. 예를 들어, 보호층(126a)이 질화물을 포함하는 경우 비등방성 건식식각 또는 인산용액을 사용하는 습식식각으로 보호층(126a)을 제거할 수 있다. 또한, 보호층(126a)이 비정질 실리콘 또는 다결정 실리콘을 포함하는 경우 비등방성 건식식각으로 보호층(126a)을 제거할 수 있다.

[0068] 한편, 선택적으로, 제 1 절연층(110a)들 및 제 1 도전층(115a)들의 적층 구조의 최상부 층은 제 1 절연 층(110a)일 수 있고, 이 경우 제 1 전하 저장층들(125a)은 증착 및 건식 식각 기술을 이용하여 제 1 관통홀(120a)들 내에 스페이서 형태로 배치되어 제 1 절연 층(110a) 및 제 1 도전층(115a) 상으로 신장되지 않을 수 있다.

[0069] 본 발명의 변형된 실시예에서는, 제 1 관통홀(120a)들의 측벽 상에 제 1 전하 저장층들(125a)을 형성하기 위하여, 별도의 보호층(126a)을 형성하지 않고, 터널링 절연층(124a)을 더 두껍게 증착한 후에, 비등방성 식각에서 터널링 절연층(124a)이 보호층의 역할도 할 수 있다. 도 7a 내지 도 7b에 도시된 제 1 관통홀(120a)들의 내부 표면 및 주변부의 표면을 포함하는 영역은 도 5의 A 영역을 확대한 부분에 대응된다.

[0070] 도 7a를 참조하면, 제 1 전하 저장층들(125a)은 제 1 관통홀(120a)들의 바닥면 상과 최상부의 제 1 도전층(115a) 상으로 더 신장될 수 있다. 예를 들어, 블로킹 절연층(122a)/전하 트랩층(123a)/터널링 절연층(124a)의 적층 구조를 포함하는 제 1 전하 저장층들(125a)이 제 1 관통홀(120a)들이 형성된 결과물 상에 형성될 수 있다. 제 1 관통홀(120a)들이 형성된 결과물은 제 1 관통홀(120a)들의 내부(측벽 및 바닥면) 표면과 제 1 관통홀(120a)들의 주변부의 표면을 포함할 수 있다. 블로킹 절연층(122a)/전하 트랩층(123a)/터널링 절연층(124a)은 각각, 예를 들어, 제 1 산화물 층, 질화물 층 및 제 2 산화물 층을 포함할 수 있다. 한편, 도 6a 및 도 6b와 달

Micron Ex. 1023, p. 38
Micron v. YMTC
IPR2025-00244

리, 본 발명의 변형된 실시예에서는, 보호층(126a)을 별도로 형성하지 않고, 터널링 절연층(124a)을 상대적으로 더 두껍게 형성할 수 있다.

[0071] 보호층(126a) 대신에 수직채널의 측벽에 형성되는 터널링 절연층의 막 두께를 목표로 하는 두께(도 8의 124a의 두께)보다 두껍게 증착하여 두껍게 추가 증착된 두께가 목표 두께인 안쪽을 보호토록 한다. 추가 증착한 두께는 후속의 비등방성 식각시 안쪽의 터널링 절연층의 막두께 대신에 플라즈마를 맞고 식각되거나 후속의 채널 층을 형성하기 직전에 진행하는 전세정 단계에서 쉽게 제거될 수 있다.

[0072] 도 7b를 참조하면, 제 1 전하 저장층들(125a)이 제 1 관통홀(120a)들의 측벽에만 형성될 수 있도록 후속 공정이 진행될 수 있다. 예를 들어, 제 1 관통홀(120a)들의 내부(측벽 및 바닥면) 표면과 제 1 관통홀(120a)들의 주변부의 표면 상에 형성된 제 1 전하 저장층들(125a)을 비등방성 식각하여 제 1 관통홀(120a)들의 측벽에만 제 1 전하 저장층들(125a)을 형성할 수 있다. 즉, 제 1 전하 저장층들(125a)을 비등방성 식각하면, 제 1 관통홀(120a)들의 바닥면 표면과 제 1 관통홀(120a)들의 주변부의 표면 상에 형성된 제 1 전하 저장층들(125a)은 제거될 수 있다. 이 경우 비등방성 식각 과정에서 제 1 관통홀(120a)들의 측벽 상에 위치하는 제 2 산화물층을 포함하는 터널링 절연층(124a)의 표면부는 식각 손상을 받을 수 있다. 식각 손상을 받은 터널링 절연층(124a)의 표면부는 후속의 세정단계에서 제거될 수 있다. 상기 후속의 세정단계는 제 1 반도체 기둥(130a)들을 형성하기 이전에 수행하는 전세정(precleaning) 단계이며, 사용하는 용액은 묽은 불산(HF, 50:1 이하), 묽은 BOE, 인산(H_3PO_4, 140℃ 이상), $5HNO_3$+$126NH_4F$+(60~120)H_2O, TMAH(tetramethylammonium hydroxide)를 사용할 수 있다. 따라서, 도 7a 및 도 7b를 참조하여 설명한 본 발명의 변형된 실시예에 따르면, 별도의 보호층(126a)을 형성하지 않고 도 8에 도시된 구조체를 구현할 수 있으므로, 공정을 단순화할 수 있다는 현저하게 유리한 효과를 기대할 수 있다.

[0073] 이어서, 도 9를 참조하면, 제 1 관통홀(120a)들 내의 제 1 전하 저장층들(125a) 상에 제 1 도전형의 불순물이 도핑된 제 1 반도체 기둥(130a)들을 형성할 수 있다. 제 1 반도체 기둥(130a)들은 제 1 관통홀(120a)들을 채우도록 형성될 수 있다. 제 1 반도체 기둥(130a)은 소오스 영역(180)과 접하지 않으면서 LDD 영역(170)과는 접하도록 형성될 수 있다. 즉, 제 1 반도체 기둥(130a)들은 소오스 영역(180)에 이격되어 형성될 수 있다. 이 실시예의 변형된 예에서, 제 1 반도체 기둥(130a)들은 제 1 관통홀(120a)들을 완전히 채우지 않도록 그 두께가 조절될 수도 있다. 제 1 반도체 기둥(130a)들은 메모리 셀들(도 4의 T_{MC})의 채널 층으로 이용될 수 있다.

[0074] 예를 들어, 선택적 에피택셜 성장(selective epitaxial growth; SEG)법을 이용하여, 기판(105) 상에 기둥 형상의 반도체 층을 형성하고, 이를 평탄화하여 제 1 반도체 기둥(130a)들을 형성할 수 있다. 이 경우, 기판(105)이 단결정인 경우 제 1 반도체 기둥(130a)들은 단결정 구조로 형성될 수 있다. 나아가, 제 1 반도체 기둥(130a)들 형성 시 SEG 조건은 기판(105)을 기준으로 수직 성장 조건일 수 있다. 예를 들어, 반도체 층은 실리콘, 게르마늄 또는 실리콘-게르마늄을 포함할 수 있다.

[0075] 다른 예로, 제 1 관통홀(120a)들 내에 비정질 구조의 반도체 층을 형성하고, 이를 평탄화 및 열처리하여 제 1 반도체 기둥(130a)들을 형성할 수 있다. 이 경우, 비정질 구조의 반도체 층은 제 1 관통홀(120a)들의 폭이 작기 때문에 열처리 단계에서 실질적으로 단결정 구조로 재결정될 수 있다. 또 다른 예로, 제 1 반도체 기둥(130a)들은 제 1 관통홀(120a)들 내에 다결정 구조의 반도체 층을 형성하고, 이를 평탄화하여 다결정 구조로 형성될 수도 있다.

[0076] 도 10을 참조하면, 제 1 반도체 기둥(130a)들 상에 측방향 확장층(135)을 형성할 수 있다. 예를 들어, 측방향 확장층(135)은 선택적 에피택셜 성장(SEG)법을 이용하여 제 1 반도체 기둥(130a)들로부터 단결정 구조로 형성될 수 있다. 측방향 확장층(135) 형성 시 SEG 조건은 제 1 반도체 기둥(130a) 형성 시와는 달리 기판(105)을 기준으로 수평 방향이 우선적으로 성장하는 측면 성장(lateral growth) 조건일 수 있다. 이 경우, SEG 시간을 조절함으로써, 부가적인 패터닝 공정 없이 SEG법만으로 측방향 확장층(135)을 형성할 수 있다. 하지만, 이 실시예의 변형된 예에서, SEG 성장 후 패터닝 공정이 부가될 수도 있다.

[0077] 다른 예로, 측방향 확장층(135)은 비정질 구조의 반도체 층을 증착 후 패터닝 및 열처리 공정을 통해서 형성할 수도 있다. 측방향 확장층(135)의 크기가 크지 않기 때문에, 열처리에 의해서 비정질 구조의 반도체 층은 단결정 구조로 재결정 될 수 있다. 패터닝 공정은 포토리소그래피 및 식각 기술을 이용할 수 있다. 또 다른 예로, 측방향 확장층(135)은 다결정 반도체 층을 형성하고, 이를 평탄화 및 패터닝하여 다결정 구조로 형성될 수도 있다.

[0078] 도 11을 참조하면, 측방향 확장층(135)이 형성된 결과물 상에 제 2 절연층(110b)들 및 제 2 도전층(115b)들의

Micron Ex. 1023, p. 39
Micron v. YMTC
IPR2025-00244

적층 구조를 형성할 수 있다. 이러한 적층 구조에 대한 설명은 도 5의 제 1 절연층(110a)들 및 제 1 도전층(115a)들의 적층 구조에 대한 설명을 참조할 수 있다.

[0079] 도 12를 참조하면, 제 2 절연층(110b)들 및 제 2 도전층(115b)들을 관통하는 제 2 관통홀(120b)들을 형성할 수 있다. 제 2 관통홀(120b)들은 측방향 확장층(135)의 상면 일부 또는 전체를 노출할 수 있다. 제 2 관통홀(120b)들은 제 1 관통홀(도 5의 120a)들과 마찬가지로, 포토리소그래피 및 식각 기술을 이용하여 형성할 수 있다.

[0080] 포토리소그래피 단계에서, 제 2 관통홀(120b)들은 측방향 확장층(135)들에 정렬되도록 형성될 수 있다. 측방향 확장층(135)들은 제 1 반도체 기둥(130a)들보다 넓은 단면적을 갖기 때문에, 제 2 관통홀(120b)들을 측방향 확장층(135)들에 정렬하는 것이 제 1 반도체 기둥(130a)들에 정렬하는 것보다 유리하다. 이에 따라, 측방향 확장층(135)들을 배치함으로써 제 2 관통홀(120b)들의 정렬 마진이 향상될 수 있다.

[0081] 도 13을 참조하면, 제 2 관통홀(120b)들 내에 제 2 전하 저장층(125b)들 및 제 2 반도체 기둥(130b)을 순차로 형성할 수 있다. 제 2 전하 저장층(125b)들 및 제 2 반도체 기둥(130b)의 형성방법은 도 6a의 제 1 전하 저장층(125a) 및 제 1 반도체 기둥(130a)의 설명을 참조할 수 있다.

[0082] 도 14를 참조하면, 제 1 및 제 2 도전층(115a, 115b)들을 패터닝하여, 제어 게이트 전극(140)들 및 스트링 선택 라인(145)들을 형성할 수 있다. 제어 게이트 전극(140)들은 계단식으로 패터닝 될 수 있다. 이 후 제 3 절연 층(미도시)을 채워 절연 층(110)을 형성하고, 이를 관통하는 비어 홀들(미도시)을 형성하고, 이 비어 홀들 내에 비어 플러그(150)들을 형성할 수 있다.

[0083] 이어서, 반도체 기둥(130) 상에 비트 라인(155)들을 형성하고, 비어 플러그(150)들 상에 워드 라인(160)들을 형성할 수 있다. 비트 라인(155)들 및 워드 라인(160)들은 동일 평면 상에 배치되거나 또는 서로 다른 평면 상에 배치될 수도 있다.

[0084] 이 실시예에 따른 제조 방법에 따르면, 반도체 기둥(130)을 한번에 형성하지 않고 제 1 반도체 기둥(130a), 측방향 확장층(135) 및 제 2 반도체 기둥(130b)으로 분할하여 형성할 수 있다. 반도체 기둥(130)을 한번에 형성하는 경우, 관통홀의 애스펙트 비가 커져 관통홀을 형성하기도 어렵고, 이러한 관통홀 내에 반도체 물질을 채우기도 어려워진다. 이와 같은 어려움은 반도체 기둥(130)의 높이를 제한하게 되고, 이는 수직 낸드 스트링들(도 4의 NS1, NS2) 내 메모리 셀들(T_{MC})의 수를 제한하게 된다.

[0085] 하지만, 반도체 기둥(130)을 분할하여 제 1 반도체 기둥(130a) 및 제 2 반도체 기둥(130b)으로 분할함으로써, 제 1 관통홀(120a) 및 제 2 관통홀(120b)의 애스펙트비를 크게 낮출 수 있다. 이에 따라, 제 1 및 제 2 관통홀(120a, 120b)들의 형성뿐만 아니라, 이를 채우는 제 1 및 제 2 반도체 기둥(130a, 130b)들의 형성도 용이해진다.

[0086] 아울러, 제 1 반도체 기둥(130a) 및 제 2 반도체 기둥(130b) 사이에 측방향 확장부(135)를 배치함으로써, 제 2 관통홀(120b)들 형성 시 정렬 마진을 높임으로써 제 1 반도체 기둥(130a)과 제 2 반도체 기둥(130b)의 연결 신뢰성을 높일 수 있다. 이러한 점에서, 측방향 확장부(135)의 수는 제 1 및 제 2 관통홀(120a, 120b)들의 애스펙트비를 고려하여 적절하게 선택될 수 있다. 예를 들어, 복수의 측방향 확장부(135)들이 2 내지 6 개의 제어 게이트 전극(140)들 사이에 제공될 수 있다.

[0087] 이에 따라, 이 실시예에 따른 제조 방법을 이용하면, 수직 구조의 반도체 기둥(130)의 길이를 늘릴 수 있고, 이에 따라 제어 게이트 전극(140)들의 적층 수를 늘릴 수 있다. 그 결과, 각 낸드 스트링 내에 적층되는 메모리 셀들의 수가 증가되어, 비휘발성 메모리 소자의 용량이 증대될 수 있다.

[0088] 전술한 제조 방법을 참조하여, 도 3의 비휘발성 메모리 소자도 제조될 수 있다. 예를 들어, 도 13의 결과물 상에 도 11 내지 도 13의 단계를 반복하고, 이어서 도 14의 단계를 진행함으로써 도 3의 비휘발성 메모리 소자를 제조할 수 있다.

[0089] 나아가, 도 11 내지 도 13의 단계를 적절한 회수만큼 반복함으로써, 4개 이상의 측방향 확장부를 갖는 비휘발성 메모리 소자도 제조할 수 있다.

[0090] 도 15는 본 발명의 일 실시예에 따른 메모리 칩(300)을 보여주는 개략적인 블록도이다.

[0091] 도 15를 참조하면, 메모리 셀 어레이(310)는 전술한 3차원 구조의 비휘발성 메모리 소자들 가운데 적어도 하나를 포함할 수 있다. 메모리 셀 어레이(310)는 X-버퍼/로우 디코더(320) 및 Y-버퍼/칼럼 디코더(330)와 결합될 수 있다. 예를 들어, 메모리 셀 어레이(310)의 워드 라인(WL)들이 X-버퍼/로우 디코더(320)에 연결될 수 있다.

Micron Ex. 1023, p. 40
Micron v. YMTC
IPR2025-00244

메모리 셀 어레이(310)의 비트 라인(BL)들은 Y-버퍼/칼럼 디코더(330)에 연결될 수 있다. 제어 로직(340)은 X-버퍼/로우 디코더(320) 및 Y-버퍼/칼럼 디코더(330)에 결합되어, 이들을 제어할 수 있다.

[0092] 예를 들어, 어드레스 신호의 전달 과정을 보면, 제어 로직(340)은 로우 어드레스 신호를 X-버퍼/로우 디코더(320)에 전달하고, X-버퍼/로우 디코더(320)는 이러한 신호들을 디코딩하여 메모리 셀 어레이(310)에 로우 어드레스 신호를 전달할 수 있다. 또한, 제어 로직(340)은 칼럼 어드레스 신호를 Y-버퍼/칼럼 디코더(330)에 전달하고, Y-버퍼/칼럼 디코더(330)는 이 신호를 디코딩하여 비트 라인(BL)들을 통해서 메모리 셀 어레이(310)에 칼럼 어드레스 신호를 전달할 수 있다.

[0093] 지금까지 본 발명의 실시예들에 따른 3차원 구조의 비휘발성 메모리 소자, 그 제조 방법 및 메모리 칩에 대하여 상술하였다.

[0094] 본 발명의 실시예들에 따른 3차원 구조의 비휘발성 메모리 소자에 따르면, 적어도 하나의 낸드 스트링이 기판 상에 제조된다. 상기 적어도 하나의 낸드 스트링은 상기 기판 상에 고농도의 소오스와 LDD(Lightly Doped Drain) 영역 형성, 수직으로 상향 신장된 적어도 하나의 에피 반도체 기둥 및 상기 적어도 하나의 에피 반도체 기둥의 수직방향을 따라 전하 저장 층이 반도체 기둥을 감싸는 복수의 메모리 셀들의 절연 층들(산화 막/질화 막/산화 막)을 포함한다. 상기 기판 상에 형성된 고농도의 소오스 영역은 에피 반도체 기둥이 수직 신장될 바닥면 위치에서 소정의 이격거리를 확보하고 수직 신장될 바닥면 위치에는 LDD 영역을 형성함으로써 고농도의 소오스 영역에서의 불순물이 수직 채널 내로 확산되는 것을 방지할 수 있다. 이에 의하여, 수직한 3차원 구조의 비휘발성 메모리 소자를 고적층으로 확대하여 고집적도, 고성능, 저전력 소모, 낮은 제조원가를 기대할 수 있다. 예를 들어, 본 발명에 따른 3차원 구조의 비휘발성 메모리 소자에서는 I_{on}/I_{off} 와 같은 소자 특성을 종래보다 500배 이상 높이고 1V 이하의 저전압 동작이 가능함을 확인하였다.

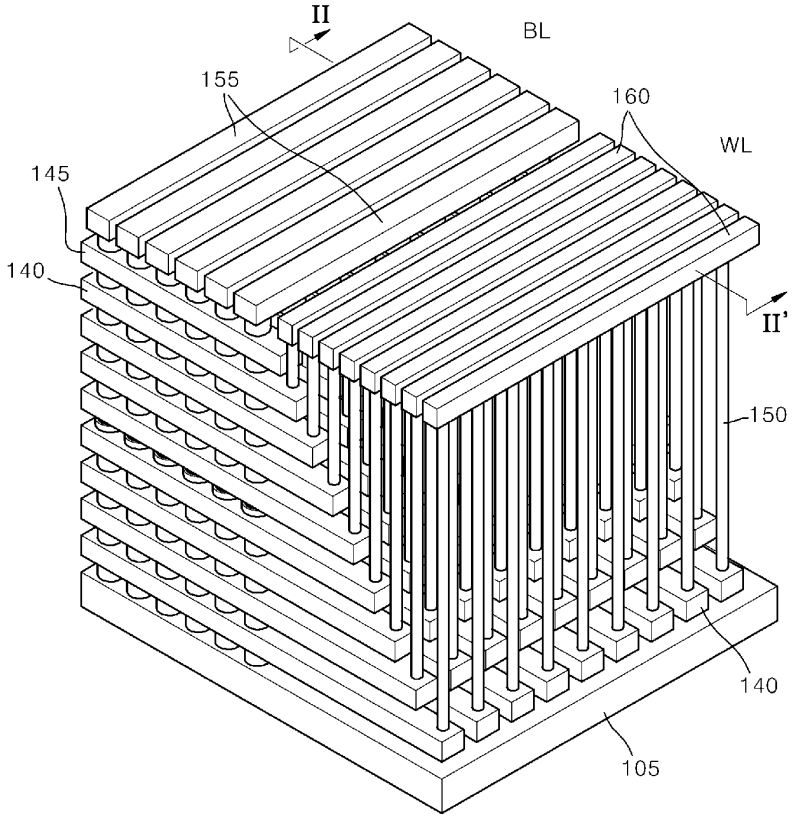
[0095] 본 발명에 따르면, 3차원 구조의 비휘발성 메모리 소자에서 실리콘 채널의 오토도핑으로 인한 소자 성능 한계를 LDD 이온주입 공정을 실리콘 기판 소오스 영역 형성에 추가하고 단결정 에피 실리콘 채널을 수직성장시킴으로써 극복하였다. 이에 의하여 최소 추가공정으로 성능 향상과 제조비용(cost/bit) 절감을 동시에 확보할 수 있으며, 또한 3차원 집적을 고층으로 확장할 때 발생하는 채널특성 열화 및 편차와 분포를 에피 단결정 채널물질을 사용하여 제조함으로써 해결하였다. 이는 종래에 고집적화에 필연적으로 따르는 기술개발의 커다란 장애물을 제거하여 기술이 지속적으로 진보할 수 있는 토대이며 혁신이다. 또한, 현재의 3차원 구조 비휘발성 메모리 소자보다 전력 소모는 낮고, 성능은 우수하며, 소자동작의 에러율이 낮는 3차원 구조의 비휘발성 메모리 소자를 제조할 수 있다.

[0096] 발명의 특정 실시예들에 대한 이상의 설명은 예시 및 설명을 목적으로 제공되었다. 따라서 본 발명은 상기 실시예들에 한정되지 않으며, 본 발명의 기술적 사상 내에서 해당 분야에서 통상의 지식을 가진 자에 의하여 상기 실시예들을 조합하여 실시하는 등 여러 가지 많은 수정 및 변경이 가능함은 명백하다.

Micron Ex. 1023, p. 41
Micron v. YMTC
IPR2025-00244

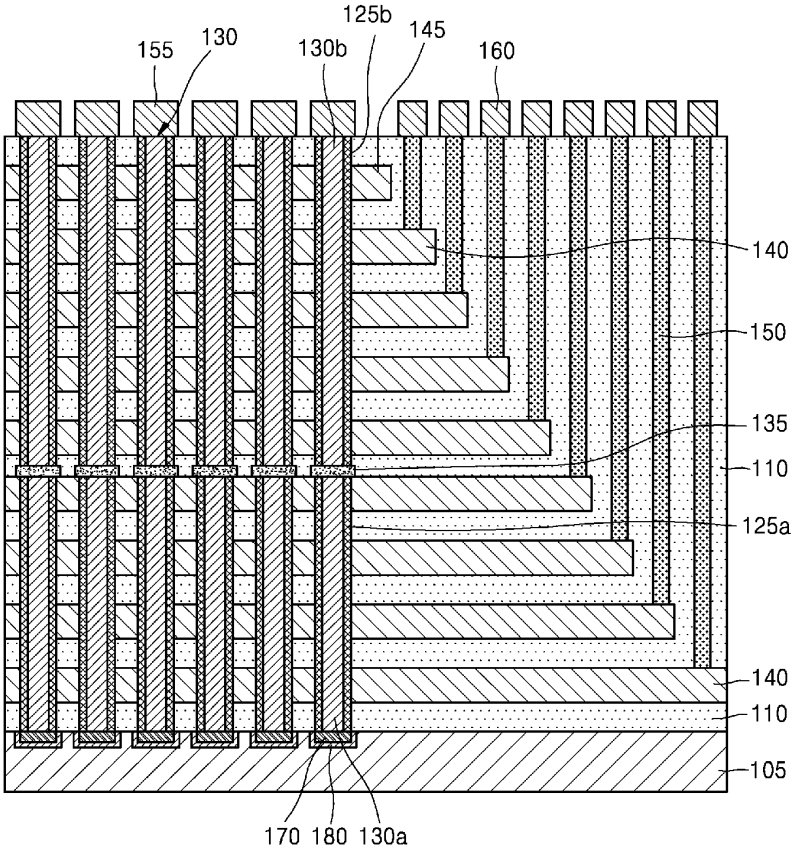
도면

도면1



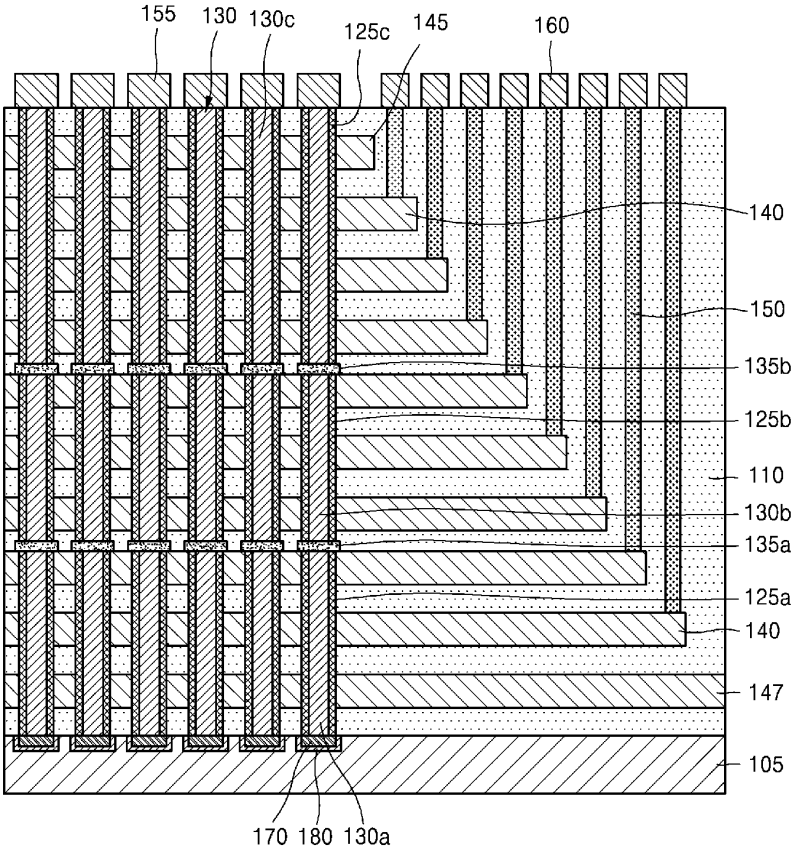
Micron Ex. 1023, p. 42
Micron v. YMTC
IPR2025-00244

도면2

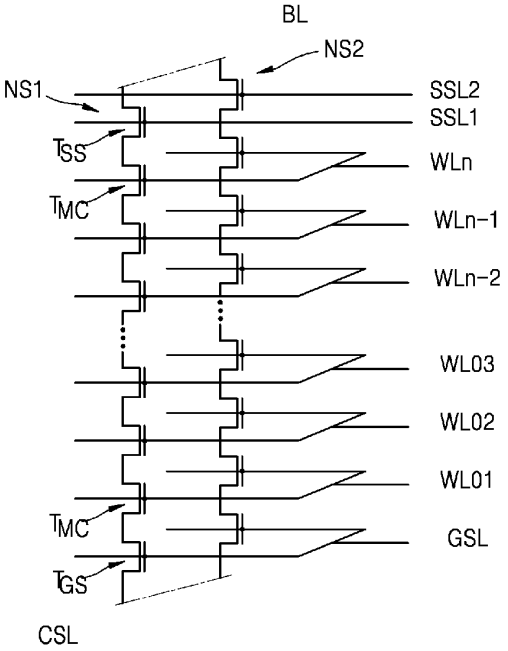


Micron Ex. 1023, p. 43
Micron v. YMTC
IPR2025-00244

도면3

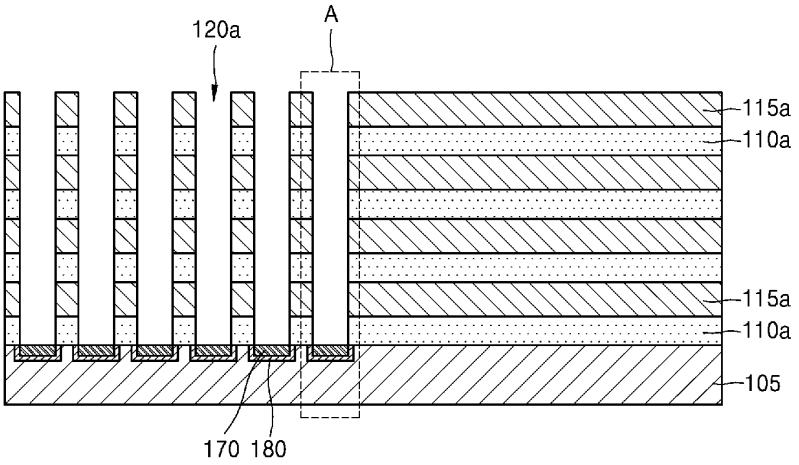


도면4

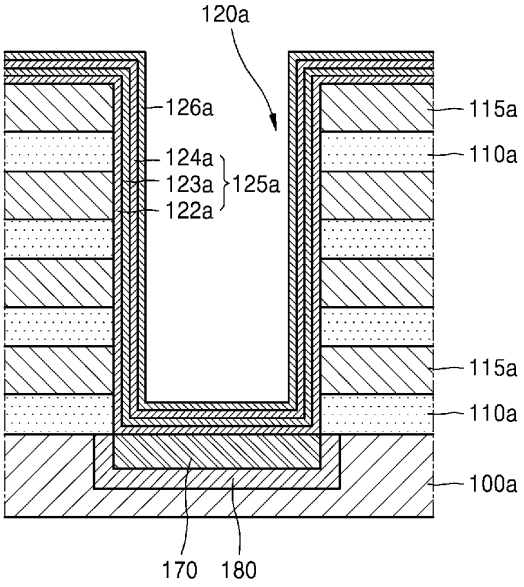


Micron Ex. 1023, p. 44
Micron v. YMTC
IPR2025-00244

도면5

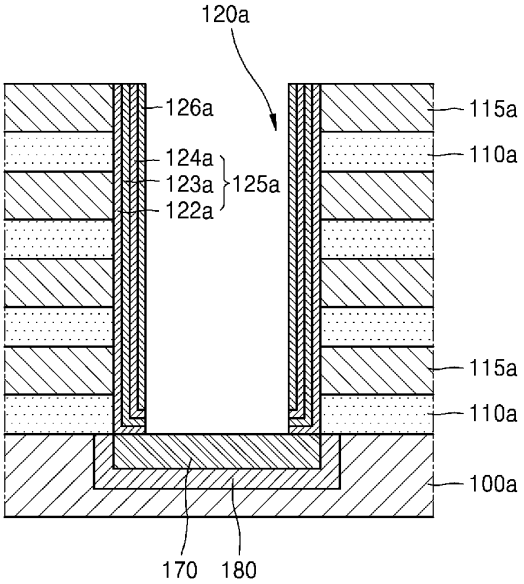


도면6a

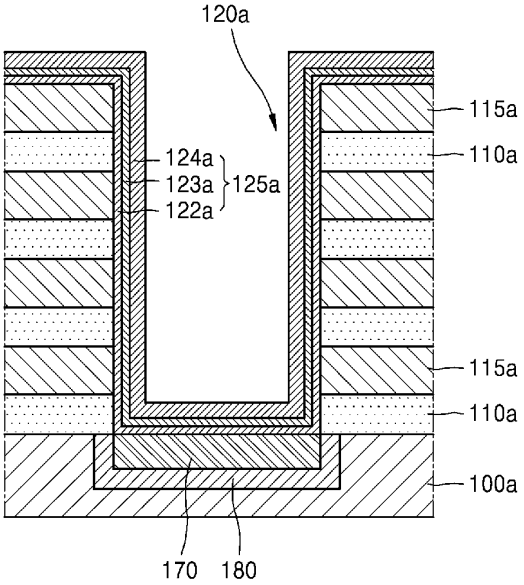


Micron Ex. 1023, p. 45
Micron v. YMTC
IPR2025-00244

도면6b

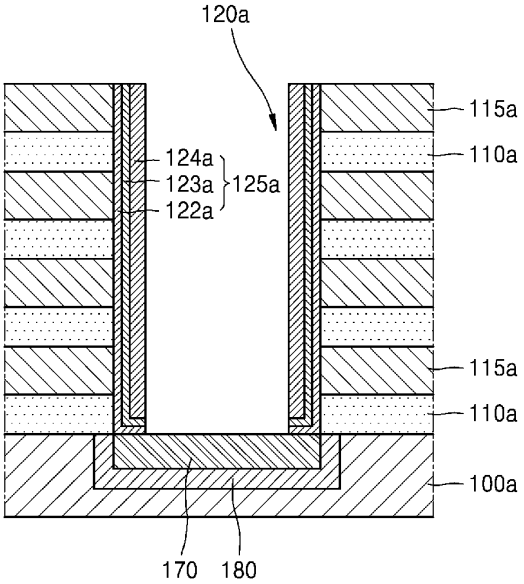


도면7a

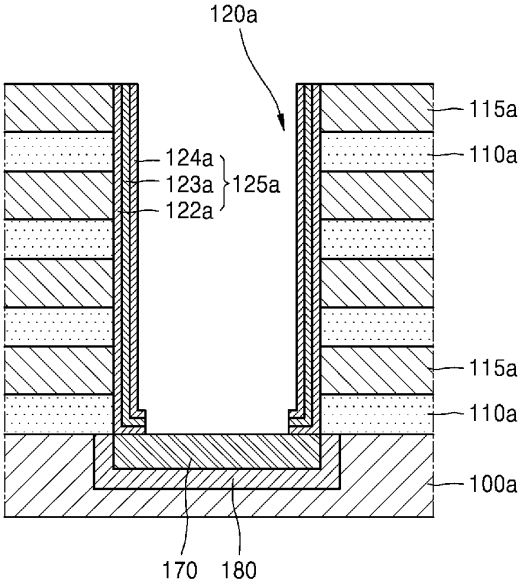


Micron Ex. 1023, p. 46
Micron v. YMTC
IPR2025-00244

도면7b

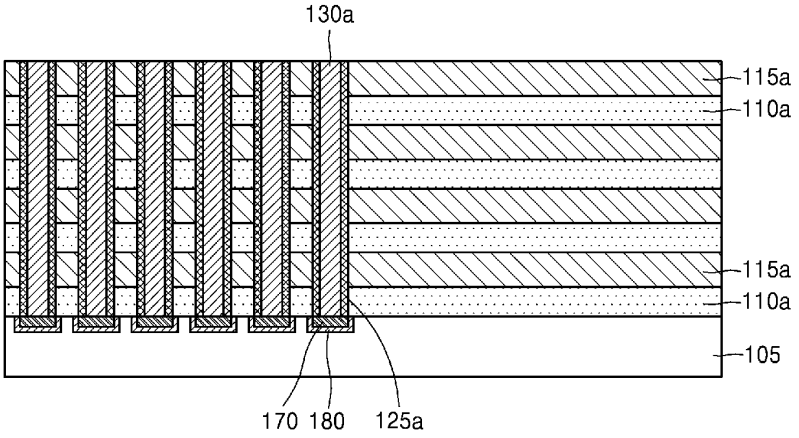


도면8

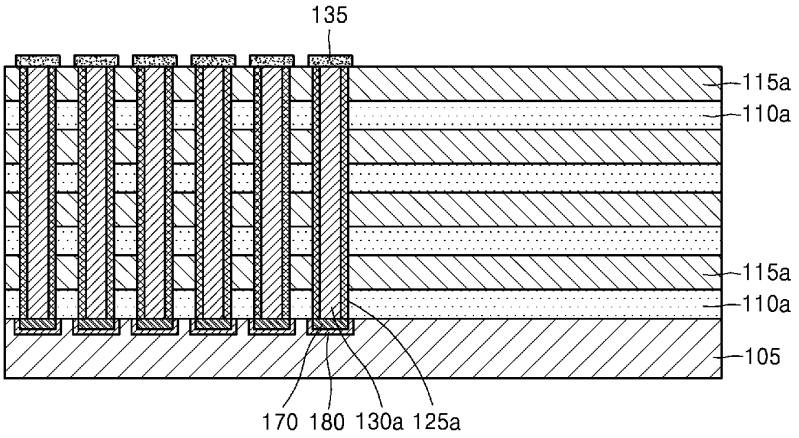


Micron Ex. 1023, p. 47
Micron v. YMTC
IPR2025-00244

도면9

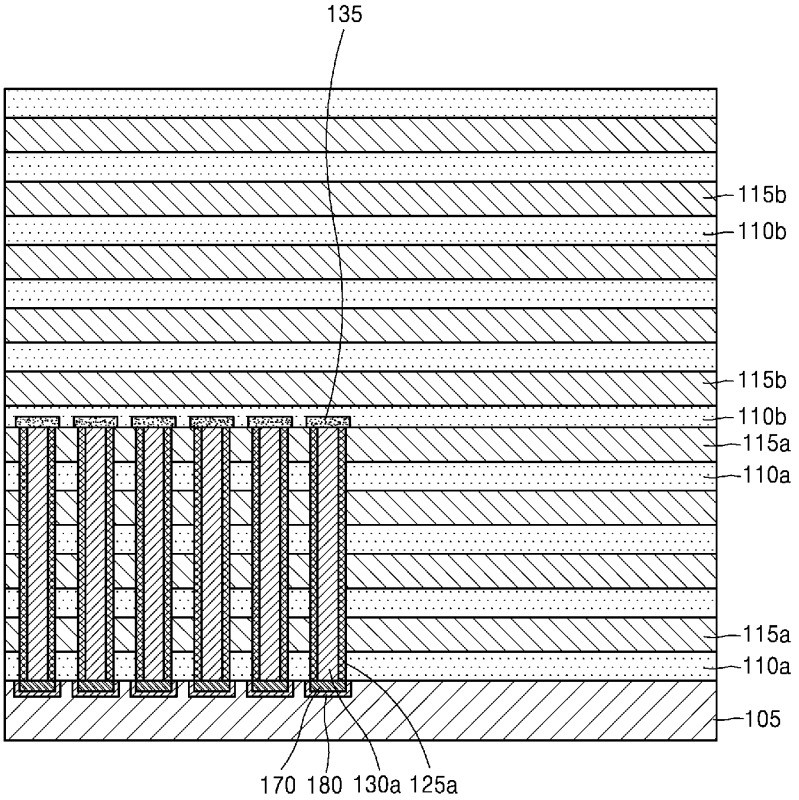


도면10



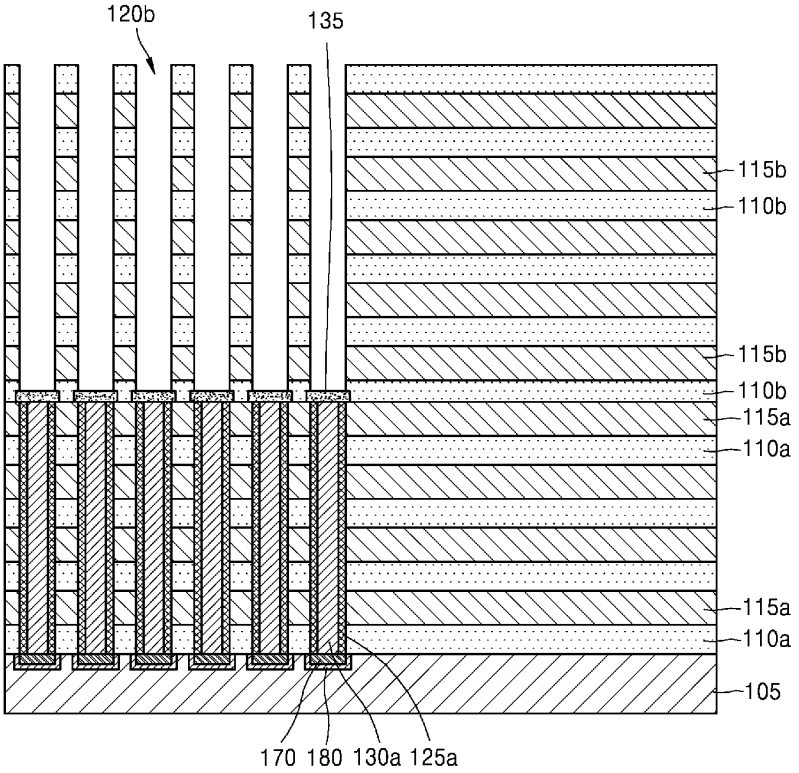
Micron Ex. 1023, p. 48
Micron v. YMTC
IPR2025-00244

도면11



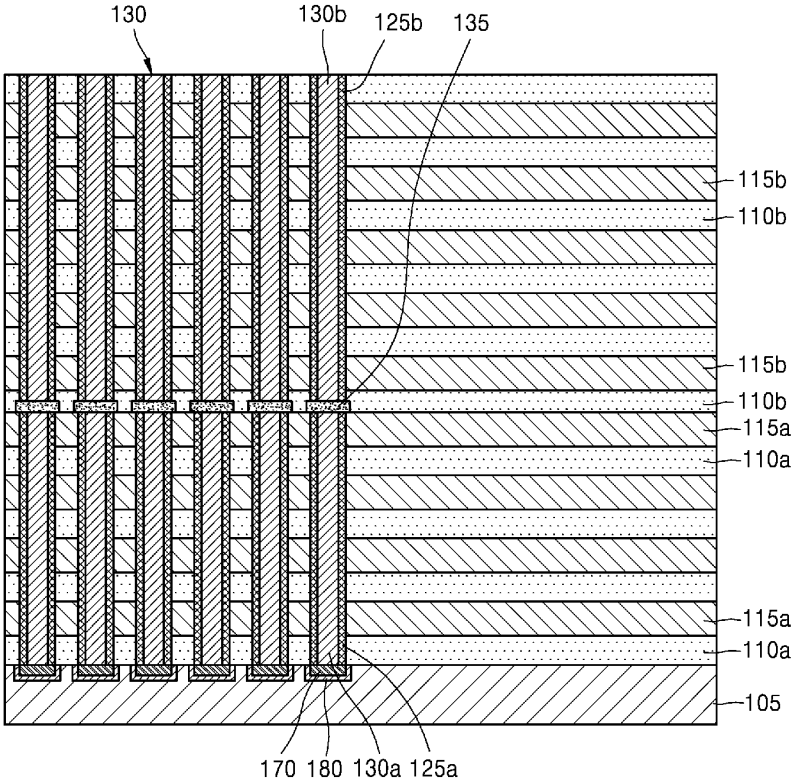
Micron Ex. 1023, p. 49
Micron v. YMTC
IPR2025-00244

도면12



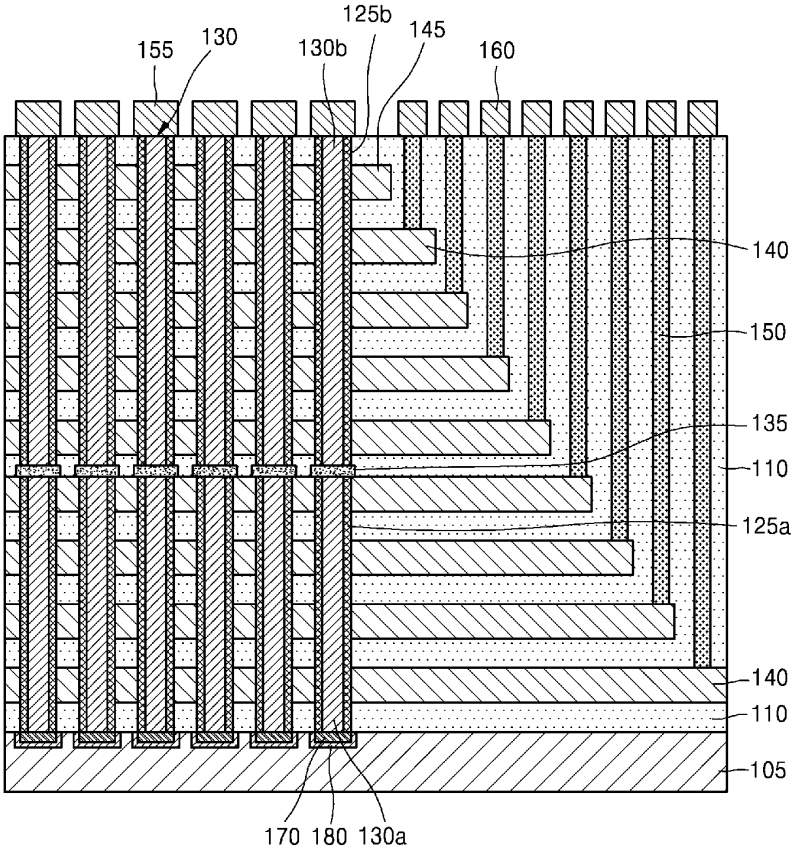
Micron Ex. 1023, p. 50
Micron v. YMTC
IPR2025-00244

도면13

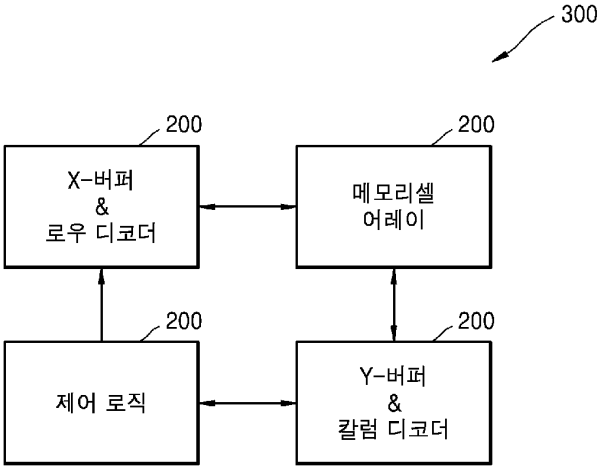


Micron Ex. 1023, p. 51
Micron v. YMTC
IPR2025-00244

도면14



도면15



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 1

Micron Ex. 1023, p. 52
Micron v. YMTC
IPR2025-00244

【변경전】

상기 적어도 하나의 낸드 스트링

【변경후】

적어도 하나의 낸드 스트링

Micron Ex. 1023, p. 53
Micron v. YMTC
IPR2025-00244