Electronic Patent Application Fee Transmittal

Application Number:	
Filing Date:	
Title of Invention:	JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME
First Named Inventor/Applicant Name:	Zhenyu LU
Filer:	Donald J. Featherstone/Edith Thompson
Attorney Docket Number:	4123.0110003

Filed as Large Entity

Filing Fees for Utility under 35 USC 111(a)

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
UTILITY APPLICATION FILING	1011	1	320	320
UTILITY SEARCH FEE	1111	1	700	700
UTILITY EXAMINATION FEE	1311	1	800	800
Pages:				
UTILITY APPL SIZE FEE PER 50 SHEETS >100	1081	1	420	420
Claims:				
Miscellaneous-Filing:				
Petition:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				
Miscellaneous:				
			Total in USD ($)	2240

Electronic Acknowledgement Receipt	
EFS ID:	41154694
Application Number:	16951141
International Application Number:	
Confirmation Number:	3874
Title of Invention:	JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME
First Named Inventor/Applicant Name:	Zhenyu LU
Customer Number:	26111
Filer:	Donald J. Featherstone/Michael Monteiro
Filer Authorized By:	Donald J. Featherstone
Attorney Docket Number:	4123.0110003
Receipt Date:	18-NOV-2020
Filing Date:	
Time Stamp:	12:21:59
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	CARD
Payment was successfully received in RAM	$2240
RAM confirmation Number	E2020AHC23003109
Deposit Account	
Authorized User	
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		2020-11-18-Continuation-Bundle-4123-0110003.pdf	12363211 92b8477b84244e882bd7fef65c3c82d50e196312	yes	220

Multipart Description/PDF files in .zip description

Document Description	Start	End
Power of Attorney	219	220
Information Disclosure Statement (IDS) Form (SB08)	216	218
Transmittal Letter	209	215
Drawings-only black and white line drawings	89	208
Abstract	88	88
Claims	82	87
Specification	21	81
Oath or Declaration filed	15	20
Application Data Sheet	6	14
Authorization for Extension of Time all replies	5	5
Transmittal of New Application	3	4
Miscellaneous Incoming Letter	1	2

Warnings:

Information:

2	Fee Worksheet (SB06)	fee-info.pdf	36774 34bfde00d34b3b941c3b65da95f896778771900c	no	2

Warnings:	
Information:	
Total Files Size (in bytes):	12399985

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

PTO/AIA/15 (10-17)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995 no persons are required to respond to a collection of information unless it displays a valid OMB control number.

UTILITY PATENT APPLICATION TRANSMITTAL

(Only for new nonprovisional applications under 37 CFR 1.53(b))

Attorney Docket No.	4123.0110003
First Named Inventor	Zhenyu LU
Title	See 1 in Addendum
Priority Mail Express® Label No.	

APPLICATION ELEMENTS

See MPEP chapter 600 concerning utility patent application contents.

1. [ ] **Fee Transmittal Form** (PTO/SB/17 or equivalent)
2. [ ] **Applicant asserts small entity status.** See 37 CFR 1.27
3. [ ] **Applicant certifies micro entity status.** See 37 CFR 1.29. Applicant must attach form PTO/SB/15A or B or equivalent.
4. [✓] **Specification** [*Total Pages* 68] Both the claims and abstract must start on a new page. *(See MPEP § 608.01(a) for information on the preferred arrangement)*
5. [✓] **Drawing(s)** (35 U.S.C. 113) [*Total Sheets* 120]
6. **Inventor's Oath or Declaration** [*Total Pages* 6] *(including substitute statements under 37 CFR 1.64 and assignments serving as an oath or declaration under 37 CFR 1.63(e))*
   a. [ ] Newly executed (original or copy)
   b. [✓] A copy from a prior application (37 CFR 1.63(d))
7. [✓] **Application Data Sheet** ** See note below.* See 37 CFR 1.76 (PTO/AIA/14 or equivalent)
8. **CD-ROM or CD-R** in duplicate, large table, or Computer Program (*Appendix*)
   [ ] Landscape Table on CD
9. **Nucleotide and/or Amino Acid Sequence Submission** (*if applicable, items a. – c. are required*)
   a. [ ] Computer Readable Form (CRF)
   b. [ ] Specification Sequence Listing on:
      i. [ ] CD-ROM or CD-R (2 copies); or
      ii. [ ] Paper
   c. [ ] Statements verifying identity of above copies

ADDRESS TO: **Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450**

ACCOMPANYING APPLICATION PAPERS

10. [ ] **Assignment Papers** (cover sheet & document(s))
    Name of Assignee: Yangtze Memory Technologies Co., Ltd.
11. [ ] **37 CFR 3.73(c) Statement** (*when there is an assignee*) [✓] **Power of Attorney**
12. [ ] **English Translation Document** (*if applicable*)
13. [✓] **Information Disclosure Statement** (PTO/SB/08 or PTO-1449)
    [ ] Copies of citations attached
14. [ ] **Preliminary Amendment**
15. [ ] **Return Receipt Postcard** (*MPEP § 503*) (*Should be specifically itemized*)
16. [ ] **Certified Copy of Priority Document(s)** (*if foreign priority is claimed*)
17. [ ] **Nonpublication Request** Under 35 U.S.C. 122(b)(2)(B)(i). Applicant must attach form PTO/SB/35 or equivalent.
18. [✓] **Other:** Authorization to Treat a Reply As Incorporating An Extension of Time Under 37 C.F.R. § 1.136(a)(3).

*Note: (1) Benefit claims under 37 CFR 1.78 and foreign priority claims under 1.55 **must** be included in an Application Data Sheet (ADS).
(2) For applications filed under 35 U.S.C. 111, the application must contain an ADS specifying the applicant if the applicant is an assignee, person to whom the inventor is under an obligation to assign, or person who otherwise shows sufficient proprietary interest in the matter. See 37 CFR 1.46(b).

19. CORRESPONDENCE ADDRESS

[✓] The address associated with Customer Number: 26111 **OR** [ ] Correspondence address below

Name					
Address					
City		State		Zip Code	
Country		Telephone		Email	

Signature	/Donald J. Featherstone/	Date	11/18/2020
Name (Print/Type)	Donald J. Featherstone	Registration No. (Attorney/Agent)	33,867

This collection of information is required by 37 CFR 1.53(b). The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Addendum

1. JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME

DONALD J. FEATHERSTONE
DIRECTOR
(202) 772-8629
DONF@STERNEKESSLER.COM

Sterne Kessler
STERNE KESSLER GOLDSTEIN & FOX

November 18, 2020

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Re: U.S. Non-Provisional Patent Application under 37 C.F.R. § 1.53(b)
(*Continuation of Appl. No. 16/046,847; Filed: July 26, 2018*)
Appl. No. To Be Assigned; Filed: Herewith
For: **JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME**
Inventors: LU *et al.*
Our Ref: 4123.0110003

Commissioner:

The following documents are transmitted herewith for appropriate action by the U.S. Patent and Trademark Office:

1. Payment made electronically for **$2,240.00** to cover:

   $1,820.00 - Patent Application fees (including basic filing, search, and examination fees);

   $420.00 – Application Size fee (additional 50 sheets in excess of 100);

2. Utility Patent Application Transmittal Form (PTO/AIA/15);

3. Authorization to Treat a Reply As Incorporating An Extension of Time Under 37 C.F.R. § 1.136(a)(3);

4. U.S. Utility Patent Application entitled:

   JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME

   and naming as inventors:

   Zhenyu LU, Wenguang SHI, Guanping WU, Feng PAN, Xianjin WAN, and Baoyou CHEN

   the application consisting of:

   a. An Application Data Sheet (37 C.F.R. § 1.76);

   b. A copy of the signed Inventors' Declaration, as originally filed in prior U.S. Appl. No. 16/046,847;

Micron Ex. 1002, p. 8
Micron v. YMTC
IPR2025-00245

c. A copy of the signed Substitute Statement in Lieu of an Oath or Declaration (PTO/AIA/02), as originally filed in prior U.S. Appl. No. 16/046,847 on behalf of Feng PAN;

d. A specification containing:

i. **61** pages of description prior to the claims;

ii. **6** pages of claims (**20** claims);

iii. a one (**1**) page abstract;

e. **120** sheets of drawings: (Figures 1-6, 7A-7B, 8A-8B, 9A-9B, 10A-10B, 11A-11B, 12-20, 21A-21B, 22A-22B, 23A-23B, 24-29, 30A-30B, 31A-31B, 32A-32B, 33A-33B, 34A-34B, 35-47, 48A-48B, 49A-49B, 50A-50B, 51-55, 56A-56B, 57A-57B, 58A-58B, 59A-59B, 60-71, 72A-72B, 73A-73B, 74A-74B, 75-79, 80A-80B, 81A-81B, 82A-82B, 83A-83B, 84-100, 101A-101B, 102A-102B, and 103A-103B);

5. Information Disclosure Statement (IDS);

6. Form PTO/SB/08a (2 sheets) listing 25 documents (**US1-US15**) and (**FP1-FP10**);

7. Form PTO/SB/08b (1 sheet) listing 3 documents (**NPL1-NPL3**); and

8. An executed Power of Attorney by Applicant form (PTO/AIA/82B) and the Transmittal for Power of Attorney form (PTO/AIA/82A).

The above-listed documents are filed electronically.

Fee payment is provided via electronic filing. The U.S. Patent and Trademark Office is hereby authorized to charge any fee deficiency, or credit any overpayment, to our Deposit Account No. 19-0036.

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Donald J. Featherstone/

Donald J. Featherstone
Attorney for Applicant
Registration No. 33,876

DJF/W-S/mm
Enclosures
15725515_1.docx

Micron Ex. 1002, p. 9
Micron v. YMTC
IPR2025-00245

Doc Code: PA..
Document Description: Power of Attorney

PTO/AIA/82A (07-13)
Approved for use through 01/31/2018. OMB 0651-0035
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FOR POWER OF ATTORNEY TO ONE OR MORE REGISTERED PRACTITIONERS

NOTE: This form is to be submitted with the Power of Attorney by Applicant form (PTO/AIA/82B) to identify the application to which the Power of Attorney is directed, in accordance with 37 CFR 1.5, unless the application number and filing date are identified in the Power of Attorney by Applicant form. If neither form PTO/AIA/82A nor form PTO/AIA82B identifies the application to which the Power of Attorney is directed, the Power of Attorney will not be recognized in the application.

Application Number	To Be Assigned
Filing Date	Herewith
First Named Inventor	Zhenyu LU
Title	JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME
Art Unit	To Be Assigned
Examiner Name	To Be Assigned
Attorney Docket Number	4123.0110003

SIGNATURE of Applicant or Patent Practitioner

Signature	/Donald J. Featherstone/	Date (Optional)	
Name	Donald J. Featherstone	Registration Number	33,876
Title (if Applicant is a juristic entity)	Attorney for Applicant		
Applicant Name (if Applicant is a juristic entity)	Yangtze Memory Technologies Co., Ltd.		

NOTE: This form must be signed in accordance with 37 CFR 1.33. See 37 CFR 1.4(d) for signature requirements and certifications. If more than one applicant, use multiple forms.

☑ *Total of 1 (one) forms are submitted.

This collection of information is required by 37 CFR 1.131, 1.32, and 1.33. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 3 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Doc Code: PA..
Document Description: Power of Attorney

PTO/AIA/82B (07-13)
Approved for use through 01/31/2018. OMB 0651-0035
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number

POWER OF ATTORNEY BY APPLICANT

I hereby revoke all previous powers of attorney given in the application identified in either the attached transmittal letter or the boxes below.

Application Number	Filing Date

(Note: The boxes above may be left blank if information is provided on form PTO/AIA/82A.)

☑ I hereby appoint the Patent Practitioner(s) associated with the following Customer Number as my/our attorney(s) or agent(s), and to transact all business in the United States Patent and Trademark Office connected therewith for the application referenced in the attached transmittal letter (form PTO/AIA/82A) or identified above: 26111

OR

☐ I hereby appoint Practitioner(s) named in the attached list (form PTO/AIA/82C) as my/our attorney(s) or agent(s), and to transact all business in the United States Patent and Trademark Office connected therewith for the patent application referenced in the attached transmittal letter (form PTO/AIA/82A) or identified above. (Note: Complete form PTO/AIA/82C.)

Please recognize or change the correspondence address for the application identified in the attached transmittal letter or the boxes above to:

☑ The address associated with the above-mentioned Customer Number

OR

☐ The address associated with Customer Number: 26111

OR

☐ Firm or Individual Name					
Address					
City		State		Zip	
Country					
Telephone		Email			

I am the Applicant (if the Applicant is a juristic entity, list the Applicant name in the box):

Yangtze Memory Technologies Co., Ltd.

☐ Inventor or Joint Inventor (title not required below)

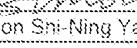
☐ Legal Representative of a Deceased or Legally Incapacitated Inventor (title not required below)

☑ Assignee or Person to Whom the Inventor is Under an Obligation to Assign (provide signer's title if applicant is a juristic entity)

☐ Person Who Otherwise Shows Sufficient Proprietary Interest (e.g., a petition under 37 CFR 1.46(b)(2) was granted in the application or is concurrently being filed with this document) (provide signer's title if applicant is a juristic entity)

✓ 1 **SIGNATURE of Applicant for Patent**

The undersigned (whose title is supplied below) is authorized to act on behalf of the applicant (e.g., where the applicant is a juristic entity).

Signature		Date (Optional)	
Name	Simon Shi-Ning Yang		
Title	CEO		

NOTE: Signature - This form must be signed by the applicant in accordance with 37 CFR 1.33. See 37 CFR 1.4 for signature requirements and certifications. If more than one applicant, use multiple forms.

☐ Total of forms are submitted.

This collection of information is required by 37 CFR 1.131, 1.32, and 1.33. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 3 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

PTO/SB/08a (07-09)
Approved for use through 11/30/2020. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 2

Complete if Known	
Application Number	To Be Assigned
Filing Date	Herewith
First Named Inventor	Zhenyu LU
Art Unit	To Be Assigned
Examiner Name	To Be Assigned
Attorney Docket Number	4123.0110003

U. S. PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Document Number Number-Kind Code[2] *(if known)*	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	US1	US- 2010/0019310 A1	01-28-2010	Sakamoto	
	US2	US- 2010/0109065 A1	05-06-2010	Oh et al.	
	US3	US- 2011/0151667 A1	06-23-2011	Hwang et al.	
	US4	US- 2013/0203227 A1	08-08-2013	Huo et al.	
	US5	US- 2015/0236038 A1	08-20-2015	Pachamuthu et al.	
	US6	US- 2010/0109072 A1	05-06-2010	Kidoh et al.	
	US7	US- 2010/143524 A1	06-16-2011	Son et al.	
	US8	US- 2016/0071793 A1	03-10-2016	Shinohara et al.	
	US9	US- 2016/0163732 A1	06-09-2016	Lim et al.	
	US10	US- 9,570,463 B1	02-14-2017	Zhang et al.	
	US11	US- 10,229,927 B2	03-12-2019	Lee et al.	
	US12	US- 10,600,801 B2	03-24-2020	Lee et al.	
	US13	US- 10,644,020 B2	05-05-2020	Huo et al.	
	US14	US- 2019/0081060 A1	03-14-2019	Lu et al.	
	US15	US- 2013/0109158 A1	05-01-2013	Lee et al.	
		US-			
		US-			
		US-			
		US-			

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Foreign Patent Document Country Code[3]-Number[4]-Kind Code[5] *(if known)*	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages Or Relevant Figures Appear	T[6]
	FP1	CN-102543877-A	07-04-2012	INST OF MICROELECTRONICS		✓
	FP2	CN-105304612-A	02-03-2016	MACRONIX INT CO LTD		✓
	FP3	CN-105374826-A	03-02-2016	INST MICROELECTRONICS CAS		✓
	FP4	CN-106653684-A	05-10-2017	YANGTZE MEMORY TECH CO LT		✓
	FP5	CN-106920772-A	07-04-2017	YANGTZE MEMORY TECH CO LT		✓
	FP6	CN 105261617 A	01-20-2016	INST OF MICROELECTRONICS		

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. [1] Applicant's unique citation designation number (optional). [2] See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. [3] Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). [4] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [6] Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

PTO/SB/08a (07-09)
Approved for use through 11/30/2020. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 2 of 2

Complete if Known	
Application Number	To Be Assigned
Filing Date	Herewith
First Named Inventor	Zhenyu LU
Art Unit	To Be Assigned
Examiner Name	To Be Assigned
Attorney Docket Number	4123.0110003

U. S. PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Document Number Number-Kind Code[2] *(if known)*	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Foreign Patent Document Country Code[3]-Number[4]-Kind Code[5] *(if known)*	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages Or Relevant Figures Appear	T[6]
	FP7	KR 1020110068145 A	06-22-2011	SAMSUNG ELECTRONICS CO LT		
	FP8	KR 1020120029194 A	03-26-2012	SAMSUNG ELECTRONICS CO LT		
	FP9	KR 1020160003977 A	01-12-2016	SAMSUNG ELECTRONICS CO LT		
	FP10	KR 1020160069903 A	06-17-2016	SAMSUNG ELECTRONICS CO LT		

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. [1] Applicant's unique citation designation number (optional). [2] See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. [3] Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). [4] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [6] Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

PTO/SB/08b (07-09)
Approved for use through 11/30/2020. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 1

Complete if Known	
Application Number	To Be Assigned
Filing Date	Herewith
First Named Inventor	Zhenyu LU
Art Unit	To Be Assigned
Examiner Name	To Be Assigned
Attorney Docket Number	4123.0110003

NON PATENT LITERATURE DOCUMENTS

Examiner Initials*	Cite No.[1]	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	T[2]
	NPL1	International Search Report and Written Opinion of the International Searching Authority directed to related International Patent Application No. PCT/CN2018/077785, mailed June 8, 2018; 7 pages.	
	NPL2	Korean Application No. 10-2019-7029469, Office Action mailed September 23, 2020; English Translation from EPO Global Dossier, 16 pages.	✓
	NPL3	Chinese Application No. 201910114048.8, Office Action mailed September 27, 2020; English Translation from EPO Global Dossier, 32 pages.	✓

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

[1] Applicant's unique citation designation number (optional). [2] Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventors: LU *et al.*	Confirmation No.: To Be Assigned
Applicant: Yangtze Memory Technologies Co., Ltd.	Art Unit: To Be Assigned
Application No.: To Be Assigned *(Continuation of Appl. No. 16/046,847; Filed: July 26, 2018)*	Examiner: To Be Assigned
Filing Date: Herewith	Atty. Docket: 4123.0110003

Title: **JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME**

Information Disclosure Statement

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Commissioner:

Listed on accompanying IDS Forms PTO/SB/08a equivalent and PTO/SB/08b equivalent are documents that may be considered material to the patentability of this application as defined in 37 C.F.R. §1.56, and in compliance with the duty of disclosure requirements of 37 C.F.R. §§ 1.97 and 1.98.

Applicant has listed publication dates on the attached IDS Forms based on information presently available to the undersigned. However, the listed publication dates should not be construed as an admission that the information was actually published on the date indicated.

Applicant reserves the right to establish the patentability of the claimed invention over any of the information provided herewith, and/or to prove that this information may not be prior art, and/or to prove that this information may not be enabling for the teachings purportedly offered.

This statement should not be construed as a representation that a search has been made, or that information more material to the examination of the present patent application does not exist. The Examiner is specifically requested not to rely solely on the material submitted herewith.

Applicant has checked the appropriate boxes below.

☐ 1. Statement under 37 C.F.R. 1.704(d). Each item of information contained in this Information Disclosure Statement: (i) was first cited in any communication from a patent office in a counterpart[1] foreign or international application or from the Office; and this communication was not received by any individual designated in Sec. 1.56(c) more than thirty days prior to the filing of this information disclosure statement; OR (ii) is a communication that was issued by a patent office in a counterpart foreign or international application or by the Office, and this communication was not received by any individual designated in Sec. 1.56(c) more than thirty days prior to the filing of the information disclosure statement.

☒ 2. Filing under 37 C.F.R. § 1.97(b). This Information Disclosure Statement is being filed within three months of the date of filing of a national application other than a continued prosecution application (CPA), OR within three months of the date of entry of the national stage as set forth in 37 C.F.R. § 1.491 in an international application, OR before the mailing date of a first Office Action on the merits OR before the mailing of a first Office Action

---

[1] The term counterpart foreign patent application means that a claim for priority has been made in either the U.S. application or a foreign application based on the other, or that the disclosures of the U.S. and foreign patent applications are substantively identical (e.g., an application filed in the European Patent Office claiming the same U.K. priority as claimed in the U.S. application).

Micron Ex. 1002, p. 16
Micron v. YMTC
IPR2025-00245

after the filing of a request for continued examination under 37 C.F.R. § 1.114. No statement or fee is required.

☐ 3. Filing under 37 C.F.R. § 1.97(c). This Information Disclosure Statement is being filed more than three months after the U.S. filing date AND after the mailing date of the first Office Action on the merits, but before the mailing date of a Final Rejection, or Notice of Allowance, or an action that otherwise closes prosecution in the application.

☐ a. Statement under 37 C.F.R. § 1.97(e)(1). I hereby state that each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this Information Disclosure Statement. 37 C.F.R. § 1.97(e)(1).

☐ b. Statement under 37 C.F.R. § 1.97(e)(2). I hereby state that no item of information in this Information Disclosure Statement was cited in a communication from a foreign patent office in a counterpart foreign application and, to my knowledge after making reasonable inquiry, was known to any individual designated in 37 C.F.R. § 1.56(c) more than three months prior to the filing of this Information Disclosure Statement. 37 C.F.R. § 1.97(e)(2).

☐ c. The required fee is provided through online credit card payment authorization in the amount of $0.00 in payment of the fee under 37 C.F.R. § 1.17(p).

☐ 4. Filing under 37 C.F.R. § 1.97(d) This Information Disclosure Statement is being filed more than three months after the U.S. filing date and after the mailing date of a Final Rejection or

Micron Ex. 1002, p. 17
Micron v. YMTC
IPR2025-00245

Notice of Allowance, but on or before payment of the Issue Fee. The required fee is provided through online credit card payment authorization in the amount of $0.00 in payment of the fee under 37 C.F.R. § 1.17(p); in addition:

☐ a. Statement under 37 C.F.R. § 1.97(e)(1). I hereby state that each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this Information Disclosure Statement. 37 C.F.R. § 1.97(e)(1).

☐ b. Statement under 37 C.F.R. § 1.97(e)(2). I hereby state that no item of information in this Information Disclosure Statement was cited in a communication from a foreign patent office in a counterpart foreign application and, to my knowledge after making reasonable inquiry, was known to any individual designated in 37 C.F.R. § 1.56(c) more than three months prior to the filing of this Information Disclosure Statement. 37 C.F.R. § 1.97(e)(2).

☐ 5. The patent family for one or more foreign language documents submitted herewith includes a United States patent, and other patent, in the English language. Copies of both the particular foreign patent(s) or published foreign patent applications cited in the foreign patent office communication, and that are not already of record in this application, are enclosed. Copies of the related United States or other English language patent or published application from the family list, if not already of record, are listed on the accompanying SB/08A form. For the purposes of a statement under 37 CFR 1.97(e)(1), the United States or

Micron Ex. 1002, p. 18
Micron v. YMTC
IPR2025-00245

other English language patent or published application are to be construed as being cited by the foreign patent office. MPEP 609.04(b)(V).

☐ 6. The document(s) was/were cited in a search report by a foreign patent office in a counterpart foreign application. Submission of an English language version of the search report that indicates the degree of relevance found by the foreign office is provided in satisfaction of the requirement for a concise explanation of relevance. MPEP 609.04(a)(III).

☒ 7. A concise explanation of the relevance of the non-English language document(s) appears below in accordance with 37 C.F.R. § 1.98(a)(3).

Document **US4** (2013/0203227 A1) is submitted herewith as the English-language counterpart of document **FP1** (CN 102543877 A).

Document **US7** (2010/143524 A1) is submitted herewith as the English-language counterpart of document **FP7** (KR 1020110068145 A).

Document **US9** (2016/0163732 A1) is submitted herewith as the English-language counterpart of document **FP10** (KR 1020160069903 A).

Document **US11** (10,229,927 B2) is submitted herewith as the English-language counterpart of document **FP9** (KR 1020160003977 A).

Document **US12** (10,600,801 B2) is submitted herewith as the English-language counterpart of document **FP8** (KR 1020120029194 A).

Document **US13** (10,644,020 B2) is submitted is submitted herewith as the English-language counterpart of document **FP6** (CN 105261617 A).

Micron Ex. 1002, p. 19
Micron v. YMTC
IPR2025-00245

☒ 8. No copies of foreign patent documents **FP1-FP10** and non-patent literature documents **NPL1-NPL3** are submitted. In accordance with 37 C.F.R. § 1.98(a)(2)(ii), no copies of the U.S. patent application publications cited as documents **US1-US15** on the attached IDS Form are submitted.

☒ 9. Copies of the **FP1-FP10** and **NPL1-NPL3** documents were cited by or submitted to the Office in an IDS that complies with 37 C.F.R. § 1.98(a)-(c) in Application No. 16/046,847, filed July 26, 2018, which is relied upon for an earlier filing date under 35 U.S.C. § 120. Thus, copies of these documents are not attached. 37 C.F.R. § 1.98(d).

☒ 10. It is expected that the examiner will review the prosecution and cited art in the parent Application No. 16/046,847 in accordance with MPEP 2001.06(b), and indicate in the next communication from the office that the art cited in the earlier prosecution history has been reviewed in connection with the present application.

☐ 11. In accordance with the Federal Circuit decision in *Dayco Prods., Inc. v. Total Containment, Inc.* 329 F.3d 1358 (Fed. Cir. 2003), Applicants submit herewith Office Actions from the co-pending U.S. Patent Application No._____, filed _____, as documents _____ to _____. The identification of these Office Actions is not to be construed as a waiver of secrecy as to those applications now or upon issuance of the present application as a patent. The Examiner is respectfully requested to consider the cited applications and the art cited therein during examination.

Micron Ex. 1002, p. 20
Micron v. YMTC
IPR2025-00245

It is respectfully requested that the Examiner initial and return a copy of the enclosed IDS Forms, and indicate in the official file wrapper of this patent application that the documents have been considered.

The U.S. Patent and Trademark Office is hereby authorized to charge any fee deficiency, or credit any overpayment, to our Deposit Account No. 19-0036.

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Donald J. Featherstone/

Donald J. Featherstone
Attorney for Applicant
Registration No. 33,876

Date: 11/18/2020

1100 New York Avenue, N.W.
Washington, D.C. 20005-3934
(202) 371-2600

15726200.1

Micron Ex. 1002, p. 21
Micron v. YMTC
IPR2025-00245

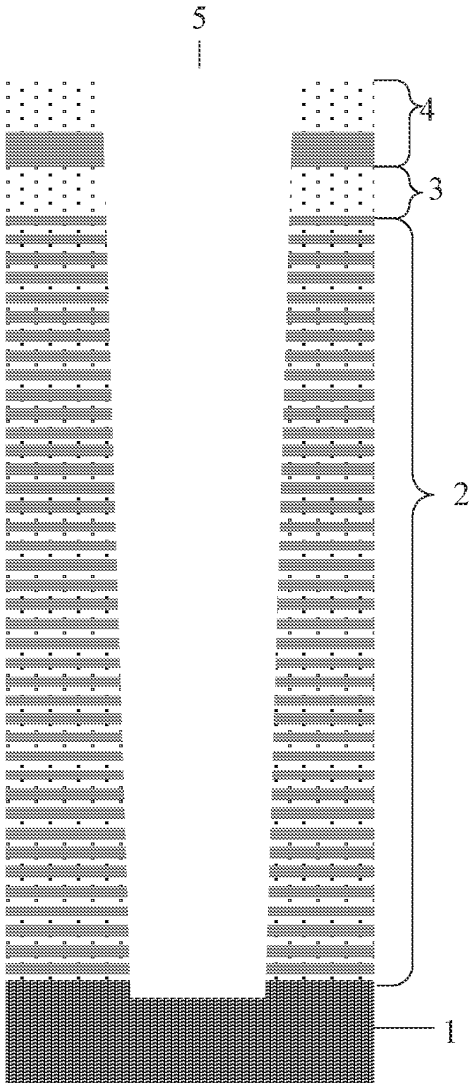


FIG. 1

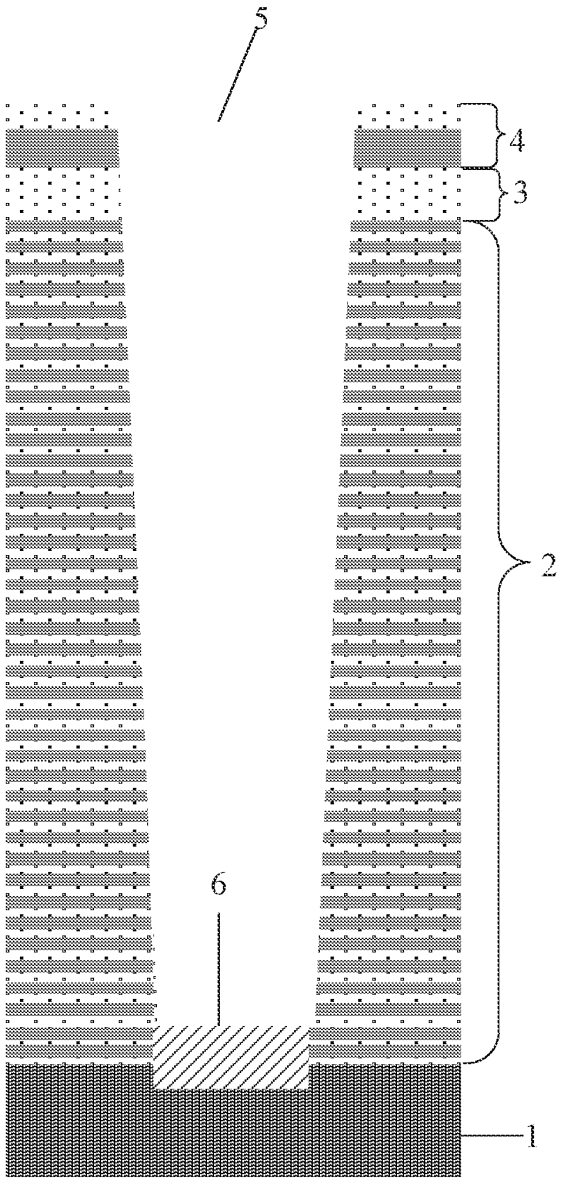


FIG. 2

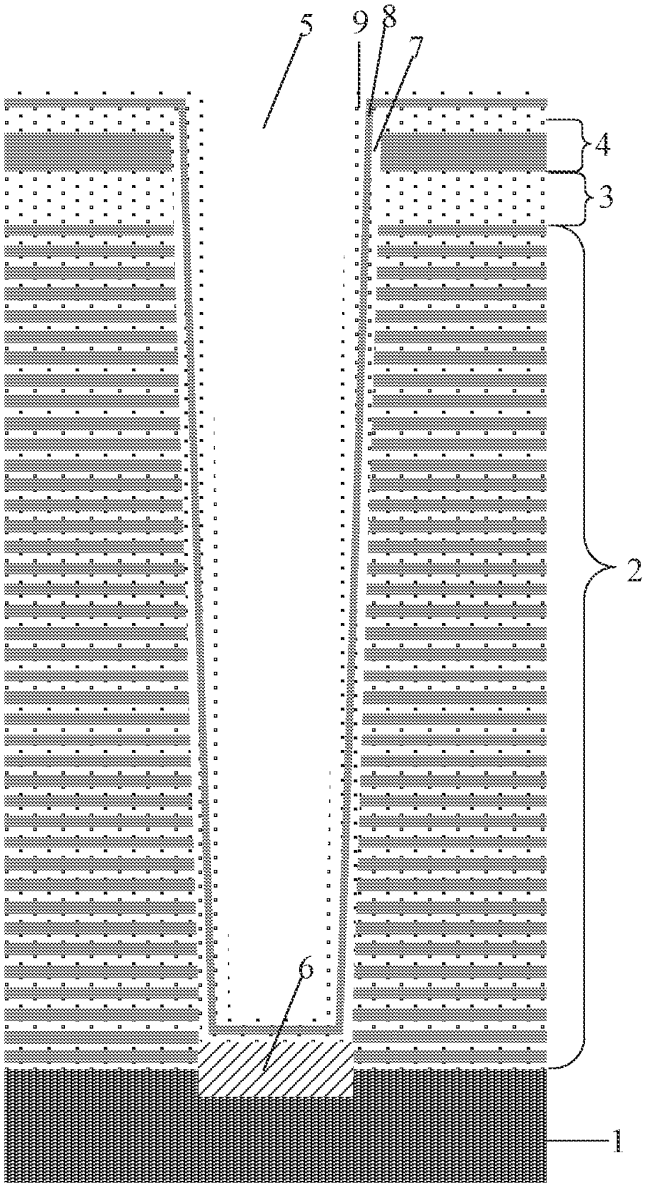


FIG. 3

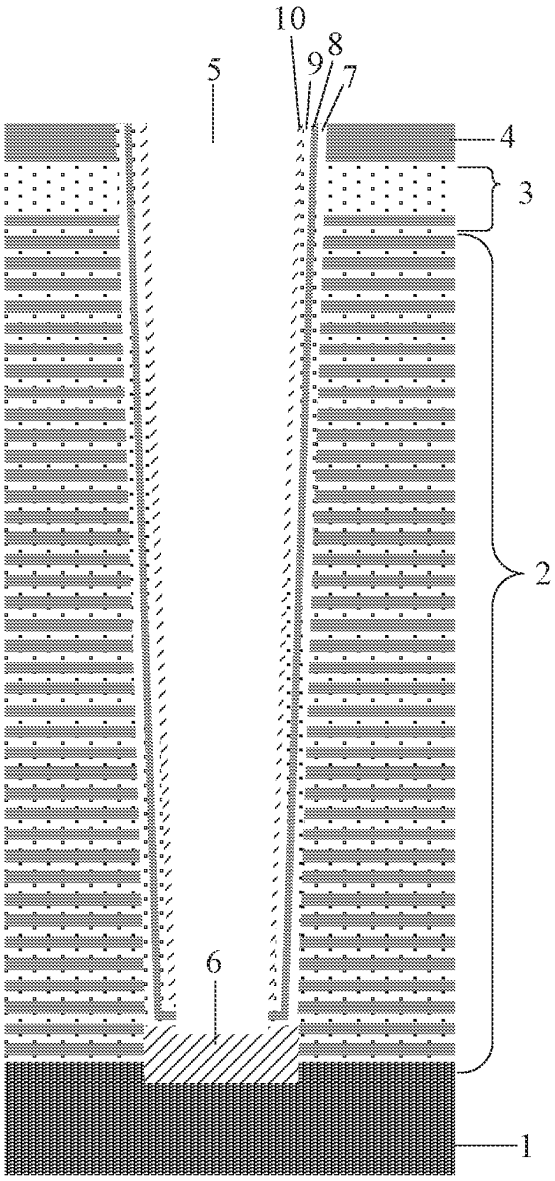


FIG. 4

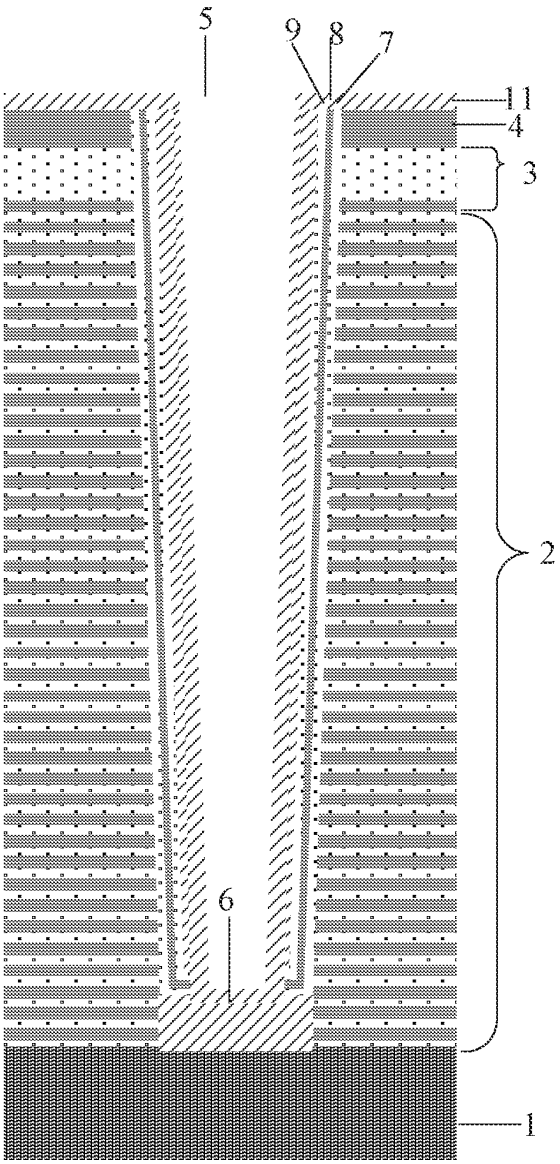


FIG. 5

Micron Ex. 1002, p. 26
Micron v. YMTC
IPR2025-00245

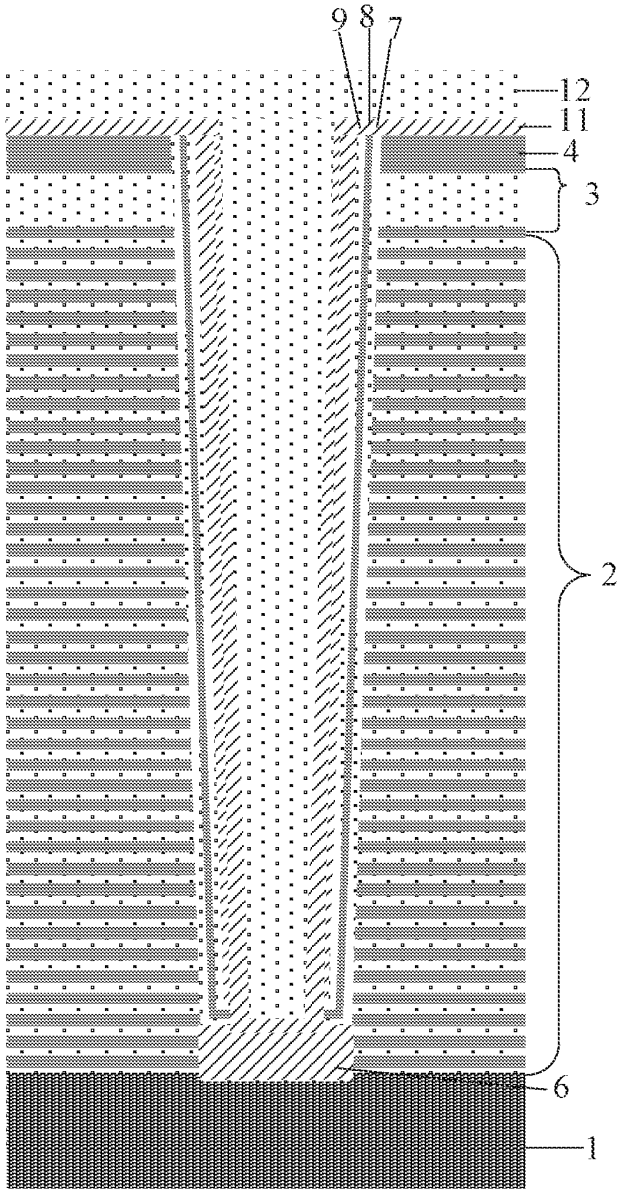


FIG. 6

Micron Ex. 1002, p. 27
Micron v. YMTC
IPR2025-00245

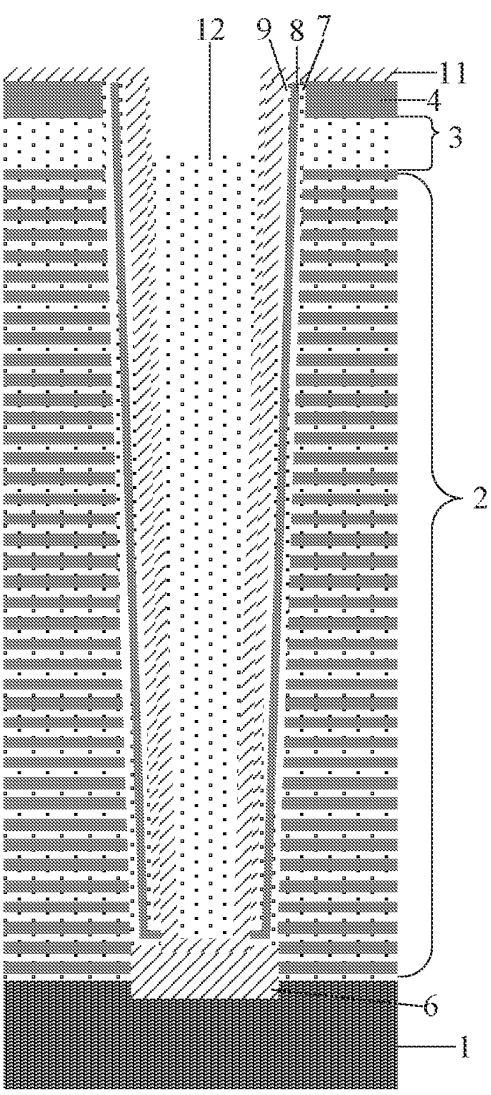


FIG. 7A

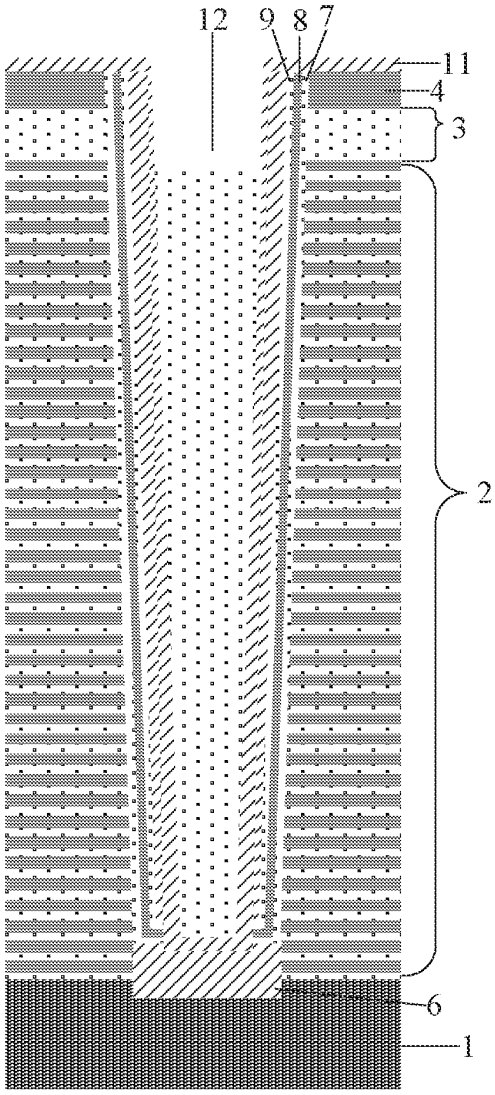


FIG. 7B

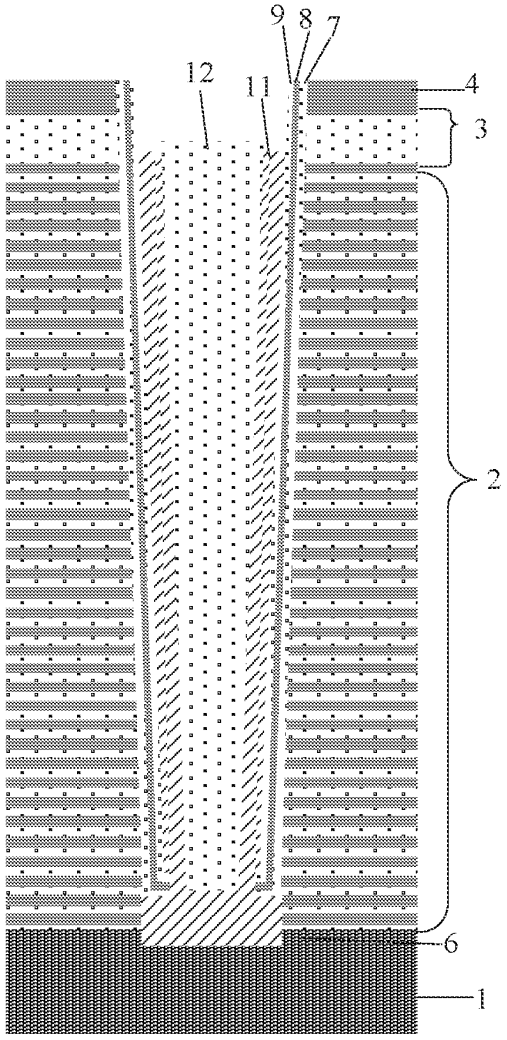


FIG. 8A

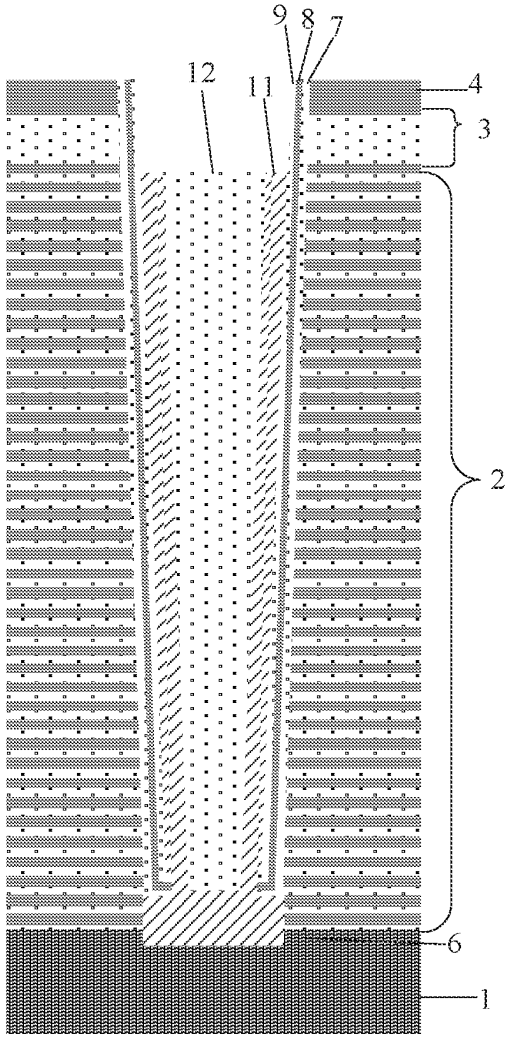


FIG. 8B

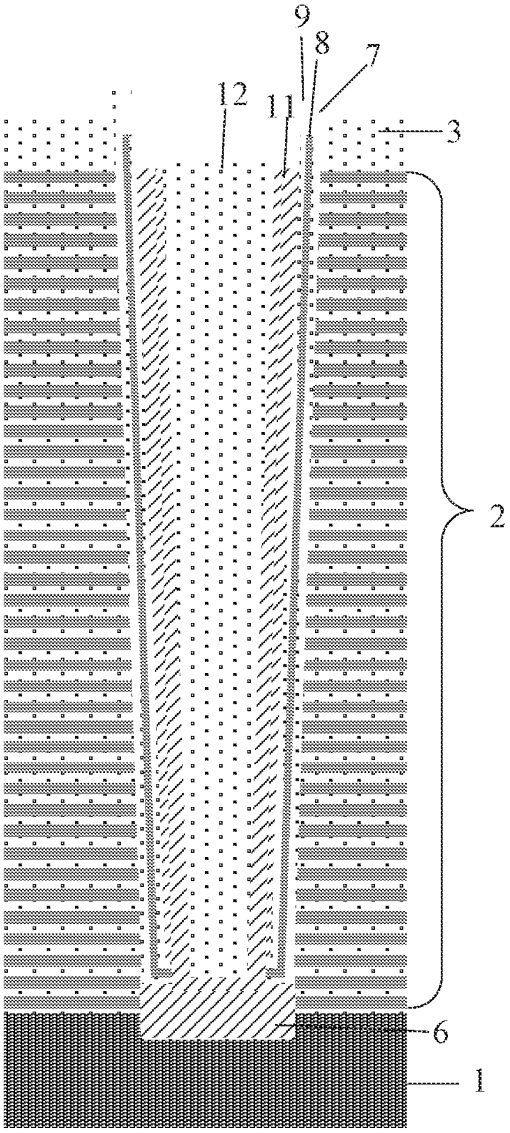


FIG. 9A

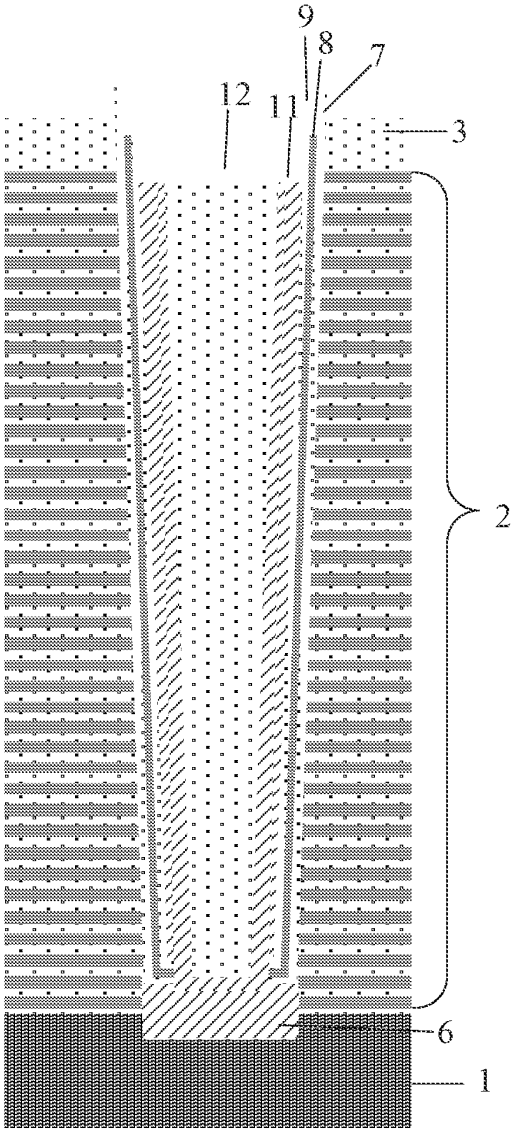


FIG. 9B

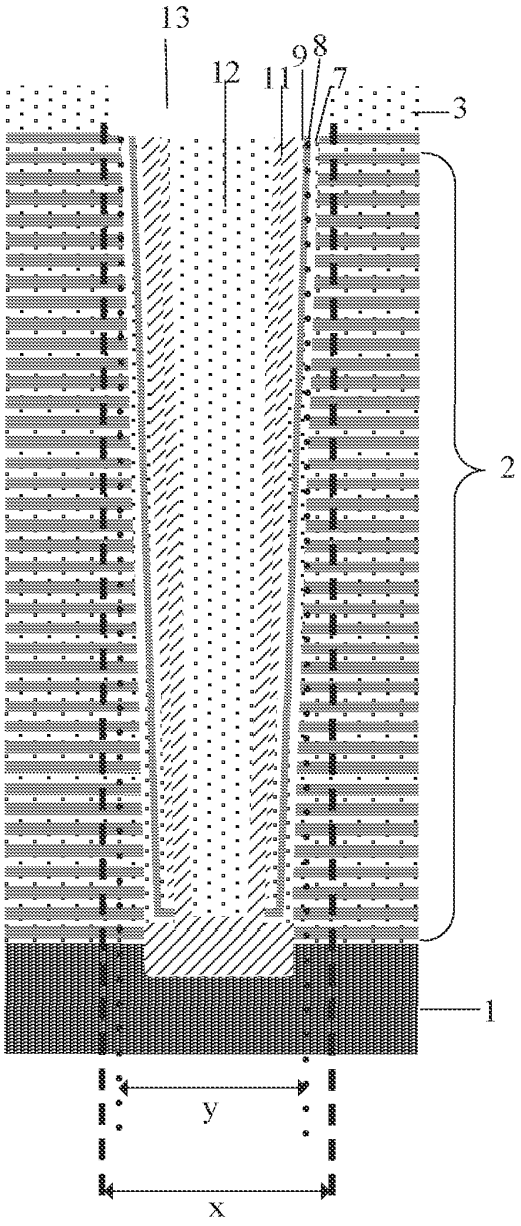


FIG. 10A

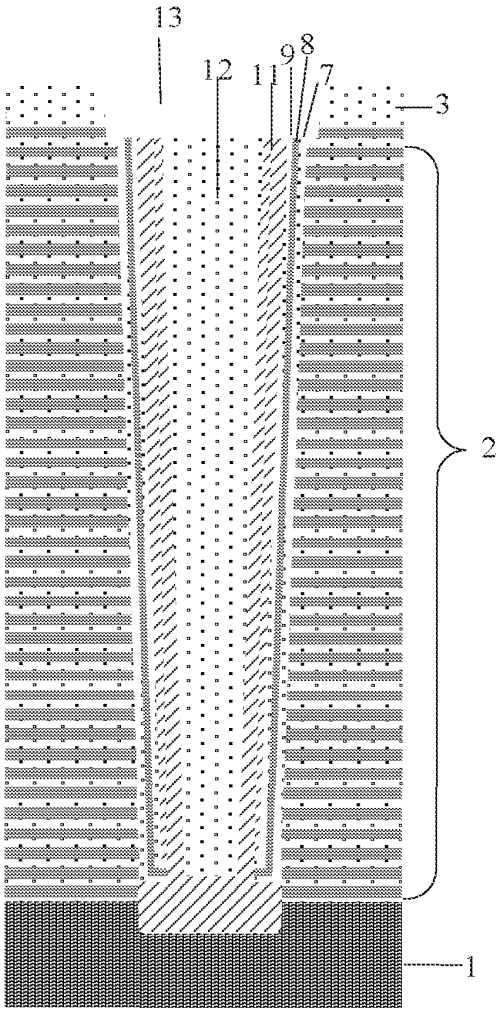


FIG. 10B

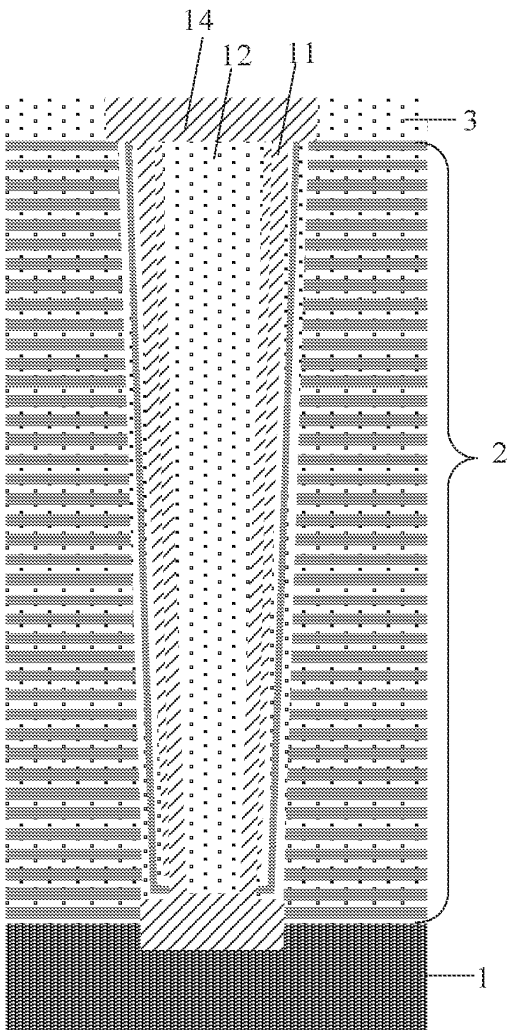


FIG. 11A

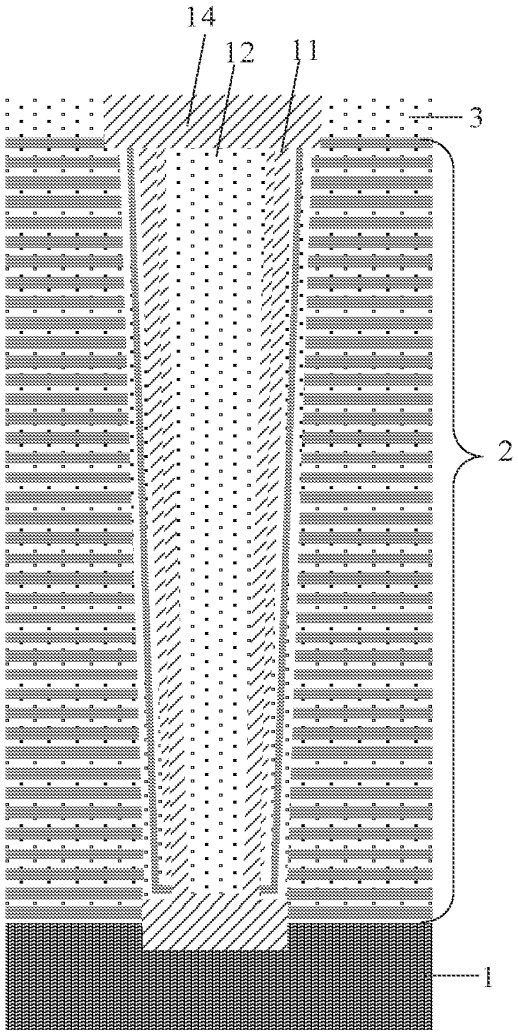


FIG. 11B

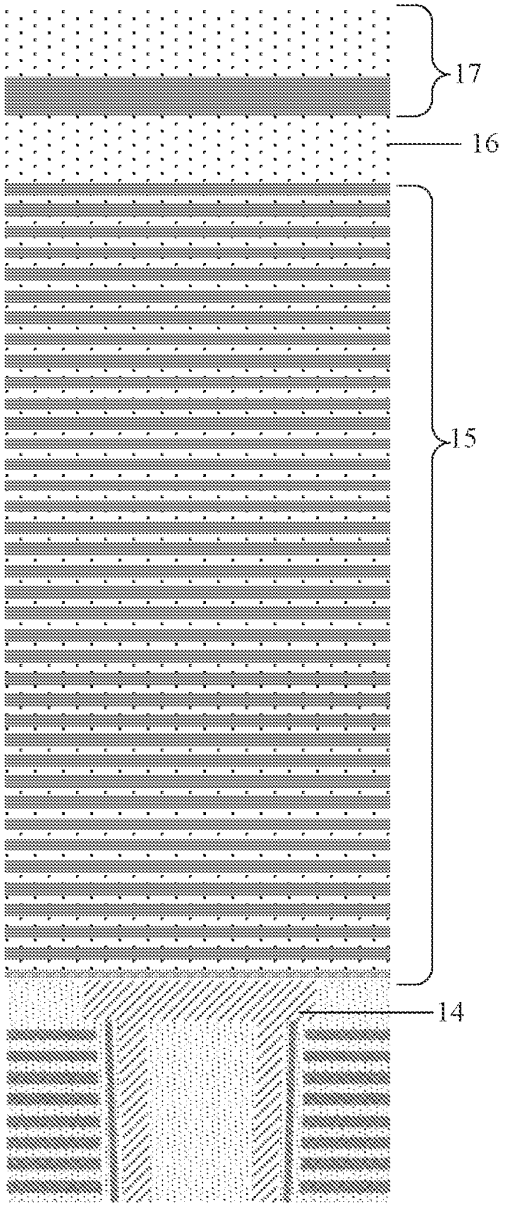


FIG. 12

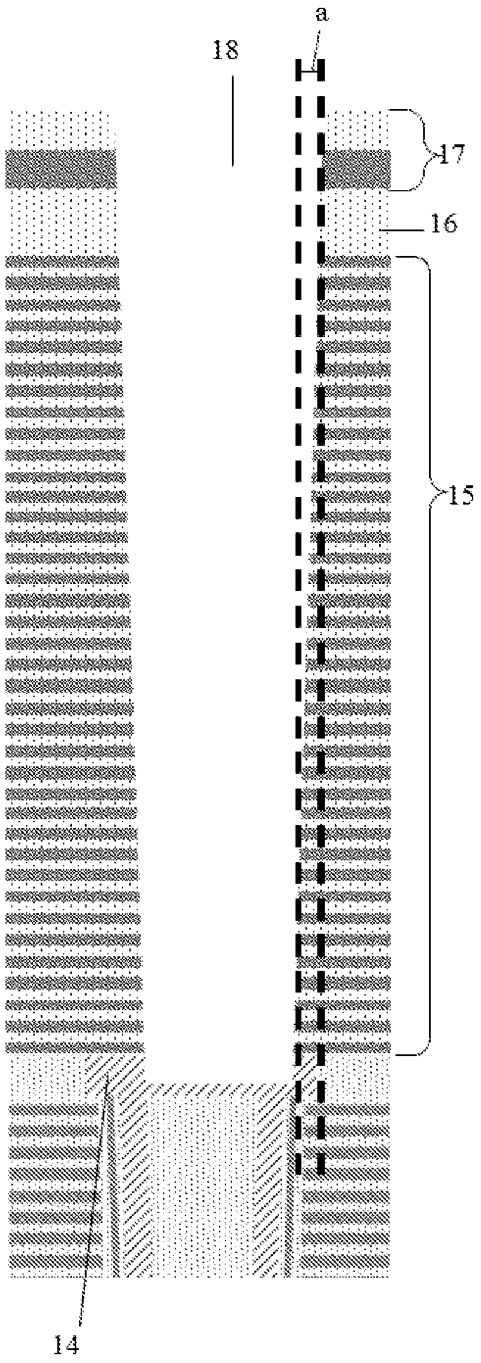


FIG. 13

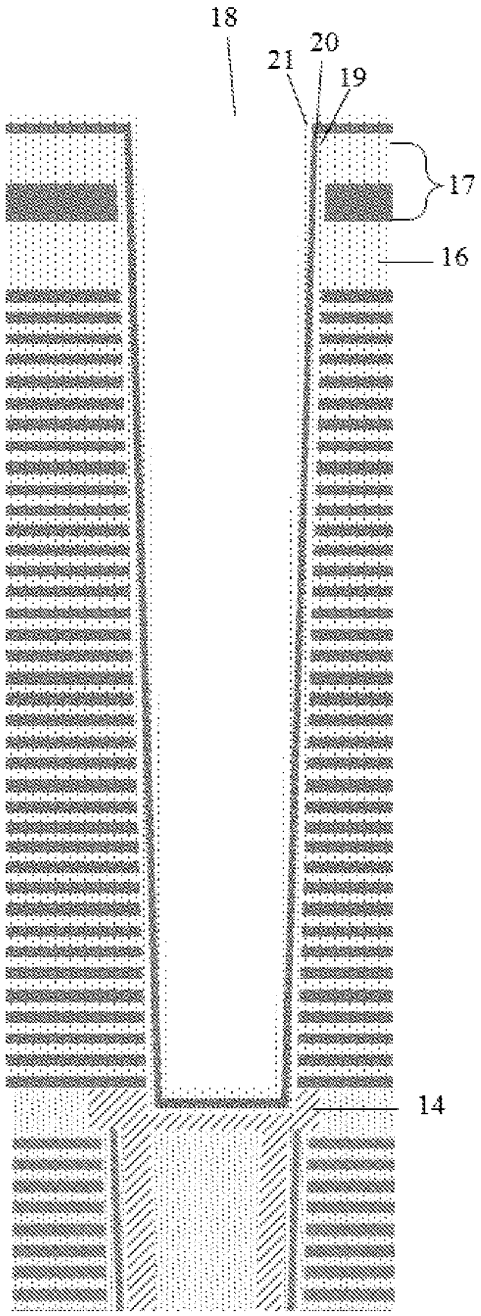


FIG. 14

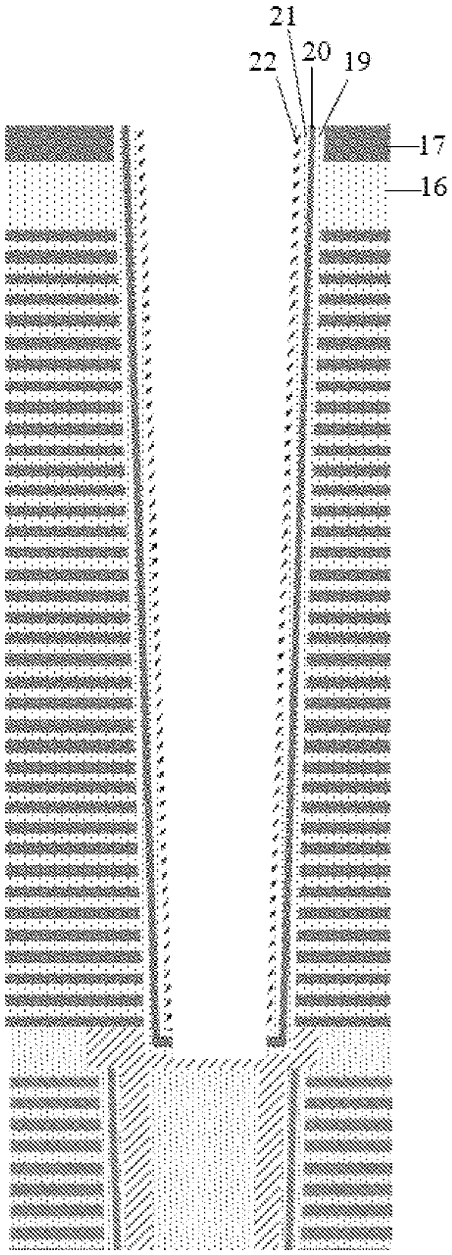


FIG. 15

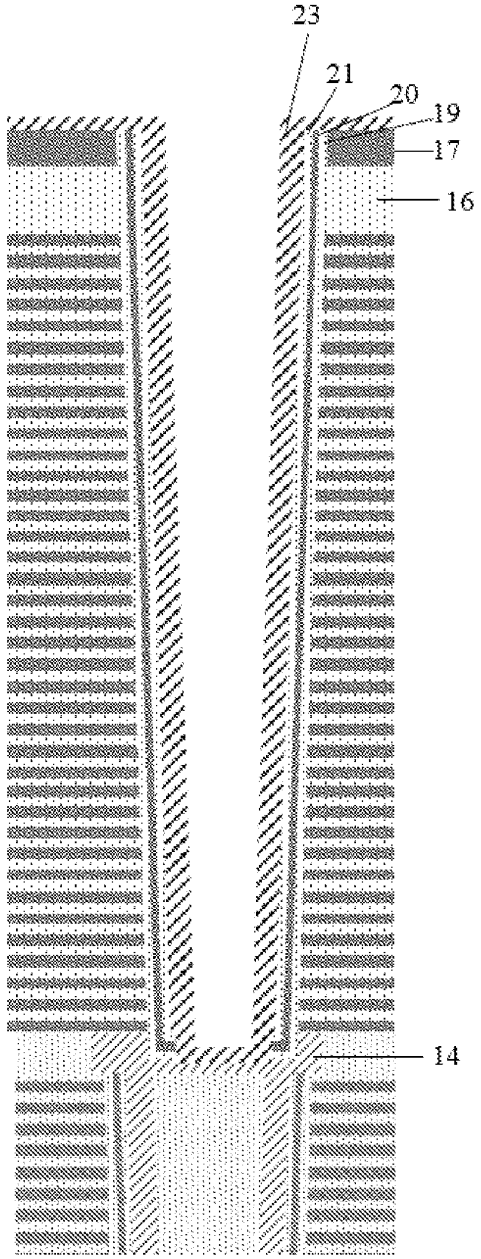


FIG. 16

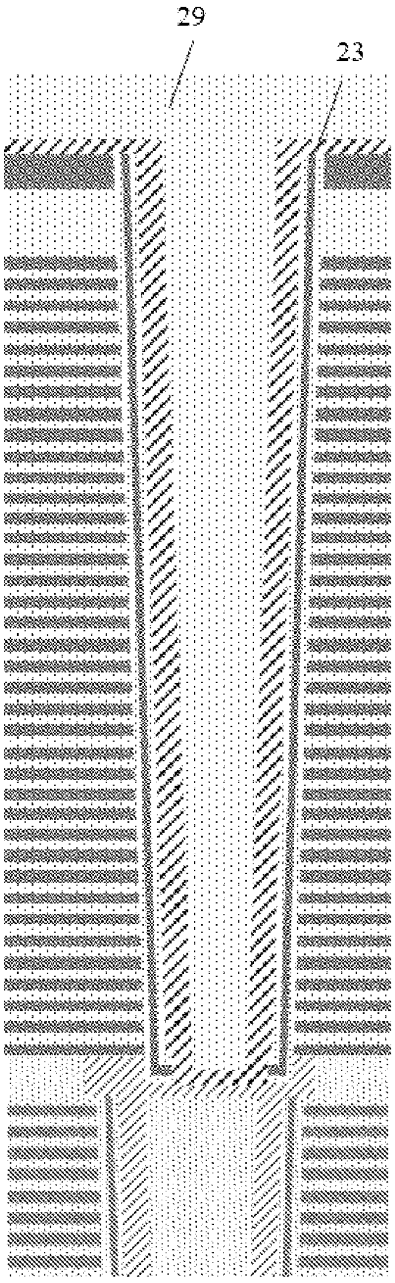


FIG. 17

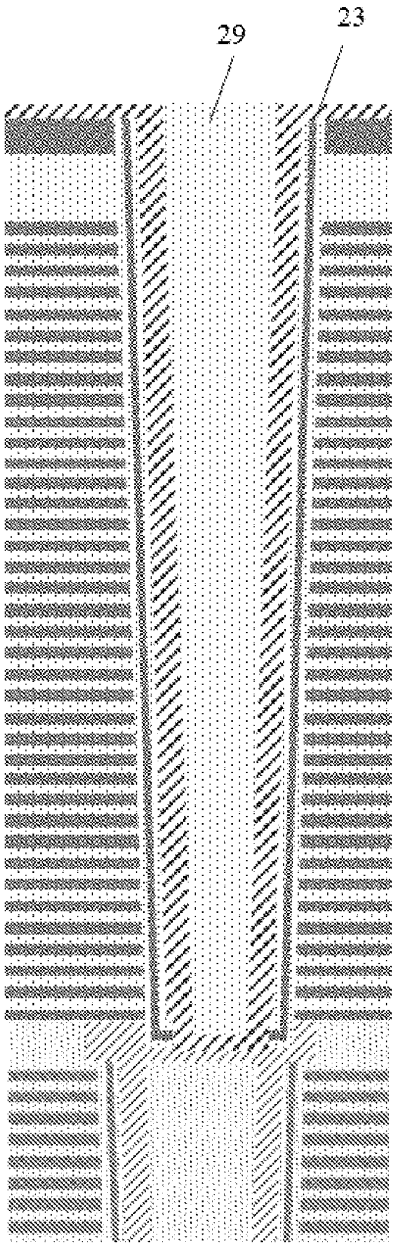


FIG. 18

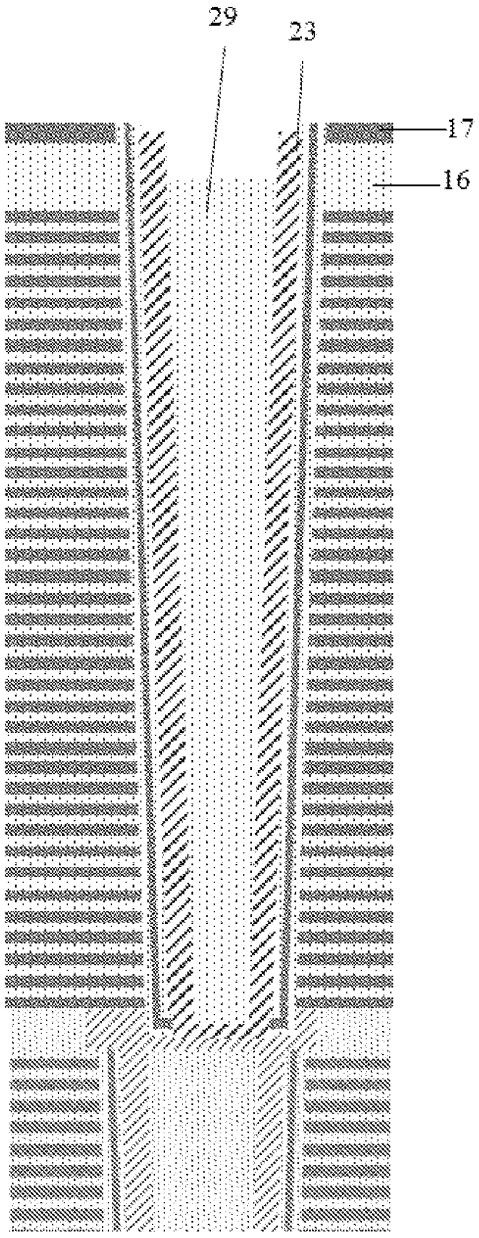


FIG. 19

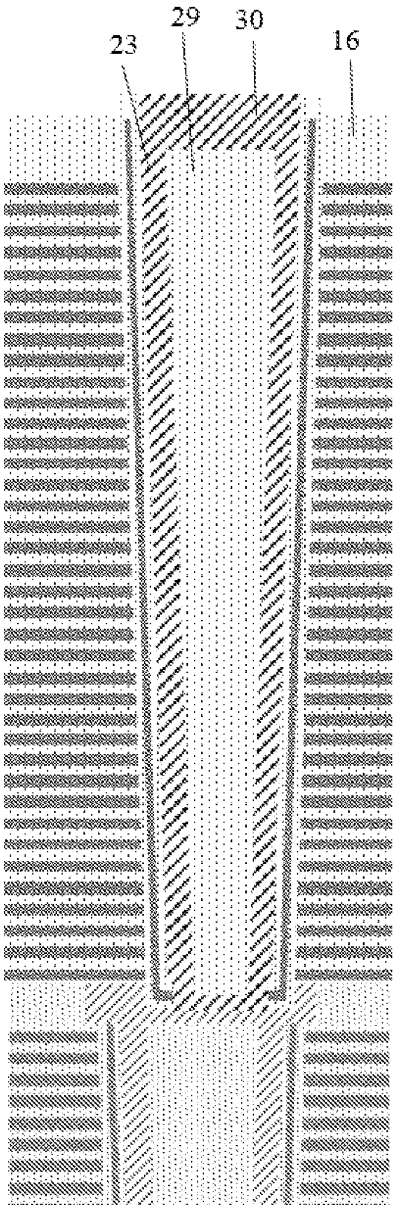


FIG. 20

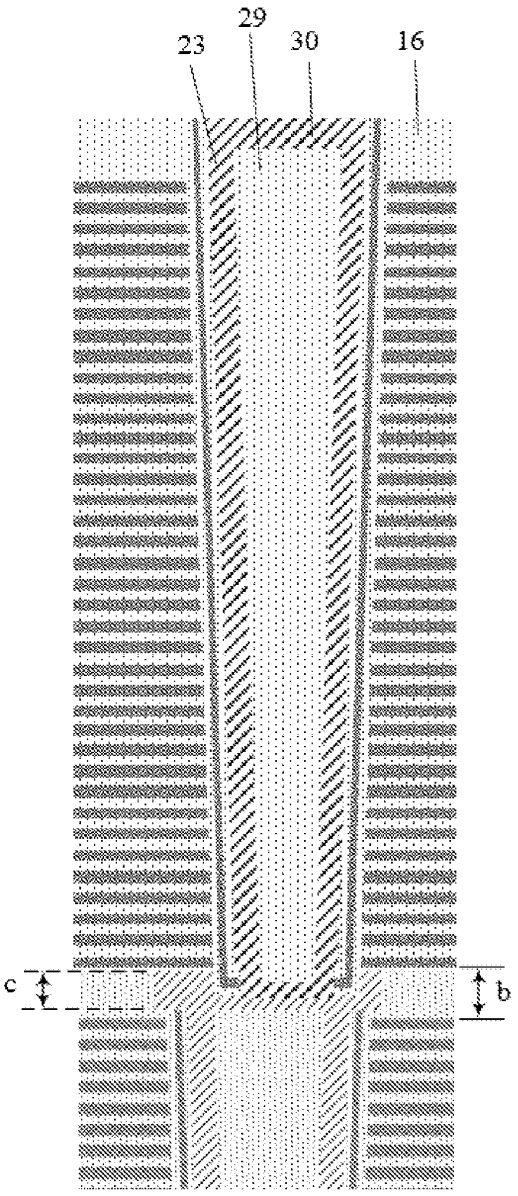


FIG. 21A

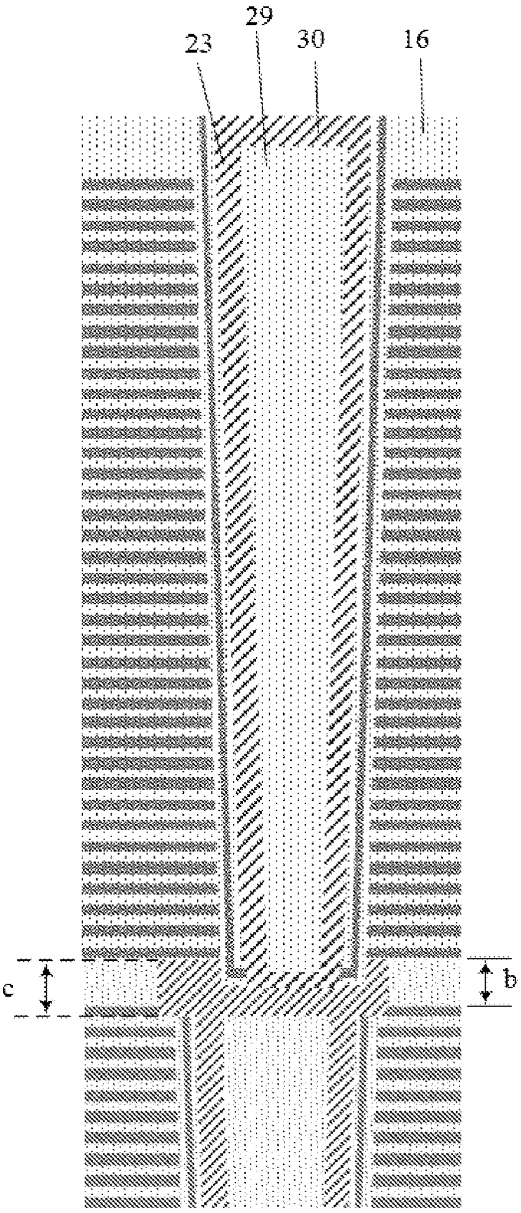


FIG. 21B

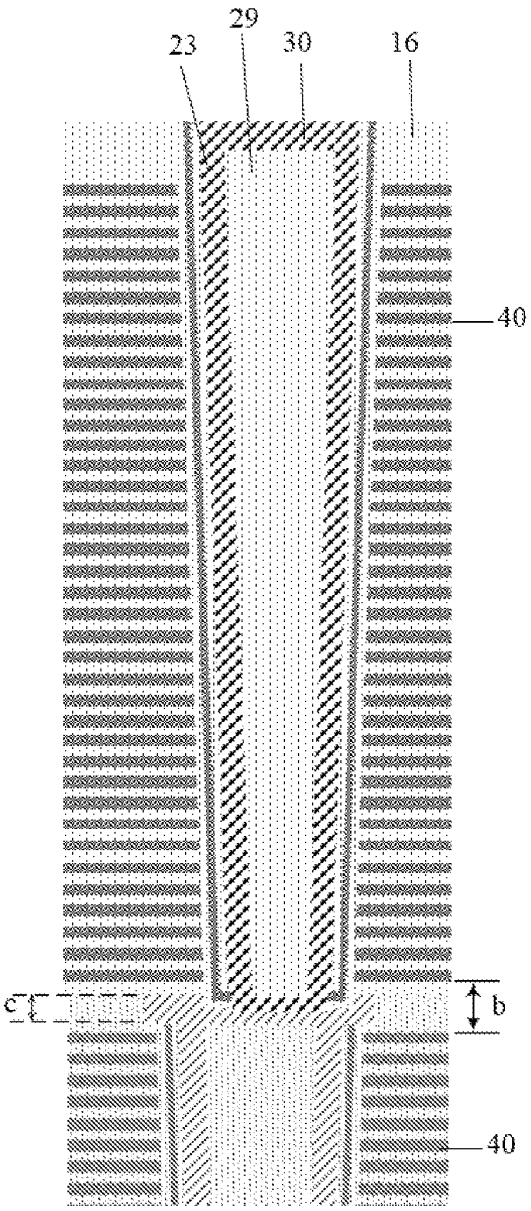


FIG. 22A

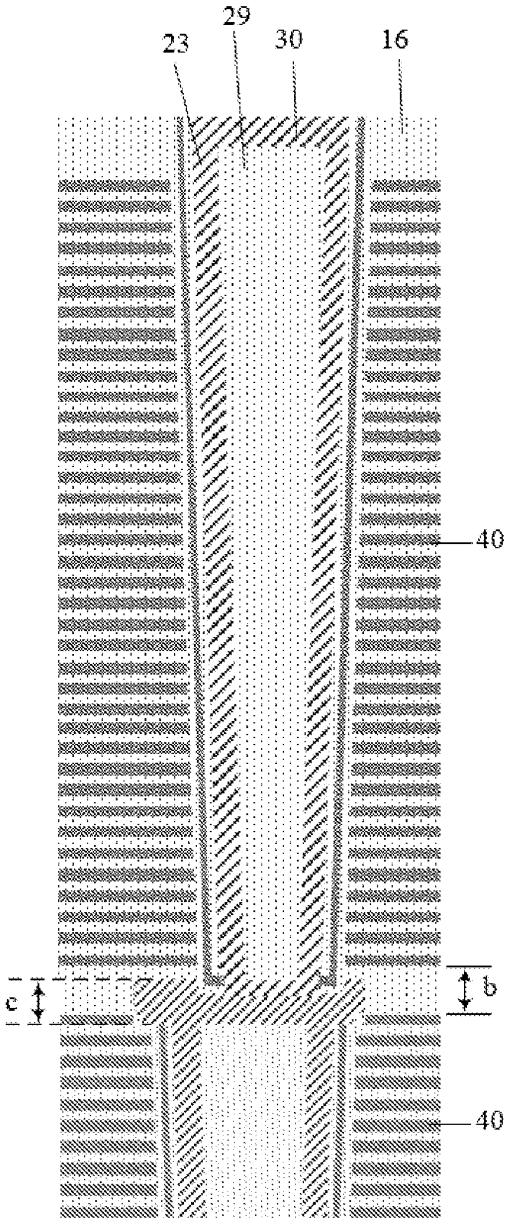


FIG. 22B

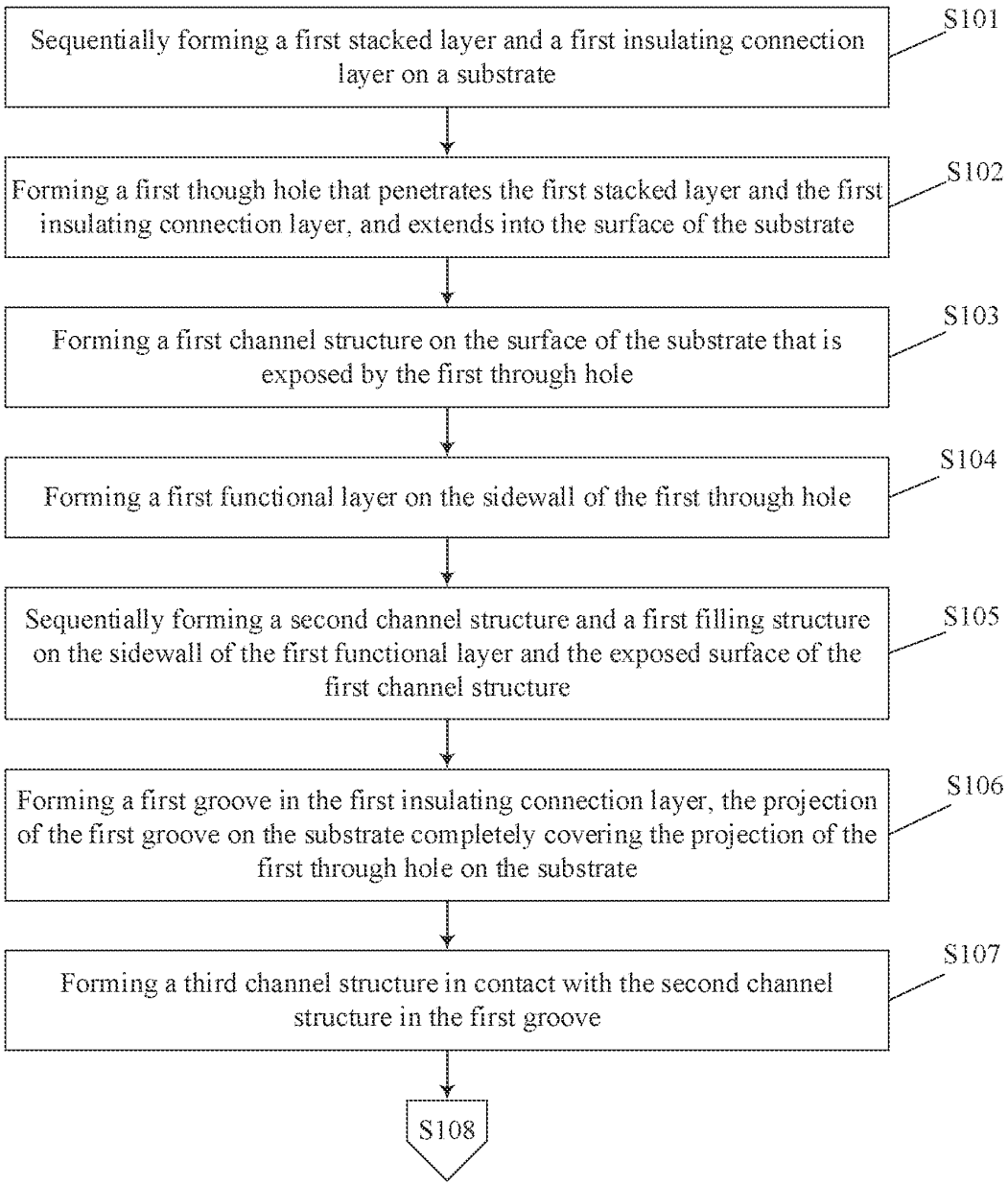

Sequentially forming a first stacked layer and a first insulating connection layer on a substrate
S101
Forming a first though hole that penetrates the first stacked layer and the first insulating connection layer, and extends into the surface of the substrate
S102
Forming a first channel structure on the surface of the substrate that is exposed by the first through hole
S103
Forming a first functional layer on the sidewall of the first through hole
S104
Sequentially forming a second channel structure and a first filling structure on the sidewall of the first functional layer and the exposed surface of the first channel structure
S105
Forming a first groove in the first insulating connection layer, the projection of the first groove on the substrate completely covering the projection of the first through hole on the substrate
S106
Forming a third channel structure in contact with the second channel structure in the first groove
S107
S108

FIG. 23A

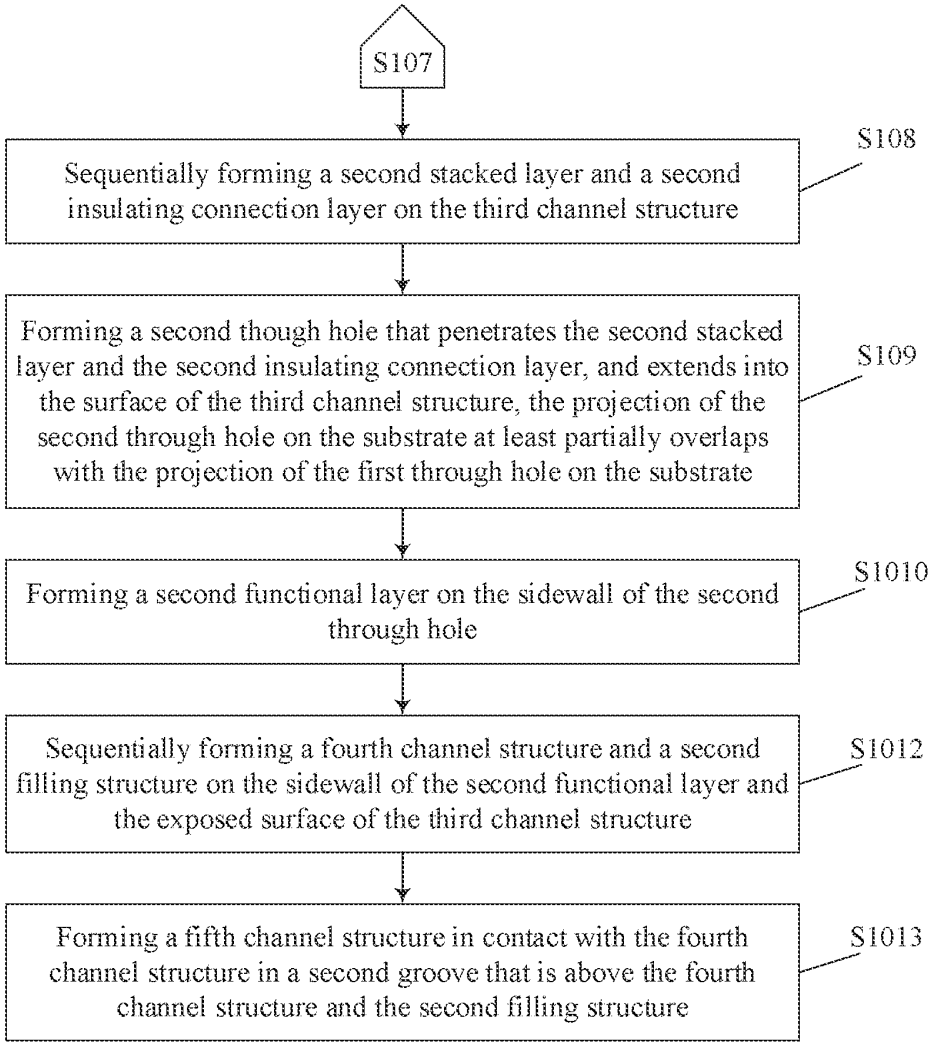

S107
Sequentially forming a second stacked layer and a second insulating connection layer on the third channel structure
S108
Forming a second though hole that penetrates the second stacked layer and the second insulating connection layer, and extends into the surface of the third channel structure, the projection of the second through hole on the substrate at least partially overlaps with the projection of the first through hole on the substrate
S109
Forming a second functional layer on the sidewall of the second through hole
S1010
Sequentially forming a fourth channel structure and a second filling structure on the sidewall of the second functional layer and the exposed surface of the third channel structure
S1012
Forming a fifth channel structure in contact with the fourth channel structure in a second groove that is above the fourth channel structure and the second filling structure
S1013

FIG. 23B

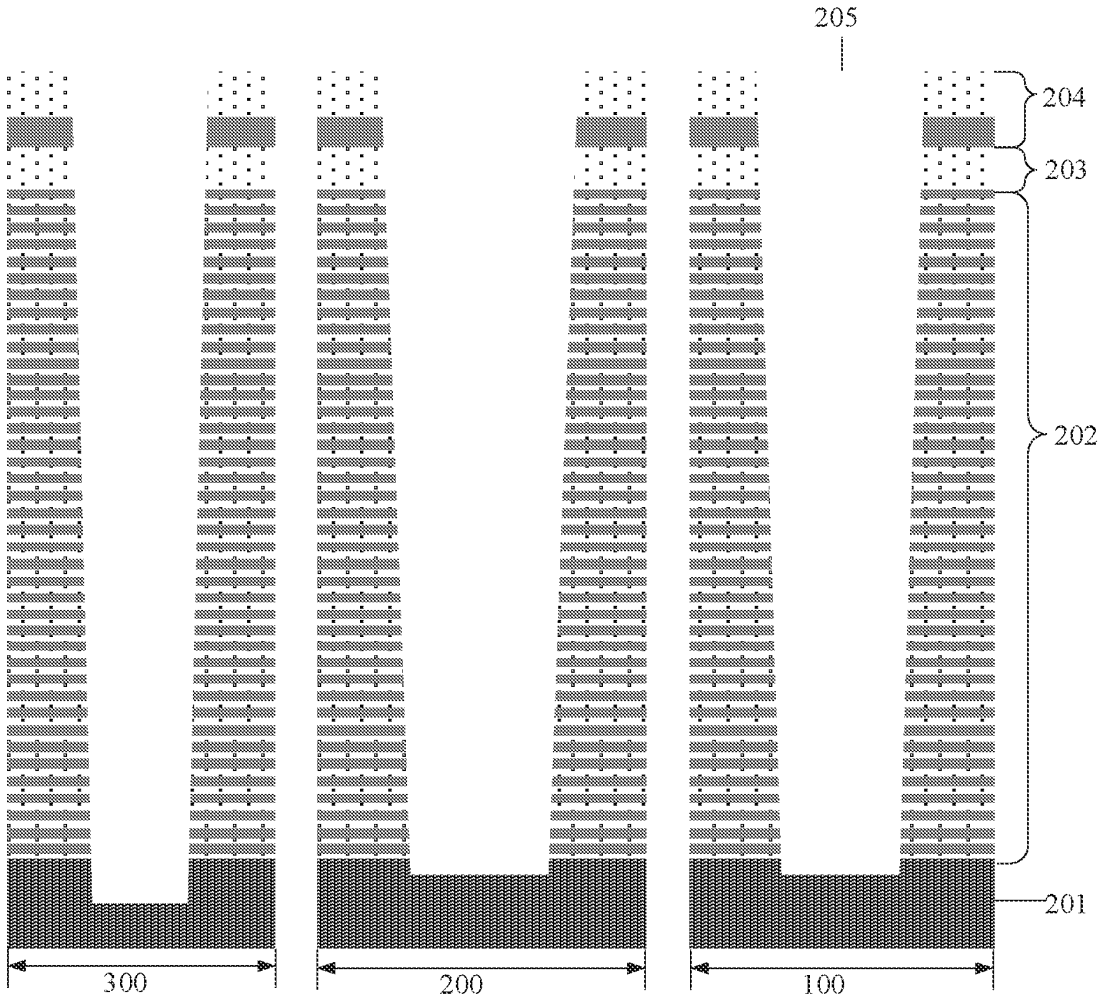


FIG. 24

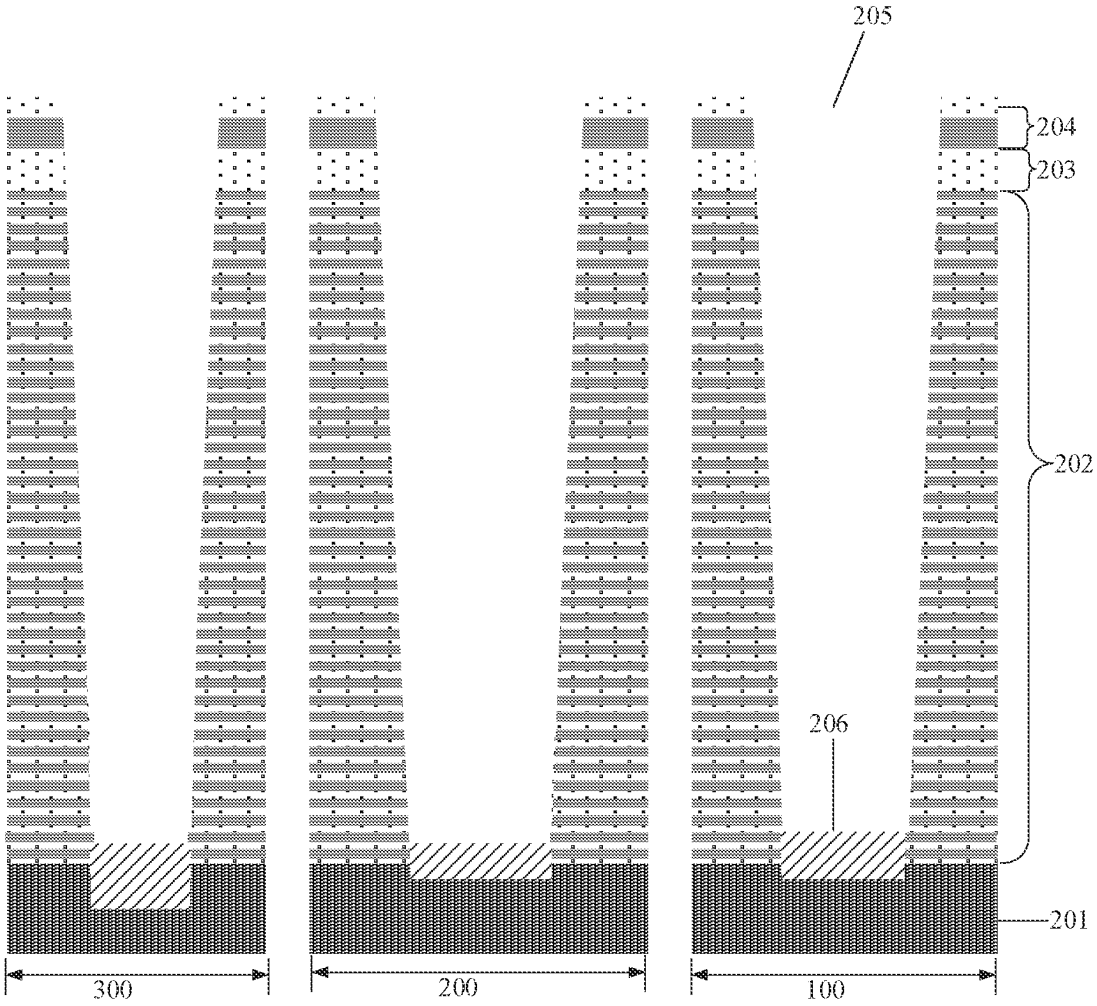


FIG. 25

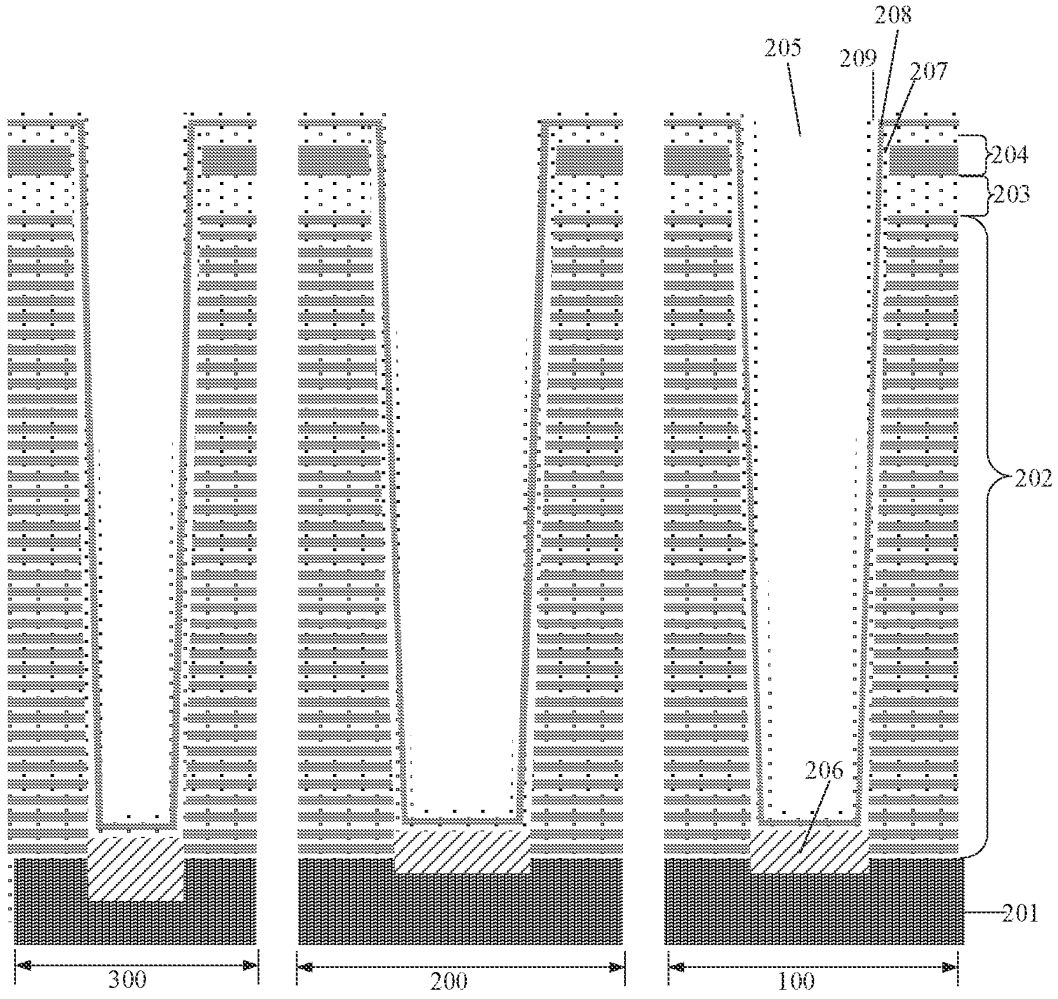


FIG. 26

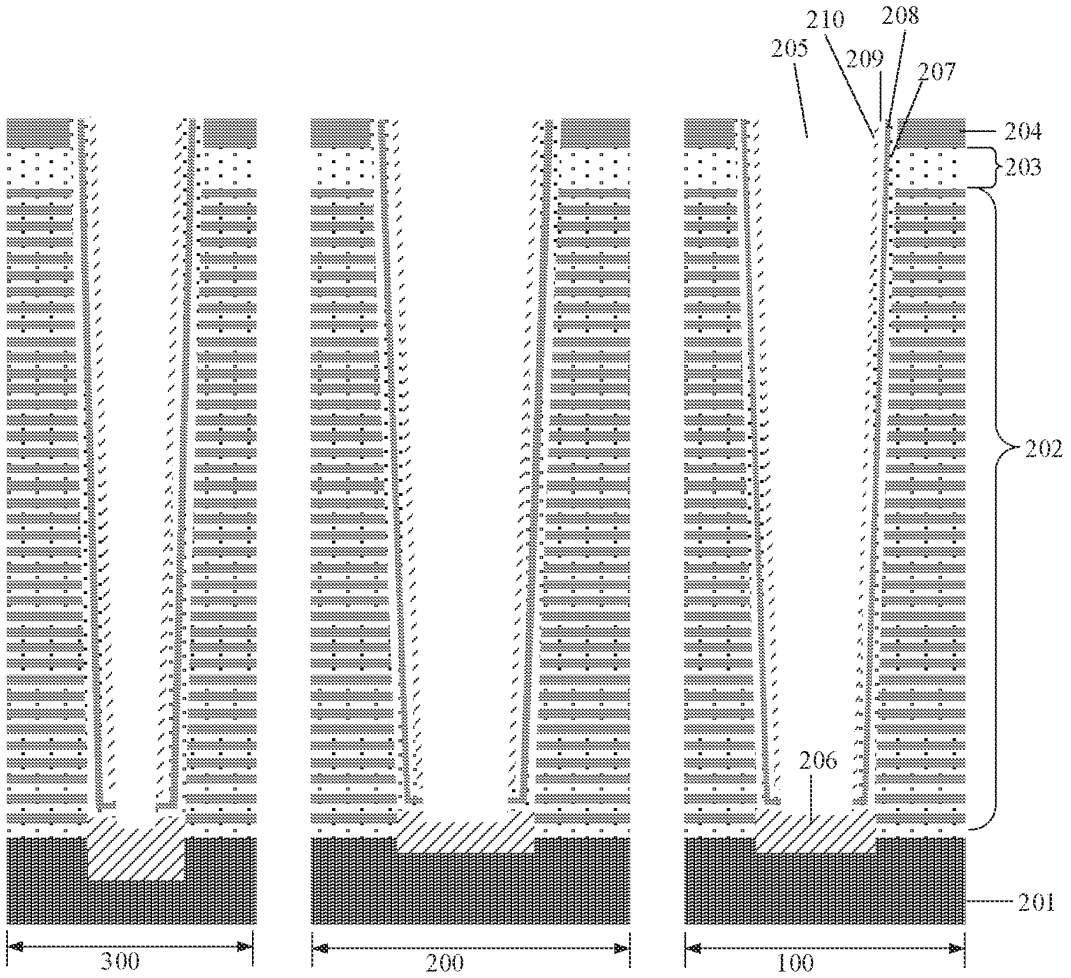


FIG. 27

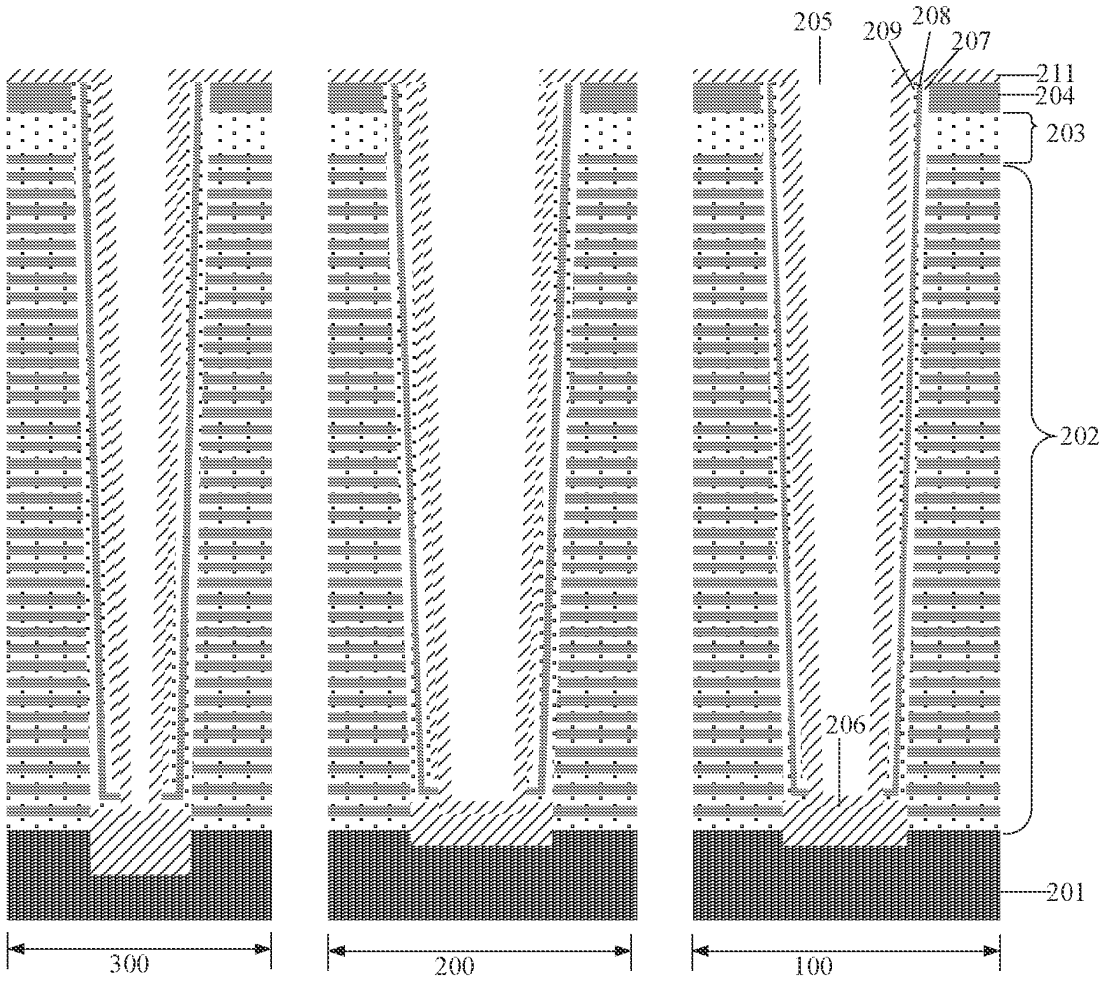


FIG. 28

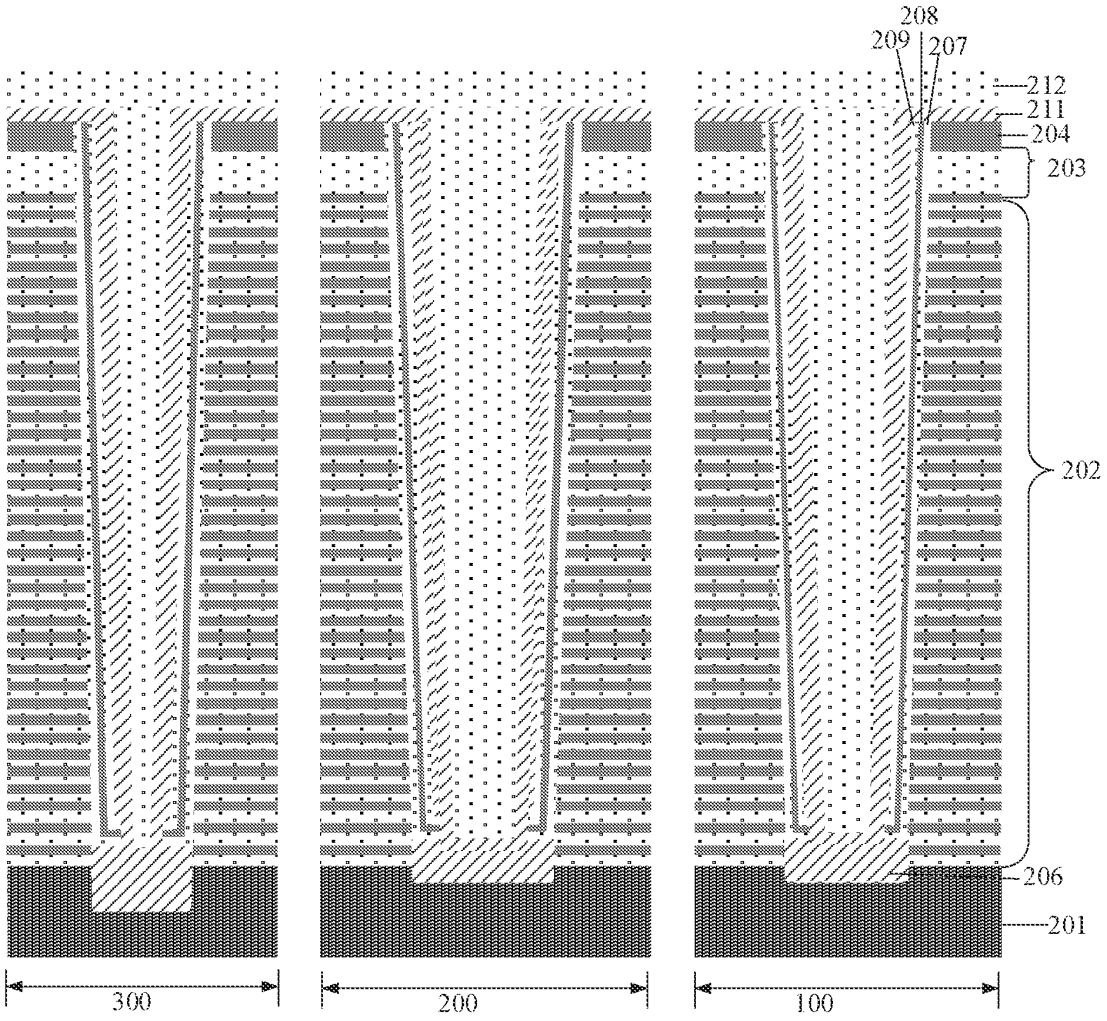


FIG. 29

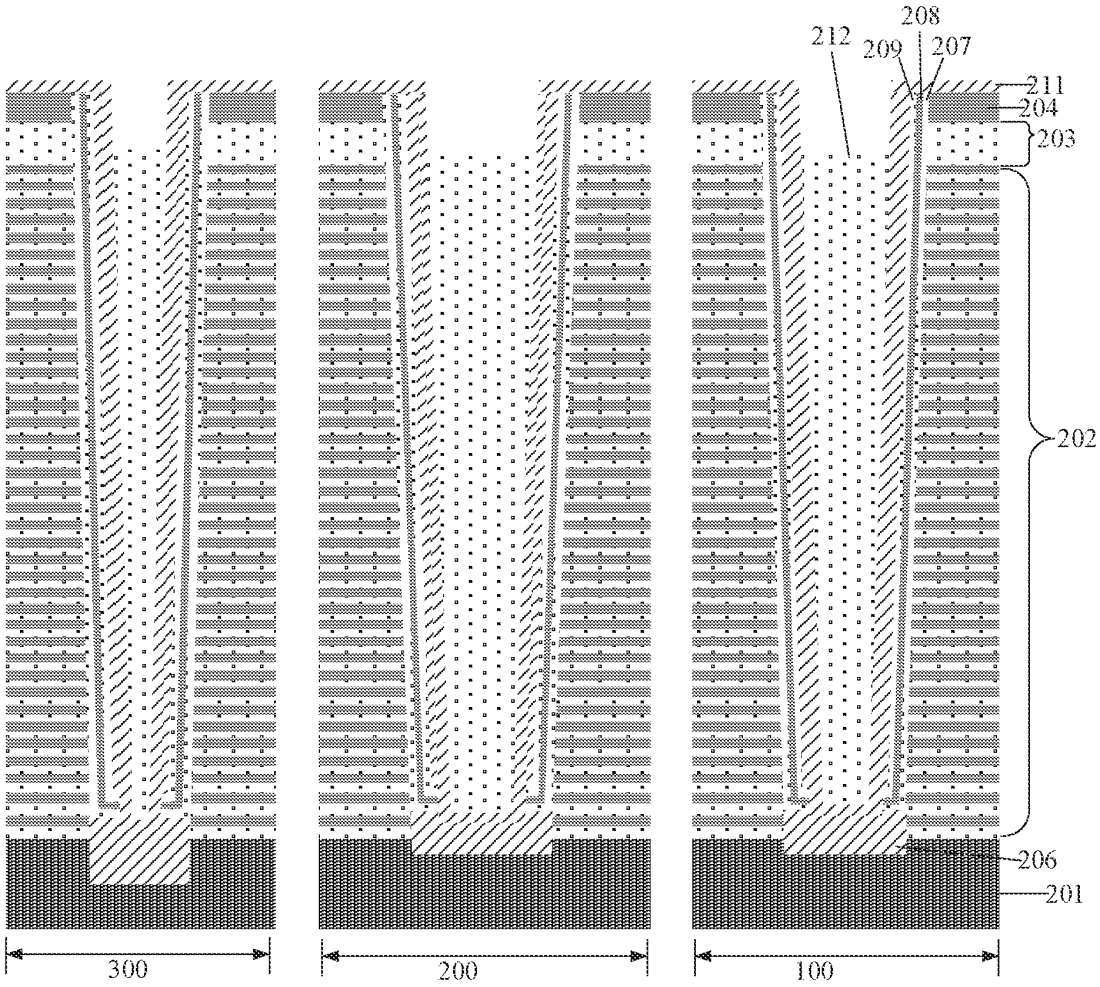


FIG.30A

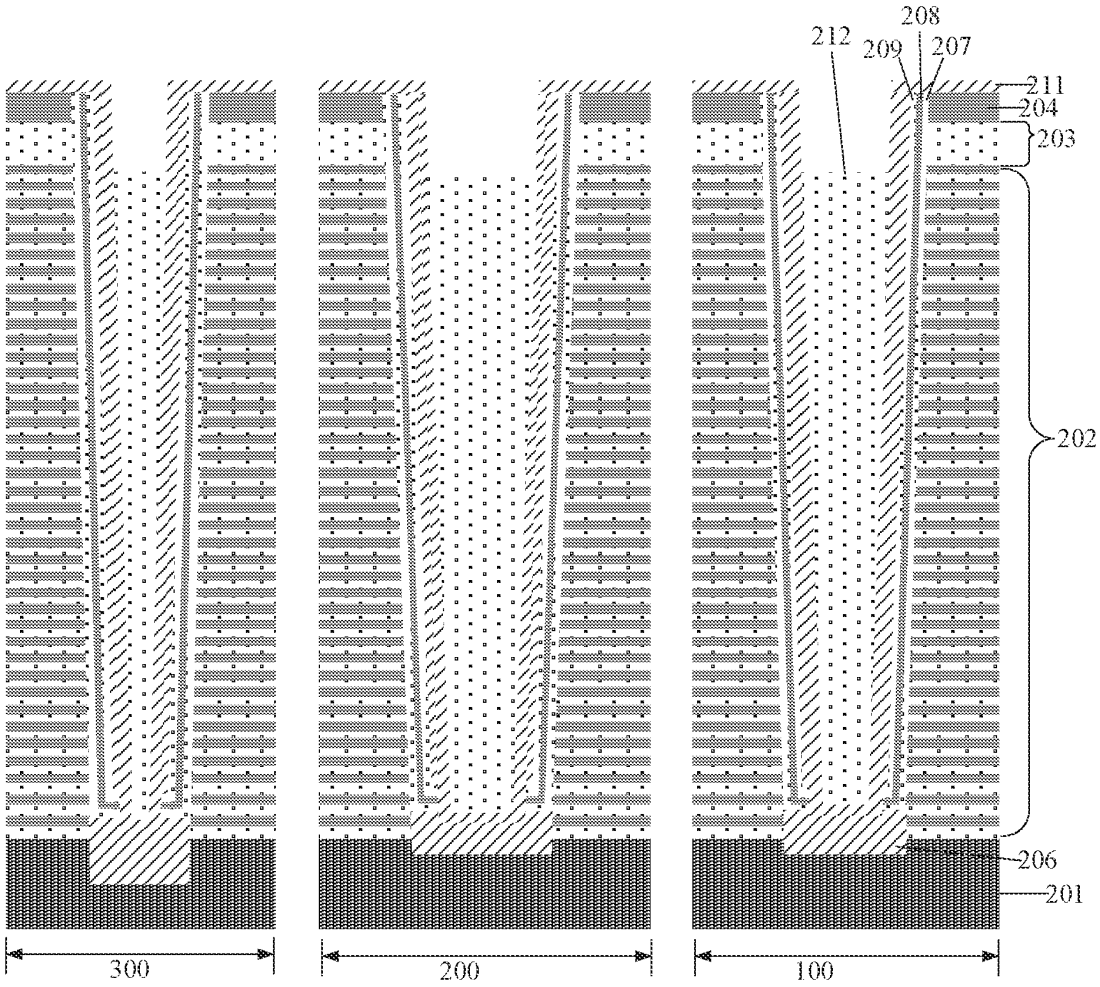


FIG.30B

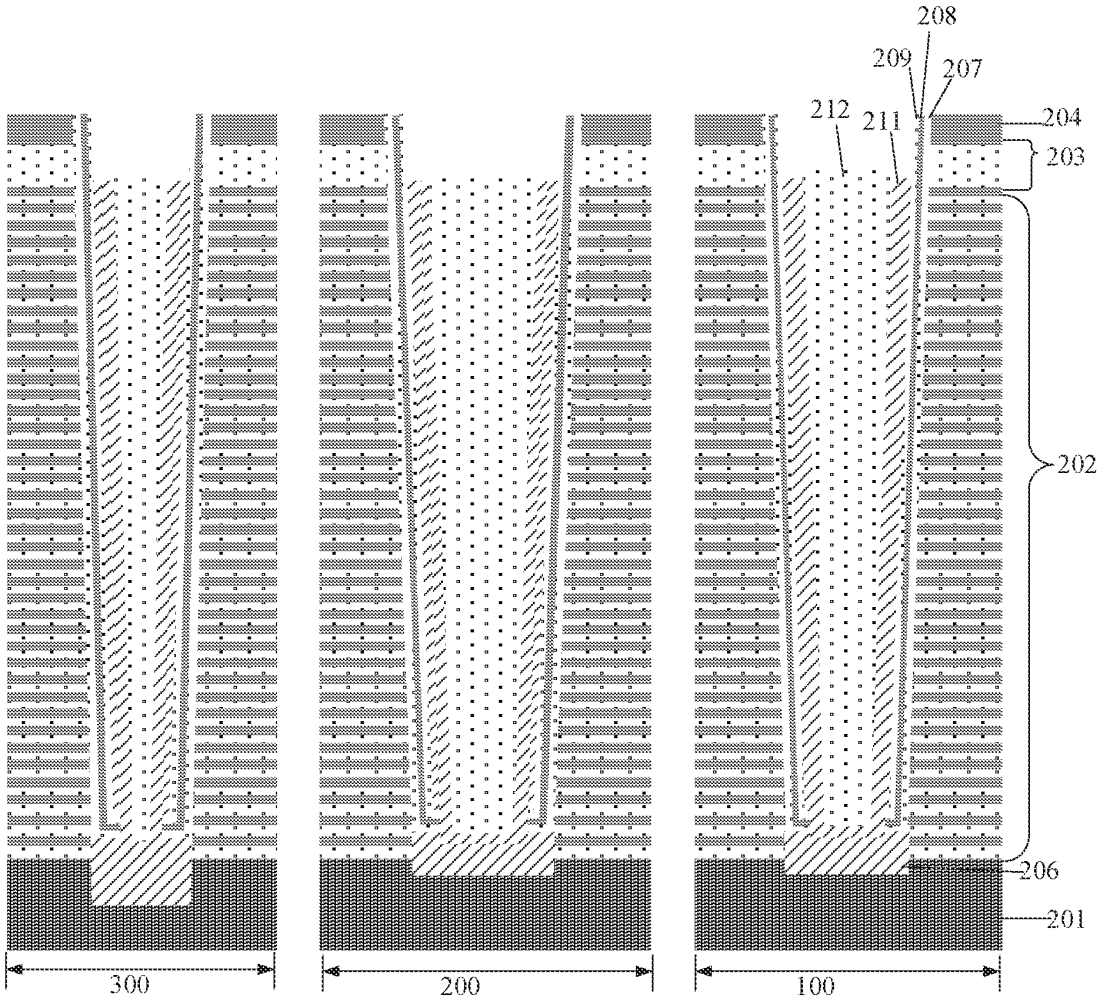


FIG. 31A

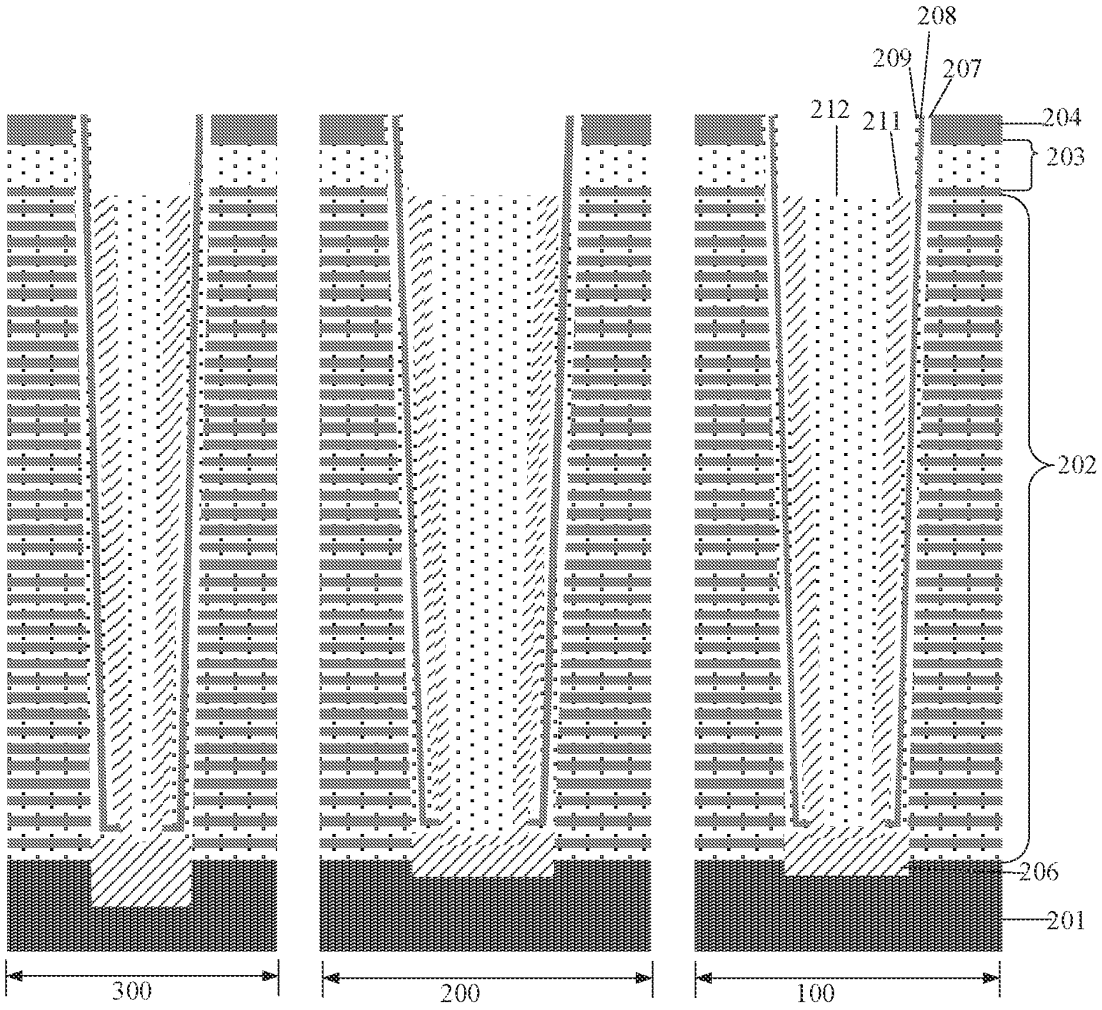


FIG. 31B

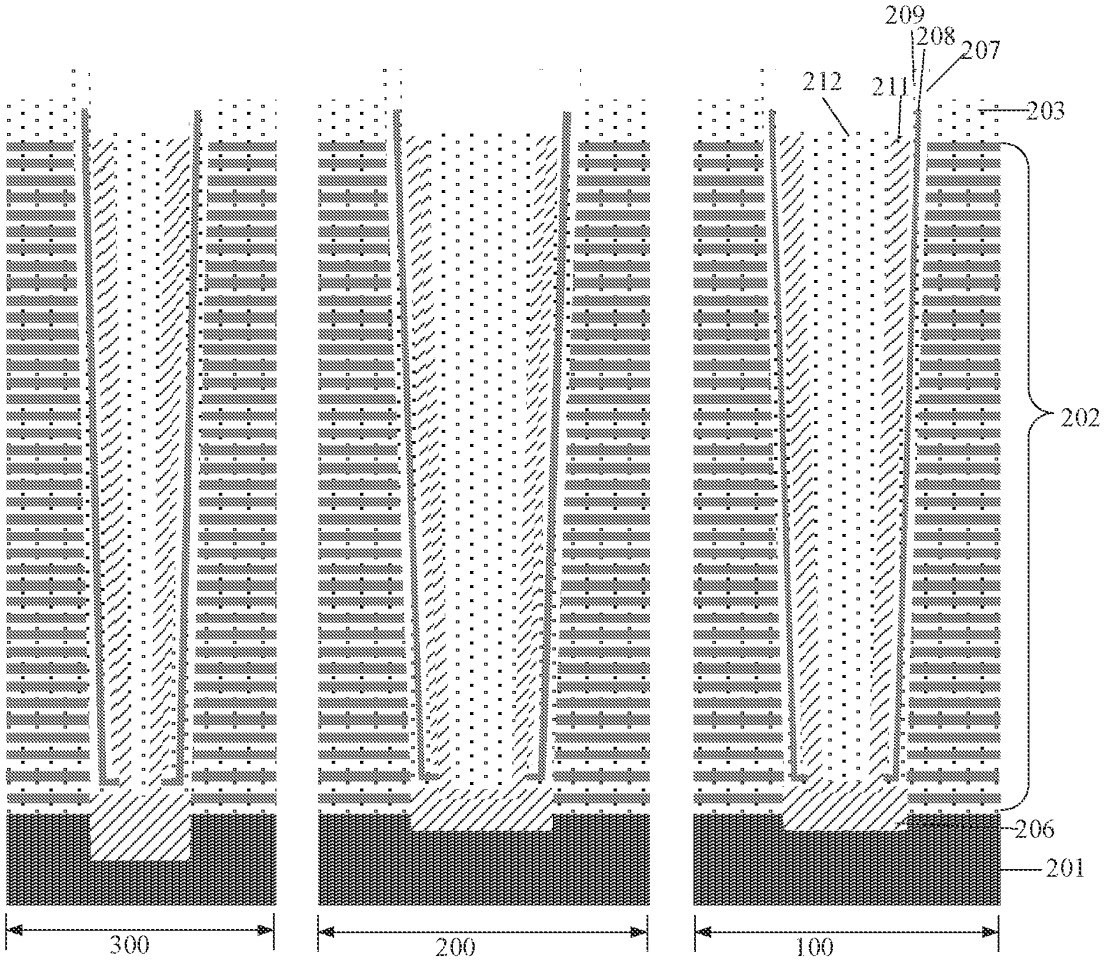


FIG. 32A

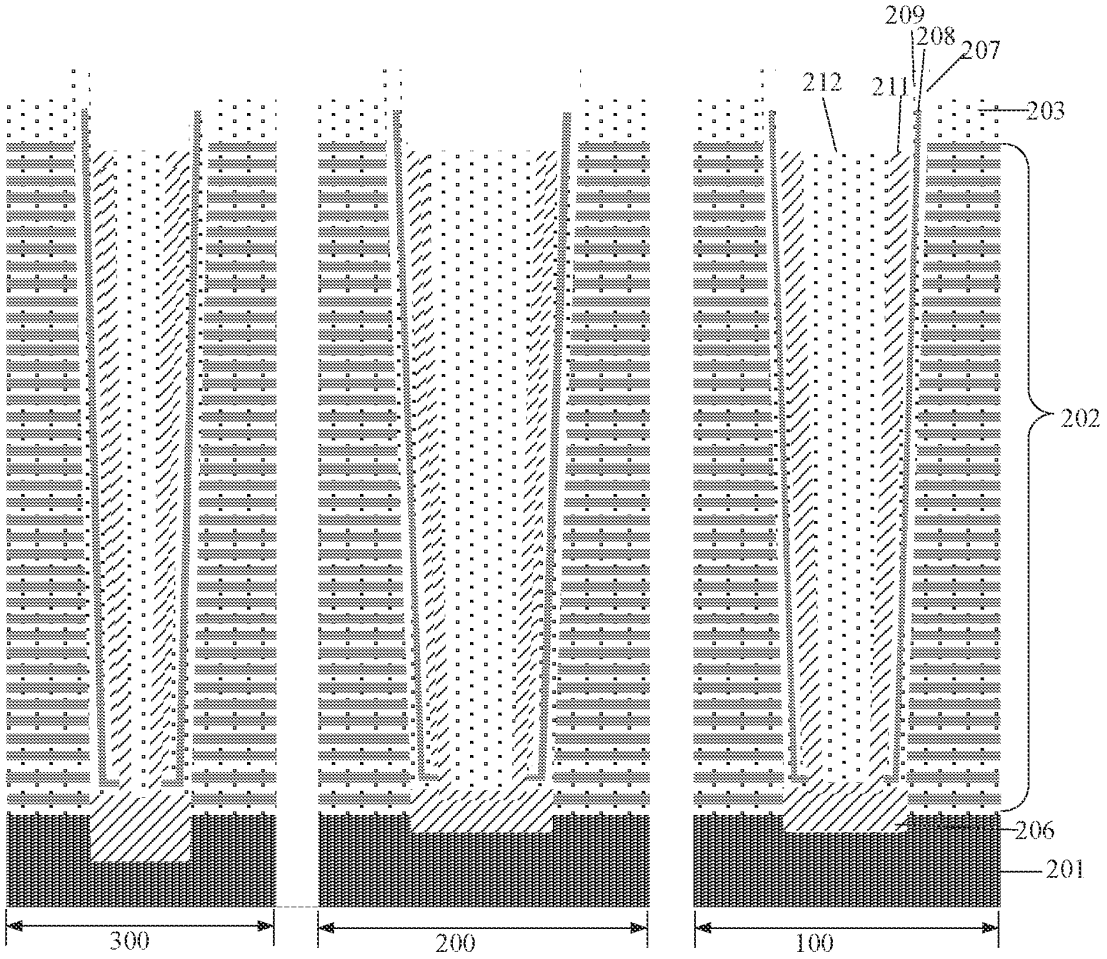


FIG. 32B

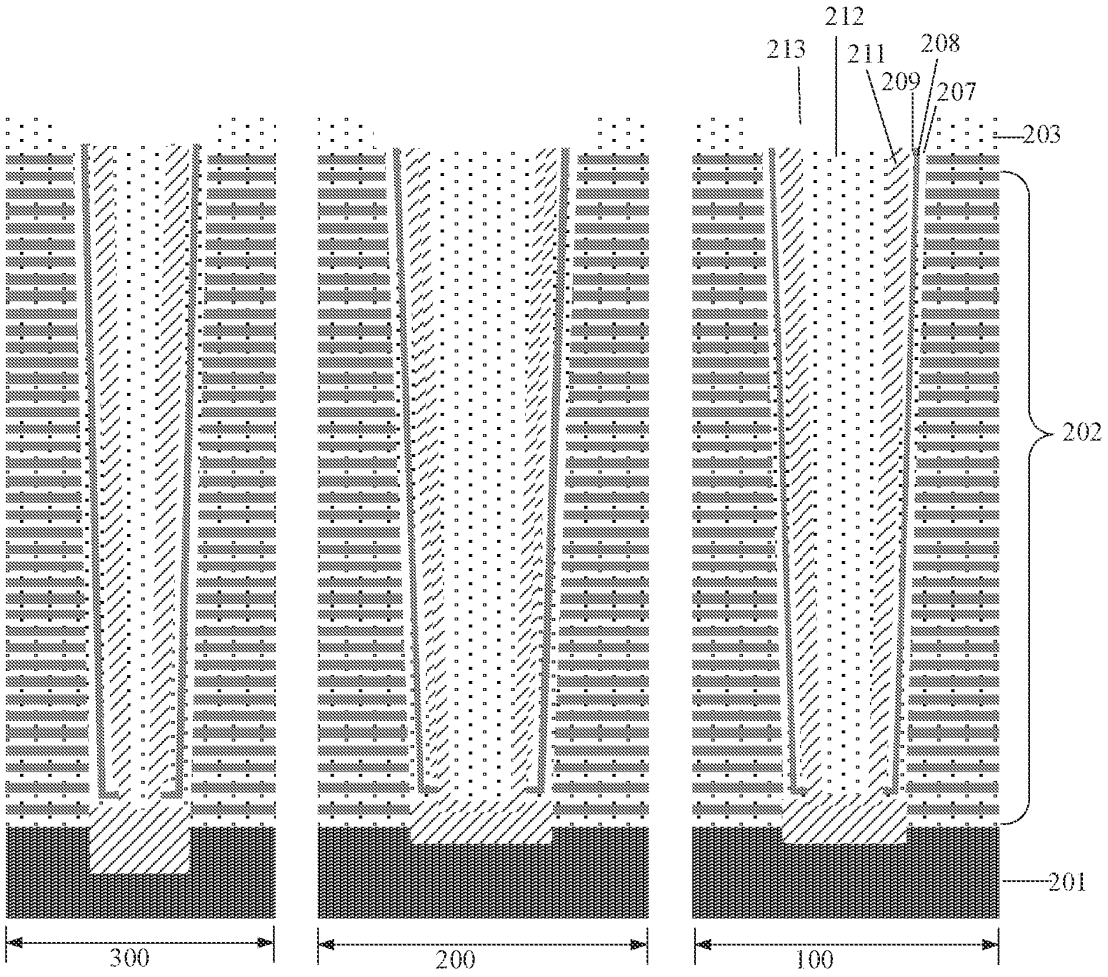


FIG. 33A

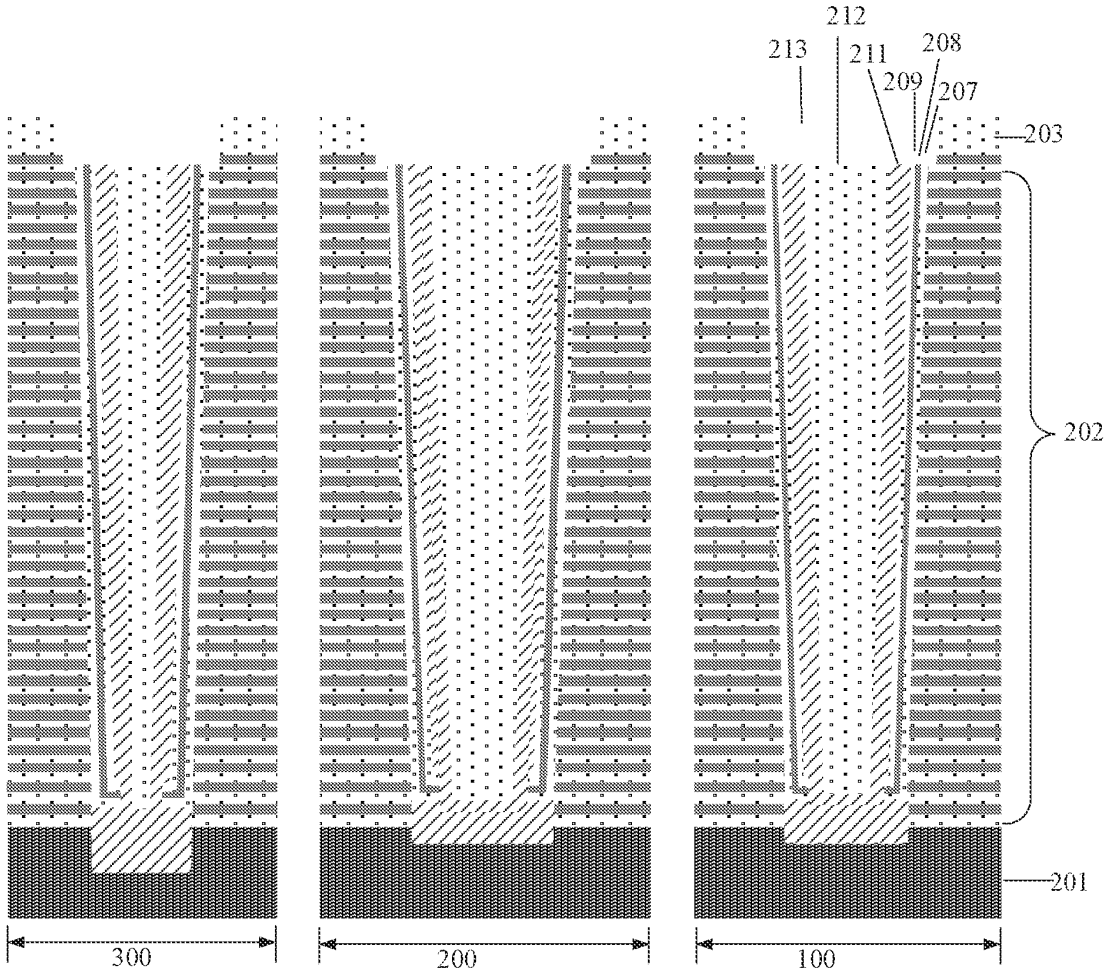


FIG. 33B

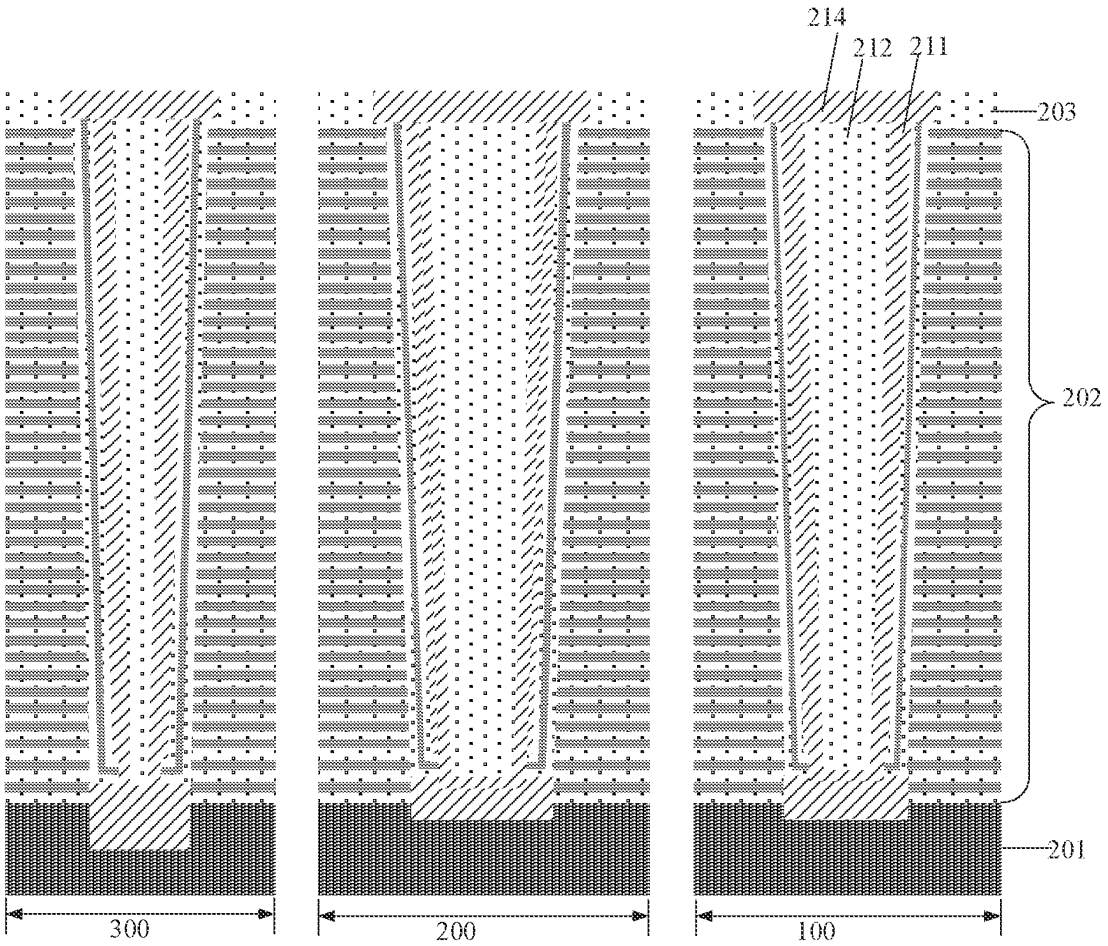


FIG. 34A

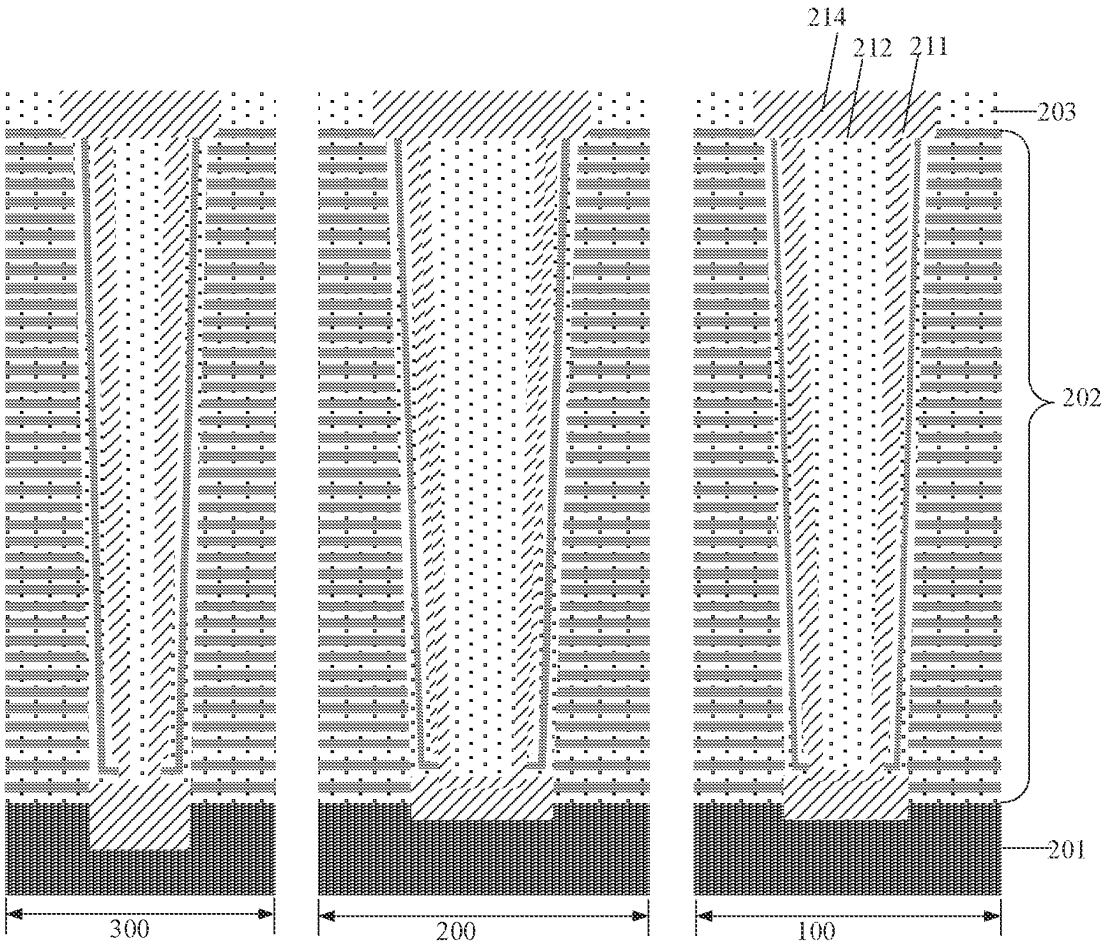


FIG. 34B

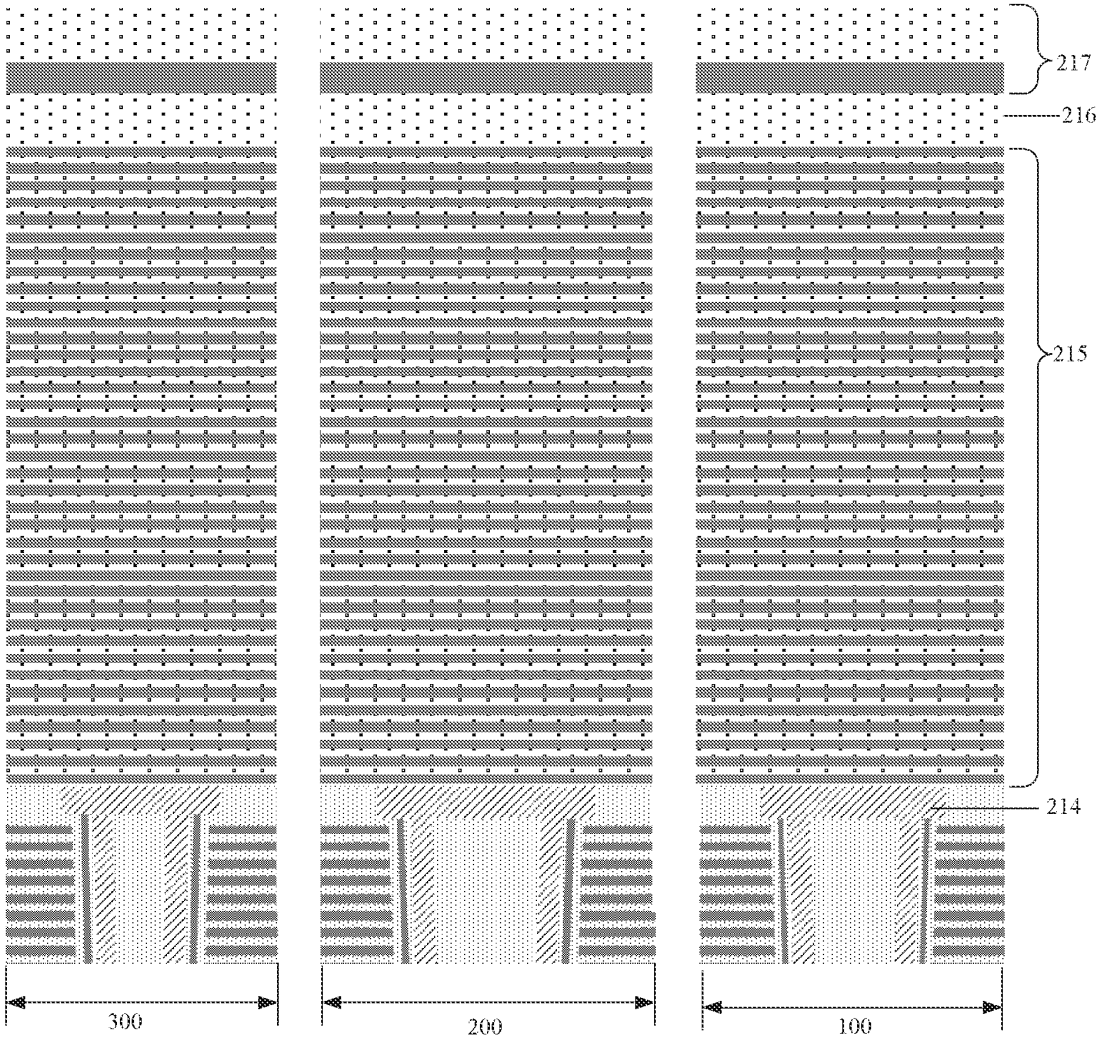


FIG.35

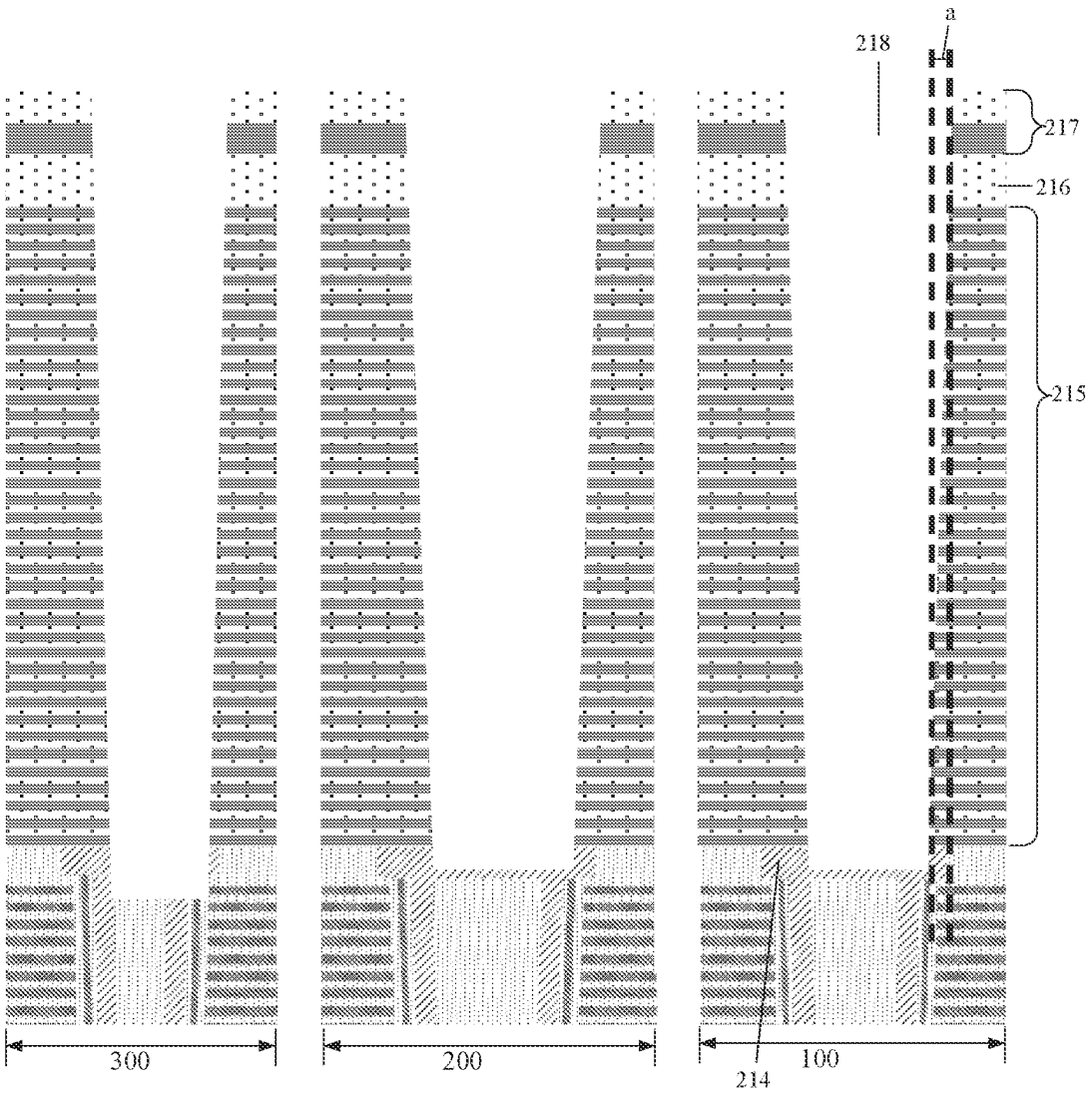


FIG. 36

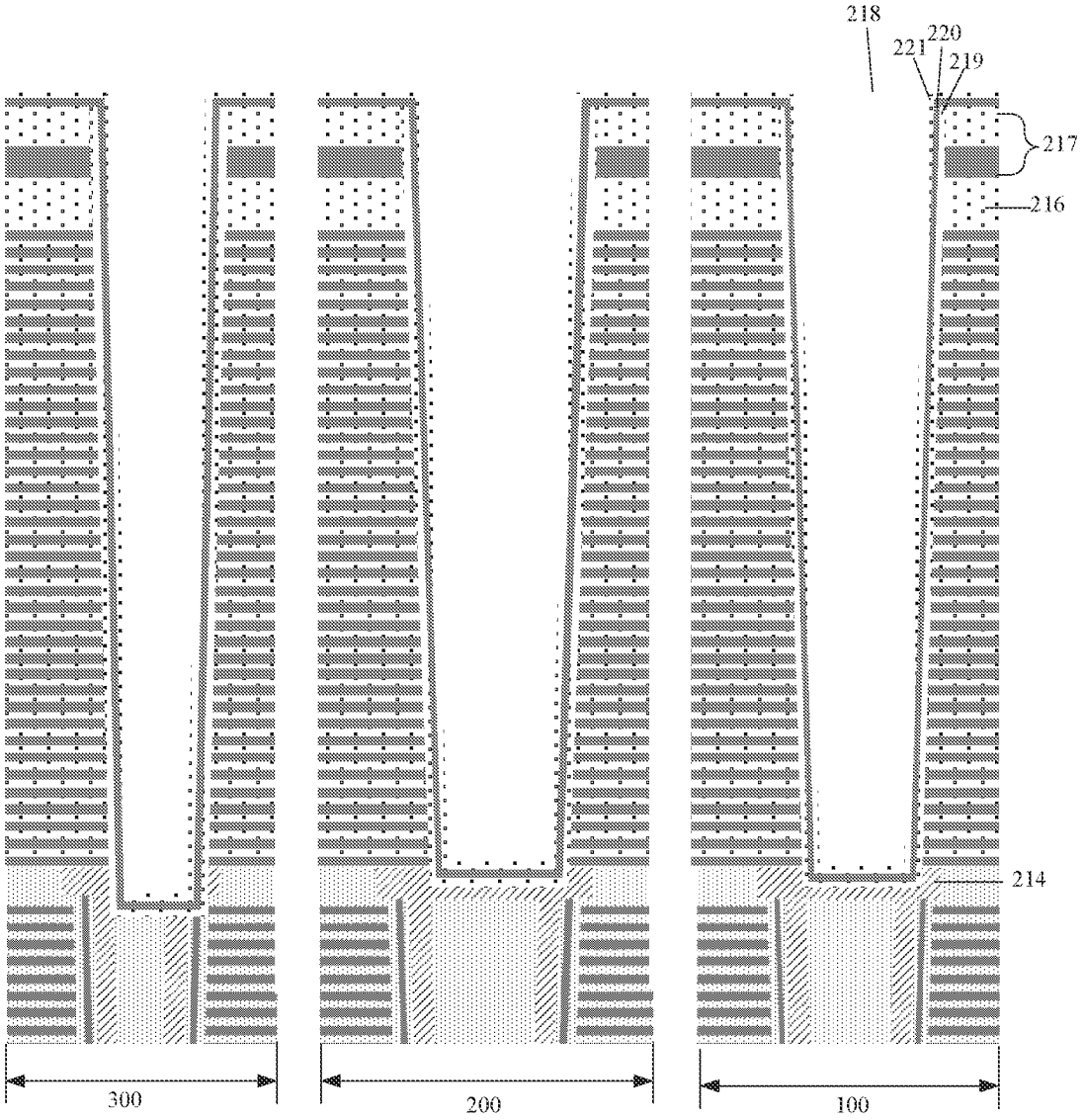


FIG. 37

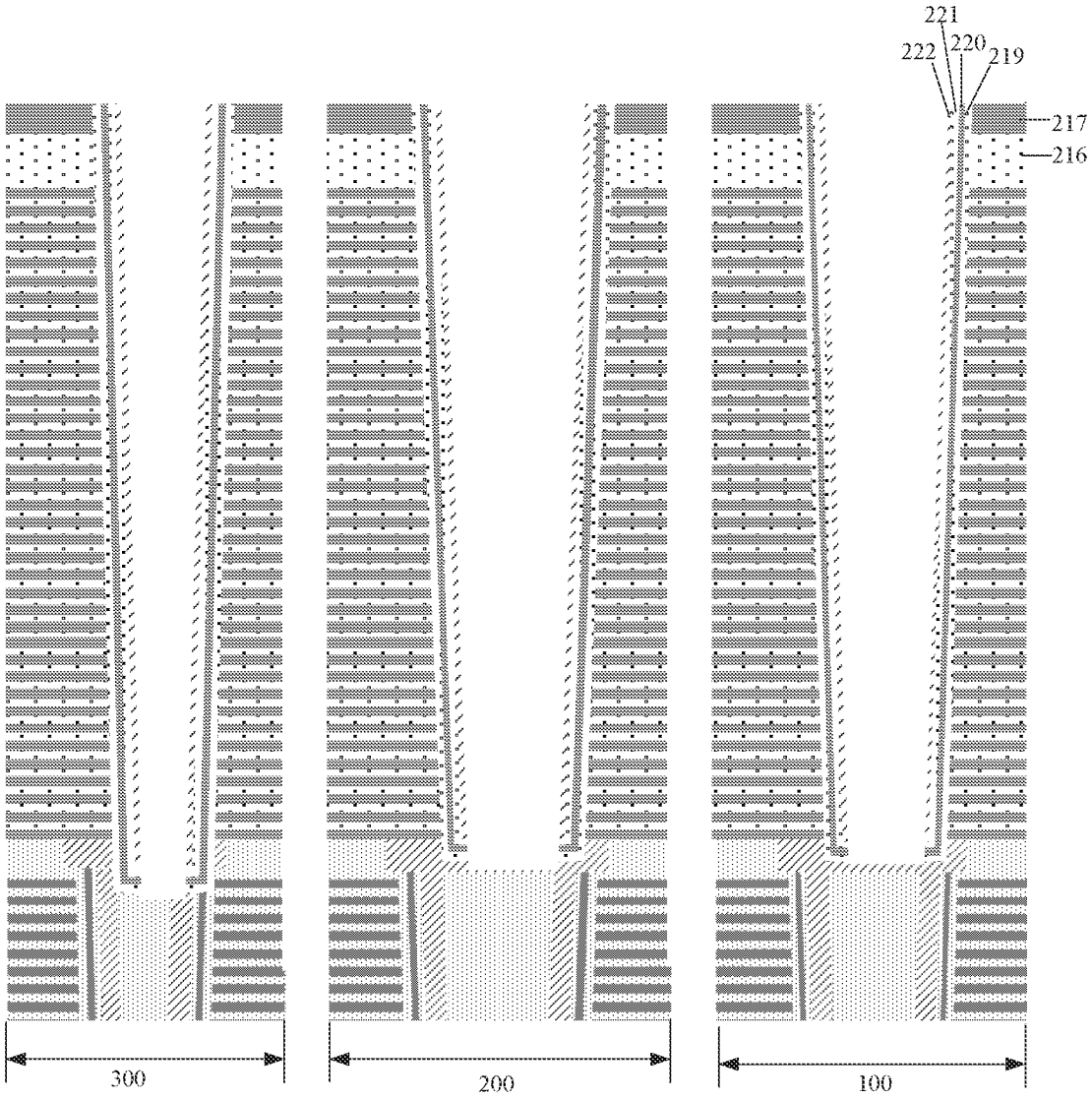


FIG. 38

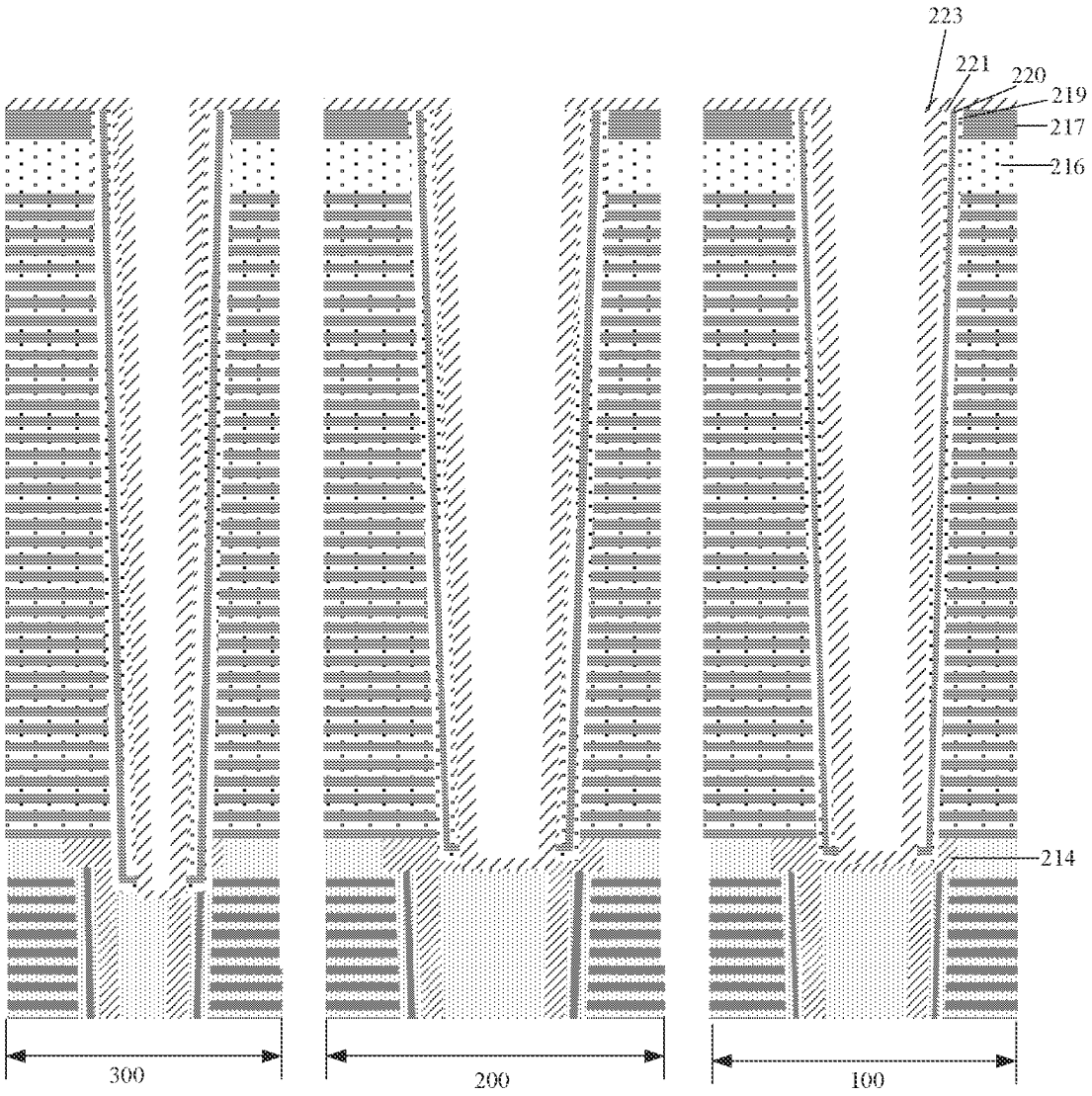


FIG. 39

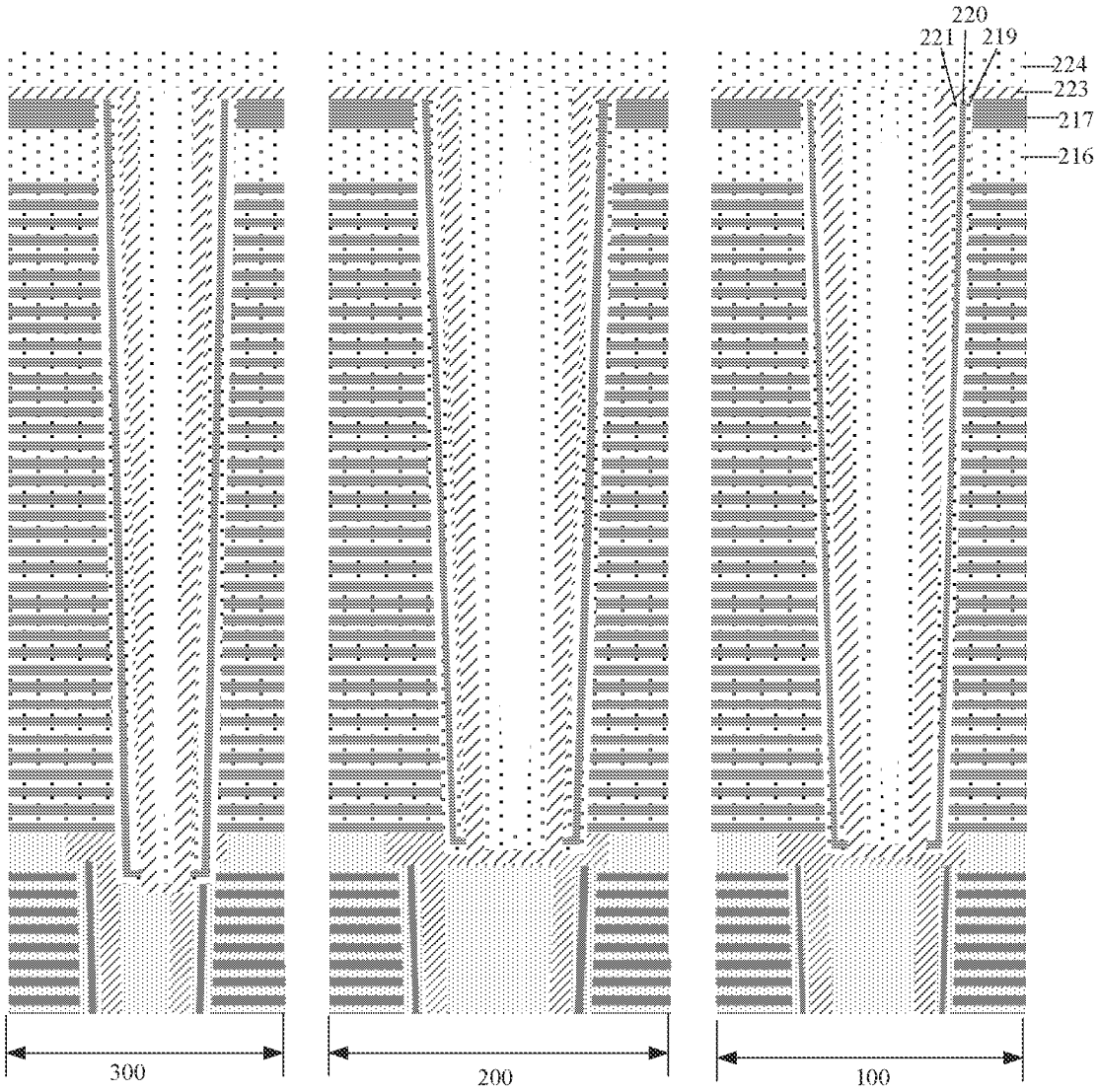


FIG. 40

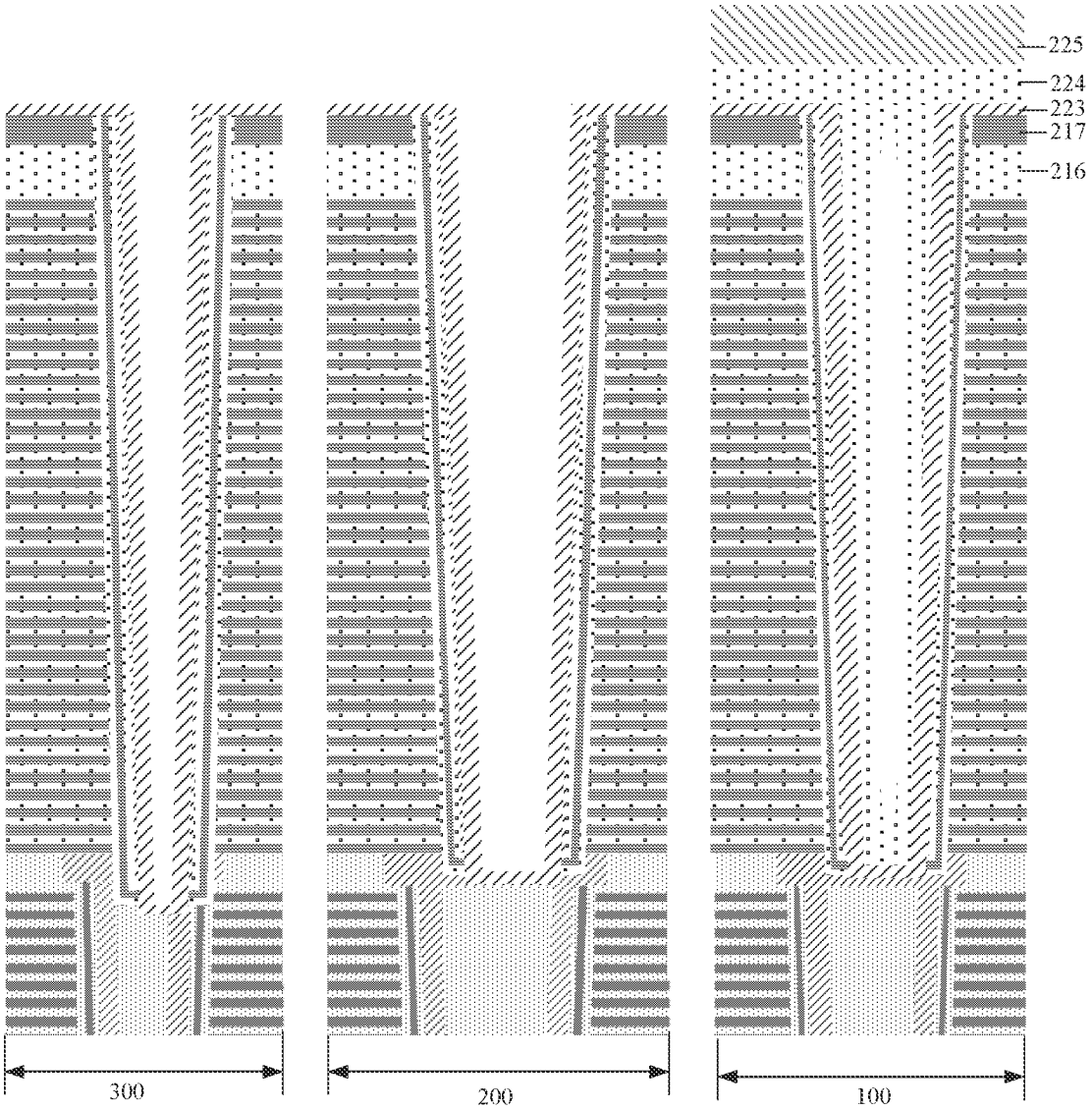


FIG. 41

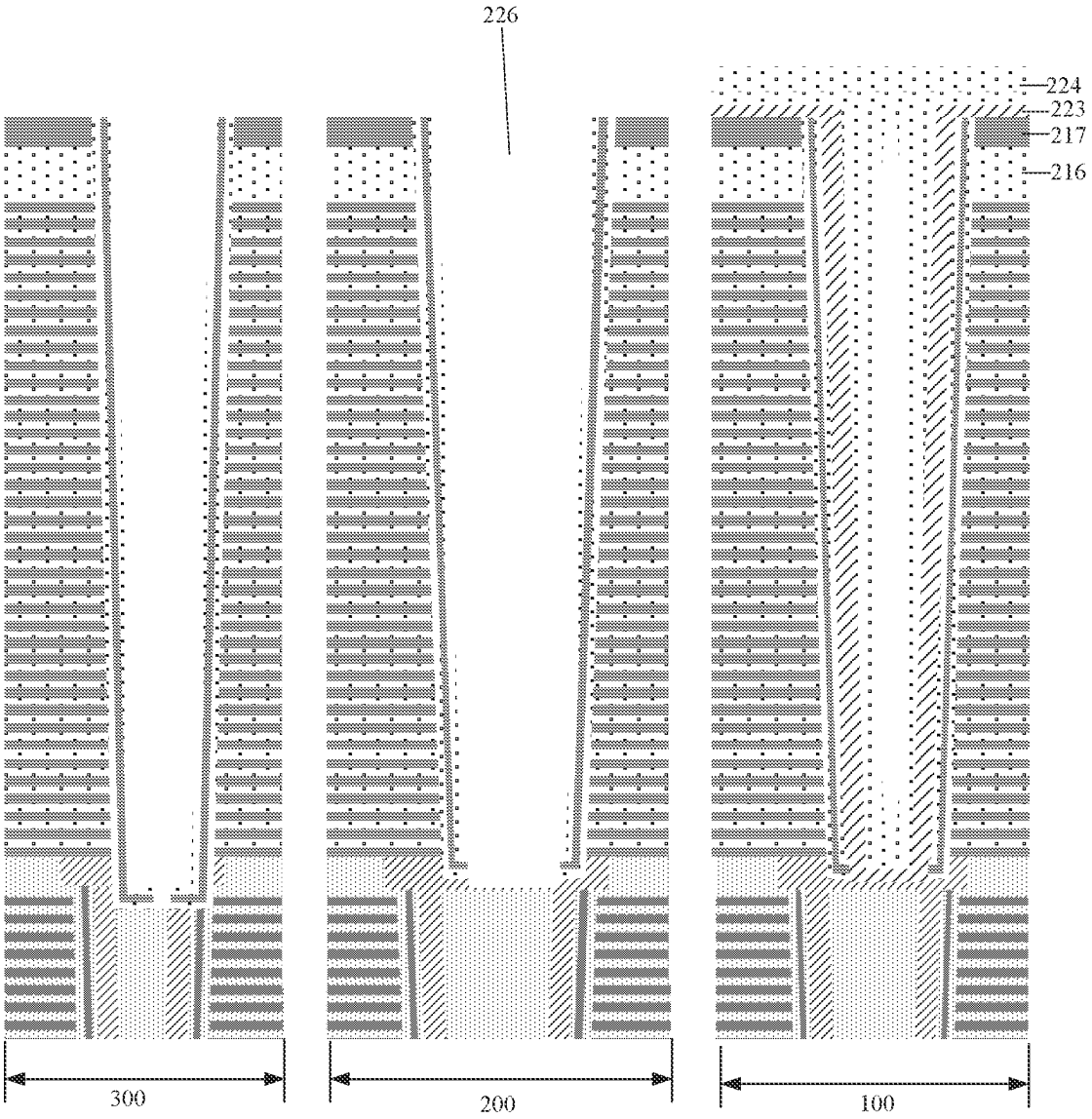


FIG. 42

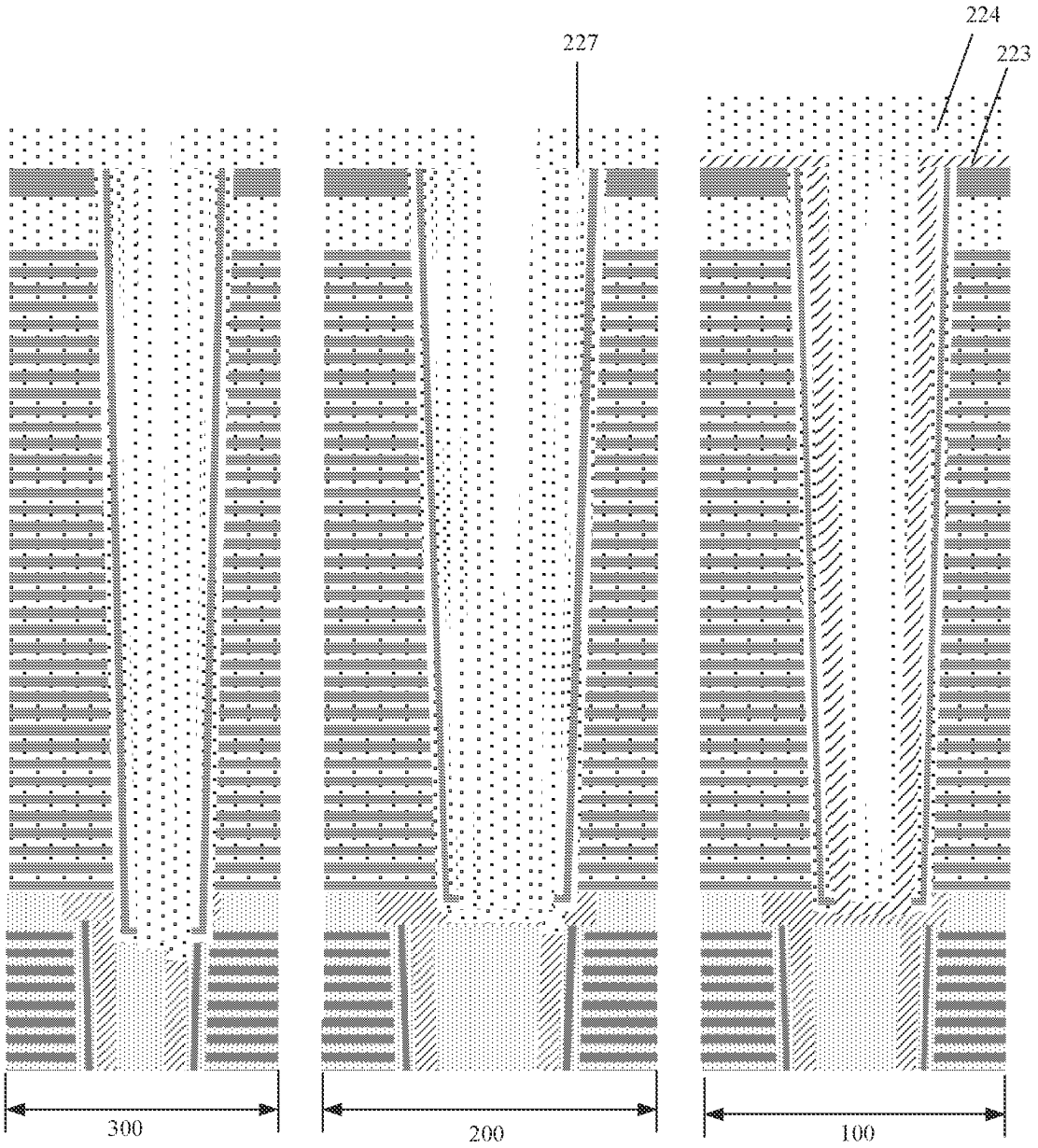


FIG. 43

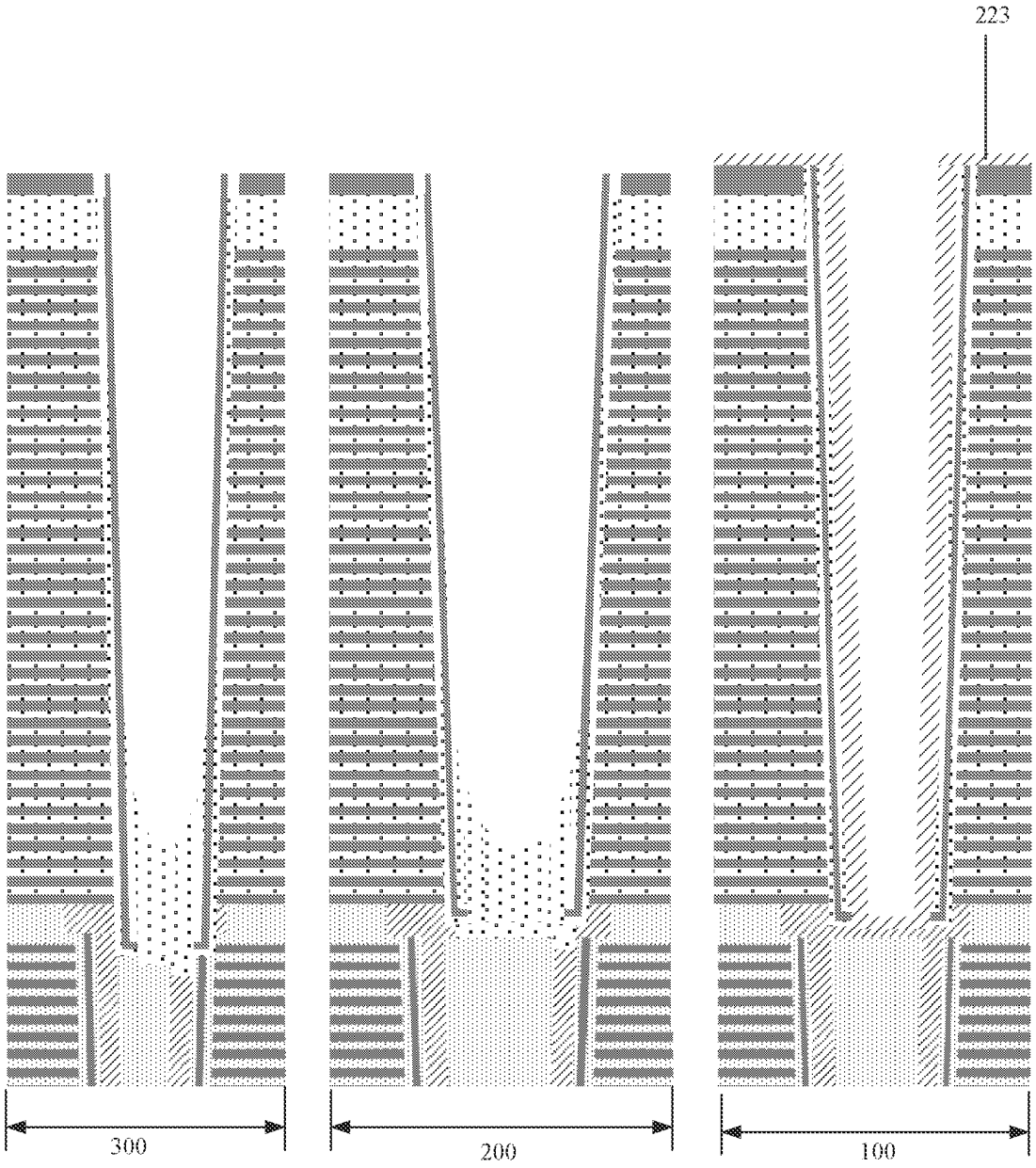


FIG. 44

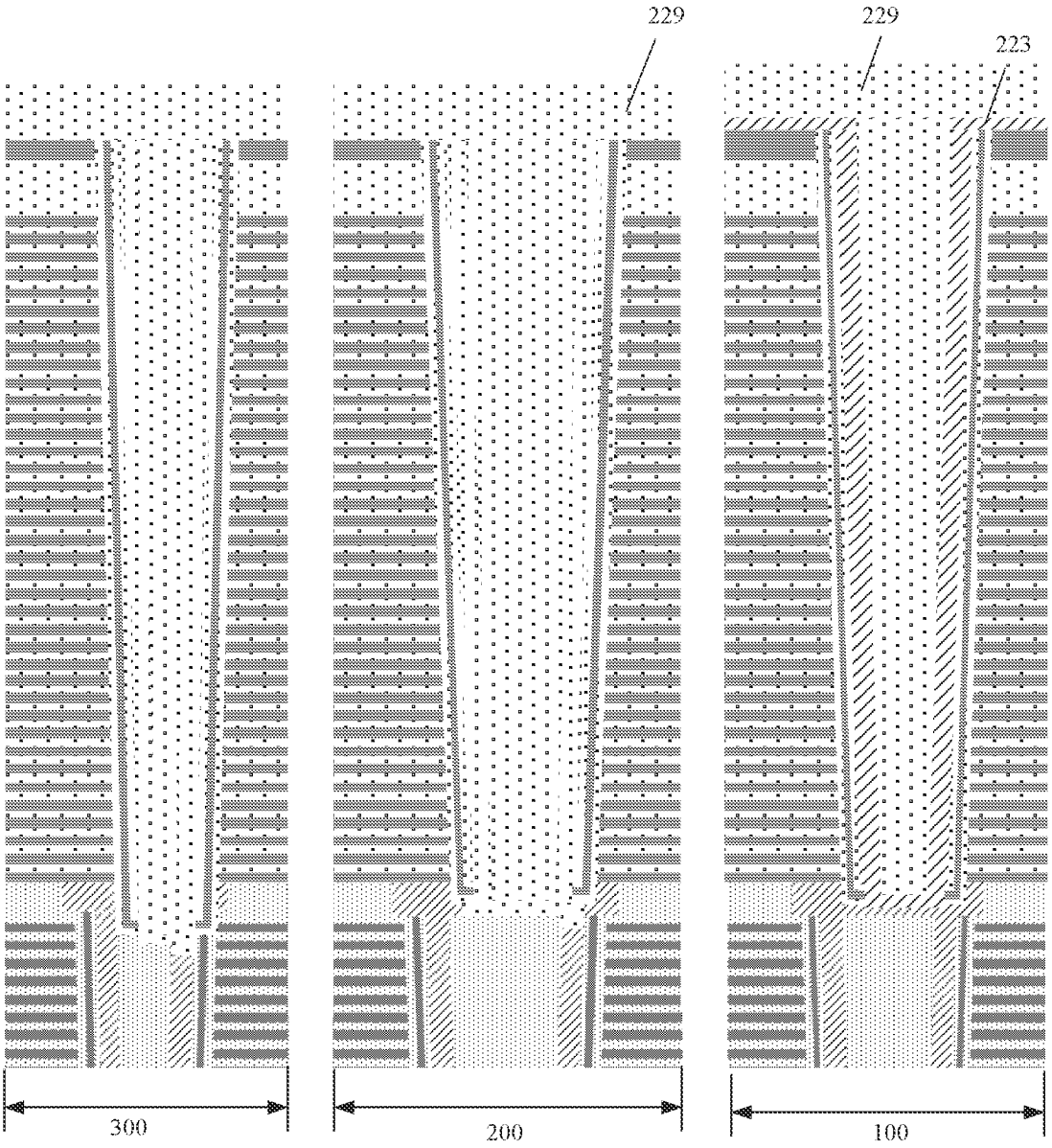


FIG. 45

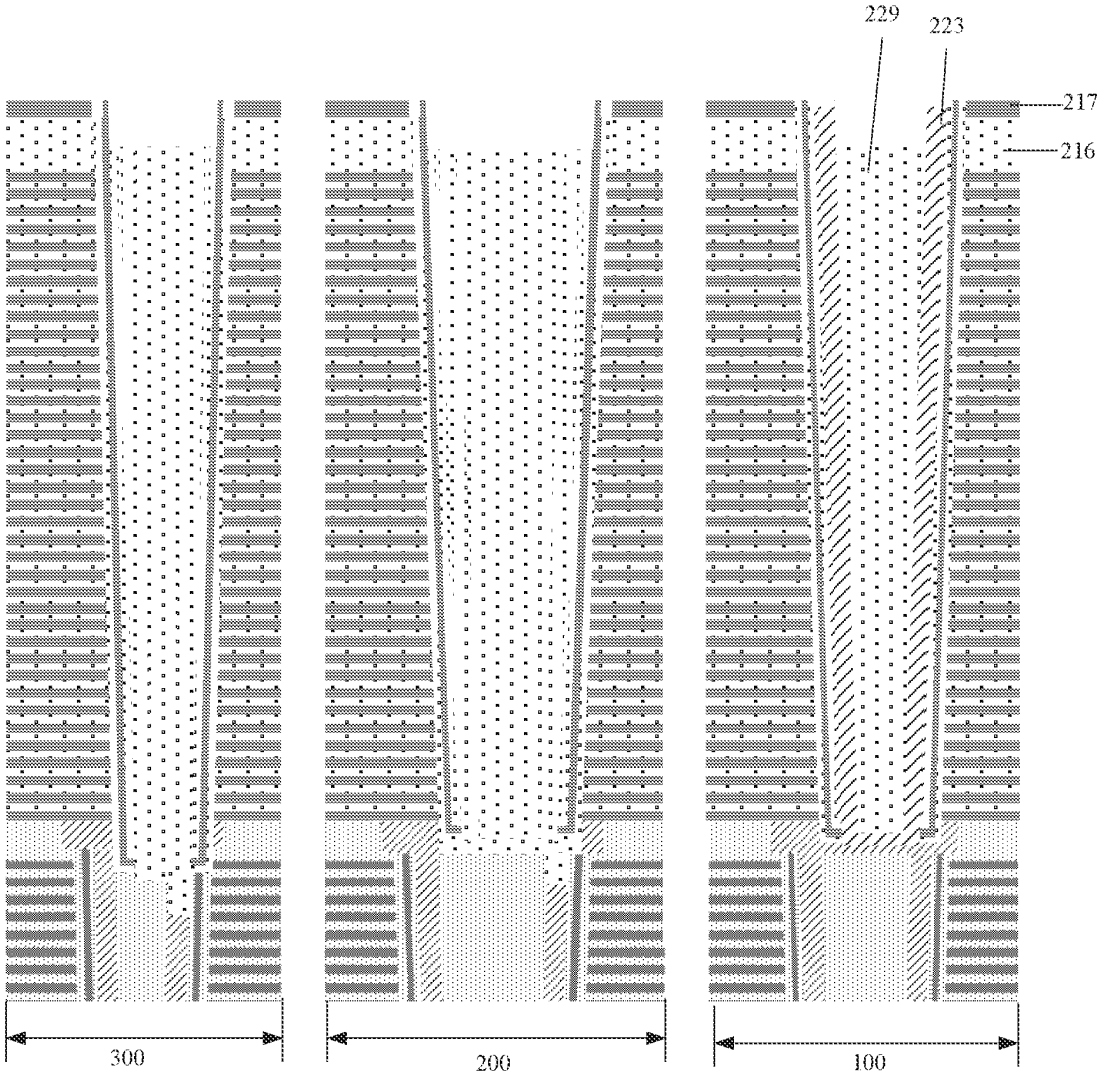


FIG. 46

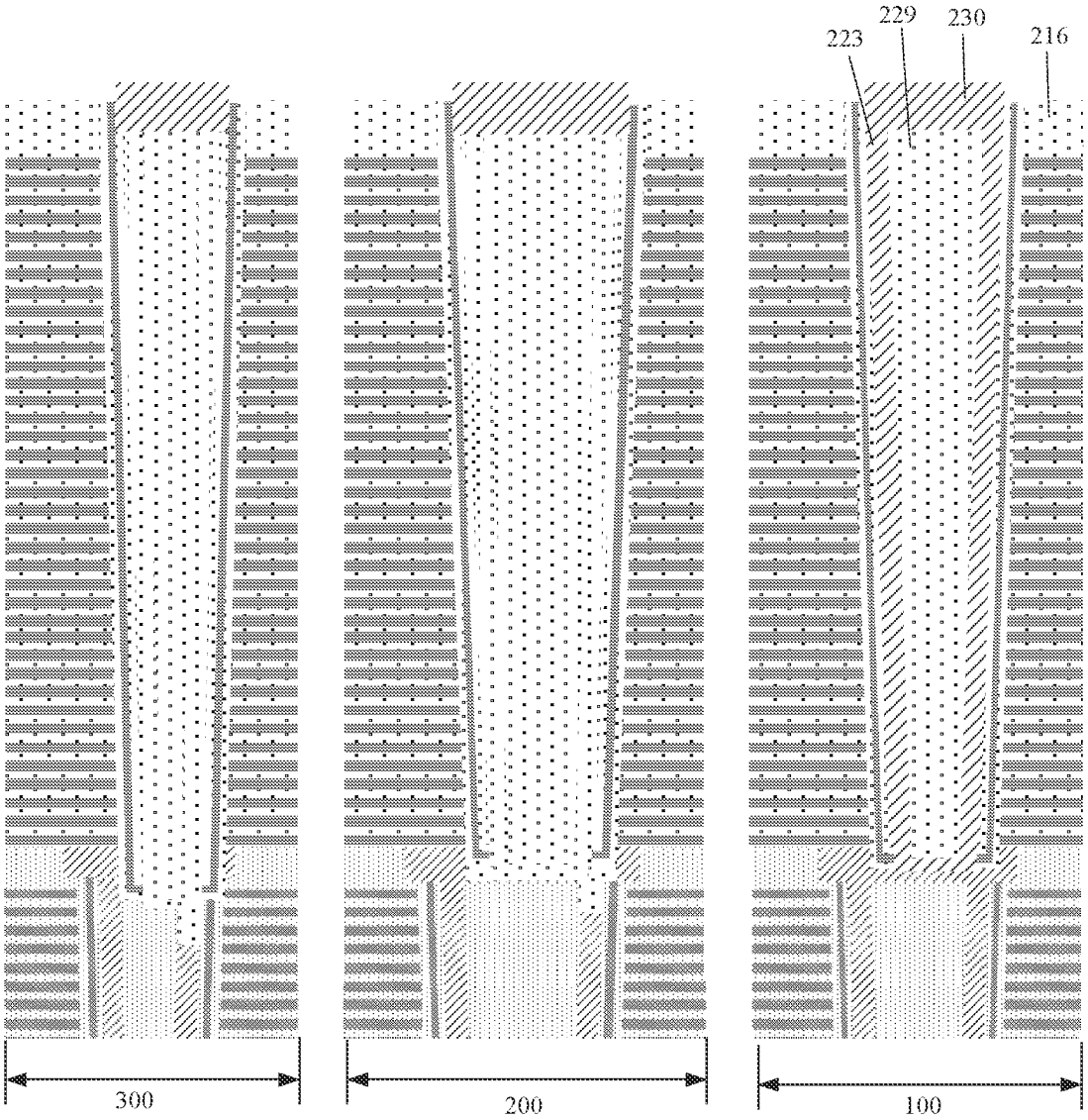


FIG. 47

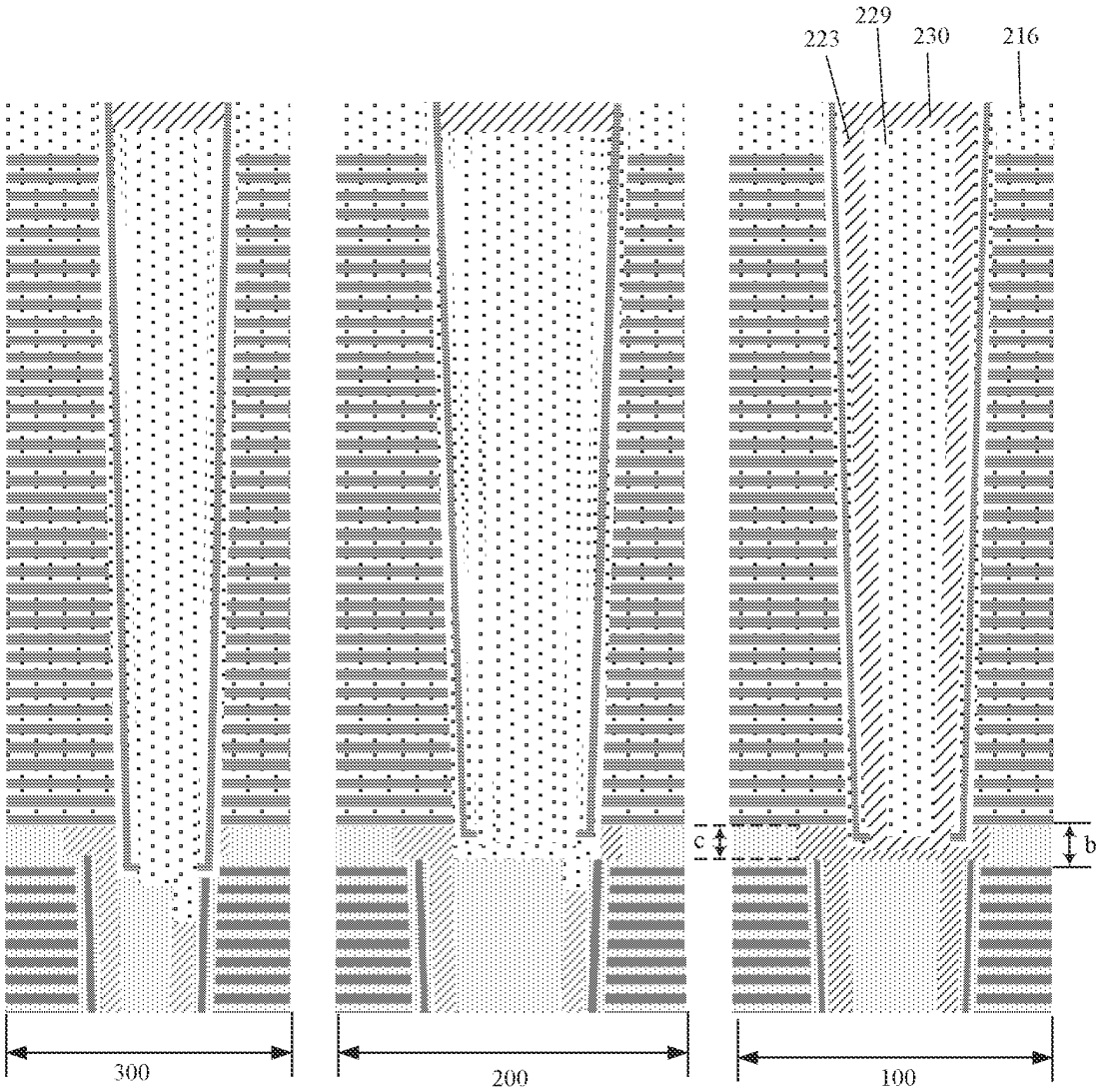


FIG. 48A

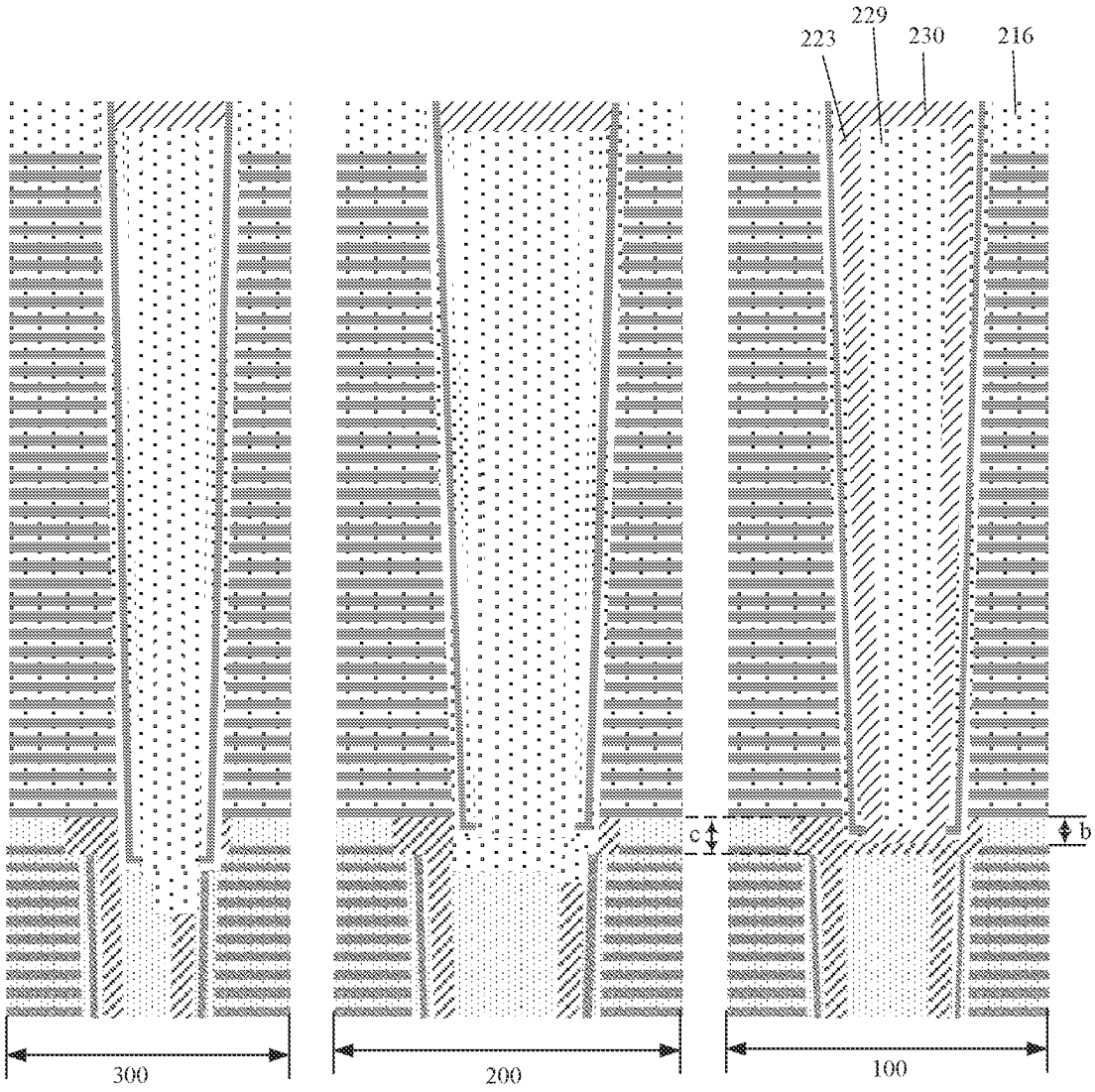


FIG. 48B

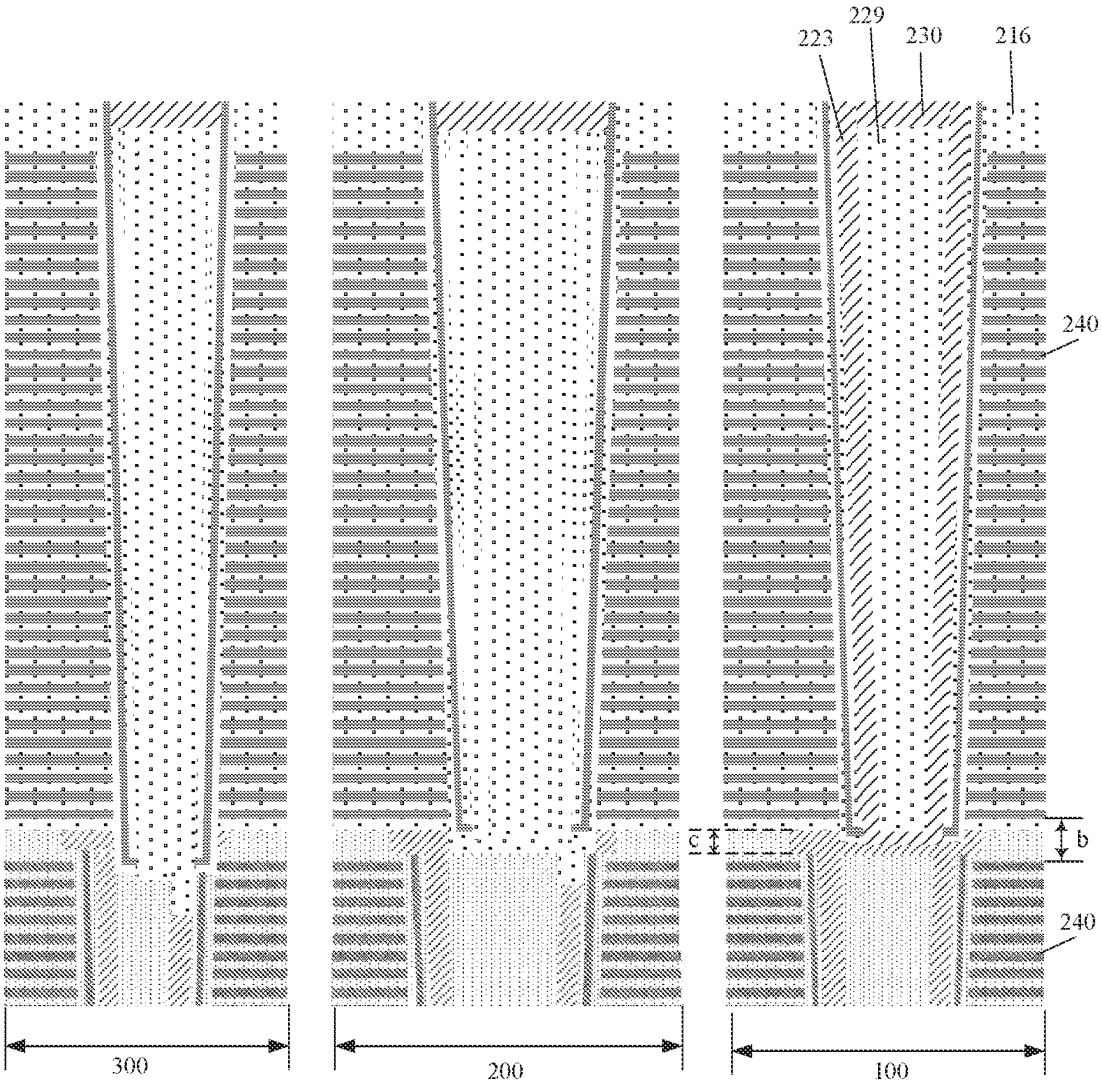


FIG. 49A

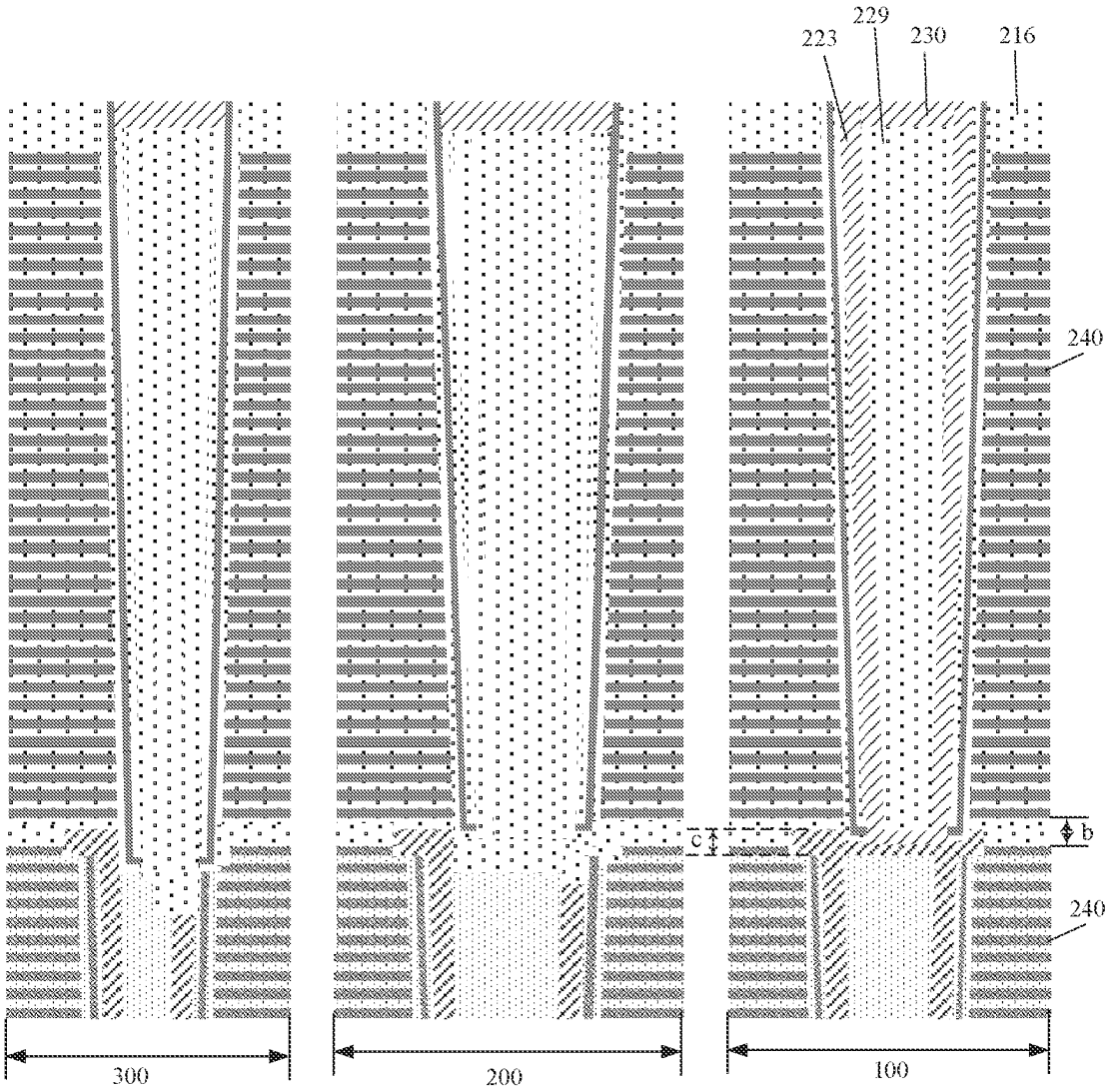


FIG. 49B

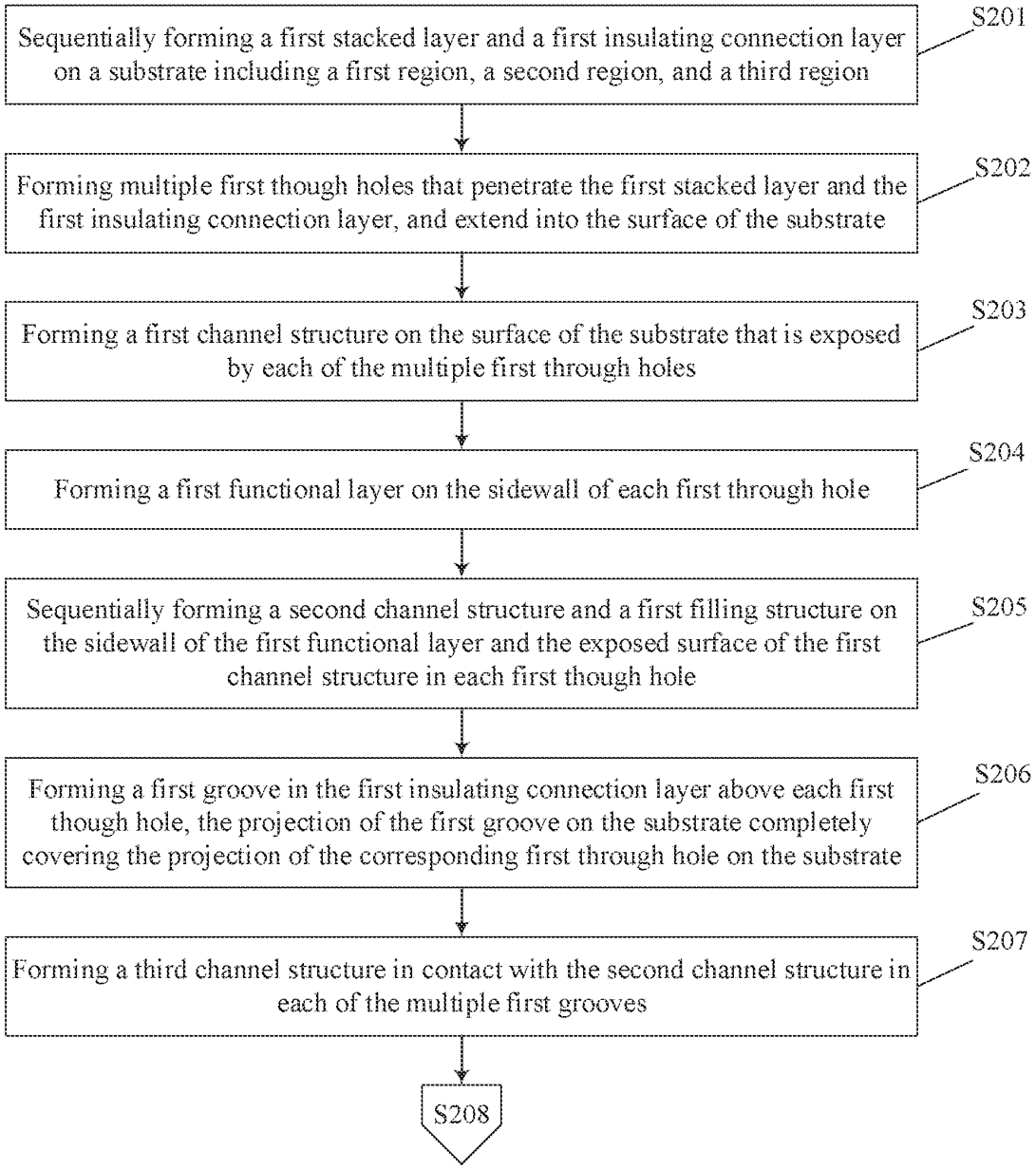

Sequentially forming a first stacked layer and a first insulating connection layer on a substrate including a first region, a second region, and a third region
S201
Forming multiple first though holes that penetrate the first stacked layer and the first insulating connection layer, and extend into the surface of the substrate
S202
Forming a first channel structure on the surface of the substrate that is exposed by each of the multiple first through holes
S203
Forming a first functional layer on the sidewall of each first through hole
S204
Sequentially forming a second channel structure and a first filling structure on the sidewall of the first functional layer and the exposed surface of the first channel structure in each first though hole
S205
Forming a first groove in the first insulating connection layer above each first though hole, the projection of the first groove on the substrate completely covering the projection of the corresponding first through hole on the substrate
S206
Forming a third channel structure in contact with the second channel structure in each of the multiple first grooves
S207
S208

FIG. 50A

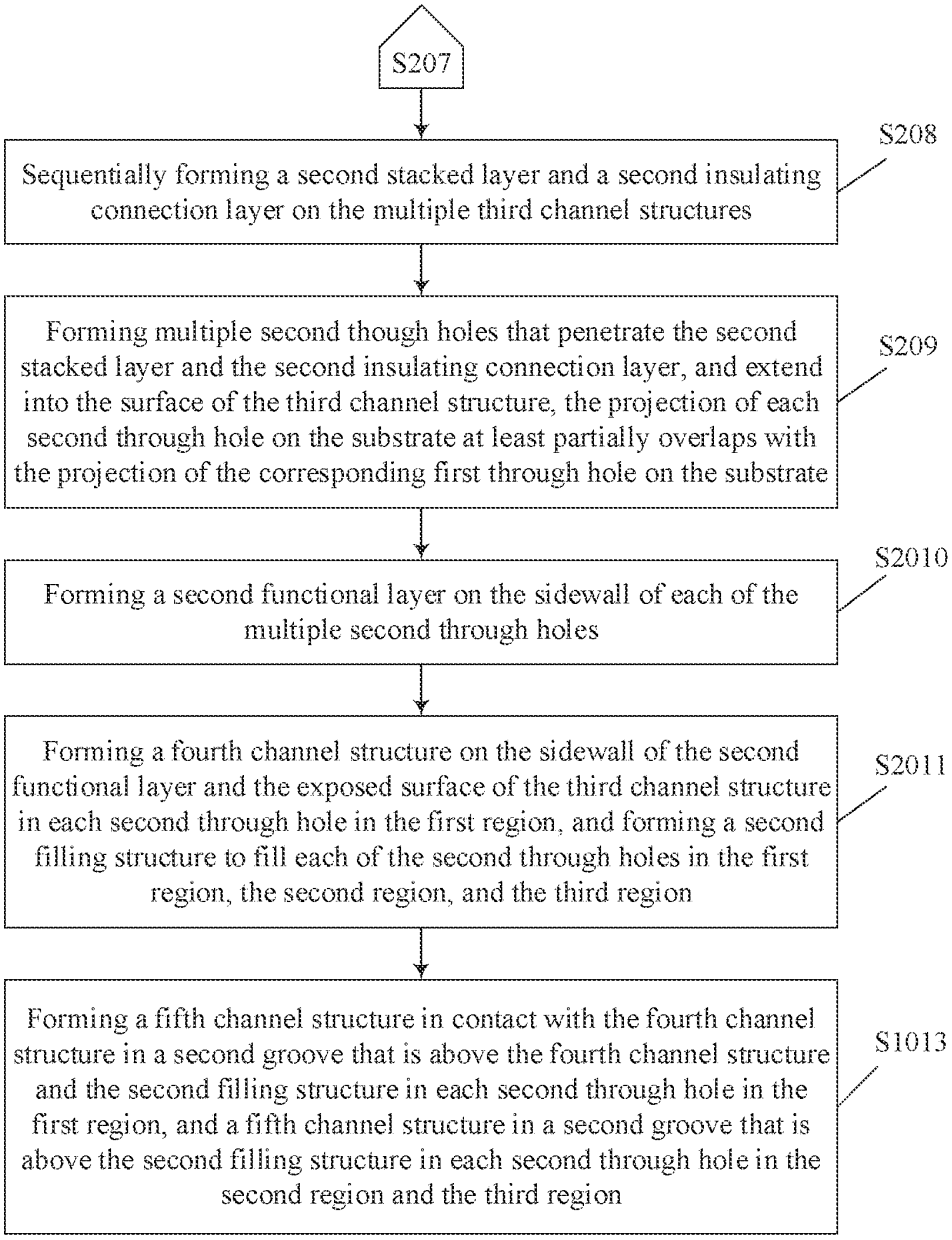

S207
Sequentially forming a second stacked layer and a second insulating connection layer on the multiple third channel structures
S208
Forming multiple second though holes that penetrate the second stacked layer and the second insulating connection layer, and extend into the surface of the third channel structure, the projection of each second through hole on the substrate at least partially overlaps with the projection of the corresponding first through hole on the substrate
S209
Forming a second functional layer on the sidewall of each of the multiple second through holes
S2010
Forming a fourth channel structure on the sidewall of the second functional layer and the exposed surface of the third channel structure in each second through hole in the first region, and forming a second filling structure to fill each of the second through holes in the first region, the second region, and the third region
S2011
Forming a fifth channel structure in contact with the fourth channel structure in a second groove that is above the fourth channel structure and the second filling structure in each second through hole in the first region, and a fifth channel structure in a second groove that is above the second filling structure in each second through hole in the second region and the third region
S1013

FIG. 50B

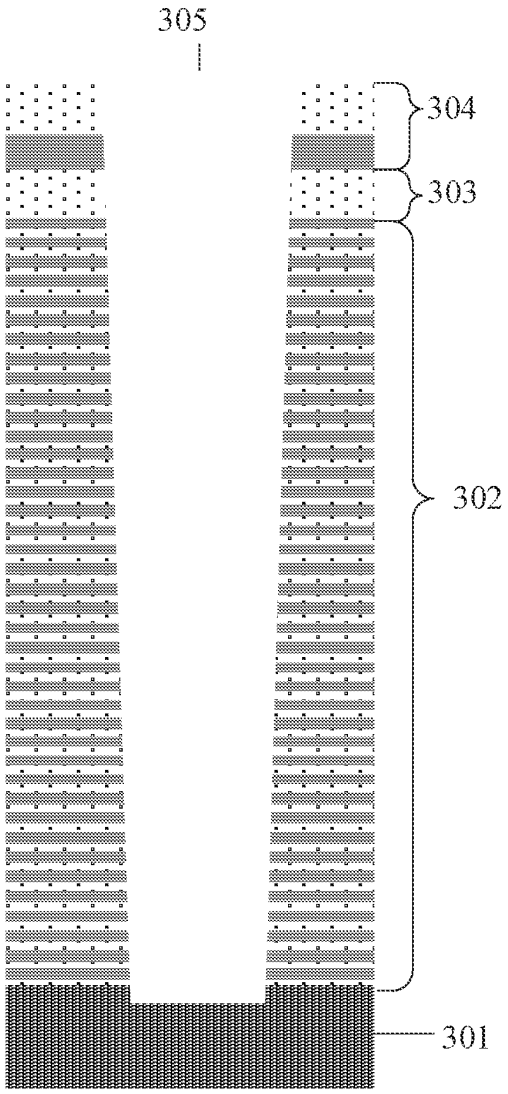


FIG. 51

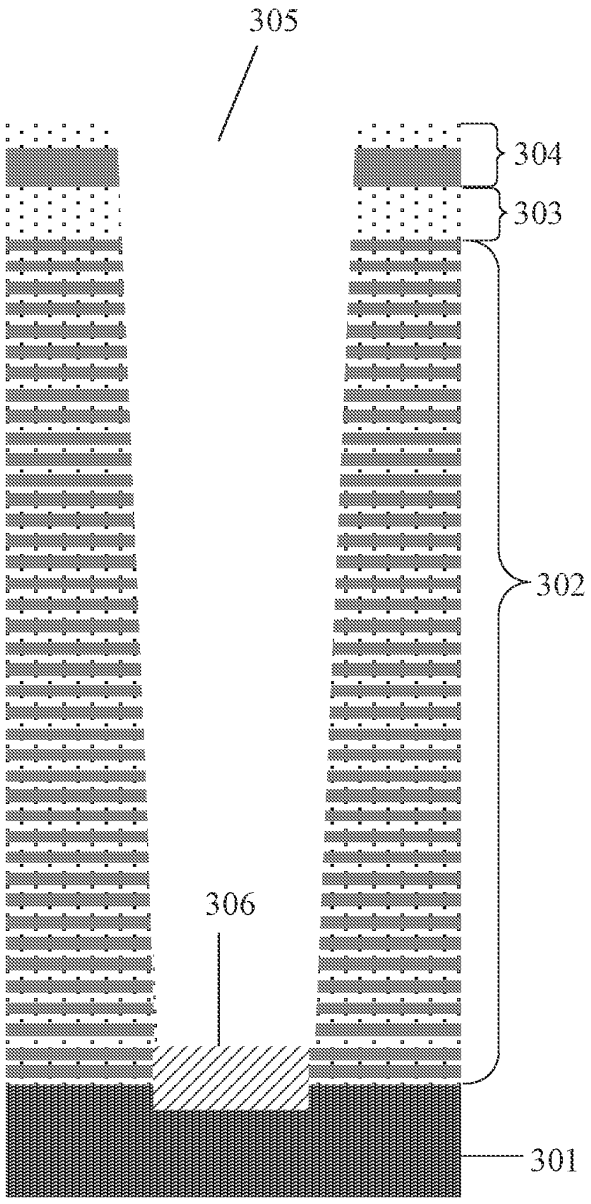


FIG. 52

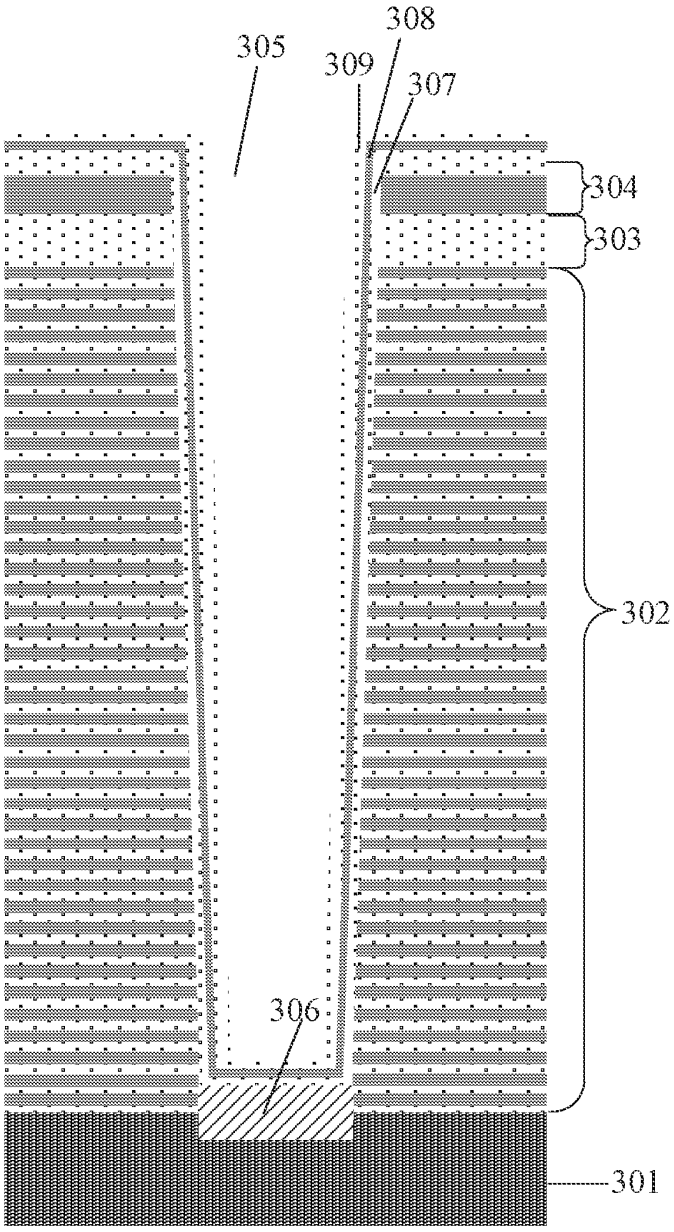


FIG. 53

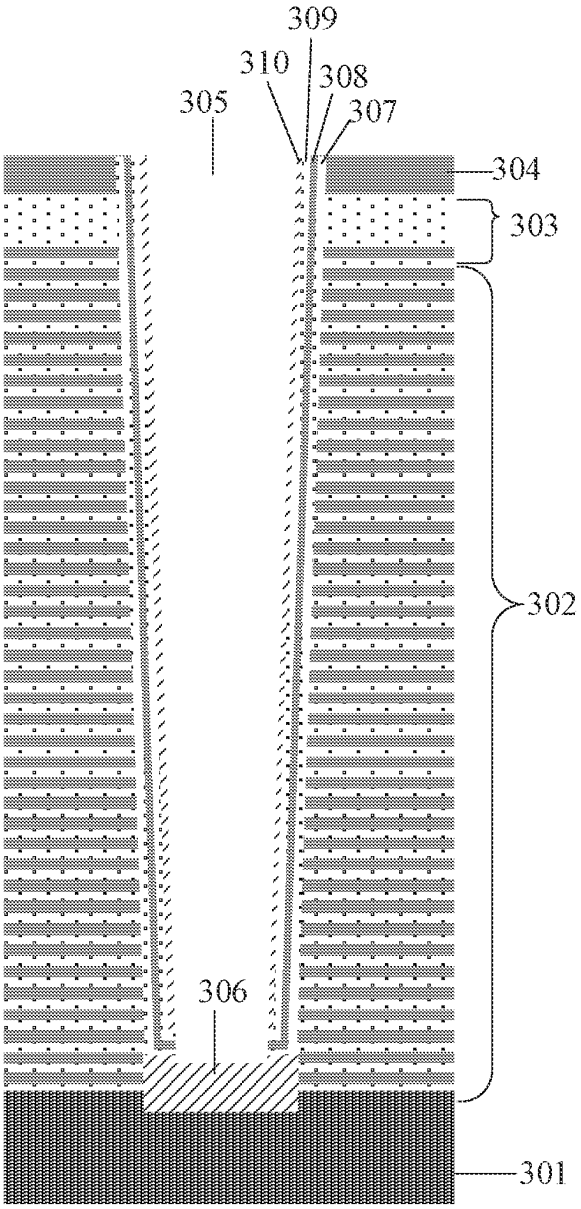


FIG. 54

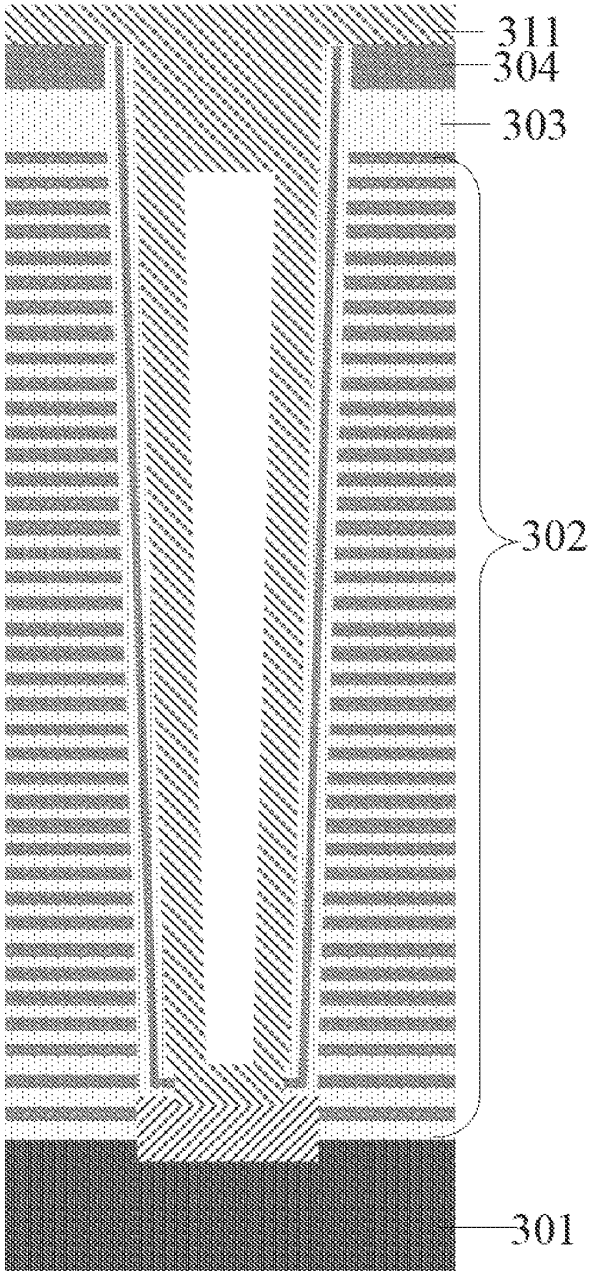


FIG. 55

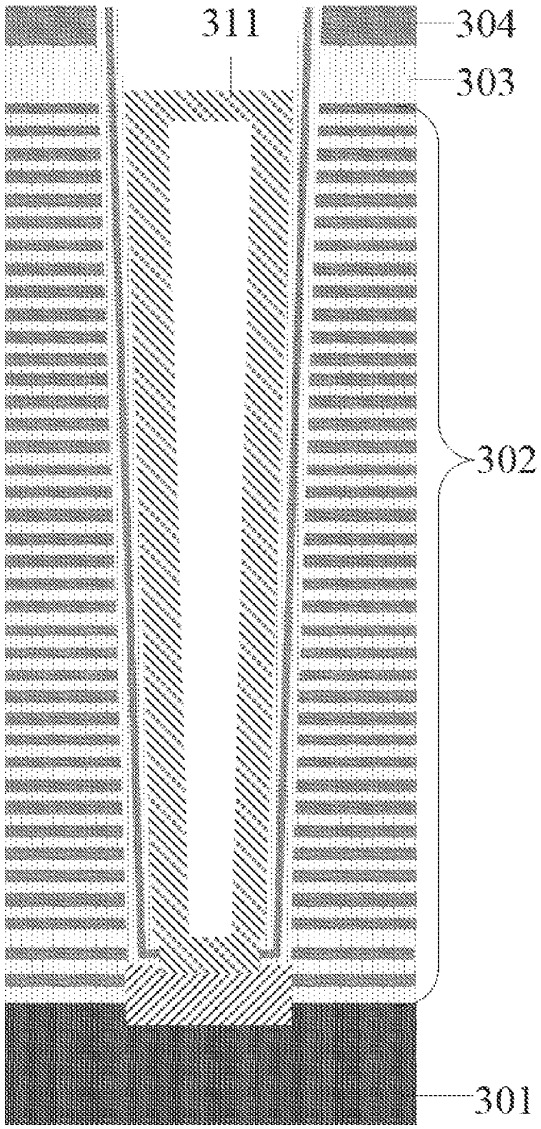


FIG. 56A

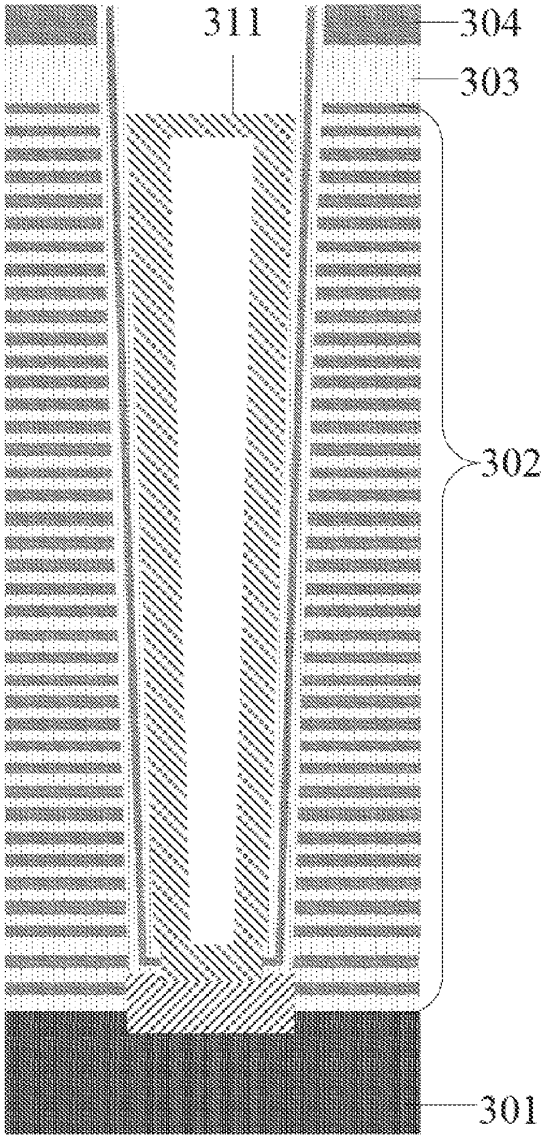


FIG. 56B

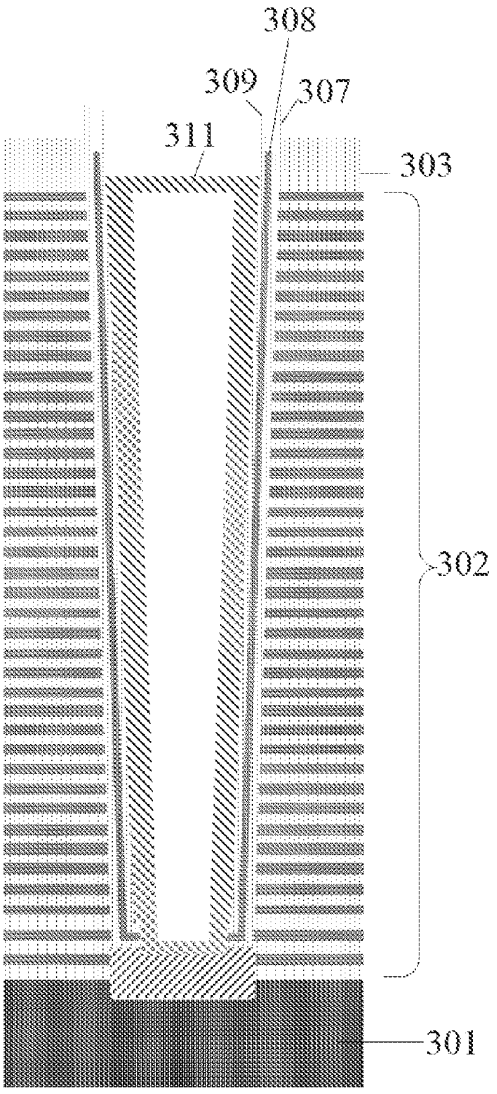


FIG. 57A

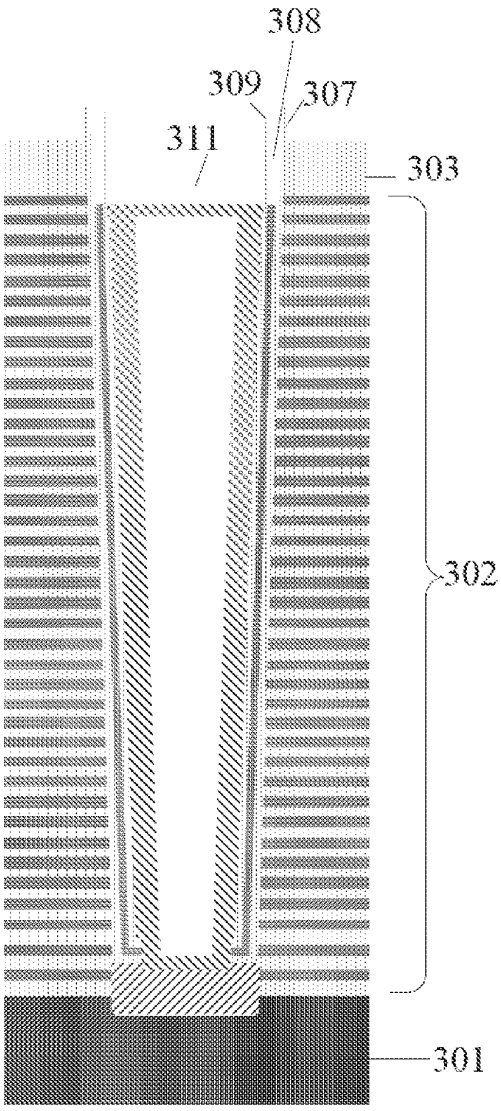


FIG. 57B

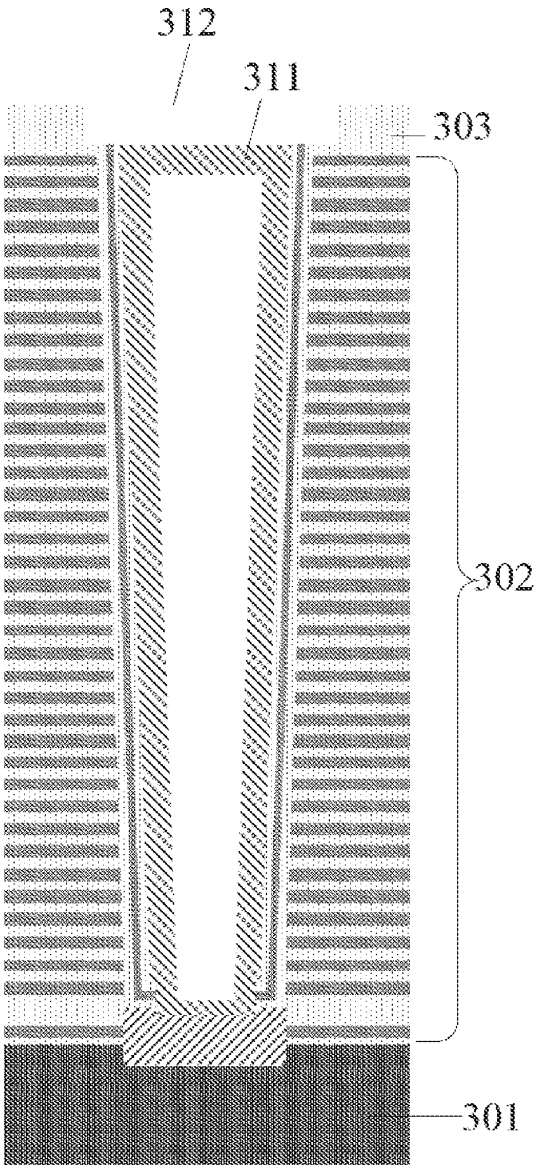


FIG. 58A

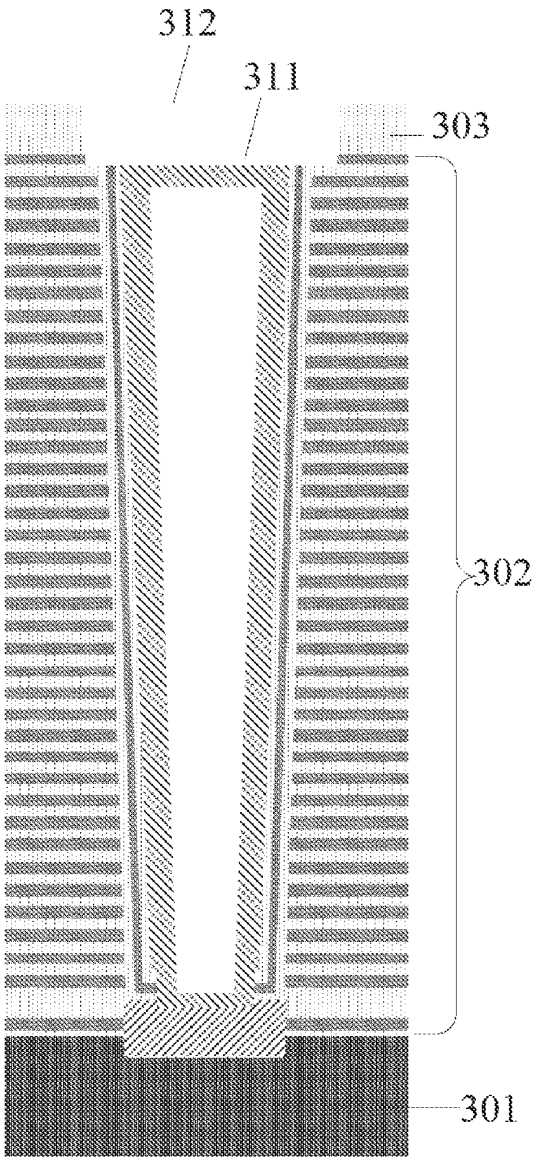


FIG. 58B

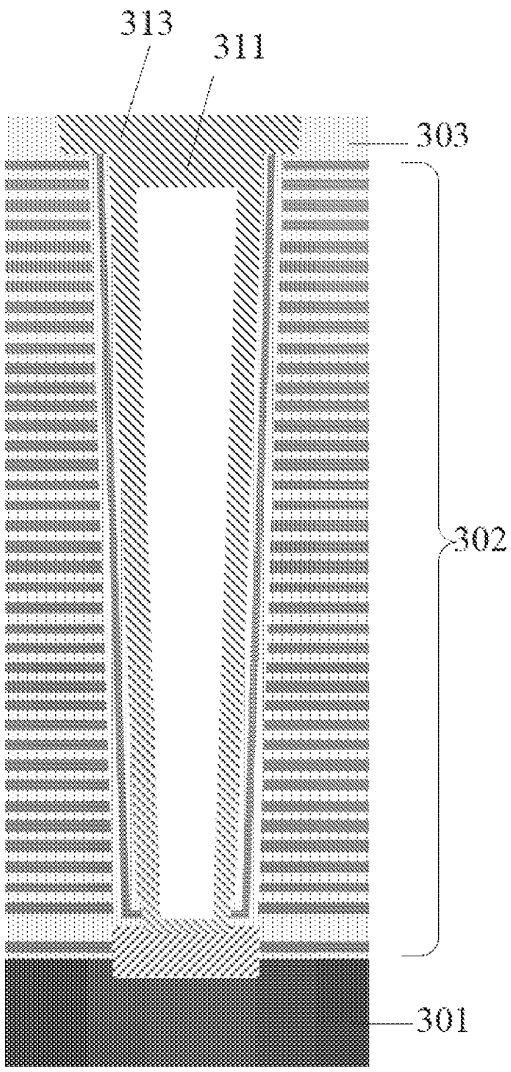


FIG. 59A

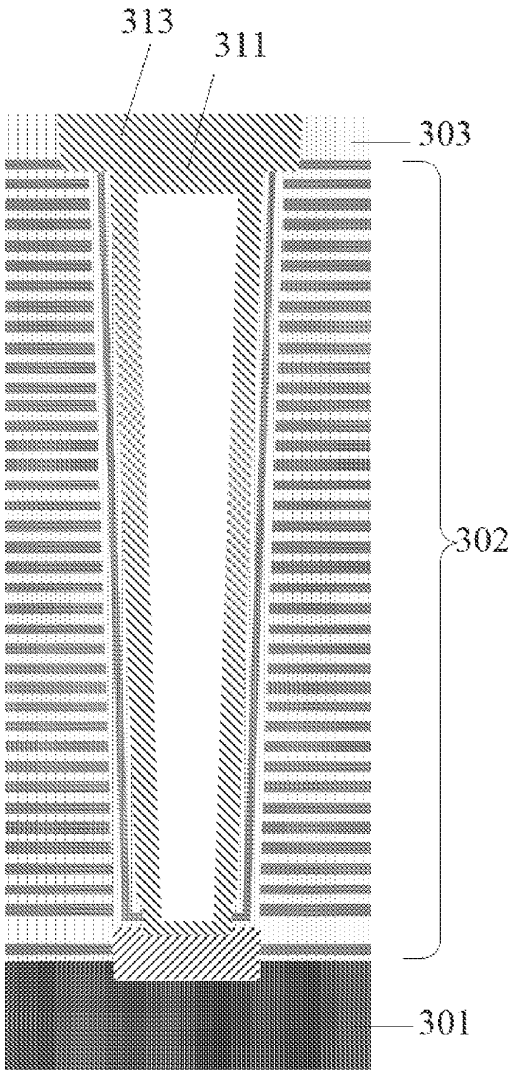


FIG. 59B

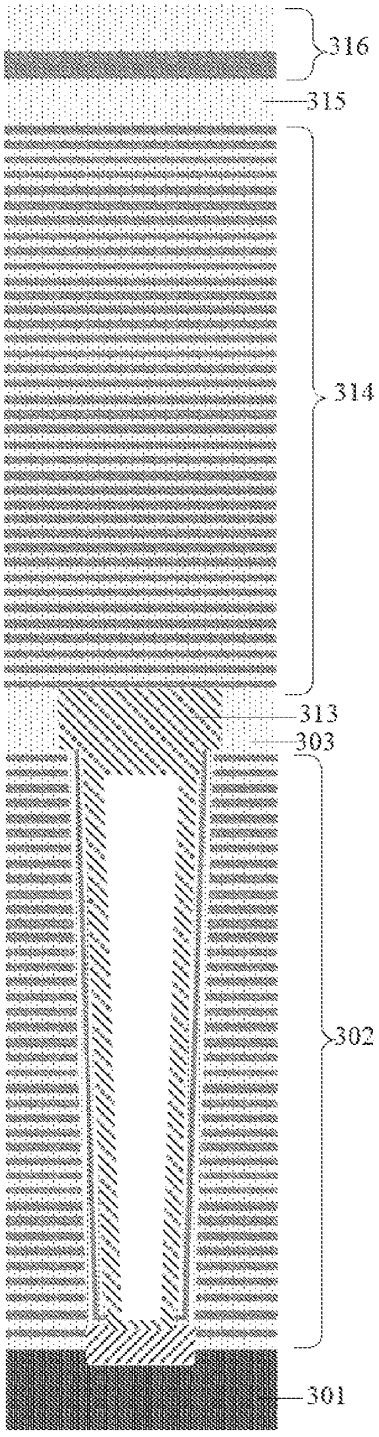


FIG. 60

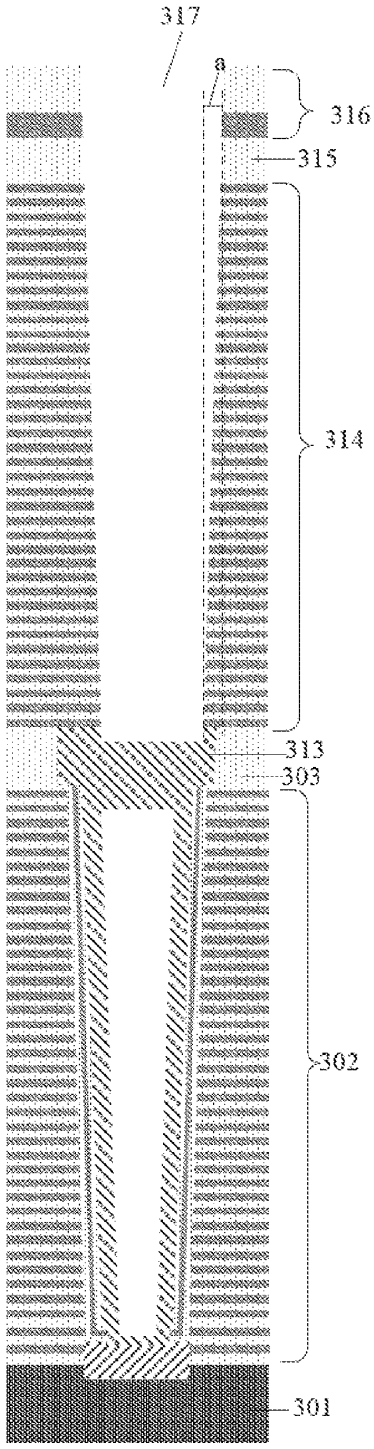


FIG. 61

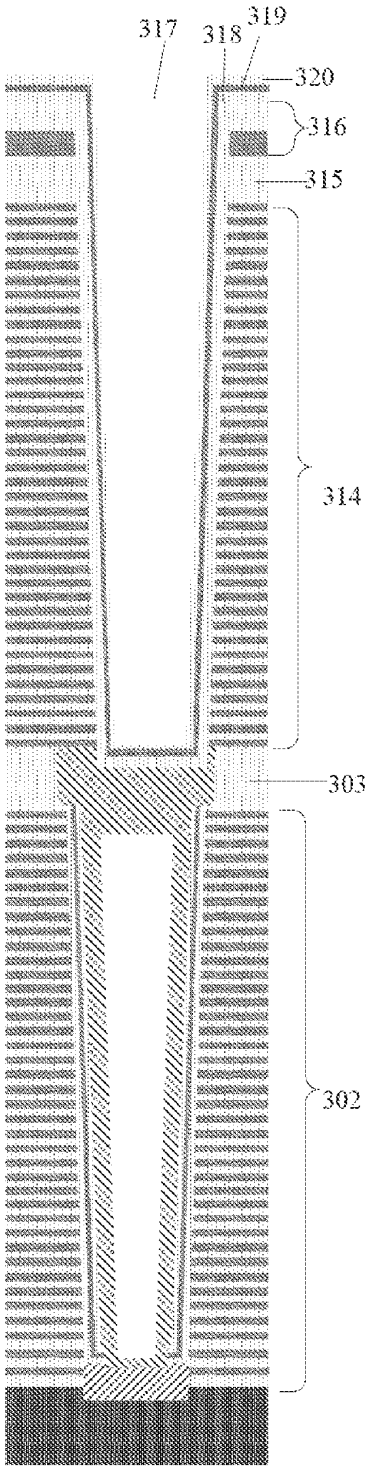


FIG. 62

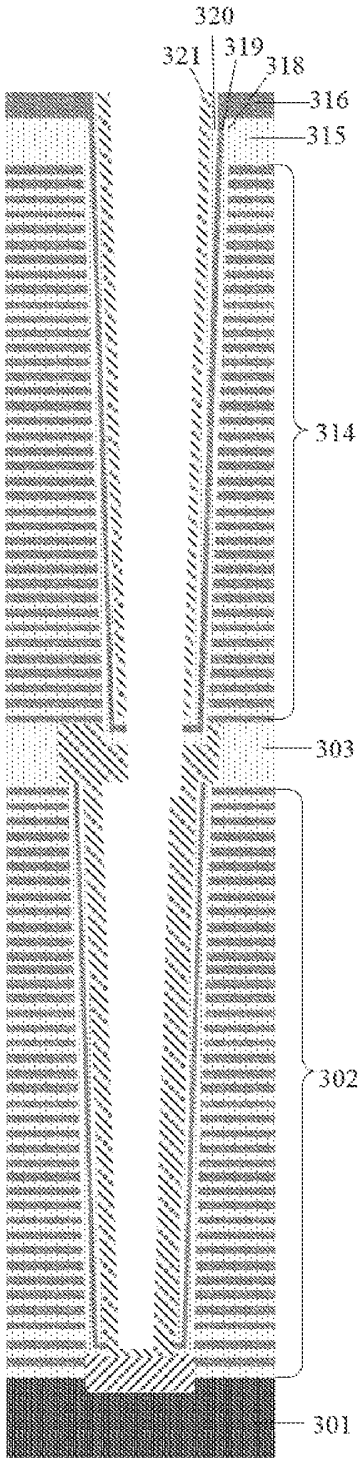


FIG. 63

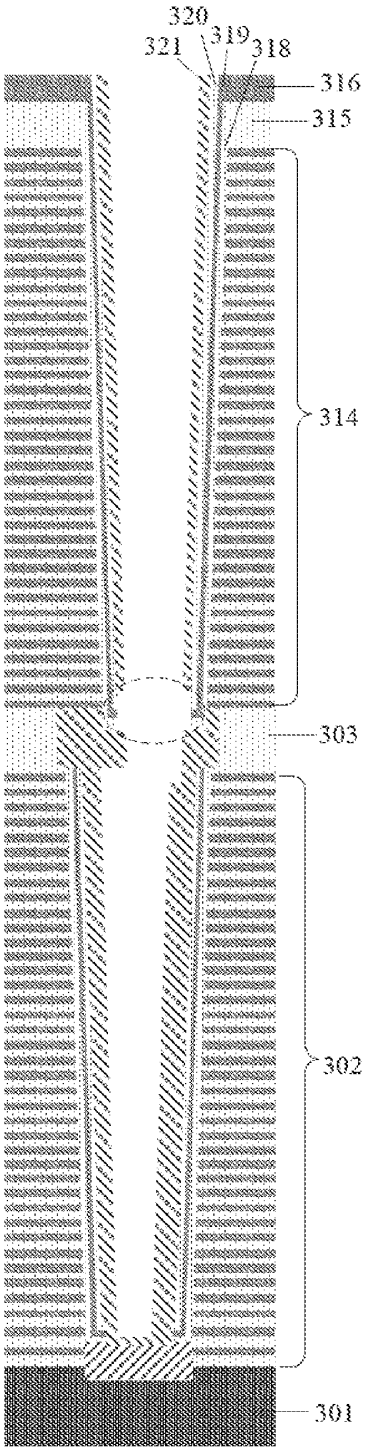


FIG. 64

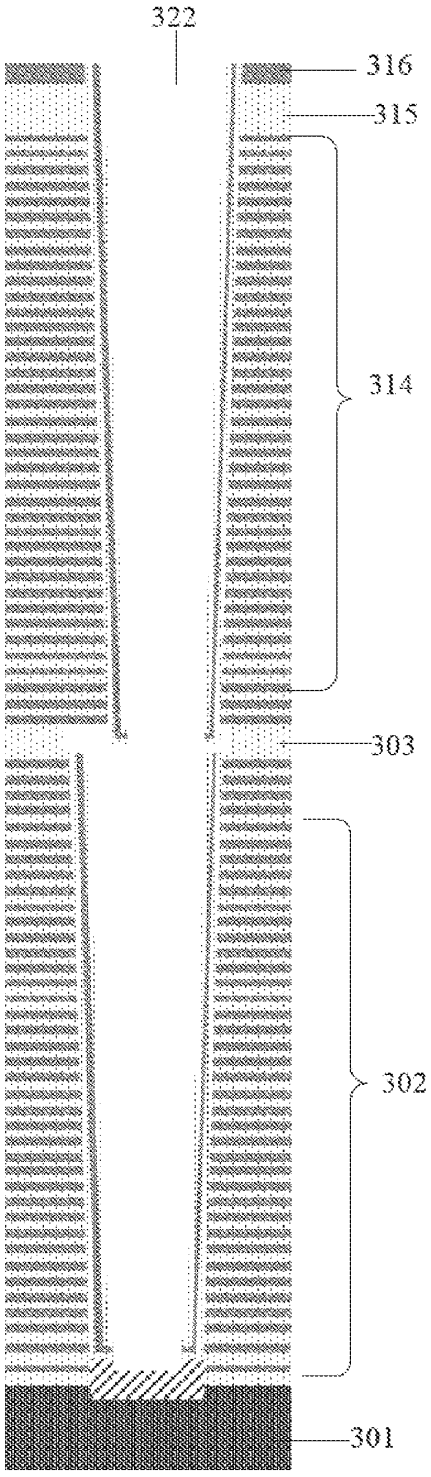


FIG. 65

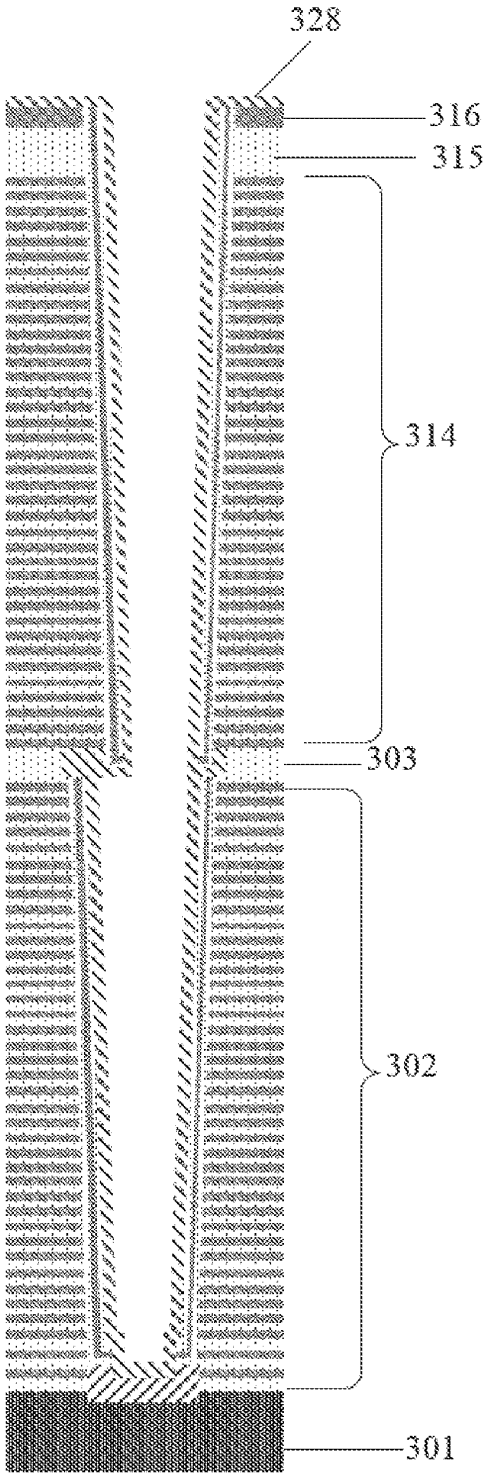


FIG. 66

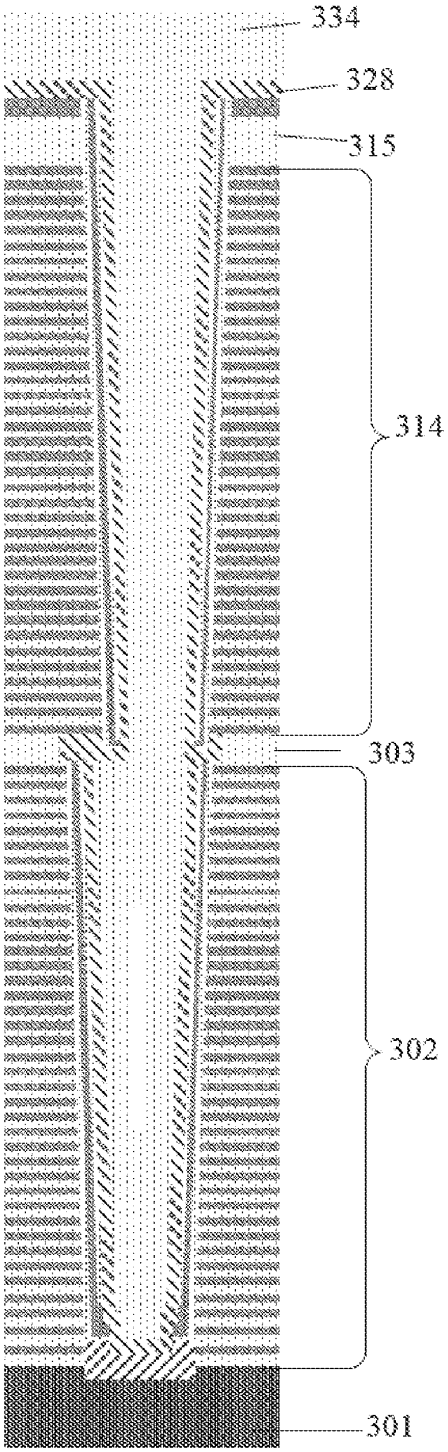


FIG. 67

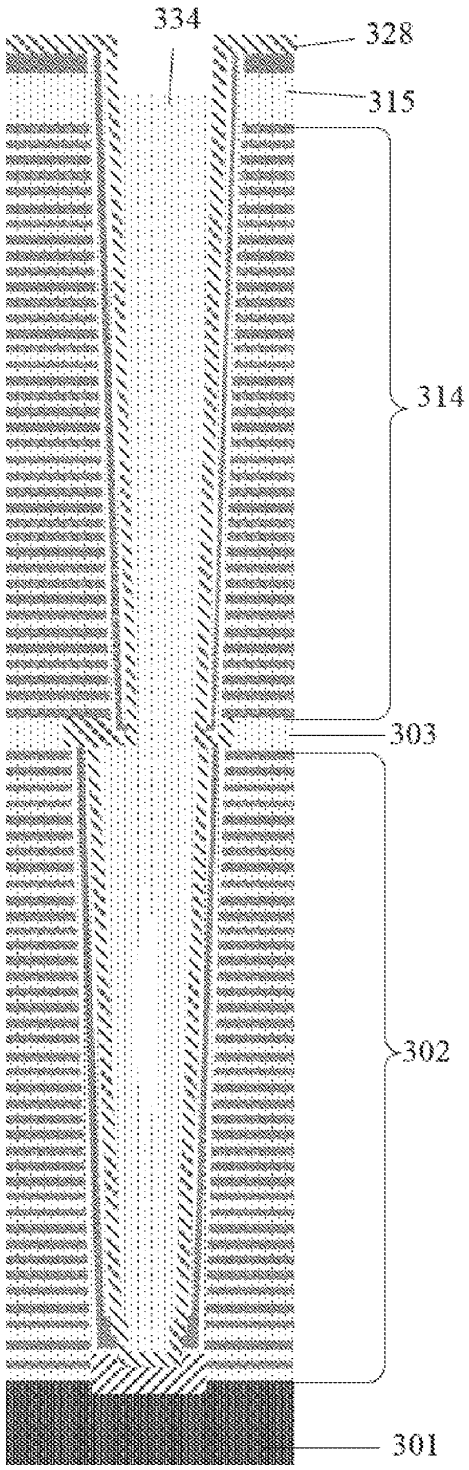


FIG. 68

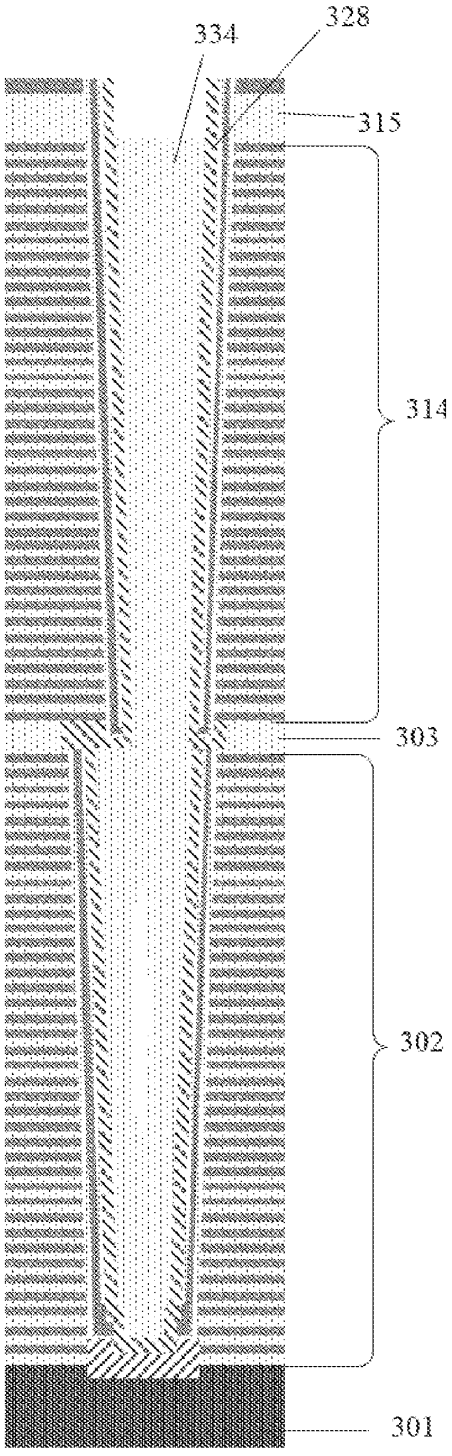


FIG. 69

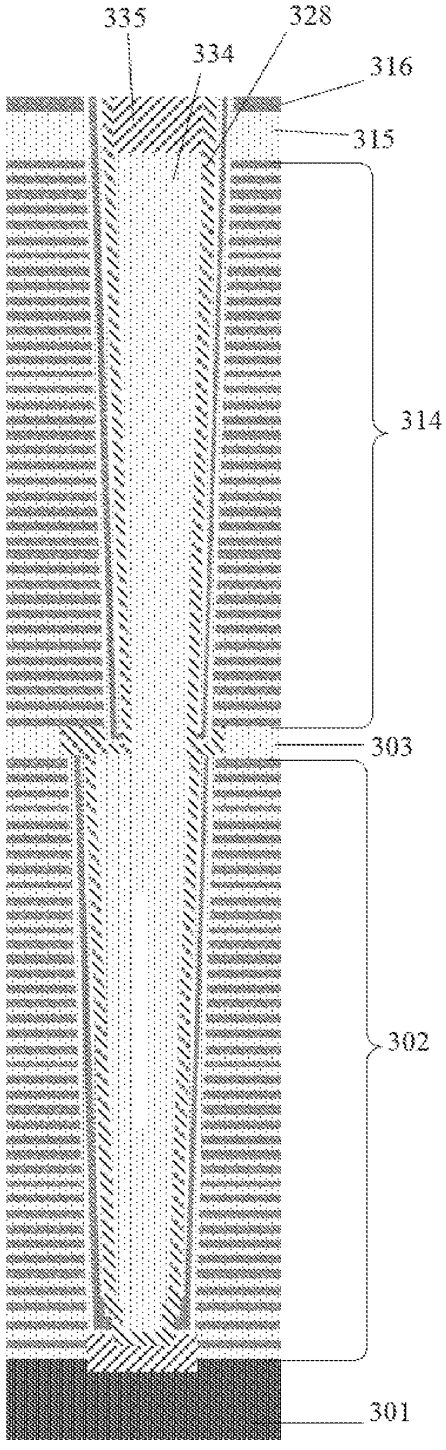


FIG. 70

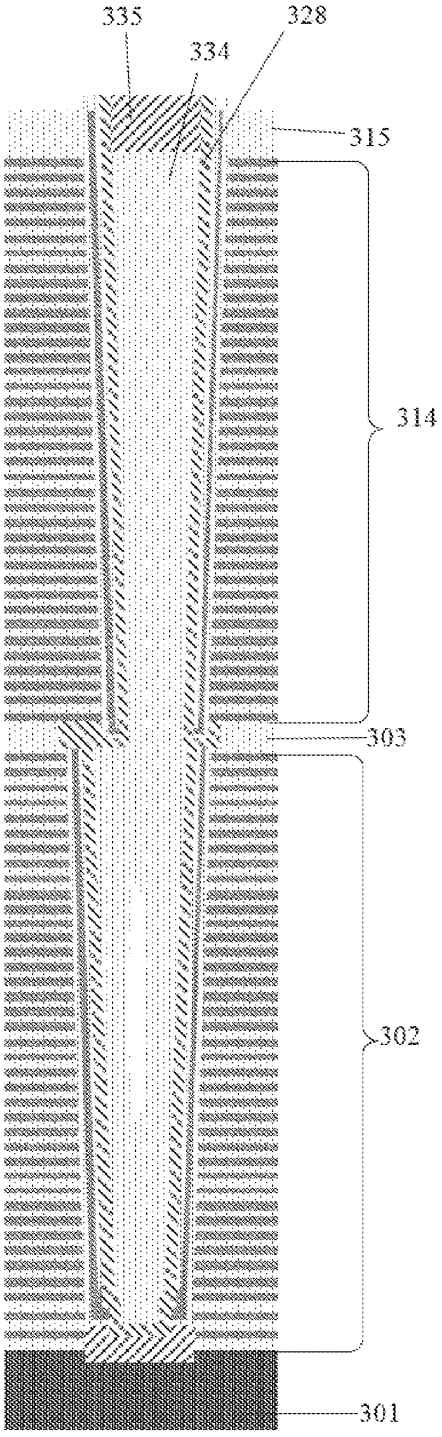


FIG. 71

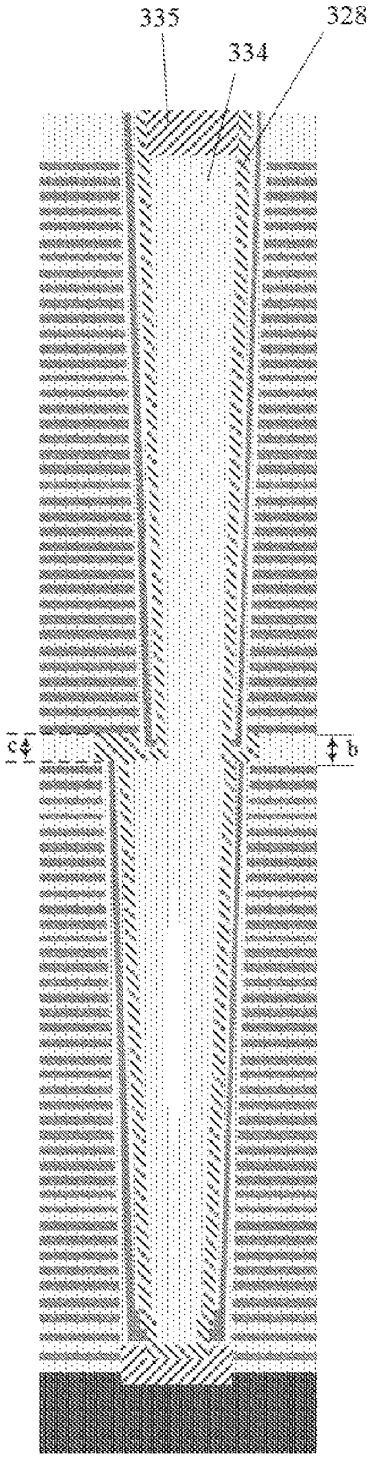


FIG. 72A

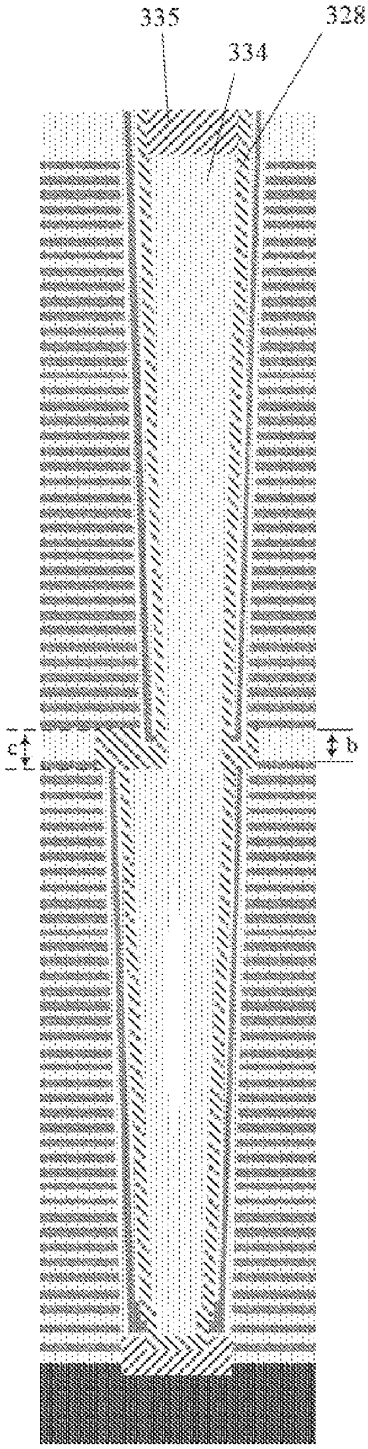


FIG. 72B

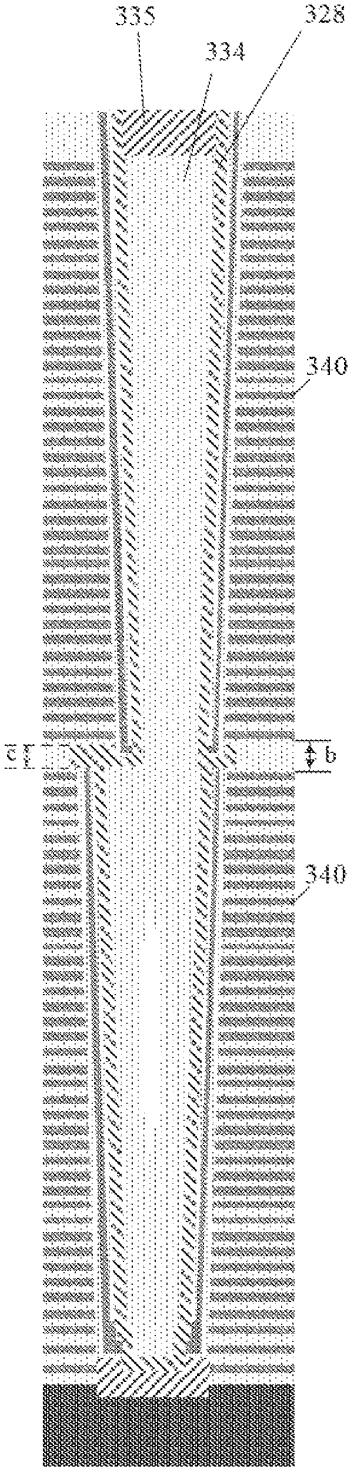


FIG. 73A

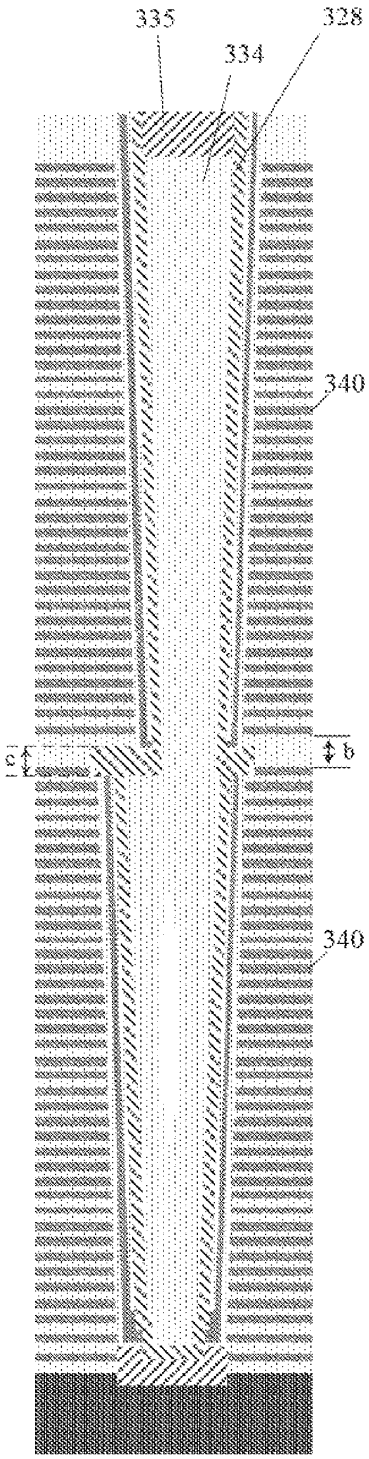


FIG. 73B

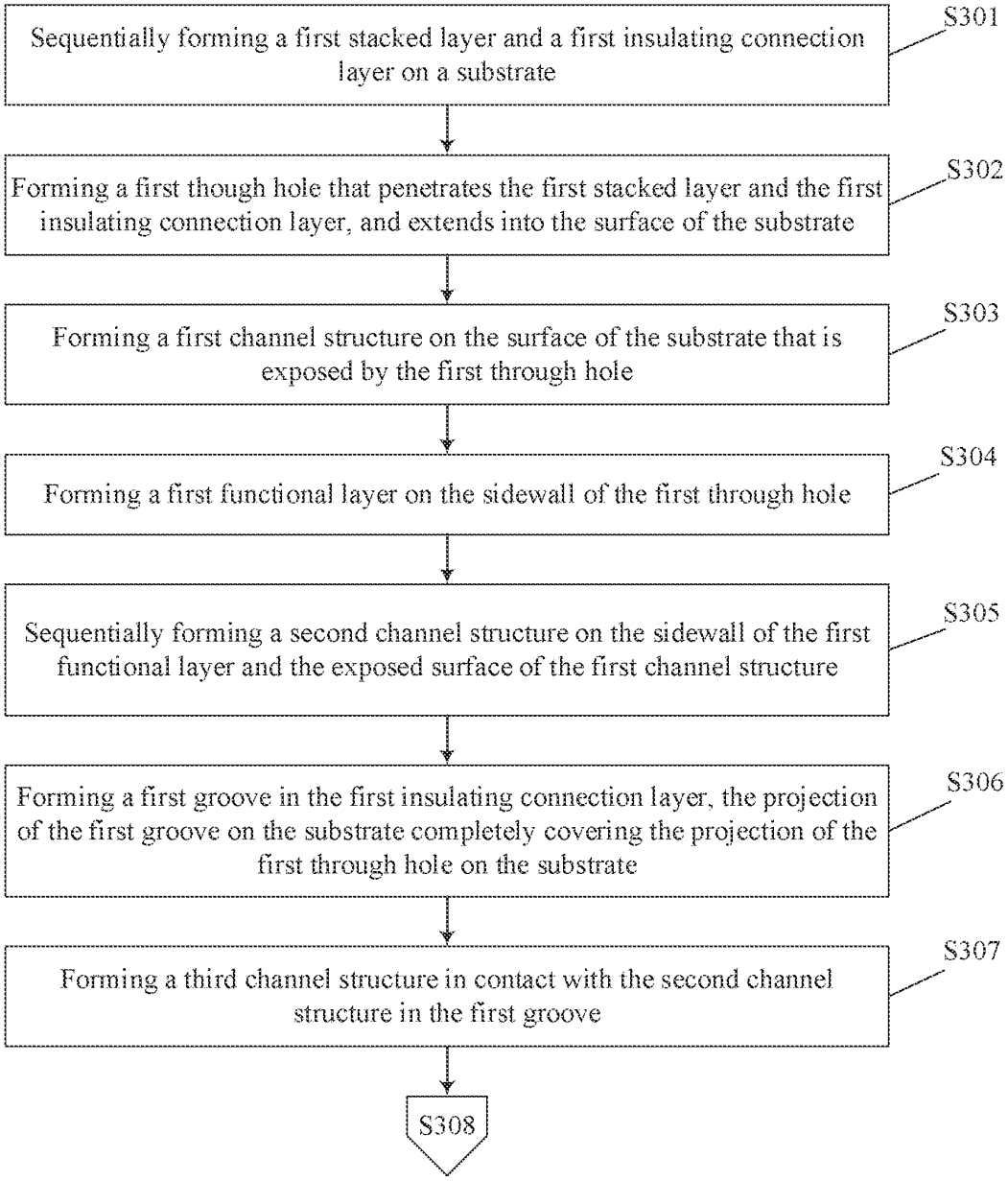

Sequentially forming a first stacked layer and a first insulating connection layer on a substrate
S301
Forming a first though hole that penetrates the first stacked layer and the first insulating connection layer, and extends into the surface of the substrate
S302
Forming a first channel structure on the surface of the substrate that is exposed by the first through hole
S303
Forming a first functional layer on the sidewall of the first through hole
S304
Sequentially forming a second channel structure on the sidewall of the first functional layer and the exposed surface of the first channel structure
S305
Forming a first groove in the first insulating connection layer, the projection of the first groove on the substrate completely covering the projection of the first through hole on the substrate
S306
Forming a third channel structure in contact with the second channel structure in the first groove
S307
S308

FIG. 74A

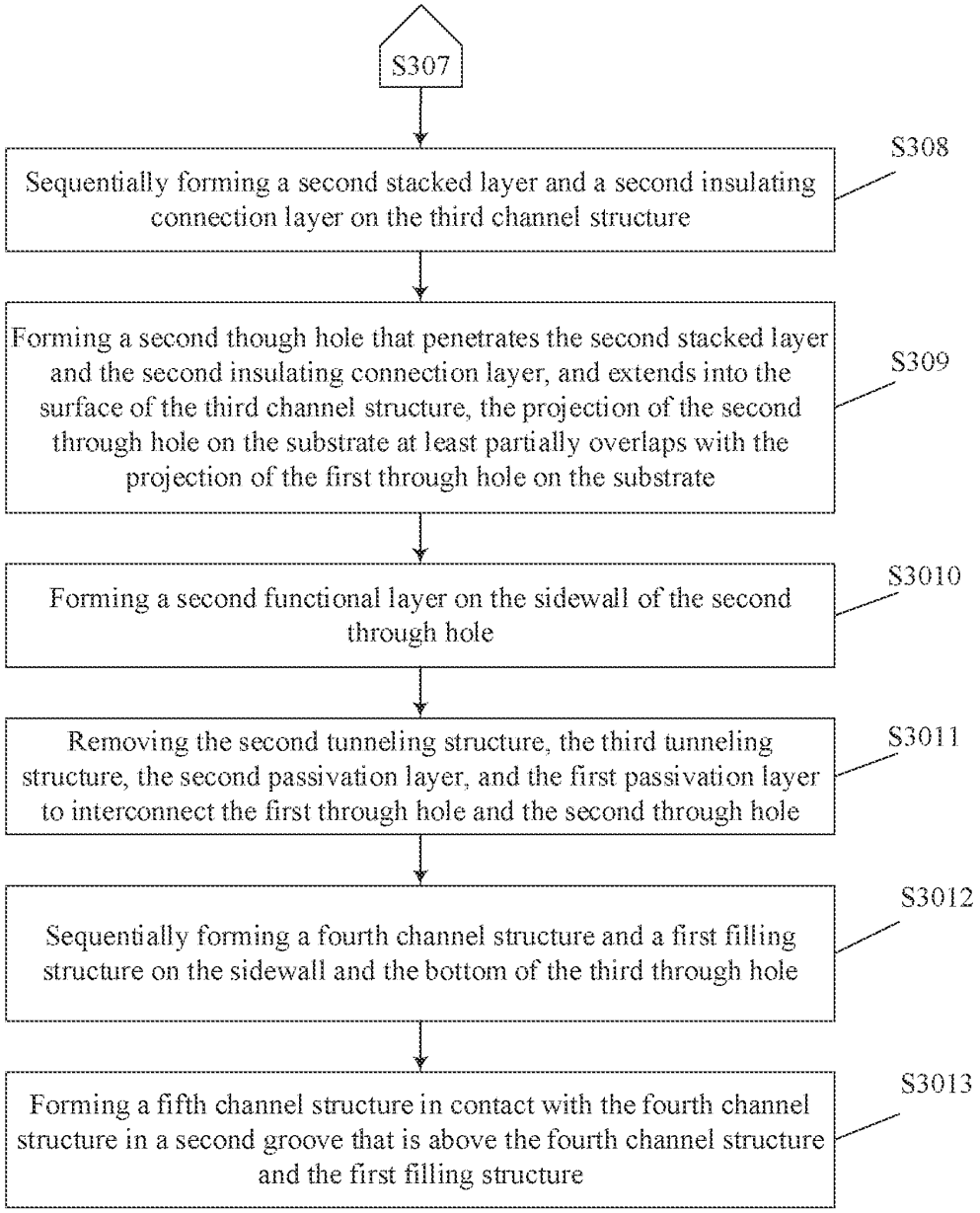

S307
Sequentially forming a second stacked layer and a second insulating connection layer on the third channel structure
S308
Forming a second though hole that penetrates the second stacked layer and the second insulating connection layer, and extends into the surface of the third channel structure, the projection of the second through hole on the substrate at least partially overlaps with the projection of the first through hole on the substrate
S309
Forming a second functional layer on the sidewall of the second through hole
S3010
Removing the second tunneling structure, the third tunneling structure, the second passivation layer, and the first passivation layer to interconnect the first through hole and the second through hole
S3011
Sequentially forming a fourth channel structure and a first filling structure on the sidewall and the bottom of the third through hole
S3012
Forming a fifth channel structure in contact with the fourth channel structure in a second groove that is above the fourth channel structure and the first filling structure
S3013

FIG. 74B

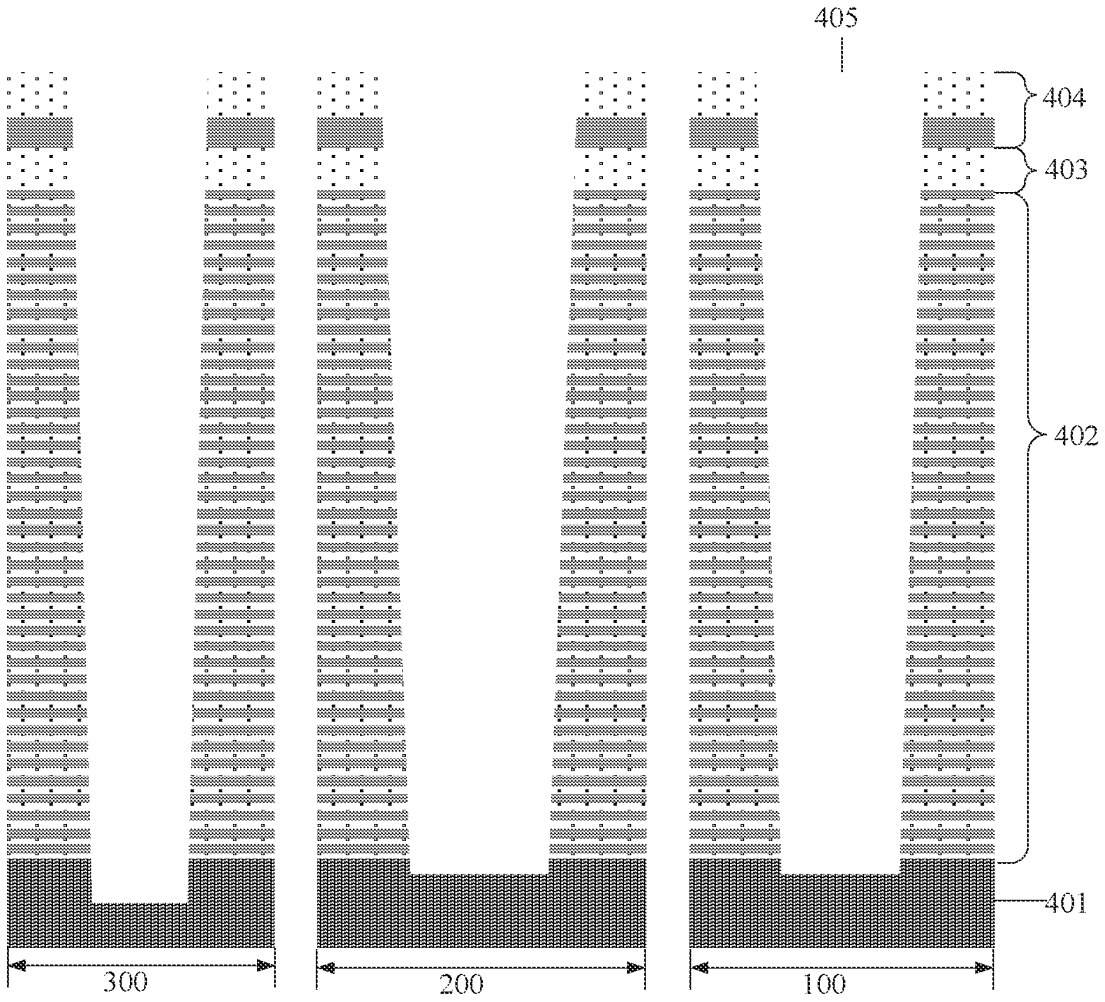


FIG. 75

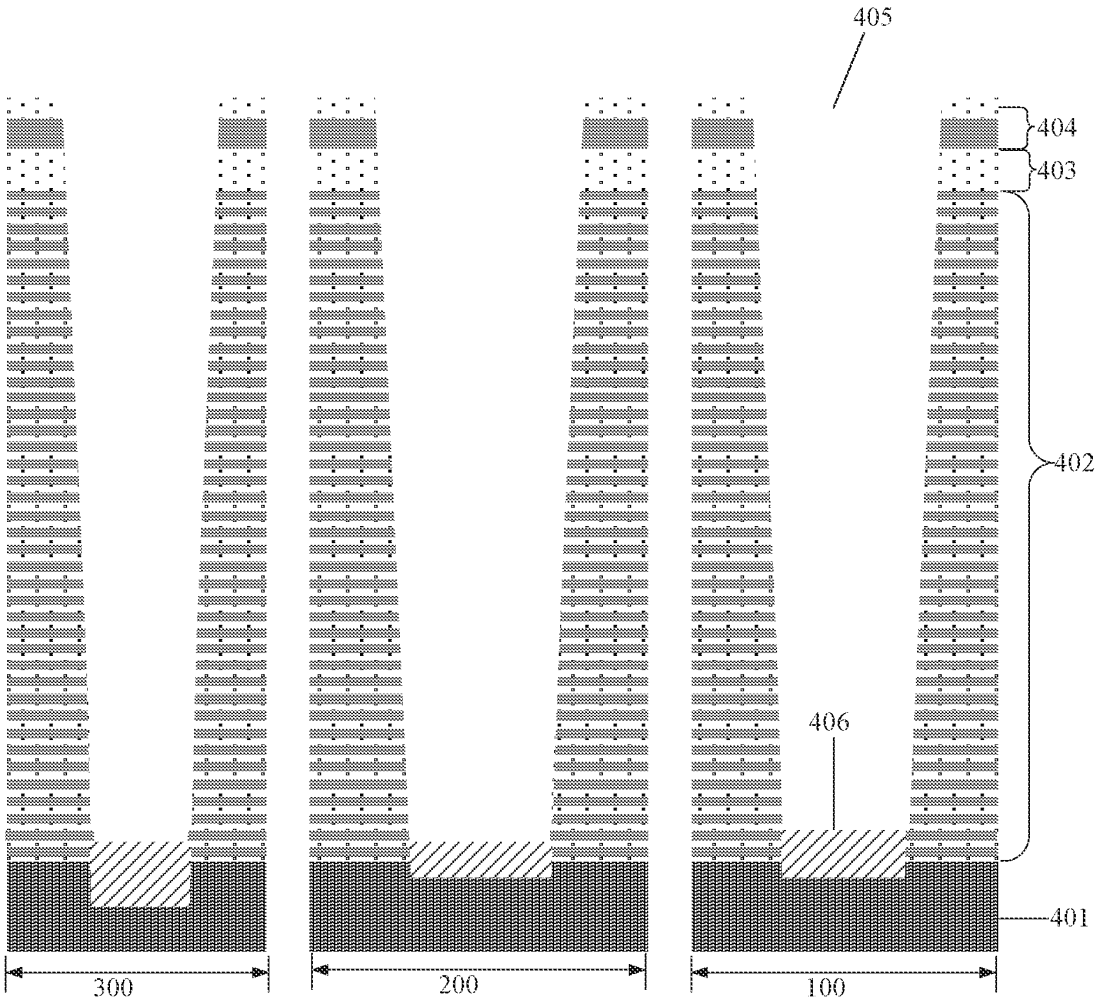


FIG. 76

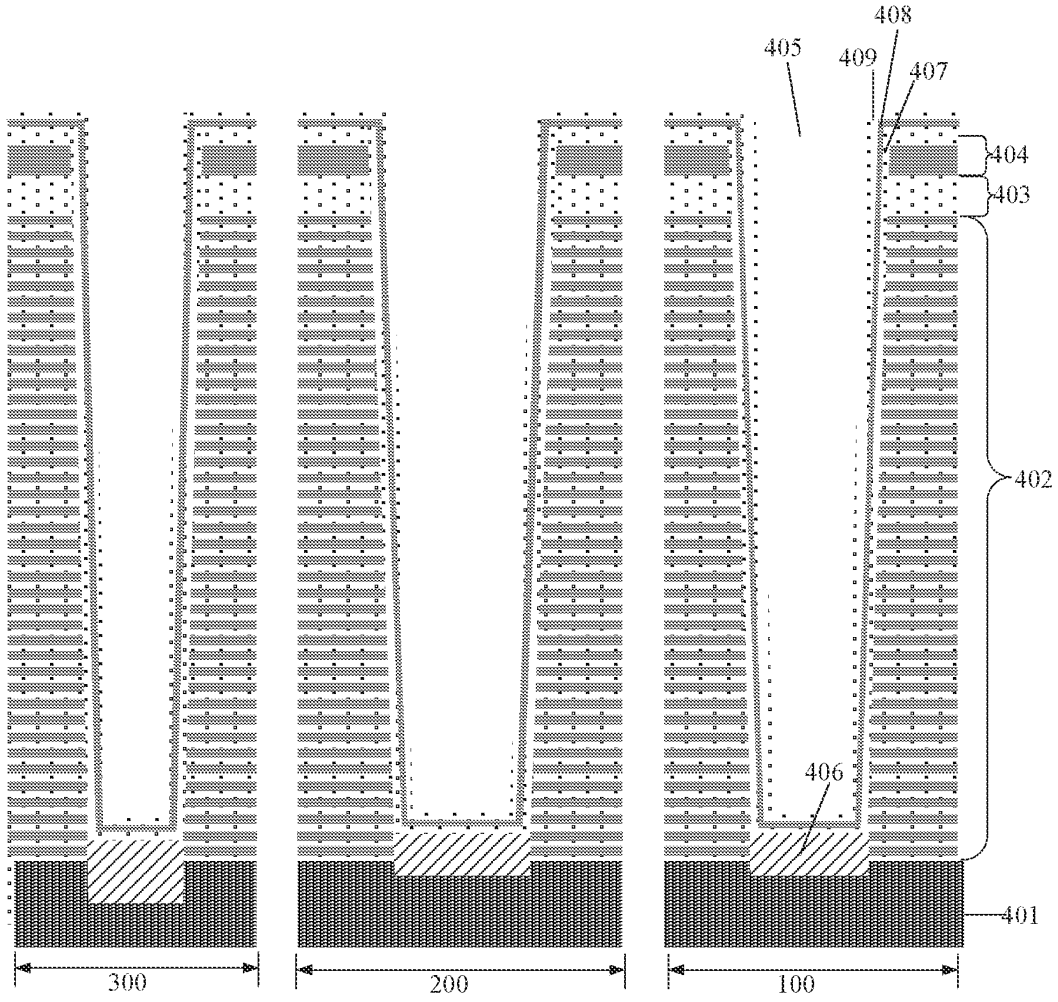


FIG. 77

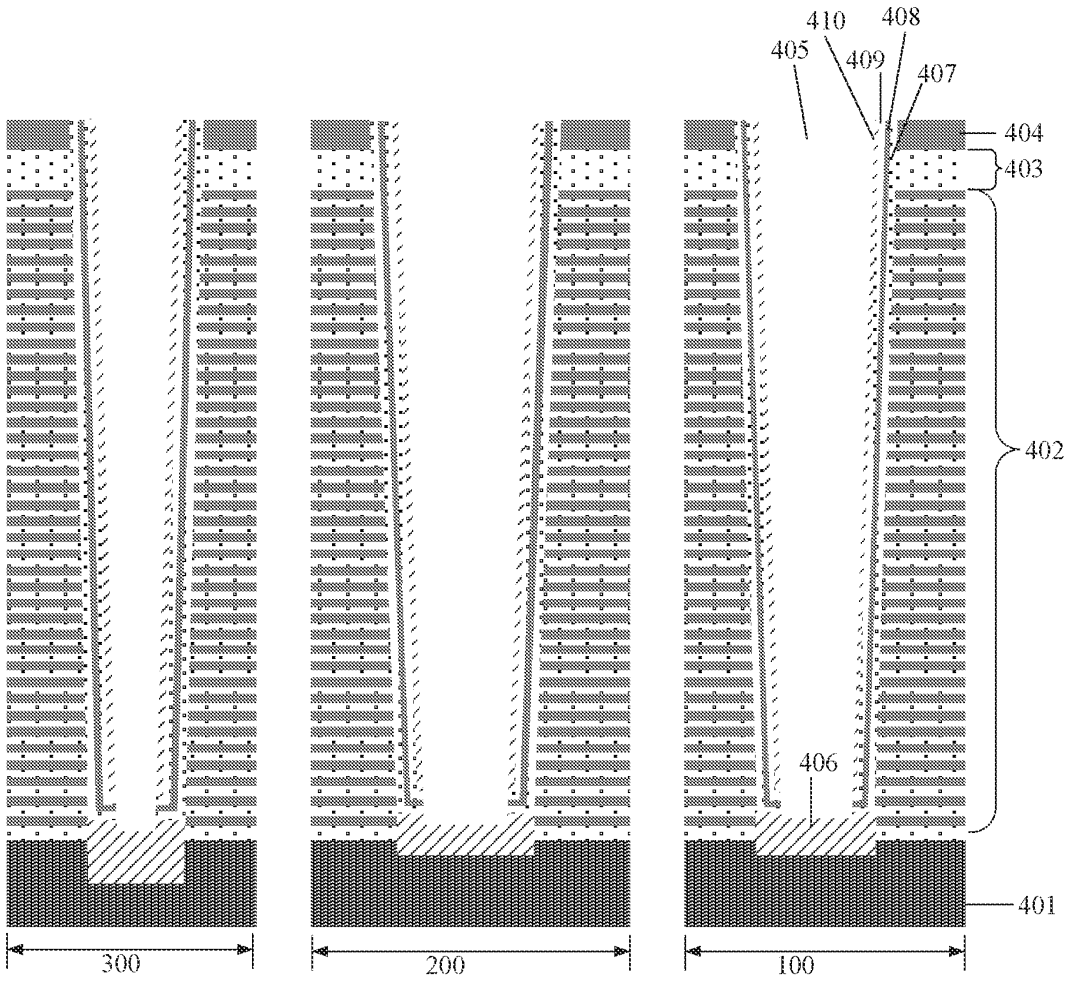


FIG. 78

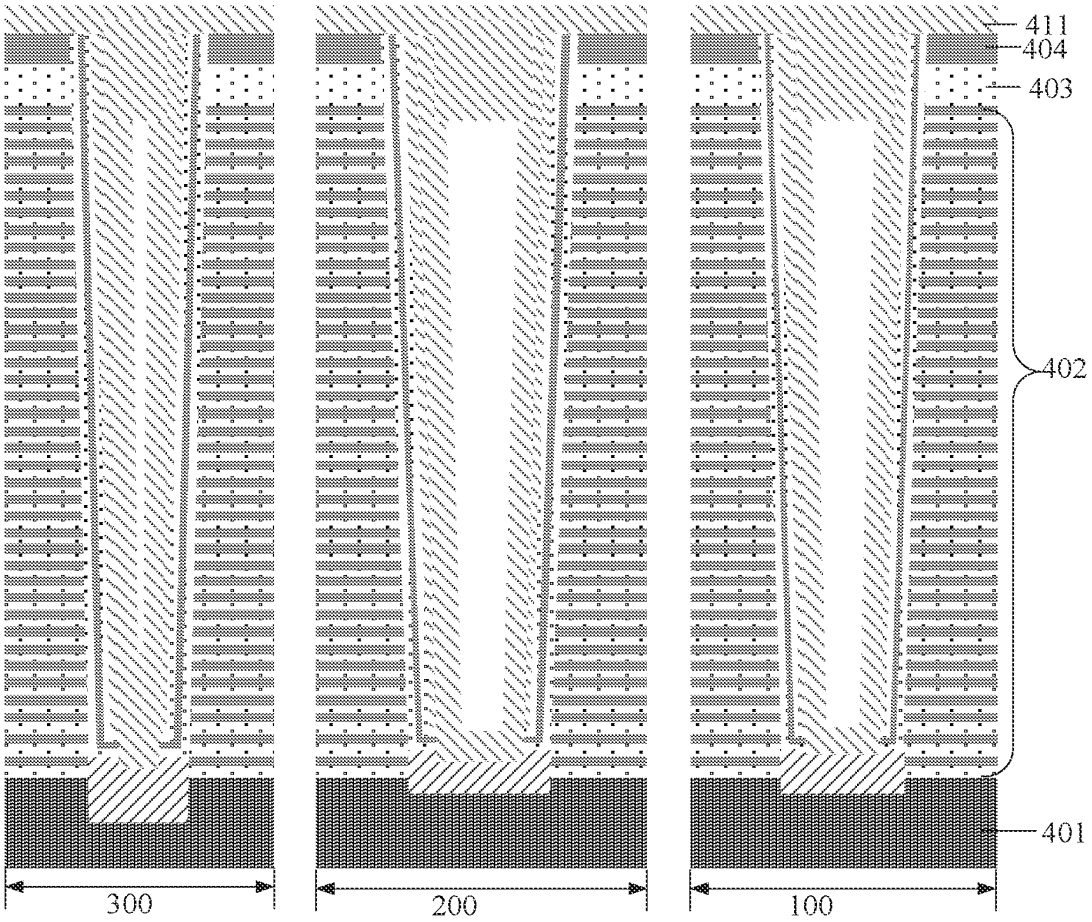


FIG. 79

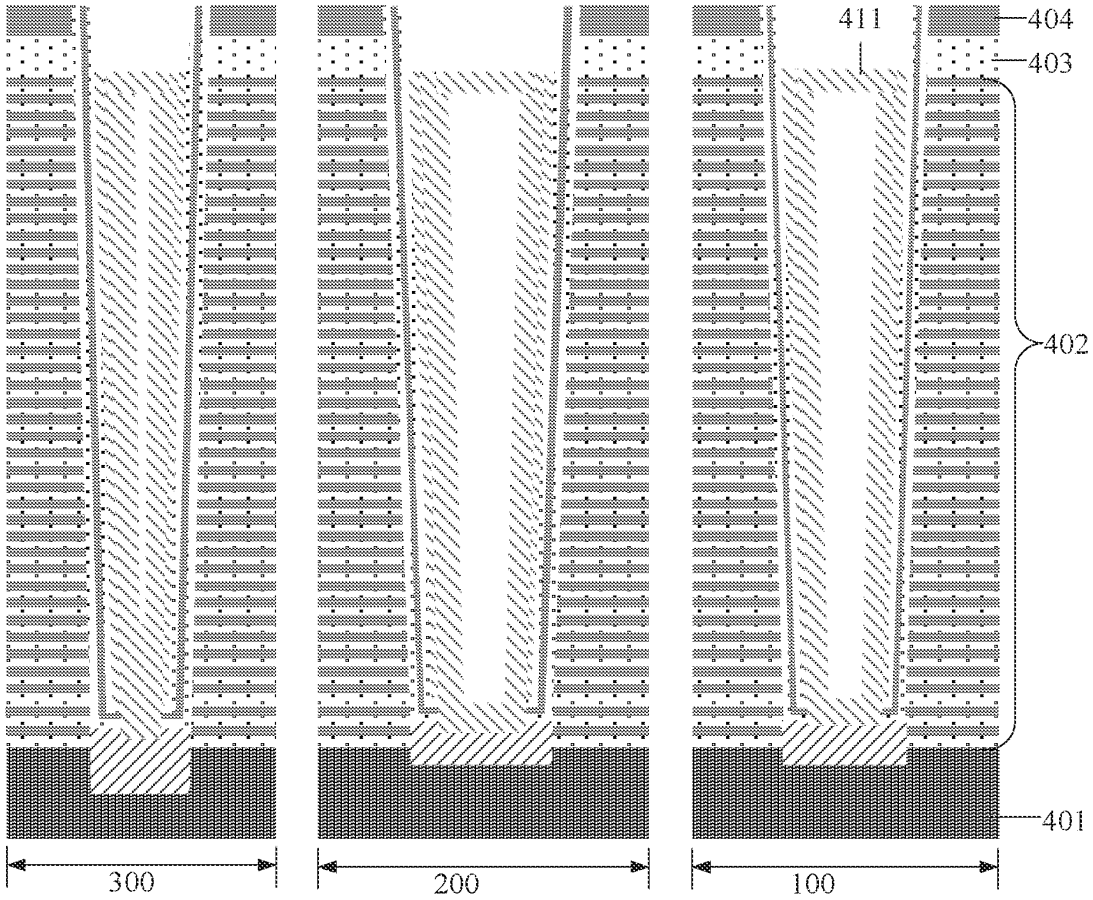


FIG. 80A

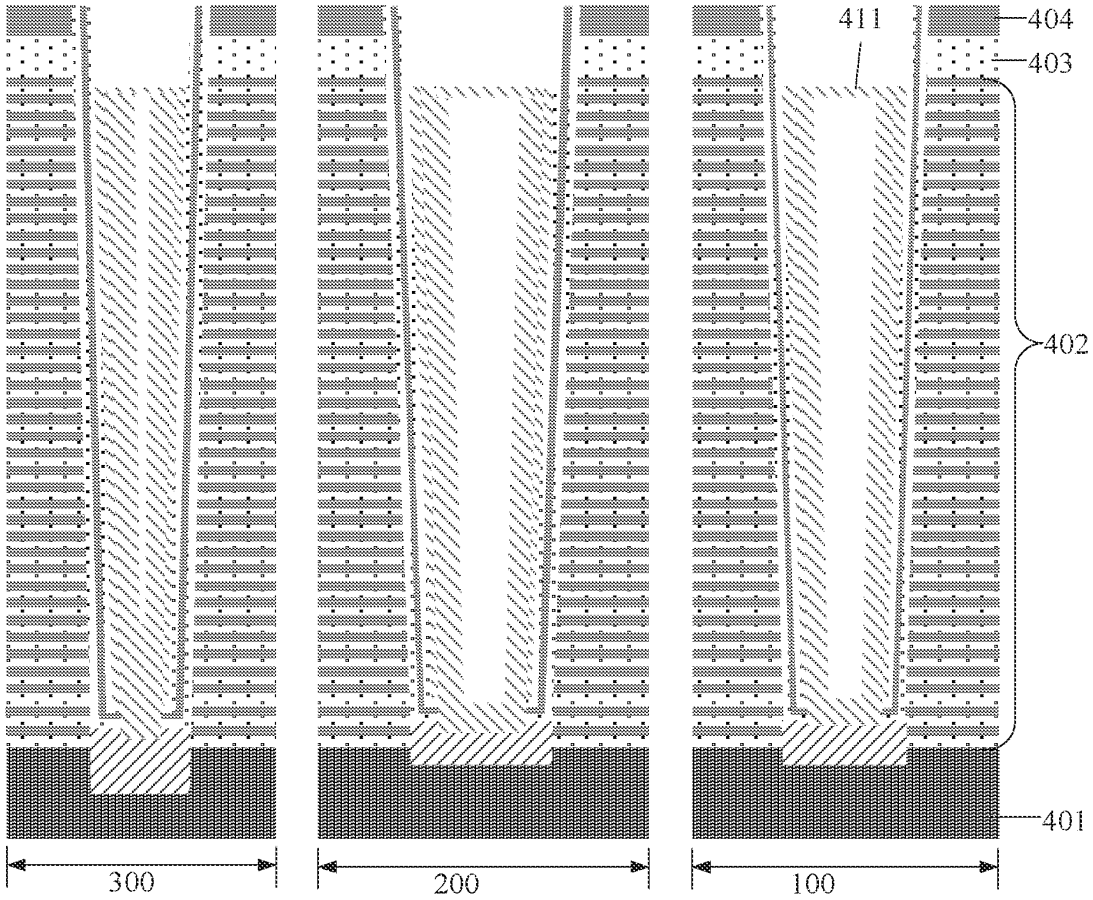


FIG. 80B

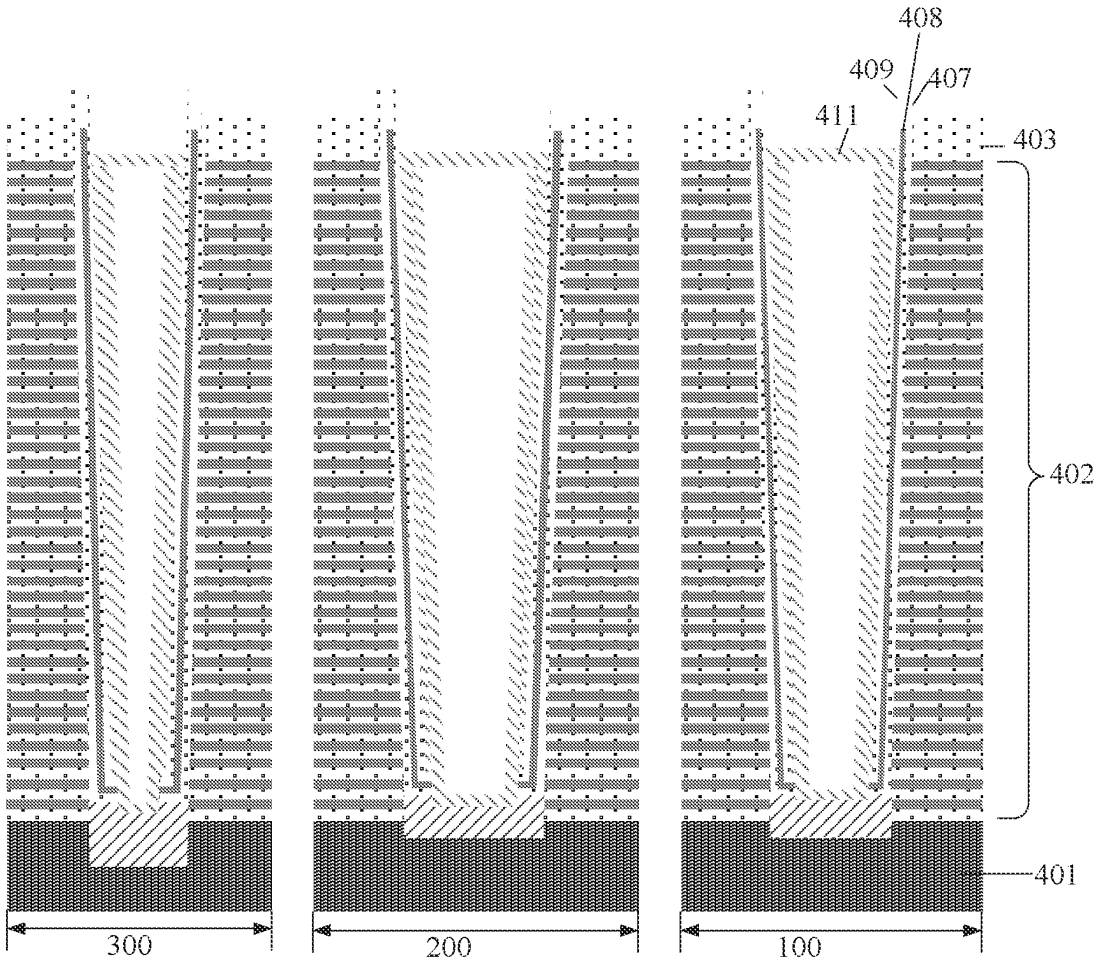


FIG. 81A

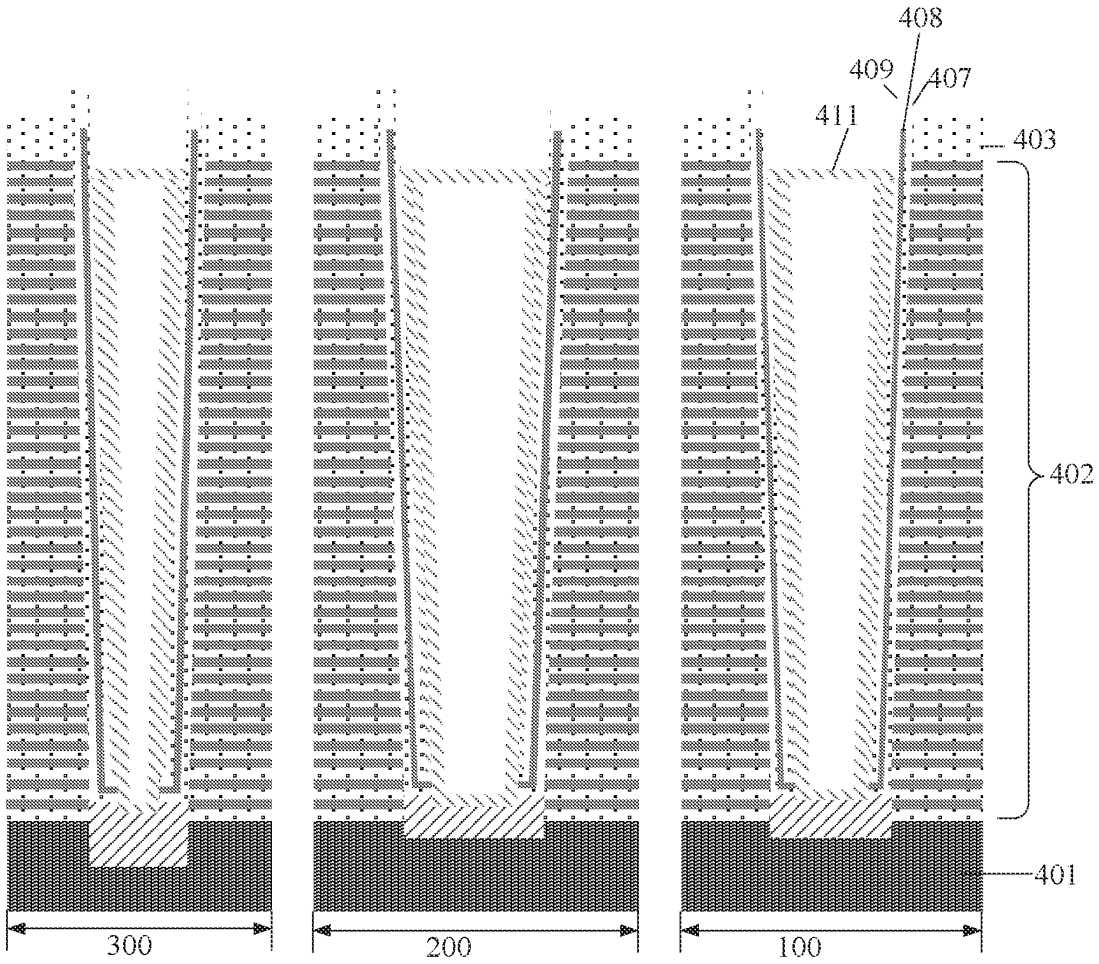


FIG. 81B

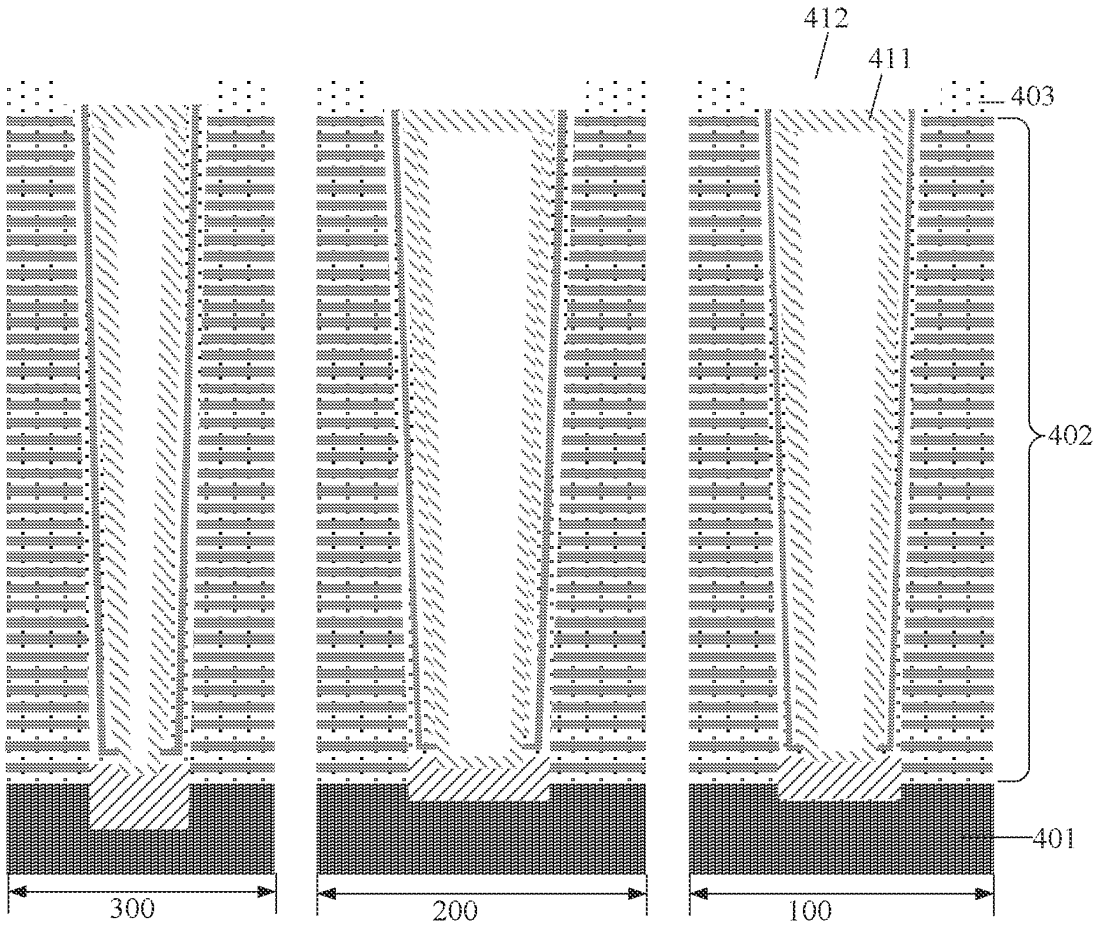


FIG. 82A

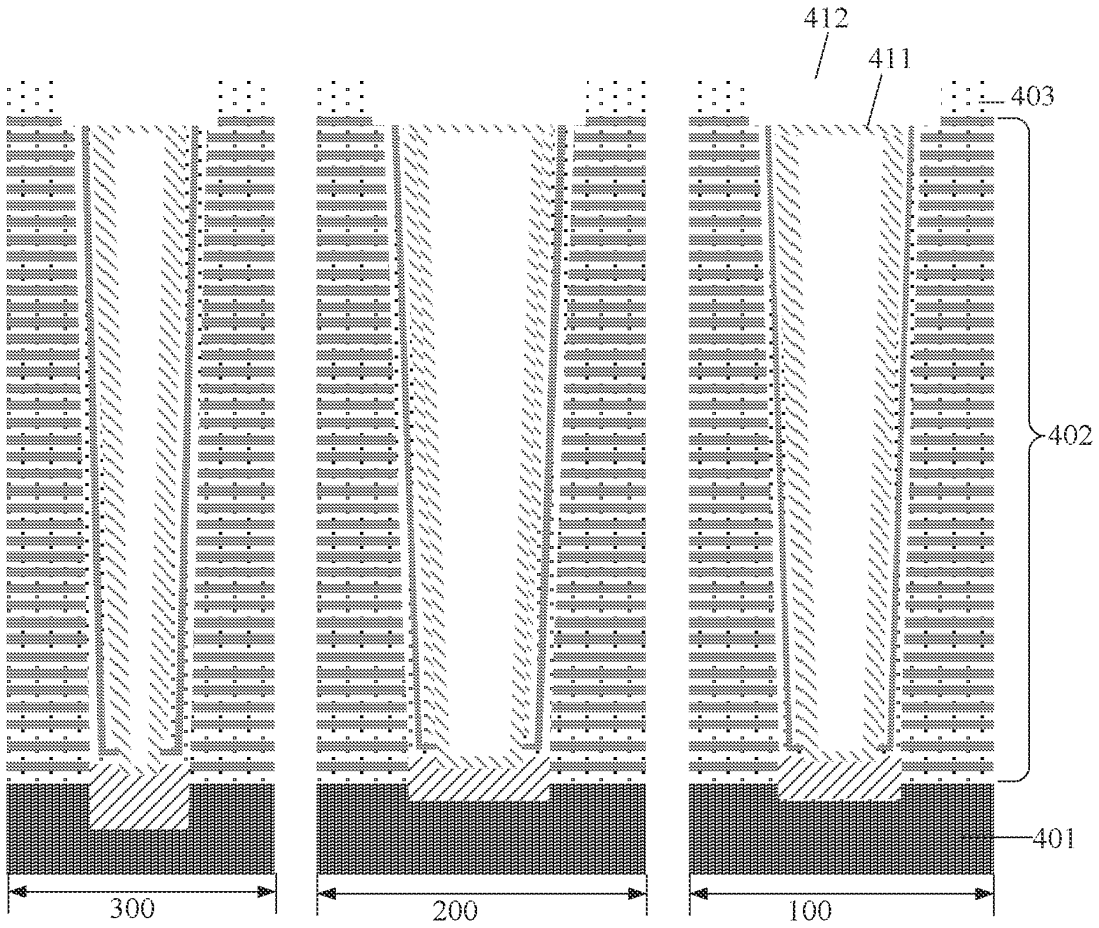


FIG. 82B

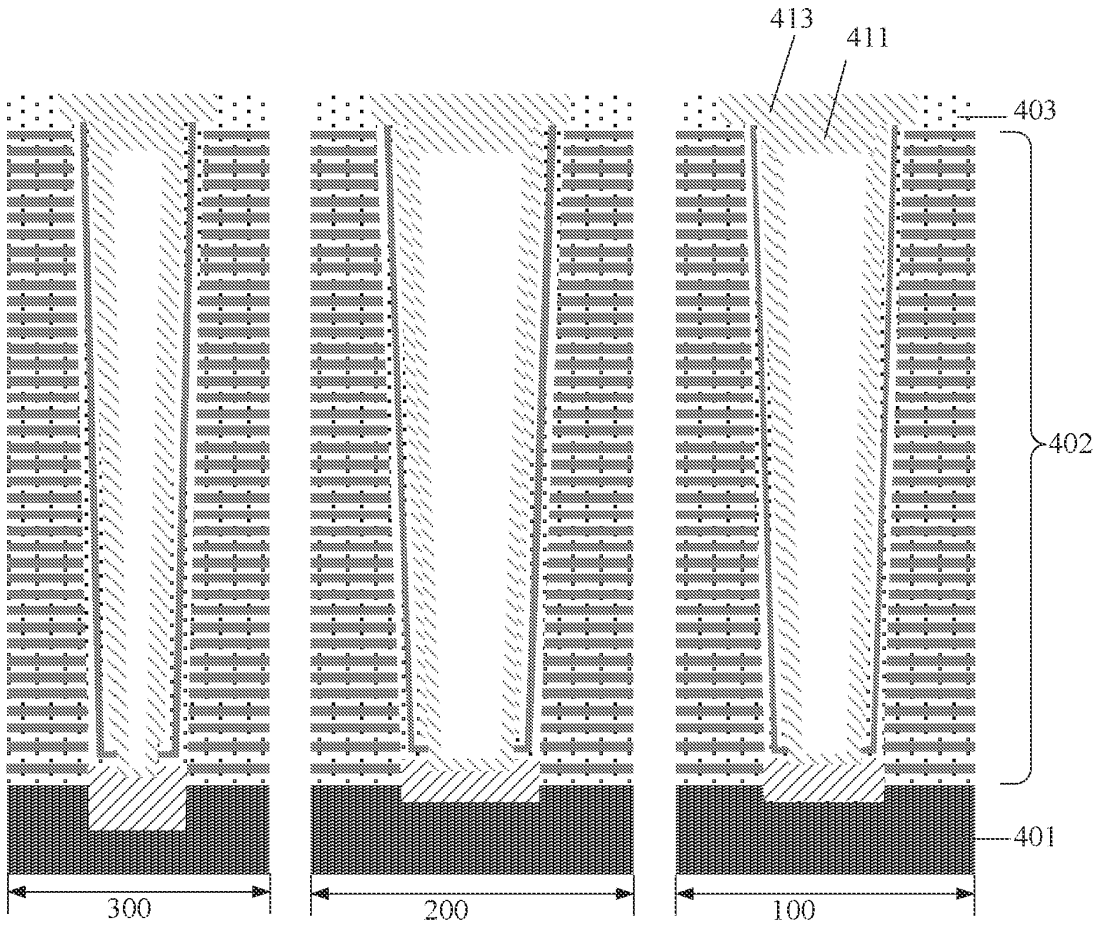


FIG. 83A

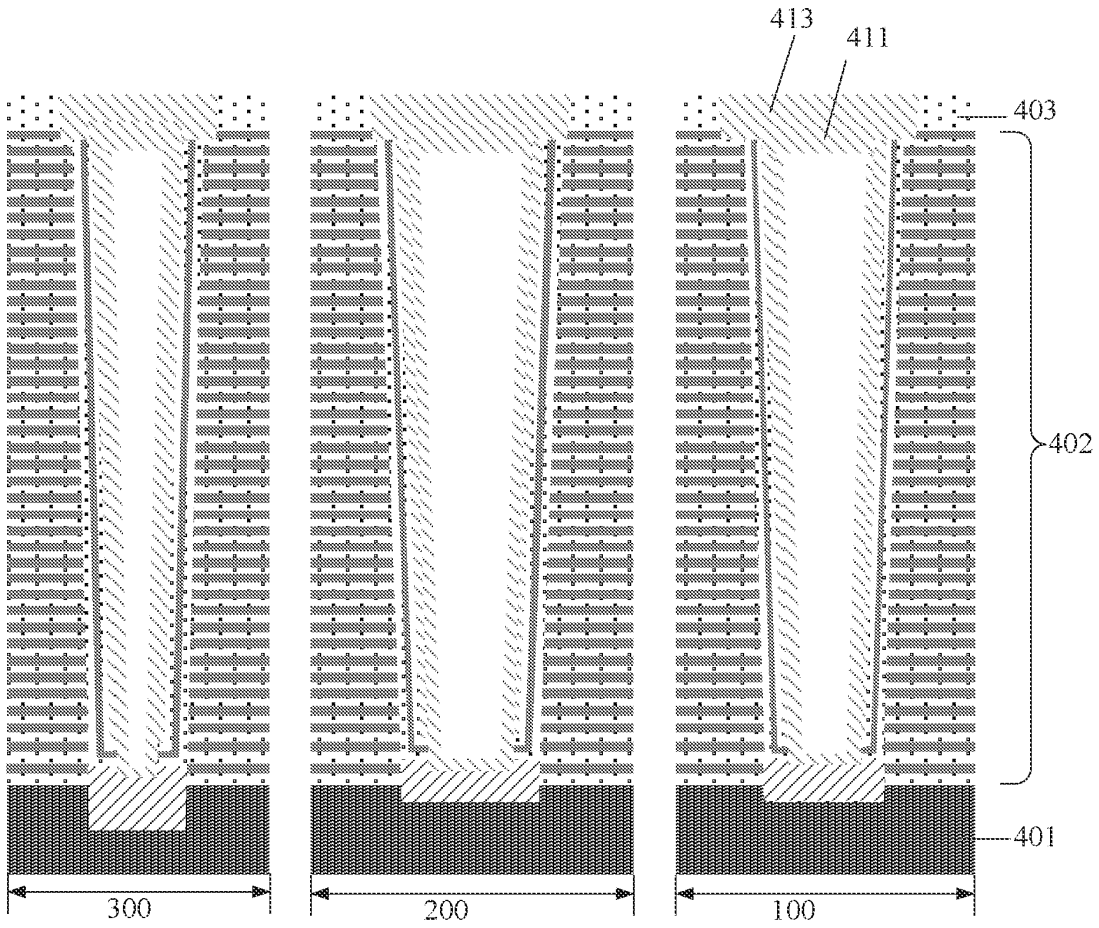


FIG. 83B

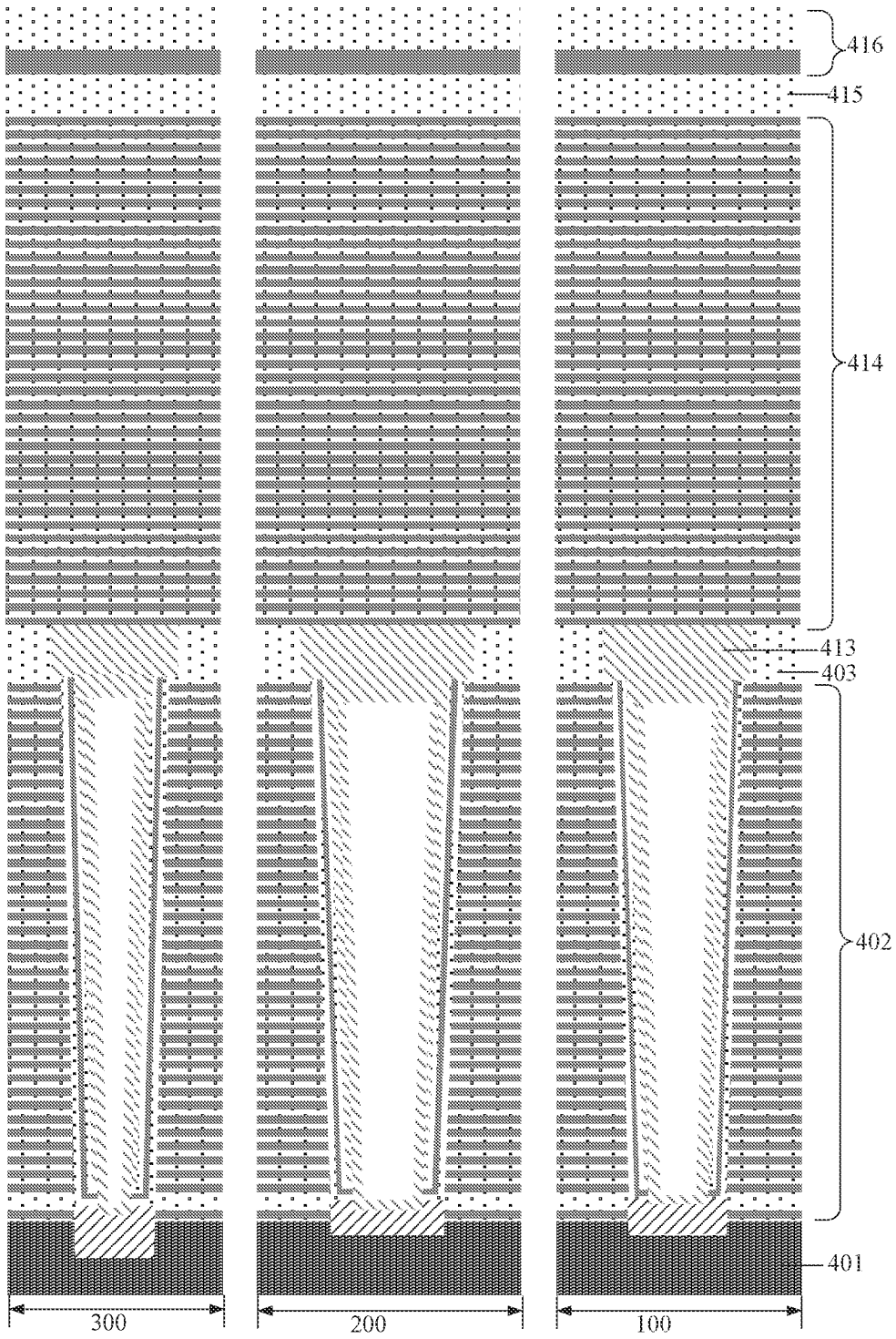


FIG. 84

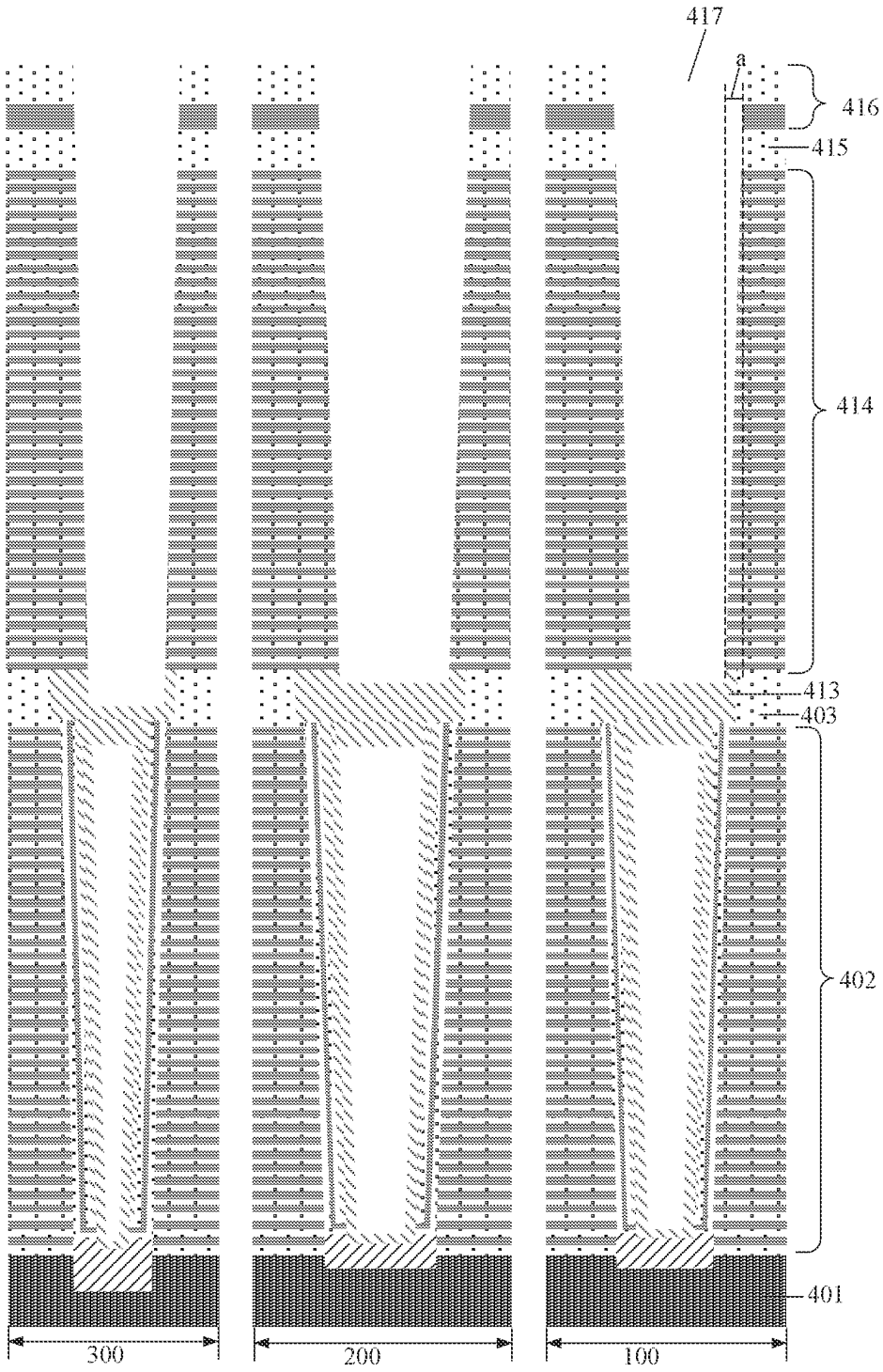


FIG. 85

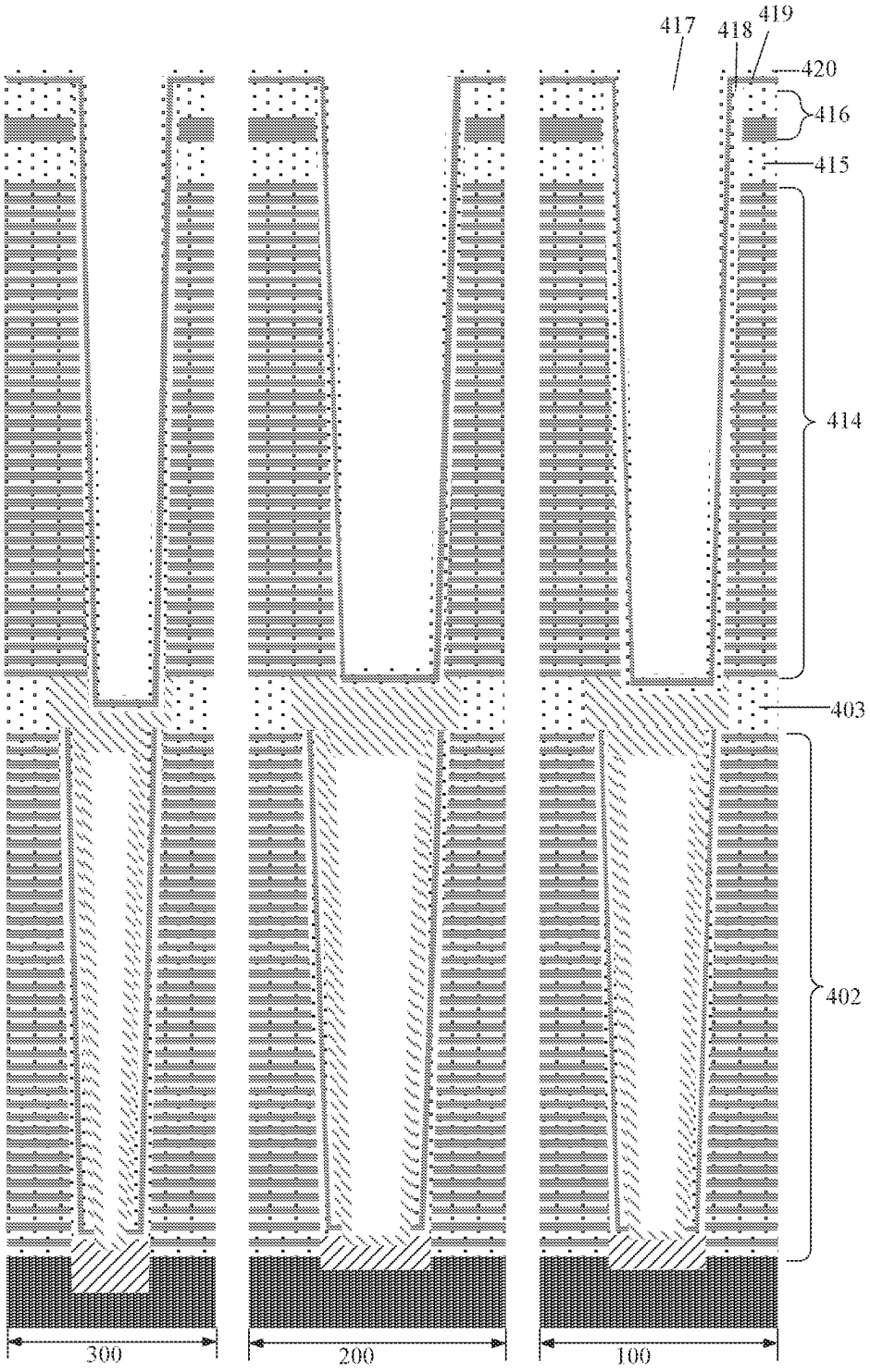


FIG. 86

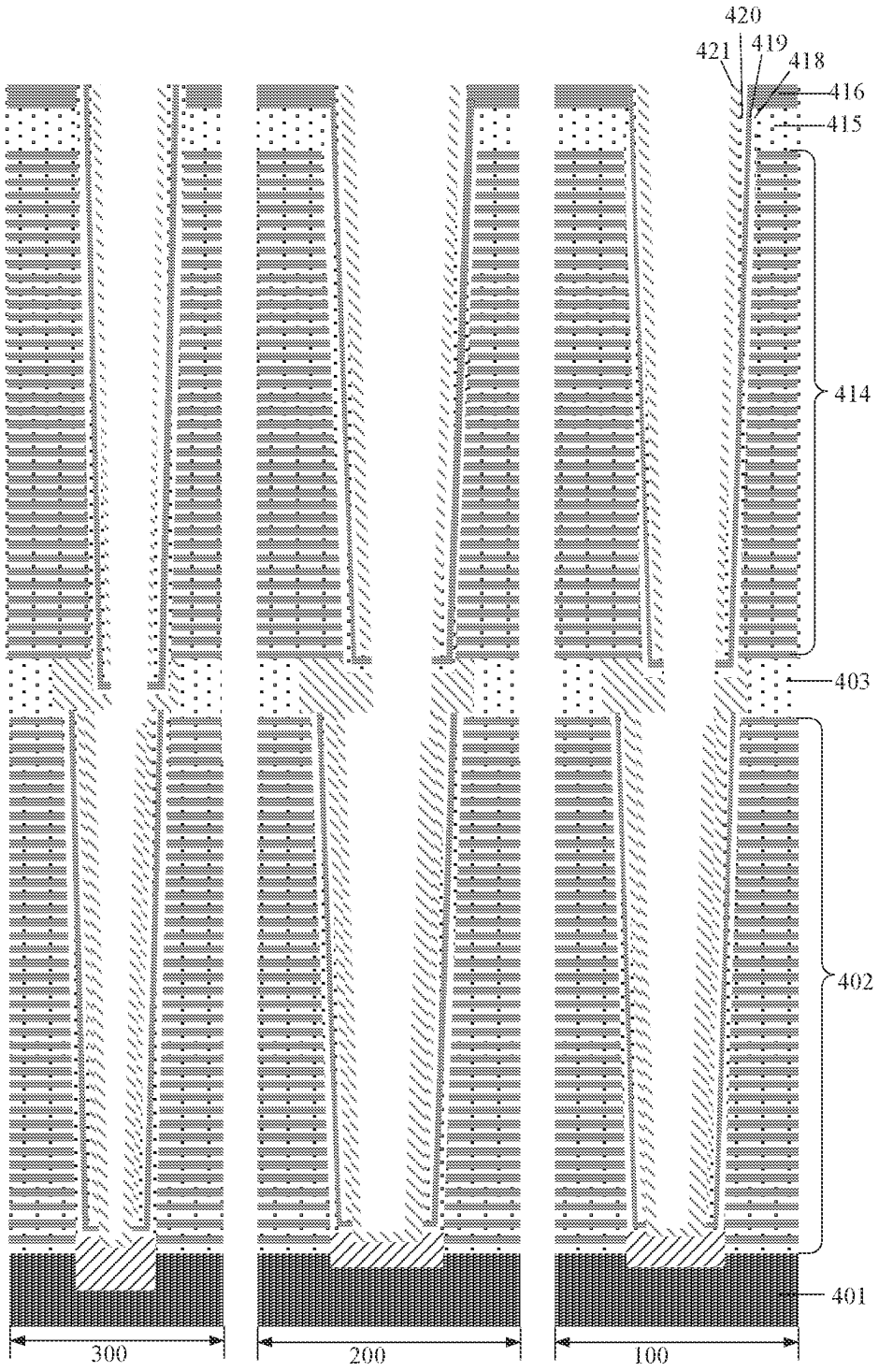


FIG. 87

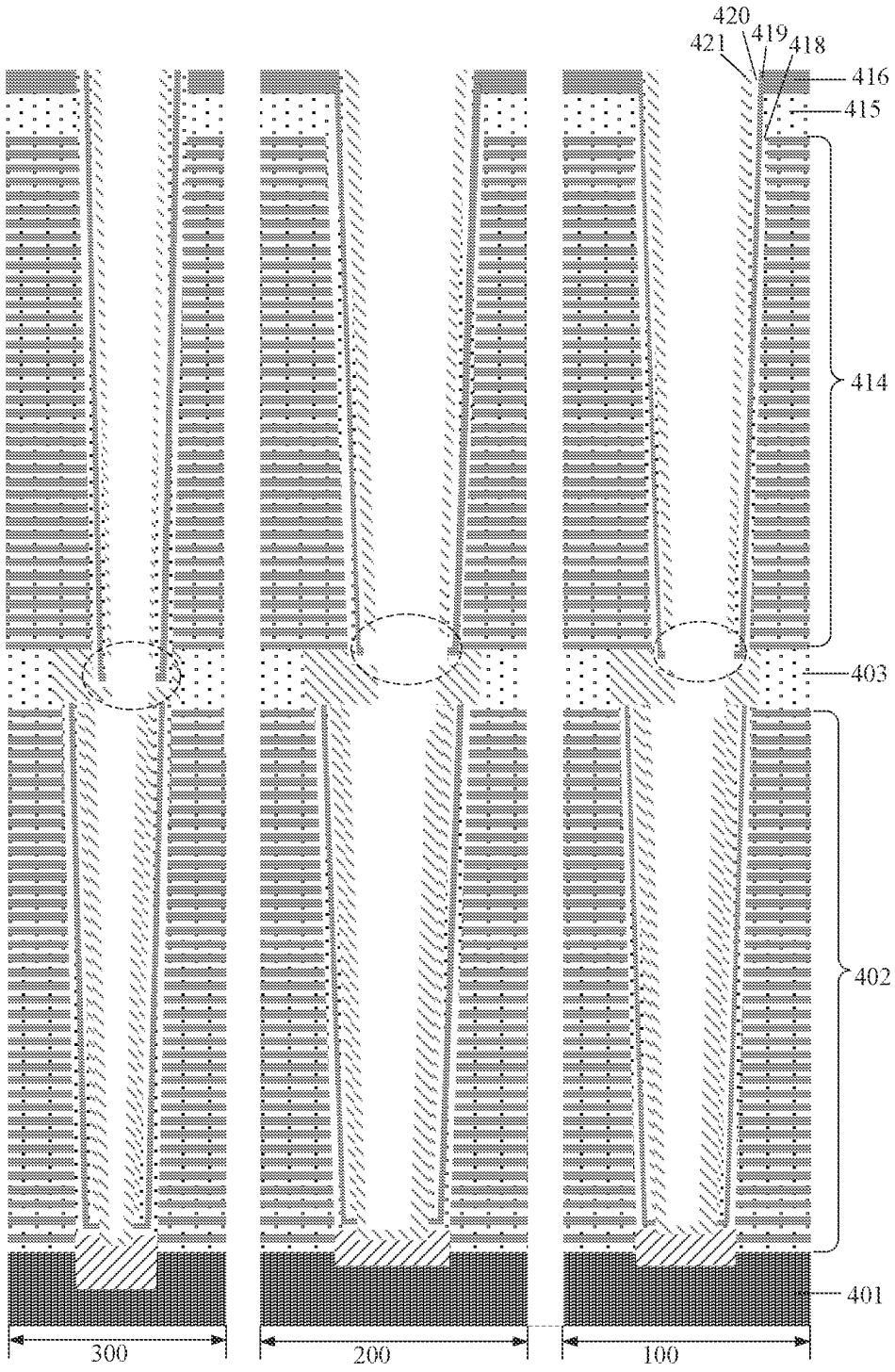


FIG. 88

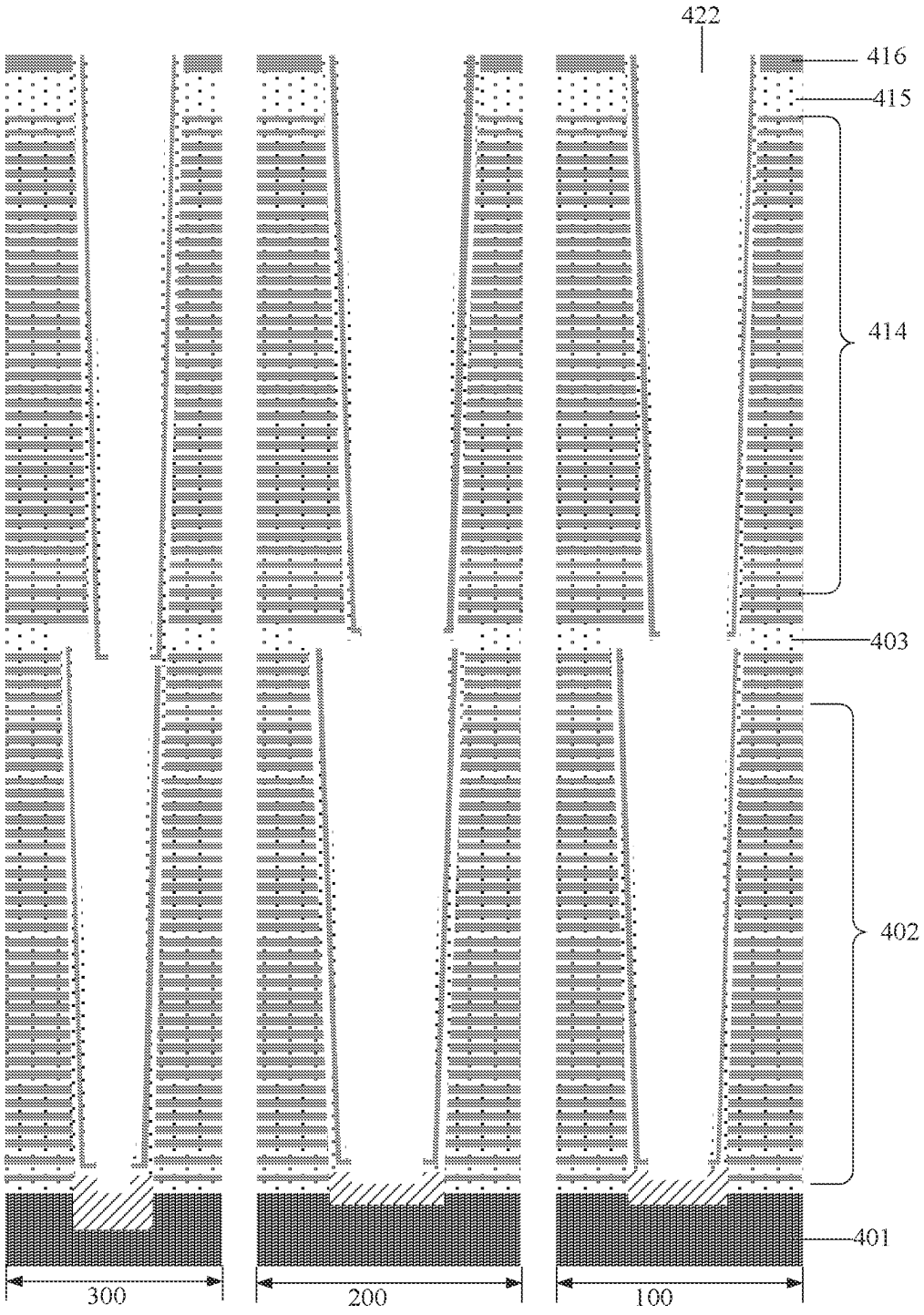


FIG. 89

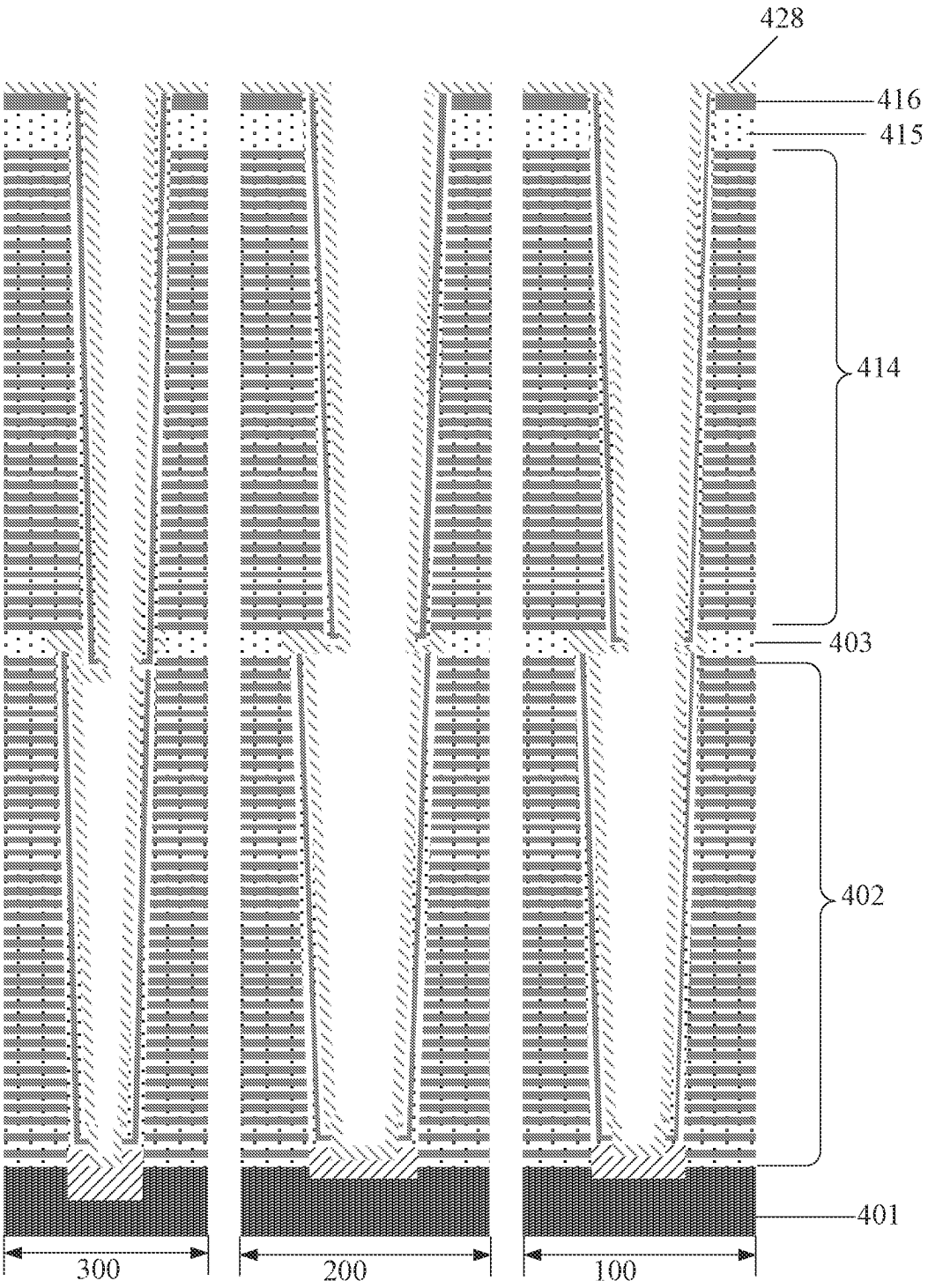


FIG. 90

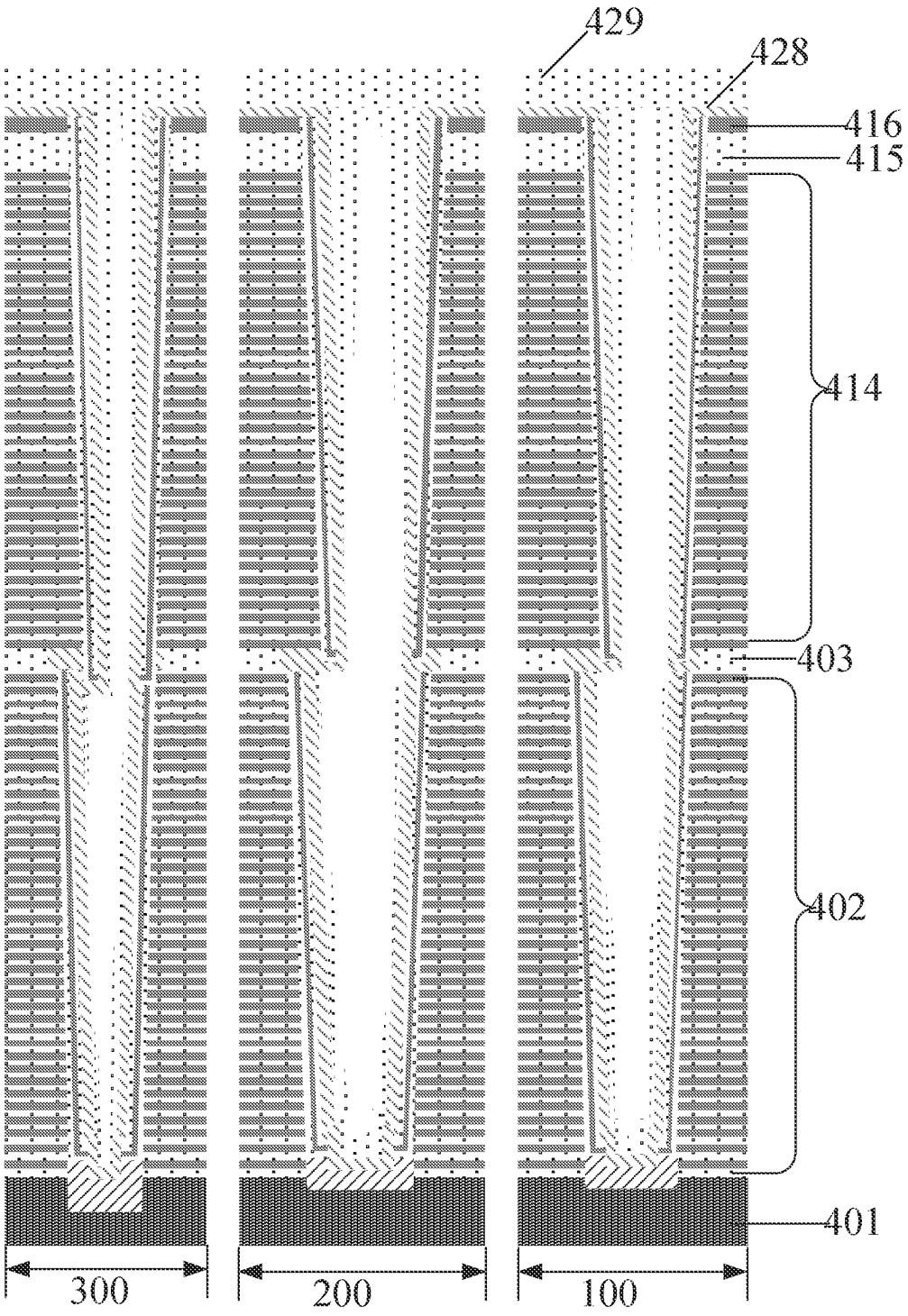


FIG. 91

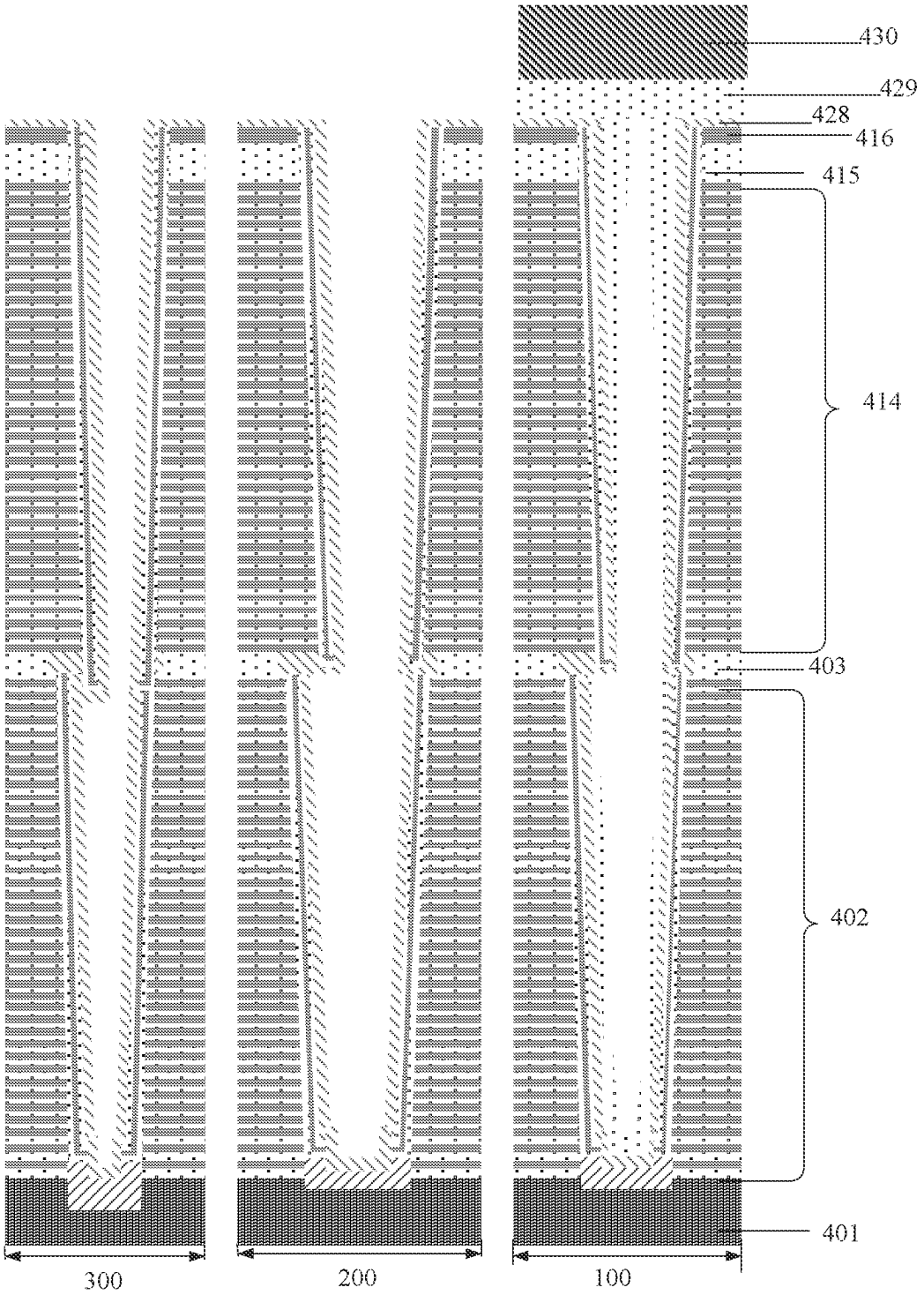


FIG. 92

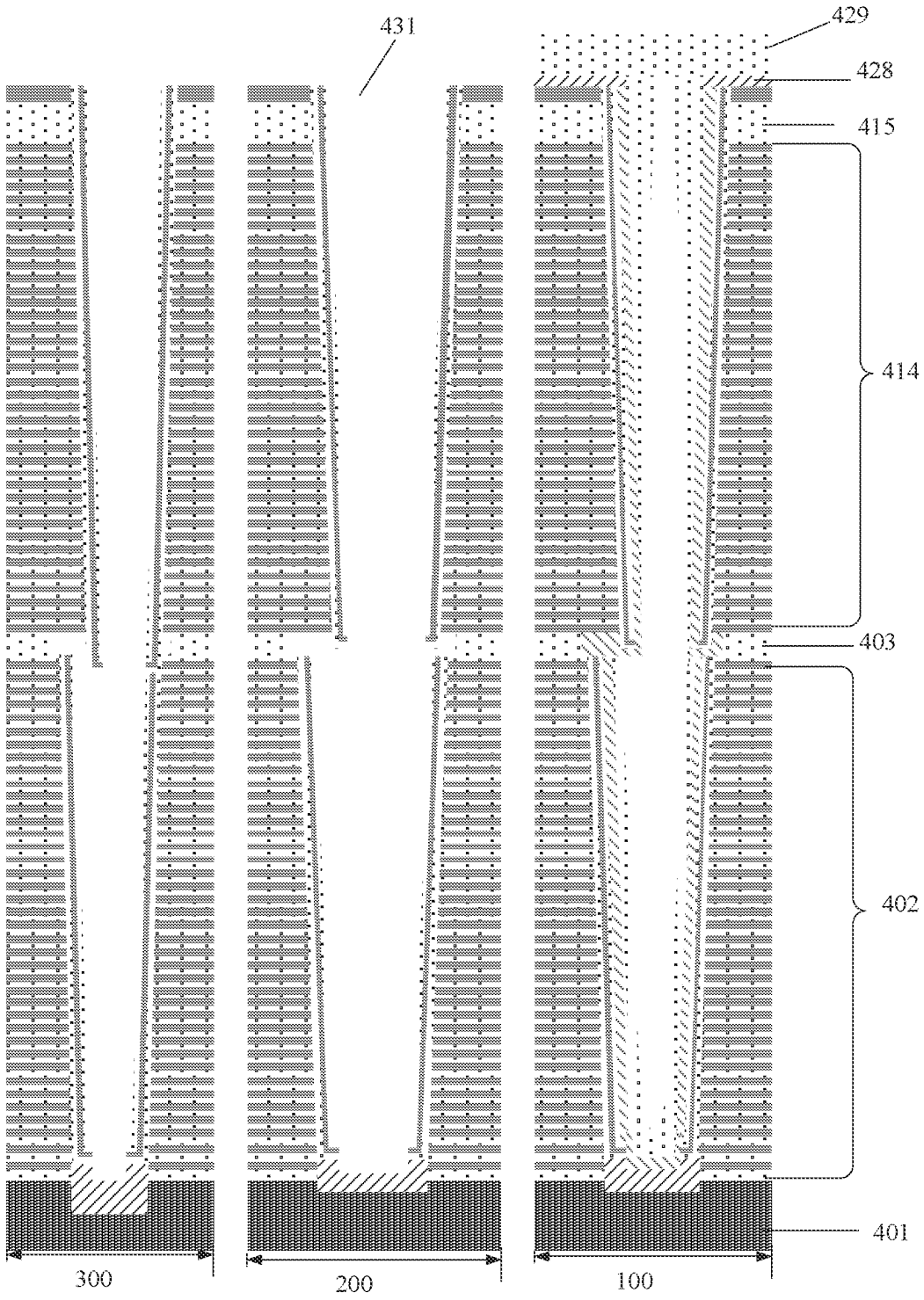


FIG. 93

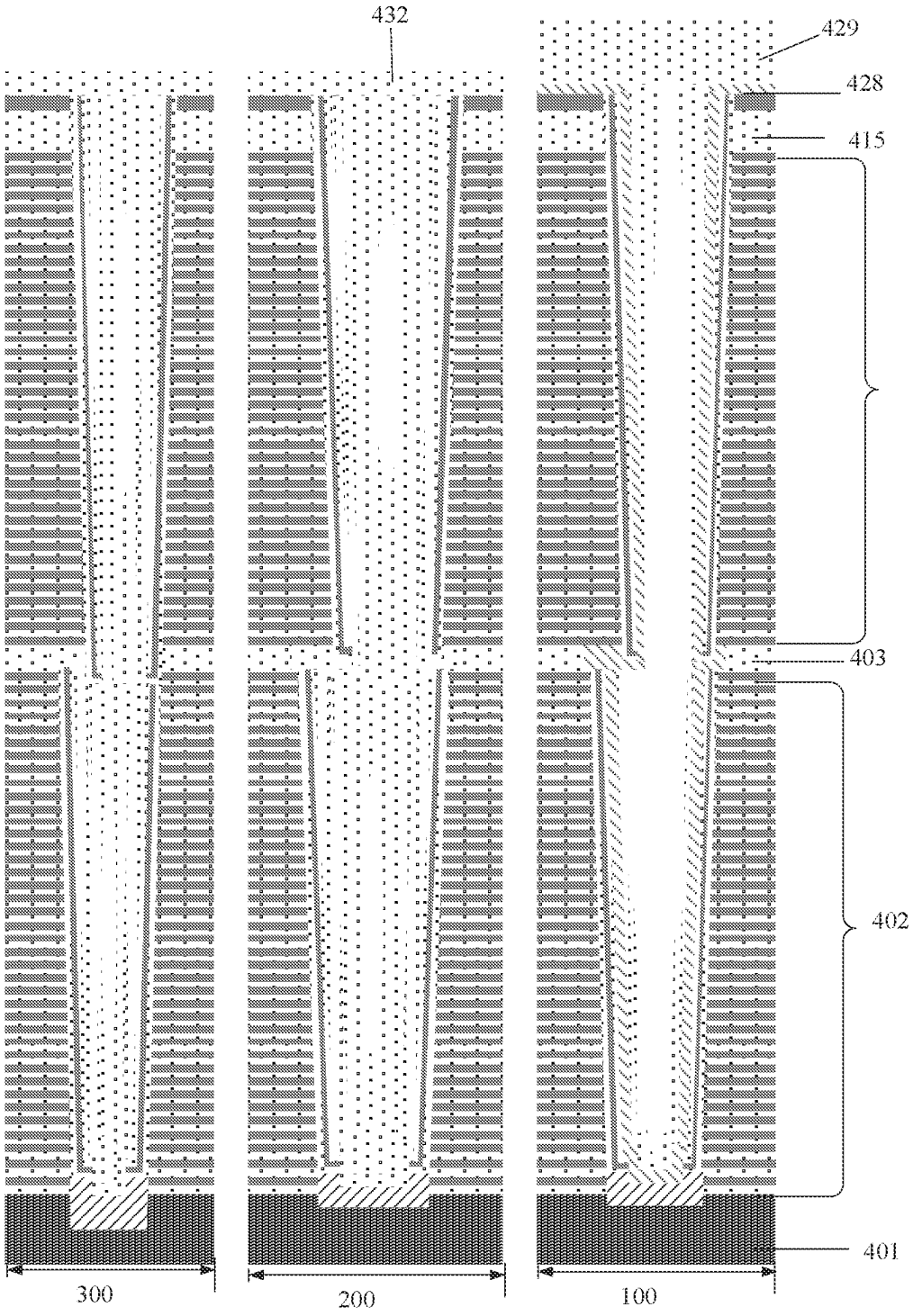


FIG. 94

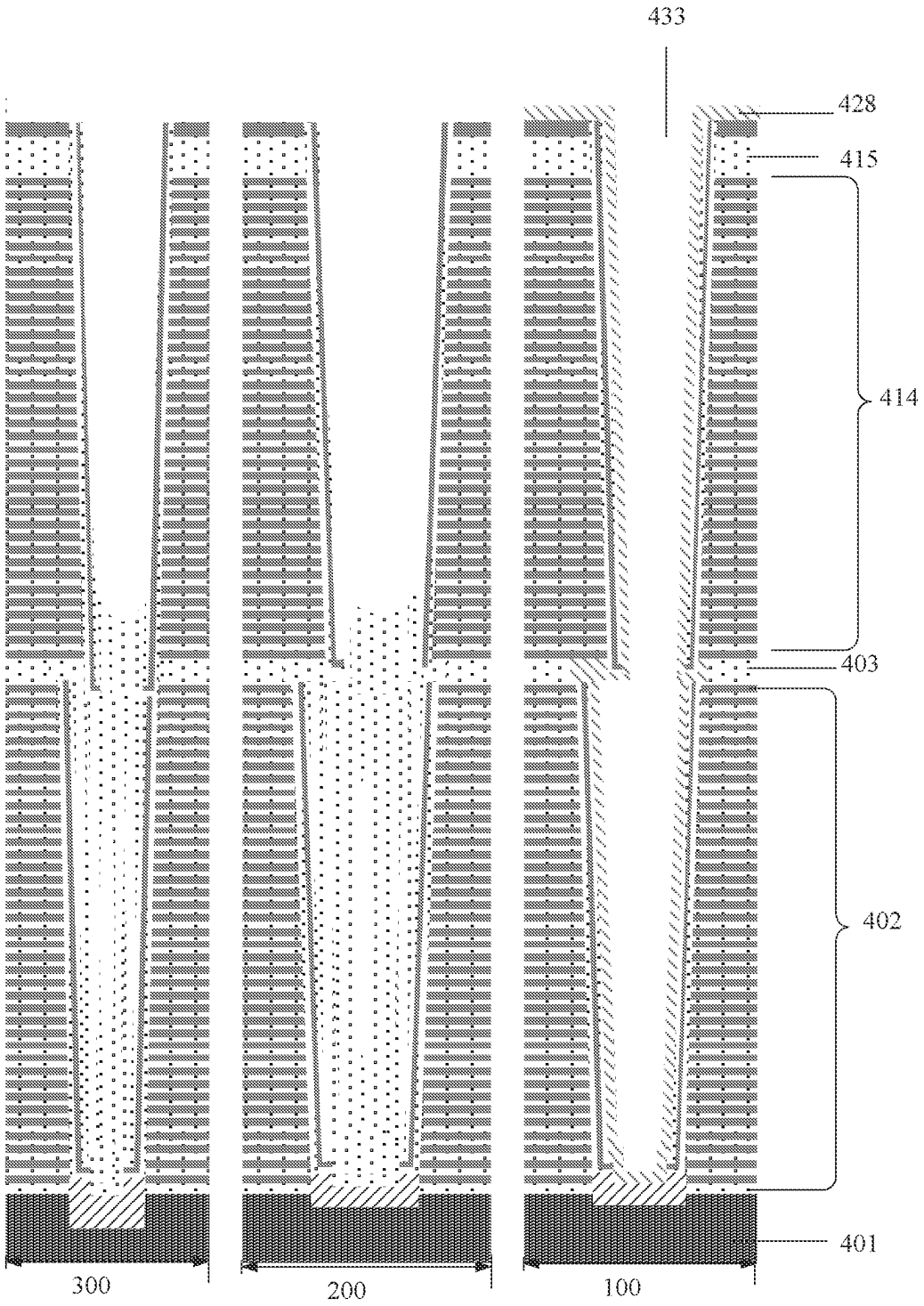


FIG. 95

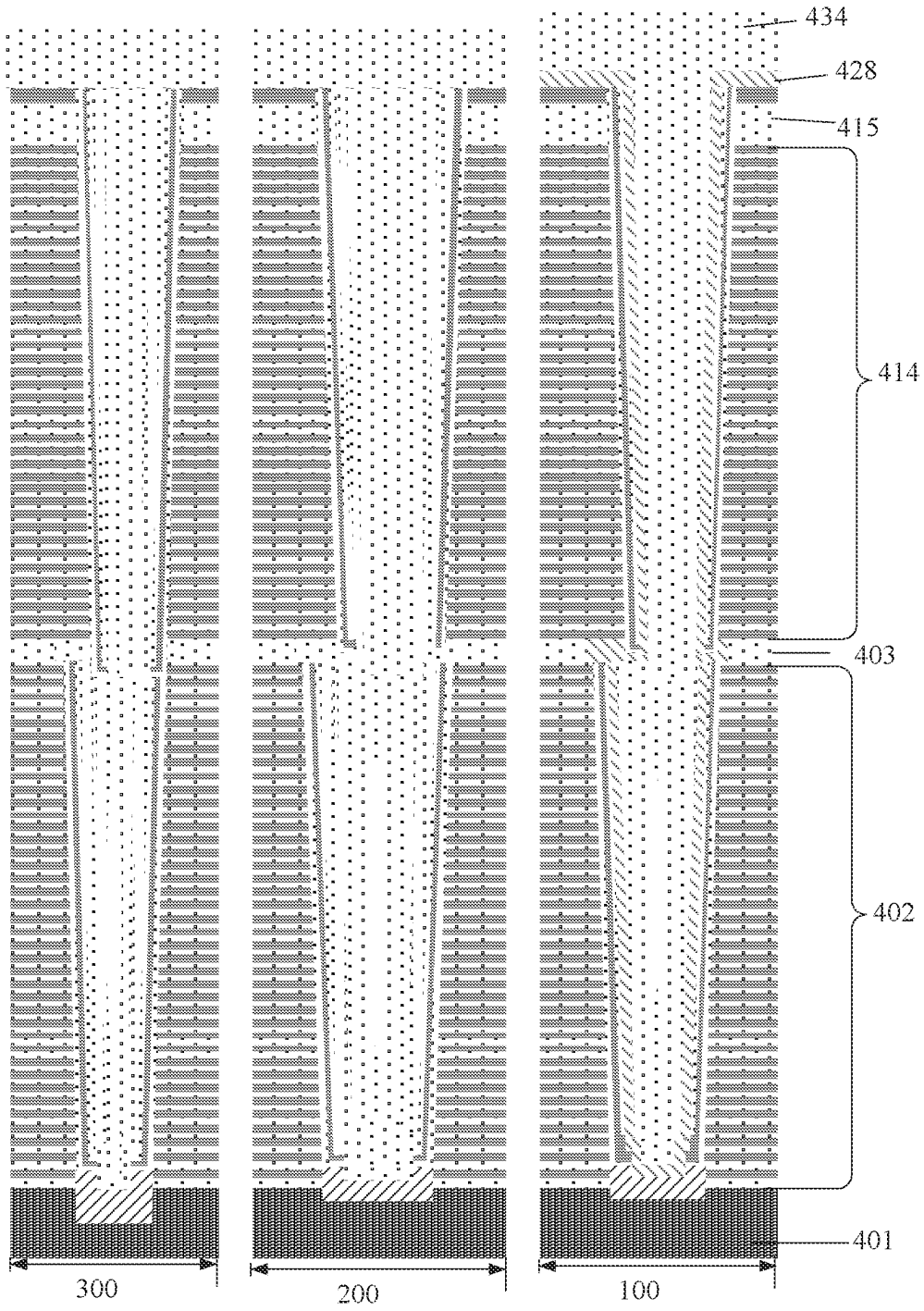


FIG. 96

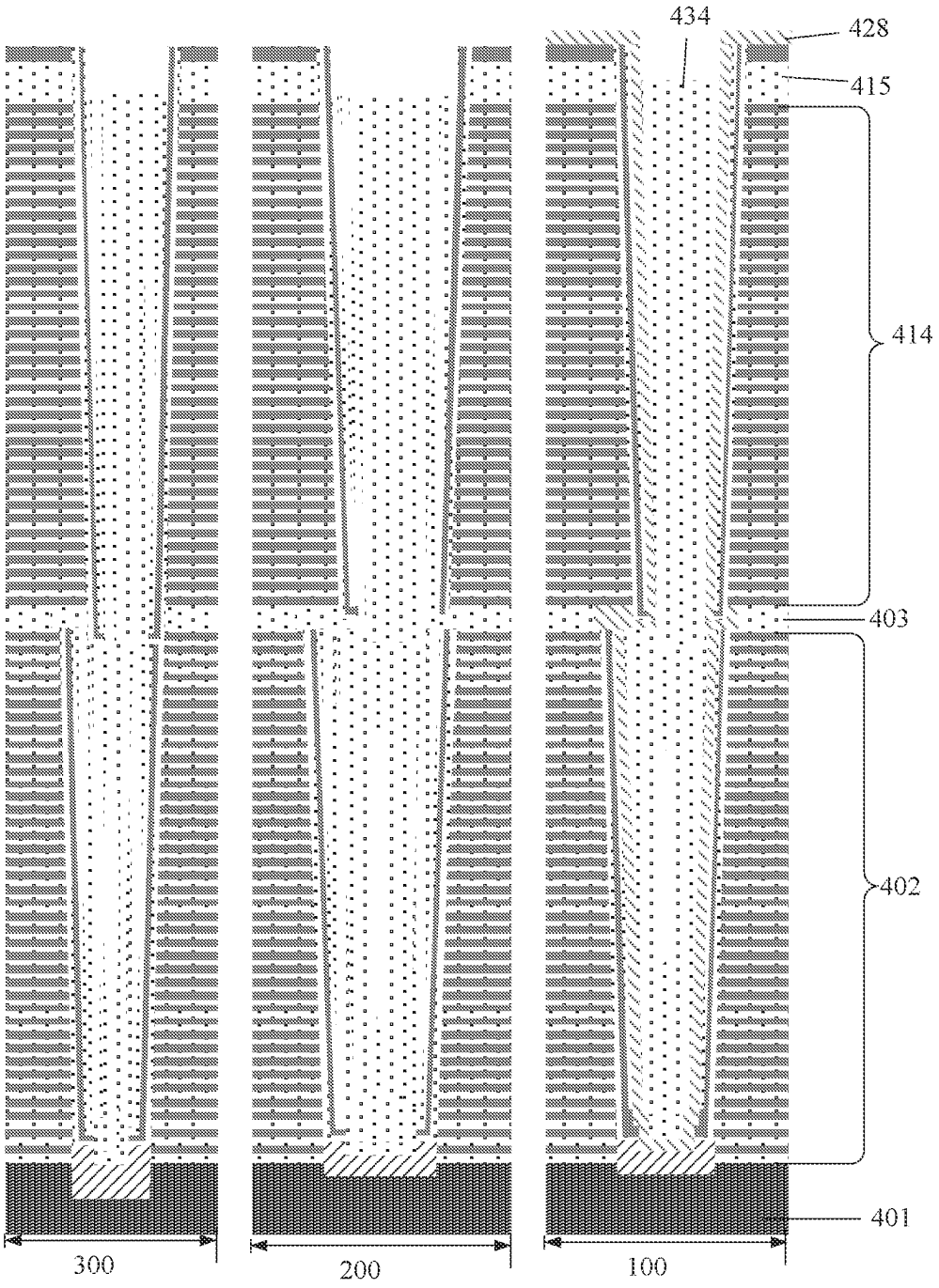


FIG. 97

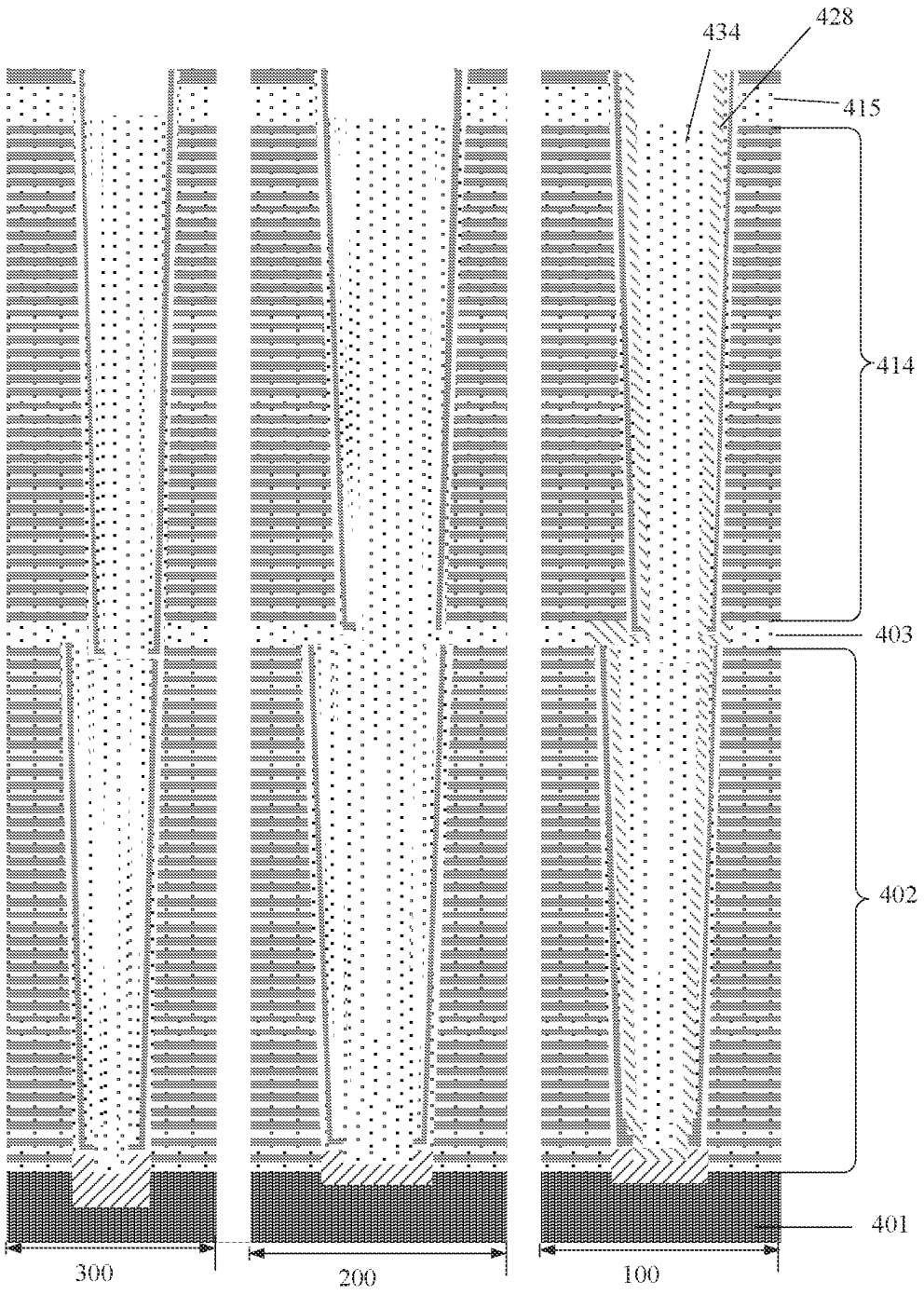


FIG. 98

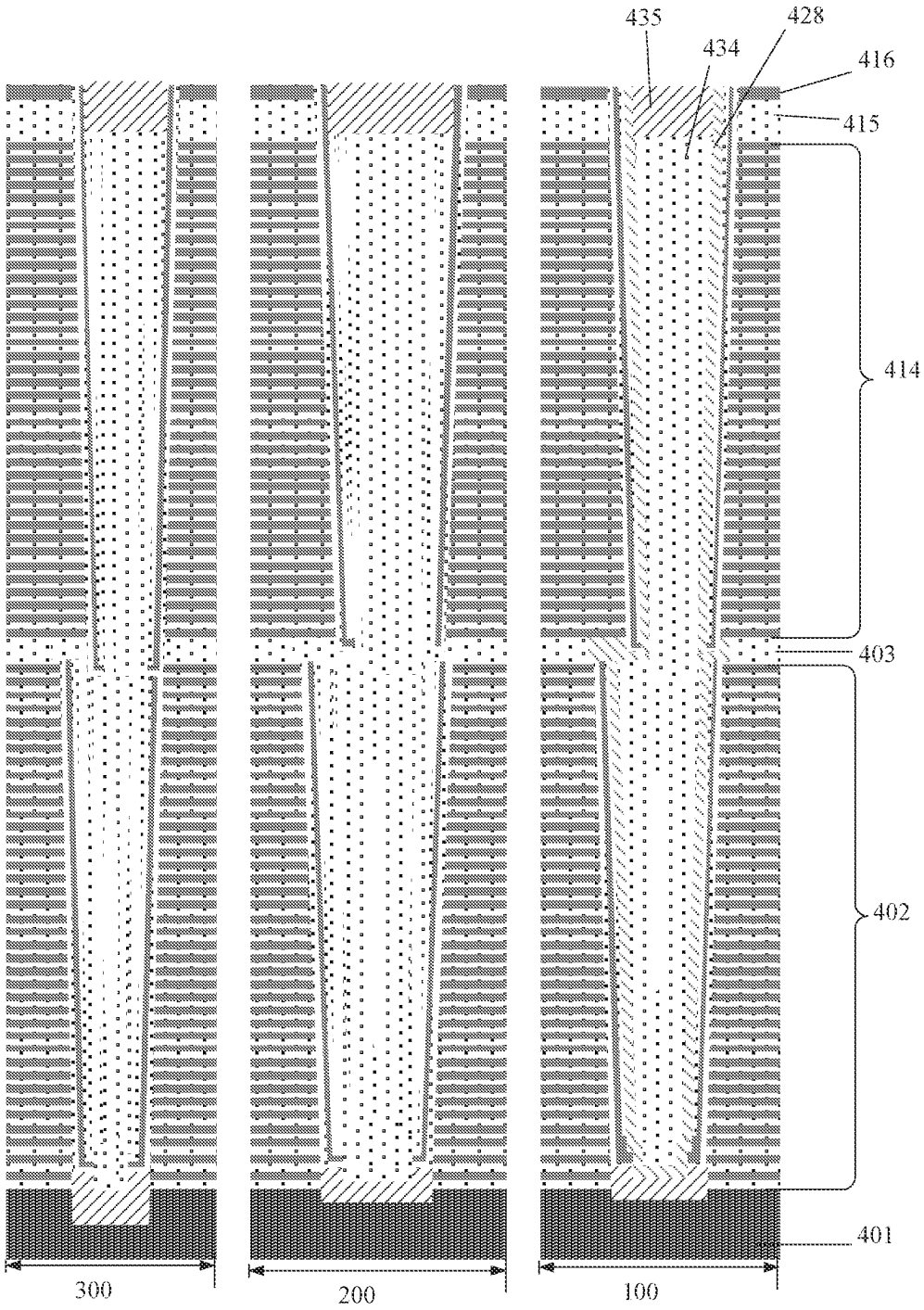


FIG. 99

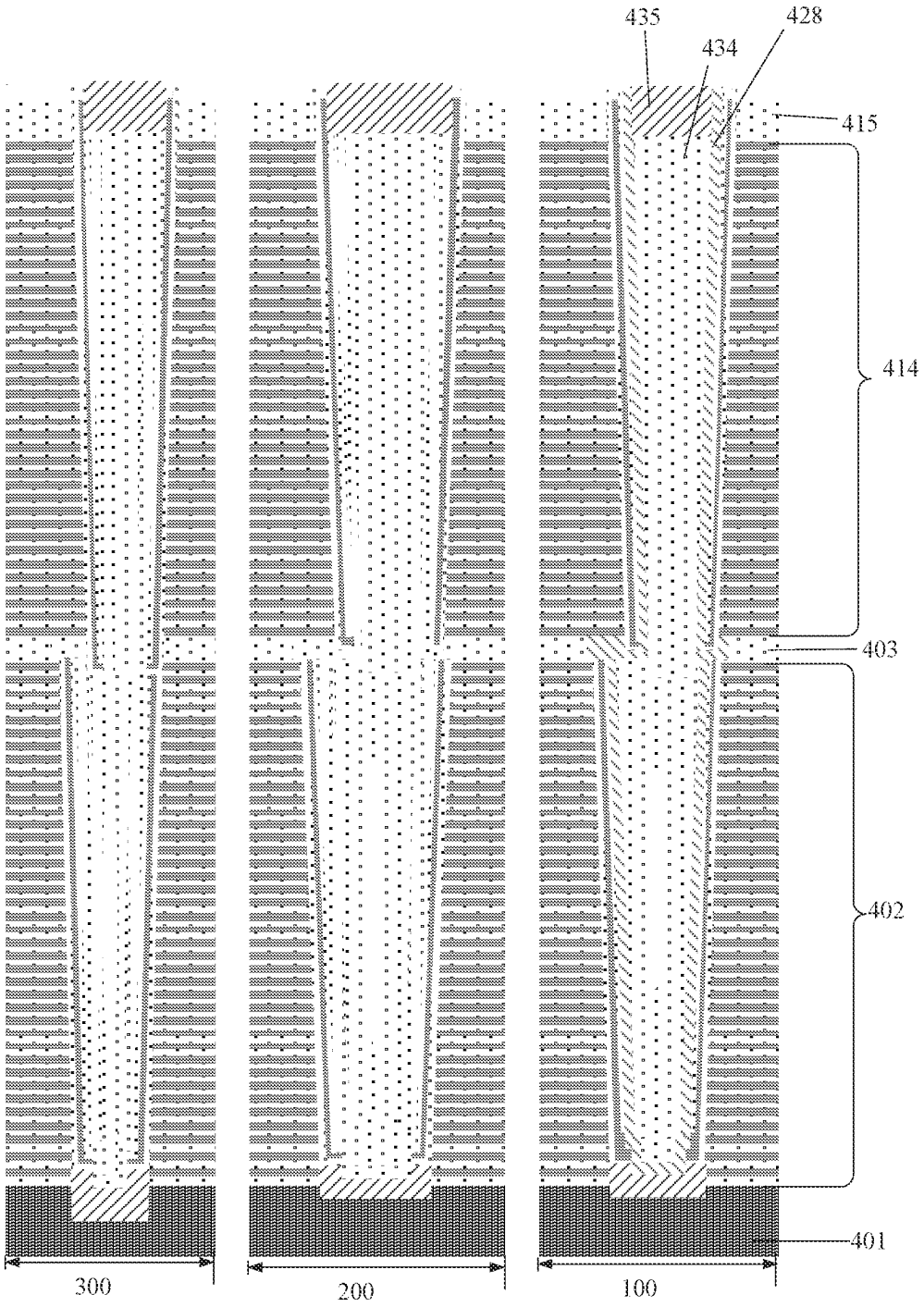


FIG. 100

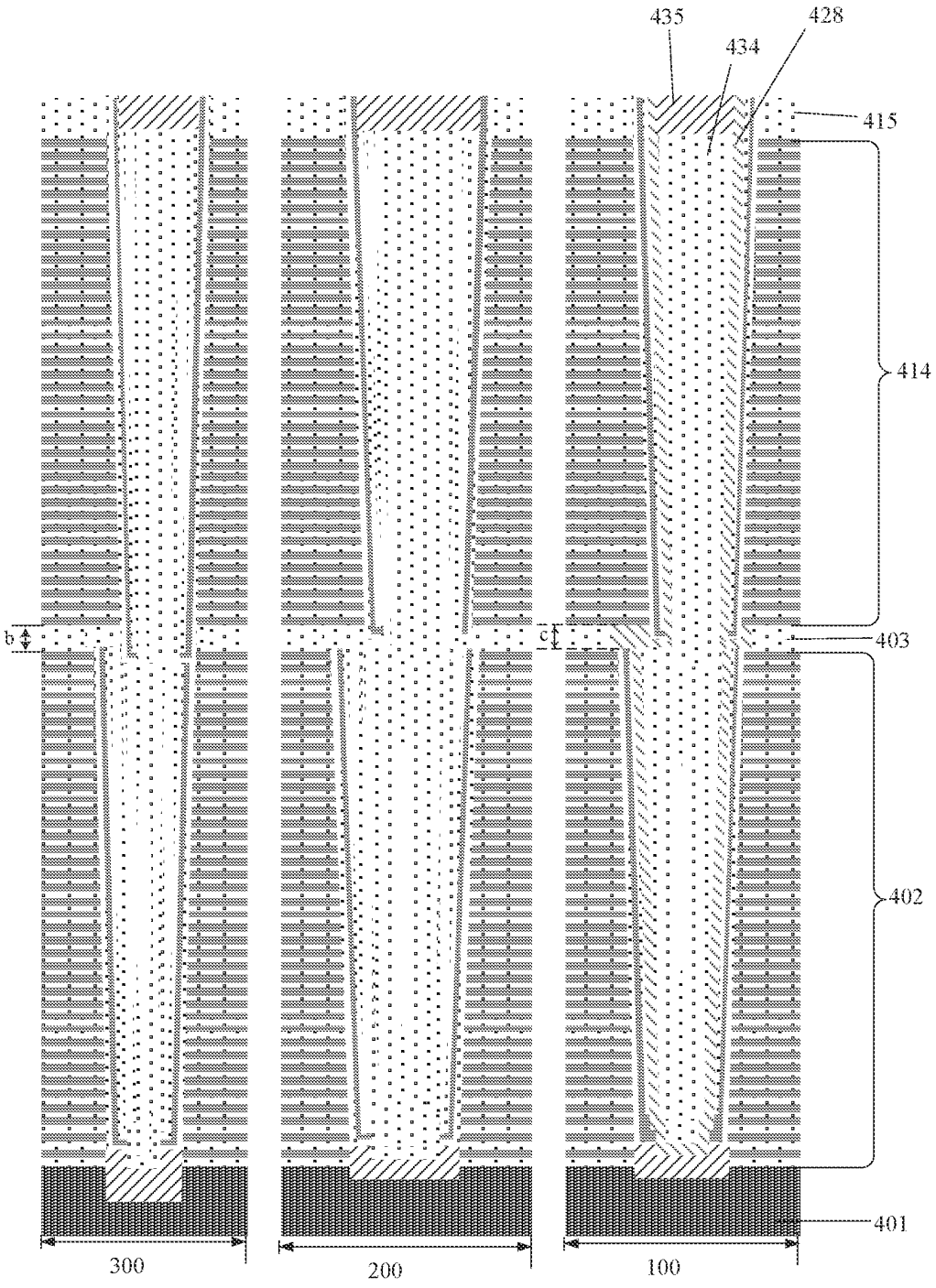


FIG. 101A

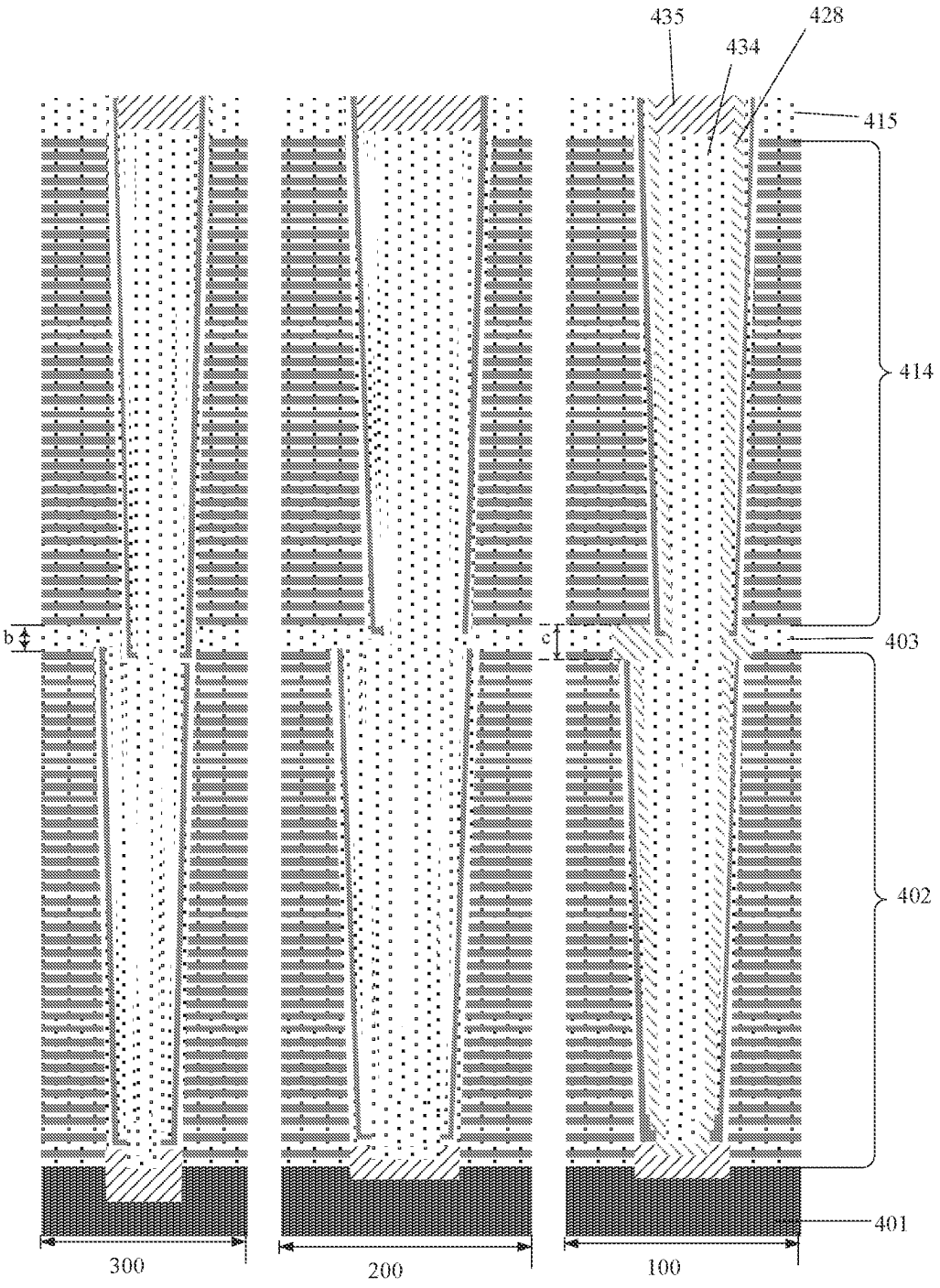


FIG. 101B

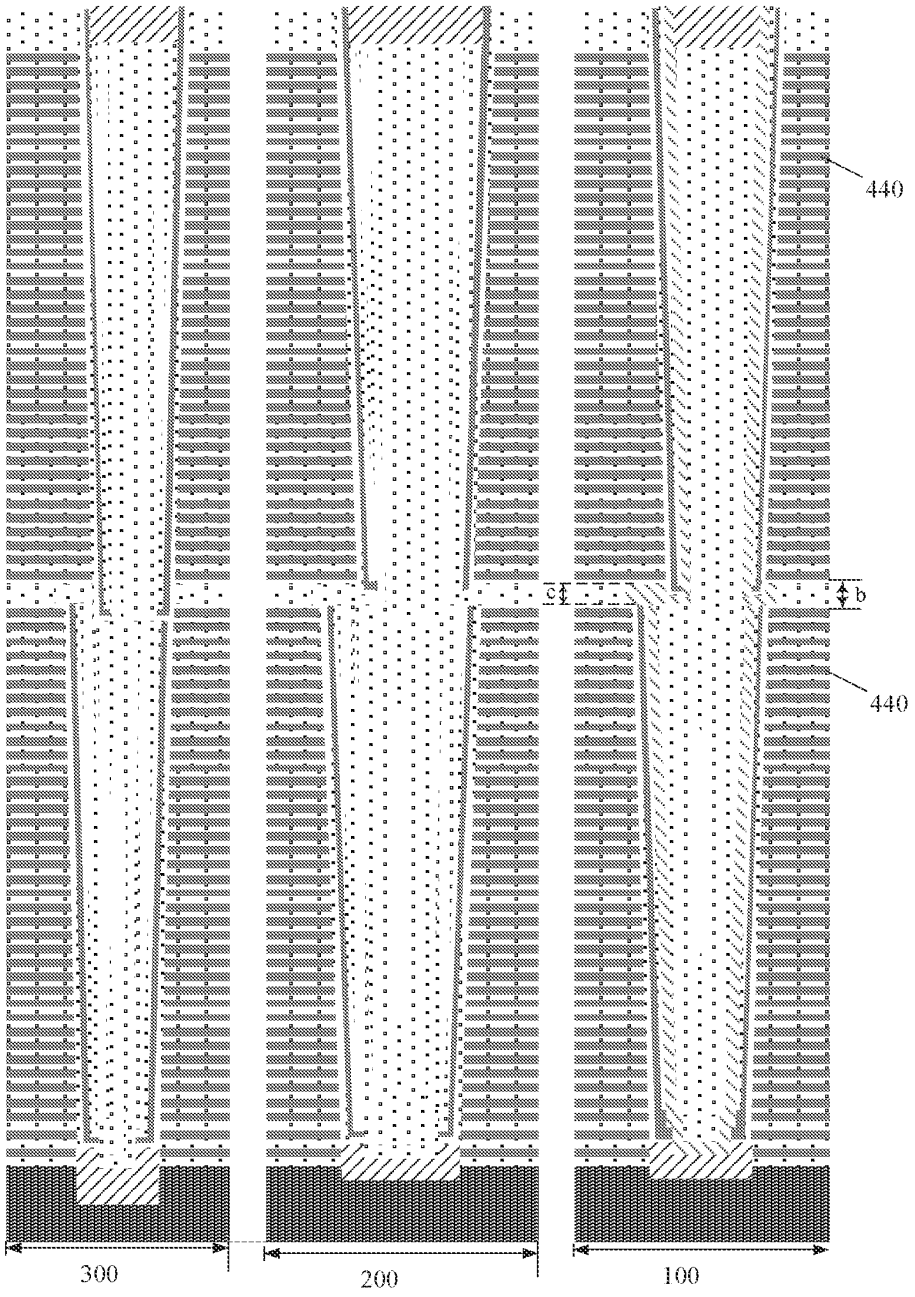


FIG. 102A

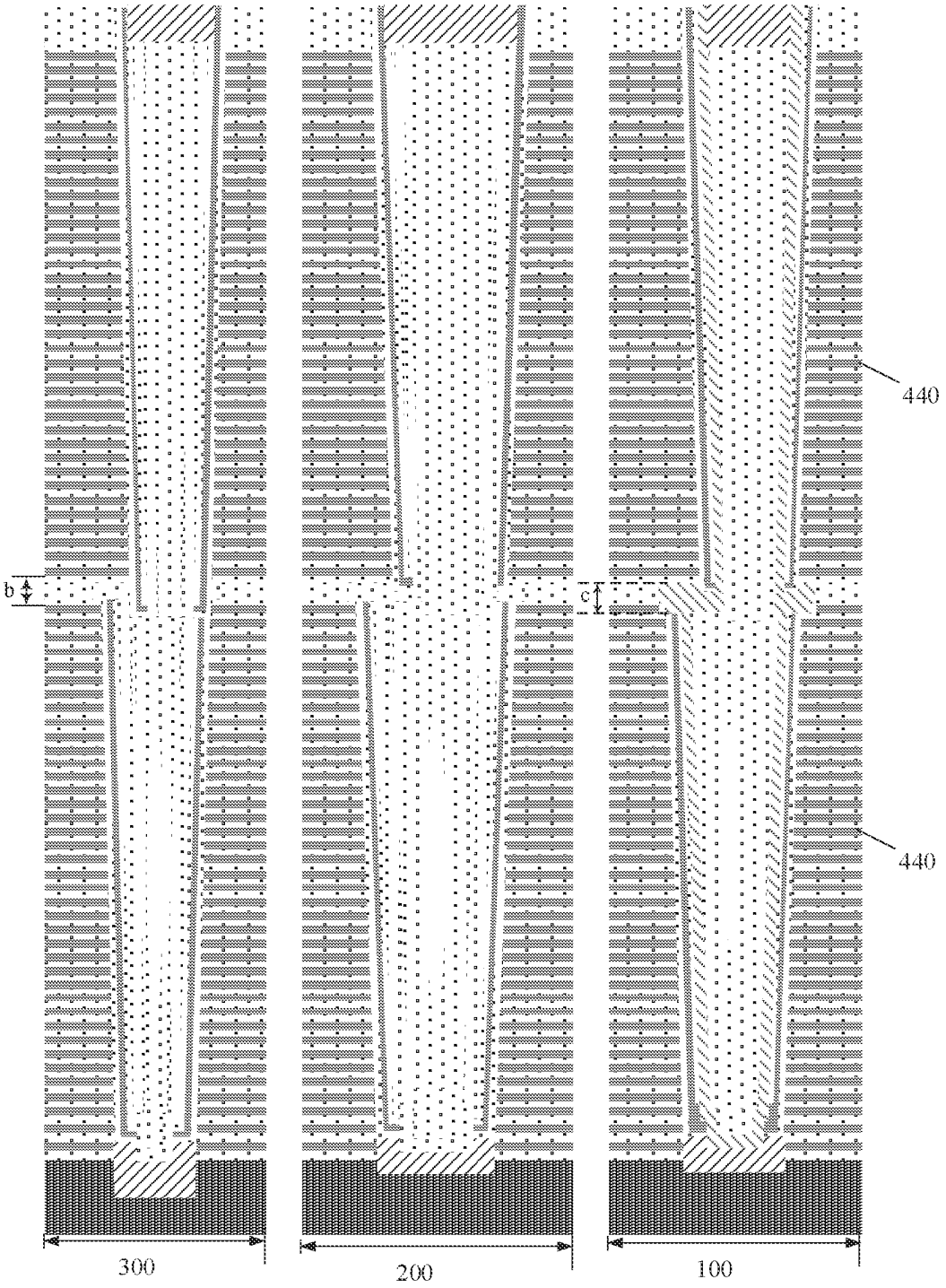


FIG. 102B

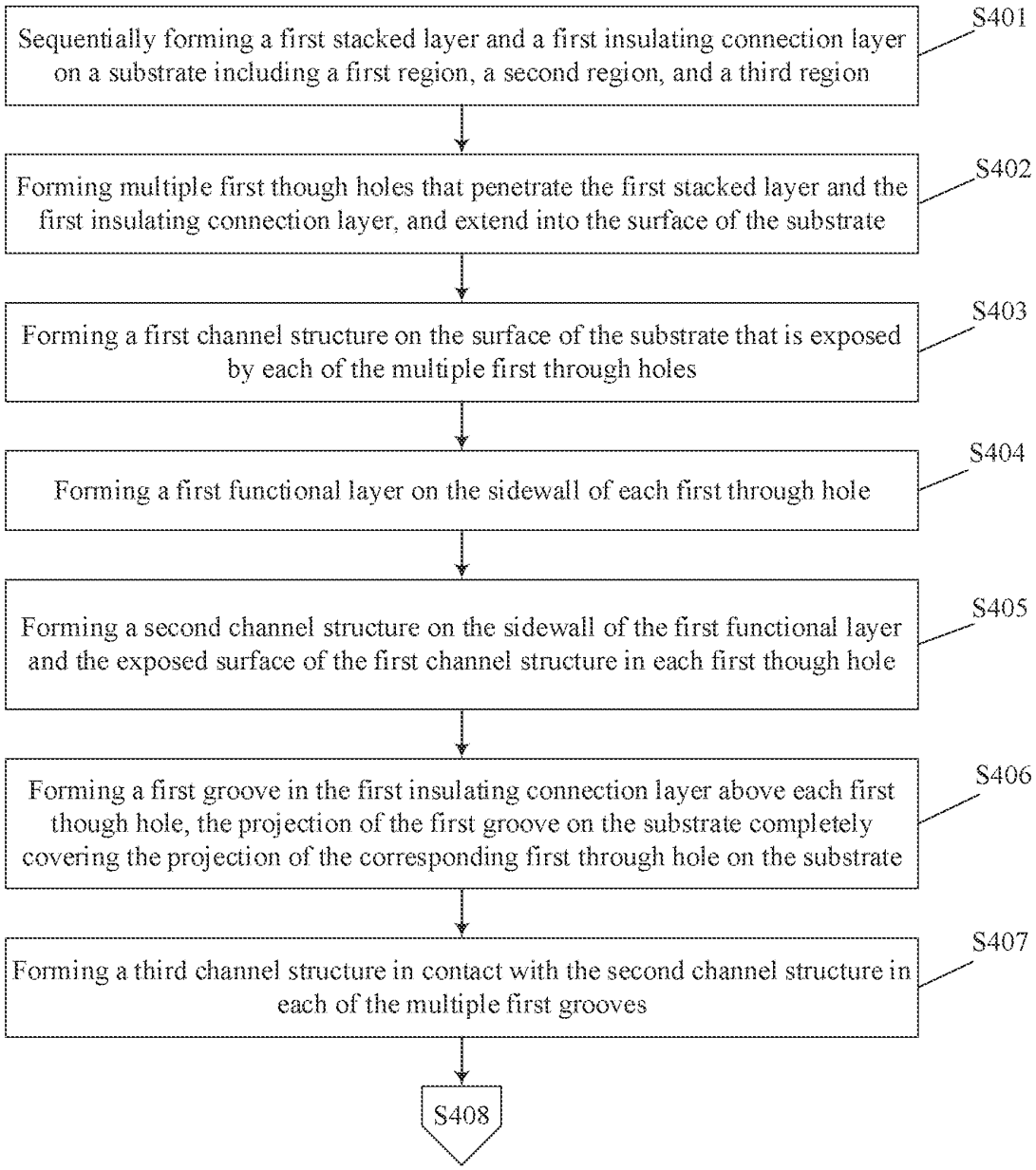

Sequentially forming a first stacked layer and a first insulating connection layer on a substrate including a first region, a second region, and a third region
S401
Forming multiple first though holes that penetrate the first stacked layer and the first insulating connection layer, and extend into the surface of the substrate
S402
Forming a first channel structure on the surface of the substrate that is exposed by each of the multiple first through holes
S403
Forming a first functional layer on the sidewall of each first through hole
S404
Forming a second channel structure on the sidewall of the first functional layer and the exposed surface of the first channel structure in each first though hole
S405
Forming a first groove in the first insulating connection layer above each first though hole, the projection of the first groove on the substrate completely covering the projection of the corresponding first through hole on the substrate
S406
Forming a third channel structure in contact with the second channel structure in each of the multiple first grooves
S407
S408

FIG. 103A

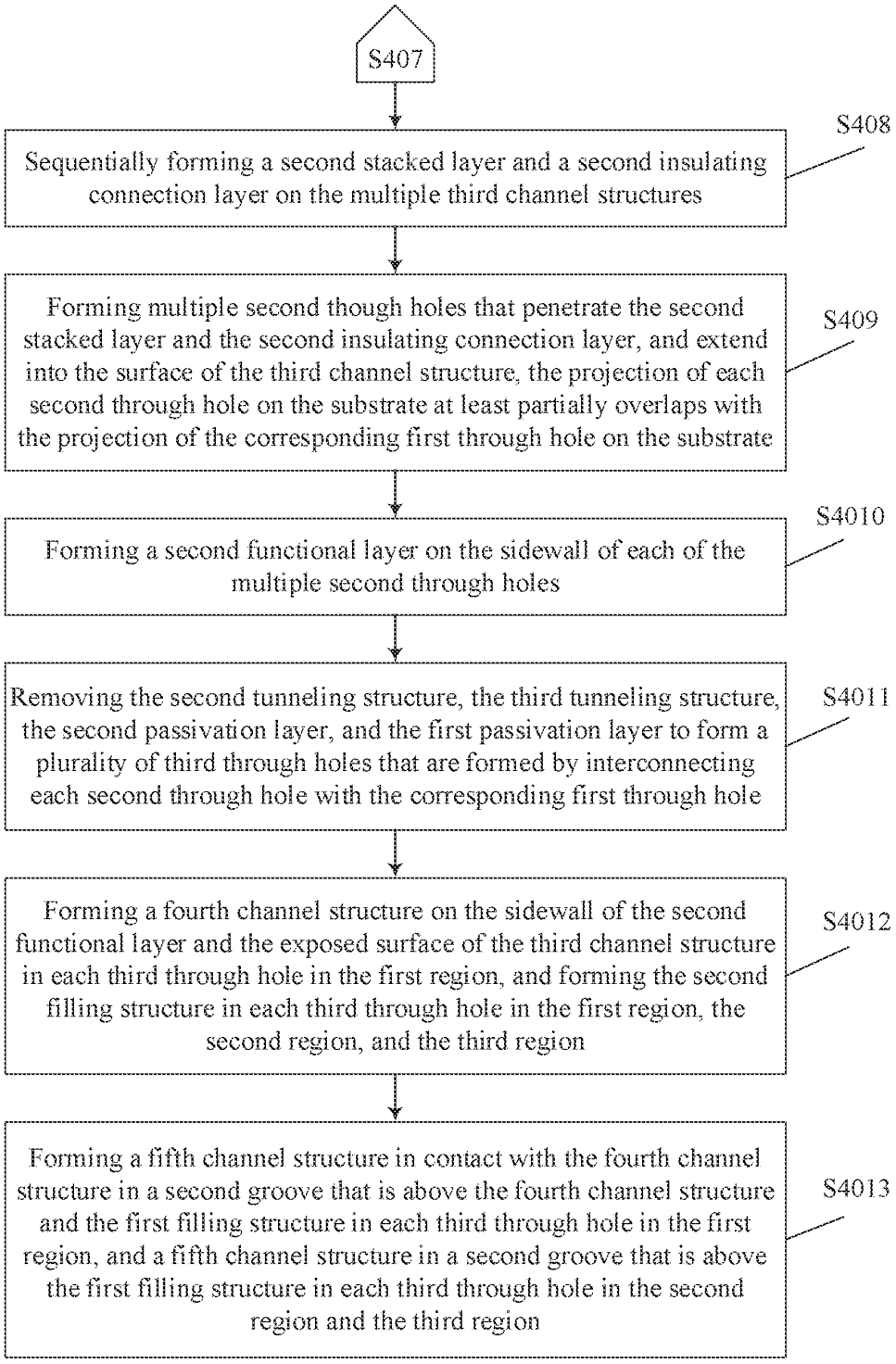

S407
S408
Sequentially forming a second stacked layer and a second insulating connection layer on the multiple third channel structures
S409
Forming multiple second though holes that penetrate the second stacked layer and the second insulating connection layer, and extend into the surface of the third channel structure, the projection of each second through hole on the substrate at least partially overlaps with the projection of the corresponding first through hole on the substrate
S4010
Forming a second functional layer on the sidewall of each of the multiple second through holes
S4011
Removing the second tunneling structure, the third tunneling structure, the second passivation layer, and the first passivation layer to form a plurality of third through holes that are formed by interconnecting each second through hole with the corresponding first through hole
S4012
Forming a fourth channel structure on the sidewall of the second functional layer and the exposed surface of the third channel structure in each third through hole in the first region, and forming the second filling structure in each third through hole in the first region, the second region, and the third region
S4013
Forming a fifth channel structure in contact with the fourth channel structure in a second groove that is above the fourth channel structure and the first filling structure in each third through hole in the first region, and a fifth channel structure in a second groove that is above the first filling structure in each third through hole in the second region and the third region

FIG. 103B

ABSTRACT

Joint opening structures of 3D memory devices and fabricating method are provided. A joint opening structure comprises a first through hole penetrating a first stacked layer and a first insulating connection layer, a first channel structure at the bottom of the first through hole, a first functional layer on the sidewall of the first through hole, a second channel structure on the sidewall of the first functional layer, a third channel structure over the first through hole, a second stacked layer on the third channel structure, a second insulating connection layer on the second stacked layer, a second through hole penetrating the second stacked layer and the second insulating connection layer, a second functional layer disposed on the sidewall of the second through hole, a fourth channel structure on the sidewall of the second functional layer, and a fifth channel structure over the second through hole.

15767384.1

Micron Ex. 1002, p. 142
Micron v. YMTC
IPR2025-00245

WHAT IS CLAIMED IS:

1. A method of forming a joint opening structure in a three-dimensional (3D) memory device, comprising:

forming a first stacked layer on a substrate;

forming a first through hole penetrating the first stacked layer to expose the substrate;

forming a first channel structure at a bottom of the first through hole and in contact with the substrate;

forming a second channel structure in the first through hole and in contact with the first channel structure;

forming a third channel structure above the first through hole and in contact with the second channel structure, wherein a size of the third channel structure along a lateral direction is larger than a top aperture of the first through hole;

forming a second stacked layer over the third channel structure;

forming a second through hole penetrating the second stacked layer to expose the third channel structure;

forming a fourth channel structure in the second through hole and in contact with the third channel structure; and

forming a fifth channel structure above the second through hole and in contact with the fourth channel structure.

2. The method of claim 1, wherein:

the first stacked layer includes a first number of oxide/nitride layer pairs; and

the second stacked layer includes a second number of oxide/nitride layer pairs.

3. The method of claim 2, wherein:

the first number and the second number are not less than 32.

4. The method of claim 1, further comprising:

forming a first functional layer between a sidewall of the first through hole and the second channel structure; and

forming a second functional layer disposed between a sidewall of the second through hole and the fourth channel structure.

Micron Ex. 1002, p. 143
Micron v. YMTC
IPR2025-00245

5. The method of claim 4, wherein forming the first functional layer comprises:

forming a first tunneling layer on the sidewall of the first through hole and the exposed surface of the first channel structure, wherein the first tunneling layer is configured, in operation, to generate charges;

forming a first storage layer on the surface of the first tunneling layer to store the charges generated by the first tunneling layer;

forming a first barrier layer on the surface of the first storage layer to block the outflow of charges in the first storage layer;

forming a first passivation layer on the surface of the first barrier layer to protect the first barrier layer from being damaged in a subsequent removal process; and

removing portions of the first passivation layer, the first barrier layer, the first storage layer, and the first tunneling layer on the surface of the first channel structure, wherein remaining portions of the first passivation layer, the first barrier layer, the first storage layer, and the first tunneling layer on the sidewall of the first through hole to form the first functional layer.

6. The method of claim 5, wherein forming the second channel structure comprises:

forming a second channel layer that covers the sidewall of the first passivation layer and the exposed surface of the first channel layer;

forming a first filling layer that covers the surface of the second channel layer;

removing a portion of the first filling layer to form a first filling structure, wherein the top surface of the first filling structure is lower than the top surface of the first insulating connection layer; and

removing a portion of the second channel layer to form the second channel structure.

7. The method of claim 1, wherein forming the third channel structure comprises:

forming a first insulating connection layer on the first stacked layer to cover the first through hole;

etching the first insulating connection layer to form a first groove to expose the first through hole;

forming a third channel layer in the first groove, wherein the third channel layer is in contact with the second channel structure; and

planarizing the top surfaces of the first insulating connection layer and the third channel

Micron Ex. 1002, p. 144
Micron v. YMTC
IPR2025-00245

layer to form the third channel structure.

8. The method of claim 1, wherein forming the third channel structure comprises:

forming a first insulating connection layer on the first stacked layer to cover the first through hole;

etching the first insulating connection layer and at least a portion of a top nitride layer of the first stacked layer to form a first groove to expose the first through hole;

forming the third channel structure in the first groove, wherein the third channel structure is in contact with the second channel structure; and

planarizing the top surfaces of the first insulating connection layer and the third channel structure.

9. The method of claim 4, wherein forming the fourth channel structure comprises:

forming a fourth channel layer that covers the sidewall of a second functional layer and the exposed surface of the third channel layer;

forming a second filling layer that covers the surface of the fourth channel layer;

removing a portion of the second filling layer to form the second filling structure, wherein the top surface of the second filling structure is lower than the top surface of the second insulating connection layer; and

removing a portion of the fourth channel layer to form the fourth channel structure, wherein a top surface of the fourth channel structure is lower than a top surface of the second insulating connection layer.

10. The method of claim 1, wherein forming the fifth channel structure comprises:

forming a second insulating connection layer on the second stacked layer to cover the first through hole;

etching the second insulating connection layer to form a second groove to expose the second through hole;

forming a fifth channel layer in the second groove, wherein the fifth channel layer is in contact with the fourth channel structure; and

planarizing the top surfaces of the second insulating connection layer and the fifth channel layer to form the fifth channel structure.

Micron Ex. 1002, p. 145
Micron v. YMTC
IPR2025-00245

11. A joint opening structure of a three-dimensional (3D) memory device, comprising:

a first through hole penetrating a first stacked layer along a vertical direction;

a first channel structure disposed at the bottom of the first through hole;

a second channel structure in contact with the first channel structure disposed in the first through hole;

a third channel structure in contact with the second channel structure disposed over the first through hole, wherein a size of the third channel structure along a lateral direction is larger than a top aperture of the first through hole;

a second stacked layer disposed on the third channel structure;

a second through hole penetrating the second stacked layer along the vertical direction;

a fourth channel structure in contact with the third channel structure disposed in the second through hole;

a fifth channel structure in contact with the fourth channel structure disposed over the second through hole.

12. The joint opening structure of claim 11, further comprising:

a first functional layer disposed between a sidewall of the first through hole and the second channel structure; and

a second functional layer disposed between a sidewall of the second through hole and the fourth channel structure.

13. The joint opening structure of claim 11, further comprising:

a first filling structure covering the surface of the second channel structure; and

a second filling structure covering the surface of the fourth channel structure;

wherein the first through hole is non-interconnected with the second through hole.

14. The joint opening structure of claim 11, further comprising:

a first filling structure covering the surfaces of the second channel structure and the fourth channel structure;

wherein the first through hole is interconnected with the second through hole.

15. The joint opening structure of claim 11, wherein:

the first stacked layer includes a first number of conductor/dielectric layer pairs;

Micron Ex. 1002, p. 146
Micron v. YMTC
IPR2025-00245

the second stacked layer includes a second number of conductor/dielectric layer pairs; and the first number and the second number are not less than 32.

16. The joint opening structure of claim 11, wherein:

a thickness of the third channel structure is in a range between 30nm and 70nm.

17. The joint opening structure of claim 11, wherein:

a size difference between the top aperture and a bottom aperture of the first through hole is equal to or less than 30nm; and

a size difference between a top aperture and a bottom aperture of the second through hole is equal to or less than 30nm.

18. A joint opening structure of a three-dimensional (3D) memory device, comprising:

a first stacked layer disposed on a substrate;

a second stacked layer disposed on the first stacked layer; and

a plurality of channel structures penetrating the first stacked layer and the second stacked layer;

wherein each of the plurality of channel structures includes:

a first through hole penetrating the first stacked layer,

a first channel structure disposed at the bottom of the first through hole and in contact with the substrate,

a second channel structure disposed in the first through hole and in contact with the first channel structure,

a third channel structure disposed over the first through hole and in contact with the second channel structure;

a second through hole penetrating the second stacked layer,

a fourth channel structure disposed in the second through hole and in contact with the third channel structure, and

a fifth channel structure disposed over the second through hole and in contact with the fourth channel structure.

19. The joint opening structure of claim 18, wherein each of the plurality of channel structures further includes:

Micron Ex. 1002, p. 147
Micron v. YMTC
IPR2025-00245

a first functional layer disposed between a sidewall of the first through hole and the second channel structure; and

a second functional layer disposed between a sidewall of the second through hole and the fourth channel structure.

20. The joint opening structure of claim 18, wherein:

a thickness of the third channel structure is in a range between 30nm and 70nm.

Micron Ex. 1002, p. 148
Micron v. YMTC
IPR2025-00245

JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME

CROSS-REFERENCES TO RELATED APPLICATIONS

[0001] This application is a continuation application of U.S. Patent Application No. 16/046,847 filed on July 26, 2018, which claims priority to PCT/CN2018/077785 filed on March 1, 2018, which claims the priorities of Chinese Patent Application No. 201710134782.1, filed on March 8, 2017, and Chinese Patent Application No. 201710134783.6, filed on March 8, 2017, the entire contents of which are incorporated herein by reference.

TECHNICAL FIELD

[0002] The present disclosure generally relates to the field of semiconductor technology, and more particularly, to joint opening structures of three-dimensional (3D) memory devices and method for forming the same.

BACKGROUND

[0003] As semiconductor technology advances, three-dimensional (3D) memory devices, such as 3D NAND memory devices, keep scaling more oxide/nitride (ON) layers. As such, it becomes difficult to use a single etching process to form the channel holes in the 3D memory devices that have a substantial depth. As the channel hole aspect ratio increases, channel hole etching becomes exponentially slower. Further, the process capability control of the formed channel holes, including bow-free, straight profile, critical dimension (CD) uniformity, minimal twisting, etc., tend to be more challenging. Thus, a single etching method may not be efficient in both cost and process capability.

BRIEF SUMMARY

[0004] In accordance with some embodiments of the present disclosure, joint opening structures of three-dimensional (3D) memory devices and method for forming the same are provided.

[0005] One aspect of the present disclosure provides a method of forming a joint opening structure in a three-dimensional (3D) memory device. The method includes forming a first stacked layer and forming a first insulating connection layer on the first stacked layer, forming a first through hole that penetrates the first stacked layer and the first insulating connection layer, forming a first channel structure overlay the surface of the substrate that is exposed by the first through hole, forming a first functional layer on the sidewall of the first through hole, forming a second channel structure and forming a first filling structure on the sidewall of the first functional layer and the exposed surface of the first channel structure, and forming a third channel structure in contact with the second channel structure above the first through hole. A projection of the third channel structure on the substrate covers a projection of the first through hole on the substrate. The method further includes forming a second stacked layer and forming a second insulating connection layer on the first insulating connection layer, forming a second through hole that penetrates the second stacked layer and the second insulating connection layer. A projection of the second through hole on the substrate at least partially overlaps with the projection of the first through hole on the substrate. The method further includes forming a second functional layer on the sidewall of the second through hole, forming a fourth channel structure and forming a second filling structure on the sidewall of the second functional layer and the exposed surface of the third channel structure, and forming a fifth channel structure in contact with the fourth channel structure above the second through hole.

[0006] In some embodiments, the first stacked layer includes a first number of oxide/nitride layer pairs, and the second stacked layer includes a second number of oxide/nitride layer pairs. The first number and the second number are not less than 32.

[0007] Forming the first functional layer includes forming a first tunneling layer on the sidewall of the first through hole and the exposed surface of the first channel structure. The first tunneling layer is configured, in operation, to generate charges. Forming the first functional further includes forming a first storage layer on the surface of the first tunneling layer to store the charges generated by the first tunneling layer, forming a first barrier layer on the surface of the first storage layer to block the outflow of charges in the first storage layer, forming a first passivation layer on the surface of the first barrier layer to protect the first barrier layer from being damaged in a subsequent removal process, and removing portions of the first passivation layer, the first barrier layer, the first storage

Micron Ex. 1002, p. 150
Micron v. YMTC
IPR2025-00245

layer, and the first tunneling layer on the surface of the first channel structure. The remaining portions of the first passivation layer, the first barrier layer, the first storage layer, and the first tunneling layer on the sidewall of the first through hole form the first functional layer.

[0008] Forming the second channel structure and the first filling structure includes forming a second channel layer that covers the sidewall of the first passivation layer and the exposed surface of the first channel layer, forming the first filling layer that covers the surface of the second channel layer, removing a portion of the first filling layer to form the first filling structure, wherein the top surface of the first filling structure is lower than the top surface of the first insulating connection layer, and removing a portion of the second channel layer to form the second channel structure. A top surface of the second channel structure is lower than a top surface of the first insulating connection layer.

[0009] Forming the third channel structure includes etching the first insulating connection layer to form a first groove. In some other embodiments, forming the third channel structure includes etching the first insulating connection layer and at least a portion of the top nitride layer of the first stacked layer to form a first groove. A projection of the first groove on the substrate covers the projection of the first through hole on the substrate. Forming the third channel structure further includes forming a third channel layer in the first groove, wherein the third channel layer is in contact with the second channel structure, and planarizing the top surfaces of the first insulating connection layer and the third channel layer to form the third channel structure.

[0010] In some embodiments, the method further includes forming a first mask layer overlaying the first insulating connection layer before forming the first through hole, and removing the first mask layer after forming the third channel structure, and forming a second mask layer on the second insulating connection layer before forming the second through hole, and removing the first mask layer after forming the fifth channel structure

[0011] Forming the fourth channel structure and the second filling structure includes forming a fourth channel layer that covers the sidewall of the second functional layer and the exposed surface of the third channel layer, forming a second filling layer that covers the surface of the fourth channel layer, removing a portion of the second filling layer to form the second filling structure, and removing a portion of the fourth channel layer to form the fourth channel structure, wherein a top surface of the fourth channel structure is lower than a top surface of the second insulating connection layer. A top surface of the

Micron Ex. 1002, p. 151
Micron v. YMTC
IPR2025-00245

second filling structure is lower than the top surface of the second insulating connection layer.

[0012] Forming the fifth channel structure includes etching the second insulating connection layer to form a second groove, forming a fifth channel layer in the second groove, wherein the fifth channel layer is in contact with the fourth channel structure, and planarizing the top surfaces of the second insulating connection layer and the fifth channel layer to form the fifth channel structure. A projection of the second groove on the substrate covers the projection of the second through hole on the substrate.

[0013] Another aspect of the present disclosure provides another method of forming a joint opening structure in a three-dimensional (3D) memory device. The method includes forming a first stacked layer and forming a first insulating connection layer on a substrate of the 3D memory device. The 3D memory device includes a first region for forming a plurality of channel holes, a second region for forming a plurality of staircase structure dummy holes, and a third region for forming a plurality of through array contact barriers. The method further includes forming a plurality of first through holes, each penetrating the first stacked layer and the first insulating connection layer in the first region, the second region, and the third region, forming a first channel structure overlaying the surface of the substrate in each first through hole, forming a first functional layer on the sidewall of each first through hole, forming a second channel structure and forming a first filling structure on the sidewall of the first functional layer and the exposed surface of the first channel structure in each first through hole, forming a third channel structure in contact with the second channel structure above each first through hole. A projection of the third channel structure on the substrate covers a projection of the corresponding first through hole on the substrate. The method further includes forming a second stacked layer on the first insulating connection layer, forming a second insulating connection layer on the second stacked layer, forming a plurality of second through holes, each penetrating the second stacked layer and the second insulating connection layer. A projection of each of the plurality of second through holes on the substrate at least partially overlaps with the projection of the corresponding first through hole on the substrate. The method further includes forming a second functional layer on the sidewall of each second through hole, forming a fourth channel structure and forming a second filling structure on the sidewall of the second functional layer and the exposed surface of the third channel structure in each second through hole in the first region, and forming a

Micron Ex. 1002, p. 152
Micron v. YMTC
IPR2025-00245

second filling structure on the sidewall of the second functional layer in each second through hole in the second region and the third region, and forming a fifth channel structure above each second through hole in the first region, the second region, and the third region. Each fifth channel structure is in contact with the corresponding fourth channel structure in each second through hole in the first region.

[0014] Forming the fourth channel structure and the second filling structure includes forming a fourth channel layer that covers the sidewall of the first passivation layer and the exposed surface of the third channel layer, forming a third filling layer that covers the surface of the fourth channel layer, forming a third mask layer that covers the third filling layer in the first region, and using the third mask layer as a mask to remove the third filling layer in the second region and the third region, removing the third mask layer;, using the third filling layer in the first region as a mask to remove the fourth channel layer in the second region and the third region, forming a fourth filling layer on the surface of the second functional layer in the second region and the third region, removing the third filling layer in the first region, forming a second filling layer in each second through hole in the first region, the second region, and the third region, removing a portion of the second filling layer to form the second filling structure in each second through hole, and removing a portion of the fourth channel layer to form the fourth channel structure in each second through hole. The top surface of the second filling structure is lower than the top surface of the second insulating connection layer, and the top surface of the fourth channel structure is lower than the top surface of the second insulating connection layer.

[0015] Another aspect of the present disclosure provides annother method of forming a joint opening structure in a three-dimensional (3D) memory device. The method includes forming a first stacked layer and forming a first insulating connection layer on a substrate, forming a first through hole that penetrates the first stacked layer and the first insulating connection layer, forming a first channel structure overlay the surface of the substrate that is exposed by the first through hole, forming a first functional layer on the sidewall of the first through hole, forming a second channel on the sidewall of the first functional layer and the exposed surface of the first channel structure, forming a third channel structure in contact with the second channel structure above the first through hole. A projection of the third channel structure on the substrate covers a projection of the first through hole on the substrate. The method further includes forming a second stacked layer and forming a second insulating connection layer on the third channel structure, forming a second

Micron Ex. 1002, p. 153
Micron v. YMTC
IPR2025-00245

through hole that penetrates the second stacked layer and the second insulating connection layer. A projection of the second through hole on the substrate at least partially overlaps with the projection of the first through hole on the substrate. The method further includes forming a second functional layer on the sidewall of the second through hole, removing portions of the second functional layer and the third channel structure at the bottom of the second through hole to interconnect the second through hole and the first through hole to form a joint through hole, removing the remaining portion of the third channel structure and the second channel structure, forming a fourth channel structure in contact with the first channel structure on the sidewall of the joint through hole and the exposed surface of the first insulating connection layer, forming a first filling structure that covers the surface of the fourth channel structure, and forming a fifth channel structure in contact with the fourth channel structure above the joint through hole.

[0016] Another aspect of the present disclosure provides another method of forming a joint opening structure in a three-dimensional (3D) memory device. The method includes forming a first stacked layer and forming a first insulating connection layer on a substrate of the 3D memory device. The 3D memory device includes a first region for forming a plurality of channel holes, a second region for forming a plurality of staircase structure dummy holes, and a third region for forming a plurality of through array contact barriers. The method further includes forming a plurality of first through holes, each penetrating the first stacked layer and the first insulating connection layer in the first region, the second region, and the third region, forming a first channel structure on the surface of the substrate in each first through hole, forming a first functional layer on the sidewall of each first through hole, forming a second channel structure on the sidewall of the first functional layer and the exposed surface of the first channel structure in each first through hole, forming a third channel structure in contact with the second channel structure above each first through hole. A projection of the third channel structure on the substrate covers a projection of the corresponding first through hole on the substrate. The method further includes forming a second stacked layer and forming a second insulating connection layer on the plurality of third channel structures, forming a plurality of second through holes, each penetrating the second stacked layer and the second insulating connection layer. A projection of each of the plurality of second through holes on the substrate at least partially overlaps with the projection of the corresponding first through hole on the substrate. The method further includes forming a second functional layer on the sidewall

Micron Ex. 1002, p. 154
Micron v. YMTC
IPR2025-00245

of each second through hole, removing portions of the second functional layer and the third channel structure at the bottom of each second through hole to interconnect the second through hole and the corresponding first through hole to form a plurality of joint through holes, removing the remaining portions of the third channel structure and the second channel structure in each joint through hole, forming a fourth channel structure in contact with the first channel structure on the sidewall of each joint through hole and the exposed surfaces of the first insulating connection layer, forming a first filling structure that covers the surface of the fourth channel structure in each joint through hole, and forming a fifth channel structure above each joint through hole in the first region, the second region, and the third region. Each fifth channel structure is in contact with the corresponding fourth channel structure in each joint through hole in the first region.

[0017] Another aspect of the present disclosure provides a joint opening structure of a three-dimensional (3D) memory device, including a first stacked layer disposed overlaying a substrate, a first insulating connection layer disposed on the first stacked layer, a first through hole penetrating the first stacked layer and the first insulating connection layer, a first channel structure disposed at the bottom of the first through hole and overlaying the surface of the substrate, a first functional layer disposed on the sidewall of the first through hole, a second channel structure in contact with the first channel structure disposed on the sidewall of the first functional layer, a third channel structure in contact with the second channel structure disposed over the first through hole. A projection of the third channel structure on the substrate covers a projection of the first through hole on the substrate. The joint opening structure further includes a second stacked layer disposed on the third channel structure, a second insulating connection layer disposed on the second stacked layer. A second through hole penetrating the second stacked layer and the second insulating connection layer. A projection of the second through hole on the substrate at least partially overlaps with the projection of the first through hole on the substrate. The joint opening structure further includes a second functional layer disposed on the sidewall of the second through hole, a fourth channel structure in contact with the third channel structure disposed on the sidewall of the second functional layer, and a fifth channel structure in contact with the fourth channel structure disposed over the second through hole.

Micron Ex. 1002, p. 155
Micron v. YMTC
IPR2025-00245

[0018] In some embodiments, a first filling structure covers the surface of the second channel structure, and a second filling structure covers the surface of the fourth channel structure. The first through hole is non-interconnected with the second through hole.

[0019] In some other embodiments, a first filling structure covers the surfaces of the second channel structure and the fourth channel structure. The first through hole is interconnected with the second through hole.

[0020] In some embodiments, the first stacked layer includes a first number of conductor/dielectric layer pairs, and the second stacked layer includes a second number of conductor/dielectric layer pairs.

[0021] In some other embodiments, the first stacked layer includes a first number of oxide/nitride layer pairs, and the second stacked layer includes a second number of oxide/nitride layer pairs. The first number and the second number are not less than 32.

[0022] A thickness of the third channel structure is in a range between 30nm and 70nm. A size difference between a top aperture and a bottom aperture of the first through hole is equal to or less than 30nm. A size difference between a top aperture and a bottom aperture of the second through hole is equal to or less than 30nm.

[0023] Another aspect of the present disclosure provides a three-dimensional (3D) memory device, including a first stacked layer disposed on a substrate, a first insulating connection layer disposed on the first stacked layer, a second stacked layer disposed on the first insulating connection layer, a second insulating connection layer disposed on the second stacked layer, a plurality of channel holes in a first region of the 3D memory device, a plurality of staircase structure dummy holes in a second region of the 3D memory device, and a plurality of through array contact barriers in a third region of the 3D memory device. Each of the plurality of channel holes includes the disclosed joint opening structure.

[0024] Other aspects of the present disclosure can be understood by those skilled in the art in light of the description, the claims, and the drawings of the present disclosure.

BRIEF DESCRIPTION OF THE DRAWINGS

[0025] Various objectives, features, and advantages of the present disclosure can be more fully appreciated with reference to the detailed description of the present disclosure when considered in contact with the following drawings, in which like reference numerals

Micron Ex. 1002, p. 156
Micron v. YMTC
IPR2025-00245

identify like elements. It is noted that the following drawings are merely examples for illustrative purposes according to various disclosed embodiments and are not intended to limit the scope of the present disclosure.

[0026] FIGs. 1-22 illustrate schematic structural cross-sectional diagrams of an exemplary joint opening structure of three-dimensional (3D) memory device at certain stages of a fabricating process in accordance with some embodiments of the present disclosure;

[0027] FIGs. 23A and 23B illustrate schematic flow diagrams of an exemplary fabricating process for forming a joint opening structure of three-dimensional (3D) memory device are illustrated in accordance with some embodiments of the present disclosure;

[0028] FIGs. 24-49 illustrate schematic structural cross-sectional diagrams of another exemplary joint opening structure of three-dimensional (3D) memory device at certain stages of another fabricating process in accordance with some embodiments of the present disclosure;

[0029] FIGs. 50A and 50B illustrate schematic flow diagrams of another exemplary fabricating process for forming a joint opening structure of three-dimensional (3D) memory device are illustrated in accordance with some embodiments of the present disclosure;

[0030] FIGs. 51-73 illustrate schematic structural cross-sectional diagrams of another exemplary joint opening structure of three-dimensional (3D) memory device at certain stages of another fabricating process in accordance with some embodiments of the present disclosure;

[0031] FIGs. 74A and 74B illustrate schematic flow diagrams of another exemplary fabricating process for forming a joint opening structure of three-dimensional (3D) memory device are illustrated in accordance with some embodiments of the present disclosure;

[0032] FIGs. 75-102 illustrate schematic structural cross-sectional diagrams of another exemplary joint opening structure of three-dimensional (3D) memory device at certain stages of another fabricating process in accordance with some embodiments of the present disclosure;

[0033] FIGs. 103A and 103B illustrate schematic flow diagrams of another exemplary fabricating process for forming a joint opening structure of three-dimensional (3D)

Micron Ex. 1002, p. 157
Micron v. YMTC
IPR2025-00245

memory device are illustrated in accordance with some embodiments of the present disclosure.

[0034] Embodiments of the present disclosure will be described with reference to the accompanying drawings.

DETAILED DESCRIPTION

[0035] Reference now be made in detail to exemplary embodiments of the invention, which are illustrated in the accompanying drawings in order to understand and implement the present disclosure and to realize the technical effect. It can be understood that the following description has been made only by way of example, but not to limit the present disclosure. Various embodiments of the present disclosure and various features in the embodiments that are not conflicted with each other can be combined and rearranged in various ways. Without departing from the spirit and scope of the present disclosure, modifications, equivalents, or improvements to the present disclosure are understandable to those skilled in the art and are intended to be encompassed within the scope of the present disclosure.

[0036] It is noted that references in the specification to "one embodiment," "an embodiment," "an example embodiment," "some embodiments," etc., indicate that the embodiment described may include a particular feature, structure, or characteristic, but every embodiment may not necessarily include the particular feature, structure, or characteristic. Moreover, such phrases do not necessarily refer to the same embodiment. Further, when a particular feature, structure or characteristic is described in contact with an embodiment, it would be within the knowledge of a person skilled in the pertinent art to effect such feature, structure or characteristic in contact with other embodiments whether or not explicitly described.

[0037] In general, terminology may be understood at least in part from usage in context. For example, the term "one or more" as used herein, depending at least in part upon context, may be used to describe any feature, structure, or characteristic in a singular sense or may be used to describe combinations of features, structures or characteristics in a plural sense. Similarly, terms, such as "a," "an," or "the," again, may be understood to convey a singular usage or to convey a plural usage, depending at least in part upon context.

Micron Ex. 1002, p. 158
Micron v. YMTC
IPR2025-00245

[0038] It should be readily understood that the meaning of "on," "above," and "over" in the present disclosure should be interpreted in the broadest manner such that "on" not only means "directly on" something but also includes the meaning of "on" something with an intermediate feature or a layer therebetween, and that "above" or "over" not only means the meaning of "above" or "over" something but can also include the meaning it is "above" or "over" something with no intermediate feature or layer therebetween (i.e., directly on something).

[0039] Further, spatially relative terms, such as "beneath," "below," "lower," "above," "upper," and the like, may be used herein for ease of description to describe one element or feature's relationship to another element(s) or feature(s) as illustrated in the figures. The spatially relative terms are intended to encompass different orientations of the device in use or operation in addition to the orientation depicted in the figures. The apparatus may be otherwise oriented (rotated 90 degrees or at other orientations) and the spatially relative descriptors used herein may likewise be interpreted accordingly.

[0040] As used herein, the term "substrate" refers to a material onto which subsequent material layers are added. The substrate itself can be patterned. Materials added on top of the substrate can be patterned or can remain unpatterned. Furthermore, the substrate can include a wide array of semiconductor materials, such as silicon, germanium, gallium arsenide, indium phosphide, etc. Alternatively, the substrate can be made from an electrically non-conductive material, such as a glass, a plastic, or a sapphire wafer.

[0041] As used herein, the term "layer" refers to a material portion including a region with a thickness. A layer can extend over the entirety of an underlying or overlying structure, or may have an extent less than the extent of an underlying or overlying structure. Further, a layer can be a region of a homogeneous or inhomogeneous continuous structure that has a thickness less than the thickness of the continuous structure. For example, a layer can be located between any pair of horizontal planes between, or at, a top surface and a bottom surface of the continuous structure. A layer can extend horizontally, vertically, and/or along a tapered surface. A substrate can be a layer, can include one or more layers therein, and/or can have one or more layer thereupon, thereabove, and/or therebelow. A layer can include multiple layers. For example, an interconnect layer can include one or more conductor and contact layers (in which contacts, interconnect lines, and/or through holes are formed) and one or more dielectric layers.

Micron Ex. 1002, p. 159
Micron v. YMTC
IPR2025-00245

[0042] As used herein, the term "nominal/nominally" refers to a desired, or target, value of a characteristic or parameter for a component or a process operation, set during the design phase of a product or a process, together with a range of values above and/or below the desired value. The range of values can be due to slight variations in manufacturing processes or tolerances. As used herein, the term "about" indicates the value of a given quantity that can vary based on a particular technology node associated with the subject semiconductor device. Based on the particular technology node, the term "about" can indicate a value of a given quantity that varies within, for example, 10–30% of the value (e.g., ±10%, ±20%, or ±30% of the value).

[0043] In accordance with some embodiments of the present disclosure, joint opening structures of three-dimensional (3D) memory devices and method for forming the same are provided to reduce the process difficulty and cost of the channel hole structures in 3D memory devices.

[0044] As used herein, the term "3D memory device" refers to a semiconductor device with vertically oriented strings of memory cell transistors (referred to herein as "memory strings," such as NAND strings) on a laterally-oriented substrate so that the memory strings extend in the vertical direction with respect to the substrate. As used herein, the term "vertical/vertically" means nominally perpendicular to the lateral surface of a substrate, while the term "horizontal/horizontally" means nominally parallel to the lateral surface of a substrate.

[0045] Referring to FIGs. 23A and 23B, schematic flow diagrams of an exemplary fabricating process for forming a joint opening structure of three-dimensional (3D) memory device are illustrated in accordance with some embodiments of the present disclosure. And FIGs. 1-22 illustrate schematic structural cross-sectional diagrams of an exemplary joint opening structure of three-dimensional (3D) memory device at certain stages of the fabricating process shown in FIGs. 23A and 23B.

[0046] As shown in FIG. 23A, at S101, a first stacked layer 2 and a first insulating connection layer 3 can be sequentially formed on the surface of a substrate 1.

[0047] As shown in FIG. 1, the first stacked layer 2 can be formed on the substrate 1. The first stacked layer 2 can include a plurality of oxide/nitride layer pairs. The plurality of oxide/nitride layer pairs are also referred to herein as an "alternating oxide/nitride stack." That is, in the first stacked layer 2, multiple oxide layers (shown in the areas with dotes) and multiple nitride layers (shown in the areas with meshes) alternate in a vertical

Micron Ex. 1002, p. 160
Micron v. YMTC
IPR2025-00245

direction. In other words, except a top and a bottom layer of a given stack, each of the other oxide layers can be sandwiched by two adjacent nitride layers, and each nitride layer can be sandwiched by two adjacent oxide layers.

[0048] Oxide layers can each have the same thickness or have different thicknesses. For example, a thickness of each oxide layer can be in a range from 90nm to 160nm, preferably about 150nm. Similarly, nitride layers can each have the same thickness or have different thicknesses. For example, a thickness of each nitride layer can be in a range from 80nm to 110nm, preferably about 100nm.

[0049] It is noted that, in the present disclosure, the oxide layers and/or nitride layers can include any suitable oxide materials and/or nitride materials. For example, the element of the oxide materials and/or nitride materials can include, but not limited to, W, Co, Cu, Al, doped silicon, silicides, or any combination thereof. In some embodiments, the oxide layers can be silicon oxide layers, and the nitride layers can be silicon nitride layer.

[0050] The first stacked layer 2 can include any suitable number of layers of the oxide layers and the nitride layers. In some embodiments, a total number of layers of the oxide layers and the nitride layers in the first stacked layer 2 is equal to or larger than 64. In some embodiments, alternating conductor/dielectric stack includes more oxide layers or more nitride layers with different materials and/or thicknesses than the oxide/nitride layer pair.

[0051] The first insulating connection layer 3 can be formed on the first stacked layer 2. In some embodiments, the first insulating connection layer 3 can be made by any suitable insulating material and/or dielectric material, such as silicon oxide. It is noted that, the material of the first insulating connection layer 3 can be different from the material of the nitride layer in the first stacked layer 2.

[0052] Further, in some embodiments, a first mask layer 4 can be formed on the top surface of the first insulating connection layer 3. The first mask layer 4 can include a nitride layer on the top surface of the first insulating connection layer 3, and an oxide layer on the top surface of such nitride layer.

[0053] In some embodiments, the first stacked layer 2, the first insulating connection layer 3, and/or the first mask layer 4 can be formed by using one or more deposition processes. It is noted that, the term "deposition process" used in the present disclosure can be referred to any suitable deposition process including, but not limited to, a chemical

Micron Ex. 1002, p. 161
Micron v. YMTC
IPR2025-00245

vapor deposition (CVD) process, a physical vapor deposition (PVD) process, an atomic layer deposition (ALD) process, and/or any suitable combination thereof.

[0054] At S102, a first through hole 5 can be formed. As shown in FIG. 1, the first through hole 5 can completely penetrate the first stacked layer 2 and the first insulating connection layer 3, and can extend into the surface of the substrate 1.

[0055] In some embodiments, the first through hole 5 can be formed by etching the first stacked layer 2 and the first insulating connection layer 3 and a subsequent cleaning process. The etching process to form the first through hole 5 can be a wet etching, a dry etching, or a combination thereof.

[0056] In some embodiments, when the first mask layer 4 is formed on the top surface of the first insulating connection layer 3, the etching process also etch the first mask layer 4 to form the first through holes 5.

[0057] At S103, a first channel structure 6 can be formed on the surface of the substrate 1 that is exposed by the first through hole 5, as shown in FIG. 2. In some embodiments, the first channel structure 6 can be a polycrystalline silicon (polysilicon) layer formed by using a selective epitaxial process.

[0058] In some embodiments, the first channel structure 6 may not directly formed on the surface of the substrate 1. One or more layers can be formed between the first channel structure 6 and the substrate 1. That is, the first channel structure 6 is overlay the substrate 1.

[0059] At S104, a first functional layer can be formed on the sidewall of the first through hole 5. The first functional layer can include a first tunneling layer 7, a first storage layer 8, a first barrier layer 9, and a first passivation layer 10.

[0060] As shown in FIG. 3, the first tunneling layer 7 can be formed on the sidewall of the first through hole 5 and the top surface of the first channel structure 6. The first tunneling layer 7 can be used for generating electronic charges (electrons or holes). In some embodiments, the first tunneling layer 7 can be an oxide layer formed by using a deposition process.

[0061] The first storage layer 8 can be formed on the surface of the first tunneling layer 7. The first storage layer 8 can be used for storing electronic charges. The storage or removal of charge in the first storage layer 7 can impact the on/off state and/or a conductance of the semiconductor channel. The first storage layer 7 can include

Micron Ex. 1002, p. 162
Micron v. YMTC
IPR2025-00245

polycrystalline silicon (polysilicon) or silicon nitride. In some embodiments, the first storage layer 8 can be a nitride layer formed by using a deposition process.

[0062] The first barrier layer 9 can be formed on the surface of the first storage layer 8. The first barrier layer 9 can be used for blocking the outflow of the electronic charges stored in the first storage layer 8. In some embodiments, the first barrier layer 9 can be a silicon oxide layer or a combination of silicon oxide/silicon nitride/silicon oxide (ONO) layers. In some embodiments, the first barrier layer 9 includes high dielectric constant (high-k) dielectrics (e.g., aluminum oxide). In one example, the first barrier layer 9 is an oxide layer formed by using a deposition process.

[0063] As shown in FIG. 4, a first passivation layer 10 can be formed on the surface of the first barrier layer 9. The first passivation layer 10 can be used for protecting the first barrier layer 9 from being damaged in a subsequent removal process. In some embodiments, the first passivation layer 10 can be an amorphous silicon layer formed by using a deposition process.

[0064] The portions of the first passivation layer 10, the first barrier layer 9, the first storage layer 8 and the first tunneling layer 7 located on the top surface of the first channel structure 6 on the bottom of the first through hole 5 can be removed. In some embodiments, the removal process can include an etching process and a cleaning process. As such, the first functional layer can be formed on the sidewall of the first through hole 5.

[0065] In some embodiment, in the same removal process, the first barrier layer 9, the first storage layer 8, the first tunneling layer 7, and the oxide layer of the first mask layer 4 located on the surface of the nitride layer of first mask layer 4 can also be removed. As such, the nitride layer of first mask layer 4 is remained on the surface of the first insulating connection layer 3.

[0066] At S105, a second channel structure and a first filling structure can be sequentially formed on the sidewall of the first functional layer and the exposed surface of the first channel structure 6. The surfaces of the second channel structure and the first filling structure can be lower than the surface of the first insulating connection layer 3.

[0067] As shown in FIG. 5, a second channel layer 11 can be formed to cover the sidewall of the first passivation layer 10, the bottom surface of the first through hole 5. The second channel layer 11 can also cover the top surface of the first insulating connection layer 3, or cover the top surface of the nitride layer of the first mask layer 4.

Micron Ex. 1002, p. 163
Micron v. YMTC
IPR2025-00245

In some embodiments, the second channel layer 11 can be an amorphous silicon layer formed by using a deposition process.

[0068] As shown in FIG. 6, a first filling layer 12 can be formed to cover the second channel layer 11 and fill the first through hole 5. In some embodiments, the first filling layer 12 can be an oxide layer formed by using a deposition process. In some embodiments, the first filling layer 12 can include one or more airgaps.

[0069] As shown in FIGs. 7A and 7B, a portion of the first filling layer 12 can be removed, so that the top surface of the first filling layer 12 can be lower than the top surface of the first insulating connection layer 3. As such, the remaining portion of the first filling layer 12 in the first through hole 5 can form the first filling structure. In some embodiments, the portion of the first filling layer 12 can be removed by using an etching process. It is noted that, the term "etching process" used in the present disclosure can be referred to any suitable etching process including, but not limit to, a wet etching, a dry etching, or a combination thereof.

[0070] In some embodiments, as shown in FIG. 7A, the top surface of the first filling layer 12 can be higher than the top surface of the second stacker layer 2. For example, the top surface of the first filling layer 12 can be 20nm to 40nm higher than the top surface of the top nitride layer of the second stacker layer 2. Preferably, the top surface of the first filling layer 12 can be about 30nm higher than the top surface of the top nitride layer of the second stacker layer 2.

[0071] In some alternative embodiments, as shown in FIG. 7B, the top surface of the first filling layer 12 can be lower than the top surface of the second stacker layer 2. For example, the top surface of the first filling layer 12 can be 30nm to 40nm lower than the top surface of the top nitride layer of the second stacker layer 2. Preferably, the top surface of the first filling layer 12 can be about 35nm lower than the top surface of the top nitride layer of the second stacker layer 2.

[0072] As shown in FIGs. 8A and 8B, a portion of the second channel layer 11 can be removed, such that the surface of the second channel layer 11 is lower than the first insulating connection layer 3. The remaining portion of the second channel layer 11 can form the second channel structure that is in contact with the first channel structure 6. In some embodiments, the portion of the second channel layer 11 can be removed by using an etching process.

Micron Ex. 1002, p. 164
Micron v. YMTC
IPR2025-00245

[0073] It is noted that, in various embodiments, the top surface of the second channel structure can be higher or lower than the top surface of the first stacked layer 2. However, the top surface of the second channel structure is not lower than the top surface of the top oxide layer in the first stacked layer 2. In some embodiments, the top surface of the second channel structure can be higher than the top nitride layer in the first stacked layer 2, as shown in FIG. 8A. In some alternative embodiments, the top surface of the second channel structure is in a same plane of the top surface of the top oxide layer in the first stacked layer 2, as shown in FIG. 8B.

[0074] At S106, a first groove can be formed in the first insulating connection layer 3. In some embodiments, the projection of the first groove on the substrate 1 can completely cover the projection of the first through hole 5 on the substrate 1.

[0075] As shown in FIGs. 9A and 9B, the nitride layer of the first mask layer 4 can be removed. In some embodiments, the nitride layer of the first mask layer 4 can be removed by using an etching process.

[0076] As shown in FIGs. 10A and 10 B, the surface of the first insulating connection layer 3 can be planarized by using any suitable techniques, such as backside grinding, and/or chemical mechanical polishing (CMP). A portion of the first insulating connection layer 3 can be removed to form the first groove that penetrates the first insulating connection layer 3. An area of the projection "x" of the first groove on the substrate 1 can be larger than an area of the projection "y" of the first through hole 5 on the substrate 1.

[0077] In some embodiments, a depth of the first groove can be equal to or less than the thickness of the planarized first insulating connection layer 3, as shown in FIG. 10A. For example, the depth of the first groove can be in a range between 50nm and 70nm. In one embodiment, the thickness of the planarized first insulating connection layer 3 is about 90nm, while the depth of the first groove is about 60nm.

[0078] In some alternative embodiments, the depth of the first groove can be greater than the thickness of the planarized first insulating connection layer 3, as shown in FIG. 10B. That is, a portion of the top nitride layer in the first stacked layer 2 can also be removed to form the first groove. For example, the depth of the first groove can be in a range between 50nm and 70nm. In one embodiment, the thickness of the planarized first insulating connection layer 3 is about 30nm, while the depth of the first groove is about 60nm.

Micron Ex. 1002, p. 165
Micron v. YMTC
IPR2025-00245

[0079] At S107, a third channel structure 14 can be formed in the first groove 13. As shown in FIGs. 11A and 11B, the third channel structure 14 can be in contact with the second channel structure. In some embodiments, the third channel structure can be a polycrystalline silicon player formed by using a deposition process.

[0080] A thickness of the third channel structure 14 can be equal to the depth of the first groove 13. As described above, in some embodiments, a thickness of the third channel structure 14 can be equal to or less than the thickness of the planarized first insulating connection layer 3, as shown in FIG. 11A. For example, the thickness of the third channel structure 14 can be in a range between 50nm and 70nm, preferably about 60nm. In some alternative embodiments, the thickness of the third channel structure 14 can be greater than the thickness of the planarized first insulating connection layer 3, as shown in FIG. 11B. For example, the thickness of the third channel structure 14 can be in a range between 60nm and 80nm, preferably about 70nm.

[0081] Referring to FIG. 23B, at S108, a second stacked layer 15 and a second insulating connection layer 16 can be sequentially formed on the third channel structure 14. As shown in FIG. 12, the second stacked layer 15 can include a plurality of oxide/nitride layer pairs, such as silicon oxide layer and silicon nitride layer pairs. Similar to the first stacked layer 2 as described above, the multiple oxide layers (shown in the areas with dotes) and multiple nitride layers (shown in the areas with meshes) in the second stacked layer 15 alternate in a vertical direction. The second stacked layer 15 can include any suitable number of layers of the oxide layers and the nitride layers. In some embodiments, a total number of layers of the oxide layers and the nitride layers in the second stacked layer 15 is equal to or larger than 64.

[0082] In some embodiments, the second insulating connection layer 16 can be made by any suitable insulating material and/or dielectric material, such as silicon oxide. It is noted that, the material of the second insulating connection layer 16 can be different from the material of the nitride layer in the second stacked layer 15.

[0083] Further, in some embodiments, a second mask layer 17 can be formed on the surface of the second insulating connection layer 16. The second mask layer 17 can include a nitride layer on the surface of the second insulating connection layer 16, and an oxide layer on the surface of such nitride layer.

[0084] At S109, a second through hole 18 is formed. As shown in FIG. 13, the second through hole 18 can completely penetrate the second stacked layer 15 and the second

Micron Ex. 1002, p. 166
Micron v. YMTC
IPR2025-00245

insulating connection layer 16, and can extend into the surface of the third channel structure 14. The projection of the second through hole 18 on the substrate 1 can at least partially overlap with the projection of the first through hole 5 on the substrate 1.

[0085] In some embodiments, the second stacked layer 15, the second insulating connection layer 16, the second mask layer 17, and the third channel structure 14 can be etched to form the second through hole 18. The second stacked layer 15, the second insulating connection layer 16, the second mask layer 17, and/or the third channel structure 14 can be etched by using a dry etching process, a wet etching process, or a combination thereof. A cleaning process can then be performed to clean the second through hole 18.

[0086] It is noted that, the second through hole 18 can extend to the surface of the third channel structure 14, or can extend into the third channel structure 14. As such, a fourth channel structure formed subsequently in the second through hole 18 can directly contact the third channel structure.

[0087] In some embodiments, a maximum difference between the radius of the top aperture of each second through hole 18 and the radius of the bottom aperture of the second through hole 18 can be 15nm. That is, as shown in FIG. 13, a distance "a" between the boundary line of the top surface of each second through hole 18 and the boundary of the bottom surface of the second through hole 18 can be no more than 15 nm.

[0088] At S1010, a second functional layer can be formed on the sidewall of the second through hole 18. In some embodiments, the second functional layer can include a second tunneling layer 19, a second storage layer 20, a second barrier layer 21, and a second passivation layer 22.

[0089] As shown in FIG. 14, the second tunneling layer 19 can be formed on the sidewall of the second through hole 18 and the surface of the second channel structure 14. The second tunneling layer 19 can be used for generating electronic charges. In some embodiments, the second tunneling layer 19 can be an oxide layer formed by using a deposition process.

[0090] The second storage layer 20 can be formed on the surface of the second tunneling layer 19. The second storage layer 20 can be used for storing electronic charges. In some embodiments, the second storage layer 20 can be a nitride layer formed by using a deposition process.

Micron Ex. 1002, p. 167
Micron v. YMTC
IPR2025-00245

[0091] The second barrier layer 21 can be formed on the surface of the second storage layer 20. The second barrier layer 21 can be used for blocking the outflow of the electronic charges in the second storage layer 20. In some embodiments, the second barrier layer 21 can be an oxide layer formed by using a deposition process.

[0092] As shown in FIG. 15, a second passivation layer 22 can be formed on the surface of the second barrier layer 21. The second passivation layer 22 can be used for protecting the second barrier layer 21 from being damaged in a subsequent removal process. In some embodiments, the second passivation layer 22 can be an amorphous silicon layer formed by using a deposition process.

[0093] As shown in FIG. 15, the portions of the second passivation layer 22, the second barrier layer 21, the second storage layer 20 and the second tunneling layer 19 that are located on the surface of the second channel structure 14 can be removed. In some embodiments, the removal process can include an etching process and a cleaning process. In some embodiments, the portions of the second passivation layer 22, the second barrier layer 21, the second storage layer 20, the second tunneling layer 19, the oxide layer of the second mask layer 17 that are located on the nitride layer of the second mask layer 17 can also be removed by using an etching process. As such, the second functional layer can be formed on the sidewall of the second through hole 18.

[0094] At S1012, a fourth channel structure and a second filling structure can be sequentially formed on the sidewall of the second functional layer and the exposed surface of the third channel structure. In some embodiments, the top surface of the fourth channel structure can be higher than the top surface of the second filling structure.

[0095] As shown in FIG. 16, a fourth channel layer 23 can be formed to cover the sidewall of the second passivation layer 22 and the bottom surface of the second through hole 18. In some embodiments, the fourth channel layer 23 can also cover the surface of the second insulating connection layer 16, or the surface of the nitride layer of the second mask layer 17. In some embodiments, the fourth channel layer 23 can be an amorphous silicon layer formed by using a deposition process.

[0096] As shown in FIG. 17, a second filling layer 29 can be formed to cover the fourth channel layer 23 and to fill the second through hole 18. In some embodiments, the second filling layer 29 can be an oxide layer formed by using a deposition process.

[0097] As shown in FIG. 18, a portion of the second filling layer 29 can be removed, such that the surface of the second filling layer 29 is lower than the surface of the second

Micron Ex. 1002, p. 168
Micron v. YMTC
IPR2025-00245

insulating connection layer 16. In some embodiments, the removal process can include an etching process. The remaining portion of the second filling layer 29 in the second through hole 18 can form the second filling structure.

[0098] As shown in FIG. 19, the portion of the fourth channel layer 23 located on the surface of the second insulating connection layer 16 or the surface of the second mask layer 17 can be removed. In some embodiments, the removal process can include an etching process. The remaining portion of the fourth channel layer 23 in the second through hole 18 can form the fourth channel structure. The top surface of the fourth channel structure can be higher than the top surface of the second filling structure. As such, a second groove can be formed on the fourth channel structure and the second filling structure, and in the second through hole 18.

[0099] It is noted that, the top surface of the fourth channel structure can be higher than the top surface of the second stacked layer 15, or can be lower than the top surface of the second stacked layer 15. The top surface of the fourth channel structure is not lower than the top surface of the top oxide layer in the second stacked layer 15. In some embodiments, the top surface of the fourth channel structure can be in a same plane of the top surface of the top oxide layer in the second stacked layer 15.

[00100] At S1013, a fifth channel structure can be formed in the second groove. The fifth channel structure can be in contact with the fourth channel structure. As shown in FIG. 20, the fifth channel structure 30 can be formed in the second groove that is on the fourth channel structure and the second filling structure and in the second through hole 18. The nitride layer of the second mask layer 17 can be then removed by an etching process.

[00101] As shown in FIGs. 21A and 21B, the top surface of the second insulating connection layer 16 and the top surface of the fifth channel structure 30 can be planarized by any suitable techniques, such as backside grinding, and/or chemical mechanical polishing (CMP).

[00102] Accordingly, the disclosed method as shown in FIGs. 23A and 23B can form a joint opening structure of a three-dimensional (3D) memory device by combining two through hole formation processes. As such, the formed channel hole having the joint opening structure can have a large aspect ratio and a limited top-bottom aperture error. Further, the disclosed method of forming a joint opening structure in a 3D memory device can result in an efficient process capability control, a simplified process complexity, and a reduced cost.

Micron Ex. 1002, p. 169
Micron v. YMTC
IPR2025-00245

[00103] In some embodiments, the present disclosure also provides a three-dimensional memory device formed by using the above disclosed method as shown in FIGs. 23A and 23B. The three-dimensional memory can include the following components described below.

[00104] A first stacked layer including a plurality of oxide/nitride layer pairs, such as silicon oxide layer silicon nitride layer pairs, is formed on a substrate. A first insulating connection layer is formed on the first stacked layer. A first through hole penetrates the first stacked layer and the first insulating connection layer, and extends into the surface of the substrate.

[00105] A first channel structure is formed on the surface of the substrate exposed by the first through hole. A first functional layer is formed on the sidewall of the first through hole. A second channel structure is formed on the sidewall of the first functional layer and the surface of the first channel structure. A first filling structure is formed on the sidewall and the surface of the second channel structure to fill the first through hole. In some embodiments, an airgap is enclosed in the first filling structure. The top surfaces of the second channel structure and the first filling structure are lower than the top surfaces of the first insulating connection layer.

[00106] A first groove is formed in the first insulating connection layer, and above the first functional layer, the second channel structure and the first filling structure. A projection of the first groove on the substrate completely covers a projection of the first through hole on the substrate. A third channel structure in contact with the second channel structure is formed in the first groove.

[00107] A second stack layer including a plurality of oxide/nitride layer pairs, such as silicon oxide layer and silicon nitride layer pairs, is formed on the top surfaces of the first insulating connection layer and the third channel structure. A second insulating connection layer is formed on the second stack layer. A second through hole penetrates through the second stacked layer and the second insulating connection layer, and extends into a surface of the third channel structure. A projection of the second through hole on the substrate at least partially overlaps the projection of the first through hole on the substrate.

[00108] A second functional layer is formed on the sidewall of the second through hole. A fourth channel structure is formed on the sidewall of the second functional layer and the bottom surface of the second through hole. A second filling structure is formed on the

Micron Ex. 1002, p. 170
Micron v. YMTC
IPR2025-00245

sidewall and the surface of the fourth channel structure to fill the second through hole. In some embodiments, an airgap is enclosed in the second filling structure. The top surface of the fourth channel structure is higher than the top surface of the second filling structure. A fifth channel structure in contact with the fourth channel structure is formed in a second groove that is surrounded by the second functional layer, and above the fourth channel structure and the second filling structure.

[00109] In some embodiments, as shown in FIG. 21A, a thickness "b" of the first insulating connection layer, which is the distance between the top nitride layer of the first stacked layer and the bottom nitride layer of the second stacked layer can be in a range between 80nm and 100nm, preferably about 90nm. A thickness "c" of the third channel structure can be in a range between 50nm and 70nm, preferably about 60nm.

[00110] In some alternative embodiments, as shown in FIG. 21B, a thickness "b" of the first insulating connection layer, which is the distance between the top nitride layer of the first stacked layer and the bottom nitride layer of the second stacked layer can be in a range between 20nm and 40nm, preferably about 30nm. A thickness "c" of the third channel structure can be in a range between 50nm and 70nm, preferably about 60nm.

[00111] Further, the difference between the radiuses of the top aperture and the bottom aperture of the second channel structure, and the difference between the radiuses of the top aperture and the bottom aperture of the fourth channel structure can be within 15nm. Accordingly, the disclosed channel hole having a joint opening structure can have a large aspect ratio and a limited top-bottom aperture error.

[00112] In some embodiments, a replacement process can be performed to replace each of the plurality of nitride layers in the first stacked layer 2 and the second stacked layer 15 with a conductive layer 40, as shown in FIGs. 22A and 22B. The conductive layer can include any suitable material that is electronically conductive, including, but not limited to, W, Co, Cu, Al, doped silicon, silicides, or any combination thereof.

[00113] In some embodiments, during the replacement process, a portion of the third channel structure 14 that is adjacent with the bottom nitride layer of the second stacked layer 15, or is adjacent with the top nitride layer of the first stacked layer 2 can be converted to an oxide layer by an oxidation process. For example, an etching process can be performed to remove all nitride layers in the first stacked layer 2 and the second stacked layer 15. Then an oxide process can be formed to oxide the exposed surface of the third channel structure. As a result, a portion of the third channel structure can be

Micron Ex. 1002, p. 171
Micron v. YMTC
IPR2025-00245

converter to the oxide layer as shown in FIGs. 22A and 22B. In some embodiments,, a thickness "c" of the third channel structure can be reduced after the replacement process. For example, the thickness "c" of the third channel structure can be reduced to a range between 30nm and 50nm, preferably about 40nm.

[00114] Referring to FIGs. 50A and 50B, schematic flow diagrams of another exemplary fabricating process for forming a joint opening structure of three-dimensional (3D) memory device are illustrated in accordance with some other embodiments of the present disclosure. And FIGs. 24-49 illustrate schematic structural cross-sectional diagrams of an exemplary joint opening structure of three-dimensional (3D) memory device at certain stages of the fabricating process shown in FIGs. 50A and 50B.

[00115] As shown in FIG. 50A, at S201, a first stacked layer 202 and a first insulating connection layer 203 can be sequentially formed on the surface of a substrate 201. In some embodiments, the 3D memory device can include a first region 100, a second region 200, and a third region 300, as shown in FIG. 24. The first region 100 can be used to form one or more channel holes, the second region 200 can be used to form one or more staircase structure (SS) dummy holes, while the third region 300 can be used to form one or more through array contact (TAC) barriers.

[00116] As shown in FIG. 24, the first stacked layer 202 can be formed on the substrate 201. The first stacked layer 202 can include a plurality of oxide/nitride layer pairs. That is, in the first stacked layer 202, multiple oxide layers (shown in the areas with dotes) and multiple nitride layers (shown in the areas with meshes) alternate in a vertical direction. In other words, except a top and a bottom layer of a given stack, each of the other oxide layers can be sandwiched by two adjacent nitride layers, and each nitride layer can be sandwiched by two adjacent oxide layers.

[00117] Oxide layers can each have the same thickness or have different thicknesses. For example, a thickness of each oxide layer can be in a range from 90nm to 160nm, preferably about 150nm. Similarly, nitride layers can each have the same thickness or have different thicknesses. For example, a thickness of each nitride layer can be in a range from 80nm to 110nm, preferably about 100nm. In some embodiments, the oxide layers can be silicon oxide layers, and the nitride layers can be silicon nitride layer.

[00118] The first stacked layer 202 can include any suitable number of layers of the oxide layers and the nitride layers. In some embodiments, a total number of layers of the oxide layers and the nitride layers in the first stacked layer 202 is equal to or larger than 64. In

Micron Ex. 1002, p. 172
Micron v. YMTC
IPR2025-00245

some embodiments, alternating conductor/dielectric stack includes more oxide layers or more nitride layers with different materials and/or thicknesses than the oxide/nitride layer pair.

[00119] The first insulating connection layer 203 can be formed on the first stacked layer 202. In some embodiments, the first insulating connection layer 203 can be made by any suitable insulating material and/or dielectric material, such as silicon oxide. It is noted that, the material of the first insulating connection layer 203 can be different from the material of the nitride layer in the first stacked layer 202.

[00120] Further, in some embodiments, a first mask layer 204 can be formed on the surface of the first insulating connection layer 203. The first mask layer 204 can include a nitride layer on the surface of the first insulating connection layer 203, and an oxide layer on the surface of such nitride layer.

[00121] In some embodiments, the first stacked layer 202, the first insulating connection layer 203, and/or the first mask layer 204 can be formed by using one or more deposition processes, such as one or more chemical vapor deposition (CVD) processes, one or more physical vapor deposition (PVD) processes, one or more atomic layer deposition (ALD) processes, and/or any suitable combinations thereof.

[00122] At S202, one or more first through holes 205 can be formed in each of the first region 100, the second region 200, and the third region 300. As shown in FIG. 24, each of the one or more first through holes 205 can completely penetrate the first stacked layer 202 and the first insulating connection layer 203, and can extend into the surface of the substrate 201. In some embodiments, when the first mask layer 204 is formed on the surface of the first insulating connection layer 203, the etching process also etch the first mask layer 204 to form the first through holes 205.

[00123] In some embodiments, the first through holes 205 can be formed by etching the first stacked layer 202 and the first insulating connection layer 203 and a subsequent cleaning process. The etching process to form the first through holes 205 can be a wet etching, a dry etching, or a combination thereof. It is noted that, in the direction perpendicular to the surface of the substrate 201, the depth of the one or more first through holes 205 in the third region 300 can be larger than the depth of the one or more first through holes 205 in the first region 100.

[00124] At S203, a first channel structure 206 can be formed on the surface of the substrate 201 that is exposed by each of the plurality of first through holes 205, as shown

Micron Ex. 1002, p. 173
Micron v. YMTC
IPR2025-00245

in FIG. 25. In some embodiments, the first channel structure 206 can be a polycrystalline silicon (polysilicon) layer formed by using a selective epitaxial process.

[00125] At S204, a first functional layer can be formed on the sidewall of each of the plurality of first through holes 205. The first functional layer can include a first tunneling layer 207, a first storage layer 208, a first barrier layer 209, and a first passivation layer 210.

[00126] As shown in FIG. 26, the first tunneling layer 207 can be formed on the sidewall of the plurality of first through holes 205 and the exposed surfaces of the first channel structures 206. The first tunneling layer 207 can be used for generating electronic charges (electrons or holes). In some embodiments, the first tunneling layer 207 can be an oxide layer formed by using a deposition process.

[00127] The first storage layer 208 can be formed on the surface of the first tunneling layer 207. The first storage layer 208 can be used for storing electronic charges. The storage or removal of charge in the first storage layer 207 can impact the on/off state and/or a conductance of the semiconductor channel. The first storage layer 207 can include polycrystalline silicon (polysilicon) or silicon nitride. In some embodiments, the first storage layer 208 can be a nitride layer formed by using a deposition process.

[00128] The first barrier layer 209 can be formed on the surface of the first storage layer 208. The first barrier layer 209 can be used for blocking the outflow of the electronic charges stored in the first storage layer 208. In some embodiments, the first barrier layer 209 can be a silicon oxide layer or a combination of silicon oxide/silicon nitride/silicon oxide (ONO) layers. In some embodiments, the first barrier layer 209 includes high dielectric constant (high-k) dielectrics (e.g., aluminum oxide). In one example, the first barrier layer 209 is an oxide layer formed by using a deposition process.

[00129] As shown in FIG. 27, a first passivation layer 210 can be formed on the surface of the first barrier layer 209. The first passivation layer 210 can be used for protecting the first barrier layer 209 from being damaged in a subsequent removal process. In some embodiments, the first passivation layer 210 can be an amorphous silicon layer formed by using a deposition process.

[00130] The portions of the first passivation layer 210, the first barrier layer 209, the first storage layer 208 and the first tunneling layer 207 located on the surfaces of the plurality of first channel structures 206 on the bottom of the plurality of first through holes 205 can

Micron Ex. 1002, p. 174
Micron v. YMTC
IPR2025-00245

be removed. In some embodiments, the removal process can include an etching process and a cleaning process. As such, the first functional layer can be formed on the sidewalls of the plurality of first through holes 205.

[00131] In some embodiment, in the same removal process, the first barrier layer 209, the first storage layer 208, the first tunneling layer 207, and the oxide layer of the first mask layer 204 located on the surface of the nitride layer of first mask layer 204 can also be removed. As such, the nitride layer of first mask layer 204 is remained on the surface of the first insulating connection layer 203.

[00132] At S205, a second channel structure and a first filling structure can be sequentially formed on the sidewall of the first functional layer and the exposed surface of the first channel structure 206 in each of the plurality of first through holes 205. The surfaces of the second channel structure and the first filling structure can be lower than the surface of the first insulating connection layer 203.

[00133] As shown in FIG. 28, a second channel layer 211 can be formed to cover the sidewalls of the first passivation layer 210 and the bottom of each of the plurality of first through holes 205. The second channel layer 211 can also cover the surface of the first insulating connection layer 203, or cover the surface of the nitride layer of the first mask layer 204. In some embodiments, the second channel layer 211 can be an amorphous silicon layer formed by using a deposition process.

[00134] As shown in FIG. 29, a first filling layer 212 can be formed to cover the second channel layer 211 and fill each of the plurality of first through holes 205. In some embodiments, the first filling layer 212 can be an oxide layer formed by using a deposition process.

[00135] As shown in FIGs. 30A and 30B, a portion of the first filling layer 212 can be removed, such that the top surface of the first filling layer 212 can be lower than the top surface of the first insulating connection layer 203. As such, the remaining portion of the first filling layer 212 in each of the plurality of first through holes 205 can form the first filling structure. In some embodiments, the portion of the first filling layer 212 can be removed by using an etching process, such as a wet etching, a dry etching, or a combination thereof.

[00136] In some embodiments, as shown in FIG. 30A, the top surface of the first filling layer 212 can be higher than the top surface of the second stacker layer 202. For example, the top surface of the first filling layer 212 can be 20nm to 40nm higher

Micron Ex. 1002, p. 175
Micron v. YMTC
IPR2025-00245

than the top surface of the top nitride layer of the second stacker layer 202. Preferably, the top surface of the first filling layer 212 can be about 30nm higher than the top surface of the top nitride layer of the second stacker layer 202.

[00137] In some alternative embodiments, as shown in FIG. 30B, the top surface of the first filling layer 212 can be lower than the top surface of the second stacker layer 202. For example, the top surface of the first filling layer 212 can be 30nm to 40nm lower than the top surface of the top nitride layer of the second stacker layer 202. Preferably, the top surface of the first filling layer 212 can be about 35nm lower than the top surface of the top nitride layer of the second stacker layer 202.

[00138] As shown in FIGs. 31A and 31B, a portion of the second channel layer 211 can be removed, such that the surface of the second channel layer 211 is lower than the first insulating connection layer 203. The remaining portion of the second channel layer 211 can form the second channel structure that is in contact with the first channel structure 206. In some embodiments, the portion of the second channel layer 211 can be removed by using an etching process.

[00139] It is noted that, in various embodiments, the top surface of the second channel structure can be higher than the top surface of the first stacked layer 202 or lower than the top surface of the first stacked layer 202. However, the top surface of the second channel structure is not lower than the top surface of the top oxide layer in the first stacked layer 202. In some embodiments, the top surface of the second channel structure can be higher than the top nitride layer in the first stacked layer 202, as shown in FIG. 31A. In some alternative embodiments, the top surface of the second channel structure is in a same plane of the top surface of the top oxide layer in the first stacked layer 202, as shown in FIG. 31B.

[00140] At S206, a first groove can be formed in the first insulating connection layer 203 above each of the plurality of first through holes 205. In some embodiments, the projection of the first groove on the substrate 201 can completely cover the projection of the corresponding first through hole 205 on the substrate 201.

[00141] As shown in FIGs. 32A and 32B, the nitride layer of the first mask layer 204 can be removed. In some embodiments, the nitride layer of the first mask layer 204 can be removed by using an etching process.

[00142] As shown in FIGs. 33A and 33 B, the surface of the first insulating connection layer 203 can be planarized by any suitable techniques, such as backside grinding, and/or

Micron Ex. 1002, p. 176
Micron v. YMTC
IPR2025-00245

chemical mechanical polishing (CMP). A portion of the first insulating connection layer 203 can be removed to form a plurality of first grooves that penetrate the first insulating connection layer 203. An area of the projection of each of the plurality of first grooves on the substrate 201 can be larger than an area of the projection of each of the plurality of first through holes 205 on the substrate 201.

[00143] In some embodiments, a depth of the first groove can be equal to or less than the thickness of the planarized first insulating connection layer 203, as shown in FIG. 33A. For example, the depth of the first groove can be in a range between 50nm and 70nm. In one embodiment, the thickness of the planarized first insulating connection layer 203 is about 90nm, while the depth of the first groove is about 60nm.

[00144] In some alternative embodiments, the depth of the first groove can be greater than the thickness of the planarized first insulating connection layer 203, as shown in FIG. 33B. That is, a portion of the top nitride layer in the first stacked layer 202 can also be removed to form the first groove. For example, the depth of the first groove can be in a range between 50nm and 70nm. In one embodiment, the thickness of the planarized first insulating connection layer 203 is about 30nm, while the depth of the first groove is about 60nm.

[00145] At S207, a third channel structure 214 can be formed in each of the plurality of first grooves 213. As shown in FIGs. 34A and 34B, the third channel structure 214 can be in contact with the second channel structure in each of the plurality of first through holes 205. In some embodiments, the third channel structure can be a polycrystalline silicon player formed by using a deposition process.

[00146] A thickness of each third channel structure 214 can be equal to the depth of each first groove 213. As described above, in some embodiments, a thickness of each third channel structure 214 can be equal to or less than the thickness of the planarized first insulating connection layer 203, as shown in FIG. 34A. For example, the thickness of each third channel structure 214 can be in a range between 50nm and 70nm, preferably about 60nm. In some alternative embodiments, the thickness of each third channel structure 214 can be greater than the thickness of the planarized first insulating connection layer 203, as shown in FIG. 34B. For example, the thickness of each third channel structure 214 can be in a range between 60nm and 80nm, preferably about 70nm.

[00147] Referring to FIG. 50B, at S208, a second stacked layer 215 and a second insulating connection layer 216 can be sequentially formed on the plurality of third

Micron Ex. 1002, p. 177
Micron v. YMTC
IPR2025-00245

channel structures 214. As shown in FIG. 35, the second stacked layer 215 can include a plurality of oxide/nitride layer pairs, such as silicon oxide layers and silicon nitride layers. Similar to the first stacked layer 202 as described above, the multiple oxide layers (shown in the areas with dotes) and multiple nitride layers (shown in the areas with meshes) in the second stacked layer 215 alternate in a vertical direction. The second stacked layer 215 can include any suitable number of layers of the oxide layers and the nitride layers. In some embodiments, a total number of layers of the oxide layers and the nitride layers in the second stacked layer 215 is equal to or larger than 64.

[00148] In some embodiments, the second insulating connection layer 216 can be made by any suitable insulating material and/or dielectric material, such as silicon oxide. It is noted that, the material of the second insulating connection layer 216 can be different from the material of the nitride layer in the second stacked layer 215.

[00149] Further, in some embodiments, a second mask layer 217 can be formed on the surface of the second insulating connection layer 216. The second mask layer 217 can include a nitride layer on the surface of the second insulating connection layer 216, and an oxide layer on the surface of such nitride layer.

[00150] At S209, one or more second through holes 218 are formed in each of the first region 100, the second region 200, and the third region 300. As shown in FIG. 36, each of the plurality of second through holes 218 can completely penetrate the second stacked layer 215, the second insulating connection layer 216, and the second mask layer 217, and can extend into the surface of the corresponding third channel structure 214. The projection of each second through hole 218 on the substrate 201 can at least partially overlap with the projection of the corresponding first through hole 205 on the substrate 201.

[00151] In some embodiments, the second stacked layer 215, the second insulating connection layer 216, the second mask layer 217, and the third channel structures 214 can be etched to form the plurality of second through holes 218 that penetrate the second stacked layer 215 and the second insulating connection layer 216. The second stacked layer 215, the second insulating connection layer 216, the second mask layer 217, and/or the third channel structure 214 can be etched by using a dry etching process, a wet etching process, or a combination thereof. A cleaning process can then be performed to clean the plurality of second through holes 218.

Micron Ex. 1002, p. 178
Micron v. YMTC
IPR2025-00245

[00152] It is noted that, each second through hole 218 can extend to the surface of the corresponding third channel structure 214, or can extend into the corresponding third channel structure 214. As such, a fourth channel structure formed subsequently in each second through hole 218 can directly contact the corresponding third channel structure. It is also noted that, the one or more second through holes 218 in the third region 300 can also completely penetrate the corresponding third channel structures 214, as shown in FIG. 36. However, the one or more third channel structures 214 in the first region 100 are not completely penetrated by the one or more second through holes 218.

[00153] In some embodiments, a maximum difference between the radius of the top aperture of each second through hole 218 and the radius of the bottom aperture of the second through hole 218 can be 15nm. That is, as shown in FIG. 36, a distance "a" between the boundary line of the top surface of each second through hole 218 and the boundary of the bottom surface of the second through hole 218 can be no more than 15 nm.

[00154] At S2010, a second functional layer can be formed on the sidewall of each second through hole 218. In some embodiments, the second functional layer can include a second tunneling layer 219, a second storage layer 220, a second barrier layer 221, and a second passivation layer 222.

[00155] As shown in FIG. 37, the second tunneling layer 219 can be formed on the sidewall of each second through hole 218 and the surface of the corresponding third channel structure 214. The second tunneling layer 219 can be used for generating electronic charges. In some embodiments, the second tunneling layer 219 can be an oxide layer formed by using a deposition process.

[00156] The second storage layer 220 can be formed on the surface of the second tunneling layer 219. The second storage layer 220 can be used for storing electronic charges. In some embodiments, the second storage layer 220 can be a nitride layer formed by using a deposition process.

[00157] The second barrier layer 221 can be formed on the surface of the second storage layer 220. The second barrier layer 221 can be used for blocking the outflow of the electronic charges in the second storage layer 220. In some embodiments, the second barrier layer 221 can be an oxide layer formed by using a deposition process.

[00158] As shown in FIG. 38, a second passivation layer 222 can be formed on the surface of the second barrier layer 221. The second passivation layer 222 can be used for

Micron Ex. 1002, p. 179
Micron v. YMTC
IPR2025-00245

protecting the second barrier layer 221 from being damaged in a subsequent removal process. In some embodiments, the second passivation layer 222 can be an amorphous silicon layer formed by using a deposition process.

[00159] As shown in FIG. 38, the portions of the second passivation layer 222, the second barrier layer 221, the second storage layer 220 and the second tunneling layer 219 that are located on the surface of each third channel structure 214 can be removed. In some embodiments, the removal process can include an etching process and a cleaning process. In some embodiments, the portions of the second passivation layer 222, the second barrier layer 221, the second storage layer 220, the second tunneling layer 219, the oxide layer of the second mask layer 217 that are located on the nitride layer of the second mask layer 217 can also be removed by using an etching process. As such, the second functional layer can be formed on the sidewall of each second through hole 218.

[00160] At S2011, a fourth channel structure can be formed on the sidewall of the second functional layer and the exposed surface of the third channel structure in each second through hole 218 in the first region 100. Further, a second filling structure can be formed in each of the plurality of second through holes 218 in the first region 100, the second region 200, and the third region 300. In some embodiments, the top surface of the fourth channel structure can be higher than the top surface of the second filling structure.

[00161] As shown in FIG. 39, a fourth channel layer 223 can be formed to cover the sidewall of the second passivation layer 222 and the bottom surface of each of the plurality of second through holes 218 in the first region 100, the second region 200, and the third region 300. In some embodiments, the fourth channel layer 223 can also cover the top surface of the second insulating connection layer 216, or the top surface of the nitride layer of the second mask layer 217. In some embodiments, the fourth channel layer 223 can be an amorphous silicon layer formed by using a deposition process.

[00162] As shown in FIG. 40, a third filling layer 224 can be formed to cover the fourth channel layer 223. In some embodiments, the third filling layer 224 can include one or more airgaps in each second through hole 218. In some embodiments, the third filling layer 224 can be an oxide layer formed by using a deposition process.

[00163] As shown in FIG. 41, a third mask layer 25 can be formed on the top surface of the third filling layer 224 in the first region 100. Using the third mask layer 225 as a mask, the portions of the third filling layer 224 located in the second region 200 and the third region 300 can be removed by using an etching process.

Micron Ex. 1002, p. 180
Micron v. YMTC
IPR2025-00245

[00164] As shown in FIG. 42, the third mask layer 225 can be removed. Using the remaining third filling layer 224 in the first region 100 as a mask, the fourth channel layer 223 located in the second region 200 and the third region 300 can be removed by using an etching process.

[00165] As shown in FIG. 43, a fourth filling layer 227 can be formed on the surface of the second functional layer located in the second region 200 and the third region 300. In some embodiments, the filling performance of the fourth filling layer 227 can be better than the filling performance of the third filling layer 224. That is, in a same removing process, the removal rate of the fourth filling layer 227 can be less than the removal rate of the third filling layer 224.

[00166] As shown in FIG. 44, the third filling layer 224 on the surface of the fourth channel layer 223 in the first region 100 can be removed by using an etching process. It is noted that, a portion of the fourth filling layer 227 can also be removed by the same etching process.

[00167] As shown in FIG. 45, a second filling layer 229 can be formed in each second through hole 218 in the first region 100, the second region 200 and the third region 300. The material of the second filling layer 229 can be the same material of the fourth filling layer 227.

[00168] As shown in FIG. 46, a portion of the second filling layer 29 can be removed by using an etching process, such that the top surface of the second filling layer 229 in each second through hole 218 is lower than the top surface of the second insulating connection layer 216. The remaining portion of the second filling layer 29 in each second through hole 218 can form the second filling structure.

[00169] Further, the portion of the fourth channel layer 223 located on the surface of the second insulating connection layer 216 or the surface of the second mask layer 217 can be removed by using an etching process. The remaining portion of the fourth channel layer 223 in each second through hole 218 can form the fourth channel structure. The top surface of the fourth channel structure can be higher than the top surface of the second filling structure. As such, a second groove can be formed on the fourth channel structure and the second filling structure in each second through hole 218 in the first region 100, and on the second filling structure in each second through hole 218 in the second region 200 and the third region 300.

Micron Ex. 1002, p. 181
Micron v. YMTC
IPR2025-00245

[00170] It is noted that, the top surface of the fourth channel structure can be higher than the top surface of the second stacked layer 215, or can be lower than the top surface of the second stacked layer 215. The top surface of the fourth channel structure is not lower than the top surface of the top oxide layer in the second stacked layer 215. In some embodiments, the top surface of the fourth channel structure can be in a same plane of the top surface of the top oxide layer in the second stacked layer 215.

[00171] At S2012, a fifth channel structure can be formed in the second groove of each second through hole 218 in the first region 100. The fifth channel structure can be in contact with the fourth channel structure.

[00172] As shown in FIG. 47, the fifth channel structure 230 can be formed in the second groove that is on the fourth channel structure and the second filling structure in each second through hole 218 in the first region 100. The fifth channel structure 230 can also be formed in the second groove that is on the second filling structure in each second through hole 218 in the second region 200 and the third region 300. The nitride layer of the second mask layer 217 can be then removed by an etching process.

[00173] As shown in FIGs. 48A and 48B, the top surface of the second insulating connection layer 216 and the top surface of the plurality of fifth channel structures 230 can be planarized by any suitable techniques, such as backside grinding, and/or chemical mechanical polishing (CMP).

[00174] Accordingly, the disclosed method as shown in FIGs. 50A and 50B can form another joint opening structure of a three-dimensional (3D) memory device by combining two through hole formation processes. As such, the formed channel holes having the joint opening structure can have a large aspect ratio and a limited top-bottom aperture error. Further, the disclosed method of forming a joint opening structure in a 3D memory device can simultaneously form a plurality of channel holes, staircase dummy holes, and through array contact barriers, resulting in an efficient process capability control, a simplified process complexity, and a reduced cost.

[00175] In some embodiments, the present disclosure also provides another three-dimensional memory device formed by using the above disclosed method as shown in FIGs. 50A and 50B. The three-dimensional memory device can include a first region for forming a plurality of channel holes, a second region for forming a plurality of staircase structure (SS) dummy holes, and a third region for forming a plurality of through array contact (TAC) barriers. Along a direction perpendicular to the surface of the three-

Micron Ex. 1002, p. 182
Micron v. YMTC
IPR2025-00245

dimensional memory device, the three-dimensional memory device can include the following components.

[00176] A first stacked layer including a plurality of oxide/nitride layer pairs, such as silicon oxide layer and silicon nitride layer pairs, is formed on a substrate. A first insulating connection layer is formed on the first stacked layer. A plurality of first through holes penetrating the first stacked layer and the first insulating connection layer and extending into the surface of the substrate are formed in the first region, the second region, and the third region.

[00177] A first channel structure is formed on the surface of the substrate exposed by each first through hole. A first functional layer is formed on the sidewall of each first through hole. A second channel structure is formed on the sidewall of the first functional layer and the surface of the first channel structure in each first through hole. A first filling structure is formed on the sidewall and the surface of the second channel structure to fill each of the plurality of first through holes. In some embodiments, an airgap can be enclosed in the first filling structure in each first through hole. The top surfaces of the second channel structure and the first filling structure are lower than the top surfaces of the first insulating connection layer.

[00178] A first groove is formed in the first insulating connection layer, and above the first functional layer, the second channel structure and the first filling structure in each first through hole. A projection of each of the plurality of first grooves on the substrate completely covers a projection of the corresponding first through hole on the substrate. A third channel structure in contact with the second channel structure in the corresponding first through hole is formed in each first groove.

[00179] A second stack layer including a plurality of oxide/nitride layer pairs, such as silicon oxide layer and silicon nitride layer pairs, is formed on the top surfaces of the first insulating connection layer and the plurality of third channel structures. A second insulating connection layer is formed on the second stack layer. A plurality of second through holes penetrating through the second stacked layer and the second insulating connection layer and extending into a surface of the third channel structure are formed in the first region, the second region, and the third region. A projection of each of the plurality of second through holes on the substrate at least partially overlaps the projection of the corresponding first through hole on the substrate.

Micron Ex. 1002, p. 183
Micron v. YMTC
IPR2025-00245

[00180] A second functional layer is formed on the sidewall of each second through hole. A fourth channel structure is formed on the sidewall of the second functional layer and the bottom surface of each second through hole in the first region. A second filling is formed to fill each of the plurality of second through holes in the first region, the second region, and the third region. In some embodiments, an airgap can be enclosed in the second filling structure. The top surface of the fourth channel structure is higher than the top surface of the second filling structure in each second through hole in the first region.

[00181] In the first region, a fifth channel structure in contact with the fourth channel structure is formed in a second groove in each second through hole that is surrounded by the second functional layer, and above the fourth channel structure and the second filling structure. And in the second region and the third region, a fifth channel structure is formed in a second groove in each second through hole that is surrounded by the second functional layer, and above the second filling structure.

[00182] Due to the fourth channel structures being formed in the second through holes in the first region rather than the third region, the fifth channel structure in each second through hole in the first region can be electronically connected with the first channel structure in the corresponding first through hole, while the fifth channel structure in each second through hole in the third region can be electronically insulated with the first channel structure in the corresponding first through hole. Thus, in the three-dimensional memory device, a plurality of channel holes can be formed in the first region, and a plurality of through array contact (TAC) barriers can be formed in the third region. The plurality of staircase structure dummy holes in the second region can have a supporting function of the staircase structure.

[00183] In some embodiments, as shown in FIG. 48A, in each channel hole in the first region, a thickness "b" of the first insulating connection layer, which is the distance between the top nitride layer of the first stacked layer and the bottom nitride layer of the second stacked layer can be in a range between 80nm and 100nm, preferably about 90nm. A thickness "c" of the third channel structure can be in a range between 50nm and 70nm, preferably about 60nm.

[00184] In some alternative embodiments, as shown in FIG. 47B, in each channel hole in the first region, a thickness "b" of the first insulating connection layer, which is the distance between the top nitride layer of the first stacked layer and the bottom nitride layer of the second stacked layer can be in a range between 20nm and 40nm, preferably

Micron Ex. 1002, p. 184
Micron v. YMTC
IPR2025-00245

about 30nm. A thickness "c" of the third channel structure can be in a range between 50nm and 70nm, preferably about 60nm.

[00185] Further, the difference between the radiuses of the top aperture and the bottom aperture of the second channel structure, and the difference between the radiuses of the top aperture and the bottom aperture of the fourth channel structure can be within 15nm. Accordingly, the disclosed channel hole having a joint opening structure can have a large aspect ratio and a limited top-bottom aperture error.

[00186] In some embodiments, a replacement process can be performed to replace each of the plurality of nitride layers in the first stacked layer 202 and the second stacked layer 215 with a conductive layer 240, as shown in FIGs. 49A and 49B. The conductive layer can include any suitable material that is electronically conductive, including, but not limited to, W, Co, Cu, Al, doped silicon, silicides, or any combination thereof.

[00187] In some embodiments, the replacement process can be performed in one or more of the first region 100, the second region 200, and the third region 300. In one embodiments, the replacement process is performed in the first region 100 and the second region 200, but not in the third region 300. That is, the first stacked layer and the second stacked layer in the first region and the second region can be alternating conductive/dielectric stack, while the first stacked layer and the second stacked layer in the third region can be alternating oxide/nitride stack.

[00188] In some embodiments, during the replacement process, a portion of the third channel structure 214 that is adjacent with the bottom nitride layer of the second stacked layer 215, or is adjacent with the top nitride layer of the first stacked layer 202 can be converted to an oxide layer by an oxidation process. That is, as shown in FIGs. 49A and 49B, a thickness "c" of the third channel structure can be reduced after the replacement process. For example, the thickness "c" of the third channel structure can be reduced to a range between 30nm and 50nm, preferably about 40nm.

[00189] Referring to FIGs. 74A and 74B, schematic flow diagrams of another exemplary method for forming a joint opening structure of three-dimensional (3D) memory device are illustrated in accordance with some embodiments of the present disclosure. And FIGs. 51-73 illustrate schematic structural cross-sectional diagrams of an exemplary joint opening structure of three-dimensional (3D) memory device at certain stages of the fabricating process shown in FIGs. 74A and 74B.

Micron Ex. 1002, p. 185
Micron v. YMTC
IPR2025-00245

[00190] At S301, a substrate 301 can be provided, a first stacked layer 302 and a first insulating connection layer 303 can be formed on the surface of the substrate 301. As shown in FIG. 51, the first stacked layer 302 can include a plurality of oxide/nitride layer pairs, such as silicon oxide layer and silicon nitride layer pairs. The multiple oxide layers (shown in the areas with dotes) and multiple nitride layers (shown in the areas with meshes) in the first stacked layer 302 alternate in a vertical direction. The first stacked layer 302 can include any suitable number of layers of the oxide layers and the nitride layers. In some embodiments, a total number of layers of the oxide layers and the nitride layers in the first stacked layer 302 is equal to or larger than 64.

[00191] In some embodiments, the first insulating connection layer 303 can be made by any suitable insulating material and/or dielectric material, such as silicon oxide. It is noted that, the material of the first insulating connection layer 303 can be different from the material of the nitride layer in the first stacked layer 302.

[00192] Further, in some embodiments, a first mask layer 304 can be formed on the surface of the first insulating connection layer 303. The first mask layer 304 can include a nitride layer on the surface of the first insulating connection layer 303, and an oxide layer on the surface of such nitride layer.

[00193] At S302, a first through hole 305 can be formed. As shown in FIG. 51, the first through hole 305 can completely penetrate the first stacked layer 302 and the first insulating connection layer 303, and can extend into the surface of the substrate 301.

[00194] In some embodiments, the first through hole 305 can be formed by etching the first stacked layer 302 and the first insulating connection layer 303 and a subsequent cleaning process. The etching process to form the first through hole 305 can be a wet etching, a dry etching, or a combination thereof.

[00195] In some embodiments, when the first mask layer 304 is formed on the surface of the first insulating connection layer 303, the etching process also etch the first mask layer 304 to form the first through holes 305.

[00196] At S303, a first channel structure 306 can be formed on the surface of the substrate 301 that is exposed by the first through hole 305, as shown in FIG. 52. In some embodiments, the first channel structure 306 can be a polycrystalline silicon layer formed by using a selective epitaxial process.

Micron Ex. 1002, p. 186
Micron v. YMTC
IPR2025-00245

[00197] At S304, a first functional layer can be formed on the sidewall of the first through hole 305. The first functional layer can include a first tunneling layer 307, a first storage layer 308, a first barrier layer 309, and a first passivation layer 310.

[00198] As shown in FIG. 53, the first tunneling layer 307 can be formed on the sidewall of the first through hole 305 and the surface of the first channel structure 306. The first tunneling layer can be used for generating electronic charges. In some embodiments, the first tunneling layer 307 can be an oxide layer formed by using a deposition process.

[00199] The first storage layer 308 can be formed on the surface of the first tunneling layer 307. The first storage layer 308 can be used for storing electronic charges. In some embodiments, the first storage layer 308 can be a nitride layer formed by using a deposition process.

[00200] The first barrier layer 309 can be formed on the surface of the first storage layer 308. The first barrier layer 309 can be used for blocking the outflow of the electronic charges stored in the first storage layer 308. In some embodiments, the first barrier layer 309 can be an oxide layer formed by using a deposition process.

[00201] As shown in FIG. 54, a first passivation layer 310 can be formed on the surface of the first barrier layer 309. The first passivation layer 310 can be used for protecting the first barrier layer 309 from being damaged in a subsequent removal process. In some embodiments, the first passivation layer 310 can be an amorphous silicon layer formed by using a deposition process.

[00202] The portions of the first passivation layer 310, the first barrier layer 309, the first storage layer 308 and the first tunneling layer 307 located on the surface of the first channel structure 306 on the bottom of the first through hole 305 can be removed. In some embodiments, the removal process can include an etching process and a cleaning process. As such, the first functional layer can be formed on the sidewall of the first through hole 305.

[00203] In some embodiment, in the same removal process, the first barrier layer 309, the first storage layer 308, the first tunneling layer 307, and the oxide layer of the first mask layer 304 located on the surface of the nitride layer of first mask layer 304 can also be removed. As such, the nitride layer of first mask layer 304 is remained on the surface of the first insulating connection layer 303.

[00204] At S305, a second channel structure can be formed on the sidewall of the first functional layer sidewall and the surface of the first channel structure 306. The surfaces

Micron Ex. 1002, p. 187
Micron v. YMTC
IPR2025-00245

of the second channel structure can be lower than the surface of the first insulating connection layer 303.

[00205] As shown in FIG. 55, a second channel layer 311 can be formed to cover the sidewall of the first passivation layer 310, the bottom of the first through hole 305. The second channel layer 311 can also cover the surface of the first insulating connection layer 303, or cover the surface of the nitride layer of the first mask layer 304. In some embodiments, the second channel layer 311 can be an amorphous silicon layer formed by using a deposition process.

[00206] As shown in FIGs. 56A and 56B, a portion of the second channel layer 311 can be removed, such that the surface of the second channel layer 311 is lower than the first insulating connection layer 303. The remaining portion of the second channel layer 311 can form the second channel structure that is in contact with the first channel structure 306. In some embodiments, an airgap can be enclosed by the second channel structure, as shown in FIGs. 56A and 56B. In some embodiments, the portion of the second channel layer 311 can be removed by using an etching process.

[00207] It is noted that, in various embodiments, the top surface of the second channel structure can be higher than the top surface of the first stacked layer 302 or lower than the top surface of the first stacked layer 302. However, the top surface of the second channel structure is not lower than the top surface of the top oxide layer in the first stacked layer 302. In some embodiments, the top surface of the second channel structure can be higher than the top nitride layer in the first stacked layer 302, as shown in FIG. 56A. In some alternative embodiments, the top surface of the second channel structure is in a same plane of the top surface of the top oxide layer in the first stacked layer 302, as shown in FIG. 56B.

[00208] At S306, a first groove 312 can be formed in the first insulating connection layer 303. In some embodiments, the projection of the first groove 312 on the substrate 301 can completely cover the projection of the first through hole 305 on the substrate 301.

[00209] As shown in FIGs. 57A and 57B, the nitride layer of the first mask layer 304 can be removed by using an etching process. As shown in FIGs. 58A and 58B, the surface of the first insulating connection layer 303 can be planarized. A portion of the first insulating connection layer 303 can be removed to form the first groove 312 that penetrates the first insulating connection layer 303. An area of the projection of the first

Micron Ex. 1002, p. 188
Micron v. YMTC
IPR2025-00245

groove 312 on the substrate 301 can be larger than an area of the projection of the first through hole 305 on the substrate 301.

[00210] In some embodiments, a depth of the first groove can be equal to or less than the thickness of the planarized first insulating connection layer 303, as shown in FIG. 58A. For example, the depth of the first groove can be in a range between 50nm and 70nm. In one embodiment, the thickness of the planarized first insulating connection layer 303 is about 90nm, while the depth of the first groove is about 60nm.

[00211] In some alternative embodiments, the depth of the first groove can be greater than the thickness of the planarized first insulating connection layer 303, as shown in FIG. 58B. That is, a portion of the top nitride layer in the first stacked layer 302 can also be removed to form the first groove. For example, the depth of the first groove can be in a range between 50nm and 70nm. In one embodiment, the thickness of the planarized first insulating connection layer 303 is about 30nm, while the depth of the first groove is about 60nm.

[00212] At S307, a third channel structure 313 can be formed in the first groove 312. As shown in FIGs. 59A and 59B, the third channel structure 313 can be in contact with the second channel structure. In some embodiments, the third channel structure can be a polycrystalline silicon player formed by using a deposition process.

[00213] A thickness of the third channel structure 313 can be equal to the depth of the first groove 312. As described above, in some embodiments, a thickness of the third channel structure 313 can be equal to or less than the thickness of the planarized first insulating connection layer 303, as shown in FIG. 59A. For example, the thickness of the third channel structure 313 can be in a range between 50nm and 70nm, preferably about 60nm. In some alternative embodiments, the thickness of the third channel structure 313 can be greater than the thickness of the planarized first insulating connection layer 303, as shown in FIG. 59B. For example, the thickness of the third channel structure 313 can be in a range between 60nm and 80nm, preferably about 70nm.

[00214] At S308, a second stacked layer 314 and a second insulating connection layer 315 can be sequentially formed on the third channel structure 313. As shown in FIG. 60, the second stacked layer 315 can include a plurality of oxide/nitride layer pairs, such as silicon oxide layer and silicon nitride layer pairs. Similar to the first stacked layer 302 as described above, the multiple oxide layers (shown in the areas with dotes) and multiple nitride layers (shown in the areas with meshes) in the second stacked layer 314 alternate

Micron Ex. 1002, p. 189
Micron v. YMTC
IPR2025-00245

in a vertical direction. The second stacked layer 314 can include any suitable number of layers of the oxide layers and the nitride layers. In some embodiments, a total number of layers of the oxide layers and the nitride layers in the second stacked layer 314 is equal to or larger than 64.

[00215] In some embodiments, the second insulating connection layer 315 can be made by any suitable insulating material and/or dielectric material, such as silicon oxide. It is noted that, the material of the second insulating connection layer 315 can be different from the material of the nitride layer in the second stacked layer 314.

[00216] Further, in some embodiments, a second mask layer 316 can be formed on the surface of the second insulating connection layer 315. The second mask layer 316 can include a nitride layer on the surface of the second insulating connection layer 315, and an oxide layer on the surface of such nitride layer.

[00217] At S309, a second through hole 317 can be formed. As shown in FIG. 61, the second through hole 317 can completely penetrate the second stacked layer 314 and the second insulating connection layer 315, and can extend into the surface of the third channel structure 313. The projection of the second through hole 317 on the substrate 301 can at least partially overlap with the projection of the first through hole 305 on the substrate 301.

[00218] In some embodiments, the second stacked layer 314, the second insulating connection layer 315, the second mask layer 316, and a portion of the third channel structure 314 can be etched to form the second through hole 317. The second stacked layer 314, the second insulating connection layer 315, the second mask layer 316, and/or the third channel structure 314 can be etched by using a dry etching process, a wet etching process, or a combination thereof. A cleaning process can then be performed to clean the second through hole 317.

[00219] In some embodiments, a maximum difference between the radius of the top aperture of each second through hole 317 and the radius of the bottom aperture of the second through hole 317 can be 15nm. That is, as shown in FIG. 61, a distance "a" between the boundary line of the top surface of the second through hole 317 and the boundary of the bottom surface of the second through hole 317 can be no more than 15 nm.

[00220] At S3010, a second functional layer can be formed on the sidewall of the second through hole 317. In some embodiments, the second functional layer can include

Micron Ex. 1002, p. 190
Micron v. YMTC
IPR2025-00245

a second tunneling layer 318, a second storage layer 319, a second barrier layer 320, and a second passivation layer 321.

[00221] As shown in FIG. 62, the second tunneling layer 318 can be formed on the sidewall of the second through hole 317 and the surface of the second channel structure 313. The second tunneling layer 318 can be used for generating electronic charges. In some embodiments, the second tunneling layer 318 can be an oxide layer formed by using a deposition process.

[00222] The second storage layer 319 can be formed on the surface of the second tunneling layer 318. The second storage layer 319 can be used for storing electronic charges. In some embodiments, the second storage layer 319 can be a nitride layer formed by using a deposition process.

[00223] The second barrier layer 320 can be formed on the surface of the second storage layer 319. The second barrier layer 320 can be used for blocking the outflow of the electronic charges in the second storage layer 319. In some embodiments, the second barrier layer 320 can be an oxide layer formed by using a deposition process.

[00224] As shown in FIG. 63, a second passivation layer 321 can be formed on the surface of the second barrier layer 320. The second passivation layer 321 can be used for protecting the second barrier layer 320 from being damaged in a subsequent removal process. In some embodiments, the second passivation layer 322 can be an amorphous silicon layer formed by using a deposition process.

[00225] As shown in FIG. 63, the portions of the second passivation layer 321, the second barrier layer 320, the second storage layer 319, the second tunneling layer 318, and the third channel structure 313 that are located at the bottom of the second through hole 317 and the top of the first through hole 305 can be removed. In some embodiments, the removal process can include an etching process and a cleaning process.

[00226] In some embodiments, the portions of the second passivation layer 321, the second barrier layer 320, the second storage layer 319, the second tunneling layer 318, and the oxide layer of the second mask layer 316 that are located on the nitride layer of the second mask layer 316 can also be removed by using an etching process. As such, the second functional layer can be formed on the sidewall of the second through hole 318, and the second through hole 317 and the first through hole 305 can be interconnected with each other, as shown in FIG. 63.

Micron Ex. 1002, p. 191
Micron v. YMTC
IPR2025-00245

[00227] In some embodiments, the portions of the second barrier layer 320, the second storage layer 319, and the second tunneling layer 318 that are located under the second passivation layer 321, as shown in the dashed circle in FIG. 64, can also be removed by using an etching process.

[00228] At S3011, the second tunneling structure, the third tunneling structure, the second passivation layer 321, and the first passivation layer 310 can be removed. In some embodiments, the second tunneling structure, the third tunneling structure, the second passivation layer 321, and the first passivation layer 310 can be removed by using one or more etching processes. As such, a third through hole 322 can be formed by interconnecting the first through hole and the second through hole, as shown in FIG. 65.

[00229] At S3012, a fourth channel structure and a first filling structure can be sequentially formed on the sidewall and the bottom of the third through hole 322. In some embodiments, the surface of the fourth channel structure can be higher than the surface of the first filling structure. In some embodiments, the fourth channel structure includes a joint channel structure that is sandwiched between the first stacked layer 302 and the second stacked layer 314, and covers the exposed surface of the first insulating connection layer 303.

[00230] As shown in FIG. 66, a fourth channel layer 328 can be formed to cover the sidewall and bottom of the third through hole 322 and the exposed surface of the third insulating connection layer 303. In some embodiments, the fourth channel layer 323 can also cover the surface of the second insulating connection layer 315, or the surface of the nitride layer of the second mask layer 316. In some embodiments, the fourth channel layer 328 can be an amorphous silicon layer formed by using a deposition process.

[00231] As shown in FIG. 67, a first filling layer 334 can be formed to cover the fourth channel layer 328 and to fill the third through hole 322. In some embodiments, the first filling layer 334 can be an oxide layer formed by using a deposition process.

[00232] As shown in FIG. 68, a portion of the first filling layer 334 can be removed, such that the surface of the first filling layer 334 is lower than the top surface of the second insulating connection layer 315. In some embodiments, the removal process can include an etching process. The remaining portion of the second filling layer 334 in the third through hole 322 can form the second filling structure.

[00233] As shown in FIG. 69, the portion of the fourth channel layer 328 located on the top surface of the second insulating connection layer 315 or the top surface of the second

Micron Ex. 1002, p. 192
Micron v. YMTC
IPR2025-00245

mask layer 316 can be removed. In some embodiments, the removal process can include an etching process. The remaining portion of the fourth channel layer 328 in the third through hole 322 can form the fourth channel structure. The top surface of the fourth channel structure can be higher than the top surface of the second filling structure. As such, a second groove can be formed on the fourth channel structure and the second filling structure, and in the third through hole 322.

[00234] It is noted that, the top surface of the fourth channel structure can be higher than the top surface of the second stacked layer 314, or can be lower than the top surface of the second stacked layer 314. The top surface of the fourth channel structure is not lower than the top surface of the top oxide layer in the second stacked layer 314. In some embodiments, the top surface of the fourth channel structure can be in a same plane of the top surface of the top oxide layer in the second stacked layer 314.

[00235] At S3013, a fifth channel structure can be formed in the second groove. The fifth channel structure can be in contact with the fourth channel structure. As shown in FIG. 70, the fifth channel structure 335 can be formed in the second groove that is on the fourth channel structure and the second filling structure and in the third through hole 322.

[00236] As shown in FIG. 71, the nitride layer of the second mask layer 316 can be removed by an etching process. As shown in FIGs. 72A and 72B, the top surface of the second insulating connection layer 315 and the top surface of the fifth channel structure 335 can be planarized.

[00237] Accordingly, the disclosed method as shown in FIGs. 74A and 74B can form a joint opening structure of a three-dimensional (3D) memory device by combining two through hole formation processes. As such, the formed channel hole having the joint opening structure can have a large aspect ratio and a limited top-bottom aperture error. Further, the disclosed method of forming a joint opening structure in a 3D memory device can result in an efficient process capability control, a simplified process complexity, and a reduced cost.

[00238] In some embodiments, the present disclosure also provides a three-dimensional memory device formed by using the above disclosed method as shown in FIGs. 74A and 74B. The three-dimensional memory can include the following components described below.

[00239] A first stacked layer including a plurality of oxide/nitride layer pairs, such as silicon oxide layer silicon nitride layer pairs, is formed on a substrate. A first insulating

Micron Ex. 1002, p. 193
Micron v. YMTC
IPR2025-00245

connection layer is formed on the first stacked layer. A first through hole penetrates the first stacked layer and the first insulating connection layer, and extends into the surface of the substrate. A first channel structure is formed on the surface of the substrate exposed by the first through hole. A first functional layer is formed on the sidewall of the first through hole.

[00240] A second stack layer including a plurality of oxide/nitride layer pairs, such as silicon oxide layer and silicon nitride layer pairs, is formed on the top surfaces of the first insulating connection layer. A second insulating connection layer is formed on the second stack layer. A second through hole penetrates through the second stacked layer and the second insulating connection layer, and is interconnected with the first through hole. A second functional layer is formed on the sidewall of the second through hole.

[00241] The first through hole and the second through hole constitute the third through hole. A fourth channel structure being contact with the first channel structure is formed on the sidewall and the bottom of the third through hole. A first filling structure is formed on the sidewall and the surface of the fourth channel structure to fill the third through hole. In some embodiments, an airgap is enclosed in the first filling structure. The top surface of the fourth channel structure is higher than the top surface of the first filling structure. A fifth channel structure in contact with the fourth channel structure is formed in a second groove that is surrounded by the second functional layer, and above the fourth channel structure and the first filling structure.

[00242] In some embodiments, as shown in FIG. 72A, a thickness "b" of the first insulating connection layer, which is the distance between the top nitride layer of the first stacked layer and the bottom nitride layer of the second stacked layer can be in a range between 80nm and 100nm, preferably about 90nm. A thickness "c" of the third channel structure can be in a range between 50nm and 70nm, preferably about 60nm.

[00243] In some alternative embodiments, as shown in FIG. 72B, a thickness "b" of the first insulating connection layer, which is the distance between the top nitride layer of the first stacked layer and the bottom nitride layer of the second stacked layer can be in a range between 20nm and 40nm, preferably about 30nm. A thickness "c" of the third channel structure can be in a range between 50nm and 70nm, preferably about 60nm.

[00244] Further, the error the radius of the aperture of different positions of the third through hole can be within 15nm. That is, a difference between a maximum radius of the third through hole and a minimum radius of the third through hole is less than or equal to

Micron Ex. 1002, p. 194
Micron v. YMTC
IPR2025-00245

15nm. Accordingly, the disclosed channel hole having a joint opening structure can have a large aspect ratio and a limited top-bottom aperture error.

[00245] In some embodiments, a replacement process can be performed to replace each of the plurality of nitride layers in the first stacked layer 302 and the second stacked layer 314 with a conductive layer 440, as shown in FIGs. 73A and 73B. The conductive layer can include any suitable material that is electronically conductive, including, but not limited to, W, Co, Cu, Al, doped silicon, silicides, or any combination thereof.

[00246] In some embodiments, during the replacement process, a portion of the third channel structure 313 that is adjacent with the bottom nitride layer of the second stacked layer 314, or is adjacent with the top nitride layer of the first stacked layer 302 can be converted to an oxide layer by an oxidation process. That is, as shown in FIGs. 73A and 73B, a thickness "c" of the third channel structure can be reduced after the replacement process. For example, the thickness "c" of the third channel structure can be reduced to a range between 30nm and 50nm, preferably about 40nm.

[00247] Referring to FIGs. 103A and 103B, schematic flow diagrams of another exemplary fabricating process for forming a joint opening structure of three-dimensional (3D) memory device are illustrated in accordance with some other embodiments of the present disclosure. And FIGs. 75-102 illustrate schematic structural cross-sectional diagrams of an exemplary joint opening structure of three-dimensional (3D) memory device at certain stages of the fabricating process shown in FIGs. 103A and 103B.

[00248] As shown in FIG. 103A, at S401, a first stacked layer 402 and a first insulating connection layer 403 can be sequentially formed on the surface of a substrate 401. In some embodiments, the 3D memory device can include a first region 100, a second region 200, and a third region 300, as shown in FIG. 75. The first region 100 can be used to form one or more channel holes, the second region 200 can be used to form one or more staircase structure (SS) dummy holes, while the third region 300 can be used to form one or more through array contact (TAC) barriers.

[00249] As shown in FIG. 75, the first stacked layer 402 can be formed on the substrate 401. The first stacked layer 402 can include a plurality of oxide/nitride layer pairs. That is, in the first stacked layer 402, multiple oxide layers (shown in the areas with dotes) and multiple nitride layers (shown in the areas with meshes) alternate in a vertical direction. In other words, except a top and a bottom layer of a given stack, each of the other oxide

Micron Ex. 1002, p. 195
Micron v. YMTC
IPR2025-00245

layers can be sandwiched by two adjacent nitride layers, and each nitride layer can be sandwiched by two adjacent oxide layers.

[00250] Oxide layers can each have the same thickness or have different thicknesses. For example, a thickness of each oxide layer can be in a range from 90nm to 160nm, preferably about 150nm. Similarly, nitride layers can each have the same thickness or have different thicknesses. For example, a thickness of each nitride layer can be in a range from 80nm to 110nm, preferably about 100nm. In some embodiments, the oxide layers can be silicon oxide layers, and the nitride layers can be silicon nitride layer.

[00251] The first stacked layer 402 can include any suitable number of layers of the oxide layers and the nitride layers. In some embodiments, a total number of layers of the oxide layers and the nitride layers in the first stacked layer 402 is equal to or larger than 64. In some embodiments, alternating conductor/dielectric stack includes more oxide layers or more nitride layers with different materials and/or thicknesses than the oxide/nitride layer pair.

[00252] The first insulating connection layer 403 can be formed on the first stacked layer 402. In some embodiments, the first insulating connection layer 403 can be made by any suitable insulating material and/or dielectric material, such as silicon oxide. It is noted that, the material of the first insulating connection layer 403 can be different from the material of the nitride layer in the first stacked layer 402.

[00253] Further, in some embodiments, a first mask layer 404 can be formed on the surface of the first insulating connection layer 403. The first mask layer 404 can include a nitride layer on the surface of the first insulating connection layer 403, and an oxide layer on the surface of such nitride layer.

[00254] In some embodiments, the first stacked layer 402, the first insulating connection layer 403, and/or the first mask layer 404 can be formed by using one or more deposition processes, such as one or more chemical vapor deposition (CVD) processes, one or more physical vapor deposition (PVD) processes, one or more atomic layer deposition (ALD) processes, and/or any suitable combinations thereof.

[00255] At S402, one or more first through holes 405 can be formed in each of the first region 100, the second region 200, and the third region 300. As shown in FIG. 75, each of the one or more first through holes 405 can completely penetrate the first stacked layer 402 and the first insulating connection layer 403, and can extend into the surface of the substrate 401. In some embodiments, when the first mask layer 404 is formed on the

Micron Ex. 1002, p. 196
Micron v. YMTC
IPR2025-00245

surface of the first insulating connection layer 403, the etching process also etch the first mask layer 404 to form the first through holes 405.

[00256] In some embodiments, the first through holes 405 can be formed by etching the first stacked layer 402 and the first insulating connection layer 403 and a subsequent cleaning process. The etching process to form the first through holes 405 can be a wet etching, a dry etching, or a combination thereof. It is noted that, in the direction perpendicular to the surface of the substrate 201, the depth of the one or more first through holes 405 in the third region 300 can be larger than the depth of the one or more first through holes 405 in the first region 100.

[00257] At S403, a first channel structure 406 can be formed on the surface of the substrate 401 that is exposed by each of the plurality of first through holes 405, as shown in FIG. 76. In some embodiments, the first channel structure 406 can be a polycrystalline silicon (polysilicon) layer formed by using a selective epitaxial process.

[00258] At S404, a first functional layer can be formed on the sidewall of each of the plurality of first through holes 405. The first functional layer can include a first tunneling layer 407, a first storage layer 408, a first barrier layer 409, and a first passivation layer 410.

[00259] As shown in FIG. 77, the first tunneling layer 407 can be formed on the sidewall of the plurality of first through holes 405 and the exposed surfaces of the first channel structures 406. The first tunneling layer 407 can be used for generating electronic charges (electrons or holes). In some embodiments, the first tunneling layer 407 can be an oxide layer formed by using a deposition process.

[00260] The first storage layer 408 can be formed on the surface of the first tunneling layer 407. The first storage layer 408 can be used for storing electronic charges. The storage or removal of charge in the first storage layer 407 can impact the on/off state and/or a conductance of the semiconductor channel. The first storage layer 407 can include polycrystalline silicon (polysilicon) or silicon nitride. In some embodiments, the first storage layer 408 can be a nitride layer formed by using a deposition process.

[00261] The first barrier layer 409 can be formed on the surface of the first storage layer 408. The first barrier layer 409 can be used for blocking the outflow of the electronic charges stored in the first storage layer 408. In some embodiments, the first barrier layer 409 can be a silicon oxide layer or a combination of silicon oxide/silicon nitride/silicon oxide (ONO) layers. In some embodiments, the first barrier layer 409

Micron Ex. 1002, p. 197
Micron v. YMTC
IPR2025-00245

includes high dielectric constant (high-k) dielectrics (e.g., aluminum oxide). In one example, the first barrier layer 409 is an oxide layer formed by using a deposition process.

[00262] As shown in FIG. 78, a first passivation layer 410 can be formed on the surface of the first barrier layer 409. The first passivation layer 410 can be used for protecting the first barrier layer 409 from being damaged in a subsequent removal process. In some embodiments, the first passivation layer 410 can be an amorphous silicon layer formed by using a deposition process.

[00263] The portions of the first passivation layer 410, the first barrier layer 409, the first storage layer 408 and the first tunneling layer 407 located on the surfaces of the plurality of first channel structures 406 on the bottom of the plurality of first through holes 405 can be removed. In some embodiments, the removal process can include an etching process and a cleaning process. As such, the first functional layer can be formed on the sidewalls of the plurality of first through holes 405.

[00264] In some embodiment, in the same removal process, the first barrier layer 409, the first storage layer 408, the first tunneling layer 407, and the oxide layer of the first mask layer 404 located on the surface of the nitride layer of first mask layer 404 can also be removed. As such, the nitride layer of first mask layer 404 is remained on the surface of the first insulating connection layer 403.

[00265] At S405, a second channel structure can be formed on the sidewall of the first functional layer and the exposed surface of the first channel structure 406 in each of the plurality of first through holes 405. The second channel structure can be in contact with the first channel structure 406 in each first through hole 405. The surface of the second channel structure in each first through hole 405 can be lower than the top surface of the first insulating connection layer 403.

[00266] As shown in FIG. 79, a second channel layer 411 can be formed to cover the sidewalls of the first passivation layer 410 and the bottom of each of the plurality of first through holes 405. The second channel layer 411 can also cover the surface of the first insulating connection layer 403, or cover the surface of the nitride layer of the first mask layer 404. In some embodiments, the second channel layer 411 can be an amorphous silicon layer formed by using a deposition process.

[00267] As shown in FIGs. 80A and 80B, a portion of the second channel layer 411 can be removed, such that the top surface of the second channel layer 411 can be lower than the

Micron Ex. 1002, p. 198
Micron v. YMTC
IPR2025-00245

top surface of the first insulating connection layer 403. The remaining portion of the second channel layer 411 can form the second channel structure that is in contact with the first channel structure 406. In some embodiments, the portion of the second channel layer 411 can be removed by using an etching process.

[00268] It is noted that, in various embodiments, the top surface of the second channel structure can be higher than the top surface of the first stacked layer 402 or lower than the top surface of the first stacked layer 402. However, the top surface of the second channel structure is not lower than the top surface of the top oxide layer in the first stacked layer 402. In some embodiments, the top surface of the second channel structure can be higher than the top nitride layer in the first stacked layer 402, as shown in FIG. 80A. In some alternative embodiments, the top surface of the second channel structure is in a same plane of the top surface of the top oxide layer in the first stacked layer 402, as shown in FIG. 80B.

[00269] At S406, a first groove can be formed above the first insulating connection layer 403 above each of the plurality of first through holes 405. In some embodiments, the projection of the first groove on the substrate 401 can completely cover the projection of the corresponding first through hole 405 on the substrate 401.

[00270] As shown in FIGs. 81A and 81B, the nitride layer of the first mask layer 404 can be removed. In some embodiments, the nitride layer of the first mask layer 404 can be removed by using an etching process.

[00271] As shown in FIGs. 82A and 82B, the surface of the first insulating connection layer 403 can be planarized by any suitable techniques, such as backside grinding, and/or chemical mechanical polishing (CMP). A portion of the first insulating connection layer 403 can be removed to form a plurality of first grooves that penetrate the first insulating connection layer 403. An area of the projection of each of the plurality of first grooves on the substrate 401 can be larger than an area of the projection of each of the plurality of first through holes 405 on the substrate 401.

[00272] In some embodiments, a depth of the first groove 412 can be equal to or less than the thickness of the planarized first insulating connection layer 403, as shown in FIG. 82A. For example, the depth of the first groove 412 can be in a range between 50nm and 70nm. In one embodiment, the thickness of the planarized first insulating connection layer 403 is about 90nm, while the depth of the first groove is about 60nm.

Micron Ex. 1002, p. 199
Micron v. YMTC
IPR2025-00245

[00273] In some alternative embodiments, the depth of the first groove 412 can be greater than the thickness of the planarized first insulating connection layer 403, as shown in FIG. 82B. That is, a portion of the top nitride layer in the first stacked layer 402 can also be removed to form the first groove. For example, the depth of the first groove 412 can be in a range between 50nm and 70nm. In one embodiment, the thickness of the planarized first insulating connection layer 403 is about 30nm, while the depth of the first groove is about 60nm.

[00274] At S407, a third channel structure 413 can be formed in each of the plurality of first grooves 412. As shown in FIGs. 83A and 83B, the third channel structure 413 can be in contact with the second channel structure in each of the plurality of first through holes 405. In some embodiments, the third channel structure 413 can be a polycrystalline silicon player formed by using a deposition process.

[00275] A thickness of each third channel structure 413 can be equal to the depth of each first groove 412. As described above, in some embodiments, a thickness of each third channel structure 413 can be equal to or less than the thickness of the planarized first insulating connection layer 403, as shown in FIG. 83A. For example, the thickness of each third channel structure 413 can be in a range between 50nm and 70nm, preferably about 60nm. In some alternative embodiments, the thickness of each third channel structure 413 can be greater than the thickness of the planarized first insulating connection layer 403, as shown in FIG. 83B. For example, the thickness of each third channel structure 413 can be in a range between 60nm and 80nm, preferably about 70nm.

[00276] Referring to FIG. 103B, at S408, a second stacked layer 414 and a second insulating connection layer 415 can be sequentially formed on the plurality of third channel structures 413. As shown in FIG. 84, the second stacked layer 414 can include a plurality of oxide/nitride layer pairs, such as silicon oxide layers and silicon nitride layers. Similar to the first stacked layer 402 as described above, the multiple oxide layers (shown in the areas with dotes) and multiple nitride layers (shown in the areas with meshes) in the second stacked layer 414 alternate in a vertical direction. The second stacked layer 414 can include any suitable number of layers of the oxide layers and the nitride layers. In some embodiments, a total number of layers of the oxide layers and the nitride layers in the second stacked layer 414 is equal to or larger than 64.

[00277] In some embodiments, the second insulating connection layer 415 can be made by any suitable insulating material and/or dielectric material, such as silicon oxide. It is

Micron Ex. 1002, p. 200
Micron v. YMTC
IPR2025-00245

noted that, the material of the second insulating connection layer 415 can be different from the material of the nitride layer in the second stacked layer 414.

[00278] Further, in some embodiments, a second mask layer 416 can be formed on the surface of the second insulating connection layer 415. The second mask layer 416 can include a nitride layer on the surface of the second insulating connection layer 415, and an oxide layer on the surface of such nitride layer.

[00279] At S409, one or more second through holes 417 are formed in each of the first region 100, the second region 200, and the third region 300. As shown in FIG. 85, each of the plurality of second through holes 417 can completely penetrate the second stacked layer 414, the second insulating connection layer 415, and the second mask layer 416, and can extend into the surface of the corresponding third channel structure 413. The projection of each second through hole 417 on the substrate 401 can at least partially overlap with the projection of the corresponding first through hole 405 on the substrate 401.

[00280] In some embodiments, the second stacked layer 414, the second insulating connection layer 415, the second mask layer 416, and the third channel structures 413 can be etched to form the plurality of second through holes 417 that penetrate the second stacked layer 414 and the second insulating connection layer 415. The second stacked layer 414, the second insulating connection layer 415, the second mask layer 416, and/or the third channel structure 413 can be etched by using a dry etching process, a wet etching process, or a combination thereof. A cleaning process can then be performed to clean the plurality of second through holes 417.

[00281] It is noted that, each second through hole 417 can extend to the surface of the corresponding third channel structure 413, or can extend into the corresponding third channel structure 413. As such, a fourth channel structure formed subsequently in each second through hole 417 can directly contact the corresponding third channel structure.

[00282] In some embodiments, a maximum difference between the radius of the top aperture of each second through hole 417 and the radius of the bottom aperture of the second through hole 417 can be 15nm. That is, as shown in FIG. 85, a distance "a" between the boundary line of the top surface of each second through hole 417 and the boundary of the bottom surface of the second through hole 417 can be no more than 15 nm.

Micron Ex. 1002, p. 201
Micron v. YMTC
IPR2025-00245

[00283] At S4010, a second functional layer can be formed on the sidewall of each second through hole 417. In some embodiments, the second functional layer can include a second tunneling layer 418, a second storage layer 419, a second barrier layer 420, and a second passivation layer 421.

[00284] As shown in FIG. 86, the second tunneling layer 418 can be formed on the sidewall of each second through hole 417 and the surface of the corresponding third channel structure 413. The second tunneling layer 418 can be used for generating electronic charges. In some embodiments, the second tunneling layer 418 can be an oxide layer formed by using a deposition process.

[00285] The second storage layer 419 can be formed on the surface of the second tunneling layer 418. The second storage layer 419 can be used for storing electronic charges. In some embodiments, the second storage layer 419 can be a nitride layer formed by using a deposition process.

[00286] The second barrier layer 420 can be formed on the surface of the second storage layer 419. The second barrier layer 420 can be used for blocking the outflow of the electronic charges in the second storage layer 419. In some embodiments, the second barrier layer 420 can be an oxide layer formed by using a deposition process.

[00287] As shown in FIG. 87, a second passivation layer 421 can be formed on the surface of the second barrier layer 420. The second passivation layer 421 can be used for protecting the second barrier layer 420 from being damaged in a subsequent removal process. In some embodiments, the second passivation layer 421 can be an amorphous silicon layer formed by using a deposition process.

[00288] As shown in FIG. 87, the portions of the second passivation layer 421, the second barrier layer 420, the second storage layer 419, the second tunneling layer 418, and the third channel structure 413 between each second through hole 417 and the corresponding first through hole 405 can be removed. In some embodiments, the removal process can include an etching process and a cleaning process. In some embodiments, the portions of the second passivation layer 421, the second barrier layer 420, the second storage layer 419, the second tunneling layer 418, the oxide layer of the second mask layer 416 that are located on the nitride layer of the second mask layer 416 can also be removed by the same removal process. As such, the second functional layer can be formed on the sidewall of each second through hole 417, and each second through hole 417 and the corresponding first through hole 405 can be interconnected with each other.

Micron Ex. 1002, p. 202
Micron v. YMTC
IPR2025-00245

[00289] In some embodiments, the portions of the second barrier layer 420, the second storage layer 419, and the second tunneling layer 418 that are located under the second passivation layer 421, as shown in the dashed circle in FIG. 88, can also be removed by using an etching process.

[00290] At S4011, the second tunneling structure, the third tunneling structure, the second passivation layer 421, and the first passivation layer 410 can be removed. In some embodiments, the second tunneling structure, the third tunneling structure, the second passivation layer 421, and the first passivation layer 410 can be removed by using one or more etching processes. As such, a plurality of third through holes 422 can be formed in the first region 100, the second region 200, and the third region 300 by interconnecting each first through hole and the corresponding second through hole, as shown in FIG. 89.

[00291] At S4012, a fourth channel structure can be formed on the sidewall of the second functional layer and the exposed surface of the third channel structure in each third through hole 422 in the first region 100. Further, a first filling structure can be formed in each of the plurality of third through holes 422 in the first region 100, the second region 200, and the third region 300. In some embodiments, the top surface of the fourth channel structure can be higher than the top surface of the first filling structure.

[00292] As shown in FIG. 90, a fourth channel layer 428 can be formed to cover the sidewall and the bottom surface of each of the plurality of third through holes 422 in the first region 100, the second region 200, and the third region 300. In some embodiments, the fourth channel layer 428 can also cover the top surface of the nitride layer of the second mask layer 416. In some embodiments, the fourth channel layer 428 can be an amorphous silicon layer formed by using a deposition process. In some embodiments, the fourth channel structure 428 includes a joint channel structure that is sandwiched between the first stacked layer 402 and the second stacked layer 414, and covers the exposed surface of the first insulating connection layer 403.

[00293] As shown in FIG. 91, a second filling layer 429 can be formed to cover the fourth channel layer 428. In some embodiments, the second filling layer 429 can include one or more airgaps in each third through hole 417. In some embodiments, the second filling layer 429 can be an oxide layer formed by using a deposition process.

[00294] As shown in FIG. 92, a third mask layer 430 can be formed on the top surface of the second filling layer 429 in the first region 100. Using the third mask layer 430 as

Micron Ex. 1002, p. 203
Micron v. YMTC
IPR2025-00245

a mask, the portions of the second filling layer 429 located in the second region 200 and the third region 300 can be removed by using an etching process.

[00295] As shown in FIG. 93, the third mask layer 430 can be removed. Using the remaining second filling layer 429 in the first region 100 as a mask, the fourth channel layer 428 located in the second region 200 and the third region 300 can be removed by using an etching process. As such, one or more fourth through holes 431 can be formed in the second region 200 and the third region 300.

[00296] As shown in FIG. 94, a third filling layer 432 can be formed to cover the sidewall and the bottom of the one or more fourth through holes 431 in the second region 200 and the third region 300. The third filling layer 432 can also cover the exposed surface of the first insulating connection layer 403 in each fourth through hole 431 in the second region 200 and the third region 300. In some embodiments, the third filling layer 432 can enclose one or more airgap in one or more fourth through holes 431. In some embodiments, the filling performance of the third filling layer 432 can be better than the filling performance of the second filling layer 429. That is, in a same removing process, the removal rate of the third filling layer 432 can be less than the removal rate of the second filling layer 429.

[00297] As shown in FIG. 95, the second filling layer 429 on the surface of the fourth channel layer 428 in the first region 100 can be removed by using an etching process. As such, one or more fifth through holes 433 can be formed in the first region 100. It is noted that, a portion of the third filling layer 432 can also be removed by the same etching process.

[00298] As shown in FIG. 96, a first filling layer 434 can be formed in each fifth through hole 433 in the first region 100, and in each fourth through hole 431 in the second region 200 and the third region 300. The material of the first filling layer 434 can be the same material of the third filling layer 432.

[00299] As shown in FIG. 97, a portion of the first filling layer 434 can be removed by using an etching process, such that the top surface of the first filling layer 434 in each fifth through hole 433 or fourth through hole 431 is lower than the top surface of the second insulating connection layer 415. The remaining portion of the first filling layer 434 in each fourth through hole 431 or fifth through hole 433 can form the first filling structure.

Micron Ex. 1002, p. 204
Micron v. YMTC
IPR2025-00245

[00300] Further, the portion of the fourth channel layer 428 located on the surface of the second insulating connection layer 415 or the surface of the second mask layer 416 can be removed by using an etching process. The remaining portion of the fourth channel layer 428 in each fifth through hole 433 can form the fourth channel structure. The top surface of the fourth channel structure can be higher than the top surface of the first filling structure. As such, a second groove can be formed on the fourth channel structure and the first filling structure in each fifth through hole 433 in the first region 100, and on the first filling structure in each fourth through hole 431 in the second region 200 and the third region 300.

[00301] It is noted that, the top surface of the fourth channel structure can be higher than the top surface of the second stacked layer 414, or can be lower than the top surface of the second stacked layer 414. The top surface of the fourth channel structure is not lower than the top surface of the top oxide layer in the second stacked layer 414. In some embodiments, the top surface of the fourth channel structure can be in a same plane of the top surface of the top oxide layer in the second stacked layer 414.

[00302] At S4013, a fifth channel structure can be formed in the second groove of each fifth through hole 433 in the first region 100 and each fourth 431 in the second region 200 and third region 300. The fifth channel structure can be in contact with the fourth channel structure in each fifth through hole 433 in the first region 100.

[00303] As shown in FIG. 99, the fifth channel structure 435 can be formed in the second groove that is on the fourth channel structure and the first filling structure in each fifth through hole 433 in the first region 100. The fifth channel structure 435 can also be formed in the second groove that is on the first filling structure in each fourth through hole 431 in the second region 200 and the third region 300.

[00304] As shown in FIG. 100, the nitride layer of the second mask layer 416 can be then removed by an etching process. As shown in FIGs. 101A and 101B, the top surface of the second insulating connection layer 415 and the top surface of the plurality of fifth channel structures 435 can be planarized by any suitable techniques, such as backside grinding, and/or chemical mechanical polishing (CMP).

[00305] Accordingly, the disclosed method as shown in FIGs. 101A and 101B can form another joint opening structure of a three-dimensional (3D) memory device by combining two through hole formation processes. As such, the formed channel holes having the joint opening structure can have a large aspect ratio and a limited top-bottom aperture

Micron Ex. 1002, p. 205
Micron v. YMTC
IPR2025-00245

error. Further, the disclosed method of forming a joint opening structure in a 3D memory device can simultaneously form a plurality of channel holes, staircase dummy holes, and through array contact barriers, resulting in an efficient process capability control, a simplified process complexity, and a reduced cost.

[00306] In some embodiments, the present disclosure also provides another three-dimensional memory device formed by using the above disclosed method as shown in FIGs. 101A and 101B. The three-dimensional memory device can include a first region for forming a plurality of channel holes, a second region for forming a plurality of staircase structure (SS) dummy holes, and a third region for forming a plurality of through array contact (TAC) barriers. Along a direction perpendicular to the surface of the three-dimensional memory device, the three-dimensional memory device can include the following components.

[00307] A first stacked layer including a plurality of oxide/nitride layer pairs, such as silicon oxide layer and silicon nitride layer pairs, is formed on a substrate. A first insulating connection layer is formed on the first stacked layer. A plurality of first through holes penetrating the first stacked layer and the first insulating connection layer and extending into the surface of the substrate are formed in the first region, the second region, and the third region.

[00308] A first channel structure is formed on the surface of the substrate exposed by each first through hole. A first functional layer is formed on the sidewall of each first through hole. A second channel structure is formed on the sidewall of the first functional layer and the surface of the first channel structure in each first through hole. A first filling structure is formed on the sidewall and the surface of the second channel structure to fill each of the plurality of first through holes. In some embodiments, an airgap can be enclosed in the first filling structure in each first through hole. The top surfaces of the second channel structure and the first filling structure are lower than the top surfaces of the first insulating connection layer.

[00309] A first groove is formed in the first insulating connection layer, and above the first functional layer, the second channel structure and the first filling structure in each first through hole. A projection of each of the plurality of first grooves on the substrate completely covers a projection of the corresponding first through hole on the substrate. A third channel structure in contact with the second channel structure in the corresponding first through hole is formed in each first groove.

Micron Ex. 1002, p. 206
Micron v. YMTC
IPR2025-00245

[00310] A second stack layer including a plurality of oxide/nitride layer pairs, such as silicon oxide layer and silicon nitride layer pairs, is formed on the top surfaces of the first insulating connection layer and the plurality of third channel structures. A second insulating connection layer is formed on the second stack layer. A plurality of second through holes penetrating through the second stacked layer and the second insulating connection layer and extending into a surface of the third channel structure are formed in the first region, the second region, and the third region. A projection of each of the plurality of second through holes on the substrate at least partially overlaps the projection of the corresponding first through hole on the substrate.

[00311] A second functional layer is formed on the sidewall of each second through hole. A fourth channel structure is formed on the sidewall of the second functional layer and the bottom surface of each second through hole in the first region. A second filling is formed to fill each of the plurality of second through holes in the first region, the second region, and the third region. In some embodiments, an airgap can be enclosed in the second filling structure. The top surface of the fourth channel structure is higher than the top surface of the second filling structure in each second through hole in the first region.

[00312] In the first region, a fifth channel structure in contact with the fourth channel structure is formed in a second groove in each second through hole that is surrounded by the second functional layer, and above the fourth channel structure and the second filling structure. And in the second region and the third region, a fifth channel structure is formed in a second groove in each second through hole that is surrounded by the second functional layer, and above the second filling structure.

[00313] Due to the fourth channel structures being formed in the second through holes in the first region rather than the third region, the fifth channel structure in each second through hole in the first region can be electronically connected with the first channel structure in the corresponding first through hole, while the fifth channel structure in each second through hole in the third region can be electronically insulated with the first channel structure in the corresponding first through hole. Thus, in the three-dimensional memory device, a plurality of channel holes can be formed in the first region, and a plurality of through array contact (TAC) barriers can be formed in the third region. The plurality of staircase structure dummy holes in the second region can have a supporting function of the staircase structure.

Micron Ex. 1002, p. 207
Micron v. YMTC
IPR2025-00245

[00314] In some embodiments, as shown in FIG. 101A, in each channel hole in the first region, a thickness "b" of the first insulating connection layer, which is the distance between the top nitride layer of the first stacked layer and the bottom nitride layer of the second stacked layer can be in a range between 80nm and 100nm, preferably about 90nm. A thickness "c" of the third channel structure can be in a range between 50nm and 70nm, preferably about 60nm.

[00315] In some alternative embodiments, as shown in FIG. 101B, in each channel hole in the first region, a thickness "b" of the first insulating connection layer, which is the distance between the top nitride layer of the first stacked layer and the bottom nitride layer of the second stacked layer can be in a range between 20nm and 40nm, preferably about 30nm. A thickness "c" of the third channel structure can be in a range between 50nm and 70nm, preferably about 60nm.

[00316] Further, the difference between the radiuses of the top aperture and the bottom aperture of the second channel structure, and the difference between the radiuses of the top aperture and the bottom aperture of the fourth channel structure can be within 15nm. Accordingly, the disclosed channel hole having a joint opening structure can have a large aspect ratio and a limited top-bottom aperture error.

[00317] In some embodiments, a replacement process can be performed to replace each of the plurality of nitride layers in the first stacked layer 402 and the second stacked layer 414 with a conductive layer 440, as shown in FIGs. 102A and 102B. The conductive layer can include any suitable material that is electronically conductive, including, but not limited to, W, Co, Cu, Al, doped silicon, silicides, or any combination thereof.

[00318] In some embodiments, the replacement process can be performed in one or more of the first region 100, the second region 200, and the third region 300. In one embodiments, the replacement process is performed in the first region 100 and the second region 200, but not in the third region 300. That is, the first stacked layer and the second stacked layer in the first region and the second region can be alternating conductive/dielectric stack, while the first stacked layer and the second stacked layer in the third region can be alternating oxide/nitride stack.

[00319] In some embodiments, during the replacement process, a portion of the third channel structure 413 that is adjacent with the bottom nitride layer of the second stacked layer 414, or is adjacent with the top nitride layer of the first stacked layer 402 can be

Micron Ex. 1002, p. 208
Micron v. YMTC
IPR2025-00245

converted to an oxide layer by an oxidation process. That is, as shown in FIGs. 102A and 102B, a thickness "c" of the third channel structure can be reduced after the replacement process. For example, the thickness "c" of the third channel structure can be reduced to a range between 30nm and 50nm, preferably about 40nm.

[00320] The provision of the examples described herein (as well as clauses phrased as "such as," "e.g.," "including," and the like) should not be interpreted as limiting the claimed subject matter to the specific examples; rather, the examples are intended to illustrate only some of many possible aspects.

[00321] Further, the words "first", "second" and the like used in this disclosure do not denote any order, quantity or importance, but are merely intended to distinguish between different constituents. The words "comprise" or "include" and the like mean that the elements or objects preceding the word can cover the elements or objects listed after the word and their equivalents, without excluding other elements or objects. The words "connect" or "link" and the like are not limited to physical or mechanical connections, but can include electrical connections, either directly or indirectly.

[00322] Although the present disclosure has been described and illustrated in the foregoing illustrative embodiments, it is understood that the present disclosure has been made only by way of example, and that numerous changes in the details of embodiment of the present disclosure can be made without departing from the spirit and scope of the present disclosure, which is only limited by the claims which follow. Features of the disclosed embodiments can be combined and rearranged in various ways. Without departing from the spirit and scope of the present disclosure, modifications, equivalents, or improvements to the present disclosure are understandable to those skilled in the art and are intended to be encompassed within the scope of the present disclosure.

Micron Ex. 1002, p. 209
Micron v. YMTC
IPR2025-00245

COMBINED DECLARATION AND ASSIGNMENT

DECLARATION

As the below named inventors, I hereby declare that:

This declaration is directed to:

☐ The attached application, or

☒ United States application or PCT international application number 16/046,847

filed on July 26, 2018

The above-identified application was made or authorized to be made by me.

I believe that I am the original inventor or an original joint inventor of a claimed invention in the application.

I hereby acknowledge that any willful false statement made in this declaration is punishable under 18 U.S.C. § 1001 by fine or imprisonment of not more than five (5) years, or both.

ASSIGNMENT

In consideration of the sum of One Dollar ($1.00) or equivalent and other good and valuable consideration paid to each of the below named inventors, each of the below named inventors, hereby sell and assign to **Yangtze Memory Technologies Co., Ltd.**, a corporation formed under the laws of China, whose mailing address is 18 Gaoxin 4th Road, East Lake High-Tech Development Zone, Wuhan, Hubei, China (hereafter referred to as the Assignee), his/her entire right, title and interest, including the right to sue for past infringement and to collect for all past, present and future damages, for the United States of America (as defined in 35 U.S.C. § 100) and throughout the world,

(a) in the invention(s) known as **JOINT OPENNING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME** for which application(s) for patent in the United States of America is identified above, in any and all applications thereon, in any and all Letters Patent(s) therefor, and

(b) in any and all applications that claim the benefit of the patent application identified above in part (a), including non-provisional applications, continuing (continuation, divisional, or continuation-in-part) applications, reissues, extensions, renewals and reexaminations of the patent application or Letters Patent therefor listed above in part (a), to the full extent of the term or terms for which Letters Patents issue, and

(c) in any and all inventions described in the patent application identified above in part (a), and in any and all forms of intellectual and industrial property protection derivable from such patent application, and that are derivable from any and all continuing applications, reissues, extensions, renewals and reexaminations of such patent application, including, without limitation, patents, applications, utility models, inventor's certificates, and designs together with the right to file applications therefor; and including the right to claim the same priority rights from any previously filed applications under the International Agreement for the Protection of Industrial Property, or any other international agreement, or the domestic laws of the country in which any such application is filed, as may be applicable;

all such rights, title and interest to be held and enjoyed by the above-named Assignee, its successors, legal representatives and assigns to the same extent as all such rights, title and interest would have been held and enjoyed by the Assignor had this assignment and sale not been made.

The below named inventors agree to execute all papers necessary in connection with the application(s) and any non-provisional, continuing (continuation, divisional, or continuation-in-part), reissue, reexamination or corresponding application(s) thereof and also to execute separate assignments in connection with such application(s) as the Assignee may deem necessary or expedient.

The below named inventors agree to execute all papers necessary in connection with any patent enforcement action (judicial or otherwise) related to the application(s) or any non-provisional, continuing (continuation, divisional, or continuation-in-part), reissue or reexamination application(s) thereof and to cooperate with the Assignee in every way possible in obtaining evidence and going forward with such patent enforcement action.

The below named inventors hereby represent that he/she has full right to convey the entire interest herein assigned, and that he/she has not executed, and will not execute, any agreement in conflict therewith.

The below named inventors hereby represent that he/she understands that the patent practitioners associated with **CUSTOMER NUMBER 26111** are the legal representatives of, and attorneys for, the assignee, and are NOT the legal representatives of, and attorneys for, the inventors.

Micron Ex. 1002, p. 211
Micron v. YMTC
IPR2025-00245

IN WITNESS WHEREOF, executed by the below named inventors on the date opposite his/her name.

LEGAL NAME OF INVENTOR

Inventor: **Zhenyu LU** Date: 2018.9.12.

Signature of Inventor: Zhenyu Lu

LEGAL NAME OF INVENTOR

Inventor: **Wenguang SHI** Date: 10/15/2018

Signature of Inventor:

LEGAL NAME OF INVENTOR

Inventor: **Guanping WU** Date: 2018.9.13

Signature of Inventor:

LEGAL NAME OF INVENTOR

Inventor: **Feng PAN** Date:

Signature of Inventor:

LEGAL NAME OF INVENTOR

Inventor: **Xianjin WAN** Date: 2018.9.13

Signature of Inventor: Xianjin Wan

Micron Ex. 1002, p. 212
Micron v. YMTC
IPR2025-00245

LEGAL NAME OF INVENTOR

Inventor: Baoyou CHEN Date: 2018.9.13

Signature of Inventor: Baoyou CHEN

8846010_1.docx

Micron Ex. 1002, p. 213
Micron v. YMTC
IPR2025-00245

Doc code: Oath
Document Description: Oath or declaration filed

Attorney Docket No. 4123.0110002

PTO/AIA/02 (07-13)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

SUBSTITUTE STATEMENT IN LIEU OF AN OATH OR DECLARATION FOR UTILITY OR DESIGN PATENT APPLICATION (35 U.S.C. 115(d) AND 37 CFR 1.64)

Title of Invention	THROUGH ARRAY CONTACT STRUCTURE OF THREE-DIMENSIONAL MEMORY DEVICE

This statement is directed to:

☐ The attached application,

OR

☒ United States application or PCT international application number 16/046,847 filed on July 26, 2018.

LEGAL NAME of inventor to whom this substitute statement applies:

(*E.g.*, Given Name (first and middle (if any)) and Family Name or Surname)

Feng PAN

Residence (except for a deceased or legally incapacitated inventor):

City	State	Country
Wuhan, Hubei		CN

Mailing Address (except for a deceased or legally incapacitated inventor):

Yangtze Memory Technologies Co., Ltd.
18 Gaoxin 4th Road, East Lake High-Tech Development Zone

City	State	Zip	Country
Wuhan, Hubei			CN

I believe the above-named inventor or joint inventor to be the original inventor or an original joint inventor of a claimed invention in the application.

The above-identified application was made or authorized to be made by me.

I hereby acknowledge that any willful false statement made in this statement is punishable under 18 U.S.C. 1001 by fine or imprisonment of not more than five (5) years, or both.

Relationship to the inventor to whom this substitute statement applies:

- ☐ Legal Representative (for deceased or legally incapacitated inventor only),
- ☐ Assignee,
- ☒ Person to whom the inventor is under an obligation to assign,
- ☐ Person who otherwise shows a sufficient proprietary interest in the matter (petition under 37 CFR 1.46 is required), or
- ☐ Joint Inventor.

This collection of information is required by 35 U.S.C. 115 and 37 CFR 1.63. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 1 minute to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

18B4285-900A46B2-10.18.41.34
32706-14/11/2018 09:24

PTO/SB/AIA02 (07-13)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

SUBSTITUTE STATEMENT

Circumstances permitting execution of this substitute statement:

- ☐ Inventor is deceased,
- ☐ Inventor is under legal incapacity,
- ■ Inventor cannot be found or reached after diligent effort, or
- ☐ Inventor has refused to execute the oath or declaration under 37 CFR 1.63.

If there are joint inventors, please check the appropriate box below:

- ■ An application data sheet under 37 CFR 1.76 (PTO/AIA/14 or equivalent) naming the entire inventive entity has been or is currently submitted.

OR

- ☐ An application data sheet under 37 CFR 1.76 (PTO/AIA/14 or equivalent) has not been submitted. Thus, a Substitute Statement Supplemental Sheet (PTO/AIA/11 or equivalent) naming the entire inventive entity and providing inventor information is attached. See 37 CFR 1.64(b).

WARNING:

Petitioner/applicant is cautioned to avoid submitting personal information in documents filed in a patent application that may contribute to identity theft. Personal information such as social security numbers, bank account numbers, or credit card numbers (other than a check or credit card authorization form PTO-2038 submitted for payment purposes) is never required by the USPTO to support a petition or an application. If this type of personal information is included in documents submitted to the USPTO, petitioners/applicants should consider redacting such personal information from the documents before submitting them to the USPTO. Petitioner/applicant is advised that the record of a patent application is available to the public after publication of the application (unless a non-publication request in compliance with 37 CFR 1.213(a) is made in the application) or issuance of a patent. Furthermore, the record from an abandoned application may also be available to the public if the application is referenced in a published application or an issued patent (see 37 CFR 1.14). Checks and credit card authorization forms PTO-2038 submitted for payment purposes are not retained in the application file and therefore are not publicly available.

PERSON EXECUTING THIS SUBSTITUTE STATEMENT:

Name: Yu-wen Wang | Date (Optional):

Signature: [signature]

APPLICANT NAME AND TITLE OF PERSON EXECUTING THIS SUBSTITUTE STATEMENT:

If the applicant is a juristic entity, list the applicant name and the title of the signer:

Applicant Name: Yangtze Memory Technologies Co., Ltd.

Title of Person Executing This Substitute Statement: Assistant Director

The signer, whose title is supplied above, is authorized to act on behalf of the applicant.

Residence of the signer (unless provided in an application data sheet, PTO/AIA/14 or equivalent):

City Washington | State DC | Country US

Mailing Address of the signer (unless provided in an application data sheet, PTO/AIA/14 or equivalent)

1100 New York Avenue, NW

City Washington | State DC | Zip 20005 | Country US

Note: Use an additional PTO/AIA/02 form for each inventor who is deceased, legally incapacitated, cannot be found or reached after diligent effort, or has refused to execute the oath or declaration under 37 CFR 1.63.

18842S5-000A68P-10.18.41.34
32766-14/11/2018 09:24

Micron Ex. 1002, p. 215
Micron v. YMTC
IPR2025-00245

PTO/AIA/14 (02-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	4123.0110003
	Application Number	
Title of Invention	JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME	

The application data sheet is part of the provisional or nonprovisional application for which it is being submitted. The following form contains the bibliographic data arranged in a format specified by the United States Patent and Trademark Office as outlined in 37 CFR 1.76.
This document may be completed electronically and submitted to the Office in electronic format using the Electronic Filing System (EFS) or the document may be printed and included in a paper filed application.

Secrecy Order 37 CFR 5.2:

☐ Portions or all of the application associated with this Application Data Sheet may fall under a Secrecy Order pursuant to 37 CFR 5.2 (Paper filers only. Applications that fall under Secrecy Order may not be filed electronically.)

Inventor Information:

Inventor 1 Remove

Legal Name

Prefix	Given Name	Middle Name	Family Name	Suffix
	Zhenyu		LU	

Residence Information (Select One) ○ US Residency ◉ Non US Residency ○ Active US Military Service

City	Wuhan, Hubei	Country of Residence [i]	CN

Mailing Address of Inventor:

Address 1	Yangtze Memory Technologies Co., Ltd.
Address 2	No. 88 Weilai 3rd Rd, East Lake High-Tech Dev Zone

City	Wuhan, Hubei	State/Province	
Postal Code		Country [i]	CN

Inventor 2 Remove

Legal Name

Prefix	Given Name	Middle Name	Family Name	Suffix
	Wenguang		SHI	

Residence Information (Select One) ○ US Residency ◉ Non US Residency ○ Active US Military Service

City	Wuhan, Hubei	Country of Residence [i]	CN

Mailing Address of Inventor:

Address 1	Yangtze Memory Technologies Co., Ltd.
Address 2	No. 88 Weilai 3rd Rd, East Lake High-Tech Dev Zone

City	Wuhan, Hubei	State/Province	
Postal Code		Country [i]	CN

Inventor 3 Remove

Legal Name

Micron Ex. 1002, p. 216
Micron v. YMTC
IPR2025-00245

PTO/AIA/14 (02-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	4123.0110003
	Application Number	
Title of Invention	JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME	

Prefix	Given Name	Middle Name	Family Name	Suffix
	Guanping		WU	

Residence Information (Select One) ○ US Residency ◉ Non US Residency ○ Active US Military Service

City	Wuhan, Hubei	Country of Residence [i]	CN

Mailing Address of Inventor:

Address 1	Yangtze Memory Technologies Co., Ltd.		
Address 2	No. 88 Weilai 3rd Rd, East Lake High-Tech Dev Zone		
City	Wuhan, Hubei	State/Province	
Postal Code		Country [i]	CN

Inventor 4 Remove

Legal Name

Prefix	Given Name	Middle Name	Family Name	Suffix
	Feng		PAN	

Residence Information (Select One) ○ US Residency ◉ Non US Residency ○ Active US Military Service

City	Wuhan, Hubei	Country of Residence [i]	CN

Mailing Address of Inventor:

Address 1	Yangtze Memory Technologies Co., Ltd.		
Address 2	No. 88 Weilai 3rd Rd, East Lake High-Tech Dev Zone		
City	Wuhan, Hubei	State/Province	
Postal Code		Country [i]	CN

Inventor 5 Remove

Legal Name

Prefix	Given Name	Middle Name	Family Name	Suffix
	Xianjin		WAN	

Residence Information (Select One) ○ US Residency ◉ Non US Residency ○ Active US Military Service

City	Wuhan, Hubei	Country of Residence [i]	CN

Mailing Address of Inventor:

Address 1	Yangtze Memory Technologies Co., Ltd.		
Address 2	No. 88 Weilai 3rd Rd, East Lake High-Tech Dev Zone		
City	Wuhan, Hubei	State/Province	
Postal Code		Country [i]	CN

Micron Ex. 1002, p. 217
Micron v. YMTC
IPR2025-00245

PTO/AIA/14 (02-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	4123.0110003
	Application Number	
Title of Invention	JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME	

Inventor 6 Remove

Legal Name

Prefix	Given Name	Middle Name	Family Name	Suffix
	Baoyou		CHEN	

Residence Information (Select One) ○ US Residency ◉ Non US Residency ○ Active US Military Service

City	Wuhan, Hubei	Country of Residence [i]	CN

Mailing Address of Inventor:

Address 1	Yangtze Memory Technologies Co., Ltd.
Address 2	No. 88 Weilai 3rd Rd, East Lake High-Tech Dev Zone

City	Wuhan, Hubei	State/Province	
Postal Code		Country [i]	CN

All Inventors Must Be Listed - Additional Inventor Information blocks may be generated within this form by selecting the **Add** button. Add

Correspondence Information:

Enter either Customer Number or complete the Correspondence Information section below.
For further information see 37 CFR 1.33(a).

☐ **An Address is being provided for the correspondence Information of this application.**

Customer Number	26111		
Email Address		Add Email	Remove Email

Application Information:

Title of the Invention	JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME		
Attorney Docket Number	4123.0110003	**Small Entity Status Claimed**	☐
Application Type	Nonprovisional		
Subject Matter	Utility		
Total Number of Drawing Sheets (if any)	120	**Suggested Figure for Publication (if any)**	

Micron Ex. 1002, p. 218
Micron v. YMTC
IPR2025-00245

PTO/AIA/14 (02-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	4123.0110003
	Application Number	
Title of Invention	JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME	

Filing By Reference:

Only complete this section when filing an application by reference under 35 U.S.C. 111(c) and 37 CFR 1.57(a). Do not complete this section if application papers including a specification and any drawings are being filed. Any domestic benefit or foreign priority information must be provided in the appropriate section(s) below (i.e., "Domestic Benefit/National Stage Information" and "Foreign Priority Information").

For the purposes of a filing date under 37 CFR 1.53(b), the description and any drawings of the present application are replaced by this reference to the previously filed application, subject to conditions and requirements of 37 CFR 1.57(a).

Application number of the previously filed application	Filing date (YYYY-MM-DD)	Intellectual Property Authority or Country

Publication Information:

☐ Request Early Publication (Fee required at time of Request 37 CFR 1.219)

☐ **Request Not to Publish.** I hereby request that the attached application not be published under 35 U.S.C. 122(b) and certify that the invention disclosed in the attached application **has not and will not** be the subject of an application filed in another country, or under a multilateral international agreement, that requires publication at eighteen months after filing.

Representative Information:

Representative information should be provided for all practitioners having a power of attorney in the application. Providing this information in the Application Data Sheet does not constitute a power of attorney in the application (see 37 CFR 1.32).
Either enter Customer Number or complete the Representative Name section below. If both sections are completed the customer Number will be used for the Representative Information during processing.

Please Select One:	◉ Customer Number	○ US Patent Practitioner	○ Limited Recognition (37 CFR 11.9)
Customer Number	26111		

Domestic Benefit/National Stage Information:

This section allows for the applicant to either claim benefit under 35 U.S.C. 119(e), 120, 121, 365(c), or 386(c) or indicate National Stage entry from a PCT application. Providing benefit claim information in the Application Data Sheet constitutes the specific reference required by 35 U.S.C. 119(e) or 120, and 37 CFR 1.78.
When referring to the current application, please leave the "Application Number" field blank.

Prior Application Status	Pending		Remove
Application Number	Continuity Type	Prior Application Number	Filing or 371(c) Date (YYYY-MM-DD)
	Continuation of	16046847	2018-07-26

Micron Ex. 1002, p. 219
Micron v. YMTC
IPR2025-00245

PTO/AIA/14 (02-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	4123.0110003
	Application Number	
Title of Invention	JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME	

Prior Application Status	Pending	Remove	
Application Number	Continuity Type	Prior Application Number	Filing or 371(c) Date (YYYY-MM-DD)
16046847	Continuation of	PCT/CN2018/077785	2018-03-01
Additional Domestic Benefit/National Stage Data may be generated within this form by selecting the **Add** button.			

Foreign Priority Information:

This section allows for the applicant to claim priority to a foreign application. Providing this information in the application data sheet constitutes the claim for priority as required by 35 U.S.C. 119(b) and 37 CFR 1.55. When priority is claimed to a foreign application that is eligible for retrieval under the priority document exchange program (PDX)[i] the information will be used by the Office to automatically attempt retrieval pursuant to 37 CFR 1.55(i)(1) and (2). Under the PDX program, applicant bears the ultimate responsibility for ensuring that a copy of the foreign application is received by the Office from the participating foreign intellectual property office, or a certified copy of the foreign priority application is filed, within the time period specified in 37 CFR 1.55(g)(1).

			Remove
Application Number	Country[i]	Filing Date (YYYY-MM-DD)	Access Code[j] (if applicable)
201710134782.1	CN	2017-03-08	
			Remove
Application Number	Country[i]	Filing Date (YYYY-MM-DD)	Access Code[j] (if applicable)
201710134783.6	CN	2017-03-08	
Additional Foreign Priority Data may be generated within this form by selecting the **Add** button.			

Statement under 37 CFR 1.55 or 1.78 for AIA (First Inventor to File) Transition Applications

☐ This application (1) claims priority to or the benefit of an application filed before March 16, 2013 and (2) also contains, or contained at any time, a claim to a claimed invention that has an effective filing date on or after March 16, 2013.
NOTE: By providing this statement under 37 CFR 1.55 or 1.78, this application, with a filing date on or after March 16, 2013, will be examined under the first inventor to file provisions of the AIA.

Micron Ex. 1002, p. 220
Micron v. YMTC
IPR2025-00245

PTO/AIA/14 (02-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	4123.0110003
	Application Number	
Title of Invention	JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME	

Authorization or Opt-Out of Authorization to Permit Access:

When this Application Data Sheet is properly signed and filed with the application, applicant has provided written authority to permit a participating foreign intellectual property (IP) office access to the instant application-as-filed (see paragraph A in subsection 1 below) and the European Patent Office (EPO) access to any search results from the instant application (see paragraph B in subsection 1 below).

Should applicant choose not to provide an authorization identified in subsection 1 below, applicant **must opt-out** of the authorization by checking the corresponding box A or B or both in subsection 2 below.

NOTE: This section of the Application Data Sheet is **ONLY** reviewed and processed with the **INITIAL** filing of an application. After the initial filing of an application, an Application Data Sheet cannot be used to provide or rescind authorization for access by a foreign IP office(s). Instead, Form PTO/SB/39 or PTO/SB/69 must be used as appropriate.

1. Authorization to Permit Access by a Foreign Intellectual Property Office(s)

A. Priority Document Exchange (PDX) - Unless box A in subsection 2 (opt-out of authorization) is checked, the undersigned hereby **grants the USPTO authority** to provide the European Patent Office (EPO), the Japan Patent Office (JPO), the Korean Intellectual Property Office (KIPO), the State Intellectual Property Office of the People's Republic of China (SIPO), the World Intellectual Property Organization (WIPO), and any other foreign intellectual property office participating with the USPTO in a bilateral or multilateral priority document exchange agreement in which a foreign application claiming priority to the instant patent application is filed, access to: (1) the instant patent application-as-filed and its related bibliographic data, (2) any foreign or domestic application to which priority or benefit is claimed by the instant application and its related bibliographic data, and (3) the date of filing of this Authorization. See 37 CFR 1.14(h)(1).

B. Search Results from U.S. Application to EPO - Unless box B in subsection 2 (opt-out of authorization) is checked, the undersigned hereby **grants the USPTO authority** to provide the EPO access to the bibliographic data and search results from the instant patent application when a European patent application claiming priority to the instant patent application is filed. See 37 CFR 1.14(h)(2).

The applicant is reminded that the EPO's Rule 141(1) EPC (European Patent Convention) requires applicants to submit a copy of search results from the instant application without delay in a European patent application that claims priority to the instant application.

2. Opt-Out of Authorizations to Permit Access by a Foreign Intellectual Property Office(s)

☐ A. Applicant **DOES NOT** authorize the USPTO to permit a participating foreign IP office access to the instant application-as-filed. If this box is checked, the USPTO will not be providing a participating foreign IP office with any documents and information identified in subsection 1A above.

☐ B. Applicant **DOES NOT** authorize the USPTO to transmit to the EPO any search results from the instant patent application. If this box is checked, the USPTO will not be providing the EPO with search results from the instant application.

NOTE: Once the application has published or is otherwise publicly available, the USPTO may provide access to the application in accordance with 37 CFR 1.14.

Micron Ex. 1002, p. 221
Micron v. YMTC
IPR2025-00245

PTO/AIA/14 (02-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	4123.0110003
	Application Number	
Title of Invention	JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME	

Applicant Information:

Providing assignment information in this section does not substitute for compliance with any requirement of part 3 of Title 37 of CFR to have an assignment recorded by the Office.

Applicant 1

If the applicant is the inventor (or the remaining joint inventor or inventors under 37 CFR 1.45), this section should not be completed. The information to be provided in this section is the name and address of the legal representative who is the applicant under 37 CFR 1.43; or the name and address of the assignee, person to whom the inventor is under an obligation to assign the invention, or person who otherwise shows sufficient proprietary interest in the matter who is the applicant under 37 CFR 1.46. If the applicant is an applicant under 37 CFR 1.46 (assignee, person to whom the inventor is obligated to assign, or person who otherwise shows sufficient proprietary interest) together with one or more joint inventors, then the joint inventor or inventors who are also the applicant should be identified in this section.

Clear

◉ Assignee	○ Legal Representative under 35 U.S.C. 117	○ Joint Inventor
○ Person to whom the inventor is obligated to assign.	○ Person who shows sufficient proprietary interest	

If applicant is the legal representative, indicate the authority to file the patent application, the inventor is:

Name of the Deceased or Legally Incapacitated Inventor:

If the Applicant is an Organization check here. ☒

Organization Name	Yangtze Memory Technologies Co., Ltd.		
Mailing Address Information For Applicant:			
Address 1	No. 88 Weilai 3rd Road		
Address 2	East Lake High-Tech Development Zone		
City	Wuhan, Hubei	**State/Province**	
Country	CN	Postal Code	
Phone Number		Fax Number	
Email Address			

Additional Applicant Data may be generated within this form by selecting the Add button.

Assignee Information including Non-Applicant Assignee Information:

Providing assignment information in this section does not substitute for compliance with any requirement of part 3 of Title 37 of CFR to have an assignment recorded by the Office.

Micron Ex. 1002, p. 222
Micron v. YMTC
IPR2025-00245

PTO/AIA/14 (02-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	4123.0110003
	Application Number	
Title of Invention	JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME	

Assignee 1

Complete this section if assignee information, including non-applicant assignee information, is desired to be included on the patent application publication. An assignee-applicant identified in the "Applicant Information" section will appear on the patent application publication as an applicant. For an assignee-applicant, complete this section only if identification as an assignee is also desired on the patent application publication.

If the Assignee or Non-Applicant Assignee is an Organization check here. ☒

Organization Name	Yangtze Memory Technologies Co., Ltd.

Mailing Address Information For Assignee including Non-Applicant Assignee:

Address 1	No. 88 Weilai 3rd Road		
Address 2	East Lake High-Tech Development Zone		
City	Wuhan, Hubei	**State/Province**	
Country i	CN	Postal Code	
Phone Number		Fax Number	
Email Address			

Additional Assignee or Non-Applicant Assignee Data may be generated within this form by selecting the Add button.

Signature:

NOTE: This Application Data Sheet must be signed in accordance with 37 CFR 1.33(b). **However, if this Application Data Sheet is submitted with the INITIAL filing of the application and either box A or B is not checked in subsection 2 of the "Authorization or Opt-Out of Authorization to Permit Access" section, then this form must also be signed in accordance with 37 CFR 1.14(c).**

This Application Data Sheet **must** be signed by a patent practitioner if one or more of the applicants is a **juristic entity** (e.g., corporation or association). If the applicant is two or more joint inventors, this form must be signed by a patent practitioner, **all** joint inventors who are the applicant, or one or more joint inventor-applicants who have been given power of attorney (e.g., see USPTO Form PTO/AIA/81) on behalf of **all** joint inventor-applicants.

See 37 CFR 1.4(d) for the manner of making signatures and certifications.

Signature	/Donald J. Featherstone/			Date (YYYY-MM-DD)	2020-11-18
First Name	Donald	Last Name	Featherstone	Registration Number	33,876

Additional Signature may be generated within this form by selecting the Add button.

Micron Ex. 1002, p. 223
Micron v. YMTC
IPR2025-00245

PTO/AIA/14 (02-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	4123.0110003
	Application Number	
Title of Invention	JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME	

This collection of information is required by 37 CFR 1.76. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 23 minutes to complete, including gathering, preparing, and submitting the completed application data sheet form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventors: LU *et al.*	Confirmation No.: To Be Assigned
Applicant: Yangtze Memory Technologies Co., Ltd.	Art Unit: To Be Assigned
Application No.: To Be Assigned *(Continuation of Appl. No. 16/046,847; Filed: July 26, 2018)*	Examiner: To Be Assigned
Filed: Herewith	Atty. Docket: 4123.0110003

Title: **JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME**

Authorization to Treat a Reply as Incorporating an Extension of Time Under 37 C.F.R. § 1.136(a)(3)

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Commissioner:

The U.S. Patent and Trademark Office is hereby authorized to treat any concurrent or future reply that requires a petition for an extension of time under this paragraph for its timely submission, as incorporating a petition for extension of time for the appropriate length of time. The U.S. Patent and Trademark Office is hereby authorized to charge all required extension of time fees to our Deposit Account No. 19-0036, if such fees are not otherwise provided for in such reply.

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Donald J. Featherstone/

Donald J. Featherstone
Attorney for Applicant
Registration No. 33,876

Date: 11/18/2020

1100 New York Avenue, N.W.
Washington, D.C. 20005-3934
(202) 371-2600
15725750_1.docx

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING or 371(c) DATE	GRP ART UNIT	FIL FEE REC'D	ATTY.DOCKET.NO	TOT CLAIMS	IND CLAIMS
16/951,141	11/18/2020	2811	2240	4123.0110003	20	3

CONFIRMATION NO. 3874

26111
STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.
1100 NEW YORK AVENUE, N.W.
WASHINGTON, DC 20005

FILING RECEIPT

OC000000121680844

Date Mailed: 12/01/2020

Receipt is acknowledged of this non-provisional utility patent application. The application will be taken up for examination in due course. Applicant will be notified as to the results of the examination. Any correspondence concerning the application must include the following identification information: the U.S. APPLICATION NUMBER, FILING DATE, NAME OF FIRST INVENTOR, and TITLE OF INVENTION. Fees transmitted by check or draft are subject to collection.

Please verify the accuracy of the data presented on this receipt. If an error is noted on this Filing Receipt, please submit a written request for a corrected Filing Receipt, including a properly marked-up ADS showing the changes with strike-through for deletions and underlining for additions. If you received a "Notice to File Missing Parts" or other Notice requiring a response for this application, please submit any request for correction to this Filing Receipt with your reply to the Notice. When the USPTO processes the reply to the Notice, the USPTO will generate another Filing Receipt incorporating the requested corrections provided that the request is grantable.

Inventor(s)

Zhenyu LU, Wuhan, CHINA;
Wenguang SHI, Wuhan, CHINA;
Guanping WU, Wuhan, CHINA;
Feng PAN, Wuhan, CHINA;
Xianjin WAN, Wuhan, CHINA;
Baoyou CHEN, Wuhan, CHINA;

Applicant(s)

Yangtze Memory Technologies Co., Ltd., Wuhan, CHINA;

Assignment For Published Patent Application

Yangtze Memory Technologies Co., Ltd., Wuhan, CHINA

Power of Attorney: The patent practitioners associated with Customer Number 26111

Domestic Priority data as claimed by applicant

This application is a CON of 16/046,847 07/26/2018
which is a CON of PCT/CN2018/077785 03/01/2018

Foreign Applications (You may be eligible to benefit from the **Patent Prosecution Highway** program at the USPTO. Please see http://www.uspto.gov for more information.)
CHINA 201710134782.1 03/08/2017 No Access Code Provided
CHINA 201710134783.6 03/08/2017 No Access Code Provided

Micron Ex. 1002, p. 226
Micron v. YMTC
IPR2025-00245

Permission to Access Application via Priority Document Exchange: Yes

Permission to Access Search Results: Yes

Applicant may provide or rescind an authorization for access using Form PTO/SB/39 or Form PTO/SB/69 as appropriate.

If Required, Foreign Filing License Granted: 11/30/2020

The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is **US 16/951,141**

Projected Publication Date: 03/11/2021

Non-Publication Request: No

Early Publication Request: No

Title

JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME

Preliminary Class

257

Statement under 37 CFR 1.55 or 1.78 for AIA (First Inventor to File) Transition Applications: No

PROTECTING YOUR INVENTION OUTSIDE THE UNITED STATES

Since the rights granted by a U.S. patent extend only throughout the territory of the United States and have no effect in a foreign country, an inventor who wishes patent protection in another country must apply for a patent in a specific country or in regional patent offices. Applicants may wish to consider the filing of an international application under the Patent Cooperation Treaty (PCT). An international (PCT) application generally has the same effect as a regular national patent application in each PCT-member country. The PCT process **simplifies** the filing of patent applications on the same invention in member countries, but **does not result** in a grant of "an international patent" and does not eliminate the need of applicants to file additional documents and fees in countries where patent protection is desired.

Almost every country has its own patent law, and a person desiring a patent in a particular country must make an application for patent in that country in accordance with its particular laws. Since the laws of many countries differ in various respects from the patent law of the United States, applicants are advised to seek guidance from specific foreign countries to ensure that patent rights are not lost prematurely.

Applicants also are advised that in the case of inventions made in the United States, the Director of the USPTO must issue a license before applicants can apply for a patent in a foreign country. The filing of a U.S. patent application serves as a request for a foreign filing license. The application's filing receipt contains further information and guidance as to the status of applicant's license for foreign filing.

Applicants may wish to consult the USPTO booklet, "General Information Concerning Patents" (specifically, the section entitled "Treaties and Foreign Patents") for more information on timeframes and deadlines for filing foreign patent applications. The guide is available either by contacting the USPTO Contact Center at 800-786-9199, or it can be viewed on the USPTO website at http://www.uspto.gov/web/offices/pac/doc/general/index.html.

Micron Ex. 1002, p. 227
Micron v. YMTC
IPR2025-00245

For information on preventing theft of your intellectual property (patents, trademarks and copyrights), you may wish to consult the U.S. Government website, http://www.stopfakes.gov. Part of a Department of Commerce initiative, this website includes self-help "toolkits" giving innovators guidance on how to protect intellectual property in specific countries such as China, Korea and Mexico. For questions regarding patent enforcement issues, applicants may call the U.S. Government hotline at 1-866-999-HALT (1-866-999-4258).

LICENSE FOR FOREIGN FILING UNDER

Title 35, United States Code, Section 184

Title 37, Code of Federal Regulations, 5.11 & 5.15

GRANTED

The applicant has been granted a license under 35 U.S.C. 184, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" followed by a date appears on this form. Such licenses are issued in all applications where the conditions for issuance of a license have been met, regardless of whether or not a license may be required as set forth in 37 CFR 5.15. The scope and limitations of this license are set forth in 37 CFR 5.15(a) unless an earlier license has been issued under 37 CFR 5.15(b). The license is subject to revocation upon written notification. The date indicated is the effective date of the license, unless an earlier license of similar scope has been granted under 37 CFR 5.13 or 5.14.

This license is to be retained by the licensee and may be used at any time on or after the effective date thereof unless it is revoked. This license is automatically transferred to any related applications(s) filed under 37 CFR 1.53(d). This license is not retroactive.

The grant of a license does not in any way lessen the responsibility of a licensee for the security of the subject matter as imposed by any Government contract or the provisions of existing laws relating to espionage and the national security or the export of technical data. Licensees should apprise themselves of current regulations especially with respect to certain countries, of other agencies, particularly the Office of Defense Trade Controls, Department of State (with respect to Arms, Munitions and Implements of War (22 CFR 121-128)); the Bureau of Industry and Security, Department of Commerce (15 CFR parts 730-774); the Office of Foreign AssetsControl, Department of Treasury (31 CFR Parts 500+) and the Department of Energy.

NOT GRANTED

No license under 35 U.S.C. 184 has been granted at this time, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" DOES NOT appear on this form. Applicant may still petition for a license under 37 CFR 5.12, if a license is desired before the expiration of 6 months from the filing date of the application. If 6 months has lapsed from the filing date of this application and the licensee has not received any indication of a secrecy order under 35 U.S.C. 181, the licensee may foreign file the application pursuant to 37 CFR 5.15(b).

SelectUSA

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation, and commercialization of new technologies. The U.S. offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to promote and facilitate business investment. SelectUSA provides information assistance to the international investor

Micron Ex. 1002, p. 228
Micron v. YMTC
IPR2025-00245

community; serves as an ombudsman for existing and potential investors; advocates on behalf of U.S. cities, states, and regions competing for global investment; and counsels U.S. economic development organizations on investment attraction best practices. To learn more about why the United States is the best country in the world to develop technology, manufacture products, deliver services, and grow your business, visit http://www.SelectUSA.gov or call +1-202-482-6800.

Micron Ex. 1002, p. 229
Micron v. YMTC
IPR2025-00245

PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875

Application or Docket Number: 16/951,141

APPLICATION AS FILED - PART I

FOR	(Column 1) NUMBER FILED	(Column 2) NUMBER EXTRA	SMALL ENTITY RATE($)	SMALL ENTITY FEE($)	OR	OTHER THAN SMALL ENTITY RATE($)	OTHER THAN SMALL ENTITY FEE($)
BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A	320
SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A			N/A	700
EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A	800
TOTAL CLAIMS (37 CFR 1.16(i))	20 minus 20 =	*			OR	x 100 =	0.00
INDEPENDENT CLAIMS (37 CFR 1.16(h))	3 minus 3 =	*				x 480 =	0.00
APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $310 ($155 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).						420
MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))							0.00
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL	2240

APPLICATION AS AMENDED - PART II

		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE($)	SMALL ENTITY ADDITIONAL FEE($)	OR	OTHER THAN SMALL ENTITY RATE($)	OTHER THAN SMALL ENTITY ADDITIONAL FEE($)
AMENDMENT A	Total (37 CFR 1.16(i))	*	Minus	**	=	x =		OR	x =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	x =		OR	x =	
	Application Size Fee (37 CFR 1.16(s))									
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE($)	SMALL ENTITY ADDITIONAL FEE($)	OR	OTHER THAN SMALL ENTITY RATE($)	OTHER THAN SMALL ENTITY ADDITIONAL FEE($)
AMENDMENT B	Total (37 CFR 1.16(i))	*	Minus	**	=	x =		OR	x =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	x =		OR	x =	
	Application Size Fee (37 CFR 1.16(s))									
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".
The "Highest Number Previously Paid For" (Total or Independent) is the highest found in the appropriate box in column 1.

PTO/SB/08a (07-09)
Approved for use through 11/30/2020. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 1

Complete if Known	
Application Number	16/951,141
Filing Date	November 18, 2020
First Named Inventor	Zhenyu LU
Art Unit	2812
Examiner Name	To Be Assigned
Attorney Docket Number	4123.0110003

U. S. PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Document Number Number-Kind Code[2] *(if known)*	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	US1	US- 2013/0109158 A1	05-02-2013	Lee et al.	
	US2	US- 2010/0078622 A1	04-01-2010	Yoshimizu et al.	
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Foreign Patent Document Country Code[3]-Number[4]-Kind Code[5] *(if known)*	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages Or Relevant Figures Appear	T[6]
	FP1	JP 20100080685 A	04-08-2010	TOSHIBA CORP		

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. [1] Applicant's unique citation designation number (optional). [2] See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. [3] Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). [4] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [6] Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2010-80685
(P2010-80685A)
(43)公開日　平成22年4月8日(2010.4.8)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 21/8247	(2006.01)	H01L	27/10	434	5F033
H01L 27/115	(2006.01)	H01L	27/10	451	5F083
H01L 27/10	(2006.01)	H01L	29/78	371	5F101
H01L 29/788	(2006.01)	H01L	45/00	Z	
H01L 29/792	(2006.01)	H01L	49/00	Z	

審査請求 未請求　請求項の数 5　OL　（全 26 頁）　最終頁に続く

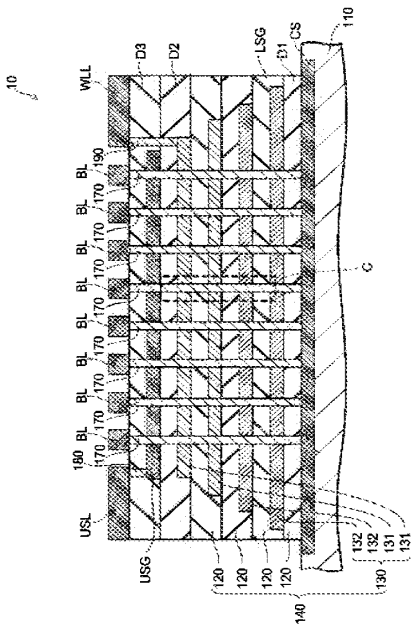
(21)出願番号　特願2008-247549 (P2008-247549)
(22)出願日　平成20年9月26日 (2008.9.26)

(71)出願人　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100108062
弁理士　日向寺　雅彦
(72)発明者　吉水　康人
東京都港区芝浦一丁目１番１号　株式会社東芝内
(72)発明者　中尾　隆
東京都港区芝浦一丁目１番１号　株式会社東芝内
(72)発明者　相宗　史記
東京都港区芝浦一丁目１番１号　株式会社東芝内

最終頁に続く

(54)【発明の名称】不揮発性記憶装置及びその製造方法

(57)【要約】
【課題】多数の積層膜を有する構造においても基板の反りが小さい不揮発性記憶装置及びその製造方法を提供する。
【解決手段】基板と、前記基板の上に交互に積層され、積層方向に貫通する貫通孔が形成されたそれぞれ複数の絶縁膜及び電極膜と、前記貫通孔の内部に形成された半導体ピラーと、少なくとも前記半導体ピラーと前記電極膜との間に設けられた電荷蓄積層と、を備え、前記絶縁膜は、圧縮応力及び引張応力のいずれか一方を発現する膜を含み、前記電極膜は、前記圧縮応力及び引張応力のいずれか他方を発現する膜を含むことを特徴とする不揮発性記憶装置が提供される。
【選択図】図１



Micron Ex. 1002, p. 232
Micron v. YMTC
IPR2025-00245

【特許請求の範囲】
【請求項1】
基板と、
前記基板の上に交互に積層され、積層方向に貫通する貫通孔が形成されたそれぞれ複数の絶縁膜及び電極膜と、
前記貫通孔の内部に形成された半導体ピラーと、
少なくとも前記半導体ピラーと前記電極膜との間に設けられた電荷蓄積層と、
を備え、
前記絶縁膜は、圧縮応力及び引張応力のいずれか一方を発現する膜を含み、
前記電極膜は、前記圧縮応力及び引張応力のいずれか他方を発現する膜を含むことを特徴とする不揮発性記憶装置。
【請求項2】
前記電極膜は、前記いずれか他方を発現する第１電極膜と、前記いずれか一方を発現する第２電極膜と、を含むことを特徴とする請求項１記載の不揮発性記憶装置。
【請求項3】
圧縮応力及び引張応力のいずれか一方を発現する絶縁膜と、いずれか他方を発現する電極膜と、を基板の上に交互に形成し、
前記絶縁膜と前記電極膜とを積層方向に貫通する貫通孔を形成し、
前記貫通孔の内部に設けられた半導体ピラーと、少なくとも前記半導体ピラーと前記電極膜との間に設けられた電荷蓄積層と、を形成することを特徴とする不揮発性記憶装置の製造方法。
【請求項4】
複数の要素メモリ層を積み重ねた不揮発性記憶装置であって、
前記複数の要素メモリ層のそれぞれは、
第１配線と、
前記第１配線に対して非平行に設けられた第２配線と、
前記第１配線と前記第２配線との間に設けられ、記録層と整流素子とを含む積層構造体と、
を有し、
前記整流素子は、
圧縮応力及び引張応力のいずれか一方を発現する第１整流素子膜と、
前記圧縮応力及び引張応力のいずれか他方を発現する第２整流素子膜と、
を含むことを特徴とする不揮発性記憶装置。
【請求項5】
第１配線と、
前記第１配線に対して非平行に設けられた第２配線と、
前記第１配線と前記第２配線との間に設けられ、記録層と整流素子とを含む積層構造体と、
を有する要素メモリ層を複数積み重ねた不揮発性記憶装置の製造方法であって、
前記整流素子の一部となる、圧縮応力及び引張応力のいずれか一方を発現する第１整流素子膜を形成し、
前記整流素子の別の一部となる、前記いずれか他方を発現する第２整流素子膜を形成することを特徴とする不揮発性記憶装置の製造方法。

【発明の詳細な説明】
【技術分野】
【0001】
本発明は、不揮発性記憶装置及びその製造方法に関する。
【背景技術】
【0002】
近年、フラッシュメモリの高密度化を図るために、セルを多層化する技術が開発されて

Micron Ex. 1002, p. 233
Micron v. YMTC
IPR2025-00245

いる。例えば、基板上に絶縁膜と電極膜とを交互に積層した後、一括で貫通孔を形成し、この貫通孔の側面上に電荷を保持する電荷蓄積層を形成し、貫通孔の内部に柱状電極を埋め込む。これにより、各柱状電極と電極膜との交差部分に、メモリセルが３次元的に配列される。そして、最上層の電極膜上に一方向に延びる複数本の選択ゲート線を設け、その上方に他方向に延びる複数本のビット線を設けて柱状電極の上端部に接続することにより、任意の柱状電極が選択可能となる。一方、各電極膜を相互に異なるワード配線に接続することにより、任意の電極膜が選択可能となる。この結果、任意のメモリセルを選択して、データの書き込み、読み出しを行うことができる。

【0003】

一方、相変化メモリや抵抗変化メモリ等の、抵抗材料の可変抵抗状態を利用する不揮発性記憶装置は、高密度、高信頼性の不揮発性記憶装置として期待されている。この場合も、相変化メモリ部や抵抗変化メモリ部は基板の上に多数積層され、高い記憶密度を実現する。

【0004】

このように、セルを多層化した電荷蓄積層型の不揮発性記憶装置や、相変化メモリや抵抗変化メモリにおいては、基板上に多数の膜が積層されるため、基板の片面のみに圧縮応力や引張応力を発現する膜が形成され、基板のひずみが増加し、基板が大きく反る。例えば多結晶シリコンとＴＥＯＳ（Tetra ethyl Ortho Silicate）膜との積層膜を３２層積層すると、基板の反りは、凸方向に２００μｍ以上となる。このような大きな反りは、製造工程における精度を劣化させ、また製造装置の安定した稼働を妨げ、また、ウェーハの割れの原因にもなり大きな問題となる。

【0005】

なお、特許文献１には、ウェーハの反りを低減する技術が公開されている。

【特許文献1】特開２００５－２６４０４号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明は、多数の積層膜を有する構造においても基板の反りが小さい不揮発性記憶装置及びその製造方法を提供する。

【課題を解決するための手段】

【0007】

本発明の一態様によれば、基板と、前記基板の上に交互に積層され、積層方向に貫通する貫通孔が形成されたそれぞれ複数の絶縁膜及び電極膜と、前記貫通孔の内部に形成された半導体ピラーと、少なくとも前記半導体ピラーと前記電極膜との間に設けられた電荷蓄積層と、を備え、前記絶縁膜は、圧縮応力及び引張応力のいずれか一方を発現する膜を含み、前記電極膜は、前記圧縮応力及び引張応力のいずれか他方を発現する膜を含むことを特徴とする不揮発性記憶装置が提供される。

【0008】

本発明の別の一態様によれば、圧縮応力及び引張応力のいずれか一方を発現する絶縁膜と、いずれか他方を発現する電極膜と、を基板の上に交互に形成し、前記絶縁膜と前記電極膜とを積層方向に貫通する貫通孔を形成し、前記貫通孔の内部に設けられた半導体ピラーと、少なくとも前記半導体ピラーと前記電極膜との間に設けられた電荷蓄積層と、を形成することを特徴とする不揮発性記憶装置の製造方法が提供される。

【0009】

本発明の別の一態様によれば、複数の要素メモリ層を積み重ねた不揮発性記憶装置であって、前記複数の要素メモリ層のそれぞれは、第１配線と、前記第１配線に対して非平行に設けられた第２配線と、前記第１配線と前記第２配線との間に設けられ、記録層と整流素子とを含む積層構造体と、を有し、前記整流素子は、圧縮応力及び引張応力のいずれか一方を発現する第１整流素子膜と、前記圧縮応力及び引張応力のいずれか他方を発現する第２整流素子膜と、を含むことを特徴とする不揮発性記憶装置が提供される。

Micron Ex. 1002, p. 234
Micron v. YMTC
IPR2025-00245

【0010】
本発明の別の一態様によれば、第１配線と、前記第１配線に対して非平行に設けられた第２配線と、前記第１配線と前記第２配線との間に設けられ、記録層と整流素子とを含む積層構造体と、を有する要素メモリ層を複数積み重ねた不揮発性記憶装置の製造方法であって、前記整流素子の一部となる、圧縮応力及び引張応力のいずれか一方を発現する第１整流素子膜を形成し、前記整流素子の別の一部となる、前記いずれか他方を発現する第２整流素子膜を形成することを特徴とする不揮発性記憶装置の製造方法が提供される。
【発明の効果】
【0011】
本発明によれば、多数の積層膜を有する構造においても基板の反りが小さい不揮発性記憶装置及びその製造方法が提供される。
【発明を実施するための最良の形態】
【0012】
以下に、本発明の各実施の形態について図面を参照しつつ説明する。
なお、図面は模式的または概念的なものであり、各部分の厚みと幅との関係、部分間の大きさの比係数などは、必ずしも現実のものと同一とは限らない。また、同じ部分を表す場合であっても、図面により互いの寸法や比係数が異なって表される場合もある。
また、本願明細書と各図において、既出の図に関して前述したものと同様の要素には同一の符号を付して詳細な説明は適宜省略する。
【0013】
（第１の実施の形態）
本発明の第１の実施形態に係る不揮発性記憶装置は、絶縁膜と電極膜とを交互に積層し、一括して貫通孔を形成し、この貫通孔の側面に電荷蓄積層が形成される不揮発性記憶装置の例である。
図１は、本発明の第１の実施形態に係る不揮発性記憶装置の構成を例示する模式的断面図である。
図２は、本発明の第１の実施形態に係る不揮発性記憶装置の構成を例示する模式的斜視図である。
図３は、本発明の第１の実施形態に係る不揮発性記憶装置の一部の構成を例示する模式的断面図である。
すなわち、図１は、図２のＡ―Ａ’線断面図である。また、図３は、図１のＣ部を拡大した模式的断面図である。
なお、図２においては、図を見易くするために、導電部分のみを示し、絶縁部分の図示は省略している。また、図１～図３においては、積層数を実際よりも少なく描いている。
【0014】
図１、図２に表したように、本発明の第１の実施形態に係る不揮発性記憶装置１０においては、例えば単結晶シリコンからなる基板１１０が設けられている。基板１１０の上層部分における矩形の領域には、不純物が導入されて半導体領域が形成されており、セルソースＣＳとなっている。基板１１０の上におけるセルソースＣＳの直上域には、例えば酸化シリコン（SiO_2）からなる絶縁層Ｄ１が設けられており、その上には、多結晶シリコンからなる下側選択ゲートＬＳＧが設けられている。
【0015】
下側選択ゲートＬＳＧの上方には、複数の絶縁膜１２０と電極膜１３０とが交互に積層された積層体１４０が形成されている。電極膜１３０はワード線ＷＬとなっており、絶縁膜１２０は、ワード線ＷＬ同士を絶縁する層間絶縁膜となっている。
図１～図３においては、電極膜１３０は、４層描かれているが、本具体例の場合は電極膜１３０の層数は、２０層である。
そして、本実施形態に係る不揮発性記憶装置１０においては、電極膜１３０は、例えば、第１電極膜１３１と第２電極膜１３２とを有している。具体的には、１層目～１２層目の電極膜１３０は、第２電極膜１３２であり、１３層目～２０層目の電極膜１３０は、第

Micron Ex. 1002, p. 235
Micron v. YMTC
IPR2025-00245

１電極膜１３１である。そして、第２電極膜１３２には、圧縮性の応力を発現する多結晶シリコン（ポリシリコン、ｐ－Ｓｉ）が用いられ、第１電極膜１３１には、引張性の応力を発現する非晶質シリコン（アモルファスシリコン、ａ－Ｓｉ）が用いられる。

【0016】

一方、絶縁膜１２０は、電極膜１３０の総数に対応するだけ設けられる。そして、本実施形態に係る不揮発性記憶装置１０においては、絶縁膜１２０には、例えば、圧縮性の応力を発現するＴＥＯＳ（Tetra ethyl Ortho Silicate）を用いることができる。

【0017】

以下、本明細書においては、説明の便宜上、ＸＹＺ直交座標系を導入する。この座標系においては、基板１１０の上面に平行な方向であって相互に直交する２方向をＸ方向及びＹ方向とし、Ｘ方向及びＹ方向の双方に対して直交する方向、すなわち、絶縁膜１２０及び電極膜１３０の積層方向をＺ方向とする。

【0018】

なお、電極膜１３０は、上層に配置された電極膜１３０ほどＸ方向における長さが短くなっており、上方（＋Ｚ方向）から見て、各電極膜１３０は、それより下方に配置された電極膜１３０、下側選択ゲートＬＳＧ及びセルソースＣＳの内側に配置されている。電極膜１３０から見て±Ｘ方向及び±Ｙ方向の領域には、絶縁層（図示せず）が設けられている。また、積層体１４０は、Ｙ方向に沿って複数個設けられている。

【0019】

そして、積層体１４０の上には絶縁層Ｄ２が設けられており、その上には、例えば多結晶シリコンからなる上側選択ゲートＵＳＧが設けられており、その上には、絶縁層Ｄ３が設けられている。上側選択ゲートＵＳＧは、例えば多結晶シリコンからなる１枚の導電膜がＹ方向に沿って分断されて形成されたものであり、Ｘ方向に延びる複数本の配線状の導電部材となっている。これに対して、ワード線ＷＬ及び下側選択ゲートＬＳＧは、積層体１４０ごとに形成されており、それぞれがＸＹ平面に平行な１枚の板状の導電部材となっている。また、セルソースＣＳも分断されておらず、複数の積層体１４０の直下域をつなぐように、ＸＹ平面を構成する１枚の板状の導電部材となっている。

【0020】

積層体１４０を構成する各絶縁膜１２０及び各電極膜１３０には、積層方向（Ｚ方向）に延びる複数本の半導体ピラー１７０が埋設されている。各半導体ピラー１７０は積層体１４０の全体を貫いており、その直径は例えば９０ｎｍである。また、例えば、半導体ピラー１７０は、Ｘ方向及びＹ方向に沿ってマトリクス状に配列されており、Ｘ方向及びＹ方向のそれぞれにおいて、半導体ピラー１７０の配列周期は一定である。

【0021】

半導体ピラー１７０は、不純物がドープされた半導体、例えば、多結晶シリコンまたは非晶質シリコンによって形成されている。

また、図３に表したように、半導体ピラー１７０と、絶縁膜１２０及び電極膜１３０との間の円筒状の部分には、外側、すなわち、絶縁膜１２０及び電極膜１３０側から順に、第１絶縁層２５０、電荷蓄積層２６０、第２絶縁層２７０がこの順に積層されている。第１絶縁層２５０及び第２絶縁層２７０には、例えば酸化シリコン（SiO_2）を用いることができ、電荷蓄積層２６０には、例えば窒化シリコン（ＳｉＮ）を用いることができる。

【0022】

そして、半導体ピラー１７０が、ソース領域、チャネル領域、及び、ドレイン領域として機能し、ワード線ＷＬがコントロールゲートとして機能し、電荷蓄積層２６０が記憶層として機能することにより、ＮＡＮＤ型フラッシュメモリが構成されて、これがメモリセルとなる。これにより、１本の半導体ピラー１７０及びその周囲には、ワード線ＷＬと同数のメモリセルがＺ方向に一列に配列され、１本のメモリストリングが構成されている。また、不揮発性記憶装置１０においては、複数本の半導体ピラー１７０がＸ方向及びＹ方向に沿ってマトリクス状に配列されているため、複数のメモリセルが、Ｘ方向、Ｙ方向、

Micron Ex. 1002, p. 236
Micron v. YMTC
IPR2025-00245

Ｚ方向に沿って、３次元格子状に配列されている。

【0023】

なお、半導体ピラー１７０の直下には、図示しない下側柱状電極が設けられ、その下側柱状電極は、絶縁層Ｄ１及び下側選択ゲートＬＳＧを貫通しており、その下端はセルソースＣＳに接続され、その上端は半導体ピラー１７０に接続されている。下側柱状電極と絶縁層Ｄ１及び下側選択ゲートＬＳＧとの間には、図示しないゲート絶縁膜が設けられる。

【0024】

一方、半導体ピラー１７０の直上には、図示しない上側柱状電極が設けられ、その上側柱状電極は、絶縁層Ｄ２、上側選択ゲートＵＳＧ、絶縁層Ｄ３を貫通しており、その下端は半導体ピラー１７０に接続されている。上側柱状電極と、絶縁層Ｄ２、上側選択ゲートＵＳＧ及び絶縁層Ｄ３との間には、図示しないゲート絶縁膜が設けられる。

下側柱状電極及び上側柱状電極には、不純物がドープされた半導体、例えば、多結晶シリコンまたは非晶質シリコンを用いることができる。

【0025】

各下側柱状電極、各半導体ピラー１７０及び各上側柱状電極は一体的に連結されており、これにより、１本の柱状の半導体部材が構成されている。そして、上述の如く、上側柱状電極は、上側選択ゲートＵＳＧを貫通し、半導体ピラー１７０は複数のワード線ＷＬを貫通し、下側柱状電極は、下側選択ゲートＬＳＧを貫通している。

【0026】

また、絶縁層Ｄ３上であって上側選択ゲートＵＳＧが配置されている領域の直上域には、Ｙ方向に延びる複数本のビット配線ＢＬが設けられている。ビット配線ＢＬには、金属、例えば、タングステン（Ｗ）、アルミニウム（Ａｌ）及び銅（Ｃｕ）等を用いることができる。なお、本明細書において「金属」というときは、純金属の他に合金も含むものとする。

ビット配線ＢＬは、半導体ピラー１７０の直上域に設けられており、各ビット配線ＢＬは、Ｙ方向に沿って配列された各列の上側柱状電極の上端部に接続されている。これにより、半導体ピラー１７０は、Ｙ方向に延びる列ごとに、異なるビット配線ＢＬに接続されている。ビット配線ＢＬは、Ｙ方向に配列された複数の積層体１４０の直上域を通過するように連続的に配設されており、各積層体１４０の半導体ピラー１７０に共通接続されている。

【0027】

さらに、ビット配線ＢＬが配置されている領域の－Ｘ方向側には、Ｘ方向に延びる複数本の上側選択ゲート配線ＵＳＬが設けられている。上側選択ゲート配線ＵＳＬには、金属、例えば、タングステン、アルミニウム及び銅等を用いることができる。上側選択ゲート配線ＵＳＬの本数は、上側選択ゲートＵＳＧの本数と同じであり、各上側選択ゲート配線ＵＳＬが各ビア１８０を介して各上側選択ゲートＵＳＧに接続されている。

【0028】

また、ビット配線ＢＬが配置されている領域の＋Ｘ方向側には、１つの積層体１４０ごとに、Ｘ方向に延びる複数本のワード配線ＷＬＬ、Ｘ方向に延びる１本の下側選択ゲート配線ＬＳＬ、及びＸ方向に延びる１本のセルソース配線ＣＳＬが設けられている。ワード配線ＷＬＬ、下側選択ゲート配線ＬＳＬ、及びセルソース配線ＣＳＬには、金属、例えば、タングステン、アルミニウム及び銅を用いることができる。

１つの積層体１４０に対応するワード配線ＷＬＬの本数は、ワード線ＷＬの枚数と同じであり、各ワード配線ＷＬＬがビア１９０を介して各ワード線ＷＬに接続されている。また、下側選択ゲート配線ＬＳＬはビア２００を介して下側選択ゲートＬＳＧに接続されており、セルソース配線ＣＳＬはコンタクト２１０を介してセルソースＣＳに接続されている。ビア１９０、２００及びコンタクト２１０は、それらが接続される電極膜１３０の直上域であって、それより上層の電極膜１３０から見て＋Ｘ方向側に外れた領域に形成されている。

【0029】

Micron Ex. 1002, p. 237
Micron v. YMTC
IPR2025-00245

ビット配線ＢＬ、上側選択ゲート配線ＵＳＬ、ワード配線ＷＬＬ、下側選択ゲート配線ＬＳＬ及びセルソース配線ＣＳＬは、例えば、高さ方向（Ｚ方向）の位置、厚さ、材料が同一であり、例えば、１枚の金属膜がパターニングされて形成されることができる。各配線間は、層間絶縁膜（図示せず）によって絶縁されている。

【0030】

なお、不揮発性記憶装置１０においては、ビット配線ＢＬを介して上側柱状電極の上端部に電位を印加するドライバ回路、セルソース配線ＣＳＬ、コンタクト２１０及びセルソースＣＳを介して下側柱状電極の下端部に電位を印加するドライバ回路、上側選択ゲート配線ＵＳＬ及びビア１８０を介して上側選択ゲートＵＳＧに電位を印加するドライバ回路、下側選択ゲート配線ＬＳＬ及びビア２００を介して下側選択ゲートＬＳＧに電位を印加するドライバ回路、ワード配線ＷＬＬ及びビア１９０を介して各ワード線ＷＬに電位を印加するドライバ回路（いずれも図示せず）が設けられる。

【0031】

本実施形態に係る不揮発性記憶装置１０は、既に説明したように、電荷蓄積層２６０を記憶層とする不揮発性記憶装置であり、各メモリセルに対応する電極膜１３０が絶縁膜１２０を介して、基板１１０の上に、複数層積層されている。そして、本具体例においては、１層目～１２層目の電極膜１３０である第２電極膜１３２に、圧縮性の応力を発現する多結晶シリコンｐ－Ｓｉが用いられ、１３層目～２０層目の電極膜１３０の第１電極膜１３１に、引張性の応力を発現するａ－Ｓｉが用いられ、絶縁膜１２０には、圧縮性の応力を発現するＴＥＯＳが用いられているので、電極膜１３０と絶縁膜１２０を多数積層しても、電極膜１３０と絶縁膜１２０の互いの応力が相殺され、基板１１０が大きく反ることを回避できる。

【0032】

図４は、本発明の第１の実施形態に係る不揮発性記憶装置の特性を例示するグラフ図である。

すなわち、同図は、半導体基板の上に、ｐ－Ｓｉ膜（第２電極膜１３２）とＴＥＯＳ膜（絶縁膜１２０）とを交互に積層した後、ａ－Ｓｉ膜（第１電極膜１３１）とＴＥＯＳ膜（絶縁膜１２０）とを交互に積層したときの、基板の反りの変化の実験結果を例示しており、横軸は、電極膜の層数であり、縦軸は基板の反り量である。なお、この実験では、基板として直径が３００ｍｍで厚さが７５０μｍの半導体ウェーハを用い、この上に、ｐ－Ｓｉ膜とＴＥＯＳ膜と交互に１２回積層して成膜した後、ａ－Ｓｉ膜とＴＥＯＳ膜を交互に、累計１３回目～累計３２回目の積層成膜が行われている。

【0033】

図４に表したように、ｐ－Ｓｉ膜とＴＥＯＳ膜とを交互に積層する、１層目～１２層目においては、積層する層数が増えるに従って圧縮方向の反り（ここでは「負の反り」とする。）が大きくなっている。そして、１３層目以降の成膜においては、電極膜１３０として第１電極膜１３１のａ－Ｓｉ膜を用いており、積層する層数が増えるに従って引張方向の反り（ここでは「正の反り」とする。）が大きくなっている。そして、累計で約２０層目のとき、反りはほぼ零となり、それ以上の数の層を積層すると正の反りが大きくなっている。

【0034】

このように、ｐ－Ｓｉ膜とＴＥＯＳ膜とを交互に積層した場合には、圧縮の反り（負の反り）が発生し、積層の層数と供に負の方向に反りが拡大する。一方、ａ－Ｓｉ膜とＴＥＯＳ膜とを交互に積層した場合には、引張の反り（正の反り）が発生し、積層の層数と供に正の方向の反りが拡大する。

【0035】

本実施形態に係る不揮発性記憶装置１０においては、電極膜１３０の数は２０であり、ちょうど反りが一番小さくなるように設定されている。すなわち、この時の反りは、約１０μｍである。

【0036】

Micron Ex. 1002, p. 238
Micron v. YMTC
IPR2025-00245

このように、本実施形態に係る不揮発性記憶装置１０においては、反りを縮小した不揮発性記憶装置が提供できる。

【0037】

（第１の比較例）

図５は、第１の比較例の不揮発性記憶装置の特性を例示するグラフ図である。

すなわち、第１の比較例の不揮発性記憶装置９１においては、電極膜１３０としてｐ－Ｓｉ膜を用い、絶縁膜１２０としてＴＥＯＳ膜を用い、これらを交互に積層した構造を有する。これ以外は、第１の実施形態に係る不揮発性記憶装置１０と同様である。

【0038】

図５に表したように、第１の比較例の不揮発性記憶装置９１の場合、全ての電極膜１３０としてｐ－Ｓｉ膜が用いられているので、電極膜１３０と絶縁膜１２０との積層の層数が増えるに従って、ほぼ一次関数的に基板の反りは増大している。そして、電極膜１３０の数が２０の時には、約７０μｍの反りとなっている。このように、第１の比較例の不揮発性記憶装置９１では、基板の反りが大きい。

【0039】

これに対して、図４に例示したように、本実施形態に係る不揮発性記憶装置１０においては、反りは１０μｍと、第１の比較例の不揮発性記憶装置９１の１／７となっている。このように、本実施形態に係る不揮発性記憶装置１０においては、電極膜１３０として、引張性の応力を発現するａ－Ｓｉ膜と、圧縮性の応力を発現するｐ－Ｓｉ膜とを組み合わせることで基板の反りを縮小した不揮発性記憶装置が得られる。

【0040】

図６は、本発明の第１の実施形態に係る別の不揮発性記憶装置の特性を例示するグラフ図である。

すなわち、同図は、半導体基板の上に、ａ－Ｓｉ膜（第１電極膜１３１）とＴＥＯＳ膜（絶縁膜１２０）とを交互に積層した後、ｐ－Ｓｉ膜（第２電極膜１３２）とＴＥＯＳ膜（絶縁膜１２０）とを交互に積層したときの、基板の反りの変化の実験結果を例示しており、横軸は、電極膜の層数であり、縦軸は基板の反り量である。なお、この実験においても、基板として直径が３００ｍｍで厚さが７５０μｍの半導体ウェーハを用いている。そして、この上に、ａ－Ｓｉ膜とＴＥＯＳ膜と交互に１２回積層して成膜した後、ｐ－Ｓｉ膜とＴＥＯＳ膜を交互に、累計１３回目～累計３２回目の積層成膜が行われている。

そして、本実施形態に係る別の不揮発性記憶装置１１においては、電極膜１３０は、３２層積層される構造である。

【0041】

図６に表したように、ａ－Ｓｉ膜とＴＥＯＳ膜とを交互に積層する、１層目～１２層目においては、積層する層数が増えるに従って引張方向の反り（正の反り）が大きくなっている。そして、１３層目以降の成膜においては、電極膜１３０として第２電極膜１３２のｐ－Ｓｉ膜を用いており、積層する層数が増えるに従って圧縮方向の反り（負の反り）が大きくなり、反りの絶対値は例に近づいている。そして、累計で３２層目のとき、反りは比較的小さくなり約３０μｍである。

【0042】

このように、本実施形態に係る別の不揮発性記憶装置１１においては、電極膜１３０の積層数３２のときに反りが小さくなるように設定されている。

このように、本実施形態に係る別の不揮発性記憶装置１１においては、反りを縮小した不揮発性記憶装置が提供できる。

【0043】

（第２の比較例）

図７は、第２の比較例の不揮発性記憶装置の特性を例示するグラフ図である。

すなわち、第２の比較例の不揮発性記憶装置９２においては、電極膜１３０としてａ－Ｓｉ膜を用い、絶縁膜１２０としてＴＥＯＳ膜を用い、これらを交互に積層した構造を有する。これ以外は、第１の実施形態に係る別の不揮発性記憶装置１１と同様である。

Micron Ex. 1002, p. 239
Micron v. YMTC
IPR2025-00245

【0044】
図７に表したように、第２の比較例の不揮発性記憶装置９２の場合、全ての電極膜１３０としてａ－Ｓｉ膜が用いられているので、電極膜１３０と絶縁膜１２０との積層の層数が増えるに従って、ほぼ直線的に基板の反りは正の方向に増大している。そして、電極膜１３０の数が３２の時には、約２５０μｍの反りとなっている。このように、第２の比較例の不揮発性記憶装置９２では、基板の反りが大きい。
【0045】
これに対して、図６に例示したように、本実施形態に係る別の不揮発性記憶装置１１においては、反りは３０μｍと、第２の比較例の不揮発性記憶装置９２の１／８となっている。このように、本実施形態に係る別の不揮発性記憶装置１１においては、電極膜１３０として、圧縮性の応力を発現するｐ－Ｓｉ膜と、引張性の応力を発現するａ－Ｓｉ膜とを組み合わせることで基板の反りを縮小した不揮発性記憶装置が得られる。
【0046】
図８は、本発明の第１の実施形態に係る別の不揮発性記憶装置の特性を例示するグラフ図である。
すなわち、同図は、半導体基板の上に、ａ－Ｓｉ膜（第１電極膜１３１）とＴＥＯＳ膜（絶縁膜１２０）とを交互に積層した後、ｐ－Ｓｉ膜（第２電極膜１３２）とＴＥＯＳ膜（絶縁膜１２０）とを交互に積層し、さらにその後、ａ－Ｓｉ膜（第１電極膜１３１）とＴＥＯＳ膜（絶縁膜１２０）とを交互に積層したときの、基板の反りの変化の実験結果を例示している。そして、横軸は、電極膜の層数であり、縦軸は基板の反り量を表している。
なお、この実験では、基板として直径が３００ｍｍで厚さが７５０μｍの半導体ウェーハを用い、この上に、１層目～１２層目ではａ－Ｓｉ膜とＴＥＯＳ膜とが交互に成膜され、その後、累計１３層目～５６層目ではｐ－Ｓｉ膜とＴＥＯＳ膜とが交互に積層して成膜され、その後、累計５７層目～６４層目ではａ－Ｓｉ膜とＴＥＯＳ膜とが積層して成膜されている。
そして、本実施形態に係る別の不揮発性記憶装置１２においては、電極膜１３０は、６４層積層される構造である。
【0047】
図８に表したように、ａ－Ｓｉ膜とＴＥＯＳ膜とを交互に積層する、１層目～１２層目においては、積層する層数が増えるに従って引張方向の反り（正の反り）が大きくなっている。そして、累計１３層目～累計５６層目においては、電極膜１３０として第１電極膜１３１のｐ－Ｓｉ膜を用いており、積層する層数が増えるに従って圧縮方向の反り（負の反り）が大きくなっている。そして、５７層目～６４層目においては再びａ－Ｓｉ膜とＴＥＯＳ膜とを交互に積層しており、再び、積層する層数が増えるに従って引張方向の反り（正の反り）が大きくなっている。そして、層数が６４の時に、反りは比較的小さく、約－１０μｍである。
【0048】
このように、本実施形態に係る別の不揮発性記憶装置１２においては、電極膜１３０の積層数が６４と大きくても反りを縮小した不揮発性記憶装置が実現できる。
そして、不揮発性記憶装置１２のように、ａ－Ｓｉ膜とＴＯＥＳ膜とを交互に積層する構造と、ｐ－Ｓｉ膜とを交互に積層する構造とを、複数回繰り返すことができる。これにより、電極膜１３０の所望の層数において、反りを縮小した不揮発性記憶装置が得られる。
【0049】
図８に例示した本具体例の不揮発性記憶装置１２においては、例えば反りの許容最大値（絶対値）が１００μｍ以下である場合が想定されている。このため、反りの絶対値が１００μｍを超えないように、１層目～１２層目にａ－Ｓｉ膜とＴＥＯＳ膜との積層膜を用い、１３層目～５６層目をｐ－Ｓｉ膜とＴＥＯＳ膜との積層膜を用い、５７層目～６４層目に再びａ－Ｓｉ膜とＴＥＯＳ膜との積層膜を用い、すなわち、ａ－Ｓｉ膜とｐ－Ｓｉ膜

Micron Ex. 1002, p. 240
Micron v. YMTC
IPR2025-00245

との切り替えを２回とした。これにより、工程途中の最大の反り（絶対値）を、１００μｍ以下としている。

【0050】

ただし、本発明はこれに限らず、例えば、反りの許容最大値（絶対値）が１５０μｍ以下の場合は、例えば１層目～１６層目にａ－Ｓｉ膜とＴＥＯＳ膜との積層膜を用い、１７層目～６４層目をｐ－Ｓｉ膜とＴＥＯＳ膜との積層膜を用いても良い。この場合も、６４層目で反りを比較的小さく抑えながら、工程途中の最大の反り（絶対値）を、１５０μｍ以下とすることができる。

逆に、反りの許容最大値（絶対値）が１００μｍよりも小さい場合は、ａ－Ｓｉ膜及びＴＥＯＳ膜の積層膜と、ｐ－Ｓｉ膜及びＴＥＯＳ膜の積層膜と、の切り替えの回数をより多くすることで、工程途中の最大の反り（絶対値）を、小さくできる。このように、本実施形態に係る不揮発性記憶装置においては、ａ－Ｓｉ膜及びＴＥＯＳ膜の積層膜と、ｐ－Ｓｉ膜及びＴＥＯＳ膜の積層膜と、の切り替えは、必要とされる反りの許容最大値（絶対値）によって適切に定められる。

【0051】

さらに、電極膜１３０に用いられるａ－Ｓｉ膜とｐ－Ｓｉ膜の１層あたりの反りの量は、成膜条件や、それぞれの膜の厚さによっても変動するので、ａ－Ｓｉ膜とｐ－Ｓｉ膜の成膜条件や膜厚などによる１層あたりの反りの量に基づいて、ａ－Ｓｉ膜及びＴＥＯＳ膜の積層膜と、ｐ－Ｓｉ膜及びＴＥＯＳ膜の積層膜と、の切り替えを適切に行うことができる。

【0052】

また、電極膜１３０と積層される絶縁膜１２０に用いられるＴＥＯＳ膜の１層あたりの反りの量は、その成膜条件や、膜の厚さによっても変動するので、ＴＥＯＳ膜の成膜条件や膜厚などによる１層あたりの反りの量に基づいて、ａ－Ｓｉ膜及びＴＥＯＳ膜の積層膜と、ｐ－Ｓｉ膜及びＴＥＯＳ膜の積層膜と、の切り替えを適切に行うことができる。

【0053】

なお、本実施形態に係る不揮発性記憶装置においては、メモリセルに対応して、電極膜１３０と絶縁膜１２０とが多数積層される構造を有するが、これ以外にも、例えば図１、図２に例示したように、各種の膜が基板１１０の上に設けられる。この時、メモリセルに対応する電極膜１３０と絶縁膜１２０との積層膜と、それ以外の膜とを含めて、反りが所望の許容値にないに収まるように、電極膜１３０と絶縁膜１２０の種類と、電極膜１３０と絶縁膜１２０の数を定めることができる。これにより、メモリセルに対応する電極膜１３０と絶縁膜１２０との積層膜だけでなく、それ以外の膜とを含めた総合的に反りが小さい不揮発性記憶装置を提供することができる。

【0054】

なお、本実施形態に係る不揮発性記憶装置において、上記のｐ－Ｓｉ膜の代わりに、例えば、圧縮性の応力を発現するＧｅを用いることもできる。この場合も上記と同様の効果によって、多数の積層膜を有する構造においても基板の反りを低減できる。

【0055】

本実施形態に係る不揮発性記憶装置においては、メモリセルに対応する電極膜１３０と、それぞれの電極膜１３０を相互に絶縁する絶縁膜１２０が多数積層される構造において、反りを低減することができれば良いので、絶縁膜１２０が発現する応力と異なる種類の応力を発現する膜を、電極膜１３０が含んでいれば良い。

そして、電極膜１３０と絶縁膜１２０との組み合わせが、積層される層数において、反りが低減されるように設定されれば良い。

【0056】

例えば、絶縁膜１２０は、圧縮応力及び引張応力のいずれか一方を発現する膜を含むことができる。この時、電極膜１３０は、前記いずれかの他方を有する膜を含むことができる。

すなわち、絶縁膜１２０が、圧縮応力を発現する膜を含むとき、電極膜１３０は、引張

Micron Ex. 1002, p. 241
Micron v. YMTC
IPR2025-00245

応力を発現する膜を含むことができる。
　また、絶縁膜１２０が、引張応力を発現する膜を含むとき、電極膜１３０は、圧縮応力を発現する膜を含むことができる。
【0057】
　上記で説明したＴＥＯＳ膜は圧縮応力を発現する膜である。従って、電極膜１３０には引張応力を発現する膜としてのａ－Ｓｉ膜を含むことができる。
【0058】
　この時、例えば、ａ－Ｓｉ膜の１層あたりの応力の絶対値と、ＴＥＯＳ膜の１層あたりの応力の絶対値の差が比較的小さい場合は、ａ－Ｓｉ膜とＴＥＯＳ膜とを繰り返して積層することで、両者の応力が補償され、相殺されて、反りは小さくできる。
【0059】
　引張応力や圧縮応力を発現する膜として例えば窒化シリコンが挙げられる。この時、プラズマ条件等の成膜条件によって、引張性または圧縮性のいずれかに変化させることができ、また、その応力の大きさも制御することができる。
　また、例えば、ａ－ＳｉとＰ－Ｓｉの応力差は、膜中の水素原子の量で支配され、例えば、成膜時の条件によって水素原子の量を制御することによって、両者の応力の差を制御することができる。
　また、窒化シリコンや酸化シリコンなどを含め、各種の膜において、それに含まれる不純物の種類やその濃度、水分などによって応力の種類やその大きさが変化する。
【0060】
　このように、上記の具体例は一例であり、本発明においては、用いる材料だけでなく成膜時の条件や含まれる不純物などに基づいて発現される引張性及び圧縮性の膜の組み合わせを用いて、多数の積層膜を有する構造においても基板の反りを縮小させる。
【0061】
　図９は、本発明の第１の実施形態に係る別の不揮発性記憶装置の構成を例示する模式的断面図である。
　図１０は、本発明の第１の実施形態に係る別の不揮発性記憶装置の構成を例示する模式的斜視図である。
　すなわち、図９は、図２のＡ－Ａ’線断面に相当する断面図である。また、図１０は、図９のＣ部を拡大した模式的断面図である。
　図９に表したように、本実施形態に係る不揮発性記憶装置１３においては、電極膜１３０が１種類、すなわち、第１電極膜１３１と第２電極膜１３２の２種ではなく、１種類の電極膜が用いられている。これ以外は、既に説明した不揮発性記憶装置１０と同様なので説明を省略する。
【0062】
　図９、図１０に例示した本実施形態に係る別の不揮発性記憶装置１３では、絶縁膜１２０は圧縮性の応力を発現するＴＥＯＳ膜であり、一方、電極膜１３０には引張性の応力を発現する導電膜が用いられている。そして、本具体例の場合は、絶縁膜１２０に用いるＴＥＯＳ膜の１層あたりの圧縮応力の絶対値と、電極膜１３０に用いる導電膜の１層あたりの引張応力の絶対値とが略同一となっている。すなわち、積層される、電極膜１３０と絶縁膜１２０とが、方向が逆向きで、絶対値がほぼ等しい応力を発現するように設定されている。これにより、電極膜１３０と絶縁膜１２０とを多数積層した場合においても、反りは小さく抑えられる。
【0063】
　このように、本実施形態に係る不揮発性記憶装置１３においても、電極膜１３０と絶縁膜１２とが、方向が逆向きで、絶対値がほぼ等しい応力を発現するように設定されているので、電極膜１３０と絶縁膜１２０とを多数積層した場合においても、反りを縮小した不揮発性記憶装置が得られる。
【0064】
　この時、例えば、電極膜１３０（例えばａ－Ｓｉ膜）の１層あたりの応力の絶対値と、

Micron Ex. 1002, p. 242
Micron v. YMTC
IPR2025-00245

絶縁膜１２０（例えばＴＥＯＳ膜）の１層あたりの応力の絶対値が異なる場合には、電極膜１３０と絶縁膜１２０とを単純に繰り返して積層した場合には、両者の絶対値の差分の応力が蓄積され、積層膜の層数に伴って反りが拡大してしまう。

【0065】

この時、上記の不揮発性記憶装置１０、１１、１２で説明したように、圧縮性の応力を発現するｐ－Ｓｉ層とＴＥＯＳ膜との積層構造を適宜挿入することで、ａ－Ｓｉ膜とＴＥＯＳ膜との応力の絶対値の差分の応力の蓄積が解消される。

【0066】

すなわち、電極膜１３０は、圧縮応力及び引張応力のいずれか他方の応力を発現する第１電極膜１３１と、前記少なくとも一方の応力を発現する第２電極膜１３２と、を含むことができる。

すなわち、絶縁膜１２０が、圧縮応力を発現する膜を含むとき、電極膜１３０は、引張応力を発現する第１電極膜１３１と、圧縮応力を発現する第２電極膜１３２と、を含むことができる。

また、絶縁膜１２０が、引張応力を発現する膜を含むとき、電極膜１３０は、圧縮応力を発現する第１電極膜１３１と、引張応力を発現する第２電極膜１３２と、を含むことができる。

【0067】

すなわち、上記で説明した絶縁膜１２０に用いられるＴＥＯＳ膜は圧縮応力を発現する膜であり、この時は、電極膜１３０は、引張応力を発現する第１電極膜１３１（ａ－Ｓｉ膜）と、圧縮応力を発現する第２電極膜１３２（ｐ－Ｓｉ膜）と、を含むことができる。

そして、既に説明した本実施形態に係る不揮発性記憶装置１０、１１、１２のように、第１電極膜１３１（ａ－Ｓｉ膜）と第２電極膜１３２（ｐ－Ｓｉ膜）のそれぞれの数を、積層される層数の時に反りが小さくなるように適切に選択する。これにより反りを縮小した不揮発性記憶装置が得られる。

【0068】

なお、上記において、電極膜１３０として、第１電極膜１３１と、第１電極膜１３１と逆方向の応力を発現する第２電極膜１３２の２種を用いる例を説明したが、本発明はこれに限らず、第１電極膜１３１は、複数の応力の絶対値を有する複数の膜を含むことができる。さらに、第２電極膜１３２は、複数の応力の絶対値を有する複数の膜を含むことができる。

【0069】

すなわち、例えば、図４に例示した具体例において、１３層目～３２層目は、ａ－Ｓｉ膜であり、第１電極膜１３１であるが、図４に表したように、１３層目～１６層目における層数に対する基板の反りの傾きは、１７層目～３２層目の傾きと異なっている。すなわち、１３層目～１６層目のａ－Ｓｉ膜（第１電極膜１３１）と、１７層目～３２層目のａ－Ｓｉ膜（第１電極膜１３１）と、では、応力の絶対値が異なっている。このように、第１電極膜１３１と、第２電極膜１３２と、は、複数の応力の絶対値を有する複数の膜を含むことができる。

【0070】

換言すれば、本実施形態に係る不揮発性記憶装置において、電極膜１３０は、第１電極膜１３１と、第１電極膜１３１と逆方向の応力を発現する第２電極膜１３２と、に加えて、第１電極膜１３１と同じ方向または逆方向の応力を発現する第３導電膜を有しても良い。

【0071】

なお、上記の本実施形態に係る不揮発性記憶装置において、電極膜１３０として、ａ－Ｓｉ膜とｐ－Ｓｉ膜とを混在させて用いた場合、両者の比抵抗の差異によって、不揮発性記憶装置が正常に動作しなくなる、または、正常に動作する設計及び製造条件の範囲が狭まることがある。これに対しては、例えば、ａ－Ｓｉ膜とｐ－Ｓｉ膜のそれぞれにおける不純物の種類や濃度などを適切に制御することによって、ａ－Ｓｉ膜とｐ－Ｓｉ膜との比

Micron Ex. 1002, p. 243
Micron v. YMTC
IPR2025-00245

抵抗の差異を実用的な許容範囲内に納めることができる。これにより、この問題が解決できる。

【0072】

このように、第１電極膜１３１と第２電極膜１３２との比抵抗は、略同一とすることができる。これにより、本実施形態に係る不揮発性記憶装置において、正常に動作する設計及び製造条件の範囲を適正にすることができる。

【0073】

（第２の実施の形態）

本発明の第２の実施形態に係る不揮発性記憶装置の製造方法は、基板と、前記基板上に交互に積層され、積層方向に貫通する貫通孔が形成されたそれぞれ複数の絶縁膜及び電極膜と、前記貫通孔の内部に形成された半導体ピラーと、少なくとも前記半導体ピラーと前記電極膜との間に設けられた電荷蓄積層と、を備えた不揮発性記憶装置の製造方法である。そして、本実施形態に係る不揮発性記憶装置の製造方法は、上記の絶縁膜と電極膜の製造方法に特徴があるので、絶縁膜と電極膜の製造方法について説明する。

【0074】

図１１は、本発明の第２の実施形態に係る不揮発性記憶装置の製造方法を例示するフローチャート図である。

図１１に表したように、本発明の第２の実施形態に係る不揮発性記憶装置の製造方法においては、まず、圧縮応力及び引張応力のいずれか一方を発現する絶縁膜を形成する（ステップＳ１１０）。例えば、既に説明したように、絶縁膜１２０となるＴＥＯＳ膜を形成する。この時、圧縮応力を発現する膜が形成できる。

【0075】

そして、前記いずれか他方の応力を発現する電極膜を形成する（ステップＳ１２０）。例えば、絶縁膜１２０として、圧縮応力を発現するＴＥＯＳ膜を形成した場合は、電極膜１３０として引張応力を発現するａ－Ｓｉ膜を形成する。

【0076】

そして、上記のステップＳ１１０とステップＳ１２０とを、層数が所定の数に達するまで繰り返す（ステップＳ１３０）。

【0077】

これにより、絶縁膜１２０と電極膜１３０のそれぞれの応力を補償し、多数の積層膜を有する構造においても基板の反りが小さい不揮発性記憶装置の製造方法が提供できる。

【0078】

図１２は、本発明の第２の実施形態に係る別の不揮発性記憶装置の製造方法を例示するフローチャート図である。

図１２に表したように、本発明の第２の実施形態に係る別の不揮発性記憶装置においては、まず、圧縮応力及び引張応力のいずれか一方を発現する絶縁膜を形成する（ステップＳ１１０）。例えば、既に説明したように、絶縁膜１２０となるＴＥＯＳ膜を形成する。この時、圧縮応力を発現する膜が形成できる。

【0079】

そして、前記いずれか他方の応力を発現する第１電極膜１３１を形成する（ステップＳ１２０）。例えば、絶縁膜１２０として、圧縮応力を発現するＴＥＯＳ膜を形成した場合は、第１電極膜１３１として引張応力を発現するａ－Ｓｉ膜を形成する。

【0080】

そして、上記のステップＳ１１０とステップＳ１２０とを、層数が所定の数に達するまで繰り返す（ステップＳ１３０）。

【0081】

さらに、圧縮応力及び引張応力のいずれか一方を発現する絶縁膜を形成する（ステップＳ１１１）。すなわち、例えば、絶縁膜１２０として圧縮応力を発現するＴＥＯＳ膜を形成する。

【0082】

Micron Ex. 1002, p. 244
Micron v. YMTC
IPR2025-00245

そして、前記いずれか一方の応力を発現する第２電極膜１３２を形成する（ステップＳ１２１）。例えば、第２電極膜１３２として圧縮応力を発現するｐ－Ｓｉ膜を形成する。

【0083】

そして、上記のステップＳ１１１とステップＳ１２１とを、層数が所定の数に達するまで繰り返す（ステップＳ１３１）。

【0084】

これにより、絶縁膜１２０と第１電極膜１３１とに、応力の絶対値に差異がある場合に、第１電極膜１３１と逆方向の応力を発現する第２電極膜１３２を積層することで、この応力の絶対値の差異が縮小できる。

【0085】

このように、本実施形態に係る不揮発性記憶装置の製造方法によれば、絶縁膜１２０と、電極膜１３０（第１電極膜１３１及び第２電極膜１３２）の応力を補償し、多数の積層膜を有する構造においても基板の反りが小さい不揮発性記憶装置の製造方法が提供できる。

【0086】

なお、上記のステップＳ１１０～ステップＳ１３０を含むステップＳ１０１と、上記のステップＳ１１１～ステップＳ１３１を含むステップＳ１０２と、は、順序を入れ替えても良い。また、ステップＳ１０１とステップＳ１０２とをそれぞれ複数回実施しても良い。

【0087】

図１３は、本発明の第２の実施形態に係る別の不揮発性記憶装置の製造方法を例示するフローチャート図である。

図１３に表したように、本発明の第２の実施形態に係る別の不揮発性記憶装置においては、まず、圧縮応力及び引張応力のいずれか一方を発現する絶縁膜を形成する（ステップＳ１１０）。例えば、既に説明したように、絶縁膜１２０となるＴＥＯＳ膜を形成する。この時、圧縮応力を発現する膜が形成できる。

【0088】

そして、前記いずれか他方を発現する第１電極膜１３１を形成する（ステップＳ１２０）。例えば、絶縁膜１２０として、圧縮応力を発現するＴＥＯＳ膜を形成した場合は、第１電極膜１３１として引張応力を発現するａ－Ｓｉ膜を形成する。

【0089】

そして、前記のいずれかの一方を発現する絶縁膜を形成する（ステップＳ１１２）。すなわち、絶縁膜１２０となるＴＥＯＳ膜を形成する。

【0090】

そして、前記いずれかの一方を発現する第２電極膜１３２を形成する（ステップＳ１２１）。例えば、第２電極膜１３２として圧縮応力を発現するｐ－Ｓｉ膜を形成する。

【0091】

そして、上記のステップＳ１１０～ステップＳ１２１を、層数が所定の数に達するまで繰り返す（ステップＳ１３２）。

【0092】

すなわち、図１３に例示した不揮発性記憶装置の製造装置では、互いに逆方向の応力を発現する、第１電極膜１３１と第２電極膜１３２とが、絶縁膜１２０を介して、交互に積層される。

【0093】

この場合も、絶縁膜１２０と、電極膜１３０（第１電極膜１３１及び第２電極膜１３２）の応力を補償することができ、多数の積層膜を有する構造においても基板の反りが小さい不揮発性記憶装置の製造方法が提供できる。

【0094】

なお、図１２に例示した不揮発性記憶装置の製造方法と、図１３に例示した不揮発性記憶装置の製造方法とを組み合わせて実施することもできる。

Micron Ex. 1002, p. 245
Micron v. YMTC
IPR2025-00245

【0095】
（第３の実施の形態）
本発明の第３の実施形態に係る不揮発性記憶装置は、例えば抵抗変化膜からなる記録層と整流素子とが一対の電極に挟まれた構造を、積層してなる不揮発性記憶装置の例である。
図１４は、本発明の第３の実施形態に係る不揮発性記憶装置の構成を例示する模式図である。
すなわち、同図（ａ）は模式的斜視図であり、同図（ｂ）は同図（ａ）のＡ－Ａ’線断面図であり、同図（ｃ）は、同図（ａ）のＢ－Ｂ’線断面図である。
図１５は、本発明の第３の実施形態に係る不揮発性記憶装置の一部の構成を例示する模式的斜視図である。
すなわち、図１５は、不揮発性記憶装置の１つの要素メモリ層を例示している。
【0096】
図１４に表したように、本発明の第３の実施形態に係る不揮発性記憶装置３０は、第１配線５０と、第１配線５０に対して非平行に設けられた第２配線８０と、第１配線５０と第２配線８０との間に設けられ、記録層６０と整流素子７０とを含む積層構造体６５と、を有する要素メモリ層６６を複数積み重ねた構造を有する。
【0097】
例えば、不揮発性記憶装置３０の一番下の要素メモリ層６６において、第１配線５０は、ワード線ＷＬ１１、ＷＬ１２、ＷＬ１３であり、第２配線８０は、ビット線ＢＬ１１、ＢＬ１２、ＢＬ１３である。また、下から２番目の要素メモリ層６６においては、第１配線５０は、ワード線ＷＬ２１、ＷＬ２２、ＷＬ２３であり、第２配線８０は、ビット線ＢＬ１１、ＢＬ１２、ＢＬ１３である。さらに、下から３番目の要素メモリ層６６においては、第１配線５０は、ワード線ＷＬ２１、ＷＬ２２、ＷＬ２３であり、第２配線８０は、ビット線ＢＬ２１、ＢＬ２２、ＢＬ２３である。さらに、一番上（下から４番目）の要素メモリ層６６においては、第１配線５０は、ワード線ＷＬ３１、ＷＬ３２、ＷＬ３３であり、第２配線８０は、ビット線ＢＬ２１、ＢＬ２２、ＢＬ２３である。
【0098】
不揮発性記憶装置３０の場合は、要素メモリ層６６が４層積み重ねられているが、本実施形態に係る不揮発性記憶装置において、要素メモリ層６６の積層数は任意である。
なお、このような不揮発性記憶装置は半導体基板の上に設けることができ、その時、要素メモリ層６６の各層は、半導体基板の主面と平行に配置することができる。すなわち、要素メモリ層は、半導体基板の主面に平行に複数積層される。
【0099】
また、図１４においては、煩雑さを避けるために、各要素メモリ層６６における第１配線５０（ワード線）及び第２配線８０（ビット線）は、３本ずつ例示しているが、本実施形態に係る不揮発性記憶装置３０において、第１配線５０及び第２配線８０の数は、任意であり、また、第１配線５０の数と第２配線８０の数とが異なっていても良い。
【0100】
そして、隣接する要素メモリ層６６において、第１配線５０（ワード線）及び第２配線（ビット配線）は、兼用されている。
すなわち、図１４（ｂ）、（ｃ）に表したように、ワード線ＷＬ２１、ＷＬ２２、ＷＬ２３は上下の要素メモリ層で兼用され、また、ビット線ＢＬ１１、ＢＬ１２、ＢＬ１３及びビット線ＢＬ２１、ＢＬ２２、ＢＬ２３は、上下の要素メモリ層で兼用されている。ただし、本発明はこれに限らず、積層されたそれぞれの要素メモリ層６６において、ワード線とビット線とをそれぞれ独立して設けても良い。なお、各要素メモリ層６６においてワード線とビット線とをそれぞれ独立して設けた場合、ワード線の延在方向とビット線の延在方向とは、要素メモリ層６６のそれぞれにおいて変えても良い。
【0101】
また、ここでは、第１配線５０をワード線とし、第２配線８０をビット線としたが、第

Micron Ex. 1002, p. 246
Micron v. YMTC
IPR2025-00245

１配線５０をビット線とし、第２配線８０をワード線としても良い。すなわち、以下説明する実施形態に係る不揮発性記憶装置及びその製造方法において、ビット線とワード線とは相互に入れ替え可能である。以下では、第１配線５０がワード線であり、第２配線８０がビット線である場合として説明する。

【0102】

そして、図１４（ｂ）、（ｃ）に表したように、要素メモリ層６６のそれぞれにおいて、記録層６０と整流素子７０とを含む積層構造体６５が、第１配線５０と第２配線８０とが３次元的に交差する部分（クロスポイント）に設けられており、不揮発性記憶装置３０は、いわゆるクロスポイント型の不揮発性記憶装置である。そして、各クロスポイントにおける記録層６０が１つの記憶単位となり、この記録層６０を含む積層構造体６５が１つのセルとなる。

なお、後述するように、記録層６０の例えば両側または片側に電極（第１導電層及び第２導電層）が設けられ、記録部となるが、図１４では、これらの電極は省略され、記録層６０のみを例示している。

【0103】

なお、図１４（ｂ）、（ｃ）に表した例では、第１配線５０側に整流素子７０が設けられ、第２配線側に記録層６０（及び後述する記録部）が設けられているが、第１配線５０側に記録層６０を設け、第２配線８０側に整流素子７０を設けて良い。さらに、各要素メモリ層６６ごとに、第１配線５０及び第２配線８０に対する整流素子７０及び記録層６０の積層順を変えても良く、このように、整流素子７０及び記録層６０の積層順は、任意である。

【0104】

また、図１５に表したように、記録層６０は、第１バリアメタル６１と、記録部６３と、第２バリアメタル６２と、を有することができる。なお、上記の第１、第２バリアメタル６１、６２は必要に応じて設けられる。また、例えば、記録部６３が相変化型素子の場合は、第１、第２バリアメタル６１、６２の少なくともいずれかが、ヒータを兼用することもできる。

【0105】

記録層６０の記録部６３は、両端に印加された電圧により、その抵抗状態が変わる抵抗変化材料を用いることができる。すなわち、記録部６３は、例えば、NbO_x、Ｃｒドープ$SrTiO_{3-x}$、$Pr_xCa_yMnO_z$、ZrO_x、NiO_x、ＴｉドープNiO_x、ZnO_x、TiO_x、TiO_xN_y、CuO_x、GdO_x、$CuTe_x$、HfO_x、$ZnMn_xO_y$、及び$ZnFe_xO_y$、からなる群から選ばれた少なくとも１つを含むことができる。さらには、上記の材料を２つ以上混合した材料を含むことができる。さらには、これらの材料からなる層を複数積層した構造を用いることができる。

【0106】

さらに、記録層６０の記録部６３は、印加された電圧で発生するジュール熱によりその抵抗状態が変わる例えばカルコゲナイド系の相変化材料を用いることができる。すなわち、記録部６３は、例えば、カルコゲナイド系のＧＳＴ（$Ge_xSb_yTe_z$）、ＧＳＴにドーピングを施したＮドープトＧＳＴ、Ｏドープト ＧＳＴ、Ge_xSb_y、及び、$In_xGe_yTe_z$からなる群から選択された少なくとも１つを含むことができる。さらに、これらの材料からなる層を複数積層した構造を用いることができる。

【0107】

一方、整流素子７０は、第１半導体層７１（第１整流素子膜）と、第２半導体層７２（第２整流素子膜）と、を有する。第１半導体層７１には、例えば、p^+型のｐ－Ｓｉ膜を用いることができ、また、第２半導体層７２には、例えば、n^+型のａ－Ｓｉ膜を用いることができる。

なお、第１半導体層７１と、第２半導体層７２と、の間に第３半導体層７３を設けることができ、第３半導体層７３は、例えば、真性（Intrinsic）半導体を用いることができる。すなわち、整流素子７０として、ｐｉｎダイオードが用いられている。

Micron Ex. 1002, p. 247
Micron v. YMTC
IPR2025-00245

【0108】
このような構成を有する、本実施形態に係る不揮発性記憶装置３０においては、各要素メモリ層６６が多数積層され、すなわち、積層構造体６５の一部である整流素子７０が多数積層される。
この時、本実施形態に係る不揮発性記憶装置３０においては、整流素子７０のｐｉｎダイオードとなる、第１半導体層７１に圧縮性のｐ－Ｓｉ膜を用い、第２半導体層７２に引張性のａ－Ｓｉ膜を用いることで、各要素メモリ層６６が多数積層された構造においても基板の反りが小さい不揮発性記憶装置が提供できる。
【0109】
すなわち、もし、整流素子７０のｐｉｎダイオードとなる、第１半導体層７１と第２半導体層７２の両方に、ｐ－Ｓｉ膜だけを用いると、ｐ－Ｓｉ膜が有する圧縮性の応力が蓄積され、積層数の増大と伴に、基板の反りが圧縮方向に大きくなってしまう。また、第１半導体層７１と第２半導体層７２の両方に、ａ－Ｓｉ膜だけを用いると、ａ－Ｓｉ膜が有する引張性の応力が蓄積され、積層数の増大と伴に、基板の反りが引張方向に大きくなってしまう。
【0110】
これに対して、本実施形態に係る不揮発性記憶装置３０においては、第１半導体層７１に圧縮性のｐ－Ｓｉ膜を用い、第２半導体層７２に引張性のａ－Ｓｉ膜を用いることで、ｐ－Ｓｉ膜とａ－Ｓｉ膜の互いの応力を相殺することができ、基板の反りを小さくできる。
【0111】
なお、上記において、第１半導体層７１に引張性のａ－Ｓｉ膜を用い、第２半導体層７２に圧縮性のｐ－Ｓｉ膜を用いても良い。
【0112】
また、整流素子７０が第３半導体層７３を有する場合は、第３半導体層７３には、圧縮性または引張性の膜を用いることができ、この時、第１半導体層７１と第２半導体層７２との差分の応力を相殺するような方向の応力を発現する膜を用いることができる。これにより、第１半導体層７１と第２半導体層７２とで、応力の絶対値に差があった場合に、この差をさらに縮小することができ、さらに反りを小さくできる。
【0113】
また、上記の具体例では、一例として、第１半導体層７１に、ｐ$^+$型のｐ－Ｓｉ膜を用い、第２半導体層７２に、ｎ$^+$型のａ－Ｓｉ膜を用いる例を説明したが、半導体層の導電型は任意であり、また、含有させる不純物の種類も任意である。すなわち、整流素子７０において、第１半導体層７１に圧縮応力を発現する膜が用いられ、第２半導体層７２に引張応力を発現する膜が用いられ、または、第１半導体層７１に引張応力を発現する膜が用いられ、第２半導体層７２に圧縮応力を発現する膜が用いられれば良い。なお、積層される要素メモリ層６６ごとに、第１半導体層７１と第２半導体層７２とに用いられる膜の圧縮または引張の応力が変わっても良い。
【0114】
また、整流素子７０は、ＰＩＮ構造を有することが、動作の安定上、より望ましい。この場合には、例えば、ｐ型半導体層及び真性半導体層を圧縮性とし、ｎ型半導体層を引張性とすることができる。または、上記の組み合わせの逆とすることができる。または、ｐ型半導体層を圧縮性とし、真性半導体層及びｎ型半導体層を引張性とすることができる。または、上記の組み合わせの逆とすることができる。
【0115】
本実施形態に係る不揮発性記憶装置３０においては、整流素子７０は、圧縮応力及び引張応力のいずれか一方を発現する第１整流素子膜（第１半導体層７１）と、前記いずれか他方を発現する第２整流素子膜（第２半導体層７２）と、を有する。
【0116】
これにより、各要素メモリ層６６が多数積層された構造においても基板の反りが小さい

Micron Ex. 1002, p. 248
Micron v. YMTC
IPR2025-00245

不揮発性記憶装置が提供できる。

【0117】

（第４の実施の形態）

本発明の第４の実施形態に係る不揮発性記憶装置の製造方法は、第１配線５０と、第１配線５０に対して非平行に設けられた第２配線８０と、第１配線５０と第２配線８０との間に設けられ、記録層６０と整流素子７０とを含む積層構造体６５と、を有する要素メモリ層６６を複数積み重ねた不揮発性記憶装置の製造方法である。そして、本実施形態に係る不揮発性記憶装置の製造方法は、上記の整流素子７０の形成方法に特徴があるので、まず整流素子７０の形成方法について説明する。

【0118】

図１６は、本発明の第４の実施形態に係る不揮発性記憶装置の製造方法を例示するフローチャート図である。

図１６に表したように、本発明の第４の実施形態に係る不揮発性記憶装置の製造方法においては、まず、整流素子７０の一部となる、圧縮応力及び引張応力のいずれか一方を発現する第１整流素子膜を形成する（ステップＳ２３０）。例えば、既に説明したように、第１整流素子膜（第１半導体層７１）として、例えば、圧縮応力を発現するｐ＋型のｐ－Ｓｉ膜を成膜する。

【0119】

そして、整流素子７０の別の一部となる、前記いずれか他方を発現する第２整流素子膜を形成する（ステップＳ２４０）。例えば、第２整流素子膜（第２半導体層７２）として、引張応力を発現するｎ＋型のａ－Ｓｉ膜を成膜する。

【0120】

そして、これらステップＳ２３０及びステップＳ２４０が、要素メモリ層６６の所定の層数に達するまで、第１整流素子膜と第２整流素子膜の加工工程を含めて繰り返される。これにより、第１整流素子膜と第２整流素子膜の応力が補償され、反りが軽減される。

【0121】

このように、本実施形態に係る不揮発性記憶装置の製造方法によれば、要素メモリ層６６が多数積層された構造においても基板の反りが小さい不揮発性記憶装置が提供できる。

なお、上記において、ステップＳ２３０とステップＳ２４０の順序は任意である。

【0122】

さらに、第１整流素子膜と第２整流素子膜とは、記録層６０と伴に加工されても良い。さらに、第１整流素子膜と第２整流素子膜とは、第１配線５０と第２配線８０のいずれかと伴に加工されても良い。以下、一例を説明する。

【0123】

図１７は、本発明の第４の実施形態に係る別の不揮発性記憶装置の製造方法を例示するフローチャート図である。

図１７に表したように、本発明の第４の実施形態に係る別の不揮発性記憶装置の製造方法においては、まず、半導体基板上に、第１配線５０となる第１導電膜を形成する（ステップＳ２１０）。

そして、記録層６０となる記録層膜を形成する（ステップＳ２２０）。

【0124】

そして、整流素子７０の一部となる、圧縮応力及び引張応力のいずれか一方を発現する第１整流素子膜を形成する（ステップＳ２３０）。例えば、第１整流素子膜（第１半導体層７１）として、例えば、圧縮応力を発現するｐ＋型のｐ－Ｓｉ膜を成膜する。

【0125】

そして、整流素子７０の別の一部となる、前記いずれか他方を発現する第２整流素子膜を形成する（ステップＳ２４０）。例えば、第２整流素子膜（第２半導体層７２）として、引張応力を発現するｎ＋型のａ－Ｓｉ膜を成膜する。

【0126】

そして、第２配線８０となる第２導電膜を形成する（ステップＳ２５０）。

Micron Ex. 1002, p. 249
Micron v. YMTC
IPR2025-00245

そして、上記の第１導電膜及び上記の第２導電膜のいずれかと、上記の記録層膜と、上記の第１整流素子膜と、上記の第２整流素子膜と、を加工する（ステップＳ２６０）。

そして、上記のステップＳ２１０～Ｓ２６０を繰り返す。

【0127】

すなわち、本発明の第４の実施形態に係る別の不揮発性記憶装置の製造方法は、第１配線と、前記第１配線に対して非平行に設けられた第２配線と、前記第１配線と前記第２配線との間に設けられ、記録層と整流素子とを含む積層構造体と、を有する要素メモリ層を複数積み重ねた不揮発性記憶装置の製造方法であって、半導体基板上に前記第１配線となる第１導電膜を形成し、前記記録層となる記録層膜を形成し、前記整流素子の一部となる、圧縮応力及び引張応力のいずれか一方を有する第１整流素子膜を形成し、前記整流素子の別の一部となる、前記いずれか他方を発現する第２整流素子膜を形成し、前記第２配線となる第２導電膜を形成し、前記第１導電膜及び前記第２導電膜のいずれかと、前記記録層膜と、前記第１整流素子膜と、前記第２整流素子膜と、を加工することを特徴とする不揮発性記憶装置の製造方法である。

【0128】

なお、上記において、ステップＳ２５０とステップＳ２６０の間に、別の要素メモリ層６６を形成するための工程として、例えば、ステップＳ２２０とステップＳ２３０とステップＳ２４０と、を実施することが可能である。

【0129】

これにより、第１整流素子膜と第２整流素子膜の応力が補償され、反りが軽減される。

このように、本実施形態に係る不揮発性記憶装置の製造方法によれば、要素メモリ層６６が多数積層された構造においても基板の反りが小さい不揮発性記憶装置が提供できる。

なお、上記において、ステップＳ２２０と、ステップＳ２３０及びステップＳ２４０と、の順番は任意である。そして、その順番は、要素メモリ層６６のそれぞれで変えても良い。

【0130】

以上、具体例を参照しつつ、本発明の実施の形態について説明した。しかし、本発明は、これらの具体例に限定されるものではない。例えば、不揮発性記憶装置及びその製造方法を構成する各要素の具体的な構成に関しては、当業者が公知の範囲から適宜選択することにより本発明を同様に実施し、同様の効果を得ることができる限り、本発明の範囲に包含される。

また、各具体例のいずれか２つ以上の要素を技術的に可能な範囲で組み合わせたものも、本発明の要旨を包含する限り本発明の範囲に含まれる。

【0131】

その他、本発明の実施の形態として上述した不揮発性記憶装置及びその製造方法を基にして、当業者が適宜設計変更して実施し得る全ての不揮発性記憶装置及びその製造方法も、本発明の要旨を包含する限り、本発明の範囲に属する。

【0132】

その他、本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。

【図面の簡単な説明】

【0133】

【図1】本発明の第１の実施形態に係る不揮発性記憶装置の構成を例示する模式的断面図である。

【図2】本発明の第１の実施形態に係る不揮発性記憶装置の構成を例示する模式的斜視図である。

【図3】本発明の第１の実施形態に係る不揮発性記憶装置の一部の構成を例示する模式的断面図である。

【図4】本発明の第１の実施形態に係る不揮発性記憶装置の特性を例示するグラフ図であ

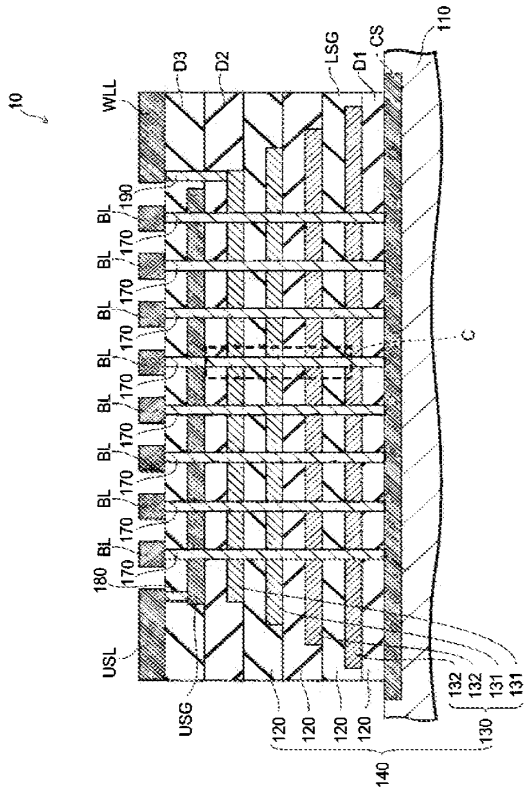
Micron Ex. 1002, p. 250
Micron v. YMTC
IPR2025-00245

る。
【図5】第１の比較例の不揮発性記憶装置の特性を例示するグラフ図である。
【図6】本発明の第１の実施形態に係る別の不揮発性記憶装置の特性を例示するグラフ図である。
【図7】第２比較例の不揮発性記憶装置の特性を例示するグラフ図である。
【図8】本発明の第１の実施形態に係る別の不揮発性記憶装置の特性を例示するグラフ図である。
【図9】本発明の第１の実施形態に係る別の不揮発性記憶装置の構成を例示する模式的断面図である。
【図10】本発明の第１の実施形態に係る別の不揮発性記憶装置の構成を例示する模式的斜視図である。
【図11】本発明の第２の実施形態に係る不揮発性記憶装置の製造方法を例示するフローチャート図である。
【図12】本発明の第２の実施形態に係る別の不揮発性記憶装置の製造方法を例示するフローチャート図である。
【図13】本発明の第２の実施形態に係る別の不揮発性記憶装置の製造方法を例示するフローチャート図である。
【図14】本発明の第３の実施形態に係る不揮発性記憶装置の構成を例示する模式図である。
【図15】本発明の第３の実施形態に係る不揮発性記憶装置の一部の構成を例示する模式的斜視図である。
【図16】本発明の第４の実施形態に係る不揮発性記憶装置の製造方法を例示するフローチャート図である。
【図17】本発明の第４の実施形態に係る別の不揮発性記憶装置の製造方法を例示するフローチャート図である。
【符号の説明】
【0134】
１０、１１、１２、１３、３０、９１、９２　不揮発性記憶装置
５０　第１配線
６０　記録層
６１　第１バリアメタル
６２　第２バリアメタル
６３　記録部
６５　積層構造体
６６　要素メモリ
７０　整流素子
７１　第１半導体層（第１整流素子膜）
７２　第２半導体層（第２整流素子膜）
７３　第３半導体層
８０　第２配線
１１０　基板
１２０　絶縁膜
１３０　電極膜
１３１　第１電極膜
１３２　第２電極膜
１４０　積層体
１７０　半導体ピラー
１８０、１９０、２００　ビア
２１０　コンタクト
２５０　第１絶縁層

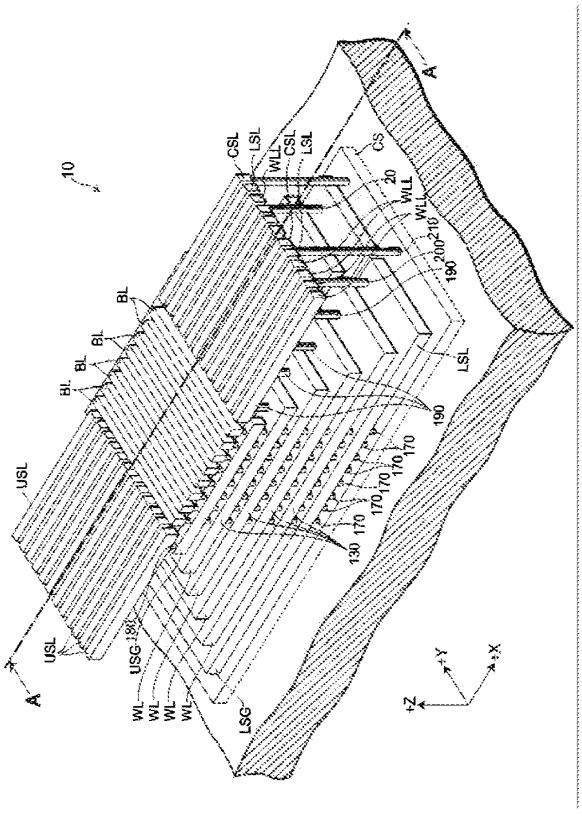
Micron Ex. 1002, p. 251
Micron v. YMTC
IPR2025-00245

２６０　電荷蓄積層
２７０　第２絶縁層
ＢＬ　ビット線（ビット配線）
ＣＳ　セルソース
ＣＳＬ　セルソース配線
Ｄ１、Ｄ２、Ｄ３　絶縁層
ＧＬ、ＧＵ　ゲート絶縁膜
ＬＳＧ　下側選択ゲート
ＬＳＬ　下側選択ゲート配線
ＵＳＧ　上側選択ゲート
ＵＳＬ　上側選択ゲート配線
ＷＬ　ワード線
ＷＬＬ　ワード配線

【図1】

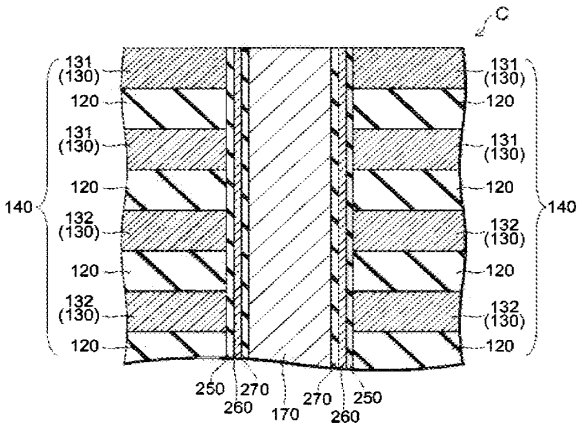


【図2】

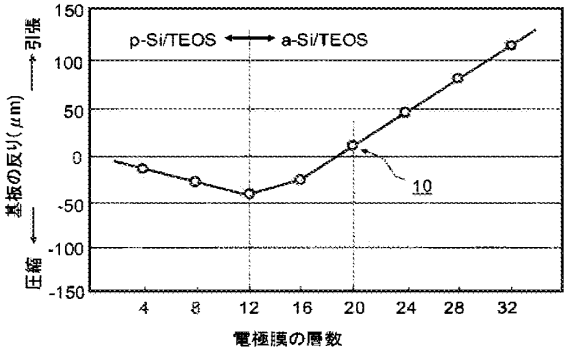


Micron Ex. 1002, p. 252
Micron v. YMTC
IPR2025-00245

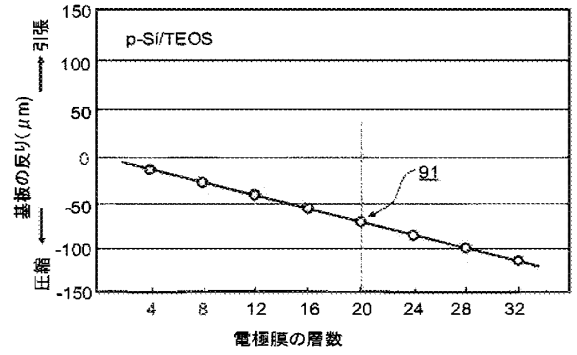
【図3】



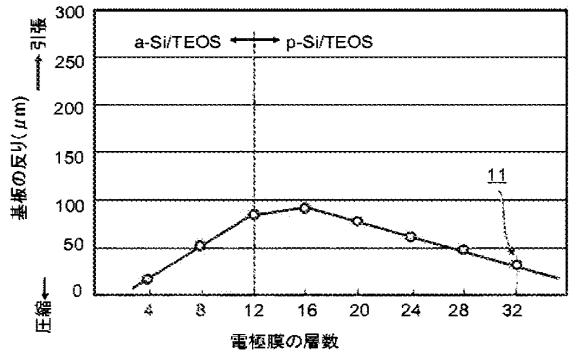
【図4】



【図5】

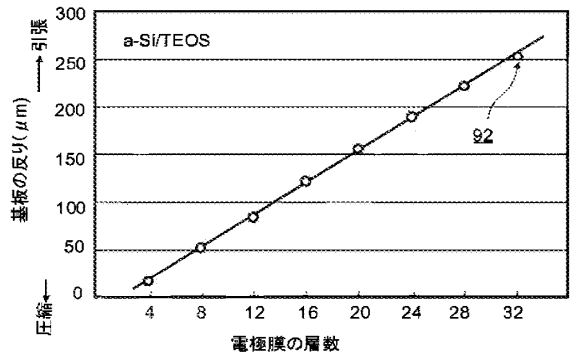


【図6】

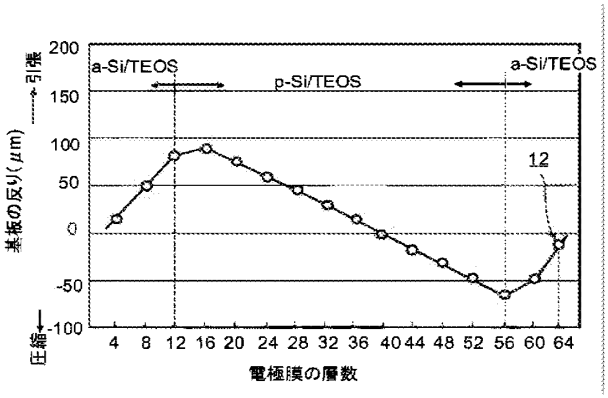


Micron Ex. 1002, p. 253
Micron v. YMTC
IPR2025-00245

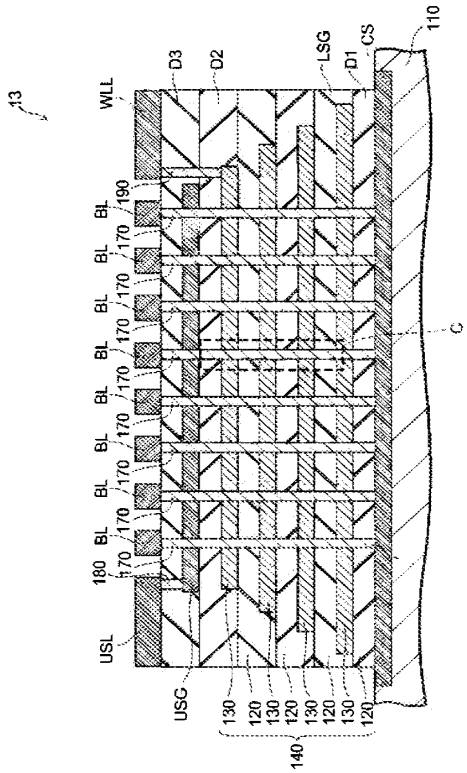
【図7】



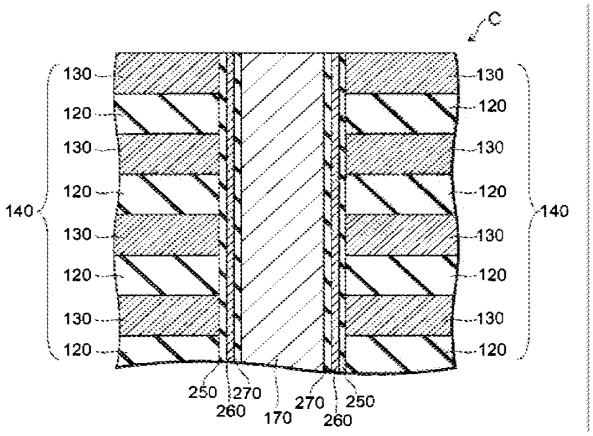
【図8】



【図9】

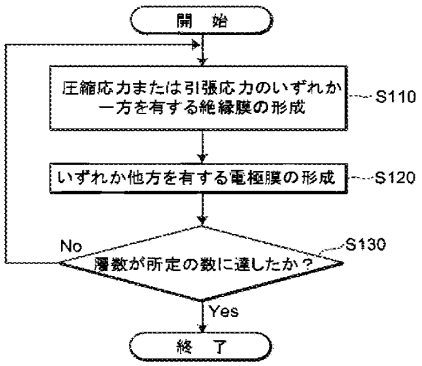


【図10】

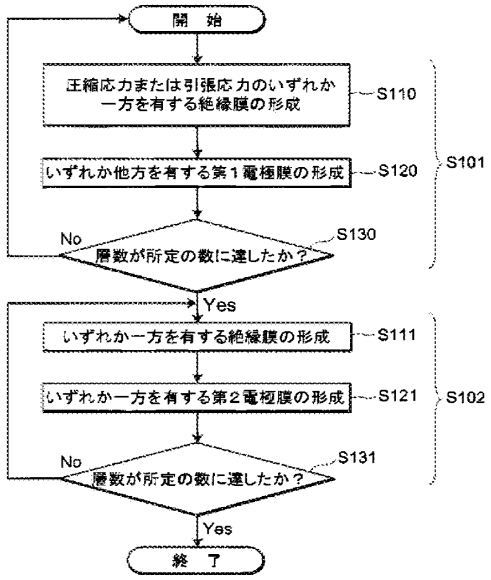


Micron Ex. 1002, p. 254
Micron v. YMTC
IPR2025-00245

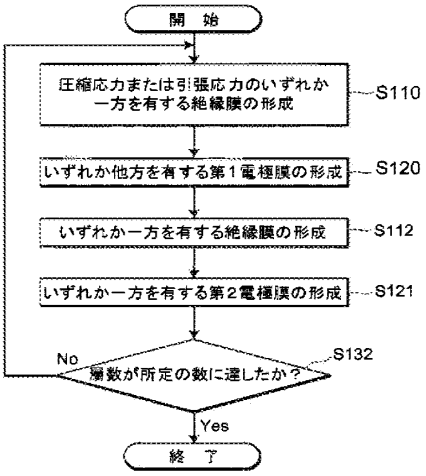
【図11】



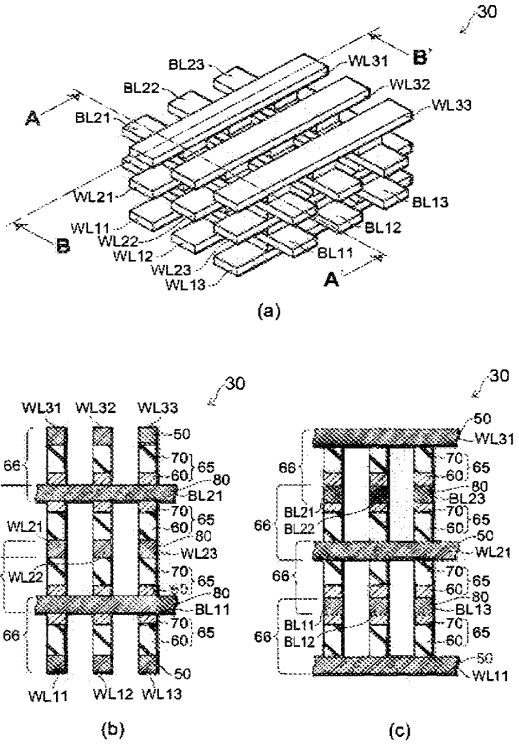
【図12】



【図13】

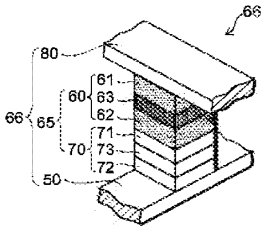


【図14】

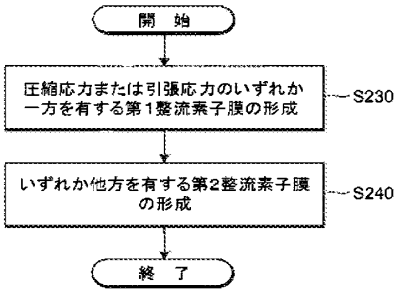


Micron Ex. 1002, p. 255
Micron v. YMTC
IPR2025-00245

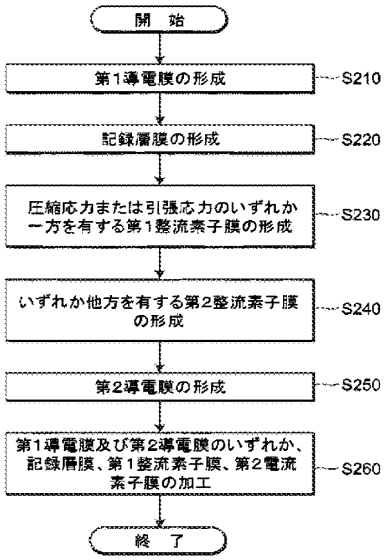
【図15】



【図16】



【図17】



Micron Ex. 1002, p. 256
Micron v. YMTC
IPR2025-00245

(51)Int.Cl.			F I			テーマコード（参考）
Ｈ０１Ｌ	45/00	(2006.01)	Ｈ０１Ｌ	27/10	４４８	
Ｈ０１Ｌ	49/00	(2006.01)	Ｈ０１Ｌ	45/00	Ａ	
Ｈ０１Ｌ	27/105	(2006.01)	Ｈ０１Ｌ	21/90	Ｂ	
Ｈ０１Ｌ	21/768	(2006.01)	Ｈ０１Ｌ	21/90	Ｊ	
Ｈ０１Ｌ	23/522	(2006.01)				

(72)発明者　福本　敦之
東京都港区芝浦一丁目１番１号　株式会社東芝内

Ｆターム(参考) 5F033 HH04 HH05 LL04 LL06 NN39 RR04 RR06 SS04 TT07 VV16
XX17 XX19
5F083 EP18 EP23 EP76 FZ10 GA10 GA27 JA33 JA36 JA37 JA39
MA06 MA16
5F101 BA45 BB08 BD02 BD22 BD34

Micron Ex. 1002, p. 257
Micron v. YMTC
IPR2025-00245

Electronic Acknowledgement Receipt

EFS ID:	41589767
Application Number:	16951141
International Application Number:	
Confirmation Number:	3874
Title of Invention:	JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME
First Named Inventor/Applicant Name:	Zhenyu LU
Customer Number:	26111
Filer:	Wenchong Shu/Jon Baitlon
Filer Authorized By:	Wenchong Shu
Attorney Docket Number:	4123.0110003
Receipt Date:	08-JAN-2021
Filing Date:	18-NOV-2020
Time Stamp:	16:54:24
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Miscellaneous Incoming Letter	sIDS1-Cover-Letter-4123-0110003.pdf	272825 96483646195e44de6636f690c56e011366ffeb19	no	1
Warnings:					

Information:					
2	Transmittal Letter	sIDS1-Pleading-4123-0110003.pdf	128268 4b91ad568ceef866ff4a6658f8c7fc4cf531e0f1	no	6
Warnings:					
Information:					
3	Information Disclosure Statement (IDS) Form (SB08)	sIDS1-SB08a-4123-0110003.pdf	151272 7679974f5f5048fd09c822fc795d3da9420a0ea1	no	1
Warnings:					
Information:					
This is not an USPTO supplied IDS fillable form					
4	Foreign Reference	FP1_JP2010080685A.pdf	785852 67066419cf1750cc0fe0d7f5bc5523a07aeea304	no	26
Warnings:					
Information:					
		Total Files Size (in bytes):	1338217		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

WENCHONG SHU
PATENT AGENT
(202) 772-8656
WSHU@STERNEKESSLER.COM

January 8, 2021

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Confirmation No. 3874
Art Unit 2812
Attn: Mail Stop Amendment

Re: U.S. Utility Patent Application
Application No. 16/951,141; Filing Date: November 18, 2020
For: **JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME**
Inventors: LU *et al.*
Our Ref: 4123.0110003

Commissioner:

Transmitted herewith for appropriate action are the following documents:

1. First Supplemental Information Disclosure Statement;

2. Form PTO/SB/08a (1 sheet) listing 3 documents (**US1-US2** and **FP1**); and

3. A copy of the cited document (**FP1**).

In the event that extensions of time are necessary to prevent abandonment of this patent application, then such extensions of time are hereby petitioned.

The U.S. Patent and Trademark Office is hereby authorized to charge any fee deficiency, or credit any overpayment, to our Deposit Account No. 19-0036.

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Wenchong Shu/

Wenchong Shu
Agent for Applicant
Registration No. 73,999

W-S/jcb
Enclosures

16083122_1.docx

Micron Ex. 1002, p. 260
Micron v. YMTC
IPR2025-00245

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventors: LU *et al.*	Confirmation No.: 3874
Applicant: Yangtze Memory Technologies Co., Ltd.	Art Unit: 2812
Application No.: 16/951,141	Examiner: To Be Assigned
Filing Date: November 18, 2020	Atty. Docket: 4123.0110003

Title: **JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME**

First Supplemental Information Disclosure Statement

Mail Stop Amendment

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Commissioner:

Listed on accompanying IDS Form PTO/SB/08a equivalent are documents that may be considered material to the patentability of this application as defined in 37 C.F.R. §1.56, and in compliance with the duty of disclosure requirements of 37 C.F.R. §§ 1.97 and 1.98.

Applicant has listed publication dates on the attached IDS Form based on information presently available to the undersigned. However, the listed publication dates should not be construed as an admission that the information was actually published on the date indicated.

Applicant reserves the right to establish the patentability of the claimed invention over any of the information provided herewith, and/or to prove that this information may not be prior art, and/or to prove that this information may not be enabling for the teachings purportedly offered.

This statement should not be construed as a representation that a search has been made, or that information more material to the examination of the present patent application does not exist. The Examiner is specifically requested not to rely solely on the material submitted herewith.

Applicant has checked the appropriate boxes below.

☐ 1. Statement under 37 C.F.R. 1.704(d). Each item of information contained in this Information Disclosure Statement: (i) was first cited in any communication from a patent office in a counterpart[1] foreign or international application or from the Office; and this communication was not received by any individual designated in Sec. 1.56(c) more than thirty days prior to the filing of this information disclosure statement; OR (ii) is a communication that was issued by a patent office in a counterpart foreign or international application or by the Office, and this communication was not received by any individual designated in Sec. 1.56(c) more than thirty days prior to the filing of the information disclosure statement.

☒ 2. Filing under 37 C.F.R. § 1.97(b). This Information Disclosure Statement is being filed within three months of the date of filing of a national application other than a continued prosecution application (CPA), OR within three months of the date of entry of the national stage as set forth in 37 C.F.R. § 1.491 in an international application, OR before the mailing date of a first Office Action on the merits OR before the mailing of a first Office Action

---

[1] The term counterpart foreign patent application means that a claim for priority has been made in either the U.S. application or a foreign application based on the other, or that the disclosures of the U.S. and foreign patent applications are substantively identical (e.g., an application filed in the European Patent Office claiming the same U.K. priority as claimed in the U.S. application).

Micron Ex. 1002, p. 262
Micron v. YMTC
IPR2025-00245

after the filing of a request for continued examination under 37 C.F.R. § 1.114. No statement or fee is required.

☐ 3. Filing under 37 C.F.R. § 1.97(c). This Information Disclosure Statement is being filed more than three months after the U.S. filing date AND after the mailing date of the first Office Action on the merits, but before the mailing date of a Final Rejection, or Notice of Allowance, or an action that otherwise closes prosecution in the application.

☐ a. Statement under 37 C.F.R. § 1.97(e)(1). I hereby state that each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this Information Disclosure Statement. 37 C.F.R. § 1.97(e)(1).

☐ b. Statement under 37 C.F.R. § 1.97(e)(2). I hereby state that no item of information in this Information Disclosure Statement was cited in a communication from a foreign patent office in a counterpart foreign application and, to my knowledge after making reasonable inquiry, was known to any individual designated in 37 C.F.R. § 1.56(c) more than three months prior to the filing of this Information Disclosure Statement. 37 C.F.R. § 1.97(e)(2).

☐ c. The required fee is provided through online credit card payment authorization in the amount of $260.00 in payment of the fee under 37 C.F.R. § 1.17(p).

☐ 4. Filing under 37 C.F.R. § 1.97(d) This Information Disclosure Statement is being filed more than three months after the U.S. filing date and after the mailing date of a Final Rejection or

Micron Ex. 1002, p. 263
Micron v. YMTC
IPR2025-00245

Notice of Allowance, but on or before payment of the Issue Fee. The required fee is provided through online credit card payment authorization in the amount of $260.00 in payment of the fee under 37 C.F.R. § 1.17(p); in addition:

☐ a. Statement under 37 C.F.R. § 1.97(e)(1). I hereby state that each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this Information Disclosure Statement. 37 C.F.R. § 1.97(e)(1).

☐ b. Statement under 37 C.F.R. § 1.97(e)(2). I hereby state that no item of information in this Information Disclosure Statement was cited in a communication from a foreign patent office in a counterpart foreign application and, to my knowledge after making reasonable inquiry, was known to any individual designated in 37 C.F.R. § 1.56(c) more than three months prior to the filing of this Information Disclosure Statement. 37 C.F.R. § 1.97(e)(2).

☒ 5. The patent family for one or more foreign language documents submitted herewith includes a United States patent, and other patent, in the English language. Copies of both the particular foreign patent(s) or published foreign patent applications cited in the foreign patent office communication, and that are not already of record in this application, are enclosed. Copies of the related United States or other English language patent or published application from the family list, if not already of record, are listed on the accompanying SB/08A form. For the purposes of a statement under 37 CFR 1.97(e)(1), the United States or

Micron Ex. 1002, p. 264
Micron v. YMTC
IPR2025-00245

other English language patent or published application are to be construed as being cited by the foreign patent office. MPEP 609.04(b)(V).

☐ 6. The document(s) was/were cited in a search report by a foreign patent office in a counterpart foreign application. Submission of an English language version of the search report that indicates the degree of relevance found by the foreign office is provided in satisfaction of the requirement for a concise explanation of relevance. MPEP 609.04(a)(III).

☒ 7. A concise explanation of the relevance of the non-English language document(s) appears below in accordance with 37 C.F.R. § 1.98(a)(3).

Document **US2** (2010/0078622 A1) is submitted herewith as as the English-language counterpart of document **FP1** (JP 20100080685 A).

☒ 8. A copy of document **FP1** is submitted. However, in accordance with 37 C.F.R. § 1.98(a)(2)(ii), no copies of the U.S. patent application publications cited as documents **US1-US2** on the attached IDS Form are submitted.

☐ 9. Copies of the _____ documents were cited by or submitted to the Office in an IDS that complies with 37 C.F.R. § 1.98(a)-(c) in Application No._____, filed _____, which is relied upon for an earlier filing date under 35 U.S.C. § 120. Thus, copies of these documents are not attached. 37 C.F.R. § 1.98(d).

☒ 10. It is expected that the examiner will review the prosecution and cited art in the parent Application No. 16/046,847, filed July 26, 2018 (now U.S. Patent No. 10,886,291), in accordance with MPEP 2001.06(b), and indicate in the next communication from the office

Micron Ex. 1002, p. 265
Micron v. YMTC
IPR2025-00245

that the art cited in the earlier prosecution history has been reviewed in connection with the present application.

☐ 11. Applicants submit herewith Office Actions from the co-pending U.S. Patent Application No._____, filed _____, as documents _____ to _____.

The identification of these Office Actions is not to be construed as a waiver of secrecy as to those applications now or upon issuance of the present application as a patent. The Examiner is respectfully requested to consider the cited applications and the art cited therein during examination.

It is respectfully requested that the Examiner initial and return a copy of the enclosed IDS Forms, and indicate in the official file wrapper of this patent application that the documents have been considered.

The U.S. Patent and Trademark Office is hereby authorized to charge any fee deficiency, or credit any overpayment, to our Deposit Account No. 19-0036.

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Wenchong Shu/

Wenchong Shu
Agent for Applicant
Registration No. 73,999

Date: January 8, 2021

1100 New York Avenue, N.W.
Washington, D.C. 20005-3934
(202) 371-2600
16083115_1.docx

Atty. Dkt. No. 4123.0110003

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
16/951,141	11/18/2020	Zhenyu LU	4123.0110003

CONFIRMATION NO. 3874

26111
STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.
1100 NEW YORK AVENUE, N.W.
WASHINGTON, DC 20005

PUBLICATION NOTICE



Title:JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME

Publication No.US-2021-0074718-A1
Publication Date:03/11/2021

NOTICE OF PUBLICATION OF APPLICATION

The above-identified application will be electronically published as a patent application publication pursuant to 37 CFR 1.211, et seq. The patent application publication number and publication date are set forth above.

The publication may be accessed through the USPTO's publically available Searchable Databases via the Internet at www.uspto.gov. The direct link to access the publication is currently http://www.uspto.gov/patft/.

The publication process established by the Office does not provide for mailing a copy of the publication to applicant. A copy of the publication may be obtained from the Office upon payment of the appropriate fee set forth in 37 CFR 1.19(a)(1). Orders for copies of patent application publications are handled by the USPTO's Public Records Division. The Public Records Division can be reached by telephone at (571) 272-3150 or (800) 972-6382, by facsimile at (571) 273-3250, by mail addressed to the United States Patent and Trademark Office, Public Records Division, Alexandria, VA 22313-1450 or via the Internet.

In addition, information on the status of the application, including the mailing date of Office actions and the dates of receipt of correspondence filed in the Office, may also be accessed via the Internet through the Patent Electronic Business Center at www.uspto.gov using the public side of the Patent Application Information and Retrieval (PAIR) system. The direct link to access this status information is currently https://portal.uspto.gov/pair/PublicPair. Prior to publication, such status information is confidential and may only be obtained by applicant using the private side of PAIR.

Further assistance in electronically accessing the publication, or about PAIR, is available by calling the Patent Electronic Business Center at 1-866-217-9197.

Office of Data Managment, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101

Micron Ex. 1002, p. 267
Micron v. YMTC
IPR2025-00245

PTO/SB/08a (07-09)
Approved for use through 11/30/2020. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 1

Complete if Known	
Application Number	16/951,141
Filing Date	November 18, 2020
First Named Inventor	Zhenyu LU
Art Unit	2812
Examiner Name	To Be Assigned
Attorney Docket Number	4123.0110003

U. S. PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Document Number Number-Kind Code[2] *(if known)*	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	US1	US- 10,038,006 B2	07-31-2018	Furihata et al.	
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Foreign Patent Document Country Code[3]-Number[4]-Kind Code[5] *(if known)*	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages Or Relevant Figures Appear	T[6]
	FP1	KR 1020180095499 A	08-27-2018	SANDISK TECHNOLOGIES LLC		

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. [1] Applicant's unique citation designation number (optional). [2] See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. [3] Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). [4] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [6] Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0095499
(43) 공개일자 2018년08월27일

(51) 국제특허분류(Int. Cl.)
H01L 27/11556 (2017.01) *H01L 21/768* (2006.01)
H01L 23/522 (2006.01) *H01L 27/11524* (2017.01)
H01L 27/11529 (2017.01) *H01L 27/1157* (2017.01)
H01L 27/11573 (2017.01) *H01L 27/11582* (2017.01)
(52) CPC특허분류
H01L 27/11556 (2013.01)
H01L 21/76816 (2013.01)
(21) 출원번호 10-2018-7008077
(22) 출원일자(국제) 2016년09월27일
심사청구일자 없음
(85) 번역문제출일자 2018년03월21일
(86) 국제출원번호 PCT/US2016/054018
(87) 국제공개번호 WO 2017/112014
국제공개일자 2017년06월29일
(30) 우선권주장
62/271,210 2015년12월22일 미국(US)
(뒷면에 계속)

(71) 출원인
샌디스크 테크놀로지스 엘엘씨
미국 텍사스 75024 플라노 달라스 파크웨이 6900 투 리가시 타운 센터
(72) 발명자
토야마, 푸미아키
미국 95035 캘리포니아주 밀피타스 샌디스크 드라이브 951 샌디스크 코포레이션 내
미즈타니, 유키
미국 95035 캘리포니아주 밀피타스 샌디스크 드라이브 951 샌디스크 코포레이션 내
(뒷면에 계속)
(74) 대리인
양영준, 김연송, 백만기

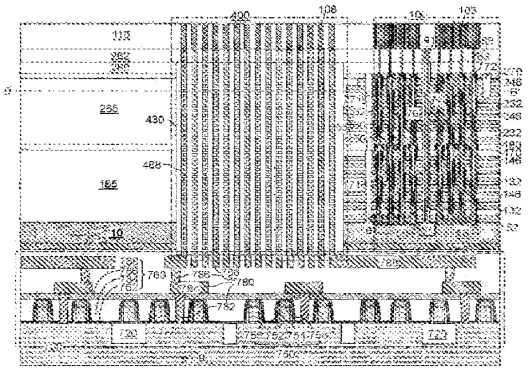
전체 청구항 수 : 총 115 항

(54) 발명의 명칭 **3차원 메모리 디바이스를 위한 관통-메모리-레벨 비아 구조물들**

(57) 요 약

3차원 NAND 메모리 디바이스는, 기판 상에 또는 기판 위에 배치된 워드라인 구동기 디바이스들, 워드라인 구동기 디바이스들 위에 위치한 워드라인들과 절연 층들의 교대 스택, 교대 스택을 통해 연장되는 복수의 메모리 스택 구조물 ―각각의 메모리 스택 구조물은 메모리 막과 수직 반도체 채널을 포함함―, 및 제1 메모리 블록 내의 워드라인들을 워드라인 구동기 디바이스들에 전기적으로 결합하는 관통-메모리-레벨 비아 구조물들을 포함한다. 관통-메모리-레벨 비아 구조물들은 제1 메모리 블록의 계단 영역과 또 다른 메모리 블록의 계단 영역 사이에 위치한 관통-메모리-레벨 비아 영역을 통해 연장된다.

대 표 도



Micron Ex. 1002, p. 269
Micron v. YMTC
IPR2025-00245

(52) CPC특허분류
H01L 21/76831 (2013.01)
H01L 21/76877 (2013.01)
H01L 21/76895 (2013.01)
H01L 23/5226 (2013.01)
H01L 27/11524 (2013.01)
H01L 27/11529 (2013.01)
H01L 27/1157 (2013.01)
H01L 27/11573 (2013.01)
H01L 27/11582 (2013.01)

(72) 발명자
오가와, 히로유키
미국 95035 캘리포니아주 밀피타스 샌디스크 드라이브 951 샌디스크 코포레이션 내
푸리하타, 요코
미국 95035 캘리포니아주 밀피타스 샌디스크 드라이브 951 샌디스크 코포레이션 내
유, 징신
미국 95035 캘리포니아주 밀피타스 샌디스크 드라이브 951 샌디스크 코포레이션 내
카이, 제임스
미국 95035 캘리포니아주 밀피타스 샌디스크 드라이브 951 샌디스크 코포레이션 내
리우, 진
미국 95035 캘리포니아주 밀피타스 샌디스크 드라이브 951 샌디스크 코포레이션 내
알스마이어, 요한
미국 95035 캘리포니아주 밀피타스 샌디스크 드라이브 951 샌디스크 코포레이션 내

(30) 우선권주장
15/269,041 2016년09월19일 미국(US)
15/269,112 2016년09월19일 미국(US)
15/269,294 2016년09월19일 미국(US)
15/268,946 2016년09월19일 미국(US)
15/269,017 2016년09월19일 미국(US)

Micron Ex. 1002, p. 270
Micron v. YMTC
IPR2025-00245

명 세 서

청구범위

청구항 1

3차원 NAND 메모리 디바이스로서,

기판 상에 또는 기판 위에 위치한 워드라인 구동기 디바이스들;

상기 워드라인 구동기 디바이스들 위에 위치한 워드라인들과 절연 층들의 교대 스택;

상기 교대 스택을 통해 연장되는 복수의 메모리 스택 구조물 --각각의 메모리 스택 구조물은 메모리 막과 수직 반도체 채널을 포함함--; 및

제1 메모리 블록의 워드라인들을 상기 워드라인 구동기 디바이스들에 전기적으로 결합하는 관통-메모리-레벨 비아 구조물들

을 포함하고,

상기 관통-메모리-레벨 비아 구조물들은 상기 제1 메모리 블록의 계단 영역과 또 다른 메모리 블록의 계단 영역 사이에 위치한 관통-메모리-레벨 비아 영역을 통해 연장되는, 디바이스.

청구항 2

제1항에 있어서, 상기 관통-메모리-레벨 비아 구조물들은 상기 관통-메모리-레벨 비아 영역에 위치한 유전체 충전 재료 부분을 통해 연장되는, 디바이스.

청구항 3

제1항에 있어서, 워드라인들과 절연 층들의 상기 교대 스택, 및 상기 복수의 메모리 스택 구조물은 상기 워드라인 구동기 디바이스들 위에 위치하는, 디바이스.

청구항 4

제2항에 있어서, 상기 워드라인 구동기 디바이스들은 상기 관통-메모리-레벨 비아 영역에 위치하는 상기 유전체 충전 재료 부분 아래에 위치하는, 디바이스.

청구항 5

제1항에 있어서, 상기 관통-메모리-레벨 비아 구조물들은 상기 관통-메모리-레벨 비아 영역에 위치하는 적어도 하나의 제2 교대 스택을 통해 연장되는, 디바이스.

청구항 6

제5항에 있어서,

상기 적어도 하나의 제2 교대 스택은 유전체 스페이서 층들과 상기 절연 층들의 제2 부분들의 교대 층들을 포함하고, 상기 유전체 스페이서 층들 각각은 각각의 워드라인과 동일한 레벨에 위치하며;

상기 적어도 하나의 제2 교대 스택은 절연 해자 트렌치 구조물(insulating moat trench structure)에 의해 적어도 부분적으로 둘러싸인, 디바이스.

청구항 7

제1항에 있어서,

상기 관통-메모리-레벨 비아 구조물들은 상기 관통-메모리-레벨 비아 영역 내로 연장되는 워드라인들과 절연 층들의 상기 교대 스택을 통해 연장되고;

상기 적어도 하나의 관통-메모리-레벨 비아 구조물들 각각은 각각의 절연 라이너(insulating liner)에 의해 상

Micron Ex. 1002, p. 271
Micron v. YMTC
IPR2025-00245

기 워드라인들로부터 측방향으로 전기적으로 격리되는, 디바이스.

청구항 8

제1항에 있어서,

상기 제1 메모리 블록의 계단 영역 위에 놓이는 유전체 재료 부분을 통해 연장되고 상기 제1 메모리 블록 내의 워드라인들과 접촉하는 워드라인 컨택트 비아 구조물들; 및

워드라인 컨택트 비아 구조물과 관통-메모리-레벨 비아 구조물의 각각의 쌍들을 전기적으로 단락시키는 상위 레벨 금속 상호접속 구조물들 -상기 상위 레벨 금속 상호접속 구조물들은 상기 교대 스택 위에 놓이고, 상기 제1 메모리 블록 및 상기 유전체 충전 재료 부분에 걸쳐 있음 -

을 더 포함하는 디바이스.

청구항 9

제8항에 있어서, 상기 관통-메모리-레벨 비아 영역은 메모리 어레이 영역의 제1 단부(end)에 있는 제2 메모리 블록에 위치하고, 어떠한 워드라인 컨택트 비아 구조물도 상기 메모리 어레이 영역의 상기 제1 단부에 있는 상기 제2 메모리 블록의 상기 관통-메모리-레벨 비아 영역에 위치하지 않는, 디바이스.

청구항 10

제9항에 있어서,

메모리 어레이 영역의 제2 단부에 있는 상기 제2 메모리 블록 내의 제2 계단 영역; 및

상기 제2 메모리 블록의 상기 계단 영역 위에 놓인 유전체 재료 부분을 통해 연장되고 상기 제2 메모리 블록 내의 워드라인들과 접촉하는 제2 워드라인 컨택트 비아 구조물들

을 더 포함하는 디바이스.

청구항 11

제1항에 있어서, 상기 제1 메모리 블록의 계단 영역과 또 다른 메모리 블록의 계단 영역은 동일한 대각선 방향으로 상승하는, 디바이스.

청구항 12

반도체 구조물로서,

반도체 기판 위에 위치하고 적어도 하나의 교대 스택 -상기 적어도 하나의 교대 스택은 각각의 절연 층들과 각각의 전기 도전 층들의 교대 층들을 포함함- 및 상기 적어도 하나의 교대 스택을 통해 수직으로 연장되는 메모리 스택 구조물들을 포함하는 메모리-레벨 어셈블리;

상기 메모리-레벨 어셈블리를 통해 수직으로 연장되고, 제1 수평 방향을 따라 측방향으로 연장되며, 상기 적어도 하나의 교대 스택을 복수의 측방향으로 이격된 블록으로 측방향으로 분할하는 복수의 측방향으로 길쭉한 컨택트 비아 구조물 -상기 복수의 블록은, 상기 제1 수평 방향에 수직인 제2 수평 방향을 따라 배열된 제1 블록, 제2 블록 및 제3 블록을 순서대로 포함하는 3개의 이웃 블록들의 세트를 포함함-; 및

상기 제2 블록의 길이방향 단부에 인접하게 및 상기 제1 블록의 계단 영역과 상기 제3 블록의 계단 영역 사이에 위치하며, 유전체 충전 재료 부분에 매립된 수직으로 연장되는 관통-메모리-레벨 비아 구조물들을 포함하는 관통-메모리-레벨 비아 영역

을 포함하는 반도체 구조물.

청구항 13

제12항에 있어서,

상기 반도체 기판 위에 놓인 적어도 하나의 하위 레벨 유전체 층; 및

상기 적어도 하나의 하위 레벨 유전체 층 위에 놓이고, 상기 메모리 스택 구조물들 내의 수직 반도체 채널들에

Micron Ex. 1002, p. 272
Micron v. YMTC
IPR2025-00245

전기적으로 접속된 수평 반도체 채널들을 포함하는 평면 반도체 재료 층

을 더 포함하는 반도체 구조물.

청구항 14

제13항에 있어서,

상기 반도체 기판 상에 위치하는 반도체 디바이스들; 및

상기 반도체 디바이스들의 노드들에 전기적으로 단락되고 상기 평면 반도체 재료 층 아래에 놓인 상기 적어도 하나의 하위 레벨 유전체 층에 매립된 하위 레벨 금속 상호접속 구조물들

을 더 포함하며,

상기 관통-메모리-레벨 비아 구조물들은 상기 하위 레벨 금속 상호접속 구조물들과 접촉하는, 반도체 구조물.

청구항 15

제14항에 있어서,

상기 메모리 스택 구조물들 각각은 상기 전기 도전 층들의 각각의 레벨에 위치한 메모리 요소들의 수직 스택을 포함하고;

상기 전기 도전 층들은 상기 메모리 요소들을 위한 워드라인들을 포함하고;

상기 반도체 디바이스들은 각각의 워드라인들에 대한 바이어스 전압을 제어하도록 구성된 워드라인 스위치 디바이스들을 포함하는, 반도체 구조물.

청구항 16

제15항에 있어서,

상기 제1 및 상기 제3 블록의 계단 영역들 위에 놓인 역-계단형 유전체 재료 부분을 통해 연장되고 상기 워드라인들과 접촉하는 워드라인 컨택트 비아 구조물들; 및

워드라인 컨택트 비아 구조물과 관통-메모리-레벨 비아 구조물의 각각의 쌍들을 전기적으로 단락시키는 상위 레벨 금속 상호접속 구조물들 -상기 상위 레벨 금속 상호접속 구조물들은 상기 메모리-레벨 어셈블리 위에 놓이고, 상기 제2 블록, 및 상기 제1 블록과 상기 제3 블록 중 하나에 걸침-

을 더 포함하는 반도체 구조물.

청구항 17

제16항에 있어서, 상기 관통-메모리-레벨 비아 구조물들 각각은 각각의 위에 놓인 상위 레벨 금속 상호접속 구조물과 접촉하는, 반도체 구조물.

청구항 18

제16항에 있어서, 상기 반도체 기판 상의 상기 반도체 디바이스들의 서브셋은 상기 평면 반도체 재료 층의 구역 아래에 위치하는, 반도체 구조물.

청구항 19

제12항에 있어서, 상기 유전체 층전 재료 부분은, 적어도, 상기 메모리-레벨 어셈블리의 최상단 표면을 포함하는 제1 수평면으로부터 상기 메모리-레벨 어셈블리의 최하단 표면 아래에 위치한 제2 수평면까지 수직으로 연장되는, 반도체 구조물.

청구항 20

제19항에 있어서, 상기 메모리-레벨 어셈블리 아래에 놓이고 상기 메모리 스택 구조물들 내의 수직 반도체 채널들에 전기적으로 접속된 수평 반도체 채널들을 포함하는 평면 반도체 재료 층을 더 포함하고, 상기 제2 수평면은 상기 평면 반도체 재료 층의 하단 표면 아래에 위치하는, 반도체 구조물.

Micron Ex. 1002, p. 273
Micron v. YMTC
IPR2025-00245

청구항 21

제20항에 있어서,

상기 유전체 층전 재료 부분은 상기 메모리-레벨 어셈블리 및 상기 평면 반도체 재료 층을 통해 연장되는 실질적으로 수직인 측벽들을 포함하고;

상기 제1 및 상기 제3 블록의 각각의 계단 영역은 테라스(terrace)들을 포함하고 상기 테라스들에서 각각의 아래에 놓인 전기 도전 층이 상기 메모리-레벨 어셈블리 내에서 임의의 위에 놓인 전기 도전 층보다 상기 제1 수평 방향을 따라 더 멀리 연장되고;

상기 메모리 스택 구조물들 각각은, 메모리 막, 및 상기 메모리-레벨 어셈블리 아래에 놓인 평면 반도체 재료 층 내의 각각의 수평 채널에 인접한 수직 반도체 채널을 포함하는, 반도체 구조물.

청구항 22

제21항에 있어서, 상기 메모리 스택 구조물들의 드레인 영역들에 전기적으로 결합되는 복수의 비트라인을 더 포함하는 반도체 구조물.

청구항 23

제12항에 있어서,

상기 메모리 스택 구조물들은 수직 NAND 디바이스의 메모리 요소들을 포함하고;

상기 전기 도전 층들은 상기 수직 NAND 디바이스의 각각의 워드라인을 포함하거나, 상기 수직 NAND 디바이스의 각각의 워드라인에 전기적으로 접속되고;

상기 반도체 기판은 실리콘 기판을 포함하고;

상기 수직 NAND 디바이스는 상기 실리콘 기판 위에 모놀리식 3차원 NAND 스트링들의 어레이를 포함하고;

상기 모놀리식 3차원 NAND 스트링들의 어레이의 제1 디바이스 레벨의 적어도 하나의 메모리 셀은, 상기 모놀리식 3차원 NAND 스트링들의 어레이의 제2 디바이스 레벨의 또 다른 메모리 셀 위에 위치하며;

상기 실리콘 기판은, 상기 메모리 디바이스를 위한 워드라인 구동기 회로 및 비트라인 구동기 회로를 포함하는 집적 회로를 포함하고;

상기 모놀리식 3차원 NAND 스트링들의 어레이는 :

복수의 반도체 채널 -상기 복수의 반도체 채널 각각의 적어도 하나의 끝 부분은 상기 반도체 기판의 상단 표면에 실질적으로 수직으로 연장됨-;

복수의 전하 저장 요소 -각각의 전하 저장 요소는 상기 복수의 반도체 채널 중의 각각의 반도체 채널에 인접하여 위치함-; 및

상기 반도체 기판의 상기 상단 표면에 실질적으로 평행하게 연장되는 스트립 형상을 갖는 복수의 제어 게이트 전극 -상기 복수의 제어 게이트 전극은, 적어도, 상기 제1 디바이스 레벨에 위치한 제1 제어 게이트 전극 및 상기 제2 디바이스 레벨에 위치한 제2 제어 게이트 전극을 포함함-

을 포함하는, 반도체 구조물.

청구항 24

3차원 NAND 메모리 디바이스로서,

기판 상에 또는 기판 위에 위치한 워드라인 구동기 디바이스들;

상기 워드라인 구동기 디바이스들 위에 위치한 워드라인들과 절연 층들의 교대 스택;

상기 교대 스택을 통해 연장되는 복수의 메모리 스택 구조물 -각각의 메모리 스택 구조물은 메모리 막과 수직 반도체 채널을 포함함-; 및

제1 메모리 블록의 워드라인들을 상기 워드라인 구동기 디바이스들에 전기적으로 결합하는 관통-메모리-레벨 비

Micron Ex. 1002, p. 274
Micron v. YMTC
IPR2025-00245

아 구조물들

을 포함하고,

상기 관통-메모리-레벨 비아 구조물들은 상기 제1 메모리 블록의 계단 영역과 또 다른 메모리 블록의 계단 영역 사이에 위치한 유전체 충전 재료 부분을 통해 연장되는, 디바이스.

청구항 25

제24항에 있어서,

상기 제1 메모리 블록의 계단 영역 위에 놓인 유전체 재료 부분을 통해 연장되고 상기 제1 메모리 블록 내의 워드라인들과 접촉하는 워드라인 컨택트 비아 구조물들; 및

워드라인 컨택트 비아 구조물과 관통-메모리-레벨 비아 구조물의 각각의 쌍들을 전기적으로 단락시키는 상위 레벨 금속 상호접속 구조물들 -상기 상위 레벨 금속 상호접속 구조물들은 상기 교대 스택 위에 놓이고, 상기 제1 메모리 블록 및 상기 유전체 충전 재료 부분에 걸쳐 있음 -

을 더 포함하고,

상기 제1 메모리 블록의 계단 영역과 또 다른 메모리 블록의 계단 영역은 동일한 대각선 방향으로 상승하는, 디바이스.

청구항 26

반도체 구조물을 형성하는 방법으로서,

반도체 기판 위에 메모리-레벨 어셈블리 -상기 메모리-레벨 어셈블리는 적어도 하나의 교대 스택 및 상기 적어도 하나의 교대 스택을 통해 수직으로 연장되는 메모리 스택 구조물들을 포함함- 를 형성하는 단계;

상기 메모리-레벨 어셈블리를 통해 복수의 측방향으로 길쭉한 컨택트 비아 구조물 -상기 복수의 측방향으로 길쭉한 컨택트 비아 구조물은 제1 수평 방향을 따라 측방향으로 연장되고 상기 적어도 하나의 교대 스택을 복수의 측방향으로 이격된 블록으로 측방향으로 분할하며, 상기 복수의 블록은, 상기 제1 수평 방향에 수직인 제2 수평 방향을 따라 배열되고, 각각, 제1 계단 영역, 제2 계단 영역, 및 제3 계단 영역을 포함하는 제1 블록, 제2 블록, 및 제3 블록을 순서대로 포함하는 적어도 3개의 이웃 블록들의 세트를 포함함- 을 형성하는 단계;

상기 제2 계단 영역을 제거하는 단계; 및

상기 제1 및 상기 제3 계단 영역은 그대로 유지되면서 상기 제거된 제2 계단 영역의 구역에 관통-메모리-레벨 비아 구조물들을 형성하는 단계

를 포함하는 방법.

청구항 27

제26항에 있어서,

상기 반도체 기판 위에 적어도 하나의 하위 레벨 유전체 층을 형성하는 단계; 및

상기 적어도 하나의 하위 레벨 유전체 층 위에 평면 반도체 재료 층 -상기 메모리-레벨 어셈블리는 상기 평면 반도체 재료 층 위에 형성되고, 상기 평면 반도체 재료 층은 상기 메모리 스택 구조물들 내의 수직 반도체 채널들에 전기적으로 접속된 수평 반도체 채널들을 포함함- 을 형성하는 단계

를 더 포함하는 방법.

청구항 28

제27항에 있어서,

상기 반도체 기판 상에 반도체 디바이스들을 형성하는 단계; 및

상기 적어도 하나의 하위 레벨 유전체 층의 레벨에서 상기 반도체 디바이스들의 노드들에 전기적으로 단락된 하위 레벨 금속 상호접속 구조물들 -상기 관통-메모리-레벨 비아 구조물들은 상기 하위 레벨 금속 상호접속 구조

Micron Ex. 1002, p. 275
Micron v. YMTC
IPR2025-00245

물들 상에 직접 형성됨― 을 형성하는 단계

를 더 포함하는 방법.

청구항 29

제28항에 있어서,

상기 메모리 스택 구조물들 각각은 메모리 요소들의 수직 스택을 포함하고;

상기 적어도 하나의 교대 스택에 전기 도전 층들을 형성하는 단계;

상기 전기 도전 층들은 상기 메모리 요소들을 위한 워드라인들을 포함하고;

상기 반도체 디바이스들은 각각의 워드라인에 대한 바이어스 전압을 제어하도록 구성된 워드라인 스위치 디바이스들을 포함하는, 방법.

청구항 30

제29항에 있어서,

상기 제1 및 상기 제3 계단 영역 위에 적어도 하나의 역-계단형 유전체 재료 부분을 형성하는 단계;

상기 제거된 제2 계단 영역의 구역 위에는 어떠한 컨택트 비아 구조물도 형성하지 않으면서, 상기 적어도 하나의 역-계단형 유전체 재료 부분을 통해 상기 제1 및 상기 제3 계단 영역 위에 및 상기 제1 및 상기 제3 블록들 내의 상기 워드라인들 상에 직접 워드라인 컨택트 비아 구조물들을 형성하는 단계; 및

상기 메모리-레벨 어셈블리 위의 워드라인 컨택트 비아 구조물과 관통-메모리-레벨 비아 구조물의 각각의 쌍들 상에 상위 레벨 금속 상호접속 구조물들 ―상기 상위 레벨 금속 상호접속 구조물들은, 상기 제2 블록, 및 상기 제1 블록과 상기 제3 블록 중 하나를 가로질러 연장됨― 을 형성하는 단계

를 더 포함하는 방법.

청구항 31

제29항에 있어서, 상기 평면 반도체 재료 층은 상기 반도체 기판 상의 상기 반도체 디바이스들의 서브셋 바로 위에 형성되는, 방법.

청구항 32

제29항에 있어서,

상기 제2 계단 영역의 구역에서 상기 메모리-레벨 어셈블리를 통해 연장되는 관통-메모리-레벨 개구를 형성함으로써 상기 제2 계단 영역을 제거하는 단계; 및

상기 관통-메모리-레벨 개구 내에 유전체 충전 재료 부분 ―상기 관통-메모리-레벨 비아 구조물들 각각은 상기 유전체 충전 재료 부분을 통해 형성됨― 을 형성하는 단계

를 더 포함하는 방법.

청구항 33

제32항에 있어서, 상기 관통-메모리-레벨 개구는 상기 적어도 하나의 하위 레벨 유전체 재료 층 내로 연장되는, 방법.

청구항 34

제33항에 있어서,

상기 관통-메모리-레벨 개구는 상기 메모리-레벨 어셈블리 및 상기 평면 반도체 재료 층을 통해 연장되는 실질적으로 수직인 측벽들을 포함하고;

상기 메모리 스택 구조물들 각각은, 메모리 막, 및 상기 평면 반도체 재료 층 내의 각각의 수평 채널에 인접한 수직 반도체 채널을 포함하는, 방법.

Micron Ex. 1002, p. 276
Micron v. YMTC
IPR2025-00245

청구항 35

제32항에 있어서,

상기 적어도 하나의 교대 스택을 형성하기 위해 복수의 교대하는 각각의 희생 층 및 절연 층을 형성하는 단계;

상기 적어도 하나의 교대 스택을 통해 상기 제1 수평 방향을 따라 측방향으로 연장되는 복수의 트렌치를 형성하는 단계;

상기 절연 층들 사이에 복수의 오목부를 형성하기 위해 상기 복수의 트렌치를 통해 상기 적어도 하나의 교대 스택으로부터 상기 희생 층들을 선택적으로서 제거하는 단계;

상기 복수의 트렌치를 통해 상기 오목부들에 상기 복수의 전기 도전 층을 형성하는 단계;

상기 복수의 트렌치에 절연 스페이서들을 형성하는 단계; 및

상기 복수의 트렌치에 상기 복수의 측방향으로 길쭉한 컨택트 비아 구조물들을 형성하는 단계

를 더 포함하는 방법.

청구항 36

제35항에 있어서,

상기 복수의 트렌치를 통해 상기 오목부들에 상기 복수의 전기 도전 층을 형성하는 단계는, 상기 제2 계단 영역을 제거하는 단계 및 상기 유전체 충전 재료 부분을 형성하는 단계 후에 발생하며;

상기 제2 계단 영역을 제거하는 단계는 상기 제2 계단 영역에서 상기 절연 층들과 상기 희생 층들을 제거하는 단계를 포함하고;

상기 전기 도전 층들은 상기 관통-메모리-레벨 개구에 위치한 상기 유전체 충전 재료 부분에 형성되지 않는, 방법.

청구항 37

제26항에 있어서,

상기 메모리 스택 구조물들은 수직 NAND 디바이스의 메모리 요소들을 포함하고;

상기 전기 도전 층들은 상기 수직 NAND 디바이스의 각각의 워드라인을 포함하거나, 상기 수직 NAND 디바이스의 각각의 워드라인에 전기적으로 접속되고;

상기 반도체 기판은 실리콘 기판을 포함하고;

상기 수직 NAND 디바이스는 상기 실리콘 기판 위에 모놀리식 3차원 NAND 스트링들의 어레이를 포함하고;

상기 모놀리식 3차원 NAND 스트링들의 어레이의 제1 디바이스 레벨의 적어도 하나의 메모리 셀은, 상기 모놀리식 3차원 NAND 스트링들의 어레이의 제2 디바이스 레벨의 또 다른 메모리 셀 위에 위치하며;

상기 실리콘 기판은, 상기 메모리 디바이스를 위한 워드라인 구동기 회로 및 비트라인 구동기 회로를 포함하는 집적 회로를 포함하고;

상기 모놀리식 3차원 NAND 스트링들의 어레이는 :

복수의 반도체 채널 -상기 복수의 반도체 채널 각각의 적어도 하나의 끝 부분은 상기 반도체 기판의 상단 표면에 실질적으로 수직으로 연장됨-;

복수의 전하 저장 요소 -각각의 전하 저장 요소는 상기 복수의 반도체 채널 중의 각각의 반도체 채널에 인접하여 위치함-; 및

상기 반도체 기판의 상기 상단 표면에 실질적으로 평행하게 연장되는 스트립 형상을 갖는 복수의 제어 게이트 전극 -상기 복수의 제어 게이트 전극은, 적어도, 상기 제1 디바이스 레벨에 위치한 제1 제어 게이트 전극 및 상기 제2 디바이스 레벨에 위치한 제2 제어 게이트 전극을 포함함-

을 포함하는, 방법.

Micron Ex. 1002, p. 277
Micron v. YMTC
IPR2025-00245

청구항 38

반도체 구조물로서,

반도체 기판 위에 위치하고 적어도 하나의 교대 스택 ―상기 적어도 하나의 교대 스택은 각각의 절연 층들과 각각의 전기 도전 층들의 교대 층들을 포함함― 및 상기 적어도 하나의 교대 스택을 통해 수직으로 연장되는 메모리 스택 구조물들을 포함하는 메모리-레벨 어셈블리;

상기 메모리-레벨 어셈블리를 통해 수직으로 연장되고, 제1 수평 방향을 따라 측방향으로 연장되며, 상기 적어도 하나의 교대 스택을 복수의 측방향으로 이격된 블록으로 측방향으로 분할하는 복수의 측방향으로 길쭉한 컨택트 비아 구조물 ―상기 복수의 블록은, 상기 제1 수평 방향에 수직인 제2 수평 방향을 따라 배열된 제1 블록, 제2 블록 및 제3 블록을 순서대로 포함하는 3개의 이웃 블록들의 세트를 포함함―;

상기 제2 블록의 길이방향 단부에 인접하게 및 상기 제1 블록의 계단 영역과 상기 제3 블록의 계단 영역 사이에 위치하며, 유전체 충전 재료 부분에 매립된 수직으로 연장되는 관통-메모리-레벨 비아 구조물들을 포함하는 관통-메모리-레벨 비아 영역; 및

상기 수직으로 연장되는 관통-메모리-레벨 비아 구조물들 및 상기 유전체 충전 재료 부분 아래의 상기 관통-메모리-레벨 비아 영역 내의 상기 기판 상에 또는 상기 기판 위에 위치한 워드라인 스위치 디바이스들

을 포함하는 반도체 구조물.

청구항 39

제38항에 있어서,

상기 반도체 기판 위에 놓인 적어도 하나의 하위 레벨 유전체 층; 및

상기 워드라인 스위치 디바이스들의 노드들에 전기적으로 단락되고 상기 적어도 하나의 하위 레벨 유전체 층에 매립된 하위 레벨 금속 상호접속 구조물들 ―상기 관통-메모리-레벨 비아 구조물들은 상기 하위 레벨 금속 상호접속 구조물들과 접촉함―

을 더 포함하는 반도체 구조물.

청구항 40

제39항에 있어서,

상기 메모리 스택 구조물들 각각은 상기 전기 도전 층들의 각각의 레벨에 위치한 메모리 요소들의 수직 스택을 포함하고;

상기 전기 도전 층들은 상기 메모리 요소들을 위한 워드라인들을 포함하고;

상기 워드라인 스위치 디바이스들은 각각의 워드라인들에 대한 바이어스 전압을 제어하도록 구성된, 반도체 구조물.

청구항 41

제40항에 있어서,

상기 제1 및 상기 제3 블록의 계단 영역들 위에 놓인 역-계단형 유전체 재료 부분을 통해 연장되고 상기 워드라인들과 접촉하는 워드라인 컨택트 비아 구조물들; 및

워드라인 컨택트 비아 구조물과 관통-메모리-레벨 비아 구조물의 각각의 쌍들을 전기적으로 단락시키는 상위 레벨 금속 상호접속 구조물들 ―상기 상위 레벨 금속 상호접속 구조물들은 상기 메모리-레벨 어셈블리 위에 놓이고, 상기 제2 블록, 및 상기 제1 블록과 상기 제3 블록 중 하나에 걸침―

을 더 포함하는 반도체 구조물.

청구항 42

제41항에 있어서, 상기 관통-메모리-레벨 비아 구조물들 각각은 각각의 위에 놓인 상위 레벨 금속 상호접속 구

Micron Ex. 1002, p. 278
Micron v. YMTC
IPR2025-00245

조물과 접촉하는, 반도체 구조물.

청구항 43

제38항에 있어서,

상기 유전체 충전 재료 부분은 상기 메모리-레벨 어셈블리를 통해 연장되는 실질적으로 수직인 측벽들을 포함하고;

상기 제1 및 상기 제3 블록의 각각의 계단 영역은 테라스들을 포함하고 테라스들에서 각각의 아래에 놓인 전기 도전 층이 상기 메모리-레벨 어셈블리 내에서 임의의 위에 놓인 전기 도전 층보다 상기 제1 수평 방향을 따라 더 멀리 연장되고;

상기 메모리 스택 구조물들 각각은, 메모리 막, 및 상기 메모리-레벨 어셈블리 아래에 놓인 상기 기판 내의 각각의 수평 채널에 인접한 수직 반도체 채널을 포함하는, 반도체 구조물.

청구항 44

제43항에 있어서, 상기 메모리 스택 구조물들의 드레인 영역들에 전기적으로 결합되는 복수의 비트라인을 더 포함하는 반도체 구조물.

청구항 45

제38항에 있어서,

상기 메모리 스택 구조물들은 수직 NAND 디바이스의 메모리 요소들을 포함하고;

상기 전기 도전 층들은 상기 수직 NAND 디바이스의 각각의 워드라인을 포함하거나, 상기 수직 NAND 디바이스의 각각의 워드라인에 전기적으로 접속되고;

상기 반도체 기판은 실리콘 기판을 포함하고;

상기 수직 NAND 디바이스는 상기 실리콘 기판 위에 모놀리식 3차원 NAND 스트링들의 어레이를 포함하고;

상기 모놀리식 3차원 NAND 스트링들의 어레이의 제1 디바이스 레벨의 적어도 하나의 메모리 셀은, 상기 모놀리식 3차원 NAND 스트링들의 어레이의 제2 디바이스 레벨의 또 다른 메모리 셀 위에 위치하며;

상기 실리콘 기판은, 상기 메모리 디바이스를 위한 워드라인 구동기 회로 및 비트라인 구동기 회로를 포함하는 집적 회로를 포함하고;

상기 모놀리식 3차원 NAND 스트링들의 어레이는 :

복수의 반도체 채널 -상기 복수의 반도체 채널 각각의 적어도 하나의 끝 부분은 상기 반도체 기판의 상단 표면에 실질적으로 수직으로 연장됨-;

복수의 전하 저장 요소 -각각의 전하 저장 요소는 상기 복수의 반도체 채널 중의 각각의 반도체 채널에 인접하여 위치함-; 및

상기 반도체 기판의 상기 상단 표면에 실질적으로 평행하게 연장되는 스트립 형상을 갖는 복수의 제어 게이트 전극 -상기 복수의 제어 게이트 전극은, 적어도, 상기 제1 디바이스 레벨에 위치한 제1 제어 게이트 전극 및 상기 제2 디바이스 레벨에 위치한 제2 제어 게이트 전극을 포함함-

을 포함하는, 반도체 구조물.

청구항 46

3차원 NAND 메모리 디바이스로서,

기판 상에 또는 기판 위에 위치한 워드라인 구동기 디바이스들;

상기 워드라인 구동기 디바이스들 위에 위치한 워드라인들과 절연 층들의 교대 스택;

상기 교대 스택을 통해 연장되는 복수의 메모리 스택 구조물 -각각의 메모리 스택 구조물은 메모리 막과 수직 반도체 채널을 포함함-; 및

Micron Ex. 1002, p. 279
Micron v. YMTC
IPR2025-00245

제1 메모리 블록의 워드라인들을 상기 워드라인 구동기 디바이스들에 전기적으로 결합하는 관통-메모리-레벨 비아 구조물들

을 포함하고,

상기 관통-메모리-레벨 비아 구조물들은 상기 제1 메모리 블록의 계단 영역과 또 다른 메모리 블록의 계단 영역 사이에 위치한 유전체 충전 재료 부분을 통해 연장되고, 상기 워드라인 구동기 디바이스들은 상기 관통-메모리-레벨 비아 구조물들 및 상기 유전체 충전 재료 부분 아래에 위치하는, 디바이스.

청구항 47

제46항에 있어서,

상기 제1 메모리 블록의 계단 영역들 위에 놓인 유전체 재료 부분을 통해 연장되고 상기 제1 메모리 블록 내의 워드라인들과 접촉하는 워드라인 컨택트 비아 구조물들; 및

워드라인 컨택트 비아 구조물과 관통-메모리-레벨 비아 구조물의 각각의 쌍들을 전기적으로 단락시키는 상위 레벨 금속 상호접속 구조물들 -상기 상위 레벨 금속 상호접속 구조물들은 상기 교대 스택 위에 놓이고, 상기 제1 메모리 블록 및 상기 유전체 충전 재료 부분에 걸쳐 있음 -

을 더 포함하는 디바이스.

청구항 48

반도체 구조물을 형성하는 방법으로서,

반도체 기판 위에 메모리-레벨 어셈블리 -상기 메모리-레벨 어셈블리는 적어도 하나의 교대 스택 및 상기 적어도 하나의 교대 스택을 통해 수직으로 연장되는 메모리 스택 구조물들을 포함함- 를 형성하는 단계;

상기 메모리-레벨 어셈블리를 통해 복수의 측방향으로 길쭉한 컨택트 비아 구조물 -상기 복수의 측방향으로 길쭉한 컨택트 비아 구조물은 제1 수평 방향을 따라 측방향으로 연장되고 상기 적어도 하나의 교대 스택을 복수의 측방향으로 이격된 블록으로 측방향으로 분할하며, 상기 복수의 블록은, 상기 제1 수평 방향에 수직인 제2 수평 방향을 따라 배열되고, 각각, 제1 계단 영역, 제2 계단 영역, 및 제3 계단 영역을 포함하는 제1 블록, 제2 블록, 및 제3 블록을 순서대로 포함하는 적어도 3개의 이웃 블록들의 세트를 포함함- 을 형성하는 단계;

상기 제2 계단 영역을 제거하는 단계;

상기 제거된 제2 계단 영역의 구역에서 상기 기판 상에 또는 상기 기판 위에 워드라인 스위치 디바이스들을 형성하는 단계; 및

상기 제1 및 상기 제3 계단 영역은 그대로 유지되면서 상기 워드라인 스위치 디바이스들 위의 상기 제거된 제2 계단 영역의 구역에 관통-메모리-레벨 비아 구조물들을 형성하는 단계

를 포함하는 방법.

청구항 49

제48항에 있어서,

상기 반도체 기판 위에 적어도 하나의 하위 레벨 유전체 층을 형성하는 단계; 및

상기 적어도 하나의 하위 레벨 유전체 층의 레벨에서 상기 워드라인 스위칭 디바이스들의 노드들에 전기적으로 단락된 하위 레벨 금속 상호접속 구조물들 -상기 관통-메모리-레벨 비아 구조물들은 상기 하위 레벨 금속 상호접속 구조물들 상에 직접 형성됨-을 형성하는 단계

를 더 포함하는 방법.

청구항 50

제49항에 있어서,

상기 메모리 스택 구조물들 각각은 메모리 요소들의 수직 스택을 포함하고;

Micron Ex. 1002, p. 280
Micron v. YMTC
IPR2025-00245

상기 적어도 하나의 교대 스택에 전기 도전 층들을 형성하는 단계;

상기 전기 도전 층들은 상기 메모리 요소들을 위한 워드라인들을 포함하고;

상기 워드라인 스위치 디바이스들은 각각의 워드라인에 대한 바이어스 전압을 제어하도록 구성된, 방법.

청구항 51

제50항에 있어서,

상기 제1 및 상기 제3 계단 영역 위에 적어도 하나의 역-계단형 유전체 재료 부분을 형성하는 단계;

상기 제거된 제2 계단 영역의 구역 위에는 어떠한 컨택트 비아 구조물도 형성하지 않으면서, 상기 적어도 하나의 역-계단형 유전체 재료 부분을 통해 상기 제1 및 상기 제3 계단 영역 위에 및 상기 제1 및 상기 제3 블록들 내의 상기 워드라인들 상에 직접 워드라인 컨택트 비아 구조물들을 형성하는 단계; 및

상기 메모리-레벨 어셈블리 위의 워드라인 컨택트 비아 구조물과 관통-메모리-레벨 비아 구조물의 각각의 쌍들 상에 상위 레벨 금속 상호접속 구조물들 -상기 상위 레벨 금속 상호접속 구조물들은, 상기 제2 블록, 및 상기 제1 블록과 상기 제3 블록 중 하나를 가로질러 연장됨- 을 형성하는 단계

를 더 포함하는 방법.

청구항 52

제50항에 있어서,

상기 제2 계단 영역의 구역에서 상기 메모리-레벨 어셈블리를 통해 연장되는 관통-메모리-레벨 개구를 형성함으로써 상기 제2 계단 영역을 제거하는 단계; 및

상기 관통-메모리-레벨 개구 내에 유전체 충전 재료 부분 -상기 관통-메모리-레벨 비아 구조물들 각각은 상기 유전체 충전 재료 부분을 통해 형성됨- 을 형성하는 단계

를 더 포함하는 방법.

청구항 53

제52항에 있어서, 상기 관통-메모리-레벨 개구는 상기 적어도 하나의 하위 레벨 유전체 재료 층 내로 연장되는, 방법.

청구항 54

제53항에 있어서,

상기 관통-메모리-레벨 개구는 상기 메모리-레벨 어셈블리를 통해 연장되는 실질적으로 수직인 측벽들을 포함하고;

상기 메모리 스택 구조물들 각각은, 메모리 막, 및 상기 기판 내의 각각의 수평 채널에 인접한 수직 반도체 채널을 포함하는, 방법.

청구항 55

제54항에 있어서,

상기 적어도 하나의 교대 스택을 형성하기 위해 복수의 교대하는 각각의 희생 층 및 절연 층을 형성하는 단계;

상기 적어도 하나의 교대 스택을 통해 상기 제1 수평 방향을 따라 측방향으로 연장되는 복수의 트렌치를 형성하는 단계;

상기 절연 층들 사이에 복수의 오목부를 형성하기 위해 상기 복수의 트렌치를 통해 상기 적어도 하나의 교대 스택으로부터 상기 희생 층들을 선택적으로 제거하는 단계;

상기 복수의 트렌치를 통해 상기 오목부들에 상기 복수의 전기 도전 층을 형성하는 단계;

상기 복수의 트렌치에 절연 스페이서들을 형성하는 단계; 및

Micron Ex. 1002, p. 281
Micron v. YMTC
IPR2025-00245

상기 복수의 트렌치에 상기 복수의 측방향으로 길쭉한 컨택트 비아 구조물들을 형성하는 단계

를 더 포함하는 방법.

청구항 56

제55항에 있어서,

상기 복수의 트렌치를 통해 상기 오목부들에 상기 복수의 전기 도전 층을 형성하는 단계는, 상기 제2 계단 영역을 제거하는 단계 및 상기 유전체 충전 재료 부분을 형성하는 단계 후에 발생하고;

상기 제2 계단 영역을 제거하는 단계는 상기 제2 계단 영역에서 상기 절연 층들과 상기 희생 층들을 제거하는 단계를 포함하고;

상기 전기 도전 층들은 상기 관통-메모리-레벨 개구에 위치한 상기 유전체 충전 재료 부분에 형성되지 않는, 방법.

청구항 57

제48항에 있어서,

상기 메모리 스택 구조물들은 수직 NAND 디바이스의 메모리 요소들을 포함하고;

상기 전기 도전 층들은 상기 수직 NAND 디바이스의 각각의 워드라인을 포함하거나, 상기 수직 NAND 디바이스의 각각의 워드라인에 전기적으로 접속되고;

상기 반도체 기판은 실리콘 기판을 포함하고;

상기 수직 NAND 디바이스는 상기 실리콘 기판 위에 모놀리식 3차원 NAND 스트링들의 어레이를 포함하고;

상기 모놀리식 3차원 NAND 스트링들의 어레이의 제1 디바이스 레벨의 적어도 하나의 메모리 셀은, 상기 모놀리식 3차원 NAND 스트링들의 어레이의 제2 디바이스 레벨의 또 다른 메모리 셀 위에 위치하며;

상기 실리콘 기판은, 상기 메모리 디바이스를 위한 워드라인 구동기 회로 및 비트라인 구동기 회로를 포함하는 집적 회로를 포함하고;

상기 모놀리식 3차원 NAND 스트링들의 어레이는 :

복수의 반도체 채널 ―상기 복수의 반도체 채널 각각의 적어도 하나의 끝 부분은 상기 반도체 기판의 상단 표면에 실질적으로 수직으로 연장됨―;

복수의 전하 저장 요소 ―각각의 전하 저장 요소는 상기 복수의 반도체 채널 중의 각각의 반도체 채널에 인접하여 위치함―; 및

상기 반도체 기판의 상기 상단 표면에 실질적으로 평행하게 연장되는 스트립 형상을 갖는 복수의 제어 게이트 전극 ―상기 복수의 제어 게이트 전극은, 적어도, 상기 제1 디바이스 레벨에 위치한 제1 제어 게이트 전극 및 상기 제2 디바이스 레벨에 위치한 제2 제어 게이트 전극을 포함함―

을 포함하는, 방법.

청구항 58

반도체 구조물로서,

반도체 기판 위에 위치하고 전기 도전 층들과 절연 층들의 제1 부분들의 적어도 하나의 제1 교대 스택을 포함하고, 상기 적어도 하나의 제1 교대 스택을 통해 수직으로 연장되는 메모리 스택 구조물들 ―상기 메모리 스택 구조물들 각각은 메모리 막과 수직 반도체 채널을 포함하고, 상기 전기 도전 층들은 상기 메모리 스택 구조물들을 위한 워드라인들을 포함함― 을 더 포함하는 메모리-레벨 어셈블리;

상기 메모리-레벨 어셈블리를 통해 수직으로 연장되고 상기 적어도 하나의 제1 교대 스택으로부터 측방향으로 이격된 관통-메모리-레벨 비아 영역의 구역을 정의하는 절연 해자 트렌치 구조물;

상기 관통-메모리-레벨 비아 영역 내에 위치하고, 유전체 스페이서 층들 ―상기 유전체 스페이서 층들 각각은 각각의 전기 도전 층과 동일한 레벨에 위치함― 과 상기 절연 층들의 제2 부분들의 교대 층들을 포함하는 적어

Micron Ex. 1002, p. 282
Micron v. YMTC
IPR2025-00245

도 하나의 제2 교대 스택; 및

상기 관통-메모리-레벨 비아 영역 내에 위치하고 도전성 재료를 포함하는 관통-메모리-레벨 비아 구조물들

을 포함하는 반도체 구조물.

청구항 59

제58항에 있어서,

상기 관통-메모리-레벨 비아 영역의 구역은 상기 절연 해자 트렌치 구조물의 닫힌 내주(closed inner periphery) 내의 구역을 포함하고;

상기 관통-메모리-레벨 비아 구조물들은 상기 메모리-레벨 어셈블리의 최상단 표면 및 상기 메모리-레벨 어셈블리의 최하단 표면을 포함하는 제1 수평면으로부터 수직으로 연장되는, 반도체 구조물.

청구항 60

제58항에 있어서, 제1 수평 방향을 따라 연장되고 상기 메모리-레벨 어셈블리를 복수의 측방향으로 이격된 블록으로 측방향으로 분할하는 복수의 측방향으로 길쭉한 컨택트 비아 구조물을 더 포함하는 반도체 구조물.

청구항 61

제60항에 있어서,

상기 복수의 블록은 상기 제1 수평 방향에 수직인 제2 수평 방향을 따라 배열된 제1 블록, 제2 블록 및 제3 블록을 순서대로 포함하는 적어도 3개의 이웃 블록들의 세트를 포함하고;

상기 절연 해자 트렌치 구조물은 상기 제2 블록의 길이방향 단부 상에 및 상기 제1 블록의 계단 영역과 상기 제3 블록의 계단 영역 사이에 위치하며, 상기 제1 블록 및 상기 제3 블록의 각각의 계단 영역은 테라스들을 포함하고 상기 테라스들에서 각각의 아래에 놓인 전기 도전 층이 상기 메모리-레벨 어셈블리 내에서 임의의 위에 놓인 전기 도전 층보다 상기 제1 수평 방향을 따라 더 멀리 연장되는, 반도체 구조물.

청구항 62

제61항에 있어서, 역-계단형 유전체 재료 부분의 계단형 하단 표면들은 상기 제1 블록 및 상기 제3 블록의 계단 영역들의 계단형 상단 표면들과 접촉하는, 반도체 구조물.

청구항 63

제62항에 있어서, 상기 역-계단형 유전체 재료 부분과 동일한 재료를 포함하고 상기 절연 해자 트렌치 구조물에 의해 상기 역-계단형 유전체 재료 부분으로부터 측방향으로 이격된 추가의 역-계단형 유전체 재료 부분의 계단형 하단 표면들은 상기 적어도 하나의 제2 교대 스택의 계단형 상단 표면들과 접촉하는, 반도체 구조물.

청구항 64

제60항에 있어서,

상기 복수의 측방향으로 길쭉한 컨택트 비아 구조물들 각각은 절연 스페이서에 의해 측방향으로 둘러싸이고;

상기 절연 해자 트렌치 구조물은 상기 메모리 막과 동일한 재료를 포함하는 절연 라이너를 포함하는, 반도체 구조물.

청구항 65

제64항에 있어서, 상기 절연 해자 구조물은 상기 메모리 스택 구조물들 각각에 포함된 층들과 동일한 세트의 층들을 포함하는 층 스택(layer stack)을 포함하는, 반도체 구조물.

청구항 66

제60항에 있어서,

상기 복수의 측방향으로 길쭉한 컨택트 비아 구조물들 각각은 절연 스페이서에 의해 측방향으로 둘러싸이고;

Micron Ex. 1002, p. 283
Micron v. YMTC
IPR2025-00245

상기 절연 해자 트렌치 구조물은 상기 절연 스페이서와 동일한 재료를 포함하는 절연 라이너를 포함하는, 반도체 구조물.

청구항 67

제66항에 있어서, 상기 절연 해자 트렌치 구조물은 상기 복수의 측방향으로 길쭉한 컨택트 비아 구조물과 동일한 도전성 재료를 포함하는 도전성 충전 부분을 포함하는, 반도체 구조물.

청구항 68

제60항에 있어서, 상기 복수의 측방향으로 길쭉한 컨택트 비아 구조물은 각각의 수평 채널들과 접촉하는 각각의 아래에 놓인 소스 영역들과 접촉하는 소스 라인들을 포함하는, 반도체 구조물.

청구항 69

제58항에 있어서, 상기 절연 해자 구조물은 본질적으로 유전체 충전 재료 부분으로 구성된, 반도체 구조물.

청구항 70

제58항에 있어서,

반도체 기판 상에 위치하는 반도체 디바이스들;

상기 반도체 디바이스들의 노드들에 전기적으로 단락되고 상기 반도체 기판 위에 놓인 적어도 하나의 하위 레벨 유전체 층에 매립된 하위 레벨 금속 상호접속 구조물들; 및

상기 적어도 하나의 하위 레벨 유전체 층 위에 놓이고, 상기 메모리 스택 구조물들 내의 수직 반도체 채널들에 접속된 수평 반도체 채널들을 포함하는 평면 반도체 재료 층

을 더 포함하는 반도체 구조물.

청구항 71

제70항에 있어서, 상기 메모리-레벨 어셈블리 위에 놓이고, 상기 각각의 워드라인들에 전기적으로 결합되고, 적어도 하나의 상위 레벨 유전체 층에 매립된, 상위 레벨 금속 상호접속 구조물들을 더 포함하고,

상기 관통-메모리-레벨 비아 구조물들은 상기 메모리-레벨 어셈블리를 통해 수직으로 연장되고, 상위 레벨 금속 상호접속 구조물과 하위 레벨 금속 상호접속 구조물의 각각의 쌍들과 접촉하며;

상기 반도체 디바이스들은 워드라인 스위치 디바이스들을 포함하는, 반도체 구조물.

청구항 72

제58항에 있어서,

상기 메모리 스택 구조물들은 수직 NAND 디바이스의 메모리 요소들을 포함하고;

상기 전기 도전 층들은 상기 수직 NAND 디바이스의 각각의 워드라인을 포함하거나, 상기 수직 NAND 디바이스의 각각의 워드라인에 전기적으로 접속되고;

상기 반도체 기판은 실리콘 기판을 포함하고;

상기 수직 NAND 디바이스는 상기 실리콘 기판 위에 모놀리식 3차원 NAND 스트링들의 어레이를 포함하고;

상기 모놀리식 3차원 NAND 스트링들의 어레이의 제1 디바이스 레벨의 적어도 하나의 메모리 셀은, 상기 모놀리식 3차원 NAND 스트링들의 어레이의 제2 디바이스 레벨의 또 다른 메모리 셀 위에 위치하며;

상기 실리콘 기판은, 상기 메모리 디바이스를 위한 워드라인 구동기 회로 및 비트라인 구동기 회로를 포함하는 집적 회로를 포함하고;

상기 모놀리식 3차원 NAND 스트링들의 어레이는 :

복수의 반도체 채널 -상기 복수의 반도체 채널 각각의 적어도 하나의 끝 부분은 상기 반도체 기판의 상단 표면에 실질적으로 수직으로 연장됨-;

Micron Ex. 1002, p. 284
Micron v. YMTC
IPR2025-00245

복수의 전하 저장 요소 ―각각의 전하 저장 요소는 상기 복수의 반도체 채널 중의 각각의 반도체 채널에 인접하여 위치함―; 및

상기 반도체 기판의 상기 상단 표면에 실질적으로 평행하게 연장되는 스트립 형상을 갖는 복수의 제어 게이트 전극 ―상기 복수의 제어 게이트 전극은, 적어도, 상기 제1 디바이스 레벨에 위치한 제1 제어 게이트 전극 및 상기 제2 디바이스 레벨에 위치한 제2 제어 게이트 전극을 포함함―

을 포함하는, 반도체 구조물.

청구항 73

반도체 구조물을 형성하는 방법으로서,

반도체 기판 위에 절연 층들과 유전체 스페이서 층들의 적어도 하나의 교대 스택을 형성하는 단계;

상기 적어도 하나의 교대 스택을 통해 메모리 스택 구조물들 ―상기 메모리 스택 구조물들 각각은 메모리 막과 수직 반도체 채널을 포함함― 을 형성하는 단계;

상기 적어도 하나의 교대 스택을 통해 관통-메모리-레벨 비아 영역의 구역을 정의하는 해자 트렌치 ―상기 적어도 하나의 교대 스택의 일부는 상기 관통-메모리-레벨 비아 영역 내에 존재함― 를 형성하는 단계;

상기 해자 트렌치 내의 상기 적어도 하나의 교대 스택의 부분을 그대로 유지하면서 상기 관통-메모리-레벨 비아 영역 외부의 상기 유전체 스페이서 층들의 부분들을 전기 도전 층들 ―상기 전기 도전 층들은 상기 메모리 스택 구조물들을 위한 워드라인들을 구성함― 로 대체하는 단계; 및

상기 관통-메모리-레벨 비아 영역 내에 관통-메모리-레벨 비아 구조물들을 형성하는 단계

를 포함하는 방법.

청구항 74

제73항에 있어서, 상기 관통-메모리-레벨 비아 영역 외부의 상기 유전체 스페이서 층들의 부분을 상기 전기 도전 층들로 대체하기 전에 상기 해자 트렌치 내에 절연 해자 트렌치 구조물을 형성하는 단계를 더 포함하고, 상기 관통-메모리-레벨 비아 영역의 구역은 상기 절연 해자 트렌치 구조물의 닫힌 내주 내의 구역을 포함하는, 방법.

청구항 75

제73항에 있어서,

상기 해자 트렌치의 형성과 동시에 상기 적어도 하나의 교대 스택을 통해 배면 컨택트 트렌치를 형성하는 단계; 및

상기 절연 층들을 상기 전기 도전 층들로 대체하기 전에 상기 배면 컨택트 트렌치를 통해 상기 해자 트렌치에 절연 라이너를 퇴적하는 단계

를 더 포함하는 방법.

청구항 76

제75항에 있어서, 상기 배면 컨택트 트렌치 내의 측방향으로 길쭉한 컨택트 비아 구조물 및 상기 절연 라이너 내의 도전성 충전 재료 부분을 동시에 형성하는 단계를 더 포함하는 방법.

청구항 77

제75항에 있어서, 절연 재료를 퇴적하고 이방성 에칭함으로써 상기 배면 컨택트 트렌치 내의 절연 스페이서 및 상기 절연 층 상의 또 다른 절연 라이너를 동시에 형성하는 단계를 더 포함하는 방법.

청구항 78

제73항에 있어서,

상기 해자 트렌치의 형성과 동시에 상기 적어도 하나의 교대 스택을 통해 연장되는 메모리 개구들을 형성하는

Micron Ex. 1002, p. 285
Micron v. YMTC
IPR2025-00245

단계: 및

적어도 하나의 유전체 재료 층을 포함하는 층들의 스택을 퇴적하고 이방성 에칭함으로써 각각의 메모리 개구 내의 메모리 막과 상기 해자 트렌치 내의 절연 라이너를 동시에 형성하는 단계

를 더 포함하는 방법.

청구항 79

제78항에 있어서,

상기 메모리 막들 및 상기 절연 라이너 상에 컨포멀 반도체 재료 층을 퇴적하는 단계; 및

상기 적어도 하나의 교대 스택 위로부터 상기 컨포멀 반도체 재료 층의 부분들을 제거하는 단계

를 더 포함하고,

상기 컨포멀 반도체 재료 층의 각각의 나머지 부분은 각각의 메모리 스택 구조물의 수직 반도체 채널을 구성하고;

상기 해자 트렌치 내의 상기 컨포멀 반도체 재료 층의 나머지 부분은 반도체 충전 재료 부분을 구성하는, 방법.

청구항 80

제73항에 있어서, 상기 관통-메모리-레벨 비아 영역 외부의 상기 유전체 스페이서 층들의 부분을 상기 전기 도전 층들로 대체하기 전에 본질적으로 상기 유전체 재료로 구성된 해자 트렌치 충전 구조물을 형성하기 위해 상기 해자 트렌치를 유전체 재료로 채우는 단계를 더 포함하는 방법.

청구항 81

제73항에 있어서,

상기 적어도 하나의 교대 스택의 주변부에 테라스들을 포함하는 계단 영역들 -각각의 아래에 놓인 유전체 스페이서 층은 상기 적어도 하나의 교대 스택 내에서 임의의 위에 놓인 유전체 스페이서 층보다 제1 수평 방향을 따라 더 멀리 연장됨- 을 형성하는 단계; 및

상기 계단 영역들 위에 역-계단형 유전체 재료 부분 -상기 해자 트렌치는 제1 계단 영역 외부 및 제2 계단 영역 내부에 형성됨- 을 형성하는 단계

를 더 포함하는 방법.

청구항 82

제81항에 있어서,

상기 관통-메모리-레벨 비아 구조물들은, 상기 적어도 하나의 교대 스택의 나머지 부분의 최상단 표면 및 상기 적어도 하나의 교대 스택의 최하단 표면을 포함하는 제1 수평면으로부터 수직으로 연장되고;

상기 역-계단형 유전체 재료 부분의 나머지 부분은 상기 제1 계단 영역 내의 상기 전기 도전 층들의 부분들 및 상기 제2 계단 영역 내의 상기 유전체 스페이서 층들의 나머지 부분들 위로 계속 연장되는, 방법.

청구항 83

제73항에 있어서, 제1 수평 방향을 따라 연장되고 상기 메모리-레벨 어셈블리를 복수의 측방향으로 이격된 블록으로 측방향으로 분할하는 복수의 측방향으로 길쭉한 컨택트 비아 구조물을 형성하는 단계를 더 포함하고,

상기 복수의 블록은 상기 제1 수평 방향에 수직인 제2 수평 방향을 따라 배열된 제1 블록, 제2 블록 및 제3 블록을 순서대로 포함하는 적어도 3개의 이웃 블록들의 세트를 포함하고;

상기 해자 트렌치는 상기 제2 블록의 길이방향 단부 상에 및 상기 제1 블록의 계단 영역과 상기 제3 블록의 계단 영역 사이에 형성되며, 상기 제1 블록 및 상기 제3 블록의 각각의 계단 영역은 테라스들을 포함하고 테라스들에서 각각의 아래에 놓인 전기 도전 층이 상기 메모리-레벨 어셈블리 내에서 임의의 위에 놓인 전기 도전 층보다 상기 제1 수평 방향을 따라 더 멀리 연장되는, 방법.

Micron Ex. 1002, p. 286
Micron v. YMTC
IPR2025-00245

청구항 84

제73항에 있어서,

상기 반도체 기판 상에 워드라인 스위치 반도체 디바이스들을 형성하는 단계;

상기 워드라인 스위치 반도체 디바이스들의 노드들에 전기적으로 단락되고 상기 반도체 기판 위의 적어도 하나의 하위 레벨 유전체 층에 매립된 하위 레벨 금속 상호접속 구조물들을 형성하는 단계;

상기 적어도 하나의 하위 레벨 유전체 층 위에 평면 반도체 재료 층 -상기 평면 반도체 재료 층은 상기 메모리 스택 구조물들 내의 수직 반도체 채널들에 접속된 수평 반도체 채널들을 포함함- 을 형성하는 단계; 및

상기 메모리-레벨 어셈블리 위에 놓이고, 상기 워드라인들에 전기적으로 결합되며, 적어도 하나의 상위 레벨 유전체 층에 매립된 상위 레벨 금속 상호접속 구조물들 -상기 관통-메모리-레벨 비아 구조물들은 상위 레벨 금속 상호접속 구조물과 하위 레벨 금속 상호접속 구조물의 각각의 쌍들과 접촉함- 을 형성하는 단계

를 더 포함하는 방법.

청구항 85

제73항에 있어서,

상기 메모리 스택 구조물들은 수직 NAND 디바이스의 메모리 요소들을 포함하고;

상기 전기 도전 층들은 상기 수직 NAND 디바이스의 각각의 워드라인을 포함하거나, 상기 수직 NAND 디바이스의 각각의 워드라인에 전기적으로 접속되고;

상기 반도체 기판은 실리콘 기판을 포함하고;

상기 수직 NAND 디바이스는 상기 실리콘 기판 위에 모놀리식 3차원 NAND 스트링들의 어레이를 포함하고;

상기 모놀리식 3차원 NAND 스트링들의 어레이의 제1 디바이스 레벨의 적어도 하나의 메모리 셀은, 상기 모놀리식 3차원 NAND 스트링들의 어레이의 제2 디바이스 레벨의 또 다른 메모리 셀 위에 위치하며;

상기 실리콘 기판은, 상기 메모리 디바이스를 위한 워드라인 구동기 회로 및 비트라인 구동기 회로를 포함하는 집적 회로를 포함하고;

상기 모놀리식 3차원 NAND 스트링들의 어레이는 :

복수의 반도체 채널 -상기 복수의 반도체 채널 각각의 적어도 하나의 끝 부분은 상기 반도체 기판의 상단 표면에 실질적으로 수직으로 연장됨-;

복수의 전하 저장 요소 -각각의 전하 저장 요소는 상기 복수의 반도체 채널 중의 각각의 반도체 채널에 인접하여 위치함-; 및

상기 반도체 기판의 상기 상단 표면에 실질적으로 평행하게 연장되는 스트립 형상을 갖는 복수의 제어 게이트 전극 -상기 복수의 제어 게이트 전극은, 적어도, 상기 제1 디바이스 레벨에 위치한 제1 제어 게이트 전극 및 상기 제2 디바이스 레벨에 위치한 제2 제어 게이트 전극을 포함함-

을 포함하는, 방법.

청구항 86

반도체 구조물로서,

반도체 기판 위에 위치하고 전기 도전 층들과 절연 층들의 제1 부분들의 적어도 하나의 교대 스택을 포함하고, 상기 적어도 하나의 교대 스택을 통해 수직으로 연장되는 메모리 스택 구조물들을 더 포함하는 메모리-레벨 어셈블리 -상기 메모리 스택 구조물들 각각은 메모리 막과 수직 반도체 채널을 포함하고, 상기 전기 도전 층들은 상기 메모리 스택 구조물들을 위한 워드라인들을 구성하고, 복수의 측방향으로 길쭉한 컨택트 비아 구조물은 상기 메모리-레벨 어셈블리를 통해 수직으로 연장되고, 제1 수평 방향을 따라 측방향으로 연장되며, 상기 적어도 하나의 교대 스택을 상기 메모리-레벨 어셈블리 내의 복수의 측방향으로 이격된 블록으로 측방향으로 분할함-; 및

Micron Ex. 1002, p. 287
Micron v. YMTC
IPR2025-00245

블록 내의 관통-메모리-레벨 비아 영역에 위치한 적어도 하나의 관통-메모리-레벨 비아 구조물

을 포함하고,

상기 관통-메모리-레벨 비아 영역은 한 쌍의 측방향으로 길쭉한 컨택트 비아 구조물들 사이에 및 상기 블록 내에 위치한 메모리 스택 구조물들의 2개 그룹 사이에 위치하며;

상기 적어도 하나의 관통-메모리-레벨 비아 구조물 각각은 상기 메모리-레벨 어셈블리를 통해 수직으로 연장되고;

상기 적어도 하나의 관통-메모리-레벨 비아 구조물 각각은 각각의 절연 라이너에 의해 상기 전기 도전 층들로부터 측방향으로 전기적으로 격리되는, 반도체 구조물.

청구항 87

제86항에 있어서,

상기 메모리-레벨 어셈블리 아래의 상기 반도체 기판 상에 또는 상기 반도체 기판 위에 위치하는 반도체 디바이스들; 및

상기 반도체 디바이스들의 노드들에 전기적으로 단락되고 상기 반도체 기판 위에 놓인 적어도 하나의 하위 레벨 유전체 층에 매립되며 상기 적어도 하나의 관통-메모리-레벨 비아 구조물과 접촉하는 하위 레벨 금속 상호접속 구조물들

을 더 포함하는 반도체 구조물.

청구항 88

제87항에 있어서, 상기 적어도 하나의 하위 레벨 유전체 층 위에 놓이고, 상기 메모리 스택 구조물들 내의 수직 반도체 채널들에 접속된 수평 반도체 채널들을 포함하는 평면 반도체 재료 층

을 더 포함하는 반도체 구조물.

청구항 89

제87항에 있어서,

상기 적어도 하나의 관통-메모리-레벨 비아 구조물은 소스 션트 라인(source shunt line) 또는 전력 스트랩(power strap) 중 적어도 하나에 전기적으로 결합되고;

상기 반도체 디바이스들은 워드라인 스위치 트랜지스터들을 포함하는, 반도체 구조물.

청구항 90

제89항에 있어서, 상기 적어도 하나의 관통-메모리-레벨 비아 구조물의 각각의 측벽의 하단 부분은 상기 적어도 하나의 하위 레벨 유전체 층과 물리적으로 접촉하는, 반도체 구조물.

청구항 91

제89항에 있어서, 각각의 절연 라이너는 상기 절연 라이너에 의해 에워싸인 각각의 관통-메모리-레벨 비아 구조물보다 작은 수직 범위를 갖는, 반도체 구조물.

청구항 92

제86항에 있어서,

상기 복수의 측방향으로 길쭉한 컨택트 비아 구조물들 각각은 절연 스페이서에 의해 상기 적어도 하나의 교대 스택으로부터 측방향으로 전기적으로 격리되고; 상기 적어도 하나의 관통-메모리-레벨 비아 구조물 각각은, 상기 절연 스페이서와 동일한 재료 조성 및 동일한 두께를 갖는 절연 라이너에 의해 상기 적어도 하나의 교대 스택으로부터 측방향으로 전기적으로 격리된, 반도체 구조물.

청구항 93

Micron Ex. 1002, p. 288
Micron v. YMTC
IPR2025-00245

제86항에 있어서, 상기 반도체 기판 위에 놓이고, 상기 메모리 스택 구조물들 내의 수직 반도체 채널들에 접속된 수평 반도체 채널들을 포함하는 평면 반도체 재료 층

을 더 포함하고,

상기 적어도 하나의 관통-메모리-레벨 비아 구조물은 상기 평면 반도체 재료 층의 개구를 통해 연장되며;

상기 복수의 측방향으로 길쭉한 컨택트 비아 구조물은 상기 평면 반도체 재료 층의 상단 표면에서 종단되는, 반도체 구조물.

청구항 94

제93항에 있어서, 상기 복수의 측방향으로 길쭉한 컨택트 비아 구조물은 상기 평면 반도체 재료 층 내에 위치한 각각의 수평 채널들과 접촉하는 각각의 아래에 놓인 소스 영역들과 접촉하는 소스 라인들을 포함하는, 반도체 구조물.

청구항 95

제86항에 있어서, 상기 관통-메모리-레벨 비아 영역 내에 위치하고, 유전체 스페이서 층들 --상기 유전체 스페이서 층들 각각은 각각의 전기 도전층과 동일한 레벨에 위치함-- 과 상기 절연 층들의 제2 부분들의 교대 층들을 포함하는 적어도 하나의 제2 교대 스택

을 더 포함하는 반도체 구조물.

청구항 96

제95항에 있어서,

상기 관통-메모리-레벨 비아 영역은 상기 적어도 하나의 제2 교대 스택을 측방향으로 에워싸는 절연 해자 트렌치 구조물을 포함하는, 반도체 구조물.

청구항 97

제96항에 있어서, 상기 절연 해자 트렌치 구조물의 내측 측벽들과 상기 적어도 하나의 관통-메모리-레벨 비아 구조물의 측벽들은 상기 적어도 하나의 제2 교대 스택과 물리적으로 접촉하는, 반도체 구조물.

청구항 98

제96항에 있어서,

상기 절연 해자 트렌치 구조물은 외측 절연 라이너 및 내측 절연 라이너를 포함하고;

상기 복수의 측방향으로 길쭉한 컨택트 비아 구조물들 각각은 상기 내측 절연 라이너와 동일한 조성 및 동일한 두께를 갖는 유전체 재료를 포함하는 절연 스페이서에 의해 측방향으로 둘러싸인, 반도체 구조물.

청구항 99

제96항에 있어서, 상기 절연 해자 트렌치 구조물은 상기 복수의 측방향으로 길쭉한 컨택트 비아 구조물과 동일한 재료 조성을 갖는 도전성 충전 부분을 포함하는, 반도체 구조물.

청구항 100

제96항에 있어서,

상기 절연 해자 트렌치 구조물은 외측 절연 라이너와 내측 절연 충전 부분으로 구성되고;

상기 복수의 측방향으로 길쭉한 컨택트 비아 구조물들 각각은 내측 절연 충전 부분과 동일한 유전체 재료를 포함하는 절연 스페이서에 의해 측방향으로 둘러싸인, 반도체 구조물.

청구항 101

제86항에 있어서,

Micron Ex. 1002, p. 289
Micron v. YMTC
IPR2025-00245

상기 메모리 스택 구조물들은 수직 NAND 디바이스의 메모리 요소들을 포함하고;

상기 전기 도전 층들은 상기 수직 NAND 디바이스의 각각의 워드라인을 포함하거나, 상기 수직 NAND 디바이스의 각각의 워드라인에 전기적으로 접속되고;

상기 반도체 기판은 실리콘 기판을 포함하고;

상기 수직 NAND 디바이스는 상기 실리콘 기판 위에 모놀리식 3차원 NAND 스트링들의 어레이를 포함하고;

상기 모놀리식 3차원 NAND 스트링들의 어레이의 제1 디바이스 레벨의 적어도 하나의 메모리 셀은, 상기 모놀리식 3차원 NAND 스트링들의 어레이의 제2 디바이스 레벨의 또 다른 메모리 셀 위에 위치하며;

상기 실리콘 기판은, 상기 메모리 디바이스를 위한 워드라인 구동기 회로 및 비트라인 구동기 회로를 포함하는 집적 회로를 포함하고;

상기 모놀리식 3차원 NAND 스트링들의 어레이는 :

복수의 반도체 채널 -상기 복수의 반도체 채널 각각의 적어도 하나의 끝 부분은 상기 반도체 기판의 상단 표면에 실질적으로 수직으로 연장됨-;

복수의 전하 저장 요소 -각각의 전하 저장 요소는 상기 복수의 반도체 채널 중의 각각의 반도체 채널에 인접하여 위치함-; 및

상기 반도체 기판의 상기 상단 표면에 실질적으로 평행하게 연장되는 스트립 형상을 갖는 복수의 제어 게이트 전극 -상기 복수의 제어 게이트 전극은, 적어도, 상기 제1 디바이스 레벨에 위치한 제1 제어 게이트 전극 및 상기 제2 디바이스 레벨에 위치한 제2 제어 게이트 전극을 포함함-

을 포함하는, 반도체 구조물.

청구항 102

반도체 구조물을 형성하는 방법으로서,

반도체 기판 위에 위치한 메모리-레벨 어셈블리를 형성하는 단계 -상기 메모리-레벨 어셈블리는 전기 도전 층들과 절연 층들의 제1 부분들의 적어도 하나의 교대 스택을 포함하고, 상기 적어도 하나의 교대 스택을 통해 수직으로 연장되는 메모리 스택 구조물들을 더 포함하며, 상기 메모리 스택 구조물들 각각은 메모리 막과 수직 반도체 채널을 포함함- ;

상기 메모리-레벨 어셈블리를 통해 복수의 측방향으로 길쭉한 컨택트 비아 구조물을 형성하는 단계 -상기 복수의 측방향으로 길쭉한 컨택트 비아 구조물은 제1 수평 방향을 따라 측방향으로 연장되고, 상기 적어도 하나의 교대 스택을 상기 메모리-레벨 어셈블리 내의 복수의 측방향으로 이격된 블록으로 측방향으로 분할함-; 및

블록 내의 관통-메모리-레벨 비아 영역에 적어도 하나의 관통-메모리-레벨 비아 구조물을 형성하는 단계 -상기 관통-메모리-레벨 비아 영역은 한 쌍의 측방향으로 길쭉한 컨택트 비아 구조물들 사이에 및 상기 블록에 위치한 메모리 스택 구조물들의 2개 그룹 사이에 위치하고 관통-메모리-레벨 비아 구조물들을 포함하고, 상기 적어도 하나의 관통-메모리-레벨 비아 구조물 각각은 상기 메모리-레벨 어셈블리를 통해 수직으로 연장됨-

를 포함하는 방법.

청구항 103

제102항에 있어서,

상기 반도체 기판 상에 또는 상기 반도체 기판 위에 위치하는 반도체 디바이스들을 형성하는 단계; 및

상기 반도체 디바이스들의 노드들에 전기적으로 단락되고 상기 반도체 기판 위의 적어도 하나의 하위 레벨 유전체 층에 매립된 하위 레벨 금속 상호접속 구조물들 -상기 적어도 하나의 관통-메모리-레벨 비아 구조물은 상기 하위 레벨 금속 상호접속 구조물들 상에 형성됨- 을 형성하는 단계

를 더 포함하는 방법.

청구항 104

Micron Ex. 1002, p. 290
Micron v. YMTC
IPR2025-00245

제103항에 있어서, 상기 적어도 하나의 하위 레벨 유전체 층 위에 평면 반도체 재료 층을 형성하는 단계를 더 포함하고, 상기 평면 반도체 재료 층은 상기 메모리 스택 구조물들 내의 수직 반도체 채널들에 접속된 수평 반도체 채널들을 포함하는, 방법.

청구항 105

제102항에 있어서,

상기 메모리-레벨 어셈블리를 통해 적어도 하나의 관통-메모리-레벨 개구를 형성하는 단계;

각각의 관통-메모리-레벨 개구의 주변 둘레에 절연 라이너를 형성하는 단계; 및

각각의 절연 라이너 상에 관통-메모리-레벨 비아 구조물을 형성하는 단계

를 더 포함하는 방법.

청구항 106

제105항에 있어서,

상기 적어도 하나의 관통-메모리-레벨 개구의 형성과 동시에 상기 적어도 하나의 교대 스택을 통해 배면 컨택트 트렌치를 형성하는 단계; 및

컨포멀 절연 재료 층을 퇴적하고 이방성 에칭함으로써 상기 적어도 하나의 절연 라이너의 형성과 동시에 상기 배면 컨택트 트렌치의 측벽 상에 절연 스페이서를 형성하는 단계

를 더 포함하고,

상기 컨포멀 절연 재료 층이 이방성 에칭되는 동안 상기 적어도 하나의 관통-메모리-레벨 개구는 아래쪽으로 연장되고;

하위 레벨 금속 상호접속 구조물은 상기 적어도 하나의 관통-메모리-레벨 개구 중 하나의 하단에서 물리적으로 노출되는, 방법.

청구항 107

제106항에 있어서, 상기 배면 컨택트 트렌치 내의 측방향으로 길쭉한 컨택트 비아 구조물 및 각각의 절연 라이너 내의 도전성 충전 재료 부분을 동시에 형성하는 단계를 더 포함하는 방법.

청구항 108

제102항에 있어서, 상기 반도체 기판 위에 평면 반도체 재료 층을 형성하는 단계를 더 포함하고, 상기 평면 반도체 재료 층은 상기 메모리 스택 구조물들 내의 수직 반도체 채널들에 접속된 수평 반도체 채널들을 포함하며,

상기 관통-메모리-레벨 비아 구조물들은 상기 평면 반도체 재료 층의 개구를 통해 연장되고;

상기 복수의 측방향으로 길쭉한 컨택트 비아 구조물들은 상기 평면 반도체 재료 층의 상단 표면에서 종단되며;

상기 복수의 측방향으로 길쭉한 컨택트 비아 구조물은 상기 평면 반도체 재료 층 내에 위치한 각각의 수평 채널들과 접촉하는 각각의 아래에 놓인 소스 영역들과 접촉하는 소스 라인들을 포함하는, 방법.

청구항 109

제102항에 있어서,

상기 반도체 기판 위에 절연 층들과 희생 재료 층들의 적어도 하나의 공정중(in-process) 교대 스택을 형성하는 단계;

상기 관통-메모리-레벨 비아 영역에 적어도 하나의 관통-메모리-레벨 개구를 형성하는 단계;

배면 오목부들을 형성하기 위해 상기 절연 층들에 대해 선택적으로 상기 희생 재료 층들을 제거하는 단계; 및

상기 배면 오목부들을 상기 전기 도전 층으로 채움으로써, 상기 적어도 하나의 교대 스택을 형성하는 단계

를 더 포함하는 방법.

Micron Ex. 1002, p. 291
Micron v. YMTC
IPR2025-00245

청구항 110

제109항에 있어서,

상기 적어도 하나의 관통-메모리-레벨 개구의 형성과 동시에 배면 컨택트 트렌치들을 형성하는 단계;

상기 전기 도전 층들의 형성 후에 상기 배면 컨택트 트렌치들 각각 내의 절연 스페이서 및 상기 적어도 하나의 관통-메모리-레벨 개구 각각 내의 절연 라이너를 동시에 형성하는 단계; 및

상기 적어도 하나의 관통-메모리-레벨 비아 구조물 및 상기 복수의 측방향으로 길쭉한 컨택트 비아 구조물을 동시에 형성하는 단계

를 더 포함하는 방법.

청구항 111

제109항에 있어서, 상기 복수의 측방향으로 길쭉한 컨택트 비아 구조물의 형성 전에, 상기 적어도 하나의 관통-메모리-레벨 개구 각각을, 각각의 절연 라이너 및 각각의 관통-메모리-레벨 비아 구조물로 채우는 단계를 더 포함하는 방법.

청구항 112

제102항에 있어서,

상기 반도체 기판 위에 절연 층들과 희생 재료 층들의 적어도 하나의 공정중 교대 스택을 형성하는 단계;

외주부 내에 상기 관통-메모리-레벨 비아 영역의 구역을 포함하는 해자 트렌치 및 상기 적어도 하나의 공정중 교대 스택을 통해 배면 컨택트 트렌치들을 형성하는 단계;

상기 배면 컨택트 트렌치들의 측벽들이 물리적으로 환경에 노출되면서, 상기 해자 트렌치의 측벽들 상에 패터닝된 절연 라이너 층을 형성하는 단계;

상기 관통-메모리-레벨 비아 영역에 적어도 하나의 관통-메모리-레벨 개구를 형성하는 단계;

상기 배면 컨택트 트렌치들을 통해 에칭제를 도입함으로써 상기 절연 층들에 대해 선택적으로 상기 희생 재료 층들을 제거함으로써, 배면 오목부들을 형성하는 단계; 및

상기 배면 컨택트 트렌치들을 통해 반응물을 도입함으로써 상기 배면 오목부들을 상기 전기 도전 층으로 채움으로써, 상기 적어도 하나의 교대 스택을 형성하는 단계

를 더 포함하는 방법.

청구항 113

제112항에 있어서,

상기 배면 컨택트 트렌치들 내의 절연 스페이서들 및 상기 해자 트렌치 내의 상기 패터닝된 절연 라이너를 동시에 형성하는 단계; 및

상기 패터닝된 절연 스페이서들 상의 상기 복수의 측방향으로 길쭉한 컨택트 비아 구조물 및 상기 절연 라이너 상의 도전성 충전 재료 부분을 동시에 형성하는 단계

를 더 포함하고,

상기 적어도 하나의 공정중 교대 스택의 나머지 부분은 상기 해자 트렌치에 의해 에워싸인 구역 내에 남아있는, 방법.

청구항 114

제112항에 있어서,

상기 배면 컨택트 트렌치들 내의 절연 스페이서들 및 상기 해자 트렌치 내의 절연 재료 충전 부분을 동시에 형성하는 단계; 및

Micron Ex. 1002, p. 292
Micron v. YMTC
IPR2025-00245

상기 절연 스페이서들 상에 복수의 측방향으로 길쭉한 컨택트 비아 구조물을 형성하는 단계

를 더 포함하고,

상기 적어도 하나의 공정중 교대 스택의 나머지 부분은 상기 해자 트렌치에 의해 에워싸인 구역 내에 남아있는, 방법.

청구항 115

제102항에 있어서,

상기 메모리 스택 구조물들은 수직 NAND 디바이스의 메모리 요소들을 포함하고;

상기 전기 도전 층들은 상기 수직 NAND 디바이스의 각각의 워드라인을 포함하거나, 상기 수직 NAND 디바이스의 각각의 워드라인에 전기적으로 접속되고;

상기 반도체 기판은 실리콘 기판을 포함하고;

상기 수직 NAND 디바이스는 상기 실리콘 기판 위에 모놀리식 3차원 NAND 스트링들의 어레이를 포함하고;

상기 모놀리식 3차원 NAND 스트링들의 어레이의 제1 디바이스 레벨의 적어도 하나의 메모리 셀은, 상기 모놀리식 3차원 NAND 스트링들의 어레이의 제2 디바이스 레벨의 또 다른 메모리 셀 위에 위치하며;

상기 실리콘 기판은, 상기 메모리 디바이스를 위한 워드라인 구동기 회로 및 비트라인 구동기 회로를 포함하는 집적 회로를 포함하고;

상기 모놀리식 3차원 NAND 스트링들의 어레이는 :

복수의 반도체 채널 -상기 복수의 반도체 채널 각각의 적어도 하나의 끝 부분은 상기 반도체 기판의 상단 표면에 실질적으로 수직으로 연장됨-;

복수의 전하 저장 요소 -각각의 전하 저장 요소는 상기 복수의 반도체 채널 중의 각각의 반도체 채널에 인접하여 위치함-; 및

상기 반도체 기판의 상기 상단 표면에 실질적으로 평행하게 연장되는 스트립 형상을 갖는 복수의 제어 게이트 전극 -상기 복수의 제어 게이트 전극은, 적어도, 상기 제1 디바이스 레벨에 위치한 제1 제어 게이트 전극 및 상기 제2 디바이스 레벨에 위치한 제2 제어 게이트 전극을 포함함-

을 포함하는, 방법.

발명의 설명

기 술 분 야

[0001] 관련 출원

[0002] 본 출원은, 참조로 그 전체내용이 본 명세서에 포함되는, 2015년 12월 22일 출원된 미국 가출원 번호 제62/271,210호; 2016년 9월 19일 출원된 미국 비가출원 번호 제15/269,041호; 2016년 9월 19일 출원된 미국 비가출원 번호 제15/269,112호; 2016년 9월 19일 출원된 미국 비가출원 번호 제15/269,294호; 2016년 9월 19일 출원된 미국 가출원 번호 제15/269,946호; 및 2016년 9월 19일 출원된 미국 비가출원 번호 제15/269,017호의 우선권을 주장한다.

[0003] 분야

[0004] 본 개시내용은 대체로 반도체 디바이스 분야에 관한 것이며, 구체적으로는, 수직 NAND 스트링 및 기타의 3차원 디바이스 등의 3차원 비휘발성 메모리 디바이스, 및 그 형성 방법에 관한 것이다.

배 경 기 술

[0005] 최근, 때때로 BiCS(Bit Cost Scalable) 아키텍처라고도 하는 3차원(3D) 스택화된 메모리 스택 구조물을 이용한 초 고밀도 저장 디바이스가 제안되었다. 예를 들어, 3D NAND 스택화된 메모리 디바이스는, 전기 도전 층으로서 형성되거나 전기 도전 층으로 대체되는, 절연 재료와 스페이서 재료 층들의 교대 스택의 어레이로부터 형성될 수 있다. 메모리 개구들이 교대 스택을 통해 형성되고, 메모리 스택 구조물들로 채워지며, 메모리 스택 구조물

Micron Ex. 1002, p. 293
Micron v. YMTC
IPR2025-00245

들 각각은 메모리 요소들의 수직 스택과 수직 반도체 채널을 포함한다. 교대 스택 및 메모리 스택 구조물을 포함하는 메모리-레벨 어셈블리가 기판 위에 형성된다. 전기 도전 층은 3D NAND 스택화된 메모리 디바이스의 워드라인으로서 기능할 수 있고, 메모리 스택 구조물들의 어레이 위에 놓인 비트라인은 수직 반도체 채널의 드레인-측 끝단에 접속될 수 있다. 3차원 메모리 디바이스들이 더 작은 디바이스 치수로 스케일링됨에 따라, 주변 디바이스들을 위한 디바이스 구역은 전체 칩 면적의 상당 부분을 차지할 수 있다.

발명의 내용

해결하려는 과제

[0006] 따라서, 전체 칩 크기를 크게 증가시키지 않으면서, 워드라인 구동기 회로 등의 다양한 주변 디바이스를 제공하는 방법이 요구된다. 또한, 메모리 스택 구조물의 어레이 내의 효율적인 전력 분배망은 3차원 메모리 디바이스의 성능을 증가시킬 수 있다. 반도체 칩의 풋프린트를 과도하게 증가시키지 않으면서 전력 분배를 향상시키는 방법이 또한 요구된다.

과제의 해결 수단

[0007] 본 개시내용의 한 양태에 따르면, 3차원 NAND 메모리 디바이스는, 기판 상에 또는 기판 위에 배치된 워드라인 구동기 디바이스들, 워드라인 구동기 디바이스들 위에 위치한 워드라인들과 절연 층들의 교대 스택, 교대 스택을 통해 연장되는 복수의 메모리 스택 구조물 -각각의 메모리 스택 구조물은 메모리 막과 수직 반도체 채널을 포함함-, 및 제1 메모리 블록 내의 워드라인들을 워드라인 구동기 디바이스들에 전기적으로 결합하는 관통-메모리-레벨 비아 구조물을 포함한다. 관통-메모리-레벨 비아 구조물은 제1 메모리 블록의 계단 영역과 또 다른 메모리 블록의 계단 영역 사이에 위치한 관통-메모리-레벨 비아 영역을 통해 연장된다.

[0008] 본 개시내용의 한 양태에 따르면, 반도체 구조물이 제공되고, 이 반도체 구조물은 : 반도체 기판 위에 위치하고 적어도 하나의 교대 스택 -적어도 하나의 교대 스택은 각각의 절연 층들과 각각의 전기 도전 층들의 교대 층들을 포함함- 과 적어도 하나의 교대 스택을 통해 수직으로 연장되는 메모리 스택 구조물들을 포함하는 메모리-레벨 어셈블리; 메모리-레벨 어셈블리를 통해 수직으로 연장되고, 제1 수평 방향을 따라 측방향으로 연장되며, 적어도 하나의 교대 스택을 복수의 측방향으로 이격된 블록으로 측방향으로 분할하는 복수의 측방향으로 길쭉한 컨택트 비아 구조물(a plurality of laterally-elongated contact via structures) -복수의 블록들은, 제1 수평 방향에 수직인 제2 수평 방향을 따라 배열된 제1 블록, 제2 블록 및 제3 블록을 순서대로 포함하는 3개의 이웃 블록들의 세트를 포함함-; 및 제2 블록의 길이방향 단부 상에 및 제1 블록의 계단 영역과 제3 블록의 계단 영역 사이에 위치하는 관통-메모리-레벨 비아 영역을 포함한다. 제1 및 제3 블록의 각각의 계단 영역은 테라스(terrace)들을 포함하고 테라스들에서 각각의 아래에 놓인 전기 도전 층이 메모리-레벨 어셈블리 내에서 임의의 위에 놓인 전기 도전 층보다 제1 수평 방향을 따라 더 멀리 연장된다. 관통-메모리-레벨 비아 영역은, 적어도, 메모리-레벨 어셈블리의 최상단 표면을 포함하는 제1 수평면으로부터 메모리-레벨 어셈블리의 최하단 표면을 포함하는 제2 수평면까지 수직으로 연장되는 관통-메모리-레벨 비아 구조물을 포함한다.

[0009] 본 개시내용의 또 다른 양태에 따르면, 반도체 구조물을 형성하는 방법이 제공된다. 메모리-레벨 어셈블리는 반도체 기판 위에 형성된다. 메모리-레벨 어셈블리는, 적어도 하나의 교대 스택, 및 적어도 하나의 교대 스택을 통해 수직으로 연장되는 메모리 스택 구조물들을 포함한다. 적어도 하나의 교대 스택은 각각의 절연 층들과 각각의 전기 도전 층들의 교대 층들을 포함하고, 적어도 하나의 교대 스택은 테라스들을 포함하는 계단 영역들을 포함하고 테라스들에서 각각의 아래에 놓인 전기 도전 층이 메모리-레벨 어셈블리 내에서 임의의 위에 놓인 전기 도전 층보다 제1 수평 방향을 따라 더 멀리 연장된다. 복수의 측방향으로 길쭉한 컨택트 비아 구조물이 메모리-레벨 어셈블리를 통해 형성된다. 복수의 측방향으로 길쭉한 컨택트 비아 구조물은 제1 수평 방향을 따라 측방향으로 연장되고 적어도 하나의 교대 스택을 복수의 측방향으로 이격된 블록으로 측방향으로 분할한다. 복수의 블록은, 제1 수평 방향에 수직인 제2 수평 방향을 따라 배열되고, 각각, 각각의 제1 계단 영역, 제2 계단 영역, 및 제3 계단 영역을 포함하는 제1 블록, 제2 블록 및 제3 블록을 순서대로 포함한 3개의 이웃 블록들의 세트를 포함한다. 제2 계단 영역이 제거된다. 관통-메모리-레벨 비아 구조물은 제거된 제2 계단 영역의 구역에 형성되는 반면, 제1 및 제3 계단 영역은 그대로 유지된다. 관통-메모리-레벨 비아 구조물들 각각은, 적어도, 메모리-레벨 어셈블리의 최상단 표면을 포함하는 제1 수평면으로부터 메모리-레벨 어셈블리의 최하단 표면을 포함하는 제2 수평면까지 수직으로 연장된다.

[0010] 본 개시내용의 역시 또 다른 양태에 따르면, 3차원 NAND 메모리 디바이스는, 기판 위에 위치한 워드라인 구동기

Micron Ex. 1002, p. 294
Micron v. YMTC
IPR2025-00245

디바이스들, 워드라인 구동기 디바이스들 위에 위치한 워드라인들과 절연 층들의 교대 스택, 교대 스택을 통해 연장되는 복수의 메모리 스택 구조물 -각각의 메모리 스택 구조물은 메모리 막과 수직 반도체 채널을 포함함-, 및 제1 메모리 블록 내의 워드라인들을 워드라인 구동기 디바이스들에 전기적으로 결합하는 관통-메모리-레벨 비아 구조물을 포함한다. 관통-메모리-레벨 비아 구조물은 제1 메모리 블록의 계단 영역과 또 다른 메모리 블록의 계단 영역 사이에 위치한 유전체 충전 재료 부분(dielectric fill material portion)을 통해 연장된다.

[0011] 본 개시내용의 역시 또 다른 양태에 따르면, 반도체 구조물이 제공되고, 이 반도체 구조물은 : 전계 효과 트랜지스터들을 포함하고 반도체 기판 상에 위치하는 워드라인 스위칭 디바이스들; 및 반도체 기판 위에 놓이고, 적어도 하나의 교대 스택과 적어도 하나의 교대 스택을 통해 수직으로 연장되는 메모리 스택 구조물들을 포함하는 메모리-레벨 어셈블리를 포함한다. 적어도 하나의 교대 스택 각각은, 각각의 절연 층들과 메모리 스택 구조물들을 위한 워드라인들을 포함하는 각각의 전기 도전 층들의 교대 층들을 포함한다. 복수의 측방향으로 길쭉한 컨택트 비아 구조물들은 메모리-레벨 어셈블리를 통해 수직으로 연장되고, 제1 수평 방향을 따라 측방향으로 연장되며, 메모리-레벨 어셈블리를 복수의 측방향으로 이격된 블록으로 측방향으로 분할한다. 복수의 블록은, 제1 수평 방향에 수직인 제2 수평 방향을 따라 배열된 제1 블록, 제2 블록 및 제3 블록을 순서대로 포함하는 3개의 이웃 블록들의 세트를 포함한다. 관통-메모리-레벨 비아 영역은 제2 블록의 길이 방향 단부 상의 워드라인 스위칭 디바이스들의 구역 바로 위에 및 제1 블록의 계단 영역과 제3 블록의 계단 영역 사이에 위치하며, 제1 블록과 제3 블록의 각각의 계단 영역은 테라스들을 포함하고 테라스들에서 각각의 아래에 놓인 전기 도전 층이 메모리-레벨 어셈블리 내에서 임의의 위에 놓인 전기 도전 층보다 제1 수평 방향을 따라 더 멀리 연장되고, 관통-메모리-레벨 비아 영역은 관통-메모리-레벨 비아 구조물들을 포함하고, 관통-메모리-레벨 비아 구조물들 각각은 각각의 워드라인 스위칭 디바이스와 각각의 워드라인 사이에 전기 도전 경로를 제공한다.

[0012] 본 개시내용의 역시 또 다른 양태에 따르면, 반도체 구조물을 형성하는 방법이 제공된다. 전계 효과 트랜지스터들을 포함하는 워드라인 스위칭 디바이스들이 반도체 기판 상에 형성된다. 메모리-레벨 어셈블리는 반도체 기판 위에 형성되며, 이 메모리-레벨 어셈블리는 적어도 하나의 교대 스택 및 적어도 하나의 교대 스택을 통해 수직으로 연장되는 메모리 스택 구조물들을 포함한다. 적어도 하나의 교대 스택 각각은, 각각의 절연 층들과 각각의 전기 도전 층들의 교대 층들을 포함하고, 적어도 하나의 교대 스택은 테라스들을 포함하는 계단 영역들을 포함하고 테라스들에서 각각의 아래에 놓인 전기 도전 층이 메모리-레벨 어셈블리 내에서 임의의 위에 놓인 전기 도전 층보다 제1 수평 방향을 따라 더 멀리 연장된다. 복수의 측방향으로 길쭉한 컨택트 비아 구조물이 메모리-레벨 어셈블리를 통해 형성된다. 복수의 측방향으로 길쭉한 컨택트 비아 구조물은 제1 수평 방향을 따라 측방향으로 연장되고 적어도 하나의 교대 스택을 복수의 측방향으로 이격된 블록으로 측방향으로 분할한다. 복수의 블록은, 제1 수평 방향에 수직인 제2 수평 방향을 따라 배열되고, 각각, 각각의 제1 계단 영역, 제2 계단 영역, 및 제3 계단 영역을 포함하는, 제1 계단 영역을 포함하는 제1 블록, 제2 블록, 및 제3 블록을 순서대로 포함한 3개의 이웃 블록들의 세트를 포함한다. 워드라인 스위칭 디바이스들의 노드들은 제2 계단 영역의 구역에 형성된 관통-메모리-레벨 비아 구조물들을 이용하여 제1 및 제3 계단 영역 내의 전기 도전 층들의 부분들에 전기적으로 접속된다.

[0013] 본 개시내용의 역시 또 다른 양태에 따르면, 반도체 구조물이 제공되고, 이 반도체 구조물은 : 반도체 기판 위에 위치하고, 전기적 도전 층들과 절연 층들의 제1 부분들의 적어도 하나의 제1 교대 스택을 포함하고, 적어도 하나의 제1 교대 스택을 통해 수직으로 연장되는 메모리 스택 구조물들 -메모리 스택 구조물들 각각은 메모리 막과 수직 반도체 채널을 포함하고, 전기 도전 층들은 메모리 스택 구조물들을 위한 워드라인들을 구성함- 을 더 포함하는 메모리-레벨 어셈블리; 메모리-레벨 어셈블리를 통해 수직으로 연장되고 적어도 하나의 제1 교대 스택으로부터 측방향으로 오프셋된 관통-메모리-레벨 비아 영역의 구역을 정의하는 절연 해자 트렌치 구조물(insulating moat trench structure); 관통-메모리-레벨 비아 영역에 위치하고, 유전체 스페이서 층들 -유전체 스페이서 층들 각각은 각각의 전기 도전 층과 동일한 레벨에 위치함- 과 절연 층들의 제2 부분들의 교대 층들을 포함하는 적어도 하나의 제2 교대 스택; 및 관통-메모리-레벨 비아 영역 내에 위치하고 메모리-레벨 어셈블리의 최상단 표면과 메모리-레벨 어셈블리의 최하단 표면을 포함하는 제1 수평면으로부터 수직으로 연장되며 도전성 재료를 포함하는 관통-메모리-레벨 비아 구조물들을 포함한다.

[0014] 본 개시내용의 추가의 또 다른 양태에 따르면, 반도체 구조물을 형성하는 방법이 제공된다. 절연 층들 및 유전체 스페이서 층들의 적어도 하나의 교대 스택이 반도체 기판 위에 형성된다. 메모리 스택 구조물들은 적어도 하나의 교대 스택을 통해 형성된다. 메모리 스택 구조물들 각각은 메모리 막과 수직 반도체 채널을 포함한다. 관통-메모리-레벨 비아 영역의 구역을 정의하는 해자 트렌치가 적어도 하나의 교대 스택을 통해 형성된다. 적

Micron Ex. 1002, p. 295
Micron v. YMTC
IPR2025-00245

어도 하나의 교대 스택의 일부는 관통-메모리-레벨 비아 영역 내에 존재한다. 관통-메모리-레벨 비아 영역 외부의 유전체 스페이서 층들의 부분들은 전기 도전 층들로 대체되는 반면, 해자 트렌치 내의 적어도 하나의 교대 스택의 부분은 그대로 유지된다. 전기 도전 층들은 메모리 스택 구조물들을 위한 워드라인들을 구성한다. 관통-메모리-레벨 비아 구조물들은 관통-메모리-레벨 비아 영역 내에 형성된다. 관통-메모리-레벨 비아 구조물은, 적어도 하나의 교대 스택의 나머지 부분의 최상단 표면 및 적어도 하나의 교대 스택의 최하단 표면을 포함하는 제1 수평면으로부터 수직으로 연장된다.

[0015] 본 개시내용의 역시 또 다른 양태에 따르면, 반도체 구조물이 제공되고, 이 반도체 구조물은 : 반도체 기판 위에 위치하고 전기 도전 층들 및 절연 층들의 제1 부분들의 적어도 하나의 교대 스택을 포함하는 메모리-레벨 어셈블리를 포함하고, 적어도 하나의 교대 스택을 통해 수직으로 연장되는 메모리 스택 구조물들을 더 포함한다. 메모리 스택 구조물들 각각은 메모리 막과 수직 반도체 채널을 포함한다. 전기 도전 층들은 메모리 스택 구조물들을 위한 워드라인들을 구성한다. 복수의 측방향으로 길쭉한 컨택트 비아 구조물은 메모리-레벨 어셈블리를 통해 수직으로 연장되고, 제1 수평 방향을 따라 측방향으로 연장되며, 적어도 하나의 교대 스택을 메모리-레벨 어셈블리 내의 복수의 측방향으로 이격된 블록으로 측방향으로 분할한다. 적어도 하나의 관통-메모리-레벨 비아 구조물은 블록 내의 관통-메모리-레벨 비아 영역에 위치하고, 여기서, 관통-메모리-레벨 비아 영역은 한 쌍의 측방향으로 길쭉한 컨택트 비아 구조물들 사이에 및 블록에 위치한 메모리 스택 구조물들의 2개 그룹 사이에 위치하고, 적어도 하나의 관통-메모리-레벨 비아 구조물 각각은 메모리-레벨 어셈블리를 통해 수직으로 연장된다.

[0016] 본 개시내용의 역시 추가의 또 다른 양태에 따르면, 반도체 구조물을 형성하는 방법이 제공된다. 메모리-레벨 어셈블리는 반도체 기판 위에 형성된다. 메모리-레벨 어셈블리는 전기 도전 층들 및 절연 층들의 제1 부분들의 적어도 하나의 교대 스택을 포함하고, 적어도 하나의 교대 스택을 통해 수직으로 연장되는 메모리 스택 구조물들을 더 포함한다. 메모리 스택 구조물들 각각은 메모리 막과 수직 반도체 채널을 포함한다. 복수의 측방향으로 길쭉한 컨택트 비아 구조물이 메모리-레벨 어셈블리를 통해 형성된다. 복수의 측방향으로 길쭉한 컨택트 비아 구조물은 제1 수평 방향을 따라 측방향으로 연장되고, 적어도 하나의 교대 스택을 메모리-레벨 어셈블리 내의 복수의 측방향으로 이격된 블록으로 측방향으로 분할한다. 적어도 하나의 관통-메모리-레벨 비아 구조물이 블록 내의 관통-메모리-레벨 비아 영역에 형성된다. 관통-메모리-레벨 비아 영역은 한 쌍의 측방향으로 길쭉한 컨택트 비아 구조물들 사이에 및 블록 내에 위치한 메모리 스택 구조물들의 2개 그룹 사이에 제공되고, 관통-메모리-레벨 비아 구조물을 포함한다. 적어도 하나의 관통-메모리-레벨 비아 구조물 각각은 메모리-레벨 어셈블리를 통해 수직으로 연장된다.

도면의 간단한 설명

[0017] 도 1a는, 본 개시내용의 제1 실시예에 따른, 반도체 기판 상에, 반도체 디바이스들, 적어도 하나의 하위 레벨 유전체 층, 및 하위 레벨 금속 상호접속 구조물들을 형성한 후의 제1 예시적인 구조물의 수직 단면도이다.

도 1b는 도 1a의 수평면 B-B'를 따른 도 1a의 제1 예시적인 구조물의 수평 단면도이다. 지그재그 수직면 A-A'는 도 1a의 수직 단면도의 평면에 대응한다.

도 2는, 본 개시내용의 제1 실시예에 따른, 평면 반도체 재료 층, 및 제1 절연층들과 제1 스페이서 재료 층들의 제1 계층 교대 스택을 형성한 후의 제1 예시적인 구조물의 수직 단면도이다.

도 3은, 본 개시내용의 제1 실시예에 따른, 제1 계층 교대 스택 상의 제1 계층 계단 영역들을 패터닝하고 제1 계층 역-계단형 유전체 재료 부분을 형성한 후의 제1 예시적인 구조물의 수직 단면도이다.

도 4a는, 본 개시내용의 제1 실시예에 따른, 제1 계층 지지 기둥 구조물들 및 계층간 유전체 층을 형성한 후의 제1 예시적인 구조물의 수직 단면도이다.

도 4b는 도 4a의 수평면 B-B'를 따른 제1 예시적인 구조물의 수평 단면도이다. 지그재그 수직면 A-A'는 도 4a의 수직 단면도의 평면에 대응한다.

도 5a는 본 개시내용의 제1 실시예에 따른 제1 계층 메모리 개구들의 형성 후의 제1 예시적인 구조물의 수직 단면도이다.

도 5b는 도 5a의 수평면 B-B'를 따른 제1 예시적인 구조물의 수평 단면도이다. 지그재그 수직면 A-A'는 도 5a의 수직 단면도의 평면에 대응한다.

Micron Ex. 1002, p. 296
Micron v. YMTC
IPR2025-00245

도 6은 본 개시내용의 제1 실시예에 따른 희생 메모리 개구 충전 부분들의 형성 후의 제1 예시적인 구조물의 수직 단면도이다.

도 7은, 본 개시내용의 제1 실시예에 따른, 제2 절연 층들과 제2 스페이서 재료 층들의 제2 계층 교대 스택, 제2 계층 역-계단형 유전체 재료 부분, 및 제2 절연 캡 층의 형성 후의 제1 예시적인 구조물의 수직 단면도이다.

도 8a는, 본 개시내용의 제1 실시예에 따른, 제2 계층 유전체 지지 기둥들 및 드레인-선택-레벨 얇은 트렌치 격리 구조물들의 형성 후의 제1 예시적인 구조물의 수직 단면도이다.

도 8b는 도 8a의 수평면 B-B'를 따른 제1 예시적인 구조물의 수평 단면도이다. 지그재그 수직면 A-A'는 도 8a의 수직 단면도의 평면에 대응한다.

도 9a는 본 개시내용의 제1 실시예에 따른 메모리 개구의 형성 후의 제1 예시적인 구조물의 수직 단면도이다.

도 9b는 도 9a의 수평면 B-B'를 따른 제1 예시적인 구조물의 수평 단면도이다. 지그재그 수직면 A-A'는 도 9a의 수직 단면도의 평면에 대응한다.

도 10a는 본 개시내용의 제1 실시예에 따른 메모리 스택 구조물들 및 컨택트 레벨 유전체 층의 형성 후의 제1 예시적인 구조물의 수직 단면도이다.

도 10b는 도 10a의 수평면 B-B'를 따른 제1 예시적인 구조물의 수평 단면도이다. 지그재그 수직면 A-A'는 도 10a의 수직 단면도의 평면에 대응한다.

도 11a는 본 개시내용의 제1 실시예에 따른 관통-메모리-레벨 개구의 형성 후의 제1 예시적인 구조물의 수직 단면도이다.

도 11b는 도 11a의 수평면 B-B'를 따른 제1 예시적인 구조물의 수평 단면도이다. 지그재그 수직면 A-A'는 도 11a의 수직 단면도의 평면에 대응한다.

도 12a는 본 개시내용의 제1 실시예에 따른 유전체 충전 재료의 형성 후의 제1 예시적인 구조물의 수직 단면도이다.

도 12b는 도 12a의 수평면 B-B'를 따른 제1 예시적인 구조물의 수평 단면도이다. 지그재그 수직면 A-A'는 도 12a의 수직 단면도의 평면에 대응한다.

도 13a는 본 개시내용의 제1 실시예에 따른 배면 컨택트 트렌치들의 형성 후의 제1 예시적인 구조물의 수직 단면도이다.

도 13b는 도 13a의 수평면 B-B'를 따른 제1 예시적인 구조물의 수평 단면도이다. 지그재그 수직면 A-A'는 도 13a의 수직 단면도의 평면에 대응한다.

도 14a는 본 개시내용의 제1 실시예에 따른 스페이서 재료 층들의 제거에 의한 배면 오목부들의 형성 후의 제1 예시적인 구조물의 수직 단면도이다.

도 14b는 도 14a의 수평면 B-B'를 따른 제1 예시적인 구조물의 수평 단면도이다. 지그재그 수직면 A-A'는 도 14a의 수직 단면도의 평면에 대응한다.

도 14c는 본 개시내용의 제1 실시예에 따른 도 14b의 지그재그 수직면 C-C'를 따른 제1 예시적인 구조물의 수직 단면도이다.

도 15a는, 본 개시내용의 제1 실시예에 따른, 전기 도전 층들, 절연 스페이서들, 및 배면 컨택트 비아 구조물들의 형성 후의 제1 예시적인 구조물의 수직 단면도이다.

도 15b는 도 15a의 수평면 B-B'를 따른 제1 예시적인 구조물의 수평 단면도이다. 지그재그 수직면 A-A'는 도 15a의 수직 단면도의 평면에 대응한다.

도 15c는 본 개시내용의 제1 실시예에 따른 도 15b의 지그재그 수직면 C-C'를 따른 제1 예시적인 구조물의 수직 단면도이다.

도 16a는, 본 개시내용의 제1 실시예에 따른, 관통-메모리-레벨 비아 구조물들, 워드라인 컨택트 비아 구조물들, 및 상위 레벨 비아 구조물들의 형성 후의 제1 예시적인 구조물의 수직 단면도이다.

도 16b는 도 16a의 수평면 B-B'를 따른 제1 예시적인 구조물의 수평 단면도이다. 지그재그 수직면 A-A'는 도

Micron Ex. 1002, p. 297
Micron v. YMTC
IPR2025-00245

16a의 수직 단면도의 평면에 대응한다.

도 16c는 본 개시내용의 제1 실시예에 따른 도 16b의 지그재그 수직면 C-C'를 따른 제1 예시적인 구조물의 수직 단면도이다.

도 17a는 본 개시내용의 제1 실시예에 따른 상위 레벨 라인 구조물들의 형성 후의 제1 예시적인 구조물의 수직 단면도이다.

도 17b는 도 17a의 수평면 B-B'를 따른 제1 예시적인 구조물의 수평 단면도이다. 지그재그 수직면 A-A'는 도 17a의 수직 단면도의 평면에 대응한다. 상위 레벨 라인 구조물들의 패턴들은 점선 형상으로 오버레이된다.

도 17c는 본 개시내용의 제1 실시예에 따른 도 17b의 지그재그 수직면 C-C'를 따른 제1 예시적인 구조물의 수직 단면도이다.

도 17d는 본 개시내용의 제1 실시예에 따른 제1 예시적인 구조물의 평면도이다.

도 17e 및 도 17f는 본 개시내용의 제1 실시예에 따른 대안적인 예시적 구조물의 평면도이다.

도 18은 본 개시내용의 제2 실시예에 따른 반도체 디바이스들, 하위 레벨 금속 상호접속 구조물들, 적어도 하나의 하위 레벨 유전체 층의 형성 후의 제2 예시적인 구조물의 수직 단면도이다.

도 19a는 본 개시내용의 제2 실시예에 따른 관통-메모리-레벨 비아 구조물들 및 상위 레벨 금속 상호접속 구조물들의 형성 후의 제2 예시적인 구조물의 수직 단면도이다.

도 19b는 본 개시내용의 제2 실시예에 따른 금속 상호접속 구조물들의 절개(cutaway) 평면도이다.

도 20은 본 개시내용의 제2 실시예에 따른 반도체 디바이스들, 하위 레벨 금속 상호접속 구조물들, 및 적어도 하나의 하위 레벨 유전체 층의 형성 후의 제2 예시적인 구조물의 변형예의 수직 단면도이다.

도 21은 본 개시내용의 제2 실시예에 따른 희생 메모리 개구 충전 부분들 및 제1 계층 지지 기둥 구조물들을 포함하는 제1 계층 구조물의 형성 후의 제2 예시적인 구조물의 변형예의 수직 단면도이다.

도 22는 본 개시내용의 제2 실시예에 따른 제2 계층 구조물, 메모리 스택 구조물들, 제2 계층 지지 기둥 구조물들, 컨택트 레벨 유전체 층, 배면 컨택트 트렌치들의 형성 후의 제2 예시적인 구조물의 변형예의 수직 단면도이다.

도 23은 본 개시내용의 제2 실시예에 따른 관통-메모리-레벨 비아 구조물들의 형성 후의 제2 예시적인 구조물의 변형예의 수직 단면도이다.

도 24a는 본 개시내용의 제3 실시예에 따른 제1 계층 교대 스택, 제1 계층 지지 기둥 구조물들, 희생 메모리 개구 충전 부분들, 및 희생 배면 컨택트 트렌치 충전 부분들의 형성 후의 제3 예시적인 구조물의 수직 단면도이다.

도 24b는 도 24a의 수평면 B-B'를 따른 제3 예시적인 구조물의 수평 단면도이다. 지그재그 수직면 A-A'는 도 24a의 수직 단면도의 평면에 대응한다.

도 25a는 본 개시내용의 제3 실시예에 따른 제2 계층 교대 스택, 제2 계층 지지 기둥 구조물들, 드레인-선택-레벨 얇은 트렌치 구조물들, 메모리 개구들, 및 해자 트렌치의 형성 후의 제3 예시적인 구조물의 수직 단면도이다.

도 25b는 도 25a의 수평면 B-B'를 따른 제3 예시적인 구조물의 수평 단면도이다. 지그재그 수직면 A-A'는 도 25a의 수직 단면도의 평면에 대응한다.

도 26a는 본 개시내용의 제3 실시예에 따른 메모리 스택 구조물들 및 절연 해자 트렌치 구조물의 형성 후의 제3 예시적인 구조물의 수직 단면도이다.

도 26b는 도 26a의 수평면 B-B'를 따른 제3 예시적인 구조물의 수평 단면도이다. 지그재그 수직면 A-A'는 도 26a의 수직 단면도의 평면에 대응한다.

도 27a는 본 개시내용의 제3 실시예에 따른 배면 컨택트 트렌치들의 형성 후의 제3 예시적인 구조물의 수직 단

Micron Ex. 1002, p. 298
Micron v. YMTC
IPR2025-00245

면도이다.

도 27b는 도 27a의 수평면 B-B'를 따른 제3 예시적인 구조물의 수평 단면도이다. 지그재그 수직면 A-A'는 도 27a의 수직 단면도의 평면에 대응한다.

도 28a는 본 개시내용의 제3 실시예에 따른 측방향으로 길쭉한 컨택트 비아 구조물들의 형성 후의 제3 예시적인 구조물의 수직 단면도이다.

도 28b는 도 28a의 수평면 B-B'를 따른 제3 예시적인 구조물의 수평 단면도이다. 지그재그 수직면 A-A'는 도 28a의 수직 단면도의 평면에 대응한다.

도 29a는 본 개시내용의 제3 실시예에 따른 관통-메모리-레벨 비아 구조물들의 형성 후의 제3 예시적인 구조물의 수직 단면도이다.

도 29b는 도 29a의 수평면 B-B'를 따른 제3 예시적인 구조물의 수평 단면도이다. 지그재그 수직면 A-A'는 도 29a의 수직 단면도의 평면에 대응한다.

도 29c는 본 개시내용의 제3 실시예에 따른 도 29b의 지그재그 수직면 C-C'를 따른 제3 예시적인 구조물의 수직 단면도이다.

도 30은 본 개시내용의 제3 실시예에 따른 상위 레벨 금속 상호접속 구조물들의 형성 후의 제3 예시적인 구조물의 수직 단면도이다.

도 31a는 본 개시내용의 제3 실시예에 따른 절연 해자 트렌치 구조물의 형성 후의 제3 예시적인 구조물의 변형예의 수직 단면도이다.

도 31b는 도 31a의 수평면 B-B'를 따른 제3 예시적인 구조물의 변형예의 수평 단면도이다. 지그재그 수직면 A-A'는 도 31a의 수직 단면도의 평면에 대응한다.

도 32a는 본 개시내용의 제3 실시예에 따른 메모리 스택 구조물들, 측방향으로 길쭉한 컨택트 비아 구조물들, 및 관통-메모리-레벨 비아 구조물들의 형성 후의 제3 예시적인 구조물의 변형예의 수직 단면도이다.

도 32b는 도 32a의 수평면 B-B'를 따른 제3 예시적인 구조물의 변형예의 수평 단면도이다. 지그재그 수직면 A-A'는 도 32a의 수직 단면도의 평면에 대응한다.

도 33a는 본 개시내용의 제4 실시예에 따른 제1 계층 교대 스택, 제2 계층 교대 스택, 및 메모리 스택 구조물들의 형성 후의 제4 예시적인 구조물의 수직 단면도이다.

도 33b는 도 33a의 수평면 B-B'를 따른 제4 예시적인 구조물의 수평 단면도이다. 지그재그 수직면 A-A'는 도 33a의 수직 단면도의 평면에 대응한다.

도 34a는 본 개시내용의 제4 실시예에 따른 관통-메모리-레벨 개구들 및 배면 컨택트 트렌치들의 형성 후의 제4 예시적인 구조물의 수평 단면도이다.

도 34b는 도 34a의 수평면 B-B'를 따른 제4 예시적인 구조물의 수평 단면도이다. 지그재그 수직면 A-A'는 도 34a의 수직 단면도의 평면에 대응한다.

도 35a는 본 개시내용의 제4 실시예에 따른 절연 라이너 층의 퇴적 및 패터닝 후의 제4 예시적인 구조물의 수직 단면도이다.

도 35b는 도 35a의 수평면 B-B'를 따른 제4 예시적인 구조물의 수평 단면도이다. 지그재그 수직면 A-A'는 도 35a의 수직 단면도의 평면에 대응한다.

도 36a는 본 개시내용의 제4 실시예에 따른 배면 오목부들의 형성 후의 제4 예시적인 구조물의 수직 단면도이다.

도 36b는 도 36a의 수평면 B-B'를 따른 제4 예시적인 구조물의 수평 단면도이다. 지그재그 수직면 A-A'는 도 36a의 수직 단면도의 평면에 대응한다.

도 37a는 본 개시내용의 제4 실시예에 따른 전기 도전 층들의 형성 후의 제4 예시적인 구조물의 수직 단면도이다.

도 37b는 도 37a의 수평면 B-B'를 따른 제4 예시적인 구조물의 수평 단면도이다. 지그재그 수직면 A-A'는 도

Micron Ex. 1002, p. 299
Micron v. YMTC
IPR2025-00245

37a의 수직 단면도의 평면에 대응한다.

도 38a는 본 개시내용의 제4 실시예에 따른 절연 해자 트렌치 구조물들 및 측방향으로 길쭉한 컨택트 비아 구조물들의 형성 후의 제4 예시적인 구조물의 수직 단면도이다.

도 38b는 도 38a의 수평면 B-B'를 따른 제4 예시적인 구조물의 수평 단면도이다. 지그재그 수직면 A-A'는 도 38a의 수직 단면도의 평면에 대응한다.

도 39a는 본 개시내용의 제4 실시예에 따른 관통-메모리-레벨 비아 구조물들의 형성 후의 제4 예시적인 구조물의 수직 단면도이다.

도 39b는 도 39a의 수평면 B-B'를 따른 제4 예시적인 구조물의 수평 단면도이다. 지그재그 수직면 A-A'는 도 39a의 수직 단면도의 평면에 대응한다.

도 40은 본 개시내용의 제4 실시예에 따른 상위 레벨 금속 상호접속 구조물들의 형성 후의 제4 예시적인 구조물의 수직 단면도이다.

도 41은 본 개시내용의 제4 실시예에 따른 패터닝된 절연 라이너 층들의 형성 후의 제4 예시적인 구조물의 제1 변형예의 수직 단면도이다.

도 42는 본 개시내용의 제4 실시예에 따른 절연 해자 트렌치 구조물들, 측방향으로 길쭉한 컨택트 비아 구조물들, 및 관통-메모리-레벨 비아 구조물들의 형성 후의 제4 예시적인 구조물의 제1 변형예의 수직 단면도이다.

도 43은 본 개시내용의 제4 실시예에 따른 상위 레벨 금속 상호접속 구조물들의 형성 후의 제4 예시적인 구조물의 제1 변형예의 수직 단면도이다.

도 44a는 본 개시내용의 제4 실시예에 따른 제1 계층 교대 스택, 제2 계층 교대 스택, 메모리 스택 구조물들, 및 드레인-선택-레벨 얕은 트렌치 격리 구조물들의 형성 후의 제4 예시적인 구조물의 제2 변형예의 수직 단면도이다.

도 44b는 도 44a의 수평면 B-B'를 따른 제4 예시적인 구조물의 제2 변형예의 수평 단면도이다. 지그재그 수직면 A-A'는 도 44a의 수직 단면도의 평면에 대응한다.

도 45a는 본 개시내용의 제4 실시예에 따른 관통-메모리-레벨 개구들 및 배면 컨택트 트렌치들의 형성 후의 제4 예시적인 구조물의 제2 변형예의 수직 단면도이다.

도 45b는 도 45a의 수평면 B-B'를 따른 제4 예시적인 구조물의 제2 변형예의 수평 단면도이다. 지그재그 수직면 A-A'는 도 45a의 수직 단면도의 평면에 대응한다.

도 46a는 본 개시내용의 제4 실시예에 따른 희생 재료 층들을 전기 도전 층들로 대체한 후의 제4 예시적인 구조물의 제2 변형예의 수직 단면도이다.

도 46b는 도 46a의 수평면 B-B'를 따른 제4 예시적인 구조물의 제2 변형예의 수평 단면도이다. 지그재그 수직면 A-A'는 도 46a의 수직 단면도의 평면에 대응한다.

도 47a는 본 개시내용의 제4 실시예에 따른 컨포멀 절연 층의 퇴적, 및 컨포멀 절연 층의 수평 부분을 제거하고 관통-메모리-레벨 개구들을 깊게 하는 이방성 에칭 후의 제4 예시적인 구조물의 제2 변형예의 수직 단면도이다.

도 47b는 도 47a의 수평면 B-B'를 따른 제4 예시적인 구조물의 제2 변형예의 수평 단면도이다. 지그재그 수직면 A-A'는 도 47a의 수직 단면도의 평면에 대응한다.

도 48a는 본 개시내용의 제4 실시예에 따른 측방향으로 길쭉한 컨택트 비아 구조물들 및 관통-메모리-레벨 비아 구조물들의 형성 후의 제4 예시적인 구조물의 제2 변형예의 수직 단면도이다.

도 48b는 도 48a의 수평면 B-B'를 따른 제4 예시적인 구조물의 제2 변형예의 수평 단면도이다. 지그재그 수직면 A-A'는 도 48a의 수직 단면도의 평면에 대응한다.

도 49는 본 개시내용의 제4 실시예에 따른 상위 레벨 금속 상호접속 구조물들의 형성 후의 제4 예시적인 구조물의 제2 변형예의 수직 단면도이다.

도 50a는 본 개시내용의 제4 실시예에 따른 제1 계층 교대 스택, 제2 계층 교대 스택, 메모리 스택 구조물들, 및 드레인-선택-레벨 얕은 트렌치 격리 구조물들의 형성 후의 제4 예시적인 구조물의 제3 변형예의 수직 단면도

Micron Ex. 1002, p. 300
Micron v. YMTC
IPR2025-00245

이다.

도 50b는 도 50a의 수평면 B-B'를 따른 제4 예시적인 구조물의 제3 변형예의 수평 단면도이다. 지그재그 수직면 A-A'는 도 50a의 수직 단면도의 평면에 대응한다.

도 51a는 본 개시내용의 제4 실시예에 따른 관통-메모리-레벨 개구들의 형성 후의 제4 예시적인 구조물의 제3 변형예의 수직 단면도이다.

도 51b는 도 51a의 수평면 B-B'를 따른 제4 예시적인 구조물의 제3 변형예의 수평 단면도이다. 지그재그 수직면 A-A'는 도 51a의 수직 단면도의 평면에 대응한다.

도 52a는 본 개시내용의 제4 실시예에 따른 희생 재료 층들을 전기 도전 층들로 대체한 후의 제4 예시적인 구조물의 제3 변형예의 수직 단면도이다.

도 52b는 도 52a의 수평면 B-B'를 따른 제4 예시적인 구조물의 제3 변형예의 수평 단면도이다. 지그재그 수직면 A-A'는 도 52a의 수직 단면도의 평면에 대응한다.

도 53a는 본 개시내용의 제4 실시예에 따른 절연 라이너들의 형성 후의 제4 예시적인 구조물의 제3 변형예의 수직 단면도이다.

도 53b는 도 53a의 수평면 B-B'를 따른 제4 예시적인 구조물의 제3 변형예의 수평 단면도이다. 지그재그 수직면 A-A'는 도 53a의 수직 단면도의 평면에 대응한다.

도 54a는 본 개시내용의 제4 실시예에 따른 관통-메모리-레벨 비아 구조물들의 형성 후의 제4 예시적인 구조물의 제3 변형예의 수직 단면도이다.

도 54b는 도 54a의 수평면 B-B'를 따른 제4 예시적인 구조물의 제3 변형예의 수평 단면도이다. 지그재그 수직면 A-A'는 도 54a의 수직 단면도의 평면에 대응한다.

도 55a는 본 개시내용의 제4 실시예에 따른 측방향으로 길쭉한 컨택트 비아 구조물들 및 상위 레벨 금속 상호접속 구조물들의 형성 후의 제4 예시적인 구조물의 제3 변형예의 수직 단면도이다.

도 55b는 도 55a의 수평면 B-B'를 따른 제4 예시적인 구조물의 제3 변형예의 수평 단면도이다. 지그재그 수직면 A-A'는 도 55a의 수직 단면도의 평면에 대응한다.

도 56a는 본 개시내용의 제4 실시예에 따른 메모리 스택 구조물들 및 측방향으로 길쭉한 컨택트 비아 구조물들의 형성 후의 제4 예시적인 구조물의 제4 변형예의 수직 단면도이다.

도 56b는 도 56a의 수평면 B-B'를 따른 제4 예시적인 구조물의 제4 변형예의 수평 단면도이다. 지그재그 수직면 A-A'는 도 56a의 수직 단면도의 평면에 대응한다.

도 57a는 본 개시내용의 제4 실시예에 따른 관통-메모리-레벨 개구들의 형성 후의 제4 예시적인 구조물의 제4 변형예의 수직 단면도이다.

도 57b는 도 57a의 수평면 B-B'를 따른 제4 예시적인 구조물의 제4 변형예의 수평 단면도이다. 지그재그 수직면 A-A'는 도 57a의 수직 단면도의 평면에 대응한다.

도 58a는 본 개시내용의 제4 실시예에 따른 절연 라이너들의 형성 후의 제4 예시적인 구조물의 제4 변형예의 수직 단면도이다.

도 58b는 도 58a의 수평면 B-B'를 따른 제4 예시적인 구조물의 제4 변형예의 수평 단면도이다. 지그재그 수직면 A-A'는 도 58a의 수직 단면도의 평면에 대응한다.

도 59a는 본 개시내용의 제4 실시예에 따른 관통-메모리-레벨 비아 구조물들 및 상위 레벨 금속 상호접속 구조물들의 형성 후의 제4 예시적인 구조물의 제4 변형예의 수직 단면도이다.

도 59b는 도 59a의 수평면 B-B'를 따른 제4 예시적인 구조물의 제4 변형예의 수평 단면도이다. 지그재그 수직면 A-A'는 도 59a의 수직 단면도의 평면에 대응한다.

도 60은 본 개시내용의 제4 실시예에 따른 제4 예시적인 구조물의 제5 변형예의 수평 단면도이다.

도 61a는 본 개시내용의 제3 실시예에 따른 메모리 스택 구조물들의 형성 후의 제3 예시적인 구조물의 제2 변형예의 수직 단면도이다.

Micron Ex. 1002, p. 301
Micron v. YMTC
IPR2025-00245

도 61b는 도 61a의 제3 예시적인 구조물의 제2 변형예의 수평 단면도이다. 지그재그 수직면 A-A'는 도 61a의 수직 단면도의 평면에 대응한다.

도 62a는 본 개시내용의 제3 실시예에 따른 배면 컨택트 트렌치들과 해자 트렌치들의 동시 형성 후의 제3 예시적인 구조물의 제2 변형예의 수직 단면도이다.

도 62b는 도 62a의 제3 예시적인 구조물의 제2 변형예의 수평 단면도이다. 지그재그 수직면 A-A'는 도 62a의 수직 단면도의 평면에 대응한다.

도 63a는 본 개시내용의 제3 실시예에 따른 상위 레벨 라인 구조물들의 형성 후의 제3 예시적인 구조물의 제2 변형예의 수직 단면도이다.

도 63b는 도 63a의 수평면 B-B'를 따른 제3 예시적인 구조물의 제2 변형예의 수평 단면도이다. 지그재그 수직면 A-A'는 도 63a의 수직 단면도의 평면에 대응한다.

도 63c는 본 개시내용의 제3 실시예에 따른 도 63b의 지그재그 수직면 C-C'를 따른 제3 예시적인 구조물의 제2 변형예의 수직 단면도이다.

도 64는 본 개시내용의 제3 실시예에 따른 상위 레벨 라인 구조물들의 형성 후의 제3 예시적인 구조물의 제3 변형예의 수직 단면도이다.

도 65a는 본 개시내용의 제4 실시예에 따른 희생 메모리 개구 충전 부분들 및 희생 해자 트렌치 충전 부분들의 형성 후의 제4 예시적인 구조물의 제6 변형예의 수직 단면도이다.

도 65b는 도 65a의 수평면 B-B'를 따른 제4 예시적인 구조물의 제6 변형예의 수평 단면도이다. 지그재그 수직면 A-A'는 도 65a의 수직 단면도의 평면에 대응한다.

도 66a는 본 개시내용의 제4 실시예에 따른 메모리 스택 구조물들 및 더미 메모리 스택 구조물들의 형성 후의 제4 예시적인 구조물의 제6 변형예의 수직 단면도이다.

도 66b는 도 66a의 수평면 B-B'를 따른 제4 예시적인 구조물의 제6 변형예의 수평 단면도이다. 지그재그 수직면 A-A'는 도 66a의 수직 단면도의 평면에 대응한다.

도 67a는 본 개시내용의 제4 실시예에 따른 배면 오목부들의 형성 후의 제4 예시적인 구조물의 제6 변형예의 수직 단면도이다.

도 67b는 도 67a의 수평면 B-B'를 따른 제4 예시적인 구조물의 제6 변형예의 수평 단면도이다. 지그재그 수직면 A-A'는 도 67a의 수직 단면도의 평면에 대응한다.

도 68a는 본 개시내용의 제4 실시예에 따른 전기 도전 층들 및 측방향으로 길쭉한 컨택트 비아 구조물들의 형성 후의 제4 예시적인 구조물의 제6 변형예의 수직 단면도이다.

도 68b는 도 68a의 수평면 B-B'를 따른 제4 예시적인 구조물의 제6 변형예의 수평 단면도이다. 지그재그 수직면 A-A'는 도 68a의 수직 단면도의 평면에 대응한다.

도 69a는 본 개시내용의 제4 실시예에 따른 관통-메모리-레벨 비아 구조물들 및 상위 레벨 금속 상호접속 구조물들의 형성 후의 제4 예시적인 구조물의 제6 변형예의 수직 단면도이다.

도 69b는 도 69a의 수평면 B-B'를 따른 제4 예시적인 구조물의 제6 변형예의 수평 단면도이다. 지그재그 수직면 A-A'는 도 69a의 수직 단면도의 평면에 대응한다.

도 70a는 본 개시내용의 제4 실시예에 따른 메모리 스택 구조물들 및 컨택트 레벨 유전체 층의 형성 후의 제4 예시적인 구조물의 제7 변형예의 수직 단면도이다.

도 70b는 도 70a의 수평면 B-B'를 따른 제4 예시적인 구조물의 제7 변형예의 수평 단면도이다. 지그재그 수직면 A-A'는 도 70a의 수직 단면도의 평면에 대응한다.

도 71a는 본 개시내용의 제4 실시예에 따른 배면 컨택트 트렌치들과 관통-메모리-레벨 비아 캐비티들의 동시 형성 후의 제4 예시적인 구조물의 제7 변형예의 수직 단면도이다.

도 71b는 도 71a의 수평면 B-B'를 따른 제4 예시적인 구조물의 제7 변형예의 수평 단면도이다. 지그재그 수직면 A-A'는 도 71a의 수직 단면도의 평면에 대응한다.

Micron Ex. 1002, p. 302
Micron v. YMTC
IPR2025-00245

도 72a는 본 개시내용의 제4 실시예에 따른 희생 재료 층들을 전기 도전 층들로 대체한 후의 제4 예시적인 구조물의 제7 변형예의 수직 단면도이다.

도 72b는 도 72a의 수평면 B-B'를 따른 제4 예시적인 구조물의 제7 변형예의 수평 단면도이다. 지그재그 수직면 A-A'는 도 72a의 수직 단면도의 평면에 대응한다.

도 73a는 본 개시내용의 제4 실시예에 따른 측방향으로 연장되는 컨택트 비아 구조물들 및 관통-메모리-스택 비아 구조물들의 형성 후의 제4 예시적인 구조물의 제7 변형예의 수직 단면도이다.

도 73b는 도 73a의 수평면 B-B'를 따른 제4 예시적인 구조물의 제7 변형예의 수평 단면도이다. 지그재그 수직면 A-A'는 도 73a의 수직 단면도의 평면에 대응한다.

도 73c는 본 개시내용의 제4 실시예에 따른 도 73b의 지그재그 수직면 C-C'를 따른 제4 예시적인 구조물의 제7 변형예의 수직 단면도이다.

도 74는 본 개시내용의 제4 실시예에 따른 상위 금속 상호접속 구조물들의 형성 후의 제4 예시적인 구조물의 제7 변형예의 수직 단면도이다.

도 75a는 본 개시내용의 제4 실시예에 따른 관통-메모리-스택 비아 구조물들의 형성 후의 제4 예시적인 구조물의 제8 변형예의 수직 단면도이다.

도 75b는 도 75a의 수평면 B-B'를 따른 제4 예시적인 구조물의 제8 변형예의 수평 단면도이다. 지그재그 수직면 A-A'는 도 75a의 수직 단면도의 평면에 대응한다.

도 76은 본 개시내용의 제4 실시예에 따른 상위 금속 상호접속 구조물들의 형성 후의 제4 예시적인 구조물의 제8 변형예의 수직 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0018] 전술된 바와 같이, 본 개시내용은 수직 NAND 스트링 및 기타의 3차원 디바이스 등의 3차원 비휘발성 메모리 구조물, 및 그 형성 방법에 관한 것으로, 그 다양한 양태들이 이하에서 설명된다. 본 개시내용의 실시예들은 복수의 NAND 메모리 스트링을 포함하는 3차원 모놀리식(three-dimensional monolithic) 메모리 어레이 디바이스 등의 다양한 반도체 디바이스를 형성하는데 이용될 수 있다. 도면은 축척비율에 따라 그려진 것은 아니다. 요소의 단일 인스턴스가 예시되어 있는 경우에, 요소의 복제판이 존재하지 않는다는 것이 명시적으로 설명되거나 기타의 방식으로 명확하게 표시되지 않는 한, 그 요소의 복수의 인스턴스가 복제될 수 있다.

[0019] "제1", "제2", 및 "제3" 등의 서수는 단지 유사한 요소들을 식별하기 위해 이용되며, 상이한 서수들이 본 개시내용의 상세한 설명 및 청구항들에 걸쳐 이용될 수 있다. 본 명세서에서 사용될 때, 제2 요소 "상에" 위치한 제1 요소는, 제2 요소의 표면의 외측 상에 또는 제2 요소의 내측 상에 위치할 수 있다. 본 명세서에서 사용될 때, 제1 요소의 표면과 제2 요소의 표면 사이에 물리적 접촉이 존재하는 경우, 제1 요소는 제2 요소 "상에 직접" 위치한다. 본 명세서에서 사용될 때, "공정중" 구조물 또는 "일시적" 구조물은 후속해서 변형되는 구조물을 지칭한다.

[0020] 본 명세서에서 사용될 때, "층"이란 소정의 두께를 갖는 영역을 포함하는 재료 부분을 말한다. 층은 아래에 놓인 또는 위에 놓인 구조물의 전체에 걸쳐 연장되거나, 아래에 놓인 또는 위에 놓인 구조물의 범위보다 작은 범위를 가질 수 있다. 또한, 층은 연속 구조물의 두께보다 작은 두께를 갖는 균일하거나 불균일한 연속 구조물의 영역일 수 있다. 예를 들어, 층은 연속 구조물의 상단 표면과 하단 표면 사이의 또는 상단 표면과 하단 표면에 있는 임의의 쌍의 수평면들 사이에 위치할 수 있다. 층은, 수평으로, 수직으로, 및/또는 테이퍼링된 표면을 따라 연장될 수 있다. 기판은 층일 수 있고, 그 내부에 하나 이상의 층을 포함할 수 있거나, 및/또는 그 상에, 그 위에 및/또는 그 아래에 하나 이상의 층을 가질 수도 있다.

[0021] 본 명세서에서 사용될 때, "메모리 레벨" 또는 "메모리 어레이 레벨"이란, 메모리 요소들의 어레이의 최상단 표면들을 포함하는 제1 수평면(즉, 기판의 상단 표면에 평행한 평면)과 메모리 요소들의 어레이의 최하단 표면들을 포함하는 제2 수평면 사이의 일반 영역에 대응하는 레벨을 말한다. 본 명세서에서 사용될 때, "관통-메모리-레벨" 요소란, 메모리 레벨을 통해 수직으로 연장되는 요소를 지칭한다.

[0022] 본 명세서에서 사용될 때, "반도체 재료"란, 1.0×10^{-6} S/cm 내지 1.0×10^{5} S/cm 범위의 전기 전도도를 갖는 재료를 말하며, 전기 도펀트에 의한 적절한 도핑시에 1.0 S/cm 내지 1.0×10^{5} S/cm 범위의 전기 전도도를 갖

Micron Ex. 1002, p. 303
Micron v. YMTC
IPR2025-00245

는 도핑된 재료를 생성할 수 있다. 본 명세서에서 사용될 때, "전기 도펀트"란, 대역 구조 내의 가전 대역(valence band)에 홀을 추가하는 p형의 도펀트, 또는 대역 구조 내의 전도 대역에 전자를 추가하는 n형의 도펀트를 말한다. 본 명세서에서 사용될 때, "도전성 재료"란, 1.0×10^{5} S/cm보다 큰 전기 전도도를 갖는 재료를 말한다. 본 명세서에서 사용될 때, "절연 재료" 또는 "유전체 재료"란, 1.0×10^{-6} S/cm 미만의 전기 전도도를 갖는 재료를 말한다. 전기 전도도에 대한 모든 측정은 표준 조건에서 이루어진다.

[0023] 모놀리식 3차원 메모리 어레이는, 반도체 웨이퍼 등의 단일의 기판 위에, 아무런 중간 기판도 없이, 복수의 메모리 레벨이 형성되어 있는 것이다. 용어 "모놀리식"은, 어레이의 각각의 레벨의 층들이 어레이의 각각의 아래에 놓인 레벨의 층들 상에 직접 퇴적된다는 것을 의미한다. 대조적으로, 2차원 어레이들은 별개로 형성된 다음 함께 패키징되어 비모놀리식 메모리 디바이스를 형성할 수 있다. 예를 들어, 비-모놀리식 스택화된 메모리는, 발명의 명칭이 "Three-Dimensional Structure Memory"인 미국 특허 제5,915,167호에 설명된 바와 같이, 별개의 기판들 상에 메모리 레벨들을 형성하고 메모리 레벨들을 수직으로 스택화함으로써 구성된다. 기판은 본딩 이전에 박막화(thin)되거나 메모리 레벨들로부터 제거될 수 있지만, 메모리 레벨들은 초기에 별개의 기판들 위에 형성되기 때문에, 이러한 메모리는 진정한 모놀리식 3차원 메모리 어레이가 아니다. 기판은, 메모리 디바이스용 구동기 회로 등의, 그 위에 제작된 집적 회로를 포함할 수 있다.

[0024] 본 개시내용의 다양한 3차원 메모리 디바이스는, 모놀리식 3차원 NAND 스트링 메모리 디바이스를 포함하며, 여기서 설명된 다양한 실시예를 이용하여 제작될 수 있다. 모놀리식 3차원 NAND 스트링은 기판 위에 위치한 NAND 스트링들의 모놀리식 3차원 어레이에 위치한다. NAND 스트링들의 3차원 어레이의 제1 디바이스 레벨의 적어도 하나의 메모리 셀은 NAND 스트링들의 3차원 어레이의 제2 디바이스 레벨의 또 다른 메모리 셀 위에 위치한다.

[0025] 도 1a 및 도 1b를 참조하면, 본 개시내용의 제1 실시예에 따른 제1 예시적인 구조물이 도시되어 있다. 제1 예시적인 구조물은 반도체 기판(9) 및 기판(9) 상에 형성된 반도체 디바이스(710)를 포함한다. 얕은 트렌치 격리 구조물(720)은 반도체 기판(9)의 상위 부분에 형성되어 반도체 디바이스들 사이에 전기적 격리를 제공할 수 있다. 반도체 디바이스(710)는, 예를 들어, 각각의 소스 영역(742), 드레인 영역(744), 채널 영역(746) 및 게이트 구조물(750)를 포함하는 전계 효과 트랜지스터를 포함할 수 있다. 전계 효과 트랜지스터들은 CMOS 구성으로 배열될 수 있다. 각각의 게이트 구조물(750)은, 예를 들어, 게이트 유전체(752), 게이트 전극(754), 유전체 게이트 스페이서(756) 및 게이트 캡 유전체(758)를 포함할 수 있다. 반도체 디바이스는 후속해서 형성될 메모리 구조물의 동작을 지원하는, 주변 회로라고도 알려진 구동기 회로라고 통상적으로 지칭되는, 임의의 반도체 회로를 포함할 수 있다. 본 명세서에서 사용될 때, 주변 회로란, 워드라인 디코더 회로, 워드라인 스위칭 회로, 비트라인 디코더 회로, 비트라인 감지 및/또는 스위칭 회로, 전원/분배 회로, 데이터 버퍼 및/또는 래치, 또는 메모리 디바이스를 위한 메모리 어레이 구조물 외부에 구현될 수 있는 기타 임의의 반도체 회로 중 임의의 것, 각각의 것, 또는 모두를 지칭한다. 예를 들어, 반도체 디바이스는 후속해서 형성될 3차원 메모리 구조물의 워드라인을 전기적으로 바이어싱하기 위한 워드라인 스위칭 디바이스를 포함할 수 있다.

[0026] 반도체 디바이스 위에 적어도 하나의 유전체 층이 형성되며, 여기서는 적어도 하나의 하위 레벨 유전체 층(760)이라고 지칭된다. 적어도 하나의 하위 레벨 유전체 층(760)은, 예를 들어, 이동 이온의 확산을 차단하고 및/또는 아래에 놓인 구조물에 적절한 응력을 가하는 실리콘 질화물 라이너 등의 선택사항적인 유전체 라이너(762), 유전체 라이너(762)의 최상단 표면 또는 게이트 구조물(750)의 최상단 표면과 동일 평면 상에 있는 평면 표면을 제공하기 위해 이용되는 평탄화 유전체 층(764), 선택사항적인 평면 라이너(766), 및 반도체 디바이스들 및 랜딩 패드들의 다양한 노드들 사이에 전기 배선을 제공하는 하위 레벨 금속 상호접속 구조물(780)을 위한 매트릭스로서 집합적으로 기능하는 적어도 하나의 하위 레벨 상호접속 유전체 층(768)을 포함할 수 있다. 하위 레벨 금속 상호접속 구조물(780)은 다양한 디바이스 컨택트 비아 구조물(782)(예를 들어, 디바이스 또는 게이트 전극 컨택트의 각각의 소스 및 드레인 노드와 접촉하는 소스 및 드레인 전극), 하위 레벨 금속 라인(784), 하위 레벨 비아 구조물(786), 및 후속해서 형성될 관통-메모리-레벨 비아 구조물에 대한 랜딩 패드로서 기능하도록 구성된 하위 레벨 최상단 금속 구조물(788)을 포함할 수 있다. 반도체 디바이스들 및 적어도 하나의 하위 레벨 유전체 층(760)과 하위 레벨 금속 상호접속 구조물(780)의 조합의 영역은, 본 명세서에서는, 후속해서 형성될 메모리-레벨 어셈블리 아래에 위치하고 메모리-레벨 어셈블리를 위한 주변 디바이스들을 포함하는, 아래에 놓인 주변 디바이스 영역(700)이라고 지칭된다. 하위 레벨 금속 상호접속 구조물(780)은 적어도 하나의 하위 레벨 유전체 층(760)에 매립된다. 한 실시예에서, 하위 레벨 최상단 금속 구조물(788)의 최상단 표면은 적어도 하나의 하위 레벨 유전체 층(760)의 최상단 표면을 포함하는 수평면 또는 그 아래에 위치할 수 있다.

[0027] 하위 레벨 금속 상호접속 구조물(780)은, 반도체 디바이스(710)(예를 들어, CMOS 디바이스)의 노드(예를 들어,

Micron Ex. 1002, p. 304
Micron v. YMTC
IPR2025-00245

소스(742), 드레인(744), 또는 게이트 전극(750))에 전기적으로 단락될 수 있고, 적어도 하나의 하위 레벨 유전체 층(760)의 레벨에 위치한다. 관통-메모리-레벨 비아 구조물(도 1a 및 도 1b에 도시되지 않음)는 후속해서 하위 레벨 금속 상호접속 구조물(780) 상에 직접 형성될 수 있다. 한 실시예에서, 하위 레벨 금속 상호접속 구조물(780)의 패턴은, 하위 레벨 금속 상호접속 구조물(780)의 최상단 부분에 위치한 하위 레벨 금속 상호접속 구조물(780)의 서브셋인, 하위 레벨 최상단 금속 구조물(788)이 관통-메모리-레벨 비아 영역(400) 내에 랜딩 패드 구조물을 제공할 수 있도록 선택될 수 있다. 관통-메모리-레벨 비아 영역(400)은 메모리-레벨 어셈블리를 통해 수직으로 연장되는 관통-메모리-레벨 비아 구조물이 후속해서 형성되는 영역이다.

[0028] 관통-메모리-레벨 비아 영역(400)은 도 1b에 도시된 바와 같이 메모리 디바이스들의 어레이가 후속해서 형성되는 메모리 어레이 영역(100)에 인접하여 위치할 수 있다. 워드라인 컨택트 비아 영역(200)은 관통-메모리-레벨 비아 영역(400) 및 메모리 어레이 영역(100)에 인접하여 위치할 수 있다. 한 실시예에서, 관통-메모리-레벨 비아 영역(400) 및 워드라인 컨택트 비아 영역(200)은 제1 수평 방향 h1(예를 들어, 워드라인 방향)에 수직인 메모리 어레이 영역(100)의 주변 엣지에 위치할 수 있고 제2 수평 방향 hd2(예를 들어, 비트라인 방향)에 평행하게 연장된다. 한 실시예에서, 제1 예시적인 구조물의 구역은 제2 수평 방향 hd2를 따라 측방향으로 분리되고 양의 정수들과 일대일로 맵핑될 수 있는, 즉, 양의 정수들로 인덱싱될 수 있는 복수의 블록들(B1, B2, B3, ...)로 분할될 수 있다. 주어진 디바이스 레벨의 동일한 워드라인은 각각의 대응 메모리 블록에서 동일한 디바이스 레벨의 각각의 메모리 셀에 대한 제어 게이트 전극으로서 이용될 수 있다.

[0029] 관통-메모리-레벨 비아 영역(400) 및 워드라인 컨택트 비아 영역(200)의 복수의 인스턴스는 제2 수평 방향 hd2를 따라 교대할 수 있다. 예시적인 예에서, 관통-메모리-레벨 비아 영역(400)의 각각의 인스턴스는 각각의 짝수 블록(B2, B4 등)의 구역 내에 위치할 수 있고, 워드라인 컨택트 비아 영역(200)의 각각의 인스턴스는 각각의 홀수 블록(예를 들어, B1, B3 등)의 구역 내에 위치할 수 있다. 이웃하는 홀수 블록과 짝수 블록의 쌍(예를 들어, B1 및 B2)은 제2 수평 방향을 따라 주기적으로 반복될 수 있다.

[0030] 하위 레벨 최상단 금속 구조물(788)에 대한 특정한 패턴이 여기에 도시되어 있지만, 하위 레벨 최상단 금속 구조물(788)이 후속해서 형성될 관통-메모리-레벨 비아 구조물을 위한 적절한 랜딩 패드 구역을 제공하는 한, 하위 레벨 최상단 금속 구조물(788)에 대한 패턴은 아래에 놓인 주변 디바이스 영역(700)에서의 배선을 최적화하도록 변경될 수 있다는 것을 이해할 것이다.

[0031] 도 2를 참조하면, 선택사항적인 평면 도전성 재료 층(6) 및 평면 반도체 재료 층(10)이 아래에 놓인 주변 디바이스 영역(700) 위에 형성될 수 있다. 선택사항적인 평면 도전성 재료 층(6)은, 금속 또는 고농도 도핑된 반도체 재료 등의, 도전성 재료를 포함한다. 선택사항적인 평면 도전성 재료 층(6)은, 예를 들어, 3nm 내지 100nm의 범위의 두께를 갖는 텅스텐 층을 포함할 수 있지만, 더 작거나 더 큰 두께도 역시 이용될 수 있다. 금속 질화물 층(미도시)은 평면 도전성 재료 층(6)의 상단에 확산 장벽 층으로서 제공될 수 있다. 층 6은 완성된 디바이스에서 특별한 소스 라인으로 기능할 수 있다. 대안으로서, 층(6)은 에칭 정지 층을 포함할 수 있고 임의의 적절한 도전성, 반도체 또는 절연 층을 포함할 수 있다.

[0032] 평면 반도체 재료 층(10)은 적어도 하나의 하위 레벨 유전체 층(760) 위에 형성될 수 있다. 평면 반도체 재료 층(10)은, 적어도 하나의 원소 반도체 재료, 적어도 하나의 III-V 화합물 반도체 재료, 적어도 하나의 II-VI 화합물 반도체 재료, 적어도 하나의 유기 반도체 재료, 및/또는 본 기술분야에 공지된 기타의 반도체 재료를 포함할 수 있는 반도체 재료를 포함한다. 한 실시예에서, 평면 반도체 재료 층(10)은, (폴리실리콘 등의) 다결정 반도체 재료, 또는 (어닐링 단계 등의) 후속 공정 단계에서 다결정 반도체 재료로 변환되는 (비정질 실리콘 등의) 비정질 반도체 재료를 포함할 수 있다. 평면 반도체 재료 층(10)은, 반도체 기판(9)(예를 들어, 실리콘 웨이퍼) 상의 반도체 디바이스들의 서브셋 바로 위에 형성될 수 있다. 본 명세서에서 사용될 때, 제1 요소가 제2 요소의 최상단 표면을 포함한 수평면 위에 위치하고 제1 요소의 구역과 제2 요소의 구역이 평면도에서 (즉, 수직 평면을 따라 또는 기판(9)의 상단 표면에 수직인 방향을 따라) 구역적 중첩을 갖는다면 제1 요소는 제2 요소의 "바로 위"에 위치한다. 한 실시예에서, 평면 반도체 재료 층(10) 또는 그 일부는, p형 도펀트 또는 n형 도펀트일 수 있는 전기 도펀트로 도핑될 수 있다. 평면 반도체 재료 층(10)에서의 도펀트의 도전형은 본 명세서에서는 제1 도전형이라고 지칭된다. 유전체 패드 층(52)은 평면 반도체 재료 층(10)의 상단 표면 상에 형성될 수 있다.

[0033] 제1 재료 층들과 제2 재료 층들의 교대 스택이 후속해서 형성된다. 각각의 제1 재료 층은 제1 재료를 포함할 수 있고, 각각의 제2 재료 층은 제1 재료와는 상이한 제2 재료를 포함할 수 있다. 재료 층들의 적어도 또 다른 교대 스택이 제1 재료 층들과 제2 재료 층들의 교대 스택 위에 후속해서 형성되는 경우, 교대 스택은 본 명세서

Micron Ex. 1002, p. 305
Micron v. YMTC
IPR2025-00245

에서는 제1 계층 교대 스택이라고 지칭된다. 제1 계층 교대 스택의 레벨은 본 명세서에서 제1 계층 레벨이라 지칭되고, 제1 계층 레벨 바로 위에 후속해서 형성되는 교대 스택의 레벨은 본 명세서에서 제2 계층 레벨이라고 지칭되는 등등이다.

[0034] 제1 계층 교대 스택은, 제1 재료 층으로서의 제1 절연 층(132) 및 제2 재료 층으로서의 제1 스페이서 재료 층을 포함할 수 있다. 한 실시예에서, 제1 스페이서 재료 층은 전기 도전 층으로 후속해서 대체되는 희생 재료 층일 수 있다. 또 다른 실시예에서, 제1 스페이서 재료 층은 다른 층으로 후속해서 대체되지 않는 전기 도전 층일 수 있다. 본 개시내용은 희생 재료 층이 전기 도전 층으로 대체되는 실시예를 이용하여 설명되지만, 스페이서 재료 층이 전기 도전 층으로서 형성되는(이로써 대체 공정을 수행할 필요가 없는) 실시예도 본 명세서에서 명시적으로 고려된다.

[0035] 한 실시예에서, 제1 재료 계층 및 제2 재료 층은, 각각, 제1 절연 층(132) 및 제1 희생 재료 층(142)일 수 있다. 한 실시예에서, 각각의 제1 절연 층(132)은 제1 절연 재료를 포함할 수 있고, 각각의 제1 희생 재료 층(142)은 제1 희생 재료를 포함할 수 있다. 교대하는 복수의 제1 절연 층(132) 및 제1 희생 재료 층(142)은 평면 반도체 재료 층(10) 위에 형성된다. 본원에 이용된 바와 같이, "희생 재료"란 후속 공정 단계 동안에 제거되는 재료를 지칭한다.

[0036] 여기서 사용될 때, 제1 요소 및 제2 요소의 교대 스택이란, 제1 요소의 인스턴스들 및 제2 요소의 인스턴스들이 교대하는 구조물을 말한다. 교대하는 복수의 종단 요소가 아닌 제1 요소들의 각각의 인스턴스는 양측 상의 제2 요소들의 2개의 인스턴스에 의해 인접해 있고, 교대하는 복수의 종단 요소가 아닌 제2 요소들의 각각의 인스턴스는 양쪽 끝에 있는 제1 요소들의 2개의 인스턴스에 의해 인접해 있다. 제1 요소들은 그들 사이에서 동일한 두께를 가질 수 있거나, 상이한 두께를 가질 수 있다. 제2 요소들은 그들 사이에서 동일한 두께를 가질 수 있거나, 상이한 두께를 가질 수 있다. 교대하는 복수의 제1 재료 층들 및 제2 재료 층들은, 제1 재료 층의 인스턴스에서 또는 제2 재료 층의 인스턴스에서 시작할 수 있고, 제1 재료 층의 인스턴스 또는 제2 재료 층의 인스턴스에서 끝날 수 있다.

[0037] 한 실시예에서, 제1 요소들의 인스턴스 및 제2 요소들의 인스턴스는 교대하는 복수 내에서 주기성을 갖고 반복되는 유닛을 형성할 수 있다.

[0038] 제1 계층 교대 스택(132, 142)은, 제1 재료로 구성된 제1 절연 층(132)과, 제1 재료와는 상이한 제2 재료로 구성된 제1 희생 재료 층(142)을 포함할 수 있다. 제1 절연 층(132)의 제1 재료는 적어도 하나의 절연 재료일 수 있다. 제1 절연 층(132)을 위해 이용될 수 있는 절연 재료는, (도핑되거나 언도핑된 규산염 유리를 포함하는) 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 유기 규산염 유리(OSG), 스핀-온 유전체 재료, 흔히 높은 유전 상수(하이-k) 유전체 산화물이라 알려진 유전체 금속 산화물(예를 들어, 알루미늄 산화물, 하프늄 산화물 등) 및 그 규산염, 유전체 금속 산질화물 및 그 규산염, 및 유기 절연 재료를 포함하지만, 이것으로 제한되는 것은 아니다. 한 실시예에서, 제1 절연 층(132)의 제1 재료는 실리콘 산화물일 수 있다.

[0039] 제1 희생 재료 층(142)의 제2 재료는, 제1 절연 층(132)의 제1 재료에 대해 선택적으로 제거될 수 있는 희생 재료이다. 여기서 사용될 때, 제거 공정이 제2 재료의 제거 속도의 적어도 2배의 속도로 제1 재료를 제거한다면, 제1 재료의 제거는 제2 재료에 대해 "선택적"이다. 제2 재료의 제거 속도에 대한 제1 재료의 제거 속도의 비율은, 여기서는 제2 재료에 관한 제1 재료에 대한 제거 공정의 "선택도"라고 지칭된다.

[0040] 제1 희생 재료 층(142)은, 절연 재료, 반도체 재료, 또는 도전성 재료를 포함할 수 있다. 제1 희생 재료 층(142)의 제2 재료는, 후속해서, 예를 들어, 수직 NAND 디바이스의 제어 게이트 전극으로서 기능할 수 있는 전기 도전 전극으로 대체될 수 있다. 한 실시예에서, 제1 희생 재료 층(142)은 실리콘 질화물을 포함하는 재료 층일 수 있다.

[0041] 한 실시예에서, 제1 절연 층(132)은 실리콘 산화물을 포함할 수 있고, 희생 재료 층은 실리콘 질화물 희생 재료 층을 포함할 수 있다.

[0042] 제1 절연 층(132)의 제1 재료는, 예를 들어, 화학적 증착(CVD; chemical vapor deposition)에 의해 퇴적될 수 있다. 예를 들어, 제1 절연 층(132)에 대해 실리콘 산화물이 이용된다면, CVD 공정을 위한 전구 재료(precursor material)로서 테트라에틸오르토실리케이트(TEOS; tetraethylorthosilicate)가 이용할 수 있다. 제1 희생 재료 층(142)의 제2 재료는, 예를 들어, CVD 또는 ALD(atomic layer deposition)로 형성될 수 있다.

[0043] 제1 절연 층(132) 및 제1 희생 재료 층(142)의 두께는 20 nm 내지 50 nm의 범위일 수 있지만, 각각의 제1 절연 층(132) 및 각각의 제1 희생 재료 층(142)에 대해 더 작거나 더 큰 두께가 이용될 수 있다. 제1 절연 층(132)

Micron Ex. 1002, p. 306
Micron v. YMTC
IPR2025-00245

및 제1 희생 재료 층(142)의 쌍들의 반복 횟수는 2 내지 1024, 통상적으로 8 내지 256의 범위일 수 있지만, 더 많은 반복 횟수도 역시 이용될 수 있다. 한 실시예에서, 제1 계층 교대 스택(132, 142) 내의 각각의 제1 희생 재료 층(142)은 각각의 대응 제1 희생 재료 층(142) 내에서 실질적으로 불변인 균일한 두께를 가질 수 있다.

[0044] 후속해서 스택(132, 142) 위에 제1 절연 캡 층(170)이 형성된다. 제1 절연 캡 층(170)은 제1 절연 층(132)에 이용될 수 있는 임의의 유전체 재료일 수 있는 유전체 재료를 포함한다. 한 실시예에서, 제1 절연 캡 층(170)은 제1 절연 층(132)과 동일한 유전체 재료를 포함한다. 절연 캡 층(170)의 두께는 20nm 내지 300nm의 범위일 수 있지만, 더 작거나 더 큰 두께도 역시 이용될 수 있다.

[0045] 도 3을 참조하면, 제1 절연 캡층(170) 및 제1 계층 교대 스택(132, 142)은 패터닝되어 각각의 관통-메모리-레벨 비아 영역(400) 및 각각의 워드라인 컨택트 비아 영역(200)에서 제1 계단형 표면을 형성할 수 있다.

[0046] 관통-메모리-레벨 비아 영역(400) 및 워드라인 컨택트 비아 영역(200) 각각은, 제1 계단형 표면이 형성되는 각각의 제1 계단형 구역(SA1) 및 (후속해서 제1 계층 구조물 위에 형성될) 제2 계층 구조물 및/또는 추가의 계층 구조물에서 추가적인 계단형 표면들이 형성되는 제2 계단형 구역(SA2)을 포함할 수 있다. 제1 계단형 표면은, 예를 들어, 내부에 개구를 갖는 마스크 층을 형성하고, 제1 절연 캡 층(170)의 레벨들 내에서 캐비티를 에칭하고, 에칭된 구역을 반복적으로 확장하고, 에칭된 구역 내의 에칭된 캐비티의 하단 표면 바로 아래에 위치한 제1 절연 층(132) 및 제1 희생 재료 층(142)의 각각의 쌍을 에칭함으로써 캐비티를 수직으로 오목화함으로써 형성될 수 있다. 유전 재료가 제1 계단형 캐비티를 채우도록 퇴적되어 제1 계층 역-계단형 유전체 재료 부분(165)을 형성할 수 있다. 여기서 사용될 때, "역-계단형" 요소란, 요소가 존재하는 기판의 상단 표면으로부터의 수직 거리의 함수로서 단조 증가하는 수평 단면적과 계단형 표면을 갖는 요소를 말한다. 제1 계층 교대 스택(132, 142) 및 제1 계층 역-계단형 유전체 재료 부분(165)은 집합적으로 후속해서 변형되는 공정중 구조물인 제1 계층 구조물을 구성한다.

[0047] 도 4a 및 도 4b를 참조하면, 제1 계층 지지 기둥 구조물(171)은, 후속 공정 단계들에서 메모리 스택 구조물이 충분히 높은 밀도로 형성되지 않는 제1 계층 교대 스택(132, 142)의 부분들에 형성될 수 있다. 예를 들어, 제1 계층 지지 기둥 구조물(171)은, 관통-메모리-레벨 비아 영역(400) 및 워드라인 컨택트 비아 영역(200)에 형성될 수 있다. 제1 계층 지지 기둥 구조물(171)은, 예를 들어, 제1 계층 교대 스택(132, 142)을 통해 비아 캐비티를 형성하고 비아 캐비티를 실리콘 산화물 및/또는 (알루미늄 산화물과 같은) 유전체 금속 산화물 등의 유전체 재료로 채움으로써 형성될 수 있다. 제1 계층 교대 스택(132, 142)에서의 계단 S의 위치는 도 4b에서 점선으로 도시되어 있다.

[0048] 선택사항으로서, 계층간 유전체 층(180)이 제1 계층 구조물(132, 142, 165, 170) 위에 퇴적될 수 있다. 계층간 유전체 층(180)은 실리콘 산화물 등의 유전체 재료를 포함한다. 계층간 유전체 층(180)의 두께는 30nm 내지 300nm의 범위일 수 있지만, 더 작거나 더 큰 두께도 역시 이용될 수 있다.

[0049] 도 5a 및 도 5b를 참조하면, 평면 반도체 재료 층(10)의 적어도 상단 표면까지 연장되는 제1 계층 메모리 개구(149)가 제1 계층 교대 스택(132, 142)을 통해 형성된다. 제1 계층 메모리 개구(149)는, 메모리 어레이 영역(100)에서, 메모리 요소들의 수직 스택들을 포함하는 메모리 스택 구조물들이 후속해서 형성되는 위치들에서 형성될 수 있다. 예를 들어, 적어도 포토레지스트 층을 포함하는 리소그래피 재료 스택(미도시)이 제1 절연 캡층(170)(및 선택사항으로서 층(180)) 위에 형성될 수 있고, 리소그래픽 패터닝되어 리소그래피 재료 스택 내에 개구를 형성할 수 있다. 리소그래피 재료 스택 내의 패턴은, 패터닝된 리소그래피 재료 스택을 에칭 마스크로서 이용하는 적어도 하나의 이방성 에칭에 의해, 제1 절연 캡 층(170)(및 선택사항으로서 층(180))을 통해, 및 제1 계층 교대 스택(132, 142)의 전체를 통해 전사될 수 있다. 패터닝된 리소그래피 재료 스택 내의 개구 아래에 놓인 제1 절연 캡핑 층(170)(및 선택사항으로서 층(180)) 및 제1 계층 교대 스택(132, 142)의 부분들은 제1 계층 메모리 개구(149)를 형성하도록 에칭된다. 바꾸어 말하면, 제1 절연 캡 층(170) 및 제1 계층 교대 스택(132, 142)을 통한 패터닝된 리소그래피 재료 스택 내의 패턴의 전사는, 제1 계층 메모리 개구(149)를 형성한다.

[0050] 한 실시예에서, 제1 계층 교대 스택(132, 142)의 재료를 에칭하기 위해 이용되는 이방성 에칭 공정의 화학 작용은 제1 계층 교대 스택(132,142)에서의 제1 및 제2 재료의 에칭을 최적화하도록 교대할 수 있다. 이방성 에칭은, 예를 들어, 일련의 반응성 이온 에칭 또는 단일 에칭(예를 들어, $CF_4/O_2/Ar$ 에칭)일 수 있다. 제1 계층 메모리 개구(149)의 측벽은 실질적으로 수직이거나, 테이퍼링될 수 있다. 후속해서, 패터닝된 리소그래픽 재료 스택은 후속해서 예를 들어 애싱에 의해 제거될 수 있다.

Micron Ex. 1002, p. 307
Micron v. YMTC
IPR2025-00245

[0051] 선택사항으로서, 계층간 유전체 층(180)의 레벨에 있는 제1 계층 메모리 개구(149)의 부분은 등방성 에칭에 의해 측방향으로 확장될 수 있다. 예를 들어, 계층간 유전체 층(180)이 (언도핑된 규산염 유리를 포함할 수 있는) 제1 절연 층(132)보다 큰 에칭 속도를 갖는 (붕규산 유리 등의) 유전체 재료를 포함한다면, (HF를 이용한 습식 에칭 등의) 등방성 에칭이 계층간 유전체 층(180)의 레벨에 있는 제1 계층 메모리 개구의 측방향 치수를 확장시키기 위해 이용될 수 있다. 계층간 유전체 층(180)의 레벨에 위치한 제1 계층 메모리 개구(149)의 부분은 선택사항으로서 확장되어, 제2 계층 메모리 개구들이 (제2 계층 메모리 개구의 형성 전에 후속해서 형성될) 제2 계층 교대 스택을 통해 후속해서 형성되기 위한 더 큰 랜딩 패드를 제공할 수 있다.

[0052] 제1 계층 메모리 개구(149)에는 희생 메모리 개구 충전 부분(131)이 형성될 수 있다. 예를 들어, 희생 충전 재료 층이 제1 계층 메모리 개구(149)에 퇴적된다. 희생 충전 재료 층은 제1 절연 층(132) 및 제1 희생 재료 층(142)의 재료에 대해 선택적으로 제거될 수 있는 희생 재료를 포함한다. 한 실시예에서, 희생 충전 재료 층은, 실리콘(예를 들어, a-Si 또는 폴리실리콘), 실리콘-게르마늄 합금, 게르마늄, III-V 화합물 반도체 재료, 또는 이들의 조합 등의 반도체 재료를 포함할 수 있다. 선택사항으로서, 희생 충전 재료 층을 퇴적하기 전에 (1nm 내지 3nm 범위의 두께를 갖는 실리콘 산화물 층 등의) 얇은 에칭 정지 층이 이용될 수 있다. 희생 충전 재료 층은 비-컨포멀 퇴적 또는 컨포멀 퇴적 방법에 의해 형성될 수 있다. 또 다른 실시예에서, 희생 충전 재료 층은 에칭에 의해 후속해서 제거될 수 있는 비정질 실리콘 또는 (비정질 탄소 또는 다이아몬드 형 탄소 등의) 탄소-함유 재료를 포함할 수 있다.

[0053] 퇴적된 희생 재료의 부분들은 제1 절연 캡층(170)(및 선택사항으로서 존재한다면 층(180)) 위로부터 제거될 수 있다. 예를 들어, 희생 충전 재료 층은 평탄화 공정을 이용하여 제1 절연 캡 층(170)(및 선택사항으로서 존재한다면 층(180))의 상단 표면에 대해 오목화될 수 있다. 평탄화 공정은, 오목화 에칭, 화학적 기계적 평탄화(CMP), 또는 이들의 조합을 포함할 수 있다. 제1 절연 층(170)의 상단 표면(및 선택사항으로서 존재하는 경우 층(180))은 에칭 정지 층 또는 평탄화 정지 층으로서 이용될 수 있다. 제1 계층 메모리 개구(149) 내의 희생 재료의 각각의 나머지 부분은 희생 메모리 개구 충전 부분(131)을 구성한다.

[0054] 희생 메모리 개구 충전 부분(131)의 상단 표면은 계층간 유전체 층(180)의 상단 표면과 동일 평면 상에 있을 수 있다. 희생 메모리 개구 충전 부분(131)은 내부에 캐비티를 포함하거나, 포함하지 않을 수도 있다.

[0055] 도 7을 참조하면, 제1 계층 구조물(132, 142, 170, 131) 위에 제2 계층 구조물이 형성될 수 있다. 제2 계층 구조물은, 절연 층과, 희생 재료 층이 될 수 있는 스페이서 재료 층의 추가적인 교대 스택을 포함할 수 있다. 예를 들어, 재료 층들의 제2 교대 스택(232, 242)이 제1 교대 스택(132, 142)의 상단 표면 상에 후속해서 형성될 수 있다. 제2 스택(232, 242)은 교대하는 복수의 제3 재료 층과 제4 재료 층을 포함한다. 각각의 제3 재료 층은 제3 재료를 포함할 수 있고, 각각의 제4 재료 층은 제3 재료와는 상이한 제4 재료를 포함할 수 있다. 한 실시예에서, 제3 재료는 제1 절연 층(132)의 제1 재료와 동일할 수 있고, 제4 재료는 제1 희생 재료 층(142)의 제2 재료와 동일할 수 있다.

[0056] 한 실시예에서, 제3 재료 층은 제2 절연 층(232)일 수 있고, 제4 재료 층은 제2 절연 층(232)의 각각의 수직 이웃 쌍 사이에 수직 이격을 제공하는 제2 스페이서 재료 층일 수 있다. 한 실시예에서, 제3 재료 계층과 제4 재료 층은, 각각, 제2 절연 층(232)과 제2 희생 재료 층(242)일 수 있다. 제2 절연 층(232)의 제3 재료는 적어도 하나의 절연 재료일 수 있다. 제2 희생 재료 층(242)의 제4 재료는, 제2 절연 층(232)의 제3 재료에 선택적으로 제거될 수 있는 희생 재료일 수 있다. 제2 희생 재료 층(242)은, 절연 재료, 반도체 재료, 또는 도전성 재료를 포함할 수 있다. 제2 희생 재료 층(242)의 제4 재료는, 후속해서, 예를 들어, 수직 NAND 디바이스의 제어 게이트 전극들로서 기능할 수 있는 전기 도전성 전극들로 대체될 수 있다.

[0057] 한 실시예에서, 각각의 제2 절연 층(232)은 제2 절연 재료를 포함할 수 있고, 각각의 제2 희생 재료 층(242)은 제2 희생 재료를 포함할 수 있다. 이 경우, 제2 스택(232, 242)은 교대하는 복수의 제2 절연 층(232) 및 제2 희생 재료 층(242)을 포함할 수 있다. 제2 절연 층(232)의 제3 재료는, 예를 들어, 화학적 증착(CVD)에 의해 퇴적될 수 있다. 제2 희생 재료 층(242)의 제4 재료는, 예를 들어, CVD 또는 ALD(atomic layer deposition)로 형성될 수 있다.

[0058] 제2 절연 층(232)의 제3 재료는 적어도 하나의 절연 재료일 수 있다. 제2 절연 층(232)에 이용될 수 있는 절연 재료는 제1 절연 층(132)에 이용될 수 있는 임의의 재료일 수 있다. 제2 희생 재료 층(242)의 제4 재료는 제2 절연 층(232)의 제3 재료에 대해 선택적으로서 제거될 수 있는 희생 재료이다. 제2 희생 재료 층(242)에 이용될 수 있는 희생 재료는 제1 희생 재료 층(142)에 이용될 수 있는 임의의 재료일 수 있다. 한 실시예에서, 제2

Micron Ex. 1002, p. 308
Micron v. YMTC
IPR2025-00245

절연 재료는 제1 절연 재료와 동일할 수 있고, 제2 희생 재료는 제1 희생 재료와 동일할 수 있다.

[0059] 제2 절연 층(232) 및 제2 희생 재료 층(242)의 두께는 20 nm 내지 50 nm의 범위일 수 있지만, 각각의 제2 절연 층(232) 및 각각의 제2 희생 재료 층(242)에 대해 더 작거나 더 큰 두께가 이용될 수 있다. 제2 절연 층(232) 및 제2 희생 재료 층(242)의 쌍들의 반복 횟수는 2 내지 1024, 통상적으로 8 내지 256의 범위일 수 있지만, 더 많은 반복 횟수도 역시 이용될 수 있다. 한 실시예에서, 제2 스택(232, 242) 내의 각각의 제2 희생 재료 층(242)은 각각의 해당 제2 희생 재료 층(242) 내에서 실질적으로 불변인 균일한 두께를 가질 수 있다.

[0060] 제2 계단형 구역(SA2) 내의 제2 계단형 표면은, 적어도 하나의 마스킹 층의 패턴에 대해 적절한 조정을 통해, 제1 계단형 구역(SA1)에서 제1 계단형 표면을 형성하기 이용된 처리 단계들과 동일한 세트의 처리 단계들을 이용하여 관통-메모리-레벨 비아 영역(400) 및 워드라인 컨택트 비아 영역(200)에서 형성될 수 있다. 제2 계층 역-계단형 유전체 재료 부분(265)은, 관통-메모리-레벨 비아 영역(400) 및 워드라인 컨택트 비아 영역(200) 내의 제2 계단형 표면들 위에 형성될 수 있다.

[0061] 제2 절연 캡 층(270)은 제2 교대 스택(232, 242) 위에 후속하여 형성될 수 있다. 제2 절연 캡 층(270)은 제2 희생 재료 층(242)의 재료와는 상이한 유전체 재료를 포함한다. 한 실시예에서, 제2 절연 캡 층(270)은 실리콘 산화물을 포함할 수 있다. 한 실시예에서, 제1 및 제2 희생 재료 층(142, 242)은 실리콘 질화물을 포함할 수 있다.

[0062] 일반적으로 말하면, 절연 층(132,232)과 (희생 재료 층(142, 242) 등의) 스페이서 재료 층의 적어도 하나의 교대 스택은 평면 반도체 재료 층(10) 위에 형성될 수 있고, 적어도 하나의 역-계단형 유전체 재료 부분(165, 265)은 적어도 하나의 교대 스택(132, 142, 232, 242) 상의 계단 영역 위에 형성될 수 있다.

[0063] 도 8a 및 도 8b를 참조하면, 제2 계층 지지 기둥 구조물(271)은 제1 계층 지지 기둥 구조물(171) 위에 놓인 제2 계층 교대 스택(132, 142)의 부분들에 형성될 수 있다. 예를 들어, 제2 계층 지지 기둥 구조물(271)은 관통-메모리-레벨 비아 영역(400) 및 워드라인 컨택트 비아 영역(200) 내의 제1 계층 지지 기둥 구조물(171)의 상단 표면에 직접 형성될 수 있다. 제2 계층 지지 기둥 구조물(271)은, 예를 들어, 제2 계층 교대 스택(232, 242)을 통해 비아 캐비티를 형성하고 비아 캐비티를 실리콘 산화물 및/또는 (알루미늄 산화물과 같은) 유전체 금속 산화물 등의 유전체 재료로 채움으로써 형성될 수 있다.

[0064] 선택사항으로서, 드레인-선택-레벨 얕은 트렌치 격리 구조물(72)은 제2 계층 교대 스택(232, 242)의 상위 부분의 층들의 서브셋을 통해 형성될 수 있다. 선택-드레인-레벨 얕은 트렌치 격리 구조물(72)에 의해 절단되는 제2 희생 재료 층(242)은 드레인-선택-레벨 전기 도전 층이 후속해서 형성되는 레벨에 대응한다. 드레인-선택-레벨 얕은 트렌치 격리 구조물(72)은 블록들(B1, B2, B3, . . .)을 제1 수평 방향 hd1을 따라 복수의 서브블록으로 분할한다. 드레인-선택-레벨 얕은 트렌치 격리 구조물(72)은 실리콘 산화물 등의 유전체 재료를 포함한다. 제1 계층 교대 스택(132, 142) 및 제2 계층 교대 스택(232, 242)의 계단 S의 위치는 도 8b에서 점선으로 도시되어 있다. 제1, 제2 및 제3 메모리 블록 내의 계단 영역들은 동일한 대각선 방향(예를 들어, 좌측으로부터 우측으로)으로 상승한다.

[0065] 도 9a 및 도 9b를 참조하면, 제2 계층 구조물(232, 242, 270)를 통해 연장되는 제2 계층 메모리 개구는 희생 메모리 개구 충전 부분(131) 위에 놓인 구역에 형성된다. 포토레지스트 층은 제2 계층 구조물(232, 242, 270) 위에 형성될 수 있고, 희생 메모리 개구 충전 부분(131)의 패턴, 즉, 제1 계층 메모리 개구의 패턴과 동일한 패턴을 형성하도록 리소그래픽 패터닝될 수 있다. 제1 계층 메모리 개구(149)를 패터닝하는데 이용되는 리소그래피 마스크는 제2 계층 메모리 개구를 패터닝하는데 이용될 수 있다. 리소그래픽 패터닝된 포토레지스트 층의 패턴을 제2 계층 구조물(232, 242, 270)을 통해 전사하기 위해 이방성 에칭이 수행될 수 있다. 한 실시예에서, 제2 계층 교대 스택(232, 242)의 재료를 에칭하기 위해 이용되는 이방성 에칭 공정의 화학 작용은 제2 계층 교대 스택(232, 242)에서 교대하는 재료 층들의 에칭을 최적화하도록 교대할 수 있다. 이방성 에칭은, 예를 들어, 일련의 반응성 이온 에칭일 수 있다. 패터닝된 리소그래피 재료 스택은, 예를 들어, 이방성 에칭 공정 후에 애싱에 의해 제거될 수 있다.

[0066] 아래에 놓인 희생 메모리 개구 충전 부분(131)의 상단 표면은 각각의 제2 계층 메모리 개구의 하단부에서 물리적으로 노출될 수 있다. 희생 메모리 개구 충전 부분(131)의 상단 표면이 물리적으로 노출된 후, 에칭 공정이 수행되어, 희생 메모리 개구 충전 부분(131)의 희생 재료를 제2 계층 교대 스택(232, 242) 및 제1 계층 교대 스택(132, 142)의 재료(예를 들어, $C_4F_8/O_2/Ar$ 에칭)에 대해 선택적으로 제거한다.

[0067] 희생 메모리 개구 충전 부분(131)의 제거시, 제2 계층 메모리 개구 및 제1 계층 메모리 개구(149)의 각각의 수

Micron Ex. 1002, p. 309
Micron v. YMTC
IPR2025-00245

직 방향으로 인접한 쌍은 제1 계층 교대 스택(132, 142) 및 제2 계층 교대 스택(232, 242)을 통해 연장되는 연속 캐비티를 형성한다. 연속 캐비티는 본 명세서에서는 메모리 개구(49)라고 지칭된다. 평면 반도체 재료 층(10)의 상단 표면은 각각의 메모리 개구(49)의 하단 표면에서 물리적으로 노출될 수 있다.

[0068] 도 10a 및 도 10b를 참조하면, 페데스탈 채널 부분(11)은 선택적 반도체 퇴적 공정에 의해 각각의 메모리 개구(49)의 하단부에 선택사항으로서 형성될 수 있다. 선택적 반도체 퇴적은, 반도체 표면, 즉, 평면 반도체 재료 층(10)의 물리적으로 노출된 표면으로부터만 반도체 재료를 성장시키고, 절연체 표면으로부터의 반도체 재료의 성장을 억제한다. 선택적 반도체 퇴적 공정 동안, (실란, 디클로로실란, 트리클로로실란, 디실란 등의) 반응물은 (염화수소 등의) 에칭제와 동시에 또는 교대로 퇴적 챔버 내로 유입될 수 있다. 반도체 재료는 절연체 표면보다 반도체 표면 상에서 더 큰 퇴적 속도로 퇴적되기 때문에, 반도체 표면 상의 반도체 재료의 퇴적 속도와, 절연체 표면 상의 반도체 재료의 퇴적 속도 사이의 에칭 속도를 설정함으로써 선택적 성장이 달성될 수 있다. 한 실시예에서, 페데스탈 채널 부분(11)의 상단 표면은, 소스-선택-레벨 전기 도전 층이 후속해서 형성될 수 있는 소스 선택 레벨들의 레벨들을 가로 질러 연장될 수 있다.

[0069] 메모리 스택 구조물(55)은 메모리 개구(49) 내에 형성될 수 있다. 예시적인 예에서, 각각의 메모리 스택 구조물(55)은, 메모리 막(50), 수직 반도체 채널(60), 및 선택사항적인 유전체 코어(62)를 포함할 수 있다. 한 실시예에서, 각각의 메모리 막(50)은, 삽입도에 예시된 바와 같이, 선택사항적인 차단 유전체 층(51), 메모리 재료 층(54), 및 터널링 유전체 층(56)을 포함할 수 있다. 한 실시예에서, 각각의 수직 반도체 채널(60)은 제1 반도체 채널(601) 및 제2 반도체 채널(602)을 포함할 수 있다. 메모리 개구(49) 및 제1 계층 지지 기둥 구조물(171)에 대한 지지 개구가 각각 도 5a 및 도 4a에서 별개의 단계들에서 형성되는 것으로 도시되어 있지만, 또 다른 실시예에서는, 메모리 개구(49) 및 제1 계층 지지 기둥 구조물(171)에 대한 지지 개구는 동일한 단계로 형성된다. 이 실시예에서, 비트라인에 전기적으로 접속되지 않은 더미 메모리 스택 구조물을 포함하는 제1 계층 지지 기둥 구조물(171)은, 메모리 스택 구조물(55)이 메모리 개구(49)에 형성되는 것과 동시에 지지 개구 내에 형성될 수 있다.

[0070] 차단 유전체 층(51)은, 실리콘 산화물, (알루미늄 산화물 등의) 유전체 금속 산화물, 또는 이들의 조합 등의 차단 유전체 재료를 포함한다. 선택사항으로서, 차단 유전체 층(51)은 이 공정 단계 동안 생략될 수 있고, 대신에 후술되는 바와 같이 배면 오목부를 통해 형성될 수 있다. 한 실시예에서, 메모리 재료 층(54)은, 예를 들어, 실리콘 질화물일 수 있는, 유전성 전하 포획 재료를 포함하는 전하 포획 재료일 수 있다.

[0071] 메모리 재료 층(54)은 균질한 조성물의 단일 메모리 재료 층으로서 형성되거나, 복수의 메모리 재료 층들의 스택을 포함할 수 있다. 복수의 메모리 재료 층은, 이용되는 경우, 도전성 재료(예를 들어, 텅스텐, 몰리브덴, 탄탈, 티타늄, 백금, 루테늄, 및 이들의 합금 등의 금속, 또는 텅스텐 실리사이드, 몰리브덴 실리사이드, 몰리브덴 실리사이드, 탄탈 실리사이드, 티타늄 실리사이드, 니켈 실리사이드, 또는 이들의 조합 등의 금속 실리사이드) 및/또는 반도체 재료(예를 들어, 적어도 하나의 원소 반도체 요소 또는 적어도 하나의 화합물 반도체 재료를 포함하는 다결정 또는 비정질 반도체 재료)를 포함하는 복수의 이격된 부동 게이트 재료 층들을 포함할 수 있다. 대안으로서 또는 추가로, 메모리 재료 층(54)은, 하나 이상의 실리콘 질화물 세그먼트 등의 절연성 전하 포획 재료를 포함할 수 있다. 대안으로서, 메모리 재료 층(54)은, 예를 들어, 루테늄 나노입자일 수 있는, 금속 나노 입자 등의 도전성 나노입자를 포함할 수 있다. 메모리 재료 층(54)은, 예를 들어, 화학적 증착(CVD), 원자층 퇴적(ALD), 물리적 증착(PVD), 또는 전기 전하를 저장하기 위한 임의의 적절한 퇴적 기술에 의해 형성될 수 있다. 메모리 재료 층(54)의 두께는 2nm 내지 20nm의 범위일 수 있지만, 더 작거나 더 큰 두께도 역시 이용될 수 있다.

[0072] 터널링 유전체 층(56)은, 적절한 전기적 바이어스 조건 하에서 전하 터널링이 수행될 수 있는 유전체 재료를 포함한다.

[0073] 전하 터널링은, 형성될 모놀리식 3차원 NAND 스트링 메모리 디바이스의 동작 모드에 따라 핫 캐리어 주입을 통해 또는 파울러-노르드하임(Fowler-Nordheim) 터널링 유도 전하 전송에 의해 수행될 수 있다. 터널링 유전체 층(56)은, 실리콘 산화물, 실리콘 질화물, 실리콘 산화질화물, (알루미늄 산화물 및 하프늄 산화물 등의) 유전체 금속 산화물, 유전체 금속 산화질화물, 유전체 금속 규산염, 이들의 합금, 및/또는 이들의 조합을 포함할 수 있다. 한 실시예에서, 터널링 유전체 층(56)은, 흔히 ONO 스택이라고 알려진, 제1 실리콘 산화물 층, 실리콘 산화질화물 층, 및 제2 실리콘 산화물 층의 스택을 포함할 수 있다. 터널링 유전체 층(56)의 두께는 2nm 내지 20nm의 범위일 수 있지만, 더 작거나 더 큰 두께도 역시 이용될 수 있다.

[0074] 제1 반도체 채널 층은, 저압 화학적 증착(LPCVD) 등의 컨포멀 퇴적 방법에 의해 메모리 막(50) 위에 퇴적될 수

Micron Ex. 1002, p. 310
Micron v. YMTC
IPR2025-00245

있다. 제1 반도체 채널 층의 두께는 2nm 내지 10nm의 범위일 수 있지만, 더 작거나 더 큰 두께도 역시 이용될 수 있다. 제1 반도체 채널 층 및 메모리 막(50)은 이방성 에칭되어 그 수평 부분을 제거할 수 있다. 각각의 메모리 막(50)의 수평 하단부는 각각의 메모리 개구의 하단부로부터 제거될 수 있다. 제1 반도체 채널 층의 각각의 나머지 부분은 제1 반도체 채널(601)을 구성한다. 제1 반도체 채널은, 적어도 하나의 원소 반도체 재료, 적어도 하나의 III-V 화합물 반도체 재료, 적어도 하나의 II-VI 화합물 반도체 재료, 적어도 하나의 유기 반도체 재료, 또는 본 기술분야에 공지된 기타의 반도체 재료 등의, 반도체 재료를 포함할 수 있다. 한 실시예에서, 제1 반도체 채널(601)은 비정질 실리콘 또는 폴리실리콘을 포함할 수 있다.

[0075] 제2 반도체 채널 층은, 제1 반도체 채널(601)(즉, 제1 반도체 채널 층의 나머지 수직 부분) 상에 및 에피텍셜 채널 부분(11)(또는 에피텍셜 채널 부분(11)이 존재하지 않는 경우 기판 반도체 층(10))의 상단 표면 상에 퇴적될 수 있다. 제2 반도체 채널 층은, 제1 반도체 채널 층에 이용될 수 있는 임의의 반도체 재료일 수 있는, 반도체 재료를 포함한다. 제1 및 제2 반도체 채널 층들은, 제1 도전형의 도핑(즉, 기판 반도체 층(10)과 동일한 도전형)을 가지거나, 실질적으로 진성, 즉, $1.0 \times 10^{17}/cm^3$를 초과하지 않는 도펀트 농도를 가질 수 있다. 한 실시예에서, 제2 반도체 채널 층은 비정질 실리콘 또는 폴리실리콘을 포함할 수 있다. 제2 반도체 채널 층의 두께는 2nm 내지 10nm의 범위일 수 있지만, 더 작거나 더 큰 두께도 역시 이용될 수 있다.

[0076] 유전체 재료는 제2 반도체 채널 층에 의해 둘러싸인 캐비티들 내에 퇴적될 수 있고, 후속해서 제2 절연 캡 층(270)의 상단 표면 아래에 오목화될 수 있다. 메모리 개구 내의 유전체 재료의 각각의 나머지 부분은 유전체 코어(62)를 구성한다. 제2 도전형(제1 도전형과 반대임)을 갖는 도핑된 반도체 재료는, 유전체 코어(62) 위에 및 메모리 개구 내의 캐비티들 내에 퇴적되어 드레인 영역(63)을 형성할 수 있다. 도핑된 반도체 재료는, 예를 들어, 도핑된 폴리실리콘일 수 있다. 퇴적된 반도체 재료의 과잉 부분은, 예를 들어, 화학 기계적 평탄화(CMP) 또는 오목화 에칭에 의해, 제2 절연 캡 층(270)의 상단 표면으로부터 제거되어 드레인 영역(63)을 형성할 수 있다. 제2 반도체 채널 층의 각각의 나머지 부분은 제2 반도체 채널(602)을 구성한다. 메모리 개구 내부의 제1 반도체 채널(601)과 제2 반도체 채널(602)의 조합은 수직 반도체 채널(60)을 구성한다.

[0077] 메모리 스택 구조물(55) 각각은, 메모리 막(50), 및 평면 반도체 재료 층(10) 내의 각각의 수평 채널에 인접한 수직 반도체 채널(60)을 포함한다. 각각의 메모리 막(50)은, 메모리 개구의 측벽과 접촉하는 차단 유전체 층(51), 차단 유전체 층(51)의 내측 측벽 상에 위치한 (희생 재료 층(142, 242)의 각각의 레벨에 있는 메모리 재료 층(54)의 부분들로서 구현되는) 복수의 전하 저장 영역, 및 복수의 전하 저장 영역 내부에 위치한 터널링 유전체 층(56)을 포함할 수 있다.

[0078] 제1 계층 구조물(132, 142, 170, 165, 171), 제2 계층 구조물(232, 242, 270, 265, 271), 계층간 유전체 층(180), 및 메모리 스택 구조물(55)은 집합적으로 메모리-레벨 어셈블리를 구성한다. 메모리-레벨 어셈블리는, 평면 반도체 재료 층(10)이, 메모리 스택 구조물(55) 내의 수직 반도체 채널(60)에 전기적으로 접속된 수평 반도체 채널을 포함하도록 평면 반도체 재료 층(10) 위에 형성된다.

[0079] 제1 컨택트 레벨 유전체 층(280)은 메모리-레벨 어셈블리 위에 형성될 수 있다. 제1 컨택트 레벨 유전체 층(280)은, 후속 공정 단계들에서 희생 재료 층(142, 242)을 대체하는 다양한 전기 도전 층들 및 드레인 영역(63)에 다양한 컨택트 비아 구조물이 후속해서 형성되는 컨택트 레벨에서 형성된다.

[0080] 도 11a 및 도 11b를 참조하면, 메모리-레벨 어셈블리를 통해 각각의 관통-메모리-레벨 비아 영역(400)에 관통-메모리-레벨 개구(769)가 형성될 수 있다. 예를 들어, 메모리-레벨 어셈블리를 통해 연장되는 관통-메모리-레벨 개구(769)는 제2 계단 영역의 구역에 형성될 수 있다. 관통-메모리-레벨 개구(769)는, 예를 들어, 제1 컨택트 레벨 유전체 층(280) 위에 포토레지스트 층(767)을 형성하고, 포토레지스트 층(767)을 리소그래픽 패터닝하여 각각의 관통-메모리-레벨 비아 영역(400) 위에 개구를 형성하고, 포토레지스트 층의 개구 아래에 놓인 메모리-레벨 어셈블리 및 제1 컨택트 레벨 유전체 층(280)의 부분들을 이방성 에칭함으로써 형성될 수 있다. 한 실시예에서, 각각의 개구의 구역은 각각의 관통-메모리-레벨 비아 영역(400)의 총 면적의 우세한 부분(즉, 50% 이상)을 포함할 수 있다.

[0081] 관통-메모리-레벨 개구(769)는 관통-메모리-레벨 비아 영역(400)에만 형성되고, 워드라인 컨택트 비아 영역(200) 또는 메모리 어레이 영역(100)에는 형성되지 않는다. 워드라인 컨택트 비아 영역(200) 또는 메모리 어레이 영역(100)의 구역들은 패터닝된 포토레지스트 층(767) 등의 마스킹 층으로 덮힌다.

[0082] 관통-메모리-레벨 개구(769)는, 메모리-레벨 어셈블리, 평면 반도체 재료 층(10), 선택사항적인 평면 도전성 재료 층(6), 및 적어도 하나의 하위 레벨 유전체 재료 층(760) 전체를 통해 연장될 수 있다. 한 실시예에서, 각

Micron Ex. 1002, p. 311
Micron v. YMTC
IPR2025-00245

각의 관통-메모리-레벨 개구(769)의 하단 표면은 하위 레벨 금속 상호접속 구조물(780)의 최상단 표면 위에 위치할 수 있다. 대안으로서, 하위 레벨 금속 상호접속 구조물(780)의 최상단 표면은 관통-메모리-레벨 개구(769)에서 물리적으로 노출될 수 있다. 한 실시예에서, 관통-메모리-레벨 개구(769)는 메모리-레벨 어셈블리 및 평면 반도체 재료 층(10)을 통해 연장되는 실질적으로 수직인 측벽을 포함할 수 있다. 본 명세서에서 사용될 때, 측벽이 수직이거나 수직면으로부터 5도 미만의 각도만큼 벗어나는 경우, 측벽은 "실질적으로 수직"이다.

[0083] 도 12a 및 12b를 참조하면, 유전체 충전 재료 부분(430)은, 예를 들어, 유전체 충전 재료의 퇴적 및 제1 컨택트 레벨 유전체 층(280)의 상단 표면을 포함하는 수평면 위로부터의 과잉 유전체 충전 재료의 제거에 의해, 각각의 관통-메모리-레벨 개구(769) 내에 형성된다. 유전체 충전 재료 부분(430)은 언도핑된 규산염 유리(예를 들어, 실리콘 산화물), 도핑된 규산염 유리, 또는 스핀-온 글래스(SOG) 등의 유전체 재료를 포함한다. 유전체 충전 재료는, 컨포멀 퇴적 공정, 비컨포멀 퇴적 공정과 리플로우 공정의 조합, 또는 스핀-온 코팅에 의해 퇴적될 수 있다. 유전체 충전 재료의 과잉 부분은, 오목화 에칭, 화학적 기계적 평탄화(CMP), 또는 이들의 조합에 의해 제거될 수 있다.

[0084] 도 13a 및 도 13b를 참조하면, 배면 컨택트 트렌치(79)가 후속해서 제1 컨택트 레벨 유전체 층(280) 및 메모리-레벨 어셈블리를 통해 형성된다. 예를 들어, 포토레지스트 층은 제1 컨택트 레벨 유전체 층(280) 위에 리소그래픽 패터닝되어 제1 수평 방향 hd1을 따라 연장되는 길쭉한 개구를 형성할 수 있다. 패터닝된 포토레지스트 층 내의 개구들의 서브셋은 블록들(B0, B1, B2, B3, ...) 사이의 경계에 떨어진다. 이방성 에칭이 수행되어 패터닝된 포토레지스트 층 내의 패턴을 제1 컨택트 레벨 유전체 층(280) 및 메모리-레벨 어셈블리를 통해 평면 반도체 재료 층(10)의 상단 표면으로 전사한다. 포토레지스트 층은, 예를 들어, 애싱에 의해, 후속해서 제거될 수 있다.

[0085] 배면 컨택트 트렌치(79)는 제1 수평 방향 hd1을 따라 연장되고, 따라서 제1 수평 방향 hd1을 따라 길쭉해진다. 배면 컨택트 트렌치(79)는, 메모리 어레이 영역(100), 인접하는 워드라인 컨택트 비아 영역(200), 및 인접하는 관통-메모리-레벨 비아 영역(400)을 통해 연장되는 제1 서브셋의 배면 컨택트 트렌치(79)를 포함한다. 제1 서브셋의 배면 컨택트 트렌치(79)는 메모리-레벨 어셈블리를 통해 형성되고, 제1 수평 방향 hd1을 따라 측방향으로 연장되며, (일반적으로 적어도 하나의 교대 스택(132, 142, 232, 242)을 포함하는) 메모리-레벨 어셈블리를 복수의 측방향으로 이격된 블록(B0, B1, B2, B3, ...)으로 측방향으로 분할한다.

[0086] 각각의 블록(B0, B1, B2, B3, ...)은 제1 서브셋의 배면 컨택트 트렌치(79) 중 이웃하는 쌍의 배면 컨택트 트렌치(79)들 사이의 메모리 어레이 영역의 각각의 부분을 포함한다. 각각의 블록(B0, B1, B2, B3, ...)은, 메모리 어레이 영역(100)의 각각의 부분, 메모리 어레이 영역(100)의 각각의 부분의 길이방향의 한 단부 상에 위치하고 워드라인 컨택트 비아 영역(200)을 포함하는 계단 영역, 및 메모리 어레이 영역(100)의 각각의 부분의 또 다른 길이방향 단부 상에 위치하고 관통-메모리-레벨 비아 영역(400)을 포함하는 또 다른 계단 영역을 포함할 수 있다. 한 실시예에서, 연속 블록들(B0, B1, B2, B3, ...)을 따른 워드라인 컨택트 비아 영역(200)의 배치는 2개의 대향 측들 사이에서 교대할 수 있다. 한 예시적인 예에서, 모든 홀수 블록(B1, B3 등)은 (좌측 등의) 한 측 상에 각각의 워드라인 컨택트 비아 영역(200)을 가지며, 모든 짝수 블록(B2, B4 등)은 (우측 등의) 반대 측 상에 각각의 워드라인 컨택트 비아 영역(200)을 갖는다. 마찬가지로, 연속적인 블록들(B0, B1, B2, B3, ...)을 따른 관통-메모리-레벨 비아 영역(400)의 배치는, 관통-메모리-레벨 비아 영역(400)이 워드라인 컨택트 비아 영역(200)과 중첩되지 않도록 2개의 대향 측들 사이에서 교대할 수 있다. 예시적인 예에서, 모든 짝수 블록(B0, B2, B4 등)은 (좌측 등의) 한 측 상에서 각각의 관통-메모리-레벨 비아 영역(400)을 가지며, 모든 홀수 블록(B1, B3 등)은 (우측 등의) 반대측 상에서 각각의 워드라인 컨택트 비아 영역(200)을 갖는다.

[0087] 한 예시적인 예에서, 복수의 블록은, 제1 수평 방향 hd1에 수직인 제2 수평 방향 hd2를 따라 배열된 제1 블록(B1), 제2 블록(B2) 및 제3 블록(B3)을 순서대로 포함한, 3개의 이웃 블록들(예를 들어, B1, B2, B3)의 세트를 포함할 수 있다. 제1 블록(B1), 제2 블록(B2), 및 제3 블록(B3)은, 각각, (도 10b에 도시된 블록 B1의 좌측 상의 워드라인 컨택트 비아 영역(200)의 영역 등의) 제1 계단 영역, (도 10b에 도시된 블록 B2의 좌측 상의 관통-메모리-레벨 비아 영역(400)의 영역 등의) 제2 계단 영역, 및 제3 계단 영역(즉, 블록 B3의 좌측의 워드라인 컨택트 비아 영역(200)의 복제물)을 포함할 수 있다. 앞서 논의된 바와 같이, (B1 및 B2 등의) 홀수 블록과 짝수 블록의 인접 쌍은 제2 수평 방향을 따라 주기적으로 반복될 수 있다.

[0088] 선택사항으로서, 제2 서브셋의 배면 컨택트 트렌치(79)가 각각의 블록(B0, B1, B2, B3, ...) 내에 제공될 수 있다. 이용된다면, 제2 서브셋의 배면 컨택트 트렌치(79)는 제1 수평 방향 hd1을 따라 연장될 수 있고, 각각의 블록을 복수의 서브블록으로 적절히 분할하도록 위치할 수 있다. 배면 컨택트 트렌치(79)는 각각의 메모리 블

Micron Ex. 1002, p. 312
Micron v. YMTC
IPR2025-00245

록 내에 서브블록 경계를 포함할 수 있다. 배면 컨택트 트렌치(79)는 동일한 워드라인이 동일한 블록 내의 2개의 인접한 서브블록들 사이의 접속 영역(778)에서 연장되는 것을 허용하도록 불연속일 수 있다. 드레인-컨택트-레벨 얇은 트렌치 격리 구조물(72)이 이용된다면, 드레인-컨택트 레벨 얇은 트렌치 격리 구조물(72)은 제1 수평 방향 hd1을 따라 연장되어 각각의 서브블록 내의 또는 각각의 블록 내의 제2 계층 교대 스택(232, 242)의 상위 부분 내의 층들의 서브셋을 분할할 수 있다. 블록을 서브블록들 또는 하위 단위들로 나누기 위해 다양한 설계 최적화가 이용될 수 있다.

[0089] 도 14a 내지 도 14c를 참조하면, 제1 및 제2 절연 층(132, 232), 제1 및 제2 절연 캡층(170, 270), 및 메모리 막(50)의 최외곽 층의 재료에 관해, 제1 및 제2 희생 재료 층(142, 242)의 재료를 선택적으로 에칭하는 에칭제는, 예를 들어, 등방성 에칭 공정을 이용하여 배면 컨택트 트렌치(79) 내에 도입될 수 있다. 제1 배면 오목부(143)는 제1 희생 재료 층(142)이 제거되는 체적 내에 형성된다. 제2 배면 오목부(243)는 제2 희생 재료 층(242)이 제거되는 체적 내에 형성된다. 한 실시예에서, 제1 및 제2 희생 재료 층(142, 242)은 실리콘 질화물을 포함할 수 있고, 제1 및 제2 절연 층(132, 232)의 재료는 실리콘 산화물일 수 있다. 또 다른 실시예에서, 제1 및 제2 희생 재료 층(142, 242)은 게르마늄 또는 실리콘-게르마늄 합금 등의 반도체 재료를 포함할 수 있고, 제1 및 제2 절연 층(132,232)의 재료는 실리콘 산화물 및 실리콘 질화물로부터 선택될 수 있다.

[0090] 등방성 에칭 공정은 습식 에칭 용액을 이용하는 습식 에칭 공정이거나, 에칭제가 증기상으로 배면 컨택트 트렌치(79) 내로 도입되는 기상(건식) 에칭 공정일 수 있다. 예를 들어, 제1 및 제2 희생 재료 층(142, 242)이 실리콘 질화물을 포함한다면, 에칭 공정은, 실리콘 산화물, 실리콘, 및 본 기술분야에서 채용되는 다양한 다른 재료들에 대해 선택적으로 실리콘 질화물을 에칭하는 인산을 포함하는 습식 에칭 탱크 내에 예시적인 구조물이 침지되는 습식 에칭 공정일 수 있다. 희생 재료 층(142, 242)이 반도체 재료를 포함하는 경우, (KOH 용액 등의 습식 에칭제를 이용할 수 있는) 습식 에칭 공정 또는 (기상 HCl을 포함할 수 있는) 건식 에칭 공정이 이용될 수 있다.

[0091] 제1 및 제2 배면 오목부(143, 243) 각각은 캐비티의 수직 범위보다 큰 측방향 치수를 갖는 측방향으로 연장되는 캐비티일 수 있다. 즉, 제1 및 제2 배면 오목부(143, 243) 각각의 측방향 치수는 각각의 배면 오목부(143, 243)의 높이보다 클 수 있다. 복수의 제1 배면 오목부(143)는, 제1 희생 재료 층(142)의 재료가 제거되는 체적 내에 형성될 수 있다. 복수의 제2 배면 오목부(243)는, 제2 희생 재료 층(242)의 재료가 제거되는 체적 내에 형성될 수 있다. 제1 및 제2 배면 오목부들(143, 243) 각각은 기판(9)의 상단 표면에 실질적으로 평행하게 연장될 수 있다. 배면 오목부(143, 243)는, 아래에 놓인 절연 층(132 또는 232)의 상단 표면과 위에 놓인 절연 층(132 또는 232)의 하단 표면에 의해 수직으로 경계가 정해질 수 있다. 한 실시예에서, 제1 및 제2 배면 오목부들(143, 243) 각각은 전체적으로 균일한 높이를 가질 수 있다.

[0092] 한 실시예에서, 각각의 페데스탈 채널 부분(11)의 측벽 표면은, 제1 및 제2 희생 재료 층(142, 242)의 제거 후에 각각의 최하단 제1 배면 오목부(143)에서 물리적으로 노출될 수 있다. 또한, 평면 반도체 재료 층(10)의 상단 표면은 각각의 배면 컨택트 트렌치(79)의 하단부에서 물리적으로 노출될 수 있다. 고리형 유전체 스페이서(116)는, 페데스탈 채널 부분(11)의 물리적으로 노출된 주변 부분의 산화에 의해 각각의 페데스탈 채널 부분(11) 주위에 형성될 수 있다. 또한, 반도체 산화물 영역(616)은 고리형 유전체 스페이서(116)의 형성과 동시에 평면 반도체 재료 층(10)의 각각의 물리적으로 노출된 표면 부분으로부터 형성될 수 있다.

[0093] 도 15a 내지 도 15c를 참조하면, 배면 차단 유전막(미도시)은, 배면 오목부(143, 243) 및 배면 컨택트 트렌치(79)에 및 제1 컨택트 레벨 유전체 층(280) 위에 선택사항으로서 퇴적될 수 있다. 배면 차단 유전체 층은, 메모리 스택 구조물(55)의 외측 표면의 물리적으로 노출된 부분 상에 퇴적될 수 있다. 배면 차단 유전체 층은, 유전체 금속 산화물, 실리콘 산화물, 또는 이들의 조합 등의 유전체 재료를 포함한다. 이용된다면, 배면 차단 유전체 층은, 원자층 퇴적 또는 화학적 증착 등의 컨포멀 퇴적 공정에 의해 형성될 수 있다. 배면 차단 유전체 층의 두께는 1nm 내지 60nm의 범위일 수 있지만, 더 작거나 더 큰 두께도 역시 이용될 수 있다.

[0094] 적어도 하나의 도전성 재료가, 복수의 배면 오목부(143, 243)에, 배면 컨택트 트렌치(79)의 측벽 상에, 및 제1 컨택트 레벨 유전체 층(280) 위에 퇴적될 수 있다. 적어도 하나의 도전성 재료는, 적어도 하나의 금속 재료, 즉, 적어도 하나의 금속 원소를 포함하는 전기 도전성 재료를 포함할 수 있다.

[0095] 복수의 제1 전기 도전 층(146)이 복수의 제1 배면 오목부(143)에 형성될 수 있고, 복수의 제2 전기 도전 층(246)이 복수의 제2 배면 오목부(243)에 형성될 수 있으며, (도시되지 않은) 연속 금속 재료 층이 각각의 배면 컨택트 트렌치(79)의 측벽 상에 및 제1 컨택트 레벨 유전체 층(280) 위에 형성될 수 있다. 따라서, 제1 및 제2 희생 재료 층(142, 242)은, 각각, 제1 및 제2 도전성 재료 층(146, 246)으로 대체될 수 있다. 구체적으로, 각

Micron Ex. 1002, p. 313
Micron v. YMTC
IPR2025-00245

각의 제1 희생 재료 층(142)은 배면 차단 유전체 층 및 제1 전기 도전 층(146)의 선택사항적 부분으로 대체될 수 있고, 각각의 제2 희생 재료 층(242)은 배면 차단 유전체 층 및 제2 도전 층(246)의 선택사항적 부분으로 대체될 수 있다. 배면 캐비티는 연속 금속 재료 층(46L)으로 충전되지 않은 각각의 배면 컨택트 트렌치(79)의 부분에 존재한다.

[0096] 금속 재료는, 예를 들어, 화학 증착(CVD), 원자층 퇴적(ALD), 무전해 도금, 전기 도금, 또는 이들의 조합일 수 있는 컨포멀 퇴적 방법에 의해 퇴적될 수 있다. 금속 재료는, 원소 금속, 적어도 2개의 원소 금속들의 금속간 합금, 적어도 하나의 원소 금속의 도전성 질화물, 도전성 금속 산화물, 도전성 도핑된 반도체 재료, 금속 규산염, 이들의 합금 및 이들의 조합 또는 스택 등의 도전성 금속-반도체 합금일 수 있다. 배면 오목부(143, 243)에 퇴적될 수 있는 비제한적인 예시적인 금속 재료는, 텅스텐, 텅스텐 질화물, 티타늄, 티타늄 질화물, 탄탈, 탄탈 질화물, 코발트, 및 루테늄을 포함한다. 한 실시예에서, 금속 재료는 텅스텐 등의 금속 및/또는 금속 질화물을 포함할 수 있다. 한 실시예에서, 배면 오목부(143, 243)를 채우기 위한 금속 재료는, 질화 티타늄 층과 텅스텐 충전 재료의 조합일 수 있다. 한 실시예에서, 금속 재료는 화학적 증착 또는 원자층 퇴적에 의해 퇴적될 수 있다.

[0097] 잔류 도전성 재료는, 배면 컨택트 트렌치(79)의 내부로부터 제거될 수 있다. 구체적으로, 연속 금속 재료 층의 퇴적된 금속 재료는, 예를 들어 이방성 또는 등방성 에칭에 의해, 각각의 배면 컨택트 트렌치(79)의 측벽으로부터 및 제1 컨택트 레벨 유전체 층(280)의 위로부터 에치백될 수 있다. 제1 배면 오목부(143) 내의 퇴적된 금속 재료의 각각의 나머지 부분은 제1 전기 도전 층(146)을 구성한다. 제2 배면 오목부(243) 내의 퇴적된 금속 재료의 각각의 나머지 부분은 제2 전기 도전 층(246)을 구성한다. 각각의 전기 도전 층(146, 246)은 도전성 라인 구조물일 수 있다.

[0098] 드레인-선택-레벨 얇은 트렌치 격리 구조물(72)의 레벨에 위치한 제2 전기 도전 층(246)들의 서브셋은 드레인 선택 게이트 전극을 구성한다. 고리형 유전체 스페이서(116)들의 각각의 레벨에 위치한 제1 전기 도전 층(146)들의 서브셋은 소스 선택 게이트 전극을 구성한다. 드레인 선택 게이트 전극과 소스 선택 게이트 전극 사이에 위치한 전기 도전 층(146, 246)의 서브셋은 동일한 레벨에 위치한 제어 게이트와 워드라인의 조합으로서 기능할 수 있다. 각각의 전기 도전 층(146, 246) 내의 제어 게이트 전극은 메모리 스택 구조물(55)을 포함하는 수직 메모리 디바이스를 위한 제어 게이트 전극이다.

[0099] 메모리 스택 구조물(55) 각각은 전기 도전 층들(146, 246)의 각각의 레벨에 위치한 메모리 요소들의 수직 스택을 포함한다. 전기 도전 층들(146, 246)의 서브셋은 메모리 요소들을 위한 워드라인들을 포함할 수 있다. 아래에 놓인 주변 디바이스 영역(700) 내의 반도체 디바이스들은 각각의 워드라인에 대한 바이어스 전압을 제어하도록 구성된 워드라인 스위치 디바이스들을 포함할 수 있다. 메모리-레벨 어셈블리는 반도체 기판(9) 위에 위치한다. 메모리-레벨 어셈블리는, 적어도 하나의 교대 스택(132, 146, 232, 246) 및 적어도 하나의 교대 스택(132, 146, 232, 246)을 통해 수직으로 연장되는 메모리 스택 구조물(55)을 포함한다. 적어도 하나의 교대 스택(132, 146, 232, 246) 각각은 각각의 절연 층들(132 또는 232) 및 각각의 전기 도전 층들(146 또는 246)의 교대 층들을 포함한다. 적어도 하나의 교대 스택(132, 146, 232, 246)은 테라스들을 포함하는 계단 영역들을 포함하고 테라스들에서 각각의 아래에 놓인 전기 도전 층(146, 246)이 메모리-레벨 어셈블리 내에서 임의의 위에 놓인 전기 도전 층(146, 246)보다 제1 수평 방향 hd1을 따라 더 멀리 연장된다.

[0100] 평면 반도체 재료 층(10)의 제1 도전형과 반대인 제2 도전형의 도펀트가 기판 반도체 층(10)의 표면 부분에 주입되어 각각의 배면 컨택트 트렌치(79)의 하단 표면 아래에 소스 영역(61)을 형성할 수 있다. 유전체 재료를 포함하는 절연 스페이서(74)는, 예를 들어 (실리콘 산화물 등의) 컨포멀 절연 재료의 퇴적 및 후속하는 이방성 에칭에 의해, 각각의 배면 컨택트 트렌치(79)의 주변부에 형성될 수 있다. 제1 컨택트 레벨 유전체 층(280)은 퇴적된 컨포멀 절연 재료의 수평 부분의 수직 부분을 제거하는 이방성 에칭 동안 2차적 에칭(collateral etch)으로 인해 얇아질 수 있다.

[0101] 컨포멀 절연 재료 층은 배면 컨택트 트렌치(79)에 퇴적될 수 있고, 이방성 에칭되어 절연 스페이서(74)를 형성할 수 있다. 절연 스페이서(74)는, 실리콘 산화물, 실리콘 질화물, 및/또는 유전체 금속 산화물 등의 절연 재료를 포함한다. 제1 수평 방향 hd1을 따라 측방향으로 연장되는 캐비티는 각각의 절연 스페이서(74) 내에 존재한다.

[0102] 예를 들어, 적어도 하나의 도전성 재료의 퇴적 및 이 퇴적된 적어도 하나의 도전성 재료의 과잉 부분을, 화학 기계적 평탄화 또는 오목화 에칭 등의 평탄화 공정에 의해 제1 컨택트 레벨 유전체 층(280)의 상단 표면을 포함한 수평면 위로부터 제거함으로써, 배면 컨택트 비아 구조물이 각각의 배면 컨택트 트렌치(79)의 나머지 체적에

Micron Ex. 1002, p. 314
Micron v. YMTC
IPR2025-00245

형성될 수 있다. 배면 컨택트 비아 구조물은 모든 측방향에서 전기적으로 절연되고, 제1 수평 방향 hd1을 따라 측방향으로 길쭉해진다. 따라서, 배면 컨택트 비아 구조물은 본 명세서에서는 측방향으로 길쭉한 컨택트 비아 구조물(76)이라고 지칭된다. 본 명세서에서 사용될 때, 제1 수평 방향을 따른 구조물의 최대 측방향 치수가 제1 수평 방향에 수직인 제2 수평 방향을 따라 구조물의 최대 측방향 치수보다 적어도 5배만큼 크다면, 그 구조물은 "측방향으로 길쭉하다".

[0103] 선택사항으로서, 각각의 측방향으로 길쭉한 컨택트 비아 구조물(76)은, 하위 배면 컨택트 비아 부분 및 상위 배면 컨택트 비아 부분 등의 복수의 배면 컨택트 비아 부분을 포함할 수 있다. 한 예시적인 예에서, 하위 배면 컨택트 비아 부분은 (도핑된 폴리실리콘 등의) 도핑된 반도체 재료를 포함할 수 있고, 도핑된 반도체 재료 층을 퇴적하여 배면 컨택트 트렌치(79)를 채우고 퇴적된 도핑된 반도체 재료를 배면 컨택트 트렌치(79)의 상위 부분으로부터 제거함으로써 형성될 수 있다. 상위 배면 컨택트 비아 부분은, (TiN 라이너와 W 충전 재료의 조합 등의) 적어도 하나의 금속 재료를 포함할 수 있고, 하위 배면 컨택트 비아 부분 위에 적어도 하나의 금속 재료를 퇴적하고 제1 컨택트 레벨 유전체 층(280)의 상단 표면을 포함하는 수평면 위로부터 적어도 하나의 금속 재료의 과잉 부분을 제거함으로써 형성될 수 있다. 제1 컨택트 레벨 유전체 층(280)은, 화학적 기계적 평탄화(CMP), 오목화 에칭, 또는 이들의 조합을 이용할 수 있는 평탄화 공정의 후반 부분 동안 얇아지고 제거될 수 있다. 각각의 측방향으로 길쭉한 컨택트 비아 구조물(76)은 메모리-레벨 어셈블리를 통해 및 각각의 소스 영역(61) 상에 형성될 수 있다. 각각의 측방향으로 길쭉한 컨택트 비아 구조물(76)의 상단 표면은 메모리 스택 구조물(55)의 상단 표면을 포함하는 수평면 위에 위치할 수 있다.

[0104] 복수의 측방향으로 길쭉한 컨택트 비아 구조물(76)은 제1 수평 방향 hd1을 따라 측방향으로 연장되고 적어도 하나의 교대 스택(132, 146, 232, 246)을 복수의 측방향으로 이격된 블록들(B0, B1, B2, B3, ...)로 측방향으로 분할하며, 여기서, 복수의 블록은, 제1 수평 방향 hd1에 수직인 제2 수평 방향 hd2를 따라 배열되고, 각각, (도 13b에 도시된 워드라인 컨택트 비아 영역(200) 등의) 제1 계단 영역, (도 13b에 도시된 관통-메모리-레벨 비아 영역(400) 등의) 제2 계단 영역, 및 (도 13b의 구역 외부의 제3 블록(B3) 내의 관통-메모리-레벨 비아 영역(400) 아래에 위치할 수 있는) 제3 계단 영역을 포함하는 제1 블록(B1), 제2 블록(b2) 및 제3 블록(B3)을 순서대로 포함한 3개의 이웃 블록들의 세트를 포함한다.

[0105] 도 16a 내지 도 16c를 참조하면, 제2 컨택트 레벨 유전체 층(282)은 제1 컨택트 레벨 유전체 층(280) 위에 선택사항으로서 형성될 수 있다. 제2 컨택트 레벨 유전체 층(282)은 실리콘 산화물 또는 실리콘 질화물 등의 유전체 재료를 포함한다. 제2 컨택트 레벨 유전체 층(282)의 두께는 30nm 내지 300nm의 범위일 수 있지만, 더 작거나 더 큰 두께도 역시 이용될 수 있다.

[0106] 다양한 컨택트 비아 구조물이, 컨택트 레벨 유전체 층들(280, 282), 유전체 층전 재료 부분(430), 및 메모리-레벨 어셈블리 내의 메모리 디바이스의 다양한 노드들 상의 및 하위 레벨 금속 상호접속 구조물(780) 상의 아래에 놓인 유전체 재료들을 통해 형성될 수 있다. 구체적으로는, 관통-메모리-레벨 비아 구조물(488)은, 유전체 층전 재료 부분(430)을 통해, 및 선택사항으로서 컨택트 레벨 유전체 층(280, 282)을 통해 형성되어 하위 레벨 금속 상호접속 구조물(780)과 전기적으로 접촉할(즉, 전기적으로 결합될) 수 있다. 워드라인 컨택트 비아 구조물(86)은, 컨택트 레벨 유전체 층(280, 282) 및 제2 계층 역-계단형 유전체 재료 부분(265)을 통해 영역(200)에서 형성될 수 있다.

[0107] 제2 전기 도전 층(246)과 접촉하는 워드라인 컨택트 비아 구조물(86)들의 서브셋은, 영역(200)에서 제2 계층 역-계단형 유전체 재료 부분(265)을 통해 연장되고, 제1 계층 역-계단형 유전체 재료 부분(165)을 통해 연장되지 않는다. 제1 전기 도전 층(146)과 접촉하는 워드라인 컨택트 비아 구조물(86)의 또 다른 서브셋은, 영역(200)에서 제2 계층 역-계단형 유전체 재료 부분(265) 및 제1 계층 역-계단형 유전 재료 부분(165)을 통해 연장한다.

[0108] 드레인 영역(63)과 접촉하는 드레인 컨택트 비아 구조물(88)은, 디바이스 영역(100)에서 컨택트 레벨 유전체 층(280, 282) 및 제2 절연 캡 층(270)을 통해 연장될 수 있다. 소스 접속 비아 구조물(91)은 컨택트 레벨 유전체 층(280, 282)을 통해 연장되어 영역(100, 200 및/또는 400)에서 측방향으로 길쭉한 컨택트 비아 구조물(76)로의 전기 접속을 제공할 수 있다.

[0109] 각각의 비아 구조물(488, 86, 88, 91)은 각각의 세트의 패터닝 공정 및 충전 공정을 이용하여 형성될 수 있다. 대안으로서, 2개 이상의 유형의 비아 구조물(488, 86, 88, 91)은, 이방성 에칭 공정이 동시에 형성되는 각각의 유형의 캐비티에 대한 타겟 높이 레벨에서 캐비티들의 수직 범위를 제어할 수 있다고 가정하면, 공통 세트의 패터닝 공정 및 충전 공정을 이용하여 형성될 수 있다.

Micron Ex. 1002, p. 315
Micron v. YMTC
IPR2025-00245

[0110] 한 실시예에서, (예를 들어, 짝수 블록의) (도 16b의 예시된 관통-메모리-레벨 비아 영역(400) 등의) 제2 계단 영역 위에는 어떠한 컨택트 비아 구조물도 형성하지 않으면서, 워드라인 컨택트 비아 구조물(86)이, 적어도 하나의 역-계단형 유전체 재료 부분(165, 265)을 통해, (도 16b의 예시된 워드라인 컨택트 비아 영역(200) 등의) 제1 계단 영역 및 제3 계단 영역(도 16b의 예시된 구역 아래의 워드라인 컨택트 비아 영역(200)의 또 다른 인스턴스) 위에 및 제1 및 제3 블록(B1, B3)(예를 들어, 홀수 블록들)의 전기 도전 층(146, 246)의 각각의 부분 바로 위에 형성될 수 있다.

[0111] 관통-메모리-레벨 비아 구조물(488)들 각각은 (예를 들어, 짝수 블록의) 유전체 층전 재료 부분(430)을 통해 형성될 수 있다. 관통-메모리-레벨 비아 구조물(488)은, 유전체 충전 재료 부분(430)을 패터닝하고 부분(430)의 개구 내에 도전성 재료(예를 들어, TiN, WN, W, Al, Ti, Cu 등)를 퇴적하여 관통-메모리-레벨 비아 구조물(488)를 형성함으로써, 다른 비아 구조물(86, 88, 91)과 별도로 형성될 수 있다. 대안으로서, 관통-메모리-레벨 비아 구조물(488)은, 동일한 패터닝 및 퇴적 단계 동안, 하나 이상의 다른 비아 구조물(86, 88, 91) 및/또는 배면 컨택트 비아 구조물(76)로서 형성될 수 있다.

[0112] 홀수 블록 및 짝수 블록이 위에서 설명되었지만, 영역(400 및 200)은 영역(100)의 한 측상에서 순차적으로 교대할 필요는 없다는 점에 유의해야 한다. 예를 들어, 한 세트의 2개의 인접한 영역(200)은, 영역(100)의 주어진 측(예를 들어, 좌측 또는 우측) 상의 하나의 영역(400) 또는 한 세트의 인접한 2개의 영역(400)에 의해 분리될 수 있다. 디바이스 영역(100)의 한 측(예를 들어, 좌측) 상에서, 관통-메모리-레벨 비아 구조물(488)들의 서브셋은, 제1 및 제3 계단 영역 등의 홀수 계단 영역들이 그대로 유지되는 반면 제2 계단 영역 등의 짝수 계단 영역들이 제거된 이후에, 영역(400)에서짝수 계단 영역의 구역들에서 형성될 수 있다. 여기서 사용될 때, 영역이나 구조물에 대해 실질적인 구조물 변경이 이루어지지 않는다면, 영역 또는 구조물은 "그대로 유지된다". 관통-메모리-레벨 비아 구조물(488)들 각각은, 적어도, 메모리-레벨 어셈블리의 최상단 표면을 포함하는 제1 수평면으로부터 메모리-레벨 어셈블리의 최하단 표면을 포함하는 제2 수평면까지 수직으로 연장된다.

[0113] 대조적으로, 도 17e에 도시된 바와 같이, 영역(100)의 반대측(예를 들어, 우측)에는, 관통-메모리-레벨 비아 구조물들의 서브셋은, 제2 계단 영역 등의 짝수 계단 영역이 그대로 유지되는 반면, 제1 계단 영역 등의 홀수 계단 영역이 제거된 후에 영역(400)에서 홀수 계단 영역의 구역에서 형성될 수 있다.

[0114] 따라서, 도 2 내지 도 7에 도시된 바와 같이, 복수의 교대하는 희생 층(142, 242) 및 절연 층(132, 232)이 퇴적되어 적어도 하나의 교대 스택을 형성한다. 그 다음, 도 13a 및 도 13b에 도시된 바와 같이, 적어도 하나의 교대 스택을 통해 제1 수평 방향 hd1을 따라 측방향으로 연장되는 복수의 배면 트렌치(79)가 형성된다. 희생 층(142, 242)은, 도 14a 내지 도 14c에 도시된 바와 같이, 복수의 배면 트렌치(79)를 통해 적어도 하나의 교대 스택으로부터 선택적으로서 제거되어 절연 층들(132, 232) 사이에 복수의 배면 오목부(143, 243)를 형성한다.

[0115] 도 15a 내지 도 15c에 도시된 바와 같이, 복수의 전기 도전 층(146, 246)은 복수의 배면 트렌치를 통해 배면 오목부에 형성되고, 절연 스페이서(74)는 복수의 배면 트렌치(79)에 형성되며, 복수의 측방향으로 길쭉한 컨택트 비아 구조물(76)은 복수의 배면 트렌치(79)에서 절연 스페이서(74) 위에 형성된다.

[0116] 복수의 배면 트렌치를 통해 배면 오목부에서 복수의 전기 도전 층을 형성하는 단계는, 도 11a 내지 도 12b에 도시된, 제2 계단 영역을 제거하고 유전체 충전 재료 부분(430)을 형성하는 단계들 후에 발생한다. 제2 계단 영역을 제거하는 단계는, 제2 계단 영역에서 절연 층 및 희생 층을 제거하여 관통-메모리-레벨 개구(769)를 형성하는 단계를 포함한다. 전기 도전 층(46)은 관통-메모리-레벨 개구(769)에 위치한 유전체 충전 재료 부분(430)에 형성되지 않는다.

[0117] 도 17a 내지 도 17f를 참조하면, 라인 레벨 유전체 층(110)이 컨택트 레벨 유전체 층(280, 282) 위에 형성될 수 있다. 라인 레벨 유전체 층(110)에는 다양한 금속 상호접속 구조물(108, 103, 101)이 형성될 수 있다. 금속 상호접속 구조물(108, 103, 101)은, 워드라인 컨택트 비아 구조물(86)과 관통-메모리-레벨 비아 구조물(488)의 각각의 쌍에 전기적으로 결합되는(예를 들어, 각각의 쌍에 형성되거나 이와 물리적으로 접촉하는) 상위 레벨 금속 상호접속 구조물(108), 제2 수평 방향 hd2를 따라 연장되고 제1 수평 방향 hd1에 수직인 비트라인(103), 및 소스 접속 비아 구조물(91)와 접촉하여 측방향으로 길쭉한 컨택트 비아 구조물(76)을 소스 영역(61)을 바이어싱하기 위한 전기 도전성 경로를 제공하는 소스 접속 라인 구조물(101)을 포함할 수 있다. 드레인측 선택 게이트 전극 컨택트 비아 구조물(87)은 디바이스 영역(100)에 인접한 영역(200)에 위치한다. 인접한 디바이스 레벨들로부터 2개 이상의 수직으로 분리된 워드라인들을 노출시키는 영역(200) 내의 인접한 배면 컨택트 트렌치(79)들 사이의 각각의 서브블록에는 2개 이상의 계단이 있을 수 있다. 이 경우, 동일한 서브 블록에서 서로 평행하게 위치하여 각각의 수직으로 분리된 워드라인과 접촉하는 2개 이상의 워드라인 컨택트 비아 구조물(86)(예를

Micron Ex. 1002, p. 316
Micron v. YMTC
IPR2025-00245

들어, 도 17e 및 도 17f에 도시된 2개의 구조물(86))이 있다.

[0118] 상위 레벨 금속 상호접속 구조물(108)에 대한 예시적인 레이아웃이 도 17b 및 도 17d에 도시되어 있다. 도 17d는 평면도이고, 도 17b는 상위 레벨 금속 상호접속 구조물(108) 및 비트라인(103)의 형상들이 점선으로 도시되어 있는 수평 단면도이다. 상위 레벨 금속 상호접속 구조물(108)은 이웃 블록들을 가로 질러 연장될 수 있다. 즉, 구조물(76)을 통해 각각의 측방향으로 길쭉한 컨택트에 걸쳐 있다. 예를 들어, 상위 레벨 금속 상호접속 구조물(108)들 중 일부는 제2 블록과 제1 및 제3 블록 중 하나를 가로 질러 연장될 수 있다. 도 17e 및 도 17f는 상위 레벨 금속 상호접속 구조물의 또 다른 예시적인 레이아웃을 나타낸다. 이 실시예에서, 일부 상위 레벨 금속 상호접속 구조물(108)은, 영역(400)에 위치한 관통-메모리-레벨 비아 구조물(488)에 의해 하위 레벨 금속 상호접속 구조물(780)에 전기적으로 결합되고, 영역(200)에서 워드라인 컨택트 비아 구조물(86)에 의해 워드라인(46)에 전기적으로 결합된다. 다른 상위 레벨 금속 상호접속 구조물(208)은 영역(200)에서 워드라인 컨택트 비아 구조물(86)에 의해 워드라인(46)에 전기적으로 결합되지만, 영역(400)에 위치한 관통-메모리-레벨 비아 구조물(488)에 의해 하위 레벨 금속 상호접속 구조물(780)에는 전기적으로 결합되지 않는다. 이들 상위 레벨 금속 상호접속 구조물(208)은 영역(400) 이외의 위치에서 구동기 회로 디바이스에 전기적으로 결합될 수 있다. 비트라인(103)은 메모리-레벨 어셈블리 위에 형성되고, 드레인 컨택트 비아 구조물(88)에 의해 메모리 스택 구조물(55)의 노드(예를 들어, 드레인 영역(63))에 전기적으로 결합된다. 본 명세서에서 사용될 때, 제1 요소와 제2 요소 사이에 전기적 단락(즉, 오옴 접촉), 전자 터널링 전달, 또는 저항성(즉, 쇼트키) 접촉 중 어느 하나가 존재한다면, 제1 요소는 제2 요소에 전기적으로 결합된다. 이 경우, 상위 레벨 금속 상호접속 구조물(108)은 워드라인 컨택트 비아 구조물(86)에 의해 전기 도전 층(46)으로서 구현된 각각의 워드라인에 전기적으로 단락될 수 있다.

[0119] 제1 예시적인 구조물은, 반도체 기판(9) 위에 위치하고 적어도 하나의 교대 스택(132, 146, 232, 246과 적어도 하나의 교대 스택(132, 146, 232, 246)을 통해 수직으로 연장되는 메모리 스택 구조물(55)을 포함하는 메모리-레벨 어셈블리를 포함한다. 적어도 하나의 교대 스택(132, 146, 232, 246) 각각은 각각의 절연 층들(132 또는 232) 및 각각의 전기 도전 층들(146 또는 246)의 교대 층들을 포함한다. 복수의 측방향으로 길쭉한 컨택트 비아 구조물(76)은 메모리-레벨 어셈블리를 통해 수직으로 연장되고, 제1 수평 방향 hd1을 따라 측방향으로 연장되며, 적어도 하나의 교대 스택(132, 146, 232, 246)을 복수의 측방향으로 이격된 블록(B0, B1, B2, B3, ...)으로 측방향으로 분할한다. 복수의 블록들(B0, B1, B2, B3, ...)은, 제1 수평 방향 hd1에 수직인 제2 수평 방향 hd2를 따라 배열된 제1 블록(B1), 제2 블록(B2), 및 제3 블록(B3)을 순서대로 포함하는 적어도 3개의 이웃 블록들의 세트를 포함한다. 관통-메모리-레벨 비아 영역(400)은, 제2 블록(B2)의 길이방향의 단부 상에 및 제1 블록(B1)의 계단 영역과 제3 블록(B3)의 계단 영역 사이에 위치한다.

[0120] 제1 및 제3 블록(B1, B3)의 각각의 계단 영역은 테라스들을 포함하고 테라스들에서 각각의 아래에 놓인 전기 도전 층(146 또는 246)이 메모리-레벨 어셈블리 내에서 임의의 위에 놓인 전기 도전 층(146 또는 246)보다 제1 수평 방향 hd1을 따라 더 멀리 연장된다. 관통-메모리-레벨 비아 영역(400)은, 적어도, 메모리-레벨 어셈블리의 최상단 표면을 포함하는 제1 수평면으로부터 메모리-레벨 어셈블리의 최하단 표면을 포함하는 제2 수평면까지 수직으로 연장되는 관통-메모리-레벨 비아 구조물(488)을 포함한다.

[0121] 적어도 하나의 하위 레벨 유전체 층(760)이 반도체 기판(9) 위에 놓인다. 평면 반도체 재료 층(10)은 적어도 하나의 하위 레벨 유전체 층(760) 위에 놓이고, 메모리 스택 구조물(55) 내의 수직 반도체 채널(60)에 전기적으로 접속된 수평 반도체 채널(58)을 포함한다. 반도체 디바이스(710)(예를 들어, 워드라인 구동기 회로(들)의 CMOS 트랜지스터)는 반도체 기판(9) 상에 위치할 수 있다. 하위 레벨 금속 상호접속 구조물(780)은, 반도체 디바이스(710)의 노드(예를 들어, 소스, 드레인, 및/또는 게이트 전극)에 전기적으로 단락될 수 있고, 평면 반도체 재료 층(10) 아래에 놓인 적어도 하나의 하위 레벨 유전체 층(760)에 매립될 수 있다. 관통-메모리-레벨 비아 구조물(488)은 하위 레벨 금속 상호접속 구조물(780)과 접촉한다.

[0122] 상위 레벨 금속 상호접속 구조물(108)은 메모리-레벨 어셈블리 위에 놓이고, 적어도 하나의 상위 레벨 유전체 층(110)에 매립된다. 상위 레벨 금속 상호접속 구조물(108)의 적어도 일부는 각각, 영역(400)에 위치한 각각의 관통-메모리-레벨 비아 구조물(488)에 의해 각각의 하위 레벨 금속 상호접속 구조물(780)에 전기적으로 결합되고, 영역(200)에서 각각의 워드라인 컨택트 비아 구조물(86)에 의해 각각의 워드라인(46)에 전기적으로 결합된다. 비트라인(103)은 또한 메모리-레벨 어셈블리 위에 놓이고, (드레인 영역(63)을 통해) 메모리 스택 구조물(55)의 노드에 전기적으로 결합되며, 적어도 하나의 상위 레벨 유전체 층(110)에 매립된다. 메모리 스택 구조물(55) 각각은 전기 도전 층들(146, 246)의 각각의 레벨에 위치한 메모리 요소들의 수직 스택을 포함한다. 전기 도전 층들(146, 246)은 메모리 요소들을 위한 워드라인들을 포함한다. 한 실시예에서, 반도체 디바이스는

Micron Ex. 1002, p. 317
Micron v. YMTC
IPR2025-00245

각각의 워드라인에 대한 바이어스 전압을 제어하도록 구성된 워드라인 스위치 디바이스를 포함할 수 있다.

[0123] 한 실시예에서, 관통-메모리-레벨 비아 구조물(488)들 각각은, 각각의 아래에 놓인 하위 레벨 금속 상호접속 구조물(780)과 접촉할 수 있다. 한 실시예에서, 반도체 기판(9) 상의 반도체 디바이스(710)들의 서브셋은 평면 반도체 재료 층(10)의 구역 아래에 위치할 수 있다, 즉, 위에 놓인 평면 반도체 재료 층(10)과 구역 중첩을 갖는다.

[0124] 한 실시예에서, 유전체 충전 재료 부분(430)은 관통-메모리-레벨 비아 영역(400) 내에 위치할 수 있다. 유전체 충전 재료 부분(430)은 관통-메모리-레벨 비아 구조물(488)을 측방향으로 둘러싸고, 적어도, 메모리-레벨 어셈블리의 최상단 표면을 포함하는 제1 수평면으로부터, 메모리-레벨 어셈블리의 최하단 표면 아래에 위치한 제2 수평면으로 수직으로 연장될 수 있다.

[0125] 평면 반도체 재료 층(10)은 메모리-레벨 어셈블리 아래에 놓이고, 메모리 스택 구조물(55) 내의 수직 반도체 채널(60)에 전기적으로 접속된 수평 반도체 채널(58)을 포함할 수 있다. 제2 수평면은 평면 반도체 재료 층의 하단 표면 아래에 위치한다. 한 실시예에서, 유전체 충전 재료 부분(430)은 메모리-레벨 어셈블리 및 평면 반도체 재료 층(10)을 통해 연장되는 실질적으로 수직인 측벽을 포함할 수 있다.

[0126] 한 실시예에서, 복수의 측방향으로 길쭉한 컨택트 비아 구조물(76)은 메모리-레벨 어셈블리를 통해 수직으로 연장될 수 있고, 제1 수평 방향 hd1을 따라 측방향으로 연장될 수 있으며, 메모리-레벨 어셈블리를 복수의 측방향으로 이격된 블록(B0, B1, B2, B3, ...)으로 측방향으로 분할할수 있다. 복수의 블록은, 예를 들어, 제1 수평 방향 hd1에 수직인 제2 수평 방향 hd2를 따라 배열된 제1 블록(B1), 제2 블록(B2), 및 제3 블록(B3)을 순서대로 포함하는 3개의 이웃 블록들의 세트를 포함할 수 있다. 유전체 충전 재료 부분(430)은, 제2 블록(B2)의 길이방향 단부 상에 및 제1 블록(B1)의 계단 영역과 제3 블록(B3)의 계단 영역 사이에 위치할 수 있다. 제1 및 제3 블록(B1, B3)의 각각의 계단 영역은 테라스들을 포함할 수 있고 테라스들에서 각각의 아래에 놓인 전기 도전 층(146 또는 246)이 메모리-레벨 어셈블리 내에서 임의의 위에 놓인 전기 도전 층(146 또는 246)보다 제1 수평 방향을 따라 더 멀리 연장된다.

[0127] 메모리 스택 구조물(55)들 각각은, 메모리 막(50), 및 메모리-레벨 어셈블리 아래에 놓인 평면 반도체 재료 층(10) 내의 각각의 수평 채널(58)에 인접한 수직 반도체 채널(60)을 포함할 수 있다. 워드라인 컨택트 비아 구조물(86)은, 영역(200)에서 제1 및 제3 블록(B1, B3)의 계단 영역 위에 놓인 역-계단형 유전체 재료 부분(265, 165)을 통해 연장될 수 있고, 제1 및 제3 블록(B1, B3)의 전기 도전 층(146, 246)의 각각의 부분에 접촉할 수 있다. 상위 레벨 금속 상호접속 구조물(108)은 워드라인 컨택트 비아 구조물(86)과 관통-메모리-레벨 비아 구조물(488)의 각각의 쌍을 전기적으로 단락시킬 수 있고, 메모리-레벨 어셈블리 위에 놓일 수 있으며, 영역(400)의 제2 블록(B2)과 영역(200)의 제1 및 제3 블록들(B1, B3) 중 하나에 걸칠 수 있다.

[0128] 도 18을 참조하면, 본 개시내용의 제2 실시예에 따른 제2 예시적인 구조물이 도시되어 있다. 구체적으로는, 이 제2 실시예에서, 제2 예시적인 구조물의 반도체 디바이스에 이용되는 워드라인 스위칭 디바이스(710)는 제1 실시예에서와 같이 영역(100) 아래가 아니라 영역(400)에 위치한다. 그렇지 않다면, 제1 실시예와 관련하여 전술된 단계들 및 구조물은 제2 실시예에서 이용될 수 있다. 제2 예시적인 구조물은, 반도체 디바이스 및 하위 레벨 금속 상호접속 구조물(780)의 패턴을 변경함으로써 도 1a 및 도 1b의 제1 예시적인 구조물로부터 유도될 수 있다.

[0129] 예시적인 실시예에서, 워드라인 스위칭 디바이스(710)는 관통-메모리-레벨 비아 영역(400)에 형성되는 CMOS 구성의 전계 효과 트랜지스터일 수 있다. 선택사항으로서, 워드라인 스위칭 디바이스들의 서브셋은, 메모리 어레이 영역(100)의 구역 아래의 부분, 또는 워드라인 컨택트 비아 영역(200)의 구역 아래의 부분 등의, 관통-메모리-레벨 비아 영역(400)의 구역 외부에 형성될 수 있다. 워드라인 스위칭 디바이스들의 활성 영역들(730)(도 1a에 도시된 소스 영역(742) 및 드레인 영역(744))은, 얕은 트렌치 격리 구조물(720)에 의해 측방향으로 둘러싸일 수 있다.

[0130] 하위 레벨 금속 상호접속 구조물(780)은 적어도 하나의 하위 레벨 유전체 층(760)에 매립될 수 있고, 반도체 기판(9) 상에 또는 그 위에 배치된 워드라인 스위칭 디바이스의 노드에 전기적으로 단락될 수 있다. 하위 레벨 금속 상호접속 구조물(780)은, 하위 레벨 최상단 금속 구조물(788)이 관통-메모리-레벨 비아 영역(400)의 각각의 구역 내에 후속해서 형성될 관통-메모리-레벨 비아 구조물을 위한 적절한 랜딩 패드를 제공하도록 구성될 수 있다.

[0131] 도 19a 및 도 19b를 참조하면, 도 2 및 도 17a 내지 도 17d의 공정 단계들이 수행되어, 평면 반도체 재료 층

Micron Ex. 1002, p. 318
Micron v. YMTC
IPR2025-00245

(10), 메모리-레벨 어셈블리, 다양한 컨택트 비아 구조물(88, 86, 91, 488), 라인 레벨 유전체 층(110), 및 라인 레벨 유전체 층(110)에 내장된 금속 상호접속 구조물(108, 101) 및 비트라인(103)을 형성한다.

[0132] 한 실시예에서, 워드라인 스위칭 디바이스들의 전계 효과 트랜지스터들은 도 19b에 도시된 바와 같이 CMOS 구성에서 쌍을 이루어, 전원 금속 상호접속 구조물(7802)에 접속된 소스 영역 또는 드레인 영역(730)일 수 있는 공통 전원 노드를 공유할 수 있다. 게이트 구조물(750)은 전계 효과 트랜지스터들의 채널 영역들에 걸칠 수 있다. 스위칭된 출력 노드 금속 상호접속 구조물은, 각각의 전계 효과 트랜지스터의 드레인 영역 또는 소스 영역일 수 있는 각각의 전계 효과 트랜지스터의 출력 노드에 접속될 수 있다. 전원 금속 상호접속 구조물(7802) 및 스위칭된 출력 노드 금속 상호접속 구조물은 하위 레벨 금속 상호접속 구조물(780)들의 서브셋들이다. 워드라인 스위칭 디바이스들은, (제1 블록(B1)과 제2 블록(B2)의 조합의 폭 등의) 2개의 이웃 블록들의 폭의 주기성으로 제2 수평 방향 hd2를 따라 반복되는 주기적 어레이로서 배열될 수 있다.

[0133] 구체적으로, 도 19a에 도시된 바와 같이, 평면 반도체 재료 층(10)은 적어도 하나의 하위 레벨 유전체 층(760) 위에 형성될 수 있다. 메모리-레벨 어셈블리는 평면 반도체 재료 층(10) 위에 형성될 수 있고, 평면 반도체 재료 층(10)은 메모리 스택 구조물(55) 내의 수직 반도체 채널(60)에 전기적으로 접속된 수평 반도체 채널(58)을 포함할 수 있다. 메모리-레벨 어셈블리는, 반도체 기판(9) 및 평면 반도체 층(10) 위에 형성될 수 있다. 메모리-레벨 어셈블리는, 적어도 하나의 교대 스택(132, 146, 232, 246) 및 적어도 하나의 교대 스택(132, 146, 232, 246)을 통해 수직으로 연장되는 메모리 스택 구조물(55)을 포함한다. 적어도 하나의 교대 스택(132, 146, 232, 246) 각각은 각각의 절연 층들(132 또는 232) 및 각각의 전기 도전 층들(146 또는 246)의 교대 층들을 포함한다. 메모리 스택 구조물(55) 각각은 전기 도전 층들(146, 246)의 각각의 레벨에 위치한 메모리 요소들의 수직 스택을 포함한다. 전기 도전 층들(146, 246)은 메모리 요소들을 위한 워드라인들을 포함한다.

[0134] 적어도 하나의 교대 스택(132, 146, 232, 246)은 테라스들을 포함하는 계단 영역을 포함하고 테라스들에서 각각의 아래에 놓인 전기 도전 층(146, 246)이 메모리-레벨 어셈블리 내에서 임의의 위에 놓인 전기 도전 층(146, 246)보다 제1 수평 방향을 따라 더 멀리 연장된다. 적어도 하나의 역-계단형 유전체 재료 부분(165, 265)은 적어도 하나의 교대 스택(132, 146, 232, 246) 상의 계단 영역 위에 형성될 수 있다.

[0135] 복수의 측방향으로 길쭉한 컨택트 비아 구조물(76)이 메모리-레벨 어셈블리를 통해 형성된다. 복수의 측방향으로 길쭉한 컨택트 비아 구조물(76)은 제1 수평 방향 hd1을 따라 측방향으로 연장되고, 적어도 하나의 교대 스택(132, 146, 232, 246)을 복수의 측방향으로 이격된 블록들(B1, B2, B3, B4, ...)로 측방향으로 분할한다. 복수의 블록들(B1, B2, B3, B4, ...)은, 제1 수평 방향 hd1에 수직인 제2 수평 방향 hd2를 따라 배열되고, (제3 및 제4 블록(B3, B4)의 나머지 계단들을 포함하는 워드라인 컨택트 비아 영역(200) 등의) 제1 계단 영역, (제1 및 제2 블록(B1, B2)의 관통-메모리-레벨 비아 영역(400) 등의 계단이 제거된) 제2 계단 영역, 및 ((명료성을 위한 도시되지 않은) B0 등의, 추가 블록들의 나머지 제3 계단을 포함하는 워드라인 컨택트 비아 영역(200) 등의) 제3 계단 영역을 각각 포함하는, 제1 블록(B1), 제2 블록(B2), 제3 블록(B3) 및 제4 블록(B4)을 순서대로 포함한 3개의 이웃 블록들의 세트를 포함한다.

[0136] 메모리-레벨 어셈블리를 통해 연장되는 관통-메모리-레벨 개구(769)는 제2 계단 영역 등의 제거된 계단 영역의 구역에 형성될 수 있다. 관통-메모리-레벨 개구(769)는 적어도 하나의 하위 레벨 유전체 재료 층(760) 내로 연장될 수 있다. 관통-메모리-레벨 개구(769)는, 메모리-레벨 어셈블리 및 평면 반도체 재료 층(10)을 통해 연장되는 실질적으로 수직인 측벽을 포함할 수 있다. 유전체 충전 재료 부분(430)은 관통-메모리-레벨 개구(769)에 형성될 수 있다. 이들 단계들은, 전술된 바와 같이, 배면 트렌치(79)를 형성하고, 희생 재료 층(142, 242)을 전기 도전 층(146, 246)으로 대체하고, 배면 트렌치(79) 내에 절연 스페이서(74) 및 컨택트 비아 구조물(예를 들어, 소스 전극 또는 국지적 상호접속부)(76)을 형성하는 단계들을 동반한다.

[0137] 제2 계단 영역 등의 제거된 계단 영역 위에는 어떠한 컨택트 비아 구조물도 형성하지 않으면서, 워드라인 컨택트 비아 구조물(86)이, 제1 및 제3 계단 영역 등의 나머지 계단 영역에서 전기 도전 층(146, 246)의 부분 상에 및 그 위에 형성될 수 있다. 제2 계단 영역(B2) 등의 제거된 계단 영역 위에는 어떠한 컨택트 비아 구조물도 형성하지 않으면서, 워드라인 컨택트 비아 구조물(86)이, 적어도 하나의 역-계단형 유전체 재료 부분(165,265)을 통해 제1 및 제3 계단 영역 등의 나머지 계단 영역 위에, 및 제1 및 제3 블록(B1, B3)의 전기 도전 층(146, 246)의 각각의 부분 상에 직접 형성될 수 있다.

[0138] 관통-메모리-레벨 비아 구조물(488)들 각각은 이전 실시예에서 설명된 바와 같이 유전체 충전 재료 부분(430)을 통해 형성될 수 있다. 관통-메모리-레벨 비아 구조물(488)들 각각은, 적어도, 메모리-레벨 어셈블리의 최상단 표면을 포함하는 제1 수평면으로부터 메모리-레벨 어셈블리의 최하단 표면을 포함하는 제2 수평면까지 수직으로

Micron Ex. 1002, p. 319
Micron v. YMTC
IPR2025-00245

연장된다.

[0139] 워드라인 스위칭 디바이스의 노드는, 제2 계단 영역 등의 제거된 계단 영역의 구역에 형성된 관통-메모리-레벨 비아 구조물(488)을 형성하는 제1 및 제3 계단 영역 등의 나머지 계단 영역에서 전기 도전 층(146, 246)의 부분에 전기적으로 접속될 수 있다. 예를 들어, 상위 레벨 금속 상호접속 구조물(108)은, 관통-메모리-레벨 비아 구조물(488) 상에 및 메모리-레벨 어셈블리 위에 및 워드라인 컨택트 비아 구조물(86) 상에 형성될 수 있다. 예를 들어, 상위 레벨 금속 상호접속 구조물(108)은, 메모리-레벨 어셈블리 위의 관통-메모리-레벨 비아 구조물(488) 및 워드라인 컨택트 비아 구조물(86)의 각각의 쌍들 상에 형성될 수 있다. 상위 레벨 금속 상호접속 구조물(108)들 중 적어도 하나는 제2 블록(B2) 및 제3 블록(B3)을 가로 질러 연장될 수 있다. 한 실시예에서, 상위 레벨 금속 상호접속 구조물(108)들 각각은 제1 블록(B1)과 제3 블록(B3) 사이에 위치한 각각의 측방향으로 길쭉한 컨택트 비아 구조물(76)에 걸칠 수 있다.

[0140] 도 20을 참조하면, 워드라인 스위칭 디바이스, 적어도 하나의 하위 레벨 유전체 층(760), 및 하위 레벨 금속 상호접속 구조물(780)과 동일한 레벨에서 선택사항적 유전체 패드 층(52) 및 제1 계층 교대 스택(132, 142)의 서브셋을 형성함으로써 도 18의 제2 예시적인 구조물로부터 도출될 수 있는 제2 예시적인 구조물의 변형예가 도시되어 있다. 예를 들어, 워드라인 스위칭 디바이스 및 하위 레벨 금속 상호접속 구조물(780)은 관통-메모리-레벨 비아 영역(400)에 및 메모리 어레이 영역(100)의 구역 외부에 형성될 수 있다.

[0141] 한 실시예에서, 유전체 패드 층(52) 및 제1 계층 교대 스택(132, 142)의 서브셋은 기판(9) 상에 형성될 수 있다. 후속해서, 제1 계층 교대 스택(132, 142)의 서브셋의 부분들은 메모리 어레이 영역(100)의 외부로부터 제거될 수 있고, 제1 계층 교대 스택(132, 142)의 서브셋의 테라스를 갖는 계단 영역은 관통-메모리-스택 비아 영역(400) 또는 워드라인 컨택트 비아 영역(200)에 인접하는 메모리 어레이 영역(100)의 주변 부분들에 형성될 수 있다. 하위 레벨 역-계단형 유전체 재료 부분(765)은 각각의 계단 영역 위에 형성되고 영역(700)에서 제거될 수 있다. 반도체 디바이스(710), 적어도 하나의 하위 레벨 유전체 층(760) 및 하위 레벨 금속 상호접속 구조물(780)은 영역(700) 내의 기판(9) 위에 형성된다. 하위 레벨 역-계단형 유전체 재료 부분(765)은, 제1 계층 교대 스택의 퇴적된 서브셋의 상단 표면 및 적어도 하나의 하위 레벨 유전체 층(760)의 상단 표면과 실질적으로 동일한 레벨에 있는 상단 표면을 가질 수 있다.

[0142] 도 21을 참조하면, 제1 계층 교대 스택(132, 142)의 상보적 서브셋이 제1 계층 교대 스택(132, 142)의 퇴적된 서브셋 위에 형성될 수 있다. 도 3, 도 4a 및 도 4b, 도 5a 및 도 5b, 및 도 6a 및 도 6b의 처리 단계들 수행되어 제1 계층 구조물을 형성할 수 있다. 도 22를 참조하면, 도 7a 및 도 7b의 처리 단계들 내지 도 10a 및 도 10b의 처리 단계들이 수행되어 제2 계층 구조물을 형성할 수 있다. 이 실시예에서, 층(10)은 이 실시예에서는 생략될 수 있기 때문에 수평 채널은 메모리-레벨 어셈블리 아래에 놓인 기판(9) 내에 위치한다. 대안으로서, 층(10)은 영역(10) 외부의 기판(9) 상에 직접 형성된다.

[0143] 도 23을 참조하면, 도 11a 및 도 11b의 처리 단계들 내지 도 17a ~ 도 17d의 처리 단계들이 수행되어 워드라인 스위칭 디바이스의 노드를, 제2 계단 영역 등의 제거된 계단 영역의 구역에 형성된 관통-메모리-레벨 비아 구조물(488)을 이용하는 제1 및 제3 계단 영역 등의 나머지 계단 영역 내의 전기 도전 층(146, 246)의 부분에 전기적으로 접속할 수 있다.

[0144] 도 24a 및 도 24b를 참조하면, 본 개시내용의 제3 실시예에 따른 제3 예시적인 구조물은, 절연 층들 및 희생 절연 재료 층들의 교대 스택의 제1 부분을, 희생 절연 재료 층들이 전기적 도전성 워드라인 층들로 대체된 절연 스택의 교대 스택의 제2 부분으로부터 분리하는 해자 트렌치를 포함한다. 제3 예시적인 구조물은, 제1 계층 교대 스택의 형성까지 처리 단계들을 수행함으로써 제1 예시적인 구조물, 제2 예시적인 구조물 또는 이들의 변형으로부터 도출될 수 있다. 제1 및 제2 실시예에서와 같이, 하위 레벨 금속 상호접속 구조물(780)은 반도체 디바이스의 노드에 전기적으로 단락될 수 있고, 반도체 기판(9) 위에 형성되는 적어도 하나의 하위 레벨 유전체 층(760)에 매립될 수 있다. 선택사항으로서 제1 계층 지지 기둥 구조물(171)을 각각의 관통-메모리-스택 비아 영역(400)의 중심부로부터 제거하도록, 제1 계층 지지 기둥 구조물(171)의 패턴에 대한 레이아웃은 선택사항으로서 변경될 수 있다. 도 5a, 도 5b 및 도 6의 처리 단계들은 제1 계층 메모리 개구(149)를 형성하기 위해 이용되는 패턴을 수정하여 수행될 수 있다. 선택사항적인 평면 도전성 재료 층(6) 및 평면 반도체 재료 층(10)은 패터닝되어 이들 층들을 통해 아래에 놓인 절연 층(760)까지 연장되는 개구(151)를 형성할 수 있다. 개구(151)는 영역(400) 아래에 위치하고, 또 다른 절연 재료 층(예를 들어, 실리콘 산화물 또는 도핑된 규산염 유리)(760)으로 채워질 수 있다.

[0145] 구체적으로, 제1 계층 메모리 개구(149)의 형성과 동시에, 제1 계층 해자 트렌치가 각각의 관통-메모리-스택 비

Micron Ex. 1002, p. 320
Micron v. YMTC
IPR2025-00245

아 영역(400)에 형성될 수 있다. 예를 들어, 포토레지스트 층은 제1 절연 캡 층(170) 또는 계층간 유전체 층(180)의 형성 후에 형성될 수 있고, 리소그래픽 패터닝되어 제1 계층 교대 스택(132, 142)을 통해 형성될 제1 계층 해자 트렌치의 패턴과 메모리 개구의 패턴을 포함하는 패터닝된 포토레지스트 층을 형성할 수 있다. 제1 계층 교대 스택(132, 142)을 통해 이방성 에칭이 수행되어 제1 계층 메모리 개구(149) 및 제1 계층 해자 트렌치를 형성한다.

[0146] 희생 메모리 개구 충전 부분(131)은 제1 계층 메모리 개구(149)에 형성될 수 있고, 희생 해자 트렌치 충전 부분(141)는 제1 계층 해자 트렌치에 형성될 수 있다. 예를 들어, 희생 충전 재료 층은 제1 계층 메모리 개구(149) 및 제1 계층 해자 트렌치에 퇴적되고, 희생 충전 재료 층의 과잉 부분은 스택간 유전체 층(180)의 상단 표면 위로부터 제거될 수 있다. 희생 충전 재료는 제1 및 제2 실시예에서와 동일한 재료를 포함할 수 있다.

[0147] 제1 계층 메모리 개구(149) 내의 희생 재료의 각각의 나머지 부분은 희생 메모리 개구 충전 부분(131)을 구성한다. 제1 계층 해자 트렌치 내의 희생 재료의 각각의 나머지 부분은 희생 해자 트렌치 충전 부분(141)을 구성한다. 희생 메모리 개구 충전 부분(131) 및 희생 해자 트렌치 충전 부분(141)의 상단 표면들은 제1 절연 캡층(170)의 상단 표면과 동일 평면 상에 있을 수 있다. 희생 메모리 개구 충전 부분(131)은 내부에 캐비티를 포함하거나, 포함하지 않을 수도 있다.

[0148] 도 25a 및 도 25b를 참조하면, 도 7, 도 8a, 도 8b, 도 9a, 및 도 9b의 처리 단계들은 제2 계층 개구를 형성하기 위해 이용된 패턴을 수정하여 수행될 수 있다. 구체적으로, 제1 계층 해자 트렌치에 대한 패턴이 제2 계층 메모리 개구에 대한 패턴에 추가될 수 있다. 제2 계층 교대 스택(232, 242)을 통해 포토레지스트 층 내의 패턴을 전사하는 이방성 에칭 공정 후에, 제2 계층 해자 트렌치가 제1 계층 해자 트렌치 위에 형성된다. 제2 계층 해자 트렌치 패턴은 제1 계층 해자 트렌치 패턴과 동일할 수 있다. (부분들(131 및 141)이 탄소계 재료를 포함한다면) 희생 메모리 개구 충전 부분(131) 및 희생 해자 트렌치 충전 부분(141)은, 그 다음, 선택적 에칭 또는 애싱에 의해 제거된다. 제1 계층 해자 트렌치와 제2 계층 해자 트렌치의 각각의 스택은 해자 트렌치(449)를 구성한다. 해자 트렌치(449)의 형성과 동시에 적어도 하나의 교대 스택(132, 142, 232, 242)을 통해 연장되는 메모리 개구(49)가 형성될 수 있다.

[0149] 한 실시예에서, 각각의 해자 트렌치(449)는, U-형상의 2개의 개방 단부가 적어도 하나의 역-계단형 유전체 재료 부분(165, 265)의 표면으로 구성된 수직 측벽을 포함하도록, U-형상의 수평 단면 형상을 가질 수 있다. 이 경우, 각각의 해자 트렌치(449)의 양측은 배면 컨택트 트렌치(79)의 길이방향에 평행한 제1 수평 방향 hd1을 따라 연장될 수 있고, 해자 트렌치(449)의 접속부를 통해 서로 인접할 수 있다. 양 측은 해자 트렌치(449)의 근위 측에서 제2 길이방향 hd2에 평행하게 연장되고, 해자 트렌치(449)의 원단 측에 있는 제1 계층 교대 스택(132, 142)의 최하단 층의 구역을 넘어서 제1 수평 방향을 따라 연장될 수 있다. 본 명세서에서 사용될 때, 해자 트렌치(449)의 "근위 측"은 메모리 어레이 영역(100)에 가까운 측을 지칭하고, 해자 트렌치(449)의 "원위 측"은 메모리 어레이 영역(100)으로부터 먼 측을 지칭한다.

[0150] 또 다른 실시예에서, 각각의 해자 트렌치(449)는, 메모리-레벨 어셈블리의 구역이 각각의 해자 트렌치(449) 내부에 위치하도록 닫힌 형상(예를 들어, 다각형, 원형, 타원형, 불규칙한 형상 등)을 가질 수 있고, 메모리-레벨 어셈블리의 상보적 구역은 각각의 해자 트렌치(449)의 외부에 위치한다. 이 경우, 해자 트렌치(449)는, 해자 트렌치(449)의 구역에 대응하는 닫힌 형상 구역을 갖는 해자 트렌치(449)의 외부로부터 해자 트렌치(449)의 내부를 분리한다. 본 명세서에서 사용될 때, 닫힌 형상은, 닫힌 외주(outer periphery)와, 닫힌 내주(inner periphery)에 의해 정의된 닫힌 외주를 갖는 개구를 갖는 형상이다. 해자 트렌치(449)의 개구는 층(10) 내의 개구(151) 위에 위치하고, 개구(151)와 동일하거나 유사한 형상 및/또는 치수를 가질 수 있다.

[0151] 해자 트렌치(449)는 대응하는 관통-메모리-레벨 비아 영역(400)의 구역을 정의하고, 적어도 하나의 교대 스택(132, 142, 232, 242)을 통해 연장된다. 적어도 하나의 교대 스택(132, 142, 232, 242)의 일부는 관통-메모리-레벨 비아 영역(400) 내에 존재한다. 구체적으로, 절연 희생 재료 층(142, 242)을 포함하는 적어도 하나의 교대 스택(132, 142, 232, 242)의 일부는, 해자 트렌치(449)가 닫힌 형상을 갖는 경우 해자 트렌치(449)의 한 세트의 내측 측벽 내에, 또는 해자 트렌치(449)가 U-형상인 경우 해자 트렌치(449)의 원단(distal end)에 위치한 해자 트렌치(449)의 한 쌍의 수직 엣지를 접속하는 평면을 포함하는 수직면과 해자 트렌치(449)의 한 세트의 내측 측벽의 조합 내에, 측방향으로 에워싸일 수 있다.

[0152] 도 26a 및 도 26b를 참조하면, 도 10a 및 도 10b의 처리 단계들의 서브셋이 수행되어 선택사항적 페데스탈 채널 부분(11) 및 메모리 스택 구조물(55)을 형성할 수 있다. 드레인 영역(63)은 각각의 수직 반도체 채널(60)의 상단에 형성될 수 있다.

Micron Ex. 1002, p. 321
Micron v. YMTC
IPR2025-00245

[0153] 한 실시예에서, 해자 트렌치(449)의 모든 표면은 유전체 표면일 수 있다. 페데스탈 채널 부분(11)이 각각의 메모리 개구(49)의 하단부에서 평면 반도체 재료 층(10)의 물리적으로 노출된 반도체 표면으로부터만 성장하는 반면, 해자 트렌치(449)에는 어떠한 반도체 재료로 퇴적되지 않도록, 선택적 반도체 퇴적 프로세스가 채용되어 페데스탈 채널 부분(11)을 형성한다.

[0154] 메모리 스택 구조물(55)의 형성과 동시에, 더미 메모리 스택 구조물(155)이 각각의 해자 트렌치(449) 내에 형성된다. 예를 들어, 메모리 막(50)은, 적어도 하나의 유전체 재료 층(51, 54, 56)을 포함하는 층들의 스택을 퇴적하고 이방성으로 에칭함으로써, 각각의 해자 트렌치(449)에서의 절연 라이너(50)의 형성과 동시에 각각의 메모리 개구(49) 내에서 형성될 수 있다. 이어서, 컨포멀 반도체 재료 층이 메모리 막(50) 및 절연 라이너(50) 상에 퇴적될 수 있고, 컨포멀 반도체 재료 층의 부분들은 평탄화 공정을 이용하여 적어도 하나의 교대 스택(132, 142, 232, 242) 위로부터 제거될 수 있다. 컨포멀 반도체 재료 층의 각각의 나머지 부분은, 해자 트렌치(449) 내부의 더미 메모리 스택 구조물(155) 내에 존재한다면 반도체 충전 재료 부분(60)의 또는 메모리 스택 구조물(55) 내에 존재한다면 수직 전계 효과 트랜지스터의 활성 채널일 수 있는 수직 반도체 채널(60)을 구성한다.

[0155] 각각의 더미 메모리 스택 구조물(155)은 메모리 스택 구조물(55)과 동일한 세트의 요소들을 가질 수 있다. 해자 트렌치(449)에 형성되고 메모리 막(50)과 동일한 재료 스택을 갖는 한 세트의 절연 막은 본 명세서에서는 절연 라이너(50)라고 지칭된다. 더미 드레인 영역(463)은 각각의 더미 메모리 스택 구조물(155)의 상단에 형성될 수 있다. 더미 메모리 스택 구조물(155)은 모든 아래에 놓인 요소들 및 측방향으로 둘러싸는 요소들로부터 전기적으로 격리될 수 있다. 예를 들어, 각각의 더미 메모리 스택 구조물(155)은, (개구(151)를 채우는 적어도 하나의 하위 레벨 상호접속 유전체 층(768) 등의) 적어도 하나의 하위 레벨 유전체 층(760)의 상단 표면 및 적어도 하나의 교대 스택(132, 142, 232, 242)의 측벽들, 스택간 유전체 층(180), 제1 절연 캡 층(170), 및 제2 절연 캡 층(270)과 접촉할 수 있다.

[0156] 더미 메모리 스택 구조물(155)과 더미 드레인 영역(463)의 각각의 조합은, 각각의 해자 트렌치(449)를 채우는 절연 해자 트렌치 구조물(155, 463)을 구성한다. 각각의 관통-메모리-레벨 비아 영역(400)의 구역은 각각의 절연 해자 트렌치 구조물(155, 463)의 닫힌 내주에 의해 정의된 구역을 포함한다.

[0157] 도 27a 및 도 27b를 참조하면, 도 13a 및 도 13b의 처리 단계들의 상보적인 서브셋이 수행되어 제1 컨택트 레벨 유전체 층(280) 및 배면 컨택트 트렌치(79)를 형성할 수 있다.

[0158] 도 28a 및 도 28b를 참조하면, 도 14b, 14c, 15b 및 15c의 처리 단계들이 수행되어 희생 재료 층(142, 242)을 전기 도전 층(246, 246)으로 대체할 수 있다. 한 실시예에서, 희생 재료 층들(142, 242)은, 유전체 스페이서 층들, 즉, 절연 층들(132, 232)을 수직으로 이격시키는 유전체 재료 층들을 포함할 수 있다. 절연 해자 트렌치 구조물(155, 463)은, 어떠한 배면 오목부(143, 243)도 해자 트렌치 구조물(155, 463)에 의해 둘러싸인 영역(400) 내부에 형성되지 않도록, 단독으로 또는 역-계단형 유전체 재료 부분(165, 265)과 조합하여, 절연 해자 트렌치 구조물(155, 463)에 의해 측방향으로 에워싸인 구역 내로의 에칭제의 측면 전파를 차단한다. 해자 트렌치 구조물 외부(즉, 관통-메모리-레벨 비아 영역(400) 외부)에 위치한 유전체 스페이서 층(즉, 희생 재료 층(142, 242))의 부분들은 전기 도전 층(146, 246)으로 대체되는 반면, 각각의 해자 트렌치(449) 내의 적어도 하나의 교대 스택(132, 142, 232, 242)의 부분들은 그대로 유지된다. 전기 도전 층(146,246)은, 해자 트렌치 구조물 외부(즉, 영역(400) 외부)에 형성되지만 해자 트렌치 구조물 내부(즉, 영역(400) 내부)에는 형성되지 않는 메모리 스택 구조물(55)을 위한 워드라인을 구성한다.

[0159] 후속하여, 컨포멀 절연 재료 층이 퇴적되고 각각의 배면 컨택트 트렌치(79) 내에서 이방성으로 에칭되어 절연 스페이서(74)를 형성한다. 각각의 배면 컨택트 트렌치(79) 내의 측방향으로-연장되는 컨택트 비아 구조물(76). 제1 수평 방향 hd1을 따라 연장되는 복수의 측방향으로 길쭉한 컨택트 비아 구조물(76)은, 메모리-레벨 어셈블리를 복수의 측방향으로 이격된 블록들(B1, B2, B3, ...)로 측방향으로 분할한다. 복수의 블록들(B1, B2, B3, ...)은, 제1 수평 방향 hd1에 수직인 제2 수평 방향 hd2를 따라 배열된 제1 블록(B1), 제2 블록(B2), 및 제3 블록(B3)을 순서대로 포함하는 적어도 3개의 이웃 블록들의 세트를 포함할 수 있다.

[0160] 해자 트렌치(449)가 U-형상인 경우, 역-계단형 유전체 재료 부분(265 또는 165)의 나머지 부분은 (도 28b의 제1 블록(B1)의 도시된 워드라인 컨택트 비아 영역(200) 등의) 제1 계단 영역의 전기 도전 층(146, 246)의 부분, 및 도 28b의 제2 블록(B2)의 관통-메모리-레벨 비아 영역(400) 등의, 제2 계단 영역의 유전체 스페이서 층(즉, 희생 재료 층(142, 242))의 나머지 부분 위로 계속 연장될 수 있다.

Micron Ex. 1002, p. 322
Micron v. YMTC
IPR2025-00245

[0161] 도 29a 내지 도 29c를 참조하면, 관통-메모리-레벨 비아 구조물(488)은 각각의 관통-메모리-레벨 비아 영역(400)에 형성될 수 있다. 예를 들어, 제1 컨택트 레벨 유전체 층(280), 제2 절연 층(232)과 제2 희생 층(242)의 제2 계층 교대 스택의 나머지 부분, 제1 절연 층(132)과 제1 희생 층(142)의 제1 계층 교대 스택의 나머지 부분, 및 적어도 하나의 하위 레벨 유전체 층(760)의 상위 부분을 통해 연장되는 비아 캐비티들이 형성될 수 있다. 일반적으로, 관통-메모리-레벨 비아 구조물(488)은 적어도 하나의 교대 스택(132, 142, 232, 242)의 나머지 부분의 최상단 표면 및 적어도 하나의 교대 스택(132, 142, 232, 242)의 최하단 표면을 포함하는 제1 수평면으로부터 수직으로 연장될 수 있다. 다양한 추가 비아 구조물(86, 87, 88)은, 도 16a 내지 도 16c의 처리 단계들과 동일한 처리 단계들을 이용하여 형성될 수 있다. 영역(400)의 교대 스택 재료는 전기 절연성이기 때문에, 영역(400)의 교대 스택의 절연 층을 통해 연장되는 관통-메모리-레벨 비아 구조물(488)은 서로 또는 영역(400) 외부의 스택 내의 모든 워드라인으로 단락되지 않는다.

[0162] 도 30을 참조하면, 라인 레벨 유전체 층(110)이 컨택트 레벨 유전체 층(280, 282) 위에 형성될 수 있다. 다양한 금속 상호접속 구조물(108, 101) 및 비트라인(103)이 도 17a 내지 도 17d의 처리 단계들을 이용하여 라인 레벨 유전체 층(110)에 형성될 수 있다. 제1 및 제2 실시예들에서와 같이, 비트라인(103)은 메모리-레벨 어셈블리 위에 놓일 수 있고 메모리 스택 구조물(55)의 노드(예를 들어, 드레인 영역(63))에 전기적으로 결합될 수 있고, 라인 레벨 유전체 층(110) 등의 적어도 하나의 상위 레벨 유전체 층에 매립될 수 있다. 관통-메모리-레벨 비아 구조물(488)은 상위 레벨 금속 상호접속 구조물(108) 및 하위 레벨 금속 상호접속 구조물(780)의 각각의 쌍들과 접촉할 수 있다. 상위 레벨 금속 상호접속 구조물(108)은 비아 구조물(86, 488) 및(87, 488)의 각각의 쌍을 상호접속시킨다.

[0163] 도 31a 및 도 31b를 참조하면, 제3 예시적인 구조물의 변형예는, 각각의 메모리 개구(49) 및 메모리 스택 구조물(55)을 형성하는 것과는 별개의 단계들에서 해자 트렌치(149) 및 절연 해자 트렌치 구조물(466)을 형성함으로써 제3 예시적인 구조물로부터 도출될 수 있다. 제3 예시적인 구조물을 형성하는 방법은, 제2 계층 메모리 개구를 형성하기 전에 해자 트렌치를 형성함으로써 도 8a 및 도 8b에 도시된 방법 단계들로부터 유도될 수 있다. 예를 들어, 도 8a 및 도 8b의 제1 예시적인 구조물 위에 포토레지스트 층이 형성될 수 있고, 리소그래픽 패터닝되어 도 25a 및 도 25b에 도시된 해자 트렌치의 패턴에 대응하는 개구를 형성할 수 있다. 이방성 에칭이 제2 계층 교대 스택(232, 242) 및 제1 계층 교대 스택(132, 142)을 통해 수행되어 해자 트렌치를 형성한다.

[0164] 해자 트렌치는 후속해서 실리콘 산화물 등의 유전체 재료로 채워져, 해자 트렌치를 채우는 해자 트렌치 충전 구조물(466)인 깊은 트렌치 격리 구조물을 형성할 수 있다. 한 실시예에서, 해자 트렌치 충전 구조물(466)은 본질적으로 유전체 재료로 구성될 수 있다. 한 실시예에서, 관통-메모리-레벨 비아 영역(400)의 구역은 절연 해자 트렌치 구조물(466)의 닫힌 내주를 포함할 수 있다.

[0165] 도 32a 및 도 32b를 참조하면, 도 9a 내지 도 15c의 처리 단계들이 순차적으로 수행되어 희생 재료 층(142, 242)을 전기 도전 층(246, 246)으로 대체하고 절연 스페이서(74) 및 측방향 연장되는 컨택트 비아 구조물(76)을 형성한다. 후속해서, 도 29a 내지 도 29c의 처리 단계들을 이용하여 각각의 관통-메모리-레벨 비아 영역(400)에서 관통-메모리-레벨 비아 구조물(488)이 형성될 수 있다. 다양한 추가 비아 구조물(86, 87, 88)은, 도 16a 내지 도 16c의 처리 단계들과 동일한 처리 단계들을 이용하여 형성될 수 있다. 후속해서, 라인 레벨 유전체 층(110)이 컨택트 레벨 유전체 층(280, 282) 위에 형성될 수 있고, 다양한 상호접속 구조물(108, 101) 및 비트라인(103)이 도 17a 내지 도 17d의 처리 단계들을 이용하여 라인 레벨 유전체 층(110)에 형성될 수 있다.

[0166] 도 30에 도시된 제3 예시적인 구조물 및 도 32a 및 도 32b에 도시된 변형예는, 반도체 기판(9) 위에 위치하고 전기 도전 층들(146, 246) 및 절연 층들(132, 232)의 제1 부분의 적어도 하나의 제1 교대 스택을 포함하고, 상기 적어도 하나의 제1 교대 스택을 통해 수직으로 연장되는 메모리 스택 구조물(55)을 더 포함하는 메모리-레벨 어셈블리를 포함하는, 반도체 구조물을 포함한다. 메모리 스택 구조물(55)들 각각은 메모리 막(50) 및 수직 반도체 채널(60)을 포함한다. 전기 도전 층(146, 246)은 메모리 스택 구조물(55)을 위한 워드라인을 구성한다. 반도체 구조물은, 메모리-레벨 어셈블리를 통해 수직으로 연장되고 적어도 하나의 제1 교대 스택(132, 146, 232, 246)으로부터 측방향으로 이격된 관통-메모리-레벨 비아 영역(400)의 구역을 정의하는 절연 해자 트렌치 구조물{466 또는 (155, 463)}을 더 포함한다. 반도체 구조물은 또한, 관통-메모리-레벨 비아 영역(400)에 위치한 적어도 하나의 제2 교대 스택을 더 포함한다. 적어도 하나의 제2 교대 스택은, 유전체 스페이서 층들(142, 242)과 절연 층들(132, 232)의 제2 부분의 교대 층들을 포함하고, 유전체 스페이서 층들(142, 242) 각각은 각각의 전기 도전 층(146, 246)과 동일한 레벨에 위치한다. 반도체 구조물은, 관통-메모리-레벨 비아 영역(400) 내에 위치하고 메모리-레벨 어셈블리의 최상단 표면 및 메모리-레벨 어셈블리의 최하단 표면을 포함하는 제1 수평

Micron Ex. 1002, p. 323
Micron v. YMTC
IPR2025-00245

면으로부터 수직으로 연장되고 도전성 재료를 포함하는 관통-메모리-레벨 비아 구조물(488)을 더 포함한다.

[0167] 한 실시예에서, 관통-메모리-레벨 비아 영역(400)의 구역은 절연 해자 트렌치 구조물 {466 또는 (155, 463)}의 닫힌 내주를 포함한다. 이 경우에, 적어도 하나의 제2 교대 스택(132, 142, 232, 242)의 외측 측벽의 전체 세트는 절연 해자 트렌치 구조물{466 또는 (155, 463)}의 내측 측벽과 접촉할 수 있다.

[0168] 한 실시예에서, 복수의 측방향으로 길쭉한 컨택트 비아 구조물들(76)은 제1 수평 방향 hd1을 따라 연장될 수 있고, 메모리-레벨 어셈블리를 복수의 측방향으로 이격된 블록들(B1, B2, B3, ...)로 측방향으로 분할할 수 있다. 한 실시예에서, 복수의 블록들(B1, B2, B3, ...)은, 제1 수평 방향 hd1에 수직인 제2 수평 방향 hd2를 따라 배열된 제1 블록(B1), 제2 블록(B2), 및 제3 블록(B3)을 순서대로 포함한 적어도 3개의 이웃 블록들의 세트를 포함할 수 있다. 절연 해자 트렌치 구조물{466 또는 (155, 463)}은, 제2 블록(B2)의 길이방향 단부 상에 및 제1 블록(B1)의 계단 영역과 제3 블록(B3)의 계단 영역 사이에 위치할 수 있다. 제1 및 제3 블록(B1, B3)의 각각의 계단 영역은 테라스들을 포함할 수 있고 테라스들에서 각각의 아래에 놓인 전기 도전 층(146 또는 246)이 메모리-레벨 어셈블리 내에서 임의의 위에 놓인 전기 도전 층(146, 246)보다 제1 수평 방향 hd1을 따라 더 멀리 연장된다.

[0169] 한 실시예에서, 역-계단형 유전체 재료 부분(265 또는 165)의 계단형 하단 표면은 각각의 제1 및 제3 블록(B1, B3)에서 제1 및 제3 계단 영역의 계단형 상단 표면과 접촉할 수 있다. 한 실시예에서, 추가적인 역-계단형 유전체 재료 부분(265 또는 165)이 절연 해자 트렌치 구조물{466 또는 (155, 463)}의 내측 측벽 내에 존재할 수 있다. 이 경우에, 추가의 역-계단형 유전체 재료 부분의 계단형 하단 표면은 역-계단형 유전체 재료 부분(165, 265)과 동일한 재료를 포함할 수 있고, 절연 해자 트렌치 구조물 {466 또는(155, 463)}에 의해 역-계단형 유전체 재료 부분으로부터 측방향으로 이격될 수 있으며, 적어도 하나의 제2 교대 스택(132, 142, 232, 242)의 계단형 상단 표면과 접촉할 수 있다.

[0170] 한 실시예에서, 절연 해자 트렌치 구조물(466 또는 (155, 463))은 U-형상일 수 있다. 이 경우, 역-계단형 유전체 재료 부분(165 또는 265)의 추가적인 계단형 하단 표면은 적어도 하나의 제2 교대 스택(132, 142, 232, 242)의 계단형 상단 표면과 접촉할 수 있다.

[0171] 한 실시예에서, 복수의 측방향으로 길쭉한 컨택트 비아 구조물(76)들 각각은 절연 스페이서(74)에 의해 측방향으로 둘러싸일 수 있다. 절연 해자 트렌치 구조물(155, 463)은 메모리 스택 구조물(55) 내의 메모리 막(50)과 동일한 재료를 포함하는 절연 라이너(50)를 포함할 수 있다.

[0172] 한 실시예에서, 복수의 측방향으로 길쭉한 컨택트 비아 구조물(76)은 각각의 수평 채널(58)과 접촉하는 각각의 아래에 놓인 소스 영역(61)과 접촉하는 소스 라인을 포함할 수 있다.

[0173] 한 실시예에서, 절연 해자 구조물(155, 463)은, 각각의 메모리 스택 구조물(55), 즉, 메모리 막(50) 및 수직 반도체 채널(60)에 포함된 층들과 동일한 세트의 층들을 포함하는 층 스택을 포함할 수 있다.

[0174] 한 실시예에서, 절연 해자 구조물(466)은 본질적으로 유전체 층전 재료 부분으로 구성될 수 있다.

[0175] 반도체 구조물은, 반도체 기판(9) 상에 위치한 반도체 디바이스, 반도체 디바이스의 노드에 전기적으로 단락되고 반도체 기판(9) 위에 놓인 적어도 하나의 하위 레벨 유전체 층(760)에 매립된 하위 레벨 금속 상호접속 구조물(780), 및 적어도 하나의 하위 레벨 유전체 층(760) 위에 놓이고 메모리 스택 구조물(55) 내의 수직 반도체 채널(60)에 접속된 수평 반도체 채널(58)을 포함하는 평면 반도체 재료 층(10)을 더 포함할 수 있다.

[0176] 한 실시예에서, 반도체 구조물은, 메모리-레벨 어셈블리 위에 놓이고, 메모리 스택 구조물(55)의 노드에 전기적으로 결합되며, 적어도 하나의 상위 레벨 유전체 층(110)에 매립된 상위 레벨 금속 상호접속 구조물(108)를 더 포함할 수 있다. 관통-메모리-레벨 비아 구조물(488)은 메모리-레벨 어셈블리를 통해 수직으로 연장될 수 있고, 상위 레벨 금속 상호접속 구조물(108) 및 하위 레벨 금속 상호접속 구조물(780)의 각각의 쌍들과 접촉할 수 있다.

[0177] 도 33a 및 도 33b를 참조하면, 본 개시내용의 제4 실시예에 따른 제4 예시적인 구조물은, 제1, 제2 및 제3 예시적인 구조물 또는 그 변형의 형성과 동시에 형성될 수 있거나, 독립적인 구조물로서 형성될 수 있다. 도 33a 및 도 33b에 도시된 제4 예시적인 구조물은, 배면 컨택트 트렌치(79)를 형성하지 않고 도 10a 및 도 10b의 제1 예시적인 구조물을 형성하는데 이용된 처리 단계들과 동일한 처리 단계들을 이용하여 형성될 수 있다. 관통-메모리-레벨 비아 영역(500)은 메모리 어레이 영역(100) 내에 형성될 수 있다. 각각의 관통-메모리-레벨 비아 영역(500)은 완전히 블록(B1, B2 등) 내에 형성될 수 있다. 관통-메모리-레벨 비아 영역(500)은, 제1, 제2, 및

Micron Ex. 1002, p. 324
Micron v. YMTC
IPR2025-00245

제3 실시예의 관통-메모리-레벨 비아 영역(400)을 형성하지 않고 형성될 수 있거나, 동일한 메모리-레벨 어셈블리를 통해 제1, 제2, 및 제3 실시예의 관통-메모리-레벨 비아 영역(400)에 추가하여 형성될 수 있다.

[0178] 절연 층들(132, 232) 및 희생 재료 층들(142, 242)의 적어도 하나의 교대 스택 각각은 후속 처리 단계들에서 수정되는 공정중 교대 스택이다. 관통-메모리-레벨 비아 영역(500)이 메모리 어레이 영역(100) 내에 형성되는 실시예가 본 명세서에서 설명되었지만, 추가적인 또는 대체성의 관통-메모리-레벨 비아 영역(500)이 계단 영역에 형성되는 실시예들도 역시 고려된다. 다양한 더미 메모리 스택 구조물(55D)은 디바이스 컴포넌트들로서 전기적으로 접속되지 않지만 후속 처리 단계들에서 배면 오목부의 형성 동안 구조적 지지를 위해 이용되는 관통-메모리-레벨 비아 영역(500) 주위에 형성될 수 있다.

[0179] 도 34a 및 도 34b를 참조하면, 배면 컨택트 트렌치(79) 및 해자 트렌치(579)는 메모리-레벨 어셈블리를 통해 동시에 형성될 수 있다. 예를 들어, 포토레지스트 층은 제1 컨택트 레벨 유전체 층(280) 위에 형성될 수 있고, 리소그래픽 패터닝되어, 이전 실시예들에서와 같은 배면 컨택트 트렌치(79)의 패턴, 및 제3 실시예 또는 그 변형의 해자 트렌치의 패턴과 동일할 수 있는 해자 트렌치의 패턴을 포함하는 개구를 형성할 수 있다. 이방성 에칭이 수행되어 메모리-레벨 어셈블리를 통해 패터닝된 포토레지스트 층의 패턴을 전사함으로써, 배면 컨택트 트렌치(79) 및 해자 트렌치(579)를 형성할 수 있다. 포토레지스트 층은, 예를 들어, 애싱에 의해, 후속해서 제거될 수 있다. 각각의 해자 트렌치(579)는 그 외주 내에 관통-메모리-레벨 비아 영역(400)의 구역을 포함할 수 있다.

[0180] 도 35a 및 도 35b를 참조하면, 절연 라이너 층(572L)은 해자 트렌치(579) 및 배면 컨택트 트렌치(79)에 퇴적될 수 있다. 절연 라이너 층(572L)은, 실리콘 산화물, 실리콘 질화물, 및/또는 알루미늄 산화물 등의 유전체 금속 산화물 등의 유전체 재료를 포함한다. 절연 라이너 층(572L)은, 화학 증착 또는 원자층 퇴적 등의 컨포멀 퇴적 방법에 의해 컨포멀 재료 층으로서 퇴적될 수 있다. 절연 라이너 층(572L)의 두께는 3nm 내지 60nm 범위일 수 있지만, 더 작거나 더 큰 두께도 역시 이용될 수 있다.

[0181] 포토레지스트 층(577)은 절연 라이너 층(572L) 위에 형성될 수 있고, 리소그래픽 패터닝되어 관통-메모리-레벨 비아 영역(500) 내의 절연 라이너 층(572L)을 덮는 반면, 절연 라이너 층(572L)은 관통-메모리-레벨 비아 영역(500) 외부의 포토레지스트 층에 의해 덮이지 않는다. (등방성 에칭 또는 이방성 에칭일 수 있는) 에칭 공정이 이용되어 관통-메모리-레벨 비아 영역(500)의 외부로부터 절연 라이너 층(572L)의 물리적으로 노출된 부분들을 제거할 수 있다. 패터닝된 절연 라이너 층(572L)은 해자 트렌치(579)의 측벽 상에 및 관통-메모리-레벨 비아 영역(500) 내의 제1 컨택트 레벨 유전체 층(280)의 부분 위에 형성된다. 배면 컨택트 트렌치(76)의 측벽은 물리적으로 환경에 노출된다. 본 명세서에서 사용될 때, "환경(ambient)"은 제조 시퀀스 동안 반도체 기판이 물리적으로 노출될 수 있는 임의의 기체 환경을 말하며, 공기, 진공, 비활성 환경, 및 감압 환경을 포함한다. 포토레지스트 층(577)은 예를 들어 애싱에 의해 후속해서 제거된다.

[0182] 도 36a 및 도 37a를 참조하면, 절연 층(132, 232)에 대해 선택적인 희생 재료 층(142, 242)을 제거하기 위해 도 11a 및 도 11b의 처리 단계들이 수행될 수 있다. 구체적으로는, 에칭제가 배면 컨택트 트렌치(79)를 통해 도입되어 배면 오목부(143, 243)를 형성할 수 있다. 패터닝된 절연 라이너 층(572L)은 각각의 해자 트렌치(579)의 모든 측벽을 덮고, 에칭제가 그 내부에 에워싸인 적어도 하나의 교대 스택(132, 142, 232, 242)의 부분을 에칭하는 것을 방지한다. 따라서, 각각의 패터닝된 절연 라이너 층(572L)의 수직 부분에 의해 측방향으로 에워싸인 적어도 하나의 교대 스택(132, 142, 232, 242)의 각각의 부분은 배면 오목부(143, 243)의 형성 동안 그대로 유지된다.

[0183] 도 37a 및 도 37b를 참조하면, 도 12a 및 도 12b의 처리 단계들이 수행되어 배면 오목부(143, 243)에 전기 도전 층(146, 246)을 형성할 수 있다. 전기 도전 층(146, 246)이 배면 컨택트 트렌치(79)를 통해 반응물을 도입함으로써 형성되어, 절연 층들(132, 232) 및 전기 도전 층들(146, 246)의 적어도 하나의 교대 스택을 형성할 수 있다. 트렌치 캐비티(579')는 각각의 패터닝된 절연 라이너 층(572L) 내에 존재한다. 적어도 하나의 공정중 교대 스택(132, 142, 232, 242)의 나머지 부분은 해자 트렌치(579)에 의해 에워싸인 각각의 영역 내에 유지된다.

[0184] 도 38a 및 도 38b를 참조하면, 도 13a 및 도 13b의 처리 단계들이 수행되어 절연 스페이서(74) 및 측방향으로 길쭉한 컨택트 비아 구조물(76)을 형성할 수 있다. 구체적으로, 절연 재료 층은 컨포멀 퇴적되고 이방성 에칭되어 각각의 배면 컨택트 트렌치(79) 내의 절연 스페이서(74) 및 각각의 트렌치 캐비티(579') 내의 내측 절연 라이너(574)를 형성할 수 있다. 내측 절연 라이너(574)는 절연 스페이서(74)의 형성과 동시에 각각의 패터닝된 절연 라이너 층(572L) 내에 형성될 수 있다. 절연 스페이서(74) 및 절연 라이너(즉, 내측 절연 라이너(574))는 각각 배면 컨택트 트렌치(79) 및 해자 트렌치(579)에 동시에 형성될 수 있다. 내측 절연 라이너(574) 및 절연

Micron Ex. 1002, p. 325
Micron v. YMTC
IPR2025-00245

스페이서(74)는 동일한 유전체 재료를 포함할 수 있고, 동일한 두께를 가질 수 있다.

[0185] 도전성 재료가 퇴적되어 배면 컨택트 트렌치(79) 및 트렌치 캐비티(579')의 나머지 체적을 채운다. 화학적 기계적 평탄화 등의 평탄화 공정에 의해 제1 컨택트 레벨 유전체 층(280)의 상단 표면을 포함하는 수평면 위로부터 도전성 재료의 과잉 부분이 제거될 수 있다. 절연 스페이서(74) 내의 도전성 재료의 각각의 나머지 부분은 측방향으로 길쭉한 컨택트 비아 구조물(76)을 구성한다. 내측 절연 라이너(574) 내의 도전성 재료의 각각의 나머지 부분은 도전성 충전 부분(576)을 구성한다. 복수의 측방향으로 길쭉한 컨택트 비아 구조물(76) 및 도전성 충전 재료 부분(576)은, 각각, 절연 스페이서(74) 및 절연 라이너 상에 동시에 형성될 수 있다. 패터닝된 절연 라이너 층(572L)의 수평 부분은 제1 컨택트 레벨 유전체 층(280)의 상단 표면 위로부터 제거될 수 있다. 패터닝된 절연 라이너 층(572L)의 각각의 나머지 부분은 외측 절연 라이너(572)를 구성한다.

[0186] 복수의 측방향으로 길쭉한 컨택트 비아 구조물(76)이 메모리-레벨 어셈블리를 통해 형성된다. 복수의 측방향으로 길쭉한 컨택트 비아 구조물(76)은 제1 수평 방향 hd1을 따라 측방향으로 연장되고, 적어도 하나의 교대 스택을 메모리-레벨 어셈블리 내의 복수의 측방향으로 이격된 블록들(B1, B2, B3, ...)로 측방향으로 분할한다.

[0187] 도 39a 및 도 39b를 참조하면, 적어도 하나의 관통-메모리-레벨 개구가 각각의 관통-메모리-레벨 비아 영역(500)의 구역 내의 메모리-레벨 어셈블리를 통해 형성된다. 관통-메모리-레벨 비아 영역(500)의 구역들에서 개구를 포함하는 리소그래픽 패터닝된 마스크는, 도 2 및 도 7의 처리 단계들에서 처음 형성되는 적어도 하나의 교대 스택(132, 142, 232, 242)의 재료 및 적어도 하나의 하위 레벨 유전체 층(760)의 재료를 에칭하는 이방성 에칭 동안 이용될 수 있다. 하위 레벨 금속 상호접속 구조물(780)의 상단 표면은 각각의 관통-메모리-레벨 개구의 하단에서 물리적으로 노출될 수 있다. 도전성 재료가 관통-메모리-레벨 캐비티에 퇴적되고, 도전성 재료의 과잉 부분이 제1 컨택트 레벨 유전체 층(280)의 상단 표면을 포함하는 수평면 위로부터 제거될 수 있다. 관통-메모리-레벨 개구 내의 도전성 재료의 각각의 나머지 부분은, 각각의 아래에 놓인 하위 레벨 금속 상호접속 구조물(780)과 접촉할 수 있는 관통-메모리-레벨 비아 구조물(588)을 구성한다.

[0188] 한 실시예에서, 적어도 하나의 관통-메모리-레벨 비아 구조물(588)이 한 블록 내의 관통-메모리-레벨 비아 영역(500)에 형성될 수 있다. 관통-메모리-레벨 비아 영역(500)은 한 쌍의 측방향으로 길쭉한 컨택트 비아 구조물(76)들 사이에, 및 블록 내에 위치한 메모리 스택 구조물(55)들의 2개 그룹 사이에 제공될 수 있다. 관통-메모리-레벨 비아 영역(500)은 관통-메모리-레벨 비아 구조물(588)을 포함할 수 있다. 적어도 하나의 관통-메모리-레벨 비아 구조물(588) 각각은 메모리-레벨 어셈블리를 통해 수직으로 연장된다.

[0189] 도 40을 참조하면, 드레인 컨택트 비아 구조물(88) 및 워드라인 컨택트 비아 구조물이 제1 내지 제3 실시예에서와 같이 형성될 수 있다. 라인 레벨 유전체 층(110)이 제1 컨택트 레벨 유전체 층(280) 위에 형성될 수 있다. 제1 내지 제3 실시예에서와 같이 라인 레벨 유전체 층(110)에 다양한 금속 상호접속 구조물이 형성될 수 있다. 금속 상호접속 구조물은, 워드라인 컨택트 비아 구조물(86)과 관통-메모리-레벨 비아 구조물(588)의 각각의 쌍에 형성될 수 있는 상위 레벨 금속 상호접속 구조물(108), 제1 수평 방향 hd1에 수직인 제2 수평 방향 hd2를 따라 연장되는 비트라인(103), 및 (도시되지 않은) 소스 접속 라인 구조물을 포함할 수 있다. 대안으로서, 상위 레벨 금속 상호접속 구조물(108)은 관통-메모리-레벨 비아 구조물(588)과 접촉하는 소스 션트 라인(source shunt line) 또는 전력 스트랩(power strap)을 포함할 수 있다. 소스 션트 라인은 비트라인(103)들 사이에서 이와 평행하게 연장되는 션트 라인일 수 있다. 전력 스트랩은 구동기 회로를 외부 전원에 접속하는 임의의 도전성 라인일 수 있다.

[0190] 도 40에 도시된 제4 예시적인 구조물은, 반도체 기판(9) 위에 위치하고 전기 도전 층들(146, 246) 및 절연 층들(132, 232)의 제1 부분의 적어도 하나의 제1 교대 스택을 포함하고, 상기 적어도 하나의 제1 교대 스택을 통해 수직으로 연장되는 메모리 스택 구조물(55)을 더 포함하는 메모리-레벨 어셈블리를 포함하는, 반도체 구조물을 포함한다. 메모리 스택 구조물(55)들 각각은 메모리 막(50) 및 수직 반도체 채널(60)을 포함한다. 전기 도전 층(146, 246)은 메모리 스택 구조물(55)을 위한 워드라인을 구성한다. 반도체 구조물은, 메모리-레벨 어셈블리를 통해 수직으로 연장되고 적어도 하나의 제1 교대 스택(132, 146, 232, 246)으로부터 측방향으로 오프셋된 관통-메모리-레벨 비아 영역(500)의 구역을 정의하는 절연 해자 트렌치 구조물(572, 574, 576)을 더 포함한다. 반도체 구조물은 또한, 관통-메모리-레벨 비아 영역(500)에 위치한 적어도 하나의 제2 교대 스택을 더 포함한다. 적어도 하나의 제2 교대 스택은, 유전체 스페이서 층들(142, 242)과 절연 층들(132, 232)의 제2 부분의 교대 층들을 포함하고, 유전체 스페이서 층들(142, 242) 각각은 각각의 전기 도전 층(146, 246)과 동일한 레벨에 위치한다. 반도체 구조물은, 관통-메모리-레벨 비아 영역(500) 내에 위치하고 메모리-레벨 어셈블리의 최상단 표면 및 메모리-레벨 어셈블리의 최하단 표면을 포함하는 제1 수평면으로부터 수직으로 연장되고 도전성

Micron Ex. 1002, p. 326
Micron v. YMTC
IPR2025-00245

재료를 포함하는 관통-메모리-레벨 비아 구조물(588)을 더 포함한다.

[0191] 한 실시예에서, 제1 수평 방향 hd1을 따라 연장되는 복수의 측방향으로 길쭉한 컨택트 비아 구조물(76)은 메모리-레벨 어셈블리를 복수의 측방향으로 이격된 블록으로 측방향으로 분할할 수 있고, 복수의 측방향으로 길쭉한 컨택트 비아 구조물(76)들 각각은 절연 스페이서(74)에 의해 측방향으로 둘러싸일 수 있다. 절연 해자 트렌치 구조물(572, 574, 576)은 복수의 측방향으로 길쭉한 컨택트 비아 구조물(76)과 동일한 도전성 재료를 포함하는 도전성 충전 부분(576)을 포함할 수 있다.

[0192] 도 41을 참조하면, 절연 라이너 층(572L)의 두께를 증가시킴으로써 도 37a 및 도 37b에 도시된 제4 예시적인 구조물로부터 도출될 수 있는 제4 예시적인 구조물의 제1 변형예가 도시되어 있다. 구체적으로, 절연 라이너 층(572L)의 두께는 절연 라이너 층(572L)의 형성 후의 트렌치 캐비티(579')의 최대 폭이 배면 컨택트 트렌치(79)에 절연 스페이서를 형성하도록 퇴적될 절연 재료 층의 2배보다 작도록 증가된다.

[0193] 도 42를 참조하면, 절연 재료 층은, 절연 재료 층이 배면 컨택트 트렌치(79)를 완전히 채우면서 해자 트렌치(579)를 완전히 채우도록 하는 두께로 퇴적된다. 이방성 에칭이 수행되어 절연 재료 층의 수평 부분을 제거한다. 배면 컨택트 트렌치(79) 내의 절연 재료 층의 각각의 나머지 수직 부분은 절연 스페이서를 구성한다. 절연 라이너 층(572) 내부의 체적을 채우는 절연 재료 층의 각각의 나머지 부분은 절연 재료 충전 부분(575)을 구성한다. 후속해서, 도전성 재료가 퇴적되고 평탄화되어 측방향으로 연장되는 컨택트 비아 구조물(76)을 형성한다. 각각의 절연 라이너 층(572L)의 나머지 부분은 외측 절연 라이너(572)를 구성한다.

[0194] 한 실시예에서, 절연 스페이서(74)는 해자 트렌치(579) 내의 절연 재료 충전 부분(575)의 형성과 동시에 배면 컨택트 트렌치(79)에 형성될 수 있다. 복수의 측방향으로 길쭉한 컨택트 비아 구조물(76)이 절연 스페이서(74) 상에 형성될 수 있다. 적어도 하나의 공정중 교대 스택(132, 142, 232, 242)의 나머지 부분은 각각의 해자 트렌치(579)에 의해 에워싸인 구역 내에 유지된다.

[0195] 후속해서, 도 39a 및 도 39b의 처리 단계들이 수행되어 각각의 관통-메모리-레벨 비아 영역(500) 내부에 적어도 하나의 관통-메모리-레벨 비아 구조물(588)을 형성할 수 있다.

[0196] 도 43을 참조하면, 드레인 컨택트 비아 구조물(88) 및 워드라인 컨택트 비아 구조물이 제1 내지 제3 실시예에서와 같이 형성될 수 있다. 라인 레벨 유전체 층(110)이 제1 컨택트 레벨 유전체 층(280) 위에 형성될 수 있다. 제1 내지 제3 실시예에서와 같이 라인 레벨 유전체 층(110)에 다양한 금속 상호접속 구조물이 형성될 수 있다. 금속 상호접속 구조물은, 워드라인 컨택트 비아 구조물(86)과 관통-메모리-레벨 비아 구조물(588)의 각각의 쌍에 형성되거나 구조물(588)에 접속된 션트 라인이나 전력 스트랩을 포함하는 상위 레벨 금속 상호접속 구조물(108), 제1 수평 방향 hd1에 수직인 제2 수평 방향 hd2를 따라 연장되는 비트라인(103), 및 (도시되지 않은) 소스 접속 라인 구조물을 포함할 수 있다.

[0197] 도 43에 도시된 제4 예시적인 구조물의 제1 변형예는, 반도체 기판(9) 위에 위치하고 전기 도전 층들(146, 246) 및 절연 층들(132, 232)의 제1 부분의 적어도 하나의 제1 교대 스택을 포함하고, 상기 적어도 하나의 제1 교대 스택을 통해 수직으로 연장되는 메모리 스택 구조물(55)을 더 포함하는 메모리-레벨 어셈블리를 포함하는, 반도체 구조물을 포함한다. 메모리 스택 구조물(55)들 각각은 메모리 막(50) 및 수직 반도체 채널(60)을 포함한다. 전기 도전 층(146, 246)은 메모리 스택 구조물(55)을 위한 워드라인을 구성한다. 반도체 구조물은, 메모리-레벨 어셈블리를 통해 수직으로 연장되고 적어도 하나의 제1 교대 스택(132, 146, 232, 246)으로부터 측방향으로 오프셋된 관통-메모리-레벨 비아 영역(500)의 구역을 정의하는 절연 해자 트렌치 구조물(572, 575)을 더 포함한다. 반도체 구조물은 또한, 관통-메모리-레벨 비아 영역(500)에 위치한 적어도 하나의 제2 교대 스택을 더 포함한다. 적어도 하나의 제2 교대 스택은, 유전체 스페이서 층들(142, 242)과 절연 층들(132, 232)의 제2 부분의 교대 층들을 포함하고, 유전체 스페이서 층들(142, 242) 각각은 각각의 전기 도전 층(146, 246)과 동일한 레벨에 위치한다. 반도체 구조물은, 관통-메모리-레벨 비아 영역(500) 내에 위치하고 메모리-레벨 어셈블리의 최상단 표면 및 메모리-레벨 어셈블리의 최하단 표면을 포함하는 제1 수평면으로부터 수직으로 연장되고 도전성 재료를 포함하는 관통-메모리-레벨 비아 구조물(588)을 더 포함한다.

[0198] 한 실시예에서, 제1 수평 방향 hd1을 따라 연장되는 복수의 측방향으로 길쭉한 컨택트 비아 구조물(76)은 메모리-레벨 어셈블리를 복수의 측방향으로 이격된 블록으로 측방향으로 분할할 수 있고, 복수의 측방향으로 길쭉한 컨택트 비아 구조물(76)들 각각은 절연 스페이서(74)에 의해 측방향으로 둘러싸일 수 있다. 절연 해자 트렌치 구조물(572, 575)은 본질적으로 유전체 재료로 구성될 수 있다.

[0199] 도 44a 및 도 44b를 참조하면, 제4 예시적인 구조물의 제2 변형예는 도 33a 및 33b에 도시된 제4 예시적인 구조

Micron Ex. 1002, p. 327
Micron v. YMTC
IPR2025-00245

물과 동일할 수 있다. 제4 예시적인 구조물의 제2 변형예는 제1, 제2 및 제3 예시적인 구조물 또는 그 변형 중 임의의 것의 형성과 동시에 형성될 수 있거나, 독립형 구조물로서 형성될 수 있다. 전술된 실시예에서와 같이 반도체 기판(9) 위에 절연 층들(132, 232) 및 (희생 재료 층들(142, 242)일 수 있는) 유전체 스페이서 층들의 적어도 하나의 공정중 교대 스택이 형성될 수 있다.

[0200] 그 각각의 중심 영역에서 메모리 스택 구조물(55)을 포함하지 않는 관통-메모리-레벨 비아의 영역(600)들이 메모리 어레이 영역(100) 내에 형성될 수 있다. 각각의 관통-메모리-레벨 비아 영역(600)은 완전히 블록(B1, B2 등) 내에 형성될 수 있다. 더미 메모리 스택 구조물(55D)은 관통-메모리-레벨 비아 영역(600)의 주변부에 제공될 수 있다. 더미 메모리 스택 구조물(55)은 반도체 구조물의 활성 컴포넌트가 아니지만, 배면 오목부(143, 243)의 형성 동안에 구조적 지지를 제공하기 위해 이용된다. 관통-메모리-레벨 비아 영역(600)은, 제1, 제2, 및 제3 실시예의 관통-메모리-레벨 비아 영역(400)을 형성하지 않고 형성될 수 있거나, 동일한 메모리-레벨 어셈블리를 통해 제1, 제2, 및 제3 실시예의 관통-메모리-레벨 비아 영역(400)에 추가하여 형성될 수 있다.

[0201] 도 45a 및 도 45b를 참조하면, 포토레지스트 층(677)은 제1 컨택트 레벨 유전체 층(280) 위에 형성될 수 있고, 리소그래픽 패터닝되어 그 내부에 개구를 형성할 수 있다. 개구의 패턴은, 전술된 배면 컨택트 트렌치(79)의 패턴, 및 후속해서 관통-메모리-레벨 영역(600)에 형성될 관통-메모리-레벨 비아 구조물의 패턴을 포함한다.

[0202] 포토레지스트 층(677)의 패턴은, 제1 컨택트 레벨 유전체 층(280)을 통해, 및 절연 층들(132, 232) 및 유전체 스페이서 재료 층들(142, 242)의 공정중 교대 스택을 통해 전사되어 메모리 어레이 영역(100)의 배면 컨택트 트렌치(79) 및 관통-메모리-레벨 비아 영역들(600)의 관통-메모리-레벨 개구(679)를 형성할 수 있다. 평면 반도체 층(10)의 상단 표면은 각각의 배면 컨택트 트렌치(79)의 하단에서 물리적으로 노출될 수 있다. 배면 컨택트 트렌치(79)는 관통-메모리-레벨 개구(679)의 형성과 동시에 형성될 수 있다.

[0203] 적어도 하나의 하위 레벨 유전체 층(760)의 상단 표면은 각각의 관통-메모리-레벨 개구(679)의 하단에서 물리적으로 노출될 수 있다. 하위 레벨 금속 상호접속 구조물(780)의 상단 표면은 관통-메모리-레벨 개구(679)의 하단에 물리적으로 노출되거나 또는 물리적으로 노출되지 않을 수 있다. 한 실시예에서, 관통-메모리-레벨 개구(679)의 폭은 배면 컨택트 트렌치(79)의 폭보다 클 수 있다. 이 경우, 이방성 에칭 동안 더 많은 반응물이 관통-메모리-레벨 개구(679)에 공급될 수 있고, 관통-메모리-레벨 개구(679)의 하단 표면은 배면 컨택트 트렌치(79)의 하단 표면 아래에 위치할 수 있다.

[0204] 도 46a 및 도 46b를 참조하면, 포토레지스트 층(677)은 예를 들어 애싱에 의해 제거될 수 있다. 도 11a 및 도 11b의 처리 단계들이 수행되어 절연 층(132, 232)에 대해 선택적으로 희생 재료 층(142, 242)을 제거할 수 있다. 이 경우, 배면 컨택트 트렌치(79) 및 관통-메모리-레벨 개구(679)는, 절연 층(132, 232)에 대해 선택적으로 희생 재료 층(142, 242)을 에칭하는 에칭제를 도입하는데 이용될 수 있다. 후속해서, 도 12a 및 도 12b의 처리 단계들이 수행되어 전기 도전 층(146, 246)을 형성할 수 있다. 반응물이 배면 컨택트 트렌치(79) 및 관통-메모리-레벨 개구(679)를 통해 도입되어 전기 도전 층(146, 246)을 퇴적할 수 있다. 퇴적된 도전성 재료의 과잉 부분은 에치-백 공정을 이용하여 배면 컨택트 트렌치(79) 및 관통-메모리-레벨 개구(679) 내부로부터 및 제1 컨택트 레벨 유전체 층(280) 위로부터 제거될 수 있다. 따라서, 절연 층들(232, 232) 및 전기 도전 층들(146, 246)의 교대 스택(132, 146, 232, 246)이 형성된다.

[0205] 도 47a 및 도 47b를 참조하면, 컨포멀 절연 재료 층이, 화학적 증착 또는 원자층 퇴적 등의 컨포멀 퇴적 공정에 의해 배면 컨택트 트렌치(79) 및 관통-메모리-레벨 개구(689)에 퇴적된다. 컨포멀 절연 재료 층은, 실리콘 산화물, 실리콘 질화물, 유전체 금속 산화물, 또는 이들의 조합 등의 유전체 재료를 포함한다.

[0206] 이방성 에칭이 수행되어 컨포멀 절연 재료 층의 수평 부분을 제거한다. 하위 레벨 금속 상호접속 구조물(780)의 상단 표면이 이방성 에칭 전에 관통-메모리-레벨 개구(679)의 하단부에서 물리적으로 노출되지 않는 경우, 이방성 에칭은 적어도 하나의 하위 레벨 유전체 층(760)의 추가 재료를 제거하여 하위 레벨 금속 상호접속 구조물(780)의 상단 표면을 물리적으로 노출시킬 수 있다. 이 경우, 컨포멀 절연 재료 층이 이방성 에칭되는 동안 관통-메모리-레벨 개구(679)는 아래쪽으로 연장될 수 있다. 하위 레벨 금속 상호접속 구조물(780)은 이방성 에칭 동안 하나 이상의 관통-메모리-레벨 개구(679)의 하단부에서 물리적으로 노출될 수 있다.

[0207] 배면 컨택트 트렌치(79) 내의 컨포멀 절연 재료 층의 각각의 나머지 부분은 절연 스페이서(74)를 구성한다. 관통-메모리-레벨 개구(679) 내의 컨포멀 절연 재료 층의 각각의 나머지 부분은 절연 라이너(674)를 구성한다. 절연 스페이서(74) 및 절연 라이너(674)는, 전기 도전 층(146, 246)의 형성 후에, 각각, 배면 컨택트 트렌치(79) 및 관통-메모리-레벨 개구(679)에 동시에 형성된다. 배면 캐비티(79')는 각각의 절연 스페이서(74) 내에

Micron Ex. 1002, p. 328
Micron v. YMTC
IPR2025-00245

존재한다. 관통-메모리-레벨 캐비티(679')는 각각의 절연 라이너(674) 내에 존재한다.

[0208] 도 48a 및 도 48b를 참조하면, 적어도 하나의 도전성 재료가 배면 캐비티(79') 및 관통-메모리-레벨 캐비티(679')에 퇴적될 수 있다. 화학적 기계적 평탄화 등의 평탄화 공정에 의해 제1 컨택트 레벨 유전체 층(280)의 상단 표면을 포함하는 수평면 위로부터 적어도 하나의 도전성 재료의 과잉 부분이 제거될 수 있다. 배면 컨택트 트렌치(79) 내의 적어도 하나의 도전성 재료의 각각의 나머지 부분은 측방향으로 길쭉한 컨택트 비아 구조물(76)을 구성한다. 관통-메모리-레벨 개구(679) 내의 적어도 하나의 도전성 재료의 각각의 나머지 부분은 관통-메모리-레벨 비아 구조물(676)을 구성한다. 각각의 관통-메모리-레벨 비아 구조물(676)은 도전성 충전 재료 부분이다. 측방향으로 길쭉한 컨택트 비아 구조물(76) 및 관통-메모리-레벨 비아 구조물(676)은, 배면 컨택트 트렌치(79)에 및 관통-메모리-레벨 개구(679) 내에 동시에 형성될 수 있다.

[0209] 도 49를 참조하면, 드레인 컨택트 비아 구조물(88) 및 워드라인 컨택트 비아 구조물이 제1 내지 제3 실시예에서와 같이 형성될 수 있다. 라인 레벨 유전체 층(110)이 제1 컨택트 레벨 유전체 층(280) 위에 형성될 수 있다. 제1 내지 제3 실시예에서와 같이 라인 레벨 유전체 층(110)에 다양한 금속 상호접속 구조물이 형성될 수 있다. 금속 상호접속 구조물은, 워드라인 컨택트 비아 구조물(86)과 관통-메모리-레벨 비아 구조물(588)의 각각의 쌍에 형성되거나 구조물(588)에 접속된 션트 라인이나 전력 스트랩을 포함하는 상위 레벨 금속 상호접속 구조물(108), 제1 수평 방향 hd1에 수직인 제2 수평 방향을 따라 연장되는 비트라인(103), 및 (도시되지 않은) 소스 접속 라인 구조물을 포함할 수 있다.

[0210] 도 50a 및 도 50b를 참조하면, 제4 예시적인 구조물의 제3 변형예는, 도 44a 및 도 44b에 도시된 제4 예시적인 구조물의 제2 변형과 동일할 수 있지만, 드레인-선택-레벨 얇은 트렌치 격리 구조물(72)을 위한 패턴에서의 선택사항적 수정을 동반한다. 전술된 바와 같이, 제1 계층 교대 스택(132,242), 제2 계층 교대 스택(232,242), 메모리 스택 구조물(55), 및 드레인-선택-레벨 얇은 트렌치 격리 구조물(72)이 형성될 수 있다.

[0211] 도 51a 및 도 51b를 참조하면, 포토레지스트 층(677)이 형성되고, 도 45a 및 도 45b에 도시된 배면 컨택트 트렌치(79)의 패턴없이 관통-메모리-레벨 개구(679)의 패턴만으로 패터닝될 수 있다. 이방성 에칭이 도 45a 및 도 45b의 처리 단계들에서와 같이 수행되어 포토레지스트 층(677) 내의 패턴을 교대 스택(132, 142, 232, 242)을 통해 적어도 하나의 유전체 층(760)의 상위 부분 내로 전사할 수 있다. 관통-메모리-레벨 개구(679)는 반도체 구조물에 배면 컨택트 트렌치를 형성하지 않고 관통-메모리-레벨 영역(600)에 형성된다.

[0212] 도 52a 및 도 52b를 참조하면, 포토레지스트 층(677)은 예를 들어 애싱에 의해 제거될 수 있다. 도 11a 및 도 11b의 처리 단계들이 수행되어 절연 층(132, 232)에 대해 선택적으로 희생 재료 층(142, 242)을 제거할 수 있다. 이 경우, 관통-메모리-레벨 개구(679)는, 절연 층(132, 232)에 대해 선택적으로 희생 재료 층(142, 242)을 에칭하는 에칭제를 도입하는데 이용될 수 있다. 후속해서, 도 12a 및 도 12b의 처리 단계들이 수행되어 전기 도전 층(146, 246)을 형성할 수 있다. 반응물이 관통-메모리-레벨 개구(679)를 통해 도입되어 전기 도전 층(146, 246)을 퇴적할 수 있다. 퇴적된 도전성 재료의 과잉 부분은 에치-백 공정을 이용하여 관통-메모리-레벨 개구(679) 내부로부터 및 제1 컨택트 레벨 유전체 층(280) 위로부터 제거될 수 있다. 따라서, 절연 층들(232, 232) 및 전기 도전 층들(146, 246)의 교대 스택(132, 146, 232, 246)이 형성된다.

[0213] 도 53a 및 도 54b를 참조하면, 컨포멀 절연 재료 층이, 화학적 증착 또는 원자층 퇴적 등의 컨포멀 퇴적 공정에 의해 관통-메모리-레벨 개구(689)에 퇴적된다. 컨포멀 절연 재료 층은, 실리콘 산화물, 실리콘 질화물, 유전체 금속 산화물, 또는 이들의 조합 등의 유전체 재료를 포함한다.

[0214] 이방성 에칭이 수행되어 컨포멀 절연 재료 층의 수평 부분을 제거한다. 하위 레벨 금속 상호접속 구조물(780)의 상단 표면이 이방성 에칭 전에 관통-메모리-레벨 개구(679)의 하단부에서 물리적으로 노출되지 않는 경우, 이방성 에칭은 적어도 하나의 하위 레벨 유전체 층(760)의 추가 재료를 제거하여 하위 레벨 금속 상호접속 구조물(780)의 상단 표면을 물리적으로 노출시킬 수 있다. 이 경우, 컨포멀 절연 재료 층이 이방성 에칭되는 동안 관통-메모리-레벨 개구(679)는 아래쪽으로 연장될 수 있다. 하위 레벨 금속 상호접속 구조물(780)은 이방성 에칭 동안 하나 이상의 관통-메모리-레벨 개구(679)의 하단부에서 물리적으로 노출될 수 있다. 관통-메모리-레벨 개구(679) 내의 컨포멀 절연 재료 층의 각각의 나머지 부분은 절연 라이너(674)를 구성한다. 관통-메모리-레벨 캐비티(679')는 각각의 절연 라이너(674) 내에 존재한다.

[0215] 도 54a 및 도 54b를 참조하면, 적어도 하나의 도전성 재료가 관통-메모리-레벨 캐비티(679')에 퇴적될 수 있다. 화학적 기계적 평탄화 등의 평탄화 공정에 의해 제1 컨택트 레벨 유전체 층(280)의 상단 표면을 포함하는 수평면 위로부터 적어도 하나의 도전성 재료의 과잉 부분이 제거될 수 있다. 관통-메모리-레벨 개구(679) 내의 적

Micron Ex. 1002, p. 329
Micron v. YMTC
IPR2025-00245

어도 하나의 도전성 재료의 각각의 나머지 부분은 관통-메모리-레벨 비아 구조물(676)을 구성한다. 각각의 관통-메모리-레벨 비아 구조물(676)은 도전성 충전 재료 부분이다.

[0216] 도 55a 및 도 55b를 참조하면, 각각의 절연 스페이서(74) 내에 위치한 복수의 절연 스페이서(74) 및 측방향으로 연장되는 컨택트 비아 구조물(76)이 형성될 수 있다. 배면 컨택트 트렌치는, 도 11b에 도시된 패턴을 이용하여 절연 층들(132, 232) 및 전기 도전 층들(146, 246)의 교대 스택(132, 146, 232, 246)을 통해 형성될 수 있다. 절연 스페이서(74)는 유전체 재료의 퇴적 및 이방성 에칭에 의해 형성될 수 있다. 소스 영역(61)은 각각의 배면 컨택트 트렌치 아래에 형성될 수 있다. 측방향으로 연장되는 컨택트 비아 구조물(76)은, 적어도 하나의 도전성 재료의 퇴적 및 평탄화 공정을 이용한 적어도 하나의 도전성 재료의 과잉 부분의 제거에 의해 형성될 수 있다.

[0217] 후속해서, 드레인 컨택트 비아 구조물(88) 및 워드라인 컨택트 비아 구조물이 제1 내지 제3 실시예에서와 같이 형성될 수 있다. 라인 레벨 유전체 층(110)이 제1 컨택트 레벨 유전체 층(280) 위에 형성될 수 있다. 제1 내지 제3 실시예에서와 같이 라인 레벨 유전체 층(110)에 다양한 금속 상호접속 구조물이 형성될 수 있다. 금속 상호접속 구조물은, 워드라인 컨택트 비아 구조물(86)과 관통-메모리-레벨 비아 구조물(588)의 각각의 쌍에 형성되거나 구조물(588)에 접속된 션트 라인이나 전력 스트랩을 포함하는 상위 레벨 금속 상호접속 구조물(108), 제1 수평 방향에 수직인 제2 수평 방향을 따라 연장되는 비트라인(103), 및 (도시되지 않은) 소스 접속 라인 구조물을 포함할 수 있다.

[0218] 도 56a 및 도 56b를 참조하면, 제4 예시적인 구조물의 제4 변형예는, 도 13a 및 도 13b에 도시된 제1 예시적인 구조물, 또는 도 13a 및 도 13b의 처리 단계들에 대응하는 전술된 제2, 제3 및 제4 예시적인 구조물 또는 그 변형 중 임의의 것으로부터 도출될 수 있다.

[0219] 그 각각의 중심 영역에서 메모리 스택 구조물(55)을 포함하지 않는 관통-메모리-레벨 비아의 영역(600)들이 메모리 어레이 영역(100) 내에 형성될 수 있다. 각각의 관통-메모리-레벨 비아 영역(600)은 완전히 블록(B1, B2 등) 내에 형성될 수 있다. 더미 메모리 스택 구조물(55D)은 관통-메모리-레벨 비아 영역(600)의 주변부에 제공될 수 있다. 더미 메모리 스택 구조물(55)은 반도체 구조물의 활성 컴포넌트가 아니지만, 배면 오목부(143, 243)의 형성 동안에 구조적 지지를 제공하기 위해 이용된다. 관통-메모리-레벨 비아 영역(600)은, 제1, 제2, 및 제3 실시예의 관통-메모리-레벨 비아 영역(400)을 형성하지 않고 형성될 수 있거나, 동일한 메모리-레벨 어셈블리를 통해 제1, 제2, 및 제3 실시예의 관통-메모리-레벨 비아 영역(400)에 추가하여 형성될 수 있다.

[0220] 도 57a 및 도 57b를 참조하면, 포토레지스트 층(677)이 형성되고 도 51a 및 도 51b에 도시된 관통-메모리-레벨 개구(679)의 패턴으로 패터닝될 수 있다. 이방성 에칭이 수행되어 포토레지스트 층(677) 내의 패턴을 교대 스택(132, 146, 232, 246)을 통해 적어도 하나의 유전체 층(760)의 상위 부분 내로 전사할 수 있다. 관통-메모리-레벨 개구(679)는 관통-메모리-레벨 영역(600)에 형성되는 반면, 복수의 측방향으로 연장되는 컨택트 비아 구조물(76) 및 절연 스페이서(74)는 반도체 구조물 내에 존재한다. 하래에 놓인 하위 레벨 금속 상호접속 구조물(780)의 상단 표면은 관통-메모리-레벨 개구(679)의 하단에서 물리적으로 노출될 수 있다.

[0221] 도 58a 및 도 58b를 참조하면, 도 53a 및 도 53b의 처리 단계들은 수행되어 각각의 관통-메모리-레벨 캐비티(679')를 측방향으로 둘러싸는 절연 라이너(674)를 형성할 수 있다.

[0222] 도 59a 및 도 59b를 참조하면, 드레인 컨택트 비아 구조물(88) 및 워드라인 컨택트 비아 구조물이 제1 내지 제3 실시예에서와 같이 형성될 수 있다. 라인 레벨 유전체 층(110)이 제1 컨택트 레벨 유전체 층(280) 위에 형성될 수 있다. 제1 내지 제3 실시예에서와 같이 라인 레벨 유전체 층(110)에 다양한 금속 상호접속 구조물이 형성될 수 있다. 금속 상호접속 구조물은, 워드라인 컨택트 비아 구조물(86)과 관통-메모리-레벨 비아 구조물(588)의 각각의 쌍에 형성되거나 구조물(588)에 접속된 션트 라인이나 전력 스트랩을 포함하는 상위 레벨 금속 상호접속 구조물(108), 제1 수평 방향에 수직인 제2 수평 방향을 따라 연장되는 비트라인(103), 및 (도시되지 않은) 소스 접속 라인 구조물을 포함할 수 있다.

[0223] 도 60을 참조하면, 본 개시내용의 제4 실시예에 따른 제4 예시적인 구조물의 제5 변형예가 도시되어 있고, 이것은, 드레인-컨택트-레벨의 얇은 트렌치 격리 구조물(72)을 분할하지 않는 방식으로 관통-메모리-레벨 개구(679)를 패터닝함으로써 제4 예시적인 구조물의 제2, 제3 및 제4 변형 중 임의의 것으로부터 도출될 수 있다. 이 경우, 관통-메모리-레벨 비아 구조물(676)은 2차원 어레이로서 형성될 수 있다.

[0224] 도 61a 및 도 61b를 참조하면, 제3 예시적인 구조물의 제2 변형예가 도 10a 및 도 10b의 구조물 또는 도 22의 구조물로부터 도출될 수 있다. 메모리 스택 구조물(55) 및 제1 컨택트 레벨 유전체 층(280)은 전술된 방법들

Micron Ex. 1002, p. 330
Micron v. YMTC
IPR2025-00245

중 임의의 것을 이용하여 형성될 수 있다.

[0225] 도 62a 및 도 62b를 참조하면, 도 34a 및 도 34b의 처리 단계들이 수행되어 메모리-레벨 어셈블리를 통해 배면 컨택트 트렌치(79) 및 해자 트렌치(579)를 동시에 형성할 수 있다. 이 실시예에서, 해자 트렌치(579)의 위치는, 메모리 어레이 영역(100) 외부, 및 제1, 제2 및 제3 실시예의 관통-메모리-레벨 비아 영역(400)과 동일한 위치를 가질 수 있는, 각각의 관통-메모리-레벨 비아 영역(400) 내에 있도록 선택된다.

[0226] 예를 들어, 포토레지스트 층은 제1 컨택트 레벨 유전체 층(280) 위에 형성될 수 있고, 리소그래픽 패터닝되어, 이전 실시예들에서와 같이 배면 컨택트 트렌치(79)의 패턴 및 해자 트렌치(579)의 패턴을 포함하는 개구를 형성할 수 있다. 이방성 에칭이 수행되어 메모리-레벨 어셈블리를 통해 패터닝된 포토레지스트 층의 패턴을 전사함으로써, 배면 컨택트 트렌치(79) 및 해자 트렌치(579)를 형성할 수 있다. 포토레지스트 층은, 예를 들어, 애싱에 의해, 후속해서 제거될 수 있다. 각각의 해자 트렌치(579)는 그 외주 내에 관통-메모리-레벨 비아 영역(400)의 구역을 포함할 수 있다.

[0227] 도 63a 내지 도 63c를 참조하면, 도 35a 및 도 35b, 도 36a 및 도 36b, 도 37a 및 도 37b, 도 38a 및 도 38b, 도 39a 및 도 39b 및 도 40의 처리 단계들이 순차적으로 수행되어, 메모리-레벨 어셈블리를 통해 복수의 측방향으로 길쭉한 컨택트 비아 구조물(76)을 형성하고, 메모리-레벨 어셈블리를 통해 수직으로 연장되는 절연 해자 트렌치 구조물(572, 574, 576)로 각각의 해자 트렌치(579)를 채울 수 있다. 관통-메모리-레벨 비아 구조물(488)은, 각각의 절연 해자 트렌치 구조물(572, 573, 576)에 의해 측방향으로 에워싸인 각각의 유전체 재료 어셈블리를 통해 형성될 수 있다. 각각의 유전체 재료 어셈블리는, 절연 층들(132, 232) 및 스페이서 유전체 층들(142, 242)의 적어도 하나의 교대 스택, 제2 계층 역-계단형 유전체 재료 부분(265), 및 선택사항적인 제1 계층 역-계단형 유전체 재료 부분(165)을 포함할 수 있다.

[0228] 다양한 컨택트 비아 구조물(88, 86), 라인 레벨 유전체 층(110), 및 라인 레벨 유전체 층(110)을 통해 연장되는 다양한 금속 상호접속 구조물 및 비트라인(103)이 형성될 수 있다. 금속 상호접속 구조물은 상위 레벨 금속 상호접속 구조물(108)을 포함할 수 있다. 한 실시예에서, 상위 레벨 금속 상호접속 구조물(108)의 서브셋은 워드라인 컨택트 비아 구조물(86) 및 관통-메모리-레벨 비아 구조물(488)의 각각의 쌍에 전기적으로 결합될 수 있다(예를 들어, 각각의 쌍에 형성되거나 이와 물리적으로 접촉할 수 있다). 비트라인(103)은 제1 수평 방향 hd1에 수직인 제2 수평 방향 hd2를 따라 연장된다. 워드라인 상호접속 구조물(106)은 관통-메모리-레벨 비아 구조물(488)에 전기적으로 단락되는 상위 레벨 금속 상호접속 구조물(108)의 부분을 포함하거나, 및/또는 메모리 어레이 영역(100) 내의 메모리 스택 구조물(55)의 워드라인을 구동하기 위한 주변 회로에 접속된 금속 라인을 포함할 수 있다. 대안으로서 또는 추가적으로, 관통-메모리-레벨 비아 구조물(488)의 적어도 한 서브셋은 전원 전압, 전기적 접지 제공 등의 상이한 목적들에 이용될 수 있다.

[0229] 도 64를 참조하면, 제3 예시적인 구조물의 제3 변형예는, 도 41 및 도 42의 처리 단계들을 수행하여 각각이 한 쌍의 절연 라이너(572) 및 절연 재료 충전 부분(575)을 포함하는 절연 해자 트렌치 구조물들(572, 575)을 형성함으로써 제3 예시적인 구조물의 제2 변형예로부터 도출될 수 있다.

[0230] 도 65a 및 도 65b를 참조하면, 제4 예시적인 구조물의 제6 변형예는, 도 44b에 도시된 관통-메모리-레벨 비아 영역(600) 내에 제1 계층 해자 트렌치를 형성함으로써, 도 24a 및 도 24b의 제3 예시적인 구조물로부터 도출될 수 있다. 희생 해자 트렌치 충전 부분(141)은 도 24a 및 도 24b의 처리 단계들을 이용하여 제1 계층 해자 트렌치에 형성될 수 있다.

[0231] 도 66a 및 도 66b를 참조하면, 도 25a, 도 25b, 도 26a 및 도 26b의 처리 단계들을 수행함으로써 제2 계층 교대 스택(232, 242) 및 메모리 스택 구조물(55) 및 더미 메모리 스택 구조물(155)이 형성된다. 더미 메모리 스택 구조물(155)은, 더미 메모리 스택 구조물(155)의 내부와 외부 사이에 전기적 격리를 제공하는 절연 해자 트렌치 구조물이다.

[0232] 도 67a 및 도 67b를 참조하면, 도 27a 및 도 27b의 처리 단계들 및 도 28a 및 도 28b의 처리 단계들의 서브셋이 수행되어 배면 오목부(143, 243)를 형성할 수 있다.

[0233] 도 68a 및 도 68b를 참조하면, 도 28a 및 도 28b의 처리 단계들의 상보적인 서브셋이 수행되어 관통-메모리-레벨 비아 영역(600) 외부에 전기 도전 층(146, 246)을 형성할 수 있다. 절연 스페이서(74) 및 측방향으로 연장되는 컨택트 비아 구조물(76)은 배면 컨택트 트렌치(79)에 형성될 수 있다.

[0234] 도 69a 및 도 69b를 참조하면, 적어도 하나의 관통-메모리-레벨 개구가 각각의 관통-메모리-레벨 비아 영역(600)의 구역 내의 메모리-레벨 어셈블리를 통해 형성된다. 관통-메모리-레벨 비아 영역(600)의 구역들에서 개

Micron Ex. 1002, p. 331
Micron v. YMTC
IPR2025-00245

구를 포함하는 리소그래픽 패터닝된 마스크는, 도 2 및 도 7의 처리 단계들에서 처음 형성되는 적어도 하나의 교대 스택(132, 142, 232, 242)의 재료 및 적어도 하나의 하위 레벨 유전체 층(760)의 재료를 에칭하는 이방성 에칭 동안 이용될 수 있다. 하위 레벨 금속 상호접속 구조물(780)의 상단 표면은 각각의 관통-메모리-레벨 개구의 하단에서 물리적으로 노출될 수 있다. 도전성 재료가 관통-메모리-레벨 캐비티에 퇴적되고, 도전성 재료의 과잉 부분이 제1 컨택트 레벨 유전체 층(280)의 상단 표면을 포함하는 수평면 위로부터 제거될 수 있다. 관통-메모리-레벨 개구 내의 도전성 재료의 각각의 나머지 부분은, 각각의 아래에 놓인 하위 레벨 금속 상호접속 구조물(780)과 접촉할 수 있는 관통-메모리-레벨 비아 구조물(588)을 구성한다.

[0235] 한 실시예에서, 적어도 하나의 관통-메모리-레벨 비아 구조물(588)이 한 블록 내의 관통-메모리-레벨 비아 영역(600)에 형성될 수 있다. 관통-메모리-레벨 비아 영역(600)은 한 쌍의 측방향으로 길쭉한 컨택트 비아 구조물(76)들 사이에, 및 블록 내에 위치한 메모리 스택 구조물(55)들의 2개 그룹 사이에 제공될 수 있다. 관통-메모리-레벨 비아 영역(600)은 관통-메모리-레벨 비아 구조물(588)을 포함할 수 있다. 적어도 하나의 관통-메모리-레벨 비아 구조물(588) 각각은 메모리-레벨 어셈블리를 통해 수직으로 연장된다.

[0236] 드레인 컨택트 비아 구조물(88) 및 워드라인 컨택트 비아 구조물이 제1 내지 제3 실시예에서와 같이 형성될 수 있다. 라인 레벨 유전체 층(110)이 제1 컨택트 레벨 유전체 층(280) 위에 형성될 수 있다. 제1 내지 제3 실시예에서와 같이 라인 레벨 유전체 층(110)에 다양한 금속 상호접속 구조물이 형성될 수 있다. 금속 상호접속 구조물은, 워드라인 컨택트 비아 구조물(86)과 관통-메모리-레벨 비아 구조물(588)의 각각의 쌍에 형성되거나 구조물(588)에 접속된 셀프 라인이나 전력 스트랩을 포함하는 상위 레벨 금속 상호접속 구조물(108), 제1 수평 방향 hd1에 수직인 제2 수평 방향 hd2를 따라 연장되는 비트라인(103), 및 (도시되지 않은) 소스 접속 라인 구조물을 포함할 수 있다.

[0237] 도 70a 및 도 70b를 참조하면, 제4 예시적인 구조물의 제7 변형예는 도 10a 및 도 10b에 도시된 제1 예시적인 구조물로부터 도출될 수 있다. 메모리 스택 구조물(55) 및 제1 컨택트 레벨 유전체 층(280)은 전술된 방법들을 이용하여 형성될 수 있다. 지지 기둥 구조물(171, 271)의 패턴은 후속하여 형성될 관통-메모리-레벨 비아 구조물의 구역을 피하도록 수정될 수 있다.

[0238] 도 71a 및 도 71b를 참조하면, 포토레지스트 층이 형성되고 리소그래픽 패터닝되어 전술된 배면 컨택트 트렌치(79)의 패턴 및 각각의 관통-메모리-레벨 비아 영역(400)에 형성될 관통-메모리-레벨 비아 구조물의 패턴을 포함하는 개구를 형성한다. 포토레지스트 층 내의 패턴이 메모리-레벨 어셈블리를 통해 전사되어 배면 컨택트 트렌치(79)와 관통-메모리-레벨 비아 캐비티(479)를 동시에 형성한다. 한 실시예에서, 이방성 에칭은 적어도 하나의 하위 레벨 유전체 층(760)의 물리적으로 노출된 부분의 에칭을 가능하게 하기 위해 평면 반도체 층(10)의 반도체 재료에 대해 선택적일 수 있다. 한 실시예에서, 하위 레벨 금속 상호접속 구조물(780)의 상단 표면은 관통-메모리-레벨 비아 캐비티(479)의 하단에서 물리적으로 노출될 수 있다.

[0239] 도 72a 및 도 72b를 참조하면, 도 52a 및 도 52b의 처리 단계들은 수행되어 희생 재료 층(142, 242)을 전기 도전 층(146, 246)으로 대체할 수 있다. 관통-메모리-레벨 비아 캐비티(479) 및 배면 컨택트 트렌치(79) 각각은, 희생 재료 층(142, 242)의 재료를 제거하여 배면 오목부(143, 243)를 형성하는 에칭제를 제공하고 전기 도전 층(146, 246)의 도전성 재료를 퇴적시키는 반응물을 제공하기 위해 이용된다.

[0240] 도 73a 내지 도 73c를 참조하면, (실리콘 산화물 등의) 유전체 재료를 포함하는 컨포멀 절연 재료 층이 퇴적되고 이방성 에칭되어, 관통-메모리-레벨 비아 캐비티(479) 내의 절연 라이너(474) 및 배면 컨택트 트렌치(79) 내의 절연 스페이서(74)를 동시에 형성할 수 있다. 소스 영역(61)은 평면 반도체 재료 층(10)의 물리적으로 노출된 부분에 전기 도펀트를 주입함으로써 형성될 수 있다. 관통-메모리-레벨 비아 구조물(476)은 관통-메모리-레벨 비아 캐비티(479)의 각각의 나머지 체적에 형성될 수 있고, 측방향으로 연장되는 컨택트 비아 구조물(76)은, TiN 및 W 등의 적어도 하나의 도전성 재료의 퇴적 및 평탄화에 의해 배면 컨택트 트렌치(79)의 각각의 나머지 체적에 형성될 수 있다. 전술된 방법을 이용하여 다양한 컨택트 비아 구조물(86, 88)이 형성될 수 있다.

[0241] 도 74를 참조하면, 라인 레벨 유전체 층(110), 및 라인 레벨 유전체 층(110)을 통해 연장되는 다양한 금속 상호접속 구조물 및 비트라인(103)이 형성될 수 있다. 금속 상호접속 구조물은 상위 레벨 금속 상호접속 구조물(108)을 포함할 수 있다. 한 실시예에서, 상위 레벨 금속 상호접속 구조물(108)의 서브셋은 워드라인 컨택트 비아 구조물(86) 및 관통-메모리-레벨 비아 구조물(476)의 각각의 쌍에 전기적으로 결합될 수 있다(예를 들어, 각각의 쌍에 형성되거나 이와 물리적으로 접촉할 수 있다). 비트라인(103)은 제1 수평 방향 hd1에 수직인 제2 수평 방향 hd2를 따라 연장된다. 워드라인 상호접속 구조물은 관통-메모리-레벨 비아 구조물(476)에 전기적으로 단락되는 상위 레벨 금속 상호접속 구조물(108)의 부분을 포함하거나, 및/또는 메모리 어레이 영역(100) 내

Micron Ex. 1002, p. 332
Micron v. YMTC
IPR2025-00245

의 메모리 스택 구조물(55)의 워드라인을 구동하기 위한 주변 회로에 접속된 금속 라인을 포함할 수 있다. 대안으로서 또는 추가적으로, 관통-메모리-레벨 비아 구조물(476)의 적어도 한 서브셋은 전원 전압, 전기적 접지 제공 등의 상이한 목적들에 이용될 수 있다.

[0242] 도 75a 및 도 75b를 참조하면, 제4 예시적인 구조물의 제8 변형예는, 배면 컨택트 트렌치(79)의 형성을 절연 라이너(474) 및 관통-메모리-레벨 비아 구조물(476)의 형성 후까지 연기함으로써, 도 70a 및 도 70b의 제4 예시적인 구조물의 제7 변형예로부터 도출될 수 있다.

[0243] 도 76을 참조하면, 배면 컨택트 트렌치(79), 절연 스페이서(74), 소스 영역(61), 측방향으로 연장되는 컨택트 비아 구조물(76), 추가 컨택트 비아 구조물(88), 라인 레벨 유전체 층(110), 및 이를 통해 연장되는 다양한 금속 상호접속 구조물(108) 및 비트라인(103)이 형성될 수 있다.

[0244] 제4 예시적인 구조물 또는 그 변형예의 다양한 관통-메모리-레벨 비아 구조물(588, 676)이 이용되어 메모리 어레이 영역(100)의 선택된 구역 내부에 수직 전기 도전성 경로를 제공할 수 있다. 관통-메모리-레벨 비아 구조물(588, 676)은 전력 분배망의 일부로서 이용될 수 있거나, 신호 경로를 단축하여 그에 따라 신호 손실 및 용량성 결합을 최소화하는 방식으로 3차원 메모리 디바이스에 대한 다양한 제어 신호를 제공하는데 이용될 수 있다.

[0245] 제4 예시적인 구조물 또는 그 임의의 변형예는, 반도체 기판(9) 위에 위치하고 전기 도전 층들(146, 246) 및 절연 층들(132, 232)의 제1 부분들의 적어도 하나의 교대 스택을 포함하고, 상기 적어도 하나의 교대 스택을 통해 수직으로 연장되는 메모리 스택 구조물(55)을 더 포함하는 메모리-레벨 어셈블리를 포함하는, 반도체 구조물을 포함할 수 있다. 메모리 스택 구조물(55)들 각각은 메모리 막(50) 및 수직 반도체 채널(60)을 포함한다. 전기 도전 층(146, 246)은 메모리 스택 구조물(55)을 위한 워드라인을 구성한다. 복수의 측방향으로 길쭉한 컨택트 비아 구조물(76)은 메모리-레벨 어셈블리를 통해 수직으로 연장되고, 제1 수평 방향 hd1을 따라 측방향으로 연장되며, 적어도 하나의 교대 스택을 메모리-레벨 어셈블리 내의 복수의 측방향으로 이격된 블록들(B1, B2, B3, ...)로 측방향으로 분할한다. 적어도 하나의 관통-메모리-레벨 비아 구조물(588, 676)은 한 블록 내의 관통-메모리-레벨 비아 영역(400)에 위치한다. 관통-메모리-레벨 비아 영역(400)은, 한 쌍의 측방향으로 길쭉한 컨택트 비아 구조물(76)들 사이에, 및 블록 내에 위치한 메모리 스택 구조물(55)들의 2개 그룹 사이에 위치한다. 적어도 하나의 관통-메모리-레벨 비아 구조물(588, 676) 각각은 메모리-레벨 어셈블리를 통해 수직으로 연장된다.

[0246] 반도체 디바이스는 반도체 기판(9) 상에 위치할 수 있다. 하위 레벨 금속 상호접속 구조물(680)은 반도체 디바이스의 노드에 전기적으로 단락될 수 있고, 반도체 기판(9) 위에 놓인 적어도 하나의 하위 레벨 유전체 층(760)에 매립될 수 있다. 하위 레벨 금속 상호접속 구조물(680)은 적어도 하나의 관통-메모리-레벨 비아 구조물(588, 676)과 접촉할 수 있다. 평면 반도체 재료 층(10)은 적어도 하나의 하위 레벨 유전체 층(760) 위에 놓일 수 있고, 메모리 스택 구조물(55) 내의 수직 반도체 채널(60)에 전기적으로 접속된 수평 반도체 채널(58)을 포함할 수 있다.

[0247] 한 실시예에서, 적어도 하나의 관통-메모리-레벨 비아 구조물(676) 각각은, 각각의 절연 라이너(674)에 의해 전기 도전 층(146, 246)으로부터 측방향으로 전기적으로 격리될 수 있다. 한 실시예에서, 적어도 하나의 관통-메모리-레벨 비아 구조물(588, 676)의 각각의 측벽의 하단 부분은 적어도 하나의 하위 레벨 유전체 층(760)과 물리적으로 접촉한다. 일부 실시예에서, 각각의 절연 라이너(674)는 도 49에 도시된 바와 같이 절연 라이너(674)에 의해 에워싸인 각각의 관통-메모리-레벨 비아 구조물(676)보다 작은 수직 범위를 가질 수 있다.

[0248] 한 실시예에서, 복수의 측방향으로 길쭉한 컨택트 비아 구조물(76) 각각은 절연 스페이서(74)에 의해 적어도 하나의 교대 스택(132, 246, 232, 246)으로부터 측방향으로 전기적으로 격리된다. 한 실시예에서, 적어도 하나의 관통-메모리-레벨 비아 구조물(676) 각각은, 절연 스페이서(74)와 동일한 재료 조성 및 동일한 두께를 갖는 절연 라이너(674)에 의해 적어도 하나의 교대 스택(132, 246, 232, 246)으로부터 측방향으로 전기적으로 격리된다.

[0249] 평면 반도체 재료 층(10)은 반도체 기판(9) 위에 놓일 수 있고, 메모리 스택 구조물(55) 내의 수직 반도체 채널(60)에 접속된 수평 반도체 채널(58)을 포함할 수 있다. 적어도 하나의 관통-메모리-레벨 비아 구조물(588, 686)은 평면 반도체 재료 층(10)의 개구를 통해 연장될 수 있다. 한 실시예에서, 복수의 측방향으로 길쭉한 컨택트 비아 구조물(76)은 평면 반도체 재료 층(10)의 상단 표면에서 종단될 수 있다. 복수의 측방향으로 길쭉한 컨택트 비아 구조물(76)은 평면 반도체 재료 층(10) 내에 위치한 각각의 수평 채널(58)과 접촉하는 각각의 아래에 놓인 소스 영역(61)과 접촉하는 소스 라인을 포함할 수 있다.

Micron Ex. 1002, p. 333
Micron v. YMTC
IPR2025-00245

[0250] 일부 실시예에서, 적어도 하나의 제2 교대 스택(132, 142, 232, 242)은 관통-메모리-레벨 비아 영역(400)에 위치할 수 있다. 적어도 하나의 제2 교대 스택(132, 142, 232, 242)은, 유전체 스페이서 층들(142, 242)과 절연 층들(132, 232)의 제2 부분의 교대 층들을 포함하고, 유전체 스페이서 층들(142, 242) 각각은 각각의 전기 도전 층(146, 246)과 동일한 레벨에 위치한다. 관통-메모리-레벨 비아 영역(400)은, 적어도 하나의 제2 교대 스택(132, 142, 232, 242)을 측방향으로 에워싸는 절연 해자 트렌치 구조물{(572, 574, 576), (572, 575)}을 포함할 수 있다.

[0251] 절연 해자 트렌치 구조물{(572, 574, 576), (572, 575)}의 내측 측벽과 적어도 하나의 관통-메모리-레벨 비아 구조물(588)의 측벽은 적어도 하나의 제2 교대 스택(132, 142, 232, 242)과 물리적으로 접촉한다.

[0252] 한 실시예에서, 절연 해자 트렌치 구조물(572, 574, 576)은 외측 절연 라이너(572) 및 내측 절연 라이너(574)를 포함할 수 있다. 복수의 측방향으로 길쭉한 컨택트 비아 구조물(76)들 각각은 내측 절연 라이너(574)와 동일한 조성 및 동일한 두께를 갖는 유전체 재료를 포함하는 절연 스페이서(74)에 의해 측방향으로 둘러싸일 수 있다.

[0253] 한 실시예에서, 절연 해자 트렌치 구조물(572, 574, 576)은 복수의 측방향으로 길쭉한 컨택트 비아 구조물(76)과 동일한 재료 조성을 갖는 도전성 충전 부분(576)을 포함할 수 있다.

[0254] 한 실시예에서, 절연 해자 트렌치 구조물(572, 575)은 외부 절연 라이너(572) 및 내측 절연 충전 부분(565)으로 구성될 수 있고, 복수의 측방향으로 길쭉한 컨택트 비아 구조물(76)들 각각은 내측 절연 충전 부분(574)과 동일한 유전체 재료를 포함하는 절연 스페이서(74)에 의해 측방향으로 둘러싸일 수 있다.

[0255] 예시적인 구조물들 및 변형예들 각각은 3차원 메모리 구조물을 포함할 수 있다. 메모리 스택 구조물(55)은 수직 NAND 디바이스의 메모리 요소들을 포함할 수 있다. 전기 도전 층들(146, 246)은, 수직 NAND 디바이스의 각각의 워드라인을 포함할 수 있거나, 이에 전기적으로 접속될 수 있다. 반도체 기판(9)은 실리콘 기판을 포함할 수 있다. 수직 NAND 디바이스는 실리콘 기판 위에 모놀리식 3차원 NAND 스트링들의 어레이를 포함할 수 있다. 모놀리식 3차원 NAND 스트링들의 어레이의 제1 디바이스 레벨에서의 적어도 하나의 메모리 셀은, 모놀리식 3차원 NAND 스트링들의 어레이의 제2 디바이스 레벨에서의 또 다른 메모리 셀 위에 위치한다. 실리콘 기판은, 메모리 디바이스를 위한 워드라인 구동기 회로 및 비트라인 구동기 회로를 포함하는 집적 회로를 포함할 수 있다. 모놀리식 3차원 NAND 스트링들의 어레이는, 복수의 반도체 채널 …복수의 반도체 채널(58, 11, 60) 각각의 (수직 반도체 채널(60) 등의) 적어도 하나의 끝 부분은 반도체 기판(9)의 상단 표면에 실질적으로 수직으로 연장됨…, (각각의 워드라인 레벨에 위치한 메모리 재료 층(54)의 부분들로 구현된) 복수의 전하 저장 요소 …각각의 전하 저장 요소는 복수의 반도체 채널(58, 11, 60) 중의 각각의 것에 인접하게 위치함…, 및 (반도체 기판(9)의 상단 표면에 실질적으로 평행하게 (예를 들어, 제1 수평 방향 hd1을 따라) 연장되는 스트립 형상을 갖는 전기 도전 층들(146, 246)의 서브셋으로서 구현된) 복수의 제어 게이트 전극 …복수의 제어 게이트 전극들은, 적어도, 제1 디바이스 레벨에 위치한 제1 제어 게이트 전극 및 제2 디바이스 레벨에 위치하는 제2 제어 게이트 전극을 포함함… 을 포함할 수 있다.

[0256] 전술된 영역들(400, 500 및/또는 600)에 위치한 비아 컨택트 구조물은 메모리 어레이 아래에 배치된 구동기 회로 디바이스들에 전기적 접촉을 제공하여 기판에 대한 전체 디바이스 크기/풋프린트를 감소시키고, 종래 기술에서 완전히 이용되지 않은 디바이스 구역을 이용하여 디바이스 비용을 감소시킨다.

[0257] 전술된 내용이 특정한 실시예들을 참조하고 있지만, 본 개시내용은 이것으로 제한되지 않는다는 것을 이해할 것이다. 본 기술분야의 통상의 기술자라면, 개시된 실시예들에 대해 다양한 수정이 이루어질 수 있고 이러한 수정은 본 개시내용의 범위 내에 있다는 것을 이해할 것이다. 특정한 구조물 및/또는 구성을 이용하는 실시예가 본 개시내용에 예시되어 있지만, 본 개시내용은, 기능적으로 동등한 기타 임의의 호환되는 구조물 및/또는 구성들에 의한 대체가 명백하게 금지되거나 본 기술분야의 통상의 기술자에게 불가능한 것으로 알려지지 않는 한, 이런 기능적으로 동등한 기타 임의의 호환되는 구조물 및/또는 구성들에 의해 실시될 수 있다는 것을 이해할 것이다. 본 출원에 인용된 모든 간행물, 특허 출원, 및 특허는 그 전체가 참조로 본 명세서에 포함된다.

Micron Ex. 1002, p. 334
Micron v. YMTC
IPR2025-00245