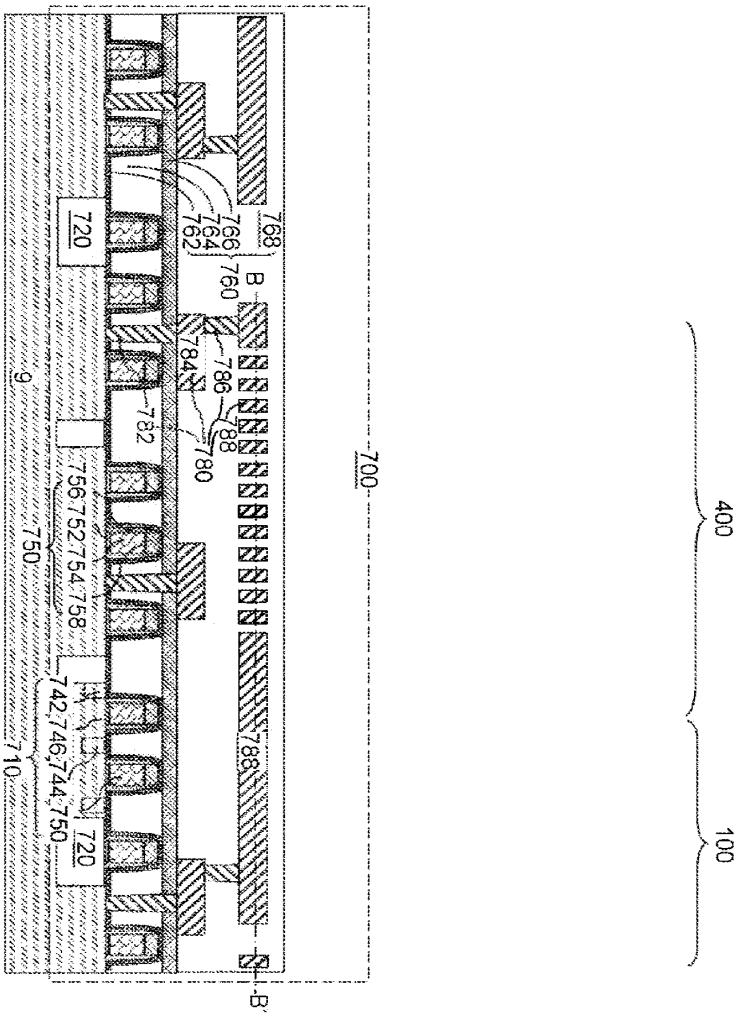
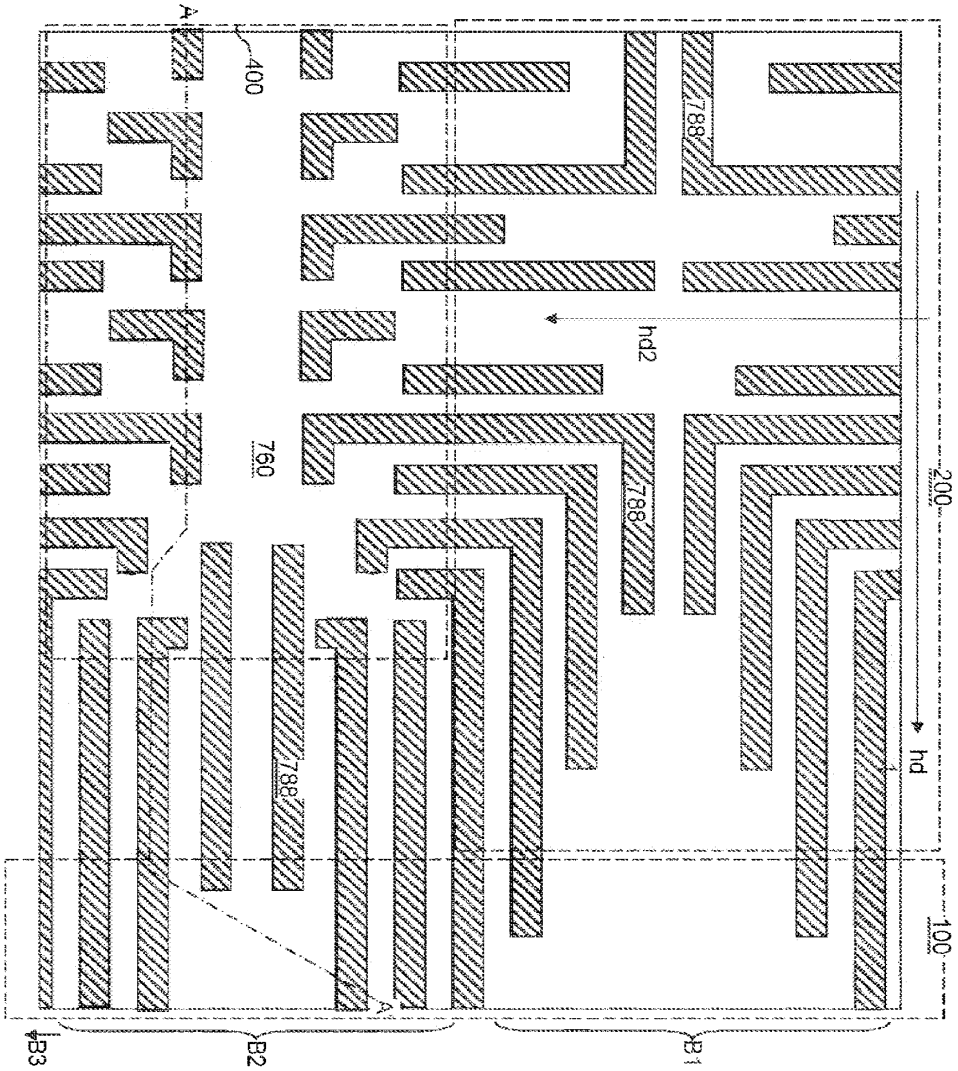
도면

도면1a



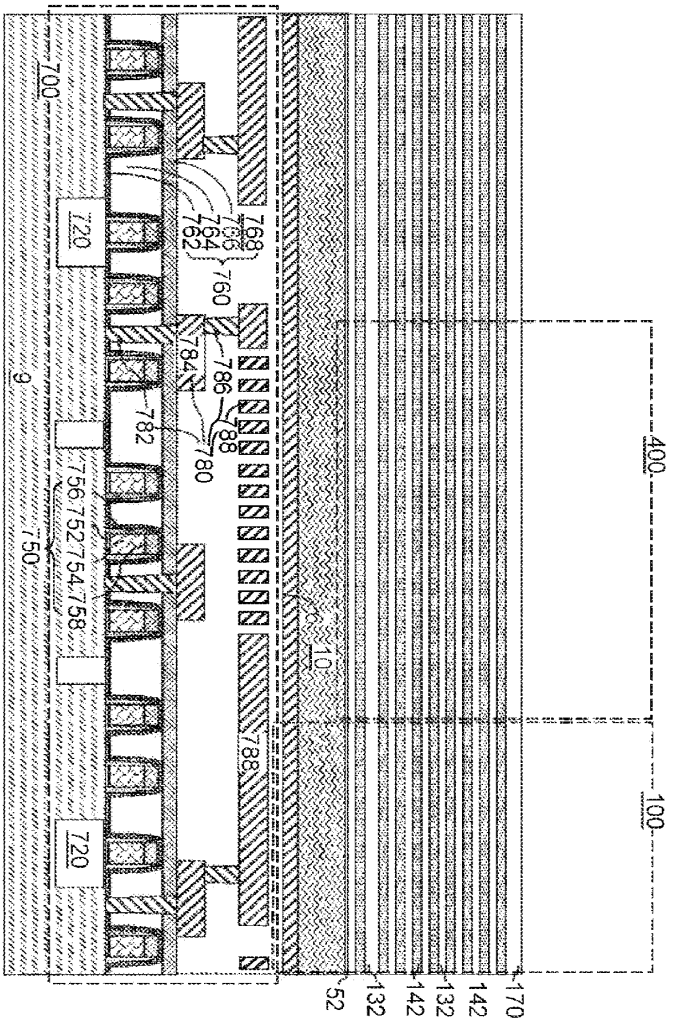
Micron Ex. 1002, p. 335
Micron v. YMTC
IPR2025-00245

도면1b



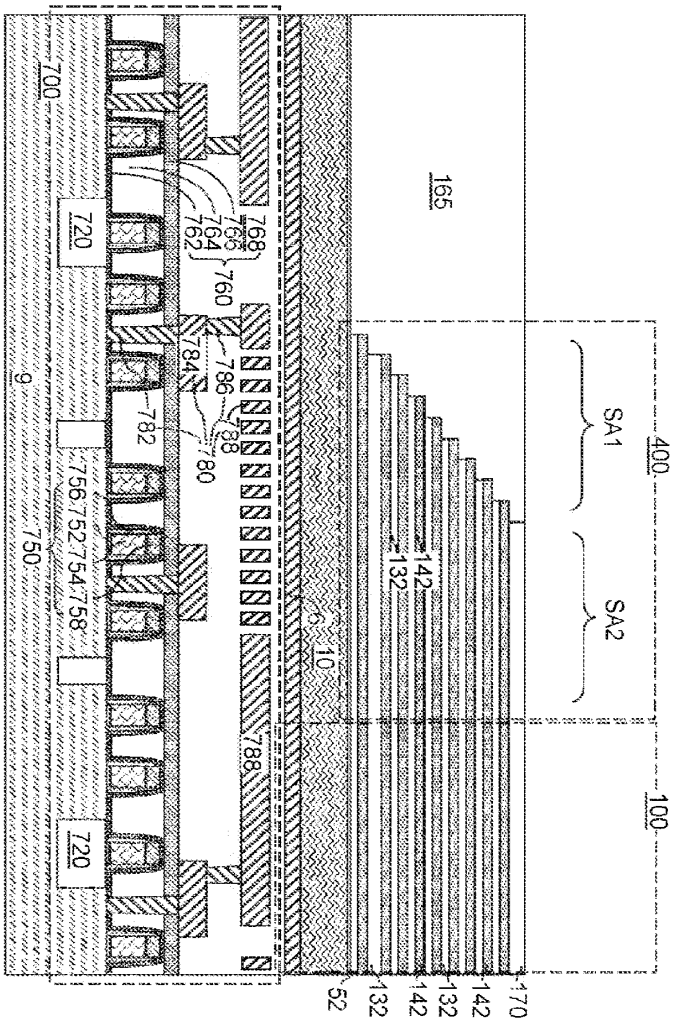
Micron Ex. 1002, p. 336
Micron v. YMTC
IPR2025-00245

도면2



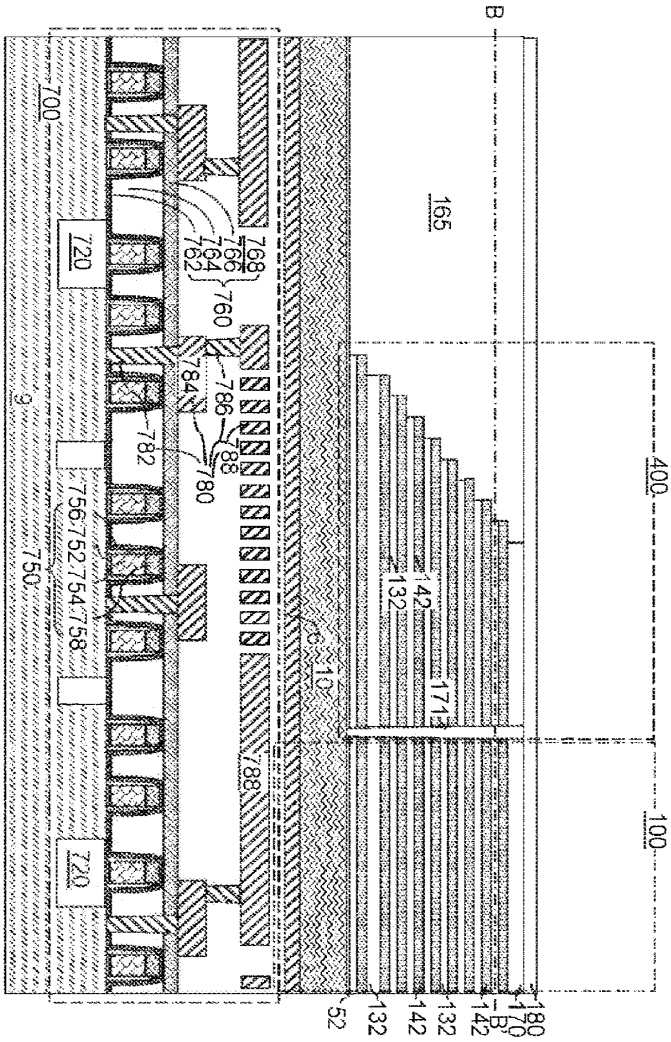
Micron Ex. 1002, p. 337
Micron v. YMTC
IPR2025-00245

도 8B



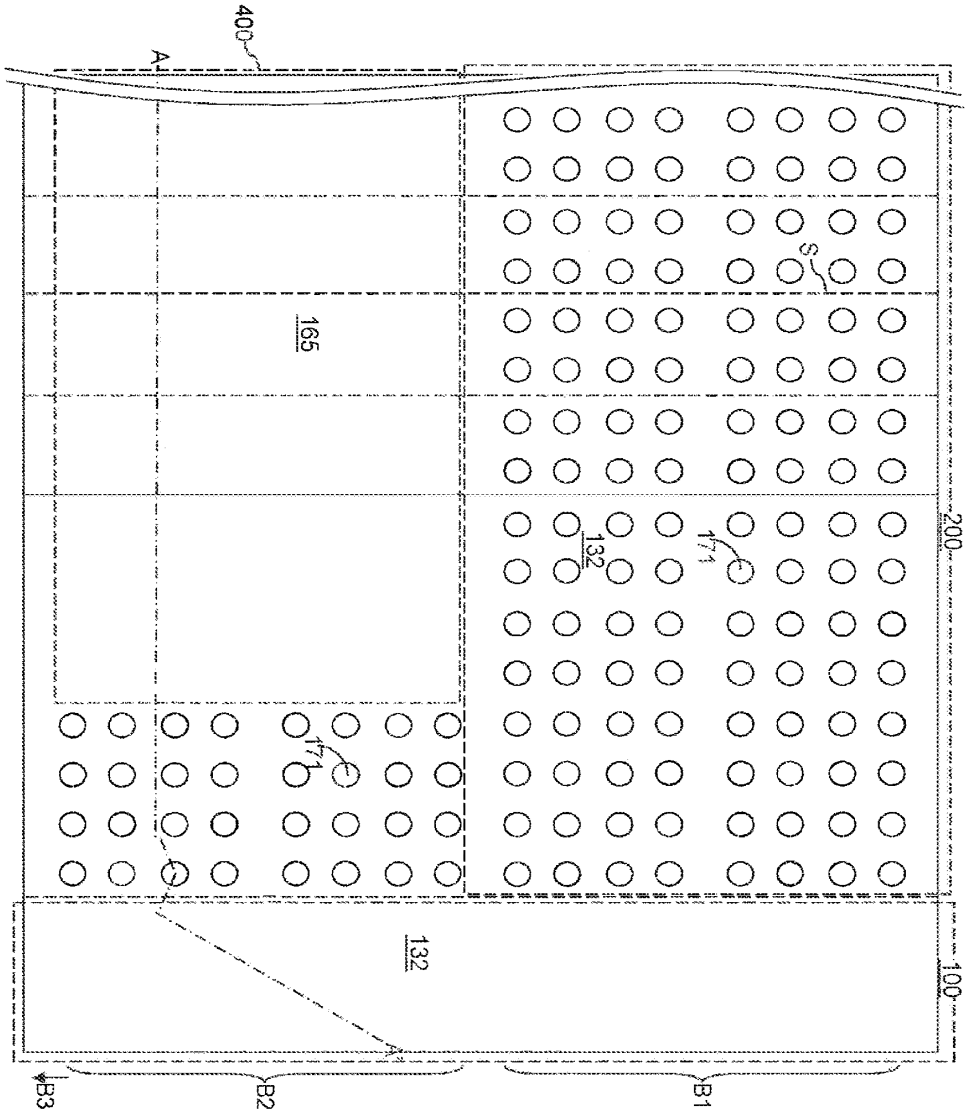
Micron Ex. 1002, p. 338
Micron v. YMTC
IPR2025-00245

도면4a



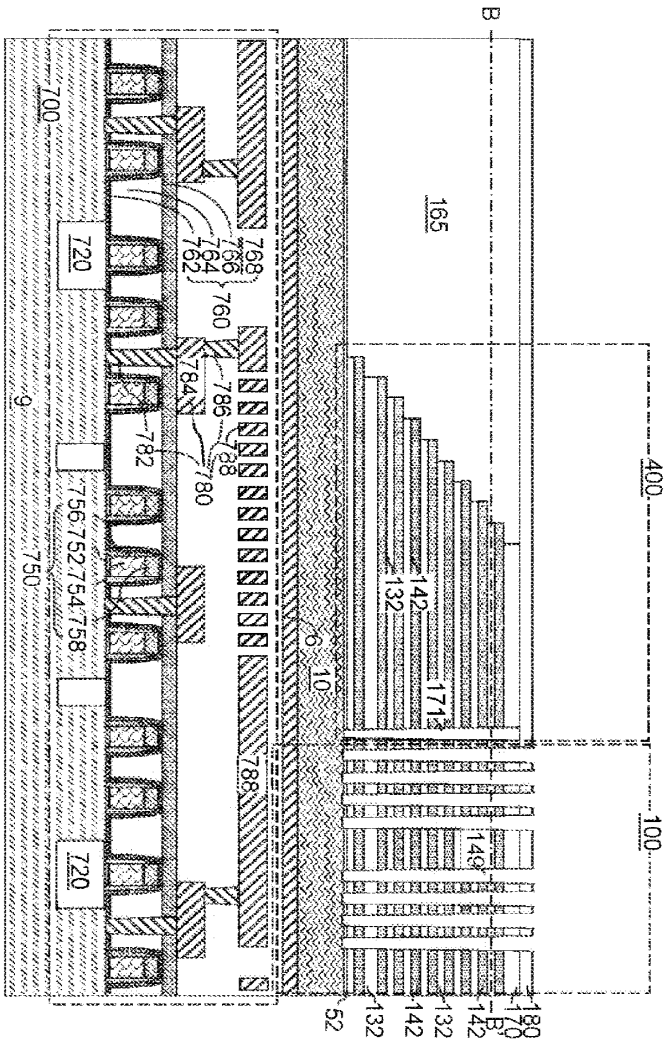
Micron Ex. 1002, p. 339
Micron v. YMTC
IPR2025-00245

도면4b



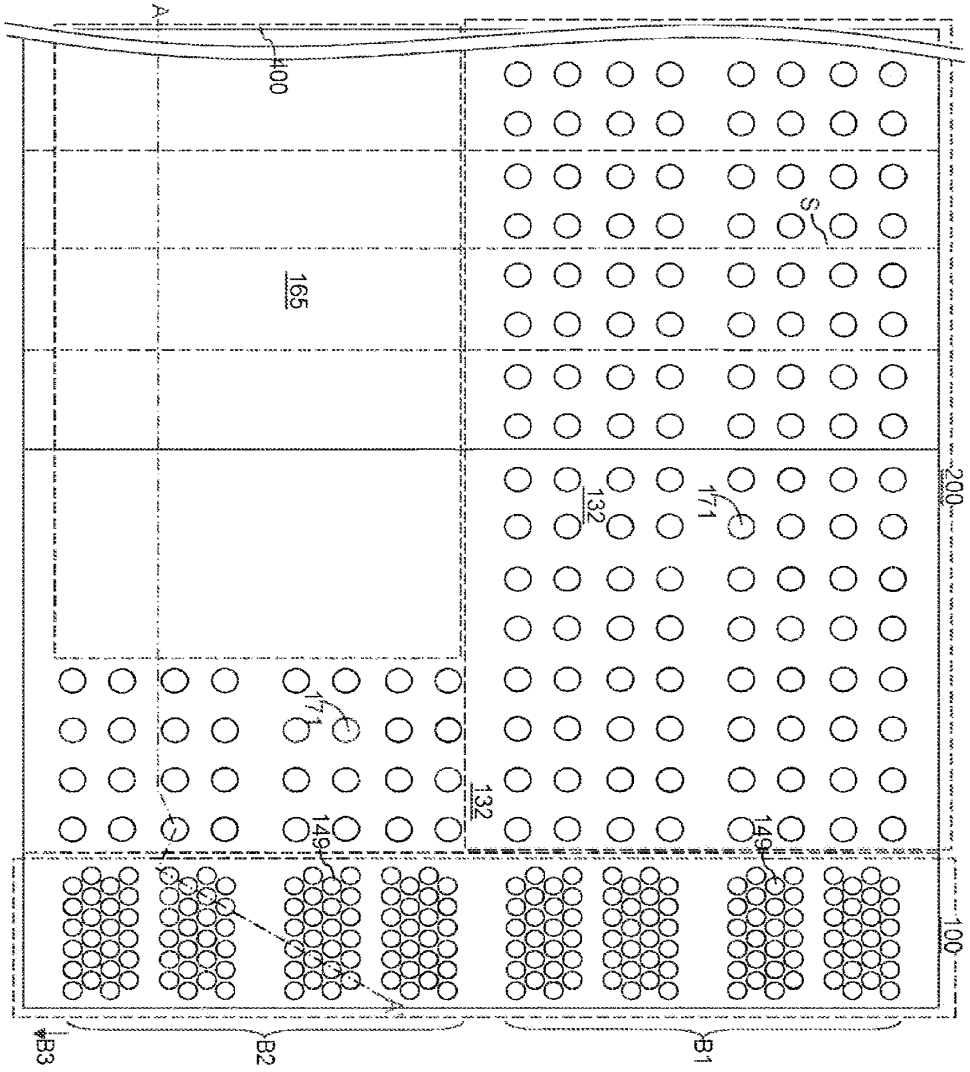
Micron Ex. 1002, p. 340
Micron v. YMTC
IPR2025-00245

도면5a



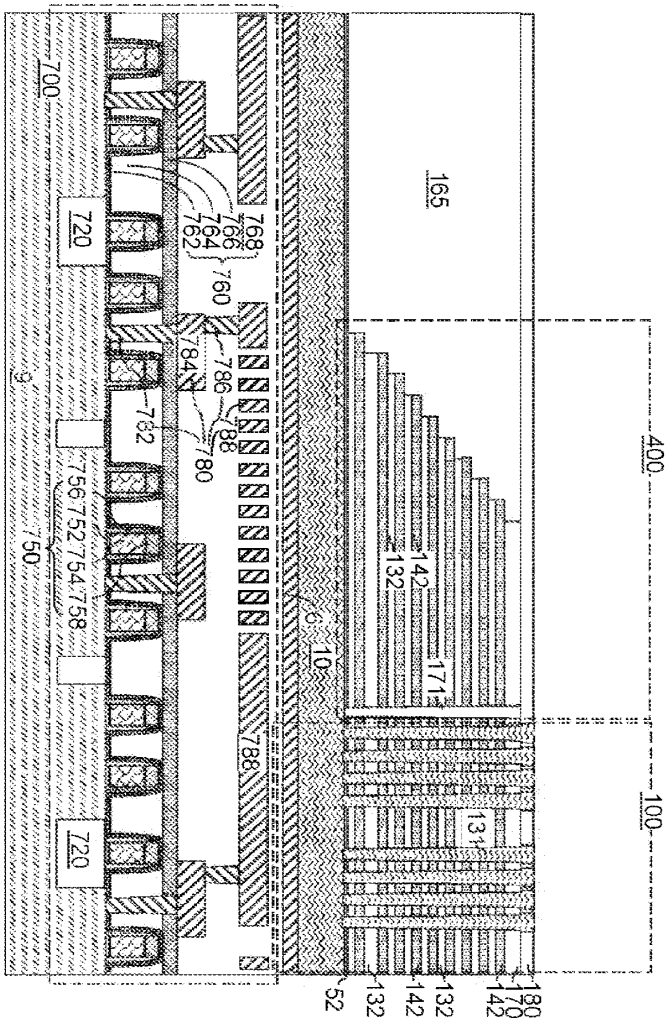
Micron Ex. 1002, p. 341
Micron v. YMTC
IPR2025-00245

도면5b



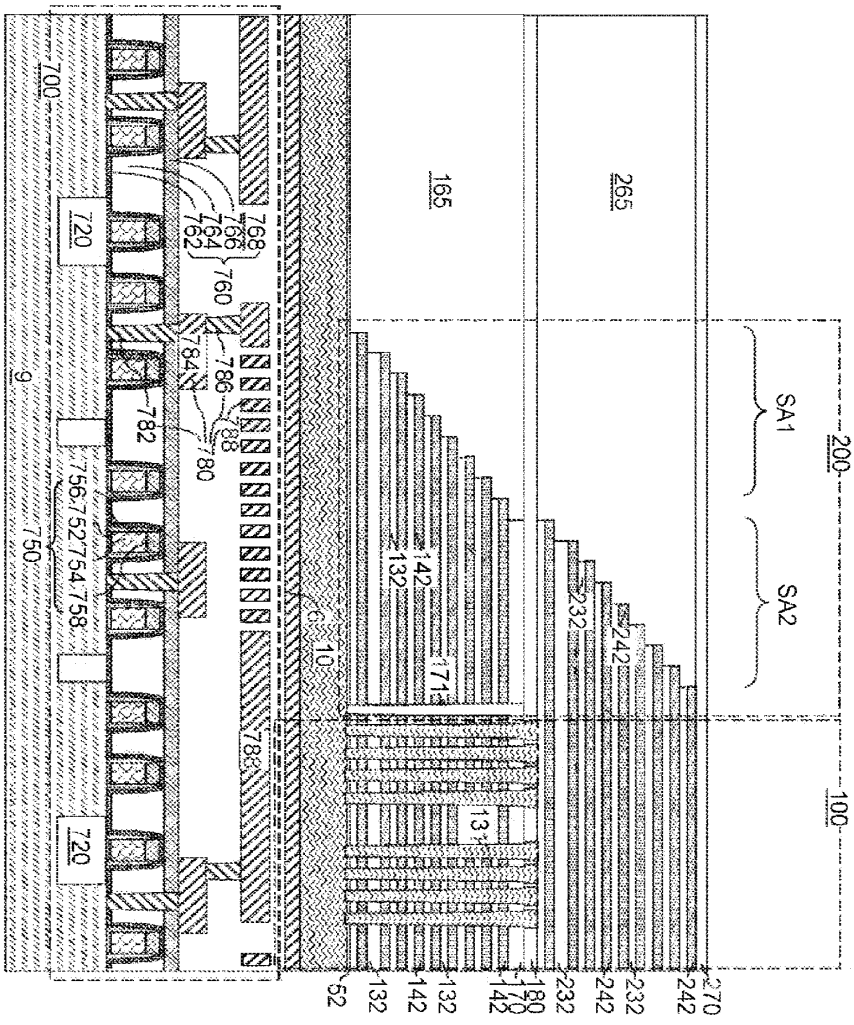
Micron Ex. 1002, p. 342
Micron v. YMTC
IPR2025-00245

도면6



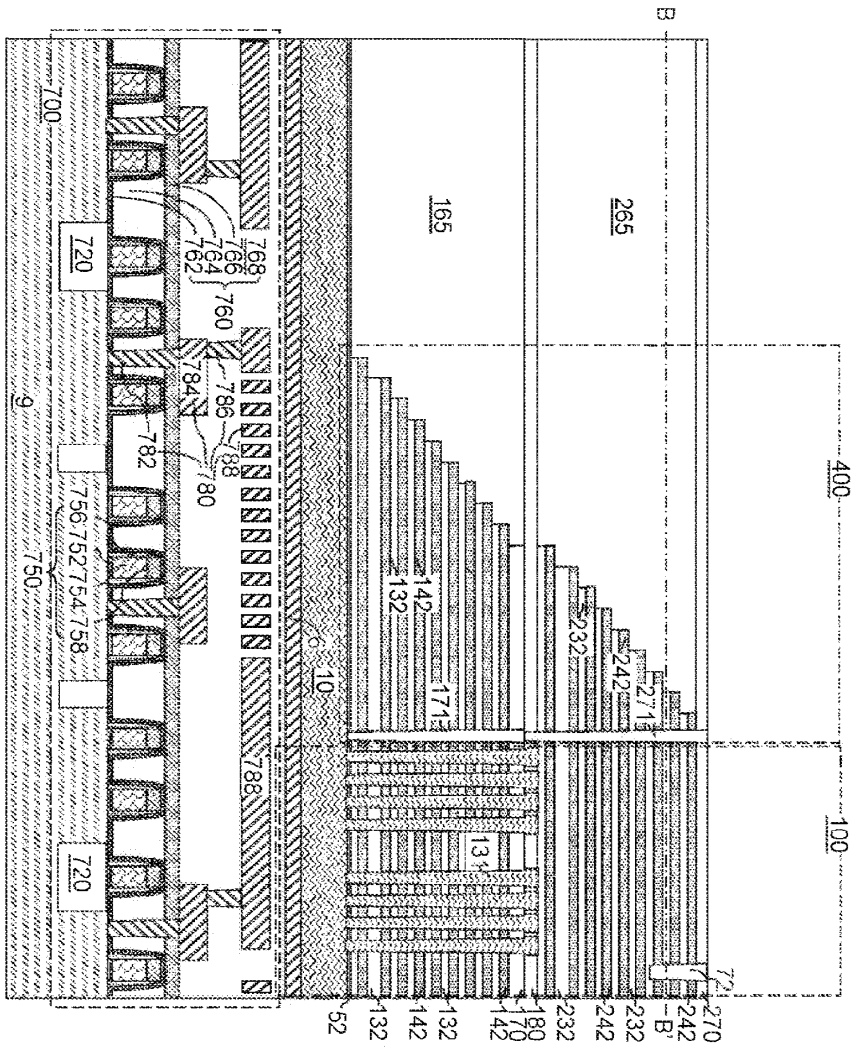
Micron Ex. 1002, p. 343
Micron v. YMTC
IPR2025-00245

도 27

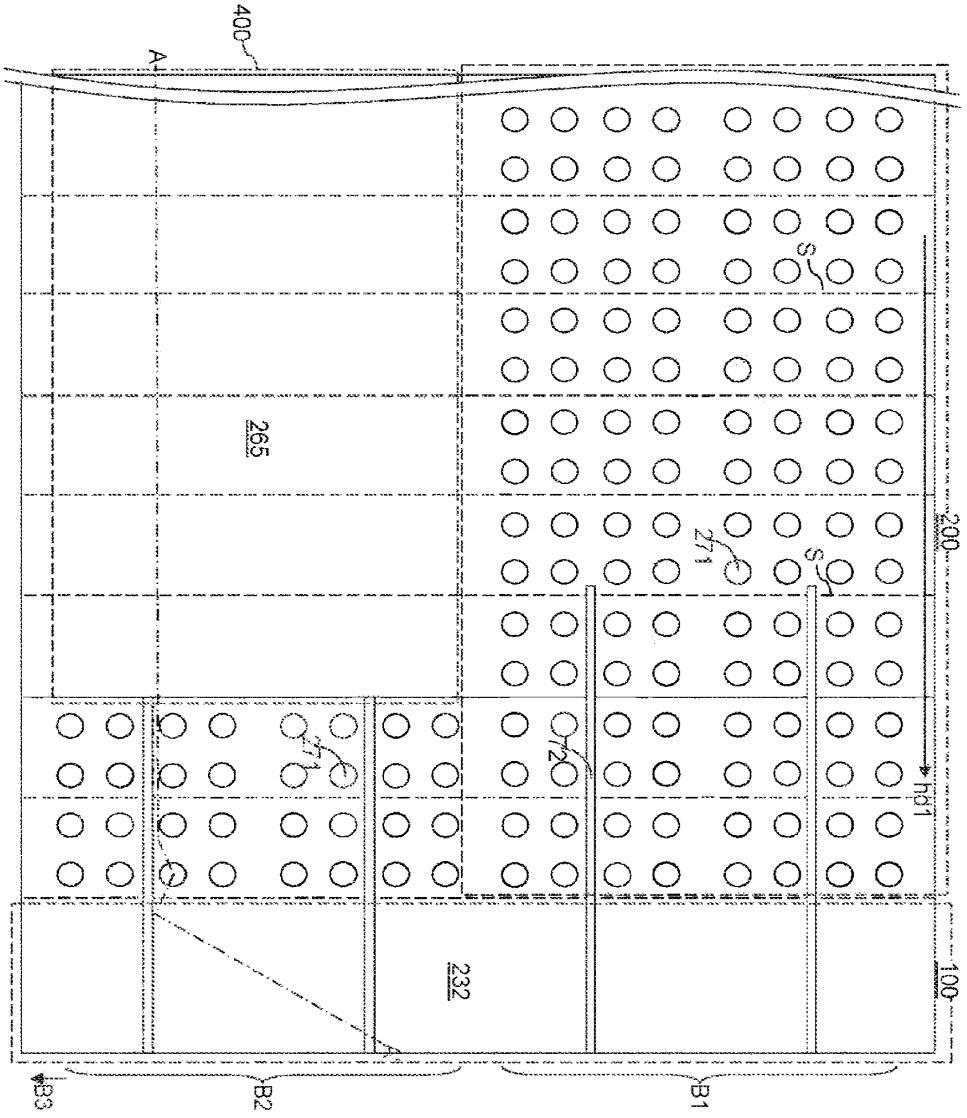


Micron Ex. 1002, p. 344
Micron v. YMTC
IPR2025-00245

도면8a

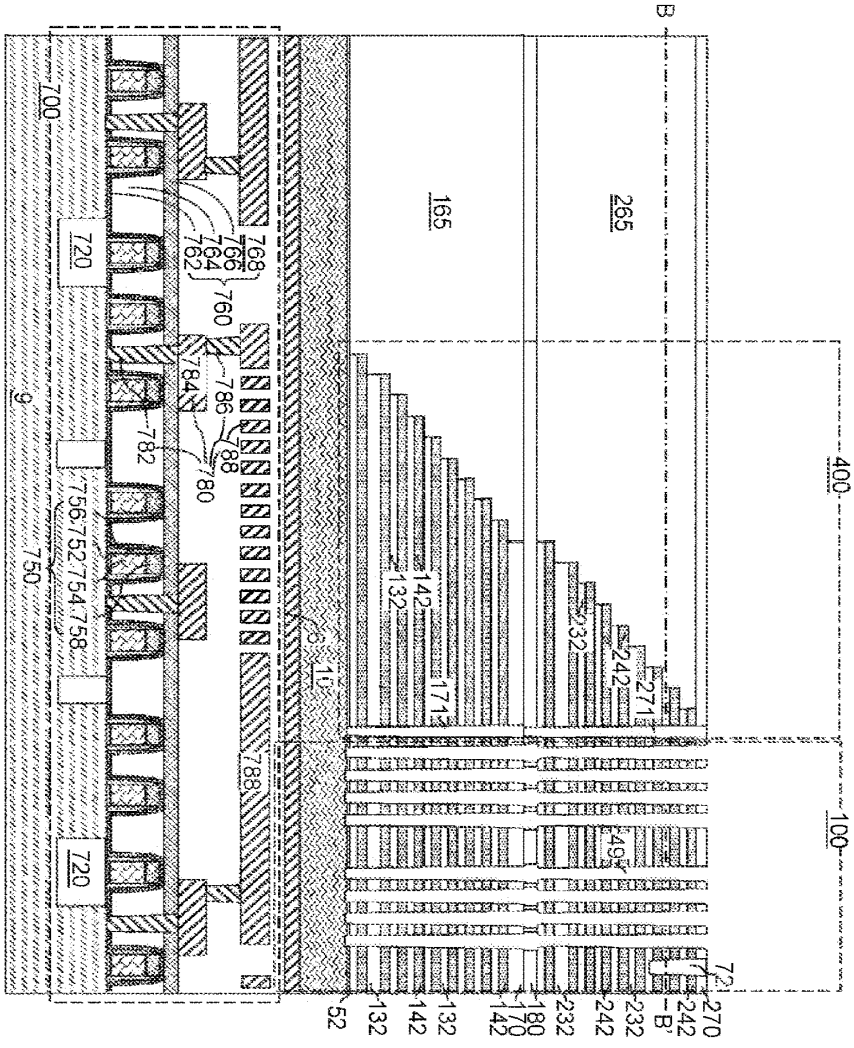

B
B'
400
100
265
165
720
720
700
9
10
52
760
762
764
766
768
780
782
784
786
788
756
752
754
758
750
271
270
242
232
242
232
180
170
142
132
142
132
142
132
131
1713
1423
1323
1423
1323
1423
1323

도면8b



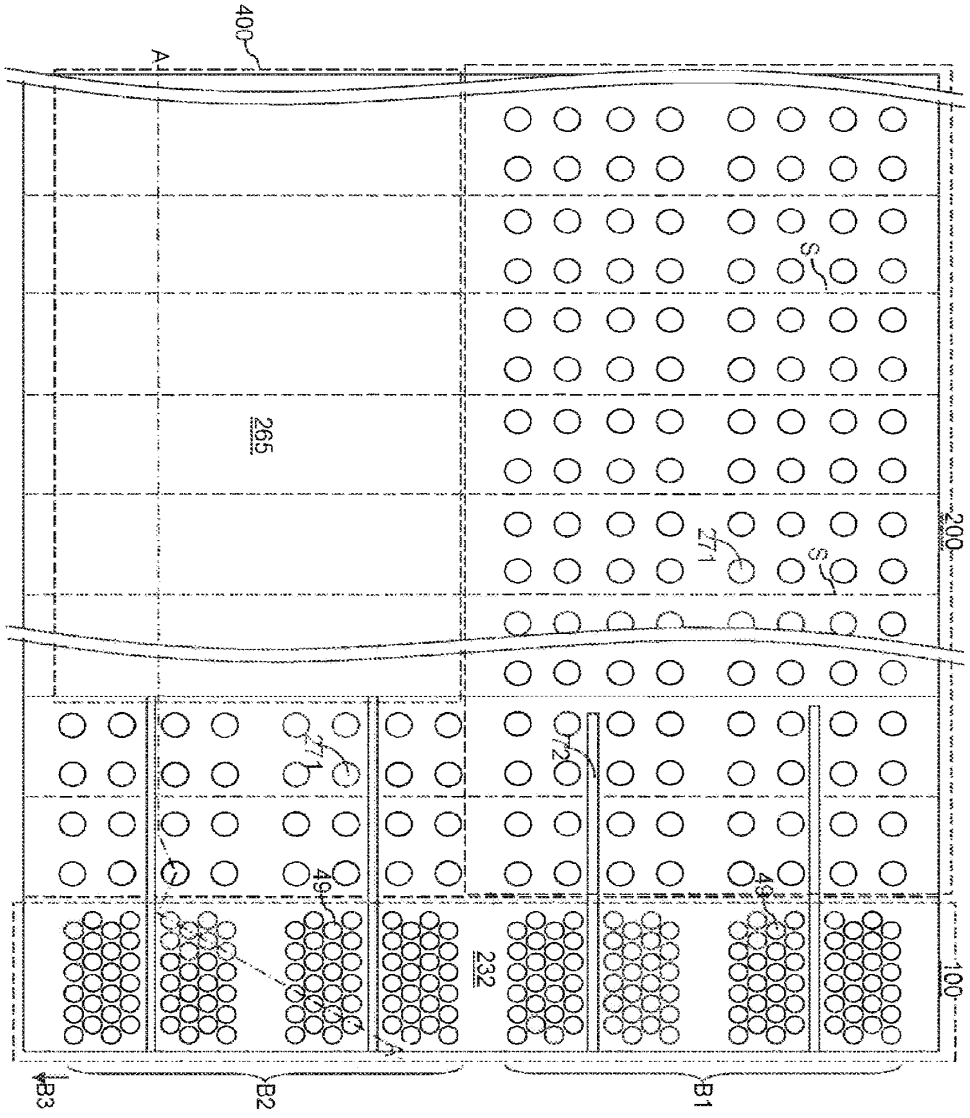
Micron Ex. 1002, p. 346
Micron v. YMTC
IPR2025-00245

도면8a



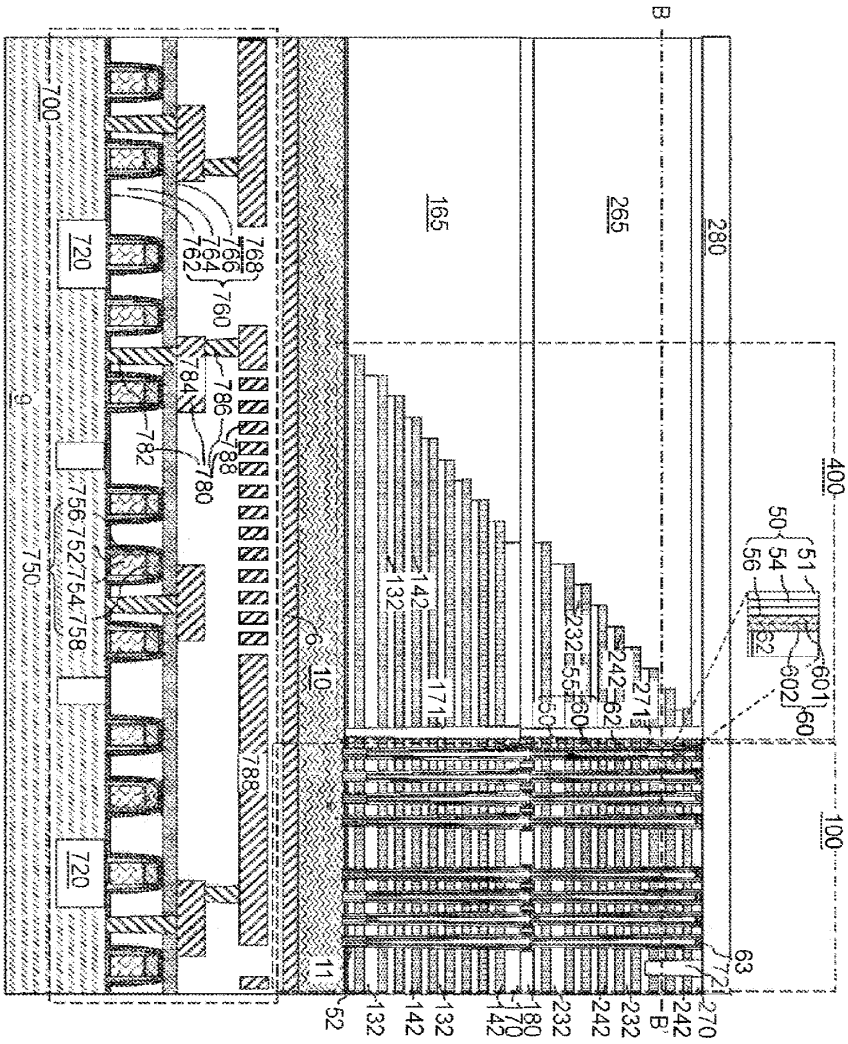
Micron Ex. 1002, p. 347
Micron v. YMTC
IPR2025-00245

도면6b



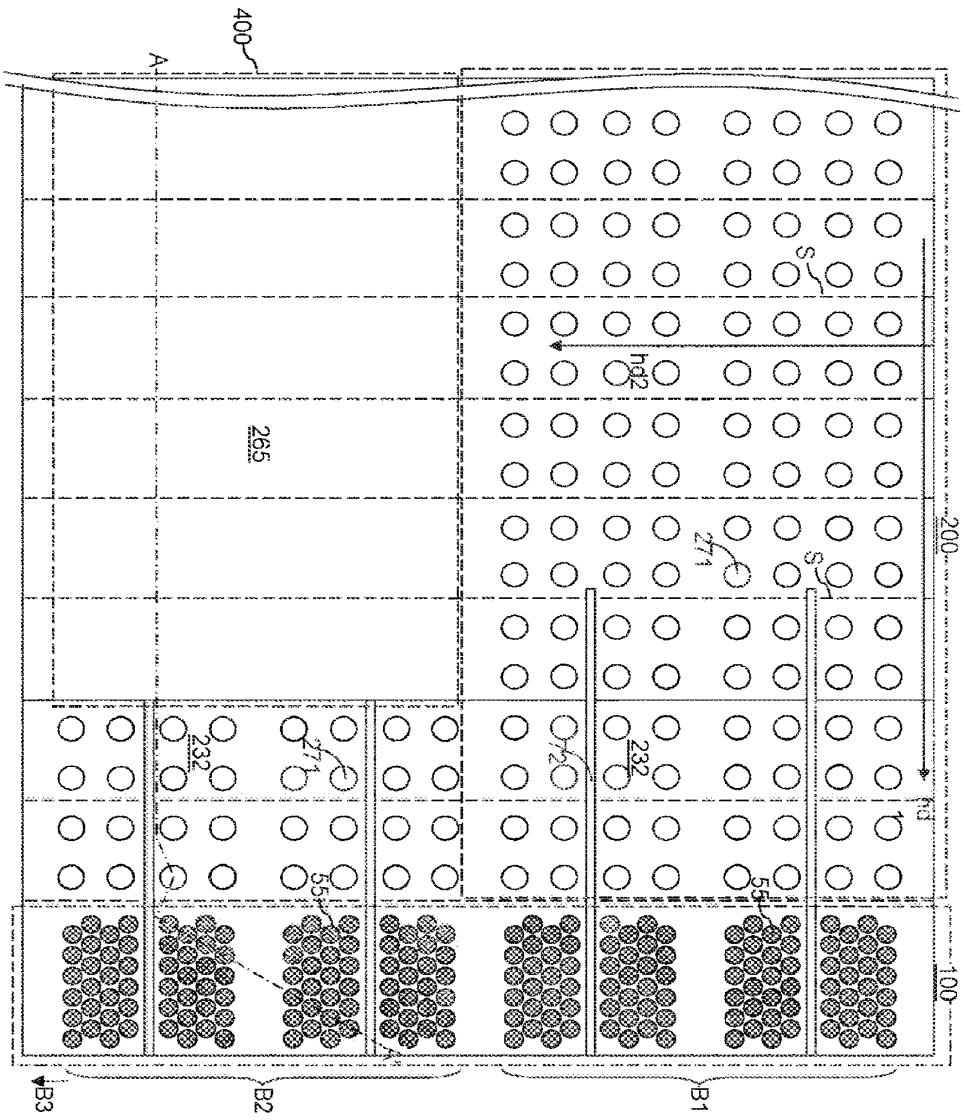
Micron Ex. 1002, p. 348
Micron v. YMTC
IPR2025-00245

도면10a



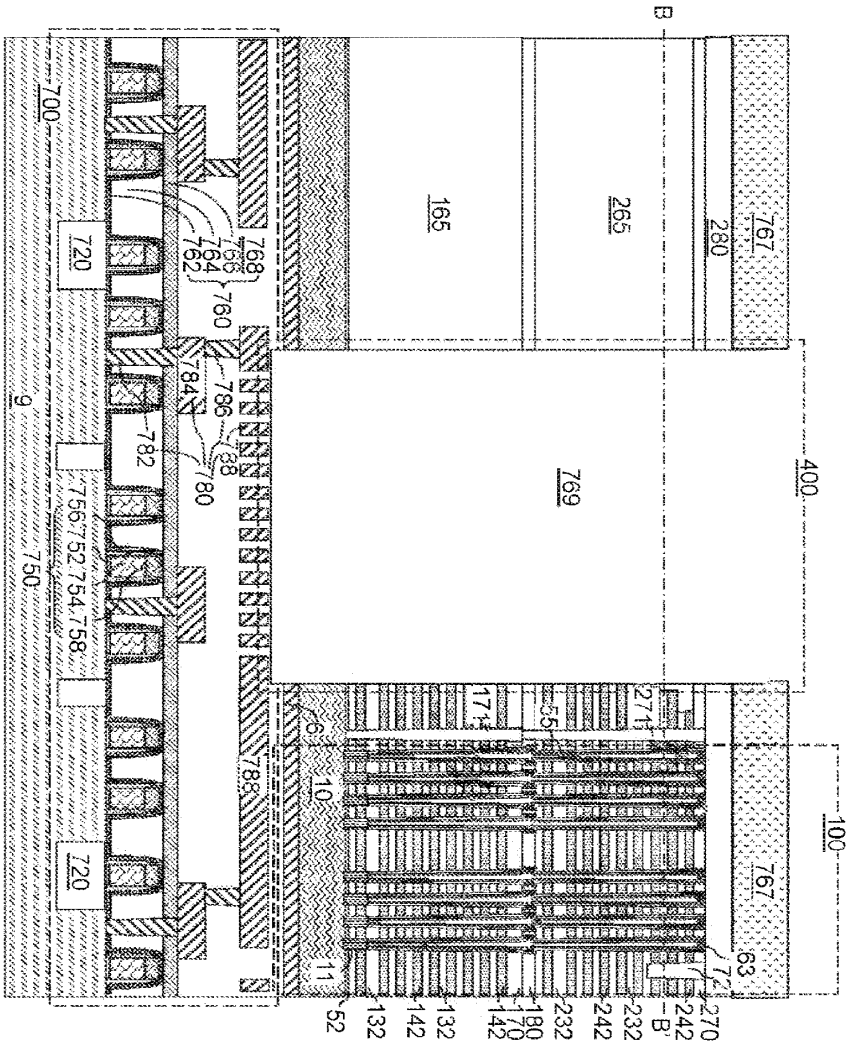
Micron Ex. 1002, p. 349
Micron v. YMTC
IPR2025-00245

도면106



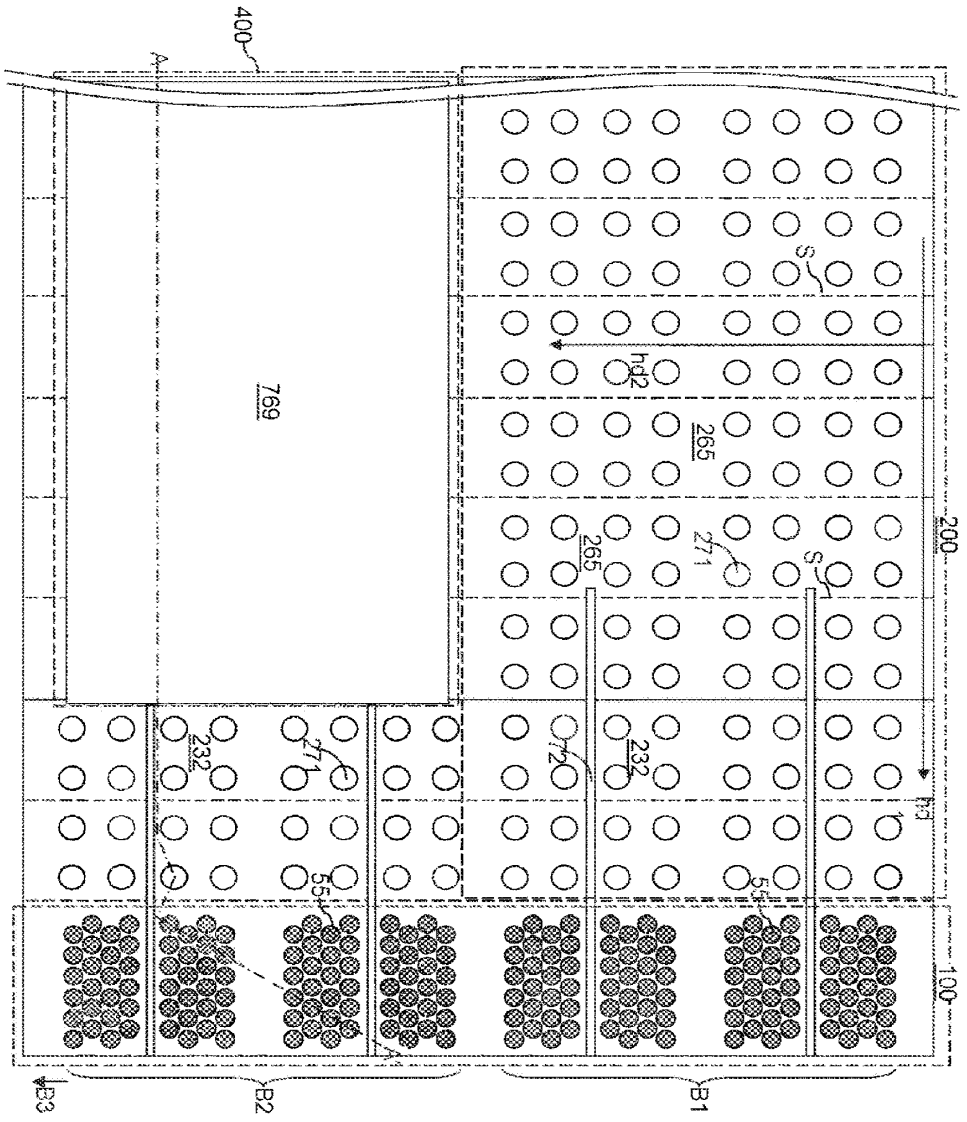
Micron Ex. 1002, p. 350
Micron v. YMTC
IPR2025-00245

도면11a



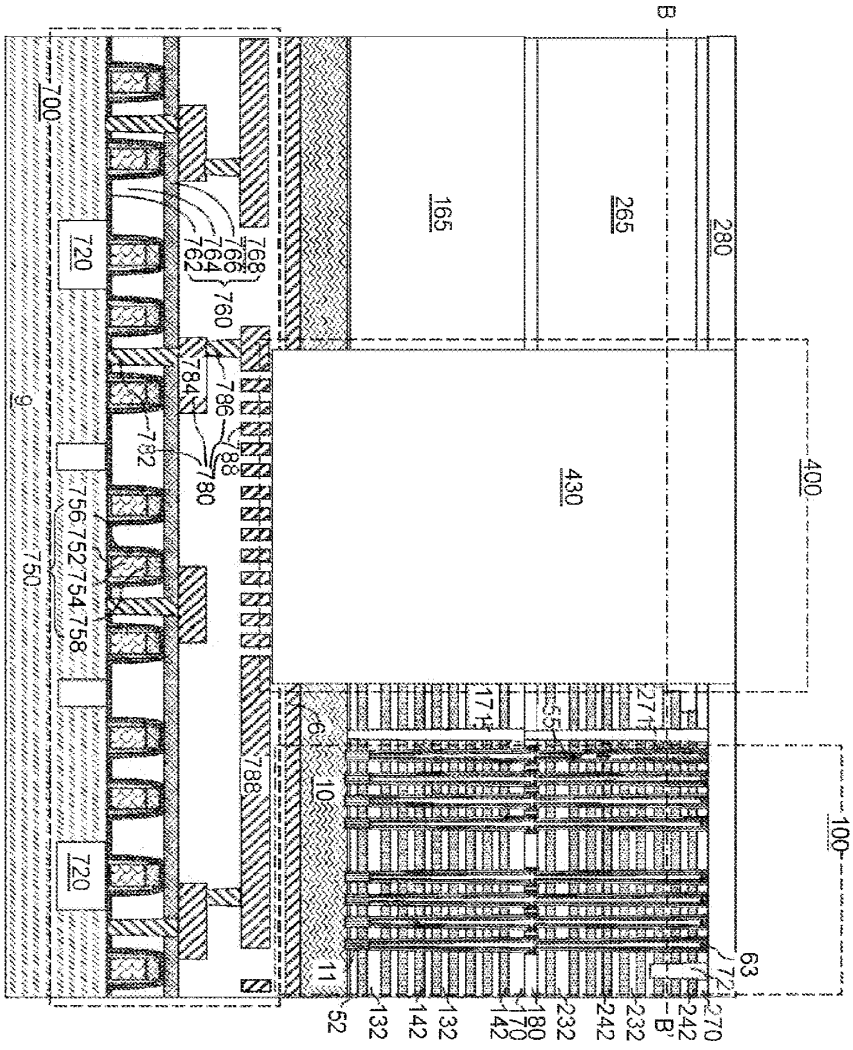
Micron Ex. 1002, p. 351
Micron v. YMTC
IPR2025-00245

도면11b



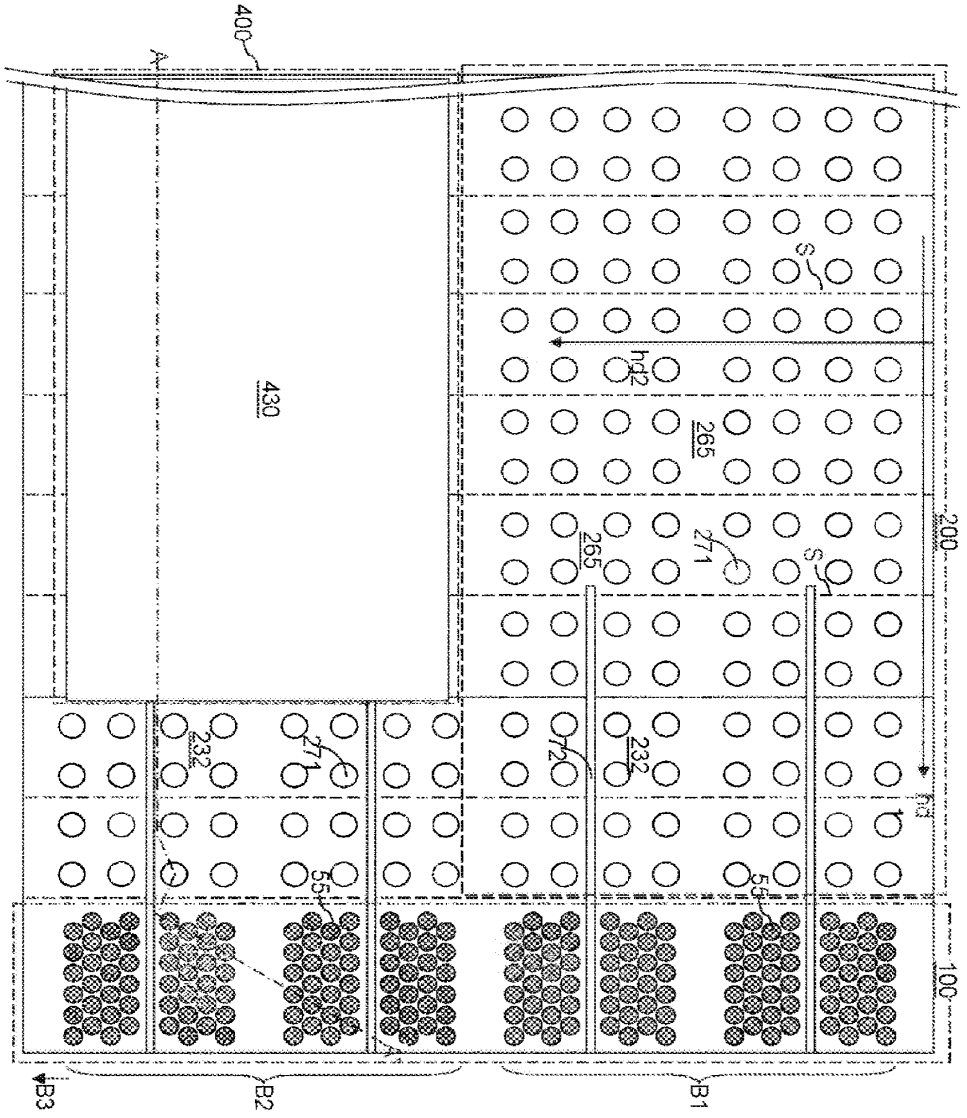
Micron Ex. 1002, p. 352
Micron v. YMTC
IPR2025-00245

도면12a



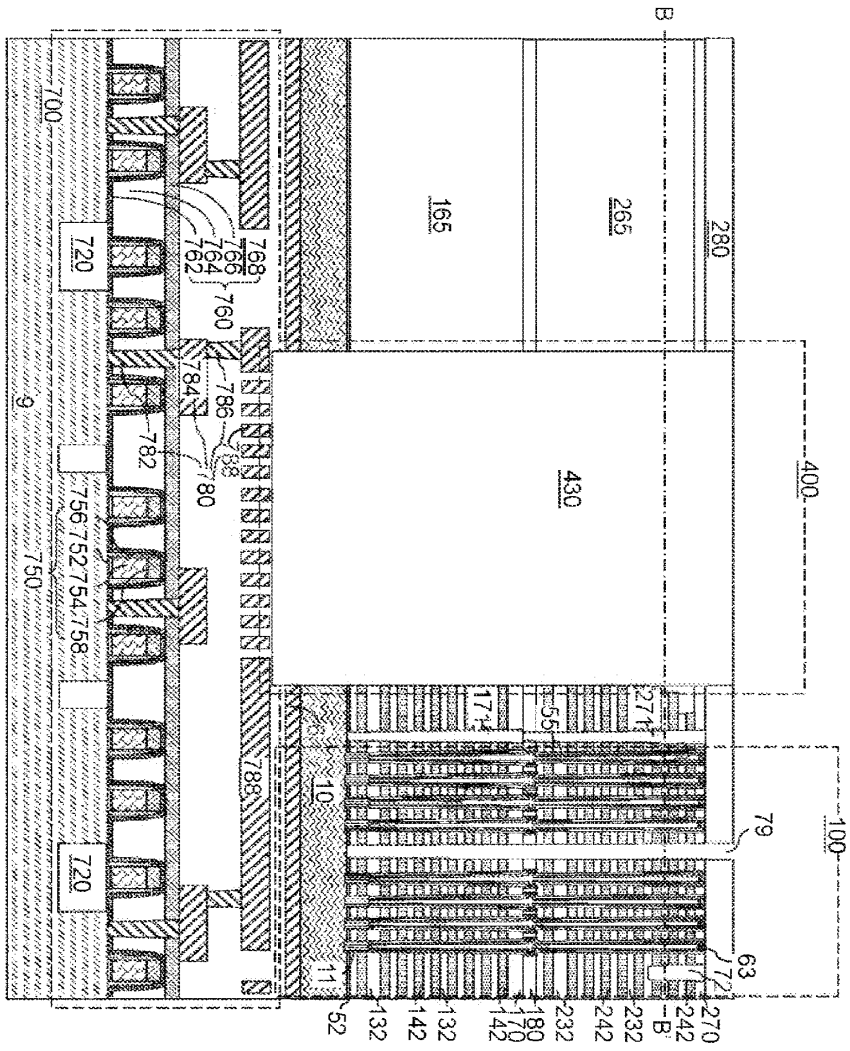
Micron Ex. 1002, p. 353
Micron v. YMTC
IPR2025-00245

도면126



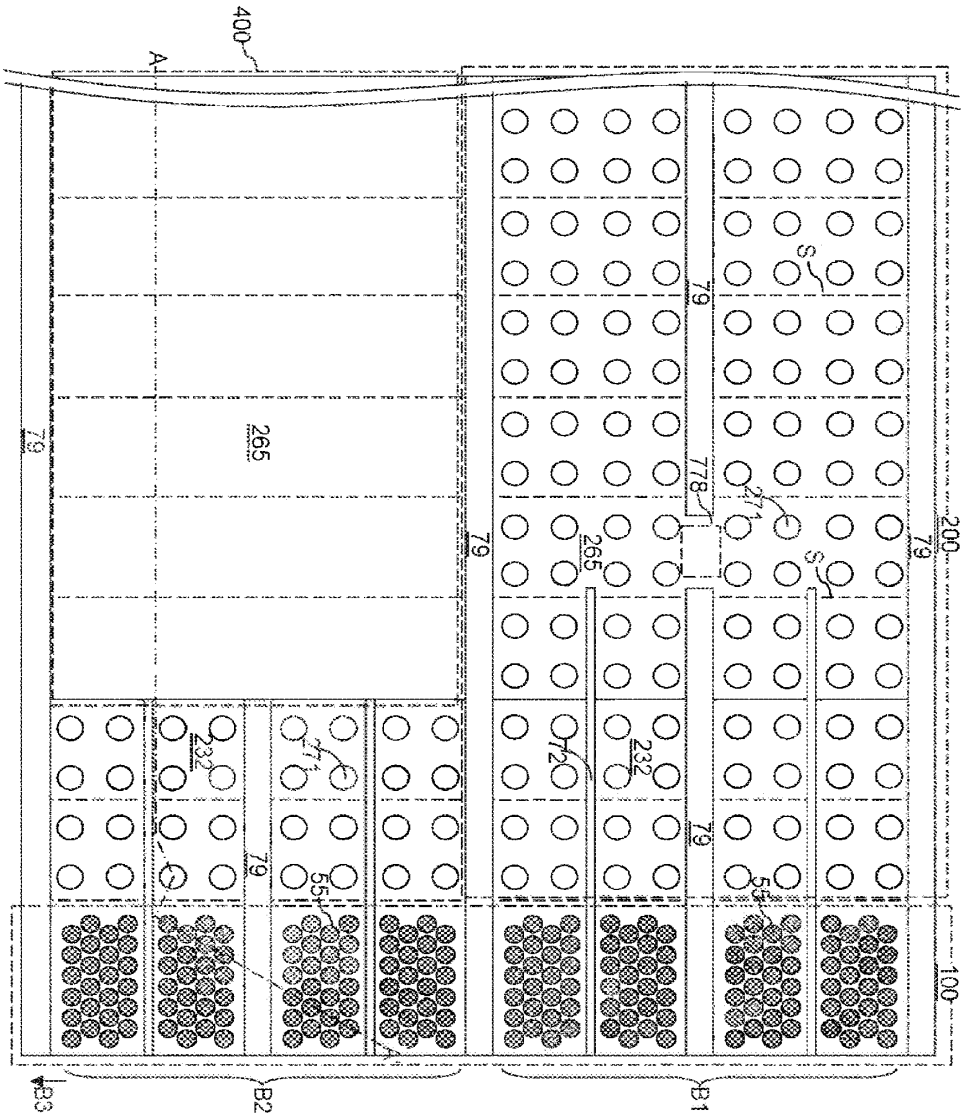
Micron Ex. 1002, p. 354
Micron v. YMTC
IPR2025-00245

도면13a



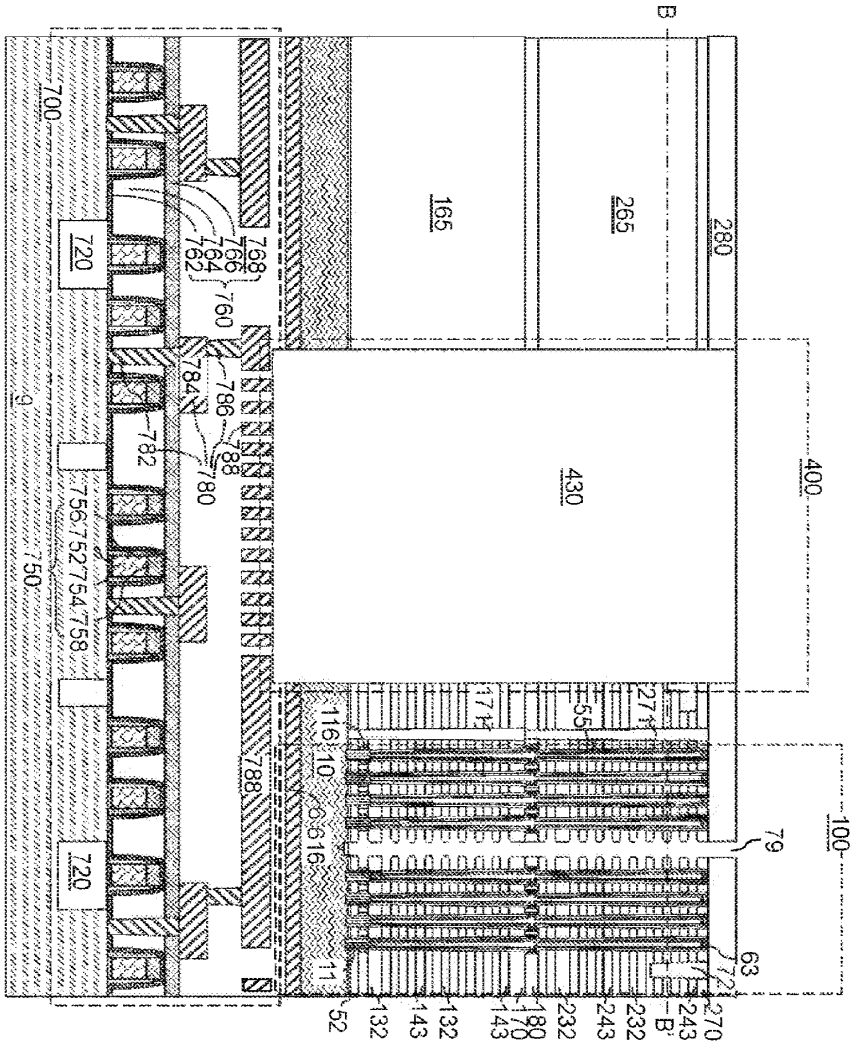
Micron Ex. 1002, p. 355
Micron v. YMTC
IPR2025-00245

도면136



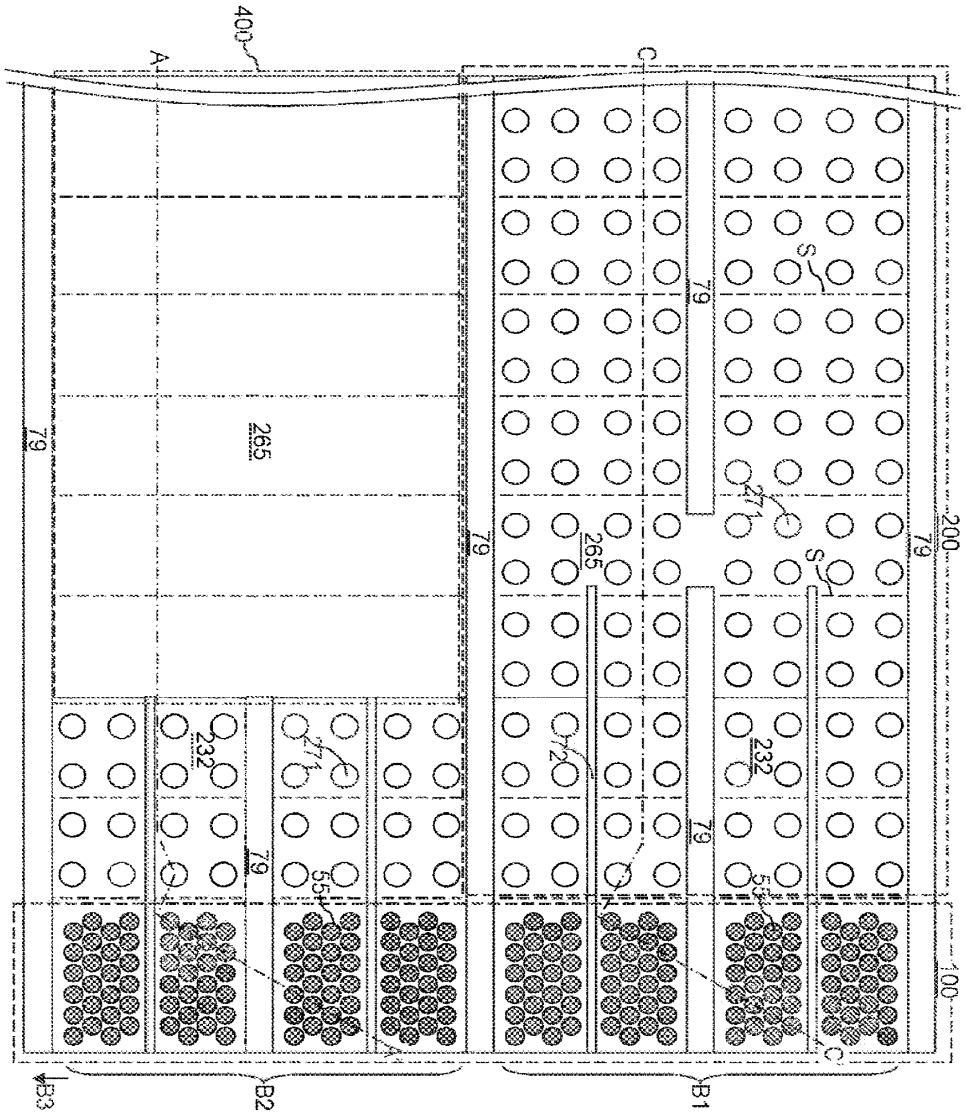
Micron Ex. 1002, p. 356
Micron v. YMTC
IPR2025-00245

도면14a



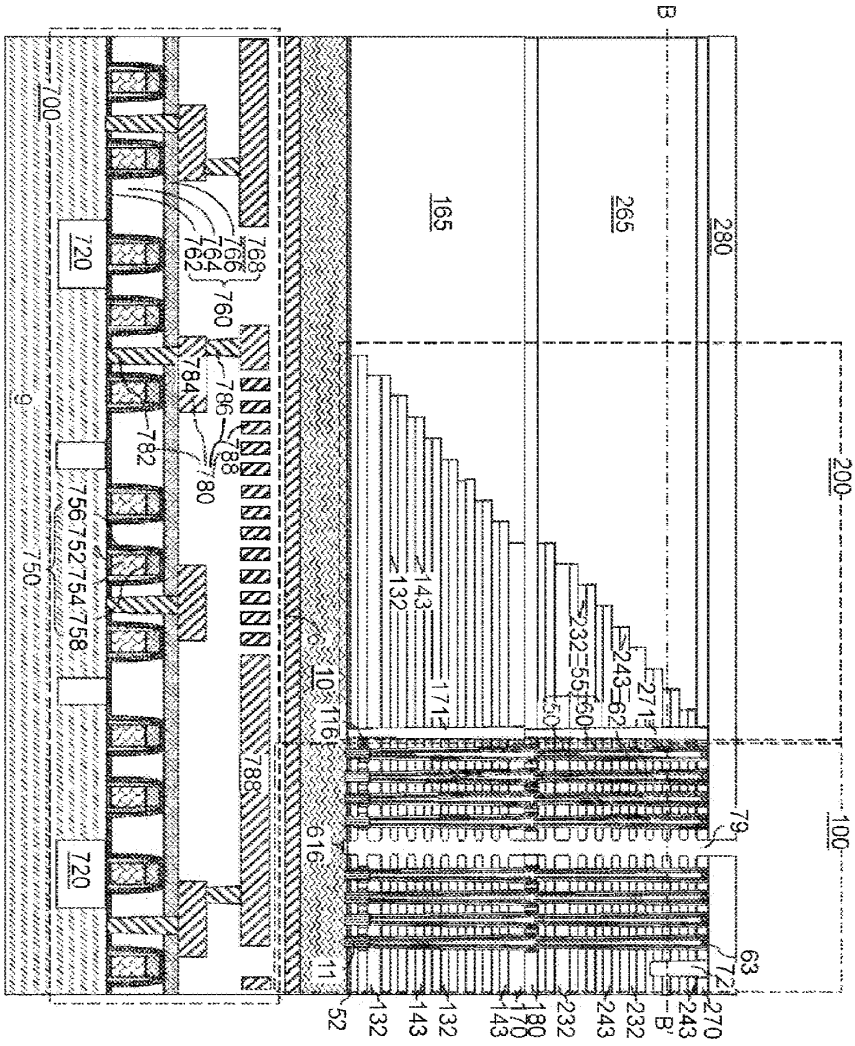
Micron Ex. 1002, p. 357
Micron v. YMTC
IPR2025-00245

도면146



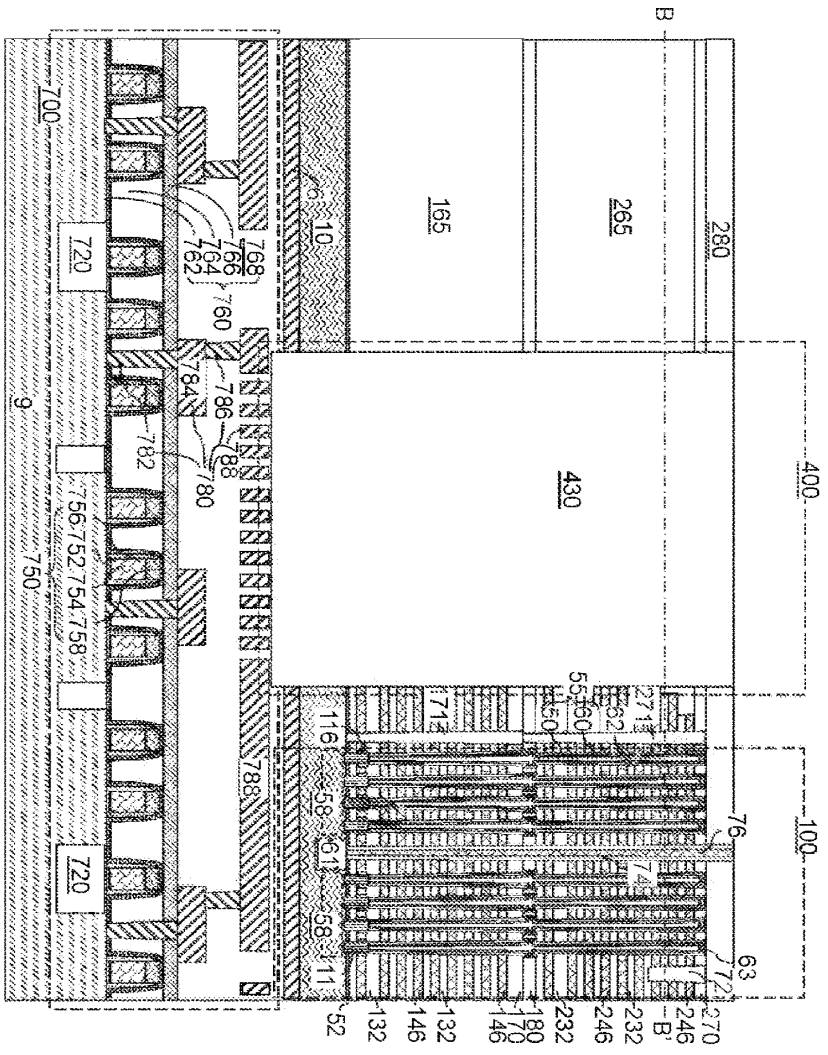
Micron Ex. 1002, p. 358
Micron v. YMTC
IPR2025-00245

도면14c



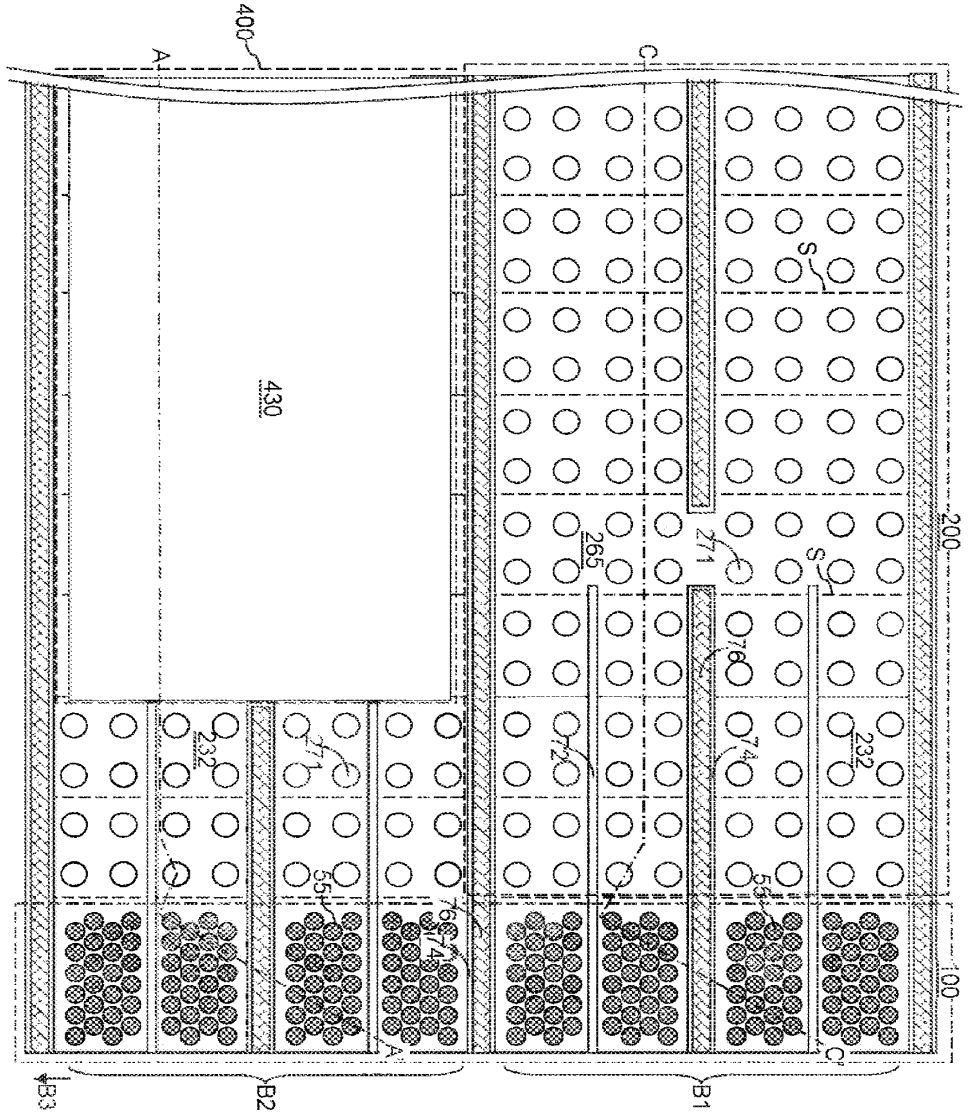
Micron Ex. 1002, p. 359
Micron v. YMTC
IPR2025-00245

도면15a



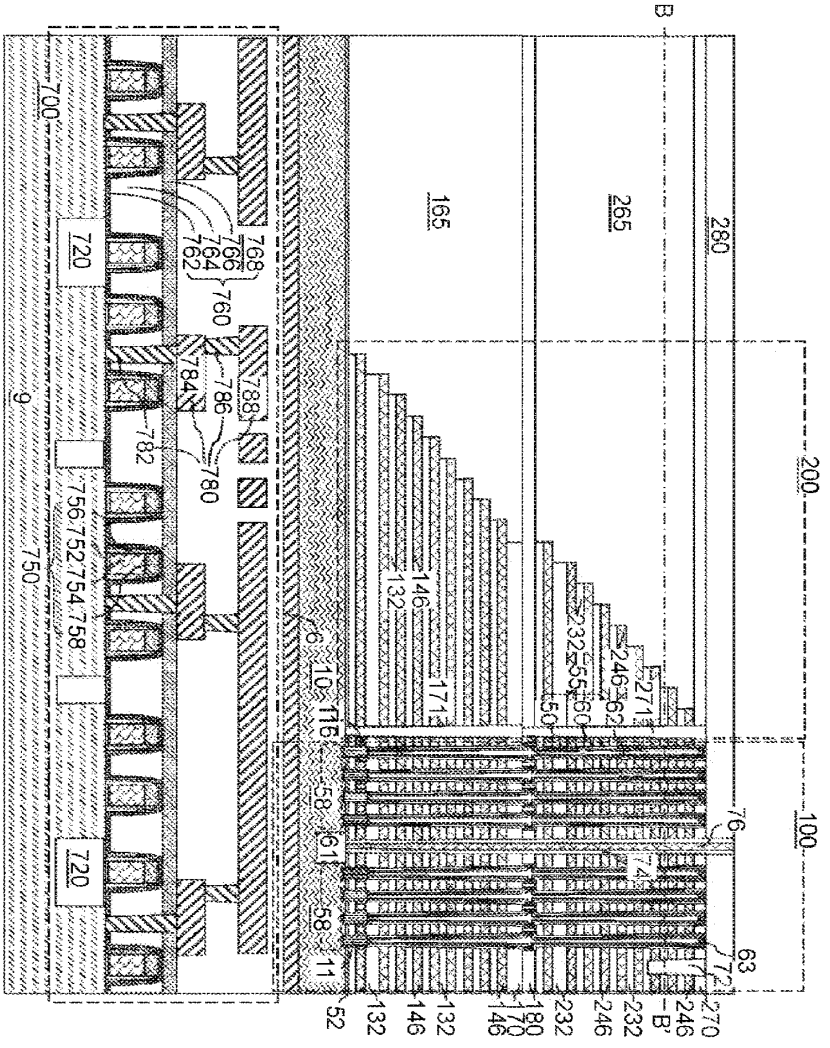
Micron Ex. 1002, p. 360
Micron v. YMTC
IPR2025-00245

도면16b



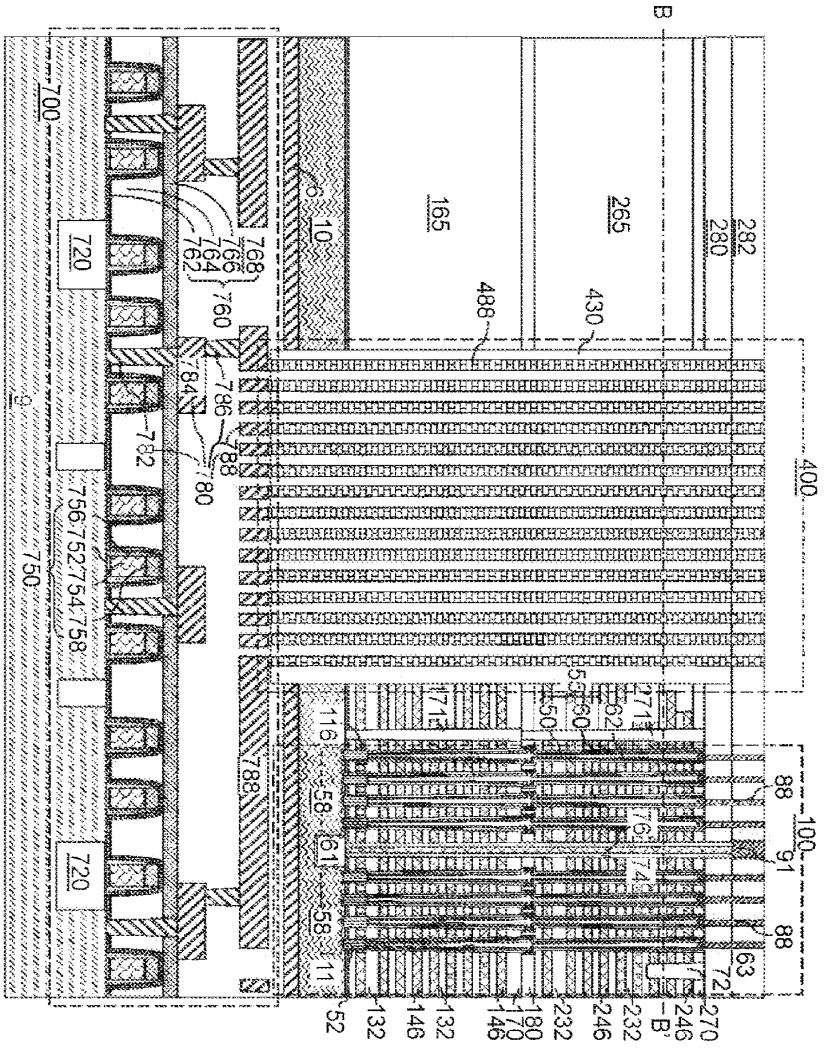
Micron Ex. 1002, p. 361
Micron v. YMTC
IPR2025-00245

도면15c



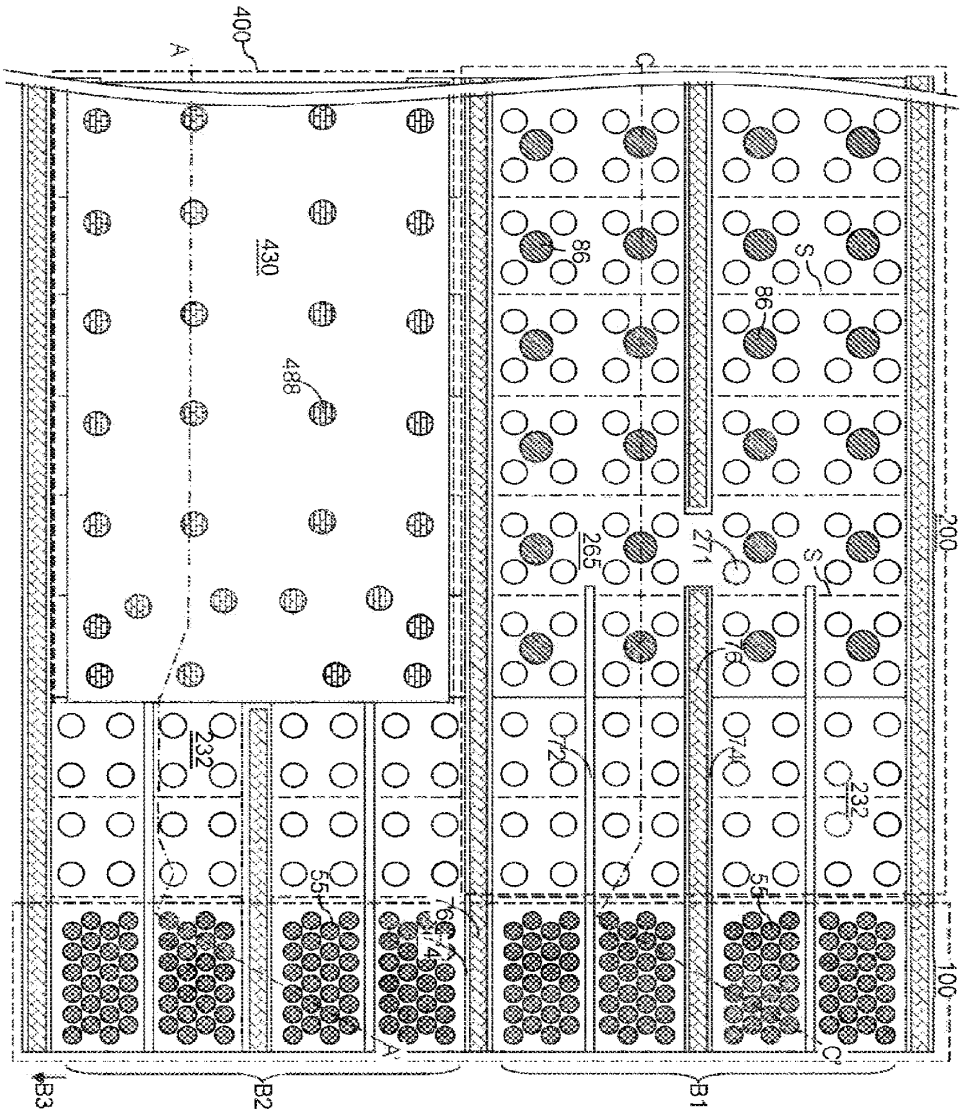
Micron Ex. 1002, p. 362
Micron v. YMTC
IPR2025-00245

도면16a



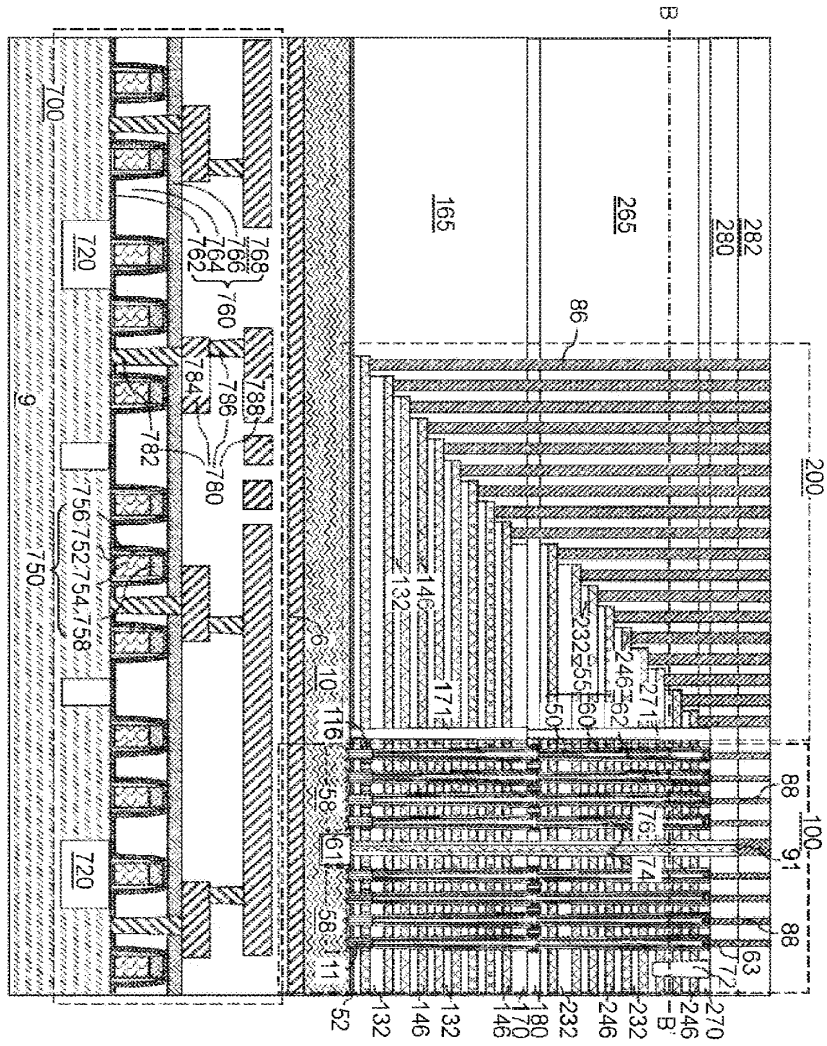
Micron Ex. 1002, p. 363
Micron v. YMTC
IPR2025-00245

도면16



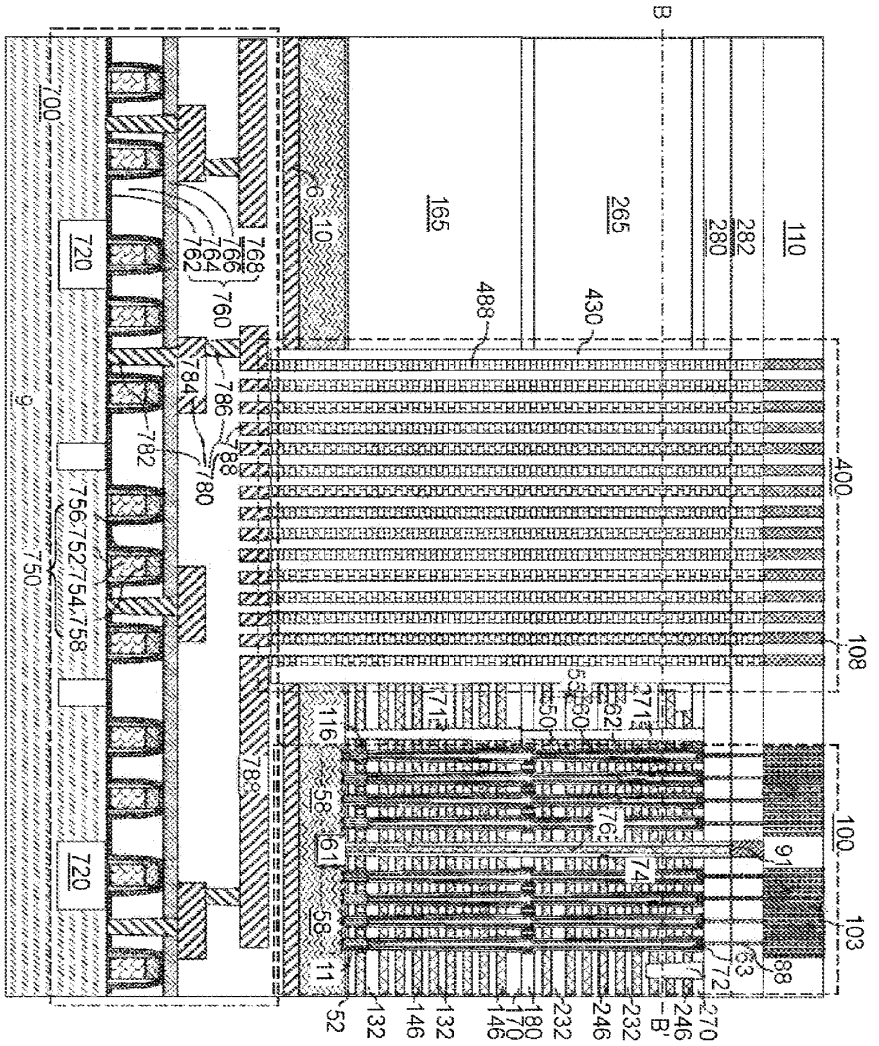
Micron Ex. 1002, p. 364
Micron v. YMTC
IPR2025-00245

도면16c



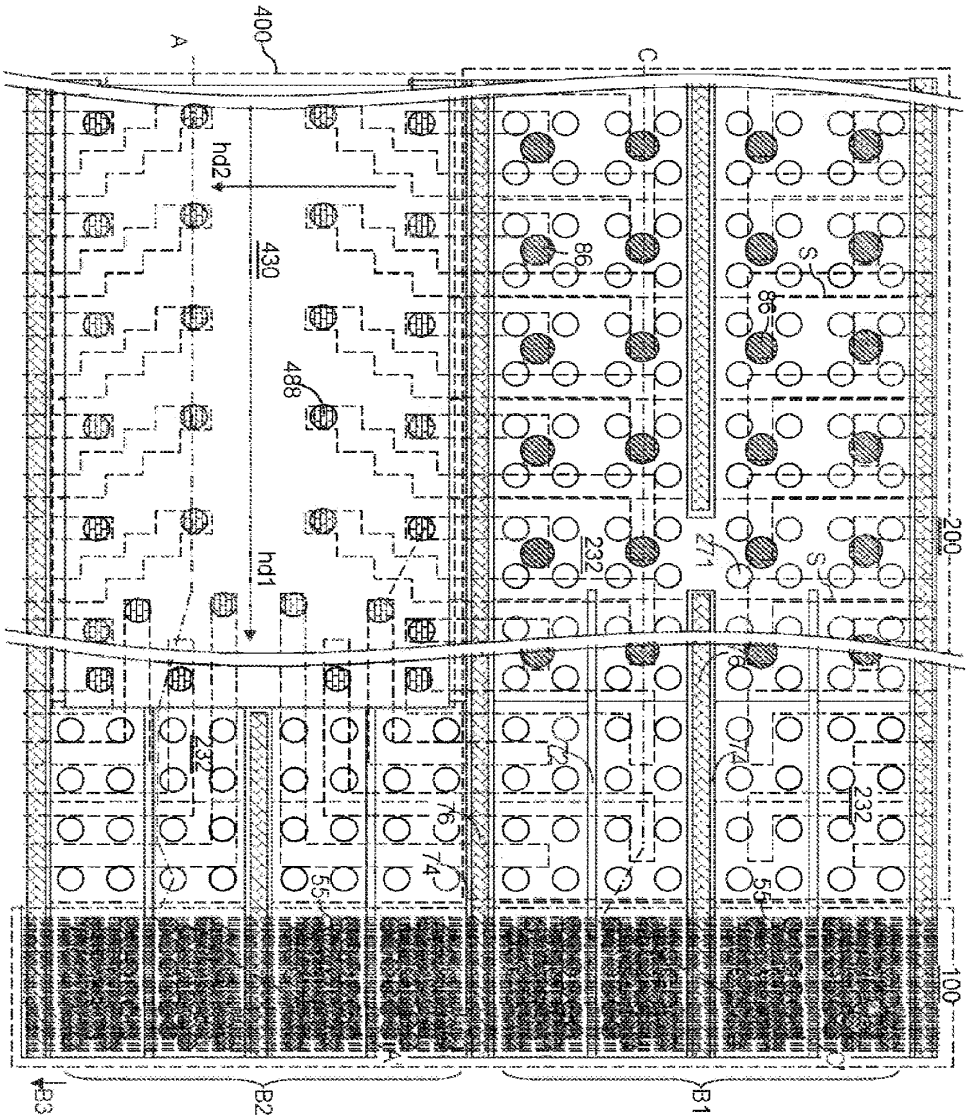
Micron Ex. 1002, p. 365
Micron v. YMTC
IPR2025-00245

도면17a



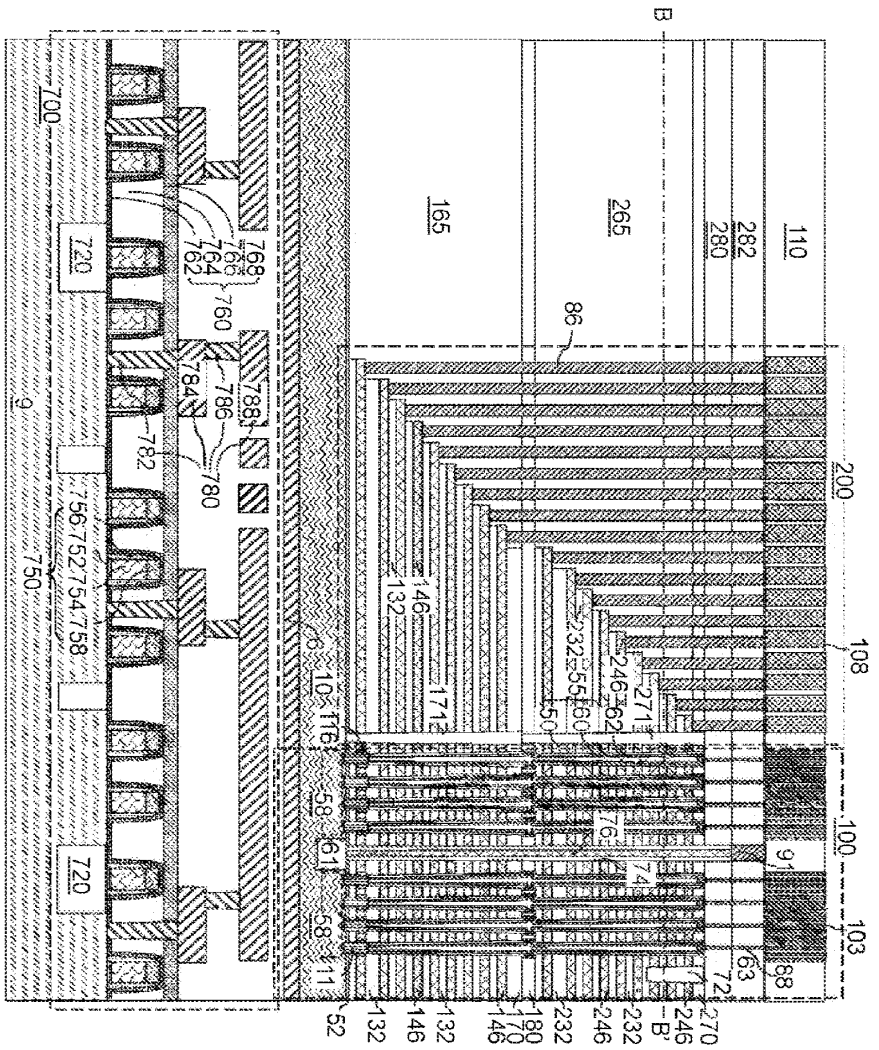
Micron Ex. 1002, p. 366
Micron v. YMTC
IPR2025-00245

도면17b



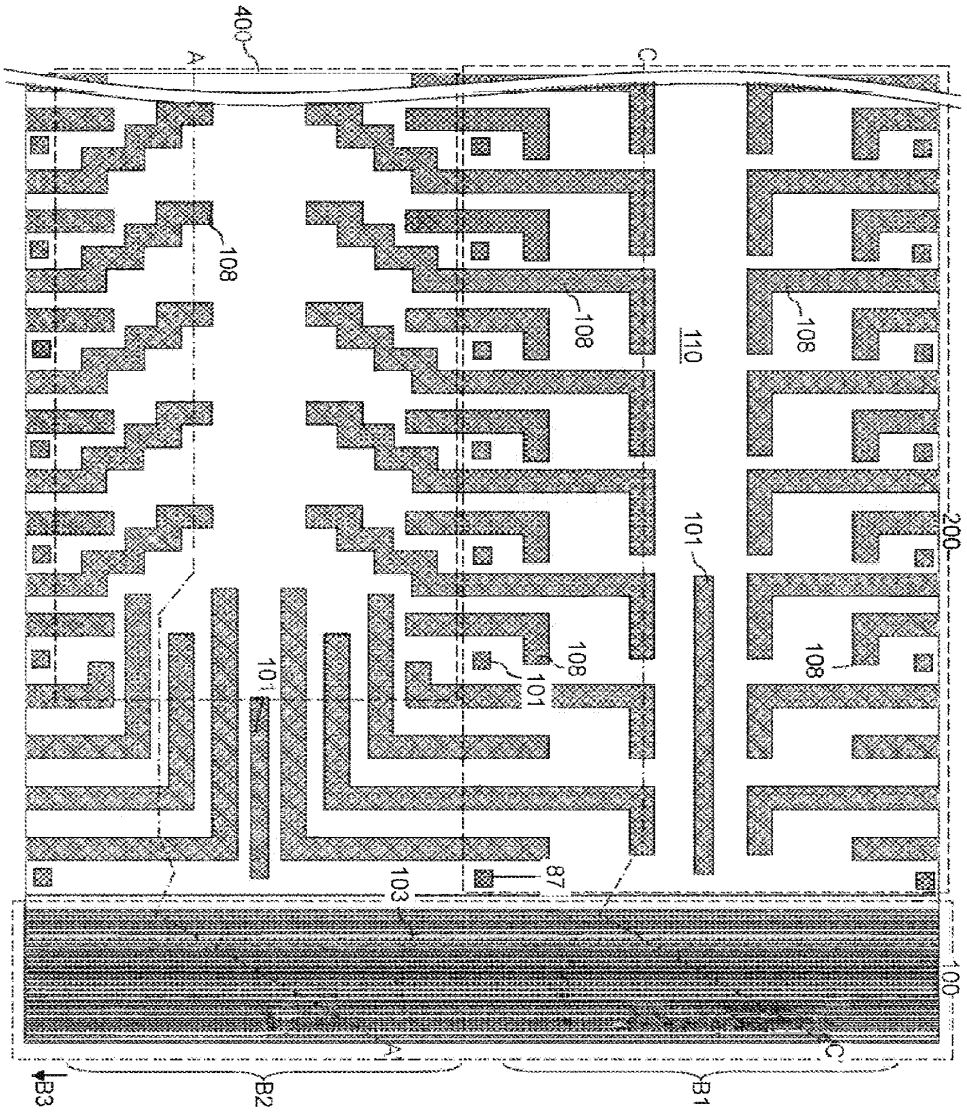
Micron Ex. 1002, p. 367
Micron v. YMTC
IPR2025-00245

도면17c

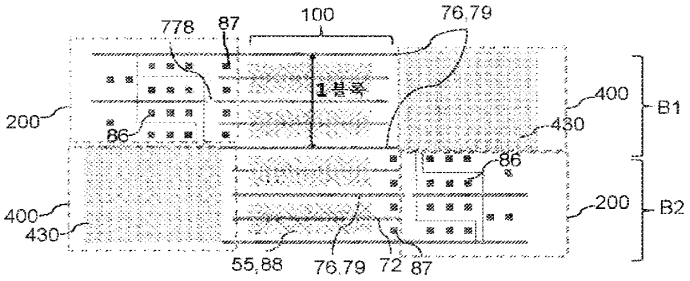


Micron Ex. 1002, p. 368
Micron v. YMTC
IPR2025-00245

도면17d

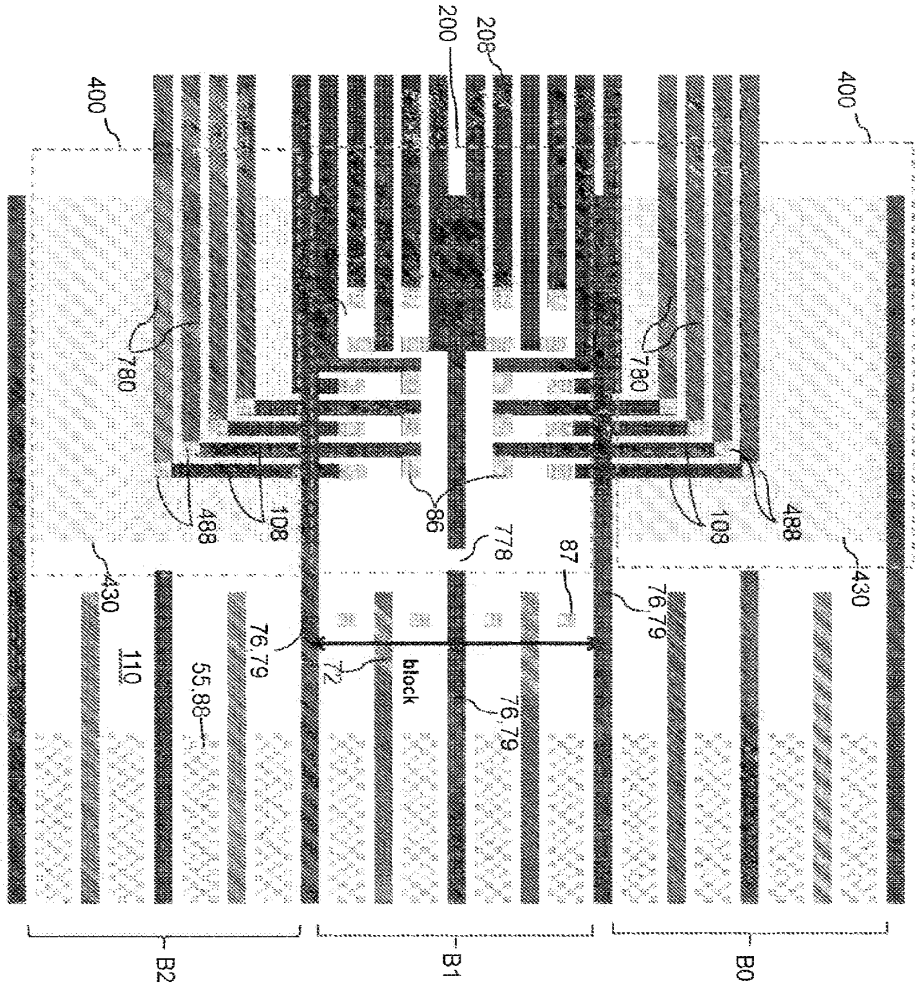


도면17e



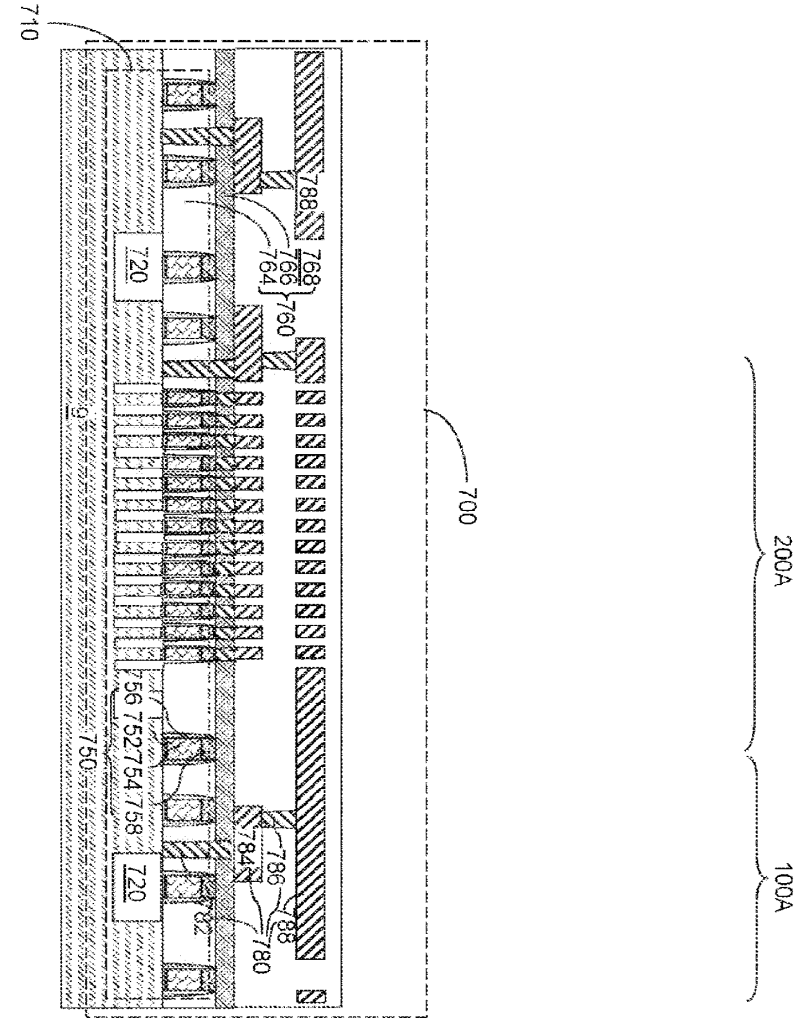
Micron Ex. 1002, p. 369
Micron v. YMTC
IPR2025-00245

도면17



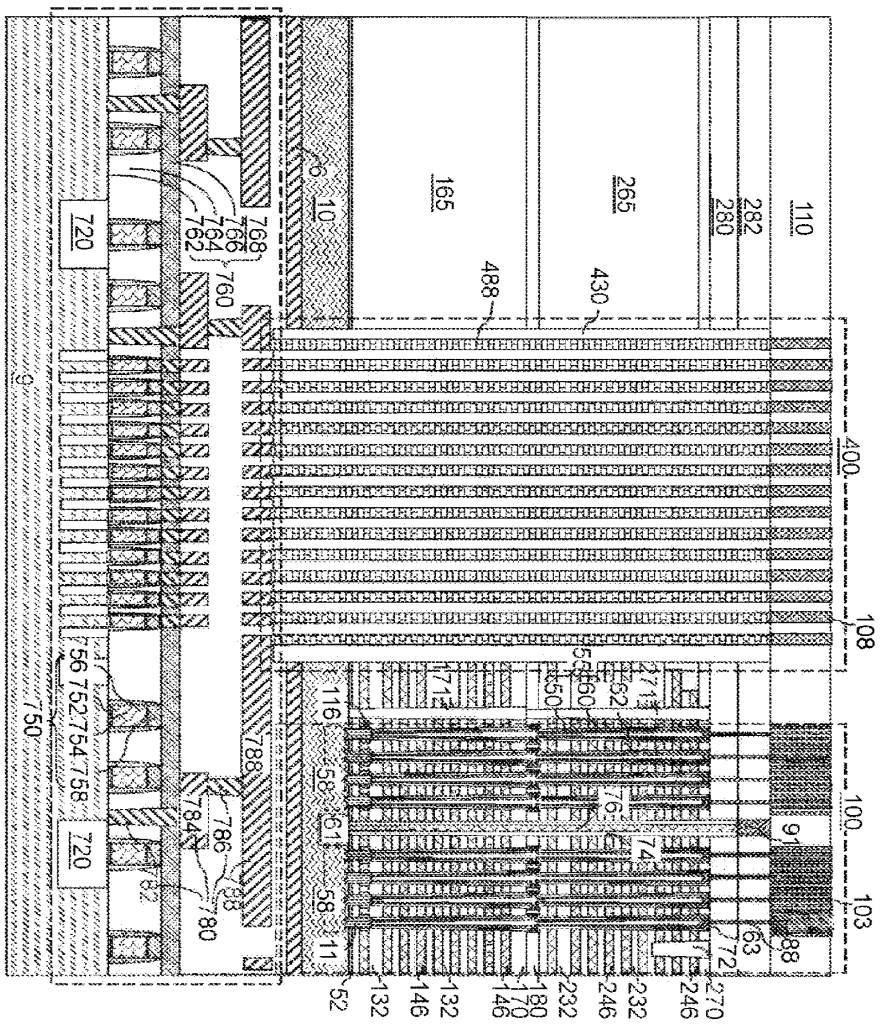
Micron Ex. 1002, p. 370
Micron v. YMTC
IPR2025-00245

도면18



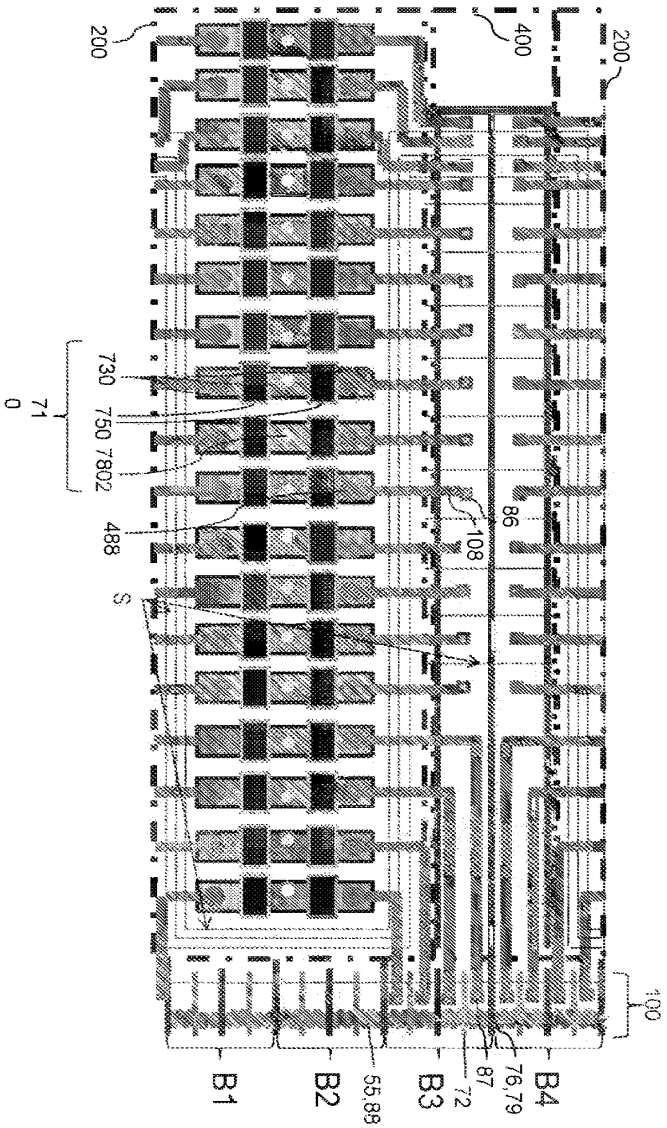
Micron Ex. 1002, p. 371
Micron v. YMTC
IPR2025-00245

도면19a



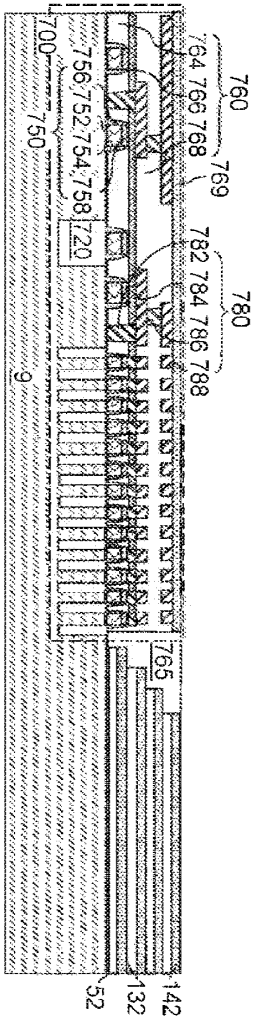
Micron Ex. 1002, p. 372
Micron v. YMTC
IPR2025-00245

도면196



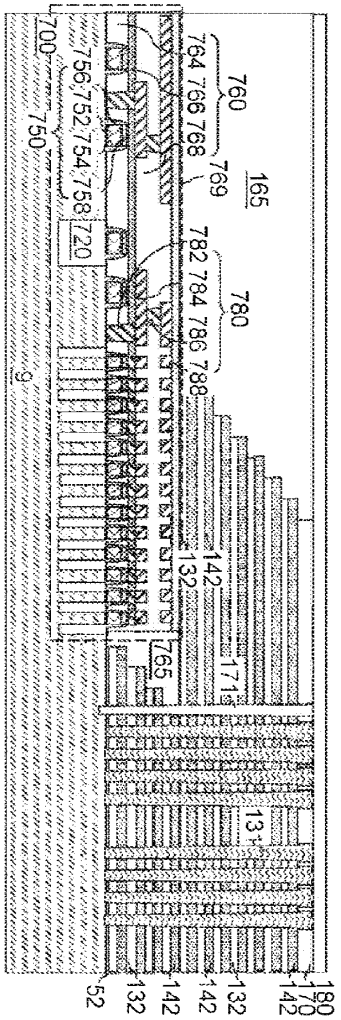
Micron Ex. 1002, p. 373
Micron v. YMTC
IPR2025-00245

도면20



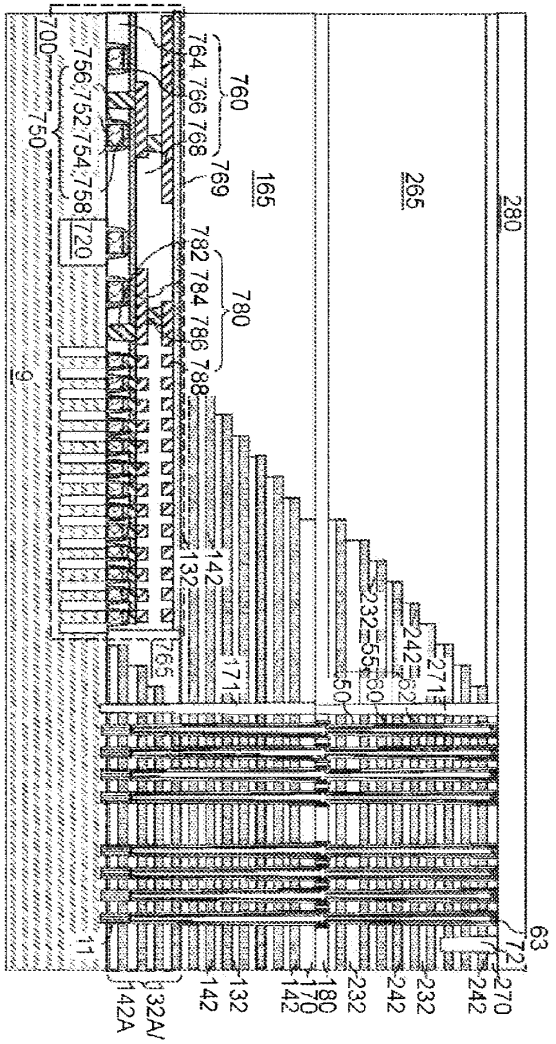
Micron Ex. 1002, p. 374
Micron v. YMTC
IPR2025-00245

도 21



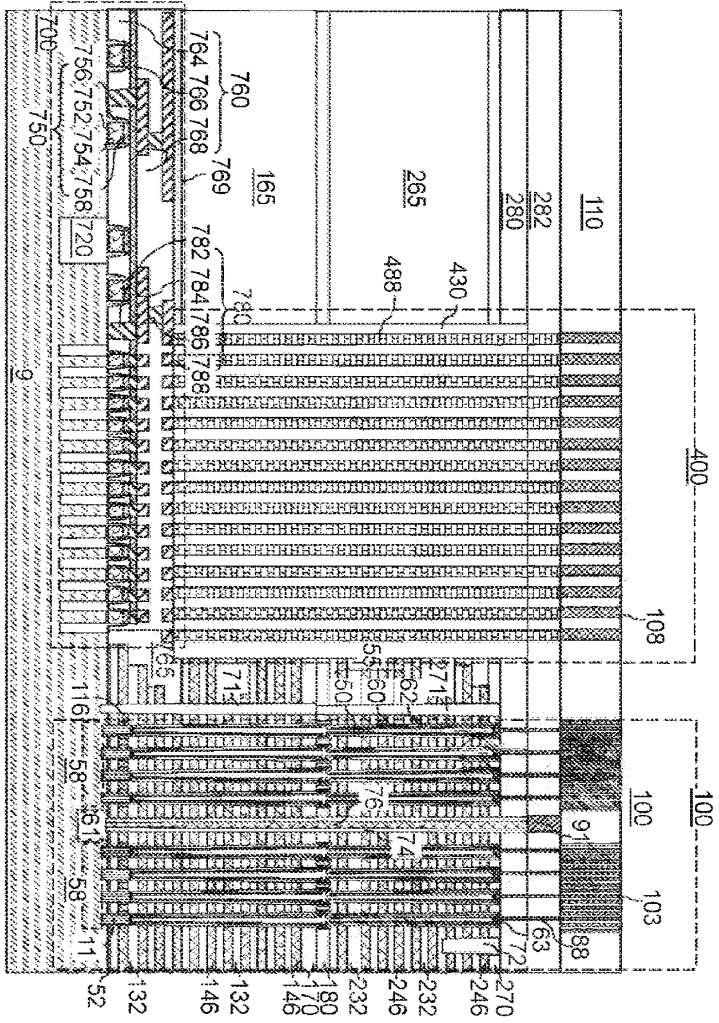
Micron Ex. 1002, p. 375
Micron v. YMTC
IPR2025-00245

도면22



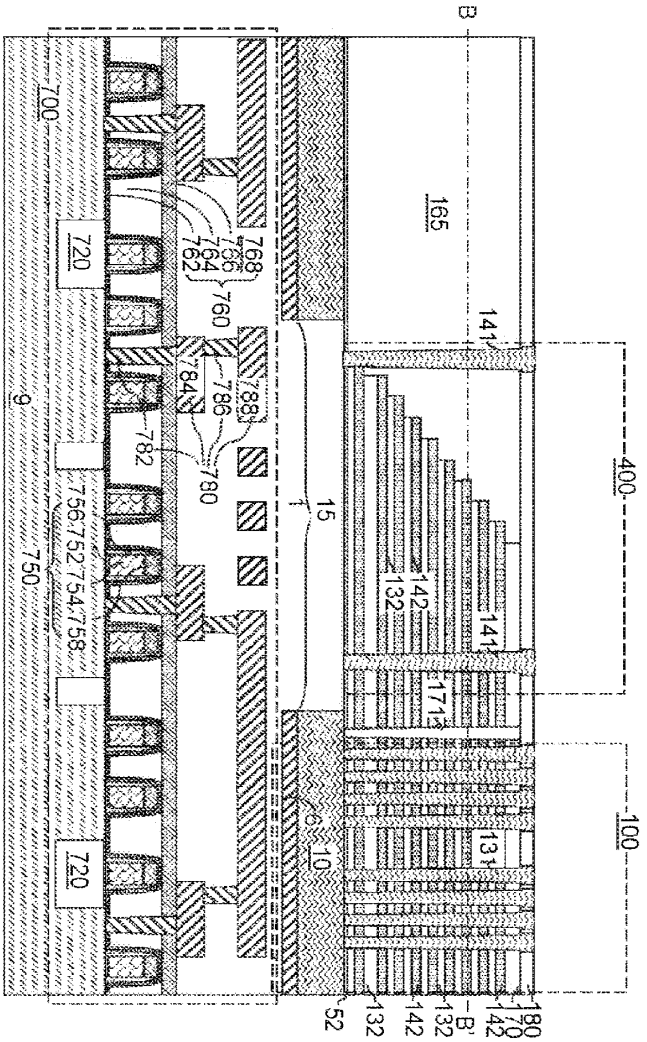
Micron Ex. 1002, p. 376
Micron v. YMTC
IPR2025-00245

도면23



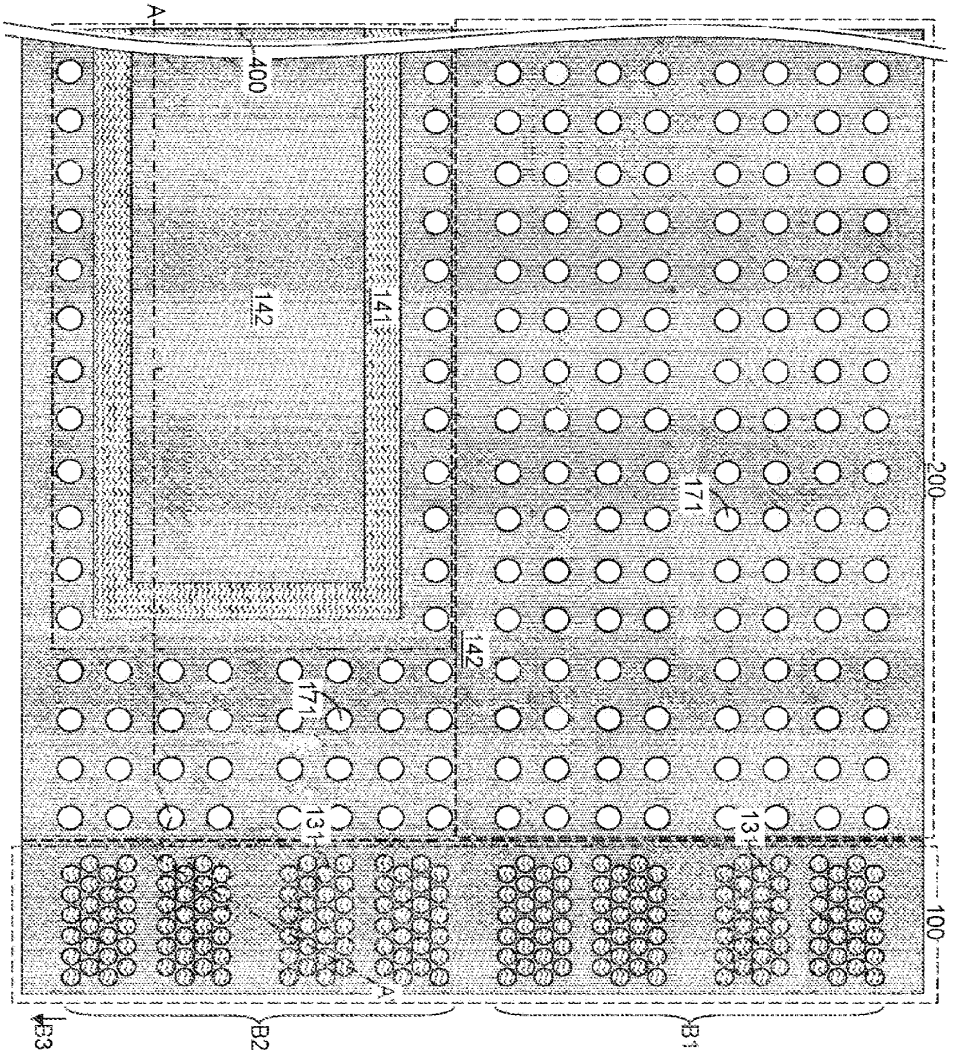
Micron Ex. 1002, p. 377
Micron v. YMTC
IPR2025-00245

도면24a



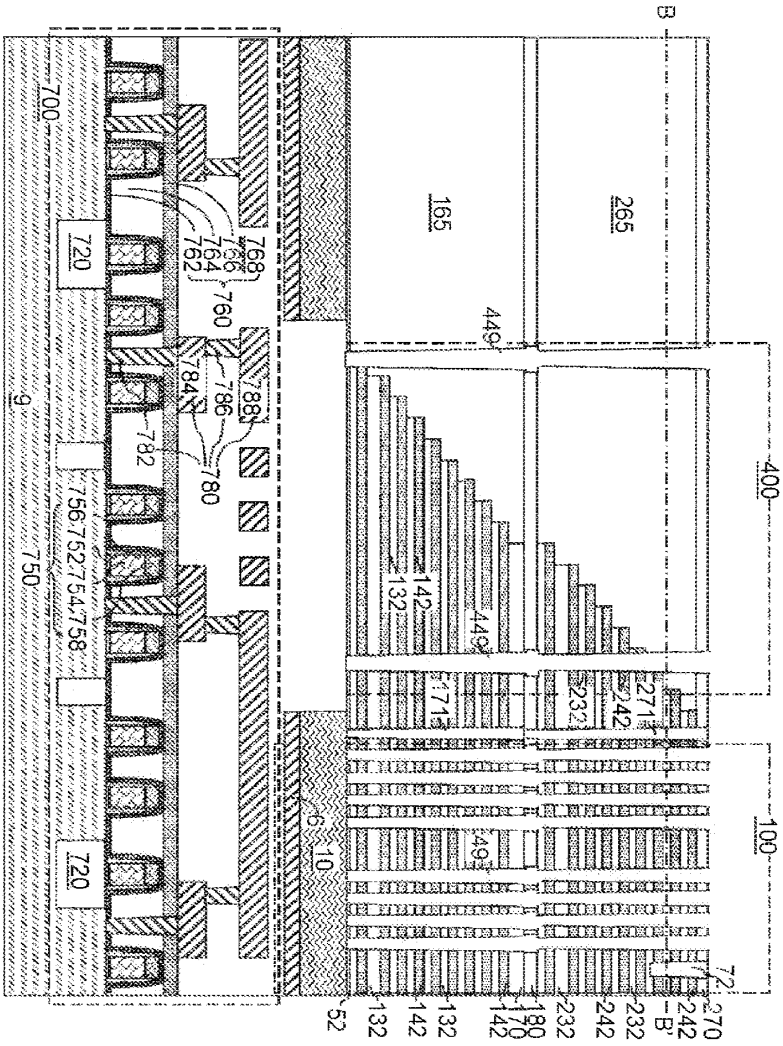
Micron Ex. 1002, p. 378
Micron v. YMTC
IPR2025-00245

도면26



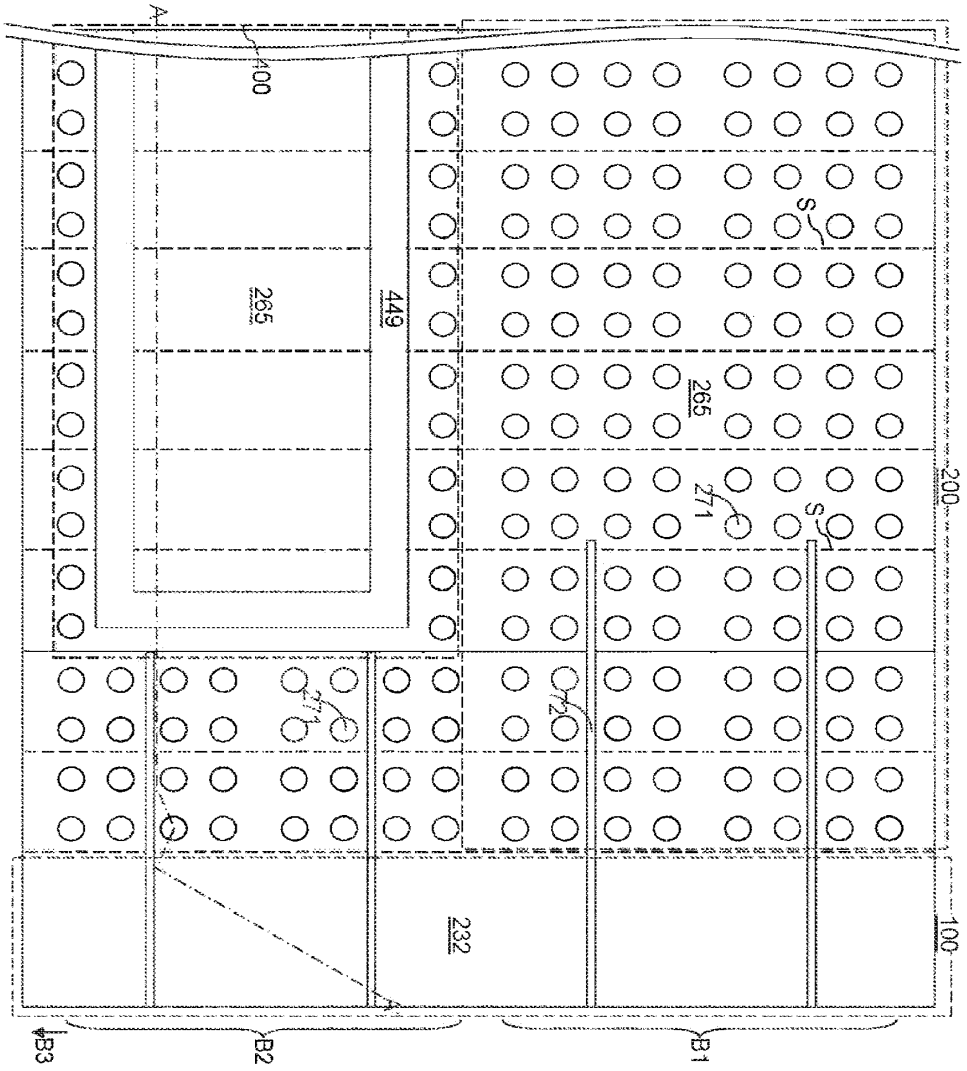
Micron Ex. 1002, p. 379
Micron v. YMTC
IPR2025-00245

도 면25a



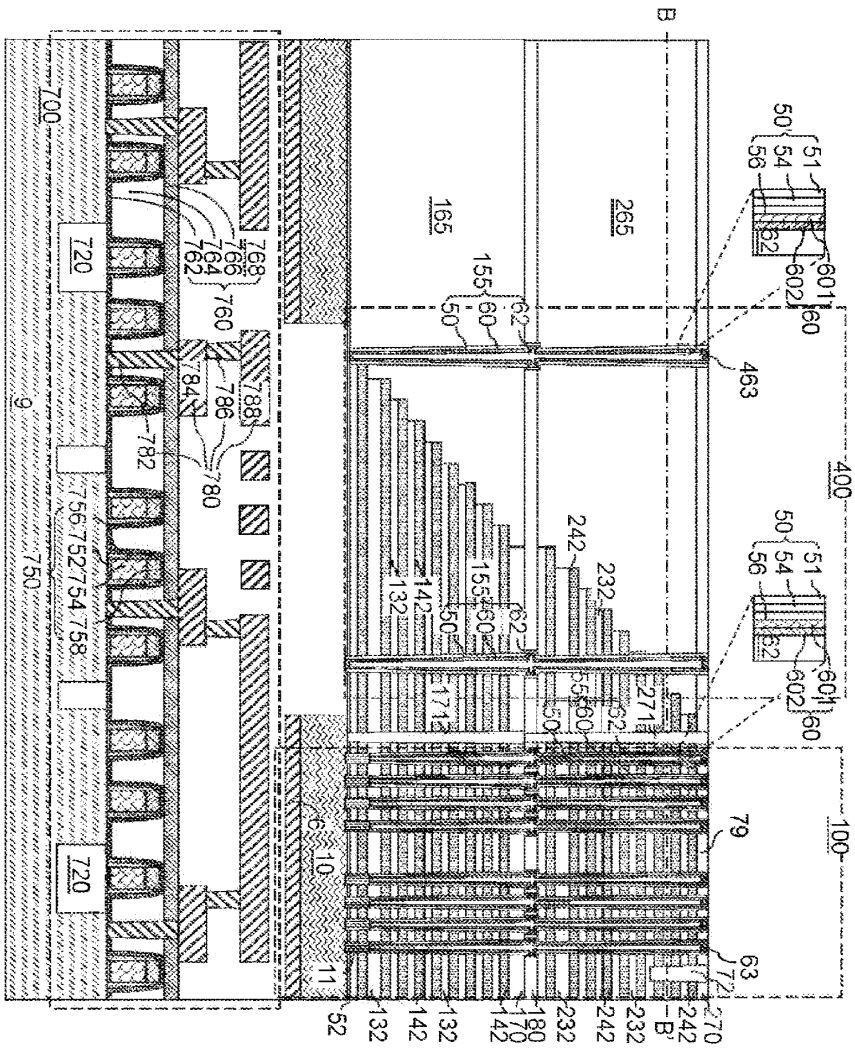
Micron Ex. 1002, p. 380
Micron v. YMTC
IPR2025-00245

도면26b



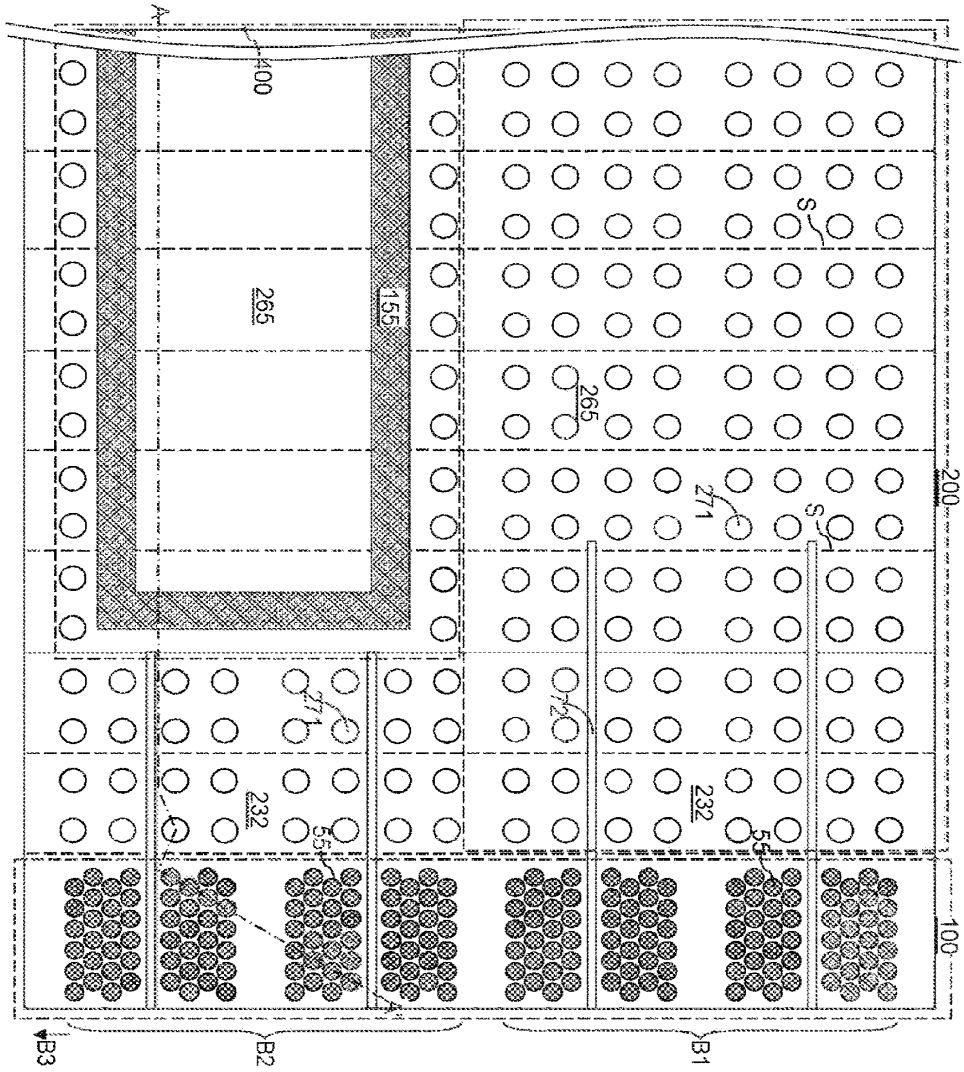
Micron Ex. 1002, p. 381
Micron v. YMTC
IPR2025-00245

도면28a



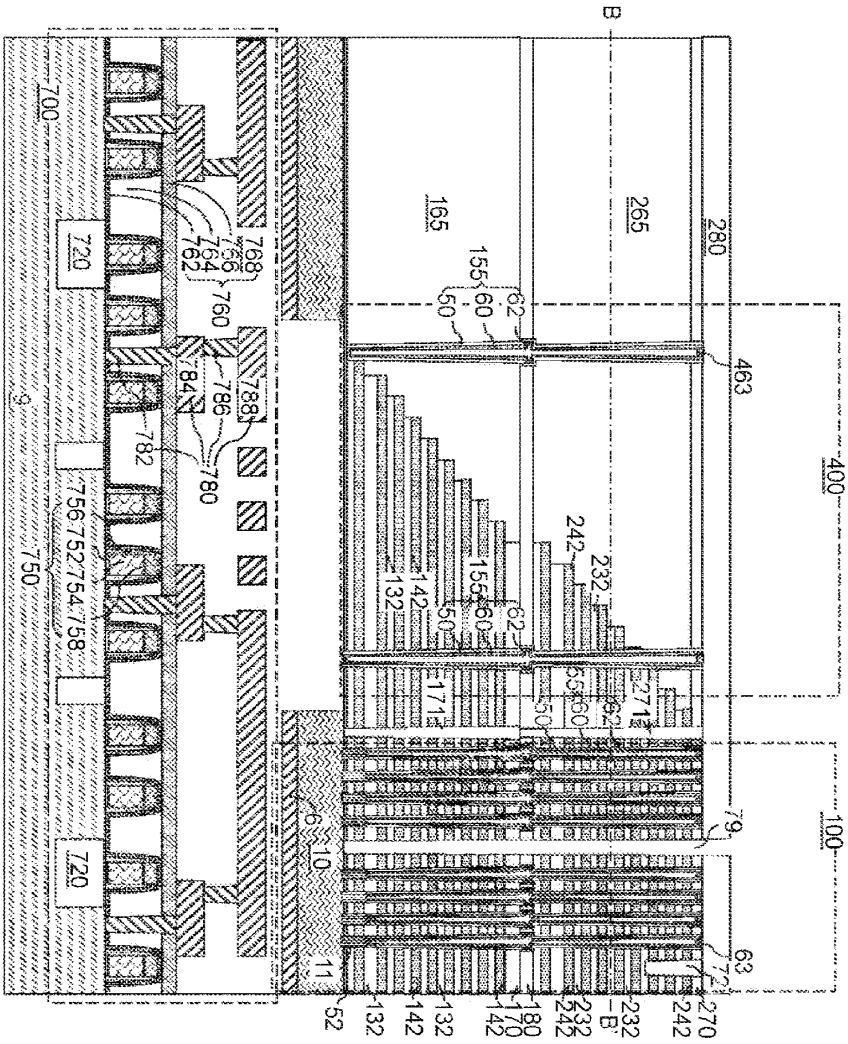
Micron Ex. 1002, p. 382
Micron v. YMTC
IPR2025-00245

도면26



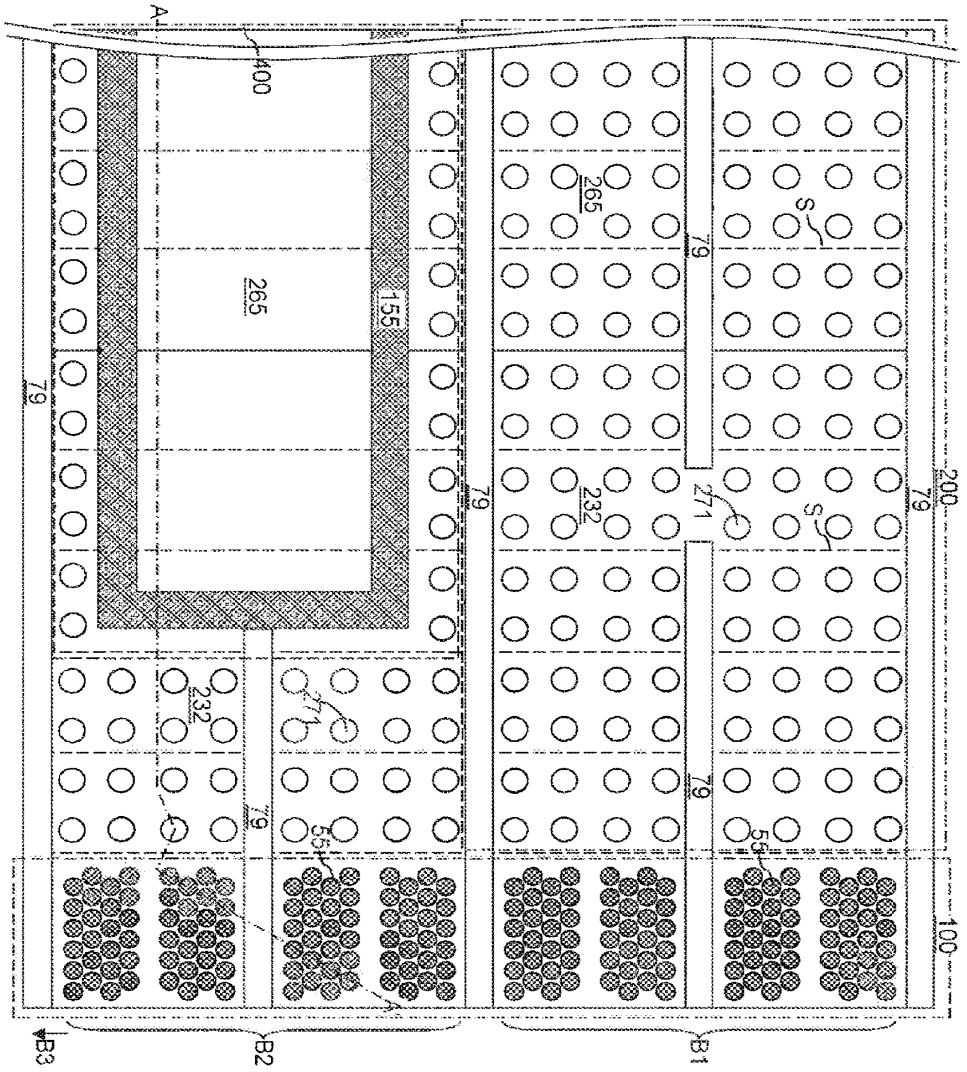
Micron Ex. 1002, p. 383
Micron v. YMTC
IPR2025-00245

도면27a



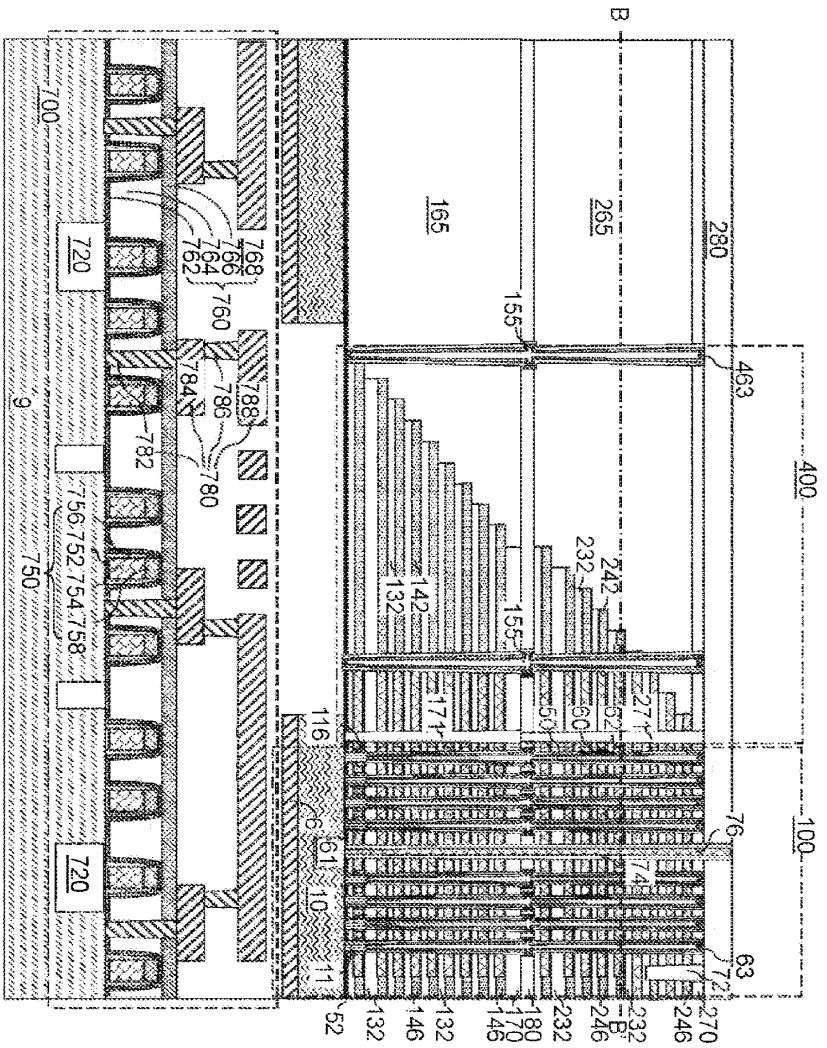
Micron Ex. 1002, p. 384
Micron v. YMTC
IPR2025-00245

도면27b



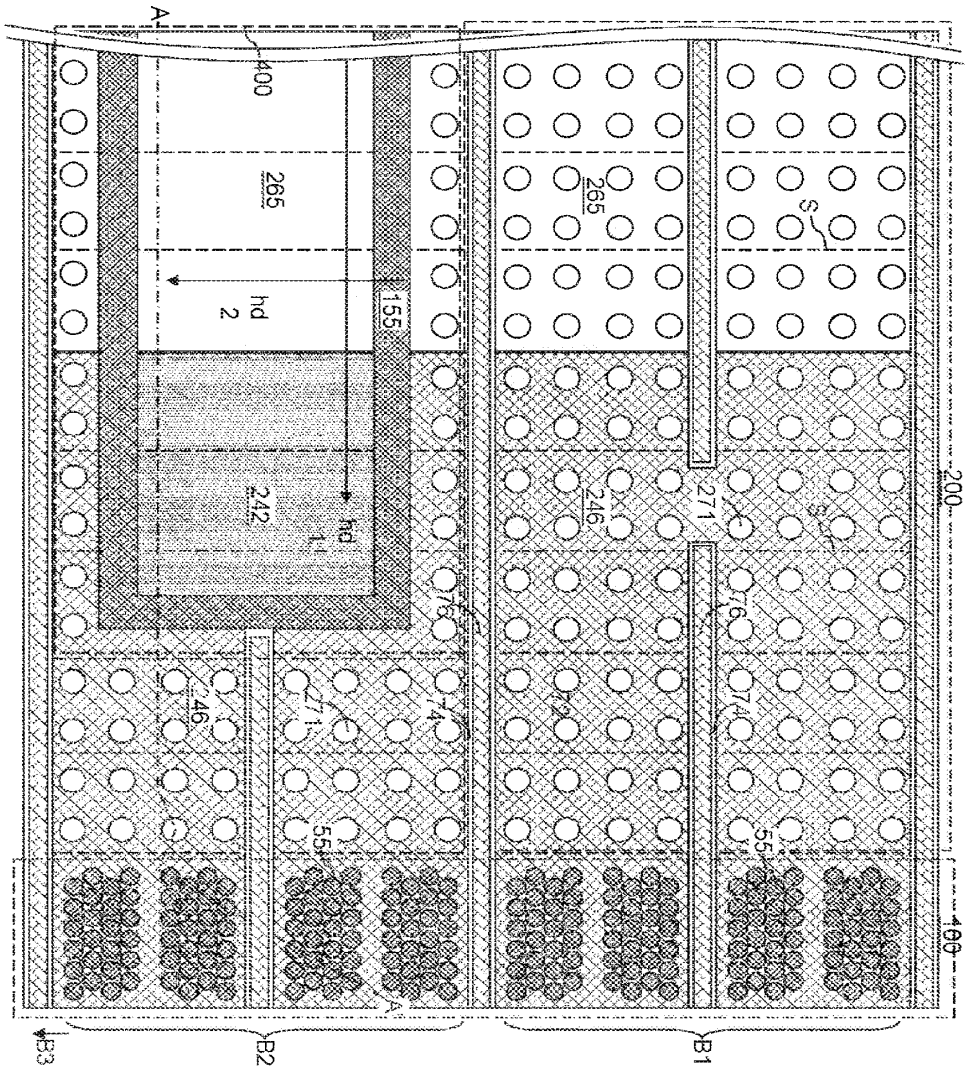
Micron Ex. 1002, p. 385
Micron v. YMTC
IPR2025-00245

도 28a



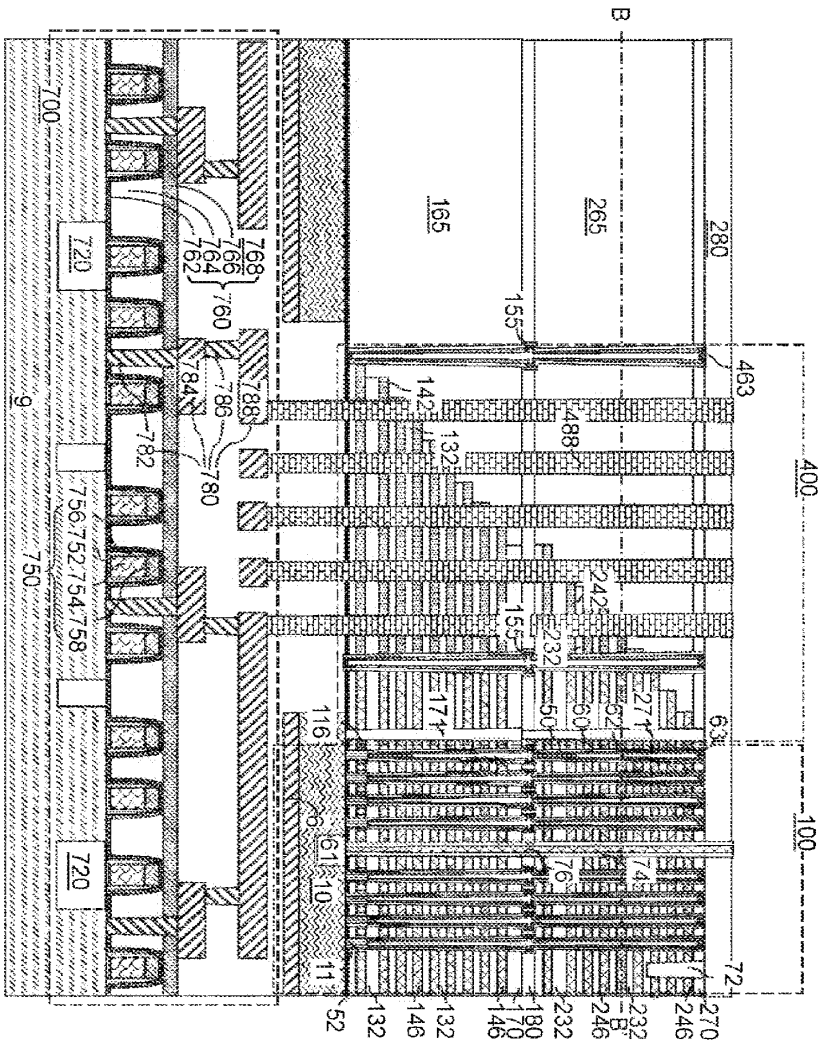
Micron Ex. 1002, p. 386
Micron v. YMTC
IPR2025-00245

도면28b



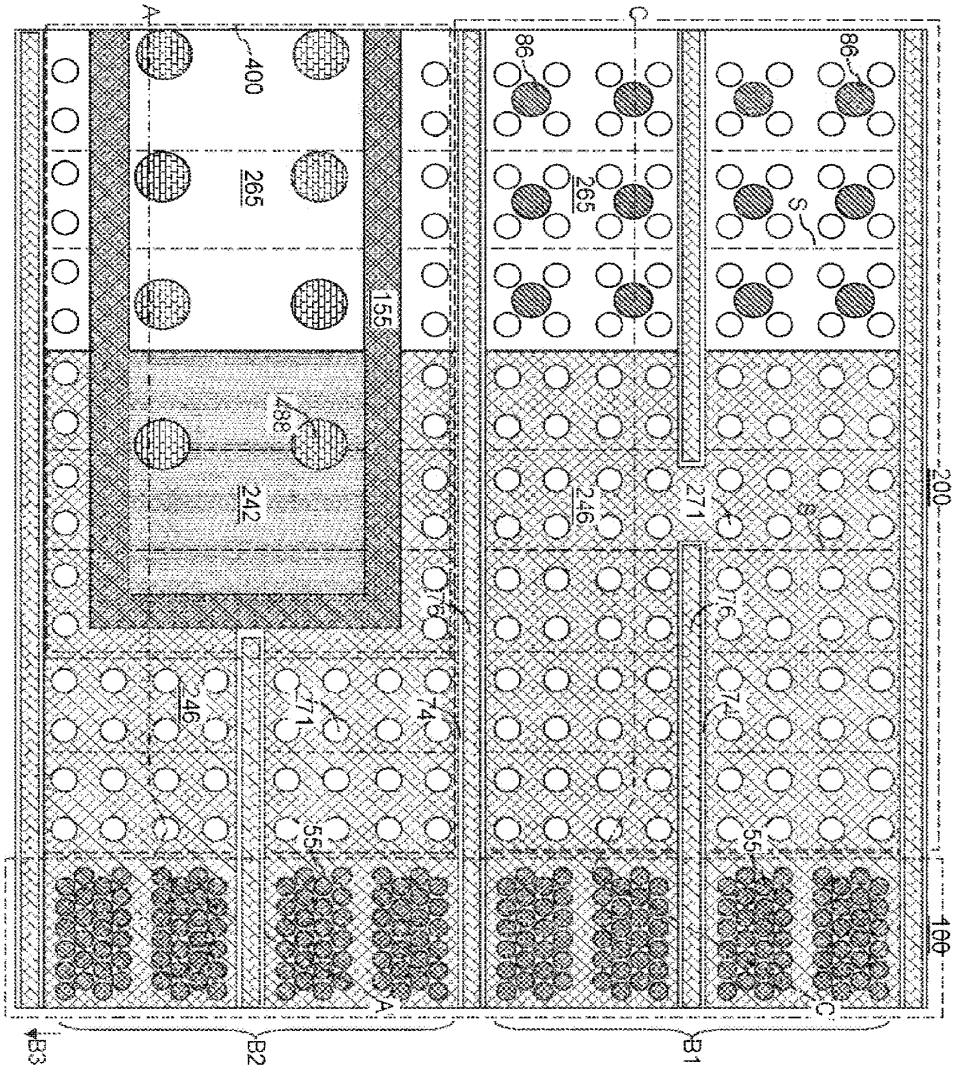
Micron Ex. 1002, p. 387
Micron v. YMTC
IPR2025-00245

도면29a



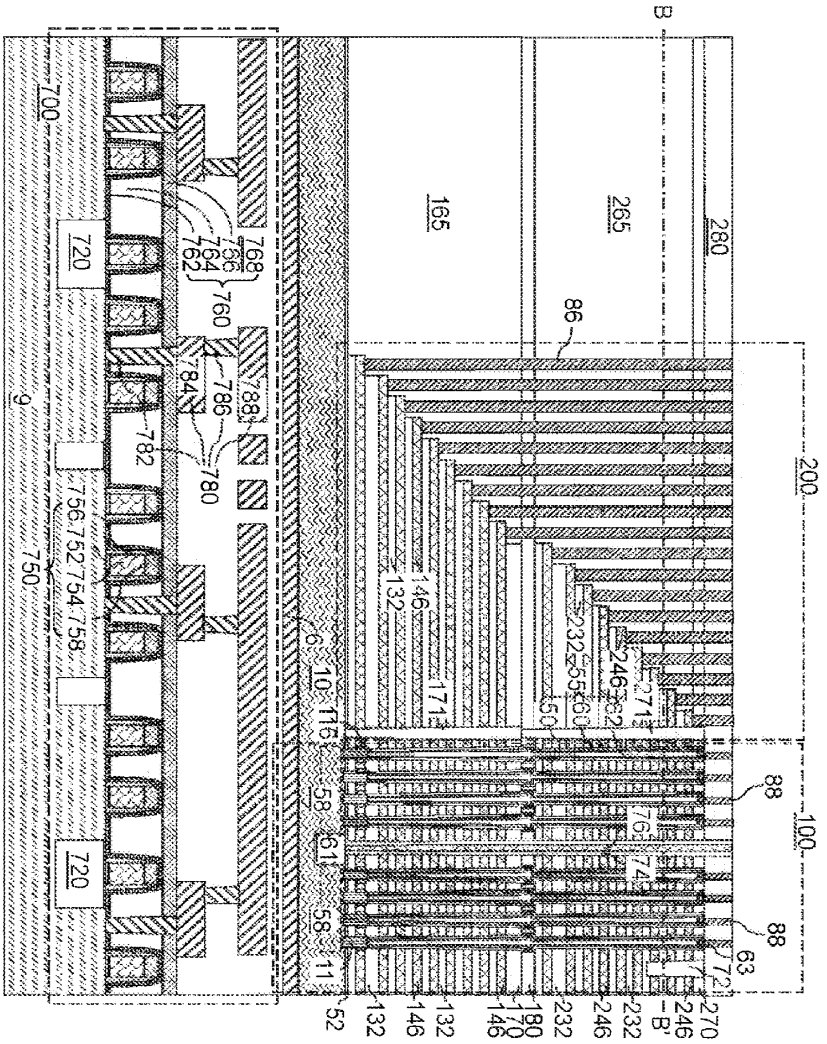
Micron Ex. 1002, p. 388
Micron v. YMTC
IPR2025-00245

도면29b



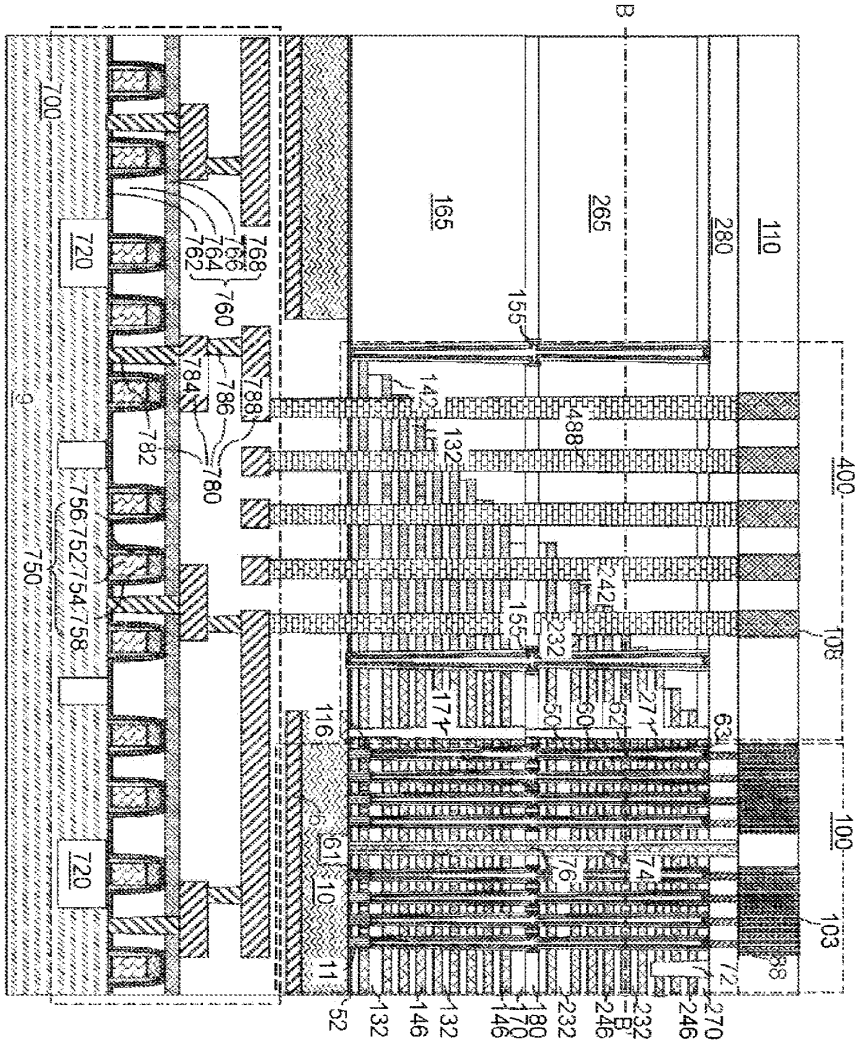
Micron Ex. 1002, p. 389
Micron v. YMTC
IPR2025-00245

도면29c



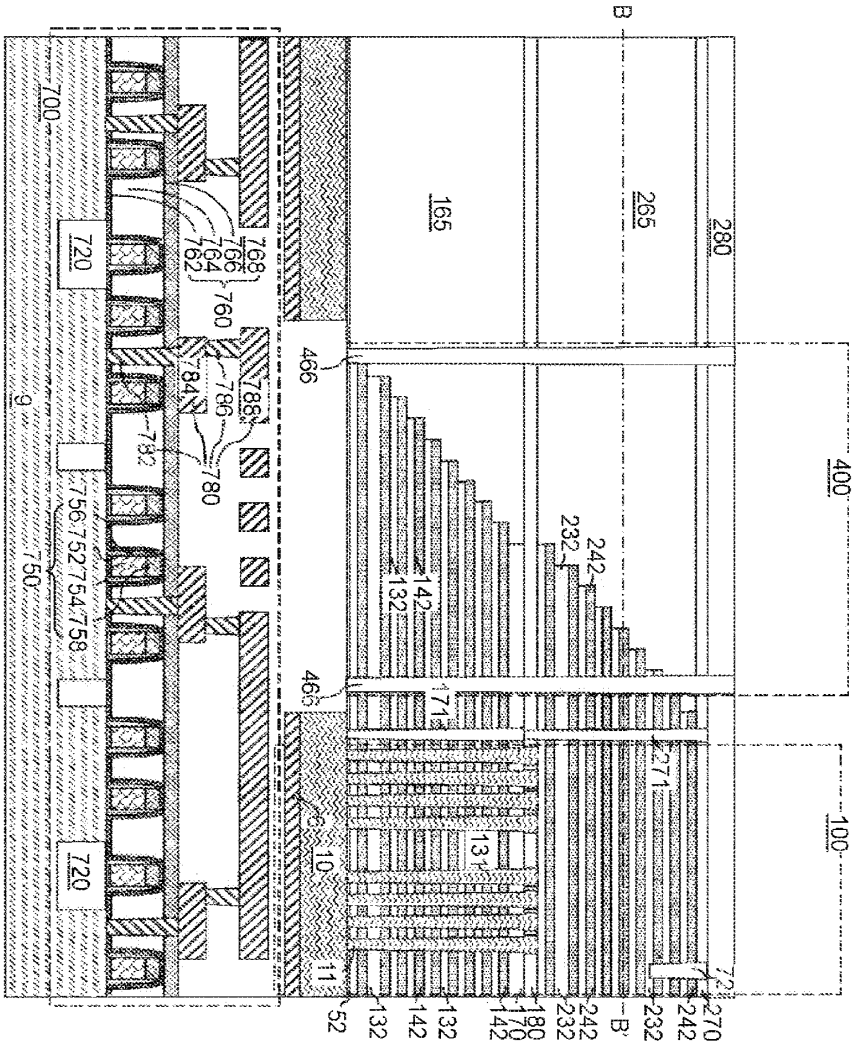
Micron Ex. 1002, p. 390
Micron v. YMTC
IPR2025-00245

도면30



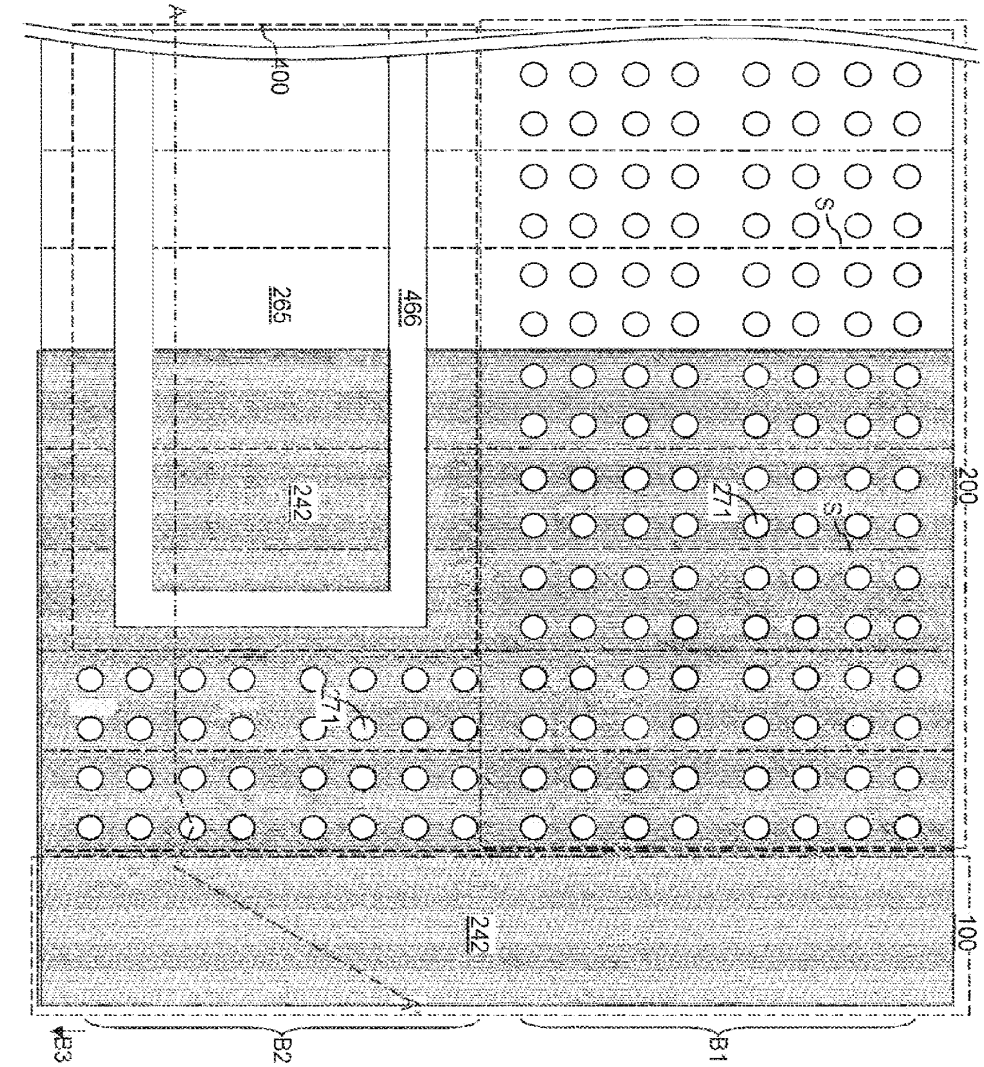
Micron Ex. 1002, p. 391
Micron v. YMTC
IPR2025-00245

도면31a



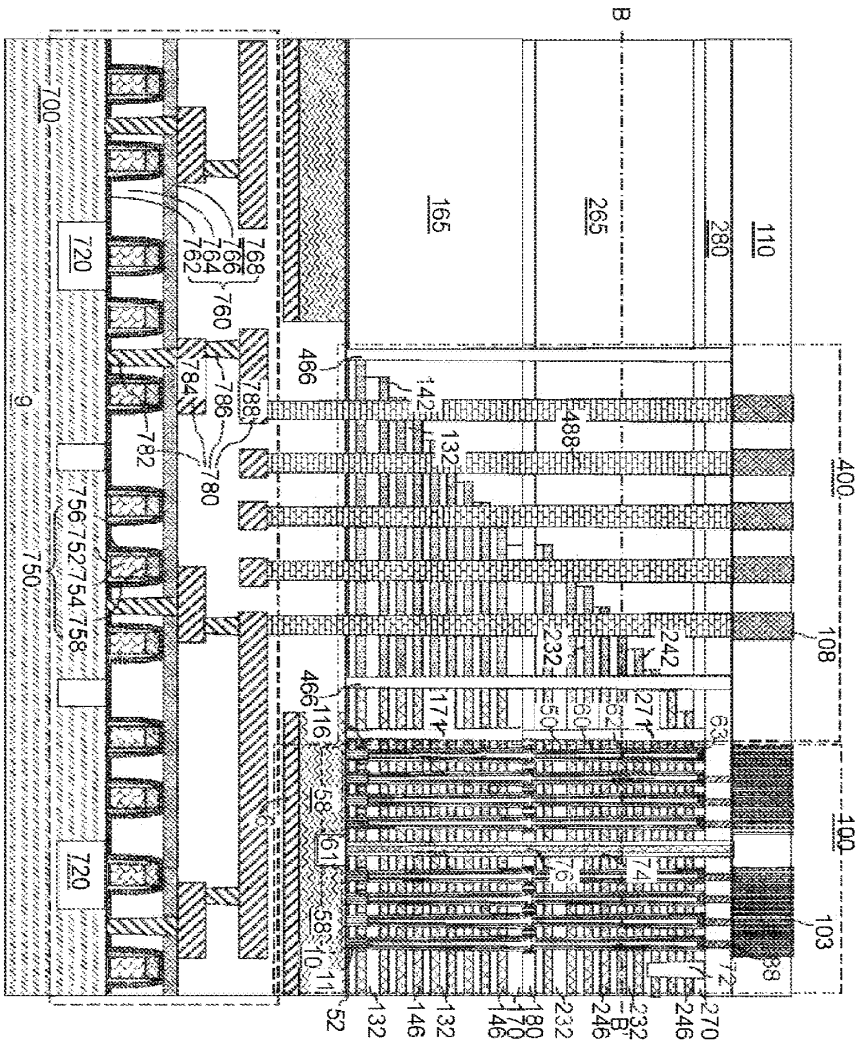
Micron Ex. 1002, p. 392
Micron v. YMTC
IPR2025-00245

도면316



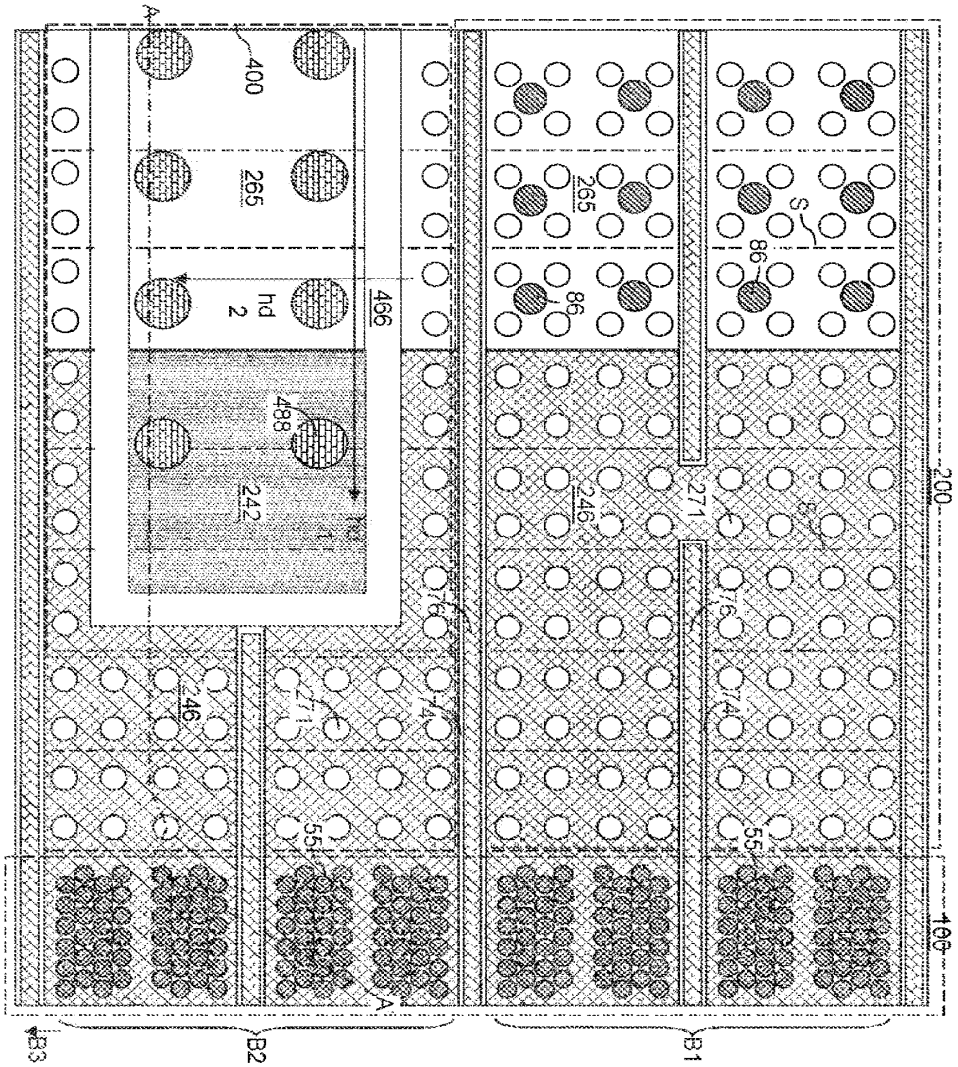
Micron Ex. 1002, p. 393
Micron v. YMTC
IPR2025-00245

도 32a



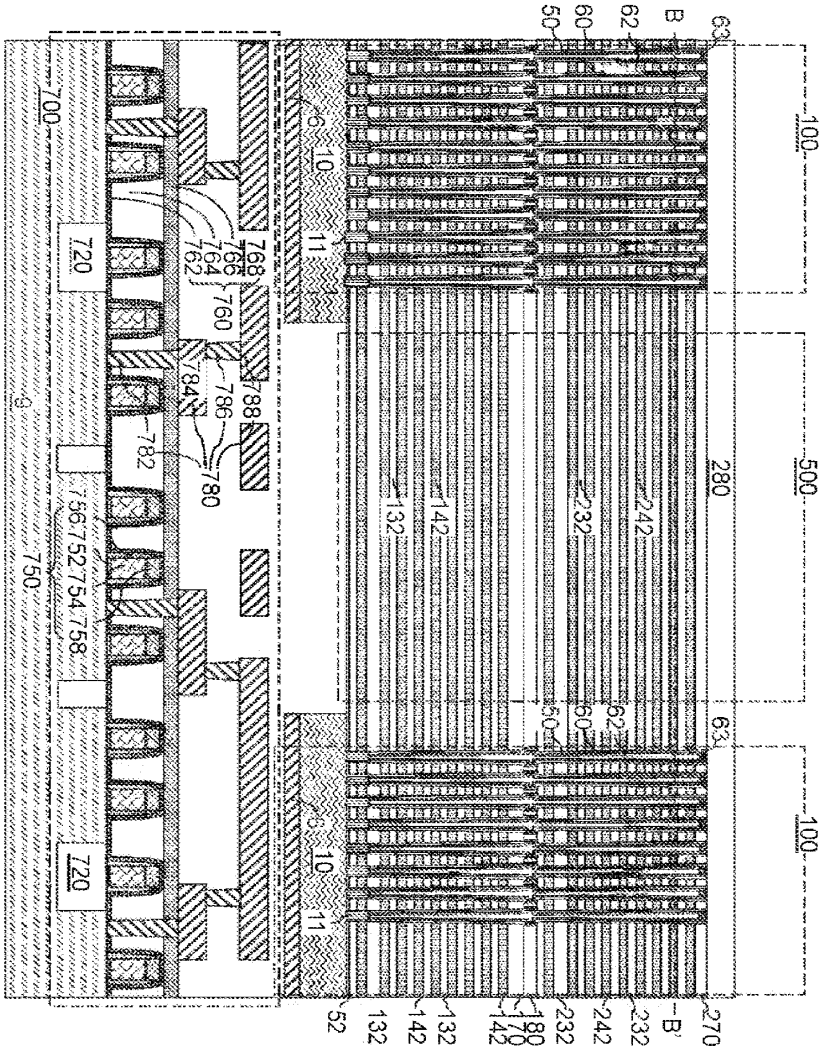
Micron Ex. 1002, p. 394
Micron v. YMTC
IPR2025-00245

도면326



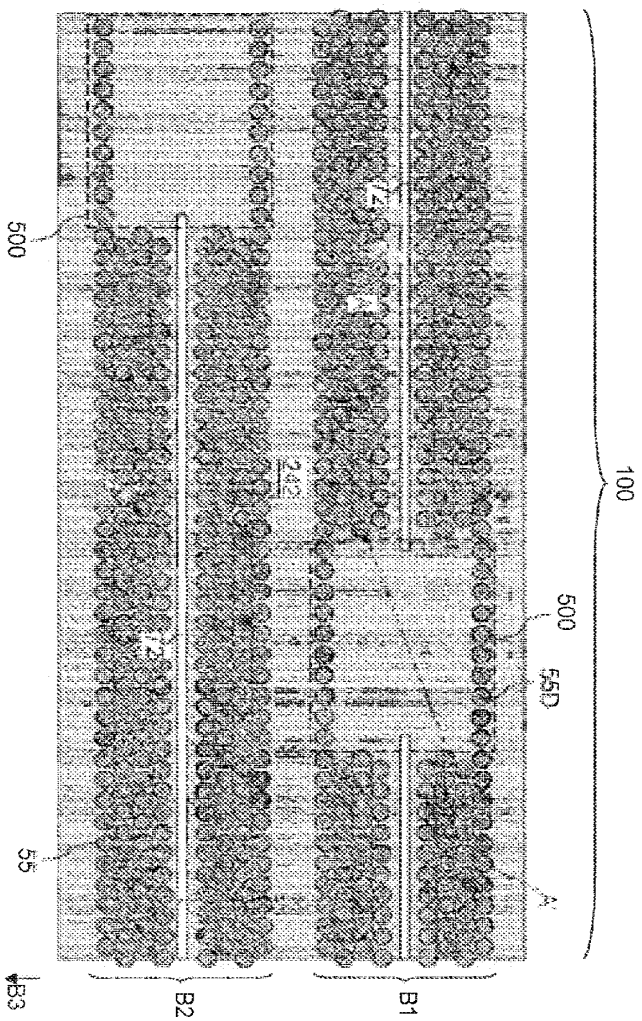
Micron Ex. 1002, p. 395
Micron v. YMTC
IPR2025-00245

도면33c



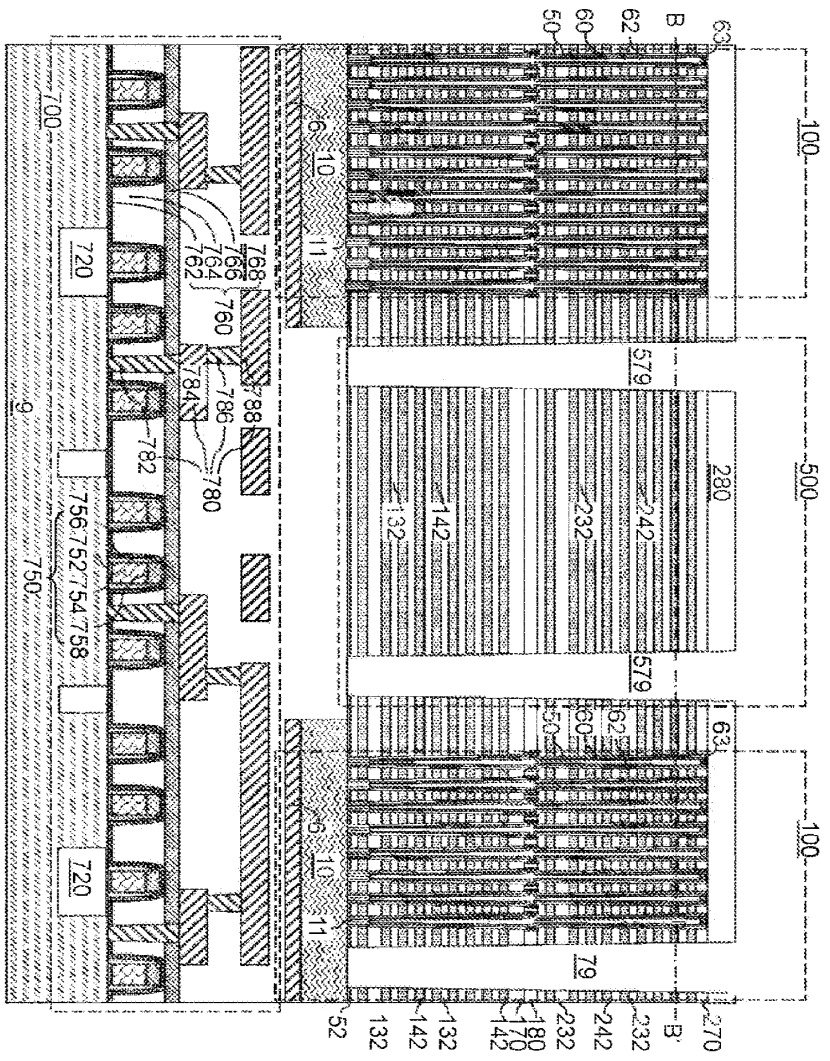
Micron Ex. 1002, p. 396
Micron v. YMTC
IPR2025-00245

도면36



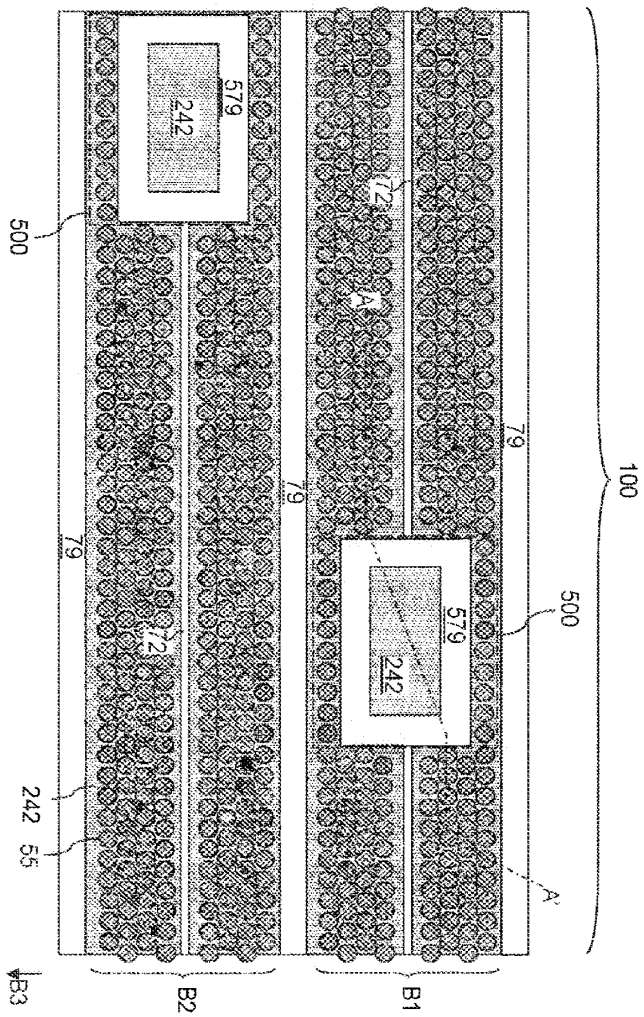
Micron Ex. 1002, p. 397
Micron v. YMTC
IPR2025-00245

도면34a



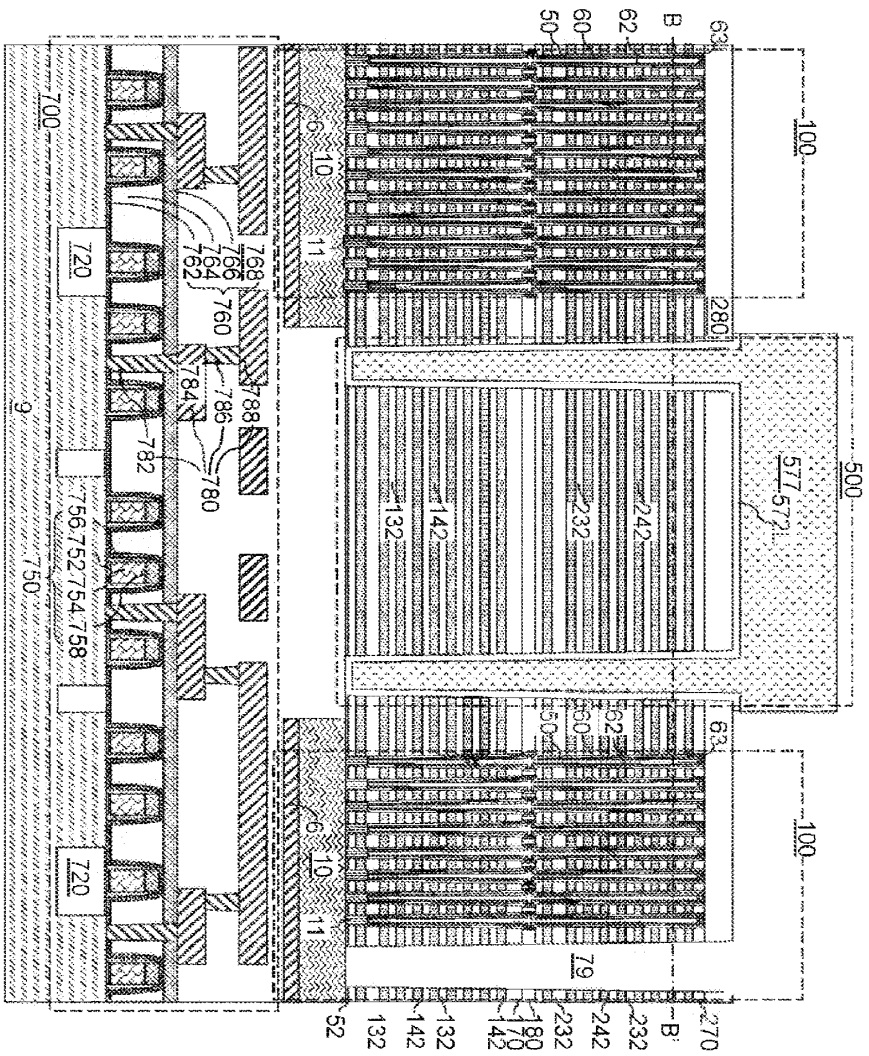
Micron Ex. 1002, p. 398
Micron v. YMTC
IPR2025-00245

도면46



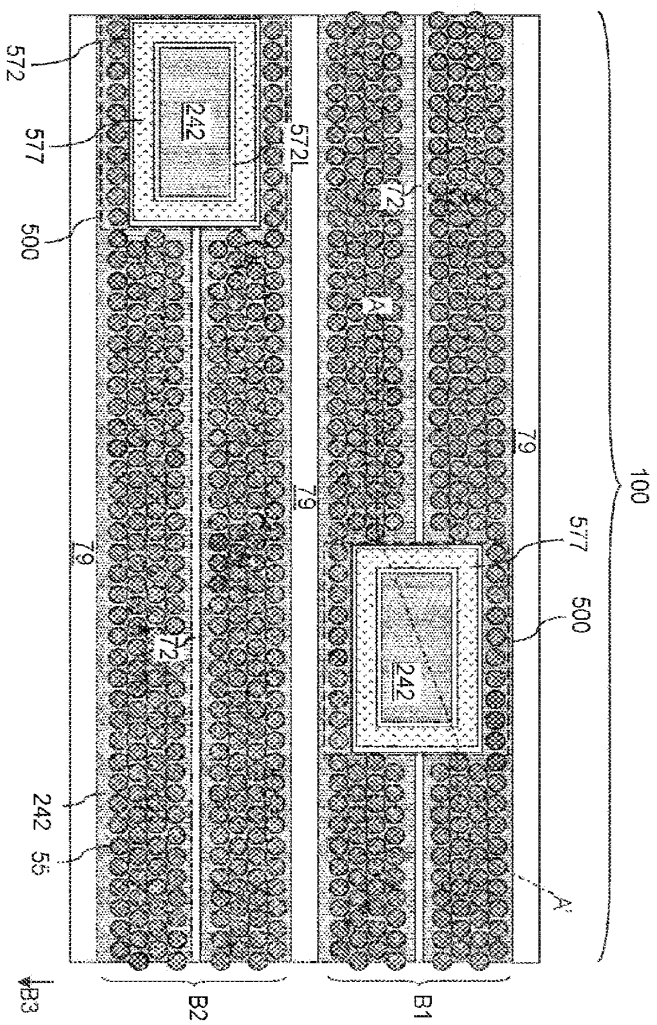
Micron Ex. 1002, p. 399
Micron v. YMTC
IPR2025-00245

도면36a



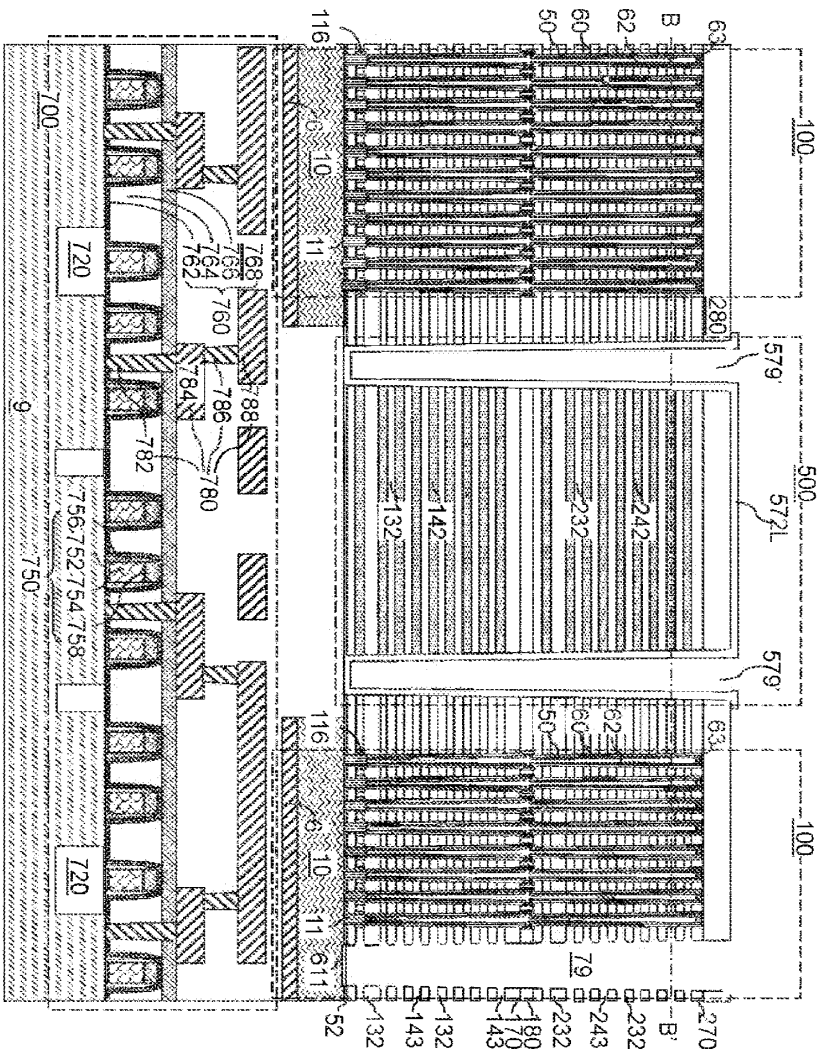
Micron Ex. 1002, p. 400
Micron v. YMTC
IPR2025-00245

도면36b



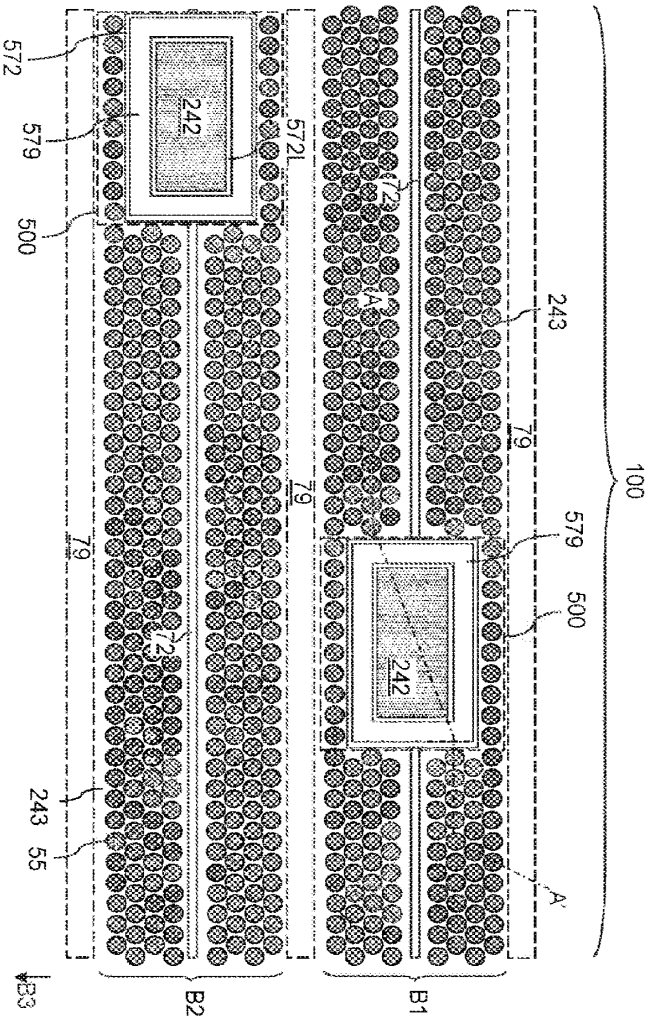
Micron Ex. 1002, p. 401
Micron v. YMTC
IPR2025-00245

도 36a



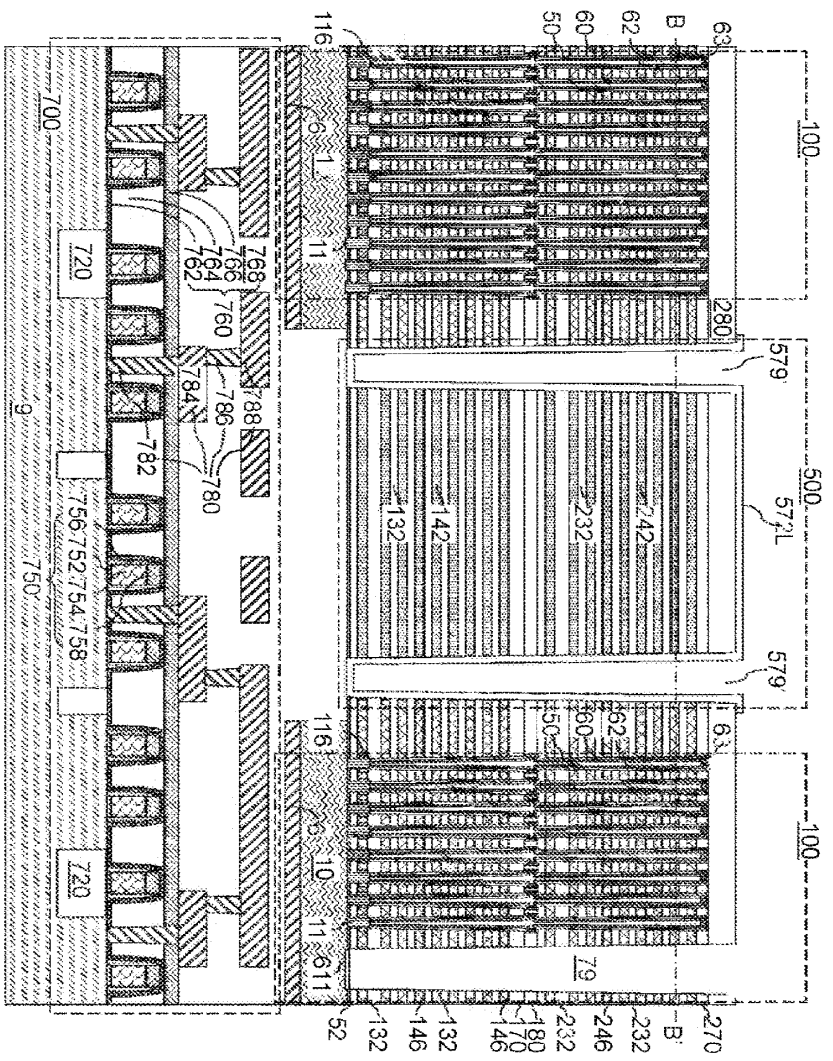
Micron Ex. 1002, p. 402
Micron v. YMTC
IPR2025-00245

도면36b



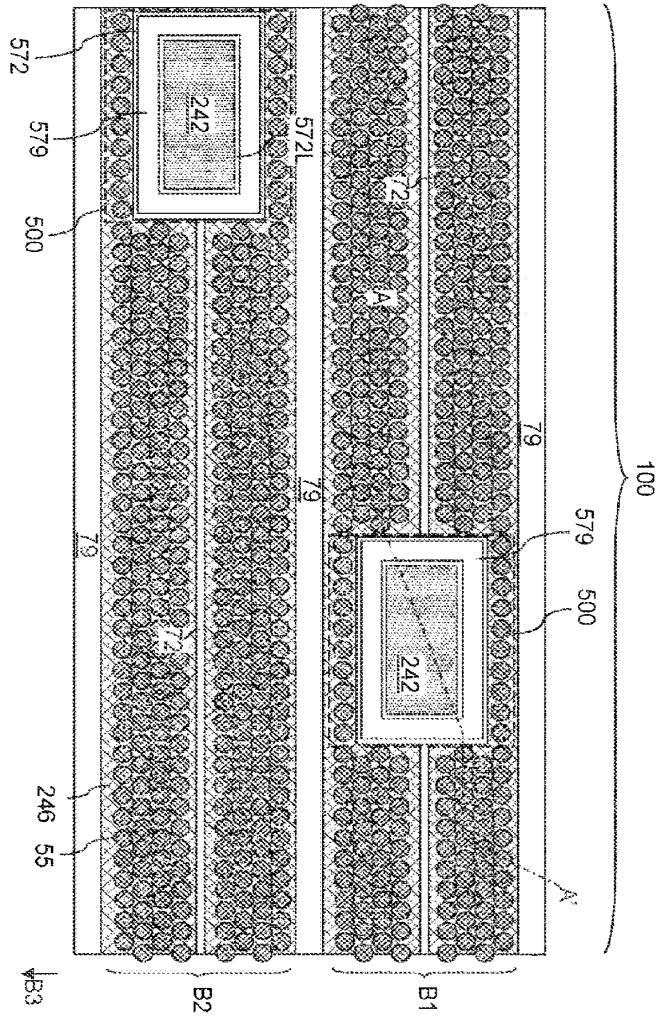
Micron Ex. 1002, p. 403
Micron v. YMTC
IPR2025-00245

도면37a



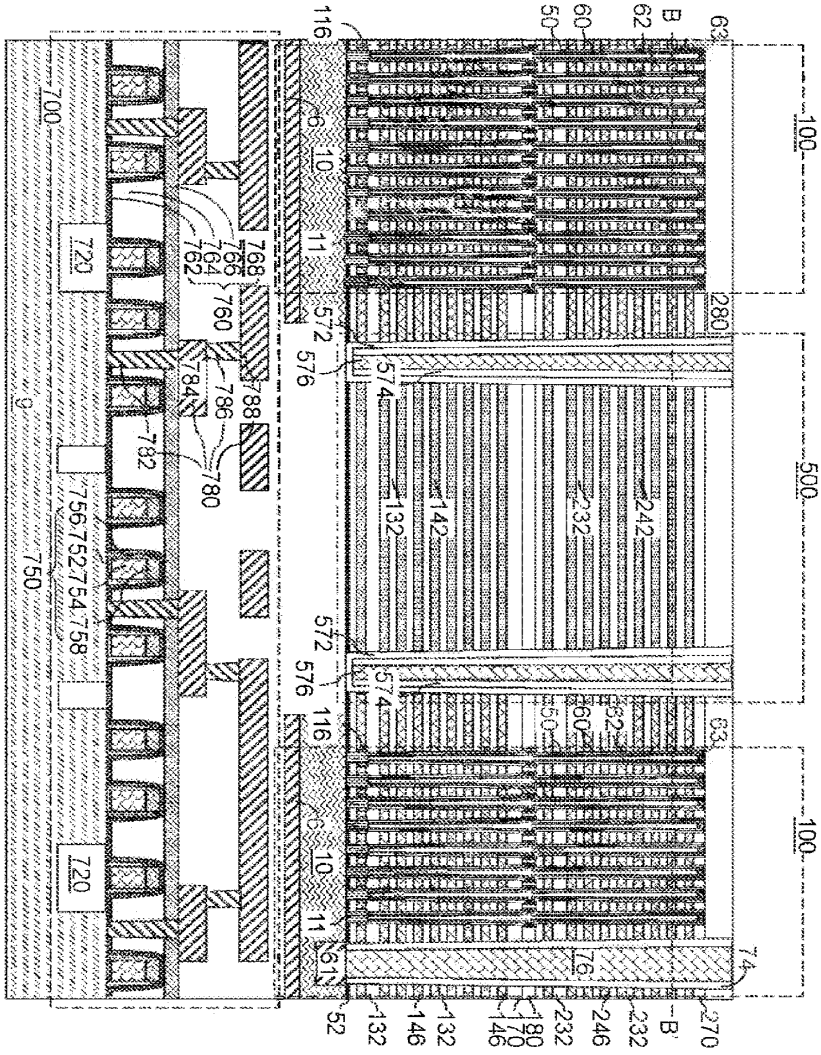
Micron Ex. 1002, p. 404
Micron v. YMTC
IPR2025-00245

도면370



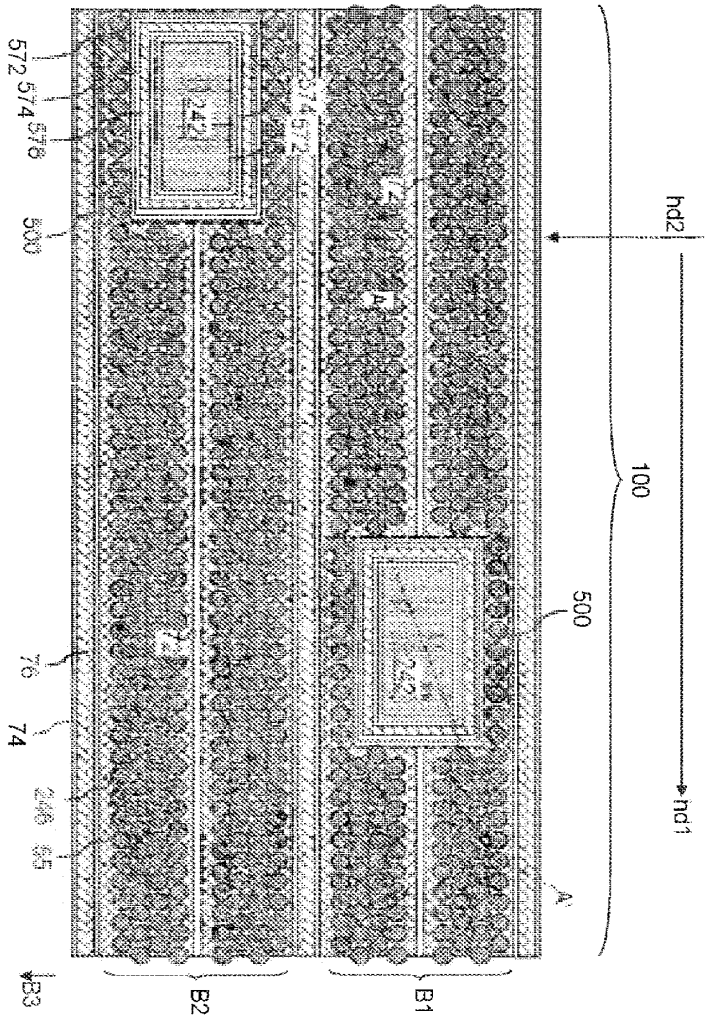
Micron Ex. 1002, p. 405
Micron v. YMTC
IPR2025-00245

도면38a



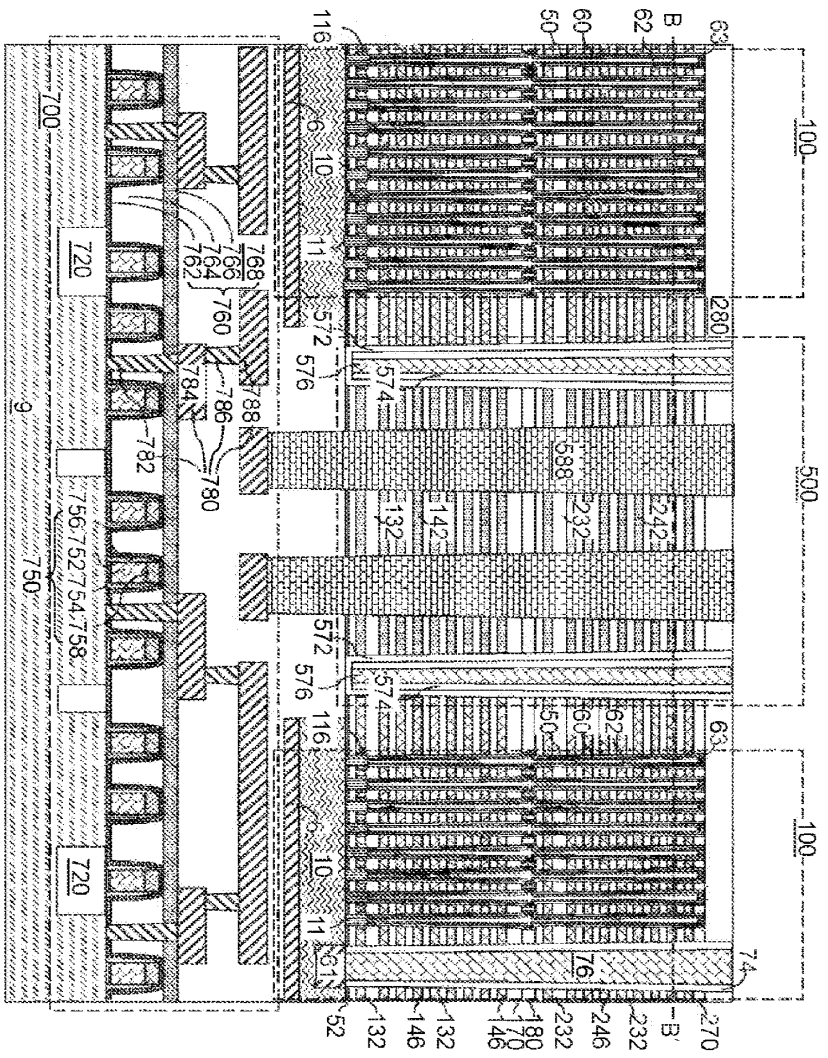
Micron Ex. 1002, p. 406
Micron v. YMTC
IPR2025-00245

도 386



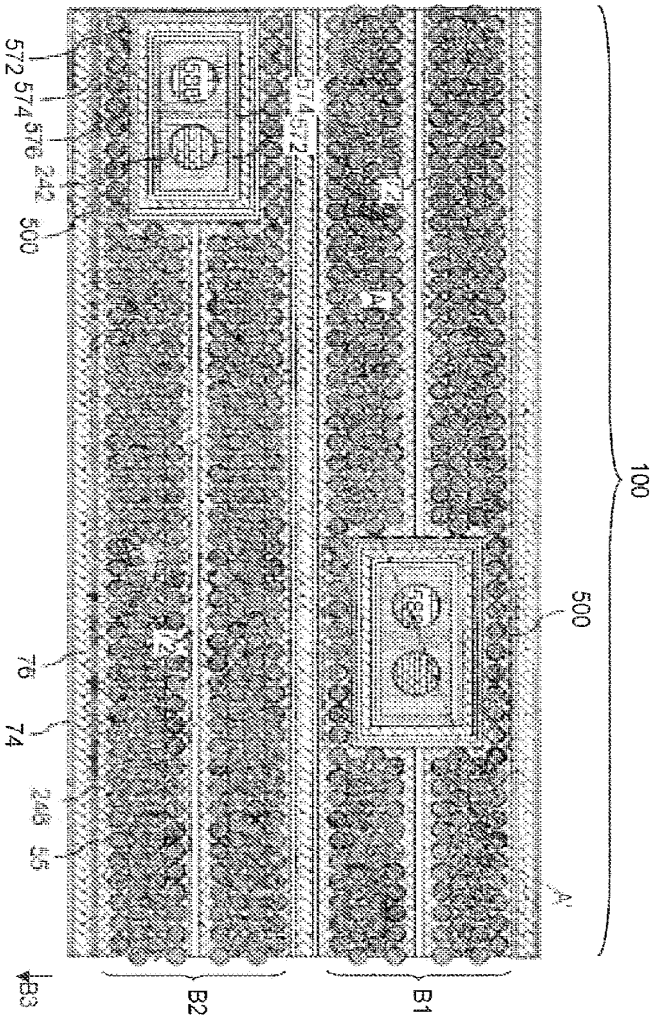
Micron Ex. 1002, p. 407
Micron v. YMTC
IPR2025-00245

도 39a



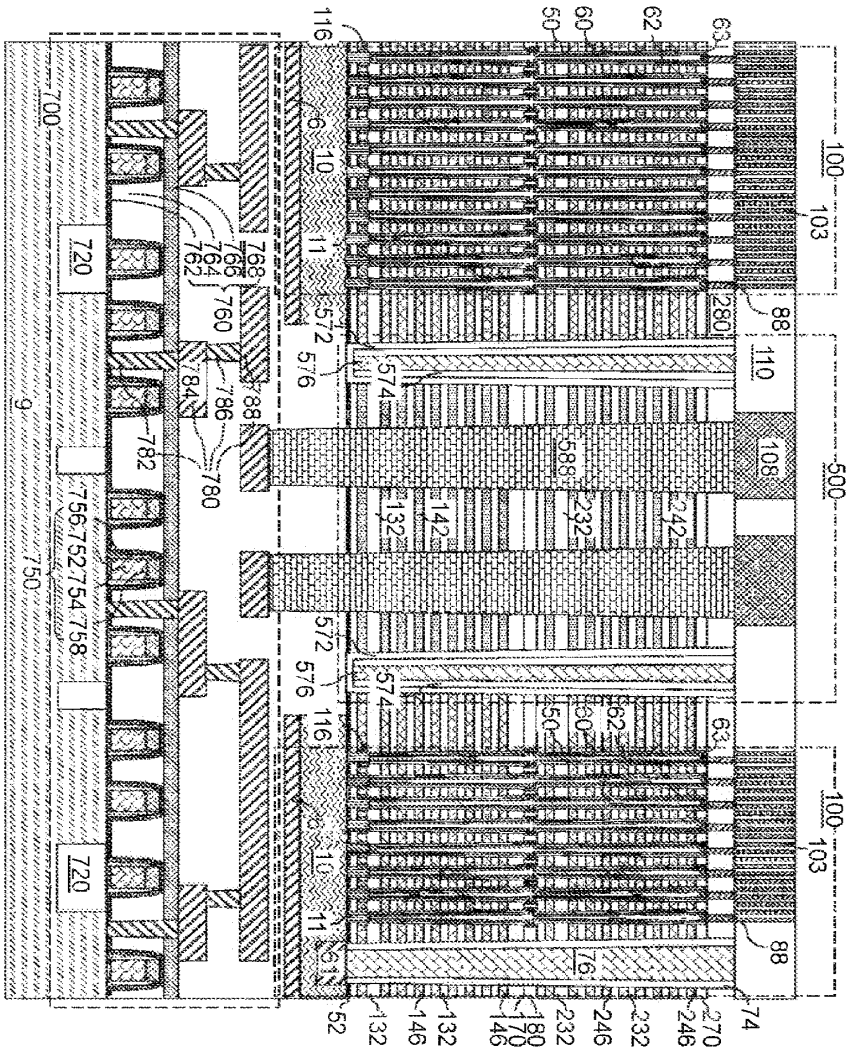
Micron Ex. 1002, p. 408
Micron v. YMTC
IPR2025-00245

도 89b



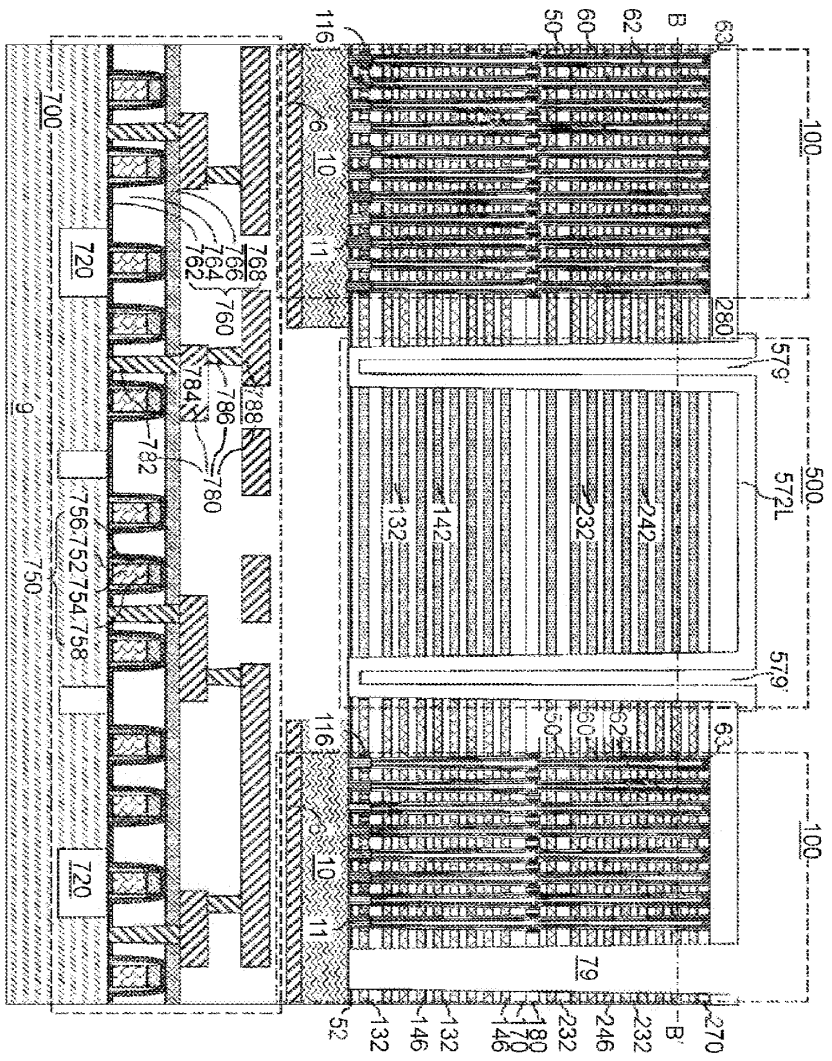
Micron Ex. 1002, p. 409
Micron v. YMTC
IPR2025-00245

도면40



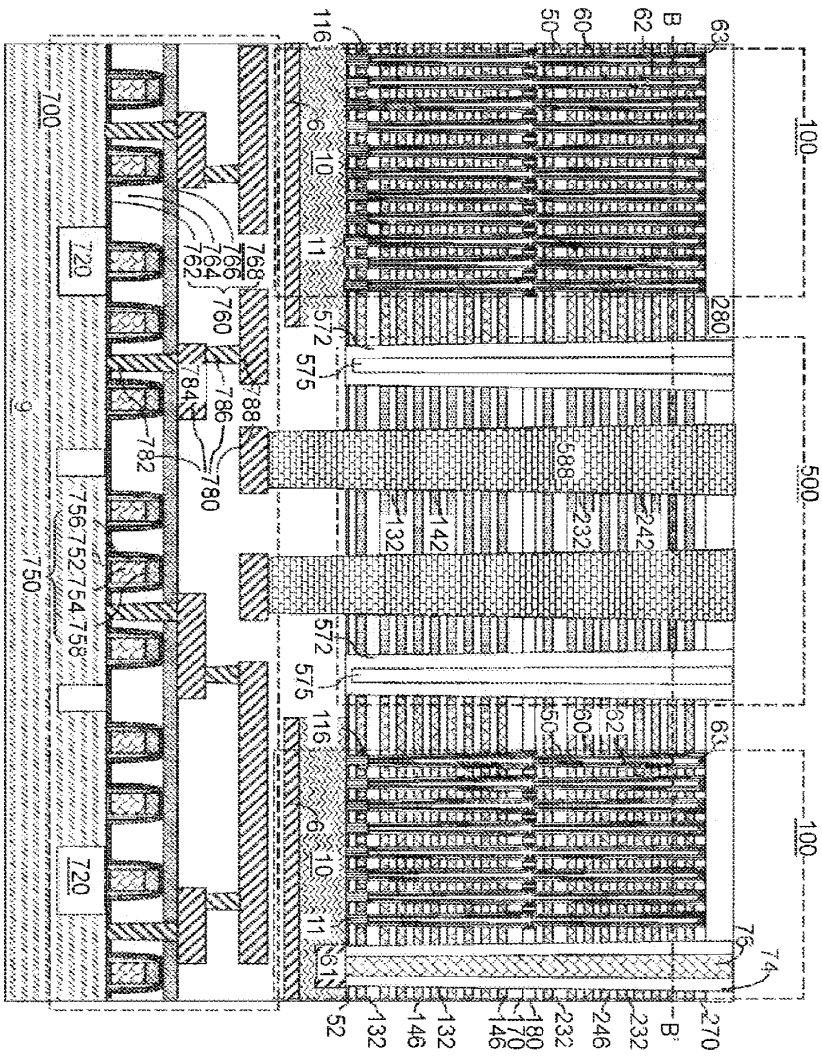
Micron Ex. 1002, p. 410
Micron v. YMTC
IPR2025-00245

도면41



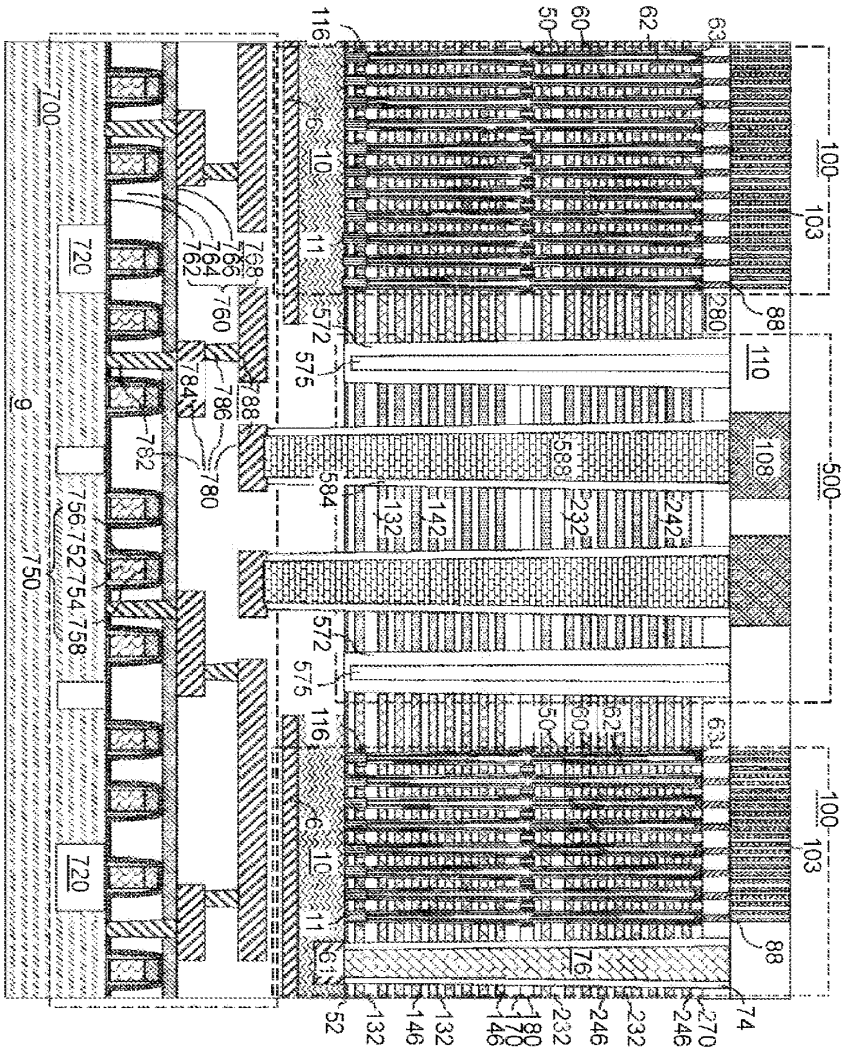
Micron Ex. 1002, p. 411
Micron v. YMTC
IPR2025-00245

도 42



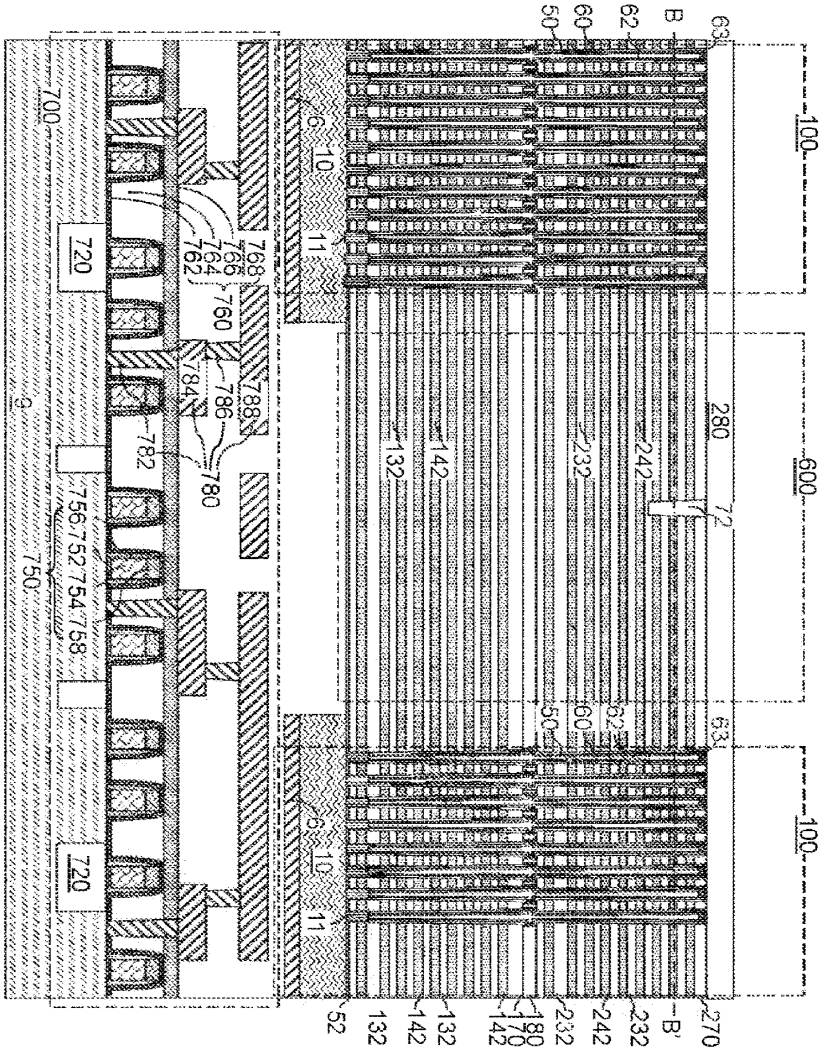
Micron Ex. 1002, p. 412
Micron v. YMTC
IPR2025-00245

도면43



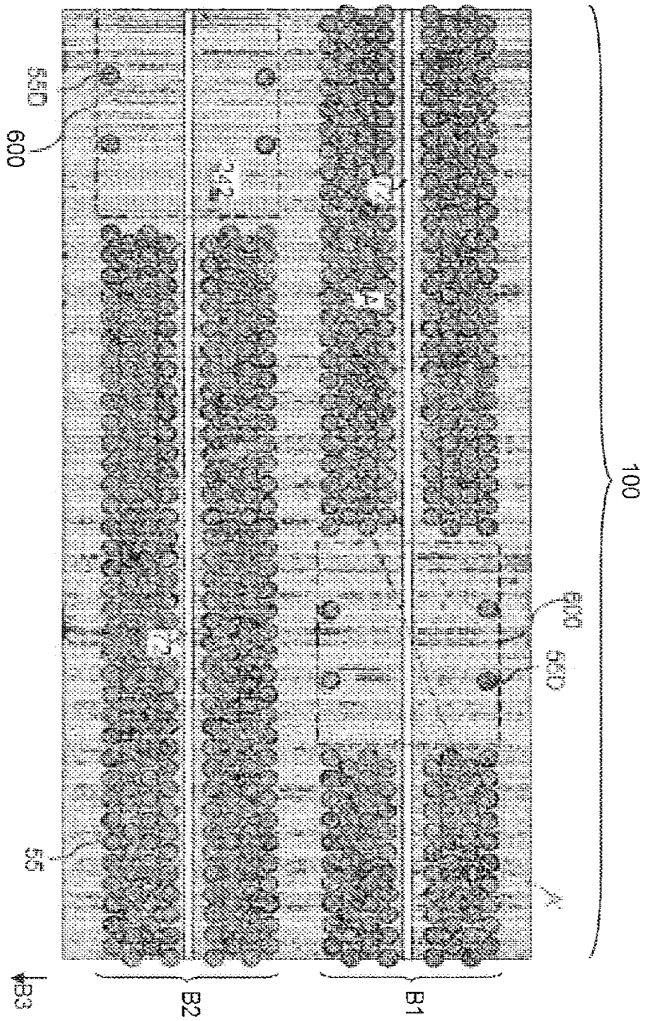
Micron Ex. 1002, p. 413
Micron v. YMTC
IPR2025-00245

도면44a



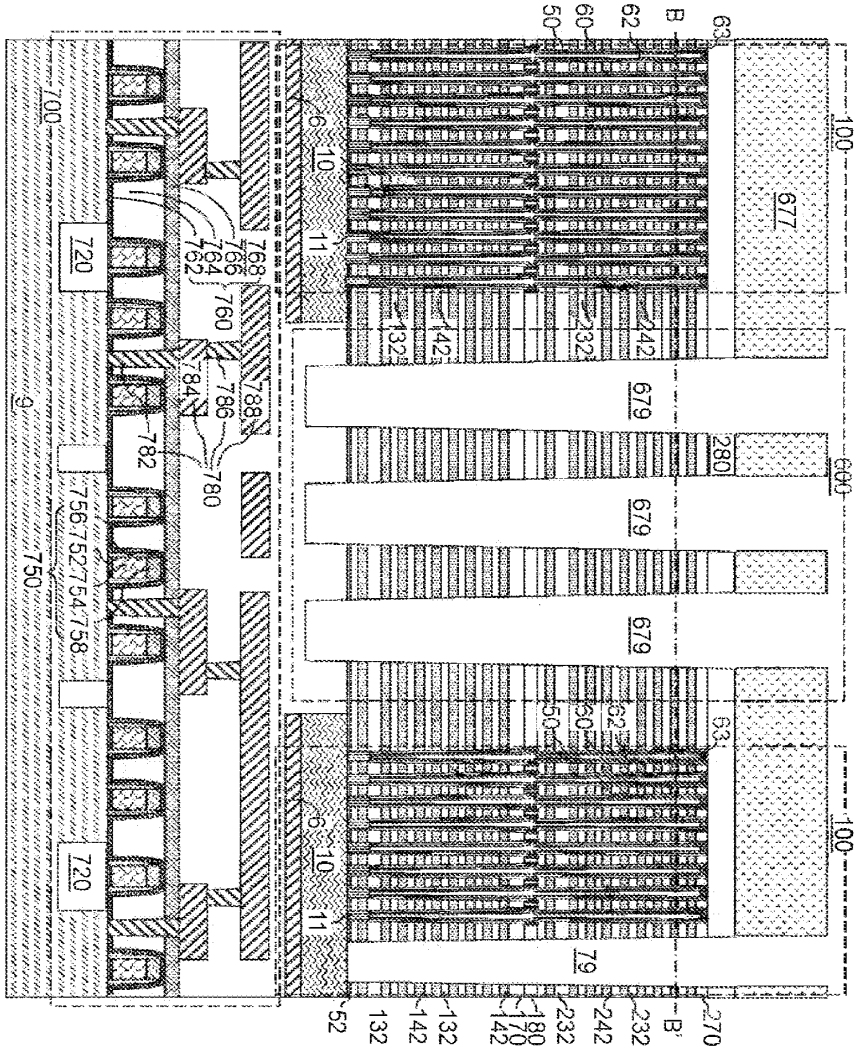
Micron Ex. 1002, p. 414
Micron v. YMTC
IPR2025-00245

도면44b



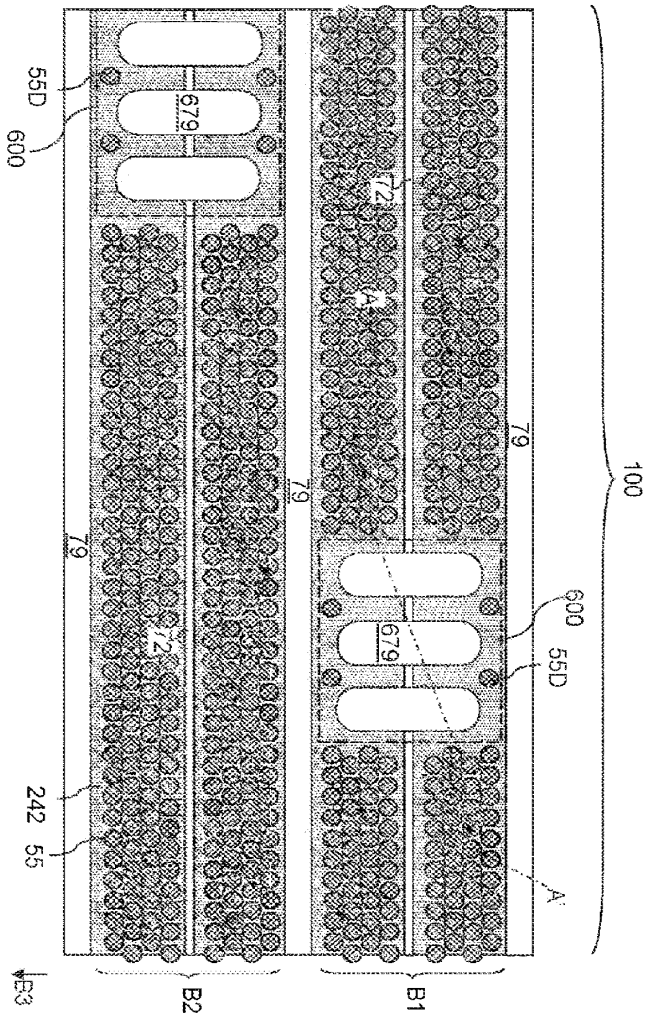
Micron Ex. 1002, p. 415
Micron v. YMTC
IPR2025-00245

도면45a



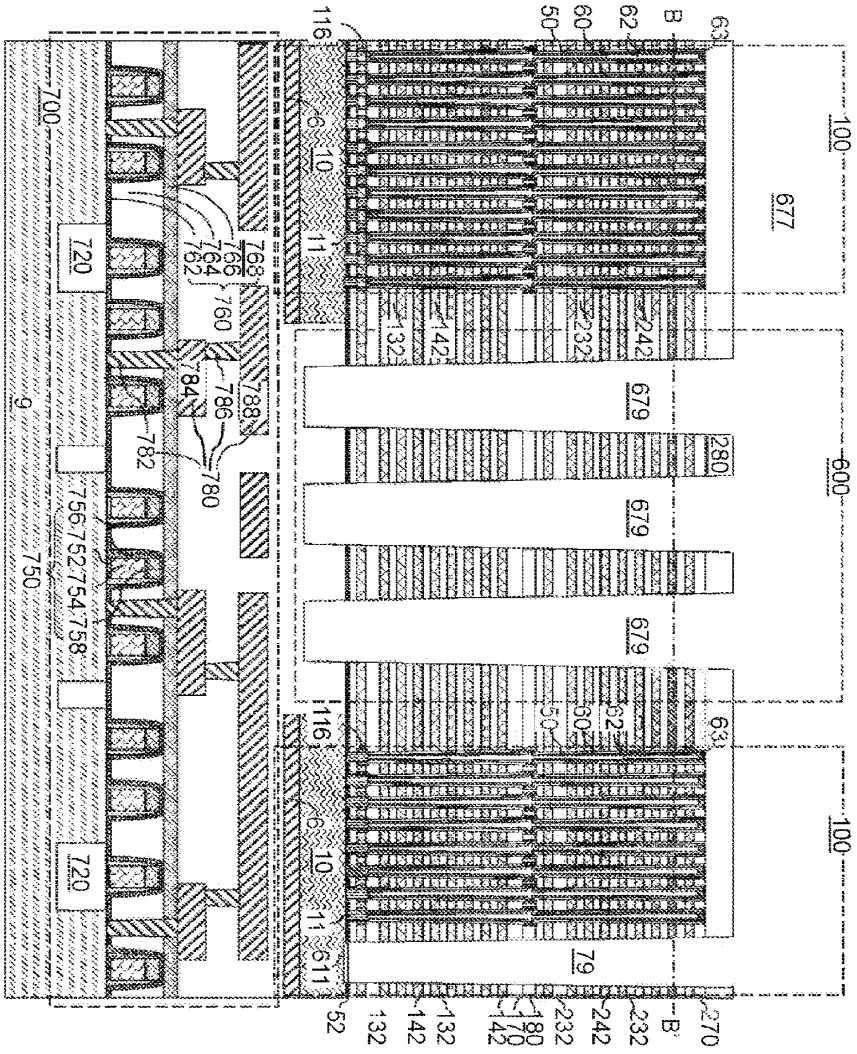
Micron Ex. 1002, p. 416
Micron v. YMTC
IPR2025-00245

도면46b



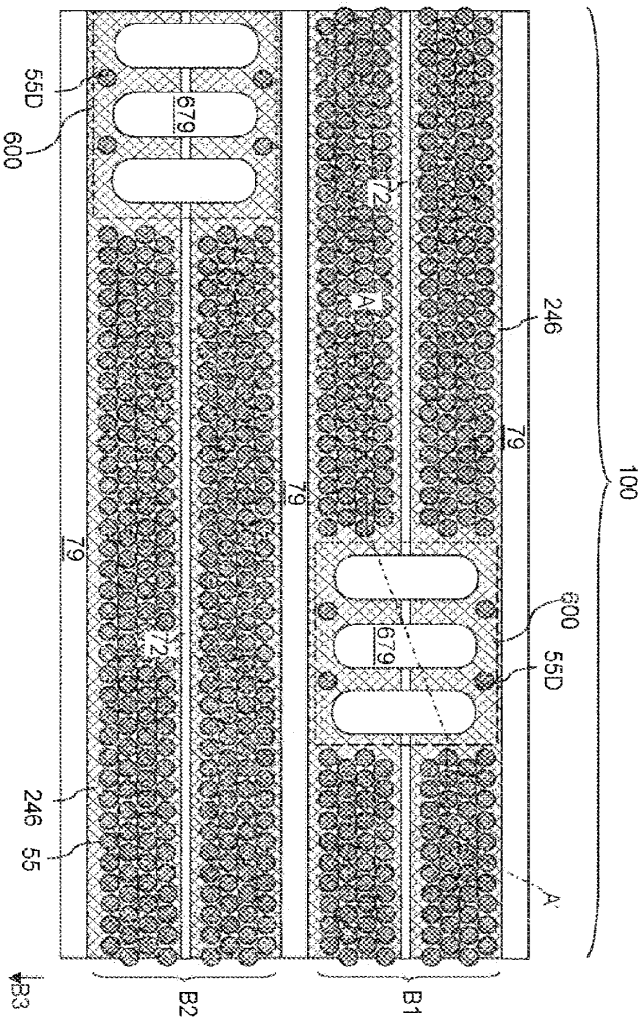
Micron Ex. 1002, p. 417
Micron v. YMTC
IPR2025-00245

도면46a



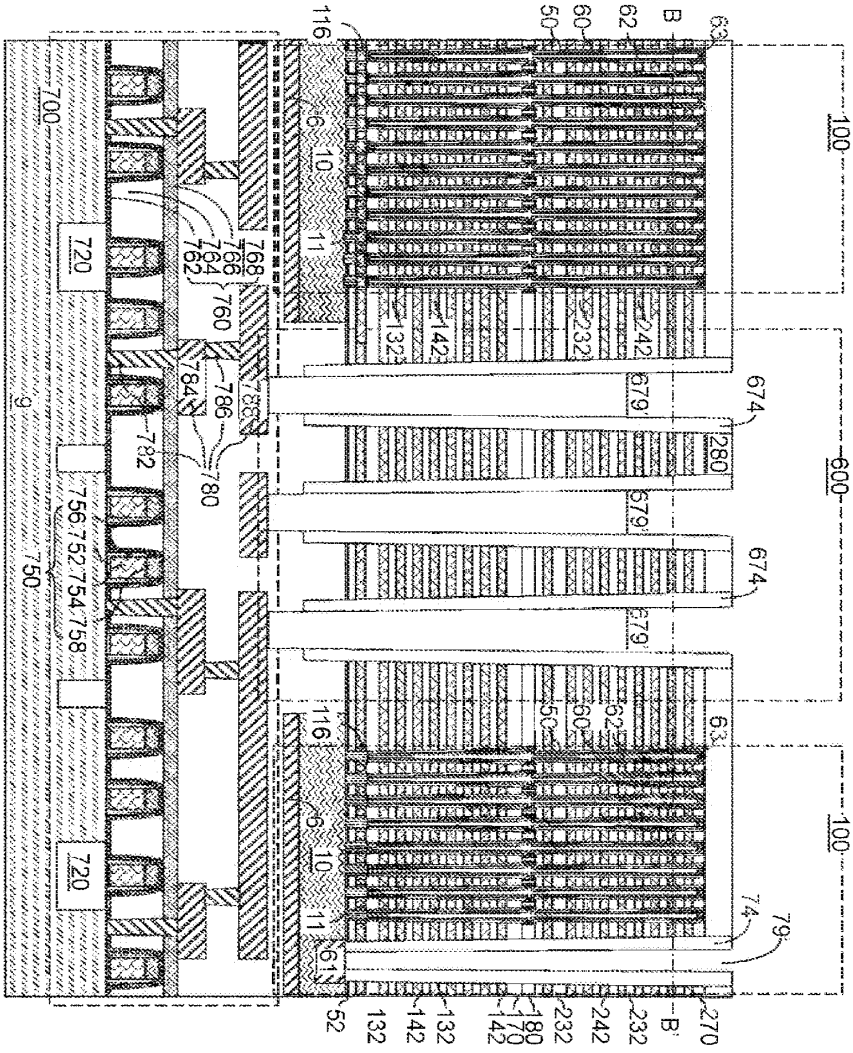
Micron Ex. 1002, p. 418
Micron v. YMTC
IPR2025-00245

도면46b



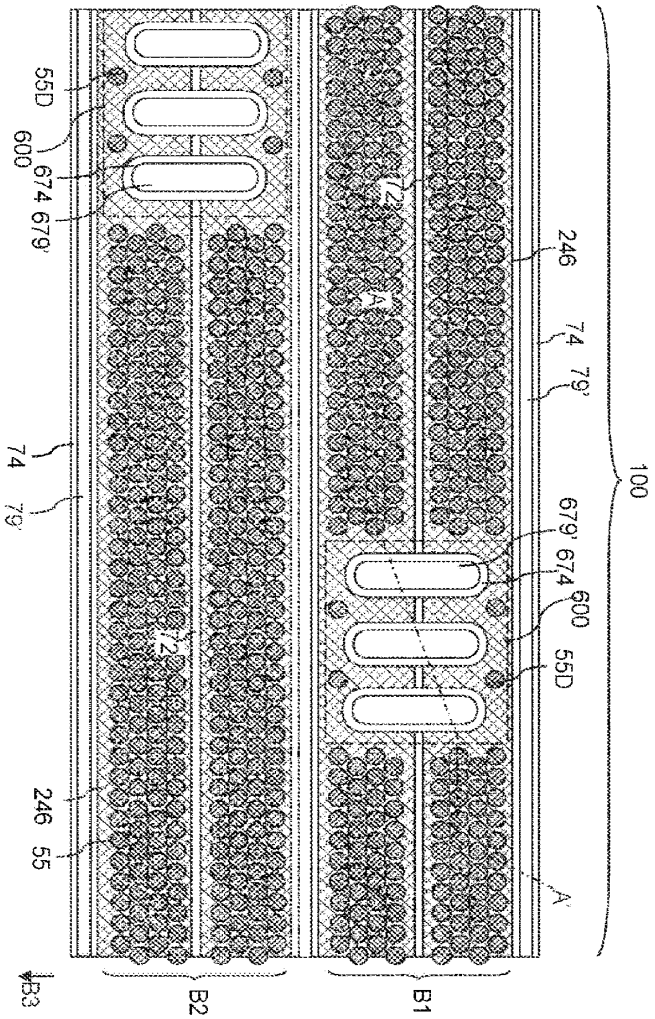
Micron Ex. 1002, p. 419
Micron v. YMTC
IPR2025-00245

도면47a



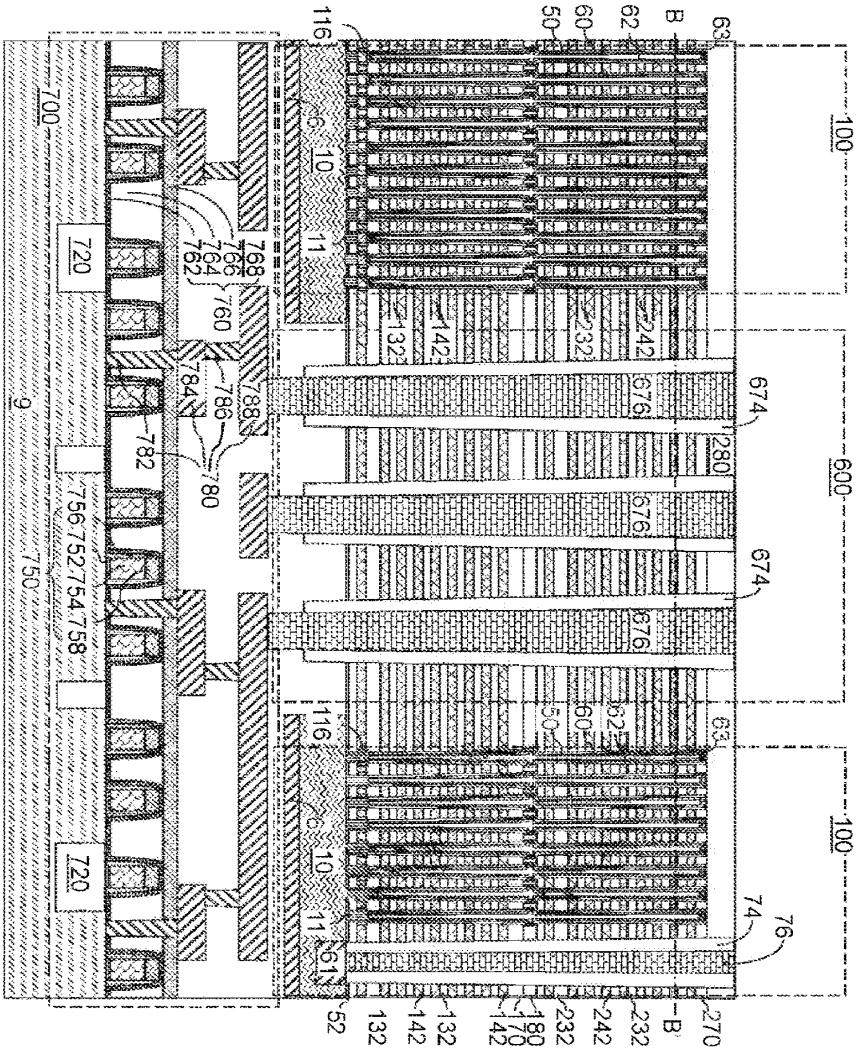
Micron Ex. 1002, p. 420
Micron v. YMTC
IPR2025-00245

도면47b



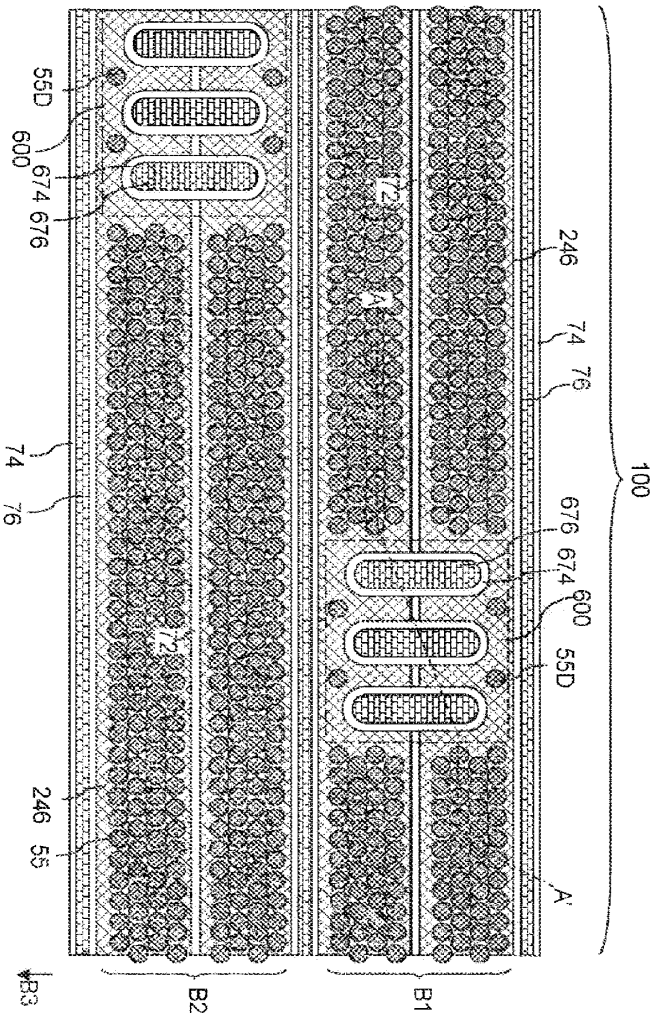
Micron Ex. 1002, p. 421
Micron v. YMTC
IPR2025-00245

도면48a



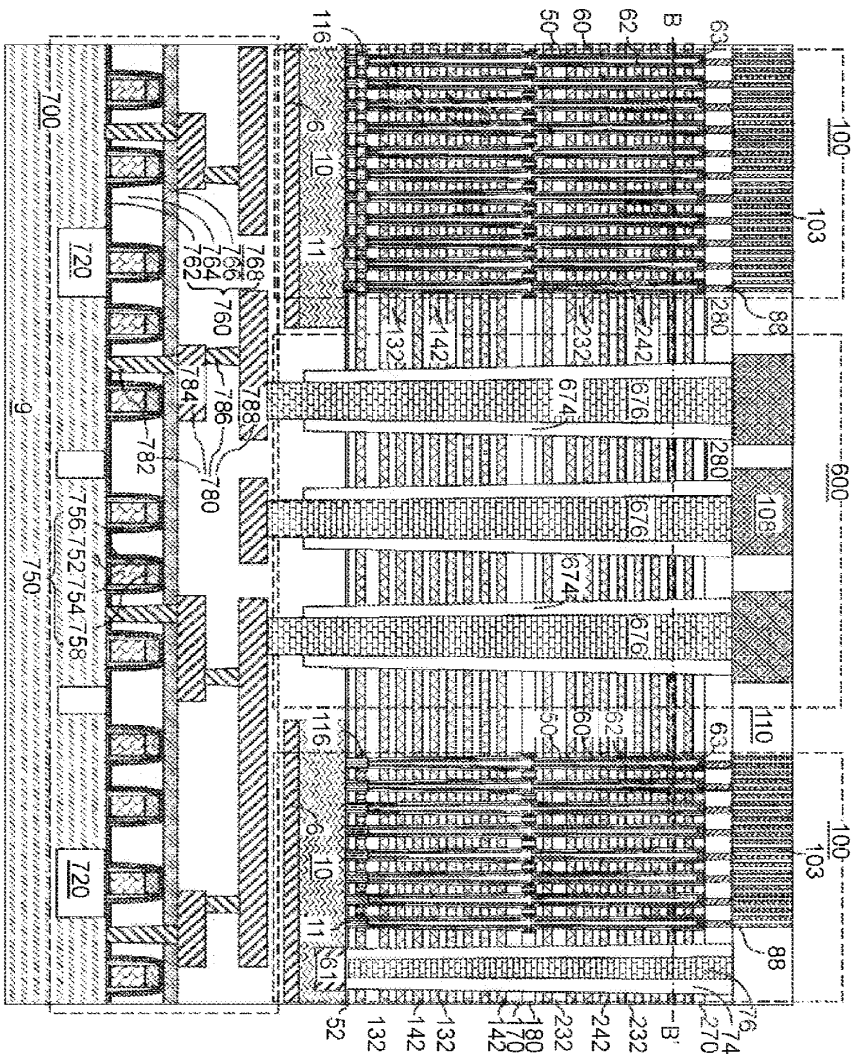
Micron Ex. 1002, p. 422
Micron v. YMTC
IPR2025-00245

도면48b



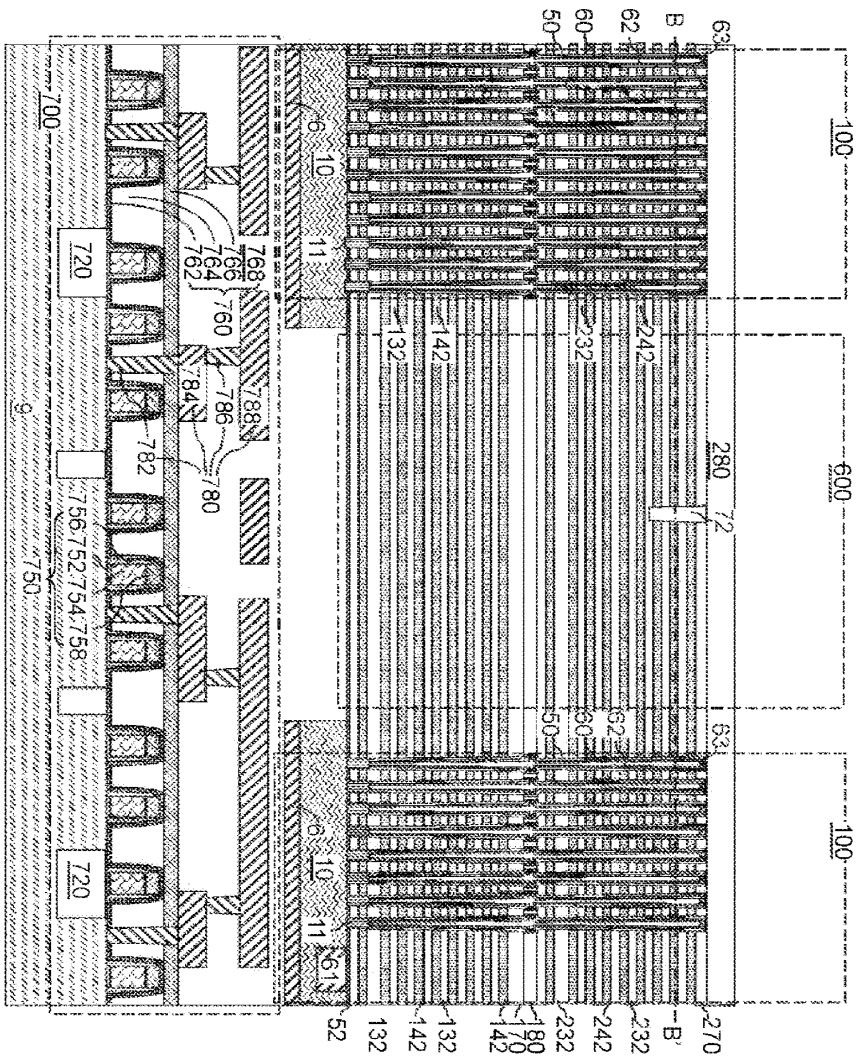
Micron Ex. 1002, p. 423
Micron v. YMTC
IPR2025-00245

도 49



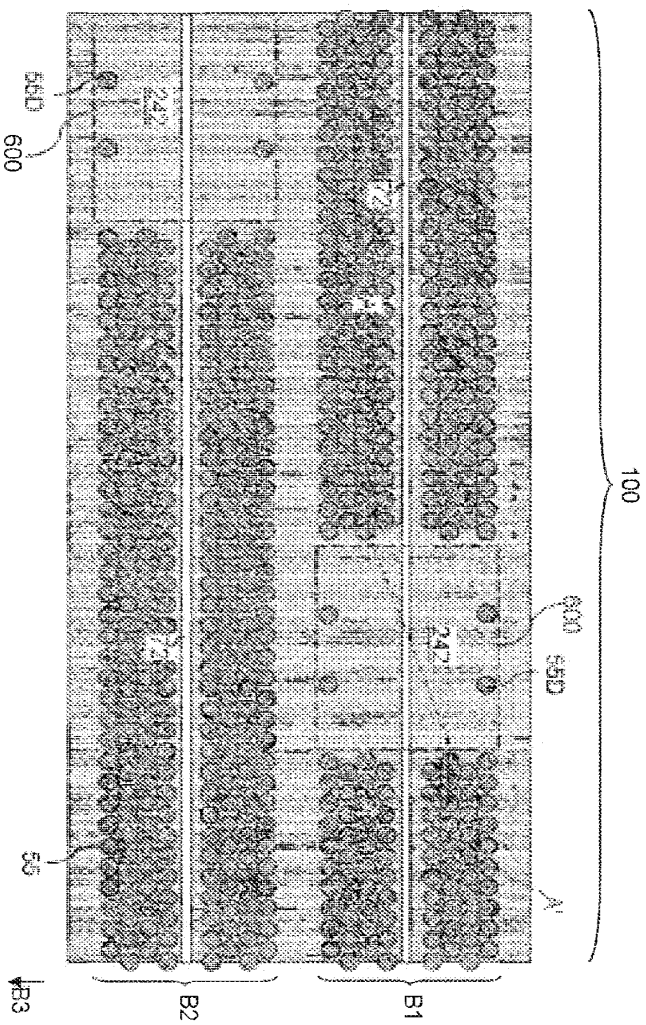
Micron Ex. 1002, p. 424
Micron v. YMTC
IPR2025-00245

도면50a



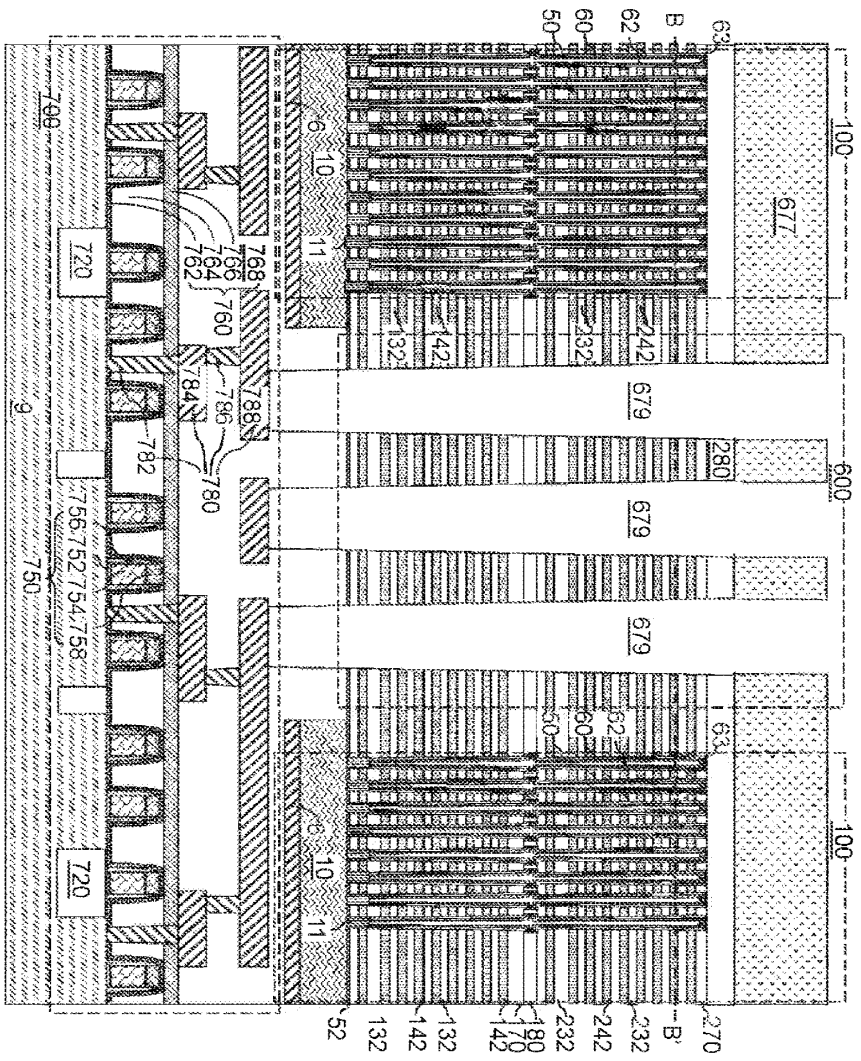
Micron Ex. 1002, p. 425
Micron v. YMTC
IPR2025-00245

도면506



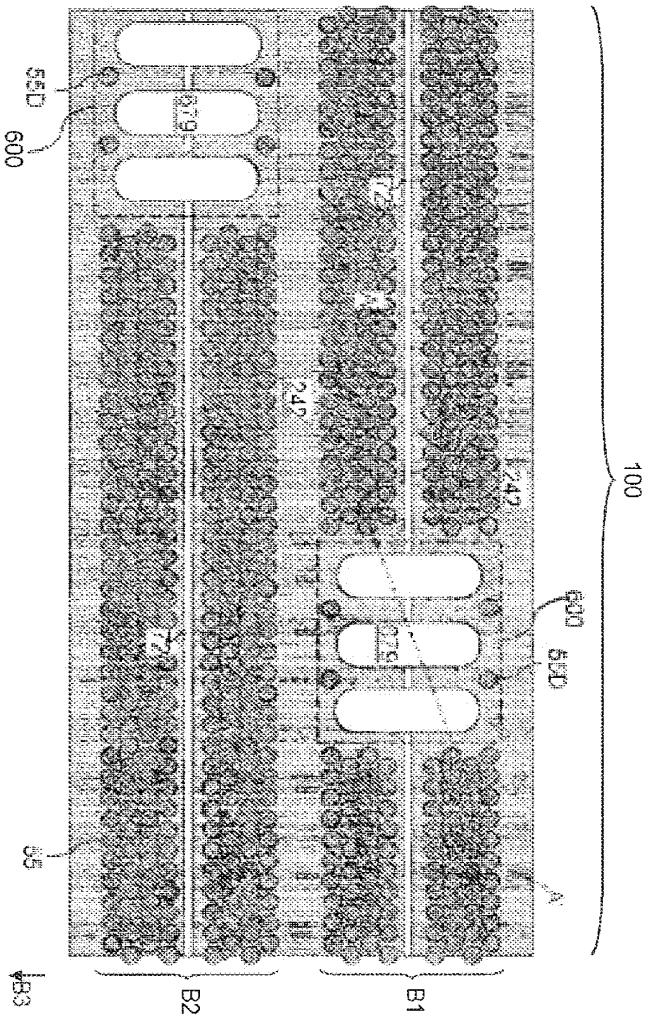
Micron Ex. 1002, p. 426
Micron v. YMTC
IPR2025-00245

도면51a



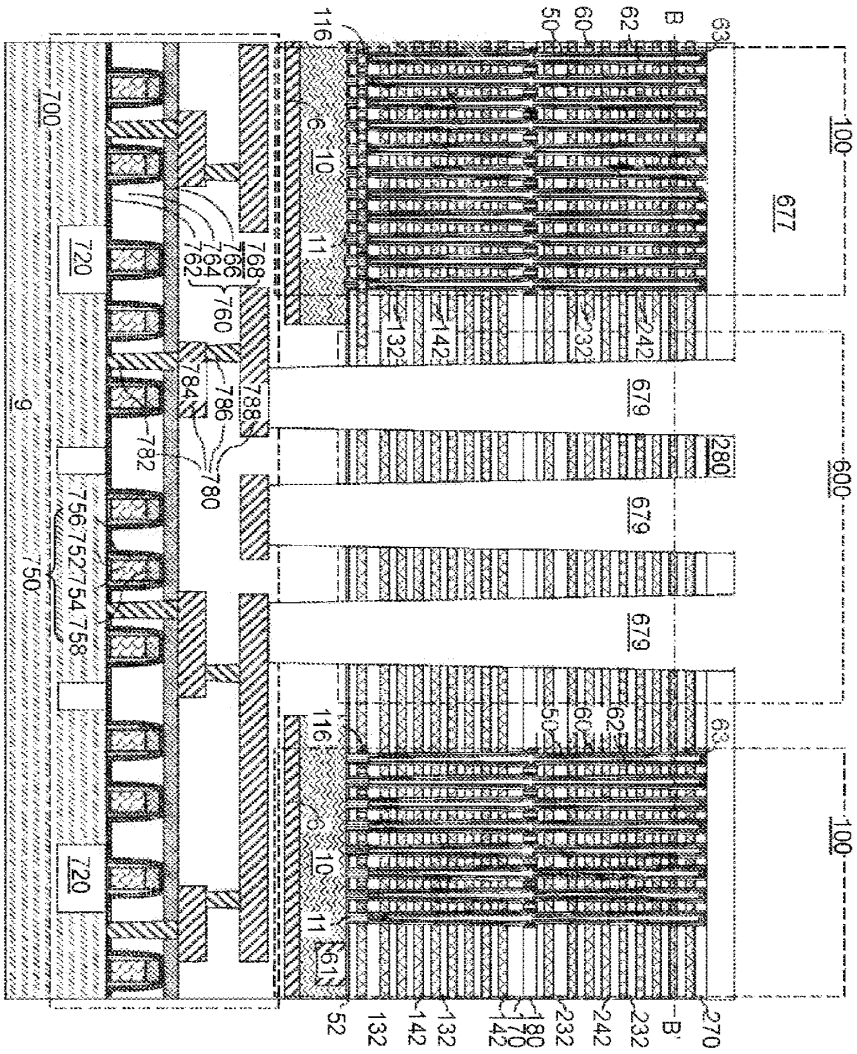
Micron Ex. 1002, p. 427
Micron v. YMTC
IPR2025-00245

도면516



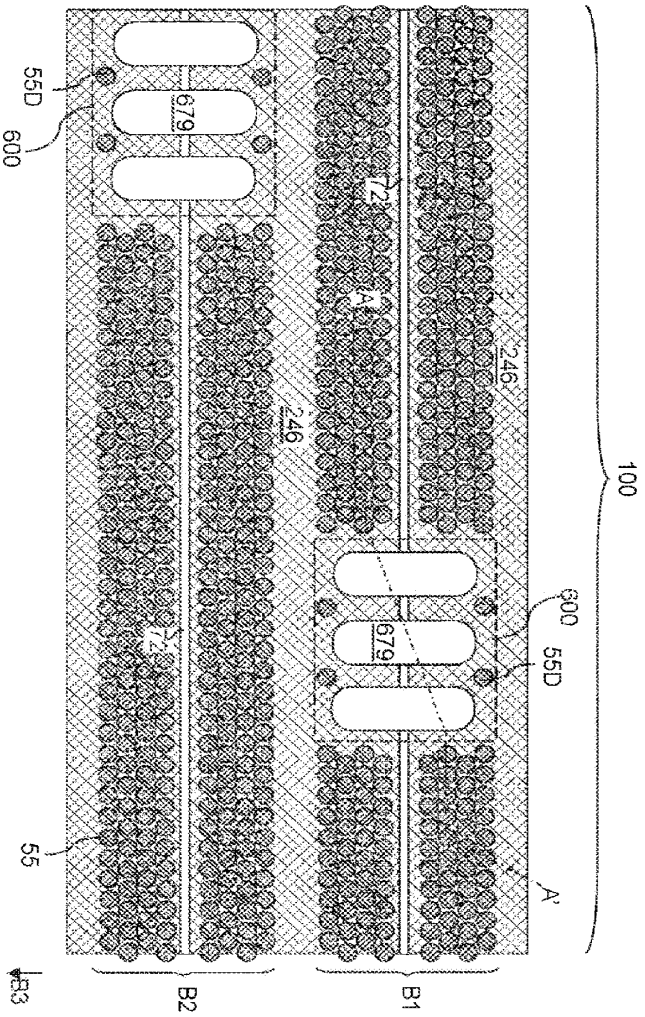
Micron Ex. 1002, p. 428
Micron v. YMTC
IPR2025-00245

도 52a



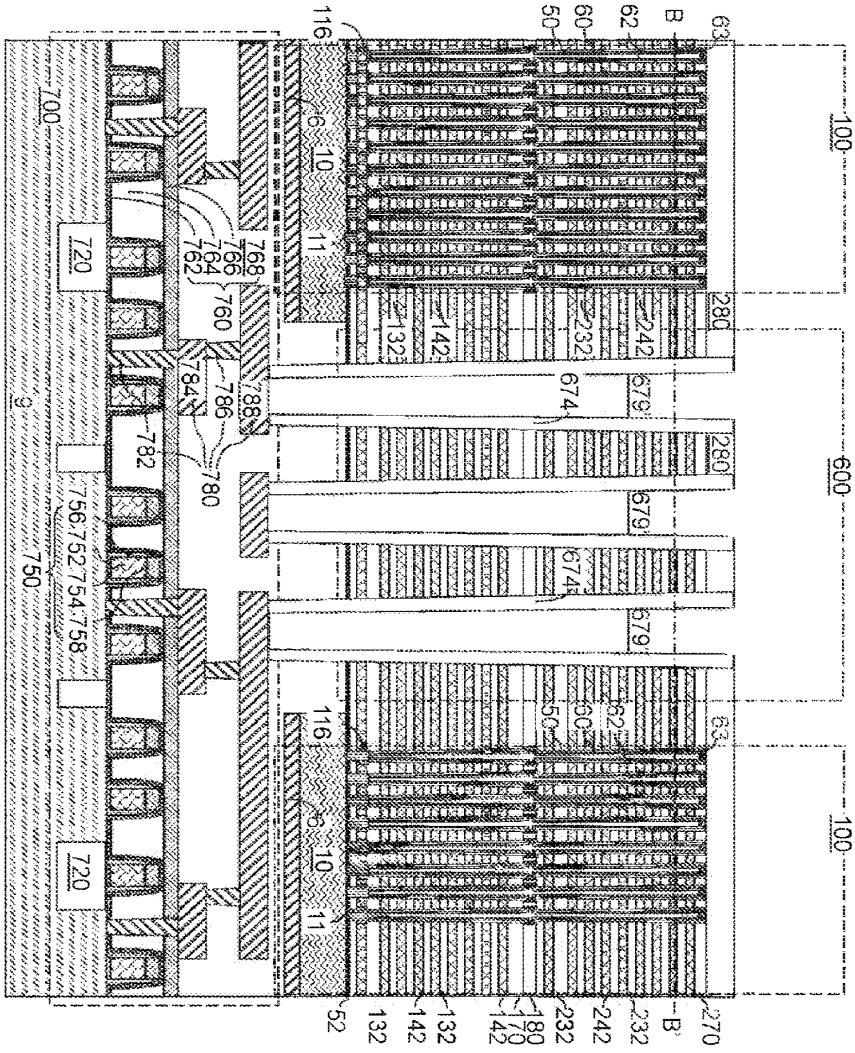
Micron Ex. 1002, p. 429
Micron v. YMTC
IPR2025-00245

도면52b



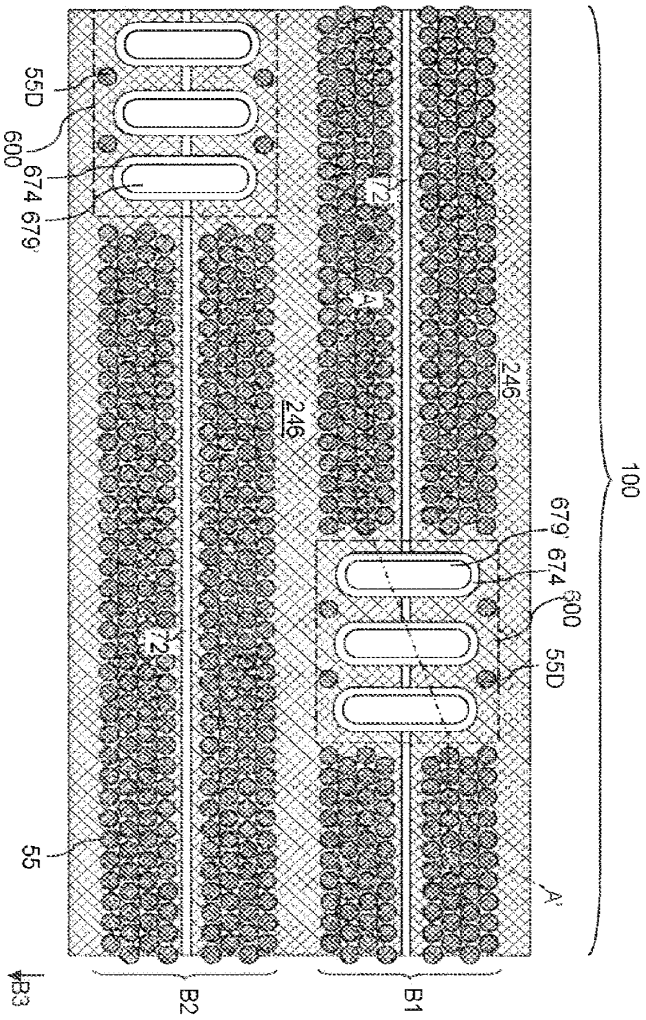
Micron Ex. 1002, p. 430
Micron v. YMTC
IPR2025-00245

도면63a



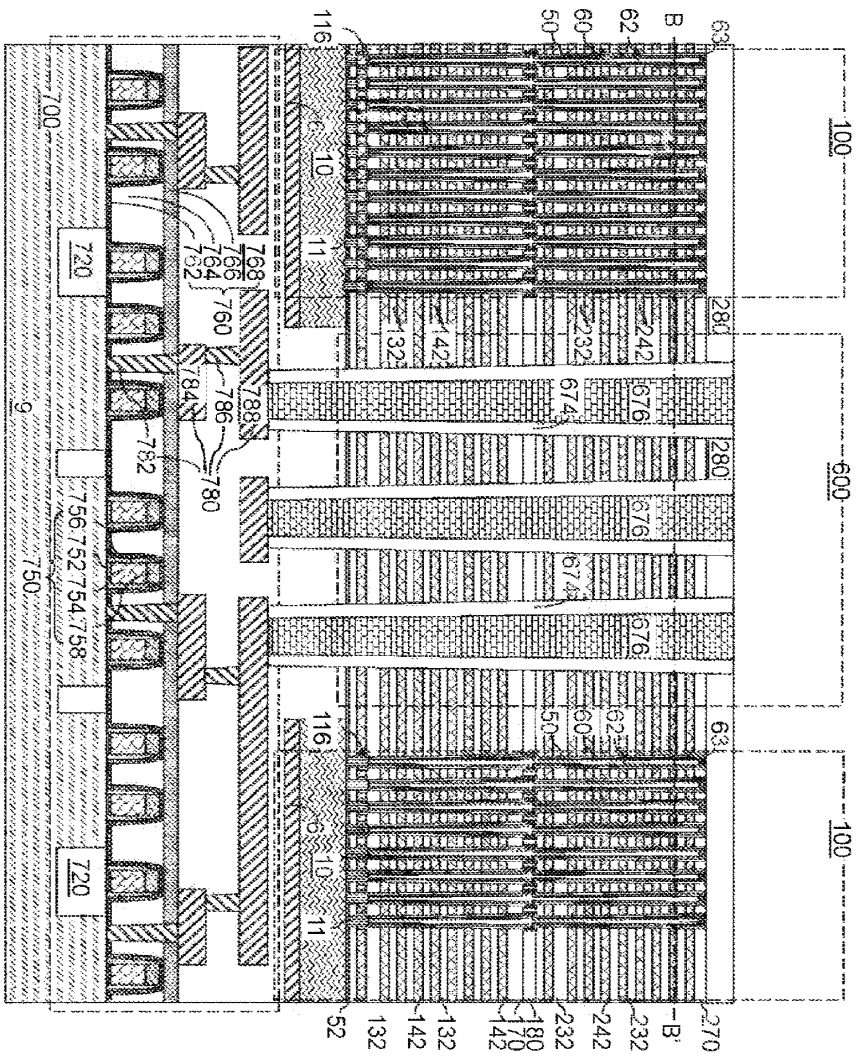
Micron Ex. 1002, p. 431
Micron v. YMTC
IPR2025-00245

도면36



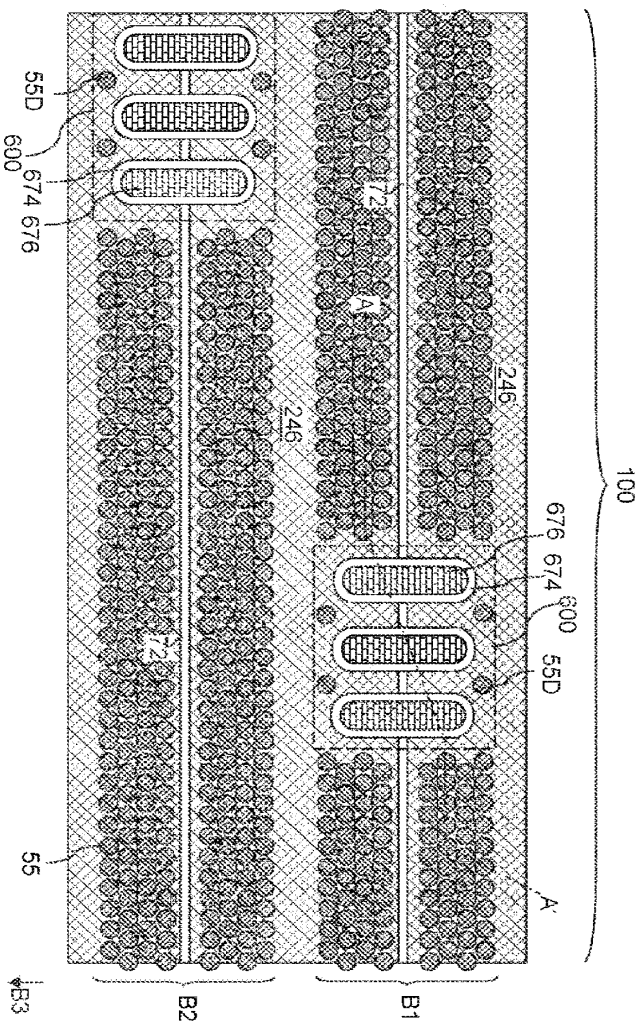
Micron Ex. 1002, p. 432
Micron v. YMTC
IPR2025-00245

도면54a



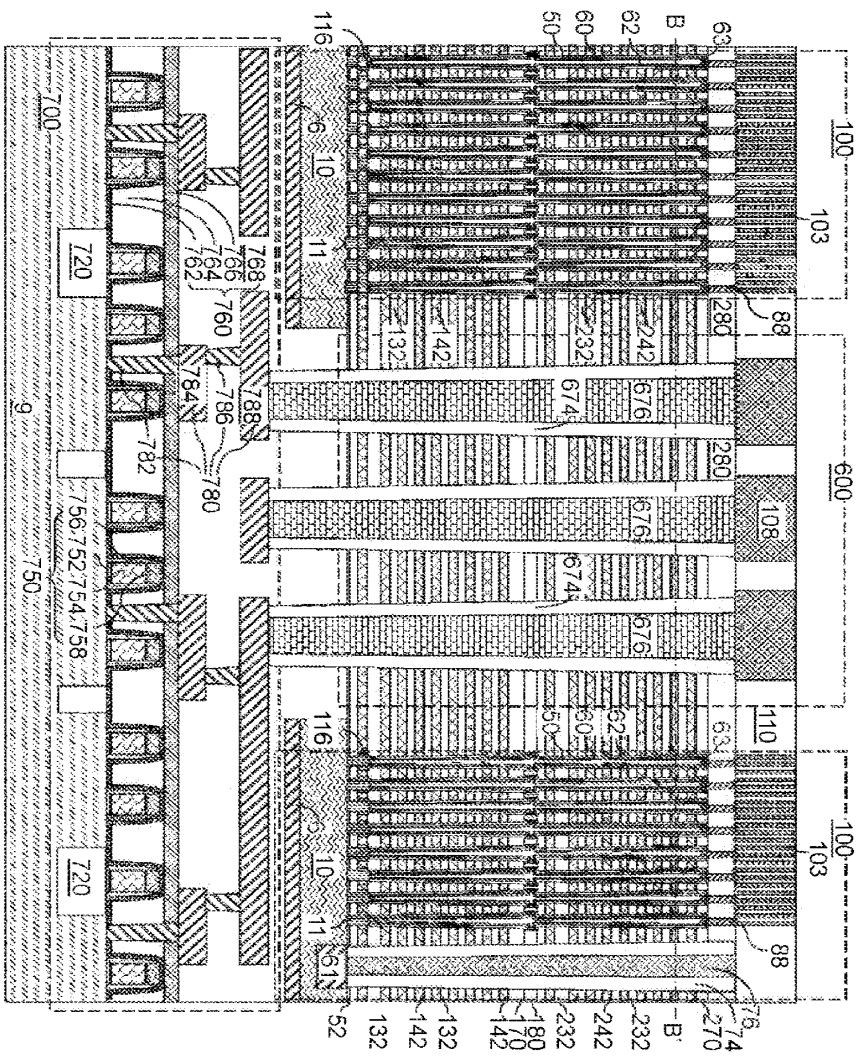
Micron Ex. 1002, p. 433
Micron v. YMTC
IPR2025-00245

도면54b



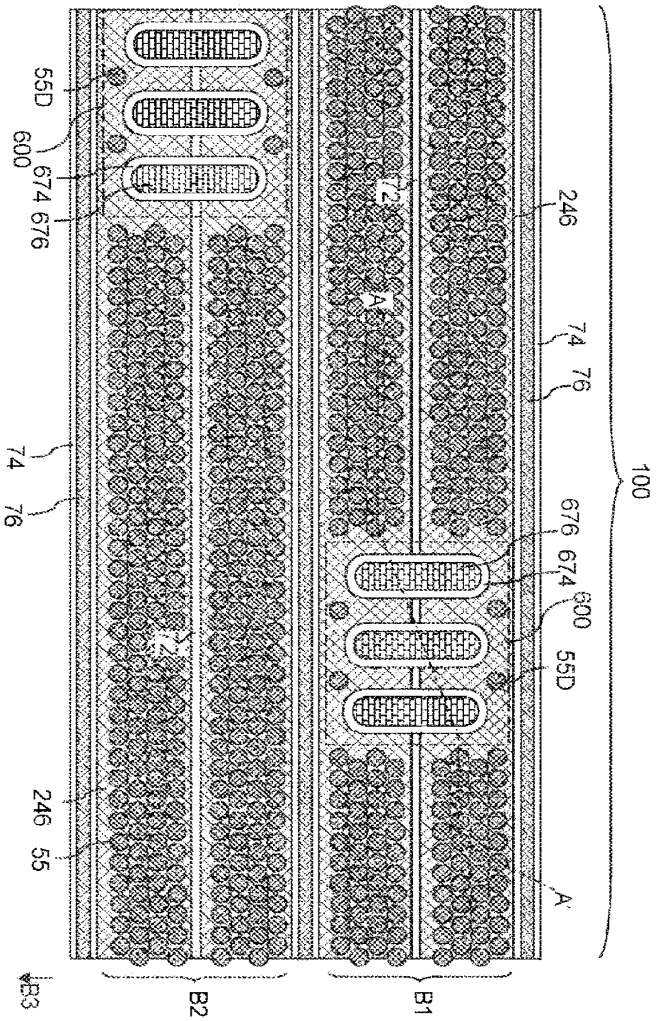
Micron Ex. 1002, p. 434
Micron v. YMTC
IPR2025-00245

도 65a



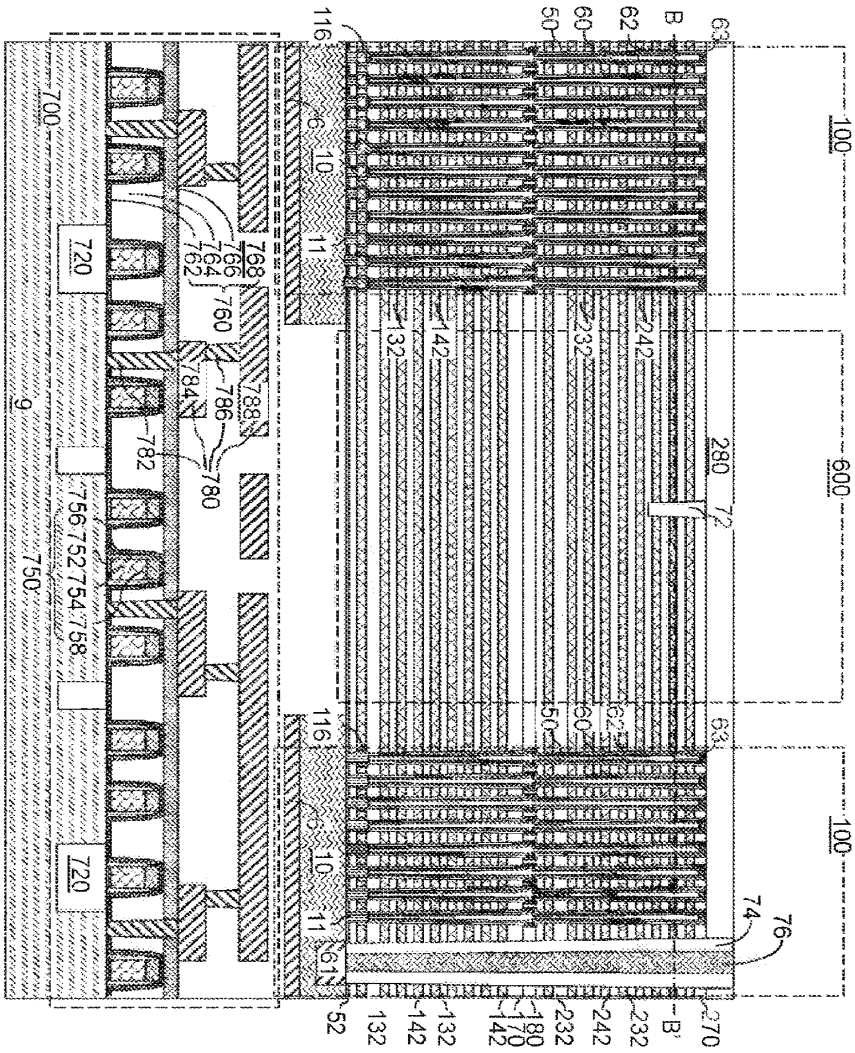
Micron Ex. 1002, p. 435
Micron v. YMTC
IPR2025-00245

도면55b



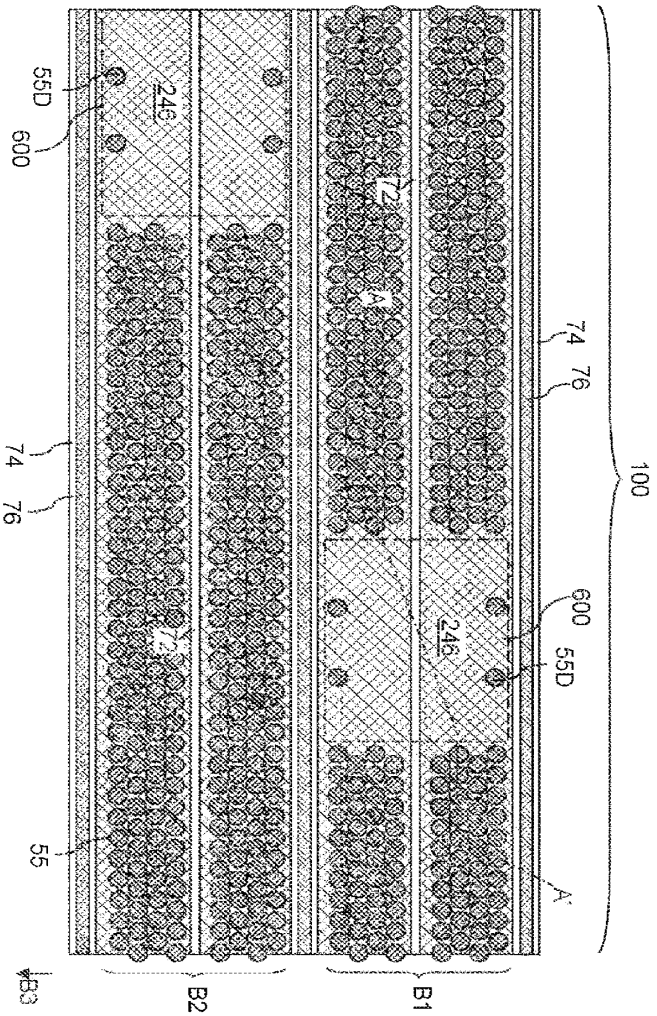
Micron Ex. 1002, p. 436
Micron v. YMTC
IPR2025-00245

도 9a



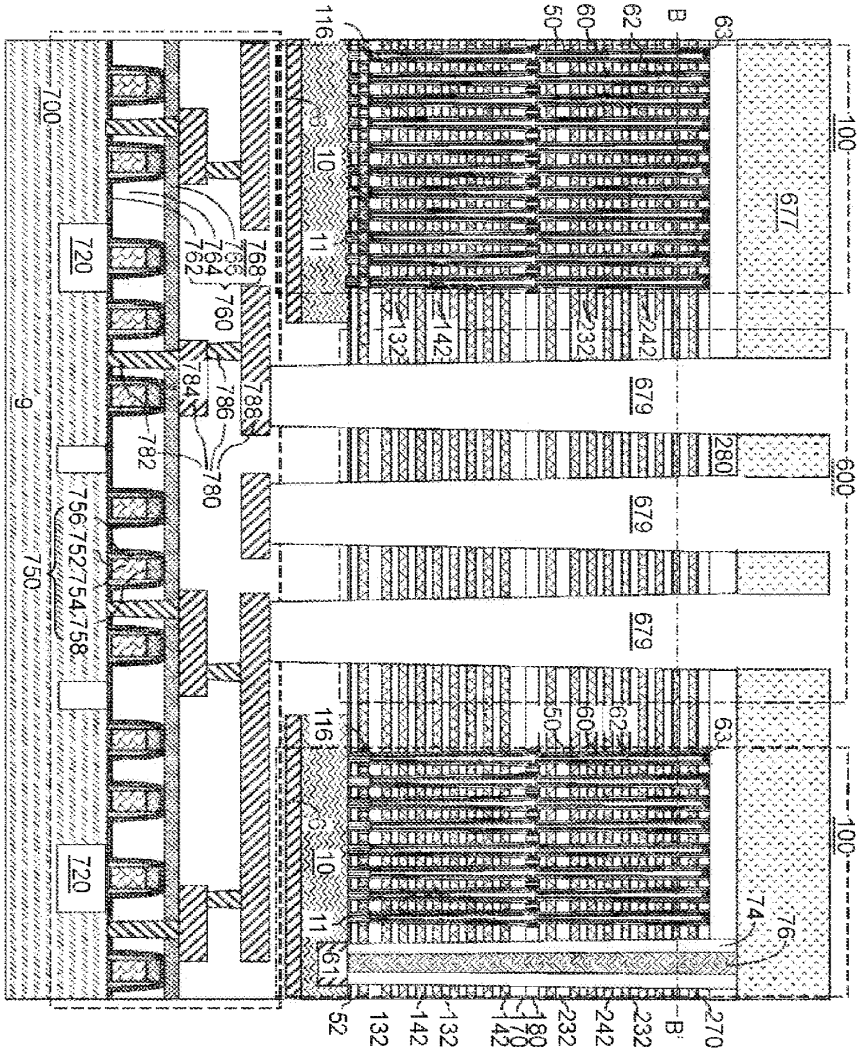
Micron Ex. 1002, p. 437
Micron v. YMTC
IPR2025-00245

도면56b



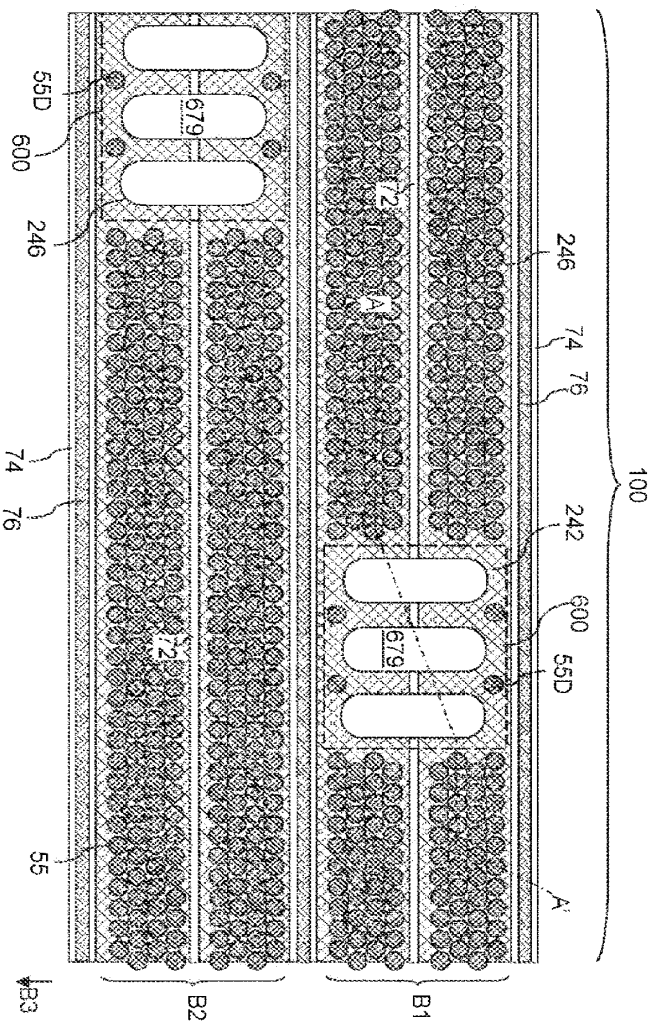
Micron Ex. 1002, p. 438
Micron v. YMTC
IPR2025-00245

도면57a



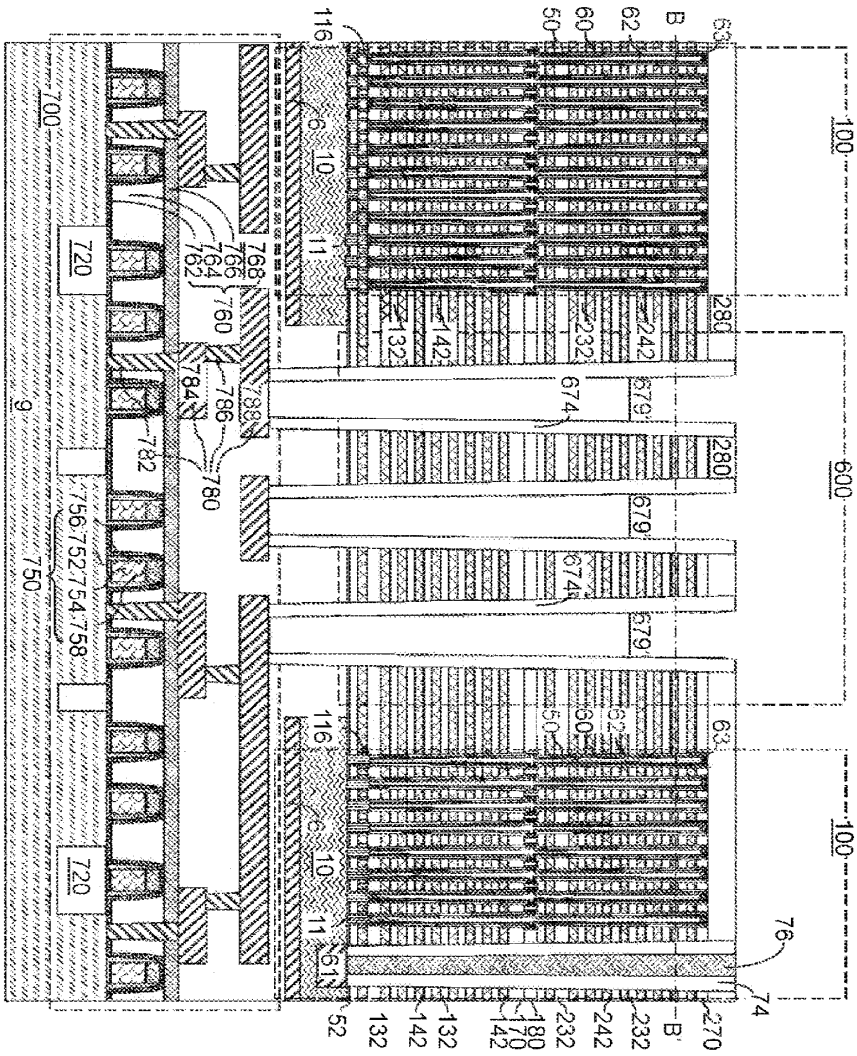
Micron Ex. 1002, p. 439
Micron v. YMTC
IPR2025-00245

도면57b



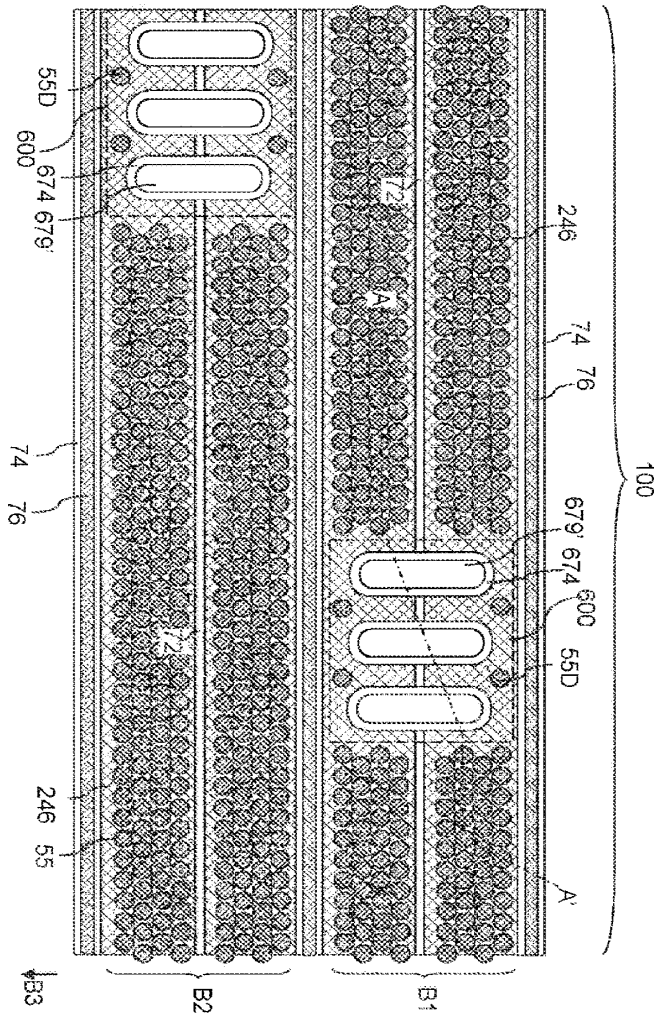
Micron Ex. 1002, p. 440
Micron v. YMTC
IPR2025-00245

도 68a



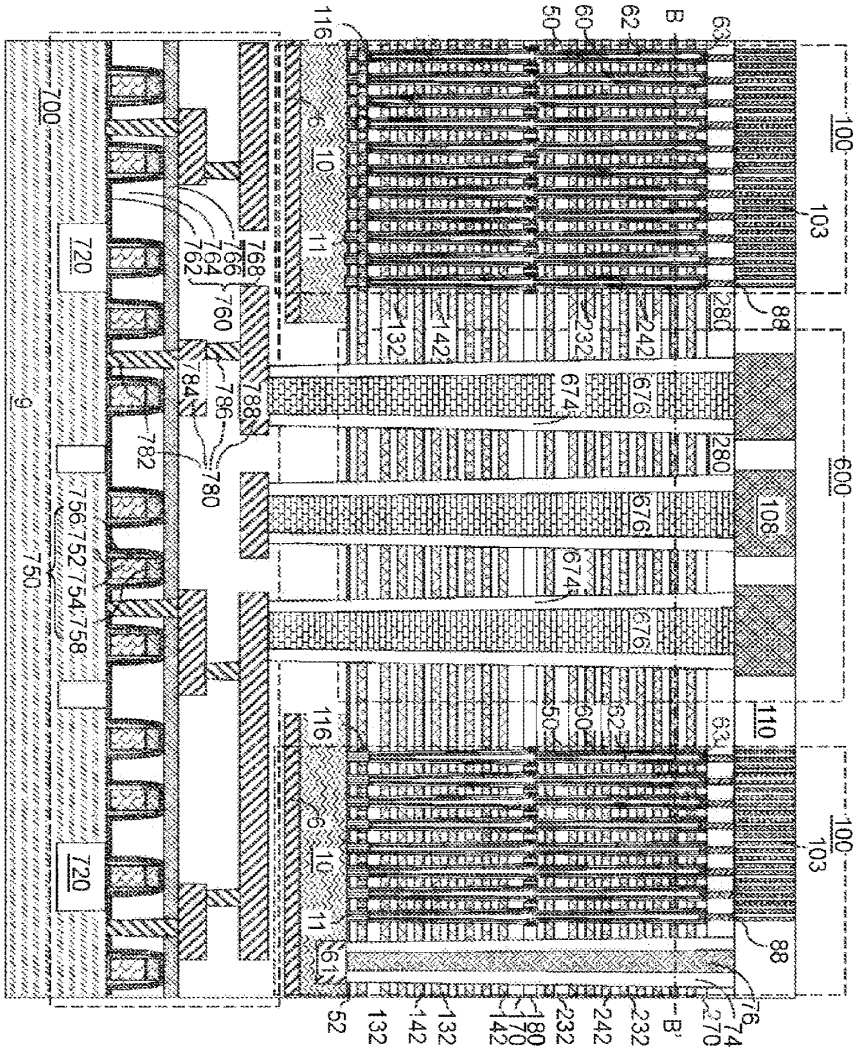
Micron Ex. 1002, p. 441
Micron v. YMTC
IPR2025-00245

도면58b



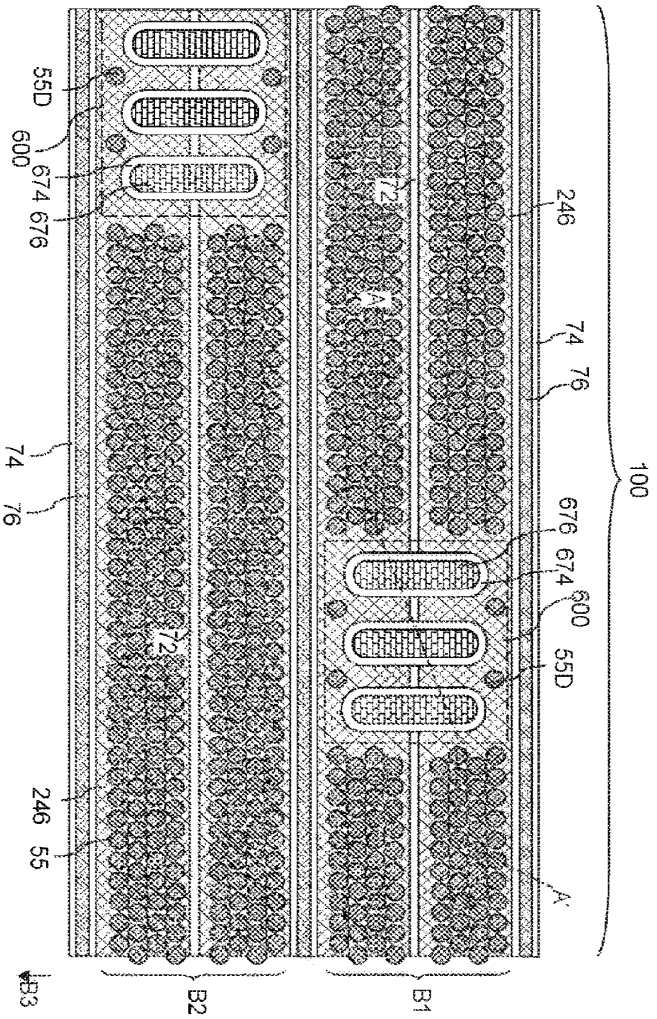
Micron Ex. 1002, p. 442
Micron v. YMTC
IPR2025-00245

도면59a



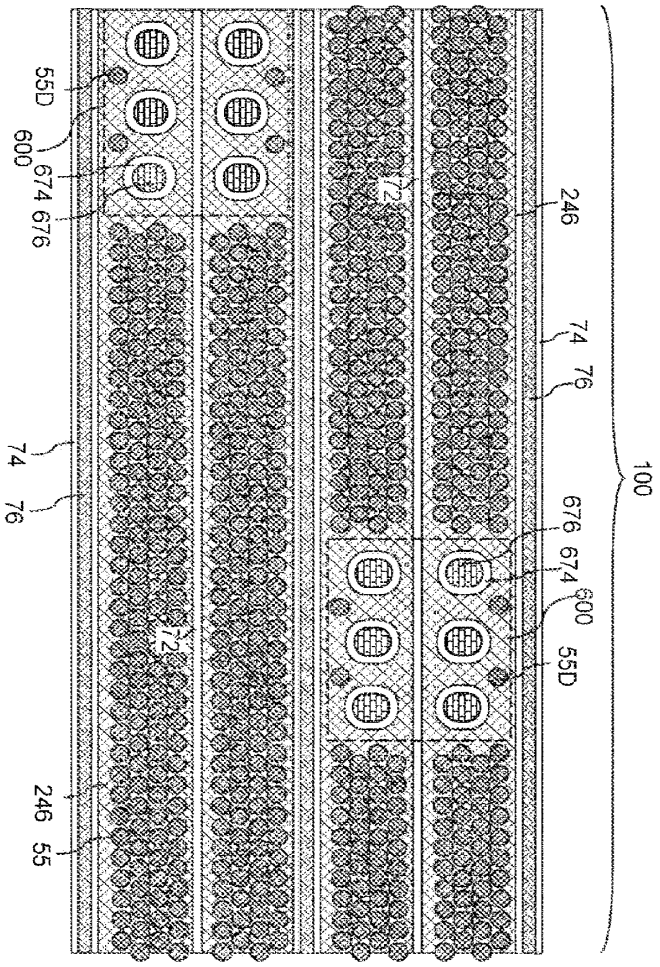
Micron Ex. 1002, p. 443
Micron v. YMTC
IPR2025-00245

도면50b



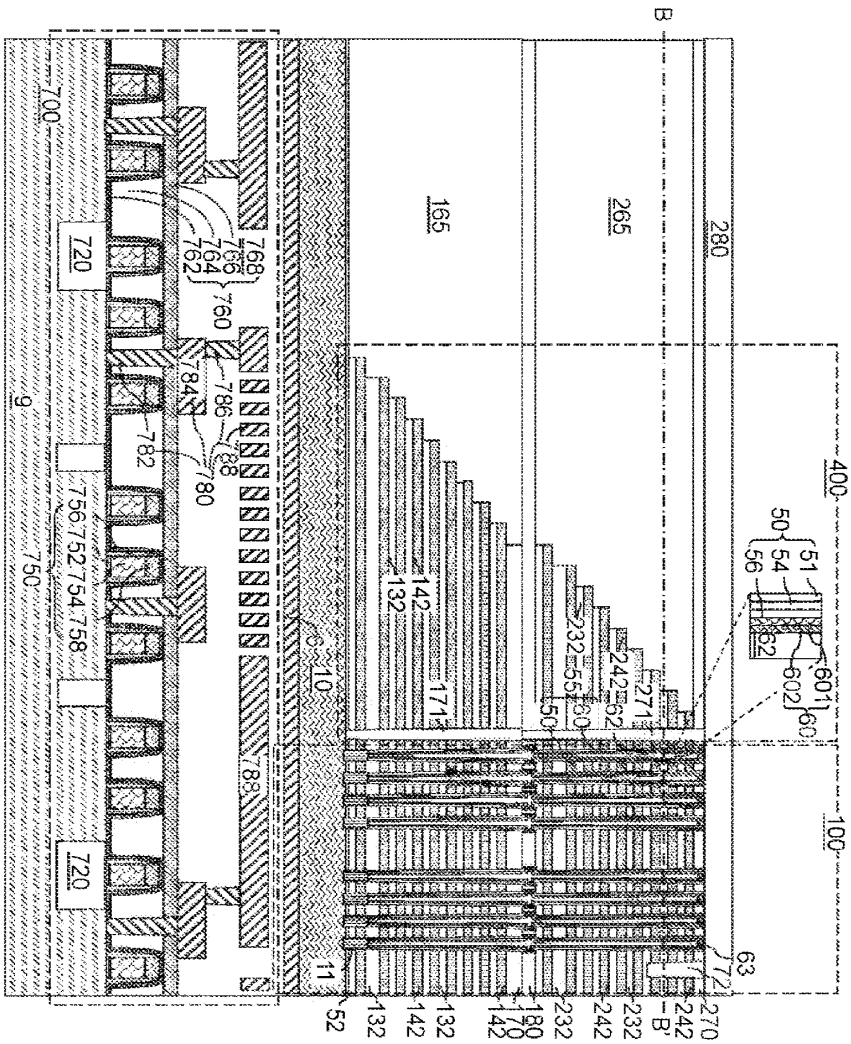
Micron Ex. 1002, p. 444
Micron v. YMTC
IPR2025-00245

도면60



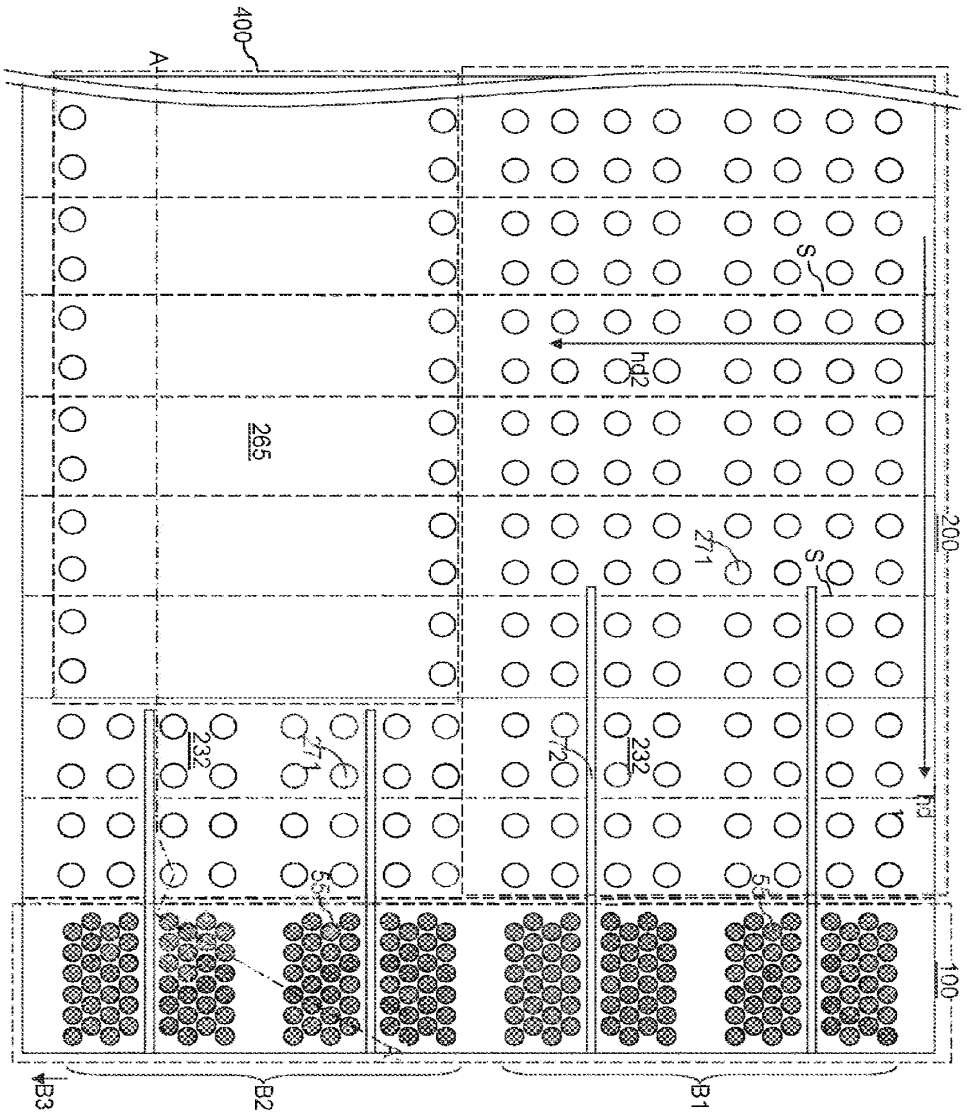
Micron Ex. 1002, p. 445
Micron v. YMTC
IPR2025-00245

도면61a



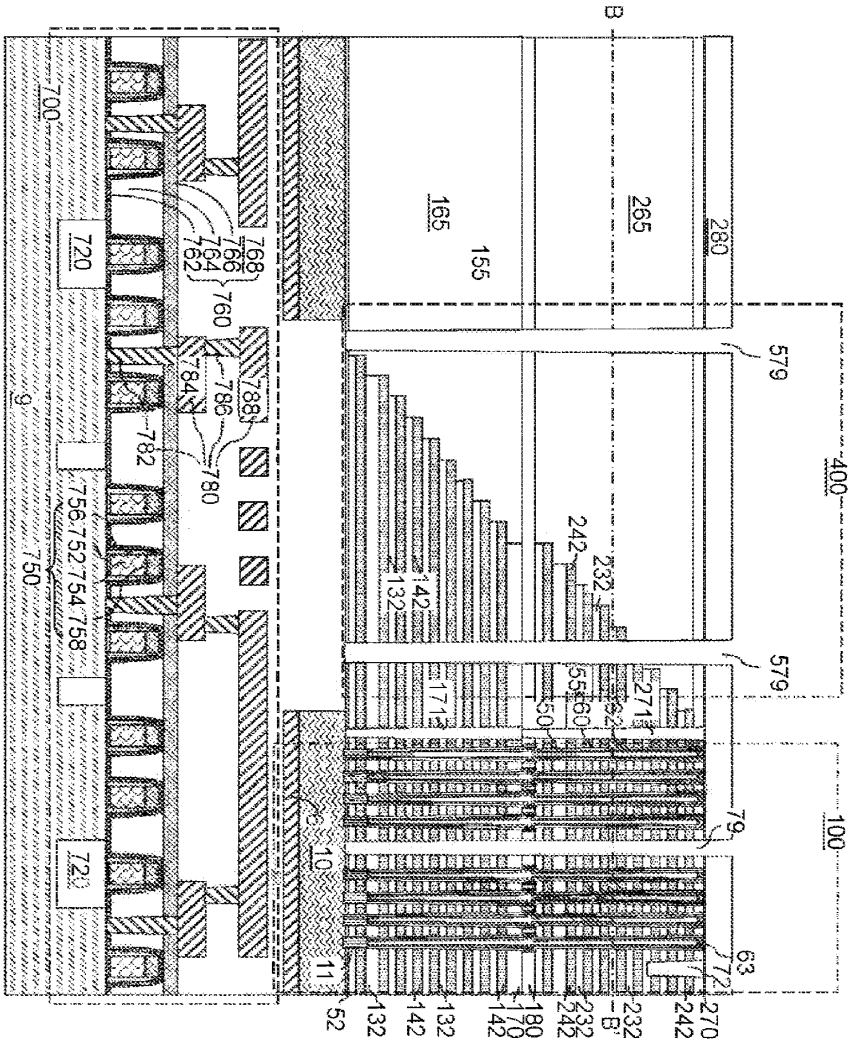
Micron Ex. 1002, p. 446
Micron v. YMTC
IPR2025-00245

도면61b



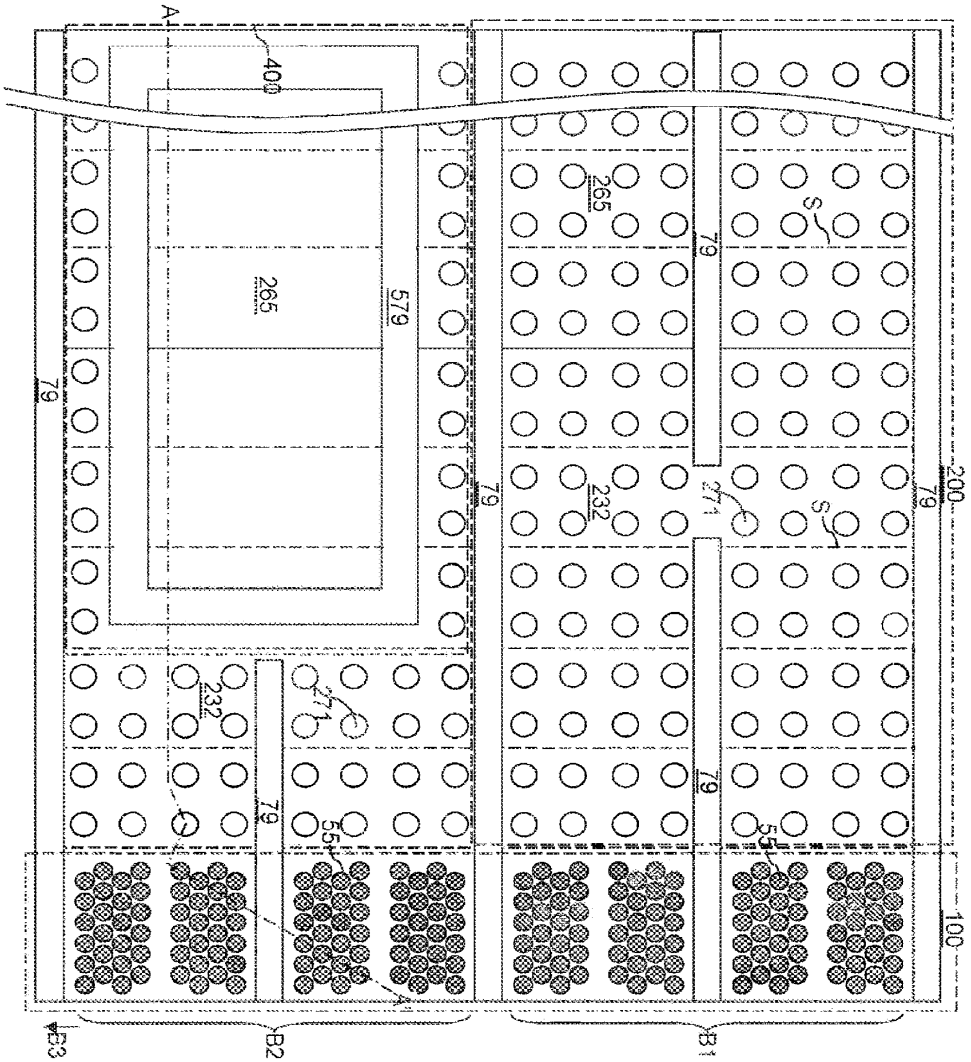
Micron Ex. 1002, p. 447
Micron v. YMTC
IPR2025-00245

도 62a



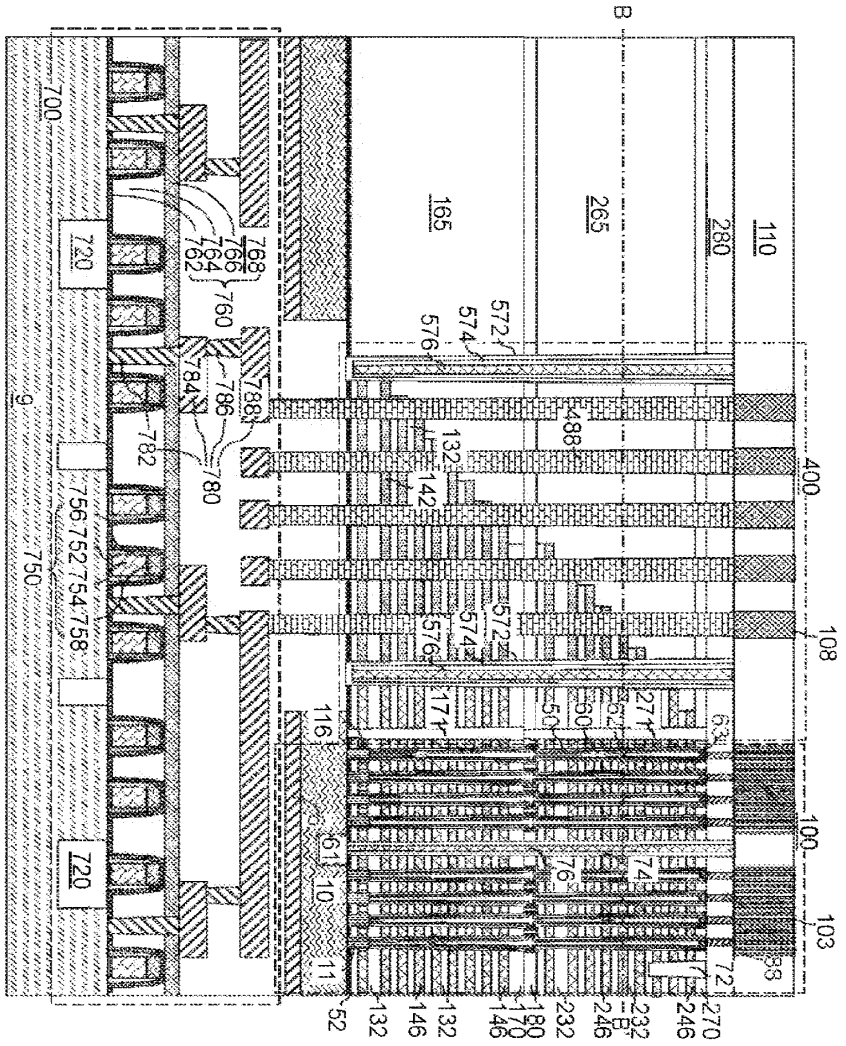
Micron Ex. 1002, p. 448
Micron v. YMTC
IPR2025-00245

도면26



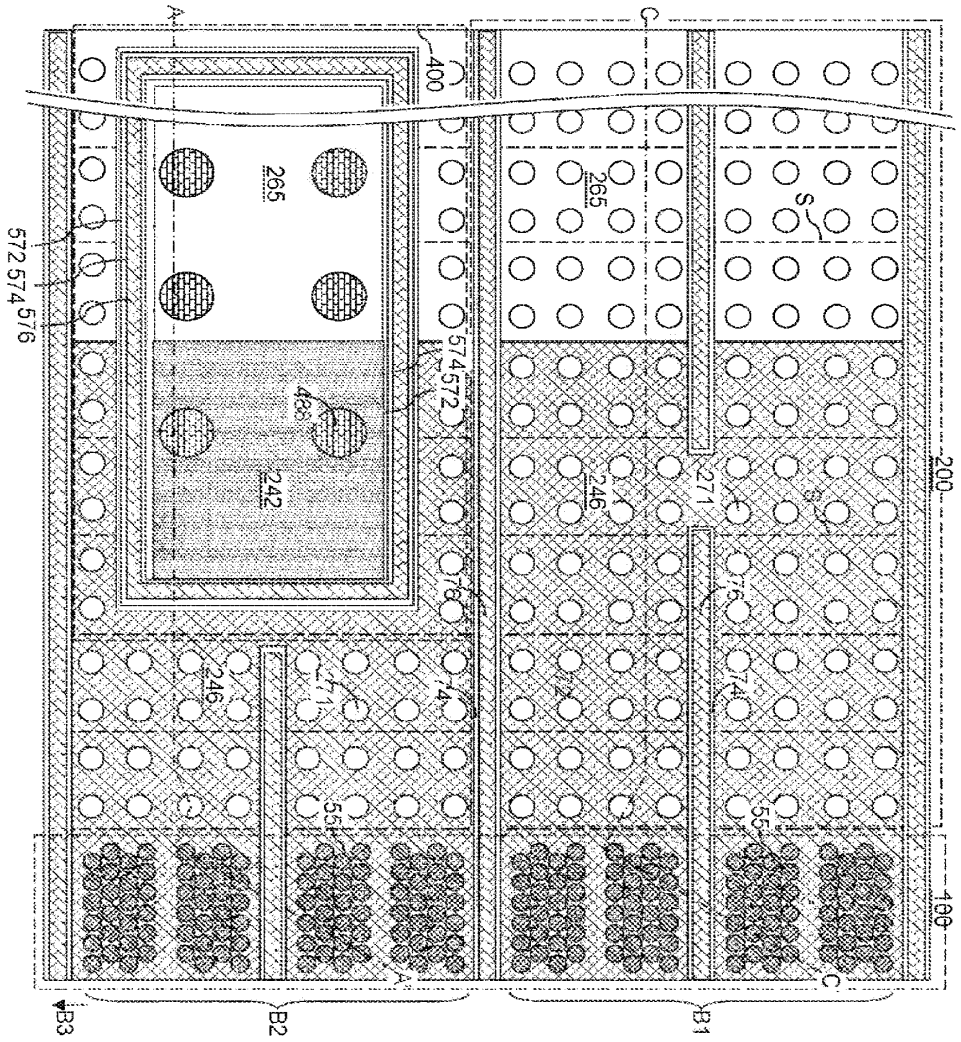
Micron Ex. 1002, p. 449
Micron v. YMTC
IPR2025-00245

도면63a



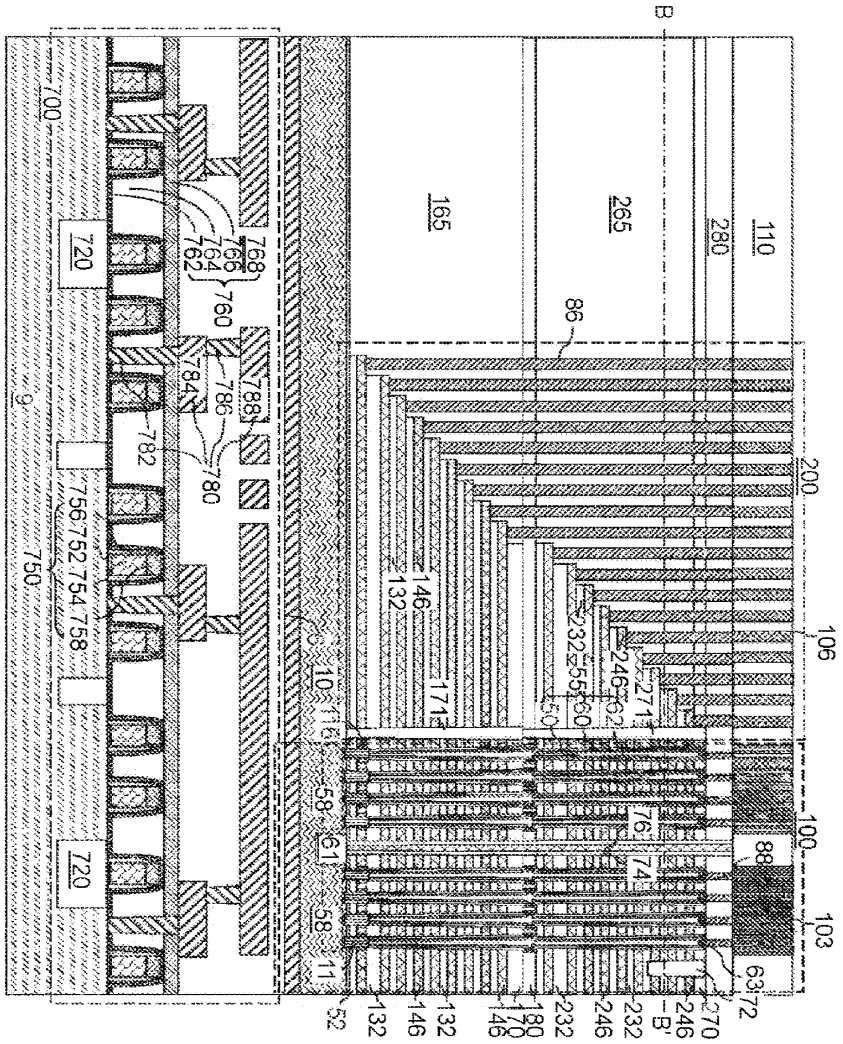
Micron Ex. 1002, p. 450
Micron v. YMTC
IPR2025-00245

도면36



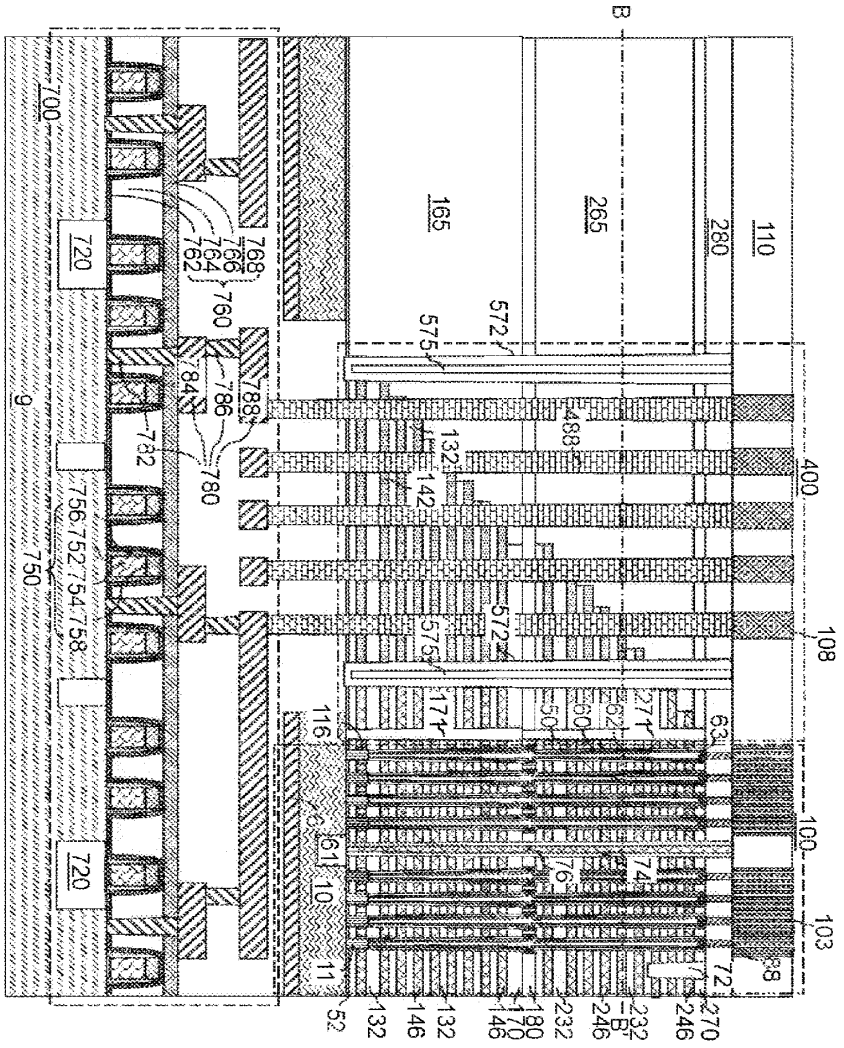
Micron Ex. 1002, p. 451
Micron v. YMTC
IPR2025-00245

도면63c



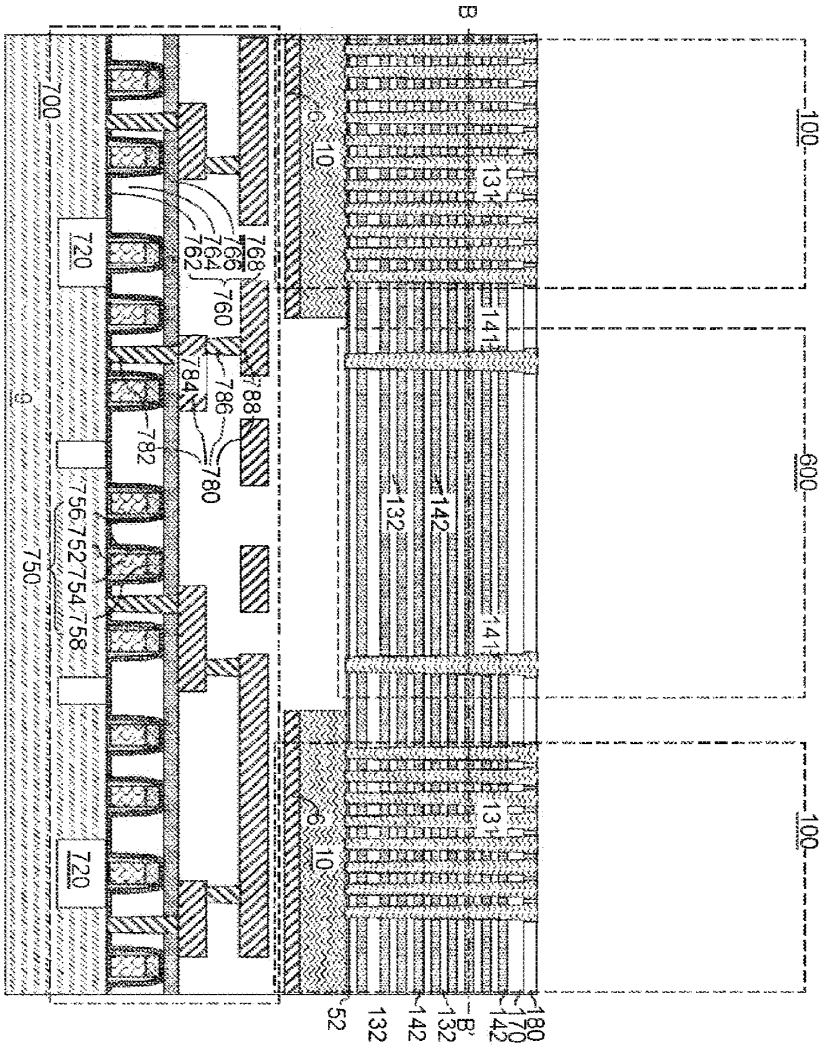
Micron Ex. 1002, p. 452
Micron v. YMTC
IPR2025-00245

도면64



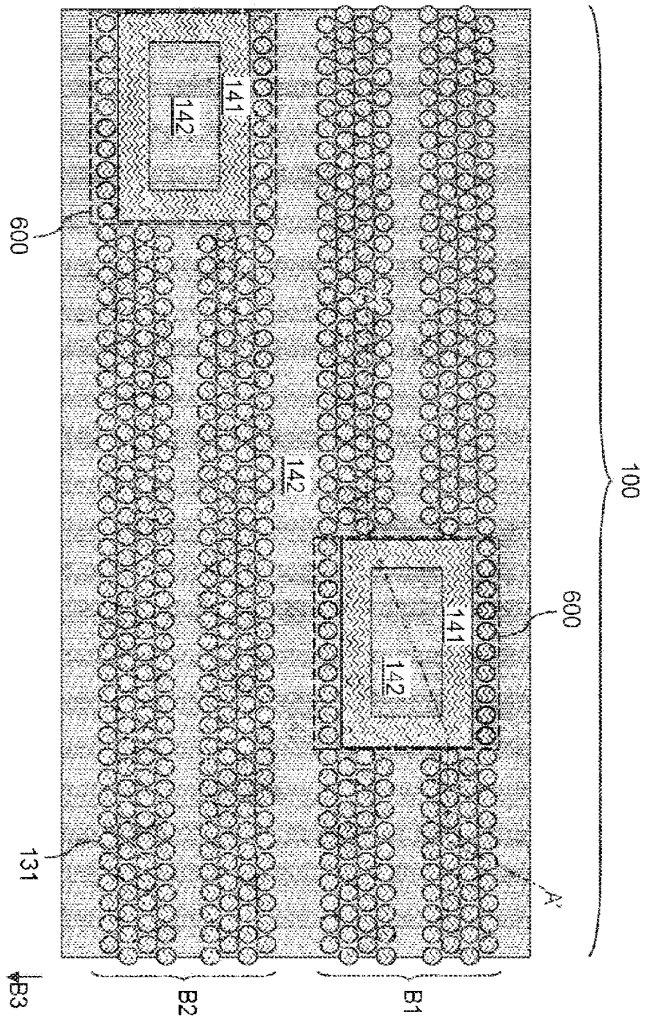
Micron Ex. 1002, p. 453
Micron v. YMTC
IPR2025-00245

도면65a



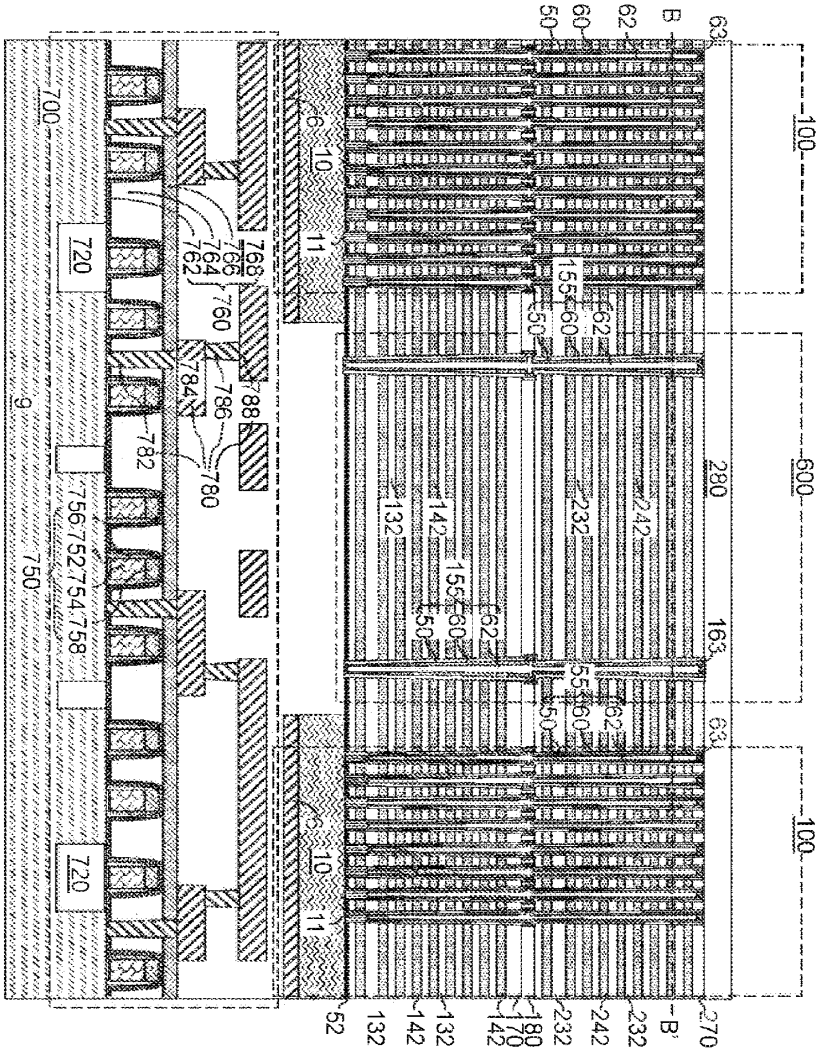
Micron Ex. 1002, p. 454
Micron v. YMTC
IPR2025-00245

도면68b



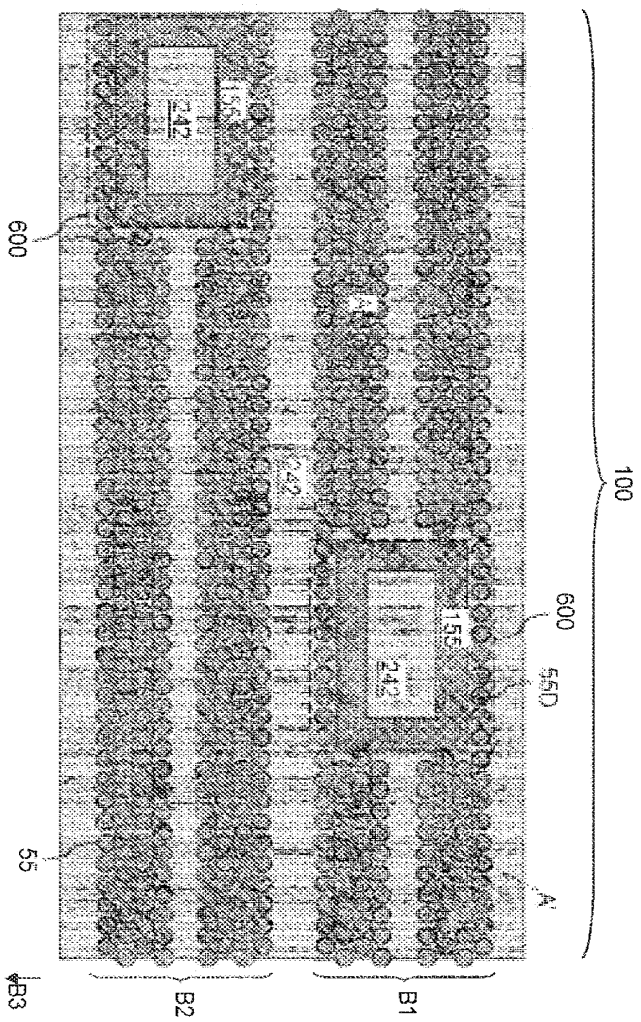
Micron Ex. 1002, p. 455
Micron v. YMTC
IPR2025-00245

도면60a



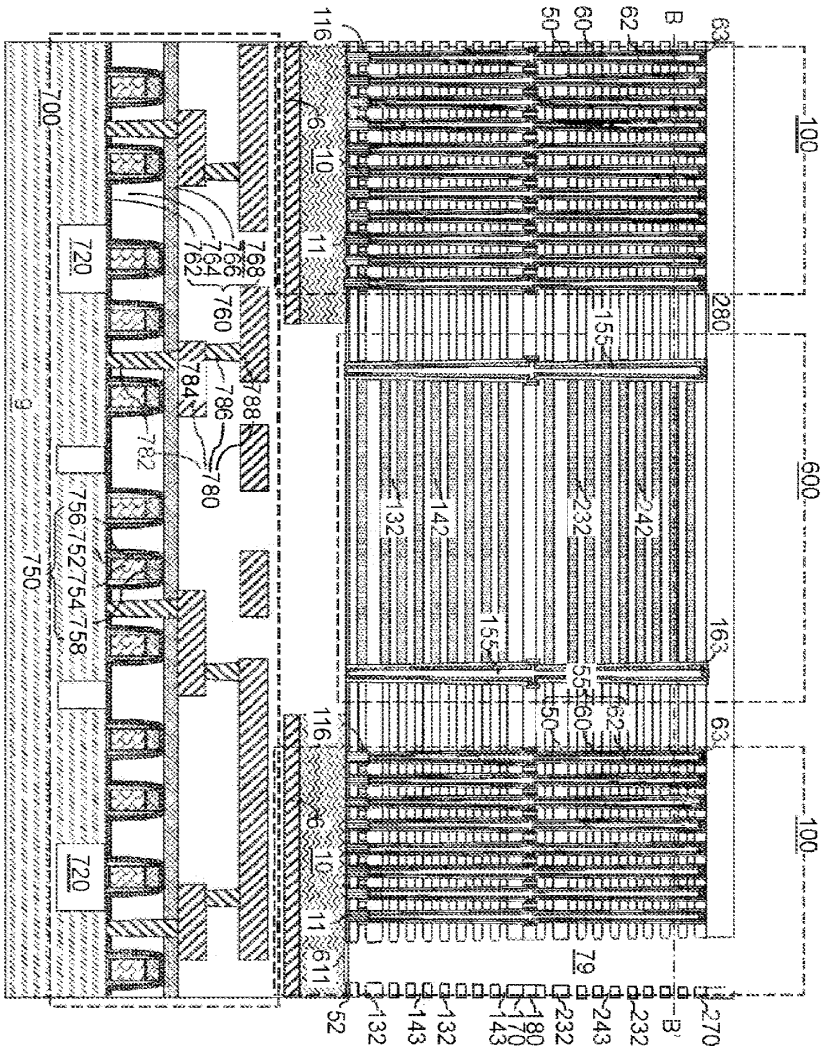
Micron Ex. 1002, p. 456
Micron v. YMTC
IPR2025-00245

도면66



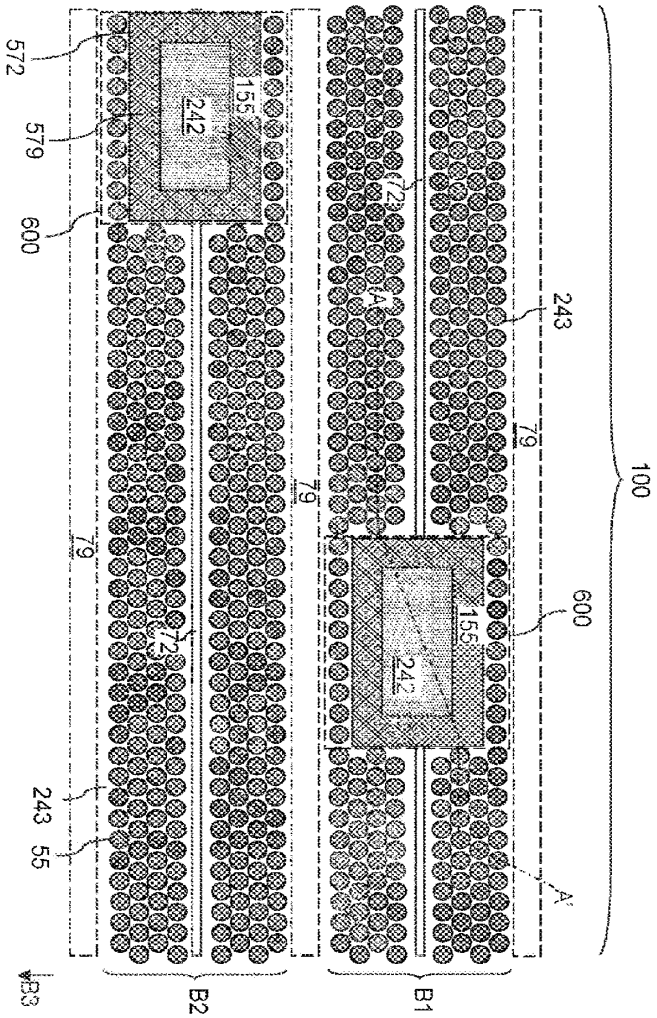
Micron Ex. 1002, p. 457
Micron v. YMTC
IPR2025-00245

도 67a



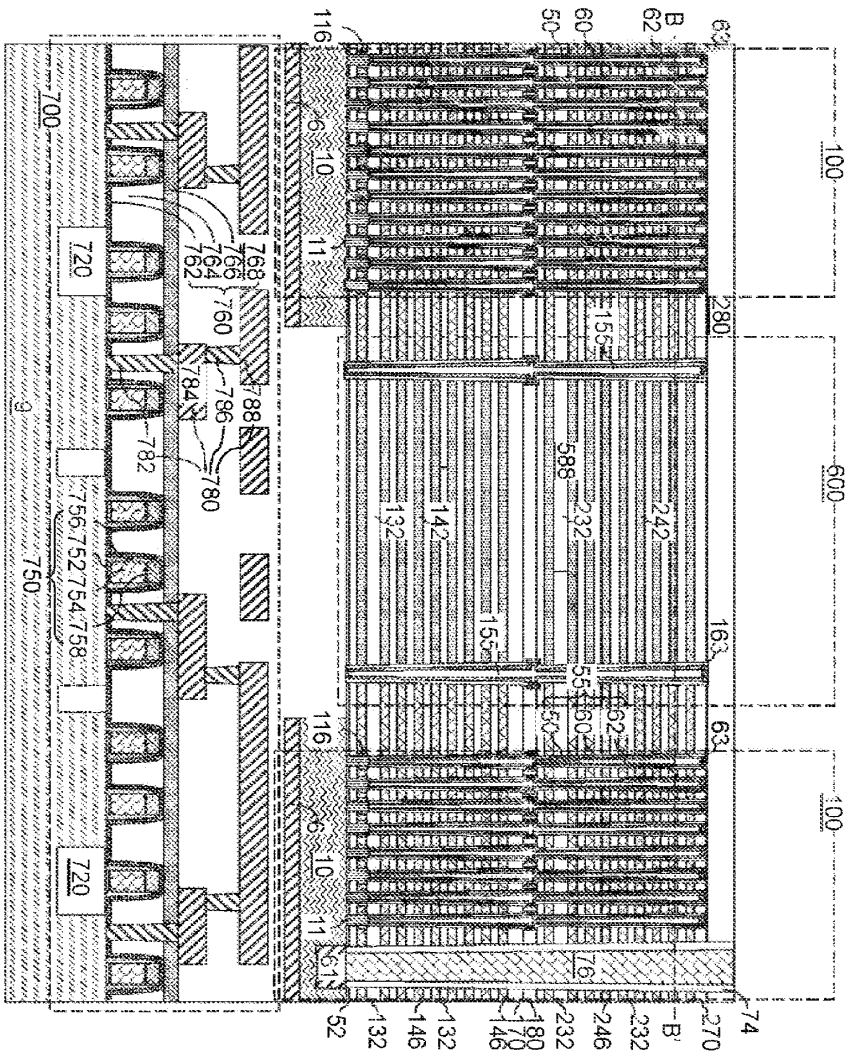
Micron Ex. 1002, p. 458
Micron v. YMTC
IPR2025-00245

도면67b



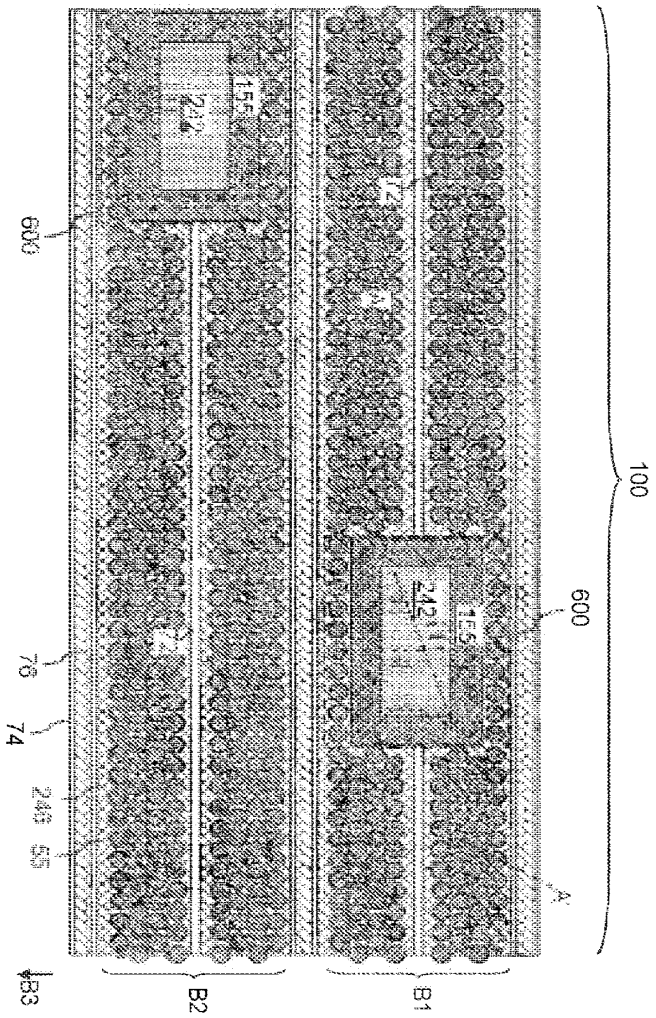
Micron Ex. 1002, p. 459
Micron v. YMTC
IPR2025-00245

도면68a



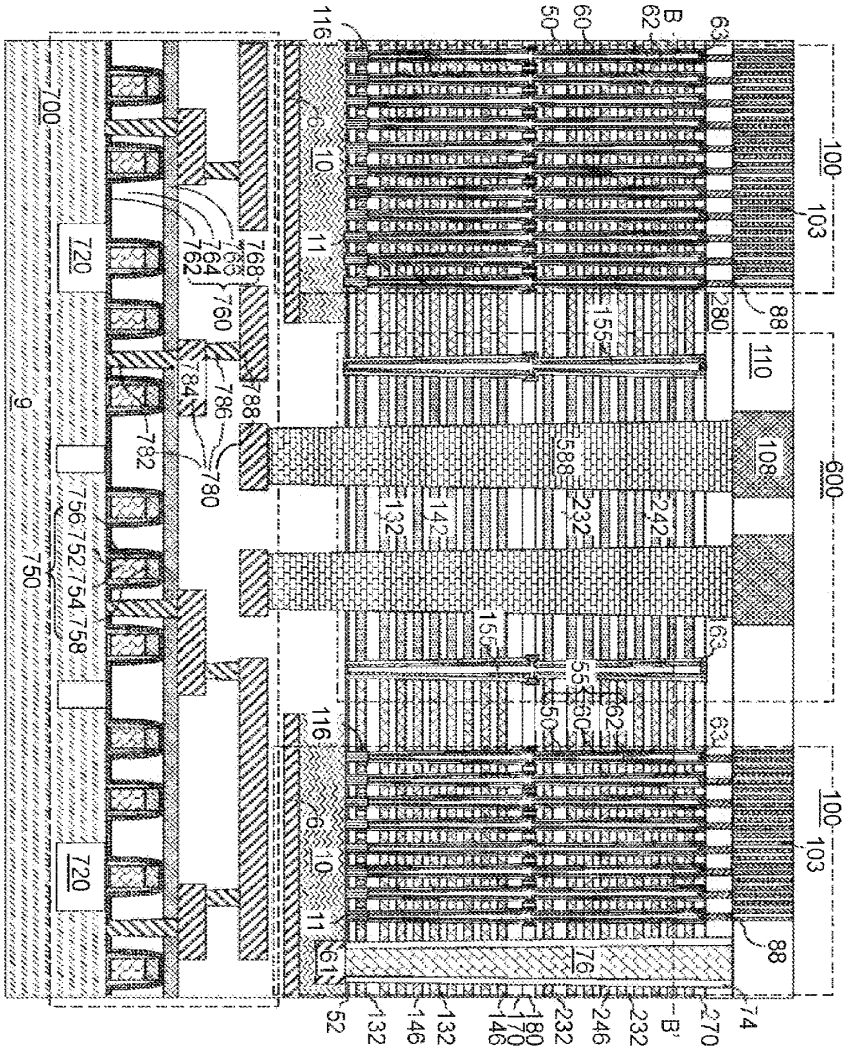
Micron Ex. 1002, p. 460
Micron v. YMTC
IPR2025-00245

도면68b



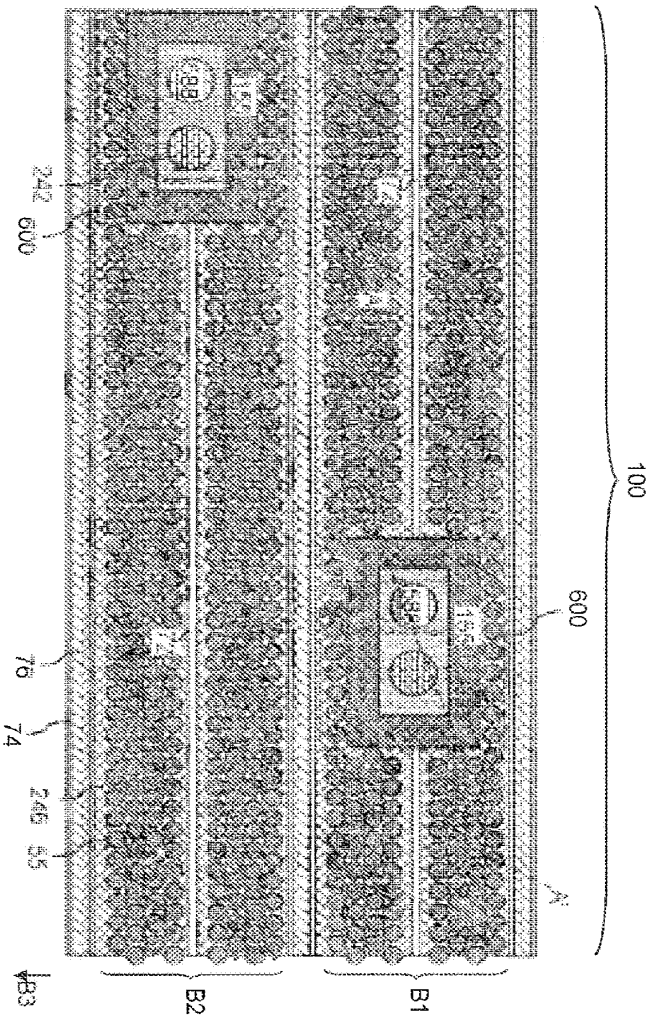
Micron Ex. 1002, p. 461
Micron v. YMTC
IPR2025-00245

도 69a



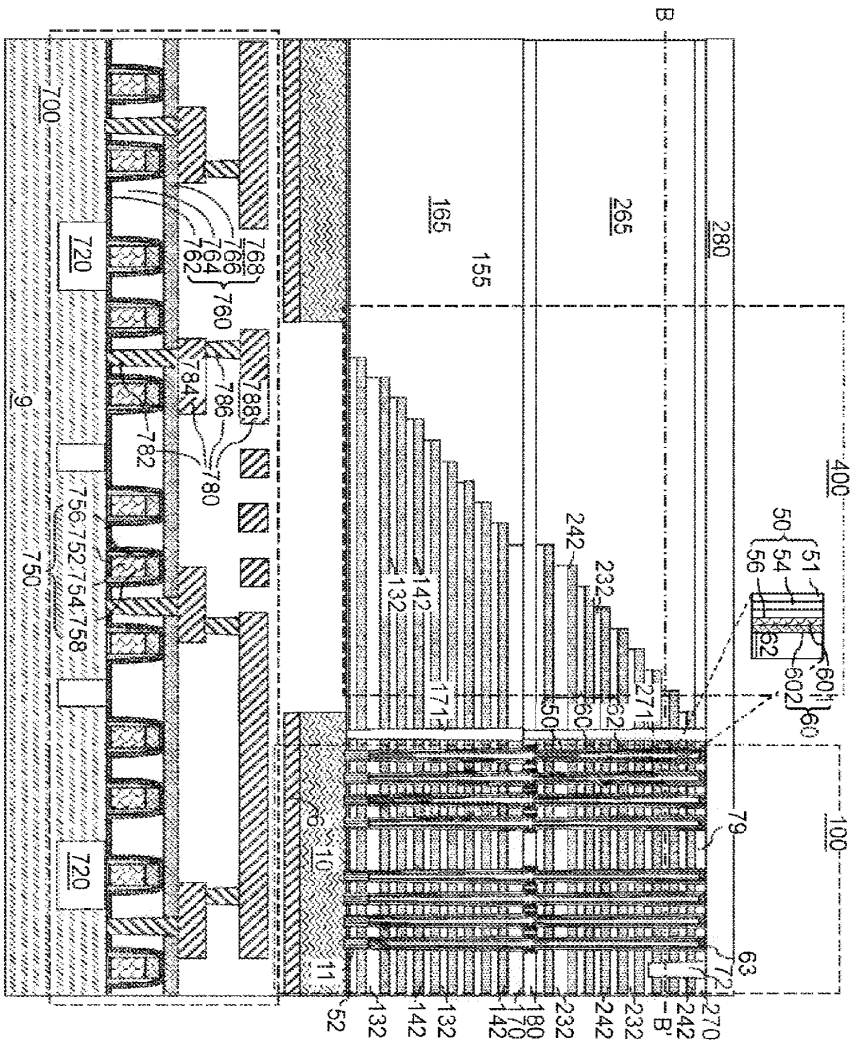
Micron Ex. 1002, p. 462
Micron v. YMTC
IPR2025-00245

도면69b



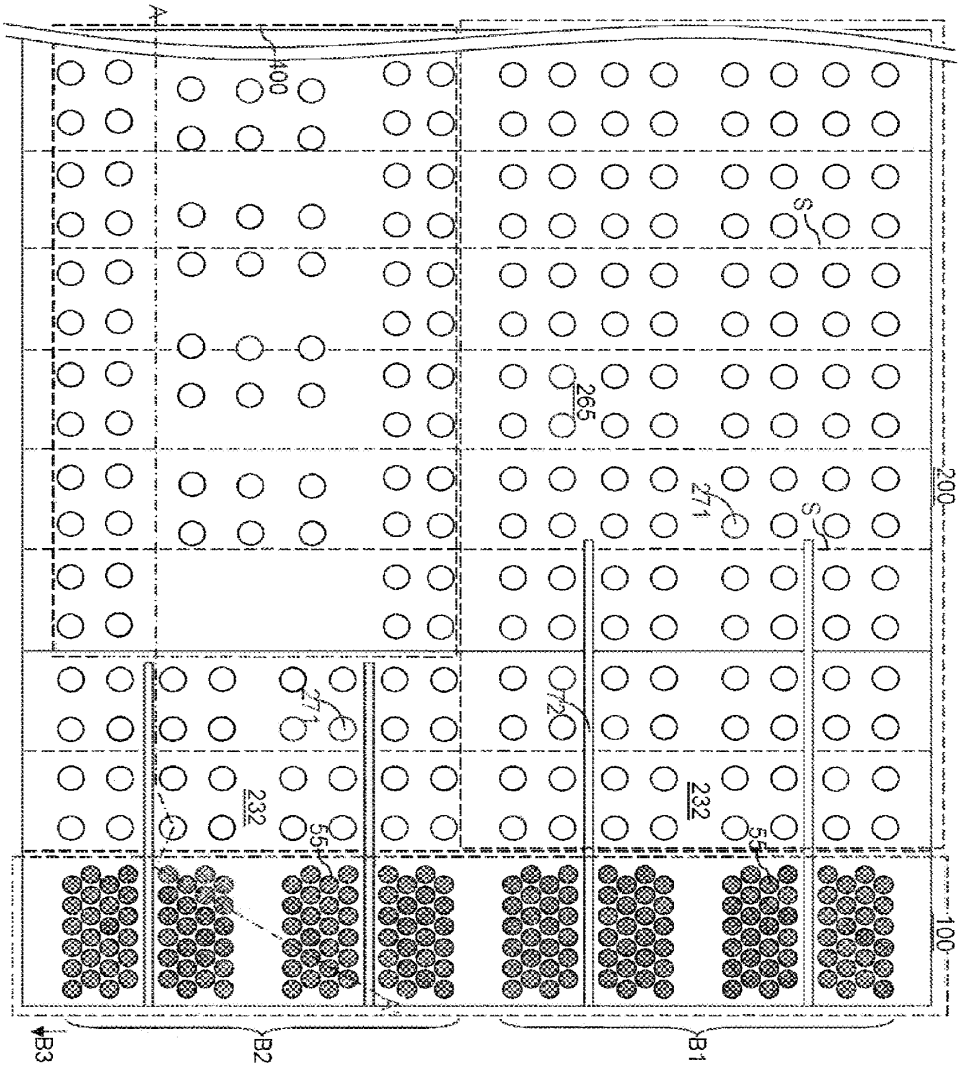
Micron Ex. 1002, p. 463
Micron v. YMTC
IPR2025-00245

도면70a



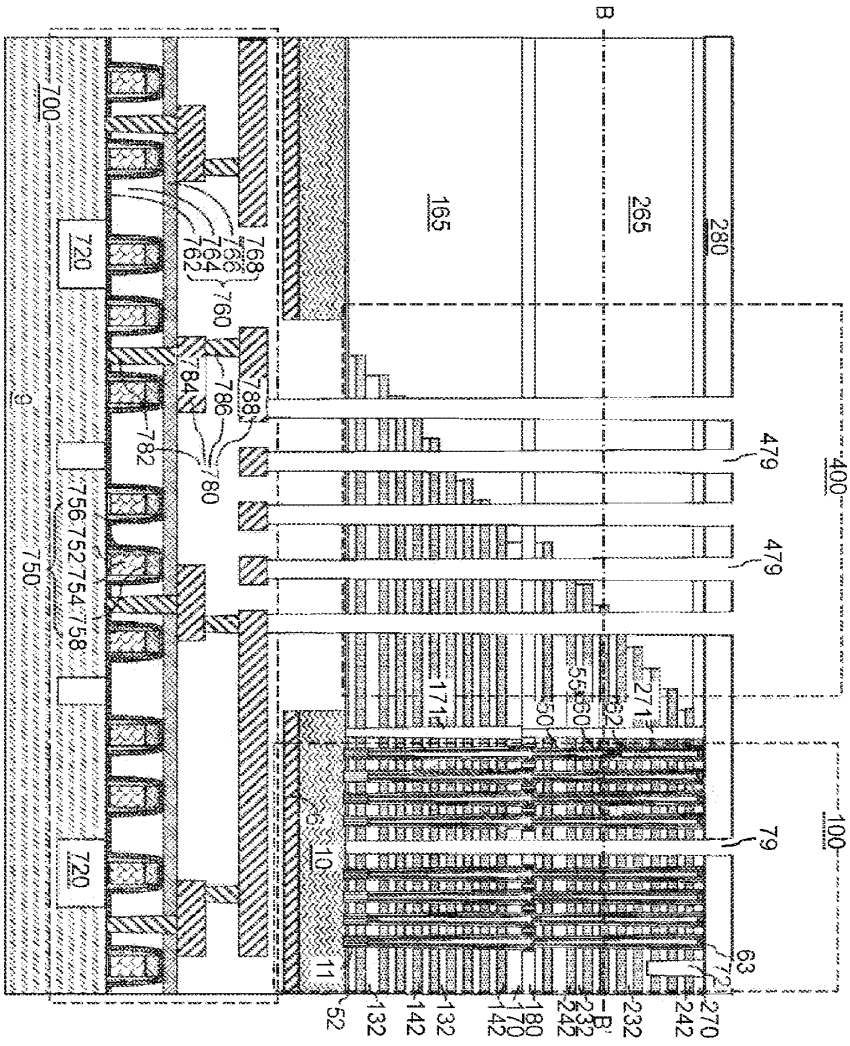
Micron Ex. 1002, p. 464
Micron v. YMTC
IPR2025-00245

도면70b



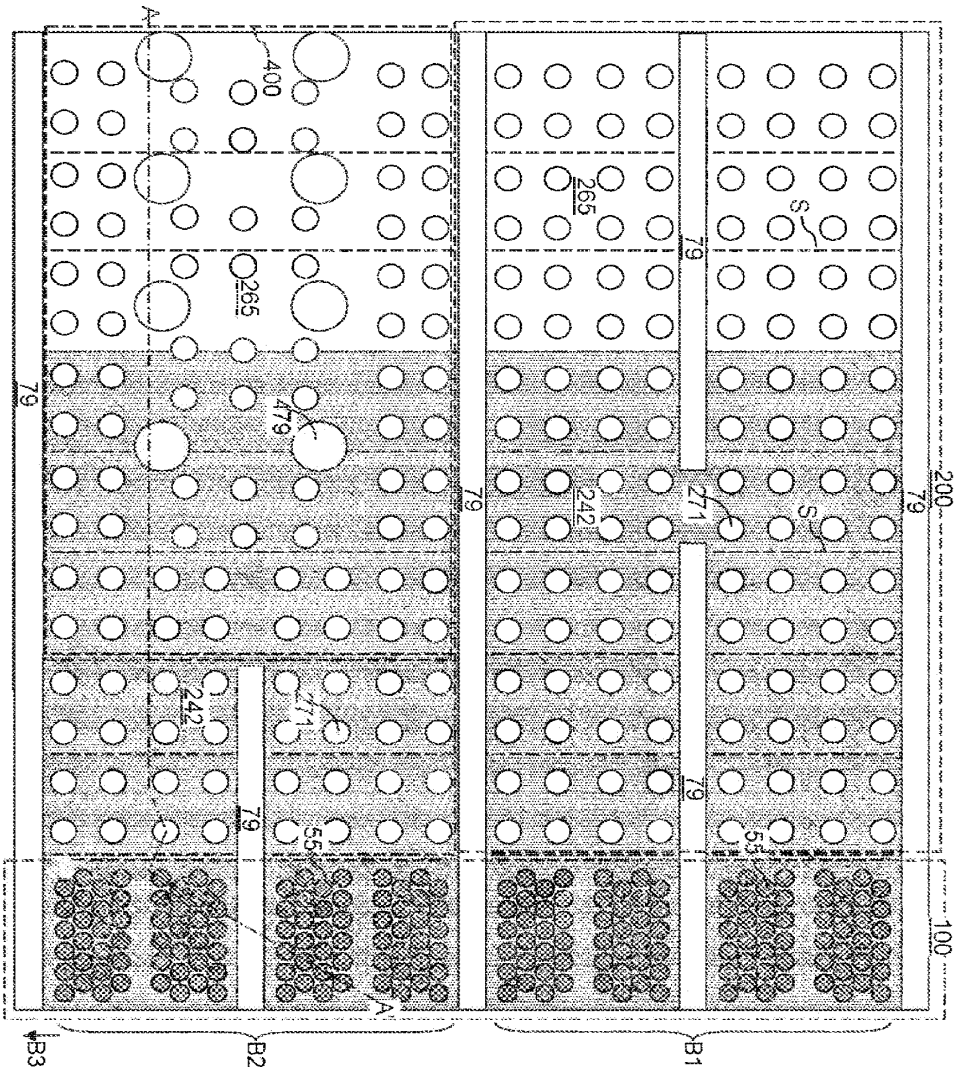
Micron Ex. 1002, p. 465
Micron v. YMTC
IPR2025-00245

도 71a



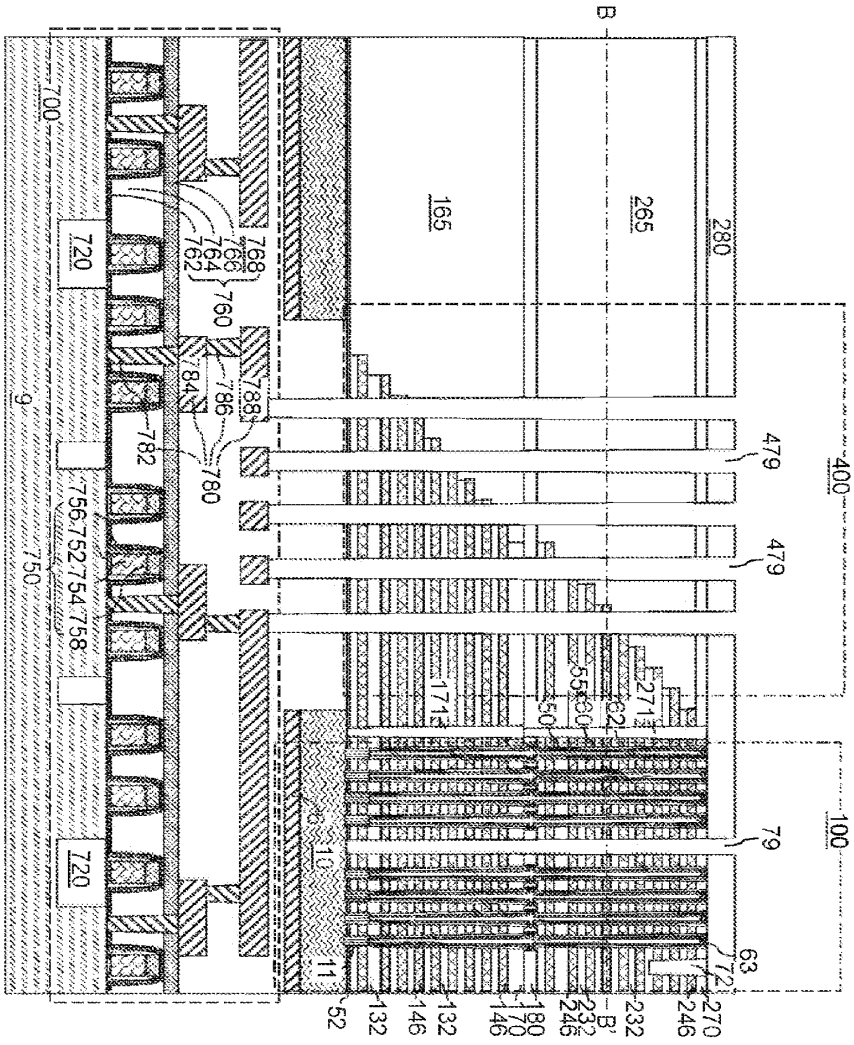
Micron Ex. 1002, p. 466
Micron v. YMTC
IPR2025-00245

도면716



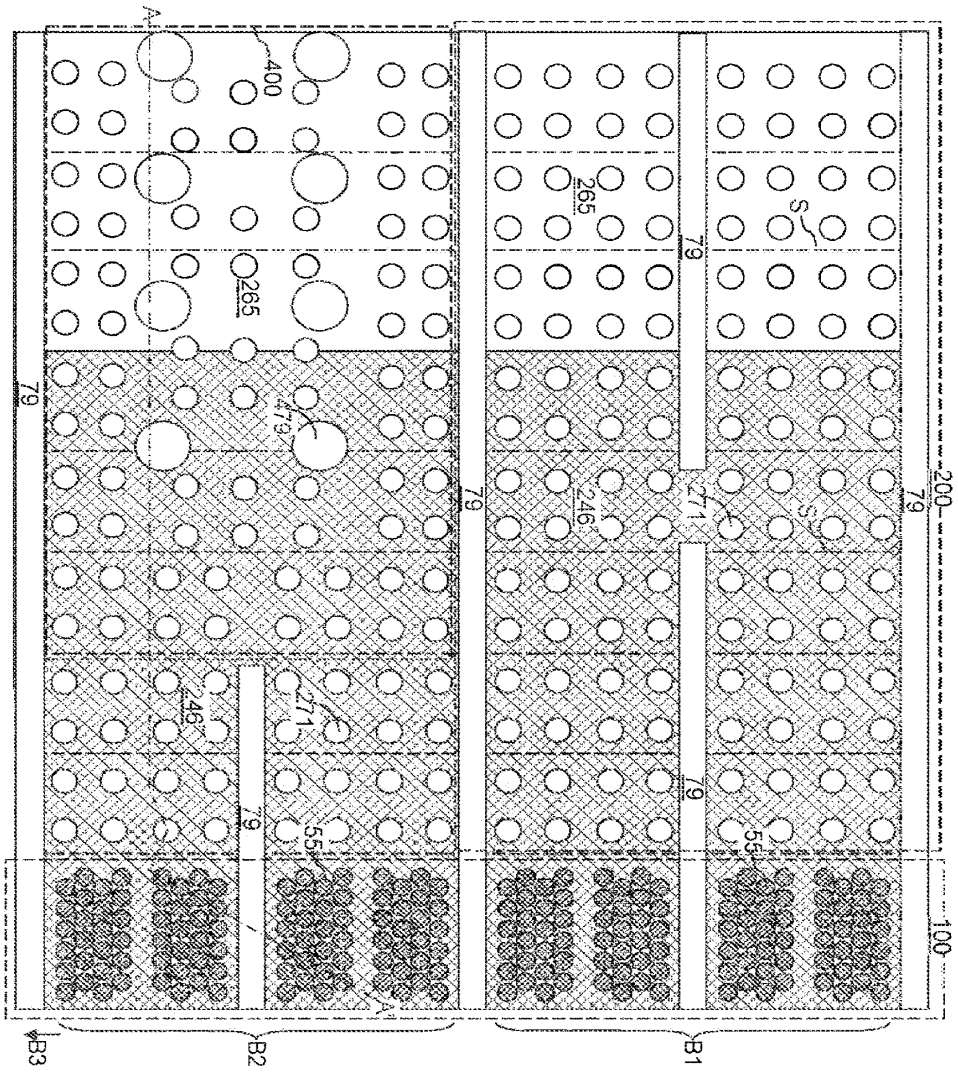
Micron Ex. 1002, p. 467
Micron v. YMTC
IPR2025-00245

도 72a



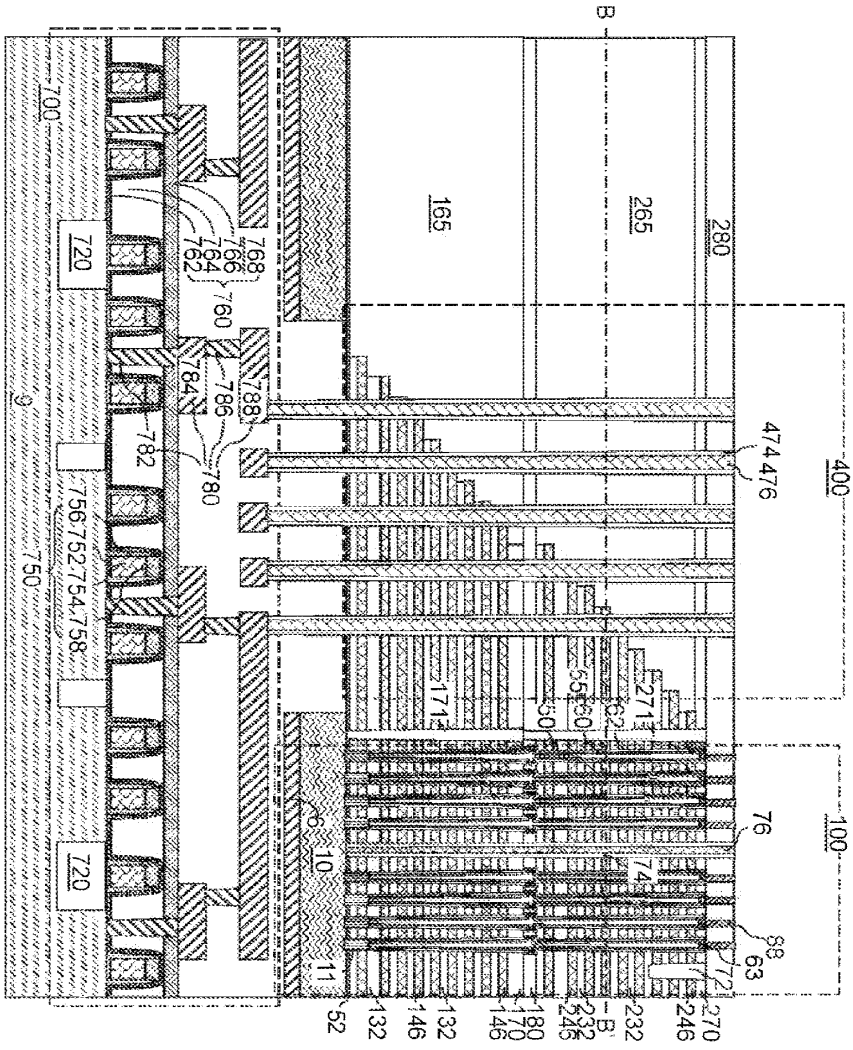
Micron Ex. 1002, p. 468
Micron v. YMTC
IPR2025-00245

도면72b



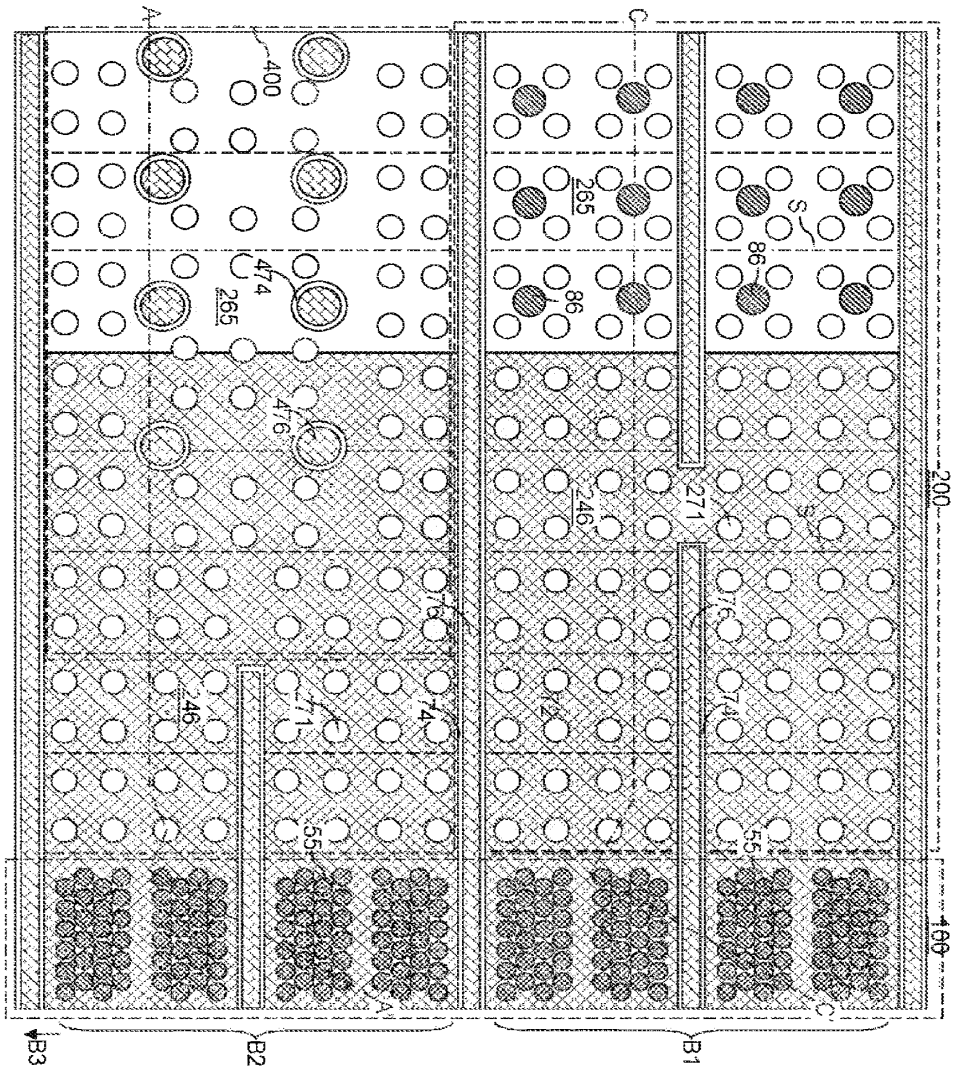
Micron Ex. 1002, p. 469
Micron v. YMTC
IPR2025-00245

도면73a



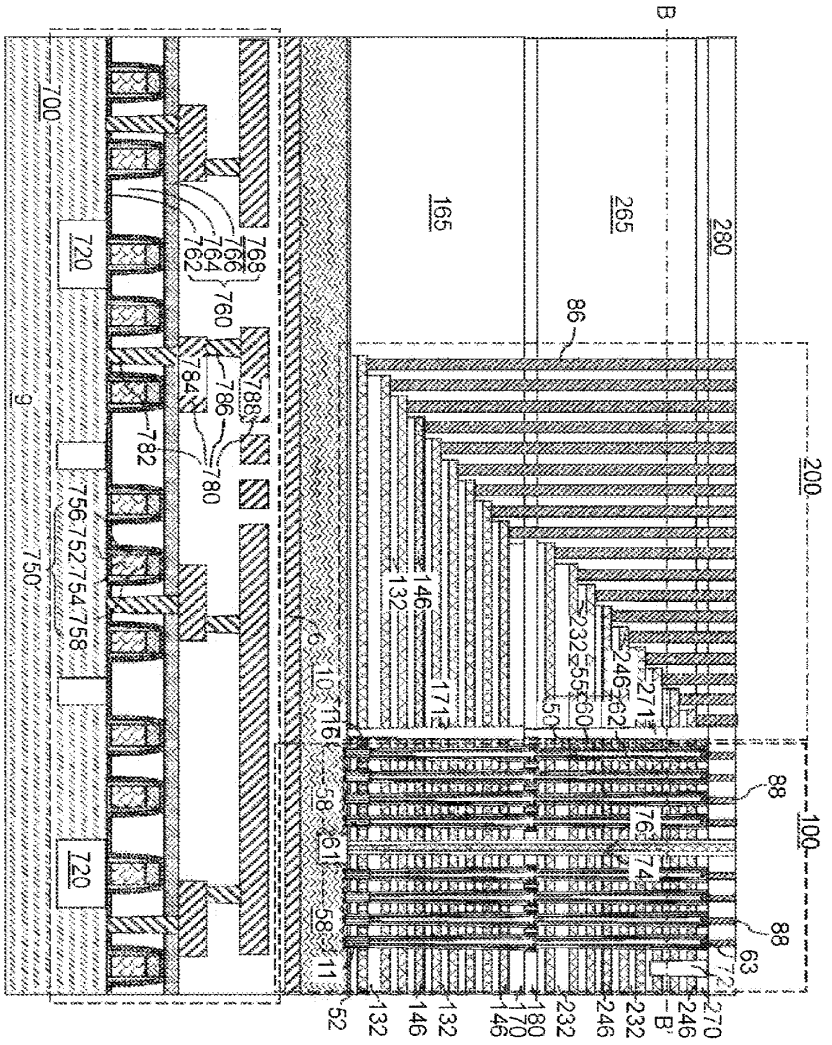
Micron Ex. 1002, p. 470
Micron v. YMTC
IPR2025-00245

도면736



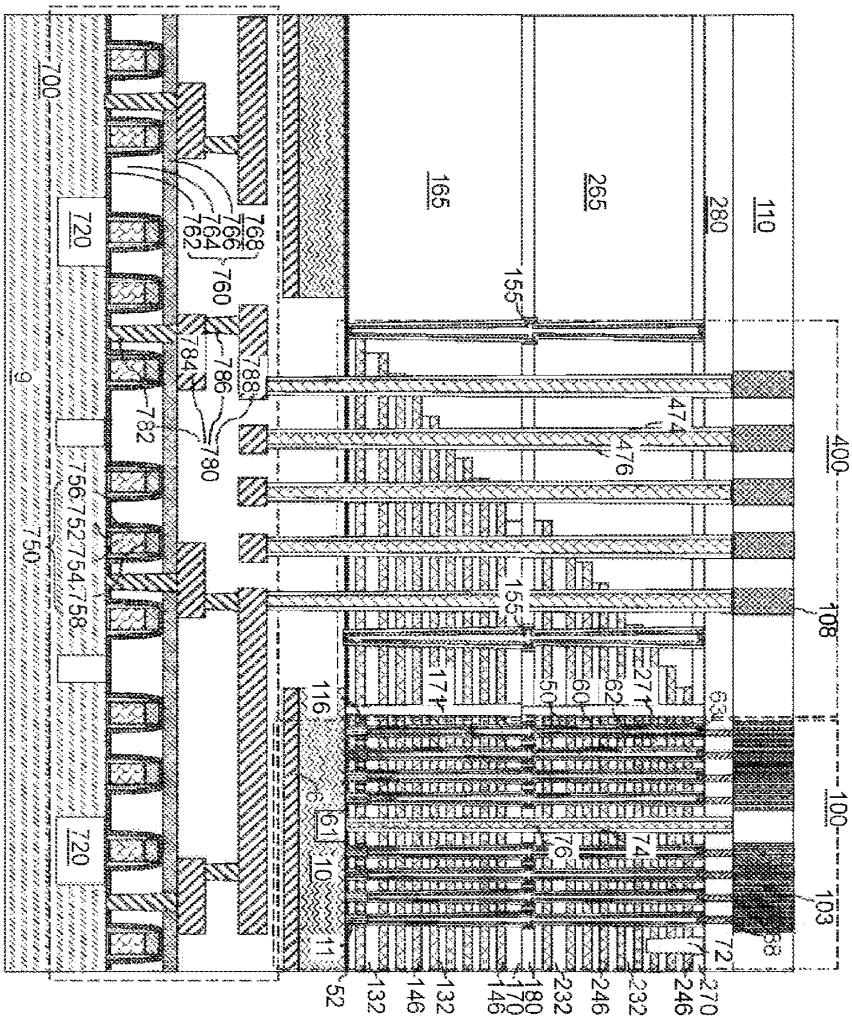
Micron Ex. 1002, p. 471
Micron v. YMTC
IPR2025-00245

도면73c



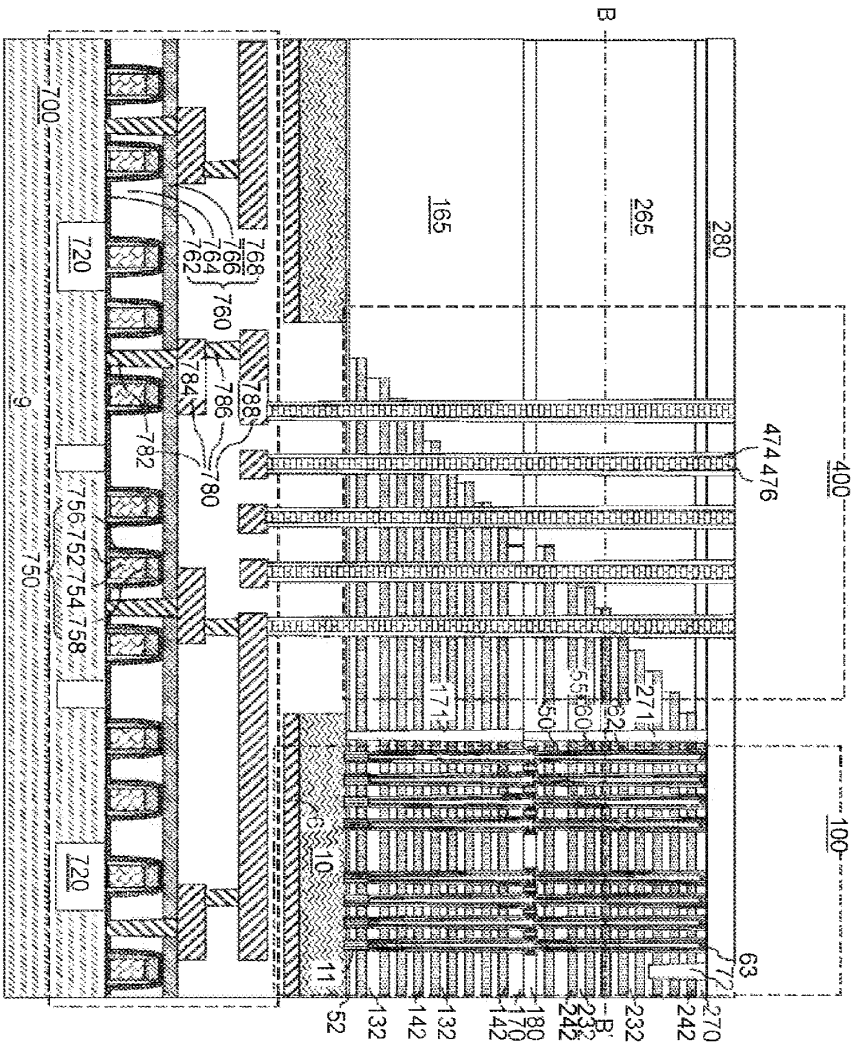
Micron Ex. 1002, p. 472
Micron v. YMTC
IPR2025-00245

도면74



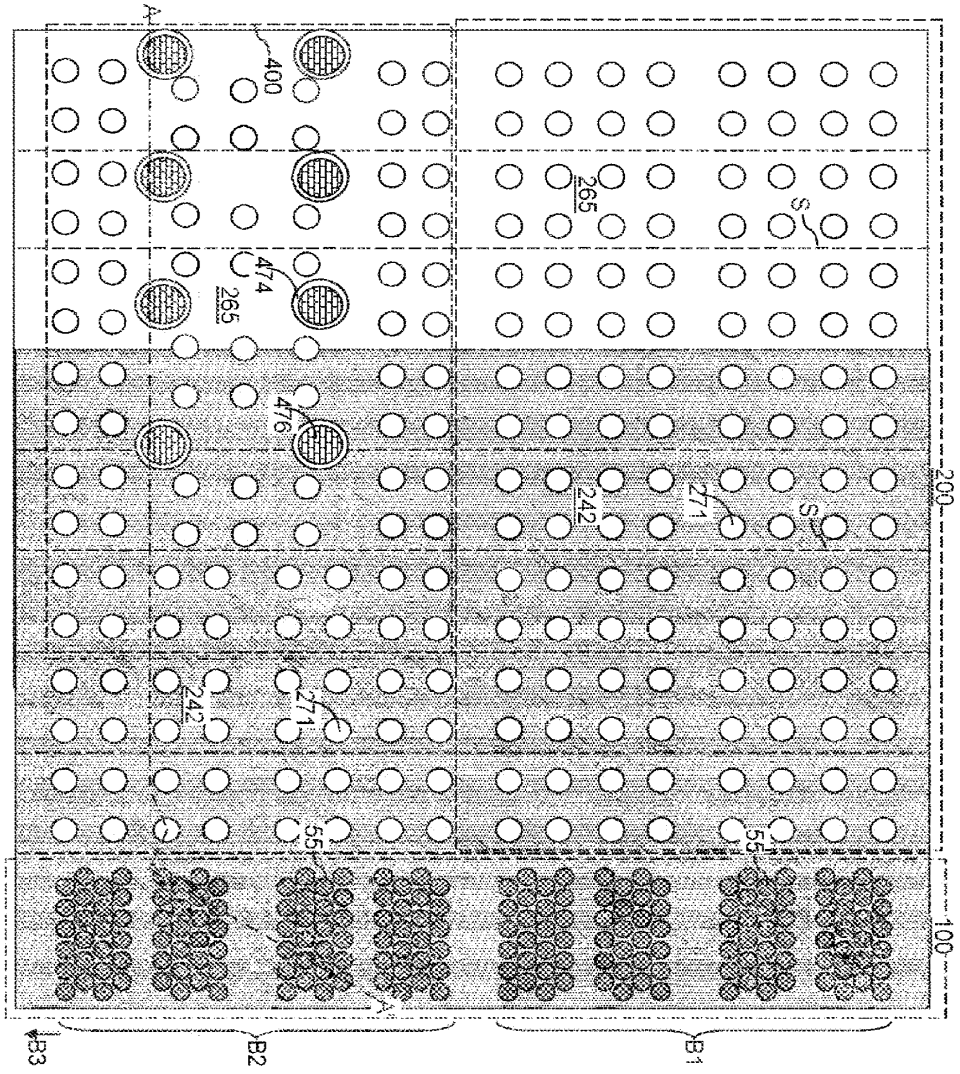
Micron Ex. 1002, p. 473
Micron v. YMTC
IPR2025-00245

도면78a



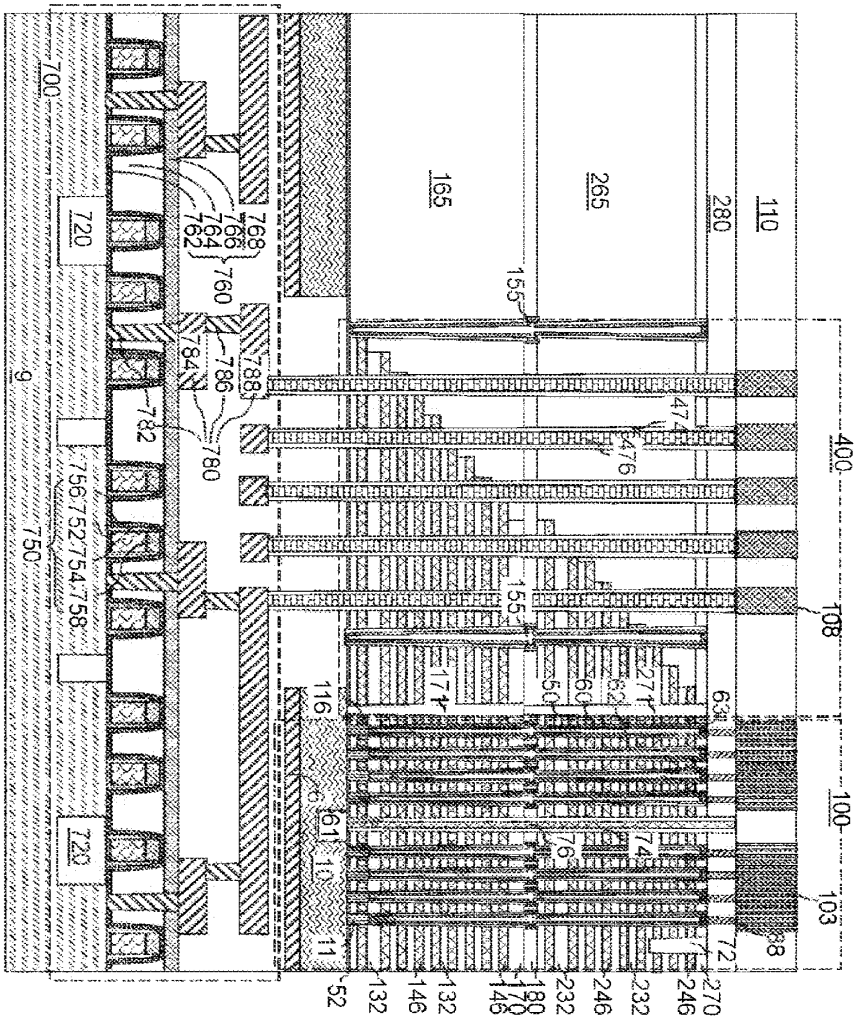
Micron Ex. 1002, p. 474
Micron v. YMTC
IPR2025-00245

도면76b



Micron Ex. 1002, p. 475
Micron v. YMTC
IPR2025-00245

도면76



Micron Ex. 1002, p. 476
Micron v. YMTC
IPR2025-00245

Electronic Acknowledgement Receipt

EFS ID:	42522489
Application Number:	16951141
International Application Number:	
Confirmation Number:	3874
Title of Invention:	JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME
First Named Inventor/Applicant Name:	Zhenyu LU
Customer Number:	26111
Filer:	Wenchong Shu/Jon Baitlon
Filer Authorized By:	Wenchong Shu
Attorney Docket Number:	4123.0110003
Receipt Date:	22-APR-2021
Filing Date:	18-NOV-2020
Time Stamp:	13:33:21
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Miscellaneous Incoming Letter	sIDS2-Cover-Letter-4123-0110003.pdf	269221 5a52f5a4c4b0390ad25ecd02fd307aea651c3521	no	2

Warnings:

Information:					
2	Transmittal Letter	sIDS2-Pleading-4123-0110003.pdf	133519 95e0e5afa7b40b2236c1c396031801293b8ae626	no	6
Warnings:					
Information:					
3	Information Disclosure Statement (IDS) Form (SB08)	sIDS2-SB08a-4123-0110003.pdf	151338 4ed8484a94aad0d4db852f9232412b774502514a	no	1
Warnings:					
Information:					
This is not an USPTO supplied IDS fillable form					
4	Foreign Reference	FP1_KR20180095499A.pdf	18321102 831f437cb48162051eca45bb80cabb7ddd5504d3	no	208
Warnings:					
Information:					
		Total Files Size (in bytes):	18875180		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

WENCHONG SHU
PATENT AGENT
202-772-8656
WSHU@STERNEKESSLER.COM

April 22, 2021

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Confirmation No. 3874
Art Unit 2812
Attn: Mail Stop Amendment

Re: U.S. Patent Application
Appl. No. 16/951,141; Filed: November 18, 2020
For: **JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME**
First Named Inventor: Zhenyu LU
Our Ref: 4123.0110003

Commissioner:

Transmitted herewith for appropriate action are the following documents:

1. Second Supplemental Information Disclosure Statement;

2. Form PTO/SB/08a (1 sheet) listing 2 documents (**US1**) and (**FP1**); and

3. A copy of the cited document (**FP1**).

The above-listed items are filed electronically.

In the even that extensions of time are necessary to prevent abandonment of this patent application, then such extensions of time are hereby petitioned.

The U.S. Patent and Trademark Office is hereby authorized to charge any fee deficiency, or credit any overpayment, to our Deposit Account No. 19-0036.

Micron Ex. 1002, p. 479
Micron v. YMTC
IPR2025-00245

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Wenchong Shu/

Wenchong Shu
Agent for Applicant
Registration No. 73,999

W-S/jcb
Enclosures

16646097_1.docx

Micron Ex. 1002, p. 480
Micron v. YMTC
IPR2025-00245

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

First Named Inventor: Zhenyu LU	Confirmation No.: 3874
Applicant: YANGTZE MEMORY TECHNOLOGIES CO., LTD.	Art Unit: 2812
Application No.: 16/951,141	Examiner: *To Be Assigned*
Filing Date: November 18, 2020	Atty. Docket: 4123.0110003

Title: **JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME**

Second Supplemental Information Disclosure Statement

Mail Stop Amendment

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Commissioner:

Listed on accompanying IDS Form PTO/SB/08a or its equivalent are documents that may be considered material to the patentability of this application as defined in 37 C.F.R. §1.56, and in compliance with the duty of disclosure requirements of 37 C.F.R. §§ 1.97 and 1.98.

Applicant has listed publication dates on the attached IDS Form based on information presently available to the undersigned. However, the listed publication dates should not be construed as an admission that the information was actually published on the date indicated.

Applicant reserves the right to establish the patentability of the claimed invention over any of the information provided herewith, and/or to prove that this information may not be prior art, and/or to prove that this information may not be enabling for the teachings purportedly offered.

This statement should not be construed as a representation that a search has been made, or that information more material to the examination of the present patent application does not exist. The Examiner is specifically requested not to rely solely on the material submitted herewith.

Applicant has checked the appropriate boxes below.

☐ 1. Statement under 37 C.F.R. 1.704(d). Each item of information contained in this Information Disclosure Statement: (i) was first cited in any communication from a patent office in a counterpart[1] foreign or international application or from the Office; and this communication was not received by any individual designated in Sec. 1.56(c) more than thirty days prior to the filing of this information disclosure statement; OR (ii) is a communication that was issued by a patent office in a counterpart foreign or international application or by the Office, and this communication was not received by any individual designated in Sec. 1.56(c) more than thirty days prior to the filing of the information disclosure statement.

☒ 2. Filing under 37 C.F.R. § 1.97(b). This Information Disclosure Statement is being filed within three months of the date of filing of a national application other than a continued prosecution application (CPA), OR within three months of the date of entry of the national stage as set forth in 37 C.F.R. § 1.491 in an international application, OR before the mailing date of a first Office Action on the merits OR before the mailing of a first Office Action

[1] The term counterpart foreign patent application means that a claim for priority has been made in either the U.S. application or a foreign application based on the other, or that the disclosures of the U.S. and foreign patent applications are substantively identical (e.g., an application filed in the European Patent Office claiming the same U.K. priority as claimed in the U.S. application).

Micron Ex. 1002, p. 482
Micron v. YMTC
IPR2025-00245

after the filing of a request for continued examination under 37 C.F.R. § 1.114. No statement or fee is required.

☐ 3. Filing under 37 C.F.R. § 1.97(c). This Information Disclosure Statement is being filed more than three months after the U.S. filing date AND after the mailing date of the first Office Action on the merits, but before the mailing date of a Final Rejection, or Notice of Allowance, or an action that otherwise closes prosecution in the application.

☐ a. Statement under 37 C.F.R. § 1.97(e)(1). I hereby state that each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this Information Disclosure Statement. 37 C.F.R. § 1.97(e)(1).

☐ b. Statement under 37 C.F.R. § 1.97(e)(2). I hereby state that no item of information in this Information Disclosure Statement was cited in a communication from a foreign patent office in a counterpart foreign application and, to my knowledge after making reasonable inquiry, was known to any individual designated in 37 C.F.R. § 1.56(c) more than three months prior to the filing of this Information Disclosure Statement. 37 C.F.R. § 1.97(e)(2).

☐ c. The required fee is provided through online credit card payment authorization in the amount of $260.00 in payment of the fee under 37 C.F.R. § 1.17(p).

☐ 4. Filing under 37 C.F.R. § 1.97(d) This Information Disclosure Statement is being filed more than three months after the U.S. filing date and after the mailing date of a Final Rejection or

Micron Ex. 1002, p. 483
Micron v. YMTC
IPR2025-00245

Notice of Allowance, but on or before payment of the Issue Fee. The required fee is provided through online credit card payment authorization in the amount of $260.00 in payment of the fee under 37 C.F.R. § 1.17(p); in addition:

☐ a. Statement under 37 C.F.R. § 1.97(e)(1). I hereby state that each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this Information Disclosure Statement. 37 C.F.R. § 1.97(e)(1).

☐ b. Statement under 37 C.F.R. § 1.97(e)(2). I hereby state that no item of information in this Information Disclosure Statement was cited in a communication from a foreign patent office in a counterpart foreign application and, to my knowledge after making reasonable inquiry, was known to any individual designated in 37 C.F.R. § 1.56(c) more than three months prior to the filing of this Information Disclosure Statement. 37 C.F.R. § 1.97(e)(2).

☒ 5. The patent family for one or more foreign language documents submitted herewith includes a United States patent, and other patent, in the English language. Copies of both the particular foreign patent(s) or published foreign patent applications cited in the foreign patent office communication, and that are not already of record in this application, are enclosed. Copies of the related United States or other English language patent or published application from the family list, if not already of record, are listed on the accompanying SB/08A form. For the purposes of a statement under 37 CFR 1.97(e)(1), the United States or

Micron Ex. 1002, p. 484
Micron v. YMTC
IPR2025-00245

other English language patent or published application are to be construed as being cited by the foreign patent office. MPEP 609.04(b)(V).

☐ 6. The document(s) was/were cited in a search report by a foreign patent office in a counterpart foreign application. Submission of an English language version of the search report that indicates the degree of relevance found by the foreign office is provided in satisfaction of the requirement for a concise explanation of relevance. MPEP 609.04(a)(III).

☒ 7. A concise explanation of the relevance of the non-English language document(s) appears below in accordance with 37 C.F.R. § 1.98(a)(3).

Document **US1** (10,038,006 B2) is submitted herewith as the English-language counterpart of document **FP1** (KR 1020180095499 A).

☒ 8. Copy of document **FP1** is submitted. However, in accordance with 37 C.F.R. § 1.98(a)(2)(ii), no copy of the U.S. patent cited as document **US1** on the attached IDS Form is submitted.

☐ 9. Copies of the _____ documents were cited by or submitted to the Office in an IDS that complies with 37 C.F.R. § 1.98(a)-(c) in Application No._____, filed _____, which is relied upon for an earlier filing date under 35 U.S.C. § 120. Thus, copies of these documents are not attached. 37 C.F.R. § 1.98(d).

☒ 10. It is expected that the examiner will review the prosecution and cited art in the parent Application No. 16/046,847, filed July 26, 2018 (now U.S. Patent No. 10,886,291), in accordance with MPEP 2001.06(b), and indicate in the next communication from the office

Micron Ex. 1002, p. 485
Micron v. YMTC
IPR2025-00245

that the art cited in the earlier prosecution history has been reviewed in connection with the present application.

☐ 11. Applicants submit herewith Office Actions from the co-pending U.S. Patent Application No._____, filed _____, as documents _____ to _____.

The identification of these Office Actions is not to be construed as a waiver of secrecy as to those applications now or upon issuance of the present application as a patent. The Examiner is respectfully requested to consider the cited applications and the art cited therein during examination.

It is respectfully requested that the Examiner initial and return a copy of the enclosed IDS Form, and indicate in the official file wrapper of this patent application that the documents have been considered.

The U.S. Patent and Trademark Office is hereby authorized to charge any fee deficiency, or credit any overpayment, to our Deposit Account No. 19-0036.

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Wenchong Shu/

Wenchong Shu
Agent for Applicant
Registration No. 73,999

Date: 4/22/2021

1100 New York Avenue, N.W.
Washington, D.C. 20005-3934
(202) 371-2600

16646041.1

Micron Ex. 1002, p. 486
Micron v. YMTC
IPR2025-00245

PTO/SB/08a (07-09)
Approved for use through 11/30/2020. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 1

Complete if Known	
Application Number	16/951,141
Filing Date	November 18, 2020
First Named Inventor	Zhenyu LU
Art Unit	2812
Examiner Name	PATEL, REEMA
Attorney Docket Number	4123.0110003

U. S. PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Document Number Number-Kind Code[2] *(if known)*	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	US1	US- 2013/0134492 A1	05-30-2013	Yang et al.	
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Foreign Patent Document Country Code[3]-Number[4]-Kind Code[5] *(if known)*	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages Or Relevant Figures Appear	T[6]
	FP1	KR 20100100397 A	09-15-2010	SAMSUNG ELECTRONICS CO LT		✓
	FP2	KR 20130057670 A	06-03-2013	SAMSUNG ELECTRONICS CO LT		

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. [1] Applicant's unique citation designation number (optional). [2] See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. [3] Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). [4] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [6] Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

Espacenet

Bibliographic data: KR20100100397 (A) — 2010-09-15

NONVOLATILE MEMORY DEVICE

Inventor(s): SHIM SUN IL [KR]; KIM HAN SOO [KR]; CHO WON SEOK [KR]; JANG JAE HOON [KR]; LIM JIN SOO [KR] ± (SHIM, SUN IL, ; KIM, HAN SOO, ; CHO, WON SEOK, ; JANG, JAE HOON, ; LIM, JIN SOO)

Applicant(s): SAMSUNG ELECTRONICS CO LTD [KR] ± (SAMSUNG ELECTRONICS CO., LTD)

Classification: - international: ***H01L21/8247; H01L27/115***
- cooperative: **H01L21/76229 (KR); H01L27/0688 (KR); H01L27/11568 (KR); H01L27/11578 (KR); H01L27/11582 (KR); H01L29/40117 (KR); H01L29/45 (KR)**

Application number: KR20090019270 20090306 Global Dossier

Priority number (s): KR20090019270 20090306

Also published as: KR101503876 (B1)

Abstract of KR20100100397 (A)

PURPOSE: A nonvolatile memory device is provided to laminate more active patterns on the substrate by electrically connecting the active patterns by a first pad unit. CONSTITUTION: The gate patterns and the insulation patterns oxides are alternately laminated on a substrate(110). An activity pattern(ACT) is expanded according to the sidewalls of the gate patterns and insulation patterns. Data store patterns(133, 134) are formed between the gate patterns and the active patterns.

Micron Ex. 1002, p. 488
Micron v. YMTC
IPR2025-00245

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0100397
(43) 공개일자 2010년09월15일

(51) Int. Cl.
H01L 27/115 (2006.01) *H01L 21/8247* (2006.01)
(21) 출원번호 10-2009-0019270
(22) 출원일자 2009년03월06일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 매탄동 416
(72) 발명자
심선일
서울특별시 동작구 사당2동 우성아파트 306동 1411호
김한수
경기도 수원시 영통구 영통동 청명로 100 삼성래미안아파트 431동601호
(뒷면에 계속)
(74) 대리인
송윤호, 오세준, 권혁수

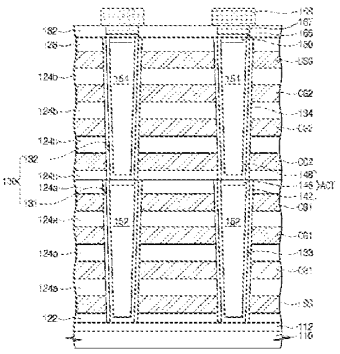
전체 청구항 수 : 총 10 항

(54) 비휘발성 메모리 소자

(57) 요 약

비휘발성 메모리 소자가 제공된다. 이 비휘발성 메모리 소자는, 기판 상에 교대로 적층된 게이트 패턴들과 절연패턴들, 기판 상에 게이트 패턴들과 절연패턴들의 측벽들을 따라 위로 연장되는 활성 패턴 및 게이트 패턴들과 활성 패턴 사이의 데이터 저장 패턴을 포함한다. 활성 패턴은 제1 부활성(sub-active) 패턴, 제1 부활성 패턴 상의 제2 부활성 패턴, 및 제1 부활성 패턴과 제2 부활성 패턴을 연결하는 제1 패드부를 포함한다. 제1 패드부의 상부면의 단면적은 상기 제1 부활성 패턴의 상부면의 단면적보다 넓을 수 있다.

대 표 도 - 도2a



Micron Ex. 1002, p. 489
Micron v. YMTC
IPR2025-00245

(72) 발명자

조원석

경기 수원시 영통구 영통동 황골마을 쌍용아파트 246동 702호

장재훈

경기 성남시 분당구 수내동 양지마을청구아파트 210동 103호

임진수

서울특별시 송파구 가락1동 시영아파트 (47-92동) 90동 404호

Micron Ex. 1002, p. 490
Micron v. YMTC
IPR2025-00245

특허청구의 범위

청구항 1

기판 상에 교대로 적층된 게이트 패턴들과 절연패턴들;

상기 기판 상에, 상기 게이트 패턴들과 절연패턴들의 측벽들을 따라 위로 연장되는 활성 패턴; 및

상기 게이트 패턴들과 활성 패턴 사이의 데이터 저장 패턴을 포함하되,

상기 활성 패턴은 제1 부활성 패턴(sub-active pattern), 상기 제1 부활성 패턴 상의 제2 부활성 패턴, 및 상기 제1 부활성 패턴과 상기 제2 부활성 패턴을 연결하는 제1 패드부를 포함하며,

상기 제1 패드부의 상부면의 단면적은 상기 제1 부활성 패턴의 상부면의 단면적보다 넓은 비휘발성 메모리 소자.

청구항 2

청구항 1에 있어서,

상기 활성 패턴은 상기 게이트 패턴들 및 절연 패턴들을 관통하는 개구부 내에 배치되고, 상기 제1 부활성 패턴은 상기 개구부의 측벽을 따라 배치되어 상기 제1 부활성 패턴으로 둘러싸인 내부 공간이 정의하되,

상기 내부 공간은 충전 절연 패턴에 의해 채워지고, 상기 제1 패드부는 상기 충전 절연막상에 배치되는 비휘발성 메모리 소자.

청구항 3

청구항 2에 있어서,

상기 제1 패드부의 상부면은 상기 제1 부활성 패턴의 상부면과 공면을 이루는 비휘발성 메모리 소자.

청구항 4

청구항 3에 있어서,

상기 제2 부활성 패턴의 하부면은 상기 제1 패드부의 상부면과 접하되,

상기 제2 부활성 패턴의 상기 데이터 저장 패턴과 인접한 측벽의 하부는, 상기 제1 부활성 패턴의 상기 데이터 저장 패턴과 인접한 측벽으로부터 상기 제1 패드부의 중심을 향해 옆으로 이동되는 비휘발성 메모리 소자.

청구항 5

청구항 1에 있어서,

상기 데이터 저장패턴은 상기 제1 부활성 패턴과 상기 제1 부활성 패턴 옆의 게이트 패턴들 사이의 제1 저장부, 및 상기 제2 부활성 패턴과 상기 제2 부활성 패턴 옆의 게이트 패턴들 사이의 제2 저장부를 포함하되,

상기 제1 저장부 및 제2 저장부는 서로 분리된 비휘발성 메모리 소자.

청구항 6

청구항 1에 있어서,

상기 교대로 적층된 게이트 패턴들 및 절연 패턴들은 하나의 게이트 그룹을 구성하고,

상기 기판 상에 한 쌍의 상기 게이트 그룹이 서로 이격되어 배치되어, 상기 한쌍의 게이트 그룹 사이에 그루브가 정의되고,

서로 이격된 한 쌍의 상기 제1 부활성 패턴들이 상기 그루브의 양측벽들 상에 각각 배치되며,

상기 한 쌍의 제1 부활성 패턴들 사이의 충전 절연막(filling insulating layer)을 더 포함하되, 상기 제1 패드부는 상기 충전 절연막 상에 배치되는 비휘발성 메모리 소자.

Micron Ex. 1002, p. 491
Micron v. YMTC
IPR2025-00245

청구항 7

청구항 1에 있어서,

상기 제1 부활성 패턴, 제2 부활성 패턴 및 제1 패드부는 동일한 반도체 물질을 포함하는 비휘발성 메모리 소자.

청구항 8

청구항 1에 있어서,

상기 제2 부활성 패턴 상의 제2 패드부; 및

상기 제2 패드부와 전기적으로 접속하는 비트 라인을 더 포함하되,

상기 제2 패드부의 상부면의 면적은, 상기 제2 부활성 패턴의 상부면의 면적보다 넓은 비휘발성 메모리 소자.

청구항 9

청구항 8에 있어서,

상기 제2 패드부와 상기 비트 라인 사이의 오믹층을 더 포함하는 비휘발성 메모리 소자.

청구항 10

청구항 1에 있어서,

상기 데이터 저장패턴은 상기 활성 패턴에 인접한 터널 베리어, 상기 게이트 패턴에 인접한 블로킹 베리어, 및 상기 터널 베리어와 상기 블로킹 베리어 사이의 전하 저장막을 포함하는 비휘발성 메모리 소자.

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 본 발명은 메모리 소자에 관한 것으로, 보다 상세하게는 비휘발성 메모리 소자에 관한 것이다.

배 경 기 술

[0002] 전자 기기의 초소형화/다기능화 경향에 따라, 이에 내장되는 반도체 소자 역시 보다 고집적화될 것이 요구된다. 그러나, 반도체 소자의 고집적화를 위해서는 보다 미세화된 소자의 구성요소를 형성함은 물론, 각 구성요소들의 특성이 유지되어야 한다. 보다 미세화된 구성요소들을 형성하는 데에는 고가의 장비가 요구된다. 그러나, 고가의 장비로도 구성요소들의 미세화에는 한계가 있어, 다른 대안으로 반도체 소자를 고집적화시키기 위한 연구가 계속되고 있다.

발명의 내용

해결 하고자하는 과제

[0003] 본 발명이 해결하고자 하는 일 기술적 과제는, 고집적화에 최적화된 비휘발성 메모리 소자를 제공하는 것이다.

[0004] 본 발명이 해결하고자 하는 다른 기술적 과제는, 신뢰성이 향상된 비휘발성 메모리 소자를 제공하는 것이다.

과제 해결수단

[0005] 상술한 기술적 과제들을 해결하기 위한 비휘발성 메모리 소자가 제공된다. 이 비휘발성 메모리 소자는 기판 상에 교대로 적층된 게이트 패턴들과 절연패턴들, 상기 기판 상에, 상기 게이트 패턴들과 절연패턴들의 측벽들을 따라 위로 연장되는 활성 패턴, 및 상기 게이트 패턴들과 활성 패턴 사이의 데이터 저장 패턴을 포함한다. 상기 활성 패턴은 제1 부활성 패턴(first sub-active pattern), 상기 제1 부활성 패턴 상의 제2 부활성 패턴(second

Micron Ex. 1002, p. 492
Micron v. YMTC
IPR2025-00245

sub-active pattern), 및 상기 제1 부활성 패턴과 제2 부활성 패턴을 연결하는 제1 패드부를 포함할 수 있다. 상기 제1 패드부의 상부면의 단면적은 상기 제1 부활성 패턴의 상부면의 단면적보다 넓을 수 있다.

[0006] 일 실시예에서, 상기 활성 패턴은 상기 게이트 패턴들 및 절연 패턴들을 관통하는 개구부 내에 배치될 수 있다. 상기 제1 부활성 패턴은 상기 개구부의 측벽을 따라 배치되어 상기 제1 부활성 패턴으로 둘러싸인 내부 공간을 정의할 수 있다. 상기 내부 공간은 충전 절연막에 의해 채워지고, 상기 제1 패드부는 상기 충전 절연막상에 배치될 수 있다.

[0007] 일 실시예에서, 상기 제1 패드부의 상부면은 상기 제1 부활성 패턴의 상부면과 공면을 이룰 수 있다.

[0008] 일 실시예에서, 상기 제2 부활성 패턴의 하부면은 상기 제1 패드부의 상부면과 접할 수 있다. 상기 제2 부활성 패턴의 하부 측벽은 상기 제1 부활성 패턴의 측벽으로부터 상기 제1 패드부의 중심을 향해 옆으로 이동되어 배치될 수 있다.

[0009] 일 실시예에서, 상기 데이터 저장패턴은 상기 제1 부활성 패턴과 상기 제1 부활성 패턴 옆의 게이트 패턴들 사이의 제1 저장부, 상기 제2 부활성 패턴과 상기 제2 부활성 패턴 옆의 게이트 패턴들 사이의 제2 저장부를 포함할 수 있다. 상기 제1 저장부와 제2 저장부는 서로 분리될 수 있다.

[0010] 일 실시예에서, 상기 교대로 적층된 게이트 패턴들 및 절연 패턴들은 하나의 게이트 그룹을 구성할 수 있다. 상기 기판 상에 한 쌍의 상기 게이트 그룹이 서로 이격되어 배치되고, 상기 한 쌍의 게이트 그룹 사이에 그루브가 정의될 수 있다. 서로 이격된 한 쌍의 상기 제1 부활성 패턴들이 상기 그루브의 양 측벽들 상에 각각 배치될 수 있다. 상기 한 쌍의 제1 부활성 패턴들 사이에는 충전 절연막이 더 배치될 수 있다. 상기 제1 패드부는 상기 충전 절연막 상에 배치될 수 있다.

[0011] 일 실시예에서, 상기 제1 부활성 패턴, 제2 부활성 패턴 및 제1 패드부는 동일한 반도체 물질을 포함할 수 있다.

[0012] 일 실시예에서, 상기 비휘발성 메모리 장치는 상기 제2 부활성 패턴 상의 제1 패드부, 및 상기 제1 패드부와 전기적으로 접속하는 비트 라인을 더 포함할 수 있다. 상기 제1 패드부의 상부면의 면적은, 상기 제2 부활성 패턴의 상부면의 면적보다 넓을 수 있다.

[0013] 일 실시예에서, 상기 제1 패드부와 상기 비트 라인 사이의 오믹층을 더 개재될 수 있다.

[0014] 일 실시예에서, 상기 데이터 저장패턴은 상기 활성 패턴에 인접한 터널 베리어, 상기 게이트 패턴에 인접한 블로킹 베리어, 및 상기 터널 베리어와 상기 블로킹 베리어 사이의 전하 저장막을 포함할 수 있다.

효 과

[0015] 본 발명의 실시예들에 따르면, 복 수의 부활성 패턴들이 기판 상에 적층된다. 상기 부활성 패턴들은 제1 패드부에 의해 전기적으로 연결될 수 있다. 이에 따라, 보다 많은 부활성 패턴들이 상기 기판 상에 적층될 수 있다. 따라서, 고집적화에 최적화된 비휘발성 메모리 소자가 제공된다.

발명의 실시를 위한 구체적인 내용

[0016] 이하, 참조된 도면을 참조하여 본 발명의 실시예들에 따른 비휘발성 메모리 소자가 설명된다. 설명되는 실시예들은 본 발명의 사상을 당업자가 용이하게 이해할 수 있도록 제공되는 것으로, 이에 의해 본 발명이 한정되지 않는다. 본 발명의 실시예들은 본 발명의 기술적 사상 및 범위 내에서 다른 형태로 변형될 수 있다. 본 명세서에서 '및/또는'은 전후에 나열한 구성요소들 중 적어도 하나를 포함하는 의미로 사용되었다. 본 명세서에서 일 구성요소가 다른 구성요소 '상에' 위치한다는 것은 일 구성요소 상에 다른 구성요소가 직접 위치한다는 의미는 물론, 상기 일 구성요소 상에 제3 의 구성요소가 더 위치할 수 있다는 의미도 포함한다. 본 명세서 각 구성요소 또는 부분 등을 제1, 제2 등의 표현을 사용하여 지칭하였으나, 이는 명확한 설명을 위해 사용된 표현으로 이에 의해 한정되지 않는다. 본 명세서에서 각 구성요소 또는 부분 등을 상, 하의 표현을 사용하여 지칭하였으나, 이는 명확한 설명을 위해 사용된 상대적인 위치관계로, 이에 의해 각 구성요소 또는 부분등의 위치관계가 한정되지 않는다. 도면에 표현된 구성요소들의 두께 및 상대적인 두께는 본 발명의 실시예들을 명확하게 표현하기 위

Micron Ex. 1002, p. 493
Micron v. YMTC
IPR2025-00245

해 과장된 것일 수 있다.

[0017] 도 1, 도 2a 및 도 2b를 참조하여, 본 발명의 일 실시예에 따른 비휘발성 메모리 소자가 설명된다. 도 1은 본 발명의 일 실시예에 따른 비휘발성 메모리 소자의 평면도이다. 도 2a는 도 1에 도시된 I-I'을 따라 취한 단면도이고, 도 2b는 도 1에 도시된 II-II'을 따라 취한 단면도이다.

[0018] 도 1, 도 2a 및 도 2b를 참조하면, 웰 영역을 포함하는 기판(110)이 준비된다. 상기 기판(110)은 반도체 기반의 반도체 기판일 수 있다. 상기 웰 영역은 상기 기판(110) 내의 도펀트로 도핑된 영역일 수 있다. 상기 웰 영역은, 예컨대, 제1 도전형의 도펀트로 도핑될 수 있다. 상기 웰 영역 내에 공통 소오스 영역(112)이 배치될 수 있다. 상기 공통 소오스 영역(112)은 제2 도전형의 도펀트로 도핑된 영역일 수 있다. 상기 웰 영역 및 공통 소오스 영역(112)은 상기 기판(110)의 셀 영역 전역에 걸쳐 배치될 수 있다.

[0019] 상기 기판(110) 상에 기저 절연패턴(122)이 배치된다. 상기 기저 절연패턴(122) 상에 게이트 패턴들(LSG, CG1, CG2, USG) 및 게이트간 절연패턴들(122, 124a, 124b, 126)이 적층된다. 상기 게이트 패턴들(LSG, CG1, CG2, USG)는 하부의 제1 게이트 패턴들(LSG, CG1)과 상부의 제2 게이트 패턴들(CG2, USG)로 구성될 수 있다.

[0020] 상기 게이트 패턴들(LSG, CG1, CG2, USG) 중 최하부에 배치된 게이트 패턴(LSG)은 하부 선택 게이트 패턴(LSG)일 수 있다. 상기 하부 선택 게이트 패턴(LSG)은 상기 기판(110)의 셀 영역의 전 영역 상에 평판 형태로 배치될 수 있다.

[0021] 상기 최하부의 게이트간 절연패턴(124) 상에 셀 게이트 패턴들(CG1, CG2)이 배치될 수 있다. 상기 셀 게이트 패턴들(CG1, CG2)는 상기 하부 게이트 패턴(LSG)에 인접한 제1 셀 게이트 패턴들(CG1)과, 상기 상부 게이트 패턴(USG)에 인접한 제2 셀 게이트 패턴들(CG2)로 구성될 수 있다. 상기 셀 게이트 패턴들(CG1, CG2)은 상기 하부 선택 게이트 패턴(LSG)에 평행한 평판 형태일 수 있다.

[0022] 상기 게이트 패턴들(LSG, CG1, CG2, USG) 중 최상부에 배치된 게이트 패턴(USG)은 상부 선택 게이트 패턴(USG)일 수 있다. 상기 상부 선택 게이트 패턴(USG)은 상기 제2 셀 게이트 패턴(CG2)의 일부 상에 배치될 수 있다. 예컨대, 상기 상부 선택 게이트 패턴(USG)은 제1 방향을 따라 연장되는 라인 형태일 수 있다. 도 1에 도시된 바와 같이, 상기 기판(110)의 셀 영역 상에는 복수의 상부 선택 게이트 패턴(USG)이 배치될 수 있다. 상기 상부 선택 게이트 패턴들(USG)은 상기 최상부의 게이트간 절연패턴(124) 상에서 상기 제1 방향을 따라 평행하게 연장될 수 있다.

[0023] 게이트간 절연패턴들(124a, 124b)은 상기 게이트 패턴들(LSG, CG1, CG2, USG) 사이에 개재될 수 있다. 상기 제1 셀 게이트 패턴들(CG1) 사이에 제1 게이트간 절연패턴(124a)이 개재하고, 상기 제2 셀 게이트 패턴들(CG2) 사이에 제2 게이트간 절연패턴(124b)이 개재할 수 있다. 최하부의 제1 게이트간 절연패턴(124a)은 최하부의 제1 셀 게이트 패턴(CG1)과 상기 하부 선택 게이트 패턴(LSG) 사이에 개재될 수 있다. 최상부의 상기 제1 셀 게이트 패턴(CG1)과 최하부의 상기 제2 셀 게이트 패턴(CG2) 사이에는, 상기 제1 게이트간 절연패턴(124a)과 제2 게이트간 절연패턴(124b)이 함께 개재될 수 있다. 최상부의 제2 게이트간 절연패턴(124b)은 최상부의 제2 셀 게이트 패턴(CG2)과 상기 상부 선택 게이트 패턴(LSG) 사이에 개재될 수 있다.

[0024] 상기 상부 선택 게이트 패턴(USG) 상에 상부 절연패턴(126)이 배치될 수 있다. 상기 상부 절연패턴(126)은 연장되어, 상기 상부 선택 게이트 패턴(USG)의 길이 방향의 측벽을 덮을 수 있다.

[0025] 상기 기판(110) 상에, 상기 게이트 패턴들(LSG, CG1, CG2, USG)을 관통하는 개구부(130)가 배치된다. 상기 개구부(130)는 상기 게이트 패턴들(LSG, CG1, CG2, USG) 및 절연패턴들(122, 124a, 124b, 126)의 측벽들에 의해 정의되는 측벽과 상기 기판(110)에 의해 정의되는 바닥을 포함할 수 있다. 상기 개구부(130)는 홀 형태(hole type)일 수 있다.

[0026] 상기 개구부(130)는 하부 선택 게이트 패턴(LSG) 및 제1 셀 게이트 패턴들(CG1)을 관통하는 제1 홀(131)과, 제2 셀 게이트 패턴들(CG2) 및 상부 선택 게이트 패턴(USG)을 관통하는 제2 홀(132)이 상하로 연결된 공간일 수 있다. 상기 제1 홀(131)의 측벽에서 연장된 면과 제2 홀(132)의 측벽에서 연장된 면은 서로 평행하되, 일치하지 않을 수 있다. 즉, 상기 제1 홀(131)의 측벽과 제2 홀(131)의 측벽은 동일한 면상에 위치하지 않을 수 있다. 일 실시예에서, 상기 제1 홀(131)은 상기 기판(110)과 인접한 영역에서 가장 좁은 폭을 갖고, 상기 제2 홀(132)과 인접한 영역에서 가장 넓은 폭을 가질 수 있다. 즉, 상기 제1 홀(131)은 기울어진 측벽을 가질 수 있다. 상기 제2 홀(132)은 상기 제1 홀(131)과 인접한 영역에서 가장 좁은 폭을 갖고, 상기 상부 절연패턴(126)에 인접한

Micron Ex. 1002, p. 494
Micron v. YMTC
IPR2025-00245

영역에서 가장 넓은 폭을 가질 수 있다.

[0027] 상기 개구부(130)의 측벽 상에 활성 패턴(ACT)이 배치될 수 있다. 상기 활성 패턴(ACT)은 상기 게이트 패턴들(LSG, CG1, CG2, USG) 및 절연패턴들(122, 124a, 124b, 126)의 측벽들을 따라, 상기 기판(110)으로부터 위로 연장된다.

[0028] 상기 활성 패턴(ACT)은 제1 부활성 패턴(first sub-active pattern, 142), 상기 제1 부활성 패턴(142) 상의 제2 부활성 패턴(second sub-active pattern, 148) 및 상기 제1 부활성 패턴(142)과 제2 부활성 패턴(148)을 연결하는 제1 패드부(146)를 포함한다.

[0029] 상기 제1 부활성 패턴(142)은 상기 개구부(130)의 제1 홀(131)의 측벽 상에 배치될 수 있다. 상기 제1 부활성 패턴(142)은, 상기 제1 부활성 패턴(142)의 측벽에 의해 정의되는 내부 공간을 가질 수 있다. 예를 들어, 상기 제1 부활성 패턴(142)은 쉘(shell) 형태일 수 있다. 상기 제1 부활성 패턴(142)은 상기 기판(110)과 접하는 바닥부를 포함할 수 있다. 이와 달리, 상기 제1 부활성 패턴(142)은 바닥부를 포함하지 않을 수도 있다. 상기 제1 부활성 패턴(142)은 상기 기판(110)의 상부면의 법선으로부터 기울어진 측벽을 가질 수 있다. 일 실시예에서, 상기 제1 부활성 패턴(142)은 원뿔대형(truncated corn shape) 또는 각뿔대형(frustum of pyramid shape)일 수 있다. 원뿔대형 또는 각뿔대형의 상기 제1 부활성 패턴(142)의 하부의 폭은 상부의 폭보다 좁을 수 있다. 상기 제1 부활성 패턴(142)의 상부면은 폐루프형일 수 있다. 예를 들어, 상기 제1 부활성 패턴(142)의 상부면은 고리형일 수 있다.

[0030] 상기 제1 부활성 패턴(142)은 반도체 물질을 포함할 수 있다. 예를 들어, 상기 제1 부활성 패턴(142)은 단결정 반도체 물질 또는 다결정 반도체 물질을 포함할 수 있다.

[0031] 일 실시예에서, 상기 내부 공간은 제1 충전 절연막(first filling insulating layer, 152)으로 채워질 수 있다. 상기 제1 충전 절연막(152)은 상기 제1 부활성 패턴(142)의 측벽에 의해 둘러싸일 수 있다. 상기 제1 충전 절연막(152)의 상부면은 최상부의 제1 게이트간 절연패턴(124b)의 상부면보다 낮게 위치할 수 있다.

[0032] 상기 제1 패드부(146)는 상기 제1 충전 절연막(152) 상에 배치될 수 있다. 상기 제1 패드부(146)의 상부면은 상기 제1 부활성 패턴(142)의 상부면과 공면을 이룰 수 있다. 이와 달리, 상기 제1 패드부(146)는 상기 제1 부활성 패턴(142)의 상부면 상에 배치될 수도 있다. 상기 제1 패드부(146)의 상부면의 단면적은 상기 제1 부활성 패턴(142)의 상부면의 단면적보다 넓을 수 있다. 일 실시예에서, 상기 제1 부활성 패턴(142)의 내부 공간을 덮을 수 있다.

[0033] 상기 제1 패드부(146)는 상기 제1 부활성 패턴(142)과 동일한 반도체 물질을 포함할 수 있다. 이로써, 상기 제1 부활성 패턴(142)은 상기 제1 패드부(146)와 전기적으로 접속될 수 있다. 상기 제1 패드부(146)에 의해 상기 제1 부활성 패턴(142)이 메모리 소자의 다른 요소와 전기적으로 접촉될 수 있는 면적이 넓어질 수 있다.

[0034] 상기 제2 부활성 패턴(148)은 상기 개구부(130)의 제2 홀(132)의 측벽 상에 배치될 수 있다. 상기 제2 부활성 패턴(148)은 상기 기판(110)의 상부면의 법선으로부터 기울어진 측벽을 가질 수 있다.상기 제2 부활성 패턴(148)의 둘레는 상기 기판(110)에서 멀어질수록 커질 수 있다. 일 실시예에서, 상기 제2 부활성 패턴(148)은 원뿔대형 또는 각뿔대형일 수 있다. 상기 원뿔대형 또는 각뿔대형의 제2 부활성 패턴(148)의 하부의 폭은 상부의 폭보다 좁을 수 있다.

[0035] 상기 제2 부활성 패턴(148)은 내부 공간을 가질 수 있다. 상기 제2 부활성 패턴(148)이 내부 공간을 갖는 경우, 상기 제1 부활성 패턴(142)과 유사한 형태일 수 있다. 이와 달리, 상기 제2 부활성 패턴(148)은 내부 공간을 갖지 않고 상기 제2 홀(132)을 채우는 형태일 수도 있다. 도시된 바와 같이 상기 제2 부활성 패턴(148)은 바닥부를 포함할 수 있다. 이와 달리, 상기 제2 부활성 패턴(148)은 바닥부를 포함하지 않을 수도 있다.

[0036] 상기 제2 부활성 패턴(148)은 반도체 물질을 포함할 수 있다. 상기 제2 부활성 패턴(148)은 단결정 반도체 물질 또는 다결정 반도체 물질을 포함할 수 있다. 상기 제2 부활성 패턴(148)은 상기 제1 부활성 패턴(142) 및 제1 패드부(146)와 동일한 물질로 형성될 수 있다.

[0037] 상기 제2 부활성 패턴(148)은 상기 제1 패드부(146)에 의해 상기 제1 부활성 패턴(142)과 전기적으로 연결될 수 있다. 상기 제1 패드부(146)와 인접하는 상기 제2 부활성 패턴(148)의 외측벽은, 상기 제1 패드부(146)와 인접하는 상기 제1 부활성 패턴(142)의 외측벽으로부터 상기 제1 패드부(146)의 중심을 향해 옆으로 이동되어 배치될 수 있다. 상기 제1 부활성 패턴(142)의 외측벽은 상기 데이터 저장패턴의 제1 저장부(133)와 인접한 측벽을 의미한다. 일 실시예에서, 상기 제2 부활성 패턴(148)의 하부면은 상기 제1 패드부(146)의 상부면보다 좁을 수

Micron Ex. 1002, p. 495
Micron v. YMTC
IPR2025-00245

있다. 따라서, 상기 제1 패드부(146) 상부면의 일부는 상기 제2 부활성 패턴(148)과 접하지 않을 수 있다. 상기 제2 부활성 패턴(148)과 접하지 않는 상기 제1 패드부(146)의 상부면의 일부는, 상기 제1 패드부(146) 상부면의 가장자리일 수 있다.

[0038] 일 실시예에서, 상기 제2 부활성 패턴(148)의 일부는 상기 제1 부활성 패턴(142)과 직접 접할 수도 있다. 즉, 상기 제2 부활성 패턴(148)의 일 부분은 상기 제1 패드부(146)를 통해 상기 제1 부활성 패턴(142)과 전기적으로 접속하고, 상기 제2 부활성 패턴(148)의 다른 부분은 상기 제1 부활성 패턴(142)과 직접 접속할 수 있다.

[0039] 상기 제1 패드부(146)에 의해, 상기 제2 부활성 패턴(148)과 제1 부활성 패턴(142)은 보다 안정적으로 접촉될 수 있다. 상술한 바와 같이, 상기 제2 부활성 패턴(148)은 상기 제1 부활성 패턴(142)과 직접적인 경로, 또는 상기 제1 패드부를 통해 간접적인 경로를 통해 전기적으로 연결될 수 있다. 일 실시예에서, 상기 제1 부활성 패턴(142)은 내부 공간을 갖는 셀 형으로 형성될 수 있다. 상기 제1 부활성 패턴(142)이 셀 형태로 형성되는 경우, 상기 제1 부활성 패턴(142)은 좁은 상부면을 가질 수 있다. 상기 제1 패드부(146)는 상기 제1 부활성 패턴(142)이 정의하는 내부 공간의 상부에 배치되어, 상기 제1 부활성 패턴(142)을 제2 부활성 패턴(148)과 전기적으로 접속시킨다. 이로써, 상기 제1 부활성 패턴(142)과 제2 부활성 패턴(148)은 보다 안정적으로 전기적으로 접속될 수 있다. 이에 따라, 신뢰성이 향상된 비휘발성 메모리 소자가 제공될 수 있다.

[0040] 상기 제2 부활성 패턴(148)의 측벽이 내부 공간을 정의하는 경우, 상기 제2 부활성 패턴(148)의 측벽에 정의되는 내부 공간은 제2 충전 절연막(154)에 의해 채워질 수 있다. 상기 제2 충전 절연막(154)은 최상부의 제2 게이트간 절연패턴(126)의 상부면보다 낮게 위치할 수 있다. 상기 제2 충전 절연막(154) 상에 제2 패드부(150)가 더 배치될 수 있다.

[0041] 상기 제2 패드부(150)는 상기 제2 부활성 패턴(148)과 동일한 반도체 물질을 포함할 수 있다. 이에 따라, 메모리 소자의 다른 구성요소들은 상기 제2 패드부(150)에 접하는 것으로 상기 제2 부활성 패턴(148)과 전기적으로 연결될 수 있다. 일 예로, 후술할 비트 라인은 상기 제2 패드부(150) 및/또는 상기 제2 부활성 패턴(148)에 접촉함으로써 상기 제2 부활성 패턴(148)과 전기적으로 연결될 수 있다. 이에 따라, 상기 비트 라인은 보다 용이하게 상기 제2 부활성 패턴(148)과 전기적으로 연결될 수 있다.

[0042] 앞서 두 개의 부활성 패턴 및 이 부활성 패턴들을 연결하는 패드부를 포함하는 실시예가 설명되었으나, 본 발명의 실시예들은 두 개 또는 그 이상의 부활성 패턴들 및 상기 부활성 패턴들 사이의 제1 패드부를 포함하는 비휘발성 메모리 소자를 포함한다. 구체적으로, 상기 제2 부활성 패턴 및 제2 게이트 패턴들 상에 제3 부활성 패턴, 제3 게이트 패턴들 및 이와 연결된 구성요소들이 더 배치될 수 있다. 이 경우, 상기 제2 게이트 패턴들 중 최상부의 게이트 패턴은 상술한 바와 달리 셀 게이트 패턴일 수 있다. 즉, 본 발명의 실시예에 따른 비휘발성 메모리 소자는 2 이상의 부활성 패턴들 및 상기 부활성 패턴들을 연결하는 패드부를 포함한다.

[0043] 상기 활성 패턴(ACT)과 게이트 패턴들(LSG, CG, USG) 사이에 데이터 저장패턴(133, 134)이 개재된다. 상기 데이터 저장 패턴(133, 134)은 상기 개구부(130)의 측벽 상에 배치될 수 있다. 상기 데이터 저장 패턴(133, 134)은 복수의 층을 포함할 수 있다. 상기 데이터 저장 패턴(133, 134)은 상기 게이트 패턴들(LSG, CG, USG)에 인접한 블로킹 베리어, 상기 활성 패턴(ACT)에 인접한 터널 베리어, 및 상기 블로킹 베리어와 터널 베리어 사이의 전하저장층을 포함할 수 있다. 일 실시예에서, 상기 데이터 저장 패턴(133, 134)은 ONO막을 포함할 수 있다.

[0044] 상기 데이터 저장 패턴(133, 134)은 상기 제1 홀(131)의 측벽 상에 배치되는 제1 저장부(133)와, 상기 제2 홀(132)의 측벽 상에 배치되는 제2 저장부(134)를 포함할 수 있다. 상기 제1 저장부(133)와 제2 저장부(134)는 서로 연결되지 않을 수 있다. 이와 달리, 상기 제1 저장부(133)와 제2 저장부(134)는 일부가 연결될 수도 있다. 일 실시예에서, 상기 데이터 저장패턴의 제1 저장부(133)의 상부면은 상기 제1 패드부(146)의 상부면 및 제1 부활성 패턴(142)의 상부면과 공면을 이룰 수 있다. 또한, 상기 데이터 저장패턴의 제2 저장부(134)의 하부면은 상기 제1 패드부(146)의 상부면과 접할 수 있다.

[0045] 상기 활성 패턴(ACT) 상에 비트 라인(168)이 배치될 수 있다. 상기 비트 라인(168)은 상기 상부 선택 게이트 패턴(USG)과 교차하는 방향으로 연장될 수 있다. 즉, 상기 비트 라인(168)은, 상기 상부 선택 게이트 패턴(USG)이 연장되는 제1 방향과 수직한 제2 방향으로 연장될 수 있다. 상기 제2 방향은 x축 방향에 해당할 수 있다.

[0046] 상기 활성 패턴(ACT)과 상기 비트 라인(168) 사이에 비트 라인 콘택(167)이 배치될 수 있다. 상기 비트 라인 콘택(167)에 의해 상기 활성 패턴(ACT)과 비트 라인(168)이 전기적으로 연결될 수 있다. 상기 활성 패턴(ACT)과 비트 라인 콘택(167) 사이에는 오믹층(165)이 더 개재될 수 있다.

Micron Ex. 1002, p. 496
Micron v. YMTC
IPR2025-00245

[0047] 이하, 도 1, 2a, 2b 및 3a 내지 3i를 참조하여, 본 발명의 일 실시예에 따른 비휘발성 메모리 소자의 형성방법이 설명된다. 도 3a 내지 도 3i는 도 1에 도시된 I-I'을 따라 도시한 단면도들이다. 앞서 설명된 내용은 일부 생략될 수 있다.

[0048] 도 3a를 참조하면, 웰 영역을 포함하는 기판(110)이 준비된다. 상기 웰 영역은 상기 기판(110)의 셀 영역의 상부를 제1 도전형의 도펀트를 도핑하여 형성될 수 있다. 상기 웰 영역 내에 공통 소오스 영역(112)이 형성될 수 있다. 상기 공통 소오스 영역(112)은 상기 웰 영역의 상부를 제2 도전형의 도펀트를 도핑하여 형성될 수 있다.

[0049] 상기 기판(110) 상에 예비 기저 절연패턴(121)이 형성될 수 있다. 상기 예비 기저 절연패턴(121)은 상기 기판(110)의 셀 영역을 덮을 수 있다. 상기 예비 기저 절연패턴(121) 상에 제1 예비 게이트 패턴들(PLSG, PCG1)과 제1 예비 게이트간 절연패턴들(123a)을 적층한다. 구체적으로, 상기 예비 기저 절연패턴(121) 상에 예비 하부 선택 게이트 패턴(PLSG)을 형성한다. 상기 예비 하부 선택 게이트 패턴(PLSG1) 상에 최하부의 제1 예비 게이트간 절연패턴(123a)이 형성된다. 이후, 제1 예비 셀 게이트 패턴들(PCG1)과 제1 예비 게이트간 절연패턴들(123a)을 교대로 반복 적층한다. 최상부에 형성되는 제1 예비 셀 게이트 패턴(PCG1)은 최상부의 제1 예비 게이트간 절연패턴(123a)에 의해 덮일 수 있다.

[0050] 도 3b를 참조하면, 상기 예비 게이트 패턴들(PLSG, PCG1) 및 예비 절연패턴들(121, 123a)을 식각하여, 게이트 패턴들(LSG, CG1) 및 절연패턴들(122, 124a)이 형성된다. 구체적으로, 상기 예비 하부 게이트 패턴(PLSG)이 식각되어, 하부 게이트 패턴(LSG)이 형성되고, 제1 예비 셀 게이트 패턴들(PCG1)이 식각되어, 제1 셀 게이트 패턴들(CG)이 형성된다. 상기 예비 기저 절연패턴(121)이 식각되어, 기저 절연패턴(122)이 형성되고, 제1 예비 게이트간 절연패턴들(123a)이 식각되어, 제1 게이트간 절연패턴들(124a)이 형성된다. 상기 게이트 패턴들(LSG, CG1) 및 제1 절연패턴들(122, 124)의 측벽들은 제1 홀(131)의 측벽을 정의할 수 있다. 상기 제1 홀(131)은 상기 기판(110)의 상부면에 의해 정의되는 바닥을 포함할 수 있다.

[0051] 상기 제1 홀(131)의 측벽은 상기 기판(110)의 상부면과 수직하지 않을 수 있다. 즉, 상기 제1 홀(131)의 측벽과 상기 기판(110)의 상부면의 법선 사이의 각도는 0° 보다 클 수 있다. 상기 제1 홀(131)의 상부의 폭과 하부의 폭은 상이할 수 있다. 일 실시예에서, 상기 제1 홀(131)은 상기 기판(110)과 인접한 부분에서 가장 좁은 폭을 갖고, 상기 기판(110)에서 가장 먼 부분에서 가장 큰 폭을 가질 수 있다. 상기 제1 홀(131)의 폭은 상기 기판(110)으로부터 멀어질수록 커질 수 있다.

[0052] 도 3c를 참조하면, 상기 제1 홀(131)의 측벽 상에 데이터 저장패턴의 제1 저장부(133) 및 제1 부활성 막(141)이 형성된다. 상기 데이터 저장패턴의 제1 저장부(133)는 상기 게이트 패턴들(LSG, CG1) 상에 형성될 수 있다. 상기 데이터 저장패턴의 제1 저장부(133)는 상기 게이트 패턴(LSG, CG1) 상의 블로킹 베리어를 형성하고, 상기 블로킹 베리어 상에 전하 저장막과 터널 베리어를 차례로 형성하여 형성될 수 있다. 일 실시예에서, 상기 블로킹 베리어는 상기 게이트 패턴들(LSG, CG1) 상에 열 산화막을 형성하여 형성될 수 있다. 상기 전하 저장막과 터널 베리어는 상기 열 산화막 상에 질화막과 산화막을 차례로 형성하여 각각 형성될 수 있다.

[0053] 상기 제1 부활성 막(141)은 단결정 반도체 물질 또는 다결정 반도체 물질을 포함할 수 있다. 상기 제1 부활성 막(141)은 상기 데이터 저장 패턴(133)의 제1 저장부(133) 상에 콘포말하게 형성될 수 있다. 상기 제1 부활성 막(141)은 상기 제1 홀(131)의 측벽을 따라, 기울어진 측벽을 가질 수 있다.

[0054] 도 3d를 참조하면, 상기 제1 홀(131) 내에 제1 충전 절연막(152)이 형성된다. 상기 제1 충전 절연막(152)의 상부가 식각될 수 있다. 이로써, 상기 제1 충전 절연막(152)의 상부면은 최상부의 제1 게이트간 절연패턴(124a)의 상부면보다 낮게 위치할 수 있다. 상기 제1 충전 절연막(152)은 상기 제1 부활성 막(141)의 상부면, 및 측벽의 일부가 노출될 때까지 제거될 수 있다.

[0055] 도 3e를 참조하면, 상기 제1 홀(131)의 상부를 채우는 패드막(145)이 형성될 수 있다. 상기 패드막(145)은 반도체 물질을 포함할 수 있다. 상기 패드막(145)은 단결정 반도체 물질 또는 다결정 반도체 물질을 포함할 수 있다. 상기 패드막(145)은 상기 제1 부활성 막(141)과 동일한 반도체 물질을 포함할 수 있다.

[0056] 도 3f를 참조하면, 상기 패드막(145)의 일부가 식각되어, 제1 패드부(146)가 형성될 수 있다. 상기 패드막(145)의 제거시, 최상부의 제1 게이트간 절연패턴(124a) 상의 제1 부활성 막(141) 및 데이터 저장패턴의 제1 저장부(133)의 일부도 함께 제거될 수 있다. 이에 의해 제1 부활성 패턴(133)이 형성될 수 있다. 상기 패드막(145) 및 제1 부활성 막(141)은 상기 최상부의 제1 게이트간 절연패턴(124a)의 상부면이 노출될 때까지 식각될 수 있

Micron Ex. 1002, p. 497
Micron v. YMTC
IPR2025-00245

다.

[0057] 상기 제1 패드부(146)의 상부면은 상기 최상부의 제1 게이트간 절연패턴(124a)의 상부면과 공면을 이룰 수 있다. 또한, 상기 제1 패드부(146)의 상부면은 상기 데이터 저장패턴의 제1 저장부(133)의 상부면과 공면을 이룰 수 있다. 상기 제1 패드부(146)에 의해 상기 제1 부활성 패턴(142)의 전기적 접촉가능 영역이 확장될 수 있다. 즉, 상기 제1 부활성 패턴(133)과 전기적으로 접속하는 메모리 소자의 일 구성요소는, 상기 제1 부활성 패턴(133)과 직접 연결되거나, 상기 제1 패드부(146)를 통해 상기 제1 부활성 패턴(133)과 연결될 수 있다.

[0058] 도 3g를 참조하면, 도 3f에 의해 형성된 구조물 상에 제2 예비 게이트간 절연막들(123b, 125) 및 제2 예비 게이트 패턴들(PCG2, PUSG)이 교대로 적층될 수 있다. 최하부에 형성되는 제2 예비 게이트간 절연패턴(123b)은 최상부에 배치되는 제1 게이트간 절연패턴(124a)과 접할 수 있다.

[0059] 상기 제2 예비 게이트 패턴들(PCG2, PUSG) 중 최상부에 형성되는 예비 게이트 패턴(PUSG)은 예비 상부 선택 게이트 패턴(PUSG)일 수 있다. 상기 최하부에 형성되는 제2 예비 게이트간 절연패턴(123b)과 예비 상부 선택 게이트 패턴(PUSG) 사이의 제2 예비 게이트 패턴들(CG2)은 제2 예비 셀 게이트 패턴들(CG2)일 수 있다. 상기 상부 선택 게이트 패턴(USG) 상에 예비 상부 절연패턴(125)이 형성될 수 있다.

[0060] 도 3h를 참조하면, 상기 제2 예비 게이트간 절연막들(123b, 125) 및 제2 예비 게이트 패턴들(PCG2, PUSG)을 식각한다. 상기 제2 예비 게이트간 절연막들(123b, 125) 및 예비 게이트 패턴들(PCG2, PUSG)은 상기 제1 패드부(146)가 노출될 때까지 식각될 수 있다. 상기 식각에 의해, 제2 셀 게이트 패턴들(CG2), 상부 선택 게이트 패턴(USG) 및 절연패턴들(124b, 126)이 형성된다.

[0061] 상기 게이트 패턴들(CG, USG) 및 절연패턴들(124b, 126)의 측벽들 및 상기 제1 패드부(146)의 상부면에 의해 제2 홀(132)이 정의된다. 상기 제2 홀(132)은 상기 제1 홀(131)과 함께 개구부(130)를 구성할 수 있다.

[0062] 상기 제2 홀(132)의 측벽은 상기 기판(110)의 상부면과 수직하지 않을 수 있다. 즉, 상기 제2 홀(132)의 측벽과 상기 기판(110)의 상부면의 법선 사이의 각도는 0° 보다 클 수 있다. 상기 제2 홀(132)의 상부의 폭과 하부의 폭은 상이할 수 있다. 일 실시예에서, 상기 제2 홀(132)은 상기 제1 홀(131)에서 멀어질수록 커질 수 있다. 상기 제2 홀(132)의 최하부의 폭은 상기 제1 홀(131)의 최상부의 폭보다 좁을 수 있다. 상기 제1 홀(131)의 측벽의 상단과 상기 제2 홀(132)의 측벽의 하단은 연결되지 않을 수 있다.

[0063] 상기 제2 홀(132)의 바닥의 적어도 일부는 상기 제1 패드부(146)의 상부면에 의해 정의될 수 있다. 상기 제2 홀(132)은 상기 제1 부활성 패턴(142)의 상부면을 노출시킬 수 있다. 상기 제2 홀(132)의 바닥은 상기 제1 패드부(146)의 상부면과 제1 부활성 패턴(142)의 상부면 내로 한정될 수 있다. 이와 달리, 상기 제2 홀(132)의 바닥은, 상기 데이터 저장 패턴 제1 저장부(133)의 상부면까지 연장될 수도 있다.

[0064] 도 3i를 참조하면, 상기 제2 홀(132) 내에 데이터 저장 패턴의 제2 저장부(134) 및 제2 부활성 패턴(148)이 형성된다. 상기 데이터 저장 패턴의 제2 저장부(134)는 상기 데이터 저장 패턴의 제1 저장부(133)와 연결되지 않을 수 있다. 이는 상술한 제1 홀(131)과 제2 홀(132)의 측벽들이 서로 연결되지 않는 것에 기인할 수 있다. 이와 달리, 상기 데이터 저장 패턴의 제1 및 제2 저장부들(133, 134)은 일부가 연결될 수도 있다.

[0065] 일 실시예에서, 상기 제2 부활성 패턴(148)은 상기 데이터 저장 패턴의 제2 저장부(134)의 측벽 상에 형성될 수 있다. 상기 제2 부활성 패턴(148)의 하부면은 상기 제1 패드부(146)의 상부면과 접할 수 있다. 상기 제2 부활성 패턴(148)의 하부면의 일부는 상기 제1 부활성 패턴(142)의 상부면과 접할 수 있다. 상기 제2 부활성 패턴(148)은 상기 제1 패드부(146)에 의해 상기 제1 부활성 패턴(142)과 연결될 수 있다. 상기 제1 부활성 패턴(142), 제1 패드부(146) 및 제2 부활성 패턴(148)은 하나의 활성 패턴(ACT)을 구성할 수 있다.

[0066] 상기 제2 부활성 패턴(148)은 상기 제1 패드부(146)에 의해 상기 제1 부활성 패턴(142)과 안정적으로 연결될 수 있다. 예를 들어, 제1 부활성 패턴 상에 제1 패드부가 배치되지 않는 경우, 상기 제1 부활성 패턴의 좁은 상부면의 면적으로 인해, 제2 홀 및 제2 부활성 패턴의 형성을 위한 공정 마진이 충분히 확보되지 않을 수 있다. 그러나, 본 발명의 실시예들에 따라, 제1 패드부(146)를 형성하는 경우, 상기 제2 홀(132) 및 제2 부활성 패턴(148)의 형성 시, 보다 큰 공정 마진이 확보될 수 있다. 구체적으로, 상기 제2 홀(132)이 상기 제1 홀(131)과 정확하게 정렬되지 않는 경우라도, 상기 제1 패드부(146)에 의해 상기 제2 부활성 패턴(148)이 상기 제1 부활성 패턴(142)에 연결될 수 있다. 이에 따라, 하나의 기판상에 복수의 홀 및 그에 수반된 메모리 구성요소들을 용이하게 형성할 수 있다. 즉, 고집적화에 최적화된 비휘발성 메모리 소자가 형성될 수 있다.

[0067] 상기 제2 부활성 패턴(148)은 내부 공간을 가질 수 있다. 예를 들어, 상기 제2 부활성 패턴(148)은 셀 형태일

Micron Ex. 1002, p. 498
Micron v. YMTC
IPR2025-00245

수 있다. 일 실시예에서, 상기 제2 부활성 패턴(148)은 채워지지 않은 원뿔대형 또는 각뿔대형일 수 있다. 상기 제2 부활성 패턴(148)이 원뿔대형 또는 각뿔대형으로 형성되는 경우, 상기 제2 부활성 패턴(148)의 상부의 폭은 하부의 폭보다 클 수 있다. 이와 달리, 상기 제2 부활성 패턴(148)은 내부 공간을 갖지 않는 속이 채워진 원뿔대형 또는 각뿔대형일 수도 있다.

[0068] 상기 제2 부활성 패턴(148)이 내부 공간을 갖는 경우, 상기 제2 부활성 패턴(148)의 내부 공간은 제2 충전 절연막(154)으로 채워질 수 있다. 상기 상부 충전 절연막(154)의 상부면은 상기 제2 부활성 패턴(148)의 상부면보다 낮게 위치할 수 있다. 즉, 상기 상부 충전 절연막(154)은 상기 제2 부활성 패턴(148)의 내부 공간의 최상부를 채우지 않을 수 있다.

[0069] 상기 제2 부활성 패턴(148)이 내부 공간을 갖는 경우, 상기 상부 충전 절연막(154) 상에 제2 패드부(150)가 형성될 수 있다. 상기 제2 패드부(150)는 상기 제2 부활성 패턴(148)의 내부 공간의 최상부를 채울 수 있다. 상기 제2 패드부(150)의 상부면은 상기 제2 부활성 패턴(148)의 상부면과 공면을 이룰 수 있다. 또한, 상기 제2 패드부(150)는 상기 데이터 저장 패턴의 제2 저장부(134)의 상부면과 공면을 이룰 수 있다.

[0070] 상기 제2 패드부(150)는 반도체 물질을 포함할 수 있다. 상기 제2 패드부(150)는 단결정 반도체 물질 또는 다결정 반도체 물질을 포함할 수 있다. 상기 제2 패드부(150)는 상기 제2 부활성 패턴(148)과 동일한 반도체 물질을 포함할 수 있다. 상기 제2 패드부(150)에 의해 소자의 다른 구성요소들이 상기 제2 부활성 패턴(148)에 전기적으로 접촉할 수 있는 영역이 넓어질 수 있다.

[0071] 구체적으로, 상기 제2 패드부(150)가 없는 경우, 일 구성요소가 상기 제2 부활성 패턴(148)과 전기적으로 접속하기 위해서는, 상기 일 구성요소가 적어도 상기 제2 부활성 패턴(148)의 일부와 접촉해야 한다. 그러나, 본 발명의 일 실시예에 따라, 상기 제2 부활성 패턴(148)과 접하는 제2 패드부(150)가 형성되는 경우, 상기 일 구성요소는 상기 제2 부활성 패턴(148) 또는 제2 패드부(150)에 접촉함으로써, 상기 제2 부활성 패턴(148)과 전기적으로 접속될 수 있다.

[0072] 다시 도 1, 도 2a 내지 2b를 참조하면, 상기 상부 선택 게이트 패턴(USG)이 추가적으로 패터닝될 수 있다. 앞서 설명된 바와 달리, 상기 상부 선택 게이트 패턴(USG)은 상기 최상부의 게이트간 절연패턴(124b) 상에 별도의 도전막을 형성한 후, 패터닝하여 형성될 수도 있다. 패터닝된 상기 상부 선택 게이트 패턴(USG)은 제1 방향을 따라 연장되는 라인 형태일 수 있다. 상기 제1 방향은 x축 방향에 해당할 수 있다. 상기 패터닝에 의해, 상기 기판(110)의 셀 영역 내에는 제1 방향을 따라 평행하게 연장되는 복 수개의 상부 선택 게이트 패턴들(USG)이 배치될 수 있다. 패터닝된 상기 상부 선택 게이트 패턴(USG)의 측벽 옆에 절연패턴이 형성될 수 있다. 상기 상부 선택 게이트 패턴(USG)의 측벽 옆에 형성된 절연패턴과 상기 상부 선택 게이트 패턴(USG) 상부면 상의 절연패턴은 상부 절연패턴(126)을 구성할 수 있다.

[0073] 상기 제2 부활성 패턴(148) 상에 층간 절연막(162)이 형성된다. 상기 층간 절연막(162)을 식각하여, 상기 제2 부활성 패턴(148) 및/또는 상기 제2 패드부(150)의 상부면을 노출시키는 콘택홀(163)을 형성한다. 상기 제2 부활성 패턴(148) 및/또는 제2 패드부(150)의 상부면 상에 오믹층(165)이 형성될 수 있다. 상기 오믹층(165)은 노출된 상기 제2 부활성 패턴(148) 및/또는 제2 패드부(150)의 상부면을 금속과 반응시켜 형성될 수 있다. 상기 콘택홀(163) 내에 도전 물질을 채워 비트 라인 콘택(167)을 형성한다. 상기 비트 라인 콘택 (167) 상에 비트 라인(168)이 형성될 수 있다. 상기 비트 라인(168)은 상기 상부 선택 게이트 패턴(USG)과 교차하는 제2 방향으로 연장될 수 있다. 상기 제2 방향은 y축 방향에 해당할 수 있다.

[0074] 도 4 및 도 5를 참조하여, 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자가 설명된다. 도 4는 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자의 평면도이고, 도 5는 도 4에 도시된 I-I'을 따라 취한 비휘발성 메모리 소자의 단면도이다.

[0075] 웰 영역을 포함하는 기판(210)이 준비된다. 상기 웰 영역은 상기 기판(210) 내에 제1 도전형의 도펀트로 도핑된 영역일 수 있다. 상기 웰 영역 내에 공통 소오스 영역(212)이 배치될 수 있다. 상기 공통 소오스 영역(212)은 제2 도전형의 도펀트로 도핑된 영역일 수 있다.

[0076] 도 5에 도시된 바와 같이, 상기 기판(210) 상에 복수의 게이트 패턴들(LSG', CG1', CG2', USG') 및 절연패턴들(222, 224a, 224b, 226)이 교대로 적층될 수 있다. 상기 게이트 패턴들(LSG', CG1', CG2', USG') 중 최하부에 배치되는 게이트 패턴(LSG')은 하부 선택 게이트 패턴(LSG')이고, 최상부에 배치되는 게이트 패턴(USG')은 상부 선택 게이트 패턴(USG')일 수 있다. 상기 하부 선택 게이트 패턴(LSG')과 상부 선택 게이트 패턴(USG') 사이의

Micron Ex. 1002, p. 499
Micron v. YMTC
IPR2025-00245

게이트 패턴들(CG1', CG2')은 제1 셀 게이트 패턴들(CG1')과 제2 셀 게이트 패턴들(CG2')일 수 있다. 상기 게이트 패턴들(LSG', CG1', CG2', USG')은 제1 방향으로 연장되는 라인 형태일 수 있다. 상기 기판(210) 상에 수직하게 적층된 게이트 패턴들(LSG', CG1', CG2', USG')은, 하나의 게이트 패턴 그룹(GG)을 구성할 수 있다.

[0077] 상기 절연패턴들(222, 224a, 224b, 226) 중 최하부, 즉, 상기 기판(210)과 하부 선택 게이트 패턴(LSG') 사이에 개재되는 절연패턴(222)은 기저 절연패턴(222)일 수 있다. 상기 하부 선택 게이트 패턴(LSG')과 최하부의 셀 게이트 패턴(CG1')의 사이, 제1 셀 게이트 패턴들(CG1')의 사이에 개재되는 절연패턴들(224a)은 제1 게이트간 절연패턴들(224a)일 수 있다. 상기 최상부의 셀 게이트 패턴(CG2')과 상부 선택 게이트 패턴(USG') 사이에 개재되는 절연패턴들(224b)은 제2 게이트간 절연패턴들(224b)일 수 있다. 최상부의 제1 셀 게이트 패턴(CG1')과 최하부의 제2 셀 게이트 패턴(CG2') 사이에는 제1 게이트간 절연패턴(224a)과 제2 게이트간 절연패턴(224b)이 함께 개재될 수 있다. 상기 상부 선택 게이트 패턴(USG') 상에 배치되는 절연패턴(226)은 상부 절연패턴(226)일 수 있다.

[0078] 도 4에 도시된 바와 같이, 상기 기판(210)의 셀 영역 내에는 일방향으로 연장되는 복수의 게이트 패턴 그룹(GG)이 배치될 수 있다. 상기 게이트 패턴 그룹(GG)들은 제1 방향으로 서로 평행하게 연장될 수 있다. 상기 제1 방향은 y축 방향에 해당할 수 있다.

[0079] 한 쌍의 게이트 패턴 그룹(GG)들 사이에, 제1 방향을 따라 연장되는 개구부(230)가 정의될 수 있다. 상기 개구부(230)는 상기 기판(210)에 의해 정의되는 바닥과, 상기 게이트 패턴들(LSG', CG1, CG2', USG') 및 절연패턴들(222, 224a, 224b, 226)의 측벽들에 의해 정의되는 측벽을 가질 수 있다. 상기 개구부(230)는 상기 하부 선택 게이트 패턴(LSG')과 제1 셀 게이트 패턴들(CG1')의 측벽들에 의해 정의되는 제1 그루브(231)와 제2 셀 게이트 패턴들(CG2')과 상기 상부 선택 게이트 패턴(USG')의 측벽들에 의해 정의되는 제2 그루브(232)가 상하로 연결된 공간일 수 있다.

[0080] 상기 제1 그루브(231)와 제2 그루브(232)는 기울어진 측벽들을 가질 수 있다. 즉, 상기 제1 그루브(231) 및 제2 그루브(232)의 측벽들을 정의하는 게이트 패턴들(LSG', CG1', CG2', USG') 및 절연패턴들(222, 224a, 224b, 226)의 측벽들이 상기 기판(210)의 상부면에 수직하지 않을 수 있다. 예를 들어, 상기 게이트 패턴들(LSG', CG1', CG2', USG')의 측벽들과 하부면들은 예각을 이룰 수 있다.

[0081] 상기 기판(210) 상에 상기 개구부(230)의 일부 측벽을 따라 위로 연장되는 활성 패턴(ACT')이 배치될 수 있다. 도 4에 도시된 바와 같이, 하나의 개구부(231) 내에 복수개의 활성 패턴(ACT')이 수평적으로 이격되어 배치될 수 있다. 도 5에 도시된 바와 같아, 상기 활성 패턴(ACT')은 상기 제1 그루브(232)의 측벽 상에 배치된 제1 부활성 패턴(242), 상기 제2 그루브(232)의 측벽 상에 배치된 제2 부활성 패턴(248), 및 상기 제1 부활성 패턴(242)과 제2 부활성 패턴(248)을 연결하는 제1 패드부(246)를 포함할 수 있다. 상기 제1, 제2 부활성 패턴들(242, 248) 및 제1 패드부(246)는 각각 반도체 물질을 포함할 수 있다. 일 실시예에서, 상기 제1, 제2 부활성 패턴들(242, 248) 및 제1 패드부(246)는 모두 동일한 반도체 물질을 포함할 수 있다.

[0082] 상기 제1 부활성 패턴(242)은 기울어진 측벽을 가질 수 있다. 이는 상술한 제1 그루브(231)의 기울어진 측벽에 기인할 수 있다. 상기 제1 그루브(231)의 일부 측벽을 덮는 평판 형태일 수 있다. 이에 따라, 마주보는 한 쌍의 게이트 패턴 그룹(GG)의 측벽들 상에 배치된 제1 부활성 패턴들(242) 사이에는 내부 공간이 정의될 수 있다. 제1 충전 절연막(252)이 상기 제1 부활성 패턴들(242) 사이의 내부 공간을 채울 수 있다. 일 실시예에서, 상기 제1 부활성 패턴(242)은 상기 기판(210)의 상부면 상으로 연장되는 바닥부를 포함할 수 있다. 이 경우, 상기 바닥부는 상기 기판(210)과 제1 충전 절연막(252) 사이에 개재될 수 있다. 이와 달리, 상기 제1 부활성 패턴(242)은 바닥부를 포함하지 않을 수도 있다.

[0083] 상기 제1 패드부(246)는 상기 제1 부활성 패턴(242)의 상부 측벽과 접하는 측벽을 가질 수 있다. 일 실시예에서, 상기 제1 패드부(246)는 마주보는 한 쌍의 제1 부활성 패턴(242) 사이에 배치되되, 상기 한 쌍의 제1 부활성 패턴(242)의 상부면들과 공면을 이루는 상부면을 가질 수 있다. 상기 제1 패드부(246)의 상부면의 단면적은, 상기 제1 부활성 패턴(242)의 상부면의 단면적보다 넓을 수 있다.

[0084] 상기 제2 부활성 패턴(248)은 기울어진 측벽을 가질 수 있다. 이는 상술한 제2 그루브(232)의 기울어진 측벽에 기인할 수 있다. 상기 제2 부활성 패턴(248)의 하부 측벽은 상기 제1 부활성 패턴(242)의 상부 측벽으로부터, 상기 제1 패드부(246)의 중심을 향해 옆으로 이동될 수 있다.

[0085] 일 실시예에서, 상기 제2 부활성 패턴(248)의 측벽은 상기 제1 부활성 패턴(242)과 유사하게 상기 제2 그루브(232)의 일부 측벽 상에 평판 형태로 형성될 수 있다. 이 경우, 상기 제2 그루브(232)의 양 측벽 상의 제2 부활

Micron Ex. 1002, p. 500
Micron v. YMTC
IPR2025-00245

성 패턴들(248)에 의해 내부 공간이 정의될 수 있다. 상기 제2 부활성 패턴들(248)에 의해 정의되는 내부 공간은 제2 층전 절연막(254)에 의해 채워질 수 있다. 이와 달리, 상기 제2 부활성 패턴(248)은 상기 내부 공간을 채우도록 형성될 수도 있다.

[0086] 상기 제2 부활성 패턴(248)은 상기 제1 부활성 패턴(242)과 전기적으로 연결될 수 있다. 이를 위해, 상기 제2 부활성 패턴(248)의 하부면이 상기 제1 패드부(246)의 상부면 및/또는 상기 제1 부활성 패턴(242)의 상부면과 접촉할 수 있다.

[0087] 상기 제1 패드부(246)에 의해 상기 제2 부활성 패턴(248)은 상기 제1 부활성 패턴(242)과 용이하게 전기적으로 접속될 수 있다. 구체적으로, 상기 제1 부활성 패턴과 제2 부활성 패턴이 제1 패드부 없이 전기적으로 연결되기 위해서는, 상기 제1 부활성 패턴의 상부면과 제2 부활성 패턴의 하부면이 직접 접촉되어야 한다. 상술한 바와 같이 상기 제1 부활성 패턴은 내부 공간을 가지며, 좁은 상부면을 갖도록 형성되므로, 상기 제2 부활성 패턴과의 접촉이 용이하지 않을 수 있다. 그러나, 본 발명의 실시예들에 따라, 상기 제1 패드부(246)가 상기 활성 패턴(ACT) 내에 배치되는 경우, 상기 제2 부활성 패턴(248)의 하부면은 상기 제1 패드부(246)의 상부면과 접촉하는 것으로도 상기 제1 부활성 패턴(242)에 전기적으로 접속될 수 있다. 따라서, 상기 제1 부활성 패턴(242)과 제2 부활성 패턴(248)이 정확히 자기 정렬되는 것이 필수적이지 않을 수 있다. 이로써, 더 많은 부활성 패턴들 및 이에 수반되는 메모리 구성요소들이 기판 상에 적층될 수 있다. 이에 따라, 고집적화에 최적화된 비휘발성 메모리 소자가 제공된다.

[0088] 상기 제2 부활성 패턴(248)이 상기 제2 그루브(232) 내에 내부 공간을 정의하는 경우, 상기 제2 부활성 패턴(248)의 상부에 제1 패드부(250)가 배치될 수 있다. 상기 제1 패드부(250)는 상기 제2 부활성 패턴(248)의 상부면과 공면을 이루는 상부면을 가질 수 있다. 상기 제1 패드부(250)의 측벽은 상기 제2 부활성 패턴(248)의 최상부의 내측벽과 접할 수 있다.

[0089] 상기 활성 패턴(ACT)과 상기 게이트 패턴들(LSG', CG1', CG2', USG') 사이에 데이터 저장패턴(232,234)이 개재될 수 있다. 상기 데이터 저장패턴(232, 234)은 상기 게이트 패턴들(LSG', CG1', CG2', USG')의 상부면들 및 하부면들 상으로 연장될 수 있다. 또한, 상기 데이터 저장패턴(232, 234)은 상기 절연패턴들(222, 224a, 226)의 측벽들 중 상기 활성 패턴(ACT)과 접하지 않는 측벽들 상으로도 연장될 수 있다. 이와 달리, 상기 데이터 저장패턴(233, 234)은 상기 게이트 패턴들(LSG', CG1', CG2', USG')의 상, 하부면 및 일 측벽 상에만 배치될 수도 있다.

[0090] 상기 데이터 저장패턴(232, 234)은 상기 제1 셀 게이트 패턴들(CG1') 및 하부 선택 게이트 패턴(LSG') 과 상기 제1 부활성 패턴(242) 사이의 제1 저장부(233)과, 상기 제2 셀 게이트 패턴들(CG2') 및 상부 선택 게이트 패턴(USG')과 제2 부활성 패턴(248) 사이의 제2 저장부(234)을 포함할 수 있다. 상기 제1 저장부(233)와 제2 저장부(234)는 서로 분리된 복수의 막들일 수 있다. 상기 제1 저장부(233)의 상부면은, 최하부의 상기 제2 셀 게이트 패턴(CG2') 아래에 개재되는 상기 제2 저장부(234)와 접할 수 있다.

[0091] 상기 제2 부활성 패턴(248) 상에 비트 라인(268)이 배치될 수 있다. 상기 비트 라인(268)은 상기 게이트 패턴 그룹(GG)들이 연장하는 제1 방향에 교차하는 제2 방향으로 연장될 수 있다. 상기 제2 방향은 x축 방향에 해당할 수 있다.

[0092] 상기 비트 라인(268)과 제2 부활성 패턴(248) 사이에 비트 라인 콘택(267)이 개재할 수 있다. 상기 비트 라인 콘택(267)과 제2 부활성 패턴(248) 사이에 오믹층(265)이 개재할 수 있다. 상기 오믹층(265)은 상기 제2 부활성 패턴(248)과 상기 비트 라인 콘택(267) 사이의 저항을 낮출 수 있다.

[0093] 상기 제2 부활성 패턴(248)이 내부 공간을 정의하는 경우, 상기 비트 라인 콘택(267)과 제2 부활성 패턴(248)은 상기 제1 패드부(250)에 의해 전기적으로 연결될 수 있다. 상기 제2 부활성 패턴(248)이 내부 공간을 정의하는 경우, 상기 제2 부활성 패턴(248)은 상대적으로 좁은 상부면을 가질 수 있다. 이 때, 상기 제1 패드부(250)가 배치됨으로써, 상기 제2 부활성 패턴(248)과 상기 비트 라인(268)과의 전기적 연결을 용이하게 할 수 있다.

[0094] 앞서 두 개의 부활성 패턴 및 이 부활성 패턴들을 연결하는 패드부를 포함하는 실시예가 설명되었으나, 본 발명의 실시예들은 두 개 또는 그 이상의 부활성 패턴들 및 상기 부활성 패턴들 사이의 제1 패드부를 포함하는 비휘발성 메모리 소자를 포함한다. 구체적으로, 상기 제2 부활성 패턴 및 제2 게이트 패턴들 상에 제3 부활성 패턴, 제3 게이트 패턴들 및 이와 연결된 구성요소들이 더 배치될 수 있다. 이 경우, 상기 제2 게이트 패턴들 중 최상부의 게이트 패턴은 상술한 바와 달리 셀 게이트 패턴일 수 있다. 즉, 본 발명의 실시예에 따른 비휘발성 메모리 소자는 2 이상의 부활성 패턴들 및 상기 부활성 패턴들을 연결하는 패드부를 포함한다.

Micron Ex. 1002, p. 501
Micron v. YMTC
IPR2025-00245

[0095] 도 4, 도 5 및 도 6a 내지 도 6k를 참조하여, 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자의 형성방법이 설명된다. 도 6a 내지 도 6k는 도 4에 도시된 I-I'을 따라 취한 비휘발성 메모리 소자의 공정 단면도들이다. 앞서, 설명된 내용은 일부 생략될 수 있다.

[0096] 도 6a를 참조하면, 기판(210)을 제1 도전형의 도펀트로 도핑하여 웰 영역을 형성한다. 상기 웰 영역의 상부를 제2 도전형의 도펀트로 도핑하여 공통 소오스 영역(212)을 형성한다. 상기 공통 소오스 영역(212)의 상부면은 상기 기판(210)의 상부면과 동일할 수 있다.

[0097] 상기 기판(212) 상에 예비 기저 절연패턴(221)을 형성한다. 상기 예비 기저 절연패턴(221) 상에 제1 희생막들(SC1)과 제1 예비 게이트간 절연패턴들(221, 223a)을 교대로 반복 적층한다. 상기 제1 희생막들(SC1)과 제1 예비 게이트간 절연패턴들(221, 223a)은 동일한 식각 조건에서 서로 다른 식각량을 갖는 물질들로 형성될 수 있다. 예를 들어, 상기 제1 희생막들(SC1)은 질화막으로 형성되고, 예비 절연패턴들(221, 223a)은 산화막으로 형성될 수 있다.

[0098] 도 6b를 참조하면, 상기 제1 희생막들(SC1)과 제1 예비 게이트간 절연패턴들(221, 223a)을 이방성 식각하여, 상기 제1 희생막들(SC1) 및 제1 예비 게이트간 절연패턴들(221, 223a)을 관통하는 제1 그루브(231)가 형성된다. 상기 제1 그루브(231)는 제1 방향을 따라 연장될 수 있다. 상기 제1 방향은 y축에 해당할 수 있다.

[0099] 상기 제1 그루브(231)는 기울어진 측벽을 가질 수 있다. 즉, 상기 제1 그루브(231)의 측벽을 정의하는 상기 제1 희생막들(SC1) 및 제1 예비 게이트간 절연패턴들(221, 223a)의 측벽들은 상기 기판(210)의 상부면의 법선으로부터 기울어질 수 있다. 상기 제1 그루브(231)의 측벽이 상기 기판(210)의 상부면의 법선에 대해 기울어진 정도는, 적층된 상기 제1 희생막들(SC1)과 제1 예비 게이트간 절연패턴들(221, 223a)의 두께에 비례할 수 있다. 상기 제1 그루브(231)의 형성시, 상기 공통 소오스 영역(212)의 일부도 함께 식각되어, 상기 웰 영역이 노출될 수 있다.

[0100] 도 6c를 참조하면, 상기 제1 그루브(231)의 측벽 상에 제1 부활성막(241)이 형성될 수 있다. 상기 제1 부활성막(241)은 상기 제1 그루브(231)의 측벽 상에 형성될 수 있다. 구체적으로, 상기 제1 그루브(231)를 콘포말하게 덮는 반도체 막이 형성될 수 있다. 상기 반도체 막은 단결정 반도체 물질 또는 다결정 반도체 물질을 포함할 수 있다. 상기 반도체 막 상의 상기 제1 그루브(231) 내에 스페이서가 형성될 수 있다. 상기 스페이서는 상기 제1 그루브(231) 및 반도체 막의 측벽을 덮을 수 있다. 또한, 상기 스페이서는 상기 기판(210) 상의 상기 반도체 막의 일부를 노출시킬 수 있다. 노출된 상기 반도체 막의 일부를 식각하여, 상기 제1 그루브(231)의 측벽 상에 제1 부활성막(241)이 형성될 수 있다. 이와 달리, 상기 기판(210) 상에 형성된 상기 반도체 막을 제거하는 공정은 생략될 수도 있다. 이에 의해 형성되는 상기 제1 부활성막(241)은 상기 기판(210) 상에 배치되는 바닥부를 포함할 수 있다.

[0101] 상기 제1 그루브(231)를 채우는 제1 층전 절연막(252)이 형성될 수 있다. 상기 제1 층전 절연막(252)이 상부면은, 최상부의 제1 예비 게이트간 절연패턴(223a)의 상부면보다 낮은 상부면을 갖도록 형성될 수 있다. 이에 의해, 상기 제1 그루브(231)의 상부 측벽의 일부가 노출될 수 있다.

[0102] 도 6d를 참조하면, 상기 제1 그루브(231)의 상부에 제1 패드부(246)가 형성될 수 있다. 상기 제1 패드부(246)는 상기 제1 그루브(231)를 채우는 반도체 막을 형성한 뒤, 상기 반도체 막의 일부를 제거하여 형성될 수 있다. 상기 반도체 막은 최상부의 제1 예비 게이트간 절연패턴(223a)이 노출될 때까지 제거될 수 있다. 이 때, 상기 최상부의 제1 예비 게이트간 절연패턴(223a) 상의 상기 제1 부활성막(241)도 함께 제거될 수 있다. 이에 의해 제1 부활성 패턴(241)이 형성될 수 있다. 상기 제1 패드부(246)의 상부면은 상기 제1 예비 게이트간 절연패턴(223a)의 상부면과 공면을 이룰 수 있다. 상기 제1 패드부(246)의 상부면은 상기 제1 부활성 패턴(241)의 상부면과 공면을 이룰 수 있다. 상기 제1 패드부(246)는 상기 제1 부활성 패턴(241)과 동일한 반도체 물질을 포함할 수 있다.

[0103] 도 6e를 참조하면, 상기 제1 희생막들(SC1) 및 제1 예비 절연패턴들(221, 223a)이 패터닝된다. 이에 의해, 제1 게이트간 절연패턴들(224a) 및 기저 절연패턴(222)이 형성될 수 있다. 상기 제1 절연패턴들(222, 224a) 및 제1 희생막들(SC1)의 측벽들에 의해 제1 트렌치(255)가 정의될 수 있다. 상기 제1 트렌치(255)는 상기 제1 그루브(231)가 연장하는 방향과 평행한 방향으로 연장되는 그루브 형태일 수 있다. 상기 제1 절연패턴들(222, 224a) 및 제1 희생막들(SC1)의 측벽들은 상기 제1 트렌치(255)에 의해 노출될 수 있다. 상기 제1 트렌치(255)는 기울어진 측벽을 가질 수 있다.

Micron Ex. 1002, p. 502
Micron v. YMTC
IPR2025-00245

[0104] 도 6f를 참조하면, 상기 제1 트렌치(255)에 노출된 상기 제1 희생막들(SC1)이 제거된다. 이에 의해, 상기 제1 게이트간 절연패턴들(224a) 사이, 및 최하부의 제1 게이트간 절연패턴(224a)과 기저 절연패턴(222) 사이에 제1 빈 공간(255u)이 형성될 수 있다. 상기 제1 빈 공간(255u)은 상기 제1 부활성 패턴(242)의 측벽의 일부가 노출될 수 있다. 상기 제1 빈 공간(255u)의 형성에 의해 상기 게이트간 절연패턴들(224a)의 상, 하부면 및 상기 기저 절연패턴(222)의 상부면이 노출될 수 있다.

[0105] 상기 제1 트렌치(255) 및 제1 빈 공간(255u) 내에 데이터 저장패턴의 제1 저장부(233)가 형성될 수 있다. 상기 데이터 저장패턴의 제1 저장부(233)는 상기 제1 트렌치(255) 및 제1 빈 공간(255u)을 콘포말하게 덮을 수 있다. 상기 데이터 저장패턴의 제1 저장부(233)는 복수의 막을 포함할 수 있다. 구체적으로, 상기 데이터 저장패턴의 제1 저장부(233)를 형성하는 것은, 상기 제1 부활성 패턴(242)과 접하는 터널 베리어를 형성하는 것, 상기 터널 베리어 상에 전하 저장막을 형성하는 것 및 상기 전하 저장막 상에 블로킹 베리어를 형성하는 것을 포함할 수 있다. 일 실시예에서, 상기 터널 베리어는 상기 제1 부활성 패턴(242)의 노출된 측벽을 산화시켜 형성될 수 있다.

[0106] 도 6g를 참조하면, 상기 제1 트렌치(255) 및 제1 빈 공간(255u)을 채우는 게이트막(GL)이 형성될 수 있다. 상기 게이트막(GL)은 도핑된 반도체 물질, 금속 또는 금속화합물을 포함할 수 있다. 상기 게이트막(GL)의 상부면은 평탄화될 수 있다. 상기 평탄화시, 최상부의 게이트간 절연패턴(224a)의 상부면 상에 형성된 상기 게이터 저장패턴의 제1 저장부(233)가 제거될 수 있다. 이에 의해, 상기 제1 패드부(246) 및 상기 최상부의 게이트간 절연막(224a)의 상부면이 노출될 수 있다.

[0107] 도 6h를 참조하면, 상기 게이트막(GL)을 식각하여, 제1 게이트 패턴들(LSG', CG1')이 형성될 수 있다. 상기 제1 게이트 패턴들(LSG', CG1')은 상기 제1 빈 공간(255u) 내에 잔류하는 상기 게이트막(GL) 일 수 있다. 상기 제1 게이트 패턴들(LSG', CG1') 중 상기 기저 절연패턴(222)과 최하부의 게이트간 절연패턴(224a) 사이의 게이트 패턴(LSG')은 하부 선택 게이트 패턴(LSG')일 수 있다. 상기 게이트간 절연패턴들(224a) 사이에 형성되는 게이트 패턴들(CG1')은 셀 게이트 패턴들(CG')일 수 있다.

[0108] 상기 제1 트렌치(255) 내에 제1 충전 절연막(256)이 형성될 수 있다. 상기 제1 충전 절연막(256)은 상기 최상부의 게이트간 절연패턴(224a) 및 제1 패드부(246)의 상부면들이 노출될 때까지 평탄화될 수 있다.

[0109] 도 6i를 참조하면, 상기 도 6h의 구조물 상에 제2 희생막들(SC2) 및 제2 예비 절연패턴들(223b, 225)이 교대로 적층될 수 있다. 상기 제2 예비 절연패턴들(223b, 225)는 상기 희생막들(SC2) 사이의 제2 예비 게이트간 절연패턴들(223b)과, 최상부의 제2 희생막(SC2) 상의 예비 상부 절연패턴(225)으로 구성될 수 있다. 최하부의 상기 제2 희생막(SC2)은 상기 최상부의 게이트간 절연패턴(224a) 및 제1 패드부(246)의 상부면들과 접할 수 있다. 상기 제2 희생막들(SC2)과 제2 예비 절연패턴들(223b)은 서로 다른 식각 선택비를 갖는 물질들로 형성될 수 있다.

[0110] 상기 제2 희생막들(SC2) 및 제2 예비 절연패턴들(223b, 225)을 관통하는 제2 그루브(232)가 형성될 수 있다. 상기 제2 그루브(232)는 상기 제2 희생막들(SC2) 및 제2 예비 절연패턴들(223b)의 측벽들에 의해 정의되는 측벽과, 상기 제1 패드부(246)에 의해 정의되는 바닥을 포함할 수 있다. 상기 제2 그루브(232)의 측벽은 기울어질 수 있다.

[0111] 상기 제2 그루브(232)는 상기 제1 그루브(231)와 상하로 연결될 수 있다. 상기 제2 그루브(232)는 상기 제1 그루브(231)와 평행한 방향, 즉, 제1 방향으로 연장될 수 있다. 상기 제1 그루브(231)와 제2 그루브(232)는 하나의 개구부(230)를 구성할 수 있다.

[0112] 상기 제2 그루브(232) 내에 제2 부활성 패턴(248)이 형성될 수 있다. 상기 제2 부활성 패턴(248)은 전술한 상기 제1 부활성 패턴(242)과 동일한 방법에 의해 형성될 수 있다. 이 경우, 상기 제2 부활성 패턴(248)에 의해 정의된 내부 공간 내에 제2 충전 절연막(254)이 형성될 수 있다. 상기 제2 충전 절연막(254)의 상부면은 상기 예비 상부 절연패턴(225)의 상부면보다 낮게 위치할 수 있다. 이와 달리, 상기 제2 부활성 패턴(248)은 상기 제2 그루브(232)를 채우도록 형성될 수도 있다. 이 경우, 상기 제2 그루브(232) 내에 제2 충전 절연막(254)은 형성되지 않을 수 있다.

[0113] 상기 제2 부활성 패턴(248)의 상부에 제2 패드부(250)가 형성될 수 있다. 상기 제2 패드부(250)는 상기 제2 부활성 패턴(248)의 상부의 옆에 형성될 수 있다. 상기 제2 부활성 패턴(248)이 내부 공간을 정의하는 경우, 상기 제2 패드부(250)는 상기 제2 부활성 패턴(248)에 의해 정의되는 내부 공간을 채울 수 있다. 상기 제2 패드부(25)의 상부면은 상기 제2 부활성 패턴(248)의 상부면 및 상기 예비 상부 절연패턴(225)의 상부면과 공면을 이룰 수 있다.

Micron Ex. 1002, p. 503
Micron v. YMTC
IPR2025-00245

[0114] 도 6j를 참조하면, 상기 제2 희생막들(SC2) 및 제2 예비 절연패턴들(223b, 225)이 패터닝될 수 있다. 이에 의해, 제2 절연패턴들(224b, 226)이 형성될 수 있다. 상기 절연패턴들(224b,226)은 패터닝된 상기 제2 희생막들(SC2) 사이의 제2 게이트간 절연패턴들(224b) 및 최상부의 제2 희생막(SC2) 상의 상부 절연패턴(226)으로 구성될 수 있다.

[0115] 상기 패터닝에 의해, 제2 트렌치(257)가 형성될 수 있다. 상기 제2 트렌치(257)는 상기 제2 절연패턴들(224b, 226)과 패터닝된 제2 희생막들(SC2)의 측벽들을 노출시킬 수 있다.

[0116] 도 6k를 참조하면, 노출된 상기 제2 희생막들(SC2)이 제거되어, 상기 절연패턴들(224b, 226) 사이에 제2 빈 공간(257u)이 형성될 수 있다. 상기 제2 빈 공간(257u)은 상기 제2 부활성 패턴(248)의 측벽 및 상기 제2 절연패턴들(224b, 226)의 상부면들 및 하부면들을 노출시킬 수 있다. 최하부의 제2 빈 공간(257u)은 상기 최상부의 제1 게이트간 절연패턴(224a)의 상부면을 노출시킬 수 있다.

[0117] 상기 제2 트렌치(257) 및 제2 빈 공간(257u)을 덮는 데이터 저장패턴의 제2 저장부(234)가 형성될 수 있다. 상기 데이터 저장패턴의 제2 저장부(234)는 상기 데이터 저장패턴의 제1 저장부(233)와 동일한 방법에 의해 형성될 수 있다. 상기 데이터 저장패턴의 제2 저장부(234)는 상기 데이터 저장패턴의 제1 저장부(233)의 상부면과 접할 수 있다.

[0118] 다시 도 5를 참조하면, 상기 제2 빈 공간(257u)을 채우는 제2 게이트 패턴들(CG2', USG')이 형성될 수 있다. 상기 제2 게이트 패턴들(CG2', USG')은 상기 제2 트렌치(257) 및 제2 빈 공간(257u)을 채우는 게이트막을 형성한 뒤, 상기 제2 트렌치(257) 내의 게이트막을 제거하여 형성될 수 있다. 상기 제2 트렌치(257) 내의 게이트 막의 제거 이전에, 상기 게이트막의 상부면은 평탄화될 수 있다. 이때, 상기 상부 절연패턴(226) 및 제2 패드부(250) 상의 상기 데이터 저장패턴(234)의 일부도 함께 제거될 수 있다. 상기 게이트 막의 제어 이후, 상기 제2 트렌치(257)를 채우는 절연막(258)이 형성될 수 있다.

[0119] 상기 제2 빈 공간(257u) 내에 잔류하는 상기 도전막이 상기 제2 게이트 패턴들(CG2', USG')을 구성할 수 있다. 상기 제2 게이트 패턴들(CG2', USG') 중 최상부에 형성되는 게이트 패턴(USG')은 상부 선택 게이트 패턴(USG')이고, 상기 제2 게이트간 절연패턴들(224b) 사이와 상기 최상부의 제1 게이트간 절연패턴(224a)과 최하부의 제2 게이트간 절연패턴(224b) 사이의 게이트 패턴들(CG2')은 제2 셀 게이트 패턴들(CG2')일 수 있다.

[0120] 상기 제2 패드부(250) 및 상부 절연패턴(226) 상에 층간 절연막(262)이 형성될 수 있다. 상기 층간 절연막(262)은 상기 제2 패드부(250)의 상부면을 노출시키는 콘택 홀을 포함할 수 있다. 상기 제2 패드부(250) 상에 오믹층(265)이 형성될 수 있다. 상기 오믹층(265)은 노출된 상기 제2 패드부(250)의 상부면을 금속화시켜 형성될 수 있다.

[0121] 상기 콘택 홀을 도전물질로 채워 비트 라인 콘택(267)을 형성할 수 있다. 상기 비트 라인 콘택(267) 상에 비트 라인(268)이 형성될 수 있다. 상기 비트 라인(268)은 제2 방향으로 연장되는 라인 형태일 수 있다. 상기 비트 라인 콘택(267)과 비트 라인(268)은 동시에 형성될 수도 있다.

[0122] 도 7을 참조하여, 본 발명의 실시예들의 적용예가 설명된다. 도 7은 본 발명의 실시예에 따른 반도체 소자를 구비하는 메모리 카드(1100)의 일 예를 도시한 블록도이다. 본 적용예에서 상기 반도체 소자는 플래시 메모리(1110)에 적용될 수 있다. 고용량의 데이터 저장 능력을 지원하기 위한 메모리 카드(1100) 내에 본 발명의 실시예에 따른 반도체 소자가 장착된다. 본 적용예에 따른 메모리 카드(1100)는 호스트(Host)와 플래시 메모리(1110) 간의 제반 데이터 교환을 제어하는 메모리 컨트롤러(1120)를 포함할 수 있다.

[0123] 상기 메모리 컨트롤러(1120)는 메모리 카드의 동작을 제어하는 프로세싱 유닛(1122), SRAM(1120), 에러 정정 블록(1124), 호스트 인터페이스(1123) 및 메모리 인터페이스(1125)를 포함할 수 있다. 상기 SRAM(1121)은 프로세싱 유닛(1122)의 동작 메모리로써 사용될 수 있다. 호스트 인터페이스(1123)는 메모리 카드(1100)와 접속되는 호스트의 데이터 교환 프로토콜을 구비할 수 있다. 에러 정정 블록(1124)은 플래시 메모리(1110)로부터 독출된 데이터에 포함되는 에러를 검출 및 정정할 수 있다. 메모리 인터페이스(1125)는 플래시 메모리(1110)와 인터페이싱할 수 있다. 프로세싱 유닛(1122)은 메모리 컨트롤러(1120)의 데이터 교환을 위한 제반 제어 동작을 수행할 수 있다. 본 적용예에 따른 메모리 카드(1100)는 본 발명의 실시예에 따른 플래시 메모리(1110)의 향상된 신뢰성으로 인해, 높은 신뢰성을 갖는 시스템을 제공할 수 있다.

Micron Ex. 1002, p. 504
Micron v. YMTC
IPR2025-00245

[0124] 도 8은 본 발명의 실시예들에 따른 반도체 소자의 다른 적용예를 설명하기 위한 도면이다. 도 8은 메모리 시스템(1210)을 포함하는 정보 처리 시스템(1200)을 나타내는 블록도이다. 본 적용예에서 본 발명의 실시예들에 의한 반도체 소자는 메모리 시스템(1210)에 포함될 수 있다. 모바일 기기나 데스크 톱 컴퓨터와 같은 정보 처리 시스템에 본 발명의 실시예들에 따른 메모리 시스템(1210)이 장착될 수 있다. 본 적용예에 따른 정보 처리 시스템(1200)은 메모리 시스템(1210)과 각각 시스템 버스(1260)에 전기적으로 연결된 모뎀(1220), 중앙처리장치(1230), 램(1240), 유저 인터페이스(1250)을 포함할 수 있다. 메모리 시스템(1210)에는 중앙처리장치(1230)에 의해서 처리된 데이터 또는 외부에서 입력된 데이터가 저장될 수 있다. 본 적용예에서, 본 발명의 실시예들에 따른 메모리 시스템(1210)이 반도체 디스크 장치(SSD)로 구성될 수 있으며, 이 경우 정보 처리 시스템(1200)은 대용량의 데이터를 메모리 시스템(1210)에 안정적으로 저장할 수 있다. 또한, 상술한 반도체 소자의 신뢰성의 향상에 따라, 메모리 시스템(1210)은 에러 정정에 소요되는 자원을 절감할 수 있어 고속의 데이터 교환 기능을 정보 처리 시스템(1200)에 제공할 수 있다.

[0125] 또한, 본 발명의 실시예들에 따른 반도체 소자는 다양한 형태의 패키지로 구현될 수 있다. 예를 들면, 본 발명에 따른 반도체 소자는 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등과 같은 방식으로 패키지화되어 실장될 수 있다.

도면의 간단한 설명

[0126] 도 1은 본 발명의 일 실시예에 따른 비휘발성 메모리 소자의 평면도이다.

[0127] 도 2a 는 도 1에 도시된 I-I'을 따라 취한 단면도이고, 도 2b는 도 1에 도시된 II-II'을 따라 취한 단면도이다.

[0128] 도 3a 내지 도 3i는 본 발명의 일 실시예에 따른 비휘발성 메모리 소자의 형성방법을 설명하기 위한 도면들이다.

[0129] 도 4는 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자의 평면도이다.

[0130] 도 5는 도 4에 도시된 I-I'을 따라 취한 단면도이다.

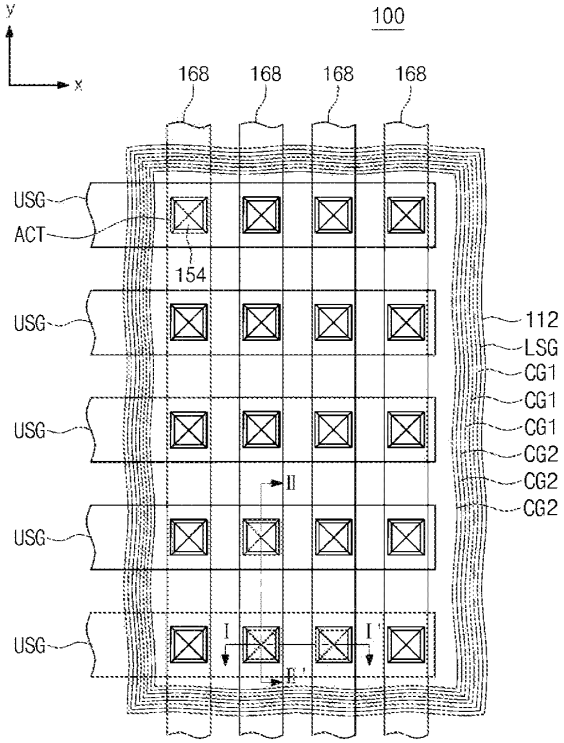
[0131] 도 6a 내지 도 6k는 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자의 형성방법을 설명하기 위한 도면들이다.

[0132] 도 7 및 도 8은 본 발명의 실시예들이 적용되는 장치들을 설명하기 위한 도면들이다.

Micron Ex. 1002, p. 505
Micron v. YMTC
IPR2025-00245

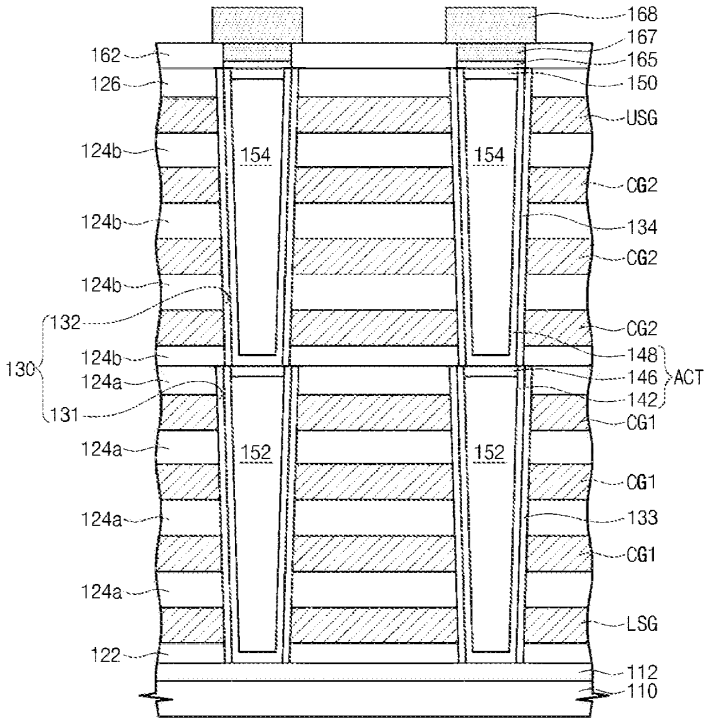
도면

도면1



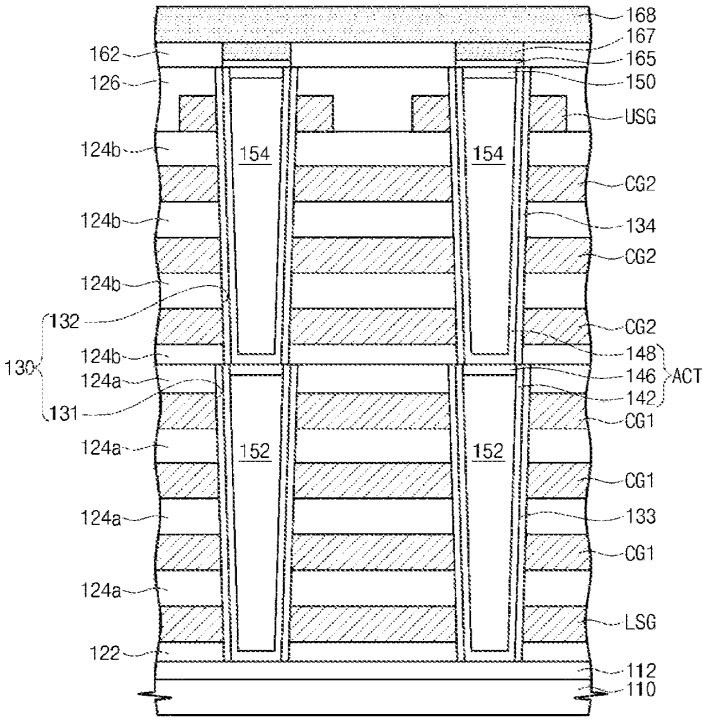
Micron Ex. 1002, p. 506
Micron v. YMTC
IPR2025-00245

도면2a

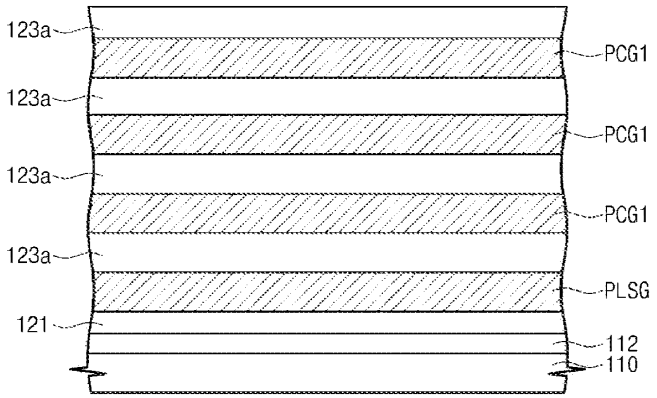


Micron Ex. 1002, p. 507
Micron v. YMTC
IPR2025-00245

도면2b

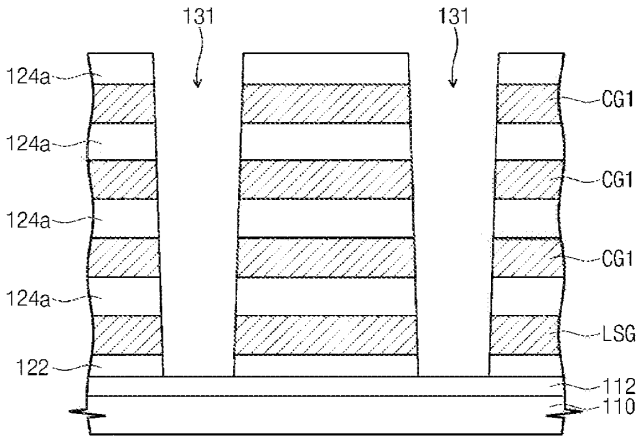


도면3a

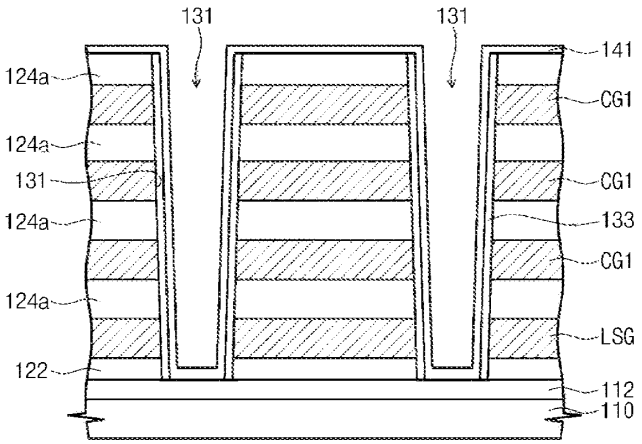


Micron Ex. 1002, p. 508
Micron v. YMTC
IPR2025-00245

도면3b

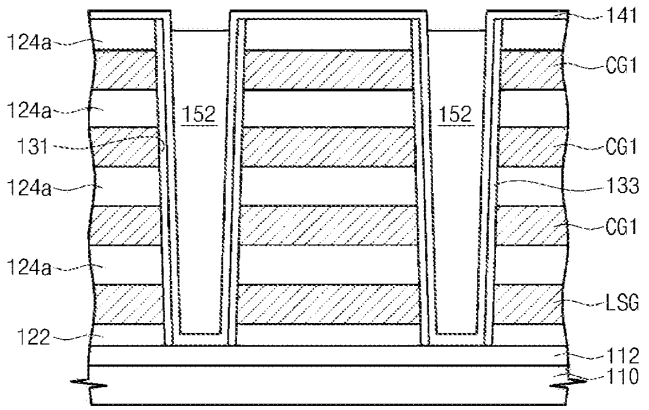


도면3c

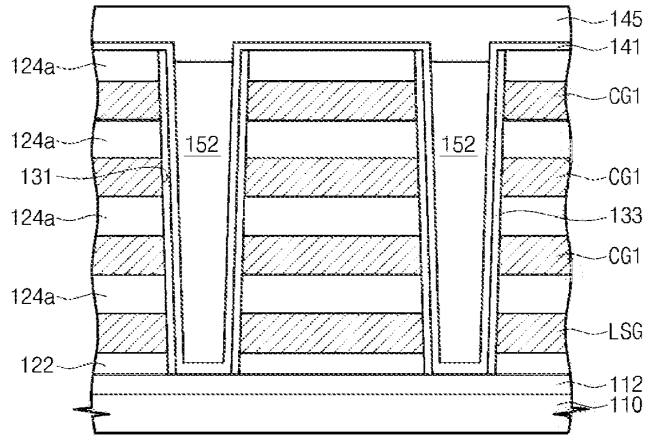


Micron Ex. 1002, p. 509
Micron v. YMTC
IPR2025-00245

도면3d

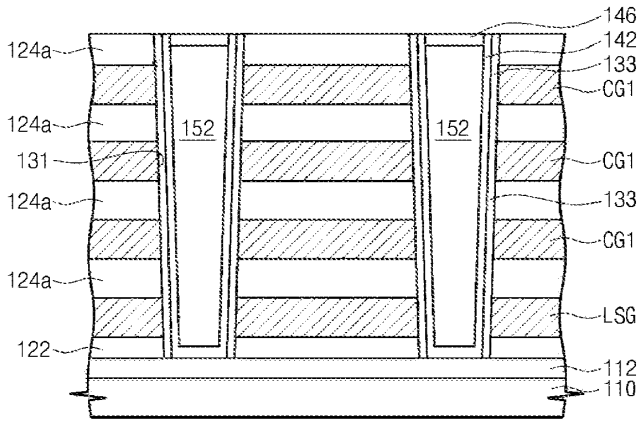


도면3e

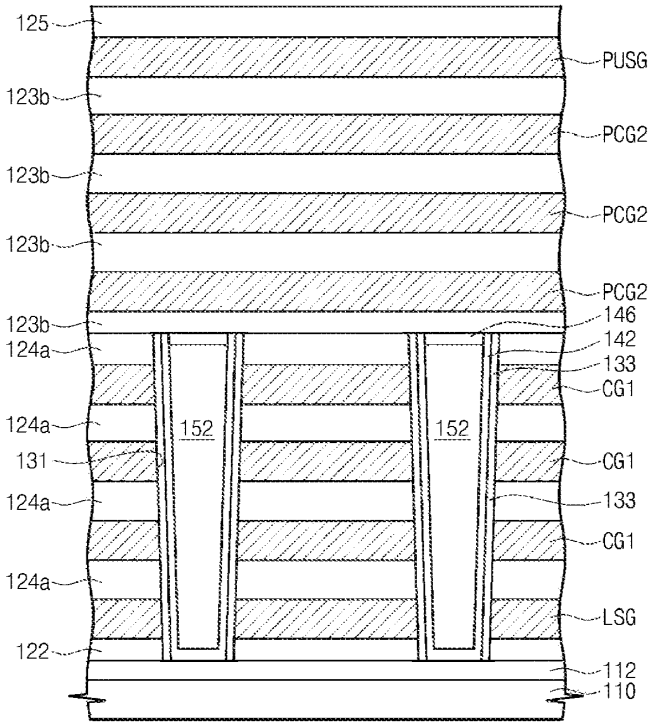


Micron Ex. 1002, p. 510
Micron v. YMTC
IPR2025-00245

도면3f

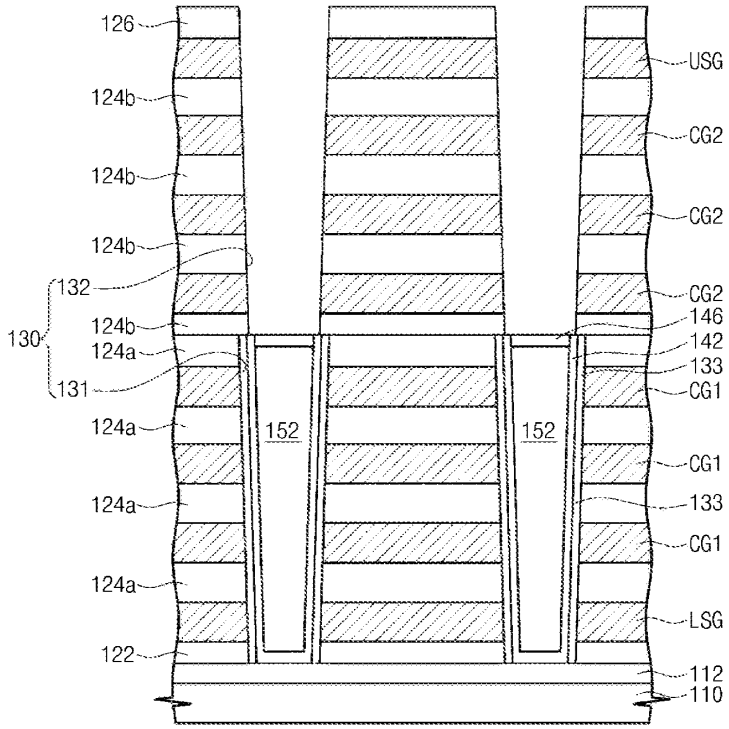


도면3g



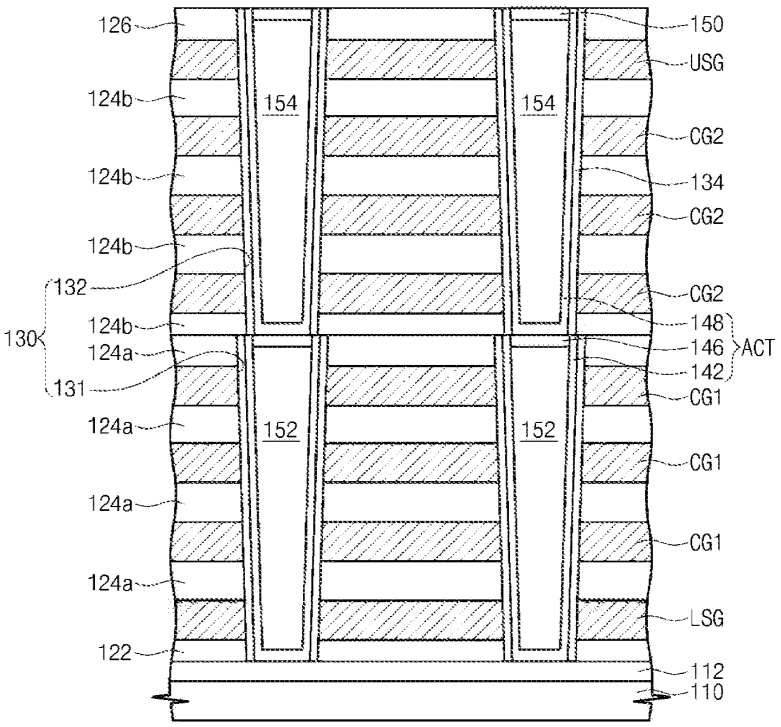
Micron Ex. 1002, p. 511
Micron v. YMTC
IPR2025-00245

도면3b



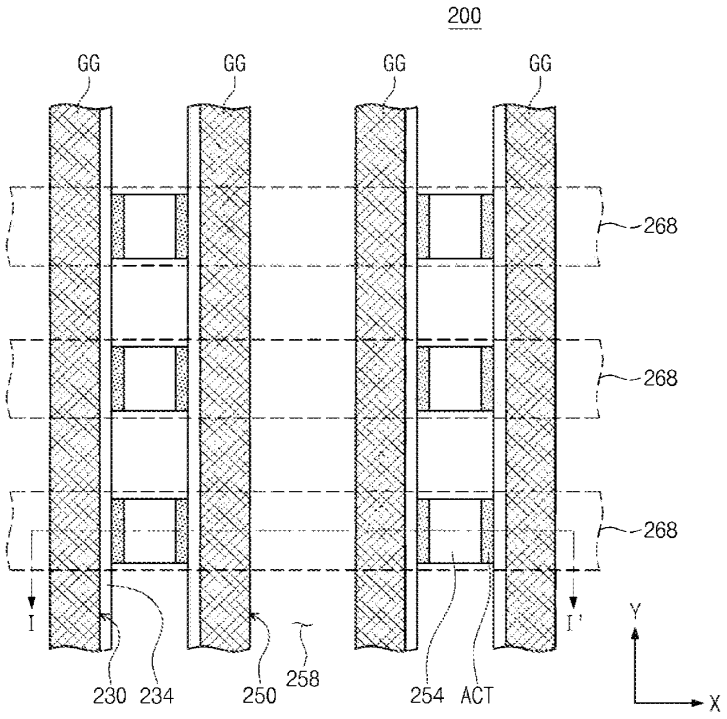
Micron Ex. 1002, p. 512
Micron v. YMTC
IPR2025-00245

도면31



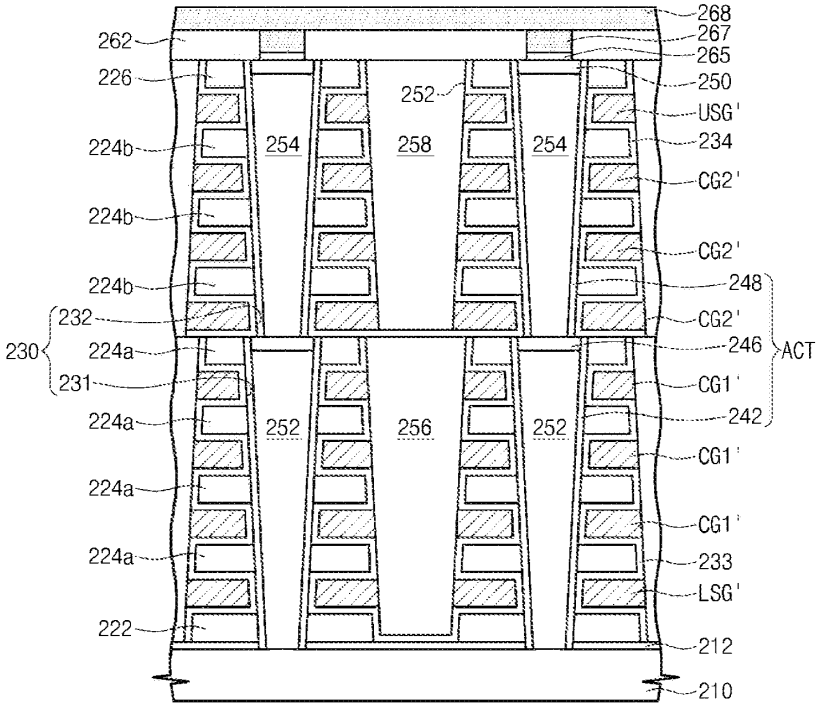
Micron Ex. 1002, p. 513
Micron v. YMTC
IPR2025-00245

도면4

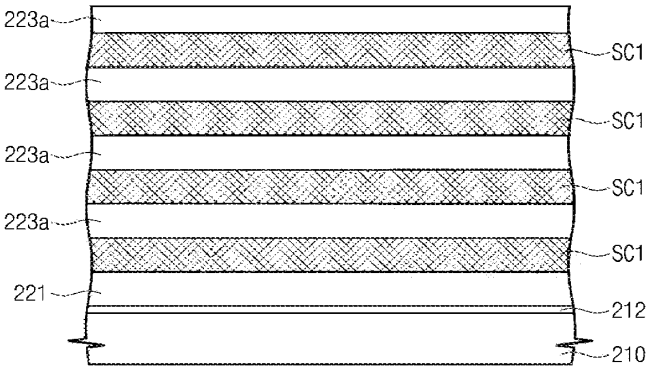


Micron Ex. 1002, p. 514
Micron v. YMTC
IPR2025-00245

도면7

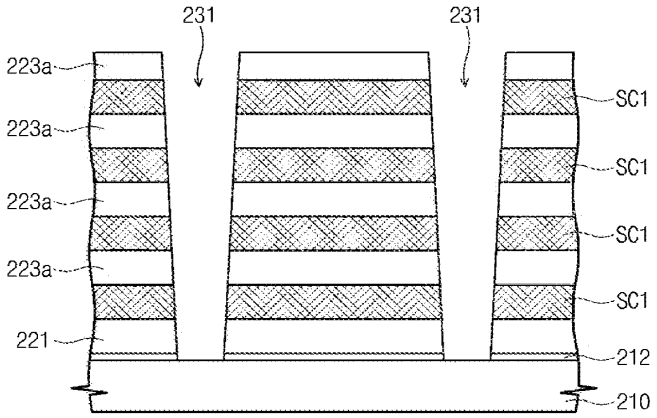


도면8a

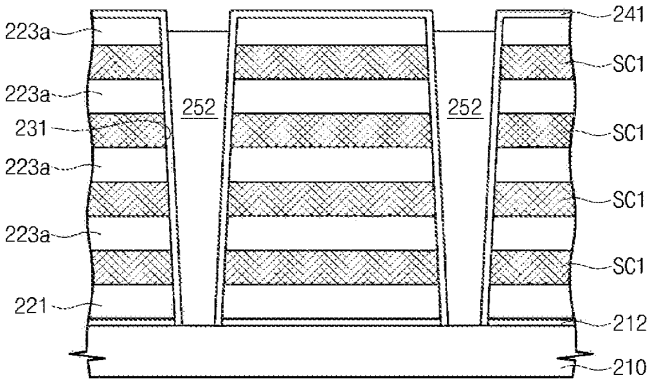


Micron Ex. 1002, p. 515
Micron v. YMTC
IPR2025-00245

도면6b

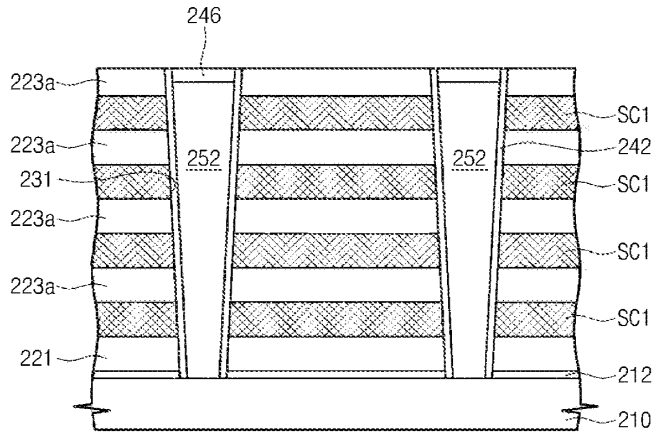


도면6c

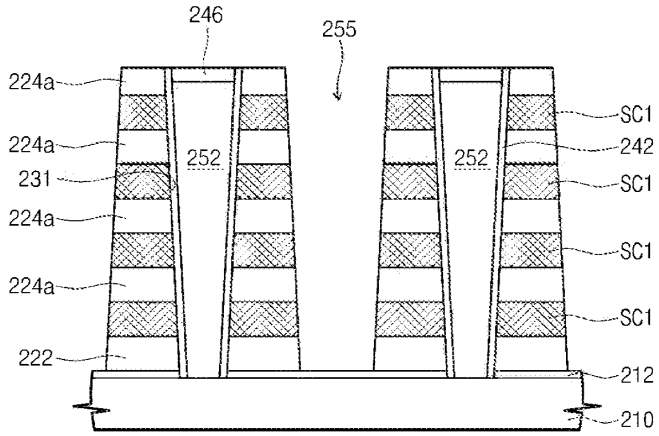


Micron Ex. 1002, p. 516
Micron v. YMTC
IPR2025-00245

도면6d

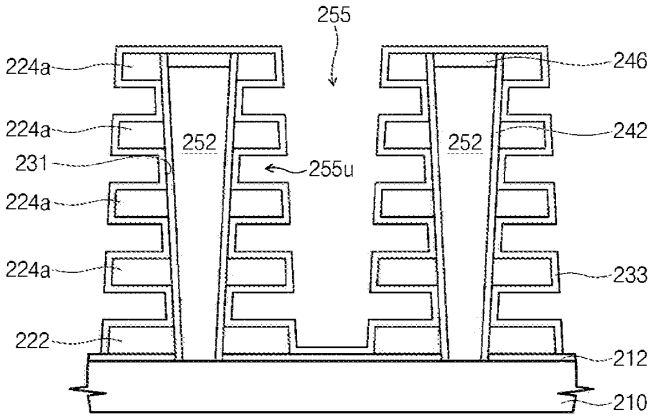


도면6e

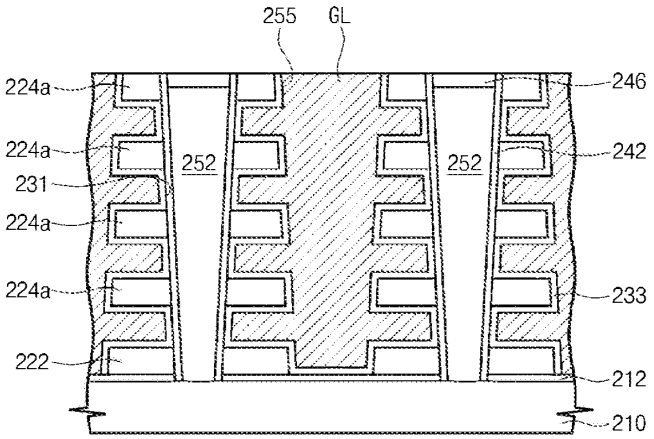


Micron Ex. 1002, p. 517
Micron v. YMTC
IPR2025-00245

도면6f

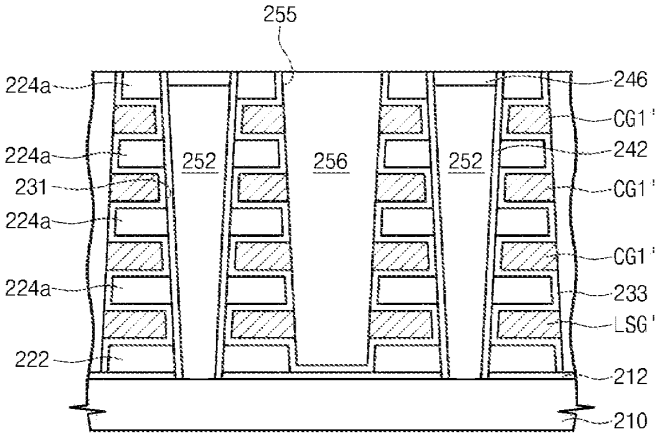


도면6g

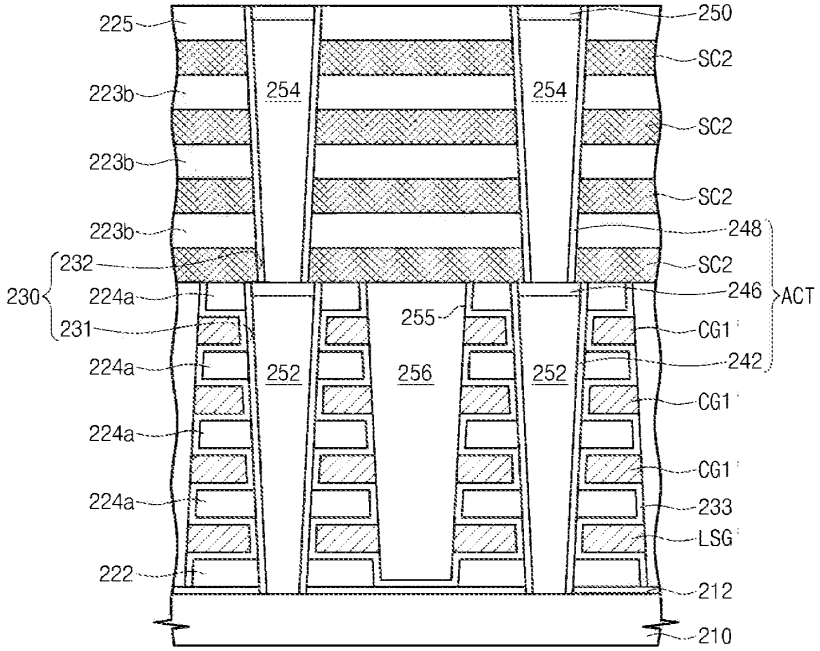


Micron Ex. 1002, p. 518
Micron v. YMTC
IPR2025-00245

도면6h

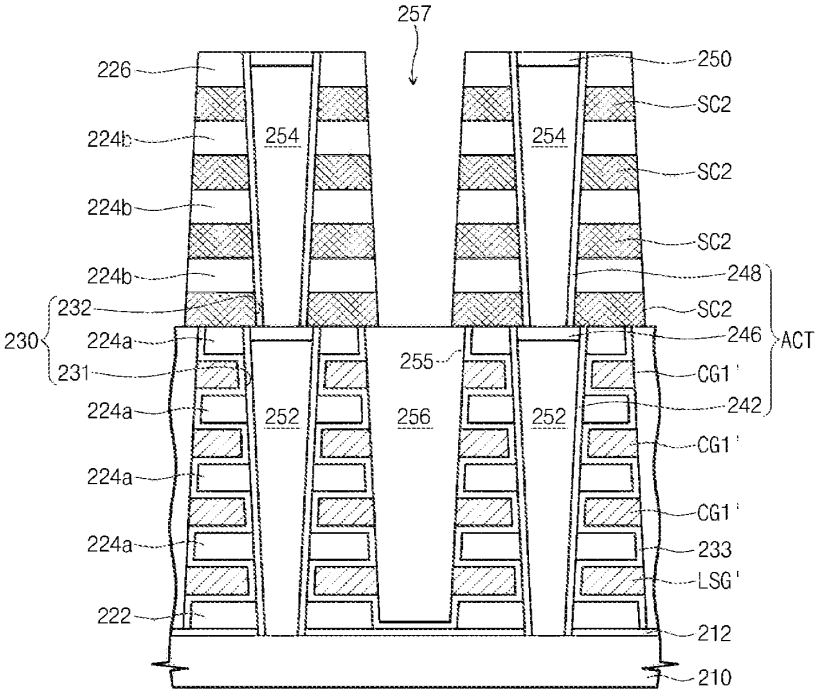


도면6i



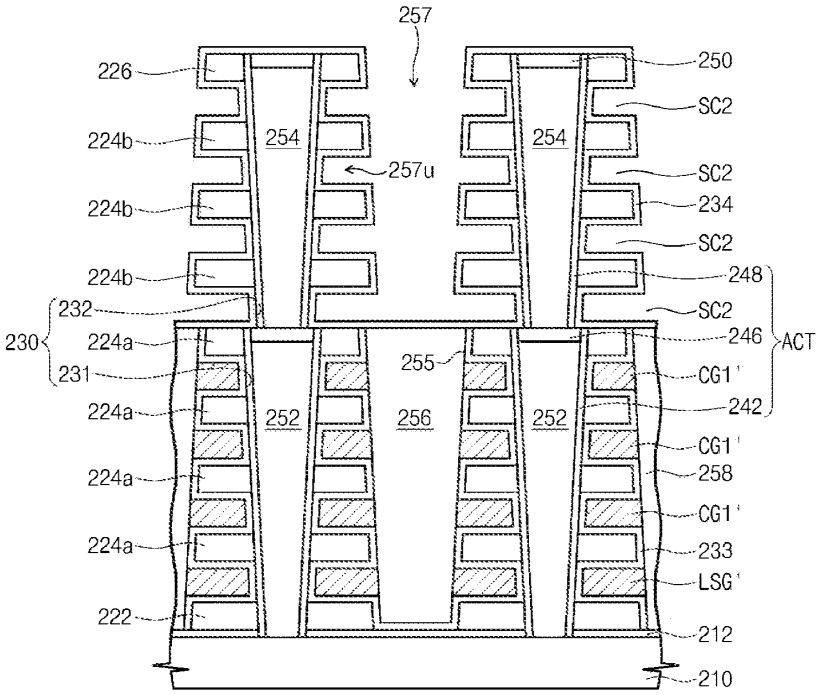
Micron Ex. 1002, p. 519
Micron v. YMTC
IPR2025-00245

도면6

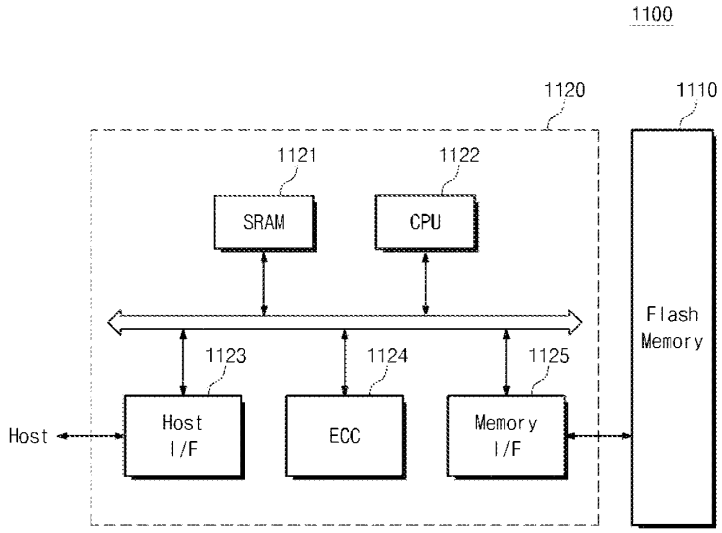


Micron Ex. 1002, p. 520
Micron v. YMTC
IPR2025-00245

도면6

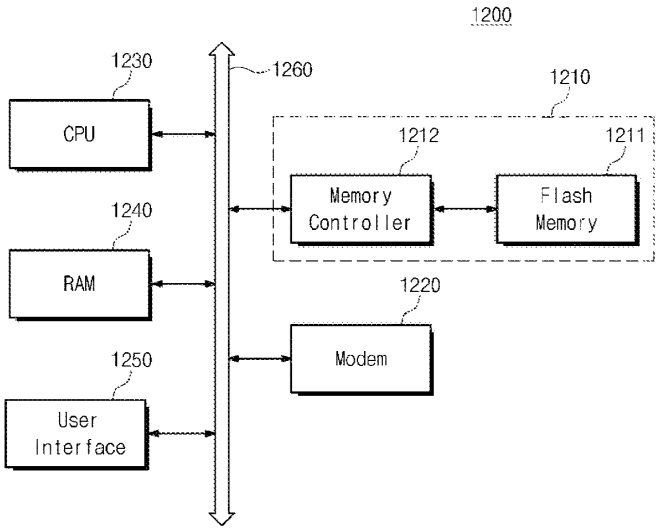


도면7



Micron Ex. 1002, p. 521
Micron v. YMTC
IPR2025-00245

도면8



Micron Ex. 1002, p. 522
Micron v. YMTC
IPR2025-00245

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0057670
(43) 공개일자 2013년06월03일

(51) 국제특허분류(Int. Cl.)
H01L 27/115 (2006.01) *H01L 21/8247* (2006.01)
(21) 출원번호 10-2011-0123530
(22) 출원일자 2011년11월24일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
양준규
서울 서초구 서초2동 현대아파트 10동 1102호
남필욱
경기 화성시 능동 푸른마을신일해피트리아파트 973동 603호
(뒷면에 계속)
(74) 대리인
권혁수, 송윤호, 오세준

전체 청구항 수 : 총 10 항

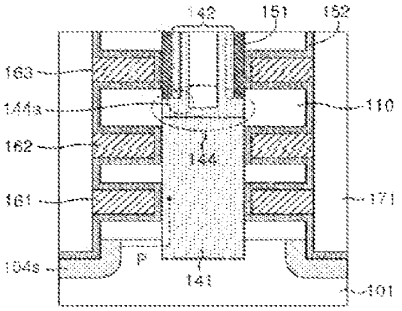
(54) 발명의 명칭 **반도체 메모리 소자 및 그 제조방법**

(57) 요 약

본 발명은 반도체 메모리 소자 및 그 제조방법에 관한 것이다. 본 발명의 반도체 메모리소자는 기판 상에 수직 적층된 복수개의 게이트들, 상기 복수개의 게이트들을 수직 관통하여 상기 기판과 전기적으로 연결된 상하 접합된 상부 채널과 하부 채널을 포함하는 수직 채널, 그리고 상기 수직 채널과 상기 복수개의 게이트들 사이에 배치된 정보저장막을 포함할 수 있다. 상기 상부 채널은 상기 복수개의 게이트들 중 일부들을 수직하게 관통하며 절연막이 채워지는 내부 공간을 정의하는 수직 패턴과, 상기 하부 채널의 상면을 따라 수평하게 신장되어 상기 하부 채널의 상면과 접하는 수평 패턴을 포함할 수 있다.

대 표 도 - 도11

1



Micron Ex. 1002, p. 523
Micron v. YMTC
IPR2025-00245

(72) 발명자

황기현

경기도 성남시 분당구 내정로 94, LG아파트 202동 604호 (정자동, 한솔마을)

안재영

경기도 성남시 분당구 돌마로486번길 7, 삼환아파트 507동 403호 (서현동, 효자촌)

김진균

경기 용인시 기흥구 언남동 삼성래미안2차아파트 장미마을 214동 901호

임승현

경기 용인시 수지구 풍덕천동 1060번지 신정마을 상록7단지아파트 703동 1303호

Micron Ex. 1002, p. 524
Micron v. YMTC
IPR2025-00245

특허청구의 범위

청구항 1

기판 상에 수직 적층된 복수개의 게이트들;

상기 복수개의 게이트들을 수직 관통하여 상기 기판과 전기적으로 연결된, 상하 접합된 상부 채널과 하부 채널을 포함하는 수직 채널; 그리고

상기 수직 채널과 상기 복수개의 게이트들 사이에 배치된 정보저장막을 포함하고,

상기 상부 채널은, 상기 복수개의 게이트들 중 일부들을 수직하게 관통하며 절연막이 채워지는 내부 공간을 정의하는 수직 패턴; 그리고 상기 하부 채널의 상면을 따라 수평하게 신장되어 상기 하부 채널의 상면과 접하는 수평 패턴을 포함하는 반도체 메모리 소자.

청구항 2

제1항에 있어서,

상기 수평 패턴은 상기 하부 채널의 상면의 폭과 동일하거나 큰 폭을 갖는 반도체 메모리 소자.

청구항 3

제1항에 있어서,

상기 수직 패턴은:

상기 정보저장막에 접하는 수직한 제1 반도체막과, 상기 절연막과 접하여 상기 절연막을 둘러싸는 수직한 제2 반도체막으로 구성된 다중막; 그리고

상기 정보저장막 및 상기 절연막과 접하며 상기 절연막을 둘러싸는 제3 반도체막으로 구성된 단일막;

중에서 어느 하나를 포함하는 반도체 메모리 소자.

청구항 4

제1항에 있어서,

상기 상부 채널은, 상기 게이트들의 측벽들과 인접하고 상기 게이트들의 측벽 모서리들에 인접한 부분이 굴곡된 반도체 메모리 소자.

청구항 5

기판 상에, 상기 기판과 접합하는 하부 채널과; 그리고 상기 하부 채널을 노출시키는 채널홀을 포함하는 적층체를 형성하고;

상기 채널홀의 내표면을 따라 신장되어, 상기 채널홀의 내측벽과 상기 하부 채널의 상면을 덮는 정보저장 물질막을 형성하고;

상기 정보저장 물질막을 패터닝하여 상기 채널홀의 내측벽을 따라 수직하고 상기 하부 채널과는 상하 이격된 정보저장막을 형성하고; 그리고

상기 채널홀을 채우는, 상기 정보저장막을 따라 수직하게 신장하며 상기 하부 채널의 상면을 따라 수평하게 신장하여 상기 정보저장막과 상기 하부 채널 사이의 이격 공간을 차지하는 상부 채널을 형성하는 것을;

포함하는 반도체 메모리 소자의 제조방법.

청구항 6

제5항에 있어서,

상기 정보저장 물질막을 형성하는 것은:

Micron Ex. 1002, p. 525
Micron v. YMTC
IPR2025-00245

상기 채널홀의 내표면을 따라 신장되어 상기 정보저장 물질막을 덮는 제1 반도체막을 형성하고; 그리고

상기 채널홀의 내표면을 따라 신장되어 상기 제1 반도체막을 덮는 스페이서막을 형성하는 것을;

포함하는 반도체 메모리 소자의 제조방법.

청구항 7

제6항에 있어서,

상기 정보저장막을 형성하는 것은:

상기 스페이서막과 상기 제1 반도체막을 에치백하여 상기 정보저장 물질막의 일부 노출시키고; 그리고

상기 노출된 정보저장 물질막을 습식 에칭하여 상기 채널홀의 내측벽 상에 수직한 상기 정보저장막을 형성하는 것을;

포함하는 반도체 메모리 소자의 제조방법.

청구항 8

제7항에 있어서,

상기 상부 채널을 형성하는 것은:

상기 채널홀의 내표면을 따라 신장되어 상기 제1 반도체막을 덮으며 상기 이격 공간을 채우는 제2 반도체막을 형성하고; 그리고

상기 채널홀을 채우며 상기 제2 반도체막에 의해 둘러싸이는 절연성 충전막을 형성하는 것을;

포함하는 반도체 메모리 소자의 제조방법.

청구항 9

제7항에 있어서,

상기 상부 채널을 형성하는 것은:

상기 제1 반도체막을 제거하고;

상기 채널홀의 내표면을 따라 신장되어 상기 정보저장막을 덮으며 상기 이격 공간을 채우는 제2 반도체막을 형성하고; 그리고

상기 채널홀을 채우며 상기 제2 반도체막에 의해 둘러싸이는 절연성 충전막을 형성하는 것을;

포함하는 반도체 메모리 소자의 제조방법.

청구항 10

제5항에 있어서,

상기 채널홀의 내측벽을 리세스시키는 것을 더 포함하고,

상기 상부 채널은 상기 상기 리세스된 채널홀의 내측벽을 따라 울퉁불퉁하게 수직 신장하는 반도체 메모리 소자의 제조방법.

명 세 서

기 술 분 야

[0001] 본 발명은 반도체에 관한 것으로, 보다 구체적으로는 반도체 메모리 소자 및 그 제조방법에 관한 것이다.

배 경 기 술

[0002] 소형화, 다기능화 및/또는 낮은 제조 단가 등의 특성들로 인하여 반도체 소자는 전자 산업에서 중요한 요소로 각광 받고 있다. 전자 산업이 발전함에 따라 좀더 우수한 성능 및/또는 저렴한 가격의 반도체 소자들에 대한 요

Micron Ex. 1002, p. 526
Micron v. YMTC
IPR2025-00245

구가 증가되고 있다. 이러한 요구 사항들은 충족시키기 위하여 반도체 소자의 고집적화 경향이 심화되고 있으며, 특히 반도체 메모리 소자의 고집적화는 더욱 심화되고 있다.

[0003] 종래의 2차원적인 반도체 메모리 소자의 집적도는 단위 기억 셀이 점유하는 평면적이 주 결정 요인으로 작용될 수 있다. 이로써, 2차원적인 반도체 메모리 소자의 집적도는 미세 패턴의 형성 기술 수준에 크게 영향을 받을 수 있다. 하지만, 미세 패턴의 형성 기술은 점점 한계에 다다르고 있으며, 또한, 고가의 장비들이 요구되어 반도체 메모리 소자의 제조 단가가 증가되는 것 등의 문제점들이 야기되고 있다. 이러한 제약들을 극복하기 위하여, 3차원적으로 배열된 기억 셀들을 포함하는 3차원 반도체 메모리 소자가 제안된 바 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 종래 기술에서 요구되는 필요에 부응하기 위하여 안출된 것으로, 본 발명은 전기적 특성이 향상된 3차원 반도체 메모리 소자 및 그 제조방법을 제공함에 있다.

과제의 해결 수단

[0005] 상기 목적을 달성하기 위한 본 발명에 따른 반도체 메모리 소자 및 그 제조방법은 수직 채널을 복수개의 부분들로 나누어 형성하는 경우 그 접합 부위에서의 끊김 마진을 충분히 확보할 수 있는 것을 특징으로 한다. 본 발명은 수직 채널의 끊김을 억제하므로써 전류 경로를 충분히 확보할 수 있는 것을 다른 특징으로 한다.

[0006] 상기 특징을 구현할 수 있는 본 발명의 일 실시예에 따른 반도체 메모리 소자는: 기판 상에 수직 적층된 복수개의 게이트들; 상기 복수개의 게이트들을 수직 관통하여 상기 기판과 전기적으로 연결된, 상하 접합된 상부 채널과 하부 채널을 포함하는 수직 채널; 그리고 상기 수직 채널과 상기 복수개의 게이트들 사이에 배치된 정보저장막을 포함할 수 있다. 상기 상부 채널은 상기 복수개의 게이트들 중 일부들을 수직하게 관통하며 절연막이 채워지는 내부 공간을 정의하는 수직 패턴과, 상기 하부 채널의 상면을 따라 수평하게 신장되어 상기 하부 채널의 상면과 접하는 수평 패턴을 포함할 수 있다. 상기 수평 패턴은 상기 내부 공간의 바닥면을 이룰 수 있다.

[0007] 일 실시예의 소자에 있어서, 상기 하부 채널은 상기 기판과 동일한 물질을 포함할 수 있다. 예컨대, 상기 기판이 실리콘이면 상기 하부 채널은 단결정 실리콘을 포함할 수 있다.

[0008] 일 실시예의 소자에 있어서, 상기 수평 패턴은 상기 하부 채널의 상면의 폭과 동일하거나 큰 폭을 가질 수 있다.

[0009] 일 실시예의 소자에 있어서, 상기 수평 패턴은 상기 하부 채널의 측벽 상부를 둘러쌀 수 있다. 이에 따르면 상기 수평 패턴은 병 마개 형태를 가질 수 있다.

[0010] 일 실시예의 소자에 있어서, 상기 수직 패턴은: 상기 정보저장막에 접하는 수직한 제1 반도체막과, 상기 절연막과 접하여 상기 절연막을 둘러싸는 수직한 제2 반도체막으로 구성된 다중막; 그리고 상기 정보저장막 및 상기 절연막과 접하며 상기 절연막을 둘러싸는 제3 반도체막으로 구성된 단일막 중에서 어느 하나일 수 있다.

[0011] 일 실시예의 소자에 있어서, 상기 상부 채널은 울퉁불퉁하게 수직 연장될 수 있다.

[0012] 일 실시예의 소자에 있어서, 상기 정보저장막은: 상기 상부 채널을 따라 수직하게 연장되고 상기 하부 채널과 이격된, 상기 게이트들과 접하는 블록킹절연막과 상기 상부 채널과 접하는 터널절연막과 그리고 상기 블로킹절연막과 상기 터널절연막 사이에 개재된 트랩절연막을 포함할 수 있다.

[0013] 일 실시예의 소자에 있어서, 상기 정보저장막은: 상기 상부 채널을 따라 수직하게 연장되고 상기 하부 채널과 이격된, 상기 상부 채널에 접하는 터널절연막을 포함하는 제1 정보저장막; 그리고 상기 게이트들과 상기 수직 채널 사이에 개재되며 상기 게이트들의 상면들 및 하면들을 덮는 블록킹절연막을 포함하는 제2 정보저장막을 포함할 수 있다. 여기서, 상기 제1 및 제2 정보저장막들 중 어느 하나가 트랩절연막을 포함할 수 있다.

[0014] 일 실시예의 소자에 있어서, 상기 상부 채널은 상기 게이트들의 측벽들과 인접하고, 상기 상부 채널 중 상기 게이트들의 측벽 모서리들에 인접한 부분이 굴곡될 수 있다.

[0015] 상기 특징을 구현할 수 있는 본 발명의 다른 실시예에 따른 반도체 메모리 소자는: 기판 상에 배치된, 복수개의 절연막들 사이에 복수개의 게이트들이 삽입된 게이트 스택; 상기 게이트 스택을 수직 관통하는, 상기 기판을 노출시키는 하부 채널홀과 상기 하부 채널로부터 이어진 상부 채널홀을 포함하는 수직 채널홀; 상기 하부 채널홀

Micron Ex. 1002, p. 527
Micron v. YMTC
IPR2025-00245

을 채우며 상기 기판과 접합된 하부 채널과 상기 상부 채널홀을 채우며 상기 하부 채널에 접합된 상부 채널을 포함하는 수직 채널; 및 상기 수직 채널과 상기 게이트들 사이에 배치된 정보저장막을 포함할 수 있다. 상기 상부 채널은, 상기 상부 채널홀의 중심부를 차지하는 절연성 충전막과; 그리고 상기 충전막을 둘러싸는 반도체막을 포함할 수 있다. 상기 반도체막은 상기 상부 채널홀의 내측벽을 따라 수직하게 신장되어 상기 충전막의 측벽을 감싸는 수직 패턴과; 그리고 상기 하부 채널의 상면을 따라 수평하게 신장되어 상기 충전막의 바닥면을 감싸며 상기 하부 채널의 상면과 접하는 수평 패턴을 포함할 수 있다.

[0016] 다른 실시예의 소자에 있어서, 상기 하부 채널은 상기 게이트들 중 상기 기판에 인접한 적어도 하나의 게이트를 관통하는 단결정 반도체를 포함할 수 있다.

[0017] 다른 실시예의 소자에 있어서, 상기 상부 채널홀은 상기 하부 채널홀보다 큰 폭을 가질 수 있다.

[0018] 다른 실시예의 소자에 있어서, 상기 상부 채널에 인접하는 상기 절연막들의 측벽들은 상기 게이트들의 측벽들에 비해 리세스되어, 상기 상부 채널홀의 내측벽은 불균일한 표면을 가질 수 있다.

[0019] 다른 실시예의 소자에 있어서, 상기 상부 채널홀에 인접한 상기 상부 채널의 표면과 상기 정보저장막의 표면 중 적어도 어느 하나는 상기 상부 채널홀의 내측벽을 따라 불균일할 수 있다.

[0020] 다른 실시예의 소자에 있어서, 상기 정보저장막은 상기 상부 채널의 내측벽을 따라 수직하게 신장되어 상기 수직 패턴과 접할 수 있다. 상기 수평 패턴은 상기 정보저장막과 상기 하부 채널을 이격시킬 수 있다.

[0021] 다른 실시예의 소자에 있어서, 상기 하부 채널홀을 통해 상기 하부 채널에 인접하는 적어도 하나의 게이트와 상기 하부 채널 사이에 제공된 게이트 절연막을 더 포함할 수 있다.

[0022] 다른 실시예의 소자에 있어서, 상기 하부 채널은 상기 수평 패턴을 향해 돌출될 수 있다. 상기 수평 패턴은 상기 하부 채널의 측벽 상부를 둘러쌀 수 있다.

[0023] 다른 실시예의 소자에 있어서, 상기 반도체막은 U자형 단면을 가지는 다결정 반도체를 포함할 수 있다.

[0024] 다른 실시예의 소자에 있어서, 상기 수평 패턴은 상기 다결정 반도체를 포함하는 단일막 구조일 수 있다. 상기 수직 패턴은 상기 다결정 반도체를 포함하는 단일막 혹은 이중막 구조일 수 있다.

[0025] 상기 특징을 구현할 수 있는 본 발명의 또 다른 실시예에 따른 반도체 메모리 소자는: 기판 상에 적층된 적어도 하나의 하부 게이트와 복수개의 상부 게이트들; 상기 하부 게이트를 수직 관통하여 상기 기판에 접하는 하부 채널과, 상기 상부 게이트들을 수직 관통하여 상기 하부 채널과 접하는 상부 채널을 포함하는 수직 채널; 상기 상부 채널과 상기 상부 게이트들 사이에 배치된 상부 게이트 절연막; 및 상기 하부 채널과 상기 하부 게이트 사이에 배치된 하부 게이트 절연막을 포함할 수 있다. 상기 상부 채널은, 상기 상부 게이트들을 관통하는 절연 필라와; 상기 절연 필라의 측벽을 둘러싸는 반도체막과; 상기 반도체막으로부터 연장되어 상기 절연 필라의 밑면을 감싸면서 상기 하부 채널과 접하는 바디 콘택을 포함할 수 있다.

[0026] 또 다른 실시예의 소자에 있어서, 상기 상부 게이트 절연막은 상기 반도체막을 따라 수직 신장하여 상기 반도체막 및 상기 바디 콘택과 접할 수 있다. 상기 바디 콘택은 상기 상부 게이트 절연막을 상기 하부 채널로부터 이격시킬 수 있다.

[0027] 또 다른 실시예의 소자에 있어서, 상기 바디 콘택은 상기 하부 채널의 상면을 덮으면서 상기 하부 채널의 측벽 상부를 에워쌀 수 있다.

[0028] 또 다른 실시예의 소자에 있어서, 상기 상부 채널은, 상기 상부 게이트들의 측벽들과 인접하고 상기 상부 게이트들의 측벽 모서리들에 인접한 부분이 굴곡될 수 있다.

[0029] 또 다른 실시예의 소자에 있어서, 상기 하부 채널은 단결정 반도체를 포함할 수 있다. 상기 상부 채널은 다결정 반도체를 포함할 수 있다.

[0030] 또 다른 실시예의 소자에 있어서, 상기 상부 게이트 절연막은 상기 반도체막을 따라 수직 연장될 수 있다. 상기 게이트 절연막은 상기 반도체막과 접하는 터널산화막과, 상기 상부 게이트들과 접하는 블록킹산화막과, 그리고 상기 터널산화막과 상기 블록킹산화막 사이에 배치된 트랩절연막을 갖는 정보저장막을 포함할 수 있다. 상기 하부 게이트 절연막은 상기 하부 채널의 측벽에 배치된 상기 단결정 반도체의 산화막을 포함할 수 있다.

[0031] 또 다른 실시예의 소자에 있어서, 상기 상부 게이트들은 차례로 적층된 복수개의 메모리 게이트들과 적어도 하나의 상부 선택 게이트를 포함할 수 있다.

Micron Ex. 1002, p. 528
Micron v. YMTC
IPR2025-00245

[0032] 또 다른 실시예의 소자에 있어서, 상기 메모리 게이트들은 상기 기판 상에서 제1 수평 방향으로 신장되는 워드라인들을 구성할 수 있다. 상기 상부 선택 게이트는 상기 워드라인들의 상부에 배치되는 상기 제1 수평 방향으로 신장되는 상부 선택 라인을 구성할 수 있다. 상기 하부 게이트는 상기 워드라인들의 하부에 배치되는 하부 선택 라인을 구성할 수 있다.

[0033] 또 다른 실시예의 소자에 있어서, 상기 수직 채널과 전기적으로 연결되며, 상기 상부 선택 라인 위에서 상기 제1 수평 방향과 교차하는 제2 수평 방향으로 연장되는 비트라인을 더 포함할 수 있다.

[0034] 또 다른 실시예의 소자에 있어서, 상기 수직 채널의 상단에 불순물로 도핑된 드레인과; 그리고 상기 수직 채널들 사이의 기판에 상기 불순물로 도핑된 소오스를 더 포함할 수 있다. 상기 드레인은 상기 비트라인과 전기적으로 연결될 수 있다.

[0035] 상기 특징을 구현할 수 있는 본 발명의 일 실시예에 따른 반도체 메모리 소자의 제조방법은: 기판 상에, 상기 기판과 접합하는 하부 채널과; 그리고 상기 하부 채널을 노출시키는 채널홀을 포함하는 적층체를 형성하고; 상기 채널홀의 내표면을 따라 신장되어, 상기 채널홀의 내측벽과 상기 하부 채널의 상면을 덮는 정보저장 물질막을 형성하고; 상기 정보저장 물질막을 패터닝하여 상기 채널홀의 내측벽을 따라 수직하고 상기 하부 채널과는 상하 이격된 정보저장막을 형성하고; 그리고 상기 채널홀을 채우는, 상기 정보저장막을 따라 수직하게 신장하며 상기 하부 채널의 상면을 따라 수평하게 신장하여 상기 정보저장막과 상기 하부 채널 사이의 이격 공간을 차지하는 상부 채널을 형성하는 것을 포함할 수 있다.

[0036] 일 실시예의 방법에 있어서, 상기 정보저장막을 형성하는 것은 상기 정보저장막 아래의 상기 채널홀의 내측벽과 상기 하부 채널의 상면을 노출시키는 상기 이격 공간을 형성하는 것을 포함할 수 있다.

[0037] 일 실시예의 방법에 있어서, 상기 정보저장 물질막을 형성하는 것은: 상기 채널홀의 내표면을 따라 신장되어 상기 정보저장 물질막을 덮는 제1 반도체막을 형성하고; 그리고 상기 채널홀의 내표면을 따라 신장되어 상기 제1 반도체막을 덮는 스페이서막을 형성하는 것을 포함할 수 있다.

[0038] 일 실시예의 방법에 있어서, 상기 정보저장막을 형성하는 것은: 상기 스페이서막과 상기 제1 반도체막을 에치백하여 상기 정보저장 물질막의 일부 노출시키고; 그리고 상기 노출된 정보저장 물질막을 습식 에칭하여 상기 채널홀의 내측벽 상에 수직한 상기 정보저장막을 형성하는 것을 포함할 수 있다.

[0039] 일 실시예의 방법에 있어서, 상기 정보저장막을 형성하는 것은: 상기 스페이서막을 제거하는 것과; 그리고 상기 이격 공간을 형성하는 것을 포함할 수 있다.

[0040] 일 실시예의 방법에 있어서, 상기 상부 채널을 형성하는 것은: 상기 채널홀의 내표면을 따라 신장되어 상기 제1 반도체막을 덮으며 상기 이격 공간을 채우는 제2 반도체막을 형성하고; 그리고 상기 채널홀을 채우며 상기 제2 반도체막에 의해 둘러싸이는 절연성 충전막을 형성하는 것을 포함할 수 있다.

[0041] 일 실시예의 방법에 있어서, 상기 상부 채널을 형성하는 것은: 상기 제1 반도체막을 제거하고; 상기 채널홀의 내표면을 따라 신장되어 상기 정보저장막을 덮으며 상기 이격 공간을 채우는 제2 반도체막을 형성하고; 그리고 상기 채널홀을 채우며 상기 제2 반도체막에 의해 둘러싸이는 절연성 충전막을 형성하는 것을 포함할 수 있다.

[0042] 일 실시예의 방법에 있어서, 상기 채널홀의 내측벽을 리세스시키는 것을 더 포함할 수 있다. 상기 상부 채널은 상기 상기 리세스된 채널홀의 내측벽을 따라 울퉁불퉁하게 수직 신장할 수 있다.

[0043] 일 실시예의 방법에 있어서, 상기 정보저장 물질막을 형성하는 것은: 상기 채널홀의 내표면을 따라 신장되어 상기 채널홀의 내측벽 및 상기 하부 채널의 상면을 덮는 블록킹산화막을 형성하고; 상기 채널홀의 내표면을 따라 신장되어 상기 블로킹산화막을 덮는 트랩절연막을 형성하고; 그리고 상기 채널홀의 내표면을 따라 상기 트랩절연막을 덮는 터널산화막을 형성하는 것을 포함할 수 있다.

[0044] 일 실시예의 방법에 있어서, 상기 적층체를 형성하는 것은: 상기 기판 상에 복수개의 절연막들과 복수개의 희생막들을 교대로 적층하고; 상기 절연막들과 상기 희생막들을 관통하여 상기 기판을 노출시키는 상기 채널홀을 형성하고; 그리고 상기 채널홀의 일부를 채우며 상기 기판과 접합하는 상기 하부 채널을 형성하는 것을 포함할 수 있다.

[0045] 일 실시예의 방법에 있어서, 상기 적층체를 패터닝하여, 상기 기판을 노출시키며 상기 절연막들과 상기 희생막들의 측벽들을 노출시키는 트렌치를 형성하고; 상기 트렌치를 통한 에천트의 제공으로 상기 복수개의 희생막들을 제거하여 상기 절연막들 사이에 리세스 영역들을 형성하고; 상기 리세스 영역들을 전도체로 채워 상기 기판

Micron Ex. 1002, p. 529
Micron v. YMTC
IPR2025-00245

상에서 수직 적층되는 게이트들을 형성하고; 그리고 상기 상부 채널과 전기적으로 연결되는 비트라인을 형성하는 것을 더 포함할 수 있다.

[0046] 일 실시예의 방법에 있어서, 상기 트렌치를 통해 노출된 기판에 불순물을 주입하여 소오스를 형성하고; 그리고 상기 상부 채널의 상단에 상기 불순물을 주입하여 상기 비트라인과 전기적으로 연결되는 드레인을 형성하는 것을 더 포함할 수 있다.

[0047] 일 실시예의 방법에 있어서, 상기 게이트들을 형성하기 이전에, 상기 리세스 영역을 일부 채우는 제2 정보저장막을 형성하는 것과; 그리고 상기 트렌치를 통해 노출된 상기 하부 채널의 측벽에 게이트 절연막을 형성하는 것 중에서 어느 하나를 더 포함할 수 있다.

발명의 효과

[0048] 본 발명에 의하면, 벌크 구조의 하부 채널에 마카로니 구조의 상부 채널이 접속되어 수직 채널을 이루고, 하부 채널과 상부 채널 간의 끊김 마진이 확대될 수 있다. 따라서, 하부 채널과 상부 채널 간에 양호하고 안정적인 접속이 이루어져 안정적인 전류 경로가 제공되므로써 전기적 특성이 향상된 수직 플래시 메모리 소자를 구현할 수 있는 효과가 있다.

도면의 간단한 설명

[0049] 도 1a 내지 1k는 본 발명의 일 실시예에 따른 반도체 메모리 소자의 제조방법을 도시한 단면도들.

도 1l은 도 1k의 일부를 확대 도시한 단면도.

도 2a 내지 2d는 본 발명의 일 실시예에 따른 반도체 메모리 소자의 제조방법에 있어서 개구부 형성예를 도시한 단면도들.

도 2e는 도 2d의 변형예를 도시한 단면도.

도 3a 내지 3f는 본 발명의 다른 실시예에 따른 반도체 메모리 소자의 제조방법을 도시한 단면도들.

도 3g는 도 3f의 일부를 확대 도시한 단면도.

도 3h 및 3i는 도 3f의 변형예를 도시한 단면도들.

도 4a 내지 4g는 본 발명의 또 다른 실시예에 따른 반도체 메모리 소자의 제조방법을 도시한 단면도들.

도 4h는 도 4g의 변형예를 도시한 단면도.

도 5a 내지 5d는 본 발명의 또 다른 실시예에 따른 반도체 메모리 소자의 제조방법을 도시한 단면도들.

도 5e 내지 5g는 도 5d의 변형예들을 도시한 단면도들.

도 6a는 본 발명의 실시예에 따른 반도체 메모리 소자를 구비한 메모리 카드를 도시한 블록도.

도 6b는 본 발명의 실시예에 따른 반도체 메모리 소자를 응용한 정보 처리 시스템을 도시한 블록도.

발명을 실시하기 위한 구체적인 내용

[0050] 이하, 본 발명에 따른 반도체 메모리 소자 및 그 제조방법을 첨부한 도면을 참조하여 상세히 설명한다.

[0051] 본 발명과 종래 기술과 비교한 이점은 첨부된 도면을 참조한 상세한 설명과 특허청구범위를 통하여 명백하게 될 것이다. 특히, 본 발명은 특허청구범위에서 잘 지적되고 명백하게 청구된다. 그러나, 본 발명은 첨부된 도면과 관련해서 다음의 상세한 설명을 참조함으로써 가장 잘 이해될 수 있다. 도면에 있어서 동일한 참조부호는 다양한 도면을 통해서 동일한 구성요소를 나타낸다.

[0052] <실시예 1>

[0053] 도 1a 내지 1k는 본 발명의 일 실시예에 따른 반도체 메모리 소자의 제조방법을 도시한 단면도들이다. 도 1l은 도 1k의 일부를 확대 도시한 단면도이다.

[0054] 도 1a를 참조하면, 기판(101) 상에 몰드 스택(10)을 형성할 수 있다. 기판(101)은 반도체 기판, 가령 단결정 실

Micron Ex. 1002, p. 530
Micron v. YMTC
IPR2025-00245

리콘 웨이퍼를 포함할 수 있다. 몰드 스택(10)은 복수개의 절연막들(110)과 복수개의 희생막들(120)을 교대로 반복 적층하여 형성할 수 있다. 절연막들(110)은 실리콘산화막 또는 실리콘질화막일 수 있고, 희생막들(120)은 실리콘산화막, 실리콘질화막, 실리콘카바이드, 실리콘, 실리콘게르마늄 중에서 선택된 절연막들(110)에 대해 식각선택비가 있는 물질일 수 있다. 일례로, 절연막들(110)은 실리콘산화막(예: SiOx)이고 희생막들(120)은 실리콘질화막(예: SiNx)일 수 있다. 희생막들(120)의 두께들은 실질적으로 동일할 수 있다. 절연막들(110)의 두께들은 실질적으로 같거나 혹은 다를 수 있다. 일례로, 절연막들(110) 중에서 제3 절연막(110c)과 제7 절연막(110g)은 비교적 두껍게 형성할 수 있다. 본 실시예의 절연막들(110)의 적층수 및 두께는 단지 일례이며, 가령 도 3a와 같이 대체로 동일 또는 유사한 두께를 갖는 절연막들(110)을 적층할 수 있다. 도면부호 110에 알파벳 소문자를 첨가하여 절연막들(110)을 제1 내지 제9 절연막들(110a~110i)로 구분하기로 한다. 마찬가지로, 도면부호 120에 알파벳 소문자를 부가하여 희생막들(120)을 제1 내지 제8 희생막들(120a~120h)로 구분한다.

[0055] 도 1b를 참조하면, 몰드 스택(10)을 패터닝하여 수직 채널홀(103)을 형성할 수 있다. 일례로, 건식 식각 공정으로 몰드 스택(10)을 수직 관통하여 기판(101)을 노출시키는 수직 채널홀(103)을 형성할 수 있다. 오버에칭에 의해 기판(101)은 리세스될 수 있다. 수직 채널홀(103)은 그 수직 길이를 따라 그 폭이 일정하거나 혹은 달라질 수 있다. 편의상 본 명세서에선 수직 채널홀(103)의 폭이 대체로 일정한 경우에 대해 설명한다.

[0056] 도 1c를 참조하면, 수직 채널홀(103)의 일부를 채워 기판(101)과 접촉하는 필라 형태의 하부 채널(141)을 형성할 수 있다. 하부 채널(141)은 기판(101)과 동일한 도전형의 반도체 또는 진성 반도체로 형성할 수 있다. 일례로, 하부 채널(141)은 p형 실리콘 혹은 진성 실리콘을 포함할 수 있다. 하부 채널(141)은 증착 기술을 이용하여 다결정 반도체로 형성하거나, 혹은 에피 성장이나 레이저 결정화 기술을 이용하여 단결정 반도체로 형성할 수 있다. 본 실시예에 의하면, 하부 채널(141)은 단결정의 p형 실리콘 혹은 단결정의 진성 실리콘일 수 있다. 하부 채널(141)은 제1 희생막(120a) 및 제2 희생막(120b)의 측벽들과 접할 수 있고, 제3 절연막(110c)의 측벽과 일부 접할 수 있다.

[0057] 도 1d를 참조하면, 수직 채널홀(103)의 내벽을 따라 연장되어 몰드 스택(10)을 덮는 제1 정보저장막(151)과, 제1 정보저장막(151)을 덮는 제1 반도체막(143)을 형성할 수 있다. 제1 정보저장막(151)은 화학기상증착 혹은 원자층증착공정으로 비교적 얇은 두께를 가지며 하부 채널(141)과 접속되는 단일막 혹은 다중막 구조로 형성할 수 있으며, 이에 대해선 도 2a에서 상세히 설명된다. 제1 반도체막(143)은 화학기상증착 혹은 원자층증착공정으로 반도체, 가령 다결정 혹은 단결정 실리콘을 증착하여 형성할 수 있다. 절연체(예: SiOx)를 증착하여 제1 반도체막(143)을 덮는 대체로 얇은 두께를 갖는 스페이서막(190)을 더 형성할 수 있다.

[0058] 도 1e를 참조하면, 스페이서막(190)과 제1 반도체막(143) 및 제1 정보저장막(151)을 패터닝할 수 있다. 상기 패터닝에 의해 제1 반도체막(143)과 제1 정보저장막(151)은 수직 채널홀(103)의 내벽에 한정된 수직한 형태로 형성될 수 있다. 스페이서막(190)은 제거될 수 있다. 아울러, 상기 패터닝 공정을 통해 하부 채널(141)의 상면을 완전히 노출시키는 개구부(105)가 형성될 수 있다. 제1 정보저장막(151)은 도 2a에 도시된 바와 같이 블로킹절연막(151a), 트랩절연막(151b) 및 터널절연막(151c) 중에서 일부 혹은 모두를 포함할 수 있다. 상기 패터닝 공정으로 개구부(105)를 형성하는 것에 대해서는 도 2a 내지 2e에서 상세히 후술된다.

[0059] 도 1f를 참조하면, 개구부(105)를 일부 혹은 완전히 채우며 제1 반도체막(143)을 따라 수직 연장되어 몰드 스택(10)을 덮는 실린더형의 제2 반도체막(145)과, 실린더의 내부를 충전하며 제2 반도체막(145)을 덮는 절연성 충전막(191)을 순차 형성할 수 있다. 제2 반도체막(145)은 화학기상증착 혹은 원자층증착공정으로 제1 반도체막(143)과 동일 또는 유사한 물질, 가령 다결정 혹은 단결정 실리콘을 증착하여 형성할 수 있다. 충전막(191)은 실리콘산화막이나 실리콘질화막을 증착하여 형성할 수 있다. 충전막(191)을 형성하기 이전에 수소 어닐링 공정을 더 진행하여 제1 반도체막(143) 및 제2 반도체막(145) 중 적어도 어느 하나에 존재할 수 있는 결정 결함들을 치유할 수 있다.

[0060] 도 1g를 참조하면, 제9 절연막(110i)이 노출되도록 평탄화 공정을 진행할 수 있다. 이에 따라 제2 반도체막(145)은 수직 채널홀(103)의 내에 한정된 실린더 형태로 패터닝될 수 있고, 충전막(191)은 제2 반도체막(145)의 실린더 내부를 채우는 필라 형태로 패터닝될 수 있다. 제2 반도체막(145)과 충전막(191)은 상부 채널(142)을 구성할 수 있다. 상부 채널(142)은 충전막(191)을 제2 반도체막(145)이 둘러싸는 마카로니 구조를 포함할 수 있다. 본 실시예에 의하면, 마카로니 구조의 상부 채널(142)과 벌크 구조의 하부 채널(141)이 접하여 수직 채널(140)을 형성할 수 있다. 제2 반도체막(145)의 바닥을 구성하며 하부 채널(141)과 접속되는 바디 콘택(144)은 필라(pillar) 내지 벌크(bulk) 형태를 가질 수 있다. 일례에 따르면, 바디 콘택(144)의 두께(수직 길이)은 제2 반도체막(145)의 폭(수평 길이)과 실질적으로 동일하거나 혹은 더 클 수 있다. 따라서, 바디 콘택(144)에 의해

Micron Ex. 1002, p. 531
Micron v. YMTC
IPR2025-00245

하부 채널(141)과 상부 채널(142) 사이의 양호한 접촉이 구현될 수 있고, 하부 채널(141)과 상부 채널(142)의 접촉 면적 부족에 따른 수직 채널(140)의 끊김 현상이 없어지거나 최소화될 수 있다.

[0061] 도 1h를 참조하면, 수직 채널들(140) 사이에 기판(101)을 노출시키는 트렌치(107)를 형성할 수 있다. 일례로, 몰드 스택(10)을 건식 식각하여 몰드 스택(10)을 관통하는 트렌치(107)를 형성할 수 있다. 오버에칭에 의해 기판(101)은 리세스될 수 있다. 트렌치(107)에 의해 희생막들(120)과 절연막들(110)의 측면들이 노출될 수 있다.

[0062] 도 1i를 참조하면, 트렌치(107)를 통해 에천트를 제공하여 희생막들(120)을 선택적으로 제거할 수 있다. 일례로, 희생막들(120)이 실리콘질화막이고 절연막들(110)이 실리콘산화막인 경우 에천트는 인산(H_3PO_4)을 포함할 수 있다. 희생막들(120)의 선택적 제거로 인해 절연막들(110) 사이에는 하부 채널(141)과 제1 정보저장막(151)을 노출시키는 리세스 영역들(108)이 형성될 수 있다.

[0063] 도 1j를 참조하면, 리세스 영역들(108)의 외표면들을 따라 연장되는 제2 정보저장막(152)을 형성하고, 리세스 영역들(108)을 채우는 게이트들(161~168)을 형성할 수 있다. 이에 따라, 게이트들(161~168)이 절연막들(110)에 의해 상하 이격되어 수직 적층된 게이트 스택(20)을 형성할 수 있다. 제2 정보저장막(152)은 단일막 혹은 다중막 구조로 형성될 수 있다. 예컨대, 제1 정보저장막(151)이 트랩절연막과 터널절연막을 포함하고, 제2 정보저장막(152)은 블록킹절연막을 포함할 수 있다. 다른 예로, 제1 정보저장막(151)이 터널절연막을 포함하고, 제2 정보저장막(152)은 블록킹절연막과 트랩절연막을 포함할 수 있다. 또 다른 예로, 제1 정보저장막(151)은 터널절연막과 트랩절연막 및 블록킹절연막을 포함하고, 제2 정보저장막(152)은 블록킹절연막을 포함할 수 있다. 게이트들(161~168)은 실리콘, 금속, 금속질화물, 금속실리사이드 등과 같은 도전체를 증착한 후 패터닝하여 형성할 수 있다.

[0064] 게이트들(161~168) 중에서 제1 게이트(161) 및 제2 게이트(162)은 하부 채널(141)에 인접하고, 제3 내지 제8 게이트들(163~168)은 상부 채널(142)에 인접할 수 있다. 제1 게이트(161)와 제2 게이트(162)는 비메모리 선택 게이트로서 하부 선택 라인(또는 접지 선택 라인)을 구성할 수 있다. 제3 내지 제6 게이트들(163~166)은 메모리 게이트로서 워드라인을 구성할 수 있다. 그리고 제7 게이트(167) 및 제8 게이트(168)는 비메모리 선택 게이트로서 상부 선택 라인(또는 스트링 선택 라인)을 구성할 수 있다. 다른 예로, 제3 내지 제7 게이트들(163~167)은 워드라인을 구성할 수 있고, 제8 게이트(168)가 상부 선택 라인을 구성할 수 있다.

[0065] 트렌치(107)를 통해 노출된 기판(101)에 불순물을 주입하여 공통 소오스(104s)를 형성할 수 있다. 공통 소오스(104s)는 기판(101)과 다른 도전형으로 도핑될 수 있다. 일례로, 기판(101)은 p형 도전형으로 도핑되고, 공통 소오스(104s)는 n형 도전형으로 도핑될 수 있다.

[0066] 도 1k를 참조하면, 트렌치(107)를 채우는 매립절연막(171)을 형성할 수 있다. 일례로, 게이트 스택(20)을 덮도록 절연체를 증착한 후 평탄화하여 트렌치(107)를 매립하는 매립절연막(171)을 형성할 수 있다. 그리고 게이트 스택(20)을 덮는 층간절연막(173)을 형성하고, 층간절연막(173)을 관통하여 수직 채널(140)과 접속되는 플러그(182)와, 플러그(182)와 접속되어 수직 채널(140)과 전기적으로 연결되는 비트라인(180)을 층간절연막(173) 상에 형성할 수 있다. 층간절연막(173)을 형성하기 이전에 수직 채널(140)에 불순물을 주입하여 공통 소오스(104s)와 동일한 도전형을 갖는 드레인(104d)을 형성할 수 있다. 상기 일련의 공정들을 통해 3차원 반도체 메모리 소자(1), 가령 수직 낸드 플래시 메모리 소자를 형성할 수 있다. 게이트들(161~168)은 기판(101) 상에서 제1 수평 방향으로 신장하고, 비트라인(180)은 기판(101) 상에서 제1 수평 방향과 실질적으로 직교하는 제2 수평 방향으로 신장할 수 있다. 수직 채널(140)을 따라 수직 적층된 게이트들(161~168)은 셀 스트링을 구성할 수 있다.

[0067] 본 실시예의 반도체 메모리 소자(1)는, 도 1l에 도시된 바와 같이, 공통 소오스(104s)와 하부 채널(141) 사이에 전류의 경로(P)를 길어지게 하는 제1 정보저장막(151)이 형성되지 않는다. 그러므로, 공통 소오스(104s)와 수직 채널(140) 간의 전류 경로(P)가 최소화될 수 있고 전류 경로(P)의 길어짐에 따른 전기적 저항의 증가가 억제될 수 있다. 도 2a 내지 2e에서 후술한 것처럼 제1 정보저장막(151)이 수직한 형태로 패터닝되므로써 하부 채널(141)에서 상부 채널(142)로의 전류 경로(P)에 필요한 영역(144a)이 충분히 제공될 수 있다. 이처럼 바디 콘택(144)은 하부 채널(141)로부터 상부 채널(142)로의(혹은 그 역으로의) 전류 흐름에 필요한 충분한 공간 내지 경로를 제공할 수 있다. 따라서, 하부 채널(141)과 상부 채널(142) 사이에 양호한 전류 흐름이 구현될 수 있다. 이처럼 짧은 전류 경로 및/또는 양호한 전류 흐름은 반도체 메모리 소자(1)에 향상된 전기적 특성을 부여할 수 있다.

Micron Ex. 1002, p. 532
Micron v. YMTC
IPR2025-00245

[0068] <개구부 형성예 및 그 변형예>

[0069] 도 2a 내지 2d는 본 발명의 일 실시예에 따른 반도체 메모리 소자의 제조방법에 있어서 개구부 형성예를 도시한 단면도들이다. 도 2e는 도 2d의 변형예를 도시한 단면도이다.

[0070] 도 2a를 참조하면, 제1 정보저장막(151)은 터널절연막(151c)을 포함할 수 있다. 다른 예로, 제1 정보저장막(151)은 터널절연막(151c)과 트랩절연막(151b)을 포함할 수 있다. 또 다른 예로, 제1 정보저장막(151)은 터널절연막(151c)과 트랩절연막(151b) 및 블록킹절연막(151a)을 더 포함할 수 있다. 가령, 수직 채널홀(103)의 내벽에 실리콘산화막, 알루미늄산화막 또는 하프늄산화막을 증착하여 블록킹절연막(151a)을 형성하고, 블록킹절연막(151a) 상에 실리콘질화막을 증착하여 트랩절연막(151b)을 형성하고, 그리고 트랩절연막(151b) 상에 실리콘산화막을 증착하여 터널절연막(151c)을 형성할 수 있다. 제1 정보저장막(151) 상에 도 1d에 도시된 것처럼 제1 반도체막(143)을 형성하고, 제1 반도체막(143) 상에 스페이서막(190)을 형성할 수 있다.

[0071] 도 2b를 참조하면, 스페이서막(190)과 제1 반도체막(143)을 에치백할 수 있다. 상기 에치백에 의해 스페이서막(190)은 제1 반도체막(143)을 덮는 수직벽 형태로 패터닝되고, 제1 반도체막(143)은 수직벽 형태의 스페이서막(190)에 의해 가려지지 않는 부분이 식각되어 터널절연막(151c)을 일부 노출시킬 수 있다.

[0072] 도 2c를 참조하면, 습식 에칭으로 터널절연막(151c)을 수직한 형태로 패터닝할 수 있다. 스페이서막(190)이 터널절연막(151c)과 동일 또는 유사한 물질(예: 실리콘산화막)로 형성된 경우 스페이서막(190)은 터널절연막(151c)과 함께 에칭되어 제거될 수 있다. 터널절연막(151c)의 패터닝에 의해 트랩절연막(151b)이 일부 드러날 수 있다. 터널절연막(151c)의 에칭시 제1 반도체막(143)은 에칭되지 않거나 혹은 그 하단부(143a)가 에칭되어 일부 혹은 완전히 제거될 수 있다.

[0073] 도 2d를 참조하면, 트랩절연막(151b)과 블록킹절연막(151a)을 순차로 혹은 함께 습식 에칭으로 패터닝할 수 있다. 이로써 하부 채널(141)과는 이격된 제1 정보저장막(151)이 형성될 수 있다. 스페이서막(도 2c의 190)이 트랩절연막(151b) 또는 블록킹절연막(151a)과 동일 또는 유사한 물질로 형성된 경우 스페이서막(190)은 트랩절연막(151b) 또는 블록킹절연막(151a)과 함께 에칭되어 제거될 수 있다. 다른 예로, 제1 반도체막(143)의 하단부(도 2c의 143a)가 트랩절연막(151b) 또는 블록킹절연막(151a)과 함께 에칭되어 일부 혹은 전부 제거될 수 있다. 제1 정보저장막(151)은 하부 채널(141)의 상면을 따라 수평하게 신장되는 부분이 제거되어 수직한 형태로 패터닝될 수 있다. 이와 동시에 하부 채널(141)의 상면(141t)을 완전히 노출시키며 수직 채널홀(103)의 측벽(103s), 가령 제3 절연막(110c)의 측벽을 노출시키는 개구부(105)가 형성될 수 있다. 터널절연막(151c)의 습식 에칭시 수직 채널홀(103)의 측벽(103s), 가령 제3 절연막(110c)이 에칭되어, 도 2e에서처럼, 개구부(105)가 확장될 수 있다.

[0074] <실시예 2 및 그 변형예>

[0075] 도 3a 내지 3f는 본 발명의 다른 실시예에 따른 반도체 메모리 소자의 제조방법을 도시한 단면도들이다. 도 3g는 도 3f의 일부를 확대 도시한 단면도이다. 도 3h 및 3i는 도 3f의 변형예를 도시한 단면도들이다.

[0076] 도 3a를 참조하면, 기판(101) 상에 몰드 스택(10)을 형성하고, 몰드 스택(10)을 패터닝하여 기판(101)을 노출시키는 수직 채널홀(103)을 형성할 수 있다. 몰드 스택(10)은 제1 내지 제7 절연막들(110a~110g)과 제1 내지 제6 희생막들(120a~120f)을 교대로 적층하여 형성할 수 있다. 제1 내지 제6 희생막들(120a~120f)은 실질적으로 동일하거나 유사한 두께을 갖는 실리콘질화막을 포함할 수 있다. 제1 내지 제7 절연막들(110a~110g)은 실리콘산화막을 포함하고, 제2 내지 제7 절연막들(110b~110f)은 제1 절연막(110a)에 비해 두껍고 실질적으로 동일하거나 유사한 폭을 가질 수 있다. 수직 채널홀(103) 형성시 오버에칭에 의해 기판(101)은 리세스될 수 있다. 에피 성장 혹은 레이저 결정화 기술을 이용하여 수직 채널홀(103)의 일부를 채우며 기판(101)과 접촉하는 반도체, 가령 단결정 실리콘으로 구성된 하부 채널(141)을 형성할 수 있다. 하부 채널(141)은 제1 희생막(120a)과 접하고, 제2 절연막(110b)과는 일부 접할 수 있다.

[0077] 도 3b를 참조하면, 수직 채널홀(103)을 통해 노출된 제2 내지 제7 절연막들(110b~110f)을 리세스할 수 있다. 일례로, 불산(HF), 암모니아(NH_3), 염산(HCl) 또는 황산(H_2SO_4) 등을 포함하는 세정액으로 세정 공정을 진행하여 오염물을 제거할 때 제2 내지 제7 절연막들(110a~110f)이 에칭되어 리세스될 수 있다. 또는 에천트를 이용한 습식 에칭으로 제2 내지 제7 절연막들(110a~110f)을 리세스시킬 수 있다. 상기 세정 혹은 에칭 공정에 의해 수직 채널홀(103)은 울퉁불퉁한 내표면을 가질 수 있다. 다른 예로, 하부 채널(141)을 형성하기 이전에 상기 세정 혹

Micron Ex. 1002, p. 533
Micron v. YMTC
IPR2025-00245

은 에칭 공정으로 제1 절연막(110a) 및 제2 절연막(110b)을 리세스시킬 수 있다. 이에 따르면 하부 채널(141)의 측벽은 울퉁불퉁하게 형성될 수 있다.

[0078] 도 3c를 참조하면, 수직 채널홀(103)의 내표면을 따라 수직 연장된 제1 정보저장막(151)과 제1 반도체막(143)을 형성할 수 있다. 제1 정보저장막(151)과 제1 반도체막(143)은 수직 채널홀(103)의 내표면을 따라 울퉁불퉁하게 형성될 수 있다. 제1 정보저장막(151)과 제1 반도체막(143)은 도 2a 내지 2e를 참조하여 설명한 공정으로 형성할 수 있다. 이에 따르면, 하부 채널(141)을 완전히 노출시키는 개구부(105)가 형성될 수 있다.

[0079] 도 3d를 참조하면, 개구부(105)를 일부 혹은 완전히 채우며 제1 반도체막(143)을 따라 수직 연장된 실린더 형태의 제2 반도체막(145)을 형성할 수 있다. 그리고 제2 반도체막(145)을 덮도록 수직 채널홀(103)을 매립하는 충전막(191)을 형성할 수 있다. 제1 반도체막(143)과 제2 반도체막(145) 및 충전막(191)은 마카로니 구조의 상부 채널(142)을 구성하며, 상부 채널(142)은 하부 채널(141)과 접속되어 수직 채널(140)을 이룰 수 있다. 바디 콘택(144)은 하부 채널(141)에 비해 큰 폭을 갖는 필라 또는 벌크 형태를 가질 수 있다. 상부 채널(142)과 제1 정보저장막(151) 중 적어도 어느 하나는 수직 채널홀(103)의 불균일한 내표면을 따라 울퉁불퉁한 형태를 가질 수 있다.

[0080] 도 3e를 참조하면, 몰드 스택(10)을 패터닝하여 수직 채널들(140) 사이에 트렌치(107)를 형성하고, 트렌치(107)를 통해 에천트를 제공하여 희생막들(120)을 선택적으로 제거할 수 있다. 기판(101)은 트렌치(107)에 의해 노출될 수 있고, 오버에칭에 의해 리세스될 수 있다. 희생막들(120)의 선택적 제거에 의해 절연막들(110) 사이에 하부 채널(141)과 제1 정보저장막(151)을 노출시키는 리세스 영역들(108)이 형성될 수 있다.

[0081] 리세스 영역들(108)을 형성한 이후에, 도 3f 및 3g에서 후술한 것처럼 제2 정보저장막(152)을 형성하거나, 혹은 도 3h 및 3i에서 후술한 바와 같이 하부 채널(141)의 측벽을 산화시켜 게이트 절연막(153)을 형성할 수 있다.

[0082] 일례로서, 도 3f를 참조하면, 도 1j 및 1k에 도시된 바와 동일 또는 유사한 공정으로 리세스 영역들(108)을 제2 정보저장막(152)과 게이트들(161~166)로 채워 게이트 스택(20)을 형성하고, 트렌치(107)를 통해 노출된 기판(101)에 불순물을 주입하여 공통 소오스(104s)를 형성할 수 있다. 트렌치(107)를 매립절연막(171)으로 매립하고, 수직 채널(140)의 상단에 불순물을 주입하여 드레인(104d)을 형성하고, 층간절연막(173)을 게이트 스택(20) 상에 형성하고, 그리고 층간절연막(173)을 관통하는 플러그(182)를 통해 수직 채널(140)과 전기적으로 연결되는 비트라인(180)을 형성하므로써, 반도체 메모리 소자(2)를 형성할 수 있다.

[0083] 게이트들(161~166) 중에서 하부 채널(141)에 인접한 제1 게이트(161)는 비메모리 게이트로서 하부 선택 라인(혹은 접지 선택 라인)을 구성하고, 제2 내지 제5 게이트들(162~165)은 메모리 게이트로서 워드라인을 구성하고, 그리고 제6 게이트(166)는 비메모리 게이트로서 상부 선택 라인(혹은 스트링 선택 라인)을 구성할 있다. 다른 예로, 제2 내지 제4 게이트들(162~164)이 워드라인을 구성하고 제5 및 제6 게이트들(165~166)이 상부 선택 라인을 구성할 수 있다.

[0084] 도 3g를 도 3f와 같이 참조하면, 본 실시예의 반도체 메모리 소자(2)는 공통 소오스(104s)와 하부 채널(141) 사이에 짧은 전류 경로(P)가 가능해질 수 있다. 바디 콘택(144)은 하부 채널(141)에 비해 큰 폭을 갖는 필라 내지 벌크 형태일 수 있다. 아울러, 제2 내지 제6 게이트들(162~166)은 제1 정보저장막(151)쪽으로 돌출된 형태를 가질 수 있고, 이 돌출된 부분에서 상부 채널(142)이 굴곡될 수 있다. 이러한 굴곡부(149)에선 전계가 집중될 수 있고, 집중된 전계에 의해 캐리어의 이동도가 향상될 수 있다.

[0085] 다른 예로서, 도 3h를 참조하면, 리세스 영역들(108)에 의해 노출된 하부 채널(141)의 측벽을 산화시켜 하부 채널(141)을 둘러싸는 게이트 절연막(153)을 형성할 수 있다. 이 실시예에 따르면 제1 정보저장막(151)은 터널절연막, 트랩절연막 및 블록킹절연막을 모두 포함할 수 있다. 게이트 절연막(153)은 산소를 포함하는 가스 분위기에서 하부 채널(141)의 노출된 측벽을 선택적으로 산화시키는 열처리 공정을 통해 형성할 수 있다. 상기 열처리 공정에 있어서 산소와 하부 채널(141)을 구성하는 실리콘의 반응을 통해 게이트 절연막(153)이 형성될 수 있어 하부 채널(141)의 일부가 소모될 수 있다. 리세스 영역들(108)을 통해 제1 정보저장막(151)이 노출될 수 있으나, 제1 정보저장막(151)은 절연체로 구성되기 때문에 제1 정보저장막(151)의 측벽에는 게이트 절연막(153)이 형성되지 않을 수 있다. 게이트 절연막(153)은 트렌치(107)를 통해 노출된 기판(101)의 상면에 더 형성될 수 있다.

[0086] 도 3i를 참조하면, 리세스 영역들(108)을 전도체로 채워 게이트들(161~166)을 형성하여 게이트 스택(20)을 형성할 수 있다. 기판(101)에 공통 소오스(104s)를 형성한 후 트렌치(107)를 매립하는 매립절연막(171)을 형성할 수 있다. 수직 채널(140)의 상단에 불순물을 주입하여 드레인(104d)을 형성하고, 층간절연막(173)을 게이트 스택

Micron Ex. 1002, p. 534
Micron v. YMTC
IPR2025-00245

(20) 상에 형성할 수 있다. 그리고 층간절연막(173)을 관통하는 플러그(182)를 통해 수직 채널(140)과 전기적으로 연결되는 비트라인(180)을 형성하므로써 반도체 메모리 소자(3)를 형성할 수 있다.

[0087] <실시예 3 및 그 변형예>

[0088] 도 4a 내지 4g는 본 발명의 또 다른 실시예에 따른 반도체 메모리 소자의 제조방법을 도시한 단면도들이다. 도 4h는 도 4g의 변형예를 도시한 단면도이다.

[0089] 도 4a를 참조하면, 기판(101) 상에 하부 채널(141)이 형성된 제1 스택(10a)과, 제1 스택(10a) 상에 적층된 제2 스택(10b)을 포함하는 몰드 스택(10)을 형성할 수 있다. 예컨대, 기판(101) 상에 가령 2개층의 절연막들(110)과 3개층의 희생막들(120)을 교대로 적층하여 제1 스택(10a)을 형성하고, 제1 스택(10a)을 관통하는 제1 수직 채널홀(103a)을 형성할 수 있다. 제1 수직 채널홀(103a)을 채우며 기판(101)과 접속하는 가령 단결정 실리콘으로 구성된 하부 채널(141)을 형성할 수 있다. 제1 스택(10a) 상에 가령 7개층의 절연막들(110)과 6개층의 희생막들(120)을 교대로 적층하여 제2 스택(10b)을 형성할 수 있다. 제1 스택(10a)에서의 절연막들(110) 및 희생막들(120)의 수는 예시적이고, 제2 스택(10b)에서도 이와 마찬가지다. 본 실시예의 하부 채널(141)을 포함하는 몰드 스택(10)을 형성하는 것은 본 명세서에 개시된 다른 모든 실시예들에 적용될 수 있다.

[0090] 도 4b를 참조하면, 건식 식각 공정으로 몰드 스택(10)을 패터닝하여 제2 스택(10b)을 관통하여 제1 수직 채널홀(103a)에 상하 정렬되는 제2 수직 채널홀(103b)을 형성할 수 있다. 제2 수직 채널홀(103b)은 제1 수직 채널홀(103a)에 비해 큰 폭을 가질 수 있고, 하부 채널(141)을 노출시킬 수 있다. 제2 수직 채널홀(103b)의 형성시 제1 스택(10a)의 가장 위쪽에 형성된 절연막(110x)이 리세스되어 하부 채널(141)이 그 절연막(110x) 위로 돌출될 수 있다. 혹은 하부 채널(141)이 리세스되어 그 절연막(110x) 위로 돌출되지 않을 수 있다. 제2 수직 채널홀(103b)은 본 실시예처럼 고른 내표면을 가질 수 있다. 다른 예로, 제2 수직 채널홀(103b)의 내표면은 도 3b에 도시된 것처럼 울퉁불퉁하게 형성될 수 있다.

[0091] 도 4c를 참조하면, 제2 수직 채널홀(103b)의 내표면을 따라 수직 연장된 제1 정보저장막(151)과 제1 반도체막(143)을 형성할 수 있다. 제1 정보저장막(151)과 제1 반도체막(143)은 제2 수직 채널홀(103b)의 내표면을 따르는 프로파일을 가질 수 있다. 일례로, 제1 정보저장막(151)과 제1 반도체막(143)은 본 실시예처럼 곧게 수직 연장된 형태를 가지거나 혹은 도 3c에 도시된 것처럼 울퉁불퉁한 형태를 가질 수 있다. 제1 정보저장막(151)과 제1 반도체막(143)을 형성하는 것은 도 2a 내지 2e를 참조하여 설명한 공정을 채택할 수 있다. 이에 따르면, 하부 채널(141)의 상면 및 측벽 일부를 노출시키는 개구부(105)가 형성될 수 있다.

[0092] 도 4d를 참조하면, 개구부(105)를 일부 혹은 완전히 채우며 제1 반도체막(143)을 따라 수직 연장된 실린더 형태의 제2 반도체막(145)과, 제2 수직 채널홀(103b)을 매립하는 충전막(191)을 형성할 수 있다. 제1 반도체막(143)과 제2 반도체막(145) 및 충전막(191)은 마카로니 구조를 갖는 상부 채널(142)을 구성하며, 상부 채널(142)은 하부 채널(141)과 접속되어 수직 채널(140)을 이룰 수 있다. 바디 콘택(144)은 하부 채널(141)에 비해 큰 폭을 가지며, 하부 채널(141)의 상면을 캡핑하며 상단부를 감싸는 필라 내지 병 마개(bottlecap) 형태일 수 있다.

[0093] 도 4e를 참조하면, 수직 채널들(140) 사이에 트렌치(107)를 형성할 수 있다. 일례로, 몰드 스택(10) 상에 실리콘산화막이나 실리콘질화막으로 캡핑절연막(112)을 형성한 후 이 캡핑절연막(112)을 마스크로 이용하는 건식 식각 공정으로 몰드 스택(10)을 패터닝하여 기판(101)을 노출시키는 트렌치(107)를 형성할 수 있다. 캡핑절연막(112)을 형성하기 이전에 수직 채널(140)과 접속하는 제3 반도체막(147)을 형성할 수 있다. 제3 반도체막(147)은 수직 채널(140)의 상단을 제거하여 홀(104)을 형성하고, 이 홀(104)을 반도체로 채워 형성할 수 있다. 제3 반도체막(147)은 기판(101)에 도핑된 불순물(예; p형 불순물)과 다른 도전형의 불순물(예: n형 불순물)로 도핑되어 있을 수 있어 드레인 역할을 할 수 있다. 또는 상기 다른 도전형의 불순물을 제3 반도체막(147)에 주입하여 드레인을 형성할 수 있다.

[0094] 도 4f를 참조하면, 트렌치(107)를 통해 에천트를 제공하여 희생막들(120)을 선택적으로 제거하여 리세스 영역들(108)을 형성할 수 있다. 리세스 영역들(108)을 형성한 이후에, 도 4g에서 후술한 것처럼 제2 정보저장막(152)을 형성하거나 혹은 도 4h에서 후술한 바와 같이 하부 채널(141)의 측벽을 산화시켜 게이트 절연막(153)을 형성할 수 있다.

[0095] 예컨대, 도 4g에 도시된 바와 같이, 리세스 영역들(108)을 제2 정보저장막(152)과 게이트들(161~168)로 채워 게이트 스택(20)을 형성하고, 트렌치(107)를 통해 노출된 기판(101)에 불순물을 주입하여 공통 소오스(104s)를 형성할 수 있다. 트렌치(107)를 매립하며 게이트 스택(20)을 덮는 매립절연막(175)을 형성하고, 제3 반도체막

Micron Ex. 1002, p. 535
Micron v. YMTC
IPR2025-00245

(147)과 접속하는 플러그(182)를 형성하고, 플러그(182)와 전기적으로 연결되는 비트라인(180)을 매립절연막(175) 상에 형성하므로써, 반도체 메모리 소자(4)를 형성할 수 있다. 게이트들(161~168) 중에서 제1 게이트(161) 및 제2 게이트(162)는 하부 선택 게이트, 제3 내지 제6 게이트들(163~166)은 메모리 게이트, 그리고 제7 게이트(167) 및 제8 게이트(168)는 상부 선택 게이트로 구분될 수 있다.

[0096] 다른 예로, 도 4h에 도시된 것처럼, 리세스 영역들(108)에 의해 노출된 하부 채널(141)의 측벽을 열 공정으로 산화시켜 하부 채널(141)의 측벽을 둘러싸는 게이트 절연막(153)을 형성할 수 있다. 게이트 절연막(153)은 트렌치(107)를 통해 노출된 기판(101)의 상면에 더 형성될 수 있다. 제1 정보저장막(151)은 터널절연막, 트랩절연막 및 블록킹절연막 모두를 포함할 수 있다. 리세스 영역들(108)을 채우는 게이트들(161~168)을 형성하여 게이트 스택(20)을 형성할 수 있다. 트렌치(107)를 통해 노출된 기판(101)에 불순물을 주입하여 공통 소오스(104s)를 형성하고, 트렌치(107)를 매립하며 게이트 스택(20)을 덮는 매립절연막(175)을 형성할 수 있다. 그리고 제3 반도체막(147)과 접속하는 플러그(182)를 형성하고, 플러그(182)와 전기적으로 연결되는 비트라인(180)을 매립절연막(175) 상에 형성하므로써, 반도체 메모리 소자(5)를 형성할 수 있다.

[0097] <실시예 4 및 그 변형예들>

[0098] 도 5a 내지 5d는 본 발명의 또 다른 실시예에 따른 반도체 메모리 소자의 제조방법을 도시한 단면도들이다. 도 5e 내지 5g는 도 5d의 변형예들을 도시한 단면도들이다.

[0099] 도 5a를 참조하면, 도 1a 내지 도 1e에서 설명된 바와 동일 또는 유사한 공정으로 기판(101) 상에 절연막들(110)과 희생막들(120)이 교대로 적층된 몰드 스택(10)을 형성하고, 몰드 스택(10)을 관통하여 기판(101)을 노출시키는 수직 채널홀(103)을 형성하고, 수직 채널홀(103)의 일부를 채우며 기판(101)과 접속되는 하부 채널(141)을 형성할 수 있다. 도 2a 내지 2e에 도시된 공정으로 수직 채널홀(103)의 내벽을 따라 수직한 제1 정보저장막(151) 및 제1 반도체막(143), 그리고 하부 채널(141)을 드러내는 개구부(105)를 형성할 수 있다.

[0100] 도 5b를 참조하면, 제1 반도체막(143)을 선택적으로 제거할 수 있다. 제1 반도체막(143)의 제거는 건식 혹은 습식 에칭을 이용할 수 있다. 예컨대, 불소(F), 염소(Cl), 브롬(Br)과 같은 할로겐 원소를 이용한 열 에칭(thermal etching) 공정으로 제1 정보저장막(151)의 손상없이 제1 반도체막(143)을 선택적으로 제거할 수 있다.

[0101] 도 5c를 참조하면, 제1 정보저장막(151)을 따라 수직 연장되며 개구부(105)를 일부 혹은 전부를 채우는 실린더 형태의 제2 반도체막(145)을 형성하고 수직 채널홀(103)을 채우는 충전막(191)을 형성하여 마카로니 구조의 상부 채널(142)을 형성할 수 있다. 상부 채널(142)은 하부 채널(141)과 접속되어 수직 채널(140)을 형성할 수 있다. 바디 콘택(144)은 필라 내지 벌크 형태를 가지고 있어 하부 채널(141)에서 상부 채널(142)로의 전류 흐름에 필요한 충분한 공간을 제공할 수 있다. 제1 반도체막(143)이 제거되므로 제1 반도체막(143)에 존재할 수 있는 결정 결함을 치유하는 공정이 스킵될 수 있다.

[0102] 도 5d를 참조하면, 도 1h 내지 도 1k에서 설명한 바와 동일 또는 유사한 공정들을 적용하여 트렌치(107)를 채우는 매립절연막(171)에 의해 전기적으로 분리된 게이트들(161~168)이 수직 적층되고 제2 정보저장막(152)을 포함하는 게이트 스택(20)과, 게이트 스택(20) 상에 형성된 층간절연막(173) 상에 배치되고 층간절연막(173)을 관통하는 플러그(182)를 통해 수직 채널(140)과 전기적으로 연결되는 비트라인(180)을 포함하는 반도체 메모리 소자(6)를 형성할 수 있다. 반도체 메모리 소자(6)는 필라 내지 벌크 형태를 갖는 바디 콘택(144)을 포함할 수 있다. 이에 따라, 하부 채널(141)과 상부 채널(142)이 끊기는 현상이 억제되어 하부 채널(141)과 상부 채널(142) 사이에 양호한 전류 흐름이 구현될 수 있다.

[0103] 다른 예로, 도 3a 내지 도 3f에서 설명한 바와 동일 또는 유사한 공정을 적용하여 전계 집중을 유도할 수 있는 울퉁불퉁한 형태의 수직 채널(140)을 갖는 도 5e의 반도체 메모리 소자(7)를 형성할 수 있다. 또 다른 예로서, 도 3h 및 3i에서 설명한 바와 동일 또는 유사한 공정을 채택하여 하부 채널(141)의 측벽을 둘러싸는 게이트 절연막(153)을 포함하는 도 5f의 반도체 메모리 소자(8)를 형성할 수 있다. 또 다른 예로서, 도 4a 내지 도 4g에서 설명한 바와 동일 또는 유사한 공정으로 하부 채널(141)의 상단부를 캡핑하는 바디 콘택(144)을 포함하는 도 5g의 반도체 메모리 소자(9)를 형성할 수 있다.

[0104] <응용예>

[0105] 도 6a는 본 발명의 실시예에 따른 반도체 메모리 소자를 구비한 메모리 카드를 도시한 블록도이다. 도 6b는 본

Micron Ex. 1002, p. 536
Micron v. YMTC
IPR2025-00245

발명의 실시예에 따른 반도체 메모리 소자를 응용한 정보 처리 시스템을 도시한 블록도이다.

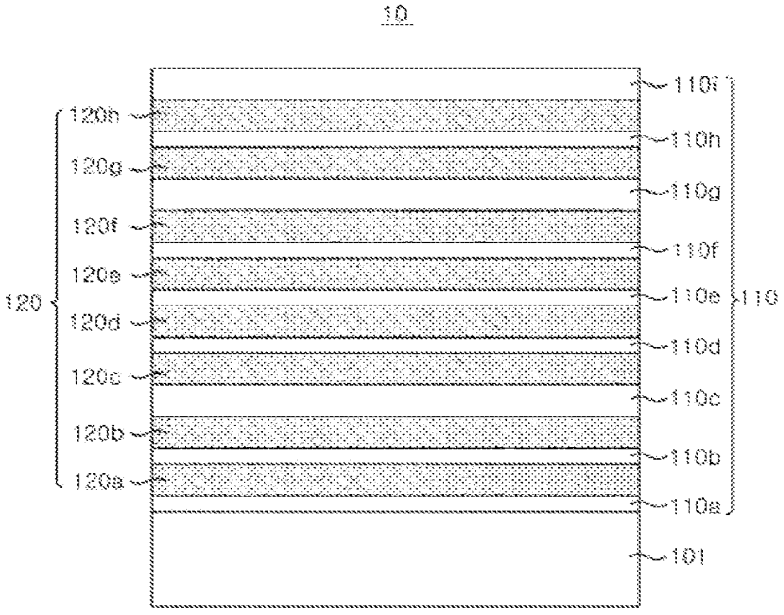
[0106] 도 6a를 참조하면, 상술한 본 발명의 실시예들에 따른 반도체 메모리 소자들(1~9) 중 적어도 어느 하나를 포함하는 플래시 메모리(1210)는 메모리 카드(1200)에 응용될 수 있다. 일례로, 메모리 카드(1200)는 호스트와 플래시 메모리(1210) 간의 제반 데이터 교환을 제어하는 메모리 컨트롤러(1220)를 포함할 수 있다. 에스램(1221)은 중앙처리장치(1222)의 동작 메모리로서 사용될 수 있다. 호스트 인터페이스(1223)는 메모리 카드(1200)와 접속되는 호스트의 데이터 교환 프로토콜을 구비할 수 있다. 오류 수정 코드(1224)는 플래시 메모리(1210)로부터 독출된 데이터에 포함되는 오류를 검출 및 정정할 수 있다. 메모리 인터페이스(1225)는 플래시 메모리(1210)와 인터페이싱할 수 있다. 중앙처리장치(1222)는 메모리 컨트롤러(1220)의 데이터 교환을 위한 제반 제어 동작을 수행할 수 있다.

[0107] 도 6b를 참조하면, 정보 처리 시스템(1300)은 본 발명의 실시예들에 따른 반도체 메모리 소자들(1~9) 중 적어도 어느 하나를 구비한 메모리 시스템(1310)을 포함할 수 있다. 정보 처리 시스템(1300)은 모바일 기기나 컴퓨터 등을 포함할 수 있다. 일례로, 정보 처리 시스템(1300)은 메모리 시스템(1310)과 각각 시스템 버스(1360)에 전기적으로 연결된 모뎀(1320), 중앙처리장치(1330), 램(1340), 유저인터페이스(1350)를 포함할 수 있다. 메모리 시스템(1310)은 플래시 메모리(1311)와 메모리 컨트롤러(1312)를 포함하며, 도 6a의 메모리 카드(1200)와 실질적으로 동일하게 구성될 수 있다. 이러한 메모리 시스템(1310)에는 중앙처리장치(1330)에 의해서 처리된 데이터 또는 외부에서 입력된 데이터가 저장될 수 있다. 정보 처리 시스템(1300)은 메모리 카드, 반도체 디스크 장치(Solid State Disk), 카메라 이미지 프로세서(Camera Image Sensor) 및 그 밖의 응용 칩셋(Application Chipset)으로 제공될 수 있다. 일례로, 메모리 시스템(1310)은 반도체 디스크 장치(SSD)로 구성될 수 있으며, 이 경우 정보 처리 시스템(1300)은 대용량의 데이터를 메모리 시스템(1310)에 안정적으로 그리고 신뢰성있게 저장할 수 있다.

[0108] 이상의 발명의 상세한 설명은 개시된 실시 상태로 본 발명을 제한하려는 의도가 아니며, 본 발명의 요지를 벗어나지 않는 범위 내에서 다양한 다른 조합, 변경 및 환경에서 사용할 수 있다. 첨부된 청구범위는 다른 실시 상태도 포함하는 것으로 해석되어야 할 것이다.

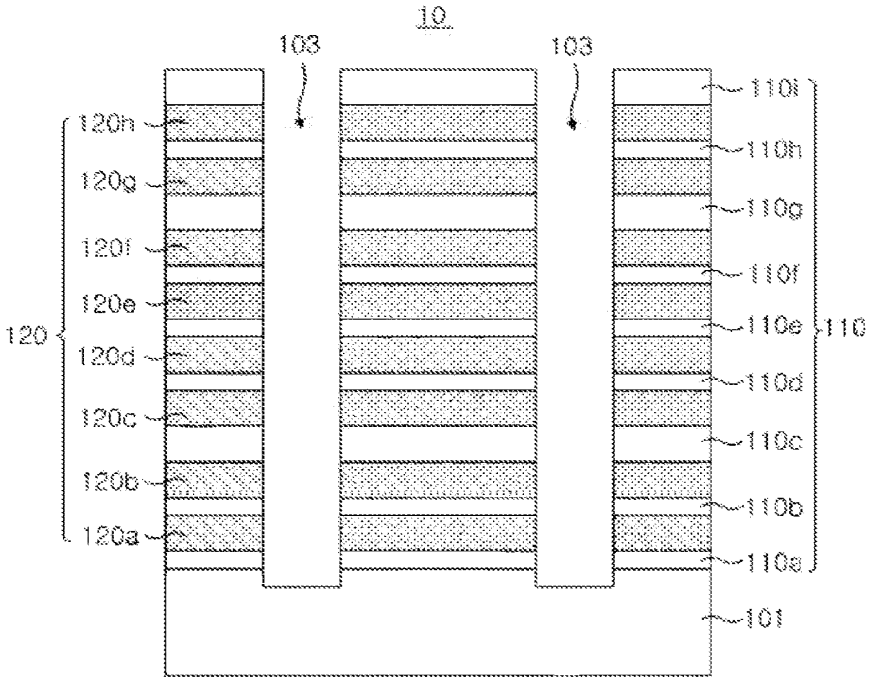
도면

도면1a

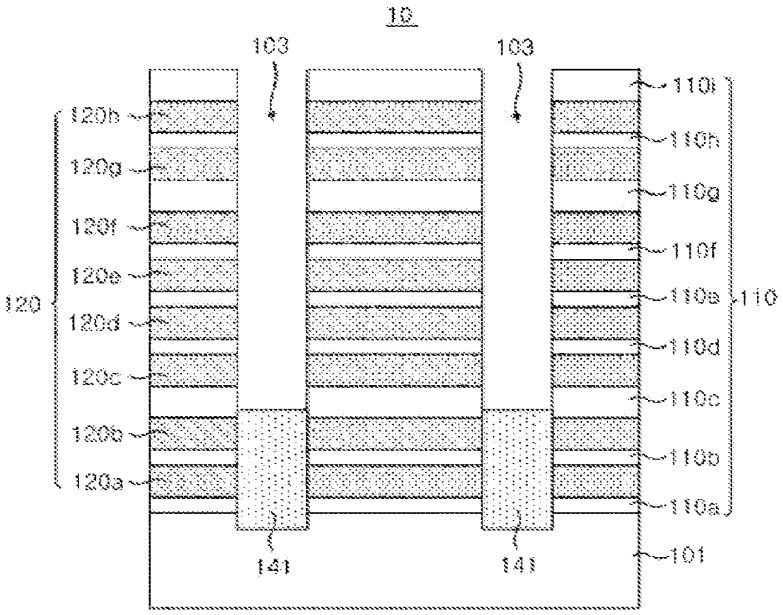


Micron Ex. 1002, p. 537
Micron v. YMTC
IPR2025-00245

도면1b

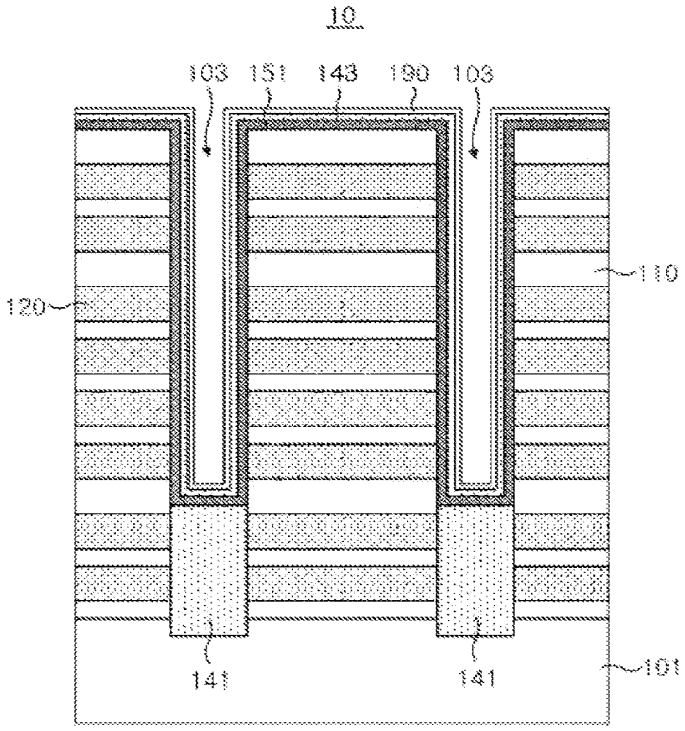


도면1c

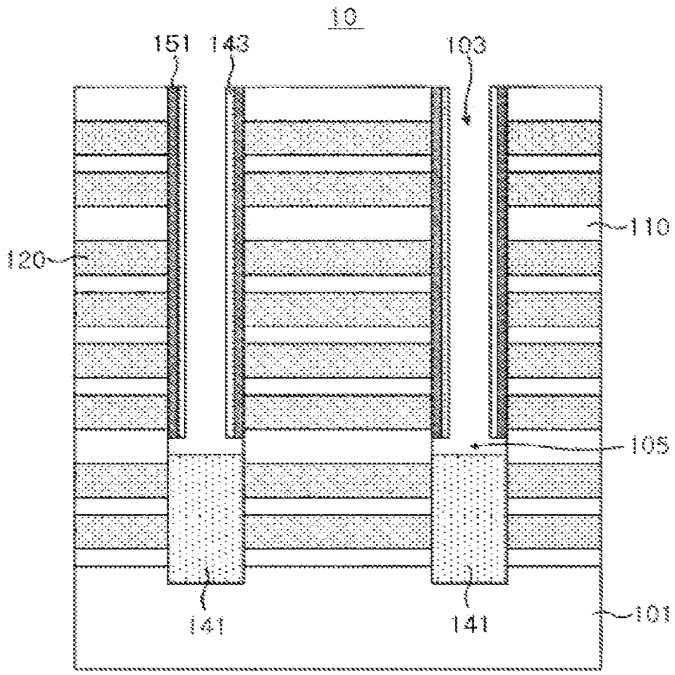


Micron Ex. 1002, p. 538
Micron v. YMTC
IPR2025-00245

도면1d

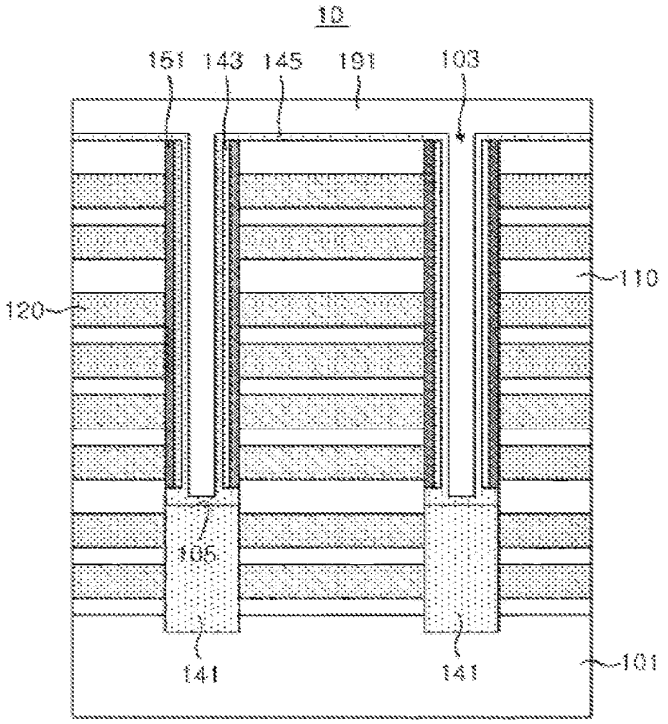


도면1e

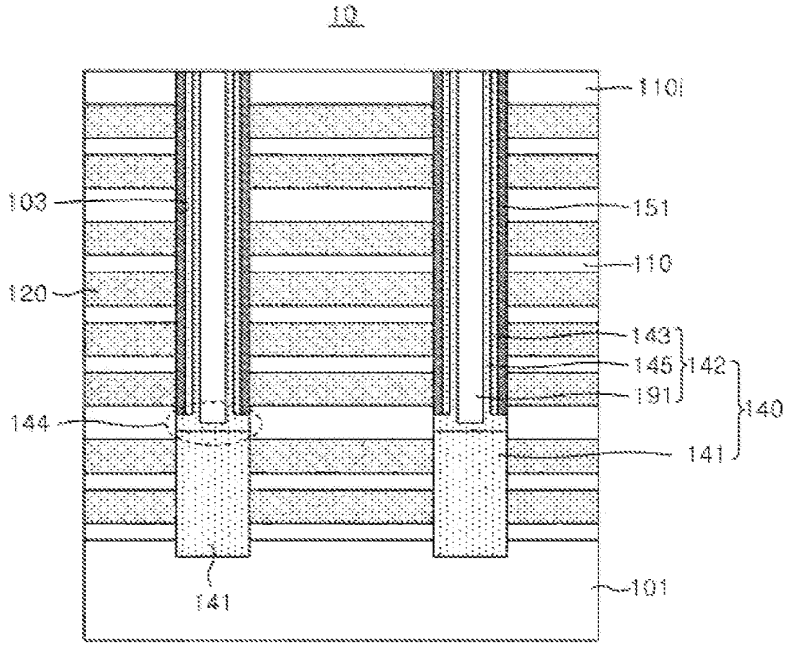


Micron Ex. 1002, p. 539
Micron v. YMTC
IPR2025-00245

도면1f

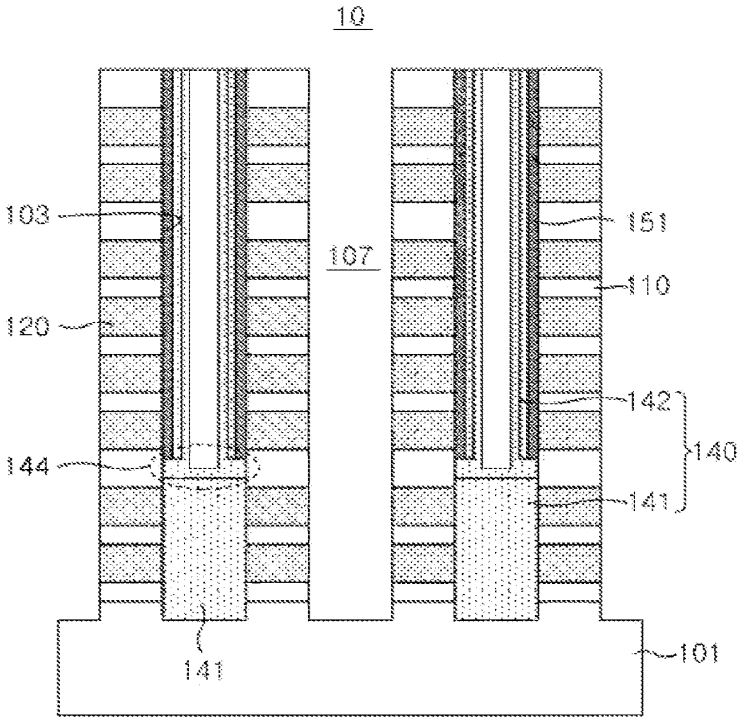


도면1g

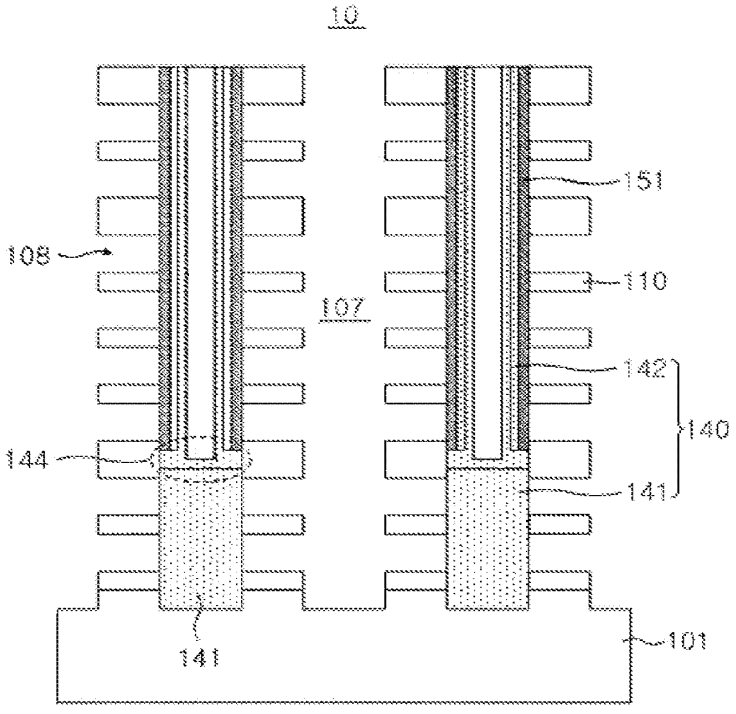


Micron Ex. 1002, p. 540
Micron v. YMTC
IPR2025-00245

도면1h

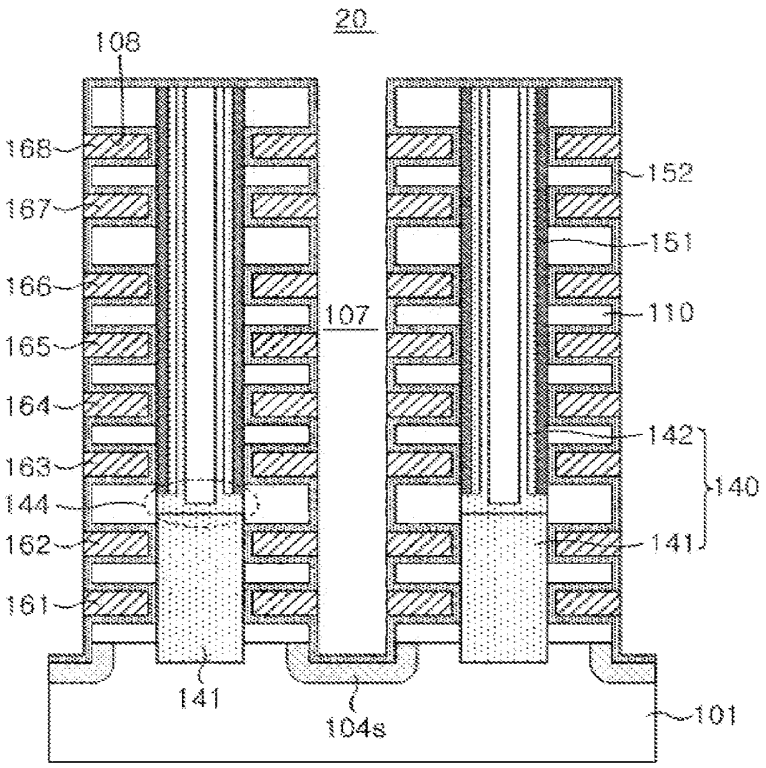


도면1i



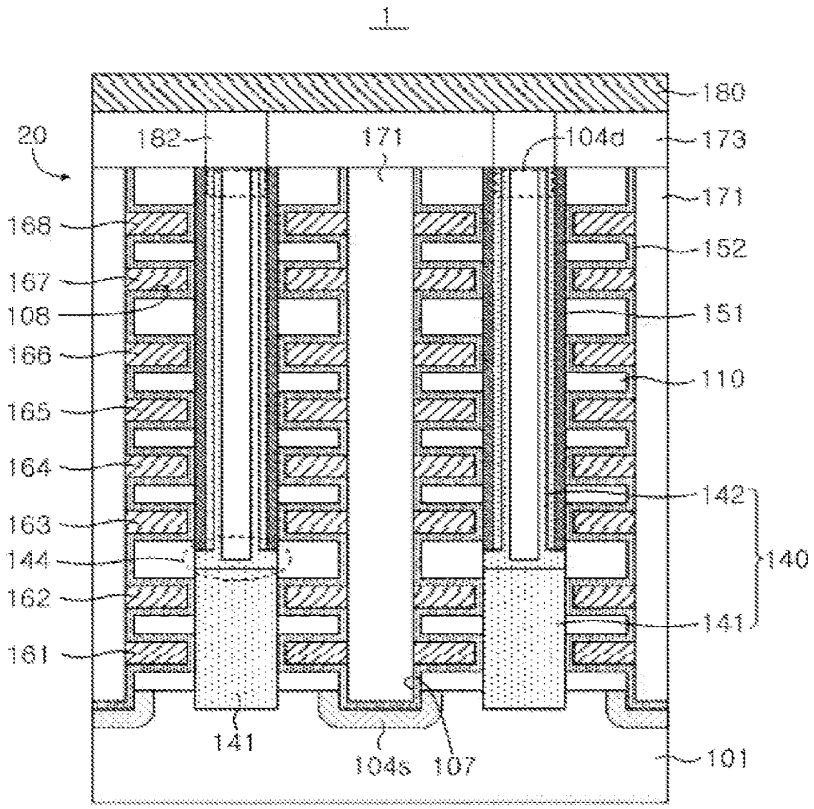
Micron Ex. 1002, p. 541
Micron v. YMTC
IPR2025-00245

도면1

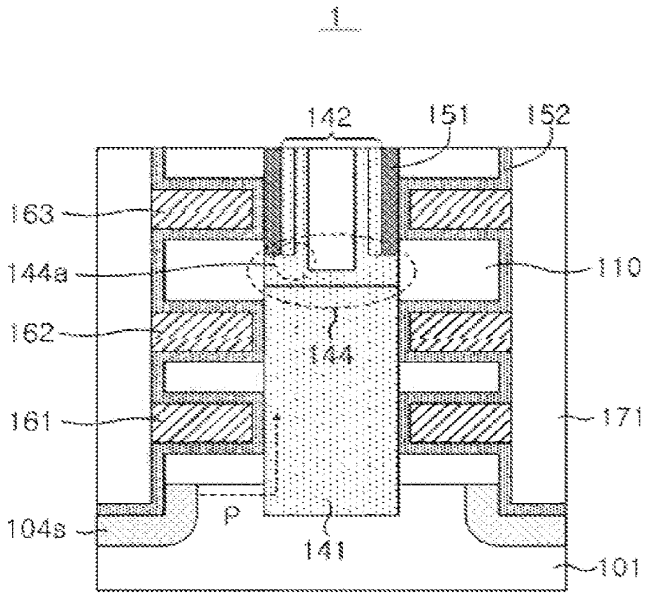


Micron Ex. 1002, p. 542
Micron v. YMTC
IPR2025-00245

도면1a

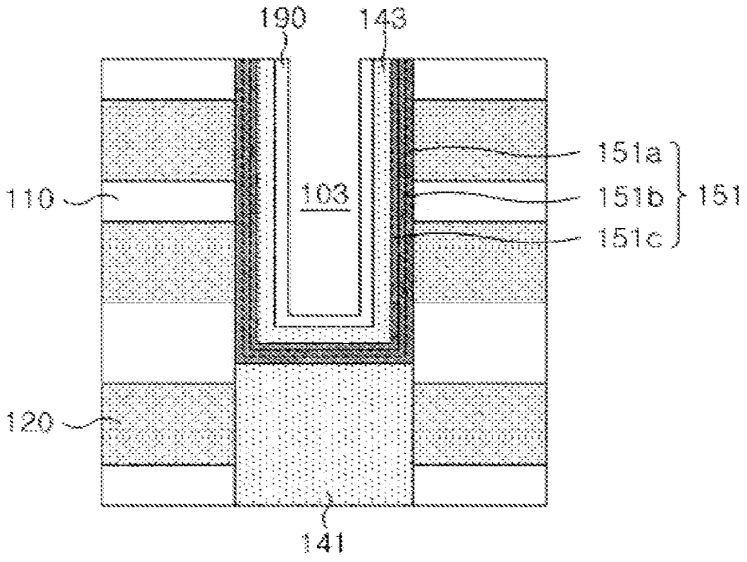


도면1b

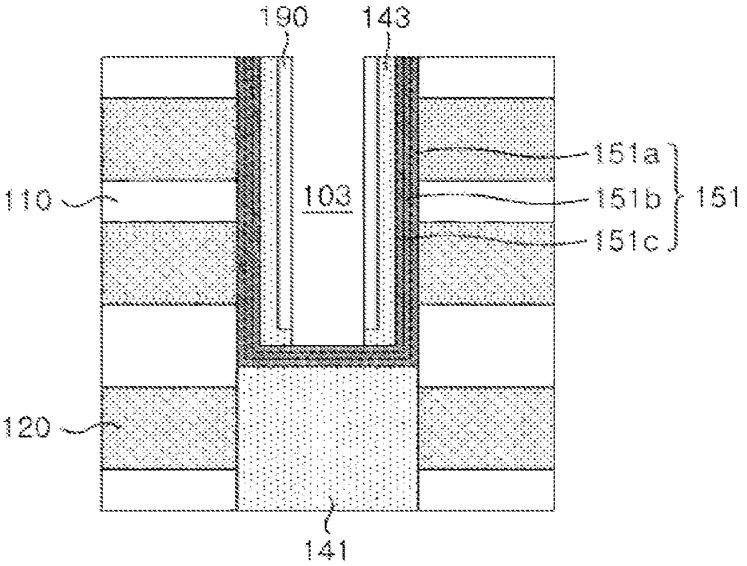


Micron Ex. 1002, p. 543
Micron v. YMTC
IPR2025-00245

도면2a

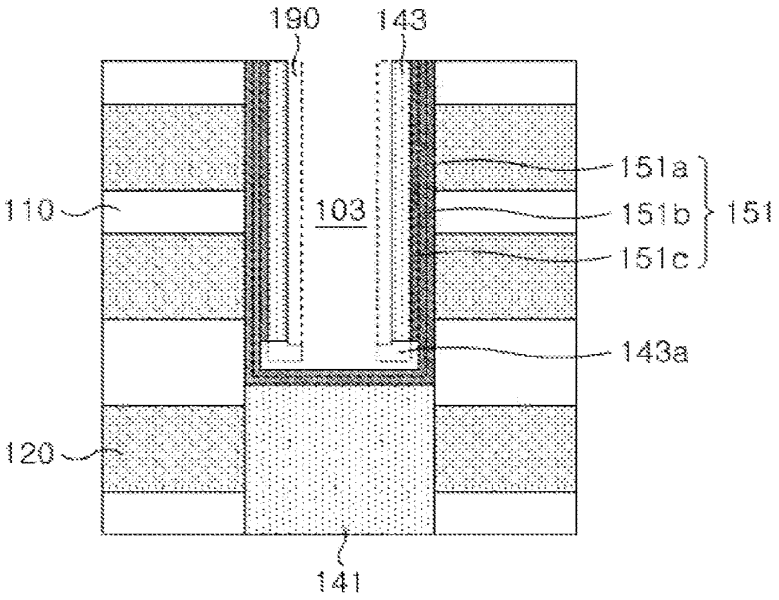


도면2b

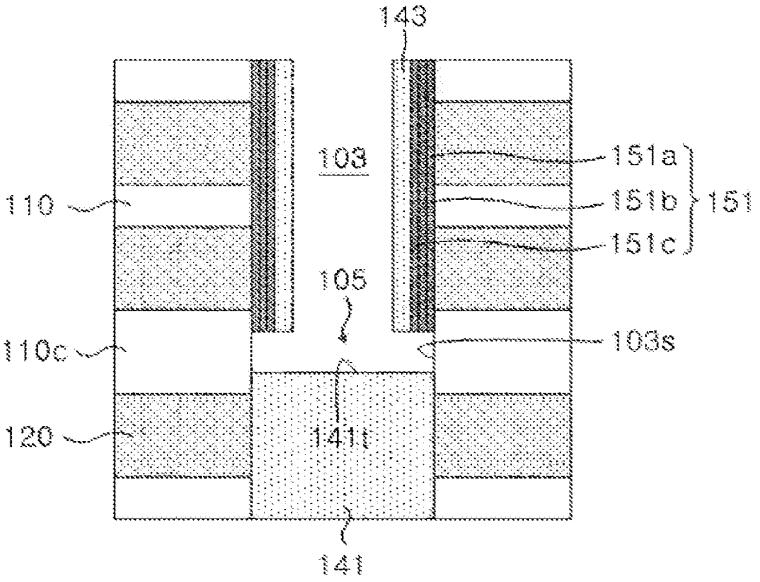


Micron Ex. 1002, p. 544
Micron v. YMTC
IPR2025-00245

도면2c

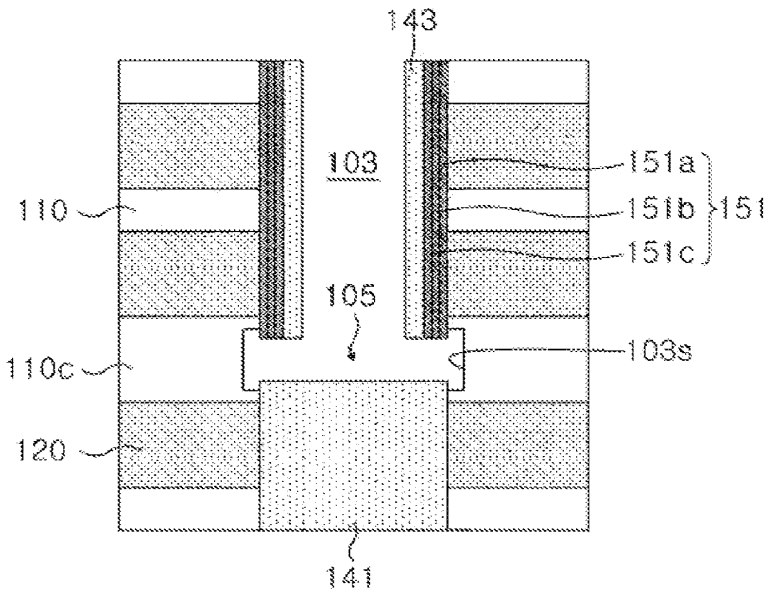


도면2d

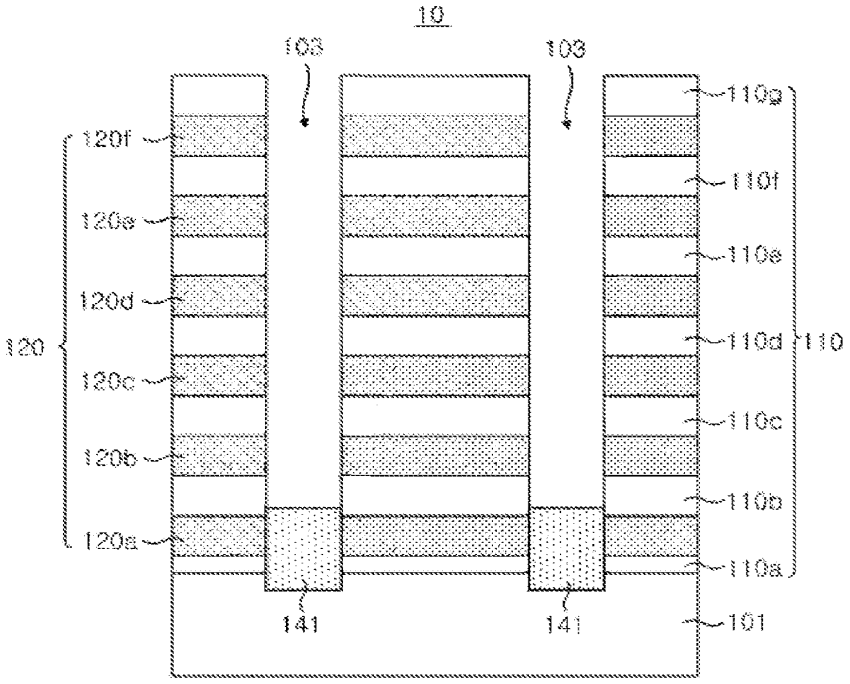


Micron Ex. 1002, p. 545
Micron v. YMTC
IPR2025-00245

도면2e

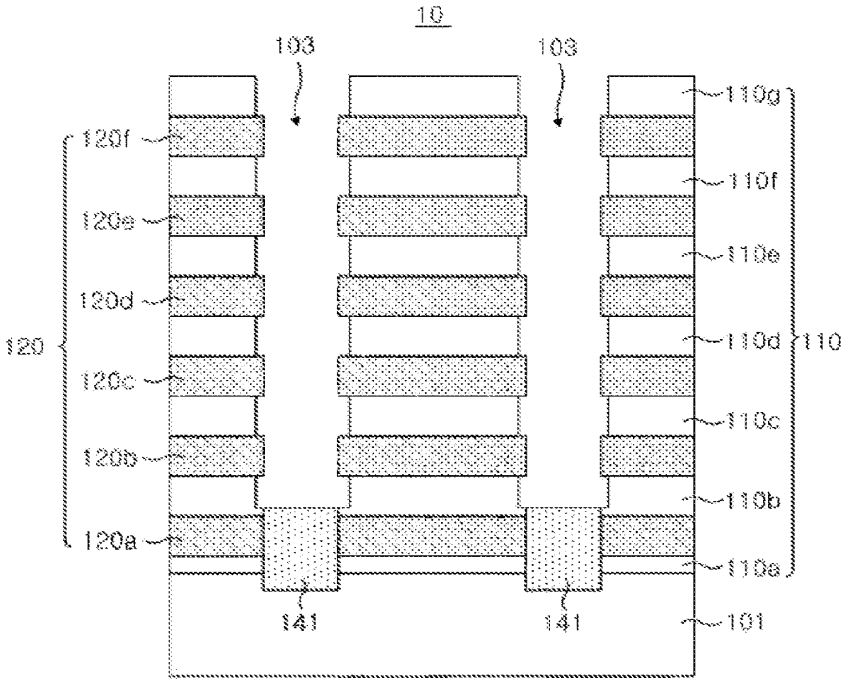


도면3a

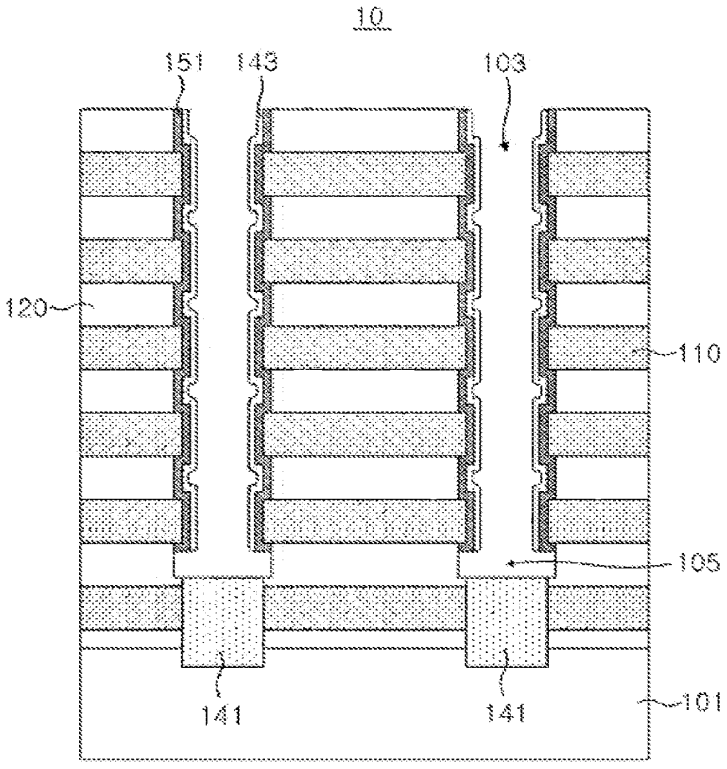


Micron Ex. 1002, p. 546
Micron v. YMTC
IPR2025-00245

도면3b

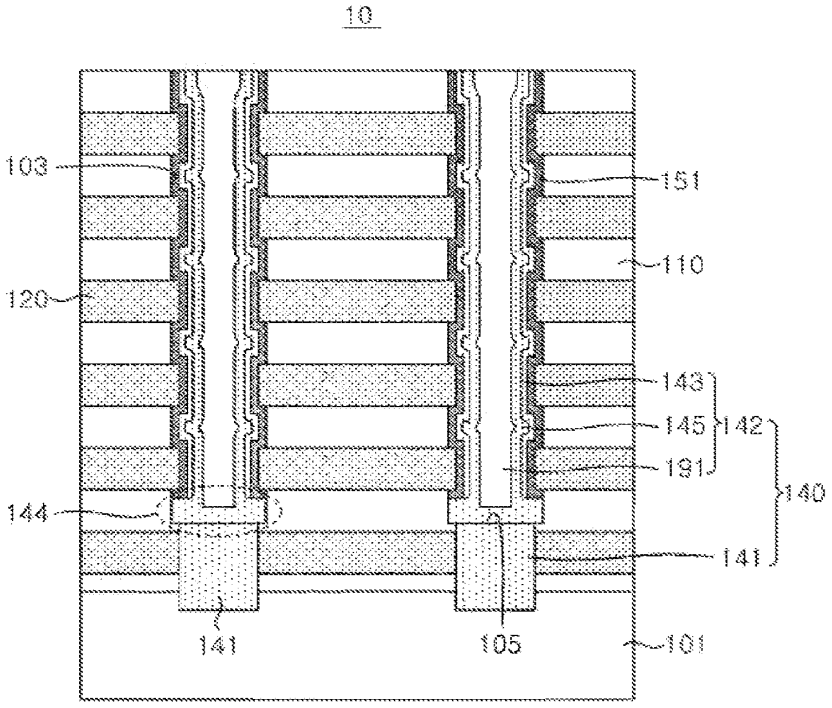


도면3c

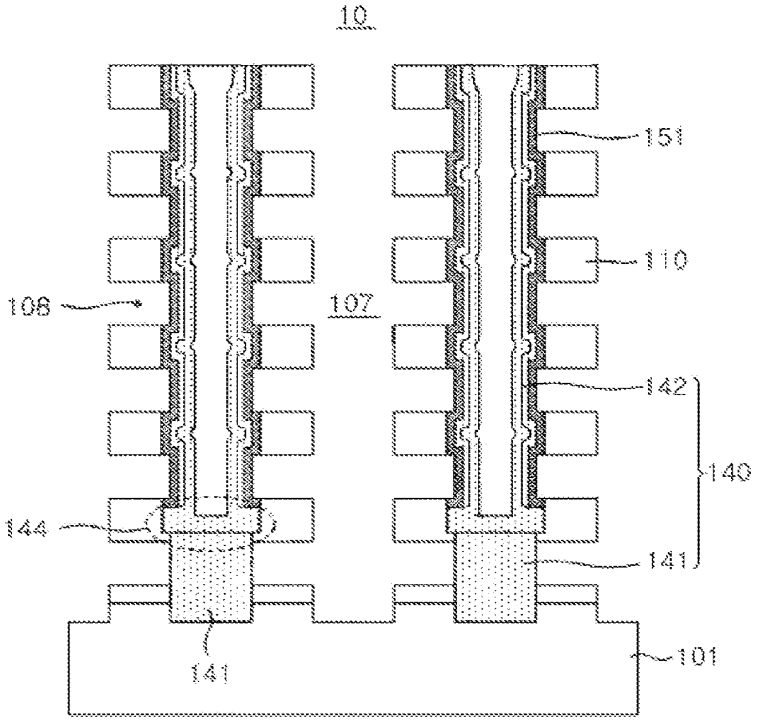


Micron Ex. 1002, p. 547
Micron v. YMTC
IPR2025-00245

도면3d

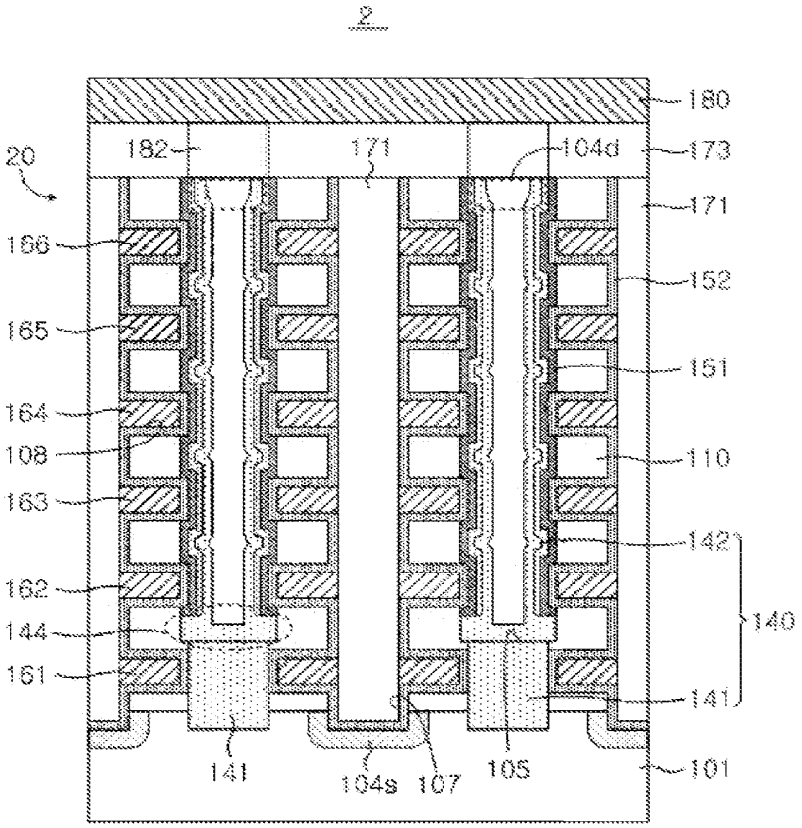


도면3e



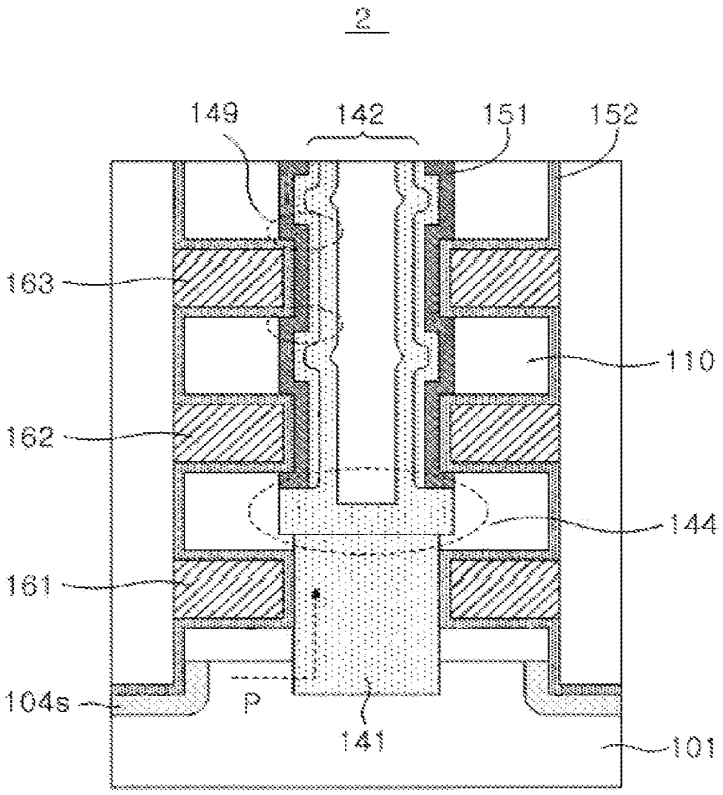
Micron Ex. 1002, p. 548
Micron v. YMTC
IPR2025-00245

도면3f



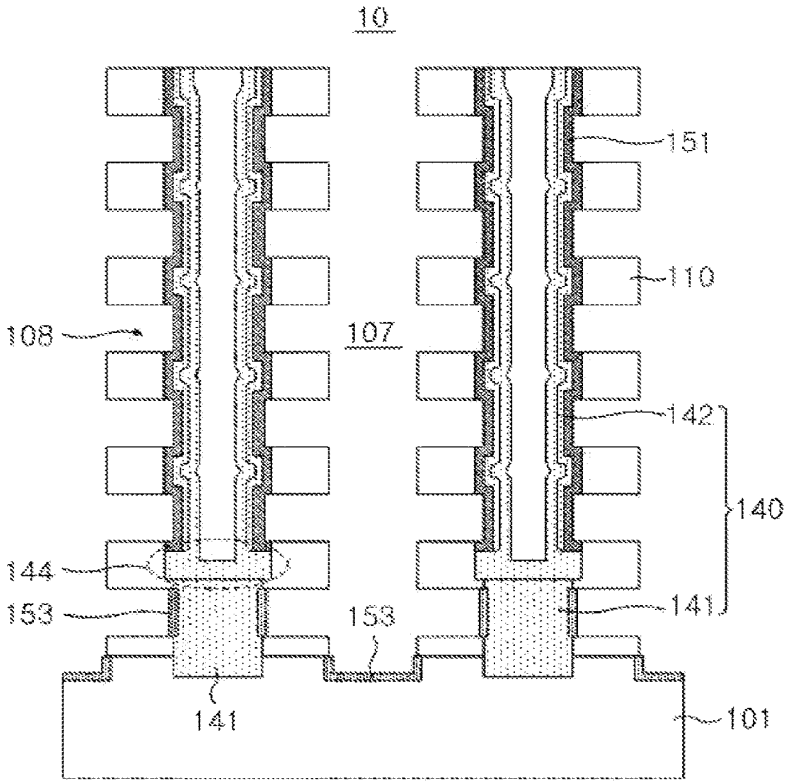
Micron Ex. 1002, p. 549
Micron v. YMTC
IPR2025-00245

도면3g



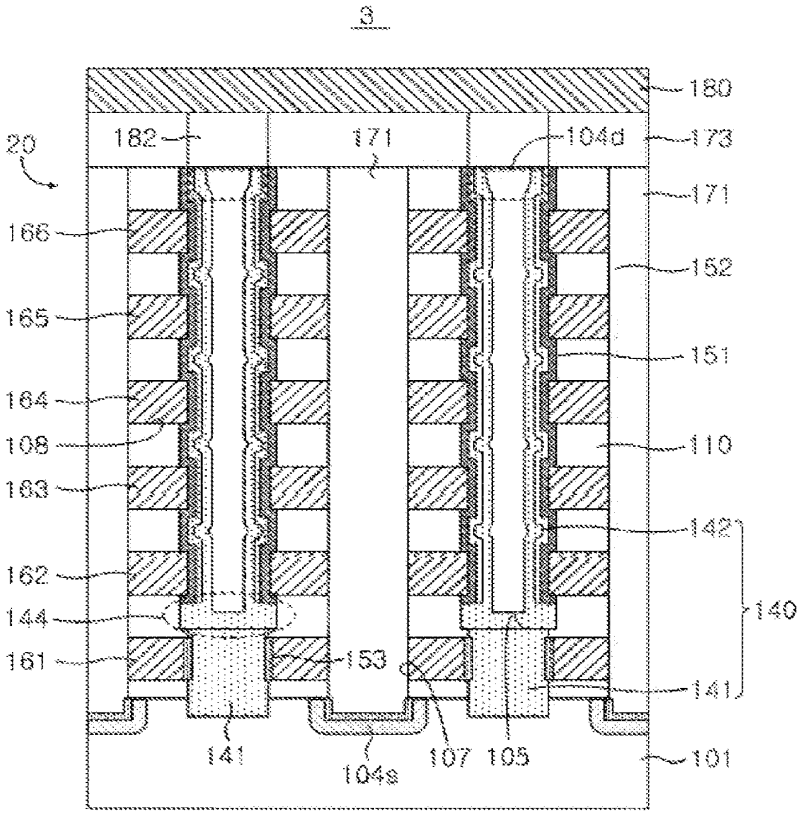
Micron Ex. 1002, p. 550
Micron v. YMTC
IPR2025-00245

도면3a



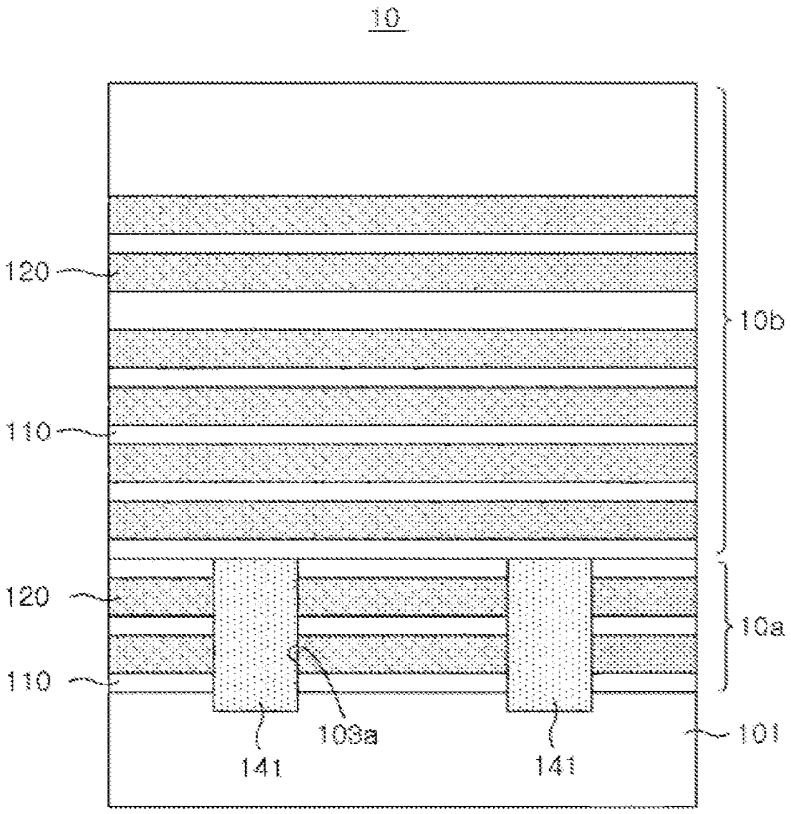
Micron Ex. 1002, p. 551
Micron v. YMTC
IPR2025-00245

도면3



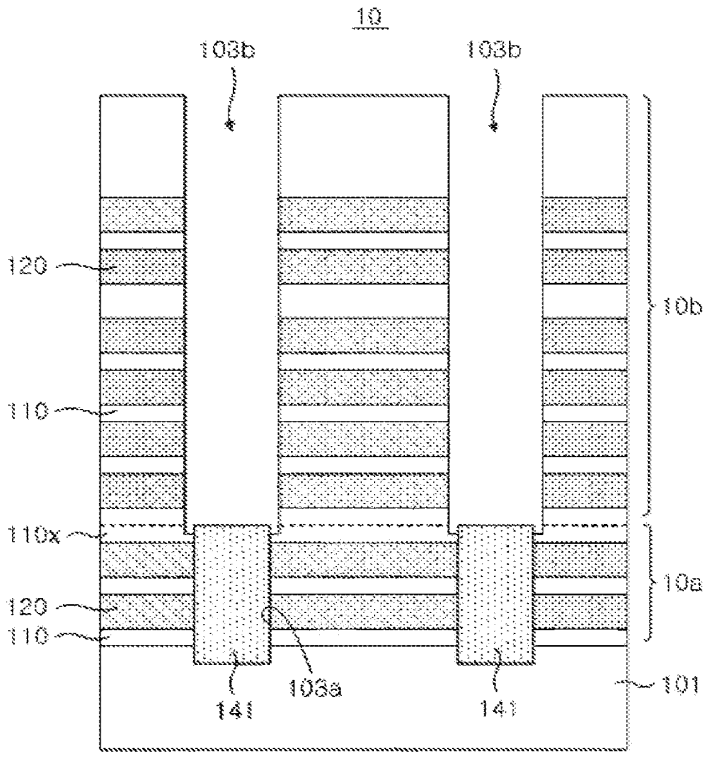
Micron Ex. 1002, p. 552
Micron v. YMTC
IPR2025-00245

도면4a



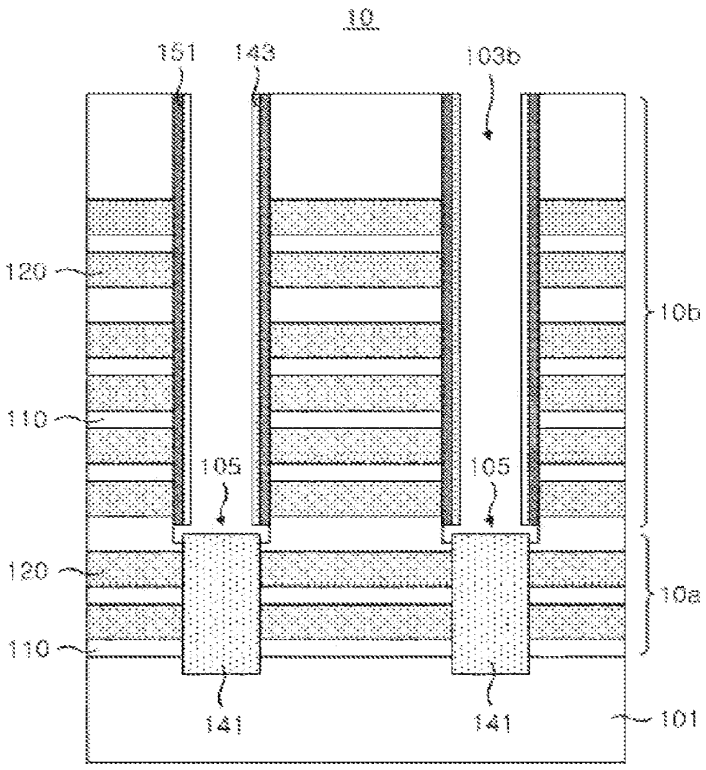
Micron Ex. 1002, p. 553
Micron v. YMTC
IPR2025-00245

도면4b

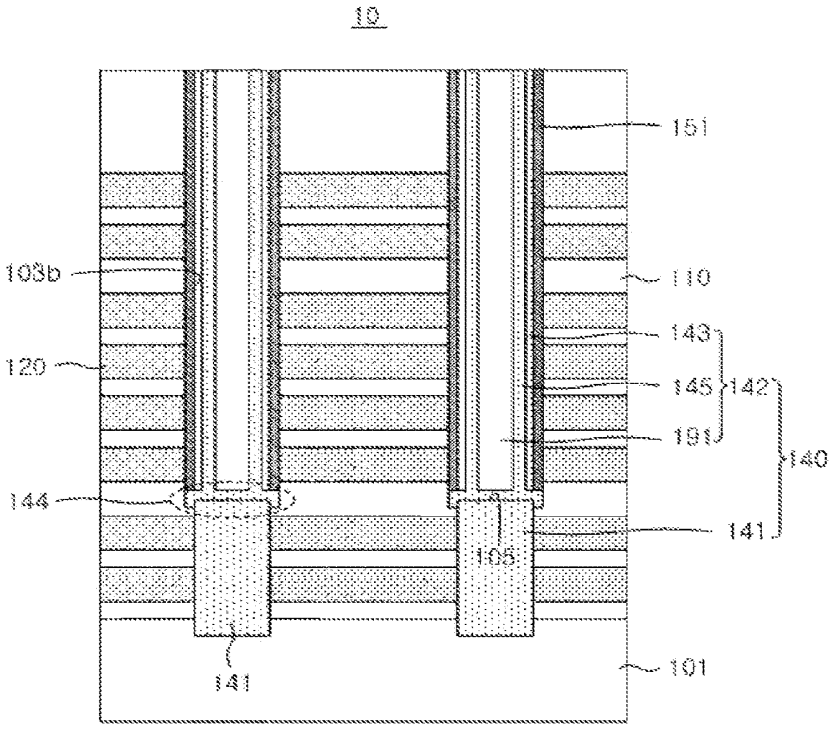


Micron Ex. 1002, p. 554
Micron v. YMTC
IPR2025-00245

도면4c

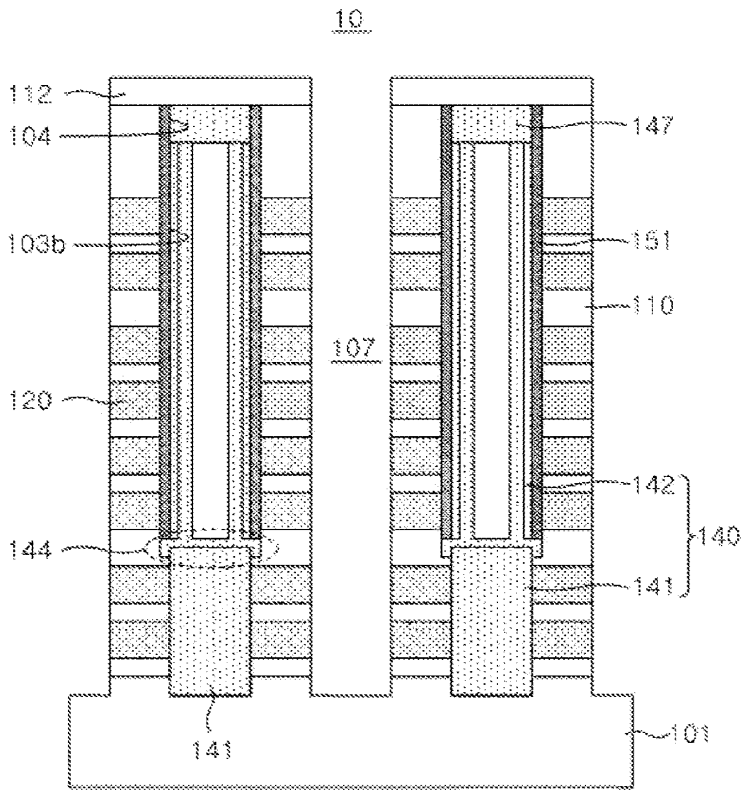


도면4d



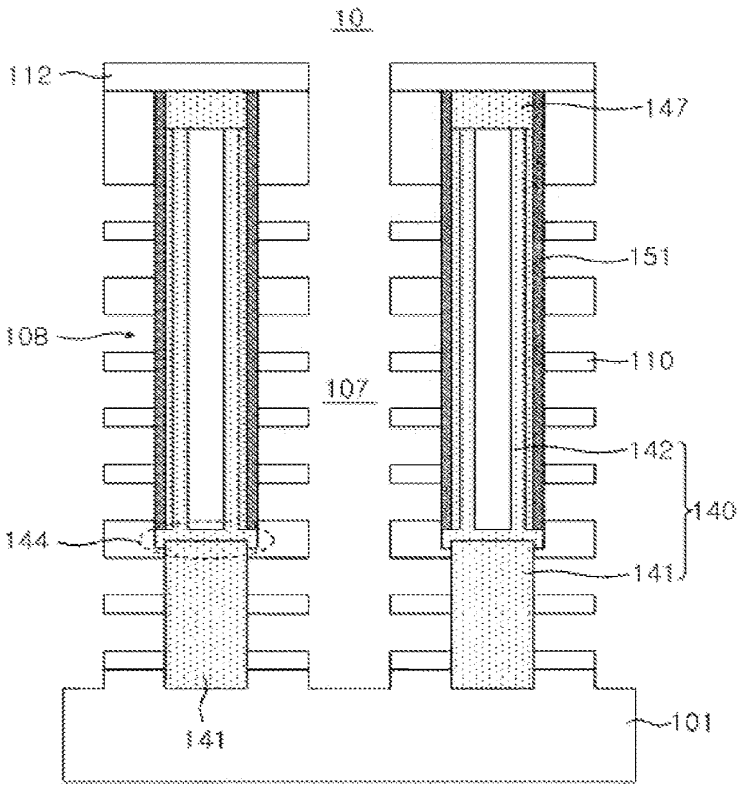
Micron Ex. 1002, p. 555
Micron v. YMTC
IPR2025-00245

도면4e



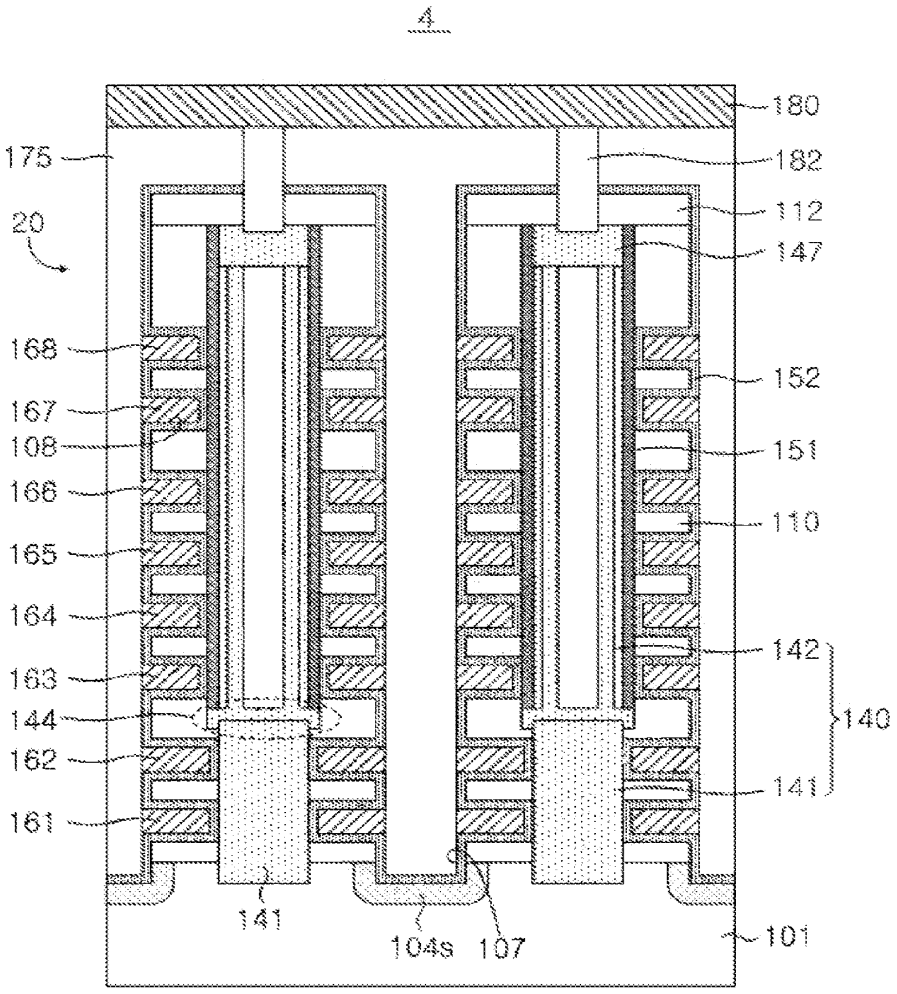
Micron Ex. 1002, p. 556
Micron v. YMTC
IPR2025-00245

도면41



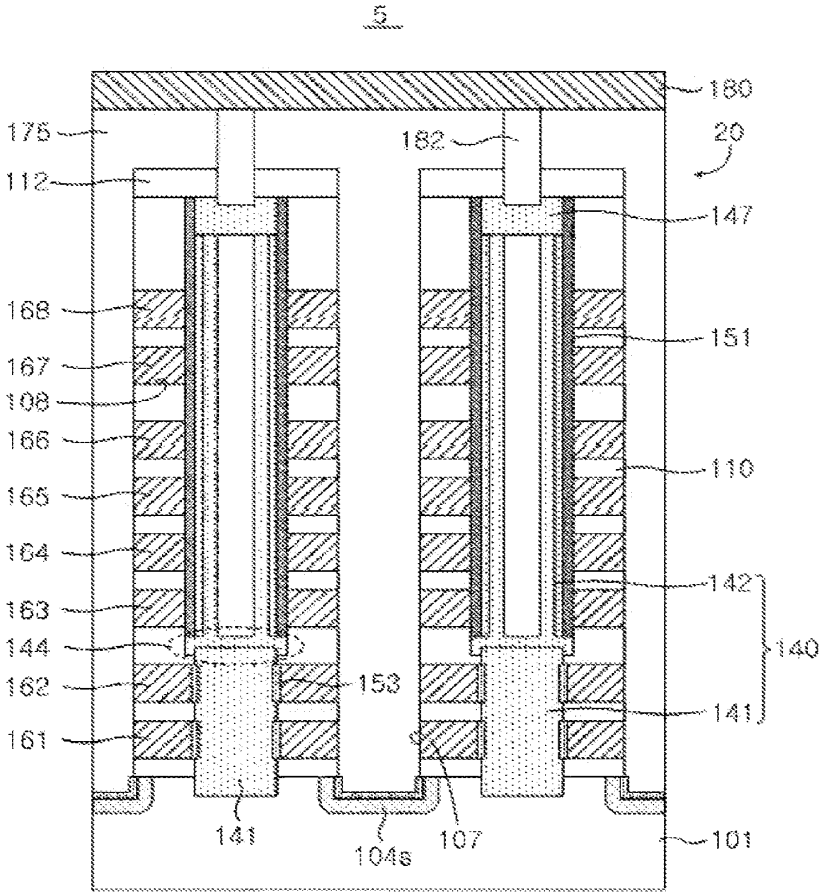
Micron Ex. 1002, p. 557
Micron v. YMTC
IPR2025-00245

도면4g



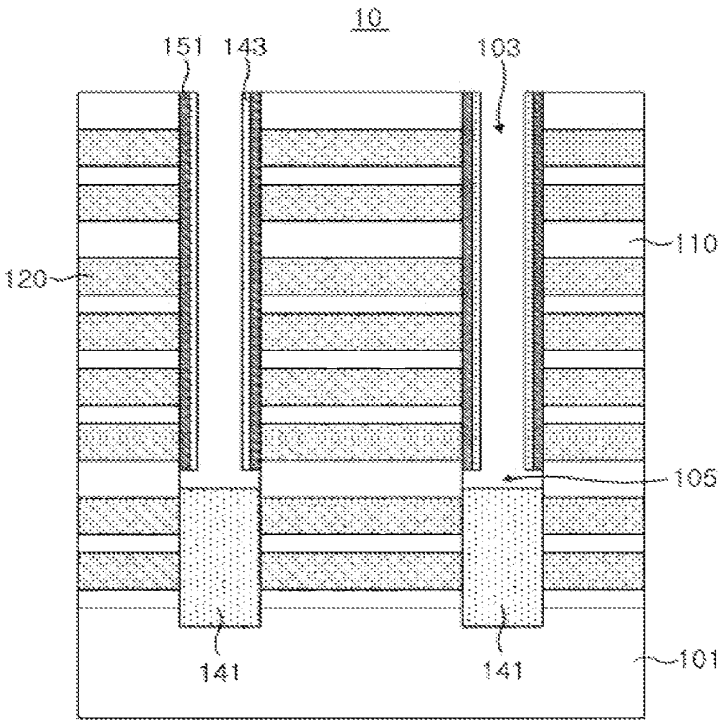
Micron Ex. 1002, p. 558
Micron v. YMTC
IPR2025-00245

도면4b

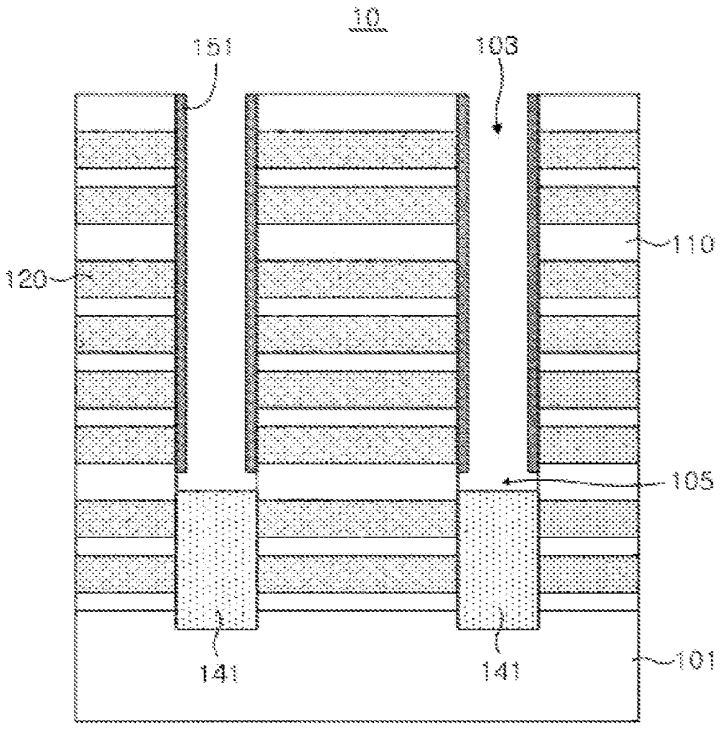


Micron Ex. 1002, p. 559
Micron v. YMTC
IPR2025-00245

도면5a

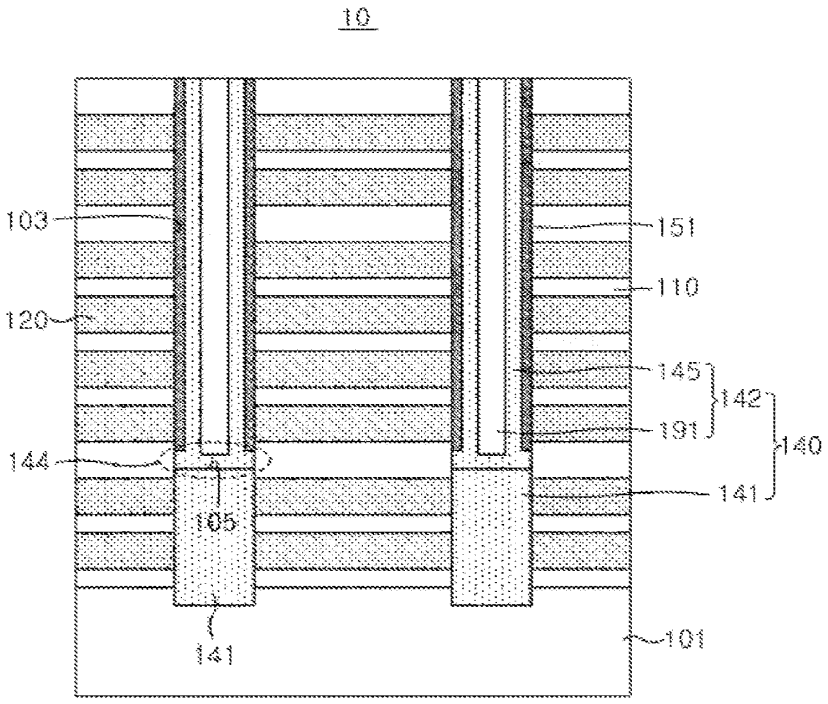


도면5b



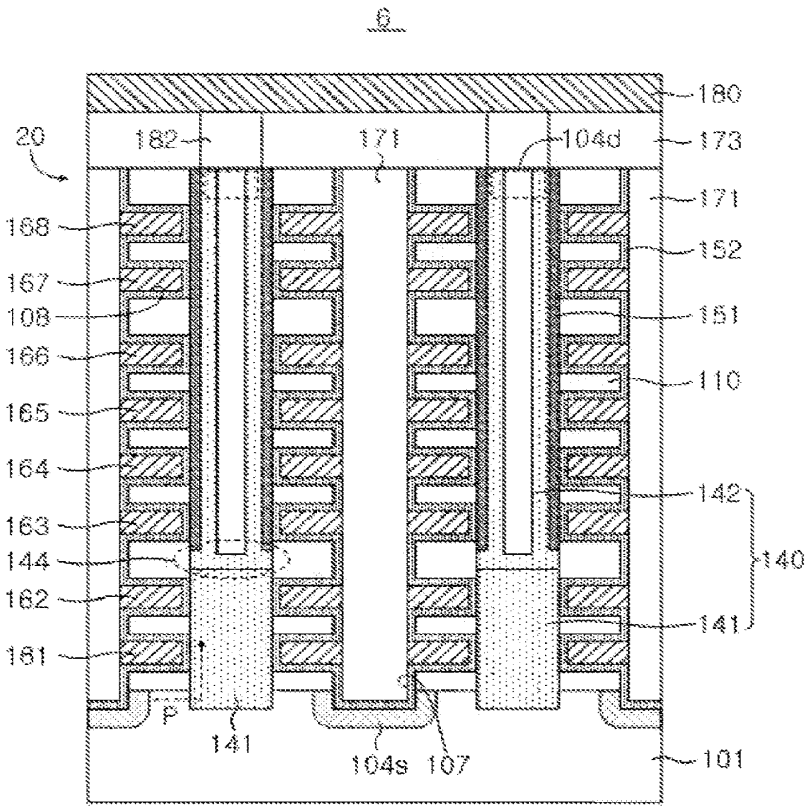
Micron Ex. 1002, p. 560
Micron v. YMTC
IPR2025-00245

도면5c



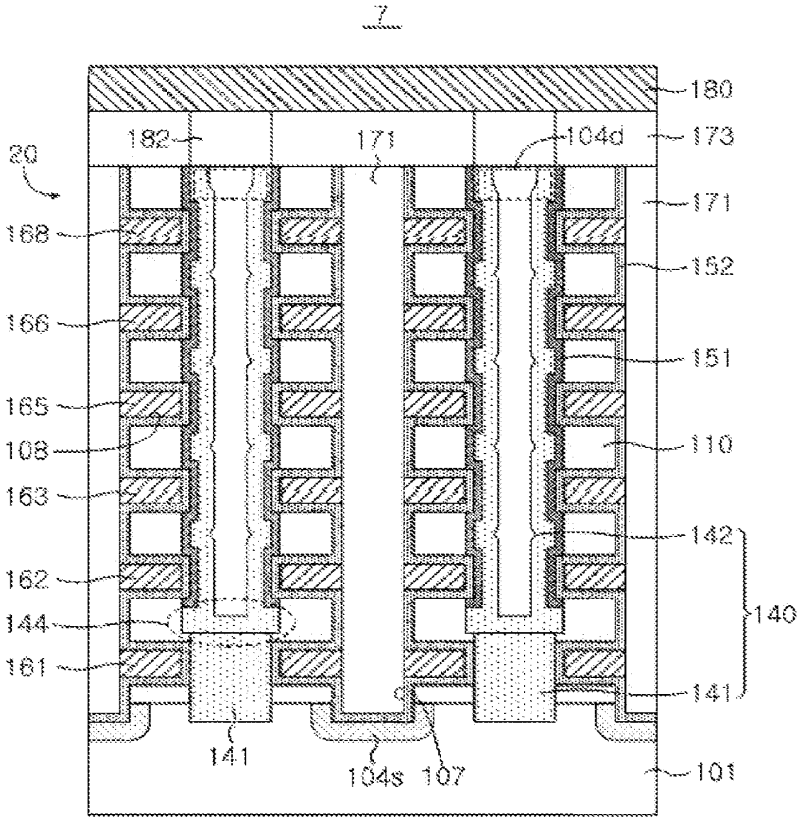
Micron Ex. 1002, p. 561
Micron v. YMTC
IPR2025-00245

도면5d



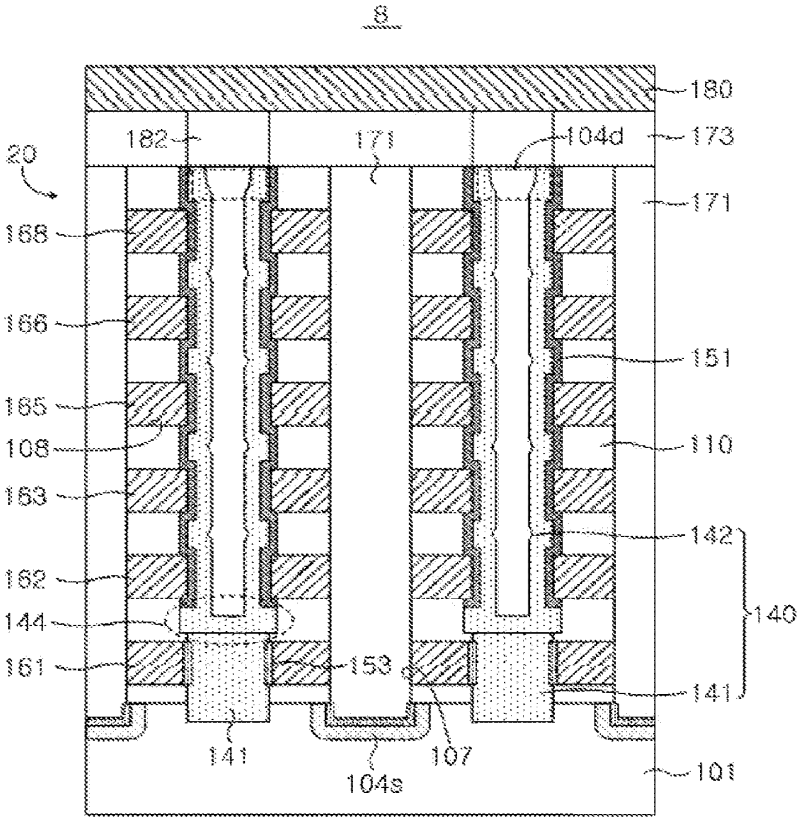
Micron Ex. 1002, p. 562
Micron v. YMTC
IPR2025-00245

도면5a



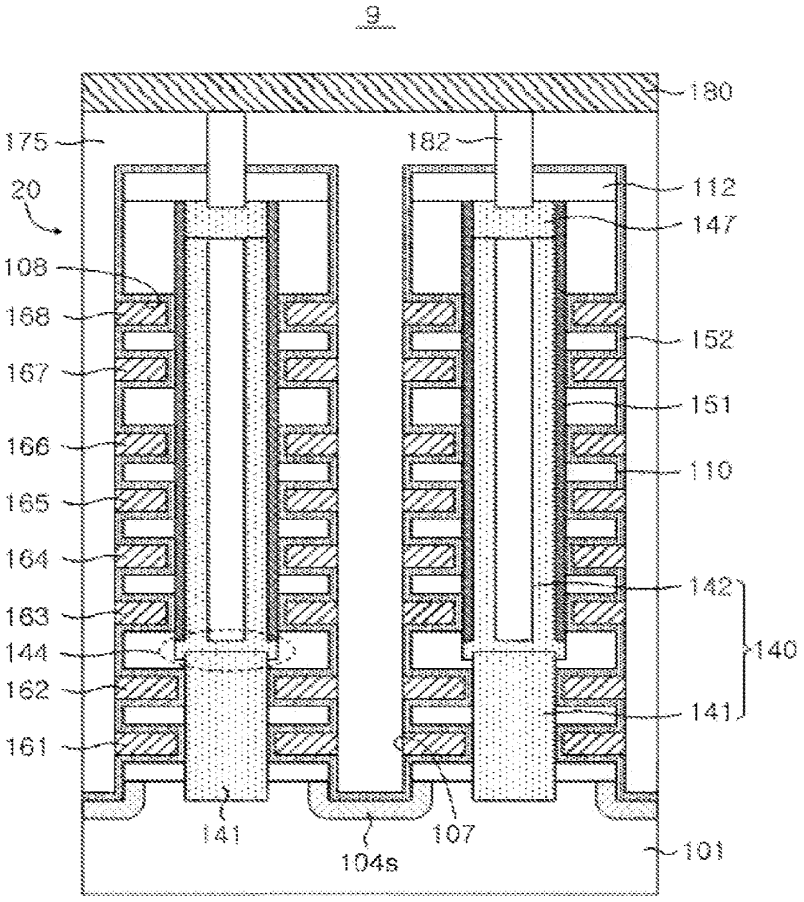
Micron Ex. 1002, p. 563
Micron v. YMTC
IPR2025-00245

도면5f

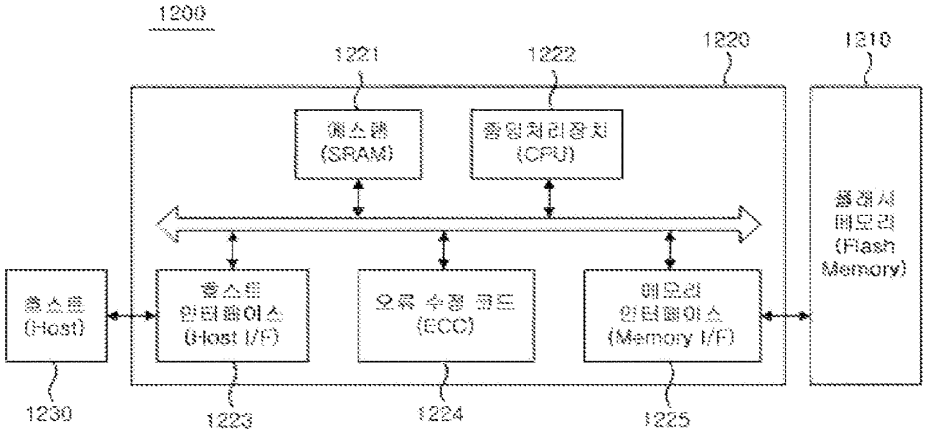


Micron Ex. 1002, p. 564
Micron v. YMTC
IPR2025-00245

도면5g

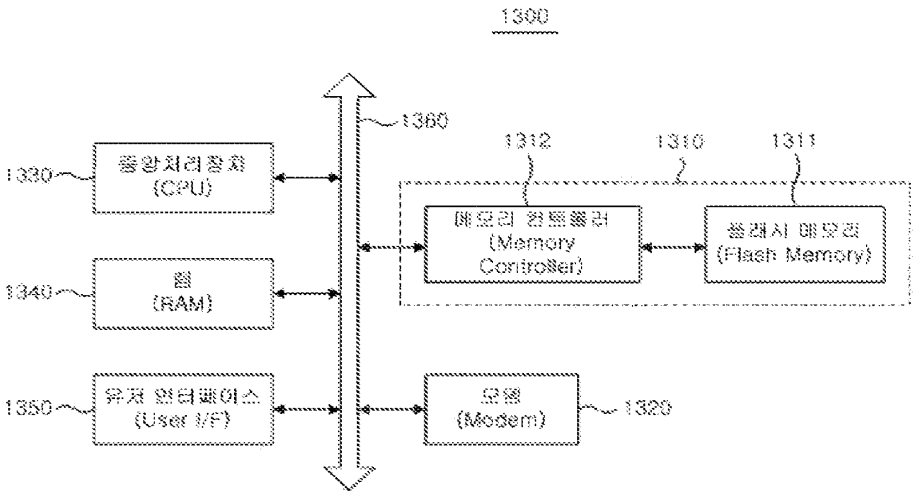


도면6a



Micron Ex. 1002, p. 565
Micron v. YMTC
IPR2025-00245

도면6



Micron Ex. 1002, p. 566
Micron v. YMTC
IPR2025-00245

Electronic Acknowledgement Receipt

EFS ID:	44026757
Application Number:	16951141
International Application Number:	
Confirmation Number:	3874
Title of Invention:	JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME
First Named Inventor/Applicant Name:	Zhenyu LU
Customer Number:	26111
Filer:	Wenchong Shu/Jon Baitlon
Filer Authorized By:	Wenchong Shu
Attorney Docket Number:	4123.0110003
Receipt Date:	14-OCT-2021
Filing Date:	18-NOV-2020
Time Stamp:	15:20:15
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Miscellaneous Incoming Letter	sIDS3-Cover-Letter-4123-0110003.pdf	228179 2fa34e6127aebec0a9eff6b103ce27ab1a14d173	no	1

Warnings:

Information:					
2	Transmittal Letter	sIDS3-Pleading-4123-0110003.pdf	133854 1e04dd1fc3fa961f00b0d684b1a3ec99a47be5b9	no	6
Warnings:					
Information:					
3	Information Disclosure Statement (IDS) Form (SB08)	sIDS3-SB08a-4123-0110003.pdf	151567 d1c0182ec2540c24643d0eaa2c614e978b367088	no	1
Warnings:					
Information:					
This is not an USPTO supplied IDS fillable form					
4	Foreign Reference	FP1_KR20100100397A.pdf	949709 d1a4b99a5d40b860e8869a3622e640b62e56480e	no	35
Warnings:					
Information:					
5	Foreign Reference	FP2_KR20130057670A.pdf	2242410 84a3858faa6bfbbbaba418b2cae3515deb61e26d	no	44
Warnings:					
Information:					
		Total Files Size (in bytes):	3705719		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

<u>New Applications Under 35 U.S.C. 111</u>
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.
<u>National Stage of an International Application under 35 U.S.C. 371</u>
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.
<u>New International Application Filed with the USPTO as a Receiving Office</u>
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

WENCHONG SHU
PATENT AGENT
202-772-8656
WSHU@STERNEKESSLER.COM

October 14, 2021

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Confirmation No. 3874
Art Unit 2812
Attn: Mail Stop Amendment

Re: U.S. Patent Application
Appl. No. 16/951,141; Filed: November 18, 2020
For: **JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME**
First Named Inventor: Zhenyu LU
Our Ref: 4123.0110003

Commissioner:

Transmitted herewith for appropriate action are the following documents:

1. Third Supplemental Information Disclosure Statement;
2. Form PTO/SB/08a (1 sheet) listing 3 documents (**US1**) and (**FP1-FP2**); and
3. Copies of cited documents (**FP1-FP2**).

The above-listed items are filed electronically.

In the event that extensions of time are necessary to prevent abandonment of this patent application, then such extensions of time are hereby petitioned.

The U.S. Patent and Trademark Office is hereby authorized to charge any fee deficiency, or credit any overpayment, to our Deposit Account No. 19-0036.

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Wenchong Shu/

Wenchong Shu
Agent for Applicant
Registration No. 73,999

W-S/jcb
Enclosures

17428379_1.docx

Micron Ex. 1002, p. 569
Micron v. YMTC
IPR2025-00245

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

First Named Inventor: Zhenyu LU	Confirmation No.: 3874
Applicant: YANGTZE MEMORY TECHNOLOGIES CO., LTD.	Art Unit: 2812
Application No.: 16/951,141	Examiner: *PATEL, REEMA*
Filing Date: November 18, 2020	Atty. Docket: 4123.0110003

Title: **JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME**

Third Supplemental Information Disclosure Statement

Mail Stop Amendment

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Commissioner:

Listed on accompanying IDS Forms PTO/SB/08a or its equivalent are documents that may be considered material to the patentability of this application as defined in 37 C.F.R. §1.56, and in compliance with the duty of disclosure requirements of 37 C.F.R. §§ 1.97 and 1.98.

Applicant has listed publication dates on the attached IDS Form based on information presently available to the undersigned. However, the listed publication dates should not be construed as an admission that the information was actually published on the date indicated.

Applicant reserves the right to establish the patentability of the claimed invention over any of the information provided herewith, and/or to prove that this information may not be prior art, and/or to prove that this information may not be enabling for the teachings purportedly offered.

This statement should not be construed as a representation that a search has been made, or that information more material to the examination of the present patent application does not exist. The Examiner is specifically requested not to rely solely on the material submitted herewith.

Applicant has checked the appropriate boxes below.

☐ 1. Statement under 37 C.F.R. 1.704(d). Each item of information contained in this Information Disclosure Statement: (i) was first cited in any communication from a patent office in a counterpart[1] foreign or international application or from the Office; and this communication was not received by any individual designated in Sec. 1.56(c) more than thirty days prior to the filing of this information disclosure statement; OR (ii) is a communication that was issued by a patent office in a counterpart foreign or international application or by the Office, and this communication was not received by any individual designated in Sec. 1.56(c) more than thirty days prior to the filing of the information disclosure statement.

☒ 2. Filing under 37 C.F.R. § 1.97(b). This Information Disclosure Statement is being filed within three months of the date of filing of a national application other than a continued prosecution application (CPA), OR within three months of the date of entry of the national stage as set forth in 37 C.F.R. § 1.491 in an international application, OR before the mailing date of a first Office Action on the merits OR before the mailing of a first Office Action

[1] The term counterpart foreign patent application means that a claim for priority has been made in either the U.S. application or a foreign application based on the other, or that the disclosures of the U.S. and foreign patent applications are substantively identical (e.g., an application filed in the European Patent Office claiming the same U.K. priority as claimed in the U.S. application).

Micron Ex. 1002, p. 571
Micron v. YMTC
IPR2025-00245

after the filing of a request for continued examination under 37 C.F.R. § 1.114. No statement or fee is required.

☐ 3. Filing under 37 C.F.R. § 1.97(c). This Information Disclosure Statement is being filed more than three months after the U.S. filing date AND after the mailing date of the first Office Action on the merits, but before the mailing date of a Final Rejection, or Notice of Allowance, or an action that otherwise closes prosecution in the application.

☐ a. Statement under 37 C.F.R. § 1.97(e)(1). I hereby state that each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this Information Disclosure Statement. 37 C.F.R. § 1.97(e)(1).

☐ b. Statement under 37 C.F.R. § 1.97(e)(2). I hereby state that no item of information in this Information Disclosure Statement was cited in a communication from a foreign patent office in a counterpart foreign application and, to my knowledge after making reasonable inquiry, was known to any individual designated in 37 C.F.R. § 1.56(c) more than three months prior to the filing of this Information Disclosure Statement. 37 C.F.R. § 1.97(e)(2).

☐ c. The required fee is provided through online credit card payment authorization in the amount of $_____ in payment of the fee under 37 C.F.R. § 1.17(p).

☐ 4. Filing under 37 C.F.R. § 1.97(d) This Information Disclosure Statement is being filed more than three months after the U.S. filing date and after the mailing date of a Final Rejection or

Micron Ex. 1002, p. 572
Micron v. YMTC
IPR2025-00245

Notice of Allowance, but on or before payment of the Issue Fee. The required fee is provided through online credit card payment authorization in the amount of $_____ in payment of the fee under 37 C.F.R. § 1.17(p); in addition:

☐ a. Statement under 37 C.F.R. § 1.97(e)(1). I hereby state that each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this Information Disclosure Statement. 37 C.F.R. § 1.97(e)(1).

☐ b. Statement under 37 C.F.R. § 1.97(e)(2). I hereby state that no item of information in this Information Disclosure Statement was cited in a communication from a foreign patent office in a counterpart foreign application and, to my knowledge after making reasonable inquiry, was known to any individual designated in 37 C.F.R. § 1.56(c) more than three months prior to the filing of this Information Disclosure Statement. 37 C.F.R. § 1.97(e)(2).

☒ 5. The patent family for one or more foreign language documents submitted herewith includes a United States patent, and other patent, in the English language. Copies of both the particular foreign patent(s) or published foreign patent applications cited in the foreign patent office communication, and that are not already of record in this application, are enclosed. Copies of the related United States or other English language patent or published application from the family list, if not already of record, are listed on the accompanying SB/08A form. For the purposes of a statement under 37 CFR 1.97(e)(1), the United States or

Micron Ex. 1002, p. 573
Micron v. YMTC
IPR2025-00245

other English language patent or published application are to be construed as being cited by the foreign patent office. MPEP 609.04(b)(V).

☐ 6. The document(s) was/were cited in a search report by a foreign patent office in a counterpart foreign application. Submission of an English language version of the search report that indicates the degree of relevance found by the foreign office is provided in satisfaction of the requirement for a concise explanation of relevance. MPEP 609.04(a)(III).

☒ 7. A concise explanation of the relevance of the non-English language document(s) appears below in accordance with 37 C.F.R. § 1.98(a)(3).

Document **FP1** (KR 20100100397 A) appears to describe a "nonvolatile memory device," as noted in the attached English-language translation of the abstract.

Document **US1** (2013/0134492 A1) is submitted herewith as the English-language counterpart of document **FP2** (KR 20130057670 A).

☒ 8. Copies of documents **FP1-FP2** are submitted. However, in accordance with 37 C.F.R. § 1.98(a)(2)(ii), no copy of the U.S. patent application publication cited as document **US1** on the attached IDS Form is submitted.

☐ 9. Copies of the _____ documents were cited by or submitted to the Office in an IDS that complies with 37 C.F.R. § 1.98(a)-(c) in Application No._____, filed _____, which is relied upon for an earlier filing date under 35 U.S.C. § 120. Thus, copies of these documents are not attached. 37 C.F.R. § 1.98(d).

☒ 10. It is expected that the examiner will review the prosecution and cited art in the parent Application No. 16/046,847, filed July 26, 2018 (now U.S. Patent No. 10,866,291), in

Micron Ex. 1002, p. 574
Micron v. YMTC
IPR2025-00245

accordance with MPEP 2001.06(b), and indicate in the next communication from the office that the art cited in the earlier prosecution history has been reviewed in connection with the present application.

☐ 11. Applicants submit herewith Office Actions from the co-pending U.S. Patent Application No._____, filed _____, as documents _____ to _____.

The identification of these Office Actions is not to be construed as a waiver of secrecy as to those applications now or upon issuance of the present application as a patent. The Examiner is respectfully requested to consider the cited applications and the art cited therein during examination.

It is respectfully requested that the Examiner initial and return a copy of the enclosed IDS Form, and indicate in the official file wrapper of this patent application that the documents have been considered.

The U.S. Patent and Trademark Office is hereby authorized to charge any fee deficiency, or credit any overpayment, to our Deposit Account No. 19-0036.

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Wenchong Shu/

Wenchong Shu
Agent for Applicant
Registration No. 73,999

Date: 10/14/2021

1100 New York Avenue, N.W.
Washington, D.C. 20005-3934
(202) 371-2600

17428423.1

Atty. Dkt. No. 4123.0110003

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/951,141	11/18/2020	Zhenyu LU	4123.0110003	3874

26111 7590 03/03/2022

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.
1100 NEW YORK AVENUE, N.W.
WASHINGTON, DC 20005

EXAMINER	
PATEL, REEMA	

ART UNIT	PAPER NUMBER
2812	

NOTIFICATION DATE	DELIVERY MODE
03/03/2022	ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

e-office@sternekessler.com

Micron Ex. 1002, p. 576
Micron v. YMTC
IPR2025-00245

Office Action Summary	Application No. 16/951,141	Applicant(s) LU et al.	
	Examiner REEMA PATEL	Art Unit 2812	AIA (FITF) Status Yes

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 2 MONTHS FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

1)☑ Responsive to communication(s) filed on 10/14/21.

☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on _____.

2a)☐ This action is **FINAL.** 2b) ☐ This action is non-final.

3)☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.

4)☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims*

5) ☑ Claim(s) 1-20 is/are pending in the application.

5a) Of the above claim(s) _____ is/are withdrawn from consideration.

6) ☐ Claim(s) _____ is/are allowed.

7) ☐ Claim(s) _____ is/are rejected.

8) ☐ Claim(s) _____ is/are objected to.

9) ☑ Claim(s) 1-20 are subject to restriction and/or election requirement

* If any claims have been determined allowable, you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see http://www.uspto.gov/patents/init_events/pph/index.jsp or send an inquiry to **PPHfeedback@uspto.gov.**

Application Papers

10)☐ The specification is objected to by the Examiner.

11)☐ The drawing(s) filed on _____ is/are: a)☐ accepted or b)☐ objected to by the Examiner.

Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).

Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).

Priority under 35 U.S.C. § 119

12)☐ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

Certified copies:

a)☐ All b)☐ Some** c)☐ None of the:

1.☐ Certified copies of the priority documents have been received.

2.☐ Certified copies of the priority documents have been received in Application No. _____.

3.☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

** See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

1) ☐ Notice of References Cited (PTO-892)

2) ☐ Information Disclosure Statement(s) (PTO/SB/08a and/or PTO/SB/08b) Paper No(s)/Mail Date _____.

3) ☐ Interview Summary (PTO-413) Paper No(s)/Mail Date _____.

4) ☐ Other: _____.

Micron Ex. 1002, p. 577
Micron v. YMTC
IPR2025-00245

DETAILED ACTION

Notice of Pre-AIA or AIA Status

1. The present application, filed on or after March 16, 2013, is being examined under the first inventor to file provisions of the AIA.

Election/Restrictions

2. Restriction to one of the following inventions is required under 35 U.S.C. 121:

I. Claims 1-10, drawn to a method of forming a joint opening in a three-dimensional memory device, classified in H01L 21/20.

II. Claims 11-20, drawn to a joint opening in a three-dimensional memory device, classified in H01L 27/11578.

3. The inventions are independent or distinct, each from the other because:

4. Inventions I and II are related as process of making and product made. The inventions are distinct if either or both of the following can be shown: (1) that the process as claimed can be used to make another and materially different product or (2) that the product as claimed can be made by another and materially different process (MPEP § 806.05(f)). In the instant case the product as claimed can be made by another and materially different process, such as one which the first stacked layer is selectively formed with multiple thicknesses such that the first through hole is created while forming the stacked layer.

5. Restriction for examination purposes as indicated is proper because all the inventions listed in this action are independent or distinct for the reasons given above and there would be a serious search and/or examination burden if restriction were not required because one or more of the following reasons apply:

6. The inventions require a different field of search (for example, searching different classes/subclasses, or employing different search queries).

Applicant is advised that the reply to this requirement to be complete must include (i) an election of an invention to be examined even though the requirement may be traversed (37 CFR 1.143) **and (ii) identification of the claims encompassing the elected invention**.

The election of an invention may be made with or without traverse. To reserve a right to petition, the election must be made with traverse. If the reply does not distinctly and specifically point out supposed errors in the restriction requirement, the election shall be treated as an election without traverse. Traversal must be presented at the time of election in order to be considered timely. Failure to timely traverse the requirement will result in the loss of right to petition under 37 CFR 1.144. If claims are added after the election, applicant must indicate which of these claims are readable upon the elected invention.

Should applicant traverse on the ground that the inventions are not patentably distinct, applicant should submit evidence or identify such evidence now of record showing the inventions to be obvious variants or clearly admit on the record that this is the case. In either instance, if the examiner finds one of the inventions unpatentable over the prior art, the evidence or admission may be used in a rejection under 35 U.S.C. 103 or pre-AIA 35 U.S.C. 103(a) of the other invention.

7. Applicant is reminded that upon the cancellation of claims to a non-elected invention, the inventorship must be corrected in compliance with 37 CFR 1.48(a) if one or more of the currently named inventors is no longer an inventor of at least one claim

remaining in the application. A request to correct inventorship under 37 CFR 1.48(a) must be accompanied by an application data sheet in accordance with 37 CFR 1.76 that identifies each inventor by his or her legal name and by the processing fee required under 37 CFR 1.17(i).

8. The examiner has required restriction between product or apparatus claims and process claims. Where applicant elects claims directed to the product/apparatus, and all product/apparatus claims are subsequently found allowable, withdrawn process claims that include all the limitations of the allowable product/apparatus claims should be considered for rejoinder. All claims directed to a nonelected process invention must include all the limitations of an allowable product/apparatus claim for that process invention to be rejoined.

In the event of rejoinder, the requirement for restriction between the product/apparatus claims and the rejoined process claims will be withdrawn, and the rejoined process claims will be fully examined for patentability in accordance with 37 CFR 1.104. Thus, to be allowable, the rejoined claims must meet all criteria for patentability including the requirements of 35 U.S.C. 101, 102, 103 and 112. Until all claims to the elected product/apparatus are found allowable, an otherwise proper restriction requirement between product/apparatus claims and process claims may be maintained. Withdrawn process claims that are not commensurate in scope with an allowable product/apparatus claim will not be rejoined. See MPEP § 821.04. Additionally, in order for rejoinder to occur, applicant is advised that the process claims should be amended during prosecution to require the limitations of the product/apparatus claims. **Failure to do so may result in no rejoinder.** Further, note that the prohibition against double

patenting rejections of 35 U.S.C. 121 does not apply where the restriction requirement is withdrawn by the examiner before the patent issues. See MPEP § 804.01.

9. Any inquiry concerning this communication or earlier communications from the examiner should be directed to REEMA PATEL whose telephone number is (571)270-1436. The examiner can normally be reached M-F, 8am-5pm EST.

Examiner interviews are available via telephone, in-person, and video conferencing using a USPTO supplied web-based collaboration tool. To schedule an interview, applicant is encouraged to use the USPTO Automated Interview Request (AIR) at http://www.uspto.gov/interviewpractice.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Charles D Garber can be reached on (571)272-2194. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of published or unpublished applications may be obtained from Patent Center. Unpublished application information in Patent Center is available to registered users. To file and manage patent submissions in Patent Center, visit: https://patentcenter.uspto.gov. Visit https://www.uspto.gov/patents/apply/patent-center for more information about Patent Center and https://www.uspto.gov/patents/docx for information about filing in DOCX format. For additional questions, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/REEMA PATEL/
Primary Examiner, Art Unit 2812

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventors: LU *et al.*	Confirmation No.: 3874
Applicant: Yangtze Memory Technologies Co., Ltd.	Art Unit: 2812
Application No.: 16/951,141	Examiner: PATEL, Reema
Filing Date: November 18, 2020	Atty. Docket: 4123.0110003

Title: **JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME**

Reply to Restriction Requirement

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Commissioner:

In reply to the Office Action dated March 3, 2022, requesting an election of one group of claims to prosecute in the above-referenced patent application, Applicant hereby provisionally elects to prosecute **Group II**, drawn to **a joint opening in a three-dimensional memory device**, represented by **claims 11-20**. This election is made without prejudice to or disclaimer of the other claims or inventions disclosed. This election is made without traverse.

Reconsideration and withdrawal of the Restriction Requirement, and consideration and allowance of all pending claims, are respectfully requested.

It is not believed that extensions of time are required beyond those that may otherwise be provided for in documents accompanying this paper. However, if additional extensions of time are necessary to prevent abandonment of this application, then such extensions of time are hereby petitioned under 37 C.F.R. § 1.136(a), and any additional fees required to continue

prosecution or appeal of this application (including issue fee, fees for net addition of claims or forwarding to appeal) are hereby authorized to be charged to our Deposit Account No. 19-0036.

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Wenchong Shu/

Wenchong Shu
Patent Agent for Applicant
Registration No. 73,999

Date: 3/16/2022

1100 New York Avenue, N.W.
Washington, D.C. 20005-3934
(202) 371-2600

18123242_1.docx

Micron Ex. 1002, p. 584
Micron v. YMTC
IPR2025-00245

Electronic Acknowledgement Receipt

EFS ID:	45240635
Application Number:	16951141
International Application Number:	
Confirmation Number:	3874
Title of Invention:	JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME
First Named Inventor/Applicant Name:	Zhenyu LU
Customer Number:	26111
Filer:	Wenchong Shu/Michael Monteiro
Filer Authorized By:	Wenchong Shu
Attorney Docket Number:	4123.0110003
Receipt Date:	16-MAR-2022
Filing Date:	18-NOV-2020
Time Stamp:	13:36:55
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Miscellaneous Incoming Letter	2022-03-16-Miscellaneous-Letter-4123-0110003.pdf	270905 3de971dfbb33c484e7d3a08329549eadaadd5924	no	1

Warnings:

Information:					
2	Response to Election / Restriction Filed	2022-03-16-Reply-Restriction-4123-0110003.pdf	101655 3882fea05e4a28266bdb21c26cb40a75f0a10599	no	2
Warnings:					
Information:					
			Total Files Size (in bytes):	372560	

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

WENCHONG SHU
PATENT AGENT
(202) 772-8656
WSHU@STERNEKESSLER.COM

Sterne Kessler
STERNE KESSLER GOLDSTEIN & FOX

March 16, 2022

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Confirmation No. 3874
Art Unit 2812
Attn: Mail Stop Amendment

Re: U.S. Utility Patent Application
Appl. No. 16/951,141; Filing Date: November 18, 2020
For: **JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME**
Inventors: LU *et al.*
Our Ref: 4123.0110003

Commissioner:

Transmitted herewith for appropriate action is a document entitled ***Reply to Restriction Requirement***, which is submitted electronically.

In the event that extensions of time are necessary to prevent abandonment of this patent application, then such extensions of time are hereby petitioned.

The U.S. Patent and Trademark Office is hereby authorized to charge any fee deficiency, or credit any overpayment, to our Deposit Account No. 19-0036.

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Wenchong Shu/

Wenchong Shu
Patent Agent for Applicant
Registration No. 73,999

DJF/W-S/mm
Enclosure

18123224.1

Micron Ex. 1002, p. 587
Micron v. YMTC
IPR2025-00245

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/951,141	11/18/2020	Zhenyu LU	4123.0110003	3874

26111 7590 03/29/2022

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.
1100 NEW YORK AVENUE, N.W.
WASHINGTON, DC 20005

EXAMINER	
PATEL, REEMA	

ART UNIT	PAPER NUMBER
2812	

NOTIFICATION DATE	DELIVERY MODE
03/29/2022	ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

e-office@sternekessler.com

Micron Ex. 1002, p. 588
Micron v. YMTC
IPR2025-00245

Office Action Summary	Application No. 16/951,141	Applicant(s) LU et al.	
	Examiner REEMA PATEL	Art Unit 2812	AIA (FITF) Status Yes

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 3 MONTHS FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

1)☑ Responsive to communication(s) filed on 3/16/22.

☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on _____.

2a)☐ This action is **FINAL.** 2b) ☑ This action is non-final.

3)☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.

4)☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims*

5) ☑ Claim(s) 1-20 is/are pending in the application.

5a) Of the above claim(s) 1-10 is/are withdrawn from consideration.

6) ☐ Claim(s) _____ is/are allowed.

7) ☑ Claim(s) 11-20 is/are rejected.

8) ☐ Claim(s) _____ is/are objected to.

9) ☐ Claim(s) _____ are subject to restriction and/or election requirement

* If any claims have been determined allowable, you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see http://www.uspto.gov/patents/init_events/pph/index.jsp or send an inquiry to **PPHfeedback@uspto.gov.**

Application Papers

10)☐ The specification is objected to by the Examiner.

11)☑ The drawing(s) filed on 11/18/20 is/are: a)☑ accepted or b)☐ objected to by the Examiner.

Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).

Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).

Priority under 35 U.S.C. § 119

12)☑ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

Certified copies:

a)☑ All b)☐ Some** c)☐ None of the:

1.☐ Certified copies of the priority documents have been received.

2.☑ Certified copies of the priority documents have been received in Application No. 16/046,847.

3.☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

** See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

1) ☐ Notice of References Cited (PTO-892)

2) ☑ Information Disclosure Statement(s) (PTO/SB/08a and/or PTO/SB/08b) Paper No(s)/Mail Date _____.

3) ☐ Interview Summary (PTO-413) Paper No(s)/Mail Date _____.

4) ☐ Other: _____.

Micron Ex. 1002, p. 589
Micron v. YMTC
IPR2025-00245

DETAILED ACTION

Notice of Pre-AIA or AIA Status

1. The present application, filed on or after March 16, 2013, is being examined under the first inventor to file provisions of the AIA.

Election/Restrictions

2. Claims 1-10 are withdrawn from further consideration pursuant to 37 CFR 1.142(b) as being drawn to a nonelected invention, there being no allowable generic or linking claim. Election was made **without** traverse in the reply filed on 3/16/20.

Priority

3. Acknowledgment is made of applicant's claim for foreign priority under 35 U.S.C. 119 (a)-(d). The certified copy has been filed in parent Application No. 16/046,847, filed on 7/26/18.

Information Disclosure Statement

4. The information disclosure statements (IDS) were submitted on 11/18/20, 1/8/21, 4/22/21, 10/14/21. The submissions are in compliance with the provisions of 37 CFR 1.97. Accordingly, the information disclosure statements have been considered by the examiner.

Claim Rejections - 35 USC § 103

5. In the event the determination of the status of the application as subject to AIA 35 U.S.C. 102 and 103 (or as subject to pre-AIA 35 U.S.C. 102 and 103) is incorrect, any correction of the statutory basis for the rejection will not be considered a new ground of rejection if the prior art relied upon, and the rationale supporting the rejection, would be the same under either status.

6. The following is a quotation of 35 U.S.C. 103 which forms the basis for all obviousness rejections set forth in this Office action:

> A patent for a claimed invention may not be obtained, notwithstanding that the claimed invention is not identically disclosed as set forth in section 102, if the differences between the claimed invention and the prior art are such that the claimed invention as a whole would have been obvious before the effective filing date of the claimed invention to a person having ordinary skill in the art to which the claimed invention pertains. Patentability shall not be negated by the manner in which the invention was made.

7. Claims 11-12 and 14-20 is/are rejected under 35 U.S.C. 103 as being unpatentable over Lee et al. (U.S. 2013/0109158 A1; "Lee") in view of Huo et al. (U.S. 2013/0203227 A1; "Huo").

8. Regarding claim 11, Lee discloses a first sub-array comprising:

- A first through hole (opening which is filled by 140, Fig. 1P) penetrating a first stacked layer (161-168, 110, Fig. 1P) along a vertical direction;
- A first channel structure (141, Fig. 1P) disposed at the bottom of the first through hole;
- A second channel structure (145, Fig. 1P) in contact with the first channel structure (141, Fig. 1P) disposed in the first through hole;
- A third channel structure (147, 112, Fig. 1P) in contact with the second channel structure (145, Fig. 1P) disposed over the first through hole, wherein a size of the third channel structure (147, 112, Fig. 1P) along a lateral direction is larger than a top aperture of the first through hole.

9. Yet, Lee does not disclose the following:

- A second stacked layer disposed on the third channel structure;
- A second through hole penetrating the second stacked layer along the vertical direction;

- A fourth channel structure in contact with the third channel structure disposed in the second through hole;
- A fifth channel structure in contact with the fourth channel structure disposed over the second through hole.

10. However, Huo discloses vertically stacking identical sub-arrays (Fig. 4). This has the advantage of forming a reliable, high-density storage array. Therefore, it would have been obvious to one having ordinary skill in the art at the time the invention was made to modify the invention of Lee with vertically stacking an identical sub-array comprising a second stacked layer disposed on the third channel structure, a second through hole penetrating the second stacked layer along the vertical direction, a fourth channel structure in contact with the third channel structure disposed in the second through hole, and a fifth channel structure in contact with the fourth channel structure disposed over the second through hole on the first sub-array, as taught by Huo, so as to form a reliable, high-density storage array.

11. Regarding claim 12, Lee discloses a first functional layer (143, Fig. 1P) disposed between a sidewall of the first through hole (opening which is filled by 140, Fig. 1P) and the second channel structure (145, Fig. 1P) as part of the first sub-array. Since Huo discloses vertically stacking an identical sub-array, the combination of Lee in view of Huo would also teach a second functional layer disposed between a sidewall of the second through hole and the fourth channel structure [as part of the second sub-array].

12. Regarding claim 14, Lee discloses a first filling structure (191, Fig. 1P) covering the surface of the second channel structure (145, Fig. 1P). Huo discloses a first through hole (of lower Storage Sub-Array, Fig. 4) interconnected with a second through hole (of

upper Storage Sub-Array, Fig. 4) and a filling structure covering a surface of the sidewalls of the lower Storage Sub-Array (second channel) and a bottom surface of the upper Storage Sub-Array (fourth channel).

13. Regarding claim 15, Lee discloses the first stacked layer includes a first number of conductor (161-168, Fig. 1P)/dielectric layer pairs (110, Fig. 1P) ([0049]). Since Huo discloses vertically stacking an identical sub-array, the combination of Lee in view of Huo would also teach the second stack layer includes a second number of conductor/dielectric pairs [as part of the second sub-array].

14. Yet, Lee and Huo do not disclose the first number and second number are not less than 32. However, it would have been obvious to one having ordinary skill in the art at the time the invention was effectively filed to select a first and second number of conductor/dielectric pairs to be not less than 32, since it has been held that where the general conditions of a claim are disclosed in the prior art, discovering the optimum or workable ranges involves only routine skill in the art. *In re Aller,* 105 USPQ 233.

15. Regarding claim 16, Lee discloses a third channel structure (147, 112, Fig. 1P) but does not explicitly disclose its thickness is between 30 nm and 70 nm. However, it would have been obvious to one having ordinary skill in the art at the time the invention was effectively filed to select a thickness of the third channel structure to be between 30 nm and 70 nm, since it has been held that where the general conditions of a claim are disclosed in the prior art, discovering the optimum or workable ranges involves only routine skill in the art. *In re Aller,* 105 USPQ 233.

16. Regarding claim 17, Lee discloses a first through hole (opening which is filled by 140, Fig. 1P) with a size difference between a top aperture and bottom aperture less than 30 nm (Fig. 1P). Since Huo discloses vertically stacking an identical sub-array, the combination of Lee in view of Huo would also teach the second through hole would also have a size difference between a top aperture and bottom aperture less than 30 nm [as part of the second sub-array].

17. Regarding claim 18, Lee discloses a first sub-array comprising:

- A first stacked layer (161-168, 110, Fig. 1P) disposed on a substrate (101);
- A plurality of channels structures penetrating the first stacked layer ();
- Wherein each of the plurality of channel structures comprises:
  - A first through hole (opening which is filled by 140, Fig. 1P) penetrating the first stacked layer (161-168, 110, Fig. 1P);
  - A first channel structure (141, Fig. 1P) disposed at the bottom of the first through hole and in contact with the substrate (101, Fig. 1P);
  - A second channel structure (145, Fig. 1P) in contact with the first channel structure (141, Fig. 1P) and disposed in the first through hole;
  - A third channel structure (147, 112, Fig. 1P) in contact with the second channel structure (145, Fig. 1P) disposed over the first through hole.

18. Yet, Lee does not disclose the following:

- A second stacked layer disposed on the third channel structure;

- A second through hole penetrating the second stacked layer along the vertical direction;
- A fourth channel structure in contact with the third channel structure disposed in the second through hole;
- A fifth channel structure in contact with the fourth channel structure disposed over the second through hole.

19. However, Huo discloses vertically stacking identical sub-arrays (Fig. 4). This has the advantage of forming a reliable, high-density storage array. Therefore, it would have been obvious to one having ordinary skill in the art at the time the invention was made to modify the invention of Lee with vertically stacking an identical sub-array comprising a second stacked layer disposed on the third channel structure, a second through hole penetrating the second stacked layer along the vertical direction, a fourth channel structure in contact with the third channel structure disposed in the second through hole, and a fifth channel structure in contact with the fourth channel structure disposed over the second through hole on the first sub-array, as taught by Huo, so as to form a reliable, high-density storage array.

20. Regarding claim 19, Lee discloses a first functional layer (143, Fig. 1P) disposed between a sidewall of the first through hole (opening which is filled by 140, Fig. 1P) and the second channel structure (145, Fig. 1P) as part of the first sub-array. Since Huo discloses vertically stacking an identical sub-array, the combination of Lee in view of Huo would also teach a second functional layer disposed between a sidewall of the second through hole and the fourth channel structure [as part of the second sub-array].

21. Regarding claim 20, Lee discloses a third channel structure (147, Fig. 1P) but does not explicitly disclose its thickness is between 30 nm and 70 nm. However, it would have been obvious to one having ordinary skill in the art at the time the invention was effectively filed to select a thickness of the third channel structure to be between 30 nm and 70 nm, since it has been held that where the general conditions of a claim are disclosed in the prior art, discovering the optimum or workable ranges involves only routine skill in the art. *In re Aller,* 105 USPQ 233.

Double Patenting

22. The nonstatutory double patenting rejection is based on a judicially created doctrine grounded in public policy (a policy reflected in the statute) so as to prevent the unjustified or improper timewise extension of the "right to exclude" granted by a patent and to prevent possible harassment by multiple assignees. A nonstatutory double patenting rejection is appropriate where the conflicting claims are not identical, but at least one examined application claim is not patentably distinct from the reference claim(s) because the examined application claim is either anticipated by, or would have been obvious over, the reference claim(s). See, e.g., *In re Berg*, 140 F.3d 1428, 46 USPQ2d 1226 (Fed. Cir. 1998); *In re Goodman*, 11 F.3d 1046, 29 USPQ2d 2010 (Fed. Cir. 1993); *In re Longi*, 759 F.2d 887, 225 USPQ 645 (Fed. Cir. 1985); *In re Van Ornum*, 686 F.2d 937, 214 USPQ 761 (CCPA 1982); *In re Vogel*, 422 F.2d 438, 164 USPQ 619 (CCPA 1970); *In re Thorington*, 418 F.2d 528, 163 USPQ 644 (CCPA 1969).

A timely filed terminal disclaimer in compliance with 37 CFR 1.321(c) or 1.321(d) may be used to overcome an actual or provisional rejection based on nonstatutory double

patenting provided the reference application or patent either is shown to be commonly owned with the examined application, or claims an invention made as a result of activities undertaken within the scope of a joint research agreement. See MPEP § 717.02 for applications subject to examination under the first inventor to file provisions of the AIA as explained in MPEP § 2159. See MPEP § 2146 *et seq.* for applications not subject to examination under the first inventor to file provisions of the AIA. A terminal disclaimer must be signed in compliance with 37 CFR 1.321(b).

The USPTO Internet website contains terminal disclaimer forms which may be used. Please visit www.uspto.gov/patent/patents-forms. The filing date of the application in which the form is filed determines what form (e.g., PTO/SB/25, PTO/SB/26, PTO/AIA/25, or PTO/AIA/26) should be used. A web-based eTerminal Disclaimer may be filled out completely online using web-screens. An eTerminal Disclaimer that meets all requirements is auto-processed and approved immediately upon submission. For more information about eTerminal Disclaimers, refer to www.uspto.gov/patents/process/file/efs/guidance/eTD-info-I.jsp.

23. Claims 11-20 provisionally rejected on the ground of nonstatutory double patenting as being unpatentable over claims 11-15 and 18-20 of copending Application No. 16/046,847 (reference application).

24. Claim 11 of the instant application corresponds with claim 11 of the ‘847 application.

25. Claim 12 of the instant application corresponds with claim 11 of the ‘847 application.

26. Claim 13 of the instant application corresponds with claim 12 of the '847 application.

27. Claim 14 of the instant application corresponds with claim 13 of the '847 application.

28. Claim 15 of the instant application corresponds with claims 14-15 of the '847 application.

29. Claim 16 of the instant application corresponds with claim 18 of the '847 application.

30. Claim 17 of the instant application corresponds with claim 19 of the '847 application.

31. Claim 18 of the instant application corresponds with claim 20 of the '847 application.

32. Claim 19 of the instant application corresponds with claim 20 of the '847 application.

33. Claim 20 of the instant application corresponds with claims 20 and 19 of the '847 application.

34. This is a provisional nonstatutory double patenting rejection because the patentably indistinct claims have not in fact been patented.

Conclusion

35. Any inquiry concerning this communication or earlier communications from the examiner should be directed to REEMA PATEL whose telephone number is (571)270-1436. The examiner can normally be reached M-F, 8am-5pm EST.

Examiner interviews are available via telephone, in-person, and video conferencing using a USPTO supplied web-based collaboration tool. To schedule an interview, applicant is encouraged to use the USPTO Automated Interview Request (AIR) at http://www.uspto.gov/interviewpractice.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Charles D Garber can be reached on (571)272-2194. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of published or unpublished applications may be obtained from Patent Center. Unpublished application information in Patent Center is available to registered users. To file and manage patent submissions in Patent Center, visit: https://patentcenter.uspto.gov. Visit https://www.uspto.gov/patents/apply/patent-center for more information about Patent Center and https://www.uspto.gov/patents/docx for information about filing in DOCX format. For additional questions, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/REEMA PATEL/
Primary Examiner, Art Unit 2812

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	16/951,141	LU et al.
	Examiner	Art Unit
	REEMA PATEL	2812

CPC - Searched*		
Symbol	**Date**	**Examiner**
H01L 27/11565, H01L 27/1157, H01L 27/5578, H01L 27/11582	03/24/2022	RP

CPC Combination Sets - Searched*		
Symbol	**Date**	**Examiner**

US Classification - Searched*			
Class	**Subclass**	**Date**	**Examiner**

* See search history printout included with this form or the SEARCH NOTES box below to determine the scope of the search.

Search Notes		
Search Notes	**Date**	**Examiner**
H01L 27/11565, H01L 27/1157, H01L 27/5578, H01L 27/11582 with keywords	03/24/2022	RP
SEARCH notes attached	03/25/2022	RP

Interference Search			
US Class/CPC Symbol	**US Subclass/CPC Group**	**Date**	**Examiner**

/R.P/ Primary Examiner, Art Unit 2812	

Micron Ex. 1002, p. 600
Micron v. YMTC
IPR2025-00245

PTO/SB/08a (07-09)
Approved for use through 11/30/2020. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 1

Complete if Known	
Application Number	16/951,141
Filing Date	November 18, 2020
First Named Inventor	Zhenyu LU
Art Unit	2812
Examiner Name	To Be Assigned
Attorney Docket Number	4123.0110003

U. S. PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Document Number Number-Kind Code[2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	US1	US- 10,038,006 B2	07-31-2018	Furihata et al.	
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Foreign Patent Document Country Code[3] Number[4] Kind Code[5] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages Or Relevant Figures Appear	T[6]
	FP1	KR 1020180095499 A	08-27-2018	SANDISK TECHNOLOGIES LLC		

Examiner Signature	/REEMA PATEL/	Date Considered	03/25/2022

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. [1] Applicant's unique citation designation number (optional). [2] See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. [3] Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). [4] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [6] Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /R.P/

PTO/SB/08a (07-09)
Approved for use through 11/30/2020. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 2

Complete if Known	
Application Number	To Be Assigned
Filing Date	Herewith
First Named Inventor	Zhenyu LU
Art Unit	To Be Assigned
Examiner Name	To Be Assigned
Attorney Docket Number	4123.0110003

U. S. PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Document Number Number-Kind Code[2] *(if known)*	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	US1	US- 2010/0019310 A1	01-28-2010	Sakamoto	
	US2	US- 2010/0109065 A1	05-06-2010	Oh et al.	
	US3	US- 2011/0151667 A1	06-23-2011	Hwang et al.	
	US4	US- 2013/0203227 A1	08-08-2013	Huo et al.	
	US5	US- 2015/0236038 A1	08-20-2015	Pachamuthu et al.	
	US6	US- 2010/0109072 A1	05-06-2010	Kidoh et al.	
	US7	US- 2010/143524 A1	06-16-2011	Son et al.	
	US8	US- 2016/0071793 A1	03-10-2016	Shinohara et al.	
	US9	US- 2016/0163732 A1	06-09-2016	Lim et al.	
	US10	US- 9,570,463 B1	02-14-2017	Zhang et al.	
	US11	US- 10,229,927 B2	03-12-2019	Lee et al.	
	US12	US- 10,600,801 B2	03-24-2020	Lee et al.	
	US13	US- 10,644,020 B2	05-05-2020	Huo et al.	
	US14	US- 2019/0081060 A1	03-14-2019	Lu et al.	
	US15	US- 2013/0109158 A1	05-01-2013	Lee et al.	
		US-			
		US-			
		US-			
		US-			

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Foreign Patent Document Country Code[3] Number[4] Kind Code[5] *(if known)*	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages Or Relevant Figures Appear	T[6]
	FP1	CN-102543877-A	07-04-2012	INST OF MICROELECTRONICS		✓
	FP2	CN-105304612-A	02-03-2016	MACRONIX INT CO LTD		✓
	FP3	CN-105374826-A	03-02-2016	INST MICROELECTRONICS CAS		✓
	FP4	CN-106653684-A	05-10-2017	YANGTZE MEMORY TECH CO LT		✓
	FP5	CN-106920772-A	07-04-2017	YANGTZE MEMORY TECH CO LT		✓
	FP6	CN 105261617 A	01-20-2016	INST OF MICROELECTRONICS		

Examiner Signature	/REEMA PATEL/	Date Considered	03/25/2022

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. [1] Applicant's unique citation designation number (optional). [2] See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. [3] Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). [4] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [6] Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /R.P/

PTO/SB/08a (07-09)
Approved for use through 11/30/2020. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 2 of 2

Complete if Known	
Application Number	To Be Assigned
Filing Date	Herewith
First Named Inventor	Zhenyu LU
Art Unit	To Be Assigned
Examiner Name	To Be Assigned
Attorney Docket Number	4123.0110003

U. S. PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Document Number Number-Kind Code[2] *(if known)*	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Foreign Patent Document Country Code[3] Number[4] Kind Code[5] *(if known)*	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages Or Relevant Figures Appear	T[6]
	FP7	KR 1020110068145 A	06-22-2011	SAMSUNG ELECTRONICS CO LT		
	FP8	KR 1020120029194 A	03-26-2012	SAMSUNG ELECTRONICS CO LT		
	FP9	KR 1020160003977 A	01-12-2016	SAMSUNG ELECTRONICS CO LT		
	FP10	KR 1020160069903 A	06-17-2016	SAMSUNG ELECTRONICS CO LT		

Examiner Signature	/REEMA PATEL/	Date Considered	03/25/2022

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. [1] Applicant's unique citation designation number (optional). [2] See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. [3] Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). [4] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [6] Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /R.P/

PTO/SB/08b (07-09)
Approved for use through 11/30/2020. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 1

Complete if Known	
Application Number	To Be Assigned
Filing Date	Herewith
First Named Inventor	Zhenyu LU
Art Unit	To Be Assigned
Examiner Name	To Be Assigned
Attorney Docket Number	4123.0110003

NON PATENT LITERATURE DOCUMENTS

Examiner Initials*	Cite No.[1]	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	T[2]
	NPL1	International Search Report and Written Opinion of the International Searching Authority directed to related International Patent Application No. PCT/CN2018/077785, mailed June 8, 2018; 7 pages.	
	NPL2	Korean Application No. 10-2019-7029469, Office Action mailed September 23, 2020; English Translation from EPO Global Dossier, 16 pages.	✓
	NPL3	Chinese Application No. 201910114048.8, Office Action mailed September 27, 2020; English Translation from EPO Global Dossier, 32 pages.	✓

Examiner Signature	/REEMA PATEL/	Date Considered	03/25/2022

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

[1] Applicant's unique citation designation number (optional). [2] Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /R.P/

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

BIB DATA SHEET

CONFIRMATION NO. 3874

SERIAL NUMBER	FILING or 371(c) DATE	CLASS	GROUP ART UNIT	ATTORNEY DOCKET NO.
16/951,141	11/18/2020 RULE	257	2812	4123.0110003

APPLICANTS
Yangtze Memory Technologies Co., Ltd., Wuhan, CHINA;

INVENTORS
Zhenyu LU, Wuhan, CHINA;
Wenguang SHI, Wuhan, CHINA;
Guanping WU, Wuhan, CHINA;
Feng PAN, Wuhan, CHINA;
Xianjin WAN, Wuhan, CHINA;
Baoyou CHEN, Wuhan, CHINA;

**** CONTINUING DATA ***************************
This application is a CON of 16/046,847 07/26/2018 PAT 10886291
which is a CON of PCT/CN2018/077785 03/01/2018

**** FOREIGN APPLICATIONS ***************************
CHINA 201710134782.1 03/08/2017
CHINA 201710134783.6 03/08/2017

**** IF REQUIRED, FOREIGN FILING LICENSE GRANTED ****
11/30/2020

Foreign Priority claimed ☑ Yes ☐ No 35 USC 119(a-d) conditions met ☑ Yes ☐ No Verified and Acknowledged /REEMA PATEL/ Examiner's Signature	☐ Met after Allowance Initials	STATE OR COUNTRY	SHEETS DRAWINGS	TOTAL CLAIMS	INDEPENDENT CLAIMS
		CHINA	120	20	3

ADDRESS
STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.
1100 NEW YORK AVENUE, N.W.
WASHINGTON, DC 20005
UNITED STATES

TITLE
JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME

FILING FEE RECEIVED		
2240	FEES: Authority has been given in Paper No._____ to charge/credit DEPOSIT ACCOUNT No._____ for following:	☐ All Fees ☐ 1.16 Fees (Filing) ☐ 1.17 Fees (Processing Ext. of time) ☐ 1.18 Fees (Issue) ☐ Other _____ ☐ Credit

BIB (Rev. 05/07).

PE2E SEARCH - Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	British Equivalents	Time Stamp
L1	14520	lu-zhenyu.in. OR shi-wenguang.in. OR wu-guanping.in. OR pan-feng.in. OR wan-xianjin.in OR chen-baoyou.in.	(US-PGPUB; USPAT; USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	AND	ON	ON	2022/03/24 10:51 AM
L2	6	(20130109158|20130203227).pn.	(US-PGPUB; USPAT; USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	AND	ON	ON	2022/03/24 10:51 AM
L3	6	"16046847"	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	AND	ON	ON	2022/03/24 01:22 PM
L4	15189	h01l27/11565.cpc.	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	AND	ON	ON	2022/03/24 02:03 PM
L5	22185	h01l27/1157.cpc.	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV,	AND	ON	ON	2022/03/24 02:03 PM

Micron Ex. 1002, p. 606
Micron v. YMTC
IPR2025-00245

			MA, OA, RU, SU, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)				
L6	11110	h01l27/11578.cpc.	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	AND	ON	ON	2022/03/24 02:03 PM
L7	38877	h01l27/11582.cpc.	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	AND	ON	ON	2022/03/24 02:03 PM
L8	49	(20100019310|20100109065|20110151667|20130203227|20150236038|20100109072|20100143524|20160071793|20160163732|9570463|10229927|10600801|10644020|20190081060|20130109158).pn.	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	AND	ON	ON	2022/03/24 02:05 PM
L9	8	(20130109158|20100078622).pn.	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	AND	ON	ON	2022/03/24 02:06 PM
L10	7	("10038006").pn.	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO);	AND	ON	ON	2022/03/24 02:06 PM

Micron Ex. 1002, p. 607
Micron v. YMTC
IPR2025-00245

			FPRS; EPO; JPO; DERWENT; IBM_TDB)				
L11	4	("20130134492").pn.	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	AND	ON	ON	2022/03/24 02:06 PM
L12	64	L8 OR L9 OR L10 OR L11	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	AND	ON	ON	2022/03/24 02:07 PM
L13	46913	L4 OR L5 OR L6 OR L7	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	AND	ON	ON	2022/03/24 04:16 PM
L17	2058	stack$3 WITH (duplicat$ OR identical OR exact) WITH array$	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	AND	ON	ON	2022/03/24 04:24 PM
L18	76	L17 L13	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO); FPRS; EPO; JPO;	AND	ON	ON	2022/03/24 04:24 PM

Micron Ex. 1002, p. 608
Micron v. YMTC
IPR2025-00245

			DERWENT; IBM_TDB)				
L19	263434	stack$3 WITH array$	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	AND	ON	ON	2022/03/24 04:30 PM
L20	12972	L19 L13	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	AND	ON	ON	2022/03/24 04:30 PM
L22	5215	L19 L4	(US-PGPUB; USPAT; USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	AND	ON	ON	2022/03/24 04:31 PM
L23	427050	channel WITH interconnect$	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	AND	ON	ON	2022/03/24 04:34 PM
L24	8066	L19 L23	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	AND	ON	ON	2022/03/24 04:34 PM

Micron Ex. 1002, p. 609
Micron v. YMTC
IPR2025-00245

L25	2	L12 L24	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	AND	ON	ON	2022/03/24 04:34 PM
L26	373659	channel WITH stack$3	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	AND	ON	ON	2022/03/24 04:35 PM
L27	30452	L26 L19	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	AND	ON	ON	2022/03/24 04:35 PM
L29	3298	L27 L4	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	AND	ON	ON	2022/03/24 04:36 PM
L30	4747	channel WITH stack$3 WITH offset$4	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	AND	ON	ON	2022/03/24 04:40 PM
L31	254	L13 L30	(US-PGPUB; USPAT;	AND	ON	ON	2022/03/24

Micron Ex. 1002, p. 610
Micron v. YMTC
IPR2025-00245

			USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)				04:41 PM

PE2E SEARCH - Search History (Interference)

There are no Interference searches to show.

Micron Ex. 1002, p. 611
Micron v. YMTC
IPR2025-00245

PTO/SB/08a (07-09)
Approved for use through 11/30/2020. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 1

Complete if Known	
Application Number	16/951,141
Filing Date	November 18, 2020
First Named Inventor	Zhenyu LU
Art Unit	2812
Examiner Name	PATEL, REEMA
Attorney Docket Number	4123.0110003

U. S. PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Document Number Number-Kind Code[2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	US1	US- 2013/0134492 A1	05-30-2013	Yang et al.	
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Foreign Patent Document Country Code[3] Number[4] Kind Code[5] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages Or Relevant Figures Appear	T[6]
	FP1	KR 20100100397 A	09-15-2010	SAMSUNG ELECTRONICS CO LT		✓
	FP2	KR 20130057670 A	06-03-2013	SAMSUNG ELECTRONICS CO LT		

Examiner Signature	/REEMA PATEL/	Date Considered	03/25/2022

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. [1] Applicant's unique citation designation number (optional). [2] See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. [3] Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). [4] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [6] Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /R.P/

PTO/SB/08a (07-09)
Approved for use through 11/30/2020. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 1

Complete if Known	
Application Number	16/951,141
Filing Date	November 18, 2020
First Named Inventor	Zhenyu LU
Art Unit	2812
Examiner Name	To Be Assigned
Attorney Docket Number	4123.0110003

U. S. PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Document Number Number-Kind Code[2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	US1	US- 2013/0109158 A1	05-02-2013	Lee et al.	
	US2	US- 2010/0078622 A1	04-01-2010	Yoshimizu et al.	
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Foreign Patent Document Country Code[3] Number[4] Kind Code[5] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages Or Relevant Figures Appear	T[6]
	FP1	JP 20100080685 A	04-08-2010	TOSHIBA CORP		

Examiner Signature	/REEMA PATEL/	Date Considered	03/25/2022

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. [1] Applicant's unique citation designation number (optional). [2] See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. [3] Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). [4] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [6] Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /R.P/

PTO/AIA/26 (04-14)
Approved for use through 11/30/2020. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TERMINAL DISCLAIMER TO OBVIATE A DOUBLE PATENTING REJECTION OVER A "PRIOR" PATENT	Docket Number (Optional) 4123.0110003

In re Application of: LU et al.

Application No.: 16/951,141

Filed: November 18, 2020

For: JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FOR

The applicant, Yangtze Memory Technologies Co., Ltd., owner of 100 percent interest in the instant application hereby disclaims, except as provided below, the terminal part of the statutory term of any patent granted on the instant application which would extend beyond the expiration date of the full statutory term of **prior patent** No. 10,886,291 as the term of said **prior patent** is presently shortened by any terminal disclaimer. The applicant hereby agrees that any patent so granted on the instant application shall be enforceable only for and during such period that it and the **prior patent** are commonly owned. This agreement runs with any patent granted on the instant application and is binding upon the grantee, its successors or assigns.

In making the above disclaimer, the applicant does not disclaim the terminal part of the term of any patent granted on the instant application that would extend to the expiration date of the full statutory term of the **prior patent**, "as the term of said **prior patent** is presently shortened by any terminal disclaimer," in the event that said **prior patent** later:

expires for failure to pay a maintenance fee;
is held unenforceable;
is found invalid by a court of competent jurisdiction;
is statutorily disclaimed in whole or terminally disclaimed under 37 CFR 1.321;
has all claims canceled by a reexamination certificate;
is reissued; or
is in any manner terminated prior to the expiration of its full statutory term as presently shortened by any terminal disclaimer.

Check either box 1 or 2 below, if appropriate.

1. ☐ The undersigned is the applicant. If the applicant is an assignee, the undersigned is authorized to act on behalf of the assignee.

I hereby acknowledge that any willful false statements made are punishable under 18 U.S.C. 1001 by fine or imprisonment of not more than five (5) years, or both.

2. ☑ The undersigned is an attorney or agent of record. Reg. No. 33,876

/Donald J. Featherstone/ — 5/27/22

Signature — Date

Donald. J. Featherstone

Typed or printed name

Attorney for Applicant — (202) 772-8629

Title — Telephone Number

☑ Terminal disclaimer fee under 37 CFR 1.20(d) included.

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.321. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventors: LU *et al.*	Confirmation No.: 3874
Applicant: Yangtze Memory Technologies Co., Ltd.	Art Unit: 2812
Application No.: 16/951,141	Examiner: PATEL, Reema
Filed: November 18, 2020	Atty. Docket: 4123.0110003

Title: **JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME**

Reply Under 37 C.F.R. § 1.111

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Mail Stop Amendment

Commissioner:

In reply to the Office Action dated March 29, 2022 ("Office Action"), Applicant submits the following Remarks.

Amendments to the Claims are reflected in the listing of the claims which begins on page **2** of this paper.

Remarks and Arguments begin on page **8** of this paper.

It is not believed that extensions of time are required beyond those that may otherwise be provided for in documents accompanying this paper. However, if additional extensions of time are necessary to prevent abandonment of this application, then such extensions of time are hereby petitioned under 37 C.F.R. § 1.136(a), and any additional fees required to continue prosecution or appeal of this application (including issue fee, fees for net addition of claims, or forwarding to appeal) are hereby authorized to be charged to our Deposit Account No. 19-0036.

Amendments to the Claims

This listing of claims will replace all prior versions, and listings, of claims in the application.

1. (Withdrawn) A method of forming a joint opening structure in a three-dimensional (3D) memory device, comprising:

forming a first stacked layer on a substrate;

forming a first through hole penetrating the first stacked layer to expose the substrate;

forming a first channel structure at a bottom of the first through hole and in contact with the substrate;

forming a second channel structure in the first through hole and in contact with the first channel structure;

forming a third channel structure above the first through hole and in contact with the second channel structure, wherein a size of the third channel structure along a lateral direction is larger than a top aperture of the first through hole;

forming a second stacked layer over the third channel structure;

forming a second through hole penetrating the second stacked layer to expose the third channel structure;

forming a fourth channel structure in the second through hole and in contact with the third channel structure; and

forming a fifth channel structure above the second through hole and in contact with the fourth channel structure.

2. (Withdrawn) The method of claim 1, wherein:

the first stacked layer includes a first number of oxide/nitride layer pairs; and

the second stacked layer includes a second number of oxide/nitride layer pairs.

3. (Withdrawn) The method of claim 2, wherein:

the first number and the second number are not less than 32.

4. (Withdrawn) The method of claim 1, further comprising:

Micron Ex. 1002, p. 616
Micron v. YMTC
IPR2025-00245

forming a first functional layer between a sidewall of the first through hole and the second channel structure; and

forming a second functional layer disposed between a sidewall of the second through hole and the fourth channel structure.

5. (Withdrawn) The method of claim 4, wherein forming the first functional layer comprises:

forming a first tunneling layer on the sidewall of the first through hole and the exposed surface of the first channel structure, wherein the first tunneling layer is configured, in operation, to generate charges;

forming a first storage layer on the surface of the first tunneling layer to store the charges generated by the first tunneling layer;

forming a first barrier layer on the surface of the first storage layer to block the outflow of charges in the first storage layer;

forming a first passivation layer on the surface of the first barrier layer to protect the first barrier layer from being damaged in a subsequent removal process; and

removing portions of the first passivation layer, the first barrier layer, the first storage layer, and the first tunneling layer on the surface of the first channel structure, wherein remaining portions of the first passivation layer, the first barrier layer, the first storage layer, and the first tunneling layer on the sidewall of the first through hole to form the first functional layer.

6. (Withdrawn) The method of claim 5, wherein forming the second channel structure comprises:

forming a second channel layer that covers the sidewall of the first passivation layer and the exposed surface of the first channel layer;

forming a first filling layer that covers the surface of the second channel layer;

removing a portion of the first filling layer to form a first filling structure, wherein the top surface of the first filling structure is lower than the top surface of the first insulating connection layer; and

removing a portion of the second channel layer to form the second channel structure.

Micron Ex. 1002, p. 617
Micron v. YMTC
IPR2025-00245

7. (Withdrawn) The method of claim 1, wherein forming the third channel structure comprises:

forming a first insulating connection layer on the first stacked layer to cover the first through hole;

etching the first insulating connection layer to form a first groove to expose the first through hole;

forming a third channel layer in the first groove, wherein the third channel layer is in contact with the second channel structure; and

planarizing the top surfaces of the first insulating connection layer and the third channel layer to form the third channel structure.

8. (Withdrawn) The method of claim 1, wherein forming the third channel structure comprises:

forming a first insulating connection layer on the first stacked layer to cover the first through hole;

etching the first insulating connection layer and at least a portion of a top nitride layer of the first stacked layer to form a first groove to expose the first through hole;

forming the third channel structure in the first groove, wherein the third channel structure is in contact with the second channel structure; and

planarizing the top surfaces of the first insulating connection layer and the third channel structure.

9. (Withdrawn) The method of claim 4, wherein forming the fourth channel structure comprises:

forming a fourth channel layer that covers the sidewall of a second functional layer and the exposed surface of the third channel layer;

forming a second filling layer that covers the surface of the fourth channel layer;

removing a portion of the second filling layer to form the second filling structure, wherein the top surface of the second filling structure is lower than the top surface of the second insulating connection layer; and

removing a portion of the fourth channel layer to form the fourth channel structure, wherein a top surface of the fourth channel structure is lower than a top surface of the second insulating

Micron Ex. 1002, p. 618
Micron v. YMTC
IPR2025-00245

connection layer.

10. (Withdrawn) The method of claim 1, wherein forming the fifth channel structure comprises:

forming a second insulating connection layer on the second stacked layer to cover the first through hole;

etching the second insulating connection layer to form a second groove to expose the second through hole;

forming a fifth channel layer in the second groove, wherein the fifth channel layer is in contact with the fourth channel structure; and

planarizing the top surfaces of the second insulating connection layer and the fifth channel layer to form the fifth channel structure.

11. (Original) A joint opening structure of a three-dimensional (3D) memory device, comprising:

a first through hole penetrating a first stacked layer along a vertical direction;

a first channel structure disposed at the bottom of the first through hole;

a second channel structure in contact with the first channel structure disposed in the first through hole;

a third channel structure in contact with the second channel structure disposed over the first through hole, wherein a size of the third channel structure along a lateral direction is larger than a top aperture of the first through hole;

a second stacked layer disposed on the third channel structure;

a second through hole penetrating the second stacked layer along the vertical direction;

a fourth channel structure in contact with the third channel structure disposed in the second through hole;

a fifth channel structure in contact with the fourth channel structure disposed over the second through hole.

12. (Original) The joint opening structure of claim 11, further comprising:

a first functional layer disposed between a sidewall of the first through hole and the second

Micron Ex. 1002, p. 619
Micron v. YMTC
IPR2025-00245

channel structure; and

a second functional layer disposed between a sidewall of the second through hole and the fourth channel structure.

13. (Original) The joint opening structure of claim 11, further comprising:

a first filling structure covering the surface of the second channel structure; and

a second filling structure covering the surface of the fourth channel structure;

wherein the first through hole is non-interconnected with the second through hole.

14. (Original) The joint opening structure of claim 11, further comprising:

a first filling structure covering the surfaces of the second channel structure and the fourth channel structure;

wherein the first through hole is interconnected with the second through hole.

15. (Original) The joint opening structure of claim 11, wherein:

the first stacked layer includes a first number of conductor/dielectric layer pairs;

the second stacked layer includes a second number of conductor/dielectric layer pairs; and

the first number and the second number are not less than 32.

16. (Original) The joint opening structure of claim 11, wherein:

a thickness of the third channel structure is in a range between 30nm and 70nm.

17. (Original) The joint opening structure of claim 11, wherein:

a size difference between the top aperture and a bottom aperture of the first through hole is equal to or less than 30nm; and

a size difference between a top aperture and a bottom aperture of the second through hole is equal to or less than 30nm.

18. (Currently Amended) A joint opening structure of a three-dimensional (3D) memory device, comprising:

Micron Ex. 1002, p. 620
Micron v. YMTC
IPR2025-00245

a first stacked layer disposed on a substrate;

a second stacked layer disposed on the first stacked layer; and

a plurality of channel structures penetrating the first stacked layer and the second stacked layer;

wherein each of the plurality of channel structures includes:

a first through hole penetrating the first stacked layer,

a first channel structure disposed at the bottom of the first through hole and in contact with the substrate,

a second channel structure disposed in the first through hole and in contact with the first channel structure,

a third channel structure disposed over the first through hole and in contact with the second channel structure, wherein a size of the third channel structure along a lateral direction is larger than a top aperture of the first through hole;

a second through hole penetrating the second stacked layer,

a fourth channel structure disposed in the second through hole and in contact with the third channel structure, and

a fifth channel structure disposed over the second through hole and in contact with the fourth channel structure.

19. (Original) The joint opening structure of claim 18, wherein each of the plurality of channel structures further includes:

a first functional layer disposed between a sidewall of the first through hole and the second channel structure; and

a second functional layer disposed between a sidewall of the second through hole and the fourth channel structure.

20. (Original) The joint opening structure of claim 18, wherein:

a thickness of the third channel structure is in a range between 30nm and 70nm.

Micron Ex. 1002, p. 621
Micron v. YMTC
IPR2025-00245

Remarks

Reconsideration of this Application is respectfully requested.

Upon entry of the foregoing reply, claims 11-20 are pending in the application, with claims 11 and 18 being the independent claims. Claims 1-10 were previously withdrawn from consideration. Claim 18 is sought to be amended. These changes are believed to introduce no new matter, and their entry is respectfully requested.

Based on the following remarks, Applicant respectfully requests that the Examiner reconsider all outstanding rejections and that they be withdrawn.

Rejections Under 35 U.S.C. § 103

Claims 11-12 and 14-20 are rejected under 35 U.S.C. § 103 as allegedly being unpatentable over U.S. Publication No. 2013/0109158 A1 to Lee *et al.* ("Lee") in view of U.S. Publication No. 2013/0203227 A1 to Huo *et al.* ("Huo"). (Office Action, pp. 3-8.) Applicant respectfully disagrees.

Independent claim 11 recites at least the below features that distinguish over the applied references:

> a third channel structure in contact with the second channel structure disposed over the first through hole, wherein **a projection of the third channel structure on the substrate covers a projection of the first through hole on the substrate**;
>
> ...
>
> **a fifth channel structure in contact with the fourth channel structure disposed over the second through hole**,

(Emphasis added.)

In rejecting claim 11, the Office Action indicated that the third semiconductor layer 147 of Lee's FIG. 1P reads on the claimed third channel structure. (Office Action, page 3.) But Applicant

Micron Ex. 1002, p. 622
Micron v. YMTC
IPR2025-00245

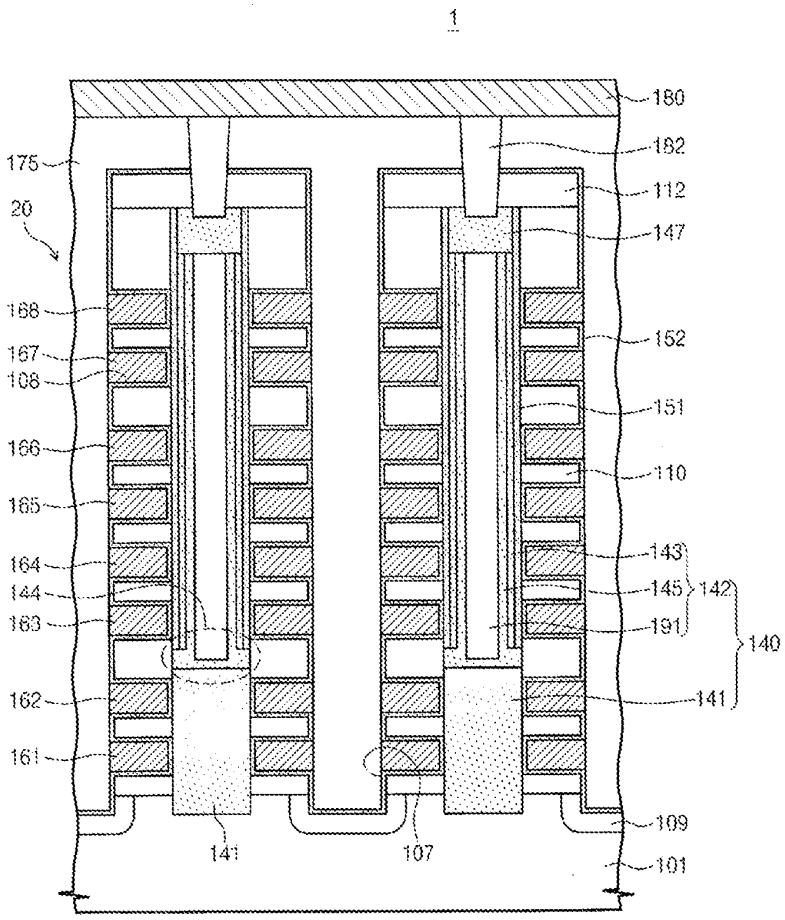
respectfully submits that the Office Action failed to address all words in the claim. MPEP § 2143.03 states:

> "All words in a claim must be considered in judging the patentability of that claim against the prior art." *In re Wilson*, 424 F.2d 1382, 1385, 165 USPQ 494, 496 (CCPA 1970).
>
> Examiners must consider all claim limitations when determining patentability of an invention over the prior art. *In re Gulack*, 703 F.2d 1381, 1385, 217 USPQ 401, 403-04 (Fed. Cir. 1983). The subject matter of a properly construed claim is defined by the terms that limit the scope of the claim when given their broadest reasonable interpretation. *See* MPEP § 2111 et seq. It is this subject matter that must be examined.

As recited in original claim 11, "a projection of the third channel structure on the substrate covers a projection of the first through hole on the substrate." Unlike the above-noted distinguishing claim features, the third semiconductor layer 147 of Lee is located within the channel hole 103 and is encircled by first information storing layer 151, as clearly shown in FIG. 1P of Lee (reproduced below). Paragraph [0040] of Lee states that "a first information storing layer 151 may be formed to cover an inner wall of the vertical channel hole 103." And Paragraph [0047] of Lee states that "[t]he formation of the third semiconductor layer 147 may include partially removing an upper portion of the vertical channel 140 to form a hole 104, and then filling the hole 104 with a semiconductor material." That is, the third semiconductor layer 147 of Lee is formed ***within*** the channel hole 103 and ***encircled by*** first information storing layer 151, thus a diameter of the third semiconductor layer 147 in the lateral direction must be ***less than*** an inner diameter of the channel hole 103. Therefore, a projection of the third semiconductor layer 147 of Lee on the substrate cannot cover a projection of the channel hole 103 on the substrate, as required by claim 11.

Micron Ex. 1002, p. 623
Micron v. YMTC
IPR2025-00245

Fig. 1P



Further, the Office Action correctly admitted that "Lee does not disclose the following: … a fifth channel structure in contact with the fourth channel structure disposed over the second through hole." The Office Action then replied on Huo and stated that "Huo discloses vertically stacking identical sub-arrays (FIG. 4)." (Office Action, pp. 3-4.) Applicant respectfully disagrees.

First, as shown in FIG. 4 of Huo (reproduced below), the upper storage sub-array is not identical with the lower storage sub-array as the Office Action alleged. The lower storage sub-array

Micron Ex. 1002, p. 624
Micron v. YMTC
IPR2025-00245

includes vertical transistors and selection transistor drains that are indicated in the dashed circle line, which the upper storage sub-array does not have. Thus, the conclusion of the Office Action fails. Second, the upper subarray of Huo does not include "a fifth channel structure in contact with the fourth channel structure disposed over the second through hole," as required by claim 11. Huo is completely silent about this feature. Thus, Huo fails to cure the deficiencies of Lee.

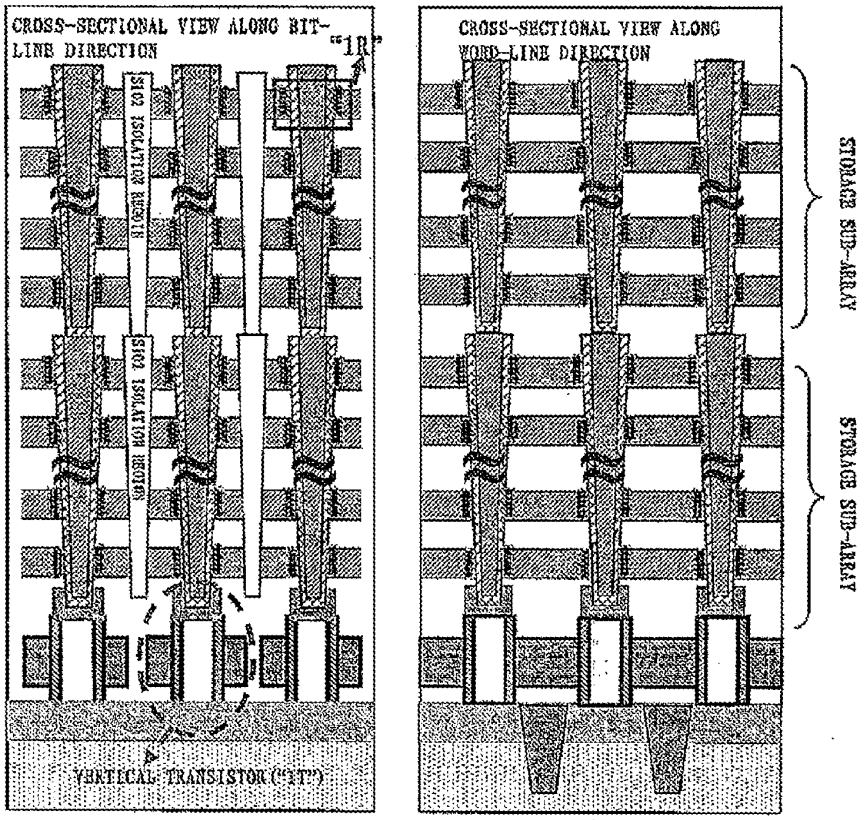


FIG.4

Accordingly, independent claim 11 is allowable over the cited references. Applicant further submits that, amended independent claim 18 recites similar distinguishing features discussed above,

Micron Ex. 1002, p. 625
Micron v. YMTC
IPR2025-00245

thus is allowable over the cited references for at least the same reasons set forth above. Dependent claims 12, 14-17, and 19-20, each of which depends from independent claim 11 or independent claim 18, are also allowable for at least depending from an allowable base claim, and for their respective distinguishing features.

For example, at least dependent claims 15-16 and 20 are allowable for their respective distinguishing features.

In rejecting dependent claim 15, the Office Action correctly admitted that "Lee and Huo do not disclose the first number and the second number are not less than 32." However, the Office Action stated that "it would have been obvious to one having ordinary skill in the art at the time the invention was effectively filed to select a number of conductor/electric pairs to be not less than 32, since it has been held that there the general conditions of a claim are disclosed in the prior art, discovering the optimum or workable rages involves only routine skill in the art. *In re Aller*, 105 USPQ 223." (Office Action, p. 5.) Applicant respectfully disagrees that the distinguish feature recited in claim 15 involve only routine skill in the art and have been obvious to a POSA. A published reference is respectfully requested to be provided in the next Office Action to support the allegations of obviousness against claim 15. *K/S HIMPP v. Hear-Wear Techs., LLC*, 751 F.3d 1362, 1366 (Fed. Cir. 2014).

In rejecting dependent claims 16 and 20, the Office Action correctly admitted that "Lee … does not explicitly disclose its thickness is between 30 nm and 70 nm." However, the Office Action stated that "it would have been obvious to one having ordinary skill in the art at the time the invention was effectively filed to select a thickness of the third channel structure to be between 30 nm and 70 nm, since it has been held that there the general conditions of a claim are disclosed in the prior art, discovering the optimum or workable rages involves only routine skill in the art. *In re*

Micron Ex. 1002, p. 626
Micron v. YMTC
IPR2025-00245

Aller, 105 USPQ 223." (Office Action, pp. 5, 8.) Again, Applicant respectfully disagrees that the distinguish feature recited in claims 16 and 20 involve only routine skill in the art and have been obvious to a POSA. A published reference is respectfully requested to be provided in the next Office Action to support the allegations of obviousness against claims 16 and 20. *K/S HIMPP v. Hear-Wear Techs., LLC*, 751 F.3d 1362, 1366 (Fed. Cir. 2014).

Based on at least the reasons discussed above, reconsideration and withdrawal of the rejections under 35 U.S.C. § 103 to claims 11-12 and 14-20 are respectfully requested.

Double Patenting Rejections

Claims 11-20 are provisionally rejected on the ground of nonstatutory double patenting as allegedly being unpatentable over claims 11-15 and 18-20 of copending Application No. 16/046,847.

Without acquiescing to the propriety of the rejection, but rather to further prosecution, Applicant submits herewith a terminal disclaimer over U.S. Application No. 16/046,847 to overcome these rejections. Accordingly, Applicant respectfully requests withdrawal of the double patenting rejections.

Applicant notes that "[t]he filing of a terminal disclaimer to obviate a rejection based on nonstatutory double patenting is not an admission of the propriety of the rejection [because] the filing of a terminal disclaimer simply serves the statutory function of removing the rejection of double patenting, and raises neither a presumption nor estoppel on the merits of the rejection." MPEP § 804.02.II (citations omitted). Thus, the terminal disclaimer included with this reply simply serves the statutory function of removing the double patenting rejection without raising a presumption or estoppel on the merits of the rejection.

Micron Ex. 1002, p. 627
Micron v. YMTC
IPR2025-00245

Conclusion

All of the stated grounds of rejection have been properly traversed, accommodated, or rendered moot. Applicant therefore respectfully requests that the Examiner reconsider all presently outstanding rejections and that they be withdrawn. Applicant believes that a full and complete reply has been made to the outstanding Office Action and, as such, the present application is in condition for allowance. If the Examiner believes, for any reason, that personal communication will expedite prosecution of this application, the Examiner is invited to telephone the undersigned at the number provided.

Prompt and favorable consideration of this Reply is respectfully requested.

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Donald J. Featherstone/

Donald J. Featherstone
Attorney for Applicant
Registration No. 33,876

Date: 5/27/22

1100 New York Avenue, N.W.
Washington, D.C. 20005-3934
(202) 371-2600

18526515_1.docx

Micron Ex. 1002, p. 628
Micron v. YMTC
IPR2025-00245

Electronic Patent Application Fee Transmittal

Application Number:	16951141
Filing Date:	18-Nov-2020
Title of Invention:	JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME
First Named Inventor/Applicant Name:	Zhenyu LU
Filer:	Donald J. Featherstone/Michael Monteiro
Attorney Docket Number:	4123.0110003

Filed as Large Entity

Filing Fees for Utility under 35 USC 111(a)

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Miscellaneous:				
STATUTORY OR TERMINAL DISCLAIMER	1814	1	170	170
		Total in USD ($)		**170**

Electronic Acknowledgement Receipt

EFS ID:	45824435
Application Number:	16951141
International Application Number:	
Confirmation Number:	3874
Title of Invention:	JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME
First Named Inventor/Applicant Name:	Zhenyu LU
Customer Number:	26111
Filer:	Donald J. Featherstone/Michael Monteiro
Filer Authorized By:	Donald J. Featherstone
Attorney Docket Number:	4123.0110003
Receipt Date:	27-MAY-2022
Filing Date:	18-NOV-2020
Time Stamp:	16:50:08
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	CARD
Payment was successfully received in RAM	$170
RAM confirmation Number	E20225QG50590735
Deposit Account	
Authorized User	
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		2022-05-27-Reply-111-Bundle-4123-0110003.pdf	14271991 3ee3437df9363c8541852bff42b4aa22ad718365	yes	16

	Multipart Description/PDF files in .zip description		
	Document Description	**Start**	**End**
	Miscellaneous Incoming Letter	1	1
	Terminal Disclaimer Filed	2	2
	Amendment/Request for Reconsideration-After Non-Final Rejection	3	3
	Claims	4	9
	Applicant Arguments/Remarks Made in an Amendment	10	16

Warnings:

Information:

2	Fee Worksheet (SB06)	fee-info.pdf	37982 5d611e9962a86abbc9f91a3cb9196cfb275702c3	no	2

Warnings:

Information:

Total Files Size (in bytes):	14309973

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

DONALD J. FEATHERSTONE
DIRECTOR
(202) 772-8629
DONF@STERNEKESSLER.COM

Sterne Kessler
STERNE KESSLER GOLDSTEIN & FOX

May 27, 2022

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Confirmation No. 3874
Art Unit 2812
Attn: Mail Stop Amendment

Re: U.S. Utility Patent Application
Appl. No. 16/951,141; Filing Date: November 18, 2020
For: **JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME**
Inventors: LU *et al.*
Our Ref: 4123.0110003

Commissioner:

Transmitted herewith for appropriate action are the following documents:

1. Online Credit Card Payment Authorization in the amount of **$170.00** to cover:

   $170.00 – Terminal Disclaimer fee;

2. Terminal Disclaimer to Obviate a Double Patenting Rejection Over a "Prior Patent" (PTO/AIA/26); and

3. Reply Under 37 C.F.R. § 1.111.

The above-listed documents are filed electronically.

Fee payment is provided by online credit card payment. The U.S. Patent and Trademark Office is hereby authorized to charge any fee deficiency, or credit any overpayment, to our Deposit Account No. 19-0036.

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Donald J. Featherstone/

Donald J. Featherstone
Attorney for Applicant
Registration No. 33,876

DJF/W-S/mm
Enclosures
18249736_1.docx

Micron Ex. 1002, p. 634
Micron v. YMTC
IPR2025-00245

Application Number	Application/Control No.	Applicant(s)/Patent under Reexamination	
* 16/951,141 *	16/951,141	LU et al.	
	Examiner	Art Unit	
	PATEL, REEMA	2812	

Document Code - DISQ	Internal Document - DO NOT MAIL

TERMINAL DISCLAIMER	☑ APPROVED	☐ DISAPPROVED
Date Filed: 27 May 2022	This patent is subject to a Terminal Disclaimer	

Approved/Disapproved by:

/KIMBERLY R WHITE/

Technology Center: OPLC

Telephone: (571)272-6179

_____

Micron Ex. 1002, p. 635
Micron v. YMTC
IPR2025-00245

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

26111 7590 06/20/2022

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.
1100 NEW YORK AVENUE, N.W.
WASHINGTON, DC 20005

EXAMINER
PATEL, REEMA

ART UNIT	PAPER NUMBER
2812	

DATE MAILED: 06/20/2022

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/951,141	11/18/2020	Zhenyu LU	4123.0110003	3874

TITLE OF INVENTION: JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	$1200	$0.00	$0.00	$1200	09/20/2022

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE DOES NOT REFLECT A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE IN THIS APPLICATION. IF AN ISSUE FEE HAS PREVIOUSLY BEEN PAID IN THIS APPLICATION (AS SHOWN ABOVE), THE RETURN OF PART B OF THIS FORM WILL BE CONSIDERED A REQUEST TO REAPPLY THE PREVIOUSLY PAID ISSUE FEE TOWARD THE ISSUE FEE NOW DUE.

HOW TO REPLY TO THIS NOTICE:

I. Review the ENTITY STATUS shown above. If the ENTITY STATUS is shown as SMALL or MICRO, verify whether entitlement to that entity status still applies.

If the ENTITY STATUS is the same as shown above, pay the TOTAL FEE(S) DUE shown above.

If the ENTITY STATUS is changed from that shown above, on PART B - FEE(S) TRANSMITTAL, complete section number 5 titled "Change in Entity Status (from status indicated above)".

For purposes of this notice, small entity fees are 1/2 the amount of undiscounted fees, and micro entity fees are 1/2 the amount of small entity fees.

II. PART B - FEE(S) TRANSMITTAL, or its equivalent, must be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed. If an equivalent of Part B is filed, a request to reapply a previously paid issue fee must be clearly made, and delays in processing may occur due to the difficulty in recognizing the paper as an equivalent of Part B.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Maintenance fees are due in utility patents issuing on applications filed on or after Dec. 12, 1980. It is patentee's responsibility to ensure timely payment of maintenance fees when due. More information is available at www.uspto.gov/PatentMaintenanceFees.

PTOL-85 (Rev. 02/11)

Micron Ex. 1002, p. 636
Micron v. YMTC
IPR2025-00245

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), by mail or fax, or via EFS-Web.

By mail, send to: Mail Stop ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

By fax, send to: (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

26111 7590 06/20/2022

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.
1100 NEW YORK AVENUE, N.W.
WASHINGTON, DC 20005

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being transmitted to the USPTO via EFS-Web or by facsimile to (571) 273-2885, on the date below.

(Typed or printed name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/951,141	11/18/2020	Zhenyu LU	4123.0110003	3874

TITLE OF INVENTION: JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	$1200	$0.00	$0.00	$1200	09/20/2022

EXAMINER	ART UNIT	CLASS-SUBCLASS
PATEL, REEMA	2812	257-324000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

❑ Change of correspondence address (or Change of Correspondence Address form PTO/AIA/122 or PTO/SB/122) attached.

❑ "Fee Address" indication (or "Fee Address" Indication form PTO/AIA/47 or PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list
(1) The names of up to 3 registered patent attorneys or agents OR, alternatively,
(2) The name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 _____
2 _____
3 _____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document must have been previously recorded, or filed for recordation, as set forth in 37 CFR 3.11 and 37 CFR 3.81(a). Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE (B) RESIDENCE: (CITY and STATE OR COUNTRY)

Please check the appropriate assignee category or categories (will not be printed on the patent) : ❑ Individual ❑ Corporation or other private group entity ❑ Government

4a. Fees submitted: ❑ Issue Fee ❑ Publication Fee (if required) ❑ Advance Order - # of Copies _____

4b. Method of Payment: *(Please first reapply any previously paid fee shown above)*

❑ Electronic Payment via EFS-Web ❑ Enclosed check ❑ Non-electronic payment by credit card (Attach form PTO-2038)

❑ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment to Deposit Account No. _____

5. **Change in Entity Status** (from status indicated above)

❑ Applicant certifying micro entity status. See 37 CFR 1.29

❑ Applicant asserting small entity status. See 37 CFR 1.27

❑ Applicant changing to regular undiscounted fee status.

NOTE: Absent a valid certification of Micro Entity Status (see forms PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.
NOTE: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.
NOTE: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: This form must be signed in accordance with 37 CFR 1.31 and 1.33. See 37 CFR 1.4 for signature requirements and certifications.

Authorized Signature _____ Date _____

Typed or printed name _____ Registration No. _____

PTOL-85 Part B (08-18) Approved for use through 01/31/2020 OMB 0651-0033 U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Micron Ex. 1002, p. 637
Micron v. YMTC
IPR2025-00245

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/951,141	11/18/2020	Zhenyu LU	4123.0110003	3874

26111 7590 06/20/2022

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.
1100 NEW YORK AVENUE, N.W.
WASHINGTON, DC 20005

EXAMINER	
PATEL, REEMA	

ART UNIT	PAPER NUMBER
2812	

DATE MAILED: 06/20/2022

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(Applications filed on or after May 29, 2000)

The Office has discontinued providing a Patent Term Adjustment (PTA) calculation with the Notice of Allowance.

Section 1(h)(2) of the AIA Technical Corrections Act amended 35 U.S.C. 154(b)(3)(B)(i) to eliminate the requirement that the Office provide a patent term adjustment determination with the notice of allowance. See Revisions to Patent Term Adjustment, 78 Fed. Reg. 19416, 19417 (Apr. 1, 2013). Therefore, the Office is no longer providing an initial patent term adjustment determination with the notice of allowance. The Office will continue to provide a patent term adjustment determination with the Issue Notification Letter that is mailed to applicant approximately three weeks prior to the issue date of the patent, and will include the patent term adjustment on the patent. Any request for reconsideration of the patent term adjustment determination (or reinstatement of patent term adjustment) should follow the process outlined in 37 CFR 1.705.

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at 1-(888)-786-0101 or (571)-272-4200.

PTOL-85 (Rev. 02/11)

Micron Ex. 1002, p. 638
Micron v. YMTC
IPR2025-00245

OMB Clearance and PRA Burden Statement for PTOL-85 Part B

The Paperwork Reduction Act (PRA) of 1995 requires Federal agencies to obtain Office of Management and Budget approval before requesting most types of information from the public. When OMB approves an agency request to collect information from the public, OMB (i) provides a valid OMB Control Number and expiration date for the agency to display on the instrument that will be used to collect the information and (ii) requires the agency to inform the public about the OMB Control Number's legal significance in accordance with 5 CFR 1320.5(b).

The information collected by PTOL-85 Part B is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 30 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450. Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Notice of Allowability	Application No. 16/951,141	Applicant(s) LU et al.	
	Examiner REEMA PATEL	Art Unit 2812	AIA (FITF) Status Yes

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☑ This communication is responsive to amendment and TD filed 5/27/22.
   ☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on _____.

2. ☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.

3. ☑ The allowed claim(s) is/are 1-20 . As a result of the allowed claim(s), you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see **http://www.uspto.gov/patents/init_events/pph/index.jsp** or send an inquiry to **PPHfeedback@uspto.gov.**

4. ☑ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

   Certified copies:

   a) ☑ All b) ☐ Some* c) ☐ None of the:

   1. ☐ Certified copies of the priority documents have been received.
   2. ☑ Certified copies of the priority documents have been received in Application No. 16/046,847 .
   3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

   * Certified copies not received: _____ .

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

5. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
   ☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____ .

   Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).

6. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

1. ☐ Notice of References Cited (PTO-892)
2. ☐ Information Disclosure Statements (PTO/SB/08), Paper No./Mail Date _____.
3. ☐ Examiner's Comment Regarding Requirement for Deposit of Biological Material _____.
4. ☐ Interview Summary (PTO-413), Paper No./Mail Date. _____.
5. ☐ Examiner's Amendment/Comment
6. ☑ Examiner's Statement of Reasons for Allowance
7. ☐ Other _____.

/REEMA PATEL/
Primary Examiner, Art Unit 2812

Micron Ex. 1002, p. 640
Micron v. YMTC
IPR2025-00245

DETAILED ACTION

Notice of Pre-AIA or AIA Status

1. The present application, filed on or after March 16, 2013, is being examined under the first inventor to file provisions of the AIA.

Terminal Disclaimer

2. The terminal disclaimer filed on 5/27/20 disclaiming the terminal portion of any patent granted on this application which would extend beyond the expiration date of U.S. 10,886,291 has been reviewed and is accepted. The terminal disclaimer has been recorded.

Election/Restrictions

3. Claims 11-20 are directed to an allowable product. Pursuant to the procedures set forth in MPEP § 821.04(B), claims 1-10, directed to the process of making or using an allowable product, previously withdrawn from consideration as a result of a restriction requirement, are hereby rejoined and fully examined for patentability under 37 CFR 1.104.

Because all claims previously withdrawn from consideration under 37 CFR 1.142 have been rejoined, **the restriction requirement as set forth in the Office action mailed on 3/3/22 is hereby withdrawn**. In view of the withdrawal of the restriction requirement as to the rejoined inventions, applicant(s) are advised that if any claim presented in a continuation or divisional application is anticipated by, or includes all the limitations of, a claim that is allowable in the present application, such claim may be subject to provisional statutory and/or nonstatutory double patenting rejections over the claims of the instant application. Once the restriction requirement is withdrawn, the

provisions of 35 U.S.C. 121 are no longer applicable. See *In re Ziegler*, 443 F.2d 1211, 1215, 170 USPQ 129, 131-32 (CCPA 1971). See also MPEP § 804.01.

Allowable Subject Matter

4. Claims 1-20 are allowed.

5. The following is an examiner's statement of reasons for allowance: The prior art to the examiner's knowledge does not teach or render obvious the instant invention, particularly characterized as follows:

- In claim 1, by the limitation of forming a size of the third channel structure along a lateral direction is larger than a top aperture of the first through hole;
- In claims 11 and 18, by the limitation a size of the third channel structure along a lateral direction is larger than a top aperture of the first through hole.

6. Claims 2-10 depend on claim 1. Claims 12-17 depend on claim 11. Claims 19-20 depend on claim 18.

7. Any comments considered necessary by applicant must be submitted no later than the payment of the issue fee and, to avoid processing delays, should preferably accompany the issue fee. Such submissions should be clearly labeled "Comments on Statement of Reasons for Allowance."

8. Any inquiry concerning this communication or earlier communications from the examiner should be directed to REEMA PATEL whose telephone number is (571)270-1436. The examiner can normally be reached M-F, 8am-5pm EST.

Examiner interviews are available via telephone, in-person, and video conferencing using a USPTO supplied web-based collaboration tool. To schedule an

interview, applicant is encouraged to use the USPTO Automated Interview Request (AIR) at http://www.uspto.gov/interviewpractice.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Charles D Garber can be reached on (571)272-2194. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of published or unpublished applications may be obtained from Patent Center. Unpublished application information in Patent Center is available to registered users. To file and manage patent submissions in Patent Center, visit: https://patentcenter.uspto.gov. Visit https://www.uspto.gov/patents/apply/patent-center for more information about Patent Center and https://www.uspto.gov/patents/docx for information about filing in DOCX format. For additional questions, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/REEMA PATEL/
Primary Examiner, Art Unit 2812
6/13/2022

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	16/951,141	LU et al.
	Examiner	**Art Unit**
	REEMA PATEL	2812

CPC						
Symbol					**Type**	**Version**
H01L	/	27	/	11578	F	2013-01-01
H01L	/	27	/	1157	I	2013-01-01
H01L	/	27	/	11582	I	2013-01-01
H01L	/	27	/	11565	I	2013-01-01

CPC Combination Sets							
Symbol					**Type**	**Set**	**Ranking**	**Version**
	/		/					

NONE		Total Claims Allowed:	
(Assistant Examiner)	(Date)	20	
/REEMA PATEL/ Primary Examiner, Art Unit 2812	13 June 2022	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	20

U.S. Patent and Trademark Office — Part of Paper No.: 20220613

Micron Ex. 1002, p. 644
Micron v. YMTC
IPR2025-00245

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	16/951,141	LU et al.
	Examiner	**Art Unit**
	REEMA PATEL	2812

INTERNATIONAL CLASSIFICATION					
CLAIMED					
H01L	/	27	/	00	

NON-CLAIMED					
	/		/		

US ORIGINAL CLASSIFICATION	
CLASS	**SUBCLASS**

CROSS REFERENCES(S)						
CLASS	**SUBCLASS (ONE SUBCLASS PER BLOCK)**					

NONE		**Total Claims Allowed:**	
(Assistant Examiner)	(Date)	20	
/REEMA PATEL/ Primary Examiner, Art Unit 2812	13 June 2022	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	20

U.S. Patent and Trademark Office — Part of Paper No.: 20220613

Micron Ex. 1002, p. 645
Micron v. YMTC
IPR2025-00245

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	16/951,141	LU et al.
	Examiner	**Art Unit**
	REEMA PATEL	2812

☑ Claims renumbered in the same order as presented by applicant ☐ CPA ☑ T.D. ☐ R.1.47

CLAIMS

Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original
	1		10		19										
	2		11		20										
	3		12												
	4		13												
	5		14												
	6		15												
	7		16												
	8		17												
	9		18												

NONE		**Total Claims Allowed:**	
(Assistant Examiner)	(Date)	20	
/REEMA PATEL/ Primary Examiner, Art Unit 2812	13 June 2022	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	20

U.S. Patent and Trademark Office — Part of Paper No.: 20220613

Micron Ex. 1002, p. 646
Micron v. YMTC
IPR2025-00245

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	16/951,141	LU et al.
	Examiner	Art Unit
	REEMA PATEL	2812

CPC - Searched*		
Symbol	**Date**	**Examiner**
H01L 27/11565, H01L 27/1157, H01L 27/11578, H01L 27/11582	03/24/2022	RP

CPC Combination Sets - Searched*		
Symbol	**Date**	**Examiner**

US Classification - Searched*			
Class	**Subclass**	**Date**	**Examiner**

* See search history printout included with this form or the SEARCH NOTES box below to determine the scope of the search.

Search Notes		
Search Notes	**Date**	**Examiner**
H01L 27/11565, H01L 27/1157, H01L 27/11578, H01L 27/11582 with keywords	03/24/2022	RP
SEARCH notes attached	03/25/2022	RP
Updated search	06/13/2022	RP

Interference Search			
US Class/CPC Symbol	**US Subclass/CPC Group**	**Date**	**Examiner**
	interference search history printout	06/13/2022	RP

/R.P/ Primary Examiner, Art Unit 2812	

Micron Ex. 1002, p. 647
Micron v. YMTC
IPR2025-00245

PE2E SEARCH - Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	British Equivalents	Time Stamp
L1	15181	lu-zhenyu.in. OR shi-wenguang.in. OR wu-guanping.in. OR pan-feng.in. OR wan-xianjin.in. OR chen-baoyou.in.	(US-PGPUB; USPAT; USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	AND	ON	ON	2022/06/11 01:24 PM
L2	6	((US-20130203227-A1 OR US-20130109158-A1 OR US-20190081060-A1 OR US-20210074718-A1).did. AND PGPB.dbnm.) OR ((US-10886291-B2).did. AND USPT.dbnm.) OR ((GB-1053479-A).did. AND FPRS.dbnm.)	(US-PGPUB; USPAT; USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	AND	ON	ON	2022/06/11 01:25 PM
L3	49	(20100019310|20100109065|20110151667|20130203227|20150236038|20100109072|20100143524|20160071793|20160163732|9570463|10229927|10600801|10644020|20190081060|20130109158).pn.	(US-PGPUB; USPAT; USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	AND	ON	ON	2022/06/11 01:35 PM
L4	16230	h01l27/11565.cpc.	(US-PGPUB; USPAT; USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	AND	ON	ON	2022/06/11 01:37 PM
L5	23520	h01l27/1157.cpc.	(US-PGPUB; USPAT; USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV,	AND	ON	ON	2022/06/11 01:37 PM

Micron Ex. 1002, p. 648
Micron v. YMTC
IPR2025-00245

			MA, OA, RU, SU, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)				
L8	11641	h01l27/11578.cpc.	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	AND	ON	ON	2022/06/11 01:38 PM
L9	41155	h01l27/11582.cpc.	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	AND	ON	ON	2022/06/11 01:39 PM
L10	49490	L4 OR L5 OR L8 OR L9	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	AND	ON	ON	2022/06/11 01:39 PM
L11	436443	channel WITH interconnect$	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	AND	ON	ON	2022/06/11 01:46 PM
L12	2062	channel WITH interconnect$ WITH offset$	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO);	AND	ON	ON	2022/06/11 01:46 PM

Micron Ex. 1002, p. 649
Micron v. YMTC
IPR2025-00245

			FPRS; EPO; JPO; DERWENT; IBM_TDB)				
L13	9	L12 L10	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	AND	ON	ON	2022/06/11 01:46 PM
L14	2251	L11 L10	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	AND	ON	ON	2022/06/11 01:48 PM
L15	80	channel WITH interconnect$ WITH offset$ WITH stack$	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	AND	ON	ON	2022/06/11 01:49 PM
L16	4031419	channel WITH (opening OR hole)	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	AND	ON	ON	2022/06/11 02:02 PM
L17	16258	L10 L16	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO); FPRS; EPO; JPO;	AND	ON	ON	2022/06/11 02:03 PM

Micron Ex. 1002, p. 650
Micron v. YMTC
IPR2025-00245

			DERWENT; IBM_TDB)				
L18	10828	L10 L16 SAME stack$	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	AND	ON	ON	2022/06/11 02:06 PM

PE2E SEARCH - Search History (Interference)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	British Equivalents	Time Stamp
N1	668	lu-zhenyu.in. OR shi-wenguang.in. OR wu-guanping.in. OR pan-feng.in. OR wan-xianjin.in. OR chen-baoyou.in.	(US-PGPUB; USPAT)	AND	ON	ON	2022/06/13 08:44 AM
N2	5502	h01l27/11565.cpc.	(US-PGPUB; USPAT)	AND	ON	ON	2022/06/13 08:45 AM
N3	6992	h01l27/1157.cpc.	(US-PGPUB; USPAT)	AND	ON	ON	2022/06/13 08:45 AM
N4	2829	h01l27/11578.cpc.	(US-PGPUB; USPAT)	AND	ON	ON	2022/06/13 08:45 AM
N5	13144	h01l27/11582.cpc.	(US-PGPUB; USPAT)	AND	ON	ON	2022/06/13 08:45 AM
N6	15342	N2 OR N3 OR N4 OR N5	(US-PGPUB; USPAT)	AND	ON	ON	2022/06/13 08:45 AM
N7	183937	channel WITH interconnect$	(US-PGPUB; USPAT)	AND	ON	ON	2022/06/13 08:46 AM
N8	468280	channel WITH (opening OR hole)	(US-PGPUB; USPAT)	AND	ON	ON	2022/06/13 08:46 AM
N9	17	channel WITH interconnect$ WITH offset$ WITH stack$	(US-PGPUB; USPAT)	AND	ON	ON	2022/06/13 08:46 AM
N10	795	N6 (N7 N8)	(US-PGPUB; USPAT)	AND	ON	ON	2022/06/13 08:46 AM

Micron Ex. 1002, p. 651
Micron v. YMTC
IPR2025-00245

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

BIB DATA SHEET

CONFIRMATION NO. 3874

SERIAL NUMBER	FILING or 371(c) DATE	CLASS	GROUP ART UNIT	ATTORNEY DOCKET NO.
16/951,141	11/18/2020 RULE	257	2812	4123.0110003

APPLICANTS
Yangtze Memory Technologies Co., Ltd., Wuhan, CHINA;

INVENTORS
Zhenyu LU, Wuhan, CHINA;
Wenguang SHI, Wuhan, CHINA;
Guanping WU, Wuhan, CHINA;
Feng PAN, Wuhan, CHINA;
Xianjin WAN, Wuhan, CHINA;
Baoyou CHEN, Wuhan, CHINA;

**** CONTINUING DATA ***************************
This application is a CON of 16/046,847 07/26/2018 PAT 10886291
which is a CON of PCT/CN2018/077785 03/01/2018

**** FOREIGN APPLICATIONS ***************************
CHINA 201710134782.1 03/08/2017
CHINA 201710134783.6 03/08/2017

**** IF REQUIRED, FOREIGN FILING LICENSE GRANTED ****
11/30/2020

Foreign Priority claimed ☑ Yes ☐ No 35 USC 119(a-d) conditions met ☑ Yes ☐ No Verified and Acknowledged /REEMA PATEL/ Examiner's Signature	☐ Met after Allowance Initials	STATE OR COUNTRY	SHEETS DRAWINGS	TOTAL CLAIMS	INDEPENDENT CLAIMS
		CHINA	120	20	3

ADDRESS
STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.
1100 NEW YORK AVENUE, N.W.
WASHINGTON, DC 20005
UNITED STATES

TITLE
JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME

FILING FEE RECEIVED		
2240	FEES: Authority has been given in Paper No._____ to charge/credit DEPOSIT ACCOUNT No._____ for following:	☐ All Fees ☐ 1.16 Fees (Filing) ☐ 1.17 Fees (Processing Ext. of time) ☐ 1.18 Fees (Issue) ☐ Other _____ ☐ Credit

BIB (Rev. 05/07).

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/951,141	11/18/2020	Zhenyu LU	4123.0110003	3874

26111 7590 06/29/2022

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.
1100 NEW YORK AVENUE, N.W.
WASHINGTON, DC 20005

EXAMINER	
PATEL, REEMA	

ART UNIT	PAPER NUMBER
2812	

NOTIFICATION DATE	DELIVERY MODE
06/29/2022	ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

e-office@sternekessler.com

Micron Ex. 1002, p. 653
Micron v. YMTC
IPR2025-00245

CORRECTED ***Notice of Allowability***	**Application No.** 16/951,141	**Applicant(s)** LU et al.	
	Examiner REEMA PATEL	**Art Unit** 2812	**AIA (FITF) Status** Yes

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☑ This communication is responsive to Notice of Allowance, 6/20/22.
   ☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on _____.

2. ☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.

3. ☑ The allowed claim(s) is/are 1-20 . As a result of the allowed claim(s), you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see **http://www.uspto.gov/patents/init_events/pph/index.jsp** or send an inquiry to **PPHfeedback@uspto.gov.**

4. ☑ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

   Certified copies:

   a) ☑ All b) ☐ Some* c) ☐ None of the:

   1. ☐ Certified copies of the priority documents have been received.
   2. ☑ Certified copies of the priority documents have been received in Application No. 16/046,847 .
   3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

   * Certified copies not received: _____ .

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

5. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
   ☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____ .

   Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).

6. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

1. ☐ Notice of References Cited (PTO-892)
2. ☑ Information Disclosure Statements (PTO/SB/08), Paper No./Mail Date _____.
3. ☐ Examiner's Comment Regarding Requirement for Deposit of Biological Material _____.
4. ☐ Interview Summary (PTO-413), Paper No./Mail Date. _____.
5. ☐ Examiner's Amendment/Comment
6. ☑ Examiner's Statement of Reasons for Allowance
7. ☐ Other _____.

/REEMA PATEL/
Primary Examiner, Art Unit 2812

Micron Ex. 1002, p. 654
Micron v. YMTC
IPR2025-00245

DETAILED ACTION

This action references an updated and corrected IDS from 11/18/20.

Notice of Pre-AIA or AIA Status

1. The present application, filed on or after March 16, 2013, is being examined under the first inventor to file provisions of the AIA.

Information Disclosure Statement

2. The information disclosure statement (IDS) was submitted on 11/29/20. The submission is in compliance with the provisions of 37 CFR 1.97. Accordingly, the information disclosure statement has been considered by the examiner.

3. For the IDS submitted 11/29/20, Examiner notes citation 7 (US7) has been corrected by Examiner to reflect document number U.S. 2011/0143524.

Allowable Subject Matter

4. Claims 1-20 are allowed.

5. The following is an examiner's statement of reasons for allowance: The reasons for allowance have not changed since the previous Office Action (Notice of Allowance, 6/20/22).

Any comments considered necessary by applicant must be submitted no later than the payment of the issue fee and, to avoid processing delays, should preferably accompany the issue fee. Such submissions should be clearly labeled "Comments on Statement of Reasons for Allowance."

6. Any inquiry concerning this communication or earlier communications from the examiner should be directed to REEMA PATEL whose telephone number is (571)270-1436. The examiner can normally be reached M-F, 8am-5pm EST.

Examiner interviews are available via telephone, in-person, and video conferencing using a USPTO supplied web-based collaboration tool. To schedule an interview, applicant is encouraged to use the USPTO Automated Interview Request (AIR) at http://www.uspto.gov/interviewpractice.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Charles D Garber can be reached on (571)272-2194. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of published or unpublished applications may be obtained from Patent Center. Unpublished application information in Patent Center is available to registered users. To file and manage patent submissions in Patent Center, visit: https://patentcenter.uspto.gov. Visit https://www.uspto.gov/patents/apply/patent-center for more information about Patent Center and https://www.uspto.gov/patents/docx for information about filing in DOCX format. For additional questions, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/REEMA PATEL/
Primary Examiner, Art Unit 2812
6/25/2022

PTO/SB/08a (07-09)
Approved for use through 11/30/2020. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 2

Complete if Known	
Application Number	To Be Assigned
Filing Date	Herewith
First Named Inventor	Zhenyu LU
Art Unit	To Be Assigned
Examiner Name	To Be Assigned
Attorney Docket Number	4123.0110003

U. S. PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Document Number Number-Kind Code[2] *(if known)*	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	US1	US- 2010/0019310 A1	01-28-2010	Sakamoto	
	US2	US- 2010/0109065 A1	05-06-2010	Oh et al.	
	US3	US- 2011/0151667 A1	06-23-2011	Hwang et al.	
	US4	US- 2013/0203227 A1	08-08-2013	Huo et al.	
	US5	US- 2015/0236038 A1	08-20-2015	Pachamuthu et al.	
	US6	US- 2010/0109072 A1	05-06-2010	Kidoh et al.	
US 2011/0143524	US7	~~US- 2010/143524 A1~~	06-16-2011	Son et al.	
	US8	US- 2016/0071793 A1	03-10-2016	Shinohara et al.	
	US9	US- 2016/0163732 A1	06-09-2016	Lim et al.	
	US10	US- 9,570,463 B1	02-14-2017	Zhang et al.	
	US11	US- 10,229,927 B2	03-12-2019	Lee et al.	
	US12	US- 10,600,801 B2	03-24-2020	Lee et al.	
	US13	US- 10,644,020 B2	05-05-2020	Huo et al.	
	US14	US- 2019/0081060 A1	03-14-2019	Lu et al.	
	US15	US- 2013/0109158 A1	05-01-2013	Lee et al.	
		US-			
		US-			
		US-			
		US-			

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Foreign Patent Document Country Code[3]-Number[4]-Kind Code[5] *(if known)*	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages Or Relevant Figures Appear	T[6]
	FP1	CN-102543877-A	07-04-2012	INST OF MICROELECTRONICS		✓
	FP2	CN-105304612-A	02-03-2016	MACRONIX INT CO LTD		✓
	FP3	CN-105374826-A	03-02-2016	INST MICROELECTRONICS CAS		✓
	FP4	CN-106653684-A	05-10-2017	YANGTZE MEMORY TECH CO LT		✓
	FP5	CN-106920772-A	07-04-2017	YANGTZE MEMORY TECH CO LT		✓
	FP6	CN 105261617 A	01-20-2016	INST OF MICROELECTRONICS		

Examiner Signature	/REEMA PATEL/	Date Considered	03/25/2022

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. [1]Applicant's unique citation designation number (optional). [2]See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. [3]Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). [4]For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5]Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [6]Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /R.P/

PTO/SB/08a (07-09)
Approved for use through 11/30/2020. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 2 of 2

Complete if Known	
Application Number	To Be Assigned
Filing Date	Herewith
First Named Inventor	Zhenyu LU
Art Unit	To Be Assigned
Examiner Name	To Be Assigned
Attorney Docket Number	4123.0110003

U. S. PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Document Number Number-Kind Code[2] *(if known)*	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Foreign Patent Document Country Code[3] Number[4] Kind Code[5] *(if known)*	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages Or Relevant Figures Appear	T[6]
	FP7	KR 1020110068145 A	06-22-2011	SAMSUNG ELECTRONICS CO LT		
	FP8	KR 1020120029194 A	03-26-2012	SAMSUNG ELECTRONICS CO LT		
	FP9	KR 1020160003977 A	01-12-2016	SAMSUNG ELECTRONICS CO LT		
	FP10	KR 1020160069903 A	06-17-2016	SAMSUNG ELECTRONICS CO LT		

Examiner Signature	/REEMA PATEL/	Date Considered	03/25/2022

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. [1] Applicant's unique citation designation number (optional). [2] See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. [3] Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). [4] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [6] Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /R.P/

PTO/SB/08b (07-09)
Approved for use through 11/30/2020. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 1

Complete if Known	
Application Number	To Be Assigned
Filing Date	Herewith
First Named Inventor	Zhenyu LU
Art Unit	To Be Assigned
Examiner Name	To Be Assigned
Attorney Docket Number	4123.0110003

NON PATENT LITERATURE DOCUMENTS

Examiner Initials*	Cite No.[1]	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	T[2]
	NPL1	International Search Report and Written Opinion of the International Searching Authority directed to related International Patent Application No. PCT/CN2018/077785, mailed June 8, 2018; 7 pages.	
	NPL2	Korean Application No. 10-2019-7029469, Office Action mailed September 23, 2020; English Translation from EPO Global Dossier, 16 pages.	✓
	NPL3	Chinese Application No. 201910114048.8, Office Action mailed September 27, 2020; English Translation from EPO Global Dossier, 32 pages.	✓

Examiner Signature	/REEMA PATEL/	Date Considered	03/25/2022

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

[1] Applicant's unique citation designation number (optional). [2] Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /R.P/

DONALD J. FEATHERSTONE
DIRECTOR
202-772-8629
DONF@STERNEKESSLER.COM

Sterne Kessler
STERNE KESSLER GOLDSTEIN & FOX

September 20, 2022

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Confirmation No. 3874
Attn: Mail Stop Issue Fee

Re: Allowed U.S. Utility Patent Application
Appl. No. 16/951,141; Filed: November 18, 2020
For: **Joint Opening Structures Of Three-Dimensional Memory Devices And Methods For Forming The Same**
First Named Inventor: Zhenyu LU
Our Ref: 4123.0110003

Commissioner:

In response to the **Notice of Allowance and Fee(s) Due** dated **June 20, 2022** and the **Corrected Notice of Allowability** dated **June 29, 2022**, the following documents are transmitted for appropriate action by the U.S. Patent and Trademark Office:

1. Issue Fee Transmittal (Form PTOL-85);
2. Online Credit Card Payment Authorization for $1,200.00 to cover: $1,200.00 – Issue Fee; and
3. Comments on Statement of Reasons for Allowance.
The above-listed documents are filed electronically.
Fee payment is provided through online credit card payment.

The U.S. Patent and Trademark Office is hereby authorized to charge any fee deficiency, or credit any overpayment, to our Deposit Account No. 19-0036.

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Donald J. Featherstone/

Donald J. Featherstone
Attorney for Applicant
Registration No. 33,876

DJF/P-L/may
Enclosures
19057727_1.DOCX

Micron Ex. 1002, p. 660
Micron v. YMTC
IPR2025-00245

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), by mail or fax, or via EFS-Web.

By mail, send to: Mail Stop ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

By fax, send to: (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

26111 7590 06/20/2022
STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.
1100 NEW YORK AVENUE, N.W.
WASHINGTON, DC 20005

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being transmitted to the USPTO via EFS-Web or by facsimile to (571) 273-2885, on the date below.

(Typed or printed name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/951,141	11/18/2020	Zhenyu LU	4123.0110003	3874

TITLE OF INVENTION: JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	$1200	$0.00	$0.00	$1200	09/20/2022

EXAMINER	ART UNIT	CLASS-SUBCLASS
PATEL, REEMA	2812	257-324000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

☐ Change of correspondence address (or Change of Correspondence Address form PTO/AIA/122 or PTO/SB/122) attached.

☐ "Fee Address" indication (or "Fee Address" Indication form PTO/AIA/47 or PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list
(1) The names of up to 3 registered patent attorneys or agents OR, alternatively,
(2) The name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 Sterne, Kessler, Goldstein & Fox P.L.L.C.
2
3

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document must have been previously recorded, or filed for recordation, as set forth in 37 CFR 3.11 and 37 CFR 3.81(a). Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE: Yangtze Memory Technologies Co., Ltd.

(B) RESIDENCE: (CITY and STATE OR COUNTRY): Wuhan, Hubei, CHINA

Please check the appropriate assignee category or categories (will not be printed on the patent) : ☐ Individual ☒ Corporation or other private group entity ☐ Government

4a. Fees submitted: ☒ Issue Fee ☐ Publication Fee (if required) ☐ Advance Order - # of Copies _____

4b. Method of Payment: *(Please first reapply any previously paid fee shown above)*

☒ Electronic Payment via EFS-Web ☐ Enclosed check ☐ Non-electronic payment by credit card (Attach form PTO-2038)

☒ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment to Deposit Account No. 19-0036

5. **Change in Entity Status** (from status indicated above)

☐ Applicant certifying micro entity status. See 37 CFR 1.29

☐ Applicant asserting small entity status. See 37 CFR 1.27

☐ Applicant changing to regular undiscounted fee status.

NOTE: Absent a valid certification of Micro Entity Status (see forms PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.
NOTE: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.
NOTE: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: This form must be signed in accordance with 37 CFR 1.31 and 1.33. See 37 CFR 1.4 for signature requirements and certifications.

Authorized Signature /Donald J. Featherstone/ Date September 20, 2022

Typed or printed name Donald J. Featherstone Registration No. 33,876

Micron Ex. 1002, p. 661
Micron v. YMTC
IPR2025-00245

UNITED STATES
PATENT AND TRADEMARK OFFICE

P.O. Box 1450
Alexandria, VA 22313 - 1450
www.uspto.gov

ELECTRONIC PAYMENT RECEIPT

APPLICATION #	RECEIPT DATE / TIME	ATTORNEY DOCKET #
16/951,141	09/20/2022 04:30:36 PM ET	4123.0110003

Title of Invention

JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME

Application Information

APPLICATION TYPE	Utility - Nonprovisional Application under 35 USC 111(a)	PATENT #	-
CONFIRMATION #	3874	FILED BY	Maxwell Young
PATENT CENTER #	60985533	AUTHORIZED BY	Doanld Featherstone
CUSTOMER #	26111	FILING DATE	11/18/2020
CORRESPONDENCE ADDRESS	-	FIRST NAMED INVENTOR	Zhenyu LU

Payment Information

PAYMENT METHOD	PAYMENT TRANSACTION ID	PAYMENT AUTHORIZED BY
CARD / 1008	E20229JG31232281	Maxwell Young

FEE CODE	DESCRIPTION	ITEM PRICE($)	QUANTITY	ITEM TOTAL($)
1501	UTILITY ISSUE FEE	1200.00	1	1200.00
			TOTAL AMOUNT:	$1,200.00

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C.

371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

First Named Inventor: Zhenyu LU	Confirmation No.: 3874
Applicant: YANGTZE MEMORY TECHNOLOGIES CO., LTD.	Art Unit: 2812
Application No.: 16/951,141	Examiner: PATEL, REEMA
Filing Date: November 18, 2020	Atty. Docket: 4123.0110003

Title: **JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME**

Comments on Statement of Reasons for Allowance

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Mail Stop: Issue Fee

Commissioner:

Applicant thanks the Examiner for indicating the allowability of claims 1-20 in the Notice of Allowance dated June 20, 2022 and the Corrected Notice of Allowability dated June 29, 2022.

Comments on Statement of Reasons for Allowance

Applicant notes the Examiner's Statements of Reasons for Allowance, and reserves the right to demonstrate claims 1-20 are allowable over the art made of record for further reasons related to any of their recited features. Applicant further contends that reservation of this right does not give rise to any implication regarding whether the Applicant agrees with or acquiesces in the reasoning provided by the Examiner.

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Donald J. Featherstone/

Donald J. Featherstone
Attorney for Applicant
Registration No. 33,876

Date: September 20, 2022

1100 New York Avenue, N.W.
Washington, D.C. 20005-3934
(202) 371-2600

19057754.1

UNITED STATES
PATENT AND TRADEMARK OFFICE

P.O. Box 1450
Alexandria, VA 22313 - 1450
www.uspto.gov

ELECTRONIC ACKNOWLEDGEMENT RECEIPT

APPLICATION #	RECEIPT DATE / TIME	ATTORNEY DOCKET #
16/951,141	**09/20/2022 04:30:36 PM ET**	**4123.0110003**

Title of Invention

JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME

Application Information

APPLICATION TYPE	Utility - Nonprovisional Application under 35 USC 111(a)	PATENT #	-
CONFIRMATION #	3874	FILED BY	Maxwell Young
PATENT CENTER #	60985533	FILING DATE	11/18/2020
CUSTOMER #	26111	FIRST NAMED INVENTOR	Zhenyu LU
CORRESPONDENCE ADDRESS	-	AUTHORIZED BY	Doanld Featherstone

Documents

TOTAL DOCUMENTS: 3

DOCUMENT	PAGES	DESCRIPTION	SIZE (KB)
2022-09-20-Cover-Letter-4123-0110003.PDF	1	Miscellaneous Incoming Letter	188 KB
2022-09-20-Issue-Fee-4123-0110003.PDF	1	Issue Fee Payment (PTO-85B)	1805 KB
2022-09-20-Comments-Reasons-Allowance-4123-0110003.PDF	1	Post Allowance Communication - Incoming	100 KB

Digest

DOCUMENT	MESSAGE DIGEST(SHA-512)
2022-09-20-Cover-Letter-4123-0110003.PDF	A3ACC8DF66447AD835F013E05DBFA3D83AED93748EB5FC12302FD1416C58840DC00E9C7D9B5976A4711DB44E61D3486D5FA34EE9EE8CC2720D90D7D13363F8B4
2022-09-20-Issue-Fee-4123-0110003.PDF	3B6FF0979D3D1D834333D4CBC1B8A7A417AE4355C858C1837D48D598C2F2498415CB096EA2C5F57AE2961E583B03E0BCFF31184E0E32175310E959E390F1FD30
2022-09-20-Comments-Reasons-Allowance-4123-0110003.PDF	21B55ED9207B83C34F56AF695A52949AFA7E4528AE46612790B48369EE194B0BF7368CFDA3DB0F6A319DD91F7E9A32B4F4796A4B6758814EE176E3B39C27AF47

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	ISSUE DATE	PATENT NO.	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/951,141	10/25/2022	11482532	4123.0110003	3874

26111 7590 10/05/2022

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.
1100 NEW YORK AVENUE, N.W.
WASHINGTON, DC 20005

ISSUE NOTIFICATION

The projected patent number and issue date are specified above.

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment is 44 day(s). Any patent to issue from the above-identified application will include an indication of the adjustment on the front page.

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Application Assistance Unit (AAU) of the Office of Patents Stakeholder Experience (OPSE), Stakeholder Support Division (SSD) at (571)-272-4200.

INVENTOR(s) (Please see PAIR WEB site http://pair.uspto.gov for additional inventors):

Zhenyu LU, Wuhan, CHINA;
Wenguang SHI, Wuhan, CHINA;
Guanping WU, Wuhan, CHINA;
Feng PAN, Wuhan, CHINA;
Xianjin WAN, Wuhan, CHINA;

APPLICANT(s) (Please see PAIR WEB site http://pair.uspto.gov for additional applicants):

Yangtze Memory Technologies Co., Ltd., Wuhan, CHINA;

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation, and commercialization of new technologies. The USA offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to encourage and facilitate business investment. To learn more about why the USA is the best country in the world to develop technology, manufacture products, and grow your business, visit SelectUSA.gov.

Micron Ex. 1002, p. 667
Micron v. YMTC
IPR2025-00245

UNITED STATES
PATENT AND TRADEMARK OFFICE

P.O. Box 1450
Alexandria, VA 22313 - 1450
www.uspto.gov

ELECTRONIC ACKNOWLEDGEMENT RECEIPT

APPLICATION #	RECEIPT DATE / TIME	ATTORNEY DOCKET #
16/951,141	**07/03/2024 12:58:26 PM Z ET**	**4123.0110003**

Title of Invention

JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME

Application Information

APPLICATION TYPE	Utility - Nonprovisional Application under 35 USC 111(a)	PATENT #	11482532
CONFIRMATION #	3874	FILED BY	Austin Zalewski
PATENT CENTER #	66229336	FILING DATE	11/18/2020
CUSTOMER #	26111	FIRST NAMED INVENTOR	Zhenyu LU
CORRESPONDENCE ADDRESS	-	AUTHORIZED BY	Mark Zimmerman

Documents

TOTAL DOCUMENTS: 1

DOCUMENT	PAGES	DESCRIPTION	SIZE (KB)
2017-00212_007-YMTC-PCT-US-CON1_POA.pdf	3	Power of Attorney	402 KB

Digest

DOCUMENT	MESSAGE DIGEST(SHA-512)
2017-00212_007-YMTC-PCT-US-CON1_POA.pdf	E0139CE25B3ADDB510D2F75C0E9C4FF7178D1DD46D5139AF0F5373086582202386 7DF06437423D51D6EA4BEC3B5BCEC17B333F04CB242D9AE02F692E2C69654A

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Doc Code: PA..
Document Description: Power of Attorney

PTO/AIA/82A (07-13)
Approved for use through 09/30/2025. OMB 0651-0035
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FOR POWER OF ATTORNEY TO ONE OR MORE REGISTERED PRACTITIONERS

NOTE: This form is to be submitted with the Power of Attorney by Applicant form (PTO/AIA/82B) to identify the application to which the Power of Attorney is directed, in accordance with 37 CFR 1.5, unless the application number and filing date are identified in the Power of Attorney by Applicant form. If neither form PTO/AIA/82A nor form PTO/AIA82B identifies the application to which the Power of Attorney is directed, the Power of Attorney will not be recognized in the application.

Application Number	16951141
Filing Date	November 18, 2020
First Named Inventor	Zhenyu LU
Title	JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME
Art Unit	2812
Examiner Name	REEMA PATEL
Attorney Docket Number	2017-00212_007-YMTC-PCT-US-CON1

SIGNATURE of Applicant or Patent Practitioner

Signature	/Mark C. Zimmerman /	Date (Optional)	July 3, 2024
Name	Mark C. Zimmerman	Registration Number	44006
Title (if Applicant is a juristic entity)	Attorney for Applicant		
Applicant Name (if Applicant is a juristic entity)	Yangtze Memory Technologies Co., Ltd.		

NOTE: This form must be signed in accordance with 37 CFR 1.33. See 37 CFR 1.4(d) for signature requirements and certifications. If more than one applicant, use multiple forms.

☐ *Total of _____ forms are submitted.

A Federal agency may not conduct or sponsor, and a person is not required to respond to, nor shall a person be subject to a penalty for failure to comply with an information collection subject to the requirements of the Paperwork Reduction Act of 1995, unless the information collection has a currently valid OMB Control Number. The OMB Control Number for this information collection is 0651-0035. Public burden for this form is estimated to average 3 minutes per response, including the time for reviewing instructions, searching existing data sources, gathering and maintaining the data needed, and completing and reviewing the information collection. Send comments regarding this burden estimate or any other aspect of this information collection, including suggestions for reducing this burden to the Chief Administrative Officer, United States Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450 or email InformationCollection@uspto.gov. **DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.** If filing this completed form by mail, send to: **Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Doc Code: PA..
Document Description: Power of Attorney

PTO/AIA/82B (07-13)
Approved for use through 09/30/2025. OMB 0651-0035
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number

POWER OF ATTORNEY BY APPLICANT

I hereby revoke all previous powers of attorney given in the application identified in either the attached transmittal letter or the boxes below.

Application Number	Filing Date

(Note: The boxes above may be left blank if information is provided on form PTO/AIA/82A.)

☑ I hereby appoint the Patent Practitioner(s) associated with the following Customer Number as my/our attorney(s) or agent(s), and to transact all business in the United States Patent and Trademark Office connected therewith for the application referenced in the attached transmittal letter (form PTO/AIA/82A) or identified above: 34431

OR

☐ I hereby appoint Practitioner(s) named in the attached list (form PTO/AIA/82C) as my/our attorney(s) or agent(s), and to transact all business in the United States Patent and Trademark Office connected therewith for the patent application referenced in the attached transmittal letter (form PTO/AIA/82A) or identified above. (Note: Complete form PTO/AIA/82C.)

Please recognize or change the correspondence address for the application identified in the attached transmittal letter or the boxes above to:

☑ The address associated with the above-mentioned Customer Number

OR

☐ The address associated with Customer Number:

OR

☐ Firm or Individual Name					
Address					
City		State		Zip	
Country					
Telephone		Email			

I am the Applicant (if the Applicant is a juristic entity, list the Applicant name in the box):

Yangtze Memory Technologies Co., Ltd.

☐ Inventor or Joint Inventor (title not required below)

☐ Legal Representative of a Deceased or Legally Incapacitated Inventor (title not required below)

☑ Assignee or Person to Whom the Inventor is Under an Obligation to Assign (provide signer's title if applicant is a juristic entity)

☐ Person Who Otherwise Shows Sufficient Proprietary Interest (e.g., a petition under 37 CFR 1.46(b)(2) was granted in the application or is concurrently being filed with this document) (provide signer's title if applicant is a juristic entity)

SIGNATURE of Applicant for Patent

The undersigned (whose title is supplied below) is authorized to act on behalf of the applicant (e.g., where the applicant is a juristic entity).

Signature		Date (Optional)	
Name	Tuenlap Daniel Chan		
Title	Deputy General Counsel, Head of Intellectual Property Department		

NOTE: Signature - This form must be signed by the applicant in accordance with 37 CFR 1.33. See 37 CFR 1.4 for signature requirements and certifications. If more than one applicant, use multiple forms.

☐ Total of forms are submitted.

A Federal agency may not conduct or sponsor, and a person is not required to respond to, nor shall a person be subject to a penalty for failure to comply with an information collection subject to the requirements of the Paperwork Reduction Act of 1995, unless the information collection has a currently valid OMB Control Number. The OMB Control Number for this information collection is 0651-0035. Public burden for this form is estimated to average 3 minutes per response, including the time for reviewing instructions, searching existing data sources, gathering and maintaining the data needed, and completing and reviewing the information collection. Send comments regarding this burden estimate or any other aspect of this information collection, including suggestions for reducing this burden to the Chief Administrative Officer, United States Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450 or email InformationCollection@uspto.gov. **DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.** If filing this completed form by mail, send to: **Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Micron Ex. 1002, p. 671
Micron v. YMTC
IPR2025-00245

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. The United States Patent and Trademark Office (USPTO) collects the information in this record under authority of 35 U.S.C. 2. The USPTO's system of records is used to manage all applicant and owner information including name, citizenship, residence, post office address, and other information with respect to inventors and their legal representatives pertaining to the applicant's/owner's activities in connection with the invention for which a patent is sought or has been granted. The applicable Privacy Act System of Records Notice for the information collected in this form is COMMERCE/PAT-TM-7 Patent Application Files, available in the Federal Register at 78 FR 19243 (March 29, 2013). https://www.govinfo.gov/content/pkg/FR-2013-03-29/pdf/2013-07341.pdf

Routine uses of the information in this record may include disclosure to: 1) law enforcement, in the event that the system of records indicates a violation or potential violation of law; 2) a Federal, state, local, or international agency, in response to its request; 3) a contractor of the USPTO having need for the information in order to perform a contract; 4) the Department of Justice for determination of whether the Freedom of Information Act (FOIA) requires disclosure of the record; 5) a Member of Congress submitting a request involving an individual to whom the record pertains, when the individual has requested the Member's assistance with respect to the subject matter of the record; 6) a court, magistrate, or administrative tribunal, in the course of presenting evidence, including disclosures to opposing counsel in the course of settlement negotiations; 7) the Administrator, General Services Administration (GSA), or their designee, during an inspection of records conducted by GSA under authority of 44 U.S.C. 2904 and 2906, in accordance with the GSA regulations and any other relevant (i.e., GSA or Commerce) directive, where such disclosure shall not be used to make determinations about individuals; 8) another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)); 9) the Office of Personnel Management (OPM) for personnel research purposes; and 9) the Office of Management and Budget (OMB) for legislative coordination and clearance.

If you do not furnish the information requested on this form, the USPTO may not be able to process and/or examine your submission, which may result in termination of proceedings, abandonment of the application, and/or expiration of the patent.

Additional Uses

Additional USPTO uses of the information in this record may include disclosure to: 1) the International Bureau of the World Intellectual Property Organization, if the record is related to an international application filed under the Patent Cooperation Treaty; 2) the public i) after publication of the application pursuant to 35 U.S.C. 122(b), ii) after issuance of a patent pursuant to 35 U.S.C. 151, iii) if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections, or an issued patent, or iv) without publication of the application or patent under the specific circumstances provided for by 37 CFR 1.14(a)(1)(v)-(vii); and/or 3) the National Archives and Records Administration, for inspection of records.

Micron Ex. 1002, p. 672
Micron v. YMTC
IPR2025-00245