Electronic Patent Application Fee Transmittal

Application Number:	16046847
Filing Date:	26-Jul-2018
Title of Invention:	JOINT OPENNING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME
First Named Inventor/Applicant Name:	Zhenyu LU
Filer:	Donald J. Featherstone/Denise Bauckman
Attorney Docket Number:	4123.0110002

Filed as Large Entity

Filing Fees for Utility under 35 USC 111(a)

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
UTILITY APPLICATION FILING	1011	1	300	300
UTILITY SEARCH FEE	1111	1	660	660
UTILITY EXAMINATION FEE	1311	1	760	760
Pages:				
UTILITY APPL SIZE FEE PER 50 SHEETS >100	1081	1	400	400
Claims:				
Miscellaneous-Filing:				
LATE FILING FEE FOR OATH OR DECLARATION	1051	1	160	160

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				
Extension - 1 month with $0 paid	1251	1	200	200
Miscellaneous:				
		Total in USD ($)		**2480**

Electronic Acknowledgement Receipt

EFS ID:	34435615
Application Number:	16046847
International Application Number:	
Confirmation Number:	7612
Title of Invention:	JOINT OPENNING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME
First Named Inventor/Applicant Name:	Zhenyu LU
Customer Number:	26111
Filer:	Donald J. Featherstone/Denise Bauckman
Filer Authorized By:	Donald J. Featherstone
Attorney Docket Number:	4123.0110002
Receipt Date:	30-NOV-2018
Filing Date:	26-JUL-2018
Time Stamp:	11:25:53
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	CARD
Payment was successfully received in RAM	$2480
RAM confirmation Number	113018INTEFSW11263800
Deposit Account	
Authorized User	
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Miscellaneous Incoming Letter	2018-11-29-Miscellaneous-Letter-4123-0110002.pdf	237568 18c17f911405b0aed68bcb37f816ecee3f944ed3	no	2
Warnings:					
Information:					
2	Extension of Time	2018-11-29-EOT-4123-0110002.pdf	105952 64514c99dcfaee817423ee53335fb695fe271d5f	no	1
Warnings:					
Information:					
3	Applicant Response to Pre-Exam Formalities Notice	2018-11-29-Reply-Missing-Parts-4123-0110002.pdf	6000778 149677aef5d3c71ac509000306ad79e49f9905f4	no	5
Warnings:					
Information:					
4		2018-11-29-Amendment-115-4123-0110002.pdf	115066 c364d2da1a3f6e1c40eac37166d37d9ea92a2297	yes	3

Multipart Description/PDF files in .zip description

Document Description	Start	End
Preliminary Amendment	1	1
Specification	2	2
Applicant Arguments/Remarks Made in an Amendment	3	3

Warnings:					
Information:					
5	Specification	2018-11-29-Substitute-Specification-Marked-Up-4123-0110002.pdf	314059 737e485feeb86b86136b8ee5533bd67f1ba31d46	no	61

Warnings:					
Information:					
6	Specification	2018-11-29-Substitute-Specification-Clean-4123-0110002.pdf	310330 424074ecff377eb73f8f5f8e657a4863d0ac5bf2	no	61
Warnings:					
Information:					
7	Fee Worksheet (SB06)	fee-info.pdf	40803 7faa2d90bd3bdbddedd824a27a4e64d1a7796923	no	2
Warnings:					
Information:					
		Total Files Size (in bytes):	7124556		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

<u>New Applications Under 35 U.S.C. 111</u>
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.
<u>National Stage of an International Application under 35 U.S.C. 371</u>
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.
<u>New International Application Filed with the USPTO as a Receiving Office</u>
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Sterne Kessler
STERNE KESSLER GOLDSTEIN & FOX

DONALD J. FEATHERSTONE
DIRECTOR
(202) 772-8629
DONF@STERNEKESSLER.COM

November 29, 2018

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Confirmation No. 7612
Mail Stop Missing Parts

Re: U.S. Utility Patent Application
Appl. No. 16/046,847; Filed: July 26, 2018
For: **JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME** (as amended)
Inventors: LU *et al.*
Our Ref: 4123.0110002

Commissioner:

In reply to the "Notice to File Missing Parts of Nonprovisional Application," dated August 30, 2018, Applicant transmit the following documents for appropriate action by the U.S. Patent and Trademark Office:

1. Online Credit Card Payment Authorization for $2,480.00 to cover:

   $ 1,720.00 Patent Application fee (including basic filing, search and examination fees);
   $ 400.00 Application size fee;
   $ 160.00 Surcharge for late filing fee or late Oath or Declaration; and
   $ 200.00 Extension of time fees;

2. Petition for Extension of Time Under 37 C.F.R. § 1.136(a);

3. Copy of Notice to File Missing Parts of Nonprovisional Application dated August 30, 2018;

4. Preliminary Amendment Under 37 C.F.R. § 1.115;

5. Marked-up version of Substitute Specification; and

Micron Ex. 1002, p. 355
Micron v. YMTC
IPR2025-00294

6. Clean version of Substitute Specification.

The above-listed documents are filed electronically.

Fee payment is provided through online credit card payment. The U.S. Patent and Trademark Office is hereby authorized to charge any fee deficiency, or credit any overpayment, to our Deposit Account No. 19-0036. If extensions of time under 37 C.F.R. § 1.136 other than those otherwise provided for herewith are required to prevent abandonment of the present patent application, then such extensions of time are hereby petitioned, and any fees therefor are hereby authorized to be charged to our Deposit Account No. 19-0036.

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Donald J. Featherstone/

Donald J. Featherstone
Attorney for Applicant
Registration No. 33,876

DJF/W-S/dab
10376639_1.docx
Enclosures

Micron Ex. 1002, p. 356
Micron v. YMTC
IPR2025-00294

PTO/AIA/22 (03-13)
Approved for use through 11/30/2020. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PETITION FOR EXTENSION OF TIME UNDER 37 CFR 1.136(a)

Docket Number (Optional): 4123.0110002

Application Number: 16/046,847

Filed: July 26, 2018

For: JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME (as amended)

Art Unit: 2811

Examiner: To Be Assigned

This is a request under the provisions of 37 CFR 1.136(a) to extend the period for filing a reply in the above-identified application.

The requested extension and fee are as follows (check time period desired and enter the appropriate fee below):

		Fee	Small Entity Fee	Micro Entity Fee	
☑	One month (37 CFR 1.17(a)(1))	$200	$100	$50	$ 200
☐	Two months (37 CFR 1.17(a)(2))	$600	$300	$150	$
☐	Three months (37 CFR 1.17(a)(3))	$1,400	$700	$350	$
☐	Four months (37 CFR 1.17(a)(4))	$2,200	$1,100	$550	$
☐	Five months (37 CFR 1.17(a)(5))	$3,000	$1,500	$750	$

☐ Applicant asserts small entity status. See 37 CFR 1.27.

☐ Applicant certifies micro entity status. See 37 CFR 1.29.
Form PTO/SB/15A or B or equivalent must either be enclosed or have been submitted previously.

☐ A check in the amount of the fee is enclosed.

☐ Payment by credit card. Form PTO-2038 is attached.

☐ The Director has already been authorized to charge fees in this application to a Deposit Account.

☑ The Director is hereby authorized to charge any fees which may be required, or credit any overpayment, to Deposit Account Number 19-0036.

☑ Payment made via EFS-Web.

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

I am the

☐ applicant.

☑ attorney or agent of record. Registration number 33,876.

☐ attorney or agent acting under 37 CFR 1.34. Registration number _____.

/Donald J. Featherstone/ — Signature

November 29, 2018 — Date

Donald J. Featherstone — Typed or printed name

(202) 371-2600 — Telephone Number

NOTE: This form must be signed in accordance with 37 CFR 1.33. See 37 CFR 1.4 for signature requirements and certifications. Submit multiple forms if more than one signature is required, see below*.

☑ * Total of one (1) forms are submitted.

This collection of information is required by 37 CFR 1.136(a). The information is required to obtain or retain a benefit by the public, which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 6 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Mail Stop PCT, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
16/046,847	07/26/2018	Zhenyu LU	4123.0110002

CONFIRMATION NO. 7612

26111
STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.
1100 NEW YORK AVENUE, N.W.
WASHINGTON, DC 20005

FORMALITIES LETTER

OC000000101946287

Date Mailed: 08/30/2018

NOTICE TO FILE MISSING PARTS OF NONPROVISIONAL APPLICATION

FILED UNDER 37 CFR 1.53(b)

Filing Date Granted

Items Required To Avoid Abandonment:

An application number and filing date have been accorded to this application. The item(s) indicated below, however, are missing. Applicant is given **TWO MONTHS** from the date of this Notice within which to file all required items below to avoid abandonment. Extensions of time may be obtained by filing a petition accompanied by the extension fee under the provisions of 37 CFR 1.136(a).

- The statutory basic filing fee is missing.
- The application search fee must be submitted.
- The application examination fee must be submitted.

The application is informal since it does not comply with the regulations for the reason(s) indicated below.

The required item(s) identified below must be timely submitted to avoid abandonment:

- A substitute specification in compliance with 37 CFR 1.52, 1.121(b)(3), and 1.125, is required. The substitute specification must be submitted with markings and be accompanied by a clean version (without markings) as set forth in 37 CFR 1.125(c) and a statement that the substitute specification contains no new matter (see 37 CFR 1.125(b)). The specification, claims, and/or abstract page(s) submitted is not acceptable and cannot be scanned or properly stored because:
  - The application contains drawings, but the specification does not contain a brief description of the several views of the drawings as required by 37 CFR 1.74 and 37 CFR 1.77(b)(9).

The following item(s) appear to have been **omitted** from the application:

- Figure(s) **22, 49, 73, 102** described in the specification.

Applicant must reply to this notice within the time period set forth in this notice to avoid abandonment of this application. Applicant must select one of the three following options and the reply must comply with the requirements set forth in the selected option and any other requirements set forth in this notice. The reply should also indicate which option applicant has selected.

I. Petition for date of deposit: Should applicant contend that the above-noted omitted item(s) was in fact deposited in the U.S. Patent and Trademark Office (USPTO) with the nonprovisional application papers, a copy of this Notice and a petition (and the petition fee set forth in 37 CFR 1.17(f) with evidence of such deposit **must** be

Micron Ex. 1002, p. 358
Micron v. YMTC
IPR2025-00294

filed within **TWO MONTHS** of the date of this Notice. The petition fee will be refunded if it is determined that the item(s) was received by the USPTO. **THIS TWO MONTH PERIOD IS EXTENDABLE UNDER 37 CFR 1.136(a) or (b).**

Applicant should review their application file and determine whether their file differs from USPTO's records. In some situations there may be a mislabeling of the drawings and/or a failure to describe in the brief description each of the figures as labeled.

The brief description of the drawings in the specification must correspond with the figures and the figures must be labeled in accordance with 37 CFR 1.84(u)(1). For example, if the brief description describes Figure 1 and Figure 2 only, but the drawings show Fig. 1 and Fig. 2A and Fig. 2B, then the specification must be amended to refer to Figure 2A and Figure 2B and delete the reference to Figure 2 and a substitute specification in compliance with 37 CFR 1.52, 1.121(b)(3), and 1.125, is required. As another example, if a drawing is labeled Figure 2, but there are actually multiple figures within the labeled Figure 2 having labels A, B, and C, then the drawings must be relabeled in accordance with 37 CFR 1.84(u)(1) (e.g., Fig. 2A, Fig. 2B, and Fig. 2C). If the specification does not refer to the figures as relabeled, then the specification must be amended to refer to the relabeled figures (e.g., Fig. 2A, Fig. 2B, and Fig. 2C) and a substitute specification in compliance with 37 CFR 1.52, 1.121(b)(3), and 1.125, is required. A petition for date of deposit under option I should **NOT** be filed in either situation or in similar situations where there is simply a mislabeling of the drawings and/or a failure to describe in the brief description each of the figures. Instead, applicant should file a reply under option III.A below (including replacement drawing sheets and/or a substitute specification as required in III.A.2).

II. Petition for later filing date: Should applicant desire to supply the omitted item(s) and accept the date that such omitted item(s) was filed in the USPTO as the filing date of the above-identified application, a copy of this Notice, the omitted item(s), and a petition under 37 CFR 1.182 with the petition fee set forth in 37 CFR 1.17(f) requesting the later filing date **must** be filed within **TWO MONTHS** of the date of this Notice. **THIS TWO MONTH PERIOD IS EXTENDABLE UNDER 37 CFR 1.136(a) or (b).**
Applicant is advised that generally the filing fee required for an application is the filing fee in effect on the filing date accorded the application and that payment of the requisite basic filing fee on a date later than the filing date of the application requires payment of a surcharge (37 CFR 1.16(f)). To avoid processing delays and payment of a surcharge, applicant should submit any balance due for the requisite filing fee based on the later filing date being requested when submitting the omitted item(s) and the petition (and petition fee) requesting the later filing date.

III. Acceptance of application as deposited: Applicant may accept the application as deposited in the USPTO by filing an appropriate amendment as set forth in either (A) or (B) below within **TWO MONTHS** of the date of this Notice. **THIS TWO MONTH PERIOD IS EXTENDABLE UNDER 37 CFR 1.136(a) or (b)** . The application will maintain a filing date as of the date of deposit of the application papers in the USPTO, and original application papers (i.e., the original disclosure of the invention) will include only those application papers present in the USPTO on the date of deposit. A petition is not required for this option.
(A) If applicant wants to accept the application as deposited without adding the subject matter that was in the omitted item (e.g., a missing page or figure), applicant is required to submit one or more of the following items without adding any new matter (see 35 U.S.C. 132(a)):

1. For a missing page of the specification,
   a) a substitute specification including claims that amends the specification to renumber the pages consecutively and cancels any incomplete sentences, and
   b) a statement that the substitute specification includes no new matter, in compliance with 37 CFR 1.121(b)(3) and 1.125;
2. For a missing figure of the drawings (including a mislabeled figure),
   a) replacement drawing sheets in compliance with 37 CFR 1.121(d) to renumber the drawing figures consecutively (if necessary),

Micron Ex. 1002, p. 359
Micron v. YMTC
IPR2025-00294

b) a substitute specification excluding claims that amends the specification to cancel any references to any omitted drawing(s) and corrects the references in the specification to the drawing figures to correspond with any relabeled drawing figures, and
c) a statement that the substitute specification includes no new matter, in compliance with 37 CFR 1.121(b)(3) and 1.125;

3. For a missing page of the claim listing only, a replacement claim listing with the claims renumbered consecutively or, if amendment to the claims is also necessary, then a complete claim listing in compliance with 37 CFR 1.121(c);
4. For a missing or unreadable compact disc,
   a) a substitute specification (excluding the claims) deleting the reference to the compact disc and the files contained on the compact disc, and
   b) a statement that the substitute specification includes no new matter, in compliance with 37 CFR 1.121(b)(3) and 1.125; and
5. For a missing or unreadable file submitted on a compact disc,
   a) a substitute specification (excluding the claims) deleting the reference to the missing or unreadable file, and a statement that the substitute specification includes no new matter, in compliance with 37 CFR 1.121(b)(3) and 1.125; and
   b) a replacement transmittal letter listing all of the files except the missing or unreadable file in compliance with 37 CFR 1.52(e)(3)(ii).

(B) Alternatively, if applicant wants to accept the application as deposited but wishes to add the subject matter in the omitted item (e.g., a missing page or figure) by relying on an incorporation by reference under 37 CFR 1.57 or other portions of the original disclosure, applicant is required to submit one or more of the following items without adding any new matter (see 35 U.S.C. 132(a)):

1. To add the subject matter in a missing page of specification,
   a) a substitute specification excluding claims and
   b) a statement that the substitute specification includes no new matter, in compliance with 37 CFR 1.121(b)(3) and 1.125;
2. To add a missing figure of the drawings, new and replacement drawing sheets in compliance with 37 CFR 1.121(d);
3. To add the subject matter in a missing page of the claim listing, a complete claim listing in compliance with 37 CFR 1.121(c) (e.g., a claim in the missing page should be submitted as a new claim);
4. To add the subject matter in a missing or unreadable compact disc,
   a) a replacement compact disc and a duplicate copy of the compact disc, in compliance with 37 CFR 1.52(e); and
   b) a statement that the replacement compact disc contains no new matter in compliance with 37 CFR 1.52(e)(4); and,
5. To add the subject matter in a missing or unreadable file submitted on a compact disc,
   a) a replacement compact disc that contains all of the files listed in the specification including the missing or unreadable file and a duplicate copy of the compact disc, in compliance with 37 CFR 1.52(e); and
   b) a statement that the replacement compact disc contains no new matter in compliance with 37 CFR 1.52(e)(4).

If applicant is relying on an incorporation by reference under 37 CFR 1.57 to add the omitted subject matter, then applicant must also comply with the requirements of 37 CFR 1.57.

Applicant is cautioned that correction of the above items may cause the specification and drawings page count to exceed 100 pages. If the specification and drawings exceed 100 pages, applicant will need to submit the required application size fee.

Micron Ex. 1002, p. 360
Micron v. YMTC
IPR2025-00294

- Surcharge as set forth in 37 CFR 1.16(f) must be submitted.
  The surcharge is due for any one of:
  - late submission of the basic filing fee, search fee, or examination fee,
  - late submission of inventor's oath or declaration,
  - filing an application that does not contain at least one claim on filing, or
  - submission of an application filed by reference to a previously filed application.

SUMMARY OF FEES DUE:

The fee(s) required within **TWO MONTHS** from the date of this Notice to avoid abandonment is/are itemized below. No entity status discount is in effect. If applicant is qualified for small entity status, a written assertion of small entity status must be submitted to establish small entity status. (See 37 CFR 1.27). If applicant is qualified for micro entity status, an acceptable Certification of Micro Entity Status must be submitted to establish micro entity status. (See 37 CFR 1.29 and forms PTO/SB/15A and 15B.)

- $ **300** basic filing fee.
- $ **400** for **42** electronically equivalent pages in excess of **100** application size fee.
- $ **160** surcharge.
- $ **660** search fee.
- $ **760** examination fee.
- $(**0**) previous unapplied payment amount.
- $ **2280** TOTAL FEE BALANCE DUE.

Items Required To Avoid Processing Delays:

Applicant is notified that the above-identified application contains the deficiencies noted below. No period for reply is set forth in this notice for correction of these deficiencies. However, if a deficiency relates to the inventor's oath or declaration, the applicant must file an oath or declaration in compliance with 37 CFR 1.63, or a substitute statement in compliance with 37 CFR 1.64, executed by or with respect to each actual inventor no later than the expiration of the time period set in the "Notice of Allowability" to avoid abandonment. See 37 CFR 1.53(f).

- A properly executed inventor's oath or declaration has not been received for the following inventor(s):
  Zhenyu LU
  Wenguang SHI
  Guanping WU
  Feng PAN
  Xianjin WAN
  Baoyou CHEN

Micron Ex. 1002, p. 361
Micron v. YMTC
IPR2025-00294

Replies must be received in the USPTO within the set time period or must include a proper Certificate of Mailing or Transmission under 37 CFR 1.8 with a mailing or transmission date within the set time period. For more information and a suggested format, see Form PTO/SB/92 and MPEP 512.

Replies should be mailed to:

Mail Stop Missing Parts
Commissioner for Patents
P.O. Box 1450
Alexandria VA 22313-1450

Registered users of EFS-Web may alternatively submit their reply to this notice via EFS-Web, including a copy of this Notice and selecting the document description "Applicant response to Pre-Exam Formalities Notice". https://sportal.uspto.gov/authenticate/AuthenticateUserLocalEPF.html

For more information about EFS-Web please call the USPTO Electronic Business Center at 1-866-217-9197 or visit our website at http://www.uspto.gov/ebc.

If you are not using EFS-Web to submit your reply, you must include a copy of this notice.

Questions about the contents of this notice and the requirements it sets forth should be directed to the Office of Data Management, Application Assistance Unit, at **(571) 272-4000** or **(571) 272-4200** or **1-888-786-0101**.

/ygizaw/

Micron Ex. 1002, p. 362
Micron v. YMTC
IPR2025-00294

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
16/046,847	07/26/2018	Zhenyu LU	4123.0110002

CONFIRMATION NO. 7612

26111
STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.
1100 NEW YORK AVENUE, N.W.
WASHINGTON, DC 20005

INFORMAL NOTICE

OC000000104211483

Date Mailed: 12/05/2018

INFORMATIONAL NOTICE TO APPLICANT

Applicant is notified that the above-identified application contains the deficiencies noted below. No period for reply is set forth in this notice for correction of these deficiencies. However, if a deficiency relates to the inventor's oath or declaration, the applicant must file an oath or declaration in compliance with 37 CFR 1.63, or a substitute statement in compliance with 37 CFR 1.64, executed by or with respect to each actual inventor no later than the expiration of the time period set in the "Notice of Allowability" to avoid abandonment. See 37 CFR 1.53(f).

The item(s) indicated below are also required and should be submitted with any reply to this notice to avoid further processing delays.

- A properly executed inventor's oath or declaration has not been received for the following inventor(s):
  Feng PAN

Questions about the contents of this notice and the requirements it sets forth should be directed to the Office of Data Management, Application Assistance Unit, at **(571) 272-4000** or **(571) 272-4200** or **1-888-786-0101**.

/agizaw/

Micron Ex. 1002, p. 363
Micron v. YMTC
IPR2025-00294

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING or 371(c) DATE	GRP ART UNIT	FIL FEE REC'D	ATTY.DOCKET.NO	TOT CLAIMS	IND CLAIMS
16/046,847	07/26/2018	2811	2280	4123.0110002	20	3

CONFIRMATION NO. 7612

UPDATED FILING RECEIPT

26111
STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.
1100 NEW YORK AVENUE, N.W.
WASHINGTON, DC 20005

OC000000104211482

Date Mailed: 12/05/2018

Receipt is acknowledged of this non-provisional patent application. The application will be taken up for examination in due course. Applicant will be notified as to the results of the examination. Any correspondence concerning the application must include the following identification information: the U.S. APPLICATION NUMBER, FILING DATE, NAME OF APPLICANT, and TITLE OF INVENTION. Fees transmitted by check or draft are subject to collection. Please verify the accuracy of the data presented on this receipt. **If an error is noted on this Filing Receipt, please submit a written request for a Filing Receipt Correction. Please provide a copy of this Filing Receipt with the changes noted thereon. If you received a "Notice to File Missing Parts" for this application, please submit any corrections to this Filing Receipt with your reply to the Notice. When the USPTO processes the reply to the Notice, the USPTO will generate another Filing Receipt incorporating the requested corrections**

Inventor(s)

Zhenyu LU, Wuhan, CHINA;
Wenguang SHI, Wuhan, CHINA;
Guanping WU, Wuhan, CHINA;
Feng PAN, Wuhan, CHINA;
Xianjin WAN, Wuhan, CHINA;
Baoyou CHEN, Wuhan, CHINA;

Applicant(s)

Yangtze Memory Technologies Co., Ltd., Wuhan, CHINA

Assignment For Published Patent Application

Yangtze Memory Technologies Co., Ltd., Wuhan, CHINA

Power of Attorney: The patent practitioners associated with Customer Number 26111

Domestic Priority data as claimed by applicant

This application is a CON of PCT/CN2018/077785 03/01/2018

Foreign Applications (You may be eligible to benefit from the **Patent Prosecution Highway** program at the USPTO. Please see http://www.uspto.gov for more information.)
CHINA 201710134782.1 03/06/2017 No Access Code Provided
CHINA 201710134783.6 03/08/2017 No Access Code Provided

Permission to Access Application via Priority Document Exchange: Yes

Permission to Access Search Results: Yes

Micron Ex. 1002, p. 364
Micron v. YMTC
IPR2025-00294

Applicant may provide or rescind an authorization for access using Form PTO/SB/39 or Form PTO/SB/69 as appropriate.

Request to Retrieve - This application either claims priority to one or more applications filed in an intellectual property Office that participates in the Priority Document Exchange (PDX) program or contains a proper **Request to Retrieve Electronic Priority Application(s)** (PTO/SB/38 or its equivalent). Consequently, the USPTO will attempt to electronically retrieve these priority documents.

If Required, Foreign Filing License Granted: 08/29/2018

The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is **US 16/046,847**

Projected Publication Date: 03/14/2019

Non-Publication Request: No

Early Publication Request: No

Title

JOINT OPENNING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME

Preliminary Class

257

Statement under 37 CFR 1.55 or 1.78 for AIA (First Inventor to File) Transition Applications: No

PROTECTING YOUR INVENTION OUTSIDE THE UNITED STATES

Since the rights granted by a U.S. patent extend only throughout the territory of the United States and have no effect in a foreign country, an inventor who wishes patent protection in another country must apply for a patent in a specific country or in regional patent offices. Applicants may wish to consider the filing of an international application under the Patent Cooperation Treaty (PCT). An international (PCT) application generally has the same effect as a regular national patent application in each PCT-member country. The PCT process **simplifies** the filing of patent applications on the same invention in member countries, but **does not result** in a grant of "an international patent" and does not eliminate the need of applicants to file additional documents and fees in countries where patent protection is desired.

Almost every country has its own patent law, and a person desiring a patent in a particular country must make an application for patent in that country in accordance with its particular laws. Since the laws of many countries differ in various respects from the patent law of the United States, applicants are advised to seek guidance from specific foreign countries to ensure that patent rights are not lost prematurely.

Applicants also are advised that in the case of inventions made in the United States, the Director of the USPTO must issue a license before applicants can apply for a patent in a foreign country. The filing of a U.S. patent application serves as a request for a foreign filing license. The application's filing receipt contains further information and guidance as to the status of applicant's license for foreign filing.

Applicants may wish to consult the USPTO booklet, "General Information Concerning Patents" (specifically, the section entitled "Treaties and Foreign Patents") for more information on timeframes and deadlines for filing foreign

Micron Ex. 1002, p. 365
Micron v. YMTC
IPR2025-00294

patent applications. The guide is available either by contacting the USPTO Contact Center at 800-786-9199, or it can be viewed on the USPTO website at http://www.uspto.gov/web/offices/pac/doc/general/index.html.

For information on preventing theft of your intellectual property (patents, trademarks and copyrights), you may wish to consult the U.S. Government website, http://www.stopfakes.gov. Part of a Department of Commerce initiative, this website includes self-help "toolkits" giving innovators guidance on how to protect intellectual property in specific countries such as China, Korea and Mexico. For questions regarding patent enforcement issues, applicants may call the U.S. Government hotline at 1-866-999-HALT (1-866-999-4258).

LICENSE FOR FOREIGN FILING UNDER

Title 35, United States Code, Section 184

Title 37, Code of Federal Regulations, 5.11 & 5.15

GRANTED

The applicant has been granted a license under 35 U.S.C. 184, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" followed by a date appears on this form. Such licenses are issued in all applications where the conditions for issuance of a license have been met, regardless of whether or not a license may be required as set forth in 37 CFR 5.15. The scope and limitations of this license are set forth in 37 CFR 5.15(a) unless an earlier license has been issued under 37 CFR 5.15(b). The license is subject to revocation upon written notification. The date indicated is the effective date of the license, unless an earlier license of similar scope has been granted under 37 CFR 5.13 or 5.14.

This license is to be retained by the licensee and may be used at any time on or after the effective date thereof unless it is revoked. This license is automatically transferred to any related applications(s) filed under 37 CFR 1.53(d). This license is not retroactive.

The grant of a license does not in any way lessen the responsibility of a licensee for the security of the subject matter as imposed by any Government contract or the provisions of existing laws relating to espionage and the national security or the export of technical data. Licensees should apprise themselves of current regulations especially with respect to certain countries, of other agencies, particularly the Office of Defense Trade Controls, Department of State (with respect to Arms, Munitions and Implements of War (22 CFR 121-128)); the Bureau of Industry and Security, Department of Commerce (15 CFR parts 730-774); the Office of Foreign AssetsControl, Department of Treasury (31 CFR Parts 500+) and the Department of Energy.

NOT GRANTED

No license under 35 U.S.C. 184 has been granted at this time, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" DOES NOT appear on this form. Applicant may still petition for a license under 37 CFR 5.12, if a license is desired before the expiration of 6 months from the filing date of the application. If 6 months has lapsed from the filing date of this application and the licensee has not received any indication of a secrecy order under 35 U.S.C. 181, the licensee may foreign file the application pursuant to 37 CFR 5.15(b).

Micron Ex. 1002, p. 366
Micron v. YMTC
IPR2025-00294

SelectUSA

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation, and commercialization of new technologies. The U.S. offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to promote and facilitate business investment. SelectUSA provides information assistance to the international investor community; serves as an ombudsman for existing and potential investors; advocates on behalf of U.S. cities, states, and regions competing for global investment; and counsels U.S. economic development organizations on investment attraction best practices. To learn more about why the United States is the best country in the world to develop technology, manufacture products, deliver services, and grow your business, visit http://www.SelectUSA.gov or call +1-202-482-6800.

Micron Ex. 1002, p. 367
Micron v. YMTC
IPR2025-00294

PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875

Application or Docket Number: 16/046,847

APPLICATION AS FILED - PART I

FOR	(Column 1) NUMBER FILED	(Column 2) NUMBER EXTRA	SMALL ENTITY RATE($)	SMALL ENTITY FEE($)	OR	OTHER THAN SMALL ENTITY RATE($)	OTHER THAN SMALL ENTITY FEE($)
BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A	300
SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A			N/A	660
EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A	760
TOTAL CLAIMS (37 CFR 1.16(i))	20 minus 20 =	*			OR	x 100 =	0.00
INDEPENDENT CLAIMS (37 CFR 1.16(h))	3 minus 3 =	*				x 460 =	0.00
APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $310 ($155 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).						400
MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))							0.00
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL	2120

APPLICATION AS AMENDED - PART II

		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE($)	SMALL ENTITY ADDITIONAL FEE($)	OR	OTHER THAN SMALL ENTITY RATE($)	OTHER THAN SMALL ENTITY ADDITIONAL FEE($)
AMENDMENT A	Total (37 CFR 1.16(i))	*	Minus	**	=	x =		OR	x =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	x =		OR	x =	
	Application Size Fee (37 CFR 1.16(s))									
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE($)	SMALL ENTITY ADDITIONAL FEE($)	OR	OTHER THAN SMALL ENTITY RATE($)	OTHER THAN SMALL ENTITY ADDITIONAL FEE($)
AMENDMENT B	Total (37 CFR 1.16(i))	*	Minus	**	=	x =		OR	x =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	x =		OR	x =	
	Application Size Fee (37 CFR 1.16(s))									
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".
The "Highest Number Previously Paid For" (Total or Independent) is the highest found in the appropriate box in column 1.

中华人民共和国国家知识产权局
STATE INTELLECTUAL PROPERTY OFFICE
OF THE PEOPLE'S REPUBLIC OF CHINA

证　明

本证明之附件是向本局提交的下列专利申请文件副本。

申　　请　　号：201710134783.6

申　请　类　型：发明专利

发明 创造 名称：三维存储器及其通道孔结构的形成方法

申　　请　　日：2017 年 03 月 08 日

申　　请　　人：长江存储科技有限责任公司

发明人或设计人：吕震宇、施文广、吴关平、潘锋、万先进、陈保友

局长

申长雨

2018 年 09 月 20 日

Micron Ex. 1002, p. 369
Micron v. YMTC
IPR2025-00294

2017101347836

MP1703661

权 利 要 求 书

1、一种三维存储器中通道孔结构的形成方法，其特征在于，该方法包括：

提供基底，所述基底表面形成有第一堆叠层和第一绝缘连接层，所述第一堆叠层由多个交错叠加的氧化层和氮化层构成；

形成完全贯穿所述第一堆叠层和所述第一绝缘连接层，并延伸至所述基底表面内的第一通孔；

在第一通孔曝露的所述基底表面形成第一通道结构；

在所述第一通孔侧壁形成第一功能层；

在所述第一功能层侧壁和所述第一通道结构表面形成第二通道结构，所述第二通道结构的表面低于所述第一绝缘连接层表面；

在所述第一绝缘连接层内形成第一凹槽，所述第一凹槽在所述基底上的投影完全覆盖所述第一通孔在所述基底上的投影；

在所述第一凹槽内形成第三通道结构，所述第三通道结构与所述第二通道结构相接触；

在所述第三通道结构背离所述基底一侧依次形成第二堆叠层和第二绝缘连接层，所述第二堆叠层由多个交错叠加的氧化层和氮化层构成；

形成完全贯穿所述第二堆叠层和所述第二绝缘连接层，并延伸至所述第三通道结构表面内的第二通孔，所述第二通孔在所述基底上的投影与所述第一通孔在所述基底上的投影至少部分交叠；

在所述第二通孔侧壁形成第二功能层；

去除所述第二通道结构、所述第三通道结构和所述第二保护层、所述第一保护层，形成所述第一通孔和所述第二通孔相连通的第三通孔；

在所述第三通孔侧壁和底部依次形成第四通道结构和第一填充结构，所述第一填充结构的表面低于所述第四通道结构的表面；

在所述第四通道结构与所述第一填充结构形成的第二凹槽内形成第五通道结构，所述第五通道结构与所述第四通道结构相接触。

Micron Ex. 1002, p. 370
Micron v. YMTC
IPR2025-00294

2、根据权利要求 1 所述的形成方法，其特征在于，在所述第一通孔侧壁形成第一功能层包括：

在所述第一通孔的侧壁和所述第一通道结构的表面形成第一隧穿层，用于产生电荷；

在所述第一隧穿层表面形成第一存储层，用于存储电荷；

在所述第一存储层表面形成第一阻挡层，用于阻挡所述第一存储层中的电荷流出；

在所述第一阻挡层表面形成第一保护层，用于保护所述第一阻挡层在后续去除工艺中不受到损伤；

去除所述第一保护层、第一阻挡层、所述第一存储层和所述第一隧穿层位于所述第一通道结构表面的部分，形成第一功能层。

3、根据权利要求 1 所述的形成方法，其特征在于，在所述第一功能层侧壁和所述第一通道结构表面形成第二通道结构，所述第二通道结构的表面低于所述第一绝缘连接层表面包括：

形成覆盖所述第一保护层侧壁、所述第一通孔底部和第一绝缘连接层表面的第二通道层；

去除部分所述第二通道层，使得所述第二通道层表面低于所述第一绝缘连接层，形成第二通道结构。

4、根据权利要求 1 所述的形成方法，其特征在于，在所述第二通孔侧壁形成第二功能层包括：

在所述第二通孔的侧壁和所述第二通道结构的表面形成第二隧穿层，用于产生电荷；

在所述第二隧穿层表面形成第二存储层，用于存储电荷；

在所述第二存储层表面形成第二阻挡层，用于阻挡所述第二存储层中的电荷流出；

在所述第二阻挡层表面形成第二保护层，用于保护所述第二阻挡层在后续去除工艺中不受到损伤；

Micron Ex. 1002, p. 371
Micron v. YMTC
IPR2025-00294

去除所述第二保护层、第二阻挡层、所述第二存储层和所述第二隧穿层和所述第二通道结构位于所述第二通孔底部的部分，形成第二功能层，同时使得所述第二通孔与所述第一通孔向连通。

5、根据权利要求1所述的形成方法，其特征在于，在所述第三通孔侧壁和底部依次形成第四通道结构和第一填充结构，所述第一填充结构的表面低于所述第四通道结构的表面包括：

在所述第三通孔侧壁和底部以及所述第一绝缘连接层表面形成第四通道层；

在所述第四通道层表面形成覆盖所述第四通道层的第一填充层；

去除部分所述第一填充层，使得所述第一填充层的表面低于所述第一绝缘连接层的表面，形成第一填充结构；

去除部分所述第四通道层位于所述第一绝缘连接层表面的部分，保留所述第三通孔侧壁的部分，形成第四通道结构，所述第四通道结构的底部与所述第一通道结构直接接触，所述第四通道结构的表面高于所述第一填充结构的表面。

6、一种三维存储器，其特征在于，包括：

基底，所述基底表面形成有第一堆叠层和第一绝缘连接层，所述第一堆叠层由多个交错叠加的氧化层和氮化层构成；

贯穿所述第一堆叠层和所述第一绝缘连接层，并延伸至所述基底表面内的第一通孔；

形成于第一通孔曝露的所述基底表面的第一通道结构；

形成于所述第一通孔侧壁的第一功能层；

依次形成于所述第一绝缘连接层背离所述基底一侧的第二堆叠层和第二绝缘连接层，所述第二堆叠层由多个交错叠加的氧化层和氮化层构成；

贯穿所述第二堆叠层和所述第二绝缘连接层，并延伸至与所述第一通孔相连通的第二通孔，所述第一通孔和所述第二通孔构成第三通孔；

形成于所述第二通孔侧壁的第二功能层；

Micron Ex. 1002, p. 372
Micron v. YMTC
IPR2025-00294

依次形成于所述第三通孔侧壁和底部的第四通道结构和第一填充结构，所述第四通道结构与所述第一通道结构相接触，所述第二填充结构的表面低于所述第四通道结构表面；

形成于所述第四通道结构和所述第一填充结构形成的第二凹槽内的第五通道结构，所述第五通道结构与所述第四通道结构相接触。

7、一种三维存储器中通道孔结构的形成方法，其特征在于，所述三维存储器包括沿字线方向排布的第一区域、第二区域和第三区域，其中，所述第一区域用于形成通道孔结构，所述第三区域用于形成绝缘环结构，该方法包括：

提供基底，所述基底表面形成有第一堆叠层和第一绝缘连接层，所述第一堆叠层由多个交错叠加的氧化层和氮化层构成；

在所述第一区域、所述第二区域和所述第三区域形成完全贯穿所述第一堆叠层和所述第一绝缘连接层，并延伸至所述基底表面内的第一通孔；

在第一通孔曝露的所述基底表面形成第一通道结构；

在所述第一通孔侧壁形成第一功能层；

在所述第一功能层侧壁和所述第一通道结构表面形成第二通道结构，所述第二通道结构的表面低于所述第一绝缘连接层表面；

在所述第一绝缘连接层内形成第一凹槽，所述第一凹槽在所述基底上的投影完全覆盖所述第一通孔在所述基底上的投影；

在所述第一凹槽内形成第三通道结构，所述第三通道结构与所述第二通道结构相接触；

在所述第三通道结构背离所述基底一侧依次形成第二堆叠层和第二绝缘连接层，所述第二堆叠层由多个交错叠加的氧化层和氮化层构成；

在所述第一区域、所述第二区域和所述第三区域形成完全贯穿所述第二堆叠层和所述第二绝缘连接层，并延伸至所述第三通道结构表面内的第二通孔，所述第二通孔在所述基底上的投影与所述第一通孔在所述基底上的投影至少部分交叠；

Micron Ex. 1002, p. 373
Micron v. YMTC
IPR2025-00294

在所述第二通孔侧壁形成第二功能层；

去除所述第二通道结构、所述第三通道结构和所述第二保护层、所述第一保护层，形成所述第一通孔和所述第二通孔相连通的第三通孔；

在位于所述第一区域的第三通孔的侧壁和底部形成第四通道结构，并在所述第一区域、所述第二区域和所述第三区域对应的所述第三通孔侧壁和底部形成第一填充结构，所述第一填充结构的表面低于所述第四通道结构的表面；

在所述第四通道结构和所述第一填充结构形成的第二凹槽内形成第五通道结构，所述第五通道结构与所述第四通道结构相接触。

8、根据权利要求 7 所述的形成方法，其特征在于，在所述第一通孔侧壁形成第一功能层包括：

在所述第一通孔的侧壁和所述第一通道结构的表面形成第一隧穿层，用于产生电荷；

在所述第一隧穿层表面形成第一存储层，用于存储电荷；

在所述第一存储层表面形成第一阻挡层，用于阻挡所述第一存储层中的电荷流出；

在所述第一阻挡层表面形成第一保护层，用于保护所述第一阻挡层在后续去除工艺中不受到损伤；

去除所述第一保护层、第一阻挡层、所述第一存储层和所述第一隧穿层位于所述第一通道结构表面的部分，形成第一功能层。

9、根据权利要求 7 所述的形成方法，其特征在于，在所述第一功能层侧壁和所述第一通道结构表面形成第二通道结构，所述第二通道结构的表面低于所述第一绝缘连接层表面包括：

形成覆盖所述第一保护层侧壁、所述第一通孔底部和第一绝缘连接层表面的第二通道层；

去除部分所述第二通道层，使得所述第二通道层表面低于所述第一绝缘连接层，形成第二通道结构。

Micron Ex. 1002, p. 374
Micron v. YMTC
IPR2025-00294

10、根据权利要求7所述的形成方法，其特征在于，在所述第二通孔侧壁形成第二功能层包括：

在所述第二通孔的侧壁和所述第二通孔底部形成第二隧穿层，用于产生电荷；

在所述第二隧穿层表面形成第二存储层，用于存储电荷；

在所述第二存储层表面形成第二阻挡层，用于阻挡所述第二存储层中的电荷流出；

在所述第二阻挡层表面形成第二保护层，用于保护所述第二阻挡层在后续去除工艺中不受到损伤；

去除所述第二保护层、第二阻挡层、所述第二存储层、所述第二隧穿层和所述第三通道结构位于所述第二通孔底部的部分，形成第二功能层，同时使得所述第二通孔与所述第一通孔相连通。

11、根据权利要求7所述的形成方法，其特征在于，在位于所述第一区域的第三通孔的侧壁和底部形成第四通道结构，并在所述第一区域、所述第二区域和所述第三区域对应的所述第三通孔侧壁和底部形成第一填充结构，所述第一填充结构的表面低于所述第四通道结构的表面包括：

在所述第一区域、所述第二区域和所述第三区域形成覆盖所述第三通孔侧壁和底部以及所述第一绝缘连接层表面的第四通道层；

在所述第一区域、所述第二区域和所述第三区域形成覆盖所述第四通道层的第二填充层，所述第二填充层具有空气间隙；

在所述第二填充层对应所述第一区域的表面形成第三掩膜层；

以所述第三掩膜层为掩膜，去除所述第二填充层位于所述第二区域和所述第三区域的部分；

去除所述第三掩膜层；

以所述第二填充层位于所述第一区域的部分为掩膜，去除所述第四通道层位于所述第二区域和所述第三区域的部分，在所述第二区域和所述第三区域形成第四通孔；

Micron Ex. 1002, p. 375
Micron v. YMTC
IPR2025-00294

在所述第四通孔侧壁和底部形成第三填充层，所述第三填充层还覆盖所述第一绝缘连接层位于所述第二区域和所述第三区域的表面，所述第三填充层的填充性能好于所述第二填充层的填充性能；

对所述第二填充层和所述第三填充层进行刻蚀，去除所述第二填充层位于所述第一区域的部分，形成在所述第一区域形成第五通孔；

形成覆盖所述第四通孔和所述第五通孔的第一填充层，所述第一填充层还覆盖所述第一绝缘连接层表面；

去除部分所述第一填充层，使得所述第一填充层的表面低于所述第一绝缘连接层的表面，形成第一填充结构；

去除所述第四通道层位于所述第一绝缘连接层表面的部分，保留所述第三通孔侧壁的部分，形成第四通道结构，所述第四通道结构的底部与所述第一通道结构直接接触，所述第四通道结构的表面高于所述第一填充结构的表面。

12、一种三维存储器，其特征在于，所述三维存储器包括沿字线方向排布的第一区域、第二区域和第三区域，其中，所述第一区域用于形成通道孔结构，所述第三区域用于形成绝缘环结构，沿垂直于所述三维存储器表面方向包括：

基底，所述基底表面形成有第一堆叠层和第一绝缘连接层，所述第一堆叠层由多个交错叠加的氧化层和氮化层构成；

在所述第一区域、所述第二区域和所述第三区域，贯穿所述第一堆叠层和所述第一绝缘连接层，并延伸至所述基底表面内的第一通孔；

形成在第一通孔曝露的所述基底表面的第一通道结构；

形成在所述第一通孔侧壁的第一功能层；

依次形成在所述第一绝缘连接层背离所述基底一侧的第二堆叠层和第二绝缘连接层，所述第二堆叠层由多个交错叠加的氧化层和氮化层构成；

Micron Ex. 1002, p. 376
Micron v. YMTC
IPR2025-00294

在所述第一区域、所述第二区域和所述第三区域，贯穿所述第二堆叠层和所述第二绝缘连接层，并延伸至与所述第一通孔相连通的第二通孔，所述第一通孔和所述第二通孔构成第三通孔；

形成在所述第二通孔侧壁的第二功能层；

形成在所述第一区域的第三通孔的侧壁和底部的第四通道结构，以及形成在所述第一区域、所述第二区域和所述第三区域对应的所述第三通孔侧壁和底部形成第一填充结构，所述第一填充结构的表面低于所述第四通道结构的表面；

形成在所述第四通道结构和所述第一填充结构形成的第二凹槽内的第五通道结构，所述第五通道结构与所述第四通道结构相接触。

Micron Ex. 1002, p. 377
Micron v. YMTC
IPR2025-00294

2017101347836

MP1703661

说　　明　　书

三维存储器及其通道孔结构的形成方法

技术领域

本发明涉及三维存储器技术领域，尤其涉及一种三维存储器及其通道孔结构的形成方法。

背景技术

随着三维存储器（如 3D NAND）中 ON（Oxide/Nitride）的层叠数目越来越多，使得在三维存储器中形成的通道孔的深度越来越大，而在采用单刻蚀工艺形成通道孔时，在相同孔径的情况下，通道孔的深度越大刻蚀难度越大。尤其是，当三维存储器中的叠层数目达到 120 及以上时，再采用单刻蚀的方法形成贯穿各叠层的通道孔时，存在刻蚀时间呈指数增长的现象，工艺效率较低，成本较高。

发明内容

为解决上述技术问题，本发明实施例提供了一种三维存储器及其通道孔结构的形成方法，以降低三维存储器中通道孔结构的工艺难度和成本。

为解决上述问题，本发明实施例提供了如下技术方案：

一种三维存储器中通道孔结构的形成方法，该方法包括：

提供基底，所述基底表面形成有第一堆叠层和第一绝缘连接层，所述第一堆叠层由多个交错叠加的氧化层和氮化层构成；

形成完全贯穿所述第一堆叠层和所述第一绝缘连接层，并延伸至所述基底表面内的第一通孔；

在第一通孔曝露的所述基底表面形成第一通道结构；

在所述第一通孔侧壁形成第一功能层；

在所述第一功能层侧壁和所述第一通道结构表面形成第二通道结构，所述第二通道结构的表面低于所述第一绝缘连接层表面；

Micron Ex. 1002, p. 378
Micron v. YMTC
IPR2025-00294

在所述第一绝缘连接层内形成第一凹槽，所述第一凹槽在所述基底上的投影完全覆盖所述第一通孔在所述基底上的投影；

在所述第一凹槽内形成第三通道结构，所述第三通道结构与所述第二通道结构相接触；

在所述第三通道结构背离所述基底一侧依次形成第二堆叠层和第二绝缘连接层，所述第二堆叠层由多个交错叠加的氧化层和氮化层构成；

形成完全贯穿所述第二堆叠层和所述第二绝缘连接层，并延伸至所述第三通道结构表面内的第二通孔，所述第二通孔在所述基底上的投影与所述第一通孔在所述基底上的投影至少部分交叠；

在所述第二通孔侧壁形成第二功能层；

去除所述第二通道结构、所述第三通道结构和所述第二保护层、所述第一保护层，形成所述第一通孔和所述第二通孔相连通的第三通孔；

在所述第三通孔侧壁和底部依次形成第四通道结构和第一填充结构，所述第一填充结构的表面低于所述第四通道结构的表面；

在所述第四通道结构与所述第一填充结构形成的第二凹槽内形成第五通道结构，所述第五通道结构与所述第四通道结构相接触。

可选的，在所述第一通孔侧壁形成第一功能层包括：

在所述第一通孔的侧壁和所述第一通道结构的表面形成第一隧穿层，用于产生电荷；

在所述第一隧穿层表面形成第一存储层，用于存储电荷；

在所述第一存储层表面形成第一阻挡层，用于阻挡所述第一存储层中的电荷流出；

在所述第一阻挡层表面形成第一保护层，用于保护所述第一阻挡层在后续去除工艺中不受到损伤；

去除所述第一保护层、第一阻挡层、所述第一存储层和所述第一隧穿层位于所述第一通道结构表面的部分，形成第一功能层。

Micron Ex. 1002, p. 379
Micron v. YMTC
IPR2025-00294

可选的，在所述第一功能层侧壁和所述第一通道结构表面形成第二通道结构，所述第二通道结构的表面低于所述第一绝缘连接层表面包括：

形成覆盖所述第一保护层侧壁、所述第一通孔底部和第一绝缘连接层表面的第二通道层；

去除部分所述第二通道层，使得所述第二通道层表面低于所述第一绝缘连接层，形成第二通道结构。

可选的，在所述第二通孔侧壁形成第二功能层包括：

在所述第二通孔的侧壁和所述第二通道结构的表面形成第二隧穿层，用于产生电荷；

在所述第二隧穿层表面形成第二存储层，用于存储电荷；

在所述第二存储层表面形成第二阻挡层，用于阻挡所述第二存储层中的电荷流出；

在所述第二阻挡层表面形成第二保护层，用于保护所述第二阻挡层在后续去除工艺中不受到损伤；

去除所述第二保护层、第二阻挡层、所述第二存储层和所述第二隧穿层和所述第二通道结构位于所述第二通孔底部的部分，形成第二功能层，同时使得所述第二通孔与所述第一通孔向连通。

可选的，在所述第三通孔侧壁和底部依次形成第四通道结构和第一填充结构，所述第一填充结构的表面低于所述第四通道结构的表面包括：

在所述第三通孔侧壁和底部以及所述第一绝缘连接层表面形成第四通道层；

在所述第四通道层表面形成覆盖所述第四通道层的第一填充层；

去除部分所述第一填充层，使得所述第一填充层的表面低于所述第一绝缘连接层的表面，形成第一填充结构；

去除部分所述第四通道层位于所述第一绝缘连接层表面的部分，保留所述第三通孔侧壁的部分，形成第四通道结构，所述第四通道结构的底部与所

Micron Ex. 1002, p. 380
Micron v. YMTC
IPR2025-00294

述第一通道结构直接接触，所述第四通道结构的表面高于所述第一填充结构的表面。

一种三维存储器，包括：

基底，所述基底表面形成有第一堆叠层和第一绝缘连接层，所述第一堆叠层由多个交错叠加的氧化层和氮化层构成；

贯穿所述第一堆叠层和所述第一绝缘连接层，并延伸至所述基底表面内的第一通孔；

形成于第一通孔曝露的所述基底表面的第一通道结构；

形成于所述第一通孔侧壁的第一功能层；

依次形成于所述第一绝缘连接层背离所述基底一侧的第二堆叠层和第二绝缘连接层，所述第二堆叠层由多个交错叠加的氧化层和氮化层构成；

贯穿所述第二堆叠层和所述第二绝缘连接层，并延伸至与所述第一通孔相连通的第二通孔，所述第一通孔和所述第二通孔构成第三通孔；

形成于所述第二通孔侧壁的第二功能层；

依次形成于所述第三通孔侧壁和底部的第四通道结构和第一填充结构，所述第四通道结构与所述第一通道结构相接触，所述第二填充结构的表面低于所述第四通道结构表面；

形成于所述第四通道结构和所述第一填充结构形成的第二凹槽内的第五通道结构，所述第五通道结构与所述第四通道结构相接触。

一种三维存储器中通道孔结构的形成方法，所述三维存储器包括沿字线方向排布的第一区域、第二区域和第三区域，其中，所述第一区域用于形成通道孔结构，所述第三区域用于形成绝缘环结构，该方法包括：

提供基底，所述基底表面形成有第一堆叠层和第一绝缘连接层，所述第一堆叠层由多个交错叠加的氧化层和氮化层构成；

在所述第一区域、所述第二区域和所述第三区域形成完全贯穿所述第一堆叠层和所述第一绝缘连接层，并延伸至所述基底表面内的第一通孔；

在第一通孔曝露的所述基底表面形成第一通道结构；

Micron Ex. 1002, p. 381
Micron v. YMTC
IPR2025-00294

在所述第一通孔侧壁形成第一功能层；

在所述第一功能层侧壁和所述第一通道结构表面形成第二通道结构，所述第二通道结构的表面低于所述第一绝缘连接层表面；

在所述第一绝缘连接层内形成第一凹槽，所述第一凹槽在所述基底上的投影完全覆盖所述第一通孔在所述基底上的投影；

在所述第一凹槽内形成第三通道结构，所述第三通道结构与所述第二通道结构相接触；

在所述第三通道结构背离所述基底一侧依次形成第二堆叠层和第二绝缘连接层，所述第二堆叠层由多个交错叠加的氧化层和氮化层构成；

在所述第一区域、所述第二区域和所述第三区域形成完全贯穿所述第二堆叠层和所述第二绝缘连接层，并延伸至所述第三通道结构表面内的第二通孔，所述第二通孔在所述基底上的投影与所述第一通孔在所述基底上的投影至少部分交叠；

在所述第二通孔侧壁形成第二功能层；

去除所述第二通道结构、所述第三通道结构和所述第二保护层、所述第一保护层，形成所述第一通孔和所述第二通孔相连通的第三通孔；

在位于所述第一区域的第三通孔的侧壁和底部形成第四通道结构，并在所述第一区域、所述第二区域和所述第三区域对应的所述第三通孔侧壁和底部形成第一填充结构，所述第一填充结构的表面低于所述第四通道结构的表面；

在所述第四通道结构和所述第一填充结构形成的第二凹槽内形成第五通道结构，所述第五通道结构与所述第四通道结构相接触。

可选的，在所述第一通孔侧壁形成第一功能层包括：

在所述第一通孔的侧壁和所述第一通道结构的表面形成第一隧穿层，用于产生电荷；

在所述第一隧穿层表面形成第一存储层，用于存储电荷；

Micron Ex. 1002, p. 382
Micron v. YMTC
IPR2025-00294

在所述第一存储层表面形成第一阻挡层，用于阻挡所述第一存储层中的电荷流出；

在所述第一阻挡层表面形成第一保护层，用于保护所述第一阻挡层在后续去除工艺中不受到损伤；

去除所述第一保护层、第一阻挡层、所述第一存储层和所述第一隧穿层位于所述第一通道结构表面的部分，形成第一功能层。

可选的，在所述第一功能层侧壁和所述第一通道结构表面形成第二通道结构，所述第二通道结构的表面低于所述第一绝缘连接层表面包括：

形成覆盖所述第一保护层侧壁、所述第一通孔底部和第一绝缘连接层表面的第二通道层；

去除部分所述第二通道层，使得所述第二通道层表面低于所述第一绝缘连接层，形成第二通道结构。

可选的，在所述第二通孔侧壁形成第二功能层包括：

在所述第二通孔的侧壁和所述第二通孔底部形成第二隧穿层，用于产生电荷；

在所述第二隧穿层表面形成第二存储层，用于存储电荷；

在所述第二存储层表面形成第二阻挡层，用于阻挡所述第二存储层中的电荷流出；

在所述第二阻挡层表面形成第二保护层，用于保护所述第二阻挡层在后续去除工艺中不受到损伤；

去除所述第二保护层、第二阻挡层、所述第二存储层、所述第二隧穿层和所述第三通道结构位于所述第二通孔底部的部分，形成第二功能层，同时使得所述第二通孔与所述第一通孔相连通。

可选的，在位于所述第一区域的第三通孔的侧壁和底部形成第四通道结构，并在所述第一区域、所述第二区域和所述第三区域对应的所述第三通孔侧壁和底部形成第一填充结构，所述第一填充结构的表面低于所述第四通道结构的表面包括：

Micron Ex. 1002, p. 383
Micron v. YMTC
IPR2025-00294

在所述第一区域、所述第二区域和所述第三区域形成覆盖所述第三通孔侧壁和底部以及所述第一绝缘连接层表面的第四通道层；

在所述第一区域、所述第二区域和所述第三区域形成覆盖所述第四通道层的第二填充层，所述第二填充层具有空气间隙；

在所述第二填充层对应所述第一区域的表面形成第三掩膜层；

以所述第三掩膜层为掩膜，去除所述第二填充层位于所述第二区域和所述第三区域的部分；

去除所述第三掩膜层；

以所述第二填充层位于所述第一区域的部分为掩膜，去除所述第四通道层位于所述第二区域和所述第三区域的部分，在所述第二区域和所述第三区域形成第四通孔；

在所述第四通孔侧壁和底部形成第三填充层，所述第三填充层还覆盖所述第一绝缘连接层位于所述第二区域和所述第三区域的表面，所述第三填充层的填充性能好于所述第二填充层的填充性能；

对所述第二填充层和所述第三填充层进行刻蚀，去除所述第二填充层位于所述第一区域的部分，形成在所述第一区域形成第五通孔；

形成覆盖所述第四通孔和所述第五通孔的第一填充层，所述第一填充层还覆盖所述第一绝缘连接层表面；

去除部分所述第一填充层，使得所述第一填充层的表面低于所述第一绝缘连接层的表面，形成第一填充结构；

去除所述第四通道层位于所述第一绝缘连接层表面的部分，保留所述第三通孔侧壁的部分，形成第四通道结构，所述第四通道结构的底部与所述第一通道结构直接接触，所述第四通道结构的表面高于所述第一填充结构的表面。

一种三维存储器，所述三维存储器包括沿字线方向排布的第一区域、第二区域和第三区域，其中，所述第一区域用于形成通道孔结构，所述第三区域用于形成绝缘环结构，沿垂直于所述三维存储器表面方向包括：

Micron Ex. 1002, p. 384
Micron v. YMTC
IPR2025-00294

基底，所述基底表面形成有第一堆叠层和第一绝缘连接层，所述第一堆叠层由多个交错叠加的氧化层和氮化层构成；

在所述第一区域、所述第二区域和所述第三区域，贯穿所述第一堆叠层和所述第一绝缘连接层，并延伸至所述基底表面内的第一通孔；

形成在第一通孔曝露的所述基底表面的第一通道结构；

形成在所述第一通孔侧壁的第一功能层；

依次形成在所述第一绝缘连接层背离所述基底一侧的第二堆叠层和第二绝缘连接层，所述第二堆叠层由多个交错叠加的氧化层和氮化层构成；

在所述第一区域、所述第二区域和所述第三区域，贯穿所述第二堆叠层和所述第二绝缘连接层，并延伸至与所述第一通孔相连通的第二通孔，所述第一通孔和所述第二通孔构成第三通孔；

形成在所述第二通孔侧壁的第二功能层；

形成在所述第一区域的第三通孔的侧壁和底部的第四通道结构，以及形成在所述第一区域、所述第二区域和所述第三区域对应的所述第三通孔侧壁和底部形成第一填充结构，所述第一填充结构的表面低于所述第四通道结构的表面；

形成在所述第四通道结构和所述第一填充结构形成的第二凹槽内的第五通道结构，所述第五通道结构与所述第四通道结构相接触。

与现有技术相比，上述技术方案具有以下优点：

本发明实施例所提供的三维存储器的通道孔结构的形成方法，通过第一通孔和第二通孔两次通孔形成工艺来形成所述三维存储器中的通道孔结构，大大降低了所述通道孔结构的工艺难度和成本，解决了在相同口径下，通孔深宽比过大导致的工艺难度大和成本高的问题，同时也降低了所述三维存储器的制作工艺难度和成本。

附图说明

Micron Ex. 1002, p. 385
Micron v. YMTC
IPR2025-00294

为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1-图 22 为本发明一个实施例所提供的三维存储器中通道孔结构的形成方法流程图；

图 23-图 49 为本发明一个实施例所提供的三维存储器中通道孔结构的形成方法流程图。

具体实施方式

下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

在下面的描述中阐述了很多具体细节以便于充分理解本发明，但是本发明还可以采用其他不同于在此描述的其它方式来实施，本领域技术人员可以在不违背本发明内涵的情况下做类似推广，因此本发明不受下面公开的具体实施例的限制。

本发明实施例提供了一种三维存储器中通道孔结构的形成方法，该方法包括：

S101：如图 1 所示，提供基底 11，所述基底 1 表面形成有第一堆叠层 2 和第一绝缘连接层 3，所述第一堆叠层 2 由多个交错叠加的氧化层和氮化层构成。可选的，所述第一堆叠层 2 中氧化层和氮化层的层数总和不小于 64，但本发明对此并不做限定，具体视情况而定。

Micron Ex. 1002, p. 386
Micron v. YMTC
IPR2025-00294

具体的，在本发明的一个实施例中，所述第一绝缘连接层 3 为氧化硅层，但本发明对此并不做限定，只要保证所述第一绝缘连接层 3 与所述第一堆叠层 2 中所述氮化层的材料不同，且具有绝缘功能即可。

需要说明的是，在上述实施例的基础上，在本发明的一个实施例中，该方法还包括：

在所述第一绝缘连接层 3 表面形成第一掩膜层 4。

S102：继续如图 1 所示，形成完全贯穿所述第一堆叠层 2 和所述第一绝缘连接层 3，并延伸至所述基底 1 表面内的第一通孔 5。

具体的，在本发明的一个实施例中，形成完全贯穿所述第一堆叠层 2 和所述第一绝缘连接层 3，并延伸至所述基底 1 表面内的第一通孔 5 包括：

对所述第一堆叠层 2 和所述第一绝缘连接层 3 进行刻蚀，在所述第一堆叠层 2 和所述第一绝缘连接层 3 内形成贯穿所述第一堆叠层 2 和所述第一绝缘连接层 3，并延伸至所述基底 1 表面内的第一通孔 5；对所述第一通孔 5 进行清洗。

需要说明的是，在对所述第一堆叠层 2 和所述第一绝缘连接层 3 进行刻蚀时，可以选择湿法刻蚀，也可以选择干法刻蚀，还可以组合使用，本发明对此并不做限定，具体视情况而定。

还需要说明的是，当所述第一绝缘连接层 3 表面形成有第一掩膜层 4 时，在形成第一通孔 5 时，还包括对所述第一掩膜层 4 的刻蚀。

S103：如图 2 所示，在第一通孔 5 曝露的所述基底 1 表面形成第一通道结构 6。可选的，在本发明的一个实施例中，所述第一通道结构 6 为硅层，形成工艺为选择性外延工艺。

S104：在所述第一通孔 5 侧壁形成第一功能层。

具体的，在本发明的一个实施例中，在所述第一通孔 5 侧壁形成第一功能层包括：

Micron Ex. 1002, p. 387
Micron v. YMTC
IPR2025-00294

如图 3 所示，在所述第一通孔 5 的侧壁和所述第一通道结构 6 的表面形成第一隧穿层 7，用于产生电荷，可选的，所述第一隧穿层 7 为氧化层，形成工艺为沉积工艺；

在所述第一隧穿层 7 表面形成第一存储层 8，用于存储电荷，可选的，所述第一存储层 8 为氮化层，形成工艺为沉积工艺；

在所述第一存储层 8 表面形成第一阻挡层 9，用于阻挡所述第一存储层 8 中的电荷流出，可选的，所述第一阻挡层 9 为氧化层，形成工艺为沉积工艺；

如图 4 所示，在所述第一阻挡层 9 表面形成第一保护层 10，用于保护所述第一阻挡层 9 在后续去除工艺中不受到损伤，可选的，所述第一保护层 10 为非晶硅层，形成工艺为沉积工艺；

继续如图 4 所示，去除所述第一保护层 10、第一阻挡层 9、所述第一存储层 8 和所述第一隧穿层 7 位于所述第一通道结构 6 表面的部分，形成第一功能层，可选的，所述去除工艺为刻蚀工艺和清洗工艺。

S105：在所述第一功能层侧壁和所述第一通道结构 6 表面形成第二通道结构，所述第二通道结构的表面低于所述第一绝缘连接层 3 表面。

具体的，在本发明的一个实施例中，在所述第一功能层侧壁和所述第一通道结构 6 表面形成第二通道结构，所述第二通道结构的表面低于所述第一绝缘连接层 3 表面包括：

如图 5 所示，形成覆盖所述第一保护层 10 侧壁、所述第一通孔 5 底部和第一绝缘连接层 3 表面的第二通道层 11，可选的，所述第二通道层 11 为非晶硅层，形成工艺为沉积工艺；

如图 6 所示，去除部分所述第二通道层 11，使得所述第二通道层 11 表面低于所述第一绝缘连接层 3，形成第二通道结构，可选的，所述去除工艺为刻蚀工艺。

需要说明的是，在本发明实施例中，所述第二通道结构的上表面可以高于所述第一堆叠层的上表面，也可以低于所述第一堆叠层的上表面，本发明对此并不做限定，只要保证所述第二通道结构的上表面不低于所述第一堆叠

Micron Ex. 1002, p. 388
Micron v. YMTC
IPR2025-00294

层中顶层氧化层的上表面即可。可选的，所述第二通道结构的上表面与所述第一堆叠层中顶层氧化层的上表面平齐。

S106：在所述第一绝缘连接层内形成第一凹槽，所述第一凹槽在所述基底上的投影完全覆盖所述第一通孔在所述基底上的投影。

具体的，在本发明的一个实施例中，在所述第一绝缘连接层内形成第一凹槽，所述第一凹槽在所述基底上的投影完全覆盖所述第一通孔在所述基底上的投影包括：

去除部分所述第一绝缘连接层，在所述第一绝缘连接层内形成贯穿所述第一绝缘连接层的第一凹槽，所述第一凹槽在所述基底上的投影完全覆盖所述第一通孔在所述基底上的投影。可选的，所述第一凹槽在所述基底上的投影面积大于所述第一通孔在所述基底上的投影面积。

需要说明的是，当所述第一绝缘连接层表面形成有第一掩膜层时，在所述第一绝缘连接层内形成第一凹槽，所述第一凹槽在所述基底上的投影完全覆盖所述第一通孔在所述基底上的投影包括：

如图 7 所示，去除所述第一掩膜层 4；

如图 8 所示，平坦化所述第一绝缘连接层 3 表面；

继续如图 8 所示，去除部分所述第一绝缘连接层 3，在所述第一绝缘连接层 3 内形成贯穿所述第一绝缘连接层 3 的第一凹槽 12，所述第一凹槽 12 在所述基底 1 上的投影完全覆盖所述第一通孔 5 在所述基底 1 上的投影。

S107：如图 9 所示，在所述第一凹槽 12 内形成第三通道结构 13，所述第三通道结构 13 与所述第二通道结构相接触。可选的，所述第三通道结构的形成工艺为沉积工艺。

S108：如图 10 所示，在所述第三通道结构 13 背离所述基底 1 一侧依次形成第二堆叠层 14 和第二绝缘连接层 15，所述第二堆叠层 14 由多个交错叠加的氧化层和氮化层构成。可选的，所述第二堆叠层 14 中氧化层和氮化层的层数总和不小于 64，但本发明对此并不做限定，具体视情况而定。

Micron Ex. 1002, p. 389
Micron v. YMTC
IPR2025-00294

具体的，在本发明的一个实施例中，所述第二绝缘连接层 15 包括氧化硅层，但本发明对此并不做限定，只要保证所述第二绝缘连接层 15 与所述第二堆叠层 14 中所述氮化层的材料不同，且具有绝缘功能即可。

需要说明的是，在上述实施例的基础上，在本发明的一个实施例中，该方法还包括：

在所述第二绝缘连接层 15 表面形成第二掩膜层 16。

S109：继续如图 11 所示，形成完全贯穿所述第二堆叠层 14 和所述第二绝缘连接层 15，并延伸至所述第三通道结构 13 表面内的第二通孔 17，所述第二通孔在所述基底 1 上的投影与所述第一通孔 5 在所述基底 1 上的投影至少部分交叠。

具体的，在本发明的一个实施例中，形成完全贯穿所述第二堆叠层和所述第二绝缘连接层，并延伸至所述第三通道结构表面内的第二通孔包括：

对所述第二堆叠层和所述第二绝缘连接层进行刻蚀，在所述第二堆叠层和所述第二绝缘连接层内形成贯穿所述第二堆叠层和所述第二绝缘连接层，并延伸至所述第三通道结构表面内的第二通孔；对所述第二通孔进行清洗。

需要说明的是，在本发明实施例中，所述第二通孔可以延伸至所述第三通道结构表面，也可以延伸至所述第三通道结构表面内，本发明对此并不做限定，只要保证后续形成的第四通道结构可以与所述第三通道结构直接接触即可。

还需要说明的是，在对所述第二堆叠层和所述第二绝缘连接层进行刻蚀时，可以选择湿法刻蚀，也可以选择干法刻蚀，还可以组合使用，本发明对此并不做限定，具体视情况而定。

在上述实施例的基础上，在本发明的一个实施例中，当所述第二绝缘连接层表面形成有第二掩膜层时，在形成第二通孔时，还包括对所述第二掩膜层的刻蚀。需要说明的是，在本发明实施例中，所述第二掩模层 16 朝向所述第二通孔 17 一侧的边界线和所述第一掩模层 4 朝向所述第一通孔 5 一侧的边界线之间的距离 a 最大不大于 15nm。

Micron Ex. 1002, p. 390
Micron v. YMTC
IPR2025-00294

S1010：在所述第二通孔侧壁形成第二功能层。

具体的，在本发明的一个实施例中，在所述第二通孔侧壁形成第二功能层包括：

如图 12 所示，在所述第二通孔 17 的侧壁和所述第三通道结构 13 的表面形成第二隧穿层 18，用于产生电荷，可选的，所述第二隧穿层 18 为氧化层，形成工艺为沉积工艺；

在所述第二隧穿层 18 表面形成第二存储层 19，用于存储电荷，可选的，所述第二存储层 19 为氮化层，形成工艺为沉积工艺；

在所述第二存储层 19 表面形成第二阻挡层 20，用于阻挡所述第二存储层 19 中的电荷流出，可选的，所述第二阻挡层 19 为氧化层，形成工艺为沉积工艺；

如图 13 所示，在所述第二阻挡层 20 表面形成第二保护层 21，用于保护所述第二阻挡层 20 在后续去除工艺中不受到损伤，可选的，所述第二保护层 21 为非晶硅层，形成工艺为沉积工艺；

继续如图 13 所示，去除所述第二保护层 21、第二阻挡层 20、所述第二存储层 19 和所述第二隧穿层 18 和所述第三通道结构 13 位于所述第二通孔 17 底部的部分，形成第二功能层，同时使得所述第二通孔 17 与所述第一通孔 5 向连通，可选的，所述去除工艺为刻蚀工艺和清洗工艺。

在上述实施例的基础上，在本发明的一个实施例中，该方法还包括：如图 14 所示，去除所述第二阻挡层 20、所述第二存储层 19、所述第二隧穿层 18 位于所述第二保护层 21 下方的部分，如图中虚线框所示。

S1011：如图 15 所示，去除所述第二通道结构、所述第三通道结构和所述第二保护层、所述第一保护层，形成所述第一通孔 5 和所述第二通孔 17 相连通的第三通孔 22。

S1012：在所述第三通孔侧壁和底部依次形成第四通道结构和第一填充结构，所述第一填充结构的表面低于所述第四通道结构的表面。

Micron Ex. 1002, p. 391
Micron v. YMTC
IPR2025-00294

具体的，在本发明的一个实施例中，在所述第三通孔侧壁和底部依次形成第四通道结构和第一填充结构，所述第一填充结构的表面低于所述第四通道结构的表面包括：

如图 16 所示，在所述第三通孔 22 侧壁和底部以及所述第一绝缘连接层 3 表面形成第四通道层 28；

如图 17 所示，在所述第四通道层 28 表面形成覆盖所述第四通道层 28 的第一填充层 34；

如图 18 所示，去除部分所述第一填充层 34，使得所述第一填充层 34 的表面低于所述第一绝缘连接层 3 的表面，形成第一填充结构；

如图 19 所示，去除部分所述第四通道层 28 位于所述第一绝缘连接层 3 表面的部分，保留所述第三通孔 22 侧壁的部分，形成第四通道结构，所述第四通道结构的底部与所述第一通道结构 6 直接接触，所述第四通道结构的表面高于所述第一填充结构的表面。

需要说明的是，在本发明实施例中，所述第一填充结构的上表面可以高于所述第二堆叠层的上表面，也可以低于所述第二堆叠层的上表面，本发明对此并不做限定，只要保证所述第一填充结构的上表面不低于所述第二堆叠层中顶层氧化层的上表面即可。可选的，所述第一填充结构的上表面与所述第二堆叠层中顶层氧化层的上表面平齐。

S1013：在所述第四通道结构与所述第一填充结构形成的第二凹槽内形成第五通道结构，所述第五通道结构与所述第四通道结构相接触。

需要说明的是，当所述第二绝缘连接层表面形成有第二掩膜层时，在所述第四通道结构与所述第一填充结构形成的第二凹槽内形成第五通道结构，所述第五通道结构与所述第四通道结构相接触包括：

如图 20 所示，在所述第四通道结构与所述第一填充结构形成的第二凹槽内形成第五通道层 35，所述第五通道层 35 与所述第四通道结构相接触

如图 21 所示，去除所述第二掩膜层；

如图 22 所示，平坦化所述第二绝缘连接层表面。

Micron Ex. 1002, p. 392
Micron v. YMTC
IPR2025-00294

相应的，本发明实施例还提供了一种利用上述形成方法形成的三维存储器，该三维存储器包括：

基底，所述基底表面形成有第一堆叠层和第一绝缘连接层，所述第一堆叠层由多个交错叠加的氧化层和氮化层构成；

贯穿所述第一堆叠层和所述第一绝缘连接层，并延伸至所述基底表面内的第一通孔；

形成于第一通孔曝露的所述基底表面的第一通道结构；

形成于所述第一通孔侧壁的第一功能层；

依次形成于所述第一绝缘连接层背离所述基底一侧的第二堆叠层和第二绝缘连接层，所述第二堆叠层由多个交错叠加的氧化层和氮化层构成；

贯穿所述第二堆叠层和所述第二绝缘连接层，并延伸至与所述第一通孔相连通的第二通孔，所述第一通孔和所述第二通孔构成第三通孔；

形成于所述第二通孔侧壁的第二功能层；

依次形成于所述第三通孔侧壁和底部的第四通道结构和第一填充结构，所述第四通道结构与所述第一通道结构相接触，所述第二填充结构的表面低于所述第四通道结构的表面；

形成于所述第四通道结构和所述第一填充结构形成的第二凹槽内的第五通道结构，所述第五通道结构与所述第四通道结构相接触。

由上可知，本发明实施例所提供的三维存储器的通道孔结构的形成方法，通过第一通孔和第二通孔两次通孔形成工艺来形成所述三维存储器中的通道孔结构，大大降低了所述通道孔结构的工艺难度和成本，解决了在相同口径下，通孔深宽比过大导致的工艺难度大和成本高的问题，同时也降低了所述三维存储器的制作工艺难度和成本。

此外，本发明实施例还提供了另一种三维存储器中通道孔结构的形成方法，所述三维存储器包括沿字线方向排布的第一区域、第二区域和第三区域，其中，所述第一区域用于形成通道孔结构，所述第三区域用于形成绝缘环结构，该方法包括：

Micron Ex. 1002, p. 393
Micron v. YMTC
IPR2025-00294

S201：如图 23 所示，提供基底 1，所述基底 1 表面形成有第一堆叠层 2 和第一绝缘连接层 3，所述第一堆叠层 2 由多个交错叠加的氧化层和氮化层构成。可选的，所述第一堆叠层 2 中氧化层和氮化层的层数总和不小于 64，但本发明对此并不做限定，具体视情况而定。

具体的，在本发明的一个实施例中，所述第一绝缘连接层 3 为氧化硅层，但本发明对此并不做限定，只要保证所述第一绝缘连接层 3 与所述第一堆叠层 2 中所述氮化层的材料不同，且具有绝缘功能即可。

需要说明的是，在上述实施例的基础上，在本发明的一个实施例中，该方法还包括：

在所述第一绝缘连接层 3 表面形成第一掩膜层 4。可选的，所述第一掩膜层包括氮化层或层叠的氮化层或氧化层或其他结构，本发明对此并不做限定，具体视情况而定。

S202：继续如图 23 所示，在所述第一区域 100（即 Channel hole）、所述第二区域 200（即 SS dummy hole）和所述第三区域 300（即 TAC barrier）形成完全贯穿所述第一堆叠层 2 和所述第一绝缘连接层 3，并延伸至所述基底 1 表面内的第一通孔 5。需要说明的是，在垂直于所述基底 1 表面方向上，所述第三区域 300 处的所述第一通孔 5 深度大于所述第一区域 100 处的所述第一通孔 5 的深度。

还需要说明的是，当所述第一绝缘连接层 3 表面形成有第一掩膜层 4 时，在形成第一通孔 5 时，还包括对所述第一掩膜层 4 的刻蚀。

S203：如图 24 所示，在第一通孔 5 曝露的所述基底 1 表面形成第一通道结构 6。

S204：在所述第一通孔 5 侧壁形成第一功能层。

具体的，在本发明的一个实施例中，在所述第一通孔 5 侧壁形成第一功能层包括：

Micron Ex. 1002, p. 394
Micron v. YMTC
IPR2025-00294

如图 25 所示，在所述第一通孔 5 的侧壁和所述第一通道结构 6 的表面形成第一隧穿层 7，用于产生电荷，可选的，所述第一隧穿层 7 为氧化层，形成工艺为沉积工艺；

在所述第一隧穿层 7 表面形成第一存储层 8，用于存储电荷，可选的，所述第一存储层 8 为氮化层，形成工艺为沉积工艺；

在所述第一存储层 8 表面形成第一阻挡层 9，用于阻挡所述第一存储层 8 中的电荷流出，可选的，所述第一阻挡层 9 为氧化层，形成工艺为沉积工艺；

如图 26 所示，在所述第一阻挡层 9 表面形成第一保护层 10，用于保护所述第一阻挡层 9 在后续去除工艺中不受到损伤，可选的，所述第一保护层 10 为非晶硅层，形成工艺为沉积工艺；

继续如图 26 所示，去除所述第一保护层 10、第一阻挡层 9、所述第一存储层 8 和所述第一隧穿层 7 位于所述第一通道结构 6 表面的部分，形成第一功能层，可选的，所述去除工艺为刻蚀工艺和清洗工艺。

S205：在所述第一功能层侧壁和所述第一通道结构 6 表面形成第二通道结构，所述第二通道结构的表面低于所述第一绝缘连接层 3 表面。可选的，所述第二通道结构内部具有空气间隙。

具体的，在本发明的一个实施例中，在所述第一功能层侧壁和所述第一通道结构 6 表面形成第二通道结构，所述第二通道结构的表面低于所述第一绝缘连接层 3 表面包括：

如图 27 所示，形成覆盖所述第一保护层 10 侧壁、所述第一通孔 5 底部和第一绝缘连接层 3 表面的第二通道层 11，可选的，所述第二通道层 11 内部具有空气间隙；

如图 28 所示，去除部分所述第二通道层 11，使得所述第二通道层 11 表面低于所述第一绝缘连接层 3，形成第二通道结构，可选的，所述第二通道结构内部具有空气间隙，其结构为封闭环型结构。

需要说明的是，在本发明实施例中，所述第二通道结构的上表面可以高于所述第一堆叠层 2 的上表面，也可以低于所述第一堆叠层 2 的上表面，本

Micron Ex. 1002, p. 395
Micron v. YMTC
IPR2025-00294

发明对此并不做限定，只要保证所述第二通道结构的上表面不低于所述第一堆叠层 2 中顶层氧化层的上表面即可。可选的，所述第二通道结构的上表面与所述第一堆叠层 2 中顶层氧化层的上表面平齐。

还需要说明的是，在本发明的一个实施例中，所述第一保护层与所述第二通道结构的材料相同，以便于在后续工艺中在同一步工艺中去除。

S206：在所述第一绝缘连接层 3 内形成第一凹槽，所述第一凹槽在所述基底 1 上的投影完全覆盖所述第一通孔 5 在所述基底 1 上的投影。

具体的，在本发明的一个实施例中，在所述第一绝缘连接层 3 内形成第一凹槽，所述第一凹槽在所述基底 1 上的投影完全覆盖所述第一通孔 5 在所述基底 1 上的投影包括：

去除部分所述第一绝缘连接层 3，在所述第一绝缘连接层 3 内形成贯穿所述第一绝缘连接层 3 的第一凹槽，所述第一凹槽在所述基底 1 上的投影完全覆盖所述第一通孔 5 在所述基底 1 上的投影。可选的，所述第一凹槽在所述基底 1 上的投影面积大于所述第一通孔 5 在所述基底 1 上的投影面积。

在本发明的另一个实施例中，当所述第一绝缘连接层 3 表面形成有第一掩膜层 4 时，在所述第一绝缘连接层 3 内形成第一凹槽，所述第一凹槽在所述基底 1 上的投影完全覆盖所述第一通孔 5 在所述基底 1 上的投影包括：

如图 29 所示，去除所述第一掩膜层 4，需要说明的是，当所述第一存储层 8 和所述第一掩膜层 4 材料相同时，在去除所述第一掩膜层 4 时，会同时去除部分所述第一存储层 10；

如图 30 所示，平坦化所述第一绝缘连接层 3 表面；

继续如图 30 所示，去除部分所述第一绝缘连接层 3，在所述第一绝缘连接层 3 内形成贯穿所述第一绝缘连接层 3 的第一凹槽 12，所述第一凹槽 12 在所述基底 1 上的投影完全覆盖所述第一通孔 5 在所述基底 1 上的投影。

S207：如图 31 所示，在所述第一凹槽 12 内形成第三通道结构 13，所述第三通道结构 13 与所述第二通道结构相接触。

Micron Ex. 1002, p. 396
Micron v. YMTC
IPR2025-00294

S208：在所述第三通道结构 13 背离所述基底 1 一侧依次形成第二堆叠层 14 和第二绝缘连接层 15，所述第二堆叠层 14 由多个交错叠加的氧化层和氮化层构成。可选的，所述第二堆叠层 14 中氧化层和氮化层的层数总和不小于 64，但本发明对此并不做限定，具体视情况而定。

具体的，在本发明的一个实施例中，所述第二绝缘连接层 15 为氧化硅层，但本发明对此并不做限定，只要保证所述第二绝缘连接层 15 与所述第二堆叠层 14 中所述氮化层的材料不同，且具有绝缘功能即可。

需要说明的是，在上述实施例的基础上，在本发明的一个实施例中，该方法还包括：

在所述第二绝缘连接层 15 表面形成第二掩膜层 16。

S209：如图 33 所示，在所述第一区域 100、所述第二区域 200 和所述第三区域 300 形成完全贯穿所述第二堆叠层 14 和所述第二绝缘连接层 15，并延伸至所述第三通道结构 13 表面内的第二通孔 17，所述第二通孔 17 在所述基底 1 上的投影与所述第一通孔 5 在所述基底 1 上的投影至少部分交叠。

需要说明的是，具体工艺时，所述第三区域的第三通道结构可能被所述第二通孔完全贯穿，本发明对此并不做限定，只要保证所述第一区域的第三通道结构没有被所述第二通孔完全贯穿即可。

具体的，在本发明的一个实施例中，形成完全贯穿所述第二堆叠层和所述第二绝缘连接层，并延伸至所述第三通道结构表面内的第二通孔包括：

对所述第二堆叠层和所述第二绝缘连接层进行刻蚀，在所述第二堆叠层和所述第二绝缘连接层内形成贯穿所述第二堆叠层和所述第二绝缘连接层，并延伸至所述第三通道结构表面内的第二通孔；对所述第二通孔进行清洗。

需要说明的是，在本发明实施例中，所述第二通孔可以延伸至所述第三通道结构表面，也可以延伸至所述第三通道结构表面内，本发明对此并不做限定。

在上述实施例的基础上，在本发明的一个实施例中，当所述第二绝缘连接层表面形成有第二掩膜层时，在形成第二通孔时，还包括对所述第二掩膜

Micron Ex. 1002, p. 397
Micron v. YMTC
IPR2025-00294

层的刻蚀。需要说明的是，在本发明实施例中，所述第二掩模层朝向所述第二通孔一侧的边界线和所述第一掩模层朝向所述第一通孔 5 一侧的边界线之间的距离 a 最大不大于 15nm。

S2010：在所述第二通孔侧壁形成第二功能层。

具体的，在本发明的一个实施例中，在所述第二通孔侧壁形成第二功能层包括：

如图 34 所示，在所述第二通孔 17 的侧壁和所述第二通孔 17 底部形成第二隧穿层 18，用于产生电荷，可选的，所述第二隧穿层 18 为氧化层，形成工艺为沉积工艺；

在所述第二隧穿层 18 表面形成第二存储层 19，用于存储电荷，可选的，所述第二存储层 19 为氮化层，形成工艺为沉积工艺；

在所述第二存储层 19 表面形成第二阻挡层 20，用于阻挡所述第二存储层 19 中的电荷流出，可选的，所述第二阻挡层 20 为氧化层，形成工艺为沉积工艺；

如图 35 所示，在所述第二阻挡层 20 表面形成第二保护层 21，用于保护所述第二阻挡层 20 在后续去除工艺中不受到损伤，可选的，所述第二保护层 21 为非晶硅层，形成工艺为沉积工艺；

继续如图 35 所示，去除所述第二保护层 21、第二阻挡层 20、所述第二存储层 19、所述第二隧穿层 18 和所述第三通道结构 13 位于所述第二通孔 17 底部的部分，形成第二功能层，同时使得所述第二通孔 17 与所述第一通孔 5 相连通，可选的，所述去除工艺为刻蚀工艺和清洗工艺。

在上述实施例的基础上，在本发明的一个实施例中，该方法还包括：如图 36 所示，去除所述第二阻挡层 20、所述第二存储层 19、所述第二隧穿层 18 位于所述第二保护层下方的部分，如图中虚线框所示。

S2011：如图 37 所示，去除所述第二通道结构、所述第三通道结构和所述第二保护层、所述第一保护层，形成所述第一通孔 5 和所述第二通孔 17 相连通的第三通孔 22。

Micron Ex. 1002, p. 398
Micron v. YMTC
IPR2025-00294

S2012：在位于所述第一区域的第三通孔的侧壁和底部形成第四通道结构，并在所述第一区域、所述第二区域和所述第三区域对应的所述第三通孔侧壁和底部形成第一填充结构，所述第一填充结构的表面低于所述第一绝缘连接层 3 的表面。

具体的，在本发明的一个实施例中，在位于所述第一区域的第三通孔的侧壁和底部形成第四通道结构，并在所述第一区域、所述第二区域和所述第三区域对应的所述第三通孔侧壁和底部形成第一填充结构，所述第一填充结构的表面低于所述第四通道结构的表面包括：

如图 38 所示，在所述第一区域、所述第二区域和所述第三区域形成覆盖所述第三通孔 27 侧壁和底部以及所述第一绝缘连接层 3 表面的第四通道层 28；

如图 39 所示，在所述第一区域、所述第二区域和所述第三区域形成覆盖所述第四通道层 28 的第二填充层 29，所述第二填充层 29 具有空气间隙；

如图 40 所示，在所述第二填充层 19 对应所述第一区域 100 的表面形成第三掩膜层 30；

以所述第三掩膜层 30 为掩膜，去除所述第二填充层 29 位于所述第二区域 200 和所述第三区域 300 的部分；

如图 41 所示，去除所述第三掩膜层 30；

以所述第二填充层 29 位于所述第一区域 100 的部分为掩膜，去除所述第四通道层 28 位于所述第二区域 200 和所述第三区域 300 的部分，在所述第二区域 200 和所述第三区域 300 形成所述第四通孔 31；

如图 42 所示，在所述第四通孔 31 侧壁和底部形成第三填充层 32，所述第三填充层 32 还覆盖所述第一绝缘连接层 3 位于所述第二区域 200 和所述第三区域 300 的表面，可选的，所述第三填充层 32 具有空气间隙，更可选的，所述第三填充层 32 的填充性能好于所述第二填充层 29 的填充性能，即在同一刻蚀工艺中，所述第三填充层 32 的刻蚀速率小于所述第二填充层 29 的刻蚀速率；

Micron Ex. 1002, p. 399
Micron v. YMTC
IPR2025-00294

如图 43 所示，对所述第二填充层 29 和所述第三填充层 32 进行刻蚀，去除所述第二填充层 29 位于所述第一区域 100 的部分，在所述第一区域 100 形成第五通孔 33；

如图 44 所示，形成覆盖所述第四通孔 32 和所述第五通孔 33 的第一填充层 34，所述第一填充层 34 还覆盖所述第一绝缘连接层 3 表面；

如图 45 所示，去除部分所述第一填充层，使得所述第一填充层 34 的表面低于所述第一绝缘连接层 3 的表面，形成第一填充结构；

如图 46 所示，去除所述第四通道层 28 位于所述第一绝缘连接层 3 表面的部分，保留所述第三通孔 33 侧壁的部分，形成第四通道结构，所述第四通道结构的底部与所述第一通道结构 6 直接接触，所述第四通道结构的表面高于所述第一填充结构的表面。

S2012：在所述第四通道结构和所述第一填充结构形成的第二凹槽内形成第五通道结构，所述第五通道结构与所述第四通道结构相接触。

需要说明的是，当所述第二绝缘连接层表面形成有第二掩膜层时，在所述第四通道结构和所述第一填充结构形成的第二凹槽内形成第五通道结构包括：

如图 47 所示，在所述第四通道结构与所述第一填充结构形成的第二凹槽内形成第五通道层 55，所述第五通道层 55 与所述第四通道结构相接触

如图 48 所示，去除所述第二掩膜层 16；

如图 49 所示，平坦化所述第二绝缘连接层 15 表面。

相应的，本发明实施例还提供了一种三维存储器，所述三维存储器包括沿字线方向排布的第一区域、第二区域和第三区域，其中，所述第一区域用于形成通道孔结构，所述第三区域用于形成绝缘环结构，沿垂直于所述三维存储器表面方向包括：

基底，所述基底表面形成有第一堆叠层和第一绝缘连接层，所述第一堆叠层由多个交错叠加的氧化层和氮化层构成；

Micron Ex. 1002, p. 400
Micron v. YMTC
IPR2025-00294

在所述第一区域、所述第二区域和所述第三区域，贯穿所述第一堆叠层和所述第一绝缘连接层，并延伸至所述基底表面内的第一通孔；

形成在第一通孔曝露的所述基底表面的第一通道结构；

形成在所述第一通孔侧壁的第一功能层；

依次形成在所述第一绝缘连接层背离所述基底一侧的第二堆叠层和第二绝缘连接层，所述第二堆叠层由多个交错叠加的氧化层和氮化层构成；

在所述第一区域、所述第二区域和所述第三区域，贯穿所述第二堆叠层和所述第二绝缘连接层，并延伸至与所述第一通孔相连通的第二通孔，所述第一通孔和所述第二通孔构成第三通孔；

形成在所述第二通孔侧壁的第二功能层；

形成在所述第一区域的第三通孔的侧壁和底部的第四通道结构，以及形成在所述第一区域、所述第二区域和所述第三区域对应的所述第三通孔侧壁和底部形成第一填充结构，所述第一填充结构的表面低于所述第四通道结构的表面；

形成在所述第四通道结构和所述第一填充结构形成的第二凹槽内的第五通道结构，所述第五通道结构与所述第四通道结构相接触。

由上可知，本发明实施例所提供的三维存储器中通道孔结构的形成方法，通过第一通孔和第二通孔两次通孔形成工艺来形成所述三维存储器中的通道孔结构，大大降低了所述通道孔结构的工艺难度和成本，解决了在相同口径下，通孔深宽比过大导致的工艺难度大和成本高的问题，降低了所述三维存储器的形成工艺难度和成本。

而且，本发明实施例所提供的三维存储器中通道孔结构的形成方法，所述第四通道结构仅存在于所述第一区域，而不存在于所述第一区域，从而使得所述三维存储器中，在所述第一区域所述第五通孔结构与所述第一通道结构电连接，在所述第三区域所述第五通道结构与所述第一通道结构电绝缘，从而在应用于具有绝缘环的三维存储器时，可以在所述第一区域形成通道孔结构的同时在所述第三区域形成绝缘环结构，工艺简单，成本较低。

Micron Ex. 1002, p. 401
Micron v. YMTC
IPR2025-00294

本说明书中各个部分采用递进的方式描述，每个部分重点说明的都是与其他部分的不同之处，各个部分之间相同相似部分互相参见即可。

对所公开的实施例的上述说明，使本领域专业技术人员能够实现或使用本发明。对这些实施例的多种修改对本领域的专业技术人员来说将是显而易见的，本文中所定义的一般原理可以在不脱离本发明的精神或范围的情况下，在其它实施例中实现。因此，本发明将不会被限制于本文所示的实施例，而是要符合与本文所公开的原理和新颖特点相一致的最宽的范围。

Micron Ex. 1002, p. 402
Micron v. YMTC
IPR2025-00294

说　　明　　书　　附　　图

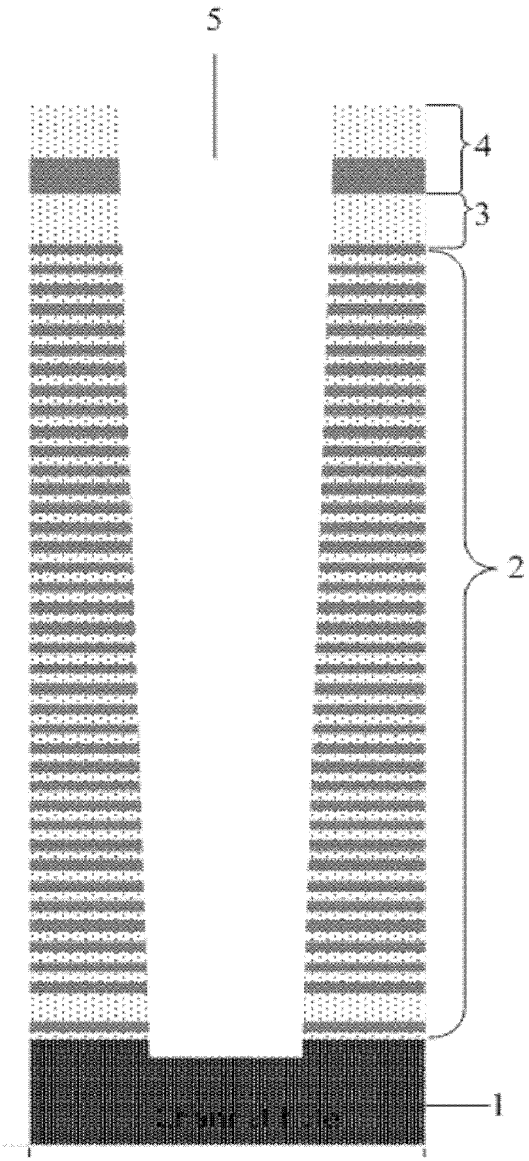


图 1

Micron Ex. 1002, p. 403
Micron v. YMTC
IPR2025-00294

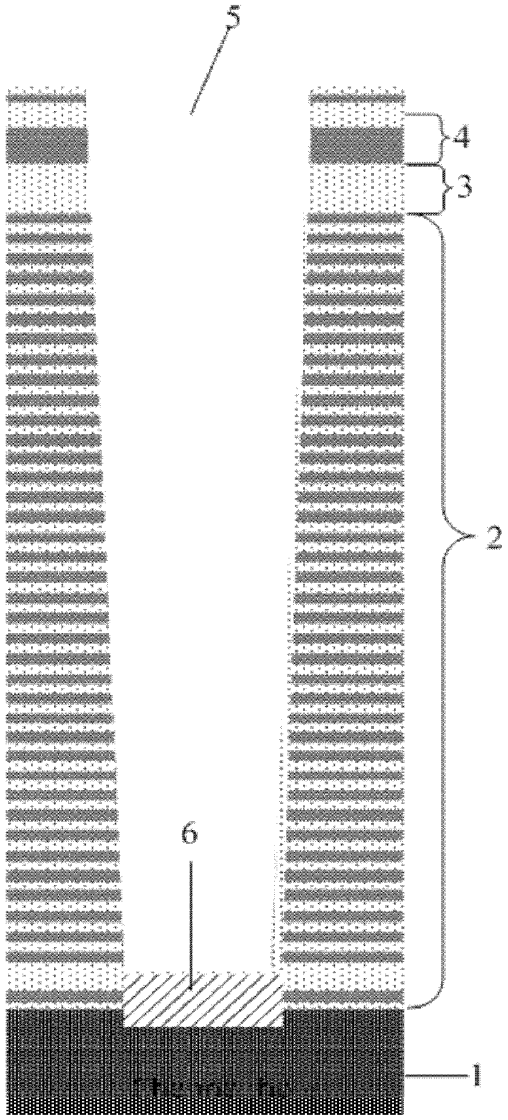


图 2

Micron Ex. 1002, p. 404
Micron v. YMTC
IPR2025-00294

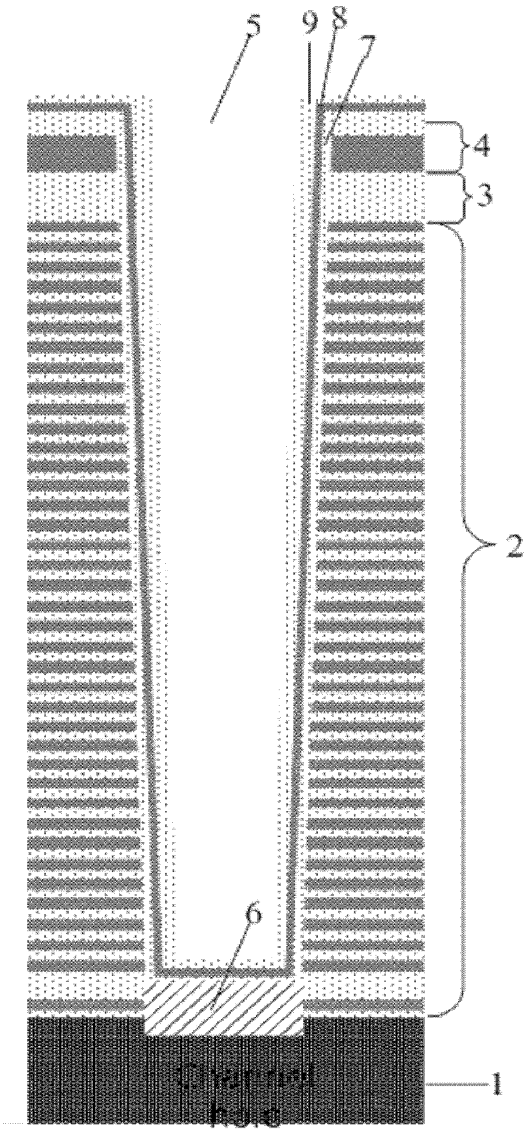


图 3

Micron Ex. 1002, p. 405
Micron v. YMTC
IPR2025-00294

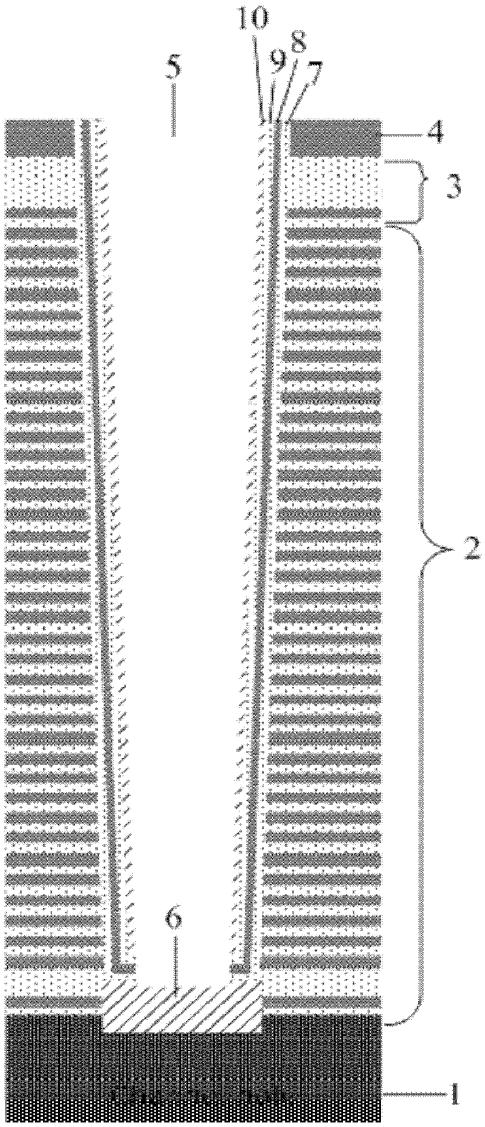


图 4

Micron Ex. 1002, p. 406
Micron v. YMTC
IPR2025-00294

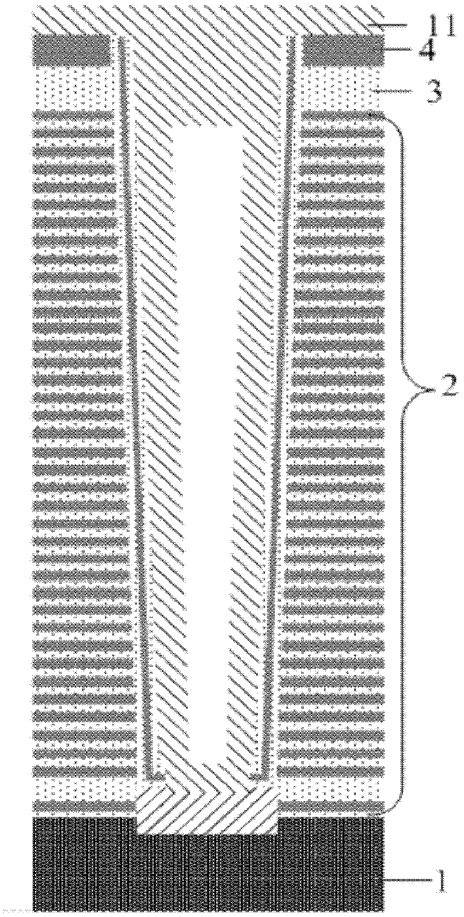


图 5

Micron Ex. 1002, p. 407
Micron v. YMTC
IPR2025-00294

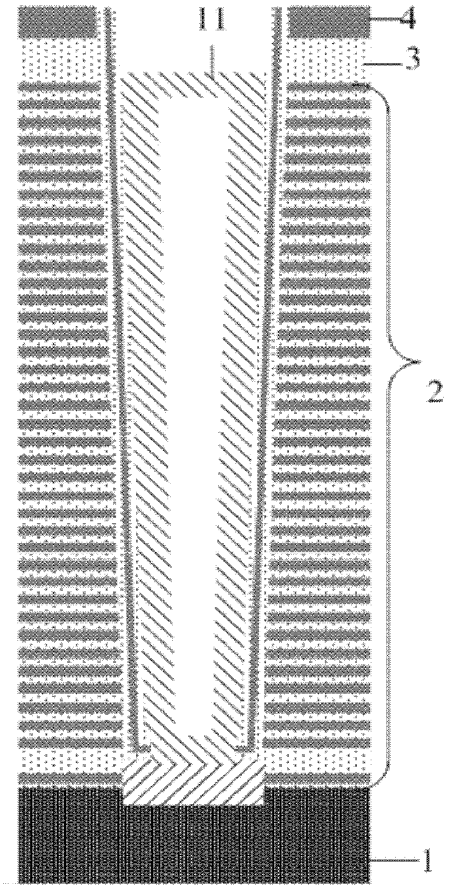


图 6

Micron Ex. 1002, p. 408
Micron v. YMTC
IPR2025-00294

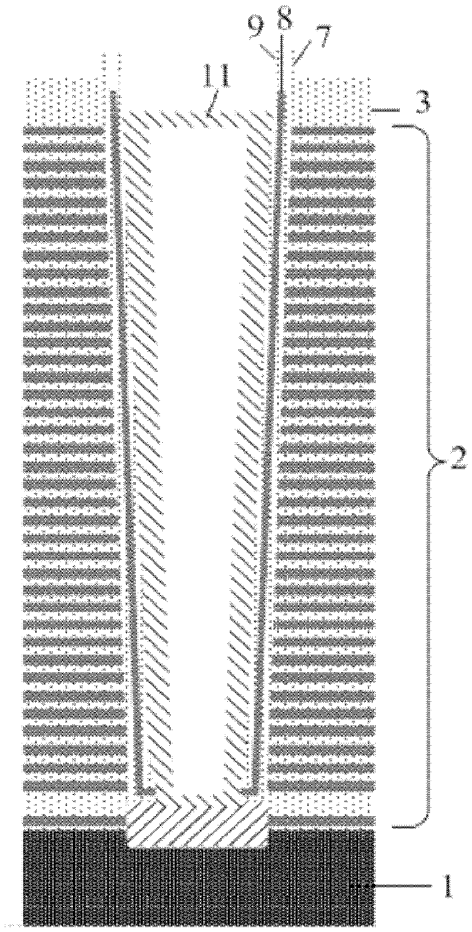


图 7

Micron Ex. 1002, p. 409
Micron v. YMTC
IPR2025-00294

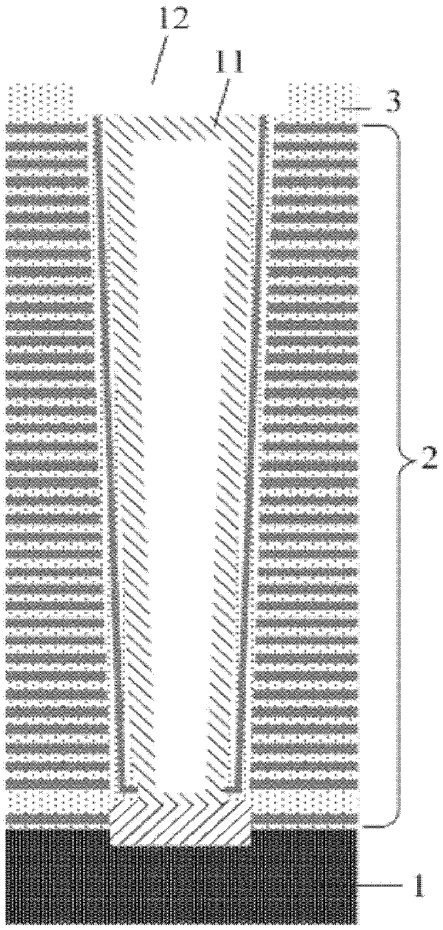


图 8

Micron Ex. 1002, p. 410
Micron v. YMTC
IPR2025-00294

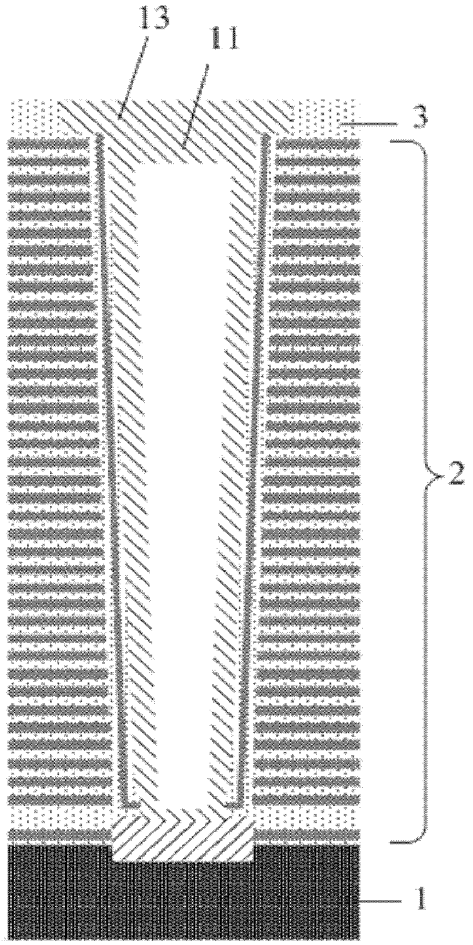


图 9

Micron Ex. 1002, p. 411
Micron v. YMTC
IPR2025-00294

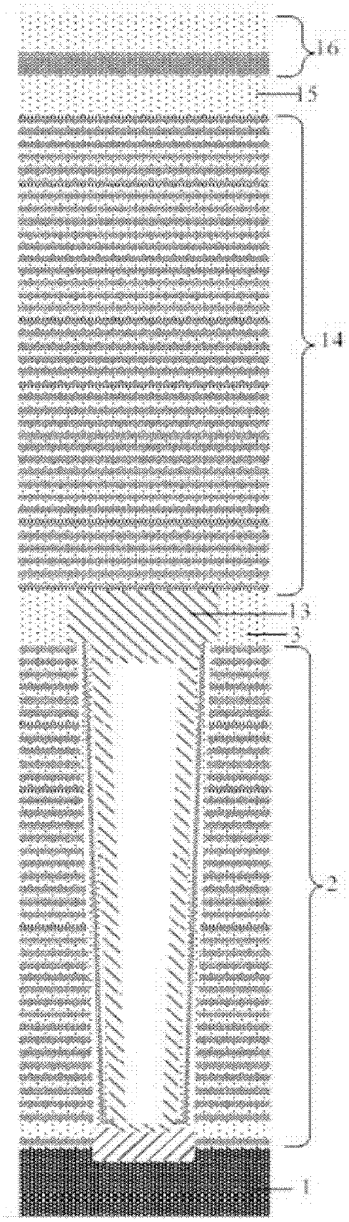


图 10

Micron Ex. 1002, p. 412
Micron v. YMTC
IPR2025-00294

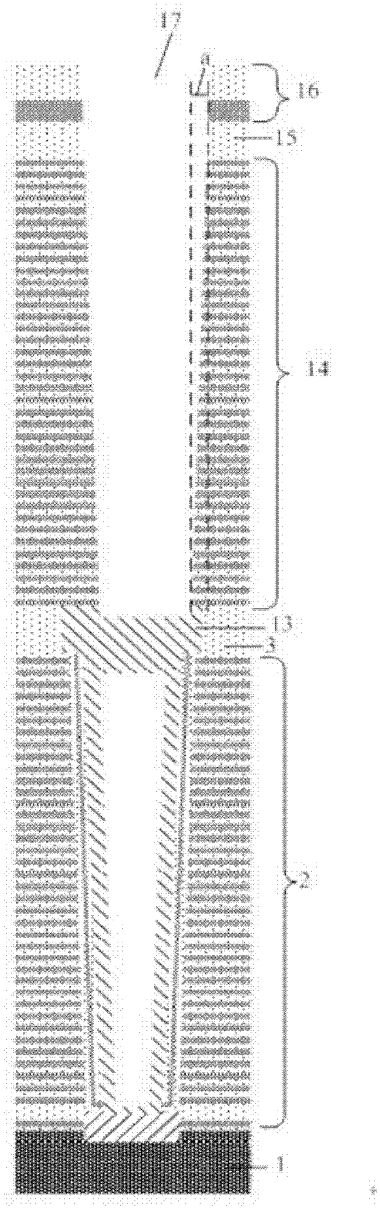


图 11

Micron Ex. 1002, p. 413
Micron v. YMTC
IPR2025-00294

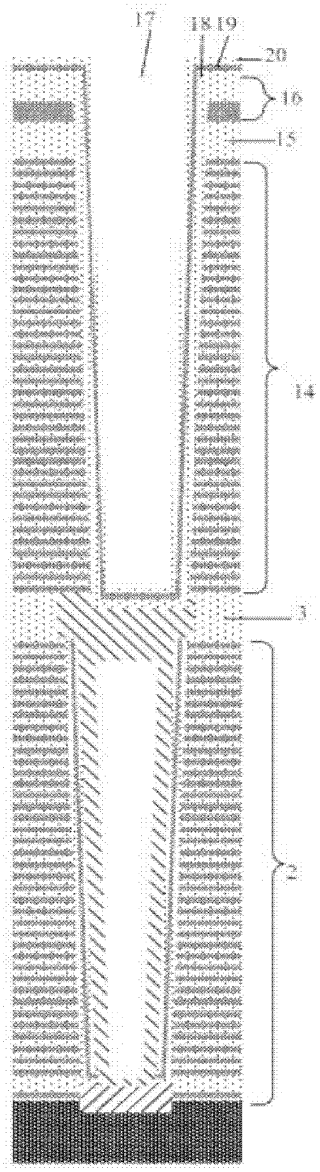


图 12

Micron Ex. 1002, p. 414
Micron v. YMTC
IPR2025-00294

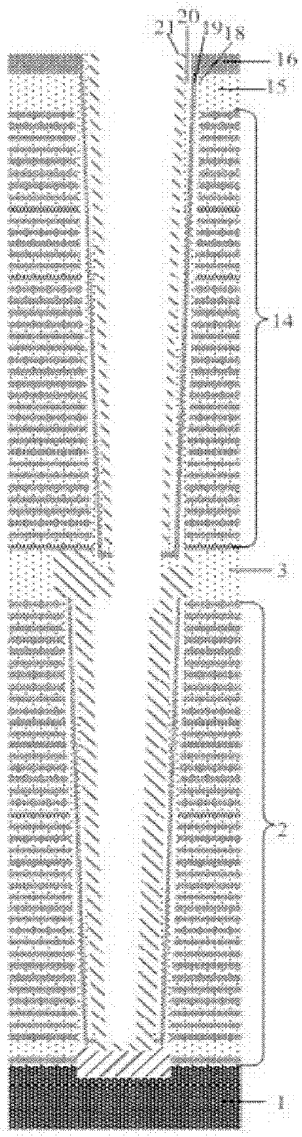


图 13

Micron Ex. 1002, p. 415
Micron v. YMTC
IPR2025-00294

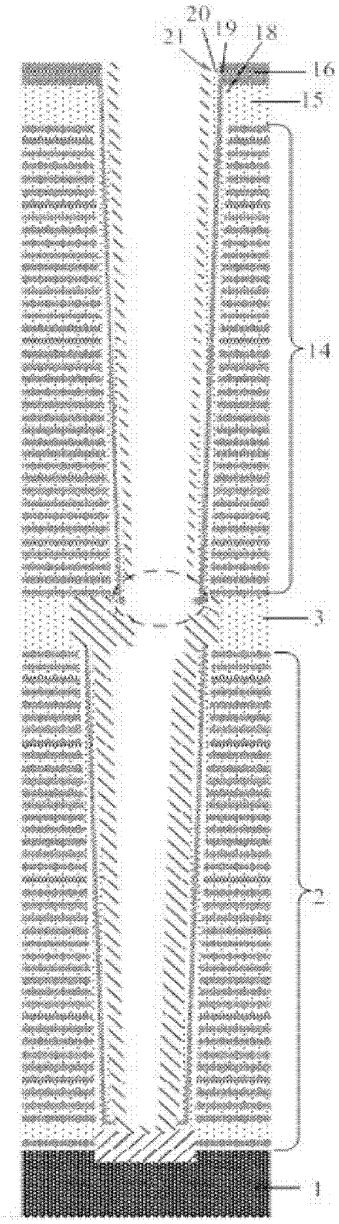


图 14

Micron Ex. 1002, p. 416
Micron v. YMTC
IPR2025-00294

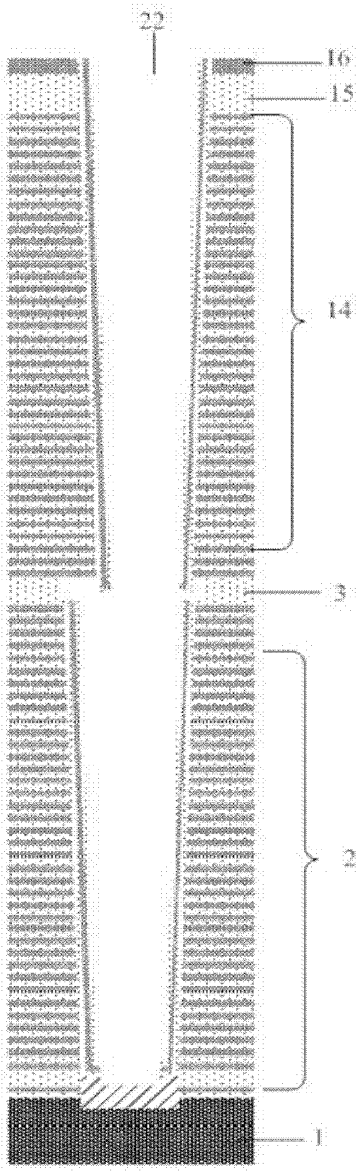


图 15

Micron Ex. 1002, p. 417
Micron v. YMTC
IPR2025-00294

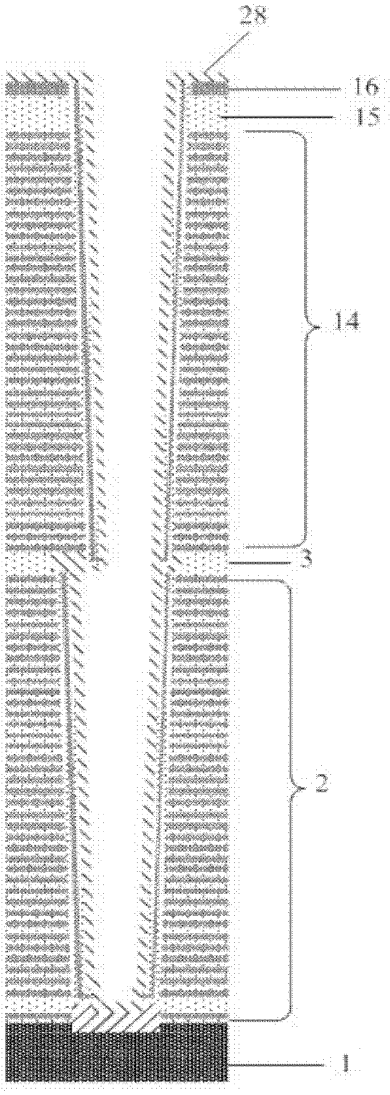


图 16

Micron Ex. 1002, p. 418
Micron v. YMTC
IPR2025-00294

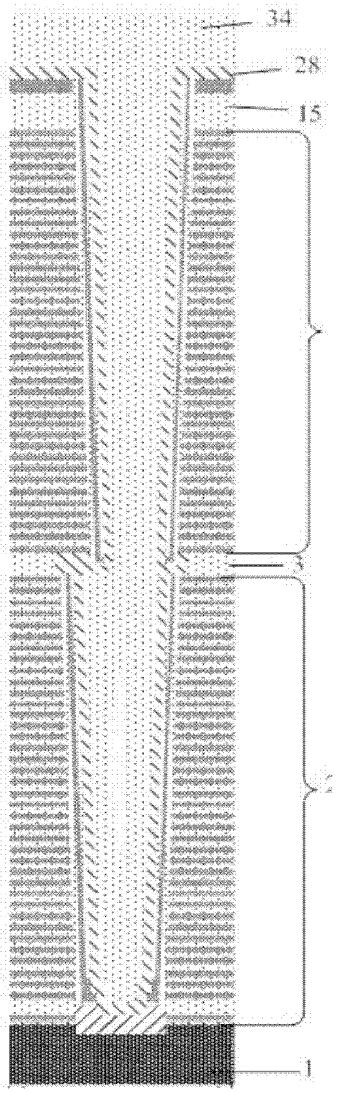


图 17

Micron Ex. 1002, p. 419
Micron v. YMTC
IPR2025-00294

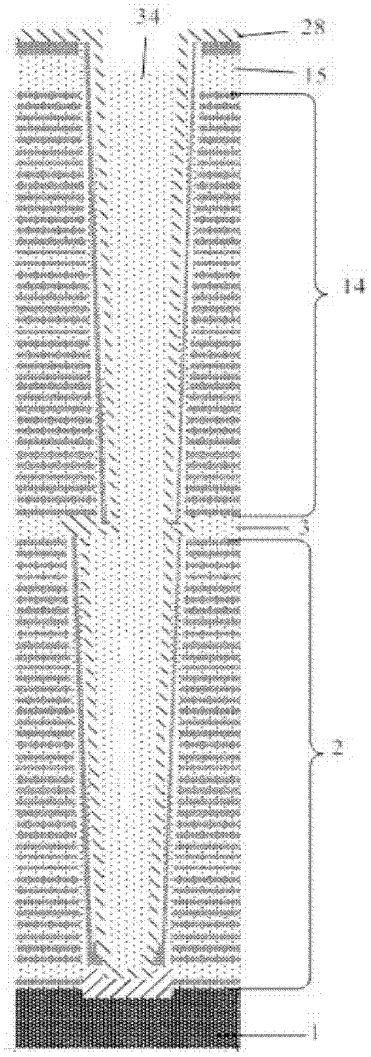


图 18

Micron Ex. 1002, p. 420
Micron v. YMTC
IPR2025-00294

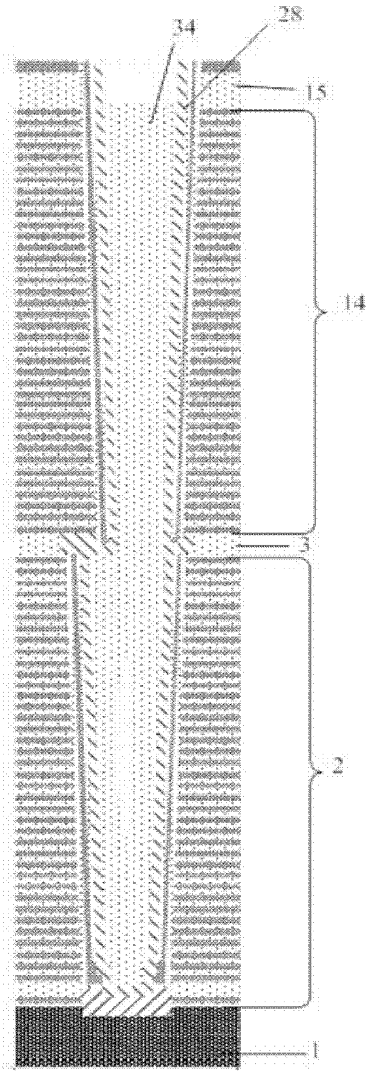


图 19

Micron Ex. 1002, p. 421
Micron v. YMTC
IPR2025-00294

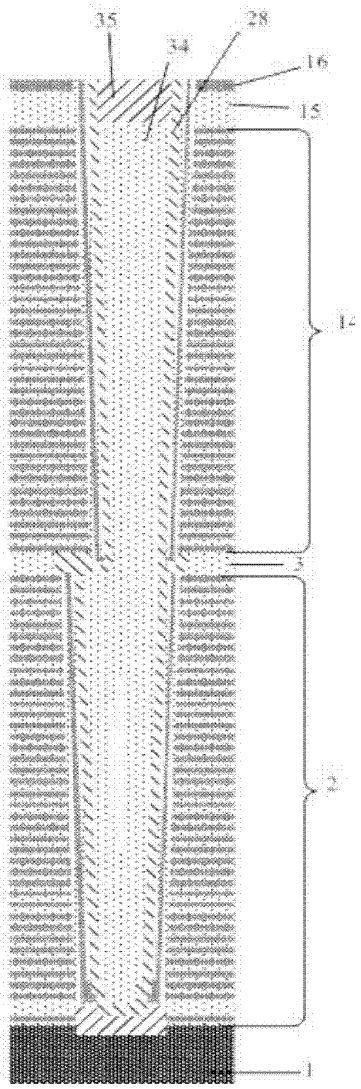


图 20

Micron Ex. 1002, p. 422
Micron v. YMTC
IPR2025-00294

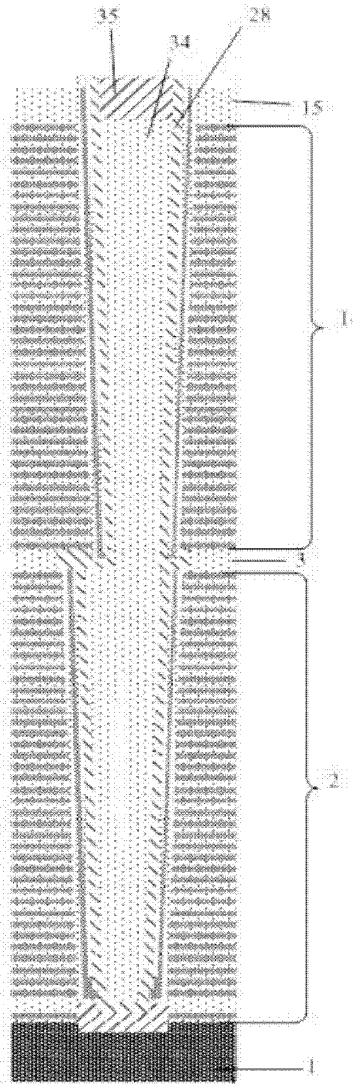


图 21

Micron Ex. 1002, p. 423
Micron v. YMTC
IPR2025-00294

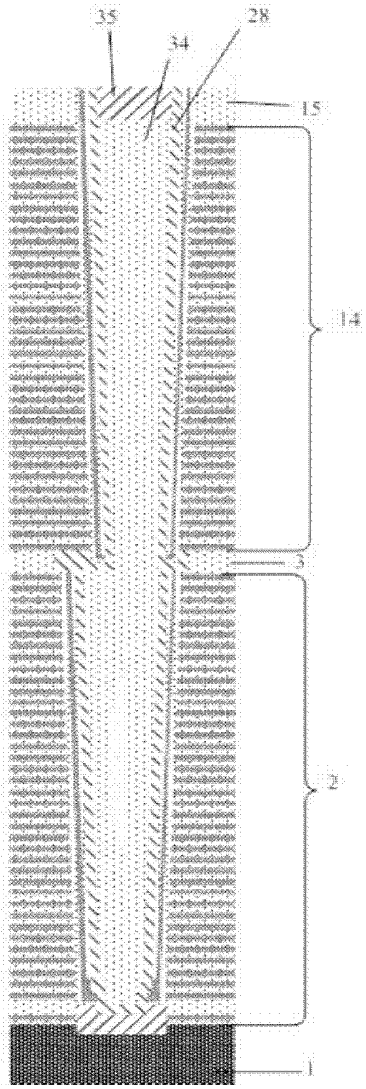


图 22

Micron Ex. 1002, p. 424
Micron v. YMTC
IPR2025-00294

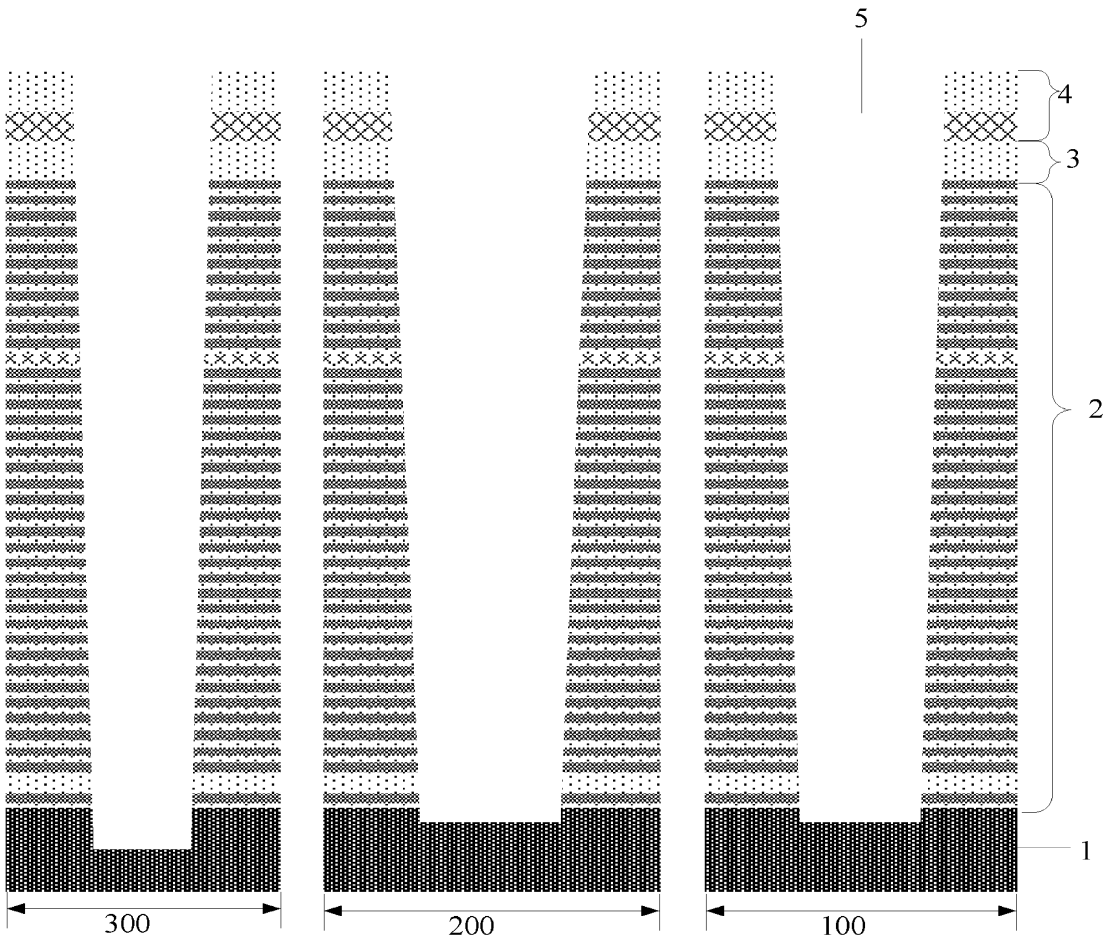


图 23

Micron Ex. 1002, p. 425
Micron v. YMTC
IPR2025-00294

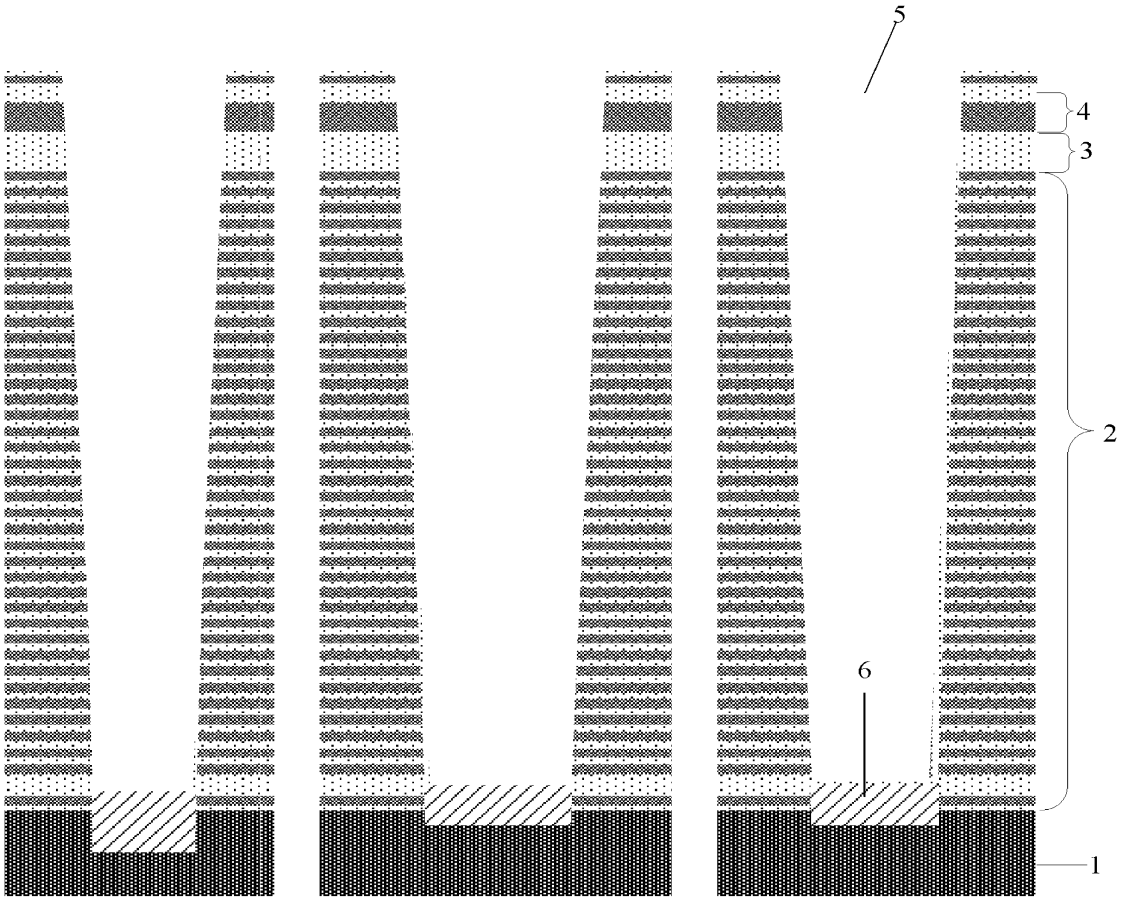


图 24

Micron Ex. 1002, p. 426
Micron v. YMTC
IPR2025-00294

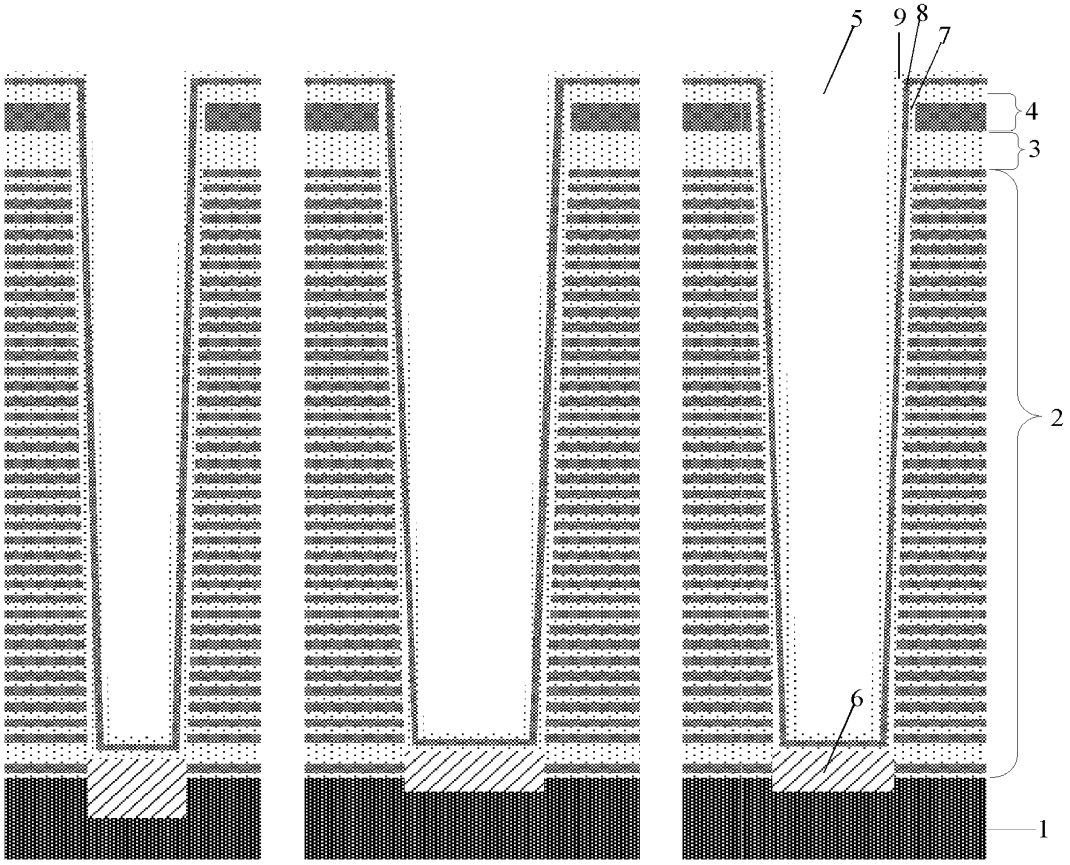


图 25

Micron Ex. 1002, p. 427
Micron v. YMTC
IPR2025-00294

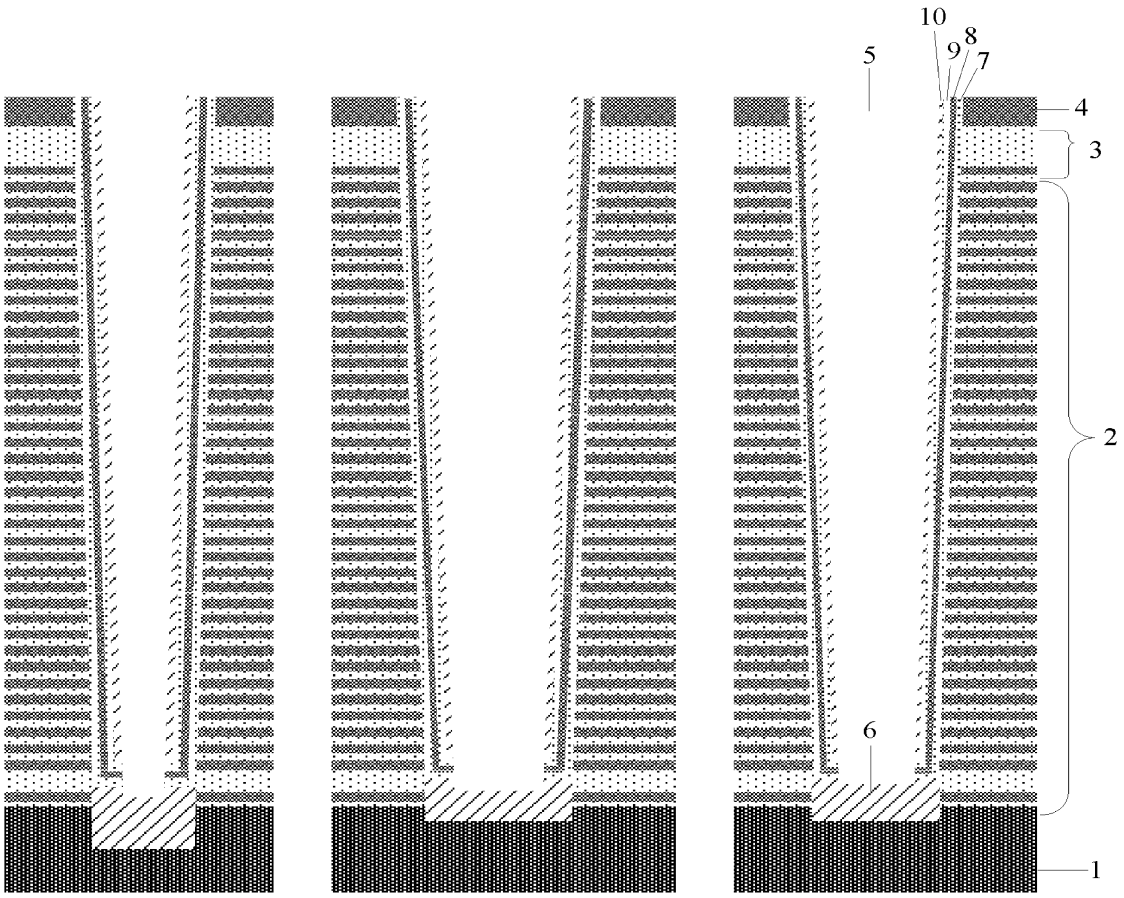


图 26

Micron Ex. 1002, p. 428
Micron v. YMTC
IPR2025-00294

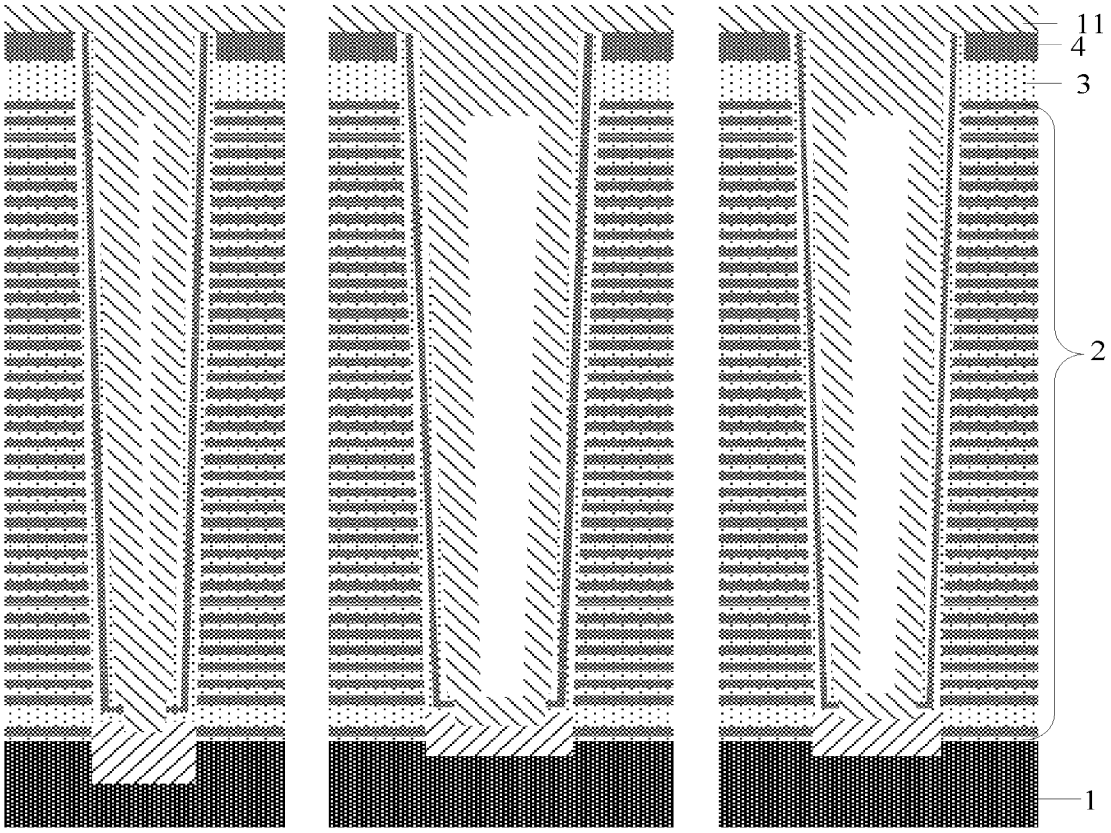


图 27

Micron Ex. 1002, p. 429
Micron v. YMTC
IPR2025-00294

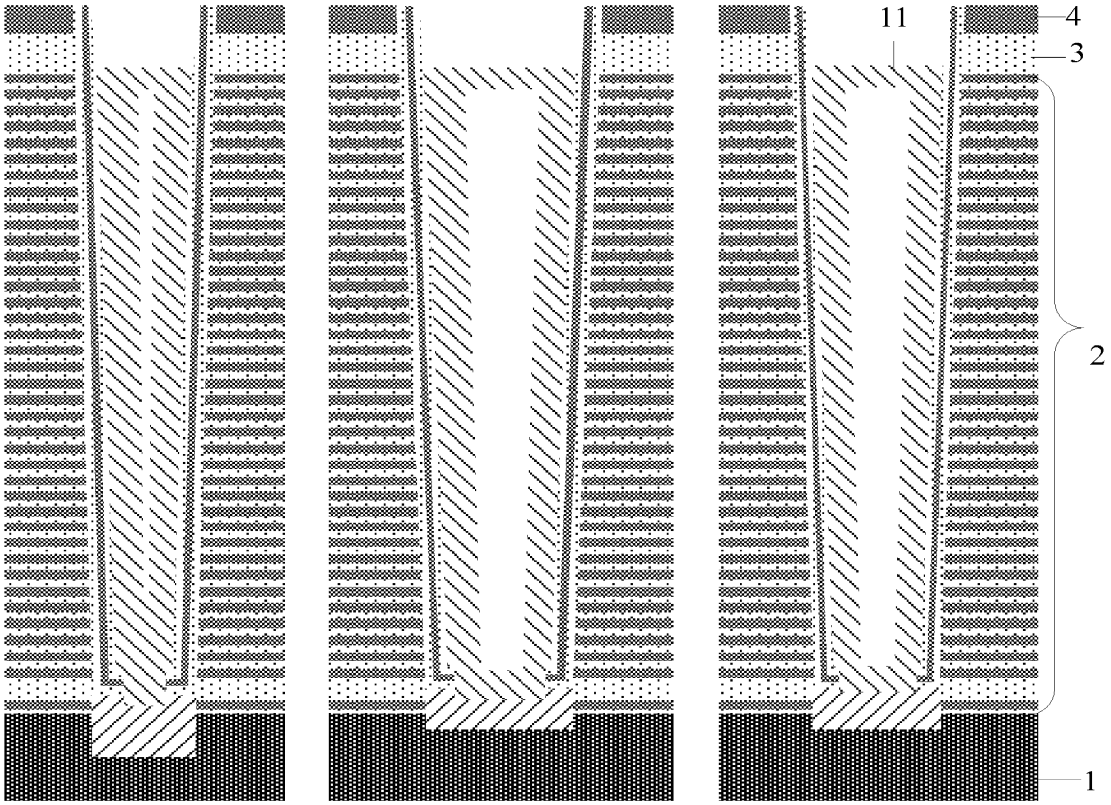


图 28

Micron Ex. 1002, p. 430
Micron v. YMTC
IPR2025-00294

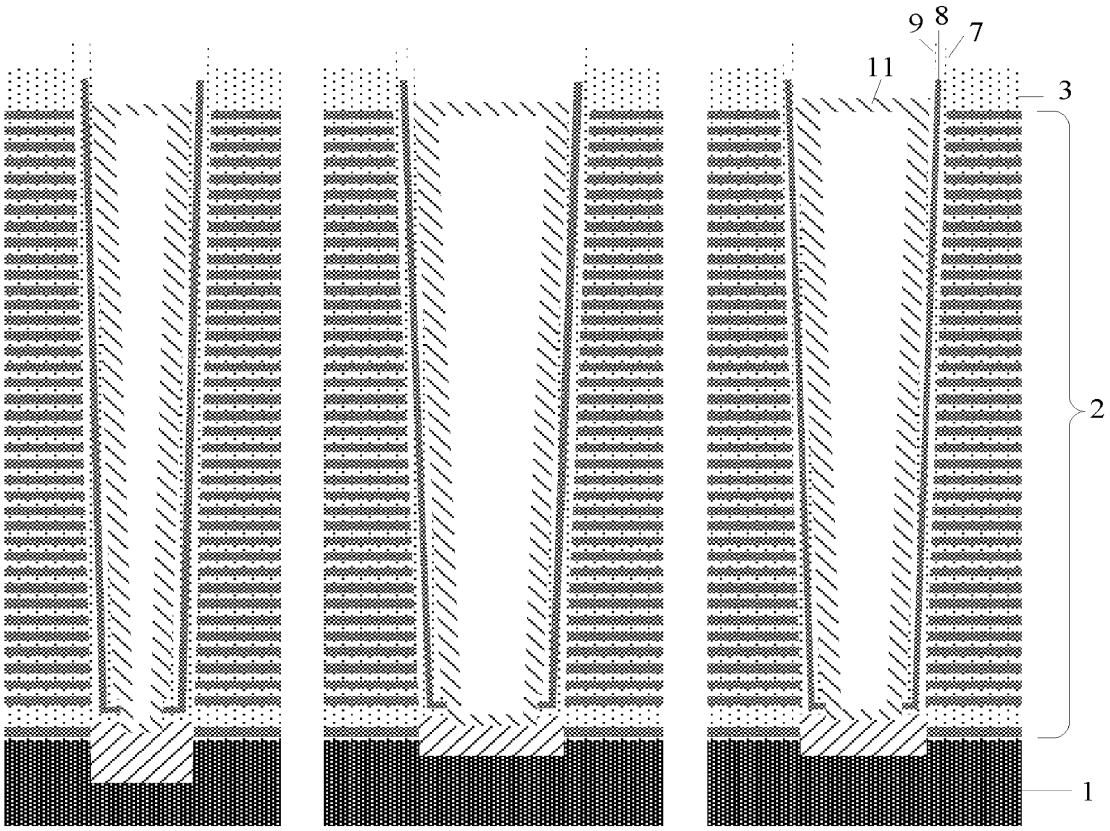


图 29

Micron Ex. 1002, p. 431
Micron v. YMTC
IPR2025-00294

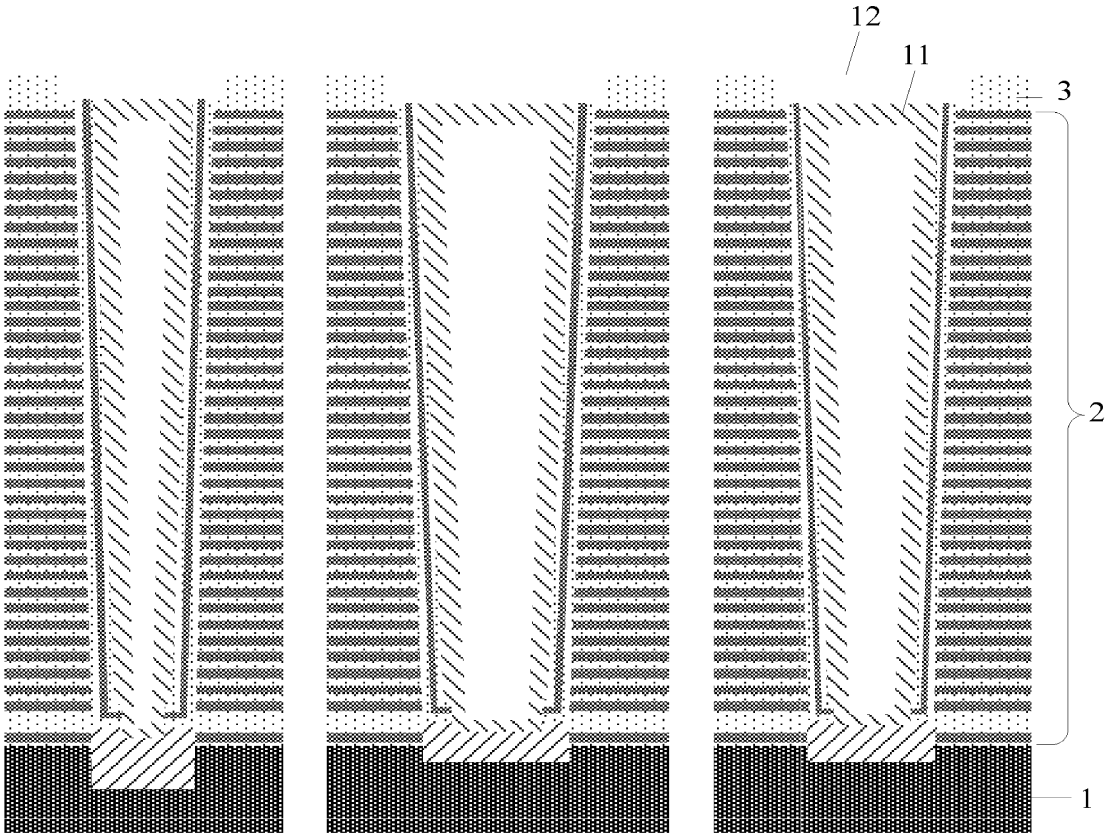


图 30

Micron Ex. 1002, p. 432
Micron v. YMTC
IPR2025-00294

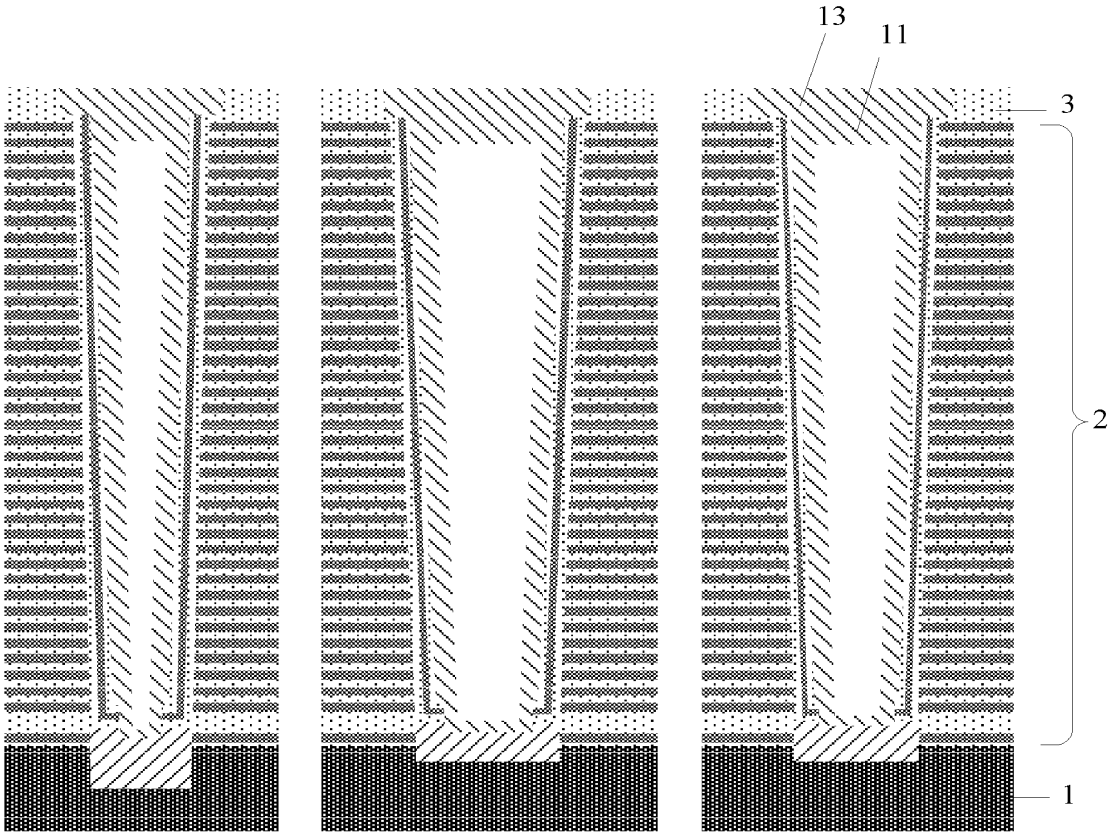


图 31

Micron Ex. 1002, p. 433
Micron v. YMTC
IPR2025-00294

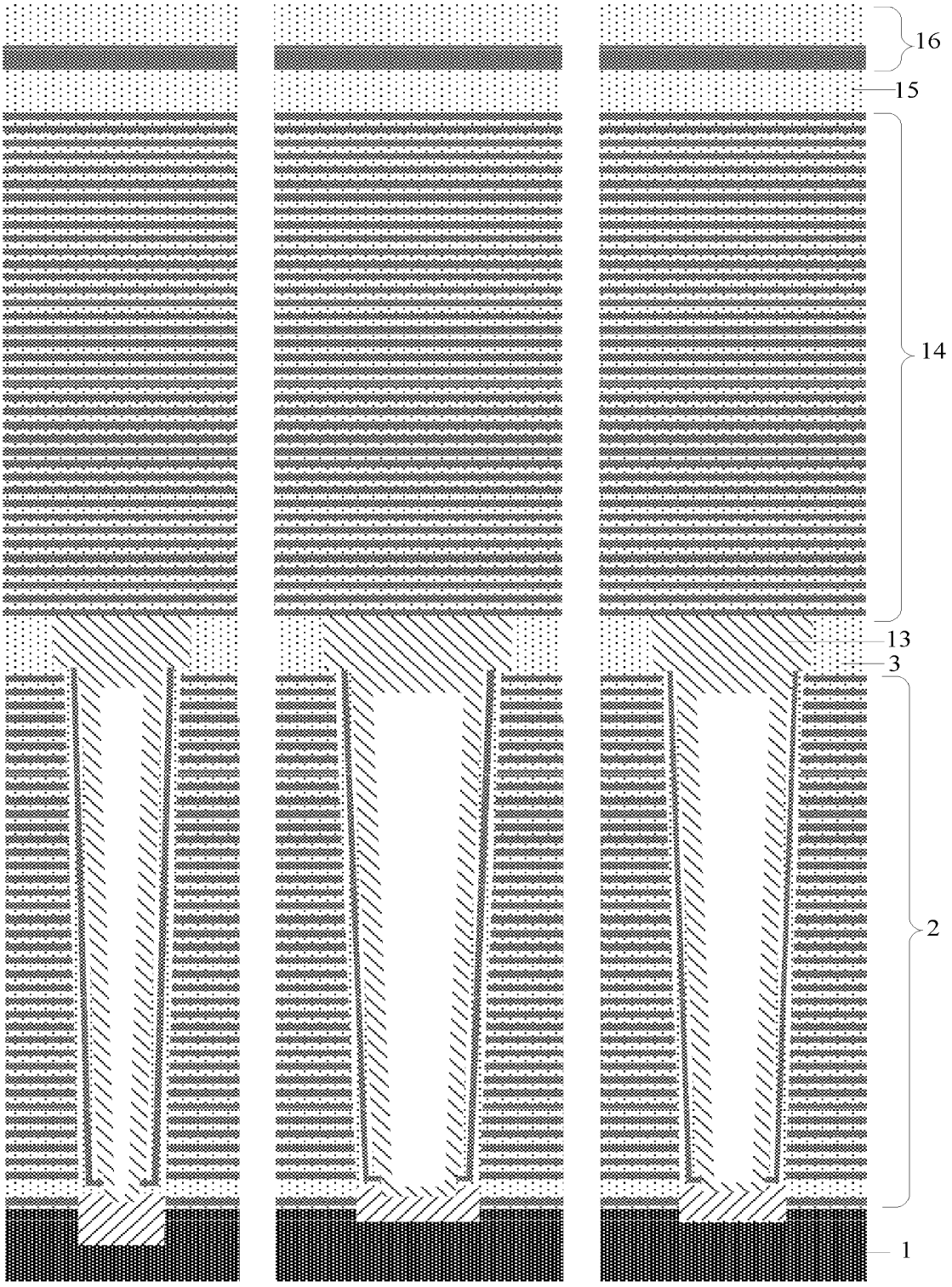


图 32

Micron Ex. 1002, p. 434
Micron v. YMTC
IPR2025-00294

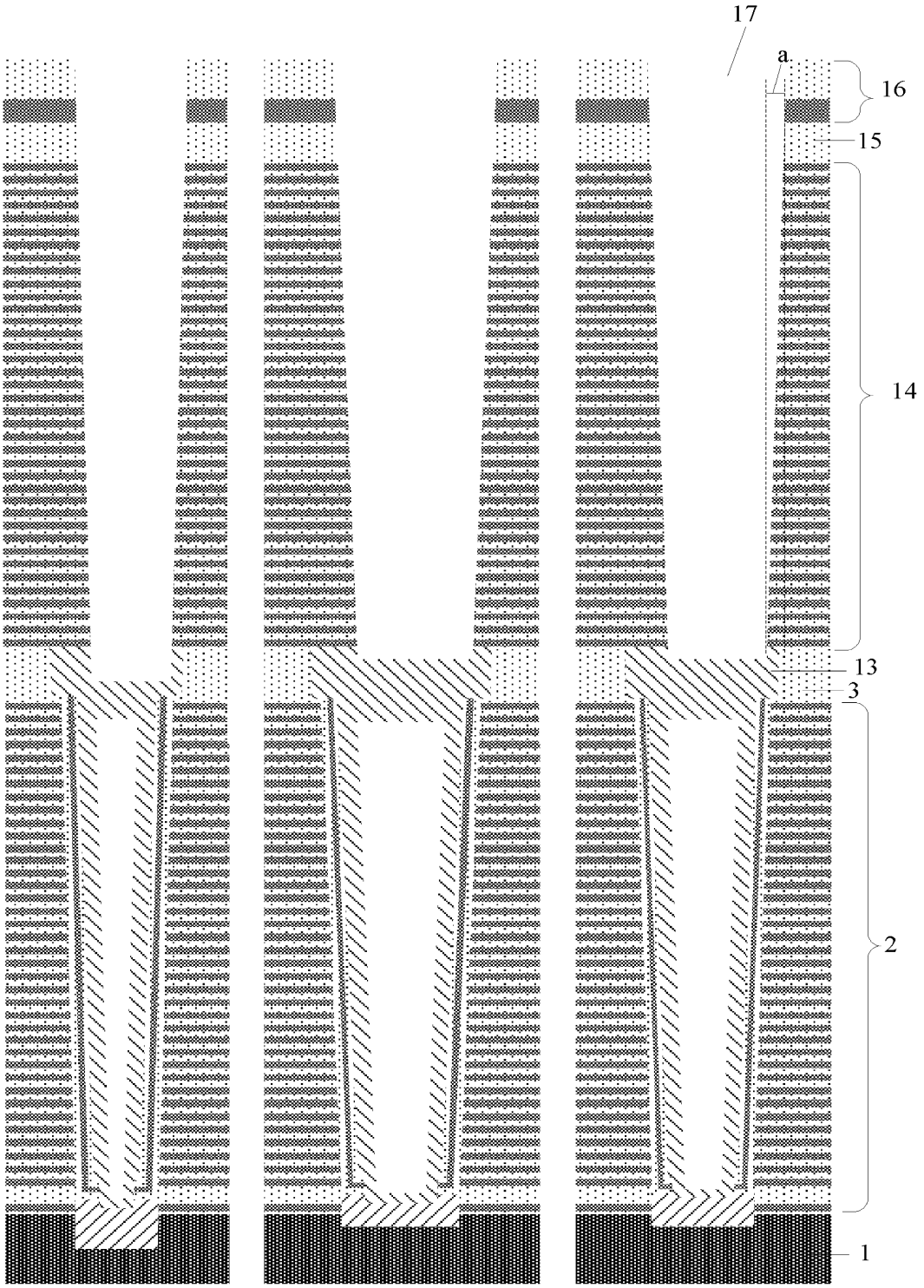


图 33

Micron Ex. 1002, p. 435
Micron v. YMTC
IPR2025-00294

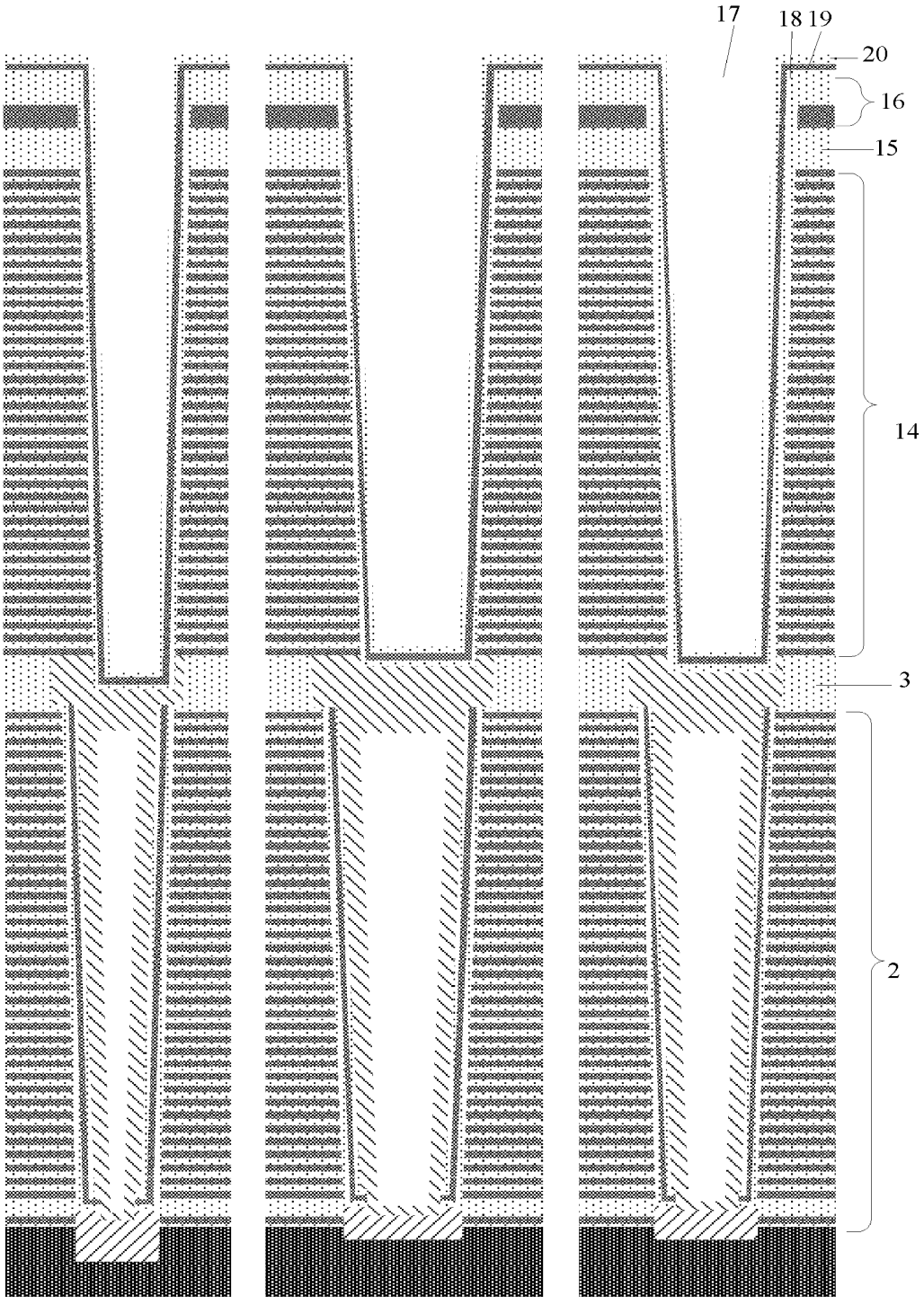


图 34

Micron Ex. 1002, p. 436
Micron v. YMTC
IPR2025-00294

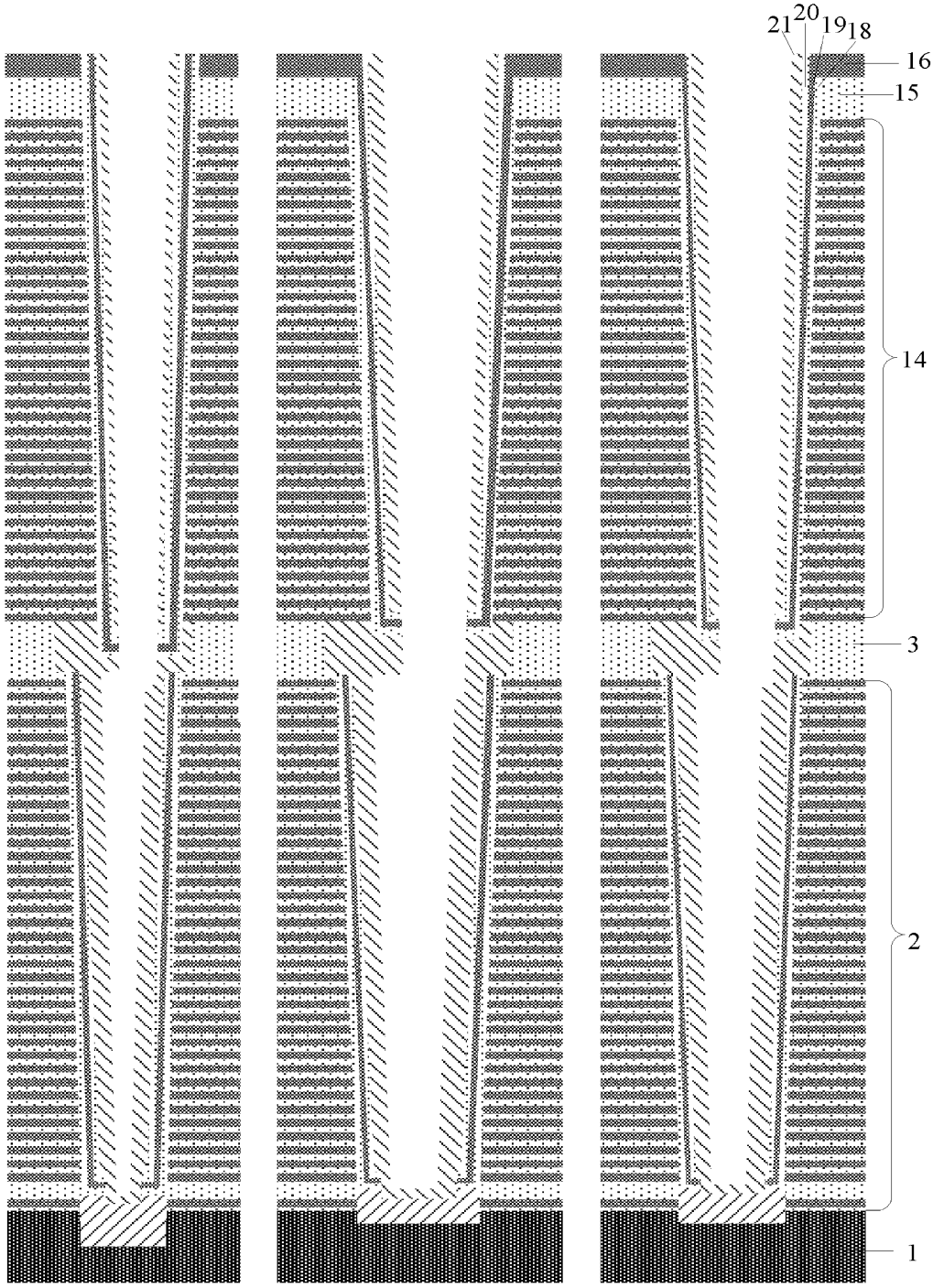


图 35

Micron Ex. 1002, p. 437
Micron v. YMTC
IPR2025-00294

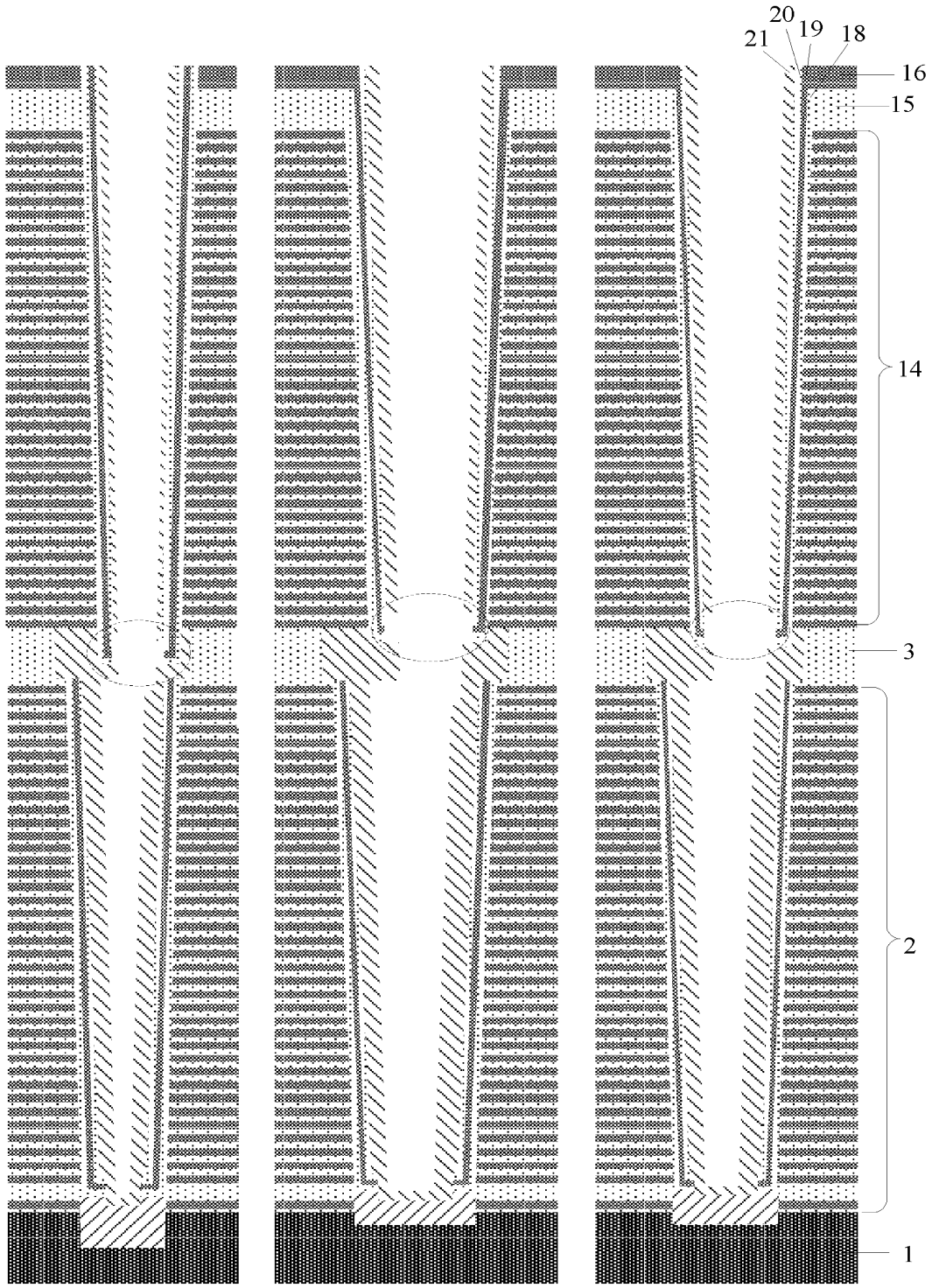


图 36

Micron Ex. 1002, p. 438
Micron v. YMTC
IPR2025-00294

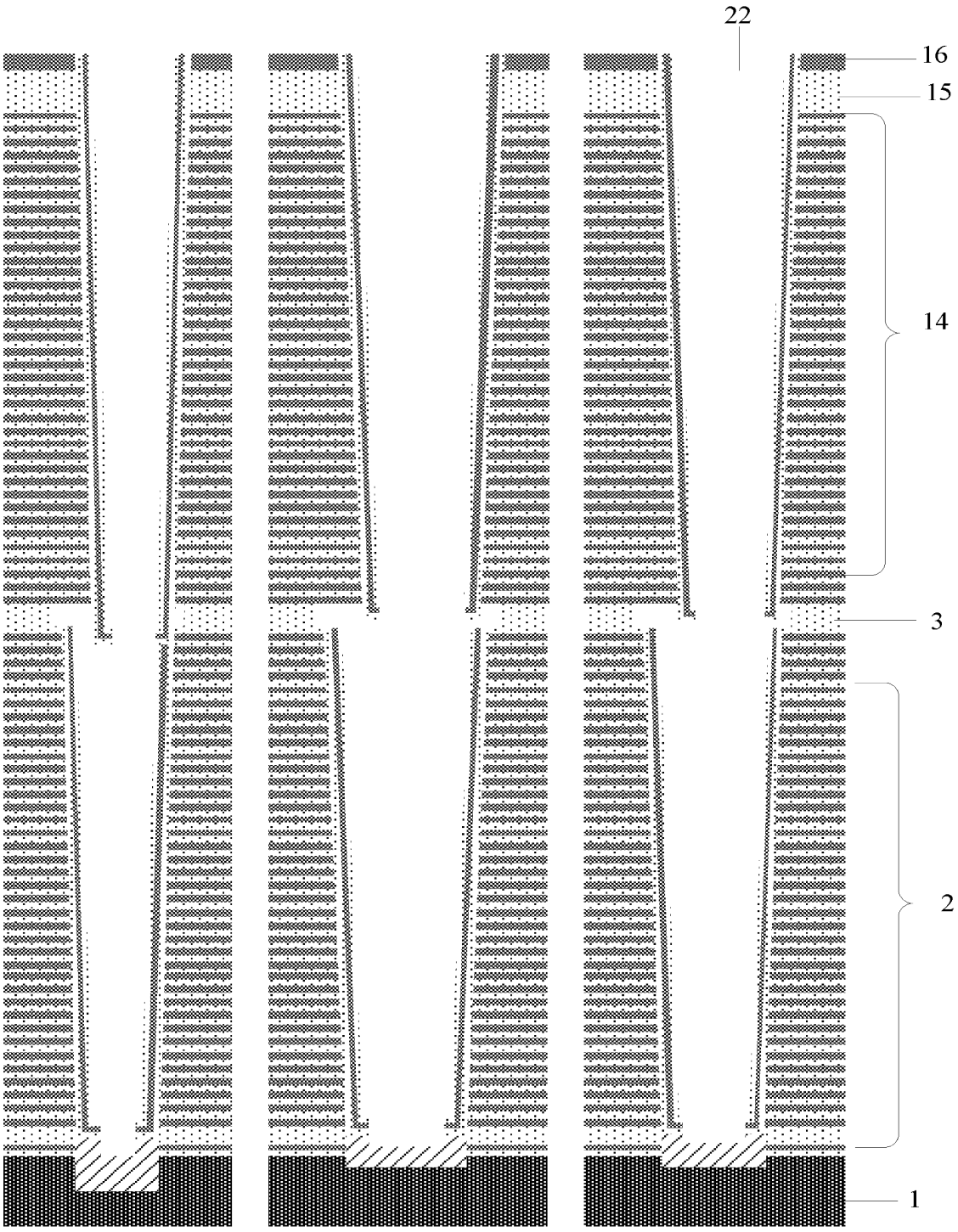


图 37

Micron Ex. 1002, p. 439
Micron v. YMTC
IPR2025-00294

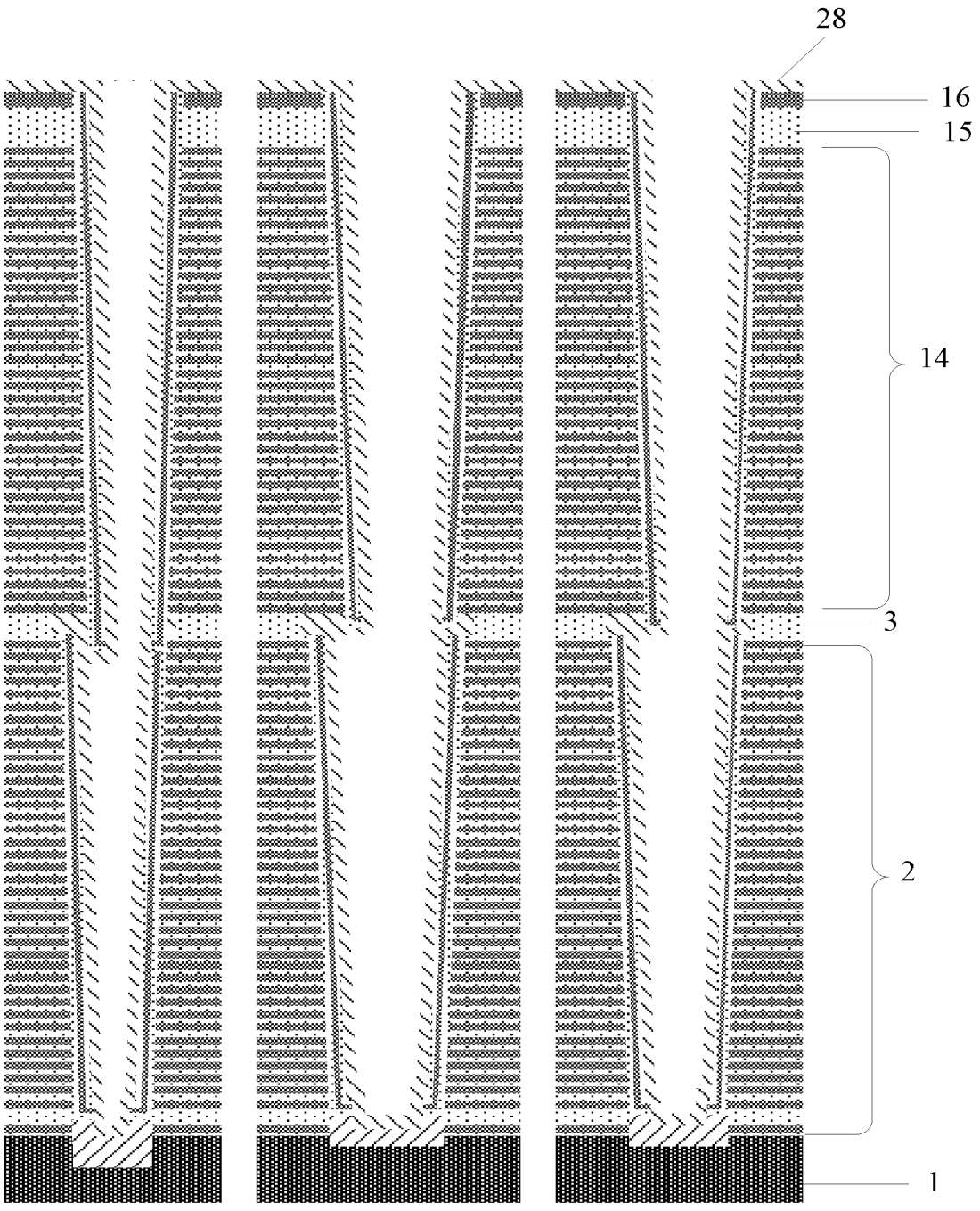


图 38

Micron Ex. 1002, p. 440
Micron v. YMTC
IPR2025-00294

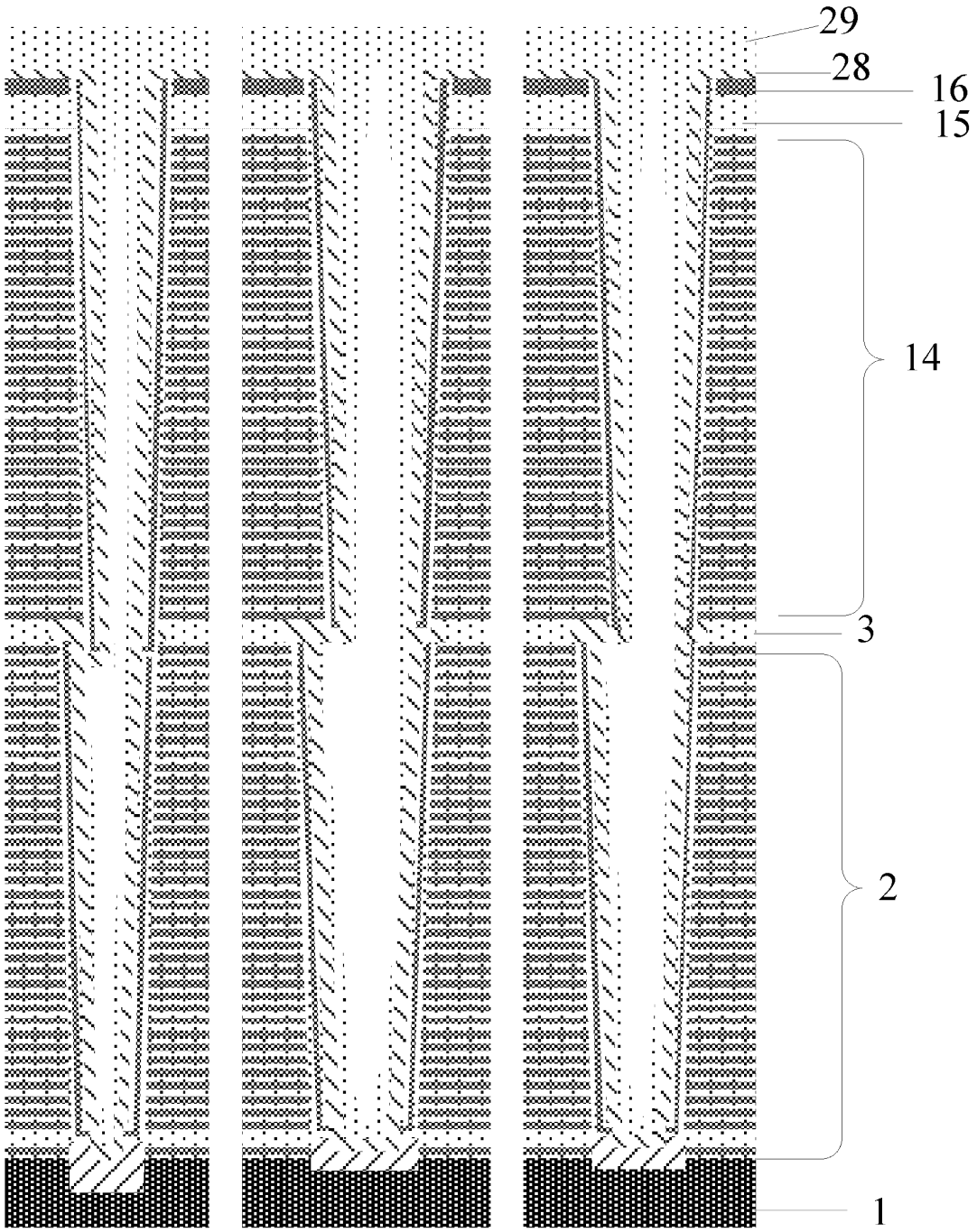


图 39

Micron Ex. 1002, p. 441
Micron v. YMTC
IPR2025-00294

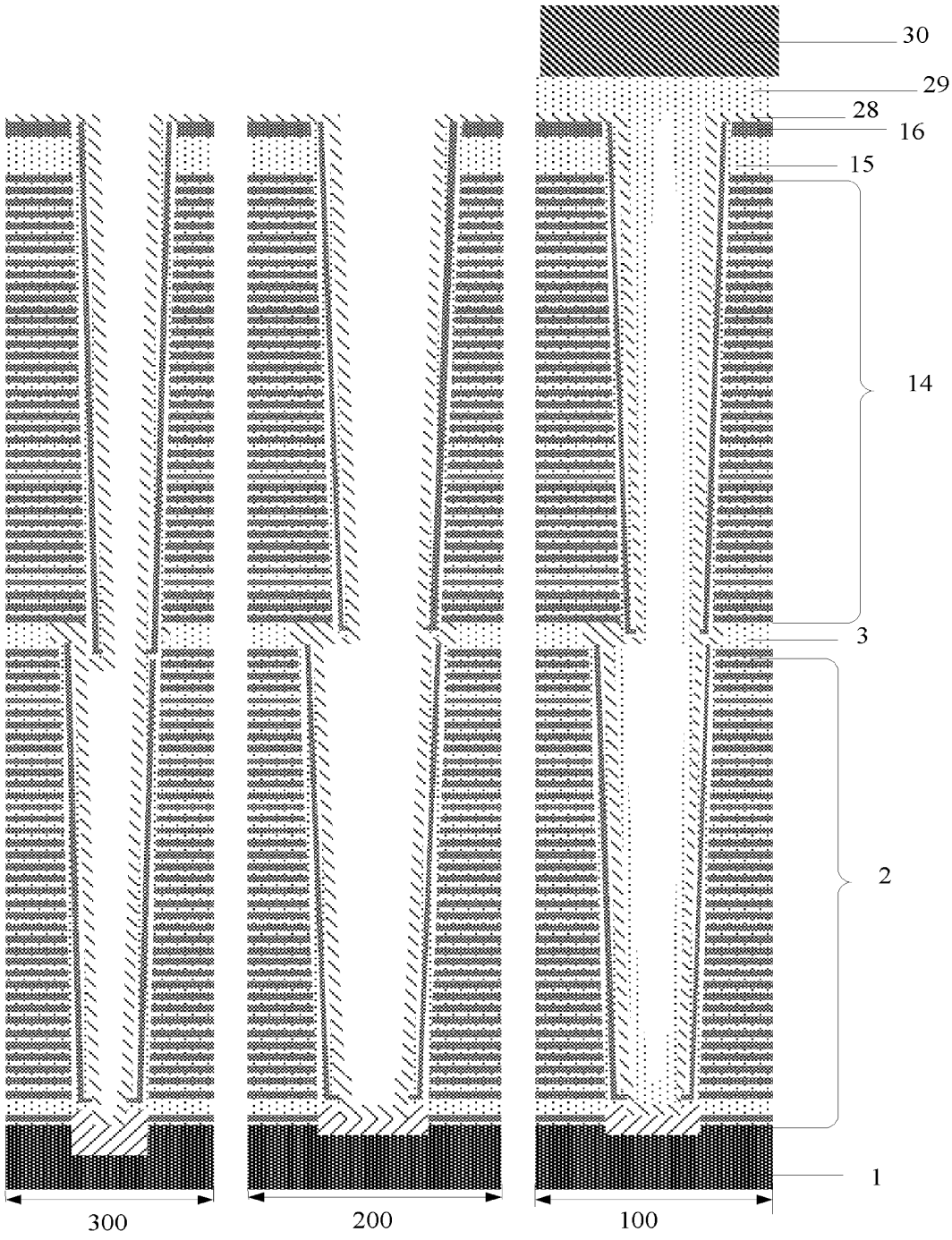


图 40

Micron Ex. 1002, p. 442
Micron v. YMTC
IPR2025-00294

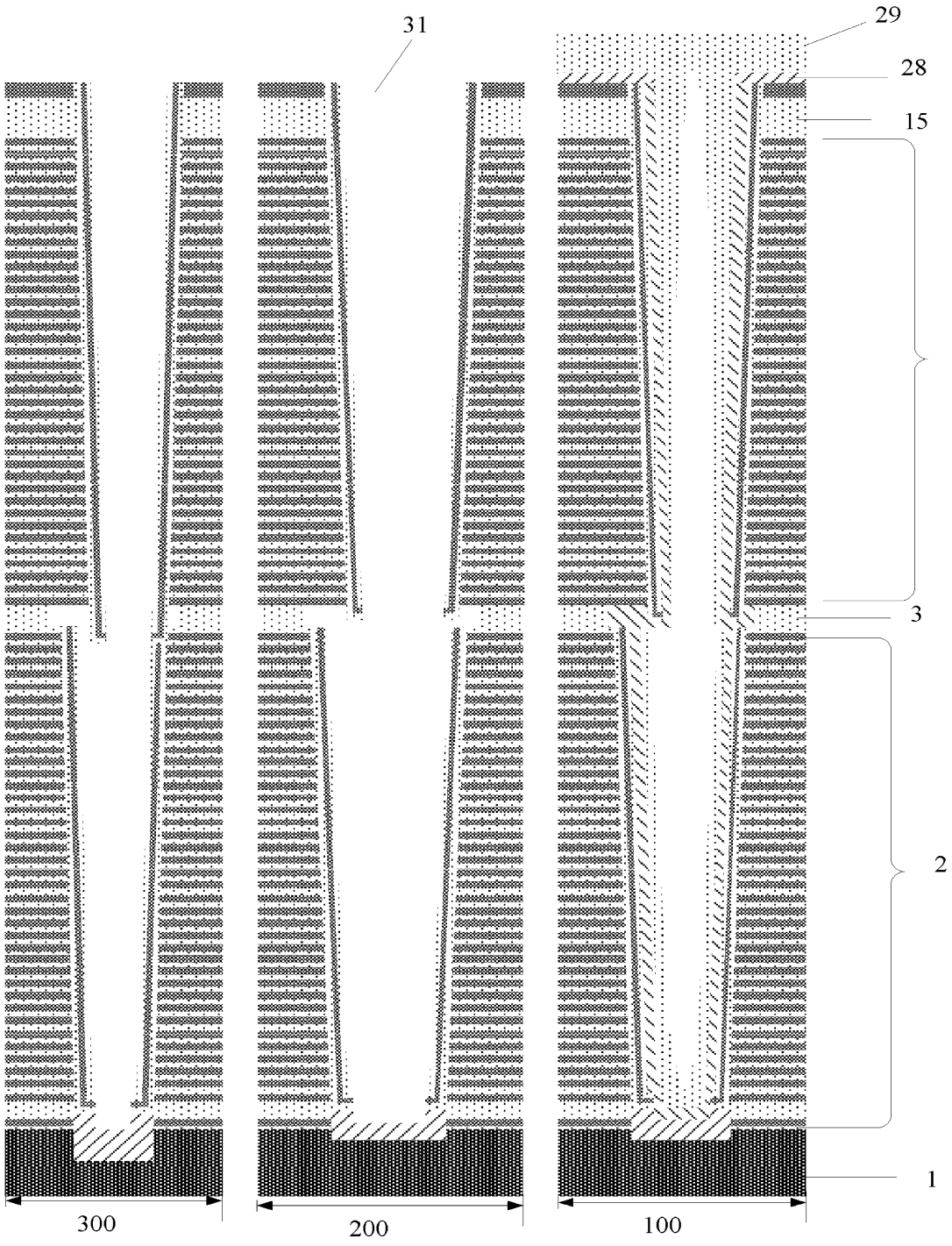


图 41

Micron Ex. 1002, p. 443
Micron v. YMTC
IPR2025-00294

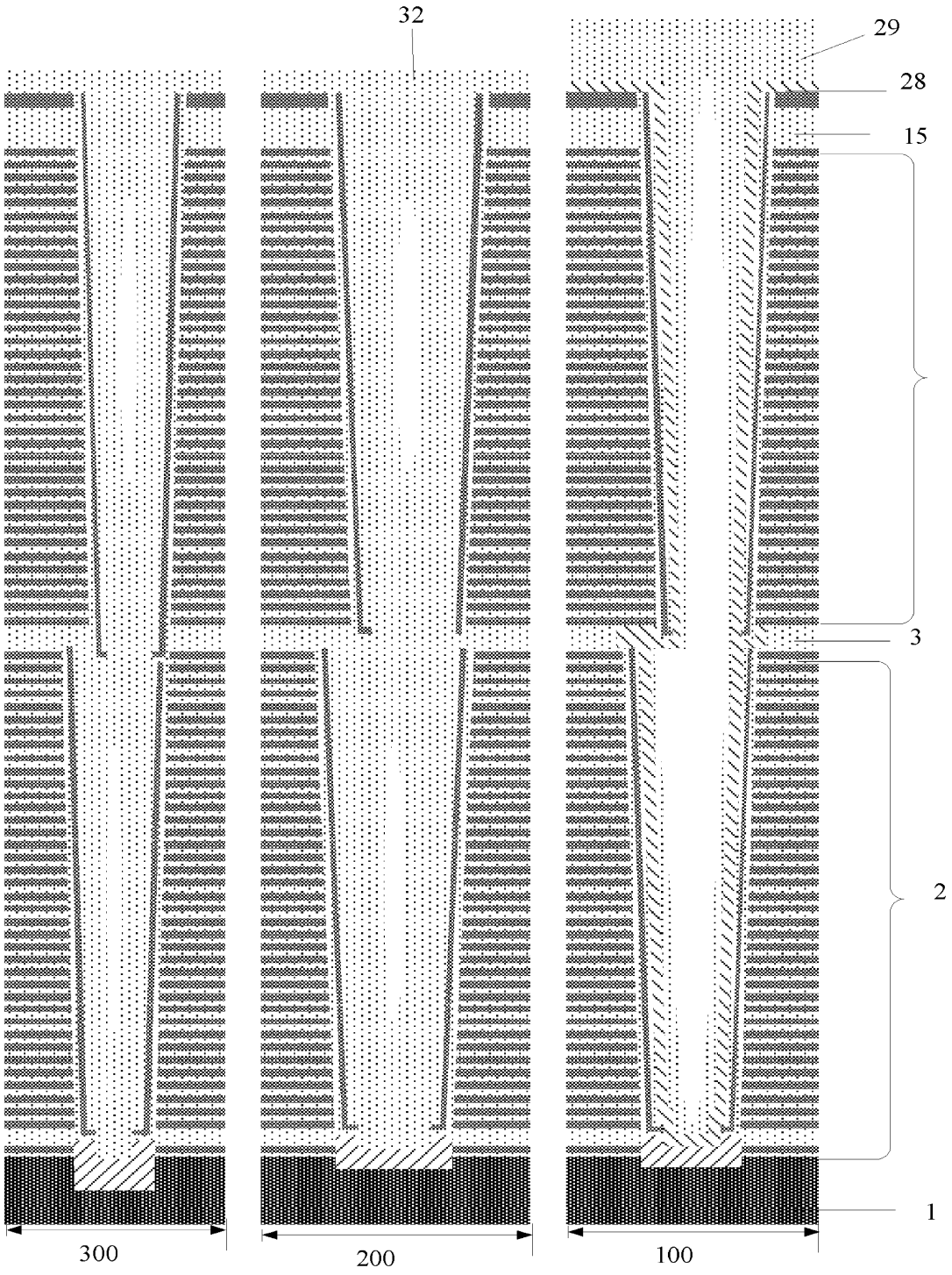


图 42

Micron Ex. 1002, p. 444
Micron v. YMTC
IPR2025-00294

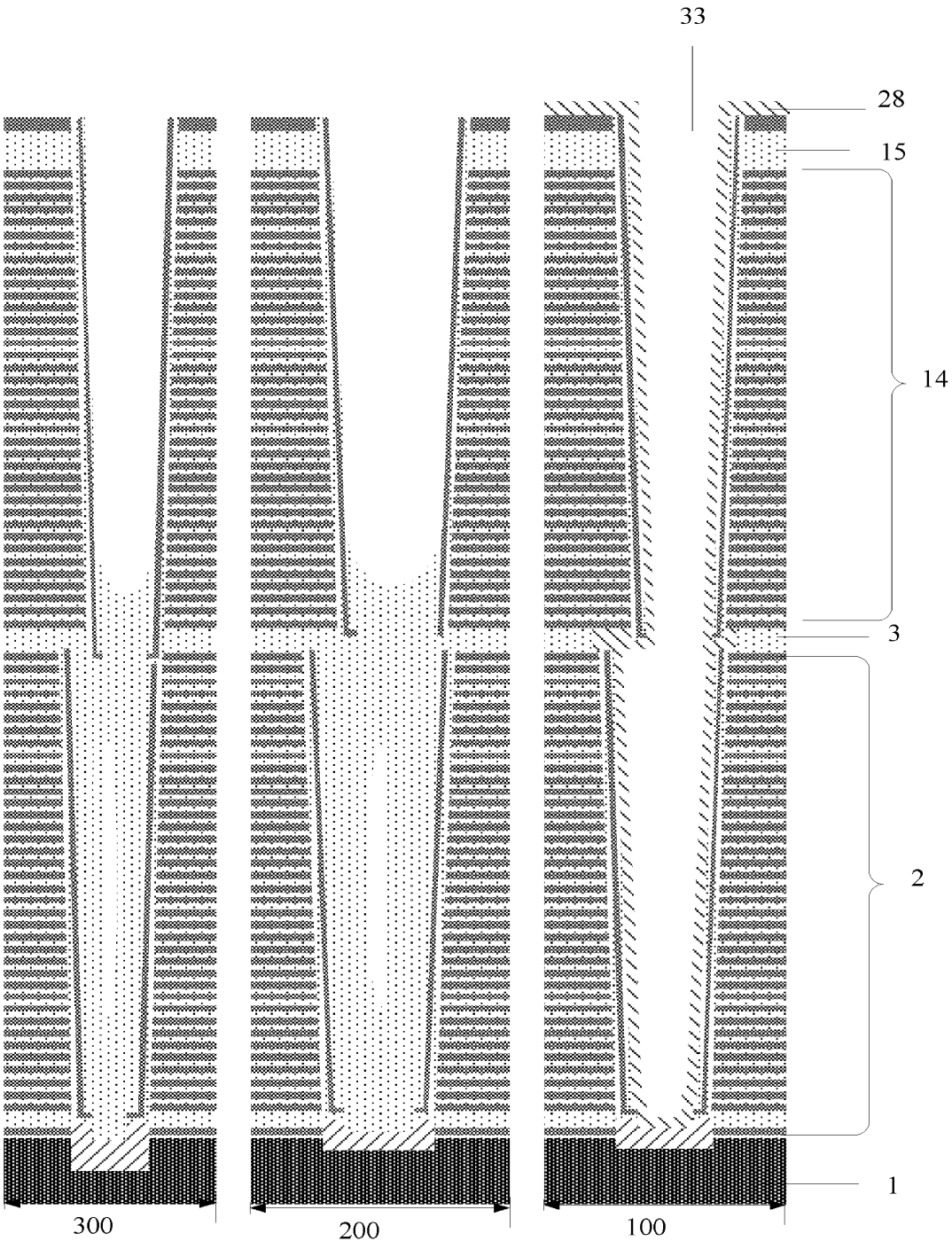


图 43

Micron Ex. 1002, p. 445
Micron v. YMTC
IPR2025-00294

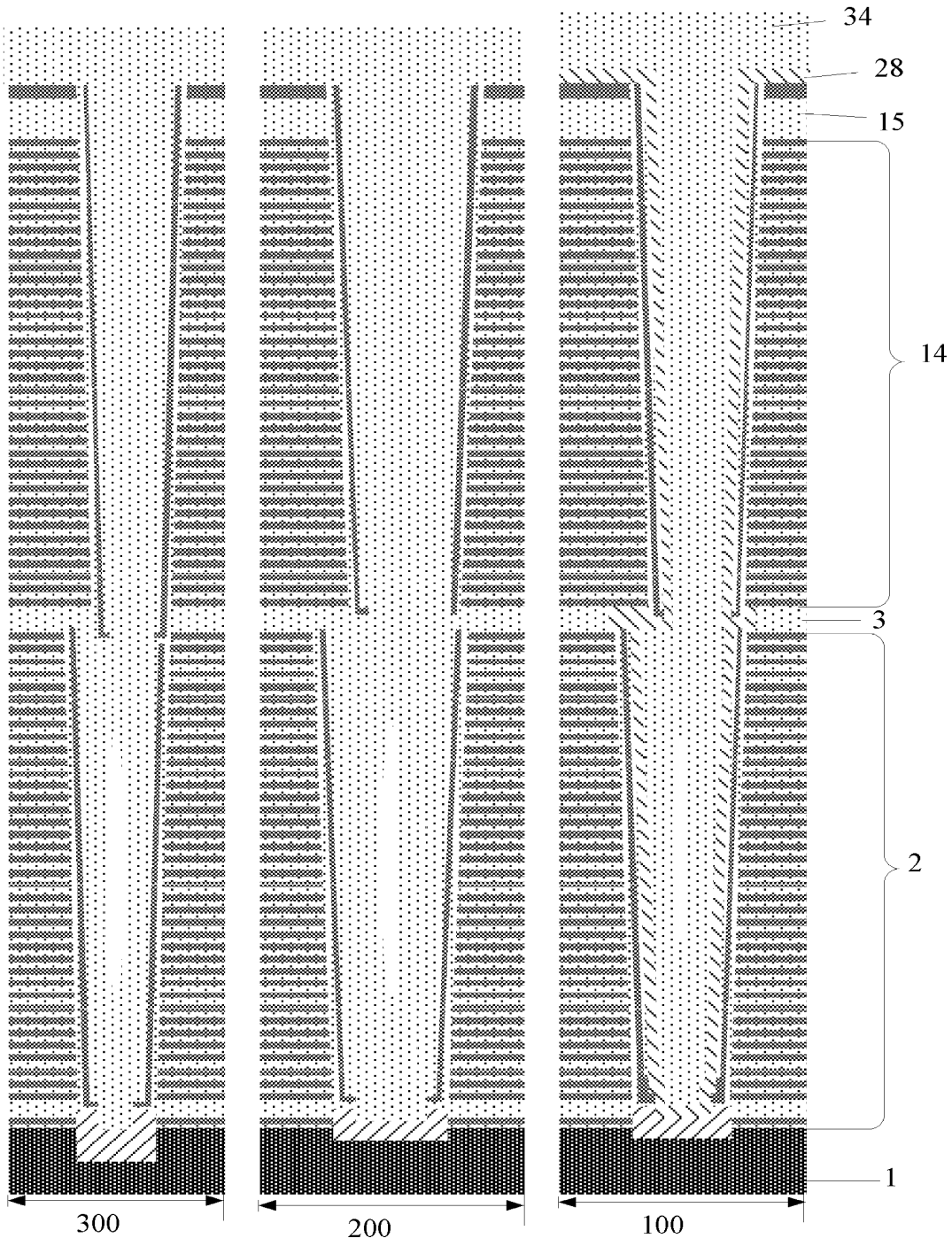


图 44

Micron Ex. 1002, p. 446
Micron v. YMTC
IPR2025-00294

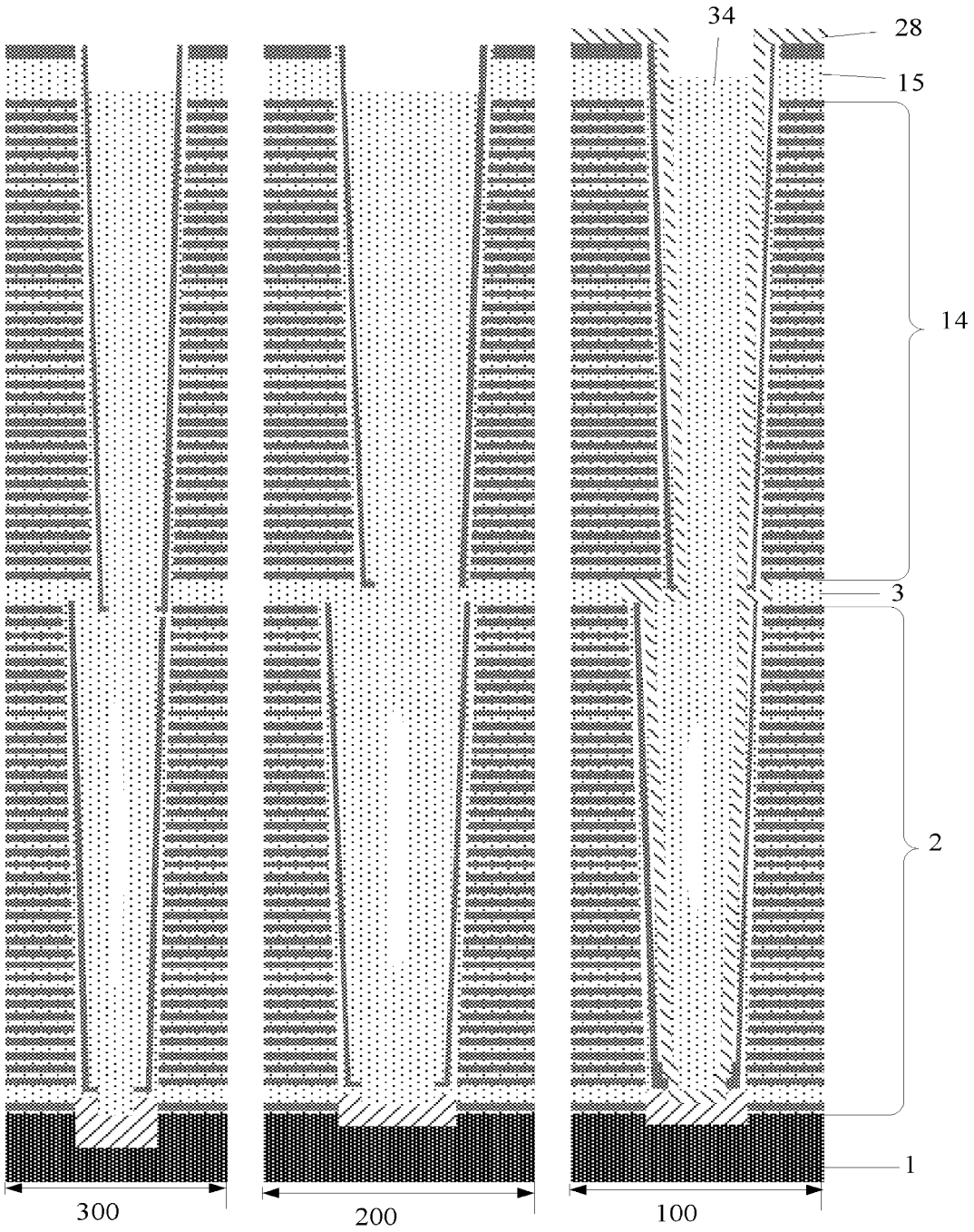


图 45

Micron Ex. 1002, p. 447
Micron v. YMTC
IPR2025-00294

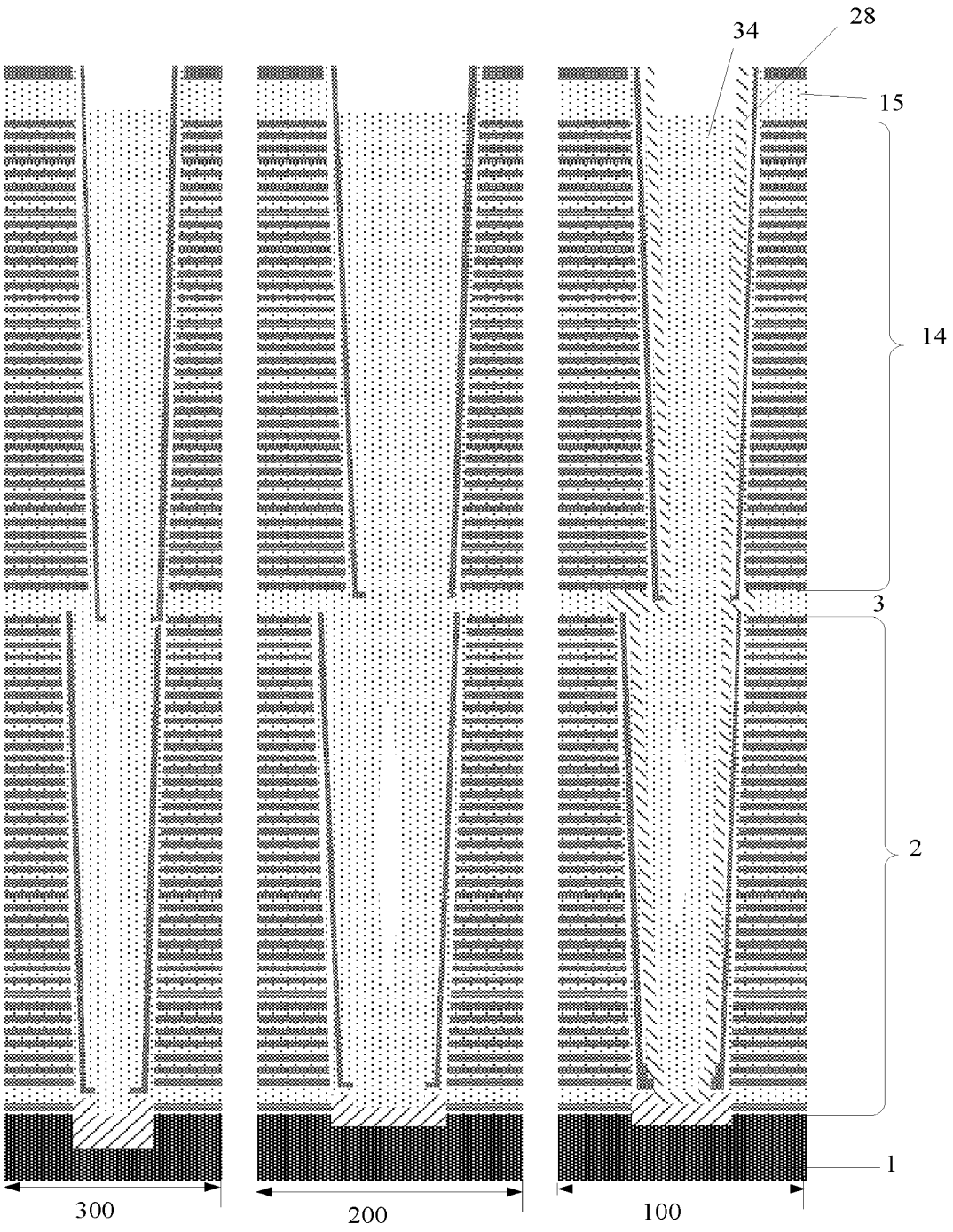


图 46

Micron Ex. 1002, p. 448
Micron v. YMTC
IPR2025-00294

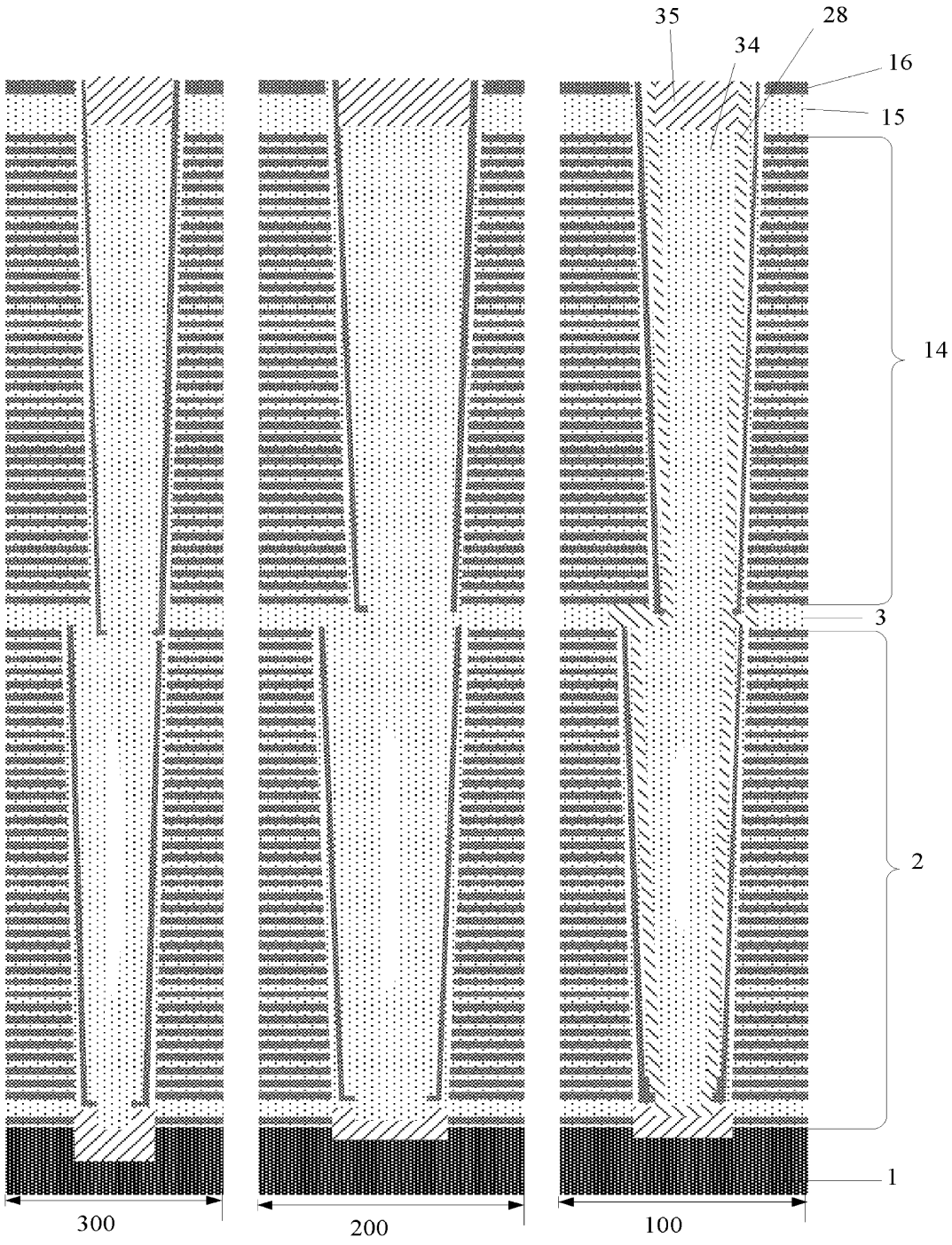


图 47

Micron Ex. 1002, p. 449
Micron v. YMTC
IPR2025-00294

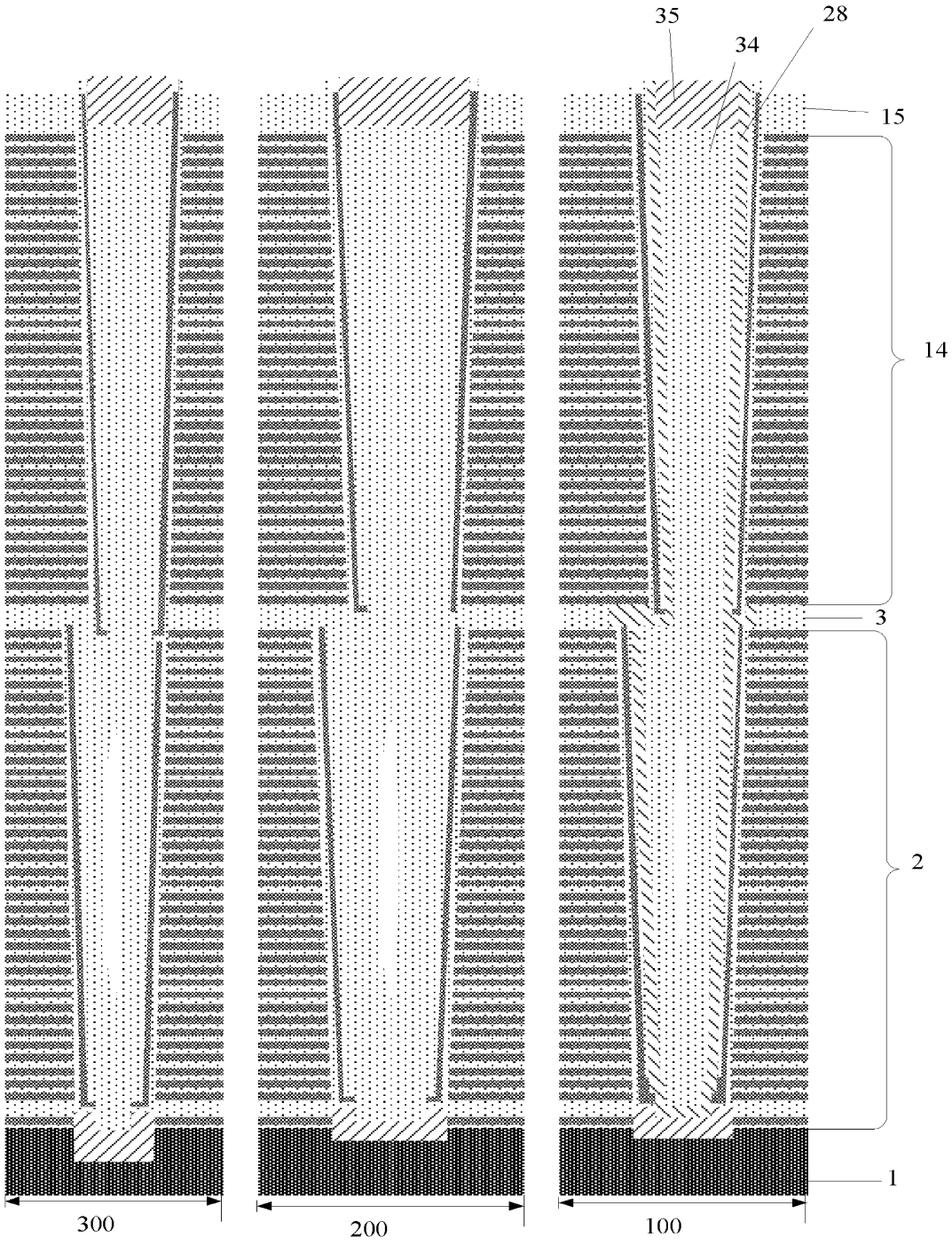


图 48

Micron Ex. 1002, p. 450
Micron v. YMTC
IPR2025-00294

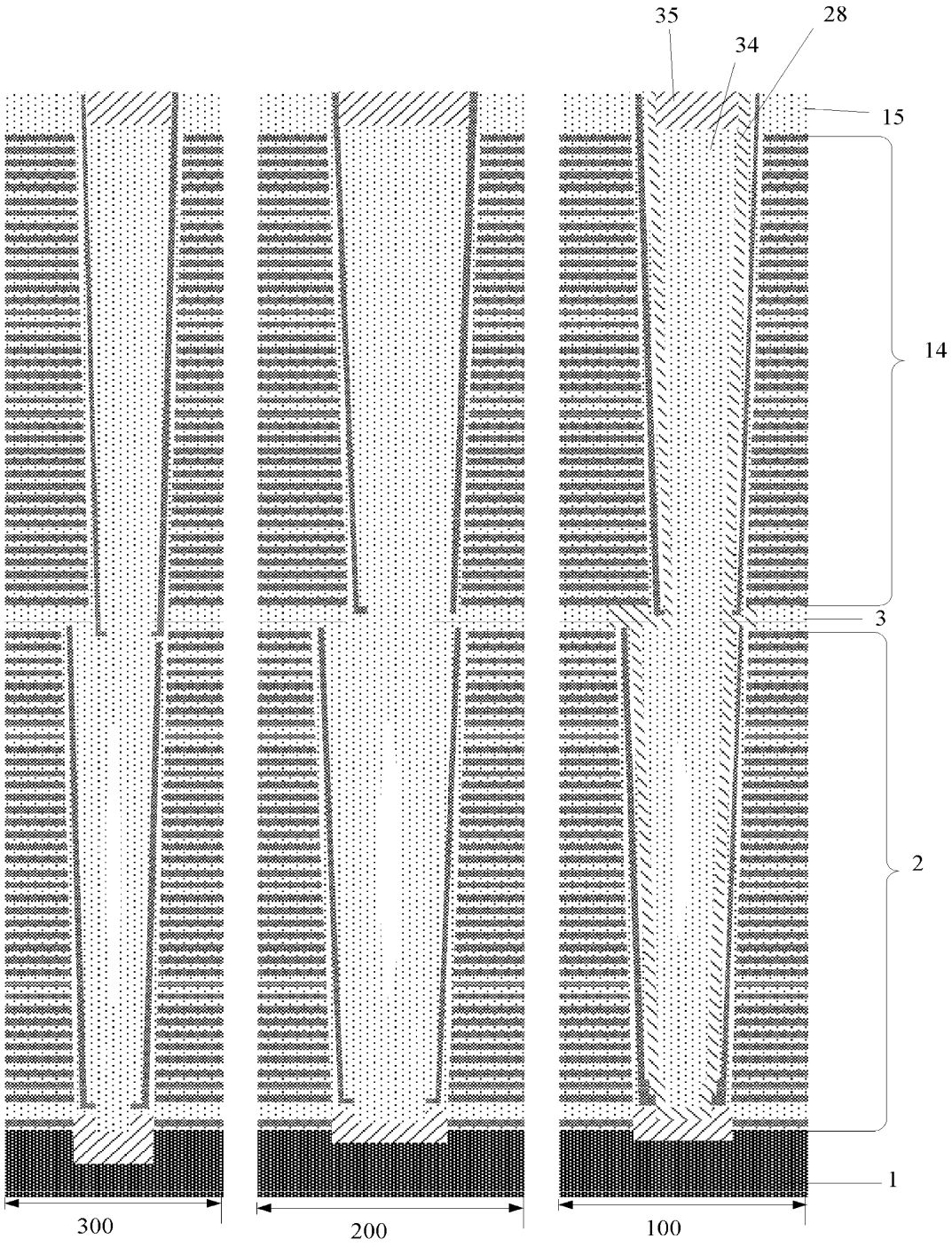


图 49

Micron Ex. 1002, p. 451
Micron v. YMTC
IPR2025-00294

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventors: LU *et al.*	Confirmation No.: 7612
Applicant:	Art Unit: 2811
Yangtze Memory Technologies Co., Ltd.	
Application No.: 16/046,847	Examiner: To Be Assigned
Filing Date: July 26, 2018	Atty. Docket: 4123.0110002

Title: **JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME**

Request for Corrected Official Filing Receipt

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Commissioner:

Applicant hereby requests that a corrected Official Filing Receipt be issued and sent to the undersigned representative. Specifically, it is noted that the word "opening" is misspelled in the title of the invention. The Official Filing Receipt should read:

Title

JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME

This error appears in the Application Data Sheet filed July 26, 2018. A corrected Application Data Sheet is provided.

Additionally, the date for foreign priority application CN 201710134782.1 is incorrect. The Application Data Sheet filed July 26, 2018, indicates the correct date of March 8, 2017, not March 6, 2017. The Official Filing Receipt should read:

Foreign Applications

CHINA 201710134782.1 03/08/2017 No Access Code Provided
CHINA 201710134783.6 03/08/2017 No Access Code Provided

In support of the above request, a marked-up copy of the instant Official Filing Receipt is enclosed to show the corrections. It is requested that a corrected Official Filing Receipt be issued, and sent to the undersigned at the earliest possible time.

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Donald J. Featherstone/

Donald J. Featherstone
Attorney for Applicant
Registration No. 33,876

Date: February 1, 2019

1100 New York Avenue, N.W.
Washington, D.C. 20005-3934
(202) 371-2600

10853760_1.docx

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING or 371(c) DATE	GRP ART UNIT	FIL FEE REC'D	ATTY.DOCKET.NO	TOT CLAIMS	IND CLAIMS
16/046,847	07/26/2018	2811	2280	4123.0110002	20	3

CONFIRMATION NO. 7612

UPDATED FILING RECEIPT

26111
STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.
1100 NEW YORK AVENUE, N.W.
WASHINGTON, DC 20005

OC000000104211482

Date Mailed: 12/05/2018

Receipt is acknowledged of this non-provisional patent application. The application will be taken up for examination in due course. Applicant will be notified as to the results of the examination. Any correspondence concerning the application must include the following identification information: the U.S. APPLICATION NUMBER, FILING DATE, NAME OF APPLICANT, and TITLE OF INVENTION. Fees transmitted by check or draft are subject to collection. Please verify the accuracy of the data presented on this receipt. **If an error is noted on this Filing Receipt, please submit a written request for a Filing Receipt Correction. Please provide a copy of this Filing Receipt with the changes noted thereon. If you received a "Notice to File Missing Parts" for this application, please submit any corrections to this Filing Receipt with your reply to the Notice. When the USPTO processes the reply to the Notice, the USPTO will generate another Filing Receipt incorporating the requested corrections**

Inventor(s)

Zhenyu LU, Wuhan, CHINA;
Wenguang SHI, Wuhan, CHINA;
Guanping WU, Wuhan, CHINA;
Feng PAN, Wuhan, CHINA;
Xianjin WAN, Wuhan, CHINA;
Baoyou CHEN, Wuhan, CHINA;

Applicant(s)

Yangtze Memory Technologies Co., Ltd., Wuhan, CHINA

Assignment For Published Patent Application

Yangtze Memory Technologies Co., Ltd., Wuhan, CHINA

Power of Attorney: The patent practitioners associated with Customer Number 26111

Domestic Priority data as claimed by applicant

This application is a CON of PCT/CN2018/077785 03/01/2018

Foreign Applications (You may be eligible to benefit from the **Patent Prosecution Highway** program at the USPTO. Please see http://www.uspto.gov for more information.)
CHINA 201710134782.1 ~~03/08/2017~~ No Access Code Provided 03/08/2017
CHINA 201710134783.6 03/08/2017 No Access Code Provided

Permission to Access Application via Priority Document Exchange: Yes

Permission to Access Search Results: Yes

Micron Ex. 1002, p. 454
Micron v. YMTC
IPR2025-00294

Applicant may provide or rescind an authorization for access using Form PTO/SB/39 or Form PTO/SB/69 as appropriate.

Request to Retrieve - This application either claims priority to one or more applications filed in an intellectual property Office that participates in the Priority Document Exchange (PDX) program or contains a proper **Request to Retrieve Electronic Priority Application(s)** (PTO/SB/38 or its equivalent). Consequently, the USPTO will attempt to electronically retrieve these priority documents.

If Required, Foreign Filing License Granted: 08/29/2018

The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is **US 16/046,847**

Projected Publication Date: 03/14/2019

Non-Publication Request: No

Early Publication Request: No

Title

JOINT ~~OPENING~~ OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME

Preliminary Class

257

Statement under 37 CFR 1.55 or 1.78 for AIA (First Inventor to File) Transition Applications: No

PROTECTING YOUR INVENTION OUTSIDE THE UNITED STATES

Since the rights granted by a U.S. patent extend only throughout the territory of the United States and have no effect in a foreign country, an inventor who wishes patent protection in another country must apply for a patent in a specific country or in regional patent offices. Applicants may wish to consider the filing of an international application under the Patent Cooperation Treaty (PCT). An international (PCT) application generally has the same effect as a regular national patent application in each PCT-member country. The PCT process **simplifies** the filing of patent applications on the same invention in member countries, but **does not result** in a grant of "an international patent" and does not eliminate the need of applicants to file additional documents and fees in countries where patent protection is desired.

Almost every country has its own patent law, and a person desiring a patent in a particular country must make an application for patent in that country in accordance with its particular laws. Since the laws of many countries differ in various respects from the patent law of the United States, applicants are advised to seek guidance from specific foreign countries to ensure that patent rights are not lost prematurely.

Applicants also are advised that in the case of inventions made in the United States, the Director of the USPTO must issue a license before applicants can apply for a patent in a foreign country. The filing of a U.S. patent application serves as a request for a foreign filing license. The application's filing receipt contains further information and guidance as to the status of applicant's license for foreign filing.

Applicants may wish to consult the USPTO booklet, "General Information Concerning Patents" (specifically, the section entitled "Treaties and Foreign Patents") for more information on timeframes and deadlines for filing foreign

Micron Ex. 1002, p. 455
Micron v. YMTC
IPR2025-00294

patent applications. The guide is available either by contacting the USPTO Contact Center at 800-786-9199, or it can be viewed on the USPTO website at http://www.uspto.gov/web/offices/pac/doc/general/index.html.

For information on preventing theft of your intellectual property (patents, trademarks and copyrights), you may wish to consult the U.S. Government website, http://www.stopfakes.gov. Part of a Department of Commerce initiative, this website includes self-help "toolkits" giving innovators guidance on how to protect intellectual property in specific countries such as China, Korea and Mexico. For questions regarding patent enforcement issues, applicants may call the U.S. Government hotline at 1-866-999-HALT (1-866-999-4258).

LICENSE FOR FOREIGN FILING UNDER

Title 35, United States Code, Section 184

Title 37, Code of Federal Regulations, 5.11 & 5.15

GRANTED

The applicant has been granted a license under 35 U.S.C. 184, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" followed by a date appears on this form. Such licenses are issued in all applications where the conditions for issuance of a license have been met, regardless of whether or not a license may be required as set forth in 37 CFR 5.15. The scope and limitations of this license are set forth in 37 CFR 5.15(a) unless an earlier license has been issued under 37 CFR 5.15(b). The license is subject to revocation upon written notification. The date indicated is the effective date of the license, unless an earlier license of similar scope has been granted under 37 CFR 5.13 or 5.14.

This license is to be retained by the licensee and may be used at any time on or after the effective date thereof unless it is revoked. This license is automatically transferred to any related applications(s) filed under 37 CFR 1.53(d). This license is not retroactive.

The grant of a license does not in any way lessen the responsibility of a licensee for the security of the subject matter as imposed by any Government contract or the provisions of existing laws relating to espionage and the national security or the export of technical data. Licensees should apprise themselves of current regulations especially with respect to certain countries, of other agencies, particularly the Office of Defense Trade Controls, Department of State (with respect to Arms, Munitions and Implements of War (22 CFR 121-128)); the Bureau of Industry and Security, Department of Commerce (15 CFR parts 730-774); the Office of Foreign AssetsControl, Department of Treasury (31 CFR Parts 500+) and the Department of Energy.

NOT GRANTED

No license under 35 U.S.C. 184 has been granted at this time, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" DOES NOT appear on this form. Applicant may still petition for a license under 37 CFR 5.12, if a license is desired before the expiration of 6 months from the filing date of the application. If 6 months has lapsed from the filing date of this application and the licensee has not received any indication of a secrecy order under 35 U.S.C. 181, the licensee may foreign file the application pursuant to 37 CFR 5.15(b).

Micron Ex. 1002, p. 456
Micron v. YMTC
IPR2025-00294

SelectUSA

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation, and commercialization of new technologies. The U.S. offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to promote and facilitate business investment. SelectUSA provides information assistance to the international investor community; serves as an ombudsman for existing and potential investors; advocates on behalf of U.S. cities, states, and regions competing for global investment; and counsels U.S. economic development organizations on investment attraction best practices. To learn more about why the United States is the best country in the world to develop technology, manufacture products, deliver services, and grow your business, visit http://www.SelectUSA.gov or call +1-202-482-6800.

Micron Ex. 1002, p. 457
Micron v. YMTC
IPR2025-00294

PTO/AIA/14 (02-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76 OPENING	Attorney Docket Number	4123.0110002
	Application Number	16/046,847
Title of Invention	JOINT ~~OPENNING~~ STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME	

The application data sheet is part of the provisional or nonprovisional application for which it is being submitted. The following form contains the bibliographic data arranged in a format specified by the United States Patent and Trademark Office as outlined in 37 CFR 1.76
This document may be completed electronically and submitted to the Office in electronic format using the Electronic Filing System (EFS) or the document may be printed and included in a paper filed application.

Secrecy Order 37 CFR 5.2:

☐ Portions or all of the application associated with this Application Data Sheet may fall under a Secrecy Order pursuant to 37 CFR 5.2 (Paper filers only. Applications that fall under Secrecy Order may not be filed electronically.)

Inventor Information:

Inventor 1 Remove

Legal Name

Prefix	Given Name	Middle Name	Family Name	Suffix
	Zhenyu		LU	

Residence Information (Select One) ○ US Residency ◉ Non US Residency ○ Active US Military Service

City	Wuhan, Hubei	Country of Residence [i]	CN

Mailing Address of Inventor:

Address 1	Yangtze Memory Technologies Co., Ltd.
Address 2	18 Gaoxin 4th Road, East Lake High-Tech Dev. Zone

City	Wuhan, Hubei	State/Province	
Postal Code	430074	**Country** [i]	CN

Inventor 2 Remove

Legal Name

Prefix	Given Name	Middle Name	Family Name	Suffix
	Wenguang		SHI	

Residence Information (Select One) ○ US Residency ◉ Non US Residency ○ Active US Military Service

City	Wuhan, Hubei	Country of Residence [i]	CN

Mailing Address of Inventor:

Address 1	Yangtze Memory Technologies Co., Ltd.
Address 2	18 Gaoxin 4th Road, East Lake High-Tech Dev. Zone

City	Wuhan, Hubei	State/Province	
Postal Code	430074	**Country** [i]	CN

Inventor 3 Remove

Legal Name

Micron Ex. 1002, p. 458
Micron v. YMTC
IPR2025-00294

FTO/AIA/14 (02-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76 OPENING	Attorney Docket Number	4123.0110002
	Application Number	16/046,847
Title of Invention	JOINT ~~OPENING~~ STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME	

Prefix	Given Name	Middle Name	Family Name	Suffix
	Guanping		WU	

Residence Information (Select One) ○ US Residency ◉ Non US Residency ○ Active US Military Service

City	Wuhan, Hubei	Country of Residence[i]	CN

Mailing Address of Inventor:

Address 1	Yangtze Memory Technologies Co., Ltd.		
Address 2	18 Gaoxin 4th Road, East Lake High-Tech Dev. Zone		
City	Wuhan, Hubei	State/Province	
Postal Code	430074	Country[i]	CN

Inventor 4 Remove

Legal Name

Prefix	Given Name	Middle Name	Family Name	Suffix
	Feng		PAN	

Residence Information (Select One) ○ US Residency ◉ Non US Residency ○ Active US Military Service

City	Wuhan, Hubei	Country of Residence[i]	CN

Mailing Address of Inventor:

Address 1	Yangtze Memory Technologies Co., Ltd.		
Address 2	18 Gaoxin 4th Road, East Lake High-Tech Dev. Zone		
City	Wuhan, Hubei	State/Province	
Postal Code	430074	Country[i]	CN

Inventor 5 Remove

Legal Name

Prefix	Given Name	Middle Name	Family Name	Suffix
	Xianjin		WAN	

Residence Information (Select One) ○ US Residency ◉ Non US Residency ○ Active US Military Service

City	Wuhan, Hubei	Country of Residence[i]	CN

Mailing Address of Inventor:

Address 1	Yangtze Memory Technologies Co., Ltd.		
Address 2	18 Gaoxin 4th Road, East Lake High-Tech Dev. Zone		
City	Wuhan, Hubei	State/Province	
Postal Code	430074	Country[i]	CN

Micron Ex. 1002, p. 459
Micron v. YMTC
IPR2025-00294

FTO/AIA/14 (02-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76 OPENING	Attorney Docket Number	4123.0110002
	Application Number	16/046,847
Title of Invention	JOINT ~~OPENNING~~ STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME	

Inventor 6 Remove

Legal Name

Prefix	Given Name	Middle Name	Family Name	Suffix
	Baoyou		CHEN	

Residence Information (Select One) ○ US Residency ◉ Non US Residency ○ Active US Military Service

City	Wuhan, Hubei	Country of Residence i	CN

Mailing Address of Inventor:

Address 1	Yangtze Memory Technologies Co., Ltd.		
Address 2	18 Gaoxin 4th Road, East Lake High-Tech Dev. Zone		
City	Wuhan, Hubei	State/Province	
Postal Code	430074	Country i	CN

All Inventors Must Be Listed - Additional Inventor Information blocks may be generated within this form by selecting the **Add** button. Add

Correspondence Information:

Enter either Customer Number or complete the Correspondence Information section below.
For further information see 37 CFR 1.33(a).

☐ **An Address is being provided for the correspondence Information of this application.**

Customer Number	26111		
Email Address		Add Email	Remove Email

Application Information:

OPENING

Title of the Invention	JOINT ~~OPENNING~~ STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME		
Attorney Docket Number	4123.0110002	Small Entity Status Claimed	☐
Application Type	Nonprovisional		
Subject Matter	Utility		
Total Number of Drawing Sheets (if any)	120	Suggested Figure for Publication (if any)	

Micron Ex. 1002, p. 460
Micron v. YMTC
IPR2025-00294

PTO/AIA/14 (02-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76 OPENING	Attorney Docket Number	4123.0110002
	Application Number	16/046,847
Title of Invention	JOINT ~~OPENING~~ STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME	

Filing By Reference:

Only complete this section when filing an application by reference under 35 U.S.C. 111(c) and 37 CFR 1.57(a). Do not complete this section if application papers including a specification and any drawings are being filed. Any domestic benefit or foreign priority information must be provided in the appropriate section(s) below (i.e., "Domestic Benefit/National Stage Information" and "Foreign Priority Information").

For the purposes of a filing date under 37 CFR 1.53(b), the description and any drawings of the present application are replaced by this reference to the previously filed application, subject to conditions and requirements of 37 CFR 1.57(a).

Application number of the previously filed application	Filing date (YYYY-MM-DD)	Intellectual Property Authority or Country

Publication Information:

☐ Request Early Publication (Fee required at time of Request 37 CFR 1.219)

☐ **Request Not to Publish.** I hereby request that the attached application not be published under 35 U.S.C. 122(b) and certify that the invention disclosed in the attached application **has not and will not** be the subject of an application filed in another country, or under a multilateral international agreement, that requires publication at eighteen months after filing.

Representative Information:

Representative information should be provided for all practitioners having a power of attorney in the application. Providing this information in the Application Data Sheet does not constitute a power of attorney in the application (see 37 CFR 1.32).
Either enter Customer Number or complete the Representative Name section below. If both sections are completed the customer Number will be used for the Representative Information during processing.

Please Select One:	◉ Customer Number	○ US Patent Practitioner	○ Limited Recognition (37 CFR 11.9)
Customer Number	26111		

Domestic Benefit/National Stage Information:

This section allows for the applicant to either claim benefit under 35 U.S.C. 119(e), 120, 121, 365(c), or 386(c) or indicate National Stage entry from a PCT application. Providing benefit claim information in the Application Data Sheet constitutes the specific reference required by 35 U.S.C. 119(e) or 120, and 37 CFR 1.78.
When referring to the current application, please leave the "Application Number" field blank.

Prior Application Status	Pending		Remove
Application Number	Continuity Type	Prior Application Number	Filing or 371(c) Date (YYYY-MM-DD)
	Continuation of	PCT/CN2018/077785	2018-03-01

Additional Domestic Benefit/National Stage Data may be generated within this form by selecting the **Add** button.

Micron Ex. 1002, p. 461
Micron v. YMTC
IPR2025-00294

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	4123.0110002
	Application Number	16/046,847
Title of Invention	JOINT OPENNING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME	

Foreign Priority Information:

This section allows for the applicant to claim priority to a foreign application. Providing this information in the application data sheet constitutes the claim for priority as required by 35 U.S.C. 119(b) and 37 CFR 1.55. When priority is claimed to a foreign application that is eligible for retrieval under the priority document exchange program (PDX)[i] the information will be used by the Office to automatically attempt retrieval pursuant to 37 CFR 1.55(i)(1) and (2). Under the PDX program, applicant bears the ultimate responsibility for ensuring that a copy of the foreign application is received by the Office from the participating foreign intellectual property office, or a certified copy of the foreign priority application is filed, within the time period specified in 37 CFR 1.55(g)(1).

Remove

Application Number	Country[i]	Filing Date (YYYY-MM-DD)	Access Code[i] (if applicable)
201710134782.1	CN	2017-03-08	

Remove

Application Number	Country[i]	Filing Date (YYYY-MM-DD)	Access Code[i] (if applicable)
201710134783.6	CN	2017-03-08	

Additional Foreign Priority Data may be generated within this form by selecting the **Add** button.

Statement under 37 CFR 1.55 or 1.78 for AIA (First Inventor to File) Transition Applications

☐ This application (1) claims priority to or the benefit of an application filed before March 16, 2013 and (2) also contains, or contained at any time, a claim to a claimed invention that has an effective filing date on or after March 16, 2013.
NOTE: By providing this statement under 37 CFR 1.55 or 1.78, this application, with a filing date on or after March 16, 2013, will be examined under the first inventor to file provisions of the AIA.

Micron Ex. 1002, p. 462
Micron v. YMTC
IPR2025-00294

PTO/AIA/14 (02-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76 OPENING	Attorney Docket Number	4123.0110002
	Application Number	16/046,847
Title of Invention	JOINT ~~OPENING~~/STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME	

Authorization or Opt-Out of Authorization to Permit Access:

When this Application Data Sheet is properly signed and filed with the application, applicant has provided written authority to permit a participating foreign intellectual property (IP) office access to the instant application-as-filed (see paragraph A in subsection 1 below) and the European Patent Office (EPO) access to any search results from the instant application (see paragraph B in subsection 1 below).

Should applicant choose not to provide an authorization identified in subsection 1 below, applicant **must opt-out** of the authorization by checking the corresponding box A or B or both in subsection 2 below.

NOTE: This section of the Application Data Sheet is **ONLY** reviewed and processed with the **INITIAL** filing of an application. After the initial filing of an application, an Application Data Sheet cannot be used to provide or rescind authorization for access by a foreign IP office(s). Instead, Form PTO/SB/39 or PTO/SB/69 must be used as appropriate.

1. Authorization to Permit Access by a Foreign Intellectual Property Office(s)

A. Priority Document Exchange (PDX) - Unless box A in subsection 2 (opt-out of authorization) is checked, the undersigned hereby **grants the USPTO authority** to provide the European Patent Office (EPO), the Japan Patent Office (JPO), the Korean Intellectual Property Office (KIPO), the State Intellectual Property Office of the People's Republic of China (SIPO), the World Intellectual Property Organization (WIPO), and any other foreign intellectual property office participating with the USPTO in a bilateral or multilateral priority document exchange agreement in which a foreign application claiming priority to the instant patent application is filed, access to: (1) the instant patent application-as-filed and its related bibliographic data, (2) any foreign or domestic application to which priority or benefit is claimed by the instant application and its related bibliographic data, and (3) the date of filing of this Authorization. See 37 CFR 1.14(h)(1).

B. Search Results from U.S. Application to EPO - Unless box B in subsection 2 (opt-out of authorization) is checked, the undersigned hereby **grants the USPTO authority** to provide the EPO access to the bibliographic data and search results from the instant patent application when a European patent application claiming priority to the instant patent application is filed. See 37 CFR 1.14(h)(2).

The applicant is reminded that the EPO's Rule 141(1) EPC (European Patent Convention) requires applicants to submit a copy of search results from the instant application without delay in a European patent application that claims priority to the instant application.

2. Opt-Out of Authorizations to Permit Access by a Foreign Intellectual Property Office(s)

☐ A. Applicant **DOES NOT** authorize the USPTO to permit a participating foreign IP office access to the instant application-as-filed. If this box is checked, the USPTO will not be providing a participating foreign IP office with any documents and information identified in subsection 1A above.

☐ B. Applicant **DOES NOT** authorize the USPTO to transmit to the EPO any search results from the instant patent application. If this box is checked, the USPTO will not be providing the EPO with search results from the instant application.

NOTE: Once the application has published or is otherwise publicly available, the USPTO may provide access to the application in accordance with 37 CFR 1.14.

Micron Ex. 1002, p. 463
Micron v. YMTC
IPR2025-00294

PTO/AIA/14 (02-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76 OPENING	Attorney Docket Number	4123.0110002
	Application Number	16/046,847
Title of Invention	JOINT ~~OPENING~~ STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME	

Applicant Information:

Providing assignment information in this section does not substitute for compliance with any requirement of part 3 of Title 37 of CFR to have an assignment recorded by the Office.

Applicant 1

If the applicant is the inventor (or the remaining joint inventor or inventors under 37 CFR 1.45), this section should not be completed. The information to be provided in this section is the name and address of the legal representative who is the applicant under 37 CFR 1.43; or the name and address of the assignee, person to whom the inventor is under an obligation to assign the invention, or person who otherwise shows sufficient proprietary interest in the matter who is the applicant under 37 CFR 1.46. If the applicant is an applicant under 37 CFR 1.46 (assignee, person to whom the inventor is obligated to assign, or person who otherwise shows sufficient proprietary interest) together with one or more joint inventors, then the joint inventor or inventors who are also the applicant should be identified in this section.

Clear

○ Assignee	○ Legal Representative under 35 U.S.C. 117	○ Joint Inventor
◉ Person to whom the inventor is obligated to assign.	○ Person who shows sufficient proprietary interest	

If applicant is the legal representative, indicate the authority to file the patent application, the inventor is:

Name of the Deceased or Legally Incapacitated Inventor:

If the Applicant is an Organization check here. ☒

Organization Name	Yangtze Memory Technologies Co., Ltd.		
Mailing Address Information For Applicant:			
Address 1	18 Gaoxin 4th Road		
Address 2	East Lake High-Tech Development Zone		
City	Wuhan, Hubei	**State/Province**	
Country	CN	Postal Code	430074
Phone Number		Fax Number	
Email Address			

Additional Applicant Data may be generated within this form by selecting the Add button.

Assignee Information including Non-Applicant Assignee Information:

Providing assignment information in this section does not substitute for compliance with any requirement of part 3 of Title 37 of CFR to have an assignment recorded by the Office.

Micron Ex. 1002, p. 464
Micron v. YMTC
IPR2025-00294

PTO/AIA/14 (02-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76 OPENING	Attorney Docket Number	4123.0110002
	Application Number	16/046,847
Title of Invention	JOINT ~~OPENNING~~/STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME	

Assignee 1

Complete this section if assignee information, including non-applicant assignee information, is desired to be included on the patent application publication. An assignee-applicant identified in the "Applicant Information" section will appear on the patent application publication as an applicant. For an assignee-applicant, complete this section only if identification as an assignee is also desired on the patent application publication.

If the Assignee or Non-Applicant Assignee is an Organization check here. ☒

Organization Name	Yangtze Memory Technologies Co., Ltd.

Mailing Address Information For Assignee including Non-Applicant Assignee:

Address 1	16 Gaoxin 4th Road		
Address 2	East Lake High-Tech Development Zone		
City	Wuhan, Hubei	**State/Province**	
Country[i]	CN	Postal Code	430074
Phone Number		Fax Number	
Email Address			

Additional Assignee or Non-Applicant Assignee Data may be generated within this form by selecting the Add button.

Signature:

NOTE: This Application Data Sheet must be signed in accordance with 37 CFR 1.33(b). **However, if this Application Data Sheet is submitted with the INITIAL filing of the application and either box A or B is not checked in subsection 2 of the "Authorization or Opt-Out of Authorization to Permit Access" section, then this form must also be signed in accordance with 37 CFR 1.14(c).**

This Application Data Sheet **must** be signed by a patent practitioner if one or more of the applicants is a **juristic entity** (e.g., corporation or association). If the applicant is two or more joint inventors, this form must be signed by a patent practitioner, **all** joint inventors who are the applicant, or one or more joint inventor-applicants who have been given power of attorney (e.g., see USPTO Form PTO/AIA/81) on behalf of **all** joint inventor-applicants.

See 37 CFR 1.4(d) for the manner of making signatures and certifications.

Signature	/Donald J. Featherstone/			Date (YYYY-MM-DD)	2019-02-01
First Name	Donald	Last Name	Featherstone	Registration Number	33,876

Additional Signature may be generated within this form by selecting the Add button.

Micron Ex. 1002, p. 465
Micron v. YMTC
IPR2025-00294

Electronic Acknowledgement Receipt

EFS ID:	35028942
Application Number:	16046847
International Application Number:	
Confirmation Number:	7612
Title of Invention:	JOINT OPENNING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME
First Named Inventor/Applicant Name:	Zhenyu LU
Customer Number:	26111
Filer:	Donald J. Featherstone/Denise Bauckman
Filer Authorized By:	Donald J. Featherstone
Attorney Docket Number:	4123.0110002
Receipt Date:	01-FEB-2019
Filing Date:	26-JUL-2018
Time Stamp:	11:13:49
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Miscellaneous Incoming Letter	2019-02-01-Miscellaneous-Letter-4123-0110002.pdf	235843 f24f1da3648da4bf9f3412c51740d1b03bbbb467	no	2

Warnings:

Information:					
2	Oath or Declaration filed	2019-02-01-PAN-Subtitute-Statement-in-Lieu-of-Declaration-4123-0110002.pdf	2685510 4841fb73f5cacbd5dbd9fe1b6420b3a99c81d2eb	no	2
Warnings:					
Information:					
3	Request for Corrected Filing Receipt	2019-02-01-Request-Corrected-OFR-4123-0110002.pdf	4601540 d2066bb4b05b466c5d90329be3ac1fcd5d8e26ce	no	6
Warnings:					
Information:					
4	Application Data Sheet	2019-02-01-Updated-ADS-4123-0110002.pdf	2881202 8f062fc17276ba1b0ea690d6bc084b3b9e624c06	no	8
Warnings:					
Information:					
This is not an USPTO supplied ADS fillable form					
		Total Files Size (in bytes):	10404095		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

DONALD J. FEATHERSTONE
DIRECTOR
(202) 772-8629
DONF@STERNEKESSLER.COM

February 1, 2019

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Confirmation No. 7612
Art Unit 2811
Attn: Mail Stop Amendment

Re: U.S. Utility Patent Application
Appl. No. 16/046,847; Filing Date: July 26, 2018
For: **JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME**
Inventors: LU *et al.*
Our Ref: 4123.0110002

Commissioner:

Transmitted herewith for appropriate action are the following documents:

1. Substitute Statement in Lieu of an Oath or Declaration for Utility or Design Patent Application (35 U.S.C. 115(d) and 37 CFR 1.64), on behalf of Feng PAN;

2. Request for Corrected Official Filing Receipt, with copy of instant Official Filing Receipt marked with corrections to be made; and

3. An updated Application Data Sheet.

The above-listed documents are filed electronically.

In the event that extensions of time are necessary to prevent abandonment of this patent application, then such extensions of time are hereby petitioned.

Micron Ex. 1002, p. 468
Micron v. YMTC
IPR2025-00294

The U.S. Patent and Trademark Office is hereby authorized to charge any fee deficiency and any additional fees required to continue prosecution or appeal of this application (including issue fee, fees for net addition of claims or forwarding to appeal) or credit any overpayment to our Deposit Account No. 19-0036.

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Donald J. Featherstone/

Donald J. Featherstone
Attorney for Applicant
Registration No. 33,876

DJF/W-S/dab
10860378_1.docx
Enclosures

Micron Ex. 1002, p. 469
Micron v. YMTC
IPR2025-00294

Doc code: Oath
Document Description: Oath or declaration filed

Attorney Docket No. 4123.0110002

PTO/AIA/02 (07-13)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

SUBSTITUTE STATEMENT IN LIEU OF AN OATH OR DECLARATION FOR UTILITY OR DESIGN PATENT APPLICATION (35 U.S.C. 115(d) AND 37 CFR 1.64)

Title of Invention	THROUGH ARRAY CONTACT STRUCTURE OF THREE-DIMENSIONAL MEMORY DEVICE

This statement is directed to:

☐ The attached application,

OR

☒ United States application or PCT international application number 16/046,847 filed on July 26, 2018

LEGAL NAME of inventor to whom this substitute statement applies:

(*E.g.*, Given Name (first and middle (if any)) and Family Name or Surname)

Feng PAN

Residence (except for a deceased or legally incapacitated inventor):

City	State	Country
Wuhan, Hubei		CN

Mailing Address (except for a deceased or legally incapacitated inventor):

Yangtze Memory Technologies Co., Ltd.
18 Gaoxin 4th Road, East Lake High-Tech Development Zone

City	State	Zip	Country
Wuhan, Hubei			CN

I believe the above-named inventor or joint inventor to be the original inventor or an original joint inventor of a claimed invention in the application.

The above-identified application was made or authorized to be made by me.

I hereby acknowledge that any willful false statement made in this statement is punishable under 18 U.S.C. 1001 by fine or imprisonment of not more than five (5) years, or both.

Relationship to the inventor to whom this substitute statement applies:

- ☐ Legal Representative (for deceased or legally incapacitated inventor only),
- ☐ Assignee,
- ☒ Person to whom the inventor is under an obligation to assign,
- ☐ Person who otherwise shows a sufficient proprietary interest in the matter (petition under 37 CFR 1.46 is required), or
- ☐ Joint Inventor.

This collection of information is required by 35 U.S.C. 115 and 37 CFR 1.63. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 1 minute to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

18B4285-000A46B-10.18.41.34
32766-14/11/2018 09:24

Micron Ex. 1002, p. 470
Micron v. YMTC
IPR2025-00294

PTO/SB/AIA02 (07-13)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

SUBSTITUTE STATEMENT

Circumstances permitting execution of this substitute statement:

- ☐ Inventor is deceased,
- ☐ Inventor is under legal incapacity,
- ☒ Inventor cannot be found or reached after diligent effort, or
- ☐ Inventor has refused to execute the oath or declaration under 37 CFR 1.63.

If there are joint inventors, please check the appropriate box below:

- ☒ An application data sheet under 37 CFR 1.76 (PTO/AIA/14 or equivalent) naming the entire inventive entity has been or is currently submitted.

OR

- ☐ An application data sheet under 37 CFR 1.76 (PTO/AIA/14 or equivalent) has not been submitted. Thus, a Substitute Statement Supplemental Sheet (PTO/AIA/11 or equivalent) naming the entire inventive entity and providing inventor information is attached. See 37 CFR 1.64(b).

WARNING:

Petitioner/applicant is cautioned to avoid submitting personal information in documents filed in a patent application that may contribute to identity theft. Personal information such as social security numbers, bank account numbers, or credit card numbers (other than a check or credit card authorization form PTO-2038 submitted for payment purposes) is never required by the USPTO to support a petition or an application. If this type of personal information is included in documents submitted to the USPTO, petitioners/applicants should consider redacting such personal information from the documents before submitting them to the USPTO. Petitioner/applicant is advised that the record of a patent application is available to the public after publication of the application (unless a non-publication request in compliance with 37 CFR 1.213(a) is made in the application) or issuance of a patent. Furthermore, the record from an abandoned application may also be available to the public if the application is referenced in a published application or an issued patent (see 37 CFR 1.14). Checks and credit card authorization forms PTO-2038 submitted for payment purposes are not retained in the application file and therefore are not publicly available.

PERSON EXECUTING THIS SUBSTITUTE STATEMENT:

Name: Yu-wen Wang | Date (Optional):

Signature:

APPLICANT NAME AND TITLE OF PERSON EXECUTING THIS SUBSTITUTE STATEMENT:

If the applicant is a juristic entity, list the applicant name and the title of the signer:

Applicant Name: Yangtze Memory Technologies Co., Ltd.

Title of Person Executing This Substitute Statement: Assistant Director

The signer, whose title is supplied above, is authorized to act on behalf of the applicant.

Residence of the signer (unless provided in an application data sheet, PTO/AIA/14 or equivalent):

City Washington | State DC | Country US

Mailing Address of the signer (unless provided in an application data sheet, PTO/AIA/14 or equivalent)

1100 New York Avenue, NW

City Washington | State DC | Zip 20005 | Country US

Note: Use an additional PTO/AIA/02 form for each inventor who is deceased, legally incapacitated, cannot be found or reached after diligent effort, or has refused to execute the oath or declaration under 37 CFR 1.63.

18B4285-060A06B2-10.18.41.34
32766-14/11/2018 09:24

Micron Ex. 1002, p. 471
Micron v. YMTC
IPR2025-00294

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING or 371(c) DATE	GRP ART UNIT	FIL FEE REC'D	ATTY.DOCKET.NO	TOT CLAIMS	IND CLAIMS
16/046,847	07/26/2018	2811	2280	4123.0110002	20	3

CONFIRMATION NO. 7612

CORRECTED FILING RECEIPT

26111
STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.
1100 NEW YORK AVENUE, N.W.
WASHINGTON, DC 20005



Date Mailed: 02/07/2019

Receipt is acknowledged of this non-provisional patent application. The application will be taken up for examination in due course. Applicant will be notified as to the results of the examination. Any correspondence concerning the application must include the following identification information: the U.S. APPLICATION NUMBER, FILING DATE, NAME OF APPLICANT, and TITLE OF INVENTION. Fees transmitted by check or draft are subject to collection. Please verify the accuracy of the data presented on this receipt. **If an error is noted on this Filing Receipt, please submit a written request for a Filing Receipt Correction. Please provide a copy of this Filing Receipt with the changes noted thereon. If you received a "Notice to File Missing Parts" for this application, please submit any corrections to this Filing Receipt with your reply to the Notice. When the USPTO processes the reply to the Notice, the USPTO will generate another Filing Receipt incorporating the requested corrections**

Inventor(s)

Zhenyu LU, Wuhan, CHINA;
Wenguang SHI, Wuhan, CHINA;
Guanping WU, Wuhan, CHINA;
Feng PAN, Wuhan, CHINA;
Xianjin WAN, Wuhan, CHINA;
Baoyou CHEN, Wuhan, CHINA;

Applicant(s)

Yangtze Memory Technologies Co., Ltd., Wuhan, CHINA

Assignment For Published Patent Application

Yangtze Memory Technologies Co., Ltd., Wuhan, CHINA

Power of Attorney: The patent practitioners associated with Customer Number 26111

Domestic Priority data as claimed by applicant

This application is a CON of PCT/CN2018/077785 03/01/2018

Foreign Applications (You may be eligible to benefit from the **Patent Prosecution Highway** program at the USPTO. Please see http://www.uspto.gov for more information.)
CHINA 201710134782.1 03/08/2017 No Access Code Provided
CHINA 201710134783.6 03/08/2017 No Access Code Provided

Permission to Access Application via Priority Document Exchange: Yes

Permission to Access Search Results: Yes

Micron Ex. 1002, p. 472
Micron v. YMTC
IPR2025-00294

Applicant may provide or rescind an authorization for access using Form PTO/SB/39 or Form PTO/SB/69 as appropriate.

Request to Retrieve - This application either claims priority to one or more applications filed in an intellectual property Office that participates in the Priority Document Exchange (PDX) program or contains a proper **Request to Retrieve Electronic Priority Application(s)** (PTO/SB/38 or its equivalent). Consequently, the USPTO will attempt to electronically retrieve these priority documents.

If Required, Foreign Filing License Granted: 08/29/2018

The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is **US 16/046,847**

Projected Publication Date: 03/14/2019

Non-Publication Request: No

Early Publication Request: No

Title

JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME

Preliminary Class

257

Statement under 37 CFR 1.55 or 1.78 for AIA (First Inventor to File) Transition Applications: No

PROTECTING YOUR INVENTION OUTSIDE THE UNITED STATES

Since the rights granted by a U.S. patent extend only throughout the territory of the United States and have no effect in a foreign country, an inventor who wishes patent protection in another country must apply for a patent in a specific country or in regional patent offices. Applicants may wish to consider the filing of an international application under the Patent Cooperation Treaty (PCT). An international (PCT) application generally has the same effect as a regular national patent application in each PCT-member country. The PCT process **simplifies** the filing of patent applications on the same invention in member countries, but **does not result** in a grant of "an international patent" and does not eliminate the need of applicants to file additional documents and fees in countries where patent protection is desired.

Almost every country has its own patent law, and a person desiring a patent in a particular country must make an application for patent in that country in accordance with its particular laws. Since the laws of many countries differ in various respects from the patent law of the United States, applicants are advised to seek guidance from specific foreign countries to ensure that patent rights are not lost prematurely.

Applicants also are advised that in the case of inventions made in the United States, the Director of the USPTO must issue a license before applicants can apply for a patent in a foreign country. The filing of a U.S. patent application serves as a request for a foreign filing license. The application's filing receipt contains further information and guidance as to the status of applicant's license for foreign filing.

Applicants may wish to consult the USPTO booklet, "General Information Concerning Patents" (specifically, the section entitled "Treaties and Foreign Patents") for more information on timeframes and deadlines for filing foreign

Micron Ex. 1002, p. 473
Micron v. YMTC
IPR2025-00294

patent applications. The guide is available either by contacting the USPTO Contact Center at 800-786-9199, or it can be viewed on the USPTO website at http://www.uspto.gov/web/offices/pac/doc/general/index.html.

For information on preventing theft of your intellectual property (patents, trademarks and copyrights), you may wish to consult the U.S. Government website, http://www.stopfakes.gov. Part of a Department of Commerce initiative, this website includes self-help "toolkits" giving innovators guidance on how to protect intellectual property in specific countries such as China, Korea and Mexico. For questions regarding patent enforcement issues, applicants may call the U.S. Government hotline at 1-866-999-HALT (1-866-999-4258).

LICENSE FOR FOREIGN FILING UNDER

Title 35, United States Code, Section 184

Title 37, Code of Federal Regulations, 5.11 & 5.15

GRANTED

The applicant has been granted a license under 35 U.S.C. 184, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" followed by a date appears on this form. Such licenses are issued in all applications where the conditions for issuance of a license have been met, regardless of whether or not a license may be required as set forth in 37 CFR 5.15. The scope and limitations of this license are set forth in 37 CFR 5.15(a) unless an earlier license has been issued under 37 CFR 5.15(b). The license is subject to revocation upon written notification. The date indicated is the effective date of the license, unless an earlier license of similar scope has been granted under 37 CFR 5.13 or 5.14.

This license is to be retained by the licensee and may be used at any time on or after the effective date thereof unless it is revoked. This license is automatically transferred to any related applications(s) filed under 37 CFR 1.53(d). This license is not retroactive.

The grant of a license does not in any way lessen the responsibility of a licensee for the security of the subject matter as imposed by any Government contract or the provisions of existing laws relating to espionage and the national security or the export of technical data. Licensees should apprise themselves of current regulations especially with respect to certain countries, of other agencies, particularly the Office of Defense Trade Controls, Department of State (with respect to Arms, Munitions and Implements of War (22 CFR 121-128)); the Bureau of Industry and Security, Department of Commerce (15 CFR parts 730-774); the Office of Foreign AssetsControl, Department of Treasury (31 CFR Parts 500+) and the Department of Energy.

NOT GRANTED

No license under 35 U.S.C. 184 has been granted at this time, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" DOES NOT appear on this form. Applicant may still petition for a license under 37 CFR 5.12, if a license is desired before the expiration of 6 months from the filing date of the application. If 6 months has lapsed from the filing date of this application and the licensee has not received any indication of a secrecy order under 35 U.S.C. 181, the licensee may foreign file the application pursuant to 37 CFR 5.15(b).

Micron Ex. 1002, p. 474
Micron v. YMTC
IPR2025-00294

SelectUSA

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation, and commercialization of new technologies. The U.S. offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to promote and facilitate business investment. SelectUSA provides information assistance to the international investor community; serves as an ombudsman for existing and potential investors; advocates on behalf of U.S. cities, states, and regions competing for global investment; and counsels U.S. economic development organizations on investment attraction best practices. To learn more about why the United States is the best country in the world to develop technology, manufacture products, deliver services, and grow your business, visit http://www.SelectUSA.gov or call +1-202-482-6800.

Micron Ex. 1002, p. 475
Micron v. YMTC
IPR2025-00294

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
16/046,847	07/26/2018	Zhenyu LU	4123.0110002

CONFIRMATION NO. 7612

26111
STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.
1100 NEW YORK AVENUE, N.W.
WASHINGTON, DC 20005

PUBLICATION NOTICE

OC000000106584817

Title:JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME

Publication No.US-2019-0081060-A1
Publication Date:03/14/2019

NOTICE OF PUBLICATION OF APPLICATION

The above-identified application will be electronically published as a patent application publication pursuant to 37 CFR 1.211, et seq. The patent application publication number and publication date are set forth above.

The publication may be accessed through the USPTO's publically available Searchable Databases via the Internet at www.uspto.gov. The direct link to access the publication is currently http://www.uspto.gov/patft/.

The publication process established by the Office does not provide for mailing a copy of the publication to applicant. A copy of the publication may be obtained from the Office upon payment of the appropriate fee set forth in 37 CFR 1.19(a)(1). Orders for copies of patent application publications are handled by the USPTO's Public Records Division. The Public Records Division can be reached by telephone at (571) 272-3150 or (800) 972-6382, by facsimile at (571) 273-3250, by mail addressed to the United States Patent and Trademark Office, Public Records Division, Alexandria, VA 22313-1450 or via the Internet.

In addition, information on the status of the application, including the mailing date of Office actions and the dates of receipt of correspondence filed in the Office, may also be accessed via the Internet through the Patent Electronic Business Center at www.uspto.gov using the public side of the Patent Application Information and Retrieval (PAIR) system. The direct link to access this status information is currently https://portal.uspto.gov/pair/PublicPair. Prior to publication, such status information is confidential and may only be obtained by applicant using the private side of PAIR.

Further assistance in electronically accessing the publication, or about PAIR, is available by calling the Patent Electronic Business Center at 1-866-217-9197.

Office of Data Managment, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101

Micron Ex. 1002, p. 476
Micron v. YMTC
IPR2025-00294

PTO/SB/08a (07-09)
Approved for use through 11/30/2020. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 1

Complete if Known	
Application Number	16/046,847
Filing Date	July 26, 2018
First Named Inventor	Lu et al.
Art Unit	2811
Examiner Name	GURLEY, LYNNE ANN
Attorney Docket Number	4123.0110002

U. S. PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Document Number Number-Kind Code[2] *(if known)*	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	1	US- 2010/0019310 A1	01-28-2010	Sakamoto	
	2	US- 2010/0109065 A1	05-06-2010	Oh et al.	
	3	US- 2011/0151667 A1	06-23-2011	Hwang et al.	
	4	US- 2013/0203227 A1	08-08-2013	Huo et al.	
	5	US- 2015/0236038 A1	08-20-2015	Pachamuthu et al.	
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Foreign Patent Document Country Code[3] Number[4] Kind Code[5] *(if known)*	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages Or Relevant Figures Appear	T[6]
	FP1	CN-102543877-A	07-04-2012	INST OF MICROELECTRONICS		
	FP2	CN-105304612-A	02-03-2016	MACRONIX INT CO LTD		✓
	FP3	CN-105374826-A	03-02-2016	INST MICROELECTRONICS CAS		✓
	FP4	CN-106653684-A	05-10-2017	YANGTZE MEMORY TECH CO LT		✓
	FP5	CN-106920772-A	07-04-2017	YANGTZE MEMORY TECH CO LT		✓

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. [1] Applicant's unique citation designation number (optional). [2] See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. [3] Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). [4] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [6] Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

PTO/SB/08b (07-09)
Approved for use through 11/30/2020. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 1

Complete if Known	
Application Number	16/046,847
Filing Date	July 26,2018
First Named Inventor	Lu et al.
Art Unit	2811
Examiner Name	GURLEY, LYNNE ANN
Attorney Docket Number	4123.0110002

NON PATENT LITERATURE DOCUMENTS

Examiner Initials*	Cite No.[1]	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	T[2]
	NPL1	International Search Report and Written Opinion of the International Searching Authority directed to related International Patent Application No. PCT/CN2018/077785, mailed June 8, 2018; 7 pages.	

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

[1] Applicant's unique citation designation number (optional). [2] Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 102543877 A
(43)申请公布日 2012.07.04

(21)申请号 201010611894.X

(22)申请日 2010.12.29

(71)申请人 中国科学院微电子研究所
地址 100029 北京市朝阳区北土城西路3号

(72)发明人 霍宗亮 刘明

(74)专利代理机构 中科专利商标代理有限责任公司 11021
代理人 宋焰琴

(51)Int.Cl.
H01L 21/8239(2006.01)
H01L 21/768(2006.01)
H01L 45/00(2006.01)

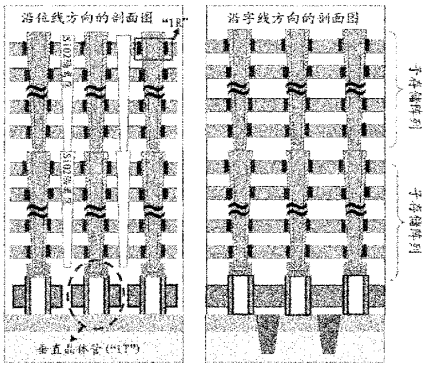
权利要求书 2 页 说明书 6 页 附图 5 页

(54)发明名称

制备三维半导体存储器件的方法

(57)摘要

制备三维半导体存储器件的方法。本发明提出的将整个存储阵列转变为多个子存储阵列，改变多层阻变单元结构在下电极通孔刻蚀时候的一次刻蚀方式为各个子存储阵列的各自通孔刻蚀方式，通过通孔金属材料回填达到各个子存储阵列的相互连接。这种方案将明显降低在高密度集成过程中刻蚀工艺的工艺复杂性和难度，能够扩展整个存储阵列的阻变单元的集成层数。



CN 102543877 A

Micron Ex. 1002, p. 479
Micron v. YMTC
IPR2025-00294

1. 一种制备三维半导体存储器件的方法，其特征在于，包括：

步骤 A：在衬底上制备访问晶体管；

步骤 B：在所述访问晶体管上形成由多个垂直环状阻变单元组成的第一子存储阵列，包括：

交替沉积多层的隔绝层和牺牲层；

通孔刻蚀定义垂直环状阻变单元的下电极区域，所述下电极区域向下连接所述访问晶体管的漏极；

在通孔区域沉积所述第一子存储阵列的下电极；

进行绝缘介质层沉积；

步骤 C：在所述第一子存储阵列上形成由多个垂直环状阻变单元组成的第二子存储阵列，包括：

沉积多层的隔绝层和牺牲层；

通孔刻蚀定义下电极区域，所述下电极区域向下至所述第一子存储阵列的下电极；

在通孔区域沉积所述第二子存储阵列的下电极，所述第二子存储阵列的下电极与所述第一子存储阵列的下电极相连通；

进行绝缘介质层沉积。

2. 根据权利要求 1 所述的制备三维半导体存储器件的方法，其特征在于，在所述步骤 C 之后还包括：重复所述步骤 C，在第 N-1 子存储阵列上形成第 N 子存储阵列。

3. 根据权利要求 2 所述的制备三维半导体存储器件的方法，其特征在于，在步骤 B 之前还包括：

由所述通孔的纵深比和所述垂直环状阻变单元的高度，确定各子存储阵列中垂直环状阻变单元的层数；

由所述垂直环状阻变单元的层数确定牺牲层的层数。

4. 根据权利要求 1 所述的制备三维半导体存储器件的方法，其特征在于：

所述在步骤 B 和步骤 C 中，所述进行绝缘介质层沉积之前还包括：移 去牺牲层；在所述移去牺牲层的位置形成垂直环状阻变单元的阻变功能层和上电极，回刻完成垂直环状阻变单元间隔离。

5. 根据权利要求 4 所述的制备三维半导体存储器件的方法，其特征在于：

所述在步骤 B 中，移去牺牲层之前还包括：进行第一子存储阵列的字线刻蚀；

所述在步骤 C 中，移去牺牲层之前还包括：进行第二子存储阵列的字线刻蚀，所述刻蚀停止于所述第一子存储阵列的绝缘介质层。

6. 根据权利要求 1 所述的制备三维半导体存储器件的方法，其特征在于：

所述在步骤 C 中，移去牺牲层之前还可以包括：统一进行多个子存储阵列的字线刻蚀。

7. 根据权利要求 6 所述的制备三维半导体存储器件的方法，其特征在于：

所述在步骤 C 中，所述进行绝缘介质层沉积之前，在进行子存储阵列字线刻蚀之后，还包括：移去在所述步骤 B 和步骤 C 中形成的牺牲层；在所述移去牺牲层的位置形成垂直环状阻变单元的阻变功能层和上电极，回刻完成垂直环状阻变单元间隔离。

8. 根据权利要求 1-6 中任一项所述的制备三维半导体存储器件的方法，其特征在于，所述访问晶体管为以下晶体管中的一种：平面晶体管、FinFET、垂直型环栅晶体管。

Micron Ex. 1002, p. 480
Micron v. YMTC
IPR2025-00294

9. 根据权利要求 8 所述的制备三维半导体存储器件的方法，其特征在于，所述垂直型环栅晶体管包括：

源区，形成于所述衬底的上方；

沟道区，形成于所述源区上方，垂直于所述衬底；

漏极，形成于所述沟道区和所述垂直环状电阻之间；

栅绝缘层和栅极，依次形成于所述沟道区的侧面。

10. 根据权利要求 9 所述的制备三维半导体存储器件的方法，其特征在于，所述垂直环状阻变单元包括纵向设置的一个或多个环状电阻单元，所述环状电阻单元包括：

下电极，形成于所对应的垂直型环栅晶体管的漏极或下一层子存储阵列对应垂直环状阻变单元的下电极上，对应同一垂直型环栅晶体管的一个或多个环状电阻单元共享下电极；

阻变功能层，形成于所述下电极预设位置的侧面，用于区分信息状态；

上电极，形成于所述阻变功能层上方，构成垂直环状阻变单元的各层上电极之间互相绝缘，相邻的垂直环状电阻的环状电阻单元的上电极，在位线方向相互绝缘，在字线方向则共享连接到阵列外围。

Micron Ex. 1002, p. 481
Micron v. YMTC
IPR2025-00294

制备三维半导体存储器件的方法

技术领域

[0001] 本发明涉及微电子技术领域，尤其涉及一种制备三维半导体存储器件的方法。

背景技术

[0002] 半导体存储技术是微电子技术领域的关键技术之一。随着信息技术从网络和计算为核心转入以存储为核心，存储技术的研究成为了信息技术研究的重要方向。当前存储技术的研究主要集中在高密度、高性能的非挥发性闪存技术研究上面。随着器件尺寸的不断缩小，传统 FLASH 技术在实现变比的过程中遭遇到越来越严重的技术难点，如串扰、写入速度慢等，难以适应后 20 纳米结点的存储技术发展的要求，大容量存储需要发展新的存储技术。

[0003] 近年来，阻变存储技术引起了众多研究者的注意，并被认为是后 20 纳米结点的关键技术。阻变随机访问存储器是利用电信号作用下存储介质在高阻和低阻间的可逆转换来区分两态（即常规的 RRAM），也可由电信号下材料相位转换引起电阻的转化来实现两态（即常规的 PRAM）。阻变单元结构一般由上电极、阻（相）变材料和下电极三层依次堆叠形成，其具有结构简单，制造容易，以及和现有 CMOS 工艺兼容的优点。为此，阻变单元的三维集成将有望实现高密度的数据存储并有望用于固态磁盘 (Solid State Disk) 等多种应用。

[0004] 常规的阻变存储技术需要借助于二极管或者选择晶体管来实现单元的选择，即 1D1R 结构和 1T1R 结构，三维阻变存储主要是实现这两种典型存储结构的三维集成。尽管 1D1R 型三维阻变存储器件可以在一定程度上提高存储密度，然而由于构成阻变单元的二极管一般是由 PN 结所构成，很难实现阻变单元高度的真正变比；同时，多层堆栈阻变单元实现过程中，形成 PN 结的注入和随后的杂质激活需要较高的温度，使得后续单元的制备对以前的单元性能产生影响，不利于存储器件的高可靠运作。因此，1T1R 型三维存储技术显示了更大的高密度集成的潜力。

[0005] 图 1 为本申请人在之前提出的 1T1R 型三维存储器结构沿位线方向的剖面图。图 2 为本申请人在之前提出的 1T1R 型三维存储器结构沿字线方向的剖面图。如图 1 和图 2 所示，作为一个例子，每个垂直型存储串由一个晶体管和四个阻变单元所构成。相较于平面型闪存单元和阻变单元，该结构有效实现了高密度的集成。然而，随着超大容量（＞Tera-bit）存储需求的出现，我们发现图 1 的结构在实现更多层阻变单元集成过程中面临着严重的工艺挑战很难满足这种超高密度的需求。在图 1 中构成阻变单元的通用柱状下电极是通过通孔刻蚀工艺实现的，该刻蚀通孔的深度由构成阻变单元各层的厚度以及堆栈的阻变单元层数来决定。假设构成阻变单元的上电极厚度是 50 纳米，而单元纵向隔离的间距是 50 纳米，也就是说形成每个阻变单元所需要的厚度是 100 纳米。

[0006] 图 3 给出了在维持通孔顶部直径为 100 纳米，底部直径在 30 纳米和 0 纳米两种情况下，对刻蚀角度 85 度，其可以获得的整个堆栈的高度的对比图。由图 3 可以看出，在 85 度刻蚀角的情况下，我们只能实现 4 ～ 5 层阻变单元的堆栈集成。即使我们通过改进刻蚀工艺能够实现 88 度的刻蚀角，其最高的集成层数也不超过 14 层。同时，考虑到减小通孔底

Micron Ex. 1002, p. 482
Micron v. YMTC
IPR2025-00294

部的直径将引起下电极电阻的急剧增大以及在小通孔中极易产生空洞从而造成工艺上的断路等现象，因此，集成阻变单元的层数还要小于上述预估的层数。

[0007] 在实现本发明的过程中，发明人意识到现有技术存在如下缺陷：在制备三维半导体存储器件过程中，现有刻蚀工艺很难实现大的通孔纵深比，这将严重制约三维阻（相）变单元的高密度纵向集成。

发明内容

[0008] （一）要解决的技术问题

[0009] 针对上述技术问题，本发明公开了一种制备三维半导体存储器件的方法，以实现在目前的刻蚀工艺下，尽可能提高三维阻变单元的存储密度。

[0010] （二）技术方案

[0011] 根据本发明的一个方面，提供了一种制备三维半导体存储器件的方法，包括：步骤 A：在衬底上制备访问晶体管；步骤 B：在访问晶体管上形成由多个垂直环状阻变单元组成的第一子存储阵列，包括：交替沉积多层的隔绝层和牺牲层；通孔刻蚀定义垂直环状阻变单元的下电极区域，下电极区域向下连接访问晶体管的漏极；在通孔区域沉积第一子存储阵列的下电极；进行绝缘介质层沉积；步骤 C：在第一子存储阵列上形成由多个垂直环状阻变单元组成的第二子存储阵列，包括：沉积多层的隔绝层和牺牲层；通孔刻蚀定义下电极区域，下电极区域向下至第一子存储阵列的下电极；在通孔区域沉积第二子存储阵列的下电极，第二子存储阵列的下电极与第一子存储阵列的下电极相连通；进行绝缘介质层沉积。

[0012] 优选地，本技术方案中，在步骤 C 之后还包括：重复步骤 C，在第 N-1 子存储阵列上形成第 N 子存储阵列。

[0013] 优选地，本技术方案中，在步骤 B 之前还包括：由通孔的纵深比和垂直环状阻变单元的高度，确定各子存储阵列中垂直环状阻变单元的层数；由垂直环状阻变单元的层数确定牺牲层的层数。

[0014] 优选地，本技术方案中，在步骤 B 和步骤 C 中，进行绝缘介质层沉积之前还包括：移去牺牲层；在移去牺牲层的位置形成垂直环状阻变单元的阻变功能层和上电极，回刻完成垂直环状阻变单元间隔离。

[0015] 优选地，本技术方案中，在步骤 B 中，移去牺牲层之前还包括：进行第一子存储阵列的字线刻蚀；在步骤 C 中，移去牺牲层之前还包括：进行第二子存储阵列的字线刻蚀，刻蚀停止于第一子存储阵列的绝缘介质层；

[0016] 优选地，本技术方案中，在步骤 C 中，移去牺牲层之前还可以包括：统一进行多个子存储阵列的字线刻蚀，例如统一进行第一子存储阵列和第二子存储阵列的字线刻蚀。

[0017] 优选地，本技术方案中，在步骤 C 中，进行绝缘介质层沉积之前，在进行子存储阵列字线刻蚀之后，还包括：移去在步骤 B 和步骤 C 中形成的牺牲层；在移去牺牲层的位置形成垂直环状阻变单元的阻变功能层和上电极，回刻完成垂直环状阻变单元间隔离；

[0018] 优选地，本技术方案中，访问晶体管为以下晶体管中的一种：平面晶体管、FinFET、垂直型环栅晶体管。

[0019] 优选地，本技术方案中，垂直型环栅晶体管包括：源区，形成于衬底的上方；沟道区，形成于源区上方，垂直于衬底；漏极，形成于沟道区和垂直环状电阻之间；栅绝缘层和

Micron Ex. 1002, p. 483
Micron v. YMTC
IPR2025-00294

栅极，依次形成于沟道区的侧面。

[0020] 优选地，本技术方案中，垂直环状阻变单元包括纵向设置的一个或多个环状电阻单元，环状电阻单元包括：下电极，形成于所对应的垂直型环栅晶体管的漏极或下一层子存储阵列对应垂直环状阻变单元的下电极上，对应同一垂直型环栅晶体管的一个或多个环状电阻单元共享下电极；阻变功能层，形成于下电极预设位置的侧面，用于区分信息状态；上电极，形成的阻变功能层上方，构成垂直环状阻变单元的各层上电极之间互相绝缘，相邻的垂直环状电阻的环状电阻单元的上电极，在位线方向相互绝缘，在字线方向则共享连接到阵列外围。

[0021] （三）有益效果

[0022] 本发明中，基于垂直环状阻变单元可以共用一个下电极的特点，将整个存储阵列划分为多个子存储阵列，改变多层阻变单元结构在下电极通孔刻蚀时候的一次刻蚀方式为各个子存储阵列分别完成通孔刻蚀的方式，即对于具有最小刻蚀尺寸的通孔采用多次刻蚀的方式，而其他需要刻蚀的区域则可以根据需要灵活掌握。

附图说明

[0023] 图 1 为本申请人在之前提出的 1T1R 型三维存储器结构沿位线方向的剖面图；

[0024] 图 2 为本申请人在之前提出的 1T1R 型三维存储器结构沿字线方向的剖面图；

[0025] 图 3 给出了在维持通孔顶部直径为 100 纳米，底部直径在 30 纳米和 0 纳米两种情况下，对刻蚀角度 85 度，其可以获得的整个堆栈的高度的对比图；

[0026] 图 4 为根据本发明的方法制备的三维半导体存储器件的沿字线方向和沿位线方向的剖视图；

[0027] 图 5 为根据本发明的方法对通孔进行多次刻蚀，对字线的隔离采用一次刻蚀所制备的三维半导体存储器件的沿字线方向和沿位线方向的示意图；

[0028] 图 6 为根据本发明制备三维半导体存储器件方法的制备垂直型环栅晶体管后的示意图；

[0029] 图 7 为根据本发明制备三维半导体存储器件方法的制备第一个子存储阵列牺牲层后的示意图；

[0030] 图 8 为根据本发明制备三维半导体存储器件方法的完成第一个子存储阵列中通孔刻蚀和金属回填工艺后的示意图；

[0031] 图 9 为根据本发明制备三维半导体存储器件方法的进行字线方向刻蚀并移去 SiN 牺牲层后的示意图；

[0032] 图 10 为根据本发明制备三维半导体存储器件方法的进行阻变区和上电极淀积，并回刻完成单元隔离后的示意图；

[0033] 图 11 为根据本发明制备三维半导体存储器件方法的完成第一个子存储阵列后的示意图；

[0034] 图 12 为根据本发明制备三维半导体存储器件方法的进行第二子存储阵列牺牲层淀积后的示意图；

[0035] 图 13 为根据本发明制备三维半导体存储器件方法的进行第二子存储阵列通孔刻蚀回填与第一个阵列连接后的示意图；

Micron Ex. 1002, p. 484
Micron v. YMTC
IPR2025-00294

[0036] 图 14 为根据本发明制备三维半导体存储器件方法的完成第二个子阵列的阻变区、上电极以及隔离区后的示意图；

[0037] 图 15 为根据本发明制备三维半导体存储器件方法的完成第三子存储阵列的集成后的示意图。

具体实施方式

[0038] 为使本发明的目的、技术方案和优点更加清楚明白，以下结合具体实施例，并参照附图，对本发明进一步详细说明。

[0039] 本发明公开了一种制备三维半导体存储器件的方法，包括：步骤 A：在衬底上制备访问晶体管。步骤 B：在访问晶体管上形成由多个垂直环状阻变单元组成的第一子存储阵列，包括：交替沉积多层的隔绝层和牺牲层；通孔刻蚀定义垂直环状阻变单元的下电极区域，下电极区域向下连接访问晶体管的漏极；在通孔区域沉积第一子存储阵列的下电极；进行绝缘介质层沉积。步骤 C：在第一子存储阵列上形成由多个垂直环状阻变单元组成的第二子存储阵列，包括：沉积多层的隔绝层和牺牲层；通孔刻蚀定义下电极区域，下电极区域向下至第一子存储阵列的下电极；在通孔区域沉积第二子存储阵列的下电极，第二子存储阵列的下电极与第一子存储阵列的下电极相连通；进行绝缘介质层沉积。

[0040] 上述方法中，在步骤 C 之后还包括：重复步骤 C，在第 N-1 子存储阵列上形成第 N 子存储阵列。在步骤 B 之前还包括：由通孔的纵深比和垂直环状阻变单元的厚度，确定垂直环状阻变单元的层数；由垂直环状阻变单元的层数确定牺牲层的层数。

[0041] 本发明中，基于垂直型阻（相）变单元可以共用一个下电极的特点，将整个存储阵列划分为为多个子存储阵列，改变多层阻变单元结构在下电极通孔刻蚀时候的一次刻蚀方式为各个子存储阵列分别完成通孔刻蚀的方式，对每一个子存储阵列分别完成阻（相）变功能层和上电极的制备和集成，再通过下电极的通孔刻蚀以及金属回填工艺完成子存储阵列间的连接从而实现整个存储阵列。对于每个子存储阵列，根据可实现的通孔纵深比确定可以刻蚀的深度，从而决定淀积的阻变单元层数；完成相应层数的集成工艺后，重新淀积多层存储堆栈并完成刻蚀等后续阻变单元工艺；以此循环，直到达到超高密度集成需要的整个存储阵列的层数。

[0042] 图 4 为根据本发明的方法制备的三维半导体存储器件的沿字线方向和沿位线方向的剖视图。参照图 4，首先完成下半部分的晶体管和存储阵列的集成后，重新完成了存储堆栈的淀积和通孔刻蚀，其通孔刻蚀将停止在之前通孔中的下电极金属材料上，随后完成了上半部分的金属材料淀积并实现其与下半部分金属材料的连接。相似的，用于沿位线方向垂直存储串绝缘的字线刻蚀工艺也在上半部分被重新完成，其刻蚀停止在下半部分的绝缘层二氧化硅上，随后上半部分的绝缘层二氧化硅被淀积在该刻蚀区完成上半部分的存储串隔离。

[0043] 如图 4 所示，采用该方案形成的三维阻（相）变存储阵列结构将包括：

[0044] 1. 选择性晶体管，此处该晶体管可以是平面型晶体管，FinFET，垂直型晶体管等多种方式，其将提供对阻（相）变阻变单元擦写的限流作用和完成阻变单元的选择性访问。

[0045] 2. 堆栈式阻（相）变单元阵列。该存储阵列将包括多个子存储阵列组，其每个子存储阵列组包括在可实现的刻蚀深度范围内的多个垂直阻变单元串构成的阵列。对于每个

Micron Ex. 1002, p. 485
Micron v. YMTC
IPR2025-00294

单个的垂直环状阻变单元来说，具体包括：

[0046] (2A). 下电极：对于垂直存储阵列串，其各个阻变单元的下电极共享连接到该串访问晶体管的漏区。该区可以用单层金属构成，也可以由金属钝化层和金属的双层结构构成。其材料可以是 Ag，Au，Cu，W，Ti，Pt，Ti，Ta 等金属材料；其也可以包括 TiN，TaN，WN 等材料。

[0047] (2B). 阻变功能层：该层薄膜将环绕柱状下电极形成环状结构。该功能层材料将提供用以区分信息状态的能力，包括 (1) 通过淀积单层阻变材料或者多层阻变材料来构成（即常规的阻变存储器）。比如其阻变功能层材料可以为复杂的氧化物，如 $Pr_{1-x}Ca_xMnO_3$ 等，或者钙钛矿材，$SrTiO_3$ 和 $SrZrO_3$ 等，也可以为 HfO_2、CuO_2、TiO_2、ZrO_2、NiO_x、Nb_2O_5、MoO 等二元过度金属氧化物等，以及上述各种材料的组合结构。(2) 电阻态的转换也可以通过改变功能层材料的相位予以实现（即常规的相变存储器）。如可以发生相变的材料，比如 $Ge_2Sb_2Te_5$(GST)，GeTe，GeTeC 等。

[0048] (2C). 上电极：构成垂直存储串的各层上电极之间互相绝缘，在位线方向各串之间也相互绝缘，但在字线方向则共享连接到阵列外围。构成该层的材料可以是单层或者双层金属材料，比如，其材料可以是 Ag，Au，Cu，W，Ti，Pt，Ti，Ta 等金属材料；其也可以包括 TiN，TaN，WN 等材料，以及上述材料的组合。

[0049] 图 4 中采用的对于下电极通孔和字线隔离进行的多步刻蚀。不同于图 4 中所述的技术方案，也可以进行折中方案，即只对下电极通孔完成多步刻蚀，而对于字线的隔离采用一次刻蚀的方式，如图 5 所示。

[0050] 为了实现上述存储阵列，可以采用多种制备流程。此处将给出一种简单的实施例。图 6- 图 15 为根据本发明实施例制备三维半导体存储器件方法中各步骤的示意图。以下将参照图 6- 图 15 对本发明进行详细说明。

[0051] 假设构成存储阵列单元的上电极厚度为 50 纳米，单元间绝缘层厚度为 50 纳米。为了防止下电极回填过程中“空洞”的产生和金属连线电阻的变化，对于 100 纳米的顶部孔径假设通孔底部的孔径必须大于 30 纳米。考虑降低刻蚀工艺的难度，假定多层材料刻蚀的刻蚀角将在 85 度。由此可知，能够完成上述指标的堆栈层厚度为 400 纳米，换句话说，所需的子存储阵列为四层，即每个存储子阵列串由四个阻变单元组成。

[0052] 假设期望实现 12 层阻变单元的堆栈，也就意味着需要分别实现 3(= 12/4) 个分立的子存储整列，其工艺流程如下：

[0053] 1. 完成垂直型环栅晶体管的制备，如图 6 所示；

[0054] 2. 淀积第一个子存储阵列牺牲层，如图 7 所示；

[0055] 3. 完成第一个子存储阵列中通孔刻蚀和金属回填工艺，如图 8 所示；

[0056] 4. 进行字线方向刻蚀并移去 SiN 牺牲层，如图 9 所示；

[0057] 5. 进行阻变区和上电极淀积，并回刻完成单元隔离，如图 10 所示；

[0058] 6. 进行绝缘层淀积形成隔离区，完成第一个子存储阵列，如图 11 所示；

[0059] 7. 进行第二子存储阵列牺牲层淀积，如图 12 所示；

[0060] 8. 进行第二子存储阵列通孔刻蚀回填与第一个阵列连接，如图 13 所示；

[0061] 9. 完成第二个子阵列的阻变区、上电极以及隔离区，方法同第一个子阵列，如图 14 所示；

Micron Ex. 1002, p. 486
Micron v. YMTC
IPR2025-00294

[0062] 10. 完成第三子存储阵列的集成，方法同第二子存储阵列，如图 15 所示。

[0063] 由上述可工艺流程可以看出，高密度多堆栈（12 层单元）存储阵列的实现可以采用多个子存储阵列的顺序集成。各个子存储阵列由于都可以采用低温工艺，因此对于之前的器件性能影响较小。尽管工艺步骤增加，但是该集成工艺降低了其对关键工艺如刻蚀、填充等的苛刻要求，因此更具有可实现性，阵列可靠性得到增强，并可以实现更多层的高密度的存储阵列集成。

[0064] 应该指出，上述制备方法中，在每一个子存储阵列都完成了对通孔刻蚀以及字线刻蚀形成隔离区的工艺。此外，在制备过程中，也可以对各个子阵列完成通孔的刻蚀和回填后不进行存储功能层和上电极的形成，直到所有子阵列完成后，对于整个大存储阵列采用一次性刻蚀，然后进行阻变单元功能层淀积、上电极淀积回刻完成绝缘，以及整个刻蚀区的绝缘层淀积形成最后的位线方向的隔离区。也就是说，对于具有最小刻蚀尺寸的通孔采用多次刻蚀的方式，而隔离区因为较大则采用一次刻蚀的方法。如图 5 所示。

[0065] 还应该指出，上述例子中假定了每个阻变单元的牺牲层是 100 纳米，刻蚀角是 85 度，当然实际情况下子阵列层数等并不尽限于此，基于上述思想的实现方法将被本发明所涵盖。

[0066] 从上述各实施例可以看出，本发明具有以下有益效果：

[0067] 1、本发明提出的将整个存储阵列转变为多个子存储阵列，改变多层阻变单元结构在下电极通孔刻蚀时候的一次刻蚀方式为各个子存储阵列的各自通孔刻蚀方式，通过通孔金属材料回填达到各个子存储阵列的相互连接。这种方案将明显降低在高密度集成过程中刻蚀工艺的工艺复杂性和难度，能够极大的扩展整个存储阵列的阻变单元的集成层数；

[0068] 2、本发明采用多个子阵列各自完成通孔刻蚀的方式，将可以控制通孔顶部和通孔底部的孔径，降低一次性刻蚀引起的底部孔径过小所带来的局部大电阻；

[0069] 3、本发明采用的多个子阵列各自完成通孔刻蚀并进行金属回填工艺的方式，将有利的避免了过深的通孔在回填过程中的空洞的产生，可以防止阵列下电极中的断路现象的发生，并降低了回填的工艺难度；

[0070] 4、尽管本发明采用了多次刻蚀工艺，然而每次刻蚀，回填等的工艺复杂度明显降低，器件的可靠性获得了保证，因此利于超高密度的集成。

[0071] 以上所述的具体实施例，对本发明的目的、技术方案和有益效果进行了进一步详细说明，所应理解的是，以上所述仅为本发明的具体实施例而已，并不用于限制本发明，凡在本发明的精神和原则之内，所做的任何修改、等同替换、改进等，均应包含在本发明的保护范围之内。

Micron Ex. 1002, p. 487
Micron v. YMTC
IPR2025-00294

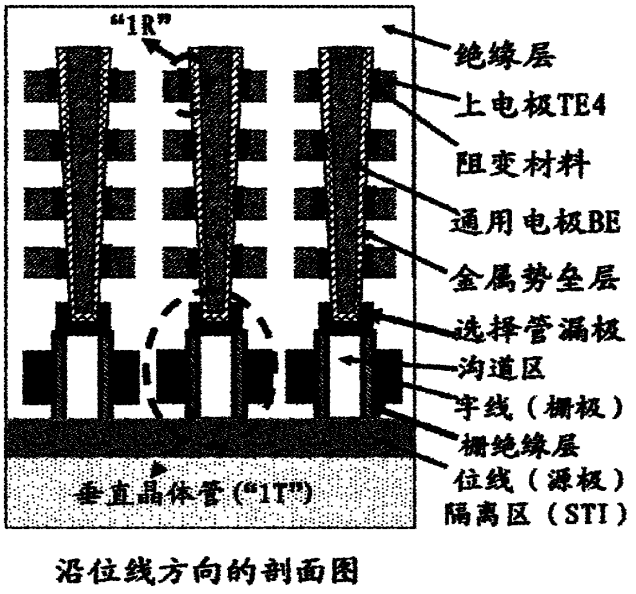


图 1

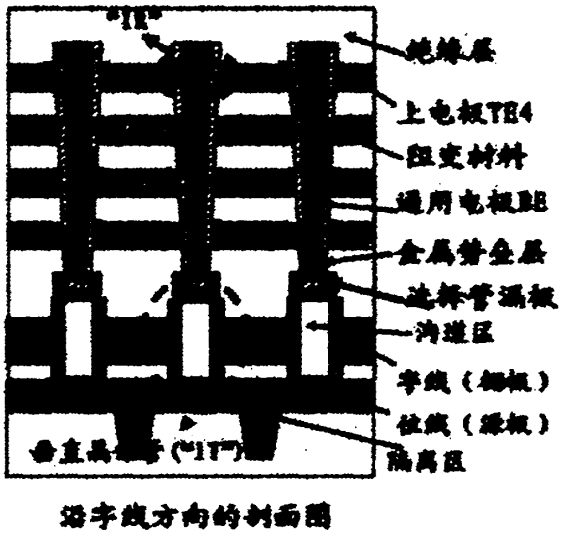


图 2

Micron Ex. 1002, p. 488
Micron v. YMTC
IPR2025-00294

SiO50nm/Metal 50nm (每个阻变单元)	顶部尺寸:100纳米 底部尺寸:30纳米		顶部尺寸:100纳米 底部尺寸:0纳米	
角度	堆栈高度	层数	堆栈高度	层数
85°	400纳米	4	571纳米	5

图 3

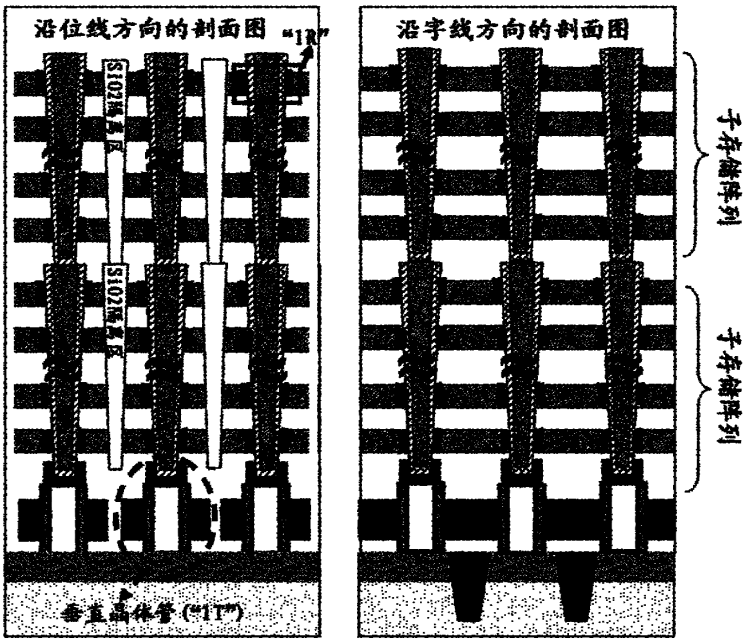


图 4

Micron Ex. 1002, p. 489
Micron v. YMTC
IPR2025-00294

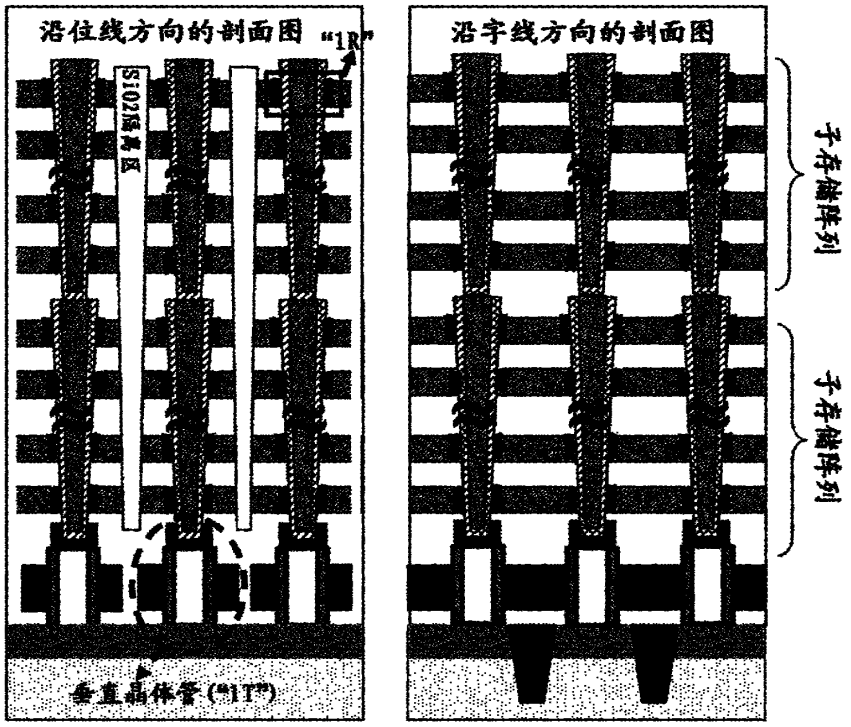


图 5

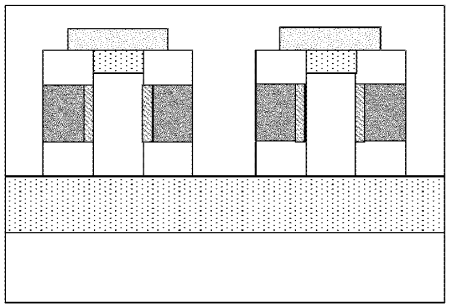


图 6

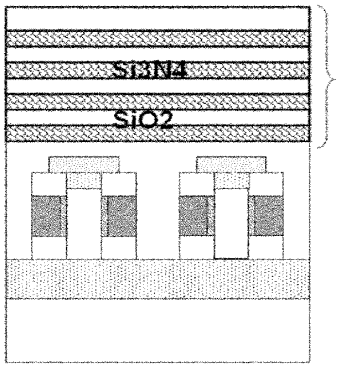


图 7

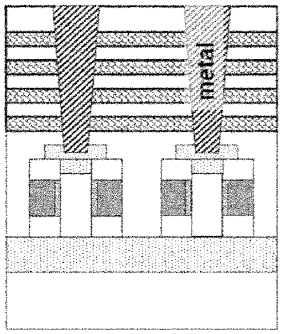


图 8

Micron Ex. 1002, p. 490
Micron v. YMTC
IPR2025-00294

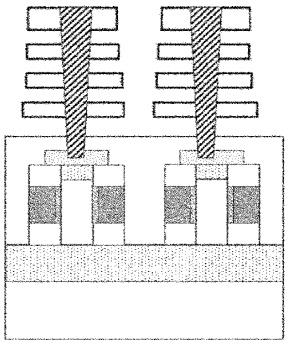


图 9

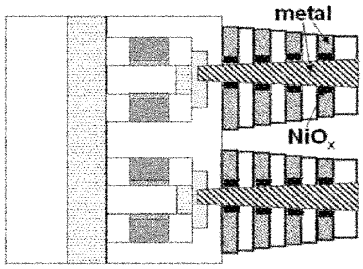


图 10

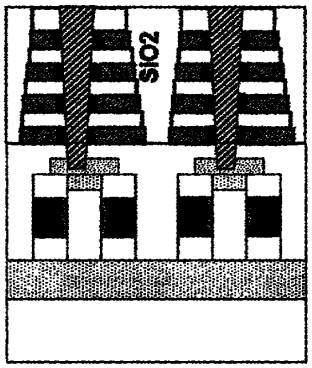


图 11

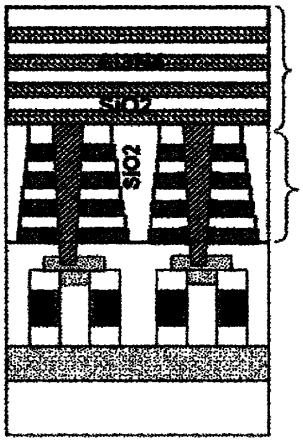


图 12

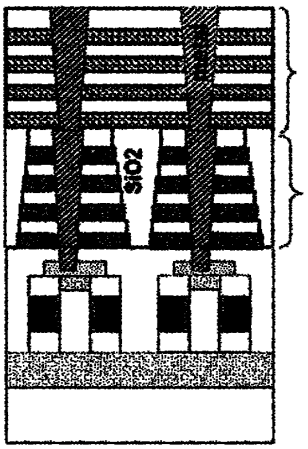


图 13

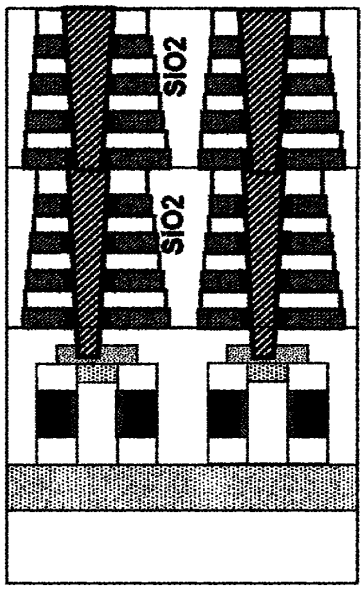


图 14

Micron Ex. 1002, p. 491
Micron v. YMTC
IPR2025-00294

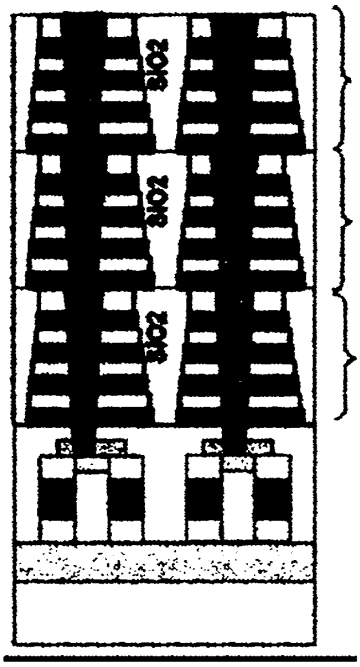


图 15

Micron Ex. 1002, p. 492
Micron v. YMTC
IPR2025-00294

Espacenet

Bibliographic data: CN105304612 (A) — 2016-02-03

Three-dimensional laminated multichip structure and manufacturing method thereof

Inventor(s): CHEN SHIHONG ± (CHEN SHIHONG, ; 陈士弘)

Applicant(s): MACRONIX INT CO LTD ± (MACRONIX INTERNATIONAL CO.,LTD, ; 旺宏电子股份有限公司)

Classification: **- international:** ***H01L21/768; H01L23/538***
- cooperative:

Application number: CN20141316797 20140704 Global Dossier

Priority number (s): CN20141316797 20140704

Also published as: CN105304612 (B)

Abstract of CN105304612 (A)

The invention discloses a three-dimensional laminated multichip structure and a manufacturing method thereof. The three-dimensional laminated multichip structure comprises M chips, a first conducting post and N second conducting posts, wherein each chip comprises a shared connection region and a chip guide block; each chip comprises a substrate and a patterned circuit layer; patterned circuits are arranged on the substrates; each patterned circuit layer comprises an active element, at least one shared conductive structure and N chip starting conductive structures; each shared conductive structure is located in each shared connection region; the N chip starting conductive structures are located on the chip guide blocks; the first conducting post is connected with the shared conductive structures of the M chips; each second conducting post is connected with one of the N chip starting conductive structures; the chip guide blocks of the M chips have different conducting states; N is greater than 1; M is greater than 2; and M is less than or equal to 2 to the Nth power.

Micron Ex. 1002, p. 493
Micron v. YMTC
IPR2025-00294

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 105304612 A
(43)申请公布日 2016.02.03

(21)申请号 201410316797.6

(22)申请日 2014.07.04

(71)申请人 旺宏电子股份有限公司
地址 中国台湾新竹科学工业园区力行路16号

(72)发明人 陈士弘

(74)专利代理机构 中科专利商标代理有限责任公司 11021
代理人 任岩

(51)Int.Cl.
H01L 23/538(2006.01)
H01L 21/768(2006.01)

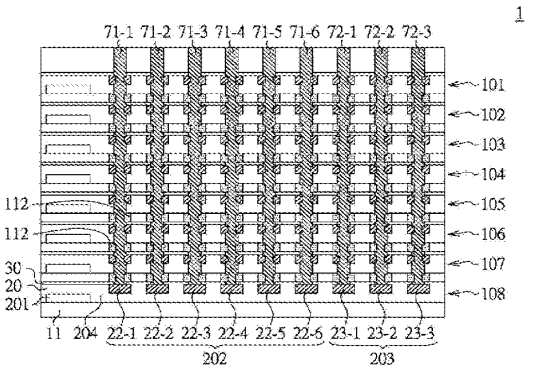
权利要求书2页 说明书5页 附图6页

(54)发明名称

三维叠层多芯片结构及其制造方法

(57)摘要

本发明公开了一种三维叠层多芯片结构及其制造方法，该三维叠层多芯片结构，包括M个芯片、一第一导电柱与N个第二导电柱。每一芯片具有一共享连接区与一芯片引导块。芯片包括一基板及一图案化电路层。图案化电路设置于基板上，图案化电路层包括一有源元件、至少一共享导电结构与N个芯片启动导电结构。共享导电结构位于共享连接区，N个芯片启动导电结构位于芯片引导块。第一导电柱连接M个芯片的共享导电结构。每一第二导电柱连接N个芯片启动导电结构的其中之一。M个芯片的芯片引导块具有不同的导通状态，N大于1、M大于2，且M小于或等于2的N次方。



CN 105304612 A

Micron Ex. 1002, p. 494
Micron v. YMTC
IPR2025-00294

1. 一种三维叠层多芯片结构，包括：

M 个芯片，每一芯片具有一共享连接区与一芯片引导块，且包括：

一基板；及

一图案化电路层，设置于该基板上，该图案化电路层包括一有源元件、至少一共享导电结构与 N 个芯片启动导电结构，该共享导电结构位于该共享连接区，该 N 个芯片启动导电结构位于该芯片引导块；

一第一导电柱，连接该 M 个芯片的共享导电结构；以及

N 个第二导电柱，每一第二导电柱连接该 N 个芯片启动导电结构的其中之一；

其中该 M 个芯片的芯片引导块具有不同的导通状态，N 大于 1、M 大于 2，且 M 小于或等于 2 的 N 次方。

2. 根据权利要求 1 所述的三维叠层多芯片结构，其中该 M 种不同的导通状态是通过编程该 N 个芯片启动导电结构所形成。

3. 根据权利要求 2 所述的三维叠层多芯片结构，其中该 N 个芯片启动导电结构是通过激光修复、电熔丝或非易失性存储器进行编程。

4. 根据权利要求 1 所述的三维叠层多芯片结构，其中该 N 个芯片启动导电结构包括一第一金属层与一第二金属层其中之一，该第一金属层与该第二金属层具有不同的导电线路，使该 N 个芯片启动导电结构形成 2N 种不同的导通状态。

5. 根据权利要求 1 所述的三维叠层多芯片结构，其中该图案化电路层更包括一介电层，该有源元件、该共享导电结构与该 N 个芯片启动导电结构透过该介电层彼此隔绝。

6. 根据权利要求 1 所述的三维叠层多芯片结构，其中该基板包括多个绝缘结构，这些绝缘结构直接接触该第一导电柱或该 N 个第二导电柱。

7. 根据权利要求 1 所述的三维叠层多芯片结构，其中该有源元件包括闪存电路、应用型专用电路、通用处理器或可编程逻辑设备。

8. 根据权利要求 1 所述的三维叠层多芯片结构，其中该共享导电结构包括输入 / 输出接垫与开关接垫。

9. 根据权利要求 1 所述的三维叠层多芯片结构，其中图案化该 N 个芯片启动导电结构以形成一第一金属层与一第二金属层其中之一，该第一金属层与该第二金属层具有不同的导电线路，使该 N 个芯片启动导电结构形成 2N 种不同的导通状态。

10. 一种三维叠层多芯片结构的制造方法，包括：

提供 M 个芯片，每一芯片具有一共享连接区与一芯片引导块，且包括一基板与一图案化电路层，该图案化电路层设置于该基板上，且包括一有源元件、至少一共享导电结构与 N 个芯片启动导电结构，该共享导电结构位于该共享连接区，该 N 个芯片启动导电结构位于该芯片引导块；

编程或图案化该 N 个芯片启动导电结构，使该 M 个芯片的芯片引导块具有不同的导通状态；

叠层该 M 个芯片，以形成一叠层结构；

刻蚀该叠层结构，以形成多个导电通道，这些导电通道穿过该共享导电结构与该 N 个芯片启动导电结构；以及

在这些导电通道中填入导电材料，以形成一第一导电柱与 N 个第二导电柱，该第一导

Micron Ex. 1002, p. 495
Micron v. YMTC
IPR2025-00294

电柱连接该 M 个芯片的共享导电结构，每一第二导电柱连接该 N 个芯片启动导电结构的其中之一，其中 N 大于 1、M 大于 2，且 M 小于或等于 2 的 N 次方。

11. 根据权利要求 10 所述的制造方法，其中是通过激光修复、电熔丝或非易失性存储器以编程该 N 个芯片启动导电结构。

12. 根据权利要求 10 所述的制造方法，更包括：

刻蚀该基板，以形成多个绝缘空间；

填入介电材料于这些绝缘空间，以形成多个绝缘结构；及

清洗该导电通道。

Micron Ex. 1002, p. 496
Micron v. YMTC
IPR2025-00294

三维叠层多芯片结构及其制造方法

技术领域

[0001] 本发明是有关于一种三维叠层多芯片结构及其制造方法，且特别是有关于一种具有不同的导通状态的芯片引导块的三维叠层多芯片结构及其制造方法。

背景技术

[0002] 三维集成电路 (three-dimensional integrated circuit，3D IC) 的制造方法是将多个半导电体芯片垂直地叠层并接合，以产生单一的三维集成电路。一般来说，是将相邻芯片的边缘以阶梯状错开，以一种打线接合的方式，连接芯片上的焊垫。此外，也可采用一种硅通孔 (through-silicon via，TSV) 的方式，将叠层的芯片连接。相较传统的打线接合技术，使用硅通孔叠层芯片可具有更宽的带宽与较短的连接路径，进而提高处理速度和降低功耗。

[0003] 然而，一般的硅通孔叠层工艺需要对每个芯片进行多个步骤，例如光刻胶层沉积、刻蚀、二氧化硅层沉积，势垒层 / 种晶层沉积、图案化光刻胶、光刻胶层移除、化学机械抛光、芯片黏着的支撑 / 操作 (support/handling die bonding) 等。进行此些步骤需要花费相当多的时间及成本。再者，对于较薄的芯片，在工艺上会面临相当大的困难。

发明内容

[0004] 本发明是有关于一种三维叠层多芯片结构及其制造方法，通过在叠层芯片前对个别芯片中的芯片引导块进行编程或图案化，使三维叠层多芯片结构中的每个芯片具有不同的导通状态。

[0005] 根据本发明，提出一种三维叠层多芯片结构，包括 M 个芯片、一第一导电柱与 N 个第二导电柱。每一芯片具有一共享连接区与一芯片引导块。芯片包括一基板及一图案化电路层。图案化电路设置于基板上，图案化电路层包括一有源元件、至少一共享导电结构与 N 个芯片启动导电结构。共享导电结构位于共享连接区，N 个芯片启动导电结构位于芯片引导块。第一导电柱连接 M 个芯片的共享导电结构。每一第二导电柱连接 N 个芯片启动导电结构的其中之一。M 个芯片的芯片引导块具有不同的导通状态，N 大于 1、M 大于 2，且 M 小于或等于 2 的 N 次方。

[0006] 根据本发明，提出一种三维叠层多芯片结构的制造方法，包括以下步骤 ：提供 M 个芯片，每一芯片具有一共享连接区与一芯片引导块，且包括一基板与一图案化电路层 ；图案化电路层设置于基板上且包括一有源元件、至少一共享导电结构与 N 个芯片启动导电结构 ；共享导电结构位于共享连接区，N 个芯片启动导电结构位于芯片引导块 ；编程或图案化 N 个芯片启动导电结构，使 M 个芯片的芯片引导块具有不同的导通状态 ；叠层 M 个芯片以形成一叠层结构 ；刻蚀叠层结构，以形成多个导电通道 ；导电通道穿过共享导电结构与 N 个芯片启动导电结构 ；在导电通道中填入导电材料，以形成一第一导电柱与 N 个第二导电柱 ；第一导电柱连接 M 个芯片的共享导电结构 ；每一第二导电柱连接 N 个芯片启动导电结构的其中之一，其中 N 大于 1、M 大于 2，且 M 小于或等于 2 的 N 次方。

Micron Ex. 1002, p. 497
Micron v. YMTC
IPR2025-00294

[0007] 为了对本发明的上述及其他方面有更佳的了解，下文特举实施例，并配合所附图式，作详细说明如下：

附图说明

[0008] 图 1 绘示本发明实施例的三维叠层多芯片结构的示意图。

[0009] 图 2 ～图 13 绘示本发明的三维叠层多芯片结构的一制造实施例。

[0010] 【符号说明】

[0011] 1：三维叠层多芯片结构

[0012] 101、102、103、104、105、106、107、108：芯片

[0013] 10、11：基板

[0014] 111：绝缘空间

[0015] 112：绝缘结构

[0016] 20：图案化电路层

[0017] 201：有源元件

[0018] 202：共享连接区

[0019] 22-1、22-2、22-3、22-4、22-5、22-6：共享导电结构

[0020] 203：芯片引导块

[0021] 23-1、23-2、23-3：芯片启动导电结构

[0022] 204：介电层

[0023] 205：凹部

[0024] 30：硬掩模层

[0025] 40：操作芯片

[0026] 50：氧化层

[0027] 60：图案化掩模

[0028] 65：导电通道

[0029] 71-1、71-2、71-3、71-4、71-5、71-6：第一导电柱

[0030] 72-1、72-2、72-3：第二导电柱

[0031] 400：叠层结构

具体实施方式

[0032] 以下是参照所附图式详细叙述本发明的实施例。图式中相同的标号是用以标示相同或类似的部分。需注意的是，图式是已简化以利清楚说明实施例的内容，图式上的尺寸比例并非按照实际产品等比例绘制，因此并非作为限缩本发明保护范围之用。

[0033] 图 1 绘示本发明实施例的三维叠层多芯片结构 1 的示意图。在本实施例中，三维叠层多芯片结构 1 包括八个芯片 101、102、103、104、105、106、107 与 108。每一芯片皆具有一共享连接区 202 与一芯片引导块 203。此外，每一芯片也包括一基板与一图案化电路层。

[0034] 以图 1 中的芯片 108 为例，芯片 108 包括基板 11 与图案化电路层 20。图案化电路层 20，设置于基板 11 上。图案化电路层 20 包括一有源元件 201、共享导电结构 22-1、22-2、22-3、22-4、22-5、22-6 与三个芯片启动导电结构 23-1、23-2 与 23-3。共享导电结构 22-1、

Micron Ex. 1002, p. 498
Micron v. YMTC
IPR2025-00294

22-2、22-3、22-4、22-5、22-6 是位于共享连接区 202，芯片启动导电结构 23-1、23-2 与 23-3 位于芯片引导块 203。

[0035] 三维叠层多芯片结构 1 也包括第一导电柱 71-1、71-2、71-3、71-4、71-5、71-6 与第二导电柱 72-1、72-2、72-3。第一导电柱是用以连接八个芯片的共享导电结构。举例来说，第一导电柱 71-1 连接各个芯片的共享导电结构 22-1。每一第二导电柱连接芯片启动导电结构的其中之一，举例来说，第二导电柱 72-1 连接各个芯片的芯片启动导电结构 23-1。

[0036] 在本发明实施例中，每个芯片的芯片引导块 203 皆具有不同的导通状态。举例来说，芯片 101 在接收到「000」的讯号时，芯片 101 的芯片启动导电结构 23-1、23-2、23-2 会启动，使芯片 101 导通；芯片 102 在接收到「001」的讯号时，芯片 102 的芯片启动导电结构 23-1、23-2、23-2 会启动，使芯片 102 导通；芯片 103 在接收到「010」的讯号时，芯片 103 的芯片启动导电结构 23-1、23-2、23-2 会启动，使芯片 103 导通；芯片 104 在接收到「011」的讯号时，芯片 104 的芯片启动导电结构 23-1、23-2、23-2 会启动，使芯片 104 导通。其他芯片的导通状态在此不多加赘述。

[0037] 上述各芯片的芯片引导块 203 的不同的导通状态，可通过编程芯片启动导电结构 23-1、23-2、23-2 所形成。举例来说，芯片 102 的芯片启动导电结构 23-1 是被编程为接收到讯号「0」，芯片启动导电结构 23-2 是被编程为接收到讯号「0」，芯片启动导电结构 23-3 是被编程为接收到讯号「1」，上述三个条件同时成立时才可导通，因此，只有当芯片 102 在接收到「001」的讯号时才会导通。透过上述方式，电子元件可通过第二导电柱 72-1、72-2、72-3 输入不同的讯号，用以导通特定的芯片。

[0038] 在一实施例中，可通过激光修复 (laser trim)、电熔丝 (e-fuse) 或非易失性存储器 (Non-Volatile Memory，NVM)，例如是闪存 (FLASH)、可变电阻式存储器 (resistive random-access memory，RRAM) 对芯片启动导电结构 23-1、23-2、23-3 进行编程。

[0039] 在另一实施例中，也可通过图案化工艺，使各芯片的芯片引导块 203 具有不同的导通状态。举例来说，可对芯片 102 的芯片启动导电结构 23-1、23-2、23-3 进行图案化，使启动导电结构 23-1、23-2 包括一第一金属层，启动导电结构 23-3 包括一第二金属层。第一金属层在接收到讯号「0」时才可导通，相对地，第二金属层在接收到讯号「1」时才可导通，因此，只有在接收到「001」的讯号时，才可将芯片启动导电结构 23-1、23-2、23-3 皆导通，进而启动芯片 102。透过上述方式，电子元件可通过第二导电柱 72-1、72-2、72-3 输入不同的讯号，用以导通特定的芯片。

[0040] 虽然图 1 的实施例是以三维叠层多芯片结构 1 包括八个芯片说明，但本发明并未限定于此。在其他实施例中，三维叠层多芯片结构 1 可包括 M 个芯片，每一芯片中的芯片引导块 203 皆具有不同的导通状态，且包括 N 个芯片启动导电结构，N 大于 1、M 大于 2，且 M 小于或等于 2 的 N 次方。

[0041] 也就是说，当对 N 个芯片启动导电结构进行图案化，使芯片启动导电结构包括一第一金属层与一第二金属层其中之一。因此，N 个芯片启动导电结构可形成 2N 种不同的导通状态。

[0042] 在一实施例中，三维叠层多芯片结构 1 的图案化电路层 20 更包括一介电层 204，有源元件 201、共享导电结构 202 与芯片启动导电结构 203 是透过介电层 204 彼此隔绝。有源元件 201 可包括闪存电路、应用型专用电路 (application specific circuit)、通用处理器、

Micron Ex. 1002, p. 499
Micron v. YMTC
IPR2025-00294

可编程逻辑设备 (programmable logic device)，以及上述元件与其他类型电路的组合。

[0043] 共享导电结构 22-1、22-2、22-3、22-4、22-5、22-6 可例如是输入 / 输出接垫 (I/O pad) 与开关接垫 (power pad)。虽然本发明实施例的三维叠层多芯片结构 1 包括六个共享导电结构 22-1、22-2、22-3、22-4、22-5、22-6，但本发明并未限定于此。共享导电结构的数目可视三维叠层多芯片结构 1 的需求进行调整。

[0044] 此外，本发明实施例的基板 11 可包括多个绝缘结构 112，绝缘结构 112 是直接接触第一导电柱 71-1、71-2、71-3、71-4、71-5、71-6 与第二导电柱 72-1、72-2、72-3。透过绝缘结构 112，可防止第一导电柱 71-1、71-2、71-3、71-4、71-5、71-6、第二导电柱 72-1、72-2、72-3 与基板 11 导通。

[0045] 图 2 ～图 13 绘示本发明的三维叠层多芯片结构 1 的一制造实施例。如图 2 所示，芯片 101 包括基板 10，介电层 204、有源元件 201、共享导电结构 22-1、22-2、22-3、22-4、22-5、22-6 与三个芯片启动导电结构 23-1、23-2 与 23-3 是设置于基板 10 上。共享导电结构 22-1、22-2、22-3、22-4、22-5、22-6 是位于共享连接区 202，芯片启动导电结构 23-1、23-2 与 23-3 位于芯片引导块 203。此外，有源元件 201、共享导电结构 22-1、22-2、22-3、22-4、22-5、22-6 与三个芯片启动导电结构 23-1、23-2 与 23-3 是通过介电层 204 彼此隔绝。

[0046] 此外，在进行芯片叠层工艺之前，位于芯片引导块 203 的芯片启动导电结构 23-1、23-2 与 23-3 是被编程或图案化，使芯片 101 具有一第一导通状态。可通过上述例如是激光修复、电熔丝或非易失性存储器编程芯片对启动导电结构 23-1、23-2、23-2 进行编程。或者，图案化芯片 101 使芯片启动导电结构 23-1、23-2 与 23-3 包括一第一金属层与一第二金属层其中之一。编程与图案化的方式已于上述内容中详述，在此不多加赘述。

[0047] 接着如图 3 所示，沉积一硬掩模层 30 与一操作芯片 (handle wafer) 40 于芯片 101 的上表面。硬掩模层 30 可例如包括有机材料 (聚合物)，用以绝缘且附着操作芯片 40。操作芯片 40 是选用厚度与强度足够的芯片，以防止在后续工艺步骤中，操作芯片 40 下方的芯片 101 和后续加入的芯片的损坏。在一实施例中，操作芯片 40 例如是一硅裸晶 (bare silicon wafer)。

[0048] 如图 4 所示，移除部分基板 10 以形成基板 11，使芯片 101 的整体厚度变得更薄。由于操作芯片 40 提供下方的芯片 101 足够强度，故可进行此芯片磨薄 (wafer thinning) 步骤。

[0049] 图 5 绘示将包括操作芯片 40 与硬掩模层 30 的芯片 101 设置于另一芯片 102 上。芯片 102 可包括与芯片 101 类似的元件，此外，芯片 102 的启动导电结构 23-1、23-2、23-2 也已被编程或图案化，使芯片 102 具有一第二导通状态。在本实施例中，芯片 101 与芯片 102 之间也包括一硬掩模层 30，也就是说，芯片 101 的基板 11 是设置于硬掩模层 30 之上。

[0050] 类似地，图 6 绘示移除芯片 102 的部分基板 10，以形成基板 11。接着，重复上述图 5、图 6 所绘示的工艺步骤，以依序叠层芯片 103、104、105、106、107、108。要注意的是，每一芯片之间皆包括一硬掩模层 30，用以绝缘且附着各芯片。

[0051] 此外，在叠层之前，芯片 103、104、105、106、107、108 的启动导电结构 23-1、23-2、23-2 也已被编程或图案化，使芯片 103、104、105、106、107、108 分别具有不同的导电状态。

[0052] 在一实施例中，位于叠层最底部的芯片 108 可不需要移除基板以调整其厚度。

[0053] 如图 8 所示，叠层芯片 101、102、103、104、105、106、107、108 后，移除操作芯片 40，

Micron Ex. 1002, p. 500
Micron v. YMTC
IPR2025-00294

以形成叠层结构 400。在一实施例中，可如图 9 所示形成一氧化层 50 于叠层结构 400 上。但本发明并未限定于此，在其他实施例中，也可直接省略形成氧化层 50 的步骤，直接进行图 10 的工艺。

[0054] 如图 10 所示，形成一图案化掩模 60 于叠层结构 40 上。在一实施例中，图案化掩模 60 是裸露部分叠层结构 40，裸露的部分是对应于共享导电结构 22-1、22-2、22-3、22-4、22-5、22-6 与三个芯片启动导电结构 23-1、23-2 与 23-3 的位置。

[0055] 接着，刻蚀叠层结构 400，以形成多个导电通道 65。导电通道 65 穿过除了芯片 108 之外的共享导电结构 22-1、22-2、22-3、22-4、22-5、22-6 与三个芯片启动导电结构 23-1、23-2 与 23-3，并终止于芯片 108 的共享导电结构 22-1、22-2、22-3、22-4、22-5、22-6 与三个芯片启动导电结构 23-1、23-2 与 23-3 上。

[0056] 如图 11 所示，等向刻蚀 (isotropic etching) 芯片 101 ～ 107 的基板 11，以形成多个绝缘空间 111。如图 12 所示，填入介电材料于绝缘空间 111 中，以形成多个绝缘结构 112。在此，形成绝缘空间 111 并填入绝缘结构 112 可防止基板 11 与后续填入的导电材料接触形成短路。

[0057] 接着，可以氧等离子体 (oxygen plasma) 充入导电通道 65 中，以清洗导电通道 65。

[0058] 如图 13 所示，在一实施例中，可选择地进行一次等向刻蚀工艺，以刻蚀部分共享导电结构 22-1、22-2、22-3、22-4、22-5、22-6 与、芯片启动导电结构 23-1、23-2 与 23-3、绝缘结构 112 与介电层 204，以形成凹部 205。在此，形成凹部 205 可使后续填入的导电材料更容易接触共享导电结构 22-1、22-2、22-3、22-4、22-5、22-6 与、芯片启动导电结构 23-1、23-2 与 23-3 与绝缘结构 112。

[0059] 最后，在导电通道 65 中填入导电材料，以形成多个第一导电柱 71-1、71-2、71-3、71-4、71-5、71-6 与第二导电柱 72-1、72-2、72-3。在本实施例中，第一导电柱 71-1 例如是连接各个芯片的共享导电结构 22-1，第二导电柱 72-1 例如是连接各个芯片的芯片启动导电结构 23-1。

[0060] 也就是说，若叠层结构 400 具有 M 个芯片，则第一导电柱可连接 M 个芯片的共享导电结构，而第二导电柱连接 N 个芯片启动导电结构的其中之一，其中 N 大于 1、M 大于 2，且 M 小于或等于 2 的 N 次方。

[0061] 在填入导电材料于导电通道 65 后，即可形成如图 1 所绘示的三维叠层多芯片结构 1。

[0062] 承上述说明，本发明实施例的三维叠层多芯片结构与其制造方法，可简化传统硅通孔 (TSV) 叠层的工艺步骤，大幅减少工艺时间与制造成本。此外，相较于传统硅通孔工艺，本发明减少对每一芯片的处理程序，进而能够提高产量。在制造过程中，通过移除芯片的部分基板，除了能有效降低叠层多芯片结构的整体厚度，还可减少第一导电柱与第二导电柱的长度，进而减少电阻和相关的热损失，提高传输速度。

[0063] 综上所述，虽然本发明已以实施例揭露如上，然其并非用以限定本发明。本发明所属技术领域中具有通常知识者，在不脱离本发明的精神和范围内，当可作各种的更动与润饰。因此，本发明的保护范围当视随附的权利要求范围所界定的为准。

Micron Ex. 1002, p. 501
Micron v. YMTC
IPR2025-00294

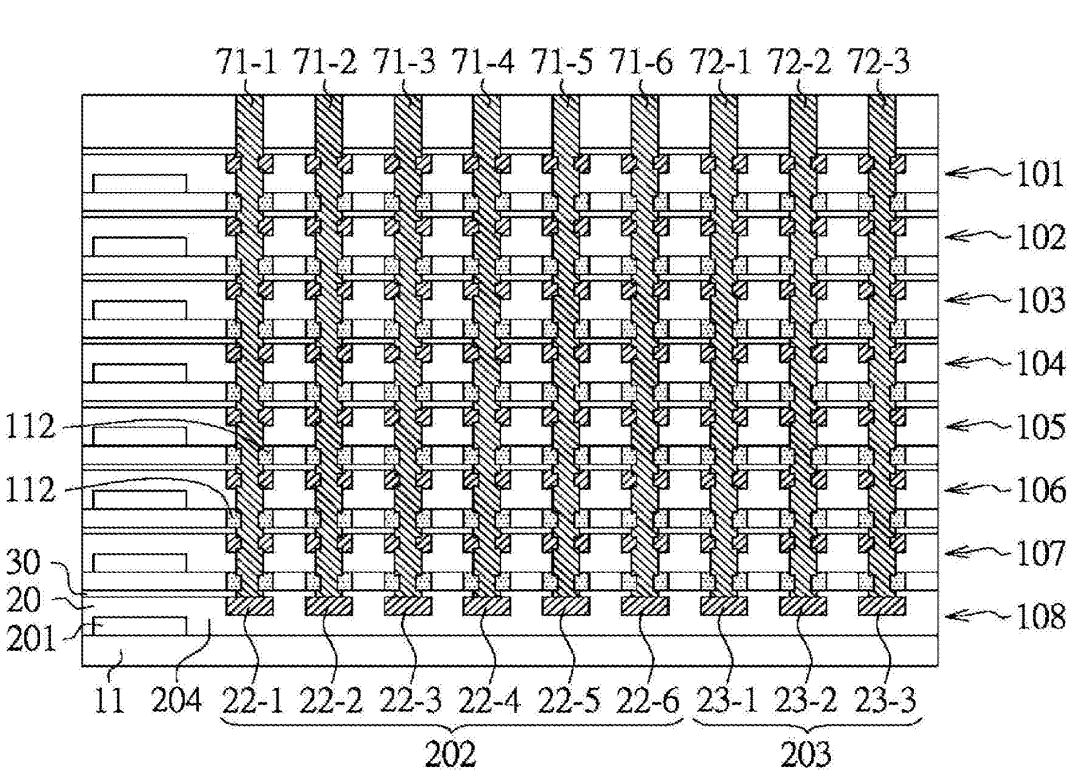


图 1

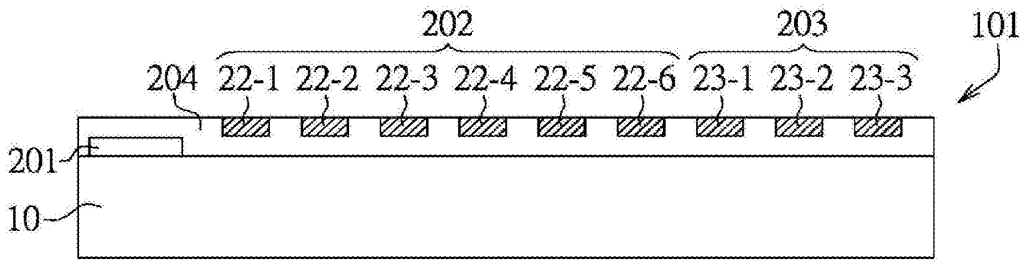


图 2

Micron Ex. 1002, p. 502
Micron v. YMTC
IPR2025-00294

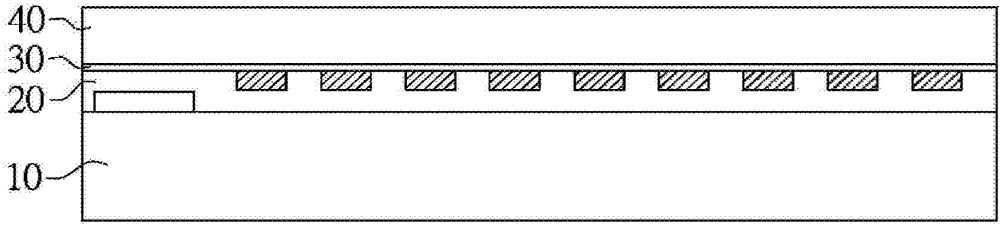


图 3

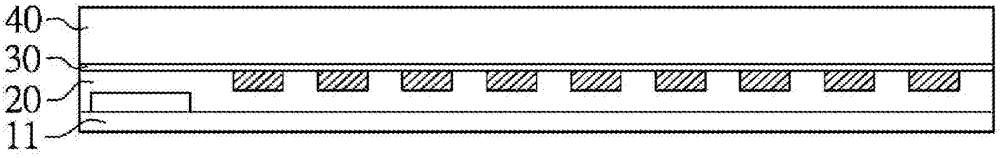


图 4

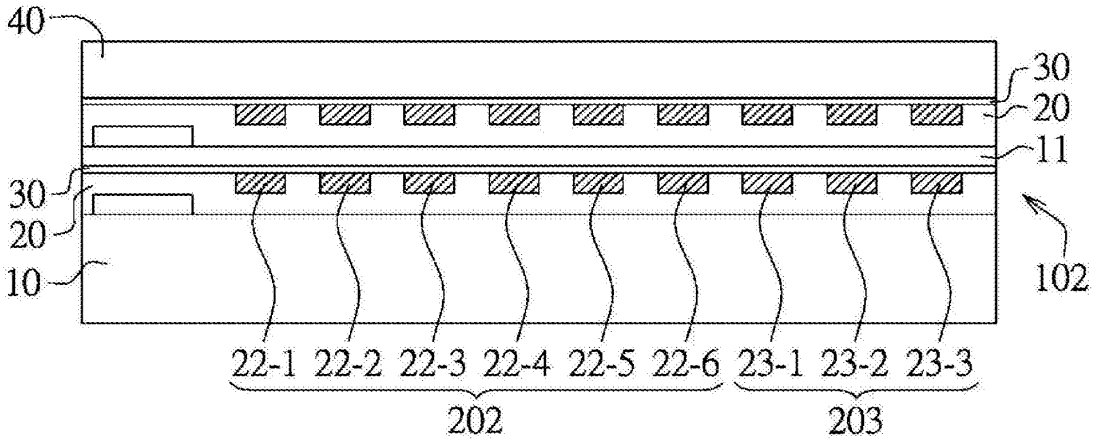


图 5

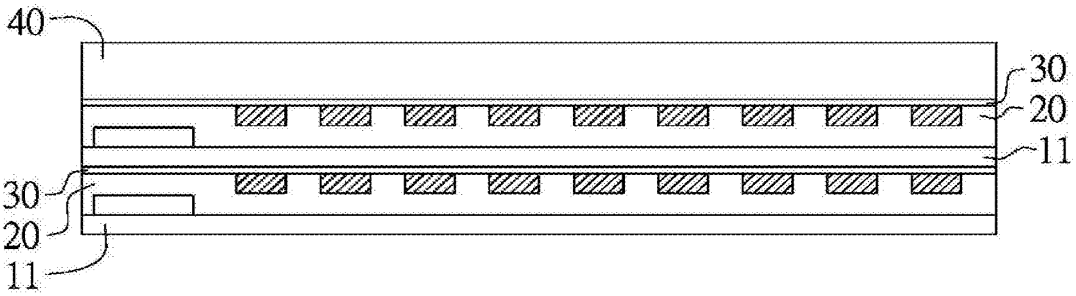


图 6

Micron Ex. 1002, p. 503
Micron v. YMTC
IPR2025-00294

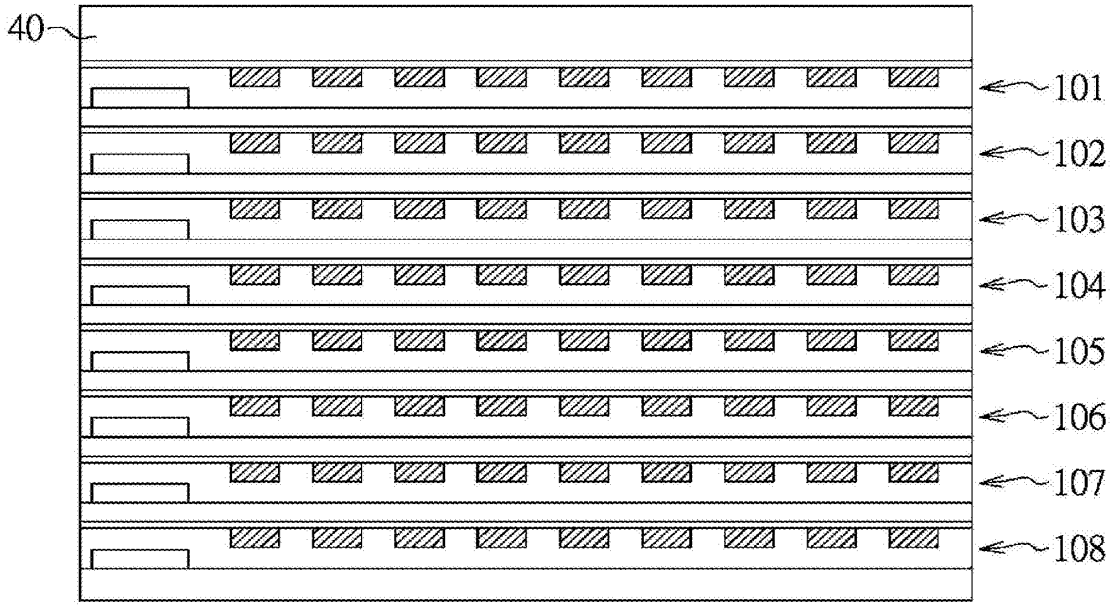


图 7

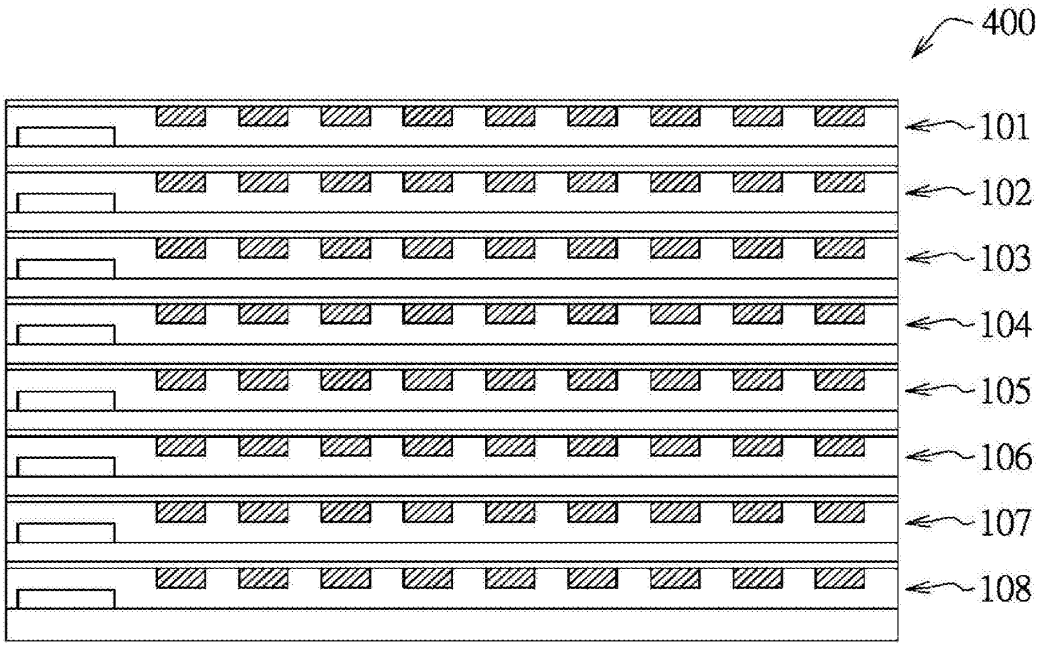


图 8

Micron Ex. 1002, p. 504
Micron v. YMTC
IPR2025-00294

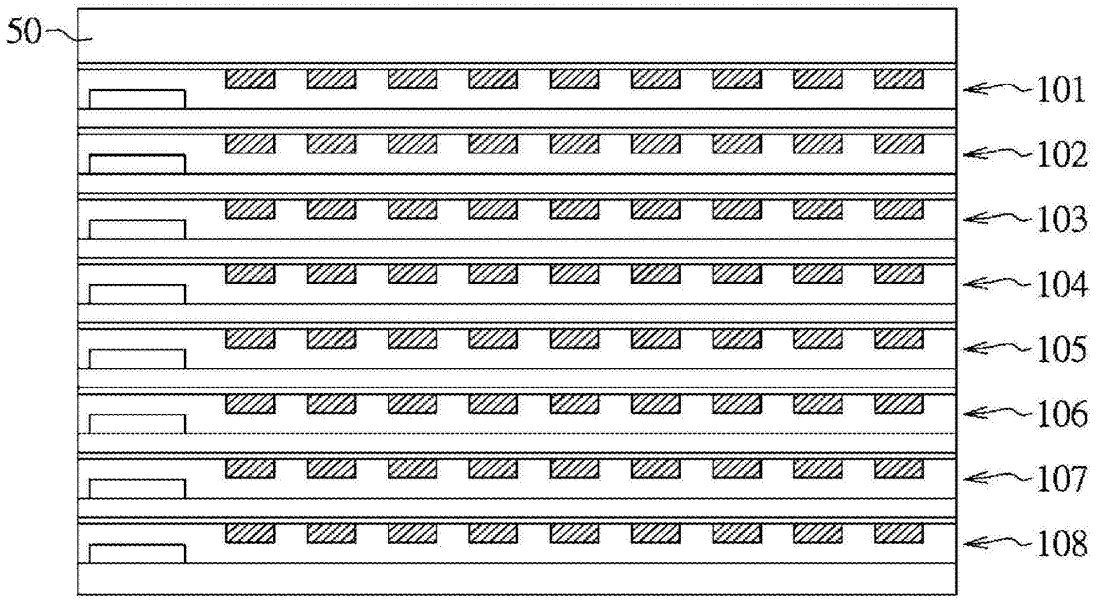


图 9

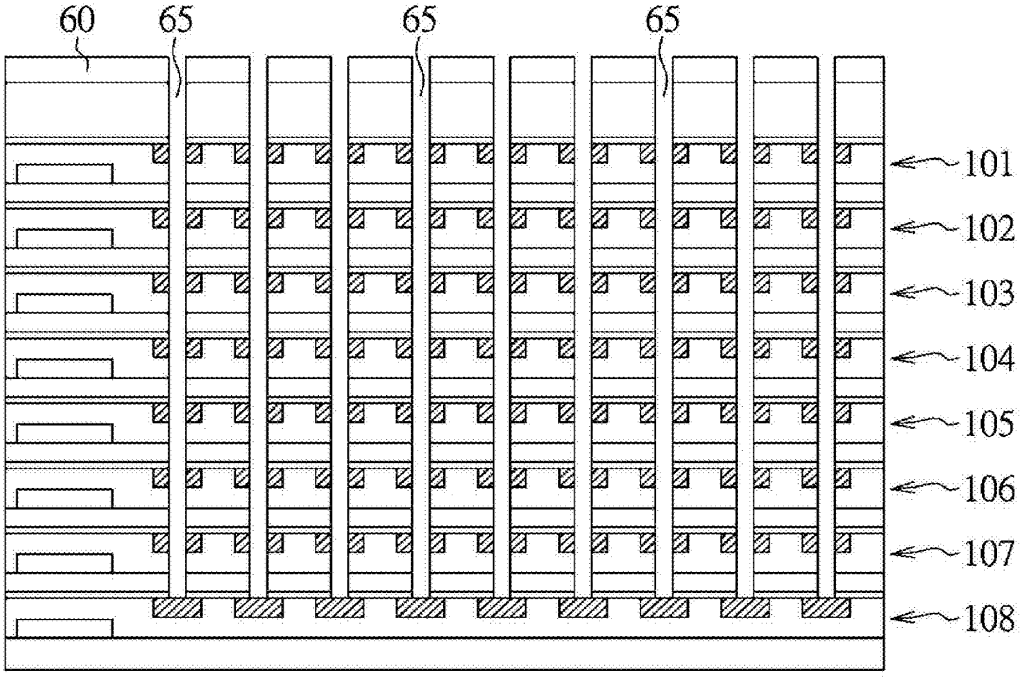


图 10

Micron Ex. 1002, p. 505
Micron v. YMTC
IPR2025-00294

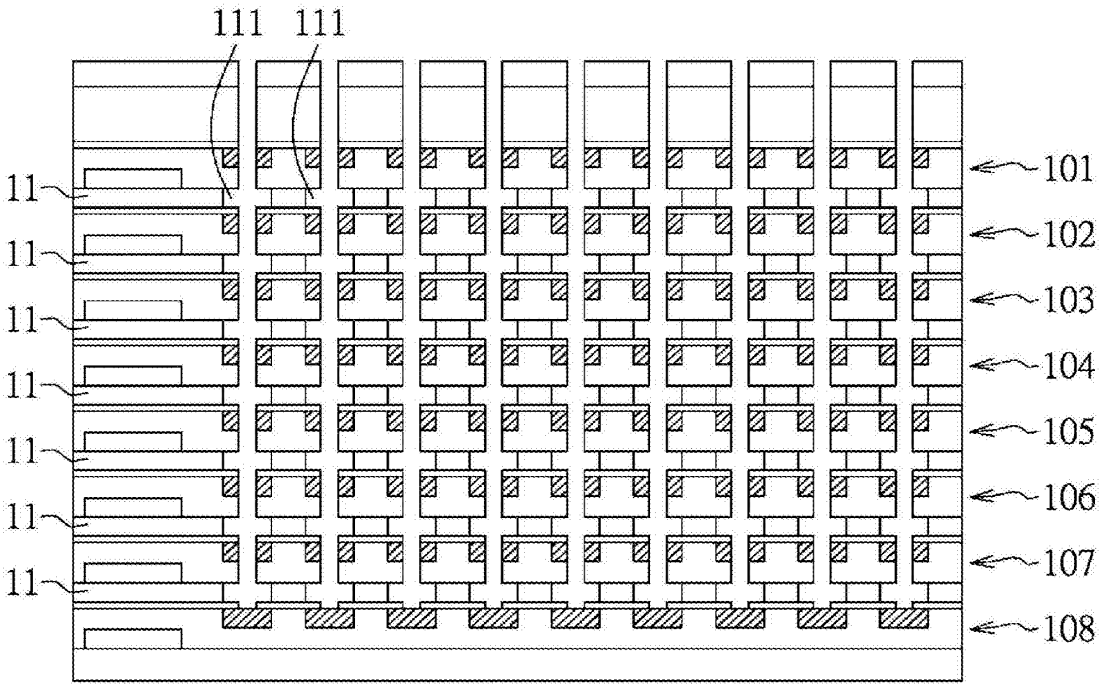


图 11

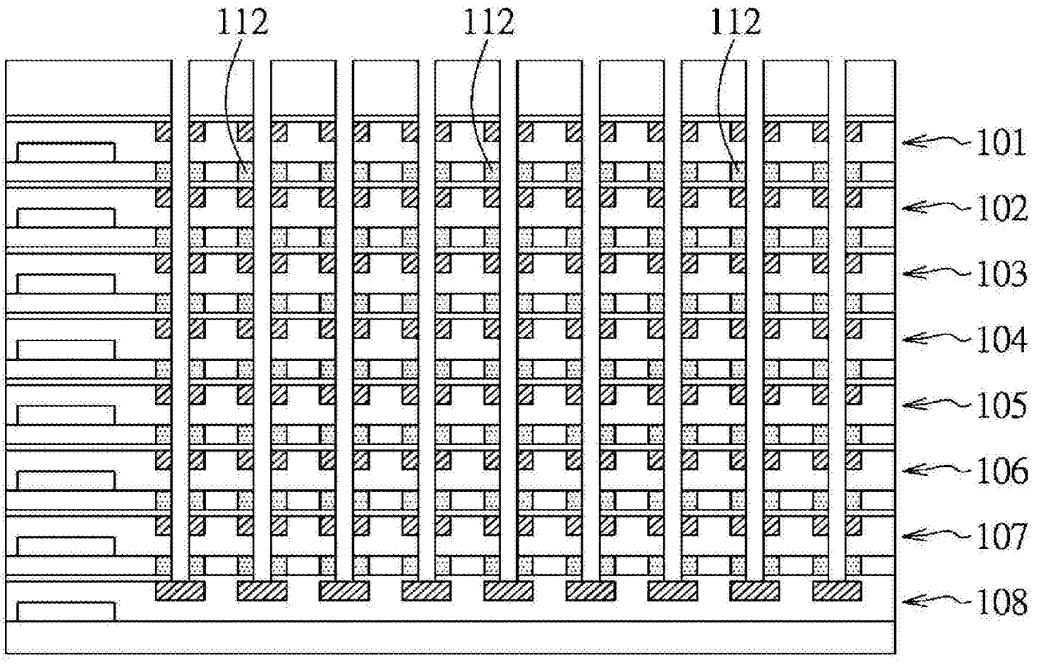


图 12

Micron Ex. 1002, p. 506
Micron v. YMTC
IPR2025-00294

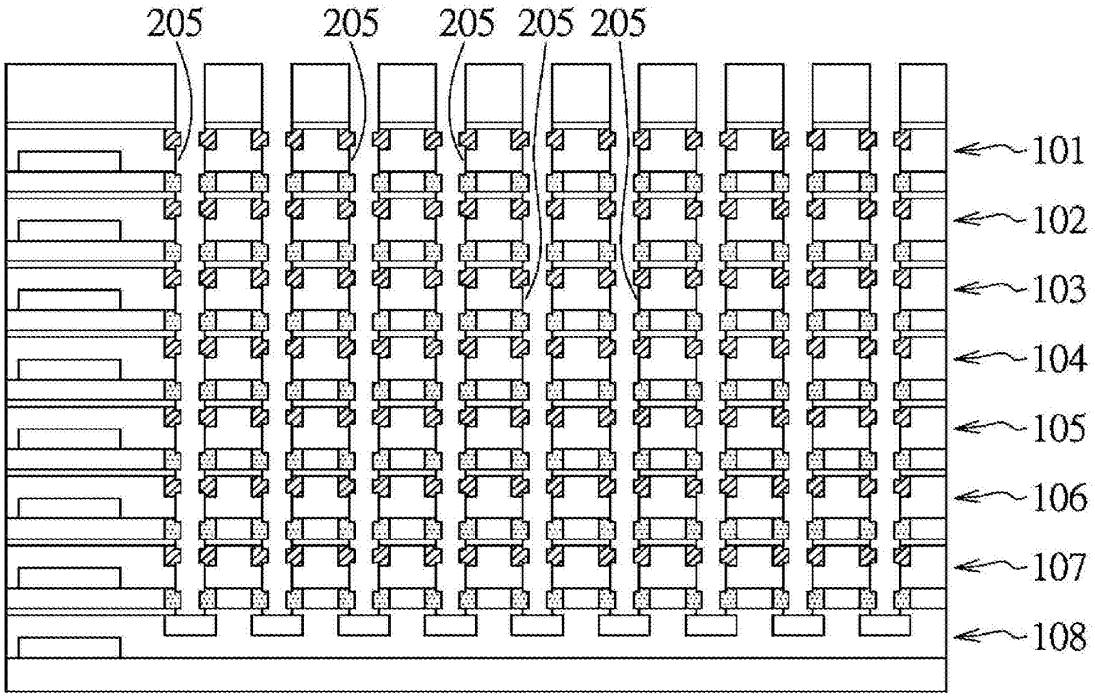


图 13

Micron Ex. 1002, p. 507
Micron v. YMTC
IPR2025-00294

Espacenet

Bibliographic data: CN105374826 (A) — 2016-03-02

Three-dimensional semiconductor device and manufacture method thereof

Inventor(s): HUO ZONGLIANG; YE TIANCHUN ± (HUO ZONGLIANG, ; YE TIANCHUN, ; 霍宗亮, ; 叶甜春)

Applicant(s): INST MICROELECTRONICS CAS ± (INSTITUTE OF MICROELECTRONICS OF CHINESE ACADEMY OF SCIENCES, ; 中国科学院微电子研究所)

Classification: - international:***H01L27/115; H01L29/10; H01L29/423***
- cooperative: **H01L27/11578**; **H01L29/1033**; **H01L29/4234**; **H01L29/42364** more

Application number: CN201510685648 20151020 Global Dossier

Priority number (s): CN201510685648 20151020

Also published as: CN105374826 (B)

Abstract of CN105374826 (A)

Provided is a three-dimensional semiconductor device which comprises multiple storage units. Each storage unit comprises a channel layer stack, multiple insulated layers, multiple gate conductive layers, a gate dielectric layer, a drain, and a source. The channel layer stack is distributed along the direction vertical to the surface of a substrate. The multiple insulated layers and the multiple gate conductive layers are stacked alternately along the sidewall of the channel layer stack. The gate dielectric layer is arranged between the multiple gate conductive layers and the sidewall of the channel layer stack. The drain is arranged on the top of the channel layer stack. The source is arranged in the substrate between two adjacent storage units of the multiple storage units. The lowest insulated layer is provided with an obtuse or rounded corner portion. According to the three-dimensional semiconductor device and a manufacture method thereof, the closed angle of a transistor on the bottom is made obtuse or rounded in order to suppress a local electric field enhancement effect so that a gate dielectric electric field of the transistor on the bottom is uniformly distributed and reliability is improved.

Micron Ex. 1002, p. 508
Micron v. YMTC
IPR2025-00294

Micron Ex. 1002, p. 509
Micron v. YMTC
IPR2025-00294

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 105374826 A
(43)申请公布日 2016.03.02

(21)申请号 201510685648.1

(22)申请日 2015.10.20

(71)申请人 中国科学院微电子研究所
地址 100029 北京市朝阳区北土城西路 3#

(72)发明人 霍宗亮 叶甜春

(74)专利代理机构 北京蓝智辉煌知识产权代理事务所(普通合伙) 11345
代理人 陈红

(51)Int.Cl.
H01L 27/115(2006.01)
H01L 29/10(2006.01)
H01L 29/423(2006.01)

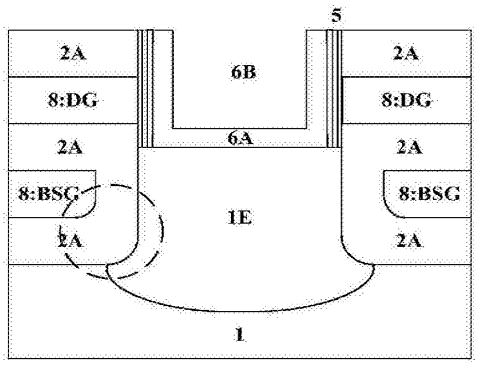
权利要求书2页 说明书7页 附图6页

(54)发明名称

三维半导体器件及其制造方法

(57)摘要

一种三维半导体器件,包括多个存储单元,多个存储单元的每一个包括:沟道层堆叠,沿垂直于衬底表面的方向分布;多个绝缘层与多个栅极导电层,沿着沟道层堆叠的侧壁交替层叠;栅极介质层,位于多个栅极导电层与沟道层堆叠的侧壁之间;漏极,位于沟道层堆叠的顶部;源极,位于多个存储单元的相邻两个存储单元之间的衬底中;其中,最下层的绝缘层具有钝化或圆化的角部。依照本发明的三维半导体存储器件及其制造方法,对底部晶体管的尖角进行钝化或圆化,抑制局域电场增强效应而使得底部晶体管栅介质电场均匀分布,从而提高可靠性。



CN 105374826 A

Micron Ex. 1002, p. 510
Micron v. YMTC
IPR2025-00294

1. 一种三维半导体器件，包括多个存储单元，多个存储单元的每一个包括：

沟道层堆叠，沿垂直于衬底表面的方向分布；

多个绝缘层与多个栅极导电层，沿着沟道层堆叠的侧壁交替层叠；

栅极介质层，位于多个栅极导电层与沟道层堆叠的侧壁之间；

漏极，位于沟道层堆叠的顶部；

源极，位于多个存储单元的相邻两个存储单元之间的衬底中；

其中，最下层的绝缘层具有钝化或圆化的角部。

2. 如权利要求 1 所述的三维半导体器件，其中，每个存储单元进一步包括外延沟道层，位于沟道层堆叠下方；优选地，外延沟道层的顶部高于最下层的栅极导电层的顶部。

3. 如权利要求 1 所述的三维半导体器件，其中，沟道层堆叠平行于衬底表面的截面形状包括选自矩形、方形、菱形、圆形、半圆形、椭圆形、三角形、五边形、五角形、六边形、八边形及其组合的几何形状，以及包括选自所述几何形状演化得到的实心几何图形、空心环状几何图形、或者空心环状外围层与绝缘层中心的组合图形。

4. 如权利要求 1 所述的三维半导体器件，其中，栅极介质层进一步包括隧穿层、存储层、阻挡层；任选地，沟道层堆叠包括沟道衬层、沟道层、沟道填充层，优选地沟道衬层和 / 或沟道层材料选自 V 族单质、V 族化合物、III--V 族化合物、II--VI 族化合物半导体，例如为单晶 Si、非晶 Si、多晶 Si、微晶 Si、单晶 Ge、SiGe、Si:C、SiGe:C、SiGe:H、GeSn、InSn、InN、InP、GaN、GaP、GaSn、GaAs 的任一种或其组合，优选地沟道填充层材料为空气或氧化物、氮化物；任选地，栅极介质层包括高 k 材料；任选地，栅极导电层材质为多晶硅、金属、金属氮化物、金属硅化物的任一种或其组合。

5. 一种三维半导体器件的制造方法，包括步骤：

在存储单元区的衬底上依次形成多个交替的第一材料层与第二材料层构成的绝缘层堆叠；

刻蚀形成多个深孔，直至暴露衬底；

在暴露的衬底中形成凹陷，凹陷具有钝化或圆化的角部；

在深孔中形成栅极介质层和沟道层堆叠，以及沟道层堆叠顶部的漏极；

选择性刻蚀至少部分地去除第二材料层，留下多个横向的凹槽以及暴露衬底的开口；

在开口底部的衬底中形成源极；

在多个凹槽中形成多个栅极导电层。

6. 如权利要求 5 所述的三维半导体器件制造方法，其中，刻蚀形成多个深孔之后进一步包括，在衬底中凹陷区域向上外延生长外延沟道层，优选地外延沟道层顶部高于最下层的栅极导电层的顶部。

7. 如权利要求 5 所述的三维半导体器件制造方法，其中，形成牺牲层之前进一步包括在深孔侧壁形成保护层，优选地去除牺牲层或者第二材料层的同时去除保护层。

8. 如权利要求 5 所述的三维半导体器件制造方法，其中，形成凹陷的步骤进一步包括，在深孔底部暴露的衬底中采用氧化和 / 或氮化工艺形成具有钝化或圆化的角部的牺牲层，去除牺牲层而在衬底中留下凹陷；或者对衬底执行交替多次执行 (i) 氧化和 / 或氮化工艺与 (ii) 各向同性刻蚀工艺形成凹陷。

9. 如权利要求 6 所述的三维半导体器件制造方法，其中，形成外延沟道层之后进一步

Micron Ex. 1002, p. 511
Micron v. YMTC
IPR2025-00294

包括在外延沟道层侧壁形成绝缘层；或者去除第二材料层时在沟道层堆叠侧壁保留一部分第二材料层用作底部选择晶体管的栅极绝缘层。

10. 如权利要求 5 所述的三维半导体器件制造方法，其中，形成栅极导电层之后进一步包括，形成源极连接线和字线连接线。

Micron Ex. 1002, p. 512
Micron v. YMTC
IPR2025-00294

三维半导体器件及其制造方法

技术领域

[0001] 本发明涉及一种半导体器件及其制造方法，特别是涉及一种三维半导体存储器件及其制造方法。

背景技术

[0002] 为了改善存储器件的密度，业界已经广泛致力于研发减小二维布置的存储器单元的尺寸的方法。随着二维（2D）存储器件的存储器单元尺寸持续缩减，信号冲突和干扰会显著增大，以至于难以执行多电平单元（MLC）操作。为了克服2D存储器件的限制，业界已经研发了具有三维（3D）结构的存储器件，通过将存储器单元三维地布置在衬底之上来提高集成密度。

[0003] 具体地，如图1A所示，可以首先在衬底上沉积多层叠层结构（例如氧化物和氮化物交替的多个ONO结构）；通过各向异性的刻蚀工艺对衬底上多层叠层结构刻蚀而形成沿着存储器单元字线（WL）延伸方向分布、垂直于衬底表面的多个沟道通孔（可直达衬底表面或者具有一定过刻蚀）；在沟道通孔中沉积多晶硅等材料形成柱状沟道6A/6B/6C；沿着WL方向刻蚀多层叠层结构形成直达衬底的沟槽，露出包围在柱状沟道周围的多层叠层；湿法去除叠层中的某一类型材料（例如热磷酸去除氮化硅，或HF去除氧化硅），在柱状沟道周围留下横向分布的突起结构2A；在沟槽中突起结构的侧壁沉积栅极介质层（例如高k介质材料）以及栅极导电层（例如Ti、W、Cu、Mo等）形成栅极堆叠8，例如包括底部选择栅极线BSG、虚设栅极线DG、字线WL0～WL31、顶部选择栅极线TSG；垂直各向异性刻蚀去除突起侧平面之外的栅极堆叠，直至露出突起侧面的栅极介质层；刻蚀叠层结构形成源漏接触并完成后端制造工艺。此时，叠层结构在柱状沟道侧壁留下的一部分突起形成了栅电极之间的隔离层（图1A中所示为2A），而留下的栅极堆叠8夹设在多个隔离层之间作为控制电极。当向栅极施加电压时，栅极的边缘电场会使得例如多晶硅材料的柱状沟道侧壁上感应形成源漏区，由此构成多个串并联的MOSFET构成的门阵列而记录所存储的逻辑状态。

[0004] 其中，如图1B所示，在参照图1A制作的三维存储器中（特别是在虚线圆框内），由于深孔刻蚀往往难以实现恰好90度的刻蚀角（虽然图1A、图1B中示出了沟道的垂直侧壁，但是实际上可以具有约0.5～3度的偏斜），顶层孔径将大于底层孔的孔径，下选择管采用选择性外延生长(SEG)方式形成外延沟道1E后，需要采用后栅工艺移去伪栅如SiN，之后氧化形成L型晶体管的栅氧化层。此时这种非90度的刻蚀将使得L型晶体管存在严重的尖角问题，该区域会存在局域的强电场，会使得栅介质极易发生击穿，从而可靠性恶化。

发明内容

[0005] 由上所述，本发明的目的在于克服上述技术困难，提出一种创新性三维半导体存储器件及其制造方法。

[0006] 为此，本发明一方面提供了一种三维半导体器件，包括多个存储单元，多个存储单元的每一个包括：沟道层堆叠，沿垂直于衬底表面的方向分布；多个绝缘层与多个栅极导

Micron Ex. 1002, p. 513
Micron v. YMTC
IPR2025-00294

电层，沿着沟道层堆叠的侧壁交替层叠；栅极介质层，位于多个栅极导电层与沟道层堆叠的侧壁之间；漏极，位于沟道层堆叠的顶部；源极，位于多个存储单元的相邻两个存储单元之间的衬底中；其中，最下层的绝缘层具有钝化或圆化的角部。

[0007] 其中，每个存储单元进一步包括外延沟道层，位于沟道层堆叠下方；优选地，外延沟道层的顶部高于最下层的栅极导电层的顶部。

[0008] 其中，沟道层堆叠平行于衬底表面的截面形状包括选自矩形、方形、菱形、圆形、半圆形、椭圆形、三角形、五边形、五角形、六边形、八边形及其组合的几何形状，以及包括选自所述几何形状演化得到的实心几何图形、空心环状几何图形、或者空心环状外围层与绝缘层中心的组合图形。

[0009] 其中，栅极介质层进一步包括隧穿层、存储层、阻挡层；任选地，沟道层堆叠包括沟道衬层、沟道层、沟道填充层，优选地沟道衬层和/或沟道层材料选自V族单质、V族化合物、III-V族化合物、II-VI族化合物半导体，例如为单晶Si、非晶Si、多晶Si、微晶Si、单晶Ge、SiGe、Si:C、SiGe:C、SiGe:H、GeSn、InSn、InN、InP、GaN、GaP、GaSn、GaAs的任一种或其组合，优选地沟道填充层材料为空气或氧化物、氮化物；任选地，栅极介质层包括高k材料；任选地，栅极导电层材质为多晶硅、金属、金属氮化物、金属硅化物的任一种或其组合。

[0010] 本发明还提供了一种三维半导体器件的制造方法，包括步骤：在存储单元区的衬底上依次形成多个交替的第一材料层与第二材料层构成的绝缘层堆叠；刻蚀形成多个深孔，直至暴露衬底；在暴露的衬底中形成凹陷，凹陷具有钝化或圆化的角部；在深孔中形成栅极介质层和沟道层堆叠，以及沟道层堆叠顶部的漏极；选择性刻蚀至少部分地去除第二材料层，留下多个横向的凹槽以及暴露衬底的开口；在开口底部的衬底中形成源极；在多个凹槽中形成多个栅极导电层。

[0011] 其中，刻蚀形成多个深孔之后进一步包括，在衬底中凹陷区域向上外延生长外延沟道层，优选地外延沟道层顶部高于最下层的栅极导电层的顶部。

[0012] 其中，形成牺牲层之前进一步包括在深孔侧壁形成保护层，优选地去除牺牲层或者第二材料层的同时去除保护层。

[0013] 其中，形成凹陷的步骤进一步包括，在深孔底部暴露的衬底中采用氧化和/或氮化工艺形成具有钝化或圆化的角部的牺牲层，去除牺牲层而在衬底中留下凹陷；或者对衬底执行交替多次执行(i)氧化和/或氮化工艺与(ii)各向同性刻蚀工艺形成凹陷。

[0014] 其中，形成外延沟道层之后进一步包括在外延沟道层侧壁形成绝缘层；或者去除第二材料层时在沟道层堆叠侧壁保留一部分第二材料层用作底部选择晶体管的栅极绝缘层。

[0015] 其中，形成栅极导电层之后进一步包括，形成源极连接线和字线连接线。

[0016] 依照本发明的三维半导体存储器件及其制造方法，对底部晶体管的尖角进行钝化或圆化，抑制局域电场增强效应而使得底部晶体管栅介质电场均匀分布，从而提高可靠性。

附图说明

[0017] 以下参照附图来详细说明本发明的技术方案，其中：

[0018] 图1A和图1B为现有技术的三维半导体存储器件的剖视图；

[0019] 图2A至图2L为依照本发明一个实施例的三维半导体存储器件制造方法的各个步

Micron Ex. 1002, p. 514
Micron v. YMTC
IPR2025-00294

骤的剖视图；以及

[0020] 图 3 为依照本发明实施例的半导体存储器件的局部放大图。

具体实施方式

[0021] 以下参照附图并结合示意性的实施例来详细说明本发明技术方案的特征及其技术效果，公开了抑制局域电场增强效应而使得底部晶体管栅介质电场均匀分布的半导体存储器件及其制造方法。需要指出的是，类似的附图标记表示类似的结构，本申请中所用的术语“第一”、“第二”、“上”、“下”等等可用于修饰各种器件结构或制造工序。这些修饰除非特别说明并非暗示所修饰器件结构或制造工序的空间、次序或层级关系。

[0022] 如图 2A 所示，在衬底 1 上依次形成由交替层叠的多个第一材料层 2A 和多个第二材料层 2B 构成的绝缘层堆叠 2，沉积工艺例如包括 LPCVD、PECVD、HDPCVD、UHVCVD、MOCVD、MBE、ALD、蒸发、溅射等。提供衬底 1，其材质可以包括体硅 (bulk Si)、体锗 (bulk Ge)、绝缘体上硅 (SOI)、绝缘体上锗 (GeOI) 或者是其他化合物半导体衬底，例如 SiGe、SiC、GaN、GaAs、InP 等等，以及这些物质的组合。为了与现有的 IC 制造工艺兼容，衬底 1 优选地为含硅材质的衬底，例如 Si、SOI、SiGe、Si:C 等。绝缘层堆叠结构 2 的材料选自以下材料的组合并且至少包括一种绝缘介质：如氧化硅、氮化硅、氮氧化硅、非晶碳、类金刚石无定形碳 (DLC)、氧化锗、氧化铝、等任一种及其组合。第一材料层 2A 具有第一刻蚀选择性，第二材料层 2B 具有第二刻蚀选择性并且不同于第一刻蚀选择性。在本发明一个优选实施例中，叠层结构 2A/2B 的组合例如氧化硅与氮化硅的组合、氧化硅与多晶硅或非晶硅的组合、氧化硅或氮化硅与非晶碳的组合等等，最佳地层 2A 为氧化硅且层 2B 为氮化硅。在本发明一个优选实施例中，层 2A 与层 2B 在湿法腐蚀条件或者在氧等离子干法刻蚀条件下具有较大的刻蚀选择比（例如大于 5:1）。如图 2A 所示，绝缘层堆叠 2 至少包括交替层叠的 7 个第一材料层 2A 和 6 个第二材料层 2B（也即优选地绝缘层堆叠 2 顶部为第一材料层 2A），自然也可以依照存储器单元串个数需要设置其他数目的材料层堆叠。

[0023] 如图 2B 所示，刻蚀绝缘层堆叠 2A/2B 形成深孔或沟槽 2T 以定义沟道区域。选择各向异性刻蚀工艺，例如选用碳氟基 ($C_xH_yF_z$ 构成氟代烃）作为刻蚀气体的等离子体干法刻蚀或 RIE，垂直向下刻蚀绝缘层堆叠 2A/2B 形成多个深孔或沟槽 2T（虽然图 2B 仅示出一个，但是实际上可以在平面图中存在多个，对应于多个存储器单元），直至暴露衬底 1。平行于衬底 1 表面切得的沟槽 2T 的截面形状可以为矩形、方形、菱形、圆形、半圆形、椭圆形、三角形、五边形、五角形、六边形、八边形等等各种几何形状。值得注意的是，虽然图 2B 所示深孔 2T 具有垂直侧壁，但是实际上由于刻蚀工艺限制，其侧壁通常可以具有 0.5 ～ 3 度的偏斜，也即深孔 2T 底部（暴露衬底 1 顶部）宽度可以小于顶部宽度（也即最顶层 2A 中开口直径）。优选地，深孔 2T 的高宽比大于等于 5:1、优选大于等于 10:1、最佳为 20:1。优选地，采用 HDPCVD、UHVCVD、MOCVD、MBE、ALD 等保形性和台阶覆盖率良好的沉积工艺形成绝缘介质层，并采用各向异性刻蚀工艺去除水平部分仅在深孔 2T 侧壁保留垂直部分从而构成侧墙或者保护层 3，其材质例如选自多晶硅、非晶硅、氧化硅、氮化硅、氮氧化硅、非晶碳、类金刚石无定形碳 (DLC)、氧化锗、氧化铝、等任一种及其组合，并且侧墙 3 的材质不同于第一材料层 2A 也不同于第二材料层 2B，从而提供较大的刻蚀选择性。在本发明一个优选实施例中，层 2A 为氧化硅，层 2B 为氮化硅，层 3 为多晶硅。

Micron Ex. 1002, p. 515
Micron v. YMTC
IPR2025-00294

[0024] 如图 2C 所示，在深孔 2T 底部衬底 1 中形成牺牲层 4。例如执行氧化和 / 或氮化工艺，也即在含氧（例如含 O_2、O_3、H_2O、CO_2等氧化性气体）和 / 或含氮（例如含 N_2、NH_3、N_2O、NO、NO_2等氮源气体）气氛（也可以为均包含 O、N 的气氛）中进行加热处理（热处理温度例如 600 ～ 1000℃、优选 700 ～ 900℃、最佳 850℃，处理时间例如 1ms ～ 10min、优选 20ms ～ 1min、最佳 50ms），使得深孔 2T 底部暴露的衬底 1 表面被氧化和 / 或氮化，形成绝缘材质的牺牲层 4，例如氧化硅、氮化硅或氮氧化硅。在此过程中，由于侧墙 3 的保护，牺牲层 4 并未向上延伸生长而是向衬底 1 深处发展，由此在衬底 1 与最下层的第一材料层 2A 之间界面处形成了被钝化或圆化的角部，例如牺牲层 4 为热氧化工艺形成的鸟嘴状结构。与此同时，这种氧化和 / 或氮化工艺可以减少图 2B 的刻蚀工艺对衬底 1 表面的刻蚀损伤，避免后续外延生长时界面缺陷密度过大。

[0025] 如图 2D 所示，去除牺牲层 4，在衬底 1 中留下具有钝化或圆化角部的凹陷 4R。优选各向同性刻蚀工艺，例如针对氧化硅牺牲层选用 dHF（稀释 HF 酸水溶液）、dBOE（稀释缓释刻蚀剂，NH_4F 与 HF 混合水溶液），针对氮化硅牺牲层选用热磷酸，针对氮氧化硅选用强酸（硫酸、硝酸）与强氧化剂（双氧水、臭氧水溶液）混合溶液等。优选地，去除牺牲层 4 同时也一并去除了侧墙 3。在本发明另一优选实施例中，去除牺牲层 4 时不去除侧墙 3，而是保留到后续去除第二材料层 2B 时一并去除。由于牺牲层 4 具有钝化或圆化的角部，因此去除牺牲层 4 之后留下的凹陷 4R、以及最下层的第一材料层 2A 也具有相应的钝化或圆化的角部。

[0026] 在本发明另一优选实施例中，可以对暴露的衬底 1 多次（例如循环执行 10 次以上）交替执行（i）氧化和 / 或氮化工艺与（ii）各向同性刻蚀工艺（例如湿法腐蚀），如此形成具有钝化或圆化角部的凹陷 4R。

[0027] 如图 2E 所示，在凹陷 4R 区域向上外延生长底部器件的沟道层 1E。例如采用 MOCVD、MBE、ALD 等工艺，选择性外延生长 (SEG) 形成外延沟道层 1E，用作存储器单元中底部选择 (BS) 晶体管的沟道区。外延层 1E 材质可以与衬底 1 相同，例如均为 Si。在本发明另一个优选实施例中，外延沟道层 1E 材料可以不同于衬底 1，例如为 V 族、III-V 族或 II-VI 族化合物半导体，诸如 SiGe、Si:C、SiGe:C、Ge、GeSn、InSn、InN、InP、GaN、GaP、GaSn、GaAs 等及其组合，以增强载流子迁移率提高驱动能力。如图 2E 所示，优选地，外延层 1E 顶部超过衬底 1 顶部，并进一步高于最底部的第二材料层 2B 的顶部，由此使得最终形成的底部选择晶体管具有 L 型沟道，增强其驱动能力。

[0028] 如图 2F 所示，采用 PECVD、HDPCVD、UHVCVD、MOCVD、MBE、ALD 等工艺，在深孔 2T 中依次沉积形成栅极绝缘堆叠 5 和沟道层 6A。栅极绝缘堆叠 5 包括多个子层（图中并未单独标出），例如至少包括隧穿层、存储层、阻挡层，阻挡层直接接触深孔 2T 侧壁的绝缘层堆叠 2A/2B，隧穿层最靠近深孔 2T 中心轴线并接触后续沉积的沟道层 6。其中隧穿层包括 SiO_2或高 k 材料，其中高 k 材料包括但不限于氮化物（例如 SiN、AlN、TiN）、金属氧化物（主要为副族和镧系金属元素氧化物，例如 MgO、Al_2O_3、Ta_2O_5、TiO_2、ZnO、ZrO_2、HfO_2、CeO_2、Y_2O_3、La_2O_3）、氮氧化物（如 SiON、HfSiON）、钙钛矿相氧化物（例如 $PbZr_xTi_{1-x}O_3$(PZT)、$Ba_xSr_{1-x}TiO_3$(BST)）等，隧穿层可以是上述材料的单层结构或多层堆叠结构。存储层是具有电荷俘获能力的介质材料，例如 SiON、SiN、HfO、ZrO 等及其组合，同样可以是上述材料的单层结构或多层堆叠结构。阻挡层可以是氧化硅、氧化铝、氧化铪等介质材料的单层结构或多层堆叠结构。在本

Micron Ex. 1002, p. 516
Micron v. YMTC
IPR2025-00294

发明一个实施例中，栅极绝缘堆叠结构5例如是氧化硅、氮化硅、氧化硅组成的ONO结构。栅极绝缘堆叠结构5仅覆盖了深孔2T的侧壁，底部在外延层1E上的部分将通过各向异性刻蚀去除直至暴露外延层1E，以便后续外延生长沟道所用。

[0029] 形成沟道层6A之前进一步任选地包括形成沟道衬层（未示出），材质可以包括单晶硅、非晶硅、多晶硅、微晶硅、单晶锗、SiGe、Si:C、SiGe:C、SiGe:H等半导体材料，用作后续刻蚀的保护层以及未来进一步沉积的成核层，其厚度例如为5～10nm。随后采用MOCVD、MBE、ALD等工艺共形地形成沟道层6A，覆盖了栅极绝缘堆叠结构5的侧壁以及外延层1E的顶部（沟道层6A为半导体材质，与外延层1E晶格常数相等或相近）。沟道层6A材料可以与前述沟道衬层相同均选自上述材料，也可以选自其他V族、III-V族或II-VI族化合物半导体，诸如GeSn、InSn、InN、InP、GaN、GaP、GaSn、GaAs等及其组合。在本发明图2F所示一个实施例中，第二沟道层6A的沉积方式为局部填充孔槽2T的侧壁而形成为具有空气隙6B的中空柱形。在本发明图中未示出的其他实施例中，选择沟道层6A的沉积方式以完全或者局部填充孔槽2T，形成实心柱、空心环、或者空心环内填充绝缘层（未示出）的核心－外壳结构。沟道层6A的水平截面的形状与孔槽2T类似并且优选地共形，可以为实心的矩形、方形、菱形、圆形、半圆形、椭圆形、三角形、五边形、五角形、六边形、八边形等等各种几何形状，或者为上述几何形状演化得到的空心的环状、桶状结构（并且其内部可以填充绝缘层）。优选地，对于空心的柱状沟道层6A结构，可以进一步在沟道层6A内侧填充绝缘隔离层6B，例如通过LPCVD、PECVD、HDPCVD等工艺形成例如氧化硅材质的层6B，用于支撑、绝缘并隔离沟道层6A。

[0030] 此后，在沟道层6A顶部沉积漏区6C。优选地，采用与沟道层6A材质相同或者相近（例如与Si相近的材质非晶Si、多晶Si、SiGe、SiC等，以便微调晶格常数而提高载流子迁移率，从而控制单元器件的驱动性能）的材质沉积在孔槽2T的顶部而形成存储器件单元晶体管的漏区6C。自然，如果与图2F所示不同，沟道层6A为完全填充的实心结构，则沟道层6A在整个器件顶部的部分则构成相应的漏区6C而无需额外的漏区沉积步骤。在本发明其他实施例中，漏区6C也可以为金属、金属氮化物、金属硅化物，例如W、WN、WSi等任一种或其组合，构成金半接触而在顶部形成肖特基型器件。

[0031] 如图2G所示，沉积绝缘层7并平坦化，刻蚀暴露衬底1和绝缘层堆叠2侧壁。采用旋涂、喷涂、丝网印刷、CVD沉积、热解、氧化等工艺，在整个器件之上形成绝缘层7（例如层间介质层，ILD），材料例如氧化硅或低k材料，低k材料包括但不限于有机低k材料（例如含芳基或者多元环的有机聚合物）、无机低k材料（例如无定形碳氮薄膜、多晶硼氮薄膜、氟硅玻璃、BSG、PSG、BPSG）、多孔低k材料（例如二硅三氧烷（SSQ）基多孔低k材料、多孔二氧化硅、多孔SiOCH、掺C二氧化硅、掺F多孔无定形碳、多孔金刚石、多孔有机聚合物）。优选地，CMP平坦化ILD 7。利用光刻胶掩模图形（未示出）执行各向异性刻蚀工艺，依次垂直刻蚀ILD 7、绝缘层堆叠2A/2B，直至暴露衬底1，形成多个垂直开口7T，并且同时暴露了绝缘层堆叠2A/2B的侧壁。在平面图（未示出）中，多个垂直开口7T将围绕每一个垂直沟道6A/6B/6C，例如每个垂直沟道平均具有2～6个垂直开口7T围绕周边。开口7T的截面形状可以与深孔2T相同。

[0032] 如图2H所示，选择性去除第二材料层2B。选用各向同性刻蚀工艺，去除绝缘层堆叠2中的所有第二材料层2B，仅保留多个第一材料层2A。根据层2A/层2B的材质不同，可

Micron Ex. 1002, p. 517
Micron v. YMTC
IPR2025-00294

以选择湿法腐蚀液以各向同性地刻蚀去除层 2B。具体地，对于层 2B 材质而言，针对氧化硅材质采取 HF 基腐蚀液，针对氮化硅材质采用热磷酸腐蚀液，针对多晶硅或非晶硅材质采用 KOH 或 TMAH 等强碱腐蚀液。另外还可以针对非晶碳、DLC 等碳基材质的层 2B 而选用氧等离子干法刻蚀，使得 O 与 C 反应形成气体而抽出。去除层 2B 之后，在多个第一材料层 2A 之间留下了横向（平行于衬底表面的水平方向）的多个凹槽 2R，以用于稍后形成控制电极。

[0033] 随后，在开口 7T 底部衬底 1 中形成共用源极 1S。例如选用离子注入工艺，自对准的垂直注入衬底 1 底部形成了多个共用源极 1S，以及优选地进一步在表面形成金属硅化物（未示出）以降低表面接触电阻。金属硅化物例如 $NiSi_{2-y}$、$Ni_{1-x}Pt_xSi_{2-y}$、$CoSi_{2-y}$或 $Ni_{1-x}Co_xSi_{2-y}$，其中 x 均大于 0 小于 1，y 均大于等于 0 小于 1。共源区 1S 与衬底具有不同的掺杂类型，通过绝缘材料部分或者完全分离，从而对于擦写读操作形成不同的载流子路径。

[0034] 如图 2I 所示，在外延层 1E 暴露的侧壁上形成绝缘层。由于在图 2E 中外延层 1E 顶部高于最下层的第二材料层 2B，因此去除所有第二材料层 2B 之后图 2H 最底部的选择晶体管对应的沟道层 1E 侧壁暴露在凹陷 2R 中，如果后续直接形成金属电极则会使得下下层选择栅极 (BSG) 直接接触沟道层 1E，因此需要额外地形成绝缘层。在本发明一个优选实施例中，通过热氧化和 / 或热氮化、或化学氧化，在沟道层 1E 侧壁形成了用于底层选择晶体管的栅极绝缘层（未单独标出，而是与第一材料层 2A 示出为连接成一体）。在本发明另外的优选实施例中，在图 2H 所示工艺中并不完全去除第二材料层 2B，例如减少刻蚀时间或降低刻蚀速度，使得一部分第二材料层 2B 残留在栅极绝缘层 5 的侧壁上（图 2H 中未示出），如此可以无需图 2I 所示的额外栅极绝缘层形成步骤，而直接利用残余的第二材料层 2B 作为 SBG 的栅极绝缘层。

[0035] 如图 2J 所示，在多个凹槽 2R 中形成栅电极 8。栅电极 8 可以是多晶硅、多晶锗硅、或金属，其中金属可包括 Co、Ni、Cu、Al、Pd、Pt、Ru、Re、Mo、Ta、Ti、Hf、Zr、W、Ir、Eu、Nd、Er、La 等金属单质、或这些金属的合金以及这些金属的氮化物，栅电极 8 中还可掺杂有 C、F、N、O、B、P、As 等元素以调节功函数。栅极介质层 5 与栅电极 8 之间还优选通过 PVD、CVD、ALD 等常规方法形成高 k 材料或氮化物的阻挡层（未示出），氮化物材质例如为 M_xN_y、$M_xSi_yN_z$、$M_xAl_yN_z$、$M_aAl_xSi_yN_z$，其中 M 为 Ta、Ti、Hf、Zr、Mo、W 或其它元素。同样地，层 8 可以是单层结构也可以是多层堆叠结构。

[0036] 如图 2K 所示，在开口 7T 中填充形成源区 1S 的引出结构 9。例如先 CVD 或氧化 / 氮化工艺形成绝缘材料层并各向异性刻蚀去除底部露出源极 1S 而形成侧墙 9A 以避免与位线电极 8 短接，随后通过 MOCVD、ALD、蒸发、溅射等工艺形成金属材料的源极引出线 9B，其材质例如金属，可包括 Co、Ni、Cu、Al、Pd、Pt、Ru、Re、Mo、Ta、Ti、Hf、Zr、W、Ir、Eu、Nd、Er、La 等金属单质、或这些金属的合金以及这些金属的导电氮化物或导电氧化物。优选地，CMP 平坦化引出线 9A/9B 直至暴露 ILD 7。

[0037] 如图 2L 所示，刻蚀 ILD 7 直至暴露漏区 6D，填充与引出线 9 类似的材料形成位线引出线 10(BL)。最终实现的器件剖视图如图 2L 所示，一种三维半导体器件，包括多个存储单元，多个存储单元的每一个包括：沟道层 6A/6B，沿垂直于衬底 1 表面的方向分布；多个绝缘层 2A 与多个栅极导电层 8(8:BSG（底部选择栅极）、8:DG（虚设栅极）、8:WL（字线 WL0、WL1 至 WL31 共 32 个）、8:TSG（顶部选择栅极）等)，沿着沟道层的侧壁交替层叠；栅极介质层 5，位于多个层间绝缘层与沟道层的侧壁之间；漏极 6C，位于沟道层的顶部；以及源极 1S，

Micron Ex. 1002, p. 518
Micron v. YMTC
IPR2025-00294

位于多个存储单元的相邻两个存储单元之间的衬底中；其中，最下层的绝缘层 2A 具有钝化或圆化的角部。优选地，衬底 1 上具有外延沟道层 1E，位于沟道层 6 下方。进一步优选地，外延沟道层 1E 高于最下层的栅极导电层 8(8:BSG) 的顶部。其他各层的材料和构造特征如工艺方法部分所述，在此不再赘述。

[0038] 如图 3 所示，对于 L 型下选择管，在尖角（虚圆框）进行钝化，可以抑制局域电场增强效应使得下选择管栅介质的电场均匀分布，从而提高可靠性。

[0039] 此外，本专利以基于电荷俘获存储器的单元串来进行阐述，但是也适用于采用三维浮栅单元串、阻变单元串等的选择管优化。

[0040] 依照本发明的三维半导体存储器件及其制造方法，对底部晶体管的尖角进行钝化或圆化，抑制局域电场增强效应而使得底部晶体管栅介质电场均匀分布，从而提高可靠性。

[0041] 尽管已参照一个或多个示例性实施例说明本发明，本领域技术人员可以知晓无需脱离本发明范围而对器件结构或方法流程做出各种合适的改变和等价方式。此外，由所公开的教导可做出许多可能适于特定情形或材料的修改而不脱离本发明范围。因此，本发明的目的不在于限定在作为用于实现本发明的最佳实施方式而公开的特定实施例，而所公开的器件结构及其制造方法将包括落入本发明范围内的所有实施例。

Micron Ex. 1002, p. 519
Micron v. YMTC
IPR2025-00294

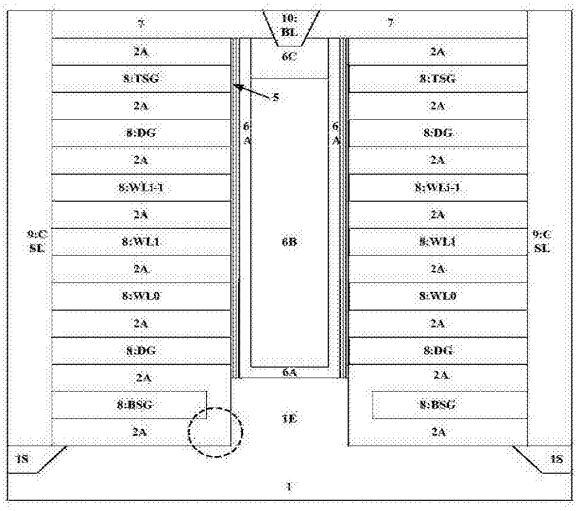


图 1A

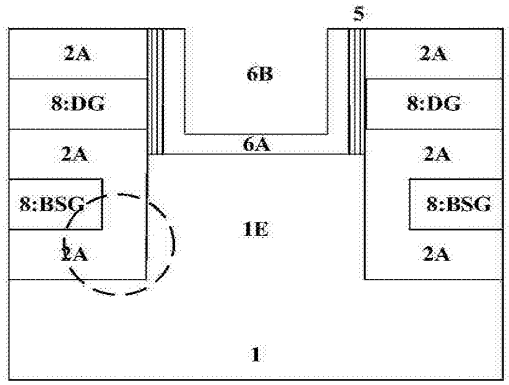


图 1B

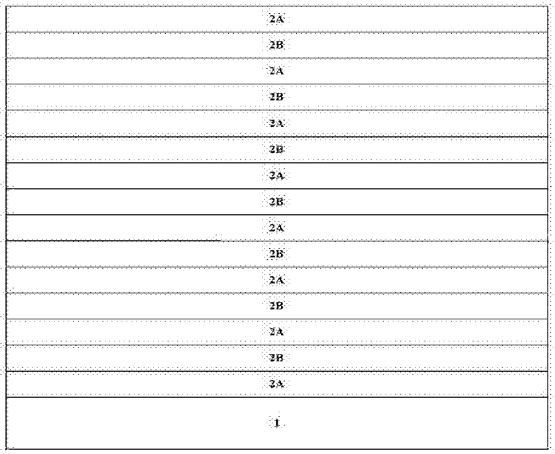


图 2A

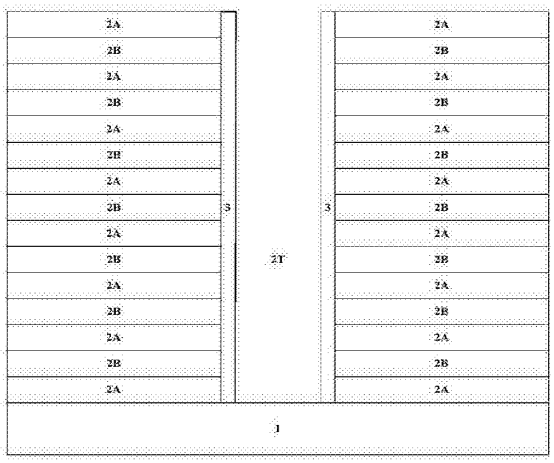


图 2B

Micron Ex. 1002, p. 520
Micron v. YMTC
IPR2025-00294

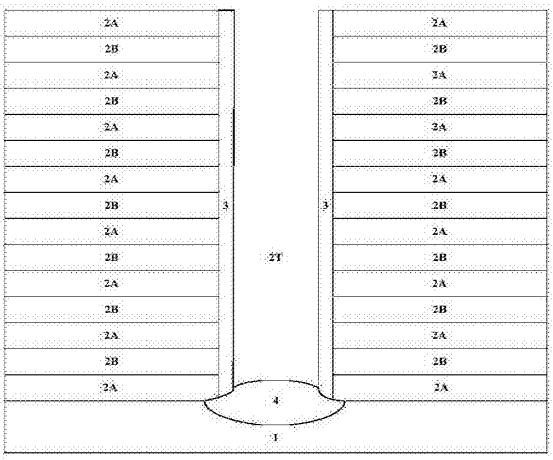


图 2C

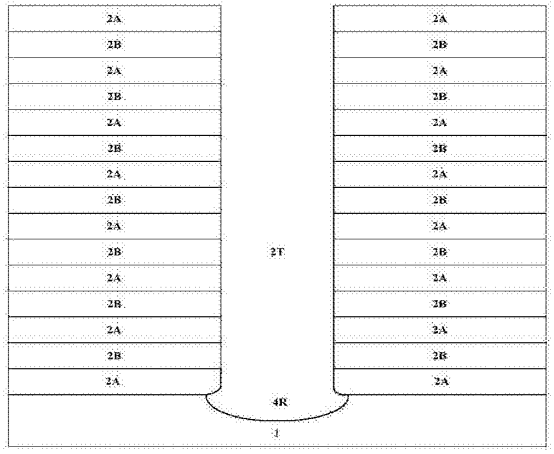


图 2D

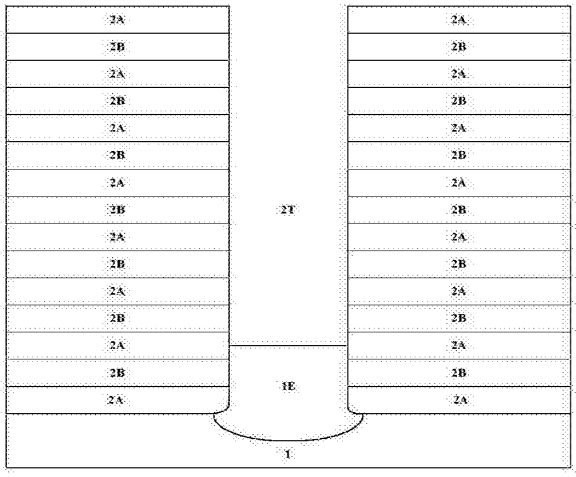


图 2E

Micron Ex. 1002, p. 521
Micron v. YMTC
IPR2025-00294

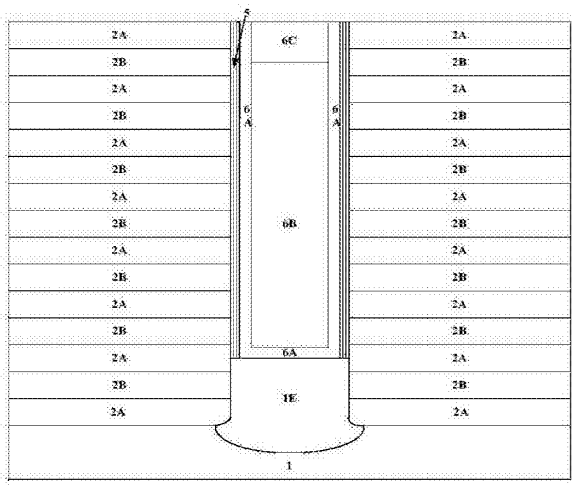


图 2F

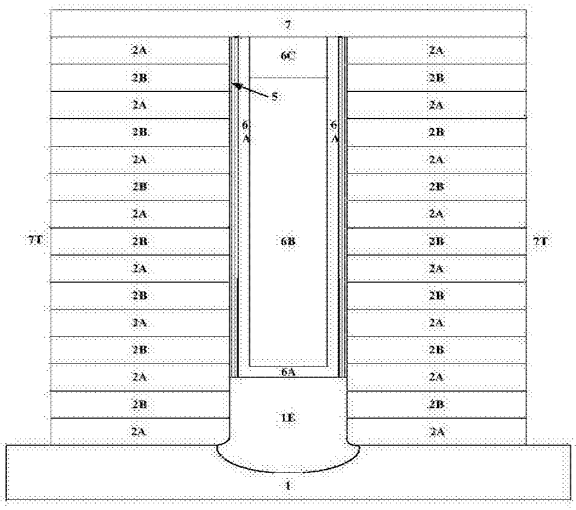


图 2G

Micron Ex. 1002, p. 522
Micron v. YMTC
IPR2025-00294

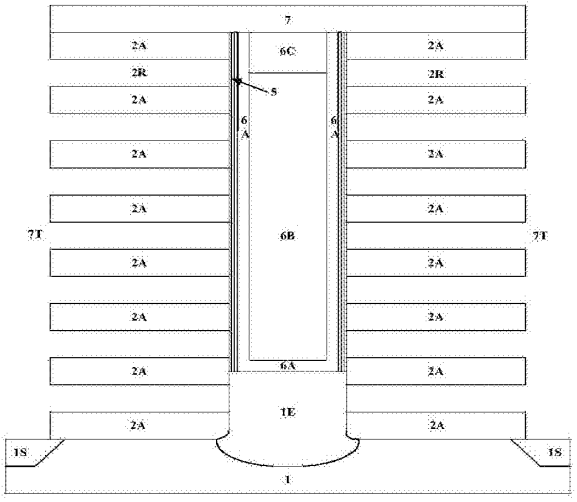


图 2H

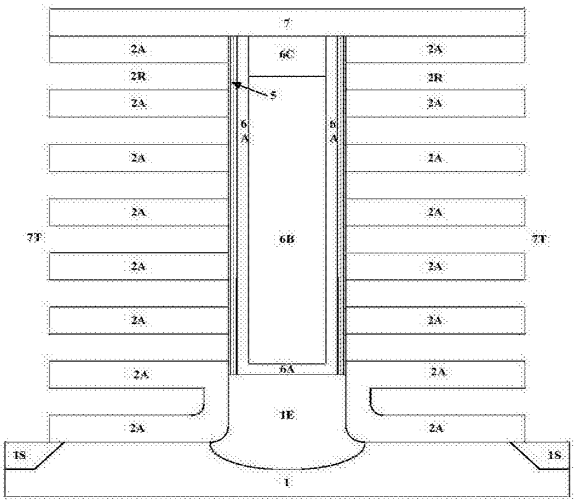


图 2I

Micron Ex. 1002, p. 523
Micron v. YMTC
IPR2025-00294

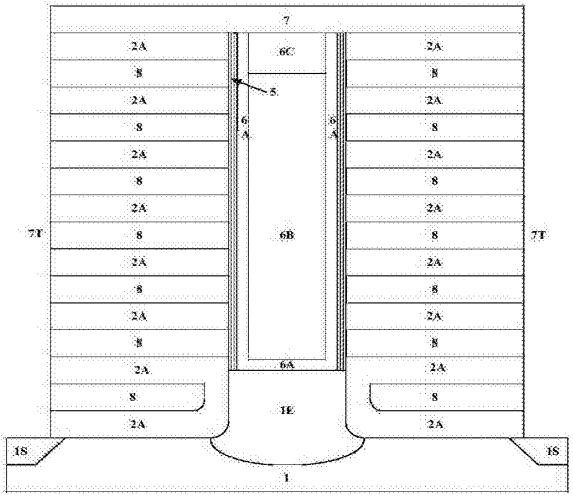


图 2J

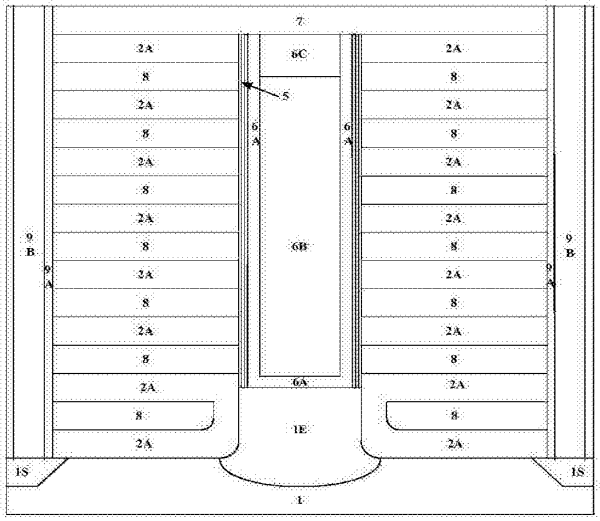


图 2K

Micron Ex. 1002, p. 524
Micron v. YMTC
IPR2025-00294

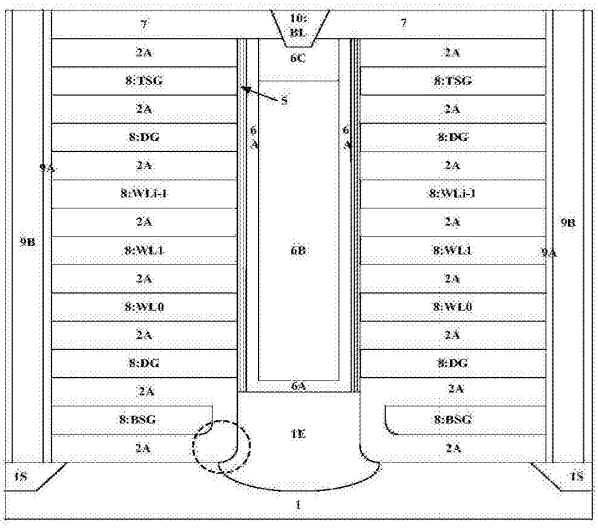


图 2L

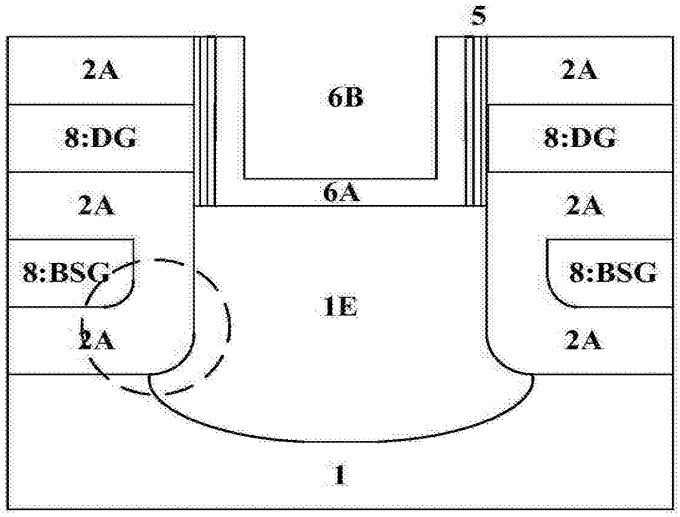


图 3

Micron Ex. 1002, p. 525
Micron v. YMTC
IPR2025-00294

Espacenet

Bibliographic data: CN106653684 (A) — 2017-05-10

Three-dimensional memory and formation method of channel pore structure thereof

Inventor(s): LYU ZHENYU; SHI WENGUANG; WU GUANPING; PAN FENG; WAN XIANJIN; CHEN BAOYOU ± (吕震宇, ; 施文广, ; 吴关平, ; 潘锋, ; 万先进, ; 陈保友)

Applicant(s): YANGTZE MEMORY TECH CO LTD ± (长江存储科技有限责任公司)

Classification: **- international:*H01L21/768***
- cooperative: **H01L21/768**; **H01L21/76805**; **H01L21/76829**; **H01L21/76831** more

Application number: CN201710134783 20170308 Global Dossier

Priority number (s): CN201710134783 20170308

Also published as: CN106653684 (B)

Abstract of CN106653684 (A)

The embodiment of the invention discloses a three-dimensional memory and a formation method of a channel pore structure thereof. According to the method, the channel pore structure in the three-dimensional memory is formed through a twice through-hole formation technology of a first through hole and a second through hole, so that the process difficulty and cost of the channel pore structure are greatly reduced, the problems of high process difficulty and high cost caused by ultrahigh through hole depth-to-width ratio under the same caliber are solved, and meanwhile the manufacturing process difficulty and cost of the three-dimensional memory are also reduced.

Micron Ex. 1002, p. 526
Micron v. YMTC
IPR2025-00294

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 106653684 A
(43)申请公布日 2017.05.10

(21)申请号 201710134783.6

(22)申请日 2017.03.08

(71)申请人 长江存储科技有限责任公司
地址 430074 湖北省武汉市东湖开发区关东科技工业园华光大道18号7018室

(72)发明人 吕震宇 施文广 吴关平 潘锋 万先进 陈保友

(74)专利代理机构 北京集佳知识产权代理有限公司 11227
代理人 王宝筠

(51)Int.Cl.
H01L 21/768(2006.01)

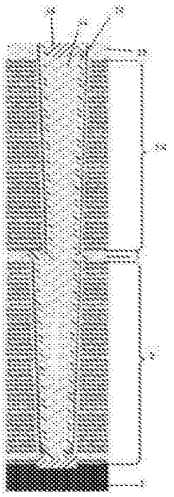
权利要求书5页 说明书15页 附图36页

(54)发明名称

三维存储器及其通道孔结构的形成方法

(57)摘要

本发明实施例公开了一种三维存储器及其通道孔结构的形成方法，该形成方法通过第一通孔和第二通孔两次通孔形成工艺来形成所述三维存储器中的通道孔结构，大大降低了所述通道孔结构的工艺难度和成本，解决了在相同口径下，通孔深宽比过大导致的工艺难度大和成本高的问题，同时也降低了所述三维存储器的制作工艺难度和成本。



CN 106653684 A

Micron Ex. 1002, p. 527
Micron v. YMTC
IPR2025-00294

1.一种三维存储器中通道孔结构的形成方法，其特征在于，该方法包括：

提供基底，所述基底表面形成有第一堆叠层和第一绝缘连接层，所述第一堆叠层由多个交错叠加的氧化层和氮化层构成；

形成完全贯穿所述第一堆叠层和所述第一绝缘连接层，并延伸至所述基底表面内的第一通孔；

在第一通孔曝露的所述基底表面形成第一通道结构；

在所述第一通孔侧壁形成第一功能层；

在所述第一功能层侧壁和所述第一通道结构表面形成第二通道结构，所述第二通道结构的表面低于所述第一绝缘连接层表面；

在所述第一绝缘连接层内形成第一凹槽，所述第一凹槽在所述基底上的投影完全覆盖所述第一通孔在所述基底上的投影；

在所述第一凹槽内形成第三通道结构，所述第三通道结构与所述第二通道结构相接触；

在所述第三通道结构背离所述基底一侧依次形成第二堆叠层和第二绝缘连接层，所述第二堆叠层由多个交错叠加的氧化层和氮化层构成；

形成完全贯穿所述第二堆叠层和所述第二绝缘连接层，并延伸至所述第三通道结构表面内的第二通孔，所述第二通孔在所述基底上的投影与所述第一通孔在所述基底上的投影至少部分交叠；

在所述第二通孔侧壁形成第二功能层；

去除所述第二通道结构、所述第三通道结构和所述第二保护层、所述第一保护层，形成所述第一通孔和所述第二通孔相连通的第三通孔；

在所述第三通孔侧壁和底部依次形成第四通道结构和第一填充结构，所述第一填充结构的表面低于所述第四通道结构的表面；

在所述第四通道结构与所述第一填充结构形成的第二凹槽内形成第五通道结构，所述第五通道结构与所述第四通道结构相接触。

2.根据权利要求1所述的形成方法，其特征在于，在所述第一通孔侧壁形成第一功能层包括：

在所述第一通孔的侧壁和所述第一通道结构的表面形成第一隧穿层，用于产生电荷；

在所述第一隧穿层表面形成第一存储层，用于存储电荷；

在所述第一存储层表面形成第一阻挡层，用于阻挡所述第一存储层中的电荷流出；

在所述第一阻挡层表面形成第一保护层，用于保护所述第一阻挡层在后续去除工艺中不受到损伤；

去除所述第一保护层、第一阻挡层、所述第一存储层和所述第一隧穿层位于所述第一通道结构表面的部分，形成第一功能层。

3.根据权利要求1所述的形成方法，其特征在于，在所述第一功能层侧壁和所述第一通道结构表面形成第二通道结构，所述第二通道结构的表面低于所述第一绝缘连接层表面包括：

形成覆盖所述第一保护层侧壁、所述第一通孔底部和第一绝缘连接层表面的第二通道层；

Micron Ex. 1002, p. 528
Micron v. YMTC
IPR2025-00294

去除部分所述第二通道层，使得所述第二通道层表面低于所述第一绝缘连接层，形成第二通道结构。

4.根据权利要求1所述的形成方法，其特征在于，在所述第二通孔侧壁形成第二功能层包括：

在所述第二通孔的侧壁和所述第二通道结构的表面形成第二隧穿层，用于产生电荷；

在所述第二隧穿层表面形成第二存储层，用于存储电荷；

在所述第二存储层表面形成第二阻挡层，用于阻挡所述第二存储层中的电荷流出；

在所述第二阻挡层表面形成第二保护层，用于保护所述第二阻挡层在后续去除工艺中不受到损伤；

去除所述第二保护层、第二阻挡层、所述第二存储层和所述第二隧穿层和所述第二通道结构位于所述第二通孔底部的部分，形成第二功能层，同时使得所述第二通孔与所述第一通孔向连通。

5.根据权利要求1所述的形成方法，其特征在于，在所述第三通孔侧壁和底部依次形成第四通道结构和第一填充结构，所述第一填充结构的表面低于所述第四通道结构的表面包括：

在所述第三通孔侧壁和底部以及所述第一绝缘连接层表面形成第四通道层；

在所述第四通道层表面形成覆盖所述第四通道层的第一填充层；

去除部分所述第一填充层，使得所述第一填充层的表面低于所述第一绝缘连接层的表面，形成第一填充结构；

去除部分所述第四通道层位于所述第一绝缘连接层表面的部分，保留所述第三通孔侧壁的部分，形成第四通道结构，所述第四通道结构的底部与所述第一通道结构直接接触，所述第四通道结构的表面高于所述第一填充结构的表面。

6.一种三维存储器，其特征在于，包括：

基底，所述基底表面形成有第一堆叠层和第一绝缘连接层，所述第一堆叠层由多个交错叠加的氧化层和氮化层构成；

贯穿所述第一堆叠层和所述第一绝缘连接层，并延伸至所述基底表面内的第一通孔；

形成于第一通孔曝露的所述基底表面的第一通道结构；

形成于所述第一通孔侧壁的第一功能层；

依次形成于所述第一绝缘连接层背离所述基底一侧的第二堆叠层和第二绝缘连接层，所述第二堆叠层由多个交错叠加的氧化层和氮化层构成；

贯穿所述第二堆叠层和所述第二绝缘连接层，并延伸至与所述第一通孔相连通的第二通孔，所述第一通孔和所述第二通孔构成第三通孔；

形成于所述第二通孔侧壁的第二功能层；

依次形成于所述第三通孔侧壁和底部的第四通道结构和第一填充结构，所述第四通道结构与所述第一通道结构相接触，所述第二填充结构的表面低于所述第四通道结构表面；

形成于所述第四通道结构和所述第一填充结构形成的第二凹槽内的第五通道结构，所述第五通道结构与所述第四通道结构相接触。

7.一种三维存储器中通道孔结构的形成方法，其特征在于，所述三维存储器包括沿字线方向排布的第一区域、第二区域和第三区域，其中，所述第一区域用于形成通道孔结构，

Micron Ex. 1002, p. 529
Micron v. YMTC
IPR2025-00294

所述第三区域用于形成绝缘环结构，该方法包括：

提供基底，所述基底表面形成有第一堆叠层和第一绝缘连接层，所述第一堆叠层由多个交错叠加的氧化层和氮化层构成；

在所述第一区域、所述第二区域和所述第三区域形成完全贯穿所述第一堆叠层和所述第一绝缘连接层，并延伸至所述基底表面内的第一通孔；

在第一通孔曝露的所述基底表面形成第一通道结构；

在所述第一通孔侧壁形成第一功能层；

在所述第一功能层侧壁和所述第一通道结构表面形成第二通道结构，所述第二通道结构的表面低于所述第一绝缘连接层表面；

在所述第一绝缘连接层内形成第一凹槽，所述第一凹槽在所述基底上的投影完全覆盖所述第一通孔在所述基底上的投影；

在所述第一凹槽内形成第三通道结构，所述第三通道结构与所述第二通道结构相接触；

在所述第三通道结构背离所述基底一侧依次形成第二堆叠层和第二绝缘连接层，所述第二堆叠层由多个交错叠加的氧化层和氮化层构成；

在所述第一区域、所述第二区域和所述第三区域形成完全贯穿所述第二堆叠层和所述第二绝缘连接层，并延伸至所述第三通道结构表面内的第二通孔，所述第二通孔在所述基底上的投影与所述第一通孔在所述基底上的投影至少部分交叠；

在所述第二通孔侧壁形成第二功能层；

去除所述第二通道结构、所述第三通道结构和所述第二保护层、所述第一保护层，形成所述第一通孔和所述第二通孔相连通的第三通孔；

在位于所述第一区域的第三通孔的侧壁和底部形成第四通道结构，并在所述第一区域、所述第二区域和所述第三区域对应的所述第三通孔侧壁和底部形成第一填充结构，所述第一填充结构的表面低于所述第四通道结构的表面；

在所述第四通道结构和所述第一填充结构形成的第二凹槽内形成第五通道结构，所述第五通道结构与所述第四通道结构相接触。

8.根据权利要求7所述的形成方法，其特征在于，在所述第一通孔侧壁形成第一功能层包括：

在所述第一通孔的侧壁和所述第一通道结构的表面形成第一隧穿层，用于产生电荷；

在所述第一隧穿层表面形成第一存储层，用于存储电荷；

在所述第一存储层表面形成第一阻挡层，用于阻挡所述第一存储层中的电荷流出；

在所述第一阻挡层表面形成第一保护层，用于保护所述第一阻挡层在后续去除工艺中不受到损伤；

去除所述第一保护层、第一阻挡层、所述第一存储层和所述第一隧穿层位于所述第一通道结构表面的部分，形成第一功能层。

9.根据权利要求7所述的形成方法，其特征在于，在所述第一功能层侧壁和所述第一通道结构表面形成第二通道结构，所述第二通道结构的表面低于所述第一绝缘连接层表面包括：

形成覆盖所述第一保护层侧壁、所述第一通孔底部和第一绝缘连接层表面的第二通道

Micron Ex. 1002, p. 530
Micron v. YMTC
IPR2025-00294

层；

去除部分所述第二通道层，使得所述第二通道层表面低于所述第一绝缘连接层，形成第二通道结构。

10.根据权利要求7所述的形成方法，其特征在于，在所述第二通孔侧壁形成第二功能层包括：

在所述第二通孔的侧壁和所述第二通孔底部形成第二隧穿层，用于产生电荷；

在所述第二隧穿层表面形成第二存储层，用于存储电荷；

在所述第二存储层表面形成第二阻挡层，用于阻挡所述第二存储层中的电荷流出；

在所述第二阻挡层表面形成第二保护层，用于保护所述第二阻挡层在后续去除工艺中不受到损伤；

去除所述第二保护层、第二阻挡层、所述第二存储层、所述第二隧穿层和所述第三通道结构位于所述第二通孔底部的部分，形成第二功能层，同时使得所述第二通孔与所述第一通孔相连通。

11.根据权利要求7所述的形成方法，其特征在于，在位于所述第一区域的第三通孔的侧壁和底部形成第四通道结构，并在所述第一区域、所述第二区域和所述第三区域对应的所述第三通孔侧壁和底部形成第一填充结构，所述第一填充结构的表面低于所述第四通道结构的表面包括：

在所述第一区域、所述第二区域和所述第三区域形成覆盖所述第三通孔侧壁和底部以及所述第一绝缘连接层表面的第四通道层；

在所述第一区域、所述第二区域和所述第三区域形成覆盖所述第四通道层的第二填充层，所述第二填充层具有空气间隙；

在所述第二填充层对应所述第一区域的表面形成第三掩膜层；

以所述第三掩膜层为掩膜，去除所述第二填充层位于所述第二区域和所述第三区域的部分；

去除所述第三掩膜层；

以所述第二填充层位于所述第一区域的部分为掩膜，去除所述第四通道层位于所述第二区域和所述第三区域的部分，在所述第二区域和所述第三区域形成第四通孔；

在所述第四通孔侧壁和底部形成第三填充层，所述第三填充层还覆盖所述第一绝缘连接层位于所述第二区域和所述第三区域的表面，所述第三填充层的填充性能好于所述第二填充层的填充性能；

对所述第二填充层和所述第三填充层进行刻蚀，去除所述第二填充层位于所述第一区域的部分，形成在所述第一区域形成第五通孔；

形成覆盖所述第四通孔和所述第五通孔的第一填充层，所述第一填充层还覆盖所述第一绝缘连接层表面；

去除部分所述第一填充层，使得所述第一填充层的表面低于所述第一绝缘连接层的表面，形成第一填充结构；

去除所述第四通道层位于所述第一绝缘连接层表面的部分，保留所述第三通孔侧壁的部分，形成第四通道结构，所述第四通道结构的底部与所述第一通道结构直接接触，所述第四通道结构的表面高于所述第一填充结构的表面。

Micron Ex. 1002, p. 531
Micron v. YMTC
IPR2025-00294

12.一种三维存储器，其特征在于，所述三维存储器包括沿字线方向排布的第一区域、第二区域和第三区域，其中，所述第一区域用于形成通道孔结构，所述第三区域用于形成绝缘环结构，沿垂直于所述三维存储器表面方向包括：

基底，所述基底表面形成有第一堆叠层和第一绝缘连接层，所述第一堆叠层由多个交错叠加的氧化层和氮化层构成；

在所述第一区域、所述第二区域和所述第三区域，贯穿所述第一堆叠层和所述第一绝缘连接层，并延伸至所述基底表面内的第一通孔；

形成在第一通孔曝露的所述基底表面的第一通道结构；

形成在所述第一通孔侧壁的第一功能层；

依次形成在所述第一绝缘连接层背离所述基底一侧的第二堆叠层和第二绝缘连接层，所述第二堆叠层由多个交错叠加的氧化层和氮化层构成；

在所述第一区域、所述第二区域和所述第三区域，贯穿所述第二堆叠层和所述第二绝缘连接层，并延伸至与所述第一通孔相连通的第二通孔，所述第一通孔和所述第二通孔构成第三通孔；

形成在所述第二通孔侧壁的第二功能层；

形成在所述第一区域的第三通孔的侧壁和底部的第四通道结构，以及形成在所述第一区域、所述第二区域和所述第三区域对应的所述第三通孔侧壁和底部形成第一填充结构，所述第一填充结构的表面低于所述第四通道结构的表面；

形成在所述第四通道结构和所述第一填充结构形成的第二凹槽内的第五通道结构，所述第五通道结构与所述第四通道结构相接触。

Micron Ex. 1002, p. 532
Micron v. YMTC
IPR2025-00294

三维存储器及其通道孔结构的形成方法

技术领域

[0001] 本发明涉及三维存储器技术领域，尤其涉及一种三维存储器及其通道孔结构的形成方法。

背景技术

[0002] 随着三维存储器(如3D NAND)中ON(Oxide/Nitride)的层叠数目越来越多，使得在三维存储器中形成的通道孔的深度越来越大，而在采用单刻蚀工艺形成通道孔时，在相同孔径的情况下，通道孔的深度越大刻蚀难度越大。尤其是，当三维存储器中的叠层数目达到120及以上时，再采用单刻蚀的方法形成贯穿各叠层的通道孔时，存在刻蚀时间呈指数增长的现象，工艺效率较低，成本较高。

发明内容

[0003] 为解决上述技术问题，本发明实施例提供了一种三维存储器及其通道孔结构的形成方法，以降低三维存储器中通道孔结构的工艺难度和成本。

[0004] 为解决上述问题，本发明实施例提供了如下技术方案：

[0005] 一种三维存储器中通道孔结构的形成方法，该方法包括：

[0006] 提供基底，所述基底表面形成有第一堆叠层和第一绝缘连接层，所述第一堆叠层由多个交错叠加的氧化层和氮化层构成；

[0007] 形成完全贯穿所述第一堆叠层和所述第一绝缘连接层，并延伸至所述基底表面内的第一通孔；

[0008] 在第一通孔曝露的所述基底表面形成第一通道结构；

[0009] 在所述第一通孔侧壁形成第一功能层；

[0010] 在所述第一功能层侧壁和所述第一通道结构表面形成第二通道结构，所述第二通道结构的表面低于所述第一绝缘连接层表面；

[0011] 在所述第一绝缘连接层内形成第一凹槽，所述第一凹槽在所述基底上的投影完全覆盖所述第一通孔在所述基底上的投影；

[0012] 在所述第一凹槽内形成第三通道结构，所述第三通道结构与所述第二通道结构相接触；

[0013] 在所述第三通道结构背离所述基底一侧依次形成第二堆叠层和第二绝缘连接层，所述第二堆叠层由多个交错叠加的氧化层和氮化层构成；

[0014] 形成完全贯穿所述第二堆叠层和所述第二绝缘连接层，并延伸至所述第三通道结构表面内的第二通孔，所述第二通孔在所述基底上的投影与所述第一通孔在所述基底上的投影至少部分交叠；

[0015] 在所述第二通孔侧壁形成第二功能层；

[0016] 去除所述第二通道结构、所述第三通道结构和所述第二保护层、所述第一保护层，形成所述第一通孔和所述第二通孔相连通的第三通孔；

Micron Ex. 1002, p. 533
Micron v. YMTC
IPR2025-00294

[0017] 在所述第三通孔侧壁和底部依次形成第四通道结构和第一填充结构，所述第一填充结构的表面低于所述第四通道结构的表面；

[0018] 在所述第四通道结构与所述第一填充结构形成的第二凹槽内形成第五通道结构，所述第五通道结构与所述第四通道结构相接触。

[0019] 可选的，在所述第一通孔侧壁形成第一功能层包括：

[0020] 在所述第一通孔的侧壁和所述第一通道结构的表面形成第一隧穿层，用于产生电荷；

[0021] 在所述第一隧穿层表面形成第一存储层，用于存储电荷；

[0022] 在所述第一存储层表面形成第一阻挡层，用于阻挡所述第一存储层中的电荷流出；

[0023] 在所述第一阻挡层表面形成第一保护层，用于保护所述第一阻挡层在后续去除工艺中不受到损伤；

[0024] 去除所述第一保护层、第一阻挡层、所述第一存储层和所述第一隧穿层位于所述第一通道结构表面的部分，形成第一功能层。

[0025] 可选的，在所述第一功能层侧壁和所述第一通道结构表面形成第二通道结构，所述第二通道结构的表面低于所述第一绝缘连接层表面包括：

[0026] 形成覆盖所述第一保护层侧壁、所述第一通孔底部和第一绝缘连接层表面的第二通道层；

[0027] 去除部分所述第二通道层，使得所述第二通道层表面低于所述第一绝缘连接层，形成第二通道结构。

[0028] 可选的，在所述第二通孔侧壁形成第二功能层包括：

[0029] 在所述第二通孔的侧壁和所述第二通道结构的表面形成第二隧穿层，用于产生电荷；

[0030] 在所述第二隧穿层表面形成第二存储层，用于存储电荷；

[0031] 在所述第二存储层表面形成第二阻挡层，用于阻挡所述第二存储层中的电荷流出；

[0032] 在所述第二阻挡层表面形成第二保护层，用于保护所述第二阻挡层在后续去除工艺中不受到损伤；

[0033] 去除所述第二保护层、第二阻挡层、所述第二存储层和所述第二隧穿层和所述第二通道结构位于所述第二通孔底部的部分，形成第二功能层，同时使得所述第二通孔与所述第一通孔向连通。

[0034] 可选的，在所述第三通孔侧壁和底部依次形成第四通道结构和第一填充结构，所述第一填充结构的表面低于所述第四通道结构的表面包括：

[0035] 在所述第三通孔侧壁和底部以及所述第一绝缘连接层表面形成第四通道层；

[0036] 在所述第四通道层表面形成覆盖所述第四通道层的第一填充层；

[0037] 去除部分所述第一填充层，使得所述第一填充层的表面低于所述第一绝缘连接层的表面，形成第一填充结构；

[0038] 去除部分所述第四通道层位于所述第一绝缘连接层表面的部分，保留所述第三通孔侧壁的部分，形成第四通道结构，所述第四通道结构的底部与所述第一通道结构直接接

Micron Ex. 1002, p. 534
Micron v. YMTC
IPR2025-00294

触，所述第四通道结构的表面高于所述第一填充结构的表面。

[0039] 一种三维存储器，包括：

[0040] 基底，所述基底表面形成有第一堆叠层和第一绝缘连接层，所述第一堆叠层由多个交错叠加的氧化层和氮化层构成；

[0041] 贯穿所述第一堆叠层和所述第一绝缘连接层，并延伸至所述基底表面内的第一通孔；

[0042] 形成于第一通孔曝露的所述基底表面的第一通道结构；

[0043] 形成于所述第一通孔侧壁的第一功能层；

[0044] 依次形成于所述第一绝缘连接层背离所述基底一侧的第二堆叠层和第二绝缘连接层，所述第二堆叠层由多个交错叠加的氧化层和氮化层构成；

[0045] 贯穿所述第二堆叠层和所述第二绝缘连接层，并延伸至与所述第一通孔相连通的第二通孔，所述第一通孔和所述第二通孔构成第三通孔；

[0046] 形成于所述第二通孔侧壁的第二功能层；

[0047] 依次形成于所述第三通孔侧壁和底部的第四通道结构和第一填充结构，所述第四通道结构与所述第一通道结构相接触，所述第二填充结构的表面低于所述第四通道结构表面；

[0048] 形成于所述第四通道结构和所述第一填充结构形成的第二凹槽内的第五通道结构，所述第五通道结构与所述第四通道结构相接触。

[0049] 一种三维存储器中通道孔结构的形成方法，所述三维存储器包括沿字线方向排布的第一区域、第二区域和第三区域，其中，所述第一区域用于形成通道孔结构，所述第三区域用于形成绝缘环结构，该方法包括：

[0050] 提供基底，所述基底表面形成有第一堆叠层和第一绝缘连接层，所述第一堆叠层由多个交错叠加的氧化层和氮化层构成；

[0051] 在所述第一区域、所述第二区域和所述第三区域形成完全贯穿所述第一堆叠层和所述第一绝缘连接层，并延伸至所述基底表面内的第一通孔；

[0052] 在第一通孔曝露的所述基底表面形成第一通道结构；

[0053] 在所述第一通孔侧壁形成第一功能层；

[0054] 在所述第一功能层侧壁和所述第一通道结构表面形成第二通道结构，所述第二通道结构的表面低于所述第一绝缘连接层表面；

[0055] 在所述第一绝缘连接层内形成第一凹槽，所述第一凹槽在所述基底上的投影完全覆盖所述第一通孔在所述基底上的投影；

[0056] 在所述第一凹槽内形成第三通道结构，所述第三通道结构与所述第二通道结构相接触；

[0057] 在所述第三通道结构背离所述基底一侧依次形成第二堆叠层和第二绝缘连接层，所述第二堆叠层由多个交错叠加的氧化层和氮化层构成；

[0058] 在所述第一区域、所述第二区域和所述第三区域形成完全贯穿所述第二堆叠层和所述第二绝缘连接层，并延伸至所述第三通道结构表面内的第二通孔，所述第二通孔在所述基底上的投影与所述第一通孔在所述基底上的投影至少部分交叠；

[0059] 在所述第二通孔侧壁形成第二功能层；

Micron Ex. 1002, p. 535
Micron v. YMTC
IPR2025-00294

[0060] 去除所述第二通道结构、所述第三通道结构和所述第二保护层、所述第一保护层，形成所述第一通孔和所述第二通孔相连通的第三通孔；

[0061] 在位于所述第一区域的第三通孔的侧壁和底部形成第四通道结构，并在所述第一区域、所述第二区域和所述第三区域对应的所述第三通孔侧壁和底部形成第一填充结构，所述第一填充结构的表面低于所述第四通道结构的表面；

[0062] 在所述第四通道结构和所述第一填充结构形成的第二凹槽内形成第五通道结构，所述第五通道结构与所述第四通道结构相接触。

[0063] 可选的，在所述第一通孔侧壁形成第一功能层包括：

[0064] 在所述第一通孔的侧壁和所述第一通道结构的表面形成第一隧穿层，用于产生电荷；

[0065] 在所述第一隧穿层表面形成第一存储层，用于存储电荷；

[0066] 在所述第一存储层表面形成第一阻挡层，用于阻挡所述第一存储层中的电荷流出；

[0067] 在所述第一阻挡层表面形成第一保护层，用于保护所述第一阻挡层在后续去除工艺中不受到损伤；

[0068] 去除所述第一保护层、第一阻挡层、所述第一存储层和所述第一隧穿层位于所述第一通道结构表面的部分，形成第一功能层。

[0069] 可选的，在所述第一功能层侧壁和所述第一通道结构表面形成第二通道结构，所述第二通道结构的表面低于所述第一绝缘连接层表面包括：

[0070] 形成覆盖所述第一保护层侧壁、所述第一通孔底部和第一绝缘连接层表面的第二通道层；

[0071] 去除部分所述第二通道层，使得所述第二通道层表面低于所述第一绝缘连接层，形成第二通道结构。

[0072] 可选的，在所述第二通孔侧壁形成第二功能层包括：

[0073] 在所述第二通孔的侧壁和所述第二通孔底部形成第二隧穿层，用于产生电荷；

[0074] 在所述第二隧穿层表面形成第二存储层，用于存储电荷；

[0075] 在所述第二存储层表面形成第二阻挡层，用于阻挡所述第二存储层中的电荷流出；

[0076] 在所述第二阻挡层表面形成第二保护层，用于保护所述第二阻挡层在后续去除工艺中不受到损伤；

[0077] 去除所述第二保护层、第二阻挡层、所述第二存储层、所述第二隧穿层和所述第三通道结构位于所述第二通孔底部的部分，形成第二功能层，同时使得所述第二通孔与所述第一通孔相连通。

[0078] 可选的，在位于所述第一区域的第三通孔的侧壁和底部形成第四通道结构，并在所述第一区域、所述第二区域和所述第三区域对应的所述第三通孔侧壁和底部形成第一填充结构，所述第一填充结构的表面低于所述第四通道结构的表面包括：

[0079] 在所述第一区域、所述第二区域和所述第三区域形成覆盖所述第三通孔侧壁和底部以及所述第一绝缘连接层表面的第四通道层；

[0080] 在所述第一区域、所述第二区域和所述第三区域形成覆盖所述第四通道层的第二

Micron Ex. 1002, p. 536
Micron v. YMTC
IPR2025-00294

填充层，所述第二填充层具有空气间隙；

[0081] 在所述第二填充层对应所述第一区域的表面形成第三掩膜层；

[0082] 以所述第三掩膜层为掩膜，去除所述第二填充层位于所述第二区域和所述第三区域的部分；

[0083] 去除所述第三掩膜层；

[0084] 以所述第二填充层位于所述第一区域的部分为掩膜，去除所述第四通道层位于所述第二区域和所述第三区域的部分，在所述第二区域和所述第三区域形成第四通孔；

[0085] 在所述第四通孔侧壁和底部形成第三填充层，所述第三填充层还覆盖所述第一绝缘连接层位于所述第二区域和所述第三区域的表面，所述第三填充层的填充性能好于所述第二填充层的填充性能；

[0086] 对所述第二填充层和所述第三填充层进行刻蚀，去除所述第二填充层位于所述第一区域的部分，形成在所述第一区域形成第五通孔；

[0087] 形成覆盖所述第四通孔和所述第五通孔的第一填充层，所述第一填充层还覆盖所述第一绝缘连接层表面；

[0088] 去除部分所述第一填充层，使得所述第一填充层的表面低于所述第一绝缘连接层的表面，形成第一填充结构；

[0089] 去除所述第四通道层位于所述第一绝缘连接层表面的部分，保留所述第三通孔侧壁的部分，形成第四通道结构，所述第四通道结构的底部与所述第一通道结构直接接触，所述第四通道结构的表面高于所述第一填充结构的表面。

[0090] 一种三维存储器，所述三维存储器包括沿字线方向排布的第一区域、第二区域和第三区域，其中，所述第一区域用于形成通道孔结构，所述第三区域用于形成绝缘环结构，沿垂直于所述三维存储器表面方向包括：

[0091] 基底，所述基底表面形成有第一堆叠层和第一绝缘连接层，所述第一堆叠层由多个交错叠加的氧化层和氮化层构成；

[0092] 在所述第一区域、所述第二区域和所述第三区域，贯穿所述第一堆叠层和所述第一绝缘连接层，并延伸至所述基底表面内的第一通孔；

[0093] 形成在第一通孔曝露的所述基底表面的第一通道结构；

[0094] 形成在所述第一通孔侧壁的第一功能层；

[0095] 依次形成在所述第一绝缘连接层背离所述基底一侧的第二堆叠层和第二绝缘连接层，所述第二堆叠层由多个交错叠加的氧化层和氮化层构成；

[0096] 在所述第一区域、所述第二区域和所述第三区域，贯穿所述第二堆叠层和所述第二绝缘连接层，并延伸至与所述第一通孔相连通的第二通孔，所述第一通孔和所述第二通孔构成第三通孔；

[0097] 形成在所述第二通孔侧壁的第二功能层；

[0098] 形成在所述第一区域的第三通孔的侧壁和底部的第四通道结构，以及形成在所述第一区域、所述第二区域和所述第三区域对应的所述第三通孔侧壁和底部形成第一填充结构，所述第一填充结构的表面低于所述第四通道结构的表面；

[0099] 形成在所述第四通道结构和所述第一填充结构形成的第二凹槽内的第五通道结构，所述第五通道结构与所述第四通道结构相接触。

Micron Ex. 1002, p. 537
Micron v. YMTC
IPR2025-00294

[0100] 与现有技术相比，上述技术方案具有以下优点：

[0101] 本发明实施例所提供的三维存储器的通道孔结构的形成方法，通过第一通孔和第二通孔两次通孔形成工艺来形成所述三维存储器中的通道孔结构，大大降低了所述通道孔结构的工艺难度和成本，解决了在相同口径下，通孔深宽比过大导致的工艺难度大和成本高的问题，同时也降低了所述三维存储器的制作工艺难度和成本。

附图说明

[0102] 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0103] 图1-图22为本发明一个实施例所提供的三维存储器中通道孔结构的形成方法流程图；

[0104] 图23-图49为本发明一个实施例所提供的三维存储器中通道孔结构的形成方法流程图。

具体实施方式

[0105] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0106] 在下面的描述中阐述了很多具体细节以便于充分理解本发明，但是本发明还可以采用其他不同于在此描述的其它方式来实施，本领域技术人员可以在不违背本发明内涵的情况下做类似推广，因此本发明不受下面公开的具体实施例的限制。

[0107] 本发明实施例提供了一种三维存储器中通道孔结构的形成方法，该方法包括：

[0108] S101：如图1所示，提供基底11，所述基底1表面形成有第一堆叠层2和第一绝缘连接层3，所述第一堆叠层2由多个交错叠加的氧化层和氮化层构成。可选的，所述第一堆叠层2中氧化层和氮化层的层数总和不小于64，但本发明对此并不做限定，具体视情况而定。

[0109] 具体的，在本发明的一个实施例中，所述第一绝缘连接层3为氧化硅层，但本发明对此并不做限定，只要保证所述第一绝缘连接层3与所述第一堆叠层2中所述氮化层的材料不同，且具有绝缘功能即可。

[0110] 需要说明的是，在上述实施例的基础上，在本发明的一个实施例中，该方法还包括：

[0111] 在所述第一绝缘连接层3表面形成第一掩膜层4。

[0112] S102：继续如图1所示，形成完全贯穿所述第一堆叠层2和所述第一绝缘连接层3，并延伸至所述基底1表面内的第一通孔5。

[0113] 具体的，在本发明的一个实施例中，形成完全贯穿所述第一堆叠层2和所述第一绝缘连接层3，并延伸至所述基底1表面内的第一通孔5包括：

[0114] 对所述第一堆叠层2和所述第一绝缘连接层3进行刻蚀，在所述第一堆叠层2和所

Micron Ex. 1002, p. 538
Micron v. YMTC
IPR2025-00294

述第一绝缘连接层3内形成贯穿所述第一堆叠层2和所述第一绝缘连接层3，并延伸至所述基底1表面内的第一通孔5；对所述第一通孔5进行清洗。

[0115] 需要说明的是，在对所述第一堆叠层2和所述第一绝缘连接层3进行刻蚀时，可以选择湿法刻蚀，也可以选择干法刻蚀，还可以组合使用，本发明对此并不做限定，具体视情况而定。

[0116] 还需要说明的是，当所述第一绝缘连接层3表面形成有第一掩膜层4时，在形成第一通孔5时，还包括对所述第一掩膜层4的刻蚀。

[0117] S103：如图2所示，在第一通孔5曝露的所述基底1表面形成第一通道结构6。可选的，在本发明的一个实施例中，所述第一通道结构6为硅层，形成工艺为选择性外延工艺。

[0118] S104：在所述第一通孔5侧壁形成第一功能层。

[0119] 具体的，在本发明的一个实施例中，在所述第一通孔5侧壁形成第一功能层包括：

[0120] 如图3所示，在所述第一通孔5的侧壁和所述第一通道结构6的表面形成第一隧穿层7，用于产生电荷，可选的，所述第一隧穿层7为氧化层，形成工艺为沉积工艺；

[0121] 在所述第一隧穿层7表面形成第一存储层8，用于存储电荷，可选的，所述第一存储层8为氮化层，形成工艺为沉积工艺；

[0122] 在所述第一存储层8表面形成第一阻挡层9，用于阻挡所述第一存储层8中的电荷流出，可选的，所述第一阻挡层9为氧化层，形成工艺为沉积工艺；

[0123] 如图4所示，在所述第一阻挡层9表面形成第一保护层10，用于保护所述第一阻挡层9在后续去除工艺中不受到损伤，可选的，所述第一保护层10为非晶硅层，形成工艺为沉积工艺；

[0124] 继续如图4所示，去除所述第一保护层10、第一阻挡层9、所述第一存储层8和所述第一隧穿层7位于所述第一通道结构6表面的部分，形成第一功能层，可选的，所述去除工艺为刻蚀工艺和清洗工艺。

[0125] S105：在所述第一功能层侧壁和所述第一通道结构6表面形成第二通道结构，所述第二通道结构的表面低于所述第一绝缘连接层3表面。

[0126] 具体的，在本发明的一个实施例中，在所述第一功能层侧壁和所述第一通道结构6表面形成第二通道结构，所述第二通道结构的表面低于所述第一绝缘连接层3表面包括：

[0127] 如图5所示，形成覆盖所述第一保护层10侧壁、所述第一通孔5底部和第一绝缘连接层3表面的第二通道层11，可选的，所述第二通道层11为非晶硅层，形成工艺为沉积工艺；

[0128] 如图6所示，去除部分所述第二通道层11，使得所述第二通道层11表面低于所述第一绝缘连接层3，形成第二通道结构，可选的，所述去除工艺为刻蚀工艺。

[0129] 需要说明的是，在本发明实施例中，所述第二通道结构的上表面可以高于所述第一堆叠层的上表面，也可以低于所述第一堆叠层的上表面，本发明对此并不做限定，只要保证所述第二通道结构的上表面不低于所述第一堆叠层中顶层氧化层的上表面即可。可选的，所述第二通道结构的上表面与所述第一堆叠层中顶层氧化层的上表面平齐。

[0130] S106：在所述第一绝缘连接层内形成第一凹槽，所述第一凹槽在所述基底上的投影完全覆盖所述第一通孔在所述基底上的投影。

[0131] 具体的，在本发明的一个实施例中，在所述第一绝缘连接层内形成第一凹槽，所述第一凹槽在所述基底上的投影完全覆盖所述第一通孔在所述基底上的投影包括：

Micron Ex. 1002, p. 539
Micron v. YMTC
IPR2025-00294

[0132] 去除部分所述第一绝缘连接层，在所述第一绝缘连接层内形成贯穿所述第一绝缘连接层的第一凹槽，所述第一凹槽在所述基底上的投影完全覆盖所述第一通孔在所述基底上的投影。可选的，所述第一凹槽在所述基底上的投影面积大于所述第一通孔在所述基底上的投影面积。

[0133] 需要说明的是，当所述第一绝缘连接层表面形成有第一掩膜层时，在所述第一绝缘连接层内形成第一凹槽，所述第一凹槽在所述基底上的投影完全覆盖所述第一通孔在所述基底上的投影包括：

[0134] 如图7所示，去除所述第一掩膜层4；

[0135] 如图8所示，平坦化所述第一绝缘连接层3表面；

[0136] 继续如图8所示，去除部分所述第一绝缘连接层3，在所述第一绝缘连接层3内形成贯穿所述第一绝缘连接层3的第一凹槽12，所述第一凹槽12在所述基底1上的投影完全覆盖所述第一通孔5在所述基底1上的投影。

[0137] S107：如图9所示，在所述第一凹槽12内形成第三通道结构13，所述第三通道结构13与所述第二通道结构相接触。可选的，所述第三通道结构的形成工艺为沉积工艺。

[0138] S108：如图10所示，在所述第三通道结构13背离所述基底1一侧依次形成第二堆叠层14和第二绝缘连接层15，所述第二堆叠层14由多个交错叠加的氧化层和氮化层构成。可选的，所述第二堆叠层14中氧化层和氮化层的层数总和不小于64，但本发明对此并不做限定，具体视情况而定。

[0139] 具体的，在本发明的一个实施例中，所述第二绝缘连接层15包括氧化硅层，但本发明对此并不做限定，只要保证所述第二绝缘连接层15与所述第二堆叠层14中所述氮化层的材料不同，且具有绝缘功能即可。

[0140] 需要说明的是，在上述实施例的基础上，在本发明的一个实施例中，该方法还包括：

[0141] 在所述第二绝缘连接层15表面形成第二掩膜层16。

[0142] S109：继续如图11所示，形成完全贯穿所述第二堆叠层14和所述第二绝缘连接层15，并延伸至所述第三通道结构13表面内的第二通孔17，所述第二通孔在所述基底1上的投影与所述第一通孔5在所述基底1上的投影至少部分交叠。

[0143] 具体的，在本发明的一个实施例中，形成完全贯穿所述第二堆叠层和所述第二绝缘连接层，并延伸至所述第三通道结构表面内的第二通孔包括：

[0144] 对所述第二堆叠层和所述第二绝缘连接层进行刻蚀，在所述第二堆叠层和所述第二绝缘连接层内形成贯穿所述第二堆叠层和所述第二绝缘连接层，并延伸至所述第三通道结构表面内的第二通孔；对所述第二通孔进行清洗。

[0145] 需要说明的是，在本发明实施例中，所述第二通孔可以延伸至所述第三通道结构表面，也可以延伸至所述第三通道结构表面内，本发明对此并不做限定，只要保证后续形成的第四通道结构可以与所述第三通道结构直接接触即可。

[0146] 还需要说明的是，在对所述第二堆叠层和所述第二绝缘连接层进行刻蚀时，可以选择湿法刻蚀，也可以选择干法刻蚀，还可以组合使用，本发明对此并不做限定，具体视情况而定。

[0147] 在上述实施例的基础上，在本发明的一个实施例中，当所述第二绝缘连接层表面

Micron Ex. 1002, p. 540
Micron v. YMTC
IPR2025-00294

形成有第二掩膜层时，在形成第二通孔时，还包括对所述第二掩膜层的刻蚀。需要说明的是，在本发明实施例中，所述第二掩模层16朝向所述第二通孔17一侧的边界线和所述第一掩模层4朝向所述第一通孔5一侧的边界线之间的距离a最大不大于15nm。

[0148] S1010：在所述第二通孔侧壁形成第二功能层。

[0149] 具体的，在本发明的一个实施例中，在所述第二通孔侧壁形成第二功能层包括：

[0150] 如图12所示，在所述第二通孔17的侧壁和所述第三通道结构13的表面形成第二隧穿层18，用于产生电荷，可选的，所述第二隧穿层18为氧化层，形成工艺为沉积工艺；

[0151] 在所述第二隧穿层18表面形成第二存储层19，用于存储电荷，可选的，所述第二存储层19为氮化层，形成工艺为沉积工艺；

[0152] 在所述第二存储层19表面形成第二阻挡层20，用于阻挡所述第二存储层19中的电荷流出，可选的，所述第二阻挡层19为氧化层，形成工艺为沉积工艺；

[0153] 如图13所示，在所述第二阻挡层20表面形成第二保护层21，用于保护所述第二阻挡层20在后续去除工艺中不受到损伤，可选的，所述第二保护层21为非晶硅层，形成工艺为沉积工艺；

[0154] 继续如图13所示，去除所述第二保护层21、第二阻挡层20、所述第二存储层19和所述第二隧穿层18和所述第三通道结构13位于所述第二通孔17底部的部分，形成第二功能层，同时使得所述第二通孔17与所述第一通孔5向连通，可选的，所述去除工艺为刻蚀工艺和清洗工艺。

[0155] 在上述实施例的基础上，在本发明的一个实施例中，该方法还包括：如图14所示，去除所述第二阻挡层20、所述第二存储层19、所述第二隧穿层18位于所述第二保护层21下方的部分，如图中虚线框所示。

[0156] S1011：如图15所示，去除所述第二通道结构、所述第三通道结构和所述第二保护层、所述第一保护层，形成所述第一通孔5和所述第二通孔17相连通的第三通孔22。

[0157] S1012：在所述第三通孔侧壁和底部依次形成第四通道结构和第一填充结构，所述第一填充结构的表面低于所述第四通道结构的表面。

[0158] 具体的，在本发明的一个实施例中，在所述第三通孔侧壁和底部依次形成第四通道结构和第一填充结构，所述第一填充结构的表面低于所述第四通道结构的表面包括：

[0159] 如图16所示，在所述第三通孔22侧壁和底部以及所述第一绝缘连接层3表面形成第四通道层28；

[0160] 如图17所示，在所述第四通道层28表面形成覆盖所述第四通道层28的第一填充层34；

[0161] 如图18所示，去除部分所述第一填充层34，使得所述第一填充层34的表面低于所述第一绝缘连接层3的表面，形成第一填充结构；

[0162] 如图19所示，去除部分所述第四通道层28位于所述第一绝缘连接层3表面的部分，保留所述第三通孔22侧壁的部分，形成第四通道结构，所述第四通道结构的底部与所述第一通道结构6直接接触，所述第四通道结构的表面高于所述第一填充结构的表面。

[0163] 需要说明的是，在本发明实施例中，所述第一填充结构的上表面可以高于所述第二堆叠层的上表面，也可以低于所述第二堆叠层的上表面，本发明对此并不做限定，只要保证所述第一填充结构的上表面不低于所述第二堆叠层中顶层氧化层的上表面即可。可选

Micron Ex. 1002, p. 541
Micron v. YMTC
IPR2025-00294

的，所述第一填充结构的上表面与所述第二堆叠层中顶层氧化层的上表面平齐。

[0164] S1013：在所述第四通道结构与所述第一填充结构形成的第二凹槽内形成第五通道结构，所述第五通道结构与所述第四通道结构相接触。

[0165] 需要说明的是，当所述第二绝缘连接层表面形成有第二掩膜层时，在所述第四通道结构与所述第一填充结构形成的第二凹槽内形成第五通道结构，所述第五通道结构与所述第四通道结构相接触包括：

[0166] 如图20所示，在所述第四通道结构与所述第一填充结构形成的第二凹槽内形成第五通道层35，所述第五通道层35与所述第四通道结构相接触

[0167] 如图21所示，去除所述第二掩膜层；

[0168] 如图22所示，平坦化所述第二绝缘连接层表面。

[0169] 相应的，本发明实施例还提供了一种利用上述形成方法形成的三维存储器，该三维存储器包括：

[0170] 基底，所述基底表面形成有第一堆叠层和第一绝缘连接层，所述第一堆叠层由多个交错叠加的氧化层和氮化层构成；

[0171] 贯穿所述第一堆叠层和所述第一绝缘连接层，并延伸至所述基底表面内的第一通孔；

[0172] 形成于第一通孔曝露的所述基底表面的第一通道结构；

[0173] 形成于所述第一通孔侧壁的第一功能层；

[0174] 依次形成于所述第一绝缘连接层背离所述基底一侧的第二堆叠层和第二绝缘连接层，所述第二堆叠层由多个交错叠加的氧化层和氮化层构成；

[0175] 贯穿所述第二堆叠层和所述第二绝缘连接层，并延伸至与所述第一通孔相连通的第二通孔，所述第一通孔和所述第二通孔构成第三通孔；

[0176] 形成于所述第二通孔侧壁的第二功能层；

[0177] 依次形成于所述第三通孔侧壁和底部的第四通道结构和第一填充结构，所述第四通道结构与所述第一通道结构相接触，所述第二填充结构的表面低于所述第四通道结构的表面；

[0178] 形成于所述第四通道结构和所述第一填充结构形成的第二凹槽内的第五通道结构，所述第五通道结构与所述第四通道结构相接触。

[0179] 由上可知，本发明实施例所提供的三维存储器的通道孔结构的形成方法，通过第一通孔和第二通孔两次通孔形成工艺来形成所述三维存储器中的通道孔结构，大大降低了所述通道孔结构的工艺难度和成本，解决了在相同口径下，通孔深宽比过大导致的工艺难度大和成本高的问题，同时也降低了所述三维存储器的制作工艺难度和成本。

[0180] 此外，本发明实施例还提供了另一种三维存储器中通道孔结构的形成方法，所述三维存储器包括沿字线方向排布的第一区域、第二区域和第三区域，其中，所述第一区域用于形成通道孔结构，所述第三区域用于形成绝缘环结构，该方法包括：

[0181] S201：如图23所示，提供基底1，所述基底1表面形成有第一堆叠层2和第一绝缘连接层3，所述第一堆叠层2由多个交错叠加的氧化层和氮化层构成。可选的，所述第一堆叠层2中氧化层和氮化层的层数总和不小于64，但本发明对此并不做限定，具体视情况而定。

[0182] 具体的，在本发明的一个实施例中，所述第一绝缘连接层3为氧化硅层，但本发明

Micron Ex. 1002, p. 542
Micron v. YMTC
IPR2025-00294

对此并不做限定，只要保证所述第一绝缘连接层3与所述第一堆叠层2中所述氮化层的材料不同，且具有绝缘功能即可。

[0183] 需要说明的是，在上述实施例的基础上，在本发明的一个实施例中，该方法还包括：

[0184] 在所述第一绝缘连接层3表面形成第一掩膜层4。可选的，所述第一掩膜层包括氮化层或层叠的氮化层或氧化层或其他结构，本发明对此并不做限定，具体视情况而定。

[0185] S202：继续如图23所示，在所述第一区域100(即Channel hole)、所述第二区域200(即SS dummy hole)和所述第三区域300(即TAC barrier)形成完全贯穿所述第一堆叠层2和所述第一绝缘连接层3，并延伸至所述基底1表面内的第一通孔5。需要说明的是，在垂直于所述基底1表面方向上，所述第三区域300处的所述第一通孔5深度大于所述第一区域100处的所述第一通孔5的深度。

[0186] 还需要说明的是，当所述第一绝缘连接层3表面形成有第一掩膜层4时，在形成第一通孔5时，还包括对所述第一掩膜层4的刻蚀。

[0187] S203：如图24所示，在第一通孔5曝露的所述基底1表面形成第一通道结构6。

[0188] S204：在所述第一通孔5侧壁形成第一功能层。

[0189] 具体的，在本发明的一个实施例中，在所述第一通孔5侧壁形成第一功能层包括：

[0190] 如图25所示，在所述第一通孔5的侧壁和所述第一通道结构6的表面形成第一隧穿层7，用于产生电荷，可选的，所述第一隧穿层7为氧化层，形成工艺为沉积工艺；

[0191] 在所述第一隧穿层7表面形成第一存储层8，用于存储电荷，可选的，所述第一存储层8为氮化层，形成工艺为沉积工艺；

[0192] 在所述第一存储层8表面形成第一阻挡层9，用于阻挡所述第一存储层8中的电荷流出，可选的，所述第一阻挡层9为氧化层，形成工艺为沉积工艺；

[0193] 如图26所示，在所述第一阻挡层9表面形成第一保护层10，用于保护所述第一阻挡层9在后续去除工艺中不受到损伤，可选的，所述第一保护层10为非晶硅层，形成工艺为沉积工艺；

[0194] 继续如图26所示，去除所述第一保护层10、第一阻挡层9、所述第一存储层8和所述第一隧穿层7位于所述第一通道结构6表面的部分，形成第一功能层，可选的，所述去除工艺为刻蚀工艺和清洗工艺。

[0195] S205：在所述第一功能层侧壁和所述第一通道结构6表面形成第二通道结构，所述第二通道结构的表面低于所述第一绝缘连接层3表面。可选的，所述第二通道结构内部具有空气间隙。

[0196] 具体的，在本发明的一个实施例中，在所述第一功能层侧壁和所述第一通道结构6表面形成第二通道结构，所述第二通道结构的表面低于所述第一绝缘连接层3表面包括：

[0197] 如图27所示，形成覆盖所述第一保护层10侧壁、所述第一通孔5底部和第一绝缘连接层3表面的第二通道层11，可选的，所述第二通道层11内部具有空气间隙；

[0198] 如图28所示，去除部分所述第二通道层11，使得所述第二通道层11表面低于所述第一绝缘连接层3，形成第二通道结构，可选的，所述第二通道结构内部具有空气间隙，其结构为封闭环型结构。

[0199] 需要说明的是，在本发明实施例中，所述第二通道结构的上表面可以高于所述第

Micron Ex. 1002, p. 543
Micron v. YMTC
IPR2025-00294

一堆叠层2的上表面，也可以低于所述第一堆叠层2的上表面，本发明对此并不做限定，只要保证所述第二通道结构的上表面不低于所述第一堆叠层2中顶层氧化层的上表面即可。可选的，所述第二通道结构的上表面与所述第一堆叠层2中顶层氧化层的上表面平齐。

[0200] 还需要说明的是，在本发明的一个实施例中，所述第一保护层与所述第二通道结构的材料相同，以便于在后续工艺中在同一步工艺中去除。

[0201] S206：在所述第一绝缘连接层3内形成第一凹槽Δ所述第一凹槽在所述基底1上的投影完全覆盖所述第一通孔5在所述基底1上的投影。

[0202] 具体的，在本发明的一个实施例中，在所述第一绝缘连接层3内形成第一凹槽，所述第一凹槽在所述基底1上的投影完全覆盖所述第一通孔5在所述基底1上的投影包括：

[0203] 去除部分所述第一绝缘连接层3，在所述第一绝缘连接层3内形成贯穿所述第一绝缘连接层3的第一凹槽，所述第一凹槽在所述基底1上的投影完全覆盖所述第一通孔5在所述基底1上的投影。可选的，所述第一凹槽在所述基底1上的投影面积大于所述第一通孔5在所述基底1上的投影面积。

[0204] 在本发明的另一个实施例中，当所述第一绝缘连接层3表面形成有第一掩膜层4时，在所述第一绝缘连接层3内形成第一凹槽，所述第一凹槽在所述基底1上的投影完全覆盖所述第一通孔5在所述基底1上的投影包括：

[0205] 如图29所示，去除所述第一掩膜层4，需要说明的是，当所述第一存储层8和所述第一掩膜层4材料相同时，在去除所述第一掩膜层4时，会同时去除部分所述第一存储层10；

[0206] 如图30所示，平坦化所述第一绝缘连接层3表面；

[0207] 继续如图30所示，去除部分所述第一绝缘连接层3，在所述第一绝缘连接层3内形成贯穿所述第一绝缘连接层3的第一凹槽12，所述第一凹槽12在所述基底1上的投影完全覆盖所述第一通孔5在所述基底1上的投影。

[0208] S207：如图31所示，在所述第一凹槽12内形成第三通道结构13，所述第三通道结构13与所述第二通道结构相接触。

[0209] S208：在所述第三通道结构13背离所述基底1一侧依次形成第二堆叠层14和第二绝缘连接层15，所述第二堆叠层14由多个交错叠加的氧化层和氮化层构成。可选的，所述第二堆叠层14中氧化层和氮化层的层数总和不小于64，但本发明对此并不做限定，具体视情况而定。

[0210] 具体的，在本发明的一个实施例中，所述第二绝缘连接层15为氧化硅层，但本发明对此并不做限定，只要保证所述第二绝缘连接层15与所述第二堆叠层14中所述氮化层的材料不同，且具有绝缘功能即可。

[0211] 需要说明的是，在上述实施例的基础上，在本发明的一个实施例中，该方法还包括：

[0212] 在所述第二绝缘连接层15表面形成第二掩膜层16。

[0213] S209：如图33所示，在所述第一区域100、所述第二区域200和所述第三区域300形成完全贯穿所述第二堆叠层14和所述第二绝缘连接层15，并延伸至所述第三通道结构13表面内的第二通孔17，所述第二通孔17在所述基底1上的投影与所述第一通孔5在所述基底1上的投影至少部分交叠。

[0214] 需要说明的是，具体工艺时，所述第三区域的第三通道结构可能被所述第二通孔

Micron Ex. 1002, p. 544
Micron v. YMTC
IPR2025-00294

完全贯穿，本发明对此并不做限定，只要保证所述第一区域的第三通道结构没有被所述第二通孔完全贯穿即可。

[0215] 具体的，在本发明的一个实施例中，形成完全贯穿所述第二堆叠层和所述第二绝缘连接层，并延伸至所述第三通道结构表面内的第二通孔包括：

[0216] 对所述第二堆叠层和所述第二绝缘连接层进行刻蚀，在所述第二堆叠层和所述第二绝缘连接层内形成贯穿所述第二堆叠层和所述第二绝缘连接层，并延伸至所述第三通道结构表面内的第二通孔；对所述第二通孔进行清洗。

[0217] 需要说明的是，在本发明实施例中，所述第二通孔可以延伸至所述第三通道结构表面，也可以延伸至所述第三通道结构表面内，本发明对此并不做限定。

[0218] 在上述实施例的基础上，在本发明的一个实施例中，当所述第二绝缘连接层表面形成有第二掩膜层时，在形成第二通孔时，还包括对所述第二掩膜层的刻蚀。需要说明的是，在本发明实施例中，所述第二掩模层朝向所述第二通孔一侧的边界线和所述第一掩模层朝向所述第一通孔5一侧的边界线之间的距离a最大不大于15nm。

[0219] S2010：在所述第二通孔侧壁形成第二功能层。

[0220] 具体的，在本发明的一个实施例中，在所述第二通孔侧壁形成第二功能层包括：

[0221] 如图34所示，在所述第二通孔17的侧壁和所述第二通孔17底部形成第二隧穿层18，用于产生电荷，可选的，所述第二隧穿层18为氧化层，形成工艺为沉积工艺；

[0222] 在所述第二隧穿层18表面形成第二存储层19，用于存储电荷，可选的，所述第二存储层19为氮化层，形成工艺为沉积工艺；

[0223] 在所述第二存储层19表面形成第二阻挡层20，用于阻挡所述第二存储层19中的电荷流出，可选的，所述第二阻挡层20为氧化层，形成工艺为沉积工艺；

[0224] 如图35所示，在所述第二阻挡层20表面形成第二保护层21，用于保护所述第二阻挡层20在后续去除工艺中不受到损伤，可选的，所述第二保护层21为非晶硅层，形成工艺为沉积工艺；

[0225] 继续如图35所示，去除所述第二保护层21、第二阻挡层20、所述第二存储层19、所述第二隧穿层18和所述第三通道结构13位于所述第二通孔17底部的部分，形成第二功能层，同时使得所述第二通孔17与所述第一通孔5相连通，可选的，所述去除工艺为刻蚀工艺和清洗工艺。

[0226] 在上述实施例的基础上，在本发明的一个实施例中，该方法还包括：如图36所示，去除所述第二阻挡层20、所述第二存储层19、所述第二隧穿层18位于所述第二保护层下方的部分，如图中虚线框所示。

[0227] S2011：如图37所示，去除所述第二通道结构、所述第三通道结构和所述第二保护层、所述第一保护层，形成所述第一通孔5和所述第二通孔17相连通的第三通孔22。

[0228] S2012：在位于所述第一区域的第三通孔的侧壁和底部形成第四通道结构，并在所述第一区域、所述第二区域和所述第三区域对应的所述第三通孔侧壁和底部形成第一填充结构，所述第一填充结构的表面低于所述第一绝缘连接层3的表面。

[0229] 具体的，在本发明的一个实施例中，在位于所述第一区域的第三通孔的侧壁和底部形成第四通道结构，并在所述第一区域、所述第二区域和所述第三区域对应的所述第三通孔侧壁和底部形成第一填充结构，所述第一填充结构的表面低于所述第四通道结构的表

Micron Ex. 1002, p. 545
Micron v. YMTC
IPR2025-00294

面包括：

[0230] 如图38所示，在所述第一区域、所述第二区域和所述第三区域形成覆盖所述第三通孔27侧壁和底部以及所述第一绝缘连接层3表面的第四通道层28；

[0231] 如图39所示，在所述第一区域、所述第二区域和所述第三区域形成覆盖所述第四通道层28的第二填充层29，所述第二填充层29具有空气间隙；

[0232] 如图40所示，在所述第二填充层19对应所述第一区域100的表面形成第三掩膜层30；

[0233] 以所述第三掩膜层30为掩膜，去除所述第二填充层29位于所述第二区域200和所述第三区域300的部分；

[0234] 如图41所示，去除所述第三掩膜层30；

[0235] 以所述第二填充层29位于所述第一区域100的部分为掩膜，去除所述第四通道层28位于所述第二区域200和所述第三区域300的部分，在所述第二区域200和所述第三区域300形成所述第四通孔31；

[0236] 如图42所示，在所述第四通孔31侧壁和底部形成第三填充层32，所述第三填充层32还覆盖所述第一绝缘连接层3位于所述第二区域200和所述第三区域300的表面，可选的，所述第三填充层32具有空气间隙，更可选的，所述第三填充层32的填充性能好于所述第二填充层29的填充性能，即在同一刻蚀工艺中，所述第三填充层32的刻蚀速率小于所述第二填充层29的刻蚀速率；

[0237] 如图43所示，对所述第二填充层29和所述第三填充层32进行刻蚀，去除所述第二填充层29位于所述第一区域100的部分，在所述第一区域100形成第五通孔33；

[0238] 如图44所示，形成覆盖所述第四通孔32和所述第五通孔33的第一填充层34，所述第一填充层34还覆盖所述第一绝缘连接层3表面；

[0239] 如图45所示，去除部分所述第一填充层，使得所述第一填充层34的表面低于所述第一绝缘连接层3的表面，形成第一填充结构；

[0240] 如图46所示，去除所述第四通道层28位于所述第一绝缘连接层3表面的部分，保留所述第三通孔33侧壁的部分，形成第四通道结构，所述第四通道结构的底部与所述第一通道结构6直接接触，所述第四通道结构的表面高于所述第一填充结构的表面。

[0241] S2012：在所述第四通道结构和所述第一填充结构形成的第二凹槽内形成第五通道结构，所述第五通道结构与所述第四通道结构相接触。

[0242] 需要说明的是，当所述第二绝缘连接层表面形成有第二掩膜层时，在所述第四通道结构和所述第一填充结构形成的第二凹槽内形成第五通道结构包括：

[0243] 如图47所示，在所述第四通道结构与所述第一填充结构形成的第二凹槽内形成第五通道层55，所述第五通道层55与所述第四通道结构相接触

[0244] 如图48所示，去除所述第二掩膜层16；

[0245] 如图49所示，平坦化所述第二绝缘连接层15表面。

[0246] 相应的，本发明实施例还提供了一种三维存储器，所述三维存储器包括沿字线方向排布的第一区域、第二区域和第三区域，其中，所述第一区域用于形成通道孔结构，所述第三区域用于形成绝缘环结构，沿垂直于所述三维存储器表面方向包括：

[0247] 基底，所述基底表面形成有第一堆叠层和第一绝缘连接层，所述第一堆叠层由多

Micron Ex. 1002, p. 546
Micron v. YMTC
IPR2025-00294

个交错叠加的氧化层和氮化层构成；

[0248] 在所述第一区域、所述第二区域和所述第三区域，贯穿所述第一堆叠层和所述第一绝缘连接层，并延伸至所述基底表面内的第一通孔；

[0249] 形成在第一通孔曝露的所述基底表面的第一通道结构；

[0250] 形成在所述第一通孔侧壁的第一功能层；

[0251] 依次形成在所述第一绝缘连接层背离所述基底一侧的第二堆叠层和第二绝缘连接层，所述第二堆叠层由多个交错叠加的氧化层和氮化层构成；

[0252] 在所述第一区域、所述第二区域和所述第三区域，贯穿所述第二堆叠层和所述第二绝缘连接层，并延伸至与所述第一通孔相连通的第二通孔，所述第一通孔和所述第二通孔构成第三通孔；

[0253] 形成在所述第二通孔侧壁的第二功能层；

[0254] 形成在所述第一区域的第三通孔的侧壁和底部的第四通道结构，以及形成在所述第一区域、所述第二区域和所述第三区域对应的所述第三通孔侧壁和底部形成第一填充结构，所述第一填充结构的表面低于所述第四通道结构的表面；

[0255] 形成在所述第四通道结构和所述第一填充结构形成的第二凹槽内的第五通道结构，所述第五通道结构与所述第四通道结构相接触。

[0256] 由上可知，本发明实施例所提供的三维存储器中通道孔结构的形成方法，通过第一通孔和第二通孔两次通孔形成工艺来形成所述三维存储器中的通道孔结构，大大降低了所述通道孔结构的工艺难度和成本，解决了在相同口径下，通孔深宽比过大导致的工艺难度大和成本高的问题，降低了所述三维存储器的形成工艺难度和成本。

[0257] 而且，本发明实施例所提供的三维存储器中通道孔结构的形成方法，所述第四通道结构仅存在于所述第一区域，而不存在于所述第一区域，从而使得所述三维存储器中，在所述第一区域所述第五通孔结构与所述第一通道结构电连接，在所述第三区域所述第五通道结构与所述第一通道结构电绝缘，从而在应用于具有绝缘环的三维存储器时，可以在所述第一区域形成通道孔结构的同时在所述第三区域形成绝缘环结构，工艺简单，成本较低。

[0258] 本说明书中各个部分采用递进的方式描述，每个部分重点说明的都是与其他部分的不同之处，各个部分之间相同相似部分互相参见即可。

[0259] 对所公开的实施例的上述说明，使本领域专业技术人员能够实现或使用本发明。对这些实施例的多种修改对本领域的专业技术人员来说将是显而易见的，本文中所定义的一般原理可以在不脱离本发明的精神或范围的情况下，在其它实施例中实现。因此，本发明将不会被限制于本文所示的实施例，而是要符合与本文所公开的原理和新颖特点相一致的最宽的范围。

Micron Ex. 1002, p. 547
Micron v. YMTC
IPR2025-00294

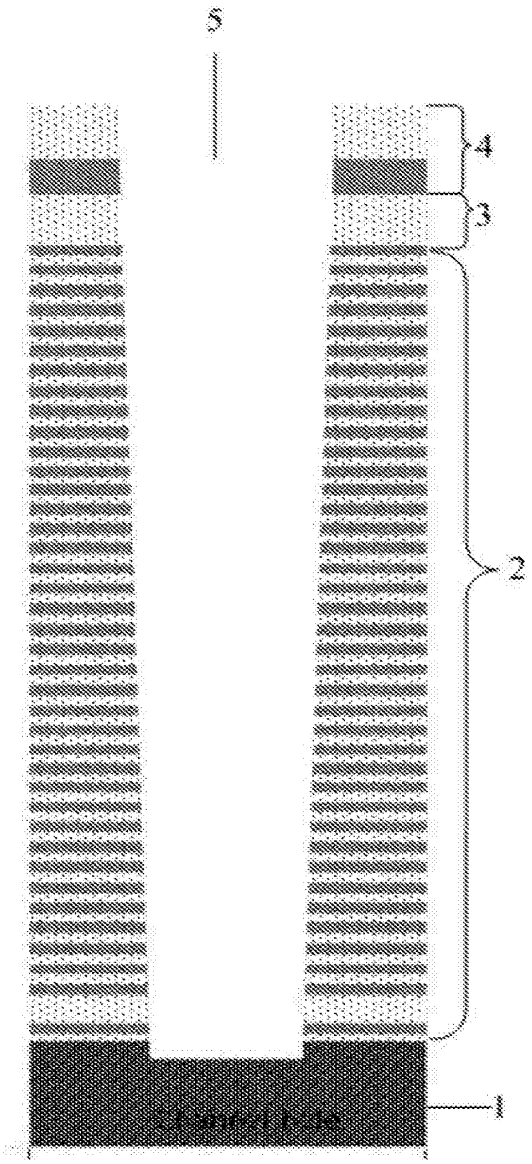


图1

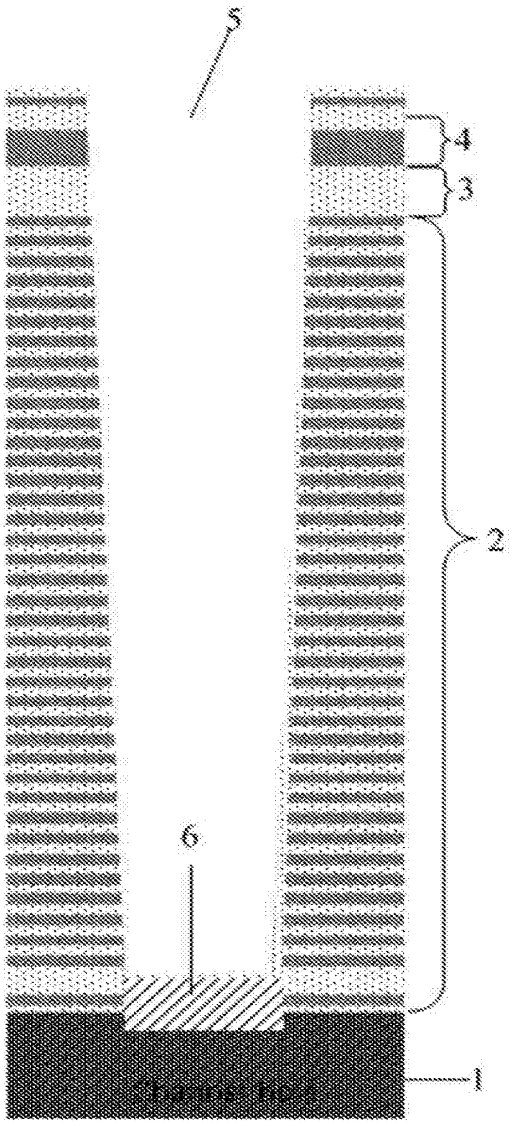


图2

Micron Ex. 1002, p. 548
Micron v. YMTC
IPR2025-00294

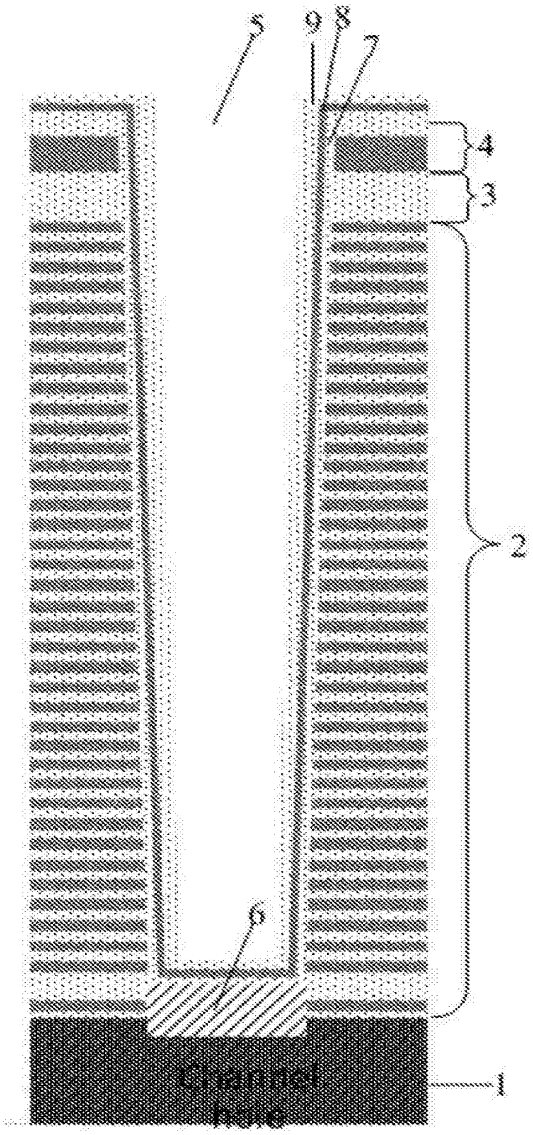


图3

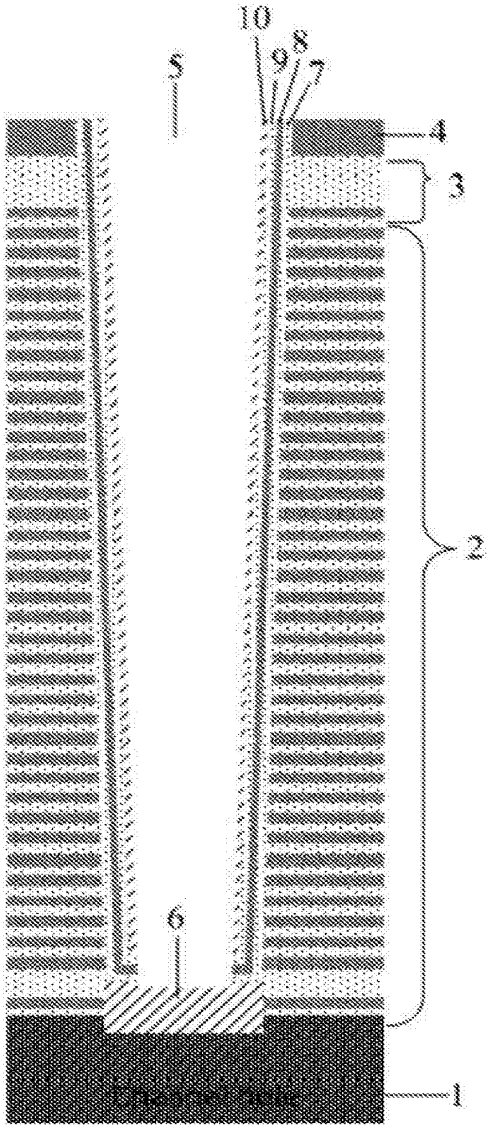


图4

Micron Ex. 1002, p. 549
Micron v. YMTC
IPR2025-00294

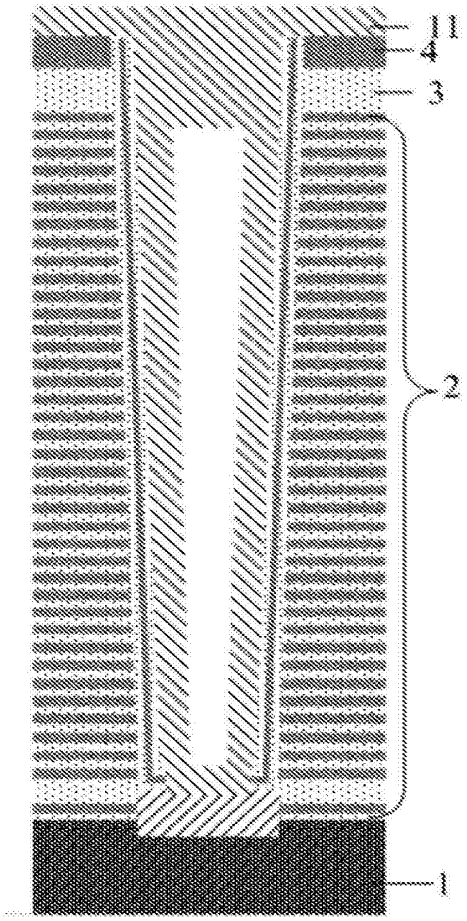


图5

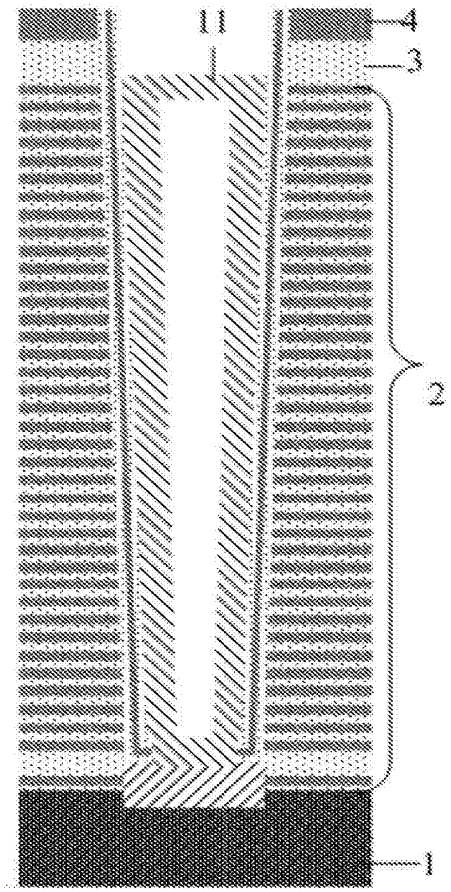


图6

Micron Ex. 1002, p. 550
Micron v. YMTC
IPR2025-00294

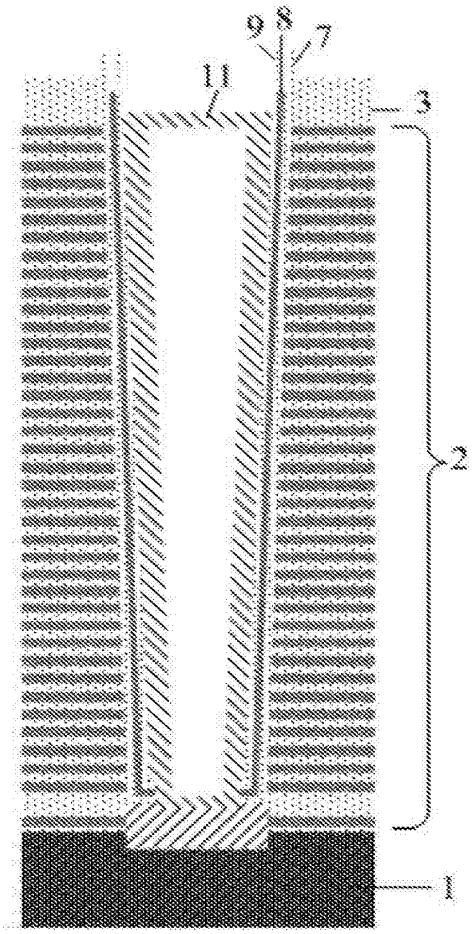


图7

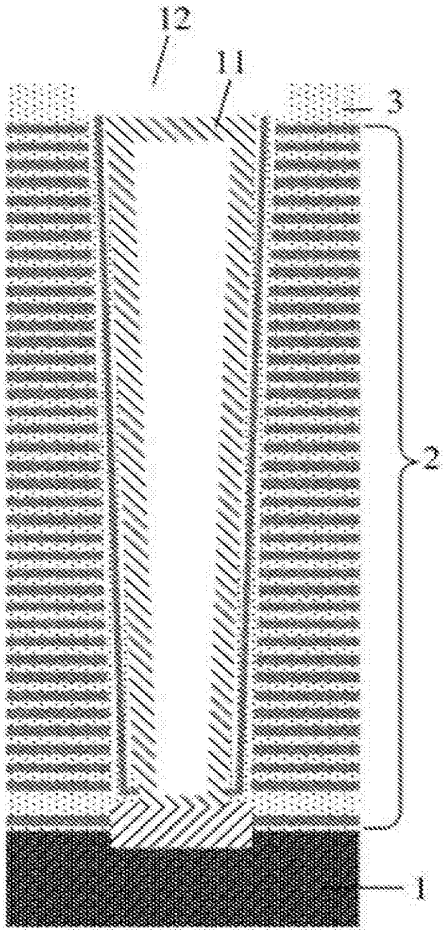


图8

Micron Ex. 1002, p. 551
Micron v. YMTC
IPR2025-00294

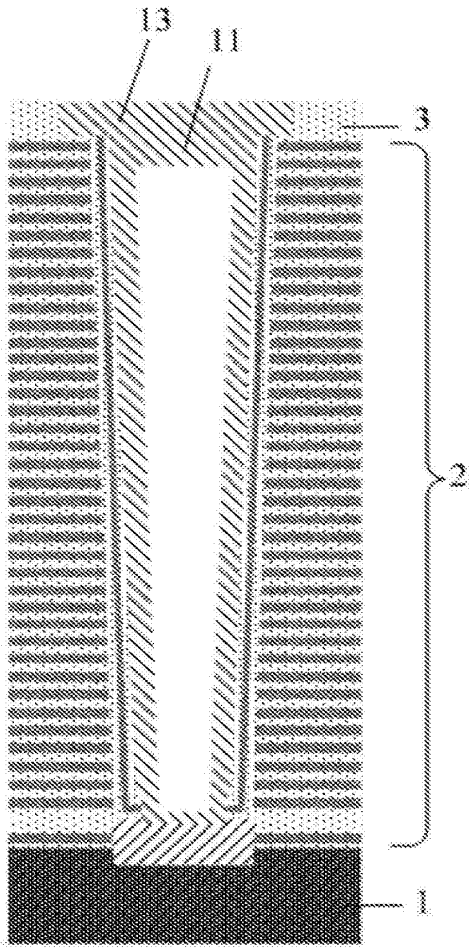


图9

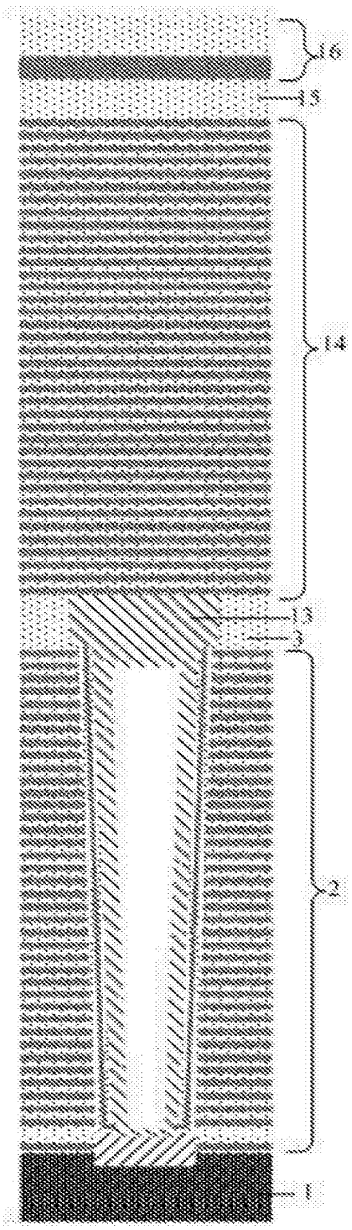


图10

Micron Ex. 1002, p. 552
Micron v. YMTC
IPR2025-00294

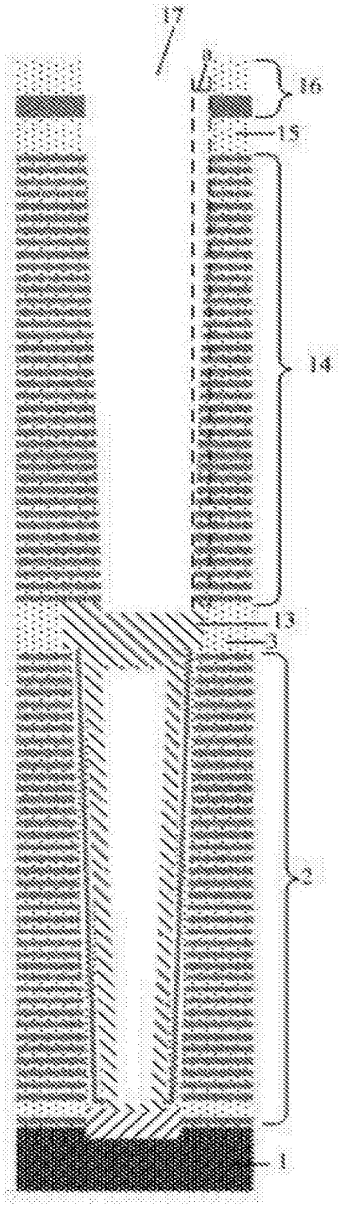


图11

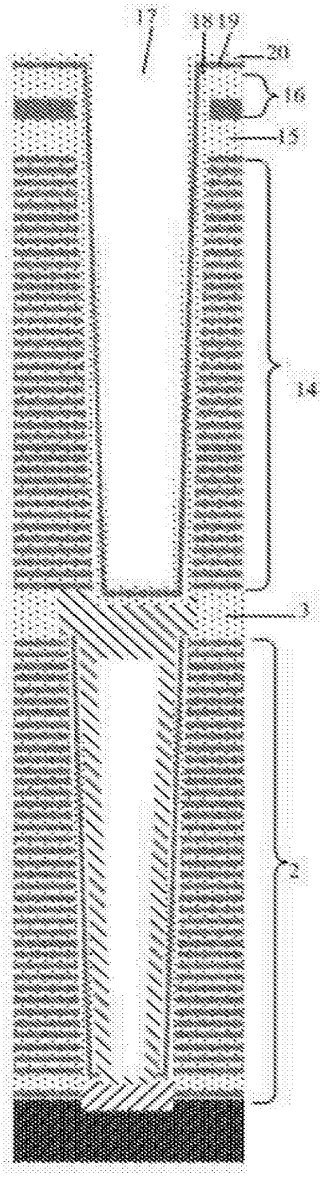


图12

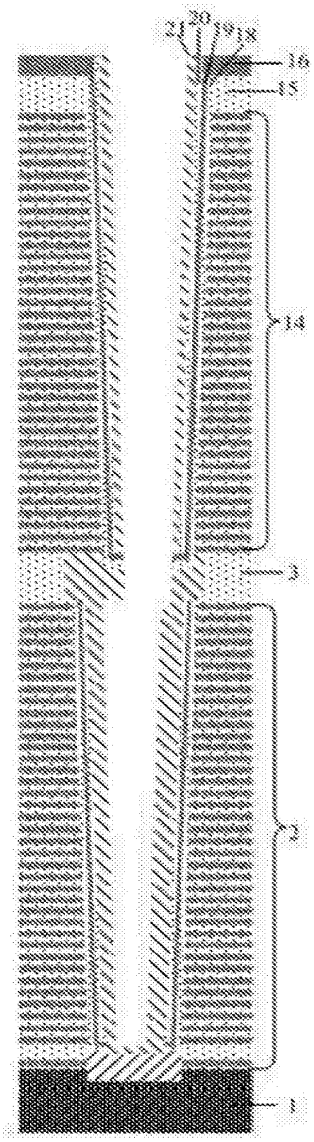


图13

Micron Ex. 1002, p. 553
Micron v. YMTC
IPR2025-00294

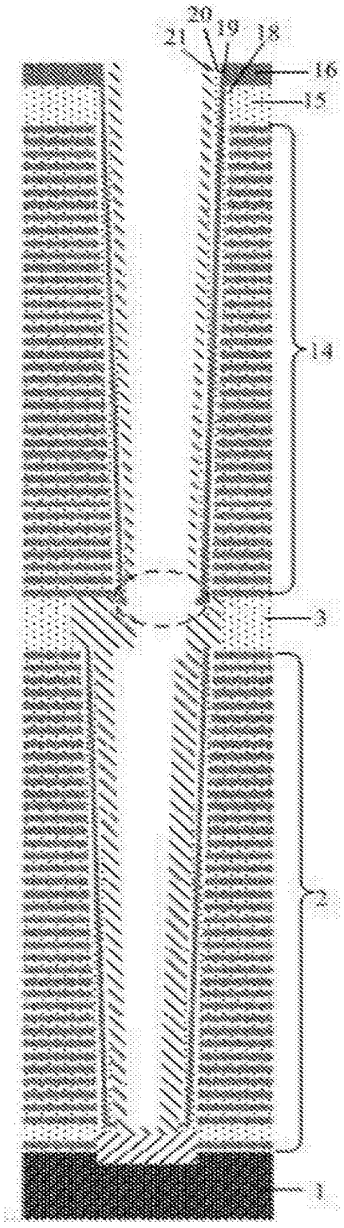


图14

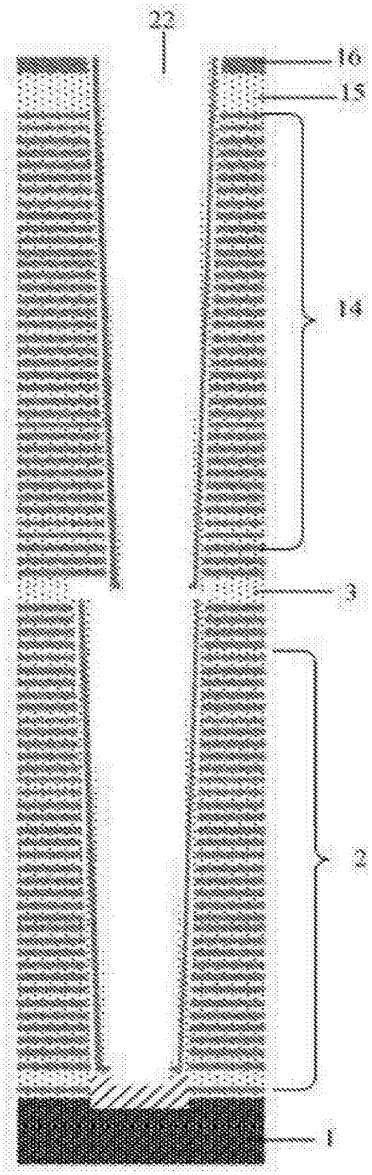


图15

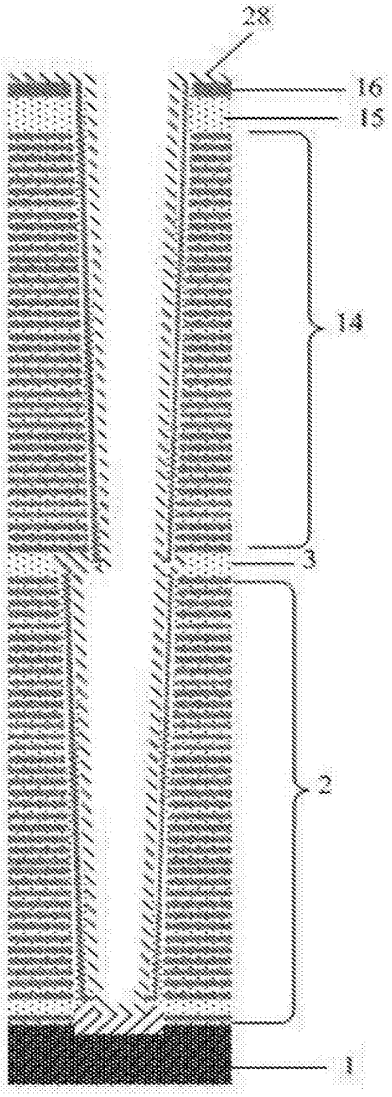


图16

Micron Ex. 1002, p. 554
Micron v. YMTC
IPR2025-00294

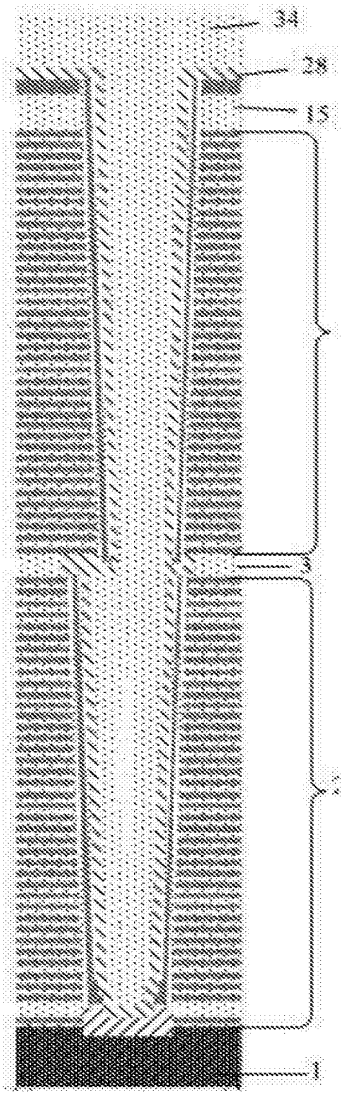


图17

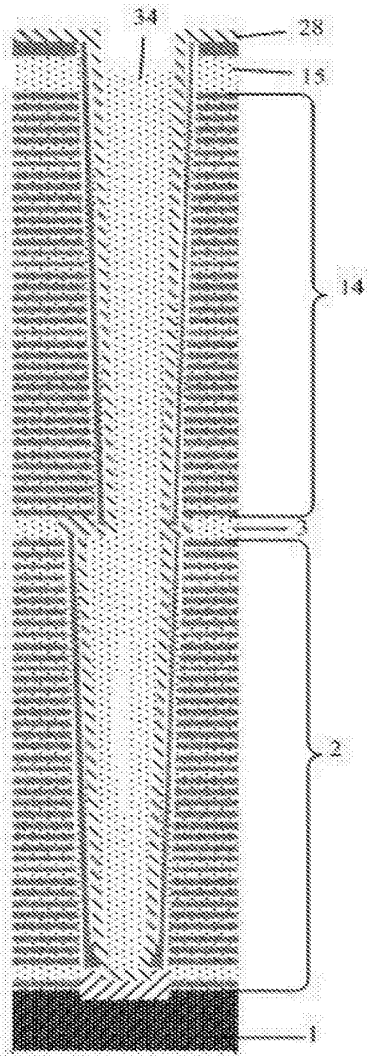


图18

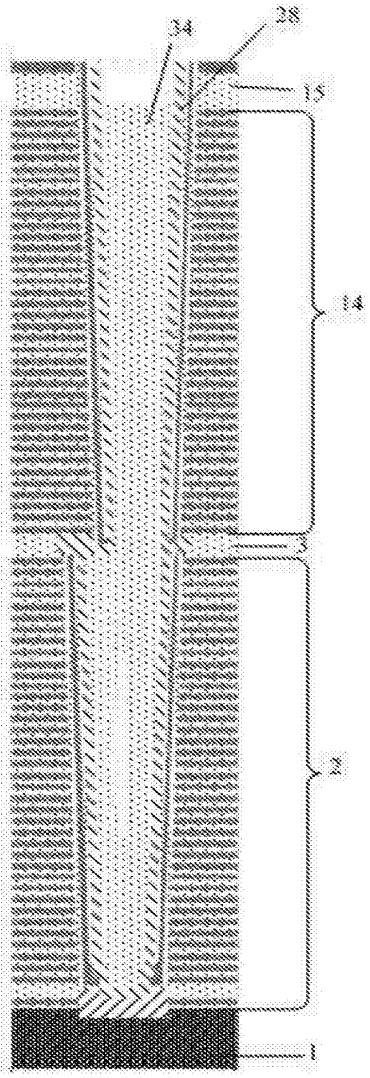


图19

Micron Ex. 1002, p. 555
Micron v. YMTC
IPR2025-00294

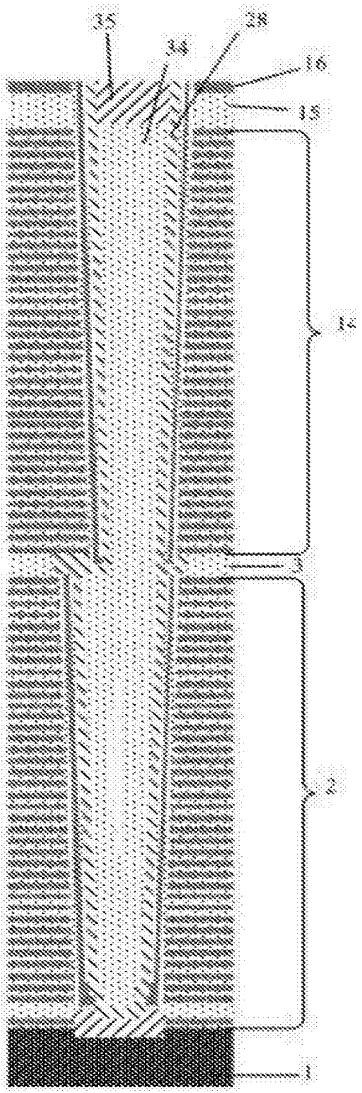


图20

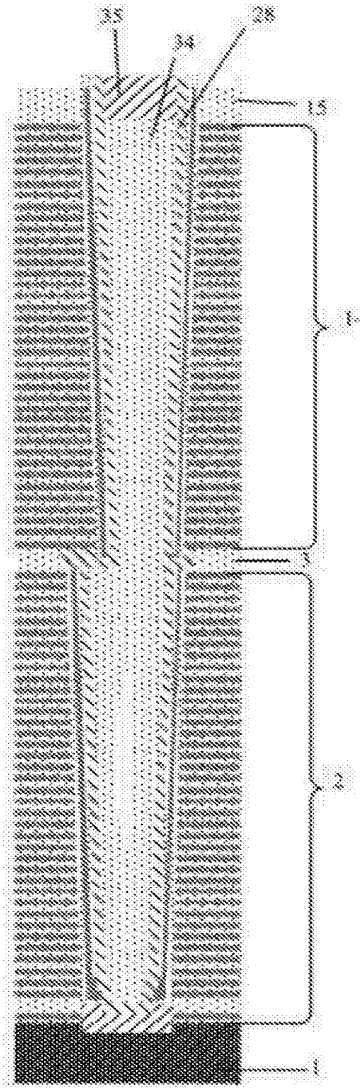


图21

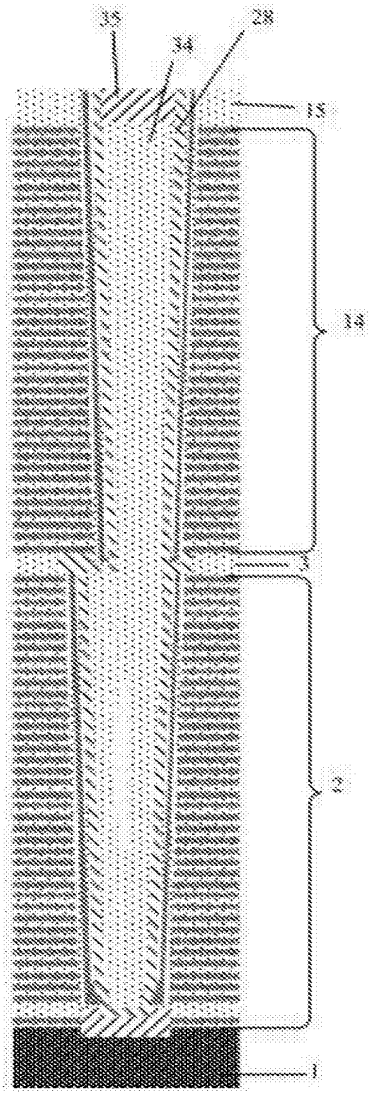


图22

Micron Ex. 1002, p. 556
Micron v. YMTC
IPR2025-00294

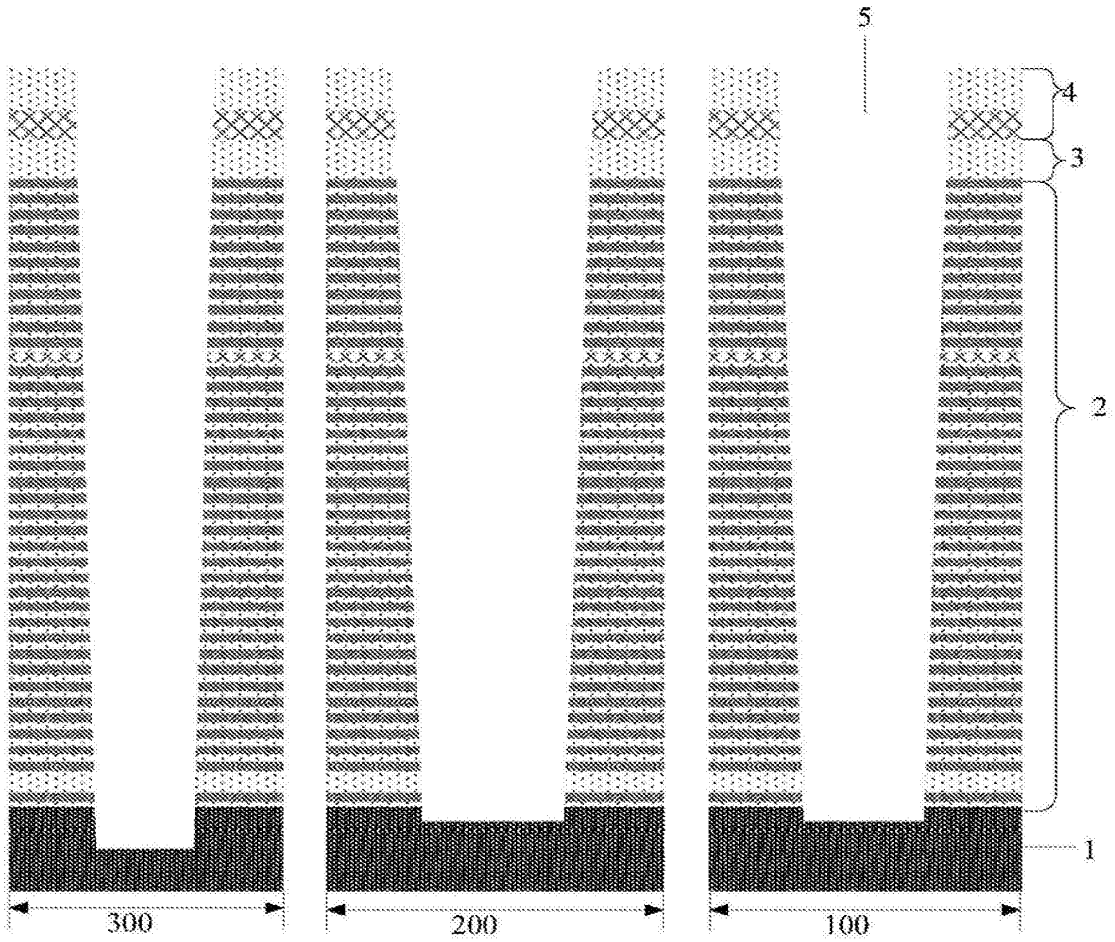


图23

Micron Ex. 1002, p. 557
Micron v. YMTC
IPR2025-00294

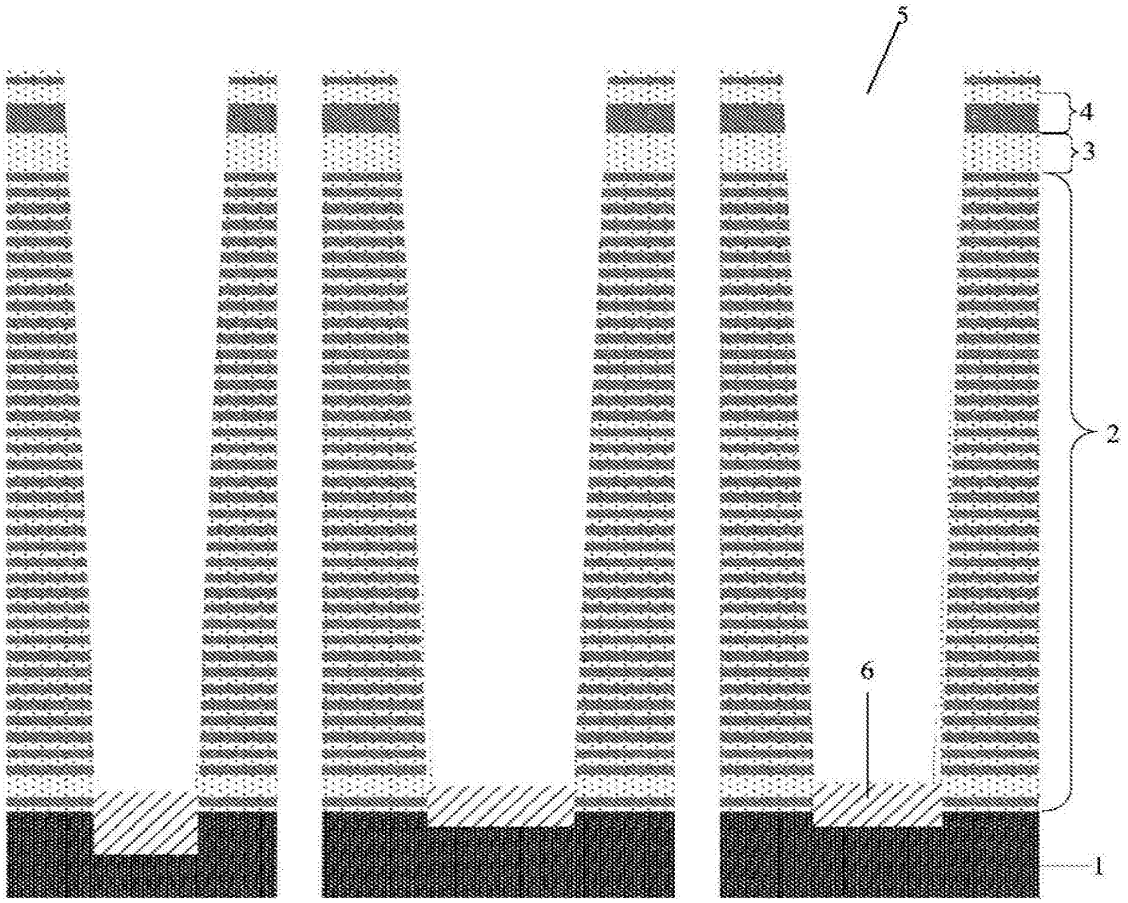


图24

Micron Ex. 1002, p. 558
Micron v. YMTC
IPR2025-00294

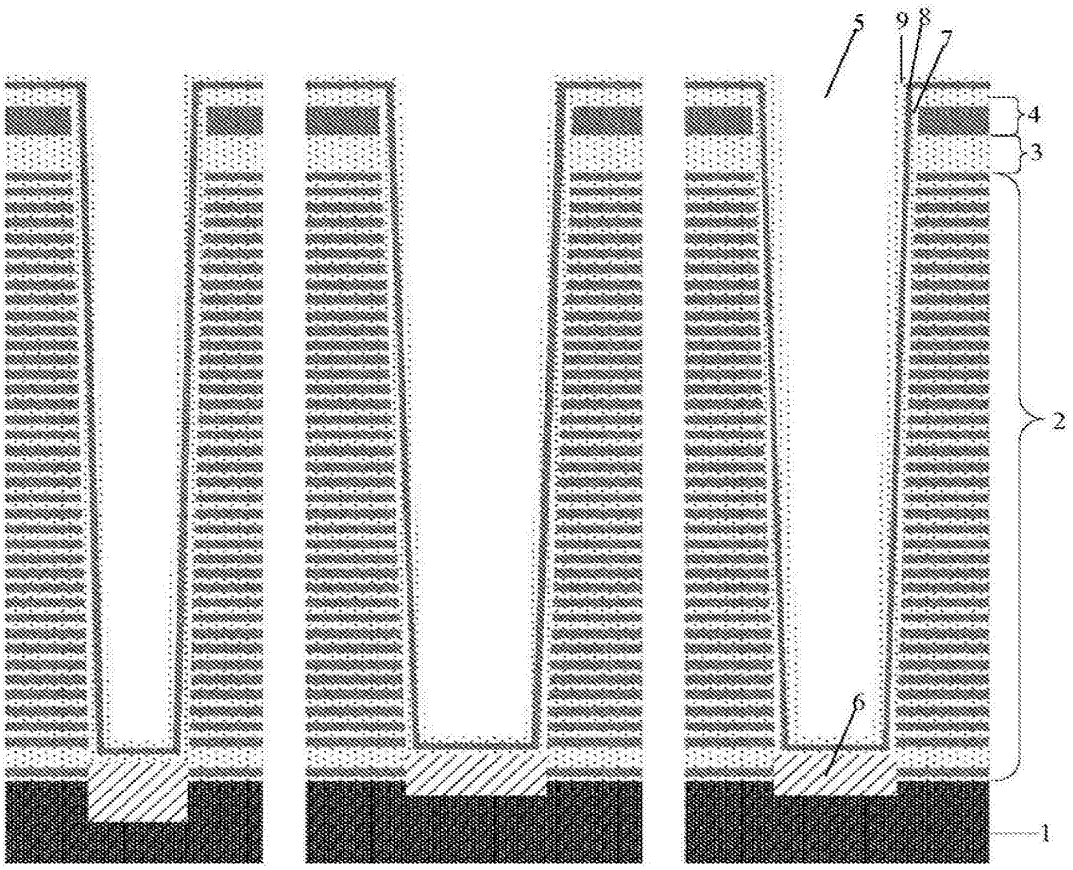


图25

Micron Ex. 1002, p. 559
Micron v. YMTC
IPR2025-00294

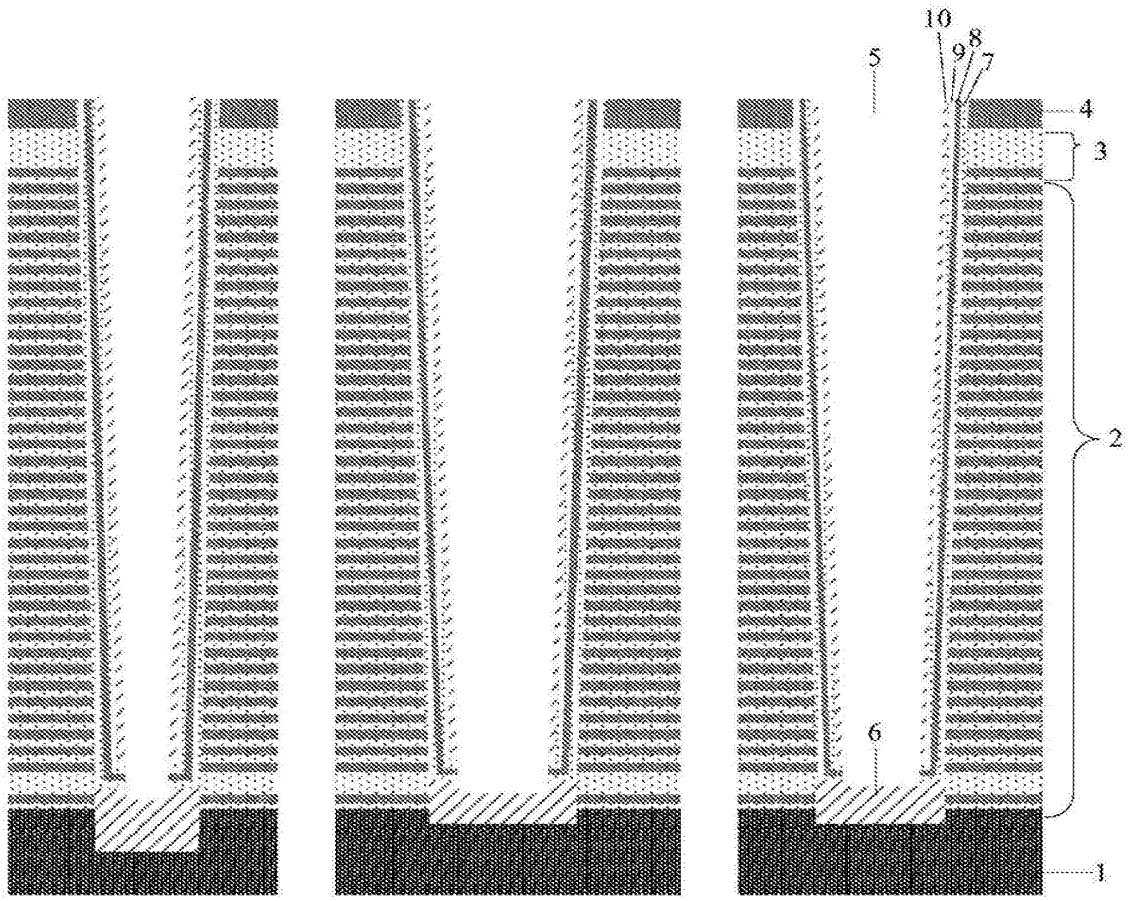


图26

Micron Ex. 1002, p. 560
Micron v. YMTC
IPR2025-00294

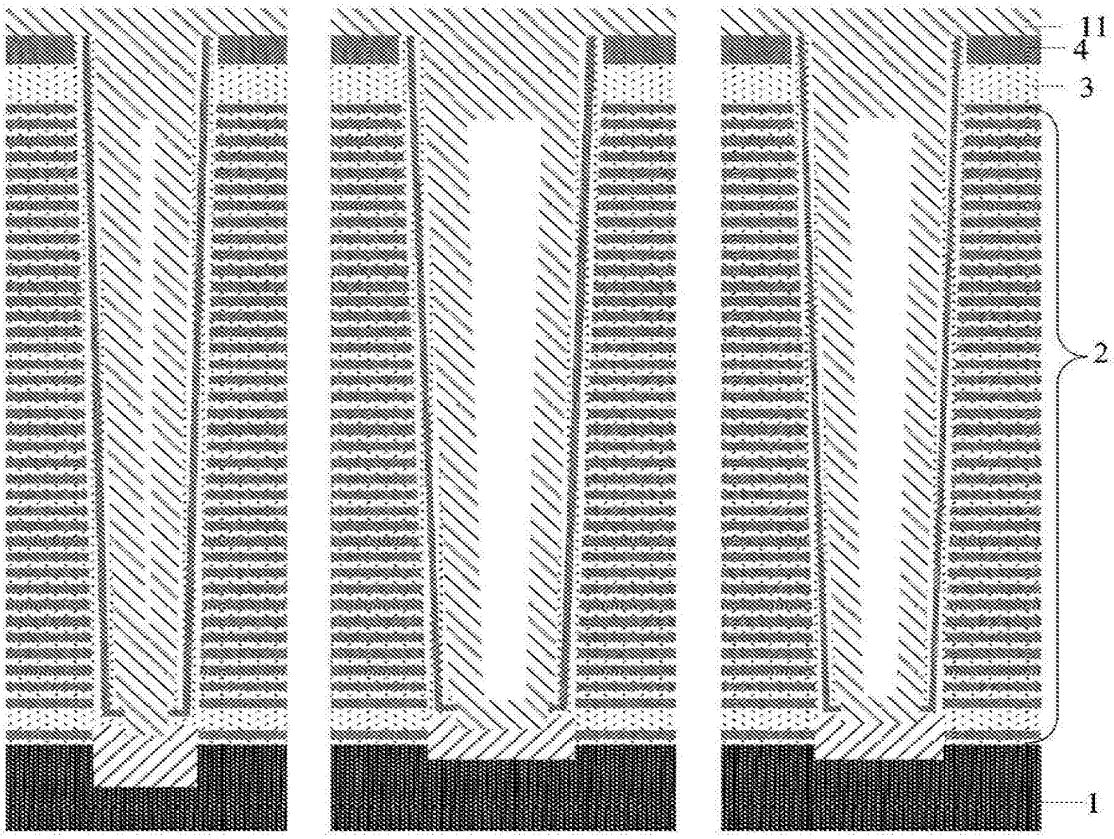


图27

Micron Ex. 1002, p. 561
Micron v. YMTC
IPR2025-00294

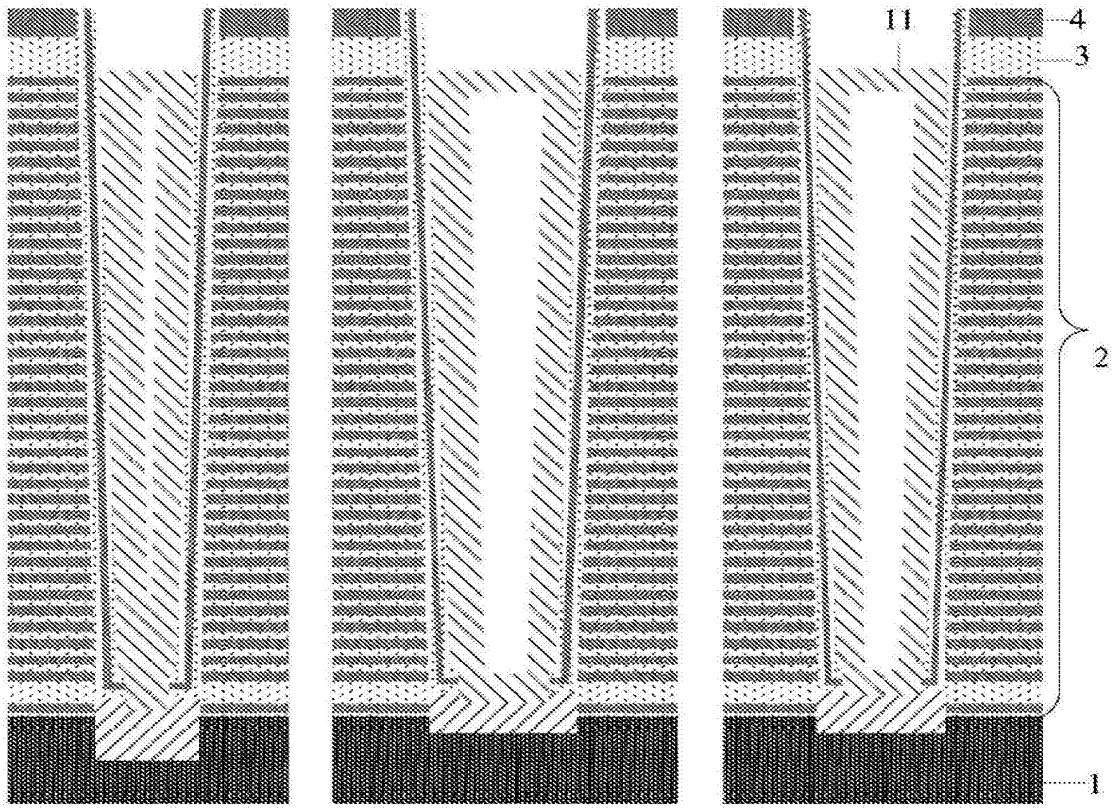


图28

Micron Ex. 1002, p. 562
Micron v. YMTC
IPR2025-00294

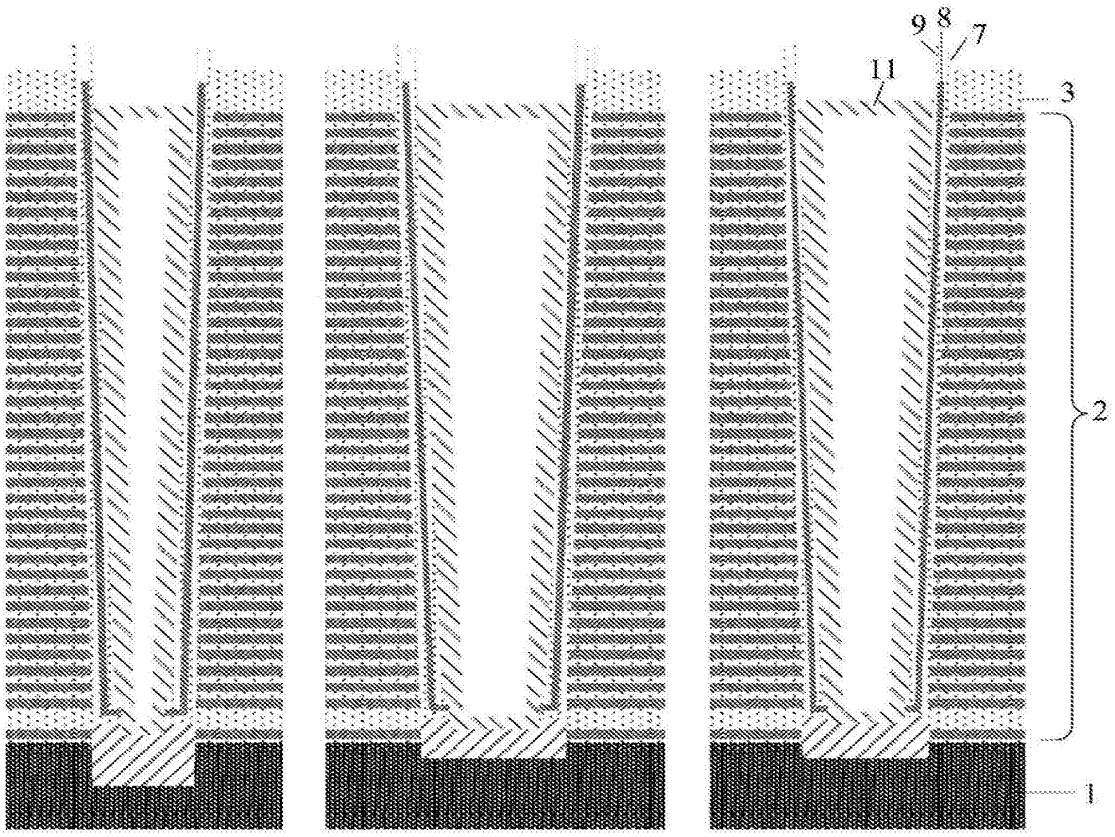


图29

Micron Ex. 1002, p. 563
Micron v. YMTC
IPR2025-00294

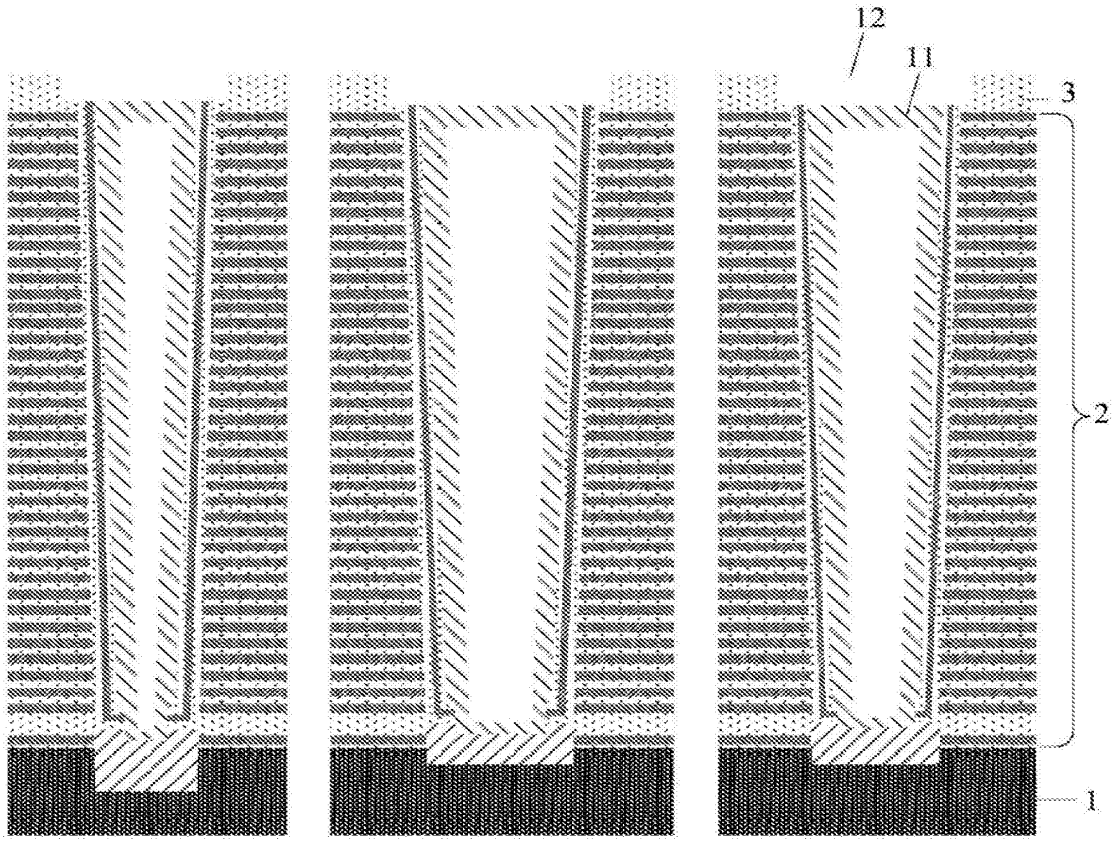


图30

Micron Ex. 1002, p. 564
Micron v. YMTC
IPR2025-00294

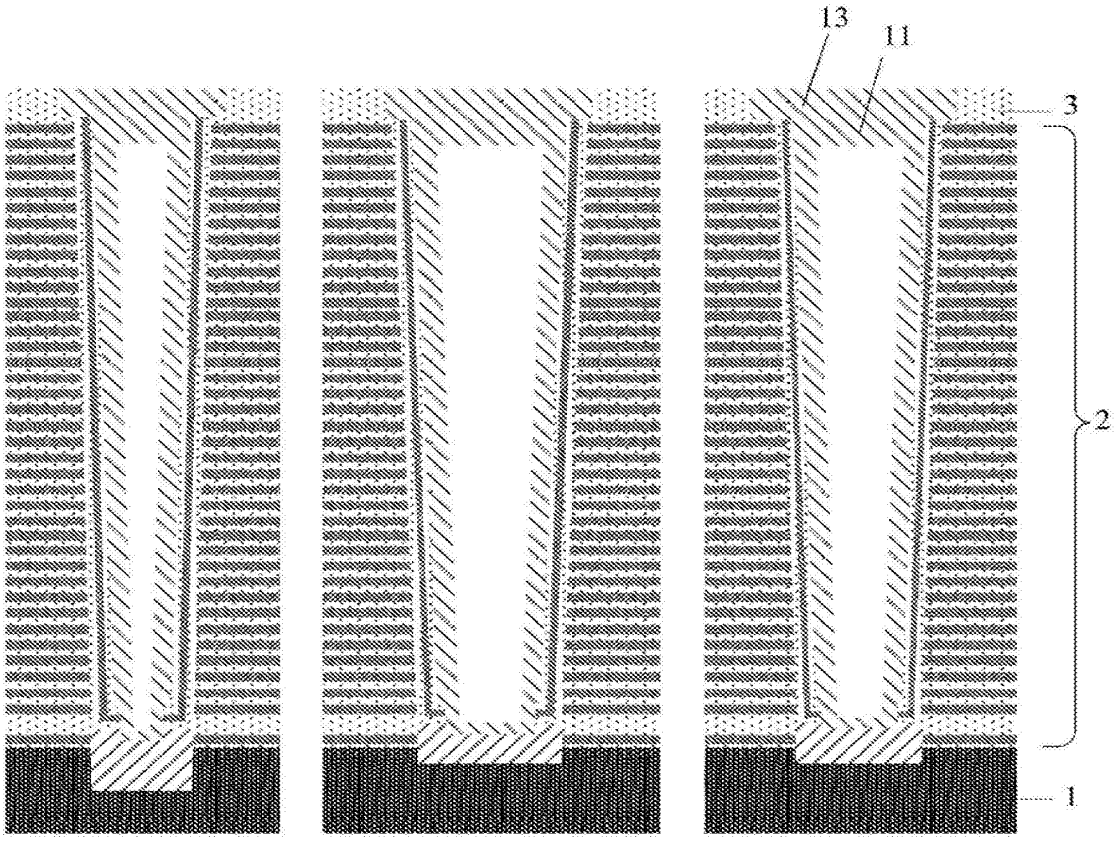


图31

Micron Ex. 1002, p. 565
Micron v. YMTC
IPR2025-00294

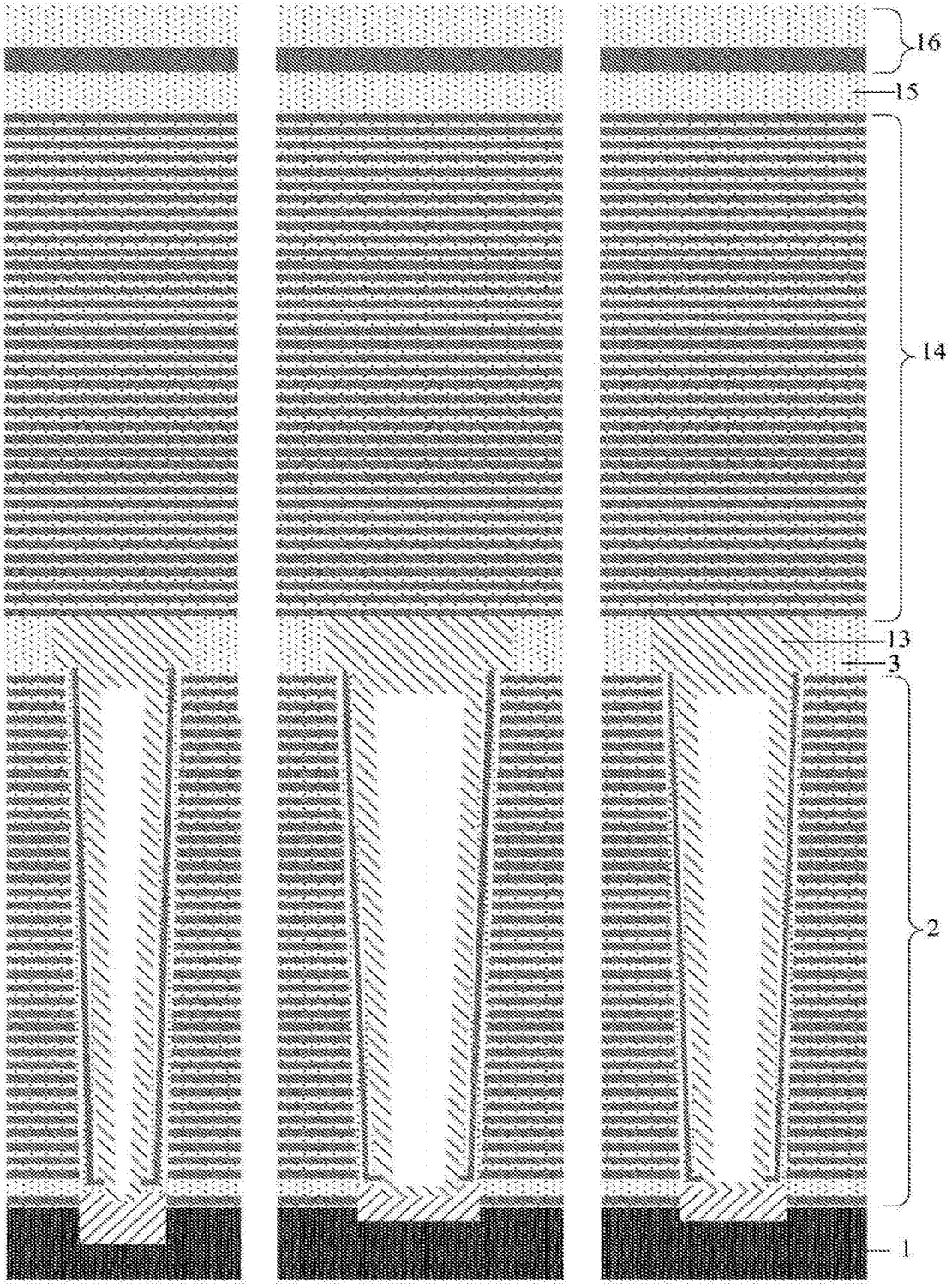


图32

Micron Ex. 1002, p. 566
Micron v. YMTC
IPR2025-00294

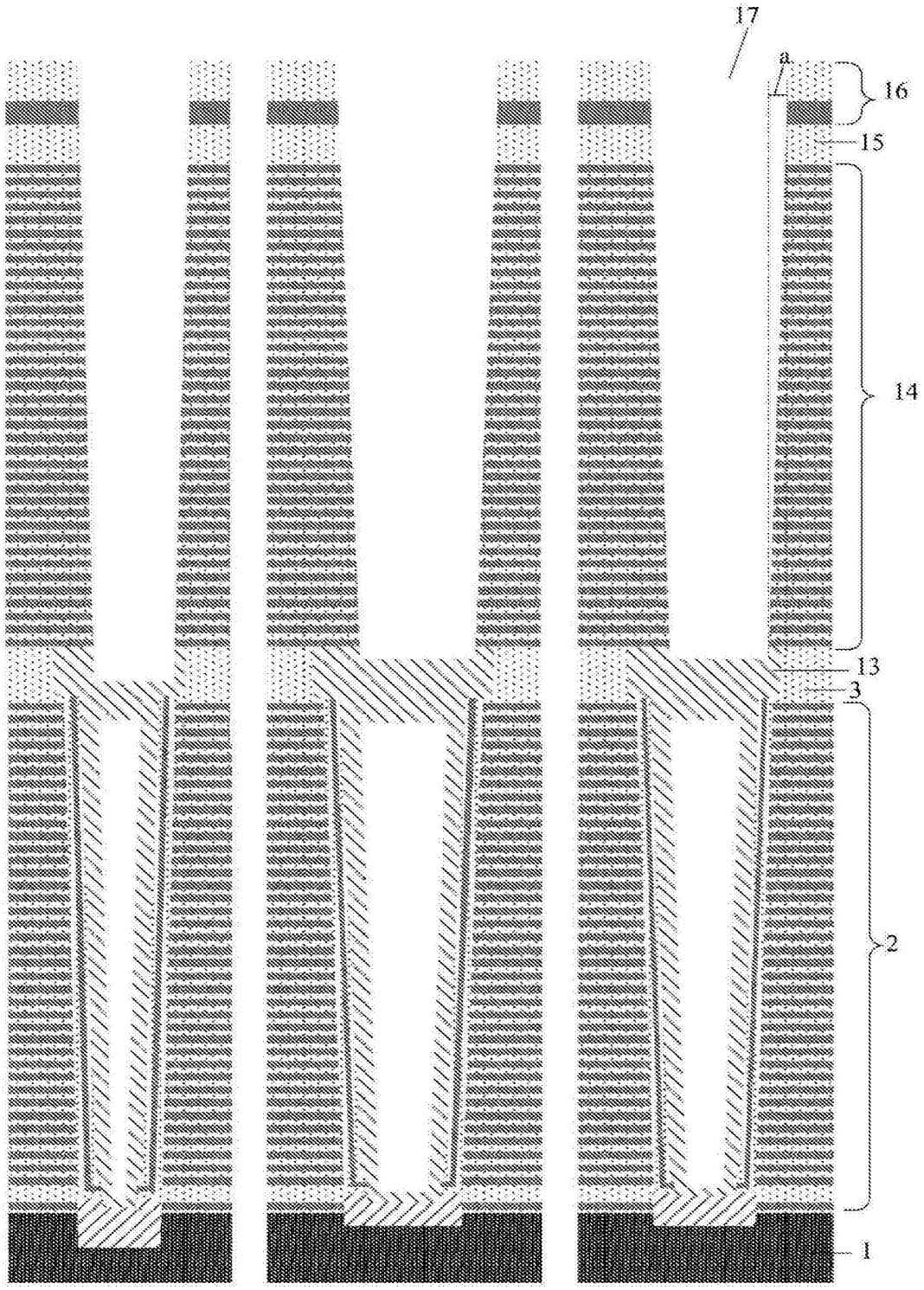


图33

Micron Ex. 1002, p. 567
Micron v. YMTC
IPR2025-00294

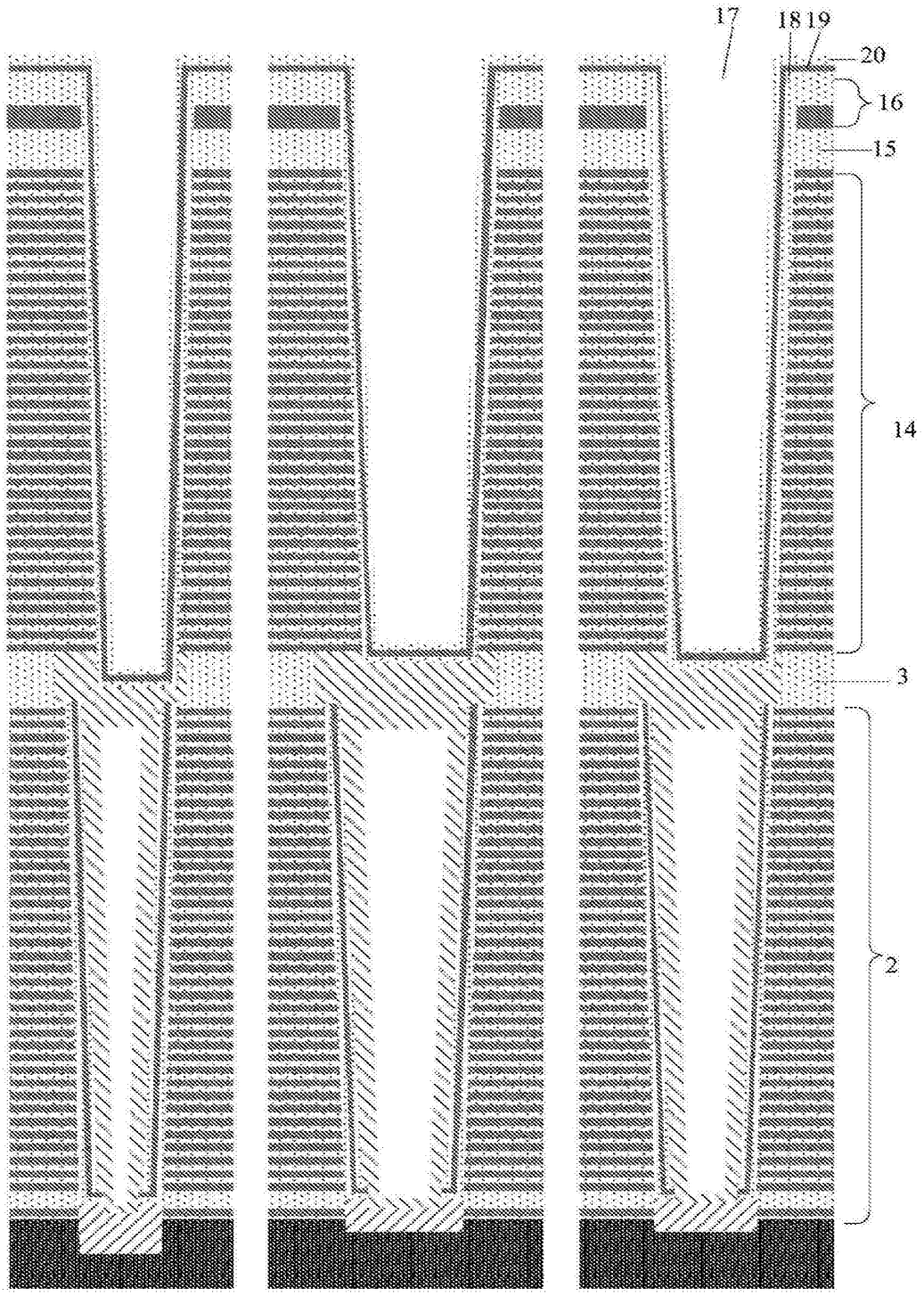


图34

Micron Ex. 1002, p. 568
Micron v. YMTC
IPR2025-00294

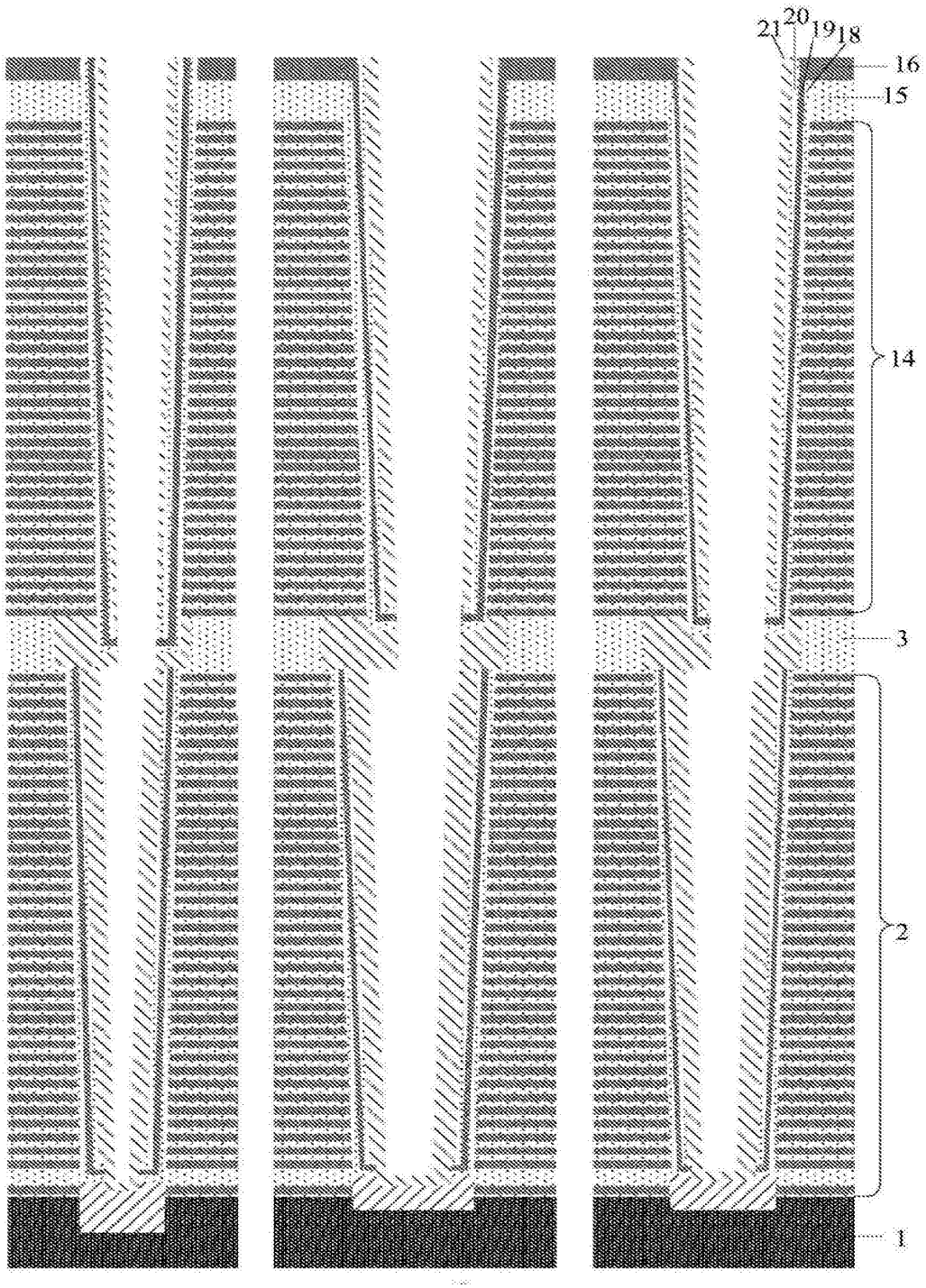


图35

Micron Ex. 1002, p. 569
Micron v. YMTC
IPR2025-00294

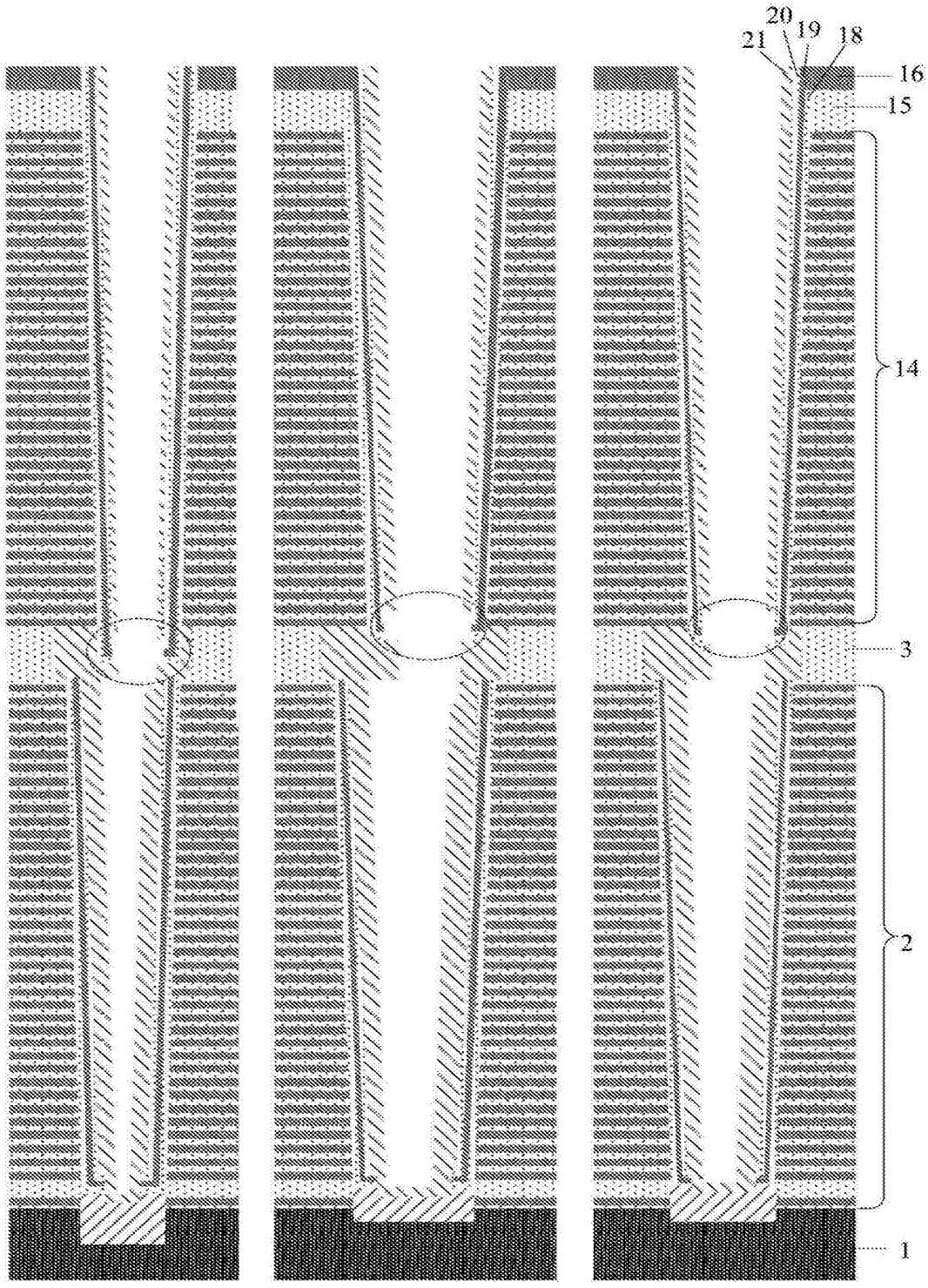


图36

Micron Ex. 1002, p. 570
Micron v. YMTC
IPR2025-00294

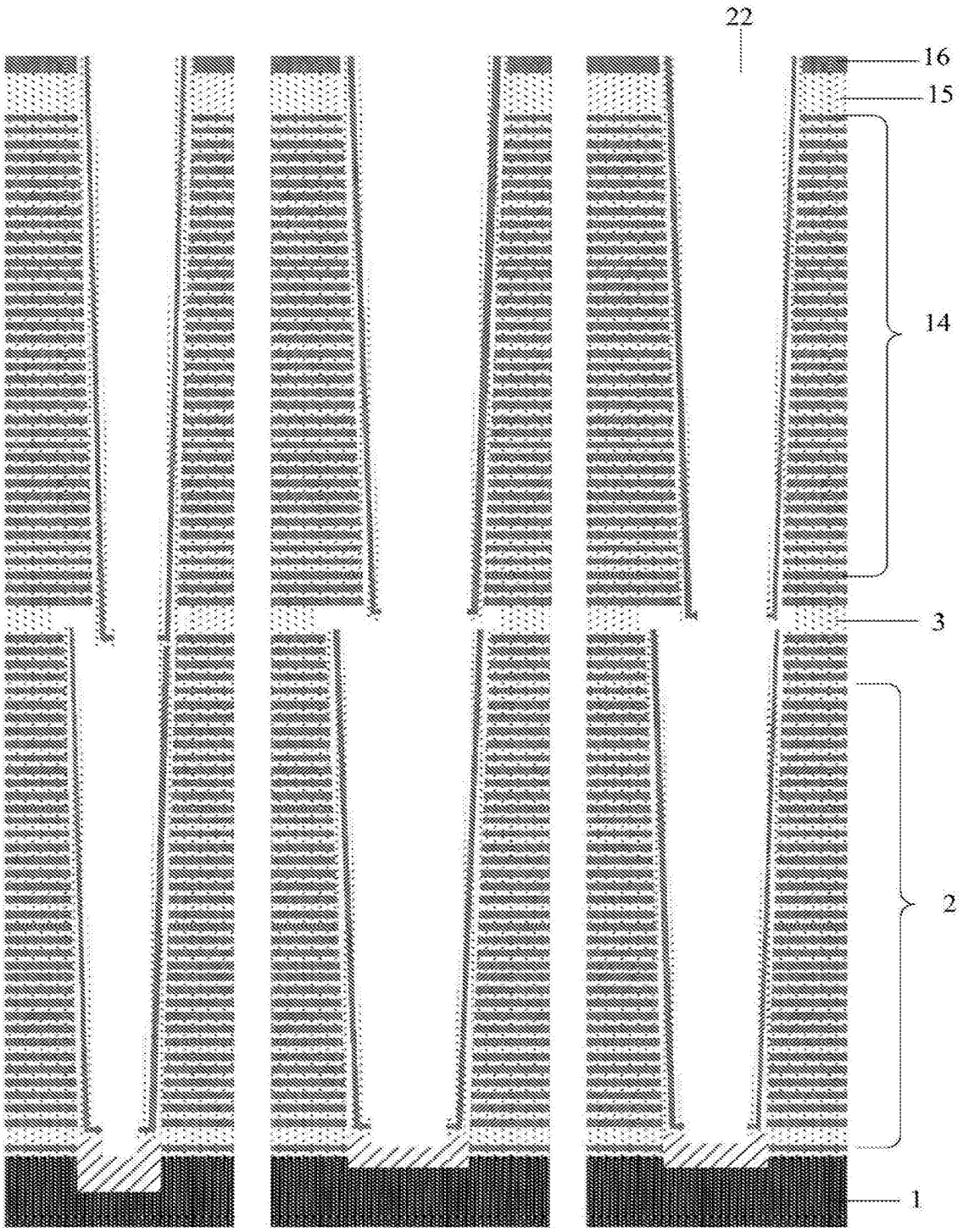


图37

Micron Ex. 1002, p. 571
Micron v. YMTC
IPR2025-00294

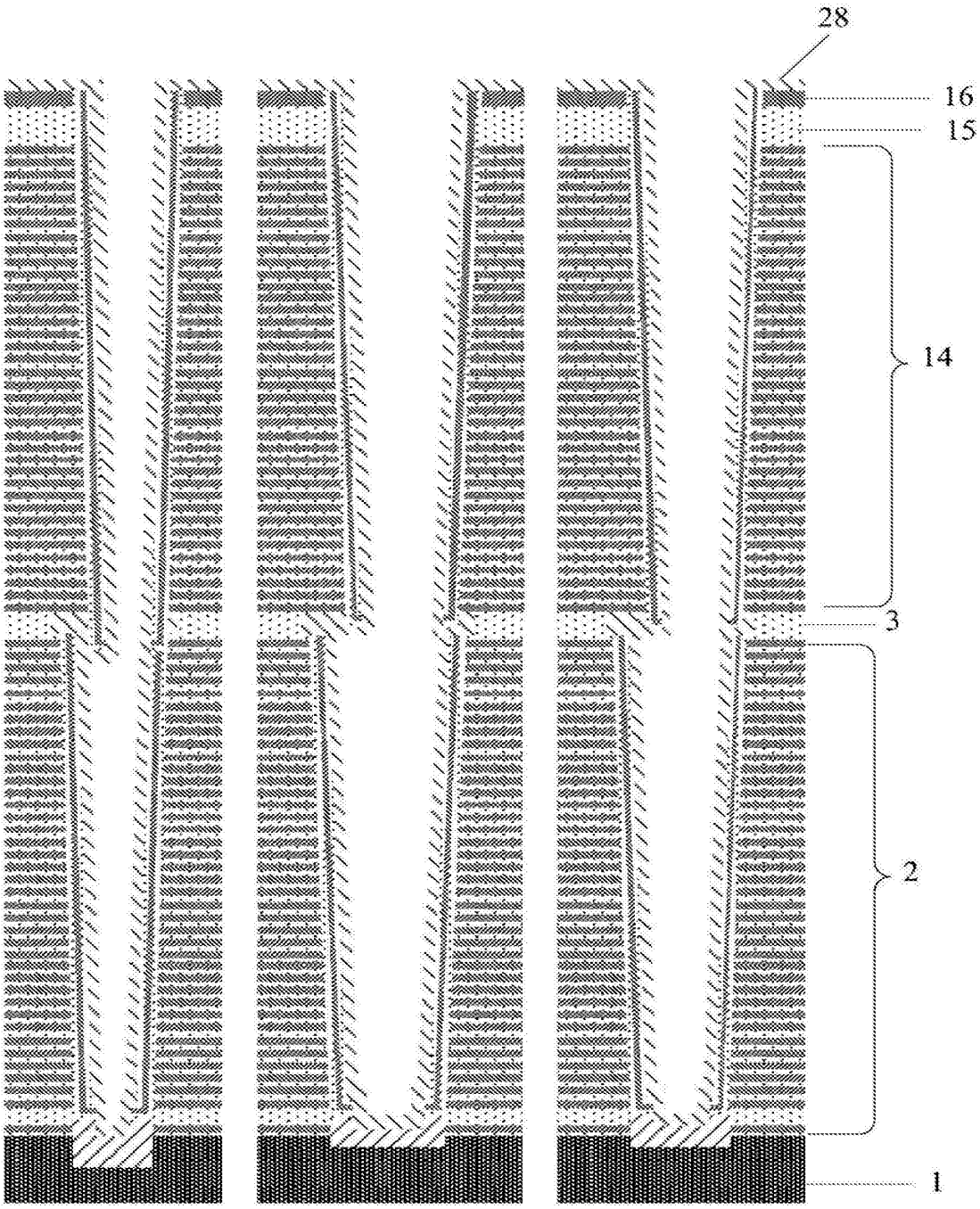


图38

Micron Ex. 1002, p. 572
Micron v. YMTC
IPR2025-00294

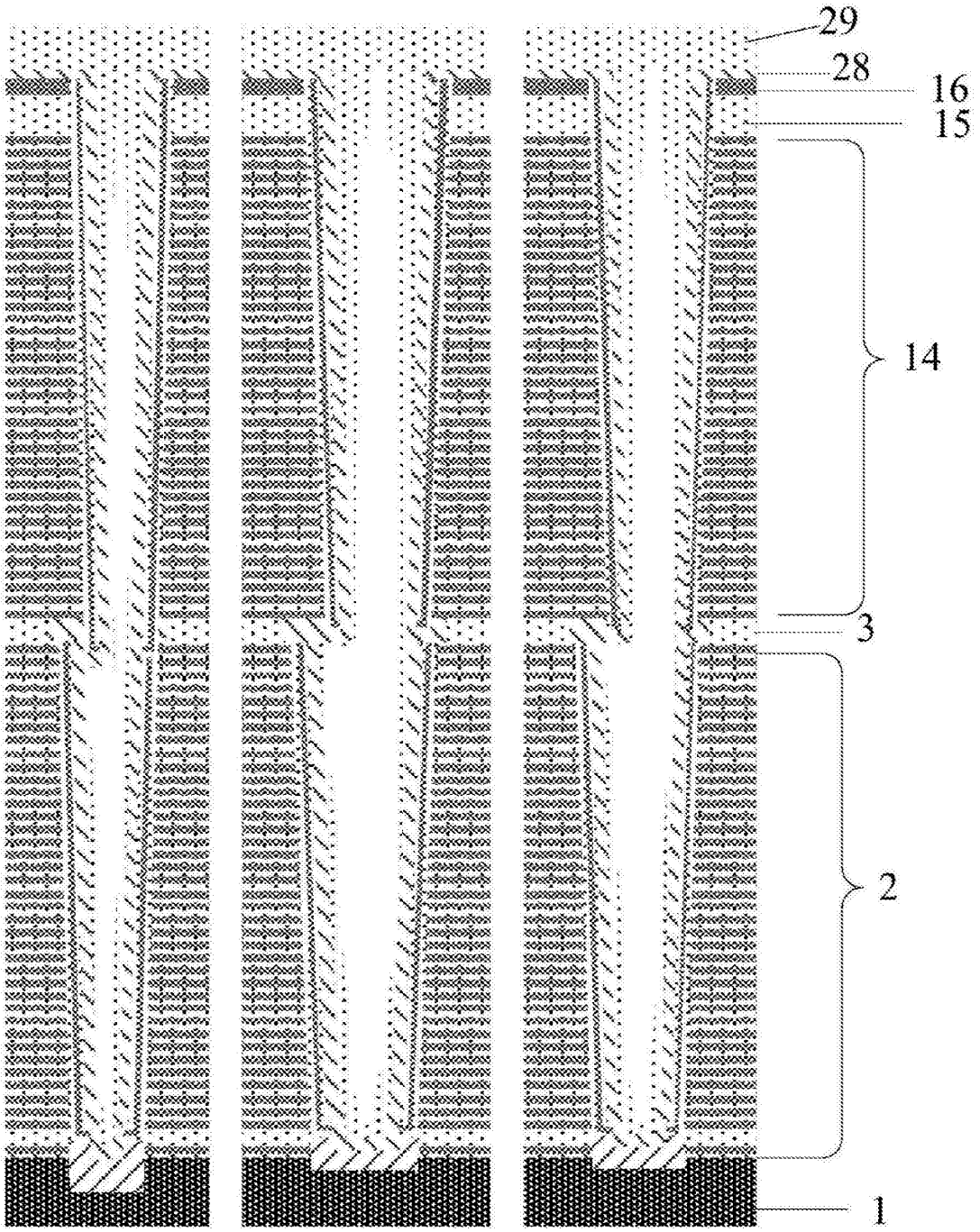


图39

Micron Ex. 1002, p. 573
Micron v. YMTC
IPR2025-00294

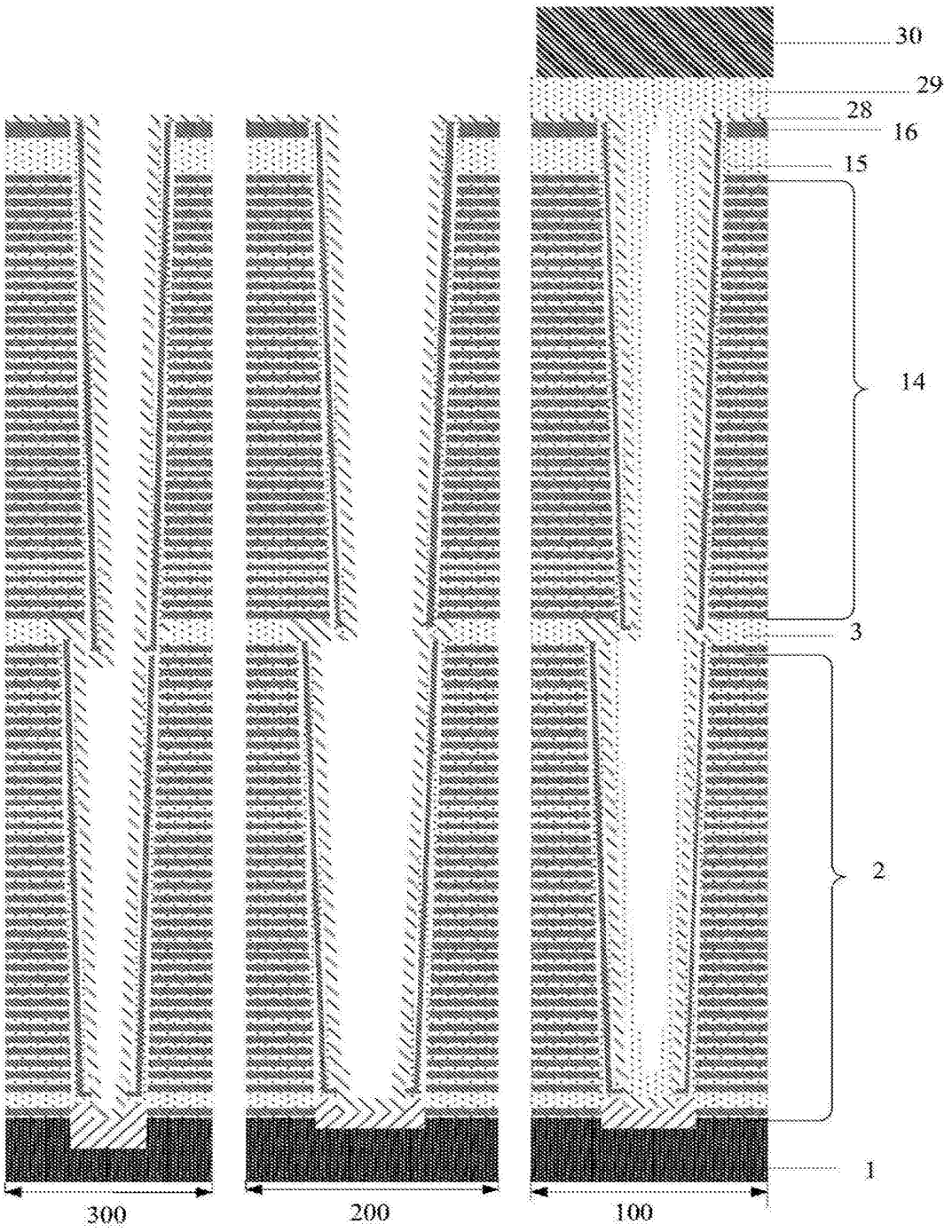


图40

Micron Ex. 1002, p. 574
Micron v. YMTC
IPR2025-00294

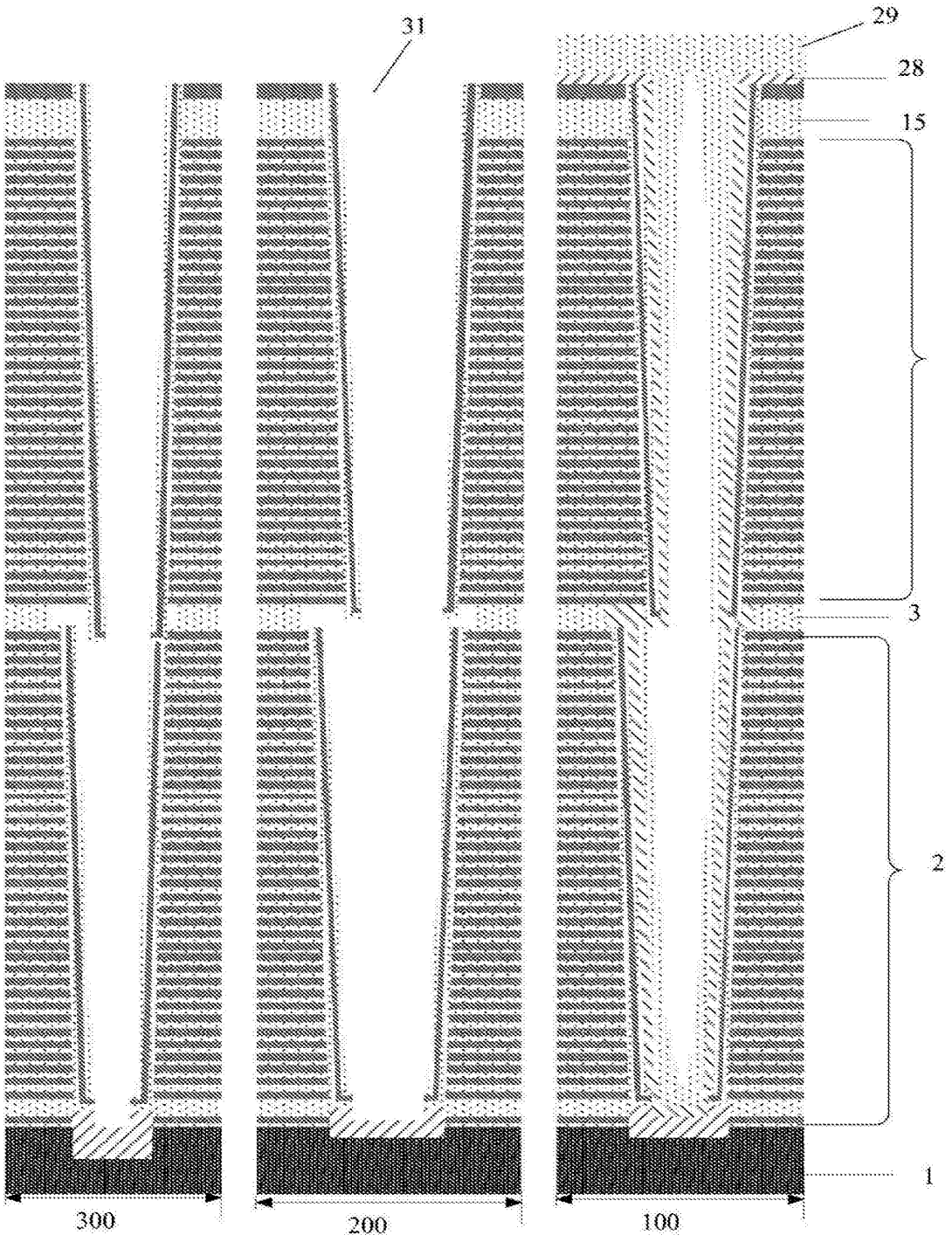


图41

Micron Ex. 1002, p. 575
Micron v. YMTC
IPR2025-00294

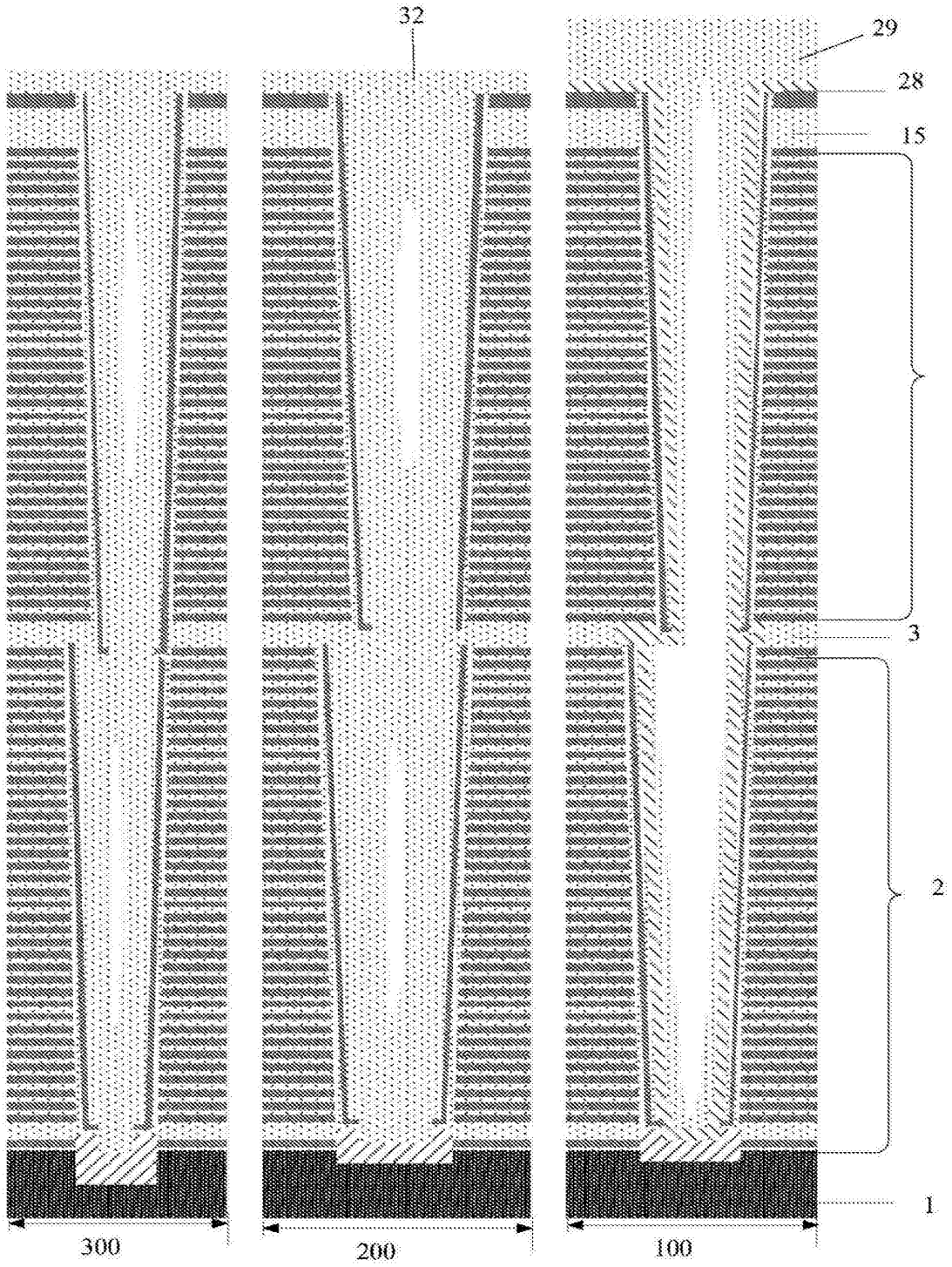


图42

Micron Ex. 1002, p. 576
Micron v. YMTC
IPR2025-00294

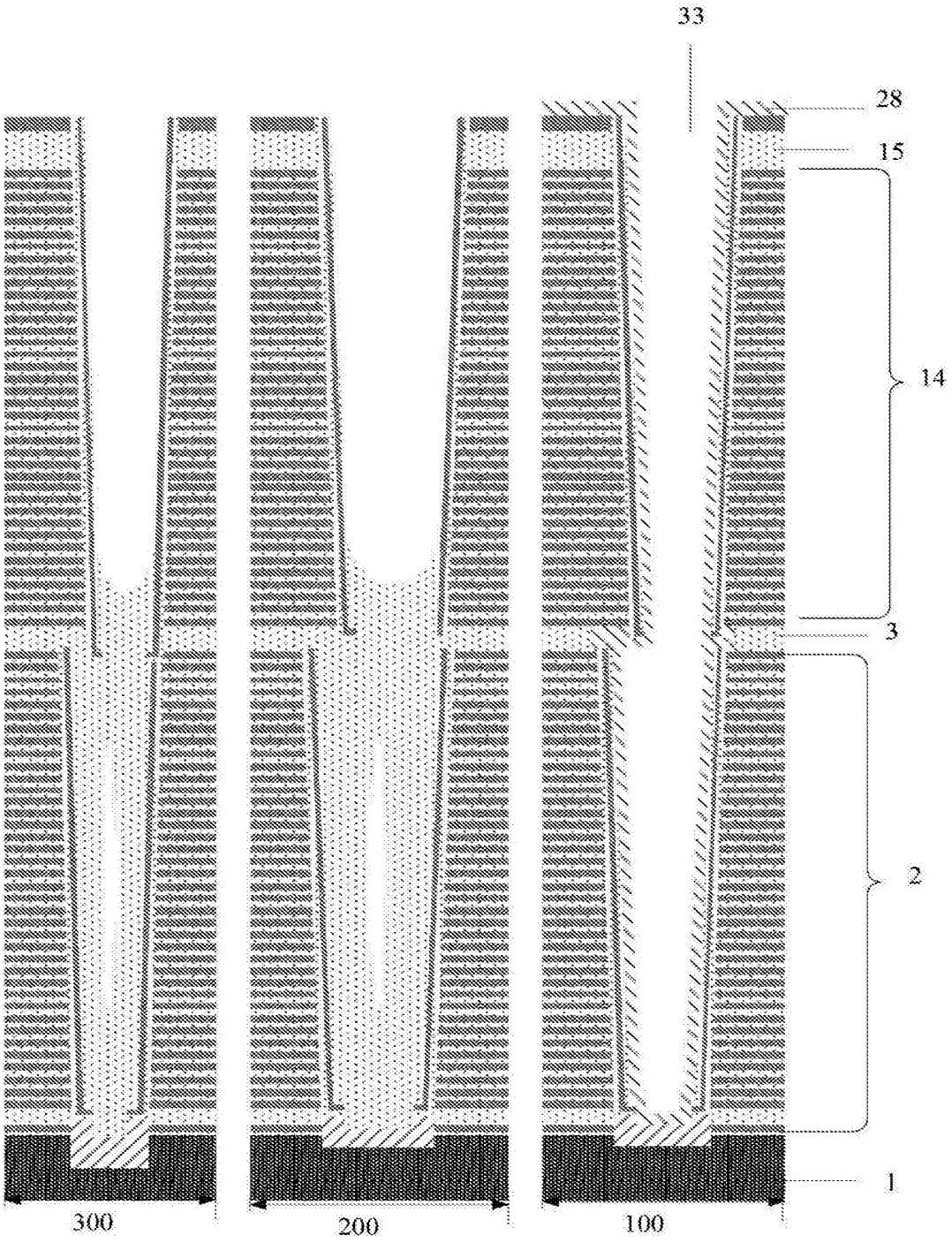


图43

Micron Ex. 1002, p. 577
Micron v. YMTC
IPR2025-00294

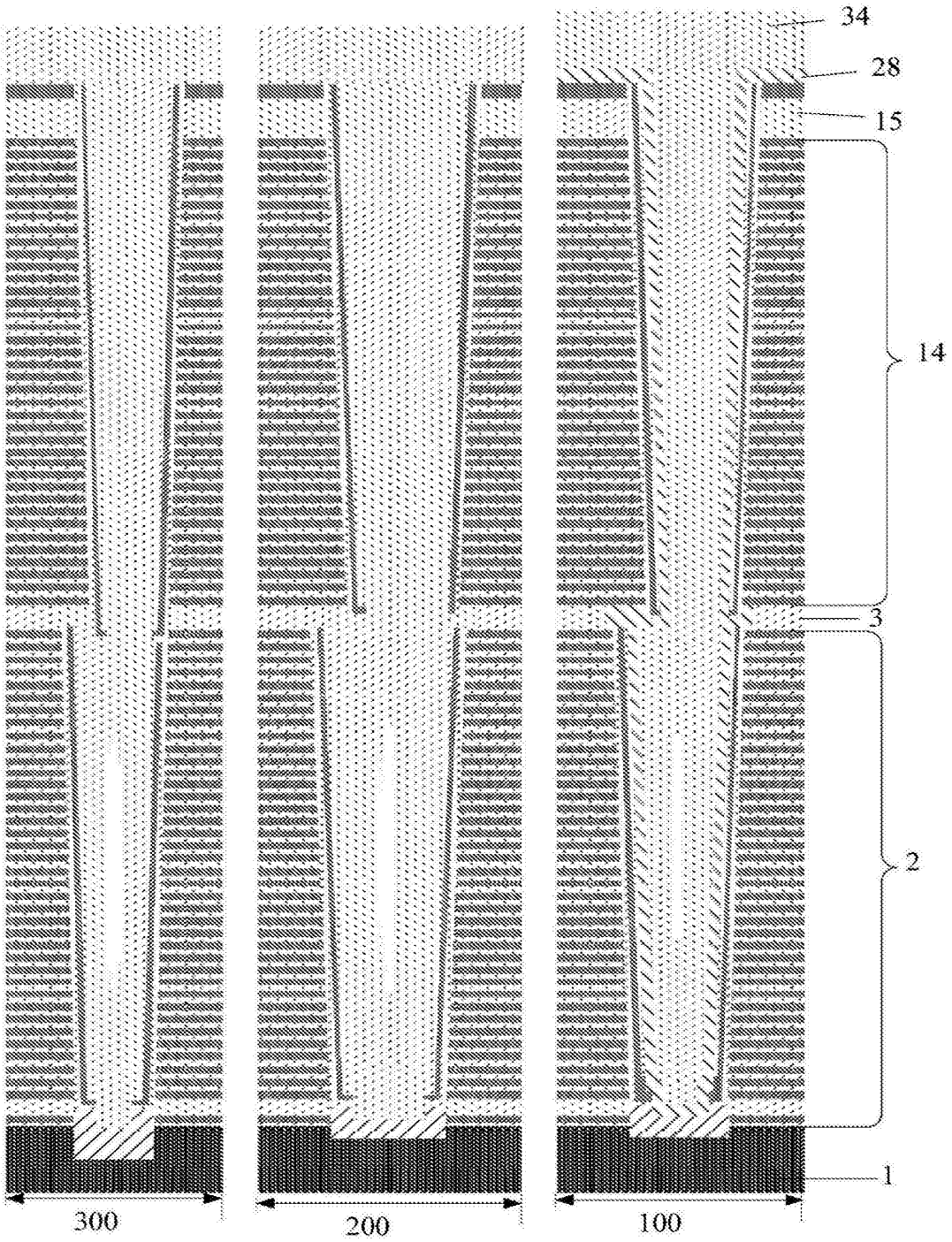


图44

Micron Ex. 1002, p. 578
Micron v. YMTC
IPR2025-00294

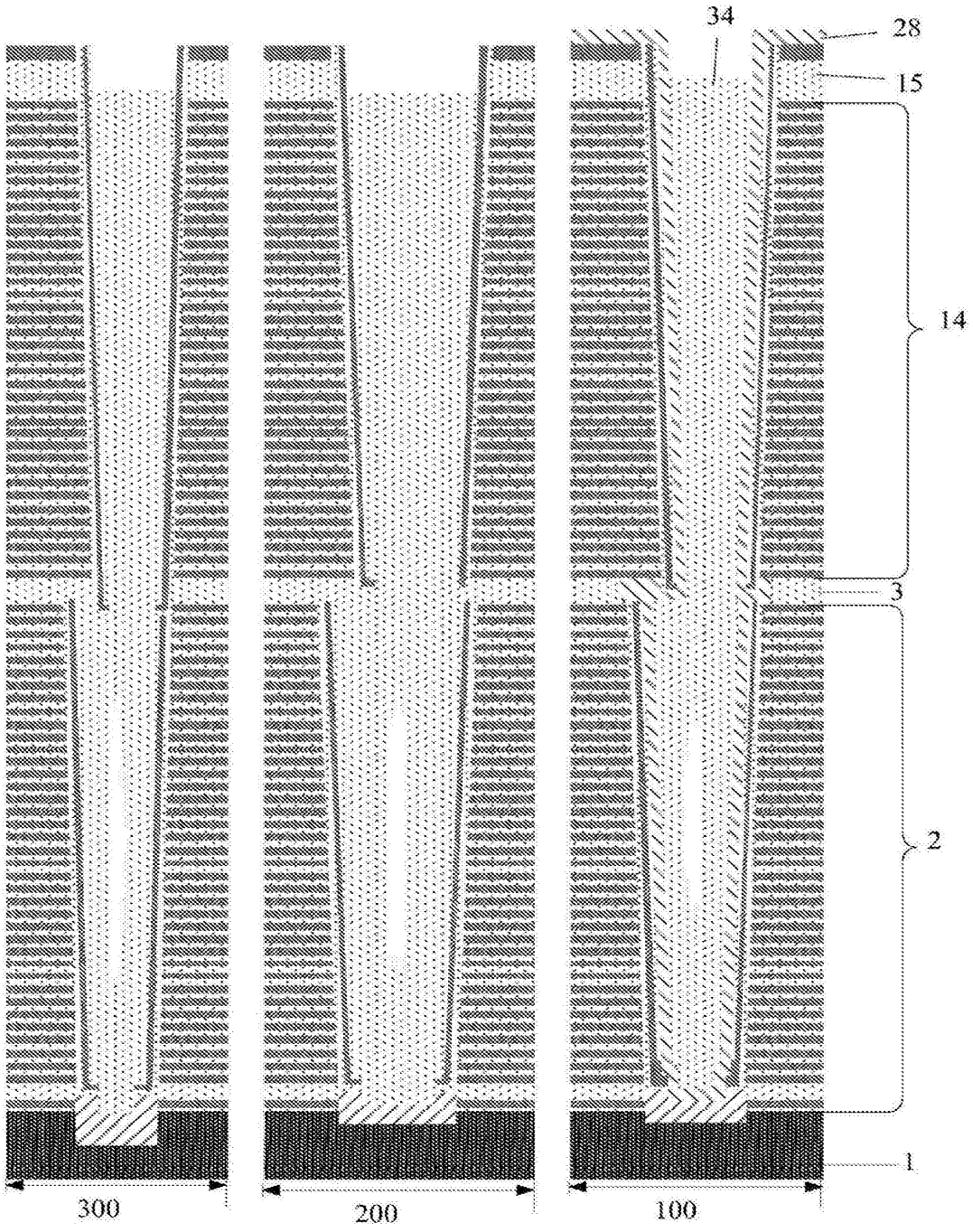


图45

Micron Ex. 1002, p. 579
Micron v. YMTC
IPR2025-00294

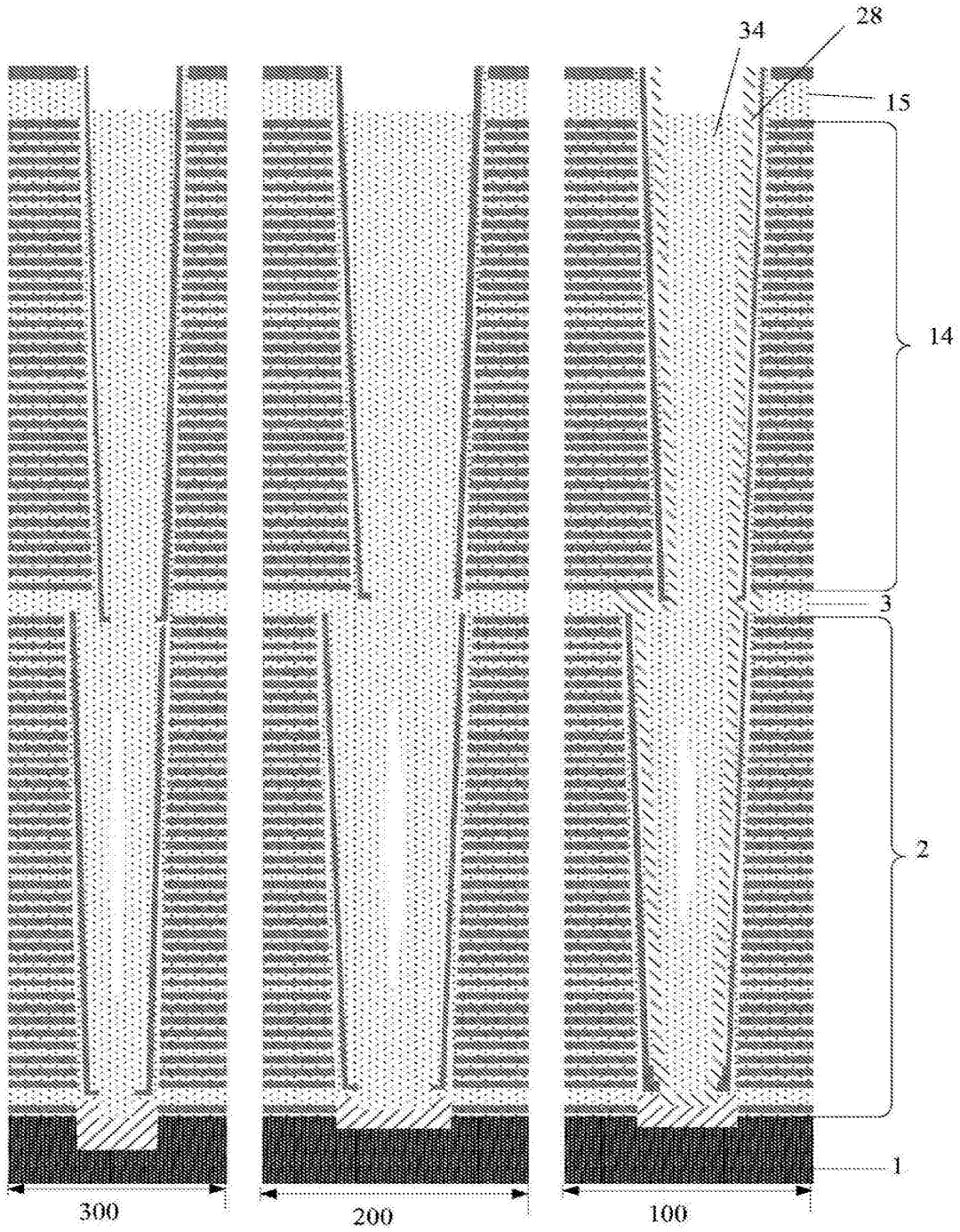


图46

Micron Ex. 1002, p. 580
Micron v. YMTC
IPR2025-00294

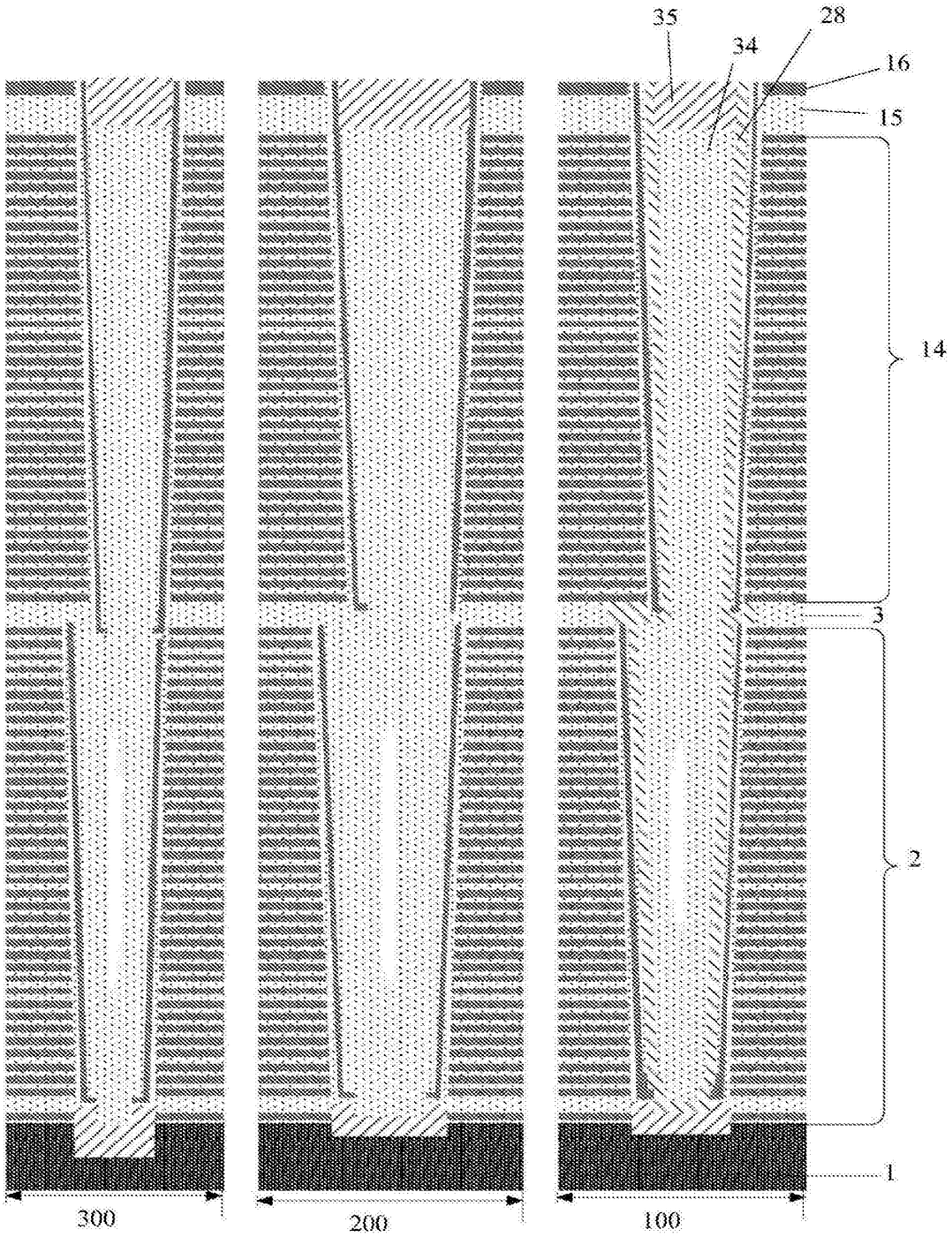


图47

Micron Ex. 1002, p. 581
Micron v. YMTC
IPR2025-00294

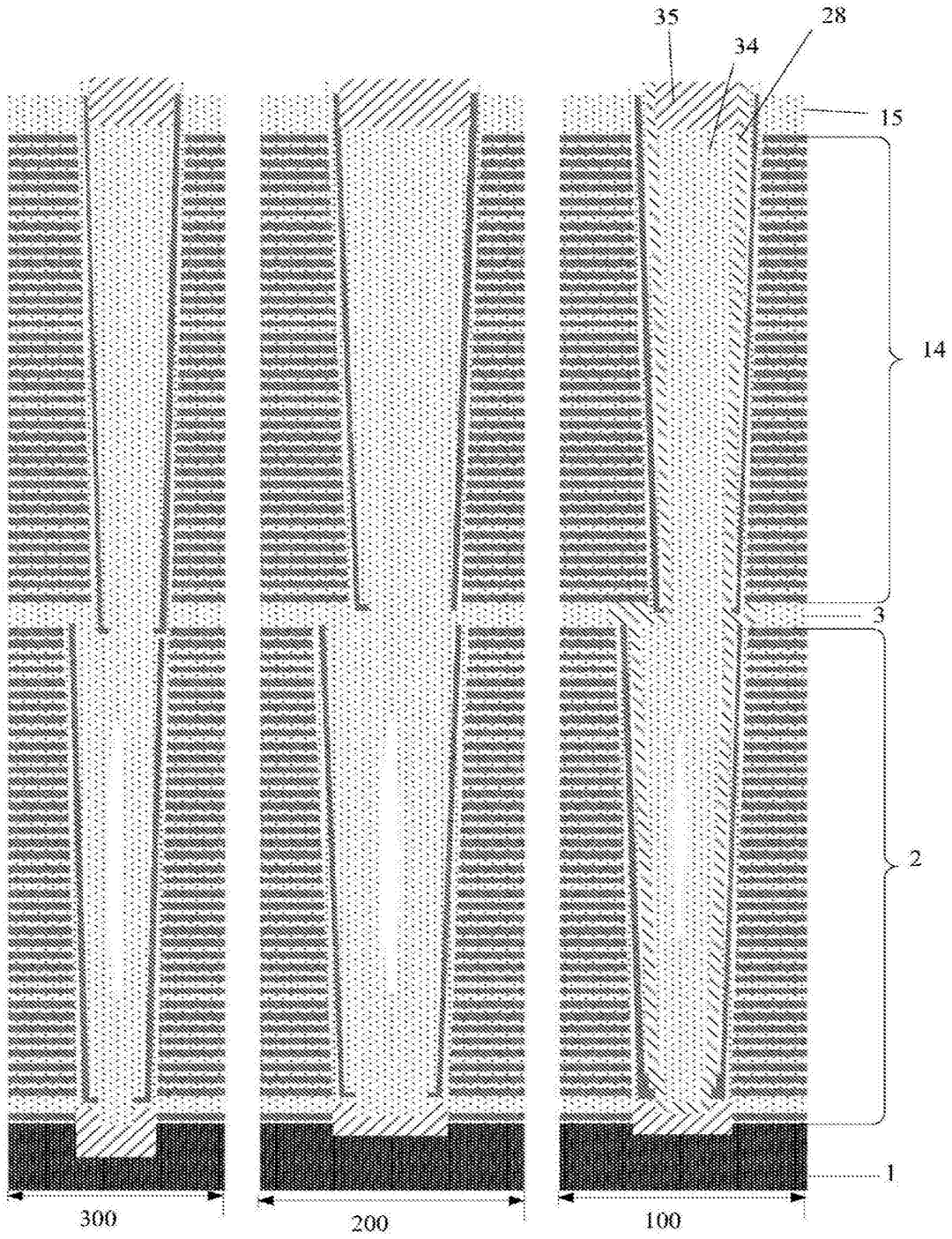


图48

Micron Ex. 1002, p. 582
Micron v. YMTC
IPR2025-00294

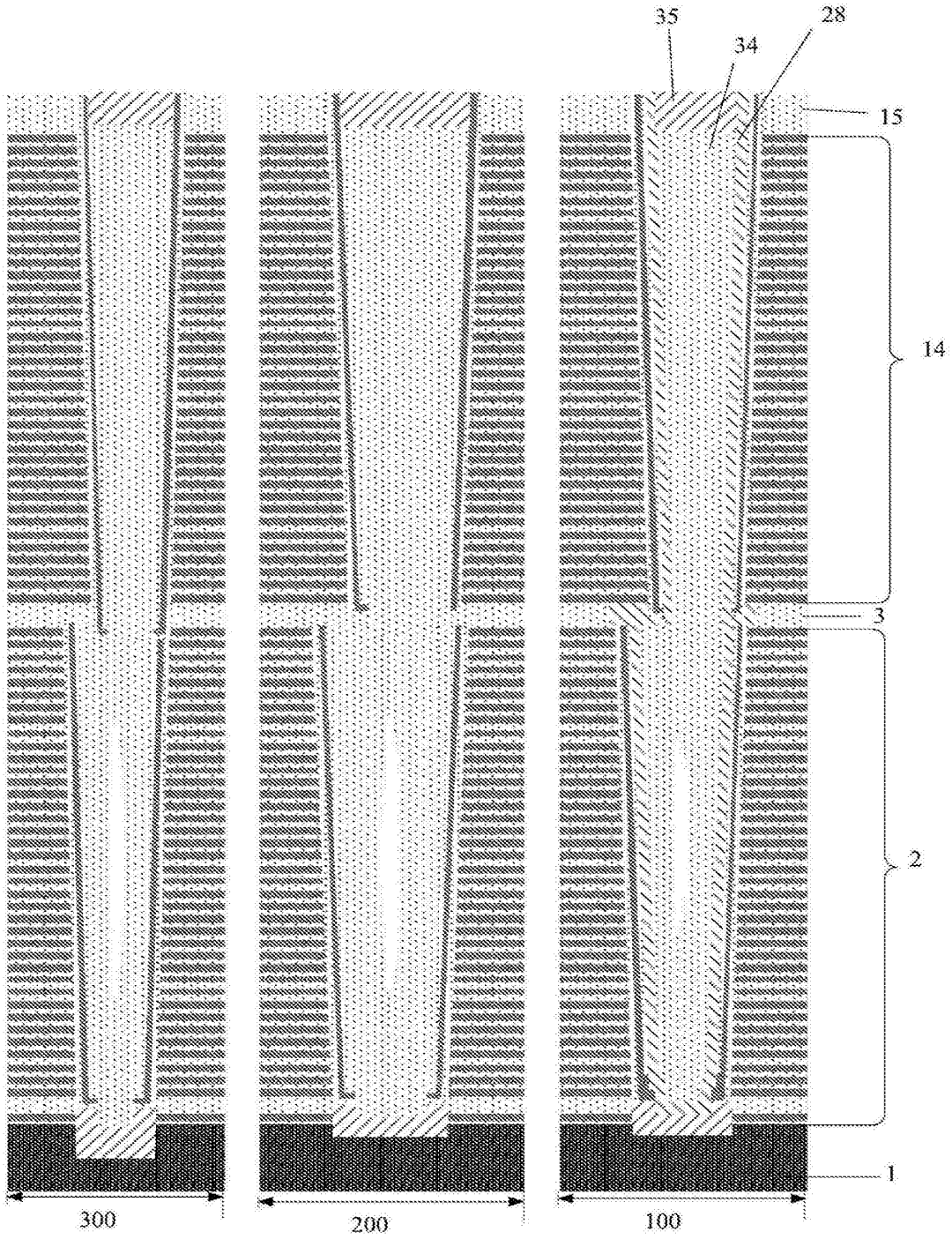


图49

Micron Ex. 1002, p. 583
Micron v. YMTC
IPR2025-00294

Espacenet

Bibliographic data: CN106920772 (A) — 2017-07-04

Three-dimensional memory and formation method for channel hole structure of three-dimensional memory

Inventor(s): LYU ZHENYU; SHI WENGUANG; WU GUANPING; PAN FENG; WAN XIANJIN; CHEN BAOYOU ± (吕震宇, ; 施文广, ; 吴关平, ; 潘锋, ; 万先进, ; 陈保友)

Applicant(s): YANGTZE MEMORY TECH CO LTD ± (长江存储科技有限责任公司)

Classification: - international: ***H01L21/768; H01L27/11551; H01L27/11578***
- cooperative: **H01L21/768**; **H01L27/11551**; **H01L27/11578** more

Application number: CN201710134782 20170308 Global Dossier

Priority number (s): CN201710134782 20170308

Also published as: CN106920772 (B) CN109671667 (A)

Abstract of CN106920772 (A)

Embodiments of the invention disclose a three-dimensional memory and a formation method for a channel hole structure of the three-dimensional memory. By implementing two times of a through hole formation process of a first through hole and a second through hole, the channel hole structure in the three-dimensional memory is formed, so that the process difficulty and cost of the channel hole structure can be greatly lowered; the problem of high process difficulty and high cost caused by overhigh depth-to-width ratio of the through holes under the same caliber are solved; and meanwhile, the manufacturing process difficulty and cost of the three-dimensional memory are lowered.

Micron Ex. 1002, p. 584
Micron v. YMTC
IPR2025-00294

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 106920772 A
(43)申请公布日 2017.07.04

(21)申请号 201710134782.1

(22)申请日 2017.03.08

(71)申请人 长江存储科技有限责任公司
地址 430074 湖北省武汉市东湖开发区关东科技工业园华光大道18号7018室

(72)发明人 吕震宇 施文广 吴关平 潘锋 万先进 陈保友

(74)专利代理机构 北京集佳知识产权代理有限公司 11227
代理人 王宝筠

(51)Int.Cl.
H01L 21/768(2006.01)
H01L 27/11551(2017.01)
H01L 27/11578(2017.01)

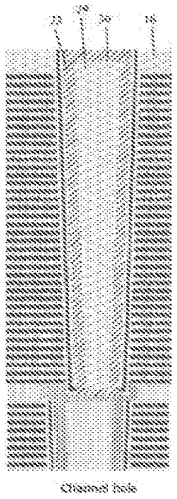
权利要求书5页 说明书16页 附图46页

(54)发明名称

三维存储器及其通道孔结构的形成方法

(57)摘要

本发明实施例公开了一种三维存储器及其通道孔结构的形成方法，通过第一通孔和第二通孔两次通孔形成工艺来形成所述三维存储器中的通道孔结构，大大降低了所述通道孔结构的工艺难度和成本，解决了在相同口径下，通孔深宽比过大导致的工艺难度大和成本高的问题，同时也降低了所述三维存储器的制作工艺难度和成本。



CN 106920772 A

Micron Ex. 1002, p. 585
Micron v. YMTC
IPR2025-00294

1.一种三维存储器中通道孔结构的形成方法，其特征在于，该方法包括：

提供基底，所述基底表面形成有第一堆叠层和第一绝缘连接层，所述第一堆叠层由多个交错叠加的氧化层和氮化层构成；

形成完全贯穿所述第一堆叠层和所述第一绝缘连接层，并延伸至所述基底表面内的第一通孔；

在第一通孔曝露的所述基底表面形成第一通道结构；

在所述第一通孔侧壁形成第一功能层；

在所述第一功能层侧壁和所述第一通道结构表面依次形成第二通道结构和第一填充结构，所述第二通道结构和所述第一填充结构的表面低于所述第一绝缘连接层表面；

在所述第一绝缘连接层内形成第一凹槽，所述第一凹槽在所述基底上的投影完全覆盖所述第一通孔在所述基底上的投影；

在所述第一凹槽内形成第三通道结构，所述第三通道结构与所述第二通道结构相接触；

在所述第三通道结构背离所述基底一侧依次形成第二堆叠层和第二绝缘连接层，所述第二堆叠层由多个交错叠加的氧化层和氮化层构成；

形成完全贯穿所述第二堆叠层和所述第二绝缘连接层，并延伸至所述第三通道结构表面内的第二通孔，所述第二通孔在所述基底上的投影与所述第一通孔在所述基底上的投影至少部分交叠；

在所述第二通孔侧壁形成第二功能层；

在所述第二功能层侧壁和所述第二通孔底部表面依次形成第四通道结构和第二填充结构，所述第二填充结构的表面低于所述第四通道结构的表面；

在所述第四通道结构和所述第二填充结构形成的第二凹槽内形成第五通道结构，所述第五通道结构与所述第四通道结构相接触。

2.根据权利要求1所述的形成方法，其特征在于，在所述第一通孔侧壁形成第一功能层包括：

在所述第一通孔的侧壁和所述第一通道结构的表面形成第一隧穿层，用于产生电荷；

在所述第一隧穿层表面形成第一存储层，用于存储电荷；

在所述第一存储层表面形成第一阻挡层，用于阻挡所述第一存储层中的电荷流出；

在所述第一阻挡层表面形成第一保护层，用于保护所述第一阻挡层在后续去除工艺中不受到损伤；

去除所述第一保护层、第一阻挡层、所述第一存储层和所述第一隧穿层位于所述第一通道结构表面的部分，形成第一功能层。

3.根据权利要求1所述的形成方法，其特征在于，在所述第一功能层侧壁和所述第一通道结构表面依次形成第二通道结构和第一填充结构，所述第二通道结构和所述第一填充结构的表面低于所述第一绝缘连接层表面包括：

形成覆盖所述第一保护层侧壁、所述第一通道结构和第一绝缘连接层表面的第二通道层；

形成覆盖所述第二通道层的第一填充层；

去除部分所述第一填充层，使得所述第一填充层表面低于所述第一绝缘连接层表面，

Micron Ex. 1002, p. 586
Micron v. YMTC
IPR2025-00294

形成第一填充结构；

去除部分所述第二通道层，使得所述第二通道层表面低于所述第一绝缘连接层，形成第二通道结构。

4.根据权利要求1所述的形成方法，其特征在于，该方法还包括：在所述第一绝缘连接层表面形成第一掩膜层。

5.根据权利要求4所述的形成方法，其特征在于，在所述第一绝缘连接层内形成第一凹槽，所述第一凹槽在所述基底上的投影完全覆盖所述第一通孔在所述基底上的投影包括：

去除所述第一掩膜层；

平坦化所述第一绝缘连接层表面；

去除部分所述第一绝缘连接层，在所述第一绝缘连接层内形成贯穿所述第一绝缘连接层的第一凹槽，所述第一凹槽在所述基底上的投影完全覆盖所述第一通孔在所述基底上的投影。

6.根据权利要求1所述的形成方法，其特征在于，在所述第二功能层侧壁和所述第二通孔底部依次形成第四通道结构和第二填充结构，所述第四通道结构的表面高于所述第二填充结构的表面包括：

形成覆盖所述第二保护层侧壁、所述第二通孔底部和第二绝缘连接层表面的第四通道层；

形成覆盖所述第四通道层的第二填充层；

去除部分所述第二填充层，使得所述第二填充层表面低于所述第二绝缘连接层表面，形成第二填充结构；

去除所述第四通道层位于所述第二绝缘连接层表面的部分，形成第四通道结构，所述第四通道结构的表面高于所述第二填充结构的表面。

7.一种三维存储器，其特征在于，包括：

基底，所述基底表面形成有第一堆叠层和第一绝缘连接层，所述第一堆叠层由多个交错叠加的氧化层和氮化层构成；

贯穿所述第一堆叠层和所述第一绝缘连接层，并延伸至所述基底表面内的第一通孔；

形成于第一通孔曝露的所述基底表面的第一通道结构；

形成于所述第一通孔侧壁的第一功能层；

依次形成于所述第一功能层侧壁和所述第一通道结构表面的第二通道结构和第一填充结构，所述第二通道结构和所述第一填充结构的表面低于所述第一绝缘连接层表面；

形成于所述第一绝缘连接层内的第一凹槽，所述第一凹槽在所述基底上的投影完全覆盖所述第一通孔在所述基底上的投影；

形成于所述第一凹槽内的第三通道结构，所述第三通道结构与所述第二通道结构相接触；

依次形成于所述第三通道结构背离所述基底一侧的第二堆叠层和第二绝缘连接层，所述第二堆叠层由多个交错叠加的氧化层和氮化层构成；

贯穿所述第二堆叠层和所述第二绝缘连接层，并延伸至所述第三通道结构表面内的第二通孔，所述第二通孔在所述基底上的投影与所述第一通孔在所述基底上的投影至少部分交叠；

Micron Ex. 1002, p. 587
Micron v. YMTC
IPR2025-00294

形成于所述第二通孔侧壁的第二功能层；

依次形成于所述第二功能层侧壁和所述第二通孔底部表面的第四通道结构和第二填充结构，所述第四通道结构的表面高于所述第二填充结构的表面；

形成于所述第四通道结构和所述第二填充结构形成的第二凹槽内的第五通道结构，所述第五通道结构与所述第四通道结构相接触。。

8.一种三维存储器中通道孔结构的形成方法，其特征在于，所述三维存储器包括沿字线方向排布的第一区域、第二区域和第三区域，其中，所述第一区域用于形成通道孔结构，所述第三区域用于形成绝缘环结构，该方法包括：

提供基底，所述基底表面形成有第一堆叠层和第一绝缘连接层，所述第一堆叠层由多个交错叠加的氧化层和氮化层构成；

在所述第一区域、所述第二区域和所述第三区域形成完全贯穿所述第一堆叠层和所述第一绝缘连接层，并延伸至所述基底表面内的第一通孔；

在第一通孔曝露的所述基底表面形成第一通道结构；

在所述第一通孔侧壁形成第一功能层；

在所述第一功能层侧壁和所述第一通道结构表面依次形成第二通道结构和第一填充结构，所述第二通道结构和所述第一填充结构的表面低于所述第一绝缘连接层表面；

在所述第一绝缘连接层内形成第一凹槽，所述第一凹槽在所述基底上的投影完全覆盖所述第一通孔在所述基底上的投影；

在所述第一凹槽内形成第三通道结构，所述第三通道结构与所述第二通道结构相接触；

在所述第三通道结构背离所述基底一侧依次形成第二堆叠层和第二绝缘连接层，所述第二堆叠层由多个交错叠加的氧化层和氮化层构成；

在所述第一区域、所述第二区域和所述第三区域形成完全贯穿所述第二堆叠层和所述第二绝缘连接层，并延伸至所述第三通道结构表面内的第二通孔，所述第二通孔在所述基底上的投影与所述第一通孔在所述基底上的投影至少部分交叠；

在所述第二通孔侧壁形成第二功能层；

在所述第一区域对应的所述第二功能层侧壁和所述第二通孔底部形成第四通道结构，并在所述第一区域、所述第二区域和所述第三区域对应的第二通孔内形成第二填充结构，所述第四通道结构的表面高于所述第二填充结构的表面；

在所述第四通道结构和所述第二填充结构形成的第二凹槽内形成第五通道结构，所述第五通道结构与所述第四通道结构相接触。

9.根据权利要求8所述的形成方法，其特征在于，在所述第一区域对应的所述第二功能层侧壁和所述第二通孔底部形成第四通道结构，并在所述第一区域、所述第二区域和所述第三区域对应的第二通孔内形成第二填充结构，所述第四通道结构的表面高于所述第二填充结构的表面包括：

在所述第一区域、第二区域和所述第二区域形成覆盖所述第二功能层侧壁、所述第二通孔底部和所述第二绝缘连接层表面的第四通道层；

在所述第一区域、第二区域和所述第二区域形成覆盖所述第四通道层的第三填充层，所述第三填充层中具有空气间隙；

Micron Ex. 1002, p. 588
Micron v. YMTC
IPR2025-00294

在所述第三填充层对应所述第一区域的表面形成第三掩膜层；

以所述第三掩膜层为掩膜，去除所述第三填充层位于所述第二区域和所述第三区域的部分；

去除所述第三掩膜层；

以所述第三填充层位于所述第一区域的部分为掩膜，去除位于所述第二区域和所述第三区域的第四通道层；

在位于所述第二区域和所述第三区域的第二功能层表面形成第四填充层，所述第四填充层的填充性能好于所述第三填充层；

去除位于所述第一区域的第四通道层表面的第三填充层；

在所述第一区域、第二区域和所述第三区域的第二通孔内形成第二填充层；

去除部分所述第二填充层，使所述第二填充层的表面低于所述第二绝缘连接层的表面，形成第二填充结构；

去除所述第四通道层位于所述第二绝缘连接层表面的部分，形成第四通道结构，所述第四通道结构表面高于所述第二填充结构表面。

10.根据权利要求8所述的形成方法，其特征在于，在所述第一通孔侧壁形成第一功能层包括：

在所述第一通孔的侧壁和所述第一通道结构的表面形成第一隧穿层，用于产生电荷；

在所述第一隧穿层表面形成第一存储层，用于存储电荷；

在所述第一存储层表面形成第一阻挡层，用于阻挡所述第一存储层中的电荷流出；

在所述第一阻挡层表面形成第一保护层，用于保护所述第一阻挡层在后续去除工艺中受到损伤；

去除所述第一保护层、第一阻挡层、所述第一存储层和所述第一隧穿层位于所述第一通道结构表面的部分，形成第一功能层。

11.根据权利要求8所述的形成方法，其特征在于，在所述第一功能层侧壁和所述第一通道结构表面依次形成第二通道结构和第一填充结构，所述第二通道结构和所述第一填充结构的表面低于所述第一绝缘连接层表面包括：

形成覆盖所述第一保护层侧壁、所述第一通道结构和第一绝缘连接层表面的第二通道层；

形成覆盖所述第二通道层的第一填充层；

去除部分所述第一填充层，使得所述第一填充层表面低于所述第一绝缘连接层表面，形成第一填充结构；

去除部分所述第二通道层，使得所述第二通道层表面低于所述第一绝缘连接层，形成第二通道结构。

12.一种三维存储器，其特征在于，所述三维存储器包括沿字线方向排布的第一区域、第二区域和第三区域，其中，所述第一区域用于形成通道孔结构，所述第三区域用于形成绝缘环结构，沿垂直于所述三维存储器表面方向包括：

基底，所述基底表面形成有第一堆叠层和第一绝缘连接层，所述第一堆叠层由多个交错叠加的氧化层和氮化层构成；

在所述第一区域、所述第二区域和所述第三区域，完全贯穿所述第一堆叠层和所述第

Micron Ex. 1002, p. 589
Micron v. YMTC
IPR2025-00294

一绝缘连接层，并延伸至所述基底表面内的第一通孔；

形成在第一通孔曝露的所述基底表面的第一通道结构；

形成在所述第一通孔侧壁的第一功能层；

依次形成在所述第一功能层侧壁和所述第一通道结构表面的第二通道结构和第一填充结构，所述第二通道结构和所述第一填充结构的表面低于所述第一绝缘连接层表面；

形成在所述第一绝缘连接层内的第一凹槽，所述第一凹槽在所述基底上的投影完全覆盖所述第一通孔在所述基底上的投影；

形成在所述第一凹槽内的第三通道结构，所述第三通道结构与所述第二通道结构相接触；

依次形成在所述第三通道结构背离所述基底一侧的第二堆叠层和第二绝缘连接层，所述第二堆叠层由多个交错叠加的氧化层和氮化层构成；

在所述第一区域、所述第二区域和所述第三区域，完全贯穿所述第二堆叠层和所述第二绝缘连接层，并延伸至所述第三通道结构表面内的第二通孔，所述第二通孔在所述基底上的投影与所述第一通孔在所述基底上的投影至少部分交叠；

形成在所述第二通孔侧壁的第二功能层；

形成在所述第一区域对应的所述第二功能层侧壁和所述第二通孔底部的第四通道结构，以及形成在所述第一区域、所述第二区域和所述第三区域对应的第二通孔内的第二填充结构，所述第四通道结构的表面高于所述第二填充结构的表面；

形成于所述第四通道结构和所述第二填充结构形成的第二凹槽内的第五通道结构，所述第五通道结构与所述第四通道结构相接触。

Micron Ex. 1002, p. 590
Micron v. YMTC
IPR2025-00294

三维存储器及其通道孔结构的形成方法

技术领域

[0001] 本发明涉及三维存储器技术领域，尤其涉及一种三维存储器及其通道孔结构的形成方法。

背景技术

[0002] 随着三维存储器(如3D NAND)中ON(Oxide/Nitride)的层叠数目越来越多，使得在三维存储器中形成的通道孔的深度越来越大，而在采用单刻蚀工艺形成通道孔时，在相同孔径的情况下，通道孔的深度越大刻蚀难度越大。尤其是，当三维存储器中的叠层数目达到120及以上时，再采用单刻蚀的方法形成贯穿各叠层的通道孔时，存在刻蚀时间呈指数增长的现象，工艺效率较低，成本较高。

发明内容

[0003] 为解决上述技术问题，本发明实施例提供了一种三维存储器及其通道孔结构的形成方法，以降低三维存储器中通道孔结构的工艺难度和成本。

[0004] 为解决上述问题，本发明实施例提供了如下技术方案：

[0005] 一种三维存储器中通道孔结构的形成方法，该方法包括：

[0006] 提供基底，所述基底表面形成有第一堆叠层和第一绝缘连接层，所述第一堆叠层由多个交错叠加的氧化层和氮化层构成；

[0007] 形成完全贯穿所述第一堆叠层和所述第一绝缘连接层，并延伸至所述基底表面内的第一通孔；

[0008] 在第一通孔曝露的所述基底表面形成第一通道结构；

[0009] 在所述第一通孔侧壁形成第一功能层；

[0010] 在所述第一功能层侧壁和所述第一通道结构表面依次形成第二通道结构和第一填充结构，所述第二通道结构和所述第一填充结构的表面低于所述第一绝缘连接层表面；

[0011] 在所述第一绝缘连接层内形成第一凹槽，所述第一凹槽在所述基底上的投影完全覆盖所述第一通孔在所述基底上的投影；

[0012] 在所述第一凹槽内形成第三通道结构，所述第三通道结构与所述第二通道结构相接触；

[0013] 在所述第三通道结构背离所述基底一侧依次形成第二堆叠层和第二绝缘连接层，所述第二堆叠层由多个交错叠加的氧化层和氮化层构成；

[0014] 形成完全贯穿所述第二堆叠层和所述第二绝缘连接层，并延伸至所述第三通道结构表面内的第二通孔，所述第二通孔在所述基底上的投影与所述第一通孔在所述基底上的投影至少部分交叠；

[0015] 在所述第二通孔侧壁形成第二功能层；

[0016] 在所述第二功能层侧壁和所述第二通孔底部表面依次形成第四通道结构和第二填充结构，所述第二填充结构的表面低于所述第四通道结构的表面；

Micron Ex. 1002, p. 591
Micron v. YMTC
IPR2025-00294

[0017] 在所述第四通道结构和所述第二填充结构形成的第二凹槽内形成第五通道结构，所述第五通道结构与所述第四通道结构相接触。

[0018] 可选的，在所述第一通孔侧壁形成第一功能层包括：

[0019] 在所述第一通孔的侧壁和所述第一通道结构的表面形成第一隧穿层，用于产生电荷；

[0020] 在所述第一隧穿层表面形成第一存储层，用于存储电荷；

[0021] 在所述第一存储层表面形成第一阻挡层，用于阻挡所述第一存储层中的电荷流出；

[0022] 在所述第一阻挡层表面形成第一保护层，用于保护所述第一阻挡层在后续去除工艺中不受到损伤；

[0023] 去除所述第一保护层、第一阻挡层、所述第一存储层和所述第一隧穿层位于所述第一通道结构表面的部分，形成第一功能层。

[0024] 可选的，在所述第一功能层侧壁和所述第一通道结构表面依次形成第二通道结构和第一填充结构，所述第二通道结构和所述第一填充结构的表面低于所述第一绝缘连接层表面包括：

[0025] 形成覆盖所述第一保护层侧壁、所述第一通道结构和第一绝缘连接层表面的第二通道层；

[0026] 形成覆盖所述第二通道层的第一填充层；

[0027] 去除部分所述第一填充层，使得所述第一填充层表面低于所述第一绝缘连接层表面，形成第一填充结构；

[0028] 去除部分所述第二通道层，使得所述第二通道层表面低于所述第一绝缘连接层，形成第二通道结构。

[0029] 可选的，该方法还包括：在所述第一绝缘连接层表面形成第一掩膜层。

[0030] 可选的，在所述第一绝缘连接层内形成第一凹槽，所述第一凹槽在所述基底上的投影完全覆盖所述第一通孔在所述基底上的投影包括：

[0031] 去除所述第一掩膜层；

[0032] 平坦化所述第一绝缘连接层表面；

[0033] 去除部分所述第一绝缘连接层，在所述第一绝缘连接层内形成贯穿所述第一绝缘连接层的第一凹槽，所述第一凹槽在所述基底上的投影完全覆盖所述第一通孔在所述基底上的投影。

[0034] 可选的，在所述第二功能层侧壁和所述第二通孔底部依次形成第四通道结构和第二填充结构，所述第四通道结构的表面高于所述第二填充结构的表面包括：

[0035] 形成覆盖所述第二保护层侧壁、所述第二通孔底部和第二绝缘连接层表面的第四通道层；

[0036] 形成覆盖所述第四通道层的第二填充层；

[0037] 去除部分所述第二填充层，使得所述第二填充层表面低于所述第二绝缘连接层表面，形成第二填充结构；

[0038] 去除所述第四通道层位于所述第二绝缘连接层表面的部分，形成第四通道结构，所述第四通道结构的表面高于所述第二填充结构的表面。

Micron Ex. 1002, p. 592
Micron v. YMTC
IPR2025-00294

[0039] 一种三维存储器，包括：

[0040] 基底，所述基底表面形成有第一堆叠层和第一绝缘连接层，所述第一堆叠层由多个交错叠加的氧化层和氮化层构成；

[0041] 贯穿所述第一堆叠层和所述第一绝缘连接层，并延伸至所述基底表面内的第一通孔；

[0042] 形成于第一通孔曝露的所述基底表面的第一通道结构；

[0043] 形成于所述第一通孔侧壁的第一功能层；

[0044] 依次形成于所述第一功能层侧壁和所述第一通道结构表面的第二通道结构和第一填充结构，所述第二通道结构和所述第一填充结构的表面低于所述第一绝缘连接层表面；

[0045] 形成于所述第一绝缘连接层内的第一凹槽，所述第一凹槽在所述基底上的投影完全覆盖所述第一通孔在所述基底上的投影；

[0046] 形成于所述第一凹槽内的第三通道结构，所述第三通道结构与所述第二通道结构相接触；

[0047] 依次形成于所述第三通道结构背离所述基底一侧的第二堆叠层和第二绝缘连接层，所述第二堆叠层由多个交错叠加的氧化层和氮化层构成；

[0048] 贯穿所述第二堆叠层和所述第二绝缘连接层，并延伸至所述第三通道结构表面内的第二通孔，所述第二通孔在所述基底上的投影与所述第一通孔在所述基底上的投影至少部分交叠；

[0049] 形成于所述第二通孔侧壁的第二功能层；

[0050] 依次形成于所述第二功能层侧壁和所述第二通孔底部表面的第四通道结构和第二填充结构，所述第四通道结构的表面高于所述第二填充结构的表面；

[0051] 形成于所述第四通道结构和所述第二填充结构形成的第二凹槽内的第五通道结构，所述第五通道结构与所述第四通道结构相接触。。

[0052] 一种三维存储器中通道孔结构的形成方法，所述三维存储器包括沿字线方向排布的第一区域、第二区域和第三区域，其中，所述第一区域用于形成通道孔结构，所述第三区域用于形成绝缘环结构，该方法包括：

[0053] 提供基底，所述基底表面形成有第一堆叠层和第一绝缘连接层，所述第一堆叠层由多个交错叠加的氧化层和氮化层构成；

[0054] 在所述第一区域、所述第二区域和所述第三区域形成完全贯穿所述第一堆叠层和所述第一绝缘连接层，并延伸至所述基底表面内的第一通孔；

[0055] 在第一通孔曝露的所述基底表面形成第一通道结构；

[0056] 在所述第一通孔侧壁形成第一功能层；

[0057] 在所述第一功能层侧壁和所述第一通道结构表面依次形成第二通道结构和第一填充结构，所述第二通道结构和所述第一填充结构的表面低于所述第一绝缘连接层表面；

[0058] 在所述第一绝缘连接层内形成第一凹槽，所述第一凹槽在所述基底上的投影完全覆盖所述第一通孔在所述基底上的投影；

[0059] 在所述第一凹槽内形成第三通道结构，所述第三通道结构与所述第二通道结构相接触；

Micron Ex. 1002, p. 593
Micron v. YMTC
IPR2025-00294

[0060] 在所述第三通道结构背离所述基底一侧依次形成第二堆叠层和第二绝缘连接层，所述第二堆叠层由多个交错叠加的氧化层和氮化层构成；

[0061] 在所述第一区域、所述第二区域和所述第三区域形成完全贯穿所述第二堆叠层和所述第二绝缘连接层，并延伸至所述第三通道结构表面内的第二通孔，所述第二通孔在所述基底上的投影与所述第一通孔在所述基底上的投影至少部分交叠；

[0062] 在所述第二通孔侧壁形成第二功能层；

[0063] 在所述第一区域对应的所述第二功能层侧壁和所述第二通孔底部形成第四通道结构，并在所述第一区域、所述第二区域和所述第三区域对应的第二通孔内形成第二填充结构，所述第四通道结构的表面高于所述第二填充结构的表面；

[0064] 在所述第四通道结构和所述第二填充结构形成的第二凹槽内形成第五通道结构，所述第五通道结构与所述第四通道结构相接触。

[0065] 可选的，在所述第一区域对应的所述第二功能层侧壁和所述第二通孔底部形成第四通道结构，并在所述第一区域、所述第二区域和所述第三区域对应的第二通孔内形成第二填充结构，所述第四通道结构的表面高于所述第二填充结构的表面包括：

[0066] 在所述第一区域、第二区域和所述第二区域形成覆盖所述第二功能层侧壁、所述第二通孔底部和所述第二绝缘连接层表面的第四通道层；

[0067] 在所述第一区域、第二区域和所述第二区域形成覆盖所述第四通道层的第三填充层，所述第三填充层中具有空气间隙；

[0068] 在所述第三填充层对应所述第一区域的表面形成第三掩膜层；

[0069] 以所述第三掩膜层为掩膜，去除所述第三填充层位于所述第二区域和所述第三区域的部分；

[0070] 去除所述第三掩膜层；

[0071] 以所述第三填充层位于所述第一区域的部分为掩膜，去除位于所述第二区域和所述第三区域的第四通道层；

[0072] 在位于所述第二区域和所述第三区域的第二功能层表面形成第四填充层，所述第四填充层的填充性能好于所述第三填充层；

[0073] 去除位于所述第一区域的第四通道层表面的第三填充层；

[0074] 在所述第一区域、第二区域和所述第三区域的第二通孔内形成第二填充层；

[0075] 去除部分所述第二填充层，使所述第二填充层的表面低于所述第二绝缘连接层的表面，形成第二填充结构；

[0076] 去除所述第四通道层位于所述第二绝缘连接层表面的部分，形成第四通道结构，所述第四通道结构表面高于所述第二填充结构表面。

[0077] 可选的，在所述第一通孔侧壁形成第一功能层包括：

[0078] 在所述第一通孔的侧壁和所述第一通道结构的表面形成第一隧穿层，用于产生电荷；

[0079] 在所述第一隧穿层表面形成第一存储层，用于存储电荷；

[0080] 在所述第一存储层表面形成第一阻挡层，用于阻挡所述第一存储层中的电荷流出；

[0081] 在所述第一阻挡层表面形成第一保护层，用于保护所述第一阻挡层在后续去除工

Micron Ex. 1002, p. 594
Micron v. YMTC
IPR2025-00294

艺中受到损伤；

[0082] 去除所述第一保护层、第一阻挡层、所述第一存储层和所述第一隧穿层位于所述第一通道结构表面的部分，形成第一功能层。

[0083] 可选的，在所述第一功能层侧壁和所述第一通道结构表面依次形成第二通道结构和第一填充结构，所述第二通道结构和所述第一填充结构的表面低于所述第一绝缘连接层表面包括：

[0084] 形成覆盖所述第一保护层侧壁、所述第一通道结构和第一绝缘连接层表面的第二通道层；

[0085] 形成覆盖所述第二通道层的第一填充层；

[0086] 去除部分所述第一填充层，使得所述第一填充层表面低于所述第一绝缘连接层表面，形成第一填充结构；

[0087] 去除部分所述第二通道层，使得所述第二通道层表面低于所述第一绝缘连接层，形成第二通道结构。

[0088] 一种三维存储器，所述三维存储器包括沿字线方向排布的第一区域、第二区域和第三区域，其中，所述第一区域用于形成通道孔结构，所述第三区域用于形成绝缘环结构，沿垂直于所述三维存储器表面方向包括：

[0089] 基底，所述基底表面形成有第一堆叠层和第一绝缘连接层，所述第一堆叠层由多个交错叠加的氧化层和氮化层构成；

[0090] 在所述第一区域、所述第二区域和所述第三区域，完全贯穿所述第一堆叠层和所述第一绝缘连接层，并延伸至所述基底表面内的第一通孔；

[0091] 形成在第一通孔曝露的所述基底表面的第一通道结构；

[0092] 形成在所述第一通孔侧壁的第一功能层；

[0093] 依次形成在所述第一功能层侧壁和所述第一通道结构表面的第二通道结构和第一填充结构，所述第二通道结构和所述第一填充结构的表面低于所述第一绝缘连接层表面；

[0094] 形成在所述第一绝缘连接层内的第一凹槽，所述第一凹槽在所述基底上的投影完全覆盖所述第一通孔在所述基底上的投影；

[0095] 形成在所述第一凹槽内的第三通道结构，所述第三通道结构与所述第二通道结构相接触；

[0096] 依次形成在所述第三通道结构背离所述基底一侧的第二堆叠层和第二绝缘连接层，所述第二堆叠层由多个交错叠加的氧化层和氮化层构成；

[0097] 在所述第一区域、所述第二区域和所述第三区域，完全贯穿所述第二堆叠层和所述第二绝缘连接层，并延伸至所述第三通道结构表面内的第二通孔，所述第二通孔在所述基底上的投影与所述第一通孔在所述基底上的投影至少部分交叠；

[0098] 形成在所述第二通孔侧壁的第二功能层；

[0099] 形成在所述第一区域对应的所述第二功能层侧壁和所述第二通孔底部的第四通道结构，以及形成在所述第一区域、所述第二区域和所述第三区域对应的第二通孔内的第二填充结构，所述第四通道结构的表面高于所述第二填充结构的表面；

[0100] 形成于所述第四通道结构和所述第二填充结构形成的第二凹槽内的第五通道结

Micron Ex. 1002, p. 595
Micron v. YMTC
IPR2025-00294

构，所述第五通道结构与所述第四通道结构相接触。

[0101] 与现有技术相比，上述技术方案具有以下优点：

[0102] 本发明实施例所提供的三维存储器的通道孔结构的形成方法，通过第一通孔和第二通孔两次通孔形成工艺来形成所述三维存储器中的通道孔结构，大大降低了所述通道孔结构的工艺难度和成本，解决了在相同口径下，通孔深宽比过大导致的工艺难度大和成本高的问题，同时也降低了所述三维存储器的制作工艺难度和成本。

附图说明

[0103] 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0104] 图1-图21为本发明一个实施例所提供的三维存储器中通孔结构形成方法的各步剖视图；

[0105] 图22-图46为本发明一个实施例所提供的三维存储器中通孔结构形成方法的各步剖视图。

具体实施方式

[0106] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0107] 在下面的描述中阐述了很多具体细节以便于充分理解本发明，但是本发明还可以采用其他不同于在此描述的其它方式来实施，本领域技术人员可以在不违背本发明内涵的情况下做类似推广，因此本发明不受下面公开的具体实施例的限制。

[0108] 本发明实施例提供了一种三维存储器中通道孔结构的形成方法，该方法包括：

[0109] S101：如图1所示，提供基底1，所述基底1表面形成有第一堆叠层2和第一绝缘连接层3，所述第一堆叠层2由多个交错叠加的氧化层和氮化层构成。可选的，所述第一堆叠层2中氧化层和氮化层的层数总和不小于64，但本发明对此并不做限定，具体视情况而定。

[0110] 具体的，在本发明的一个实施例中，所述第一绝缘连接层3为氧化硅层，但本发明对此并不做限定，只要保证所述第一绝缘连接层3与所述第一堆叠层2中所述氮化层的材料不同，且具有绝缘功能即可。

[0111] 需要说明的是，在上述实施例的基础上，在本发明的一个实施例中，该方法还包括：

[0112] 在所述第一绝缘连接层3表面形成第一掩膜层4，可选的，所述第一掩膜层4包括位于所述第一绝缘连接层3表面的氮化层和位于所述氮化层表面的氧化层。

[0113] S102：继续如图1所示，形成完全贯穿所述第一堆叠层2和所述第一绝缘连接层3，并延伸至所述基底1表面内的第一通孔5。

[0114] 具体的，在本发明的一个实施例中，形成完全贯穿所述第一堆叠层2和所述第一绝

Micron Ex. 1002, p. 596
Micron v. YMTC
IPR2025-00294

缘连接层3，并延伸至所述基底1表面内的第一通孔5包括：

[0115] 对所述第一堆叠层2和所述第一绝缘连接层3进行刻蚀，在所述第一堆叠层2和所述第一绝缘连接层3内形成贯穿所述第一堆叠层2和所述第一绝缘连接层3，并延伸至所述基底1表面内的第一通孔5；对所述第一通孔5进行清洗。

[0116] 需要说明的是，在对所述第一堆叠层2和所述第一绝缘连接层3进行刻蚀时，可以选择湿法刻蚀，也可以选择干法刻蚀，还可以组合使用，本发明对此并不做限定，具体视情况而定。

[0117] 还需要说明的是，当所述第一绝缘连接层3表面形成有第一掩膜层4时，在形成第一通孔5时，还包括对所述第一掩膜层4的刻蚀。

[0118] S103：如图2所示，在第一通孔5曝露的所述基底1表面形成第一通道结构6。可选的，在本发明的一个实施例中，所述第一通道结构6为硅层，形成工艺为选择性外延工艺。

[0119] S104：在所述第一通孔5侧壁形成第一功能层。

[0120] 具体的，在本发明的一个实施例中，在所述第一通孔5侧壁形成第一功能层包括：

[0121] 如图3所示，在所述第一通孔5的侧壁和所述第一通道结构6的表面形成第一隧穿层7，用于产生电荷，可选的，所述第一隧穿层7为氧化层，形成工艺为沉积工艺；

[0122] 在所述第一隧穿层7表面形成第一存储层8，用于存储电荷，可选的，所述第一存储层8为氮化层，形成工艺为沉积工艺；

[0123] 在所述第一存储层表面8形成第一阻挡层9，用于阻挡所述第一存储层8中的电荷流出，可选的，所述第一阻挡层9为氧化层，形成工艺为沉积工艺；

[0124] 如图4所示，在所述第一阻挡层9表面形成第一保护层10，用于保护所述第一阻挡层9在后续去除工艺中不受到损伤，可选的，所述第一保护层10为非晶硅层，形成工艺为沉积工艺；

[0125] 继续如图4所示，去除所述第一保护层10、第一阻挡层9、所述第一存储层8和所述第一隧穿层7位于所述第一通道结构6表面的部分，形成第一功能层，可选的，所述去除工艺为刻蚀工艺和清洗工艺。

[0126] S105：在所述第一功能层侧壁和所述第一通道结构6表面依次形成第二通道结构和第一填充结构，所述第二通道结构和所述第一填充结构的表面低于所述第一绝缘连接层3表面。

[0127] 具体的，在本发明的一个实施例中，在所述第一功能层侧壁和所述第一通道结构表面依次形成第二通道结构和第一填充结构，所述第二通道结构和所述第一填充结构的表面低于所述第一绝缘连接层3表面包括：

[0128] 如图5所示，形成覆盖所述第一保护层10侧壁、所述第一通孔5底部和第一绝缘连接层3表面的第二通道层11，可选的，所述第二通道层11为非晶硅层，形成工艺为沉积工艺；

[0129] 如图6所示，形成覆盖所述第二通道层11的第一填充层12，可选的，所述第一填充层12为氧化层，形成工艺为沉积工艺；

[0130] 如图7所示，去除部分所述第一填充层12，使得所述第一填充层12表面低于所述第一绝缘连接层3表面，形成第一填充结构，可选的，所述去除工艺为刻蚀工艺；

[0131] 如图8所示，去除部分所述第二通道层11，使得所述第二通道层11表面低于所述第一绝缘连接层3，形成第二通道结构，可选的，所述去除工艺为刻蚀工艺。

Micron Ex. 1002, p. 597
Micron v. YMTC
IPR2025-00294

[0132] 需要说明的是，在本发明实施例中，所述第二通道结构的上表面可以高于所述第一堆叠层2的上表面，也可以低于所述第一堆叠层2的上表面，本发明对此并不做限定，只要保证所述第二通道结构的上表面不低于所述第一堆叠层2中顶层氧化层的上表面即可。可选的，所述第二通道结构的上表面与所述第一堆叠层2中顶层氧化层的上表面平齐。

[0133] S106：在所述第一绝缘连接层3内形成第一凹槽，所述第一凹槽在所述基底1上的投影完全覆盖所述第一通孔在所述基底1上的投影。

[0134] 具体的，在本发明的一个实施例中，在所述第一绝缘连接层3内形成第一凹槽，所述第一凹槽在所述基底1上的投影完全覆盖所述第一通孔在所述基底1上的投影包括：

[0135] 去除部分所述第一绝缘连接层3，在所述第一绝缘连接层3内形成贯穿所述第一绝缘连接层3的第一凹槽，所述第一凹槽在所述基底1上的投影完全覆盖所述第一通孔在所述基底1上的投影。可选的，所述第一凹槽在所述基底1上的投影面积大于所述第一通孔在所述基底1上的投影面积。

[0136] 需要说明的是，当所述第一绝缘连接层3表面形成有第一掩膜层4时，在所述第一绝缘连接层3内形成第一凹槽，所述第一凹槽在所述基底1上的投影完全覆盖所述第一通孔在所述基底1上的投影包括：

[0137] 如图9所示，去除所述第一掩膜层4；

[0138] 如图10所示，平坦化所述第一绝缘连接层3表面；

[0139] 继续如图10所示，去除部分所述第一绝缘连接层3，在所述第一绝缘连接层3内形成贯穿所述第一绝缘连接层3的第一凹槽13，所述第一凹槽13在所述基底1上的投影完全覆盖所述第一通孔5在所述基底1上的投影。

[0140] S107：如图11所示，在所述第一凹槽13内形成第三通道结构14，所述第三通道结构14与所述第二通道结构相接触。可选的，所述第三通道结构的14形成工艺为沉积工艺。

[0141] S108：如图12所示，在所述第三通道结构14背离所述基底1一侧依次形成第二堆叠层15和第二绝缘连接层16，所述第二堆叠层15由多个交错叠加的氧化层和氮化层构成。可选的，所述第二堆叠层15中氧化层和氮化层的层数总和不小于64，但本发明对此并不做限定，具体视情况而定。

[0142] 需要说明的是，为了便于所述三维存储器中通道孔结构各结构的图示，图12及以后各图只图示了第一绝缘连接层及其上方各结构件，其下方各结构件与图11中相同，不再重复图示。

[0143] 具体的，在本发明的一个实施例中，所述第二绝缘连接层16为氧化硅层，但本发明对此并不做限定，只要保证所述第二绝缘连接层16与所述第二堆叠层15中所述氮化层的材料不同，且具有绝缘功能即可。

[0144] 需要说明的是，在上述实施例的基础上，在本发明的一个实施例中，该方法还包括：

[0145] 在所述第二绝缘连接层16表面形成第二掩膜层17，可选的，所述第二掩膜层17包括位于所述第二绝缘连接层16表面的氮化层和位于所述氮化层表面的氧化层。

[0146] S109：如图13所示，形成完全贯穿所述第二堆叠层15和所述第二绝缘连接层16，并延伸至所述第三通道结构14表面内的第二通孔18，所述第二通孔18在所述基底1上的投影与所述第一通孔5在所述基底1上的投影至少部分交叠。

Micron Ex. 1002, p. 598
Micron v. YMTC
IPR2025-00294

[0147] 具体的，在本发明的一个实施例中，形成完全贯穿所述第二堆叠层15和所述第二绝缘连接层16，并延伸至所述第三通道结构14表面内的第二通孔18包括：

[0148] 对所述第二堆叠层15和所述第二绝缘连接层16进行刻蚀，在所述第二堆叠层15和所述第二绝缘连接层16内形成贯穿所述第二堆叠层15和所述第二绝缘连接层16，并延伸至所述第三通道结构14表面内的第二通孔18；对所述第二通孔18进行清洗。

[0149] 需要说明的是，在本发明实施例中，所述第二通孔18可以延伸至所述第三通道结构14表面，也可以延伸至所述第三通道结构14表面内，本发明对此并不做限定，只要保证后续形成的第四通道结构可以与所述第三通道结构直接接触即可。

[0150] 还需要说明的是，在对所述第二堆叠层15和所述第二绝缘连接层16进行刻蚀时，可以选择湿法刻蚀，也可以选择干法刻蚀，还可以组合使用，本发明对此并不做限定，具体视情况而定。

[0151] 在上述实施例的基础上，在本发明的一个实施例中，当所述第二绝缘连接层16表面形成有第二掩膜层17时，在形成第二通孔18时，还包括对所述第二掩膜层17的刻蚀。需要说明的是，在本发明实施例中，所述第二掩模层17朝向所述第二通孔18一侧的边界线和所述第一掩模层4朝向所述第一通孔5一侧的边界线之间的距离a最大不大于15nm。

[0152] S1010：在所述第二通孔侧壁形成第二功能层。

[0153] 具体的，在本发明的一个实施例中，在所述第二通孔侧壁形成第二功能层包括：

[0154] 如图14所示，在所述第二通孔18的侧壁和所述第二通道结构14的表面形成第二隧穿层19，用于产生电荷，可选的，所述第二隧穿层19为氧化层，形成工艺为沉积工艺；

[0155] 在所述第二隧穿层19表面形成第二存储层20，用于存储电荷，可选的，所述第二存储层20为氮化层，形成工艺为沉积工艺；

[0156] 在所述第二存储层20表面形成第二阻挡层21，用于阻挡所述第二存储层20中的电荷流出，可选的，所述第二阻挡层21为氧化层，形成工艺为沉积工艺；

[0157] 如图15所示，在所述第二阻挡层21表面形成第二保护层22，用于保护所述第二阻挡层21在后续去除工艺中不受到损伤，可选的，所述第二保护层22为非晶硅层，形成工艺为沉积工艺；

[0158] 继续如图15所示，去除所述第二保护层22、第二阻挡层21、所述第二存储层20和所述第二隧穿层19位于所述第二通道结构14表面的部分，形成第二功能层，可选的，所述去除工艺为刻蚀工艺和清洗工艺。

[0159] S1012：在所述第二功能层侧壁和所述第二通孔底部依次形成第四通道结构和第二填充结构，所述第四通道结构的表面高于所述第二填充结构的表面。

[0160] 具体的，在本发明的一个实施例中，在所述第二功能层侧壁和所述第三通道结构表面依次形成第四通道结构和第二填充结构，所述第四通道结构的表面高于所述第二填充结构的表面包括：

[0161] 如图16所示，形成覆盖所述第二保护层22侧壁、所述第二通孔18底部和第二绝缘连接层3表面的第四通道层23，可选的，所述第四通道层23为非晶硅层，形成工艺为沉积工艺；

[0162] 如图17所示，形成覆盖所述第四通道层23的第二填充层29，可选的，所述第二填充层29为氧化层，形成工艺为沉积工艺；

Micron Ex. 1002, p. 599
Micron v. YMTC
IPR2025-00294

[0163] 如图18所示，去除部分所述第二填充层29，使得所述第二填充层29表面低于所述第二绝缘连接层3表面，形成第二填充结构，可选的，所述去除工艺为刻蚀工艺；

[0164] 如图19所示，去除所述第四通道层23位于所述第二绝缘连接层表面的部分，形成第四通道结构，所述第四通道结构的表面高于所述第二填充结构的表面，可选的，所述去除工艺为刻蚀工艺。

[0165] 需要说明的是，在本发明实施例中，所述第四通道结构的上表面可以高于所述第二堆叠层的上表面，也可以低于所述第二堆叠层的上表面，本发明对此并不做限定，只要保证所述第四通道结构的上表面不低于所述第二堆叠层中顶层氧化层的上表面即可。可选的，所述第四通道结构的上表面与所述第二堆叠层中顶层氧化层的上表面平齐。

[0166] S1013：在所述第四通道结构和所述第二填充结构形成的第二凹槽内形成第五通道结构，所述第五通道结构与所述第四通道结构相接触。

[0167] 具体的，在本发明的一个实施例中，当所述第二绝缘连接层表面形成有第二掩膜层时，在所述第四通道结构和所述第二填充结构形成的第二凹槽内形成第五通道结构，所述第五通道结构与所述第四通道结构相接触包括：

[0168] 如图20所示，在所述第四通道结构和所述第二填充结构形成的第二凹槽内形成第五通道结构；

[0169] 去除所述第二掩膜层17；

[0170] 如图21所示，平坦化所述第二绝缘连接层16表面。

[0171] 相应的，本发明实施例还提供了一种利用上述形成方法形成的三维存储器，该三维存储器包括：

[0172] 基底，所述基底表面形成有第一堆叠层和第一绝缘连接层，所述第一堆叠层由多个交错叠加的氧化层和氮化层构成；

[0173] 贯穿所述第一堆叠层和所述第一绝缘连接层，并延伸至所述基底表面内的第一通孔；

[0174] 形成于第一通孔曝露的所述基底表面的第一通道结构；

[0175] 形成于所述第一通孔侧壁的第一功能层；

[0176] 依次形成于所述第一功能层侧壁和所述第一通道结构表面的第二通道结构和第一填充结构，所述第二通道结构和所述第一填充结构的表面低于所述第一绝缘连接层表面；

[0177] 形成于所述第一绝缘连接层内的第一凹槽，所述第一凹槽在所述基底上的投影完全覆盖所述第一通孔在所述基底上的投影；

[0178] 形成于所述第一凹槽内的第三通道结构，所述第三通道结构与所述第二通道结构相接触；

[0179] 依次形成于所述第三通道结构背离所述基底一侧的第二堆叠层和第二绝缘连接层，所述第二堆叠层由多个交错叠加的氧化层和氮化层构成；

[0180] 贯穿所述第二堆叠层和所述第二绝缘连接层，并延伸至所述第三通道结构表面内的第二通孔，所述第二通孔在所述基底上的投影与所述第一通孔在所述基底上的投影至少部分交叠；

[0181] 形成于所述第二通孔侧壁的第二功能层；

Micron Ex. 1002, p. 600
Micron v. YMTC
IPR2025-00294

[0182] 依次形成于所述第二功能层侧壁和所述第二通孔底部表面的第四通道结构和第二填充结构，所述第四通道结构的表面高于所述第二填充结构的表面；

[0183] 形成于所述第四通道结构和所述第二填充结构形成的第二凹槽内的第五通道结构，所述第五通道结构与所述第四通道结构相接触。

[0184] 由上可知，本发明实施例所提供的三维存储器的通道孔结构的形成方法，通过第一通孔和第二通孔两次通孔形成工艺来形成所述三维存储器中的通道孔结构，大大降低了所述通道孔结构的工艺难度和成本，解决了在相同口径下，通孔深宽比过大导致的工艺难度大和成本高的问题，同时也降低了所述三维存储器的制作工艺难度和成本。

[0185] 此外，本发明实施例还提供了另一种三维存储器中通道孔结构的形成方法，其特征在于，所述三维存储器包括沿字线方向排布的第一区域、第二区域和第三区域，其中，所述第一区域用于形成通道孔结构，所述第三区域用于形成绝缘环结构，该方法包括：

[0186] S201：如图22所示，提供基底1，所述基底1表面形成有第一堆叠层2和第一绝缘连接层3，所述第一堆叠层2由多个交错叠加的氧化层和氮化层构成。可选的，所述第一堆叠层2中氧化层和氮化层的层数总和不小于64，但本发明对此并不做限定，具体视情况而定。

[0187] 具体的，在本发明的一个实施例中，所述第一绝缘连接层3为氧化硅层，但本发明对此并不做限定，只要保证所述第一绝缘连接层3与所述第一堆叠层2中所述氮化层的材料不同，且具有绝缘功能即可。

[0188] 需要说明的是，在上述实施例的基础上，在本发明的一个实施例中，该方法还包括：

[0189] 在所述第一绝缘连接层3表面形成第一掩膜层4，可选的，所述第一掩膜层4包括位于所述第一绝缘连接层3表面的氮化层和位于所述氮化层表面的氧化层。

[0190] S202：继续如图22所示，在所述第一区域100(即Channel hole)、所述第二区域200(即SS dummy hole)和所述第三区域300(即TAC barrier)形成完全贯穿所述第一堆叠层2和所述第一绝缘连接层3，并延伸至所述基底1表面内的第一通孔5。需要说明的是，在垂直于所述基底1表面方向上，所述第三区域300处的所述第一通孔深度大于所述第一区域100处的所述第一通孔的深度。

[0191] 还需要说明的是，当所述第一绝缘连接层3表面形成有第一掩膜层4时，在形成第一通孔时，还包括对所述第一掩膜层4的刻蚀。

[0192] S203：如图23所示，在第一通孔5曝露的所述基底1表面形成第一通道结构6。

[0193] S204：在所述第一通孔5侧壁形成第一功能层。

[0194] 具体的，在本发明的一个实施例中，在所述第一通孔侧壁形成第一功能层包括：

[0195] 如图24所示，在所述第一通孔5的侧壁和所述第一通道结构6的表面形成第一隧穿层7，用于产生电荷，可选的，所述第一隧穿层7为氧化层，形成工艺为沉积工艺；

[0196] 在所述第一隧穿层7表面形成第一存储层8，用于存储电荷，可选的，所述第一存储层8为氮化层，形成工艺为沉积工艺；

[0197] 在所述第一存储层8表面形成第一阻挡层9，用于阻挡所述第一存储层8中的电荷流出，可选的，所述第一阻挡层9为氧化层，形成工艺为沉积工艺；

[0198] 如图25所示，在所述第一阻挡层9表面形成第一保护层10，用于避免所述第一阻挡层9在后续去除工艺中受到损伤，可选的，所述第一保护层10为非晶硅层，形成工艺为沉积

Micron Ex. 1002, p. 601
Micron v. YMTC
IPR2025-00294

工艺；

[0199] 继续如图25所示，去除所述第一保护层10、第一阻挡层9、所述第一存储层8和所述第一隧穿层7位于所述第一通道结构6表面的部分，形成第一功能层，可选的，所述去除工艺为刻蚀工艺和清洗工艺。

[0200] S205：在所述第一功能层侧壁和所述第一通道结构表面依次形成第二通道结构和第一填充结构，所述第二通道结构和所述第一填充结构的表面低于所述第一绝缘连接层3表面。

[0201] 具体的，在本发明的一个实施例中，在所述第一功能层侧壁和所述第一通道结构表面依次形成第二通道结构和第一填充结构，所述第二通道结构和所述第一填充结构的表面低于所述第一绝缘连接层3表面包括：

[0202] 如图26所示，形成覆盖所述第一保护层10侧壁、所述第一通孔5底部和第一绝缘连接层3表面的第二通道层11，可选的，所述第二通道层11为非晶硅层，形成工艺为沉积工艺；

[0203] 如图27所示，形成覆盖所述第二通道层11的第一填充层12，可选的，所述第一填充层12为氧化层，形成工艺为沉积工艺；

[0204] 如图28所示，去除部分所述第一填充层12，使得所述第一填充层12表面低于所述第一绝缘连接层3表面，形成第一填充结构，可选的，所述去除工艺为刻蚀工艺；

[0205] 如图29所示，去除部分所述第二通道层11，使得所述第二通道层11表面低于所述第一绝缘连接层3，形成第二通道结构，可选的，所述去除工艺为刻蚀工艺。

[0206] 需要说明的是，在本发明实施例中，所述第二通道结构的上表面可以高于所述第一堆叠层2的上表面，也可以低于所述第一堆叠层2的上表面，本发明对此并不做限定，只要保证所述第二通道结构的上表面不低于所述第一堆叠层2中顶层氧化层的上表面即可。可选的，所述第二通道结构的上表面与所述第一堆叠层2中顶层氧化层的上表面平齐。

[0207] S206：在所述第一绝缘连接层3内形成第一凹槽，所述第一凹槽在所述基底1上的投影完全覆盖所述第一通孔在所述基底1上的投影。

[0208] 具体的，在本发明的一个实施例中，在所述第一绝缘连接层3内形成第一凹槽，所述第一凹槽在所述基底1上的投影完全覆盖所述第一通孔在所述基底1上的投影包括：

[0209] 去除部分所述第一绝缘连接层3，在所述第一绝缘连接层3内形成贯穿所述第一绝缘连接层3的第一凹槽，所述第一凹槽在所述基底1上的投影完全覆盖所述第一通孔在所述基底1上的投影。可选的，所述第一凹槽在所述基底1上的投影面积大于所述第一通孔在所述基底1上的投影面积。

[0210] 在本发明的另一个实施例中，当所述第一绝缘连接层3表面形成有第一掩膜层4时，在所述第一绝缘连接层3内形成第一凹槽，所述第一凹槽在所述基底1上的投影完全覆盖所述第一通孔在所述基底1上的投影包括：

[0211] 如图30所示，去除所述第一掩膜层4；

[0212] 如图31所示，平坦化所述第一绝缘连接层3表面；

[0213] 继续如图31所示，去除部分所述第一绝缘连接层3，在所述第一绝缘连接层3内形成贯穿所述第一绝缘连接层3的第一凹槽13，所述第一凹槽13在所述基底1上的投影完全覆盖所述第一通孔5在所述基底1上的投影。

[0214] S207：如图32所示，在所述第一凹槽13内形成第三通道结构14，所述第三通道结构

Micron Ex. 1002, p. 602
Micron v. YMTC
IPR2025-00294

14与所述第二通道结构相接触。

[0215] S208：如图33所示，在所述第三通道结构14背离所述基底1一侧依次形成第二堆叠层15和第二绝缘连接层16，所述第二堆叠层15由多个交错叠加的氧化层和氮化层构成。可选的，所述第二堆叠层15中氧化层和氮化层的层数总和不小于64，但本发明对此并不做限定，具体视情况而定。

[0216] 具体的，在本发明的一个实施例中，所述第二绝缘连接层16为氧化硅层，但本发明对此并不做限定，只要保证所述第二绝缘连接层与所述第二堆叠层中所述氮化层的材料不同，且具有绝缘功能即可。

[0217] 需要说明的是，在上述实施例的基础上，在本发明的一个实施例中，该方法还包括：

[0218] 在所述第二绝缘连接层16表面形成第二掩膜层17，可选的，所述第二掩膜层17包括位于所述第二绝缘连接层表面的氮化层和位于所述氮化层表面的氧化层。

[0219] S209：如图34所示，在所述第一区域、所述第二区域和所述第三区域形成完全贯穿所述第二堆叠层15和所述第二绝缘连接层16，并延伸至所述第三通道结构14表面内的第二通孔18，所述第二通孔18在所述基底1上的投影与所述第一通孔5在所述基底1上的投影至少部分交叠。

[0220] 需要说明的是，具体工艺时，所述第三区域的第三通道结构可能被所述第二通孔完全贯穿，本发明对此并不做限定，只要保证所述第一区域的第三通道结构没有被所述第二通孔完全贯穿即可。

[0221] 具体的，在本发明的一个实施例中，形成完全贯穿所述第二堆叠层和所述第二绝缘连接层，并延伸至所述第三通道结构表面内的第二通孔包括：

[0222] 对所述第二堆叠层和所述第二绝缘连接层进行刻蚀，在所述第二堆叠层和所述第二绝缘连接层内形成贯穿所述第二堆叠层和所述第二绝缘连接层，并延伸至所述第三通道结构表面内的第二通孔；对所述第二孔进行清洗。

[0223] 需要说明的是，在本发明实施例中，所述第二通孔可以延伸至所述第三通道结构表面，也可以延伸至所述第三通道结构表面内，本发明对此并不做限定，只要保证后续形成的第四通道结构可以与所述第三通道结构直接接触即可。

[0224] 在上述实施例的基础上，在本发明的一个实施例中，当所述第二绝缘连接层表面形成有第二掩膜层时，在形成第二通孔时，还包括对所述第二掩膜层的刻蚀。需要说明的是，在本发明实施例中，所述第二掩模层朝向所述第二通孔一侧的边界线和所述第一掩模层朝向所述第一通孔一侧的边界线之间的距离a最大不大于15nm。

[0225] S2010：在所述第二通孔侧壁形成第二功能层。

[0226] 具体的，在本发明的一个实施例中，在所述第二通孔侧壁形成第二功能层包括：

[0227] 如图35所示，在所述第二通孔18的侧壁和所述第二通道结构14的表面形成第二隧穿层19，用于产生电荷，可选的，所述第二隧穿层19为氧化层，形成工艺为沉积工艺；

[0228] 在所述第二隧穿层19表面形成第二存储层20，用于存储电荷，可选的，所述第二存储层20为氮化层，形成工艺为沉积工艺；

[0229] 在所述第二存储层20表面形成第二阻挡层21，用于阻挡所述第二存储层20中的电荷流出，可选的，所述第二阻挡层21为氧化层，形成工艺为沉积工艺；

Micron Ex. 1002, p. 603
Micron v. YMTC
IPR2025-00294

[0230] 如图36所示，在所述第二阻挡层21表面形成第二保护层22，用于保护所述第二阻挡层21在后续去除工艺中不受到损伤，可选的，所述第二保护层22为非晶硅层，形成工艺为沉积工艺；

[0231] 继续如图36所示，去除所述第二保护层22、第二阻挡层21、所述第二存储层20和所述第二隧穿层19位于所述第二通道结构14表面的部分，形成第二功能层，可选的，所述去除工艺为刻蚀工艺和清洗工艺。

[0232] S2011：在所述第一区域对应的所述第二功能层侧壁和所述第二通孔底部形成第四通道结构，并在所述第一区域、所述第二区域和所述第三区域对应的第二通孔内形成第二填充结构，所述第四通道结构的表面高于所述第二填充结构的表面。

[0233] 具体的，在本发明的一个实施例中，在所述第一区域对应的所述第二功能层侧壁和所述第二通孔底部形成第四通道结构，并在所述第一区域、所述第二区域和所述第三区域对应的第二通孔内形成第二填充结构，所述第四通道结构的表面高于所述第二填充结构的表面包括：

[0234] 如图37所示，在所述第一区域、第二区域和所述第二区域形成覆盖所述第二功能层侧壁、所述第二通孔底部和所述第二绝缘连接层表面的第四通道层23；

[0235] 如图38所示，在所述第一区域、第二区域和所述第二区域形成覆盖所述第四通道层23的第三填充层24，所述第三填充层24中具有空气间隙；

[0236] 如图39所示，在所述第三填充层24对应所述第一区域的表面形成第三掩膜层25；

[0237] 以所述第三掩膜层25为掩膜，去除所述第三填充层24位于所述第二区域和所述第三区域的部分；

[0238] 如图40所示，去除所述第三掩膜层25；

[0239] 以所述第三填充层24位于所述第一区域的部分为掩膜，去除位于所述第二区域和所述第三区域的第四通道层23；

[0240] 如图41所示，在位于所述第二区域和所述第三区域的第二功能层表面形成第四填充层27，所述第四填充层27的填充性能好于所述第三填充层24，即在同一去除工艺中，所述第四填充层的去除速率小于所述第三填充层的去除速率；

[0241] 如图42所示，去除位于所述第一区域的第四通道层23表面的第三填充层24；

[0242] 如图43所示，在所述第一区域、第二区域和所述第三区域的第二通孔内形成第二填充层29；

[0243] 如图44所示，去除部分所述第二填充层29，使所述第二填充层29的表面低于所述第二绝缘连接层16的表面，形成第二填充结构；

[0244] 去除所述第四通道层23位于所述第二绝缘连接层16表面的部分，，形成第四通道结构，所述第四通道结构的表面高于所述第二填充结构的表面。

[0245] S2012：在所述第四通道结构与所述第二填充结构形成的第二凹槽内形成第五通道结构，所述第五通道结构与所述第四通道结构相接触。

[0246] 具体的，在本发明的一个实施例中，当所述第二绝缘连接层表面形成有第二掩膜层时，在所述第四通道结构与所述第二填充结构形成的第二凹槽内形成第五通道结构包括：

[0247] 如图45所示，在所述第四通道结构与所述第二填充结构形成的第二凹槽内形成第

Micron Ex. 1002, p. 604
Micron v. YMTC
IPR2025-00294

五通道结构30；

[0248] 去除所述第二掩膜层；

[0249] 如图46所示，平坦化所述第二绝缘连接层16表面。

[0250] 相应的，本发明实施例还提供了一种三维存储器，所述三维存储器包括沿字线方向排布的第一区域、第二区域和第三区域，其中，所述第一区域用于形成通道孔结构，所述第三区域用于形成绝缘环结构，沿垂直于所述三维存储器表面方向包括：

[0251] 基底，所述基底表面形成有第一堆叠层和第一绝缘连接层，所述第一堆叠层由多个交错叠加的氧化层和氮化层构成；

[0252] 位于所述第一区域、所述第二区域和所述第三区域，完全贯穿所述第一堆叠层和所述第一绝缘连接层，并延伸至所述基底表面内的第一通孔；

[0253] 形成在第一通孔曝露的所述基底表面的第一通道结构；

[0254] 形成在所述第一通孔侧壁的第一功能层；

[0255] 依次形成在所述第一功能层侧壁和所述第一通道结构表面的第二通道结构和第一填充结构，所述第二通道结构和所述第一填充结构的表面低于所述第一绝缘连接层表面；

[0256] 形成在所述第一绝缘连接层内的第一凹槽，所述第一凹槽在所述基底上的投影完全覆盖所述第一通孔在所述基底上的投影；

[0257] 形成在所述第一凹槽内的第三通道结构，所述第三通道结构与所述第二通道结构相接触；

[0258] 依次形成在所述第三通道结构背离所述基底一侧的第二堆叠层和第二绝缘连接层，所述第二堆叠层由多个交错叠加的氧化层和氮化层构成；

[0259] 在所述第一区域、所述第二区域和所述第三区域，完全贯穿所述第二堆叠层和所述第二绝缘连接层，并延伸至所述第三通道结构表面内的第二通孔，所述第二通孔在所述基底上的投影与所述第一通孔在所述基底上的投影至少部分交叠；

[0260] 形成在所述第二通孔侧壁的第二功能层；

[0261] 形成在所述第一区域对应的所述第二功能层侧壁和所述第二通孔底部的第四通道结构，以及形成在所述第一区域、所述第二区域和所述第三区域对应的第二通孔内的第二填充结构，所述第四通道结构的表面高于所述第二填充结构的表面；

[0262] 形成于所述第四通道结构和所述第二填充结构形成的第二凹槽内的第五通道结构，所述第五通道结构与所述第四通道结构相接触。

[0263] 由上可知，本发明实施例所提供的三维存储器中通道孔结构的形成方法，通过第一通孔和第二通孔两次通孔形成工艺来形成所述三维存储器中的通道孔结构，大大降低了所述通道孔结构的工艺难度和成本，解决了在相同口径下，通孔深宽比过大导致的工艺难度大和成本高的问题，降低了所述三维存储器的形成工艺难度和成本。

[0264] 而且，本发明实施例所提供的三维存储器中通道孔结构的形成方法，所述第四通道结构仅存在于所述第一区域，而不存在于所述第一区域，从而使得所述三维存储器中，在所述第一区域所述第五通孔结构与所述第一通道结构电连接，在所述第三区域所述第五通道结构与所述第一通道结构电绝缘，从而在应用于具有绝缘环的三维存储器时，可以在所述第一区域形成通道孔结构的同时在所述第三区域形成绝缘环结构，工艺简单，成本较低。

Micron Ex. 1002, p. 605
Micron v. YMTC
IPR2025-00294

[0265] 本说明书中各个部分采用递进的方式描述，每个部分重点说明的都是与其他部分的不同之处，各个部分之间相同相似部分互相参见即可。

[0266] 对所公开的实施例的上述说明，使本领域专业技术人员能够实现或使用本发明。对这些实施例的多种修改对本领域的专业技术人员来说将是显而易见的，本文中所定义的一般原理可以在不脱离本发明的精神或范围的情况下，在其它实施例中实现。因此，本发明将不会被限制于本文所示的实施例，而是要符合与本文所公开的原理和新颖特点相一致的最宽的范围。

Micron Ex. 1002, p. 606
Micron v. YMTC
IPR2025-00294

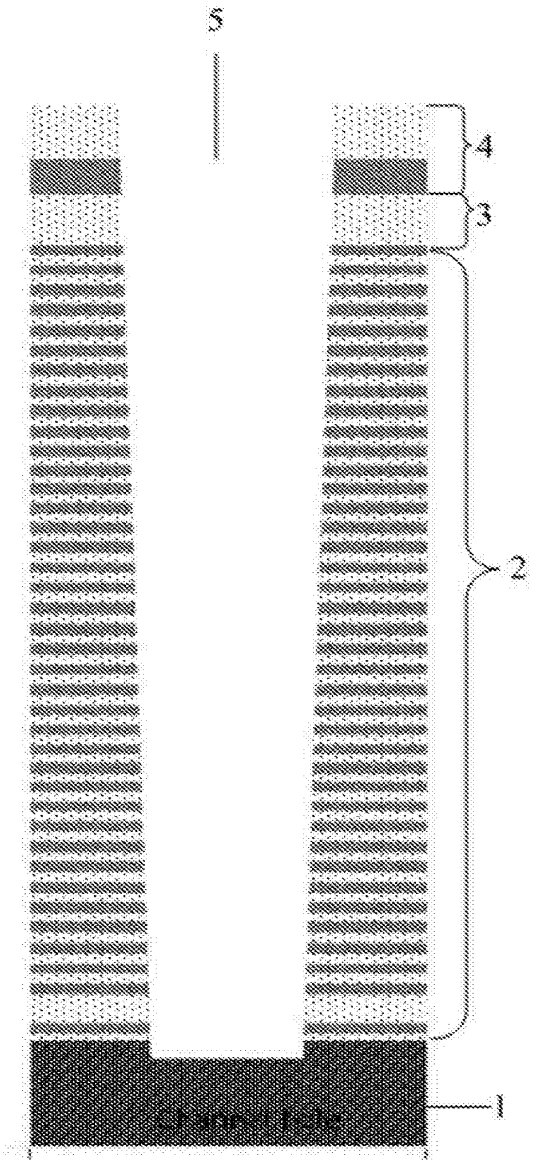


图1

Micron Ex. 1002, p. 607
Micron v. YMTC
IPR2025-00294

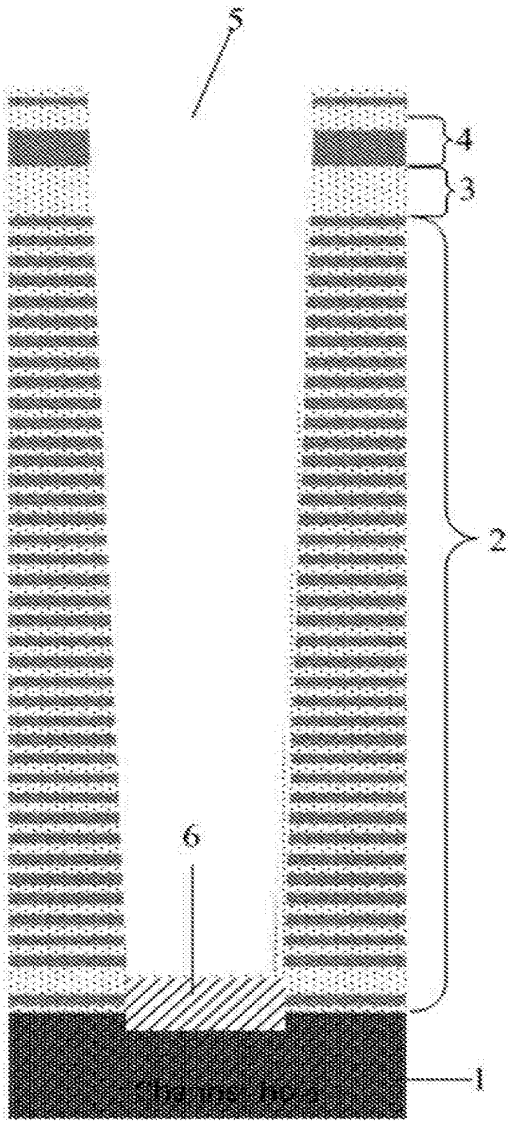


图2

Micron Ex. 1002, p. 608
Micron v. YMTC
IPR2025-00294

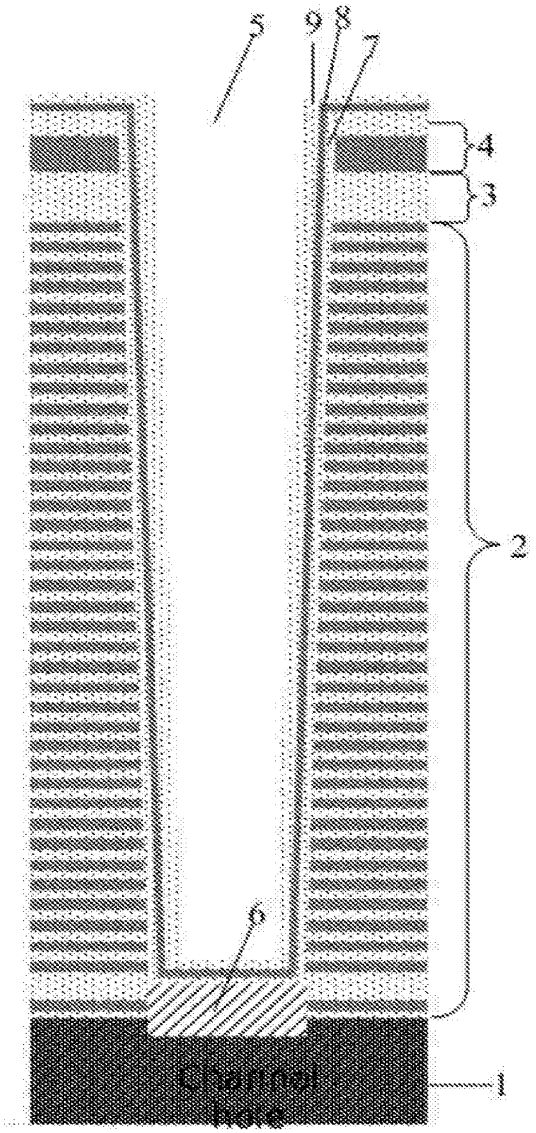


图3

Micron Ex. 1002, p. 609
Micron v. YMTC
IPR2025-00294

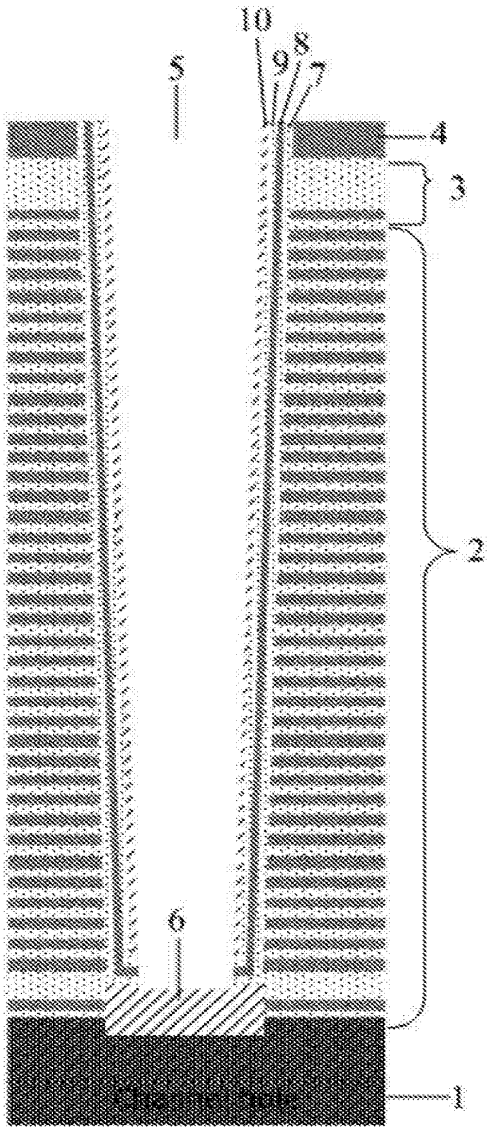


图4

Micron Ex. 1002, p. 610
Micron v. YMTC
IPR2025-00294

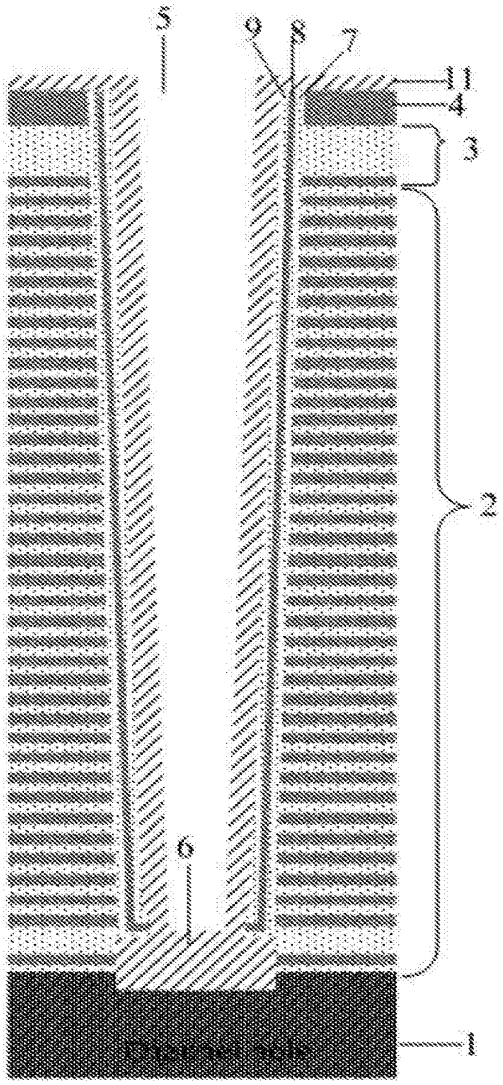


图5

Micron Ex. 1002, p. 611
Micron v. YMTC
IPR2025-00294

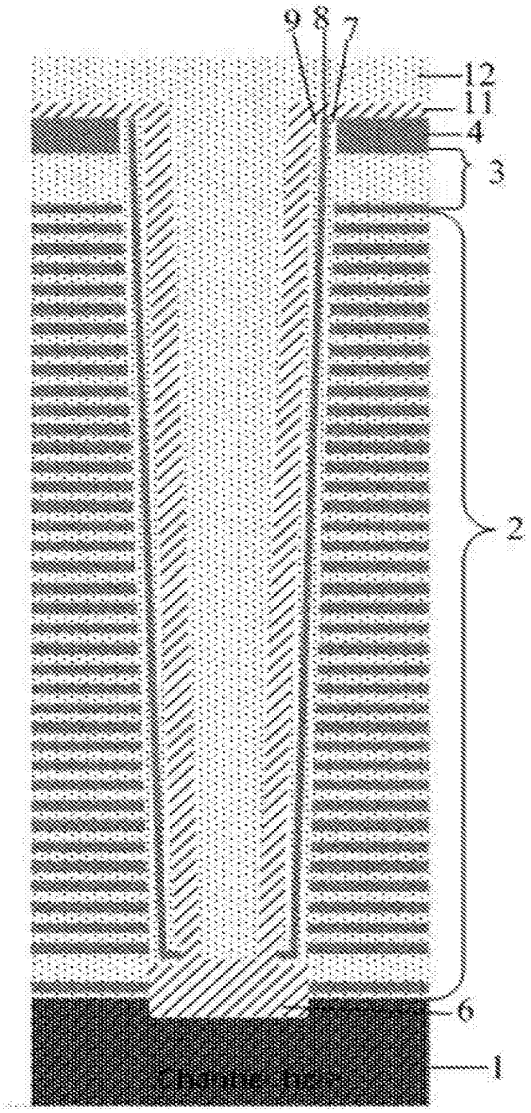


图6

Micron Ex. 1002, p. 612
Micron v. YMTC
IPR2025-00294

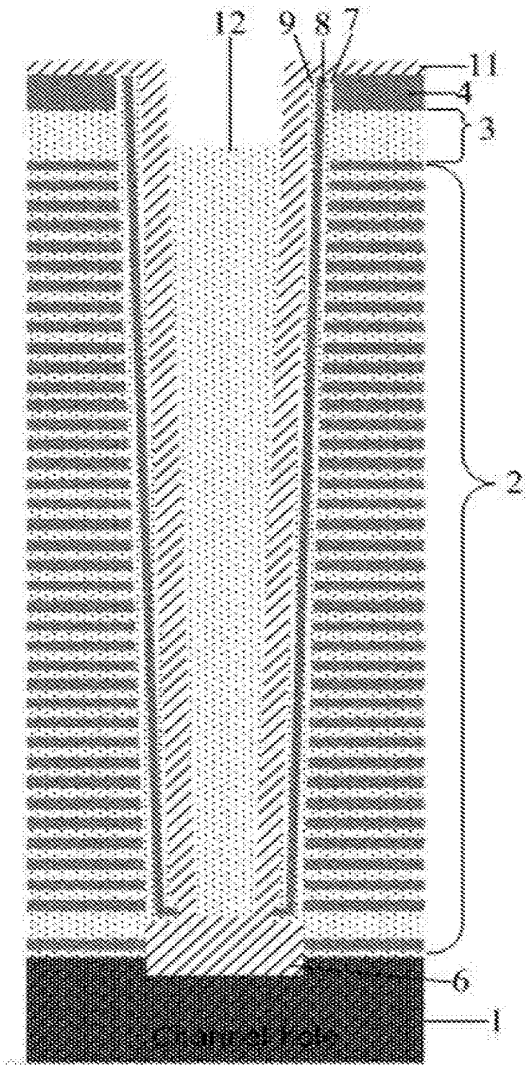


图7

Micron Ex. 1002, p. 613
Micron v. YMTC
IPR2025-00294

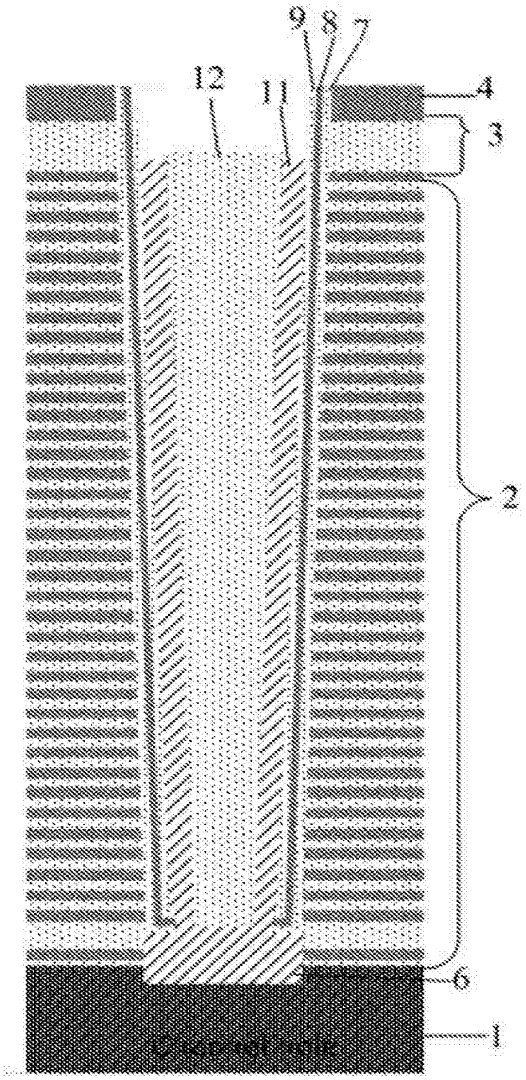


图8

Micron Ex. 1002, p. 614
Micron v. YMTC
IPR2025-00294

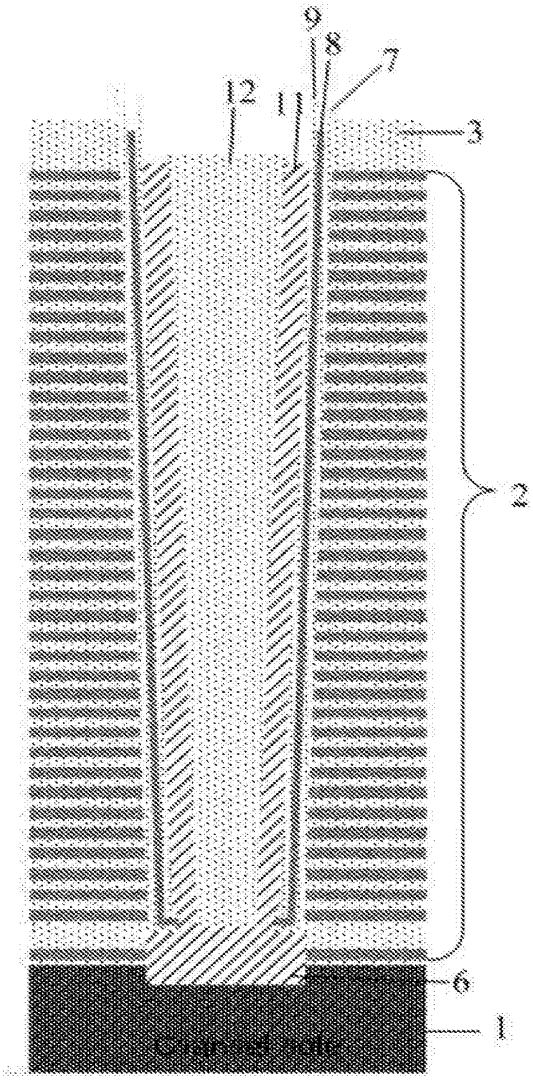


图9

Micron Ex. 1002, p. 615
Micron v. YMTC
IPR2025-00294

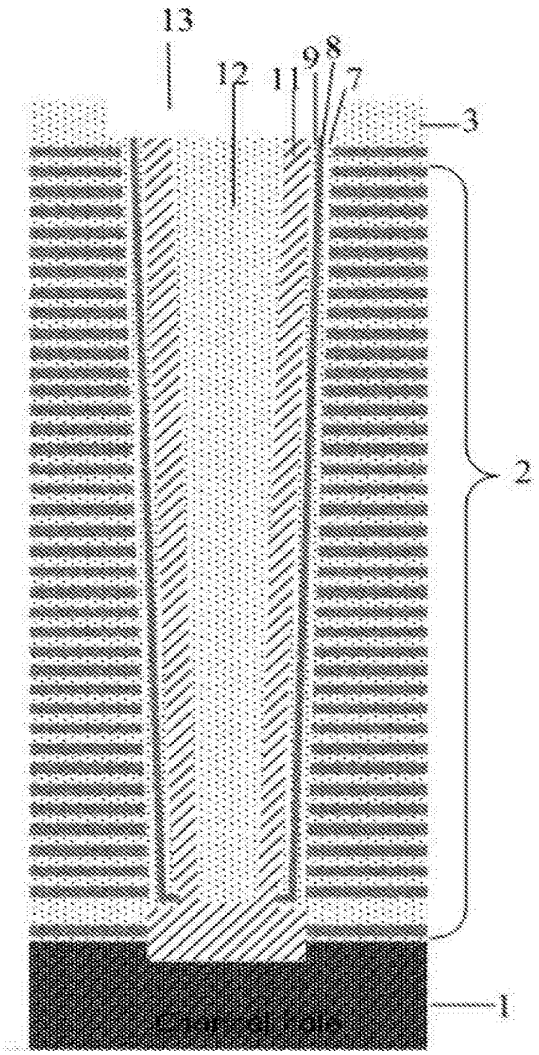


图10

Micron Ex. 1002, p. 616
Micron v. YMTC
IPR2025-00294

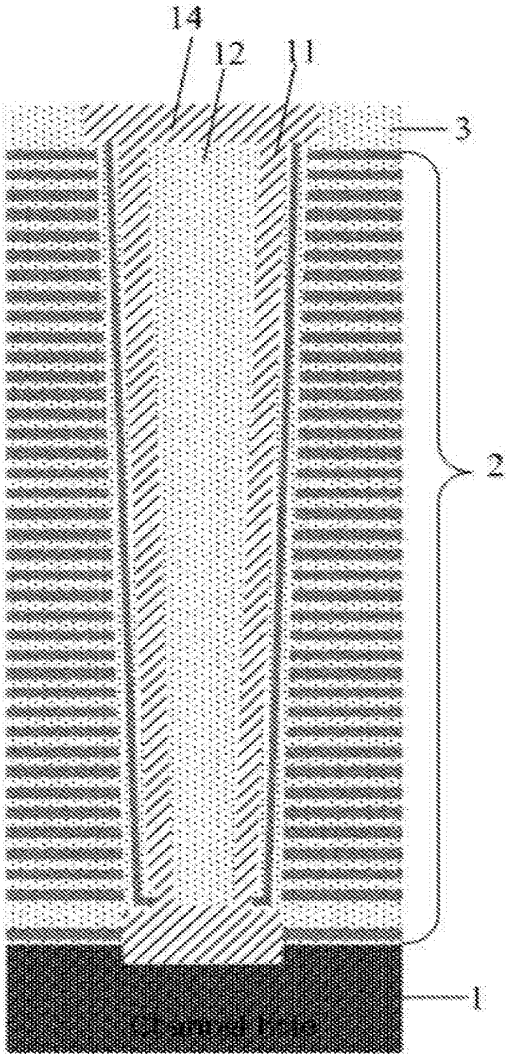


图11

Micron Ex. 1002, p. 617
Micron v. YMTC
IPR2025-00294

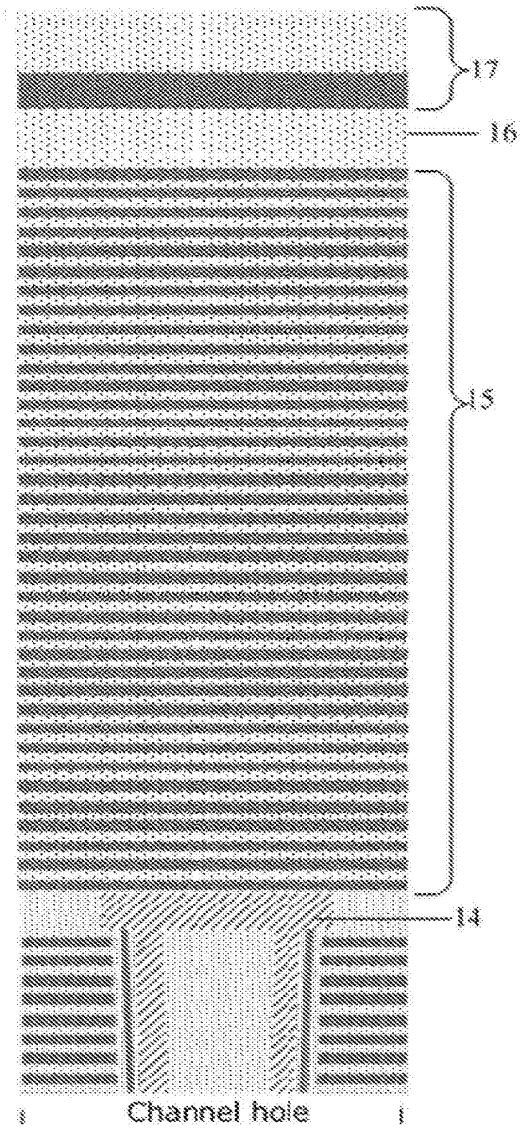


图12

Micron Ex. 1002, p. 618
Micron v. YMTC
IPR2025-00294

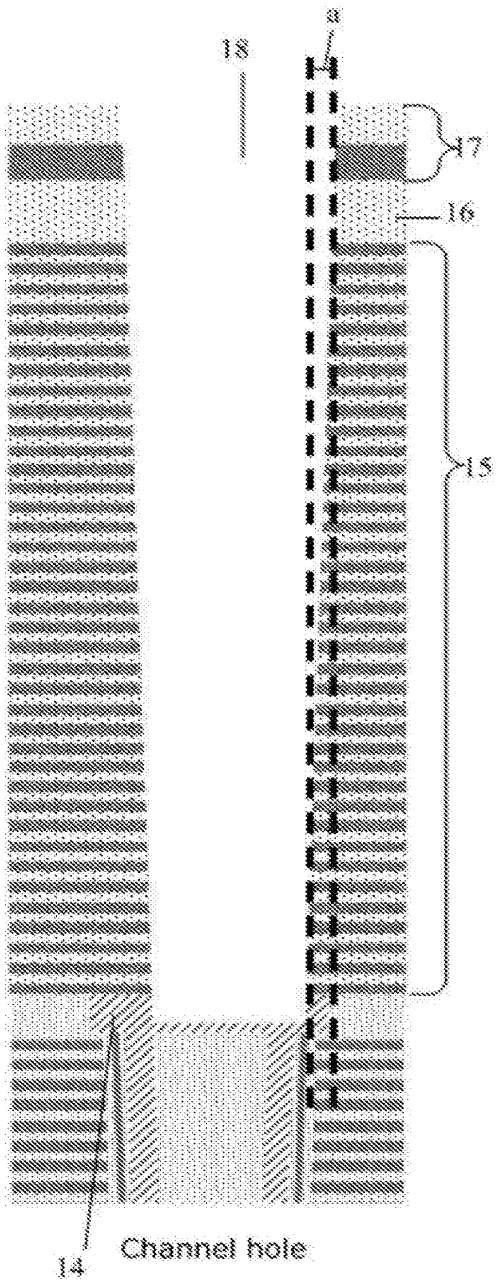


图13

Micron Ex. 1002, p. 619
Micron v. YMTC
IPR2025-00294

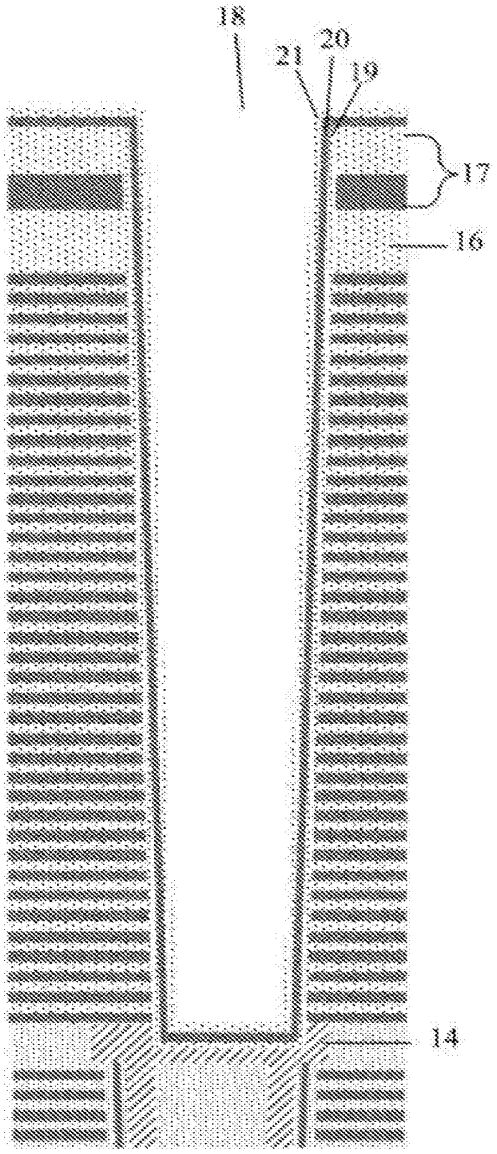


图14

Micron Ex. 1002, p. 620
Micron v. YMTC
IPR2025-00294

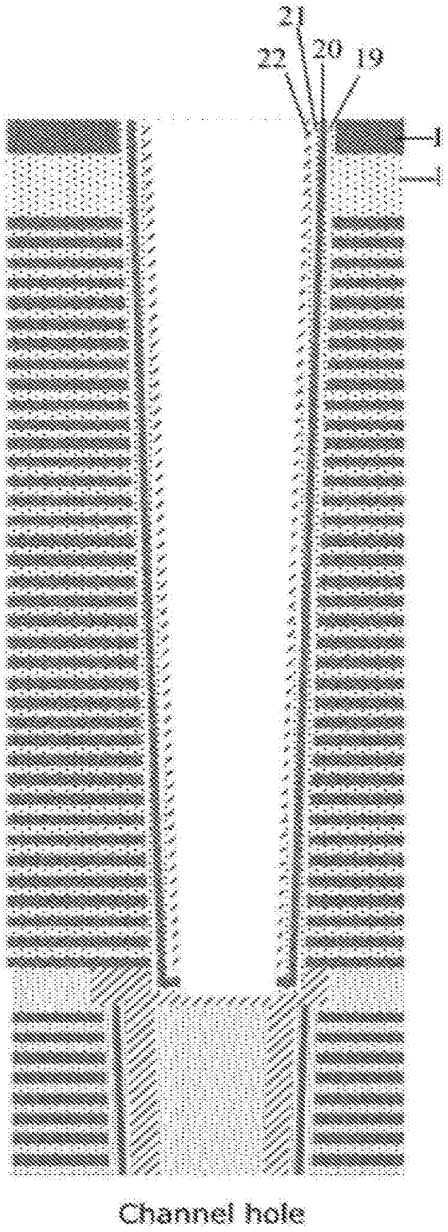


图15

Micron Ex. 1002, p. 621
Micron v. YMTC
IPR2025-00294

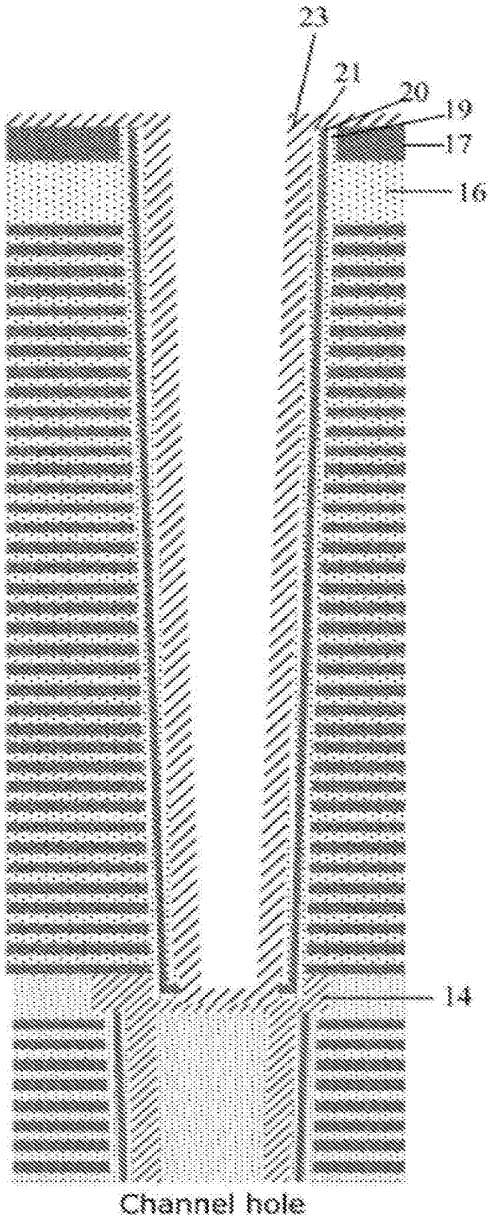


图16

Micron Ex. 1002, p. 622
Micron v. YMTC
IPR2025-00294

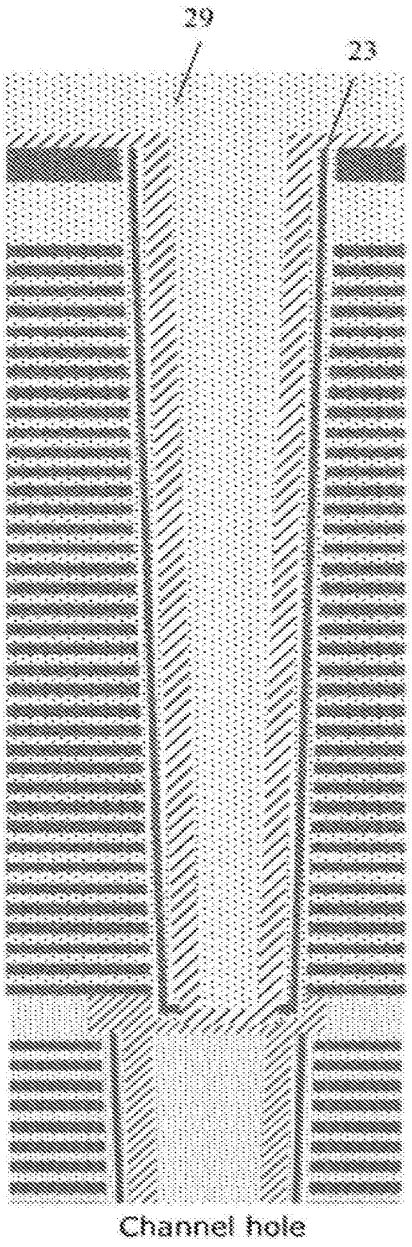


图17

Micron Ex. 1002, p. 623
Micron v. YMTC
IPR2025-00294

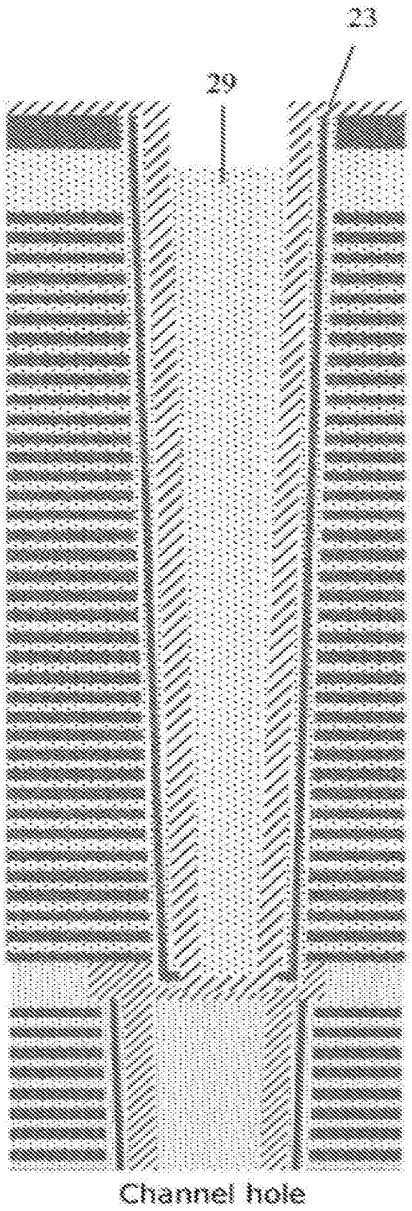


图18

Micron Ex. 1002, p. 624
Micron v. YMTC
IPR2025-00294

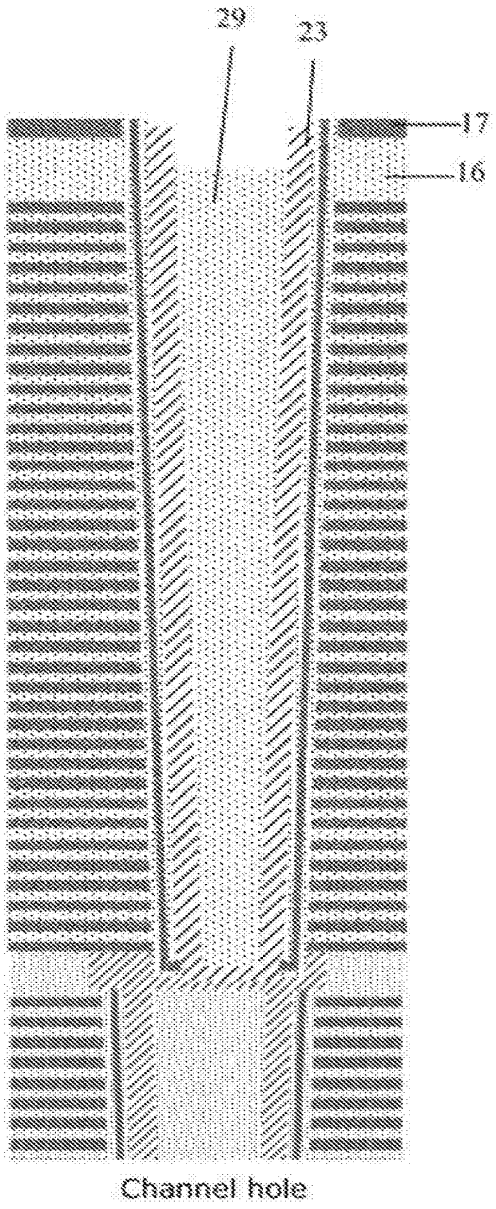


图19

Micron Ex. 1002, p. 625
Micron v. YMTC
IPR2025-00294

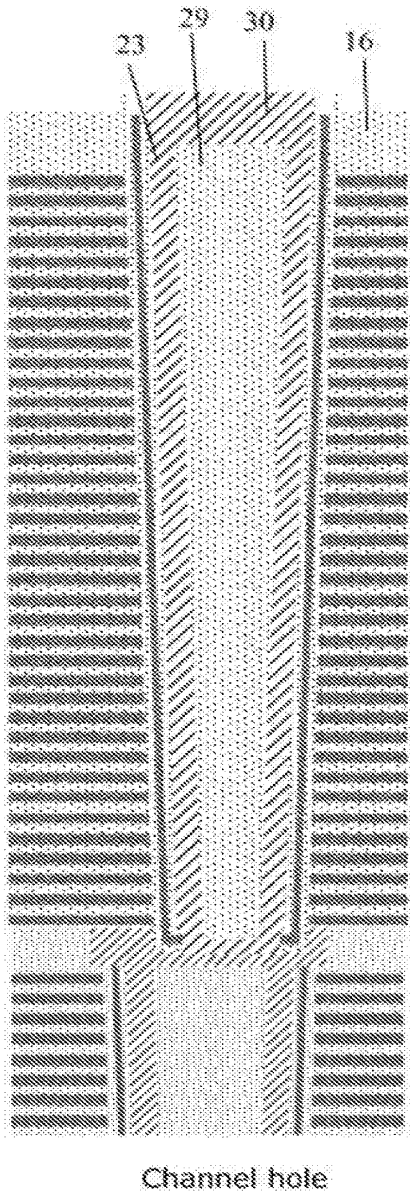


图20

Micron Ex. 1002, p. 626
Micron v. YMTC
IPR2025-00294

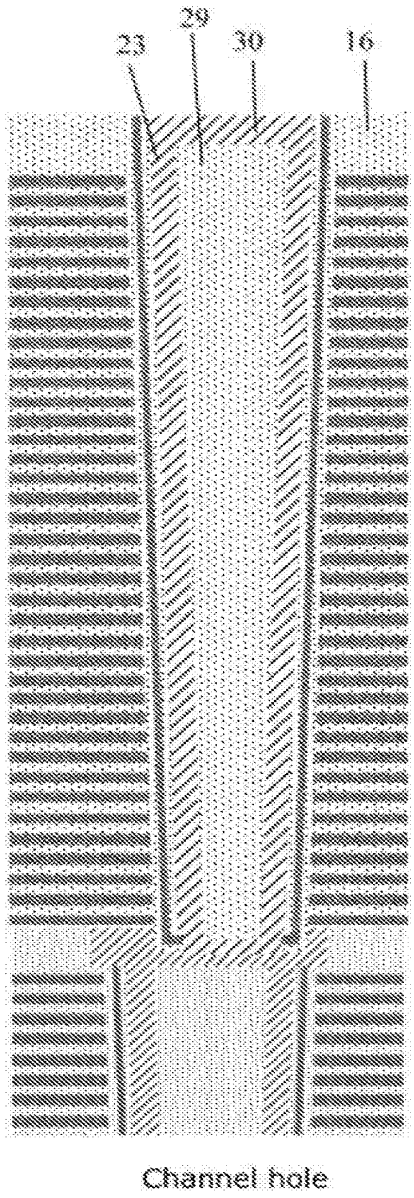


图21

Micron Ex. 1002, p. 627
Micron v. YMTC
IPR2025-00294

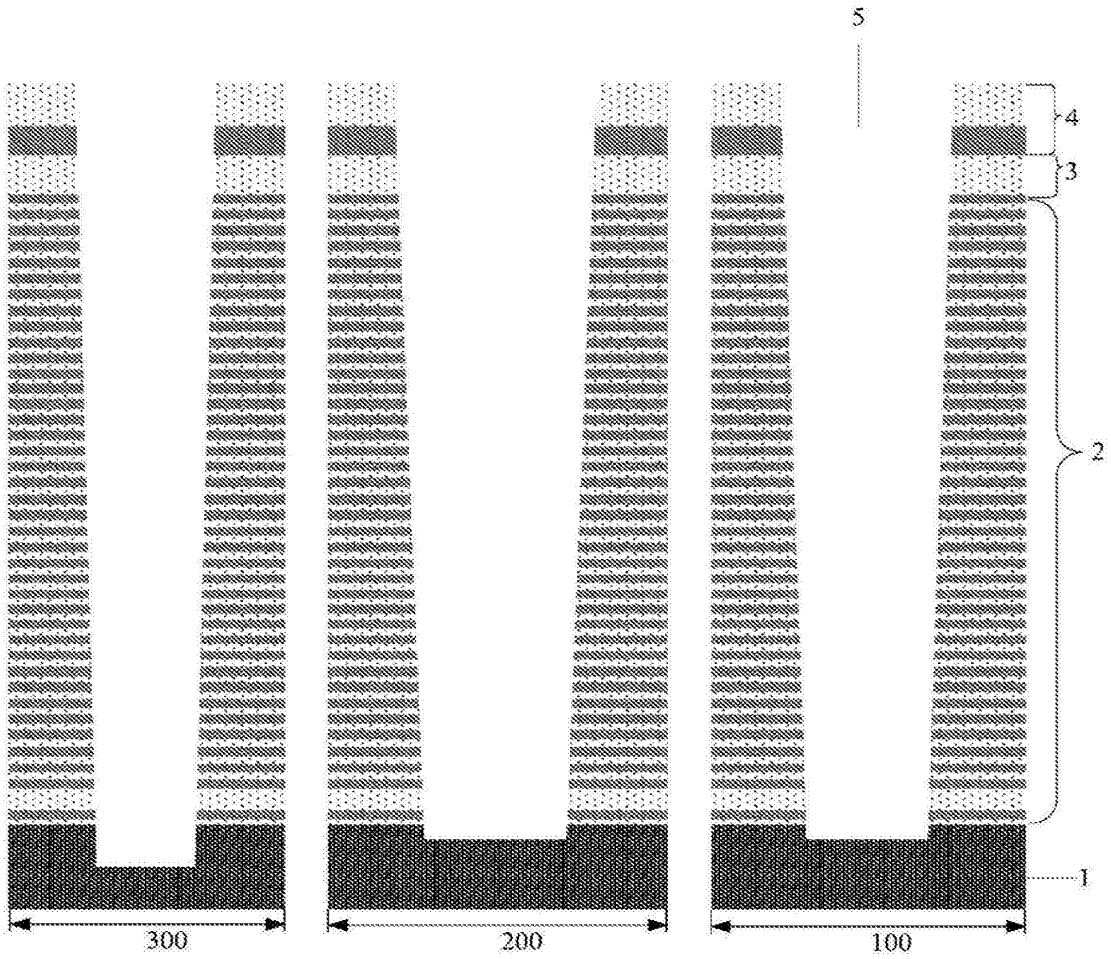


图22

Micron Ex. 1002, p. 628
Micron v. YMTC
IPR2025-00294

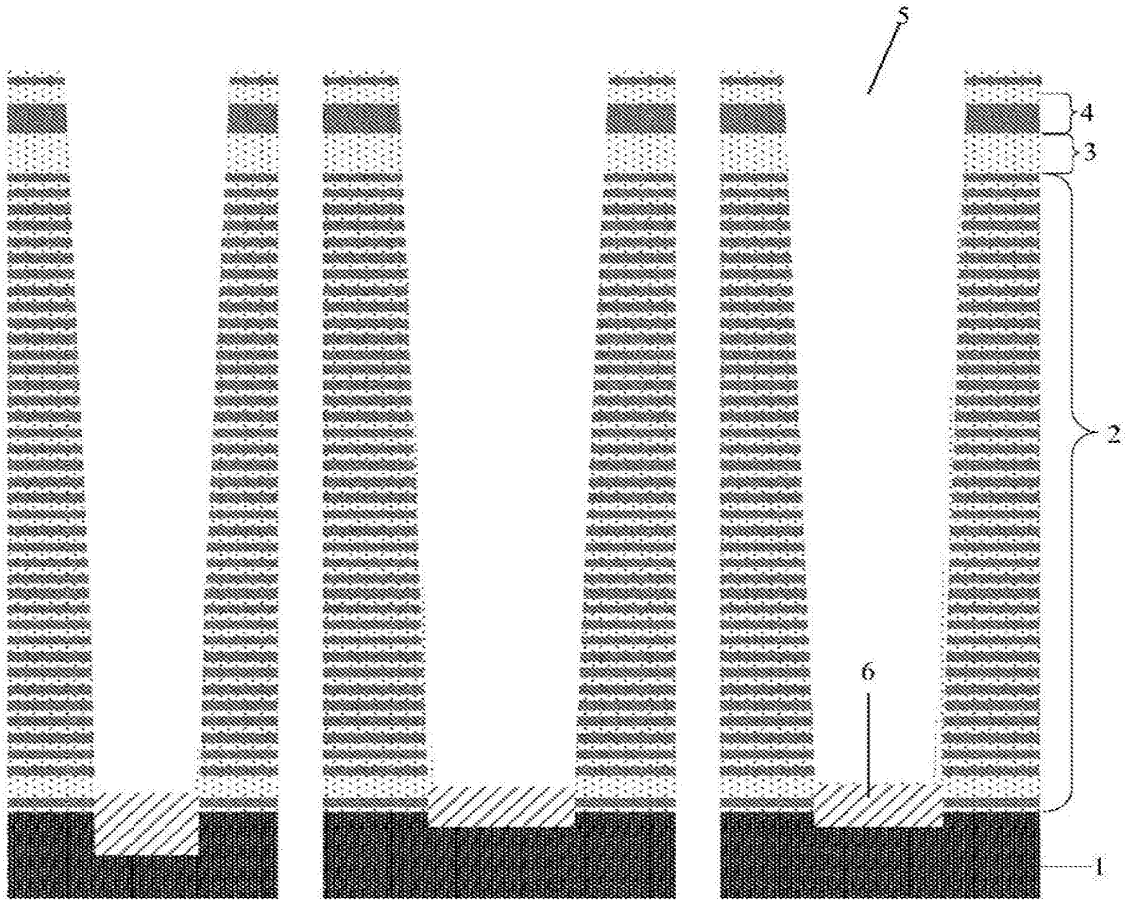


图23

Micron Ex. 1002, p. 629
Micron v. YMTC
IPR2025-00294

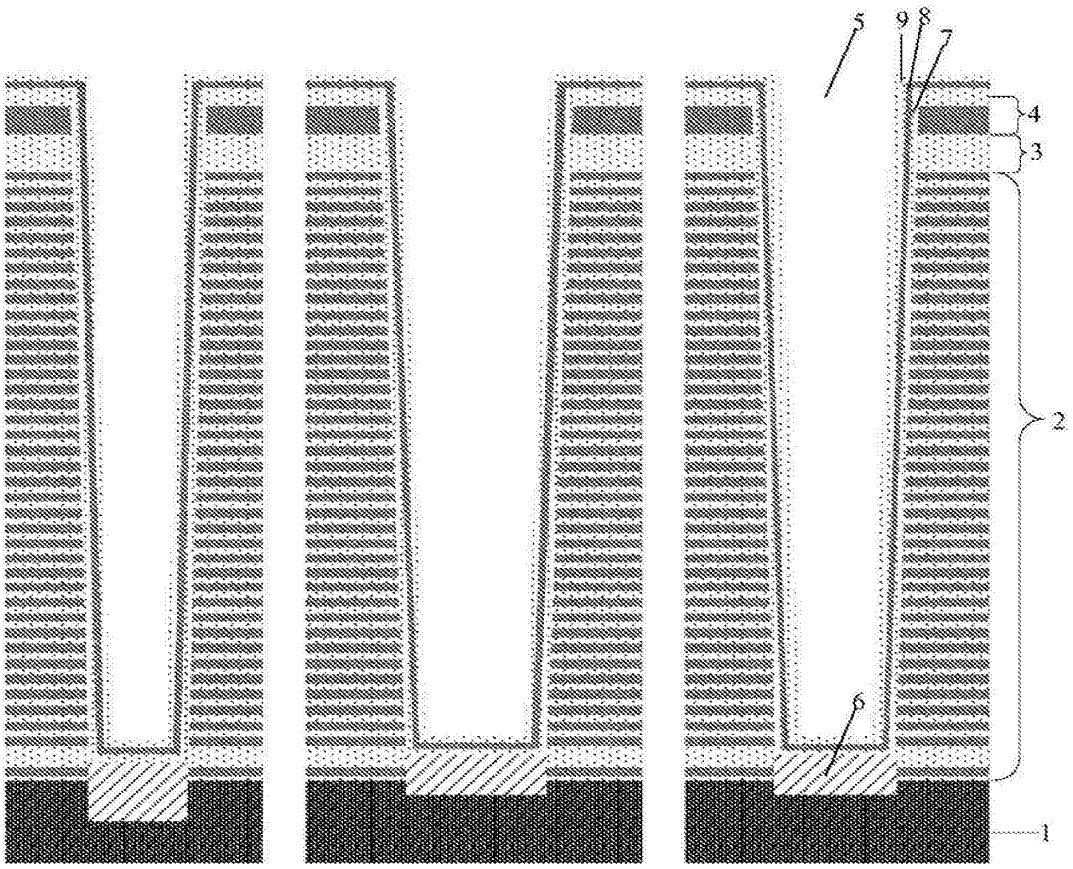


图24

Micron Ex. 1002, p. 630
Micron v. YMTC
IPR2025-00294

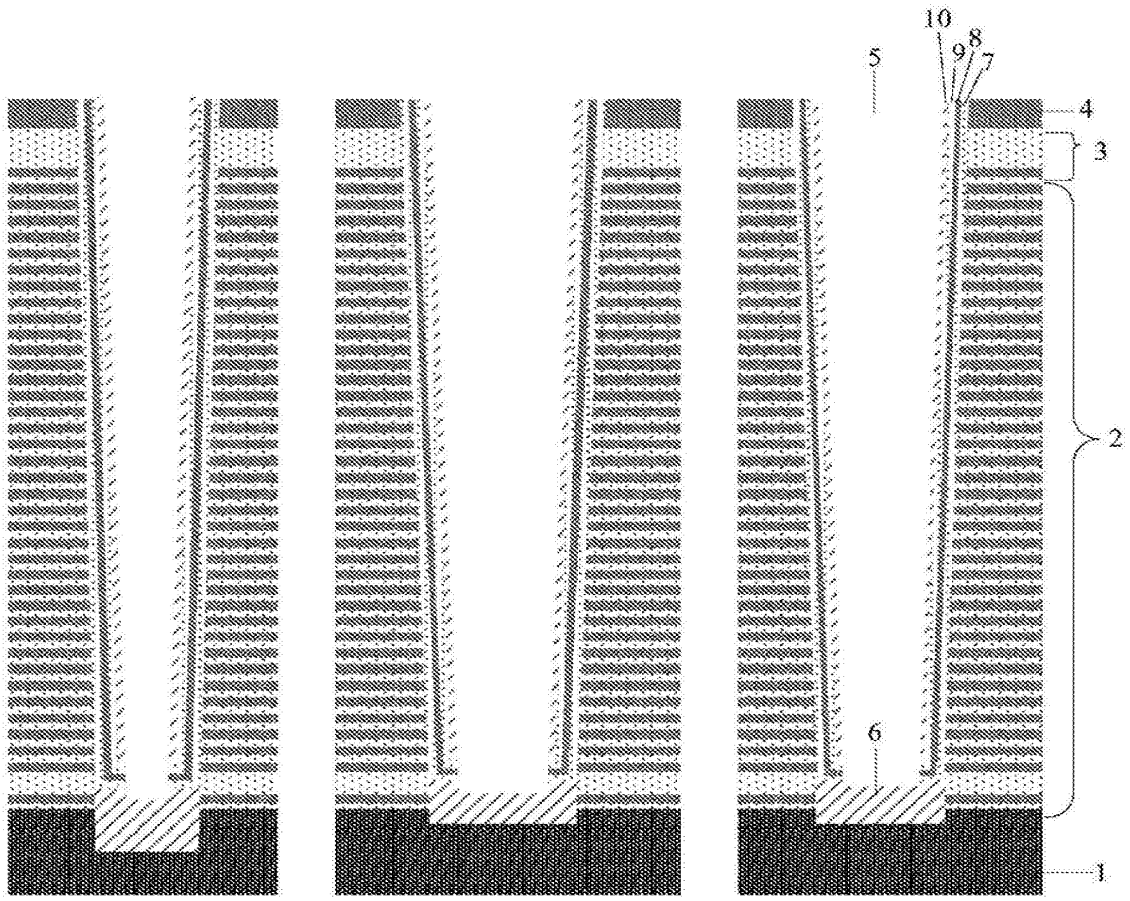


图25

Micron Ex. 1002, p. 631
Micron v. YMTC
IPR2025-00294

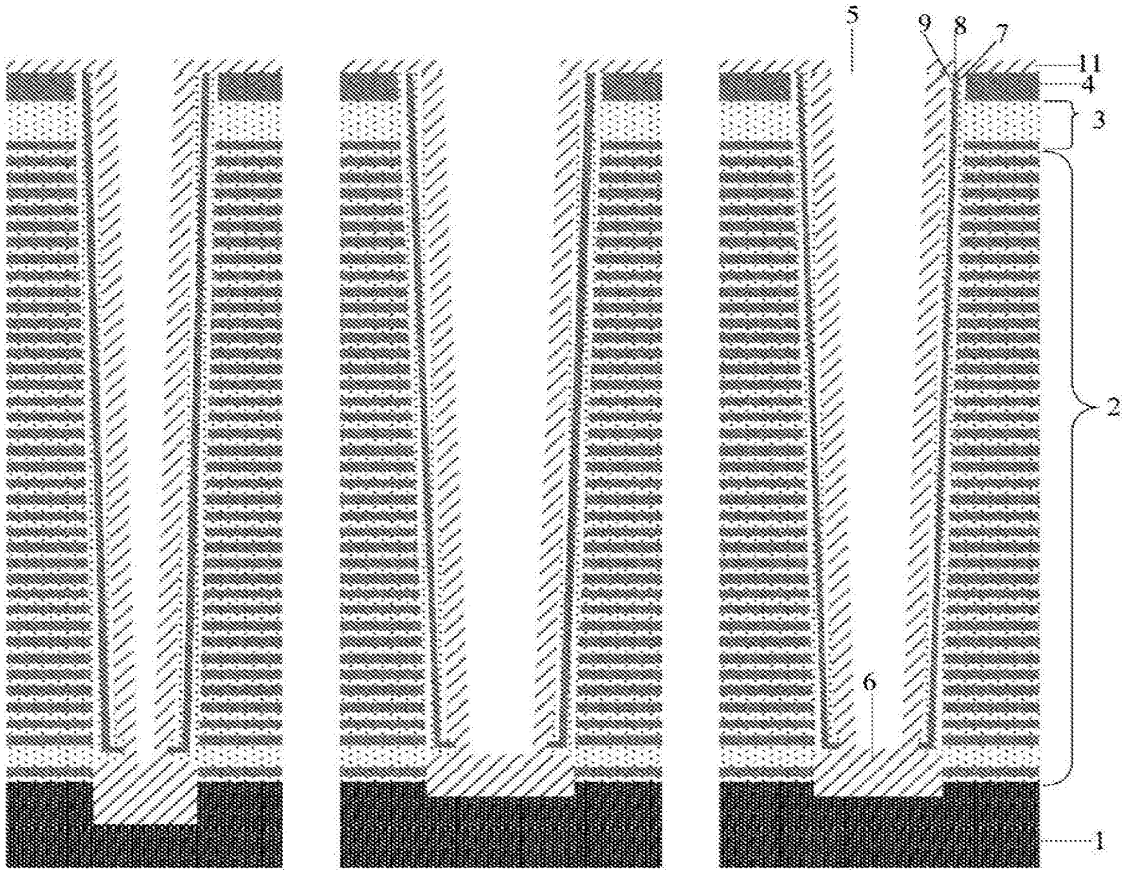


图26

Micron Ex. 1002, p. 632
Micron v. YMTC
IPR2025-00294

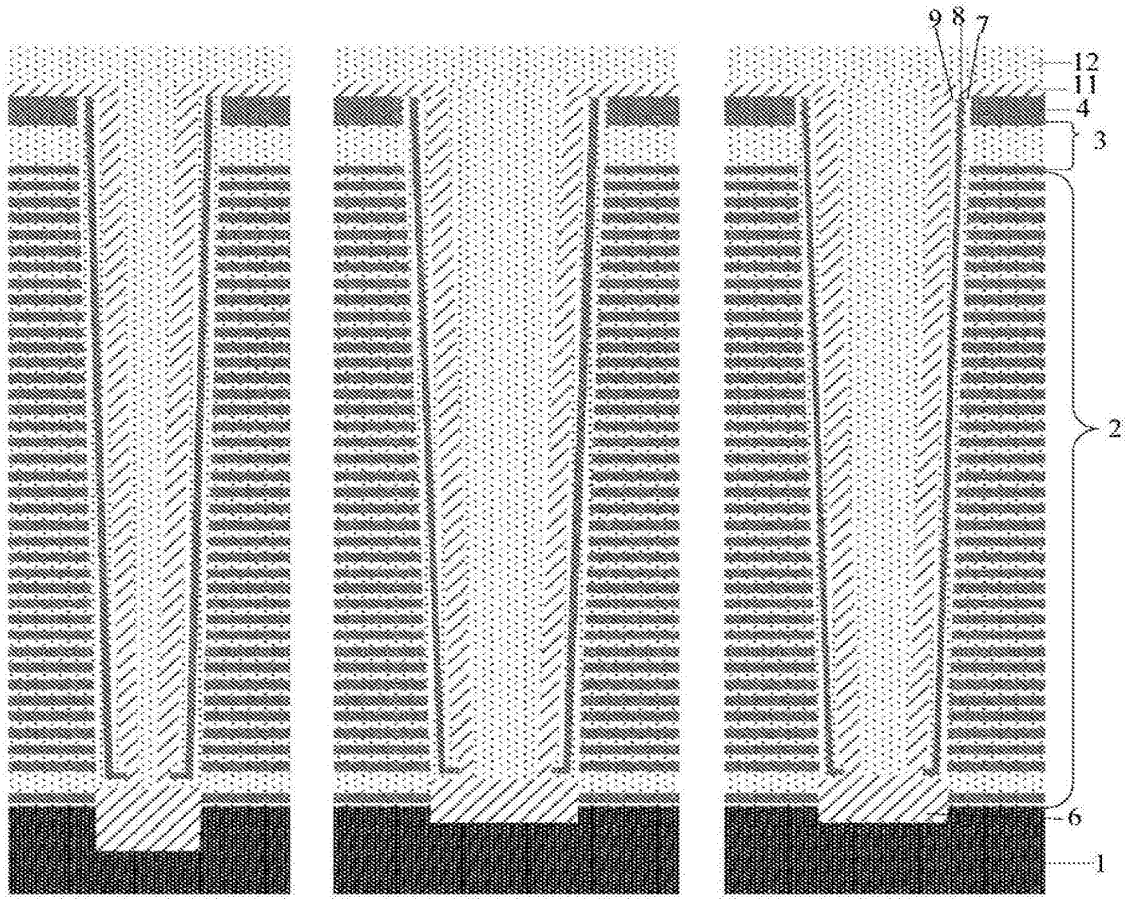


图27

Micron Ex. 1002, p. 633
Micron v. YMTC
IPR2025-00294

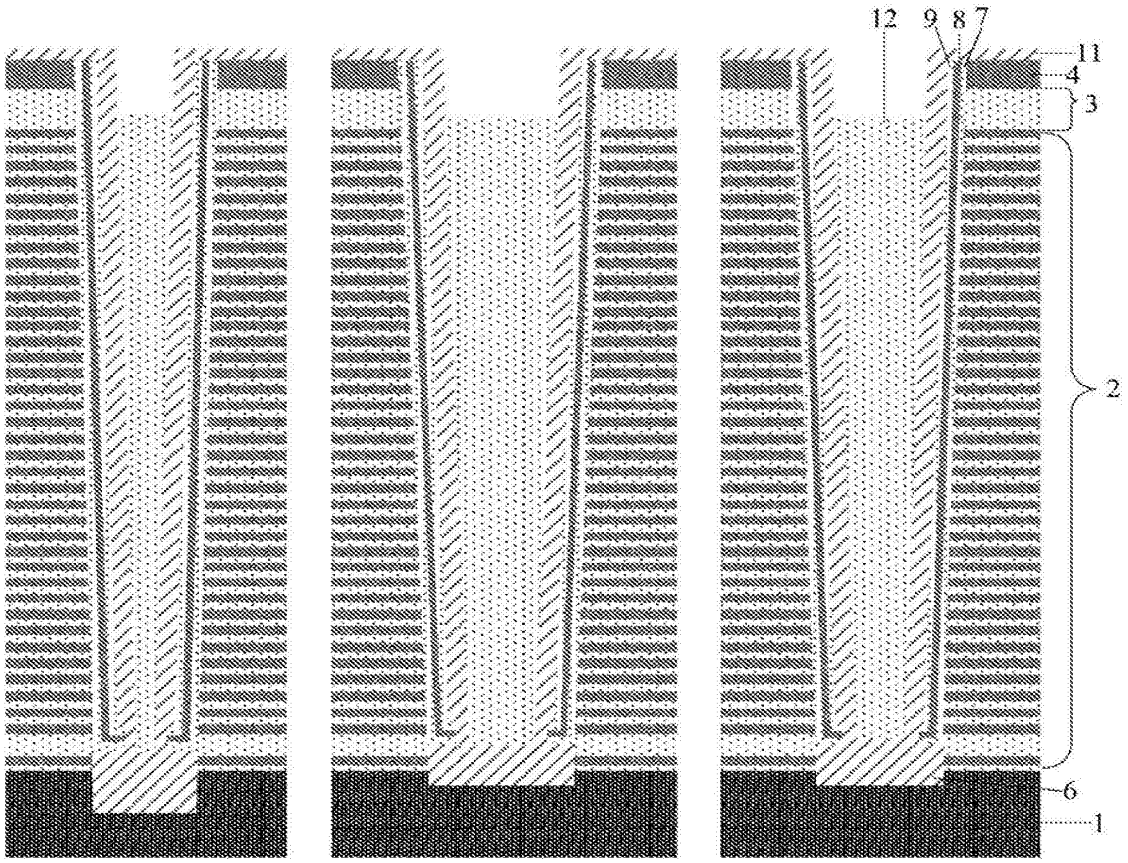


图28

Micron Ex. 1002, p. 634
Micron v. YMTC
IPR2025-00294

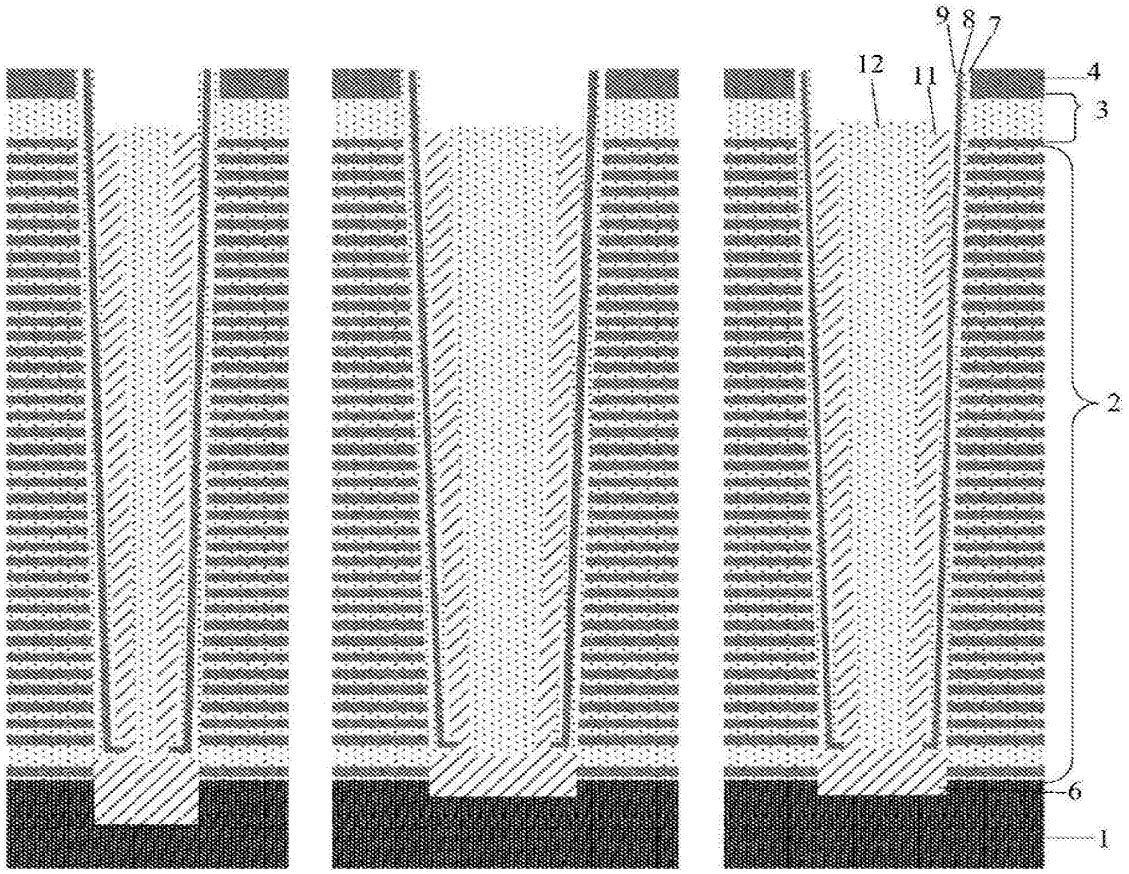


图29

Micron Ex. 1002, p. 635
Micron v. YMTC
IPR2025-00294

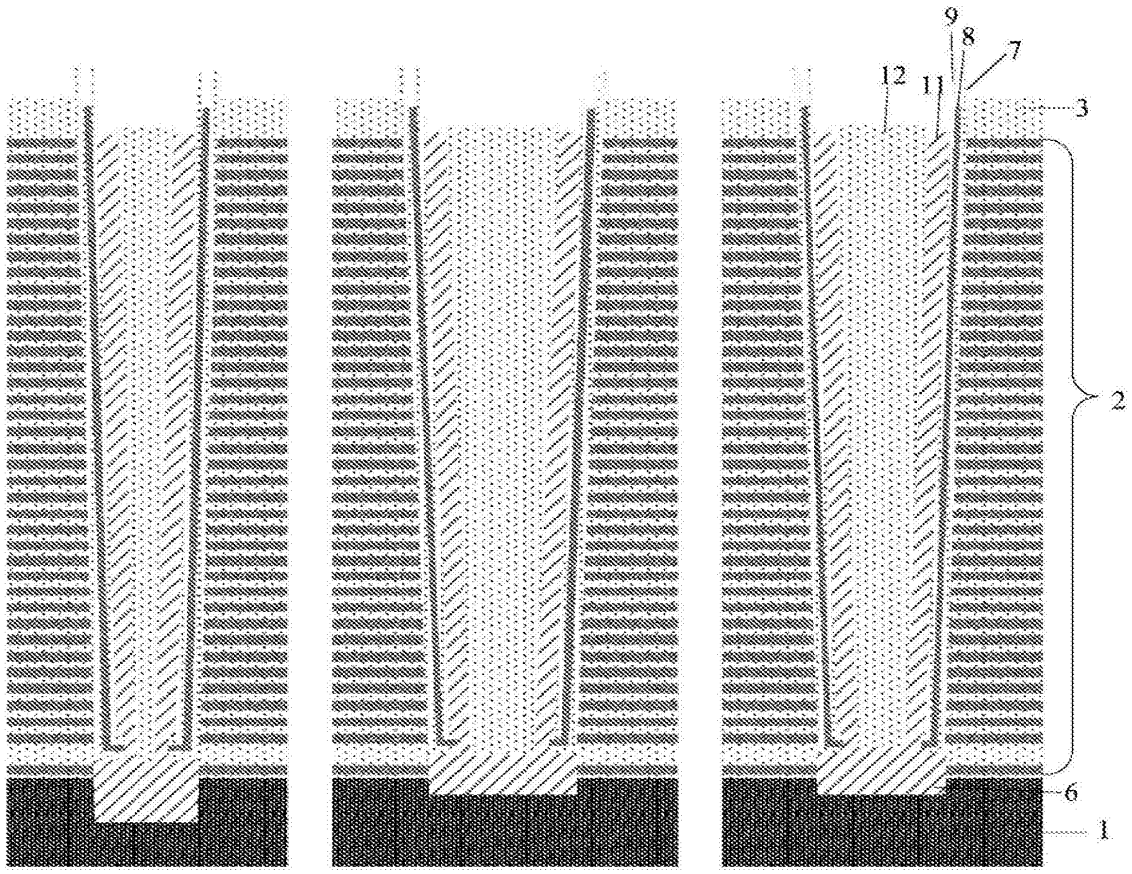


图30

Micron Ex. 1002, p. 636
Micron v. YMTC
IPR2025-00294

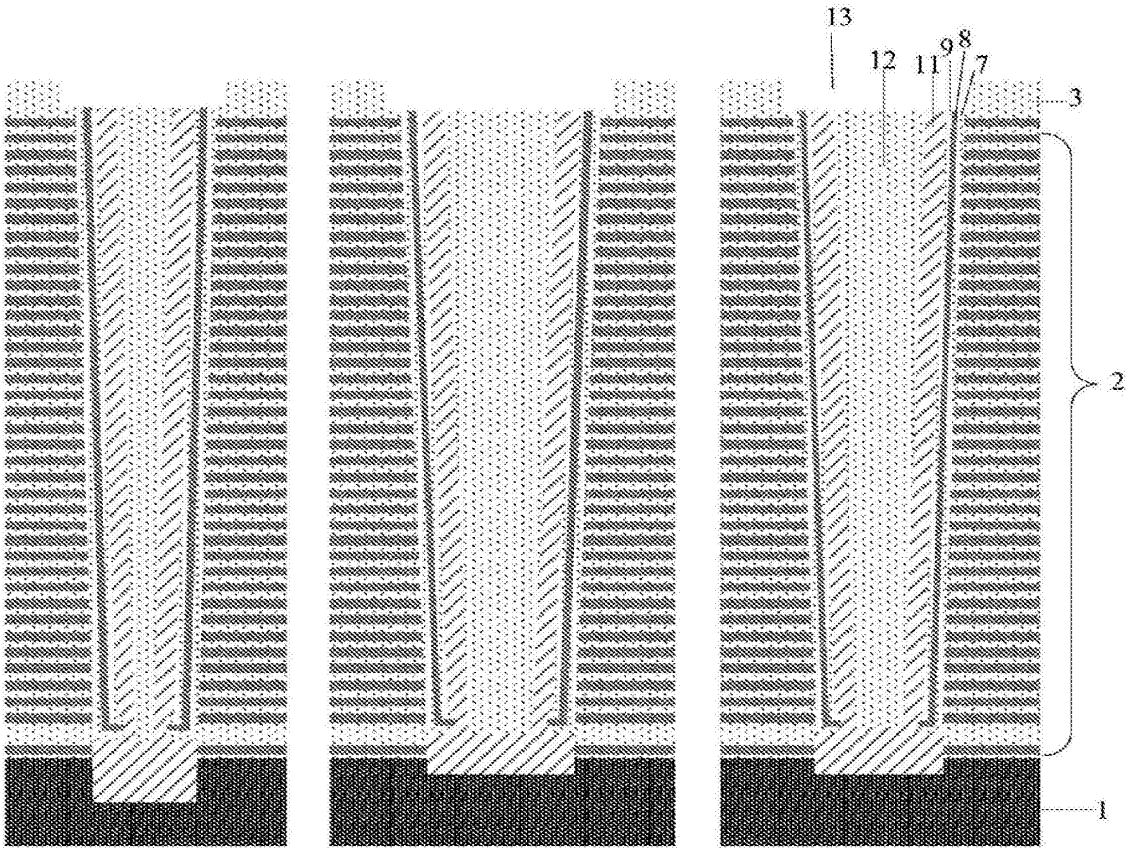


图31

Micron Ex. 1002, p. 637
Micron v. YMTC
IPR2025-00294

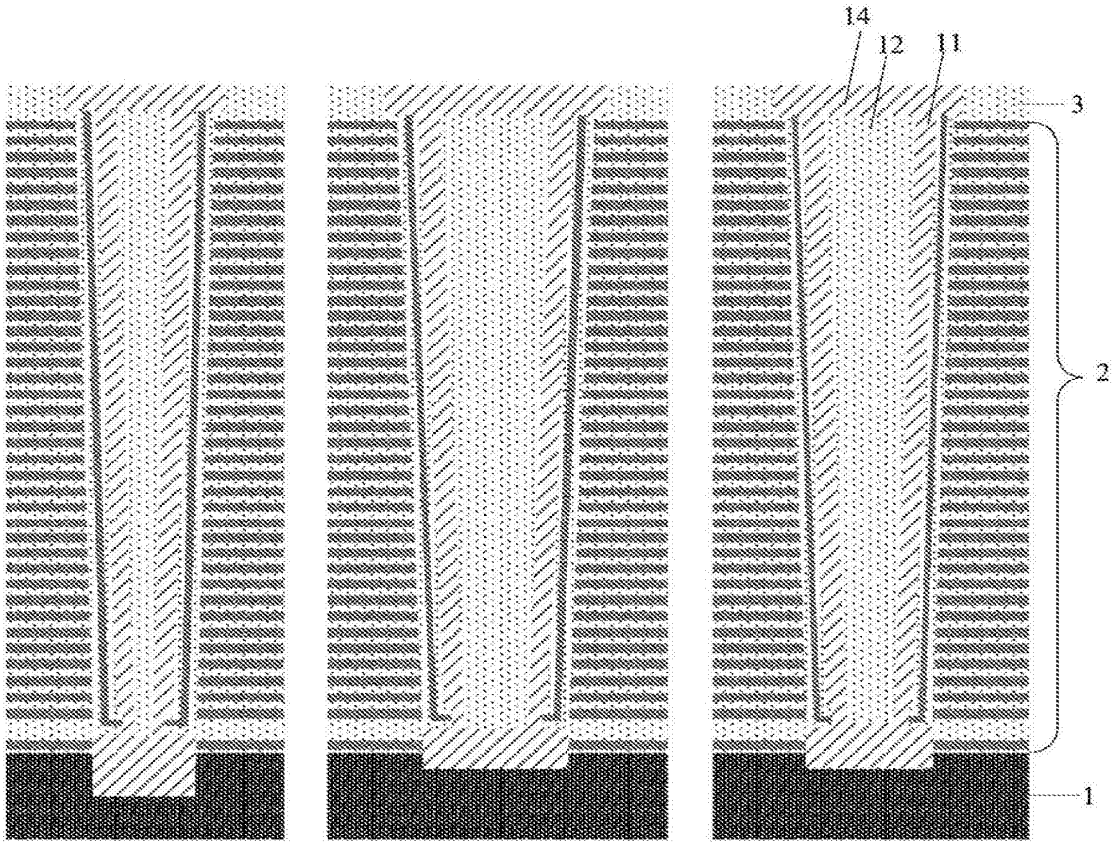


图32

Micron Ex. 1002, p. 638
Micron v. YMTC
IPR2025-00294

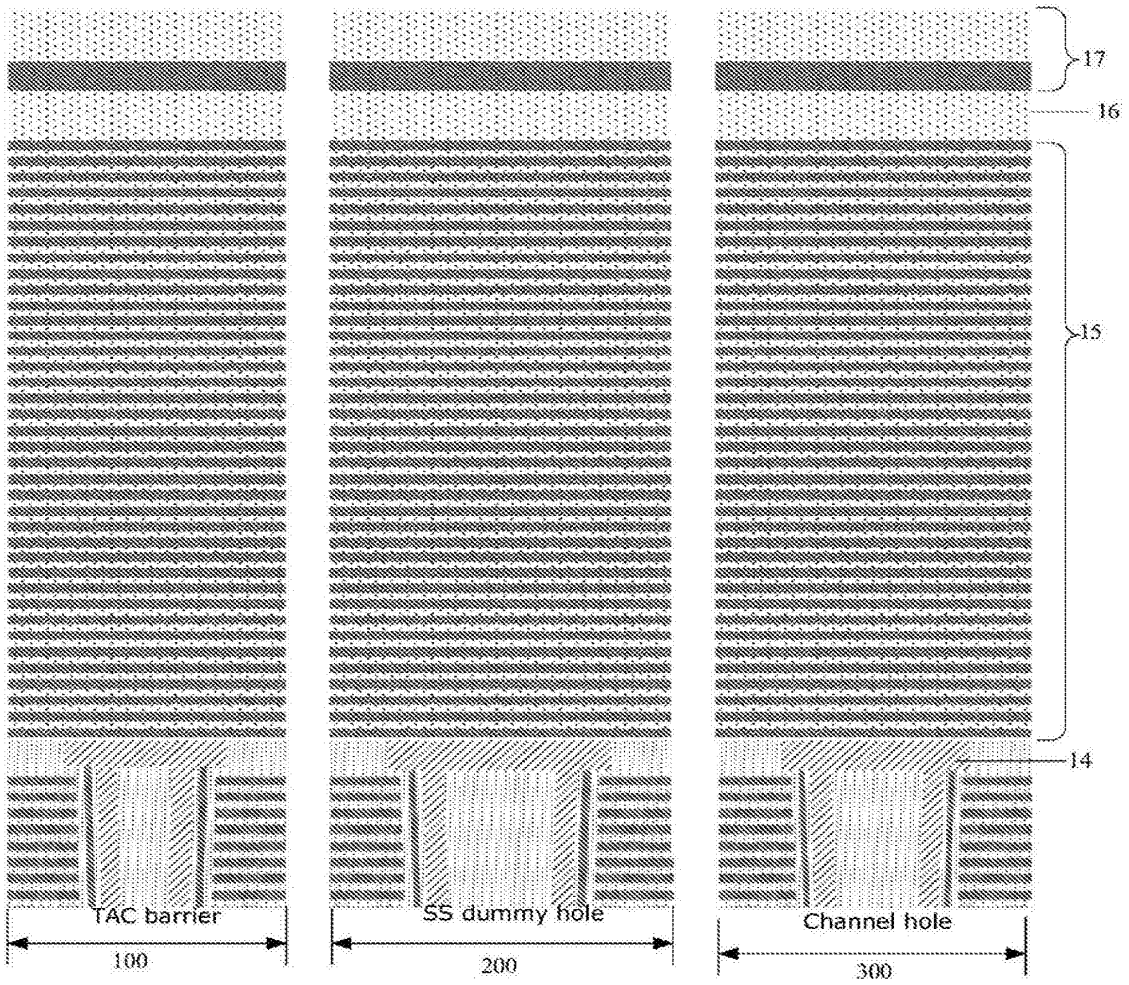


图33

Micron Ex. 1002, p. 639
Micron v. YMTC
IPR2025-00294

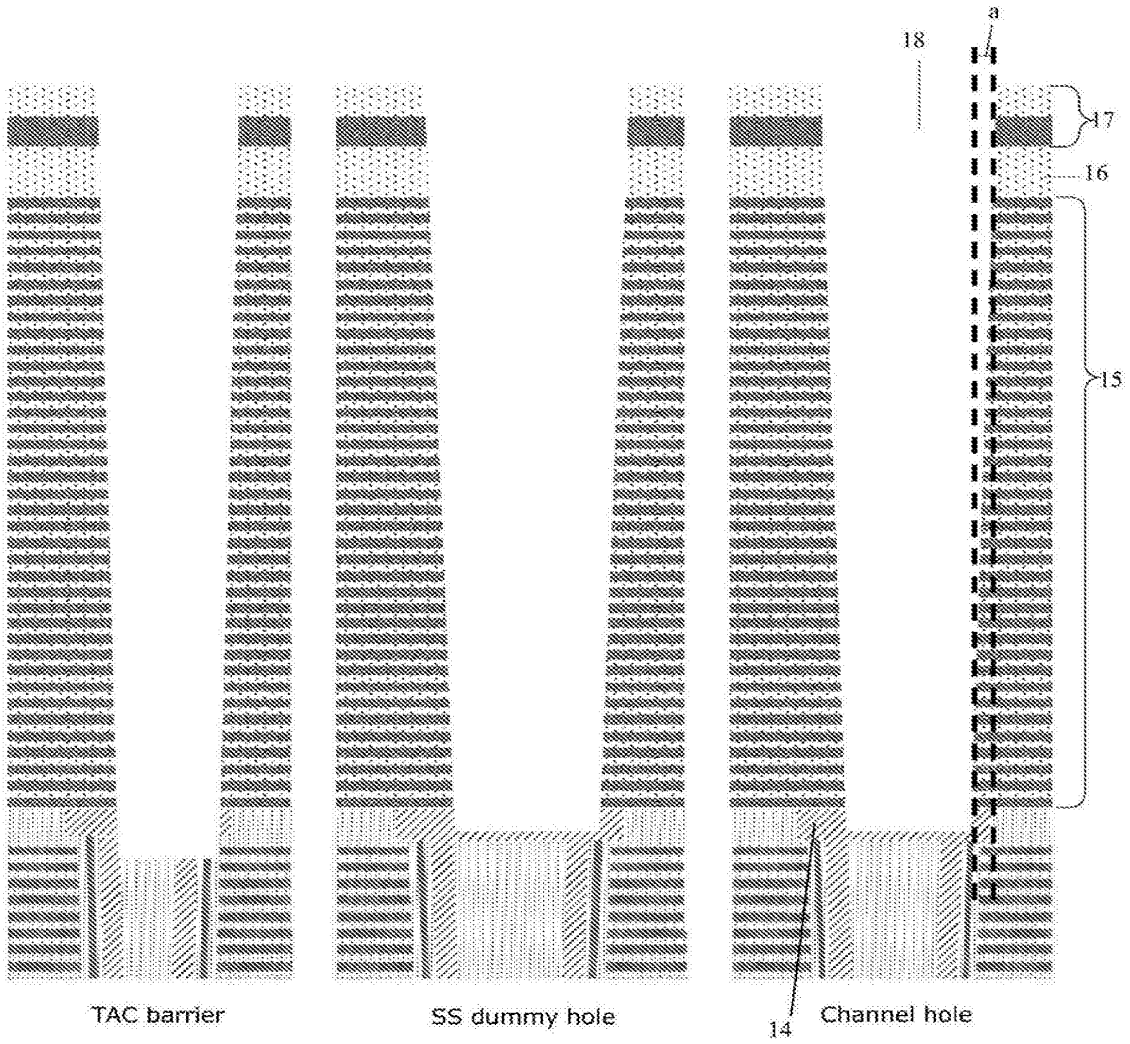


图34

Micron Ex. 1002, p. 640
Micron v. YMTC
IPR2025-00294

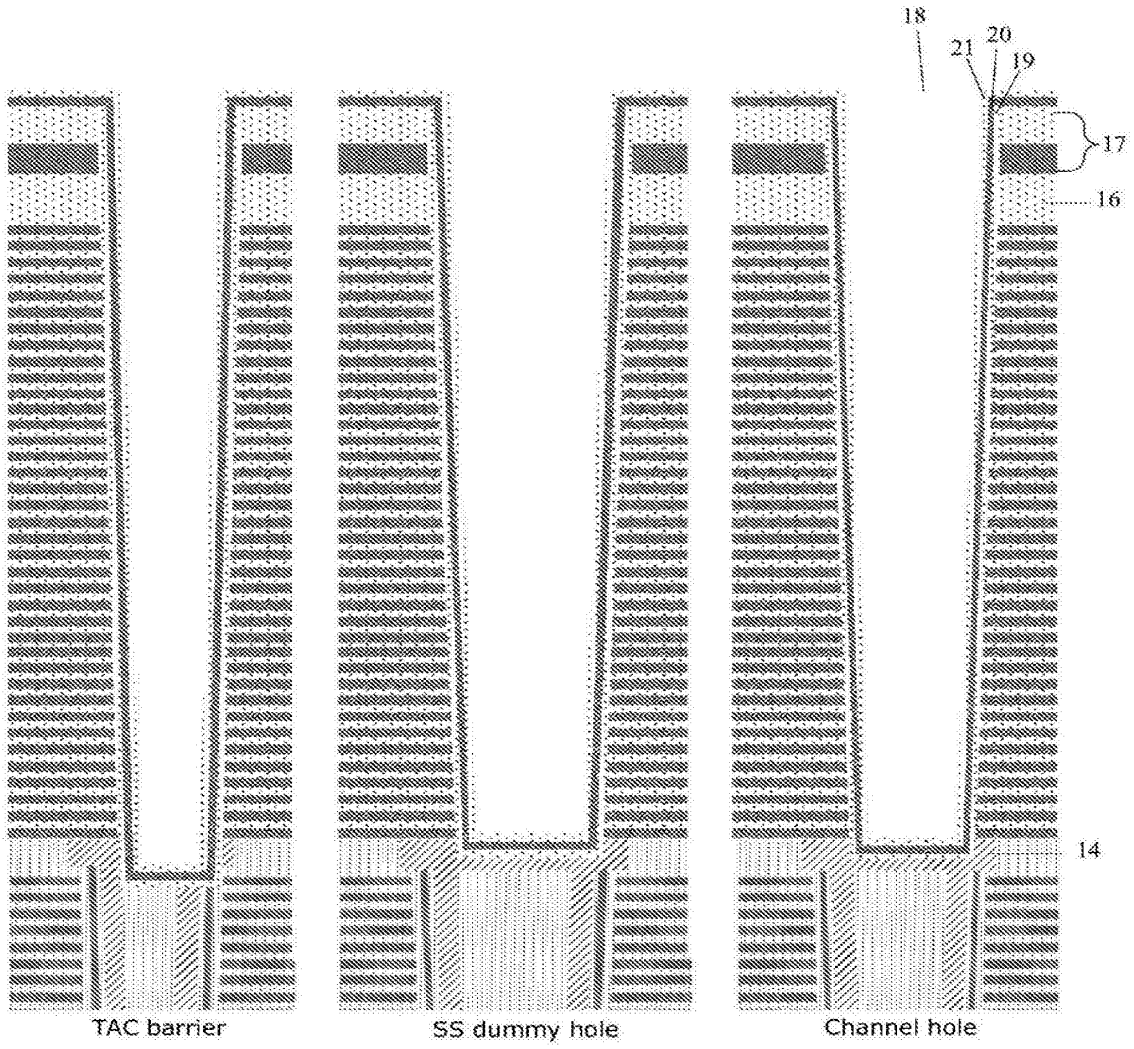


图35

Micron Ex. 1002, p. 641
Micron v. YMTC
IPR2025-00294

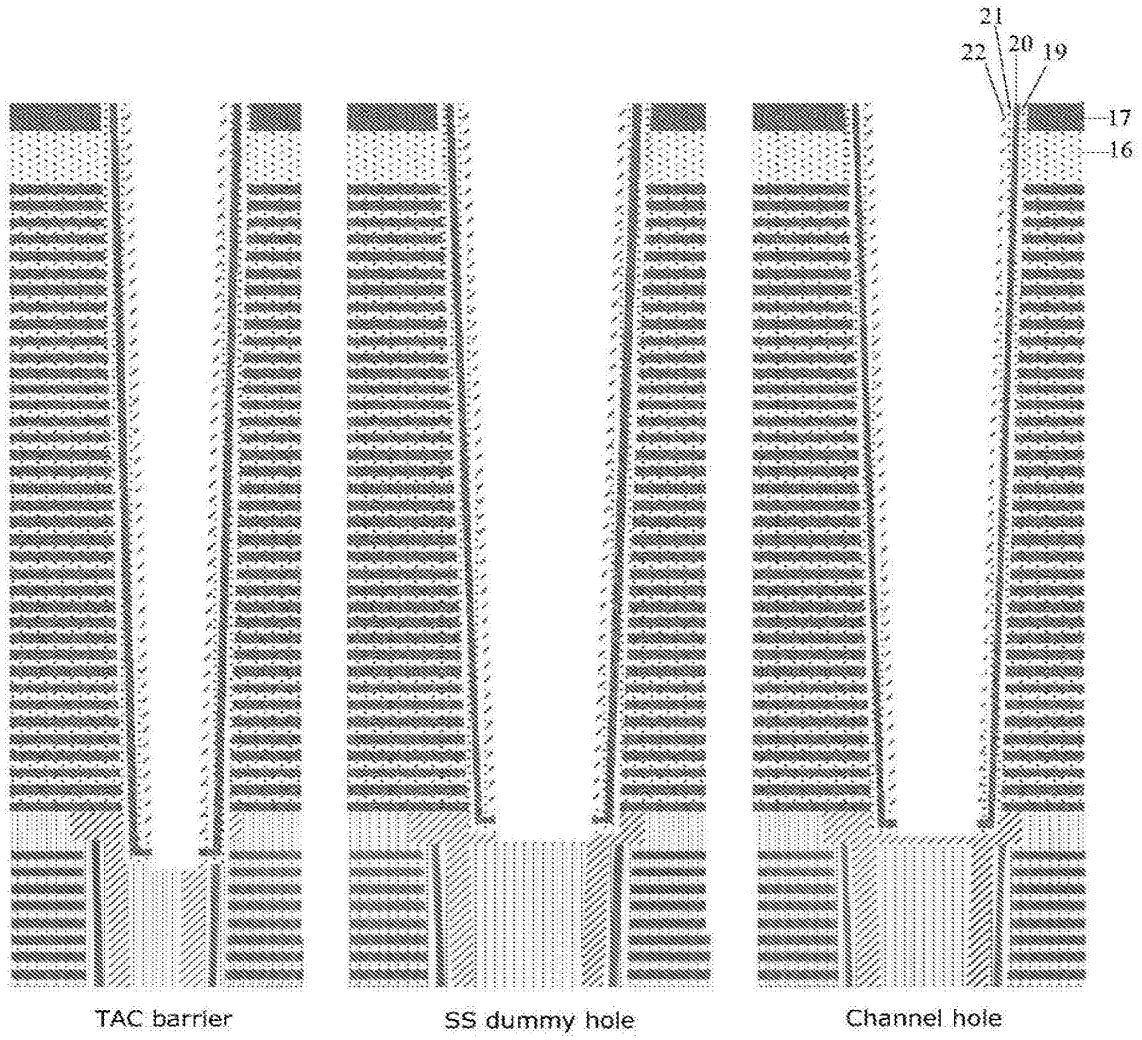


图36

Micron Ex. 1002, p. 642
Micron v. YMTC
IPR2025-00294

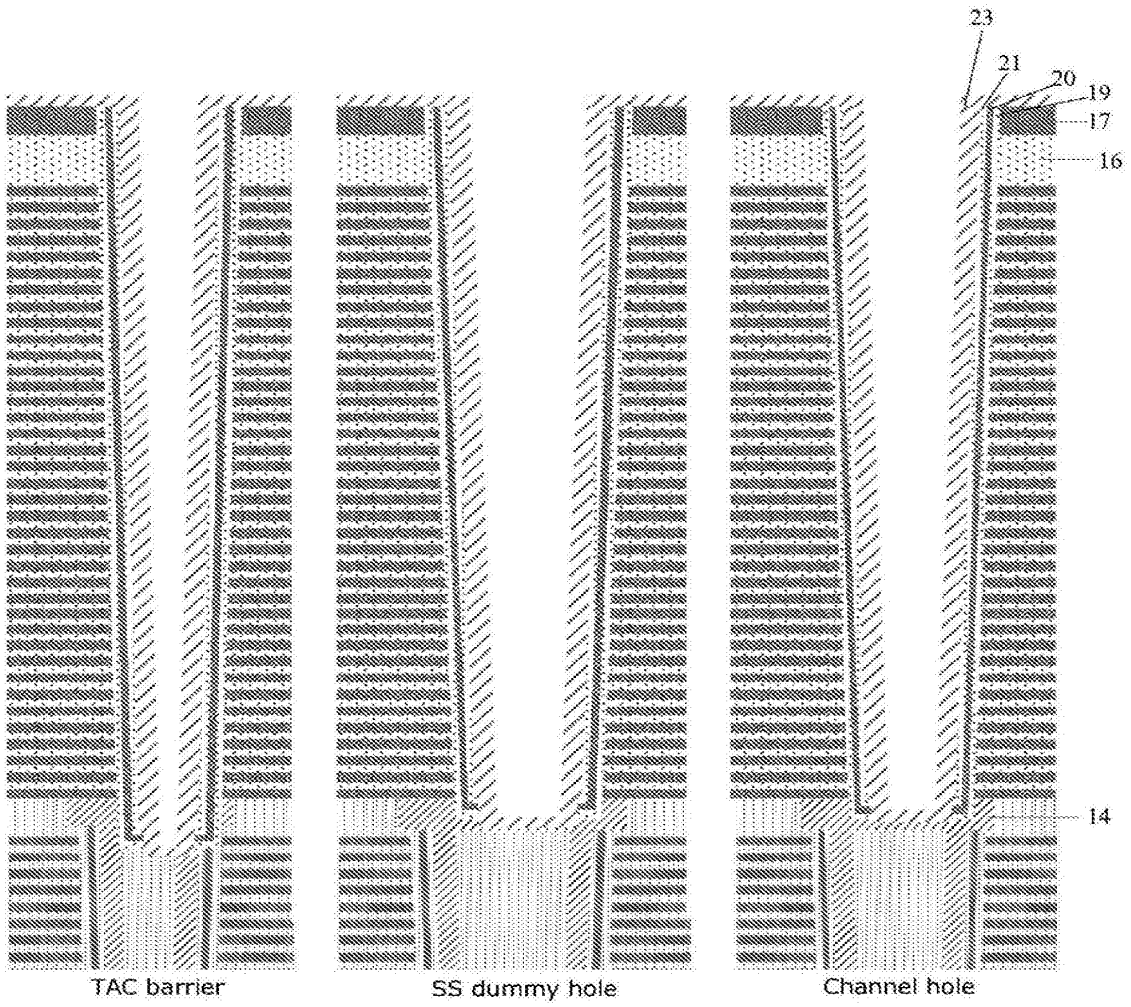


图37

Micron Ex. 1002, p. 643
Micron v. YMTC
IPR2025-00294

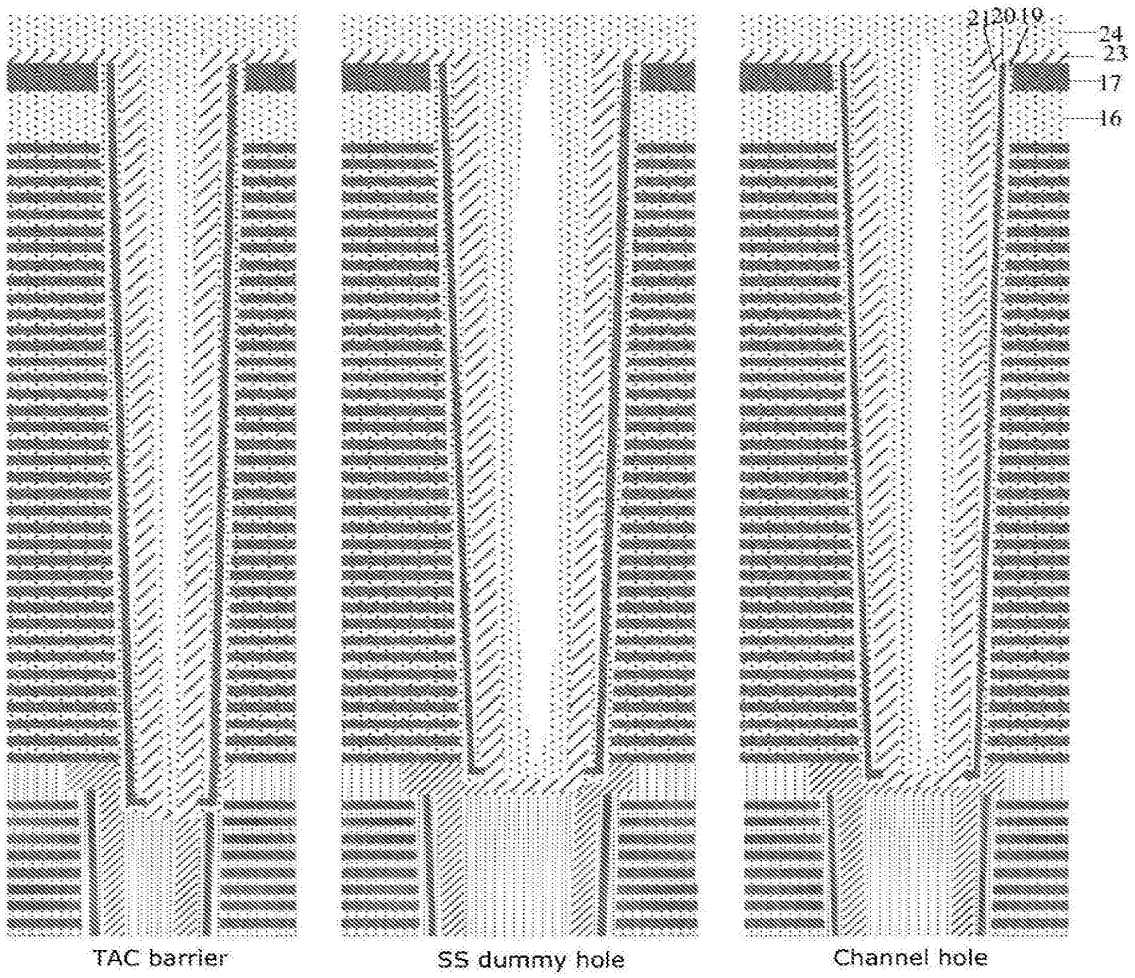


图38

Micron Ex. 1002, p. 644
Micron v. YMTC
IPR2025-00294

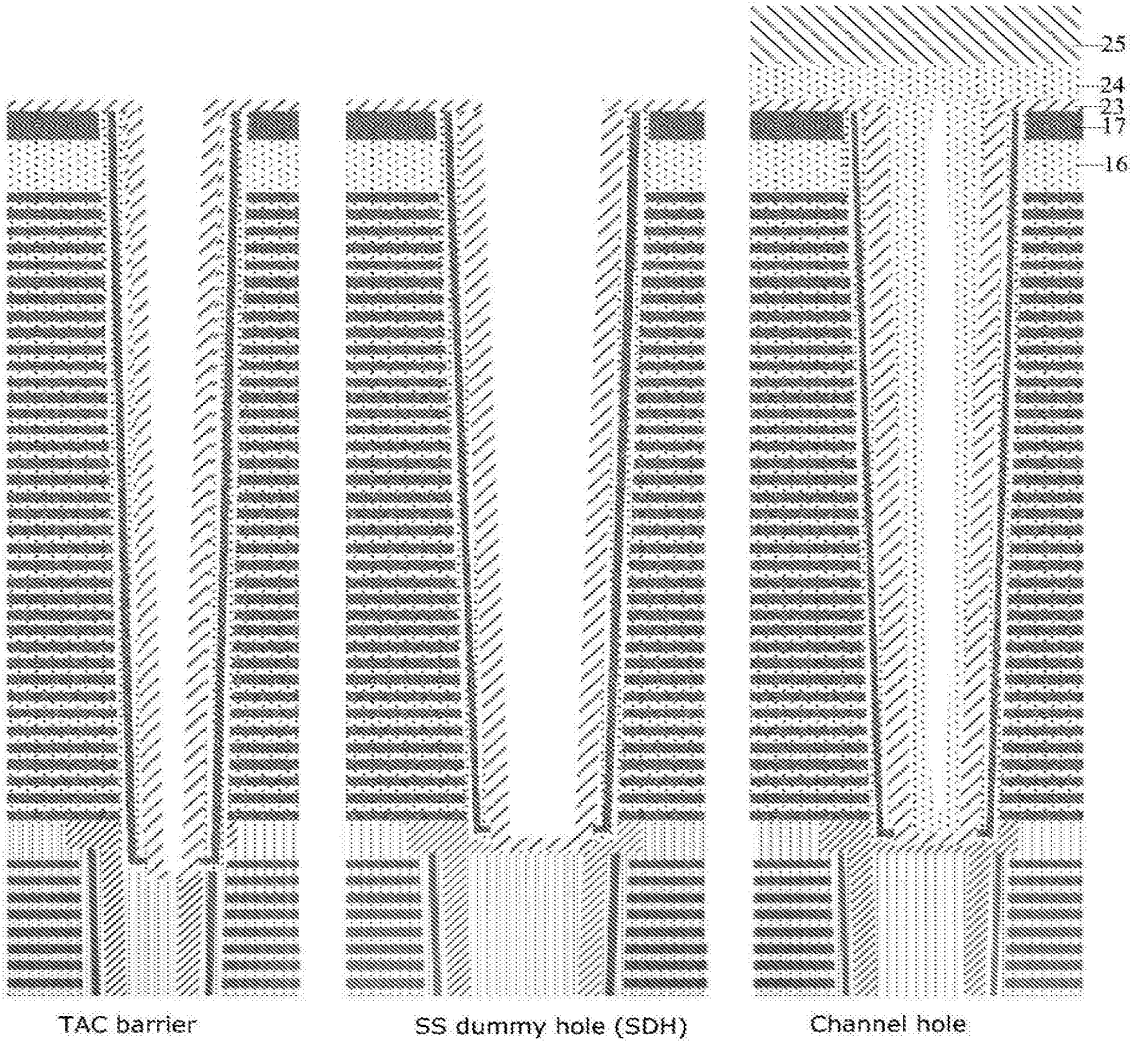


图39

Micron Ex. 1002, p. 645
Micron v. YMTC
IPR2025-00294

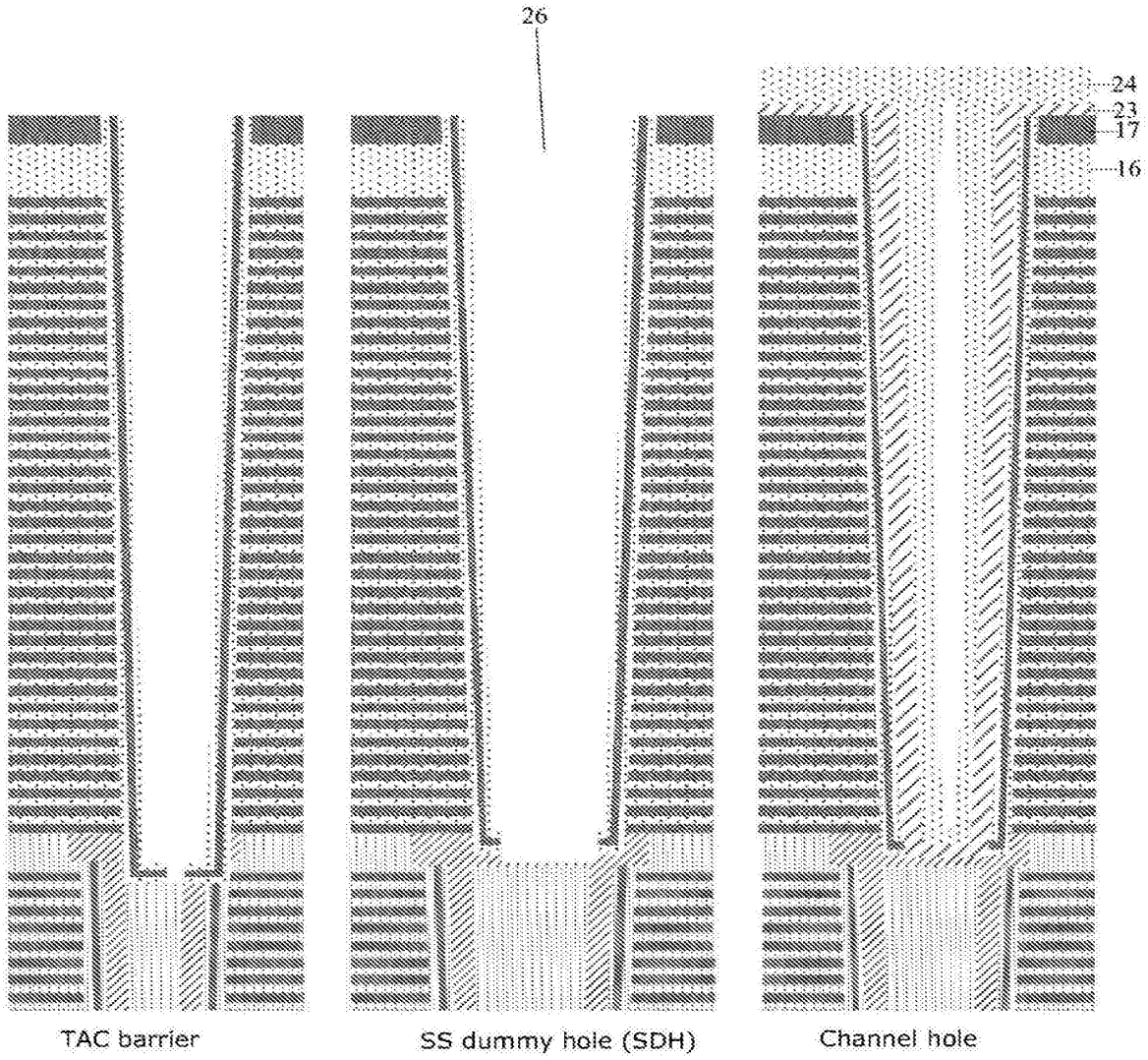


图40

Micron Ex. 1002, p. 646
Micron v. YMTC
IPR2025-00294

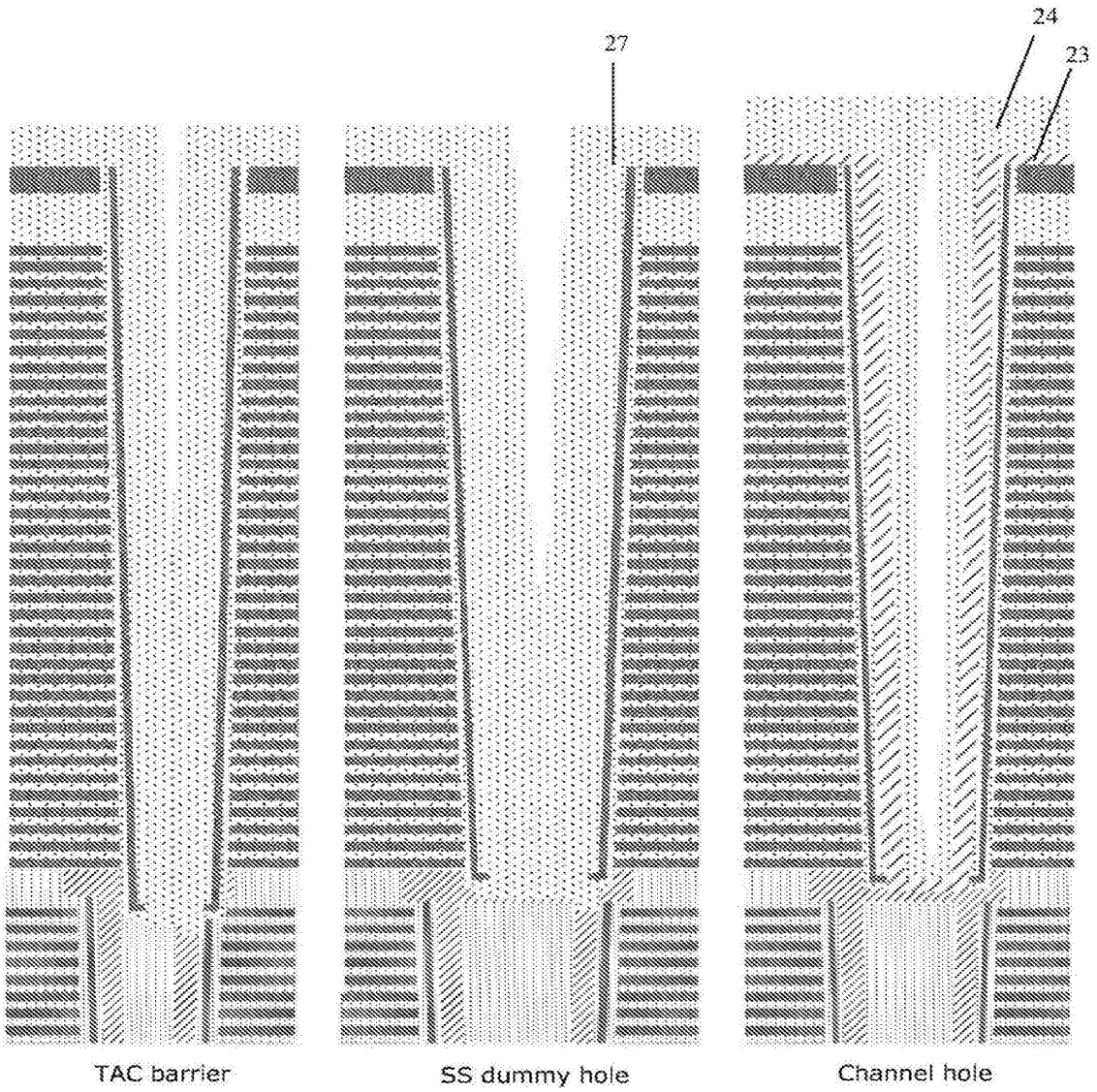


图41

Micron Ex. 1002, p. 647
Micron v. YMTC
IPR2025-00294

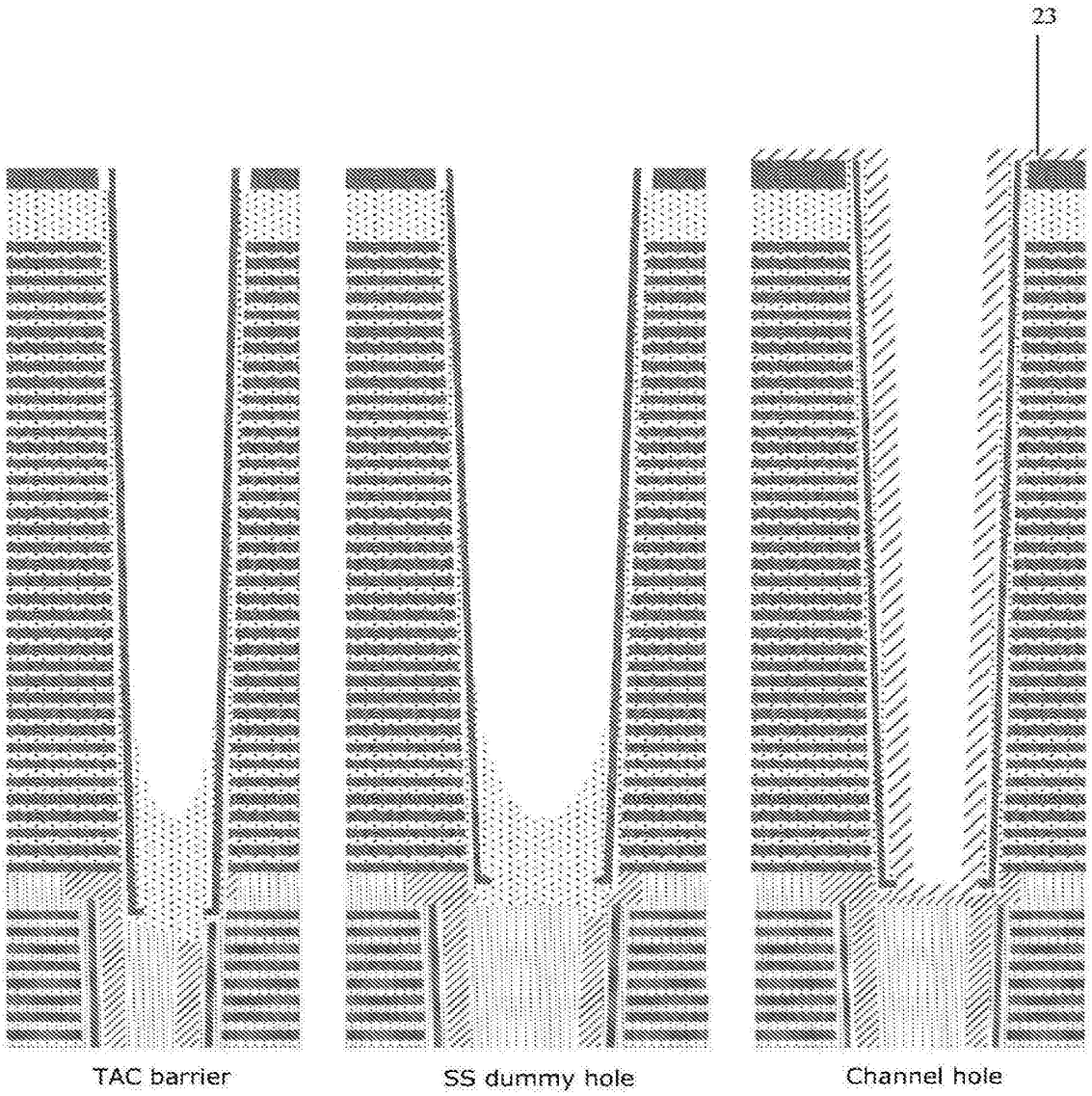


图42

Micron Ex. 1002, p. 648
Micron v. YMTC
IPR2025-00294

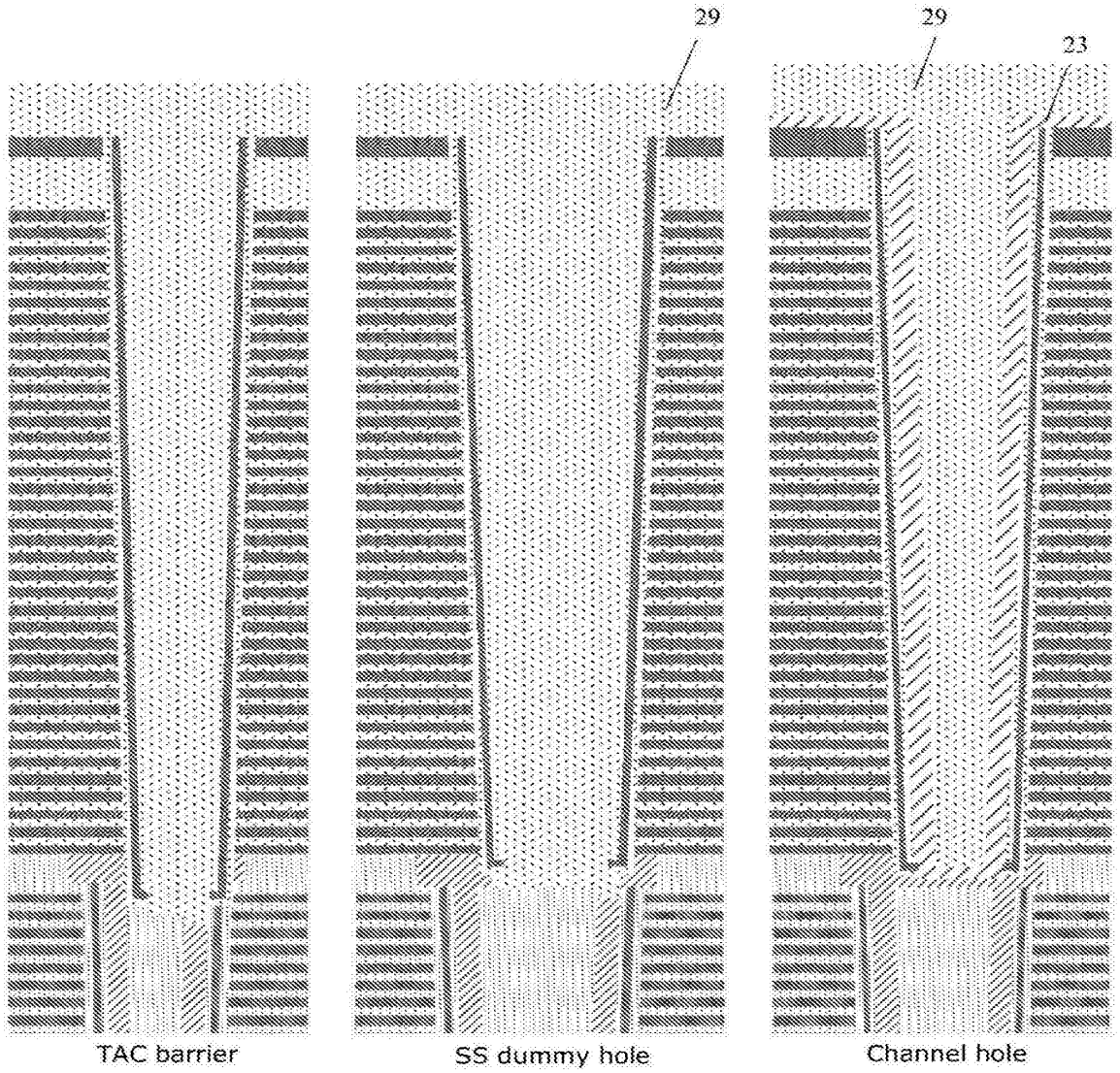


图43

Micron Ex. 1002, p. 649
Micron v. YMTC
IPR2025-00294

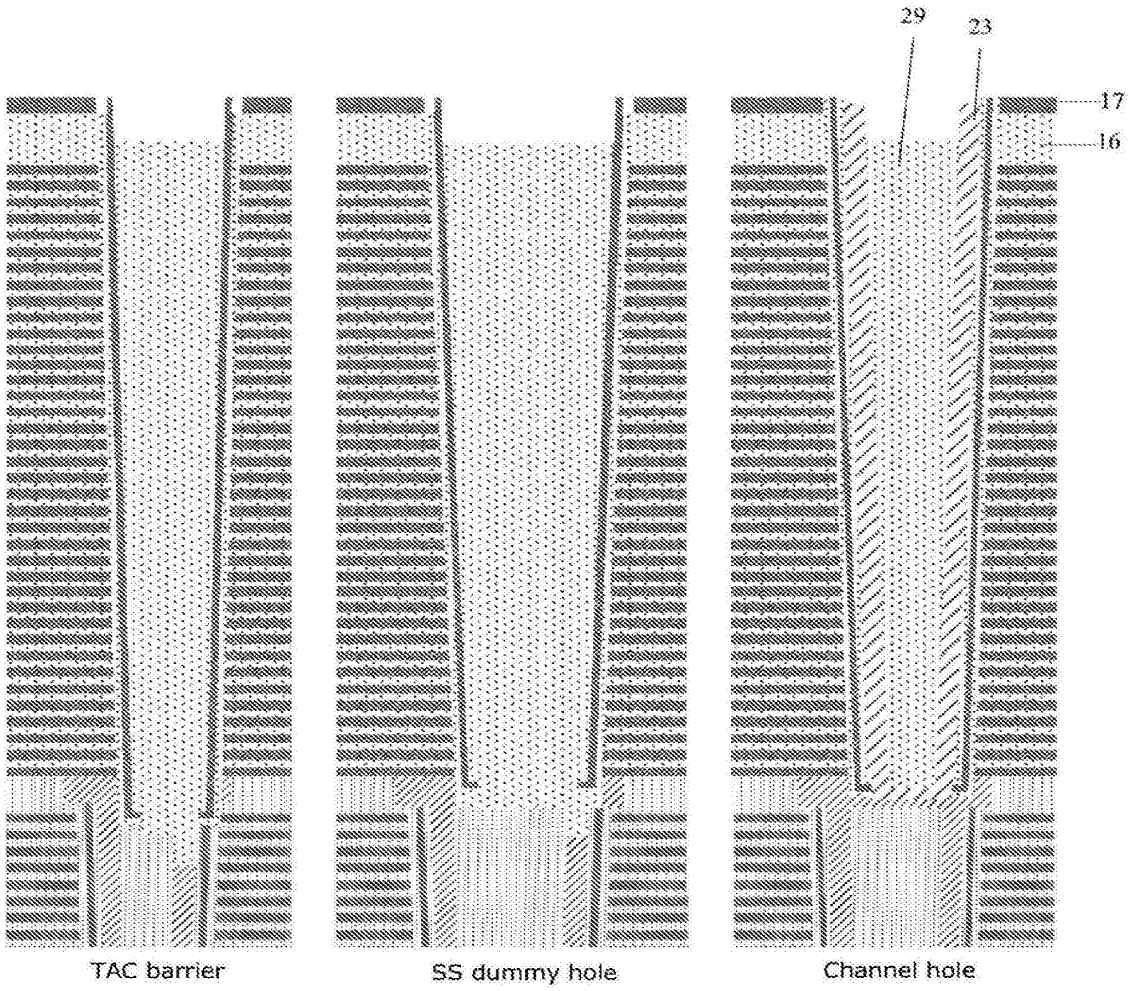


图44

Micron Ex. 1002, p. 650
Micron v. YMTC
IPR2025-00294

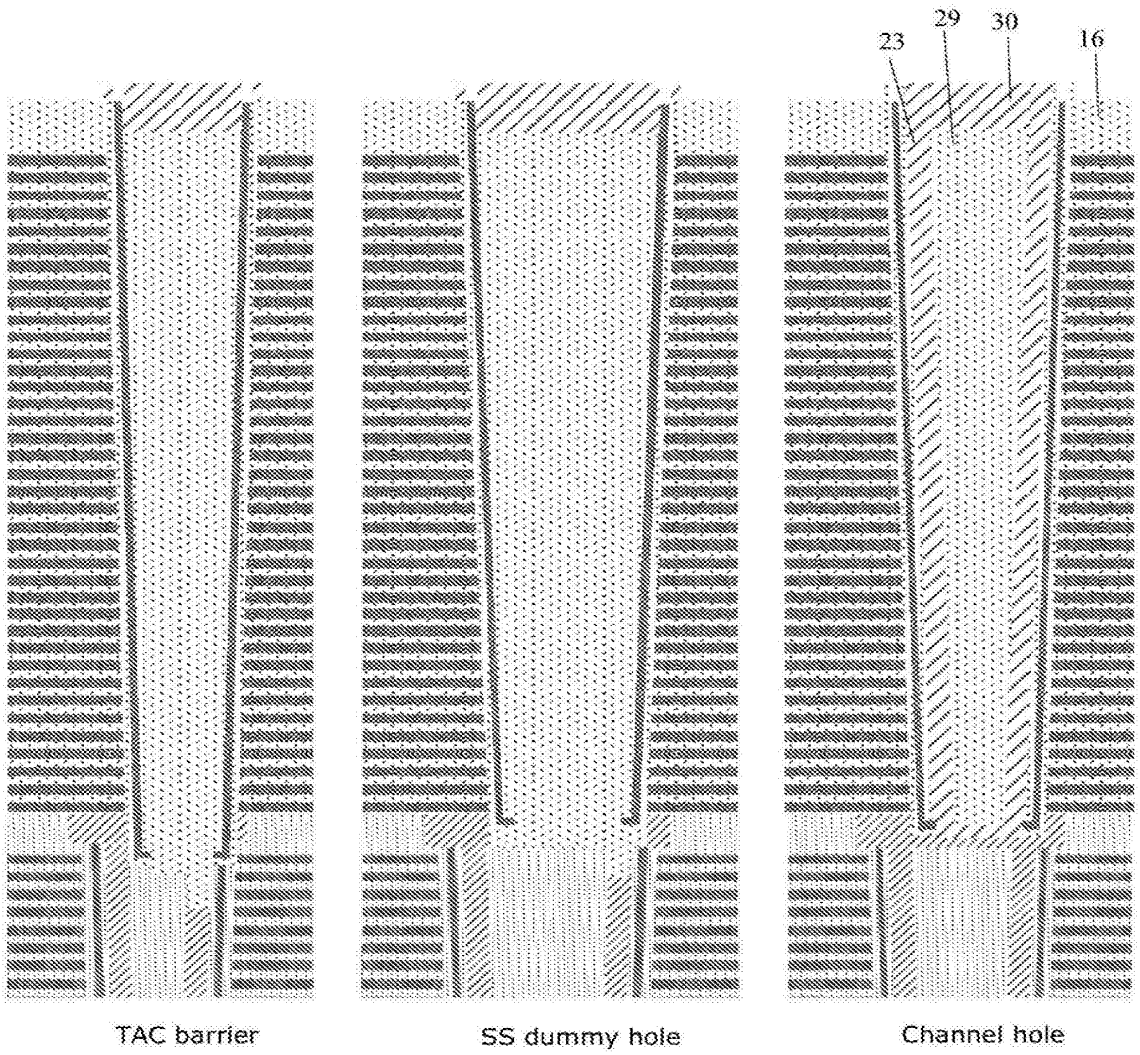


图45

Micron Ex. 1002, p. 651
Micron v. YMTC
IPR2025-00294

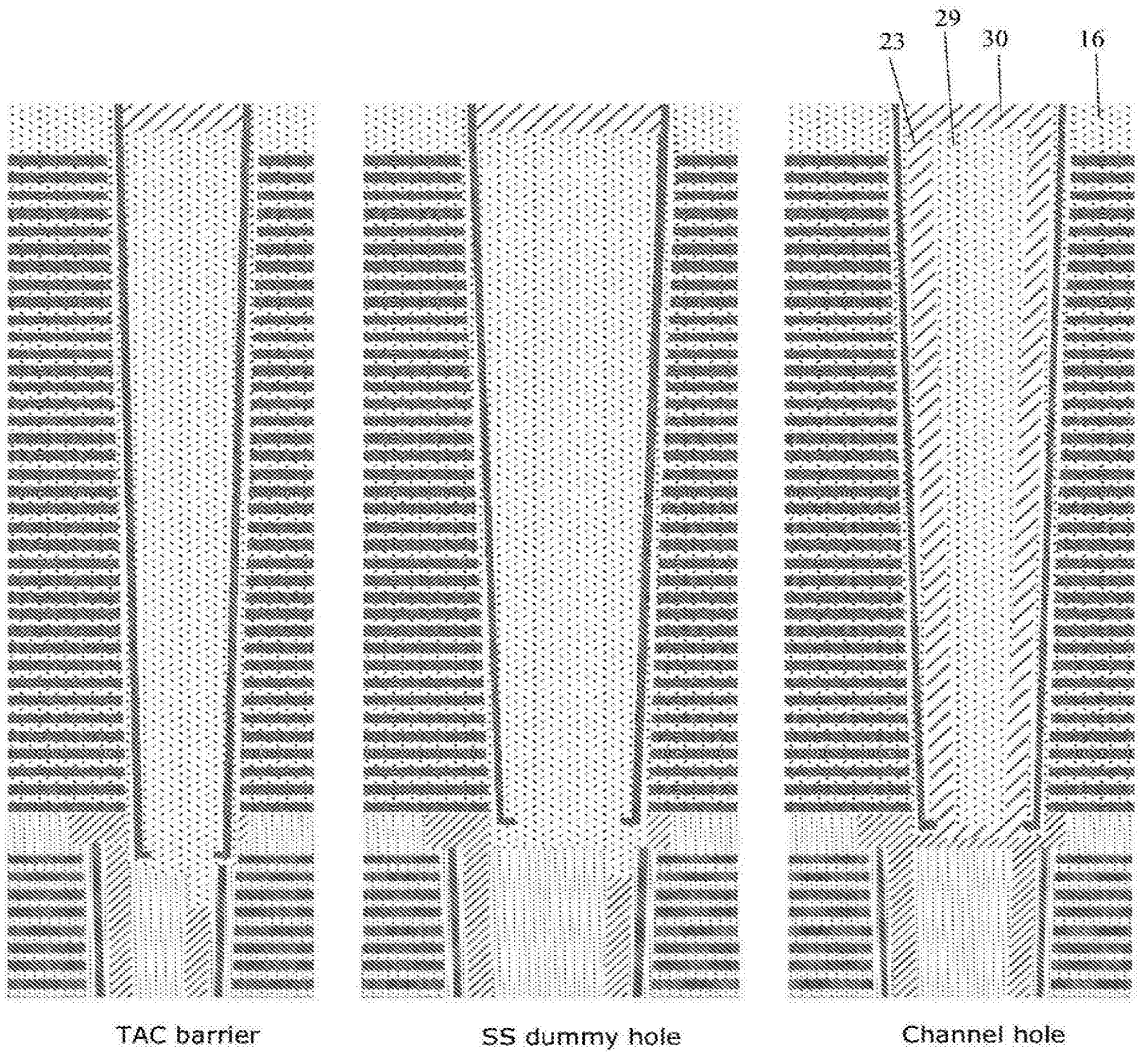


图46

Micron Ex. 1002, p. 652
Micron v. YMTC
IPR2025-00294