PATENT COOPERATION TREATY

PCT

INTERNATIONAL SEARCH REPORT

(PCT Article 18 and Rules 43 and 44)

Applicant's or agent's file reference **P2018TC460**	**FOR FURTHER ACTION**	see Form PCT/ISA/220 as well as, where applicable, item 5 below.
International application No. **PCT/CN2018/077785**	International filing date *(day/month/year)* **01 March 2018**	(Earliest) Priority Date *(day/month/year)* **08 March 2017**
Applicant **Yangtze Memory Technologies Co., Ltd.**		

This international search report has been prepared by this International Searching Authority and is transmitted to the applicant according to Article 18. A copy is being transmitted to the International Bureau.

This international search report consists of a total of **3** sheets.

☐ It is also accompanied by a copy of each prior art document cited in this report.

1. **Basis of the report**

   a. With regard to the **language**, the international search was carried out on the basis of:

   ☑ the international application in the language in which it was filed.

   ☐ a translation of the international application into _____ which is the language of a translation furnished for the purposes of international search (Rules 12.3(a) and 23.1(b)).

   b. ☐ This international search report has been established taking into account the **rectification of an obvious mistake** authorized by or notified to this Authority under Rule 91 (Rule 43.6*bis*(a)).

   c. ☐ With regard to any **nucleotide and/or amino acid sequence** disclosed in the international application, see Box No. I.

2. ☐ **Certain claims were found unsearchable** (see Box No. II).

3. ☐ **Unity of invention is lacking** (see Box No. III).

4. With regard to the **title**,

   ☑ the text is approved as submitted by the applicant.

   ☐ the text has been established by this Authority to read as follows:

5. With regard to the **abstract**,

   ☑ the text is approved as submitted by the applicant.

   ☐ the text has been established, according to Rule 38.2, by this Authority as it appears in Box No. IV. The applicant may, within one month from the date of mailing of this international search report, submit comments to this Authority.

6. With regard to the **drawings**,

   a. the figure of the **drawings** to be published with the abstract is Figure No. **1**

   ☑ as suggested by the applicant.

   ☐ as selected by this Authority, because the applicant failed to suggest a figure.

   ☐ as selected by this Authority, because this figure better characterizes the invention.

   b. ☐ none of the figures is to be published with the abstract.

Micron Ex. 1002, p. 653
Micron v. YMTC
IPR2025-00294

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2018/077785

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/768(2006.01)i; H01L 27/11551(2017.01)i; H01L 27/11578(2017.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS,CNTXT,SIPOABS,DWPI,CNKI:3D memory,three dimensional memory,via,through hole,insulating layer, functionallayer,groove,stacked layer,channel structure, sidewall,filling structure,oxide,nitride

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 102543877 A (INST MICROELECTRONICS CHINESE ACAD SCI) 04 July 2012 (2012-07-04) description, paragraphs [0042] to [0063] and figures 4-15	1-56
PX	CN 106920772 A (YANGTZE MEMORY TECHNOLOGIES CO LTD) 04 July 2017 (2017-07-04) description, paragraphs [0106] to [0264] and figures 1-46	1-56
PX	CN 106653684 A (YANGTZE MEMORY TECHNOLOGIES CO LTD) 10 May 2017 (2017-05-10) description, paragraphs [0107] to [0254] and figures 1-49	1-56

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
24 May 2018	**08 June 2018**

Name and mailing address of the ISA/CN	Authorized officer
STATE INTELLECTUAL PROPERTY OFFICE OF THE P.R.CHINA **6, Xitucheng Rd., Jimen Bridge, Haidian District, Beijing 100088** **China**	**YANG,Wanli**
Facsimile No. **(86-10)62019451**	Telephone No. **86-010-62089917**

Form PCT/ISA/210 (second sheet) (January 2015)

Micron Ex. 1002, p. 654
Micron v. YMTC
IPR2025-00294

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2018/077785

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN 102543877 A	04 July 2012	CN 102543877 B	12 March 2014
		WO 2012088862 A1	05 July 2012
		US 9070872 B2	30 June 2015
		US 2013203227 A1	08 August 2013
CN 106920772 A	04 July 2017	None	
CN 106653684 A	10 May 2017	None	

Form PCT/ISA/210 (patent family annex) (January 2015)

PATENT COOPERATION TREATY

From the INTERNATIONAL SEARCHING AUTHORITY

To:
100033
China Room 1802, Block A, Investment Plaza, 27 Jinrongdajie, Xicheng District, Beijing

NTD UNIVATION INTELLECTUAL PROPERTY AGENCY LTD.

PCT

WRITTEN OPINION OF THE INTERNATIONAL SEARCHING AUTHORITY

(PCT Rule 43*bis*.1)

Date of mailing *(day/month/year)*	**08 June 2018**
Applicant's or agent's file reference	**FOR FURTHER ACTION** See paragraph 2 below
P2018TC460	

International application No.	International filing date *(day/month/year)*	Priority date *(day/month/year)*
PCT/CN2018/077785	**01 March 2018**	**08 March 2017**

International Patent Classification (IPC) or both national classification and IPC
H01L 21/768(2006.01)i; H01L 27/11551(2017.01)i; H01L 27/11578(2017.01)i

Applicant
Yangtze Memory Technologies Co., Ltd.

1. This opinion contains indications relating to the following items:
   - ☑ Box No. I Basis of the opinion
   - ☑ Box No. II Priority
   - ☐ Box No. III Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
   - ☐ Box No. IV Lack of unity of invention
   - ☑ Box No. V Reasoned statement under Rule 43*bis*.1(a)(i) with regard to novelty, inventive step and industrial applicability; citations and explanations supporting such statement
   - ☐ Box No. VI Certain documents cited
   - ☐ Box No. VII Certain defects in the international application
   - ☐ Box No. VIII Certain observations on the international application

2. **FURTHER ACTION**

   If a demand for international preliminary examination is made, this opinion will be considered to be a written opinion of the International Preliminary Examining Authority ("IPEA") except that this does not apply where the applicant chooses an Authority other than this one to be the IPEA and the chosen IPEA has notified the International Bureau under Rule 66.1*bis*(b) that written opinions of this International Searching Authority will not be so considered.

   If this opinion is, as provided above, considered to be a written opinion of the IPEA, the applicant is invited to submit to the IPEA a written reply together, where appropriate, with amendments, before the expiration of 3 months from the date of mailing of Form PCT/ISA/220 or before the expiration of 22 months from the priority date, whichever expires later.

   For further options, see Form PCT/ISA/220.

Name and mailing address of the ISA/	Date of completion of this opinion	Authorized officer
STATE INTELLECTUAL PROPERTY OFFICE OF THE P.R.CHINA **China 6, Xitucheng Rd., Jimen Bridge, Haidian District, Beijing 100088**	**29 May 2018**	**YANG,Wanli**
Facsimile No. **(86—10) 62019451**		Telephone No. **86-010-62089917**

Form PCT/ISA/237 (Cover sheet) (January 2015)

WRITTEN OPINION OF THE INTERNATIONAL SEARCHING AUTHORITY

International application No.
PCT/CN2018/077785

Box No. I Basis of the opinion

1. With regard to the **language**, this opinion has been established on the basis of:
   - [x] the international application in the language in which it was filed.
   - [ ] a translation of the international application into _____ which is the language of a translation furnished for the purposes of international search (Rules 12.3(a) and 23.1(b)).

2. [ ] This opinion has been established taking into account the **rectification of an obvious mistake** authorized by or notified to this Authority under Rule 91 (Rule 43*bis*.1(a)).

3. [ ] With regard to any **nucleotide and/or amino acid sequence** disclosed in the international application, this opinion has been established on the basis of a sequence listing:
   - a. [ ] forming part of the international application as filed:
     - [ ] in the form of an Annex C/ST.25 text file.
     - [ ] on paper or in the form of an image file.
   - b. [ ] furnished together with the international application under PCT Rule 13*ter*.1(a) for the purposes of international search only in the form of an Annex C/ST.25 text file.
   - c. [ ] furnished subsequent to the international filing date for the purposes of international search only:
     - [ ] in the form of an Annex C/ST.25 text file (Rule 13*ter*.1(a)).
     - [ ] on paper or in the form of an image file (Rule 13*ter*.1(b) and Administrative Instructions, Section 713).

4. [ ] In addition, in the case that more than one version or copy of a sequence listing has been filed or furnished, the required statements that the information in the subsequent or additional copies is identical to that forming part of the application as filed or does not go beyond the application as filed, as appropriate, were furnished.

5. Additional comments:

Micron Ex. 1002, p. 657
Micron v. YMTC
IPR2025-00294

WRITTEN OPINION OF THE INTERNATIONAL SEARCHING AUTHORITY

International application No.
PCT/CN2018/077785

Box No. II Priority

1. ☐ The validity of the priority claim has not been considered because the International Searching Authority does not have in its possession a copy of the earlier application whose priority has been claimed or, where required, a translation of that earlier application. This opinion has nevertheless been established on the assumption that the relevant date (Rules 43*bis*.1 and 64.1) is the claimed priority date.

2. ☐ This opinion has been established as if no priority had been claimed due to the fact that the priority claim has been found invalid (Rules 43*bis*.1 and 64.1). Thus for the purposes of this opinion, the international filing date indicated above is considered to be the relevant date.

3. Additional observations, if necessary:

[1] The priority claim of the present application is considered to be valid upon verification.

Micron Ex. 1002, p. 658
Micron v. YMTC
IPR2025-00294

WRITTEN OPINION OF THE INTERNATIONAL SEARCHING AUTHORITY

International application No.
PCT/CN2018/077785

Box No. V **Reasoned statement under Rule 43*bis*.1(a)(i) with regard to novelty, inventive step and industrial applicability; citations and explanations supporting such statement**

1. Statement

Novelty (N)	Claims	1-56	YES
	Claims	None	NO
Inventive step (IS)	Claims	None	YES
	Claims	1-56	NO
Industrial applicability (IA)	Claims	1-56	YES
	Claims	None	NO

2. Citations and explanations :

[1] Reference is made to the following document:

[2] D1: CN102543877A (04.07.2012) description, paragraphs [0042] to [0063] and figures 4-15

[3] 1. D1 is regarded as being the prior art closest to the subject matter of claims 1,11,21,31,41,49 and discloses a method for manufacturing a three-dimensional semiconductor memory device. The method comprises the following steps: depositing a plurality of isolation layers and a plurality of sacrificing layers alternatively (corresponding to the first stacked layer and the first insulating connection layer), etching a via to define a bottom electrode region of the vertical ring-shape resistive cells, the bottom electrode region being connected downward with a drain of the access transistor(corresponding to the first through hole), forming a second storage sub-array comprising a plurality of vertical ring-shape resistive cells on the first storage sub-array, depositing a plurality of isolation layers and a plurality of sacrificing layers(corresponding to second stacked layer and the second insulating connection layer),etching a via to define a bottom electrode region(corresponding to the second through hole).

[4] D1 does not disclose the features of claims 1,11,21,31,41,49:a first channel structure, a second channel structure, a first functional layer, a first filling structure, a third channel structure, a second functional layer, a fourth channel structure and a fifth channel structure. therefore the subject matters of claims 1,11,21,31,41,49 are novel and satisfy the criteria set out in PCT Article 33(2). Claims 2-10,12-20,22-30,32-40,42-48,50-56 are dependent on claim 1 , 11 ,21 ,31 ,41 or 49 and are novel and satisfy the criteria set out in PCT Article 33(2).

[5] But the distinguishing feature between claim 1,11,21,31,41,49 and D1 are common knowledge for a person skilled in the art. Therefore the subject matter of claims 1,11,21,31,41,49 does not involve an inventive step and does not satisfy the criteria set out in PCT Article 33(3).

[6] D1 does not disclose the additional features of claims 2-10,12-20,22-30,32-40,42-48,50-56. But the additional features of claims 2-10,12-20,22-30,32-40,42-48,50-56 are common knowledge for a person skilled in the art. Therefore the subject matters of claims 2-10,12-20,22-30,32-40,42-48,50-56 does not involve an inventive step and does not satisfy the criteria set out in PCT Article 33(3).

[7] Claims 1-56 are industrially applicable in the sense of PCT Article 33(4) because the subject matter can be made or used in industry.

Micron Ex. 1002, p. 659
Micron v. YMTC
IPR2025-00294

Electronic Acknowledgement Receipt

EFS ID:	36003095
Application Number:	16046847
International Application Number:	
Confirmation Number:	7612
Title of Invention:	JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME
First Named Inventor/Applicant Name:	Zhenyu LU
Customer Number:	26111
Filer:	Donald J. Featherstone/Jon Baitlon
Filer Authorized By:	Donald J. Featherstone
Attorney Docket Number:	4123.0110002
Receipt Date:	14-MAY-2019
Filing Date:	26-JUL-2018
Time Stamp:	11:46:32
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Miscellaneous Incoming Letter	4123-0110002-CoverLetter.pdf	235323 7cc0e8062645fb7a6c7b8ae900a373905e44c9a0	no	1

Warnings:

Information:					
2	Transmittal Letter	4123-0110002-IDSPleading.pdf	116263 4ea71f809fe5c762c29a87c249396946b4b59df8	no	6
Warnings:					
Information:					
3	Information Disclosure Statement (IDS) Form (SB08)	4123-0110002-FormSB08a.pdf	145089 fffb1f686c4e1c7b86127b58db46ba7fdd07cb1e	no	1
Warnings:					
Information:					
This is not an USPTO supplied IDS fillable form					
4	Information Disclosure Statement (IDS) Form (SB08)	4123-0110002-FormSB08b.pdf	180381 85eb68fb679b0da6bec4cfeda30c8494115936d2	no	1
Warnings:					
Information:					
This is not an USPTO supplied IDS fillable form					
5	Foreign Reference	FP1_CN102543877A.pdf	961145 5db98b86b266494430310ede36b25b55875ac3c5	no	14
Warnings:					
Information:					
6	Foreign Reference	FP2_CN105304612A.pdf	1135660 686ca8fb662ba647cfa539c0e027b7ca73de3c85	no	15
Warnings:					
Information:					
7	Foreign Reference	FP3_CN105374826A.pdf	1054120 f8f39f474dee8b818ad83e1bd86bae16531f5183	no	18
Warnings:					
Information:					
8	Foreign Reference	FP4_CN106653684A.pdf	9265756 a661baf9994e0daf108f3728b3c57a9365308431	no	58
Warnings:					

Information:					
9	Foreign Reference	FP5_CN106920772A.pdf	8514633 a23712ac39fd3847ae4dc508626944a9344b1022	no	69
Warnings:					
Information:					
10	Non Patent Literature	NPL1_ISRWO.pdf	282237 abf824e2bbec5210d69156161ab837caf1e349ec	no	7
Warnings:					
Information:					
			Total Files Size (in bytes):	21890607	

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

JASON A. FITZSIMMONS
DIRECTOR
(202) 772-8701
JFITZSIMMONS@STERNEKESSLER.COM

May 14, 2019

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Confirmation No. 7612
Art Unit 2811
Attn: Mail Stop Amendment

Re: U.S. Utility Patent Application
Application No. 16/046,847; Filing Date: July 26, 2018
For: **JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME**
Inventors: LU *et al.*
Our Ref: 4123.0110002

Commissioner:

Transmitted herewith for appropriate action are the following documents:

1. Information Disclosure Statement;
2. Form PTO/SB/08a (1 sheet) listing 10 documents (**US1-US5** and **FP1-FP5**);
3. Form PTO/SB/08b (1 sheet) listing 1 document (**NPL1**); and
4. Copies of cited documents (**FP1-FP5** and **NPL1**).

In the event that extensions of time are necessary to prevent abandonment of this patent application, then such extensions of time are hereby petitioned.

The U.S. Patent and Trademark Office is hereby authorized to charge any fee deficiency, or credit any overpayment, to our Deposit Account No. 19-0036.

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Donald J. Featherstone/

Donald J. Featherstone
Attorney for Applicant
Registration No. 33,876

DJF/WS/jcb
Enclosures

13141262_1.docx

Micron Ex. 1002, p. 663
Micron v. YMTC
IPR2025-00294

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventors: LU *et al.*	Confirmation No.: 7612
Applicant: Yangtze Memory Technologies Co., Ltd.	Art Unit: 2811
Application No.: 16/046,847	Examiner: GURLEY, LYNNE ANN
Filing Date: July 26, 2018	Atty. Docket: 4123.0110002

Title: **JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME**

Information Disclosure Statement

Mail Stop Amendment

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Commissioner:

Listed on accompanying IDS Forms PTO/SB/08a equivalent and PTO/SB/08b equivalent are documents that may be considered material to the patentability of this application as defined in 37 C.F.R. §1.56, and in compliance with the duty of disclosure requirements of 37 C.F.R. §§ 1.97 and 1.98.

Applicant has listed publication dates on the attached IDS Forms based on information presently available to the undersigned. However, the listed publication dates should not be construed as an admission that the information was actually published on the date indicated.

Applicant reserves the right to establish the patentability of the claimed invention over any of the information provided herewith, and/or to prove that this information may not be prior art, and/or to prove that this information may not be enabling for the teachings purportedly offered.

This statement should not be construed as a representation that a search has been made, or that information more material to the examination of the present patent application does not exist. The Examiner is specifically requested not to rely solely on the material submitted herewith.

Applicant has checked the appropriate boxes below.

☐ 1. Statement under 37 C.F.R. 1.704(d). Each item of information contained in this Information Disclosure Statement: (i) was first cited in any communication from a patent office in a counterpart[1] foreign or international application or from the Office; and this communication was not received by any individual designated in Sec. 1.56(c) more than thirty days prior to the filing of this information disclosure statement; OR (ii) is a communication that was issued by a patent office in a counterpart foreign or international application or by the Office, and this communication was not received by any individual designated in Sec. 1.56(c) more than thirty days prior to the filing of the information disclosure statement.

☒ 2. Filing under 37 C.F.R. § 1.97(b). This Information Disclosure Statement is being filed within three months of the date of filing of a national application other than a continued prosecution application (CPA), OR within three months of the date of entry of the national stage as set forth in 37 C.F.R. § 1.491 in an international application, OR before the mailing date of a first Office Action on the merits OR before the mailing of a first Office Action

---

[1] The term counterpart foreign patent application means that a claim for priority has been made in either the U.S. application or a foreign application based on the other, or that the disclosures of the U.S. and foreign patent applications are substantively identical (e.g., an application filed in the European Patent Office claiming the same U.K. priority as claimed in the U.S. application).

Micron Ex. 1002, p. 665
Micron v. YMTC
IPR2025-00294

after the filing of a request for continued examination under 37 C.F.R. § 1.114. No statement or fee is required.

☐ 3. Filing under 37 C.F.R. § 1.97(c). This Information Disclosure Statement is being filed more than three months after the U.S. filing date AND after the mailing date of the first Office Action on the merits, but before the mailing date of a Final Rejection, or Notice of Allowance, or an action that otherwise closes prosecution in the application.

☐ a. Statement under 37 C.F.R. § 1.97(e)(1). I hereby state that each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this Information Disclosure Statement. 37 C.F.R. § 1.97(e)(1).

☐ b. Statement under 37 C.F.R. § 1.97(e)(2). I hereby state that no item of information in this Information Disclosure Statement was cited in a communication from a foreign patent office in a counterpart foreign application and, to my knowledge after making reasonable inquiry, was known to any individual designated in 37 C.F.R. § 1.56(c) more than three months prior to the filing of this Information Disclosure Statement. 37 C.F.R. § 1.97(e)(2).

☐ c. The required fee is provided through online credit card payment authorization in the amount of $240.00 in payment of the fee under 37 C.F.R. § 1.17(p).

☐ 4. Filing under 37 C.F.R. § 1.97(d) This Information Disclosure Statement is being filed more than three months after the U.S. filing date and after the mailing date of a Final Rejection or

Micron Ex. 1002, p. 666
Micron v. YMTC
IPR2025-00294

Notice of Allowance, but on or before payment of the Issue Fee. The required fee is provided through online credit card payment authorization in the amount of $240.00 in payment of the fee under 37 C.F.R. § 1.17(p); in addition:

☐ a. Statement under 37 C.F.R. § 1.97(e)(1). I hereby state that each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this Information Disclosure Statement. 37 C.F.R. § 1.97(e)(1).

☐ b. Statement under 37 C.F.R. § 1.97(e)(2). I hereby state that no item of information in this Information Disclosure Statement was cited in a communication from a foreign patent office in a counterpart foreign application and, to my knowledge after making reasonable inquiry, was known to any individual designated in 37 C.F.R. § 1.56(c) more than three months prior to the filing of this Information Disclosure Statement. 37 C.F.R. § 1.97(e)(2).

☒ 5. The patent family for one or more foreign language documents submitted herewith includes a United States patent, and other patent, in the English language. Copies of both the particular foreign patent(s) or published foreign patent applications cited in the foreign patent office communication, and that are not already of record in this application, are enclosed. Copies of the related United States or other English language patent or published application from the family list, if not already of record, are listed on the accompanying SB/08A form. For the purposes of a statement under 37 CFR 1.97(e)(1), the United States or

Micron Ex. 1002, p. 667
Micron v. YMTC
IPR2025-00294

other English language patent or published application are to be construed as being cited by the foreign patent office. MPEP 609.04(b)(V).

☐ 6. The document(s) was/were cited in a search report by a foreign patent office in a counterpart foreign application. Submission of an English language version of the search report that indicates the degree of relevance found by the foreign office is provided in satisfaction of the requirement for a concise explanation of relevance. MPEP 609.04(a)(III).

☒ 7. A concise explanation of the relevance of the non-English language document(s) appears below in accordance with 37 C.F.R. § 1.98(a)(3).

Document **US4** (2013/0203227 A1) is submitted herewith as the English-language counterpart of document **FP1** (CN 102543877 A).

☒ 8. Copies of documents **FP1-FP5** and **NPL1** are submitted. However, in accordance with 37 C.F.R. § 1.98(a)(2)(ii), no copies of the U.S. patent application publications cited as documents **US1-US5** on the attached IDS Form are submitted.

☐ 9. Copies of the _____ documents were cited by or submitted to the Office in an IDS that complies with 37 C.F.R. § 1.98(a)-(c) in Application No._____, filed _____, which is relied upon for an earlier filing date under 35 U.S.C. § 120. Thus, copies of these documents are not attached. 37 C.F.R. § 1.98(d).

☐ 10. It is expected that the examiner will review the prosecution and cited art in the parent Application No(s). _____ in accordance with MPEP 2001.06(b), and indicate in the next communication from the office that the art cited in the earlier prosecution history has been reviewed in connection with the present application.

Micron Ex. 1002, p. 668
Micron v. YMTC
IPR2025-00294

☐ 11. In accordance with the Federal Circuit decision in *Dayco Prods., Inc. v. Total Containment, Inc.* 329 F.3d 1358 (Fed. Cir. 2003), Applicants submit herewith Office Actions from the co-pending U.S. Patent Application No._____, filed _____, as documents _____ to _____. The identification of these Office Actions is not to be construed as a waiver of secrecy as to those applications now or upon issuance of the present application as a patent. The Examiner is respectfully requested to consider the cited applications and the art cited therein during examination.

It is respectfully requested that the Examiner initial and return a copy of the enclosed IDS Forms, and indicate in the official file wrapper of this patent application that the documents have been considered.

The U.S. Patent and Trademark Office is hereby authorized to charge any fee deficiency, or credit any overpayment, to our Deposit Account No. 19-0036.

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Donald J. Featherstone/

Donald J. Featherstone
Attorney for Applicant
Registration No. 33,876

Date: May 14, 2019

1100 New York Avenue, N.W.
Washington, D.C. 20005-3934
(202) 371-2600
13141309_1.docx

Micron Ex. 1002, p. 669
Micron v. YMTC
IPR2025-00294

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/046,847	07/26/2018	Zhenyu LU	4123.0110002	7612

26111 7590 10/10/2019

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.
1100 NEW YORK AVENUE, N.W.
WASHINGTON, DC 20005

EXAMINER	
PATEL, REEMA	

ART UNIT	PAPER NUMBER
2812	

NOTIFICATION DATE	DELIVERY MODE
10/10/2019	ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

e-office@sternekessler.com

Micron Ex. 1002, p. 670
Micron v. YMTC
IPR2025-00294

Office Action Summary	Application No. 16/046,847	Applicant(s) LU et al.	
	Examiner REEMA PATEL	Art Unit 2812	AIA (FITF) Status Yes

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 2 MONTHS FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

1)☑ Responsive to communication(s) filed on 7/26/18.

☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on _____.

2a)☐ This action is **FINAL.** 2b) ☐ This action is non-final.

3)☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.

4)☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims*

5) ☑ Claim(s) 1-20 is/are pending in the application.

5a) Of the above claim(s) _____ is/are withdrawn from consideration.

6) ☐ Claim(s) _____ is/are allowed.

7) ☐ Claim(s) _____ is/are rejected.

8) ☐ Claim(s) _____ is/are objected to.

9) ☑ Claim(s) 1-20 are subject to restriction and/or election requirement

* If any claims have been determined allowable, you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see http://www.uspto.gov/patents/init_events/pph/index.jsp or send an inquiry to **PPHfeedback@uspto.gov.**

Application Papers

10)☐ The specification is objected to by the Examiner.

11)☐ The drawing(s) filed on _____ is/are: a)☐ accepted or b)☐ objected to by the Examiner.

Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).

Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).

Priority under 35 U.S.C. § 119

12)☐ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

Certified copies:

a)☐ All b)☐ Some** c)☐ None of the:

1.☐ Certified copies of the priority documents have been received.

2.☐ Certified copies of the priority documents have been received in Application No. _____.

3.☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

** See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

1) ☐ Notice of References Cited (PTO-892)

2) ☐ Information Disclosure Statement(s) (PTO/SB/08a and/or PTO/SB/08b) Paper No(s)/Mail Date _____.

3) ☐ Interview Summary (PTO-413) Paper No(s)/Mail Date _____.

4) ☐ Other: _____.

Micron Ex. 1002, p. 671
Micron v. YMTC
IPR2025-00294

DETAILED ACTION

Notice of Pre-AIA or AIA Status

1. The present application, filed on or after March 16, 2013, is being examined under the first inventor to file provisions of the AIA.

Election/Restrictions

2. Restriction to one of the following inventions is required under 35 U.S.C. 121:

I. Claims 1-10, drawn to a method of forming a joint opening in a three-dimensional memory device, classified in H01L 21/20.

II. Claims 11-20, drawn to a joint opening in a three-dimensional memory device, classified in H01L 27/11578.

3. The inventions are independent or distinct, each from the other because:

4. Inventions I and II are related as process of making and product made. The inventions are distinct if either or both of the following can be shown: (1) that the process as claimed can be used to make another and materially different product or (2) that the product as claimed can be made by another and materially different process (MPEP § 806.05(f)). In the instant case the product as claimed can be made by another and materially different process, such as one in which the first stacked layer is selectively formed with multiples thicknesses such that the first through hole is created while forming the stacked layer.

5. Restriction for examination purposes as indicated is proper because all the inventions listed in this action are independent or distinct for the reasons given above and there would be a serious search and/or examination burden if restriction were not required because one or more of the following reasons apply:

6. The inventions require a different field of search (for example, searching different classes/subclasses, or employing different search queries).

Applicant is advised that the reply to this requirement to be complete must include (i) an election of a invention to be examined even though the requirement may be traversed (37 CFR 1.143) **and (ii) identification of the claims encompassing the elected invention**.

The election of an invention may be made with or without traverse. To reserve a right to petition, the election must be made with traverse. If the reply does not distinctly and specifically point out supposed errors in the restriction requirement, the election shall be treated as an election without traverse. Traversal must be presented at the time of election in order to be considered timely. Failure to timely traverse the requirement will result in the loss of right to petition under 37 CFR 1.144. If claims are added after the election, applicant must indicate which of these claims are readable upon the elected invention.

Should applicant traverse on the ground that the inventions are not patentably distinct, applicant should submit evidence or identify such evidence now of record showing the inventions to be obvious variants or clearly admit on the record that this is the case. In either instance, if the examiner finds one of the inventions unpatentable over the prior art, the evidence or admission may be used in a rejection under 35 U.S.C. 103 or pre-AIA 35 U.S.C. 103(a) of the other invention.

7. Applicant is reminded that upon the cancellation of claims to a non-elected invention, the inventorship must be corrected in compliance with 37 CFR 1.48(a) if one or more of the currently named inventors is no longer an inventor of at least one claim

remaining in the application. A request to correct inventorship under 37 CFR 1.48(a) must be accompanied by an application data sheet in accordance with 37 CFR 1.76 that identifies each inventor by his or her legal name and by the processing fee required under 37 CFR 1.17(i).

8. The examiner has required restriction between product or apparatus claims and process claims. Where applicant elects claims directed to the product/apparatus, and all product/apparatus claims are subsequently found allowable, withdrawn process claims that include all the limitations of the allowable product/apparatus claims should be considered for rejoinder. All claims directed to a nonelected process invention must include all the limitations of an allowable product/apparatus claim for that process invention to be rejoined.

In the event of rejoinder, the requirement for restriction between the product/apparatus claims and the rejoined process claims will be withdrawn, and the rejoined process claims will be fully examined for patentability in accordance with 37 CFR 1.104. Thus, to be allowable, the rejoined claims must meet all criteria for patentability including the requirements of 35 U.S.C. 101, 102, 103 and 112. Until all claims to the elected product/apparatus are found allowable, an otherwise proper restriction requirement between product/apparatus claims and process claims may be maintained. Withdrawn process claims that are not commensurate in scope with an allowable product/apparatus claim will not be rejoined. See MPEP § 821.04. Additionally, in order for rejoinder to occur, applicant is advised that the process claims should be amended during prosecution to require the limitations of the product/apparatus claims. **Failure to do so may result in no rejoinder.** Further, note that the prohibition against double

patenting rejections of 35 U.S.C. 121 does not apply where the restriction requirement is withdrawn by the examiner before the patent issues. See MPEP § 804.01.

Any inquiry concerning this communication or earlier communications from the examiner should be directed to REEMA PATEL whose telephone number is (571)270-1436. The examiner can normally be reached on M-F, 8am-5pm EST.

Examiner interviews are available via telephone, in-person, and video conferencing using a USPTO supplied web-based collaboration tool. To schedule an interview, applicant is encouraged to use the USPTO Automated Interview Request (AIR) at http://www.uspto.gov/interviewpractice.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Charles D Garber can be reached on (571)272-2194. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/REEMA PATEL/
Primary Examiner, Art Unit 2812

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventors: LU *et al.*	Confirmation No.: 7612
Applicant: Yangtze Memory Technologies Co., Ltd.	Art Unit: 2812
Application No.: 16/046,847	Examiner: Patel, Reema
Filing Date: July 26, 2018	Atty. Docket: 4123.0110002

Title: **JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME**

Reply to Restriction Requirement

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Commissioner:

In reply to the office action dated October 10, 2019, requesting an election of one group of claims to prosecute in the above-referenced patent application, Applicant hereby provisionally elects to prosecute Group II, represented by claims 11-20. This election is made without prejudice to or disclaimer of the other claims or inventions disclosed.

This election is made without traverse.

Reconsideration and withdrawal of the Restriction Requirement, and consideration and allowance of all pending claims, are respectfully requested.

It is not believed that extensions of time are required beyond those that may otherwise be provided for in documents accompanying this paper. However, if additional extensions of time are necessary to prevent abandonment of this

application, then such extensions of time are hereby petitioned under 37 C.F.R. § 1.136(a), and any additional fees required to continue prosecution or appeal of this application (including issue fee, fees for net addition of claims or forwarding to appeal) are hereby authorized to be charged to our Deposit Account No. 19-0036.

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Donald J. Featherstone/

Donald J. Featherstone
Attorney for Applicant
Registration No. 33,876

Date: November 8, 2019

1100 New York Avenue, N.W.
Washington, D.C. 20005-3934
(202) 371-2600

14129073_1.docx

Micron Ex. 1002, p. 677
Micron v. YMTC
IPR2025-00294

Electronic Acknowledgement Receipt

EFS ID:	37702461
Application Number:	16046847
International Application Number:	
Confirmation Number:	7612
Title of Invention:	JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME
First Named Inventor/Applicant Name:	Zhenyu LU
Customer Number:	26111
Filer:	Donald J. Featherstone/Maya Bennett
Filer Authorized By:	Donald J. Featherstone
Attorney Docket Number:	4123.0110002
Receipt Date:	08-NOV-2019
Filing Date:	26-JUL-2018
Time Stamp:	17:35:55
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Miscellaneous Incoming Letter	2019-11-08-Cover-Letter-4123-0110002.PDF	214547 c779e1102e08de60b2469f5cd02b26de2cb5f7ac	no	1
Warnings:					

Information:					
2	Response to Election / Restriction Filed	2019-11-08-Reply-Restriction-Election-4123-0110002.PDF	88774 b3b335f4982d5ebba9c650918339825251ebf70d	no	2
Warnings:					
Information:					
			Total Files Size (in bytes):	303321	

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

DONALD J. FEATHERSTONE
DIRECTOR
(202) 772-8629
DONF@STERNEKESSLER.COM

Sterne Kessler
STERNE KESSLER GOLDSTEIN & FOX

November 8, 2019

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Confirmation No. 7612

Re: U.S. Utility Patent Application
Appl. No. 16/046,847; Filing Date: July 26, 2018
For: **JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME**
Inventors: LU *et al.*
Our Ref: 4123.0110002

Commissioner:

Transmitted herewith for appropriate action is a ***Reply to Restriction Requirement***, which is submitted electronically.

In the event that extensions of time are necessary to prevent abandonment of this patent application, then such extensions of time are hereby petitioned.

The U.S. Patent and Trademark Office is hereby authorized to charge any fee deficiency and any additional fees required to continue prosecution or appeal of this application (including issue fee, fees for net addition of claims or forwarding to appeal) or credit any overpayment to our Deposit Account No. 19-0036.

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Donald J. Featherstone/

Donald J. Featherstone
Attorney for Applicant
Registration No. 33,876

DJF/mlb
Enclosure

14129067_1.docx

Micron Ex. 1002, p. 680
Micron v. YMTC
IPR2025-00294

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/046,847	07/26/2018	Zhenyu LU	4123.0110002	7612

26111 7590 02/20/2020

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.
1100 NEW YORK AVENUE, N.W.
WASHINGTON, DC 20005

EXAMINER	
PATEL, REEMA	

ART UNIT	PAPER NUMBER
2812	

NOTIFICATION DATE	DELIVERY MODE
02/20/2020	ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

e-office@sternekessler.com

Micron Ex. 1002, p. 681
Micron v. YMTC
IPR2025-00294

Office Action Summary	Application No. 16/046,847	Applicant(s) LU et al.	
	Examiner REEMA PATEL	Art Unit 2812	AIA (FITF) Status Yes

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 3 MONTHS FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

1)☑ Responsive to communication(s) filed on 11/8/19.

☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on _____.

2a)☐ This action is **FINAL.** 2b) ☑ This action is non-final.

3)☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.

4)☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims*

5) ☑ Claim(s) 1-20 is/are pending in the application.

5a) Of the above claim(s) 1-10 is/are withdrawn from consideration.

6) ☑ Claim(s) 20 is/are allowed.

7) ☑ Claim(s) 11 and 13-19 is/are rejected.

8) ☑ Claim(s) 12 is/are objected to.

9) ☐ Claim(s) _____ are subject to restriction and/or election requirement

* If any claims have been determined allowable, you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see http://www.uspto.gov/patents/init_events/pph/index.jsp or send an inquiry to **PPHfeedback@uspto.gov.**

Application Papers

10)☐ The specification is objected to by the Examiner.

11)☑ The drawing(s) filed on 7/26/18 is/are: a)☑ accepted or b)☐ objected to by the Examiner.

Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).

Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).

Priority under 35 U.S.C. § 119

12)☑ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

Certified copies:

a)☑ All b)☐ Some** c)☐ None of the:

1.☑ Certified copies of the priority documents have been received.

2.☐ Certified copies of the priority documents have been received in Application No. _____.

3.☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

** See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

1) ☑ Notice of References Cited (PTO-892)

2) ☑ Information Disclosure Statement(s) (PTO/SB/08a and/or PTO/SB/08b) Paper No(s)/Mail Date _____.

3) ☐ Interview Summary (PTO-413) Paper No(s)/Mail Date _____.

4) ☐ Other: _____.

Micron Ex. 1002, p. 682
Micron v. YMTC
IPR2025-00294

DETAILED ACTION

Notice of Pre-AIA or AIA Status

1. The present application, filed on or after March 16, 2013, is being examined under the first inventor to file provisions of the AIA.

Election/Restrictions

2. Claims 1-10 are withdrawn from further consideration pursuant to 37 CFR 1.142(b) as being drawn to a nonelected invention, there being no allowable generic or linking claim. Election was made **without** traverse in the reply filed on 11/8/19.

Priority

3. Receipt is acknowledged of certified copies of papers required by 37 CFR 1.55.

Information Disclosure Statement

4. The information disclosure statements (IDS) were submitted on 5/14/19. The submissions are in compliance with the provisions of 37 CFR 1.97. Accordingly, the information disclosure statements are being considered by the examiner.

Claim Rejections - 35 USC § 103

5. In the event the determination of the status of the application as subject to AIA 35 U.S.C. 102 and 103 (or as subject to pre-AIA 35 U.S.C. 102 and 103) is incorrect, any correction of the statutory basis for the rejection will not be considered a new ground of rejection if the prior art relied upon, and the rationale supporting the rejection, would be the same under either status.

6. The following is a quotation of 35 U.S.C. 103 which forms the basis for all obviousness rejections set forth in this Office action:

> A patent for a claimed invention may not be obtained, notwithstanding that the claimed invention is not identically disclosed as set forth in section 102, if the differences between the claimed invention and the prior art are such that the claimed invention as a whole would have been

> obvious before the effective filing date of the claimed invention to a person having ordinary skill in the art to which the claimed invention pertains. Patentability shall not be negated by the manner in which the invention was made.

7. Claims 11 and 13-19 is/are rejected under 35 U.S.C. 103 as being unpatentable over Lee et al. (U.S. 2013/0109158 A1; "Lee") in view of Huo et al. (U.S. 2013/0203227 A1; "Huo").

8. Regarding claim 11, Lee discloses a structure comprising:

- A first stacked layer (161-168, 110, Fig. 1P) disposed overlaying a substrate (101, Fig. 1P);
- A first insulating connection layer (uppermost 110, Fig. 1P) disposed on the first stacked layer;
- A first through hole (opening which is filled by 161, 142, Fig. 1P) penetrating the first stacked layer and the first insulating connection layer;
- A first channel structure (141, Fig. 1P) disposed at the bottom of the first through hole and overlaying the substrate;
- A first functional layer (151, Fig. 1P) disposed on the sidewall of the first through hole;
- A second channel structure (145, Fig. 1P) in contact with the first channel structure disposed on the sidewall of the first functional layer;
- A third channel structure (147, Fig. 1P) in contact with the second channel structure disposed over the first through hole, wherein a projection of the third channel structure on the substrate covers a projection of the first through hole on the substrate.

9. Yet, Lee does not disclose the following:

- A second stacked layer disposed on the third channel structure;

- A second insulating connection layer disposed on the second stacked layer;
- A second through hole penetrating the second stacked layer and the second insulating connection layer, wherein a projection of the second through hole on the substrate at least partially overlaps with the projection of the first through hole on the substrate;
- A second functional layer disposed on the sidewall of the second through hole; a fourth channel structure in contact with the third channel structure disposed on the sidewall of the second functional layer; and
- A fifth channel structure in contact with the fourth channel structure disposed over the second through hole.

10. However, Huo discloses vertically stacking identical sub-arrays (Fig. 4). This has the advantage of forming a reliable, high-density storage array. Therefore, it would have been obvious to one having ordinary skill in the art at the time the invention was made to modify the invention of Lee with forming a second stacked layer disposed on the third channel structure; a second insulating connection layer disposed on the second stacked layer; a second through hole penetrating the second stacked layer and the second insulating connection layer, wherein a projection of the second through hole on the substrate at least partially overlaps with the projection of the first through hole on the substrate; a second functional layer disposed on the sidewall of the second through hole; a fourth channel structure in contact with the third channel structure disposed on the sidewall of the second functional layer; and a fifth channel structure in contact with the fourth channel structure disposed over the second through hole as part of a sub-array

stacked on the first structure, as taught by Huo, so as to form a reliable, high-density storage array.

11. Regarding claim 13, Huo discloses a first through hole (of lower Storage Sub-Array, Fig. 4) interconnected with a second through hole (of upper Storage Sub-Array, Fig. 4) and a filling structure covering a surface of the sidewalls of the lower Storage Sub-Array (second channel) and a bottom surface of the upper Storage Sub-Array (fourth channel).

12. Regarding claim 14, Lee discloses the stacked layer includes a first number of conductor (161-168, Fig. 1P)/dielectric layer pairs (110, Fig. 1P) ([0049]).

13. Regarding claim 15, Lee discloses the stacked layer includes a number of conductor (161-168, Fig. 1P)/dielectric layer pairs (110, Fig. 1P) ([0049]) but does not disclose the number is not less than 32. However, it would have been obvious to one having ordinary skill in the art at the time the invention was effectively filed to select a number of conductor/dielectric pairs to be not less than 32, since it has been held that where the general conditions of a claim are disclosed in the prior art, discovering the optimum or workable ranges involves only routine skill in the art. *In re Aller,* 105 USPQ 233.

14. Regarding claim 16, Lee discloses the stacked layer includes a number of oxide/nitride pairs ([0049], [0041]).

15. Regarding claim 17, Lee discloses the stacked layer includes a number of conductor (161-168, Fig. 1P)/dielectric layer pairs (110, Fig. 1P) ([0049]) but does not disclose the number is not less than 32. However, it would have been obvious to one having ordinary skill in the art at the time the invention was effectively filed to

select a number of conductor/dielectric pairs to be not less than 32, since it has been held that where the general conditions of a claim are disclosed in the prior art, discovering the optimum or workable ranges involves only routine skill in the art. *In re Aller,* 105 USPQ 233.

16. Regarding claim 18, Lee discloses a third channel structure (147, Fig. 1P) but does not explicitly disclose its thickness is between 30 nm and 70 nm. However, it would have been obvious to one having ordinary skill in the art at the time the invention was effectively filed to select a thickness of the third channel structure to be between 30 nm and 70 nm, since it has been held that where the general conditions of a claim are disclosed in the prior art, discovering the optimum or workable ranges involves only routine skill in the art. *In re Aller,* 105 USPQ 233.

17. Regarding claim 19, Lee discloses a through hole (opening which is filled by 161, 142, Fig. 1P) with a size difference between a top aperture and bottom aperture less than 30 nm (Fig. 1P).

Allowable Subject Matter

18. Claim 20 is allowed.

19. Claim 12 is objected to as being dependent upon a rejected base claim, but would be allowable if rewritten in independent form including all of the limitations of the base claim and any intervening claims.

Conclusion

20. Any inquiry concerning this communication or earlier communications from the examiner should be directed to REEMA PATEL whose telephone number is (571)270-1436. The examiner can normally be reached on M-F, 8am-5pm EST.

Examiner interviews are available via telephone, in-person, and video conferencing using a USPTO supplied web-based collaboration tool. To schedule an interview, applicant is encouraged to use the USPTO Automated Interview Request (AIR) at http://www.uspto.gov/interviewpractice.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Charles D Garber can be reached on (571)272-2194. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see https://ppair-my.uspto.gov/pair/PrivatePair. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/REEMA PATEL/
Primary Examiner, Art Unit 2812

Notice of References Cited	Application/Control No. 16/046,847	Applicant(s)/Patent Under Reexamination LU et al.	
	Examiner REEMA PATEL	Art Unit 2812	Page 1 of 1

U.S. PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	CPC Classification	US Classification
*	A	US-20130109158-A1	05-2013	Lee; Jinkwan	H01L27/11582	438/488
	B					
	C					
	D					
	E					
	F					
	G					
	H					
	I					
	J					
	K					
	L					
	M					

FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	CPC Classification
	N					
	O					
	P					
	Q					
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

Micron Ex. 1002, p. 689
Micron v. YMTC
IPR2025-00294

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	16/046,847	LU et al.
	Examiner	Art Unit
	REEMA PATEL	2812

CPC - Searched*		
Symbol	Date	Examiner

CPC Combination Sets - Searched*		
Symbol	Date	Examiner

US Classification - Searched*			
Class	Subclass	Date	Examiner

* See search history printout included with this form or the SEARCH NOTES box below to determine the scope of the search.

Search Notes		
Search Notes	Date	Examiner
H01L 27/11578, 11565, 11582, 11578, 11565, 11582 with keywords	02/14/2020	RP
EAST search notes attached	02/14/2020	RP

Interference Search			
US Class/CPC Symbol	US Subclass/CPC Group	Date	Examiner

/R.P/ Primary Examiner, Art Unit 2812	

Micron Ex. 1002, p. 690
Micron v. YMTC
IPR2025-00294

PTO/SB/08b (07-09)
Approved for use through 11/30/2020. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 1

Complete if Known	
Application Number	16/046,847
Filing Date	July 26,2018
First Named Inventor	Lu et al.
Art Unit	2811
Examiner Name	GURLEY, LYNNE ANN
Attorney Docket Number	4123.0110002

NON PATENT LITERATURE DOCUMENTS

Examiner Initials*	Cite No.[1]	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	T[2]
	NPL1	International Search Report and Written Opinion of the International Searching Authority directed to related International Patent Application No. PCT/CN2018/077785, mailed June 8, 2018; 7 pages.	

Examiner Signature	/REEMA PATEL/	Date Considered	02/14/2020

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

[1] Applicant's unique citation designation number (optional). [2] Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /R.P/

PTO/SB/08a (07-09)
Approved for use through 11/30/2020. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 1

Complete if Known	
Application Number	16/046,847
Filing Date	July 26, 2018
First Named Inventor	Lu et al.
Art Unit	2811
Examiner Name	GURLEY, LYNNE ANN
Attorney Docket Number	4123.0110002

U. S. PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Document Number Number-Kind Code[2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	1	US- 2010/0019310 A1	01-28-2010	Sakamoto	
	2	US- 2010/0109065 A1	05-06-2010	Oh et al.	
	3	US- 2011/0151667 A1	06-23-2011	Hwang et al.	
	4	US- 2013/0203227 A1	08-08-2013	Huo et al.	
	5	US- 2015/0236038 A1	08-20-2015	Pachamuthu et al.	
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Foreign Patent Document Country Code[3] Number[4] Kind Code[5] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages Or Relevant Figures Appear	T[6]
	FP1	CN-102543877-A	07-04-2012	INST OF MICROELECTRONICS		
	FP2	CN-105304612-A	02-03-2016	MACRONIX INT CO LTD		✓
	FP3	CN-105374826-A	03-02-2016	INST MICROELECTRONICS CAS		✓
	FP4	CN-106653684-A	05-10-2017	YANGTZE MEMORY TECH CO LT		✓
	FP5	CN-106920772-A	07-04-2017	YANGTZE MEMORY TECH CO LT		✓

Examiner Signature	/REEMA PATEL/	Date Considered	02/14/2020

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. [1] Applicant's unique citation designation number (optional). [2] See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. [3] Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). [4] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [6] Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /R.P/

EAST Search History

EAST Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
S1	1230	lu-zhenyu.in. or shi-wenguang.in. or wu-guanping.in. or pang-feng.in. or wan-xianjin.in. or chen-baoyou.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/02/11 08:43
S2	12	(20100019310 | 20100109065 | 20110151667 | 20130203227 | 20150236038).pn.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/02/11 09:12
S3	4790	h01l27/11578.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/02/11 13:23
S4	5810	h01l27/11565.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/02/11 13:24
S5	17153	h01l27/11582.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/02/11 13:24
S6	4790	h01l27/11578.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/02/11 15:14
S7	5810	h01l27/11565.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/02/11 15:14
S8	17153	h01l27/11582.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/02/11 15:14
S9	3344	S6 (S7 or S8)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/02/11 15:14
S10	972	S6 S7	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/02/11 15:16

Micron Ex. 1002, p. 693
Micron v. YMTC
IPR2025-00294

S11	1239462	(trench or opening or via) with (channel)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/02/11 15:17
S12	827	S6 S11	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/02/11 15:22
S13	12	(20100019310 | 20100109065 | 20110151667 | 20130203227 | 20150236038).pn.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/02/11 15:32
S14	3	S11 S13	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/02/11 15:32
S15	81222	(trench or opening or via) with bottom with (channel)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/02/11 15:41
S16	4790	h01l27/11578.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/02/11 15:43
S17	209	S16 S15	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/02/11 15:43
S18	5810	h01l27/11565.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/02/11 16:16
S19	381	S18 S15	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/02/11 16:16
S20	310	S18 S15 not S17	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/02/11 16:16
S21	4791	h01l27/11578.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/02/13 18:29
S22	5811	h01l27/11565.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/02/13 18:29

Micron Ex. 1002, p. 694
Micron v. YMTC
IPR2025-00294

S23	9630	S21 or S22	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/02/13 18:29
S24	81258	(trench or opening or via) with bottom with (channel)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/02/13 18:29
S25	519	S23 S24	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/02/13 18:29
S26	45	("2015/0236038").URPN.	USPAT	AND	ON	2020/02/13 19:26
S27	4	("2013/0203227").URPN.	USPAT	AND	ON	2020/02/13 20:08
S28	1593	etch$ with (trench or opening or via) with bottom with (channel)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/02/14 08:16
S29	4791	h01l27/11578.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/02/14 08:17
S30	77	S29 S28	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/02/14 08:19
S31	17168	h01l27/11582.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/02/14 08:26
S32	242	S31 S28	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/02/14 08:26
S33	190	S31 S28 not S30	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/02/14 08:26
S34	5811	h01l27/11565.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/02/14 08:58
S35	93	S34 S28	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/02/14 09:00

Micron Ex. 1002, p. 695
Micron v. YMTC
IPR2025-00294

2/ 14/ 2020 7:50:04 PM
C:\ Users\ rpatel3\ Documents\ EAST\ Workspaces\ 16046847.wsp

Micron Ex. 1002, p. 696
Micron v. YMTC
IPR2025-00294

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

BIB DATA SHEET

CONFIRMATION NO. 7612

SERIAL NUMBER	FILING or 371(c) DATE	CLASS	GROUP ART UNIT	ATTORNEY DOCKET NO.
16/046,847	07/26/2018 RULE	257	2812	4123.0110002

APPLICANTS
Yangtze Memory Technologies Co., Ltd., Wuhan, CHINA

INVENTORS
Zhenyu LU, Wuhan, CHINA;
Wenguang SHI, Wuhan, CHINA;
Guanping WU, Wuhan, CHINA;
Feng PAN, Wuhan, CHINA;
Xianjin WAN, Wuhan, CHINA;
Baoyou CHEN, Wuhan, CHINA;

**** CONTINUING DATA ***************************
This application is a CON of PCT/CN2018/077785 03/01/2018

**** FOREIGN APPLICATIONS ***************************
CHINA 201710134782.1 03/08/2017
CHINA 201710134783.6 03/08/2017

**** IF REQUIRED, FOREIGN FILING LICENSE GRANTED ****
08/29/2018

Foreign Priority claimed ☑ Yes ☐ No 35 USC 119(a-d) conditions met ☑ Yes ☐ No Verified and Acknowledged /REEMA PATEL/ Examiner's Signature	☐ Met after Allowance Initials	STATE OR COUNTRY	SHEETS DRAWINGS	TOTAL CLAIMS	INDEPENDENT CLAIMS
		CHINA	120	20	3

ADDRESS
STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.
1100 NEW YORK AVENUE, N.W.
WASHINGTON, DC 20005
UNITED STATES

TITLE
JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME

FILING FEE RECEIVED		
2280	FEES: Authority has been given in Paper No._____ to charge/credit DEPOSIT ACCOUNT No._____ for following:	☐ All Fees ☐ 1.16 Fees (Filing) ☐ 1.17 Fees (Processing Ext. of time) ☐ 1.18 Fees (Issue) ☐ Other _____ ☐ Credit

Micron Ex. 1002, p. 697
Micron v. YMTC
IPR2025-00294

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventors: LU *et al.*	Confirmation No.: 7612
Applicant: Yangtze Memory Technologies Co., Ltd.	Art Unit: 2812
Application No.: 16/046,847	Examiner: PATEL, Reema
Filing Date: July 26, 2018	Atty. Docket: 4123.0110002

Title: **JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME**

Reply Under 37 C.F.R. § 1.111

Mail Stop Amendment

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Commissioner:

In reply to the Office Action dated **February 20, 2020**, Applicant submits the following Amendment and Remarks.

It is not believed that extensions of time are required beyond those that may otherwise be provided for in documents accompanying this paper. However, if additional extensions of time are necessary to prevent abandonment of this application, then such extensions of time are hereby petitioned under 37 C.F.R. § 1.136(a), and any additional fees required to continue prosecution or appeal of this application (including issue fee, fees for net addition of claims or forwarding to appeal) are hereby authorized to be charged to our Deposit Account No. 19-0036.

A List of Claims

This listing of claims will replace all prior versions, and listings, of claims in the application.

1. (Withdrawn) A method of forming a joint opening structure in a three-dimensional (3D) memory device, comprising:

forming a first stacked layer and forming a first insulating connection layer on the first stacked layer;

forming a first through hole that penetrates the first stacked layer and the first insulating connection layer;

forming a first channel structure overlaying the surface of the substrate that is exposed by the first through hole;

forming a first functional layer on the sidewall of the first through hole;

forming a second channel structure and forming a first filling structure on the sidewall of the first functional layer and the exposed surface of the first channel structure;

forming a third channel structure in contact with the second channel structure above the first through hole, wherein a projection of the third channel structure on the substrate covers a projection of the first through hole on the substrate;

forming a second stacked layer and forming a second insulating connection layer on the first insulating connection layer;

forming a second through hole that penetrates the second stacked layer and the second insulating connection layer, wherein a projection of the second through hole on the substrate at least partially overlaps with the projection of the first through hole on the substrate;

forming a second functional layer on the sidewall of the second through hole;

forming a fourth channel structure and forming a second filling structure on the sidewall of the second functional layer and the exposed surface of the third channel structure; and

forming a fifth channel structure in contact with the fourth channel structure above the second through hole.

2. (Withdrawn) The method of claim 1, wherein:

the first stacked layer includes a first number of oxide/nitride layer pairs; and

Micron Ex. 1002, p. 699
Micron v. YMTC
IPR2025-00294

the second stacked layer includes a second number of oxide/nitride layer pairs.

3. (Withdrawn) The method of claim 2, wherein:

the first number and the second number are not less than 32.

4. (Withdrawn) The method of claim 1, wherein forming the first functional layer comprises:

forming a first tunneling layer on the sidewall of the first through hole and the exposed surface of the first channel structure, wherein the first tunneling layer is configured, in operation, to generate charges;

forming a first storage layer on the surface of the first tunneling layer to store the charges generated by the first tunneling layer;

forming a first barrier layer on the surface of the first storage layer to block the outflow of charges in the first storage layer;

forming a first passivation layer on the surface of the first barrier layer to protect the first barrier layer from being damaged in a subsequent removal process; and

removing portions of the first passivation layer, the first barrier layer, the first storage layer, and the first tunneling layer on the surface of the first channel structure, wherein remaining portions of the first passivation layer, the first barrier layer, the first storage layer, and the first tunneling layer on the sidewall of the first through hole to form the first functional layer.

5. (Withdrawn) The method of claim 4, wherein forming the second channel structure and the first filling structure comprises:

forming a second channel layer that covers the sidewall of the first passivation layer and the exposed surface of the first channel layer;

forming the first filling layer that covers the surface of the second channel layer;

removing a portion of the first filling layer to form the first filling structure, wherein the top surface of the first filling structure is lower than the top surface of the first insulating connection layer; and

removing a portion of the second channel layer to form the second channel structure,

Micron Ex. 1002, p. 700
Micron v. YMTC
IPR2025-00294

wherein a top surface of the second channel structure is lower than a top surface of the first insulating connection layer.

6. (Withdrawn) The method of claim 1, wherein forming the third channel structure comprises:

etching the first insulating connection layer to form a first groove, wherein a projection of the first groove on the substrate covers the projection of the first through hole on the substrate;

forming a third channel layer in the first groove, wherein the third channel layer is in contact with the second channel structure; and

planarizing the top surfaces of the first insulating connection layer and the third channel layer to form the third channel structure.

7. (Withdrawn) The method of claim 1, wherein forming the third channel structure comprises:

etching the first insulating connection layer and at least a portion of the top nitride layer of the first stacked layer to form a first groove, wherein a projection of the first groove on the substrate covers the projection of the first through hole on the substrate;

forming the third channel structure in the first groove, wherein the third channel structure is in contact with the second channel structure; and

planarizing the top surfaces of the first insulating connection layer and the third channel structure.

8. (Withdrawn) The method of claim 1, further comprising:

forming a first mask layer overlaying the first insulating connection layer before forming the first through hole; and

removing the first mask layer after forming the first filling structure;

forming a second mask layer on the second insulating connection layer before forming the second through hole; and

removing the second mask layer after forming the second filling structure.

Micron Ex. 1002, p. 701
Micron v. YMTC
IPR2025-00294

9. (Withdrawn) The method of claim 1, wherein forming the fourth channel structure and the second filling structure comprises:

forming a fourth channel layer that covers the sidewall of a second functional layer and the exposed surface of the third channel layer;

forming a second filling layer that covers the surface of the fourth channel layer;

removing a portion of the second filling layer to form the second filling structure, wherein the top surface of the second filling structure is lower than the top surface of the second insulating connection layer; and

removing a portion of the fourth channel layer to form the fourth channel structure, wherein a top surface of the fourth channel structure is lower than a top surface of the second insulating connection layer.

10. (Withdrawn) The method of claim 1, wherein forming the fifth channel structure comprises:

etching the second insulating connection layer to form a second groove, wherein a projection of the second groove on the substrate covers the projection of the second through hole on the substrate;

forming a fifth channel layer in the second groove, wherein the fifth channel layer is in contact with the fourth channel structure; and

planarizing the top surfaces of the second insulating connection layer and the fifth channel layer to form the fifth channel structure.

11. (Original) A joint opening structure of a three-dimensional (3D) memory device, comprising:

a first stacked layer disposed overlaying a substrate;

a first insulating connection layer disposed on the first stacked layer;

a first through hole penetrating the first stacked layer and the first insulating connection layer;

a first channel structure disposed at the bottom of the first through hole and overlaying the substrate;

Micron Ex. 1002, p. 702
Micron v. YMTC
IPR2025-00294

a first functional layer disposed on the sidewall of the first through hole;

a second channel structure in contact with the first channel structure disposed on the sidewall of the first functional layer;

a third channel structure in contact with the second channel structure disposed over the first through hole, wherein a projection of the third channel structure on the substrate covers a projection of the first through hole on the substrate;

a second stacked layer disposed on the third channel structure;

a second insulating connection layer disposed on the second stacked layer;

a second through hole penetrating the second stacked layer and the second insulating connection layer, wherein a projection of the second through hole on the substrate at least partially overlaps with the projection of the first through hole on the substrate;

a second functional layer disposed on the sidewall of the second through hole;

a fourth channel structure in contact with the third channel structure disposed on the sidewall of the second functional layer; and

a fifth channel structure in contact with the fourth channel structure disposed over the second through hole.

12. (Original) The joint opening structure of claim 11, further comprising:

a first filling structure covering the surface of the second channel structure; and

a second filling structure covering the surface of the fourth channel structure;

wherein the first through hole is non-interconnected with the second through hole.

13. (Original) The joint opening structure of claim 11, further comprising:

a first filling structure covering the surfaces of the second channel structure and the fourth channel structure;

wherein the first through hole is interconnected with the second through hole.

14. (Original) The joint opening structure of claim 11, wherein:

the first stacked layer includes a first number of conductor/dielectric layer pairs; and

Micron Ex. 1002, p. 703
Micron v. YMTC
IPR2025-00294

the second stacked layer includes a second number of conductor/dielectric layer pairs.

15. (Original) The joint opening structure of claim 14, wherein:
the first number and the second number are not less than 32.

16. (Original) The joint opening structure of claim 11, wherein:
the first stacked layer includes a first number of oxide/nitride layer pairs; and
the second stacked layer includes a second number of oxide/nitride layer pairs.

17. (Original) The joint opening structure of claim 16, wherein:
the first number and the second number are not less than 32.

18. (Original) The joint opening structure of claim 11, wherein:
a thickness of the third channel structure is in a range between 30nm and 70nm.

19. (Original) The joint opening structure of claim 11, wherein:
a size difference between a top aperture and a bottom aperture of the first through hole is equal to or less than 30nm; and
a size difference between a top aperture and a bottom aperture of the second through hole is equal to or less than 30nm.

20. (Original) A joint opening structure of a three-dimensional (3D) memory device, comprising:
a first stacked layer disposed overlaying a substrate;
a first insulating connection layer disposed on the first stacked layer;
a second stacked layer disposed on the first insulating connection layer;
a second insulating connection layer disposed on the second stacked layer;
a plurality of channel holes in a first region of the 3D memory device;
a plurality of staircase structure dummy holes in a second region of the 3D memory device;

Micron Ex. 1002, p. 704
Micron v. YMTC
IPR2025-00294

and

a plurality of through array contact barriers in a third region of the 3D memory device;

wherein each of the plurality of channel holes includes:

a first through hole penetrating the first stacked layer and the first insulating connection layer,

a first channel structure disposed at the bottom of the first through hole and overlaying the substrate,

a first functional layer disposed on the sidewall of the first through hole,

a second channel structure in contact with the first channel structure disposed on the sidewall of the first functional layer,

a third channel structure in contact with the second channel structure disposed over the first through hole, wherein a projection of the third channel structure on the substrate covers a projection of the first through hole on the substrate,

a second through hole penetrating the second stacked layer and the second insulating connection layer, wherein a projection of the second through hole on the substrate at least partially overlaps with the projection of the first through hole on the substrate,

a second functional layer disposed on the sidewall of the second through hole,

a fourth channel structure in contact with the third channel structure disposed on the sidewall of the second functional layer, and

a fifth channel structure in contact with the fourth channel structure disposed over the second through hole.

Micron Ex. 1002, p. 705
Micron v. YMTC
IPR2025-00294

Remarks

Reconsideration of this Application is respectfully requested.

Upon entry of the foregoing amendment, claims 1-20 are pending in the application. Claims 1-10 were previously withdrawn from consideration. No changes are made to the claims.

Based on the following remarks, Applicant respectfully requests that the Examiner reconsider all outstanding objections and rejections and that they be withdrawn.

Rejections under 35 U.S.C. § 103

Claims 11 and 13-19 are rejected under 35 U.S.C. § 103 as allegedly being unpatentable over U.S. Publication No. 2013/0109158 A1 to Lee *et al.* ("Lee") in view of U.S. Publication No. 2013/0203227 A1 to Huo *et al.* ("Huo"). (Office Action, p. 3, ll. 4-6).

Independent claim 11 recites at least the below features that distinguish over the applied references:

> a third channel structure in contact with the second channel structure disposed over the first through hole, wherein **a projection of the third channel structure on the substrate covers a projection of the first through hole on the substrate**;
>
> ...
>
> **a fifth channel structure in contact with the fourth channel structure disposed over the second through hole**,

(Emphasis added.)

In rejecting claim 11, the Office Action indicated that the third semiconductor layer 147 of Lee's FIG. 1P reads on the claimed third channel structure. (Office Action, page 3.) But Applicant respectfully submits that the Office Action failed to address all words in the claim. MPEP § 2143.03 states:

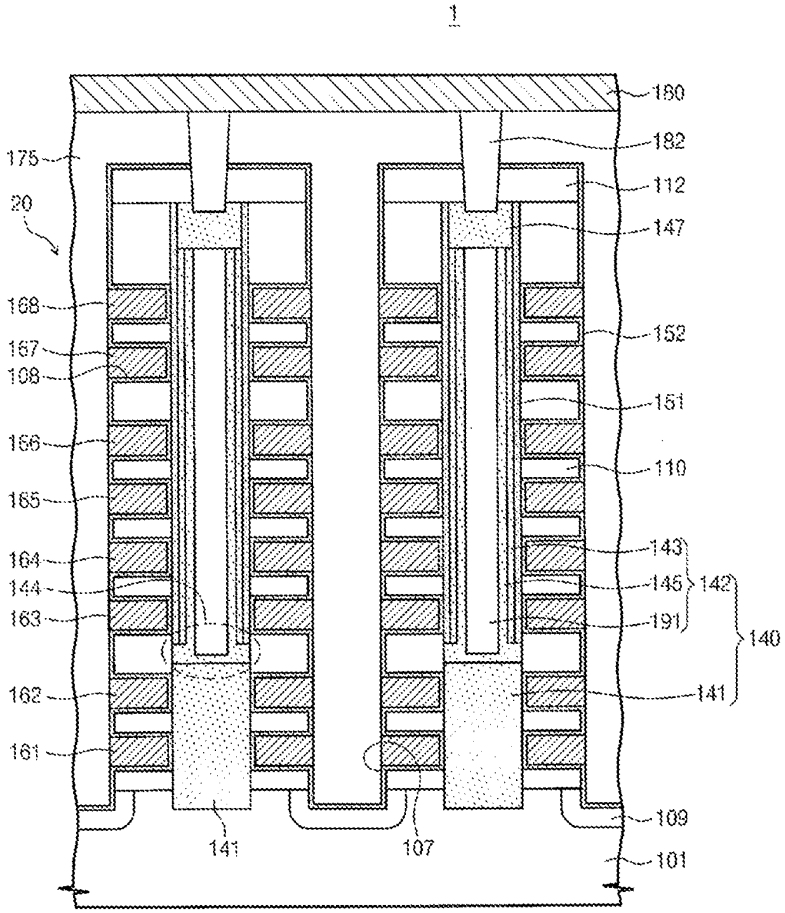
Micron Ex. 1002, p. 706
Micron v. YMTC
IPR2025-00294

> "All words in a claim must be considered in judging the patentability of that claim against the prior art." *In re Wilson*, 424 F.2d 1382, 1385, 165 USPQ 494, 496 (CCPA 1970).
>
> Examiners must consider all claim limitations when determining patentability of an invention over the prior art. *In re Gulack*, 703 F.2d 1381, 1385, 217 USPQ 401, 403-04 (Fed. Cir. 1983). The subject matter of a properly construed claim is defined by the terms that limit the scope of the claim when given their broadest reasonable interpretation. *See* MPEP § 2111 et seq. It is this subject matter that must be examined.

As recited in original claim 11, "a projection of the third channel structure on the substrate covers a projection of the first through hole on the substrate." Unlike the above-noted distinguishing claim features, the third semiconductor layer 147 of Lee is located within the channel hole 103 and is encircled by first information storing layer 151, as clearly shown in FIG. 1P of Lee (reproduced below). Paragraph [0040] of Lee states that "a first information storing layer 151 may be formed to cover an inner wall of the vertical channel hole 103." And Paragraph [0047] of Lee states that "[t]he formation of the third semiconductor layer 147 may include partially removing an upper portion of the vertical channel 140 to form a hole 104, and then filling the hole 104 with a semiconductor material." That is, the third semiconductor layer 147 of Lee is formed ***within*** the channel hole 103 and ***encircled by*** first information storing layer 151, thus a diameter of the third semiconductor layer 147 in the lateral direction must be ***less than*** an inner diameter of the channel hole 103. Therefore, a projection of the third semiconductor layer 147 of Lee on the substrate cannot cover a projection of the channel hole 103 on the substrate, as required by claim 11.

Micron Ex. 1002, p. 707
Micron v. YMTC
IPR2025-00294

Fig. 1P



Further, the Office Action correctly admitted that "Lee does not disclose the following: … a fifth channel structure in contact with the fourth channel structure disposed over the second through hole." The Office Action then replied on Huo and stated that "Huo discloses vertically stacking identical sub-arrays (FIG. 4)." (Office Action, pp. 3-4.) Applicant respectfully disagrees.

First, as shown in FIG. 4 of Huo (reproduced below), the upper storage sub-array is not identical with the lower storage sub-array as the Office Action alleged. The lower storage sub-array

Micron Ex. 1002, p. 708
Micron v. YMTC
IPR2025-00294

includes vertical transistors and selection transistor drains that are indicated in the dashed circle line, which the upper storage sub-array does not have. Thus, the conclusion of the Office Action fails. Second, the upper subarray of Huo does not include "a fifth channel structure in contact with the fourth channel structure disposed over the second through hole," as required by claim 11. Huo is completely silent about this feature. Thus, Huo fails to cure the deficiencies of Lee.

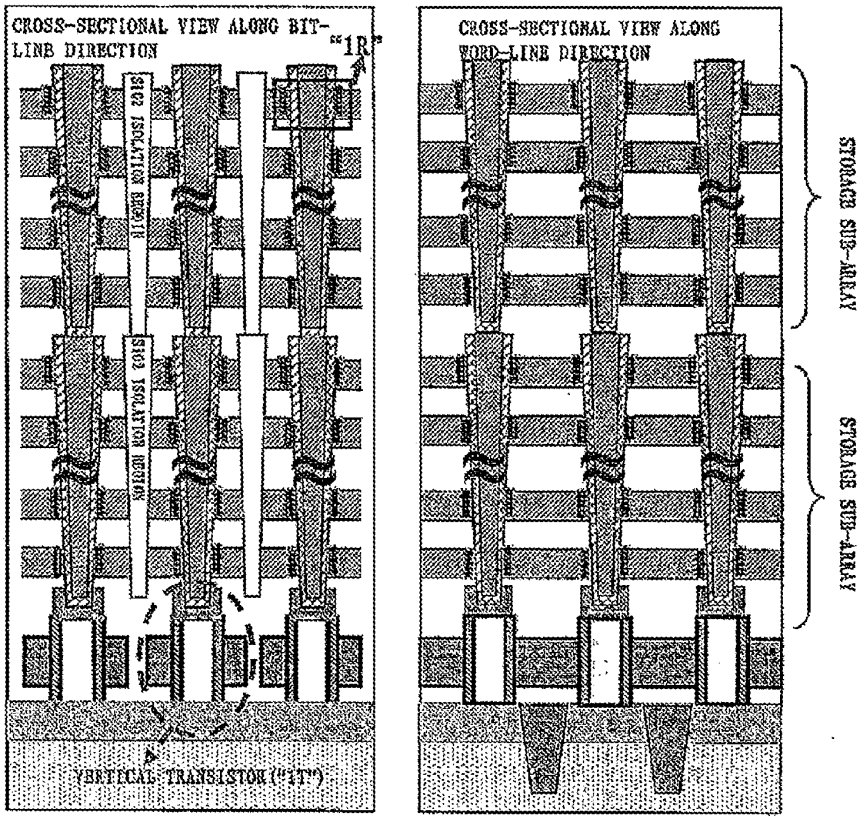


FIG.4

Micron Ex. 1002, p. 709
Micron v. YMTC
IPR2025-00294

Accordingly, independent claim 11 is allowable over the cited references. Dependent claims 13-19, each of which depends from independent claim 11, are also allowable for at least depending from an allowable base claim, and for their respective distinguishing features.

For example, at least dependent claims 13, and 15-17 are allowable for their respective distinguishing features.

In rejecting claim 13, the Office Action alleged that "Huo discloses a first through hole (of lower storage sub-array, FIG. 4) interconnected with a second through hole (of upper storage sub-array, FIG. 4) and a filling structure covering a surface of the sidewalls of the lower storage sub-array (second channel) and a bottom surface of the upper storage sub-array (fourth channel)." (Office Action, p. 5.) Applicant respectfully disagrees.

Contrary to the assertion in the Office Action, the through holes of the lower and upper storage sub-arrays of Huo are not interconnection with each other. As shown in FIG. 12 of Hou (reproduced below), the upper stack is formed after the lower through hole of the lower storage sub-array is filled with metal. As shown in FIG. 4 of Hou (reproduced above), a barrier layer is formed between the upper metal electrode filled in the upper through hole of the upper storage sub-array and the lower metal electrode filled in the lower through hole of the lower storage sub-array. Thus, Huo fails to disclose the feature of "the first through hole is interconnected with the second through hole," as recited in claim 13.

Further, the filling structures of Huo are the metal electrodes which function as a channel electrode. Therefore, Huo also fails to and cannot disclose any "first filling structure covering the surfaces of the second channel structure and the fourth channel structure," as recited in claim 13.

Micron Ex. 1002, p. 710
Micron v. YMTC
IPR2025-00294

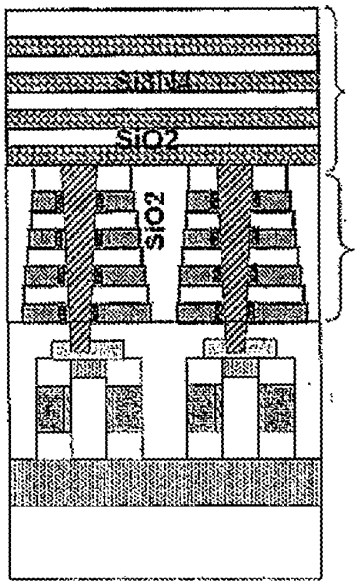


FIG.12

In rejecting dependent claims 15 and 17, the Office Action correctly admitted that "Lee … does not disclose the number is not less than 32." However, the Office Action stated that "it would have been obvious to one having ordinary skill in the art at the time the invention was effectively filed to select a number of conductor/electric pairs to be not less than 32, since it has been held that there the general conditions of a claim are disclosed in the prior art, discovering the optimum or workable rages involves only routine skill in the art. *In re Aller*, 105 USPQ 223." (Office Action, pp. 5-6.) Applicant respectfully disagrees that the distinguish feature recited in claims 15 and 17 involve only routine skill in the art and have been obvious to a POSA. A published reference is respectfully requested to be provided in the next Office Action to support the allegations of obviousness against claims 15 and 17. *K/S HIMPP v. Hear-Wear Techs., LLC,* 751 F.3d 1362, 1366 (Fed. Cir. 2014).

Micron Ex. 1002, p. 711
Micron v. YMTC
IPR2025-00294

In rejecting dependent claim 16, the Office Action correctly admitted that "Lee … does not explicitly disclose its thickness is between 30 nm and 70 nm." However, the Office Action stated that "it would have been obvious to one having ordinary skill in the art at the time the invention was effectively filed to select a thickness of the third channel structure to be between 30 nm and 70 nm, since it has been held that there the general conditions of a claim are disclosed in the prior art, discovering the optimum or workable rages involves only routine skill in the art. *In re Aller*, 105 USPQ 223." (Office Action, pp. 5-6.) Again, Applicant respectfully disagrees that the distinguish feature recited in claim 16 involves only routine skill in the art and have been obvious to a POSA. A published reference is respectfully requested to be provided in the next Office Action to support the allegations of obviousness against claims 15 and 17. *K/S HIMPP v. Hear-Wear Techs., LLC,* 751 F.3d 1362, 1366 (Fed. Cir. 2014).

Based on at least the reasons discussed above, reconsideration and withdrawal of the rejections under 35 U.S.C. § 103 to claims 11 and 13-19 are respectfully requested.

Allowable Subject Matter

Applicant thanks the Examiner for allowing claim 20 and indicating that claim 12 containing allowable subject matter.

Applicant declines to make the suggested amendments at this time to claim 12. Applicant submits that claim 12 is allowable for being dependent on allowable base claim, further in view of its own allowable subject matter. Applicant respectfully requests that this objection be reconsidered and withdrawn.

Micron Ex. 1002, p. 712
Micron v. YMTC
IPR2025-00294

Conclusion

All of the stated grounds of rejection have been properly traversed, accommodated, or rendered moot. Applicant therefore respectfully requests that the Examiner reconsider all presently outstanding rejections and that they be withdrawn. Applicant believes that a full and complete reply has been made to the outstanding Office Action and, as such, the present application is in condition for allowance. If the Examiner believes, for any reason, that personal communication will expedite prosecution of this application, the Examiner is invited to telephone the undersigned at the number provided.

Prompt and favorable consideration of this Reply is respectfully requested.

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Donald J. Featherstone/

Donald J. Featherstone
Attorney for Applicant
Registration No. 33,876

Date: 04/01/2020

1100 New York Avenue, N.W.
Washington, D.C. 20005-3934
(202) 371-2600

14808721.1

Micron Ex. 1002, p. 713
Micron v. YMTC
IPR2025-00294

Electronic Acknowledgement Receipt

EFS ID:	39032572
Application Number:	16046847
International Application Number:	
Confirmation Number:	7612
Title of Invention:	JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME
First Named Inventor/Applicant Name:	Zhenyu LU
Customer Number:	26111
Filer:	Donald J. Featherstone/Denise Bauckman
Filer Authorized By:	Donald J. Featherstone
Attorney Docket Number:	4123.0110002
Receipt Date:	01-APR-2020
Filing Date:	26-JUL-2018
Time Stamp:	16:06:01
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Miscellaneous Incoming Letter	2020-04-01-Miscellaneous-Letter-4123-0110002.pdf	276175 07591b232742d6fdde843647c88545d984dd1749	no	1
Warnings:					

Micron Ex. 1002, p. 714
Micron v. YMTC
IPR2025-00294

Information:					
2		2020-04-01-Reply-111-4123-0110002.pdf	1658195 7f83e356718b72c84c6ec3e20062b70f83f7ad87	yes	16

	Multipart Description/PDF files in .zip description		
	Document Description	**Start**	**End**
	Amendment/Req. Reconsideration-After Non-Final Reject	1	1
	Claims	2	8
	Applicant Arguments/Remarks Made in an Amendment	9	16

Warnings:	
Information:	
Total Files Size (in bytes):	1934370

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Donald J. Featherstone
DIRECTOR
(202) 772-8629
DONF@STERNEKESSLER.COM

Sterne Kessler
STERNE KESSLER GOLDSTEIN & FOX

April 1, 2020

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Confirmation No. 7612
Art Unit 2812
Attn: Mail Stop Amendment

Re: U.S. Utility Patent Application
Appl. No. 16/046,847; Filing Date: July 26, 2018
For: **JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME**
Inventors: LU *et al.*
Our Ref: 4123.0110002

Commissioner:

Transmitted herewith for appropriate action by the U.S. Patent and Trademark Office is a document entitled ***Reply Under 37 C.F.R. § 1.111***.

The above-listed document is filed electronically.

In the event that extensions of time are necessary to prevent abandonment of this patent application, then such extensions of time are hereby petitioned.

The U.S. Patent and Trademark Office is hereby authorized to charge any fee deficiency and any additional fees required to continue prosecution or appeal of this application (including issue fee, fees for net addition of claims or forwarding to appeal) or credit any overpayment to our Deposit Account No. 19-0036.

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Donald J. Featherstone/

Donald J. Featherstone
Attorney for Applicant
Registration No. 33,876

DJF/W-S/dab
Enclosure

14734624_1

Micron Ex. 1002, p. 716
Micron v. YMTC
IPR2025-00294

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

26111 7590 07/16/2020

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.
1100 NEW YORK AVENUE, N.W.
WASHINGTON, DC 20005

EXAMINER
PATEL, REEMA

ART UNIT	PAPER NUMBER
2812	

DATE MAILED: 07/16/2020

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/046,847	07/26/2018	Zhenyu LU	4123.0110002	7612

TITLE OF INVENTION: JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	$1000	$0.00	$0.00	$1000	10/16/2020

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE DOES NOT REFLECT A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE IN THIS APPLICATION. IF AN ISSUE FEE HAS PREVIOUSLY BEEN PAID IN THIS APPLICATION (AS SHOWN ABOVE), THE RETURN OF PART B OF THIS FORM WILL BE CONSIDERED A REQUEST TO REAPPLY THE PREVIOUSLY PAID ISSUE FEE TOWARD THE ISSUE FEE NOW DUE.

HOW TO REPLY TO THIS NOTICE:

I. Review the ENTITY STATUS shown above. If the ENTITY STATUS is shown as SMALL or MICRO, verify whether entitlement to that entity status still applies.

If the ENTITY STATUS is the same as shown above, pay the TOTAL FEE(S) DUE shown above.

If the ENTITY STATUS is changed from that shown above, on PART B - FEE(S) TRANSMITTAL, complete section number 5 titled "Change in Entity Status (from status indicated above)".

For purposes of this notice, small entity fees are 1/2 the amount of undiscounted fees, and micro entity fees are 1/2 the amount of small entity fees.

II. PART B - FEE(S) TRANSMITTAL, or its equivalent, must be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed and an extra copy of the form should be submitted. If an equivalent of Part B is filed, a request to reapply a previously paid issue fee must be clearly made, and delays in processing may occur due to the difficulty in recognizing the paper as an equivalent of Part B.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Maintenance fees are due in utility patents issuing on applications filed on or after Dec. 12, 1980. It is patentee's responsibility to ensure timely payment of maintenance fees when due. More information is available at www.uspto.gov/PatentMaintenanceFees.

PTOL-85 (Rev. 02/11)

Micron Ex. 1002, p. 717
Micron v. YMTC
IPR2025-00294

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), by mail or fax, or via EFS-Web.

By mail, send to: Mail Stop ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

By fax, send to: (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

26111 7590 07/16/2020

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.
1100 NEW YORK AVENUE, N.W.
WASHINGTON, DC 20005

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being transmitted to the USPTO via EFS-Web or by facsimile to (571) 273-2885, on the date below.

(Typed or printed name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/046,847	07/26/2018	Zhenyu LU	4123.0110002	7612

TITLE OF INVENTION: JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	$1000	$0.00	$0.00	$1000	10/16/2020

EXAMINER	ART UNIT	CLASS-SUBCLASS
PATEL, REEMA	2812	257-324000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

❑ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.

❑ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-09 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list
(1) The names of up to 3 registered patent attorneys or agents OR, alternatively,
(2) The name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 _____
2 _____
3 _____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document must have been previously recorded, or filed for recordation, as set forth in 37 CFR 3.11 and 37 CFR 3.81(a). Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE (B) RESIDENCE: (CITY and STATE OR COUNTRY)

Please check the appropriate assignee category or categories (will not be printed on the patent) : ❑ Individual ❑ Corporation or other private group entity ❑ Government

4a. Fees submitted: ❑ Issue Fee ❑ Publication Fee (if required) ❑ Advance Order - # of Copies _____

4b. Method of Payment: *(Please first reapply any previously paid fee shown above)*

❑ Electronic Payment via EFS-Web ❑ Enclosed check ❑ Non-electronic payment by credit card (Attach form PTO-2038)

❑ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment to Deposit Account No. _____

5. **Change in Entity Status** (from status indicated above)

❑ Applicant certifying micro entity status. See 37 CFR 1.29

❑ Applicant asserting small entity status. See 37 CFR 1.27

❑ Applicant changing to regular undiscounted fee status.

NOTE: Absent a valid certification of Micro Entity Status (see forms PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.
NOTE: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.
NOTE: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: This form must be signed in accordance with 37 CFR 1.31 and 1.33. See 37 CFR 1.4 for signature requirements and certifications.

Authorized Signature _____ Date _____

Typed or printed name _____ Registration No. _____

PTOL-85 Part B (08-18) Approved for use through 01/31/2020 OMB 0651-0033 U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Micron Ex. 1002, p. 718
Micron v. YMTC
IPR2025-00294

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/046,847	07/26/2018	Zhenyu LU	4123.0110002	7612

26111 7590 07/16/2020

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.
1100 NEW YORK AVENUE, N.W.
WASHINGTON, DC 20005

EXAMINER	
PATEL, REEMA	

ART UNIT	PAPER NUMBER
2812	

DATE MAILED: 07/16/2020

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(Applications filed on or after May 29, 2000)

The Office has discontinued providing a Patent Term Adjustment (PTA) calculation with the Notice of Allowance.

Section 1(h)(2) of the AIA Technical Corrections Act amended 35 U.S.C. 154(b)(3)(B)(i) to eliminate the requirement that the Office provide a patent term adjustment determination with the notice of allowance. See Revisions to Patent Term Adjustment, 78 Fed. Reg. 19416, 19417 (Apr. 1, 2013). Therefore, the Office is no longer providing an initial patent term adjustment determination with the notice of allowance. The Office will continue to provide a patent term adjustment determination with the Issue Notification Letter that is mailed to applicant approximately three weeks prior to the issue date of the patent, and will include the patent term adjustment on the patent. Any request for reconsideration of the patent term adjustment determination (or reinstatement of patent term adjustment) should follow the process outlined in 37 CFR 1.705.

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at 1-(888)-786-0101 or (571)-272-4200.

PTOL-85 (Rev. 02/11)

Micron Ex. 1002, p. 719
Micron v. YMTC
IPR2025-00294

OMB Clearance and PRA Burden Statement for PTOL-85 Part B

The Paperwork Reduction Act (PRA) of 1995 requires Federal agencies to obtain Office of Management and Budget approval before requesting most types of information from the public. When OMB approves an agency request to collect information from the public, OMB (i) provides a valid OMB Control Number and expiration date for the agency to display on the instrument that will be used to collect the information and (ii) requires the agency to inform the public about the OMB Control Number's legal significance in accordance with 5 CFR 1320.5(b).

The information collected by PTOL-85 Part B is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 30 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450. Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Notice of Allowability	Application No. 16/046,847	Applicant(s) LU et al.	
	Examiner REEMA PATEL	Art Unit 2812	AIA (FITF) Status Yes

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☑ This communication is responsive to response filed 4/1/20.
   ☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on _____.

2. ☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.

3. ☑ The allowed claim(s) is/are 1-20 . As a result of the allowed claim(s), you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see **http://www.uspto.gov/patents/init_events/pph/index.jsp** or send an inquiry to **PPHfeedback@uspto.gov.**

4. ☑ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

   Certified copies:

   a) ☑ All b) ☐ Some *c) ☐ None of the:

   1. ☑ Certified copies of the priority documents have been received.
   2. ☐ Certified copies of the priority documents have been received in Application No. _____ .
   3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

   * Certified copies not received: _____ .

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

5. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
   ☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____ .

   Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).

6. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

1. ☐ Notice of References Cited (PTO-892)
2. ☐ Information Disclosure Statements (PTO/SB/08), Paper No./Mail Date _____.
3. ☐ Examiner's Comment Regarding Requirement for Deposit of Biological Material _____.
4. ☐ Interview Summary (PTO-413), Paper No./Mail Date. _____.
5. ☐ Examiner's Amendment/Comment
6. ☑ Examiner's Statement of Reasons for Allowance
7. ☐ Other _____.

/REEMA PATEL/
Primary Examiner, Art Unit 2812

Micron Ex. 1002, p. 721
Micron v. YMTC
IPR2025-00294

DETAILED ACTION

Notice of Pre-AIA or AIA Status

1. The present application, filed on or after March 16, 2013, is being examined under the first inventor to file provisions of the AIA.

Election/Restrictions

2. Claims 11-20 are directed to an allowable product. Pursuant to the procedures set forth in MPEP § 821.04(B), claims 1-10, directed to the process of making or using an allowable product, previously withdrawn from consideration as a result of a restriction requirement, are hereby rejoined and fully examined for patentability under 37 CFR 1.104.

Because all claims previously withdrawn from consideration under 37 CFR 1.142 have been rejoined, **the restriction requirement as set forth in the Office action mailed on 10/10/19 is hereby withdrawn**. In view of the withdrawal of the restriction requirement as to the rejoined inventions, applicant(s) are advised that if any claim presented in a continuation or divisional application is anticipated by, or includes all the limitations of, a claim that is allowable in the present application, such claim may be subject to provisional statutory and/or nonstatutory double patenting rejections over the claims of the instant application. Once the restriction requirement is withdrawn, the provisions of 35 U.S.C. 121 are no longer applicable. See *In re Ziegler*, 443 F.2d 1211, 1215, 170 USPQ 129, 131-32 (CCPA 1971). See also MPEP § 804.01.

Allowable Subject Matter

3. Claims 1-20 are allowed.

4. The following is an examiner's statement of reasons for allowance: The prior art to the examiner's knowledge does not teach or render obvious the instant invention as

characterized as in claims 1 and 11 by the limitation of a third channel structure in contact with the second channel structure disposed over the first through hole, wherein a projection of the third channel structure on the substrate covers a projection of the first though hole on the substrate and a fifth channel structure in contact with the fourth channel structure disposed over the second through hole. Claims 2-19 depend on claim 1. Claims 12-20 depend on claim 11.

5. Any comments considered necessary by applicant must be submitted no later than the payment of the issue fee and, to avoid processing delays, should preferably accompany the issue fee. Such submissions should be clearly labeled "Comments on Statement of Reasons for Allowance."

6. Any inquiry concerning this communication or earlier communications from the examiner should be directed to REEMA PATEL whose telephone number is (571)270-1436. The examiner can normally be reached on M-F, 8am-5pm EST.

Examiner interviews are available via telephone, in-person, and video conferencing using a USPTO supplied web-based collaboration tool. To schedule an interview, applicant is encouraged to use the USPTO Automated Interview Request (AIR) at http://www.uspto.gov/interviewpractice.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Charles D Garber can be reached on (571)272-2194. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information

for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see https://ppair-my.uspto.gov/pair/PrivatePair. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/REEMA PATEL/
Primary Examiner, Art Unit 2812
7/6/20

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	16/046,847	LU et al.
	Examiner	**Art Unit**
	REEMA PATEL	2812

CPC						
Symbol					**Type**	**Version**
H01L	/	27	/	11578	F	2013-01-01
H01L	/	27	/	1157	I	2013-01-01
H01L	/	27	/	11582	I	2013-01-01
H01L	/	27	/	11565	I	2013-01-01

CPC Combination Sets							
Symbol					**Type**	**Set**	**Ranking**	**Version**
	/		/					

NONE		Total Claims Allowed:	
(Assistant Examiner)	(Date)	20	
/REEMA PATEL/ Primary Examiner, Art Unit 2812	06 July 2020	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	22A

U.S. Patent and Trademark Office — Part of Paper No.: 20200706

Micron Ex. 1002, p. 725
Micron v. YMTC
IPR2025-00294

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	16/046,847	LU et al.
	Examiner	**Art Unit**
	REEMA PATEL	2812

INTERNATIONAL CLASSIFICATION					
CLAIMED					
H01L	/	21	/	00	

NON-CLAIMED					
	/		/		

US ORIGINAL CLASSIFICATION	
CLASS	**SUBCLASS**

CROSS REFERENCES(S)						
CLASS	**SUBCLASS (ONE SUBCLASS PER BLOCK)**					

NONE		**Total Claims Allowed:**	
(Assistant Examiner)	(Date)	20	
/REEMA PATEL/ Primary Examiner, Art Unit 2812	06 July 2020	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	22A

U.S. Patent and Trademark Office — Part of Paper No.: 20200706

Micron Ex. 1002, p. 726
Micron v. YMTC
IPR2025-00294

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	16/046,847	LU et al.
	Examiner	**Art Unit**
	REEMA PATEL	2812

☑ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

CLAIMS

Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original
	1		10		19										
	2		11		20										
	3		12												
	4		13												
	5		14												
	6		15												
	7		16												
	8		17												
	9		18												

NONE		**Total Claims Allowed:**	
(Assistant Examiner)	(Date)	20	
/REEMA PATEL/ Primary Examiner, Art Unit 2812	06 July 2020	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	22A

U.S. Patent and Trademark Office — Part of Paper No.: 20200706

Micron Ex. 1002, p. 727
Micron v. YMTC
IPR2025-00294

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	16/046,847	LU et al.
	Examiner	Art Unit
	REEMA PATEL	2812

CPC - Searched*		
Symbol	Date	Examiner

CPC Combination Sets - Searched*		
Symbol	Date	Examiner

US Classification - Searched*			
Class	Subclass	Date	Examiner

* See search history printout included with this form or the SEARCH NOTES box below to determine the scope of the search.

Search Notes		
Search Notes	Date	Examiner
H01L 27/11578, 11565, 11582, 11578, 11565, 11582 with keywords	02/14/2020	RP
EAST search notes attached	02/14/2020	RP
Updated search	07/06/2020	RP

Interference Search			
US Class/CPC Symbol	US Subclass/CPC Group	Date	Examiner
	interference search history printout	07/06/2020	RP

/R.P/ Primary Examiner, Art Unit 2812	

Micron Ex. 1002, p. 728
Micron v. YMTC
IPR2025-00294

EAST Search History

EAST Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
S1	3,871	lu-zhenyu.in. or shi-wenguang.in. or wu-guangping.in. or pan-feng.in. or wan-xianjin.in. or chen-baoyou.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/06/24 15:29
S2	16	(US-20130203227-$ or US-20190081060-$ or US-20160133638-$ or US-20150236038-$ or US-20160293621-$ or US-20130109158-$ or US-20170092651-$).did. or (WO-2018161846-$ or CN-110313061-$).did.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/06/24 15:39
S3	3	(9070872 | 20130203227).pn.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/06/24 15:48
S4	5,174	h01l27/11578.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/06/24 15:56
S5	6,609	h01l27/11565.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/06/24 15:56
S6	19,040	h01l27/11582.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/06/24 15:56
S7	5,174	h01l27/11578.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO;	AND	ON	2020/06/24 15:56

			DERWENT; IBM_TDB			
S8	6,609	h01l27/11565.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/06/24 15:56
S9	19,040	h01l27/11582.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/06/24 15:56
S10	2,535,204	@pd>="20200214"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/06/24 15:57
S11	785	(S4 or S5) S10	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/06/24 15:58
S12	1,528	S6 S10	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/06/24 16:52
S13	5,190	h01l27/11578.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	AND	ON	2020/07/06 08:34

EAST Search History (Interference)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
S14	223	lu-zhenyu.in. or shi-wenguang.in. or wu-guangping.in. or pan-feng.in. or wan-xianjin.in. or chen-baoyou.in.	USPAT	AND	ON	2020/07/06 11:20
S15	1,048	h01l27/11578.cpc.	USPAT	AND	ON	2020/07/06 11:20

S16	1,389	h01l27/11565.cpc.	USPAT	AND	ON	2020/07/06 11:20
S17	3,870	h01l27/11582.cpc.	USPAT	AND	ON	2020/07/06 11:20
S18	4,396	S15 or S16 or S17	USPAT	AND	ON	2020/07/06 11:22
S19	664	etch$ with (trench or opening or via) with bottom with channel	USPAT	AND	ON	2020/07/06 11:23
S20	126	S18 S19	USPAT	AND	ON	2020/07/06 11:23

7/6/2020 12:19:05 PM
C:\Users\rpatel3\Documents\EAST\Workspaces\16046847action2.wsp

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

BIB DATA SHEET

CONFIRMATION NO. 7612

SERIAL NUMBER	FILING or 371(c) DATE	CLASS	GROUP ART UNIT	ATTORNEY DOCKET NO.
16/046,847	07/26/2018 **RULE**	257	2812	4123.0110002

APPLICANTS
Yangtze Memory Technologies Co., Ltd., Wuhan, CHINA

INVENTORS
Zhenyu LU, Wuhan, CHINA;
Wenguang SHI, Wuhan, CHINA;
Guanping WU, Wuhan, CHINA;
Feng PAN, Wuhan, CHINA;
Xianjin WAN, Wuhan, CHINA;
Baoyou CHEN, Wuhan, CHINA;

**** CONTINUING DATA ***************************
This application is a CON of PCT/CN2018/077785 03/01/2018

**** FOREIGN APPLICATIONS ***************************
CHINA 201710134782.1 03/08/2017
CHINA 201710134783.6 03/08/2017

**** IF REQUIRED, FOREIGN FILING LICENSE GRANTED ****
08/29/2018

Foreign Priority claimed ☑ Yes ☐ No 35 USC 119(a-d) conditions met ☑ Yes ☐ No Verified and Acknowledged /REEMA PATEL/ Examiner's Signature	☐ Met after Allowance Initials	STATE OR COUNTRY	SHEETS DRAWINGS	TOTAL CLAIMS	INDEPENDENT CLAIMS
		CHINA	120	20	3

ADDRESS
STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.
1100 NEW YORK AVENUE, N.W.
WASHINGTON, DC 20005
UNITED STATES

TITLE
JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME

FILING FEE RECEIVED		
2280	FEES: Authority has been given in Paper No._____ to charge/credit DEPOSIT ACCOUNT No._____ for following:	☐ All Fees ☐ 1.16 Fees (Filing) ☐ 1.17 Fees (Processing Ext. of time) ☐ 1.18 Fees (Issue) ☐ Other _____ ☐ Credit

Micron Ex. 1002, p. 732
Micron v. YMTC
IPR2025-00294

PTO/SB/08a (07-09)
Approved for use through 11/30/2020. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 1

Complete if Known	
Application Number	16/046,847
Filing Date	July 26, 2018
First Named Inventor	Zhenyu LU
Art Unit	2812
Examiner Name	PATEL, REEMA
Attorney Docket Number	4123.0110002

U. S. PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Document Number Number-Kind Code[2] *(if known)*	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	US1	US- 2010/0109072 A1	05-06-2010	Kidoh et al.	
	US2	US- 20110/143524 A1	06-16-2011	Son et al.	
	US3	US- 2016/0071793 A1	03-10-2016	Shinohara et al.	
	US4	US- 2016/0163732 A1	06-09-2016	Lim et al.	
	US5	US- 9,570,463 B1	02-14-2017	Zhang et al.	
	US6	US- 10,229,927 B2	03-12-2019	Lee et al.	
	US7	US- 10,600,801 B2	03-24-2020	Lee et al.	
	US8	US- 10,644,020 B2	05-05-2020	Huo et al.	
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Foreign Patent Document Country Code[3] Number[4] Kind Code[5] *(if known)*	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages Or Relevant Figures Appear	T[6]
	FP1	CN 105261617 A	01-20-2016	INST OF MICROELECTRONICS		
	FP2	KR 1020110068145 A	06-22-2011	SAMSUNG ELECTRONICS CO LT		
	FP3	KR 1020120029194 A	03-26-2012	SAMSUNG ELECTRONICS CO LT		
	FP4	KR 1020160003977 A	01-12-2016	SAMSUNG ELECTRONICS CO LT		
	FP5	KR 1020160069903 A	06-17-2016	SAMSUNG ELECTRONICS CO LT		

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. [1] Applicant's unique citation designation number (optional). [2] See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. [3] Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). [4] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [6] Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

PTO/SB/08b (07-09)
Approved for use through 11/30/2020. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 1

Complete if Known	
Application Number	16/046,847
Filing Date	July 26, 2018
First Named Inventor	Zhenyu LU
Art Unit	2812
Examiner Name	PATEL, REEMA
Attorney Docket Number	4123.0110002

NON PATENT LITERATURE DOCUMENTS

Examiner Initials*	Cite No.[1]	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	T[2]
	NPL1	Korean Application No. 10-2019-7029469, Office Action mailed September 23, 2020; English Translation from EPO Global Dossier, 16 pages.	✓
	NPL2	Chinese Application No. 201910114048.8, Office Action mailed September 27, 2020; English Translation from EPO Global Dossier, 32`pages.	✓

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

[1] Applicant's unique citation designation number (optional). [2] Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 105261617 A
(43)申请公布日 2016.01.20

(21)申请号 201510713805.5

(22)申请日 2015.10.28

(71)申请人 中国科学院微电子研究所
地址 100029 北京市朝阳区北土城西路 3#

(72)发明人 霍宗亮 叶甜春

(74)专利代理机构 北京蓝智辉煌知识产权代理事务所(普通合伙) 11345
代理人 陈红

(51)Int.Cl.
H01L 27/105(2006.01)
H01L 27/115(2006.01)
H01L 21/8239(2006.01)
H01L 21/8247(2006.01)
H01L 29/10(2006.01)

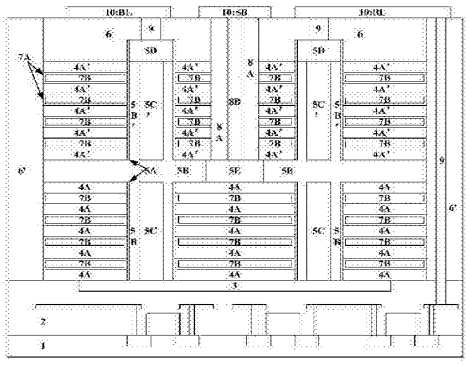
权利要求书2页 说明书8页 附图8页

(54)发明名称

三维半导体器件及其制造方法

(57)摘要

一种三维半导体器件,包括:外围电路,分布在衬底上;多个存储单元,在外围电路之上,每一个包括:共源区,在存储单元与外围电路之间;沟道层,沿垂直于衬底表面的方向分布;至少一个衬底接触层,从沟道层中部平行于衬底表面水平延伸,每个包括至少一个衬底接触区;多个绝缘层,位于沟道层的侧壁上;多个控制栅极,夹设在相邻的绝缘层之间;栅极介质层,位于沟道层与控制栅极之间;漏区,在沟道层顶部;衬底接触引出线,电连接衬底接触区;以及位线布线,电连接每个存储单元的漏区与外围电路。在存储串的中段形成衬底接触,提高存储器擦写的性能和可靠性,提高存储阵列的存储密度,减少整个存储芯片的面积,降低成本。



CN 105261617 A

Micron Ex. 1002, p. 735
Micron v. YMTC
IPR2025-00294

1. 一种三维半导体器件，包括：

外围电路，分布在衬底上；

多个存储单元，在外围电路之上，每一个包括：

共源区，在存储单元与外围电路之间；

沟道层，沿垂直于衬底表面的方向分布；

至少一个衬底接触层，从沟道层中部平行于衬底表面水平延伸，每个包括至少一个衬底接触区；

多个绝缘层，位于沟道层的侧壁上；

多个控制栅极，夹设在相邻的绝缘层之间；

栅极介质层，位于沟道层与控制栅极之间；

漏区，在沟道层顶部；

衬底接触引出线，电连接衬底接触区；以及

位线布线，电连接每个存储单元的漏区与外围电路。

2. 如权利要求 1 的三维半导体器件，其中，沟道层由衬底接触层分隔为多段；任选地，沟道层平行于衬底表面的截面形状包括选自矩形、方形、菱形、圆形、半圆形、椭圆形、三角形、五边形、五角形、六边形、八边形及其组合的几何形状，以及包括选自所述几何形状演化得到的实心几何图形、空心环状几何图形、或者空心环状外围层与绝缘层中心的组合图形；任选地，沟道层为单晶、多晶、微晶或非晶层且材料选自 IV 族单质、IV 族化合物、III-V 族化合物、II-VI 族化合物半导体的，例如为单晶 Si、非晶 Si、多晶 Si、微晶 Si、单晶 Ge、SiGe、Si:C、SiGe:C、SiGe:H、GeSn、InSn、InN、InP、GaN、GaP、GaSn、GaAs 的任一种或其组合，优选地进一步包括材料为空气或氧化物、氮化物的沟道填充层。

3. 如权利要求 1 的三维半导体器件，其中，栅极介质层进一步包括隧穿层、存储层、阻挡层；优选地，隧穿层包括 SiO_2 或高 k 材料的单层结构或多层堆叠结构；优选地，存储层是具有电荷俘获能力的介质材料的单层结构或多层堆叠结构，例如 SiN、SiON、HfO、ZrO 的任一种及其组合；优选地，阻挡层是氧化硅、氧化铝、氧化铪等介质材料的单层结构或多层堆叠结构。

4. 如权利要求 1 的三维半导体器件，其中，控制栅极材料选自掺杂多晶硅、掺杂单晶硅、金属、金属合金、导电金属氧化物、导电金属氮化物、导电金属硅化物的任一种或其组合；任选地，相邻的绝缘层之间进一步包括经由绝缘层和 / 或栅极介质层与控制栅极水平相邻的浮栅。

5. 如权利要求 1 的三维半导体器件，其中，共源区包括掺杂多晶硅、掺杂单晶硅、金属硅化物、金属氮化物的任一种或其组合；优选地，共源区具有与沟道层和 / 或衬底接触区不同的导电类型。

6. 一种三维半导体器件制造方法，包括步骤：

a、在衬底上形成外围电路；

b、在外围电路上形成共源区；

c、形成第一材料层与第二材料层交替构成的绝缘层堆叠；

d、刻蚀绝缘层堆叠形成多个垂直的开口，在开口侧壁形成栅极介质层，在开口侧壁以及绝缘层堆叠顶部形成沟道层；

Micron Ex. 1002, p. 736
Micron v. YMTC
IPR2025-00294

e、循环步骤 c 和 d，相邻的绝缘层堆叠顶部的沟道层构成至少一个衬底接触层；

f、在沟道层顶部形成漏区；

g、选择性刻蚀去除第二材料层，在留下的第一材料层之间形成控制栅极；

h、刻蚀第一材料层和控制栅极形成暴露衬底接触层的开口，在开口底部形成衬底接触区，在开口中形成衬底接触引出线；

i、形成位线布线，电连接漏区与外围电路。

7. 一种三维半导体器件制造方法，包括步骤：

a、在衬底上形成外围电路；

b、在外围电路上形成共源区；

c2、在共源区上形成第一材料层与第二材料层交替构成的多个绝缘层堆叠，并且相邻绝缘层堆叠之间形成至少一个衬底接触层；

d2、刻蚀多个绝缘层堆叠和至少一个衬底接触层形成多个垂直的开口；

e2、在开口侧壁以及绝缘层堆叠顶部形成沟道层；

f、在沟道层顶部形成漏区；

g2、选择性刻蚀去除第二材料层，在留下的第一材料层之间形成栅级介质层和控制栅极；

h、刻蚀第一材料层和控制栅极形成暴露衬底接触层的开口，在开口底部形成衬底接触区，在开口中形成衬底接触引出线；

i、形成位线布线，电连接漏区与外围电路。

8. 如权利要求 6 或 7 的三维半导体器件制造方法，其中，步骤 b 进一步包括：刻蚀外围电路上的 ILD 形成凹槽，填充掺杂半导体或导体形成共源区，平坦化共源区直至暴露 ILD；或者在外围电路上沉积并刻蚀形成掺杂半导体或导体的共源区，形成 ILD 覆盖共源区，平坦化 ILD 直至暴露共源区。

9. 如权利要求 6 或 7 的三维半导体器件制造方法，其中，步骤 g 或 g2 进一步包括：选择性刻蚀去除第二材料层，在留下的第一材料层之间留下横向凹槽，在横向凹槽中形成浮栅，在浮栅上形成绝缘层和 / 或栅极介质层，在横向凹槽中绝缘层和 / 或栅极介质层上形成控制栅极。

10. 如权利要求 6 或 7 的三维半导体器件制造方法，其中，在步骤 h 中，执行离子注入形成衬底接触区；优选地，衬底接触区与共源区导电类型不同。

Micron Ex. 1002, p. 737
Micron v. YMTC
IPR2025-00294

三维半导体器件及其制造方法

技术领域

[0001] 本发明涉及一种半导体器件及其制造方法，特别是涉及一种三维半导体存储器件及其制造方法。

背景技术

[0002] 为了改善存储器件的密度，业界已经广泛致力于研发减小二维布置的存储器单元的尺寸的方法。随着二维（2D）存储器件的存储器单元尺寸持续缩减，信号冲突和干扰会显著增大，以至于难以执行多电平单元（MLC）操作。为了克服2D存储器件的限制，业界已经研发了具有三维（3D）结构的存储器件，通过将存储器单元三维地布置在衬底之上来提高集成密度。

[0003] 具体地，如图1A所示，可以首先在衬底上沉积多层叠层结构（例如氧化物和氮化物交替的多个ONO结构）；通过各向异性的刻蚀工艺对衬底上多层叠层结构刻蚀而形成沿着存储器单元字线（WL）延伸方向分布、垂直于衬底表面的多个沟道通孔（可直达衬底表面或者具有一定过刻蚀）；在沟道通孔中沉积多晶硅等材料形成柱状沟道；沿着WL方向刻蚀多层叠层结构形成直达衬底的沟槽，露出包围在柱状沟道周围的多层叠层；湿法去除叠层中的某一类型材料（例如热磷酸去除氮化硅，或HF去除氧化硅），在柱状沟道周围留下横向分布的突起结构；在沟槽中突起结构的侧壁沉积栅极介质层（例如高k介质材料）以及栅极导电层（例如Ti、W、Cu、Mo等）形成栅极堆叠，，例如包括底部选择栅极线BSG、虚设栅极线DG、字线WL0～WL31、顶部选择栅极线TSG；垂直各向异性刻蚀去除突起侧平面之外的栅极堆叠，直至露出突起侧面的栅极介质层；刻蚀叠层结构形成源漏接触并完成后端制造工艺。此时，叠层结构在柱状沟道侧壁留下的一部分突起形成了栅电极之间的隔离层，而留下的栅极堆叠夹设在多个隔离层之间作为控制电极。当向栅极施加电压时，栅极的边缘电场会使得例如多晶硅材料的柱状沟道侧壁上感应形成源漏区，由此构成多个串并联的MOSFET构成的门阵列而记录所存储的逻辑状态。

[0004] 然而，这种高密度三维半导体存储器存在布线的难题。如图1B的顶视图所示，传统的闪存芯片中，外围访问电路与存储阵列区域在同一个平面，占据整个Die面积的20--40％。对于高密度存储器来说，压缩外围访问电路的面积成为闪存设计的关键议题。在图1A所示的3D NAND存储器中，尽管可以通过增加闪存的层数来提高密度，但是外围访问电路面积的减少一直比较困难。特别是对于基于空穴擦除的TCAT结构来说，因为衬底的存在，很难如图1C顶视图所示把存储阵列区域集成在外围访问电路的上方来减少外围电路占用的面积。

发明内容

[0005] 由上所述，本发明的目的在于克服上述技术困难，提出一种创新性三维半导体存储器件及其制造方法。

[0006] 为此，本发明一方面提供了一种三维半导体器件，包括：外围电路，分布在衬底上；

Micron Ex. 1002, p. 738
Micron v. YMTC
IPR2025-00294

多个存储单元，在外围电路之上，每一个包括：共源区，在存储单元与外围电路之间；沟道层，沿垂直于衬底表面的方向分布；至少一个衬底接触层，从沟道层中部平行于衬底表面水平延伸，每个包括至少一个衬底接触区；多个绝缘层，位于沟道层的侧壁上；多个控制栅极，夹设在相邻的绝缘层之间；栅极介质层，位于沟道层与控制栅极之间；漏区，在沟道层顶部；衬底接触引出线，电连接衬底接触区；以及位线布线，电连接每个存储单元的漏区与外围电路。

[0007] 其中，沟道层由衬底接触层分隔为多段；任选地，沟道层平行于衬底表面的截面形状包括选自矩形、方形、菱形、圆形、半圆形、椭圆形、三角形、五边形、五角形、六边形、八边形及其组合的几何形状，以及包括选自所述几何形状演化得到的实心几何图形、空心环状几何图形、或者空心环状外围层与绝缘层中心的组合图形；任选地，沟道层为单晶、多晶、微晶或非晶层且材料选自 IV 族单质、IV 族化合物、III--V 族化合物、II--VI 族化合物半导体的，例如为单晶 Si、非晶 Si、多晶 Si、微晶 Si、单晶 Ge、SiGe、Si:C、SiGe:C、SiGe:H、GeSn、InSn、InN、InP、GaN、GaP、GaSn、GaAs 的任一种或其组合，优选地进一步包括材料为空气或氧化物、氮化物的沟道填充层。

[0008] 其中，栅极介质层进一步包括隧穿层、存储层、阻挡层；优选地，隧穿层包括 SiO_2 或高 k 材料的单层结构或多层堆叠结构；优选地，存储层是具有电荷俘获能力的介质材料的单层结构或多层堆叠结构，例如 SiN、SiON、HfO、ZrO 的任一种及其组合；优选地，阻挡层是氧化硅、氧化铝、氧化铪等介质材料的单层结构或多层堆叠结构。

[0009] 其中，控制栅极材料选自掺杂多晶硅、掺杂单晶硅、金属、金属合金、导电金属氧化物、导电金属氮化物、导电金属硅化物的任一种或其组合；任选地，相邻的绝缘层之间进一步包括经由绝缘层和 / 或栅极介质层与控制栅极水平相邻的浮栅。

[0010] 其中，共源区包括掺杂多晶硅、掺杂单晶硅、金属硅化物、金属氮化物的任一种或其组合；优选地，共源区具有与沟道层和 / 或衬底接触区不同的导电类型。

[0011] 本发明还提供了一种三维半导体器件制造方法，包括步骤：

[0012] a、在衬底上形成外围电路；

[0013] b、在外围电路上形成共源区；

[0014] c、形成第一材料层与第二材料层交替构成的绝缘层堆叠；

[0015] d、刻蚀绝缘层堆叠形成多个垂直的开口，在开口侧壁形成栅极介质层，在开口侧壁以及绝缘层堆叠顶部形成沟道层；

[0016] e、循环步骤 c 和 d，相邻的绝缘层堆叠顶部的沟道层构成至少一个衬底接触层；

[0017] f、在沟道层顶部形成漏区；

[0018] g、选择性刻蚀去除第二材料层，在留下的第一材料层之间形成控制栅极；

[0019] h、刻蚀第一材料层和控制栅极形成暴露衬底接触层的开口，在开口底部形成衬底接触区，在开口中形成衬底接触引出线；

[0020] i、形成位线布线，电连接漏区与外围电路。

[0021] 本发明进一步提供了一种三维半导体器件制造方法，包括步骤：

[0022] a、在衬底上形成外围电路；

[0023] b、在外围电路上形成共源区；

[0024] c2、在共源区上形成第一材料层与第二材料层交替构成的多个绝缘层堆叠，并且

Micron Ex. 1002, p. 739
Micron v. YMTC
IPR2025-00294

相邻绝缘层堆叠之间形成至少一个衬底接触层；

[0025] d2、刻蚀多个绝缘层堆叠和至少一个衬底接触层形成多个垂直的开口；

[0026] e2、在开口侧壁以及绝缘层堆叠顶部形成沟道层；

[0027] f、在沟道层顶部形成漏区；

[0028] g2、选择性刻蚀去除第二材料层，在留下的第一材料层之间形成栅级介质层和控制栅极；

[0029] h、刻蚀第一材料层和控制栅极形成暴露衬底接触层的开口，在开口底部形成衬底接触区，在开口中形成衬底接触引出线；

[0030] i、形成位线布线，电连接漏区与外围电路。

[0031] 其中，步骤 b 进一步包括：刻蚀外围电路上的 ILD 形成凹槽，填充掺杂半导体或导体形成共源区，平坦化共源区直至暴露 ILD；或者在外围电路上沉积并刻蚀形成掺杂半导体或导体的共源区，形成 ILD 覆盖共源区，平坦化 ILD 直至暴露共源区。

[0032] 其中，步骤 g 或 g2 进一步包括：选择性刻蚀去除第二材料层，在留下的第一材料层之间留下横向凹槽，在横向凹槽中形成浮栅，在浮栅上形成绝缘层和 / 或栅极介质层，在横向凹槽中绝缘层和 / 或栅极介质层上形成控制栅极。

[0033] 其中，在步骤 h 中，执行离子注入形成衬底接触区；优选地，衬底接触区与共源区导电类型不同。

[0034] 依照本发明的三维半导体存储器件及其制造方法，依照本发明的三维半导体存储器件及其制造方法，在存储串的中段形成衬底接触，提高存储器擦写的性能和可靠性，提高存储阵列的存储密度，减少整个存储芯片的面积，降低成本。

附图说明

[0035] 以下参照附图来详细说明本发明的技术方案，其中：

[0036] 图 1A 为现有技术的三维半导体存储器件的剖视图；

[0037] 图 1B 为现有技术的闪存芯片布局顶视图；

[0038] 图 1C 为有待实现的芯片布局顶视图；

[0039] 图 2A 至图 2L 为依照本发明一个实施例的三维半导体存储器件制造方法的各个步骤的剖视图；以及

[0040] 图 3A 至图 3F 为依照本发明另一实施例的三维半导体存储器件制造方法的各个步骤的剖视图。

具体实施方式

[0041] 以下参照附图并结合示意性的实施例来详细说明本发明技术方案的特征及其技术效果，公开了有效提高存储密度的三维半导体存储器件及其制造方法。需要指出的是，类似的附图标记表示类似的结构，本申请中所用的术语“第一”、“第二”、“上”、“下”等等可用于修饰各种器件结构或制造工序。这些修饰除非特别说明并非暗示所修饰器件结构或制造工序的空间、次序或层级关系。

[0042] 图 2A 至图 2L 示出了依照本发明一个实施例的三维半导体存储器件制造方法的各个步骤的剖视图。

Micron Ex. 1002, p. 740
Micron v. YMTC
IPR2025-00294

[0043] 如图2A所示，在芯片衬底1上形成外围访问电路。提供衬底1，其材质可以包括体硅（bulk Si）、体锗（bulk Ge）、绝缘体上硅（SOI）、绝缘体上锗（GeOI）或者是其他化合物半导体衬底，例如SiGe、SiC、GaN、GaAs、InP等等，以及这些物质的组合。为了与现有的IC制造工艺兼容，衬底1优选地为含硅材质的衬底，例如Si、SOI、SiGe、Si:C等。通过CMOS兼容的平面工艺，在衬底1中和/或上形成外围访问电路，图2A中示出具有源漏区、栅极堆叠（包括栅极介质层和栅极导电层）、接触布线等（均未单独标出）。随后通过CVD、旋涂、喷涂、丝网印刷、热解、氧化等工艺，形成氧化硅或低k材料的层间介质层（ILD）或多晶硅间介质层（IPD）2，低k材料包括但不限于有机低k材料（例如含芳基或者多元环的有机聚合物）、无机低k材料（例如无定形碳氮薄膜、多晶硼氮薄膜、氟硅玻璃、BSG、PSG、BPSG）、多孔低k材料（例如二硅三氧烷（SSQ）基多孔低k材料、多孔二氧化硅、多孔SiOCH、掺C二氧化硅、掺F多孔无定形碳、多孔金刚石、多孔有机聚合物）。优选地，CMP平坦化ILD 2。ILD 2厚度大于外围访问电路的最顶层布线高度，例如超过最顶层布线高度100nm～10μm，以便为后续器件的源极留下空间。

[0044] 如图2B所示，在外围访问电路的ILD 2顶部形成存储阵列器件单元的源区3，以及多层薄膜的堆叠4A/4B。

[0045] 在本发明一个优选实施例中，可以通过光刻/刻蚀工艺在ILD 2顶部形成凹槽并随后通过CVD、PVD成膜工艺填充掺杂半导体或导体材料形成存储器件的共源区3；或者通过在ILD 2顶部通过成膜工艺形成掺杂半导体或导体材料薄膜、刻蚀形成共源区3图形、并随后继续形成氧化硅或低k材料（与ILD 2合而为一）以包围共源区3。共源区3的材料例如掺杂多晶硅、掺杂单晶硅，具有第一掺杂类型，例如N+（或者P+），还可以进一步在（顶）表面包括金属硅化物（$CoSi_x$、$NiSi_x$、$PtSi_x$等）以减小接触电阻，或者包括金属氮化物（WN、TiN、TaN等）以阻挡Al、Cu等金属离子扩散影响器件性能并且改善粘附性。优选地，CMP平坦化共源区3直至暴露ILD 2，或者CMP平坦化ILD 2（包括共源区3形成之后形成的ILD材料）直至暴露共源区3，总之使得ILD 2与共源区3顶部齐平。

[0046] 随后，在ILD 2/共源区3顶部上形成多层绝缘介质薄膜的堆叠结构4，包括交替层叠的多个第一材料层4A和多个第二材料层4B。堆叠结构4的材料选自以下材料的组合并且至少包括一种绝缘介质：如氧化硅、氮化硅、氮氧化硅、非晶碳、类金刚石无定形碳（DLC）、氧化锗、氧化铝、等及其组合。第一材料层4A具有第一刻蚀选择性，第二材料层4B具有第二刻蚀选择性并且不同于第一刻蚀选择性。在本发明一个优选实施例中，叠层结构4A/4B的组合例如氧化硅与氮化硅的组合、氧化硅或氮化硅与非晶碳的组合等等。在本发明一个优选实施例中，层4A与层4B在湿法腐蚀条件或者在氧等离子干法刻蚀条件下具有较大的刻蚀选择比（例如大于5:1）。

[0047] 如图2C所示，在堆叠结构中形成栅极介质层和沟道层。

[0048] 选择各向异性刻蚀工艺，例如选用碳氟基（$C_xH_yF_z$构成氟代烃）作为刻蚀气体的等离子体干法刻蚀或RIE，垂直向下刻蚀绝缘层堆叠4A/4B形成深孔或沟槽（未示出），直至暴露共源区3。平行于衬底1表面切得的沟槽的截面形状可以为矩形、方形、菱形、圆形、半圆形、椭圆形、三角形、五边形、五角形、六边形、八边形等等各种几何形状。

[0049] 采用PECVD、HDPCVD、UHVCVD、MOCVD、MBE、ALD等工艺，在深孔中依次沉积形成栅极介质层5A和沟道层5B。栅极介质层5A可以包括单层或多子层结构，例如至少包括隧穿

Micron Ex. 1002, p. 741
Micron v. YMTC
IPR2025-00294

层、存储层、阻挡层，阻挡层直接接触深孔侧壁的绝缘层堆叠 4A/4B，隧穿层最靠近深孔中心轴线并接触后续沉积的沟道层。其中隧穿层包括 SiO_2或高 k 材料，其中高 k 材料包括但不限于氮化物（例如 SiN、AlN、TiN）、金属氧化物（主要为副族和镧系金属元素氧化物，例如 MgO、Al_2O_3、Ta_2O_5、TiO_2、ZnO、ZrO_2、HfO_2、CeO_2、Y_2O_3、La_2O_3）、氮氧化物（如 SiON、HfSiON）、钙钛矿相氧化物（例如 $PbZr_xTi_{1-x}O_3$(PZT)、$Ba_xSr_{1-x}TiO_3$(BST)）等，隧穿层可以是上述材料的单层结构或多层堆叠结构。存储层是具有电荷俘获能力的介质材料，例如 SiN、SiON、HfO、ZrO 等及其组合，同样可以是上述材料的单层结构或多层堆叠结构。阻挡层可以是氧化硅、氧化铝、氧化铪等介质材料的单层结构或多层堆叠结构。在本发明一个实施例中，栅极介质层 5A 例如是氧化硅、氮化硅、氧化硅组成的 ONO 结构。

[0050] 在深孔底部和侧壁上形成沟道层 5B，可以为单晶、多晶、或非晶材料。可以采用工艺例如 MOCVD、MBE、ALD、CVD(LPCVD、PECVD、HDPCVD、UHVCVD) 等，沟道层 5B 材料可以选自 IV 族单质或化合物、III--V 族或 II--VI 族化合物半导体，诸如 Si、Ge、SiGe、SiC、GeSn、InSn、InN、InP、GaN、GaP、GaSn、GaAs 等及其组合。在本发明一个实施例中，沟道层 5B 的沉积方式为局部填充孔槽的侧壁而形成为具有空气隙 5C 的中空柱形。在本发明图中未示出的其他实施例中，选择沟道层 5B 的沉积方式以完全或者局部填充孔槽，形成实心柱、空心环、或者空心环内填充绝缘层（未示出）的核心 -- 外壳结构。沟道层 5B 的水平截面的形状与孔槽类似并且优选地共形，可以为实心的矩形、方形、菱形、圆形、半圆形、椭圆形、三角形、五边形、五角形、六边形、八边形等等各种几何形状，或者为上述几何形状演化得到的空心的环状、桶状结构（并且其内部可以填充绝缘层）。优选地，对于空心的柱状沟道层 5B 结构，可以进一步在沟道层 5B 内侧填充绝缘隔离层 5C，例如通过 LPCVD、PECVD、HDPCVD 等工艺形成例如氧化硅材质的层 5C，用于支撑、绝缘并隔离沟道层 5B。如图 2C 所示，控制沟道层 5B 的沉积厚度，使得半导体材料的沟道层 5B 不仅分布在沟槽中，而且进一步生长在介质堆叠 4A/4B 的顶部，以便用作未来存储串的衬底引出结构。优选地，沟道层 5B 通过离子注入或者原位掺杂具有第二掺杂类型，例如 P+ 或者本征非掺杂。

[0051] 如图 2D 所示，以与图 2B 所示相同或类似的工艺步骤和材料，在底部存储串上形成第二介质堆叠 4A'/4B'。

[0052] 如图 2E 所示，以与图 2B 所示相同或类似的工艺步骤和材料，在第二介质堆叠 4A'/4B'中形成第二栅极介质层 5A'和第二沟道层 5B'。如图 2E 所示，相邻存储串之间的沟道层半导体材料将融合相接，形成衬底接触层以便于在存储串的中段形成衬底接触引出，这样在超高堆栈中，衬底空穴到达上下区域的距离减少，可以实现空穴的快速传输，提高存储器擦写的性能和可靠性；同时，代替传统 3D NAND 中衬底和源区都在下段的思路，这种分离可以使得下选择管从 L 型转为垂直管，这样可以进一步减少选择管栅电极的宽度，提高存储阵列的存储密度；而且衬底在中段的设计，可以真正实现存储阵列位于外围访问电路的正上方，减少整个存储芯片的面积，降低成本。进一步的，可以循环图 2B ～图 2E 的步骤，形成多个介质堆叠与多个衬底接触层（层 5B 水平部分）的交替堆叠，以使得衬底接触进一步分布均匀，从而进一步提高器件的可靠性。

[0053] 如图 2F 所示，在沟道层顶部形成漏区（或称位线接触区）和绝缘层。优选地，采用与沟道层 5B/5B' 材质相同或者相近（例如与 Si 相近的材质非晶 Si、多晶 Si、SiGe、SiC 等，以便微调晶格常数而提高载流子迁移率，从而控制单元器件的驱动性能）的材质沉积

Micron Ex. 1002, p. 742
Micron v. YMTC
IPR2025-00294

在沟道层的顶部而形成存储器件单元晶体管的漏区 5D。自然，如果沟道层 5B 为完全填充的实心结构，则沟道层 5B 在整个器件顶部的部分则构成相应的漏区 5D 而无需额外的漏区沉积步骤。在本发明其他实施例中，漏区 5D 也可以为金属、金属氮化物、金属硅化物，构成金半接触而在顶部形成肖特基型器件。接着，在整个器件之上形成绝缘层 6（例如层间介质层 ILD，或者硬掩模 HM）。优选地，CMP 平坦化绝缘层 6。

[0054] 如图 2G 所示，刻蚀绝缘层 6 和介质堆叠 4/4'，直至暴露底部的外围访问电路的 ILD 2 顶部，从而暴露介质堆叠的侧面。利用光刻胶掩模图形（未示出）执行各向异性刻蚀工艺，依次垂直刻蚀绝缘层 6、第二介质堆叠 4A'/4B'、沟道层 5B、第一介质堆叠 4A/4B，直至暴露外围访问电路的 ILD 2 顶部，形成多个垂直开口 6T。在平面图（未示出）中，多个垂直开口 6T 将围绕每一个垂直沟道 5B/5C，例如每个垂直沟道平均具有 2 ～ 6 个垂直开口 6T 围绕周边。开口 6T 的截面形状可以与深孔或沟道层截面相同。开口 6T 侧面暴露了介质堆叠的第一材料层 4A/4A'、和第二材料层 4B/4B' 的侧壁，以利于稍后刻蚀去除第二材料层。

[0055] 如图 2H 所示，选择性去除第二材料层 4B、4B'。选用各向同性刻蚀工艺，去除介质层堆叠 4/4' 中的所有第二材料层 4B/4B'，仅保留多个第一材料层 4A/4A'。根据层 4A/层 4B 的材质不同，可以选择湿法腐蚀液以各向同性地刻蚀去除层 4B。具体地，针对氧化硅材质采取 HF 基腐蚀液，针对氮化硅材质采用热磷酸腐蚀液，针对多晶硅或非晶硅材质采用 KOH 或 TMAH 等强碱腐蚀液。另外还可以针对非晶碳、DLC 等碳基材质而选用氧等离子干法刻蚀，使得 O 与 C 反应形成气体而抽出。去除第二材料层 4B、4B' 之后，在多个第一材料层 4A、4A' 之间留下了横向（平行于衬底表面的水平方向）的多个凹槽，以用于稍后形成控制栅极（或称字线 WL）。

[0056] 如图 2I 所示，在多个凹槽中形成控制栅极堆叠 7，包括任选的（可以存在或不存在）栅极介质层 7A 以及栅极导电层 7B。优选通过 PVD、CVD、ALD 等常规方法形成高 k 材料或氮化物的层 7A，可以是单层结构也可以是多层堆叠结构，氮化物材质例如为 M_xN_y、$M_xSi_yN_z$、$M_xAl_yN_z$、$M_aAl_xSi_yN_z$，其中 M 为 Ta、Ti、Hf、Zr、Mo、W 或其它元素。通过 MOCVD、MBE、ALD 等工艺形成栅极导电层 7B，可以是多晶硅、多晶锗硅、或金属，其中金属可包括 Co、Ni、Cu、Al、Pd、Pt、Ru、Re、Mo、Ta、Ti、Hf、Zr、W、Ir、Eu、Nd、Er、La 等金属单质、或这些金属的合金以及这些金属的氮化物，栅电极 7B 中还可掺杂有 C、F、N、O、B、P、As 等元素以调节功函数。

[0057] 任选地，形成控制栅极 7B 之前可以在凹槽中先形成多晶硅、非晶硅等材料的浮栅（未示出），沉积绝缘层之后再形成控制栅极，使得浮栅与控制栅极水平相邻，提高栅极控制能力。

[0058] 如图 2J 所示，形成衬底接触区。优选地，进一步形成额外的绝缘层 6' 填充开口 6T。通过光刻 / 刻蚀工艺，各向异性刻蚀绝缘层 6、上段的第一材料层 4A'、栅极堆叠 7A/7B，形成多个开口 6T' 直至暴露中段的衬底接触层 5B。通过离子注入，在衬底接触层 5B 中形成衬底接触区 5E，具有第二掺杂类型，例如注入 B、BF_2、Ga、Al、In 形成的 p+ 掺杂区。开口 6T' 可以是刻蚀形成的深孔，也可以是条状沟槽以通过引出线连接。在顶视平面图中（未示出），开口 6T' 分布在垂直沟道 5B 周围，数目可以为多个，例如 2 个、4 个、6 个等。

[0059] 如图 2K 所示，在开口 6T' 中填充金属形成衬底接触线。例如先沉积绝缘介质并刻蚀去除水平底部，在开口 6T' 侧壁留下侧墙 8A，例如氧化硅、氮化硅、氮氧化硅，用于隔离绝缘栅极导电层 7B。随后在开口 6T' 剩余空间内通过 MOCVD、ALD、蒸发、溅射等工艺形成衬底

Micron Ex. 1002, p. 743
Micron v. YMTC
IPR2025-00294

接触线 8B，材料为金属、金属合金、导电金属氧化物 / 氮化物 / 硅化物，金属选自 Co、Ni、Cu、Al、Pd、Pt、Ru、Re、Mo、Ta、Ti、Hf、Zr、W、Ir、Eu、Nd、Er、La 等任一种或其组合。

[0060] 最后，如图 2L 所示，完成存储阵列与外围电路的布线。刻蚀绝缘层 6 形成暴露存储阵列器件单元漏区 5D 的孔，并刻蚀绝缘层 6’形成暴露外围访问电路顶部布线的深孔，沉积填充金属形成连接漏区或外围布线的连接线 9。随后在整个器件顶部形成布线 10（位线布线 10:BL，或衬底接触布线 10:SB），将外围访问电路与存储阵列器件单元电连接。

[0061] 最终实现的器件剖视图如图 2L 所示，一种三维半导体器件，包括在外围电路顶部的多个存储单元，多个存储单元的每一个包括：共源区 3，在存储单元与外围电路之间；沟道层 5B，沿垂直于衬底 1 表面的方向分布；衬底接触层 5B（中段水平部分），从沟道层 5B 中部平行于衬底表面水平延伸，包括至少一个衬底接触区 5E；多个绝缘层 4A，位于沟道层 5B 的侧壁上；多个控制栅极 7B，夹设在相邻的绝缘层之间；栅极介质层 5A/5A’，位于沟道层 5B 与控制栅极 7B 之间；漏区 5D，在沟道层 5B 顶部；衬底接触引出线 8B，电连接衬底接触区 5E；位线布线 (9、10)，电连接存储单元的漏区 5D 与外围电路的顶层布线。其中，由于上下两段分开沉积，因此栅极介质层分为 5A、5A’两部分，沟道层也分为上下 5B、5B’两部分，进一步沟道填充层也分为 5C、5C’两部分，均由衬底接触层 5B 分隔开。

[0062] 图 3A 至图 3F 为依照本发明另一实施例的三维半导体存储器件制造方法的各个步骤的剖视图。

[0063] 如图 3A 所示，类似于或等同于图 2A，在衬底 1 上形成外围电路，并形成 ILD 2。

[0064] 如图 3B 所示，类似于图 2B 工艺，在 ILD 2 中形成共源区 3，并在共源区 3 上形成多个介质堆叠 4A/4B，在介质堆叠上形成衬底接触层 5B1，并在衬底接触层 5B1 上进一步形成多个介质堆叠 4A’/4B’。

[0065] 如图 3C 所示，类似于图 2E ～ 2H 的工艺，刻蚀多个介质堆叠和层 5B1 形成开口直至暴露共源区 3，在开口中形成垂直沟道层 5B2（优选地，垂直沟道层 5B2 材质与衬底接触层 5B1 材质和掺杂类型相同，以便于后续能实现晶体管单元的衬底引出）、沟道填充层 5C，并沉积漏区 5D。形成 ILD 的绝缘层 6，覆盖整个器件，光刻 / 刻蚀形成垂直开口直至暴露底部外围电路的 ILD 2 顶部。从垂直开口的侧面选择性刻蚀去除第二材料层 4B/4B’，留下第一材料层 4A/4A’之间的凹槽。

[0066] 如图 3D 所示，在横向凹槽中填充栅极介质层 7A’和栅极导电层 7B。其中，栅极介质层 7A’类似于图 2C 中的栅极介质层 5A，也包括隧穿层、存储层、阻挡层的多个子层堆叠结构，各层材质类似或相同。此外，栅极介质层 7A’靠近沟道 5B2 的内侧也可以先形成浮栅（未示出，材质等同于描述图 2I 时所述），与栅极导电层 7B 之间通过栅极介质层 7A’绝缘隔离。

[0067] 如图 3E 所示，类似于图 2J、图 2K 工艺，刻蚀绝缘层 6、第一材料层 4A/4A’、栅极导电层 7B，直至暴露衬底接触层 5B1（水平部分），离子注入形成衬底接触区 5E，并形成衬底接触线 8B。

[0068] 最后如图 3F 所示，类似于图 2L 工艺，形成位线布线 (9、10)，电连接存储单元的漏区 5D 与外围电路的顶层布线。形成的器件结构类似于图 2L，区别在于由于先沉积衬底接触层 5B1 水平部分与上下两层然后在刻蚀填充沟道，因此沟道堆叠结构、5B2、5C 将连通直至接触共源区 3，也即沟道堆叠各个结构部分联通一体，衬底接触层 5B1 水平包围了沟道堆叠

Micron Ex. 1002, p. 744
Micron v. YMTC
IPR2025-00294

5B2 的中部。

[0069] 图 3A ～图 3F 其余各个工艺步骤和材料可以等同于图 2A ～图 2L 所示，在此不再赘述。

[0070] 本发明中，衬底在存储串的中段形成，这样在超高堆栈中，衬底空穴到达上下区域的距离减少，可以实现空穴的快速传输，提高存储器擦写的性能和可靠性；同时，代替传统 3D NAND 中衬底和源区都在下段的思路，这种分离可以使得下选择管从 L 型转为垂直管，这样可以进一步减少选择管栅电极的宽度，提高存储阵列的存储密度；而且衬底在中段的设计，可以真正实现存储阵列位于外围访问电路的正上方，减少整个存储芯片的面积，降低成本。

[0071] 值得注意的是，虽然本发明实施例附图仅示出了一个衬底接触层将沟道层分为上下两部分，但是也可以采用多个衬底接触层将沟道层分为三段、四段、五段或更多段。此外，虽然附图示出了存储器阵列单元在外围电路正上方并至少部分地或完全重叠，但是也可以在外围电路的周边，只要使得衬底接触层 5B 水平部分与共源区 3、漏区 5D 位于不同平面上。

[0072] 依照本发明的三维半导体存储器件及其制造方法，在存储串的中段形成衬底接触，提高存储器擦写的性能和可靠性，提高存储阵列的存储密度，减少整个存储芯片的面积，降低成本。

[0073] 尽管已参照一个或多个示例性实施例说明本发明，本领域技术人员可以知晓无需脱离本发明范围而对器件结构或方法流程做出各种合适的改变和等价方式。此外，由所公开的教导可做出许多可能适于特定情形或材料的修改而不脱离本发明范围。因此，本发明的目的不在于限定在作为用于实现本发明的最佳实施方式而公开的特定实施例，而所公开的器件结构及其制造方法将包括落入本发明范围内的所有实施例。

Micron Ex. 1002, p. 745
Micron v. YMTC
IPR2025-00294

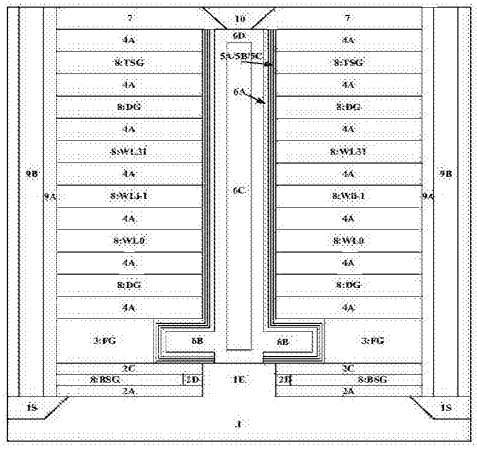


图 1A

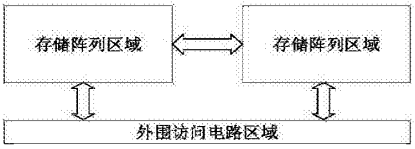


图 1B

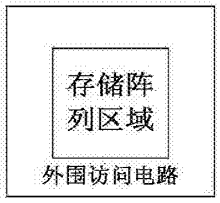


图 1C

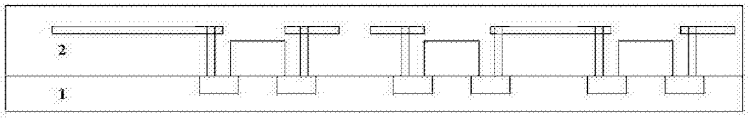


图 2A

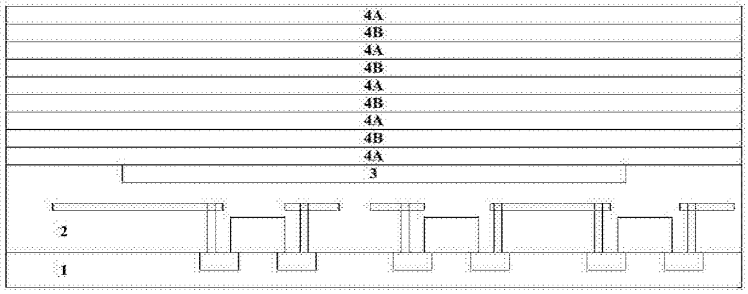


图 2B

Micron Ex. 1002, p. 746
Micron v. YMTC
IPR2025-00294

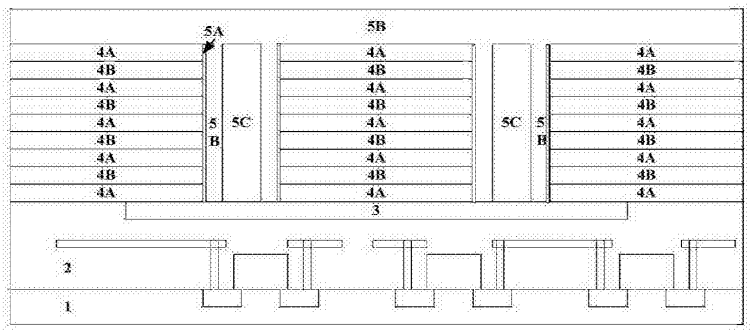


图 2C

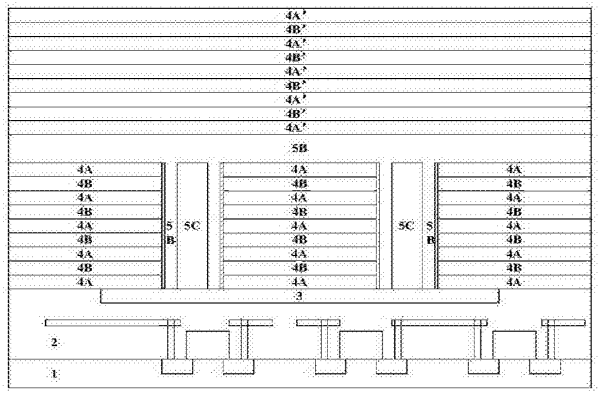


图 2D

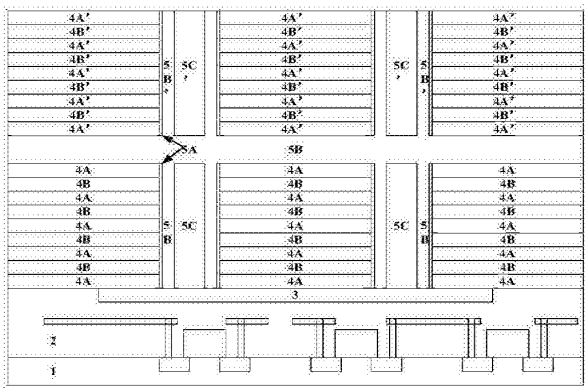


图 2E

Micron Ex. 1002, p. 747
Micron v. YMTC
IPR2025-00294

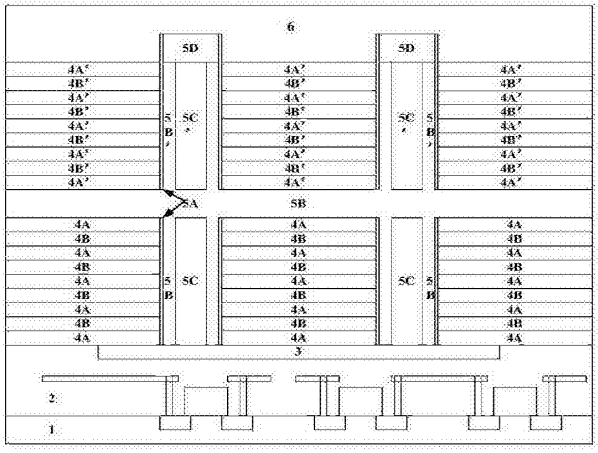


图 2F

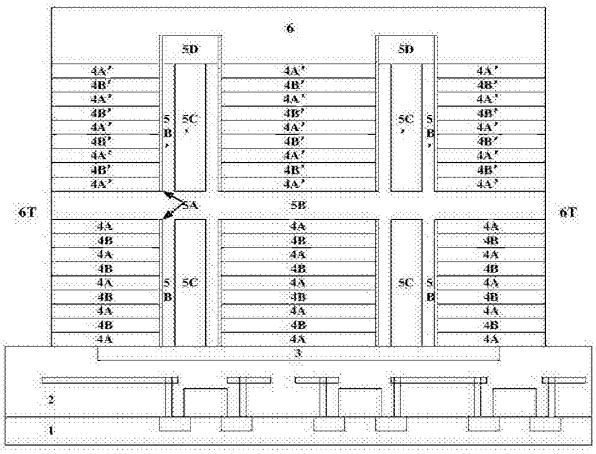


图 2G

Micron Ex. 1002, p. 748
Micron v. YMTC
IPR2025-00294

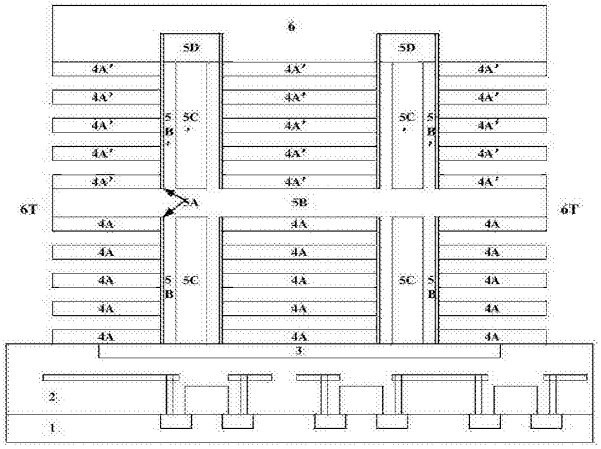


图 2H

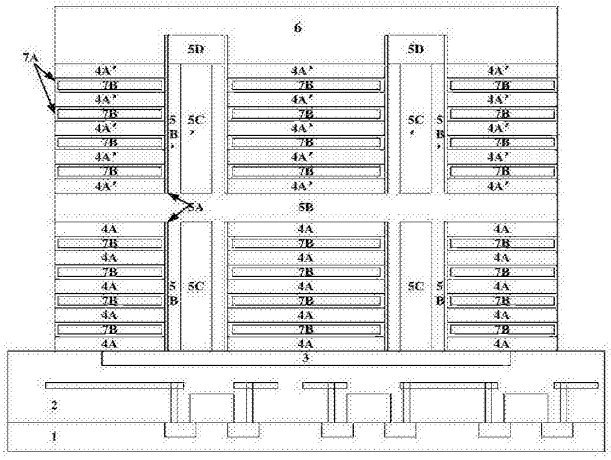


图 2I

Micron Ex. 1002, p. 749
Micron v. YMTC
IPR2025-00294

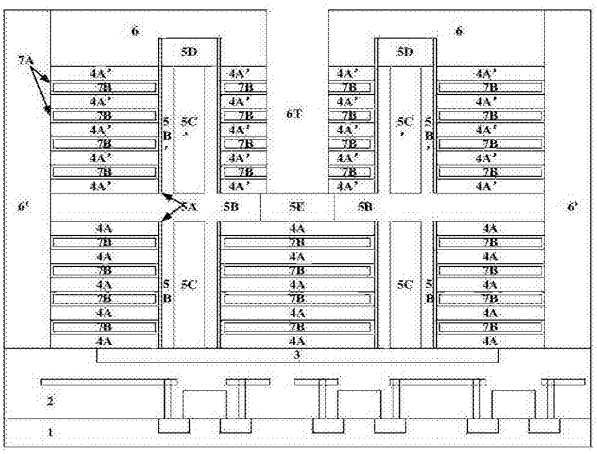


图 2J

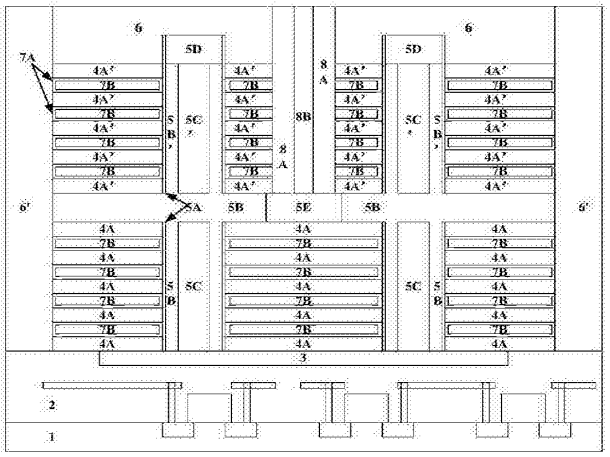


图 2K

Micron Ex. 1002, p. 750
Micron v. YMTC
IPR2025-00294

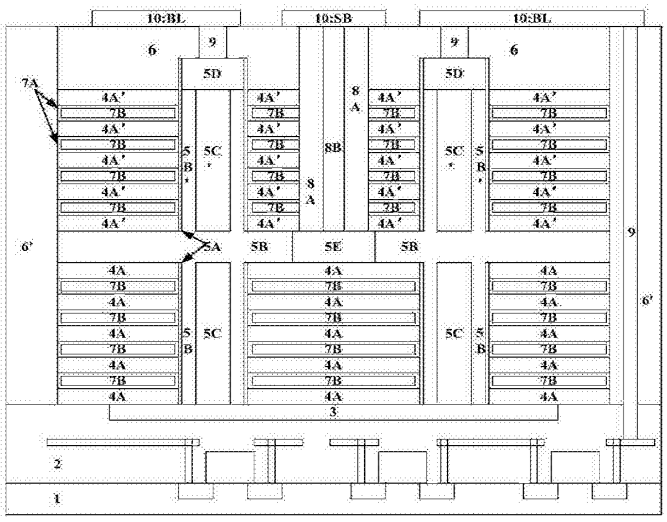


图 2L

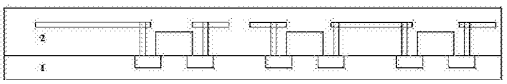


图 3A

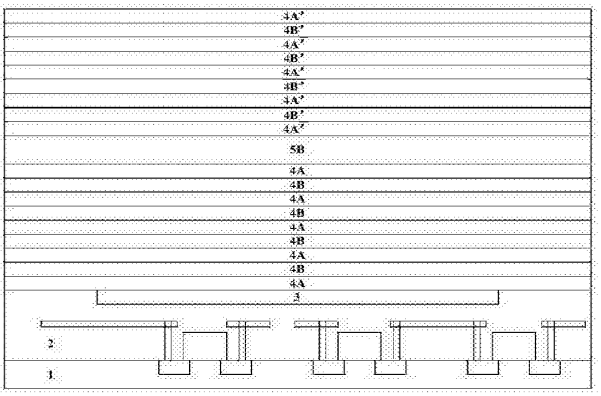


图 3B

Micron Ex. 1002, p. 751
Micron v. YMTC
IPR2025-00294

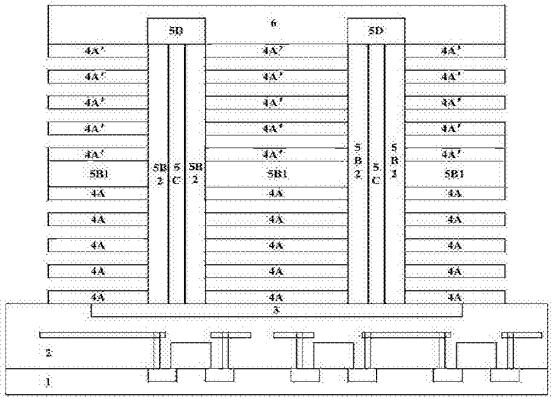


图 3C

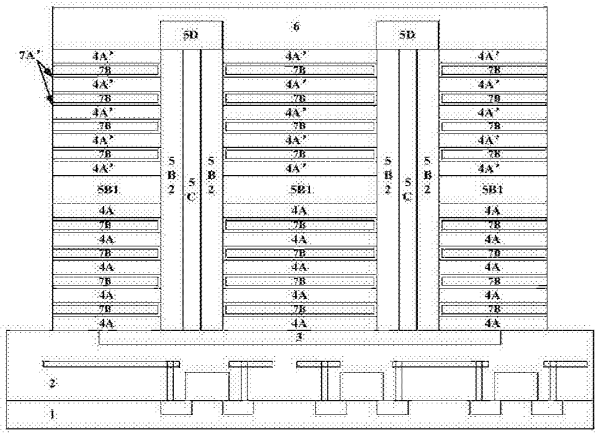


图 3D

Micron Ex. 1002, p. 752
Micron v. YMTC
IPR2025-00294

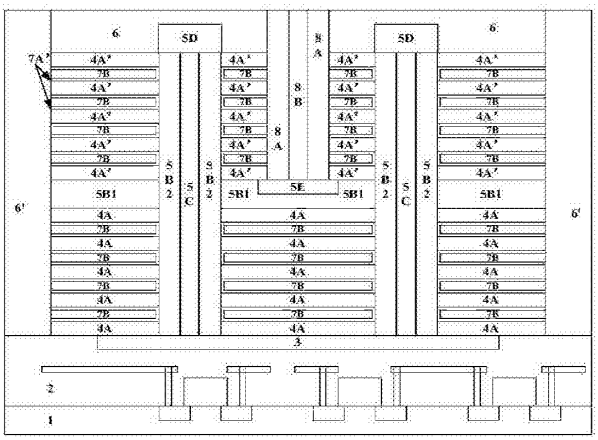


图 3E

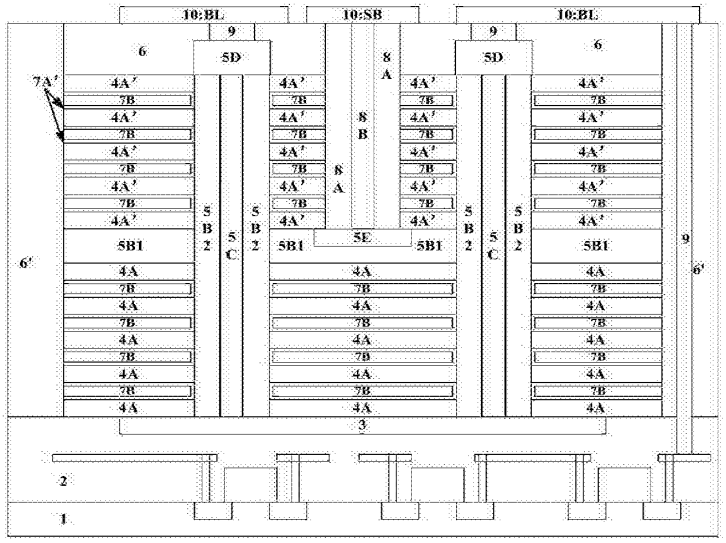


图 3F

Micron Ex. 1002, p. 753
Micron v. YMTC
IPR2025-00294

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0068145
(43) 공개일자 2011년06월22일

(51) Int. Cl.
H01L 21/8247 (2006.01) *H01L 27/115* (2006.01)
(21) 출원번호 10-2009-0124990
(22) 출원일자 2009년12월15일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 매탄동 416
(72) 발명자
손용훈
경기 용인시 죽전동 벽산아파트 301동 801호
황기현
경기도 성남시 분당구 정자동 한솔마을LG아파트 202동 604호
백승재
경기 화성시 병점동 신창비바훼밀리2차 204동 2202호
(74) 대리인
오세준, 송윤호, 권혁수

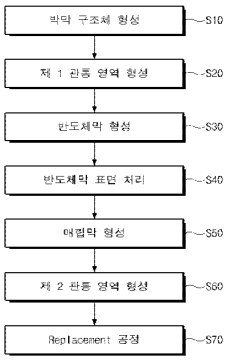
전체 청구항 수 : 총 10 항

(54) 재기입가능한 3차원 반도체 메모리 장치의 제조 방법

(57) 요 약

재기입가능한 3차원 반도체 메모리 장치의 제조 방법이 제공된다. 3차원 반도체 메모리 장치의 제조 방법은 기판상에 복수의 박막들로 구성되는 박막 구조체를 형성하고, 박막 구조체를 패터닝하여, 기판을 노출시키는 관통 영역을 형성하고, 관통 영역의 내벽에 반도체막을 컨포말하게 형성하고, 반도체막을 표면 처리하여, 관통 영역에 노출된 반도체막의 표면에 산화 패시베이션막을 형성하는 것을 포함한다.

대 표 도 - 도3



Micron Ex. 1002, p. 754
Micron v. YMTC
IPR2025-00294

특허청구의 범위

청구항 1

기판 상에 복수의 박막들로 구성되는 박막 구조체를 형성하고,

상기 박막 구조체를 패터닝하여, 상기 기판을 노출시키는 관통 영역을 형성하고,

상기 관통 영역의 내벽에 반도체막을 컨포말하게 형성하고,

상기 반도체막을 표면 처리하여, 상기 관통 영역에 노출된 상기 반도체막의 표면에 산화 패시베이션막을 형성하는 것을 포함하는 3차원 반도체 메모리 장치의 제조 방법.

청구항 2

제 1 항에 있어서,

상기 반도체막을 표면 처리하는 것은, 상기 반도체막에 대해 열산화 공정을 수행하거나, 라디칼 산화 공정을 수행하는 것인 3차원 반도체 메모리 장치의 제조 방법.

청구항 3

제 1 항에 있어서,

상기 반도체막의 두께는 상기 관통 영역의 폭의 절반보다 얇은 3차원 반도체 메모리 장치의 제조 방법.

청구항 4

제 1 항에 있어서,

상기 반도체막은 다결정 실리콘막으로 형성되고,

상기 반도체막은 상기 박막 구조체와 접하는 외측벽과 상기 외측벽과 이격된 내측벽을 포함하되,

상기 반도체막을 표면 처리하는 것은, 상기 반도체막의 상기 내측벽의 실리콘 원자를 산소 원자와 반응시키는 것인 3차원 반도체 메모리 장치의 제조 방법.

청구항 5

제 1 항에 있어서,

상기 반도체막을 표면 처리한 후에, 상기 관통 영역을 채우는 절연막을 형성하는 것을 더 포함하는 3차원 반도체 메모리 장치의 제조 방법.

청구항 6

제 5 항에 있어서,

상기 절연막은 실리콘 원자를 포함하는 제1 반응 가스와, 산소 원자를 포함하는 제 2 반응 가스를 이용하여 형성되는 3차원 반도체 메모리 장치의 제조 방법.

청구항 7

제 5 항에 있어서,

상기 절연막은 CVD-산화막, PECVD-산화막, HDP 산화막 또는 SOG막 3차원 반도체 메모리 장치의 제조 방법.

청구항 8

제 1 항에 있어서,

상기 박막 구조체는 차례로 그리고 반복하여 적층된 제 1 물질막 및 제 2 물질막을 포함하되,

상기 제 1 및 제 2 물질막들은 서로 다른 물질들로 형성되는 절연막들인 3차원 반도체 메모리 장치의 제조 방법.

Micron Ex. 1002, p. 755
Micron v. YMTC
IPR2025-00294

청구항 9

제 8 항에 있어서,

상기 반도체막들 사이에서 상기 박막 구조체를 관통하는 트렌치를 형성하는 단계;

상기 제 2 물질막들을 선택적으로 제거하여, 상기 제 1 물질막들 사이에서 상기 반도체막의 측벽을 노출시키는 리세스 영역을 형성하는 단계; 및

상기 리세스 영역을 채우는 도전 패턴들을 형성하는 단계를 더 포함하는 3차원 반도체 메모리 장치의 제조 방법.

청구항 10

제 9 항에 있어서,

상기 도전 패턴들을 형성하기 전에,

상기 리세스 영역에 노출된 상기 반도체막의 측벽과 상기 제 1 물질막들의 표면을 덮는 전하 저장막을 형성하는 것을 더 포함하는 3차원 반도체 메모리 장치의 제조 방법.

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 본 발명은 반도체 메모리 장치의 제조 방법에 관한 것으로서, 더욱 상세하게는 재기입가능한 3차원 반도체 메모리 장치의 제조 방법에 관한 것이다.

배 경 기 술

[0002] 소비자가 요구하는 우수한 성능 및 저렴한 가격을 충족시키기 위해 반도체 장치의 집적도를 증가시키는 것이 요구되고 있다. 반도체 메모리 장치의 경우, 그 집적도는 제품의 가격을 결정하는 중요한 요인이기 때문에, 특히 증가된 집적도가 요구되고 있다. 종래의 2차원 또는 평면적 반도체 메모리 장치의 경우, 그 집적도는 단위 메모리 셀이 점유하는 면적에 의해 주로 결정되기 때문에, 미세 패턴 형성 기술의 수준에 크게 영향을 받는다. 하지만, 패턴의 미세화를 위해서는 초고가의 장비들이 필요하기 때문에, 2차원 반도체 메모리 장치의 집적도는 증가하고는 있지만 여전히 제한적이다.

[0003] 이러한 한계를 극복하기 위한, 3차원적으로 배열되는 메모리 셀들을 구비하는 3차원 반도체 메모리 장치들이 제안되고 있다. 그러나, 3차원 반도체 메모리 장치의 대량 생산을 위해서는, 비트당 제조 비용을 2차원 반도체 메모리 장치의 그것보다 줄일 수 있으면서 신뢰성 있는 제품 특성을 구현할 수 있는 공정 기술이 요구되고 있다.

발명의 내용

해결 하고자하는 과제

[0004] 본원 발명이 해결하고자 하는 과제는 채널이 형성되는 반도체막의 전기적 특성을 향상시킬 수 있는 재기입가능한 3차원 반도체 메모리 장치의 제조 방법을 제공하는데 있다.

[0005] 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제에 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제 해결수단

[0006] 상기 해결하고자 하는 과제를 달성하기 위하여 본 발명의 일 실시예에 따른 3차원 반도체 메모리 장치의 제조 방법은 기판 상에 복수의 박막들로 구성되는 박막 구조체를 형성하고, 박막 구조체를 패터닝하여, 기판을 노출

Micron Ex. 1002, p. 756
Micron v. YMTC
IPR2025-00294

Micron Ex. 1002, p. 757
Micron v. YMTC
IPR2025-00294

시키는 관통 영역을 형성하고, 관통 영역의 내벽에 반도체막을 컨포말하게 형성하고, 반도체막을 표면 처리하여, 관통 영역에 노출된 반도체막의 표면에 산화 패시베이션막을 형성하는 것을 포함한다.

[0007] 상기 해결하고자 하는 과제를 달성하기 위하여 본 발명의 일 실시예에 따른 3차원적으로 배열된 메모리 트랜지스터들을 구비하는 3차원 반도체 메모리 장치의 제조 방법에 있어서, 3차원 메모리 반도체 장치의 제조 방법은, 복수의 메모리 트랜지스터들의 채널 영역들로 사용되면서 기판에 수직한 실린더 형태를 갖는 복수의 반도체막들을 형성하고, 반도체막을 표면 처리하여, 반도체막들의 내부 표면에 산화 패시베이션막을 형성하는 것을 포함한다.

[0008] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

효 과

[0009] 본 발명의 일 실시예에 따르면, 3차원으로 배열되는 메모리 셀 트랜지스터들의 채널로 이용되는 실린더 형태의 반도체막의 후면을 표면 처리하여 산화 패시베이션막을 형성함으로써, 실린더 형태의 반도체막 내부에 채워지는 매립막과 반도체막의 경계에서 결정구조 차이에 의한 계면 트랩 밀도(interface trap density)를 줄일 수 있다. 그러므로, 기판에 대해 수직한 반도체막을 채널로 사용하는 트랜지스터들의 전기적 특성(예를 들어, 전하 이동도)을 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

[0010] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전문에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0011] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다(comprises)' 및/또는 '포함하는(comprising)'은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다. 또한, 본 명세서에서, 어떤 막이 다른 막 또는 기판 상에 있다고 언급되는 경우에 그것은 다른 막 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 막이 개재될 수도 있다는 것을 의미한다.

[0012] 또한, 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 예시도인 단면도 및/또는 평면도들을 참고하여 설명될 것이다. 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 예를 들면, 직각으로 도시된 식각 영역은 라운드지거나 소정 곡률을 가지는 형태일 수 있다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이며 발명의 범주를 제한하기 위한 것이 아니다.

[0013] 이하, 도면들을 참조하여, 본 발명의 실시예들에 대해 상세히 설명하기로 한다. 본 발명의 실시예들에 따른 반도체 메모리 장치는 3차원 구조를 갖는다.

[0014] 도 1은 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치의 회로도이고, 도 2는 본 발명의 일 실시예에 따른 3차원 반도체 메모리 장치의 사시도이다.

[0015] 도 1 및 도 2를 참조하면, 일 실시예에 따른 3차원 반도체 메모리 장치는 공통 소오스 라인(CSL), 복수개의 비트라인들(BL0, BL1, BL2, BL3) 및 상기 공통 소오스 라인(CSL)과 상기 비트라인들(BL0-BL3) 사이에 배치되는 복수개의 셀 스트링들(CSTR)을 포함할 수 있다.

[0016] 공통 소오스 라인(CSL)은 기판(100) 상에 배치되는 도전성 박막 또는 기판(100) 내에 형성되는 불순물 영역일 수 있다. 비트라인들(BL0-BL3)은 기판(100)으로부터 이격되어 그 상부에 배치되는 도전성 패턴들(예를 들면, 금속 라인)일 수 있다. 비트라인들(BL0-BL3)은 2차원적으로 배열되고, 그 각각에는 복수개의 셀 스트링들(CSTR)이 병렬로 연결된다. 이에 따라 셀 스트링들(CSTR)은 공통 소오스 라인(CSL) 또는 기판(100) 상에 2차원적으로 배열된다.

[0017] 셀 스트링들(CSTR) 각각은 공통 소오스 라인(CSL)에 접속하는 접지 선택 트랜지스터(GST), 비트라인(BL0-BL3)에 접속하는 스트링 선택 트랜지스터(SST) 및 접지 및 스트링 선택 트랜지스터들(GST, SST) 사이에 배치되는 복수개의 메모리 셀 트랜지스터들(MCT)로 구성될 수 있다. 접지 선택 트랜지스터(GST), 스트링 선택 트랜지스터(SST) 및 메모리 셀 트랜지스터들(MCT)은 직렬로 연결될 수 있다. 이에 더하여, 공통 소오스 라인(CSL)과 비트라인들(BL0-BL3) 사이에 배치되는, 접지 선택 라인(GSL), 복수개의 워드라인들(WL0-WL3) 및 복수개의 스트링 선택 라인들(SSL)이 접지 선택 트랜지스터(GST), 메모리 셀 트랜지스터들(MCT) 및 스트링 선택 트랜지스터들(SST)의 게이트 전극들로서 각각 사용될 수 있다.

[0018] 접지 선택 트랜지스터들(GST) 모두는 기판(100)으로부터 실질적으로 동일한 거리에 배치될 수 있고, 이들의 게이트 전극들은 접지 선택 라인(GSL)에 공통으로 연결되어 등전위 상태에 있을 수 있다. 이를 위해, 접지 선택 라인(GSL)은 공통 소오스 라인(CSL) 및 이에 가장 인접하는 메모리 셀 트랜지스터(MCT) 사이에 배치되는, 평판(plate) 모양 또는 빗(comb) 모양의 도전 패턴일 수 있다. 유사하게, 공통 소오스 라인(CSL)으로부터 실질적으로 동일한 거리에 배치되는, 복수의 메모리 셀 트랜지스터들(MCT)의 게이트 전극들 역시 워드라인들(WL0-WL3) 중의 하나에 공통으로 연결되어 등전위 상태에 있을 수 있다. 이를 위해, 워드라인들(WL0-WL3) 각각은 기판(100)의 상부면에 평행한 평판 모양 또는 빗 모양의 도전 패턴일 수 있다. 한편, 하나의 셀 스트링(CSTR)은 공통 소오스 라인(CSL)으로부터의 거리가 서로 다른 복수개의 메모리 셀 트랜지스터들(MCT)로 구성되기 때문에, 공통 소오스 라인(CSL)과 비트라인들(BL0-BL3) 사이에는 다층의 워드라인들(WL0-WL3)이 배치된다.

[0019] 셀 스트링들(CSTR) 각각은 공통 소오스 라인(CSL)으로부터 수직하게 연장되어 비트 라인(BL0-BL3)에 접속하는 반도체 기둥(PL; pillar)을 포함할 수 있다. 반도체 기둥들(PL)은 접지 선택 라인(GSL) 및 워드라인들(WL0-WL3)을 관통하도록 형성될 수 있다. 이에 더하여, 반도체 기둥(PL)은 몸체부(B) 및 몸체부(B)의 일단 또는 양단에 형성되는 불순물 영역들을 포함할 수 있다. 예를 들면, 드레인 영역(D)이, 도 1b에 도시된 것처럼, 반도체 기둥(PL)의 상단(즉, 몸체부(B)와 비트라인(BL0-BL3) 사이)에 형성될 수 있다.

[0020] 한편, 워드라인들(WL0-WL3)과 반도체 기둥(PL) 사이에는 정보저장막이 배치될 수 있다. 일 실시예에 따르면, 정보저장막은 전하저장막일 수 있다. 예를 들면, 정보저장막은 트랩 절연막, 부유 게이트 전극 또는 도전성 나노 도트들(conductive nano dots)을 포함하는 절연막 중의 한가지일 수 있다.

[0021] 접지 선택 라인(GSL)과 반도체 기둥(PL) 사이 또는 스트링 선택 라인들(SSL)과 반도체 기둥(PL) 사이에는, 접지 선택 트랜지스터(GST) 또는 스트링 선택 트랜지스터(SST)의 게이트 절연막으로 사용되는 유전막이 배치될 수 있다. 접지 및 스트링 선택 트랜지스터들(GST, SST) 중의 적어도 하나의 게이트 절연막은 메모리 셀 트랜지스터(MCT)의 정보저장막과 동일한 물질로 형성될 수 있지만, 통상적인 모오스펫(MOSFET)을 위한 게이트 절연막(예를 들면, 실리콘 산화막)일 수도 있다.

[0022] 접지 및 스트링 선택 트랜지스터들(GST, SST) 그리고 메모리 셀 트랜지스터들(MCT)은 반도체 기둥(PL)을 채널 영역으로 사용하는 모오스 전계 효과 트랜지스터(MOSFET)일 수 있다. 다른 실시예에 따르면, 반도체 기둥(PL)은, 접지 선택 라인(GSL), 워드라인들(WL0-WL3) 및 스트링 선택 라인들(SSL)과 함께, 모오스 커패시터(MOS capacitor)를 구성할 수 있다. 이 경우, 접지 선택 트랜지스터(GST), 메모리 셀 트랜지스터들(MCT) 및 스트링 선택 트랜지스터(SST)은 접지 선택 라인(GSL), 워드라인들(WL0-WL3) 및 스트링 선택 라인들(SSL)으로부터의 기생 전계(fringe field)에 의해 형성되는 반전 영역들(inversion layer)을 공유함으로써 전기적으로 연결될 수 있다.

[0023] 이하, 도 3 내지 도 10을 참조하여, 본 발명의 일 실시예에 따른 3차원 반도체 메모리 장치의 제조 방법에 대해 상세히 설명한다. 도 3은 본 발명의 일 실시예에 따른 3차원 반도체 메모리 장치의 제조 방법을 나타내는 순서도이다. 도 4 내지 도 10은 본 발명의 일 실시예에 따른 3차원 반도체 메모리 장치의 제조 방법을 순서대로 나타내는 도면들이다.

[0024] 도 3 및 도 4를 참조하면, 기판(100) 상에 박막 구조체를 형성한다(S10).

[0025] 기판(100)은 반도체 특성을 갖는 물질(예를 들면, 실리콘 웨이퍼), 절연성 물질(예를 들면, 유리), 절연성 물질에 의해 덮인 반도체 또는 도전체 중의 하나일 수 있다.

[0026] 박막 구조체는 복수의 절연막들(211~216: 210) 및 복수의 희생막들(SC1~SC6: SC)을 포함할 수 있다. 절연막들(210) 및 희생막들(SC)은, 도시된 것처럼, 교대로 그리고 반복적으로 적층될 수 있다. 절연막들(210) 및 희생막들(SC)은 식각 선택성을 가질 수 있도록 선택된 물질들로 형성될 수 있다. 예를 들어, 절연막(210)은 실리콘 산화막 및 실리콘 질화막 중의 적어도 하나일 수 있으며, 희생막(SC)은 실리콘막, 실리콘 산화막, 실리콘 카바

Micron Ex. 1002, p. 758
Micron v. YMTC
IPR2025-00294

이드 및 실리콘 질화막 중에서 선택되는 절연막(210)과 다른 물질일 수 있다.

[0027] 일 실시예에 따르면, 박막 구조체를 형성하기 전에, 기판(100) 내에 또는 기판(100) 상에 도전 영역을 형성하는 단계를 더 포함할 수 있다. 기판(100)이 반도체 특성을 갖는 물질일 경우, 도전 영역은 기판(100) 내에 형성되는 불순물 영역일 수 있다. 기판(100)이 절연성 물질인 경우, 도전 영역은 기판(100) 상에 배치되는 도전막 또는 도전 패턴일 수 있다. 일 실시예에 따르면, 도전 영역은 공통 소오스 라인으로 사용될 수 있다.

[0028] 도 3 및 도 5를 참조하면, 박막 구조체를 패터닝하여, 기판(100)의 상부면을 노출시키는 복수의 제 1 관통 영역들(50)을 형성한다(S20).

[0029] 이 실시예에 따르면, 제 1 관통 영역들(50) 각각은 원통형 또는 직육면체의 홀 형태로 형성될 수 있다. 또한, 제 1 관통 영역들(50)은 기판(100)으로부터의 거리에 따라 다른 폭을 가질 수 있다.

[0030] 구체적으로, 제 1 관통 영역들(50)을 형성하는 단계는, 박막 구조체 상에 제 1 관통 영역들(50)의 평면적 위치를 정의하는 마스크 패턴(미도시)을 형성하는 단계와, 마스크 패턴을 식각 마스크로 사용하여 박막 구조체를 이방성 식각하는 단계를 포함할 수 있다. 제 1 관통 영역들(50)은 2차원적으로 그리고 규칙적으로 형성될 수 있다. 예를 들면, 제 1 관통 영역들(50)의 위치는 (x0+n*a, y0+m*b)의 좌표 집합에 의해 기술될 수 있다(여기서, x0 및 y0는 기준점의 좌표이고, n 및 m은 셀 어레이의 크기 내에서 선택되는 자연수들이고, a 및 b는 상수들이다).

[0031] 도 3 및 도 6을 참조하면, 제 1 관통 영역들(50) 내에 반도체막(300)을 형성한다(S30).

[0032] 반도체막(300)은 기판(100) 또는 도전 영역의 상부면에 직접 접촉하도록 형성될 수 있다. 반도체막(300)은 제 1 관통 영역들(50)의 내벽들을 실질적으로 콘포말하게 덮도록 형성될 수 있다. 이러한 경우, 반도체막(300)은 중공형 실린더 형태로 형성될 수 있다.

[0033] 반도체막(300)은 에피택시얼 기술 또는 화학기상증착 기술을 사용하여 형성되는 반도체 물질들 중의 한가지일 수 있으며, 그 결정 구조는 다결정, 단결정 및 비정질 구조들 중의 한가지일 수 있다. 또한, 기판(100)과 반도체막(300) 사이에는 결정 구조에서의 불연속적 경계면이 형성될 수 있다.

[0034] 한편, 반도체막(300)의 두께(즉, 쉘의 두께)는 거기에 생성될 공핍 영역의 폭보다 얇거나 다결정 실리콘을 구성하는 실리콘 그레인들의 평균 길이보다 작을 수 있다. 반도체막(300)의 두께가 반도체막(300)에 생성될 공핍 영역의 폭과 실질적으로 동일한 경우, 3차원 반도체 메모리 장치의 동작시 반도체막(300)이 완전 공핍될 수 있다.

[0035] 반도체막(300)의 두께가 감소함에 따라 반도체막(300)에 생성될 공핍 영역의 폭과 실질적으로 동일할 수 있으며, 이러한 경우 트랜지스터의 채널로 사용되는 반도체막(300)의 후면(즉, 제 1 매립 패턴(310)과 접하는 면) 상태가 전하 이동도에 미치는 영향이 증가한다.

[0036] 반도체막들(300)은 그것들이 접촉하는 기판(100)과 동일한 도전형을 갖도록 형성된다. 그 결과, 반도체막들(300)은 기판(100)과 다이오드를 구성하지 않기 때문에, 반도체막들(300)은 기판(100)과 등전위를 가질 수 있다.

[0037] 도 3 및 도 7을 참조하면, 내부에 갭 영역을 갖는 반도체막(300)들 내부에 제 1 매립 패턴을 형성한다(S50).

[0038] 제 1 매립 패턴들(310)은 반도체막(300)이 형성된 제 1 관통 영역(50)을 채우도록 형성될 수 있으며, 절연성 물질들 중의 적어도 한가지를 포함할 수 있다. 예를 들면, 제 1 매립 패턴들(310)은 실리콘 산화막 또는 SOG(Spin On Glass) 기술을 이용하여 형성되는 절연성 물질들일 수 있다. 즉, 제 1 매립 패턴들(310)은 CVD-산화막, PE-산화막, HDP 산화막 또는 SOG막일 수 있다. 즉, 실리콘 원자를 포함하는 반응 가스(예를 들어, SiH_4 가스 등)와 산소 원자를 포함하는 반응 가스(예를 들어, O_2 가스)를 이용하여 반도체막(300) 내부에 실리콘 산화막을 증착함으로써 제 1 매립 패턴(310)을 형성할 수 있다.

[0039] 일 실시예에 따르면, 수소 또는 중수소를 포함하는 가스 분위기에서, 반도체막(300)이 형성된 결과물을 처리하는 수소 어닐링 단계가 더 실시될 수 있다. 이러한 수소 어닐링 단계는 반도체막(300) 내에 존재하는 결정 결함들을 치유할 수 있다.

[0040] 한편, 본 발명의 실시예들에 따르면, 중공형 실린더 형태(hollow cylindrical type)의 반도체막(300)의 외벽은 제 1 관통 영역(50)에 노출된 박막 구조체와 접할 수 있으며, 중공형 실린더 형태의 반도체막(300)의 내벽은 관통 영역을 채우는 제 1 매립 패턴(310)과 접할 수 있다. 이러한 경우, 제 1 매립 패턴(310)과 반도체막(300) 사

Micron Ex. 1002, p. 759
Micron v. YMTC
IPR2025-00294

이에는 결정 구조에서의 불연속적 경계면이 형성될 수 있다. 그리고, 실리콘 산화물로 이루어진 제 1 매립 패턴(310)과 폴리실리콘으로 이루어진 반도체막(300)의 경계면에는 다량의 결함들이 존재할 수 있다. 예를 들어, 실리콘 원자들간의 약한 결합(weak Si-Si bonding), 실리콘 원자와 산소 원자간의 비이상적 결합(strained Si-O bonding), 실리콘 원자의 댕글링 본드(Si dangling bonding)과 같은 여러 가지 결함들이 존재할 수 있다.

[0041] 즉, 제 1 매립 패턴(310)과 반도체막(300)이 접하는 계면에는 결정 결함들이 존재할 수 있으며 불균일한 모폴로지(morphology)를 가질 수 있다. 또한, 제 1 매립 패턴(3100과 반도체막(300)의 결정성 차이로 인해 계면 트랩 밀도(interface trap density)가 증가될 수 있다. 제 1 매립 패턴(310)과 반도체막(300) 사이의 계면 트랩은 채널로 이용되는 반도체막(300)의 특성을 열화시킬 수 있다.

[0042] 이에 따라, 제 1 매립 패턴(310)을 형성하기 전에 제 1 관통 영역(50)에 노출된 반도체막(300)의 내측벽을 표면처리한다(S40).

[0043] 반도체막(300)의 표면 처리 공정은 반도체막(300)의 표면에 존재하는 반도체 원자를 산소 원자와 화학적으로 결합시킨다. 이에 따라, 반도체막(300)의 표면에 산화 패시베이션막(302)이 형성될 수 있다. 즉, 반도체막(300)의 표면처리 공정 동안, 반도체막(300)의 표면에 존재하는 실리콘 원자들이 소모되면서 실리콘 산화막이 형성될 수 있다. 이와 같은 반도체막의 표면 처리 공정을 수행함으로써, 반도체막(300)의 갭 영역을 채우는 제 1 매립 패턴(310)을 형성할 때, 반도체막(300)과 산화막 사이에서 계면 트랩 밀도를 줄일 수 있다.

[0044] 구체적으로, 반도체막(300)의 표면 처리 공정으로서 열산화(thermal oxidation) 공정 또는 라디칼 산화(radical oxidation) 공정이 수행될 수 있다.

[0045] 열산화 공정으로는 O_2, O_2/N_2 또는 O_2/N_2O 가스를 이용하여 고온에서 산화막을 형성하는 건식 열산화 공정 또는 H_2/O_2 또는 H_2O를 이용하여 고온에서 산화막을 형성하는 습식 열산화 공정이 수행될 수 있다.

[0046] 또한, 라디칼 산화 공정은 소스 가스로서, 산소 가스 및/또는 수소 가스 및/또는 염화 수소 가스를 사용할 수 있으며, 소스 가스를 라디칼 상태로 활성화시켜 반도체막과 반응시킨다. 라디칼 산화 공정에 의하면 반도체막(300)의 표면에서 산화 반응이 활발하게 일어날 수 있으며, 반도체막(300)의 표면 전체에 균일한 산화 패시베이션막(302)을 형성할 수 있다.

[0047] 또한, 반도체막(300)의 산화 공정시, 할로겐을 포함하는 가스를 첨가할 수 있다. 할로겐을 포함한 분위기 중에서, 반도체막(300)을 산화함으로써, 할로겐을 포함한 산화 패시베이션막(302)이 형성될 수 있다. 할로겐을 포함하는 가스로는, HCl, HF, NF_3, HBr, Cl_2, ClF_3, BCl_3, F_2 및 Br_2 중에서 선택된 하나 이상의 가스가 사용될 수 있다. 산화 패시베이션막이 할로겐 원소를 포함하는 경우, 할로겐 원소에 의해 반도체막(300) 표면의 결함들이 게터링될 수 있다.

[0048] 표면 처리 공정을 통해, 반도체막(300)의 내측면(즉, 채널의 후면)에는 산화 패시베이션막(302)이 형성될 수 있다. 표면 처리 공정을 통해 형성된 산화 패시베이션막(302)은 반도체막(300)의 표면에 존재하는 결함들을 줄이거나 제거할 수 있다. 즉, 표면 처리 공정을 통해 반도체막(300)과 제 1 매립 패턴(310) 사이의 계면 트랩 밀도(interface trap density)를 감소시킬 수 있다. 그러므로, 3차원 반도체 메모리 장치의 동작시, 채널로 사용되는 반도체막(300)에서 전하의 이동도를 향상시킬 수 있다.

[0049] 도 3 및 도 8 내지 도 9를 참조하면, 차례로 적층되어 상기 반도체막들(300)의 측벽을 마주보는 도전 패턴들(201~206)을 형성하는 수평 배선 구조체(200)를 형성한다.

[0050] 수평 배선 구조체(200)를 형성하는 단계는, 반도체막들(300) 사이에 상기 박막 구조체를 구성하는 박막들 중의 일부 또는 전부를 관통하는 제 2 관통 영역(225)을 형성하는 단계(S60) 및 박막 구조체의 희생막들을 도전성 물질막으로 대체(replace)하는 단계(S70)를 포함할 수 있다.

[0051] 구체적으로, 도 8에 도시된 것처럼, 제 2 관통 영역(225)은 반도체막들(300)로부터 이격되어, 희생막 구조체(SC) 및 절연막 구조체(210)의 측벽들을 노출시키도록 형성될 수 있다. 수평적 모양에 있어서, 제 2 관통 영역(225)은 라인 형태 또는 직사각형으로 형성될 수 있으며, 수직적 깊이에 있어서, 제 2 관통 영역(225)은 적어도 희생막들(SC1~SC6) 중의 최하층의 상부면을 노출시키도록 형성될 수 있다. 변형된 실시예에 따르면, 공통 소오스 라인으로 사용될 수 있는, 상기 도전 영역(미도시)은 제 2 관통 영역(225) 하부의 기판(100) 내에 국소적으로 형성될 수 있다. 도전 영역은 제 2 관통 영역(225)이 형성된 박막 구조체를 이온 마스크로 사용하는 이온 주입 공정을 통해 형성될 수 있다.

Micron Ex. 1002, p. 760
Micron v. YMTC
IPR2025-00294

[0052] 대체 단계(S70)는, 도 8 도시된 것처럼, 제 2 관통 영역들(225)에 의해 그 측벽들이 노출된 희생막들(SC)을 선택적으로 제거하여, 절연막들(210) 사이에 리세스 영역들(226)을 형성한 후, 도 9에 도시된 것처럼, 리세스 영역들(226) 각각의 내부에 정보저장막(230) 및 도전 패턴들(201~206)을 형성하는 단계를 포함할 수 있다.

[0053] 리세스 영역들(226)은 제 2 관통 영역(225)으로부터 절연막들(210) 사이로 수평적으로 연장된 갭 영역들일 수 있으며, 반도체막들(300)의 측벽들을 노출시키도록 형성될 수 있다. 리세스 영역들(226)을 형성하는 단계는 절연막들(210)에 대해 식각 선택성을 갖는 식각 레서피를 사용하여 희생막들(SC)을 등방적으로 식각하는 단계를 포함할 수 있다. 예를 들면, 희생막들(SC)이 실리콘 질화막이고, 절연막들(210)이 실리콘 산화막인 경우, 식각 단계는 인산을 포함하는 식각액을 사용하여 수행될 수 있다.

[0054] 정보저장막(230) 및 도전 패턴들(201~206: 200)을 형성하는 단계는 제 2 관통 영역들(225) 및 리세스 영역들(226)을 차례로 덮는 정보저장막(230) 및 도전막을 형성하는 단계, 및 제 2 관통 영역(225) 내에서 도전막을 제거하여 리세스 영역들(226) 내에 도전 패턴들(201~206)을 남기는 단계를 포함할 수 있다. 이어서, 도 9에 도시된 것처럼, 제 2 관통 영역(225)를 채우는 전극 분리 패턴(265)이 더 형성될 수 있다. 도전 패턴들(201~206)은 수평배선 구조체(200)를 구성할 수 있다.

[0055] 정보저장막(230)은 우수한 단차 도포성을 제공할 수 있는 증착 기술(예를 들면, 화학기상증착 또는 원자층 증착 기술)을 사용하여 형성될 수 있으며, 리세스 영역들(226)의 두께의 절반보다 얇은 두께로 형성될 수 있다. 이에 따라, 정보저장막(230)은 리세스 영역들(226)이 형성된 결과물을 실질적으로 콘포말하게 덮도록 형성될 수 있다. 플래시 메모리를 위한 본 발명의 일 실시예에 따르면, 정보저장막(230)은 전하저장막을 포함할 수 있다. 예를 들면, 정보저장막(230)은 트랩 절연막, 부유 게이트 전극 또는 도전성 나노 돗들(conductive nano dots)을 포함하는 절연막 중의 한가지를 포함할 수 있다. 일 실시예에 따르면, 정보저장막(230)은 터널 절연막 및 블록킹 절연막을 더 포함할 수 있고, 터널 절연막은 실리콘 산화막 및 실리콘 질화막 중의 적어도 한가지를 포함하고, 블록킹 절연막은 알루미늄 산화막, 실리콘 산화막 및 실리콘 질화막 중의 적어도 한가지를 포함할 수 있다.

[0056] 도전막은, 정보저장막(230)에 의해 덮인, 리세스 영역들(226) 및 제 2 관통 영역들(225)을 채우도록 형성될 수 있다. 도전막은 도핑된 실리콘, 텅스텐, 금속 질화막들 및 금속 실리사이드들 중의 적어도 하나를 포함할 수 있다. 한편, 본 발명의 기술적 사상은 플래시 메모리 장치에 한정적으로 적용되는 것은 아니기 때문에, 정보저장막(230) 및 도전막은 물질 및 구조 등에서 다양하게 변형될 수 있다.

[0057] 제 2 관통 영역(225) 내에서 도전막을 제거하는 단계는, 박막 구조체를 구성하는 최상부의 절연막(SC) 또는 그 상부에 추가적으로 형성되는 하드 마스크 패턴(미도시)을 식각 마스크로 사용하여, 도전막을 이방성 식각하는 단계를 포함할 수 있다. 제 2 관통 영역(225) 내에서 도전막이 제거될 경우, 도전막은 수직적으로 분리된 도전 패턴들(201~206)을 형성한다. 즉, 도전 패턴들(201~206)은 리세스 영역들(226) 내에 국소적으로 형성될 수 있으며, 수평 배선 구조체(200)를 구성할 수 있다.

[0058] 전극 분리 패턴(265)을 형성하는 단계는, 절연성 물질들 중의 적어도 하나로, 도전막이 제거된 제 2 관통 영역(225)을 채우는 단계를 포함한다. 일 실시예에 따르면, 전극 분리 패턴(265)은 실리콘 산화막, 실리콘 질화막 및 실리콘 산화질화막 중의 적어도 한가지일 수 있다.

[0059] 일 실시예에 따르면, 전극 분리 패턴(265)을 형성하기 전에, 기판(100)에 불순물 영역(102)을 형성할 수 있다. 불순물 영역(102)은 기판(100)과 다른 도전형을 갖도록 형성될 수 있으며, 이 경우 도 3을 참조하여 설명된 공통 소오스 전극(CSL)으로 사용될 수 있다.

[0060] 도 10을 참조하면, 제 1 매립 패턴(310) 및 반도체막(300)의 상부 영역들에 콘택 패드(D)가 형성될 수 있다.

[0061] 반도체막들(300)을 전기적으로 연결하는 비트라인들(BL)이 형성될 수 있다. 비트라인들(BL)은 도시된 것처럼 제 2 관통 영역(225) 또는 수평배선 구조체(200)를 가로지르는 방향을 따라 형성될 수 있다. 한편, 비트라인들(BL)은 콘택 플러그(미도시)에 의해 반도체막들(300)과 연결될 수도 있다.

[0062] 이하, 도 3 및 도 11 내지 도 17을 참조하여, 본 발명의 다른 실시예에 따른 3차원 반도체 메모리 장치의 제조 방법에 대해 상세히 설명한다.

[0063] 도 11 내지 도 17은 본 발명의 다른 실시예에 따른 3차원 반도체 메모리 장치의 제조 방법을 순서대로 나타내는 도면들이다.

[0064] 도 3 및 도 11을 참조하면, 도 4를 참조하여 설명한 것과 유사하게, 박막 구조체를 형성하고, 박막 구조체를 패터닝하여 기판(100)의 상부면을 노출시키는 제 1 관통 영역들(50)을 형성한다. 이 실시예에 따르면, 제 1 관통

Micron Ex. 1002, p. 761
Micron v. YMTC
IPR2025-00294

Micron Ex. 1002, p. 762
Micron v. YMTC
IPR2025-00294

영역들(50) 각각은 홀 형태가 아니라 라인 또는 스트라이프 형태로 형성될 수 있다. 또한, 제 1 관통 영역(50)은 기판(100)으로부터의 거리에 따라 다른 폭을 가질 수 있다.

[0065] 도 3 및 도 12를 참조하면, 도 6을 참조하여 설명한 바와 같이, 제 1 관통 영역(50)의 내측벽을 덮는 반도체막(300)을 형성한다. 이 실시예에 따르면, 반도체막(300)은 화학적 기상 증착 기술을 사용하여 제 1 관통 영역(50)의 내측벽을 콘포말하게 덮도록 형성될 수 있다. 즉, 반도체막(300)은 라인 형태로 형성된 제 1 관통 영역(50)의 내벽을 덮으며, 내부에 갭 영역을 가질 수 있다.

[0066] 도 3 및 도 13을 참조하면, 도 7을 참조하여 설명한 바와 같이, 반도체막(300)의 내측벽을 표면 처리하고, 반도체막(300)의 갭 영역 내에 제 1 매립 패턴(310)을 형성한다.

[0067] 즉, 제 1 관통 영역(50)에 노출된 반도체막(300)의 내벽을 산화시켜 산화 패시베이션막(302)을 형성한다. 산화 패시베이션막(302)은 폴리실리콘으로 이루어진 반도체막(300)의 실리콘 원자를 외부에서 제공된 산소 원자와 반응시켜 형성될 수 있다. 이후, 실리콘 원자를 제공하는 반응 가스(예를 들어, SiH_4 가스 등)와 산소 원자를 제공하는 반응 가스(예를 들어, O_2 가스)를 이용하여, 반도체막(300) 내부에 실리콘 산화막을 증착함으로써 제 1 매립 패턴(310)을 형성할 수 있다.

[0068] 도 14를 참조하면, 제 1 매립 패턴들(310)을 형성한 후, 반도체막(300)을 패터닝하여, 제 1 관통 영역 내에 서로 분리된 복수 개의 반도체 패턴들(301)을 형성할 수 있다. 복수의 반도체 패턴들(301)을 형성한 후, 반도체 패턴들(301) 사이의 공간을 채우는 제 2 매립 패턴들(320)을 더 형성할 수 있다.

[0069] 반도체 패턴들(301)을 형성하는 단계는 제 1 관통 영역들(50)의 장축을 가로지르는 식각 마스크 패턴들을 사용하여 제 1 매립 패턴들(310)을 패터닝함으로써 반도체막(300)의 내측벽을 노출시키는 단계 및 노출된 반도체막(300)의 내측벽을 식각하여 반도체 패턴들(301)을 수평적으로 분리시키는 단계를 포함할 수 있다.

[0070] 제 2 매립 패턴(320)은 절연성 물질들 중의 적어도 한가지로 형성될 수 있다. 일 실시예에 따르면, 제 2 매립 패턴들(320)을 형성하는 단계는 분리된 반도체 패턴들(301) 사이의 공간을 채우는 제 2 매립막을 형성한 후, 박막 구조체의 상부면이 노출될 때까지 제 2 매립막 및 반도체 패턴들(301)을 평탄화 식각하는 단계를 포함할 수 있다. 이 경우, 반도체 패턴들(301)은 노드 분리되어, 제 1 관통 영역(50) 및 제 2 매립 패턴(320) 내에 국소적으로 형성될 수 있다.

[0071] 이후, 도 3 및 도 8 내지 도 9를 참조하여 설명한 바와 같이, 차례로 적층되어 반도체 패턴들(301)의 측벽을 마주보는 도전 패턴들(201~206)을 형성하는 수평 배선 구조체 형성 공정을 실시한다. 수평 배선 구조체 형성 공정은 반도체 패턴들(301) 사이에 박막 구조체를 구성하는 박막들 중의 일부 또는 전부를 관통하는 제 2 관통 영역들(225)을 형성하는 단계(S60) 및 박막 구조체의 희생막들을 도전성 물질막으로 대체(replace)하는 단계(S70)를 포함할 수 있다.

[0072] 제 2 관통 영역들(225)을 형성하는 단계(S60)는 도 8 및 도 9를 참조하여 설명된 실시예의 그것과 동일하게 실시될 수 있다. 또한, 희생막들(SC)을 도전성 물질로 대체(replace)하는 단계(S70)에서, 리세스 영역들(226)은 정보저장막(230) 및 도전 패턴들(201~206)으로 채워질 수 있으며, 도전 패턴들(201~206)은 제 2 관통 영역을 채우는 전극 분리 패턴(265)에 의해 공간적으로 분리될 수 있다. 또한, 일 실시예에 따르면, 전극 분리 패턴(265)을 형성하기 전에, 기판(100)에 불순물 영역(102)을 형성할 수 있다. 불순물 영역(102)은 기판(100)과 다른 도전형을 갖도록 형성될 수 있으며, 이 경우 도 3을 참조하여 설명된 공통 소오스 전극(CSL)으로 사용될 수 있다.

[0073] 도 15를 참조하면, 제 1 매립 패턴(310) 및 반도체 패턴(301)의 상부 영역들에 콘택 패드(D)가 형성될 수 있다. 이후 반도체 패턴들(301)과 전기적으로 연결되는 비트 라인들(270)을 형성한다. 비트 라인들(270)을 형성하는 단계는, 수평배선 구조체(200)의 상부에 도전막을 증착하고, 도전막을 라인 형태로 패터닝하는 단계를 포함할 수 있다. 비트 라인들(270)은 도전 패턴들(201~206)을 가로질러 형성될 수 있다. 또한, 비트 라인들(270)은 반도체 패턴(301)과 직접 접촉될 수 있으며, 콘택 플러그를 통해 연결될 수도 있다.

[0074] 이하, 도 16 내지 도 21을 참조하여, 본 발명의 다른 실시예에 따른 3차원 반도체 메모리 장치의 제조 방법에 대해 상세히 설명한다.

[0075] 도 16은 본 발명의 일 실시예에 따른 3차원 반도체 메모리 장치의 제조 방법을 나타내는 순서도이다. 도 17 내지 도 21은 본 발명의 다른 실시예에 따른 3차원 반도체 메모리 장치의 제조 방법을 순서대로 나타내는 도면들

이다.

[0076] 도 16 및 도 17을 참조하면, 기판(100) 상에 하부 게이트 절연막(110) 및 하부 게이트막(125)을 차례로 형성한다. 기판(100)은 메모리 셀들이 형성되는 셀 어레이 영역(또는, 셀 어레이 영역) 및 메모리 셀들을 동작시키기 위한 주변 회로들이 형성되는 주변회로 영역을 포함할 수 있다.

[0077] 하부 게이트 절연막(110)은 열산화 공정을 통해 형성되는 실리콘 산화막일 수 있으며, 그 두께는 대략 40 옹스트롬 내지 300 옹스트롬일 수 있다. 한편, 알려진 것처럼, 플래시 메모리 소자는 다양한 두께 및 다양한 물질의 게이트 절연막들을 구비할 수 있으며, 이를 형성하는 방법들은 잘 확립되어 있다. 하부 게이트 절연막(110)은 이러한 플래시 메모리 소자의 공지된 게이트 절연막 형성 기술들 중의 적어도 한가지를 이용하여 형성될 수 있다.

[0078] 하부 게이트막(125)은 게이트 전극으로 사용될 수 있도록 도전성 물질들 중의 적어도 한가지로 형성된다. 예를 들면, 하부 게이트막(125)은 도핑된 다결정 실리콘과 같은 도전성 물질로 형성될 수 있다.

[0079] 하부 게이트막(125)은 및 하부 게이트 절연막(110)은 각각 접지 선택 라인(GSL) 및 커패시터 유전막(CD)으로 사용될 수 있다.

[0080] 하부 게이트막(125) 상에, 도 3을 참조하여 설명한 것과 유사하게, 박막 구조체를 형성한다(S110).

[0081] 이 실시예에 따르면, 박막 구조체는 상부 게이트막들(201, 202, 203, 204, 205) 및 층간절연막들(211, 212, 213, 214, 215, 216)을 교대로 적층하여 형성된다. 이때, 층간절연막들(211~216)에 의해 서로 이격되면서 적층되는 상부 게이트막들(201~205)은 상부 게이트 구조체(200)를 구성하고, 이들 사이에 개재되는 층간절연막들(211~216)은 층간절연 구조체(210)를 구성한다.

[0082] 본 발명에 따르면, 상부 게이트막들(201~205)은 워드라인 평면들(WL_PT) 또는 스트링 선택 라인들(SSL)로 사용된다. 따라서, 앞에서 설명한 것처럼, 상부 게이트막들(201~205) 사이의 간격(즉, 게이트 층간절연막들(211~216)의 두께)은 반도체막(300)에 생성되는 반전 영역의 최대 폭보다 작은 범위를 갖도록 형성될 수 있다. 또한, 게이트 전극으로 사용될 수 있도록, 상부 게이트막들(201~205)은 도전성 물질들 중의 적어도 한가지로 형성된다. (예를 들면, 도핑된 다결정 실리콘.)

[0083] 상부 게이트막들(201~205)은 본 발명에 따른 메모리 셀 트랜지스터의 게이트로 사용되기 때문에, 이들의 두께는 메모리 셀 트랜지스터의 채널 길이를 결정한다. 상부 게이트막들(201~205)은 증착 공정을 통해 형성되므로, 채널 길이는 패터닝 기술을 사용하여 형성되는 경우에 비해 더욱 정밀하게 제어될 수 있다. 또한, 메모리 셀 트랜지스터들의 채널의 길이 방향이 기판(100)에 수직하기 때문에, 본 발명에 따른 반도체 메모리 장치의 집적도는 상부 게이트막들(201~205)의 두께에 독립적이다. 따라서, 상부 게이트막들(201~205)은 단채널 효과에 따른 기술적 문제를 예방할 수 있는 범위에서 선택될 수 있다.

[0084] 게이트 층간절연막들(211~216)은 실리콘 산화막으로 형성될 수 있다. 상부 게이트막들에 인가되는 전위에 의한 반전 영역의 생성은 게이트 도전막들에 인가되는 전압에 의한 기생 전계(fringe field; FF)에 의해 제어될 수 있다. 이러한 반전 영역의 생성을 용이하게 만들기 위해, 게이트 층간절연막들(211~216)은 고유전막들을 더 포함할 수 있다. 고유전막은 실리콘 산화막보다 높은 유전 상수를 갖는 고유전막들 중의 한가지(예를 들면, 실리콘 질화막, 실리콘 산화질화막)일 수 있다. 이때, 상부 게이트막들(201~205) 및 하부 게이트 패턴(125)은 게이트 도전막들을 구성한다.

[0085] 한편, 상부 게이트 구조체(200) 및 게이트 층간절연 구조체(210)를 구성하는 박막들의 수, 그 각각의 두께, 그 각각의 물질 등은, 메모리 셀 트랜지스터의 전기적 특성 및 이들을 패터닝하는 공정에서의 기술적 어려움들을 고려하여, 다양하게 변형될 수 있다.

[0086] 도 16 및 도 18을 참조하면, 상부 게이트 구조체(200), 게이트 층간절연 구조체(210) 및 하부 게이트 패턴(125)을 패터닝하여, 셀 어레이 영역에서 기판(100)의 상부면을 노출시키는 관통 영역들(220)을 형성한다(S120).

[0087] 한편, 관통 영역들(220)의 측벽이 경사지게 형성될 경우, 메모리 셀 트랜지스터들의 채널 폭이 달라지기 때문에 메모리 셀들의 전기적 특성에서의 불균일함이 나타날 수 있다. 이를 최소화하기 위해, 즉, 관통 영역들(220)이 수직한 측벽을 가질 수 있도록, 관통 영역 형성을 위한 패터닝 공정은 이방성 식각 기술을 사용하여 실시될 수 있다. 변형된 실시예에 따르면, 셀간 전기적 특성의 균일성을 향상시키기 위해, 상부 게이트막들(201~205)이 서로 다른 두께를 갖도록 형성할 수도 있다.

Micron Ex. 1002, p. 763
Micron v. YMTC
IPR2025-00294

[0088] 도 16 및 도 19를 참조하면, 관통 영역들(220)이 형성된 결과물 상에 게이트 절연막(235, 즉, 정보 저장체)을 콘포말하게 형성한다(S130).

[0089] 게이트 절연막(235)은 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막 중의 적어도 한가지일 수 있으며, 게이트 절연막으로 사용되는 공지된 다른 절연성 물질들 중의 한가지로 형성될 수 있다.

[0090] 본 발명의 일 실시예에 따르면, 게이트 절연막(235)은 정보 저장을 위한 박막을 포함할 수 있다. 예를 들면, 게이트 절연막(235)은 차례로 적층된 블록킹 절연막, 전하 저장막 및 터널 절연막을 포함할 수 있다. 전하 저장막은 전하 트랩 사이트들을 갖는 실리콘 질화막 또는 실리콘 산화질화막일 수 있으며, 정보 저장을 위한 박막으로 사용된다. 터널 절연막은 열산화막 또는 화학기상증착 실리콘 산화막일 수 있으며, 블록킹 절연막은 터널 절연막보다 높은 유전상수를 갖는 물질들 중의 적어도 한가지를 포함할 수 있다. 블록킹 절연막, 전하저장막 및 터널 절연막은 공지된 문헌들에 개시된 기술들을 사용하여 또는 변형하여 형성될 수 있다.

[0091] 한편, 상술한 것처럼, 기판(100)은 관통 영역들(220)을 채우는 반도체막들(300)과 전기적으로 연결되다. 이를 위해서는, 기판(100)의 상부면을 노출시키는 것이 요구되므로, 관통 영역(220) 내에 게이트 절연막(235)을 패터닝하기 위한 식각 마스크로서 스페이서들을 형성한다. 스페이서들은, 관통 영역(220) 내에서 게이트 절연막(235)의 내측벽을 덮도록 형성되어, 게이트 절연막(235)을 식각하는 후속 패터닝 공정에서 게이트 절연막(235)에 대한 식각 손상을 감소시킨다.

[0092] 일 실시예에 따르면, 스페이서들은 게이트 절연막(235)에 대한 식각 손상을 최소화하면서 제거될 수 있는 물질들 중의 한가지일 수 있다. 예를 들어, 스페이서들에 접촉하는 게이트 절연막(235)이 실리콘 산화막일 경우, 스페이서들은 실리콘 질화막을 형성될 수 있다. 변형된 실시예에 따르면, 스페이서들은 반도체막과 같은 물질로 형성될 수 있다. 예를 들면, 스페이서들은 비정질 또는 다결정 실리콘으로 형성될 수 있다. 이 경우, 스페이서는 별도의 제거 공정 없이 반도체막(300)으로 사용될 수 있다.

[0093] 이어서, 스페이서들을 식각 마스크로 사용하여 노출된 게이트 절연막(235)을 식각한다. 이에 따라, 관통 영역들(220)의 바닥에서 기판(100)의 상부면이 노출된다. 이때, 식각 저지막(160)은 게이트 절연막(235)을 식각하는 동안 또는 그 전에 제거될 수 있다.

[0094] 이어서, 관통 영역(220) 내에 반도체막들(300)을 형성한다(S140). 반도체막들(300)을 형성하기 전에, 게이트 절연막(235)에 대한 식각 손상을 최소화하면서, 스페이서들을 제거한다. 이어서, 게이트 절연막들(235)을 덮으면서 관통 영역(220)의 바닥에서 기판(100)과 접촉하는 반도체막을 형성한다. 반도체막(300)은 화학기상증착 기술들 중의 한가지를 사용하여 형성될 수 있으며, 반도체막(300)으로 사용된다. 이 경우, 반도체막은 다결정 또는 비정질 실리콘으로 형성될 수 있으며, 기판(100)과 반도체막(300) 사이에는 결정 구조에서의 불연속적 경계면이 형성될 수 있다.

[0095] 이때, 반도체막(300)은 게이트 절연막(235)이 형성된 관통 영역(220)를 콘포말하게 덮도록 형성될 수 있다. 즉, 반도체막(300)은 중공의 실린더 형태 또는 쉘 모양으로 형성될 수 있으며, 그 내부 공간은 절연성 물질로 채워질 수 있다. 한편, 반도체막의 두께(즉, 쉘의 두께)는 거기에 생성될 공핍 영역의 폭보다 얇거나 다결정 실리콘을 구성하는 실리콘 그레인들의 평균 길이보다 작을 수 있다.

[0096] 본 발명에 따르면, 반도체막들(300)은 그것들이 접촉하는 기판(100)과 동일한 도전형을 갖도록 형성된다. 그 결과, 반도체막들(300)은 기판(100)과 다이오드를 구성하지 않기 때문에, 반도체막들(300)은 기판(100)과 등전위를 가질 수 있다.

[0097] 실린더 형태의 반도체막(300)을 형성한 후에는, 도 7을 참조하여 설명한 바와 같이, 반도체막을 표면 처리한다(S150). 반도체막(300)의 표면 처리 공정으로서 열산화(thermal oxidation) 공정 또는 라디칼 산화(radical oxidation) 공정이 수행될 수 있다.

[0098] 표면 처리 공정을 통해, 반도체막(300)의 내측면(즉, 채널의 후면)에는 산화 패시베이션막(302)이 형성될 수 있다. 표면 처리 공정을 통해 형성된 산화 패시베이션막(302)은 반도체막(300)의 표면에 존재하는 결함들을 줄이거나 제거할 수 있다.

[0099] 이후, 반도체막(300) 및 산화 패시베이션막(302)이 형성된 관통 영역 내에 절연 물질로 이루어진 제 1 매립 패턴(310)을 형성한다(S160). 제 1 매립 패턴(310)과 반도체막(300)의 사이에 산화 패시베이션막(302)이 형성되므로, 반도체막(300)과 제 1 매립 패턴(310)의 계면에서의 계면 트랩 밀도(interface trap density)를 감소시킬 수 있다.

Micron Ex. 1002, p. 764
Micron v. YMTC
IPR2025-00294

[0100] 도 20을 참조하면, 반도체막들(300)의 상부 영역에는 셀 스트링들의 드레인 전극들로 사용되는 드레인 영역(D)이 형성된다.

[0101] 이어서, 도 21을 참조하면, 최상부 상부 게이트막(205)을 패터닝하여 스트링 선택 라인들(270)을 형성한다. 스트링 선택 라인들(270) 각각은 반도체막들(300)을 일차원적으로 연결하도록 형성된다.

[0102] 일 실시예에 따르면, 스트링 선택 라인들(270)을 형성하는 단계는, 드레인 영역들(D) 상에 도전막(270)을 형성한 후, 도전막(270), 최상부 게이트 층간절연막(216) 및 최상부 상부 게이트막(205)을 패터닝하는 단계를 포함할 수 있다. 도전막(270)은 후속 공정에서 반도체막(300)이 식각 손상을 입는 것을 예방하며, 반도체막들(300)의 상부 영역(즉, 드레인 영역(D))과 직접 접촉할 수 있다. 이러한 직접적인 접촉을 고려하여, 도전막(270)은 반도체막(300)과 오믹 접촉할 수 있는 물질들 중의 한가지로 형성되는 것이 바람직하다.

[0103] 이하, 도 16 및 도 22 내지 도 27을 참조하여, 본 발명의 다른 실시예에 따른 3차원 반도체 메모리 장치의 제조 방법에 대해 상세히 설명한다.

[0104] 도 22 내지 도 27은 본 발명의 다른 실시예에 따른 3차원 반도체 메모리 장치의 제조 방법을 순서대로 나타내는 도면들이다.

[0105] 도 22를 참조하면, 셀 어레이 영역(Cell Array Region) 및 코어 영역(Core Region)을 갖는 기판(100)을 준비한다. 셀 어레이 영역의 상부면은 코어 영역의 상부면 보다 낮게 형성된다. 일 실시예에 따르면, 이러한 구조는 셀 어레이 영역에서 기판(100)을 리세스시키는 패터닝 단계를 통해 형성될 수 있다. 다른 실시예에 따르면, 이러한 구조는 기판(100) 상에 두 영역들 사이에 단차에 상응하는 두께를 갖는 소정의 박막을 형성한 후, 셀 어레이 영역에서 박막을 식각하는 단계를 통해 형성될 수 있다.

[0106] 이후, 도시된 것처럼, 기판(100) 상에 절연막들(31, 32, 33, 34, 35) 및 도전막들(41, 42, 43, 44)을 차례로 그리고 반복적으로 증착한다. 이때, 절연막들(31~35) 및 도전막들(41~44)은 기판(100) 상에 콘포말하게 형성될 수 있다. 절연막들(31~35) 및 도전막들(41~44)의 총 두께는 셀 어레이 영역과 코어 영역 사이의 단차보다 작을 수 있다.

[0107] 절연막들(31~35)은 실리콘 산화막, 실리콘 질화막 및 실리콘 산화질화막일 수 있다. 한편, 도전막들(41~44) 사이에 개재되는 절연막들(32~34)의 두께들은 도 1에서 설명된 반전영역들의 중첩(overlap of inversion regions)을 위한 기술적 특징을 충족시키는 범위에서 선택될 수 있다. 하지만, 최상부의 절연막(35)은 후속 패터닝 공정에서 식각 마스크로 사용될 수 있기 때문에, 다른 절연막들(31~34)보다 두꺼운 두께로 형성될 수 있다. 이에 더하여, 최하부의 절연막(31)은 최하부 중간배선(도 3의 141)과 기판(100) 또는 하부 불순물 영역(120) 사이의 절연 파괴(breakdown)를 예방할 수 있도록 도전막들(41~44) 사이에 개재되는 절연막들(32~34)보다 두꺼운 두께로 형성될 수 있다.

[0108] 도전막들(41~44)은 도핑된 반도체, 금속들, 금속 질화물들 및 금속 실리사이드들 중의 적어도 하나를 포함할 수 있다. 도 1에 도시된 것처럼, 본 발명의 실시예들에 따른 메모리 셀 트랜지스터는 수직한 채널을 갖고, 도전막들(41~44)의 두께는 메모리 셀 트랜지스터의 채널 길이를 정의한다. 이런 측면에서, 도전막들(41~44)의 두께는 메모리 셀 트랜지스터의 채널 길이와 관련된 기술적 요구(예를 들면, 단채널 효과의 예방)를 충족시키는 범위에서 선택될 수 있다.

[0109] 일 실시예에 따르면, 절연막들(31~35) 및 도전막들(41~44)을 형성하기 전에, 기판(100)의 셀 어레이 영역에 하부 불순물 영역(120)을 형성할 수 있다. 하부 불순물 영역(120)은 기판(100)과 다른 도전형을 갖도록 형성될 수 있으며, 이 경우 도 3을 참조하여 설명된 공통 소오스 전극(CSL)으로 사용될 수 있다.

[0110] 도 23을 참조하면, 절연막들(31~35) 및 도전막들(41~44)을 패터닝하여, 기판(100)의 상부면을 노출시키는 트렌치들(T)을 정의하는 중간배선 구조체들(200)을 형성한다. 중간배선 구조체(200)는, 절연막들(31~35) 및 도전막들(41~44)이 패터닝됨으로써 형성되는, 절연막 패턴들(131, 132, 133, 134, 135) 및 중간배선들(141, 142, 143, 144)로 구성될 수 있다. 도시된 것처럼, 중간배선들(141~144) 및 절연막 패턴들(131~135)의 측면들은 노출되어 트렌치(T)를 정의한다.

[0111] 중간 배선 구조체들(200)은 사진 및 식각 공정을 통해 최상부 절연막(135)을 패터닝한 후, 패터닝된 최상부 절연막(135)을 하드 마스크로 사용하는 패터닝 공정을 통해 형성될 수 있다. 변형된 실시예들에 따르면, 중간 배선 구조체들(200)을 형성하기 전에, 셀 어레이 영역과 코어 영역 사이의 단차에 따른 패터닝에서의 어려움을 줄이기 위해, 식각 마스크를 위한 별도의 마스크막을 기판 전면에 형성한 후, 그 결과물을 평탄화 식각하는 단계

Micron Ex. 1002, p. 765
Micron v. YMTC
IPR2025-00294

를 더 포함할 수 있다.

[0112] 또 다른 변형된 실시예들에 따르면, 중간 배선 구조체들(200)은 복수번의 패터닝 단계들을 통해 형성될 수 있다. 예를 들면, 절연막들(31~35) 및 도전막들(41~44)은 코어 영역 및 셀 어레이 영역에서 독립적으로 패터닝될 수 있다. 구체적으로, 이러한 패터닝 단계는 코어 영역에서 박막들을 먼저 패터닝하고, 패터닝된 코어 영역을 덮는 마스크막을 형성한 후, 셀 어레이 영역을 패터닝하는 단계를 포함할 수 있다.

[0113] 도 24를 참조하면, 중간배선 구조체들(200)의 측면을 덮는 정보저장막 패턴(55)을 형성한 후, 그 결과물 상에 반도체막(300)을 형성한다.

[0114] 정보저장막 패턴(55)은 중간배선 구조체(200)의 측면으로부터 연장되어 중간배선 구조체(200)의 상부면을 덮을 수 있다. 이 실시예에 따르면, 정보저장막 패턴(55)은 트렌치(T)의 바닥에서 기판(100)의 상부면을 노출시키도록 형성될 수 있다. 이를 위해, 트렌치(T)의 바닥에서 정보저장막 패턴(55)을 제거하기 위한 식각 공정이 더 실시될 수 있다.

[0115] 변형된 실시예에 따르면, 정보저장막 패턴(55)이 손상되는 것을 방지하기 위해, 식각 공정은 소정의 보호막으로 정보저장막 패턴(55)을 덮은 상태에서 실시될 수 있다. 예를 들면, 반도체막(300)은 두번 이상의 증착 공정을 통해 형성될 수 있으며, 최초 증착되는 반도체막이 보호막으로 사용될 수 있다.

[0116] 일 실시예에 따르면, 정보저장막 패턴(55)은 전하저장막을 포함할 수 있다. 예를 들면, 정보저장막 패턴(55)은 차례로 적층되는 블록킹 절연막, 전하저장막 및 터널 절연막을 포함할 수 있다. 블록킹 절연막은 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막, 및 고유전막들 중의 적어도 하나를 포함할 수 있으며, 복수의 막들로 구성될 수 있다. 이때, 고유전막은 실리콘 산화막보다 높은 유전 상수를 갖는 절연성 물질들을 의미하며, 탄탈륨 산화막, 티타늄 산화막, 하프늄 산화막, 지르코늄 산화막, 알루미늄 산화막, 이트륨 산화막, 니오븀 산화막, 세슘 산화막, 인듐 산화막, 이리듐 산화막, BST막 및 PZT막을 포함할 수 있다. 터널 절연막은 블록킹 절연막보다 낮은 유전 상수를 갖는 물질로 형성될 수 있으며, 전하 저장막은 전하 트랩 사이트들이 풍부한 절연성 박막(예를 들면, 실리콘 질화막)이거나, 도전성 입자들을 포함하는 절연성 박막일 수 있다. 일 실시예에 따르면, 터널 절연막은 실리콘 산화막이고, 전하 저장막은 실리콘 질화막이고, 블록킹 절연막은 알루미늄 산화막을 포함하는 절연막일 수 있다.

[0117] 반도체막(300)은 단결정 반도체 또는 다결정 반도체일 수 있으며, 기상 증착 기술 또는 에피택시얼 기술을 사용하여 형성될 수 있다. 반도체막(300)은 도시된 것처럼 콘포말한 두께로 형성되거나 정보저장막 패턴(55)이 형성된 트렌치(T)의 나머지 공간을 실질적으로 채우도록 형성될 수 있다. 일 실시예에 따르면, 반도체막(300)은 하부 불순물 영역(120)과 다이오드를 구성하도록, 하부 불순물 영역(120)과 다른 도전형을 가질 수 있다.

[0118] 반도체막(300)을 형성한 후에는, 도 7을 참조하여 설명한 바와 같이, 반도체막(300)을 표면 처리한다(S150). 반도체막(300)의 표면 처리 공정으로서 열산화(thermal oxidation) 공정 또는 라디칼 산화(radical oxidation) 공정이 수행될 수 있다.

[0119] 표면 처리 공정을 통해, 반도체막(300)의 내측면(즉, 채널의 후면)에는 산화 패시베이션막(302)이 형성될 수 있다. 표면 처리 공정을 통해 형성된 산화 패시베이션막(302)은 반도체막(300)의 표면에 존재하는 결함들을 줄이거나 제거할 수 있다.

[0120] 도 25를 참조하면, 반도체막(300)이 형성된 결과물을 평탄화 식각하여 기판(100)의 상부면을 노출시킨다. 한편, 상술한 것처럼, 절연막들(31~35) 및 도전막들(41~44)의 총 두께(t)는 셀 어레이 영역과 코어 영역 사이의 단차보다 작을 수 있다. 이러한 실시예의 경우, 중간배선들(141~144) 및 절연막 패턴들(131~135)은 평탄화 식각에 의해 셀 어레이 영역 내부에 한정적으로 배치된다.

[0121] 한편, 셀 어레이 영역 내부로 한정된 중간배선들(141~144) 각각은 기판(100)의 상부면에 평행한 배선 구간 및 배선 구간의 일단 또는 양단으로부터 연장된 콘택 구간을 가질 수 있다. 이때, 중간배선들(141~144)의 콘택 구간들은 셀 어레이 영역과 코어 영역의 경계 부근에서 배치되며, 평탄화 식각의 결과로서, 이들의 상부면은 기판(100)의 노출된 상부면과 동일한 높이에 형성될 수 있다.

[0122] 일 실시예에 따르면, 평탄화 식각 전에, 표면처리된 반도체막(300)이 형성된 결과물을 덮으면서 트렌치(T)를 채우는 매립절연막(310)이 더 형성될 수 있다. 이 경우, 중간배선들(141~144)의 콘택 구간들의 상부면들은 기판(100)과 매립절연막(310) 사이에서 노출된다.

[0123] 도 26을 참조하면, 반도체막(300)을 패터닝하여 중간배선 구조체(200)를 가로지르는 복수개의 반도체 패턴들

Micron Ex. 1002, p. 766
Micron v. YMTC
IPR2025-00294

Micron Ex. 1002, p. 767
Micron v. YMTC
IPR2025-00294

(301)을 형성한다. 반도체 패턴들(301)을 형성하는 단계는 매립절연막(310)을 패터닝하여 반도체막(300)을 노출시키는 개구부들(312)을 정의하는 매립 절연막 패턴(314)을 형성한 후, 노출된 반도체막(300)을 식각하는 단계를 포함할 수 있다. 이때, 개구부들(312)은 중간배선 구조체들(200)을 가로지르는 방향으로 형성될 수 있으며, 따라서, 반도체 패턴들(301)은 중간배선 구조체들(200)을 가로지르는 방향으로 형성된다.

[0124] 매립절연막(310)을 식각하는 단계는 반도체막(300)에 대해 식각 선택성을 갖는 이방성 식각의 방법으로 실시될 수 있으며, 반도체막(300)을 식각하는 단계는 매립절연막에 대해 식각 선택성을 갖는 식각 방법을 통해 실시될 수 있다. 반도체막(300)을 식각하는 단계는 중간배선 구조체(200)의 측면에서 반도체막(300)을 분리할 수 있도록 등방성 식각의 방법으로 실시될 수 있다. 하지만, 반도체막(300)의 식각 단계는 이방성 식각 방법 및 등방성 식각 방법 각각 또는 이들의 조합된 방법을 통해 실시될 수 있다.

[0125] 일 실시예에 따르면, 반도체 패턴들(301)을 형성한 후, 도시된 것처럼, 중간배선 구조체(200)가 노출되도록, 정보저장막 패턴(55)을 더 식각할 수 있다.

[0126] 도 27을 참조하면, 반도체 패턴들(301)이 형성된 결과물 상에 개구부들(312)을 채우는 절연막(도시하지 않음)을 형성한 후, 반도체 패턴들(301) 및 중간배선들(141~144)에 접속하는 상부 배선들(75)을 형성한다. 반도체 패턴들(301) 및 중간배선들(141~144)에 각각 접속하는 상부 배선들(75)은 도 3를 참조하여 설명된 비트라인들(BL) 및 전역 중간배선들(GWL)로 사용된다.

[0127] 이에 더하여, 상부 배선들(75)을 형성한 후, 최상부 중간 배선(144) 및 최하부 중간 배선(141)에 각각 접속하는 상부 선택 라인(USL) 및 하부 선택 라인(LSL)이 형성될 수 있다. 상부 및 하부 선택 라인들(USL 및 LSL)은 도시된 것처럼 비트라인(BL)을 가로지르는 방향으로 형성될 수 있다.

[0128] 도 28은 본 발명의 실시예들의 제조 방법에 따라 제조된 반도체 메모리 장치를 포함하는 메모리 시스템의 일 예를 나타내는 개략 블록도이다.

[0129] 도 28을 참조하면, 메모리 시스템(1100)은 PDA, 포터블(portable) 컴퓨터, 웹 타블렛(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 디지털 뮤직 플레이어(digital music player), 메모리 카드(memory card), 또는 정보를 무선환경에서 송신 및/또는 수신할 수 있는 모든 소자에 적용될 수 있다.

[0130] 메모리 시스템(1100)은 컨트롤러(1110), 키패드(keypad), 키보드 및 디스플레이와 같은 입출력 장치(1120), 메모리(1130), 인터페이스(1140), 및 버스(1150)를 포함한다. 메모리(1130)와 인터페이스(1140)는 버스(1150)를 통해 상호 소통된다.

[0131] 컨트롤러(1110)는 적어도 하나의 마이크로 프로세서, 디지털 시그널 프로세서, 마이크로 컨트롤러, 또는 그와 유사한 다른 프로세스 장치들을 포함한다. 메모리(1130)는 컨트롤러에 의해 수행된 명령을 저장하는 데에 사용될 수 있다. 입출력 장치(1120)는 시스템(1100) 외부로부터 데이터 또는 신호를 입력받거나 또는 시스템(1100) 외부로 데이터 또는 신호를 출력할 수 있다. 예를 들어, 입출력 장치(1120)는 키보드, 키패드 또는 디스플레이 소자를 포함할 수 있다.

[0132] 메모리(1130)는 본 발명의 실시예들에 따른 비휘발성 메모리 소자를 포함한다. 메모리(1130)는 또한 다른 종류의 메모리, 임의의 수시 접근이 가능한 휘발성 메모리, 기타 다양한 종류의 메모리를 더 포함할 수 있다.

[0133] 인터페이스(1140)는 데이터를 통신 네트워크로 송출하거나, 네트워크로부터 데이터를 받는 역할을 한다.

[0134] 도 29는 본 발명의 실시예들의 제조 방법에 따라 제조된 반도체 메모리 장치를 구비하는 메모리 카드의 일 예를 나타내는 개략 블록도이다.

[0135] 도 29를 참조하면, 고용량의 데이터 저장 능력을 지원하기 위한 메모리 카드(1200)는 본 발명에 따른 플래시 메모리 장치(1210)를 장착한다. 본 발명에 따른 메모리 카드(1200)는 호스트(Host)와 플래시 메모리 장치(1210) 간의 제반 데이터 교환을 제어하는 메모리 컨트롤러(1220)를 포함한다.

[0136] SRAM(1221)은 프로세싱 유닛(1222)의 동작 메모리로써 사용된다. 호스트 인터페이스(1223)는 메모리 카드(1200)와 접속되는 호스트의 데이터 교환 프로토콜을 구비한다. 에러 정정 블록(1224)은 멀티 비트 플래시 메모리 장치(1210)로부터 독출된 데이터에 포함되는 에러를 검출 및 정정한다. 메모리 인터페이스(1225)는 본 발명의 플래시 메모리 장치(1210)와 인터페이싱 한다. 프로세싱 유닛(1222)은 메모리 컨트롤러(1220)의 데이터 교환을 위한 제반 제어 동작을 수행한다. 비록 도면에는 도시되지 않았지만, 본 발명에 따른 메모리 카드(1200)는 호스트(Host)와의 인터페이싱을 위한 코드 데이터를 저장하는 ROM(미도시됨) 등이 더 제공될 수 있음은 이 분야의

통상적인 지식을 습득한 자들에게 자명하다.

[0137] 도 30은 본 발명의 실시예들의 제조 방법에 따라 제조된 반도체 메모리 장치를 장착하는 정보 처리 시스템의 일 예를 나타내는 개략 블록도이다.

[0138] 도 30을 참조하면, 모바일 기기나 데스크 톱 컴퓨터와 같은 정보 처리 시스템에 본 발명의 플래시 메모리 시스템(1310)이 장착된다. 본 발명에 따른 정보 처리 시스템(1300)은 플래시 메모리 시스템(1310)과 각각 시스템 버스(760)에 전기적으로 연결된 모뎀(1320), 중앙처리장치(1330), 램(1340), 유저 인터페이스(1350)를 포함한다. 플래시 메모리 시스템(1310)은 앞서 언급된 메모리 시스템 또는 플래시 메모리 시스템과 실질적으로 동일하게 구성될 것이다. 플래시 메모리 시스템(1310)에는 중앙처리장치(1330)에 의해서 처리된 데이터 또는 외부에서 입력된 데이터가 저장된다. 여기서, 상술한 플래시 메모리 시스템(1310)이 반도체 디스크 장치(SSD)로 구성될 수 있으며, 이 경우 정보 처리 시스템(1300)은 대용량의 데이터를 플래시 메모리 시스템(1310)에 안정적으로 저장할 수 있다. 그리고 신뢰성의 증대에 따라, 플래시 메모리 시스템(1310)은 에러 정정에 소요되는 자원을 절감할 수 있어 고속의 데이터 교환 기능을 정보 처리 시스템(1300)에 제공할 것이다. 도시되지 않았지만, 본 발명에 따른 정보 처리 시스템(1300)에는 응용 칩셋(Application Chipset), 카메라 이미지 프로세서(Camera Image Processor: CIS), 입출력 장치 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

[0139] 또한, 본 발명에 따른 플래시 메모리 장치 또는 메모리 시스템은 다양한 형태들의 패키지로 실장 될 수 있다. 예를 들면, 본 발명에 따른 플래시 메모리 장치 또는 메모리 시스템은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등과 같은 방식으로 패키지화되어 실장될 수 있다.

[0140] 이상, 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면의 간단한 설명

[0141] 도 1은 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치의 회로도이다.

[0142] 도 2는 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치의 사시도이다.

[0143] 도 3은 본 발명의 일 실시예에 따른 3차원 반도체 메모리 장치의 제조 방법을 나타내는 순서도이다.

[0144] 도 4 내지 도 10은 본 발명의 일 실시예에 따른 3차원 반도체 메모리 장치의 제조 방법을 순서대로 나타내는 도면들이다.

[0145] 도 11 내지 도 15는 본 발명의 일 실시예에 따른 3차원 반도체 메모리 장치의 제조 방법을 순서대로 나타내는 도면들이다.

[0146] 도 16은 본 발명의 다른 실시예에 따른 3차원 반도체 메모리 장치의 제조 방법을 나타내는 순서도이다.

[0147] 도 17 내지 도 21은 본 발명의 다른 실시예에 따른 3차원 반도체 메모리 장치의 제조 방법을 순서대로 나타내는 도면들이다.

[0148] 도 22 내지 도 27은 본 발명의 다른 실시예에 따른 3차원 반도체 메모리 장치의 제조 방법을 순서대로 나타내는 도면들이다.

[0149] 도 28은 본 발명의 실시예들에 따른 반도체 메모리 장치를 포함하는 메모리 시스템의 일 예를 나타내는 개략 블록도이다.

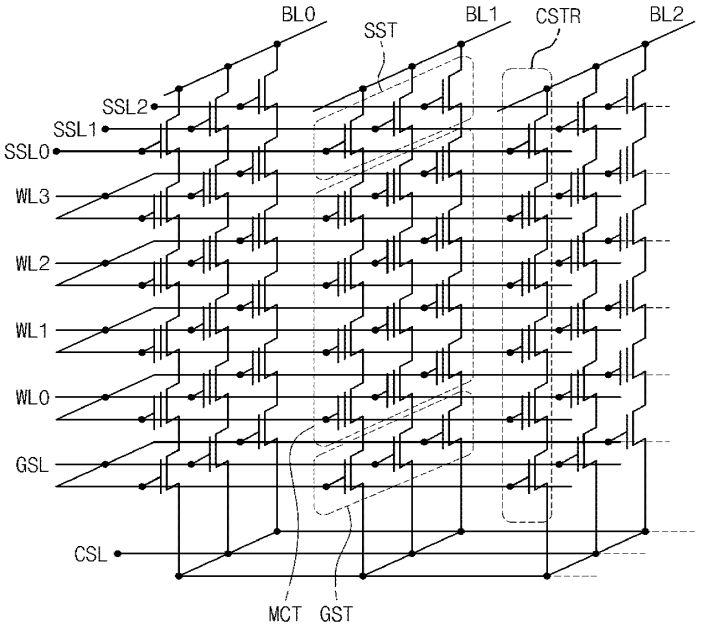
[0150] 도 29는 본 발명의 실시예들에 따른 반도체 메모리 장치를 구비하는 메모리 카드의 일 예를 나타내는 개략 블록도이다.

Micron Ex. 1002, p. 768
Micron v. YMTC
IPR2025-00294

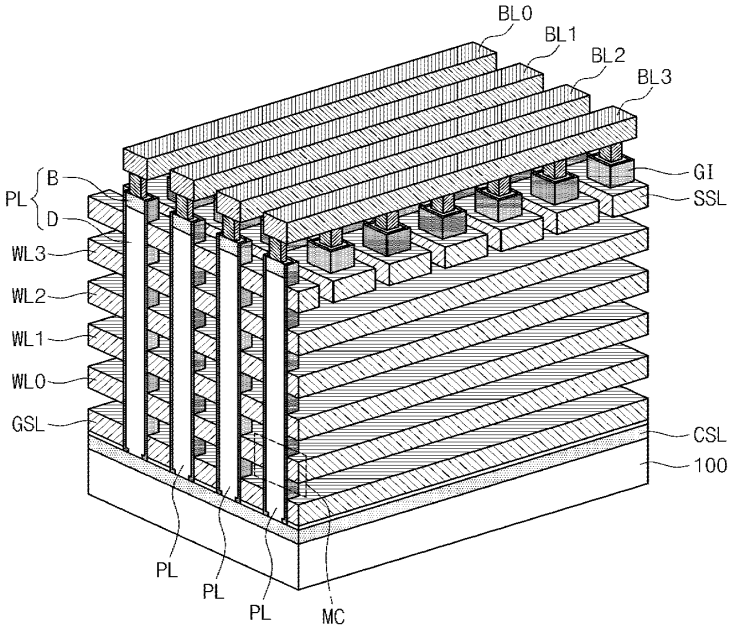
[0151] 도 30은 본 발명의 실시예들에 따른 반도체 메모리 장치를 장착하는 정보 처리 시스템의 일 예를 나타내는 개략 블록도이다.

도면

도면1

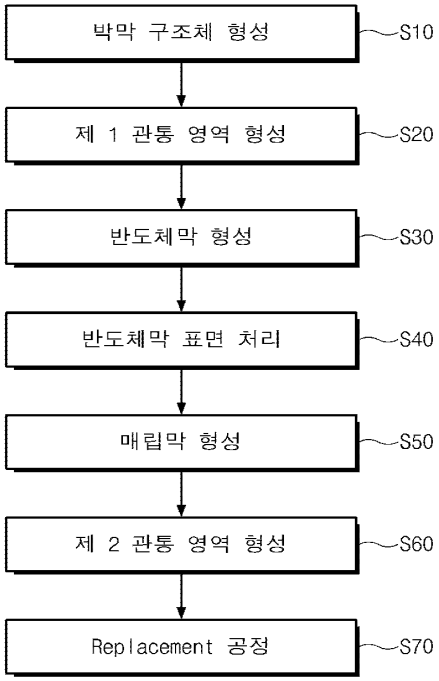


도면2



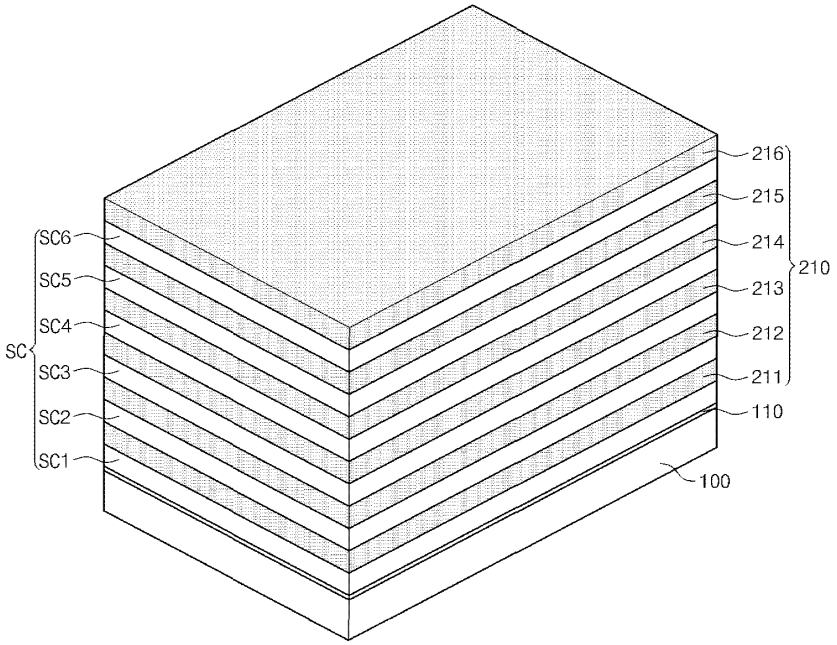
Micron Ex. 1002, p. 769
Micron v. YMTC
IPR2025-00294

도면3

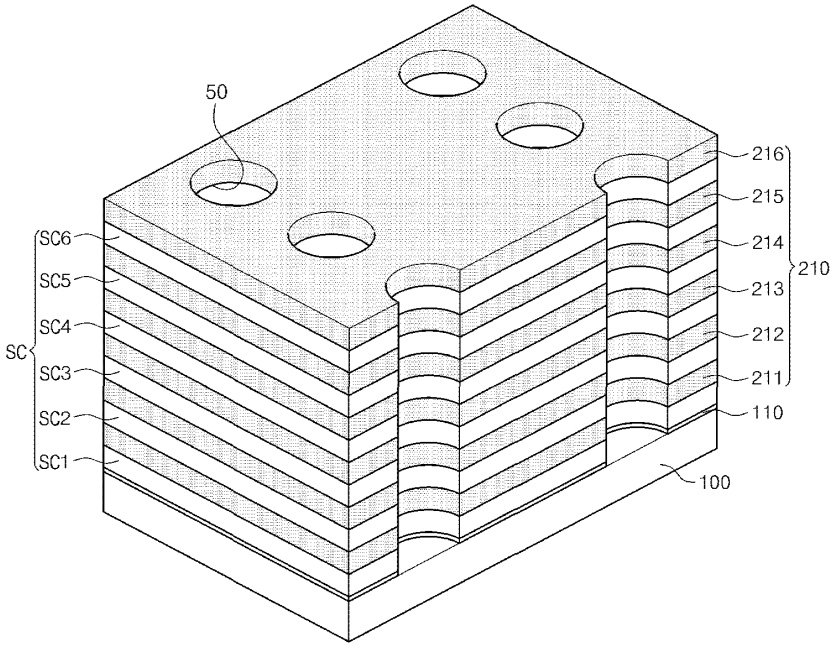


Micron Ex. 1002, p. 770
Micron v. YMTC
IPR2025-00294

도면4

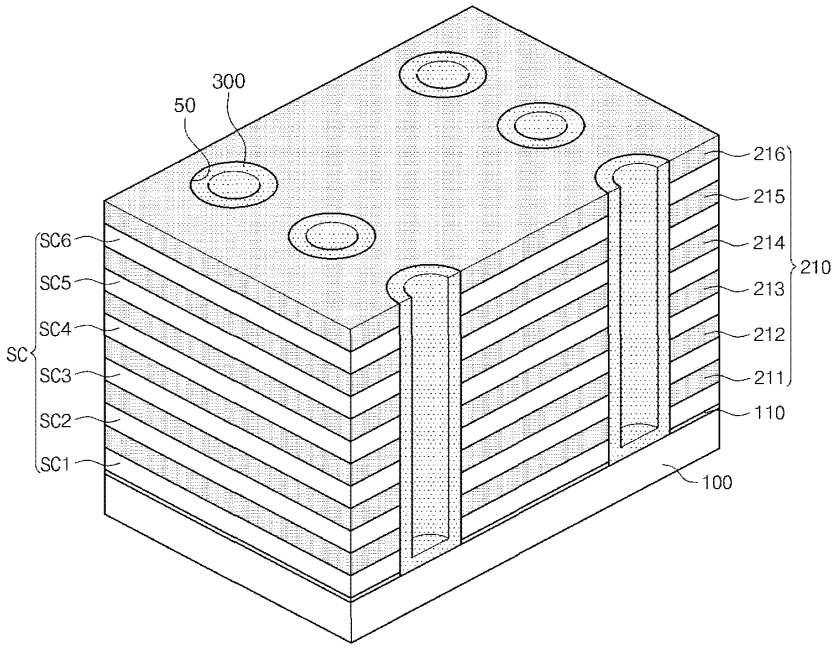


도면5

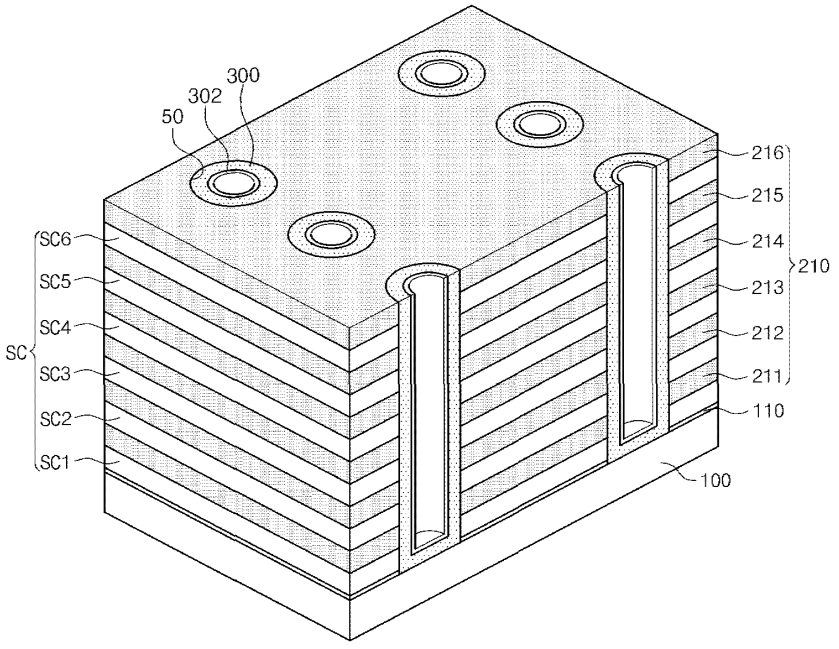


Micron Ex. 1002, p. 771
Micron v. YMTC
IPR2025-00294

도면6

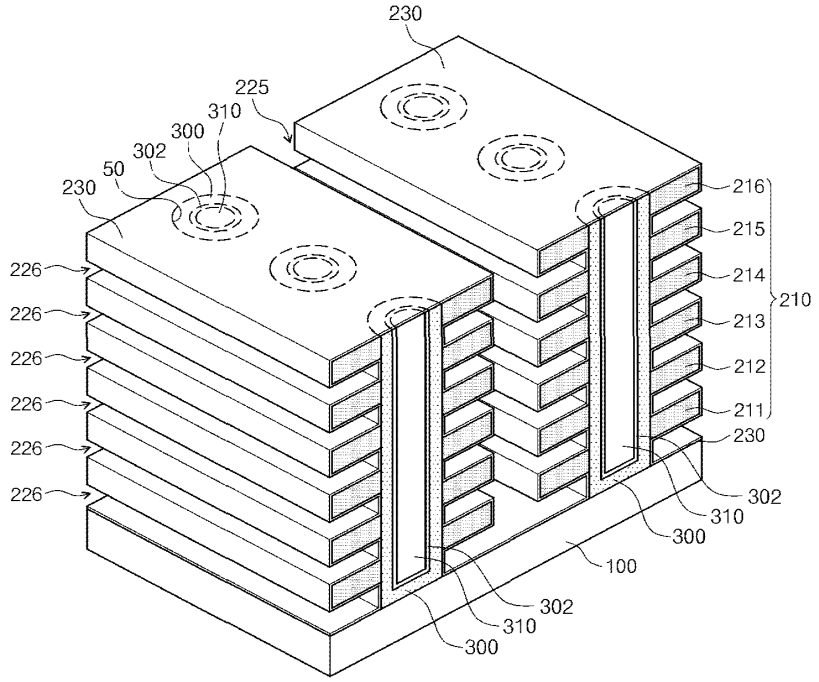


도면7

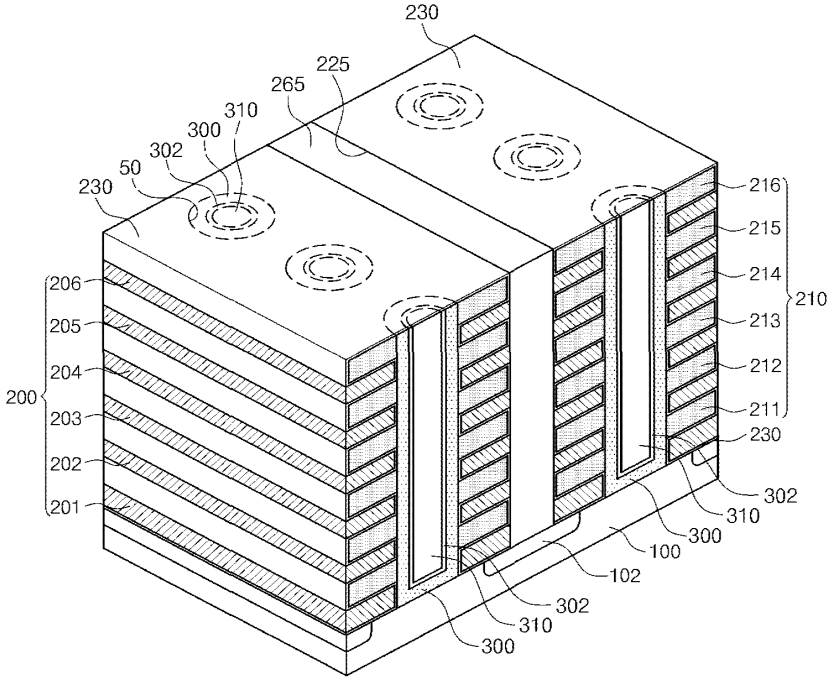


Micron Ex. 1002, p. 772
Micron v. YMTC
IPR2025-00294

도면8

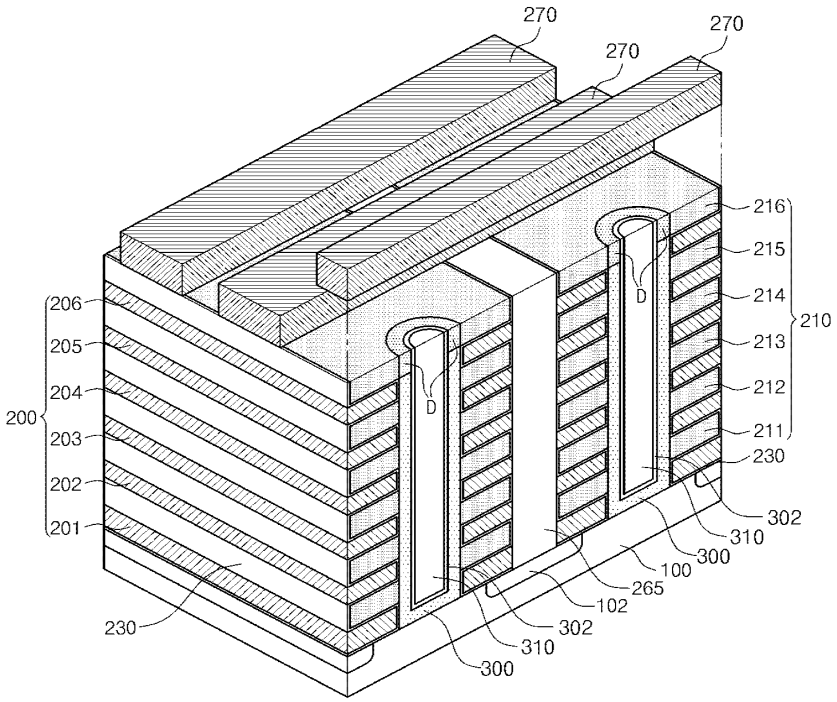


도면9

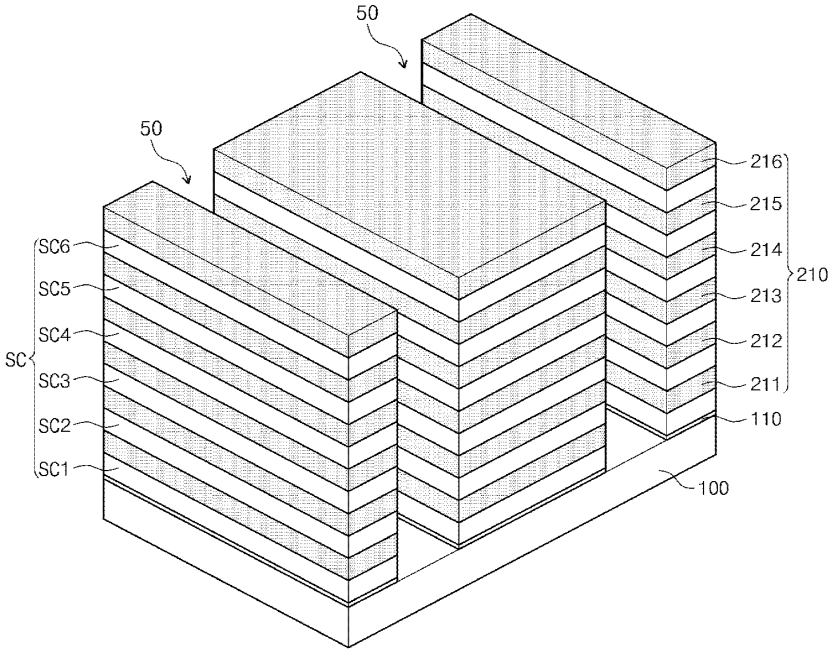


Micron Ex. 1002, p. 773
Micron v. YMTC
IPR2025-00294

도면10

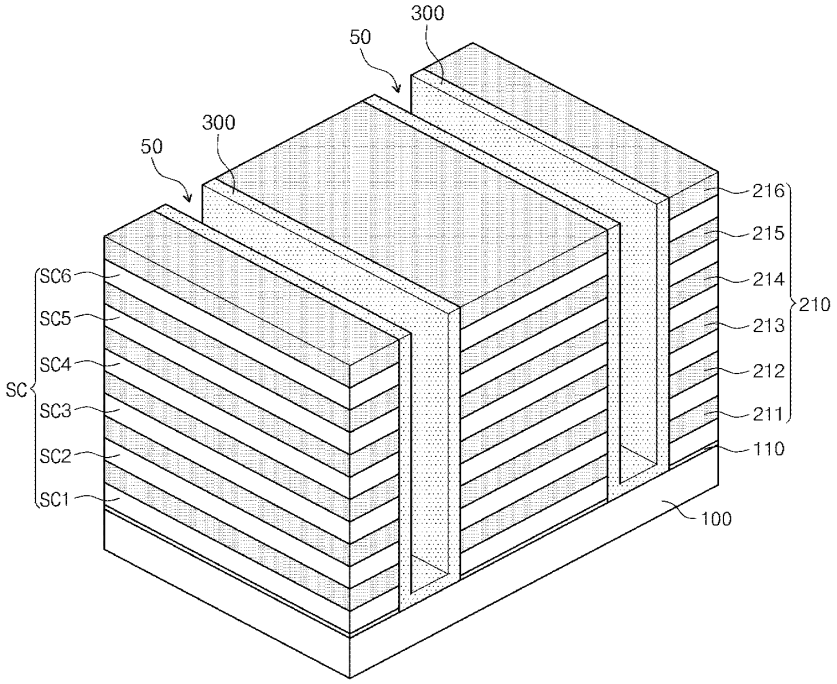


도면11

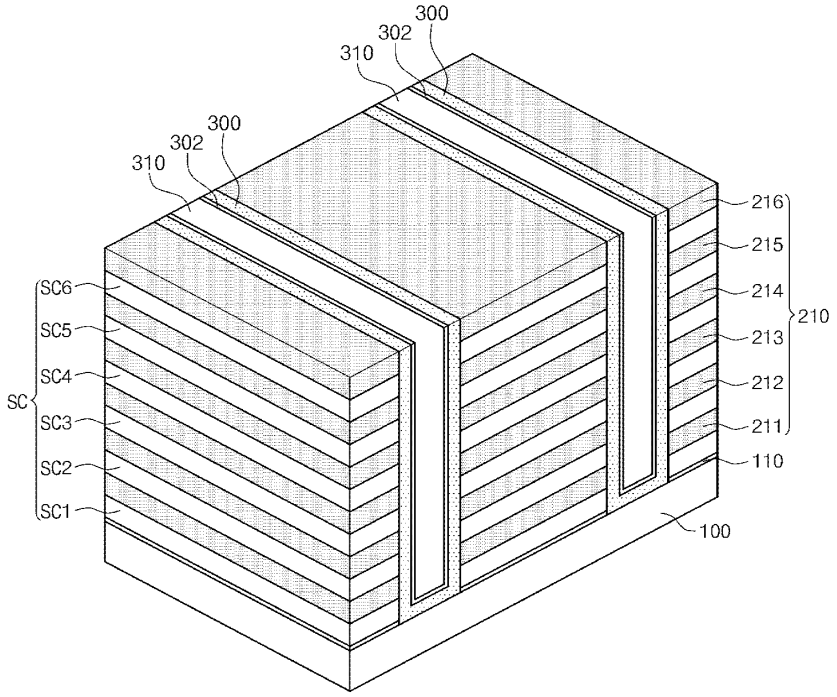


Micron Ex. 1002, p. 774
Micron v. YMTC
IPR2025-00294

도면12

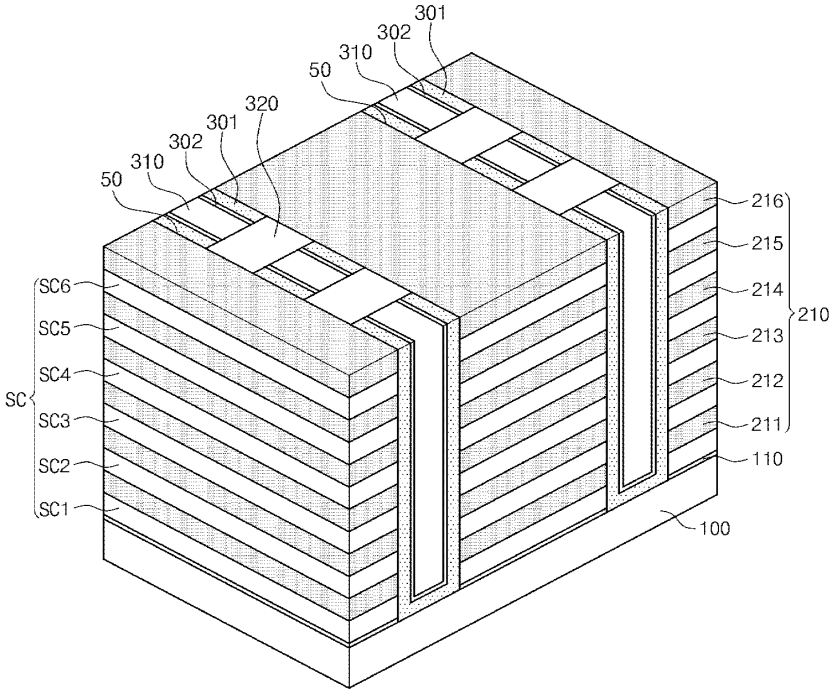


도면13

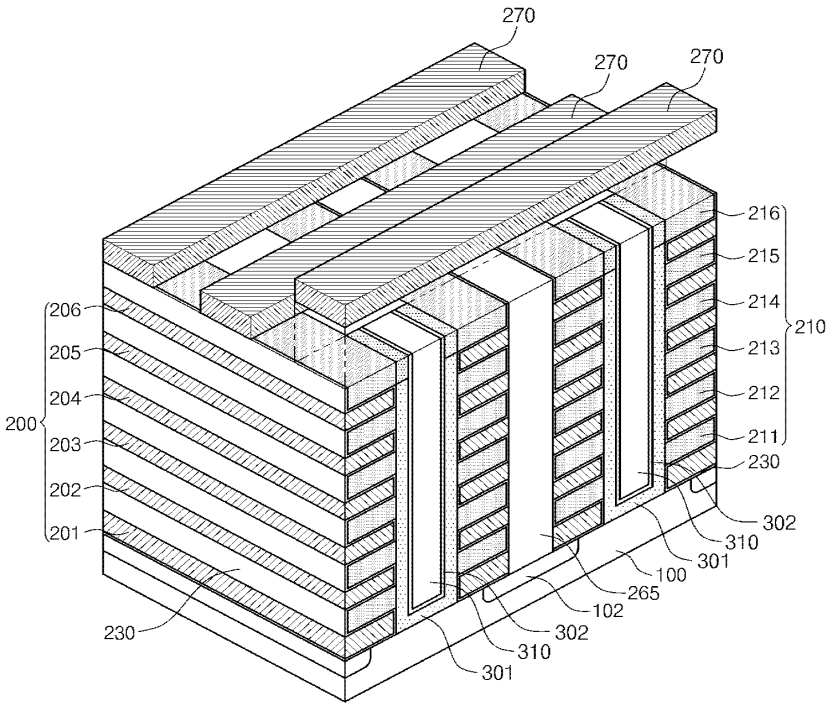


Micron Ex. 1002, p. 775
Micron v. YMTC
IPR2025-00294

도면14

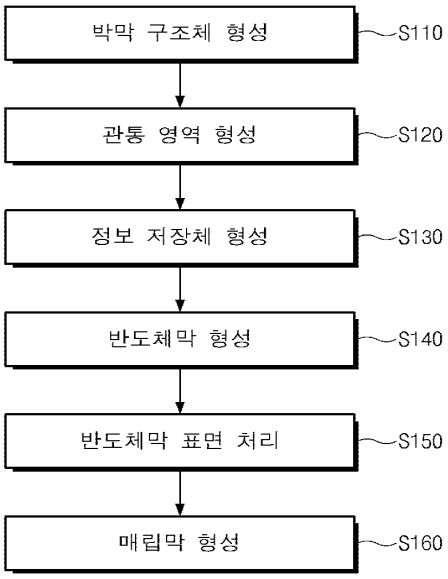


도면15

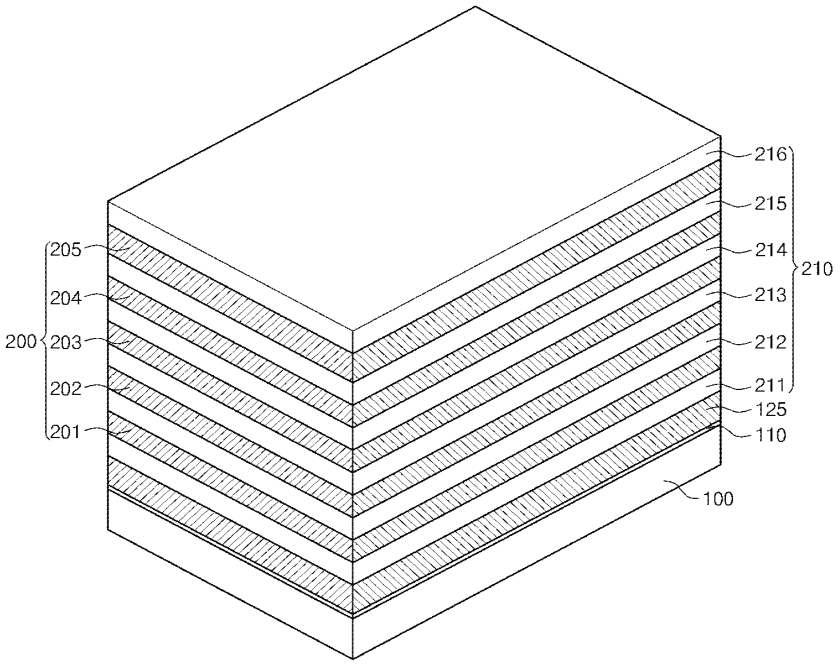


Micron Ex. 1002, p. 776
Micron v. YMTC
IPR2025-00294

도면16

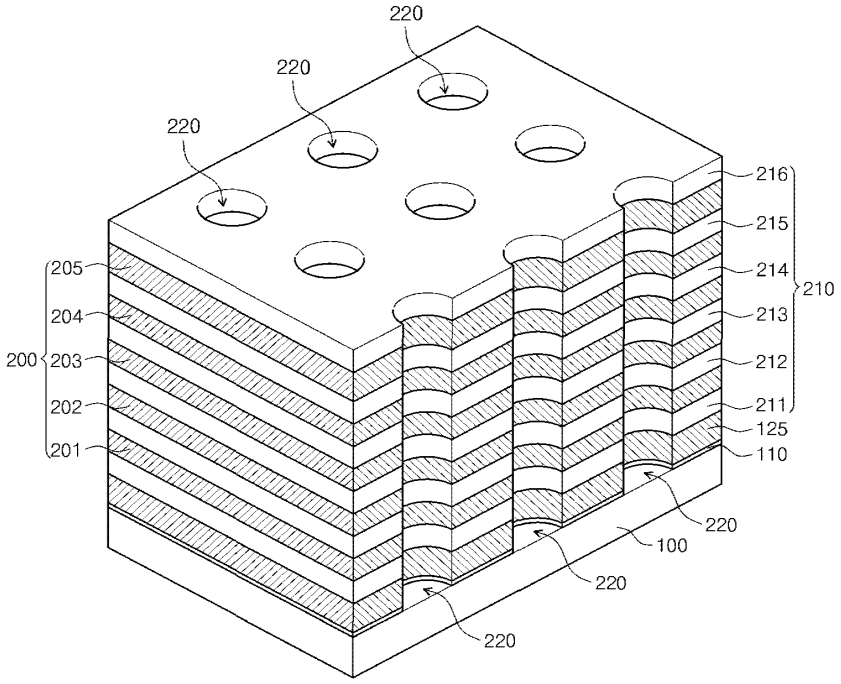


도면17

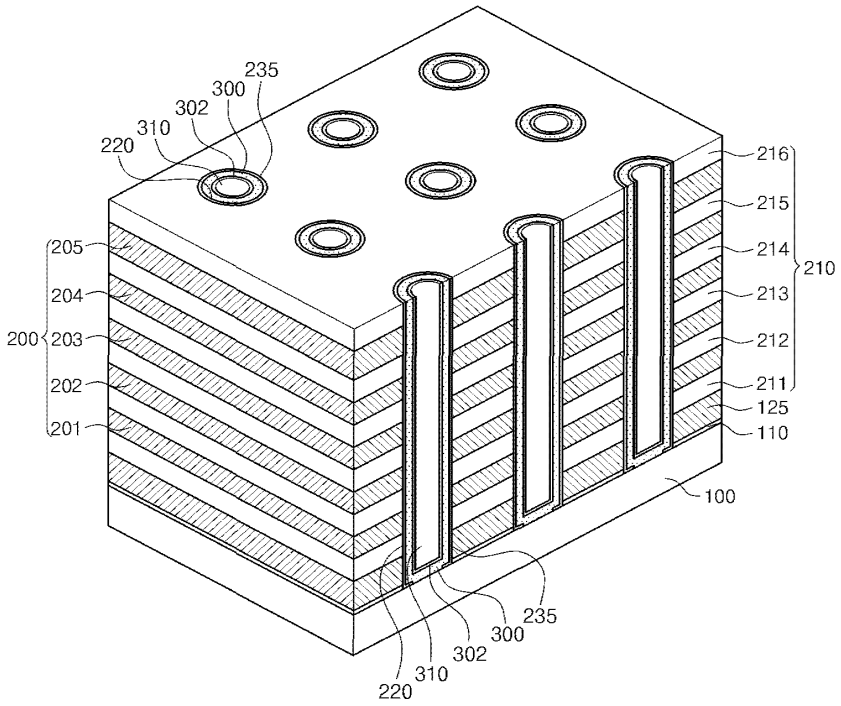


Micron Ex. 1002, p. 777
Micron v. YMTC
IPR2025-00294

도면18

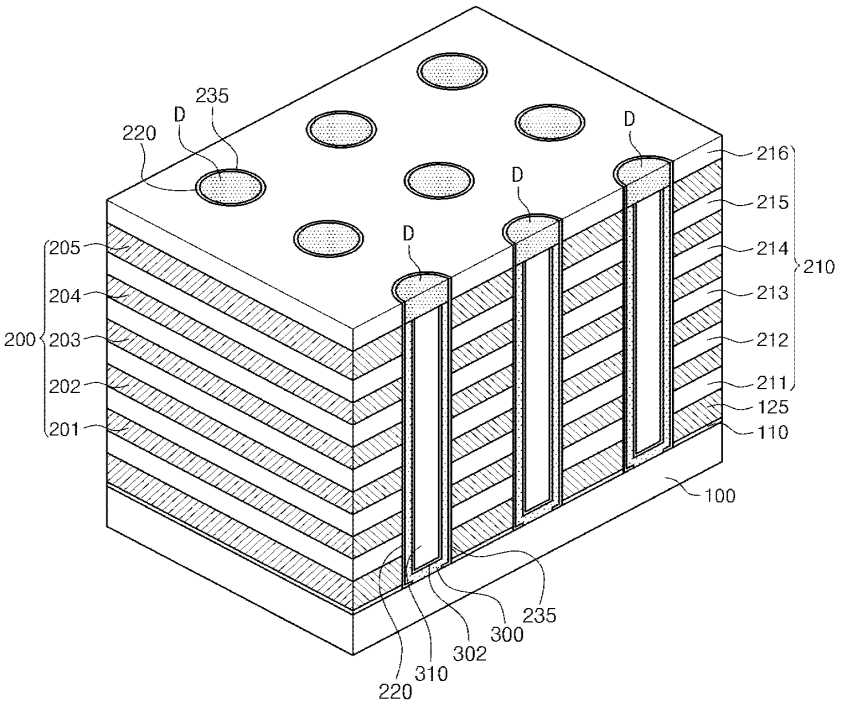


도면19



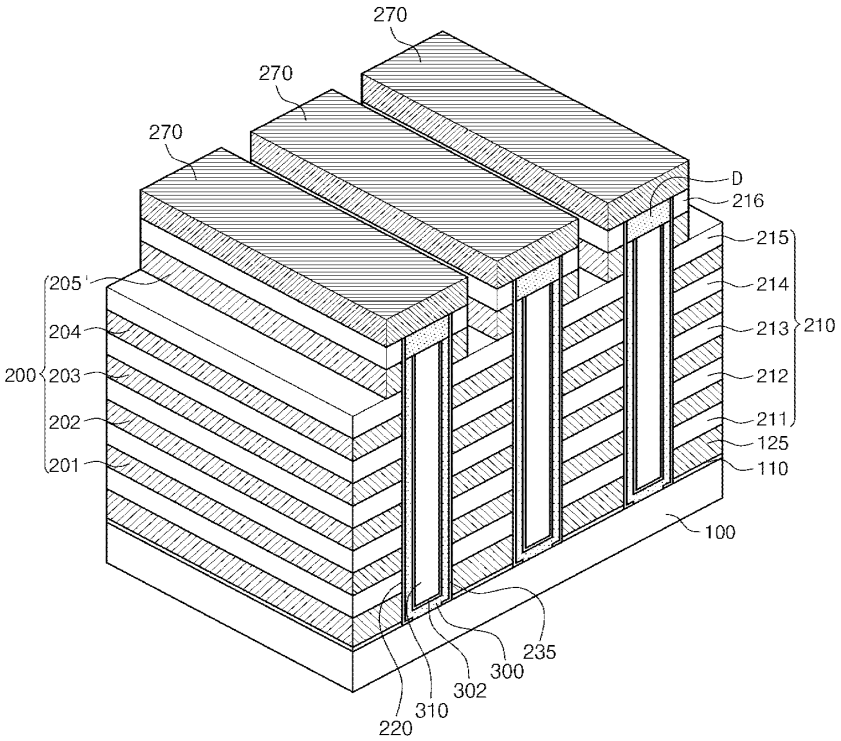
Micron Ex. 1002, p. 778
Micron v. YMTC
IPR2025-00294

도면20



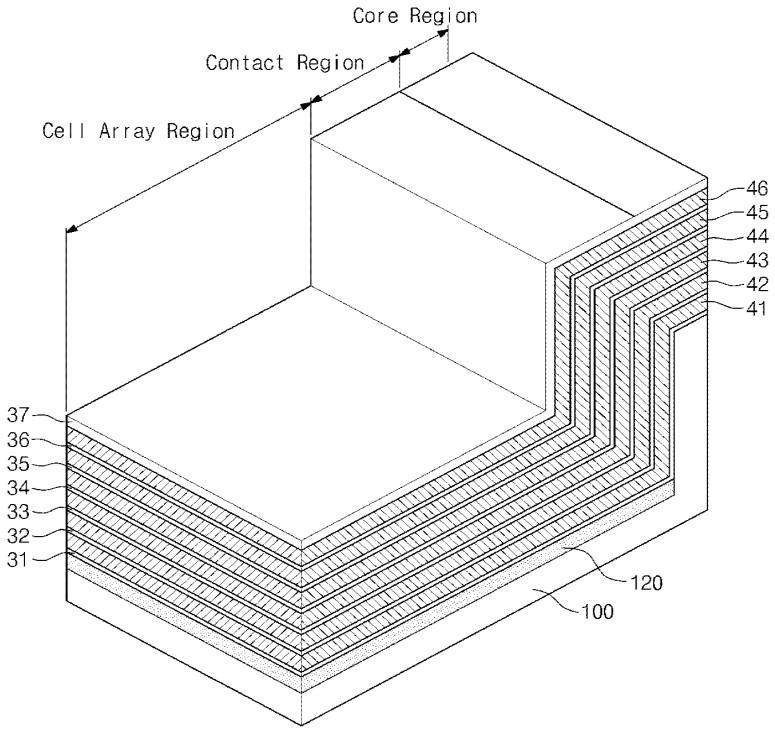
Micron Ex. 1002, p. 779
Micron v. YMTC
IPR2025-00294

도면21



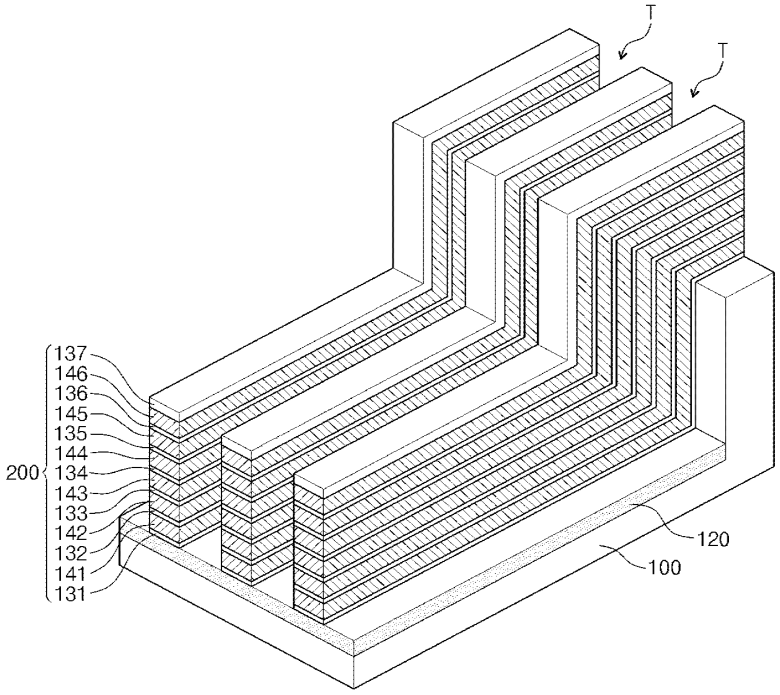
Micron Ex. 1002, p. 780
Micron v. YMTC
IPR2025-00294

도면22

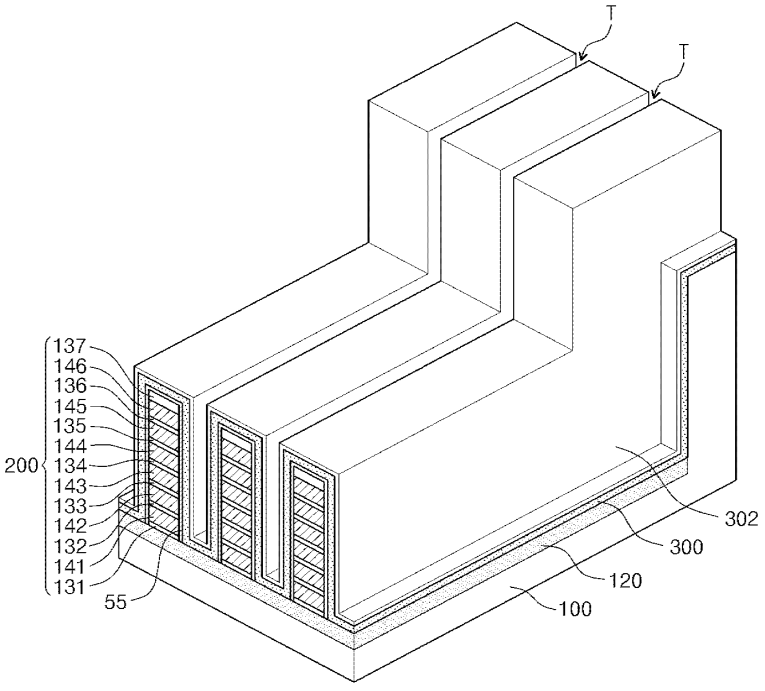


Micron Ex. 1002, p. 781
Micron v. YMTC
IPR2025-00294

도면23

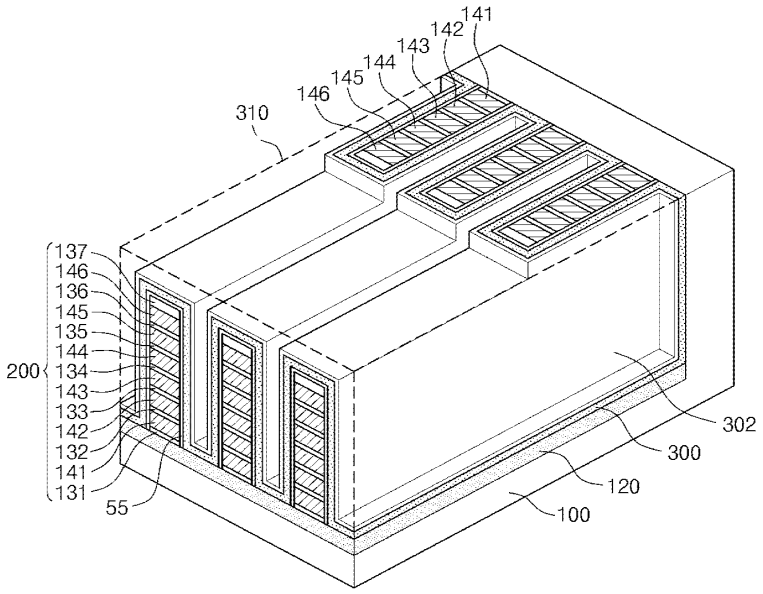


도면24

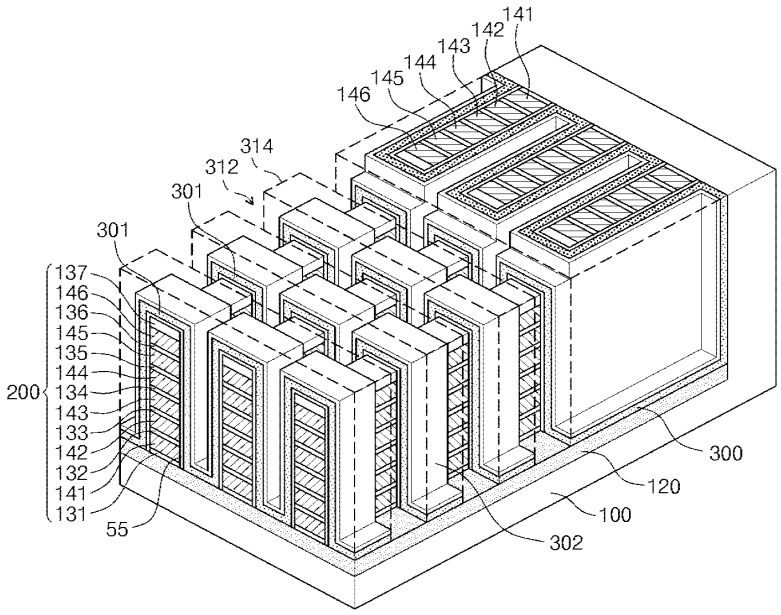


Micron Ex. 1002, p. 782
Micron v. YMTC
IPR2025-00294

도면25

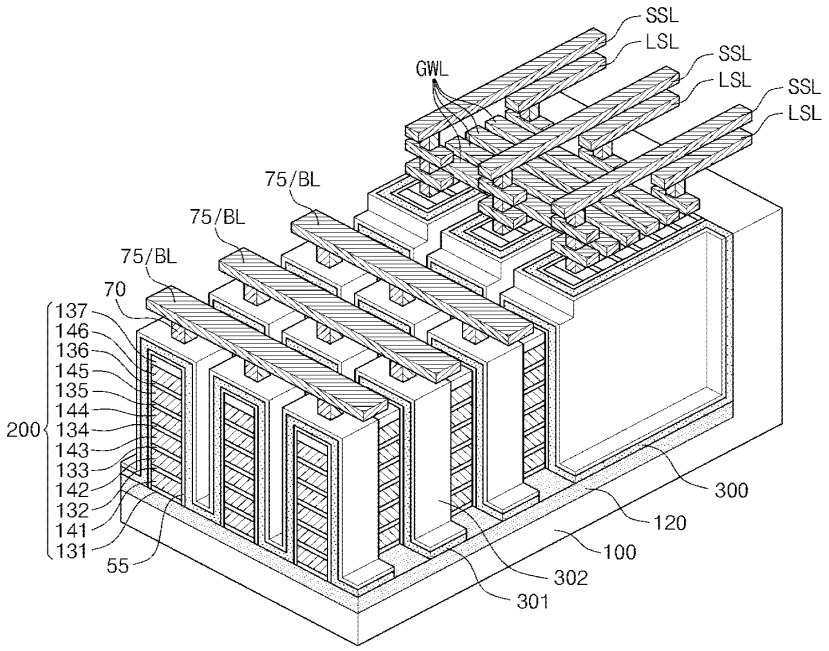


도면26

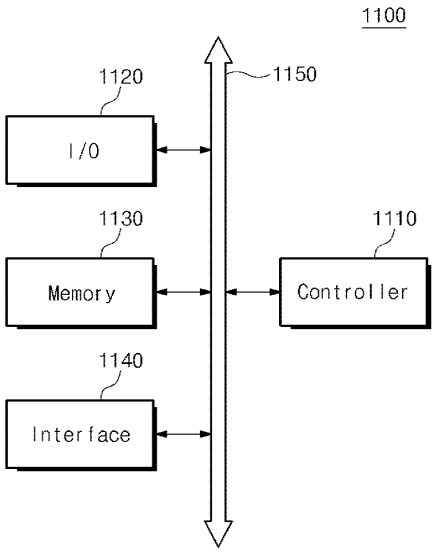


Micron Ex. 1002, p. 783
Micron v. YMTC
IPR2025-00294

도면27

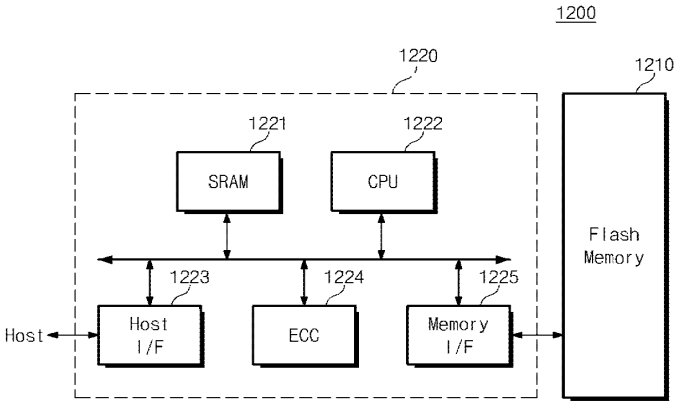


도면28

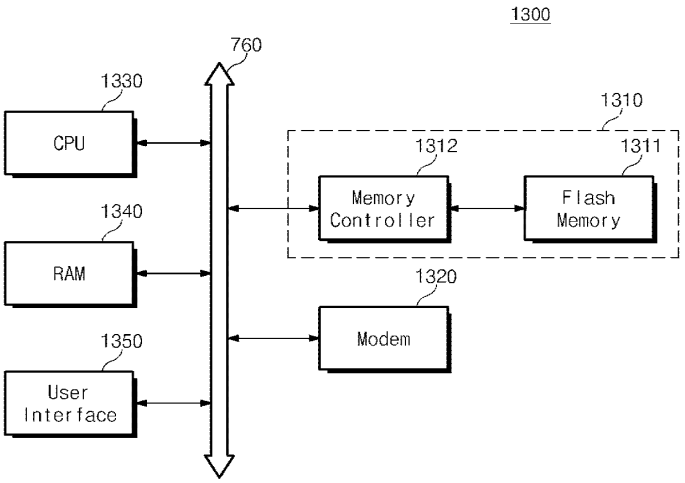


Micron Ex. 1002, p. 784
Micron v. YMTC
IPR2025-00294

도면29



도면30



Micron Ex. 1002, p. 785
Micron v. YMTC
IPR2025-00294

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0029194
(43) 공개일자 2012년03월26일

(51) 국제특허분류(Int. Cl.)
H01L 27/115 (2006.01) *H01L 21/8247* (2006.01)
(21) 출원번호 10-2010-0091140
(22) 출원일자 2010년09월16일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
이창현
경기도 수원시 영통구 태장로82번길 32, 동수원엘지빌리지1차 102동 1108호 (망포동)
손병근
경기도 수원시 영통구 청명북로 81, 404동 2004호 (영통동)
조혜진
경기도 안양시 동안구 경수대로651번길 48 (호계동)
(74) 대리인
권혁수, 송윤호, 오세준

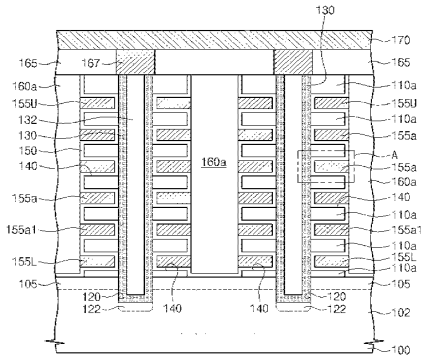
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 **3차원 반도체 기억 소자 및 그 제조 방법**

(57) 요 약

3차원 반도체 기억 소자 및 그 제조 방법을 제공한다. 이 소자에 따르면, 기판의 웰 영역 내에 공통 소오스 영역이 배치될 수 있으며, 공통 소오스 영역 상에 적층된 게이트 패턴들을 포함하는 적층-구조체가 배치될 수 있다. 수직형 활성 패턴들이 적층-구조체를 관통할 수 있다. 수직형 활성 패턴은 그 아래의 기판 내에 형성된 리세스 영역으로 인하여 공통 소오스 영역을 관통하는 전기적 통로(electrical path)를 경유하여 웰 영역과 연결될 수 있다.

대 표 도 - 도1b



Micron Ex. 1002, p. 786
Micron v. YMTC
IPR2025-00294

특허청구의 범위

청구항 1

기판 내에 배치되고, 제1 도전형의 도펀트로 도핑된 웰 영역;

상기 웰 영역 내에 배치되고, 제2 도전형의 도펀트로 도핑된 공통 소오스 영역;

상기 공통 소오스 영역 상에 배치되고, 교대로 그리고 반복적으로 적층된 절연 패턴들 및 게이트 패턴들을 포함하는 적층-구조체, 상기 적층-구조체 내 최하위의 게이트 패턴은 접지 선택 게이트이고;

상기 적층-구조체를 관통하는 수직형 활성 패턴; 및

상기 각 게이트 패턴 및 상기 수직형 활성 패턴의 측벽 사이에 개재된 게이트 유전막을 포함하되,

상기 수직형 활성 패턴은 그 아래의 상기 공통 소오스 영역 내에 형성된 리세스 영역 내로 연장되어, 상기 리세스 영역 아래의 상기 웰 영역에 연결된 3차원 반도체 기억 소자.

청구항 2

청구항 1항에 있어서,

상기 리세스 영역은 상기 공통 소오스 영역을 수직적으로 관통하여, 상기 리세스 영역의 바닥면은 상기 공통 소오스 영역의 바닥면 보다 낮은 레벨에 위치한 3차원 반도체 기억 소자.

청구항 3

청구항 2항에 있어서,

상기 리세스 영역의 바닥면 바로 아래의 상기 웰 영역의 일부분은 상기 웰 영역의 다른 부분에 비하여 높은 상기 제1 도전형의 도펀트 농도를 갖는 3차원 반도체 기억 소자.

청구항 4

청구항 1항에 있어서,

상기 최하위의 게이트 패턴의 하부면의 전체가 상기 공통 소오스 영역과 실질적으로 중첩된 3차원 반도체 기억 소자.

청구항 5

청구항 1항에 있어서,

상기 게이트 유전막은,

상기 수직형 활성 패턴의 측벽에 인접한 터널 유전막;

상기 게이트 패턴에 인접한 블로킹 유전막; 및

상기 터널 유전막 및 블로킹 유전막 사이에 개재된 전하저장막을 포함하는 3차원 반도체 기억 소자.

청구항 6

청구항 5항에 있어서,

상기 게이트 유전막은 연장되어, 상기 게이트 패턴의 하부면 및 상부면을 덮는 3차원 반도체 기억 소자.

청구항 7

청구항 5항에 있어서,

상기 게이트 유전막은 제1 서브막(first sub layer) 및 제2 서브막을 포함하고,

상기 제1 서브막은 실질적으로 수직으로 연장되어 상기 수직형 활성 패턴의 측벽 및 상기 절연 패턴 사이에 개

Micron Ex. 1002, p. 787
Micron v. YMTC
IPR2025-00294

재되고,

상기 제2 서브막은 실질적으로 수평으로 연장되어 상기 각 게이트 패턴의 하부면 및 상부면을 덮고,

상기 제1 서브막은 적어도 상기 터널 유전막의 일부분을 포함하고,

상기 제2 서브막은 적어도 상기 블로킹 유전막의 일부분을 포함하고,

상기 제1 및 제2 서브막들 중에서 어느 하나는 상기 전하저장막을 포함하는 3차원 반도체 기억 소자.

청구항 8

청구항 5항에 있어서,

상기 게이트 유전막은 실질적으로 수직으로 연장되어, 상기 수직형 활성 패턴의 측벽 및 절연 패턴 사이에 개재된 3차원 반도체 기억 소자.

청구항 9

청구항 1항에 있어서,

상기 절연 패턴 및 상기 수직형 활성 패턴 사이, 및 상기 리세스 영역의 내측벽 및 상기 수직형 활성 패턴 사이에 개재된 보호 유전 패턴들을 더 포함하는 3차원 반도체 기억 소자.

청구항 10

청구항 1항에 있어서,

상기 리세스 영역의 바닥면은 상기 공통 소오스 영역의 바닥면 보다 높은 레벨에 위치하되,

상기 리세스 영역의 바닥면 및 상기 웰 영역 사이에 개재되고, 상기 제1 도전형의 도펀트로 카운트 도핑된 영역을 더 포함하되,

상기 카운트 도핑된 영역은 상기 수직형 활성 패턴 및 상기 웰 영역에 접촉된 3차원 반도체 기억 소자.

청구항 11

기판 내에 배치되고, 제1 도전형의 도펀트로 도핑된 웰 영역;

상기 웰 영역 상에 교대로 그리고 반복적으로 적층된 절연 패턴들 및 게이트 패턴들을 포함하는 적층-구조체; 및

상기 적층-구조체를 관통하고, 차례로 적층된 하부 활성 패턴 및 상부 활성 패턴을 포함하는 수직형 활성 패턴을 포함하되,

상기 하부 활성 패턴은 그 아래의 기판에 형성된 리세스 영역을 채우고 상기 웰 영역과 접촉하는 3차원 반도체 기억 소자.

청구항 12

청구항 11항에 있어서,

상기 하부 활성 패턴은 단결정 반도체를 포함하고, 상기 상부 활성 패턴은 다결정 반도체를 포함하는 3차원 반도체 기억 소자.

청구항 13

청구항 11항에 있어서,

상기 하부 활성 패턴은 필라 형태이고, 상기 상부 활성 패턴은 충전 유전 패턴으로 내부가 채워진 파이프 형태인 3차원 반도체 기억 소자.

청구항 14

청구항 11항에 있어서,

Micron Ex. 1002, p. 788
Micron v. YMTC
IPR2025-00294

상기 적층-구조체 아래의 상기 웰 영역 내에 형성되고, 제2 도전형의 도펀트로 도핑된 공통 소오스 영역을 더 포함하되,

상기 리세스 영역은 상기 공통 소오스 영역을 관통하여, 상기 리세스 영역의 바닥면은 상기 공통 소오스 영역의 하부면 보다 낮은 레벨에 위치한 3차원 반도체 기억 소자.

청구항 15

청구항 11항에 있어서,

적어도 상기 하부 활성 패턴의 상부면의 가장자리는 상기 적층-구조체 내 최하위의 게이트 패턴의 상부면 보다 높은 3차원 반도체 기억 소자.

청구항 16

청구항 15항에 있어서,

상기 상부 활성 패턴의 측벽, 및 상기 최하위의 게이트 패턴 보다 높게 위치한 게이트 패턴 사이에 개재된 제1 게이트 유전막; 및

상기 하부 활성 패턴의 측벽 및 상기 최하위의 게이트 패턴 사이에 개재된 제2 게이트 유전막을 더 포함하되,

상기 제1 게이트 유전막은 터널 유전막, 전하저장막 및 블로킹 유전막을 포함하고,

상기 제2 게이트 유전막은 상기 하부 활성 패턴의 측벽이 산화되어 형성된 산화물을 포함하는 3차원 반도체 기억 소자.

청구항 17

청구항 11항에 있어서,

상기 하부 활성 패턴의 상부면의 중앙부는 가장자리에 비하여 낮은 레벨에 위치하고,

상기 상부 활성 패턴은 상기 하부 활성 패턴의 상부면의 중앙부와 접촉된 3차원 반도체 기억 소자.

명 세 서

기 술 분 야

[0001] 본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로, 특히, 3차원 반도체 기억 소자 및 그 제조 방법에 관한 것이다.

배 경 기 술

[0002] 소형화, 다기능화 및/또는 낮은 제조 단가 등의 특성들로 인하여 반도체 소자는 전자 산업에서 중요한 요소로 각광 받고 있다. 전자 산업이 발전함에 따라 좀더 우수한 성능 및/또는 저렴한 가격의 반도체 소자들에 대한 요구가 증가되고 있다. 이러한 요구 사항들은 충족시키기 위하여 반도체 소자의 고집적화 경향이 심화되고 있다. 특히, 논리 데이터를 저장하는 반도체 기억 소자의 고집적화는 더욱 심화되고 있다.

[0003] 종래의 2차원적인 반도체 기억 소자의 집적도는 단위 기억 셀이 점유하는 평면적이 주 결정 요인으로 작용될 수 있다. 이로써, 2차원적인 반도체 기억 소자의 집적도는 미세 패턴의 형성 기술 수**준**에 크게 영향을 받을 수 있다. 하지만, 미세 패턴의 형성 기술은 점점 한계에 다다르고 있으며, 또한, 초 고가의 장비들이 요구되어 반도체 기억 소자의 제조 단가가 증가되는 것 등의 문제점들이 야기되고 있다.

[0004] 이러한 제약들을 극복하기 위하여, 3차원적으로 배열된 기억 셀들을 포함하는 3차원 반도체 기억 소자가 제안된 바 있다. 하지만, 3차원 반도체 기억 소자는 그 구조적 형태로 인하여 여러 문제점들이 발생되어 신뢰성이 저하되는 것 등의 문제점들이 야기될 수 있다.

발명의 내용

해결하려는 과제

Micron Ex. 1002, p. 789
Micron v. YMTC
IPR2025-00294

Micron Ex. 1002, p. 790
Micron v. YMTC
IPR2025-00294

[0005] 본 발명이 이루고자 하는 일 기술적 과제는 높은 신뢰성을 갖는 3차원 반도체 기억 소자를 제공하는 데 있다.

[0006] 본 발명이 이루고자 하는 다른 기술적 과제는 고집적화에 최적화된 3차원 반도체 기억 소자를 제공하는 데 있다.

과제의 해결 수단

[0007] 상술된 기술적 과제들을 해결하기 위한 3차원 반도체 기억 소자를 제공한다. 일 실시예에 따른 3차원 반도체 기억 소자는 기판 내에 배치되고, 제1 도전형의 도펀트로 도핑된 웰 영역; 상기 웰 영역 내에 배치되고, 제2 도전형의 도펀트로 도핑된 공통 소오스 영역; 상기 공통 소오스 영역 상에 배치되고, 교대로 그리고 반복적으로 적층된 절연 패턴들 및 게이트 패턴들을 포함하는 적층-구조체, 상기 적층-구조체 내 최하위의 게이트 패턴은 접지 선택 게이트이고; 상기 적층-구조체를 관통하는 수직형 활성 패턴; 및 상기 각 게이트 패턴 및 상기 수직형 활성 패턴의 측벽 사이에 개재된 게이트 유전막을 포함할 수 있다. 상기 수직형 활성 패턴은 그 아래의 상기 공통 소오스 영역 내에 형성된 리세스 영역 내로 연장되어, 상기 리세스 영역 아래의 상기 웰 영역에 연결된다.

[0008] 일 실시예에 따르면, 상기 리세스 영역은 상기 공통 소오스 영역을 수직적으로 관통하여, 상기 리세스 영역의 바닥면은 상기 공통 소오스 영역의 바닥면 보다 낮은 레벨에 위치할 수 있다.

[0009] 일 실시예에 따르면, 상기 리세스 영역의 바닥면 바로 아래의 상기 웰 영역의 일부분은 상기 웰 영역의 다른 부분에 비하여 높은 상기 제1 도전형의 도펀트 농도를 가질 수 있다.

[0010] 일 실시예에 따르면, 상기 최하위의 게이트 패턴의 하부면의 전체가 상기 공통 소오스 영역과 실질적으로 중첩될 수 있다.

[0011] 일 실시예에 따르면, 상기 게이트 유전막은, 상기 수직형 활성 패턴의 측벽에 인접한 터널 유전막; 상기 게이트 패턴에 인접한 블로킹 유전막; 및 상기 터널 유전막 및 블로킹 유전막 사이에 개재된 전하저장막을 포함할 수 있다.

[0012] 일 실시예에 따르면, 상기 게이트 유전막은 연장되어, 상기 게이트 패턴의 하부면 및 상부면을 덮을 수 있다.

[0013] 일 실시예에 따르면, 상기 게이트 유전막은 제1 서브막(first sub layer) 및 제2 서브막을 포함할 수 있다. 이 경우에, 상기 제1 서브막은 실질적으로 수직으로 연장되어 상기 수직형 활성 패턴의 측벽 및 상기 절연 패턴 사이에 개재될 수 있으며, 상기 제2 서브막은 실질적으로 수평으로 연장되어 상기 각 게이트 패턴의 하부면 및 상부면을 덮을 수 있다. 상기 제1 서브막은 적어도 상기 터널 유전막의 일부분을 포함할 수 있으며, 상기 제2 서브막은 적어도 상기 블로킹 유전막의 일부분을 포함할 수 있다. 상기 제1 및 제2 서브막들 중에서 어느 하나는 상기 전하저장막을 포함할 수 있다.

[0014] 일 실시예에 따르면, 상기 게이트 유전막은 실질적으로 수직으로 연장되어, 상기 수직형 활성 패턴의 측벽 및 절연 패턴 사이에 개재될 수 있다.

[0015] 일 실시예에 따르면, 상기 소자는 상기 절연 패턴 및 상기 수직형 활성 패턴 사이, 및 상기 리세스 영역의 내측벽 및 상기 수직형 활성 패턴 사이에 개재된 보호 유전 패턴들을 더 포함할 수 있다.

[0016] 일 실시예에 따르면, 상기 리세스 영역의 바닥면은 상기 공통 소오스 영역의 바닥면 보다 높은 레벨에 위치할 수 있다. 이 경우에, 상기 소자는 상기 리세스 영역의 바닥면 및 상기 웰 영역 사이에 개재되고, 상기 제1 도전형의 도펀트로 카운트 도핑된 영역을 더 포함할 수 있다. 상기 카운트 도핑된 영역은 상기 수직형 활성 패턴 및 상기 웰 영역에 접촉될 수 있다.

[0017] 다른 실시예에 따른 3차원 반도체 기억 소자는, 기판 내에 배치되고, 제1 도전형의 도펀트로 도핑된 웰 영역; 상기 웰 영역 상에 교대로 그리고 반복적으로 적층된 절연 패턴들 및 게이트 패턴들을 포함하는 적층-구조체; 및 상기 적층-구조체를 관통하고, 차례로 적층된 하부 활성 패턴 및 상부 활성 패턴을 포함하는 수직형 활성 패턴을 포함할 수 있다. 상기 하부 활성 패턴은 그 아래의 기판에 형성된 리세스 영역을 채우고 상기 웰 영역과 접촉된다.

[0018] 일 실시예에 따르면, 상기 하부 활성 패턴은 단결정 반도체를 포함할 수 있으며, 상기 상부 활성 패턴은 다결정 반도체를 포함할 수 있다.

[0019] 일 실시예에 따르면, 상기 하부 활성 패턴은 필라 형태일 수 있으며, 상기 상부 활성 패턴은 충전 유전 패턴으로 내부가 채워진 파이프 형태일 수 있다.

Micron Ex. 1002, p. 791
Micron v. YMTC
IPR2025-00294

[0020] 일 실시예에 따르면, 상기 소자는 상기 적층-구조체 아래의 상기 웰 영역 내에 형성되고, 제2 도전형의 도펀트로 도핑된 공통 소오스 영역을 더 포함할 수 있다. 이 경우에, 상기 리세스 영역은 상기 공통 소오스 영역을 관통하여, 상기 리세스 영역의 바닥면은 상기 공통 소오스 영역의 하부면 보다 낮은 레벨에 위치할 수 있다.

[0021] 일 실시예에 따르면, 적어도 상기 하부 활성 패턴의 상부면의 가장자리는 상기 적층-구조체 내 최하위의 게이트 패턴의 상부면 보다 높을 수 있다.

[0022] 일 실시예에 따르면, 상기 소자는 상기 상부 활성 패턴의 측벽, 및 상기 최하위의 게이트 패턴 보다 높게 위치한 게이트 패턴 사이에 개재된 제1 게이트 유전막; 및 상기 하부 활성 패턴의 측벽 및 상기 최하위의 게이트 패턴 사이에 개재된 제2 게이트 유전막을 더 포함할 수 있다. 상기 제1 게이트 유전막은 터널 유전막, 전하저장막 및 블로킹 유전막을 포함할 수 있으며, 상기 제2 게이트 유전막은 상기 하부 활성 패턴의 측벽이 산화되어 형성된 산화물을 포함할 수 있다.

[0023] 일 실시예에 따르면, 상기 하부 활성 패턴의 상부면의 중앙부는 가장자리에 비하여 낮은 레벨에 위치할 수 있다. 상기 상부 활성 패턴은 상기 하부 활성 패턴의 상부면의 중앙부와 접촉될 수 있다.

[0024] 상술된 기술적 과제들을 해결하기 위한 3차원 반도체 기억 소자의 제조 방법을 제공한다. 일 실시예에 따른 3차원 반도체 기억 소자의 제조 방법은 기판 내에 제1 도전형의 도펀트로 도핑된 웰 영역을 형성하는 것; 상기 웰 영역 내에 제2 도전형의 도펀트로 도핑된 공통 소오스 영역을 형성하는 것; 상기 공통 소오스 영역 상에 교대로 그리고 반복적으로 적층된 제1 물질막들 및 제2 물질막들을 형성하는 것; 상기 제2 물질막들, 제1 물질막들 및 기판을 연속적으로 패터닝하여 상기 제2 물질막들 및 제1 물질막들을 관통하는 개구부, 및 상기 개구부에 자기정렬되고 상기 공통 소오스 영역 내에 형성된 리세스 영역을 형성하는 것; 및 상기 개구부 및 리세스 영역 내에 수직형 활성 패턴을 형성하는 것을 포함할 수 있다. 상기 수직형 활성 패턴은 그 아래의 상기 웰 영역과 연결될 수 있다.

[0025] 일 실시예에 따르면, 상기 리세스 영역은 상기 공통 소오스 영역을 관통하여, 상기 리세스 영역의 바닥면은 상기 공통 소오스 영역의 하부면 보다 낮은 레벨에 위치할 수 있다.

[0026] 일 실시예에 따르면, 상기 방법은 상기 제2 물질막들 및 제1 물질막들을 연속적으로 패터닝하여 교대로 그리고 반복적으로 적층된 제1 물질 패턴들 및 제2 물질 패턴들과, 트렌치를 형성하는 것; 상기 트렌치에 노출된 제2 물질 패턴들을 제거하여 빈 영역들을 형성하는 것; 상기 빈 영역들 내에 각각 게이트 패턴들을 형성하는 것; 및 상기 수직형 활성 패턴 및 상기 각 게이트 패턴 사이에 게이트 유전막을 형성하는 것을 더 포함할 수 있다. 이 경우에, 상기 제1 물질막은 절연 물질을 포함할 수 있으며, 상기 제2 물질막은 상기 제1 물질막에 대하여 식각 선택비를 갖는 물질을 포함할 수 있다.

[0027] 일 실시예에 따르면, 상기 게이트 유전막은 상기 수직형 활성 패턴을 형성하기 전에, 상기 개구부의 측벽 상에 형성될 수 있다.

[0028] 일 실시예에 따르면, 상기 게이트 유전막은 상기 게이트 패턴들을 형성하기 전에, 상기 빈 영역들의 내면들 상에 콘포말하게 형성될 수 있다.

[0029] 일 실시예에 따르면, 상기 방법은 상기 수직형 활성 패턴을 형성하기 전에, 상기 개구부의 측벽 상에 보호 유전막을 형성하는 것을 더 포함할 수 있다. 상기 보호 유전막은 상기 제2 물질 패턴들에 대하여 식각선택비를 갖는 유전 물질을 포함할 수 있다. 이 경우에, 상기 빈 영역들을 형성하는 것은, 상기 제2 물질 패턴들을 제거하여 상기 보호 유전막의 일부분들을 각각 노출시키는 빈 영역들을 형성하는 것; 및 상기 빈 영역들에 노출된 상기 보호 유전막의 일부분들을 제거하여 상기 수직형 활성 패턴의 측벽의 일부분들을 노출시키되, 상기 수직형 활성 패턴과 상기 절연 패턴들 사이, 및 상기 수직형 활성 패턴과 상기 리세스 영역의 내측벽 사이에 상기 보호 유전막의 일 부분들이 잔존되는 것을 포함할 수 있다.

[0030] 일 실시예에 따르면, 상기 게이트 유전막은 제1 서브막 및 제2 서브막을 포함할 수 있다. 이 경우에, 상기 게이트 유전막을 형성하는 것은, 상기 수직형 활성 패턴을 형성하기 전에, 상기 개구부의 측벽 상에 상기 제1 서브막을 형성하는 것; 및 상기 게이트 패턴들을 형성하기 전에, 상기 빈 영역의 내면 상에 상기 제2 서브막을 콘포말하게 형성하는 것을 포함할 수 있다. 상기 제1 서브막은 적어도 터널 유전막의 일부분을 포함할 수 있으며, 상기 제2 서브막은 적어도 블로킹 유전막의 일부분을 포함할 수 있다. 상기 제1 서브막 및 제2 서브막 중에서 어느 하나는 전하저장막을 포함할 수 있다.

[0031] 일 실시예에 따르면, 상기 제1 물질막들은 절연 물질을 포함할 수 있으며, 상기 제2 물질막들은 도전 물질을 포

Micron Ex. 1002, p. 792
Micron v. YMTC
IPR2025-00294

함할 수 있다. 이 경우에, 상기 방법은 상기 수직형 활성 패턴을 형성하기 전에, 상기 개구부의 측벽 상에 게이트 유전막을 형성하는 것을 더 포함할 수 있다.

[0032] 다른 실시예에 따른 3차원 반도체 기억 소자의 제조 방법은 기판 내에 제1 도전형의 도펀트로 도핑된 웰 영역을 형성하는 것; 상기 웰 영역 상에 교대로 그리고 반복적으로 적층된 절연막들 및 희생막들을 형성하는 것; 상기 희생막들 및 절연막들과, 상기 기판을 연속적으로 패터닝하여, 상기 희생막들 및 절연막들을 관통하는 개구부, 및 상기 개구부에 자기정렬되고 상기 기판 내에 형성된 리세스 영역을 형성하는 것; 상기 리세스 영역을 채우는 하부 활성 패턴을 형성하는 것; 및 상기 하부 활성 패턴 상 및 상기 개구부 내에 상부 활성 패턴을 형성하는 것을 포함할 수 있다. 상기 하부 활성 패턴은 상기 웰 영역과 접촉될 수 있다.

[0033] 일 실시예에 따르면, 상기 하부 활성 패턴은 상기 리세스 영역에 노출된 기판을 시드층으로 사용하는 선택적 에피택시얼 성장 공정으로 형성될 수 있다.

[0034] 일 실시예에 따르면, 상기 방법은 상기 절연막들 및 희생막들을 형성하기 전에, 상기 웰 영역 내에 제2 도전형의 도펀트를 제공하여 공통 소오스 영역을 형성하는 것을 더 포함할 수 있다. 이 경우에, 상기 개구부 및 리세스 영역을 형성하는 것은, 상기 절연막들, 희생막들, 및 상기 공통 소오스 영역을 연속적으로 패터닝하여, 상기 개구부 및 상기 리세스 영역을 형성하는 것을 포함할 수 있다. 상기 리세스 영역은 상기 공통 소오스 영역을 관통하여, 상기 리세스 영역의 바닥면은 상기 공통 소오스 영역의 하부면 보다 낮은 레벨에 위치할 수 있다.

[0035] 일 실시예에 따르면, 상기 상부 활성 패턴을 형성한 후에, 상기 방법은 상기 절연막들 및 희생막들을 연속적으로 패터닝하여, 교대로 그리고 반복적으로 적층된 절연 패턴들 및 희생 패턴들과, 트렌치를 형성하는 것; 상기 트렌치에 노출된 상기 희생 패턴들을 제거하여 빈 영역들을 형성하되, 적어도 최하위의 빈 영역은 상기 하부 활성 패턴의 측벽을 노출시키는 것; 상기 하부 활성 패턴의 노출된 측벽에 산화 공정을 수행하여 산화막을 형성하는 것; 상기 빈 영역들 내에 각각 게이트 패턴들을 형성하는 것; 및 상기 상부 활성 패턴과, 상기 상부 활성 패턴 옆의 게이트 패턴 사이에 게이트 유전막을 형성하는 것을 더 포함할 수 있다.

[0036] 일 실시예에 따르면, 상기 게이트 유전막은 제1 서브막 및 제2 서브막을 포함할 수 있다. 이 경우에, 상기 게이트 유전막을 형성하는 것 및 상기 상부 활성 패턴을 형성하는 것은, 상기 하부 활성 패턴의 상부면 및 상기 개구부의 측벽을 포함한 기판 상에 상기 제1 서브막을 콘포말하게 형성하는 것; 상기 제1 서브막 상에 제1 반도체막을 콘포말하게 형성하는 것; 상기 하부 활성 패턴의 상부면의 중앙부 상 및 상기 개구부 외부의 제1 반도체막 및 제1 서브막을 제거하여, 상기 개구부 측벽 상에 차례로 적층된 상기 제1 서브막 및 제1 반도체막을 잔존시키고, 상기 하부 활성 패턴의 상부면의 중앙부를 노출시키는 것; 상기 개구부 측벽 상에 잔존된 제1 반도체막 및 상기 하부 활성 패턴의 상부면의 중앙부와 접촉하는 제2 반도체막을 콘포말하게 형성하는 것; 상기 개구부 외부의 상기 제2 반도체막을 제거하는 것; 및 상기 게이트 패턴들을 형성하기 전에, 상기 빈 영역들의 내면들 상에 상기 제2 서브막을 콘포말하게 형성하는 것을 포함할 수 있다.

[0037] 일 실시예에 따르면, 상기 하부 활성 패턴의 상부면의 상기 노출된 중앙부는 상기 하부 활성 패턴의 상부면의 가장자리 보다 낮게 리세스될 수 있다.

발명의 효과

[0038] 상술된 3차원 반도체 기억 소자에 따르면, 상기 수직형 활성 패턴은 상기 공통 소오스 영역 내의 리세스 영역 내에 배치되어, 상기 웰 영역에 연결될 수 있다. 이에 따라, 상기 수직형 활성 패턴 및 상기 공통 소오스 영역 간의 거리를 최소화할 수 있으며, 또한, 상기 수직형 활성 패턴은 상기 웰 영역과 연결될 수 있다. 그 결과, 우수한 신뢰성을 갖고 고집적화에 최적화된 3차원 반도체 기억 소자를 구현할 수 있다.

도면의 간단한 설명

[0039] 도 1a는 본 발명의 일 실시예에 따른 3차원 반도체 기억 소자를 나타내는 평면도.

도 1b는 본 발명의 일 실시예에 따른 3차원 반도체 기억 소자를 설명하기 위하여 도 1a의 I-I'을 따라 취해진 단면도.

도 1c는 도 1b의 A 부분을 확대한 도면.

도 2a는 본 발명의 일 실시예에 따른 3차원 반도체 기억 소자의 일 변형예를 설명하기 위하여 도 1a의 I-I'을 따라 취해진 단면도.

도 2b는 본 발명의 일 실시예에 따른 3차원 반도체 기억 소자의 다른 변형예를 설명하기 위하여 도 1a의 I-I'을 따라 취해진 단면도.

도 3a는 본 발명의 일 실시예에 따른 3차원 반도체 기억 소자의 또 다른 변형예를 설명하기 위하여 도 1a의 I-I'을 따라 취해진 단면도.

도 3b는 도 3a의 B 부분을 확대한 도면.

도 3c는 본 발명의 일 실시예에 따른 3차원 반도체 기억 소자의 또 다른 변형예를 설명하기 위하여 도 3a의 B 부분을 확대한 도면.

도 3d는 본 발명의 일 실시예에 따른 3차원 반도체 기억 소자의 또 다른 변형예를 설명하기 위하여 도 3a의 B 부분을 확대한 도면.

도 4a는 본 발명의 일 실시예에 따른 3차원 반도체 기억 소자의 또 다른 변형예를 설명하기 위하여 도 1a의 I-I'을 따라 취해진 단면도.

도 4b는 도 4a의 C 부분을 확대한 도면.

도 5a는 본 발명의 일 실시예에 따른 3차원 반도체 기억 소자의 또 다른 변형예를 나타내는 평면도.

도 5b는 도 5a의 II-II'을 따라 취해진 단면도.

도 6a 내지 도 6h는 본 발명의 일 실시예에 따른 3차원 반도체 기억 소자의 제조 방법을 설명하기 위하여 도 1a의 I-I'을 따라 취해진 단면도들.

도 7a 내지 도 7d는 본 발명의 일 실시예에 따른 3차원 반도체 기억 소자의 제조 방법의 일 변형예를 설명하기 위하여 도 1a의 I-I'을 따라 취해진 단면도들.

도 8a 내지 도 8f는 본 발명의 일 실시예에 따른 3차원 반도체 기억 소자의 제조 방법의 다른 변형예를 설명하기 위하여 도 1a의 I-I'을 따라 취해진 단면도들.

도 9a 내지 도 9d는 본 발명의 일 실시예에 따른 3차원 반도체 기억 소자의 제조 방법의 또 다른 변형예를 설명하기 위하여 도 1a의 I-I'을 따라 취해진 단면도들.

도 10a 내지 10c는 본 발명의 일 실시예에 따른 3차원 반도체 기억 소자의 제조 방법의 또 다른 변형예를 설명하기 위하여 도 4a의 II-II'을 따라 취해진 단면도들.

도 11은 본 발명의 다른 실시예에 따른 3차원 반도체 기억 소자를 나타내는 단면도.

도 12a는 본 발명의 다른 실시예에 따른 3차원 반도체 기억 소자의 일 변형예를 나타내는 단면도.

도 12b는 본 발명의 다른 실시예에 따른 3차원 반도체 기억 소자의 다른 변형예를 나타내는 단면도.

도 12c는 본 발명의 다른 실시예에 따른 3차원 반도체 기억 소자의 또 다른 변형예를 나타내는 단면도.

도 12d는 본 발명의 다른 실시예에 따른 3차원 반도체 기억 소자의 또 다른 변형예를 나타내는 단면도.

도 12e는 본 발명의 다른 실시예에 따른 3차원 반도체 기억 소자의 또 다른 변형예를 나타내는 단면도.

도 12f는 본 발명의 다른 실시예에 따른 3차원 반도체 기억 소자의 또 다른 변형예를 나타내는 단면도.

도 13a 내지 13e는 본 발명의 다른 실시예에 따른 3차원 반도체 기억 소자의 제조 방법을 설명하기 위한 단면도들.

도 14는 본 발명의 다른 실시예에 따른 3차원 반도체 기억 소자의 제조 방법의 일 변형예를 설명하기 위한 단면도.

도 15a 내지 15f는 본 발명의 다른 실시예에 따른 3차원 반도체 기억 소자의 제조 방법의 다른 변형예를 설명하기 위한 단면도들.

도 16a 및 도 16b는 본 발명의 다른 실시예에 따른 3차원 반도체 기억 소자의 제조 방법의 또 다른 변형예를 설명하기 위한 단면도들.

도 17은 본 발명의 기술적 사상에 기초한 3차원 반도체 기억 소자를 포함하는 전자 시스템의 일 예를 간략히 도

Micron Ex. 1002, p. 793
Micron v. YMTC
IPR2025-00294

Micron Ex. 1002, p. 794
Micron v. YMTC
IPR2025-00294

시한 블록도.

도 18은 본 발명의 기술적 사상에 기초한 3차원 반도체 기억 소자를 포함하는 메모리 카드의 일 예를 간략히 도시한 블록도.

발명을 실시하기 위한 구체적인 내용

[0040] 이상의 본 발명의 목적들, 다른 목적들, 특징들 및 이점들은 첨부된 도면과 관련된 이하의 바람직한 실시예들을 통해서 쉽게 이해될 것이다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.

[0041] 본 명세서에서, 어떤 막(또는 층)이 다른 막(또는 층) 또는 기판 상에 있다고 언급되는 경우에 그것은 다른 막(또는 층) 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 막(또는 층)이 개재될 수도 있다 또한, 도면들에 있어서, 구성들의 크기 및 두께 등은 명확성을 위하여 과장된 것이다. 또한, 본 명세서의 다양한 실시예들에서 제1, 제2, 제3 등의 용어가 다양한 영역, 막들(또는 층들) 등을 기술하기 위해서 사용되었지만, 이들 영역, 막들이 이 같은 용어들에 의해서 한정되어서는 안 된다. 이들 용어들은 단지 어느 소정 영역 또는 막(또는 층)을 다른 영역 또는 막(또는 층)과 구별시키기 위해서 사용되었을 뿐이다. 따라서, 어느 한 실시예에의 제1막질로 언급된 막질이 다른 실시예에서는 제2막질로 언급될 수도 있다. 여기에 설명되고 예시되는 각 실시예는 그것의 상보적인 실시예도 포함한다. 본 명세서에서 '및/또는' 이란 표현은 전후에 나열된 구성요소들 중 적어도 하나를 포함하는 의미로 사용된다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.

[0042] (제1 실시예)

[0043] 도 1a는 본 발명의 일 실시예에 따른 3차원 반도체 기억 소자를 나타내는 평면도이고, 도 1b는 본 발명의 일 실시예에 따른 3차원 반도체 기억 소자를 설명하기 위하여 도 1a의 I-I'을 따라 취해진 단면도이며, 도 1c는 도 1b의 A 부분을 확대한 도면이다.

[0044] 도 1a 및 도 1b를 참조하면, 반도체 기판(100, 이하 기판 이라 함) 내에 제1 도전형의 도펀트로 도핑된 웰 영역(102, well region)이 배치될 수 있다. 상기 기판(100)은 실리콘 기판, 게르마늄 기판 또는 실리콘-게르마늄 기판일 수 있다. 상기 웰 영역(102) 내에 제2 도전형의 도펀트로 도핑된 공통 소오스 영역(105)이 형성될 수 있다. 상기 공통 소오스 영역(105)의 상부면은 상기 기판(100) 상부면과 실질적으로 동일한 레벨에 위치할 수 있다. 상기 공통 소오스 영역(105)의 하부면은 상기 웰 영역(102)의 하부면 보다 높은 레벨에 위치할 수 있다. 상기 제1 도전형의 도펀트 및 상기 제2 도전형의 도펀트 중에서 어느 하나는 n형 도펀트이고, 다른 하나는 p형 도펀트이다. 예컨대, 상기 웰 영역(102)은 p형 도펀트로 도핑될 수 있으며, 상기 공통 소오스 영역(105)은 n형 도펀트로 도핑될 수 있다.

[0045] 상기 공통 소오스 영역(105) 상에 교대로 그리고 반복적으로 적층된 절연 패턴들(110a) 및 게이트 패턴들(155L, 155a1, 155a, 155U)을 포함하는 적층-구조체가 배치될 수 있다. 상기 공통 소오스 영역(105) 상에 복수의 상기 적층-구조체들이 배치될 수 있다. 도 1a에 개시된 바와 같이, 상기 적층-구조체들은 제1 방향으로 나란히 연장될 수 있다. 상기 적층-구조체들은 상기 제1 방향에 수직한(perpendicular) 제2 방향으로 서로 이격될 수 있다. 상기 제1 및 제2 방향들은 상기 기판(100)의 상부면과 평행할 수 있다.

[0046] 수직형 활성 패턴(130, vertical active pattern)이 상기 적층-구조체를 관통할 수 있다. 상기 수직형 활성 패턴(130)은 그 아래의 상기 공통 소오스 영역(105) 내에 형성된 리세스 영역(120) 내로 연장될 수 있다. 이로써, 상기 수직형 활성 패턴(130)은 그 아래의 상기 웰 영역(102)과 연결될 수 있다. 도 1b에 개시된 바와 같이, 상기 리세스 영역(120)은 상기 공통 소오스 영역(105)을 수직적으로(vertically)으로 관통할 수 있다. 상기 리세스 영역(120)의 바닥면은 상기 공통 소오스 영역(105)의 하부면 보다 낮은 레벨에 위치할 수 있다. 상기 수직형 활성 패턴(130)은 상기 리세스 영역(120)의 바닥면과 접촉될 수 있다. 이로써, 상기 수직형 활성 패턴(130)은 상기 웰 영역(102)과 접촉될 수 있다. 또한, 상기 수직형 활성 패턴(130)은 상기 리세스 영역(120)의 측벽과 접촉될 수 있다. 이로써, 상기 수직형 활성 패턴(130)은 상기 공통 소오스 영역(105)과 직접 접촉 될 수 있다.

[0047] 일 실시예에 따르면, 상기 리세스 영역(120)의 바닥면 바로 아래의 상기 웰 영역(102)의 일부분(122)은 고농도 도펀트 농도를 가질 수 있다. 다시 말해서, 상기 웰 영역(102)의 상기 일부분(122)의 상기 제1 도전형의 도펀트

농도는 상기 웰 영역(102)의 다른 부분의 상기 제1 도전형의 도펀트 농도 보다 높을 수 있다.

[0048] 일 실시예에 따르면, 상기 수직형 활성 패턴(130)은 속이 빈 파이프 형태(pipe-shaped) 또는 마카로니 형태(macaroni-shaped)일 수 있다. 이때, 상기 수직형 활성 패턴(130)의 하단은 닫힌 상태(closed state)일 수 있다. 상기 수직형 활성 패턴(130)의 내부는 충전 유전 패턴(132)에 의해 채워질 수 있다.

[0049] 게이트 유전막(150)이 상기 수직형 활성 패턴(130)의 측벽과 상기 각 게이트 패턴(155L, 155a1, 155a 또는 155U) 사이에 배치될 수 있다. 일 실시예에 따르면, 도 1b에 개시된 바와 같이, 상기 게이트 유전막(150)은 연장되어 상기 각 게이트 패턴(155L, 155a1, 155a 또는 155U)의 하부면 및 상부면을 덮을 수 있다. 즉, 상기 게이트 유전막(150)의 연장된 부분은 상기 각 게이트 패턴(155L, 155a1, 155a 또는 155U) 및 상기 각 게이트 패턴(155L, 155a1, 155a 또는 155U)에 인접한 절연 패턴(110a) 사이에 개재될 수 있다. 상기 게이트 유전막(150)의 연장된 부분은 아래위로 이웃한 게이트 유전막(150)의 유전막과 이어질 수 있다.

[0050] 도 1c를 참조하여 상기 게이트 유전막(150)을 좀더 구체적으로 설명한다.

[0051] 도 1c를 참조하면, 일 실시예에 따르면, 상기 게이트 유전막(150)은 터널 유전막(141), 전하저장막(142) 및 블로킹 유전막(143)을 포함할 수 있다. 상기 터널 유전막(141)은 상기 수직형 활성 패턴(130)의 측벽에 인접하고, 상기 블로킹 유전막(143)은 상기 게이트 패턴(155L, 155a1, 155a 또는 155U)에 인접할 수 있다. 상기 전하저장막(142)은 상기 터널 유전막(141) 및 블로킹 유전막(143) 사이에 개재될 수 있다. 일 실시예에 따르면, 도 1c에 개시된 바와 같이, 상기 게이트 유전막(150)의 전체(즉, 터널 유전막(141), 전하저장막(142) 및 블로킹 유전막(143))가 연장되어 상기 게이트 패턴(155L, 155a1, 155a 또는 155U)의 하부면 및 상부면을 덮을 수 있다.

[0052] 상기 터널 유전막(141)은 산화물 및/또는 산화질화물 등을 포함할 수 있다. 상기 터널 유전막(141)은 단일층(single layered) 또는 다층(multi-layered)일 수 있다. 상기 전하저장막(142)은 전하를 저장할 수 있는 트랩들을 갖는 유전 물질, 예컨대, 질화물 및/또는 금속 산화물 등을 포함할 수 있다. 상기 블로킹 유전막(143)은 상기 터널 유전막(141) 보다 높은 유전상수를 갖는 고유전막(ex, 산화알루미늄 또는 산화하프늄 등과 같은 금속 산화물 등)을 포함할 수 있다. 이에 더하여, 상기 블로킹 유전막(143)은 장벽 유전막을 더 포함할 수 있다. 상기 장벽 유전막은 상기 블로킹 유전막(143) 내 상기 고유전막 보다 밴드 갭이 큰 유전 물질을 포함할 수 있다. 예컨대, 상기 장벽 유전막은 산화물을 포함할 수 있다. 상기 장벽 유전막은 상기 고유전막 및 상기 전하저장막(142) 사이에 개재될 수 있다.

[0053] 상기 적층-구조체 내 최하위의 게이트 패턴(155L)은 접지 선택 게이트에 해당할 수 있다. 상기 최하위의 게이트 패턴(155L)을 포함하는 접지 선택 트랜지스터는 상기 수직형 활성 패턴(130)의 측벽에 정의된 수직형 채널 영역을 포함할 수 있다. 도 1a 및 도 1b에 도시된 바와 같이, 상기 최하위의 게이트 패턴(155L)의 하부면의 전체가 상기 공통 소오스 영역(105)과 실질적으로 중첩될 수 있다.

[0054] 상기 적층-구조체 내 최상위의 게이트 패턴(155U)은 스트링 선택 게이트에 해당할 수 있다. 상기 최하위 및 최상위 게이트 패턴들(155L, 155U) 사이의 게이트 패턴들(155a1, 155a)은 셀 게이트들에 해당할 수 있다. 상기 최상위의 게이트 패턴(155U)을 포함하는 스트링 선택 트랜지스터, 및 상기 셀 게이트들을 포함하는 셀 트랜지스터들도 상기 수직형 활성 패턴(130a)의 측벽에 정의된 수직형 채널 영역들을 포함할 수 있다. 상기 수직형 활성 패턴(130)에 하나의 셀 스트링(cell string)을 구성하는 접지 선택, 셀, 스트링 선택 트랜지스터들의 수직형 채널 영역들이 정의될 수 있다.

[0055] 일 실시예에 따르면, 상기 셀 게이트들로 사용되는 게이트 패턴들 중에서 상기 최하위의 게이트 패턴(155L)에 가장 인접한 게이트 패턴은 더미 셀 게이트에 해당할 수 있다. 예컨대, 상기 최하위의 게이트 패턴(155L) 바로 위에 배치된 게이트 패턴(155a1)이 더미 셀 게이트일 수 있다. 다시 말해서, 상기 기판(100)으로부터 2번째로 적층된 게이트 패턴(155a1)이 더미 셀 게이트일 수 있다. 물론, 상기 최하위의 게이트 패턴(155L)과 2번째로 적층된 게이트 패턴(155a1) 사이에는 상기 절연 패턴(110)이 배치된다. 예컨대, 상기 2번째로 적층된 게이트 패턴(155a1)을 포함하는 더미 셀 트랜지스터는 데이터를 저장하는 셀 트랜지스터와 동일한 형태를 가지는 반면에, 셀 트랜지스터로서의 기능을 수행하지 않을 수 있다. 예컨대, 상기 셀 스트링의 동작 시에, 상기 더미 셀 트랜지스터는 온 오프 기능만을 수행할 수 있다. 이와는 다르게, 상기 2번째로 적층된 게이트 패턴(155a1)는 제2 접지 선택 게이트일 수도 있다. 이 경우에, 상기 셀 스트링은 복수의 접지 선택 트랜지스터들을 포함할 수 있다.

[0056] 복수의 상기 수직형 활성 패턴들(130)이 상기 각 적층-구조체를 관통할 수 있다. 도 1a에 도시된 바와 같이, 상기 각 적층-구조체를 관통하는 상기 수직형 활성 패턴들(130)은 상기 제1 방향으로 배열되어 하나의 열을 이룰 수 있다. 이와는 다르게, 상기 각 적층-구조체를 관통하는 수직형 활성 패턴들(130)은 상기 제1 방향으로 지그

Micron Ex. 1002, p. 795
Micron v. YMTC
IPR2025-00294

재그 형태로 배열될 수도 있다.

[0057] 상기 수직형 활성 패턴(130)은 반도체 물질을 포함할 수 있다. 예컨대, 상기 수직형 활성 패턴(130)은 상기 기판(100)과 동일한 반도체 물질을 포함할 수 있다. 상기 수직형 활성 패턴(130)은 언도프트 상태(undoped state)이거나, 상기 제1 도전형의 도펀트로 도핑될 수 있다. 상기 수직형 활성 패턴(130)은 다결정 상태 또는 단결정 상태일 수 있다. 상기 게이트 패턴들(155L, 155a1, 155a, 155U)은 도전 물질을 포함한다. 예컨대, 상기 게이트 패턴들(155L, 155a1, 155a, 155U)은 도핑된 반도체(ex, 도핑된 실리콘 등), 금속(ex, 텅스텐, 알루미늄, 구리 등), 전이 금속(ex, 티타늄, 탄탈늄 등), 또는 도전성 금속 질화물(ex, 질화 티타늄, 질화 탄탈늄 등) 등에서 적어도 하나를 포함할 수 있다. 상기 절연 패턴들(110a)은 산화물을 포함할 수 있다.

[0058] 상기 적층-구조체들 사이에 소자분리 패턴(160a)이 배치될 수 있다. 상기 소자분리 패턴(160a)의 상부면은 상기 적층-구조체의 상부면과 실질적으로 공면을 이룰 수 있다. 상기 기판(100) 상에 층간 유전막(165)이 배치될 수 있다. 상기 콘택 플러그(167)가 상기 층간 유전막(165)을 관통하여 상기 수직형 활성 패턴(130)의 상단에 접속될 수 있다. 상기 수직형 활성 패턴(130)의 윗부분 내에 상기 제2 도전형의 도펀트로 도핑된 드레인이 형성될 수 있다. 상기 드레인의 하부면은 상기 최상위의 게이트 패턴(155U)의 상부면에 근접한 레벨에 위치할 수 있다. 비트 라인(170)이 상기 층간 유전막(165) 상에 배치되어, 상기 콘택 플러그(167)에 접속될 수 있다. 상기 비트 라인(170)은 상기 제2 방향으로 연장되어 상기 적층-구조체와 교차할 수 있다. 상기 층간 유전막(165)을 산화물을 포함할 수 있다. 상기 콘택 플러그(167)는 도전 물질을 포함한다. 예컨대, 상기 콘택 플러그(167)는 텅스텐 등을 포함할 수 있다. 상기 비트 라인(170)도 도전 물질을 포함한다. 예컨대, 상기 비트 라인(170)은 텅스텐, 구리, 알루미늄 등을 포함할 수 있다.

[0059] 상술된 3차원 반도체 기억 소자에 따르면, 상기 수직형 활성 패턴(130)은 상기 공통 소오스 영역(105)을 관통하는 리세스 영역(120) 내에 배치되어, 상기 웰 영역(102)에 연결될 수 있다. 또한, 상기 공통 소오스 영역(105)은 상기 최하위의 게이트 패턴(155L) 아래에 배치될 수 있다. 이에 따라, 상기 수직형 활성 패턴(130)은 상기 공통 소오스 영역(105) 간의 거리를 최소화할 수 있으며, 또한, 상기 수직형 활성 패턴(130)은 상기 웰 영역(102)과 연결될 수 있다. 그 결과, 상기 수직형 활성 패턴(130)을 통하여 흐르는 전류는 상기 공통 소오스 영역(105)으로 신속히 흐를 수 있다. 따라서, 셀 트랜지스터의 전류량의 감소를 최소화할 수 있다. 또한, 상기 수직형 활성 패턴(130)이 상기 웰 영역(102)와 연결됨으로써, 셀 트랜지스터들의 소거 동작이 매우 용이하다. 결과적으로, 우수한 신뢰성을 갖고 고집적화에 최적화된 3차원 반도체 기억 소자를 구현할 수 있다.

[0060] 다음으로, 본 실시예에 따른 3차원 반도체 기억 소자의 변형예들을 도면들을 참조하여 설명한다. 변형예들에서 상술된 구성 요소들과 동일한 구성 요소들에 대한 설명은 중복을 피하기 위하여 생략한다.

[0061] 도 2a는 본 발명의 일 실시예에 따른 3차원 반도체 기억 소자의 일 변형예를 설명하기 위하여 도 1a의 I-I'을 따라 취해진 단면도이다.

[0062] 도 2a를 참조하면, 본 변형예에 따르면, 보호 유전 패턴들(173a)이 절연 패턴들(110a) 및 수직형 활성 패턴(130) 사이, 및 리세스 영역(120)의 내측벽 및 수직형 활성 패턴(130) 사이에 개재될 수 있다. 상기 보호 유전 패턴(173a)은 제조 공정 시에 상기 수직형 활성 패턴(130)을 보호할 수 있는 유전 물질을 포함할 수 있다. 예컨대, 상기 보호 유전 패턴(173a)은 산화물을 포함할 수 있다. 본 변형예에 따르면, 캐핑 반도체 패턴(175)이 상기 수직형 활성 패턴(130) 상에 배치될 수 있다. 상기 캐핑 반도체 패턴(175)는 최상위의 절연 패턴(110a) 및 수직형 활성 패턴(130) 사이에 위치한 보호 유전 패턴(173a) 상에도 배치될 수 있다. 상기 수직형 활성 패턴(130)의 상단은 상기 최상위의 절연 패턴(110a)의 상부면 보다 낮은 레벨에 위치할 수 있다. 상기 캐핑 반도체 패턴(175)의 상부면이 상기 최상위의 절연 패턴(110a)의 상부면과 공면을 이룰 수 있다. 상기 캐핑 반도체 패턴(175)는 상기 수직형 활성 패턴(130)과 동일한 반도체 물질을 포함할 수 있다. 상기 캐핑 반도체 패턴(175)는 상기 제2 도전형의 도펀트로 도핑될 수 있다. 콘택 플러그(167)는 상기 캐핑 반도체 패턴(175)에 접속될 수 있다.

[0063] 도 2b는 본 발명의 일 실시예에 따른 3차원 반도체 기억 소자의 다른 변형예를 설명하기 위하여 도 1a의 I-I'을 따라 취해진 단면도이다.

[0064] 도 2b를 참조하면, 본 변형예에 따르면, 리세스 영역(120a)의 바닥면은 상기 공통 소오스 영역(105)의 하부면보다 높은 레벨에 위치할 수 있다. 이 경우에, 상기 리세스 영역(120a)의 바닥면 아래에 상기 제1 도전형의 도펀트로 카운트(counter) 도핑된 영역(122a)이 배치될 수 있다. 상기 카운트 도핑된 영역(122a)은 상기 수직형 활성 패턴(130) 및 상기 웰 영역(102)과 접촉될 수 있다. 이에 따라, 상기 수직형 활성 패턴(130)은 상기 제1

Micron Ex. 1002, p. 796
Micron v. YMTC
IPR2025-00294

도전형의 카운트 도핑된 영역(122a)을 통하여 상기 웰 영역(102)과 연결될 수 있다.

[0065] 도 3a는 본 발명의 일 실시예에 따른 3차원 반도체 기억 소자의 또 다른 변형예를 설명하기 위하여 도 1a의 I-I'을 따라 취해진 단면도이고, 도 3b는 도 3a의 B 부분을 확대한 도면이다.

[0066] 도 3a를 참조하면, 본 변형예에 따른 게이트 유전막(150a)은 수직형 활성 패턴(130a) 및 각 게이트 패턴(155L, 155a1, 155a 또는 155U) 사이에 개재될 수 있다. 상기 게이트 유전막(150a)은 제1 서브막(147, fist sub layer) 및 제2 서브막(149, second sub layer)을 포함할 수 있다. 상기 제1 서브막(147)은 실질적으로 수직적으로 연장되어, 상기 수직형 활성 패턴(130a) 및 절연 패턴(110a) 사이에 개재될 수 있다. 상기 제2 서브막(149)은 실질적으로 수평적으로 연장되어, 상기 게이트 패턴(155L, 155a1, 155a, 155U)의 하부면 및 상부면을 덮을 수 있다. 상기 게이트 유전막(150a)은 터널 유전막, 전하저장막 및 블로킹 유전막을 포함할 수 있다. 이때, 상기 제1 서브막(147)은 적어도 상기 터널 유전막의 일부분을 포함할 수 있으며, 상기 제2 서브막(149)은 적어도 상기 블로킹 유전막의 일부분을 포함할 수 있다. 이때, 상기 제1 및 제2 서브막들(147, 149) 중에서 어느 하나는 상기 전하저장막을 포함할 수 있다. 다시 말해서, 상기 터널 유전막, 전하저장막 및 블로킹 유전막을 포함하는 게이트 유전막(150a)의 일부분은 수직적으로 연장될 수 있으며, 다른 부분은 수평적으로 연장될 수 있다.

[0067] 상기 수직형 활성 패턴(130a)은 제1 반도체 패턴(122) 및 제2 반도체 패턴(124)을 포함할 수 있다. 상기 제1 반도체 패턴(122)은 상기 제2 반도체 패턴(124) 및 상기 제1 서브막(147) 사이에 개재될 수 있다. 상기 제1 반도체 패턴(122)은 상기 제1 서브막(147)에 접촉될 수 있다. 일 실시예에 따르면, 상기 제1 반도체 패턴(122)은 상단 및 하단이 오픈된(opened) 파이프 형태 또는 마카로니 형태일 수 있다. 상기 제1 반도체 패턴(122)은 리세스 영역(120)의 내면과 접촉되지 않을 수 있다. 상기 제2 반도체 패턴(124)은 상기 제1 반도체 패턴(122) 및 상기 리세스 영역(120)의 내면과 접촉될 수 있다. 상기 제2 반도체 패턴(124)은 하단이 닫힌 상태인 파이프 형태 또는 마카로니 형태일 수 있다. 충전 유전 패턴(132)은 상기 제2 반도체 패턴(124)의 내부를 채울 수 있다. 상기 제1 및 제2 반도체 패턴들(122, 124)은 언도프트 상태이거나, 웰 영역(102)과 동일한 타입의 도펀트(즉, 상기 제1 도전형의 도펀트)로 도핑될 수 있다.

[0068] 일 실시예에 따르면, 도 3b에 도시된 바와 같이, 상기 게이트 유전막(150a)의 제1 서브막(147)은 터널 유전막(141), 전하저장막(142) 및 장벽 유전막(144)을 포함할 수 있다. 이 경우에, 상기 제2 서브막(149)은 상기 터널 유전막(141)에 비하여 높은 유전상수를 갖는 고유전막(ex, 알루미늄 산화막, 또는 하프늄 산화막 등과 같은 금속성 산화막 등)을 포함할 수 있다. 상기 장벽 유전막(144)은 상기 고유전 물질의 밴드갭 보다 큰 밴드갭을 갖는 유전 물질을 포함할 수 있다. 예컨대, 상기 장벽 유전막(144)은 산화물을 포함할 수 있다. 상기 전하저장막(142) 및 상기 게이트 패턴(155L, 155a1, 155a 또는 155U) 사이에 위치한 상기 장벽 유전막(144) 및 고유전 물질을 포함한 제2 서브막(149)은 상기 블로킹 유전막에 해당할 수 있다. 다시 말해서, 상기 제1 서브막(147)은 터널 유전막(141), 전하저장막(142) 및 블로킹 유전막의 일부분(즉, 장벽 유전막(144))을 포함할 수 있으며, 상기 제2 서브막(149)은 상기 블로킹 유전막의 다른 부분(즉, 상기 고유전막)을 포함할 수 있다. 하지만, 본 발명은 여기에 한정되지 않는다. 상기 제1 서브막 및 제2 서브막은 다르게 조합될 수도 있다.

[0069] 도 3c는 본 발명의 일 실시예에 따른 3차원 반도체 기억 소자의 또 다른 변형예를 설명하기 위하여 도 3a의 B 부분을 확대한 도면이다.

[0070] 도 3c를 참조하면, 본 변형예에 따른 게이트 유전막(150b)의 제1 서브막(147a)은 터널 유전막(141) 및 전하저장막(142)을 포함할 수 있으며, 제2 서브막(149a)은 장벽 유전막(144) 및 고유전막(146)을 포함할 수 있다. 상기 고유전막은 도 3b에서 설명한 고유전막과 동일한 물질로 형성될 수 있다. 본 변형예에 따르면, 상기 제2 서브막(149a)은 블로킹 유전막에 해당할 수 있다. 다시 말해서, 본 변형예에 따르면, 상기 제1 서브막(147a)이 터널 유전막(141) 및 전하저장막(142)을 포함하고, 상기 제2 서브막(149a)이 블로킹 유전막을 포함할 수 있다.

[0071] 도 3d는 본 발명의 일 실시예에 따른 3차원 반도체 기억 소자의 또 다른 변형예를 설명하기 위하여 도 3a의 B 부분을 확대한 도면이다.

[0072] 도 3d를 참조하면, 본 변형예에 따르면, 게이트 유전막(150c)의 제1 서브막(147b)이 터널 유전막(141)을 포함할 수 있으며, 제2 서브막(149b)은 전하저장막(142) 및 블로킹 유전막(143)을 포함할 수 있다. 다시 말해서, 본 변형예에 따르면, 상기 터널 유전막(141)이 수직적으로 연장되어 수직형 활성 패턴(130a) 및 절연 패턴(110a) 사이에 개재될 수 있으며, 상기 전하저장막(142) 및 블로킹 유전막(143)이 수평적으로 연장되어 상기 게이트 패턴(155L, 155a1, 155a 또는 155U)의 상부면 및 하부면을 덮을 수 있다.

Micron Ex. 1002, p. 797
Micron v. YMTC
IPR2025-00294

[0073] 본 발명의 일 실시예에 따른 게이트 유전막의 제1 및 제2 서브막들은 상술된 도 3b, 도 3c 및 도 3d에 개시된 변형예들에 한정되지 않는다. 상기 제1 및 제2 서브막들은 또 다른 조합으로 구성될 수 있다.

[0074] 도 4a는 본 발명의 일 실시예에 따른 3차원 반도체 기억 소자의 또 다른 변형예를 설명하기 위하여 도 1a의 I-I'을 따라 취해진 단면도이고, 도 4b는 도 4a의 C 부분을 확대한 도면이다.

[0075] 도 4a 및 도 4b를 참조하면, 본 변형예에 따르면, 본 변형예에 따르면, 수직형 활성 패턴(130a) 및 게이트 패턴(155L, 155a1, 155a 또는 155U) 사이의 게이트 유전막(150d)의 전체가 실질적으로 수직으로 연장될 수 있다. 즉, 상기 게이트 유전막(150d) 내 터널 유전막(141), 전하저장막(142) 및 블로킹 유전막(143) 모두가 실질적으로 수직으로 연장될 수 있다. 상기 게이트 유전막(150d)의 연장부는 상기 수직형 활성 패턴(130a) 및 절연 패턴(110a) 사이에 개재될 수 있다.

[0076] 도 1a 및 도 1b의 적층-구조체는 상기 제1 방향으로 연장된 라인 형태일 수 있다. 이와는 다르게, 적층-구조체는 평판 형태의 게이트 패턴들을 포함할 수 있다. 이를 도면들을 참조하여 설명한다.

[0077] 도 5a는 본 발명의 일 실시예에 따른 3차원 반도체 기억 소자의 또 다른 변형예를 나타내는 평면도이고, 도 5b는 도 5a의 II-II'을 따라 취해진 단면도이다.

[0078] 도 5a 및 도 5b를 참조하면, 본 변형예에 따른 적층-구조체는 교대로 그리고 반복적으로 적층된 절연 패턴들(210, 210U) 및 게이트 패턴들(220L, 220a, 220, 220U)을 포함할 수 있다. 최하위의 게이트 패턴(220L)은 접지 선택 게이트일 수 있으며, 최상위의 게이트 패턴(220U)은 스트링 선택 게이트일 수 있다. 상기 최하위의 게이트 패턴(220L) 바로 위의 게이트 패턴(220a)은 셀 게이트, 더미 셀 게이트 또는 제2 접지 선택 게이트로 이용될 수 있다.

[0079] 스트링 선택 게이트 아래의 게이트 패턴들(220L, 220a, 220)은 도 5a 및 도 5b에 개시된 바와 같이, 평판 형태일 수 있다. 상기 스트링 선택 게이트에 해당하는 상기 최상위의 게이트 패턴(220U)은 제1 방향으로 연장된 라인 형태일 수 있다. 상기 최상위의 게이트 패턴(220U)은 복수로 제공될 수 있으며, 상기 최상위의 게이트 패턴들(220U)은 상기 제1 방향으로 나란히 연장될 수 있다. 비트라인(170)이 제2 방향으로 연장되어 상기 최상위의 게이트 패턴(220U)을 가로지를 수 있다. 상기 최상위의 게이트 패턴(220U) 상에 위치한 최상위의 절연 패턴(210U)도 상기 최상위의 게이트 패턴(220U)과 마찬가지로 상기 제1 방향으로 연장될 수 있다.

[0080] 수직형 활성 패턴(130a)이 상기 적층-구조체를 관통하고, 그 아래의 리세스 영역(120)내로 연장될 수 있다. 상기 접지 선택 게이트에 해당하는 상기 최하위의 게이트 패턴(220L)은 기판(100) 내 공통 소오스 영역(102) 상에 배치될 수 있다. 상기 최하위의 게이트 패턴(220L)의 하부면의 전체가 상기 공통 소오스 영역(105)과 실질적으로 중첩될 수 있다. 본 변형예에 따르면, 게이트 유전막(150d)은 상기 적층-구조체를 관통하는 개구부(115)의 내측벽과 상기 수직형 활성 패턴(130a) 사이에 개재될 수 있다. 상기 게이트 유전막(150d)은 실질적으로 수직으로 연장될 수 있다. 상기 개구부(115) 및 리세스 영역(120)은 서로 자기정렬될 수 있다. 상기 게이트 유전막(150d)은 상기 리세스 영역(120) 내로 아래로 연장될 수 있다. 일 실시예에 따르면, 상기 리세스 영역(120) 내 상기 게이트 유전막(150d)의 하단은 상기 리세스 영역(120)의 하부면 보다 높은 레벨에 위치할 수 있다.

[0081] 하부 층간 유전막(163)이 상기 최상위의 게이트 패턴들(220U) 사이에 배치될 수 있다. 상기 하부 층간 유전막(163)은 상기 최상위의 절연 패턴(210U)의 상부면과 공면을 이룰 수 있다. 상부 층간 유전막(165)이 상기 하부 층간 유전막(163) 및 최상위의 게이트 패턴들(220U) 상에 배치될 수 있다. 상기 절연 패턴들(210)은 산화물, 질화물 및/또는 산화질화물 등을 포함할 수 있다. 상기 게이트 패턴들(220L, 220a, 220, 220U)은 도핑된 반도체(ex, 도핑된 실리콘), 금속(ex, 텅스텐 등), 또는 도전성 금속질화물(ex, 질화티타늄, 질화탄탈늄 등) 등에서 적어도 하나를 포함할 수 있다.

[0082] 상술된 변형예들의 구성요소들은 서로 조합되거나, 대체될 수 있다. 예컨대, 도 2a의 캐핑 반도체 패턴(175)은 도 1b, 도 3a, 4a 또는 5b에 개시된 수직형 활성 패턴(130 또는 130a) 상에 배치될 수 있다.

[0083] 도 6a 내지 도 6h는 본 발명의 일 실시예에 따른 3차원 반도체 기억 소자의 제조 방법을 설명하기 위하여 도 1a의 I-I'을 따라 취해진 단면도들이다.

[0084] 도 6a를 참조하면, 기판(100) 내에 제1 도전형의 도펀트를 제공하여 웰 영역(102)을 형성할 수 있다. 상기 웰 영역(102)의 윗부분에 제2 도전형의 도펀트를 제공하여 공통 소오스 영역(105)을 형성할 수 있다.

[0085] 상기 공통 소오스 영역(105) 상에 절연막들(110) 및 희생막들(112)을 교대로 그리고 반복적으로 적층시킬 수 있다. 상기 절연막들(110)은 산화막들로 형성될 수 있다. 상기 희생막들(112)은 상기 절연막들(112)에 대하여 식

Micron Ex. 1002, p. 798
Micron v. YMTC
IPR2025-00294

각 선택비를 갖는 물질로 형성될 수 있다. 예컨대, 상기 희생막들(112)은 질화막들로 형성될 수 있다.

[0086] 도 6b를 참조하면, 상기 적층된 절연막들(110) 및 희생막들(112)과, 상기 기판(100)을 연속적으로 패터닝하여 개구부(115) 및 리세스 영역(120)을 형성할 수 있다. 상기 개구부(115)는 상기 적층된 절연막들(110) 및 희생막들(112)을 관통하고, 상기 리세스 영역(120)은 상기 개구부(115) 아래의 공통 소오스 영역(102) 내(즉, 기판(100)의 일부분 내)에 형성될 수 있다. 상기 절연막들 및 희생막들(112)과 상기 공통 소오스 영역(105)을 연속적으로 패터닝함으로써, 상기 리세스 영역(120)은 상기 개구부(115)에 자기정렬된다. 상기 리세스 영역(120)은 상기 공통 소오스 영역(105)을 관통하여, 상기 리세스 영역(120)의 바닥면은 상기 공통 소오스 영역(105)의 하부면 보다 낮은 레벨에 위치할 수 있다. 이에 따라, 상기 리세스 영역(120)의 바닥면에는 상기 웰 영역(102)이 노출되며, 상기 리세스 영역(120)의 내측벽에는 상기 공통 소오스 영역(105)이 노출될 수 있다.

[0087] 상기 리세스 영역(120)의 바닥면을 통하여 상기 제1 도전형의 도펀트를 제공하여, 고농도 영역(122)을 형성할 수 있다. 상기 고농도 영역(122)의 제1 도전형의 도펀트 농도는 상기 웰 영역(102)의 다른 부분에 비하여 높을 수 있다. 즉, 상기 고농도 영역(122)으로 인하여, 상기 웰 영역(102)은 부분적으로 높은 도펀트 농도를 가질 수 있다.

[0088] 도 6c를 참조하면, 상기 개구부(115) 및 리세스 영역(120)을 갖는 기판(100) 상에 반도체막을 콘포말하게 형성할 수 있다. 이로써, 상기 반도체막은 상기 개구부(115) 및 리세스 영역(120)의 내면 상에 실질적으로 균일한 두께로 형성될 수 있다. 상기 반도체막은 상기 리세스 영역(120)의 내면(즉, 내측벽 및 바닥면)과 접촉될 수 있다. 상기 반도체막은 화학기상 증착 공정 및/또는 원자층 증착 공정 등으로 형성될 수 있다. 상기 반도체막 상에 상기 개구부(115)를 채우는 충전 유전막을 형성할 수 있다. 예컨대, 상기 충전 유전막은 산화막으로 형성될 수 있다.

[0089] 상기 충전 유전막 및 상기 반도체막을 최상위의 절연막(110)이 노출될 때까지 평탄화시키어, 상기 연통하는 개구부(115) 및 리세스 영역(120) 내에 수직형 활성 패턴(130) 및 충전 유전 패턴(132)을 형성할 수 있다.

[0090] 도 6d를 참조하면, 상기 적층된 절연막들(110) 및 희생막들(112)을 연속적으로 패터닝하여 트렌치(135)를 형성할 수 있다. 상기 트렌치(135) 옆에 교대로 그리고 반복적으로 적층된 절연 패턴들(110a) 및 희생 패턴들(112a)이 형성될 수 있다. 상기 적층된 절연 패턴들(110a) 및 희생 패턴들(112a)은 상기 개구부(115)를 포함할 수 있다. 즉, 상기 수직형 활성 패턴들(130)은 상기 절연 패턴들(110a) 및 희생 패턴들(112a)을 연속적으로 관통할 수 있다. 상기 절연 패턴들(110a) 및 희생 패턴들(112a)의 측벽들은 상기 트렌치(135)에 노출된다.

[0091] 도 6e를 참조하면, 상기 트렌치(135)에 노출된 상기 희생 패턴들(112a)를 제거하여 빈 영역들(140)을 형성할 수 있다. 상기 각 빈 영역(140)은 상기 각 희생 패턴(112a)이 제거된 영역에 해당한다. 상기 빈 영역들(140)은 상기 수직형 활성 패턴(130)의 측벽의 일부분들을 각각 노출시킬 수 있다.

[0092] 도 6f를 참조하면, 상기 빈 영역들(140)을 갖는 기판(100) 상에 게이트 유전막(150)을 콘포말하게 형성할 수 있다. 이에 따라, 상기 게이트 유전막(150)은 상기 빈 영역들(140)의 내면들 상에 콘포말하게 형성될 수 있다. 상기 게이트 유전막(150)은 도 1b 및 도 1c를 참조하여 설명한 바와 같이, 터널 유전막, 전하저장막 및 블로킹 유전막을 포함할 수 있다.

[0093] 상기 게이트 유전막(150)을 갖는 기판(100) 상에 상기 빈 영역들(140)을 채우는 게이트 도전막(155)을 형성할 수 있다. 상기 게이트 도전막(155)은 상기 트렌치(135)의 내부에도 형성될 수 있다. 이때, 상기 게이트 도전막(155)은 상기 트렌치(135)를 부분적으로 채울 수 있다. 이에 따라, 상기 트렌치(135) 내에 상기 게이트 도전막(155)으로 둘러싸인 공간이 형성될 수 있다. 상기 공간의 바닥면은 최하위의 빈 영역(140)의 내 상부면 보다 낮을 수 있다.

[0094] 도 6g를 참조하면, 상기 게이트 도전막(155)을 식각하여 상기 빈 영역들(140)을 각각 채우는 게이트 패턴들(155L, 155a1, 155a, 155U)을 형성할 수 있다. 상기 게이트 도전막(155)의 식각 공정에 의하여 상기 게이트 패턴들(155L, 155a1, 155a, 155U)은 서로 분리된다. 일 실시예에 따르면, 상기 게이트 도전막(155)의 식각 공정은 등방성 식각 공정으로 수행할 수 있다. 상기 게이트 패턴들(155L, 155a1, 155a, 155U)의 형성으로 인하여, 상기 기판(100) 상에 교대로 그리고 반복적으로 적층된 절연 패턴들(110a) 및 게이트 패턴들(155L, 155a1, 155a, 155u)을 포함하는 적층-구조체가 구현될 수 있다. 이어서, 상기 트렌치를 채우는 소자분리 절연막(160)을 형성할 수 있다.

[0095] 도 6h를 참조하면, 상기 소자분리 절연막(160) 및 상기 게이트 유전막(150)을 상기 절연 패턴들(110a) 중에서 최상위 절연 패턴이 노출될 때까지 평탄화시킬 수 있다. 이에 따라, 상기 적층-구조체들 사이에 소자분리 패턴

Micron Ex. 1002, p. 799
Micron v. YMTC
IPR2025-00294

(160a)이 형성될 수 있다.

[0096] 이어서, 기판(100) 상에 도 1b의 층간 유전막(165), 콘택 플러그(167) 및 비트 라인(170)을 형성하여 도 1a, 도 1b 및 도 1c에 개시된 3차원 반도체 기억 소자를 구현할 수 있다.

[0097] 상술된 3차원 반도체 기억 소자의 제조 방법에 따르면, 상기 절연막들(110) 및 희생막들(112)과, 상기 공통 소오스 영역(105)을 연속적으로 패터닝함으로써, 상기 개구부(115) 및 리세스 영역(120)은 자기정렬적으로 형성될 수 있다. 이에 따라, 우수한 신뢰성을 갖고 고집적화에 최적화된 3차원 반도체 기억 소자를 구현할 수 있다.

[0098] 다음으로, 도 2a에 개시된 3차원 반도체 기억 소자의 제조 방법을 도면을 참조하여 설명한다. 이 방법은 도 6a 및 도 6b를 참조하여 설명한 방법들을 포함할 수 있다.

[0099] 도 7a 내지 도 7d는 본 발명의 일 실시예에 따른 3차원 반도체 기억 소자의 제조 방법의 일 변형예를 설명하기 위하여 도 1a의 I-I'을 따라 취해진 단면도들이다.

[0100] 도 6b 및 도 7a를 참조하면, 개구부(115) 및 리세스 영역(120)을 갖는 기판(100) 상에 보호 유전막(173)을 콘포말하게 형성하고, 상기 보호 유전막(173)을 상기 리세스 영역(120)의 바닥면이 노출될 때까지 전면 이방성 식각할 수 있다. 이에 따라, 도 7a에 도시된 바와 같이, 상기 보호 유전막(173)은 상기 개구부(115) 및 리세스 영역(120)의 측벽 상에 한정적으로 형성될 수 있다. 상기 보호 유전막(173)은 상기 희생막(112)에 대하여 식각선택비를 갖는 유전 물질을 포함할 수 있다. 예컨대, 상기 보호 유전막(173)은 산화물로 형성될 수 있다.

[0101] 이어서, 반도체막을 콘포말하게 형성하고, 상기 반도체막 상에 충전 유전막을 형성하고, 상기 충전 유전막 및 반도체막을 평탄화할 수 있다. 이에 따라, 상기 개구부(115) 및 리세스 영역(120) 내에 수직형 활성 패턴(130) 및 충전 유전 패턴(132)이 형성될 수 있다. 상기 수직형 활성 패턴(130)은 상기 리세스 영역(120)의 바닥면과 접촉될 수 있다. 상기 보호 유전막(173)은 상기 수직형 활성 패턴(130)과, 상기 개구부(115) 및 리세스 영역(120)의 내측벽들 사이에 개재될 수 있다.

[0102] 도 7b를 참조하면, 상기 수직형 활성 패턴(130), 충전 유전 패턴(132) 및 보호 유전막(175)의 상단들을 최상위의 절연막(110)의 상부면 보다 낮게 리세스할 수 있다. 이어서, 상기 개구부(110)를 채우는 캐핑 반도체막을 기판(100) 상에 형성할 수 있으며, 상기 캐핑 반도체막을 상기 최상위의 절연막(110)이 노출될 때까지 평탄화시키어 캐핑 반도체 패턴(175)을 형성할 수 있다. 상기 캐핑 반도체 패턴(175)은 상기 리세스된 수직형 활성 패턴(130), 충전 유전 패턴(132) 및 보호 유전막(175)의 상단을 덮을 수 있다.

[0103] 이어서, 상기 절연막들(110) 및 희생막들(112)을 연속적으로 패터닝하여 트렌치(135)를 할 수 있다. 이때, 상술된 바와 같이, 트렌치(135) 옆에 교대로 그리고 반복적으로 적층된 절연 패턴들(110a) 및 희생 패턴들(112a)이 형성될 수 있다.

[0104] 도 7c를 참조하면, 상기 트렌치(135)에 노출된 희생 패턴들(112a)를 제거할 수 있다. 이에 따라, 상기 희생 패턴들(112a) 및 상기 수직형 활성 패턴(130) 상에 개재된 상기 보호 유전막(173)의 일부분들을 각각 노출시키는 빈 영역들(140)을 형성할 수 있다. 상술된 바와 같이, 상기 보호 유전막(173)은 상기 희생 패턴들(112a)과 식각선택비를 가짐으로써, 상기 보호 유전막(173)은 상기 희생 패턴들(112a)을 제거하는 공정으로부터 상기 수직형 활성 패턴(130)을 보호할 수 있다. 상기 보호 유전막(173)은 상기 희생 패턴들(112a)의 제거 공정 시에 식각 정지층으로 사용될 수 있다. 이어서, 상기 보호 유전막(173)의 노출된 일부분들을 제거할 수 있다. 이에 따라, 상기 빈 영역들(140)은 상기 수직형 활성 패턴(130)의 측벽의 일부분들을 각각 노출시킬 수 있다. 상기 보호 유전막(173)의 노출된 부분들을 제거할 때, 보호 유전 패턴들(173a)이 상기 수직형 활성 패턴(130) 및 절연 패턴들(110a) 사이, 및 상기 수직형 활성 패턴(130) 및 리세스 영역(120)의 내측벽 사이에 각각 형성될 수 있다. 상기 보호 유전 패턴들(173a)은 상기 보호 유전막(173)의 잔존된 부분들에 해당한다.

[0105] 도 7d를 참조하면, 상기 빈 영역들(140)을 갖는 기판(100) 상에 게이트 유전막(150)을 콘포말하게 형성하고, 상기 빈 영역들(140)를 각각 채우는 게이트 패턴들(155L, 155a1, 155a, 155U)을 형성할 수 있다. 이 후에, 상기 트렌치를 채우는 소자분리 패턴(160a)을 형성할 수 있다. 이어서, 도 2a의 층간 유전막(165), 콘택 플러그(167) 및 비트 라인(170)을 형성하여, 도 2a의 3차원 반도체 기억 소자를 구현할 수 있다.

[0106] 도 2b에 개시된 3차원 반도체 기억 소자의 제조 방법의 특징적인 것은, 리세스 영역(120a)의 하부면이 공통 소오스 영역(105)의 하부면 보다 높게 형성하는 것, 및 리세스 영역(120a)의 바닥면 아래의 공통 소오스 영역(105)을 상기 제1 도전형의 도펀트로 카운트 도핑하여, 카운트 도핑된 영역(122a)을 형성하는 것일 수 있다. 이외의 공정들은 도 7a 내지 도 7d를 참조하여 설명한 것과 동일할 수 있다.

Micron Ex. 1002, p. 800
Micron v. YMTC
IPR2025-00294

[0107] 다음으로, 도 3a에 도시된 3차원 반도체 기억 소자의 제조 방법을 도면들을 참조하여 설명한다. 이 방법도 도 6a 및 도 6b를 참조하여 설명한 방법들을 포함할 수 있다.

[0108] 도 8a 내지 도 8f는 본 발명의 일 실시예에 따른 3차원 반도체 기억 소자의 제조 방법의 다른 변형예를 설명하기 위하여 도 1a의 I-I'을 따라 취해진 단면도들이다.

[0109] 도 6b 및 도 8a를 참조하면, 개구부(115) 및 리세스 영역(120)을 갖는 기판(100) 상에 제1 서브막(147)을 콘포말하게 형성할 수 있다. 상기 제1 서브막(147)은 상기 개구부(115)의 내측벽, 및 상기 리세스 영역(120)의 내면 상에 콘포말하게 형성될 수 있다. 상기 제1 서브막(147)을 갖는 기판(100) 상에 제1 반도체막(121)을 콘포말하게 형성할 수 있다.

[0110] 도 8b를 참조하면, 상기 리세스 영역(120)의 바닥면 상에 위치한 제1 반도체막(121) 및 제1 서브막(147)을 제거할 수 있다. 이때, 상기 개구부(115) 외부에 위치한 제1 반도체막(121) 및 제1 서브막(147)도 제거될 수 있다. 이에 따라, 상기 리세스 영역(120) 및 개구부(115)의 측벽들 상에 차례로 적층된 제1 서브막(147) 및 제1 반도체 패턴(122)이 형성될 수 있다. 상기 제1 반도체막(121)의 일부분에 해당한다. 일 실시예에 따르면, 상기 제1 반도체막(121) 및 제1 서브막(147)을 상기 리세스 영역(120)의 바닥면이 노출될 때까지 전면 이방성 식각하여, 상기 제1 반도체 패턴(122)을 형성할 수 있다. 상기 제1 반도체 패턴(122)은 상기 제1 서브막(147)에 의하여 상기 리세스 영역(120)의 내면과 접촉되지 않을 수 있다.

[0111] 도 8c를 참조하면, 이어서, 상기 제1 서브막(147)을 등방성 식각하여 상기 리세스 영역(120)의 내측벽의 적어도 일부분을 노출시킬 수 있다. 이때, 상기 리세스 영역(120) 내 상기 제1 반도체 패턴(122)의 일부분도 식각될 수 있다.

[0112] 도 8d를 참조하면, 이어서, 상기 기판(100) 상에 제2 반도체막을 콘포말하게 형성하고, 상기 제2 반도체막 상에 상기 개구부(115)를 채우는 충전 유전막을 형성할 수 있다. 상기 제2 반도체막은 상기 제1 반도체 패턴(122)과 접촉되며, 또한, 상기 리세스 영역(120)의 바닥면 및 노출된 내측벽과 접촉될 수 있다.

[0113] 상기 제2 반도체막 및 충전 유전막을 평탄화시키어, 상기 개구부(115) 및 리세스 영역(120) 내에 제2 반도체 패턴(124) 및 충전 유전 패턴(132)을 형성할 수 있다. 상기 제2 반도체 패턴(124)은 상기 제1 반도체 패턴(124) 및 상기 리세스 영역(120)의 바닥면 및 내측벽의 적어도 일부분과 접촉될 수 있다. 상기 제1 및 제2 반도체 패턴들(122, 124)은 수직형 활성 패턴(130a)을 구성할 수 있다.

[0114] 도 8e를 참조하면, 이어서, 상기 절연막들(110) 및 희생막들(112)을 연속적으로 패터닝하여, 트렌치(135), 절연 패턴들(110a) 및 희생 패턴들(112)을 형성할 수 있다. 상기 희생 패턴들(112)을 제거하여 빈 영역들(140)을 형성할 수 있다. 이때, 상기 빈 영역들(140)은 상기 제1 서브막(147)의 일부분들을 각각 노출시킬 수 있다.

[0115] 도 8f를 참조하면, 상기 빈 영역들(140)을 갖는 기판(100) 상에 제2 서브막(149)을 콘포말하게 형성할 수 있다. 상기 제2 서브막(149)은 상기 빈 영역들(140)의 내면들 상에 콘포말하게 형성될 수 있다. 상기 제2 서브막(149)은 상기 빈 영역들(140)에 노출된 제1 서브막(147)과 접촉될 수 있다. 상기 제1 및 제2 서브막들(147, 149)은 게이트 유전막(150a)에 포함될 수 있다. 상기 제1 서브막(147)은 적어도 터널 유전막의 일부분을 포함할 수 있으며, 상기 제2 서브막(149)은 적어도 블로킹 유전막의 일부분을 포함할 수 있다. 이때, 상기 제1 및 제2 서브막들(147, 149) 중에서 어느 하나는 전하저장막을 포함할 수 있다. 일 실시예에 따르면, 상기 제1 및 제2 서브막들(147, 149)은 도 3b를 참조하여 설명한 것과 동일할 수 있다. 이와는 달리, 상기 제1 및 제2 서브막들(147, 149)은 도 3c의 제1 서브막(147a) 및 제2 서브막(149a)으로 구현될 수 있다. 이와는 또 다르게, 상기 제1 및 제2 서브막들(147, 149)은 도 3d의 제1 및 제2 서브막들(149b, 149c)로 구현될 수도 있다.

[0116] 이어서, 상기 빈 영역들(140)을 각각 채우는 게이트 패턴들(155L, 155a1, 155a, 155U)을 형성하고, 상기 트렌치를 채우는 소자분리 패턴(160a)을 형성할 수 있다. 이어서, 도 3a에 개시된 층간 유전막(165), 콘택 플러그(167) 및 비트 라인(170)을 형성할 수 있다.

[0117] 다음으로, 도 4a 및 도 4b에 개시된 3차원 반도체 기억 소자의 제조 방법을 설명한다. 이 방법도 도 6a 및 도 6b를 참조하여 설명한 방법들을 포함할 수 있다.

[0118] 도 9a 내지 도 9d는 본 발명의 일 실시예에 따른 3차원 반도체 기억 소자의 제조 방법의 또 다른 변형예를 설명하기 위하여 도 1a의 I-I'을 따라 취해진 단면도들이다.

[0119] 도 6b 및 도 9a를 참조하면, 개구부(115) 및 리세스 영역(120)을 갖는 기판(100) 상에 게이트 유전막(150d)을 콘포말하게 형성할 수 있다. 상기 게이트 유전막(150d) 상에 제1 반도체막을 콘포말하게 형성할 수 있다. 이어

Micron Ex. 1002, p. 801
Micron v. YMTC
IPR2025-00294

서, 상기 제1 반도체막 및 게이트 유전막(150d)을 상기 리세스 영역(120)의 바닥면이 노출될 때까지 평탄화시키어, 상기 개구부(115) 및 리세스 영역(120) 내에 제1 반도체 패턴(122)을 형성할 수 있다. 이때, 상기 게이트 유전막(150d)도 개구부(115) 및 리세스 영역(120) 내에 한정적으로 배치될 수 있다. 상기 제1 반도체 패턴(122)은 상기 게이트 유전막(150d)에 의하여 상기 개구부(115)의 측벽 및 리세스 영역(120)의 내면과 접촉되지 않을 수 있다.

[0120] 도 9b를 참조하면, 이어서, 상기 기판(100) 전면 상에 제2 반도체막을 콘포말하게 형성하고, 상기 제2 반도체막 상에 충전 유전막을 형성할 수 있다. 상기 충전 유전막 및 제2 반도체막을 평탄화시키어, 상기 개구부(115) 및 리세스 영역(120) 내에 제2 반도체 패턴(124) 및 충전 유전 패턴(132)을 형성할 수 있다. 상기 제1 및 제2 반도체 패턴들(122, 124)은 수직형 활성 패턴(130a)을 구성할 수 있다. 이어서, 상기 절연막들(110) 및 희생막들(112)을 연속적으로 패터닝하여, 트렌치(135), 절연 패턴들(110a) 및 희생 패턴들(112a)을 형성할 수 있다. 본 변형예에 따르면, 상기 트렌치(135)의 아래에 상기 절연막들(110) 중에서 최하위의 절연막(110)의 일부분이 잔존될 수 있다.

[0121] 도 9c를 참조하면, 상기 희생 패턴들(112a)을 제거하여 빈 영역들(140)을 형성할 수 있다. 상기 빈 영역들(140)은 상기 게이트 유전막(150d)을 노출시킬 수 있다. 특히, 상기 게이트 유전막(150d) 내 블로킹 유전막(도 4b의 143)을 노출시킬 수 있다.

[0122] 이어서, 상기 기판(100) 상에 상기 빈 영역들(140)을 채우는 게이트 도전막(155)을 형성할 수 있다.

[0123] 도 9d를 참조하면, 상기 빈 영역들(140) 외부의 게이트 도전막(155)을 제거하여, 상기 빈 영역들(140)을 각각 채우는 게이트 패턴들(155L, 155a1, 155a, 155U)을 형성할 수 있다. 이어서, 상기 트렌치를 채우는 소자분리 패턴(160a)을 형성할 수 있다. 이어서, 도 4a의 층간 유전막(165), 콘택 플러그(167) 및 비트 라인(170)을 형성할 수 있다. 이로써, 도 4a 및 도 4b의 3차원 반도체 기억 소자를 구현할 수 있다.

[0124] 다음으로, 도 5a 및 도 5b의 3차원 반도체 기억 소자의 제조 방법을 도면들을 참조하여 설명한다.

[0125] 도 10a 내지 10c는 본 발명의 일 실시예에 따른 3차원 반도체 기억 소자의 제조 방법의 또 다른 변형예를 설명하기 위하여 도 4a의 II-II'을 따라 취해진 단면도들이다.

[0126] 도 10a를 참조하면, 기판(100) 내 공통 소오스 영역(105) 상에 절연막들(210) 및 게이트막들(220)을 교대로 그리고 반복적으로 적층시킬 수 있다. 상기 절연막들(210) 및 게이트막들(220L, 220a, 220)은 평판 형태일 수 있다.

[0127] 도 10b를 참조하면, 최상위의 절연막 및 게이트막을 패터닝하여 최상위 게이트 패턴(220U) 및 최상위 절연 패턴(210U)을 형성할 수 있다. 상기 최상위 게이트 및 절연 패턴들(220U, 210U)은 도 5a에 개시된 바와 같이 일 방향으로 연장된 라인 형태일 수 있다. 하부 층간 유전막(163)을 기판(100) 상에 형성하고, 상기 하부 층간 유전막(163)을 평탄화할 수 있다.

[0128] 상기 절연막들(210), 게이트막들(220L, 220a, 220) 및 최상위 게이트 및 절연 패턴들(220U, 210)과, 상기 공통 소오스 영역(105)을 연속적으로 패터닝하여 개구부(115) 및 리세스 영역(120)을 형성할 수 있다. 상기 리세스 영역(120)은 상기 개구부(115)에 자기 정렬적으로 형성될 수 있다. 상기 리세스 영역(120)의 바닥면을 통하여 제1 도전형의 도펀트를 제공하여, 고농도 영역(122)을 형성할 수 있다.

[0129] 이어서, 상기 기판(100) 전면 상에 게이트 유전막(150d)을 콘포말하게 형성하고, 게이트 유전막(150d) 상에 제1 반도체막을 콘포말하게 형성할 수 있다. 상기 제1 반도체막 및 게이트 유전막(150d)을 상기 리세스 영역(120)의 바닥면이 노출될 때까지 전면 이방성 식각하여 상기 개구부(115) 및 리세스 영역(120) 내에 제1 반도체 패턴(122)을 형성할 수 있다.

[0130] 도 10c를 참조하면, 이어서, 상기 기판(100) 전면 상에 제2 반도체막을 콘포말하게 형성하고, 제2 반도체막 상에 충전 유전막을 형성할 수 있다. 상기 충전 유전막 및 제2 반도체막을 평탄화시키어, 상기 개구부(115) 및 리세스 영역(120)내에 제2 반도체 패턴(124) 및 충전 유전 패턴(132)을 형성할 수 있다. 상기 제1 및 제2 반도체 패턴들(122, 124)은 수직형 활성 패턴(130a)을 구성할 수 있다.

[0131] 이어서, 도 5b의 상부 유전막(165), 콘택 플러그(167) 및 비트 라인(170)을 형성할 수 있다. 이로써, 도 5a 및 도 5b에 개시된 3차원 반도체 기억 소자를 구현할 수 있다.

[0132] 상술한 방법에 따르면, 상기 최상위의 게이트 패턴(220U)을 형성한 후에, 상기 수직형 활성 패턴(130a)을 형성

Micron Ex. 1002, p. 802
Micron v. YMTC
IPR2025-00294

할 수 있다. 이와는 달리, 상기 개구부(120) 및 리세스 영역(120)과, 상기 수직형 활성 패턴(130a)을 형성한 후에, 상기 최상위의 게이트 패턴(220U)을 형성할 수도 있다.

[0133] 한편, 상기 최상위의 게이트 패턴(220U)을 형성할 때, 상기 최상위의 게이트 패턴(220U) 아래의 게이트막들(220, 220a, 220L) 및 절연막들(110)을 연속적으로 패터닝하여 라인 형태의 적층-구조체를 형성할 수 있다. 이 경우에, 도 4a 및 도 4b에 개시된 3차원 반도체 기억 소자를 구현할 수 있다. 다시 말해서, 도 4a 및 도 4b의 3차원 반도체 기억 소자는 도 9a 내지 도 9d를 참조하여 설명한 방법 또는 현재 문단에서 설명하는 도 10a 내지 도 10c의 제조 방법의 일부를 변형하는 방법으로 구현될 수 있다.

[0134] (제2 실시예)

[0135] 본 실시예에서 상술된 제1 실시예와 동일한 구성 요소들은 동일한 참조부호를 사용한다.

[0136] 도 11은 본 발명의 다른 실시예에 따른 3차원 반도체 기억 소자를 나타내는 단면도이다.

[0137] 도 11을 참조하면, 기판(100) 내에 제1 도전형의 도펀트로 도핑된 웰 영역(102)이 배치될 수 있다. 상기 웰 영역(102) 상에 적층-구조체가 배치될 수 있다. 상기 적층-구조체는 교대로 그리고 반복적으로 적층된 절연 패턴들(110a) 및 게이트 패턴들(155L, 155a1, 155a, 155U)을 포함한다. 상기 웰 영역(102) 상에 복수의 상기 적층-구조체들이 배치될 수 있다. 상기 적층-구조체들은 옆으로 서로 이격된다. 상기 적층-구조체들은 도 1a에 개시된 바와 같이 평행하게 연장될 수 있다.

[0138] 수직형 활성 패턴(280)이 상기 적층-구조체를 관통한다. 또한, 상기 수직형 활성 패턴(280)은 그 아래의 기판(100)에 형성된 리세스 영역(120) 내로 연장될 수 있다. 상기 수직형 활성 패턴(280)은 차례로 적층된 하부 활성 패턴(250) 및 상부 활성 패턴(270)을 포함할 수 있다. 상기 하부 활성 패턴(250)은 상기 리세스 영역(120)을 채울 수 있다. 상기 하부 활성 패턴(250)은 상기 리세스 영역(120)의 내면(즉, 내측벽 및 바닥면)과 접촉될 수 있다. 상기 하부 활성 패턴(250)은 상기 리세스 영역(120) 내에 배치되어, 상기 웰 영역(102)과 접촉된다. 상기 하부 활성 패턴(250)의 상부면은 상기 기판(100)의 상부면 보다 높은 레벨에 위치할 수 있다. 일 실시예에 따르면, 도 11에 개시된 바와 같이, 상기 하부 활성 패턴(250)의 상부면은 최하위의 게이트 패턴(155L)의 하부면 보다 높고 상기 최하위의 게이트 패턴(155L)의 상부면 보다 낮을 수 있다. 하지만, 본 발명은 여기에 한정되지 않는다.

[0139] 상기 상부 활성 패턴(270)은 상기 하부 활성 패턴(250)의 상부면과 접촉된다. 일 실시예에 따르면, 상기 하부 활성 패턴(250)은 필라 형태일 수 있고, 상기 상부 활성 패턴(270)은 파이프 형태 또는 마카로니 형태일 수 있다. 이 경우에, 상기 상부 활성 패턴(270)의 내부는 충전 유전 패턴(132)에 의하여 채워질 수 있다. 상기 하부 및 상부 활성 패턴들(250, 270)은 반도체 물질을 포함할 수 있다. 예컨대, 상기 하부 및 상부 활성 패턴들(250, 270)은 상기 기판(100)의 반도체 물질과 동일한 반도체 물질을 포함할 수 있다. 예컨대, 상기 기판(100)이 실리콘 기판인 경우에, 상기 하부 및 상부 활성 패턴들(250, 270)은 실리콘을 포함할 수 있다. 일 실시예에 따르면, 상기 하부 활성 패턴(250)은 단결정 상태일 수 있다. 상기 상부 활성 패턴(270)은 다결정 상태일 수 있다. 상기 하부 활성 패턴(250)은 상기 웰 영역(102)과 동일한 타입의 도펀트로 도핑될 수 있다. 상기 상부 활성 패턴(250)은 상 웰 영역(102)과 동일한 타입의 도펀트로 도핑되거나, 언도프트 상태(undoped state)일 수 있다.

[0140] 상기 리세스 영역(120)의 바닥면 아래에 고농도 영역(122)이 배치될 수 있다. 상기 고농도 영역(122)은 상기 웰 영역(102)의 일부분에 해당할 수 있으며, 상기 웰 영역(102)의 다른 부분에 비하여 높은 도펀트 농도를 가질 수 있다. 상기 각 게이트 패턴(155L, 155a1, 155a 또는 155U)과 상기 수직형 활성 패턴(280)의 측벽 사이에 게이트 유전막(150)이 배치될 수 있다. 제1 실시예에 설명한 것과 같이, 상기 게이트 유전막(150)은 수평적으로 연장되어 상기 각 게이트 패턴(155L, 155a1, 155a 또는 155U)의 상부면 및 하부면을 덮을 수 있다.

[0141] 일 실시예에 따르면, 상기 적층-구조체 양측의 상기 기판(100) 내에 공통 소오스 영역(105a)이 배치될 수 있다. 상기 공통 소오스 영역(105a)은 상기 하부 활성 패턴(250)으로부터 옆으로 이격될 수 있다. 상기 공통 소오스 영역(105a)은 제2 도전형의 도펀트로 도핑된다. 상기 적층-구조체들 사이에 소자분리 패턴(160a)이 배치될 수 있다. 상기 공통 소오스 영역(105a)은 상기 소자분리 패턴(160a) 아래에 배치될 수 있다. 3차원 반도체 기억 소자의 동작 시에, 상기 최하위의 게이트 패턴(155L) 아래의 웰 영역(102)에 채널이 형성될 수 있다. 상기 채널에 의하여 상기 수직형 활성 패턴(280)에 생성되는 채널들과 상기 공통 소오스 영역(105a)이 전기적으로 접속될 수 있다.

Micron Ex. 1002, p. 803
Micron v. YMTC
IPR2025-00294

[0142] 층간 유전막(165)을 관통하는 콘택 플러그(167)는 상기 상부 활성 패턴(270)의 상단에 접속될 수 있다. 상기 상부 활성 패턴(270)의 윗부분 내에 상기 제2 도전형의 도펀트로 도핑된 드레인이 배치될 수 있다. 상기 드레인의 하부면은 상기 적층-구조체 내 최상위의 게이트 패턴(155U)의 상부면에 근접한 레벨에 위치할 수 있다.

[0143] 상술된 3차원 반도체 기억 소자에 따르면, 상기 수직형 활성 패턴(280)에 포함된 상기 하부 활성 패턴(250)이 상기 리세스 영역(120)을 채워 상기 웰 영역(102)과 접촉된다. 이로써, 수직형 셀 스트링의 동작들의 신뢰성이 향상될 수 있다. 특히, 셀 트랜지스터들의 소거 동작의 신뢰성이 향상될 수 있다. 또한, 상기 수직형 활성 패턴(280)은 상기 하부 활성 패턴(250) 및 상부 활성 패턴(270)으로 구분될 수 있다. 이에 따라, 상기 하부 활성 패턴(250)에 독립적인 추가 공정을 수행할 수 있다. 예컨대, 상기 하부 활성 패턴(250)에 도펀트 농도를 조절할 수 있다. 이에 따라, 상기 3차원 반도체 기억 소자의 특성 조절이 매우 용이해 질 수 있다. 결과적으로, 우수한 신뢰성을 갖고 고집적화에 최적화된 3차원 반도체 기억 소자를 구현할 수 있다.

[0144] 다음으로, 본 실시예의 변형예들을 도면들을 참조하여 설명한다.

[0145] 도 12a는 본 발명의 다른 실시예에 따른 3차원 반도체 기억 소자의 일 변형예를 나타내는 단면도이다.

[0146] 도 12a를 참조하면, 본 변형예에 따르면, 공통 소오스 영역(105)은 상기 적층 구조체들 아래로 연장될 수 있다. 예컨대, 상기 최하위의 게이트 패턴(155L)의 하부면의 전체가 상기 공통 소오스 영역(105)과 실질적으로 중첩될 수 있다. 이 경우에, 상기 리세스 영역(120)은 상기 공통 소오스 영역(105)을 관통하여, 상기 리세스 영역(120)의 바닥면은 상기 공통 소오스 영역(105)의 하부면 보다 낮은 레벨에 위치할 수 있다. 상기 공통 소오스 영역(105)은 상기 하부 활성 패턴(250)의 측벽과 접촉될 수 있다.

[0147] 도 12b는 본 발명의 다른 실시예에 따른 3차원 반도체 기억 소자의 다른 변형예를 나타내는 단면도이다.

[0148] 도 12b를 참조하면, 본 변형예에 따르면, 수직형 활성 패턴(280a)은 차례로 적층된 하부 활성 패턴(250) 및 상부 활성 패턴(270a)을 포함할 수 있다. 상기 상부 활성 패턴(270a)과 그 옆의 각 게이트 패턴(150a1, 155a 또는 155U) 사이에 개재된 게이트 유전막(150a)은 제1 서브막(147) 및 제2 서브막(149)을 포함할 수 있다. 제1 실시예에서 설명한 바와 같이, 상기 제1 서브막(147)은 수직으로 연장되어, 상기 상부 활성 패턴(270a) 및 절연 패턴(110a) 사이에 개재될 수 있다. 상기 제2 서브막(149)은 수평으로 연장되어 상기 각 게이트 패턴(150a1, 150a 또는 155U)의 하부면 및 상부면을 덮을 수 있다.

[0149] 상기 하부 활성 패턴(250)의 상부면이 상기 최하위의 게이트 패턴(155L)의 하부면의 레벨 및 상부면의 레벨 사이의 레벨에 위치하는 경우에, 상기 하부 활성 패턴(250) 및 상기 최하위의 게이트 패턴(155L) 사이에는 상기 제1 서브막(147)이 존재하지 않을 수 있다.

[0150] 상기 상부 활성 패턴(270a)은 제1 반도체 패턴(265) 및 제2 반도체 패턴(267)을 포함할 수 있다. 상기 제1 반도체 패턴(265)은 상기 제1 서브막(147) 및 제2 반도체 패턴(267) 사이에 개재될 수 있다. 상기 제1 반도체 패턴(265)은 상기 제1 서브막(147)의 일부분에 의하여 상기 하부 활성 패턴(250)의 상부면으로부터 이격될 수 있다. 상기 제2 반도체 패턴(267)은 상기 제1 반도체 패턴(265)과 접촉된다. 또한, 상기 제2 반도체 패턴(267)은 상기 하부 활성 패턴(250)의 상부면과 접촉될 수 있다.

[0151] 상기 하부 활성 패턴(250)의 상부면은 상기 제2 반도체 패턴(267)과 접촉된 중앙부(252c) 및 상기 제1 서브막(147)과 접촉된 가장자리(252e)로 구분될 수 있다. 이때, 상기 하부 활성 패턴(250)의 상부면의 중앙부(252c)는 가장자리(252e) 보다 낮은 레벨에 위치할 수 있다.

[0152] 상기 제1 및 제2 반도체 패턴들(265, 267)를 포함하는 상부 활성 패턴(270a)은 파이프 형태 또는 마카로니 형태일 수 있다. 이때, 상기 상부 활성 패턴(270a)의 내부는 충전 유전 패턴(132)으로 채워질 수 있다. 상기 제1 및 제2 반도체 패턴들(265, 267)은 다결정 상태일 수 있다.

[0153] 본 변형예에서, 상기 제1 및 제2 서브막들(147, 149)은 도 3c의 제1 및 제2 서브막들(147a, 149a) 또는 도 3d의 제1 및 제2 서브막들(147b, 149b)과 대체될 수 있다. 이와는 다르게, 상술한 제1 실시예에 설명한 것과 같이, 상기 제1 및 제2 서브막들(147, 149)은 터널 유전막, 전하저장막 및 블로킹 유전막의 다른 조합으로 구성될 수도 있다.

[0154] 도 12c는 본 발명의 다른 실시예에 따른 3차원 반도체 기억 소자의 또 다른 변형예를 나타내는 단면도이다.

[0155] 도 12c를 참조하면, 본 변형예에 따르면, 상기 하부 활성 패턴(250)의 상부면의 적어도 가장자리는 상기 최하위의 게이트 패턴(155L)의 상부면 보다 높은 레벨에 위치할 수 있다. 이 경우에, 상기 하부 활성 패턴(250)의 측

Micron Ex. 1002, p. 804
Micron v. YMTC
IPR2025-00294

벽과 상기 최하위의 게이트 패턴(155L) 사이에는 산화막(255)이 배치될 수 있다. 상기 산화막(255)은 상기 하부 활성 패턴(250)의 측벽이 산화되어 형성된 산화막일 수 있다. 이로써, 상기 산화막(255) 옆에 위치한 상기 하부 활성 패턴(250)의 제1 부분의 폭은 상기 리세스 영역(120) 내에 배치된 상기 하부 활성 패턴(250)의 제2 부분의 폭 보다 작을 수 있다.

[0156] 상기 게이트 유전막(150)이 상기 제1 및 제2 서브막들(147, 149)을 포함하는 경우에, 상기 산화막(255) 및 상기 제2 서브막(149)이 상기 하부 활성 패턴(250)의 측벽 및 최하위의 게이트 패턴(155L) 사이에 개재될 수 있다. 다시 말해서, 상기 하부 활성 패턴(250)의 측벽과 상기 최하위의 게이트 패턴(155L) 사이에는 상기 제1 서브막(147)이 존재하지 않을 수 있다. 일 실시예에 따르면, 상기 제1 서브막(147)이 전하저장막을 포함하는 경우에, 상기 하부 활성 패턴(250)의 측벽과 상기 최하위의 게이트 패턴(155L) 사이에는 상기 전하저장막이 존재하지 않을 수 있다. 이에 따라, 상기 최하부의 게이트 패턴(155L)을 포함하는 접지 선택 트랜지스터의 신뢰성을 향상시킬 수 있다. 또한, 상기 하부 활성 패턴(250)은 단결정 상태일 수 있다. 이에 따라, 상기 접지 선택 트랜지스터의 신뢰성은 더욱 향상될 수 있다.

[0157] 도 12d는 본 발명의 다른 실시예에 따른 3차원 반도체 기억 소자의 또 다른 변형예를 나타내는 단면도이다.

[0158] 도 12d를 참조하면, 본 변형예에 따르면, 하부 활성 패턴(250)의 상부면의 가장자리는 상기 기판(100)으로부터 2번째로 적층된 게이트 패턴(155a1)의 상부면 보다 높은 레벨에 위치하고, 3번째로 적층된 게이트 패턴의 하부면 보다 낮은 레벨에 위치할 수 있다. 상기 2번째 적층된 게이트 패턴(155a1) 및 제3 번째로 적층된 게이트 패턴은 상기 최하위의 게이트 패턴(155L) 상부에 배치된다. 이 경우에, 상기 2번째로 적층된 게이트 패턴(155a1)과 상기 하부 활성 패턴(250)의 측벽 사이에도, 산화막(255)이 배치될 수 있다.

[0159] 본 변형예에 따르면, 상기 2번째로 적층된 게이트 패턴(155a1)을 포함하는 트랜지스터는 더미 트랜지스터 또는 제2 접지 선택 트랜지스터로 사용될 수 있다. 이 경우에, 예컨대, 상기 게이트 유전막(150a) 옆에 배치되고 셀 트랜지스터들의 게이트들로 사용되는 게이트 패턴들(155a) 중에서, 상기 2번째로 적층된 게이트 패턴(155a1)에 가장 인접한 게이트 패턴(예컨대, 3번째로 적층된 게이트 패턴)은 더미 셀 게이트에 해당할 수 있다. 상술된 바와 같이, 상기 더미 셀 게이트를 포함하는 더미 셀 트랜지스터는 데이터를 저장하는 셀 트랜지스터와 동일한 형태를 가지는 반면에, 셀 트랜지스터로서의 기능을 수행하지 않을 수 있다. 예컨대, 상기 셀 스트링의 동작 시에, 상기 더미 셀 트랜지스터는 온오프 기능만을 수행할 수 있다. 하지만, 본 발명은 여기에 한정되지 않는다. 상기 3번째로 적층된 게이트 패턴은 셀 트랜지스터로 사용될 수도 있다.

[0160] 도 12e는 본 발명의 다른 실시예에 따른 3차원 반도체 기억 소자의 또 다른 변형예를 나타내는 단면도이다.

[0161] 도 12e를 참조하면, 본 변형예에 따르면, 상부 활성 패턴(270a)의 측벽과 게이트 패턴(155a1, 155a 또는 155U) 사이의 게이트 유전막(150d)의 전체가 실질적으로 수직으로 연장되어, 상부 활성 패턴(270a) 및 절연 패턴(110a) 사이에 개재될 수 있다. 이 경우에, 상기 하부 활성 패턴(250)과 상기 최하위의 게이트 패턴(155L) 사이에는 산화막(255) 만이 배치될 수 있다.

[0162] 도 12f는 본 발명의 다른 실시예에 따른 3차원 반도체 기억 소자의 또 다른 변형예를 나타내는 단면도이다.

[0163] 도 12f를 참조하면, 본 변형예에 따르면, 보호 유전 패턴(173a)이 상부 활성 패턴(270a) 및 절연 패턴(110a) 사이에 개재될 수 있다. 상기 보호 유전 패턴(173a)은 제조 공정 시에, 상기 상부 활성 패턴(270)을 보호할 수 있는 유전 물질을 포함할 수 있다. 본 변형예에 따르면, 상기 하부 활성 패턴(250)과 상기 리세스 영역(120)의 내측벽 사이에는 상기 보호 유전 패턴(173a)이 존재하지 않을 수 있다.

[0164] 상술된 변형예들의 구성 요소들은 상충되지 않는 한에서 서로 조합되거나, 대체될 수 있다. 예컨대, 도 11의 공통 소오스 영역(105a)은 도 12b 내지 도 12f의 공통 소오스 영역(105)과 대체될 수 있다. 예컨대, 상기 도 11 및 도 12a 내지 12f의 3차원 반도체 기억 소자들에서 상기 하부 활성 패턴들(250)의 상부면의 높이는 서로 대체될 수 있다.

[0165] 도 13a 내지 13e는 본 발명의 다른 실시예에 따른 3차원 반도체 기억 소자의 제조 방법을 설명하기 위한 단면도들이다.

[0166] 도 13a를 참조하면, 기판(100)에 제1 도전형의 도펀트를 제공하여 웰 영역(102)을 형성할 수 있다. 상기 웰 영역(102) 상에 교대로 그리고 반복적으로 적층된 절연막들(110) 및 희생막들(112)을 형성할 수 있다.

[0167] 상기 절연막들(110), 희생막들(112) 및 기판(100)을 연속적으로 패터닝하여 차례로 적층된 리세스 영역(120) 및 개구부(115)를 형성할 수 있다. 상기 개구부(115)는 상기 절연막들(110) 및 희생막들(112)을 관통하고, 상기 리

Micron Ex. 1002, p. 805
Micron v. YMTC
IPR2025-00294

Micron Ex. 1002, p. 806
Micron v. YMTC
IPR2025-00294

세스 영역(120)은 상기 개구부(115)에 자기 정렬되고, 상기 기판(100) 내에 형성될 수 있다. 상기 리세스 영역(120)은 상기 웰 영역(102)을 노출시킬 수 있다.

[0168] 도 13b를 참조하면, 상기 리세스 영역(120)의 바닥면을 통하여 상기 제1 도전형의 도펀트를 제공하여 고농도 영역(122)을 형성할 수 있다.

[0169] 상기 리세스 영역(120)을 채우는 하부 활성 패턴(250)을 형성할 수 있다. 상기 하부 활성 패턴(250)의 상부면은 상기 기판(100)의 상부면 보다 높을 수 있다. 이로써, 상기 하부 활성 패턴(250)의 일부분은 상기 개구부(115)의 아랫부분을 채울 수 있다. 상기 하부 활성 패턴(250)은 상기 웰 영역(102)과 접촉된다.

[0170] 상기 하부 활성 패턴(250)은 상기 리세스 영역(120)에 기판(100)을 시드층(seed layer)으로 사용하는 선택적 에피택시얼 성장 공정으로 형성될 수 있다. 이에 따라, 상기 하부 활성 패턴(250)은 단결정 상태로 형성될 수 있다. 상기 하부 활성 패턴(250)은 필라 형태로 형성될 수 있다. 상기 하부 활성 패턴(250)은 제1 도전형의 도펀트로 도핑될 수 있다. 상기 하부 활성 패턴(250)은 상기 선택적 에피택시얼 성장 공정 시에 인시츄(in-situ) 방식으로 형성될 수 있다. 이와는 다르게, 상기 하부 활성 패턴(250)은 이온 주입 방식으로 도핑될 수도 있다.

[0171] 도 13c를 참조하면, 상기 하부 활성 패턴(250)을 갖는 기판(100) 상에 반도체막을 콘포말하게 형성하고, 상기 반도체막 상에 상기 개구부(115)를 채우는 충전 유전막을 형성할 수 있다. 상기 반도체막은 상기 개구부의 내측벽 및 상기 하부 활성 패턴(250)의 상부면 상에 콘포말하게 형성될 수 있다. 상기 반도체막은 상기 하부 활성 패턴(250)과 접촉된다. 상기 반도체막은 화학기상 증착 공정 및/또는 원자층 증착법으로 형성될 수 있다. 이에 따라, 상기 반도체막은 다결정 상태로 형성될 수 있다.

[0172] 상기 충전 유전막 및 반도체막을 평탄화시키어, 상기 개구부(115) 내에 상부 활성 패턴(270) 및 충전 유전 패턴(132을 형성할 수 있다. 상기 하부 및 상부 활성 패턴들(250, 270)은 수직형 활성 패턴(280)을 구성할 수 있다.

[0173] 이어서, 상기 절연막들(110) 및 희생막들(112)을 연속적으로 패터닝하여, 트렌치(135), 절연 패턴들(110a) 및 희생 패턴들(112a)을 형성할 수 있다. 상기 수직형 활성 패턴(280)은 상기 절연 패턴들(110a) 및 희생 패턴들(112a)을 관통한다.

[0174] 이어서, 상기 트렌치(135) 아래의 상기 웰 영역(102) 내에 제2 도전형의 도펀트를 제공하여 공통 소오스 영역(105a)을 형성할 수 있다.

[0175] 도 13d를 참조하면, 상기 트렌치(135)에 노출된 희생 패턴들(112a)을 제거하여 빈 영역들(140)을 형성할 수 있다. 일 실시예에 따르면, 상기 빈 영역들(140) 중에서 적어도 최하위의 것은 상기 하부 활성 패턴(250)의 측벽을 노출시킬 수 있다.

[0176] 상기 빈 영역들(140)을 갖는 기판(100) 상에 게이트 유전막(150)을 콘포말하게 형성하고, 상기 빈 영역들(140)을 채우는 게이트 도전막(155)을 형성할 수 있다.

[0177] 도 13e를 참조하면, 상기 게이트 도전막(155)을 식각하여 상기 빈 영역들(140) 내에 각각 배치된 게이트 패턴들(155L, 155a1, 155a, 155U)을 형성할 수 있다. 이어서, 상기 트렌치를 채우는 소자분리 패턴(160a)을 형성할 수 있다. 이어서, 도 11의 층간 유전막(165), 콘택 플러그(167) 및 비트 라인(170)을 형성하여, 도 11의 3차원 반도체 기억 소자를 구현할 수 있다.

[0178] 상술된 3차원 반도체 기어 소자에 따르면, 상기 개구부(115) 및 리세스 영역(120)은 자기정렬적으로 형성되고, 상기 하부 활성 패턴(250)은 상기 리세스 영역(120)을 채워 상기 웰 영역(102)과 접촉된다. 상기 하부 활성 패턴(250)을 형성한 후에, 상기 상부 활성 패턴(270)이 형성될 수 있다. 이에 따라, 상기 하부 활성 패턴(250)은 독립적으로 도핑 농도를 조절할 수 있다. 그 결과, 우수한 신뢰성을 갖는 3차원 반도체 기억 소자를 구현할 수 있다.

[0179] 도 12a에 도시된 3차원 반도체 기억 소자의 제조 방법의 특징적인 부분을 도 14를 참조하여 설명한다.

[0180] 도 14는 본 발명의 다른 실시예에 따른 3차원 반도체 기억 소자의 제조 방법의 일 변형예를 설명하기 위한 단면도이다.

[0181] 도 14를 참조하면, 웰 영역(102)을 갖는 기판(100)에 제2 도전형의 도펀트를 주입하여 공통 소오스 영역(105)을 형성할 수 있다. 상기 공통 소오스 영역(105) 상에 교대로 그리고 반복적으로 적층된 절연막들(110) 및 희생막들(112)을 형성할 수 있다.

Micron Ex. 1002, p. 807
Micron v. YMTC
IPR2025-00294

[0182] 상기 절연막들(110), 희생막들(112) 및 기판(100)을 연속적으로 패터닝하여 개구부(115) 및 리세스 영역(120)을 형성할 수 있다. 상기 리세스 영역(120)은 상기 공통 소오스 영역(105)을 관통하여, 상기 리세스 영역(120)의 바닥면은 상기 공통 소오스 영역(105)의 하부면 보다 낮을 수 있다. 상기 리세스 영역(120)의 바닥면은 상기 웰 영역(102)을 노출시킬 수 있으며, 상기 리세스 영역(120)의 내측벽은 상기 공통 소오스 영역(105)을 노출시킬 수 있다. 이 후의 공정들은 도 13b 내지 도 13e를 참조하여 설명한 것과 동일하게 수행할 수 있다. 다만, 도 13c를 참조하여 설명한 공통 소오스 영역(105a)의 형성 방법은 생략될 수 있다.

[0183] 도 15a 내지 15f는 본 발명의 다른 실시예에 따른 3차원 반도체 기억 소자의 제조 방법의 다른 변형예를 설명하기 위한 단면도들이다. 본 변형예에 따른 제조 방법은 도 14를 참조하여 설명한 방법을 포함할 수 있다.

[0184] 도 14 및 도 15a를 참조하면, 개구부(115) 및 리세스 영역(120)을 갖는 기판(100)에 상기 리세스 영역(120)을 채우는 하부 활성 패턴(250)을 형성할 수 있다. 상기 하부 활성 패턴(250)은 도 13b를 참조하여 설명한 것과 동일하게 형성할 수 있다. 상기 하부 활성 패턴(250)의 상부면의 레벨은 조절될 수 있다. 도 15a에서는, 상기 하부 활성 패턴(250)의 상부면이 최하위의 희생막의 상부면의 레벨 보다 높고 상기 최하위의 희생막 바로 위의 희생막의 하부면의 레벨 보다 낮게 도시하였다.

[0185] 상기 하부 활성 패턴(250)을 갖는 기판(100) 상에 제1 서브막(147)을 콘포말하게 형성할 수 있다. 상기 제1 서브막(147) 상에 제2 반도체막(264)을 콘포말하게 형성할 수 있다. 상기 제2 반도체막(264)은 화학기상 증착 공정 및/또는 원자층 증착 공정으로 형성될 수 있다. 상기 제2 반도체막(264)은 다결정 상태로 형성될 수 있다.

[0186] 도 15b를 참조하면, 상기 제2 반도체막(264) 및 제1 서브막(147)을 하부 활성 패턴(250)의 상부면이 노출될 때까지 전면 이방성 식각할 수 있다. 이에 따라, 상기 개구부(115) 내에 제1 반도체 패턴(265)이 형성될 수 있다. 일 실시예에 따르면, 상기 하부 활성 패턴(250)의 노출된 상부면의 중앙부는, 상기 하부 활성 패턴(250)의 상부면의 가장자리 보다 낮게 리세스 될 수 있다.

[0187] 도 15c를 참조하면, 상기 제1 반도체 패턴(265)을 갖는 기판(100) 상에 제2 반도체막을 콘포말하게 형성하고, 상기 제2 반도체막 상에 충전 유전막을 형성할 수 있다. 상기 제2 반도체막은 상기 제1 반도체 패턴(265) 및 상기 하부 활성 패턴(250)의 상부면의 중앙부와 접촉될 수 있다.

[0188] 상기 충전 유전막 및 제2 반도체막을 평탄화시키어, 상기 개구부(115) 내에 제2 반도체 패턴(267) 및 충전 유전 패턴(132)을 형성할 수 있다. 상기 제1 및 제2 반도체 패턴들(265, 267)은 상부 활성 패턴(270a)을 구성할 수 있으며, 상기 하부 및 상부 활성 패턴들(250, 270a)은 수직형 활성 패턴(280a)을 구성할 수 있다.

[0189] 이어서, 상기 절연막들(110) 및 희생막들(112)을 연속적으로 패터닝하여, 트렌치(135), 절연 패턴들(110a) 및 희생 패턴들(112a)을 형성할 수 있다.

[0190] 도 15d를 참조하면, 상기 희생 패턴들(112a)을 제거하여 빈 영역들(140)을 형성할 수 있다. 일 실시예에 따르면, 상기 빈 영역들(140) 중에서 최하위의 빈 영역은 상기 하부 활성 패턴(250)의 측벽을 노출시킬 수 있으며, 그 위의 빈 영역들은 상기 제1 서브막(147)을 노출시킬 수 있다. 하지만, 본 발명은 여기에 한정되지 않는다. 상기 하부 활성 패턴(250)의 상부면의 가장자리의 높이에 따라, 상기 하부 활성 패턴(250)의 측벽을 노출시키는 빈 영역의 개수는 달라질 수 있다.

[0191] 도 15e를 참조하면, 상기 하부 활성 패턴(250)의 노출된 측벽에 산화 공정을 수행하여 산화막(255)을 형성할 수 있다. 상기 하부 활성 패턴(250)이 실리콘으로 형성되는 경우에, 상기 산화막(255)은 실리콘 산화물로 형성될 수 있다. 상기 제1 서브막(147)에 의하여, 상기 상부 활성 패턴(270a)의 측벽은 산화되지 않을 수 있다.

[0192] 도 15f를 참조하면, 이어서, 상기 기판(100) 전면 상에 제2 서브막(149)을 콘포말하게 형성하고, 상기 빈 영역들(140)을 각각 채우는 게이트 패턴들(155L, 155a1, 155a, 155U)을 형성할 수 있다. 이어서, 소자분리 패턴(160a), 층간 유전막(165), 콘택 플러그(167) 및 비트 라인(170)을 형성할 수 있다. 이로써, 도 12c에 개시된 3차원 반도체 기억 소자를 구현할 수 있다.

[0193] 도 15a 내지 도 15f의 제조 방법에서, 하부 활성 패턴(250)의 상부면의 레벨이 기판(100)의 상부면으로부터 2번째 적층된 희생막의 상부면의 레벨 보다 높고, 3번째 적층된 희생막의 하부면의 레벨 보다 낮을 수 있다. 이 경우에, 도 12d의 3차원 반도체 기억 소자가 구현될 수 있다.

[0194] 도 15a 내지 도 15f의 제조 방법에서, 하부 활성 패턴(250)의 상부면의 레벨이 최하위의 희생막의 상부면의 레벨 및 하부면 레벨 사이에 위치하고 상기 산화 공정을 생략하는 경우에, 도 12b의 3차원 반도체 기억 소자가 구

현될 수 있다.

[0195] 도 15a 내지 도 15f의 제조 방법에서, 제1 서브막(147)을 게이트 유전막(150d)으로 형성하고, 제2 서브막(149)의 형성을 생략하는 경우에, 도 12e에 도시된 3차원 반도체 기억 소자를 구현할 수 있다.

[0196] 다음으로, 도 12f에 도시된 3차원 반도체 기억 소자의 제조 방법을 도면들을 참조하여 설명한다. 이 방법은 도 14를 참조하여 설명한 방법을 포함할 수 있다.

[0197] 도 16a 및 도 16b는 본 발명의 다른 실시예에 따른 3차원 반도체 기억 소자의 제조 방법의 또 다른 변형예를 설명하기 위한 단면도들이다.

[0198] 도 14 및 도 16a를 참조하면, 하부 활성 패턴(250)을 형성한 후에, 상기 기판(100) 상에 보호 유전막을 콘포말하게 형성할 수 있다. 상기 보호 유전막을 상기 하부 활성 패턴(250)의 상부면이 노출될 때까지 전면 이방성 식각할 수 있다. 이에 따라, 상기 개구부(115)의 측벽 상에 스페이서 형태의 보호 유전막(173)이 형성될 수 있다. 이어서, 반도체막을 콘포말하게 형성하고, 충전 유전막을 형성할 수 있다. 상기 충전 유전막 및 반도체막을 평탄화시키어, 상기 개구부(115) 내에 상부 활성 패턴(270) 및 충전 유전 패턴(132)을 형성할 수 있다.

[0199] 이어서, 상기 보호 유전막(173), 상부 활성 패턴(270) 및 충전 유전 패턴들(132)의 상단들을 리세스하고, 캐핑 반도체 패턴(175)을 형성할 수 있다. 상기 캐핑 반도체 패턴(175)는 도 7b를 참조하여 설명한 것과 동일한 방법으로 형성할 수 있다.

[0200] 도 16b를 참조하면, 절연막들(110) 및 희생막들(112)을 연속적으로 패터닝하여 트렌치(135), 절연 패턴들(110a) 및 희생 패턴들(112a)을 형성할 수 있다. 상기 희생 패턴들(112a)을 제거하여 빈 영역들(140)을 형성할 수 있다. 이때, 상기 보호 유전막(173)은 식각 정지층으로 사용될 수 있다. 이어서, 상기 빈 영역들(140)에 노출된 상기 보호 유전막(173)의 일부분들을 제거하여, 상기 상부 활성 패턴(270)의 측벽의 일부분들을 노출시킬 수 있다. 이어서, 도 13d 및 도 13e를 참조하여 설명한 방법을 수행하여 도 12f의 3차원 반도체 기억 소자를 구현할 수 있다. 일 실시예에 따르면, 도 16b의 빈 영역들(140)을 형성한 후 및 게이트 유전막을 형성하기 전에, 노출된 하부 활성 패턴(250)의 측벽에 산화 공정을 수행할 수도 있다.

[0201] 상술된 실시예들에서 개시된 3차원 반도체 기억 소자들은 다양한 형태들의 반도체 패키지(semiconductor package)로 구현될 수 있다. 예를 들면, 본 발명의 실시예들에 따른 3차원 반도체 기억 소자들은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등의 방식으로 패키징될 수 있다.

[0202] 본 발명의 실시예들에 따른 3차원 반도체 기억 소자가 실장된 패키지는 다른 기능을 수행하는 적어도 하나의 다른 반도체 소자(ex, 컨트롤러, 기억 소자, 및/또는 하이브리드 소자 등)등을 더 포함할 수도 있다.

[0203] 도 17은 본 발명의 기술적 사상에 기초한 3차원 반도체 기억 소자를 포함하는 전자 시스템의 일 예를 간략히 도시한 블록도이다.

[0204] 도 17을 참조하면, 일 실시예에 따른 전자 시스템(1100)은 컨트롤러(1110), 입출력 장치(1120, I/O), 기억 장치(1130, memory device), 인터페이스(1140) 및 버스(1150, bus)를 포함할 수 있다. 상기 컨트롤러(1110), 입출력 장치(1120), 기억 장치(1130) 및/또는 인터페이스(1140)는 상기 버스(1150)를 통하여 서로 결합 될 수 있다. 상기 버스(1150)는 데이터들이 이동되는 통로(path)에 해당한다.

[0205] 상기 컨트롤러(1110)는 마이크로프로세서, 디지털 신호 프로세스, 마이크로 컨트롤러, 및 이들과 유사한 기능을 수행할 수 있는 논리 소자들 중에서 적어도 하나를 포함할 수 있다. 상기 입출력 장치(1120)는 키패드(keypad), 키보드 및 디스플레이 장치 등을 포함할 수 있다. 상기 기억 장치(1130)는 데이터 및/또는 명령어 등을 저장할 수 있다. 상기 기억 장치(1130)는 상술된 실시예들에 개시된 3차원 반도체 기억 소자들 중에서 적어도 하나를 포함할 수 있다. 또한, 상기 기억 장치(1130)는 다른 형태의 반도체 기억 소자(ex, 자기 기억 소자, 상변화 기억 소자, 디램 소자 및/또는 에스램 소자 등)를 더 포함할 수 있다. 상기 인터페이스(1140)는 통신 네트워크로 데이터를 전송하거나 통신 네트워크로부터 데이터를 수신하는 기능을 수행할 수 있다. 상기 인터페이스(1140)는 유선 또는 무선 형태일 수 있다. 예컨대, 상기 인터페이스(1140)는 안테나 또는 유무선 트랜시버 등을 포함할

Micron Ex. 1002, p. 808
Micron v. YMTC
IPR2025-00294

수 있다. 도시하지 않았지만, 상기 전자 시스템(1100)은 상기 컨트롤러(1110)의 동작을 향상시키기 위한 동작 기억 소자로서, 고속의 디램 소자 및/또는 에스램 소자 등을 더 포함할 수도 있다

[0206] 상기 전자 시스템(1100)은 개인 휴대용 정보 단말기(PDA, personal digital assistant) 포터블 컴퓨터(portable computer), 웹 타블렛(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 디지털 뮤직 플레이어(digital music player), 메모리 카드(memory card), 또는 정보를 무선환경에서 송신 및/또는 수신할 수 있는 모든 전자 제품에 적용될 수 있다.

[0207] 도 18은 본 발명의 기술적 사상에 기초한 3차원 반도체 기억 소자를 포함하는 메모리 카드의 일 예를 간략히 도시한 블록도 이다.

[0208] 도 18을 참조하면, 본 발명의 일 실시예에 따른 메모리 카드(1200)는 기억 장치(1210)를 포함한다. 상기 기억 장치(1210)는 상술된 실시예들에 개시된 3차원 반도체 기억 소자들 중에서 적어도 하나를 포함할 수 있다. 또한, 상기 기억 장치(1210)는 다른 형태의 반도체 기억 소자(ex, 자기 기억 소자, 상변화 기억 소자, 디램 소자 및/또는 에스램 소자 등)를 더 포함할 수 있다. 상기 메모리 카드(1200)는 호스트(Host)와 상기 기억 장치(1210) 간의 데이터 교환을 제어하는 메모리 컨트롤러(1220)를 포함할 수 있다.

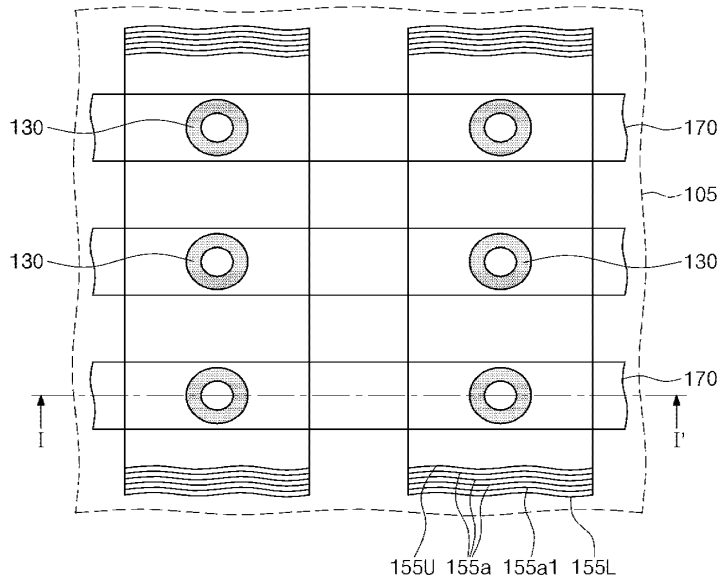
[0209] 상기 메모리 컨트롤러(1220)는 메모리 카드의 전반적인 동작을 제어하는 프로세싱 유닛(1222)을 포함할 수 있다. 또한, 상기 메모리 컨트롤러(1220)는 상기 프로세싱 유닛(1222)의 동작 메모리로써 사용되는 에스램(1221, SRAM)을 포함할 수 있다. 이에 더하여, 상기 메모리 컨트롤러(1220)는 호스트 인터페이스(1223), 메모리 인터페이스(1225)를 더 포함할 수 있다. 상기 호스트 인터페이스(1223)는 메모리 카드(1200)와 호스트(Host)간의 데이터 교환 프로토콜을 구비할 수 있다. 상기 메모리 인터페이스(1225)는 상기 메모리 컨트롤러(1220)와 상기 기억 장치(1210)를 접속시킬 수 있다. 더 나아가서, 상기 메모리 컨트롤러(1220)는 에러 정정 블록(1224, Ecc)를 더 포함할 수 있다. 상기 에러 정정 블록(1224)은 상기 기억 장치(1210)로부터 독출된 데이터의 에러를 검출 및 정정할 수 있다. 도시하지 않았지만, 상기 메모리 카드(1200)는 호스트(Host)와의 인터페이싱을 위한 코드 데이터를 저장하는 롬 장치(ROM device)를 더 포함할 수도 있다. 상기 메모리 카드(1200)는 휴대용 데이터 저장 카드로 사용될 수 있다. 이와는 달리, 상기 메모리 카드(1200)는 컴퓨터시스템의 하드디스크를 대체할 수 있는 고상 디스크(SSD, Solid State Disk)로도 구현될 수 있다.

[0210] 이상, 첨부된 도면들을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명은 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수도 있다. 그러므로 이상에서 기술한 실시예들에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

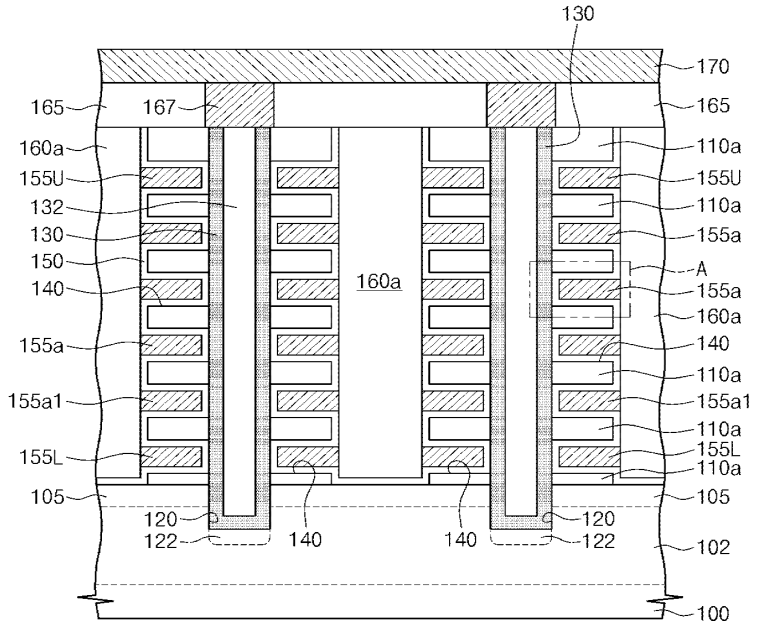
Micron Ex. 1002, p. 809
Micron v. YMTC
IPR2025-00294

도면

도면1a

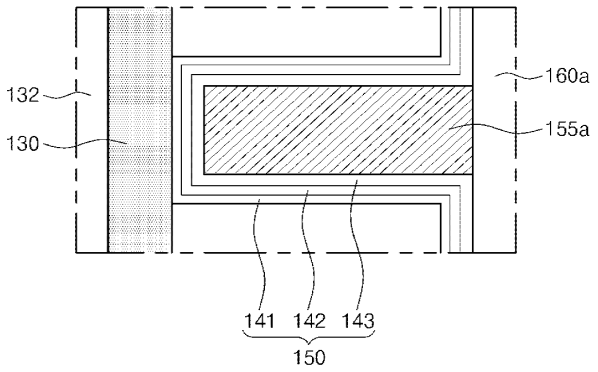


도면1b

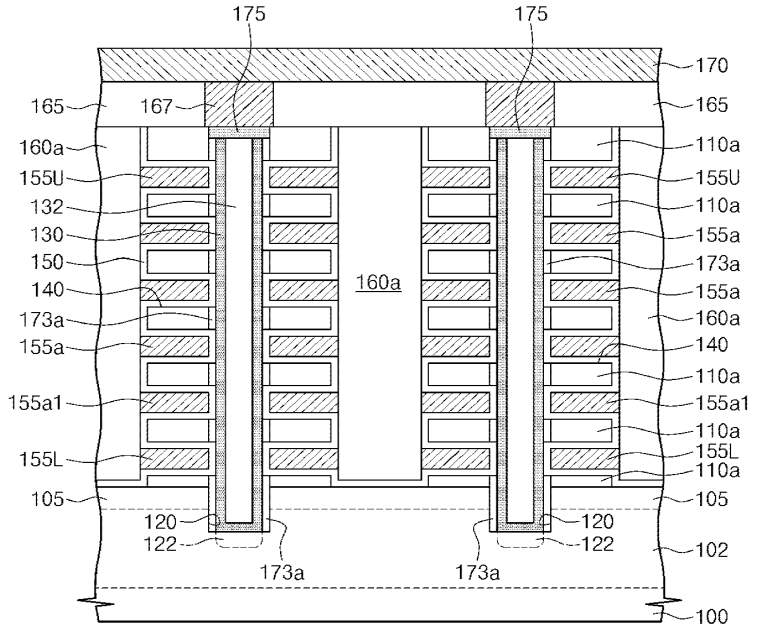


Micron Ex. 1002, p. 810
Micron v. YMTC
IPR2025-00294

도면1c

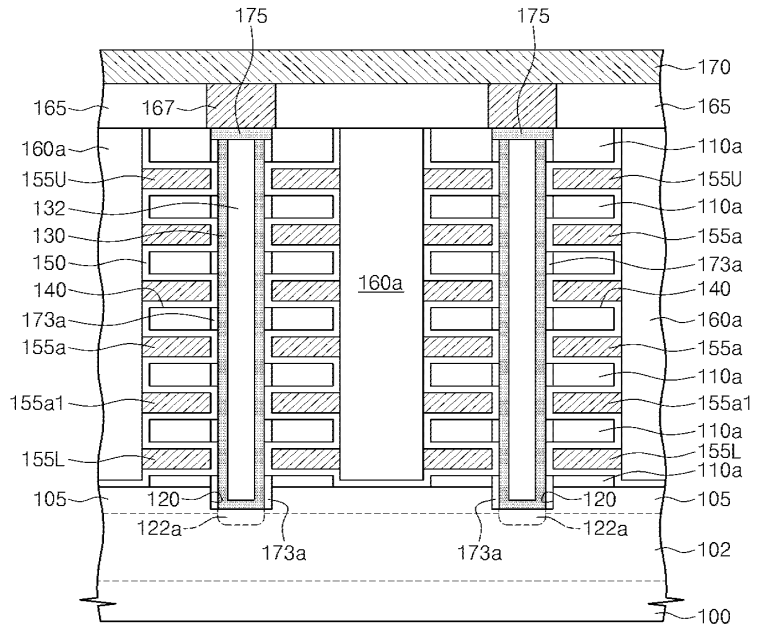


도면2a

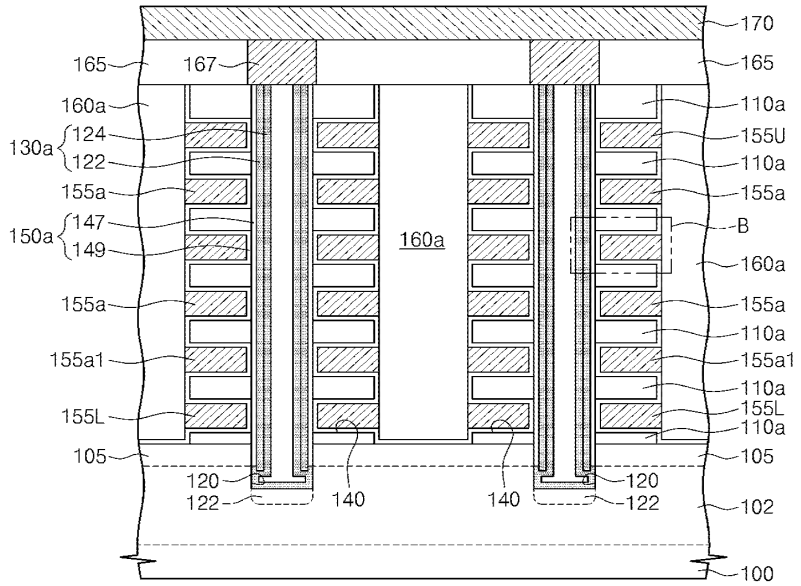


Micron Ex. 1002, p. 811
Micron v. YMTC
IPR2025-00294

도면8b

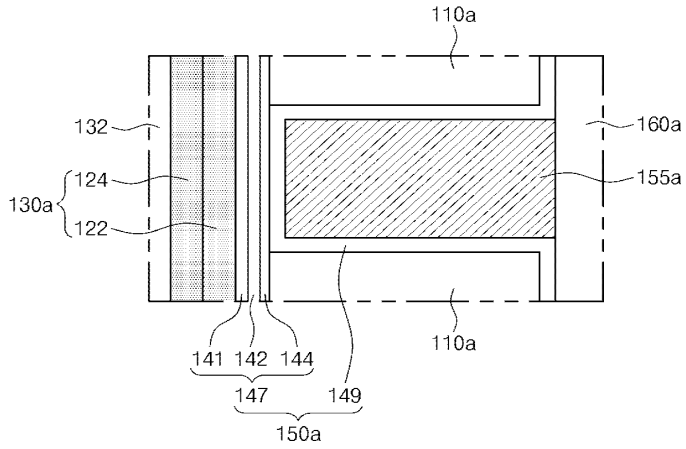


도면8c

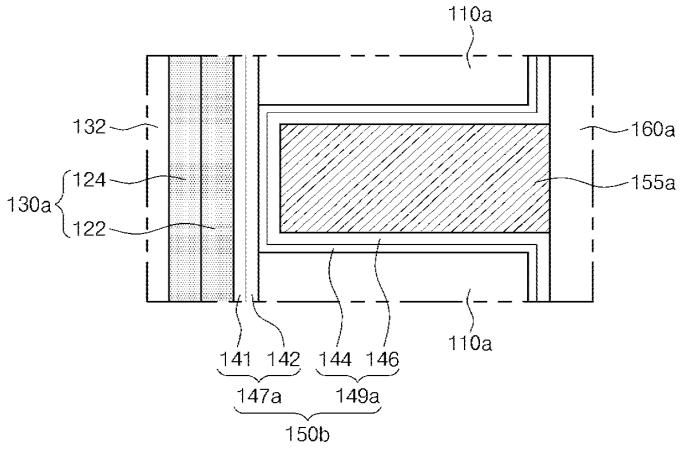


Micron Ex. 1002, p. 812
Micron v. YMTC
IPR2025-00294

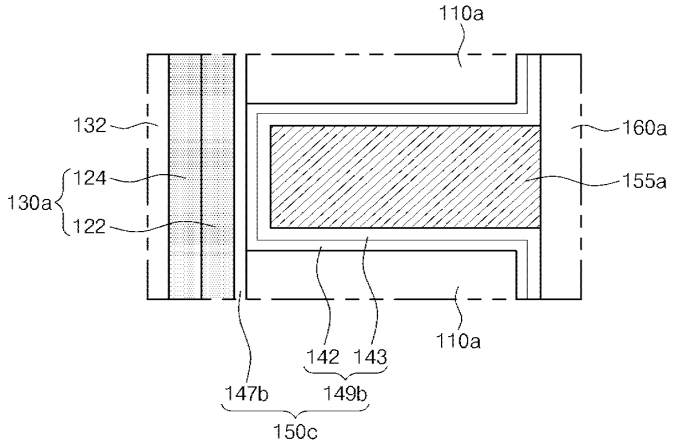
도면3b



도면3c

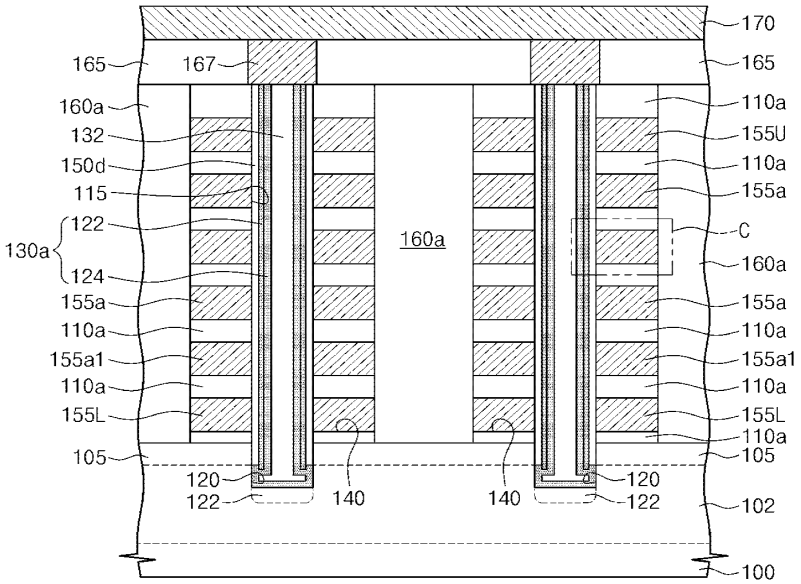


도면3d

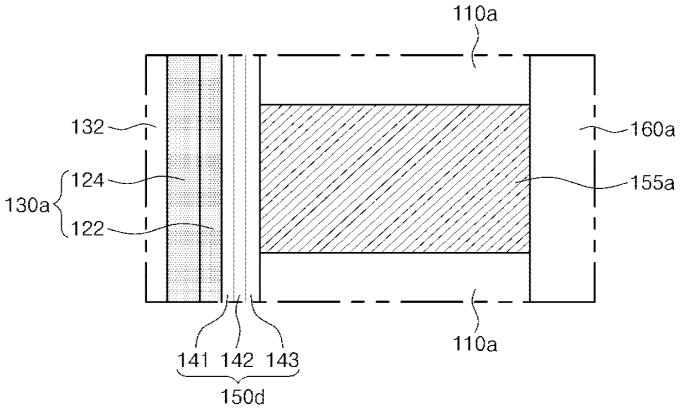


Micron Ex. 1002, p. 813
Micron v. YMTC
IPR2025-00294

도면4a

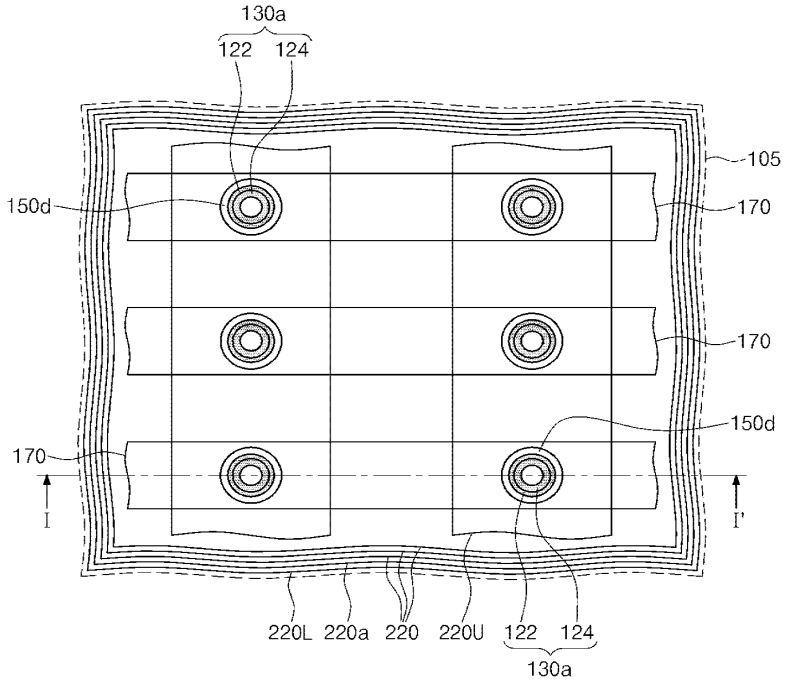


도면4b

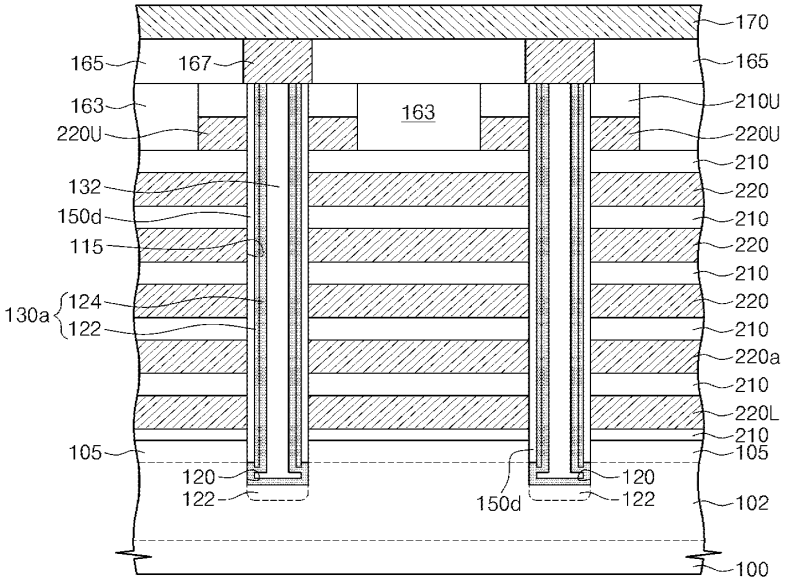


Micron Ex. 1002, p. 814
Micron v. YMTC
IPR2025-00294

도면5a

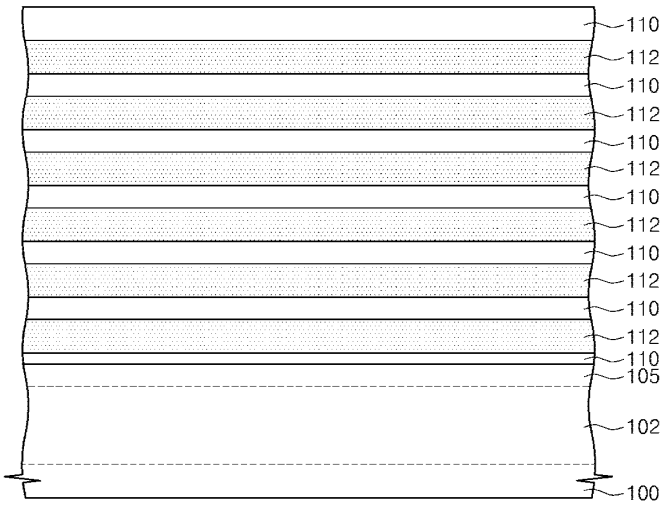


도면5b

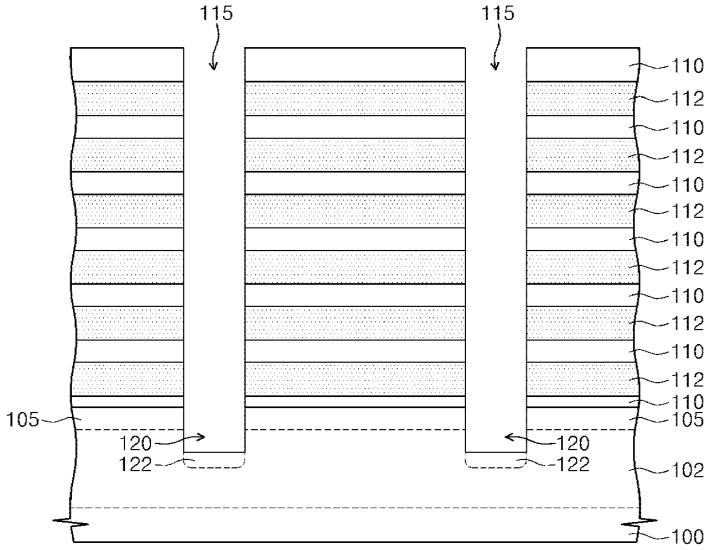


Micron Ex. 1002, p. 815
Micron v. YMTC
IPR2025-00294

도면6a

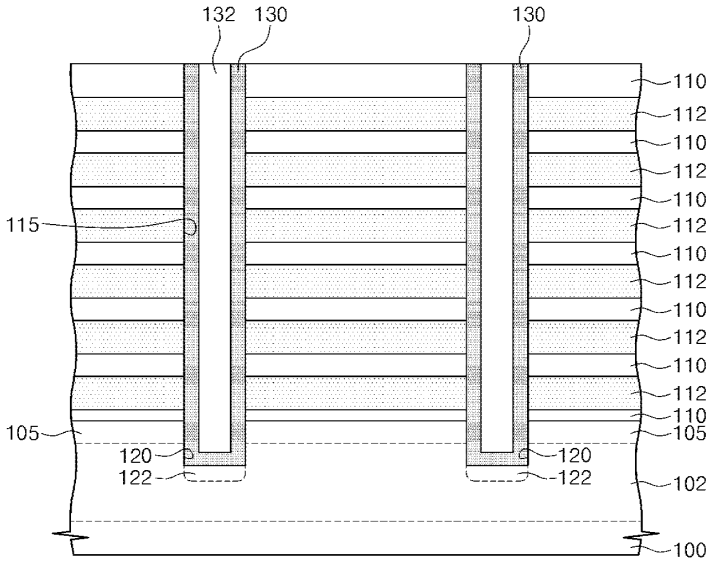


도면6b

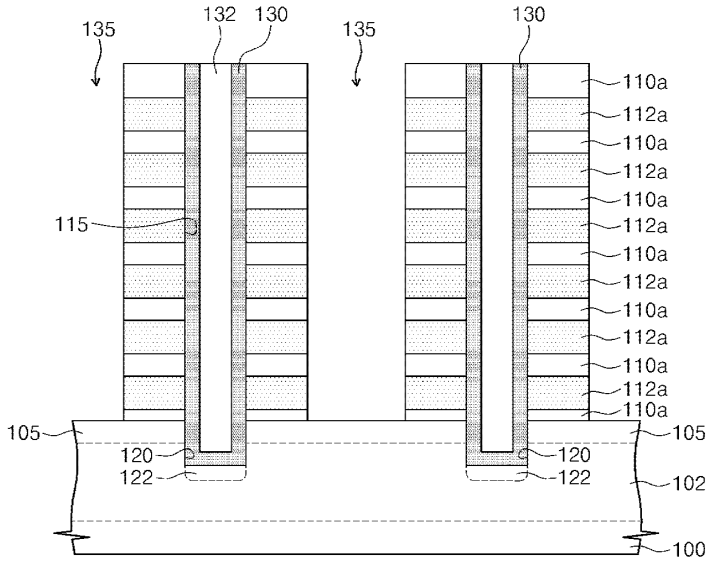


Micron Ex. 1002, p. 816
Micron v. YMTC
IPR2025-00294

도면6c

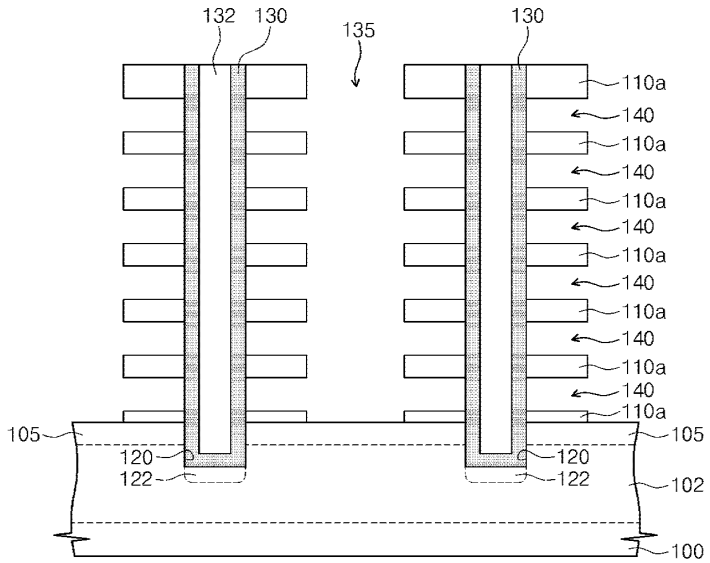


도면6d

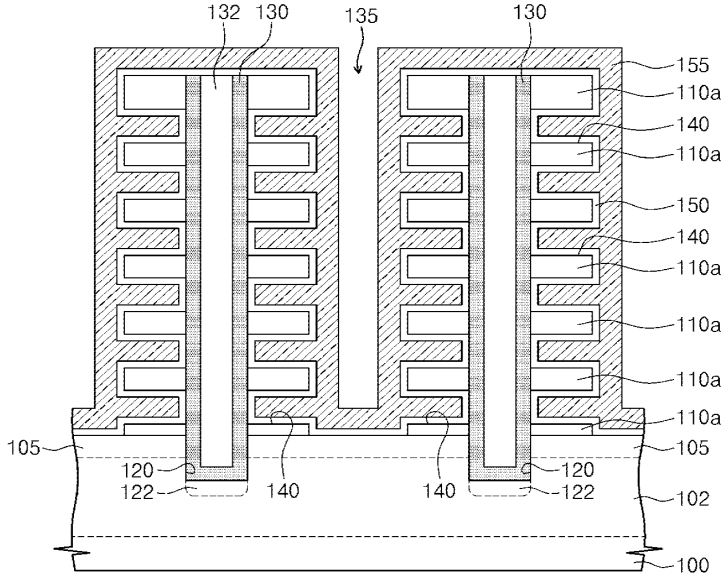


Micron Ex. 1002, p. 817
Micron v. YMTC
IPR2025-00294

도면6e

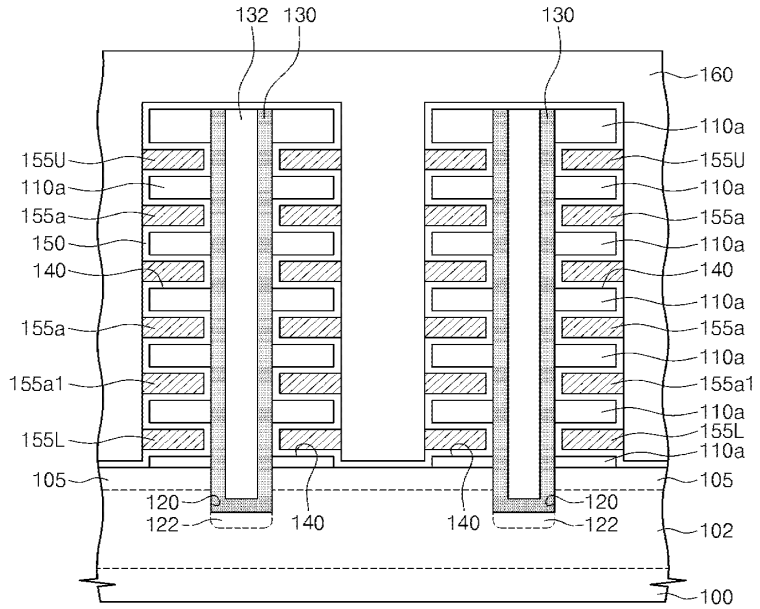


도면6f

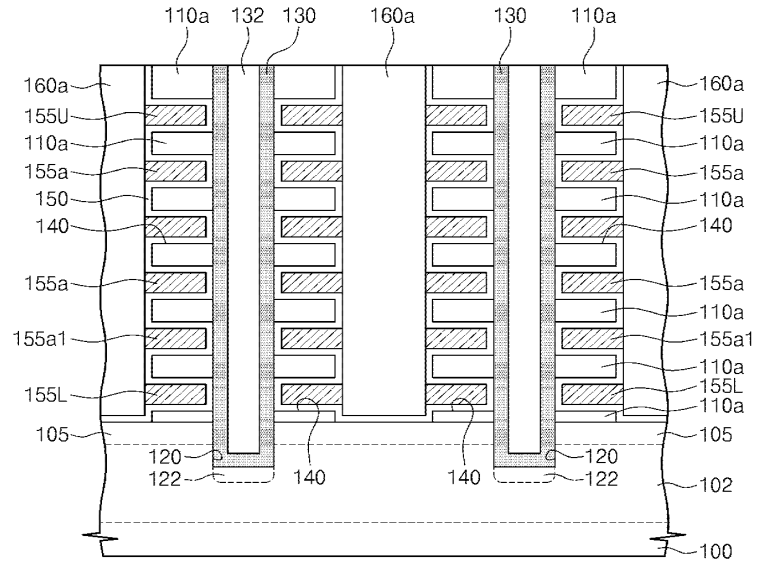


Micron Ex. 1002, p. 818
Micron v. YMTC
IPR2025-00294

도면6g

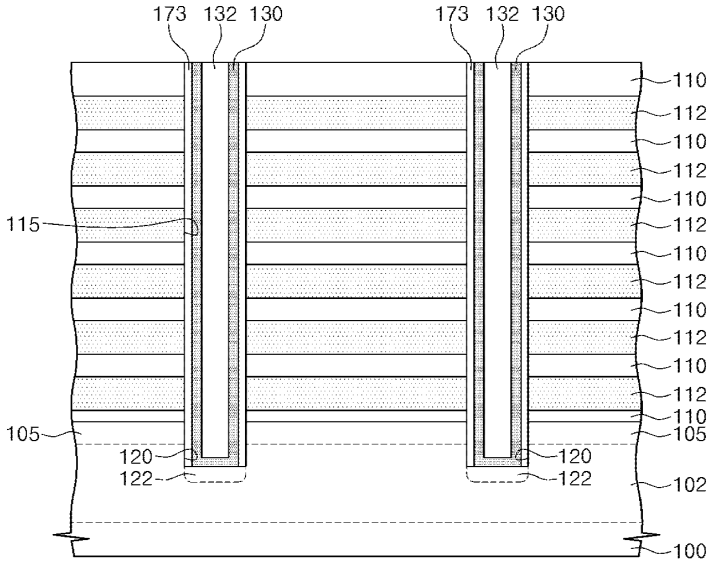


도면6h

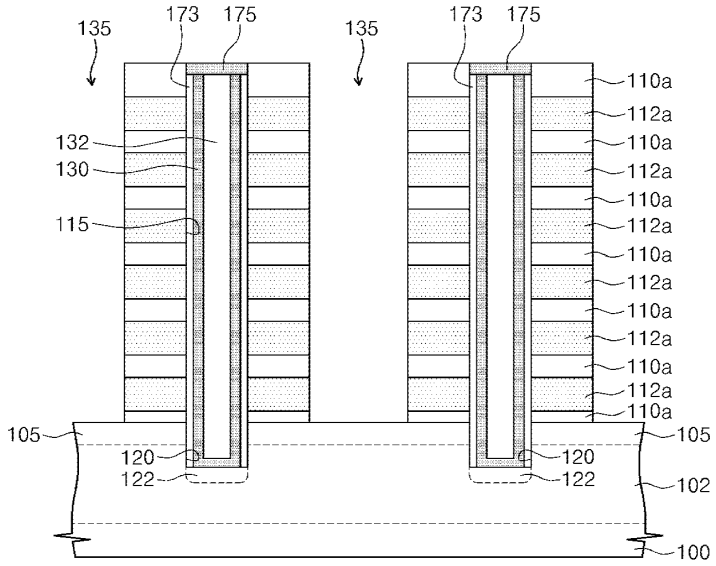


Micron Ex. 1002, p. 819
Micron v. YMTC
IPR2025-00294

도면7a

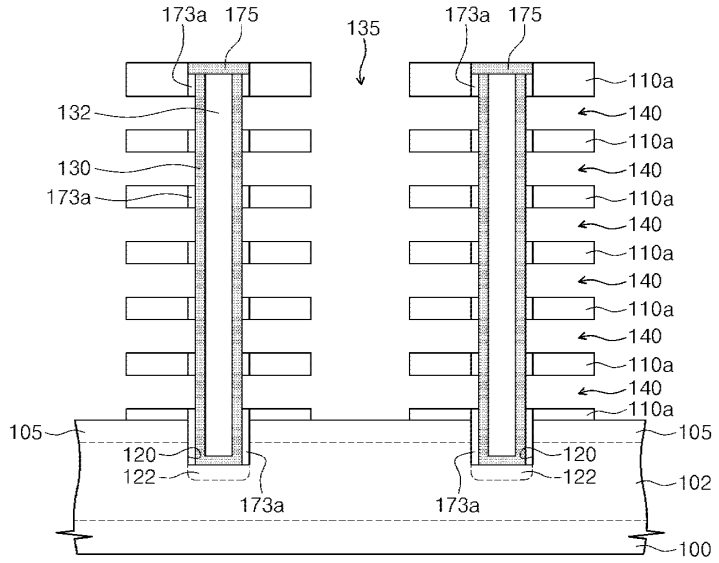


도면7b

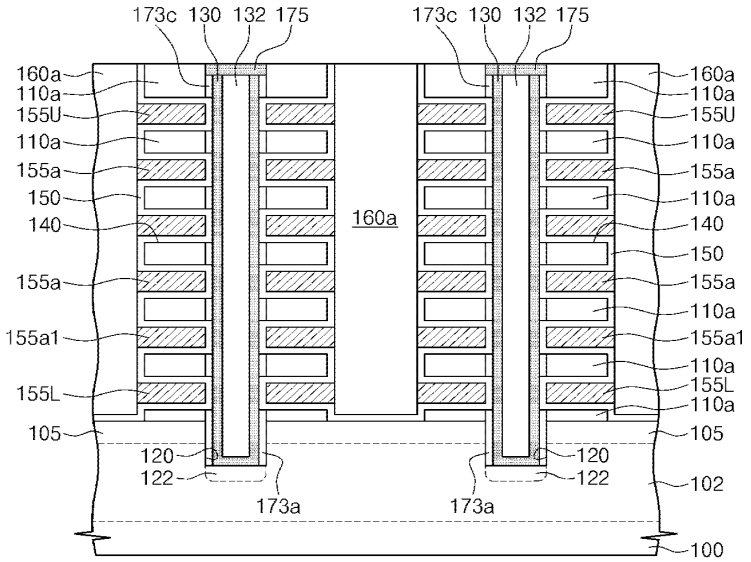


Micron Ex. 1002, p. 820
Micron v. YMTC
IPR2025-00294

도면7c

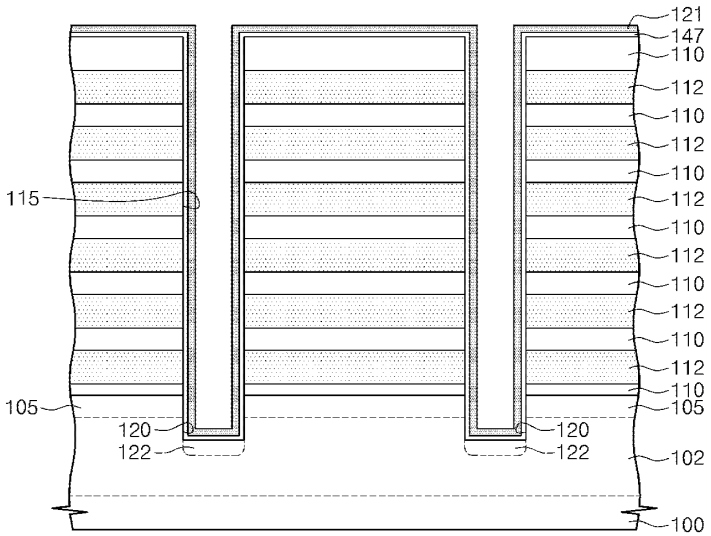


도면7d

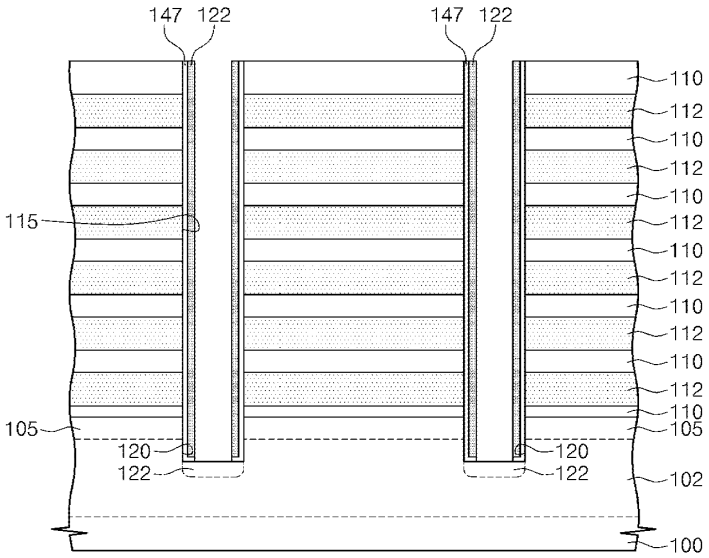


Micron Ex. 1002, p. 821
Micron v. YMTC
IPR2025-00294

도면8a

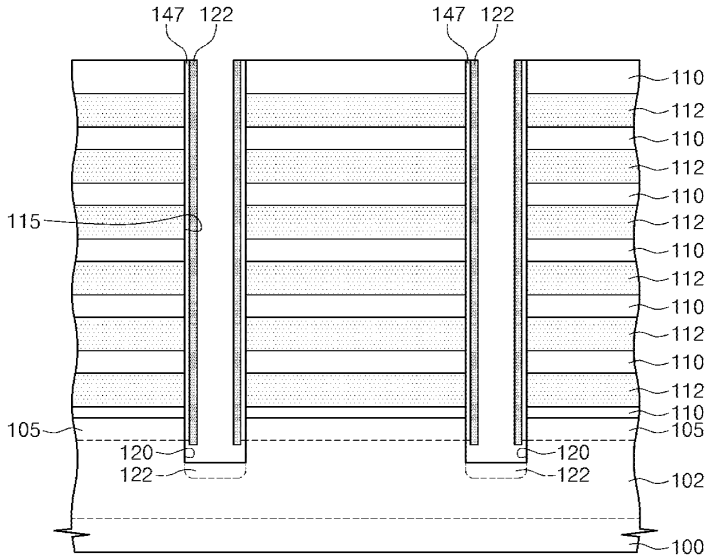


도면8b

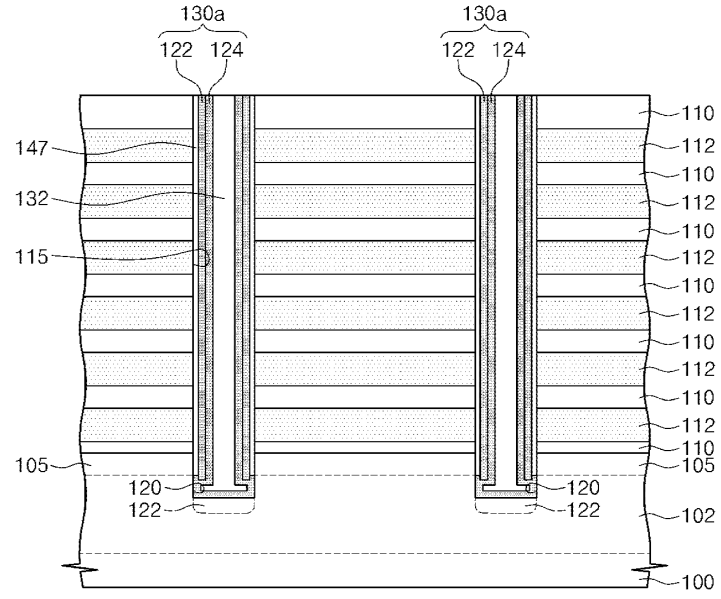


Micron Ex. 1002, p. 822
Micron v. YMTC
IPR2025-00294

도면8c

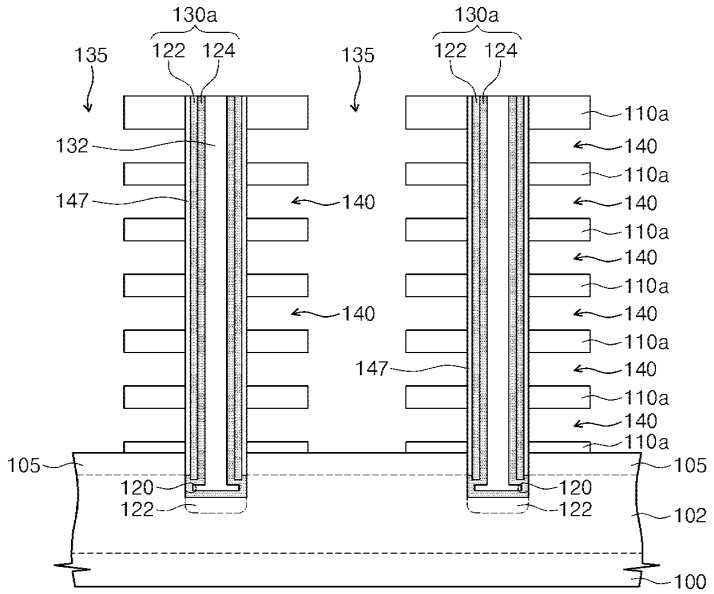


도면8d

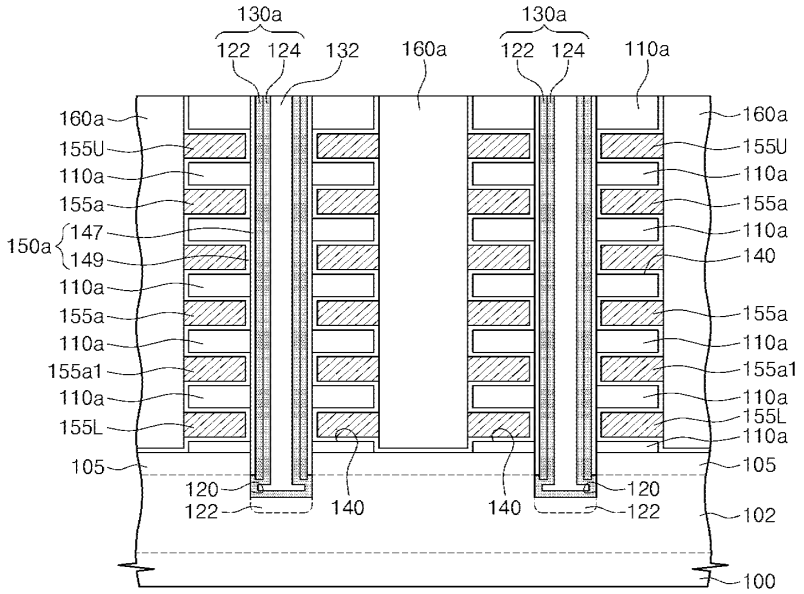


Micron Ex. 1002, p. 823
Micron v. YMTC
IPR2025-00294

도면8e

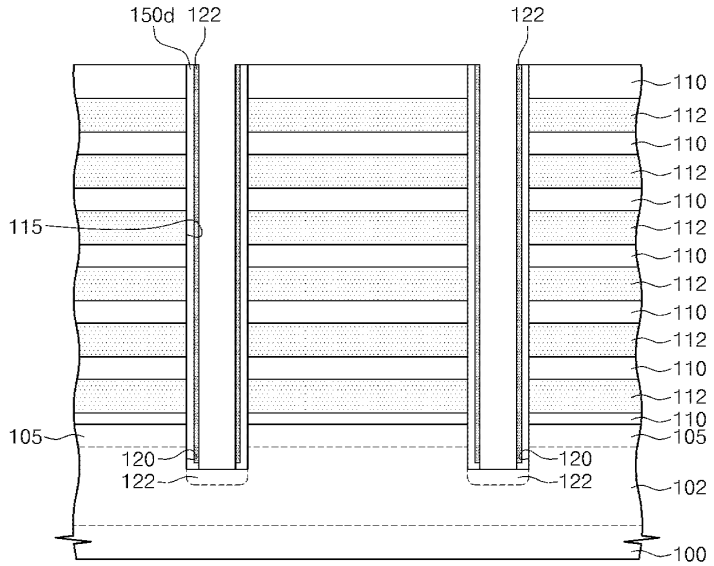


도면8f

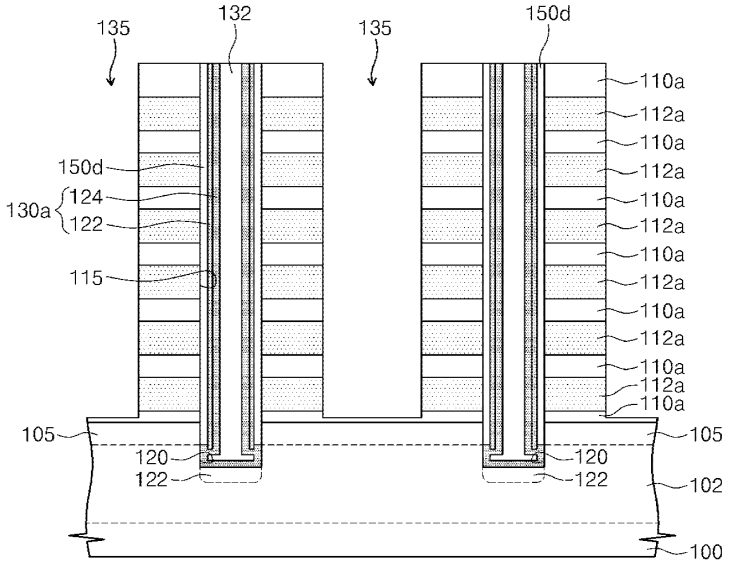


Micron Ex. 1002, p. 824
Micron v. YMTC
IPR2025-00294

도면8a

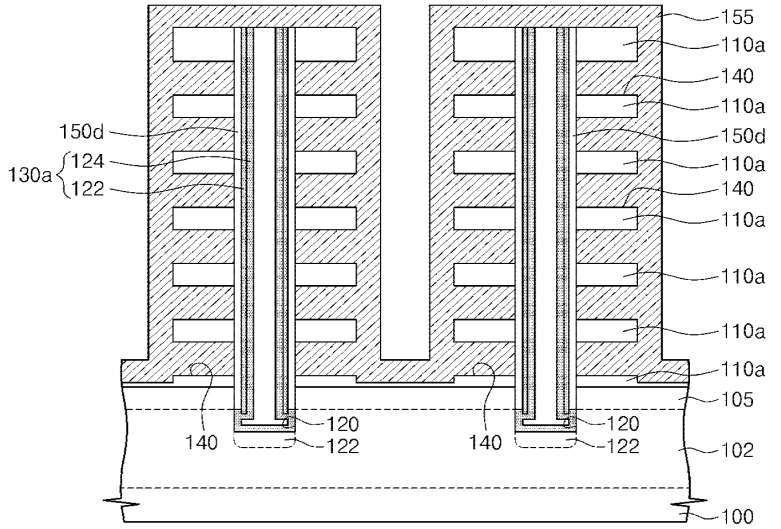


도면8b

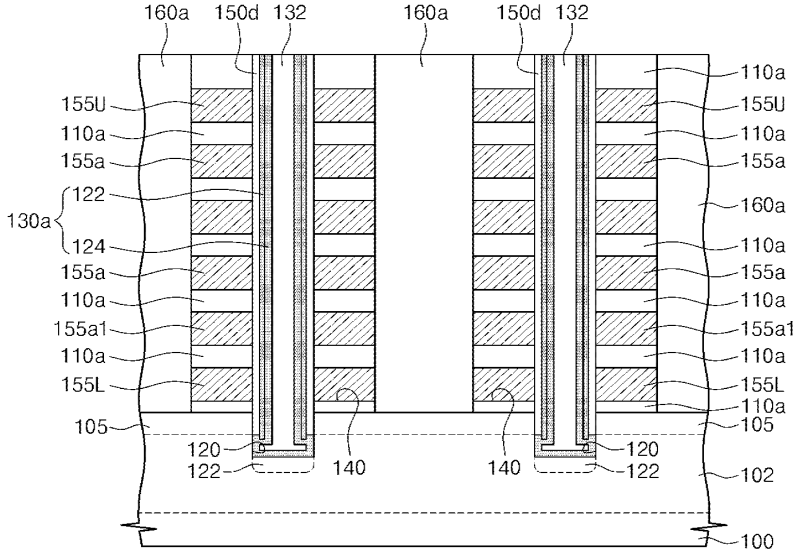


Micron Ex. 1002, p. 825
Micron v. YMTC
IPR2025-00294

도면8c

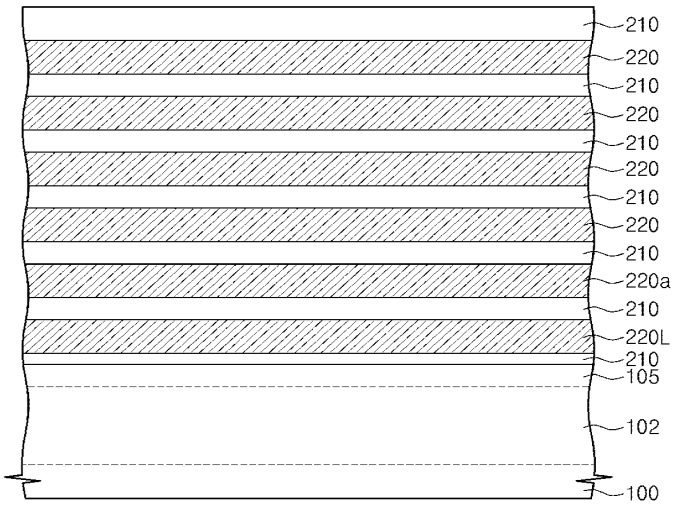


도면8d

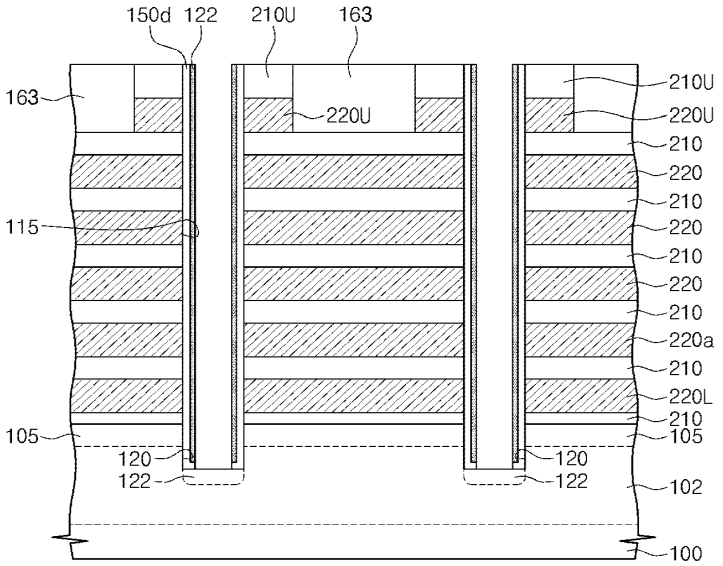


Micron Ex. 1002, p. 826
Micron v. YMTC
IPR2025-00294

도면10a

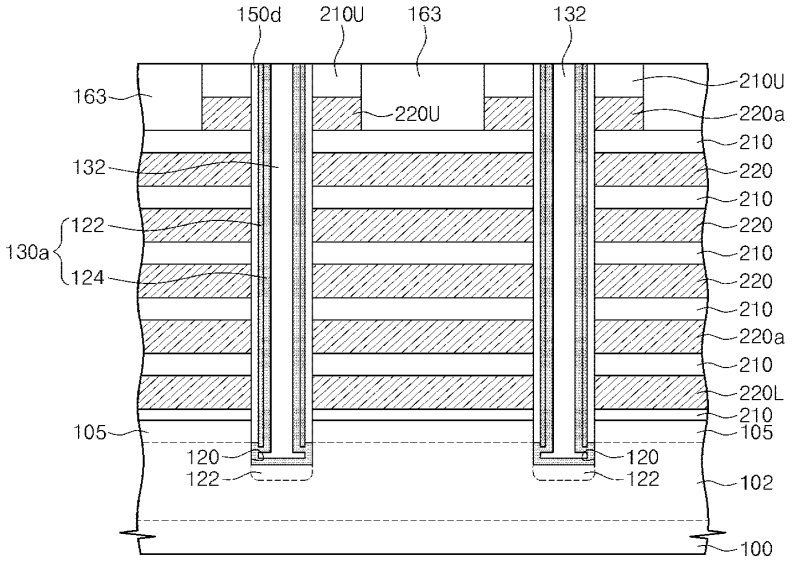


도면10b

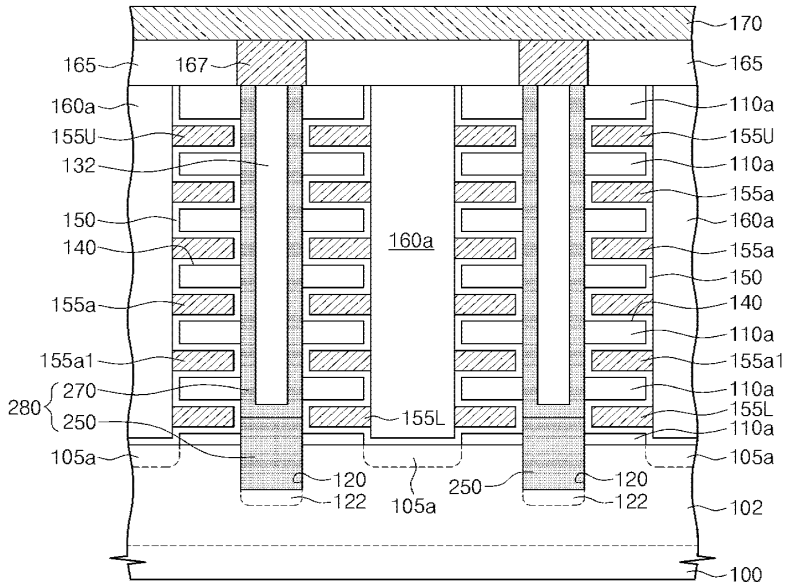


Micron Ex. 1002, p. 827
Micron v. YMTC
IPR2025-00294

도면10c

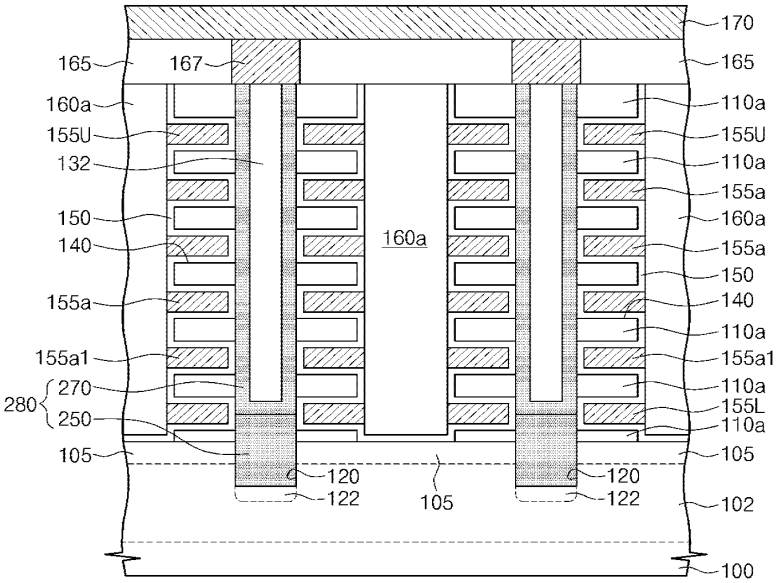


도면11



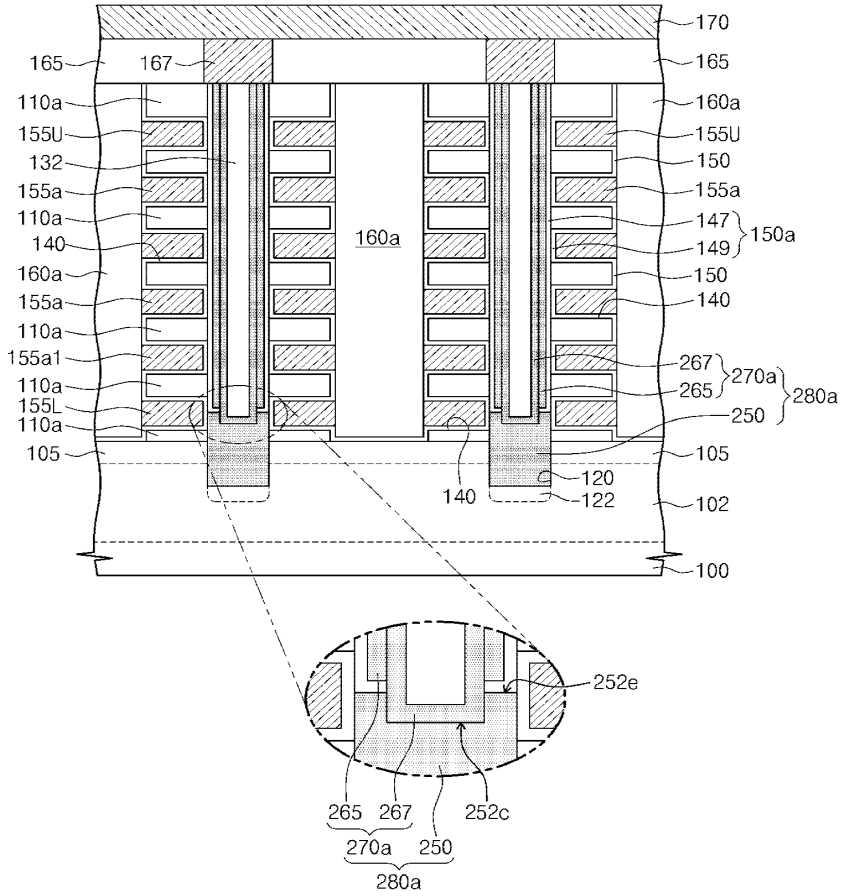
Micron Ex. 1002, p. 828
Micron v. YMTC
IPR2025-00294

도면12a



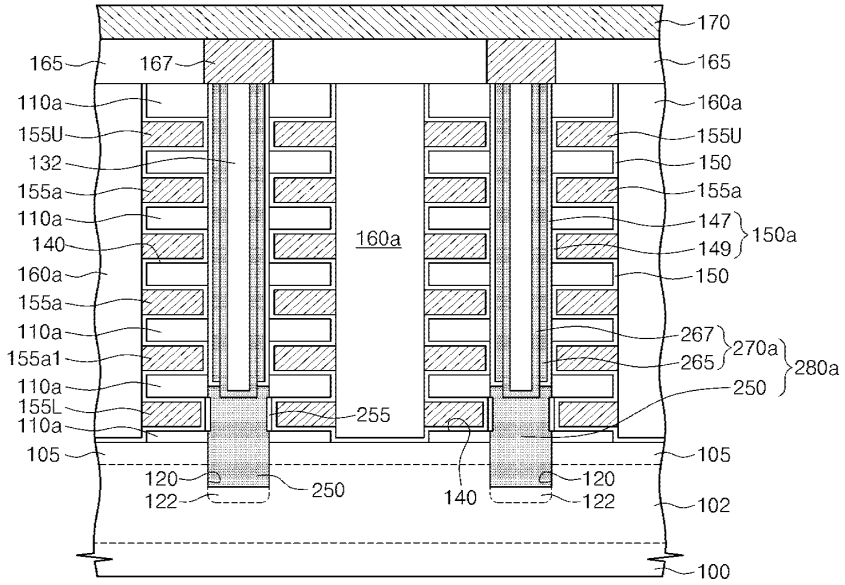
Micron Ex. 1002, p. 829
Micron v. YMTC
IPR2025-00294

도면12b

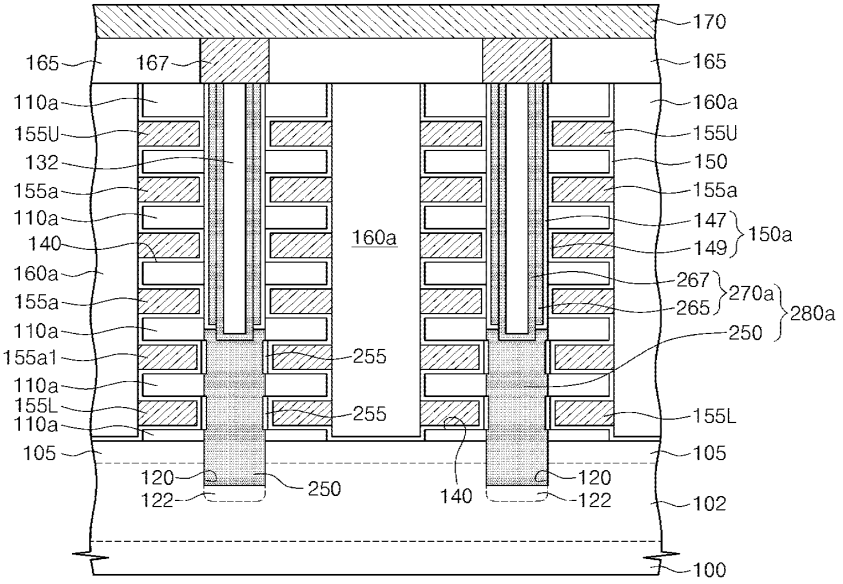


Micron Ex. 1002, p. 830
Micron v. YMTC
IPR2025-00294

도면12c

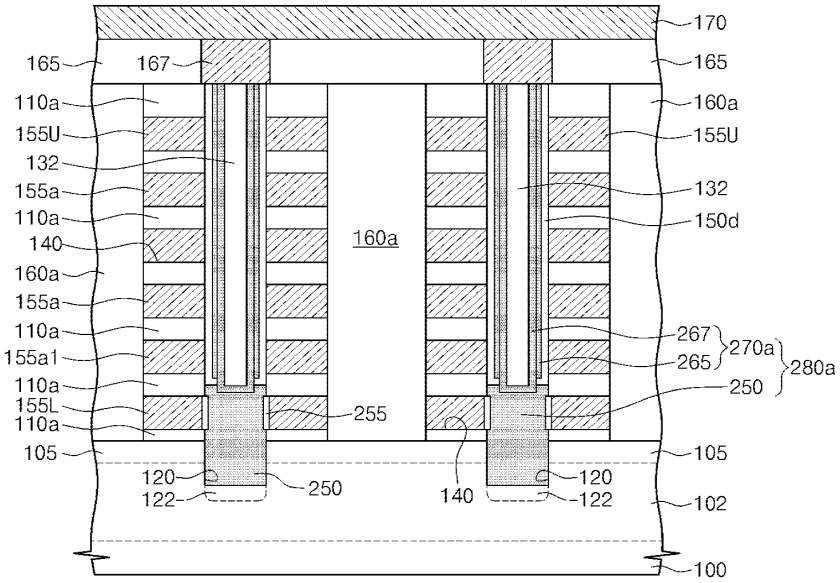


도면12d

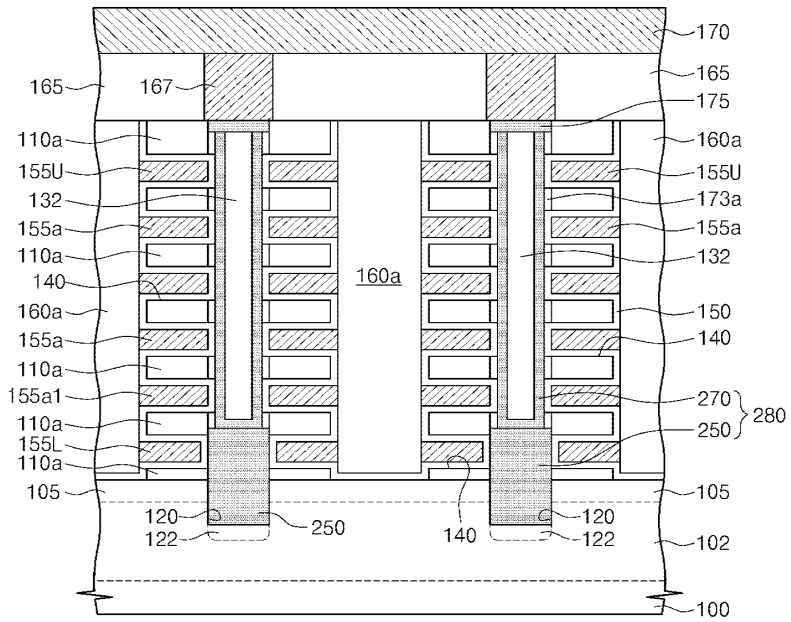


Micron Ex. 1002, p. 831
Micron v. YMTC
IPR2025-00294

도면12e

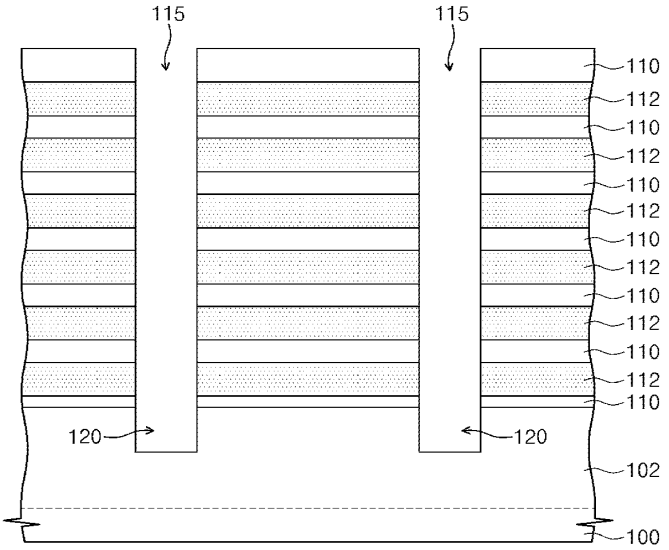


도면12f

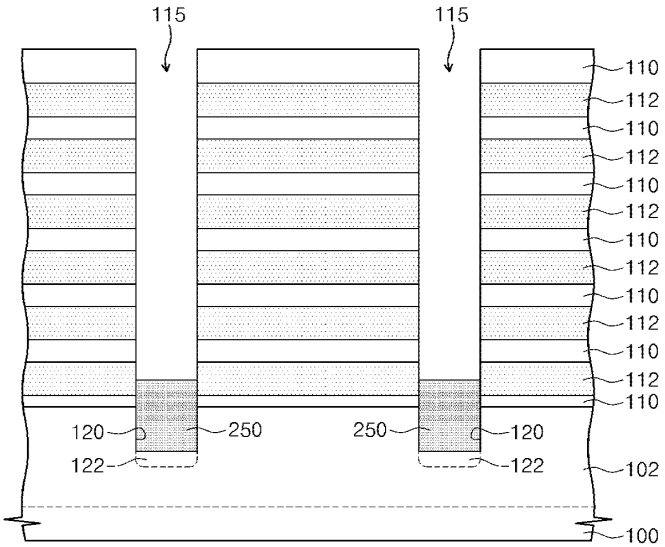


Micron Ex. 1002, p. 832
Micron v. YMTC
IPR2025-00294

도면13a

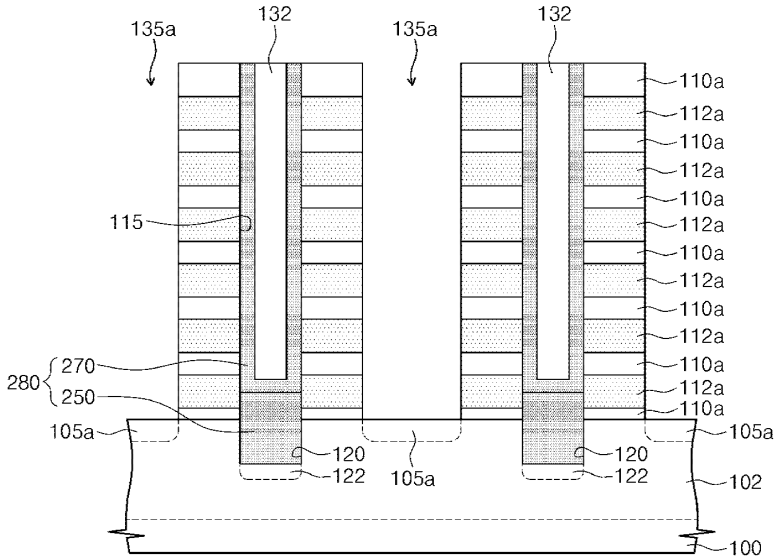


도면13b

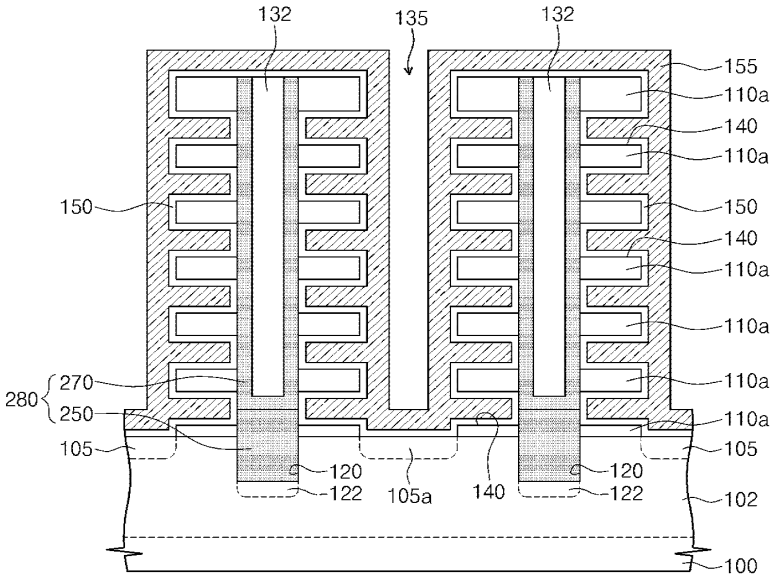


Micron Ex. 1002, p. 833
Micron v. YMTC
IPR2025-00294

도면13c

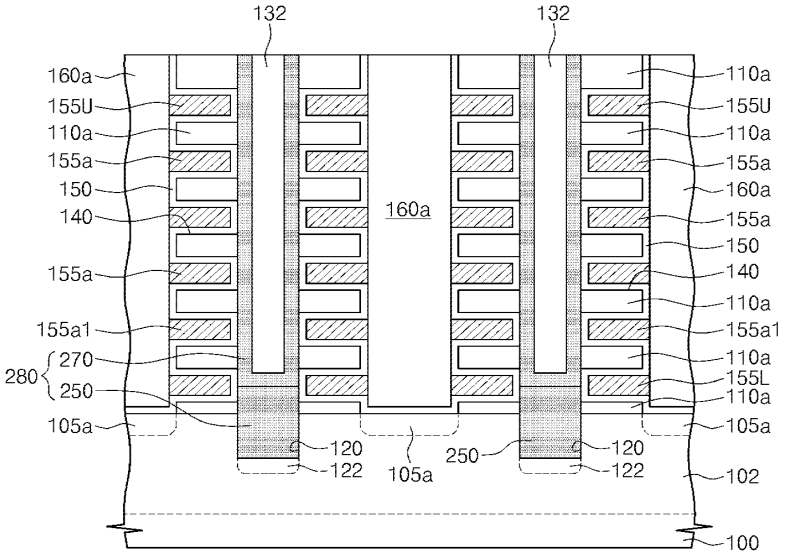


도면13d

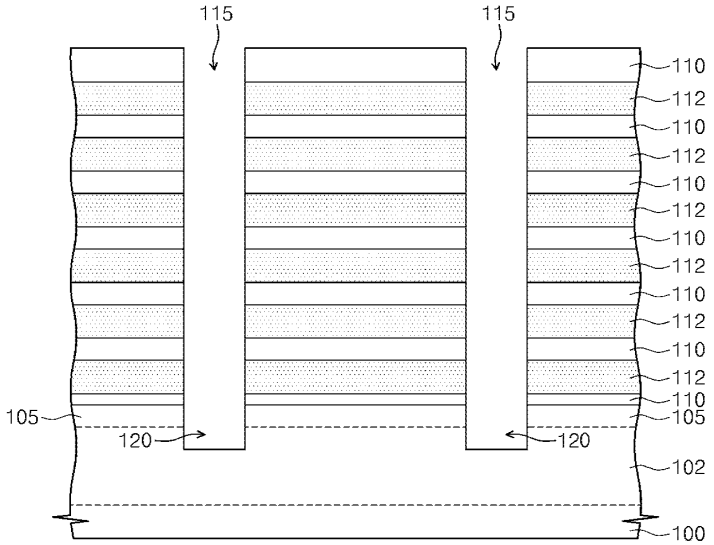


Micron Ex. 1002, p. 834
Micron v. YMTC
IPR2025-00294

도면13e

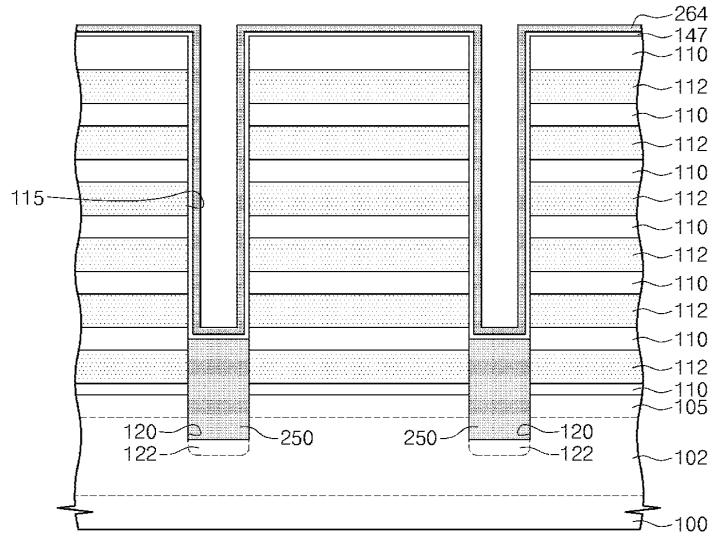


도면14

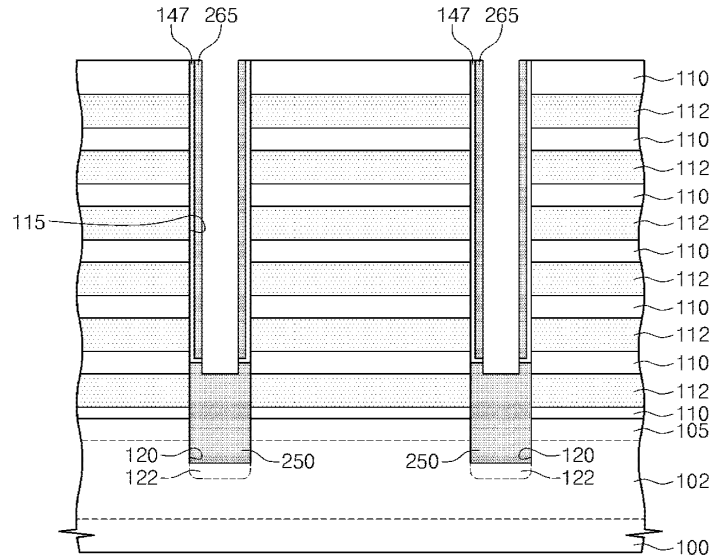


Micron Ex. 1002, p. 835
Micron v. YMTC
IPR2025-00294

도면15a

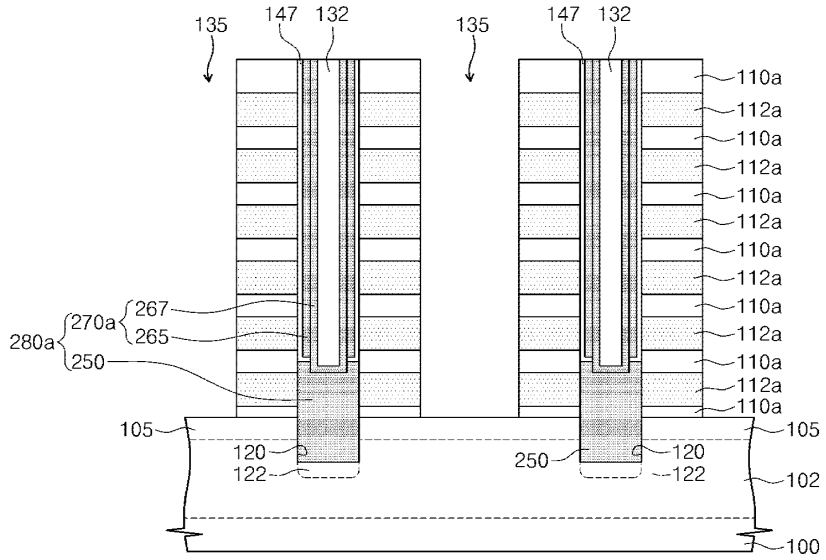


도면15b

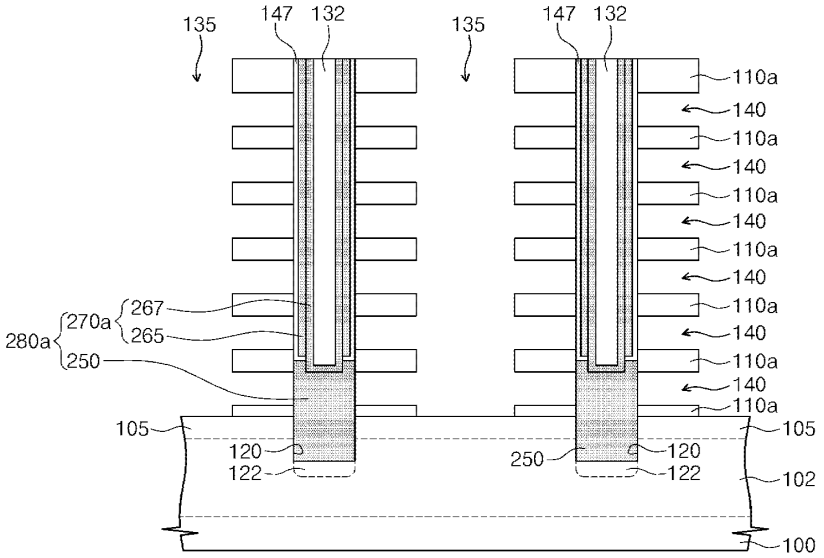


Micron Ex. 1002, p. 836
Micron v. YMTC
IPR2025-00294

도면15c

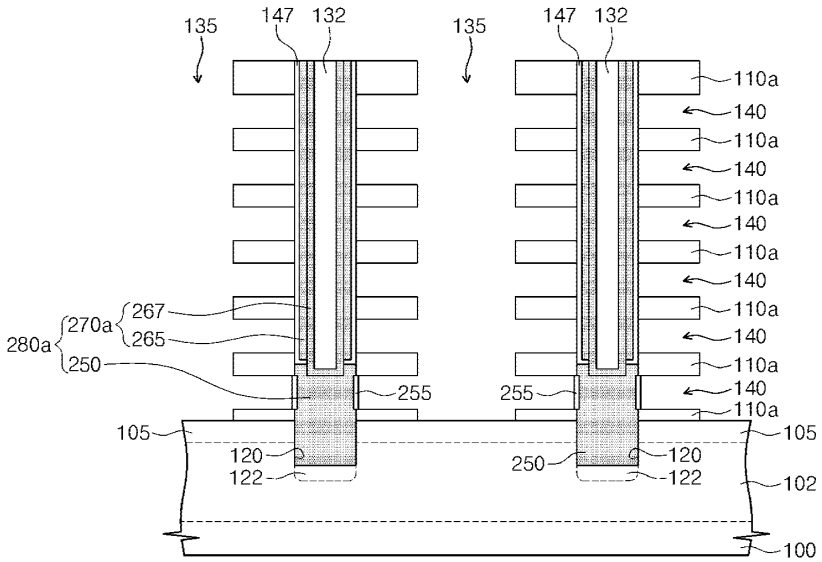


도면15d

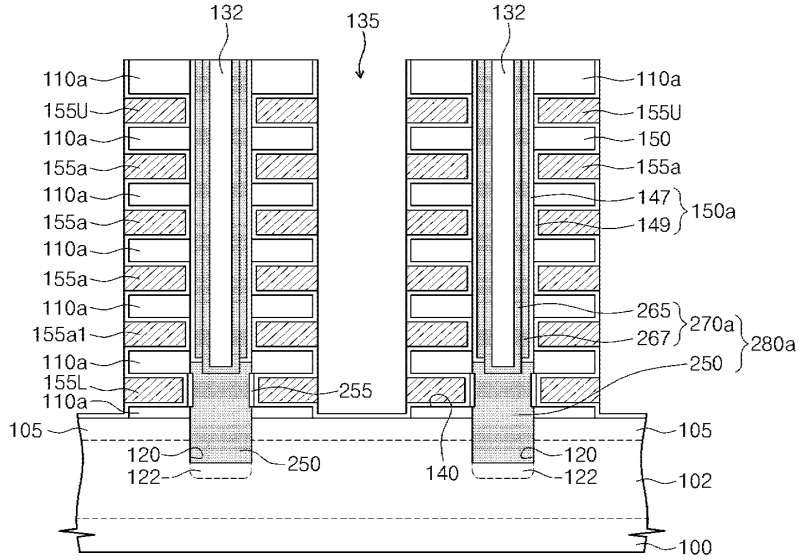


Micron Ex. 1002, p. 837
Micron v. YMTC
IPR2025-00294

도면15e

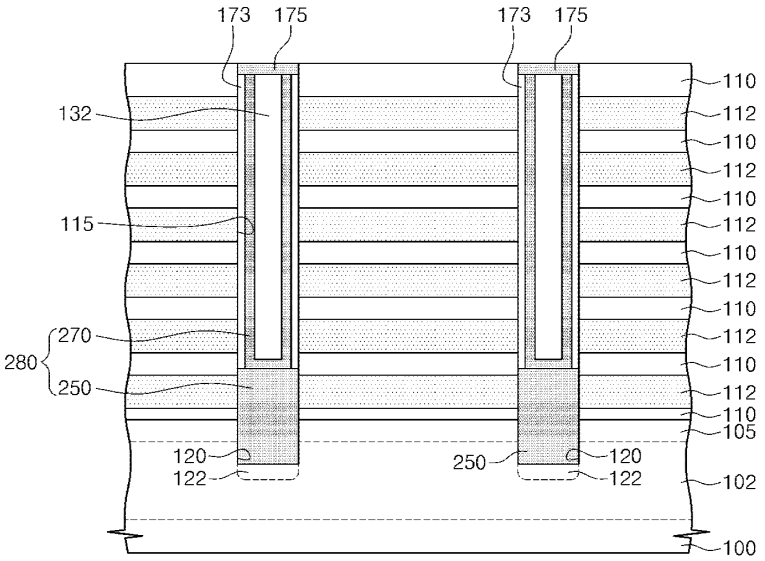


도면15f

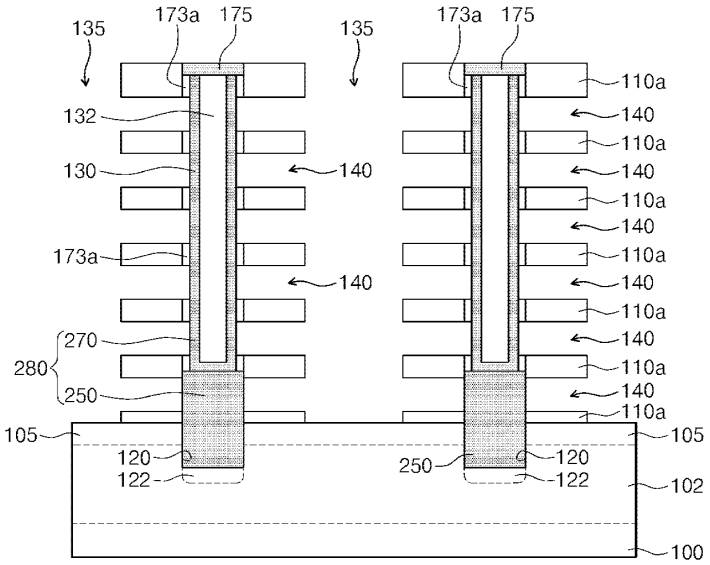


Micron Ex. 1002, p. 838
Micron v. YMTC
IPR2025-00294

도면16a

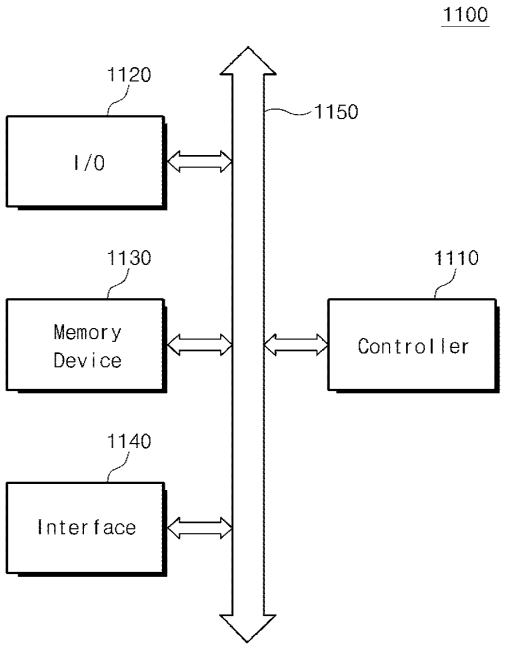


도면16b

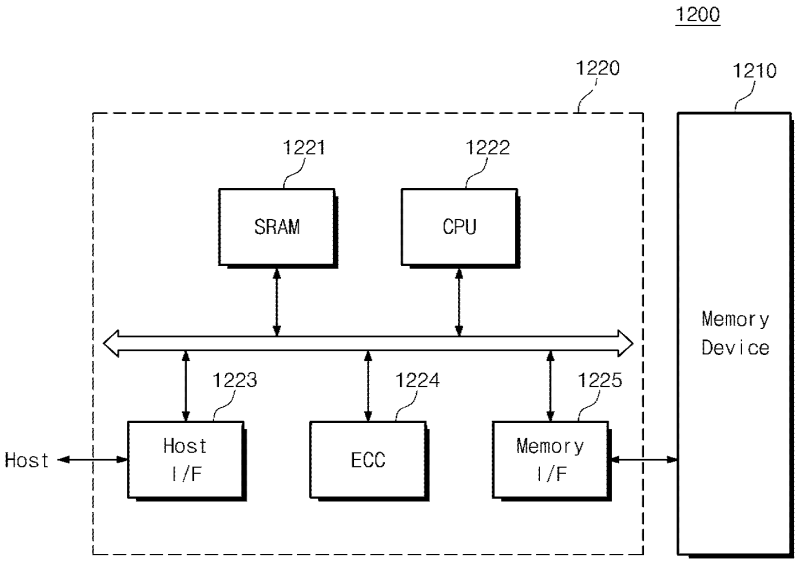


Micron Ex. 1002, p. 839
Micron v. YMTC
IPR2025-00294

도면17



도면18



Micron Ex. 1002, p. 840
Micron v. YMTC
IPR2025-00294

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0003977
(43) 공개일자 2016년01월12일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) *H01L 21/336* (2006.01)
(21) 출원번호 10-2014-0081956
(22) 출원일자 2014년07월01일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
이도현
경기 화성시 동탄숲속로 36, 885동 1002호 (능동, 모아미래도2단지아파트)
이재구
경기 수원시 영통구 영통2동 풍림아이원아파트 916번지 영통3차 풍림아이원아파트 104동 506호
(뒷면에 계속)
(74) 대리인
특허법인 고려

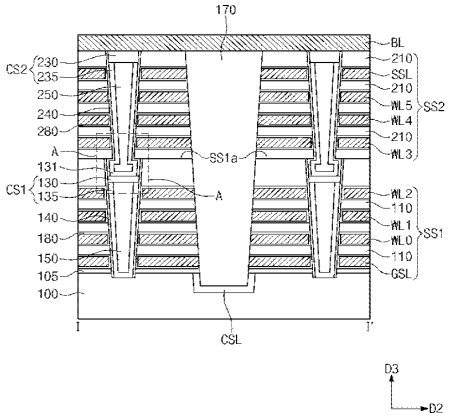
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **반도체 장치 및 그 제조방법**

(57) 요 약

본 발명은 하부 채널 구조체와 상부 채널 구조체간의 개선된 연결 구조를 갖는 3차원 반도체 메모리 장치에 관한 것으로, 보다 구체적으로, 상부 채널 구조체가 하부 채널 구조체에 의해 스크린되지 않는 구조를 가짐으로써, 상기 하부 채널 구조체와 상기 상부 채널 구조체간의 전자 및/또는 정공의 이동 경로(path)가 원활히 확보될 수 있다.

대 표 도 - 도2b



Micron Ex. 1002, p. 841
Micron v. YMTC
IPR2025-00294

(72) 발명자

권영진

경기 수원시 권선구 호매실로165번길 70, 1516동 1304호 (호매실동, 수원호매실휴먼시아15단지아파트)

박영우

서울 강남구 삼성로 150, 203동 201호 (대치동, 한보미도맨션)

이재덕

경기 성남시 분당구 정자로 143, 211동 101호 (정자동, 한솔마을LG아파트)

Micron Ex. 1002, p. 842
Micron v. YMTC
IPR2025-00294

Micron Ex. 1002, p. 843
Micron v. YMTC
IPR2025-00294

명 세 서

청구범위

청구항 1

기판 상에 교대로 그리고 반복적으로 적층된 하부 게이트 전극들 및 하부 절연막들을 포함하는 하부 적층 구조체;

상기 하부 적층 구조체 상에 교대로 그리고 반복적으로 적층된 상부 게이트 전극들 및 상부 절연막들을 포함하는 상부 적층 구조체;

상기 하부 적층 구조체를 관통하여 상기 기판과 연결되는 하부 채널 구조체;

상기 상부 적층 구조체를 관통하여 상기 하부 채널 구조체와 연결되는 상부 채널 구조체; 및

상기 하부 적층 구조체와 상기 하부 채널 구조체 사이에 개재된 하부 수직 절연체를 포함하고,

상기 하부 채널 구조체는 상기 기판과 연결되는 제1 수직 반도체 패턴, 및 상기 제1 수직 반도체 패턴 상의 제1 접속 반도체 패턴을 포함하며,

상기 상부 채널 구조체는, 상기 제1 접속 반도체 패턴을 사이에 두고 상기 제1 수직 반도체 패턴과 전기적으로 연결되는 제2 수직 반도체 패턴을 포함하고,

상기 하부 채널 구조체의 최상부면은 상기 하부 수직 절연체의 상면과 다른 레벨에 위치하는 반도체 장치.

청구항 2

제1항에 있어서,

상기 하부 수직 절연체의 상기 상면은 상기 하부 적층 구조체의 상면과 공면을 이루는 반도체 장치.

청구항 3

제1항에 있어서,

상기 제1 접속 반도체 패턴은 N형 도펀트로 도핑된 반도체 장치.

청구항 4

제1항에 있어서,

상기 상부 적층 구조체와 상기 상부 채널 구조체 사이에 개재된 상부 수직 절연체를 더 포함하고,

상기 하부 수직 절연체의 상부의 내측면은 상기 상부 수직 절연체의 하부의 외측면과 직접 접촉하는 반도체 장치.

청구항 5

제4항에 있어서,

상기 상부 채널 구조체는 상기 상부 적층 구조체, 및 상기 하부 적층 구조체의 상부를 연속적으로 관통하고,

상기 제2 수직 반도체 패턴은, 상기 하부 적층 구조체의 상기 상부에 배치된 상기 제1 접속 반도체 패턴과 직접 접촉하는 반도체 장치.

Micron Ex. 1002, p. 844
Micron v. YMTC
IPR2025-00294

청구항 6

제4항에 있어서,

상기 제2 수직 반도체 패턴의 바닥부는, 상기 제1 접속 반도체 패턴과 상기 상부 적층 구조체 사이의 리세스된 홀 내에 제공되는 반도체 장치.

청구항 7

제4항에 있어서,

상기 하부 적층 구조체와 상기 상부 적층 구조체가 접촉하는 부분에서, 상기 제2 수직 반도체 패턴의 외측면은 계단형 프로파일(step profile)을 갖는 반도체 장치.

청구항 8

제1항에 있어서,

상기 상부 적층 구조체와 상기 상부 채널 구조체 사이에 개재된 상부 수직 절연체를 더 포함하고,

일 단면의 관점에서, 상기 상부 수직 절연체의 측벽은 상기 하부 수직 절연체의 측벽과 중첩하지 않는 반도체 장치.

청구항 9

제8항에 있어서,

상기 제1 접속 반도체 패턴은, 상기 상부 적층 구조체의 하부를 관통하여 수직으로 연장되는 돌출부를 포함하고,

상기 돌출부는, 상기 상부 적층 구조체의 상기 하부에 배치된 상기 제2 수직 반도체 패턴의 바닥부와 직접 접촉하는 반도체 장치.

청구항 10

제9항에 있어서,

상기 돌출부는 상기 하부 수직 절연체 및 상기 상부 수직 절연체 사이에 제공된 반도체 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로서, 보다 상세하게는 3차원으로 배열된 메모리 셀들을 갖는 3차원 반도체 메모리 장치 및 그 제조 방법에 관한 것이다.

배 경 기 술

[0002] 소비자가 요구하는 우수한 성능 및 저렴한 가격을 충족시키기 위해 반도체 장치의 집적도를 증가시키는 것이 요구되고 있다. 반도체 장치의 경우, 그 집적도는 제품의 가격을 결정하는 중요한 요인이기 때문에, 특히 증가된 집적도가 요구되고 있다. 종래의 2차원 또는 평면적 반도체 장치의 경우, 그 집적도는 단위 메모리 셀이 점유하는 면적에 의해 주로 결정되기 때문에, 미세 패턴 형성 기술의 수준에 크게 영향을 받는다. 하지만, 패턴의 미세화를 위해서는 초고가의 장비들이 필요하기 때문에, 2차원 반도체 장치의 집적도가 증가하고는 있지만 여전히

제한적이다.

[0003] 이러한 한계를 극복하기 위해, 3차원적으로 배열되는 메모리 셀들을 구비하는 3차원 반도체 메모리 장치들이 제안되고 있다. 그러나, 3차원 반도체 메모리 장치의 대량 생산을 위해서는, 비트당 제조 비용을 2차원 반도체 장치의 그것보다 줄일 수 있으면서 신뢰성 있는 제품 특성을 구현할 수 있는 공정 기술이 요구되고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 해결하고자 하는 과제는 하부 채널 구조체와 상부 채널 구조체간의 개선된 연결 구조를 갖는 3차원 반도체 메모리 장치를 제공하는데 있다.

[0005] 본 발명이 해결하고자 하는 다른 과제는 제조 공정이 단순화된 3차원 반도체 메모리 장치의 제조방법을 제공하는데 있다.

과제의 해결 수단

[0006] 본 발명의 개념에 따른, 반도체 장치는, 기판 상에 교대로 그리고 반복적으로 적층된 하부 게이트 전극들 및 하부 절연막들을 포함하는 하부 적층 구조체; 상기 하부 적층 구조체 상에 교대로 그리고 반복적으로 적층된 상부 게이트 전극들 및 상부 절연막들을 포함하는 상부 적층 구조체; 상기 하부 적층 구조체를 관통하여 상기 기판과 연결되는 하부 채널 구조체; 상기 상부 적층 구조체를 관통하여 상기 하부 채널 구조체와 연결되는 상부 채널 구조체; 및 상기 하부 적층 구조체와 상기 하부 채널 구조체 사이에 개재된 하부 수직 절연체를 포함할 수 있다. 여기서, 상기 하부 채널 구조체는 상기 기판과 연결되는 제1 수직 반도체 패턴, 및 상기 제1 수직 반도체 패턴 상의 제1 접속 반도체 패턴을 포함하며, 상기 상부 채널 구조체는, 상기 제1 접속 반도체 패턴을 사이에 두고 상기 제1 수직 반도체 패턴과 전기적으로 연결되는 제2 수직 반도체 패턴을 포함하고, 상기 하부 채널 구조체의 최상부면은 상기 하부 수직 절연체의 상면과 다른 레벨에 위치할 수 있다.

[0007] 상기 하부 수직 절연체의 상기 상면은 상기 하부 적층 구조체의 상면과 공면을 이룰 수 있다.

[0008] 상기 제1 접속 반도체 패턴의 상면은 상기 제2 수직 반도체 패턴의 바닥면과 직접 접촉할 수 있다.

[0009] 상기 제1 접속 반도체 패턴은 N형 도펀트로 도핑될 수 있다.

[0010] 상기 하부 채널 구조체와 상기 상부 채널 구조체가 접촉하는 부분에 인접한 더미 게이트 전극을 더 포함할 수 있다.

[0011] 본 발명의 개념에 따른, 반도체 장치는, 상기 상부 적층 구조체와 상기 상부 채널 구조체 사이에 개재된 상부 수직 절연체를 더 포함하고, 상기 하부 수직 절연체의 상부의 내측면은 상기 상부 수직 절연체의 하부의 외측면과 직접 접촉할 수 있다.

[0012] 상기 상부 채널 구조체는 상기 상부 적층 구조체, 및 상기 하부 적층 구조체의 상부를 연속적으로 관통하고, 상기 제2 수직 반도체 패턴은, 상기 하부 적층 구조체의 상기 상부에 배치된 상기 제1 접속 반도체 패턴과 직접 접촉할 수 있다.

[0013] 상기 제2 수직 반도체 패턴의 바닥부는, 상기 제1 접속 반도체 패턴과 상기 상부 적층 구조체 사이의 리세스된 홀 내에 제공될 수 있다.

[0014] 상기 하부 적층 구조체와 상기 상부 적층 구조체가 접촉하는 부분에서, 상기 제2 수직 반도체 패턴의 외측면은 계단형 프로파일(step profile)을 가질 수 있다.

[0015] 상기 상부 수직 절연체의 바닥면은 상기 제1 접속 반도체 패턴의 상면과 직접 접촉할 수 있다.

[0016] 상기 제2 수직 반도체 패턴의 바닥면은 최상부의 상기 하부 게이트 전극보다 높은 레벨에 위치할 수 있다.

[0017] 본 발명의 개념에 따른, 반도체 장치는, 상기 상부 적층 구조체와 상기 상부 채널 구조체 사이에 개재된 상부 수직 절연체를 더 포함하고, 일 단면의 관점에서, 상기 상부 수직 절연체의 측벽은 상기 하부 수직 절연체의 측벽과 중첩하지 않을 수 있다.

Micron Ex. 1002, p. 845
Micron v. YMTC
IPR2025-00294

Micron Ex. 1002, p. 846
Micron v. YMTC
IPR2025-00294

[0018] 상기 제1 접속 반도체 패턴은, 상기 상부 적층 구조체의 하부를 관통하여 수직으로 연장되는 돌출부를 포함할 수 있고, 상기 돌출부는, 상기 상부 적층 구조체의 상기 하부에 배치된 상기 제2 수직 반도체 패턴의 바닥부와 직접 접촉할 수 있다.

[0019] 상기 상부 수직 절연체의 바닥면은 상기 돌출부의 상면과 직접 접촉할 수 있다.

[0020] 상기 돌출부는 상기 하부 수직 절연체 및 상기 상부 수직 절연체 사이에 제공될 수 있다.

[0021] 상기 돌출부의 상면은 최하부의 상기 상부 게이트 전극의 바닥면보다 아래에 위치할 수 있다.

[0022] 본 발명의 개념에 따른, 반도체 장치의 제조 방법은, 기판 상에 하부 희생막들 및 하부 절연막들이 교대로 그리고 반복적으로 적층된 하부 박막 구조체를 형성하는 것; 상기 하부 박막 구조체를 관통하여 상기 기판을 노출하는 하부 채널 홀을 형성하는 것; 상기 하부 채널 홀 내에, 제1 수직 반도체 패턴, 및 상기 제1 수직 반도체 패턴 상의 제1 접속 반도체 패턴을 포함하는 하부 채널 구조체를 형성하는 것; 상기 하부 박막 구조체 상에 상부 희생막들 및 상부 절연막들이 교대로 그리고 반복적으로 적층된 상부 박막 구조체를 형성하는 것; 상기 상부 박막 구조체, 및 상기 하부 박막 구조체의 상부를 연속적으로 관통하여 상기 제1 접속 반도체 패턴의 내측면을 노출하는 상부 채널 홀을 형성하는 것; 노출된 상기 제1 접속 반도체 패턴의 상기 내측면을 식각하여, 상기 제1 접속 반도체 패턴과 상기 상부 박막 구조체 사이의 리세스된 홀을 형성하는 것; 및 상기 리세스된 홀 및 상기 상부 채널 홀 내에, 제1 접속 반도체 패턴과 직접 접촉하는 상부 채널 구조체를 형성하는 것을 포함할 수 있다.

[0023] 상기 상부 채널 구조체를 형성하는 것은: 상기 리세스된 홀 및 상기 상부 채널 홀 내에, 상부 수직 절연막을 형성하는 것; 상기 상부 수직 절연막을 덮는 반도체 막을 형성하는 것; 상기 리세스된 홀의 하부의 상기 상부 수직 절연막 및 상기 반도체 막을 식각하여, 상기 제1 접속 반도체 패턴의 상면을 노출하는 것; 및 노출된 상기 제1 접속 반도체 패턴의 상기 상면 상에 제2 수직 반도체 패턴을 형성하는 것을 포함할 수 있다.

[0024] 본 발명의 개념에 따른, 반도체 장치의 제조 방법은, 기판 상에 하부 희생막들 및 하부 절연막들이 교대로 그리고 반복적으로 적층된 하부 박막 구조체를 형성하는 것; 상기 하부 박막 구조체를 관통하여 상기 기판을 노출하는 하부 채널 홀을 형성하는 것; 상기 하부 채널 홀 내에, 제1 수직 반도체 패턴, 및 상기 제1 수직 반도체 패턴 상의 제1 접속 반도체 패턴을 포함하는 하부 채널 구조체를 형성하는 것; 상기 하부 박막 구조체 상에 상부 희생막들 및 상부 절연막들이 교대로 그리고 반복적으로 적층된 상부 박막 구조체를 형성하는 것; 상기 상부 박막 구조체, 및 상기 하부 박막 구조체의 상부를 연속적으로 관통하여 상기 제1 접속 반도체 패턴의 내측면을 노출하는 상부 채널 홀을 형성하는 것; 노출된 상기 제1 접속 반도체 패턴의 상기 내측면 상에 선택적 에피택시얼 성장(Selective Epitaxial Growth, SEG) 공정을 수행하여, 상기 상부 채널 홀을 따라 수직으로 연장되는 돌출부를 형성하는 것; 상기 상부 채널 홀 내에, 상기 돌출부와 직접 접촉하는 상부 채널 구조체를 형성하는 것을 포함할 수 있다.

[0025] 상기 돌출부의 외측면은 상기 상부 채널 홀의 하부의 내측면과 직접 접촉할 수 있다.

발명의 효과

[0026] 본 발명에 따른 3차원 반도체 메모리 장치는, 상부 채널 구조체가 하부 채널 구조체에 의해 스크린되지 않는 구조를 가짐으로써, 상기 하부 채널 구조체와 상기 상부 채널 구조체간의 전자 및/또는 정공의 이동 경로(path)가 원활히 확보될 수 있다.

도면의 간단한 설명

[0027] 도 1은 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치의 셀 어레이를 나타내는 간략 회로도이다.

도 2a는 본 발명의 일 실시예에 따른 3차원 반도체 메모리 장치의 평면도이다.

도 2b는 도 2a의 I-I'선에 따른 단면도이다.

도 2c는 도 2b의 A영역을 확대한 단면도이다.

도 3a 내지 도 3j는 본 발명의 일 실시예에 따른 3차원 반도체 메모리 장치의 제조방법을 설명하기 위한 단면도

Micron Ex. 1002, p. 847
Micron v. YMTC
IPR2025-00294

들이다.

도 4a는 도 2a의 I-I'선에 대응되는, 본 발명의 일 실시예에 따른 3차원 반도체 메모리 장치의 또 다른 단면도이다.

도 4b는 도 4a의 A영역을 확대한 단면도이다.

도 5a 내지 도 5c는 본 발명의 일 실시예에 따른 3차원 반도체 메모리 장치의 제조방법을 설명하기 위한 또 다른 단면도들이다.

도 6은 본 발명의 다른 실시예들에 따른 3차원 반도체 메모리 장치의 셀 어레이를 나타내는 또 다른 간략 회로도이다.

도 7은 도 2a의 I-I'선에 대응되는, 본 발명의 다른 실시예에 따른 3차원 반도체 메모리 장치의 또 다른 단면도이다.

도 8은 도 2a의 I-I'선에 대응되는, 본 발명의 다른 실시예에 따른 3차원 반도체 메모리 장치의 또 다른 단면도이다.

도 9는 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치를 포함하는 메모리 시스템의 일 예를 나타내는 개략 블록도이다.

도 10은 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치를 구비하는 메모리 카드의 일 예를 나타내는 개략 블록도이다.

도 11은 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치를 장착하는 정보 처리 시스템의 일 예를 나타내는 개략 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0028] 본 발명의 구성 및 효과를 충분히 이해하기 위하여, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예들을 설명한다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라, 여러가지 형태로 구현될 수 있고 다양한 변경을 가할 수 있다. 단지, 본 실시예들의 설명을 통해 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야의 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위하여 제공되는 것이다.

[0029] 본 명세서에서, 어떤 구성요소가 다른 구성요소 상에 있다고 언급되는 경우에 그것은 다른 구성요소 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 구성요소가 개재될 수도 있다는 것을 의미한다. 또한, 도면들에 있어서, 구성요소들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분은 동일한 구성요소들을 나타낸다.

[0030] 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 예시도인 단면도 및/또는 평면도들을 참고하여 설명될 것이다. 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이며 발명의 범주를 제한하기 위한 것이 아니다. 본 명세서의 다양한 실시예들에서 제1, 제2, 제3 등의 용어가 다양한 구성요소들을 기술하기 위해서 사용되었지만, 이들 구성요소들이 이 같은 용어들에 의해서 한정되어서는 안 된다. 이들 용어들은 단지 어느 구성요소를 다른 구성요소와 구별시키기 위해서 사용되었을 뿐이다. 여기에 설명되고 예시되는 실시예들은 그것의 상보적인 실시예들도 포함한다.

[0031] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다(comprises)' 및/또는 '포함하는(comprising)'은 언급된 구성요소는 하나 이상의 다른 구성요소의 존재 또는 추가를 배제하지 않는다.

[0032] 도 1은 본 발명의 일 실시예들에 따른 3차원 반도체 메모리 장치의 셀 어레이를 나타내는 간략 회로도이다.

[0033] 도 1을 참조하면, 일 실시예에 따른 3차원 반도체 메모리 장치의 셀 어레이는 공통 소스 라인(CSL), 복수 개의 비트 라인들(BL) 및 상기 공통 소스 라인(CSL)과 상기 비트 라인들(BL) 사이에 배치되는 복수 개의 셀 스트링들(CSTR)을 포함할 수 있다.

Micron Ex. 1002, p. 848
Micron v. YMTC
IPR2025-00294

[0034] 상기 공통 소스 라인(CSL)은 기판(100) 상에 배치되는 도전성 박막 또는 기판(100) 내에 형성되는 불순물 영역일 수 있다. 상기 비트 라인들(BL)은 상기 기판(100)으로부터 이격되어, 상기 기판(100) 상에 배치되는 도전성 패턴들(예를 들면, 금속 라인)일 수 있다. 상기 비트 라인들(BL)은 2차원적으로 배열되고, 그 각각에는 복수 개의 셀 스트링들(CSTR)이 병렬로 연결될 수 있다. 상기 셀 스트링들(CSTR)은 상기 공통 소스 라인(CSL)에 공통으로 연결될 수 있다. 즉, 복수의 상기 비트 라인들(BL)과 상기 공통 소스 라인(CSL) 사이에 복수의 상기 셀 스트링들(CSTR)이 배치될 수 있다. 일 실시예에 따르면, 상기 공통 소스 라인(CSL)은 복수 개로 제공되고, 2차원적으로 배열될 수 있다. 여기서, 공통 소스 라인들(CSL)에는 전기적으로 동일한 전압이 인가될 수 있으며, 또는 공통 소스 라인들(CSL)의 각각이 전기적으로 제어될 수도 있다.

[0035] 상기 셀 스트링들(CSTR)의 각각은 상기 공통 소스 라인(CSL)에 접속하는 접지 선택 트랜지스터(GST), 상기 비트 라인(BL)에 접속하는 스트링 선택 트랜지스터(SST), 및 상기 접지 및 스트링 선택 트랜지스터들(GST, SST) 사이에 배치되는 복수 개의 메모리 셀 트랜지스터들(MCT)로 구성될 수 있다. 그리고, 상기 접지 선택 트랜지스터(GST), 상기 스트링 선택 트랜지스터(SST) 및 상기 메모리 셀 트랜지스터들(MCT)은 직렬로 연결될 수 있다.

[0036] 상기 공통 소스 라인(CSL)은 상기 접지 선택 트랜지스터들(GST)의 소스들에 공통으로 연결될 수 있다. 이에 더하여, 상기 공통 소스 라인(CSL)과 상기 비트 라인들(BL) 사이에 배치되는, 접지 선택 라인(GSL), 복수 개의 워드 라인들(WL0-WL5) 및 복수 개의 스트링 선택 라인들(SSL)이 상기 접지 선택 트랜지스터(GST), 상기 메모리 셀 트랜지스터들(MCT) 및 상기 스트링 선택 트랜지스터들(SST)의 게이트 전극들로서 각각 사용될 수 있다. 또한, 상기 메모리 셀 트랜지스터들(MCT)의 각각은 데이터 저장 요소(data storage element)를 포함할 수 있다.

[0037] 도 2a는 본 발명의 일 실시예들에 따른 3차원 반도체 메모리 장치의 일 예인 평면도이다. 도 2b는 도 2a의 I-I'선에 따른 단면도이다.

[0038] 도 2a 및 도 2b를 참조하면, 기판(100)이 준비된다. 상기 기판(100)은 일례로, 실리콘 기판, 게르마늄 기판 또는 실리콘-게르마늄 기판일 수 있다. 상기 기판(100)은 불순물이 도핑된 공통 소스 라인들(CSL)을 포함할 수 있다. 상기 공통 소스 라인들(CSL)은 일례로, N형 도펀트로 도핑된 영역일 수 있다. 상기 공통 소스 라인들(CSL)은 전극 분리 패턴(170)과 중첩될 수 있다. 상기 공통 소스 라인들(CSL)은 상기 기판(100)의 상면에 평행한 제1 방향(D1)으로 연장된 라인 형태를 가질 수 있고, 상기 제1 방향(D1)에 교차하는 제2 방향(D2)을 따라 배열될 수 있다.

[0039] 상기 기판(100) 상에, 하부 게이트 전극들(GSL,WL0~WL2) 및 하부 절연막들(110)이 교대로 그리고 반복적으로 적층된 하부 적층 구조체(SS1)가 배치될 수 있다. 보다 구체적으로, 상기 하부 적층 구조체(SS1)에 포함된 상기 하부 게이트 전극들(GSL,WL0~WL2)은 상기 제1 방향(D1) 및 상기 제2 방향(D2)에 모두 수직한 제3 방향(D3)을 따라 적층될 수 있다. 상기 하부 게이트 전극들(GSL,WL0~WL2)은, 상기 하부 게이트 전극들(GSL,WL0~WL2) 사이에 배치된 상기 하부 절연막들(110)에 의해 서로 분리될 수 있다. 상기 하부 절연막들(110)은, 예를 들면 실리콘 산화막으로 형성될 수 있다. 상기 하부 게이트 전극들(GSL,WL0~WL2)은 도핑된 실리콘, 텅스텐, 금속 질화막 및 금속 실리사이드 중의 적어도 하나로 형성될 수 있다. 평면적 관점에서, 상기 하부 적층 구조체(SS1)는 상기 제1 방향(D1)으로 연장된 라인 형태를 가질 수 있다. 상기 기판(100)과 상기 하부 적층 구조체(SS1) 사이에 최하부 절연막(105)이 배치될 수 있다. 상기 최하부 절연막(105)은, 예를 들면 실리콘 산화막일 수 있다. 상기 최하부 절연막(105)은 상기 하부 절연막들(110)보다 얇은 두께를 가질 수 있다.

[0040] 복수의 하부 채널 구조체들(CS1)이 상기 하부 적층 구조체(SS1)를 관통하여 상기 기판(100)과 전기적으로 연결될 수 있다. 평면적 관점에서, 상기 하부 채널 구조체들(CS1)은 상기 제1 방향(D1)을 따라 서로 이격되어 배열될 수 있다. 상기 하부 채널 구조체들(CS1)은 상기 제1 방향(D1)을 따른 제1 열(R1) 및 제2 열(R2)을 이룰 수 있다. 상기 제1 열(R1) 및 제2 열(R2)은 상기 제2 방향(D2)으로 서로 이격될 수 있다. 즉, 상기 하부 채널 구조체들(CS1)은 상기 제1 방향(D1) 및 상기 제2 방향(D2)의 매트릭스형으로 배열될 수 있다. 이와는 달리, 상기 하부 채널 구조체들(CS1)은 지그재그로 배열될 수 있다.

[0041] 최상부의 하부 절연막(110) 상에, 상부 게이트 전극들(WL3~WL5,SSL) 및 상부 절연막들(210)이 교대로 그리고 반복적으로 적층된 상부 적층 구조체(SS2)가 배치될 수 있다. 보다 구체적으로, 상기 상부 적층 구조체(SS2)에 포함된 상기 상부 게이트 전극들(WL3~WL5,SSL)은 상기 제3 방향(D3)을 따라 적층될 수 있다. 상기 상부 게이트 전극들(WL3~WL5,SSL)은, 상기 상부 게이트 전극들(WL3~WL5,SSL) 사이에 배치된 상기 상부 절연막들(210)에 의해 서로 분리될 수 있다. 상기 상부 절연막들(210)은, 예를 들면 실리콘 산화막으로 형성될 수 있다. 상기 상부 게이트 전극들(WL3~WL5,SSL)은 도핑된 실리콘, 텅스텐, 금속 질화막 및 금속 실리사이드 중의 적어도 하나로 형성될 수 있다. 평면적 관점에서, 상기 상부 적층 구조체들(SS2) 각각은 상기 하부 적층 구조체(SS1)와 중첩되어,

상기 제1 방향(D1)으로 연장된 라인 형태를 가질 수 있다.

[0042] 일 예에 따르면, 최하부의 하부 게이트 전극(GSL)은, 도 1을 참조하여 설명한 상기 접지 선택 트랜지스터(GST)의 게이트 전극으로 이용될 수 있다. 또한, 최상부의 상부 게이트 전극(SSL)은, 도 1을 참조하여 설명한 상기 스트링 선택 트랜지스터(SST)의 게이트 전극으로 이용될 수 있다. 상기 최상부의 상부 게이트 전극(SSL)과 상기 최하부의 하부 게이트 전극(GSL) 사이의 게이트 전극들(WL0~WL5)은, 도 1을 참조하여 설명한, 상기 메모리 셀 트랜지스터들(MCT)의 게이트 전극들로 이용될 수 있다.

[0043] 복수의 상부 채널 구조체들(CS2)이 상기 상부 적층 구조체(SS2)를 관통하여 상기 하부 채널 구조체들(CS1)과 전기적으로 연결될 수 있다. 상기 하부 채널 구조체들(CS1)과 상기 상부 채널 구조체들(CS2)과의 연결관계에 대해서는 뒤에서 보다 구체적으로 설명한다. 평면적 관점에서, 상기 상부 채널 구조체들(CS2)은, 도 2a에 도시된 바와 같이, 상기 제1 방향(D1)을 따라 서로 이격되어 배열될 수 있다. 상기 상부 채널 구조체들(CS2)은 상기 제1 방향(D1)을 따른 제1 열(R1) 및 제2 열(R2)을 이룰 수 있다. 상기 제1 열(R1) 및 제2 열(R2)은 상기 제2 방향(D2)으로 서로 이격될 수 있다. 즉, 상기 상부 채널 구조체들(CS2)은 상기 제1 방향(D1) 및 상기 제2 방향(D2)의 매트릭스형으로 배열될 수 있다. 이와는 달리, 상기 상부 채널 구조체들(CS2)은 지그재그로 배열될 수 있다. 나아가, 평면적 관점에서, 상기 상부 채널 구조체들(CS2)의 배열은 상기 하부 채널 구조체들(CS1)의 배열과 중첩될 수 있다.

[0044] 상기 하부 채널 구조체들(CS1)의 각각은, 상기 하부 적층 구조체(SS1)를 관통하여 상기 기판(100)에 전기적으로 연결될 수 있다. 상기 하부 채널 구조체들(CS1)의 각각은, 상기 기판(100)과 연결되는 제1 수직 반도체 패턴(135), 및 상기 제1 수직 반도체 패턴(135) 상에 배치된 제1 접속 반도체 패턴(130)을 포함할 수 있다. 본 예에서, 상기 제1 수직 반도체 패턴(135)의 측면은 경사지게 형성될 수 있다. 상기 제1 수직 반도체 패턴(135)은 상단이 오픈된(opened) 컵 형상을 가질 수 있다. 상기 제1 접속 반도체 패턴(130)은 상기 제1 수직 반도체 패턴(135)의 상면으로부터 상기 제3 방향(D3)으로 연장될 수 있다. 상기 제1 접속 반도체 패턴(130)은, 상기 제1 수직 반도체 패턴(135)의 오픈된 상단을 덮는 뚜껑 형상을 가질 수 있다. 상기 제1 접속 반도체 패턴(130)의 상면은 평탄화된 면일 수 있다. 상기 하부 채널 구조체들(CS1)의 각각의 내부는 하부 매립 절연막(150)으로 채워질 수 있다. 상기 하부 매립 절연막(150)의 상면과 상기 제1 수직 반도체 패턴(135)의 상면은 공면을 이룰 수 있다.

[0045] 상기 상부 채널 구조체들(CS2)의 각각은, 상기 상부 적층 구조체(SS2), 및 상기 하부 적층 구조체(SS1)의 상부를 연속적으로 관통할 수 있다. 상기 상부 채널 구조체들(CS2)의 각각은, 상기 제1 접속 반도체 패턴(130)과 연결되는 제2 수직 반도체 패턴(235), 및 상기 제2 수직 반도체 패턴(235) 상에 배치된 제2 접속 반도체 패턴(230)을 포함할 수 있다. 본 예에서, 상기 제2 수직 반도체 패턴(235)의 측면은 경사지게 형성될 수 있다. 상기 제2 수직 반도체 패턴(235)은 상단이 오픈된(opened) 컵 형상을 가질 수 있다. 다만, 상기 하부 적층 구조체(SS1)와 상기 상부 적층 구조체(SS2)가 접촉하는 부분에서, 상기 제2 수직 반도체 패턴(235)의 외측면은 계단형 프로파일(step profile)을 가질 수 있다. 즉, 상기 제2 수직 반도체 패턴(235)의 외경은, 상기 제3 방향(D3)의 반대 방향으로 갈수록 감소하지만, 상기 최상부의 하부 절연막(110)과 최하부의 상부 절연막(210)이 접촉하는 부분에서 불연속적으로 증가할 수 있다. 상기 제2 접속 반도체 패턴(230)은 상기 제2 수직 반도체 패턴(235)의 상면으로부터 상기 제3 방향(D3)으로 연장될 수 있다. 상기 제2 접속 반도체 패턴(230)은, 상기 제2 수직 반도체 패턴(235)의 오픈된 상단을 덮는 뚜껑 형상을 가질 수 있다. 상기 제2 접속 반도체 패턴(230)의 상면은 평탄화된 면일 수 있다. 상기 상부 채널 구조체들(CS2)의 각각의 내부는 상부 매립 절연막(250)으로 채워질 수 있다. 상기 상부 매립 절연막(250)의 상면과 상기 제2 수직 반도체 패턴(235)의 상면은 공면을 이룰 수 있다.

[0046] 상기 하부 채널 구조체들(CS1) 및 상기 상부 채널 구조체들(CS2)은 반도체 물질을 포함할 수 있다. 일례로, 상기 하부 채널 구조체들(CS1) 및 상기 상부 채널 구조체들(CS2)은 불순물이 도핑되지 않은 진성(intrinsic) 반도체막으로 이루어질 수 있다. 상기 진성 반도체막은 실리콘(Si), 게르마늄(Ge) 또는 이들의 혼합물을 포함할 수 있다. 또는, 상기 하부 채널 구조체들(CS1) 및 상기 상부 채널 구조체들(CS2)은 불순물이 도핑된 반도체일 수 있으며, 구체적으로 상기 기판(100)과 동일한 도전형을 갖는 불순물로 도핑될 수 있다. 또한, 상기 하부 채널 구조체들(CS1) 및 상기 상부 채널 구조체들(CS2)은 단결정, 비정질(amorphous), 및 다결정(polycrystalline) 중 적어도 하나의 결정 구조를 가질 수 있다. 특히, 상기 제1 접속 반도체 패턴(130)은 N형 도펀트로 도핑될 수 있다. 구체적으로, 상기 제1 접속 반도체 패턴(130)은, $10^{-19}/cm^3$ 내지 $10^{-17}/cm^3$의 농도로 N형 도펀트로 도핑될 수 있다. 만약, N형 도펀트의 농도가 $10^{-17}/cm^3$ 보다 높은 경우, 정공의 이동 경로가 원활히 확보되기 어려울 수 있다.

Micron Ex. 1002, p. 849
Micron v. YMTC
IPR2025-00294

Micron Ex. 1002, p. 850
Micron v. YMTC
IPR2025-00294

[0047] 상기 하부 채널 구조체들(CS1) 및 상기 상부 채널 구조체들(CS2)은, 상기 하부 게이트 전극들(GSL,WL0~WL2) 및 상기 상부 게이트 전극들(WL3~WL5,SSL) 중 어느 하나에 전압이 인가되면, 이에 인접한 채널 구조체의 소정 영역에 주변 전기장(fringe field)에 의한 반전(inversion) 영역이 형성될 수 있다. 이러한 반전 영역은, 메모리 셀 트랜지스터의 소스/드레인 영역을 형성할 수 있다.

[0048] 상기 하부 적층 구조체(SS1)와 상기 하부 채널 구조체들(CS1) 사이에 하부 수직 절연체들(140)이 개재될 수 있다. 상기 하부 수직 절연체들(140)은 상단 및 하단이 오픈된 파이프 형태 또는 마카로니 형태일 수 있다. 일 예에 따르면, 상기 하부 수직 절연체들(140)은 상기 기판(100)과 접할 수 있다. 상기 하부 수직 절연체들(140)은 상기 하부 적층 구조체(SS1)의 내벽을 덮을 수 있다.

[0049] 상기 상부 적층 구조체(SS2)와 상기 상부 채널 구조체들(CS2) 사이에 상부 수직 절연체들(240)이 개재될 수 있다. 상기 상부 수직 절연체들(240)은 상단 및 하단이 오픈된 파이프 형태 또는 마카로니 형태일 수 있다. 다만, 상기 하부 적층 구조체(SS1)와 상기 상부 적층 구조체(SS2)가 접촉하는 부분에서, 상기 상부 수직 절연체들(240)의 외측면은 계단형 프로파일을 가질 수 있다. 일 예에 따르면, 상기 상부 수직 절연체들(240)은 상기 제1 접속 반도체 패턴(130)과 접할 수 있다. 상기 상부 수직 절연체들(240)은 상기 상부 적층 구조체(SS2)의 내벽을 덮을 수 있다. 상기 하부 수직 절연체들(140) 및 상기 상부 수직 절연체들(240)의 구체적인 구조에 대해서는 뒤에서 보다 구체적으로 설명한다.

[0050] 상기 하부 및 상부 수직 절연체들(140, 240)은 플래시 메모리 장치의 메모리 요소를 포함할 수 있다. 즉, 상기 하부 및 상부 수직 절연체들(140, 240)은 플래시 메모리 장치의 전하 저장막(미도시)을 포함할 수 있다. 이와 달리, 상기 하부 및 상부 수직 절연체들(140, 240)은 정보를 저장하는 것이 가능한 박막(예를 들면, 상변화 메모리를 위한 박막 또는 가변저항 메모리를 위한 박막)을 포함할 수도 있다. 일 예에 따르면, 상기 하부 및 상부 수직 절연체들(140, 240)은 차례로 적층된 상기 전하 저장막(미도시) 및 터널 절연막(미도시)을 포함할 수 있다. 다른 예에 따르면, 상기 하부 및 상부 수직 절연체들(140, 240)은 상기 전하 저장막(미도시)과 상기 하부 및 상부 게이트 전극들(GSL,WL0~WL5,SSL) 사이에 개재되는 블로킹 절연막(미도시)을 더 포함할 수 있다. 또 다른 예에 따르면, 상기 하부 및 상부 수직 절연체들(140, 240)은, 상기 하부 및 상부 채널 구조체들(CS1, CS2)과 상기 하부 및 상부 절연막들(110, 210) 사이에 개재되는 캡핑막(미도시)을 포함할 수도 있다.

[0051] 상기 전하 저장막은 실리콘 질화막, 실리콘 산화질화막, 실리콘-풍부 질화막(Si-rich nitride), 나노 크리스탈 실리콘(nanocrystalline Si) 및 박층화된 트랩막(laminated trap layer) 중 적어도 하나를 포함할 수 있다. 상기 터널 절연막은 상기 전하 저장막 보다 큰 밴드 갭을 갖는 물질을 포함할 수 있다. 일례로, 상기 터널 절연막은 실리콘 산화막일 수 있다. 상기 블록킹 절연막은 상기 전하 저장막보다 큰 에너지 밴드 갭을 갖는 물질을 포함할 수 있다. 일례로, 상기 블록킹 절연막은 실리콘 산화막, 실리콘 질화막, 및/또는 실리콘 산질화막일 수 있다. 상기 캡핑막은 실리콘 막, 실리콘 산화막, 폴리실리콘막, 실리콘 카바이드막 및 실리콘 질화막 중 적어도 하나이되, 상기 하부 및 상부 절연막들(110, 210)과 다른 물질을 포함할 수 있다. 또 다른 예로, 상기 캡핑막은 탄탈륨 산화막(Ta2O5), 티타늄 산화막(TiO2), 하프늄 산화막(HfO2) 및/또는 지르코늄 산화막(ZrO2)과 같은 고유전막일 수 있다.

[0052] 상기 하부 게이트 전극들(GSL,WL0~WL2)의 상면 및 하면을 덮는 하부 수평 절연체들(180)이 상기 하부 게이트 전극들(GSL,WL0~WL2)과 상기 하부 절연막들(110) 사이에 개재될 수 있다. 또한 상기 하부 수평 절연체들(180)은 상기 하부 게이트 전극들(GSL,WL0~WL2)과 상기 하부 채널 구조체들(CS1) 사이에 개재될 수 있다. 일 예에 따르면, 상기 하부 채널 구조체들(CS1)과 상기 하부 수평 절연체들(180) 사이에 상기 하부 수직 절연체들(140)이 개재될 수 있다.

[0053] 상기 상부 게이트 전극들(WL3~WL5,SSL)의 상면 및 하면을 덮는 상부 수평 절연체들(280)이 상기 상부 게이트 전극들(WL3~WL5,SSL)과 상기 상부 절연막들(210) 사이에 개재될 수 있다. 또한 상기 상부 수평 절연체들(280)은 상기 상부 게이트 전극들(WL3~WL5,SSL)과 상기 상부 채널 구조체들(CS2) 사이에 개재될 수 있다. 일 예에 따르면, 상기 상부 채널 구조체들(CS2)과 상기 상부 수평 절연체들(280) 사이에 상기 상부 수직 절연체들(240)이 개재될 수 있다.

[0054] 상기 하부 및 상부 수평 절연체들(180, 280)은 하나의 박막 또는 복수의 박막들로 이루어질 수 있다. 일 예에 따르면, 상기 하부 및 상부 수평 절연체들(180, 280)은 전하 트랩형 플래시 메모리 트랜지스터의 블록킹 절연막(미도시)을 포함할 수 있다. 다른 예에 따르면, 상기 하부 및 상부 수평 절연체들(180, 280)은 복수의 블록킹 절연막들(미도시)을 포함할 수도 있다. 또 다른 예에 따르면, 상기 하부 및 상부 수평 절연체들(180, 280)은 전

하 트랩형 플래시 메모리 트랜지스터의 전하 저장막(미도시) 및 블록킹 절연막(미도시)을 포함할 수도 있다.

[0055] 서로 이웃하는 상기 최상부의 상부 게이트 전극들(SSL)은 상기 제1 방향(D1)으로 연장되는 상기 전극 분리 패턴(170)에 의해 서로 분리(separated)될 수 있다. 상기 전극 분리 패턴(170)은 상기 상부 적층 구조체(SS2)와 상기 하부 적층 구조체(SS1)를 관통하여 상기 기판(100)과 접촉할 수 있다.

[0056] 상기 상부 적층 구조체(SS2) 상에, 상기 상부 적층 구조체(SS2)를 가로지르는 비트 라인들(BL)이 배치될 수 있다. 상기 비트 라인들(BL)은 상기 제2 방향(D2)으로 연장되면서, 상기 제1 방향(D1)을 따라 서로 이격되어 배열될 수 있다. 상기 비트 라인들(BL)은 상기 제2 접속 반도체 패턴들(230)과 연결될 수 있다.

[0057] 도 2c는 도 2b의 A영역을 확대한 단면도이다.

[0058] 도 2b 및 도 2c를 참조하여, 상기 하부 및 상부 채널 구조체들(CS1, CS2), 및 상기 하부 및 상부 수직 절연체들(140, 240)에 대하여 보다 상세하게 설명한다.

[0059] 상기 제2 수직 반도체 패턴(235)은 상기 제1 접속 반도체 패턴(130)과 직접 접촉할 수 있다. 이로써, 상기 제2 수직 반도체 패턴(235)은, 상기 제1 접속 반도체 패턴(130)을 사이에 두고 상기 제1 수직 반도체 패턴(135)과 전기적으로 연결될 수 있다.

[0060] 상기 하부 수직 절연체들(140)의 상면(140a)은, 상기 하부 적층 구조체(SS1)의 상면(SS1a)과 공면을 이룰 수 있다. 상기 하부 적층 구조체(SS1)의 상면(SS1a)은 상기 최상부의 하부 절연막(110)의 상면일 수 있다. 한편, 상기 상부 수직 절연체들(240)의 바닥면(240a)은, 상기 제1 접속 반도체 패턴(130)의 상면과 공면을 이룰 수 있다. 여기서, 상기 하부 수직 절연체(140)의 상부의 내측면(140b)은 상기 상부 수직 절연체(240)의 하부의 외측면(240b)과 직접 접촉할 수 있다.

[0061] 상기 하부 채널 구조체(CS1)의 최상부면(CS1a)은 상기 하부 수직 절연체(140)의 상면과 다른 레벨에 위치할 수 있다. 본 예에서, 상기 하부 채널 구조체(CS1)의 최상부면(CS1a)은 상기 제1 접속 반도체 패턴(130)의 상면일 수 있고, 이때 상기 제1 접속 반도체 패턴(130)의 상기 상면은 상기 하부 수직 절연체(140)의 상기 상면(140a)보다 낮은 레벨에 위치할 수 있다.

[0062] 보다 구체적으로, 상기 제1 접속 반도체 패턴(130)과 상기 상부 적층 구조체(SS2) 사이에 리세스된 홀(190)이 정의될 수 있다. 상기 리세스된 홀(190)은, 상기 최하부의 상부 절연막(210)의 바닥면, 상기 하부 수직 절연체(140)의 상부의 상기 내측면(140b), 및 상기 제1 접속 반도체 패턴(130)의 상기 상면으로 둘러싸인 영역일 수 있다. 한편, 상기 제2 수직 반도체 패턴(235)에 있어서, 상기 상부 매립 절연막(250)의 바닥면과 상기 제2 수직 반도체 패턴(235)의 바닥면 사이에서 바닥부(231)가 정의될 수 있다. 상기 상부 수직 절연체(240)의 하부 및 상기 제2 수직 반도체 패턴(235)의 하부가 상기 리세스된 홀(190) 내에 제공될 수 있다. 특히, 상기 바닥부(231)가 상기 리세스된 홀(190)의 하부에 제공될 수 있다. 이로써, 상기 바닥부(231)는 상기 제1 접속 반도체 패턴(130)의 상기 상면과 직접 접촉할 수 있다. 즉, 상기 제2 수직 반도체 패턴(235)은, 상기 상부 적층 구조체(SS2)의 내부뿐만 아니라, 상기 하부 적층 구조체(SS1)의 상부의 내부에도 제공될 수 있다. 다만, 상기 제2 수직 반도체 패턴(235)의 바닥면은 최상부의 상기 하부 게이트 전극(WL2)보다 높은 레벨에 위치할 수 있다.

[0063] 상기 리세스된 홀(190) 내의 상기 제2 수직 반도체 패턴(235)은, 동일 레벨에서 옆으로(즉, 상기 기판(100)의 상면에 평행한 방향으로) 상기 하부 채널 구조체(CS1)와 중첩되지 않을 수 있다. 즉, 상기 제2 수직 반도체 패턴(235)은, 상기 제1 접속 반도체 패턴(130) 및 상기 제1 수직 반도체 패턴(135)과 상하 관계로 배치되어 있을 뿐, 옆으로 배치되어 있지 않을 수 있다.

[0064] 만약, 상기 상부 채널 구조체(CS2)와 상기 하부 채널 구조체(CS1)가 연결되는 부근에서, 상기 하부 채널 구조체(CS1)의 돌출된 상부가 상기 상부 수직 절연체(240)를 사이에 두고 상기 상부 채널 구조체(CS2)와 접하는 경우, 스크린 효과(screen effect)가 발생할 수 있다. 즉, 상기 하부 채널 구조체(CS1)의 돌출된 상부가 주변 전기장을 가로막아, 이와 인접한 상기 상부 채널 구조체(CS2)의 반전 영역 형성을 방해할 수 있다. 따라서, 상기 하부 채널 구조체(CS1)와 상기 상부 채널 구조체(CS2)간의 전자 및/또는 정공의 이동 경로(path)가 원활히 확보되기 어려운 문제가 있을 수 있다.

[0065] 그러나 본 예에 따른 3차원 반도체 메모리 장치에 있어서, 상기 상부 채널 구조체(CS2)는 상기 하부 채널 구조체(CS1)와 상하 관계로 배치되어 있을 뿐, 좌우로 중첩되지 않을 수 있다. 따라서, 상기 상부 채널 구조체(CS2)가 상기 하부 채널 구조체(CS1)에 의해 스크린되지 않기 때문에, 상기 스크린 효과에 의한 문제를 상당히 개선할 수 있다.

Micron Ex. 1002, p. 851
Micron v. YMTC
IPR2025-00294

Micron Ex. 1002, p. 852
Micron v. YMTC
IPR2025-00294

[0066] 도 3a 내지 도 3j는 본 발명의 일 실시예들에 따른 3차원 반도체 메모리 장치의 일 예의 제조방법을 설명하기 위한 단면도들이다. 도 3a 내지 도 3j는 도 2a의 I-I'에 대응되는 단면도들이다.

[0067] 도 2a 및 도 3a를 참조하면, 기판(100) 상에 하부 희생막들(151) 및 하부 절연막들(110)을 교대로 그리고 반복적으로 적층하여, 하부 박막 구조체(TS1)를 형성할 수 있다. 상기 기판(100)은 일례로, 실리콘 기판, 게르마늄 기판 또는 실리콘-게르마늄 기판일 수 있다. 상기 기판(100)은 불순물이 도핑된 공통 소스 라인들(CSL)을 포함할 수 있다. 상기 공통 소스 라인들(CSL)은 일례로, N형 도펀트로 도핑된 영역일 수 있다.

[0068] 상기 하부 희생막들(151)은 상기 하부 절연막들(110)에 대해 식각 선택성을 가지고 식각될 수 있는 물질로 형성될 수 있다. 일 예에 따르면, 상기 하부 희생막들(151) 및 상기 하부 절연막들(110)은 케미컬 용액을 이용한 습식 식각 공정에서의 높은 식각 선택비를 가지며, 식각 가스를 이용한 건식 식각 공정에서 낮은 식각 선택비를 가질 수 있다.

[0069] 일 예에 따르면, 상기 하부 희생막들(151)은 동일한 두께를 가지도록 형성될 수 있다. 그러나, 다른 예에 따르면, 상기 하부 희생막들(151) 중 최하부의 하부 희생막(151)은, 다른 하부 희생막들(151)에 비해 두껍게 형성될 수 있다. 상기 하부 절연막들(110)은 동일한 두께를 가지거나, 상기 하부 절연막들(110) 중 일부는 두께가 다를 수도 있다.

[0070] 상기 하부 희생막들(151) 및 상기 하부 절연막들(110)은 일례로, 열적 화학기상증착(Thermal CVD), 플라즈마 보강 화학기상증착(Plasma enhanced CVD), 물리적 화학기상증착(physical CVD) 또는 원자층 증착(Atomic Layer Deposition; ALD) 공정을 이용하여 증착될 수 있다.

[0071] 일 예에 따르면, 상기 하부 희생막들(151) 및 상기 하부 절연막들(110)은 절연 물질로 형성되되, 서로 다른 식각 선택성을 가질 수 있다. 예를 들어, 상기 하부 희생막들(151)은 실리콘막, 실리콘 산화막, 실리콘 카바이드, 실리콘 산질화막 및 실리콘 질화막 중의 적어도 하나일 수 있다. 상기 하부 절연막들(110)은 실리콘막, 실리콘 산화막, 실리콘 카바이드막, 실리콘 산질화막, 및 실리콘 질화막 중의 적어도 하나이되, 상기 하부 희생막들(151)과 다른 물질일 수 있다. 일례로, 상기 하부 희생막들(151)은 실리콘 질화막으로 형성될 수 있으며, 상기 하부 절연막들(110)은 실리콘 산화막으로 형성될 수 있다. 한편, 다른 예에 따르면, 상기 하부 희생막들(151)은 도전 물질로 형성되고, 상기 하부 절연막들(110)은 절연 물질로 형성될 수도 있다.

[0072] 이에 더하여, 상기 기판(100)과 상기 하부 박막 구조체(TS1) 사이에 최하부 절연막(105)이 형성될 수 있다. 일례로, 상기 최하부 절연막(105)은 열산화 공정을 통해 형성되는 실리콘 산화막일 수 있다. 이와 달리, 상기 최하부 절연막(105)은 증착 기술을 이용하여 형성된 실리콘 산화막일 수 있다. 상기 최하부 절연막(105)은 그 위에 형성되는 상기 하부 희생막들(151) 및 상기 하부 절연막들(110)보다 얇은 두께를 가질 수 있다.

[0073] 도 2a 및 도 3b를 참조하면, 상기 하부 박막 구조체(TS1)를 관통하여 상기 기판(100)을 노출하는 하부 채널 홀들(120)을 형성할 수 있다. 평면적 관점에서, 상기 하부 채널 홀들(120)은, 상기 기판(100)의 상면에 평행한 제1 방향(D1)을 따라 서로 이격되어 배열될 수 있다. 상기 하부 채널 홀들(120)은 상기 제1 방향(D1)을 따른 제1 열(R1) 및 제2 열(R2)을 이룰 수 있다. 상기 제1 열(R1) 및 제2 열(R2)은 상기 제1 방향(D1)에 교차하는 제2 방향(D2)으로 서로 이격될 수 있다. 즉, 상기 하부 채널 홀들(120)은 상기 제1 방향(D1) 및 상기 제2 방향(D2)의 매트릭스형으로 배열될 수 있다. 이와는 달리, 상기 하부 채널 홀들(120)은 지그재그로 배열될 수 있다.

[0074] 상기 하부 채널 홀들(120)을 형성하는 것은, 상기 하부 박막 구조체(TS1) 상에, 상기 하부 채널 홀들(120)이 형성될 영역을 정의하는 개구부들을 갖는 제1 마스크 패턴들(미도시)을 형성하는 것, 및 상기 제1 마스크 패턴들을 식각 마스크로 상기 하부 박막 구조체(TS1)를 식각하는 것을 포함할 수 있다. 상기 제1 마스크 패턴들은 상기 하부 희생막들(151) 및 상기 하부 절연막들(110)에 대하여 식각 선택성을 갖는 물질로 형성될 수 있다. 상기 식각 공정 동안, 상기 기판(100)의 상면이 과식각될 수 있다. 이에 따라, 상기 기판(100)의 상면이 리세스될 수 있다. 또한, 식각 공정을 진행하는 동안 발생하는 부산물에 의해 상기 하부 채널 홀들(120)의 측면은 경사질 수 있다. 상기 하부 채널 홀들(120)의 상부의 폭은, 이들의 하부의 폭보다 넓게 형성될 수 있다.

[0075] 도 2a 및 도 3c를 참조하면, 상기 하부 채널 홀들(120) 내에 하부 채널 구조체들(CS1)이 형성될 수 있다. 상기 하부 채널 구조체들(CS1)은 제1 수직 반도체 패턴들(135), 및 상기 제1 수직 반도체 패턴들(135) 상에 배치된 제1 접속 반도체 패턴(130)을 포함할 수 있다.

[0076] 보다 상세하게, 상기 하부 채널 홀들(120)의 내벽을 덮으며, 상기 기판(100)을 노출시키는 하부 수직 절연체들(140) 및 제1 수직 반도체 패턴들(135)이 형성될 수 있다. 구체적으로, 상기 하부 채널 홀들(120)이 형성된 결

Micron Ex. 1002, p. 853
Micron v. YMTC
IPR2025-00294

과물 상에, 상기 하부 채널 홀들(120)의 내벽을 덮는 하부 수직 절연막들(미도시) 및 제1 반도체 막들(미도시)이 차례로 형성될 수 있다. 상기 하부 수직 절연막들(미도시) 및 상기 제1 반도체 막들(미도시)은 상기 하부 채널 홀들(120)의 일부를 채울 수 있다. 즉, 상기 하부 채널 홀들(120)은 상기 하부 수직 절연막들(미도시) 및 상기 제1 반도체 막들(미도시)에 의해 완전하게 채워지지 않을 수 있다. 나아가, 상기 하부 수직 절연막들(미도시)은 상기 하부 채널 홀들(120)에 의해 노출된 상기 기판(100)의 상면을 덮을 수 있다. 상기 하부 수직 절연막들(미도시)은 복수의 박막들로 형성될 수 있으며, 예를 들어, 플라즈마 보강 화학기상증착(Plasma enhanced CVD), 물리적 화학기상증착(physical CVD) 또는 원자층 증착(Atomic Layer Deposition; ALD) 기술을 이용하여 증착될 수 있다. 상기 하부 수직 절연막들(미도시)은, 플래시 메모리 장치의 메모리 요소로서 사용되는 전하 저장막을 포함할 수 있다. 일례로, 상기 전하 저장막은 트랩 절연막 또는 도전성 나노 도트들(conductive nano dots)을 포함하는 절연막일 수 있다. 이와 달리, 상기 하부 수직 절연막들(미도시)은 상변화 메모리를 위한 박막 또는 가변저항 메모리를 위한 박막을 포함할 수도 있다.

[0077] 일 예에 따르면, 도시되진 않았으나, 상기 하부 수직 절연막들(미도시)은 차례로 적층된 블로킹 절연막, 전하 저장막 및 터널 절연막을 포함할 수 있다. 상기 블로킹 절연막은 상기 하부 채널 홀들(120)에 의해 노출된 상기 하부 희생막들(151) 및 상기 하부 절연막들(110)의 측벽들과 상기 기판(100)의 상면을 덮을 수 있다. 상기 블로킹 절연막은 일례로, 실리콘 산화막으로 형성될 수 있다. 상기 전하 저장막은 트랩 절연막, 또는 도전성 나노 돗들을 포함하는 절연막을 포함할 수 있다. 일례로, 상기 전하 저장막은 실리콘 질화막, 실리콘 산화질화막, 실리콘-풍부 질화막(Si-rich nitride), 나노크리스탈 실리콘(nanocrystalline Si) 및 박층화된 트랩막(laminated trap layer) 중의 적어도 하나를 포함할 수 있다. 상기 터널 절연막은 상기 전하 저장막보다 큰 밴드 갭을 갖는 물질들 중의 한가지일 수 있다. 일례로, 상기 터널 절연막은 실리콘 산화막일 수 있다.

[0078] 상기 제1 반도체 막들(미도시)은 상기 하부 수직 절연막들(미도시) 상에 형성될 수 있다. 일 예에 따르면, 상기 제1 반도체 막들(미도시)은 원자층 증착(ALD) 또는 화학적 기상 증착(CVD) 기술들 중의 한가지를 사용하여 형성되는 반도체 물질(예를 들면, 다결정 실리콘막, 단결정 실리콘막, 또는 비정질 실리콘막)일 수 있다.

[0079] 상기 하부 수직 절연막들(미도시) 및 상기 제1 반도체 막들(미도시)이 차례로 형성된 후, 상기 제1 반도체 막들(미도시) 및 상기 하부 수직 절연막들(미도시)을 이방성 식각하여 상기 기판(100)이 노출될 수 있다. 이에 따라, 상기 하부 채널 홀들(120)의 내벽에 상기 하부 수직 절연체들(140)이 형성될 수 있다. 상기 하부 수직 절연체들(140) 및 식각된 상기 제1 반도체 막들(미도시)은 열린 양단을 갖는 원통 모양으로 형성될 수 있다. 이에 더하여, 상기 하부 박막 구조체(TS1)의 상면이 노출될 수 있다.

[0080] 반도체 물질을 증착하여, 식각된 상기 제1 반도체 막들(미도시)로부터 상기 제1 수직 반도체 패턴들(135)이 형성될 수 있다. 상기 제1 수직 반도체 패턴들(135)은 상기 하부 채널 홀들(120)을 완전히 대립하지 않는 두께로, 상기 하부 채널 홀들(120) 내에 콘포멀하게 형성될 수 있다. 상기 제1 수직 반도체 패턴들(135)은 원자층 증착(ALD) 또는 화학적 기상 증착(CVD) 기술들 중의 한가지를 사용하여 형성되는 반도체 물질(예를 들면, 다결정 실리콘막, 단결정 실리콘막, 또는 비정질 실리콘막)일 수 있다. 상기 제1 수직 반도체 패턴들(135)은 상기 하부 채널 홀들(120) 내에 상단이 오픈된(opened) 컵 모양으로 형성될 수 있다.

[0081] 상기 제1 수직 반도체 패턴들(135)의 내부에 하부 매립 절연막들(150)을 형성할 수 있다. 상기 하부 매립 절연막들(150)은 상기 하부 채널 홀들(120)의 내부를 완전히 채우도록 형성될 수 있다. 상기 하부 매립 절연막들(150)은 에스오지(SOG) 기술을 이용하여 형성되는 절연성 물질들 및 실리콘 산화막 중의 한가지일 수 있다.

[0082] 상기 제1 수직 반도체 패턴들(135)에 접속되는 상기 제1 접속 반도체 패턴들(130)이 형성될 수 있다. 구체적으로, 상기 제1 수직 반도체 패턴들(135) 및 상기 하부 매립 절연막들(150)의 상부 영역을 리세스하여, 리세스된 영역이 형성될 수 있다. 이로써, 상기 제1 수직 반도체 패턴들(135)의 상면 및 상기 하부 매립 절연막들(150)의 상면은, 상기 하부 수직 절연체들(140)의 상면보다 낮은 레벨에 위치할 수 있다. 상기 리세스된 영역 내에 반도체 물질을 채워 상기 제1 접속 반도체 패턴들(130)이 형성될 수 있다. 이 후, 상기 제1 접속 반도체 패턴들(130)을 평탄화하여, 상기 제1 접속 반도체 패턴들(130)의 상면이 상기 하부 박막 구조체(TS1)의 상면과 공면을 이루도록 할 수 있다. 상기 제1 접속 반도체 패턴들(130)은 N형 도펀트로 도핑될 수 있다. 구체적으로, 상기 제1 접속 반도체 패턴들(130)은, 원자분율 10-19 내지 10-17의 농도로 N형 도펀트로 도핑될 수 있다.

[0083] 상기 제1 수직 반도체 패턴들(135) 및 상기 제1 접속 반도체 패턴들(130)은 하부 채널 구조체들(CS1)로 정의될 수 있다.

[0084] 도 2a 및 도 3d를 참조하면, 상기 하부 박막 구조체(TS1) 상에 상부 희생막들(251) 및 상부 절연막들(210)을 교

대로 그리고 반복적으로 적층하여, 상부 박막 구조체(TS2)를 형성할 수 있다. 상기 상부 희생막들(251) 및 상기 상부 절연막들(210)의 형성 방법은 앞서 도 3a를 참조하여 설명한 상기 하부 희생막들(151) 및 상기 하부 절연막들(110)의 형성 방법과 같을 수 있다.

[0085] 도 2a 및 도 3e를 참조하면, 상기 상부 박막 구조체(TS2), 및 상기 하부 박막 구조체(TS1)의 상부를 관통하여 상기 제1 접속 반도체 패턴들(130)의 내측면을 노출하는 상부 채널 홀들(220)을 형성할 수 있다. 상기 상부 채널 홀들(220)의 형성은 앞서 도 3b를 참조하여 설명한 상기 하부 채널 홀들(120)의 형성 방법과 같을 수 있다.

[0086] 도 2a 및 도 3f를 참조하면, 노출된 상기 제1 접속 반도체 패턴들(130)의 내측면을 식각하여, 리세스된 홀들(190)이 형성될 수 있다. 상기 리세스된 홀들(190)은 상기 제1 접속 반도체 패턴들(130)을 습식 식각하여 형성될 수 있다. 상기 리세스된 홀들(190)의 각각은 상기 제1 접속 반도체 패턴(130)과 상기 상부 적층 구조체(SS2) 사이의 영역일 수 있으며, 구체적으로, 최하부의 상부 절연막(210)의 바닥면, 상기 하부 수직 절연체(140)의 상부의 내측면 및 상기 제1 접속 반도체 패턴(130)의 상면으로 둘러싸인 영역일 수 있다. 상기 제1 접속 반도체 패턴들(130)은 식각되어 편평한 상면을 가질 수 있다.

[0087] 도 2a 및 도 3g를 참조하면, 상기 상부 채널 홀들(220) 및 상기 리세스된 홀들(190)의 내벽을 덮는 상부 수직 절연막들(245) 및 제2 반도체 막들(236)이 차례로 형성될 수 있다. 상기 상부 수직 절연막들(245) 및 상기 제2 반도체 막들(236)은, 상기 상부 채널 홀들(220) 및 상기 리세스된 홀들(190)의 일부를 채울 수 있다. 즉, 상기 상부 채널 홀들(220) 및 상기 리세스된 홀들(190)은 상기 상부 수직 절연막들(245) 및 상기 제2 반도체 막들(236)에 의해 완전하게 채워지지 않을 수 있다. 나아가, 상기 상부 수직 절연막들(245)은 상기 리세스된 홀들(190)에 의해 노출된 상기 제1 접속 반도체 패턴들(130)의 상면을 덮을 수 있다. 상기 제2 반도체 막들(236)은 상기 상부 수직 절연막들(245) 상에 형성될 수 있다. 그 외, 상기 상부 수직 절연막들(245) 및 상기 제2 반도체 막들(236)의 형성 방법은 앞서 도 3c를 참조하여 설명한 상기 하부 수직 절연막들 및 상기 제1 반도체 막들의 형성 방법과 같을 수 있다.

[0088] 도 2a 및 도 3h를 참조하면, 상기 상부 채널 홀들(220)의 내벽을 덮으며, 상기 제1 접속 반도체 패턴들(130)의 상면을 노출시키는 상부 수직 절연체들(240) 및 제2 수직 반도체 패턴들(235)이 형성될 수 있다. 상기 상부 수직 절연막들(245) 및 상기 제2 반도체 막들(236)이 차례로 형성된 후, 상기 제2 반도체 막들(236) 및 상기 상부 수직 절연막들(245)을 이방성 식각하여 상기 제1 접속 반도체 패턴들(130)의 상면이 노출될 수 있다. 이에 따라, 상기 상부 채널 홀들(220)의 내벽 및 상기 리세스된 홀들(190)의 내벽에 상기 상부 수직 절연체들(240)이 형성될 수 있다. 상기 상부 수직 절연체들(240) 및 식각된 상기 제2 반도체 막들(미도시)은 열린 양단을 갖는 원통 모양으로 형성될 수 있다. 이에 더하여, 상기 하부 적층 구조체(SS1)와 상기 상부 적층 구조체(SS2)가 접촉하는 부분에서, 상기 상부 수직 절연체들(240)의 외측면은 계단형 프로파일을 가질 수 있다.

[0089] 반도체 물질을 증착하여, 식각된 상기 제2 반도체 막들(미도시) 상에 상기 제2 수직 반도체 패턴들(235)이 형성될 수 있다. 상기 제2 수직 반도체 패턴들(235)은 상기 상부 채널 홀들(220) 및 상기 리세스된 홀들(190)을 완전히 매립하지 않는 두께로, 상기 상부 채널 홀들(220) 및 상기 리세스된 홀들(190) 내에 콘포멀하게 형성될 수 있다. 상기 제2 수직 반도체 패턴들(235)은 상기 상부 채널 홀들(220) 내에 상단이 오픈된(opened) 컵 모양으로 형성될 수 있다. 이에 더하여, 상기 하부 적층 구조체(SS1)와 상기 상부 적층 구조체(SS2)가 접촉하는 부분에서, 상기 제2 수직 반도체 패턴들(235)의 외측면은 계단형 프로파일을 가질 수 있다. 상기 제2 수직 반도체 패턴들(235)은 노출된 상기 제1 접속 반도체 패턴들(130)의 상면을 덮도록 형성되므로, 상기 제2 수직 반도체 패턴들(235)은 상기 제1 접속 반도체 패턴들(130)과 직접 접촉될 수 있다. 이로써, 상기 제2 수직 반도체 패턴들(235)은, 상기 제1 접속 반도체 패턴들(130)을 사이에 두고 상기 제1 수직 반도체 패턴들(135)과 전기적으로 연결될 수 있다.

[0090] 상기 제2 수직 반도체 패턴들(235)의 내부에 상부 매립 절연막들(250)을 형성할 수 있다. 상기 상부 매립 절연막들(250)은 상기 상부 채널 홀들(220)의 내부를 완전히 채우도록 형성될 수 있다. 그 외, 상기 상부 수직 절연체들(240), 상기 제2 수직 반도체 패턴들(235) 및 상기 상부 매립 절연막들(250)의 형성은 앞서 도 3c를 참조하여 설명한 바와 같다.

[0091] 도 2a 및 도 3i를 참조하면, 상기 하부 박막 구조체(TS1) 및 상기 상부 박막 구조체(TS2)를 패터닝하여 상기 기판(100)을 노출시키는 트렌치들(300)이 형성될 수 있다. 상기 트렌치들(300)은 상기 하부 및 상부 채널 홀들(120, 220)이 상기 제1 방향(D1)을 따라 배열되어 이루어진 열(row)의 일 측에 형성될 수 있다. 상기 하부 및 상부 채널 홀들(120, 220)이 복수의 열들(rows)을 포함하는 경우, 상기 트렌치들(300)은 상기 하부 및 상부 채널 홀들(120, 220)의 제1 열(R1) 및 제2 열(R2) 사이에 각각 형성될 수 있다.

Micron Ex. 1002, p. 854
Micron v. YMTC
IPR2025-00294

[0092] 상기 트렌치들(300)을 형성하는 것은, 상기 하부 및 상부 박막 구조체(TS1, TS2) 상에 상기 트렌치들(300)이 형성될 평면적 위치를 정의하는 제2 마스크 패턴들(미도시)을 형성하는 것, 및 상기 제2 마스크 패턴들을 식각 마스크로 상기 하부 및 상부 박막 구조체(TS1, TS2)를 식각하는 것을 포함할 수 있다. 상기 트렌치들(300)은 상기 하부 및 상부 희생막들(151, 251) 및 상기 하부 및 상부 절연막들(110, 210)의 측벽들을 노출시키도록 형성될 수 있다. 평면적 관점에서, 상기 트렌치들(300)은 상기 제1 방향(D1)으로 연장된 라인 형태 일 수 있으며, 수직적 깊이에 있어서, 상기 트렌치들(300)은 상기 기판(100)의 상면을 노출시키도록 형성될 수 있다. 또한, 상기 트렌치들(300)은 이방성 식각 공정에 의해 상기 기판(100)으로부터의 거리에 따라 다른 폭을 가질 수 있다.

[0093] 도 2a 및 도 3j를 참조하면, 상기 트렌치들(300)에 의하여 노출된 상기 하부 및 상부 희생막들(151, 251)을 선택적으로 제거하여 리세스 영역들(미도시)이 형성될 수 있다. 상기 리세스 영역들은 상기 트렌치들(300)로부터 수평적으로 연장되어 형성되는 갭 영역일 수 있으며, 상기 하부 및 상부 수직 절연체들(140, 240)의 측벽을 노출시키도록 형성될 수 있다.

[0094] 나아가, 상기 리세스 영역들의 일부를 채우는 하부 수평 절연체들(180) 및 상부 수평 절연체들(280)이 형성될 수 있다. 상기 하부 및 상부 수평 절연체들(180, 280)은 상기 리세들 영역들의 내벽을 덮도록 형성될 수 있다. 상기 하부 및 상부 수평 절연체들(180, 280) 상에 상기 리세스 영역들의 잔부를 채우는 하부 게이트 전극들(GSL,WL0~WL2) 및 상부 게이트 전극들(WL3~WL5,SSL)이 형성될 수 있다. 상기 하부 및 상부 수평 절연체들(180, 280) 및 상기 하부 및 상부 게이트 전극들(GSL,WL0~WL5,SSL)을 형성하는 것은, 상기 리세스 영역들을 차례로 채우는 하부 및 상부 수평막(미도시) 및 하부 및 상부 게이트막(예를 들어, 금속막)을 차례로 형성한 후, 상기 트렌치들(300) 내에서 상기 하부 및 상부 수평막(미도시) 및 상기 하부 및 상부 게이트막(미도시)을 제거하는 것을 포함할 수 있다. 상기 하부 및 상부 수평 절연체들(180, 280)은 정보 저장막을 포함할 수 있다. 상기 하부 및 상부 수평 절연체들(180, 280)은, 상기 하부 및 상부 수직 절연체들(140, 240)과 유사하게, 하나의 박막 또는 복수의 박막들로 구성될 수 있다. 일 예에 따르면, 상기 하부 및 상부 수평 절연체들(180, 280)은 전하트랩형 비휘발성 메모리 트랜지스터의 블로킹 유전막을 포함할 수 있다.

[0095] 차례로 적층된 상기 하부 게이트 전극들(GSL,WL0~WL2) 및 상기 하부 절연막들(110)은 하부 적층 구조체(SS1)로 정의될 수 있다. 차례로 적층된 상기 상부 게이트 전극들(WL3~WL5,SSL) 및 상기 상부 절연막들(210)은 상부 적층 구조체(SS2)로 정의될 수 있다.

[0096] 도 2a 및 도 2b를 다시 참조하면, 상기 하부 및 상부 게이트 전극들(GSL,WL0~WL5,SSL)이 형성된 후, 상기 기판(100)에 공통 소스 라인들(CSL)이 형성될 수 있다. 상기 공통 소스 라인들(CSL)은 이온 주입 공정을 통해 형성될 수 있고, 상기 트렌치들(300)에 의해 노출된 상기 기판(100) 내에 형성될 수 있다. 상기 공통 소스 라인들(CSL)은 상기 기판(100)과 PN 접합을 형성할 수 있다. 플래시 메모리 장치를 위한 본 발명의 일 예에 따르면, 상기 공통 소스 라인들(CSL)의 각각은 서로 연결되어 등전위 상태에 있을 수 있다. 다른 예에 따르면, 공통 소스 라인들(CSL)의 각각은 서로 다른 전위를 가질 수 있도록 전기적으로 분리될 수 있다. 또 다른 예에 따르면, 공통 소스 라인들(CSL)은, 서로 다른 복수의 공통 소스 라인들(CSL)을 포함하는, 독립적인 복수의 소스 그룹들을 구성할 수 있으며, 상기 소스 그룹들의 각각은 서로 다른 전위를 갖도록 전기적으로 분리될 수 있다.

[0097] 상기 공통 소스 라인들(CSL) 상에 상기 트렌치들(300)을 채우는 전극 분리 패턴(170)이 형성될 수 있다. 상기 전극 분리 패턴(170)은 실리콘 산화막, 실리콘 질화막 또는 실리콘 산화질화막 중의 적어도 하나로 형성될 수 있다.

[0098] 이에 더하여, 상기 제2 수직 반도체 패턴들(235)에 접속되는 제2 접속 반도체 패턴들(230)이 형성될 수 있다. 구체적으로, 상기 제2 수직 반도체 패턴들(235) 및 상기 상부 매립 절연막들(250)의 상부 영역을 리세스하여, 리세스된 영역이 형성될 수 있다. 이로써, 상기 제2 수직 반도체 패턴들(235)의 상면 및 상기 상부 매립 절연막들(250)의 상면은, 상기 상부 수직 절연체들(240)의 상면보다 낮은 레벨에 위치할 수 있다. 상기 리세스된 영역 내에 반도체 물질을 채워 상기 제2 접속 반도체 패턴들(230)이 형성될 수 있다. 이 후, 상기 제2 접속 반도체 패턴들(230)을 평탄화하여, 상기 제2 접속 반도체 패턴들(230)의 상면이 상기 하부 박막 구조체(TS1)의 상면과 공면을 이루도록 할 수 있다.

[0099] 상기 제2 수직 반도체 패턴들(235) 및 상기 제2 접속 반도체 패턴들(230)은 상부 채널 구조체들(CS2)로 정의될 수 있다.

[0100] 상기 제2 접속 반도체 패턴들(230)에 연결되는 비트 라인들(BL)이 형성될 수 있다. 상기 비트 라인들(BL)은 상기 제2 접속 반도체 패턴들(230)을 통해 상기 상부 채널 구조체들(CS2) 및 상기 하부 채널 구조체들(CS1)에 전

Micron Ex. 1002, p. 855
Micron v. YMTC
IPR2025-00294

Micron Ex. 1002, p. 856
Micron v. YMTC
IPR2025-00294

기적으로 연결될 수 있다.

[0101] 도 4a는 본 발명의 일 실시예들에 따른 3차원 반도체 메모리 장치의 다른 예에 관한 것으로서, 도 2a의 I-I'선에 대응되는 단면도이다. 본 예에서는, 앞서 도 2a 및 도 2b를 참조하여 설명한 것과 중복되는 기술적 특징에 대한 상세한 설명은 생략하고, 차이점에 대해 상세히 설명한다. 본 예에 따른 3차원 반도체 메모리 장치의 셀 어레이는, 앞서 도 1을 참조하여 설명한 것과 같다.

[0102] 도 4a를 참조하면, 복수의 하부 채널 구조체들(CS1)이 하부 적층 구조체(SS1)를 관통하여 기판(100)과 전기적으로 연결될 수 있다. 복수의 상부 채널 구조체들(CS2)이 상부 적층 구조체(SS2)를 관통하여 상기 하부 채널 구조체들(CS1)과 전기적으로 연결될 수 있다. 상기 하부 채널 구조체들(CS1)과 상기 상부 채널 구조체들(CS2)과의 연결관계에 대해서는 뒤에서 보다 구체적으로 설명한다.

[0103] 상기 하부 채널 구조체들(CS1)의 각각은, 상기 상부 적층 구조체(SS2)의 하부 및 상기 하부 적층 구조체(SS1)를 연속적으로 관통하여 상기 기판(100)에 전기적으로 연결될 수 있다. 상기 하부 채널 구조체들(CS1)의 각각은, 상기 기판(100)과 연결되는 제1 수직 반도체 패턴(135), 및 상기 제1 수직 반도체 패턴(135) 상에 배치된 제1 접속 반도체 패턴(130)을 포함할 수 있다. 상기 제1 접속 반도체 패턴(130)은 상기 제1 수직 반도체 패턴(135)의 상면으로부터 상기 제3 방향(D3)으로 연장될 수 있다. 나아가, 상기 제1 접속 반도체 패턴(130)은, 상기 상부 적층 구조체(SS2)의 하부를 관통하여 상기 제3 방향(D3)으로 연장되는 돌출부(131)를 포함할 수 있다.

[0104] 상기 하부 적층 구조체(SS1)와 상기 상부 적층 구조체(SS2)가 접촉하는 부분에서, 상기 제1 접속 반도체 패턴(130)의 외측면은 계단형 프로파일을 가질 수 있다. 즉, 상기 제1 접속 반도체 패턴(130)의 외경은, 상기 제3 방향(D3)으로 갈수록 증가하지만, 상기 최상부의 하부 절연막(110)과 최하부의 상부 절연막(210)이 접촉하는 부분에서 불연속적으로 감소할 수 있다.

[0105] 상기 상부 채널 구조체들(CS2)의 각각은, 상기 상부 적층 구조체(SS2)를 관통할 수 있다. 상기 상부 채널 구조체들(CS2)의 각각은, 상기 제1 접속 반도체 패턴(130)과 연결되는 제2 수직 반도체 패턴(235), 및 상기 제2 수직 반도체 패턴(235) 상에 배치된 제2 접속 반도체 패턴(230)을 포함할 수 있다. 상기 제2 접속 반도체 패턴(230)은 상기 제2 수직 반도체 패턴(235)의 상면으로부터 상기 제3 방향(D3)으로 연장될 수 있다.

[0106] 상기 하부 적층 구조체(SS1)와 상기 하부 채널 구조체들(CS1) 사이에 하부 수직 절연체들(140)이 개재될 수 있다. 상기 하부 수직 절연체들(140)은 상단 및 하단이 오픈된 파이프 형태 또는 마카로니 형태일 수 있다. 상기 하부 수직 절연체들(140)은 상기 하부 적층 구조체(SS1)의 내벽을 덮을 수 있다.

[0107] 상기 상부 적층 구조체(SS2)와 상기 상부 채널 구조체들(CS2) 사이에 상부 수직 절연체들(240)이 개재될 수 있다. 상기 상부 수직 절연체들(240)은 상단 및 하단이 오픈된 파이프 형태 또는 마카로니 형태일 수 있다. 상기 상부 수직 절연체들(240)은 상기 상부 적층 구조체(SS2)의 내벽을 덮을 수 있다. 다만, 상기 상부 수직 절연체들(240)은, 상기 상부 적층 구조체(SS2)의 내벽을 완전히 덮지 않고, 상기 제1 접속 반도체 패턴(130)의 상기 돌출부(131)의 상면과 접할 수 있다.

[0108] 도 4b는 도 4a의 A영역을 확대한 단면도이다.

[0109] 도 4a 및 도 도 4b를 참조하여, 상기 하부 및 상부 채널 구조체들(CS1, CS2), 및 상기 하부 및 상부 수직 절연체들(140, 240)에 대하여 보다 상세하게 설명한다. 앞서 도 2a 및 도 2b를 참조하여 설명한 예와 중복되는 기술적 특징에 대한 상세한 설명은 생략하고, 차이점에 대해 상세히 설명한다.

[0110] 상기 하부 수직 절연체(140)의 상면(140a)은, 상기 하부 적층 구조체(SS1)의 상면(SS1a)과 공면을 이룰 수 있다. 한편, 상기 상부 수직 절연체들(240)의 바닥면(240a)은, 상기 제1 접속 반도체 패턴(130)의 상기 돌출부(131)의 상면과 공면을 이룰 수 있다. 즉, 일 단면의 관점에서, 상기 상부 수직 절연체(240)의 측벽은 상기 하부 수직 절연체(140)의 측벽과 중첩하지 않을 수 있다.

[0111] 상기 하부 채널 구조체(CS1)의 최상부면(CS1a)은 상기 하부 수직 절연체(140)의 상면과 다른 레벨에 위치할 수 있다. 본 예에서, 상기 하부 채널 구조체(CS1)의 최상부면(CS1a)은 상기 제1 접속 반도체 패턴(130)의 상기 돌출부(131)의 상면일 수 있고, 이때 상기 돌출부(131)의 상기 상면은 상기 하부 수직 절연체(140)의 상기 상면(140a)보다 높은 레벨에 위치할 수 있다.

[0112] 보다 구체적으로, 상기 돌출부(131)는 상기 하부 수직 절연체(140) 및 상기 상부 수직 절연체(240) 사이에 제공

Micron Ex. 1002, p. 857
Micron v. YMTC
IPR2025-00294

될 수 있다. 상기 돌출부(131)의 바닥면은 상기 하부 적층 구조체(SS1)의 상면(SS1a)과 공면을 이룰 수 있다. 상기 돌출부(131)의 상면은 평탄화된 면일 수 있으며, 상기 돌출부(131)의 상면은 상기 제2 수직 반도체 패턴(235)의 바닥부(231)와 직접 접촉할 수 있다. 다만, 상기 돌출부(131)의 상면은 최하부의 상부 게이트 전극(WL3)의 바닥면보다 아래에 위치할 수 있다. 상기 돌출부(131)의 측벽은 상기 상부 적층 구조체(SS2)의 내벽과 직접 접촉할 수 있다.

[0113] 상기 제1 접속 반도체 패턴(130)의 상기 돌출부(131)는, 동일 레벨에서 옆으로(즉, 상기 기판(100)의 상면에 평행한 방향으로) 상기 상부 채널 구조체(CS2)와 중첩되지 않을 수 있다. 즉, 상기 제1 접속 반도체 패턴(130)은, 상기 제2 수직 반도체 패턴(235)과 상하 관계로 배치되어 있을 뿐, 옆으로 배치되어 있지 않을 수 있다.

[0114] 본 예에 따른 3차원 반도체 메모리 장치는, 앞서 도 2a 및 도 2b를 참조하여 설명한 예의 경우와 동일하게, 상기 상부 채널 구조체(CS2)는 상기 하부 채널 구조체(CS1)와 상하 관계로 배치되어 있을 뿐, 옆으로 중첩되지 않을 수 있다. 따라서, 상기 상부 채널 구조체(CS2)가 상기 하부 채널 구조체(CS1)에 의해 스크린되지 않기 때문에, 상기 스크린 효과에 의한 문제를 상당히 개선할 수 있다.

[0115] 도 5a 내지 도 5c는 본 발명의 일 실시예들에 따른 3차원 반도체 메모리 장치의 다른 예의 제조방법을 설명하기 위한 단면도들이다. 도 5a 내지 도 5c는 도 2a의 I-I'에 대응되는 단면도들이다. 본 예의 제조방법에서는, 앞서 도 3a 내지 도 3j를 참조하여 설명한 일 예의 제조방법과 중복되는 기술적 특징에 대한 상세한 설명은 생략하고, 차이점에 대해 상세히 설명한다.

[0116] 도 5a를 참조하면, 도 3a 내지 도 3e를 참조하여 설명한 바와 같이, 상부 박막 구조체(TS2), 및 하부 박막 구조체(TS1)의 상부를 관통하여 제1 접속 반도체 패턴들(130)의 내측면을 노출하는 상부 채널 홀들(220)을 형성할 수 있다. 다만, 본 예의 제조방법에 있어서, 최하부의 상부 절연막(210)의 두께는 전술한 예의 최하부의 상부 절연막(210)의 두께보다 더 두꺼울 수 있다.

[0117] 도 5b를 참조하면, 노출된 상기 제1 접속 반도체 패턴들(130)의 상기 내측면 상에 선택적 에피택시얼 성장(Selective Epitaxial Growth, SEG) 공정을 수행하여, 돌출부들(131)을 형성할 수 있다. 상기 SEG 공정을 통하여, 상기 제1 접속 반도체 패턴들(130)이 상기 상부 채널 홀들(220)을 따라 제3 방향(D3)으로 연장될 수 있다. 이때, 상기 하부 박막 구조체(TS1)의 상면보다 위에 위치한 상기 제1 접속 반도체 패턴들(130)의 영역이 상기 돌출부들(131)로 정의될 수 있다. 상기 돌출부들(131)의 상면은 최하부의 상부 희생막(251)의 바닥면보다 더 낮을 수 있다. 즉, 상기 돌출부들(131)의 상면이, 상기 최하부의 상부 절연막(210)의 상면 및 바닥면 사이의 레벨에 위치하도록 상기 SEG 공정을 수행할 수 있다. 상기 돌출부들(131)의 외측면은 상기 상부 채널 홀들(220)의 하부의 내측면과 직접 접촉할 수 있다.

[0118] 도 5c를 참조하면, 상기 상부 채널 홀들(220) 내에 제2 수직 반도체 패턴들(235)이 형성될 수 있다. 상기 제2 수직 반도체 패턴들(235)은 상기 돌출부들(131)과 직접 접촉할 수 있다.

[0119] 보다 상세하게, 상기 상부 채널 홀들(220)의 내벽을 덮으며, 상기 돌출부들(131)을 노출시키는 상부 수직 절연체들(240), 및 상기 제2 수직 반도체 패턴들(235)이 형성될 수 있다. 구체적으로, 상기 상부 채널 홀들(220) 및 상기 돌출부들(131)이 형성된 결과물 상에, 상기 상부 채널 홀들(220)의 내벽을 덮는 상부 수직 절연막들(미도시) 및 제2 반도체 막들(미도시)이 차례로 형성될 수 있다. 상기 상부 수직 절연막들(미도시) 및 상기 제2 반도체 막들(미도시)은 상기 상부 채널 홀들(220)의 일부를 채울 수 있다. 즉, 상기 상부 채널 홀들(220)은 상기 상부 수직 절연막들(미도시) 및 상기 제2 반도체 막들(미도시)에 의해 완전하게 채워지지 않을 수 있다. 나아가, 상기 상부 수직 절연막들(미도시)은 상기 상부 채널 홀들(220)에 의해 노출된 상기 돌출부들(131)의 상면을 덮을 수 있다. 상기 제2 반도체 막들(미도시)은 상기 상부 수직 절연막들(미도시) 상에 형성될 수 있다.

[0120] 상기 상부 수직 절연막들(미도시) 및 상기 제2 반도체 막들(미도시)이 차례로 형성된 후, 상기 제2 반도체 막들(미도시) 및 상기 상부 수직 절연막들(미도시)을 이방성 식각하여 상기 돌출부들(131)의 상면이 노출될 수 있다. 이에 따라, 상기 상부 채널 홀들(220)의 내벽에 상기 상부 수직 절연체들(240)이 형성될 수 있다. 상기 상부 수직 절연체들(240) 및 식각된 상기 제2 반도체 막들(미도시)은 열린 양단을 갖는 원통 모양으로 형성될 수 있다.

[0121] 반도체 물질을 증착하여, 식각된 상기 제2 반도체 막들(미도시)로부터 상기 제2 수직 반도체 패턴들(235)이 형성될 수 있다. 상기 제2 수직 반도체 패턴들(235)은 상기 상부 채널 홀들(220)을 완전히 매립하지 않는 두께로, 상기 상부 채널 홀들(220) 내에 콘포멀하게 형성될 수 있다. 상기 제2 수직 반도체 패턴들(235)은 상기 상부 채널 홀들(220) 내에 상단이 오픈된(opened) 컵 모양으로 형성될 수 있다.

Micron Ex. 1002, p. 858
Micron v. YMTC
IPR2025-00294

[0122] 상기 제2 수직 반도체 패턴들(235)의 내부에 상부 매립 절연막들(250)을 형성할 수 있다. 상기 상부 매립 절연막들(250)은 상기 상부 채널 홀들(220)의 내부를 완전히 채우도록 형성될 수 있다.

[0123] 다시 도 4a를 참조하면, 상기 하부 박막 구조체(TS1) 및 상기 상부 박막 구조체(TS2)를 패터닝하여 상기 기판(100)을 노출시키는 트렌치들(300)이 형성될 수 있다. 상기 트렌치들(300)에 의하여 노출된 상기 하부 및 상부 희생막들(151, 251)을 선택적으로 제거하여 리세스 영역들(미도시)이 형성될 수 있다. 상기 리세스 영역들 내에 하부 및 상부 수평 절연체들(180, 280) 및 하부 및 상부 게이트 전극들(GSL,WL0~WL5,SSL)이 형성될 수 있다. 후속으로, 공통 소스 라인들(CSL), 전극 분리 패턴(170), 제2 접속 반도체 패턴들(230) 및 비트 라인들(BL)이 형성될 수 있다. 이는 앞서 도 3i, 도 3j 및 도 2b를 참조하여 설명한 예의 제조방법과 동일하다.

[0124] 도 6은 본 발명의 다른 실시예들에 따른 3차원 반도체 메모리 장치의 셀 어레이를 나타내는 간략 회로도이다. 본 발명의 다른 실시예들에서는, 앞서 도 1을 참조하여 설명한 일 실시예들과 중복되는 기술적 특징에 대한 상세한 설명은 생략하고, 차이점에 대해 상세히 설명한다.

[0125] 상기 셀 스트링들(CSTR)의 각각은 상기 공통 소스 라인(CSL)에 접속하는 접지 선택 트랜지스터(GST), 상기 비트라인(BL)에 접속하는 스트링 선택 트랜지스터(SST), 및 상기 접지 및 스트링 선택 트랜지스터들(GST, SST) 사이에 배치되는 복수 개의 메모리 셀 트랜지스터들(MCT)로 구성될 수 있다. 상기 셀 스트링들(CSTR)의 각각은 복수 개의 메모리 셀 트랜지스터들(MCT) 사이에 제공된 적어도 하나의 더미 셀 트랜지스터(DCT)를 더 포함할 수 있다. 상기 더미 셀 트랜지스터(DCT)는 적어도 하나의 더미 게이트 전극(DWL)과 연결될 수 있다. 상기 복수 개의 메모리 셀 트랜지스터들(MCT)은 상기 더미 셀 트랜지스터(DCT) 하부의 하부 메모리 셀 트랜지스터들, 및 상기 더미 셀 트랜지스터(DCT) 상부의 상부 메모리 셀 트랜지스터들을 포함할 수 있다. 그리고, 상기 접지 선택 트랜지스터(GST), 상기 스트링 선택 트랜지스터(SST), 상기 메모리 셀 트랜지스터들(MCT) 및 상기 더미 셀 트랜지스터(DCT)는 직렬로 연결될 수 있다.

[0126] 도 7은 본 발명의 다른 실시예들에 따른 3차원 반도체 메모리 장치의 일 예에 관한 것으로서, 도 2a의 I-I'선에 대응되는 단면도이다. 본 예에서는, 앞서 도 2a 및 도 2b를 참조하여 설명한 것과 중복되는 기술적 특징에 대한 상세한 설명은 생략하고, 차이점에 대해 상세히 설명한다.

[0127] 도 7을 참조하면, 앞서 도 2a 및 도 2b를 참조하여 설명한 바와 같이, 하부 채널 구조체들(CS1) 및 상부 채널 구조체들(CS2)이 접촉하는 부분에서, 제2 수직 반도체 패턴(235)의 외측면은 계단형 프로파일을 가질 수 있다. 때문에, 상기 상부 채널 구조체들(CS2)의 하부 및 상기 하부 채널 구조체들(CS1)의 상부에 형성되는 채널들의 특성은 서로 다를 수 있다. 프로그램, 읽기 및 소거 특성의 균일화 및 안정화를 위하여, 상기 상부 채널 구조체들(CS2) 및 상기 하부 채널 구조체들(CS1)이 접촉하는 부분에 인접하여 더미 게이트 전극(DWL)이 제공될 수 있다. 상기 더미 게이트 전극(DWL)의 상면 및 하면을 덮는 하부 수평 절연체들(180)이 상기 더미 게이트 전극(DWL)과 상기 하부 절연막들(110) 사이에 개재될 수 있다. 또한 상기 하부 수평 절연체들(180)은 상기 더미 게이트 전극(DWL)과 상기 하부 채널 구조체들(CS1) 사이에 개재될 수 있다.

[0128] 상기 제2 수직 반도체 패턴(235)은, 상기 더미 게이트 전극(DWL)의 바닥면과 같거나 그보다 높은 바닥면을 가질 수 있다. 상기 제1 수직 반도체 패턴(135)은, 상기 더미 게이트 전극(DWL)의 바닥면과 같거나 그보다 더 낮은 상면을 가질 수 있다.

[0129] 상기 더미 게이트 전극(DWL)이 상기 상부 채널 구조체들(CS2) 및 상기 하부 채널 구조체들(CS1)이 접촉하는 부분에 인접하여 제공되기 때문에, 전술한 채널 불균일의 문제가 감소될 수 있다.

[0130] 도 8은 본 발명의 다른 실시예들에 따른 3차원 반도체 메모리 장치의 다른 예에 관한 것으로서, 도 2a의 I-I'선에 대응되는 단면도이다. 본 예에서는, 앞서 도 7을 참조하여 설명한 예와 중복되는 기술적 특징에 대한 상세한 설명은 생략하고, 차이점에 대해 상세히 설명한다. 본 예에 따른 3차원 반도체 메모리 장치의 셀 어레이는, 앞서 도 6을 참조하여 설명한 것과 같다.

[0131] 도 8을 참조하면, 프로그램, 읽기 및 소거 특성의 균일화 및 안정화를 위하여, 상기 상부 채널 구조체들(CS2) 및 상기 하부 채널 구조체들(CS1)이 접촉하는 부분에 인접하여 더미 게이트 전극(DWL)이 제공될 수 있다. 상기 더미 게이트 전극(DWL)의 상면 및 하면을 덮는 상부 수평 절연체들(280)이 상기 더미 게이트 전극(DWL)과 상기 상부 절연막들(210) 사이에 개재될 수 있다. 또한 상기 상부 수평 절연체들(280)은 상기 더미 게이트 전극(DW

L)과 상기 상부 채널 구조체들(CS2) 사이에 개재될 수 있다. 이때, 제2 수직 반도체 패턴(235)은, 상기 더미 게이트 전극(DWL)의 상면과 같거나 높은 바닥면을 가질 수 있다.

[0132] 본 발명의 또 다른 예로서, 상기 더미 게이트 전극(DWL)이 상기 하부 적층 구조체(SS1)의 상부에 제공될 수 있다. 즉, 상기 하부 적층 구조체(SS1) 및 상부 적층 구조체(SS2)가 접촉하는 부분에 인접하여, 더미 게이트 전극(DWL)이 제공될 수 있다. 상기 더미 게이트 전극(DWL)의 상면 및 하면을 덮는 하부 수평 절연체들(180)이 상기 더미 게이트 전극(DWL)과 상기 하부 절연막들(110) 사이에 개재될 수 있다. 또한 상기 하부 수평 절연체들(180)은 상기 더미 게이트 전극(DWL)과 상기 하부 채널 구조체들(CS1) 사이에 개재될 수 있다. 이때, 제1 수직 반도체 패턴(135)은, 상기 더미 게이트 전극(DWL)의 바닥면과 같거나 낮은 상면을 가질 수 있다.

[0133] 상기 더미 게이트 전극(DWL)이 상기 상부 채널 구조체들(CS2) 및 상기 하부 채널 구조체들(CS1)이 접촉하는 부분에 인접하여 제공되기 때문에, 전술한 채널 불균일의 문제가 감소될 수 있다.

[0134] 도 9는 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치를 포함하는 메모리 시스템의 일 예를 나타내는 개략 블록도이다.

[0135] 도 9를 참조하면, 메모리 시스템(1100)은 PDA, 포터블(portable) 컴퓨터, 웹 타블렛(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 디지털 뮤직 플레이어(digital music player), 메모리 카드(memory card), 또는 정보를 무선환경에서 송신 및/또는 수신할 수 있는 모든 소자에 적용될 수 있다.

[0136] 메모리 시스템(1100)은 컨트롤러(1110), 키패드(keypad), 키보드 및 디스플레이와 같은 입출력 장치(1120), 메모리(1130), 인터페이스(1140), 및 버스(1150)를 포함한다. 메모리(1130)와 인터페이스(1140)는 버스(1150)를 통해 상호 소통된다.

[0137] 컨트롤러(1110)는 적어도 하나의 마이크로 프로세서, 디지털 시그널 프로세서, 마이크로 컨트롤러, 또는 그와 유사한 다른 프로세스 장치들을 포함한다. 메모리(1130)는 컨트롤러에 의해 수행된 명령을 저장하는 데에 사용될 수 있다. 입출력 장치(1120)는 시스템(1100) 외부로부터 데이터 또는 신호를 입력받거나 또는 시스템(1100) 외부로 데이터 또는 신호를 출력할 수 있다. 예를 들어, 입출력 장치(1120)는 키보드, 키패드 또는 디스플레이 소자를 포함할 수 있다.

[0138] 메모리(1130)는 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치를 포함한다. 메모리(1130)는 또한 다른 종류의 메모리, 임의의 수시 접근이 가능한 휘발성 메모리, 기타 다양한 종류의 메모리를 더 포함할 수 있다.

[0139] 인터페이스(1140)는 데이터를 통신 네트워크로 송출하거나, 네트워크로부터 데이터를 받는 역할을 한다.

[0140] 또한, 본 발명에 따른 3차원 반도체 메모리 장치 또는 메모리 시스템은 다양한 형태들의 패키지로 실장 될 수 있다. 예를 들면, 본 발명에 따른 3차원 반도체 메모리 장치 또는 메모리 시스템은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등과 같은 방식으로 패키지화되어 실장될 수 있다.

[0141] 도 10은 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치를 구비하는 메모리 카드의 일 예를 나타내는 개략 블록도이다.

[0142] 도 10을 참조하면, 고용량의 데이터 저장 능력을 지원하기 위한 메모리 카드(1200)는 플래시 메모리 장치(1210)를 장착한다. 플래시 메모리 장치(1210)는 상술된 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치를 포함한다. 본 발명에 따른 메모리 카드(1200)는 호스트(Host)와 플래시 메모리 장치(1210) 간의 제반 데이터 교환을 제어하는 메모리 컨트롤러(1220)를 포함한다.

[0143] SRAM(1221)은 프로세싱 유닛(1222)의 동작 메모리로써 사용된다. 호스트 인터페이스(1223)는 메모리 카드(1200)와 접속되는 호스트의 데이터 교환 프로토콜을 구비한다. 에러 정정 블록(1224)은 멀티 비트 플래시 메모리 장치(1210)로부터 독출된 데이터에 포함되는 에러를 검출 및 정정한다. 메모리 인터페이스(1225)는 본 발명의 플래시 메모리 장치(1210)와 인터페이싱 한다. 프로세싱 유닛(1222)은 메모리 컨트롤러(1220)의 데이터 교환을

Micron Ex. 1002, p. 859
Micron v. YMTC
IPR2025-00294

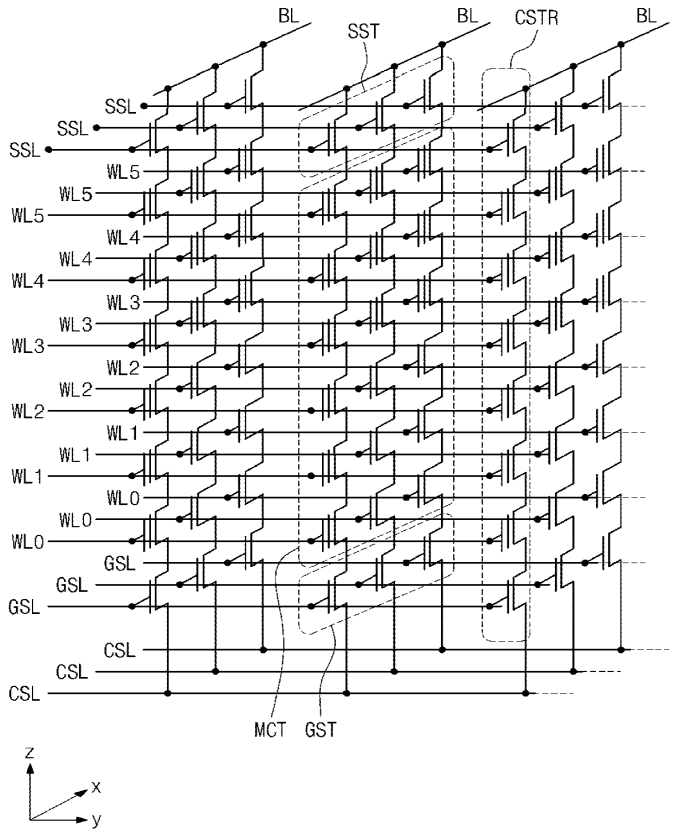
위한 제반 제어 동작을 수행한다. 비록 도면에는 도시되지 않았지만, 본 발명에 따른 메모리 카드(1200)는 호스트(Host)와의 인터페이싱을 위한 코드 데이터를 저장하는 ROM(미도시됨) 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

[0144] 도 11는 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치를 장착하는 정보 처리 시스템의 일 예를 나타내는 개략 블록도이다.

[0145] 도 11을 참조하면, 모바일 기기나 데스크 톱 컴퓨터와 같은 정보 처리 시스템에 플래시 메모리 장치(1210)가 장착된다. 플래시 메모리 장치(1210)는 상술된 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치를 포함한다. 본 발명에 따른 정보 처리 시스템(1300)은 플래시 메모리 시스템(1310)과 각각 시스템 버스(760)에 전기적으로 연결된 모뎀(1320), 중앙처리장치(1330), 램(1340), 유저 인터페이스(1350)를 포함한다. 플래시 메모리 시스템(1310)은 앞서 언급된 메모리 시스템 또는 플래시 메모리 시스템과 실질적으로 동일하게 구성될 것이다. 플래시 메모리 시스템(1310)에는 중앙처리장치(1330)에 의해서 처리된 데이터 또는 외부에서 입력된 데이터가 저장된다. 여기서, 상술한 플래시 메모리 시스템(1310)이 반도체 디스크 장치(SSD)로 구성될 수 있으며, 이 경우 정보 처리 시스템(1300)은 대용량의 데이터를 플래시 메모리 시스템(1310)에 안정적으로 저장할 수 있다. 그리고 신뢰성의 증대에 따라, 플래시 메모리 시스템(1310)은 에러 정정에 소요되는 자원을 절감할 수 있어 고속의 데이터 교환 기능을 정보 처리 시스템(1300)에 제공할 것이다. 도시되지 않았지만, 본 발명에 따른 정보 처리 시스템(1300)에는 응용 칩셋(Application Chipset), 카메라 이미지 프로세서(Camera Image Processor: CIS), 입출력 장치 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

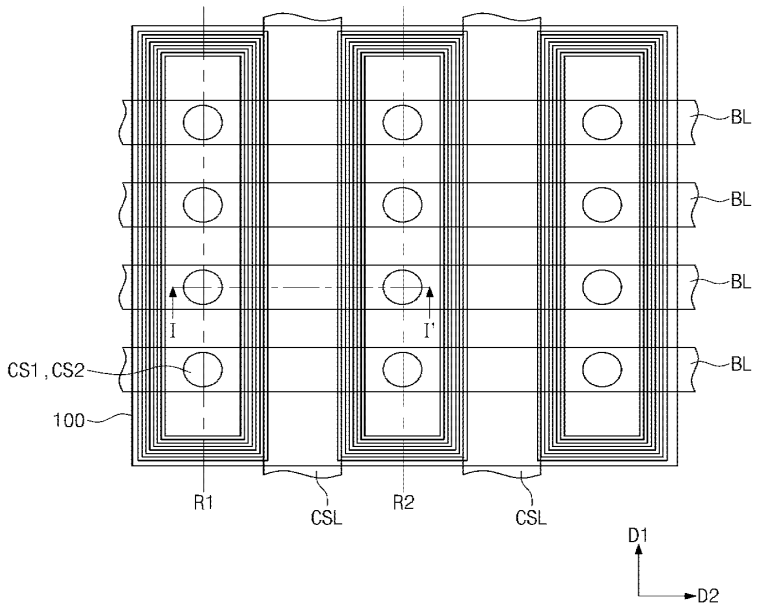
도면

도면1

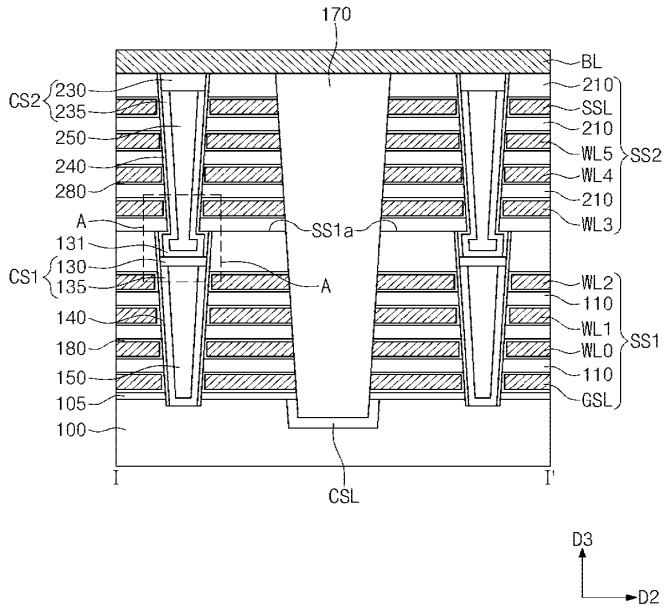


Micron Ex. 1002, p. 860
Micron v. YMTC
IPR2025-00294

도면2a

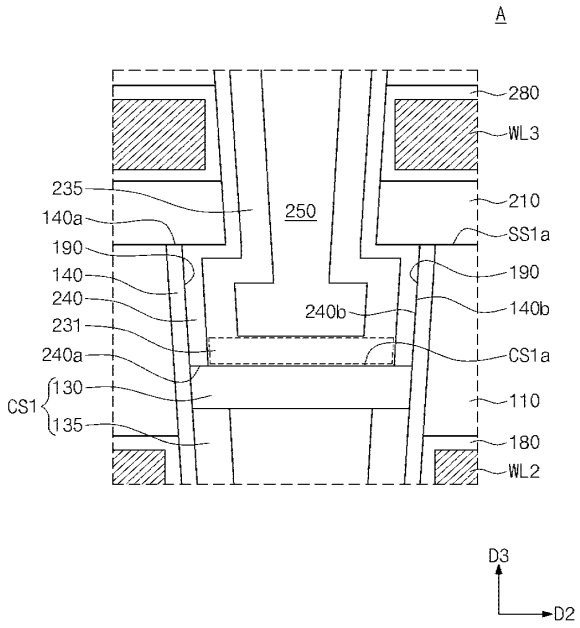


도면2b

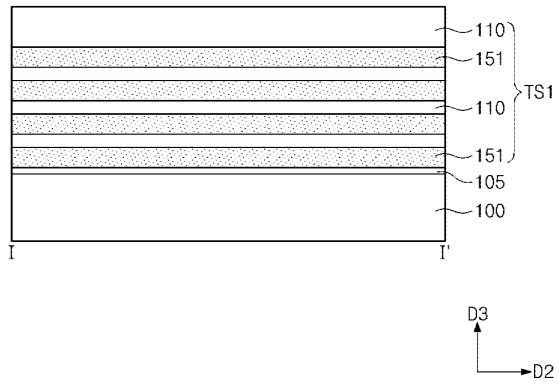


Micron Ex. 1002, p. 861
Micron v. YMTC
IPR2025-00294

도면2c

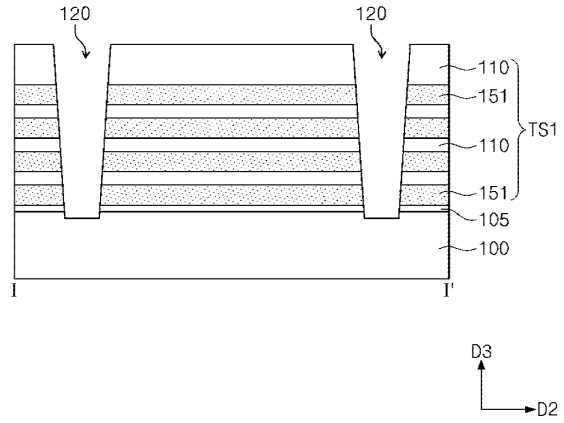


도면3a

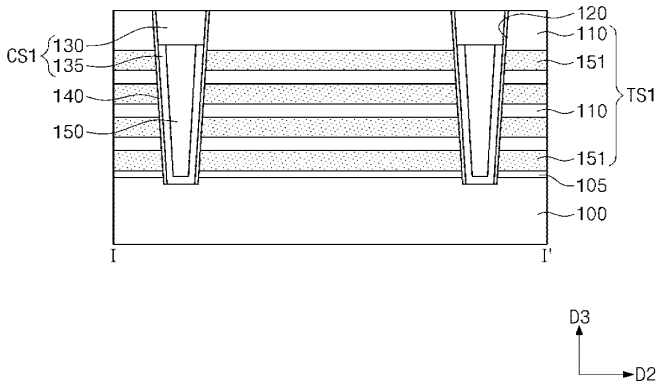


Micron Ex. 1002, p. 862
Micron v. YMTC
IPR2025-00294

도면3b

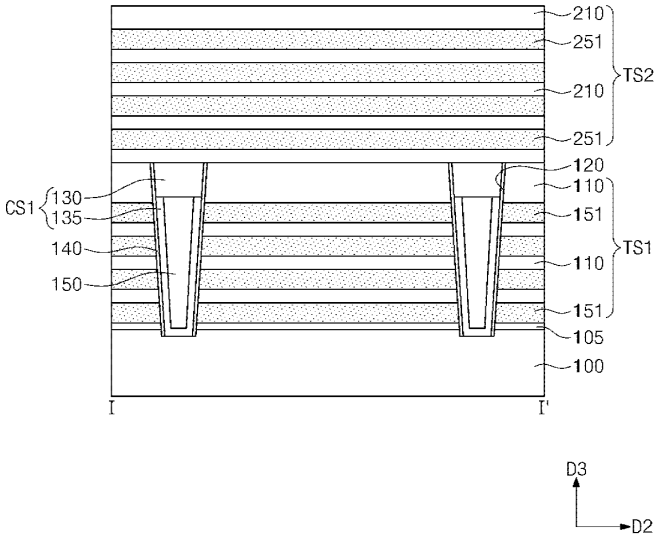


도면3c

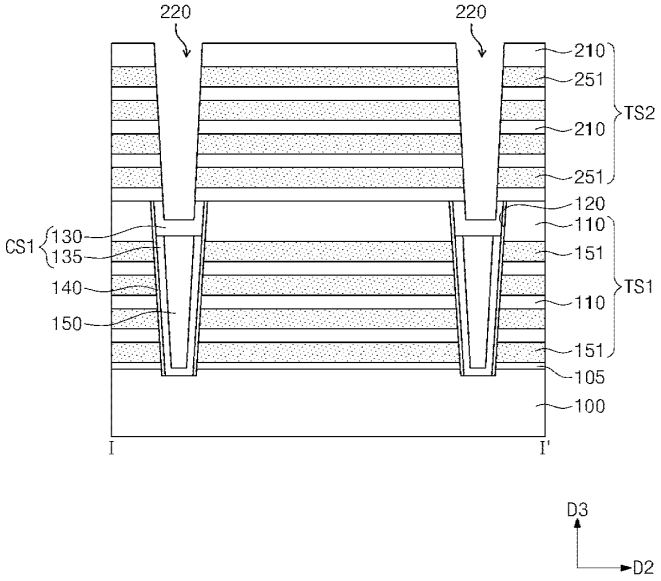


Micron Ex. 1002, p. 863
Micron v. YMTC
IPR2025-00294

도면3d

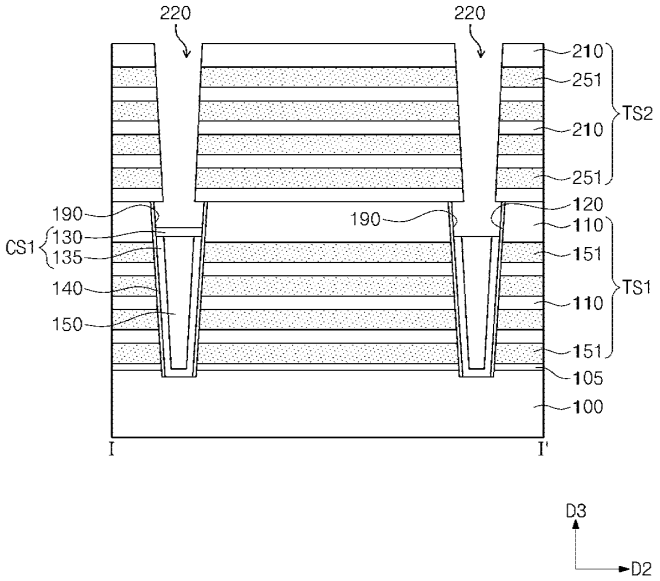


도면3e

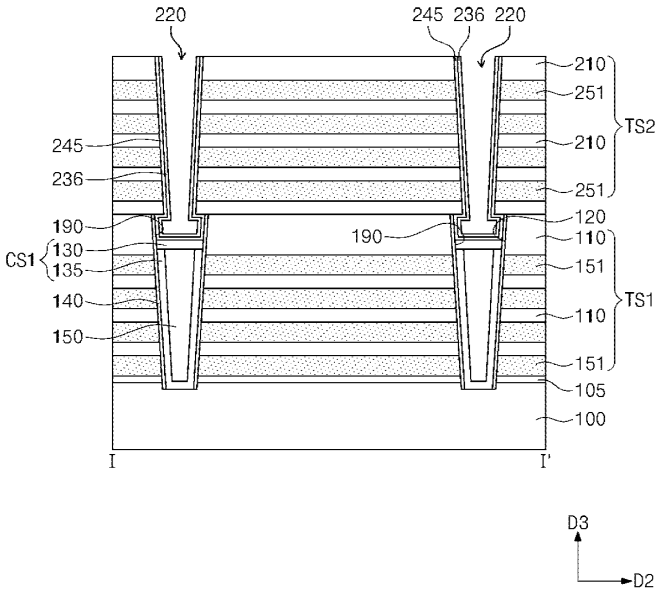


Micron Ex. 1002, p. 864
Micron v. YMTC
IPR2025-00294

도면3f

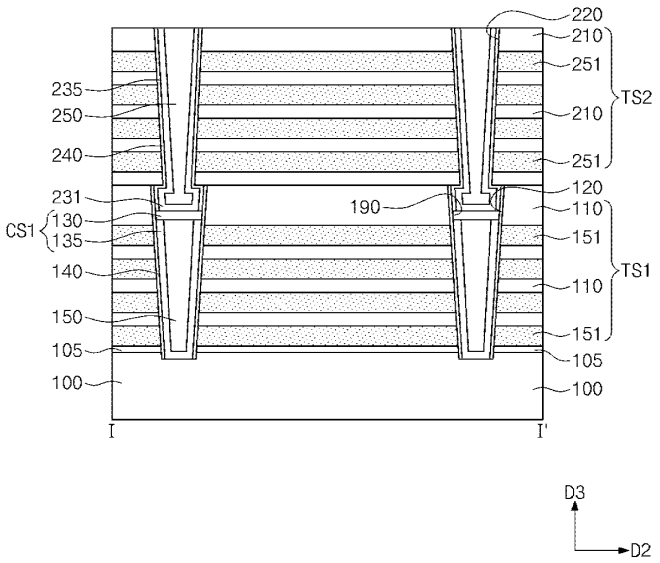


도면3g

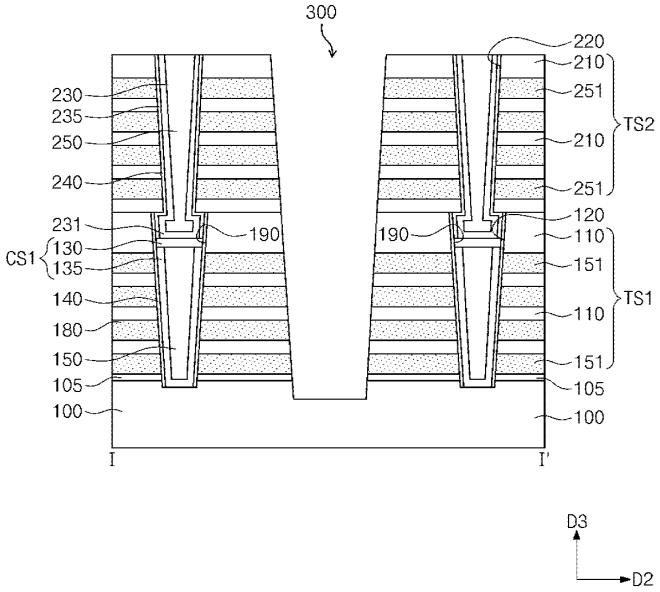


Micron Ex. 1002, p. 865
Micron v. YMTC
IPR2025-00294

도면3h

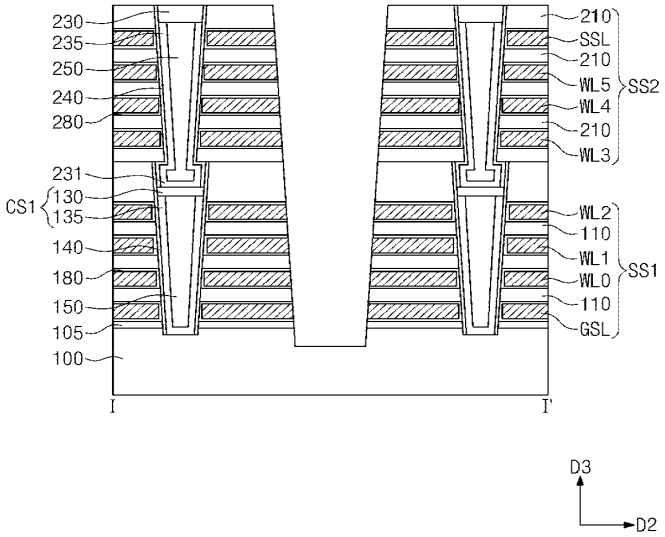


도면3i

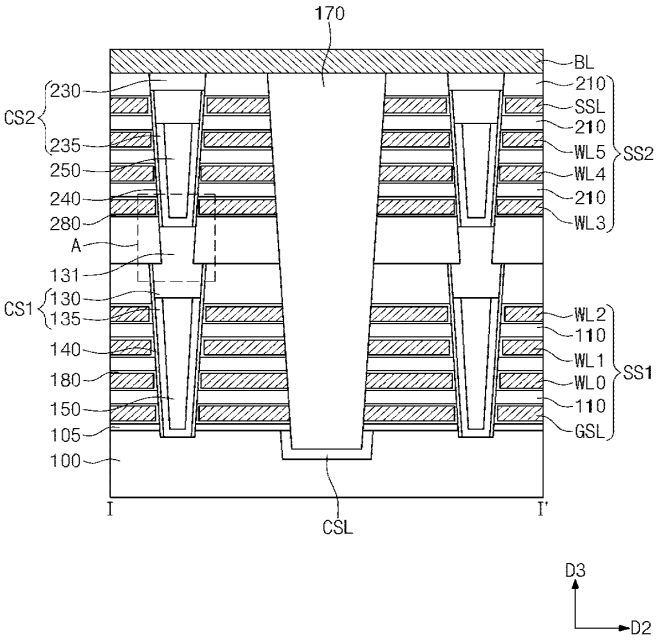


Micron Ex. 1002, p. 866
Micron v. YMTC
IPR2025-00294

도면3j

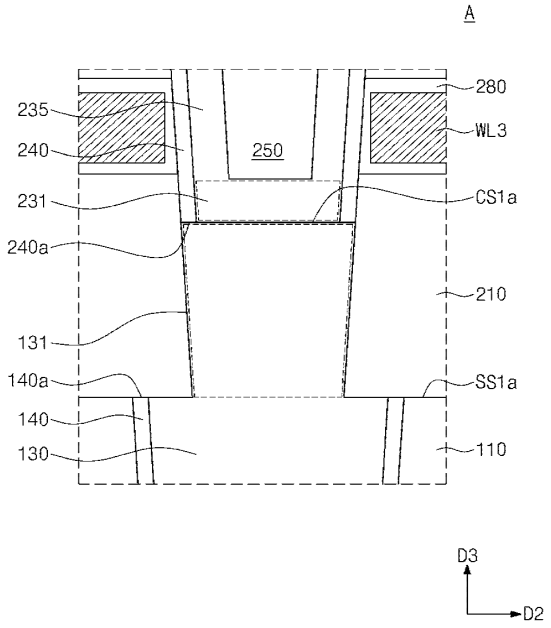


도면4a

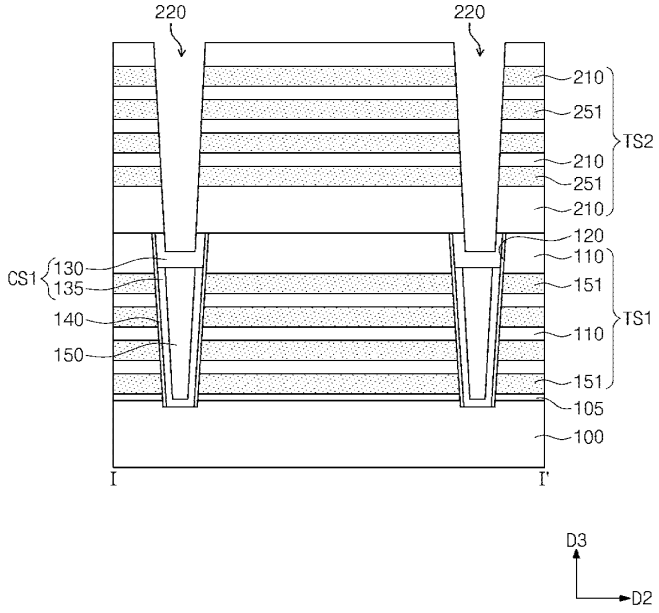


Micron Ex. 1002, p. 867
Micron v. YMTC
IPR2025-00294

도면4b

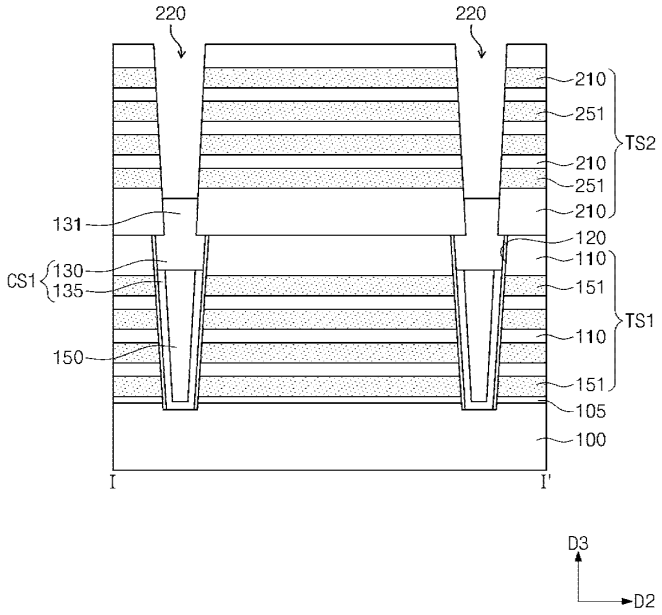


도면5a

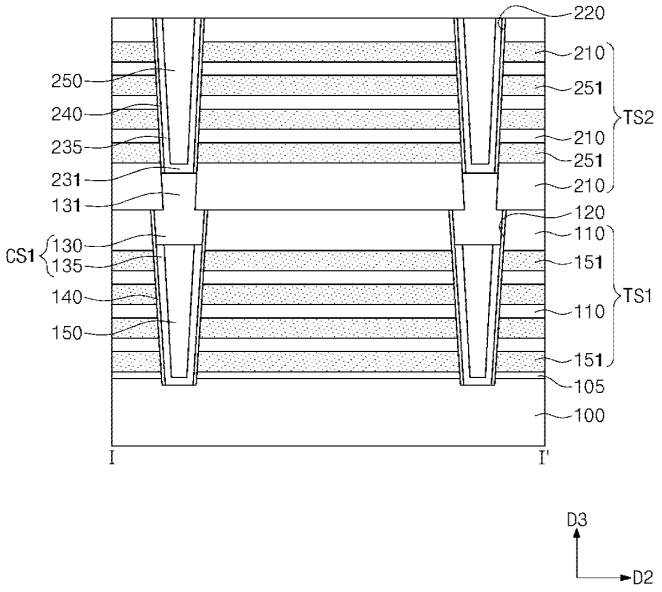


Micron Ex. 1002, p. 868
Micron v. YMTC
IPR2025-00294

도면5b

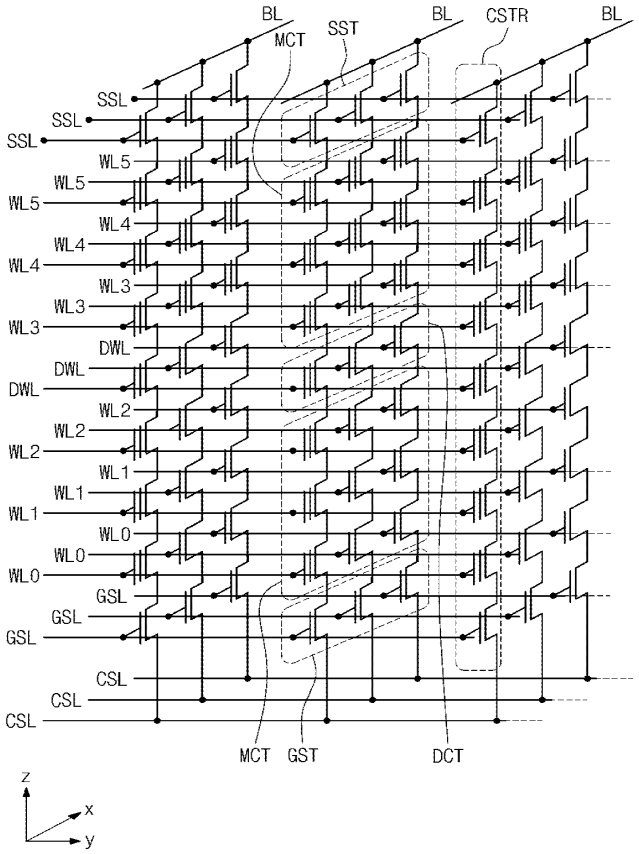


도면5c



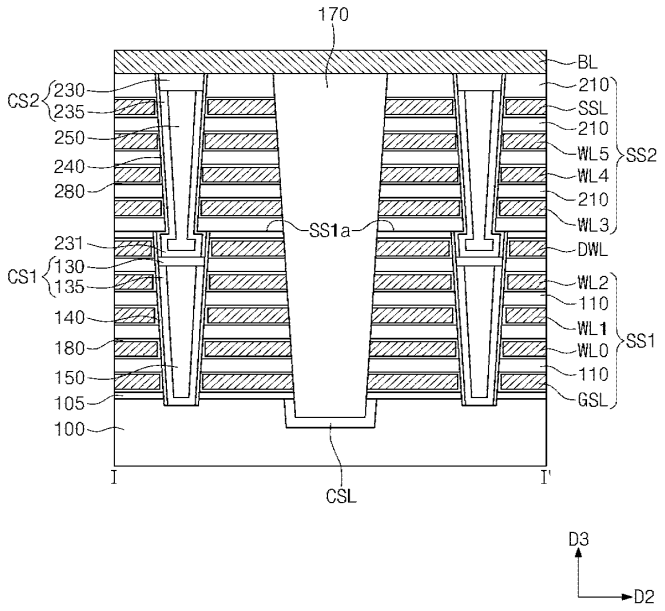
Micron Ex. 1002, p. 869
Micron v. YMTC
IPR2025-00294

도면6

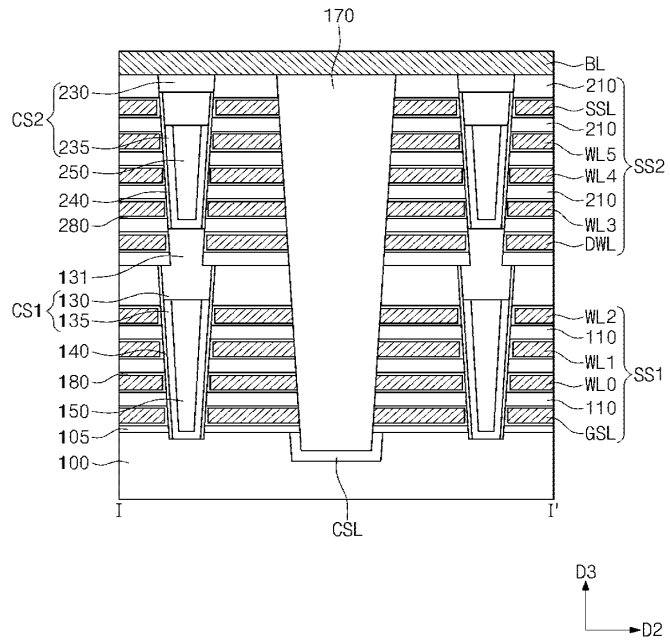


Micron Ex. 1002, p. 870
Micron v. YMTC
IPR2025-00294

도면7

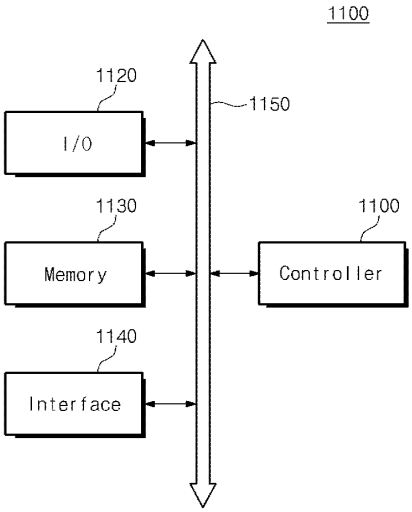


도면8

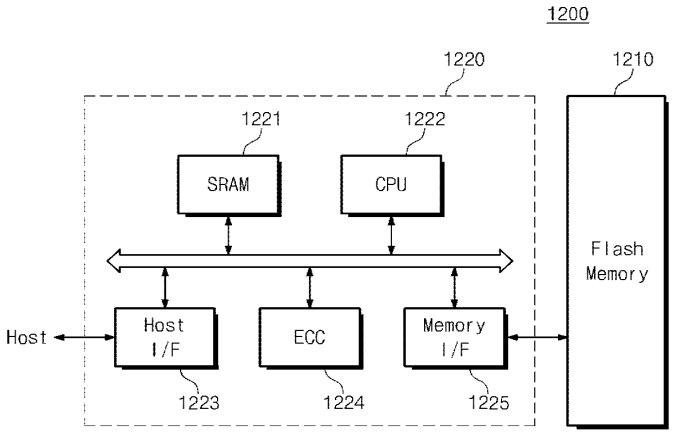


Micron Ex. 1002, p. 871
Micron v. YMTC
IPR2025-00294

도면9

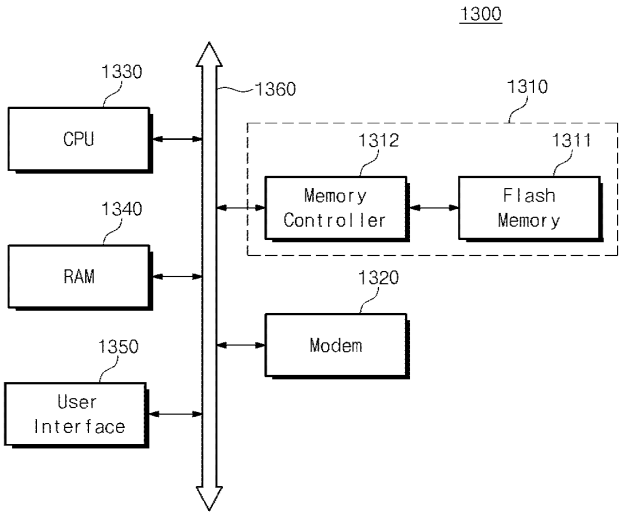


도면10



Micron Ex. 1002, p. 872
Micron v. YMTC
IPR2025-00294

도면11



Micron Ex. 1002, p. 873
Micron v. YMTC
IPR2025-00294

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0069903
(43) 공개일자 2016년06월17일

(51) 국제특허분류(Int. Cl.)
H01L 27/115 (2006.01)
(21) 출원번호 10-2014-0176089
(22) 출원일자 2014년12월09일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
임준성
경기도 용인시 수지구 신봉3로12번길 9, 411동 1701호(신봉동, 동일하이빌4차아파트)
윤장근
경기도 화성시 병점2로 35, 101동 603호(병점동, 주공1단지아파트)
윤재선
경기도 안양시 동안구 평촌대로180번길 28, 306동 601호(평촌동, 향촌롯데아파트)
(74) 대리인
특허법인씨엔에스

전체 청구항 수 : 총 20 항

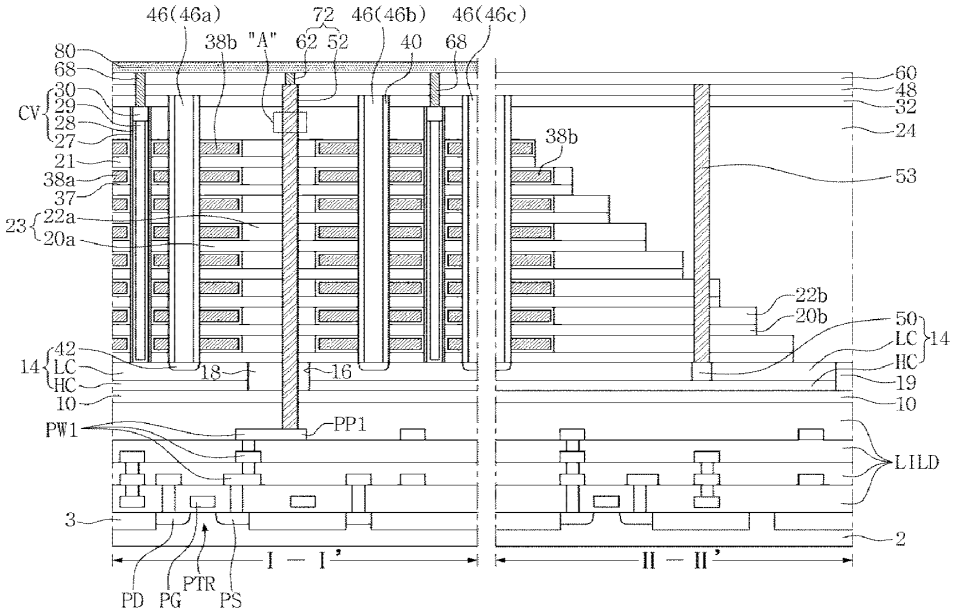
(54) 발명의 명칭 **반도체 소자**

(57) 요 약

반도체 소자는 반도체 기판 상에 배치되며 개구부를 갖는 반도체 패턴을 포함한다. 상기 반도체 패턴은 제1 도전형을 갖는 제1 불순물 영역 및 상기 제1 도전형과 다른 제2 도전형을 갖는 제2 불순물 영역을 포함한다. 상기 반도체 기판과 상기 반도체 패턴 사이에 주변 트랜지스터가 배치된다. 상기 반도체 기판과 상기 반도체 패턴 사이

(뒷면에 계속)

대 표 도



Micron Ex. 1002, p. 874
Micron v. YMTC
IPR2025-00294

에 제1 주변 배선 구조체가 배치된다. 상기 제1 주변 배선 구조체는 상기 주변 트랜지스터와 전기적으로 연결된다. 상기 반도체 패턴 상에 셀 게이트 도전성 패턴들이 배치된다. 상기 셀 게이트 도전성 패턴들을 관통하며 상기 반도체 패턴과 연결되는 셀 수직 구조체들이 배치된다. 상기 셀 수직 구조체들 상에 셀 비트라인 콘택 플러그들이 배치된다. 상기 셀 비트라인 콘택 플러그들 상에 배치되는 비트라인이 배치된다. 상기 비트라인과 상기 제1 주변 배선 구조체 사이에 주변 비트라인 콘택 구조체가 배치된다. 상기 주변 비트라인 콘택 구조체는 상기 반도체 패턴의 상기 개구부를 지난다.

Micron Ex. 1002, p. 875
Micron v. YMTC
IPR2025-00294

명 세 서

청구범위

청구항 1

반도체 기판 상에 배치되며 개구부를 갖는 반도체 패턴, 상기 반도체 패턴은 제1 도전형을 갖는 제1 불순물 영역 및 상기 제1 도전형과 다른 제2 도전형을 갖는 제2 불순물 영역을 포함하고;

상기 반도체 기판과 상기 반도체 패턴 사이에 배치되는 주변 트랜지스터;

상기 반도체 기판과 상기 반도체 패턴 사이에 배치되면서 상기 주변 트랜지스터와 전기적으로 연결되는 제1 주변 배선 구조체;

상기 반도체 패턴 상에 배치되는 셀 게이트 도전성 패턴들;

상기 셀 게이트 도전성 패턴들을 관통하며 상기 반도체 패턴과 연결되는 셀 수직 구조체들;

상기 셀 수직 구조체들 상에 배치되는 셀 비트라인 콘택 플러그들;

상기 셀 비트라인 콘택 플러그들 상에 배치되는 비트라인; 및

상기 비트라인과 상기 제1 주변 배선 구조체 사이에 배치되며 상기 반도체 패턴의 개구부를 지나는 주변 비트라인 콘택 구조체를 포함하는 반도체 소자.

청구항 2

제 1 항에 있어서,

상기 반도체 패턴은 상기 제1 불순물 영역과 동일한 도전형이고 상기 제1 불순물 영역 보다 높은 불순물 농도를 갖는 바디 콘택 불순물 영역을 더 포함하는 반도체 소자.

청구항 3

제 2 항에 있어서,

상기 바디 콘택 불순물 영역 상에 배치되는 셀 바디 콘택 구조체를 더 포함하는 반도체 소자.

청구항 4

제 3 항에 있어서,

상기 반도체 기판과 상기 반도체 패턴 사이에 배치되며 상기 반도체 패턴의 외측으로 연장되는 제2 주변 배선 구조체; 및

상기 반도체 패턴의 외측에 배치되며 상기 주변 배선 구조체 상에 배치되는 주변 바디 콘택 구조체; 및

상기 주변 바디 콘택 구조체 및 상기 셀 바디 콘택 구조체 상에 배치되며 상기 주변 바디 콘택 구조체 및 상기 셀 바디 콘택 구조체와 전기적으로 연결되는 셀 바디 배선 구조체를 포함하는 반도체 소자.

청구항 5

제 1 항에 있어서,

상기 반도체 패턴 내에 배치되며 상기 제1 불순물 영역과 동일한 도전형이면서 상기 제1 불순물 영역 보다 높은 불순물 농도를 갖고, 상기 제1 불순물 영역 하부에 배치되는 제3 불순물 영역을 더 포함하는 반도체 소자.

청구항 6

제 1 항에 있어서,

상기 반도체 패턴의 상기 제2 불순물 영역 상에 배치되는 셀 소스 패턴을 더 포함하는 반도체 소자.

Micron Ex. 1002, p. 876
Micron v. YMTC
IPR2025-00294

청구항 7

반도체 기판 상에 배치되며 개구부를 갖는 반도체 패턴;

상기 반도체 기판과 상기 반도체 패턴 사이에 배치되며 제1 주변 콘택 패드를 갖는 제1 주변 배선 구조체;

상기 반도체 기판과 상기 반도체 패턴 사이에 배치되면서 상기 반도체 패턴 외측 방향으로 연장되며 제2 주변 콘택 패드를 갖는 제2 주변 배선 구조체;

상기 반도체 패턴 상에 배치되는 셀 어레이 영역;

상기 반도체 패턴 상에 배치되며 상기 셀 어레이 영역의 일 측에 배치되는 계단 영역;

상기 반도체 패턴 상에 배치되는 셀 게이트 도전성 패턴, 상기 셀 게이트 도전성 패턴은 상기 셀 어레이 영역 내에 배치되면서 상기 계단 영역으로 연장되고;

상기 셀 어레이 영역 내의 상기 셀 게이트 도전성 패턴을 관통하며 상기 반도체 패턴과 연결되는 셀 수직 구조체;

상기 셀 수직 구조체 상의 비트 라인;

상기 비트 라인과 상기 제1 주변 콘택 패드 사이에 배치되며 상기 반도체 패턴의 상기 개구부를 지나는 주변 비트라인 콘택 구조체;

상기 반도체 패턴 상의 상기 계단 영역의 상기 셀 게이트 도전성 패턴 상에 배치되는 셀 게이트 콘택 구조체;

상기 제2 주변 콘택 패드 상에 배치되며 상기 반도체 패턴의 외측 상에 배치되는 주변 워드라인 콘택 구조체; 및

상기 셀 게이트 콘택 구조체와 상기 주변 워드라인 콘택 구조체를 전기적으로 연결하는 워드라인 배선 구조체를 포함하는 반도체 소자.

청구항 8

제 7 항에 있어서,

상기 개구부는 상기 셀 어레이 영역 하부에 배치되는 반도체 **소**자.

청구항 9

제 7 항에 있어서,

상기 개구부는 상기 계단 영역 하부에 배치되는 반도체 **소**자.

청구항 10

제 7 항에 있어서,

상기 개구부는 상기 셀 어레이 영역 하부에 배치되면서 상기 계단 영역으로 연장되는 반도체 소자.

청구항 11

반도체 기판 상의 반도체 패턴;

상기 반도체 기판과 상기 반도체 패턴 사이의 주변 트랜지스터;

상기 반도체 기판과 상기 반도체 패턴 사이에 배치되며 상기 주변 트랜지스터와 전기적으로 연결되고, 주변 콘택 패드를 갖는 주변 배선 구조체;

상기 반도체 패턴 상에 배치되는 게이트 도전성 구조체, 상기 게이트 도전성 구조체는 상기 반도체 패턴에 수직한 방향으로 적층된 복수의 셀 게이트 도전성 패턴들을 포함하고;

상기 게이트 도전성 구조체를 관통하는 셀 수직 구조체;

상기 셀 수직 구조체 상의 셀 도전성 라인, 상기 셀 도전성 라인은 상기 반도체 패턴의 폭 보다 작은 크기의 길

Micron Ex. 1002, p. 877
Micron v. YMTC
IPR2025-00294

이를 갖고; 및

상기 셀 도전성 라인과 상기 주변 콘택 패드 사이에 배치되는 주변 콘택 구조체를 포함하는 반도체 소자.

청구항 12

제 11 항에 있어서,

상기 셀 도전성 라인은 제1 방향으로 길쭉한 라인 모양이고, 상기 반도체 패턴의 상기 폭은 상기 제1 방향의 폭인 반도체 소자.

청구항 13

제 11 항에 있어서,

상기 하부 층간 절연 막과 상기 반도체 패턴 사이에 배치되는 버퍼 절연성 막을 더 포함하는 반도체 소자.

청구항 14

제 13 항에 있어서,

상기 반도체 패턴의 개구부를 채우는 갭필 절연성 막을 더 포함하되,

상기 갭필 절연성 막은 상기 버퍼 절연성 막과 다른 식각 선택비를 갖는 물질로 형성되고,

상기 주변 콘택 구조체는 상기 갭필 절연성 막을 관통하는 반도체 소자.

청구항 15

제 11 항에 있어서,

상기 반도체 패턴 상에 배치되는 절연성 구조체를 더 포함하되,

상기 주변 콘택 구조체는 상기 절연성 구조체를 관통하는 반도체 소자.

청구항 16

제 15 항에 있어서,

상기 절연성 구조체는 교대로 반복적으로 적층된 제1 절연성 패턴 및 제2 절연성 패턴을 포함하되,

상기 제1 절연성 패턴은 상기 제2 절연성 패턴과 다른 식각 선택비를 갖는 물질을 포함하는 반도체 소자.

청구항 17

제 16 항에 있어서,

상기 제1 절연성 패턴들은 상기 제2 절연성 패턴들 보다 큰 폭을 갖는 반도체 소자.

청구항 18

제 16 항에 있어서,

상기 제1 절연성 패턴들은 상기 셀 게이트 도전성 패턴들과 동일 평면에 배치되는 반도체 소자.

청구항 19

제 16 항에 있어서,

상기 반도체 패턴 상에 배치되며 교대로 반복적으로 적층된 제3 절연성 패턴 및 제4 절연성 패턴을 더 포함하되,

상기 제3 절연성 패턴들은 상기 제1 절연성 패턴들과 동일한 평면에 배치되며 상기 제1 절연성 패턴들과 동일한 물질로 형성되고,

상기 제4 절연성 패턴들은 상기 제2 절연성 패턴들과 동일한 평면에 배치되며 상기 제2 절연성 패턴들과 동일한

Micron Ex. 1002, p. 878
Micron v. YMTC
IPR2025-00294

물질로 형성되는 반도체 소자.

청구항 20

제 19 항에 있어서,

상기 제3 및 제4 절연성 패턴들을 관통하며 상기 반도체 패턴과 연결되는 바디 콘택 구조체를 더 포함하는 반도체 소자.

발명의 설명

기 술 분 야

[0001] 본 발명의 기술적 사상은 반도체 소자, 반도체 소자의 제조방법, 이들을 채택하는 전자 시스템에 관한 것이다.

배 경 기 술

[0002] 플래쉬 메모리 등과 같은 반도체 소자에서, 집적도는 반도체 제품의 가격을 결정할 수 있는 중요한 요인 중 하나이다. 일반적으로, 2차원적으로 배열된 메모리 셀들을 포함하는 2차원 반도체 소자의 경우, 집적도를 증가시키기 위하여 패턴의 미세화를 위해서 초고가의 장비들을 필요로 한다. 따라서, 2차원적으로 배열된 메모리 셀들을 포함하는 반도체 소자의 집적도를 증가시키는데는 한계가 있다. 이러한 2차원 반도체 소자의 집적도 증가의 한계를 극복하기 위하여 3차원적으로 배열되는 메모리 셀들을 포함하는 3차원 반도체 반도체 소자가 제안되고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 기술적 사상이 해결하려는 과제는 집적도를 증가시킬 수 있는 반도체 소자를 제공하는데 있다.

[0004] 본 발명의 기술적 사상이 해결하려는 과제는 주변 회로 영역 및 주변 회로 영역 상에 배치되는 셀 어레이 영역을 포함하는 반도체 소자를 제공하는데 있다.

[0005] 본 발명의 기술적 사상이 해결하려는 과제는 반도체 기판에 수직한 방향으로 배열된 주변 회로 영역 및 셀 어레이 영역을 전기적으로 연결하는 배선 구조체를 포함하는 반도체 소자를 제공하는데 있다.

[0006] 본 발명의 기술적 사상이 해결하고자 하는 과제는 상기 반도체 소자의 형성 방법을 제공하는데 있다.

[0007] 본 발명의 기술적 사상이 해결하고자 하는 과제는 상기 반도체 소자를 갖는 전자 장치 및 전자 시스템을 제공하는데 있다.

[0008] 본 발명이 해결하려는 과제들은 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당 업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0009] 본 발명의 기술적 사상의 일 양태에 따른 반도체 소자를 제공한다. 이 반도체 소자는 반도체 기판 상에 배치되며 개구부를 갖는 반도체 패턴을 포함한다. 상기 반도체 패턴은 제1 도전형을 갖는 제1 불순물 영역 및 상기 제1 도전형과 다른 제2 도전형을 갖는 제2 불순물 영역을 포함한다. 상기 반도체 기판과 상기 반도체 패턴 사이에 주변 트랜지스터가 배치된다. 상기 반도체 기판과 상기 반도체 패턴 사이에 제1 주변 배선 구조체가 배치된다. 상기 제1 주변 배선 구조체는 상기 주변 트랜지스터와 전기적으로 연결된다. 상기 반도체 패턴 상에 셀 게이트 도전성 패턴들이 배치된다. 상기 셀 게이트 도전성 패턴들을 관통하며 상기 반도체 패턴과 연결되는 셀 수직 구조체들이 배치된다. 상기 셀 수직 구조체들 상에 셀 비트라인 콘택 플러그들이 배치된다. 상기 셀 비트라인 콘택 플러그들 상에 배치되는 비트라인이 배치된다. 상기 비트라인과 상기 제1 주변 배선 구조체 사이에 주변 비트라인 콘택 구조체가 배치된다. 상기 주변 비트라인 콘택 구조체는 상기 반도체 패턴의 상기 개구부를 지난다.

[0010] 본 발명의 기술적 사상의 일 양태에 따른 반도체 소자를 제공한다. 이 반도체 소자는 반도체 기판 상에 배치되며 개구부를 갖는 반도체 패턴을 포함한다. 상기 반도체 기판과 상기 반도체 패턴 사이에 제1 주변 콘택 패드를 갖는 제1 주변 배선 구조체가 배치된다. 상기 반도체 기판과 상기 반도체 패턴 사이에 개재면서 상기 반도체 패

Micron Ex. 1002, p. 879
Micron v. YMTC
IPR2025-00294

턴 외측 방향으로 연장되며 제2 주변 콘택 패드를 갖는 제2 주변 배선 구조체가 배치된다. 상기 반도체 패턴 상에 셀 어레이 영역이 배치된다. 상기 반도체 패턴 상의 상기 셀 어레이 영역의 일 측에 제1 계단 영역이 배치된다. 상기 반도체 패턴 상에 셀 게이트 도전성 패턴이 배치된다. 상기 셀 게이트 도전성 패턴은 상기 셀 어레이 영역 내에 배치되면서 상기 제1 계단 영역으로 연장된다. 상기 셀 어레이 영역 내의 상기 셀 게이트 도전성 패턴을 관통하며 상기 반도체 패턴과 연결되는 셀 수직 구조체가 배치된다. 상기 셀 수직 구조체 상에 비트 라인이 배치된다. 상기 비트 라인과 상기 제1 주변 콘택 패드 사이에 주변 비트라인 콘택 구조체가 배치된다. 상기 주변 비트라인 콘택 구조체는 상기 반도체 패턴의 상기 개구부를 지난다. 상기 반도체 패턴 상의 상기 제1 계단 영역의 상기 셀 게이트 도전성 패턴 상에 셀 게이트 콘택 구조체가 배치된다. 상기 제2 주변 콘택 패드 상에 주변 워드라인 콘택 구조체가 배치된다. 상기 주변 워드라인 콘택 구조체는 상기 반도체 패턴의 외측 상에 배치된다. 상기 셀 게이트 콘택 구조체와 상기 주변 워드라인 콘택 구조체를 전기적으로 연결하는 워드라인 배선 구조체가 배치된다.

[0011] 본 발명의 기술적 사상의 일 양태에 따른 반도체 소자를 제공한다. 이 반도체 소자는 반도체 기판 상의 반도체 패턴을 포함한다. 상기 반도체 기판과 상기 반도체 패턴 사이에 주변 트랜지스터가 배치된다. 상기 반도체 기판과 상기 반도체 패턴 사이에 주변 배선 구조체가 배치된다. 상기 주변 배선 구조체는 상기 주변 트랜지스터와 전기적으로 연결되고 주변 콘택 패드를 갖는다. 상기 반도체 패턴 상에 게이트 도전성 구조체가 배치된다. 상기 게이트 도전성 구조체는 상기 반도체 패턴에 수직한 방향으로 적층된 복수의 셀 게이트 도전성 패턴들을 포함한다. 상기 게이트 도전성 구조체를 관통하는 셀 수직 구조체가 배치된다. 상기 셀 수직 구조체 상에 셀 도전성 라인이 배치된다. 상기 셀 도전성 라인은 상기 반도체 패턴의 폭 보다 작은 크기의 길이를 갖는다. 상기 셀 도전성 라인과 상기 주변 콘택 패드 사이에 주변 콘택 구조체가 배치된다.

[0012] 본 발명의 기술적 사상의 일 양태에 따른 반도체 소자를 제공한다. 이 반도체 소자는 반도체 기판 상에 배치되는 주변 트랜지스터를 포함한다. 상기 반도체 기판 상에 상기 주변 트랜지스터와 전기적으로 연결되는 주변 배선 구조체가 배치된다. 상기 주변 배선 구조체는 주변 콘택 패드를 갖는다. 상기 반도체 기판 상에 배치되며 상기 주변 트랜지스터 및 상기 주변 배선 구조체를 덮는 하부 층간 절연 막이 배치된다. 상기 하부 층간 절연 막 상에 버퍼 절연성 막이 배치된다. 상기 버퍼 절연성 막 상에 반도체 패턴이 배치된다. 상기 반도체 패턴은 상기 주변 트랜지스터 및 상기 주변 배선 구조체와 중첩한다. 상기 반도체 패턴 상에 수평 방향으로 차례로 배열된 제1 게이트 도전성 구조체, 제2 게이트 도전성 구조체 및 제3 게이트 도전성 구조체가 배치된다. 상기 제1 내지 제3 게이트 도전성 구조체들의 각각은 상기 반도체 패턴에 수직한 방향으로 적층된 복수의 셀 게이트 도전성 패턴들을 포함한다. 상기 제1 내지 제3 게이트 도전성 구조체들을 관통하는 셀 수직 구조체들이 배치된다. 상기 셀 수직 구조체들 상에 셀 비트라인 콘택 플러그들이 배치된다. 상기 셀 비트라인 콘택 플러그들 상에 비트라인이 배치된다. 상기 반도체 패턴을 관통하면서 상기 비트라인과 상기 주변 콘택 패드 사이에 주변 비트라인 콘택 구조체가 배치된다.

[0013] 기타 실시 예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0014] 본 발명의 기술적 사상의 실시 예들에 따르면, 집적도를 향상시킬 수 있는 3차원 반도체 소자를 제공할 수 있다.

[0015] 본 발명의 기술적 사상의 실시 예들에 따르면, 주변 회로 영역과 메모리 셀 어레이 영역을 수직하게 배열하고, 메모리 셀 어레이 영역의 비트라인과 상기 주변 회로 영역을 전기적으로 연결하기 위한 콘택 구조체를 상기 메모리 셀 어레이 영역을 수직하게 관통하게 배치하거나, 상기 메모리 셀 어레이 영역에 가까운 위치에 배치함으로써 집적도를 향상시킬 수 있다.

도면의 간단한 설명

[0016] 도 1은 본 발명의 기술적 사상의 실시예들에 따른 반도체 소자를 나타낸 개념도이다.

도 2a 및 도 2b는 본 발명의 기술적 사상의 실시예들에 따른 반도체 소자를 나타낸 평면도들이다.

도 3a 및 도 3b는 본 발명의 기술적 사상의 일 실시예들에 따른 반도체 소자를 나타낸 단면도들이고, 도 3c는 도 3a의 "A" 부분을 확대한 부분 확대도이다.

도 4a 및 도 4b는 본 발명의 기술적 사상의 일 실시예들에 따른 반도체 소자를 나타낸 단면도들이다.

Micron Ex. 1002, p. 880
Micron v. YMTC
IPR2025-00294

도 5a 및 도 5b는 본 발명의 기술적 사상의 일 실시예들에 따른 반도체 소자를 나타낸 단면도들이다.

도 6 내지 도 10의 각각은 본 발명의 기술적 사상의 일 실시예들에 따른 반도체 소자를 나타낸 평면도이다.

도 11a 및 도 11b는 본 발명의 기술적 사상의 일 실시예들에 따른 반도체 소자를 나타낸 단면도들이다.

도 12는 본 발명의 기술적 사상의 실시예들에 따른 반도체 소자를 나타낸 개념도이다.

도 13a 및 도 13b는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자를 나타낸 평면도들이다.

도 14는 본 발명의 기술적 사상의 일 실시예들에 따른 반도체 소자를 나타낸 단면도이다.

도 15는 본 발명의 기술적 사상의 일 실시예들에 따른 반도체 소자를 나타낸 단면도이다.

도 16은 본 발명의 기술적 사상의 일 실시예들에 따른 반도체 소자를 나타낸 단면도이다.

도 17은 본 발명의 기술적 사상의 일 실시예들에 따른 반도체 소자를 나타낸 평면도이다.

도 18은 본 발명의 기술적 사상의 일 실시예들에 따른 반도체 소자를 나타낸 단면도이다.

도 19는 본 발명의 기술적 사상의 일 실시예들에 따른 반도체 소자 형성 방법을 나타낸 공정 흐름도이다.

도 20a 내지 도 26b는 본 발명의 기술적 사상의 일 실시예들에 따른 반도체 소자 형성 방법을 나타낸 단면도들이다.

도 27은 본 발명의 기술적 사상의 일 실시예들에 따른 반도체 소자 형성 방법을 나타낸 공정 흐름도이다.

도 28은 본 발명의 기술적 사상의 일 실시예들에 따른 반도체 소자 형성 방법을 나타낸 공정 흐름도이다.

도 29는 본 발명의 기술적 사상의 일 실시예들에 따른 반도체 소자 형성 방법을 나타낸 공정 흐름도이다.

도 30a 내지 도 32b는 본 발명의 기술적 사상의 일 실시예들에 따른 반도체 소자 형성 방법을 나타낸 단면도들이다.

도 33 내지 도 35는 본 발명의 기술적 사상의 일 실시예들에 따른 반도체 소자 형성 방법을 나타낸 단면도들이다.

도 36 및 도 37은 본 발명의 기술적 사상의 일 실시예들에 따른 반도체 소자 형성 방법을 나타낸 단면도들이다.

도 38은 본 발명의 기술적 사상의 실시예들에 따른 반도체 모듈을 개략적으로 나타낸 도면이다.

도 39는 본 발명의 기술적 사상의 실시예에 따른 전자 시스템을 개념적으로 도시한 블록도이다.

도 40은 본 발명의 기술적 사상의 실시예에 따른 전자 시스템(500)을 개략적으로 도시한 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0017] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 기술적 사상의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 층 및 영역들의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0018] 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 개략도인 단면도, 평면도 및 블록도를 참고하여 설명될 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이고, 발명의 범주를 제한하기 위한 것은 아니다.

[0019] 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장된 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되는 경우에 그것은 다른 층 또는 기판상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 의미한다.

Micron Ex. 1002, p. 881
Micron v. YMTC
IPR2025-00294

[0020] 상단, 하단, 상면, 하면, 또는 상부, 하부 등의 용어는 구성요소에 있어 상대적인 위치를 구별하기 위해 사용되는 것이다. 예를 들어, 편의상 도면상의 위쪽을 상부, 도면상의 아래쪽을 하부로 명명하는 경우, 실제에 있어서는 본 발명의 권리 범위를 벗어나지 않으면서 상부는 하부로 명명될 수 있고, 하부는 상부로 명명될 수 있다.

[0021] 또한, "상부", "중간" 및 "하부" 등과 같은 용어는 구성요소들 사이에 있어서 상대적인 위치를 구별하기 위해 사용되는 것으로써, 이들 용어들에 의하여 본 발명의 기술적 사상이 한정되는 것은 아니다. 따라서, 이들 "상부", "중간" 및 "하부" 등과 같은 용어는 다른 용어, 예를 들어 "제1", "제2" 및 "제3" 등의 용어로 대체되어 명세서의 구성요소들을 설명하기 위하여 사용될 수도 있다.

[0022] "제1", "제2" 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되는 것은 아니다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 "제1 구성요소"는 "제2 구성요소"로 명명될 수 있다.

[0023] 본 출원에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명의 기술적 사상을 한정하려는 의도가 아니다.

[0024] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0025] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 기술적 사상이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미가 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미가 있는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0026] 도 1은 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자를 설명하기 위한 개략적인 개념도이다. 도 2a 및 도 2b는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자를 나타낸 평면도들이다. 도 2a 및 도 2b에서, 도 2b는 도면의 복잡성을 피하기 위하여 도 2a의 도면에 배선 구조체들을 추가한 평면도이다. 도 3a는 도 2a의 I-I' 및 II-II'선을 따라 각각 취해진 영역들을 나타낸 단면도이고, 도 3b는 도 2b의 III-III'선 및 IV-IV'선을 따라 각각 취해진 영역들을 나타낸 단면도이다. 도 3c는 도 3a의 "A" 부분을 확대한 부분 확대도이다.

[0027] 우선, 도 1, 도 2a, 도 2b, 도 3a, 도 3b 및 도 3c를 참조하여 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자를 설명하기로 한다.

[0028] 도 1, 도 2a, 도 2b, 도 3a, 도 3b 및 도 3c를 참조하면, 반도체 기판(2) 상에 주변 회로영역이 배치될 수 있다. 상기 반도체 기판(2)은 실리콘 등과 같은 반도체 물질로 형성될 수 있다. 상기 주변 회로 영역은 제1 주변 회로 영역(PC1), 제2 주변 회로 영역(PC2) 및 제3 주변 회로 영역(PC3)를 포함할 수 있다. 상기 제1 주변 회로 영역(PC1)은 페이지 버퍼 회로를 포함할 수 있다. 상기 제1 주변 회로 영역(PC1)은 회로를 구성할 수 있는 주변 트랜지스터(PTR) 및 상기 주변 트랜지스터(PTR)와 전기적으로 연결된 제1 주변 배선 구조체(PW1)를 포함할 수 있다. 상기 제1 주변 배선 구조체(PW)는 제1 주변 콘택 패드 부분(PP1)을 포함할 수 있다.

[0029] 상기 주변 트랜지스터(PTR)는 주변 게이트(PG), 주변 불순물 영역들(PS, PD)을 포함할 수 있다. 상기 주변 게이트(PG)는 소자분리 영역(3)에 의해 한정되는 활성 영역 상에 배치될 수 있다. 상기 주변 불순물 영역들(PS, PD)은 상기 주변 게이트(PG) 양 옆의 활성 영역 내에 배치되며, 소스/드레인 역할을 할 수 있다.

[0030] 상기 반도체 기판(2)의 상기 제1 내지 제3 주변 회로 영역들(PC1, PC2, PC3)을 덮는 하부 층간 절연 막(LILD)이 배치될 수 있다. 상기 하부 층간 절연 막(LILD)은 실리콘 산화물을 포함하는 절연성 물질로 형성될 수 있다. 상기 제1 주변 배선 구조체(PW) 및 상기 제1 주변 배선 구조체(PW)의 상기 제1 주변 콘택 패드 부분(PP1)은 상기 하부 층간 절연 막(LILD)에 의해 덮일 수 있다.

[0031] 상기 주변 하부 층간 절연 막(LILD) 상에 버퍼 절연성 막(10)이 배치될 수 있다. 상기 버퍼 절연성 막(10)은 상기 버퍼 절연성 막(10)과 접촉하는 상기 하부 층간 절연 막(LILD)의 부분과 다른 식각 선택비를 가질 수 있다. 예를 들어, 버퍼 절연성 막(10)은 실리콘 질화물로 형성될 수 있고, 상기 버퍼 절연성 막(10)과 접촉하는 상기

Micron Ex. 1002, p. 882
Micron v. YMTC
IPR2025-00294

하부 층간 절연 막(LILD)의 부분은 실리콘 산화물로 형성될 수 있다.

[0032] 상기 버퍼 절연성 막(10) 상에 개구부(16)를 갖는 반도체 패턴(14)이 배치될 수 있다. 상기 반도체 패턴(14)은 상기 제1 주변 회로 영역(PC1), 제2 주변 회로 영역(PC2) 및/또는 제3 주변 회로 영역(PC3)과 중첩할 수 있다. 상기 반도체 패턴(14)은 제1 도전형의 제1 불순물 영역(LC), 상기 제1 도전형과 다른 제2 불순물 영역(42), 상기 제1 도전형이면서 상기 제1 불순물 영역(LC) 보다 높은 불순물 농도를 갖는 바디 콘택 불순물 영역(50), 및 상기 제1 도전형이면서 상기 제1 불순물 영역(LC) 보다 높은 불순물 농도를 갖고 상기 제1 불순물 영역(LC) 하부에 배치되는 제3 불순물 영역(HC)을 포함할 수 있다. 상기 제1 불순물 영역(LC)은 저농도 불순물 영역으로 명명될 수 있고, 상기 제2 불순물 영역(42)은 셀 소스 불순물 영역으로 명명될 수 있고, 상기 제3 불순물 영역(HC)은 고농도 불순물 영역으로 명명될 수도 있다.

[0033] 일 실시예에서, 상기 제1 불순물 영역(LC), 상기 제3 불순물 영역(HC) 및 상기 셀 바디 콘택 불순물 영역(50)은 P형의 도전형일 수 있고, 상기 제2 불순물 영역(42)은 N형의 도전형일 수 있다.

[0034] 상기 주변 트랜지스터(PTR) 및 상기 제1 주변 배선 구조체(PW1)는 상기 반도체 기판(2)과 상기 반도체 패턴(14) 사이에 배치될 수 있다.

[0035] 상기 반도체 기판(2)과 상기 반도체 패턴(14) 사이에 배치되며 상기 반도체 패턴(14)의 외측 방향으로 연장되는 상기 제2 주변 배선 구조체(도 1의 PW2) 및 제3 주변 배선 구조체(도 3b의 PW3)가 배치될 수 있다.

[0036] 상기 제2 주변 배선 구조체(도 1의 PW2)는 상기 반도체 패턴(14)과 중첩하지 않는 부분에서 제2 주변 콘택 패드(PP2)를 가질 수 있다. 상기 제3 주변 배선 구조체(도 3b의 PW3)는 상기 반도체 패턴(14)과 중첩하지 않는 부분에서 제3 주변 콘택 패드(PP3)를 가질 수 있다. 상기 제1 주변 배선 구조체(PW1)의 상기 제1 주변 콘택 패드(PP1)는 상기 반도체 기판(2)과 상기 반도체 패턴(14) 사이에 위치할 수 있다.

[0037] 상기 반도체 패턴(14)의 상기 개구부(16) 내에 절연성 갭필 막(18)이 배치될 수 있다. 상기 반도체 패턴(14)의 측면 상에 중간 층간 절연 막(19)이 배치될 수 있다. 상기 절연성 갭필 막(18) 및 상기 중간 층간 절연 막(19)은 실리콘 산화물로 형성될 수 있다.

[0038] 상기 반도체 패턴(14) 상에 셀 어레이 영역(CA) 및 상기 계단 영역들(ST1, ST2, ST3, ST4)이 배치될 수 있다. 상기 계단 영역들(ST1, ST2, ST3, S4)은, 평면에서, 상기 셀 어레이 영역(CA)을 사이에 두고 서로 마주보는 제1 및 제3 계단 영역들(ST1, ST3), 및 상기 셀 어레이 영역(CA)을 사이에 두고 서로 마주보는 제2 및 제4 계단 영역들(ST2, ST4)을 포함할 수 있다.

[0039] 상기 반도체 기판(14) 상에 셀 게이트 도전성 구조체들(GS1, GS2, GS3)이 배치될 수 있다. 상기 셀 게이트 도전성 구조체들(GS1, GS2, GS3)은 상기 셀 어레이 영역(CA) 내에 배치될 수 있다. 상기 셀 게이트 도전성 구조체들(GS1, GS2, GS3)은 상기 셀 어레이 영역(CA) 으로부터 상기 제1 및 제3 계단 영역들(ST1, ST3) 내로 연장될 수 있다.

[0040] 상기 셀 게이트 도전성 구조체들(GS1, GS2, GS3)은 제1 게이트 도전성 구조체(GS1), 제2 게이트 도전성 구조체(GS2) 및 제3 게이트 도전성 구조체(GS3)을 포함할 수 있다. 상기 제1 및 제2 게이트 도전성 구조체들(GS1, GS2) 사이의 이격 거리는 상기 제2 및 제3 게이트 도전성 구조체들(GS2, GS3) 사이의 이격 거리 보다 클 수 있다.

[0041] 상기 제1, 제2 및 제3 게이트 도전성 구조체들(GS1, GS2, GS3)의 각각은 상기 반도체 패턴(14) 상에 차례로 적층되며 서로 이격된 셀 게이트 도전성 패턴들(38a)을 포함할 수 있다. 상기 셀 게이트 도전성 패턴들(38a)은 상기 반도체 패턴(14)의 제1 계단 영역(ST1) 및 제2 계단 영역(ST2)에서 계단 구조를 갖도록 배치될 수 있다. 상기 계단 구조는 상기 셀 어레이 영역(CA)으로부터 멀어질수록 단계적으로 낮아지는 계단 구조일 수 있다.

[0042] 상기 셀 게이트 도전성 패턴들(38a) 사이 및 상기 셀 게이트 도전성 패턴들(38a) 중 최하위 패턴과 상기 반도체 패턴(14) 사이에 셀 층간 절연성 패턴들(21)이 배치될 수 있다. 상기 셀 층간 절연성 패턴들(21) 및 상기 셀 게이트 도전성 패턴들(38a)은 교대로 반복적으로 적층될 수 있다.

[0043] 상기 제1 및 제2 게이트 도전성 구조체들(GS1, GS2) 사이의 상기 반도체 패턴(14) 상에 절연성 구조체(23)가 배치될 수 있다.

[0044] 상기 절연성 구조체(23)는 교대로 반복적으로 적층된 제1 절연성 패턴(20a) 및 제2 절연성 패턴(22b)을 포함할 수 있다. 따라서, 상기 절연성 구조체(23)는 복수의 제1 절연성 패턴들(20a) 및 복수의 제2 절연성 패턴들(22

Micron Ex. 1002, p. 883
Micron v. YMTC
IPR2025-00294

a)을 포함할 수 있다.

[0045] 상기 제1 절연성 패턴(20a)은 상기 제2 절연성 패턴(22a) 보다 큰 폭을 가지면서 상기 제2 절연성 패턴(22a)과 식각 선택비를 가질 수 있다. 예를 들어, 상기 제1 절연성 패턴(20a)은 실리콘 산화물로 형성될 수 있고, 상기 제2 절연성 패턴(22a)은 실리콘 질화물로 형성될 수 있다.

[0046] 상기 제1 및 제2 게이트 도전성 구조체들(GS1, GS2) 사이의 상기 반도체 패턴(14) 상에서, 상기 제2 절연성 패턴(22a)의 수평 방향에 더미 게이트 도전성 패턴(38b)이 배치될 수 있다. 상기 제2 절연성 패턴들(22a)은 상기 셀 게이트 도전성 패턴들(38a)과 동일 평면에 배치될 수 있다.

[0047] 상기 절연성 구조체(23)는 상기 개구부(16)와 중첩할 수 있다. 상기 절연성 구조체(23)는 상기 개구부(16) 내의 갭필 절연성 막(18)과 중첩할 수 있다.

[0048] 상기 반도체 패턴(14) 상의 상기 제2 및 제4 계단 영역들(ST2, ST4) 상에 교대로 반복적으로 적층되며 계단 구조로 형성된 제3 절연성 패턴(20b) 및 제4 절연성 패턴(22b)이 배치될 수 있다. 상기 계단 구조는 상기 셀 어레이 영역(CA)으로부터 멀어지는 방향으로 아래로 내려가는 계단 모양일 수 있다. 상기 제3 절연성 패턴들(20b)은 상기 제1 절연성 패턴들(20a) 및 상기 셀 층간 절연성 패턴들(21)과 동일한 물질로 형성될 수 있으며, 동일 평면에 배치될 수 있다. 상기 제4 절연성 패턴들(22b)은 상기 제2 절연성 패턴들(22a)과 동일한 물질로 형성될 수 있으며, 동일 평면에 배치될 수 있다. 상기 제2 절연성 패턴들(22a) 및 상기 제4 절연성 패턴들(22b)은 상기 셀 게이트 도전성 패턴들(38a)과 동일 평면에 배치될 수 있다.

[0049] 상기 셀 게이트 도전성 구조체들(GS1, GS2, GS3), 상기 절연성 구조체(23), 상기 제2 및 제4 절연성 패턴들(22a, 22b)를 갖는 기판 상에 제1 상부 층간 절연 막(24)이 배치될 수 있다.

[0050] 상기 반도체 패턴(14) 상의 상기 셀 어레이 영역(CA) 내에 셀 수직 구조체들(CV)이 배치될 수 있다. 상기 셀 수직 구조체들(CV)은 상기 반도체 패턴(14)의 상기 제1 불순물 영역(LC) 상에 배치될 수 있다. 상기 셀 수직 구조체들(CV)은 상기 제1 상부 층간 절연 막(24), 상기 셀 게이트 도전성 패턴들(38a) 및 상기 셀 층간 절연성 패턴들(21)을 관통하며 상기 반도체 패턴(14)의 상기 제1 불순물 영역(LC)과 연결될 수 있다.

[0051] 상기 셀 수직 구조체들(CV)의 각각은 제1 유전체(27), 셀 반도체 층(28), 코어 절연 패턴(29) 및 셀 패드 패턴(30)을 포함할 수 있다. 상기 셀 패드 패턴(30)은 상기 코어 절연 패턴(29) 상에 배치될 수 있다. 상기 셀 패드 패턴(30)은 도우프트 실리콘으로 형성될 수 있다. 상기 셀 패드 패턴(30)은 N형의 도전형일 수 있다.

[0052] 상기 셀 반도체 층(28)은 상기 코어 절연 패턴(29)의 측면 및 바닥을 둘러싸도록 배치될 수 있다. 상기 셀 반도체 층(28)은 트랜지스터의 채널로 이용될 수 있는 물질, 예를 들어 실리콘으로 형성될 수 있다. 상기 제1 유전체(27)는 상기 셀 반도체 층(28)의 외측 상에 배치될 수 있다. 상기 셀 반도체 층(28)은 상기 제1 유전체(27)와 상기 코어 절연 패턴(29) 사이에 배치될 수 있다.

[0053] 상기 셀 수직 구조체들(CV)과 상기 셀 게이트 도전성 패턴들(38a) 사이에 제2 유전체(37)가 배치될 수 있다.

[0054] 상기 제1 및 제2 유전체들(27, 37) 중 어느 하나는 정보를 저장할 수 있는 정보 저장 층을 포함할 수 있다. 예를 들어, 상기 제1 유전체(27)는 상기 셀 반도체 층(28)으로부터 차례로 형성된 터널 유전 층 및 정보 저장 층을 포함할 수 있다. 상기 제2 유전체(37)는 블록킹 유전체를 포함할 수 있다. 상기 제1 및 제2 유전체들(27, 37)은 낸드 플래쉬 메모리 소자의 컨트롤 게이트와 낸드 플래쉬의 셀 트랜지스터의 바디 사이의 유전체와 동일한 구조일 수 있다. 그렇지만, 본 발명의 기술적 사상은 이러한 낸드 플래쉬의 구조에 한정되지 않으며 다양한 메모리 소자에 이용될 수 있다.

[0055] 상기 제1 상부 층간 절연 막(24) 상에 제2 상부 층간 절연 막(32)이 배치될 수 있다.

[0056] 상기 반도체 패턴(14) 상에 상기 셀 어레이 영역(CA)을 가로지르며 상기 제1 및 제3 계단 영역들(ST1, St3) 내로 연장된 복수의 셀 소스 패턴들(46)이 배치될 수 있다. 상기 셀 소스 패턴들(46)은 상기 제2 불순물 영역들, 즉 셀 소스 불순물 영역들(46) 상에 배치될 수 있다. 상기 셀 소스 패턴들(46)은 도전성 물질을 포함할 수 있다. 상기 셀 소스 패턴들(46)은 상기 제2 불순물 영역들(46)과 중첩하면서 전기적으로 연결될 수 있다. 상기 셀 소스 패턴들(46)은 제1 방향(X)으로 연장된 라인 모양일 수 있다. 상기 셀 소스 패턴들(46)은 상기 제1 방향(X)과 수직한 제2 방향(Y)으로 차례로 배열되며 평행할 수 있다.

[0057] 상기 셀 소스 패턴들(46)은 상기 제1 및 제2 상부 층간 절연 막들(24, 32)을 관통하며 상기 셀 게이트 도전성 패턴들(38a)을 수직하게 지나면서 상기 반도체 패턴(14)의 상기 제2 불순물 영역들(42)에 연결될 수 있다.

Micron Ex. 1002, p. 884
Micron v. YMTC
IPR2025-00294

[0058] 상기 셀 소스 패턴들(46)은 차례로 배열되며 서로 다른 간격으로 이격된 제1 내지 제3 소스 패턴들(46a, 46b, 46c)를 포함할 수 있다. 예를 들어, 서로 인접하는 상기 제1 및 제2 소스 패턴들(46a, 46b) 사이의 간격은 서로 인접하는 상기 제2 및 제3 소스 패턴들(46b, 46c) 사이의 간격 보다 클 수 있다.

[0059] 상기 소스 패턴들(46) 중에서, 상대적으로 좁은 간격으로 배열된 소스 패턴들, 예를 들어 상기 제2 및 제3 소스 패턴들(46b, 46c) 사이에 상기 셀 게이트 도전성 패턴들(38a)이 배치될 수 있다. 상기 소스 패턴들(46) 중에서, 상대적으로 넓은 간격으로 배열된 소스 패턴들, 예를 들어 상기 제1 및 제2 소스 패턴들(46b, 46c) 사이에 상기 셀 게이트 도전성 패턴들(38a)이 배치되지 않고, 상기 절연성 구조체(23) 및 상기 더미 게이트 도전성 패턴들(38b)가 배치될 수 있다.

[0060] 상기 제2 상부 층간 절연 막(32) 및 상기 셀 소스 패턴들(46) 상에 제3 상부 층간 절연 막(48)이 배치될 수 있다. 상기 제3 상부 층간 절연 막(48) 상에 제4 상부 층간 절연 막(60)이 배치될 수 있다.

[0061] 상기 반도체 패턴(14) 하부의 상기 주변 트랜지스터(PTR)와 전기적으로 연결되는 비트라인 콘택 구조체(72)가 배치될 수 있다. 상기 비트라인 콘택 구조체(72)는 상기 셀 어레이 영역(CA)을 수직 방향으로 관통하면서 상기 셀 어레이 영역(CA) 하부의 상기 제1 주변 회로 영역(PC1)의 상기 제1 주변 콘택 패드(PP1)와 전기적으로 연결될 수 있다.

[0062] 상기 비트라인 주변 콘택 구조체(72)는 비트라인 하부 콘택 플러그(52) 및 상기 비트라인 하부 콘택 플러그(52) 상의 비트라인 상부 콘택 플러그(62)를 포함할 수 있다. 상기 비트라인 하부 콘택 플러그(52)는 상기 제1 내지 제3 상부 층간 절연 막들(24, 32, 48), 상기 절연성 구조체(23), 상기 갭필 절연 막(18) 및 상기 제1 주변 콘택 패드(PP1)를 덮는 상기 주변 하부 층간 절연 막(LILD)의 부분을 관통하며 상기 주변 트랜지스터(PTR)와 전기적으로 연결되는 상기 제1 주변 배선 구조체(PW1)의 상기 제1 주변 콘택 패드(PP1)와 전기적으로 연결될 수 있다. 상기 비트라인 주변 상부 콘택 플러그(62)는 상기 제4 상부 층간 절연 막(60)을 관통하며 상기 비트라인 주변 하부 콘택 플러그(52)와 전기적으로 연결될 수 있다.

[0063] 일 실시예에서, 도 3c에서와 같이, 상기 비트라인 하부 콘택 플러그(도 3c의 52)는 플러그 금속 막(52b) 및 상기 플러그 금속 막(52b) 측면 상의 배리어 금속 막(52a)을 포함할 수 있다. 예를 들어, 상기 플러그 금속 막(52b)은 금속 물질을 포함할 수 있고, 상기 배리어 금속 막(52a)은 금속 질화물을 포함할 수 있다.

[0064] 일 실시예에서, 도 3c에서와 같이, 상기 비트라인 하부 콘택 플러그(도 3c의 52)와 콘택 홀(H) 사이에 산화물 스페이서(SP)가 배치될 수 있다. 상기 산화물 스페이서(SP)는 실리콘 산화물로 형성될 수 있다.

[0065] 상기 셀 수직 구조체들(CV)과 전기적으로 연결되는 셀 비트라인 플러그들(68)이 배치될 수 있다. 상기 셀 비트라인 플러그들(68)은 상기 제1 내지 제4 층간 절연막들(24, 32, 48, 60)을 관통할 수 있다.

[0066] 상기 셀 게이트 도전성 패턴들(38a)과 전기적으로 연결된 셀 게이트 콘택 구조체들(74)이 배치될 수 있다. 상기 셀 게이트 콘택 구조체들(74)은 상기 제1 계단 영역(ST1) 내에 배치될 수 있다.

[0067] 상기 셀 게이트 콘택 구조체들(74)의 각각은 셀 게이트 하부 콘택 플러그(54) 및 상기 셀 게이트 하부 콘택 플러그(54) 상의 셀 게이트 상부 콘택 플러그(64)를 포함할 수 있다.

[0068] 상기 셀 게이트 하부 콘택 플러그(54)는 상기 제1, 제2 및 제3 상부 층간 절연 막들(24, 32, 48)을 관통하면서 상기 셀 게이트 도전성 패턴들(38a)과 전기적으로 연결될 수 있다. 상기 셀 게이트 상부 콘택 플러그(64)는 상기 제4 상부 층간 절연 막(60)을 관통하면서 상기 셀 게이트 하부 콘택 플러그(54)와 전기적으로 연결될 수 있다.

[0069] 상기 셀 바디 콘택 불순물 영역(50)과 전기적으로 연결되는 셀 바디 콘택 구조체(73)가 배치될 수 있다. 상기 셀 바디 콘택 구조체(73)는 셀 바디 하부 콘택 플러그(53) 및 상기 셀 바디 하부 콘택 플러그(53) 상의 셀 바디 상부 콘택 플러그(63)를 포함할 수 있다.

[0070] 상기 셀 바디 하부 콘택 플러그(53)는 상기 제1 내지 제3 상부 층간 절연 막들(24, 32, 48), 및 상기 셀 소스 패턴들(46)에 수직한 상기 제2 방향(Y)에 위치하는 계단 영역들 내의 상기 제3 및 제4 절연성 패턴들(20b, 22b)을 관통하며 상기 반도체 패턴(14)과 연결될 수 있다. 상기 셀 바디 하부 콘택 플러그(53) 및 상기 주변 비트라인 하부 콘택 플러그(52)는 서로 다른 평면에 위치하는 하부면들 및 서로 동일한 평면에 위치하는 상부면들을 가질 수 있다. 상기 셀 바디 상부 콘택 플러그(63)는 상기 제4 상부 층간 절연 막(60)을 관통하면서 상기 셀 바디 하부 콘택 플러그(53)와 전기적으로 연결될 수 있다.

Micron Ex. 1002, p. 885
Micron v. YMTC
IPR2025-00294

[0071] 상기 반도체 기판(2)과 상기 반도체 패턴(14) 사이에 배치되면서 상기 반도체 패턴(14)의 외측 방향으로 연장된 제3 주변 배선 구조체(PW3)의 제3 주변 콘택 패드(PP3)와 전기적으로 연결된 주변 바디 콘택 구조체(75)가 배치될 수 있다. 상기 셀 바디 콘택 구조체(73)는 상기 반도체 패턴(14) 상에 배치되면서 중첩할 수 있고, 상기 주변 바디 콘택 구조체(74)는 상기 반도체 패턴(14)과 중첩하지 않을 수 있다. 상기 주변 바디 콘택 구조체(75)는 상기 반도체 패턴(14)의 외측 상에 배치될 수 있다.

[0072] 상기 주변 바디 콘택 구조체(75)는 주변 바디 하부 콘택 플러그(55) 및 상기 주변 바디 하부 콘택 플러그(55) 상의 주변 바디 상부 콘택 플러그(65)를 포함할 수 있다. 상기 주변 바디 하부 콘택 플러그(55)는 상기 제1 내지 제3 상부 층간 절연 막들(24, 32, 48), 상기 버퍼 절연성 막(10) 및 상기 하부 층간 절연 막(LILD)의 일부를 관통하면서 상기 제3 주변 콘택 패드(PP3)와 전기적으로 연결될 수 있다. 상기 주변 바디 상부 콘택 플러그(65)는 상기 제4 상부 층간 절연 막(60)을 관통할 수 있다.

[0073] 상기 제4 층간 절연 막(60) 상에 배선 구조체가 배치될 수 있다. 상기 배선 구조체는 셀 도전성 라인들(80), 워드라인 배선 구조체들(81) 및 바디 배선 구조체들(82)을 포함할 수 있다. 상기 셀 도전성 라인들(80)은 셀 비트 라인들 일 수 있다.

[0074] 상기 셀 도전성 라인들(80)은 상기 셀 비트라인 콘택 플러그들(68) 및 상기 주변 비트라인 콘택 구조체(72) 상에 배치되며 상기 셀 비트라인 콘택 플러그들(68) 및 상기 주변 비트라인 콘택 구조체(72)와 전기적으로 연결될 수 있다. 상기 셀 도전성 라인들(80)은 셀 비트라인들일 수 있다.

[0075] 상기 셀 도전성 라인들, 즉 비트라인들(80)은 상기 반도체 패턴(14)의 폭 보다 작은 크기의 길이를 가질 수 있다. 상기 셀 도전성 라인들(80)은 제2 방향(Y)으로 길쭉한 라인 모양일 수 있다. 상기 반도체 패턴(14)의 상기 폭은 상기 제2 방향(Y)의 폭일 수 있다. 상기 셀 도전성 라인들(80)은 상기 반도체 패턴(14)과 중첩할 수 있다. 상기 셀 도전성 라인들(80)은, 평면에서, 상기 반도체 패턴(14)과 중첩하면서 상기 반도체 패턴(14)의 측면들 사이에 배치될 수 있다.

[0076] 상기 워드 라인 배선 구조체들(81)은, 도 2b에서와 같이, 하부 워드라인 배선(81a), 상부 워드라인 배선(81b), 및 상기 하부 및 상부 워드라인 배선들(81a, 81b) 사이의 워드라인 배선 콘택 플러그(81c)를 포함할 수 있다. 상기 하부 워드라인 배선(도 2b의 81a)은 상기 게이트 구조체들(GS1, GS2, GS3)과 수직한 방향(Y)의 라인 모양일 수 있고, 상기 상부 워드라인 배선(도 2b의 81b)은 상기 하부 워드라인 배선(81a)과 수직한 라인 모양일 수 있다. 상기 상부 워드라인 배선(도 2b의 81b)은 상기 제1 계단 영역(ST1)으로부터 상기 반도체 패턴(14)의 외측 방향으로 연장될 수 있다.

[0077] 상기 반도체 패턴(14)의 외측에서, 상기 워드라인 배선 구조체(81)와 상기 제2 주변 회로 영역(PC)의 제2 주변 회로 배선 구조체의 제2 주변 콘택 패드(PP2) 사이에 워드라인 주변 콘택 구조체(77)가 배치될 수 있다.

[0078] 상기 바디 배선 구조체들(82)은 상기 셀 바디 콘택 구조체(73) 및 상기 주변 바디 콘택 구조체(75)와 전기적으로 연결될 수 있다.

[0079] 일 실시예에서, 상기 비트라인 하부 콘택 플러그(52)는 상기 바디 하부 콘택플러그(53)의 상부면과 동일 평면에 위치하는 상부면을 가질 수 있다.

[0080] 일 실시예에서, 상기 비트라인 하부 콘택 플러그(52)는 상기 셀 수직 구조체들(CV) 및 상기 소스 패턴들(46) 보다 높은 레벨에 위치하는 상부면을 가질 수 있다. 그렇지만, 본 발명의 기술적 사상은 이에 한정되지 않는다.

[0081] 일 실시예어서, 도 4a 및 도 4b에서와 같이, 상기 셀 수직 구조체들(CV)의 상부면들과 동일 평면에 위치하면서 상기 소스 패턴들(46)의 상부면들 보다 낮은 레벨에 위치하는 상부면들을 갖는 비트라인 하부 콘택 플러그(52') 및 바디 하부 콘택 플러그(53')가 배치될 수 있다.

[0082] 일 실시예에서, 도 5a 및 도 5b에서와 같이, 상기 셀 수직 구조체들(CV) 및 상기 소스 패턴들(46)의 상부면들 보다 낮은 레벨에 위치하는 상부면들을 갖는 비트라인 하부 콘택 플러그(52'') 및 바디 하부 콘택 플러그(53'')가 배치될 수 있다.

[0083] 상기 반도체 패턴(14)의 개구부(16)는 상기 반도체 패턴(14) 내부에서 사각형 모양으로 형성될 수 있다. 그렇지만, 본 발명의 기술적 사상은 이에 한정되지 않는다.

[0084] 일 실시예에서, 도 6을 참조하면, 상기 반도체 패턴(도 6의 14)은 상기 셀 어레이 영역(CA)을 가로지르며 상기 제1 및 제3 계단 영역들(ST1, ST3) 중 어느 하나의 계단 영역(ST3)을 가로지르는 모양의 개구부(16')를 가질 수

Micron Ex. 1002, p. 886
Micron v. YMTC
IPR2025-00294

있다.

[0085] 일 실시예에서, 도 7을 참조하면, 상기 반도체 패턴(도 7의 14)은 상기 셀 어레이 영역(CA)을 가로지르며 상기 제1 및 제3 계단 영역들(ST1, ST3)을 모두 가로지르는 모양의 개구부(16")를 가질 수 있다. 따라서, 상기 반도체 패턴(도 7의 14)은 서로 이격된 두 개의 패턴으로 구성될 수 있다.

[0086] 일 실시예에서, 도 8을 참조하면, 상기 반도체 패턴(도 8의 14)은 상기 셀 어레이 영역(CA)을 가로지르는 복수개의 개구부들(16a, 16b)을 가질 수 있다.

[0087] 상기 셀 바디 하부 플러그(53)은 라인 모양으로 형성될 수 있다. 그렇지만 본 발명의 기술적 사상은 이에 한정되지 않는다. 예를 들어, 복수의 닷(dot) 모양들로 형성된 셀 바디 하부 플러그들(도 9의 53''')이 배치될 수 있다.

[0088] 도 1, 도 10, 도 11a 및 도 11b를 참조하여 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자를 설명하기로 한다.

[0089] 도 1, 도 10, 도 11a 및 도 11b를 참조하면, 도 2a, 도 2b, 도 3a 및 도 3b에서 설명한 것과 같이 상기 반도체 기판(2) 상에 상기 주변 회로 영역들(PC1, PC2, PC3)이 배치될 수 있고, 상기 주변 회로 영역들(PC1, PC2, PC3) 상에 상기 개구부(16)를 갖는 상기 반도체 패턴(14)이 배치될 수 있고, 상기 반도체 패턴(14) 상에 상기 셀 어레이 영역(CA) 및 상기 제1 내지 제4 계단 영역들(ST1 ~ ST4)이 배치될 수 있다.

[0090] 도 2a, 도 2b, 도 3a 및 도 3b에서 설명한 것과 같이, 상기 반도체 패턴(14) 상에 상기 셀 수직 구조체들(CV), 상기 셀 게이트 도전성 패턴들(38a) 및 상기 소스 패턴들(46)이 배치될 수 있고, 상기 셀 게이트 도전성 패턴들(38a) 사이에 상기 셀 층간 절연성 패턴들(21)이 배치될 수 있다.

[0091] 도 2a, 도 2b, 도 3a 및 도 3b에서 설명한 것과 같은 상기 제1 내지 제4 상부 층간 절연 막들(24, 32, 48, 60)이 배치될 수 있다.

[0092] 상기 소스 패턴들(46) 중에서, 상대적으로 넓게 이격된 상기 제1 및 제2 소스 패턴들(46a, 46b) 사이에 절연성 구조체(123)가 배치될 수 있다. 상기 절연성 구조체(123)은 상기 반도체 패턴(14)의 상기 개구부(16) 상에 배치될 수 있다. 상기 절연성 구조체(123)은 실리콘 산화물로 형성될 수 있다.

[0093] 상기 절연성 구조체(123)의 측면 상에 제1 절연성 패턴들(120a)이 배치될 수 있다. 상기 제1 절연성 패턴들(120a)은 상기 셀 층간 절연성 패턴들(21)과 동일 평면에 위치하면서 상기 셀 층간 절연성 패턴들(21)과 동일한 물질, 예를 들어 실리콘 산화물로 형성될 수 있다.

[0094] 상기 절연성 구조체(123)의 측면 상에 배치되면서 상기 제1 절연성 패턴들(120a) 사이에 배치되는 더미 게이트 도전성 패턴들(38b)이 배치될 수 있다. 상기 더미 게이트 도전성 패턴들(38b)과 상기 절연성 구조체(123) 사이, 및 상기 더미 게이트 도전성 패턴들(38b)과 상기 제1 절연성 패턴들(120a) 사이에 상기 제2 유전체(37)가 배치될 수 있다. 상기 절연성 구조체(123)는 상기 제1 절연성 패턴들(120a) 및 상기 더미 게이트 도전성 패턴들(38b) 사이를 관통하는 구조의 모양으로 배치될 수 있다.

[0095] 도 2a, 도 2b, 도 3a 및 도 3b에서 설명한 것과 같이, 상기 반도체 패턴(14) 하부의 상기 주변 트랜지스터(PTR)과 전기적으로 연결되는 비트라인 콘택 구조체(72), 상기 셀 수직 구조체들(CV)과 전기적으로 연결되는 셀 비트라인 플러그들(68), 상기 셀 게이트 도전성 패턴들(38a)과 전기적으로 연결된 셀 게이트 콘택 구조체들(74), 상기 셀 바디 콘택 불순물 영역(50)과 전기적으로 연결되는 셀 바디 콘택 구조체(73), 상기 반도체 패턴(14) 하부의 상기 제3 주변 배선 구조체(PW3)로부터 상기 반도체 패턴(14) 외측으로 연장된 제3 주변 콘택 패드(PP3)와 전기적으로 연결된 주변 바디 콘택 구조체(75)가 배치될 수 있다.

[0096] 도 2a, 도 2b, 도 3a 및 도 3b에서 설명한 것과 같이, 상기 비트라인 주변 콘택 구조체(72)는 비트라인 하부 콘택 플러그(52) 및 상기 비트라인 하부 콘택 플러그(52) 상의 비트라인 상부 콘택 플러그(62)를 포함할 수 있다. 상기 비트라인 하부 콘택 플러그(52)는 상기 제1 내지 제3 상부 층간 절연 막들(24, 32, 48), 상기 절연성 구조체(123), 상기 갭필 절연 막(18) 및 상기 제1 주변 콘택 패드(PP1)를 덮는 상기 주변 하부 층간 절연 막(LILD)의 부분을 관통하며 상기 주변 트랜지스터(PTR)와 전기적으로 연결되는 상기 제1 주변 콘택 패드(PP1)와 전기적으로 연결될 수 있다.

[0097] 도 2a, 도 2b, 도 3a 및 도 3b에서 설명한 것과 같은, 상기 셀 도전성 라인들, 즉 셀 비트 라인들(80), 상기 워

Micron Ex. 1002, p. 887
Micron v. YMTC
IPR2025-00294

Micron Ex. 1002, p. 888
Micron v. YMTC
IPR2025-00294

드라인 배선 구조체들(81) 및 상기 바디 배선 구조체들(82)이 배치될 수 있다.

[0098] 도 12, 도 13a, 도 13b, 도 14a 및 도 14b를 참조하여 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자를 설명하기로 한다.

[0099] 도 12는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자를 설명하기 위한 개략적인 개념도이다. 도 13a 및 도 13b는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자를 나타낸 평면도들이다. 도 13a 및 도 13b에서, 도 13b는 도면의 복잡성을 피하기 위하여 도 13a의 도면에 배선 구조체들을 추가한 평면도이다. 도 13a에서 III-III'로 표시된 부분은 도 2a의 III-III'선으로 표시된 부분에 대응할 수 있다. 그리고, 도 13a에서 III-III'로 표시된 부분의 단면 모양은 도 3b의 III-III'선으로 표시된 부분의 단면 모양과 실질적으로 동일할 수 있다. 따라서, 도면 중복을 피하기 위하여, 도 13a에서 III-III'로 표시된 부분의 단면 모양은 도 3b의 III-III'선으로 표시된 부분의 단면 모양에 대응하므로, 이후 도면 및 설명에서 도 3b의 III-III'선으로 표시된 부분의 단면 모양을 참조하기로 한다.

[0100] 도 14는 도 13a의 V-V' 및 VI-VI'선을 따라 각각 취해진 영역들을 나타낸 단면도이다.

[0101] 도 3b의 III-III'선으로 표시된 부분과 함께, 도 12, 도 13a, 도 13b 및 도 14를 참조하면, 반도체 기판(2) 상에 주변 회로영역이 배치될 수 있다. 상기 주변 회로 영역은 제1 주변 회로 영역(PC1), 제2 주변 회로 영역(PC2) 및 제3 주변 회로 영역(PC3)를 포함할 수 있다. 상기 제1 주변 회로 영역(PC1)은 페이지 버퍼 회로를 포함할 수 있다. 상기 제1 주변 회로 영역(PC1)은, 도 1, 도 2a, 도 2b, 도 3a 및 도 3b에서 설명한 것과 같이, 주변 회로를 구성할 수 있는 주변 트랜지스터(PTR) 및 상기 주변 트랜지스터(PTR)와 전기적으로 연결된 제1 주변 배선 구조체(PW1)를 포함할 수 있다. 상기 제1 주변 배선 구조체(PW)는 제1 주변 콘택 패드 부분(PP1)을 포함할 수 있다.

[0102] 상기 반도체 기판(2)의 상기 제1 내지 제3 주변 회로들(PC1, PC2, PC3)을 덮는 하부 층간 절연 막(LILD)이 배치될 수 있다. 상기 하부 층간 절연 막(LILD)은 실리콘 산화물을 포함하는 절연성 물질로 형성될 수 있다. 상기 제1 주변 배선 구조체(PW) 및 상기 제1 주변 배선 구조체(PW)의 상기 제1 주변 콘택 패드 부분(PP1)은 상기 하부 층간 절연 막(LILD)에 의해 덮일 수 있다.

[0103] 상기 주변 하부 층간 절연 막(LILD) 상에 버퍼 절연성 막(10)이 배치될 수 있다. 상기 버퍼 절연성 막(10)은 상기 버퍼 절연성 막(10)과 접촉하는 상기 하부 층간 절연 막(LILD)의 부분과 다른 식각 선택비를 가질 수 있다.

[0104] 상기 버퍼 절연성 막(10) 상에 개구부(216)를 갖는 반도체 패턴(214)이 배치될 수 있다. 상기 반도체 패턴(214)은 폴리 실리콘으로 형성될 수 있다.

[0105] 상기 반도체 패턴(214)은 제1 도전형의 제1 불순물 영역(LC), 상기 제1 도전형과 다른 제2 불순물 영역(42), 상기 제1 도전형이면서 상기 제1 불순물 영역(LC) 보다 높은 불순물 농도를 갖는 바디 콘택 불순물 영역(50), 및 상기 제1 도전형이면서 상기 제1 불순물 영역(LC) 보다 높은 불순물 농도를 갖고 상기 제1 불순물 영역(LC) 하부에 배치되는 제3 불순물 영역(HC)을 포함할 수 있다. 상기 제1 불순물 영역(LC)은 저농도 불순물 영역으로 명명될 수 있고, 상기 제2 불순물 영역(42)은 셀 소스 불순물 영역으로 명명될 수 있고, 상기 제3 불순물 영역(HC)은 고농도 불순물 영역으로 명명될 수도 있다. 일 실시예에서, 상기 제1 불순물 영역(LC), 상기 제3 불순물 영역(HC) 및 상기 셀 바디 콘택 불순물 영역(50)은 P형의 도전형일 수 있고, 상기 제2 불순물 영역(42)은 N형의 도전형일 수 있다.

[0106] 상기 반도체 패턴(214)의 상기 개구부(216) 내에 절연성 갭필 막(218)이 배치될 수 있다. 상기 반도체 패턴(214)의 측면 상에 중간 층간 절연 막(219)이 배치될 수 있다. 상기 절연성 갭필 막(218) 및 상기 중간 층간 절연 막(219)은 실리콘 산화물로 형성될 수 있다.

[0107] 상기 반도체 패턴(214) 상에 셀 어레이 영역(CA) 및 상기 계단 영역들(ST1, ST2, ST3, ST4)이 배치될 수 있다. 상기 계단 영역들(ST1, ST2, ST3, S4)은, 평면에서, 상기 셀 어레이 영역(CA)을 사이에 두고 서로 마주보는 제1 및 제3 계단 영역들(ST1, ST3), 및 상기 셀 어레이 영역(CA)을 사이에 두고 서로 마주보는 제2 및 제4 계단 영역들(ST2, ST4)을 포함할 수 있다. 상기 제1 및 제3 계단 영역들(ST1, ST3)은 상기 제2 및 제4 계단 영역들(ST2, ST4) 사이에 배치될 수 있다.

[0108] 상기 반도체 패턴(214)의 상기 개구부(216) 및 상기 갭필 절연 막(218)은 상기 셀 어레이 영역(CA)과 중첩하지 않을 수 있다. 상기 반도체 패턴(214)의 상기 개구부(216) 및 상기 갭필 절연 막(218)은 상기 제2 및 제4 계단

영역들(ST2, ST4) 중 어느 하나의 계단 영역, 예를 들어 상기 제4 계단 영역(ST4) 하부에 배치될 수 있다.

[0109] 상기 반도체 패턴(214) 상에 셀 게이트 도전성 구조체들(GS)이 배치될 수 있다. 상기 셀 게이트 도전성 구조체들(GS)은 상기 셀 어레이 영역(CA) 내에 배치되며 상기 제1 및 제3 계단 영역들(ST1, ST3)로 연장될 수 있다. 상기 셀 게이트 도전성 구조체들(GS)은 일정한 간격으로 서로 이격될 수 있다. 상기 셀 게이트 도전성 구조체들(GS)의 각각은 상기 반도체 패턴(214) 상에 수직 방향으로 적층된 셀 게이트 도전성 패턴들(38a)을 포함할 수 있다. 상기 셀 게이트 도전성 패턴들(38a)은 상기 제1 및 제3 계단 영역들(ST1, ST3) 내에서 계단 구조로 형성될 수 있다. 상기 셀 게이트 도전성 패턴들(38a) 사이에 상기 셀 층간 절연성 패턴들(21)이 배치될 수 있다.

[0110] 상기 반도체 패턴(214) 상의 상기 제2 및 제4 계단 영역들(ST2, ST4) 중 어느 하나의 계단 영역, 예를 들어 제4 계단 영역 내에 절연성 구조체(223)가 배치될 수 있다.

[0111] 상기 절연성 구조체(223)는 교대로 반복적으로 적층되며 계단 구조로 적층되는 제1 절연성 패턴(220a) 및 제2 절연성 패턴(220b)를 포함할 수 있다. 상기 계단 구조는 상기 셀 어레이 영역(CV)으로부터 멀어지는 방향으로 내려가는 계단 구조일 수 있다.

[0112] 상기 제1 절연성 패턴들(220a)은 상기 셀 층간 절연성 패턴들(21)과 동일 평면에 배치되면서 동일한 물질로 형성될 수 있다. 상기 제2 절연성 패턴들(220b)은 상기 셀 게이트 도전성 패턴들(38a)과 동일 평면에 배치될 수 있다. 상기 절연성 구조체(223)는 상기 반도체 패턴(214)의 상기 개구부(216) 상에 배치될 수 있다.

[0113] 상기 셀 게이트 도전성 구조체들(GS), 상기 셀 층간 절연성 패턴들(21) 및 상기 절연성 구조체(223)를 갖는 기판 상에 제1 상부 층간 절연 막(24)이 배치될 수 있다.

[0114] 상기 반도체 패턴(214) 상의 상기 셀 어레이 영역(CA) 내에 셀 수직 구조체들(CV)이 배치될 수 있다. 상기 셀 수직 구조체들(CV)은 상기 반도체 패턴(214)의 상기 제1 불순물 영역(LC) 상에 배치될 수 있다. 상기 셀 수직 구조체들(CV)은 상기 제1 상부 층간 절연 막(24), 상기 셀 게이트 도전성 패턴들(38a) 및 상기 셀 층간 절연성 패턴들(21)을 관통하며 상기 반도체 패턴(214)의 상기 제1 불순물 영역(LC)과 연결될 수 있다.

[0115] 상기 셀 수직 구조체들(CV)의 각각은, 도 2a, 도 3a 및 도 3b에서 설명한 것과 같은 상기 제1 유전체(27), 상기 셀 반도체 층(28), 상기 코어 절연 패턴(29) 및 상기 셀 패드 패턴(30)을 포함할 수 있다.

[0116] 도 2a, 도 3a 및 도 3b에서 설명한 것과 같이, 상기 셀 수직 구조체들(CV)과 상기 셀 게이트 도전성 패턴들(38a) 사이에 제2 유전체(37)가 배치될 수 있고, 상기 제1 및 제2 유전체들(27, 37) 중 어느 하나는 정보를 저장할 수 있는 정보 저장 층을 포함할 수 있다.

[0117] 상기 제1 상부 층간 절연 막(24) 상에 제2 상부 층간 절연 막(32)이 배치될 수 있다. 상기 반도체 패턴(214) 상에 상기 셀 어레이 영역(CA)을 가로지르며 상기 제1 및 제3 계단 영역들(ST1, St3) 내로 연장된 복수의 셀 소스 패턴들(46)이 배치될 수 있다. 상기 소스 패턴들(46)은 상기 제2 불순물 영역들(46) 상에 배치되며, 상기 제2 불순물 영역들(46)과 전기적으로 연결될 수 있다. 상기 셀 소스 패턴들(46)은 서로 평행할 수 있다. 상기 셀 소스 패턴들(46)은 상기 제1 및 제2 상부 층간 절연 막들(24, 32)을 관통하며 상기 셀 게이트 도전성 패턴들(38a)을 수직하게 지나면서 상기 반도체 패턴(214)의 상기 제2 불순물 영역들(42)에 연결될 수 있다.

[0118] 상기 제2 상부 층간 절연 막(32) 및 상기 셀 소스 패턴들(46) 상에 제3 상부 층간 절연 막(48)이 배치될 수 있다. 상기 제3 상부 층간 절연 막(48) 상에 제4 상부 층간 절연 막(60)이 배치될 수 있다.

[0119] 상기 제4 계단 영역(ST4) 및 상기 제4 계단 영역(ST4) 하부의 상기 반도체 기판(214)를 관통하며 상기 반도체 패턴(214) 하부의 상기 주변 트랜지스터(PTR)과 전기적으로 연결되는 비트라인 콘택 구조체(272)가 배치될 수 있다.

[0120] 상기 비트라인 주변 콘택 구조체(272)는 비트라인 하부 콘택 플러그(252) 및 상기 비트라인 하부 콘택 플러그(252) 상의 비트라인 상부 콘택 플러그(262)를 포함할 수 있다.

[0121] 상기 비트라인 하부 콘택 플러그(252)는 상기 제1 내지 제3 상부 층간 절연 막들(24, 32, 48), 상기 절연성 구조체(223), 상기 개구부(216) 내의 상기 갭필 절연 막(218) 및 상기 제1 주변 콘택 패드(PP1)를 덮는 상기 주변 하부 층간 절연 막(LILD)의 부분을 관통하며 상기 주변 트랜지스터(PTR)와 전기적으로 연결되는 상기 제1 주변 콘택 패드(PP1)와 전기적으로 연결될 수 있다. 상기 비트라인 주변 상부 콘택 플러그(262)는 상기 제4 상부 층간 절연 막(60)을 관통하며 상기 비트라인 주변 하부 콘택 플러그(252)와 전기적으로 연결될 수 있다.

[0122] 도 2a, 도 3a 및 도 3b에서 설명한 것과 같은 상기 셀 비트라인 플러그들(68), 상기 셀 게이트 콘택 구조체들

Micron Ex. 1002, p. 889
Micron v. YMTC
IPR2025-00294

(74), 상기 셀 바디 콘택 구조체(73) 및 상기 주변 바디 콘택 구조체(75)가 배치될 수 있다.

[0123] 상기 제4 층간 절연 막(60) 상에 셀 도전성 라인, 예를 들어 비트 라인들(280)이 배치될 수 있다. 상기 비트라인들(280)은 상기 셀 비트라인 콘택 플러그들(68) 및 상기 주변 비트라인 콘택 구조체(272)와 중첩하며 전기적으로 연결될 수 있다. 상기 비트라인들(280)은 상기 셀 어레이 영역(CA) 으로부터 상기 제4 계단 영역(ST4)으로 연장될 수 있다.

[0124] 상기 제4 층간 절연 막(60) 상에, 도 2a, 도 3a 및 도 3b에서 설명한 것과 같은, 상기 워드라인 배선 구조체들(81) 및 상기 바디 배선 구조체들(82)이 배치될 수 있다.

[0125] 일 실시예에서, 상기 비트라인 하부 콘택 플러그(252)는 상기 바디 하부 콘택플러그(53)의 상부면과 동일 평면에 위치하는 상부면을 가질 수 있다.

[0126] 일 실시예에서, 상기 비트라인 하부 콘택 플러그(252)는 상기 셀 수직 구조체들(CV) 및 상기 소스 패턴들(46) 보다 높은 레벨에 위치하는 상부면을 가질 수 있다. 그렇지만, 본 발명의 기술적 사상은 이에 한정되지 않는다.

[0127] 일 실시예어서, 도 15에서와 같이, 상기 셀 수직 구조체들(CV)의 상부면들과 동일 평면에 위치하면서 상기 소스 패턴들(46)의 상부면들 보다 낮은 레벨에 위치하는 상부면들을 갖는 비트라인 하부 콘택 플러그(252') 및 바디 하부 콘택 플러그(523')가 배치될 수 있다.

[0128] 일 실시예에서, 도 16에서와 같이, 상기 셀 수직 구조체들(CV) 및 상기 소스 패턴들(46)의 상부면들 보다 낮은 레벨에 위치하는 상부면들을 갖는 비트라인 하부 콘택 플러그(252'') 및 하디 하부 콘택 플러그(253'')가 배치될 수 있다.

[0129] 도 17 및 도 18을 참조하여 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자를 설명하기로 한다.

[0130] 도 17 및 도 18을 참조하면, 도 13a, 도 13b 및 도 14에서 설명한 것과 같이, 상기 반도체 기판(214) 상에 제1 내지 제3 주변 회로 영역들(PC1, PC2, PC3)이 배치될 수 있다. 상기 제1 주변 회로 영역(PC1)은, 도 1, 도 2a, 도 2b, 도 3a 및 도 3b에서 설명한 것과 같이, 회로를 구성할 수 있는 주변 트랜지스터(PTR) 및 상기 주변 트랜지스터(PTR)와 전기적으로 연결된 제1 주변 배선 구조체(PW1)를 포함할 수 있다. 상기 제1 주변 배선 구조체(PW)는 제1 주변 콘택 패드 부분(PP1)을 포함할 수 있다.

[0131] 상기 반도체 기판(2)의 상기 제1 내지 제3 주변 회로들(PC1, PC2, PC3)을 덮는 하부 층간 절연 막(LILD)이 배치될 수 있다.

[0132] 도 13a, 도 13b 및 도 14에서 설명한 것과 같이, 상기 하부 층간 절연 막(LILD) 상에 버퍼 절연성 패턴(10)이 배치될 수 있고, 상기 버퍼 절연성 패턴(10) 상에 상기 개구부(216)을 갖는 상기 반도체 패턴(214)이 배치될 수 있고, 상기 개구부(216)를 채우는 상기 갭필 절연성 막(218) 및 상기 반도체 패턴(214)의 측면 상에 배치되는 중간 층간 절연 막(219)이 배치될 수 있다.

[0133] 상기 반도체 패턴(214) 상에 도 13a, 도 13b 및 도 14에서 설명한 것과 같은 상기 셀 게이트 도전성 패턴들(38a), 상기 제1 유전체(37), 상기 셀 수직 구조체들(CV), 상기 셀 소스 패턴들(46), 상기 셀 층간 절연성 패턴들(21), 및 상기 제1 내지 제4 층간 절연 막들(24, 32, 48, 60)이 배치될 수 있다.

[0134] 상기 반도체 패턴(214)의 상기 개구부(216)의 상기 갭필 절연성 막(218) 상에 제1 절연성 구조체(323)가 배치될 수 있다.

[0135] 상기 반도체 패턴(214)의 상기 개구부(216)와 이격되고 상기 셀 게이트 도전성 패턴들(38a)과 이격된 제2 절연성 구조체(324)가 배치될 수 있다. 상기 제1 및 제2 절연성 구조체들(323, 324)은 실리콘 산화물로 형성될 수 있다.

[0136] 일 실시예에서, 상기 제2 절연성 구조체(324)는 상기 제1 절연성 구조체(323)과 상기 셀 게이트 도전성 패턴들(38a) 사이의 상기 반도체 패턴(214) 상에 배치될 수 있다.

[0137] 일 실시예에서, 상기 제1 및 제2 절연성 구조체들(323, 324) 사이에 교대로 반복적으로 적층되는 제1 절연성 패턴(320a) 및 제2 절연성 패턴(320b)가 배치될 수 있다. 상기 제1 절연성 패턴(320)은 실리콘 산화물로 형성될 수 있고, 상기 제2 절연성 패턴(320b)은 실리콘 질화물로 형성될 수 있다.

[0138] 일 실시예에서, 상기 제1 및 제2 절연성 구조체들(323, 324)은 상기 제1 상부 층간 절연 막(24), 및 상기 제1

Micron Ex. 1002, p. 890
Micron v. YMTC
IPR2025-00294

및 제2 절연성 패턴들(320a, 320b)을 관통하는 모양으로 배치될 수 있다.

[0139] 도 13a, 도 13b 및 도 14에서 설명한 것과 같이, 상기 제4 계단 영역(ST4) 및 상기 제4 계단 영역(ST4) 하부의 상기 반도체 기판(214)를 관통하며 상기 반도체 패턴(214) 하부의 상기 주변 트랜지스터(PTR)과 전기적으로 연결되는 비트라인 콘택 구조체(372)가 배치될 수 있다.

[0140] 상기 비트라인 주변 콘택 구조체(372)는 비트라인 하부 콘택 플러그(352) 및 상기 비트라인 하부 콘택 플러그(352) 상의 비트라인 상부 콘택 플러그(362)를 포함할 수 있다.

[0141] 상기 비트라인 하부 콘택 플러그(35)는 상기 제2 및 제3 상부 층간 절연 막들(32, 48), 상기 절연성 구조체(323), 상기 개구부(216) 내의 상기 갭필 절연 막(218) 및 상기 제1 주변 콘택 패드(PP1)를 덮는 상기 주변 하부 층간 절연 막(LILD)의 부분을 관통하며 상기 주변 트랜지스터(PTR)와 전기적으로 연결되는 상기 제1 주변 콘택 패드(PP1)와 전기적으로 연결될 수 있다.

[0142] 상기 비트라인 주변 상부 콘택 플러그(362)는 상기 제4 상부 층간 절연 막(60)을 관통하며 상기 비트라인 주변 하부 콘택 플러그(252)와 전기적으로 연결될 수 있다.

[0143] 일 실시예에서, 도 2a, 도 3a 및 도 3b에서 설명한 것과 같은 상기 셀 바디 콘택 구조체(73)의 상기 셀 하부 바디 콘택 플러그(53)는 상기 제2 절연성 구조체(324)를 관통하면서 상기 반도체 패턴(214)과 연결될 수 있다.

[0144] 도 2a, 도 3a 및 도 3b에서 설명한 것과 같은 상기 셀 비트라인 플러그들(68), 상기 셀 게이트 콘택 구조체들(74), 및 상기 주변 바디 콘택 구조체(75)가 배치될 수 있다.

[0145] 상기 제4 층간 절연 막(60) 상에 셀 도전성 라인, 예를 들어 비트 라인들(280)이 배치될 수 있다. 상기 비트라인들(280)은 상기 셀 비트라인 콘택 플러그들(68) 및 상기 주변 비트라인 콘택 구조체(372)와 중첩하며 전기적으로 연결될 수 있다. 상기 비트라인들(380)은 상기 셀 어레이 영역(CA) 으로부터 상기 제4 계단 영역(ST4)으로 연장될 수 있다.

[0146] 상기 제4 층간 절연 막(60) 상에, 도 2a, 도 3a 및 도 3b에서 설명한 것과 같은, 상기 워드라인 배선 구조체들(81) 및 상기 바디 배선 구조체들(82)이 배치될 수 있다.

[0147] 도 19를 참조하여 본 발명의 일 실시예에 따른 반도체 소자 형성 방법을 설명하기로 한다.

[0148] 도 19를 참조하면, 반도체 기판 상에 주변 회로를 형성할 수 있다. (S10) 상기 주변 회로 상에 반도체 패턴을 형성할 수 있다. (S20) 상기 반도체 패턴 상에 몰딩 구조체를 형성할 수 있다. (S30) 상기 반도체 패턴 상에 몰딩 구조체를 관통하는 수직 구조체들을 형성할 수 있다. (S40) 트렌치들을 형성할 수 있다. (S50) 상기 몰딩 구조체 내부에 빈 공간들을 형성할 수 있다. (S60) 상기 빈 공간들 내에 게이트 도전성 패턴들을 형성할 수 있다. (S70) 콘택 구조체들을 형성할 수 있다. (S80) 배선 구조체들을 형성할 수 있다. (S90)

[0149] 도 19를 참조하여 설명한 본 발명의 일 실시예에 따른 반도체 소자 형성 방법의 일 예를 도 1, 도 2a, 도 2b, 도 3a 및 도 3b와 함께, 도 20a 내지 도 26b를 참조하여 설명하기로 한다.

[0150] 도 1, 도 2a와 함께, 도 19, 도 20a 및 도 20b를 참조하면, 반도체 기판(2)을 준비할 수 있다. 상기 반도체 기판(2)은 실리콘 등과 같은 반도체 물질로 형성된 반도체 기판일 수 있다. 상기 반도체 기판(2) 상에 주변 회로 영역을 형성할 수 있다. (S10) 상기 주변 회로 영역은 제1 주변 회로 영역(PC1), 제2 주변 회로 영역(PC2) 및/또는 제3 주변 회로 영역(PC3)을 포함할 수 있다.

[0151] 상기 제1 주변 회로 영역(PC1)은 주변 회로를 구성할 수 있는 주변 트랜지스터(PTR) 및 상기 주변 트랜지스터(PTR)와 전기적으로 연결된 제1 주변 배선 구조체(PW1)를 포함할 수 있다. 상기 제1 주변 배선 구조체(PW1)은 상기 제1 주변 회로 영역(PC1) 내에 배치되면서 제1 주변 콘택 패드(PP1)를 포함할 수 있다. 상기 주변 트랜지스터(PTR)를 형성하는 것은 활성 영역을 한정하는 소자분리 영역(3)을 형성하고, 상기 활성 영역 상에 주변 게이트(PG)를 형성하고, 상기 주변 게이트(PG) 양 옆에 소스 및 드레인 역할을 할 수 있는 주변 불순물 영역들(PS, PD)을 형성하는 것을 포함할 수 있다.

[0152] 상기 제2 주변 회로 영역(도 1의 PC2)은 제2 주변 콘택 패드(PP2)를 갖는 제2 주변 배선 구조체(도 1의 PW2)를 포함할 수 있다. 상기 제3 주변 회로 영역(PC3)은 제3 주변 콘택 패드(PP3)을 갖는 제3 주변 배선 구조체(PW3)을 포함할 수 있다.

Micron Ex. 1002, p. 891
Micron v. YMTC
IPR2025-00294

[0153] 상기 반도체 기판(2)의 상기 제1 내지 제3 주변 회로 영역들(PC1, PC2, PC3)의 주변 회로들을 덮는 하부 층간 절연 막(LILD)을 형성할 수 있다.

[0154] 상기 제1 주변 배선 구조체(PW)는 주변 플러그 부분, 주변 배선 부분 및 상기 제1 주변 콘택 패드 부분(PP1) 등을 포함하는 복수의 구성요소들로 구성될 수 있다. 상기 제1 주변 배선 구조체(PW)의 상기 주변 플러그 부분은 상기 하부 층간 절연 막(LILD)의 일부를 형성한 후에, 상기 하부 층간 절연 막(LILD)의 일부를 관통하도록 형성할 수 있다. 상기 제1 주변 배선 구조체(PW)의 상기 주변 배선 부분은 상기 주변 플러그 부분과 전기적으로 연결되도록 형성될 수 있다. 상기 제1 주변 배선 구조체(PW)의 상기 주변 배선 부분 및 상기 제1 주변 콘택 패드 부분(PP1)은 상기 하부 층간 절연 막(LILD)에 의해 덮일 수 있다.

[0155] 상기 하부 층간 절연 막(LILD) 상에 버퍼 절연성 막(10)을 형성할 수 있다. 상기 버퍼 절연성 막(10)은 상기 버퍼 절연성 막(10)과 접촉하는 상기 하부 층간 절연 막(LILD)과 다른 식각 선택비를 갖는 물질로 형성될 수 있다. 예를 들어, 상기 주변 배선 구조체(PW)의 상기 패드 부분(PP1)을 덮는 상기 하부 층간 절연 막(LILD)의 부분은 실리콘 산화물로 형성될 수 있고, 상기 버퍼 절연성 막(10)은 실리콘 질화물로 형성될 수 있다.

[0156] 상기 버퍼 절연성 막(10) 상에 반도체 패턴(14)을 형성할 수 있다. 상기 반도체 패턴(14)은 개구부(16)을 가질 수 있다. 상기 개구부(16)를 갖는 상기 반도체 패턴(14)을 형성하는 것은 상기 버퍼 절연성 막(10) 상에 반도체 막을 형성하고, 상기 반도체 막을 패터닝하는 것을 포함할 수 있다. 상기 반도체 패턴(14)은 실리콘으로 형성될 수 있다. 상기 반도체 패턴(14)은 폴리 실리콘으로 형성될 수 있다.

[0157] 상기 반도체 패턴(14)은 상기 제1 주변 회로 영역(PC1), 상기 제2 주변 회로 영역(PC2) 및/또는 상기 제3 주변 회로 영역(PC3)과 중첩할 수 있다. 상기 반도체 패턴(14)은 상기 제1 내지 제3 주변 회로 영역들(PC1, PC2, PC3) 상에 형성될 수 있다. (S20)

[0158] 상기 반도체 패턴(14)은 고농도 불순물 영역(HC) 및 상기 고농도 불순물 영역(HC) 상에 형성되며 상기 고농도 불순물 영역(HC) 보다 낮은 불순물 농도를 갖는 저농도 불순물 영역(LC)을 포함할 수 있다. 상기 고농도 불순물 영역(HC) 및 상기 저농도 불순물 영역(LC)은 P형의 도전형일 수 있다.

[0159] 도 1, 도 2a, 도 19, 도 21a 및 도 21b를 참조하면, 상기 반도체 패턴(14)을 갖는 기판 상에 절연성 물질 막을 형성한 후, 상기 반도체 패턴(14)이 노출될 때까지 상기 절연성 물질 막을 평탄화하여, 상기 반도체 패턴(14)의 상기 개구부(16) 내부를 채우는 갭필 절연성 막(18)을 형성하면서 상기 반도체 패턴(14)의 측면 상에 중간 층간 절연 막(19)을 형성할 수 있다. 상기 갭필 절연성 막(18) 및 상기 중간 층간 절연 막(19)은 실리콘 산화물로 형성될 수 있다.

[0160] 상기 반도체 패턴(14) 상에 몰딩 구조체(MS)를 형성할 수 있다. (S30) 상기 몰딩 구조체(MS)를 형성하는 것은 상기 반도체 패턴(14), 상기 갭필 절연성 막(18) 및 상기 중간 층간 절연 막(19)을 갖는 기판 상에 제1 몰딩 막 및 제2 몰딩 막을 교대로 반복적으로 형성하고, 상기 제1 및 제2 몰딩 막들(20, 22)을 패터닝하여 끝 부분을 계단 구조로 형성하는 것을 포함할 수 있다. 상기 몰딩 구조체(MS)의 끝 부분은 계단 구조로 형성될 수 있다.

[0161] 상기 제1 몰딩 막(20)은 상기 제2 몰딩 막(22)과 식각 선택비를 갖는 물질로 형성될 수 있다. 예를 들어, 상기 제1 몰딩 막(20)은 실리콘 산화물로 형성될 수 있고, 상기 제2 몰딩 막(22)은 실리콘 질화물로 형성될 수 있다.

[0162] 도 1, 도 2a, 도 19, 도 22a 및 도 22b를 참조하면, 상기 몰딩 구조체(MS)를 갖는 기판 상에 제1 상부 층간 절연 막(24)을 형성할 수 있다. 상기 제1 상부 층간 절연 막(24)은 실리콘 산화물로 형성할 수 있다. 상기 제1 상부 층간 절연 막(24)은 상기 몰딩 구조체(MS)를 덮으면서 실질적으로 평평한 상부면을 갖도록 형성될 수 있다.

[0163] 상기 몰딩 구조체(MS)를 관통하는 셀 수직 구조체들(CV)을 형성할 수 있다. (S40) 상기 셀 수직 구조체들(CV)은 상기 반도체 패턴(14) 상에 형성될 수 있다. 상기 셀 수직 구조체들(CV)은 상기 제1 상부 층간 절연 막(24) 및 상기 몰딩 구조체(MS)를 관통하며 상기 반도체 패턴(14)과 연결될 수 있다.

[0164] 상기 셀 수직 구조체들(CV)의 각각은 제1 셀 유전체(27), 셀 반도체 층(28), 코어 절연 패턴(29) 및 셀 패드 패턴(30)을 포함할 수 있다. 예를 들어, 상기 셀 수직 구조체들(CV)을 형성하는 것은 상기 제1 상부 층간 절연 막(24), 상기 몰딩 구조체(MS)를 관통하는 홀들을 형성하고, 상기 홀들의 측벽들 상에 제1 셀 유전체(27)를 형성하고, 상기 제1 셀 유전체(27)가 형성된 기판 상에 셀 반도체 층을 콘포멀하게 형성하고, 상기 셀 반도체 층 상에 상기 홀들을 부분적으로 채우는 상기 코어 절연 패턴들(28)을 형성하고, 상기 코어 절연 패턴들(28)을 갖는 기판 상에 패드 막을 형성하고, 상기 제1 상부 층간 절연 막(24)이 노출될 때까지 상기 패드 막 및 상기 셀 반

Micron Ex. 1002, p. 892
Micron v. YMTC
IPR2025-00294

도체 층을 평탄화하여 상기 홀들 내에 한정된 상기 셀 패드 패턴(30) 및 상기 셀 반도체 층(28)을 형성하는 것을 포함할 수 있다.

[0165] 상기 셀 반도체 층(28)은 상기 반도체 패턴(14)과 연결될 수 있다. 상기 셀 반도체 층(28) 및 상기 셀 패드 패턴(30)은 실리콘으로 형성될 수 있다. 예를 들어, 상기 셀 반도체 층(28) 및 상기 셀 패드 패턴(30)은 폴리 실리콘으로 형성될 수 있다.

[0166] 상기 제1 셀 유전체(27)를 형성하는 것은 정보 저장 물질 막(예를 들어, 차지(charge)를 트랩할 수 있는 실리콘 질화 막 등) 및 터널 산화 막(예를 들어, 실리콘 산화물)을 형성하는 것을 포함할 수 있다. 상기 셀 패드 패턴(30)은 이온 주입 공정을 이용하여 N형의 도전형으로 형성할 수 있다.

[0167] 도 1, 도 2a, 도 19, 도 23a 및 도 23b를 참조하면, 상기 셀 수직 구조체들(CV)을 갖는 기판 상에 제2 상부 층간 절연 막(32)을 형성할 수 있다. 상기 제2 상부 층간 절연 막(32)은 실리콘 산화물로 형성할 수 있다.

[0168] 트렌치들(34)을 형성할 수 있다. (S50) 상기 트렌치들(34)은 상기 제1 및 제2 상부 층간 절연 막들(24, 32), 및 상기 몰딩 구조체(MS)를 관통하며 상기 반도체 패턴(14)을 노출시킬 수 있다.

[0169] 일 실시예에서, 상기 트렌치들(34)은 상기 몰딩 구조체(MS)를 가로지를 수 있다.

[0170] 상기 트렌치들(34)은 제1 방향(X)으로 연장되는 라인 모양들일 수 있다. 상기 트렌치들(34)은 상기 제1 방향(X)과 수직한 제2 방향(Y)으로 평행하게 배열될 수 있다.

[0171] 상기 트렌치들(34)은 상기 제2 방향(Y)으로 차례로 배열되며 서로 평행한 제1 트렌치(34a), 제2 트렌치(34b) 및 제3 트렌치(34c)을 포함할 수 있다. 서로 인접하는 상기 제1 및 제2 트렌치들(34a, 34b) 사이의 이격 거리는 서로 인접하는 상기 제2 및 제3 트렌치들(34b, 34c) 사이의 이격 거리 보다 클 수 있다. 상기 셀 수직 구조체들(CV)은 상대적으로 좁게 이격된 트렌치들(34), 예를 들어 상기 제1 및 제2 트렌치들(34b, 34c) 사이에 배치될 수 있다.

[0172] 상기 반도체 패턴(14)의 상기 개구부(16)는 상대적으로 넓게 이격된 트렌치들(34), 예를 들어 상기 제1 및 제2 트렌치들(34a, 34b) 사이의 반도체 패턴(14) 내에 배치될 수 있다.

[0173] 상기 몰딩 구조체(MS) 내부에 빈 공간들(36)을 형성할 수 있다. (S60) 상기 빈 공간들(36)을 형성하는 것은 상기 트렌치들(34)에 의해 노출되는 상기 제2 몰딩 막들(22)을 식각하는 것을 포함할 수 있다. 상기 제2 몰딩 막들(22)이 식각된 부분들은 상기 빈 공간들(36)로 형성될 수 있다.

[0174] 상기 제2 몰딩 막들(22) 중에서, 상대적으로 넓게 이격된 상기 제1 및 제2 트렌치들(34a, 34b) 사이에 위치하는 제2 몰딩 막들은 부분 식각되어 잔존할 수 있다. 이와 같이, 상기 제1 및 제2 트렌치들(34a, 34b) 사이에 잔존하는 상기 제2 몰딩 막들(22)은 제2 절연성 패턴들(22a)로 정의될 수 있다.

[0175] 또한, 상기 제2 몰딩 막들(22) 중에서, 상기 트렌치들(34)에 수직한 상기 제2 방향(Y)에 위치하는 계단 영역들에 위치하는 제2 몰딩 막들(22)은 부분 식각되어 잔존할 수 있다. 이와 같이 계단 영역들에 잔존하는 상기 제2 몰딩 막들(22)은 제4 절연성 패턴들(22b)로 정의될 수 있다.

[0176] 상기 트렌치들(34) 중에서, 상대적으로 좁게 이격된 트렌치들, 예를 들어 상기 제2 및 제3 트렌치들(34b, 34c) 사이에 위치하는 상기 제1 몰딩 막들(20)은 셀 층간 절연성 패턴들(21)로 정의될 수 있다. 상기 제1 및 제2 트렌치들(34a, 34b) 사이에 위치하는 상기 제1 몰딩 막(20)은 제1 절연성 패턴들(20a)로 정의될 수 잇다. 상기 트렌치들(34)에 수직한 상기 제2 방향(Y)에 위치하는 계단 영역들에 위치하는 제1 몰딩 막들(20)은 제3 절연성 패턴들(20b)로 정의될 수 있다.

[0177] 상대적으로 넓게 이격된 상기 제1 및 제2 트렌치들(34a, 34b) 사이에 위치하는 상기 제1 절연성 패턴들(20a) 및 상기 제2 절연성 패턴들(20b)은 절연성 구조체(23)로 정의될 수 있다. 따라서, 상기 절연성 구조체(23)는 교대로 반복적으로 적층된 상기 제1 절연성 패턴(20a) 및 상기 제2 절연성 패턴(20b)을 포함할 수 있다. 상기 제2 절연성 패턴들(20b)은 상기 제1 절연성 패턴들(20a) 보다 작은 폭을 가질 수 있다.

[0178] 도 1, 도 2a, 도 19, 도 24a 및 도 24b를 참조하면, 상기 빈 공간들(36)을 갖는 기판 상에 제2 셀 유전체(36)를 콘포멀하게 형성할 수 있다. 상기 빈 공간들(36) 내에 게이트 도전성 패턴들을 형성할 수 있다. 상기 게이트 도전성 패턴들을 형성하는 것은 상기 제2 셀 유전체(36)를 갖는 기판 상에 도전성 물질 막을 형성하고, 상기 제2 상부 층간 절연 막(32)의 상부 및 상기 트렌치들(34) 내에 형성된 도전성 물질 막을 식각 공정으로 제거하는 것을 포함할 수 있다.

Micron Ex. 1002, p. 893
Micron v. YMTC
IPR2025-00294

Micron Ex. 1002, p. 894
Micron v. YMTC
IPR2025-00294

[0179] 상기 게이트 도전성 패턴들 중에서, 상기 트렌치들(34) 중 상대적으로 이격 거리가 작은 트렌치들(34), 예를 들어 상기 제2 및 제3 트렌치들(34b, 34c) 사이의 상기 빈 공간들(36) 내에 형성될 수 있으며, 상기 셀 수직 구조체들(CV)의 측면들을 둘러싸는 게이트 도전성 패턴들은 셀 게이트 도전성 패턴들로 정의할 수 있고, 상대적으로 이격 거리가 큰 트렌치들(34), 예를 들어 상기 제1 및 제2 트렌치들(34a, 34b) 사이의 빈 공간들(36) 및 상기 트렌치들(34)에 수직한 방향에 위치하는 계단 영역 내에 위치하는 빈 공간들 내에 형성될 수 있는 게이트 도전성 패턴들은 더미 게이트 도전성 패턴들(38b)로 정의될 수 있다. 상기 셀 게이트 도전성 패턴들(38a)은 상기 트렌치들(34)과 평행한 상기 제1 방향(X)에 위치하는 끝 부분들에서 계단 구조로 형성될 수 있다.

[0180] 도 1, 도 2a, 도 25a 및 도 25b를 참조하면, 상기 트렌치들(34)의 측벽들 상에 절연성 스페이서(40)를 형성할 수 있다. 상기 절연성 스페이서(40)는 실리콘 산화물 또는 실리콘 질화물 등과 같은 절연성 물질로 형성될 수 있다.

[0181] 이온 주입 공정을 진행하여, 상기 트렌치들(34)에 의해 노출되는 상기 반도체 패턴(14) 내에 셀 소스 불순물 영역(42)을 형성할 수 있다. 상기 반도체 패턴(14)의 상기 저농도 불순물 영역(LC) 내에 형성될 수 있다. 상기 셀 소스 불순물 영역(42)은 상기 저농도 불순물 영역(LC)과 다른 도전형을 가질 수 있다. 예를 들어, 상기 저농도 불순물 영역(LC)은 P 형의 도전형일 수 있고, 상기 셀 소스 불순물 영역(42)은 N형의 도전형일 수 있다.

[0182] 상기 트렌치들(34) 내에 셀 소스 패턴들(46)을 형성할 수 있다. 상기 셀 소스 패턴들(46)은 도전성 물질(예를 들어, Ti, TiN, W 등과 같은 물질)로 형성할 수 있다.

[0183] 상기 셀 소스 패턴들(46)은 도 23a 및 도 23b에서 설명한 상기 제1 내지 제3 트렌치들(34a, 34b, 34c)에 대응하는 제1 내지 제3 셀 소스 패턴들(46a, 46b, 46c)을 포함할 수 있다.

[0184] 상기 셀 소스 패턴들(46)을 갖는 기판 상에 제3 상부 층간 절연 막(48)을 형성할 수 있다. 상기 제3 상부 층간 절연 막(48)은 실리콘 산화물로 형성될 수 있다.

[0185] 도 1, 도 2a, 도 26a 및 도 26b를 참조하면, 주변 비트라인 하부 콘택 플러그(52), 셀 바디 하부 콘택 플러그(53), 셀 게이트 하부 콘택 플러그들(54), 주변 바디 하부 콘택 플러그(55)를 형성할 수 있다.

[0186] 상기 주변 비트라인 하부 콘택 플러그(52)는 상기 제1 및 제2 소스 패턴들(46a, 46b) 사이에 배치될 수 있다. 상기 주변 비트라인 하부 콘택 플러그(52)는 상기 제1 주변 콘택 패드(PP1) 상에 위치하는 절연성 물질 막들을 관통하며 상기 제1 주변 콘택 패드(PP1)과 연결될 수 있다. 예를 들어, 상기 주변 비트라인 하부 콘택 플러그(52)는 상기 제1 내지 제3 상부 층간 절연 막들(24, 32, 48), 상기 제1 및 제2 절연성 패턴들(20a, 22a), 상기 갭필 절연성 막(18) 및 상기 하부 층간 절연 막(LILD) 중 상기 주변 패드들(PP1, PP2)을 덮는 제4 하부 층간 절연 막(LILD4)를 관통하며 상기 제1 주변 콘택 패드(PP1)과 전기적으로 연결될 수 있다.

[0187] 상기 셀 바디 하부 콘택 플러그(53)는 상기 제1 내지 제3 상부 층간 절연 막들(24, 32, 48), 및 상기 셀 소스 패턴들(46)에 수직한 상기 제2 방향(Y)에 위치하는 계단 영역들 내의 상기 제3 및 제4 절연성 패턴들(20b, 22b)을 관통하며 상기 반도체 패턴(14)과 연결될 수 있다.

[0188] 일 실시예에서, 상기 셀 바디 하부 콘택 플러그(53)는 라인 모양으로 형성될 수 있다.

[0189] 일 실시예에서, 상기 셀 바디 하부 콘택 플러그(53)는 서로 이격된 복수의 원 모양들로 형성될 수 있다.

[0190] 상기 셀 게이트 하부 콘택 플러그들(54)은 상기 제1 내지 제3 상부 층간 절연 막들(24, 32, 48)을 관통하며 상기 셀 소스 패턴들(46) 사이에 위치하는 계단 영역의 상기 셀 게이트 도전성 패턴들(38a)과 연결될 수 있다.

[0191] 상기 주변 바디 하부 콘택 플러그(55)는 상기 제3 주변 콘택 패드(PP3) 상에 위치하는 상기 하부 층간 절연 막(LILD)의 부분, 상기 버퍼 절연성 막(10), 상기 중간 층간 절연 막(19), 및 상기 제1 내지 제3 상부 층간 절연 막들(24, 32, 48)을 차례로 관통하며 상기 제3 주변 콘택 패드(PP3)와 전기적으로 연결될 수 있다.

[0192] 상기 주변 비트라인 하부 콘택 플러그(52), 상기 셀 바디 하부 콘택 플러그(53), 상기 셀 게이트 하부 콘택 플러그들(54) 및 상기 제2 주변 하부 콘택 플러그(55)을 형성하는 것은 사진 및 식각 공정을 진행하여 콘택 홀들을 형성하고, 상기 콘택 홀들을 채우는 도전성 물질 막을 형성하는 것을 포함할 수 있다.

[0193] 일 실시예에서, 상기 콘택 홀들을 형성하고 상기 도전성 물질 막으로 채우기 전에 이온 주입 공정을 진행하여, 상기 콘택 홀들에 의해 노출되는 콘택 부분들 내에 불순물을 주입할 수 있다. 따라서, 상기 셀 바디 하부 콘택 플러그(53) 하부의 상기 반도체 패턴(14) 내에 셀 바디 콘택 불순물 영역(50)을 형성할 수 있다. 상기 셀 바디 콘택 불순물 영역(50)은 P형의 도전형일 수 있다. 상기 셀 바디 콘택 불순물 영역(50)은 상기 저농도 불순물 영

역(LC) 보다 높은 불순물 농도로 형성될 수 있다.

[0194] 일 실시예에서, 상기 셀 바디 콘택 불순물 영역(50)을 형성한 후에, 상기 셀 바디 콘택 불순물 영역(50)과 상기 셀 바디 하부 콘택 플러그(53) 사이에 금속 실리사이드를 형성할 수 있다.

[0195] 도 1, 도 2a, 도 2b, 도 19, 도 3a 및 도 3b를 다시 참조하면, 상기 주변 비트라인 하부 콘택 플러그(52), 상기 셀 바디 하부 콘택 플러그(53), 상기 셀 게이트 하부 콘택 플러그들(54) 및 상기 주변 바디 하부 콘택 플러그(55)를 갖는 기판 상에 제4 상부 층간 절연 막(60)을 형성할 수 있다.

[0196] 주변 비트라인 상부 콘택 플러그(62), 셀 바디 상부 콘택 플러그(63), 셀 게이트 상부 콘택 플러그들(64), 상기 주변 바디 상부 콘택 플러그(65) 및 셀 비트라인 콘택 플러그들(68)을 형성할 수 있다.

[0197] 상기 주변 비트라인 상부 콘택 플러그(62)는 상기 제4 상부 층간 절연 막(60)을 관통하며 상기 제1 주변 하부 콘택 플러그(52)와 전기적으로 연결될 수 있다. 상기 주변 비트라인 상부 콘택 플러그(62) 및 상기 주변 비트라인 하부 콘택 플러그(52)는 주변 비트라인 콘택 구조체(72)를 구성할 수 있다.

[0198] 상기 셀 바디 상부 콘택 플러그(63)는 상기 제4 상부 층간 절연 막(60)을 관통하며 상기 셀 바디 하부 콘택 플러그(53)와 전기적으로 연결될 수 있다. 상기 셀 바디 상부 콘택 플러그(63) 및 상기 셀 바디 하부 콘택 플러그(53)은 셀 바디 콘택 구조체(73)를 구성할 수 있다.

[0199] 상기 셀 게이트 상부 콘택 플러그들(64)는 상기 제4 상부 층간 절연 막(60)을 관통하며 상기 셀 게이트 하부 콘택 플러그들(54)과 전기적으로 연결될 수 있다.

[0200] 상기 셀 게이트 상부 콘택 플러그들(64) 및 상기 셀 게이트 하부 콘택 플러그들(54)은 셀 게이트 콘택 구조체(74)를 구성할 수 있다.

[0201] 상기 주변 바디 상부 콘택 플러그(65)는 상기 제4 상부 층간 절연 막(60)을 관통하며 상기 주변 바디 하부 콘택 플러그(55)와 전기적으로 연결될 수 있다. 상기 주변 바디 상부 콘택 플러그(65) 및 상기 주변 바디 하부 콘택 플러그(55)은 주변 바디 콘택 구조체(75)을 구성할 수 있다.

[0202] 일 실시예에서, 주변 워드라인 콘택 구조체(도 1의 77)를 형성할 수 있다. 상기 주변 워드라인 콘택 구조체(77)는 상기 주변 바디 콘택 구조체(75)와 동시에 그리고 동일한 구조로 형성될 수 있다. 따라서, 주변 워드라인 콘택 구조체(77)는 상기 주변 바디 콘택 구조체(75)의 상기 주변 하부 바디 콘택 플러그(55) 및 상기 주변 상부 바디 콘택 플러그(65)에 대응하는 주변 하부 워드라인 콘택 플러그 및 주변 상부 워드라인 콘택 플러그로 구성될 수 있다.

[0203] 상기 셀 비트라인 콘택 플러그들(68)은 상기 제2 내지 제4 상부 층간 절연 막들(32, 48, 60)을 관통하며 상기 셀 패드 패턴들(30) 상에 형성될 수 있다.

[0204] 이어서, 배선 공정을 진행하여, 상기 제4 층간 절연 막(60) 상에 배선 구조체들을 형성할 수 있다. (S90) 상기 배선 구조체들은 비트 라인들(80), 워드 라인 배선 구조체들(81) 및 바디 배선들(82)을 포함할 수 있다.

[0205] 상기 비트 라인들(80)은 상기 비트라인 콘택 플러그들(68) 및 상기 주변 비트라인 콘택 구조체(72)와 중첩하며 전기적으로 연결될 수 있다.

[0206] 상기 워드라인 배선 구조체들(81)은 상기 셀 게이트 콘택 구조체(74) 및 상기 주변 워드라인 콘택 구조체(77)와 전기적으로 연결될 수 있다.

[0207] 상기 바디 배선들(82)은 상기 셀 바디 콘택 구조체(73) 및 상기 주변 바디 콘택 구조체(75)와 전기적으로 연결될 수 있다.

[0208] 따라서, 도 1, 도 2a, 도 2b, 3a 및 도 3b에서 설명한 것과 같은 반도체 소자를 형성할 수 있다. 이와 같은 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자 형성 방법을 이용하여 도 4a 및 도 4b에서 설명한 것과 같은 반도체 소자를 형성할 수 있는 방법의 일 예에 대하여, 도 27을 참조하여 설명하기로 한다.

[0209] 도 27을 참조하면, 도 19에서 설명한 것과 같이, 반도체 기판 상에 주변 회로 영역을 형성할 수 있고, (S10) 상기 주변 회로 영역 상에 반도체 패턴을 형성할 수 있고, (S20) 상기 반도체 패턴 상에 몰딩 구조체를 형성할 수 있고, (S30) 상기 반도체 패턴 상에 몰딩 구조체를 관통하는 수직 구조체들을 형성할 수 있다. (S40)

[0210] 상기 몰딩 구조체를 관통하는 제1 콘택 플러그들을 형성할 수 있다. (S140) 상기 제1 콘택 플러그들은 도 4a 및

Micron Ex. 1002, p. 895
Micron v. YMTC
IPR2025-00294

도 4b에서의 상기 주변 비트라인 하부 콘택 플러그들(52') 및 상기 셀 바디 하부 콘택 플러그(53')일 수 있다.

[0211] 도 19에서 설명한 것과 마찬가지로, 트렌치를 형성할 수 있고 (S50), 상기 몰딩 구조체 내부에 빈 공간들을 형성할 수 있고 (S60), 상기 빈 공간들 내에 게이트 도전성 패턴들을 형성할 수 있다. (S70)

[0212] 제2 콘택 플러그들을 형성할 수 있다. (S180) 상기 제2 콘택 플러그들은 도 4b의 상기 셀 게이트 하부 콘택 플러그들(54) 및 상기 주변 바디 하부 콘택 플러그들(55)일 수 있다. 이어서, 상기 셀 비트라인 콘택 플러그들(68), 상기 주변 비트라인 상부 콘택 플러그(62') 및 상기 주변 상부 바디 콘택 플러그(65)를 형성할 수 있다. 이어서, 도 19에서 설명한 것과 마찬가지로, 배선 구조체들을 형성할 수 있다. (S90)

[0213] 다음으로, 도 5a 및 도 5b에서 설명한 것과 같은 반도체 소자를 형성할 수 있는 방법의 일 예에 대하여, 도 28을 참조하여 설명하기로 한다.

[0214] 도 28을 참조하면, 도 19에서 설명한 것과 같이, 반도체 기판 상에 주변 회로 영역을 형성할 수 있고, (S10) 상기 주변 회로 영역 상에 반도체 패턴을 형성할 수 있고, (S20) 상기 반도체 패턴 상에 몰딩 구조체를 형성할 수 있다. (S30) 상기 몰딩 구조체를 관통하는 제1 콘택 플러그들을 형성할 수 있다. (S240) 상기 제1 콘택 플러그들은 도 5a 및 도 5b에서의 상기 주변 비트라인 하부 콘택 플러그들(52") 및 상기 셀 바디 하부 콘택 플러그(53")일 수 있다.

[0215] 도 19에서 설명한 것과 마찬가지로, 몰딩 구조체를 관통하는 수직 구조체들을 형성할 수 있고 (S40), 트렌치들을 형성할 수 있고 (S50), 몰딩 구조체 내부에 빈 공간들을 형성할 수 있고 (S60), 상기 빈 공간들 내에 게이트 도전성 패턴들을 형성할 수 있다. (S70) 이어서, 제2 콘택 플러그들을 형성할 수 있다. (S280) 상기 제2 콘택 플러그들은 도 5b의 상기 셀 게이트 하부 콘택 플러그들(54) 및 상기 주변 바디 하부 콘택 플러그들(55)일 수 있다. 이어서, 상기 셀 비트라인 콘택 플러그들(68), 상기 주변 비트라인 상부 콘택 플러그(62"), 상기 셀 게이트 상부 콘택 플러그(64), 및 상기 주변 상부 바디 콘택 플러그(65)를 형성할 수 있다. 이어서, 도 19에서 설명한 것과 마찬가지로, 배선 구조체들을 형성할 수 있다. (S90) 이어서, 도 19에서 설명한 것과 마찬가지로, 배선 구조체들을 형성할 수 있다. (S90)

[0216] 다음으로, 도 29을 참조하여 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자 형성 방법을 설명하기로 한다.

[0217] 도 29을 참조하면, 도 19에서 설명한 것과 같이, 반도체 기판 상에 주변 회로 영역을 형성할 수 있고, (S10) 상기 주변 회로 영역 상에 반도체 패턴을 형성할 수 있고, (S20) 상기 반도체 패턴 상에 몰딩 구조체를 형성할 수 있다. (S30) 이어서, 상기 몰딩 구조체를 관통하는 절연성 구조체를 형성할 수 있다. (S340) 콘택 구조체들을 형성할 수 있다. (S350) 배선 구조체들을 형성할 수 있다. (S360)

[0218] 도 1 및 도 10과 함께, 도 29, 및 도 30a 내지 도 32b를 참조하여 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자 형성 방법을 설명하기로 한다.

[0219] 도 1, 도 10, 도 29, 도 30a 및 도 30b를 참조하면, 도 20a 및 도 20b에서 설명한 것과 같이, 상기 반도체 기판(2) 상에 상기 주변 회로 영역들(PC1, PC2, PC3)을 형성할 수 있고, (S10) 상기 반도체 기판(2) 상에 상기 주변 회로 영역들(PC1, PC2, PC3)의 회로들을 구성할 수 있는 트랜지스터(PTR) 및 주변 배선 구조체(PW)를 덮는 하부 층간 절연 막(LILD)를 형성할 수 있고, 상기 하부 층간 절연 막(LILD) 상에 상기 버퍼 절연성 막(10) 및 상기 개구부(16)를 갖는 상기 반도체 패턴(14)을 형성할 수 있다. 상기 반도체 패턴(14)은 상기 주변 회로 영역들(PC1, PC2, PC3) 상에 형성될 수 있다. (S20)

[0220] 도 21a 및 도 21b에서 설명한 것과 같이, 상기 반도체 패턴(14)의 상기 개구부(16)를 채우는 상기 갭필 절연성 막(18) 및 상기 반도체 패턴(14)의 측면을 덮는 중간 층간 절연 막(19)을 형성하고, 상기 반도체 패턴(14) 및 상기 갭필 절연성 막(18) 상에 상기 몰딩 구조체(MS)를 형성할 수 있다. 상기 몰딩 구조체(MS)는 교대로 반복적으로 적층된 상기 제1 몰딩 막(20) 및 상기 제2 몰딩 막(22)을 포함할 수 있다.

[0221] 도 22a 및 도 22b에서 설명한 것과 같이, 상기 몰딩 구조체(MS)를 갖는 기판 상에 제1 상부 층간 절연 막(24)을 형성하고, 상기 몰딩 구조체(MS) 상의 상기 제1 상부 층간 절연 막(24) 및 상기 몰딩 구조체(MS)를 관통하며 상기 반도체 패턴(14)과 연결되는 복수의 상기 셀 수직 구조체들(CV)을 형성할 수 있다.

[0222] 일 실시예에서, 상기 셀 수직 구조체들(CV) 사이 및 상기 반도체 패턴(14)의 상기 개구부(16) 상에 배치되며 상기 몰딩 구조체(MS) 상의 상기 제1 상부 층간 절연 막(24) 및 상기 몰딩 구조체(MS)를 관통하는 절연성 구조체

Micron Ex. 1002, p. 896
Micron v. YMTC
IPR2025-00294

(123)를 형성할 수 있다.

[0223] 상기 절연성 구조체(123)는 실리콘 산화물로 형성할 수 있다. 상기 절연성 구조체(123)의 평면 크기는 상기 반도체 패턴(14)의 상기 개구부(16)의 평면 크기 보다 클 수 있다.

[0224] 일 실시예에서, 상기 셀 수직 구조체들(CV)을 형성한 후에, 상기 절연성 구조체(123)를 형성할 수 있다. 그렇지만, 본 발명의 기술적 사상은 이에 한정되지 않는다. 예를 들어, 상기 절연성 구조체(123)를 형성한 후에, 상기 셀 수직 구조체들(CV)을 형성할 수도 있다.

[0225] 도 1 및 도 10과 함께, 도 31a 및 도 31b를 참조하면, 도 23a 및 도 23b에서 설명한 것과 같이, 상기 셀 수직 구조체들(CV) 및 상기 절연성 구조체(123)를 갖는 기판 상에 상기 제2 상부 층간 절연 막(32)을 형성할 수 있고, 상기 제1 및 제2 상부 층간 절연 막(24, 32) 및 상기 몰딩 구조체(MS)를 관통하는 상기 트렌치들(34)을 형성할 수 있고, 상기 트렌치들(34)에 의해 노출되는 상기 제2 몰딩 막들(22)을 부분 식각하여 상기 빈 공간들(36)을 형성할 수 있다.

[0226] 상기 절연성 구조체(123)는 상기 제2 몰딩 막들(22)과 식각 선택비를 갖는 물질로 형성될 수 있으므로, 상기 절연성 구조체(123)는 상기 절연성 막들(22)을 식각하는 공정에 내식각성을 가질 수 있다.

[0227] 도 23a 및 도 23b에서 설명한 것과 같이, 상기 트렌치들(34)은 차례로 배열된 상기 제1 트렌치(34a), 상기 제2 트렌치(34b) 및 상기 제3 트렌치(34c)을 포함할 수 있고, 상대적으로 이격 거리가 큰 상기 제1 및 제2 트렌치들(34a, 34b) 사이에 상기 제1 몰딩 막들(20)이 잔존하여 제1 절연성 패턴들(120a)로 형성될 수 있으며 상기 절연성 구조체(123)가 위치할 수 있다. 따라서, 상기 제1 절연성 패턴들(120a)은 상기 절연성 구조체(123)의 측면 상에 배치되는 모양일 수 있다.

[0228] 도 1 및 도 10과 함께, 도 32a 및 도 32b를 참조하면, 도 24a 및 도 24b에서 설명한 바와 같이, 상기 빈 공간들(36)을 갖는 기판 상에 상기 제2 유전체(37)를 형성하고, 상기 셀 게이트 도전성 패턴들(38a) 및 상기 더미 게이트 도전성 패턴들(38b, 38c)을 형성할 수 있다.

[0229] 도 25a 및 도 25b에서 설명한 것과 같이, 상기 트렌치들(34)의 측벽들 상에 상기 절연성 스페이서(40)를 형성하고, 상기 트렌치들(34) 하부의 상기 반도체 패턴(14) 내에 상기 셀 소스 불순물 영역(42)을 형성하고, 상기 트렌치들(34)을 채우는 상기 소스 패턴들(46)을 형성하고, 상기 제3 상부 층간 절연 막(48)을 형성하는 것을 포함할 수 있다.

[0230] 도 26a 및 도 26b에서 설명한 것과 같이, 상기 주변 비트라인 하부 콘택 플러그(52), 상기 셀 바디 하부 콘택 플러그(53), 상기 셀 게이트 하부 콘택 플러그들(54), 상기 주변 바디 하부 콘택 플러그(55)를 형성할 수 있다.

[0231] 상기 주변 비트라인 하부 콘택 플러그(52)는 상기 제2 및 제3 상부 층간 절연 막들(32, 38), 상기 절연성 구조체(123), 상기 반도체 패턴(14)의 상기 개구부(16) 내의 상기 갭필 절연 막(18), 상기 버퍼 절연성 막(10) 및 상기 제1 주변 패드(PP1) 상부의 상기 하부 층간 절연 막(LILD)을 관통할 수 있다.

[0232] 도 26a 및 도 26b에서 설명한 것과 같이, 상기 주변 비트라인 하부 콘택 플러그(52), 상기 셀 바디 하부 콘택 플러그(53), 상기 셀 게이트 하부 콘택 플러그들(54), 상기 주변 바디 하부 콘택 플러그(55)를 형성하기 위한 콘택 홀들을 형성한 후에, 상기 반도체 패턴(14) 내에 상기 셀 바디 콘택 불순물 영역(50)을 형성할 수 있다.

[0233] 도 1 및 도 10과 함께, 도 11a 및 도 11b를 다시 참조하면, 도 1, 도 2a, 도 2b 및 도 19와 함께, 다시 도 3a 및 도 3b를 참조하여 설명한 것과 같이, 상기 제4 상부 층간 절연 막(60)을 형성하고, 상기 주변 비트라인 상부 콘택 플러그(62), 상기 셀 바디 상부 콘택 플러그(63), 상기 셀 게이트 상부 콘택 플러그들(64), 상기 주변 바디 상부 콘택 플러그(65) 및 상기 셀 비트라인 콘택 플러그들(68)을 형성하고, 상기 배선 구조체들(80, 81, 82)을 형성할 수 있다.

[0234] 다음으로, 도 12, 도 13a, 도 13b 및 도 14를 참조하여 설명한 반도체 소자의 형성 방법의 일 예에 대하여, 도 33 내지 도 35를 참조하여 설명하기로 한다.

[0235] 도 12, 도 13a 및 도 33을 참조하면, 도 20a 및 도 20b에서 설명한 것과 같이, 상기 반도체 기판(2) 상에 상기 주변 회로 영역들(PC1, PC2, PC3)을 형성할 수 있고, 상기 반도체 기판(2) 상에 상기 주변 회로 영역들(PC1, PC2, PC3)의 회로들을 구성할 수 있는 트랜지스터(PTR) 및 주변 배선 구조체(PW)를 덮는 하부 층간 절연 막(LILD)를 형성할 수 있고, 상기 하부 층간 절연 막(LILD) 상에 상기 버퍼 절연성 막(10)을 형성할 수 있다.

[0236] 상기 버퍼 절연성 막(10) 상에 개구부(216)를 갖는 반도체 패턴(214)을 형성할 수 있다.

Micron Ex. 1002, p. 897
Micron v. YMTC
IPR2025-00294

[0237] 상기 반도체 패턴(214)의 상기 개구부(216)를 채우는 갭필 절연성 막(218) 및 상기 반도체 패턴(214)의 측면을 덮는 중간 층간 절연 막(219)을 형성할 수 있다.

[0238] 도 21a 및 도 21b에서와 같이, 상기 반도체 패턴(214) 및 상기 갭필 절연성 막(218) 상에 상기 몰딩 구조체(MS)를 형성할 수 있다. 상기 몰딩 구조체(MS)는 교대로 반복적으로 적층된 상기 제1 몰딩 막(20) 및 상기 제2 몰딩 막(22)을 포함할 수 있다.

[0239] 도 22a 및 도 22b에서와 마찬가지로, 상기 몰딩 구조체(MS)를 갖는 기판 상에 제1 상부 층간 절연 막(24)을 형성하고, 상기 몰딩 구조체(MS) 상의 상기 제1 상부 층간 절연 막(24) 및 상기 몰딩 구조체(MS)를 관통하며 상기 반도체 패턴(14)과 연결되는 복수의 상기 셀 수직 구조체들(CV)을 형성할 수 있다.

[0240] 도 12, 도 13a 및 도 34를 참조하면, 상기 셀 수직 구조체들(CV)를 갖는 기판 상에 제2 상부 층간 절연 막(32)을 형성할 수 있다.

[0241] 상기 제1 및 제2 상부 층간 절연 막(24, 32) 및 상기 몰딩 구조체(MS)를 관통하는 상기 트렌치들(234)을 형성할 수 있다. 상기 트렌치들(234)은 일정한 간격으로 배열될 수 있다.

[0242] 상기 트렌치들(234)에 의해 노출되는 상기 제2 몰딩 막들(22)을 부분 식각하여 상기 빈 공간들을 형성하고, 상기 빈 공간들 내에, 도 23a 및 도 23b에서 설명한 것과 실질적으로 동일한 공정을 진행하여, 상기 제2 유전체(37) 및 상기 셀 게이트 도전성 패턴들(38a)을 형성할 수 있다.

[0243] 일 실시예에서, 상기 몰딩 구조체(MS)는 상기 제2 및 제4 계단 영역들(ST2, ST4)에 잔존하여 절연성 구조체(223)으로 형성될 수 있다. 상기 절연성 구조체(223)는 교대로 반복적으로 적층되며 계단 구조로 적층되는 제1 절연성 패턴(220a) 및 제2 절연성 패턴(220b)를 포함할 수 있다.

[0244] 상기 셀 게이트 도전성 패턴들(38a) 사이에 잔존하는 상기 제1 몰딩 막(20)은 셀 층간 절연 패턴들(21)로 정의될 수 있다.

[0245] 상기 트렌치들(234)의 측벽들 상에 절연성 스페이서(40)를 형성할 수 있다.

[0246] 이온 주입 공정을 진행하여, 상기 트렌치들(234) 하부의 상기 반도체 패턴(214) 내에 셀 소스 불순물 영역(242)을 형성할 수 있다. 상기 셀 소스 불순물 영역(242)은 상기 반도체 패턴(242)의 상기 저농도 불순물 영역(LC)과 다른 도전형으로 형성될 수 있다. 상기 트렌치들(234) 상에 소스 패턴들(246)을 형성할 수 있다.

[0247] 도 12, 도 13a 및 도 35를 참조하면, 상기 소스 패턴들(246)을 갖는 기판 상에 제2 상부 층간 절연 막(42)을 형성할 수 있다. 상기 제2 상부 층간 절연 막을 관통하는 하부 콘택 플러그들(252, 253, 255)을 형성할 수 있다.

[0248] 일 실시예에서, 상기 하부 콘택 플러그들(252, 253, 255)을 형성하기 전에, 상기 하부 콘택 플러그들(252, 253, 255)을 형성하기 위한 콘택 홀들을 형성하고, 이온 주입 공정을 진행하여 상기 콘택 홀들에 의해 노출되는 콘택 부분 내에 불순물을 주입할 수 있다. 따라서, 상기 셀 바디 하부 콘택 플러그(253) 하부의 상기 반도체 패턴(14) 내에 셀 바디 콘택 불순물 영역(50)을 형성할 수 있다.

[0249] 도 12, 도 13a, 도 13b 및 도 14를 다시 참조하면, 상기 하부 콘택 플러그들(252, 253, 255)을 갖는 기판 상에 제4 상부 층간 절연 막(60)을 형성할 수 있다. 상기 제2 내지 제4 상부 층간 절연 막들(24, 32, 48, 60)을 관통하며 상기 셀 수직 구조체들(CV)과 연결되는 셀 비트라인 플러그들(68), 상기 제4 상부 층간 절연 막(60)을 관통하며 상기 주변 하부 비트라인 플러그(252)와 연결되는 주변 상부 트라인 플러그(262), 상기 셀 바디 하부 콘택 플러그(53)와 연결되는 셀 바디 상부 콘택 플러그(63), 상기 주변 바디 하부 콘택 플러그(55)와 연결되는 주변 바디 상부 콘택 플러그(65)를 형성할 수 있다.

[0250] 이어서, 상기 제4 주변 층간 절연 막(60) 상에 배선 구조체들을 형성할 수 있다. 상기 배선 구조체들은 비트 라인들(280), 워드라인 배선 구조체들(81) 및 바디 배선들(82)을 포함할 수 있다. 상기 비트라인들(280)은 상기 셀 비트라인 플러그들(68) 및 상기 주변 상부 비트라인 플러그들(262)과 연결될 수 있다.

[0251] 다음으로, 도 12, 도 17 및 도 18을 참조하여 설명한 반도체 소자의 형성 방법의 일 예에 대하여, 도 36 및 도 37을 참조하여 설명하기로 한다.

[0252] 도 12, 도 17 및 도 36을 참조하면, 도 33에서 설명한 것과 같이, 상기 반도체 기판(2) 상에 상기 주변 회로 영역들(PC1, PC2, PC3), 상기 버퍼 절연성 막(10), 상기 개구부(216)을 갖는 상기 반도체 패턴(214), 상기 몰딩 구조체(MS), 상기 제1 상부 층간 절연 막(24) 및 상기 수직 구조체들(CV)을 형성할 수 있다.

Micron Ex. 1002, p. 898
Micron v. YMTC
IPR2025-00294

[0253] 일 실시예에서, 상기 수직 구조체들(CV)을 형성하기 전에, 상기 제1 상부 층간 절연 막(24) 및 상기 몰딩 구조체(MS)를 관통하는 제1 절연성 구조체(323) 및 제2 절연성 구조체(324)를 형성할 수 있다. 그렇지만, 본 발명의 기술적 사상은 이에 한정되지 않는다. 예를 들어, 상기 수직 구조체들(CV)을 형성한 후에, 상기 제1 상부 층간 절연 막(24) 및 상기 몰딩 구조체(MS)를 관통하는 제1 절연성 구조체(323) 및 제2 절연성 구조체(324)를 형성할 수 있다.

[0254] 상기 제1 및 제2 절연성 구조체들(323, 324)은 실리콘 산화물로 형성될 수 있다. 상기 제1 절연성 구조체(323)은 상기 반도체 패턴(214)의 상기 개구부(216)와 중첩할 수 있다. 상기 제2 절연성 구조체(324)는 상기 반도체 패턴(214)의 상기 개구부(216)와 중첩하지 않을 수 있다.

[0255] 도 12, 도 17 및 도 37을 참조하면, 상기 제1 상부 층간 절연 막(24) 상에 제2 상부 층간 절연 막(32)을 형성할 수 있다. 도 25a 및 도 25b에서 설명한 것과 실질적으로 동일한 공정을 진행하여, 상기 셀 소스 패턴들(46), 상기 셀 소스 패턴들(46) 하부의 상기 셀 소스 불순물 영역들(42) 및 상기 셀 소스 패턴들(46)의 측면들 상의 상기 절연성 스페이서들(40)을 형성할 수 있다.

[0256] 다시 도 12, 도 17 및 도 18을 참조하며면, 상기 제2 상부 층간 절연 막(32) 상에 상기 셀 소스 패턴들(46)을 덮는 제3 상부 층간 절연 막(48)을 형성할 수 있다.

[0257] 상기 제2 및 제3 상부 층간 절연 막들(32, 48), 상기 제1 절연성 구조체(323), 상기 반도체 패턴(214)의 상기 개구부(216) 내의 상기 절연성 갭필 막(218)을 관통하면서 상기 제1 주변 회로 영역(PC1)의 상기 제1 주변 패드(PP1)과 연결되는 주변 비트라인 하부 콘택 플러그(352)를 형성할 수 있다.

[0258] 일 실시예에서, 상기 주변 비트라인 하부 콘택 플러그(352)를 형성하면서, 상기 제2 및 제3 상부 층간 절연 막들(32, 48), 및 상기 제2 절연성 구조체(324)를 관통하면서 상기 반도체 패턴(214)과 연결되는 셀 바디 하부 콘택 플러그(355)를 형성할 수 있다.

[0259] 일 실시예에서, 상기 하부 콘택 플러그들(352, 355)을 형성하는 것은 상기 제1 주변 패드(PP1)을 노출시키는 비트라인 주변 하부 콘택 홀 및 상기 반도체 패턴(214)을 노출시키는 셀 바디 하부 콘택 홀을 형성하고, 이온 주입 공정을 진행하여 상기 반도체 패턴(214) 내에 셀 바디 콘택 불순물 영역(50)을 형성하고, 상기 콘택 홀들을 금속 물질로 채우는 것을 포함할 수 있다. 이어서, 상기 제4 상부 층간 절연 막(60)을 형성하고, 상부 콘택 플러그들(68, 372)을 형성하고, 배선 구조체들을 형성할 수 있다.

[0260] 도 38는 본 발명의 기술적 사상의 실시예들에 따른 반도체 모듈(400)을 개략적으로 나타낸 도면이다.

[0261] 도 38을 참조하면, 반도체 모듈(400)은 모듈 기판(410) 상에 형성된 메모리 소자(430)를 포함할 수 있다. 상기 반도체 모듈(400)은 상기 모듈 기판(410) 상에 실장된 반도체 소자(420)을 포함할 수 있다.

[0262] 상기 메모리 소자(430)는 본 발명의 기술적 사상의 실시예들에 따른 상기 반도체 소자를 포함할 수 있다. 상기 모듈 기판(410)의 적어도 한 변에는 입출력 터미널들(440)이 배치될 수 있다.

[0263] 도 39는 본 발명의 기술적 사상의 실시예에 따른 전자 시스템(500)을 개념적으로 도시한 블록도이다.

[0264] 도 39를 참조하면, 본 발명의 기술적 사상의 실시예에 따른 반도체 소자를 포함하는 전자 시스템(500)을 제공할 수 있다.

[0265] 상기 전자 시스템(500)은 바디(Body; 510)를 포함할 수 있다. 상기 바디(510)는 마이크로 프로세서 유닛(Micro Processor Unit; 560), 파워 서플라이(Power Supply; 530), 기능 유닛(Function Unit; 540), 및/또는 디스플레이 컨트롤러 유닛(Display Controller Unit; 550)을 포함할 수 있다. 상기 바디(510)는 인쇄 회로기판(PCB) 등을 갖는 시스템 보드 또는 마더 보드(Mother Board)일 수 있다.

[0266] 상기 마이크로 프로세서 유닛(560), 상기 파워 서플라이(530), 상기 기능 유닛(540), 및 상기 디스플레이 컨트롤러 유닛(550)은 상기 바디(510)상에 실장 또는 장착될 수 있다. 상기 바디(510)의 상면 혹은 상기 바디(510)의 외부에 디스플레이 유닛(560)이 배치될 수 있다. 예를 들면, 상기 디스플레이 유닛(560)은 상기 바디(510)의 표면 상에 배치되어 상기 디스플레이 컨트롤러 유닛(550)에 의해 프로세싱된 이미지를 표시할 수 있다. 상기 파워 서플라이(530)은 외부의 전원 등으로부터 일정 전압을 공급받아 이를 다양한 전압 레벨로 분기하여 마이크로 프로세서 유닛(560), 기능 유닛(540), 디스플레이 컨트롤러 유닛(550) 등으로 공급할 수 있다. 상기 마이크로 프로세서 유닛(560)은 상기 파워 서플라이(530)으로부터 전압을 공급받아 상기 기능 유닛(540)과 상기 디스플레

Micron Ex. 1002, p. 899
Micron v. YMTC
IPR2025-00294

Micron Ex. 1002, p. 900
Micron v. YMTC
IPR2025-00294

이 유닛(560)을 제어할 수 있다.

[0267] 상기 기능 유닛(540)은 다양한 전자 시스템(500)의 기능을 수행할 수 있다. 예를 들어, 상기 전자 시스템(500)이 휴대폰 같은 모바일 전자 제품인 경우 상기 기능 유닛(540)은 다이얼링, 또는 외부 장치(External Apparatus; 570)와의 교신으로 상기 디스플레이 유닛(560)으로의 영상 출력, 스피커로의 음성 출력 등과 같은 무선 통신 기능을 수행할 수 있는 여러 구성 요소들을 포함할 수 있으며, 카메라를 포함하는 경우, 이미지 프로세서(Image Processor)의 역할을 할 수 있다.

[0268] 일 실시예에서, 상기 전자 시스템(500)이 용량 확장을 위해 메모리 카드 등과 연결되는 경우, 상기 기능 유닛(540)은 메모리 카드 컨트롤러일 수 있다. 상기 기능 유닛(540)은 유선 혹은 무선의 통신 유닛(Communication Unit; 580)을 통해 외부 장치(570)와 신호를 주고 받을 수 있다.

[0269] 또한, 상기 전자 시스템(500)이 기능 확장을 위해 유에스비(Universal Serial Bus; USB) 등을 필요로 하는 경우, 상기 기능 유닛(540)은 인터페이스 컨트롤러(Interface Controller)의 역할을 할 수 있다.

[0270] 도 40은 본 발명의 기술적 사상의 실시예에 따른 전자 시스템(600)을 개략적으로 도시한 블록도이다.

[0271] 도 40을 참조하면, 전자 시스템(600)은 본 발명의 기술적 사상의 실시예에 따른 반도체 소자를 포함할 수 있다. 상기 전자 시스템(600)은 메모리 시스템(612), 마이크로프로세서(614), 램(616) 및 버스(620)를 사용하여 데이터 통신을 수행하는 유저 인터페이스(618)를 포함할 수 있다. 마이크로프로세서(614)는 전자 시스템(600)을 프로그램 및 컨트롤할 수 있다. 램(616)은 마이크로프로세서(614)의 동작 메모리로 사용될 수 있다. 마이크로프로세서(614), 램(616) 및/또는 다른 구성 요소들은 단일 패키지 내에 조립될 수 있다. 메모리 시스템(612)은 본 발명의 실시예들에 따른 반도체 소자를 포함할 수 있다.

[0272] 상기 유저 인터페이스(618)는 상기 전자 시스템(600)으로 데이터를 입력하거나 또는 전자 시스템(600)으로부터 출력하는데 사용될 수 있다. 메모리 시스템(612)은 마이크로프로세서(614) 동작용 코드들, 마이크로프로세서(614)에 의해 처리된 데이터, 또는 외부 입력 데이터를 저장할 수 있다. 메모리 시스템(612)은 컨트롤러 및 메모리를 포함할 수 있다.

[0273] 이상, 첨부된 도면을 참조하여 본 발명의 실시 예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

[0274] 2 : 기판 PC1, PC2, PC3 : 주변 회로

PW1, PW2, PW3 : 주변 배선 구조체

PP1, PP2, PP3 : 주변 콘택 패드

LILD : 하부 층간 절연 막 10 : 버퍼 절연성 막

14, 214 : 반도체 패턴 16, 216 : 개구부

18, 218 : 갭필 절연성 막 19, 219 : 중간 층간 절연 막

HC : 고농도 불순물 영역(제3 불순물 영역)

LC : 저농도 불순물 영역(제1 불순물 영역)

MS : 몰딩 구조체

20a : 제1 절연성 패턴 20b : 제3 절연성 패턴

21 : 셀 층간 절연성 패턴들 22a : 제2 절연성 패턴

22b : 제4 절연성 패턴

23, 223, 323, 324 : 절연성 구조체

24 : 제1 상부 층간 절연 막 CV : 셀 수직 구조체

27 : 제1 셀 유전체　28 : 셀 반도체 층

29 : 코어 절연 패턴　30 : 셀 패드 패턴

32 : 제2 상부 층간 절연 막　34 : 트렌치

37 : 제2 유전체　38a : 셀 게이트 도전성 패턴

38b : 더미 게이트 도전성 패턴

GS1, GS2, GS3 : 셀 게이트 도전성 구조체

40 : 절연성 스페이서　42 : 셀 **소**스 불순물 영역

46 : **소**스 패턴　48 : 제3 상부 층간 절연 막

50 : 셀 바디 콘택 불순물 영역　H : 홀

SP : 절연성 스페이서

52, 252 : 주변 비트라인 하부 콘택 플러그

53 : 셀 바디 하부 콘택 플러그

54 : 셀 게이트 하부 콘택 플러그

55 : 주변 바디 하부 콘택 플러그

60 : 제4 상부 층간 절연 막

62 : 주변 비트라인 상부 콘택 플러그

63 : 셀 바디 상부 콘택 플러그

64 : 셀 게이트 상부 콘택 플러그

65 : 주변 바디 상부 콘택 플러그

68 : 셀 비트라인 콘택 플러그　71 : 바디 콘택 구조체

72 : 비트라인 주변 콘택 구조체　73 : 셀 바디 콘택 구조체

74 : 셀 게이트 콘택 구조체　75 : 주변 바디 콘택 구조체

77 : 주변 워드라인 주변 콘택 구조체

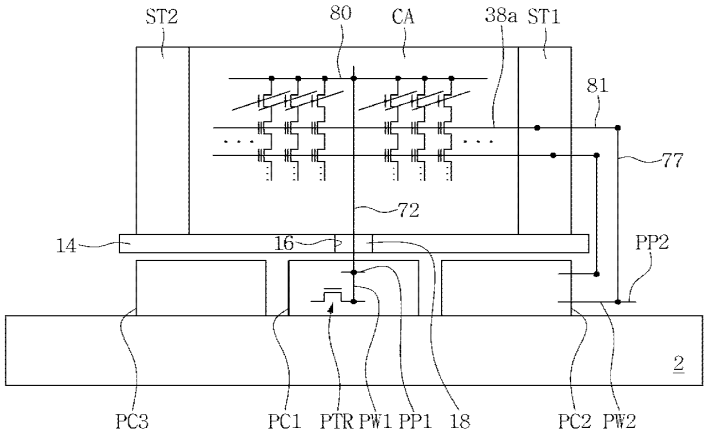
80 : 비트 라인(=셀 도전성 라인)

81 : 워드라인 배선 구조체　82 : 바디 배선 구조체

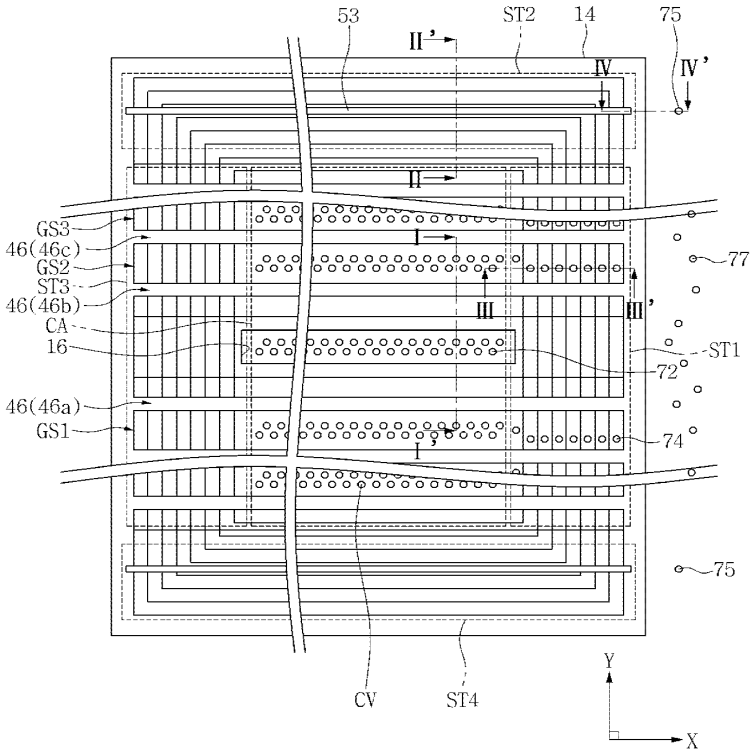
Micron Ex. 1002, p. 901
Micron v. YMTC
IPR2025-00294

도면

도면1

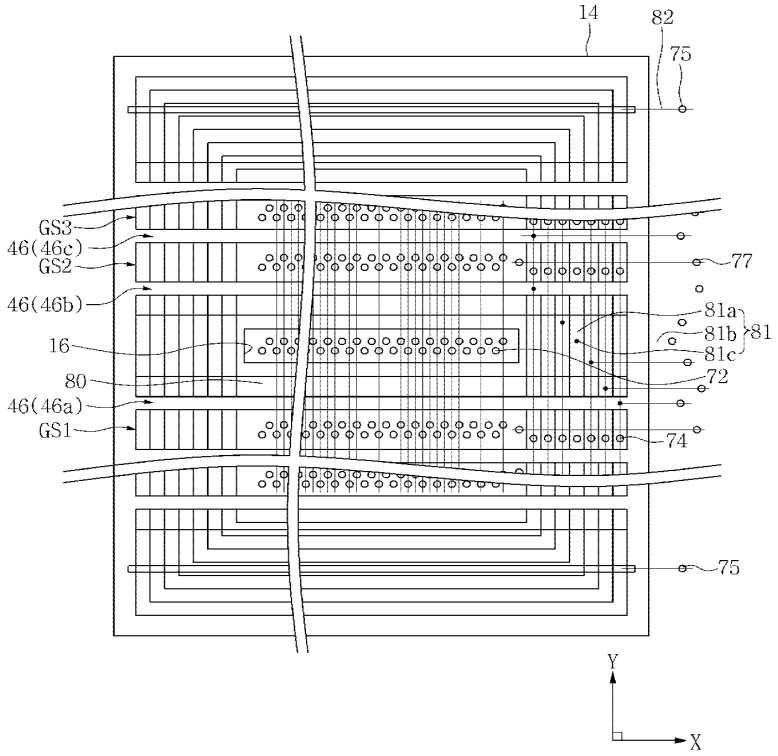


도면2a



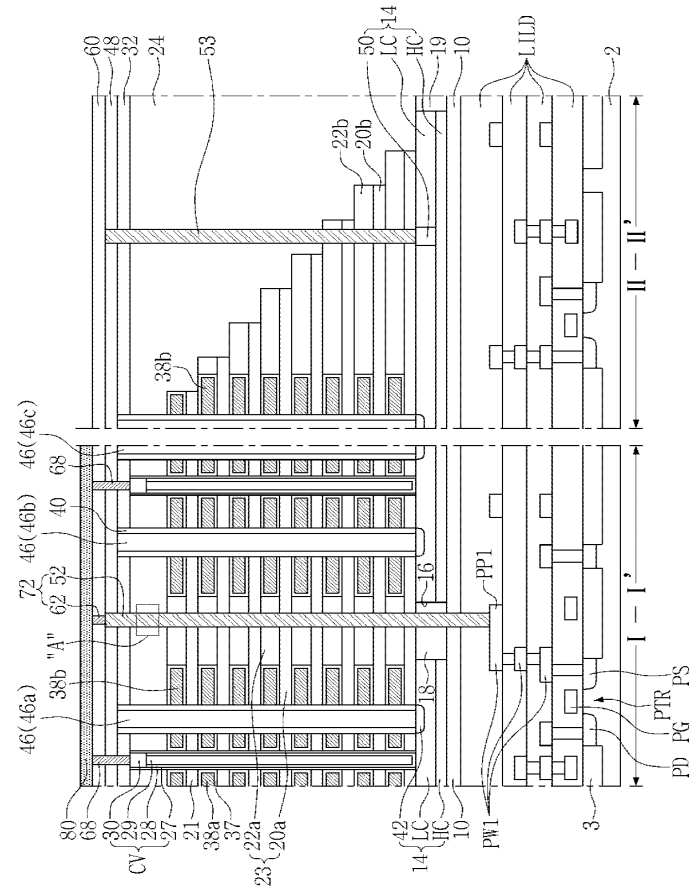
Micron Ex. 1002, p. 902
Micron v. YMTC
IPR2025-00294

도면2b



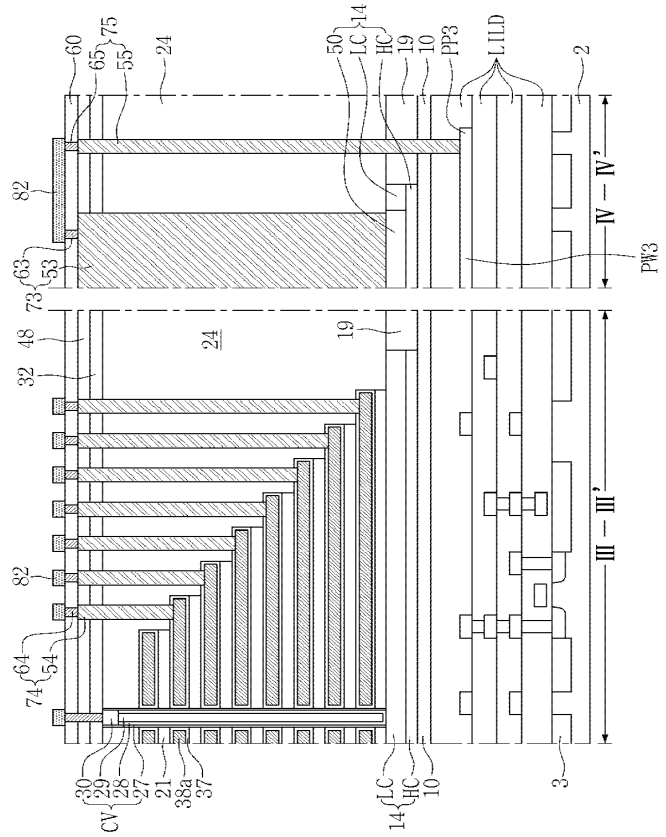
Micron Ex. 1002, p. 903
Micron v. YMTC
IPR2025-00294

도면3a

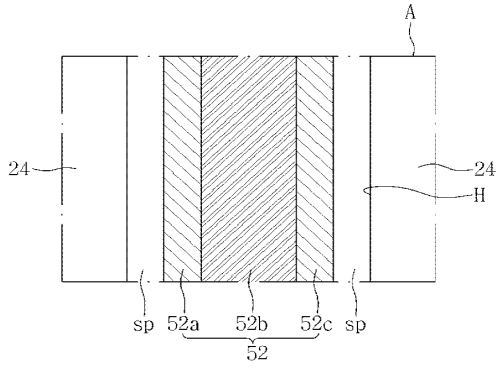


Micron Ex. 1002, p. 904
Micron v. YMTC
IPR2025-00294

도면3b

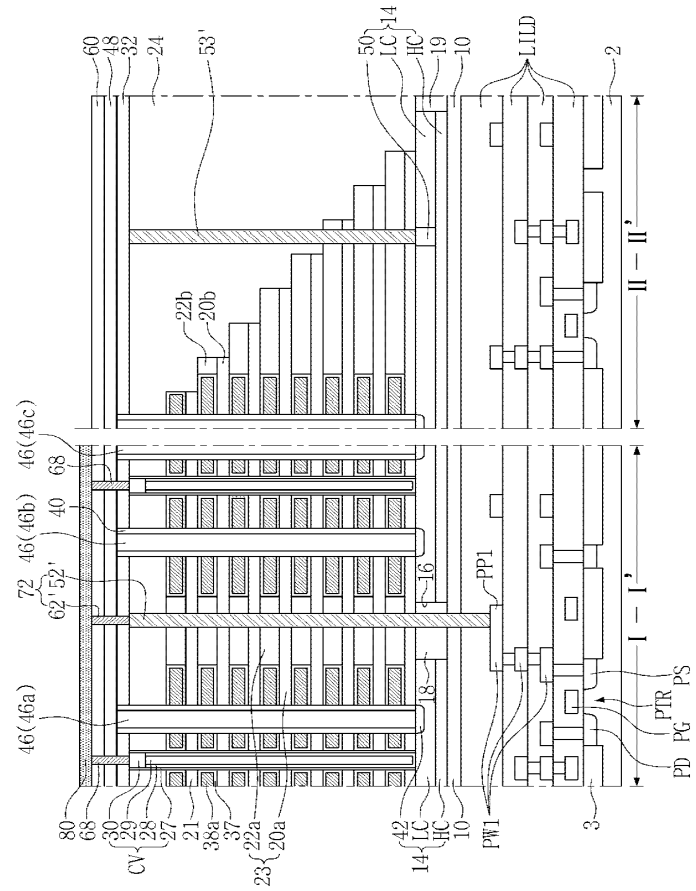


도면3c



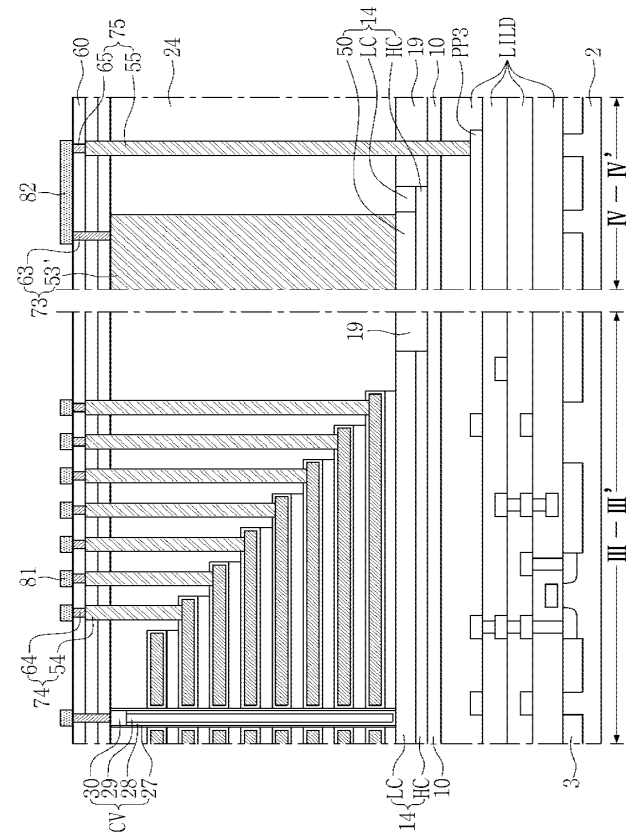
Micron Ex. 1002, p. 905
Micron v. YMTC
IPR2025-00294

도면4a



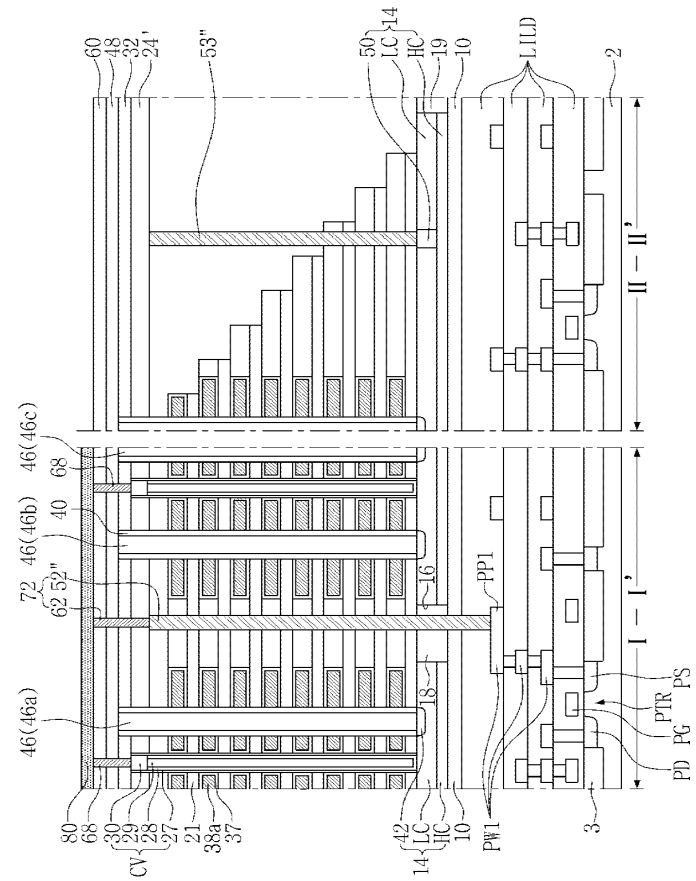
Micron Ex. 1002, p. 906
Micron v. YMTC
IPR2025-00294

도면46



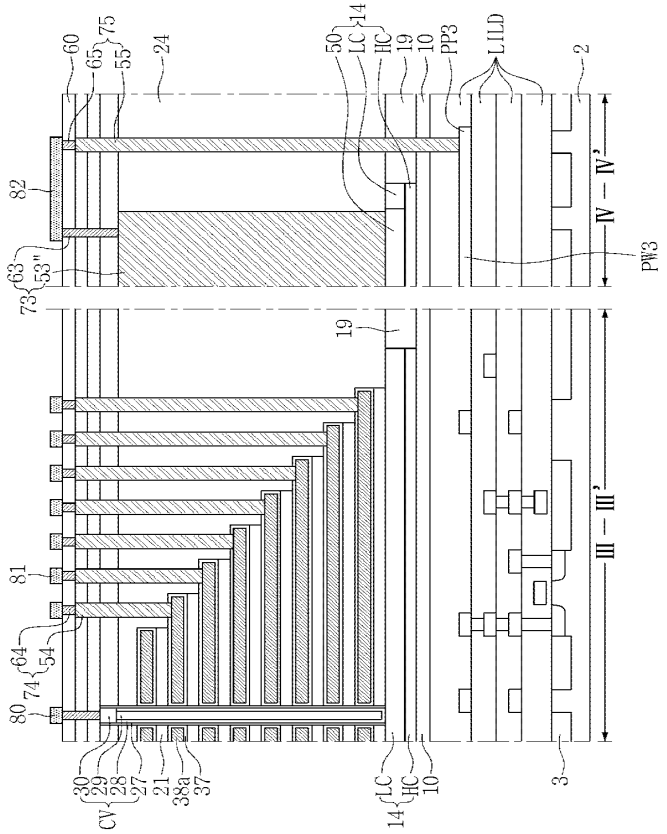
Micron Ex. 1002, p. 907
Micron v. YMTC
IPR2025-00294

도면6a



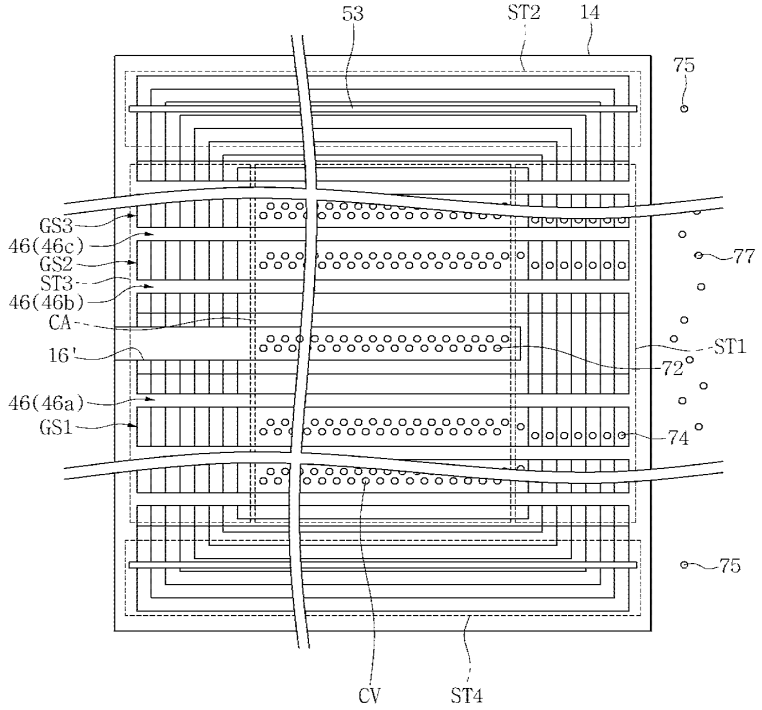
Micron Ex. 1002, p. 908
Micron v. YMTC
IPR2025-00294

도면68

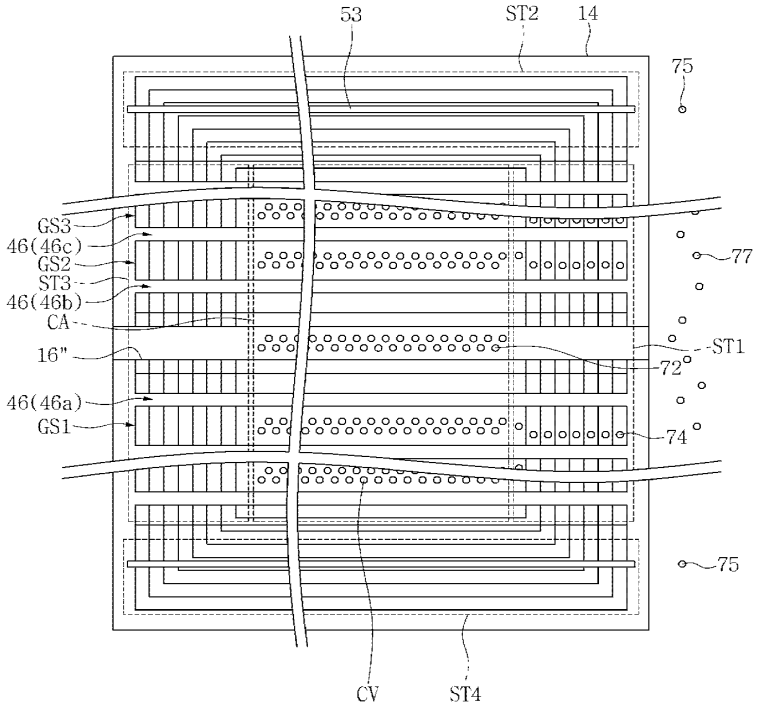


Micron Ex. 1002, p. 909
Micron v. YMTC
IPR2025-00294

도면6

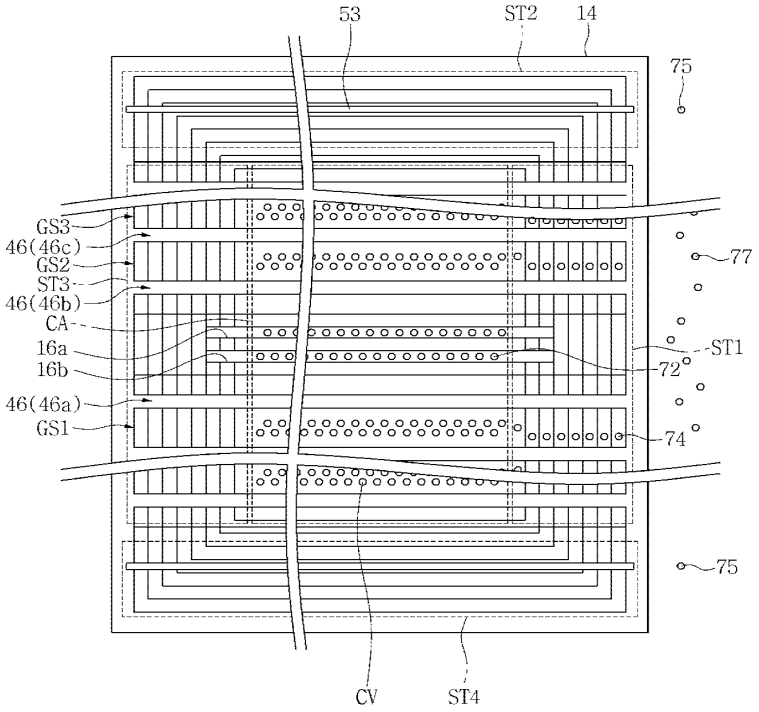


도면7

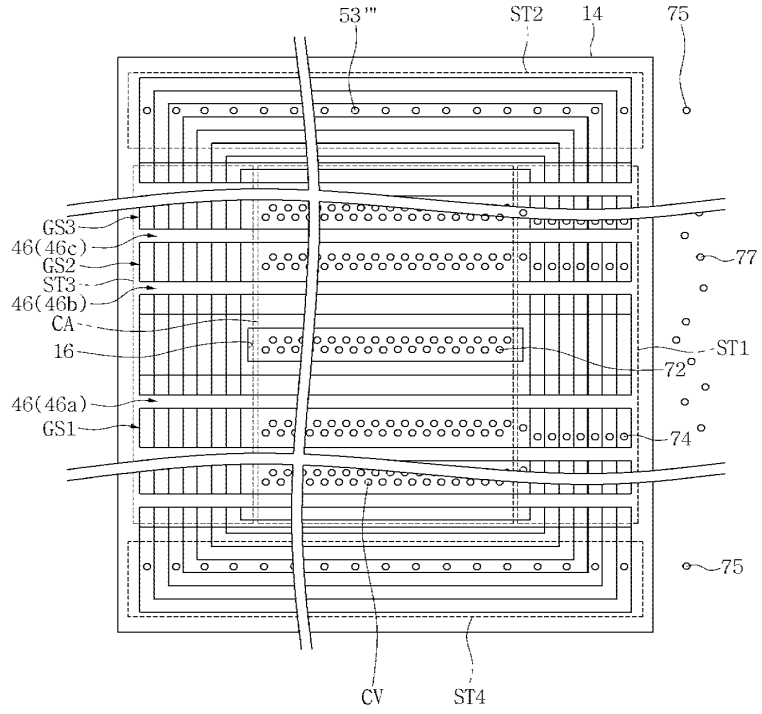


Micron Ex. 1002, p. 910
Micron v. YMTC
IPR2025-00294

도면8

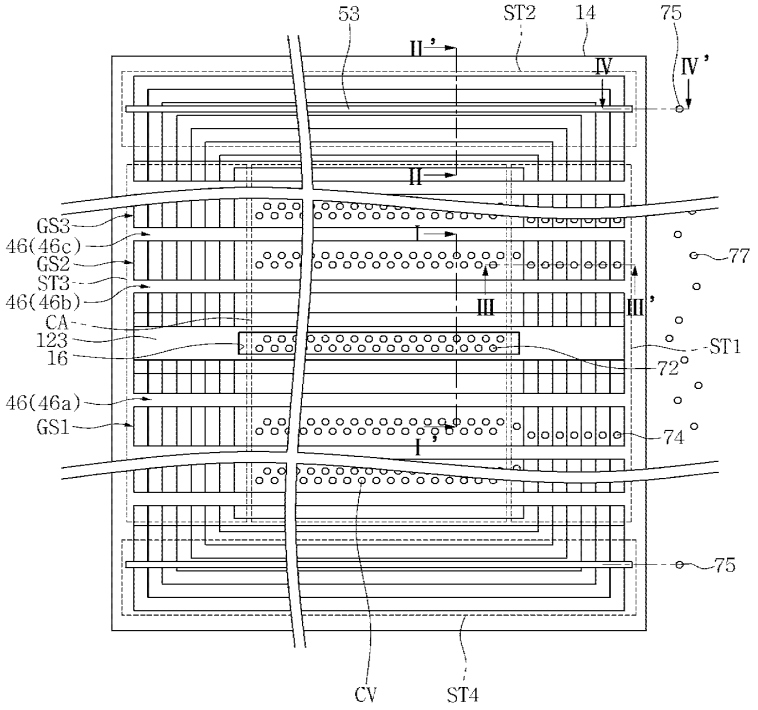


도면9



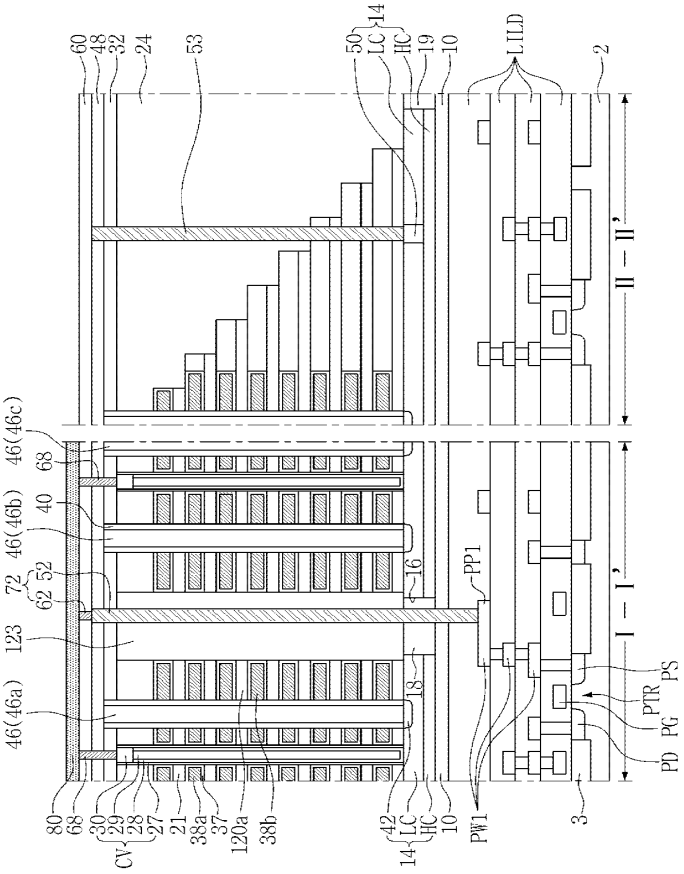
Micron Ex. 1002, p. 911
Micron v. YMTC
IPR2025-00294

도면10



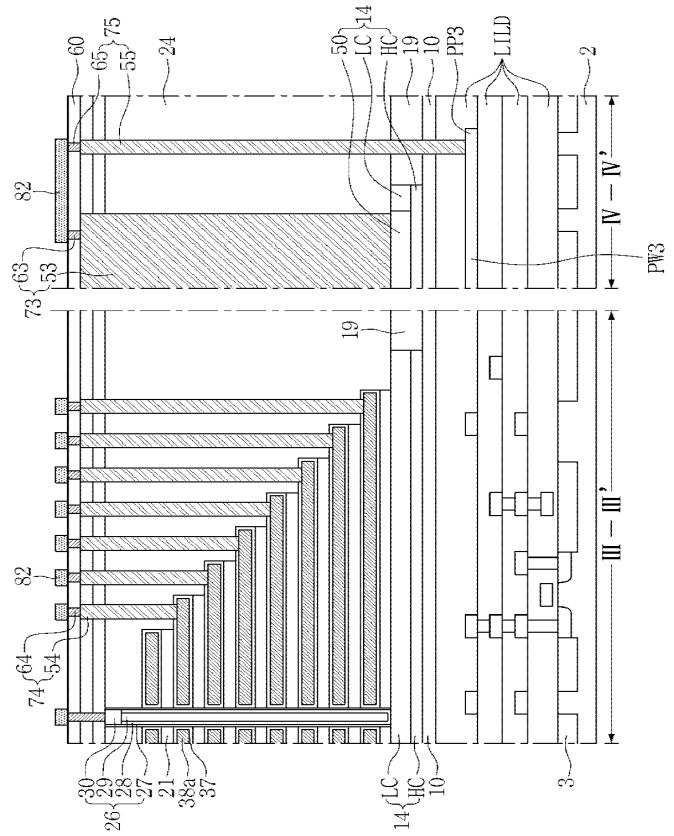
Micron Ex. 1002, p. 912
Micron v. YMTC
IPR2025-00294

도면11a

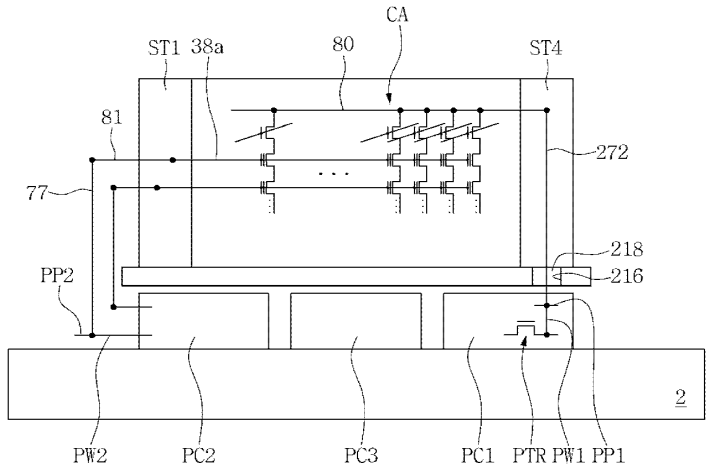


Micron Ex. 1002, p. 913
Micron v. YMTC
IPR2025-00294

도면16b

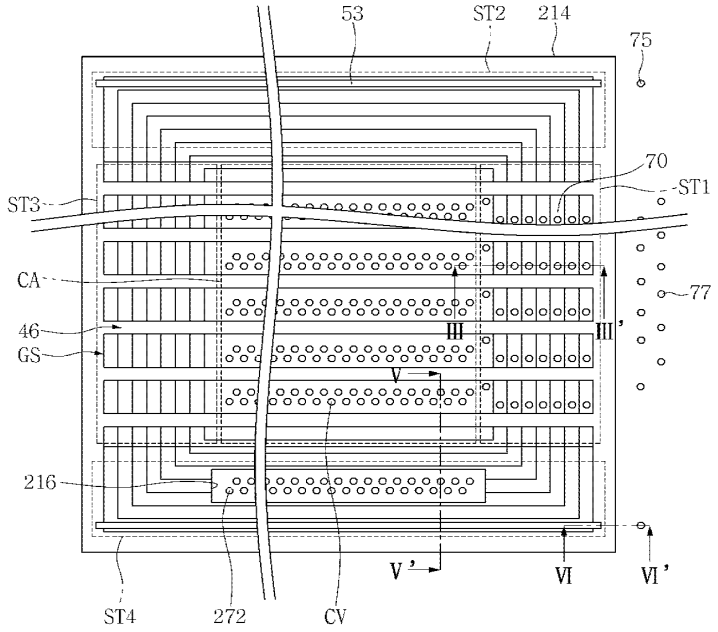


도면17

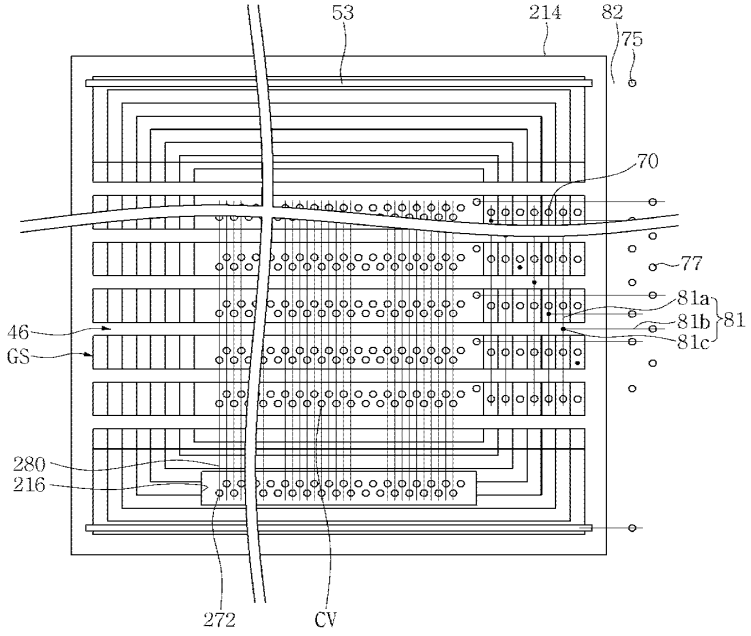


Micron Ex. 1002, p. 914
Micron v. YMTC
IPR2025-00294

도면13a

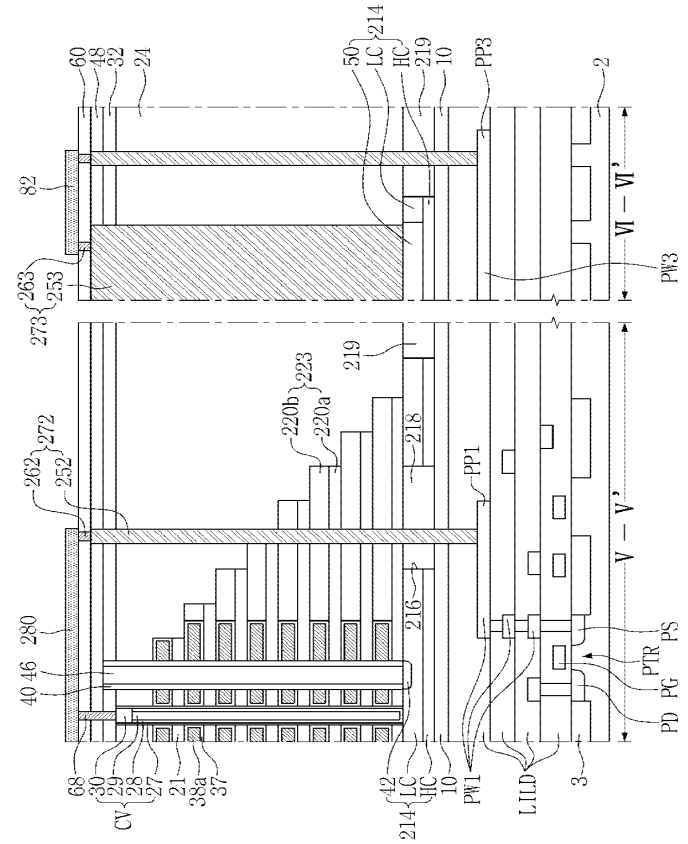


도면13b



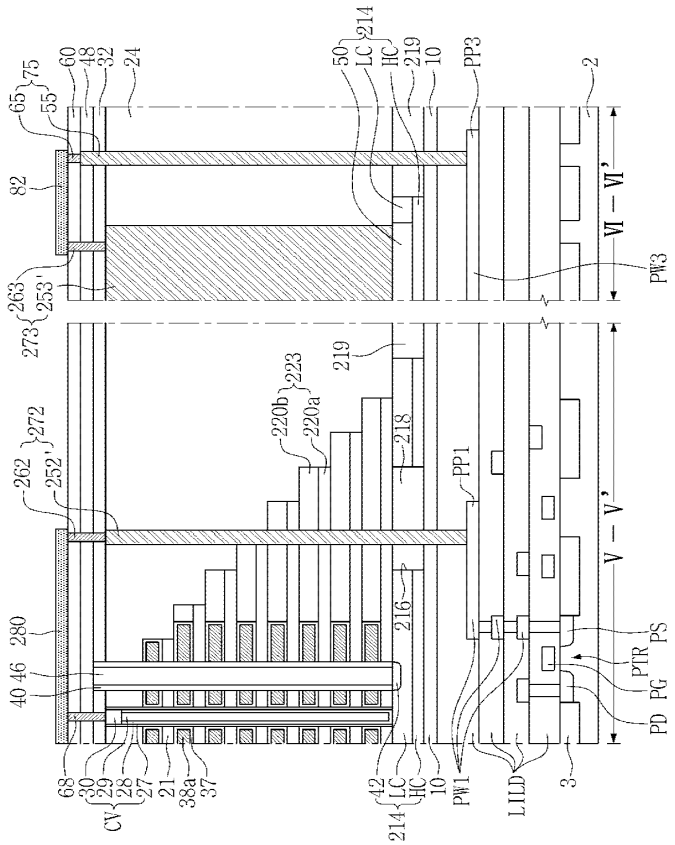
Micron Ex. 1002, p. 915
Micron v. YMTC
IPR2025-00294

도면14



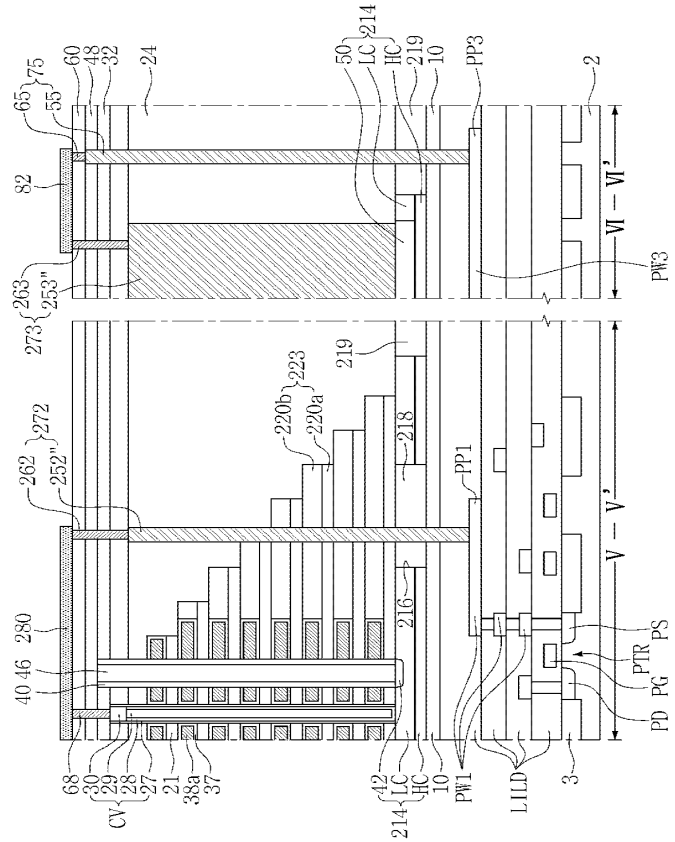
Micron Ex. 1002, p. 916
Micron v. YMTC
IPR2025-00294

도면16



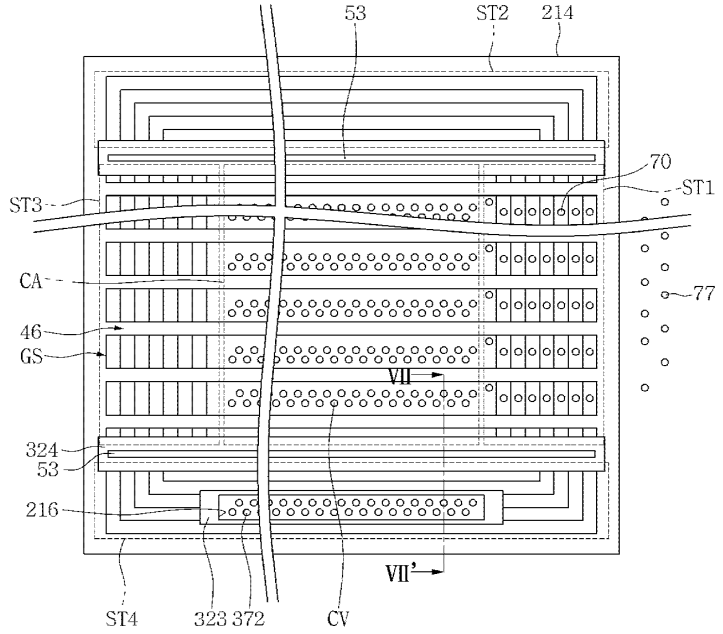
Micron Ex. 1002, p. 917
Micron v. YMTC
IPR2025-00294

도면16

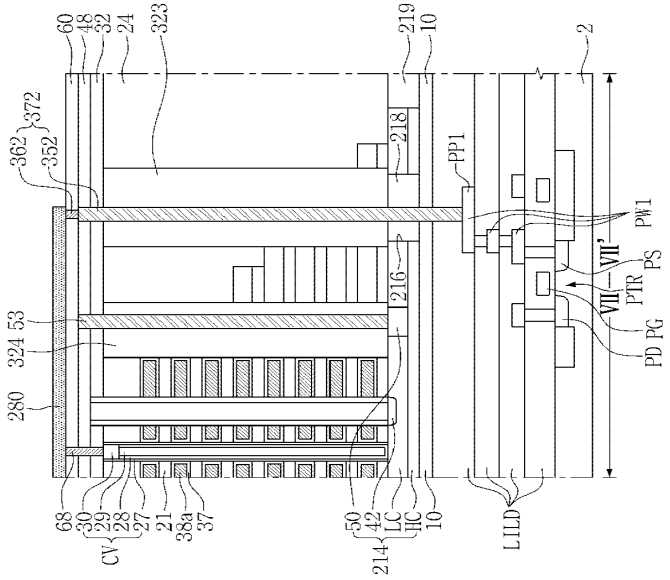


Micron Ex. 1002, p. 918
Micron v. YMTC
IPR2025-00294

도면17

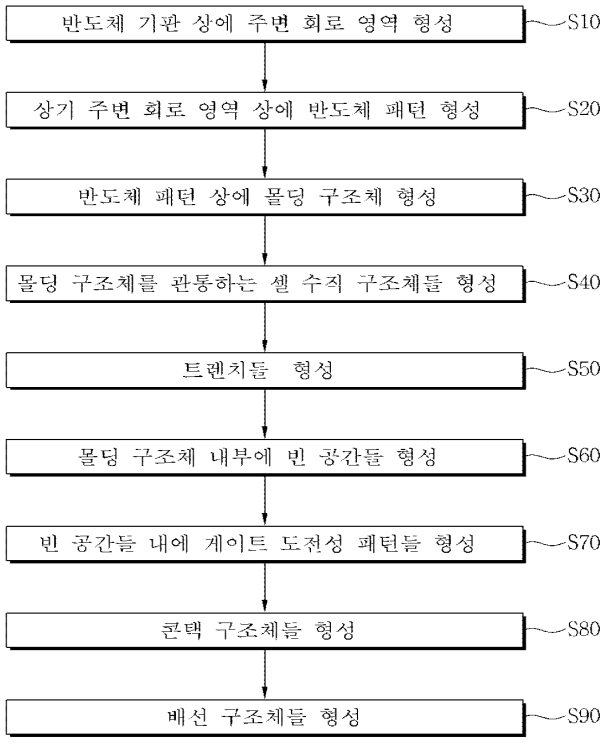


도면18



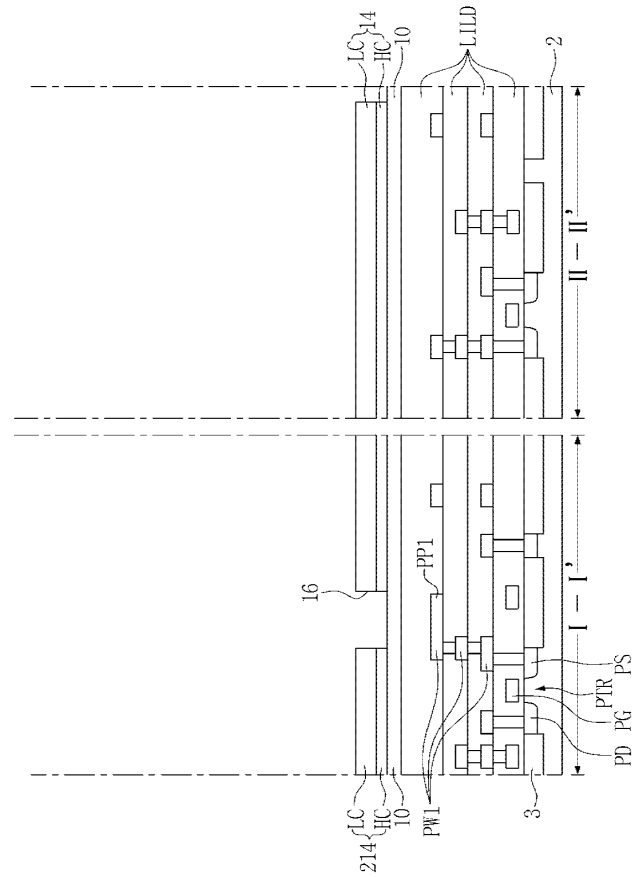
Micron Ex. 1002, p. 919
Micron v. YMTC
IPR2025-00294

도면10



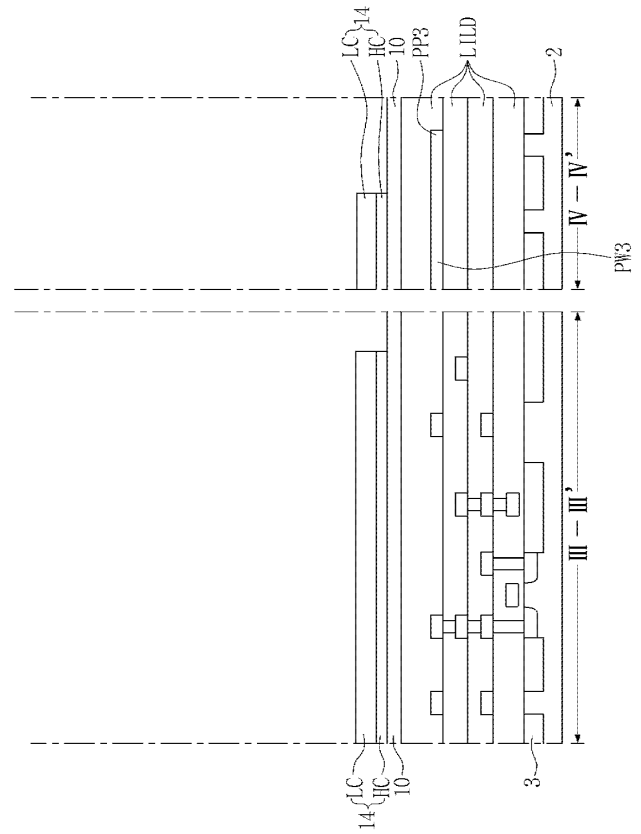
Micron Ex. 1002, p. 920
Micron v. YMTC
IPR2025-00294

도면20a



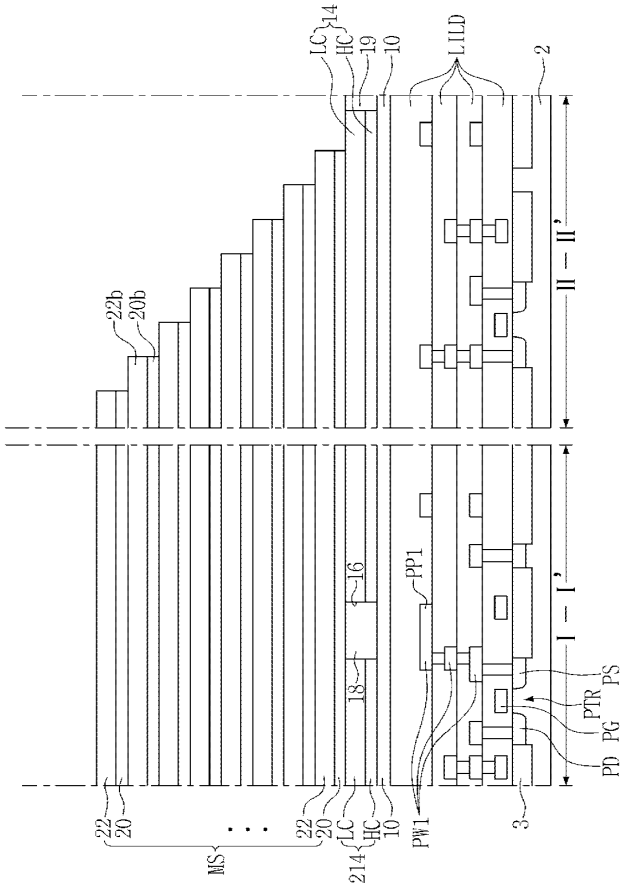
Micron Ex. 1002, p. 921
Micron v. YMTC
IPR2025-00294

도면20b



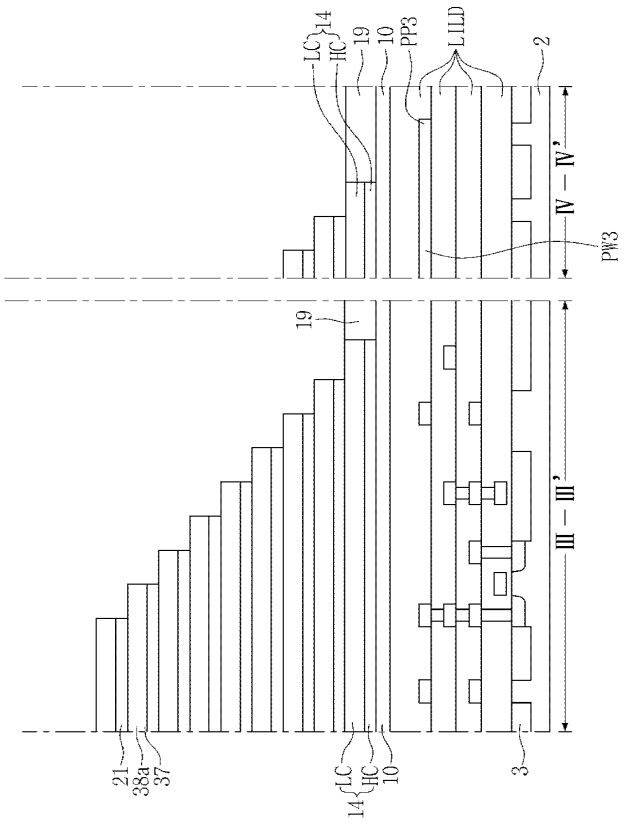
Micron Ex. 1002, p. 922
Micron v. YMTC
IPR2025-00294

도면21a



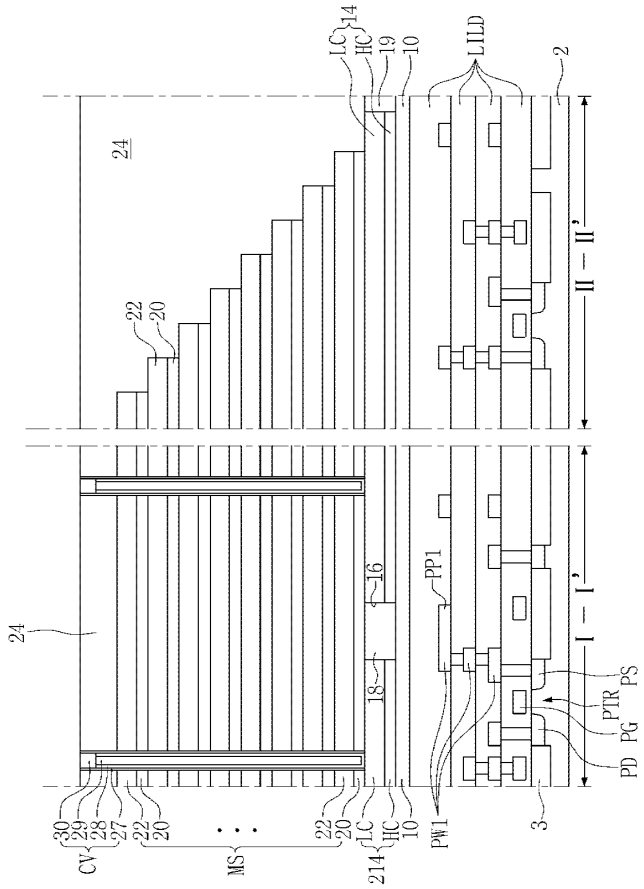
Micron Ex. 1002, p. 923
Micron v. YMTC
IPR2025-00294

도면16



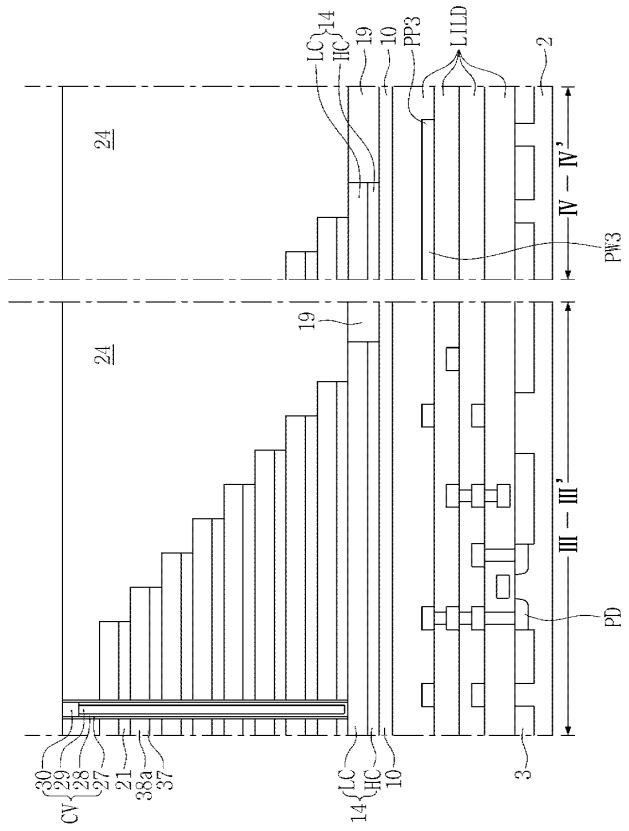
Micron Ex. 1002, p. 924
Micron v. YMTC
IPR2025-00294

도면22a



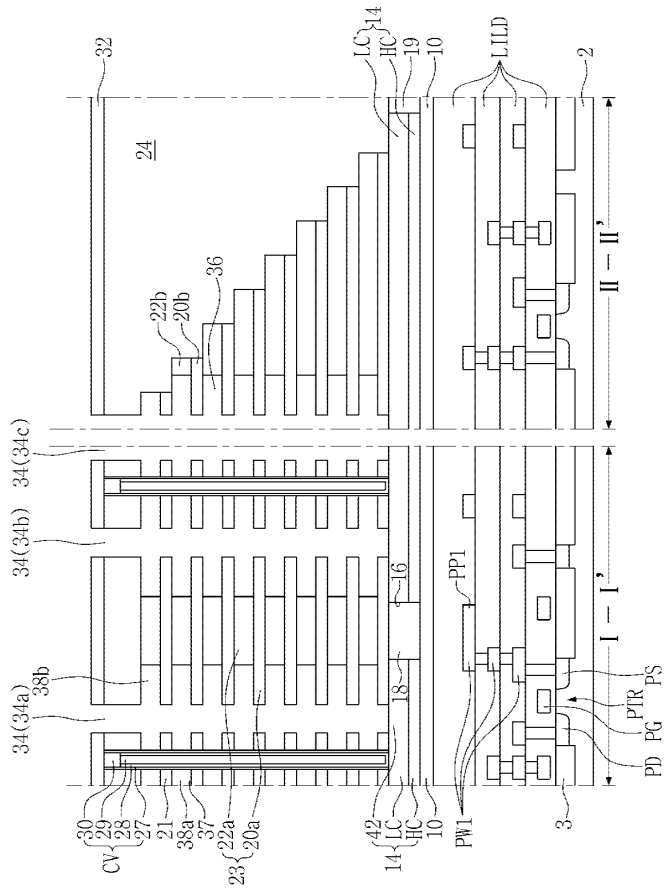
Micron Ex. 1002, p. 925
Micron v. YMTC
IPR2025-00294

도면22b



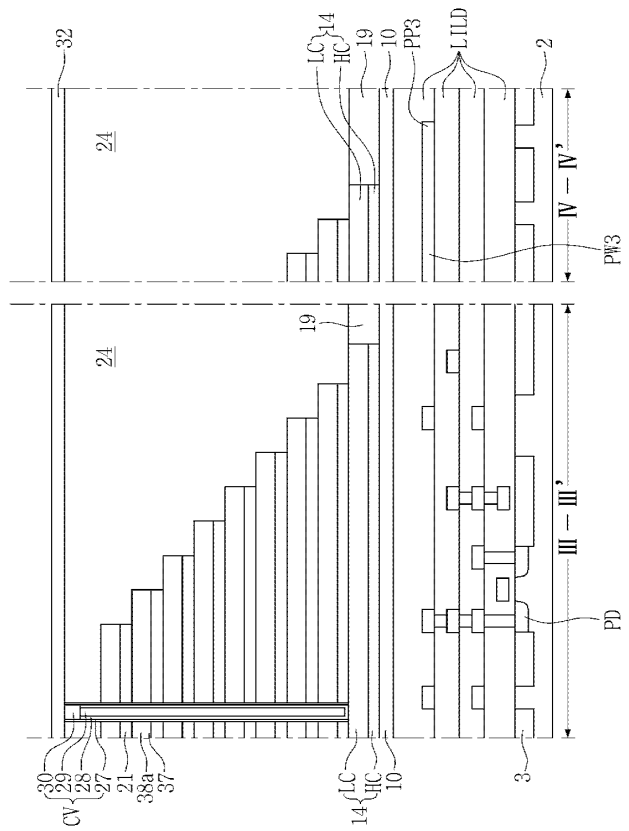
Micron Ex. 1002, p. 926
Micron v. YMTC
IPR2025-00294

도면23a



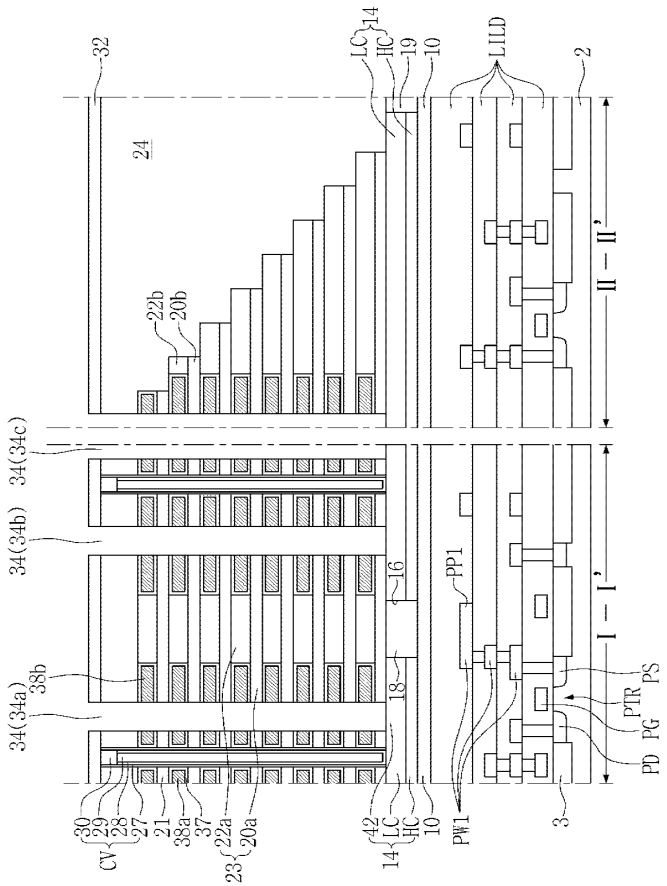
Micron Ex. 1002, p. 927
Micron v. YMTC
IPR2025-00294

도면23b



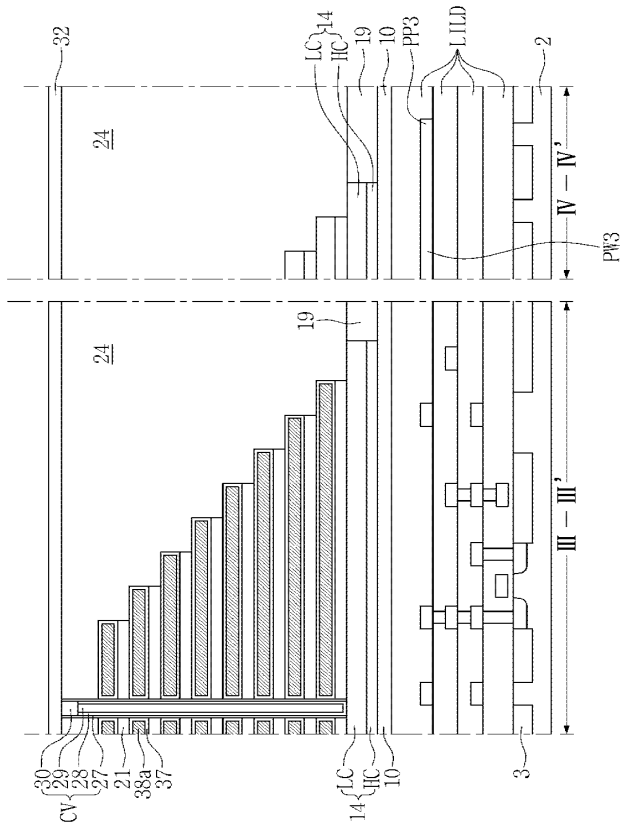
Micron Ex. 1002, p. 928
Micron v. YMTC
IPR2025-00294

도면24a



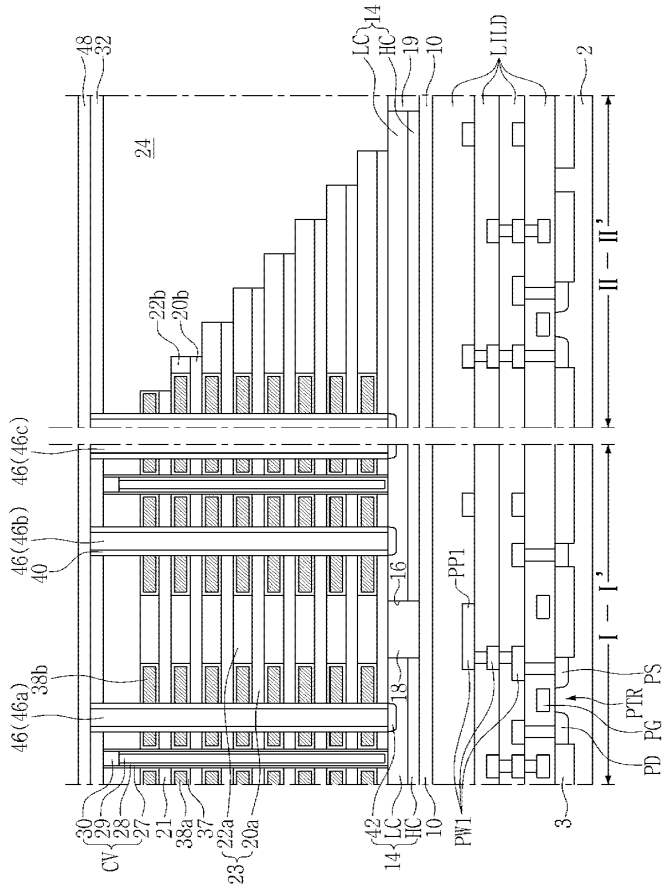
Micron Ex. 1002, p. 929
Micron v. YMTC
IPR2025-00294

도면24b



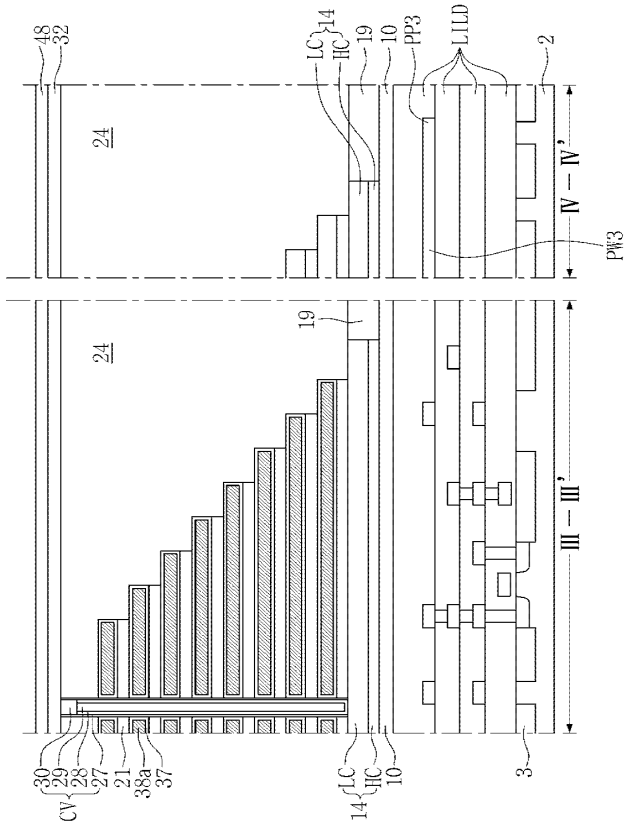
Micron Ex. 1002, p. 930
Micron v. YMTC
IPR2025-00294

도면28a



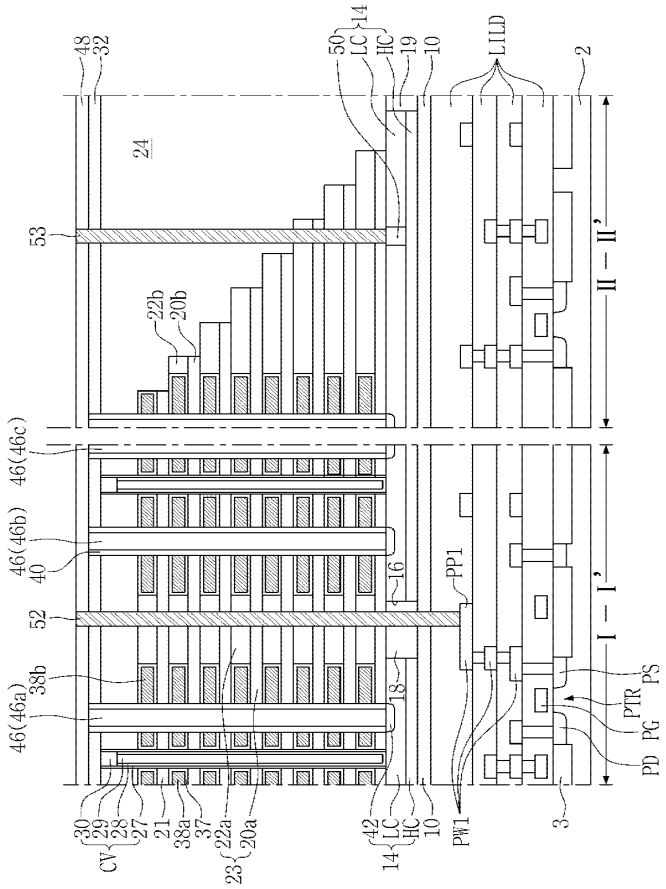
Micron Ex. 1002, p. 931
Micron v. YMTC
IPR2025-00294

도면25b



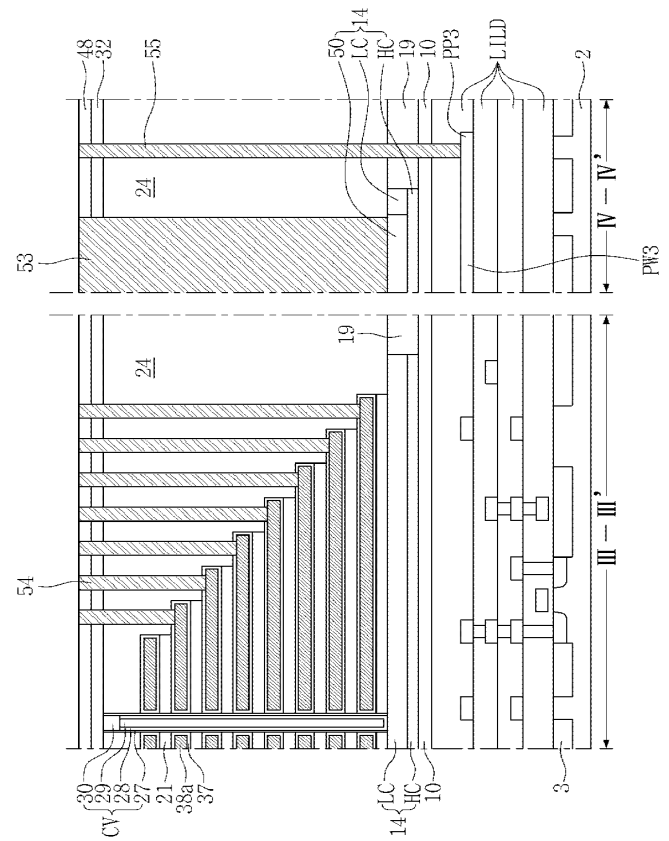
Micron Ex. 1002, p. 932
Micron v. YMTC
IPR2025-00294

도면28a



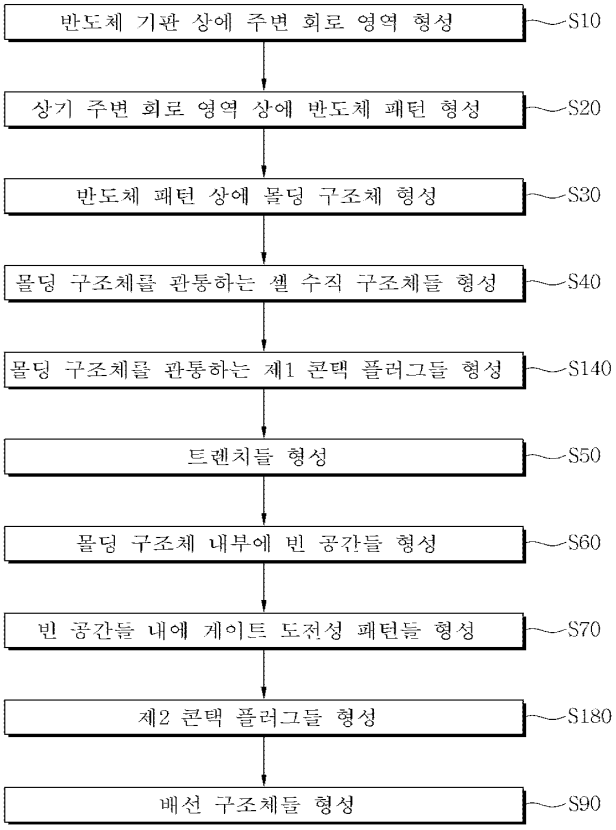
Micron Ex. 1002, p. 933
Micron v. YMTC
IPR2025-00294

도면26



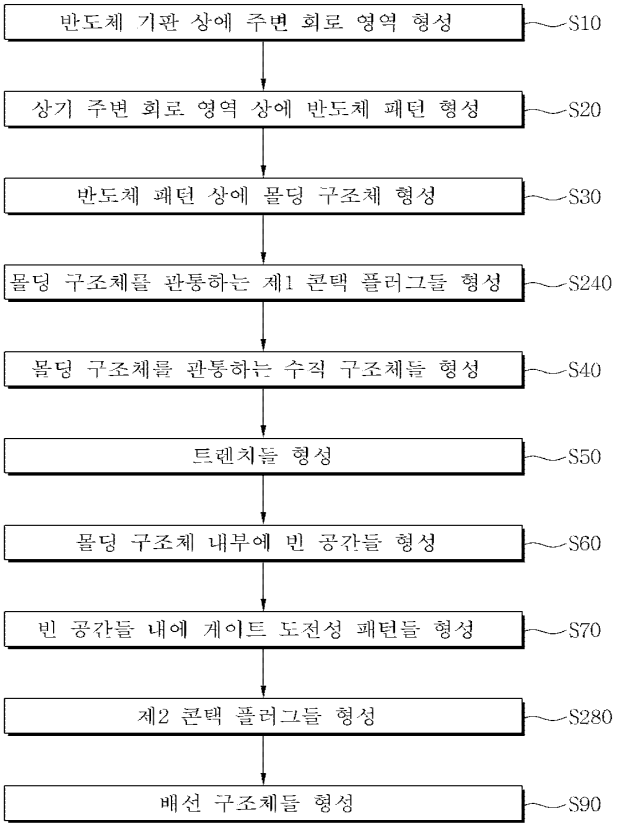
Micron Ex. 1002, p. 934
Micron v. YMTC
IPR2025-00294

도면7

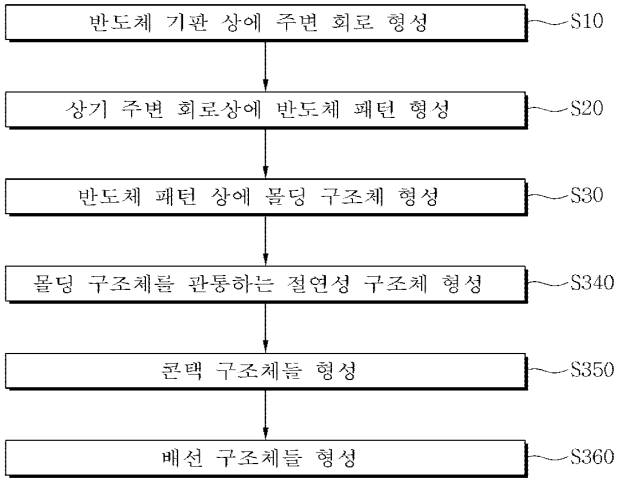


Micron Ex. 1002, p. 935
Micron v. YMTC
IPR2025-00294

도면28

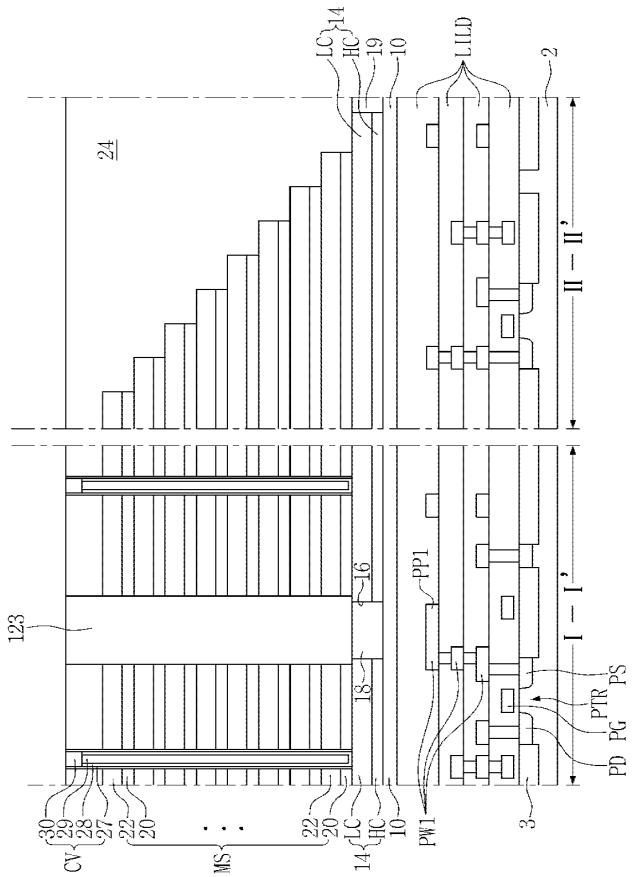


도면29



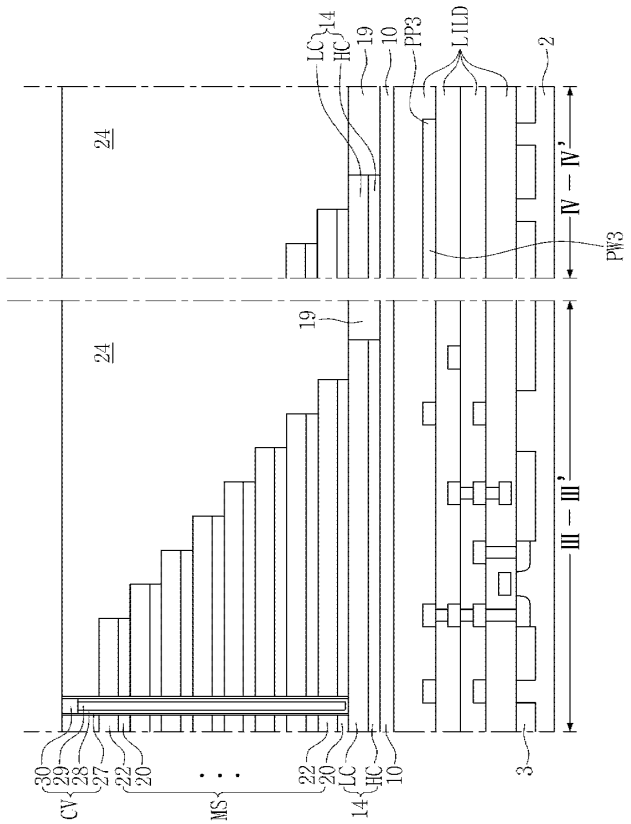
Micron Ex. 1002, p. 936
Micron v. YMTC
IPR2025-00294

도면30a



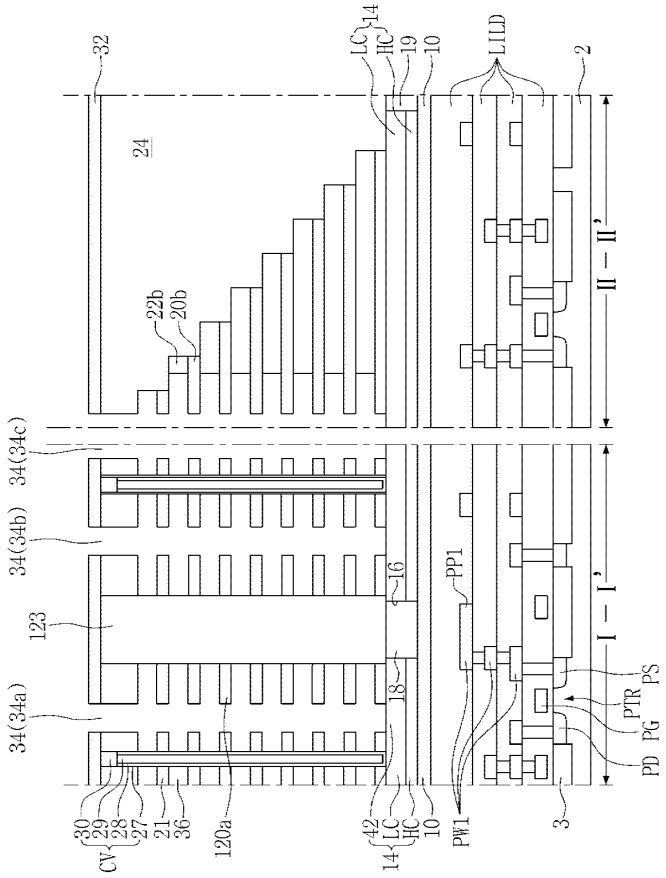
Micron Ex. 1002, p. 937
Micron v. YMTC
IPR2025-00294

도면30b



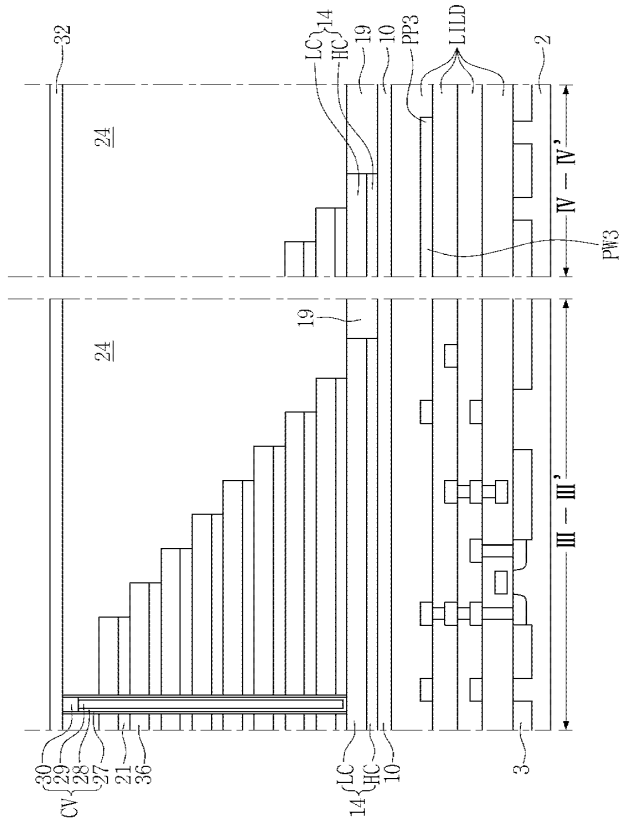
Micron Ex. 1002, p. 938
Micron v. YMTC
IPR2025-00294

도면37a



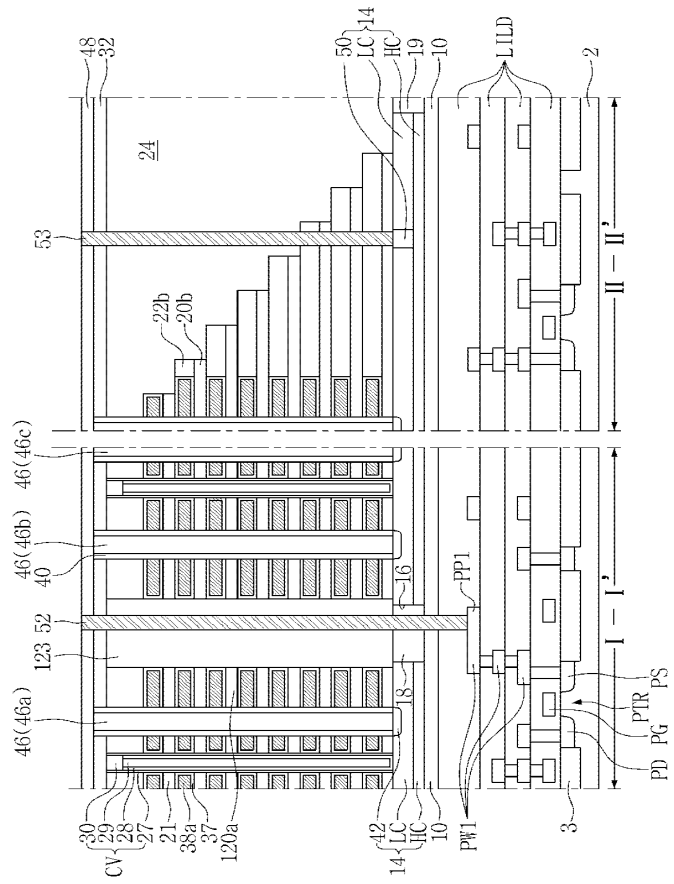
Micron Ex. 1002, p. 939
Micron v. YMTC
IPR2025-00294

도면316



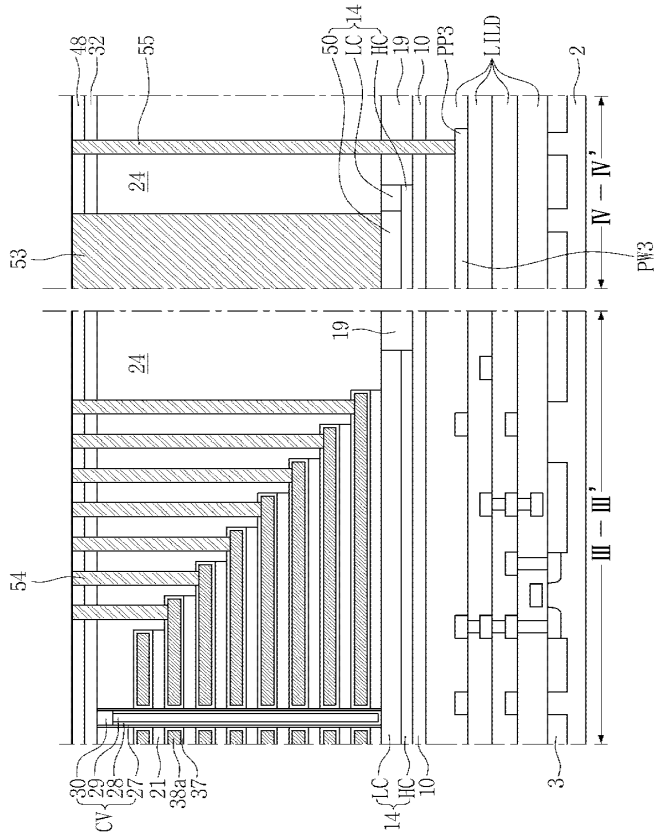
Micron Ex. 1002, p. 940
Micron v. YMTC
IPR2025-00294

도면32a



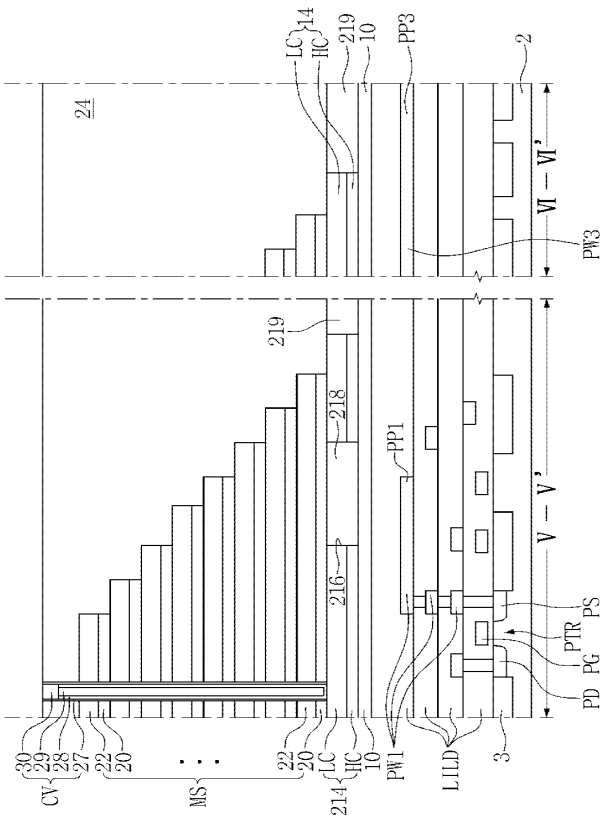
Micron Ex. 1002, p. 941
Micron v. YMTC
IPR2025-00294

도면32b



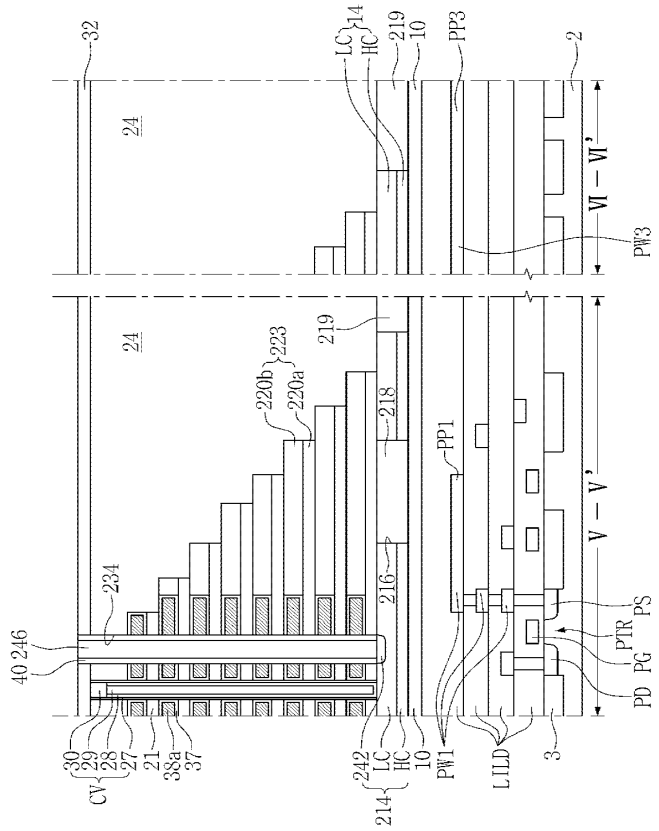
Micron Ex. 1002, p. 942
Micron v. YMTC
IPR2025-00294

도면33



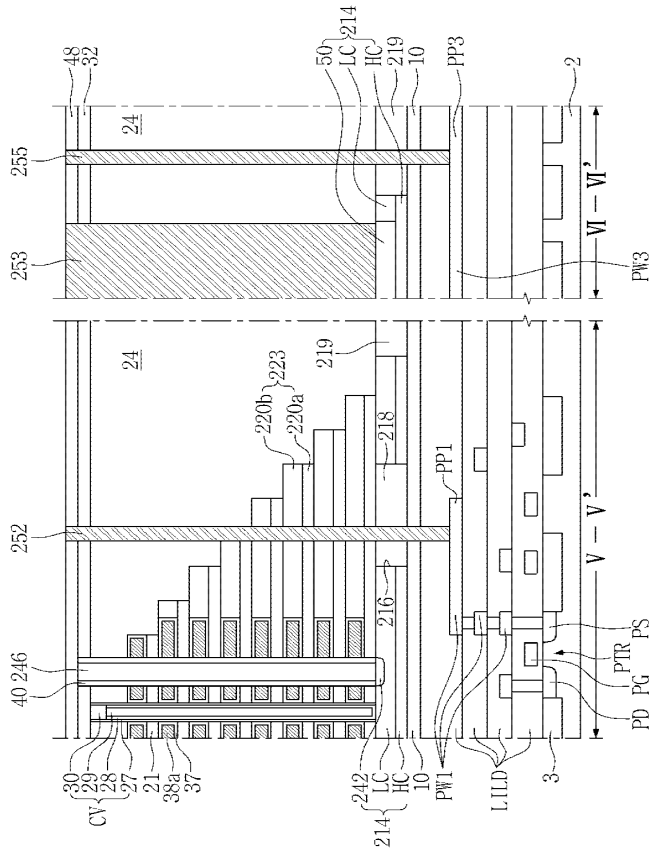
Micron Ex. 1002, p. 943
Micron v. YMTC
IPR2025-00294

도면34

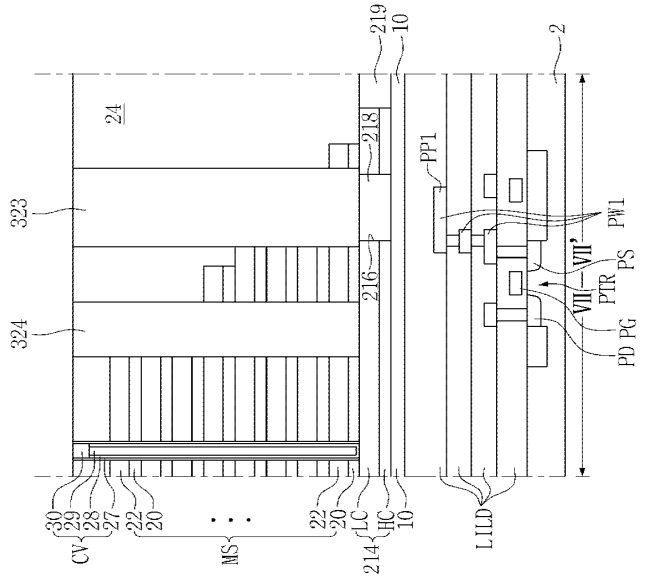


Micron Ex. 1002, p. 944
Micron v. YMTC
IPR2025-00294

도면38

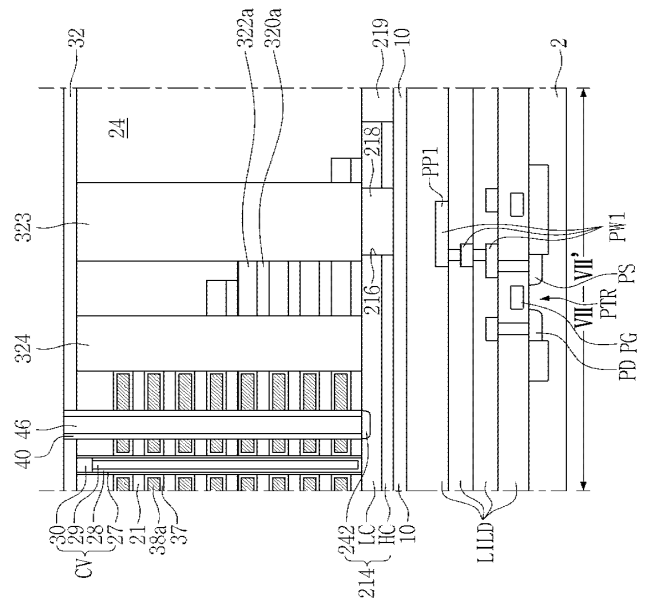


도면39

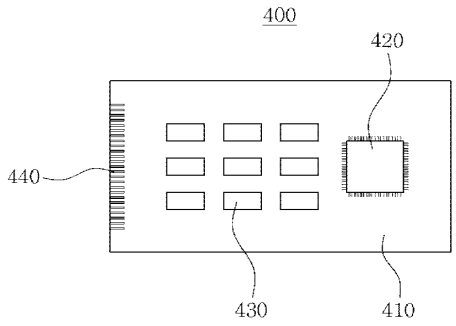


Micron Ex. 1002, p. 945
Micron v. YMTC
IPR2025-00294

도면37

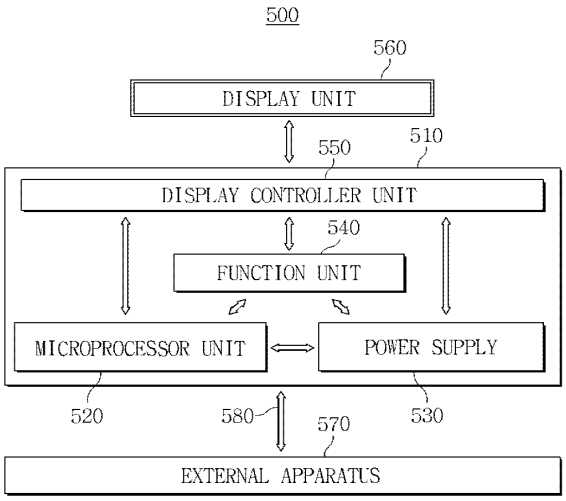


도면38

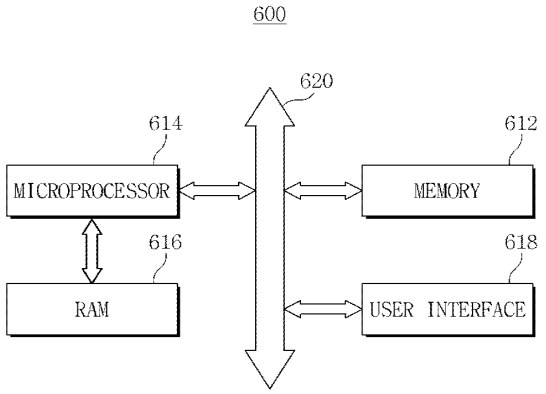


Micron Ex. 1002, p. 946
Micron v. YMTC
IPR2025-00294

도면39



도면40



Micron Ex. 1002, p. 947
Micron v. YMTC
IPR2025-00294

Electronic Patent Application Fee Transmittal

Application Number:	16046847
Filing Date:	26-Jul-2018
Title of Invention:	JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME
First Named Inventor/Applicant Name:	Zhenyu LU
Filer:	Wenchong Shu/Jon Baitlon
Attorney Docket Number:	4123.0110002

Filed as Large Entity

Filing Fees for Utility under 35 USC 111(a)

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Miscellaneous:				
SUBMISSION- INFORMATION DISCLOSURE STMT	1806	1	260	260
		Total in USD ($)		**260**

Electronic Acknowledgement Receipt

EFS ID:	40782087
Application Number:	16046847
International Application Number:	
Confirmation Number:	7612
Title of Invention:	JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME
First Named Inventor/Applicant Name:	Zhenyu LU
Customer Number:	26111
Filer:	Wenchong Shu/Jon Baitlon
Filer Authorized By:	Wenchong Shu
Attorney Docket Number:	4123.0110002
Receipt Date:	07-OCT-2020
Filing Date:	26-JUL-2018
Time Stamp:	14:46:45
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	CARD
Payment was successfully received in RAM	$260
RAM confirmation Number	E202007E47308495
Deposit Account	
Authorized User	
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Miscellaneous Incoming Letter	sIDS1-Cover-Letter-4123-0110002.pdf	276908 58a802b3e55163efbf7105df28b041eaf2fbdcc2	no	2
Warnings:					
Information:					
2	Transmittal Letter	sIDS1-Pleading-4123-0110002.pdf	131444 505b2e9605050ad688a1d591857f986bed5e0bc8	no	7
Warnings:					
Information:					
3	Information Disclosure Statement (IDS) Form (SB08)	sIDS2-SB08A-4123-0110002.pdf	150850 716d908cf40af1ea2d5a5ab1e76ec30a8fd8f7b1	no	1
Warnings:					
Information:					
This is not an USPTO supplied IDS fillable form					
4	Information Disclosure Statement (IDS) Form (SB08)	sIDS2-SB08B-4123-0110002.pdf	196684 46bd2d0e62d4410d59f726014a926e63f85c0677	no	1
Warnings:					
Information:					
This is not an USPTO supplied IDS fillable form					
5	Foreign Reference	FP1_CN105261617A.pdf	291367 4ce6f8fd232945a848c8784c6087009f559014f5	no	19
Warnings:					
Information:					
6	Foreign Reference	FP2_KR20110068145A.pdf	457681 8478a1c1807dcff7ab4a325b4ca86bd7dd38f646	no	32

Warnings:					
Information:					
7	Foreign Reference	FP3_KR20120029194A.pdf	577179 fe21eee0fb5a3edf722b02ba1fe10a0d399a73d7	no	55
Warnings:					
Information:					
8	Foreign Reference	FP4_KR20160003977A.pdf	248112 6f2b421e337918af0d901da689f5ef45c3703d55	no	33
Warnings:					
Information:					
9	Foreign Reference	FP5_KR20160069903A.pdf	477179 8feca23e1f84697a94f53083e16328d0ce876b56	no	74
Warnings:					
Information:					
10	Non Patent Literature	NPL1_KROA.pdf	202463 fda492de79c6f484f4f5a7317cb0e1ee146a3034	no	16
Warnings:					
Information:					
11	Non Patent Literature	NPL2_CNOA.pdf	269818 9dad0c1bbfa2becdd2777fda72f0588b604ecf2e	no	32
Warnings:					
Information:					
12	Fee Worksheet (SB06)	fee-info.pdf	30568 05fe4c60d884e096bb5e9504fef1a5b1d85d5f29	no	2
Warnings:					
Information:					
			Total Files Size (in bytes):	3310253	

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

WENCHONG SHU
PATENT AGENT
(202) 772-8656
WSHU@STERNEKESSLER.COM

October 7, 2020

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Confirmation No. 7612
Art Unit 2812
Attn: Mail Stop Issue Fee

Re: U.S. Utility Patent Application
Application No. 16/046,847; Filing Date: July 26, 2018
For: **JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME**
Inventors: LU *et al.*
Our Ref: 4123.0110002

Commissioner:

Transmitted herewith for appropriate action are the following documents:

1. Online Credit Card Payment Authorization in the amount of **$260.00** in payment of the fee under 37 C.F.R. § 1.17(p);

2. First Supplemental Information Disclosure Statement;

3. Form PTO/SB/08a (1 sheet) listing 13 documents (**US1-US8** and **FP1-FP5**);

4. Form PTO/SB/08b (1 sheet) listing 2 documents (**NPL1-NPL2**); and

5. Copies of cited documents (**FP1-FP5** and **NPL1-NPL2**).

In the event that extensions of time are necessary to prevent abandonment of this patent application, then such extensions of time are hereby petitioned.

Fee payment is provided through online credit card payment. The U.S. Patent and Trademark Office is hereby authorized to charge any fee deficiency, or credit any overpayment, to our Deposit Account No. 19-0036.

Micron Ex. 1002, p. 954
Micron v. YMTC
IPR2025-00294

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Wenchong Shu/

Wenchong Shu
Agent for Applicant
Registration No. 73,999

W-S/jcb
Enclosures

15688964_1.docx

Micron Ex. 1002, p. 955
Micron v. YMTC
IPR2025-00294

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventors: LU *et al.*	Confirmation No.: 7612
Applicant: Yangtze Memory Technologies Co., Ltd.	Art Unit: 2812
Application No.: 16/046,847	Examiner: PATEL, REEMA
Filing Date: July 26, 2018	Atty. Docket: 4123.0110002

Title: **JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME**

First Supplemental Information Disclosure Statement

Mail Stop Issue Fee

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Commissioner:

Listed on accompanying IDS Forms PTO/SB/08a equivalent and PTO/SB/08b equivalent are documents that may be considered material to the patentability of this application as defined in 37 C.F.R. §1.56, and in compliance with the duty of disclosure requirements of 37 C.F.R. §§ 1.97 and 1.98.

Applicant has listed publication dates on the attached IDS Forms based on information presently available to the undersigned. However, the listed publication dates should not be construed as an admission that the information was actually published on the date indicated.

Applicant reserves the right to establish the patentability of the claimed invention over any of the information provided herewith, and/or to prove that this information may not be prior art, and/or to prove that this information may not be enabling for the teachings purportedly offered.

This statement should not be construed as a representation that a search has been made, or that information more material to the examination of the present patent application does not exist. The Examiner is specifically requested not to rely solely on the material submitted herewith.

Applicant has checked the appropriate boxes below.

☐ 1. Statement under 37 C.F.R. 1.704(d). Each item of information contained in this Information Disclosure Statement: (i) was first cited in any communication from a patent office in a counterpart[1] foreign or international application or from the Office; and this communication was not received by any individual designated in Sec. 1.56(c) more than thirty days prior to the filing of this information disclosure statement; OR (ii) is a communication that was issued by a patent office in a counterpart foreign or international application or by the Office, and this communication was not received by any individual designated in Sec. 1.56(c) more than thirty days prior to the filing of the information disclosure statement.

☐ 2. Filing under 37 C.F.R. § 1.97(b). This Information Disclosure Statement is being filed within three months of the date of filing of a national application other than a continued prosecution application (CPA), OR within three months of the date of entry of the national stage as set forth in 37 C.F.R. § 1.491 in an international application, OR before the mailing date of a first Office Action on the merits OR before the mailing of a first Office Action

---

[1] The term counterpart foreign patent application means that a claim for priority has been made in either the U.S. application or a foreign application based on the other, or that the disclosures of the U.S. and foreign patent applications are substantively identical (e.g., an application filed in the European Patent Office claiming the same U.K. priority as claimed in the U.S. application).

Micron Ex. 1002, p. 957
Micron v. YMTC
IPR2025-00294

after the filing of a request for continued examination under 37 C.F.R. § 1.114. No statement or fee is required.

☐ 3. Filing under 37 C.F.R. § 1.97(c). This Information Disclosure Statement is being filed more than three months after the U.S. filing date AND after the mailing date of the first Office Action on the merits, but before the mailing date of a Final Rejection, or Notice of Allowance, or an action that otherwise closes prosecution in the application.

☐ a. Statement under 37 C.F.R. § 1.97(e)(1). I hereby state that each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this Information Disclosure Statement. 37 C.F.R. § 1.97(e)(1).

☐ b. Statement under 37 C.F.R. § 1.97(e)(2). I hereby state that no item of information in this Information Disclosure Statement was cited in a communication from a foreign patent office in a counterpart foreign application and, to my knowledge after making reasonable inquiry, was known to any individual designated in 37 C.F.R. § 1.56(c) more than three months prior to the filing of this Information Disclosure Statement. 37 C.F.R. § 1.97(e)(2).

☐ c. The required fee is provided through online credit card payment authorization in the amount of $260.00 in payment of the fee under 37 C.F.R. § 1.17(p).

☒ 4. Filing under 37 C.F.R. § 1.97(d) This Information Disclosure Statement is being filed more than three months after the U.S. filing date and after the mailing date of a Final Rejection or

Micron Ex. 1002, p. 958
Micron v. YMTC
IPR2025-00294

Notice of Allowance, but on or before payment of the Issue Fee. The required fee is provided through online credit card payment authorization in the amount of **$260.00** in payment of the fee under 37 C.F.R. § 1.17(p); in addition:

☒ a. Statement under 37 C.F.R. § 1.97(e)(1). I hereby state that each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this Information Disclosure Statement. 37 C.F.R. § 1.97(e)(1).

☐ b. Statement under 37 C.F.R. § 1.97(e)(2). I hereby state that no item of information in this Information Disclosure Statement was cited in a communication from a foreign patent office in a counterpart foreign application and, to my knowledge after making reasonable inquiry, was known to any individual designated in 37 C.F.R. § 1.56(c) more than three months prior to the filing of this Information Disclosure Statement. 37 C.F.R. § 1.97(e)(2).

☒ 5. The patent family for one or more foreign language documents submitted herewith includes a United States patent, and other patent, in the English language. Copies of both the particular foreign patent(s) or published foreign patent applications cited in the foreign patent office communication, and that are not already of record in this application, are enclosed. Copies of the related United States or other English language patent or published application from the family list, if not already of record, are listed on the accompanying SB/08A form. For the purposes of a statement under 37 CFR 1.97(e)(1), the United States or

Micron Ex. 1002, p. 959
Micron v. YMTC
IPR2025-00294

other English language patent or published application are to be construed as being cited by the foreign patent office. MPEP 609.04(b)(V).

☐ 6. The document(s) was/were cited in a search report by a foreign patent office in a counterpart foreign application. Submission of an English language version of the search report that indicates the degree of relevance found by the foreign office is provided in satisfaction of the requirement for a concise explanation of relevance. MPEP 609.04(a)(III).

☒ 7. A concise explanation of the relevance of the non-English language document(s) appears below in accordance with 37 C.F.R. § 1.98(a)(3).

Document **US2** (20110/143524 A1) is submitted herewith as the English-language counterpart of document **FP2** (KR 1020110068145 A).

Document **US4** (2016/0163732 A1) is submitted herewith as the English-language counterpart of document **FP5** (KR 1020160069903 A).

Document **US6** (10,229,927 B2) is submitted herewith as the English-language counterpart of document **FP4** (KR 1020160003977 A).

Document **US7** (10,600,801 B2) is submitted herewith as the English-language counterpart of document **FP3** (KR 1020120029194 A).

Document **US8** (10,644,020 B2) is submitted herewith as the English-language counterpart of document **FP1** (CN 105261617 A).

☒ 8. Copies of documents **FP1-FP5** and **NPL1-NPL2** are submitted. However, in accordance with 37 C.F.R. § 1.98(a)(2)(ii), no copies of the U.S. patents and patent application publications cited as documents **US1-US8** on the attached IDS Forms are submitted.

Micron Ex. 1002, p. 960
Micron v. YMTC
IPR2025-00294

☐ 9. Copies of the _____ documents were cited by or submitted to the Office in an IDS that complies with 37 C.F.R. § 1.98(a)-(c) in Application No._____, filed _____, which is relied upon for an earlier filing date under 35 U.S.C. § 120. Thus, copies of these documents are not attached. 37 C.F.R. § 1.98(d).

☐ 10. It is expected that the examiner will review the prosecution and cited art in the parent Application No(s). _____ in accordance with MPEP 2001.06(b), and indicate in the next communication from the office that the art cited in the earlier prosecution history has been reviewed in connection with the present application.

☐ 11. Applicants submit herewith Office Actions from the co-pending U.S. Patent Application No._____, filed _____, as documents _____ to _____. The identification of these Office Actions is not to be construed as a waiver of secrecy as to those applications now or upon issuance of the present application as a patent. The Examiner is respectfully requested to consider the cited applications and the art cited therein during examination.

Micron Ex. 1002, p. 961
Micron v. YMTC
IPR2025-00294

It is respectfully requested that the Examiner initial and return a copy of the enclosed IDS Forms, and indicate in the official file wrapper of this patent application that the documents have been considered.

The U.S. Patent and Trademark Office is hereby authorized to charge any fee deficiency, or credit any overpayment, to our Deposit Account No. 19-0036.

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Wenchong Shu/

Wenchong Shu
Agent for Applicant
Registration No. 73,999

Date: October 7, 2020

1100 New York Avenue, N.W.
Washington, D.C. 20005-3934
(202) 371-2600
15688937_1.docx

Micron Ex. 1002, p. 962
Micron v. YMTC
IPR2025-00294

DONALD J. FEATHERSTONE
DIRECTOR
(202) 772-8629
DONF@STERNEKESSLER.COM

Sterne Kessler
STERNE KESSLER GOLDSTEIN & FOX

October 16, 2020

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Confirmation No. 7612
Mail Stop Issue Fee

Re: Allowed U.S. Utility Patent Application
Appl. No. 16/046,847; Filed: July 26, 2018
For: **JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME**
Inventors: LU *et al.*
Our Ref: 4123.0110002

Commissioner:

In response to the **Notice of Allowance and Fee(s) Due** dated July 16, 2020, the following documents are transmitted for appropriate action by the U.S. Patent and Trademark Office:

1. Online Credit Card Payment Authorization for **$1,000.00** to cover:

   $1,000.00 - Issue Fee;

2. Issue Fee Transmittal (Form PTOL-85); and

3. Comments on Statement of Reasons for Allowance.

The above-listed documents are filed electronically via EFS-Web.

Fee payment is provided through online credit card payment. The U.S. Patent and Trademark Office is hereby authorized to charge any fee deficiency, or credit any overpayment, to our Deposit Account No. 19-0036.

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Donald J. Featherstone/

Donald J. Featherstone
Attorney for Applicant
Registration No. 33,876

DJF/W-S/mm
Enclosures
15494780.1

Micron Ex. 1002, p. 963
Micron v. YMTC
IPR2025-00294

Electronic Patent Application Fee Transmittal

Application Number:	16046847
Filing Date:	26-Jul-2018
Title of Invention:	JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME
First Named Inventor/Applicant Name:	Zhenyu LU
Filer:	Donald J. Featherstone/Michael Monteiro
Attorney Docket Number:	4123.0110002

Filed as Large Entity

Filing Fees for Utility under 35 USC 111(a)

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
UTILITY APPL ISSUE FEE	1501	1	1000	1000

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Extension-of-Time:				
Miscellaneous:				
		Total in USD ($)		**1000**

Electronic Acknowledgement Receipt	
EFS ID:	40870314
Application Number:	16046847
International Application Number:	
Confirmation Number:	7612
Title of Invention:	JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME
First Named Inventor/Applicant Name:	Zhenyu LU
Customer Number:	26111
Filer:	Donald J. Featherstone/Michael Monteiro
Filer Authorized By:	Donald J. Featherstone
Attorney Docket Number:	4123.0110002
Receipt Date:	16-OCT-2020
Filing Date:	26-JUL-2018
Time Stamp:	18:07:29
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	CARD
Payment was successfully received in RAM	$1000
RAM confirmation Number	E20200FI07583904
Deposit Account	
Authorized User	
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		2020-10-16-Issue-Fee-4123-0110002.pdf	1967318 7be020ef586830096b616e06f2f200ddeb378023	yes	3
	Multipart Description/PDF files in .zip description				
	Document Description		Start	End	
	Post Allowance Communication - Incoming		3	3	
	Issue Fee Payment (PTO-85B)		2	2	
	Miscellaneous Incoming Letter		1	1	
Warnings:					
Information:					
2	Fee Worksheet (SB06)	fee-info.pdf	30236 6d50b5b18624c62876f254793321a73b42f9411c	no	2
Warnings:					
Information:					
		Total Files Size (in bytes):	1997554		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventors: LU *et al.*	Confirmation No.: 7612
Applicant: Yangtze Memory Technologies Co., Ltd.	Art Unit: 2812
Application No.: 16/046,847	Examiner: PATEL, Reema
Filing Date: July 26, 2018	Atty. Docket: 4123.0110002

Title: **JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME**

Comments on Statement of Reasons for Allowance

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Mail Stop: Issue Fee

Commissioner:

Applicant thanks the Examiner for indicating the allowability of claims 1-20 in the Notice of Allowance dated July 16, 2020.

Comments on Statement of Reasons for Allowance

Applicant notes the Examiner's Statement of Reasons for Allowance presented on pages 2-3 of the Notice of Allowance. Applicant reserves the right to demonstrate claims 1-20 are allowable over the art made of record for further reasons related to any of their recited features. Applicant further contends that reservation of this right does not give rise to any implication regarding whether the Applicant agrees with or acquiesces in the reasoning provided by the Examiner.

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Donald J. Featherstone/

Donald J. Featherstone
Attorney for Applicant
Registration No. 33,876

Date: 10/16/2020

1100 New York Avenue, N.W.
Washington, D.C. 20005-3934
(202) 371-2600
15626401_1.docx

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), by mail or fax, or via EFS-Web.

By mail, send to: Mail Stop ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

By fax, send to: (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

26111 7590 07/16/2020
STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.
1100 NEW YORK AVENUE, N.W.
WASHINGTON, DC 20005

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being transmitted to the USPTO via EFS-Web or by facsimile to (571) 273-2885, on the date below.

(Typed or printed name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/046,847	07/26/2018	Zhenyu LU	4123.0110002	7612

TITLE OF INVENTION: JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	$1000	$0.00	$0.00	$1000	10/16/2020

EXAMINER	ART UNIT	CLASS-SUBCLASS
PATEL, REEMA	2812	257-324000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

☐ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.

☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-09 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list
(1) The names of up to 3 registered patent attorneys or agents OR, alternatively,
(2) The name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 Sterne, Kessler, Goldstein & Fox P.L.L.C.
2
3

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document must have been previously recorded, or filed for recordation, as set forth in 37 CFR 3.11 and 37 CFR 3.81(a). Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE: Yangtze Memory Technologies Co., Ltd.

(B) RESIDENCE: (CITY and STATE OR COUNTRY): Wuhan, Hubei, CHINA

Please check the appropriate assignee category or categories (will not be printed on the patent) : ☐ Individual ☒ Corporation or other private group entity ☐ Government

4a. Fees submitted: ☒ Issue Fee ☐ Publication Fee (if required) ☐ Advance Order - # of Copies _____

4b. Method of Payment: *(Please first reapply any previously paid fee shown above)*

☒ Electronic Payment via EFS-Web ☐ Enclosed check ☐ Non-electronic payment by credit card (Attach form PTO-2038)

☒ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment to Deposit Account No. 19-0036

5. **Change in Entity Status** (from status indicated above)

☐ Applicant certifying micro entity status. See 37 CFR 1.29

☐ Applicant asserting small entity status. See 37 CFR 1.27

☐ Applicant changing to regular undiscounted fee status.

NOTE: Absent a valid certification of Micro Entity Status (see forms PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.
NOTE: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.
NOTE: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: This form must be signed in accordance with 37 CFR 1.31 and 1.33. See 37 CFR 1.4 for signature requirements and certifications.

Authorized Signature /Donald J. Featherstone/ Date 10/16/2020

Typed or printed name Donald J. Featherstone Registration No. 33,876

PTOL-85 Part B (08-18) Approved for use through 01/31/2020 OMB 0651-0033 U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Micron Ex. 1002, p. 970
Micron v. YMTC
IPR2025-00294

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/046,847	07/26/2018	Zhenyu LU	4123.0110002	7612

26111 7590 10/28/2020

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.
1100 NEW YORK AVENUE, N.W.
WASHINGTON, DC 20005

EXAMINER	
PATEL, REEMA	

ART UNIT	PAPER NUMBER
2812	

NOTIFICATION DATE	DELIVERY MODE
10/28/2020	ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

e-office@sternekessler.com

Micron Ex. 1002, p. 971
Micron v. YMTC
IPR2025-00294

CORRECTED ***Notice of Allowability***	**Application No.** 16/046,847	**Applicant(s)** LU et al.	
	Examiner REEMA PATEL	**Art Unit** 2812	**AIA (FITF) Status** Yes

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☑ This communication is responsive to 10/7/20.
   ☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on _____.

2. ☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.

3. ☑ The allowed claim(s) is/are 1-20 . As a result of the allowed claim(s), you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see **http://www.uspto.gov/patents/init_events/pph/index.jsp** or send an inquiry to **PPHfeedback@uspto.gov.**

4. ☑ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

   Certified copies:

   a) ☑ All b) ☐ Some *c) ☐ None of the:

   1. ☑ Certified copies of the priority documents have been received.
   2. ☐ Certified copies of the priority documents have been received in Application No. _____ .
   3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

   * Certified copies not received: _____ .

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

5. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
   ☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____ .

   Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).

6. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

1. ☐ Notice of References Cited (PTO-892)
2. ☑ Information Disclosure Statements (PTO/SB/08), Paper No./Mail Date _____.
3. ☐ Examiner's Comment Regarding Requirement for Deposit of Biological Material _____.
4. ☐ Interview Summary (PTO-413), Paper No./Mail Date. _____.
5. ☐ Examiner's Amendment/Comment
6. ☑ Examiner's Statement of Reasons for Allowance
7. ☐ Other _____.

/REEMA PATEL/
Primary Examiner, Art Unit 2812

Micron Ex. 1002, p. 972
Micron v. YMTC
IPR2025-00294

DETAILED ACTION

Notice of Pre-AIA or AIA Status

1. The present application, filed on or after March 16, 2013, is being examined under the first inventor to file provisions of the AIA.

Information Disclosure Statement

2. The information disclosure statements (IDS) submitted on 10/7/20 were filed after the mailing date of the Notice of Allowance on 10/7/20. The submissions are in compliance with the provisions of 37 CFR 1.97. Accordingly, the information disclosure statements have been considered by the examiner.

Allowable Subject Matter

3. Claims 1-20 are allowed.

4. The following is an examiner's statement of reasons for allowance: The reasons for allowance for allowance have not changed since the previous Office Action (Notice of Allowance, 7/16/20).

Any comments considered necessary by applicant must be submitted no later than the payment of the issue fee and, to avoid processing delays, should preferably accompany the issue fee. Such submissions should be clearly labeled "Comments on Statement of Reasons for Allowance."

5. Any inquiry concerning this communication or earlier communications from the examiner should be directed to REEMA PATEL whose telephone number is (571)270-1436. The examiner can normally be reached on M-F, 8am-5pm EST.

Examiner interviews are available via telephone, in-person, and video conferencing using a USPTO supplied web-based collaboration tool. To schedule an

interview, applicant is encouraged to use the USPTO Automated Interview Request (AIR) at http://www.uspto.gov/interviewpractice.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Charles D Garber can be reached on (571)272-2194. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see https://ppair-my.uspto.gov/pair/PrivatePair. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/REEMA PATEL/
Primary Examiner, Art Unit 2812
10/22/20

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	16/046,847	LU et al.
	Examiner	Art Unit
	REEMA PATEL	2812

CPC - Searched*		
Symbol	Date	Examiner

CPC Combination Sets - Searched*		
Symbol	Date	Examiner

US Classification - Searched*			
Class	Subclass	Date	Examiner

* See search history printout included with this form or the SEARCH NOTES box below to determine the scope of the search.

Search Notes		
Search Notes	Date	Examiner
H01L 27/11578, 11565, 11582, 11578, 11565, 11582 with keywords	02/14/2020	RP
EAST search notes attached	02/14/2020	RP
Updated search	07/06/2020	RP
Checked references in IDSs	10/22/2020	RP

Interference Search			
US Class/CPC Symbol	US Subclass/CPC Group	Date	Examiner
	interference search history printout	07/06/2020	RP

/R.P/ Primary Examiner, Art Unit 2812	

Micron Ex. 1002, p. 975
Micron v. YMTC
IPR2025-00294

PTO/SB/08b (07-09)
Approved for use through 11/30/2020. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 1

Complete if Known	
Application Number	16/046,847
Filing Date	July 26, 2018
First Named Inventor	Zhenyu LU
Art Unit	2812
Examiner Name	PATEL, REEMA
Attorney Docket Number	4123.0110002

NON PATENT LITERATURE DOCUMENTS

Examiner Initials*	Cite No.[1]	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	T[2]
	NPL1	Korean Application No. 10-2019-7029469, Office Action mailed September 23, 2020; English Translation from EPO Global Dossier, 16 pages.	✓
	NPL2	Chinese Application No. 201910114048.8, Office Action mailed September 27, 2020; English Translation from EPO Global Dossier, 32`pages.	✓

Examiner Signature	/REEMA PATEL/	Date Considered	10/22/2020

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

[1] Applicant's unique citation designation number (optional). [2] Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /R.P/

PTO/SB/08a (07-09)
Approved for use through 11/30/2020. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 1

Complete if Known	
Application Number	16/046,847
Filing Date	July 26, 2018
First Named Inventor	Zhenyu LU
Art Unit	2812
Examiner Name	PATEL, REEMA
Attorney Docket Number	4123.0110002

U. S. PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Document Number Number-Kind Code[2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	US1	US- 2010/0109072 A1	05-06-2010	Kidoh et al.	
	US2	US- 20110/143524 A1	06-16-2011	Son et al.	
	US3	US- 2016/0071793 A1	03-10-2016	Shinohara et al.	
	US4	US- 2016/0163732 A1	06-09-2016	Lim et al.	
	US5	US- 9,570,463 B1	02-14-2017	Zhang et al.	
	US6	US- 10,229,927 B2	03-12-2019	Lee et al.	
	US7	US- 10,600,801 B2	03-24-2020	Lee et al.	
	US8	US- 10,644,020 B2	05-05-2020	Huo et al.	
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Foreign Patent Document Country Code[3] Number[4] Kind Code[5] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages Or Relevant Figures Appear	T[6]
	FP1	CN 105261617 A	01-20-2016	INST OF MICROELECTRONICS		
	FP2	KR 1020110068145 A	06-22-2011	SAMSUNG ELECTRONICS CO LT		
	FP3	KR 1020120029194 A	03-26-2012	SAMSUNG ELECTRONICS CO LT		
	FP4	KR 1020160003977 A	01-12-2016	SAMSUNG ELECTRONICS CO LT		
	FP5	KR 1020160069903 A	06-17-2016	SAMSUNG ELECTRONICS CO LT		

Examiner Signature	/REEMA PATEL/	Date Considered	10/22/2020

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. [1] Applicant's unique citation designation number (optional). [2] See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. [3] Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). [4] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [6] Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /R.P/

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	ISSUE DATE	PATENT NO.	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/046,847	11/24/2020	10847532	4123.0110002	7612

26111 7590 11/04/2020

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.
1100 NEW YORK AVENUE, N.W.
WASHINGTON, DC 20005

ISSUE NOTIFICATION

The projected patent number and issue date are specified above.

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment is 0 day(s). Any patent to issue from the above-identified application will include an indication of the adjustment on the front page.

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Application Assistance Unit (AAU) of the Office of Data Management (ODM) at (571)-272-4200.

APPLICANT(s) (Please see PAIR WEB site http://pair.uspto.gov for additional applicants):

Zhenyu LU, Wuhan, CHINA;
Yangtze Memory Technologies Co., Ltd., Wuhan, CHINA
Wenguang SHI, Wuhan, CHINA;
Guanping WU, Wuhan, CHINA;
Feng PAN, Wuhan, CHINA;
Xianjin WAN, Wuhan, CHINA;
Baoyou CHEN, Wuhan, CHINA;

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation, and commercialization of new technologies. The USA offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to encourage and facilitate business investment. To learn more about why the USA is the best country in the world to develop technology, manufacture products, and grow your business, visit SelectUSA.gov.

Micron Ex. 1002, p. 978
Micron v. YMTC
IPR2025-00294

Doc Code: QPIDS.REQ
Document Description: QuickPath Information Disclosure Statement

PTO/SB/09 (09-18)

CERTIFICATION AND REQUEST FOR CONSIDERATION OF AN INFORMATION DISCLOSURE STATEMENT FILED AFTER PAYMENT OF THE ISSUE FEE UNDER THE QPIDS PROGRAM

Non-Provisional Application Number: 16/046,847	Filing Date: 07-26-2018
First Named Inventor: Zhenyu LU	Title of Invention: JOINT OPENING STRUCTURES OF THREE-DIMENSIONALMEMORY DEVICES AND METHODS F

THE UNDERSIGNED HEREBY CERTIFIES AND REQUESTS THE FOLLOWING FOR THE ABOVE-IDENTIFIED APPLICATION.

1. Consideration is requested of the information disclosure statement (IDS) submitted herewith, which is being filed after payment of the issue fee.
2. Check the box next to the appropriate selection:
   ☑ Each item of information contained in the IDS was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the IDS. See 37 CFR 1.97(e)(1).

   OR

   ☐ No item of information contained in the IDS was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the IDS was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of the IDS. See 37 CFR 1.97(e)(2).

   OR

   ☐ See attached certification statement in compliance with 37 CFR 1.97(e).
3. Please charge the IDS fee set forth in 37 CFR 1.17(p) to Deposit Account No. 19-0036.
4. A Petition to Withdraw from Issue After Payment of the Issue Fee (37 CFR 1.313(c)(2)), including the petition fee set forth in 37 CFR 1.17(h), is submitted herewith as a **Web-based ePetition**. **WARNING:** Do not submit the petition as a follow-on paper via EFS-Web. Submit the petition as a Web-based ePetition by signing on to EFS-Web as a registered user, selecting the radio button next to "Existing application/patent," and then selecting the radio button next to "ePetition (for automatic processing and immediate grant, if all petitions requirements are met)." Failure to use the Web-based ePetition interface will result in automatic entry of the RCE.
5. A request for continued examination (RCE) under 37 CFR 1.114 and the RCE fee under 37 CFR 1.17(e) are submitted herewith.
6. The RCE will be treated as a "conditional" RCE. In the event the examiner determines that any item of information contained in the IDS necessitates the reopening of prosecution in the application, the undersigned understands that (i) the RCE will be processed and treated as an RCE under 37 CFR 1.114 and therefore (ii) the IDS fee under 37 CFR 1.17(p) will be returned in accordance with 37 CFR 1.97(b)(4). In the event that no item of information in the IDS necessitates reopening prosecution, the undersigned understands that the RCE will not be processed and the RCE fee under 37 CFR 1.17(e) will be returned.
7. This certification and request is being filed as a **Web-based ePetition** and is not accompanied by an amendment to the application. Inclusion of an amendment will result in automatic entry of the RCE.

Signature /Wenchong Shu/	Date 2020-11-23
Name (Print/Typed) Wenchong Shu	Practitioner Registration Number (if applicable) 73999

Note: *Signatures of all the inventors or assignees of record of the entire interest or their representative(s) are required in accordance with 37 CFR 1.33 and 11.18. Please see 37 CFR 1.4(d) for the form of the signature. If necessary, submit multiple forms for more than one signature, see below.**

☑ *Total of 1 forms are submitted.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventors: LU *et al.*	Confirmation No.: 7612
Applicant: Yangtze Memory Technologies Co., Ltd.	Art Unit: 2811
Application No.: 16/046,847	Examiner: PATEL, REEMA
Filing Date: July 26, 2018	Atty. Docket: 4123.0110002

Title: **JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME**

Second Supplemental Information Disclosure Statement Submitted Under the Quick Path (QPIDS) Program

Mail Stop 313(c)

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Commissioner:

Listed on accompanying IDS Forms PTO/SB/08a equivalent and PTO/SB/08b equivalent are documents that may be considered material to the patentability of this application as defined in 37 C.F.R. §1.56, and in compliance with the duty of disclosure requirements of 37 C.F.R. §§ 1.97 and 1.98.

Applicant has listed publication dates on the attached IDS Forms based on information presently available to the undersigned. However, the listed publication dates should not be construed as an admission that the information was actually published on the date indicated.

Applicant reserves the right to establish the patentability of the claimed invention over any of the information provided herewith, and/or to prove that this information may not be prior art, and/or to prove that this information may not be enabling for the teachings purportedly offered.

This statement should not be construed as a representation that a search has been made, or that information more material to the examination of the present patent application does not exist. The Examiner is specifically requested not to rely solely on the material submitted herewith.

The required fee is provided through authorization to deduct the amount of $260.00 from deposit account No. 19-0036 in payment of the fee under 37 C.F.R. § 1.17(p). I hereby certify that each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this Information Disclosure Statement. 37 C.F.R. § 1.97(e)(1).

The patent family for one or more foreign language documents submitted herewith includes a United States patent, and other patent, in the English language. Copies of both the particular foreign patent(s) or published foreign patent applications cited in the foreign patent office communication, and that are not already of record in this application, are enclosed. Copies of the related United States or other English language patent or published application from the family list, if not already of record, are listed on the accompanying SB/08A form. For the purposes of a statement under 37 CFR 1.97(e)(1), the United States or other English language patent or published application are to be construed as being cited by the foreign patent office. MPEP 609.04(b)(V).

A concise explanation of the relevance of the non-English language document(s) appears below in accordance with 37 C.F.R. § 1.98(a)(3).

Document **US1** (2010/0079622 A1) is submitted herewith as the English-language counterpart of document **FP1** (JP 20100080685 A).

Micron Ex. 1002, p. 981
Micron v. YMTC
IPR2025-00294

Document **NPL1**- Shows and Official Action for related Japanese Application 2019 - 570608.

Copies of documents **FP1** and **NPL1** are submitted. However, in accordance with 37 C.F.R. § 1.98(a)(2)(ii), no copy of the U.S. patent and patent application publication cited as document **US1** on the attached IDS Form is submitted.

It is respectfully requested that the Examiner initial and return a copy of the enclosed IDS Forms, and indicate in the official file wrapper of this patent application that the documents have been considered.

The U.S. Patent and Trademark Office is hereby authorized to charge any fee deficiency, or credit any overpayment, to our Deposit Account No. 19-0036.

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Wenchong Shu/

Wenchong Shu
Agent for Applicant
Registration No. 73,999

Date: November 23, 2020

1100 New York Avenue, N.W.
Washington, D.C. 20005-3934
(202) 371-2600
15894368_1.docx

Micron Ex. 1002, p. 982
Micron v. YMTC
IPR2025-00294

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2010-80685
(P2010-80685A)
(43)公開日　平成22年4月8日(2010.4.8)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 21/8247	(2006.01)	H01L	27/10	434	5F033
H01L 27/115	(2006.01)	H01L	27/10	451	5F083
H01L 27/10	(2006.01)	H01L	29/78	371	5F101
H01L 29/788	(2006.01)	H01L	45/00	Z	
H01L 29/792	(2006.01)	H01L	49/00	Z	

審査請求 未請求　請求項の数 5　OL　（全 26 頁）　最終頁に続く

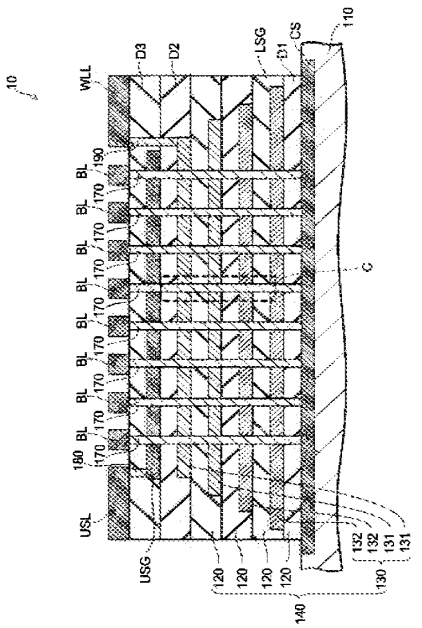
(21)出願番号　特願2008-247549 (P2008-247549)
(22)出願日　平成20年9月26日 (2008.9.26)

(71)出願人　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100108062
弁理士　日向寺　雅彦
(72)発明者　吉水　康人
東京都港区芝浦一丁目１番１号　株式会社東芝内
(72)発明者　中尾　隆
東京都港区芝浦一丁目１番１号　株式会社東芝内
(72)発明者　相宗　史記
東京都港区芝浦一丁目１番１号　株式会社東芝内

最終頁に続く

(54)【発明の名称】不揮発性記憶装置及びその製造方法

(57)【要約】
【課題】多数の積層膜を有する構造においても基板の反りが小さい不揮発性記憶装置及びその製造方法を提供する。
【解決手段】基板と、前記基板の上に交互に積層され、積層方向に貫通する貫通孔が形成されたそれぞれ複数の絶縁膜及び電極膜と、前記貫通孔の内部に形成された半導体ピラーと、少なくとも前記半導体ピラーと前記電極膜との間に設けられた電荷蓄積層と、を備え、前記絶縁膜は、圧縮応力及び引張応力のいずれか一方を発現する膜を含み、前記電極膜は、前記圧縮応力及び引張応力のいずれか他方を発現する膜を含むことを特徴とする不揮発性記憶装置が提供される。
【選択図】図１



Micron Ex. 1002, p. 983
Micron v. YMTC
IPR2025-00294

【特許請求の範囲】
【請求項1】
基板と、
前記基板の上に交互に積層され、積層方向に貫通する貫通孔が形成されたそれぞれ複数の絶縁膜及び電極膜と、
前記貫通孔の内部に形成された半導体ピラーと、
少なくとも前記半導体ピラーと前記電極膜との間に設けられた電荷蓄積層と、
を備え、
前記絶縁膜は、圧縮応力及び引張応力のいずれか一方を発現する膜を含み、
前記電極膜は、前記圧縮応力及び引張応力のいずれか他方を発現する膜を含むことを特徴とする不揮発性記憶装置。
【請求項2】
前記電極膜は、前記いずれか他方を発現する第１電極膜と、前記いずれか一方を発現する第２電極膜と、を含むことを特徴とする請求項１記載の不揮発性記憶装置。
【請求項3】
圧縮応力及び引張応力のいずれか一方を発現する絶縁膜と、いずれか他方を発現する電極膜と、を基板の上に交互に形成し、
前記絶縁膜と前記電極膜とを積層方向に貫通する貫通孔を形成し、
前記貫通孔の内部に設けられた半導体ピラーと、少なくとも前記半導体ピラーと前記電極膜との間に設けられた電荷蓄積層と、を形成することを特徴とする不揮発性記憶装置の製造方法。
【請求項4】
複数の要素メモリ層を積み重ねた不揮発性記憶装置であって、
前記複数の要素メモリ層のそれぞれは、
第１配線と、
前記第１配線に対して非平行に設けられた第２配線と、
前記第１配線と前記第２配線との間に設けられ、記録層と整流素子とを含む積層構造体と、
を有し、
前記整流素子は、
圧縮応力及び引張応力のいずれか一方を発現する第１整流素子膜と、
前記圧縮応力及び引張応力のいずれか他方を発現する第２整流素子膜と、
を含むことを特徴とする不揮発性記憶装置。
【請求項5】
第１配線と、
前記第１配線に対して非平行に設けられた第２配線と、
前記第１配線と前記第２配線との間に設けられ、記録層と整流素子とを含む積層構造体と、
を有する要素メモリ層を複数積み重ねた不揮発性記憶装置の製造方法であって、
前記整流素子の一部となる、圧縮応力及び引張応力のいずれか一方を発現する第１整流素子膜を形成し、
前記整流素子の別の一部となる、前記いずれか他方を発現する第２整流素子膜を形成することを特徴とする不揮発性記憶装置の製造方法。

【発明の詳細な説明】
【技術分野】
【0001】
本発明は、不揮発性記憶装置及びその製造方法に関する。
【背景技術】
【0002】
近年、フラッシュメモリの高密度化を図るために、セルを多層化する技術が開発されて

Micron Ex. 1002, p. 984
Micron v. YMTC
IPR2025-00294

いる。例えば、基板上に絶縁膜と電極膜とを交互に積層した後、一括で貫通孔を形成し、この貫通孔の側面上に電荷を保持する電荷蓄積層を形成し、貫通孔の内部に柱状電極を埋め込む。これにより、各柱状電極と電極膜との交差部分に、メモリセルが３次元的に配列される。そして、最上層の電極膜上に一方向に延びる複数本の選択ゲート線を設け、その上方に他方向に延びる複数本のビット線を設けて柱状電極の上端部に接続することにより、任意の柱状電極が選択可能となる。一方、各電極膜を相互に異なるワード配線に接続することにより、任意の電極膜が選択可能となる。この結果、任意のメモリセルを選択して、データの書き込み、読み出しを行うことができる。

【0003】

一方、相変化メモリや抵抗変化メモリ等の、抵抗材料の可変抵抗状態を利用する不揮発性記憶装置は、高密度、高信頼性の不揮発性記憶装置として期待されている。この場合も、相変化メモリ部や抵抗変化メモリ部は基板の上に多数積層され、高い記憶密度を実現する。

【0004】

このように、セルを多層化した電荷蓄積層型の不揮発性記憶装置や、相変化メモリや抵抗変化メモリにおいては、基板上に多数の膜が積層されるため、基板の片面のみに圧縮応力や引張応力を発現する膜が形成され、基板のひずみが増加し、基板が大きく反る。例えば多結晶シリコンとＴＥＯＳ（Tetra ethyl Ortho Silicate）膜との積層膜を３２層積層すると、基板の反りは、凸方向に２００μｍ以上となる。このような大きな反りは、製造工程における精度を劣化させ、また製造装置の安定した稼働を妨げ、また、ウェーハの割れの原因にもなり大きな問題となる。

【0005】

なお、特許文献１には、ウェーハの反りを低減する技術が公開されている。

【特許文献1】特開２００５－２６４０４号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明は、多数の積層膜を有する構造においても基板の反りが小さい不揮発性記憶装置及びその製造方法を提供する。

【課題を解決するための手段】

【0007】

本発明の一態様によれば、基板と、前記基板の上に交互に積層され、積層方向に貫通する貫通孔が形成されたそれぞれ複数の絶縁膜及び電極膜と、前記貫通孔の内部に形成された半導体ピラーと、少なくとも前記半導体ピラーと前記電極膜との間に設けられた電荷蓄積層と、を備え、前記絶縁膜は、圧縮応力及び引張応力のいずれか一方を発現する膜を含み、前記電極膜は、前記圧縮応力及び引張応力のいずれか他方を発現する膜を含むことを特徴とする不揮発性記憶装置が提供される。

【0008】

本発明の別の一態様によれば、圧縮応力及び引張応力のいずれか一方を発現する絶縁膜と、いずれか他方を発現する電極膜と、を基板の上に交互に形成し、前記絶縁膜と前記電極膜とを積層方向に貫通する貫通孔を形成し、前記貫通孔の内部に設けられた半導体ピラーと、少なくとも前記半導体ピラーと前記電極膜との間に設けられた電荷蓄積層と、を形成することを特徴とする不揮発性記憶装置の製造方法が提供される。

【0009】

本発明の別の一態様によれば、複数の要素メモリ層を積み重ねた不揮発性記憶装置であって、前記複数の要素メモリ層のそれぞれは、第１配線と、前記第１配線に対して非平行に設けられた第２配線と、前記第１配線と前記第２配線との間に設けられ、記録層と整流素子とを含む積層構造体と、を有し、前記整流素子は、圧縮応力及び引張応力のいずれか一方を発現する第１整流素子膜と、前記圧縮応力及び引張応力のいずれか他方を発現する第２整流素子膜と、を含むことを特徴とする不揮発性記憶装置が提供される。

Micron Ex. 1002, p. 985
Micron v. YMTC
IPR2025-00294

【0010】
本発明の別の一態様によれば、第１配線と、前記第１配線に対して非平行に設けられた第２配線と、前記第１配線と前記第２配線との間に設けられ、記録層と整流素子とを含む積層構造体と、を有する要素メモリ層を複数積み重ねた不揮発性記憶装置の製造方法であって、前記整流素子の一部となる、圧縮応力及び引張応力のいずれか一方を発現する第１整流素子膜を形成し、前記整流素子の別の一部となる、前記いずれか他方を発現する第２整流素子膜を形成することを特徴とする不揮発性記憶装置の製造方法が提供される。
【発明の効果】
【0011】
本発明によれば、多数の積層膜を有する構造においても基板の反りが小さい不揮発性記憶装置及びその製造方法が提供される。
【発明を実施するための最良の形態】
【0012】
以下に、本発明の各実施の形態について図面を参照しつつ説明する。
なお、図面は模式的または概念的なものであり、各部分の厚みと幅との関係、部分間の大きさの比係数などは、必ずしも現実のものと同一とは限らない。また、同じ部分を表す場合であっても、図面により互いの寸法や比係数が異なって表される場合もある。
また、本願明細書と各図において、既出の図に関して前述したものと同様の要素には同一の符号を付して詳細な説明は適宜省略する。
【0013】
（第１の実施の形態）
本発明の第１の実施形態に係る不揮発性記憶装置は、絶縁膜と電極膜とを交互に積層し、一括して貫通孔を形成し、この貫通孔の側面に電荷蓄積層が形成される不揮発性記憶装置の例である。
図１は、本発明の第１の実施形態に係る不揮発性記憶装置の構成を例示する模式的断面図である。
図２は、本発明の第１の実施形態に係る不揮発性記憶装置の構成を例示する模式的斜視図である。
図３は、本発明の第１の実施形態に係る不揮発性記憶装置の一部の構成を例示する模式的断面図である。
すなわち、図１は、図２のＡ―Ａ’線断面図である。また、図３は、図１のＣ部を拡大した模式的断面図である。
なお、図２においては、図を見易くするために、導電部分のみを示し、絶縁部分の図示は省略している。また、図１～図３においては、積層数を実際よりも少なく描いている。
【0014】
図１、図２に表したように、本発明の第１の実施形態に係る不揮発性記憶装置１０においては、例えば単結晶シリコンからなる基板１１０が設けられている。基板１１０の上層部分における矩形の領域には、不純物が導入されて半導体領域が形成されており、セルソースＣＳとなっている。基板１１０の上におけるセルソースＣＳの直上域には、例えば酸化シリコン（SiO_2）からなる絶縁層Ｄ１が設けられており、その上には、多結晶シリコンからなる下側選択ゲートＬＳＧが設けられている。
【0015】
下側選択ゲートＬＳＧの上方には、複数の絶縁膜１２０と電極膜１３０とが交互に積層された積層体１４０が形成されている。電極膜１３０はワード線ＷＬとなっており、絶縁膜１２０は、ワード線ＷＬ同士を絶縁する層間絶縁膜となっている。
図１～図３においては、電極膜１３０は、４層描かれているが、本具体例の場合は電極膜１３０の層数は、２０層である。
そして、本実施形態に係る不揮発性記憶装置１０においては、電極膜１３０は、例えば、第１電極膜１３１と第２電極膜１３２とを有している。具体的には、１層目～１２層目の電極膜１３０は、第２電極膜１３２であり、１３層目～２０層目の電極膜１３０は、第

Micron Ex. 1002, p. 986
Micron v. YMTC
IPR2025-00294

１電極膜１３１である。そして、第２電極膜１３２には、圧縮性の応力を発現する多結晶シリコン（ポリシリコン、ｐ－Ｓｉ）が用いられ、第１電極膜１３１には、引張性の応力を発現する非晶質シリコン（アモルファスシリコン、ａ－Ｓｉ）が用いられる。

【0016】

一方、絶縁膜１２０は、電極膜１３０の総数に対応するだけ設けられる。そして、本実施形態に係る不揮発性記憶装置１０においては、絶縁膜１２０には、例えば、圧縮性の応力を発現するＴＥＯＳ（Tetra ethyl Ortho Silicate）を用いることができる。

【0017】

以下、本明細書においては、説明の便宜上、ＸＹＺ直交座標系を導入する。この座標系においては、基板１１０の上面に平行な方向であって相互に直交する２方向をＸ方向及びＹ方向とし、Ｘ方向及びＹ方向の双方に対して直交する方向、すなわち、絶縁膜１２０及び電極膜１３０の積層方向をＺ方向とする。

【0018】

なお、電極膜１３０は、上層に配置された電極膜１３０ほどＸ方向における長さが短くなっており、上方（＋Ｚ方向）から見て、各電極膜１３０は、それより下方に配置された電極膜１３０、下側選択ゲートＬＳＧ及びセルソースＣＳの内側に配置されている。電極膜１３０から見て±Ｘ方向及び±Ｙ方向の領域には、絶縁層（図示せず）が設けられている。また、積層体１４０は、Ｙ方向に沿って複数個設けられている。

【0019】

そして、積層体１４０の上には絶縁層Ｄ２が設けられており、その上には、例えば多結晶シリコンからなる上側選択ゲートＵＳＧが設けられており、その上には、絶縁層Ｄ３が設けられている。上側選択ゲートＵＳＧは、例えば多結晶シリコンからなる１枚の導電膜がＹ方向に沿って分断されて形成されたものであり、Ｘ方向に延びる複数本の配線状の導電部材となっている。これに対して、ワード線ＷＬ及び下側選択ゲートＬＳＧは、積層体１４０ごとに形成されており、それぞれがＸＹ平面に平行な１枚の板状の導電部材となっている。また、セルソースＣＳも分断されておらず、複数の積層体１４０の直下域をつなぐように、ＸＹ平面を構成する１枚の板状の導電部材となっている。

【0020】

積層体１４０を構成する各絶縁膜１２０及び各電極膜１３０には、積層方向（Ｚ方向）に延びる複数本の半導体ピラー１７０が埋設されている。各半導体ピラー１７０は積層体１４０の全体を貫いており、その直径は例えば９０ｎｍである。また、例えば、半導体ピラー１７０は、Ｘ方向及びＹ方向に沿ってマトリクス状に配列されており、Ｘ方向及びＹ方向のそれぞれにおいて、半導体ピラー１７０の配列周期は一定である。

【0021】

半導体ピラー１７０は、不純物がドープされた半導体、例えば、多結晶シリコンまたは非晶質シリコンによって形成されている。

また、図3に表したように、半導体ピラー１７０と、絶縁膜１２０及び電極膜１３０との間の円筒状の部分には、外側、すなわち、絶縁膜１２０及び電極膜１３０側から順に、第１絶縁層２５０、電荷蓄積層２６０、第２絶縁層２７０がこの順に積層されている。第１絶縁層２５０及び第２絶縁層２７０には、例えば酸化シリコン（SiO_2）を用いることができ、電荷蓄積層２６０には、例えば窒化シリコン（ＳｉＮ）を用いることができる。

【0022】

そして、半導体ピラー１７０が、ソース領域、チャネル領域、及び、ドレイン領域として機能し、ワード線ＷＬがコントロールゲートとして機能し、電荷蓄積層２６０が記憶層として機能することにより、ＮＡＮＤ型フラッシュメモリが構成されて、これがメモリセルとなる。これにより、１本の半導体ピラー１７０及びその周囲には、ワード線ＷＬと同数のメモリセルがＺ方向に一列に配列され、１本のメモリストリングが構成されている。また、不揮発性記憶装置１０においては、複数本の半導体ピラー１７０がＸ方向及びＹ方向に沿ってマトリクス状に配列されているため、複数のメモリセルが、Ｘ方向、Ｙ方向、

Micron Ex. 1002, p. 987
Micron v. YMTC
IPR2025-00294

Ｚ方向に沿って、３次元格子状に配列されている。

【0023】

なお、半導体ピラー１７０の直下には、図示しない下側柱状電極が設けられ、その下側柱状電極は、絶縁層Ｄ１及び下側選択ゲートＬＳＧを貫通しており、その下端はセルソースＣＳに接続され、その上端は半導体ピラー１７０に接続されている。下側柱状電極と絶縁層Ｄ１及び下側選択ゲートＬＳＧとの間には、図示しないゲート絶縁膜が設けられる。

【0024】

一方、半導体ピラー１７０の直上には、図示しない上側柱状電極が設けられ、その上側柱状電極は、絶縁層Ｄ２、上側選択ゲートＵＳＧ、絶縁層Ｄ３を貫通しており、その下端は半導体ピラー１７０に接続されている。上側柱状電極と、絶縁層Ｄ２、上側選択ゲートＵＳＧ及び絶縁層Ｄ３との間には、図示しないゲート絶縁膜が設けられる。

下側柱状電極及び上側柱状電極には、不純物がドープされた半導体、例えば、多結晶シリコンまたは非晶質シリコンを用いることができる。

【0025】

各下側柱状電極、各半導体ピラー１７０及び各上側柱状電極は一体的に連結されており、これにより、１本の柱状の半導体部材が構成されている。そして、上述の如く、上側柱状電極は、上側選択ゲートＵＳＧを貫通し、半導体ピラー１７０は複数のワード線ＷＬを貫通し、下側柱状電極は、下側選択ゲートＬＳＧを貫通している。

【0026】

また、絶縁層Ｄ３上であって上側選択ゲートＵＳＧが配置されている領域の直上域には、Ｙ方向に延びる複数本のビット配線ＢＬが設けられている。ビット配線ＢＬには、金属、例えば、タングステン（Ｗ）、アルミニウム（Ａｌ）及び銅（Ｃｕ）等を用いることができる。なお、本明細書において「金属」というときは、純金属の他に合金も含むものとする。

ビット配線ＢＬは、半導体ピラー１７０の直上域に設けられており、各ビット配線ＢＬは、Ｙ方向に沿って配列された各列の上側柱状電極の上端部に接続されている。これにより、半導体ピラー１７０は、Ｙ方向に延びる列ごとに、異なるビット配線ＢＬに接続されている。ビット配線ＢＬは、Ｙ方向に配列された複数の積層体１４０の直上域を通過するように連続的に配設されており、各積層体１４０の半導体ピラー１７０に共通接続されている。

【0027】

さらに、ビット配線ＢＬが配置されている領域の－Ｘ方向側には、Ｘ方向に延びる複数本の上側選択ゲート配線ＵＳＬが設けられている。上側選択ゲート配線ＵＳＬには、金属、例えば、タングステン、アルミニウム及び銅等を用いることができる。上側選択ゲート配線ＵＳＬの本数は、上側選択ゲートＵＳＧの本数と同じであり、各上側選択ゲート配線ＵＳＬが各ビア１８０を介して各上側選択ゲートＵＳＧに接続されている。

【0028】

また、ビット配線ＢＬが配置されている領域の＋Ｘ方向側には、１つの積層体１４０ごとに、Ｘ方向に延びる複数本のワード配線ＷＬＬ、Ｘ方向に延びる１本の下側選択ゲート配線ＬＳＬ、及びＸ方向に延びる１本のセルソース配線ＣＳＬが設けられている。ワード配線ＷＬＬ、下側選択ゲート配線ＬＳＬ、及びセルソース配線ＣＳＬには、金属、例えば、タングステン、アルミニウム及び銅を用いることができる。

１つの積層体１４０に対応するワード配線ＷＬＬの本数は、ワード線ＷＬの枚数と同じであり、各ワード配線ＷＬＬがビア１９０を介して各ワード線ＷＬに接続されている。また、下側選択ゲート配線ＬＳＬはビア２００を介して下側選択ゲートＬＳＧに接続されており、セルソース配線ＣＳＬはコンタクト２１０を介してセルソースＣＳに接続されている。ビア１９０、２００及びコンタクト２１０は、それらが接続される電極膜１３０の直上域であって、それより上層の電極膜１３０から見て＋Ｘ方向側に外れた領域に形成されている。

【0029】

Micron Ex. 1002, p. 988
Micron v. YMTC
IPR2025-00294

ビット配線ＢＬ、上側選択ゲート配線ＵＳＬ、ワード配線ＷＬＬ、下側選択ゲート配線ＬＳＬ及びセルソース配線ＣＳＬは、例えば、高さ方向（Ｚ方向）の位置、厚さ、材料が同一であり、例えば、１枚の金属膜がパターニングされて形成されることができる。各配線間は、層間絶縁膜（図示せず）によって絶縁されている。

【0030】

なお、不揮発性記憶装置１０においては、ビット配線ＢＬを介して上側柱状電極の上端部に電位を印加するドライバ回路、セルソース配線ＣＳＬ、コンタクト２１０及びセルソースＣＳを介して下側柱状電極の下端部に電位を印加するドライバ回路、上側選択ゲート配線ＵＳＬ及びビア１８０を介して上側選択ゲートＵＳＧに電位を印加するドライバ回路、下側選択ゲート配線ＬＳＬ及びビア２００を介して下側選択ゲートＬＳＧに電位を印加するドライバ回路、ワード配線ＷＬＬ及びビア１９０を介して各ワード線ＷＬに電位を印加するドライバ回路（いずれも図示せず）が設けられる。

【0031】

本実施形態に係る不揮発性記憶装置１０は、既に説明したように、電荷蓄積層２６０を記憶層とする不揮発性記憶装置であり、各メモリセルに対応する電極膜１３０が絶縁膜１２０を介して、基板１１０の上に、複数層積層されている。そして、本具体例においては、１層目～１２層目の電極膜１３０である第２電極膜１３２に、圧縮性の応力を発現する多結晶シリコンｐ－Ｓｉが用いられ、１３層目～２０層目の電極膜１３０の第１電極膜１３１に、引張性の応力を発現するａ－Ｓｉが用いられ、絶縁膜１２０には、圧縮性の応力を発現するＴＥＯＳが用いられているので、電極膜１３０と絶縁膜１２０を多数積層しても、電極膜１３０と絶縁膜１２０の互いの応力が相殺され、基板１１０が大きく反ることを回避できる。

【0032】

図４は、本発明の第１の実施形態に係る不揮発性記憶装置の特性を例示するグラフ図である。

すなわち、同図は、半導体基板の上に、ｐ－Ｓｉ膜（第２電極膜１３２）とＴＥＯＳ膜（絶縁膜１２０）とを交互に積層した後、ａ－Ｓｉ膜（第１電極膜１３１）とＴＥＯＳ膜（絶縁膜１２０）とを交互に積層したときの、基板の反りの変化の実験結果を例示しており、横軸は、電極膜の層数であり、縦軸は基板の反り量である。なお、この実験では、基板として直径が３００ｍｍで厚さが７５０μｍの半導体ウェーハを用い、この上に、ｐ－Ｓｉ膜とＴＥＯＳ膜と交互に１２回積層して成膜した後、ａ－Ｓｉ膜とＴＥＯＳ膜を交互に、累計１３回目～累計３２回目の積層成膜が行われている。

【0033】

図４に表したように、ｐ－Ｓｉ膜とＴＥＯＳ膜とを交互に積層する、１層目～１２層目においては、積層する層数が増えるに従って圧縮方向の反り（ここでは「負の反り」とする。）が大きくなっている。そして、１３層目以降の成膜においては、電極膜１３０として第１電極膜１３１のａ－Ｓｉ膜を用いており、積層する層数が増えるに従って引張方向の反り（ここでは「正の反り」とする。）が大きくなっている。そして、累計で約２０層目のとき、反りはほぼ零となり、それ以上の数の層を積層すると正の反りが大きくなっている。

【0034】

このように、ｐ－Ｓｉ膜とＴＥＯＳ膜とを交互に積層した場合には、圧縮の反り（負の反り）が発生し、積層の層数と供に負の方向に反りが拡大する。一方、ａ－Ｓｉ膜とＴＥＯＳ膜とを交互に積層した場合には、引張の反り（正の反り）が発生し、積層の層数と供に正の方向の反りが拡大する。

【0035】

本実施形態に係る不揮発性記憶装置１０においては、電極膜１３０の数は２０であり、ちょうど反りが一番小さくなるように設定されている。すなわち、この時の反りは、約１０μｍである。

【0036】

Micron Ex. 1002, p. 989
Micron v. YMTC
IPR2025-00294

このように、本実施形態に係る不揮発性記憶装置１０においては、反りを縮小した不揮発性記憶装置が提供できる。

【0037】

（第１の比較例）

図５は、第１の比較例の不揮発性記憶装置の特性を例示するグラフ図である。

すなわち、第１の比較例の不揮発性記憶装置９１においては、電極膜１３０としてｐ－Ｓｉ膜を用い、絶縁膜１２０としてＴＥＯＳ膜を用い、これらを交互に積層した構造を有する。これ以外は、第１の実施形態に係る不揮発性記憶装置１０と同様である。

【0038】

図５に表したように、第１の比較例の不揮発性記憶装置９１の場合、全ての電極膜１３０としてｐ－Ｓｉ膜が用いられているので、電極膜１３０と絶縁膜１２０との積層の層数が増えるに従って、ほぼ一次関数的に基板の反りは増大している。そして、電極膜１３０の数が２０の時には、約７０μｍの反りとなっている。このように、第１の比較例の不揮発性記憶装置９１では、基板の反りが大きい。

【0039】

これに対して、図４に例示したように、本実施形態に係る不揮発性記憶装置１０においては、反りは１０μｍと、第１の比較例の不揮発性記憶装置９１の１／７となっている。このように、本実施形態に係る不揮発性記憶装置１０においては、電極膜１３０として、引張性の応力を発現するａ－Ｓｉ膜と、圧縮性の応力を発現するｐ－Ｓｉ膜とを組み合わせることで基板の反りを縮小した不揮発性記憶装置が得られる。

【0040】

図６は、本発明の第１の実施形態に係る別の不揮発性記憶装置の特性を例示するグラフ図である。

すなわち、同図は、半導体基板の上に、ａ－Ｓｉ膜（第１電極膜１３１）とＴＥＯＳ膜（絶縁膜１２０）とを交互に積層した後、ｐ－Ｓｉ膜（第２電極膜１３２）とＴＥＯＳ膜（絶縁膜１２０）とを交互に積層したときの、基板の反りの変化の実験結果を例示しており、横軸は、電極膜の層数であり、縦軸は基板の反り量である。なお、この実験においても、基板として直径が３００ｍｍで厚さが７５０μｍの半導体ウェーハを用いている。そして、この上に、ａ－Ｓｉ膜とＴＥＯＳ膜と交互に１２回積層して成膜した後、ｐ－Ｓｉ膜とＴＥＯＳ膜を交互に、累計１３回目～累計３２回目の積層成膜が行われている。

そして、本実施形態に係る別の不揮発性記憶装置１１においては、電極膜１３０は、３２層積層される構造である。

【0041】

図６に表したように、ａ－Ｓｉ膜とＴＥＯＳ膜とを交互に積層する、１層目～１２層目においては、積層する層数が増えるに従って引張方向の反り（正の反り）が大きくなっている。そして、１３層目以降の成膜においては、電極膜１３０として第２電極膜１３２のｐ－Ｓｉ膜を用いており、積層する層数が増えるに従って圧縮方向の反り（負の反り）が大きくなり、反りの絶対値は例に近づいている。そして、累計で３２層目のとき、反りは比較的小さくなり約３０μｍである。

【0042】

このように、本実施形態に係る別の不揮発性記憶装置１１においては、電極膜１３０の積層数３２のときに反りが小さくなるように設定されている。

このように、本実施形態に係る別の不揮発性記憶装置１１においては、反りを縮小した不揮発性記憶装置が提供できる。

【0043】

（第２の比較例）

図７は、第２の比較例の不揮発性記憶装置の特性を例示するグラフ図である。

すなわち、第２の比較例の不揮発性記憶装置９２においては、電極膜１３０としてａ－Ｓｉ膜を用い、絶縁膜１２０としてＴＥＯＳ膜を用い、これらを交互に積層した構造を有する。これ以外は、第１の実施形態に係る別の不揮発性記憶装置１１と同様である。

Micron Ex. 1002, p. 990
Micron v. YMTC
IPR2025-00294

【0044】
図７に表したように、第２の比較例の不揮発性記憶装置９２の場合、全ての電極膜１３０としてａ－Ｓｉ膜が用いられているので、電極膜１３０と絶縁膜１２０との積層の層数が増えるに従って、ほぼ直線的に基板の反りは正の方向に増大している。そして、電極膜１３０の数が３２の時には、約２５０μｍの反りとなっている。このように、第２の比較例の不揮発性記憶装置９２では、基板の反りが大きい。
【0045】
これに対して、図６に例示したように、本実施形態に係る別の不揮発性記憶装置１１においては、反りは３０μｍと、第２の比較例の不揮発性記憶装置９２の１／８となっている。このように、本実施形態に係る別の不揮発性記憶装置１１においては、電極膜１３０として、圧縮性の応力を発現するｐ－Ｓｉ膜と、引張性の応力を発現するａ－Ｓｉ膜とを組み合わせることで基板の反りを縮小した不揮発性記憶装置が得られる。
【0046】
図８は、本発明の第１の実施形態に係る別の不揮発性記憶装置の特性を例示するグラフ図である。
すなわち、同図は、半導体基板の上に、ａ－Ｓｉ膜（第１電極膜１３１）とＴＥＯＳ膜（絶縁膜１２０）とを交互に積層した後、ｐ－Ｓｉ膜（第２電極膜１３２）とＴＥＯＳ膜（絶縁膜１２０）とを交互に積層し、さらにその後、ａ－Ｓｉ膜（第１電極膜１３１）とＴＥＯＳ膜（絶縁膜１２０）とを交互に積層したときの、基板の反りの変化の実験結果を例示している。そして、横軸は、電極膜の層数であり、縦軸は基板の反り量を表している。
なお、この実験では、基板として直径が３００ｍｍで厚さが７５０μｍの半導体ウェーハを用い、この上に、１層目～１２層目ではａ－Ｓｉ膜とＴＥＯＳ膜とが交互に成膜され、その後、累計１３層目～５６層目ではｐ－Ｓｉ膜とＴＥＯＳ膜とが交互に積層して成膜され、その後、累計５７層目～６４層目ではａ－Ｓｉ膜とＴＥＯＳ膜とが積層して成膜されている。
そして、本実施形態に係る別の不揮発性記憶装置１２においては、電極膜１３０は、６４層積層される構造である。
【0047】
図８に表したように、ａ－Ｓｉ膜とＴＥＯＳ膜とを交互に積層する、１層目～１２層目においては、積層する層数が増えるに従って引張方向の反り（正の反り）が大きくなっている。そして、累計１３層目～累計５６層目においては、電極膜１３０として第１電極膜１３１のｐ－Ｓｉ膜を用いており、積層する層数が増えるに従って圧縮方向の反り（負の反り）が大きくなっている。そして、５７層目～６４層目においては再びａ－Ｓｉ膜とＴＥＯＳ膜とを交互に積層しており、再び、積層する層数が増えるに従って引張方向の反り（正の反り）が大きくなっている。そして、層数が６４の時に、反りは比較的小さく、約－１０μｍである。
【0048】
このように、本実施形態に係る別の不揮発性記憶装置１２においては、電極膜１３０の積層数が６４と大きくても反りを縮小した不揮発性記憶装置が実現できる。
そして、不揮発性記憶装置１２のように、ａ－Ｓｉ膜とＴＯＥＳ膜とを交互に積層する構造と、ｐ－Ｓｉ膜とを交互に積層する構造とを、複数回繰り返すことができる。これにより、電極膜１３０の所望の層数において、反りを縮小した不揮発性記憶装置が得られる。
【0049】
図８に例示した本具体例の不揮発性記憶装置１２においては、例えば反りの許容最大値（絶対値）が１００μｍ以下である場合が想定されている。このため、反りの絶対値が１００μｍを超えないように、１層目～１２層目にａ－Ｓｉ膜とＴＥＯＳ膜との積層膜を用い、１３層目～５６層目をｐ－Ｓｉ膜とＴＥＯＳ膜との積層膜を用い、５７層目～６４層目に再びａ－Ｓｉ膜とＴＥＯＳ膜との積層膜を用い、すなわち、ａ－Ｓｉ膜とｐ－Ｓｉ膜

Micron Ex. 1002, p. 991
Micron v. YMTC
IPR2025-00294

との切り替えを２回とした。これにより、工程途中の最大の反り（絶対値）を、１００μｍ以下としている。

【0050】

ただし、本発明はこれに限らず、例えば、反りの許容最大値（絶対値）が１５０μｍ以下の場合は、例えば１層目～１６層目にａ－Ｓｉ膜とＴＥＯＳ膜との積層膜を用い、１７層目～６４層目をｐ－Ｓｉ膜とＴＥＯＳ膜との積層膜を用いても良い。この場合も、６４層目で反りを比較的小さく抑えながら、工程途中の最大の反り（絶対値）を、１５０μｍ以下とすることができる。

逆に、反りの許容最大値（絶対値）が１００μｍよりも小さい場合は、ａ－Ｓｉ膜及びＴＥＯＳ膜の積層膜と、ｐ－Ｓｉ膜及びＴＥＯＳ膜の積層膜と、の切り替えの回数をより多くすることで、工程途中の最大の反り（絶対値）を、小さくできる。このように、本実施形態に係る不揮発性記憶装置においては、ａ－Ｓｉ膜及びＴＥＯＳ膜の積層膜と、ｐ－Ｓｉ膜及びＴＥＯＳ膜の積層膜と、の切り替えは、必要とされる反りの許容最大値（絶対値）によって適切に定められる。

【0051】

さらに、電極膜１３０に用いられるａ－Ｓｉ膜とｐ－Ｓｉ膜の１層あたりの反りの量は、成膜条件や、それぞれの膜の厚さによっても変動するので、ａ－Ｓｉ膜とｐ－Ｓｉ膜の成膜条件や膜厚などによる１層あたりの反りの量に基づいて、ａ－Ｓｉ膜及びＴＥＯＳ膜の積層膜と、ｐ－Ｓｉ膜及びＴＥＯＳ膜の積層膜と、の切り替えを適切に行うことができる。

【0052】

また、電極膜１３０と積層される絶縁膜１２０に用いられるＴＥＯＳ膜の１層あたりの反りの量は、その成膜条件や、膜の厚さによっても変動するので、ＴＥＯＳ膜の成膜条件や膜厚などによる１層あたりの反りの量に基づいて、ａ－Ｓｉ膜及びＴＥＯＳ膜の積層膜と、ｐ－Ｓｉ膜及びＴＥＯＳ膜の積層膜と、の切り替えを適切に行うことができる。

【0053】

なお、本実施形態に係る不揮発性記憶装置においては、メモリセルに対応して、電極膜１３０と絶縁膜１２０とが多数積層される構造を有するが、これ以外にも、例えば図１、図２に例示したように、各種の膜が基板１１０の上に設けられる。この時、メモリセルに対応する電極膜１３０と絶縁膜１２０との積層膜と、それ以外の膜とを含めて、反りが所望の許容値にないに収まるように、電極膜１３０と絶縁膜１２０の種類と、電極膜１３０と絶縁膜１２０の数を定めることができる。これにより、メモリセルに対応する電極膜１３０と絶縁膜１２０との積層膜だけでなく、それ以外の膜とを含めた総合的に反りが小さい不揮発性記憶装置を提供することができる。

【0054】

なお、本実施形態に係る不揮発性記憶装置において、上記のｐ－Ｓｉ膜の代わりに、例えば、圧縮性の応力を発現するＧｅを用いることもできる。この場合も上記と同様の効果によって、多数の積層膜を有する構造においても基板の反りを低減できる。

【0055】

本実施形態に係る不揮発性記憶装置においては、メモリセルに対応する電極膜１３０と、それぞれの電極膜１３０を相互に絶縁する絶縁膜１２０が多数積層される構造において、反りを低減することができれば良いので、絶縁膜１２０が発現する応力と異なる種類の応力を発現する膜を、電極膜１３０が含んでいれば良い。

そして、電極膜１３０と絶縁膜１２０との組み合わせが、積層される層数において、反りが低減されるように設定されれば良い。

【0056】

例えば、絶縁膜１２０は、圧縮応力及び引張応力のいずれか一方を発現する膜を含むことができる。この時、電極膜１３０は、前記いずれかの他方を有する膜を含むことができる。

すなわち、絶縁膜１２０が、圧縮応力を発現する膜を含むとき、電極膜１３０は、引張

Micron Ex. 1002, p. 992
Micron v. YMTC
IPR2025-00294

応力を発現する膜を含むことができる。
　また、絶縁膜１２０が、引張応力を発現する膜を含むとき、電極膜１３０は、圧縮応力を発現する膜を含むことができる。
【0057】
　上記で説明したＴＥＯＳ膜は圧縮応力を発現する膜である。従って、電極膜１３０には引張応力を発現する膜としてのａ－Ｓｉ膜を含むことができる。
【0058】
　この時、例えば、ａ－Ｓｉ膜の１層あたりの応力の絶対値と、ＴＥＯＳ膜の１層あたりの応力の絶対値の差が比較的小さい場合は、ａ－Ｓｉ膜とＴＥＯＳ膜とを繰り返して積層することで、両者の応力が補償され、相殺されて、反りは小さくできる。
【0059】
　引張応力や圧縮応力を発現する膜として例えば窒化シリコンが挙げられる。この時、プラズマ条件等の成膜条件によって、引張性または圧縮性のいずれかに変化させることができ、また、その応力の大きさも制御することができる。
　また、例えば、ａ－ＳｉとＰ－Ｓｉの応力差は、膜中の水素原子の量で支配され、例えば、成膜時の条件によって水素原子の量を制御することによって、両者の応力の差を制御することができる。
　また、窒化シリコンや酸化シリコンなどを含め、各種の膜において、それに含まれる不純物の種類やその濃度、水分などによって応力の種類やその大きさが変化する。
【0060】
　このように、上記の具体例は一例であり、本発明においては、用いる材料だけでなく成膜時の条件や含まれる不純物などに基づいて発現される引張性及び圧縮性の膜の組み合わせを用いて、多数の積層膜を有する構造においても基板の反りを縮小させる。
【0061】
　図９は、本発明の第１の実施形態に係る別の不揮発性記憶装置の構成を例示する模式的断面図である。
　図１０は、本発明の第１の実施形態に係る別の不揮発性記憶装置の構成を例示する模式的斜視図である。
　すなわち、図９は、図２のＡ－Ａ’線断面に相当する断面図である。また、図１０は、図９のＣ部を拡大した模式的断面図である。
　図９に表したように、本実施形態に係る不揮発性記憶装置１３においては、電極膜１３０が１種類、すなわち、第１電極膜１３１と第２電極膜１３２の２種ではなく、１種類の電極膜が用いられている。これ以外は、既に説明した不揮発性記憶装置１０と同様なので説明を省略する。
【0062】
　図９、図１０に例示した本実施形態に係る別の不揮発性記憶装置１３では、絶縁膜１２０は圧縮性の応力を発現するＴＥＯＳ膜であり、一方、電極膜１３０には引張性の応力を発現する導電膜が用いられている。そして、本具体例の場合は、絶縁膜１２０に用いるＴＥＯＳ膜の１層あたりの圧縮応力の絶対値と、電極膜１３０に用いる導電膜の１層あたりの引張応力の絶対値とが略同一となっている。すなわち、積層される、電極膜１３０と絶縁膜１２０とが、方向が逆向きで、絶対値がほぼ等しい応力を発現するように設定されている。これにより、電極膜１３０と絶縁膜１２０とを多数積層した場合においても、反りは小さく抑えられる。
【0063】
　このように、本実施形態に係る不揮発性記憶装置１３においても、電極膜１３０と絶縁膜１２とが、方向が逆向きで、絶対値がほぼ等しい応力を発現するように設定されているので、電極膜１３０と絶縁膜１２０とを多数積層した場合においても、反りを縮小した不揮発性記憶装置が得られる。
【0064】
　この時、例えば、電極膜１３０（例えばａ－Ｓｉ膜）の１層あたりの応力の絶対値と、

Micron Ex. 1002, p. 993
Micron v. YMTC
IPR2025-00294

絶縁膜１２０（例えばＴＥＯＳ膜）の１層あたりの応力の絶対値が異なる場合には、電極膜１３０と絶縁膜１２０とを単純に繰り返して積層した場合には、両者の絶対値の差分の応力が蓄積され、積層膜の層数に伴って反りが拡大してしまう。

【0065】

この時、上記の不揮発性記憶装置１０、１１、１２で説明したように、圧縮性の応力を発現するｐ－Ｓｉ層とＴＥＯＳ膜との積層構造を適宜挿入することで、ａ－Ｓｉ膜とＴＥＯＳ膜との応力の絶対値の差分の応力の蓄積が解消される。

【0066】

すなわち、電極膜１３０は、圧縮応力及び引張応力のいずれか他方の応力を発現する第１電極膜１３１と、前記少なくとも一方の応力を発現する第２電極膜１３２と、を含むことができる。

すなわち、絶縁膜１２０が、圧縮応力を発現する膜を含むとき、電極膜１３０は、引張応力を発現する第１電極膜１３１と、圧縮応力を発現する第２電極膜１３２と、を含むことができる。

また、絶縁膜１２０が、引張応力を発現する膜を含むとき、電極膜１３０は、圧縮応力を発現する第１電極膜１３１と、引張応力を発現する第２電極膜１３２と、を含むことができる。

【0067】

すなわち、上記で説明した絶縁膜１２０に用いられるＴＥＯＳ膜は圧縮応力を発現する膜であり、この時は、電極膜１３０は、引張応力を発現する第１電極膜１３１（ａ－Ｓｉ膜）と、圧縮応力を発現する第２電極膜１３２（ｐ－Ｓｉ膜）と、を含むことができる。

そして、既に説明した本実施形態に係る不揮発性記憶装置１０、１１、１２のように、第１電極膜１３１（ａ－Ｓｉ膜）と第２電極膜１３２（ｐ－Ｓｉ膜）のそれぞれの数を、積層される層数の時に反りが小さくなるように適切に選択する。これにより反りを縮小した不揮発性記憶装置が得られる。

【0068】

なお、上記において、電極膜１３０として、第１電極膜１３１と、第１電極膜１３１と逆方向の応力を発現する第２電極膜１３２の２種を用いる例を説明したが、本発明はこれに限らず、第１電極膜１３１は、複数の応力の絶対値を有する複数の膜を含むことができる。さらに、第２電極膜１３２は、複数の応力の絶対値を有する複数の膜を含むことができる。

【0069】

すなわち、例えば、図４に例示した具体例において、１３層目～３２層目は、ａ－Ｓｉ膜であり、第１電極膜１３１であるが、図４に表したように、１３層目～１６層目における層数に対する基板の反りの傾きは、１７層目～３２層目の傾きと異なっている。すなわち、１３層目～１６層目のａ－Ｓｉ膜（第１電極膜１３１）と、１７層目～３２層目のａ－Ｓｉ膜（第１電極膜１３１）と、では、応力の絶対値が異なっている。このように、第１電極膜１３１と、第２電極膜１３２と、は、複数の応力の絶対値を有する複数の膜を含むことができる。

【0070】

換言すれば、本実施形態に係る不揮発性記憶装置において、電極膜１３０は、第１電極膜１３１と、第１電極膜１３１と逆方向の応力を発現する第２電極膜１３２と、に加えて、第１電極膜１３１と同じ方向または逆方向の応力を発現する第３導電膜を有しても良い。

【0071】

なお、上記の本実施形態に係る不揮発性記憶装置において、電極膜１３０として、ａ－Ｓｉ膜とｐ－Ｓｉ膜とを混在させて用いた場合、両者の比抵抗の差異によって、不揮発性記憶装置が正常に動作しなくなる、または、正常に動作する設計及び製造条件の範囲が狭まることがある。これに対しては、例えば、ａ－Ｓｉ膜とｐ－Ｓｉ膜のそれぞれにおける不純物の種類や濃度などを適切に制御することによって、ａ－Ｓｉ膜とｐ－Ｓｉ膜との比

Micron Ex. 1002, p. 994
Micron v. YMTC
IPR2025-00294

抵抗の差異を実用的な許容範囲内に納めることができる。これにより、この問題が解決できる。

【0072】

このように、第１電極膜１３１と第２電極膜１３２との比抵抗は、略同一とすることができる。これにより、本実施形態に係る不揮発性記憶装置において、正常に動作する設計及び製造条件の範囲を適正にすることができる。

【0073】

（第２の実施の形態）

本発明の第２の実施形態に係る不揮発性記憶装置の製造方法は、基板と、前記基板上に交互に積層され、積層方向に貫通する貫通孔が形成されたそれぞれ複数の絶縁膜及び電極膜と、前記貫通孔の内部に形成された半導体ピラーと、少なくとも前記半導体ピラーと前記電極膜との間に設けられた電荷蓄積層と、を備えた不揮発性記憶装置の製造方法である。そして、本実施形態に係る不揮発性記憶装置の製造方法は、上記の絶縁膜と電極膜の製造方法に特徴があるので、絶縁膜と電極膜の製造方法について説明する。

【0074】

図１１は、本発明の第２の実施形態に係る不揮発性記憶装置の製造方法を例示するフローチャート図である。

図１１に表したように、本発明の第２の実施形態に係る不揮発性記憶装置の製造方法においては、まず、圧縮応力及び引張応力のいずれか一方を発現する絶縁膜を形成する（ステップＳ１１０）。例えば、既に説明したように、絶縁膜１２０となるＴＥＯＳ膜を形成する。この時、圧縮応力を発現する膜が形成できる。

【0075】

そして、前記いずれか他方の応力を発現する電極膜を形成する（ステップＳ１２０）。例えば、絶縁膜１２０として、圧縮応力を発現するＴＥＯＳ膜を形成した場合は、電極膜１３０として引張応力を発現するａ－Ｓｉ膜を形成する。

【0076】

そして、上記のステップＳ１１０とステップＳ１２０とを、層数が所定の数に達するまで繰り返す（ステップＳ１３０）。

【0077】

これにより、絶縁膜１２０と電極膜１３０のそれぞれの応力を補償し、多数の積層膜を有する構造においても基板の反りが小さい不揮発性記憶装置の製造方法が提供できる。

【0078】

図１２は、本発明の第２の実施形態に係る別の不揮発性記憶装置の製造方法を例示するフローチャート図である。

図１２に表したように、本発明の第２の実施形態に係る別の不揮発性記憶装置においては、まず、圧縮応力及び引張応力のいずれか一方を発現する絶縁膜を形成する（ステップＳ１１０）。例えば、既に説明したように、絶縁膜１２０となるＴＥＯＳ膜を形成する。この時、圧縮応力を発現する膜が形成できる。

【0079】

そして、前記いずれか他方の応力を発現する第１電極膜１３１を形成する（ステップＳ１２０）。例えば、絶縁膜１２０として、圧縮応力を発現するＴＥＯＳ膜を形成した場合は、第１電極膜１３１として引張応力を発現するａ－Ｓｉ膜を形成する。

【0080】

そして、上記のステップＳ１１０とステップＳ１２０とを、層数が所定の数に達するまで繰り返す（ステップＳ１３０）。

【0081】

さらに、圧縮応力及び引張応力のいずれか一方を発現する絶縁膜を形成する（ステップＳ１１１）。すなわち、例えば、絶縁膜１２０として圧縮応力を発現するＴＥＯＳ膜を形成する。

【0082】

Micron Ex. 1002, p. 995
Micron v. YMTC
IPR2025-00294

そして、前記いずれか一方の応力を発現する第２電極膜１３２を形成する（ステップＳ１２１）。例えば、第２電極膜１３２として圧縮応力を発現するｐ－Ｓｉ膜を形成する。

【0083】

そして、上記のステップＳ１１１とステップＳ１２１とを、層数が所定の数に達するまで繰り返す（ステップＳ１３１）。

【0084】

これにより、絶縁膜１２０と第１電極膜１３１とに、応力の絶対値に差異がある場合に、第１電極膜１３１と逆方向の応力を発現する第２電極膜１３２を積層することで、この応力の絶対値の差異が縮小できる。

【0085】

このように、本実施形態に係る不揮発性記憶装置の製造方法によれば、絶縁膜１２０と、電極膜１３０（第１電極膜１３１及び第２電極膜１３２）の応力を補償し、多数の積層膜を有する構造においても基板の反りが小さい不揮発性記憶装置の製造方法が提供できる。

【0086】

なお、上記のステップＳ１１０～ステップＳ１３０を含むステップＳ１０１と、上記のステップＳ１１１～ステップＳ１３１を含むステップＳ１０２と、は、順序を入れ替えても良い。また、ステップＳ１０１とステップＳ１０２とをそれぞれ複数回実施しても良い。

【0087】

図１３は、本発明の第２の実施形態に係る別の不揮発性記憶装置の製造方法を例示するフローチャート図である。

図１３に表したように、本発明の第２の実施形態に係る別の不揮発性記憶装置においては、まず、圧縮応力及び引張応力のいずれか一方を発現する絶縁膜を形成する（ステップＳ１１０）。例えば、既に説明したように、絶縁膜１２０となるＴＥＯＳ膜を形成する。この時、圧縮応力を発現する膜が形成できる。

【0088】

そして、前記いずれか他方を発現する第１電極膜１３１を形成する（ステップＳ１２０）。例えば、絶縁膜１２０として、圧縮応力を発現するＴＥＯＳ膜を形成した場合は、第１電極膜１３１として引張応力を発現するａ－Ｓｉ膜を形成する。

【0089】

そして、前記のいずれかの一方を発現する絶縁膜を形成する（ステップＳ１１２）。すなわち、絶縁膜１２０となるＴＥＯＳ膜を形成する。

【0090】

そして、前記いずれかの一方を発現する第２電極膜１３２を形成する（ステップＳ１２１）。例えば、第２電極膜１３２として圧縮応力を発現するｐ－Ｓｉ膜を形成する。

【0091】

そして、上記のステップＳ１１０～ステップＳ１２１を、層数が所定の数に達するまで繰り返す（ステップＳ１３２）。

【0092】

すなわち、図１３に例示した不揮発性記憶装置の製造装置では、互いに逆方向の応力を発現する、第１電極膜１３１と第２電極膜１３２とが、絶縁膜１２０を介して、交互に積層される。

【0093】

この場合も、絶縁膜１２０と、電極膜１３０（第１電極膜１３１及び第２電極膜１３２）の応力を補償することができ、多数の積層膜を有する構造においても基板の反りが小さい不揮発性記憶装置の製造方法が提供できる。

【0094】

なお、図１２に例示した不揮発性記憶装置の製造方法と、図１３に例示した不揮発性記憶装置の製造方法とを組み合わせて実施することもできる。

Micron Ex. 1002, p. 996
Micron v. YMTC
IPR2025-00294

【0095】
（第３の実施の形態）
本発明の第３の実施形態に係る不揮発性記憶装置は、例えば抵抗変化膜からなる記録層と整流素子とが一対の電極に挟まれた構造を、積層してなる不揮発性記憶装置の例である。
図１４は、本発明の第３の実施形態に係る不揮発性記憶装置の構成を例示する模式図である。
すなわち、同図（ａ）は模式的斜視図であり、同図（ｂ）は同図（ａ）のＡ－Ａ’線断面図であり、同図（ｃ）は、同図（ａ）のＢ－Ｂ’線断面図である。
図１５は、本発明の第３の実施形態に係る不揮発性記憶装置の一部の構成を例示する模式的斜視図である。
すなわち、図１５は、不揮発性記憶装置の１つの要素メモリ層を例示している。
【0096】
図１４に表したように、本発明の第３の実施形態に係る不揮発性記憶装置３０は、第１配線５０と、第１配線５０に対して非平行に設けられた第２配線８０と、第１配線５０と第２配線８０との間に設けられ、記録層６０と整流素子７０とを含む積層構造体６５と、を有する要素メモリ層６６を複数積み重ねた構造を有する。
【0097】
例えば、不揮発性記憶装置３０の一番下の要素メモリ層６６において、第１配線５０は、ワード線ＷＬ１１、ＷＬ１２、ＷＬ１３であり、第２配線８０は、ビット線ＢＬ１１、ＢＬ１２、ＢＬ１３である。また、下から２番目の要素メモリ層６６においては、第１配線５０は、ワード線ＷＬ２１、ＷＬ２２、ＷＬ２３であり、第２配線８０は、ビット線ＢＬ１１、ＢＬ１２、ＢＬ１３である。さらに、下から３番目の要素メモリ層６６においては、第１配線５０は、ワード線ＷＬ２１、ＷＬ２２、ＷＬ２３であり、第２配線８０は、ビット線ＢＬ２１、ＢＬ２２、ＢＬ２３である。さらに、一番上（下から４番目）の要素メモリ層６６においては、第１配線５０は、ワード線ＷＬ３１、ＷＬ３２、ＷＬ３３であり、第２配線８０は、ビット線ＢＬ２１、ＢＬ２２、ＢＬ２３である。
【0098】
不揮発性記憶装置３０の場合は、要素メモリ層６６が４層積み重ねられているが、本実施形態に係る不揮発性記憶装置において、要素メモリ層６６の積層数は任意である。
なお、このような不揮発性記憶装置は半導体基板の上に設けることができ、その時、要素メモリ層６６の各層は、半導体基板の主面と平行に配置することができる。すなわち、要素メモリ層は、半導体基板の主面に平行に複数積層される。
【0099】
また、図１４においては、煩雑さを避けるために、各要素メモリ層６６における第１配線５０（ワード線）及び第２配線８０（ビット線）は、３本ずつ例示しているが、本実施形態に係る不揮発性記憶装置３０において、第１配線５０及び第２配線８０の数は、任意であり、また、第１配線５０の数と第２配線８０の数とが異なっていても良い。
【0100】
そして、隣接する要素メモリ層６６において、第１配線５０（ワード線）及び第２配線（ビット配線）は、兼用されている。
すなわち、図１４（ｂ）、（ｃ）に表したように、ワード線ＷＬ２１、ＷＬ２２、ＷＬ２３は上下の要素メモリ層で兼用され、また、ビット線ＢＬ１１、ＢＬ１２、ＢＬ１３及びビット線ＢＬ２１、ＢＬ２２、ＢＬ２３は、上下の要素メモリ層で兼用されている。ただし、本発明はこれに限らず、積層されたそれぞれの要素メモリ層６６において、ワード線とビット線とをそれぞれ独立して設けても良い。なお、各要素メモリ層６６においてワード線とビット線とをそれぞれ独立して設けた場合、ワード線の延在方向とビット線の延在方向とは、要素メモリ層６６のそれぞれにおいて変えても良い。
【0101】
また、ここでは、第１配線５０をワード線とし、第２配線８０をビット線としたが、第

Micron Ex. 1002, p. 997
Micron v. YMTC
IPR2025-00294

１配線５０をビット線とし、第２配線８０をワード線としても良い。すなわち、以下説明する実施形態に係る不揮発性記憶装置及びその製造方法において、ビット線とワード線とは相互に入れ替え可能である。以下では、第１配線５０がワード線であり、第２配線８０がビット線である場合として説明する。

【0102】

そして、図１４（ｂ）、（ｃ）に表したように、要素メモリ層６６のそれぞれにおいて、記録層６０と整流素子７０とを含む積層構造体６５が、第１配線５０と第２配線８０とが３次元的に交差する部分（クロスポイント）に設けられており、不揮発性記憶装置３０は、いわゆるクロスポイント型の不揮発性記憶装置である。そして、各クロスポイントにおける記録層６０が１つの記憶単位となり、この記録層６０を含む積層構造体６５が１つのセルとなる。

なお、後述するように、記録層６０の例えば両側または片側に電極（第１導電層及び第２導電層）が設けられ、記録部となるが、図１４では、これらの電極は省略され、記録層６０のみを例示している。

【0103】

なお、図１４（ｂ）、（ｃ）に表した例では、第１配線５０側に整流素子７０が設けられ、第２配線側に記録層６０（及び後述する記録部）が設けられているが、第１配線５０側に記録層６０を設け、第２配線８０側に整流素子７０を設けて良い。さらに、各要素メモリ層６６ごとに、第１配線５０及び第２配線８０に対する整流素子７０及び記録層６０の積層順を変えても良く、このように、整流素子７０及び記録層６０の積層順は、任意である。

【0104】

また、図１５に表したように、記録層６０は、第１バリアメタル６１と、記録部６３と、第２バリアメタル６２と、を有することができる。なお、上記の第１、第２バリアメタル６１、６２は必要に応じて設けられる。また、例えば、記録部６３が相変化型素子の場合は、第１、第２バリアメタル６１、６２の少なくともいずれかが、ヒータを兼用することもできる。

【0105】

記録層６０の記録部６３は、両端に印加された電圧により、その抵抗状態が変わる抵抗変化材料を用いることができる。すなわち、記録部６３は、例えば、NbO_x、Ｃｒドープ$SrTiO_{3-x}$、$Pr_xCa_yMnO_z$、ZrO_x、NiO_x、ＴｉドープNiO_x、ZnO_x、TiO_x、TiO_xN_y、CuO_x、GdO_x、$CuTe_x$、HfO_x、$ZnMn_xO_y$、及び$ZnFe_xO_y$、からなる群から選ばれた少なくとも１つを含むことができる。さらには、上記の材料を２つ以上混合した材料を含むことができる。さらには、これらの材料からなる層を複数積層した構造を用いることができる。

【0106】

さらに、記録層６０の記録部６３は、印加された電圧で発生するジュール熱によりその抵抗状態が変わる例えばカルコゲナイド系の相変化材料を用いることができる。すなわち、記録部６３は、例えば、カルコゲナイド系のＧＳＴ（$Ge_xSb_yTe_z$）、ＧＳＴにドーピングを施したＮドープトＧＳＴ、Ｏドープト ＧＳＴ、Ge_xSb_y、及び、$In_xGe_yTe_z$からなる群から選択された少なくとも１つを含むことができる。さらに、これらの材料からなる層を複数積層した構造を用いることができる。

【0107】

一方、整流素子７０は、第１半導体層７１（第１整流素子膜）と、第２半導体層７２（第２整流素子膜）と、を有する。第１半導体層７１には、例えば、p^+型のｐ－Ｓｉ膜を用いることができ、また、第２半導体層７２には、例えば、n^+型のａ－Ｓｉ膜を用いることができる。

なお、第１半導体層７１と、第２半導体層７２と、の間に第３半導体層７３を設けることができ、第３半導体層７３は、例えば、真性（Intrinsic）半導体を用いることができる。すなわち、整流素子７０として、ｐｉｎダイオードが用いられている。

Micron Ex. 1002, p. 998
Micron v. YMTC
IPR2025-00294

【0108】
このような構成を有する、本実施形態に係る不揮発性記憶装置３０においては、各要素メモリ層６６が多数積層され、すなわち、積層構造体６５の一部である整流素子７０が多数積層される。
この時、本実施形態に係る不揮発性記憶装置３０においては、整流素子７０のｐｉｎダイオードとなる、第１半導体層７１に圧縮性のｐ－Ｓｉ膜を用い、第２半導体層７２に引張性のａ－Ｓｉ膜を用いることで、各要素メモリ層６６が多数積層された構造においても基板の反りが小さい不揮発性記憶装置が提供できる。
【0109】
すなわち、もし、整流素子７０のｐｉｎダイオードとなる、第１半導体層７１と第２半導体層７２の両方に、ｐ－Ｓｉ膜だけを用いると、ｐ－Ｓｉ膜が有する圧縮性の応力が蓄積され、積層数の増大と伴に、基板の反りが圧縮方向に大きくなってしまう。また、第１半導体層７１と第２半導体層７２の両方に、ａ－Ｓｉ膜だけを用いると、ａ－Ｓｉ膜が有する引張性の応力が蓄積され、積層数の増大と伴に、基板の反りが引張方向に大きくなってしまう。
【0110】
これに対して、本実施形態に係る不揮発性記憶装置３０においては、第１半導体層７１に圧縮性のｐ－Ｓｉ膜を用い、第２半導体層７２に引張性のａ－Ｓｉ膜を用いることで、ｐ－Ｓｉ膜とａ－Ｓｉ膜の互いの応力を相殺することができ、基板の反りを小さくできる。
【0111】
なお、上記において、第１半導体層７１に引張性のａ－Ｓｉ膜を用い、第２半導体層７２に圧縮性のｐ－Ｓｉ膜を用いても良い。
【0112】
また、整流素子７０が第３半導体層７３を有する場合は、第３半導体層７３には、圧縮性または引張性の膜を用いることができ、この時、第１半導体層７１と第２半導体層７２との差分の応力を相殺するような方向の応力を発現する膜を用いることができる。これにより、第１半導体層７１と第２半導体層７２とで、応力の絶対値に差があった場合に、この差をさらに縮小することができ、さらに反りを小さくできる。
【0113】
また、上記の具体例では、一例として、第１半導体層７１に、ｐ$^+$型のｐ－Ｓｉ膜を用い、第２半導体層７２に、ｎ$^+$型のａ－Ｓｉ膜を用いる例を説明したが、半導体層の導電型は任意であり、また、含有させる不純物の種類も任意である。すなわち、整流素子７０において、第１半導体層７１に圧縮応力を発現する膜が用いられ、第２半導体層７２に引張応力を発現する膜が用いられ、または、第１半導体層７１に引張応力を発現する膜が用いられ、第２半導体層７２に圧縮応力を発現する膜が用いられれば良い。なお、積層される要素メモリ層６６ごとに、第１半導体層７１と第２半導体層７２とに用いられる膜の圧縮または引張の応力が変わっても良い。
【0114】
また、整流素子７０は、ＰＩＮ構造を有することが、動作の安定上、より望ましい。この場合には、例えば、ｐ型半導体層及び真性半導体層を圧縮性とし、ｎ型半導体層を引張性とすることができる。または、上記の組み合わせの逆とすることができる。または、ｐ型半導体層を圧縮性とし、真性半導体層及びｎ型半導体層を引張性とすることができる。または、上記の組み合わせの逆とすることができる。
【0115】
本実施形態に係る不揮発性記憶装置３０においては、整流素子７０は、圧縮応力及び引張応力のいずれか一方を発現する第１整流素子膜（第１半導体層７１）と、前記いずれか他方を発現する第２整流素子膜（第２半導体層７２）と、を有する。
【0116】
これにより、各要素メモリ層６６が多数積層された構造においても基板の反りが小さい

Micron Ex. 1002, p. 999
Micron v. YMTC
IPR2025-00294

不揮発性記憶装置が提供できる。

【0117】

（第４の実施の形態）

本発明の第４の実施形態に係る不揮発性記憶装置の製造方法は、第１配線５０と、第１配線５０に対して非平行に設けられた第２配線８０と、第１配線５０と第２配線８０との間に設けられ、記録層６０と整流素子７０とを含む積層構造体６５と、を有する要素メモリ層６６を複数積み重ねた不揮発性記憶装置の製造方法である。そして、本実施形態に係る不揮発性記憶装置の製造方法は、上記の整流素子７０の形成方法に特徴があるので、まず整流素子７０の形成方法について説明する。

【0118】

図１６は、本発明の第４の実施形態に係る不揮発性記憶装置の製造方法を例示するフローチャート図である。

図１６に表したように、本発明の第４の実施形態に係る不揮発性記憶装置の製造方法においては、まず、整流素子７０の一部となる、圧縮応力及び引張応力のいずれか一方を発現する第１整流素子膜を形成する（ステップＳ２３０）。例えば、既に説明したように、第１整流素子膜（第１半導体層７１）として、例えば、圧縮応力を発現するｐ＋型のｐ－Ｓｉ膜を成膜する。

【0119】

そして、整流素子７０の別の一部となる、前記いずれか他方を発現する第２整流素子膜を形成する（ステップＳ２４０）。例えば、第２整流素子膜（第２半導体層７２）として、引張応力を発現するｎ＋型のａ－Ｓｉ膜を成膜する。

【0120】

そして、これらステップＳ２３０及びステップＳ２４０が、要素メモリ層６６の所定の層数に達するまで、第１整流素子膜と第２整流素子膜の加工工程を含めて繰り返される。これにより、第１整流素子膜と第２整流素子膜の応力が補償され、反りが軽減される。

【0121】

このように、本実施形態に係る不揮発性記憶装置の製造方法によれば、要素メモリ層６６が多数積層された構造においても基板の反りが小さい不揮発性記憶装置が提供できる。

なお、上記において、ステップＳ２３０とステップＳ２４０の順序は任意である。

【0122】

さらに、第１整流素子膜と第２整流素子膜とは、記録層６０と伴に加工されても良い。さらに、第１整流素子膜と第２整流素子膜とは、第１配線５０と第２配線８０のいずれかと伴に加工されても良い。以下、一例を説明する。

【0123】

図１７は、本発明の第４の実施形態に係る別の不揮発性記憶装置の製造方法を例示するフローチャート図である。

図１７に表したように、本発明の第４の実施形態に係る別の不揮発性記憶装置の製造方法においては、まず、半導体基板上に、第１配線５０となる第１導電膜を形成する（ステップＳ２１０）。

そして、記録層６０となる記録層膜を形成する（ステップＳ２２０）。

【0124】

そして、整流素子７０の一部となる、圧縮応力及び引張応力のいずれか一方を発現する第１整流素子膜を形成する（ステップＳ２３０）。例えば、第１整流素子膜（第１半導体層７１）として、例えば、圧縮応力を発現するｐ＋型のｐ－Ｓｉ膜を成膜する。

【0125】

そして、整流素子７０の別の一部となる、前記いずれか他方を発現する第２整流素子膜を形成する（ステップＳ２４０）。例えば、第２整流素子膜（第２半導体層７２）として、引張応力を発現するｎ＋型のａ－Ｓｉ膜を成膜する。

【0126】

そして、第２配線８０となる第２導電膜を形成する（ステップＳ２５０）。

Micron Ex. 1002, p. 1000
Micron v. YMTC
IPR2025-00294

そして、上記の第１導電膜及び上記の第２導電膜のいずれかと、上記の記録層膜と、上記の第１整流素子膜と、上記の第２整流素子膜と、を加工する（ステップＳ２６０）。

そして、上記のステップＳ２１０～Ｓ２６０を繰り返す。

【0127】

すなわち、本発明の第４の実施形態に係る別の不揮発性記憶装置の製造方法は、第１配線と、前記第１配線に対して非平行に設けられた第２配線と、前記第１配線と前記第２配線との間に設けられ、記録層と整流素子とを含む積層構造体と、を有する要素メモリ層を複数積み重ねた不揮発性記憶装置の製造方法であって、半導体基板上に前記第１配線となる第１導電膜を形成し、前記記録層となる記録層膜を形成し、前記整流素子の一部となる、圧縮応力及び引張応力のいずれか一方を有する第１整流素子膜を形成し、前記整流素子の別の一部となる、前記いずれか他方を発現する第２整流素子膜を形成し、前記第２配線となる第２導電膜を形成し、前記第１導電膜及び前記第２導電膜のいずれかと、前記記録層膜と、前記第１整流素子膜と、前記第２整流素子膜と、を加工することを特徴とする不揮発性記憶装置の製造方法である。

【0128】

なお、上記において、ステップＳ２５０とステップＳ２６０の間に、別の要素メモリ層６６を形成するための工程として、例えば、ステップＳ２２０とステップＳ２３０とステップＳ２４０と、を実施することが可能である。

【0129】

これにより、第１整流素子膜と第２整流素子膜の応力が補償され、反りが軽減される。

このように、本実施形態に係る不揮発性記憶装置の製造方法によれば、要素メモリ層６６が多数積層された構造においても基板の反りが小さい不揮発性記憶装置が提供できる。

なお、上記において、ステップＳ２２０と、ステップＳ２３０及びステップＳ２４０と、の順番は任意である。そして、その順番は、要素メモリ層６６のそれぞれで変えても良い。

【0130】

以上、具体例を参照しつつ、本発明の実施の形態について説明した。しかし、本発明は、これらの具体例に限定されるものではない。例えば、不揮発性記憶装置及びその製造方法を構成する各要素の具体的な構成に関しては、当業者が公知の範囲から適宜選択することにより本発明を同様に実施し、同様の効果を得ることができる限り、本発明の範囲に包含される。

また、各具体例のいずれか２つ以上の要素を技術的に可能な範囲で組み合わせたものも、本発明の要旨を包含する限り本発明の範囲に含まれる。

【0131】

その他、本発明の実施の形態として上述した不揮発性記憶装置及びその製造方法を基にして、当業者が適宜設計変更して実施し得る全ての不揮発性記憶装置及びその製造方法も、本発明の要旨を包含する限り、本発明の範囲に属する。

【0132】

その他、本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。

【図面の簡単な説明】

【0133】

【図1】本発明の第１の実施形態に係る不揮発性記憶装置の構成を例示する模式的断面図である。

【図2】本発明の第１の実施形態に係る不揮発性記憶装置の構成を例示する模式的斜視図である。

【図3】本発明の第１の実施形態に係る不揮発性記憶装置の一部の構成を例示する模式的断面図である。

【図4】本発明の第１の実施形態に係る不揮発性記憶装置の特性を例示するグラフ図であ

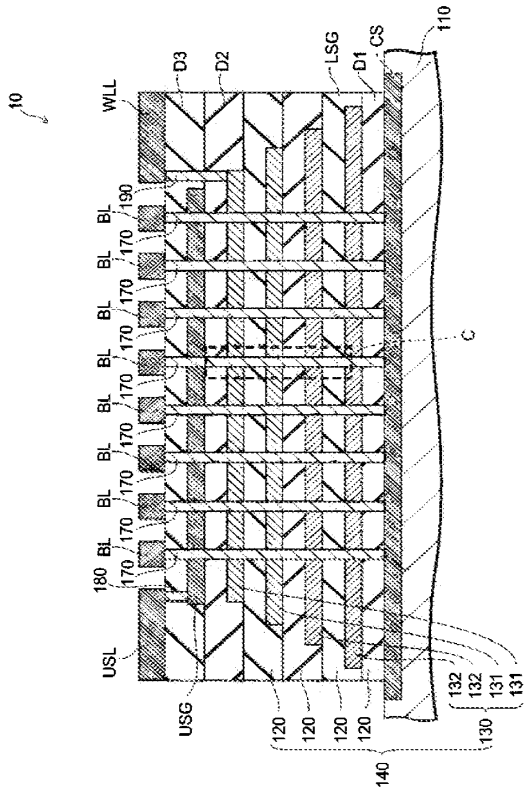
Micron Ex. 1002, p. 1001
Micron v. YMTC
IPR2025-00294

る。
【図5】第１の比較例の不揮発性記憶装置の特性を例示するグラフ図である。
【図6】本発明の第１の実施形態に係る別の不揮発性記憶装置の特性を例示するグラフ図である。
【図7】第２比較例の不揮発性記憶装置の特性を例示するグラフ図である。
【図8】本発明の第１の実施形態に係る別の不揮発性記憶装置の特性を例示するグラフ図である。
【図9】本発明の第１の実施形態に係る別の不揮発性記憶装置の構成を例示する模式的断面図である。
【図10】本発明の第１の実施形態に係る別の不揮発性記憶装置の構成を例示する模式的斜視図である。
【図11】本発明の第２の実施形態に係る不揮発性記憶装置の製造方法を例示するフローチャート図である。
【図12】本発明の第２の実施形態に係る別の不揮発性記憶装置の製造方法を例示するフローチャート図である。
【図13】本発明の第２の実施形態に係る別の不揮発性記憶装置の製造方法を例示するフローチャート図である。
【図14】本発明の第３の実施形態に係る不揮発性記憶装置の構成を例示する模式図である。
【図15】本発明の第３の実施形態に係る不揮発性記憶装置の一部の構成を例示する模式的斜視図である。
【図16】本発明の第４の実施形態に係る不揮発性記憶装置の製造方法を例示するフローチャート図である。
【図17】本発明の第４の実施形態に係る別の不揮発性記憶装置の製造方法を例示するフローチャート図である。
【符号の説明】
【0134】
１０、１１、１２、１３、３０、９１、９２　不揮発性記憶装置
５０　第１配線
６０　記録層
６１　第１バリアメタル
６２　第２バリアメタル
６３　記録部
６５　積層構造体
６６　要素メモリ
７０　整流素子
７１　第１半導体層（第１整流素子膜）
７２　第２半導体層（第２整流素子膜）
７３　第３半導体層
８０　第２配線
１１０　基板
１２０　絶縁膜
１３０　電極膜
１３１　第１電極膜
１３２　第２電極膜
１４０　積層体
１７０　半導体ピラー
１８０、１９０、２００　ビア
２１０　コンタクト
２５０　第１絶縁層

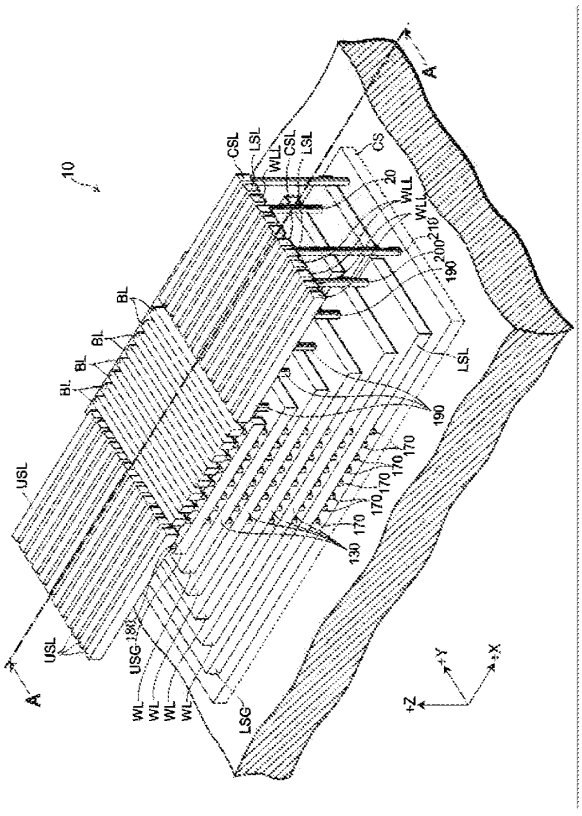
Micron Ex. 1002, p. 1002
Micron v. YMTC
IPR2025-00294

２６０　電荷蓄積層
２７０　第２絶縁層
ＢＬ　ビット線（ビット配線）
ＣＳ　セルソース
ＣＳＬ　セルソース配線
Ｄ１、Ｄ２、Ｄ３　絶縁層
ＧＬ、ＧＵ　ゲート絶縁膜
ＬＳＧ　下側選択ゲート
ＬＳＬ　下側選択ゲート配線
ＵＳＧ　上側選択ゲート
ＵＳＬ　上側選択ゲート配線
ＷＬ　ワード線
ＷＬＬ　ワード配線

【図1】

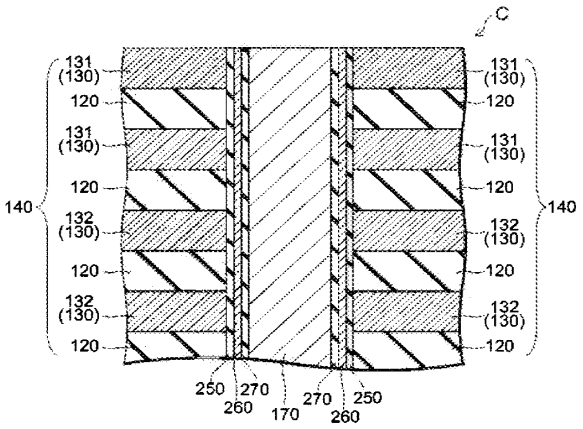


【図2】

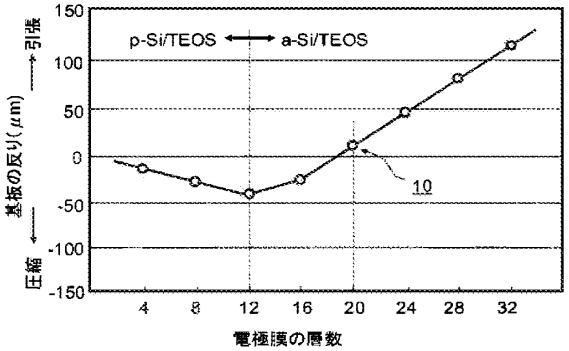


Micron Ex. 1002, p. 1003
Micron v. YMTC
IPR2025-00294

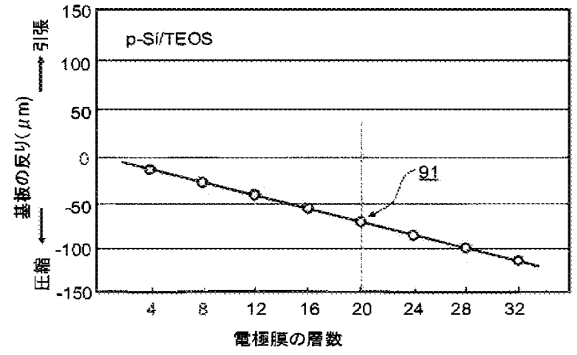
【図3】



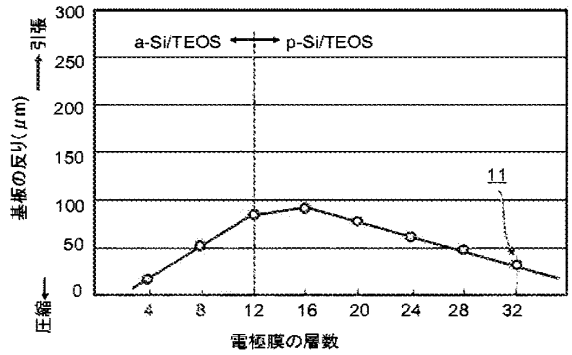
【図4】



【図5】

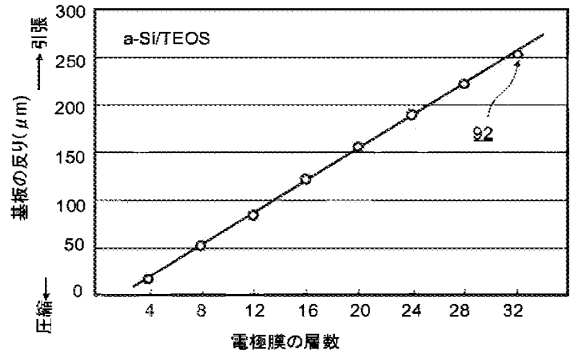


【図6】

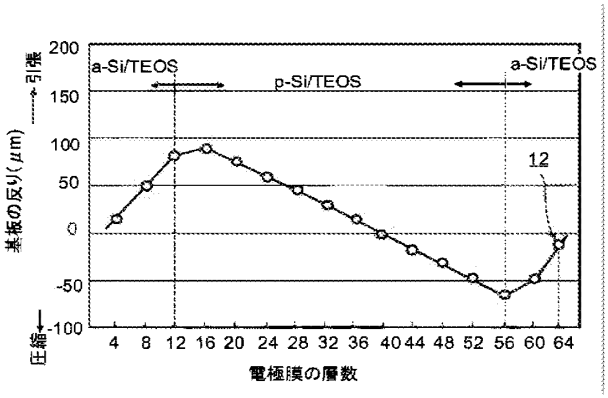


Micron Ex. 1002, p. 1004
Micron v. YMTC
IPR2025-00294

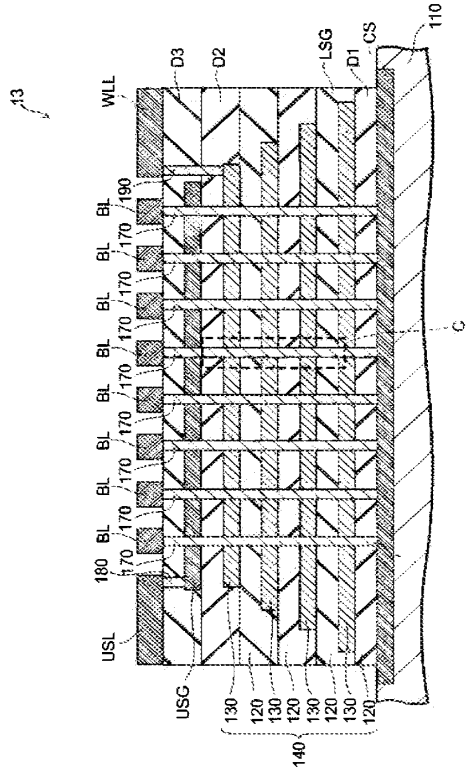
【図7】



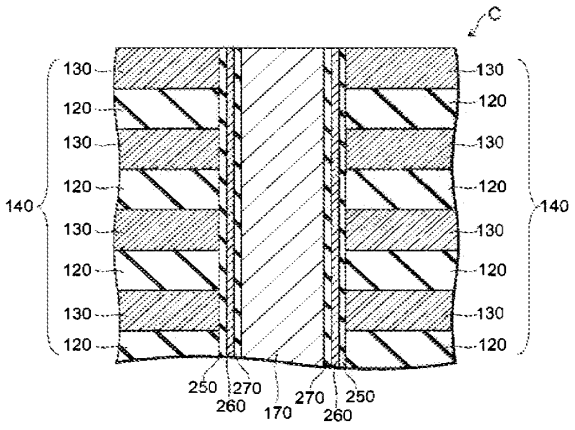
【図8】



【図9】

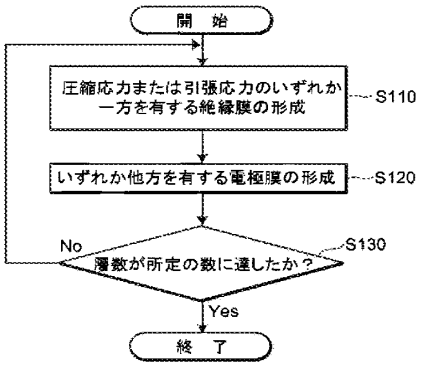


【図10】

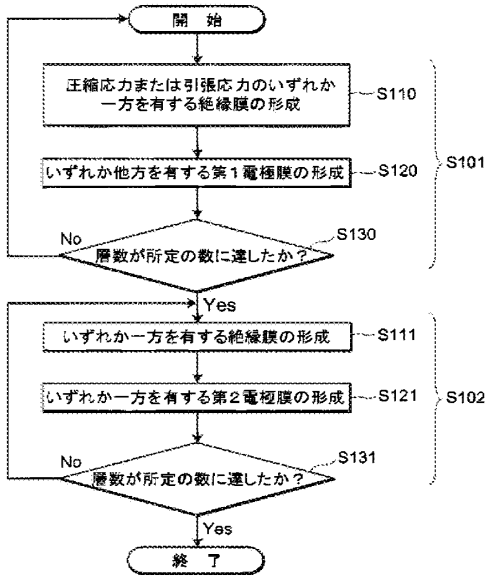


Micron Ex. 1002, p. 1005
Micron v. YMTC
IPR2025-00294

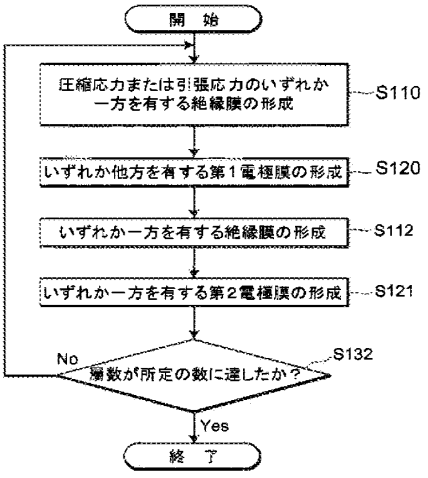
【図11】



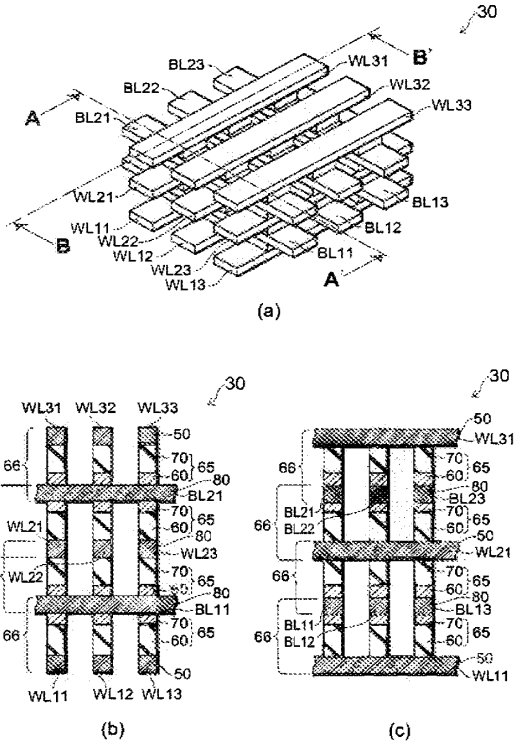
【図12】



【図13】

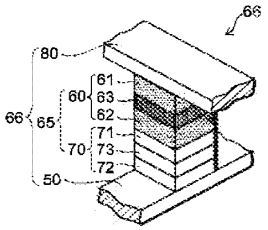


【図14】

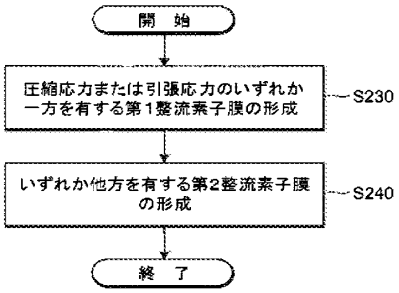


Micron Ex. 1002, p. 1006
Micron v. YMTC
IPR2025-00294

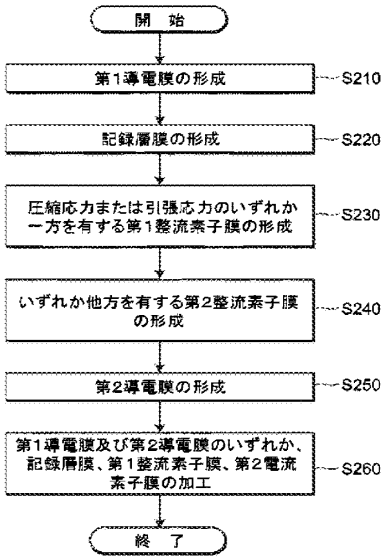
【図15】



【図16】



【図17】



Micron Ex. 1002, p. 1007
Micron v. YMTC
IPR2025-00294

(51)Int.Cl.			F I			テーマコード（参考）
Ｈ０１Ｌ	45/00	(2006.01)	Ｈ０１Ｌ	27/10	４４８	
Ｈ０１Ｌ	49/00	(2006.01)	Ｈ０１Ｌ	45/00	Ａ	
Ｈ０１Ｌ	27/105	(2006.01)	Ｈ０１Ｌ	21/90	Ｂ	
Ｈ０１Ｌ	21/768	(2006.01)	Ｈ０１Ｌ	21/90	Ｊ	
Ｈ０１Ｌ	23/522	(2006.01)				

(72)発明者　福本　敦之
東京都港区芝浦一丁目１番１号　株式会社東芝内

Ｆターム(参考) 5F033 HH04 HH05 LL04 LL06 NN39 RR04 RR06 SS04 TT07 VV16
XX17 XX19
5F083 EP18 EP23 EP76 FZ10 GA10 GA27 JA33 JA36 JA37 JA39
MA06 MA16
5F101 BA45 BB08 BD02 BD22 BD34

Micron Ex. 1002, p. 1008
Micron v. YMTC
IPR2025-00294

Doc Code: PET.AUTO Document Description: Petition automatically granted by EFS-Web	PTO/SB/140 U.S. Patent and Trademark Office Department of Commerce

Electronic Petition Request	**PETITION TO WITHDRAW AN APPLICATION FROM ISSUE AFTER PAYMENT OF THE ISSUE FEE UNDER 37 CFR 1.313(c)**
Application Number	16046847
Filing Date	26-Jul-2018
First Named Inventor	Zhenyu LU
Art Unit	2812
Examiner Name	REEMA PATEL
Attorney Docket Number	4123.0110002
Title	JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME

An application may be withdrawn from issue for further action upon petition by the applicant. To request that the Office withdraw an application from issue, applicant must file a petition under this section including the fee set forth in § 1.17(h) and a showing of good and sufficient reasons why withdrawal of the application from issue is necessary.

APPLICANT HEREBY PETITIONS TO WITHDRAW THIS APPLICATION FROM ISSUE UNDER 37 CFR 1.313(c).

A grantable petition requires the following items:
(1) Petition fee; and
(2) One of the following reasons:
(a) Unpatentability of one or more claims, which must be accompanied by an unequivocal statement that one or more claims are unpatentable, an amendment to such claim or claims, and an explanation as to how the amendment causes such claim or claims to be patentable;
(b) Consideration of a request for continued examination in compliance with § 1.114 (for a utility or plant application only); or
(c) Express abandonment of the application. Such express abandonment may be in favor of a continuing application, but not a CPA under 37 CFR 1.53(d).

Petition Fee

- ○ Small Entity
- ○ Micro Entity
- ◉ Regular Undiscounted

Reason for withdrawal from issue

◯ One or more claims are unpatentable ◉ Consideration of a request for continued examination (RCE) (List of Required Documents and Fees) ◯ Applicant hereby expressly abandons the instant application (any attorney/agent signing for this reason must have power of attorney pursuant to 37 CFR 1.32(b)).
RCE request,submission, and fee. ☐ I certify, in accordance with 37 CFR 1.4(d)(4) that : The RCE request ,submission, and fee have already been filed in the above-identified application on ☒ Are attached.
THIS PORTION MUST BE COMPLETED BY THE SIGNATORY OR SIGNATORIES I certify, in accordance with 37 CFR 1.4(d)(4) that I am: ◉ An attorney or agent registered to practice before the Patent and Trademark Office who has been given power of attorney in this application. ◯ An attorney or agent registered to practice before the Patent and Trademark Office, acting in a representative capacity. ◯ A sole inventor ◯ A joint inventor; I certify that I am authorized to sign this submission on behalf of all of the inventors as evidenced by the power of attorney in the application ◯ A joint inventor; all of whom are signing this e-petition

Signature	/Wenchong Shu/
Name	Wenchong Shu
Registration Number	73999

Electronic Patent Application Fee Transmittal

Application Number:	16046847
Filing Date:	26-Jul-2018
Title of Invention:	JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME
First Named Inventor/Applicant Name:	Zhenyu LU
Filer:	Wenchong Shu/Jon Baitlon
Attorney Docket Number:	4123.0110002

Filed as Large Entity

Filing Fees for Utility under 35 USC 111(a)

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
PETITION FEE- 37 CFR 1.17(H) (GROUP III)	1464	1	140	140
RCE- 1ST REQUEST	1801	1	1360	1360
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				
Miscellaneous:				
		Total in USD ($)		1500

UNITED STATES PATENT AND TRADEMARK OFFICE

Commissioner for Patents
United States Patent and Trademark Office
P.O. Box 1450
Alexandria, VA 22313-1450
www.uspto.gov

Decision Date : November 23, 2020

In re Application of :

Zhenyu LU

DECISION ON PETITION

UNDER CFR 1.313(c)(2)

Application No : 16046847

Filed : 26-Jul-2018

Attorney Docket No : 4123.0110002

This is an electronic decision on the petition under 37 CFR 1.313(c)(2), filed November 23, 2020, to withdraw the above-identified application from issue after payment of the issue fee.

The petition is **GRANTED.**

The above-identified application is withdrawn from issue for consideration of a submission under 37 CFR 1.114 (request for continued examination). See 37 CFR 1.313(c)(2).

Petitioner is advised that the issue fee paid in this application cannot be refunded. If, however, this application is again allowed, petitioner may request that it be applied towards the issue fee required by the new Notice of Allowance.

Telephone inquiries concerning this decision should be directed to the Patent Electronic Business Center (EBC) at 866-217-9197.

This application file is being referred to Technology Center AU 2812 for processing of the request for continuing examination under 37 CFR 1.114 .

Office of Petitions

Electronic Acknowledgement Receipt

EFS ID:	41202306
Application Number:	16046847
International Application Number:	
Confirmation Number:	7612
Title of Invention:	JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME
First Named Inventor/Applicant Name:	Zhenyu LU
Customer Number:	26111
Filer:	Wenchong Shu/Jon Baitlon
Filer Authorized By:	Wenchong Shu
Attorney Docket Number:	4123.0110002
Receipt Date:	23-NOV-2020
Filing Date:	26-JUL-2018
Time Stamp:	17:19:25
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	DA
Payment was successfully received in RAM	$1500
RAM confirmation Number	E2020AMH19215798
Deposit Account	
Authorized User	
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Transmittal Letter	sIDS2-Cover-Letter-4123-0110002.pdf	277468 ed756eddb089f231b679d1a9108313a543381b0c	no	2
Warnings:					
Information:					
2	Request for Continued Examination (RCE)	sIDS2-RCE-Form-4123-0110002.pdf	1349945 03a2b3b78d186a927a95c3db25d7797aea9539be	no	3
Warnings:					
Information:					
3	Quick Path Information Disclosure Statement	sIDS2-sb0009-4123-0110002.pdf	167253 3a909dd5ebda915ebaf4b9bd6304d5c9d8ef2b3c	no	1
Warnings:					
Information:					
4	Transmittal Letter	sIDS2-Pleading-4123-0110002.pdf	122294 a4e75e91b92a464d1dff71cef57be224b5013667	no	3
Warnings:					
Information:					
5	Information Disclosure Statement (IDS) Form (SB08)	sIDS2-SB08a-4123-0110002.pdf	149679 6a173a78a3b6f35f204d4e10759a8634534c9316	no	1
Warnings:					
Information:					
This is not an USPTO supplied IDS fillable form					
6	Information Disclosure Statement (IDS) Form (SB08)	sIDS2-SB08b-4123-0110002.pdf	194997 ee1e4278d81beb52c1359c6e8e483d7fd065799f	no	1
Warnings:					

Information:					
This is not an USPTO supplied IDS fillable form					
7	Foreign Reference	FP1_JP2010080685A.pdf	784771 dfd4f74387791651b24d3f638929fc603093db84	no	26
Warnings:					
Information:					
8	Non Patent Literature	NPL1_JPOA.pdf	100414 f6dbf9ee35ce76dc1360bc1eb9455b39bf74d8c5	no	11
Warnings:					
Information:					
9	Petition automatically granted by EFS	petition-request.pdf	31646 46bd98d4967992661fa1b974e617fe0a1d3af2dc	no	2
Warnings:					
Information:					
10	Fee Worksheet (SB06)	fee-info.pdf	32056 224f3478fa3e97c2fe7540c3e4e7f5e26d381ca7	no	2
Warnings:					
Information:					
		Total Files Size (in bytes):	3210523		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.
National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.
New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

WENCHONG SHU
PATENT AGENT
(202) 772-8656
WSHU@STERNEKESSLER.COM

November 23, 2020

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Confirmation No. 7612
Art Unit 2811
Attn: Mail Stop 313(c)

Re: U.S. Utility Patent Application
Application No. 16/046,847; Filing Date: July 26, 2018
For: **JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME**
Inventors: LU *et al.*
Our Ref: 4123.0110002

Commissioner:

Transmitted herewith for appropriate action are the following documents:

1. Online Credit Card Payment Authorization in the amount of **$1,760.00** to cover:

   $260.00 Information Disclosure Statement Fee, under 37 C.P.R.§ 1.17(p);

   $140.00 Petition to Withdraw from Issue after Payment of the Issue Fee, under 37 C.F. R. § 1.313(c)(2); and

   $1,360.00 Request for Continued Examination Fee, under 37 C.P.R. § 1.17(e).

2. Request for Continued Examination (RCE) Transmittal (PTO/SB/30);

3. ePetition to Withdraw an Application from Issue After Payment of the Issue Fee 5. under 37 C.F.R. 1.313(c)(2);

4. Quickpath Information Disclosure Statement (QPIDS) Transmittal (PTO/SB/09);

5. Second Supplemental Information Disclosure Statement;

6. Form PTO/SB/08a (1 sheet) listing 2 documents (**US1** and **FP1**);

7. Form PTO/SB/08b (1 sheet) listing 1 document (**NPL1**); and

Micron Ex. 1002, p. 1017
Micron v. YMTC
IPR2025-00294

8. Copies of cited documents (**FP1** and **NPL1**).

In the event that extensions of time are necessary to prevent abandonment of this patent application, then such extensions of time are hereby petitioned.

Fee payment is provided through online credit card payment. The U.S. Patent and Trademark Office is hereby authorized to charge any fee deficiency, or credit any overpayment, to our Deposit Account No. 19-0036.

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Wenchong Shu/

Wenchong Shu
Agent for Applicant
Registration No. 73,999

W-S/jcb
Enclosures

15894364_1.docx

Micron Ex. 1002, p. 1018
Micron v. YMTC
IPR2025-00294

PTO/SB/08b (07-09)
Approved for use through 11/30/2020. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 1

Complete if Known	
Application Number	16/046,847
Filing Date	07-26-2018
First Named Inventor	Zhenyu LU
Art Unit	2812
Examiner Name	PATEL, REEMA
Attorney Docket Number	4123.0110002

NON PATENT LITERATURE DOCUMENTS

Examiner Initials*	Cite No.[1]	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	T[2]
	NPL1	Japanese Application No. 2019 -570608, Office Action mailed November 2, 2020; English Translation from EPO Global Dossier, 11 pages.	✓

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

[1] Applicant's unique citation designation number (optional). [2] Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

PTO/SB/08a (07-09)
Approved for use through 11/30/2020. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 1

Complete if Known	
Application Number	16/046,847
Filing Date	07-26-2018
First Named Inventor	Zhenyu LU
Art Unit	2812
Examiner Name	PATEL, REEMA
Attorney Docket Number	4123.0110002

U. S. PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Document Number Number-Kind Code[2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	US1	US- 2010/0079622 A1	04-01-2010	Yoshimizu et al.	
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Foreign Patent Document Country Code[3] Number[4] Kind Code[5] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages Or Relevant Figures Appear	T[6]
	FP1	JP 20100080685 A	04-08-2010	TOSHIBA CORP		

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. [1] Applicant's unique citation designation number (optional). [2] See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. [3] Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). [4] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [6] Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

United States Patent and Trademark Office

Office of the Chief Financial Officer

Document Code:WFEE

User :75320

Sale Accounting Date:11/24/2020

Sale Item Reference Number	Effective Date
16046847	11/23/2020

Document Number	Fee Code	Fee Code Description	Amount Paid	Payment Method
I2020AN056180771	1806	SUBMISSION- INFORMATION DISCLOSURE STMT	$260.00	Deposit Account

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/046,847	07/26/2018	Zhenyu LU	4123.0110002	7612

26111 7590 11/30/2020

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.
1100 NEW YORK AVENUE, N.W.
WASHINGTON, DC 20005

EXAMINER	
PATEL, REEMA	

ART UNIT	PAPER NUMBER
2812	

NOTIFICATION DATE	DELIVERY MODE
11/30/2020	ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

e-office@sternekessler.com

Micron Ex. 1002, p. 1022
Micron v. YMTC
IPR2025-00294

CORRECTED ***Notice of Allowability***	**Application No.** 16/046,847	**Applicant(s)** LU et al.	
	Examiner REEMA PATEL	**Art Unit** 2812	**AIA (FITF) Status** Yes

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☑ This communication is responsive to IDSs filed 11/23/20.
   ☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on _____.

2. ☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.

3. ☑ The allowed claim(s) is/are 1-20 . As a result of the allowed claim(s), you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see **http://www.uspto.gov/patents/init_events/pph/index.jsp** or send an inquiry to **PPHfeedback@uspto.gov.**

4. ☐ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

   Certified copies:

   a) ☐ All b) ☐ Some *c) ☐ None of the:

   1. ☐ Certified copies of the priority documents have been received.
   2. ☐ Certified copies of the priority documents have been received in Application No. _____ .
   3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

   * Certified copies not received: _____ .

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

5. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
   ☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____ .

   Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).

6. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

1. ☐ Notice of References Cited (PTO-892)
2. ☑ Information Disclosure Statements (PTO/SB/08), Paper No./Mail Date _____.
3. ☐ Examiner's Comment Regarding Requirement for Deposit of Biological Material _____.
4. ☐ Interview Summary (PTO-413), Paper No./Mail Date. _____.
5. ☐ Examiner's Amendment/Comment
6. ☑ Examiner's Statement of Reasons for Allowance
7. ☐ Other _____.

/REEMA PATEL/
Primary Examiner, Art Unit 2812

Micron Ex. 1002, p. 1023
Micron v. YMTC
IPR2025-00294

DETAILED ACTION

Notice of Pre-AIA or AIA Status

1. The present application, filed on or after March 16, 2013, is being examined under the first inventor to file provisions of the AIA.

Allowable Subject Matter

2. Claims 1-20 are allowed.

3. The following is an examiner's statement of reasons for allowance: The reasons for allowance for allowance have not changed since the previous Office Action (Notice of Allowance, 10/28/20).

Any comments considered necessary by applicant must be submitted no later than the payment of the issue fee and, to avoid processing delays, should preferably accompany the issue fee. Such submissions should be clearly labeled "Comments on Statement of Reasons for Allowance."

4. Any inquiry concerning this communication or earlier communications from the examiner should be directed to REEMA PATEL whose telephone number is (571)270-1436. The examiner can normally be reached on M-F, 8am-5pm EST.

Examiner interviews are available via telephone, in-person, and video conferencing using a USPTO supplied web-based collaboration tool. To schedule an interview, applicant is encouraged to use the USPTO Automated Interview Request (AIR) at http://www.uspto.gov/interviewpractice.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Charles D Garber can be reached on (571)272-2194. The fax phone

number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see https://ppair-my.uspto.gov/pair/PrivatePair. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/REEMA PATEL/
Primary Examiner, Art Unit 2812

PTO/SB/08b (07-09)
Approved for use through 11/30/2020. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 1

Complete if Known	
Application Number	16/046,847
Filing Date	07-26-2018
First Named Inventor	Zhenyu LU
Art Unit	2812
Examiner Name	PATEL, REEMA
Attorney Docket Number	4123.0110002

NON PATENT LITERATURE DOCUMENTS

Examiner Initials*	Cite No.[1]	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	T[2]
	NPL1	Japanese Application No. 2019 -570608, Office Action mailed November 2, 2020; English Translation from EPO Global Dossier, 11 pages.	✓

Examiner Signature	/REEMA PATEL/	Date Considered	11/24/2020

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

[1] Applicant's unique citation designation number (optional). [2] Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /R.P/

PTO/SB/08a (07-09)
Approved for use through 11/30/2020. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 1

Complete if Known	
Application Number	16/046,847
Filing Date	07-26-2018
First Named Inventor	Zhenyu LU
Art Unit	2812
Examiner Name	PATEL, REEMA
Attorney Docket Number	4123.0110002

U. S. PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Document Number Number-Kind Code[2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	US1	US 2010/0079822 A1	04-01-2010	Yoshimizu et al.	
		US- 2010/0078622			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Foreign Patent Document Country Code[3] Number[4] Kind Code[5] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages Or Relevant Figures Appear	T[6]
	FP1	JP 20100080685 A	04-08-2010	TOSHIBA CORP		

Examiner Signature	/REEMA PATEL/	Date Considered	11/24/2020

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. [1] Applicant's unique citation designation number (optional). [2] See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. [3] Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). [4] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [6] Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /R.P/

United States Patent and Trademark Office

Office of the Chief Financial Officer

Document Code:WFEE

User :C46472

Sale Adjustment Accounting Date:12/01/2020

Effective Date	Sale Accounting Date	Sale Item Reference Number
11/23/2020	12/01/2020	16046847

Document Number	Fee Code	Fee Code Description	Amount Paid	Payment Method
I2020B1851395333	1801	RCE- 1ST REQUEST	$1,360.00	DA

United States Patent and Trademark Office

Office of the Chief Financial Officer

Document Code:WFEE

User :C46472

Refund Accounting Date:12/01/2020

Effective Date	Sale Item Reference Number	Refund Total
11/23/2020	16046847	$1,360.00

Document Number	Fee Code	Fee Code Description	Amount Paid	Payment Method	Account Number
I2020B1851395333	1801	RCE- 1ST REQUEST	$1,360.00	DA	190036

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	ISSUE DATE	PATENT NO.	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/046,847	01/05/2021	10886291	4123.0110002	7612

26111 7590 12/16/2020

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.
1100 NEW YORK AVENUE, N.W.
WASHINGTON, DC 20005

ISSUE NOTIFICATION

The projected patent number and issue date are specified above.

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment is 0 day(s). Any patent to issue from the above-identified application will include an indication of the adjustment on the front page.

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Application Assistance Unit (AAU) of the Office of Data Management (ODM) at (571)-272-4200.

APPLICANT(s) (Please see PAIR WEB site http://pair.uspto.gov for additional applicants):

Zhenyu LU, Wuhan, CHINA;
Yangtze Memory Technologies Co., Ltd., Wuhan, CHINA
Wenguang SHI, Wuhan, CHINA;
Guanping WU, Wuhan, CHINA;
Feng PAN, Wuhan, CHINA;
Xianjin WAN, Wuhan, CHINA;
Baoyou CHEN, Wuhan, CHINA;

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation, and commercialization of new technologies. The USA offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to encourage and facilitate business investment. To learn more about why the USA is the best country in the world to develop technology, manufacture products, and grow your business, visit SelectUSA.gov.

Micron Ex. 1002, p. 1030
Micron v. YMTC
IPR2025-00294

UNITED STATES
PATENT AND TRADEMARK OFFICE

P.O. Box 1450
Alexandria, VA 22313 - 1450
www.uspto.gov

ELECTRONIC ACKNOWLEDGEMENT RECEIPT

APPLICATION #	RECEIPT DATE / TIME	ATTORNEY DOCKET #
16/046,847	**07/03/2024 12:56:17 PM Z ET**	**4123.0110002**

Title of Invention

JOINT OPENING STRUCTURES OF THREE-DIMENSIONAL MEMORY DEVICES AND METHODS FOR FORMING THE SAME

Application Information

APPLICATION TYPE	Utility - Nonprovisional Application under 35 USC 111(a)	PATENT #	10886291
CONFIRMATION #	7612	FILED BY	Austin Zalewski
PATENT CENTER #	66229290	FILING DATE	07/26/2018
CUSTOMER #	26111	FIRST NAMED INVENTOR	Zhenyu LU
CORRESPONDENCE ADDRESS	-	AUTHORIZED BY	Mark Zimmerman

Documents

TOTAL DOCUMENTS: 1

DOCUMENT	PAGES	DESCRIPTION	SIZE (KB)
2017-00212_007-YMTC-PCT-US_POA.pdf	3	Power of Attorney	402 KB

Digest

DOCUMENT	MESSAGE DIGEST(SHA-512)
2017-00212_007-YMTC-PCT-US_POA.pdf	91E2A2B42EC525939C64743710A8D91A33A8ECD1B0240F5C30843D72ABBC4BE0431E001D47BF12219F2FEB6527D079D0E56A3566DDF57B9D319E8E4E1A737CF7

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Doc Code: PA..
Document Description: Power of Attorney

PTO/AIA/82A (07-13)
Approved for use through 09/30/2025. OMB 0651-0035
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FOR POWER OF ATTORNEY TO ONE OR MORE REGISTERED PRACTITIONERS

NOTE: This form is to be submitted with the Power of Attorney by Applicant form (PTO/AIA/82B) to identify the application to which the Power of Attorney is directed, in accordance with 37 CFR 1.5, unless the application number and filing date are identified in the Power of Attorney by Applicant form. If neither form PTO/AIA/82A nor form PTO/AIA82B identifies the application to which the Power of Attorney is directed, the Power of Attorney will not be recognized in the application.

Application Number	16046847
Filing Date	July 26, 2018
First Named Inventor	Zhenyu LU
Title	Joint openning structures of three-dimensional memory devices and methods for forming the same
Art Unit	2812
Examiner Name	REEMA PATEL
Attorney Docket Number	2017-00212_007-YMTC-PCT-US

SIGNATURE of Applicant or Patent Practitioner

Signature	/Mark C. Zimmerman /	Date (Optional)	July 3, 2024
Name	Mark C. Zimmerman	Registration Number	44006
Title (if Applicant is a juristic entity)	Attorney for Applicant		
Applicant Name (if Applicant is a juristic entity)	Yangtze Memory Technologies Co., Ltd.		

NOTE: This form must be signed in accordance with 37 CFR 1.33. See 37 CFR 1.4(d) for signature requirements and certifications. If more than one applicant, use multiple forms.

☐ *Total of _____ forms are submitted.

A Federal agency may not conduct or sponsor, and a person is not required to respond to, nor shall a person be subject to a penalty for failure to comply with an information collection subject to the requirements of the Paperwork Reduction Act of 1995, unless the information collection has a currently valid OMB Control Number. The OMB Control Number for this information collection is 0651-0035. Public burden for this form is estimated to average 3 minutes per response, including the time for reviewing instructions, searching existing data sources, gathering and maintaining the data needed, and completing and reviewing the information collection. Send comments regarding this burden estimate or any other aspect of this information collection, including suggestions for reducing this burden to the Chief Administrative Officer, United States Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450 or email InformationCollection@uspto.gov. **DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.** If filing this completed form by mail, send to: **Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Doc Code: PA..
Document Description: Power of Attorney

PTO/AIA/82B (07-13)
Approved for use through 09/30/2025. OMB 0651-0035
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number

POWER OF ATTORNEY BY APPLICANT

I hereby revoke all previous powers of attorney given in the application identified in either the attached transmittal letter or the boxes below.

Application Number	Filing Date

(Note: The boxes above may be left blank if information is provided on form PTO/AIA/82A.)

☑ I hereby appoint the Patent Practitioner(s) associated with the following Customer Number as my/our attorney(s) or agent(s), and to transact all business in the United States Patent and Trademark Office connected therewith for the application referenced in the attached transmittal letter (form PTO/AIA/82A) or identified above: 34431

OR

☐ I hereby appoint Practitioner(s) named in the attached list (form PTO/AIA/82C) as my/our attorney(s) or agent(s), and to transact all business in the United States Patent and Trademark Office connected therewith for the patent application referenced in the attached transmittal letter (form PTO/AIA/82A) or identified above. (Note: Complete form PTO/AIA/82C.)

Please recognize or change the correspondence address for the application identified in the attached transmittal letter or the boxes above to:

☑ The address associated with the above-mentioned Customer Number

OR

☐ The address associated with Customer Number:

OR

☐ Firm or Individual Name					
Address					
City		State		Zip	
Country					
Telephone		Email			

I am the Applicant (if the Applicant is a juristic entity, list the Applicant name in the box):

Yangtze Memory Technologies Co., Ltd.

☐ Inventor or Joint Inventor (title not required below)

☐ Legal Representative of a Deceased or Legally Incapacitated Inventor (title not required below)

☑ Assignee or Person to Whom the Inventor is Under an Obligation to Assign (provide signer's title if applicant is a juristic entity)

☐ Person Who Otherwise Shows Sufficient Proprietary Interest (e.g., a petition under 37 CFR 1.46(b)(2) was granted in the application or is concurrently being filed with this document) (provide signer's title if applicant is a juristic entity)

SIGNATURE of Applicant for Patent

The undersigned (whose title is supplied below) is authorized to act on behalf of the applicant (e.g., where the applicant is a juristic entity).

Signature		Date (Optional)	
Name	Tuenlap Daniel Chan		
Title	Deputy General Counsel, Head of Intellectual Property Department		

NOTE: Signature - This form must be signed by the applicant in accordance with 37 CFR 1.33. See 37 CFR 1.4 for signature requirements and certifications. If more than one applicant, use multiple forms.

☐ Total of forms are submitted.

A Federal agency may not conduct or sponsor, and a person is not required to respond to, nor shall a person be subject to a penalty for failure to comply with an information collection subject to the requirements of the Paperwork Reduction Act of 1995, unless the information collection has a currently valid OMB Control Number. The OMB Control Number for this information collection is 0651-0035. Public burden for this form is estimated to average 3 minutes per response, including the time for reviewing instructions, searching existing data sources, gathering and maintaining the data needed, and completing and reviewing the information collection. Send comments regarding this burden estimate or any other aspect of this information collection, including suggestions for reducing this burden to the Chief Administrative Officer, United States Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450 or email InformationCollection@uspto.gov. **DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.** If filing this completed form by mail, send to: **Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Micron Ex. 1002, p. 1034
Micron v. YMTC
IPR2025-00294

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. The United States Patent and Trademark Office (USPTO) collects the information in this record under authority of 35 U.S.C. 2. The USPTO's system of records is used to manage all applicant and owner information including name, citizenship, residence, post office address, and other information with respect to inventors and their legal representatives pertaining to the applicant's/owner's activities in connection with the invention for which a patent is sought or has been granted. The applicable Privacy Act System of Records Notice for the information collected in this form is COMMERCE/PAT-TM-7 Patent Application Files, available in the Federal Register at 78 FR 19243 (March 29, 2013). https://www.govinfo.gov/content/pkg/FR-2013-03-29/pdf/2013-07341.pdf

Routine uses of the information in this record may include disclosure to: 1) law enforcement, in the event that the system of records indicates a violation or potential violation of law; 2) a Federal, state, local, or international agency, in response to its request; 3) a contractor of the USPTO having need for the information in order to perform a contract; 4) the Department of Justice for determination of whether the Freedom of Information Act (FOIA) requires disclosure of the record; 5) a Member of Congress submitting a request involving an individual to whom the record pertains, when the individual has requested the Member's assistance with respect to the subject matter of the record; 6) a court, magistrate, or administrative tribunal, in the course of presenting evidence, including disclosures to opposing counsel in the course of settlement negotiations; 7) the Administrator, General Services Administration (GSA), or their designee, during an inspection of records conducted by GSA under authority of 44 U.S.C. 2904 and 2906, in accordance with the GSA regulations and any other relevant (i.e., GSA or Commerce) directive, where such disclosure shall not be used to make determinations about individuals; 8) another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)); 9) the Office of Personnel Management (OPM) for personnel research purposes; and 9) the Office of Management and Budget (OMB) for legislative coordination and clearance.

If you do not furnish the information requested on this form, the USPTO may not be able to process and/or examine your submission, which may result in termination of proceedings, abandonment of the application, and/or expiration of the patent.

Additional Uses

Additional USPTO uses of the information in this record may include disclosure to: 1) the International Bureau of the World Intellectual Property Organization, if the record is related to an international application filed under the Patent Cooperation Treaty; 2) the public i) after publication of the application pursuant to 35 U.S.C. 122(b), ii) after issuance of a patent pursuant to 35 U.S.C. 151, iii) if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections, or an issued patent, or iv) without publication of the application or patent under the specific circumstances provided for by 37 CFR 1.14(a)(1)(v)-(vii); and/or 3) the National Archives and Records Administration, for inspection of records.

Micron Ex. 1002, p. 1035
Micron v. YMTC
IPR2025-00294