대 한 민 국 특 허 청
KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office

출 원 번 호 : 10-2014-0176089
Application Number

출 원 년 월 일 : 2014년 12월 09일
Filing Date DEC. 09, 2014

출 원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.

2016년 02월 09일

특 허 청
COMMISSIONER

제출 일자 : 2014-12-09

【서지사항】

【서류명】	특허출원서
【출원구분】	특허출원
【출원인】	
【명칭】	삼성전자주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【발명의 국문명칭】	반도체 소자
【발명의 영문명칭】	Semiconductor device
【발명자】	
【성명】	임준성
【성명의 영문표기】	LIM, JOON SUNG
【주민등록번호】	780528-1XXXXXX
【우편번호】	448-150
【주소】	경기도 용인시 수지구 신봉3로12번길 9, 411동 1701호(신봉동, 동일하이빌4차아파트)
【국적】	KR
【발명자】	
【성명】	윤장근
【성명의 영문표기】	YUN, JANG GN
【주민등록번호】	800121-1XXXXXX
【우편번호】	445-988

YMTC EXHIBIT 1007
Page 2 of 131

【주소】 경기도 화성시 병점2로 35, 101동 603호(병점동, 주공1단지 아파트)

【국적】 KR

【발명자】

【성명】 윤재선

【성명의 영문표기】 YUN, JAE SUN

【주민등록번호】 710704-1XXXXXX

【우편번호】 431-793

【주소】 경기도 안양시 동안구 평촌대로180번길 28, 306동 601호(평촌동, 향촌롯데아파트)

【국적】 KR

【취지】 위와 같이 특허청장에게 제출합니다.

대리인 박상수 (서명 또는 인)

【수수료】

【출원료】	0	면	46,000	원
【가산출원료】	129	면	0	원
【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	46,000 원			

YMTC EXHIBIT 1007
Page 3 of 131

【명세서】

【발명의 명칭】

반도체 소자{Semiconductor device}

【기술분야】

<1> 본 발명의 기술적 사상은 반도체 소자, 반도체 소자의 제조방법, 이들을 채택하는 전자 시스템에 관한 것이다.

【배경기술】

<2> 플래쉬 메모리 등과 같은 반도체 소자에서, 집적도는 반도체 제품의 가격을 결정할 수 있는 중요한 요인 중 하나이다. 일반적으로, 2차원적으로 배열된 메모리 셀들을 포함하는 2차원 반도체 소자의 경우, 집적도를 증가시키기 위하여 패턴의 미세화를 위해서 초고가의 장비들을 필요로 한다. 따라서, 2차원적으로 배열된 메모리 셀들을 포함하는 반도체 소자의 집적도를 증가시키는데는 한계가 있다. 이러한 2차원 반도체 소자의 집적도 증가의 한계를 극복하기 위하여 3차원적으로 배열되는 메모리 셀들을 포함하는 3차원 반도체 반도체 소자가 제안되고 있다.

【발명의 내용】

【해결하려는 과제】

<3> 본 발명의 기술적 사상이 해결하려는 과제는 집적도를 증가시킬 수 있는 반도체 소자를 제공하는데 있다.

<4> 본 발명의 기술적 사상이 해결하려는 과제는 주변 회로 영역 및 주변 회로

YMTC EXHIBIT 1007
Page 4 of 131

영역 상에 배치되는 셀 어레이 영역을 포함하는 반도체 소자를 제공하는데 있다.

<5> 본 발명의 기술적 사상이 해결하려는 과제는 반도체 기판에 수직한 방향으로 배열된 주변 회로 영역 및 셀 어레이 영역을 전기적으로 연결하는 배선 구조체를 포함하는 반도체 소자를 제공하는데 있다.

<6> 본 발명의 기술적 사상이 해결하고자 하는 과제는 상기 반도체 소자의 형성 방법을 제공하는데 있다.

<7> 본 발명의 기술적 사상이 해결하고자 하는 과제는 상기 반도체 소자를 갖는 전자 장치 및 전자 시스템을 제공하는데 있다.

<8> 본 발명이 해결하려는 과제들은 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당 업자에게 명확하게 이해될 수 있을 것이다.

【과제의 해결 수단】

<9> 본 발명의 기술적 사상의 일 양태에 따른 반도체 소자를 제공한다. 이 반도체 소자는 반도체 기판 상에 배치되며 개구부를 갖는 반도체 패턴을 포함한다. 상기 반도체 패턴은 제1 도전형을 갖는 제1 불순물 영역 및 상기 제1 도전형과 다른 제2 도전형을 갖는 제2 불순물 영역을 포함한다. 상기 반도체 기판과 상기 반도체 패턴 사이에 주변 트랜지스터가 배치된다. 상기 반도체 기판과 상기 반도체 패턴 사이에 제1 주변 배선 구조체가 배치된다. 상기 제1 주변 배선 구조체는 상기 주변 트랜지스터와 전기적으로 연결된다. 상기 반도체 패턴 상에 셀 게이트 도전성 패턴

YMTC EXHIBIT 1007
Page 5 of 131

들이 배치된다. 상기 셀 게이트 도전성 패턴들을 관통하며 상기 반도체 패턴과 연결되는 셀 수직 구조체들이 배치된다. 상기 셀 수직 구조체들 상에 셀 비트라인 콘택 플러그들이 배치된다. 상기 셀 비트라인 콘택 플러그들 상에 배치되는 비트라인이 배치된다. 상기 비트라인과 상기 제1 주변 배선 구조체 사이에 주변 비트라인 콘택 구조체가 배치된다. 상기 주변 비트라인 콘택 구조체는 상기 반도체 패턴의 상기 개구부를 지난다.

<10> 본 발명의 기술적 사상의 일 양태에 따른 반도체 소자를 제공한다. 이 반도체 소자는 반도체 기판 상에 배치되며 개구부를 갖는 반도체 패턴을 포함한다. 상기 반도체 기판과 상기 반도체 패턴 사이에 제1 주변 콘택 패드를 갖는 제1 주변 배선 구조체가 배치된다. 상기 반도체 기판과 상기 반도체 패턴 사이에 개재면서 상기 반도체 패턴 외측 방향으로 연장되며 제2 주변 콘택 패드를 갖는 제2 주변 배선 구조체가 배치된다. 상기 반도체 패턴 상에 셀 어레이 영역이 배치된다. 상기 반도체 패턴 상의 상기 셀 어레이 영역의 일 측에 제1 계단 영역이 배치된다. 상기 반도체 패턴 상에 셀 게이트 도전성 패턴이 배치된다. 상기 셀 게이트 도전성 패턴은 상기 셀 어레이 영역 내에 배치되면서 상기 제1 계단 영역으로 연장된다. 상기 셀 어레이 영역 내의 상기 셀 게이트 도전성 패턴을 관통하며 상기 반도체 패턴과 연결되는 셀 수직 구조체가 배치된다. 상기 셀 수직 구조체 상에 비트 라인이 배치된다. 상기 비트 라인과 상기 제1 주변 콘택 패드 사이에 주변 비트라인 콘택 구조체가 배치된다. 상기 주변 비트라인 콘택 구조체는 상기 반도체 패턴의 상기 개구부를 지난다. 상기 반도체 패턴 상의 상기 제1 계단 영역의 상기 셀 게이트 도전성

YMTC EXHIBIT 1007
Page 6 of 131

패턴 상에 셀 게이트 콘택 구조체가 배치된다. 상기 제2 주변 콘택 패드 상에 주변 워드라인 콘택 구조체가 배치된다. 상기 주변 워드라인 콘택 구조체는 상기 반도체 패턴의 외측 상에 배치된다. 상기 셀 게이트 콘택 구조체와 상기 주변 워드라인 콘택 구조체를 전기적으로 연결하는 워드라인 배선 구조체가 배치된다.

<11> 본 발명의 기술적 사상의 일 양태에 따른 반도체 소자를 제공한다. 이 반도체 소자는 반도체 기판 상의 반도체 패턴을 포함한다. 상기 반도체 기판과 상기 반도체 패턴 사이에 주변 트랜지스터가 배치된다. 상기 반도체 기판과 상기 반도체 패턴 사이에 주변 배선 구조체가 배치된다. 상기 주변 배선 구조체는 상기 주변 트랜지스터와 전기적으로 연결되고 주변 콘택 패드를 갖는다. 상기 반도체 패턴 상에 게이트 도전성 구조체가 배치된다. 상기 게이트 도전성 구조체는 상기 반도체 패턴에 수직한 방향으로 적층된 복수의 셀 게이트 도전성 패턴들을 포함한다. 상기 게이트 도전성 구조체를 관통하는 셀 수직 구조체가 배치된다. 상기 셀 수직 구조체 상에 셀 도전성 라인이 배치된다. 상기 셀 도전성 라인은 상기 반도체 패턴의 폭보다 작은 크기의 길이를 갖는다. 상기 셀 도전성 라인과 상기 주변 콘택 패드 사이에 주변 콘택 구조체가 배치된다.

<12> 본 발명의 기술적 사상의 일 양태에 따른 반도체 소자를 제공한다. 이 반도체 소자는 반도체 기판 상에 배치되는 주변 트랜지스터를 포함한다. 상기 반도체 기판 상에 상기 주변 트랜지스터와 전기적으로 연결되는 주변 배선 구조체가 배치된다. 상기 주변 배선 구조체는 주변 콘택 패드를 갖는다. 상기 반도체 기판 상에 배치되며 상기 주변 트랜지스터 및 상기 주변 배선 구조체를 덮는 하부 층간 절연

YMTC EXHIBIT 1007
Page 7 of 131

막이 배치된다. 상기 하부 층간 절연 막 상에 버퍼 절연성 막이 배치된다. 상기 버퍼 절연성 막 상에 반도체 패턴이 배치된다. 상기 반도체 패턴은 상기 주변 트랜지스터 및 상기 주변 배선 구조체와 중첩한다. 상기 반도체 패턴 상에 수평 방향으로 차례로 배열된 제1 게이트 도전성 구조체, 제2 게이트 도전성 구조체 및 제3 게이트 도전성 구조체가 배치된다. 상기 제1 내지 제3 게이트 도전성 구조체들의 각각은 상기 반도체 패턴에 수직한 방향으로 적층된 복수의 셀 게이트 도전성 패턴들을 포함한다. 상기 제1 내지 제3 게이트 도전성 구조체들을 관통하는 셀 수직 구조체들이 배치된다. 상기 셀 수직 구조체들 상에 셀 비트라인 콘택 플러그들이 배치된다. 상기 셀 비트라인 콘택 플러그들 상에 비트라인이 배치된다. 상기 반도체 패턴을 관통하면서 상기 비트라인과 상기 주변 콘택 패드 사이에 주변 비트라인 콘택 구조체가 배치된다.

<13> 기타 실시 예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

【발명의 효과】

<14> 본 발명의 기술적 사상의 실시 예들에 따르면, 집적도를 향상시킬 수 있는 3차원 반도체 소자를 제공할 수 있다.

<15> 본 발명의 기술적 사상의 실시 예들에 따르면, 주변 회로 영역과 메모리 셀 어레이 영역을 수직하게 배열하고, 메모리 셀 어레이 영역의 비트라인과 상기 주변 회로 영역을 전기적으로 연결하기 위한 콘택 구조체를 상기 메모리 셀 어레이 영역

YMTC EXHIBIT 1007
Page 8 of 131

을 수직하게 관통하게 배치하거나, 상기 메모리 셀 어레이 영역에 가까운 위치에 배치함으로써 집적도를 향상시킬 수 있다.

【도면의 간단한 설명】

<16> 도 1은 본 발명의 기술적 사상의 실시예들에 따른 반도체 소자를 나타낸 개념도이다.

도 2a 및 도 2b는 본 발명의 기술적 사상의 실시예들에 따른 반도체 소자를 나타낸 평면도들이다.

도 3a 및 도 3b는 본 발명의 기술적 사상의 일 실시예들에 따른 반도체 소자를 나타낸 단면도들이고, 도 3c는 도 3a의 "A" 부분을 확대한 부분 확대도이다.

도 4a 및 도 4b는 본 발명의 기술적 사상의 일 실시예들에 따른 반도체 소자를 나타낸 단면도들이다.

도 5a 및 도 5b는 본 발명의 기술적 사상의 일 실시예들에 따른 반도체 소자를 나타낸 단면도들이다.

도 6 내지 도 10의 각각은 본 발명의 기술적 사상의 일 실시예들에 따른 반도체 소자를 나타낸 평면도이다.

도 11a 및 도 11b는 본 발명의 기술적 사상의 일 실시예들에 따른 반도체 소자를 나타낸 단면도들이다.

도 12는 본 발명의 기술적 사상의 실시예들에 따른 반도체 소자를 나타낸 개념도이다.

YMTC EXHIBIT 1007
Page 9 of 131

도 13a 및 도 13b는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자를 나타낸 평면도들이다.

도 14는 본 발명의 기술적 사상의 일 실시예들에 따른 반도체 소자를 나타낸 단면도이다.

도 15는 본 발명의 기술적 사상의 일 실시예들에 따른 반도체 소자를 나타낸 단면도이다.

도 16은 본 발명의 기술적 사상의 일 실시예들에 따른 반도체 소자를 나타낸 단면도이다.

도 17은 본 발명의 기술적 사상의 일 실시예들에 따른 반도체 소자를 나타낸 평면도이다.

도 18은 본 발명의 기술적 사상의 일 실시예들에 따른 반도체 소자를 나타낸 단면도이다.

도 19는 본 발명의 기술적 사상의 일 실시예들에 따른 반도체 소자 형성 방법을 나타낸 공정 흐름도이다.

도 20a 내지 도 26b는 본 발명의 기술적 사상의 일 실시예들에 따른 반도체 소자 형성 방법을 나타낸 단면도들이다.

도 27은 본 발명의 기술적 사상의 일 실시예들에 따른 반도체 소자 형성 방법을 나타낸 공정 흐름도이다.

도 28은 본 발명의 기술적 사상의 일 실시예들에 따른 반도체 소자 형성 방

YMTC EXHIBIT 1007
Page 10 of 131

법을 나타낸 공정 흐름도이다.

도 29는 본 발명의 기술적 사상의 일 실시예들에 따른 반도체 소자 형성 방법을 나타낸 공정 흐름도이다.

도 30a 내지 도 32b는 본 발명의 기술적 사상의 일 실시예들에 따른 반도체 소자 형성 방법을 나타낸 단면도들이다.

도 33 내지 도 35는 본 발명의 기술적 사상의 일 실시예들에 따른 반도체 소자 형성 방법을 나타낸 단면도들이다.

도 36 및 도 37은 본 발명의 기술적 사상의 일 실시예들에 따른 반도체 소자 형성 방법을 나타낸 단면도들이다.

도 38은 본 발명의 기술적 사상의 실시예들에 따른 반도체 모듈을 개략적으로 나타낸 도면이다.

도 39는 본 발명의 기술적 사상의 실시예에 따른 전자 시스템을 개념적으로 도시한 블록도이다.

도 40은 본 발명의 기술적 사상의 실시예에 따른 전자 시스템(500)을 개략적으로 도시한 블록도이다.

【발명을 실시하기 위한 구체적인 내용】

<17> 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태

YMTC EXHIBIT 1007
Page 11 of 131

로 구현될 것이며, 단지 본 실시예들은 본 발명의 기술적 사상의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 층 및 영역들의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

<18> 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 개략도인 단면도, 평면도 및 블록도를 참고하여 설명될 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이고, 발명의 범주를 제한하기 위한 것은 아니다.

<19> 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장된 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되는 경우에 그것은 다른 층 또는 기판상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 의미한다.

<20> 상단, 하단, 상면, 하면, 또는 상부, 하부 등의 용어는 구성요소에 있어 상대적인 위치를 구별하기 위해 사용되는 것이다. 예를 들어, 편의상 도면상의 위쪽

을 상부, 도면상의 아래쪽을 하부로 명명하는 경우, 실제에 있어서는 본 발명의 권리 범위를 벗어나지 않으면서 상부는 하부로 명명될 수 있고, 하부는 상부로 명명될 수 있다.

<21> 또한, "상부", "중간" 및 "하부" 등과 같은 용어는 구성요소들 사이에 있어서 상대적인 위치를 구별하기 위해 사용되는 것으로써, 이들 용어들에 의하여 본 발명의 기술적 사상이 한정되는 것은 아니다. 따라서, 이들 "상부", "중간" 및 "하부" 등과 같은 용어는 다른 용어, 예를 들어 "제1", "제2" 및 "제3" 등의 용어로 대체되어 명세서의 구성요소들을 설명하기 위하여 사용될 수도 있다.

<22> "제1", "제2" 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되는 것은 아니다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 "제1 구성요소"는 "제2 구성요소"로 명명될 수 있다.

<23> 본 출원에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명의 기술적 사상을 한정하려는 의도가 아니다.

<24> 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제

YMTC EXHIBIT 1007
Page 13 of 131

하지 않는 것으로 이해되어야 한다.

<25> 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 기술적 사상이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미가 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미가 있는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

<26> 도 1은 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자를 설명하기 위한 개략적인 개념도이다. 도 2a 및 도 2b는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자를 나타낸 평면도들이다. 도 2a 및 도 2b에서, 도 2b는 도면의 복잡성을 피하기 위하여 도 2a의 도면에 배선 구조체들을 추가한 평면도이다. 도 3a는 도 2a의 I-I' 및 II-II'선을 따라 각각 취해진 영역들을 나타낸 단면도이고, 도 3b는 도 2b의 III-III'선 및 IV-IV'선을 따라 각각 취해진 영역들을 나타낸 단면도이다. 도 3c는 도 3a의 "A" 부분을 확대한 부분 확대도이다.

<27> 우선, 도 1, 도 2a, 도 2b, 도 3a, 도 3b 및 도 3c를 참조하여 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자를 설명하기로 한다.

<28> 도 1, 도 2a, 도 2b, 도 3a, 도 3b 및 도 3c를 참조하면, 반도체 기판(2) 상에 주변 회로영역이 배치될 수 있다. 상기 반도체 기판(2)은 실리콘 등과 같은 반

도체 물질로 형성될 수 있다. 상기 주변 회로 영역은 제1 주변 회로 영역(PC1), 제2 주변 회로 영역(PC2) 및 제3 주변 회로 영역(PC3)를 포함할 수 있다. 상기 제1 주변 회로 영역(PC1)은 페이지 버퍼 회로를 포함할 수 있다. 상기 제1 주변 회로 영역(PC1)은 회로를 구성할 수 있는 주변 트랜지스터(PTR) 및 상기 주변 트랜지스터(PTR)와 전기적으로 연결된 제1 주변 배선 구조체(PW1)를 포함할 수 있다. 상기 제1 주변 배선 구조체(PW)는 제1 주변 콘택 패드 부분(PP1)을 포함할 수 있다.

<29> 상기 주변 트랜지스터(PTR)는 주변 게이트(PG), 주변 불순물 영역들(PS, PD)을 포함할 수 있다. 상기 주변 게이트(PG)는 소자분리 영역(3)에 의해 한정되는 활성 영역 상에 배치될 수 있다. 상기 주변 불순물 영역들(PS, PD)은 상기 주변 게이트(PG) 양 옆의 활성 영역 내에 배치되며, 소스/드레인 역할을 할 수 있다.

<30> 상기 반도체 기판(2)의 상기 제1 내지 제3 주변 회로 영역들(PC1, PC2, PC3)을 덮는 하부 층간 절연 막(LILD)이 배치될 수 있다. 상기 하부 층간 절연 막(LILD)은 실리콘 산화물을 포함하는 절연성 물질로 형성될 수 있다. 상기 제1 주변 배선 구조체(PW) 및 상기 제1 주변 배선 구조체(PW)의 상기 제1 주변 콘택 패드 부분(PP1)은 상기 하부 층간 절연 막(LILD)에 의해 덮일 수 있다.

<31> 상기 주변 하부 층간 절연 막(LILD) 상에 버퍼 절연성 막(10)이 배치될 수 있다. 상기 버퍼 절연성 막(10)은 상기 버퍼 절연성 막(10)과 접촉하는 상기 하부 층간 절연 막(LILD)의 부분과 다른 식각 선택비를 가질 수 있다. 예를 들어, 버퍼 절연성 막(10)은 실리콘 질화물로 형성될 수 있고, 상기 버퍼 절연성 막(10)과 접촉하는 상기 하부 층간 절연 막(LILD)의 부분은 실리콘 산화물로 형성될 수 있다.

<32> 상기 버퍼 절연성 막(10) 상에 개구부(16)를 갖는 반도체 패턴(14)이 배치될 수 있다. 상기 반도체 패턴(14)은 상기 제1 주변 회로 영역(PC1), 제2 주변 회로 영역(PC2) 및/또는 제3 주변 회로 영역(PC3)과 중첩할 수 있다. 상기 반도체 패턴(14)은 제1 도전형의 제1 불순물 영역(LC), 상기 제1 도전형과 다른 제2 불순물 영역(42), 상기 제1 도전형이면서 상기 제1 불순물 영역(LC) 보다 높은 불순물 농도를 갖는 바디 콘택 불순물 영역(50), 및 상기 제1 도전형이면서 상기 제1 불순물 영역(LC) 보다 높은 불순물 농도를 갖고 상기 제1 불순물 영역(LC) 하부에 배치되는 제3 불순물 영역(HC)을 포함할 수 있다. 상기 제1 불순물 영역(LC)은 저농도 불순물 영역으로 명명될 수 있고, 상기 제2 불순물 영역(42)은 셀 소스 불순물 영역으로 명명될 수 있고, 상기 제3 불순물 영역(HC)은 고농도 불순물 영역으로 명명될 수도 있다.

<33> 일 실시예에서, 상기 제1 불순물 영역(LC), 상기 제3 불순물 영역(HC) 및 상기 셀 바디 콘택 불순물 영역(50)은 P형의 도전형일 수 있고, 상기 제2 불순물 영역(42)은 N형의 도전형일 수 있다.

<34> 상기 주변 트랜지스터(PTR) 및 상기 제1 주변 배선 구조체(PW1)는 상기 반도체 기판(2)과 상기 반도체 패턴(14) 사이에 배치될 수 있다.

<35> 상기 반도체 기판(2)과 상기 반도체 패턴(14) 사이에 배치되며 상기 반도체 패턴(14)의 외측 방향으로 연장되는 상기 제2 주변 배선 구조체(도 1의 PW2) 및 제3 주변 배선 구조체(도 3b의 PW3)가 배치될 수 있다.

<36> 상기 제2 주변 배선 구조체(도 1의 PW2)는 상기 반도체 패턴(14)과 중첩하지

않는 부분에서 제2 주변 콘택 패드(PP2)를 가질 수 있다. 상기 제3 주변 배선 구조체(도 3b의 PW3)는 상기 반도체 패턴(14)과 중첩하지 않는 부분에서 제3 주변 콘택 패드(PP3)를 가질 수 있다. 상기 제1 주변 배선 구조체(PW1)의 상기 제1 주변 콘택 패드(PP1)는 상기 반도체 기판(2)과 상기 반도체 패턴(14) 사이에 위치할 수 있다.

<37> 상기 반도체 패턴(14)의 상기 개구부(16) 내에 절연성 갭필 막(18)이 배치될 수 있다. 상기 반도체 패턴(14)의 측면 상에 중간 층간 절연 막(19)이 배치될 수 있다. 상기 절연성 갭필 막(18) 및 상기 중간 층간 절연 막(19)은 실리콘 산화물로 형성될 수 있다.

<38> 상기 반도체 패턴(14) 상에 셀 어레이 영역(CA) 및 상기 계단 영역들(ST1, ST2, ST3, ST4)이 배치될 수 있다. 상기 계단 영역들(ST1, ST2, ST3, S4)은, 평면에서, 상기 셀 어레이 영역(CA)을 사이에 두고 서로 마주보는 제1 및 제3 계단 영역들(ST1, ST3), 및 상기 셀 어레이 영역(CA)을 사이에 두고 서로 마주보는 제2 및 제4 계단 영역들(ST2, ST4)을 포함할 수 있다.

<39> 상기 반도체 기판(14) 상에 셀 게이트 도전성 구조체들(GS1, GS2, GS3)이 배치될 수 있다. 상기 셀 게이트 도전성 구조체들(GS1, GS2, GS3)은 상기 셀 어레이 영역(CA) 내에 배치될 수 있다. 상기 셀 게이트 도전성 구조체들(GS1, GS2, GS3)은 상기 셀 어레이 영역(CA) 으로부터 상기 제1 및 제3 계단 영역들(ST1, ST3) 내로 연장될 수 있다.

<40> 상기 셀 게이트 도전성 구조체들(GS1, GS2, GS3)은 제1 게이트 도전성 구조체(GS1), 제2 게이트 도전성 구조체(GS2) 및 제3 게이트 도전성 구조체(GS3)을 포

함할 수 있다. 상기 제1 및 제2 게이트 도전성 구조체들(GS1, GS2) 사이의 이격 거리는 상기 제2 및 제3 게이트 도전성 구조체들(GS2, GS3) 사이의 이격 거리 보다 클 수 있다.

<41> 상기 제1, 제2 및 제3 게이트 도전성 구조체들(GS1, GS2, GS3)의 각각은 상기 반도체 패턴(14) 상에 차례로 적층되며 서로 이격된 셀 게이트 도전성 패턴들(38a)을 포함할 수 있다. 상기 셀 게이트 도전성 패턴들(38a)은 상기 반도체 패턴(14)의 제1 계단 영역(ST1) 및 제2 계단 영역(ST2)에서 계단 구조를 갖도록 배치될 수 있다. 상기 계단 구조는 상기 셀 어레이 영역(CA)으로부터 멀어질수록 단계적으로 낮아지는 계단 구조일 수 있다.

<42> 상기 셀 게이트 도전성 패턴들(38a) 사이 및 상기 셀 게이트 도전성 패턴들(38a) 중 최하위 패턴과 상기 반도체 패턴(14) 사이에 셀 층간 절연성 패턴들(21)이 배치될 수 있다. 상기 셀 층간 절연성 패턴들(21) 및 상기 셀 게이트 도전성 패턴들(38a)은 교대로 반복적으로 적층될 수 있다.

<43> 상기 제1 및 제2 게이트 도전성 구조체들(GS1, GS2) 사이의 상기 반도체 패턴(14) 상에 절연성 구조체(23)가 배치될 수 있다.

<44> 상기 절연성 구조체(23)는 교대로 반복적으로 적층된 제1 절연성 패턴(20a) 및 제2 절연성 패턴(22b)을 포함할 수 있다. 따라서, 상기 절연성 구조체(23)는 복수의 제1 절연성 패턴들(20a) 및 복수의 제2 절연성 패턴들(22a)을 포함할 수 있다.

<45> 상기 제1 절연성 패턴(20a)은 상기 제2 절연성 패턴(22a) 보다 큰 폭을 가지면서 상기 제2 절연성 패턴(22a)과 식각 선택비를 가질 수 있다. 예를 들어, 상기 제1 절연성 패턴(20a)은 실리콘 산화물로 형성될 수 있고, 상기 제2 절연성 패턴(22a)은 실리콘 질화물로 형성될 수 있다.

<46> 상기 제1 및 제2 게이트 도전성 구조체들(GS1, GS2) 사이의 상기 반도체 패턴(14) 상에서, 상기 제2 절연성 패턴(22a)의 수평 방향에 더미 게이트 도전성 패턴(38b)이 배치될 수 있다. 상기 제2 절연성 패턴들(22a)은 상기 셀 게이트 도전성 패턴들(38a)과 동일 평면에 배치될 수 있다.

<47> 상기 절연성 구조체(23)는 상기 개구부(16)와 중첩할 수 있다. 상기 절연성 구조체(23)는 상기 개구부(16) 내의 갭필 절연성 막(18)과 중첩할 수 있다.

<48> 상기 반도체 패턴(14) 상의 상기 제2 및 제4 계단 영역들(ST2, ST4) 상에 교대로 반복적으로 적층되며 계단 구조로 형성된 제3 절연성 패턴(20b) 및 제4 절연성 패턴(22b)이 배치될 수 있다. 상기 계단 구조는 상기 셀 어레이 영역(CA)으로부터 멀어지는 방향으로 아래로 내려가는 계단 모양일 수 있다. 상기 제3 절연성 패턴들(20b)은 상기 제1 절연성 패턴들(20a) 및 상기 셀 층간 절연성 패턴들(21)과 동일한 물질로 형성될 수 있으며, 동일 평면에 배치될 수 있다. 상기 제4 절연성 패턴들(22b)은 상기 제2 절연성 패턴들(22a)과 동일한 물질로 형성될 수 있으며, 동일 평면에 배치될 수 있다. 상기 제2 절연성 패턴들(22a) 및 상기 제4 절연성 패턴들(22b)은 상기 셀 게이트 도전성 패턴들(38a)과 동일 평면에 배치될 수 있다.

<49> 상기 셀 게이트 도전성 구조체들(GS1, GS2, GS3), 상기 절연성 구조체(23),

YMTC EXHIBIT 1007
Page 19 of 131

상기 제2 및 제4 절연성 패턴들(22a, 22b)를 갖는 기판 상에 제1 상부 층간 절연막(24)이 배치될 수 있다.

<50> 상기 반도체 패턴(14) 상의 상기 셀 어레이 영역(CA) 내에 셀 수직 구조체들(CV)이 배치될 수 있다. 상기 셀 수직 구조체들(CV)은 상기 반도체 패턴(14)의 상기 제1 불순물 영역(LC) 상에 배치될 수 있다. 상기 셀 수직 구조체들(CV)은 상기 제1 상부 층간 절연 막(24), 상기 셀 게이트 도전성 패턴들(38a) 및 상기 셀 층간 절연성 패턴들(21)을 관통하며 상기 반도체 패턴(14)의 상기 제1 불순물 영역(LC)과 연결될 수 있다.

<51> 상기 셀 수직 구조체들(CV)의 각각은 제1 유전체(27), 셀 반도체 층(28), 코어 절연 패턴(29) 및 셀 패드 패턴(30)을 포함할 수 있다. 상기 셀 패드 패턴(30)은 상기 코어 절연 패턴(29) 상에 배치될 수 있다. 상기 셀 패드 패턴(30)은 도우프트 실리콘으로 형성될 수 있다. 상기 셀 패드 패턴(30)은 N형의 도전형일 수 있다.

<52> 상기 셀 반도체 층(28)은 상기 코어 절연 패턴(29)의 측면 및 바닥을 둘러싸도록 배치될 수 있다. 상기 셀 반도체 층(28)은 트랜지스터의 채널로 이용될 수 있는 물질, 예를 들어 실리콘으로 형성될 수 있다. 상기 제1 유전체(27)는 상기 셀 반도체 층(28)의 외측 상에 배치될 수 있다. 상기 셀 반도체 층(28)은 상기 제1 유전체(27)와 상기 코어 절연 패턴(29) 사이에 배치될 수 있다.

<53> 상기 셀 수직 구조체들(CV)과 상기 셀 게이트 도전성 패턴들(38a) 사이에 제2 유전체(37)가 배치될 수 있다.

YMTC EXHIBIT 1007
Page 20 of 131

<54> 상기 제1 및 제2 유전체들(27, 37) 중 어느 하나는 정보를 저장할 수 있는 정보 저장 층을 포함할 수 있다. 예를 들어, 상기 제1 유전체(27)는 상기 셀 반도체 층(28)으로부터 차례로 형성된 터널 유전 층 및 정보 저장 층을 포함할 수 있다. 상기 제2 유전체(37)는 블록킹 유전체를 포함할 수 있다. 상기 제1 및 제2 유전체들(27, 37)은 낸드 플래쉬 메모리 소자의 컨트롤 게이트와 낸드 플래쉬의 셀 트랜지스터의 바디 사이의 유전체와 동일한 구조일 수 있다. 그렇지만, 본 발명의 기술적 사상은 이러한 낸드 플래쉬의 구조에 한정되지 않으며 다양한 메모리 소자에 이용될 수 있다.

<55> 상기 제1 상부 층간 절연 막(24) 상에 제2 상부 층간 절연 막(32)이 배치될 수 있다.

<56> 상기 반도체 패턴(14) 상에 상기 셀 어레이 영역(CA)을 가로지르며 상기 제1 및 제3 계단 영역들(ST1, St3) 내로 연장된 복수의 셀 소스 패턴들(46)이 배치될 수 있다. 상기 셀 소스 패턴들(46)은 상기 제2 불순물 영역들, 즉 셀 소스 불순물 영역들(46) 상에 배치될 수 있다. 상기 셀 소스 패턴들(46)은 도전성 물질을 포함할 수 있다. 상기 셀 소스 패턴들(46)은 상기 제2 불순물 영역들(46)과 중첩하면서 전기적으로 연결될 수 있다. 상기 셀 소스 패턴들(46)은 제1 방향(X)으로 연장된 라인 모양일 수 있다. 상기 셀 소스 패턴들(46)은 상기 제1 방향(X)과 수직한 제2 방향(Y)으로 차례로 배열되며 평행할 수 있다.

<57> 상기 셀 소스 패턴들(46)은 상기 제1 및 제2 상부 층간 절연 막들(24, 32)을 관통하며 상기 셀 게이트 도전성 패턴들(38a)을 수직하게 지나면서 상기 반도체 패

턴(14)의 상기 제2 불순물 영역들(42)에 연결될 수 있다.

<58> 상기 셀 소스 패턴들(46)은 차례로 배열되며 서로 다른 간격으로 이격된 제1 내지 제3 소스 패턴들(46a, 46b, 46c)를 포함할 수 있다. 예를 들어, 서로 인접하는 상기 제1 및 제2 소스 패턴들(46a, 46b) 사이의 간격은 서로 인접하는 상기 제2 및 제3 소스 패턴들(46b, 46c) 사이의 간격 보다 클 수 있다.

<59> 상기 소스 패턴들(46) 중에서, 상대적으로 좁은 간격으로 배열된 소스 패턴들, 예를 들어 상기 제2 및 제3 소스 패턴들(46b, 46c) 사이에 상기 셀 게이트 도전성 패턴들(38a)이 배치될 수 있다. 상기 소스 패턴들(46) 중에서, 상대적으로 넓은 간격으로 배열된 소스 패턴들, 예를 들어 상기 제1 및 제2 소스 패턴들(46b, 46c) 사이에 상기 셀 게이트 도전성 패턴들(38a)이 배치되지 않고, 상기 절연성 구조체(23) 및 상기 더미 게이트 도전성 패턴들(38b)가 배치될 수 있다.

<60> 상기 제2 상부 층간 절연 막(32) 및 상기 셀 소스 패턴들(46) 상에 제3 상부 층간 절연 막(48)이 배치될 수 있다. 상기 제3 상부 층간 절연 막(48) 상에 제4 상부 층간 절연 막(60)이 배치될 수 있다.

<61> 상기 반도체 패턴(14) 하부의 상기 주변 트랜지스터(PTR)와 전기적으로 연결되는 비트라인 콘택 구조체(72)가 배치될 수 있다. 상기 비트라인 콘택 구조체(72)는 상기 셀 어레이 영역(CA)을 수직 방향으로 관통하면서 상기 셀 어레이 영역(CA) 하부의 상기 제1 주변 회로 영역(PC1)의 상기 제1 주변 콘택 패드(PP1)와 전기적으로 연결될 수 있다.

YMTC EXHIBIT 1007
Page 22 of 131

<62> 상기 비트라인 주변 콘택 구조체(72)는 비트라인 하부 콘택 플러그(52) 및 상기 비트라인 하부 콘택 플러그(52) 상의 비트라인 상부 콘택 플러그(62)를 포함할 수 있다. 상기 비트라인 하부 콘택 플러그(52)는 상기 제1 내지 제3 상부 층간 절연 막들(24, 32, 48), 상기 절연성 구조체(23), 상기 갭필 절연 막(18) 및 상기 제1 주변 콘택 패드(PP1)를 덮는 상기 주변 하부 층간 절연 막(LILD)의 부분을 관통하며 상기 주변 트랜지스터(PTR)와 전기적으로 연결되는 상기 제1 주변 배선 구조체(PW1)의 상기 제1 주변 콘택 패드(PP1)와 전기적으로 연결될 수 있다. 상기 비트라인 주변 상부 콘택 플러그(62)는 상기 제4 상부 층간 절연 막(60)을 관통하며 상기 비트라인 주변 하부 콘택 플러그(52)와 전기적으로 연결될 수 있다.

<63> 일 실시예에서, 도 3c에서와 같이, 상기 비트라인 하부 콘택 플러그(도 3c의 52)는 플러그 금속 막(52b) 및 상기 플러그 금속 막(52b) 측면 상의 배리어 금속 막(52a)을 포함할 수 있다. 예를 들어, 상기 플러그 금속 막(52b)은 금속 물질을 포함할 수 있고, 상기 배리어 금속 막(52a)은 금속 질화물을 포함할 수 있다.

<64> 일 실시예에서, 도 3c에서와 같이, 상기 비트라인 하부 콘택 플러그(도 3c의 52)와 콘택 홀(H) 사이에 산화물 스페이서(SP)가 배치될 수 있다. 상기 산화물 스페이서(SP)는 실리콘 산화물로 형성될 수 있다.

<65> 상기 셀 수직 구조체들(CV)과 전기적으로 연결되는 셀 비트라인 플러그들(68)이 배치될 수 있다. 상기 셀 비트라인 플러그들(68)은 상기 제1 내지 제4 층간 절연막들(24, 32, 48, 60)을 관통할 수 있다.

<66> 상기 셀 게이트 도전성 패턴들(38a)과 전기적으로 연결된 셀 게이트 콘택 구

조체들(74)이 배치될 수 있다. 상기 셀 게이트 콘택 구조체들(74)은 상기 제1 계단 영역(ST1) 내에 배치될 수 있다.

<67> 상기 셀 게이트 콘택 구조체들(74)의 각각은 셀 게이트 하부 콘택 플러그(54) 및 상기 셀 게이트 하부 콘택 플러그(54) 상의 셀 게이트 상부 콘택 플러그(64)를 포함할 수 있다.

<68> 상기 셀 게이트 하부 콘택 플러그(54)는 상기 제1, 제2 및 제3 상부 층간 절연 막들(24, 32, 48)을 관통하면서 상기 셀 게이트 도전성 패턴들(38a)과 전기적으로 연결될 수 있다. 상기 셀 게이트 상부 콘택 플러그(64)는 상기 제4 상부 층간 절연 막(60)을 관통하면서 상기 셀 게이트 하부 콘택 플러그(54)와 전기적으로 연결될 수 있다.

<69> 상기 셀 바디 콘택 불순물 영역(50)과 전기적으로 연결되는 셀 바디 콘택 구조체(73)가 배치될 수 있다. 상기 셀 바디 콘택 구조체(73)는 셀 바디 하부 콘택 플러그(53) 및 상기 셀 바디 하부 콘택 플러그(53) 상의 셀 바디 상부 콘택 플러그(63)를 포함할 수 있다.

<70> 상기 셀 바디 하부 콘택 플러그(53)는 상기 제1 내지 제3 상부 층간 절연 막들(24, 32, 48), 및 상기 셀 소스 패턴들(46)에 수직한 상기 제2 방향(Y)에 위치하는 계단 영역들 내의 상기 제3 및 제4 절연성 패턴들(20b, 22b)을 관통하며 상기 반도체 패턴(14)과 연결될 수 있다. 상기 셀 바디 하부 콘택 플러그(53) 및 상기 주변 비트라인 하부 콘택 플러그(52)는 서로 다른 평면에 위치하는 하부면들 및 서로 동일한 평면에 위치하는 상부면들을 가질 수 있다. 상기 셀 바디 상부 콘택 플

러그(63)는 상기 제4 상부 층간 절연 막(60)을 관통하면서 상기 셀 바디 하부 콘택 플러그(53)와 전기적으로 연결될 수 있다.

<71> 상기 반도체 기판(2)과 상기 반도체 패턴(14) 사이에 배치되면서 상기 반도체 패턴(14)의 외측 방향으로 연장된 제3 주변 배선 구조체(PW3)의 제3 주변 콘택 패드(PP3)와 전기적으로 연결된 주변 바디 콘택 구조체(75)가 배치될 수 있다. 상기 셀 바디 콘택 구조체(73)는 상기 반도체 패턴(14) 상에 배치되면서 중첩할 수 있고, 상기 주변 바디 콘택 구조체(74)는 상기 반도체 패턴(14)과 중첩하지 않을 수 있다. 상기 주변 바디 콘택 구조체(75)는 상기 반도체 패턴(14)의 외측 상에 배치될 수 있다.

<72> 상기 주변 바디 콘택 구조체(75)는 주변 바디 하부 콘택 플러그(55) 및 상기 주변 바디 하부 콘택 플러그(55) 상의 주변 바디 상부 콘택 플러그(65)를 포함할 수 있다. 상기 주변 바디 하부 콘택 플러그(55)는 상기 제1 내지 제3 상부 층간 절연 막들(24, 32, 48), 상기 버퍼 절연성 막(10) 및 상기 하부 층간 절연 막(LILD)의 일부를 관통하면서 상기 제3 주변 콘택 패드(PP3)와 전기적으로 연결될 수 있다. 상기 주변 바디 상부 콘택 플러그(65)는 상기 제4 상부 층간 절연 막(60)을 관통할 수 있다.

<73> 상기 제4 층간 절연 막(60) 상에 배선 구조체가 배치될 수 있다. 상기 배선 구조체는 셀 도전성 라인들(80), 워드라인 배선 구조체들(81) 및 바디 배선 구조체들(82)을 포함할 수 있다. 상기 셀 도전성 라인들(80)은 셀 비트 라인들 일 수 있다.

<74> 상기 셀 도전성 라인들(80)은 상기 셀 비트라인 콘택 플러그들(68) 및 상기 주변 비트라인 콘택 구조체(72) 상에 배치되며 상기 셀 비트라인 콘택 플러그들(68) 및 상기 주변 비트라인 콘택 구조체(72)와 전기적으로 연결될 수 있다. 상기 셀 도전성 라인들(80)은 셀 비트라인들일 수 있다.

<75> 상기 셀 도전성 라인들, 즉 비트라인들(80)은 상기 반도체 패턴(14)의 폭 보다 작은 크기의 길이를 가질 수 있다. 상기 셀 도전성 라인들(80)은 제2 방향(Y)으로 길쭉한 라인 모양일 수 있다. 상기 반도체 패턴(14)의 상기 폭은 상기 제2 방향(Y)의 폭일 수 있다. 상기 셀 도전성 라인들(80)은 상기 반도체 패턴(14)과 중첩할 수 있다. 상기 셀 도전성 라인들(80)은, 평면에서, 상기 반도체 패턴(14)과 중첩하면서 상기 반도체 패턴(14)의 측면들 사이에 배치될 수 있다.

<76> 상기 워드 라인 배선 구조체들(81)은, 도 2b에서와 같이, 하부 워드라인 배선(81a), 상부 워드라인 배선(81b), 및 상기 하부 및 상부 워드라인 배선들(81a, 81b) 사이의 워드라인 배선 콘택 플러그(81c)를 포함할 수 있다. 상기 하부 워드라인 배선(도 2b의 81a)은 상기 게이트 구조체들(GS1, GS2, GS3)과 수직한 방향(Y)의 라인 모양일 수 있고, 상기 상부 워드라인 배선(도 2b의 81b)은 상기 하부 워드라인 배선(81a)과 수직한 라인 모양일 수 있다. 상기 상부 워드라인 배선(도 2b의 81b)은 상기 제1 계단 영역(ST1)으로부터 상기 반도체 패턴(14)의 외측 방향으로 연장될 수 있다.

<77> 상기 반도체 패턴(14)의 외측에서, 상기 워드라인 배선 구조체(81)와 상기 제2 주변 회로 영역(PC)의 제2 주변 회로 배선 구조체의 제2 주변 콘택 패드(PP2)

사이에 워드라인 주변 콘택 구조체(77)가 배치될 수 있다.

<78> 상기 바디 배선 구조체들(82)은 상기 셀 바디 콘택 구조체(73) 및 상기 주변 바디 콘택 구조체(75)와 전기적으로 연결될 수 있다.

<79> 일 실시예에서, 상기 비트라인 하부 콘택 플러그(52)는 상기 바디 하부 콘택 플러그(53)의 상부면과 동일 평면에 위치하는 상부면을 가질 수 있다.

<80> 일 실시예에서, 상기 비트라인 하부 콘택 플러그(52)는 상기 셀 수직 구조체들(CV) 및 상기 소스 패턴들(46) 보다 높은 레벨에 위치하는 상부면을 가질 수 있다. 그렇지만, 본 발명의 기술적 사상은 이에 한정되지 않는다.

<81> 일 실시예어서, 도 4a 및 도 4b에서와 같이, 상기 셀 수직 구조체들(CV)의 상부면들과 동일 평면에 위치하면서 상기 소스 패턴들(46)의 상부면들 보다 낮은 레벨에 위치하는 상부면들을 갖는 비트라인 하부 콘택 플러그(52') 및 바디 하부 콘택 플러그(53')가 배치될 수 있다.

<82> 일 실시예에서, 도 5a 및 도 5b에서와 같이, 상기 셀 수직 구조체들(CV) 및 상기 소스 패턴들(46)의 상부면들 보다 낮은 레벨에 위치하는 상부면들을 갖는 비트라인 하부 콘택 플러그(52'') 및 바디 하부 콘택 플러그(53'')가 배치될 수 있다.

<83> 상기 반도체 패턴(14)의 개구부(16)는 상기 반도체 패턴(14) 내부에서 사각형 모양으로 형성될 수 있다. 그렇지만, 본 발명의 기술적 사상은 이에 한정되지 않는다.

YMTC EXHIBIT 1007
Page 27 of 131

<84> 일 실시예에서, 도 6을 참조하면, 상기 반도체 패턴(도 6의 14)은 상기 셀 어레이 영역(CA)을 가로지르며 상기 제1 및 제3 계단 영역들(ST1, ST3) 중 어느 하나의 계단 영역(ST3)을 가로지르는 모양의 개구부(16')를 가질 수 있다.

<85> 일 실시예에서, 도 7을 참조하면, 상기 반도체 패턴(도 7의 14)은 상기 셀 어레이 영역(CA)을 가로지르며 상기 제1 및 제3 계단 영역들(ST1, ST3)을 모두 가로지르는 모양의 개구부(16")를 가질 수 있다. 따라서, 상기 반도체 패턴(도 7의 14)은 서로 이격된 두 개의 패턴으로 구성될 수 있다.

<86> 일 실시예에서, 도 8을 참조하면, 상기 반도체 패턴(도 8의 14)은 상기 셀 어레이 영역(CA)을 가로지르는 복수개의 개구부들(16a, 16b)을 가질 수 있다.

<87> 상기 셀 바디 하부 플러그(53)은 라인 모양으로 형성될 수 있다. 그렇지만 본 발명의 기술적 사상은 이에 한정되지 않는다. 예를 들어, 복수의 닷(dot) 모양들로 형성된 셀 바디 하부 플러그들(도 9의 53''')이 배치될 수 있다.

<88> 도 1, 도 10, 도 11a 및 도 11b를 참조하여 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자를 설명하기로 한다.

<89> 도 1, 도 10, 도 11a 및 도 11b를 참조하면, 도 2a, 도 2b, 도 3a 및 도 3b에서 설명한 것과 같이 상기 반도체 기판(2) 상에 상기 주변 회로 영역들(PC1, PC2, PC3)이 배치될 수 있고, 상기 주변 회로 영역들(PC1, PC2, PC3) 상에 상기 개구부(16)를 갖는 상기 반도체 패턴(14)이 배치될 수 있고, 상기 반도체 패턴(14)

상에 상기 셀 어레이 영역(CA) 및 상기 제1 내지 제4 계단 영역들(ST1 ~ ST4)이 배치될 수 있다.

<90> 도 2a, 도 2b, 도 3a 및 도 3b에서 설명한 것과 같이, 상기 반도체 패턴(14) 상에 상기 셀 수직 구조체들(CV), 상기 셀 게이트 도전성 패턴들(38a) 및 상기 소스 패턴들(46)이 배치될 수 있고, 상기 셀 게이트 도전성 패턴들(38a) 사이에 상기 셀 층간 절연성 패턴들(21)이 배치될 수 있다.

<91> 도 2a, 도 2b, 도 3a 및 도 3b에서 설명한 것과 같은 상기 제1 내지 제4 상부 층간 절연 막들(24, 32, 48, 60)이 배치될 수 있다.

<92> 상기 소스 패턴들(46) 중에서, 상대적으로 넓게 이격된 상기 제1 및 제2 소스 패턴들(46a, 46b) 사이에 절연성 구조체(123)가 배치될 수 있다. 상기 절연성 구조체(123)은 상기 반도체 패턴(14)의 상기 개구부(16) 상에 배치될 수 있다. 상기 절연성 구조체(123)은 실리콘 산화물로 형성될 수 있다.

<93> 상기 절연성 구조체(123)의 측면 상에 제1 절연성 패턴들(120a)이 배치될 수 있다. 상기 제1 절연성 패턴들(120a)은 상기 셀 층간 절연성 패턴들(21)과 동일 평면에 위치하면서 상기 셀 층간 절연성 패턴들(21)과 동일한 물질, 예를 들어 실리콘 산화물로 형성될 수 있다.

<94> 상기 절연성 구조체(123)의 측면 상에 배치되면서 상기 제1 절연성 패턴들(120a) 사이에 배치되는 더미 게이트 도전성 패턴들(38b)이 배치될 수 있다. 상기 더미 게이트 도전성 패턴들(38b)과 상기 절연성 구조체(123) 사이, 및 상기 더미

게이트 도전성 패턴들(38b)과 상기 제1 절연성 패턴들(120a) 사이에 상기 제2 유전체(37)가 배치될 수 있다. 상기 절연성 구조체(123)는 상기 제1 절연성 패턴들(120a) 및 상기 더미 게이트 도전성 패턴들(38b) 사이를 관통하는 구조의 모양으로 배치될 수 있다.

<95> 도 2a, 도 2b, 도 3a 및 도 3b에서 설명한 것과 같이, 상기 반도체 패턴(14) 하부의 상기 주변 트랜지스터(PTR)과 전기적으로 연결되는 비트라인 콘택 구조체(72), 상기 셀 수직 구조체들(CV)과 전기적으로 연결되는 셀 비트라인 플러그들(68), 상기 셀 게이트 도전성 패턴들(38a)과 전기적으로 연결된 셀 게이트 콘택 구조체들(74), 상기 셀 바디 콘택 불순물 영역(50)과 전기적으로 연결되는 셀 바디 콘택 구조체(73), 상기 반도체 패턴(14) 하부의 상기 제3 주변 배선 구조체(PW3)로부터 상기 반도체 패턴(14) 외측으로 연장된 제3 주변 콘택 패드(PP3)와 전기적으로 연결된 주변 바디 콘택 구조체(75)가 배치될 수 있다.

<96> 도 2a, 도 2b, 도 3a 및 도 3b에서 설명한 것과 같이, 상기 비트라인 주변 콘택 구조체(72)는 비트라인 하부 콘택 플러그(52) 및 상기 비트라인 하부 콘택 플러그(52) 상의 비트라인 상부 콘택 플러그(62)를 포함할 수 있다. 상기 비트라인 하부 콘택 플러그(52)는 상기 제1 내지 제3 상부 층간 절연 막들(24, 32, 48), 상기 절연성 구조체(123), 상기 갭필 절연 막(18) 및 상기 제1 주변 콘택 패드(PP1)를 덮는 상기 주변 하부 층간 절연 막(LILD)의 부분을 관통하며 상기 주변 트랜지스터(PTR)와 전기적으로 연결되는 상기 제1 주변 콘택 패드(PP1)와 전기적으로 연결될 수 있다.

<97> 도 2a, 도 2b, 도 3a 및 도 3b에서 설명한 것과 같은, 상기 셀 도전성 라인들, 즉 셀 비트 라인들(80), 상기 워드라인 배선 구조체들(81) 및 상기 바디 배선 구조체들(82)이 배치될 수 있다.

<98> 도 12, 도 13a, 도 13b, 도 14a 및 도 14b를 참조하여 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자를 설명하기로 한다.

<99> 도 12는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자를 설명하기 위한 개략적인 개념도이다. 도 13a 및 도 13b는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자를 나타낸 평면도들이다. 도 13a 및 도 13b에서, 도 13b는 도면의 복잡성을 피하기 위하여 도 13a의 도면에 배선 구조체들을 추가한 평면도이다. 도 13a에서 III-III'로 표시된 부분은 도 2a의 III-III'선으로 표시된 부분에 대응할 수 있다. 그리고, 도 13a에서 III-III'로 표시된 부분의 단면 모양은 도 3b의 III-III'선으로 표시된 부분의 단면 모양과 실질적으로 동일할 수 있다. 따라서, 도면 중복을 피하기 위하여, 도 13a에서 III-III'로 표시된 부분의 단면 모양은 도 3b의 III-III'선으로 표시된 부분의 단면 모양에 대응하므로, 이후 도면 및 설명에서 도 3b의 III-III'선으로 표시된 부분의 단면 모양을 참조하기로 한다.

<100> 도 14는 도 13a의 V-V' 및 VI-VI'선을 따라 각각 취해진 영역들을 나타낸 단면도이다.

<101> 도 3b의 III-III'선으로 표시된 부분과 함께, 도 12, 도 13a, 도 13b 및 도

14를 참조하면, 반도체 기판(2) 상에 주변 회로영역이 배치될 수 있다. 상기 주변 회로 영역은 제1 주변 회로 영역(PC1), 제2 주변 회로 영역(PC2) 및 제3 주변 회로 영역(PC3)를 포함할 수 있다. 상기 제1 주변 회로 영역(PC1)은 페이지 버퍼 회로를 포함할 수 있다. 상기 제1 주변 회로 영역(PC1)은, 도 1, 도 2a, 도 2b, 도 3a 및 도 3b에서 설명한 것과 같이, 주변 회로를 구성할 수 있는 주변 트랜지스터(PTR) 및 상기 주변 트랜지스터(PTR)와 전기적으로 연결된 제1 주변 배선 구조체(PW1)를 포함할 수 있다. 상기 제1 주변 배선 구조체(PW)는 제1 주변 콘택 패드 부분(PP1)을 포함할 수 있다.

<102> 상기 반도체 기판(2)의 상기 제1 내지 제3 주변 회로들(PC1, PC2, PC3)을 덮는 하부 층간 절연 막(LILD)이 배치될 수 있다. 상기 하부 층간 절연 막(LILD)은 실리콘 산화물을 포함하는 절연성 물질로 형성될 수 있다. 상기 제1 주변 배선 구조체(PW) 및 상기 제1 주변 배선 구조체(PW)의 상기 제1 주변 콘택 패드 부분(PP1)은 상기 하부 층간 절연 막(LILD)에 의해 덮일 수 있다.

<103> 상기 주변 하부 층간 절연 막(LILD) 상에 버퍼 절연성 막(10)이 배치될 수 있다. 상기 버퍼 절연성 막(10)은 상기 버퍼 절연성 막(10)과 접촉하는 상기 하부 층간 절연 막(LILD)의 부분과 다른 식각 선택비를 가질 수 있다.

<104> 상기 버퍼 절연성 막(10) 상에 개구부(216)를 갖는 반도체 패턴(214)이 배치될 수 있다. 상기 반도체 패턴(214)은 폴리 실리콘으로 형성될 수 있다.

<105> 상기 반도체 패턴(214)은 제1 도전형의 제1 불순물 영역(LC), 상기 제1 도전형과 다른 제2 불순물 영역(42), 상기 제1 도전형이면서 상기 제1 불순물 영역(LC)

보다 높은 불순물 농도를 갖는 바디 콘택 불순물 영역(50), 및 상기 제1 도전형이면서 상기 제1 불순물 영역(LC) 보다 높은 불순물 농도를 갖고 상기 제1 불순물 영역(LC) 하부에 배치되는 제3 불순물 영역(HC)을 포함할 수 있다. 상기 제1 불순물 영역(LC)은 저농도 불순물 영역으로 명명될 수 있고, 상기 제2 불순물 영역(42)은 셀 소스 불순물 영역으로 명명될 수 있고, 상기 제3 불순물 영역(HC)은 고농도 불순물 영역으로 명명될 수도 있다. 일 실시예에서, 상기 제1 불순물 영역(LC), 상기 제3 불순물 영역(HC) 및 상기 셀 바디 콘택 불순물 영역(50)은 P형의 도전형일 수 있고, 상기 제2 불순물 영역(42)은 N형의 도전형일 수 있다.

<106> 상기 반도체 패턴(214)의 상기 개구부(216) 내에 절연성 갭필 막(218)이 배치될 수 있다. 상기 반도체 패턴(214)의 측면 상에 중간 층간 절연 막(219)이 배치될 수 있다. 상기 절연성 갭필 막(218) 및 상기 중간 층간 절연 막(219)은 실리콘 산화물로 형성될 수 있다.

<107> 상기 반도체 패턴(214) 상에 셀 어레이 영역(CA) 및 상기 계단 영역들(ST1, ST2, ST3, ST4)이 배치될 수 있다. 상기 계단 영역들(ST1, ST2, ST3, S4)은, 평면에서, 상기 셀 어레이 영역(CA)을 사이에 두고 서로 마주보는 제1 및 제3 계단 영역들(ST1, ST3), 및 상기 셀 어레이 영역(CA)을 사이에 두고 서로 마주보는 제2 및 제4 계단 영역들(ST2, ST4)을 포함할 수 있다. 상기 제1 및 제3 계단 영역들(ST1, ST3)은 상기 제2 및 제4 계단 영역들(ST2, ST4) 사이에 배치될 수 있다.

<108> 상기 반도체 패턴(214)의 상기 개구부(216) 및 상기 갭필 절연 막(218)은 상기 셀 어레이 영역(CA)과 중첩하지 않을 수 있다. 상기 반도체 패턴(214)의 상기

개구부(216) 및 상기 갭필 절연 막(218)은 상기 제2 및 제4 계단 영역들(ST2, ST4) 중 어느 하나의 계단 영역, 예를 들어 상기 제4 계단 영역(ST4) 하부에 배치될 수 있다.

<109> 상기 반도체 패턴(214) 상에 셀 게이트 도전성 구조체들(GS)이 배치될 수 있다. 상기 셀 게이트 도전성 구조체들(GS)은 상기 셀 어레이 영역(CA) 내에 배치되며 상기 제1 및 제3 계단 영역들(ST1, ST3)로 연장될 수 있다. 상기 셀 게이트 도전성 구조체들(GS)은 일정한 간격으로 서로 이격될 수 있다. 상기 셀 게이트 도전성 구조체들(GS)의 각각은 상기 반도체 패턴(214) 상에 수직 방향으로 적층된 셀 게이트 도전성 패턴들(38a)을 포함할 수 있다. 상기 셀 게이트 도전성 패턴들(38a)은 상기 제1 및 제3 계단 영역들(ST1, ST3) 내에서 계단 구조로 형성될 수 있다. 상기 셀 게이트 도전성 패턴들(38a) 사이에 상기 셀 층간 절연성 패턴들(21)이 배치될 수 있다.

<110> 상기 반도체 패턴(214) 상의 상기 제2 및 제4 계단 영역들(ST2, ST4) 중 어느 하나의 계단 영역, 예를 들어 제4 계단 영역 내에 절연성 구조체(223)가 배치될 수 있다.

<111> 상기 절연성 구조체(223)는 교대로 반복적으로 적층되며 계단 구조로 적층되는 제1 절연성 패턴(220a) 및 제2 절연성 패턴(220b)를 포함할 수 있다. 상기 계단 구조는 상기 셀 어레이 영역(CV)으로부터 멀어지는 방향으로 내려가는 계단 구조일 수 있다.

<112> 상기 제1 절연성 패턴들(220a)은 상기 셀 층간 절연성 패턴들(21)과 동일 평

면에 배치되면서 동일한 물질로 형성될 수 있다. 상기 제2 절연성 패턴들(220b)은 상기 셀 게이트 도전성 패턴들(38a)과 동일 평면에 배치될 수 있다. 상기 절연성 구조체(223)는 상기 반도체 패턴(214)의 상기 개구부(216) 상에 배치될 수 있다.

<113> 상기 셀 게이트 도전성 구조체들(GS), 상기 셀 층간 절연성 패턴들(21) 및 상기 절연성 구조체(223)를 갖는 기판 상에 제1 상부 층간 절연 막(24)이 배치될 수 있다.

<114> 상기 반도체 패턴(214) 상의 상기 셀 어레이 영역(CA) 내에 셀 수직 구조체들(CV)이 배치될 수 있다. 상기 셀 수직 구조체들(CV)은 상기 반도체 패턴(214)의 상기 제1 불순물 영역(LC) 상에 배치될 수 있다. 상기 셀 수직 구조체들(CV)은 상기 제1 상부 층간 절연 막(24), 상기 셀 게이트 도전성 패턴들(38a) 및 상기 셀 층간 절연성 패턴들(21)을 관통하며 상기 반도체 패턴(214)의 상기 제1 불순물 영역(LC)과 연결될 수 있다.

<115> 상기 셀 수직 구조체들(CV)의 각각은, 도 2a, 도 3a 및 도 3b에서 설명한 것과 같은 상기 제1 유전체(27), 상기 셀 반도체 층(28), 상기 코어 절연 패턴(29) 및 상기 셀 패드 패턴(30)을 포함할 수 있다.

<116> 도 2a, 도 3a 및 도 3b에서 설명한 것과 같이, 상기 셀 수직 구조체들(CV)과 상기 셀 게이트 도전성 패턴들(38a) 사이에 제2 유전체(37)가 배치될 수 있고, 상기 제1 및 제2 유전체들(27, 37) 중 어느 하나는 정보를 저장할 수 있는 정보 저장층을 포함할 수 있다.

<117> 상기 제1 상부 층간 절연 막(24) 상에 제2 상부 층간 절연 막(32)이 배치될 수 있다. 상기 반도체 패턴(214) 상에 상기 셀 어레이 영역(CA)을 가로지르며 상기 제1 및 제3 계단 영역들(ST1, St3) 내로 연장된 복수의 셀 소스 패턴들(46)이 배치될 수 있다. 상기 소스 패턴들(46)은 상기 제2 불순물 영역들(46) 상에 배치되며, 상기 제2 불순물 영역들(46)과 전기적으로 연결될 수 있다. 상기 셀 소스 패턴들(46)은 서로 평행할 수 있다. 상기 셀 소스 패턴들(46)은 상기 제1 및 제2 상부 층간 절연 막들(24, 32)을 관통하며 상기 셀 게이트 도전성 패턴들(38a)을 수직하게 지나면서 상기 반도체 패턴(214)의 상기 제2 불순물 영역들(42)에 연결될 수 있다.

<118> 상기 제2 상부 층간 절연 막(32) 및 상기 셀 소스 패턴들(46) 상에 제3 상부 층간 절연 막(48)이 배치될 수 있다. 상기 제3 상부 층간 절연 막(48) 상에 제4 상부 층간 절연 막(60)이 배치될 수 있다.

<119> 상기 제4 계단 영역(ST4) 및 상기 제4 계단 영역(ST4) 하부의 상기 반도체 기판(214)를 관통하며 상기 반도체 패턴(214) 하부의 상기 주변 트랜지스터(PTR)과 전기적으로 연결되는 비트라인 콘택 구조체(272)가 배치될 수 있다.

<120> 상기 비트라인 주변 콘택 구조체(272)는 비트라인 하부 콘택 플러그(252) 및 상기 비트라인 하부 콘택 플러그(252) 상의 비트라인 상부 콘택 플러그(262)를 포함할 수 있다.

<121> 상기 비트라인 하부 콘택 플러그(252)는 상기 제1 내지 제3 상부 층간 절연 막들(24, 32, 48), 상기 절연성 구조체(223), 상기 개구부(216) 내의 상기 갭필 절

연 막(218) 및 상기 제1 주변 콘택 패드(PP1)를 덮는 상기 주변 하부 층간 절연 막(LILD)의 부분을 관통하며 상기 주변 트랜지스터(PTR)와 전기적으로 연결되는 상기 제1 주변 콘택 패드(PP1)와 전기적으로 연결될 수 있다. 상기 비트라인 주변 상부 콘택 플러그(262)는 상기 제4 상부 층간 절연 막(60)을 관통하며 상기 비트라인 주변 하부 콘택 플러그(252)와 전기적으로 연결될 수 있다.

<122> 도 2a, 도 3a 및 도 3b에서 설명한 것과 같은 상기 셀 비트라인 플러그들(68), 상기 셀 게이트 콘택 구조체들(74), 상기 셀 바디 콘택 구조체(73) 및 상기 주변 바디 콘택 구조체(75)가 배치될 수 있다.

<123> 상기 제4 층간 절연 막(60) 상에 셀 도전성 라인, 예를 들어 비트 라인들(280)이 배치될 수 있다. 상기 비트라인들(280)은 상기 셀 비트라인 콘택 플러그들(68) 및 상기 주변 비트라인 콘택 구조체(272)와 중첩하며 전기적으로 연결될 수 있다. 상기 비트라인들(280)은 상기 셀 어레이 영역(CA) 으로부터 상기 제4 계단 영역(ST4)으로 연장될 수 있다.

<124> 상기 제4 층간 절연 막(60) 상에, 도 2a, 도 3a 및 도 3b에서 설명한 것과 같은, 상기 워드라인 배선 구조체들(81) 및 상기 바디 배선 구조체들(82)이 배치될 수 있다.

<125> 일 실시예에서, 상기 비트라인 하부 콘택 플러그(252)는 상기 바디 하부 콘택플러그(53)의 상부면과 동일 평면에 위치하는 상부면을 가질 수 있다.

<126> 일 실시예에서, 상기 비트라인 하부 콘택 플러그(252)는 상기 셀 수직 구조

체들(CV) 및 상기 소스 패턴들(46) 보다 높은 레벨에 위치하는 상부면을 가질 수 있다. 그렇지만, 본 발명의 기술적 사상은 이에 한정되지 않는다.

<127> 일 실시예에서, 도 15에서와 같이, 상기 셀 수직 구조체들(CV)의 상부면들과 동일 평면에 위치하면서 상기 소스 패턴들(46)의 상부면들 보다 낮은 레벨에 위치하는 상부면들을 갖는 비트라인 하부 콘택 플러그(252') 및 바디 하부 콘택 플러그(523')가 배치될 수 있다.

<128> 일 실시예에서, 도 16에서와 같이, 상기 셀 수직 구조체들(CV) 및 상기 소스 패턴들(46)의 상부면들 보다 낮은 레벨에 위치하는 상부면들을 갖는 비트라인 하부 콘택 플러그(252'') 및 하디 하부 콘택 플러그(253'')가 배치될 수 있다.

<129> 도 17 및 도 18을 참조하여 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자를 설명하기로 한다.

<130> 도 17 및 도 18을 참조하면, 도 13a, 도 13b 및 도 14에서 설명한 것과 같이, 상기 반도체 기판(214) 상에 제1 내지 제3 주변 회로 영역들(PC1, PC2, PC3)이 배치될 수 있다. 상기 제1 주변 회로 영역(PC1)은, 도 1, 도 2a, 도 2b, 도 3a 및 도 3b에서 설명한 것과 같이, 회로를 구성할 수 있는 주변 트랜지스터(PTR) 및 상기 주변 트랜지스터(PTR)와 전기적으로 연결된 제1 주변 배선 구조체(PW1)를 포함할 수 있다. 상기 제1 주변 배선 구조체(PW)는 제1 주변 콘택 패드 부분(PP1)을 포함할 수 있다.

<131> 상기 반도체 기판(2)의 상기 제1 내지 제3 주변 회로들(PC1, PC2, PC3)을 덮는 하부 층간 절연 막(LILD)이 배치될 수 있다.

<132> 도 13a, 도 13b 및 도 14에서 설명한 것과 같이, 상기 하부 층간 절연 막(LILD) 상에 버퍼 절연성 패턴(10)이 배치될 수 있고, 상기 버퍼 절연성 패턴(10) 상에 상기 개구부(216)을 갖는 상기 반도체 패턴(214)이 배치될 수 있고, 상기 개구부(216)를 채우는 상기 갭필 절연성 막(218) 및 상기 반도체 패턴(214)의 측면 상에 배치되는 중간 층간 절연 막(219)이 배치될 수 있다.

<133> 상기 반도체 패턴(214) 상에 도 13a, 도 13b 및 도 14에서 설명한 것과 같은 상기 셀 게이트 도전성 패턴들(38a), 상기 제1 유전체(37), 상기 셀 수직 구조체들(CV), 상기 셀 소스 패턴들(46), 상기 셀 층간 절연성 패턴들(21), 및 상기 제1 내지 제4 층간 절연 막들(24, 32, 48, 60)이 배치될 수 있다.

<134> 상기 반도체 패턴(214)의 상기 개구부(216)의 상기 갭필 절연성 막(218) 상에 제1 절연성 구조체(323)가 배치될 수 있다.

<135> 상기 반도체 패턴(214)의 상기 개구부(216)와 이격되고 상기 셀 게이트 도전성 패턴들(38a)과 이격된 제2 절연성 구조체(324)가 배치될 수 있다. 상기 제1 및 제2 절연성 구조체들(323, 324)은 실리콘 산화물로 형성될 수 있다.

<136> 일 실시예에서, 상기 제2 절연성 구조체(324)는 상기 제1 절연성 구조체(323)과 상기 셀 게이트 도전성 패턴들(38a) 사이의 상기 반도체 패턴(214) 상에 배치될 수 있다.

<137> 일 실시예에서, 상기 제1 및 제2 절연성 구조체들(323, 324) 사이에 교대로 반복적으로 적층되는 제1 절연성 패턴(320a) 및 제2 절연성 패턴(320b)가 배치될 수 있다. 상기 제1 절연성 패턴(320)은 실리콘 산화물로 형성될 수 있고, 상기 제2 절연성 패턴(320b)은 실리콘 질화물로 형성될 수 있다.

<138> 일 실시예에서, 상기 제1 및 제2 절연성 구조체들(323, 324)은 상기 제1 상부 층간 절연 막(24), 및 상기 제1 및 제2 절연성 패턴들(320a, 320b)을 관통하는 모양으로 배치될 수 있다.

<139> 도 13a, 도 13b 및 도 14에서 설명한 것과 같이, 상기 제4 계단 영역(ST4) 및 상기 제4 계단 영역(ST4) 하부의 상기 반도체 기판(214)를 관통하며 상기 반도체 패턴(214) 하부의 상기 주변 트랜지스터(PTR)과 전기적으로 연결되는 비트라인 콘택 구조체(372)가 배치될 수 있다.

<140> 상기 비트라인 주변 콘택 구조체(372)는 비트라인 하부 콘택 플러그(352) 및 상기 비트라인 하부 콘택 플러그(352) 상의 비트라인 상부 콘택 플러그(362)를 포함할 수 있다.

<141> 상기 비트라인 하부 콘택 플러그(35)는 상기 제2 및 제3 상부 층간 절연 막들(32, 48), 상기 절연성 구조체(323), 상기 개구부(216) 내의 상기 갭필 절연 막(218) 및 상기 제1 주변 콘택 패드(PP1)를 덮는 상기 주변 하부 층간 절연 막(LILD)의 부분을 관통하며 상기 주변 트랜지스터(PTR)와 전기적으로 연결되는 상기 제1 주변 콘택 패드(PP1)와 전기적으로 연결될 수 있다.

YMTC EXHIBIT 1007
Page 40 of 131

<142> 상기 비트라인 주변 상부 콘택 플러그(362)는 상기 제4 상부 층간 절연 막(60)을 관통하며 상기 비트라인 주변 하부 콘택 플러그(252)와 전기적으로 연결될 수 있다.

<143> 일 실시예에서, 도 2a, 도 3a 및 도 3b에서 설명한 것과 같은 상기 셀 바디 콘택 구조체(73)의 상기 셀 하부 바디 콘택 플러그(53)는 상기 제2 절연성 구조체(324)를 관통하면서 상기 반도체 패턴(214)과 연결될 수 있다.

<144> 도 2a, 도 3a 및 도 3b에서 설명한 것과 같은 상기 셀 비트라인 플러그들(68), 상기 셀 게이트 콘택 구조체들(74), 및 상기 주변 바디 콘택 구조체(75)가 배치될 수 있다.

<145> 상기 제4 층간 절연 막(60) 상에 셀 도전성 라인, 예를 들어 비트 라인들(280)이 배치될 수 있다. 상기 비트라인들(280)은 상기 셀 비트라인 콘택 플러그들(68) 및 상기 주변 비트라인 콘택 구조체(372)와 중첩하며 전기적으로 연결될 수 있다. 상기 비트라인들(380)은 상기 셀 어레이 영역(CA) 으로부터 상기 제4 계단 영역(ST4)으로 연장될 수 있다.

<146> 상기 제4 층간 절연 막(60) 상에, 도 2a, 도 3a 및 도 3b에서 설명한 것과 같은, 상기 워드라인 배선 구조체들(81) 및 상기 바디 배선 구조체들(82)이 배치될 수 있다.

<147> 도 19를 참조하여 본 발명의 일 실시예에 따른 반도체 소자 형성 방법을 설

명하기로 한다.

<148> 도 19를 참조하면, 반도체 기판 상에 주변 회로를 형성할 수 있다. (S10) 상기 주변 회로 상에 반도체 패턴을 형성할 수 있다. (S20) 상기 반도체 패턴 상에 몰딩 구조체를 형성할 수 있다. (S30) 상기 반도체 패턴 상에 몰딩 구조체를 관통하는 수직 구조체들을 형성할 수 있다. (S40) 트렌치들을 형성할 수 있다. (S50) 상기 몰딩 구조체 내부에 빈 공간들을 형성할 수 있다. (S60) 상기 빈 공간들 내에 게이트 도전성 패턴들을 형성할 수 있다. (S70) 콘택 구조체들을 형성할 수 있다. (S80) 배선 구조체들을 형성할 수 있다. (S90)

<149> 도 19를 참조하여 설명한 본 발명의 일 실시예에 따른 반도체 소자 형성 방법의 일 예를 도 1, 도 2a, 도 2b, 도 3a 및 도 3b와 함께, 도 20a 내지 도 26b를 참조하여 설명하기로 한다.

<150> 도 1, 도 2a와 함께, 도 19, 도 20a 및 도 20b를 참조하면, 반도체 기판(2)을 준비할 수 있다. 상기 반도체 기판(2)은 실리콘 등과 같은 반도체 물질로 형성된 반도체 기판일 수 있다. 상기 반도체 기판(2) 상에 주변 회로 영역을 형성할 수 있다. (S10) 상기 주변 회로 영역은 제1 주변 회로 영역(PC1), 제2 주변 회로 영역(PC2) 및/또는 제3 주변 회로 영역(PC3)을 포함할 수 있다.

<151> 상기 제1 주변 회로 영역(PC1)은 주변 회로를 구성할 수 있는 주변 트랜지스터(PTR) 및 상기 주변 트랜지스터(PTR)와 전기적으로 연결된 제1 주변 배선 구조체(PW1)를 포함할 수 있다. 상기 제1 주변 배선 구조체(PW1)은 상기 제1 주변 회로 영역(PC1) 내에 배치되면서 제1 주변 콘택 패드(PP1)를 포함할 수 있다. 상기 주변

트랜지스터(PTR)를 형성하는 것은 활성 영역을 한정하는 소자분리 영역(3)을 형성하고, 상기 활성 영역 상에 주변 게이트(PG)를 형성하고, 상기 주변 게이트(PG) 양옆에 소스 및 드레인 역할을 할 수 있는 주변 불순물 영역들(PS, PD)을 형성하는 것을 포함할 수 있다.

<152> 상기 제2 주변 회로 영역(도 1의 PC2)은 제2 주변 콘택 패드(PP2)를 갖는 제2 주변 배선 구조체(도 1의 PW2)를 포함할 수 있다. 상기 제3 주변 회로 영역(PC3)은 제3 주변 콘택 패드(PP3)을 갖는 제3 주변 배선 구조체(PW3)을 포함할 수 있다.

<153> 상기 반도체 기판(2)의 상기 제1 내지 제3 주변 회로 영역들(PC1, PC2, PC3)의 주변 회로들을 덮는 하부 층간 절연 막(LILD)을 형성할 수 있다.

<154> 상기 제1 주변 배선 구조체(PW)는 주변 플러그 부분, 주변 배선 부분 및 상기 제1 주변 콘택 패드 부분(PP1) 등을 포함하는 복수의 구성요소들로 구성될 수 있다. 상기 제1 주변 배선 구조체(PW)의 상기 주변 플러그 부분은 상기 하부 층간 절연 막(LILD)의 일부를 형성한 후에, 상기 하부 층간 절연 막(LILD)의 일부를 관통하도록 형성할 수 있다. 상기 제1 주변 배선 구조체(PW)의 상기 주변 배선 부분은 상기 주변 플러그 부분과 전기적으로 연결되도록 형성될 수 있다. 상기 제1 주변 배선 구조체(PW)의 상기 주변 배선 부분 및 상기 제1 주변 콘택 패드 부분(PP1)은 상기 하부 층간 절연 막(LILD)에 의해 덮일 수 있다.

<155> 상기 하부 층간 절연 막(LILD) 상에 버퍼 절연성 막(10)을 형성할 수 있다. 상기 버퍼 절연성 막(10)은 상기 버퍼 절연성 막(10)과 접촉하는 상기 하부 층간

절연 막(LILD)과 다른 식각 선택비를 갖는 물질로 형성될 수 있다. 예를 들어, 상기 주변 배선 구조체(PW)의 상기 패드 부분(PP1)을 덮는 상기 하부 층간 절연 막(LILD)의 부분은 실리콘 산화물로 형성될 수 있고, 상기 버퍼 절연성 막(10)은 실리콘 질화물로 형성될 수 있다.

<156> 상기 버퍼 절연성 막(10) 상에 반도체 패턴(14)을 형성할 수 있다. 상기 반도체 패턴(14)은 개구부(16)을 가질 수 있다. 상기 개구부(16)를 갖는 상기 반도체 패턴(14)을 형성하는 것은 상기 버퍼 절연성 막(10) 상에 반도체 막을 형성하고, 상기 반도체 막을 패터닝하는 것을 포함할 수 있다. 상기 반도체 패턴(14)은 실리콘으로 형성될 수 있다. 상기 반도체 패턴(14)은 폴리 실리콘으로 형성될 수 있다.

<157> 상기 반도체 패턴(14)은 상기 제1 주변 회로 영역(PC1), 상기 제2 주변 회로 영역(PC2) 및/또는 상기 제3 주변 회로 영역(PC3)과 중첩할 수 있다. 상기 반도체 패턴(14)은 상기 제1 내지 제3 주변 회로 영역들(PC1, PC2, PC3) 상에 형성될 수 있다. (S20)

<158> 상기 반도체 패턴(14)은 고농도 불순물 영역(HC) 및 상기 고농도 불순물 영역(HC) 상에 형성되며 상기 고농도 불순물 영역(HC) 보다 낮은 불순물 농도를 갖는 저농도 불순물 영역(LC)을 포함할 수 있다. 상기 고농도 불순물 영역(HC) 및 상기 저농도 불순물 영역(LC)은 P형의 도전형일 수 있다.

<159> 도 1, 도 2a, 도 19, 도 21a 및 도 21b를 참조하면, 상기 반도체 패턴(14)을 갖는 기판 상에 절연성 물질 막을 형성한 후, 상기 반도체 패턴(14)이 노출될 때까지 상기 절연성 물질 막을 평탄화하여, 상기 반도체 패턴(14)의 상기 개구부(16)

내부를 채우는 갭필 절연성 막(18)을 형성하면서 상기 반도체 패턴(14)의 측면 상에 중간 층간 절연 막(19)을 형성할 수 있다. 상기 갭필 절연성 막(18) 및 상기 중간 층간 절연 막(19)은 실리콘 산화물로 형성될 수 있다.

<160> 상기 반도체 패턴(14) 상에 몰딩 구조체(MS)를 형성할 수 있다. (S30) 상기 몰딩 구조체(MS)를 형성하는 것은 상기 반도체 패턴(14), 상기 갭필 절연성 막(18) 및 상기 중간 층간 절연 막(19)을 갖는 기판 상에 제1 몰딩 막 및 제2 몰딩 막을 교대로 반복적으로 형성하고, 상기 제1 및 제2 몰딩 막들(20, 22)을 패터닝하여 끝 부분을 계단 구조로 형성하는 것을 포함할 수 있다. 상기 몰딩 구조체(MS)의 끝 부분은 계단 구조로 형성될 수 있다.

<161> 상기 제1 몰딩 막(20)은 상기 제2 몰딩 막(22)과 식각 선택비를 갖는 물질로 형성될 수 있다. 예를 들어, 상기 제1 몰딩 막(20)은 실리콘 산화물로 형성될 수 있고, 상기 제2 몰딩 막(22)은 실리콘 질화물로 형성될 수 있다.

<162> 도 1, 도 2a, 도 19, 도 22a 및 도 22b를 참조하면, 상기 몰딩 구조체(MS)를 갖는 기판 상에 제1 상부 층간 절연 막(24)을 형성할 수 있다. 상기 제1 상부 층간 절연 막(24)은 실리콘 산화물로 형성할 수 있다. 상기 제1 상부 층간 절연 막(24)은 상기 몰딩 구조체(MS)를 덮으면서 실질적으로 평평한 상부면을 갖도록 형성될 수 있다.

<163> 상기 몰딩 구조체(MS)를 관통하는 셀 수직 구조체들(CV)을 형성할 수 있다. (S40) 상기 셀 수직 구조체들(CV)은 상기 반도체 패턴(14) 상에 형성될 수 있다. 상기 셀 수직 구조체들(CV)은 상기 제1 상부 층간 절연 막(24) 및 상기 몰딩 구조

체(MS)를 관통하며 상기 반도체 패턴(14)과 연결될 수 있다.

<164> 상기 셀 수직 구조체들(CV)의 각각은 제1 셀 유전체(27), 셀 반도체 층(28), 코어 절연 패턴(29) 및 셀 패드 패턴(30)을 포함할 수 있다. 예를 들어, 상기 셀 수직 구조체들(CV)을 형성하는 것은 상기 제1 상부 층간 절연 막(24), 상기 몰딩 구조체(MS)를 관통하는 홀들을 형성하고, 상기 홀들의 측벽들 상에 제1 셀 유전체(27)를 형성하고, 상기 제1 셀 유전체(27)가 형성된 기판 상에 셀 반도체 층을 콘포멀하게 형성하고, 상기 셀 반도체 층 상에 상기 홀들을 부분적으로 채우는 상기 코어 절연 패턴들(28)을 형성하고, 상기 코어 절연 패턴들(28)을 갖는 기판 상에 패드 막을 형성하고, 상기 제1 상부 층간 절연 막(24)이 노출될 때까지 상기 패드 막 및 상기 셀 반도체 층을 평탄화하여 상기 홀들 내에 한정된 상기 셀 패드 패턴(30) 및 상기 셀 반도체 층(28)을 형성하는 것을 포함할 수 있다.

<165> 상기 셀 반도체 층(28)은 상기 반도체 패턴(14)과 연결될 수 있다. 상기 셀 반도체 층(28) 및 상기 셀 패드 패턴(30)은 실리콘으로 형성될 수 있다. 예를 들어, 상기 셀 반도체 층(28) 및 상기 셀 패드 패턴(30)은 폴리 실리콘으로 형성될 수 있다.

<166> 상기 제1 셀 유전체(27)를 형성하는 것은 정보 저장 물질 막(예를 들어, 차지(charge)를 트랩할 수 있는 실리콘 질화 막 등) 및 터널 산화 막(예를 들어, 실리콘 산화물)을 형성하는 것을 포함할 수 있다. 상기 셀 패드 패턴(30)은 이온 주입 공정을 이용하여 N형의 도전형으로 형성할 수 있다.

<167> 도 1, 도 2a, 도 19, 도 23a 및 도 23b를 참조하면, 상기 셀 수직 구조체들

(CV)을 갖는 기판 상에 제2 상부 층간 절연 막(32)을 형성할 수 있다. 상기 제2 상부 층간 절연 막(32)은 실리콘 산화물로 형성할 수 있다.

<168> 트렌치들(34)을 형성할 수 있다. (S50) 상기 트렌치들(34)은 상기 제1 및 제2 상부 층간 절연 막들(24, 32), 및 상기 몰딩 구조체(MS)를 관통하며 상기 반도체 패턴(14)을 노출시킬 수 있다.

<169> 일 실시예에서, 상기 트렌치들(34)은 상기 몰딩 구조체(MS)를 가로지를 수 있다.

<170> 상기 트렌치들(34)은 제1 방향(X)으로 연장되는 라인 모양들일 수 있다. 상기 트렌치들(34)은 상기 제1 방향(X)과 수직한 제2 방향(Y)으로 평행하게 배열될 수 있다.

<171> 상기 트렌치들(34)은 상기 제2 방향(Y)으로 차례로 배열되며 서로 평행한 제1 트렌치(34a), 제2 트렌치(34b) 및 제3 트렌치(34c)을 포함할 수 있다. 서로 인접하는 상기 제1 및 제2 트렌치들(34a, 34b) 사이의 이격 거리는 서로 인접하는 상기 제2 및 제3 트렌치들(34b, 34c) 사이의 이격 거리 보다 클 수 있다. 상기 셀 수직 구조체들(CV)은 상대적으로 좁게 이격된 트렌치들(34), 예를 들어 상기 제1 및 제2 트렌치들(34b, 34c) 사이에 배치될 수 있다.

<172> 상기 반도체 패턴(14)의 상기 개구부(16)는 상대적으로 넓게 이격된 트렌치들(34), 예를 들어 상기 제1 및 제2 트렌치들(34a, 34b) 사이의 반도체 패턴(14) 내에 배치될 수 있다.

<173> 상기 몰딩 구조체(MS) 내부에 빈 공간들(36)을 형성할 수 있다. (S60) 상기 빈 공간들(36)을 형성하는 것은 상기 트렌치들(34)에 의해 노출되는 상기 제2 몰딩 막들(22)을 식각하는 것을 포함할 수 있다. 상기 제2 몰딩 막들(22)이 식각된 부분들은 상기 빈 공간들(36)로 형성될 수 있다.

<174> 상기 제2 몰딩 막들(22) 중에서, 상대적으로 넓게 이격된 상기 제1 및 제2 트렌치들(34a, 34b) 사이에 위치하는 제2 몰딩 막들은 부분 식각되어 잔존할 수 있다. 이와 같이, 상기 제1 및 제2 트렌치들(34a, 34b) 사이에 잔존하는 상기 제2 몰딩 막들(22)은 제2 절연성 패턴들(22a)로 정의될 수 있다.

<175> 또한, 상기 제2 몰딩 막들(22) 중에서, 상기 트렌치들(34)에 수직한 상기 제2 방향(Y)에 위치하는 계단 영역들에 위치하는 제2 몰딩 막들(22)은 부분 식각되어 잔존할 수 있다. 이와 같이 계단 영역들에 잔존하는 상기 제2 몰딩 막들(22)은 제4 절연성 패턴들(22b)로 정의될 수 있다.

<176> 상기 트렌치들(34) 중에서, 상대적으로 좁게 이격된 트렌치들, 예를 들어 상기 제2 및 제3 트렌치들(34b, 34c) 사이에 위치하는 상기 제1 몰딩 막들(20)은 셀 층간 절연성 패턴들(21)로 정의될 수 있다. 상기 제1 및 제2 트렌치들(34a, 34b) 사이에 위치하는 상기 제1 몰딩 막(20)은 제1 절연성 패턴들(20a)로 정의될 수 잇다. 상기 트렌치들(34)에 수직한 상기 제2 방향(Y)에 위치하는 계단 영역들에 위치하는 제1 몰딩 막들(20)은 제3 절연성 패턴들(20b)로 정의될 수 있다.

<177> 상대적으로 넓게 이격된 상기 제1 및 제2 트렌치들(34a, 34b) 사이에 위치하

는 상기 제1 절연성 패턴들(20a) 및 상기 제2 절연성 패턴들(20b)은 절연성 구조체(23)로 정의될 수 있다. 따라서, 상기 절연성 구조체(23)는 교대로 반복적으로 적층된 상기 제1 절연성 패턴(20a) 및 상기 제2 절연성 패턴(20b)을 포함할 수 있다. 상기 제2 절연성 패턴들(20b)은 상기 제1 절연성 패턴들(20a) 보다 작은 폭을 가질 수 있다.

<178> 도 1, 도 2a, 도 19, 도 24a 및 도 24b를 참조하면, 상기 빈 공간들(36)을 갖는 기판 상에 제2 셀 유전체(36)를 콘포멀하게 형성할 수 있다. 상기 빈 공간들(36) 내에 게이트 도전성 패턴들을 형성할 수 있다. 상기 게이트 도전성 패턴들을 형성하는 것은 상기 제2 셀 유전체(36)를 갖는 기판 상에 도전성 물질 막을 형성하고, 상기 제2 상부 층간 절연 막(32)의 상부 및 상기 트렌치들(34) 내에 형성된 도전성 물질 막을 식각 공정으로 제거하는 것을 포함할 수 있다.

<179> 상기 게이트 도전성 패턴들 중에서, 상기 트렌치들(34) 중 상대적으로 이격 거리가 작은 트렌치들(34), 예를 들어 상기 제2 및 제3 트렌치들(34b, 34c) 사이의 상기 빈 공간들(36) 내에 형성될 수 있으며, 상기 셀 수직 구조체들(CV)의 측면들을 둘러싸는 게이트 도전성 패턴들은 셀 게이트 도전성 패턴들로 정의할 수 있고, 상대적으로 이격 거리가 큰 트렌치들(34), 예를 들어 상기 제1 및 제2 트렌치들(34a, 34b) 사이의 빈 공간들(36) 및 상기 트렌치들(34)에 수직한 방향에 위치하는 계단 영역 내에 위치하는 빈 공간들 내에 형성될 수 있는 게이트 도전성 패턴들은 더미 게이트 도전성 패턴들(38b)로 정의될 수 있다. 상기 셀 게이트 도전성 패턴들(38a)은 상기 트렌치들(34)과 평행한 상기 제1 방향(X)에 위치하는 끝 부분들에

서 계단 구조로 형성될 수 있다.

<180> 도 1, 도 2a, 도 25a 및 도 25b를 참조하면, 상기 트렌치들(34)의 측벽들 상에 절연성 스페이서(40)를 형성할 수 있다. 상기 절연성 스페이서(40)는 실리콘 산화물 또는 실리콘 질화물 등과 같은 절연성 물질로 형성될 수 있다.

<181> 이온 주입 공정을 진행하여, 상기 트렌치들(34)에 의해 노출되는 상기 반도체 패턴(14) 내에 셀 소스 불순물 영역(42)을 형성할 수 있다. 상기 반도체 패턴(14)의 상기 저농도 불순물 영역(LC) 내에 형성될 수 있다. 상기 셀 소스 불순물 영역(42)은 상기 저농도 불순물 영역(LC)과 다른 도전형을 가질 수 있다. 예를 들어, 상기 저농도 불순물 영역(LC)은 P 형의 도전형일 수 있고, 상기 셀 소스 불순물 영역(42)은 N형의 도전형일 수 있다.

<182> 상기 트렌치들(34) 내에 셀 소스 패턴들(46)을 형성할 수 있다. 상기 셀 소스 패턴들(46)은 도전성 물질(예를 들어, Ti, TiN, W 등과 같은 물질)로 형성할 수 있다.

<183> 상기 셀 소스 패턴들(46)은 도 23a 및 도 23b에서 설명한 상기 제1 내지 제3 트렌치들(34a, 34b, 34c)에 대응하는 제1 내지 제3 셀 소스 패턴들(46a, 46b, 46c)을 포함할 수 있다.

<184> 상기 셀 소스 패턴들(46)을 갖는 기판 상에 제3 상부 층간 절연 막(48)을 형성할 수 있다. 상기 제3 상부 층간 절연 막(48)은 실리콘 산화물로 형성될 수 있다.

<185> 도 1, 도 2a, 도 26a 및 도 26b를 참조하면, 주변 비트라인 하부 콘택 플러그(52), 셀 바디 하부 콘택 플러그(53), 셀 게이트 하부 콘택 플러그들(54), 주변 바디 하부 콘택 플러그(55)를 형성할 수 있다.

<186> 상기 주변 비트라인 하부 콘택 플러그(52)는 상기 제1 및 제2 소스 패턴들(46a, 46b) 사이에 배치될 수 있다. 상기 주변 비트라인 하부 콘택 플러그(52)는 상기 제1 주변 콘택 패드(PP1) 상에 위치하는 절연성 물질 막들을 관통하며 상기 제1 주변 콘택 패드(PP1)과 연결될 수 있다. 예를 들어, 상기 주변 비트라인 하부 콘택 플러그(52)는 상기 제1 내지 제3 상부 층간 절연 막들(24, 32, 48), 상기 제1 및 제2 절연성 패턴들(20a, 22a), 상기 갭필 절연성 막(18) 및 상기 하부 층간 절연 막(LILD) 중 상기 주변 패드들(PP1, PP2)을 덮는 제4 하부 층간 절연 막(LILD 4)를 관통하며 상기 제1 주변 콘택 패드(PP1)과 전기적으로 연결될 수 있다.

<187> 상기 셀 바디 하부 콘택 플러그(53)는 상기 제1 내지 제3 상부 층간 절연 막들(24, 32, 48), 및 상기 셀 소스 패턴들(46)에 수직한 상기 제2 방향(Y)에 위치하는 계단 영역들 내의 상기 제3 및 제4 절연성 패턴들(20b, 22b)을 관통하며 상기 반도체 패턴(14)과 연결될 수 있다.

<188> 일 실시예에서, 상기 셀 바디 하부 콘택 플러그(53)는 라인 모양으로 형성될 수 있다.

<189> 일 실시예에서, 상기 셀 바디 하부 콘택 플러그(53)는 서로 이격된 복수의 원 모양들로 형성될 수 있다.

<190> 상기 셀 게이트 하부 콘택 플러그들(54)은 상기 제1 내지 제3 상부 층간 절연 막들(24, 32, 48)을 관통하며 상기 셀 소스 패턴들(46) 사이에 위치하는 계단 영역의 상기 셀 게이트 도전성 패턴들(38a)과 연결될 수 있다.

<191> 상기 주변 바디 하부 콘택 플러그(55)는 상기 제3 주변 콘택 패드(PP3) 상에 위치하는 상기 하부 층간 절연 막(LILD)의 부분, 상기 버퍼 절연성 막(10), 상기 중간 층간 절연 막(19), 및 상기 제1 내지 제3 상부 층간 절연 막들(24, 32, 48)을 차례로 관통하며 상기 제3 주변 콘택 패드(PP3)와 전기적으로 연결될 수 있다.

<192> 상기 주변 비트라인 하부 콘택 플러그(52), 상기 셀 바디 하부 콘택 플러그(53), 상기 셀 게이트 하부 콘택 플러그들(54) 및 상기 제2 주변 하부 콘택 플러그(55)을 형성하는 것은 사진 및 식각 공정을 진행하여 콘택 홀들을 형성하고, 상기 콘택 홀들을 채우는 도전성 물질 막을 형성하는 것을 포함할 수 있다.

<193> 일 실시예에서, 상기 콘택 홀들을 형성하고 상기 도전성 물질 막으로 채우기 전에 이온 주입 공정을 진행하여, 상기 콘택 홀들에 의해 노출되는 콘택 부분들 내에 불순물을 주입할 수 있다. 따라서, 상기 셀 바디 하부 콘택 플러그(53) 하부의 상기 반도체 패턴(14) 내에 셀 바디 콘택 불순물 영역(50)을 형성할 수 있다. 상기 셀 바디 콘택 불순물 영역(50)은 P형의 도전형일 수 있다. 상기 셀 바디 콘택 불순물 영역(50)은 상기 저농도 불순물 영역(LC) 보다 높은 불순물 농도로 형성될 수 있다.

<194> 일 실시예에서, 상기 셀 바디 콘택 불순물 영역(50)을 형성한 후에, 상기 셀

바디 콘택 불순물 영역(50)과 상기 셀 바디 하부 콘택 플러그(53) 사이에 금속 실리사이드를 형성할 수 있다.

<195> 도 1, 도 2a, 도 2b, 도 19, 도 3a 및 도 3b를 다시 참조하면, 상기 주변 비트라인 하부 콘택 플러그(52), 상기 셀 바디 하부 콘택 플러그(53), 상기 셀 게이트 하부 콘택 플러그들(54) 및 상기 주변 바디 하부 콘택 플러그(55)를 갖는 기판 상에 제4 상부 층간 절연 막(60)을 형성할 수 있다.

<196> 주변 비트라인 상부 콘택 플러그(62), 셀 바디 상부 콘택 플러그(63), 셀 게이트 상부 콘택 플러그들(64), 상기 주변 바디 상부 콘택 플러그(65) 및 셀 비트라인 콘택 플러그들(68)을 형성할 수 있다.

<197> 상기 주변 비트라인 상부 콘택 플러그(62)는 상기 제4 상부 층간 절연 막(60)을 관통하며 상기 제1 주변 하부 콘택 플러그(52)와 전기적으로 연결될 수 있다. 상기 주변 비트라인 상부 콘택 플러그(62) 및 상기 주변 비트라인 하부 콘택 플러그(52)는 주변 비트라인 콘택 구조체(72)를 구성할 수 있다.

<198> 상기 셀 바디 상부 콘택 플러그(63)는 상기 제4 상부 층간 절연 막(60)을 관통하며 상기 셀 바디 하부 콘택 플러그(53)와 전기적으로 연결될 수 있다. 상기 셀 바디 상부 콘택 플러그(63) 및 상기 셀 바디 하부 콘택 플러그(53)은 셀 바디 콘택 구조체(73)를 구성할 수 있다.

<199> 상기 셀 게이트 상부 콘택 플러그들(64)는 상기 제4 상부 층간 절연 막(60)을 관통하며 상기 셀 게이트 하부 콘택 플러그들(54)과 전기적으로 연결될 수

있다.

<200> 상기 셀 게이트 상부 콘택 플러그들(64) 및 상기 셀 게이트 하부 콘택 플러그들(54)은 셀 게이트 콘택 구조체(74)를 구성할 수 있다.

<201> 상기 주변 바디 상부 콘택 플러그(65)는 상기 제4 상부 층간 절연 막(60)을 관통하며 상기 주변 바디 하부 콘택 플러그(55)와 전기적으로 연결될 수 있다. 상기 주변 바디 상부 콘택 플러그(65) 및 상기 주변 바디 하부 콘택 플러그(55)은 주변 바디 콘택 구조체(75)을 구성할 수 있다.

<202> 일 실시예에서, 주변 워드라인 콘택 구조체(도 1의 77)를 형성할 수 있다. 상기 주변 워드라인 콘택 구조체(77)는 상기 주변 바디 콘택 구조체(75)와 동시에 그리고 동일한 구조로 형성될 수 있다. 따라서, 주변 워드라인 콘택 구조체(77)는 상기 주변 바디 콘택 구조체(75)의 상기 주변 하부 바디 콘택 플러그(55) 및 상기 주변 상부 바디 콘택 플러그(65)에 대응하는 주변 하부 워드라인 콘택 플러그 및 주변 상부 워드라인 콘택 플러그로 구성될 수 있다.

<203> 상기 셀 비트라인 콘택 플러그들(68)은 상기 제2 내지 제4 상부 층간 절연 막들(32, 48, 60)을 관통하며 상기 셀 패드 패턴들(30) 상에 형성될 수 있다.

<204> 이어서, 배선 공정을 진행하여, 상기 제4 층간 절연 막(60) 상에 배선 구조체들을 형성할 수 있다. (S90) 상기 배선 구조체들은 비트 라인들(80), 워드 라인 배선 구조체들(81) 및 바디 배선들(82)을 포함할 수 있다.

<205> 상기 비트 라인들(80)은 상기 비트라인 콘택 플러그들(68) 및 상기 주변 비

트라인 콘택 구조체(72)와 중첩하며 전기적으로 연결될 수 있다.

<206> 상기 워드라인 배선 구조체들(81)은 상기 셀 게이트 콘택 구조체(74) 및 상기 주변 워드라인 콘택 구조체(77)와 전기적으로 연결될 수 있다.

<207> 상기 바디 배선들(82)은 상기 셀 바디 콘택 구조체(73) 및 상기 주변 바디 콘택 구조체(75)와 전기적으로 연결될 수 있다.

<208> 따라서, 도 1, 도 2a, 도 2b, 3a 및 도 3b에서 설명한 것과 같은 반도체 소자를 형성할 수 있다. 이와 같은 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자 형성 방법을 이용하여 도 4a 및 도 4b에서 설명한 것과 같은 반도체 소자를 형성할 수 있는 방법의 일 예에 대하여, 도 27을 참조하여 설명하기로 한다.

<209> 도 27을 참조하면, 도 19에서 설명한 것과 같이, 반도체 기판 상에 주변 회로 영역을 형성할 수 있고, (S10) 상기 주변 회로 영역 상에 반도체 패턴을 형성할 수 있고, (S20) 상기 반도체 패턴 상에 몰딩 구조체를 형성할 수 있고, (S30) 상기 반도체 패턴 상에 몰딩 구조체를 관통하는 수직 구조체들을 형성할 수 있다. (S40)

<210> 상기 몰딩 구조체를 관통하는 제1 콘택 플러그들을 형성할 수 있다. (S140) 상기 제1 콘택 플러그들은 도 4a 및 도 4b에서의 상기 주변 비트라인 하부 콘택 플러그들(52') 및 상기 셀 바디 하부 콘택 플러그(53')일 수 있다.

<211> 도 19에서 설명한 것과 마찬가지로, 트렌치를 형성할 수 있고 (S50), 상기 몰딩 구조체 내부에 빈 공간들을 형성할 수 있고 (S60), 상기 빈 공간들 내에 게이트 도전성 패턴들을 형성할 수 있다. (S70)

<212> 제2 콘택 플러그들을 형성할 수 있다. (S180) 상기 제2 콘택 플러그들은 도 4b의 상기 셀 게이트 하부 콘택 플러그들(54) 및 상기 주변 바디 하부 콘택 플러그들(55)일 수 있다. 이어서, 상기 셀 비트라인 콘택 플러그들(68), 상기 주변 비트라인 상부 콘택 플러그(62') 및 상기 주변 상부 바디 콘택 플러그(65)를 형성할 수 있다. 이어서, 도 19에서 설명한 것과 마찬가지로, 배선 구조체들을 형성할 수 있다. (S90)

<213> 다음으로, 도 5a 및 도 5b에서 설명한 것과 같은 반도체 소자를 형성할 수 있는 방법의 일 예에 대하여, 도 28을 참조하여 설명하기로 한다.

<214> 도 28을 참조하면, 도 19에서 설명한 것과 같이, 반도체 기판 상에 주변 회로 영역을 형성할 수 있고, (S10) 상기 주변 회로 영역 상에 반도체 패턴을 형성할 수 있고, (S20) 상기 반도체 패턴 상에 몰딩 구조체를 형성할 수 있다. (S30) 상기 몰딩 구조체를 관통하는 제1 콘택 플러그들을 형성할 수 있다. (S240) 상기 제1 콘택 플러그들은 도 5a 및 도 5b에서의 상기 주변 비트라인 하부 콘택 플러그들(52") 및 상기 셀 바디 하부 콘택 플러그(53")일 수 있다.

<215> 도 19에서 설명한 것과 마찬가지로, 몰딩 구조체를 관통하는 수직 구조체들을 형성할 수 있고 (S40), 트렌치들을 형성할 수 있고 (S50), 몰딩 구조체 내부에 빈 공간들을 형성할 수 있고 (S60), 상기 빈 공간들 내에 게이트 도전성 패턴들을 형성할 수 있다. (S70) 이어서, 제2 콘택 플러그들을 형성할 수 있다. (S280) 상기 제2 콘택 플러그들은 도 5b의 상기 셀 게이트 하부 콘택 플러그들(54) 및 상기 주변 바디 하부 콘택 플러그들(55)일 수 있다. 이어서, 상기 셀 비트라인 콘택 플러

그들(68), 상기 주변 비트라인 상부 콘택 플러그(62"), 상기 셀 게이트 상부 콘택 플러그(64), 및 상기 주변 상부 바디 콘택 플러그(65)를 형성할 수 있다. 이어서, 도 19에서 설명한 것과 마찬가지로, 배선 구조체들을 형성할 수 있다. (S90) 이어서, 도 19에서 설명한 것과 마찬가지로, 배선 구조체들을 형성할 수 있다. (S90)

<216> 다음으로, 도 29을 참조하여 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자 형성 방법을 설명하기로 한다.

<217> 도 29을 참조하면, 도 19에서 설명한 것과 같이, 반도체 기판 상에 주변 회로 영역을 형성할 수 있고, (S10) 상기 주변 회로 영역 상에 반도체 패턴을 형성할 수 있고, (S20) 상기 반도체 패턴 상에 몰딩 구조체를 형성할 수 있다. (S30) 이어서, 상기 몰딩 구조체를 관통하는 절연성 구조체를 형성할 수 있다. (S340) 콘택 구조체들을 형성할 수 있다. (S350) 배선 구조체들을 형성할 수 있다. (S360)

<218> 도 1 및 도 10과 함께, 도 29, 및 도 30a 내지 도 32b를 참조하여 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자 형성 방법을 설명하기로 한다.

<219> 도 1, 도 10, 도 29, 도 30a 및 도 30b를 참조하면, 도 20a 및 도 20b에서 설명한 것과 같이, 상기 반도체 기판(2) 상에 상기 주변 회로 영역들(PC1, PC2, PC3)을 형성할 수 있고, (S10) 상기 반도체 기판(2) 상에 상기 주변 회로 영역들(PC1, PC2, PC3)의 회로들을 구성할 수 있는 트랜지스터(PTR) 및 주변 배선 구조체(PW)를 덮는 하부 층간 절연 막(LILD)를 형성할 수 있고, 상기 하부 층간 절연 막(LILD) 상에 상기 버퍼 절연성 막(10) 및 상기 개구부(16)를 갖는 상기 반도체 패턴(14)을 형성할 수 있다. 상기 반도체 패턴(14)은 상기 주변 회로 영역들(PC1,

PC2, PC3) 상에 형성될 수 있다. (S20)

<220> 도 21a 및 도 21b에서 설명한 것과 같이, 상기 반도체 패턴(14)의 상기 개구부(16)를 채우는 상기 갭필 절연성 막(18) 및 상기 반도체 패턴(14)의 측면을 덮는 중간 층간 절연 막(19)을 형성하고, 상기 반도체 패턴(14) 및 상기 갭필 절연성 막(18) 상에 상기 몰딩 구조체(MS)를 형성할 수 있다. 상기 몰딩 구조체(MS)는 교대로 반복적으로 적층된 상기 제1 몰딩 막(20) 및 상기 제2 몰딩 막(22)을 포함할 수 있다.

<221> 도 22a 및 도 22b에서 설명한 것과 같이, 상기 몰딩 구조체(MS)를 갖는 기판 상에 제1 상부 층간 절연 막(24)을 형성하고, 상기 몰딩 구조체(MS) 상의 상기 제1 상부 층간 절연 막(24) 및 상기 몰딩 구조체(MS)를 관통하며 상기 반도체 패턴(14)과 연결되는 복수의 상기 셀 수직 구조체들(CV)을 형성할 수 있다.

<222> 일 실시예에서, 상기 셀 수직 구조체들(CV) 사이 및 상기 반도체 패턴(14)의 상기 개구부(16) 상에 배치되며 상기 몰딩 구조체(MS) 상의 상기 제1 상부 층간 절연 막(24) 및 상기 몰딩 구조체(MS)를 관통하는 절연성 구조체(123)를 형성할 수 있다.

<223> 상기 절연성 구조체(123)는 실리콘 산화물로 형성할 수 있다. 상기 절연성 구조체(123)의 평면 크기는 상기 반도체 패턴(14)의 상기 개구부(16)의 평면 크기보다 클 수 있다.

<224> 일 실시예에서, 상기 셀 수직 구조체들(CV)을 형성한 후에, 상기 절연성 구

조체(123)를 형성할 수 있다. 그렇지만, 본 발명의 기술적 사상은 이에 한정되지 않는다. 예를 들어, 상기 절연성 구조체(123)를 형성한 후에, 상기 셀 수직 구조체들(CV)을 형성할 수도 있다.

<225> 도 1 및 도 10과 함께, 도 31a 및 도 31b를 참조하면, 도 23a 및 도 23b에서 설명한 것과 같이, 상기 셀 수직 구조체들(CV) 및 상기 절연성 구조체(123)를 갖는 기판 상에 상기 제2 상부 층간 절연 막(32)을 형성할 수 있고, 상기 제1 및 제2 상부 층간 절연 막(24, 32) 및 상기 몰딩 구조체(MS)를 관통하는 상기 트렌치들(34)을 형성할 수 있고, 상기 트렌치들(34)에 의해 노출되는 상기 제2 몰딩 막들(22)을 부분 식각하여 상기 빈 공간들(36)을 형성할 수 있다.

<226> 상기 절연성 구조체(123)는 상기 제2 몰딩 막들(22)과 식각 선택비를 갖는 물질로 형성될 수 있으므로, 상기 절연성 구조체(123)는 상기 절연성 막들(22)을 식각하는 공정에 내식각성을 가질 수 있다.

<227> 도 23a 및 도 23b에서 설명한 것과 같이, 상기 트렌치들(34)은 차례로 배열된 상기 제1 트렌치(34a), 상기 제2 트렌치(34b) 및 상기 제3 트렌치(34c)을 포함할 수 있고, 상대적으로 이격 거리가 큰 상기 제1 및 제2 트렌치들(34a, 34b) 사이에 상기 제1 몰딩 막들(20)이 잔존하여 제1 절연성 패턴들(120a)로 형성될 수 있으며 상기 절연성 구조체(123)가 위치할 수 있다. 따라서, 상기 제1 절연성 패턴들(120a)은 상기 절연성 구조체(123)의 측면 상에 배치되는 모양일 수 있다.

<228> 도 1 및 도 10과 함께, 도 32a 및 도 32b를 참조하면, 도 24a 및 도 24b에서 설명한 바와 같이, 상기 빈 공간들(36)을 갖는 기판 상에 상기 제2 유전체(37)를

형성하고, 상기 셀 게이트 도전성 패턴들(38a) 및 상기 더미 게이트 도전성 패턴들(38b, 38c)을 형성할 수 있다.

<229> 도 25a 및 도 25b에서 설명한 것과 같이, 상기 트렌치들(34)의 측벽들 상에 상기 절연성 스페이서(40)를 형성하고, 상기 트렌치들(34) 하부의 상기 반도체 패턴(14) 내에 상기 셀 소스 불순물 영역(42)을 형성하고, 상기 트렌치들(34)을 채우는 상기 소스 패턴들(46)을 형성하고, 상기 제3 상부 층간 절연 막(48)을 형성하는 것을 포함할 수 있다.

<230> 도 26a 및 도 26b에서 설명한 것과 같이, 상기 주변 비트라인 하부 콘택 플러그(52), 상기 셀 바디 하부 콘택 플러그(53), 상기 셀 게이트 하부 콘택 플러그들(54), 상기 주변 바디 하부 콘택 플러그(55)를 형성할 수 있다.

<231> 상기 주변 비트라인 하부 콘택 플러그(52)는 상기 제2 및 제3 상부 층간 절연 막들(32, 38), 상기 절연성 구조체(123), 상기 반도체 패턴(14)의 상기 개구부(16) 내의 상기 갭필 절연 막(18), 상기 버퍼 절연성 막(10) 및 상기 제1 주변 패드(PP1) 상부의 상기 하부 층간 절연 막(LILD)을 관통할 수 있다.

<232> 도 26a 및 도 26b에서 설명한 것과 같이, 상기 주변 비트라인 하부 콘택 플러그(52), 상기 셀 바디 하부 콘택 플러그(53), 상기 셀 게이트 하부 콘택 플러그들(54), 상기 주변 바디 하부 콘택 플러그(55)를 형성하기 위한 콘택 홀들을 형성한 후에, 상기 반도체 패턴(14) 내에 상기 셀 바디 콘택 불순물 영역(50)을 형성할 수 있다.

<233> 도 1 및 도 10과 함께, 도 11a 및 도 11b를 다시 참조하면, 도 1, 도 2a, 도 2b 및 도 19와 함께, 다시 도 3a 및 도 3b를 참조하여 설명한 것과 같이, 상기 제4 상부 층간 절연 막(60)을 형성하고, 상기 주변 비트라인 상부 콘택 플러그(62), 상기 셀 바디 상부 콘택 플러그(63), 상기 셀 게이트 상부 콘택 플러그들(64), 상기 주변 바디 상부 콘택 플러그(65) 및 상기 셀 비트라인 콘택 플러그들(68)을 형성하고, 상기 배선 구조체들(80, 81, 82)을 형성할 수 있다.

<234> 다음으로, 도 12, 도 13a, 도 13b 및 도 14를 참조하여 설명한 반도체 소자의 형성 방법의 일 예에 대하여, 도 33 내지 도 35를 참조하여 설명하기로 한다.

<235> 도 12, 도 13a 및 도 33을 참조하면, 도 20a 및 도 20b에서 설명한 것과 같이, 상기 반도체 기판(2) 상에 상기 주변 회로 영역들(PC1, PC2, PC3)을 형성할 수 있고, 상기 반도체 기판(2) 상에 상기 주변 회로 영역들(PC1, PC2, PC3)의 회로들을 구성할 수 있는 트랜지스터(PTR) 및 주변 배선 구조체(PW)를 덮는 하부 층간 절연 막(LILD)를 형성할 수 있고, 상기 하부 층간 절연 막(LILD) 상에 상기 버퍼 절연성 막(10)을 형성할 수 있다.

<236> 상기 버퍼 절연성 막(10) 상에 개구부(216)를 갖는 반도체 패턴(214)을 형성할 수 있다.

<237> 상기 반도체 패턴(214)의 상기 개구부(216)를 채우는 갭필 절연성 막(218) 및 상기 반도체 패턴(214)의 측면을 덮는 중간 층간 절연 막(219)을 형성할 수 있다.

<238> 도 21a 및 도 21b에서와 같이, 상기 반도체 패턴(214) 및 상기 갭필 절연성 막(218) 상에 상기 몰딩 구조체(MS)를 형성할 수 있다. 상기 몰딩 구조체(MS)는 교대로 반복적으로 적층된 상기 제1 몰딩 막(20) 및 상기 제2 몰딩 막(22)을 포함할 수 있다.

<239> 도 22a 및 도 22b에서와 마찬가지로, 상기 몰딩 구조체(MS)를 갖는 기판 상에 제1 상부 층간 절연 막(24)을 형성하고, 상기 몰딩 구조체(MS) 상의 상기 제1 상부 층간 절연 막(24) 및 상기 몰딩 구조체(MS)를 관통하며 상기 반도체 패턴(14)과 연결되는 복수의 상기 셀 수직 구조체들(CV)을 형성할 수 있다.

<240> 도 12, 도 13a 및 도 34를 참조하면, 상기 셀 수직 구조체들(CV)를 갖는 기판 상에 제2 상부 층간 절연 막(32)을 형성할 수 있다.

<241> 상기 제1 및 제2 상부 층간 절연 막(24, 32) 및 상기 몰딩 구조체(MS)를 관통하는 상기 트렌치들(234)을 형성할 수 있다. 상기 트렌치들(234)은 일정한 간격으로 배열될 수 있다.

<242> 상기 트렌치들(234)에 의해 노출되는 상기 제2 몰딩 막들(22)을 부분 식각하여 상기 빈 공간들을 형성하고, 상기 빈 공간들 내에, 도 23a 및 도 23b에서 설명한 것과 실질적으로 동일한 공정을 진행하여, 상기 제2 유전체(37) 및 상기 셀 게이트 도전성 패턴들(38a)을 형성할 수 있다.

<243> 일 실시예에서, 상기 몰딩 구조체(MS)는 상기 제2 및 제4 계단 영역들(ST2, ST4)에 잔존하여 절연성 구조체(223)으로 형성될 수 있다. 상기 절연성 구조체

(223)는 교대로 반복적으로 적층되며 계단 구조로 적층되는 제1 절연성 패턴(220a) 및 제2 절연성 패턴(220b)를 포함할 수 있다.

<244> 상기 셀 게이트 도전성 패턴들(38a) 사이에 잔존하는 상기 제1 몰딩 막(20)은 셀 층간 절연 패턴들(21)로 정의될 수 있다.

<245> 상기 트렌치들(234)의 측벽들 상에 절연성 스페이서(40)를 형성할 수 있다.

<246> 이온 주입 공정을 진행하여, 상기 트렌치들(234) 하부의 상기 반도체 패턴(214) 내에 셀 소스 불순물 영역(242)을 형성할 수 있다. 상기 셀 소스 불순물 영역(242)은 상기 반도체 패턴(242)의 상기 저농도 불순물 영역(LC)과 다른 도전형으로 형성될 수 있다. 상기 트렌치들(234) 상에 소스 패턴들(246)을 형성할 수 있다.

<247> 도 12, 도 13a 및 도 35를 참조하면, 상기 소스 패턴들(246)을 갖는 기판 상에 제2 상부 층간 절연 막(42)을 형성할 수 있다. 상기 제2 상부 층간 절연 막을 관통하는 하부 콘택 플러그들(252, 253, 255)을 형성할 수 있다.

<248> 일 실시예에서, 상기 하부 콘택 플러그들(252, 253, 255)을 형성하기 전에, 상기 하부 콘택 플러그들(252, 253, 255)을 형성하기 위한 콘택 홀들을 형성하고, 이온 주입 공정을 진행하여 상기 콘택 홀들에 의해 노출되는 콘택 부분 내에 불순물을 주입할 수 있다. 따라서, 상기 셀 바디 하부 콘택 플러그(253) 하부의 상기 반도체 패턴(14) 내에 셀 바디 콘택 불순물 영역(50)을 형성할 수 있다.

<249> 도 12, 도 13a, 도 13b 및 도 14를 다시 참조하면, 상기 하부 콘택 플러그들

(252, 253, 255)을 갖는 기판 상에 제4 상부 층간 절연 막(60)을 형성할 수 있다. 상기 제2 내지 제4 상부 층간 절연 막들(24, 32, 48, 60)을 관통하며 상기 셀 수직 구조체들(CV)과 연결되는 셀 비트라인 플러그들(68), 상기 제4 상부 층간 절연 막(60)을 관통하며 상기 주변 하부 비트라인 플러그(252)와 연결되는 주변 상부 트라인 플러그(262), 상기 셀 바디 하부 콘택 플러그(53)와 연결되는 셀 바디 상부 콘택 플러그(63), 상기 주변 바디 하부 콘택 플러그(55)와 연결되는 주변 바디 상부 콘택 플러그(65)를 형성할 수 있다.

<250> 이어서, 상기 제4 주변 층간 절연 막(60) 상에 배선 구조체들을 형성할 수 있다. 상기 배선 구조체들은 비트 라인들(280), 워드라인 배선 구조체들(81) 및 바디 배선들(82)을 포함할 수 있다. 상기 비트라인들(280)은 상기 셀 비트라인 플러그들(68) 및 상기 주변 상부 비트라인 플러그들(262)과 연결될 수 있다.

<251> 다음으로, 도 12, 도 17 및 도 18을 참조하여 설명한 반도체 소자의 형성 방법의 일 예에 대하여, 도 36 및 도 37을 참조하여 설명하기로 한다.

<252> 도 12, 도 17 및 도 36을 참조하면, 도 33에서 설명한 것과 같이, 상기 반도체 기판(2) 상에 상기 주변 회로 영역들(PC1, PC2, PC3), 상기 버퍼 절연성 막(10), 상기 개구부(216)을 갖는 상기 반도체 패턴(214), 상기 몰딩 구조체(MS), 상기 제1 상부 층간 절연 막(24) 및 상기 수직 구조체들(CV)을 형성할 수 있다.

<253> 일 실시예에서, 상기 수직 구조체들(CV)을 형성하기 전에, 상기 제1 상부 층간 절연 막(24) 및 상기 몰딩 구조체(MS)를 관통하는 제1 절연성 구조체(323) 및 제2 절연성 구조체(324)를 형성할 수 있다. 그렇지만, 본 발명의 기술적 사상은 이

에 한정되지 않는다. 예를 들어, 상기 수직 구조체들(CV)을 형성한 후에, 상기 제1 상부 층간 절연 막(24) 및 상기 몰딩 구조체(MS)를 관통하는 제1 절연성 구조체(323) 및 제2 절연성 구조체(324)를 형성할 수 있다.

<254> 상기 제1 및 제2 절연성 구조체들(323, 324)은 실리콘 산화물로 형성될 수 있다. 상기 제1 절연성 구조체(323)은 상기 반도체 패턴(214)의 상기 개구부(216)와 중첩할 수 있다. 상기 제2 절연성 구조체(324)는 상기 반도체 패턴(214)의 상기 개구부(216)와 중첩하지 않을 수 있다.

<255> 도 12, 도 17 및 도 37을 참조하면, 상기 제1 상부 층간 절연 막(24) 상에 제2 상부 층간 절연 막(32)을 형성할 수 있다. 도 25a 및 도 25b에서 설명한 것과 실질적으로 동일한 공정을 진행하여, 상기 셀 소스 패턴들(46), 상기 셀 소스 패턴들(46) 하부의 상기 셀 소스 불순물 영역들(42) 및 상기 셀 소스 패턴들(46)의 측면들 상의 상기 절연성 스페이서들(40)을 형성할 수 있다.

<256> 다시 도 12, 도 17 및 도 18을 참조하며면, 상기 제2 상부 층간 절연 막(32) 상에 상기 셀 소스 패턴들(46)을 덮는 제3 상부 층간 절연 막(48)을 형성할 수 있다.

<257> 상기 제2 및 제3 상부 층간 절연 막들(32, 48), 상기 제1 절연성 구조체(323), 상기 반도체 패턴(214)의 상기 개구부(216) 내의 상기 절연성 갭필 막(218)을 관통하면서 상기 제1 주변 회로 영역(PC1)의 상기 제1 주변 패드(PP1)과 연결되는 주변 비트라인 하부 콘택 플러그(352)를 형성할 수 있다.

<258> 일 실시예에서, 상기 주변 비트라인 하부 콘택 플러그(352)를 형성하면서, 상기 제2 및 제3 상부 층간 절연 막들(32, 48), 및 상기 제2 절연성 구조체(324)를 관통하면서 상기 반도체 패턴(214)과 연결되는 셀 바디 하부 콘택 플러그(355)를 형성할 수 있다.

<259> 일 실시예에서, 상기 하부 콘택 플러그들(352, 355)을 형성하는 것은 상기 제1 주변 패드(PP1)을 노출시키는 비트라인 주변 하부 콘택 홀 및 상기 반도체 패턴(214)을 노출시키는 셀 바디 하부 콘택 홀을 형성하고, 이온 주입 공정을 진행하여 상기 반도체 패턴(214) 내에 셀 바디 콘택 불순물 영역(50)을 형성하고, 상기 콘택 홀들을 금속 물질로 채우는 것을 포함할 수 있다. 이어서, 상기 제4 상부 층간 절연 막(60)을 형성하고, 상부 콘택 플러그들(68, 372)을 형성하고, 배선 구조체들을 형성할 수 있다.

<260> 도 38는 본 발명의 기술적 사상의 실시예들에 따른 반도체 모듈(400)을 개략적으로 나타낸 도면이다.

<261> 도 38을 참조하면, 반도체 모듈(400)은 모듈 기판(410) 상에 형성된 메모리 소자(430)를 포함할 수 있다. 상기 반도체 모듈(400)은 상기 모듈 기판(410) 상에 실장된 반도체 소자(420)을 포함할 수 있다.

<262> 상기 메모리 소자(430)는 본 발명의 기술적 사상의 실시예들에 따른 상기 반도체 소자를 포함할 수 있다. 상기 모듈 기판(410)의 적어도 한 변에는 입출력 터

미널들(440)이 배치될 수 있다.

<263> 도 39는 본 발명의 기술적 사상의 실시예에 따른 전자 시스템(500)을 개념적으로 도시한 블록도이다.

<264> 도 39를 참조하면, 본 발명의 기술적 사상의 실시예에 따른 반도체 소자를 포함하는 전자 시스템(500)을 제공할 수 있다.

<265> 상기 전자 시스템(500)은 바디(Body; 510)를 포함할 수 있다. 상기 바디(510)는 마이크로 프로세서 유닛(Micro Processor Unit; 560), 파워 서플라이(Power Supply; 530), 기능 유닛(Function Unit; 540), 및/또는 디스플레이 컨트롤러 유닛(Display Controller Unit; 550)을 포함할 수 있다. 상기 바디(510)는 인쇄회로기판(PCB) 등을 갖는 시스템 보드 또는 마더 보드(Mother Board)일 수 있다.

<266> 상기 마이크로 프로세서 유닛(560), 상기 파워 서플라이(530), 상기 기능 유닛(540), 및 상기 디스플레이 컨트롤러 유닛(550)은 상기 바디(510)상에 실장 또는 장착될 수 있다. 상기 바디(510)의 상면 혹은 상기 바디(510)의 외부에 디스플레이 유닛(560)이 배치될 수 있다. 예를 들면, 상기 디스플레이 유닛(560)은 상기 바디(510)의 표면 상에 배치되어 상기 디스플레이 컨트롤러 유닛(550)에 의해 프로세싱된 이미지를 표시할 수 있다. 상기 파워 서플라이(530)은 외부의 전원 등으로부터 일정 전압을 공급받아 이를 다양한 전압 레벨로 분기하여 마이크로 프로세서 유닛(560), 기능 유닛(540), 디스플레이 컨트롤러 유닛(550) 등으로 공급할 수 있다. 상기 마이크로 프로세서 유닛(560)은 상기 파워 서플라이(530)으로부터 전압을 공급받아 상기 기능 유닛(540)과 상기 디스플레이 유닛(560)을 제어할 수 있다.

YMTC EXHIBIT 1007
Page 67 of 131

<267> 상기 기능 유닛(540)은 다양한 전자 시스템(500)의 기능을 수행할 수 있다. 예를 들어, 상기 전자 시스템(500)이 휴대폰 같은 모바일 전자 제품인 경우 상기 기능 유닛(540)은 다이얼링, 또는 외부 장치(External Apparatus; 570)와의 교신으로 상기 디스플레이 유닛(560)으로의 영상 출력, 스피커로의 음성 출력 등과 같은 무선 통신 기능을 수행할 수 있는 여러 구성 요소들을 포함할 수 있으며, 카메라를 포함하는 경우, 이미지 프로세서(Image Processor)의 역할을 할 수 있다.

<268> 일 실시예에서, 상기 전자 시스템(500)이 용량 확장을 위해 메모리 카드 등과 연결되는 경우, 상기 기능 유닛(540)은 메모리 카드 컨트롤러일 수 있다. 상기 기능 유닛(540)은 유선 혹은 무선의 통신 유닛(Communication Unit; 580)을 통해 외부 장치(570)와 신호를 주고 받을 수 있다.

<269> 또한, 상기 전자 시스템(500)이 기능 확장을 위해 유에스비(Universal Serial Bus; USB) 등을 필요로 하는 경우, 상기 기능 유닛(540)은 인터페이스 컨트롤러(Interface Controller)의 역할을 할 수 있다.

<270> 도 40은 본 발명의 기술적 사상의 실시예에 따른 전자 시스템(600)을 개략적으로 도시한 블록도이다.

<271> 도 40을 참조하면, 전자 시스템(600)은 본 발명의 기술적 사상의 실시예에 따른 반도체 소자를 포함할 수 있다. 상기 전자 시스템(600)은 메모리 시스템(612), 마이크로프로세서(614), 램(616) 및 버스(620)를 사용하여 데이터 통신을 수행하는 유저 인터페이스(618)를 포함할 수 있다. 마이크로프로세서(614)는 전자

시스템(600)을 프로그램 및 컨트롤할 수 있다. 램(616)은 마이크로프로세서(614)의 동작 메모리로 사용될 수 있다. 마이크로프로세서(614), 램(616) 및/또는 다른 구성 요소들은 단일 패키지 내에 조립될 수 있다. 메모리 시스템(612)은 본 발명의 실시예들에 따른 반도체 소자를 포함할 수 있다.

<272> 상기 유저 인터페이스(618)는 상기 전자 시스템(600)으로 데이터를 입력하거나 또는 전자 시스템(600)으로부터 출력하는데 사용될 수 있다. 메모리 시스템(612)은 마이크로프로세서(614) 동작용 코드들, 마이크로프로세서(614)에 의해 처리된 데이터, 또는 외부 입력 데이터를 저장할 수 있다. 메모리 시스템(612)은 컨트롤러 및 메모리를 포함할 수 있다.

<273> 이상, 첨부된 도면을 참조하여 본 발명의 실시 예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

【부호의 설명】

<274> 2 : 기판 PC1, PC2, PC3 : 주변 회로

PW1, PW2, PW3 : 주변 배선 구조체

PP1, PP2, PP3 : 주변 콘택 패드

LILD : 하부 층간 절연 막 10 : 버퍼 절연성 막

14, 214 : 반도체 패턴

16, 216 : 개구부

18, 218 : 갭필 절연성 막

19, 219 : 중간 층간 절연 막

HC : 고농도 불순물 영역(제3 불순물 영역)

LC : 저농도 불순물 영역(제1 불순물 영역)

MS : 몰딩 구조체

20a : 제1 절연성 패턴

20b : 제3 절연성 패턴

21 : 셀 층간 절연성 패턴들

22a : 제2 절연성 패턴

22b : 제4 절연성 패턴

23, 223, 323, 324 : 절연성 구조체

24 : 제1 상부 층간 절연 막

CV : 셀 수직 구조체

27 : 제1 셀 유전체

28 : 셀 반도체 층

29 : 코어 절연 패턴

30 : 셀 패드 패턴

32 : 제2 상부 층간 절연 막

34 : 트렌치

37 : 제2 유전체

38a : 셀 게이트 도전성 패턴

38b : 더미 게이트 도전성 패턴

GS1, GS2, GS3 : 셀 게이트 도전성 구조체

40 : 절연성 스페이서

42 : 셀 소스 불순물 영역

46 : 소스 패턴

48 : 제3 상부 층간 절연 막

50 : 셀 바디 콘택 불순물 영역

H : 홀

SP : 절연성 스페이서

52, 252 : 주변 비트라인 하부 콘택 플러그

53 : 셀 바디 하부 콘택 플러그

54 : 셀 게이트 하부 콘택 플러그

55 : 주변 바디 하부 콘택 플러그

60 : 제4 상부 층간 절연 막

62 : 주변 비트라인 상부 콘택 플러그

63 : 셀 바디 상부 콘택 플러그

64 : 셀 게이트 상부 콘택 플러그

65 : 주변 바디 상부 콘택 플러그

68 : 셀 비트라인 콘택 플러그

71 : 바디 콘택 구조체

72 : 비트라인 주변 콘택 구조체

73 : 셀 바디 콘택 구조체

74 : 셀 게이트 콘택 구조체

75 : 주변 바디 콘택 구조체

77 : 주변 워드라인 주변 콘택 구조체

80 : 비트 라인(=셀 도전성 라인)

81 : 워드라인 배선 구조체

82 : 바디 배선 구조체

【특허청구범위】

【청구항 1】

반도체 기판 상에 배치되며 개구부를 갖는 반도체 패턴, 상기 반도체 패턴은 제1 도전형을 갖는 제1 불순물 영역 및 상기 제1 도전형과 다른 제2 도전형을 갖는 제2 불순물 영역을 포함하고;

상기 반도체 기판과 상기 반도체 패턴 사이에 배치되는 주변 트랜지스터;

상기 반도체 기판과 상기 반도체 패턴 사이에 배치되면서 상기 주변 트랜지스터와 전기적으로 연결되는 제1 주변 배선 구조체;

상기 반도체 패턴 상에 배치되는 셀 게이트 도전성 패턴들;

상기 셀 게이트 도전성 패턴들을 관통하며 상기 반도체 패턴과 연결되는 셀 수직 구조체들;

상기 셀 수직 구조체들 상에 배치되는 셀 비트라인 콘택 플러그들;

상기 셀 비트라인 콘택 플러그들 상에 배치되는 비트라인; 및

상기 비트라인과 상기 제1 주변 배선 구조체 사이에 배치되며 상기 반도체 패턴의 개구부를 지나는 주변 비트라인 콘택 구조체를 포함하는 반도체 소자.

【청구항 2】

제 1 항에 있어서,

상기 반도체 패턴은 상기 제1 불순물 영역과 동일한 도전형이고 상기 제1 불순물 영역 보다 높은 불순물 농도를 갖는 바디 콘택 불순물 영역을 더 포함하는 반

도체 소자.

【청구항 3】

제 2 항에 있어서,

상기 바디 콘택 불순물 영역 상에 배치되는 셀 바디 콘택 구조체를 더 포함하는 반도체 소자.

【청구항 4】

제 3 항에 있어서,

상기 반도체 기판과 상기 반도체 패턴 사이에 배치되며 상기 반도체 패턴의 외측으로 연장되는 제2 주변 배선 구조체; 및

상기 반도체 패턴의 외측에 배치되며 상기 주변 배선 구조체 상에 배치되는 주변 바디 콘택 구조체; 및

상기 주변 바디 콘택 구조체 및 상기 셀 바디 콘택 구조체 상에 배치되며 상기 주변 바디 콘택 구조체 및 상기 셀 바디 콘택 구조체와 전기적으로 연결되는 셀 바디 배선 구조체를 포함하는 반도체 소자.

【청구항 5】

제 1 항에 있어서,

상기 반도체 패턴 내에 배치되며 상기 제1 불순물 영역과 동일한 도전형이면서 상기 제1 불순물 영역 보다 높은 불순물 농도를 갖고, 상기 제1 불순물 영역 하부에 배치되는 제3 불순물 영역을 더 포함하는 반도체 소자.

【청구항 6】

제 1 항에 있어서,

상기 반도체 패턴의 상기 제2 불순물 영역 상에 배치되는 셀 소스 패턴을 더 포함하는 반도체 소자.

【청구항 7】

반도체 기판 상에 배치되며 개구부를 갖는 반도체 패턴;

상기 반도체 기판과 상기 반도체 패턴 사이에 배치되며 제1 주변 콘택 패드를 갖는 제1 주변 배선 구조체;

상기 반도체 기판과 상기 반도체 패턴 사이에 배치되면서 상기 반도체 패턴 외측 방향으로 연장되며 제2 주변 콘택 패드를 갖는 제2 주변 배선 구조체;

상기 반도체 패턴 상에 배치되는 셀 어레이 영역;

상기 반도체 패턴 상에 배치되며 상기 셀 어레이 영역의 일 측에 배치되는 계단 영역;

상기 반도체 패턴 상에 배치되는 셀 게이트 도전성 패턴, 상기 셀 게이트 도전성 패턴은 상기 셀 어레이 영역 내에 배치되면서 상기 계단 영역으로 연장되고;

상기 셀 어레이 영역 내의 상기 셀 게이트 도전성 패턴을 관통하며 상기 반도체 패턴과 연결되는 셀 수직 구조체;

상기 셀 수직 구조체 상의 비트 라인;

상기 비트 라인과 상기 제1 주변 콘택 패드 사이에 배치되며 상기 반도체 패

턴의 상기 개구부를 지나는 주변 비트라인 콘택 구조체;

상기 반도체 패턴 상의 상기 계단 영역의 상기 셀 게이트 도전성 패턴 상에 배치되는 셀 게이트 콘택 구조체;

상기 제2 주변 콘택 패드 상에 배치되며 상기 반도체 패턴의 외측 상에 배치되는 주변 워드라인 콘택 구조체; 및

상기 셀 게이트 콘택 구조체와 상기 주변 워드라인 콘택 구조체를 전기적으로 연결하는 워드라인 배선 구조체를 포함하는 반도체 소자.

【청구항 8】

제 7 항에 있어서,

상기 개구부는 상기 셀 어레이 영역 하부에 배치되는 반도체 소자.

【청구항 9】

제 7 항에 있어서,

상기 개구부는 상기 계단 영역 하부에 배치되는 반도체 소자.

【청구항 10】

제 7 항에 있어서,

상기 개구부는 상기 셀 어레이 영역 하부에 배치되면서 상기 계단 영역으로 연장되는 반도체 소자.

【청구항 11】

반도체 기판 상의 반도체 패턴;

상기 반도체 기판과 상기 반도체 패턴 사이의 주변 트랜지스터;

상기 반도체 기판과 상기 반도체 패턴 사이에 배치되며 상기 주변 트랜지스터와 전기적으로 연결되고, 주변 콘택 패드를 갖는 주변 배선 구조체;

상기 반도체 패턴 상에 배치되는 게이트 도전성 구조체, 상기 게이트 도전성 구조체는 상기 반도체 패턴에 수직한 방향으로 적층된 복수의 셀 게이트 도전성 패턴들을 포함하고;

상기 게이트 도전성 구조체를 관통하는 셀 수직 구조체;

상기 셀 수직 구조체 상의 셀 도전성 라인, 상기 셀 도전성 라인은 상기 반도체 패턴의 폭 보다 작은 크기의 길이를 갖고; 및

상기 셀 도전성 라인과 상기 주변 콘택 패드 사이에 배치되는 주변 콘택 구조체를 포함하는 반도체 소자.

【청구항 12】

제 11 항에 있어서,

상기 셀 도전성 라인은 제1 방향으로 길쭉한 라인 모양이고, 상기 반도체 패턴의 상기 폭은 상기 제1 방향의 폭인 반도체 소자.

【청구항 13】

제 11 항에 있어서,

상기 하부 층간 절연 막과 상기 반도체 패턴 사이에 배치되는 버퍼 절연성 막을 더 포함하는 반도체 소자.

【청구항 14】

제 13 항에 있어서,

상기 반도체 패턴의 개구부를 채우는 갭필 절연성 막을 더 포함하되,

상기 갭필 절연성 막은 상기 버퍼 절연성 막과 다른 식각 선택비를 갖는 물질로 형성되고,

상기 주변 콘택 구조체는 상기 갭필 절연성 막을 관통하는 반도체 소자.

【청구항 15】

제 11 항에 있어서,

상기 반도체 패턴 상에 배치되는 절연성 구조체를 더 포함하되,

상기 주변 콘택 구조체는 상기 절연성 구조체를 관통하는 반도체 소자.

【청구항 16】

제 15 항에 있어서,

상기 절연성 구조체는 교대로 반복적으로 적층된 제1 절연성 패턴 및 제2 절연성 패턴을 포함하되,

상기 제1 절연성 패턴은 상기 제2 절연성 패턴과 다른 식각 선택비를 갖는 물질을 포함하는 반도체 소자.

【청구항 17】

제 16 항에 있어서,

상기 제1 절연성 패턴들은 상기 제2 절연성 패턴들 보다 큰 폭을 갖는 반도

체 소자.

【청구항 18】

제 16 항에 있어서,

상기 제1 절연성 패턴들은 상기 셀 게이트 도전성 패턴들과 동일 평면에 배치되는 반도체 소자.

【청구항 19】

제 16 항에 있어서,

상기 반도체 패턴 상에 배치되며 교대로 반복적으로 적층된 제3 절연성 패턴 및 제4 절연성 패턴을 더 포함하되,

상기 제3 절연성 패턴들은 상기 제1 절연성 패턴들과 동일한 평면에 배치되며 상기 제1 절연성 패턴들과 동일한 물질로 형성되고,

상기 제4 절연성 패턴들은 상기 제2 절연성 패턴들과 동일한 평면에 배치되며 상기 제2 절연성 패턴들과 동일한 물질로 형성되는 반도체 소자.

【청구항 20】

제 19 항에 있어서,

상기 제3 및 제4 절연성 패턴들을 관통하며 상기 반도체 패턴과 연결되는 바디 콘택 구조체를 더 포함하는 반도체 소자.

【요약서】

【요약】

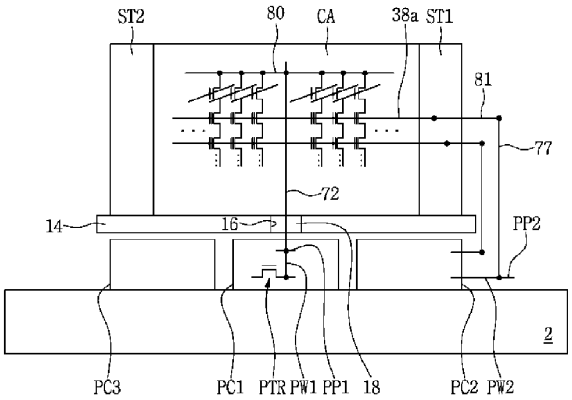
반도체 소자는 반도체 기판 상에 배치되며 개구부를 갖는 반도체 패턴을 포함한다. 상기 반도체 패턴은 제1 도전형을 갖는 제1 불순물 영역 및 상기 제1 도전형과 다른 제2 도전형을 갖는 제2 불순물 영역을 포함한다. 상기 반도체 기판과 상기 반도체 패턴 사이에 주변 트랜지스터가 배치된다. 상기 반도체 기판과 상기 반도체 패턴 사이에 제1 주변 배선 구조체가 배치된다. 상기 제1 주변 배선 구조체는 상기 주변 트랜지스터와 전기적으로 연결된다. 상기 반도체 패턴 상에 셀 게이트 도전성 패턴들이 배치된다. 상기 셀 게이트 도전성 패턴들을 관통하며 상기 반도체 패턴과 연결되는 셀 수직 구조체들이 배치된다. 상기 셀 수직 구조체들 상에 셀 비트라인 콘택 플러그들이 배치된다. 상기 셀 비트라인 콘택 플러그들 상에 배치되는 비트라인이 배치된다. 상기 비트라인과 상기 제1 주변 배선 구조체 사이에 주변 비트라인 콘택 구조체가 배치된다. 상기 주변 비트라인 콘택 구조체는 상기 반도체 패턴의 상기 개구부를 지난다.

【대표도】

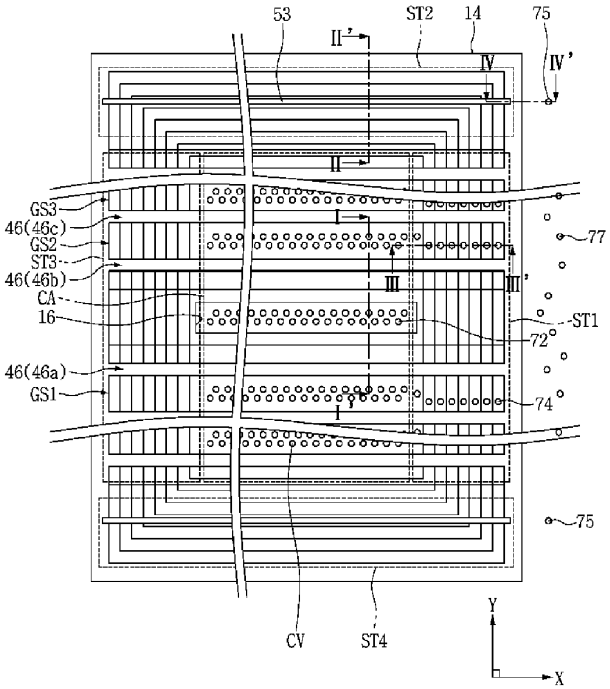
도 3a

【도면】

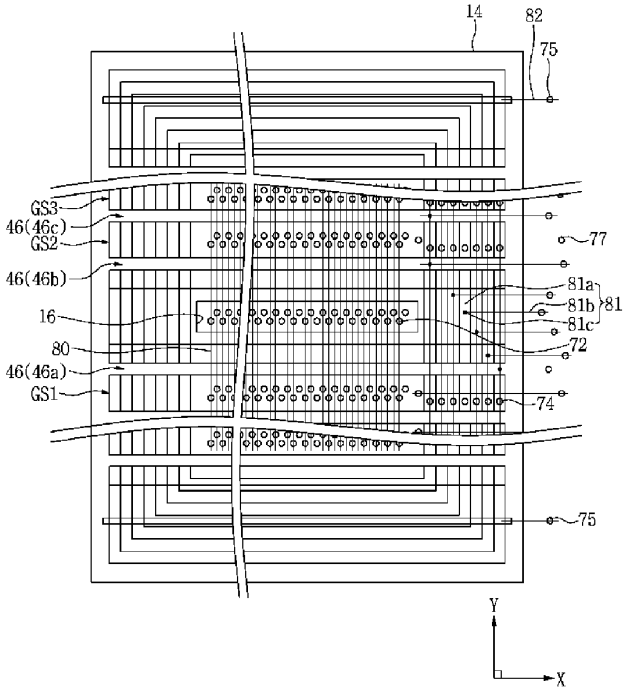
【도 1】


ST2
80
CA
38a
ST1
81
77
72
14
16
PP2
2
PC3
PC1
PTR
PW1
PP1
18
PC2
PW2

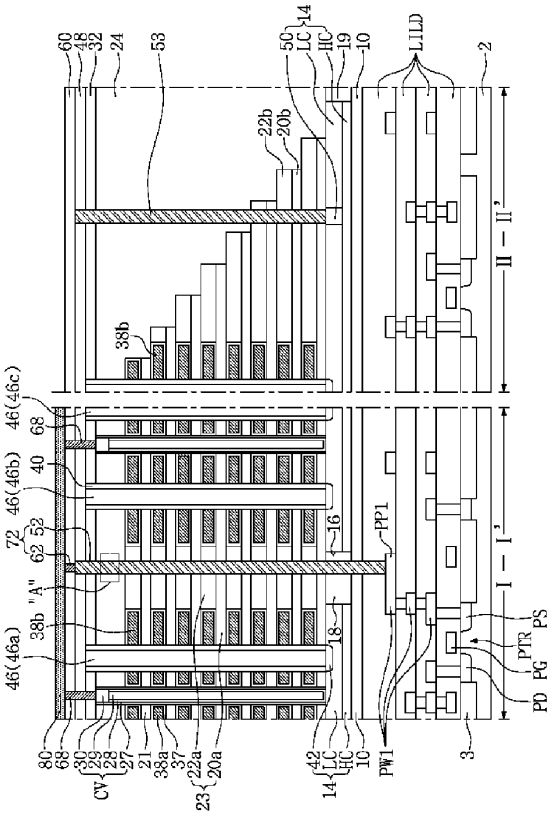
【도 2a】


53
ST2
14
75
II'
IV
IV'
II
GS3
46(46c)
GS2
ST3
46(46b)
CA
16
I
III
III'
77
ST1
72
46(46a)
GS1
74
I'
75
CV
ST4
Y
X

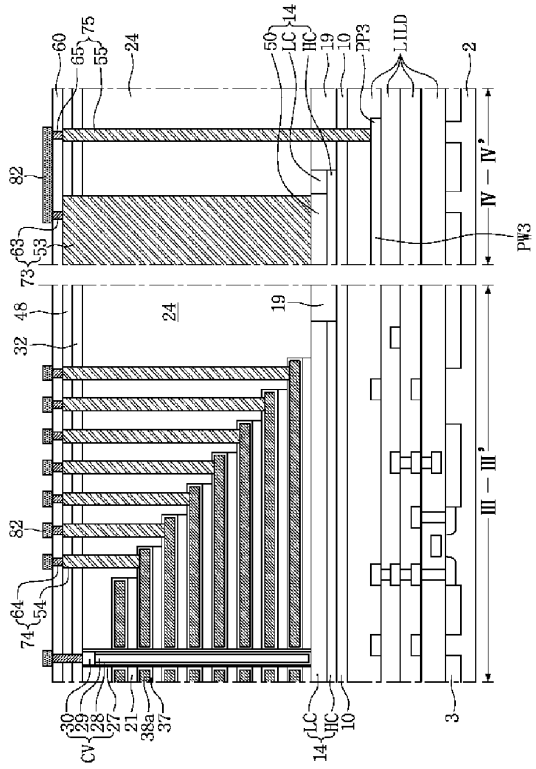
【도 2b】


14
82
75
GS3
46(46c)
GS2
46(46b)
16
80
46(46a)
GS1
77
81a
81b
81
81c
72
74
75
Y
X

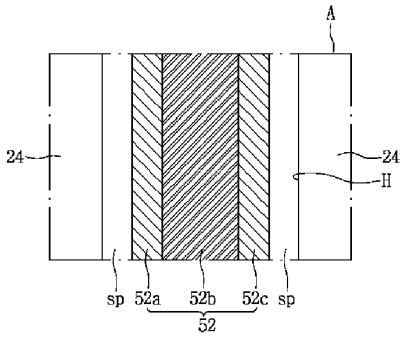
【도 3a】


60
48
32
24
53
50
LC
14
HC
19
10
LILD
2
22b
20b
38b
46(46c)
68
46(46b)
40
72
52
62
"A"
38b
46(46a)
16
PP1
18
I — I'
II — II'
PS
PTR
PG
PD
80
68
30
29
28
27
CV
21
38a
37
22a
20a
23
42
LC
HC
14
10
PW1
3

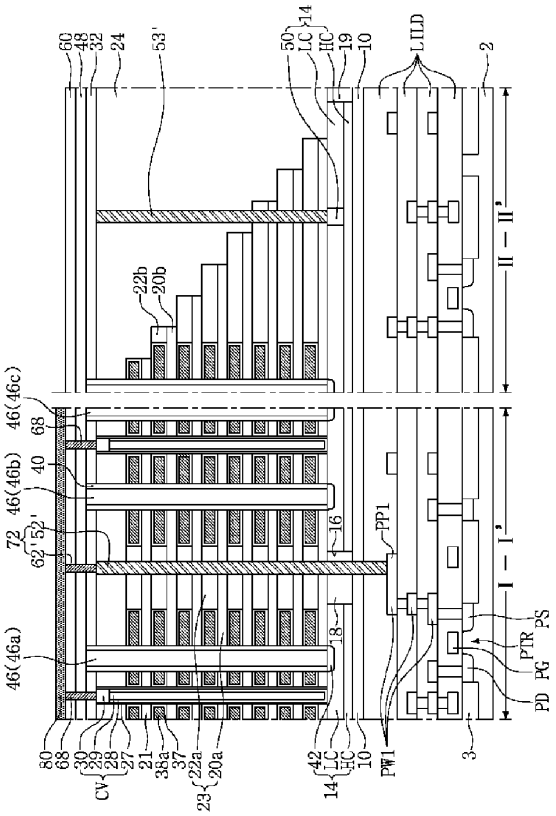
【도 3b】


60
65
75
55
24
82
63
53
73
48
32
82
64
54
74
30
29
28
27
21
38a
37
CV
50
LC
14
HC
19
10
PP3
LILD
2
IV — IV'
PW3
24
19
III — III'
LC
HC
14
10
3

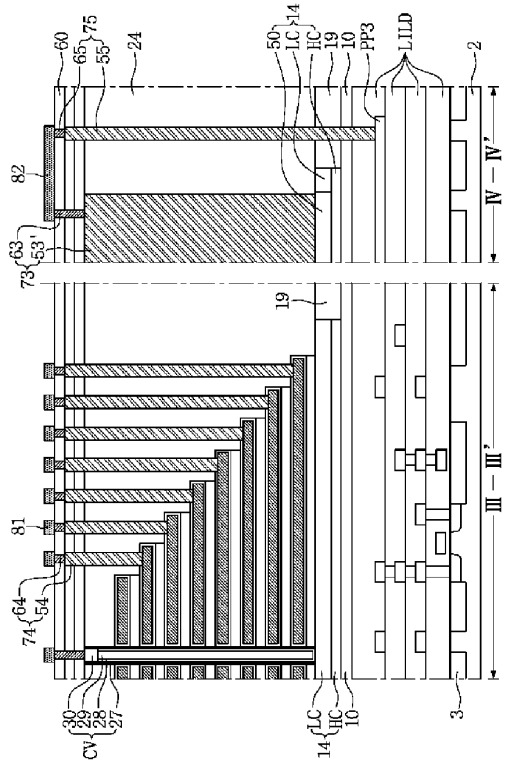
【도 3c】


A
24
24
II
sp
52a
52b
52c
sp
52

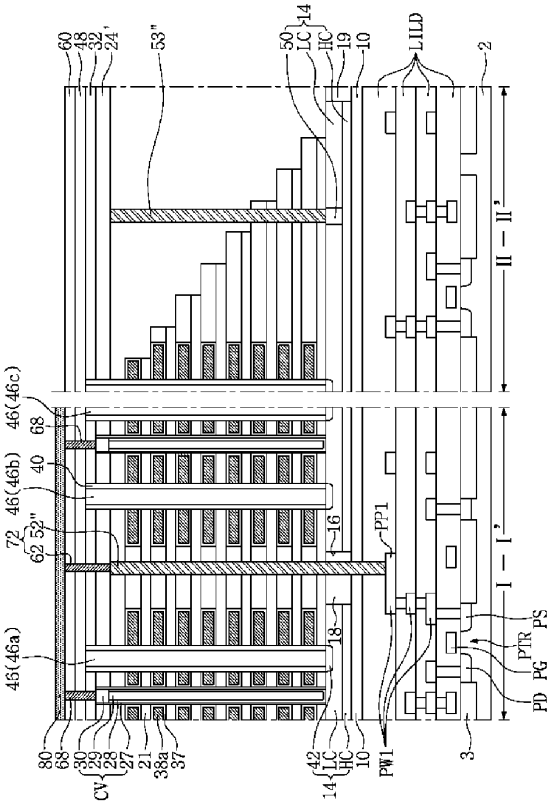
【도 4a】


60
48
32
24
53'
50
LC
14
HC
19
10
LDD
2
22b
20b
II — II'
46(46c)
68
46(46b)
40
72
52'
62
16
PP1
I — I'
46(46a)
18
PS
PTR
PG
PD
80
68
30
29
28
27
21
38a
37
22a
20a
CV
23
42
LC
HC
14
10
PW1
3

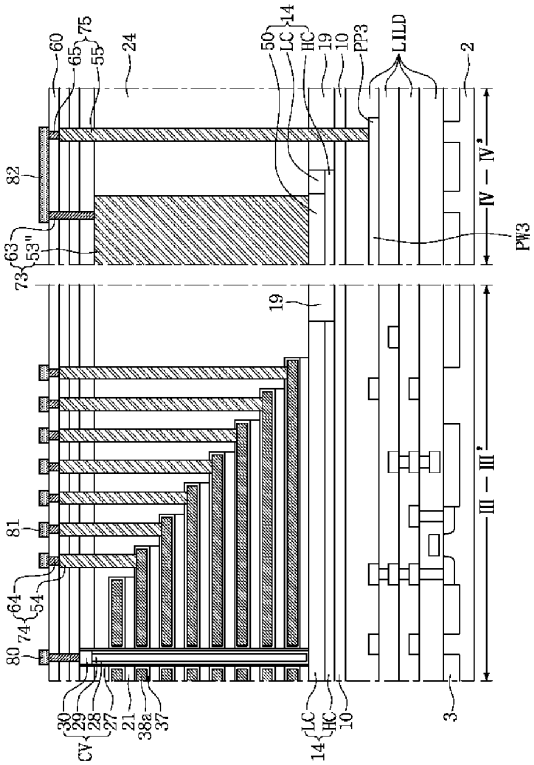
【도 4b】


60
65
75
55
24
50
LC
14
HC
19
10
PP3
LILD
2
82
63
53'
73
IV – IV'
19
81
64
54
74
III – III'
30
29
28
27
CV
LC
14
HC
10
3

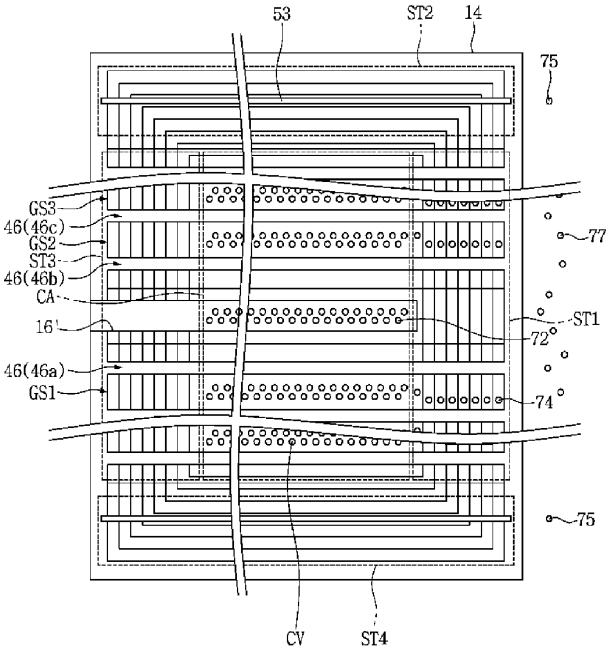
【도 5a】


60
48
32
24'
53"
50
LC
14
HC
19
10
LLD
2
II – II'
46(46c)
68
46(46b)
40
72
52"
62
16
PP1
I – I'
46(46a)
18
PS
PTR
PG
PD
80
68
30
29
28
27
21
38a
37
CV
42
LC
14
HC
10
PW1
3

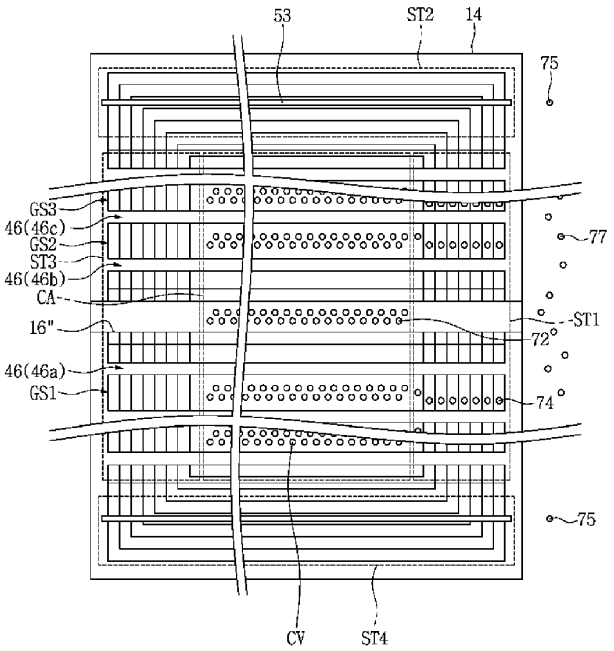
【도 5b】


60
65
55
75
24
50
LC
14
HC
19
10
PP3
LILD
2
82
63
53"
73
IV — IV'
PW3
19
81
64
54
74
80
III — III'
30
29
28
27
CV
21
38a
37
LC
HC
14
10
3

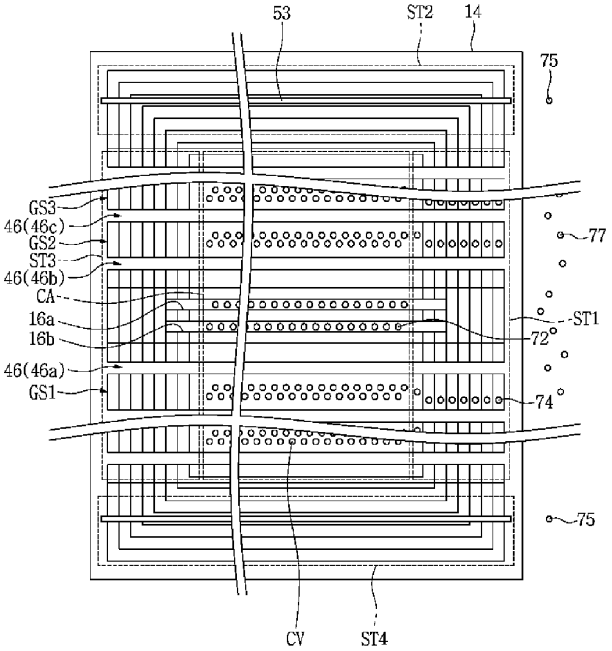
【도 6】


53
ST2
14
75
GS3
46(46c)
GS2
ST3
46(46b)
CA
16'
46(46a)
GS1
77
ST1
72
74
75
CV
ST4

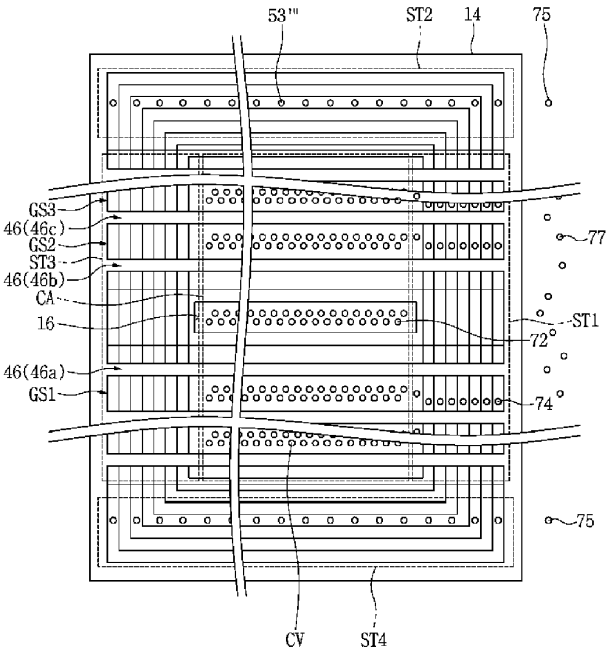
【도 7】


53
ST2
14
75
GS3
46(46c)
GS2
ST3
46(46b)
CA
16"
46(46a)
GS1
77
ST1
72
74
75
CV
ST4

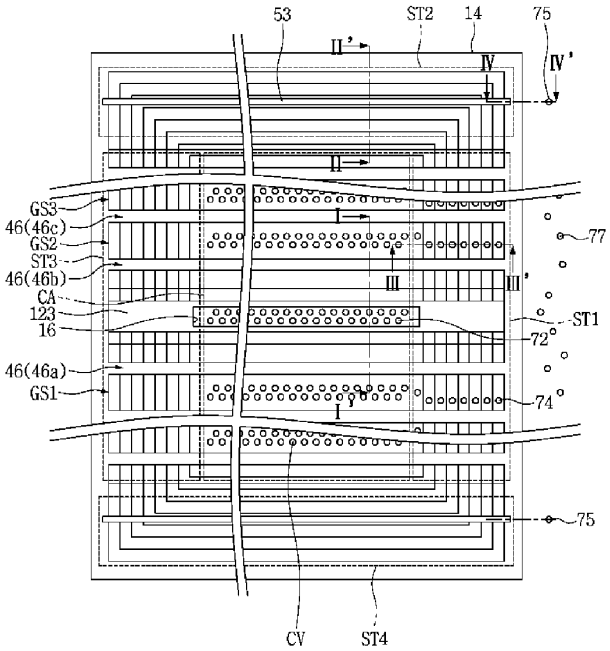
【도 8】


53
ST2
14
75
GS3
46(46c)
GS2
ST3
46(46b)
CA
16a
16b
46(46a)
GS1
77
ST1
72
74
75
CV
ST4

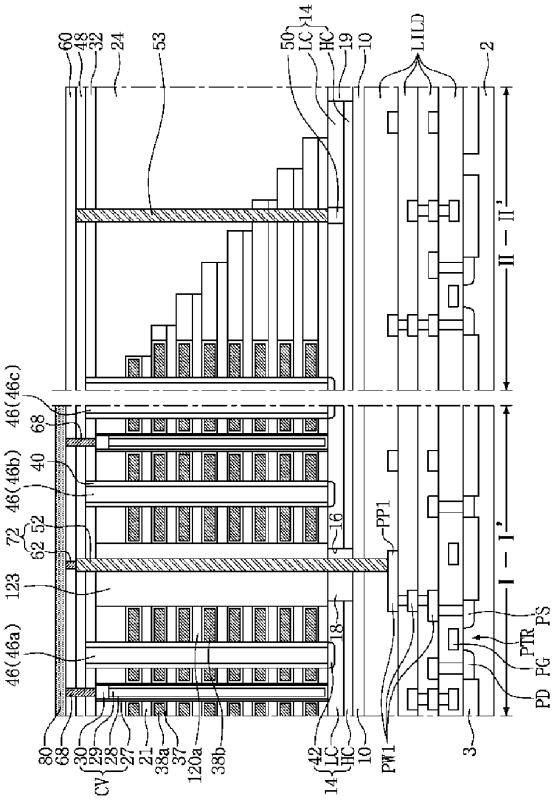
【도 9】


53'''
ST2
14
75
GS3
46(46c)
GS2
ST3
46(46b)
CA
16
46(46a)
GS1
77
ST1
72
74
75
CV
ST4

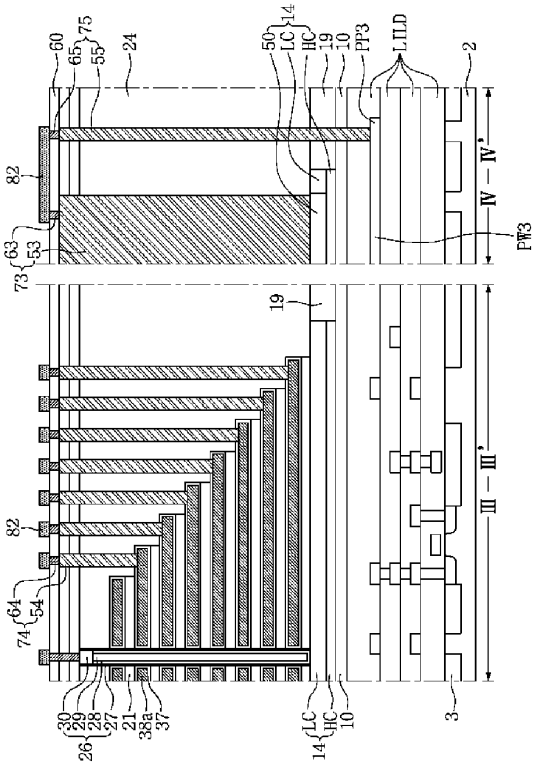
【도 10】


53
ST2
14
75
II'
IV
IV'
II
GS3
46(46c)
GS2
ST3
46(46b)
CA
123
16
I
III
III'
77
ST1
72
46(46a)
GS1
74
I'
75
CV
ST4

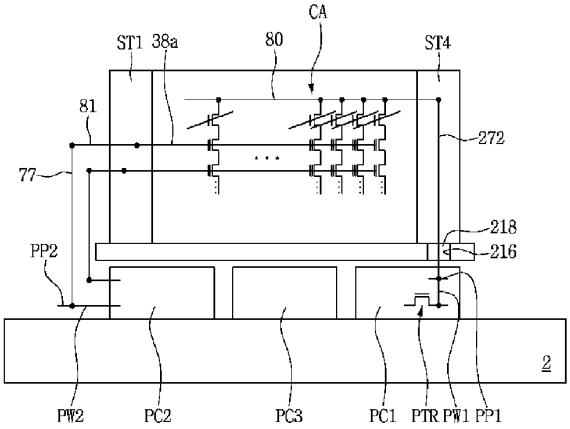
【도 11a】


60
48
32
24
53
50
LC
14
HC
19
10
LILD
2
II – II'
46(46c)
68
46(46b)
40
72
52
62
123
46(46a)
16
PP1
I – I'
18
PS
PTR
PG
PD
80
68
30
29
28
27
21
38a
37
120a
38b
CV
42
LC
HC
14
10
PW1
3

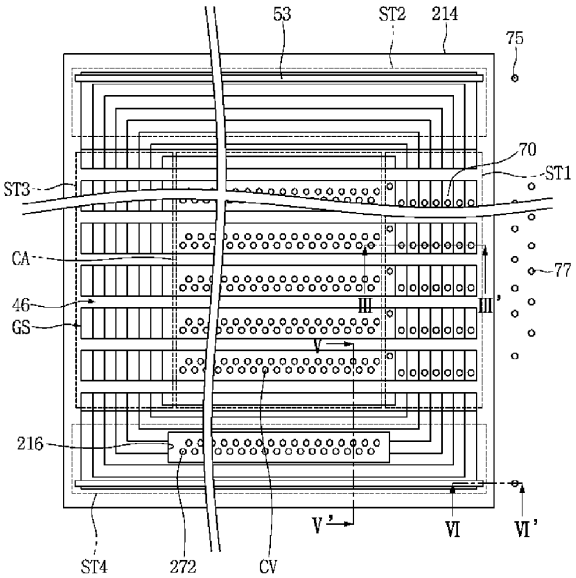
【도 11b】


60
65
55
75
24
82
63
53
73
50
LC
14
HC
19
10
PP3
LILD
2
IV — IV'
PP3
19
82
64
54
74
III — III'
30
29
28
27
26
21
33a
37
LC
HC
14
10
3

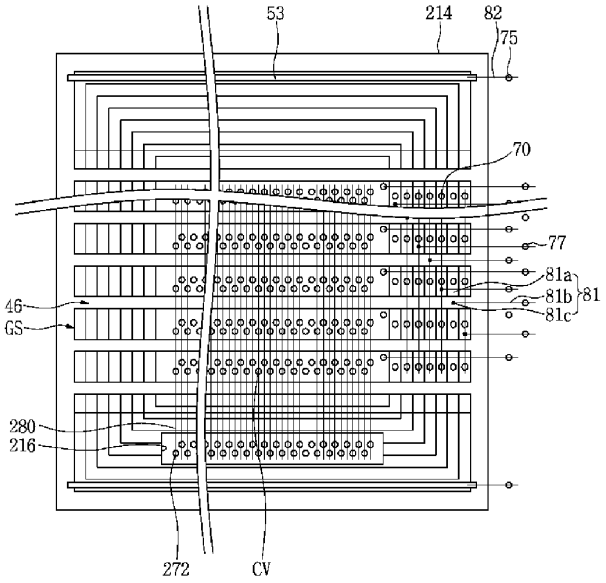
【도 12】


CA
ST1
38a
80
ST4
81
272
77
218
216
PP2
2
PW2
PC2
PC3
PC1
PTR
PW1
PP1

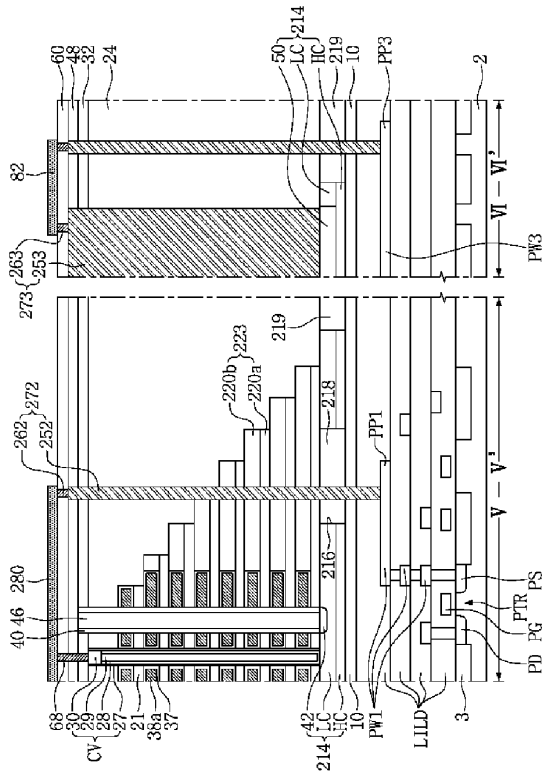
【도 13a】


53
ST2
214
75
70
ST1
ST3
CA
77
46
GS
III
III'
V
216
V'
VI
VI'
ST4
272
CV

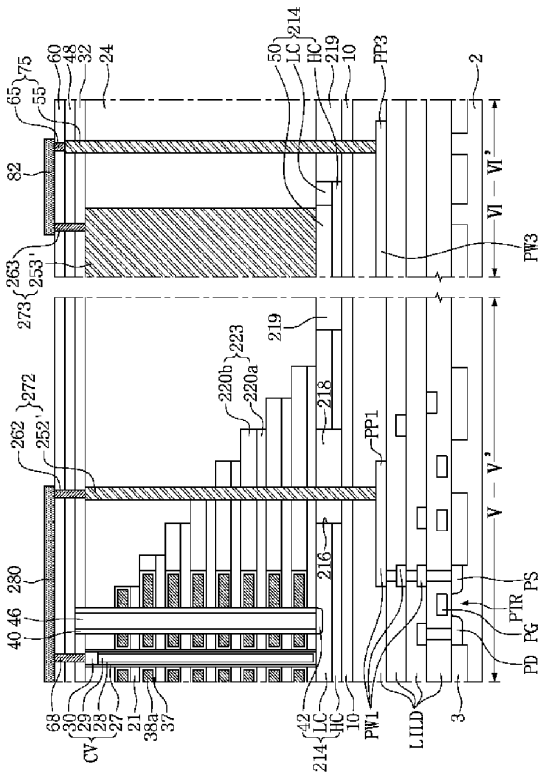
【도 13b】



【도 14】

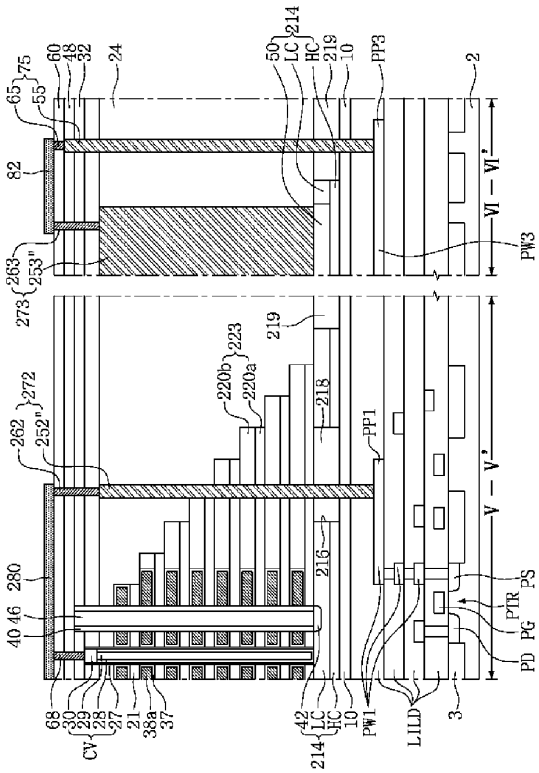

60
48
32
24
50
LC
214
HC
219
10
PP3
2
82
263
253
273
VI – VI'
PW3
219
223
220b
220a
218
262
272
252
PP1
V – V'
216
280
40
46
PS
PTR
PG
PD
68
30
29
28
27
21
38a
37
CV
42
LC
HC
10
PW1
LILD
3
214

【도 15】

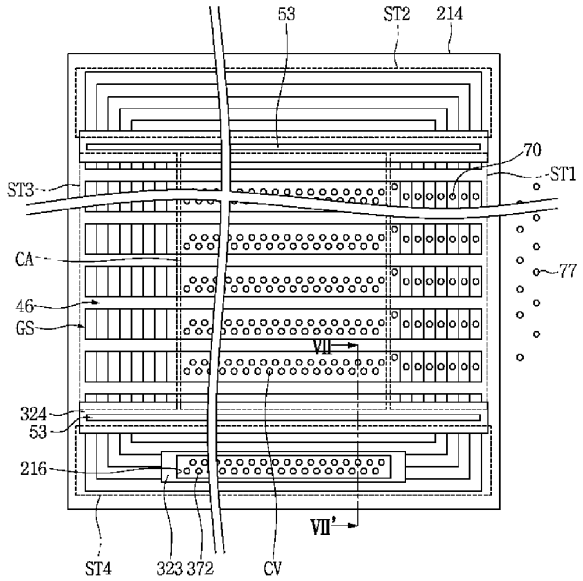


YMTC EXHIBIT 1007
Page 99 of 131

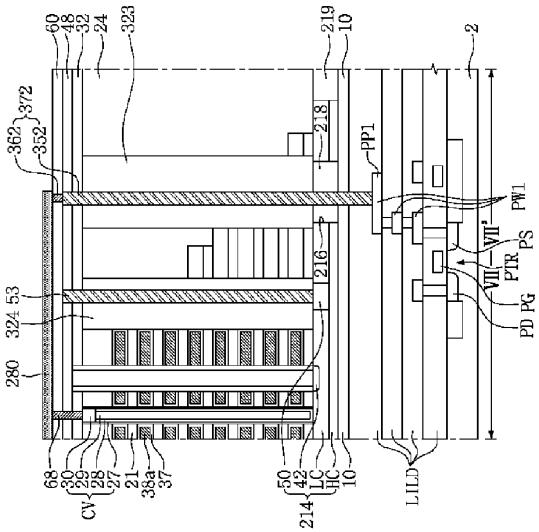
【도 16】


65
55
75
60
48
32
24
82
263
253"
273
262
252"
272
280
40 46
68
30
29
28
27
CV
21
38a
37
50
LC
214
HC
219
10
PP3
2
VI — VI'
PW3
219
223
220b
220a
218
PP1
V — V'
216
42
LC
HC
214
10
PW1
L1LD
3
PS
PTR
PG
PD

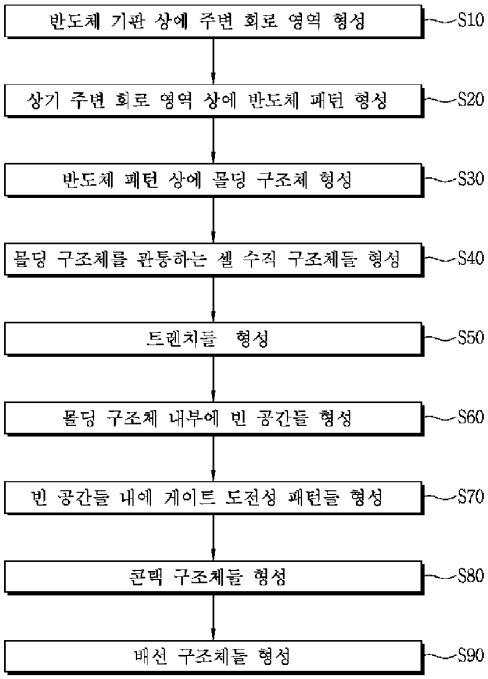
【도 17】


53
ST2
214
70
ST1
ST3
CA
77
46
GS
VII
324
53
216
VII'
ST4
323
372
CV

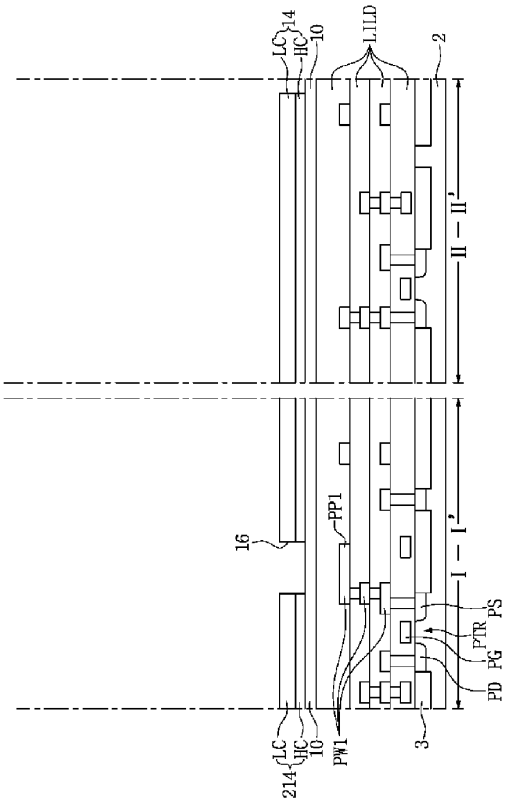
【도 18】


60
48
32
24
323
219
10
2
372
362
352
218
PP1
PW1
VII'
PS
PTR
VIII
PD
PG
216
324
53
280
68
30
29
28
27
21
38a
37
CV
50
42
LC
HC
10
214
LI
LD

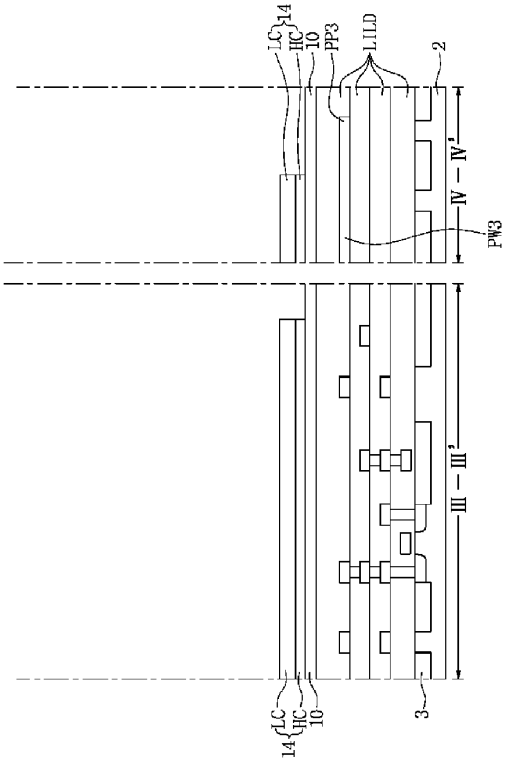
【도 19】


반도체 기판 상에 주변 회로 영역 형성
S10
상기 주변 회로 영역 상에 반도체 패턴 형성
S20
반도체 패턴 상에 몰딩 구조체 형성
S30
몰딩 구조체를 관통하는 셀 수직 구조체들 형성
S40
트렌치들 형성
S50
몰딩 구조체 내부에 빈 공간들 형성
S60
빈 공간들 내에 게이트 도전성 패턴들 형성
S70
콘택 구조체들 형성
S80
배선 구조체들 형성
S90

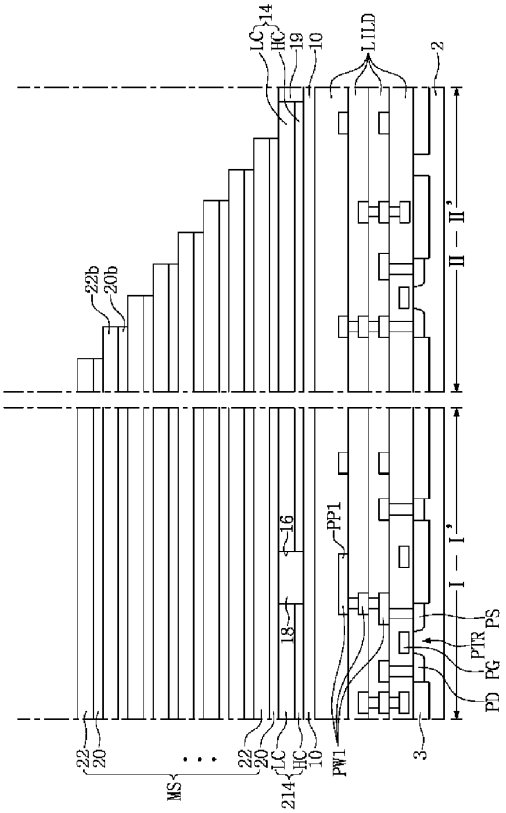
【도 20a】



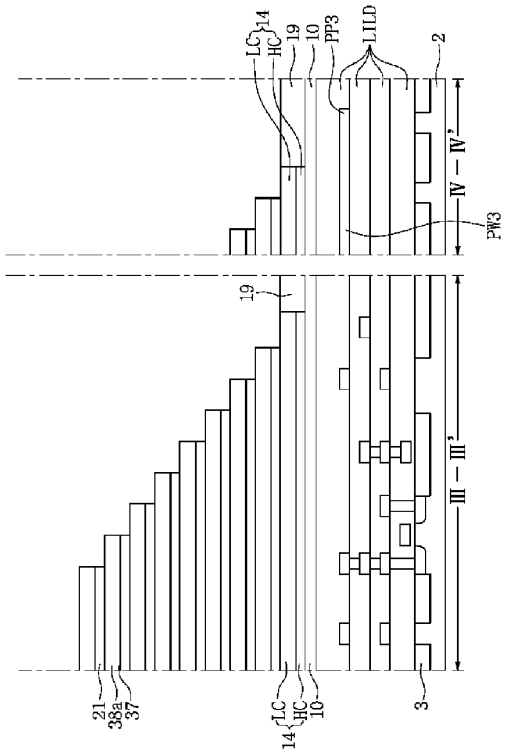
【도 20b】



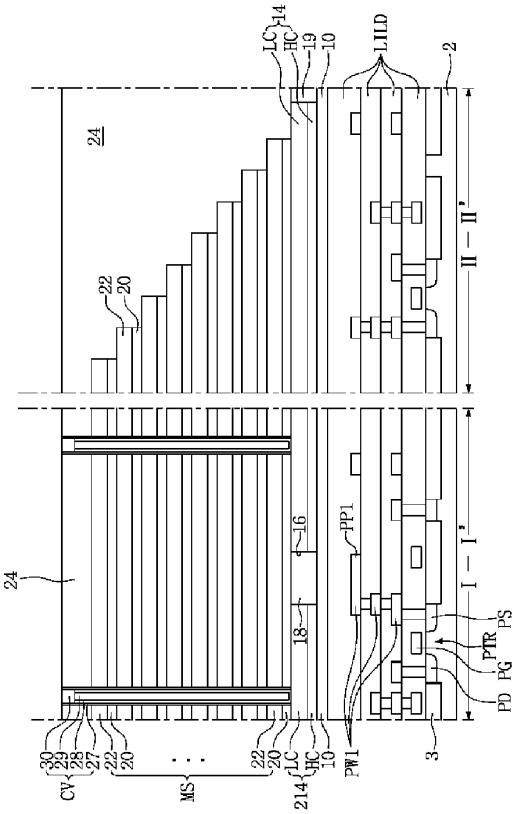
【도 21a】


LC
14
HC
19
10
LILD
2
22b
20b
II – II'
I – I'
16
18
PP1
PS
PTR
PG
PD
22
20
MS
22
20
LC
214
HC
10
PW1
3

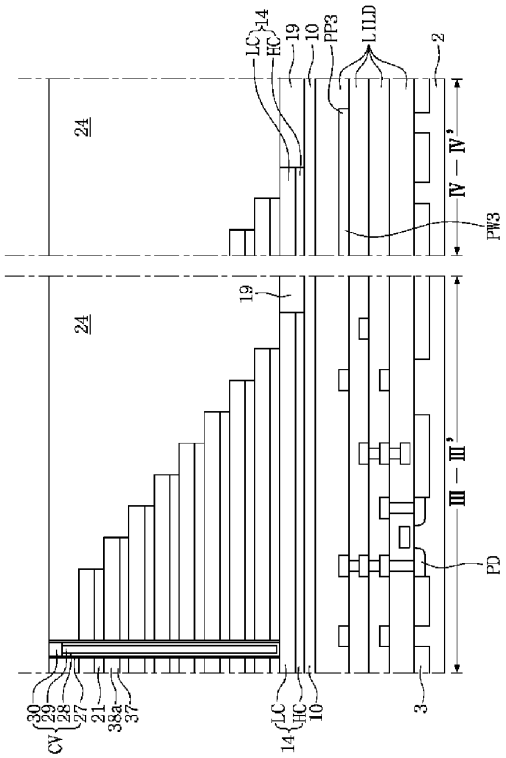
【도 21b】



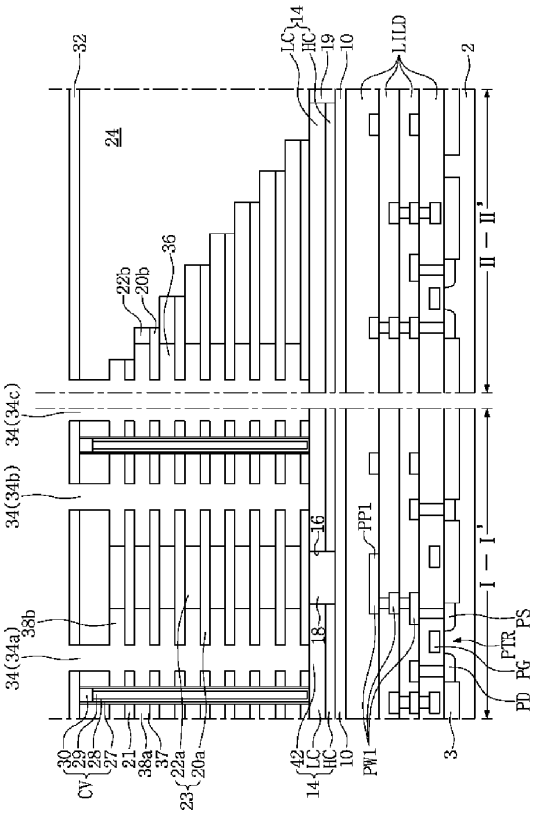
【도 22a】


LC
14
HC
19
10
LILD
2
24
22
20
II – II'
24
16
18
PP1
I – I'
PS
PTR
PG
PD
30
29
28
27
22
20
CV
MS
22
20
LC
214
HC
10
PW1
3

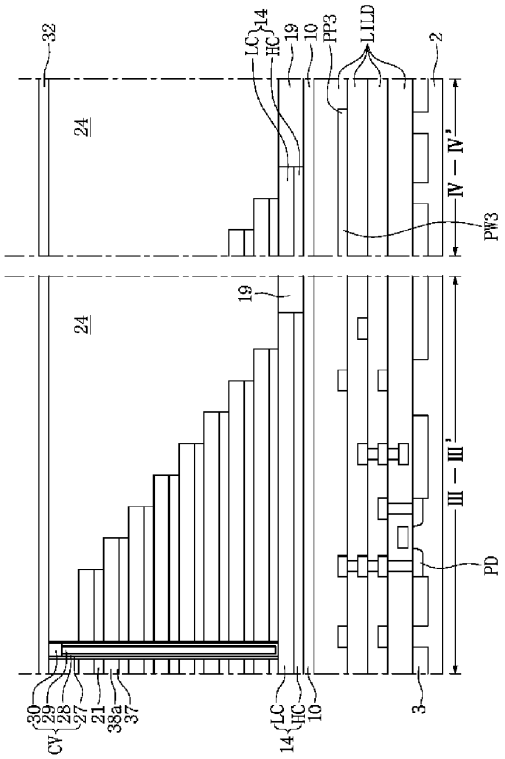
【도 22b】


LC
14
HC
19
10
PP3
LILD
2
24
IV – IV'
PW3
24
19
III – III'
PD
30
29
28
27
21
38a
37
CV
LC
14
HC
10
3

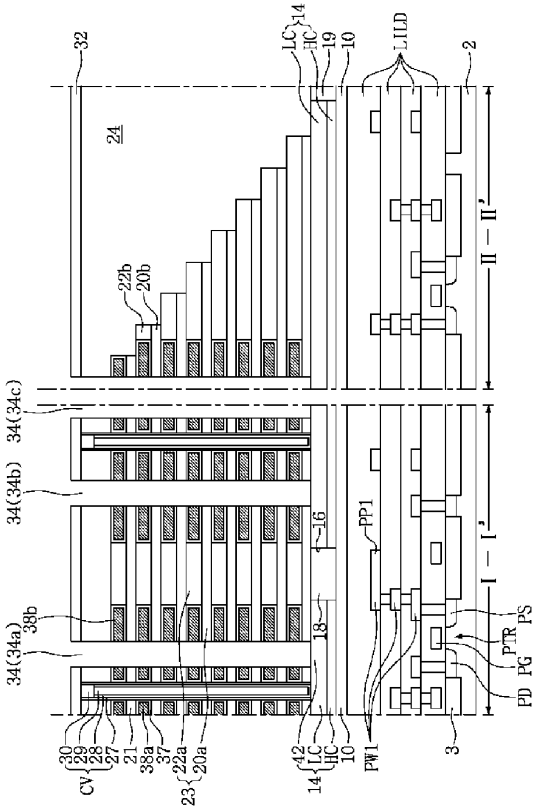
【도 23a】


32
24
LC
14
HC
19
10
LILD
2
II – II'
22b
20b
36
34(34c)
34(34b)
34(34a)
38b
16
18
PP1
I – I'
PS
PTR
PG
PD
30
29
28
27
21
38a
37
22a
20a
23
CV
42
14
LC
HC
10
PW1
3

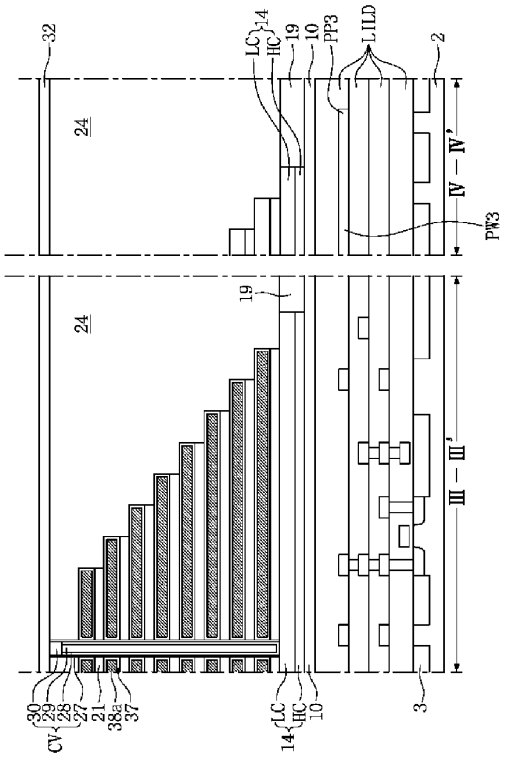
【도 23b】


32
LC
14
HC
19
10
PP3
LILD
2
24
IV – IV'
PW3
19
24
III – III'
PD
30
29
28
27
21
38a
37
CV
LC
14
HC
10
3

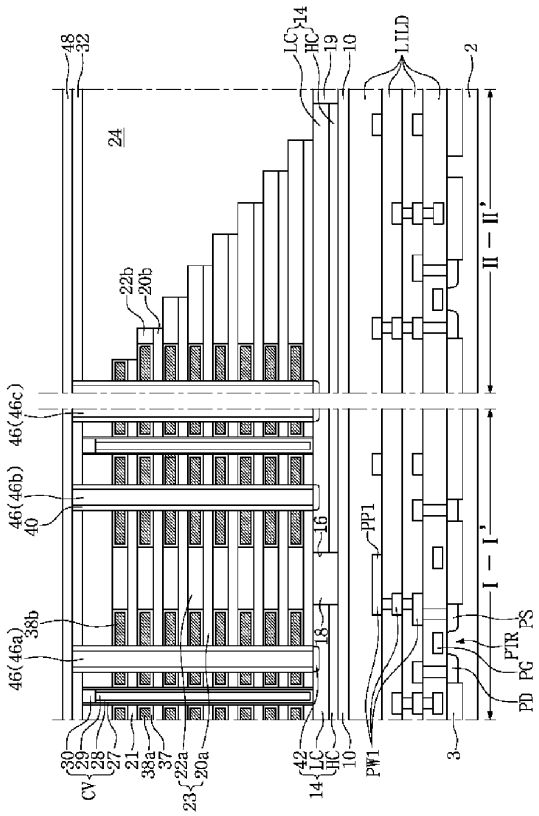
【도 24a】


32
24
LC
HC
14
19
10
LILD
2
22b
20b
II − II'
34(34c)
34(34b)
34(34a)
38b
16
18
PP1
I − I'
PS
PTR
PG
PD
30
29
28
27
21
38a
37
22a
20a
23
CV
42
14
LC
HC
10
PW1
3

【도 24b】

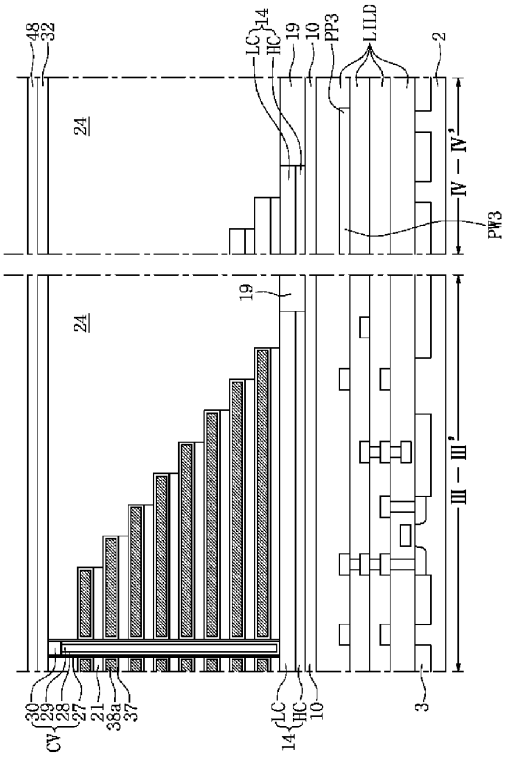

32
24
24
LC
HC
14
19
10
PP3
LILD
2
IV – IV'
PW3
19
III – III'
30
29
28
27
21
38a
37
CV
14
LC
HC
10
3

【도 25a】

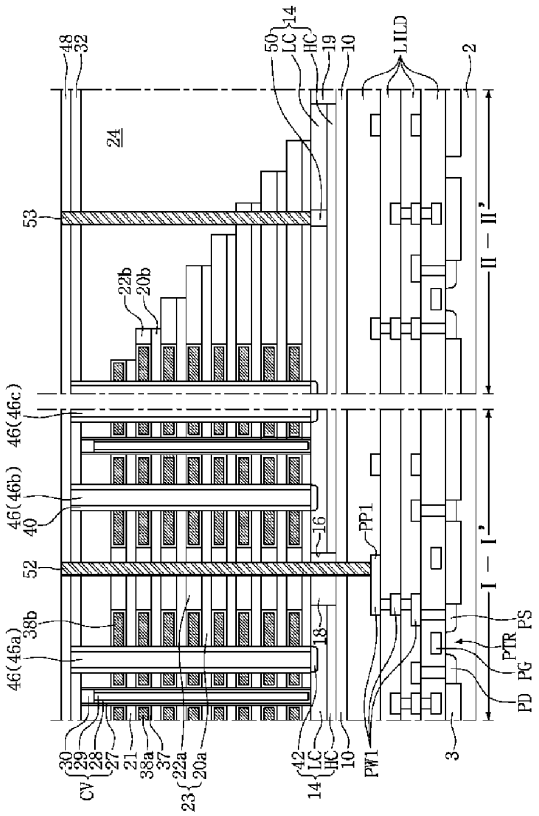


YMTC EXHIBIT 1007
Page 113 of 131

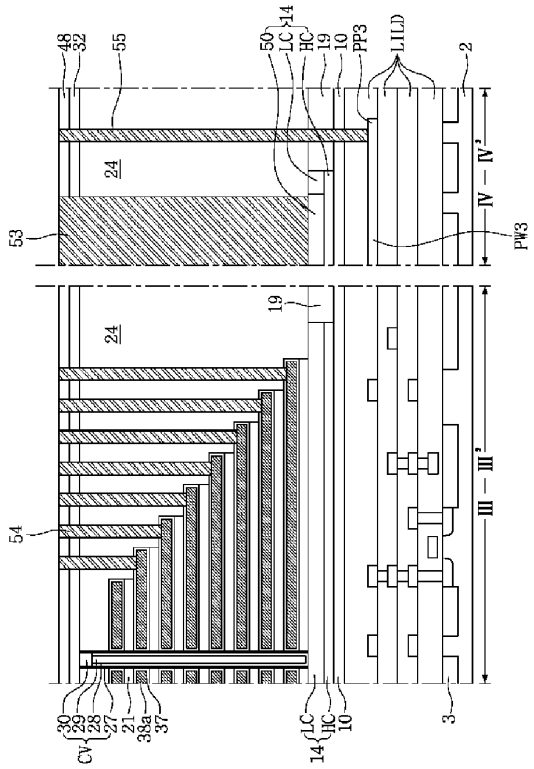
【도 25b】


48
32
24
LC
14
HC
19
10
PP3
LILD
2
IV — IV'
PW3
24
19
III — III'
30
29
28
27
21
38a
37
CV
LC
14
HC
10
3

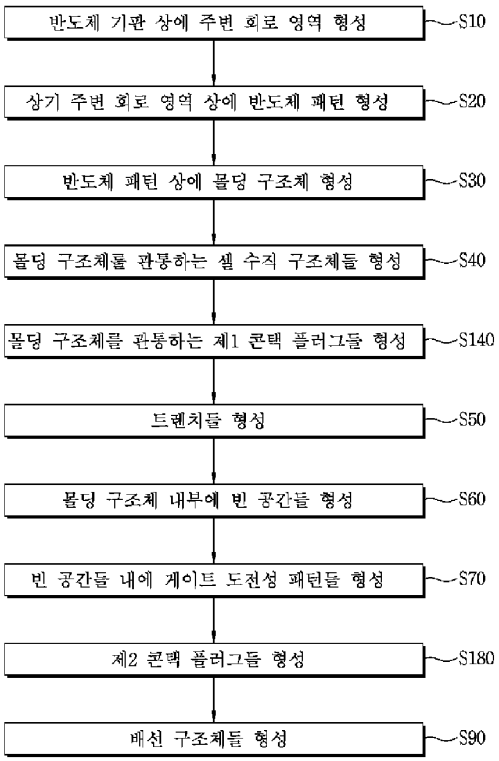
【도 26a】


48
32
50
LC
14
HC
19
10
LILD
2
24
53
22b
20b
II - II'
46(46c)
46(46b)
40
16
PP1
52
I - I'
38b
18
46(46a)
PS
PTR
PG
PD
30
29
28
27
21
38a
37
22a
20a
CV
23
42
14
LC
HC
10
PW1
3

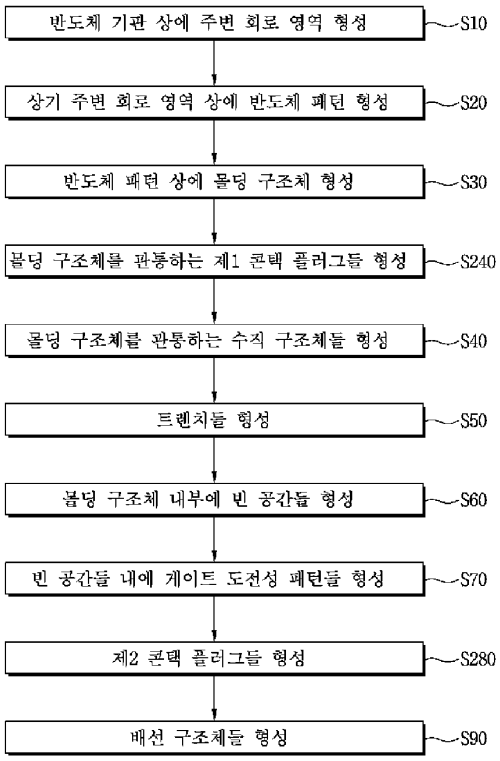
【도 26b】


48
32
55
50
LC
14
HC
19
10
PP3
LILD
2
53
24
IV — IV'
PW3
54
24
19
III — III'
30
29
28
27
21
33a
37
CV
LC
14
HC
10
3

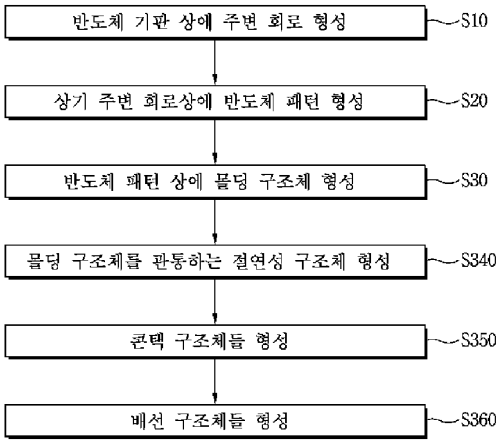
【도 27】


반도체 기판 상에 주변 회로 영역 형성
S10
상기 주변 회로 영역 상에 반도체 패턴 형성
S20
반도체 패턴 상에 몰딩 구조체 형성
S30
몰딩 구조체를 관통하는 셀 수직 구조체들 형성
S40
몰딩 구조체를 관통하는 제1 콘택 플러그들 형성
S140
트렌치들 형성
S50
몰딩 구조체 내부에 빈 공간들 형성
S60
빈 공간들 내에 게이트 도전성 패턴들 형성
S70
제2 콘택 플러그들 형성
S180
배선 구조체들 형성
S90

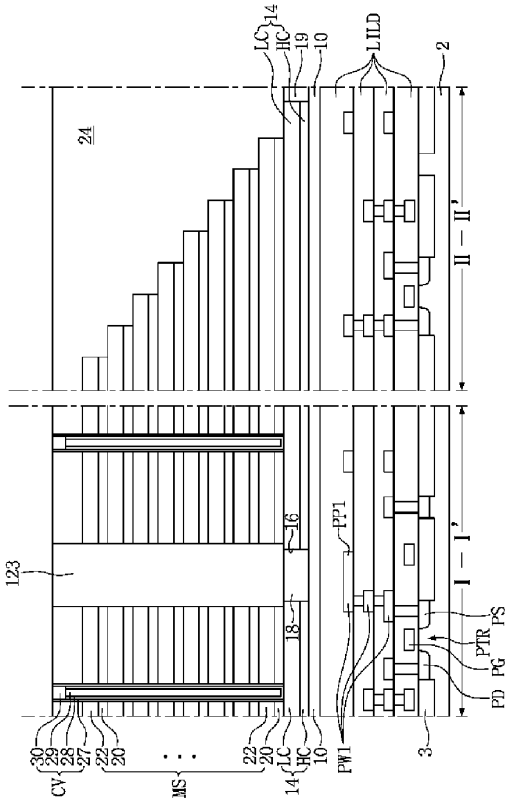
【도 28】


반도체 기판 상에 주변 회로 영역 형성
S10
상기 주변 회로 영역 상에 반도체 패턴 형성
S20
반도체 패턴 상에 몰딩 구조체 형성
S30
몰딩 구조체를 관통하는 제1 콘택 플러그들 형성
S240
몰딩 구조체를 관통하는 수직 구조체들 형성
S40
트렌치들 형성
S50
몰딩 구조체 내부에 빈 공간들 형성
S60
빈 공간들 내에 게이트 도전성 패턴들 형성
S70
제2 콘택 플러그들 형성
S280
배선 구조체들 형성
S90

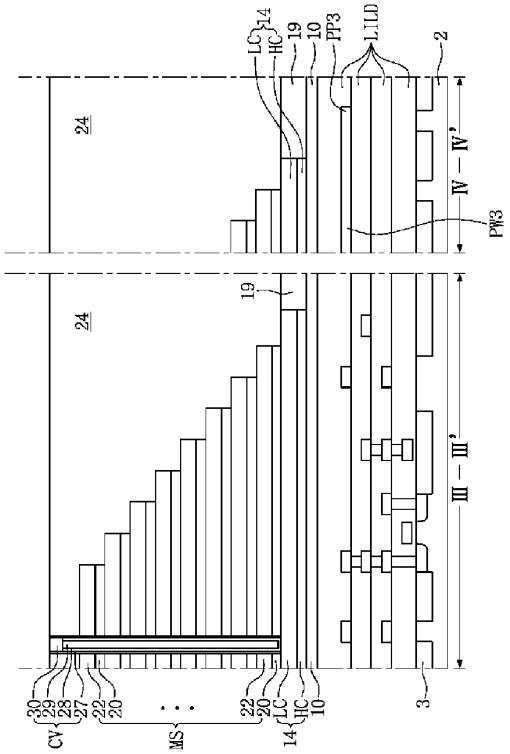
【도 29】


반도체 기판 상에 주변 회로 형성
S10
상기 주변 회로상에 반도체 패턴 형성
S20
반도체 패턴 상에 몰딩 구조체 형성
S30
몰딩 구조체를 관통하는 절연성 구조체 형성
S340
콘택 구조체들 형성
S350
배선 구조체들 형성
S360

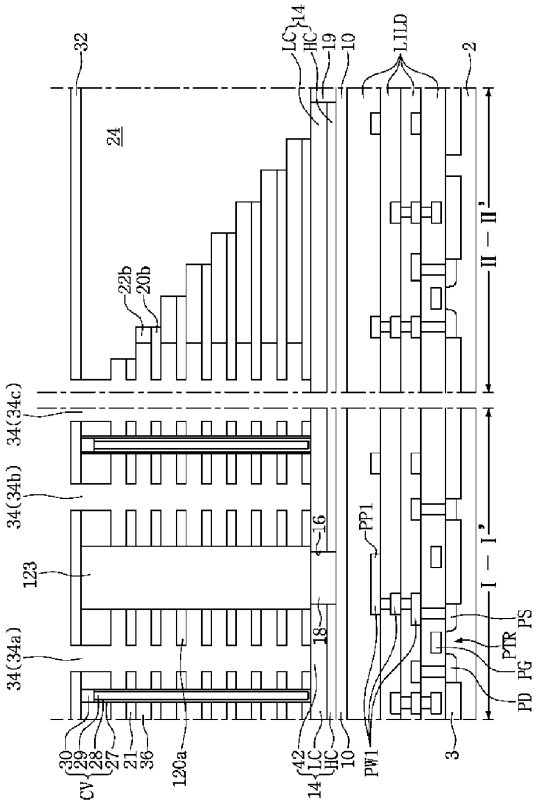
【도 30a】


LC
14
HC
19
10
LILD
2
24
II – II'
I – I'
123
16
18
PP1
PS
PTR
PG
PD
3
PW1
30
29
28
27
22
20
CV
MS
22
20
LC
14
HC
10

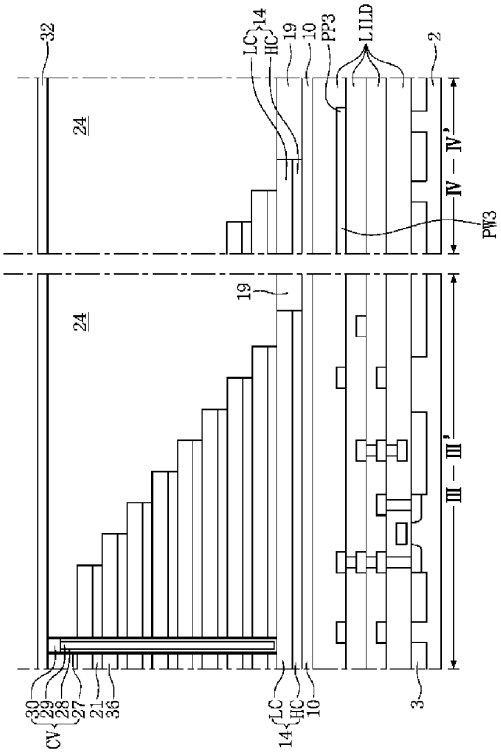
【도 30b】


24
24
LC
HC
14
19
10
PP3
LILD
2
IV – IV'
PW3
19
III – III'
30
29
28
27
22
20
CV
MS
22
20
LC
HC
14
10
3

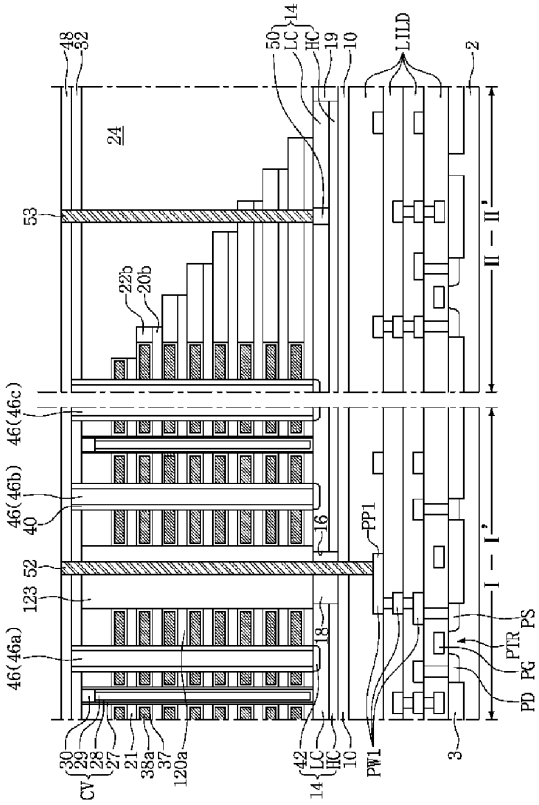
【도 31a】


32
24
22b
20b
LC
HC
14
19
10
LILD
2
II - II'
34(34c)
34(34b)
123
34(34a)
16
18
PP1
I - I'
PS
PTR
PG
PD
30
29
28
27
21
36
CV
120a
42
14
LC
HC
10
PW1
3

【도 31b】

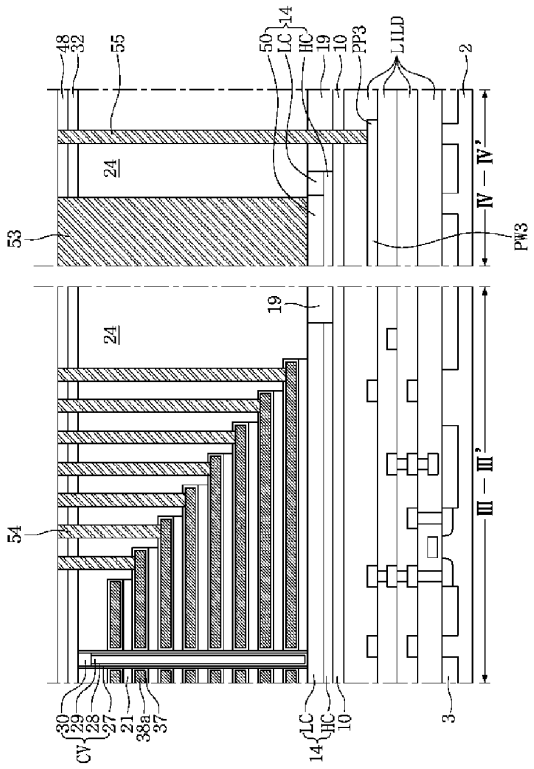

32
24
LC
14
HC
19
10
PP3
LILD
2
Ⅳ－Ⅳ'
PW3
24
19
Ⅲ－Ⅲ'
30
29
28
27
21
36
CV
LC
14
HC
10
3

【도 32a】

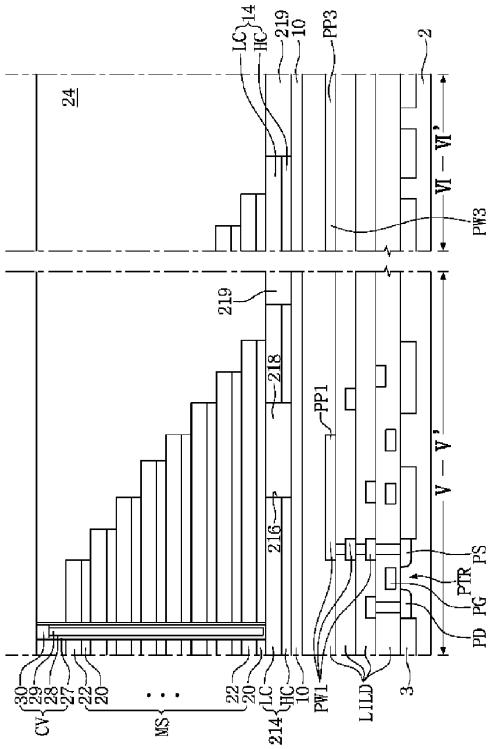


YMTC EXHIBIT 1007
Page 124 of 131

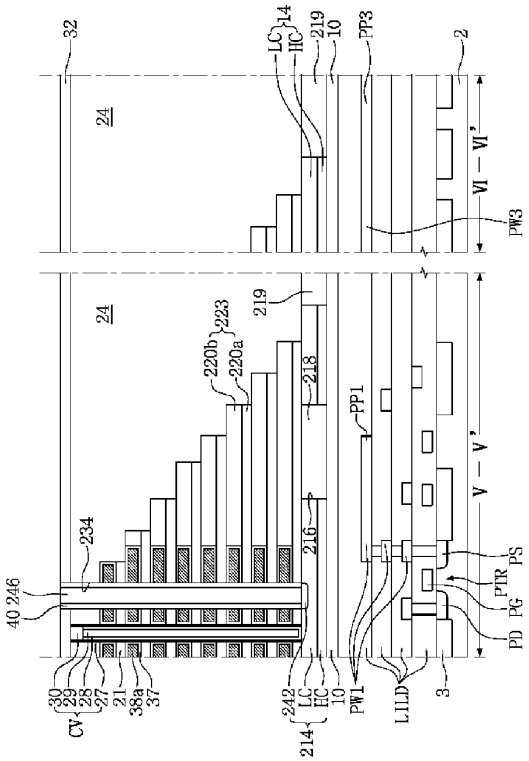
【도 32b】


48
32
55
50
LC
14
HC
19
10
PP3
LILD
2
53
24
IV – IV'
PW3
54
24
19
III – III'
30
29
28
27
21
38a
37
CV
LC
14
HC
10
3

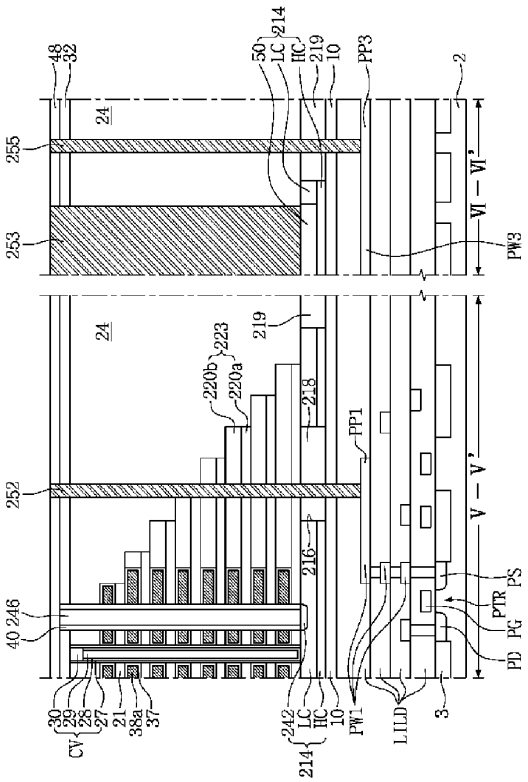
【도 33】


30
29
28
27
22
20
CV
MS
22
20
LC
HC
214
10
PW1
L1LD
3
PD
PG
PTR
PS
V – V'
216
218
219
PP1
24
LC
HC
14
219
10
PP3
2
VI – VI'
PW3

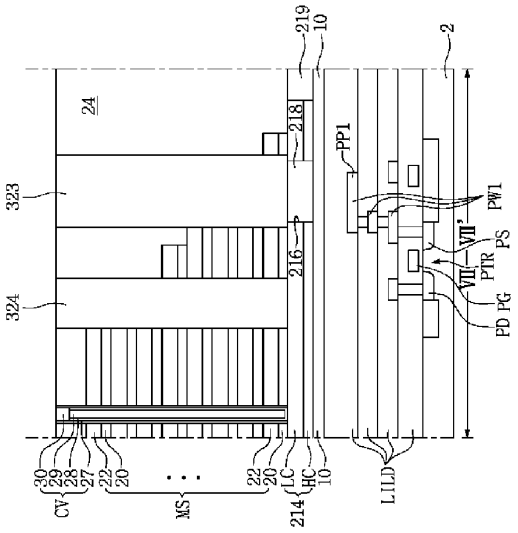
【도 34】


32
24
LC
HC
14
219
10
PP3
2
VI – VI'
PW3
24
219
223
220b
220a
218
PP1
V – V'
234
216
PS
PTR
PG
PD
40 246
30
29
28
27
21
38a
37
CV
242
LC
HC
10
214
PW1
LILD
3

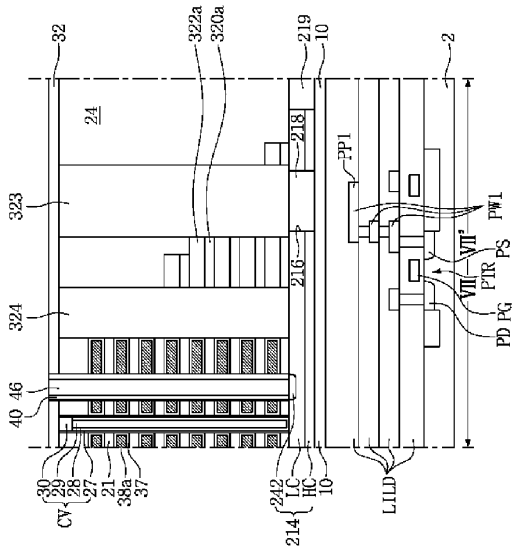
【도 35】


48
32
50
LC
214
HC
219
10
PP3
2
24
255
253
VI – VI'
PW3
24
219
223
220b
220a
218
PP1
252
V – V'
216
PS
PTR
PG
PD
40
246
30
29
28
27
21
38a
37
CV
242
LC
HC
10
PW1
214
LILD
3

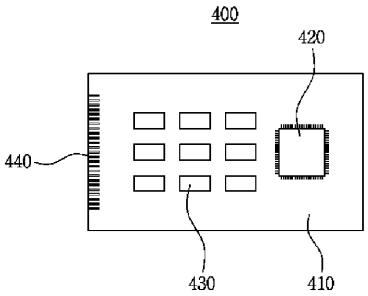
【도 36】


323
324
24
218
216
219
10
2
PP1
PW1
VII'
VII
PS
PTR
PD
PG
30
29
28
27
CV
22
20
MS
22
20
LC
HC
10
214
LILD

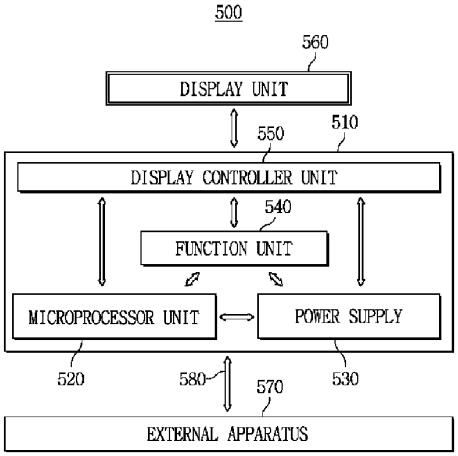
【도 37】


32
322a
320a
323
324
24
218
216
219
10
2
PP1
PW1
VII'
VII
PS
PTR
PD
PG
40
46
30
29
28
27
CV
21
38a
37
242
LC
HC
10
214
LILD

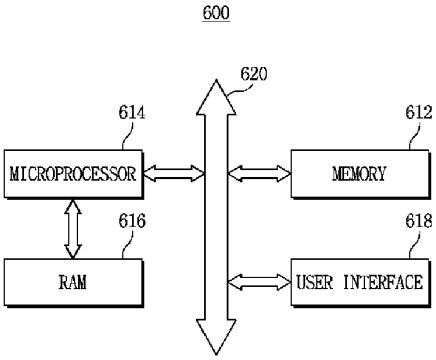
【도 38】


400
420
440
430
410

【도 39】


500
560
DISPLAY UNIT
550
510
DISPLAY CONTROLLER UNIT
540
FUNCTION UNIT
MICROPROCESSOR UNIT
POWER SUPPLY
520
580
570
530
EXTERNAL APPARATUS

【도 40】


600
620
614
612
MICROPROCESSOR
MEMORY
616
618
RAM
USER INTERFACE