

(19) [Issuing Country] Japan Patent Office (JP)
(12) [Publication Name] Gazette of Unexamined Patent Applications (A)
(11) [Publication Number] 2001-85473 (P2001-85473A)
(43) [Publication Date] March 30, 2001 (2001.3.30)

(51) [Int.Cl. ⁷]	[Internal File Nos.]	[FI]	[Theme Codes (Reference)]
H01L 21/60	311	H01L 21/60 311S	5E319
23/12		H05K 1/18 J	5E336
H05K 1/18		3/34	505A 5F044
3/34	505	H01L 23/12 F	

[Examination Request] Not Yet Received

[Number of Claims] 23

[Application Format] Online (OL)

[Total Number of Pages] 18

(21) [Application Number] H11-261408

(22) [Filing Date] September 16, 1999 (1999.9.16)

(71) [Applicant]

[Identification Number] 000005120

[Name] Hitachi Cable, Ltd.

[Address] 1-6-1, Otemachi, Chiyoda-ku, Tokyo

(72) [Inventor]

[Name] Mamoru ONDA

[Address] Electric Wire Works, Hitachi Cable, Ltd., 3-1-1, Sukegawacho, Hitachi-shi, Ibaraki-ken

[F Terms (Reference)] 5E319 AA03 AB05 AC17 CC12 GG11
5E336 AA04 BB15 BC34 CC32 CC36 EE05 GG01
5F044 KK01 KK18 KK19 LL00

(54) [Title of the Invention]

Wiring substrate, Semiconductor Device, Electronic Devices Using These, and Manufacturing Methods For These

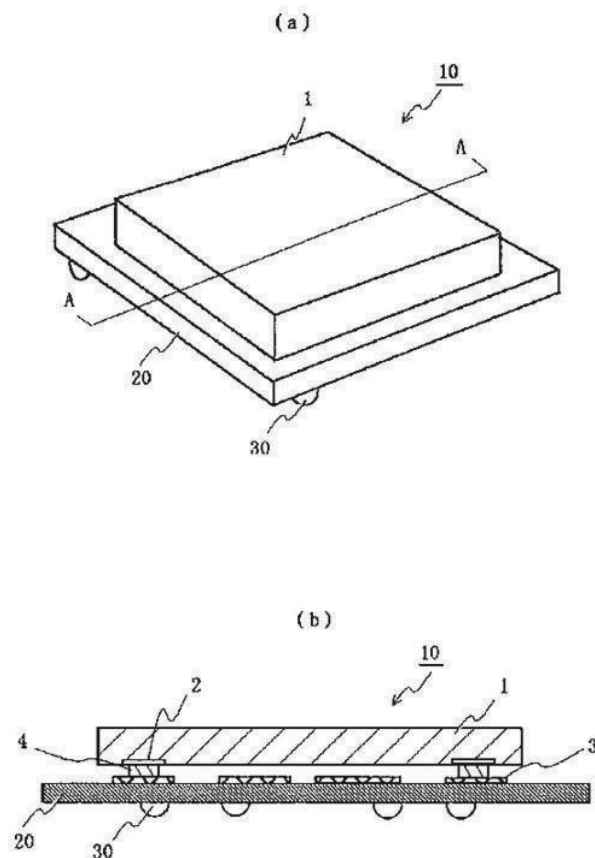
(57) [Abstract]

[Problem]

To prevent cracking of semiconductor chip or semiconductor devices due to thermal stress.

[Solution]

Provided is a semiconductor device provided with a wiring substrate comprising one or more layers of wiring patterns formed of conductive material on an insulating base material, semiconductor chips having electrode pads electrically connected to the wiring patterns, and an external output terminal electrically connected to the wiring patterns, wherein tower bumps are provided on the wiring patterns where semiconductor chips are to be mounted on the insulating base material to buffer the thermal stress generated between the insulating base material and the semiconductor chip, and the semiconductor chips and the wiring patterns are connected electrically via the tower bumps.



[Claims]

[Claim 1]

A wiring substrate on which one or more layers of wiring patterns formed with a conductive material have been arranged on an insulating substrate and on which a semiconductor chip has been mounted, the wiring substrate characterized in that electrical connections of the semiconductor devices and the wiring pattern and tower bumps that buffer the thermal stress generated between the insulating substrate and the semiconductor chip have been provided on the wiring patterns where the semiconductor chip is mounted on the insulating substrate.

[Claim 2]

The wiring substrate according to claim 1, wherein the wiring substrate has ball- or bump-type external output terminals to be electrically connected to the wiring pattern.

[Claim 3]

A wiring substrate for an electronic device on which one or more layers of wiring patterns formed with a conductive material have been arranged on an insulating substrate and on which a plurality of semiconductor devices have been mounted, the wiring substrate characterized in that electrical connections of the semiconductor devices and the wiring pattern and tower bumps that buffer the thermal stress generated between the insulating substrate and the semiconductor devices have been provided on the wiring patterns where the semiconductor devices are mounted on the insulating substrate.

[Claim 4]

The wiring substrate according to any one of claims 1 to 3, wherein the tower bumps comprise metal bumps that buffer the thermal stress generated between the insulating substrate and the semiconductor chip or semiconductor devices, and a plating layer for bonding that establishes electrical connections with the semiconductor chip or semiconductor devices provided on the metal bumps.

[Claim 5]

The wiring substrate according to claim 4, wherein the metal bumps are conductive materials that do not undergo a phase transformation at the connection temperature during mounting of the semiconductor chip or semiconductor devices.

[Claim 6]

A semiconductor device comprising a wiring substrate on which one or more layers of wiring patterns formed with a conductive material have been arranged on an insulating substrate, a semiconductor chip having electrode pads electrically connected to the wiring patterns, and external output terminals electrically connected to the wiring patterns, the semiconductor device characterized in that tower bumps that buffer the thermal stress generated between the insulating substrate and the semiconductor chip have been provided on the wiring patterns where the semiconductor chip is mounted on the insulating substrate, and the semiconductor chip is electrically connected to the wiring patterns via the tower bumps.

[Claim 7]

The semiconductor device according to claim 6, wherein the tower bumps on the wiring substrate comprise metal bumps that buffer the thermal stress generated between the insulating substrate and the semiconductor chip, and a plating layer for bonding that establishes an electrical connection with the semiconductor chip provided on the metal bumps.

[Claim 8]

The semiconductor device according to claim 7, wherein the metal bumps are conductive materials that do not undergo a phase transformation at the connection temperature during mounting of the semiconductor chips.

[Claim 9]

The semiconductor device according to any one of claims 7 and 8, wherein gold bumps are provided on the plurality of electrode pads, a tin plating layer for bonding is provided on the tower bumps, and the electrical connections are composed of gold-tin junctions utilizing the melting point (217°C) at the first eutectic point due to the gold and tin.

[Claim 10]

A wafer process package (WPP) type semiconductor device obtained by forming a plurality of semiconductor chips consisting of electrode pads and circuit elements on a wafer, forming external output terminals for connection with other electronic devices on each electrode pad, and separating each semiconductor chip from the wafer, the WPP type semiconductor device characterized in that the external output terminals are tower bumps that buffer thermal stress generated between other electronic devices and the wafer.

[Claim 11]

A WPP type semiconductor device obtained by forming a plurality of semiconductor chips consisting of electrode pads and circuit elements on a wafer, forming external output terminals for connection with other electronic devices on each electrode pad, and separating each semiconductor chip from the wafer, the WPP type semiconductor device characterized in that the device has a rewiring pattern drawn from the electrode pads and an insulating material that insulates the rewiring pattern, other electrode pads, and circuit elements, and tower bumps are provided on the rewiring pattern to buffer thermal stress that occurs between other electronic devices and the wafer.

[Claim 12]

An electronic device having a semiconductor device module comprising a semiconductor device mounted on a wiring substrate according to any one of claims 3 to 5.

[Claim 13]

An electronic device having a semiconductor device module comprising a semiconductor device according to any one of claims 6 to 11 mounted on a wiring substrate.

[Claim 14]

A method for manufacturing a wiring substrate in which a wiring pattern formed by a conductive material has been arranged on an insulating substrate and on which a semiconductor chip, semiconductor devices, or electronic devices are mounted, the method for manufacturing a wiring substrate comprising: preparing the insulating substrate; forming holes for setting external output terminals and package outline holes in the insulating substrate; applying conductive material foil to the processed insulating substrate; applying a resist of a predetermined thickness to conductive material foil; forming holes with a carbon dioxide gas laser or other means in the portions to be connected to the semiconductor chips, semiconductor devices, or electronic devices to expose the conductive material foil; forming metal bumps (tower bumps) by metal plating on the conductive material foil; removing the resist; and etching the conductive material foil to form a wiring pattern.

[Claim 15]

A method for manufacturing a wiring substrate in which a wiring pattern formed by a conductive material has been arranged on an insulating substrate and on which a semiconductor chip, semiconductor devices, or electronic devices are mounted, the method for manufacturing a wiring substrate comprising: preparing the insulating substrate; forming holes for setting external output terminals and package outline holes in the insulating substrate; applying conductive material foil to the processed insulating substrate; etching the conductive material foil to form a wiring pattern; applying a resist of a predetermined thickness to the insulating substrate and wiring pattern; forming holes with a carbon dioxide gas laser or other means in the portions to be connected to the semiconductor chips, semiconductor devices, or electronic devices to expose the conductive material foil; forming metal bumps (tower bumps) by metal plating on the conductive material foil; and removing the resist.

[Claim 16]

The method for manufacturing a wiring substrate according to any one of claims 14 and 15, wherein before removing the resist, a bonding layer is formed by metal plating on the metal bumps for connection to the semiconductor chips, semiconductor devices, or electronic devices.

[Claim 17]

A method for manufacturing a semiconductor device having a wiring substrate on which a wiring pattern formed of conductive material has been arranged on an insulating substrate and on which a semiconductor chip has been mounted, the method for manufacturing a semiconductor device comprising: preparing the insulating substrate; forming holes for setting external output terminals and package outline holes in the insulating substrate; applying conductive material foil to the processed insulating substrate; applying a resist of a predetermined thickness to conductive material foil; forming holes with a carbon dioxide gas laser or other means in the portions to be connected to the semiconductor chip to expose the conductive material foil; forming metal bumps (tower bumps) by metal plating on the conductive material foil; removing the resist; etching the conductive material foil to form a wiring pattern; after aligning the electrode pads of the semiconductor chip with the metal bumps (tower bumps), subjecting the semiconductor chip to heat and pressure; diffusion-reacting the electrode pads and the metal bumps to form junctions; and forming external output terminals electrically connected to the wiring pattern.

[Claim 18]

A method for manufacturing a semiconductor device having a wiring substrate on which a wiring pattern formed of conductive material has been arranged on an insulating substrate and on which a semiconductor chip has been mounted, the method for manufacturing a semiconductor device comprising: preparing the insulating substrate; forming holes for setting external output terminals and package outline holes in the insulating substrate; applying conductive material foil to the processed insulating substrate; etching the conductive material foil to form a wiring pattern; applying a resist of a predetermined thickness to the insulating substrate and wiring pattern; forming holes with a carbon dioxide gas laser or other means in the portions to be connected to the semiconductor chip to expose the conductive material foil; forming metal bumps (tower bumps) by metal plating on the conductive material foil; removing the resist; after aligning the electrode pads of the semiconductor chip with the metal bumps, subjecting the semiconductor chip to heat and pressure; diffusion-reacting the electrode pads and metal bumps (tower bumps) to form junctions; and forming external output terminals electrically connected to the wiring pattern.

[Claim 19]

The method for manufacturing a semiconductor device according to any one of claims 17 and 18, wherein forming gold or tin plating on the connecting portions of the electrode pads and metal bumps (tower bumps) formed on the main surface of the semiconductor chip; adhering the tin or gold of the connecting portions of the electrode pads and the gold or tin of the connecting portions of the metal bumps to each other; heating to a temperature at or above the first eutectic point of gold-tin and below a temperature adversely affecting the insulating substrate; and forming gold-tin junctions by diffusion reaction using the melting point at the first eutectic point.

[Claim 20]

A method for manufacturing a wafer process package (WPP) type semiconductor device obtained by forming a plurality of semiconductor chips consisting of electrode pads and circuit elements on a wafer, forming external output terminals for connection with other electronic devices on each electrode pad, and separating each semiconductor chip from the wafer, the method for manufacturing a WPP type semiconductor device comprising: forming circuit elements and electrode pads on the wafer; applying a passivation film to the circuit elements; applying a resist to the formed electrode pads; forming holes through the resist at the points where external output terminals are to be formed to expose the electrode pads; forming metal bumps on the exposed electrode pads by metal plating; removing the resist; and dicing the wafer.

[Claim 21]

A method for manufacturing a wafer process package (WPP) type semiconductor device obtained by forming a plurality of semiconductor chips consisting of electrode pads and circuit elements on a wafer, forming external output terminals for connection with other electronic devices on each electrode pad, and separating each semiconductor chip from the wafer, the method for manufacturing a WPP type semiconductor device comprising: forming circuit elements and electrode pads on the wafer; placing an insulating substrate over these circuit elements and electrode pads; forming holes in the insulating substrate to expose the electrode pads; applying copper plating from above the insulating substrate to form through-hole electrodes; applying a resist to the formed through-hole electrodes;

forming holes in the resist at the point where the external output terminals are to be formed to expose the through-hole electrodes; forming metal bumps on the exposed through-hole electrodes by metal plating; removing the resist; and dicing the wafer.

[Claim 22]

A method for manufacturing an electronic device having a wiring substrate in which a wiring pattern formed of conductive material has been arranged on an insulating substrate and on which a semiconductor chip or semiconductor devices have been mounted, the method for manufacturing an electronic device comprising: preparing the insulating substrate; forming holes for setting external output terminals and package outline holes in the insulating substrate; applying conductive material foil to the processed insulating substrate; applying a resist of a predetermined thickness to conductive material foil; forming holes with a carbon dioxide gas laser or other means in the portions to be connected to the semiconductor chip, semiconductor devices, or electronic devices to expose the conductive material foil; forming metal bumps (tower bumps) by metal plating on the conductive material foil; removing the resist; etching the conductive material foil to form a wiring pattern; after aligning the connecting portions of the semiconductor chip or semiconductor devices with the metal bumps (tower bumps), subjecting the semiconductor chip or semiconductor devices to heat and pressure; and diffusion-reacting the connecting portions of the semiconductor chip or semiconductor devices and the metal bumps to form junctions.

[Claim 23]

A method for manufacturing an electronic device having a wiring substrate in which a wiring pattern formed of conductive material has been arranged on an insulating substrate and on which a semiconductor chip or semiconductor devices have been mounted, the method for manufacturing an electronic device comprising: preparing the insulating substrate; forming holes for setting external output terminals and package outline holes in the insulating substrate; applying conductive material foil to the processed insulating substrate; etching the conductive material foil to form a wiring pattern; applying a resist of a predetermined thickness to the insulating substrate and wiring pattern; forming holes with a carbon dioxide gas laser or other means in the portions to be connected to the semiconductor chip to expose the conductive material foil; forming metal bumps (tower bumps) by metal plating on the conductive material foil; removing the resist; after aligning the connecting portions of the semiconductor chip or semiconductor devices with the metal bumps (tower bumps), subjecting the semiconductor chip or semiconductor devices to heat and pressure; and diffusion-reacting the connecting portions of the semiconductor chip or semiconductor devices and the metal bumps (tower bumps) to form junctions.

[Detailed Description of the Invention]

[0001]

[Technical Field of the Invention]

The present invention relates to wiring substrates and semiconductor devices, electronic devices using these, and methods for manufacturing these. The present invention relates more specifically to techniques that can be effectively applied to semiconductor devices, wiring substrates for electronic devices, CSP-type semiconductor devices with semiconductor chips mounted on TCP-type wiring substrates, WPP-type semiconductor devices manufactured using wafer process, electronic devices using these, and manufacturing methods for these.

[0002]

[Prior Art]

A conventional tape carrier package (TCP) type semiconductor device ("TCP" below), in which semiconductor chips have been mounted on a wiring substrate using tape as a substrate, is shown in FIG. 19. FIG. 19 is used to describe a TCP. FIG. 19(a) is a perspective view and FIG. 19(b) is a cross-sectional view from line A-A in FIG. 19(a).

[0003]

As shown in FIG. 19, a TCP 10 has a structure in which a wiring tape (wiring substrate) 20 with a wiring pattern including inner leads 3 is formed on a substrate, semiconductor chips 1 are connected face-down on the wiring tape 20 by bonding the inner leads 3 and electrode pads 2, and the chips are resin sealed using an underfill material 80.

[0004]

The wiring tape 20 consists of a base film made, for example, of a polyimide resin, a wiring pattern including inner leads 3 formed on the base film, and solder bumps 30 that are electrically connected to the wiring pattern to serve as external output terminals. The TCP 10 is mounted on the motherboard of an electronic device via the solder bumps 30.

[0005]

Here, bumps in the form of protrusions are formed on the main surface of the semiconductor chip 1 on electrode pads 2 to make connection to the inner lead 3 easier and improve the reliability of the connection.

[0006]

The bumps on the electrode pad 2 described above are usually formed by gold electroplating to a thickness of about 20 μm , and electroless tin plating is applied to the inner leads 3 to a thickness of 0.2 to 0.3 μm . The tips of the inner leads 3 are connected to the gold bumps on the electrode pads 2 using a high-temperature tool, typically at 500°C. This is to utilize the melting point of the eutectic composition of 90 wt% gold (with the balance being tin) at 278°C in the two-element equilibrium state diagram for gold and tin. At a tool temperature of 500°C, a reaction layer with an eutectic composition of 90 wt% gold (with the balance being tin) grows thick at the bonding interface and bonding takes place.

[0007]

[Problem to Be Solved by the Invention]

The conventional semiconductor devices described above experience the following problem.

[0008]

Generally, because the coefficient of thermal expansion of the semiconductor chip 1 is 3 PPM/°C, and the coefficient of thermal expansion of the polyimide resin that is the base film of the flexible wiring substrate 20 is 20 PPM/°C, the gold bumps on the electrode pads 2

interposed between them become a concentration point for thermal stress in the temperature cycle test. For this reason, the periphery is hardened with underfill material 80, and the thermal stress is distributed toward the semiconductor chips 1 and the wiring tape 20 so that thermal stress is not concentrated on the gold bumps on the electrode pads 2.

[0009]

However, because the semiconductor chips 1 are connected face-down, use of an underfill material 80 can cause excessive thermal stress on the semiconductor chips 1, resulting in cracks on the device formation surface of the semiconductor chips 1.

[0010]

It is an object of the present invention to solve this problem by providing a technique capable of preventing cracking of semiconductor chips due to thermal stress.

[0011]

[Means for Solving the Problem]

The following is a brief overview of representative aspects of the invention disclosed in the present application.

[0012]

(1) A wiring substrate on which one or more layers of wiring patterns formed with a conductive material have been arranged on an insulating substrate and on which a semiconductor chip has been mounted, the wiring substrate characterized in that electrical connections of the semiconductor devices and the wiring pattern and tower bumps that buffer the thermal stress generated between the insulating substrate and the semiconductor chip have been provided on the wiring patterns where the semiconductor chip is mounted on the insulating substrate.

[0013]

(2) The wiring substrate according to (1), wherein the wiring substrate has ball- or bump-type external output terminals to be electrically connected to the wiring pattern.

[0014]

(3) A wiring substrate for an electronic device on which one or more layers of wiring patterns formed with a conductive material have been arranged on an insulating substrate and on which a plurality of semiconductor devices have been mounted, the wiring substrate characterized in that electrical connections of the semiconductor devices and the wiring pattern and tower bumps that buffer the thermal stress generated between the insulating substrate and the semiconductor devices have been provided on the wiring patterns where the semiconductor devices are mounted on the insulating substrate.

[0015]

(4) The wiring substrate according to any one of (1) to (3), wherein the tower bumps comprise metal bumps that buffer the thermal stress generated between the insulating substrate and the semiconductor chip or semiconductor devices, and a plating layer for

bonding that establishes electrical connections with the semiconductor chip or semiconductor devices provided on the metal bumps.

[0016]

(5) The wiring substrate according to (4), wherein the metal bumps are conductive materials that do not undergo a phase transformation at the connection temperature during mounting of the semiconductor chip or semiconductor devices.

[0017]

(6) A semiconductor device comprising a wiring substrate on which one or more layers of wiring patterns formed with a conductive material have been arranged on an insulating substrate, a semiconductor chip having electrode pads electrically connected to the wiring patterns, and external output terminals electrically connected to the wiring patterns, the semiconductor device characterized in that tower bumps that buffer the thermal stress generated between the insulating substrate and the semiconductor chip have been provided on the wiring patterns where the semiconductor chip is mounted on the insulating substrate, and the semiconductor chip is electrically connected to the wiring patterns via the tower bumps.

[0018]

(7) The semiconductor device according to (6), wherein the tower bumps on the wiring substrate comprise metal bumps that buffer the thermal stress generated between the insulating substrate and the semiconductor chip, and a plating layer for bonding that establishes an electrical connection with the semiconductor chip provided on the metal bumps.

[0019]

(8) The semiconductor device according to (7), wherein the metal bumps are conductive materials that do not undergo a phase transformation at the connection temperature during mounting of the semiconductor chips.

[0020]

(9) The semiconductor device according to any one of (7) and (8), wherein gold bumps are provided on the plurality of electrode pads, a tin plating layer for bonding is provided on the tower bumps, and the electrical connections are composed of gold-tin junctions utilizing the melting point (217°C) at the first eutectic point due to the gold and tin.

[0021]

(10) A wafer process package (WPP) type semiconductor device obtained by forming a plurality of semiconductor chips consisting of electrode pads and circuit elements on a wafer, forming external output terminals for connection with other electronic devices on each electrode pad, and separating each semiconductor chip from the wafer, the WPP type semiconductor device characterized in that the external output terminals are tower bumps that buffer thermal stress generated between other electronic devices and the wafer.

[0022]

(11) A WPP type semiconductor device obtained by forming a plurality of semiconductor chips consisting of electrode pads and circuit elements on a wafer, forming external output terminals for connection with other electronic devices on each electrode pad, and separating each semiconductor chip from the wafer, the WPP type semiconductor device characterized in that the device has a rewiring pattern drawn from the electrode pads and an insulating material that insulates the rewiring pattern, other electrode pads, and circuit elements, and tower bumps are provided on the rewiring pattern to buffer thermal stress that occurs between other electronic devices and the wafer.

[0023]

(12) An electronic device having a semiconductor device module comprising a semiconductor device mounted on a wiring substrate according to any one of (3) to (5).

[0024]

(13) An electronic device having a semiconductor device module comprising a semiconductor device according to any one of (6) to (11) mounted on a wiring substrate.

[0025]

(14) A method for manufacturing a wiring substrate in which a wiring pattern formed by a conductive material has been arranged on an insulating substrate and on which a semiconductor chip, semiconductor devices, or electronic devices are mounted, the method for manufacturing a wiring substrate comprising: preparing the insulating substrate; forming holes for setting external output terminals and package outline holes in the insulating substrate; applying conductive material foil to the processed insulating substrate; applying a resist of a predetermined thickness to conductive material foil; forming holes with a carbon dioxide gas laser or other means in the portions to be connected to the semiconductor chip, semiconductor devices, or electronic devices to expose the conductive material foil; forming metal bumps (tower bumps) by metal plating on the conductive material foil; removing the resist; and etching the conductive material foil to form a wiring pattern.

[0026]

(15) A method for manufacturing a wiring substrate in which a wiring pattern formed by a conductive material has been arranged on an insulating substrate and on which a semiconductor chip, semiconductor devices, or electronic devices are mounted, the method for manufacturing a wiring substrate comprising: preparing the insulating substrate; forming holes for setting external output terminals and package outline holes in the insulating substrate; applying conductive material foil to the processed insulating substrate; etching the conductive material foil to form a wiring pattern; applying a resist of a predetermined thickness to the insulating substrate and wiring pattern; forming holes with a carbon dioxide gas laser or other means in the portions to be connected to the semiconductor chip, semiconductor devices, or electronic devices to expose the conductive material foil; forming metal bumps (tower bumps) by metal plating on the conductive material foil; and removing the resist.

[0027]

(16) The method for manufacturing a wiring substrate according to any one of claims 14 and 15, wherein before removing the resist, a bonding layer is formed by metal plating on

the metal bumps for connection to the semiconductor chips, semiconductor devices, or electronic devices.

[0028]

(17) A method for manufacturing a semiconductor device having a wiring substrate on which a wiring pattern formed of conductive material has been arranged on an insulating substrate and on which a semiconductor chip has been mounted, the method for manufacturing a semiconductor device comprising: preparing the insulating substrate; forming holes for setting external output terminals and package outline holes in the insulating substrate; applying conductive material foil to the processed insulating substrate; applying a resist of a predetermined thickness to conductive material foil; forming holes with a carbon dioxide gas laser or other means in the portions to be connected to the semiconductor chip to expose the conductive material foil; forming metal bumps (tower bumps) by metal plating on the conductive material foil; removing the resist; etching the conductive material foil to form a wiring pattern; after aligning the electrode pads of the semiconductor chip with the metal bumps (tower bumps), subjecting the semiconductor chip to heat and pressure; diffusion-reacting the electrode pads and the metal bumps to form junctions; and forming external output terminals electrically connected to the wiring pattern.

[0029]

(18) A method for manufacturing a semiconductor device having a wiring substrate on which a wiring pattern formed of conductive material has been arranged on an insulating substrate and on which a semiconductor chip has been mounted, the method for manufacturing a semiconductor device comprising: preparing the insulating substrate; forming holes for setting external output terminals and package outline holes in the insulating substrate; applying conductive material foil to the processed insulating substrate; etching the conductive material foil to form a wiring pattern; applying a resist of a predetermined thickness to the insulating substrate and wiring pattern; forming holes with a carbon dioxide gas laser or other means in the portions to be connected to the semiconductor chip to expose the conductive material foil; forming metal bumps (tower bumps) by metal plating on the conductive material foil; removing the resist; after aligning the electrode pads of the semiconductor chip with the metal bumps, subjecting the semiconductor chip to heat and pressure; diffusion-reacting the electrode pads and metal bumps (tower bumps) to form junctions; and forming external output terminals electrically connected to the wiring pattern.

[0030]

(19) The method for manufacturing a semiconductor device according to any one of (17) and (18), wherein forming gold or tin plating on the connecting portions of the electrode pads and metal bumps (tower bumps) formed on the main surface of the semiconductor chip; adhering the tin or gold of the connecting portions of the electrode pads and the gold or tin of the connecting portions of the metal bumps to each other; heating to a temperature at or above the first eutectic point of gold-tin and below a temperature adversely affecting the insulating substrate; and forming gold-tin junctions by diffusion reaction using the melting point at the first eutectic point.

[0031]

(20) A method for manufacturing a wafer process package (WPP) type semiconductor device obtained by forming a plurality of semiconductor chips consisting of electrode pads and circuit elements on a wafer, forming external output terminals for connection with other electronic devices on each electrode pad, and separating each semiconductor chip from the wafer, the method for manufacturing a WPP type semiconductor device comprising: forming circuit elements and electrode pads on the wafer; applying a passivation film to the circuit elements; applying a resist to the formed electrode pads; forming holes through the resist at the points where external output terminals are to be formed to expose the electrode pads; forming metal bumps on the exposed electrode pads by metal plating; removing the resist; and dicing the wafer.

[0032]

(21) A method for manufacturing a wafer process package (WPP) type semiconductor device obtained by forming a plurality of semiconductor chips consisting of electrode pads and circuit elements on a wafer, forming external output terminals for connection with other electronic devices on each electrode pad, and separating each semiconductor chip from the wafer, the method for manufacturing a WPP type semiconductor device comprising: forming circuit elements and electrode pads on the wafer; placing an insulating substrate over these circuit elements and electrode pads; forming holes in the insulating substrate to expose the electrode pads; applying copper plating from above the insulating substrate to form through-hole electrodes; applying a resist to the formed through-hole electrodes; forming holes in the resist at the point where the external output terminals are to be formed to expose the through-hole electrodes; forming metal bumps 41 on the exposed through-hole electrodes by metal plating; removing the resist; and dicing the wafer.

[0033]

(22) A method for manufacturing an electronic device having a wiring substrate in which a wiring pattern formed of conductive material has been arranged on an insulating substrate and on which a semiconductor chip or semiconductor devices have been mounted, the method for manufacturing an electronic device comprising: preparing the insulating substrate; forming holes for setting external output terminals and package outline holes in the insulating substrate; applying conductive material foil to the processed insulating substrate; applying a resist of a predetermined thickness to conductive material foil; forming holes with a carbon dioxide gas laser or other means in the portions to be connected to the semiconductor chip, semiconductor devices, or electronic devices to expose the conductive material foil; forming metal bumps (tower bumps) by metal plating on the conductive material foil; removing the resist; etching the conductive material foil to form a wiring pattern; after aligning the connecting portions of the semiconductor chip or semiconductor devices with the metal bumps (tower bumps), subjecting the semiconductor chip or semiconductor devices to heat and pressure; and diffusion-reacting the connecting portions of the semiconductor chip or semiconductor devices and the metal bumps to form junctions.

[0034]

(23) A method for manufacturing an electronic device having a wiring substrate in which a wiring pattern formed of conductive material has been arranged on an insulating substrate and on which a semiconductor chip or semiconductor devices have been mounted, the method for manufacturing an electronic device comprising: preparing the insulating substrate; forming holes for setting external output terminals and package outline holes in the insulating substrate; applying conductive material foil to the processed insulating

substrate; etching the conductive material foil to form a wiring pattern; applying a resist of a predetermined thickness to the insulating substrate and wiring pattern; forming holes with a carbon dioxide gas laser or other means in the portions to be connected to the semiconductor chip to expose the conductive material foil; forming metal bumps (tower bumps) by metal plating on the conductive material foil; removing the resist; after aligning the connecting portions of the semiconductor chip or semiconductor devices with the metal bumps (tower bumps), subjecting the semiconductor chip or semiconductor devices to heat and pressure; and diffusion-reacting the connecting portions of the semiconductor chip or semiconductor devices and the metal bumps (tower bumps) to form junctions.

[0035]

[Embodiments of the Invention]

The following is a detailed description of an embodiment of the present invention with reference to the drawings.

[0036]

FIG. 1 is a diagram used to explain the configuration of the semiconductor device 10 in the present embodiment, in which FIG. 1(a) is a perspective view and FIG. 1(b) is a cross-sectional view from line A-A in FIG. 1(a).

[0037]

As shown in FIG. 1(a), the semiconductor device 10 in the present embodiment consists of a semiconductor chip 1 mounted on a wiring substrate 20 (for example, a base film of polyimide or a liquid crystal polymer, etc. wired with a conductive material such as copper or indium titanium oxide) on which wiring has been formed. Electrode pads 2 are arranged at a predetermined pitch on the element formation surface of the semiconductor chip 1.

[0038]

Metal plating may also be formed on the electrode pads 2 using the method of connection with the semiconductor chip 1. In this case, since direct metal plating is not possible, sputter films of Ti, Cr, Cu, and Ni, for example, are formed sequentially, followed by electroplating of the metal.

[0039]

As shown in FIG. 1(b), tower bumps 4 are provided in the wiring layer of the substrate including inner leads 3 to connect with the semiconductor chip 1, and solder balls 30 (external output terminals) are electrically connected to the wiring layer at a predetermined pitch.

[0040]

For mounting the semiconductor chip 1 on the wiring substrate 20, as shown in FIG. 1(b), the semiconductor chip 1 is placed on the tower bumps 4 formed on the connecting portion (tips) of the inner leads 3 on the wiring substrate 20, and a connection established by a metal diffusion reaction with the electrode pads 2.

[0041]

A characteristic of the semiconductor device 10 in the present embodiment is that the thermal stress caused by the difference in thermal expansion coefficients between the semiconductor chip 1 and the wiring substrate 20 is buffered by the tower bumps 4 formed on the wiring layer of the wiring substrate 20.

[0042]

Therefore, tower bumps 4 should be made of a conductive material that does not undergo a phase transformation at high temperatures (150°C). Also, a conductive material that satisfies a Vickers hardness Hv of 60 to 150 should be used. Examples include high-purity gold, copper, and nickel. The following materials are optimal.

[0043]

- (1) Soft copper electroplated bumps (Vickers hardness Hv 60 to 80)
- (2) Soft copper electroless plated bumps (Vickers hardness Hv 60 to 80)
- (3) Low stress nickel plated bumps (Vickers hardness Hv 120 to 150)

It is especially optimal to use high-purity copper with a purity of 99.99% or higher. This high-purity copper softens and becomes pliable at room temperature and has very little brittleness due to its low impurity content.

[0044]

FIG. 2 is a diagram used to explain the wiring substrate 20 and the tower bumps 4 formed on the wiring substrate in the present embodiment.

[0045]

In the wiring substrate 20 of the present embodiment, as shown in FIG. 2(a), A wiring pattern including inner leads 3 is formed on a base material such as polyimide, tower bumps 4 are formed on the connecting portions to connect with the semiconductor chip 1, and solder bumps 30 are formed to electrically connect with the wiring layer. The tower bumps 4 are composed of a metal bump 41 and a bonding layer 42 that bonds to the electrode pads 2 of the semiconductor chip 1, as shown in FIG. 2(a). Gold, solder, or tin can be used, for example, in the bonding layer 42.

[0046]

The shape of the tower bumps 4 should be, for example, a cylinder as shown in FIG. 2(b) or a cube as shown in FIG. 2(c). The tower bumps 4 must be large enough to absorb the stress caused by the semiconductor chip 1 and inner leads 3.

[0047]

Therefore, the cylinder shape shown in FIG. 2(b) and the cube shape shown in FIG. 2(c) should satisfy at least the following conditions.

[0048]

- (1) $h > d$
- (2) $h > L$

Here, the greater the height of h , the more thermal stress is absorbed, and the greater d and L , the more reliable the connection. These sizes should be determined by the intended use of the semiconductor device.

[0049]

Next, the manufacturing method for the semiconductor device 10 in the present embodiment will be described in detail using the drawings. FIG. 3 and FIG. 4 show the manufacturing method for the wiring substrate 20 in the present embodiment.

[0050]

FIG. 3 shows the pre-bumping method, in which tower bumps 4 are formed before the wiring pattern is formed, and FIG. 4 shows the post-bumping method, in which the tower bumps 4 are formed after the wiring pattern is formed.

[0051]

The pre-bumping method will be explained first.

[0052]

In the method for manufacturing a wiring substrate 20 in the present embodiment, first, a base film (insulating substrate) 21 is prepared. (In this case, polyimide film is used.) The dimensions of this base film 21 can be, for example, a width of 35 to 300 mm, a length of 10 to 100 m, and a thickness of $50\ \mu\text{m} \pm 1.5\ \mu\text{m}$.

[0053]

Next, as shown in FIG. 3(a), holes (vias) 31 for setting solder balls 30 and package outline holes cut out in advance for final package outline processing) are formed in the base film 21. Copper foil 50 of the same width as the base film 21 is laminated on top of the processed base film 21.

[0054]

Next, as shown in FIG. 3(b), a photoresist 60 is applied on the copper foil 50, and holes are formed with a carbon dioxide gas laser in the portions where tower bumps 4 are to be formed.

[0055]

Next, as shown in FIG. 3(c), metal bumps 41 are formed on the copper foil 50 by metal plating (electroless or electroplating).

[0056]

Next, as shown in FIG. 3(d), a bonding layer 42 is formed on the metal bumps 41 by metal plating.

[0057]

Next, as shown in FIG. 3(e), the photoresist 60 is removed.

[0058]

Next, as shown in FIG. 3(f), etching is performed on the copper foil 50 to form a wiring pattern including inner leads 3 and complete the wiring substrate 20 in the present embodiment.

[0059]

The post-bumping method will be explained next.

[0060]

In the method for manufacturing a wiring substrate 20 in the present embodiment, first, a base film (insulating substrate) 21 is prepared. (In this case, polyimide film is used.) The dimensions of this base film 21 can be, for example, a width of 35 to 300 mm, a length of 10 to 100 m, and a thickness of $50\text{ }\mu\text{m} \pm 1.5\text{ }\mu\text{m}$.

[0061]

Next, as shown in FIG. 4(a), etching is performed on copper foil 50 to form a photoresist 60 on the wiring pattern of a wiring substrate (shown in FIG. 3(f)) on which a wiring pattern including inner leads 3 has been formed, except for the portions where tower bumps 4 are to be formed.

[0062]

Next, as shown in FIG. 4(b), metal bumps 41 are formed on the wiring pattern including inner leads 3 by metal plating (electroless or electroplating).

[0063]

Next, as shown in FIG. 4(c), a bonding layer 42 is formed on the metal bumps 41 by metal plating.

[0064]

Next, as shown in FIG. 4(d), the photoresist 60 is removed to complete the wiring substrate 20 in the present embodiment.

[0065]

A tape manufacturer may sell the wiring substrate 20 shown in FIG. 3(f) and FIG. 4(d), in which the series of steps described above have already been performed. In this case, the steps described above can be omitted by purchasing such a wiring substrate.

[0066]

A tape manufacturer may also sell the wiring substrate 20 shown in FIG. 3(f) and FIG. 4(d) with solder balls, in which solder balls have been formed on the wiring substrate in the manner described below. In this case, the assembling manufacturer can omit the solder ball formation steps described below.

[0067]

The process used to mount a semiconductor chip 1 on the manufactured wiring substrate 20 will now be described in detail. FIG. 5 is a diagram used to explain the method for mounting a semiconductor chip on a wiring substrate 20 in the present embodiment

[0068]

In the process used to mount a semiconductor chip 1 in a semiconductor device 10 in the present embodiment, as shown in FIG. 5(a), after preparing the wiring substrate 20 described above and aligning the plurality of electrode pads 2 and tower bumps 4 formed on the main surface of the semiconductor chip 1, the semiconductor chip 1 is fixed. Next, as shown in FIG. 5(b), a heating tool is used to heat to 240 to 260°C and a pressurizing tool is used to apply pressure of 1 to 10 kg/mm² for 2 to 5 seconds to cause a metal diffusion reaction and establish a connection. The electrode pads 2, which are aluminum, may be metallized with other metals depending on the connection method.

[0069]

Next, as shown in FIG. 5(c), the semiconductor device 10 in the present embodiment is manufactured by providing solder balls 30 on the wiring pattern including inner leads 3.

[0070]

By providing tower bumps 4 on the wiring pattern of the wiring substrate 20 in this way, the tower bumps 4 buffer the thermal stress caused by the difference in thermal expansion coefficients between the semiconductor chip and the wiring substrate, thereby preventing cracking of the semiconductor chip.

[0071]

(Example 1)

Gold-tin bonding:

Next, an example of electrical connection established between a semiconductor device and a wiring substrate (tower bumps 4) using gold-tin bonding will be described.

[0072]

FIG. 6 is a diagram used to explain the configuration of the semiconductor device 10a in the first example.

[0073]

As shown in FIG. 6(a), the semiconductor device 10a in the present embodiment consists of a semiconductor chip 1 mounted on a wiring substrate 20 (for example, a base film of polyimide or a liquid crystal polymer, etc. wired with a conductive material such as copper or indium titanium oxide) on which wiring has been formed. Electrode pads 2 are arranged at a predetermined pitch on the element formation surface of the semiconductor chip 1, and gold plating (gold bumps) 71 are formed on each electrode pad 2. The wiring layer of the

substrate including inner leads 3 is provided with tower bumps 4 consisting of copper bumps (metal bumps 41) that have been tin plated 72 (bonding layer 42).

[0074]

When mounting the semiconductor chip 1 on the wiring substrate 20, as shown in FIG. 6(b), the semiconductor chip 1 is placed on the tower bumps 4 formed in the connection portions (tips) of the inner leads 3 on the wiring substrate 20, a connection is established by a gold-tin diffusion reaction with the electrode pads 2, and solder balls 30 (external output terminals) to be electrically connected to the wiring layer are formed at a predetermined pitch.

[0075]

The bonding layer of the gold-tin connection consists of a reactive melted layer of gold and tin at the bonding interface (high melting point layer) and a portion protruding from this (fillet). The fillet consists of a composition of 5 to 20 wt% gold (with the balance being tin), centered on the composition at the first eutectic point (melting point 217°C), and the reaction melted layer (high melting point layer) consists of 10 to 40 wt% gold (with the balance being tin).

[0076]

This gold-tin connection at the first eutectic point, which forms a bonding interface of 10 to 40wt% gold and 60 to 90 wt% tin as mentioned above, increases the strength of the connection at low temperatures.

[0077]

Although a gold-tin connection at the first eutectic point is ideal because the bond strength is also high, the bonding interface in the present invention is not limited to these components. If the bonding is performed using heat above the temperature of the first eutectic point of gold-tin but below a temperature adversely affecting the wiring substrate and the melting point at the first eutectic point is utilized, the composition can be something other than 10 to 40 wt% gold and 60 to 90 wt% tin.

[0078]

Because the semiconductor device 10a in Example 1 can be manufactured as described in the present embodiment simply by applying gold plating to the electrode pads 2 of the semiconductor chip 1 and replacing the bonding layer 41 with a tin plating layer, further explanation can be omitted.

[0079]

This gold-tin connection method is also a low-temperature connection method that can establish connections without adversely affecting the wiring substrate.

[0080]

Therefore, ideal gold-tin bonding at 10 to 40 wt% gold and 60 to 90wt% tin is not necessary if a lower gold-tin connection strength is acceptable. In this case, the bonding is performed using the melting point at the first eutectic point, where the temperature of the

bonding tool is at least above the temperature of the first eutectic point of gold-tin and below a temperature adversely affecting the flexible wiring substrate.

[0081]

By providing tower bumps 4 on the wiring pattern of the wiring substrate 20 in this way, the tower bumps 4 buffer the thermal stress caused by the difference in thermal expansion coefficients between the semiconductor chip and the wiring substrate, thereby preventing cracking of the semiconductor chip.

[0082]

The use of a gold-tin connection for establishing the connection between the tower bumps 4 and the semiconductor chip, which can be done at low temperatures, enables a connection to be established at low temperatures and without adverse thermal effects on the wiring substrate.

[0083]

Also, because the connection is established using the first eutectic point of gold-tin, the connection strength is increased and a more reliable connection can be made.

[0084]

(Example 2)

Solder bump bonding:

Next, an example of electrical connection established between a semiconductor device and a wiring substrate using solder bonding will be described.

[0085]

FIG. 7 is a diagram used to explain the configuration of the semiconductor device 10b in the second example.

[0086]

As shown in FIG. 7(a), the semiconductor device 10b in Example 2 consists of a semiconductor chip 1 mounted on a wiring substrate 20 (for example, a base film of polyimide or a liquid crystal polymer, etc. wired with a conductive material such as copper or indium titanium oxide) on which wiring has been formed. Electrode pads 2 are arranged at a predetermined pitch on the element formation surface of the semiconductor chip 1, and solder bumps 73 are formed on each electrode pad 2. The wiring layer of the substrate including inner leads 3 is provided with tower bumps 4 consisting simply of copper bumps (metal bumps 41).

[0087]

The solder bumps 73 can be, for example, made of 10 Sn-Pb wt% solder.

[0088]

For mounting the semiconductor chip 1 on the wiring substrate 20, as shown in FIG. 7(b), the semiconductor chip 1 is placed on the tower bumps 4 formed on the connecting portion (tips) of the inner leads 3 on the wiring substrate 20, and a connection established by a solder diffusion reaction with the electrode pads 2. The solder balls 30 (external output terminals) electrically connected to the wiring layer are formed at a predetermined pitch.

[0089]

Because the semiconductor device 10b in Example 2 can be manufactured as described in the present embodiment simply by replacing the metal plating with solder plating, further explanation can be omitted.

[0090]

By providing tower bumps 4 on the wiring pattern of the wiring substrate 20, the tower bumps 4 buffer the thermal stress caused by the difference in thermal expansion coefficients between the semiconductor chip and the wiring substrate, thereby preventing cracking of the semiconductor chip.

[0091]

Also, because solder and copper can be directly connected, a bonding layer 42 on the tower bumps 4 is not needed.

[0092]

(Example 3)

Gold-solder bonding:

Next, an example of electrical connection established between a semiconductor device and a wiring substrate using gold-solder bonding will be described.

[0093]

FIG. 8 is a diagram used to explain the configuration of the semiconductor device 10c in the third example.

[0094]

As shown in FIG. 8(a), the semiconductor device 10c in Example 3 consists of a semiconductor chip 1 mounted on a wiring substrate 20 (for example, a base film of polyimide or a liquid crystal polymer, etc. wired with a conductive material such as copper or indium titanium oxide) on which wiring has been formed. Electrode pads 2 are arranged at a predetermined pitch on the element formation surface of the semiconductor chip 1, and gold plating (gold bumps) 71 are formed on each electrode pad 2. The wiring layer including inner leads 3 is provided with tower bumps 4, which are copper bumps (metal bumps 41) that are solder plated 74 (bonding layer 42).

[0095]

The solder plating 74 can be, for example, 37 Pb-Sn wt% eutectic solder or 60 Sn-Pb wt% high temperature solder.

[0096]

When mounting the semiconductor chip 1 on the wiring substrate 20, as shown in FIG. 8(b), the semiconductor chip 1 is placed on the tower bumps 4 formed in the connection portions (tips) of the inner leads 3 on the wiring substrate 20, a connection is established by a gold-solder diffusion reaction with the electrode pads 2, and solder balls 30 (external output terminals) to be electrically connected to the wiring layer are formed at a predetermined pitch.

[0097]

Because the semiconductor device 10c in Example 3 can be manufactured as described in the present embodiment simply by replacing the metal plating with solder plating, further explanation can be omitted.

[0098]

By providing tower bumps 4 on the wiring pattern of the wiring substrate 20, the tower bumps 4 buffer the thermal stress caused by the difference in thermal expansion coefficients between the semiconductor chip and the wiring substrate, thereby preventing cracking of the semiconductor chip.

[0099]

(Example 4)

Gold-gold bonding:

Next, an example of electrical connection established between a semiconductor device and a wiring substrate using gold-gold bonding will be described.

[0100]

FIG. 9 is a diagram used to explain the configuration of the semiconductor device 10d in the fourth example.

[0101]

As shown in FIG. 9(a), the semiconductor device 10d in Example 4 consists of a semiconductor chip 1 mounted on a wiring substrate 20 (for example, a base film of polyimide or a liquid crystal polymer, etc. wired with a conductive material such as copper or indium titanium oxide) on which wiring has been formed. Electrode pads 2 are arranged at a predetermined pitch on the element formation surface of the semiconductor chip 1, and gold plating (gold bumps) 71 are formed on each electrode pad 2. The wiring layer including inner leads 3 is provided with tower bumps 4, which are copper bumps (metal bumps 41) that are metal plated 71 (bonding layer 42).

[0102]

When mounting the semiconductor chip 1 on the wiring substrate 20, as shown in FIG. 9(b), the semiconductor chip 1 is placed on the tower bumps 4 formed in the connection portions (tips) of the inner leads 3 on the wiring substrate 20, a connection is established by a gold-

gold diffusion reaction with the electrode pads 2, and solder balls 30 (external output terminals) to be electrically connected to the wiring layer are formed at a predetermined pitch.

[0103]

Because the semiconductor device 10d in Example 4 can be manufactured as described in the present embodiment simply by replacing the metal plating with gold plating, and establishing a connection with ultrasonic single-point bonding without the use of a heating tool, further explanation can be omitted.

[0104]

By providing tower bumps 4 on the wiring pattern of the wiring substrate 20, the tower bumps 4 buffer the thermal stress caused by the difference in thermal expansion coefficients between the semiconductor chip and the wiring substrate, thereby preventing cracking of the semiconductor chip.

[0105]

Because this gold-gold connection does not use a heating tool, the wiring substrate 20 is not heated, allowing for a thinner wiring substrate to be formed (50 to 70 μm thick).

[0106]

(Example 5)

Gold-aluminum bonding:

Next, an example of electrical connection established between a semiconductor device and a wiring substrate using gold-aluminum bonding will be described.

[0107]

FIG. 10 is a diagram used to explain the configuration of the semiconductor device 10e in the fifth example.

[0108]

As shown in FIG. 10(a), the semiconductor device 10e in Example 5 consists of a semiconductor chip 1 mounted on a wiring substrate 20 (for example, a base film of polyimide or a liquid crystal polymer, etc. wired with a conductive material such as copper or indium titanium oxide) on which wiring has been formed. Electrode pads 2 are arranged at a predetermined pitch on the element formation surface of the semiconductor chip 1, and metal plating (metal bumps) 71 are formed on each electrode pad 2. The wiring layer including inner leads 3 is provided with tower bumps 4, which are copper bumps (metal bumps 41) that are metal plated 71 (bonding layer 42).

[0109]

When mounting the semiconductor chip 1 on the wiring substrate 20, as shown in FIG. 10(b), the semiconductor chip 1 is placed on the tower bumps 4 formed in the connection portions (tips) of the inner leads 3 on the wiring substrate 20, a connection is established by

a gold-aluminum diffusion reaction with the electrode pads 2, and solder balls 30 (external output terminals) to be electrically connected to the wiring layer are formed at a predetermined pitch.

[0110]

Because the semiconductor device 10e in Example 5 can be manufactured as described in the present embodiment simply by replacing the metal plating with gold plating, and establishing a connection with ultrasonic single-point bonding without the use of a heating tool, further explanation can be omitted. This gold-aluminum connection may also be established using a heating tool.

[0111]

By providing tower bumps 4 on the wiring pattern of the wiring substrate 20, the tower bumps 4 buffer the thermal stress caused by the difference in thermal expansion coefficients between the semiconductor chip and the wiring substrate, thereby preventing cracking of the semiconductor chip.

[0112]

When ultrasonic single-point bonding is used, the wiring substrate 20 is not heated because no heating tool is used, so a thinner wiring substrate can be formed (50 to 70 μm thick).

[0113]

(Example 6)

The wiring substrate of the present invention can be used not only in semiconductor devices but also in motherboards to mount electronic devices. Example 6 will now be explained using a memory module as the electronic device.

[0114]

FIG. 11 is a diagram used to explain the configuration of the memory module in the sixth example, in which FIG. 11 (a) is a planar view from above, and FIG. 11 (b) is a cross-sectional view from line A-A in FIG. 11(a).

[0115]

As shown in FIG. 11(a), the memory module 100 in Example 6 consists of a semiconductor device 10 mounted on a wiring substrate 20 on which a wiring pattern 30 including external output terminals 110 for connection to other electronic devices has been formed.

[0116]

As shown in FIG. 11(b), the wiring substrate 20 has a wiring pattern 30 provided on a base substrate such as polyimide or glass epoxy, and tower bumps 4 described above are formed on the wiring pattern 30 on which the semiconductor device 10 is to be mounted.

[0117]

The method for manufacturing the memory module 100 in Example 6 will now be described.

[0118]

FIG. 12 is a diagram used to explain a method for manufacturing the memory module 100 in the sixth example.

[0119]

First, a base substrate (insulating substrate) is prepared.

[0120]

Next, as shown in FIG. 12(a), etching is performed on the copper foil 50 to form a photoresist 60 on the wiring pattern of a wiring substrate 20 on which a wiring pattern 30 including inner leads has been formed, except for the portions where tower bumps 4 are to be formed. (The photoresist 60 is applied and holes are made by exposure and development).

[0121]

Next, as shown in FIG. 12(b), metal bumps 41 are formed by metal plating (electroless or electroplating) on the wiring pattern 30 including the inner leads.

[0122]

Next, as shown in FIG. 12(c), a bonding layer 42 is formed on the metal bumps 41 by metal plating.

[0123]

Next, as shown in FIG. 12(d), the photoresist 60 is removed to complete the wiring substrate 20 in Example 6.

[0124]

Next, the method for mounting semiconductor devices 10 on the manufactured wiring substrate 20 will be described in detail. FIG. 13 is a diagram used to explain the method for mounting semiconductor devices 10 on the wiring substrate 20 in the sixth example.

[0125]

In the process used to mount semiconductor devices 10 in Example 6, as shown in FIG. 13(a), after preparing the wiring substrate 20 described above and aligning the plurality of electrode pads and tower bumps 4 formed on the semiconductor device, semiconductor devices 10 are fixed. Next, as shown in FIG. 13(b), a heating tool is used to heat to 240 to 260°C and a pressurizing tool is used to apply pressure of 1 to 10 kg/mm² for 2 to 5 seconds to cause a metal diffusion reaction and establish a connection, thereby completing production of the semiconductor devices 10 in the present embodiment.

[0126]

By providing tower bumps 4 on the wiring pattern 30 of the wiring substrate 20 for the electronic devices, the tower bumps 4 buffer the thermal stress caused by the difference in

thermal expansion coefficients between the semiconductor devices and the wiring substrate, thereby preventing cracking of the semiconductor devices.

[0127]

In addition, since tower bumps 4 serve as a stress buffer, bare chip semiconductor devices can be mounted in electronic devices.

[0128]

(Example 7)

Peripheral Tower Bumps:

Next, an example of tower bumps applied to a wafer process package (WPP) type semiconductor device is described. In Example 7, peripheral tower bumps are used.

[0129]

FIG. 14 is a diagram used to explain the manufacturing method for the WPP-type semiconductor device in the seventh example before being cut out, in which FIG. 14(a) is a perspective view of a WPP-type semiconductor device, FIG. 14(b) is a cross-sectional view from line A-A in FIG. 14(a), and FIG. 14(c) is a cross-sectional view of a cut-out WPP-type semiconductor device.

[0130]

In the WPP type semiconductor device 200 in Example 7, a wafer 201 is sectioned into multiple pieces as shown in FIG. 14(a). As shown in FIG. 14(b), circuit elements and electrode pads 202 are formed in the sections for each semiconductor chip, the circuit element formation surface is protected with passivation 205, and tower bumps 4 are formed on the electrode pads 202. Here, individual semiconductor chips are obtained as shown in FIG. 14(c).

[0131]

Next, the method for manufacturing the WPP-type semiconductor device 200 in Example 7 will be described.

[0132]

FIG. 15 is a diagram used to explain the manufacturing method for the WPP-type semiconductor device 200 in the seventh example.

[0133]

In the method for producing the WPP type semiconductor device in Example 7, first, as shown in FIG. 15(a), a wafer 201 is prepared on which multiple sets of circuit elements and electrode pads 202 have been formed and a passivation film (not shown) such as polyimide has been applied over the circuit elements, etc.

[0134]

Next, as shown in FIG. 15(b), a photoresist 60 with a thickness that allows tower bumps 4 to be formed is applied to the formed electrode pads 202.

[0135]

Next, as shown in FIG. 15(c), a carbon dioxide laser is used to open holes 31 in the photoresist 60 at the locations where tower bumps 4 are to be formed, exposing the electrode pads 202.

[0136]

Next, as shown in Figure 15(d), metal bumps 41 are formed on the exposed electrode pads 202 by metal plating (electroless or electroplating). As mentioned above, this metal plating uses a conductive material that does not undergo phase transformation at high temperatures (150°C), such as high-purity gold, copper, and nickel, and that meets a Vickers hardness Hv of 60 to 150.

[0137]

Next, as shown in FIG. 15(e), a bonding layer 42 is formed on the metal bumps 41 by metal plating. This bonding layer 42 can be gold, tin, solder, etc., depending on the connection method used. Also, depending on the connection method, a bonding layer 42 may not be provided.

[0138]

Next, as shown in FIG. 15(f), the photoresist 60 is removed and the wafer 201 is diced to produce the WPP-type semiconductor devices 200 in Example 7.

[0139]

As explained above, conventional WPP-type semiconductor devices use solder bumps as output terminals. Because of their structure, when mounted on a wiring substrate, cracks develop in the wafer or solder bumps due to thermal stress caused by the difference in the thermal expansion coefficients of the semiconductor devices and the wiring substrate. However, by providing tower bumps 4 formed of a relatively soft conductive material that performs stress buffering on the electrode pads 202, as in the WPP-type semiconductor device 200 of the present invention, the tower bumps 4 buffer the thermal stress caused by the difference in thermal expansion coefficients of the semiconductor devices and the wiring substrate, thereby preventing cracking of the semiconductor devices.

[0140]

This makes it possible to provide WPP-type semiconductor devices with stress buffering capability.

[0141]

(Example 8)

Area Tower Bumps:

Next, an example of tower bumps applied to a wafer process package (WPP) type semiconductor device is described. In Example 8, area tower bumps are used. Area tower bumps are tower bumps 4 formed on the wiring by drawing (rewiring) wiring from surrounding electrode pads to the entire semiconductor chip.

[0142]

FIG. 16 is a diagram used to explain the manufacturing method for the WPP-type semiconductor device in the eighth example before being cut out, in which FIG. 16(a) is a perspective view of a WPP-type semiconductor device, FIG. 16(b) is a cross-sectional view from line A-A in FIG. 16(a), and FIG. 16(c) is a cross-sectional view of a cut-out WPP-type semiconductor device.

[0143]

As shown in FIG. 16(b), the WPP-type semiconductor devices 200a in Example 8 have a structure in which electrode pads 202 are formed on a wafer 201, an insulating base material 203 such as polyimide is applied on top of this, through-hole electrodes 204 are provided on top of this, and tower bumps 4 are formed on the through-hole electrodes 204.

[0144]

Next, the method for manufacturing the WPP-type semiconductor device 200a in Example 8 will be described.

[0145]

FIG. 17 and FIG. 18 are diagrams used to explain the manufacturing method for the WPP-type semiconductor device 200a in the eighth example.

[0146]

As shown in FIG. 17(a), the manufacturing method for the WPP-type semiconductor devices in Example 7, first, circuit elements and electrode pads 202 are formed on the wafer 201, and then an insulating substrate material such as polyimide is applied on top.

[0147]

Next, as shown in FIG. 17(b), a carbon dioxide laser is used to form holes 31 in the insulating substrate 203 and expose the electrode pads 202.

[0148]

Next, as shown in FIG. 17(c), copper plating is applied on top of the insulating substrate material 203 to form through-hole electrodes 204. The copper plating is initially electroless copper plating, and then electrolytic copper plating. Here, if electroless copper plating is formed directly on the insulating substrate material, adhesion is poor, so an epoxy resin with excellent adhesion is selected and interposed.

[0149]

Next, as shown in FIG. 17(d), a photoresist 60 is applied to the formed through-hole electrode 204 at a thickness that allows for tower bump formation.

[0150]

Next, as shown in FIG. 18(a), holes 31 are formed in the photoresist 60 at the locations where tower bumps 4 are to be formed by performing exposure, development, etc. and exposing the through-hole electrodes 204.

[0151]

Next, as shown in FIG. 18(b), metal bumps 41 are formed on the exposed through-hole electrodes 204 by metal plating (electroless or electroplating). As mentioned above, this metal plating uses a conductive material that does not undergo phase transformation at high temperatures (150°C), such as high-purity gold, copper, and nickel, and that meets a Vickers hardness Hv of 60 to 150.

[0152]

Next, as shown in FIG. 18(c), a bonding layer 42 is formed on the metal bumps 41 by metal plating. This bonding layer 42 can be gold, tin, solder, etc., depending on the connection method used. Also, depending on the connection method, a bonding layer 42 may not be provided.

[0153]

Next, as shown in FIG. 18(d), the photoresist 60 is removed and the wafer 201 is diced to produce the WPP-type semiconductor devices 200a in Example 8.

[0154]

As explained above, conventional WPP-type semiconductor devices use solder bumps as output terminals. Because of their structure, when mounted on a wiring substrate, cracks develop in the wafer or solder bumps due to thermal stress caused by the difference in thermal expansion coefficient between the semiconductor devices and the wiring substrate. However, by providing tower bumps 4 formed of a relatively soft conductive material that performs stress buffering on the through-hole electrodes 204, as in the WPP-type semiconductor device 200a of the present invention, the tower bumps 4 buffer the thermal stress caused by the difference in thermal expansion coefficients between the semiconductor devices and the wiring substrate, thereby preventing cracking of the semiconductor devices.

[0155]

This makes it possible to provide WPP-type semiconductor devices with stress buffering capability.

[0156]

The present invention devised by the present inventors has been described in detail with reference to the embodiments above, but the present invention is not limited to these embodiments, and modifications that do not depart from the scope and the spirit of the present invention are certainly possible.

[0157]

[Effects of the Invention]

The following is a brief description of the effects obtained by the embodiments of the present invention disclosed in the present application.

[0158]

By providing tower bumps on the wiring pattern of a wiring substrate to connect to a semiconductor chip or semiconductor devices, the tower bumps buffer the thermal stress caused by the difference in thermal expansion coefficients between the semiconductor chip or semiconductor devices and the wiring substrate, thereby preventing cracking of the semiconductor chip or semiconductor devices.

[0159]

Also, by providing tower bumps formed of a relatively soft conductive material that provides stress buffering on the electrode pads, the tower bumps buffer the thermal stress caused by the difference in thermal expansion coefficients between semiconductor devices and the wiring substrate, thereby preventing cracking of the semiconductor devices, and providing WPP-type semiconductor devices with stress buffering capability.

[Brief Description of the Drawings]

[FIG. 1]

FIG. 1 is a diagram used to explain the configuration of the semiconductor device 10 in the present embodiment.

[FIG. 2]

FIG. 2 is a diagram used to explain the wiring substrate 20 in the present embodiment and the tower bumps 4 formed upon the wiring substrate.

[FIG. 3]

FIG. 3 is a diagram showing the manufacturing method for the wiring substrate 20 in the present embodiment.

[FIG. 4]

FIG. 4 is a diagram showing the manufacturing method for the wiring substrate 20 in the present embodiment.

[FIG. 5]

FIG. 5 is a diagram used to explain the method for mounting semiconductor chips on the wiring substrate 20 in the present embodiment.

[FIG. 6]

FIG. 6 is a diagram used to explain the configuration of the semiconductor device 10a in the first example.

[FIG. 7]

FIG. 7 is a diagram used to explain the configuration of the semiconductor device 10b in the second example.

[FIG. 8]

FIG. 8 is a diagram used to explain the configuration of the semiconductor device 10c in the third example.

[FIG. 9]

FIG. 9 is a diagram used to explain the configuration of the semiconductor device 10d in the fourth example.

[FIG. 10]

FIG. 10 is a diagram used to explain the configuration of the semiconductor device 10e in the fifth example.

[FIG. 11]

FIG. 11 is a diagram used to explain the configuration of the memory module in the sixth example.

[FIG. 12]

FIG. 12 is a diagram used to explain a method for manufacturing the memory module in the sixth example.

[FIG. 13]

FIG. 13 is a diagram used to explain the method for mounting semiconductor devices 10 on the wiring substrate 20 in the sixth example.

[FIG. 14]

FIG. 14 is a diagram used to explain the manufacturing method for the WPP-type semiconductor device in the seventh example before being cut out.

[FIG. 15]

FIG. 15 is a diagram used to explain the manufacturing method for the WPP-type semiconductor device 200 in the seventh example.

[FIG. 16]

FIG. 16 is a diagram used to explain the manufacturing method for the WPP-type semiconductor device in the eighth example before being cut out.

[FIG. 17]

FIG. 17 is a diagram used to explain the manufacturing method for the WPP-type semiconductor device 200a in the eighth example.

[FIG. 18]

FIG. 18 is a diagram used to explain the manufacturing method for the WPP-type semiconductor device 200a in the eighth example.

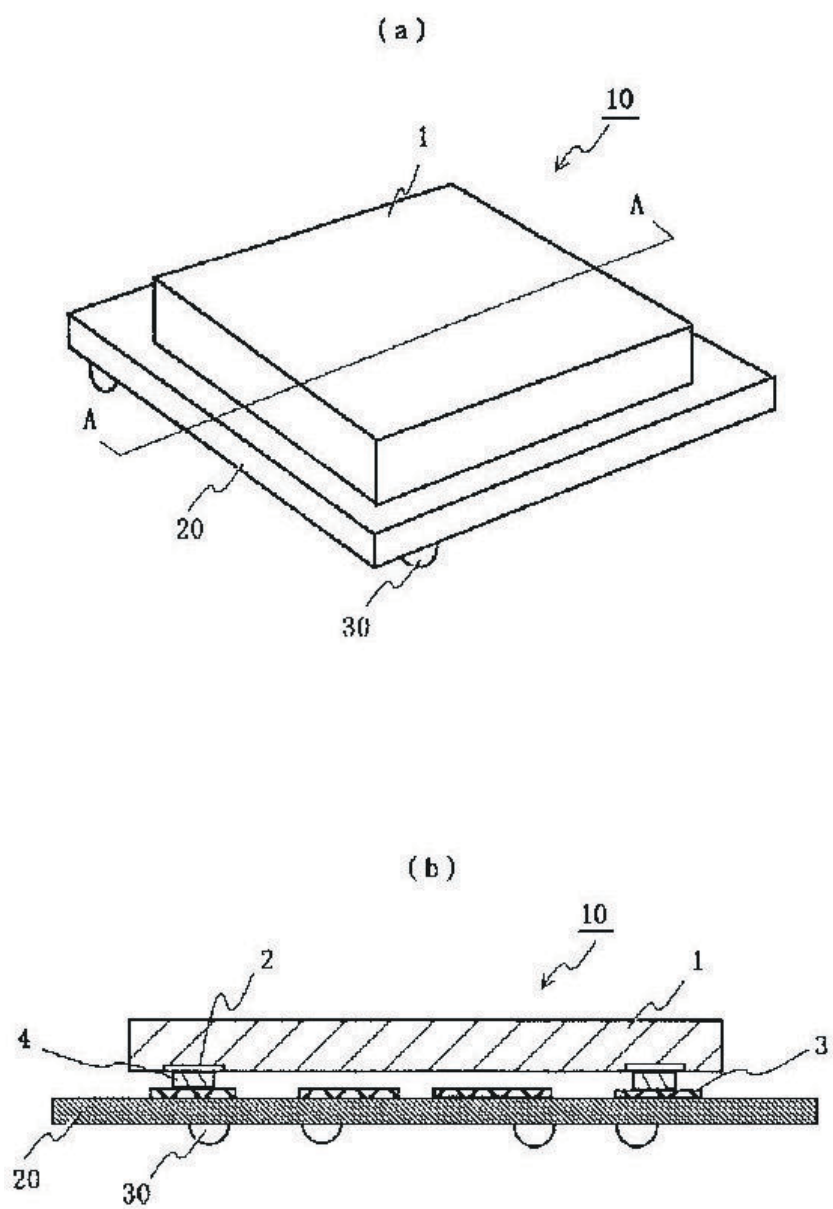
[FIG. 19]

FIG. 19 is a diagram used to explain the configuration of a conventional semiconductor device.

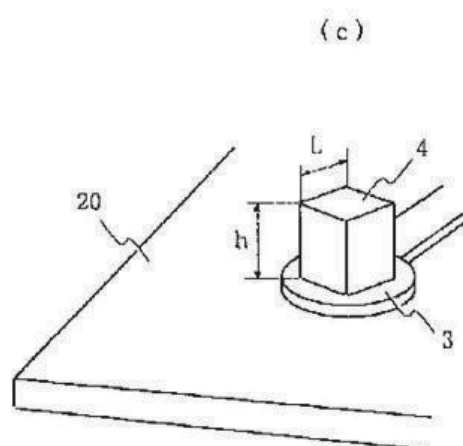
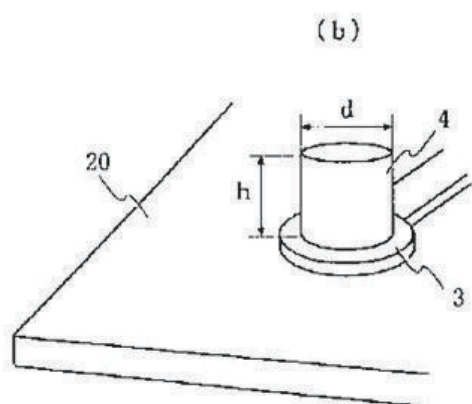
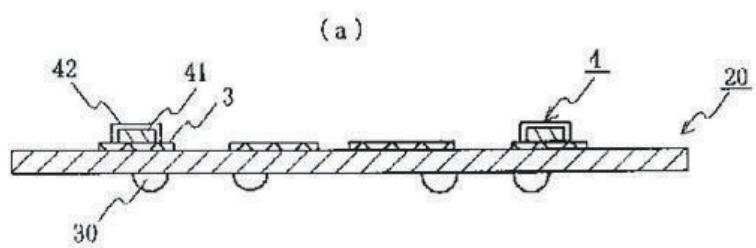
[Reference Numbers]

- 1: Semiconductor chip
- 2: Electrode pad
- 3: Inner lead
- 4: Tower bump
- 10: Semiconductor device
- 20: Wiring substrate
- 30: Solder ball

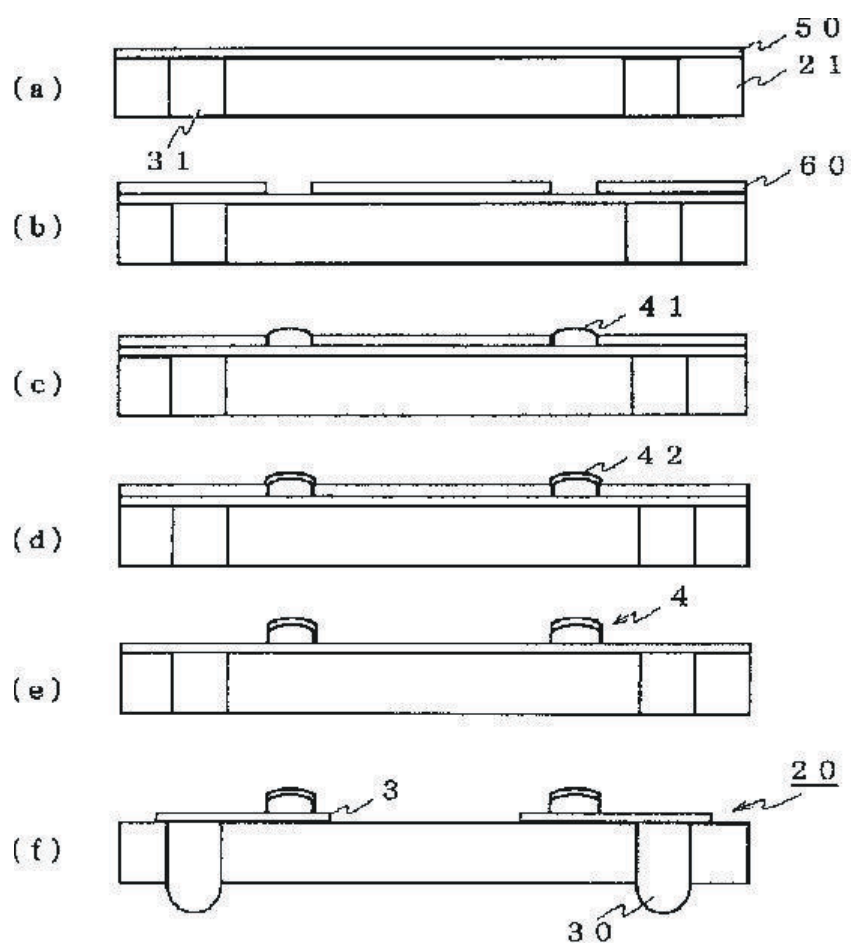
[FIG. 1]



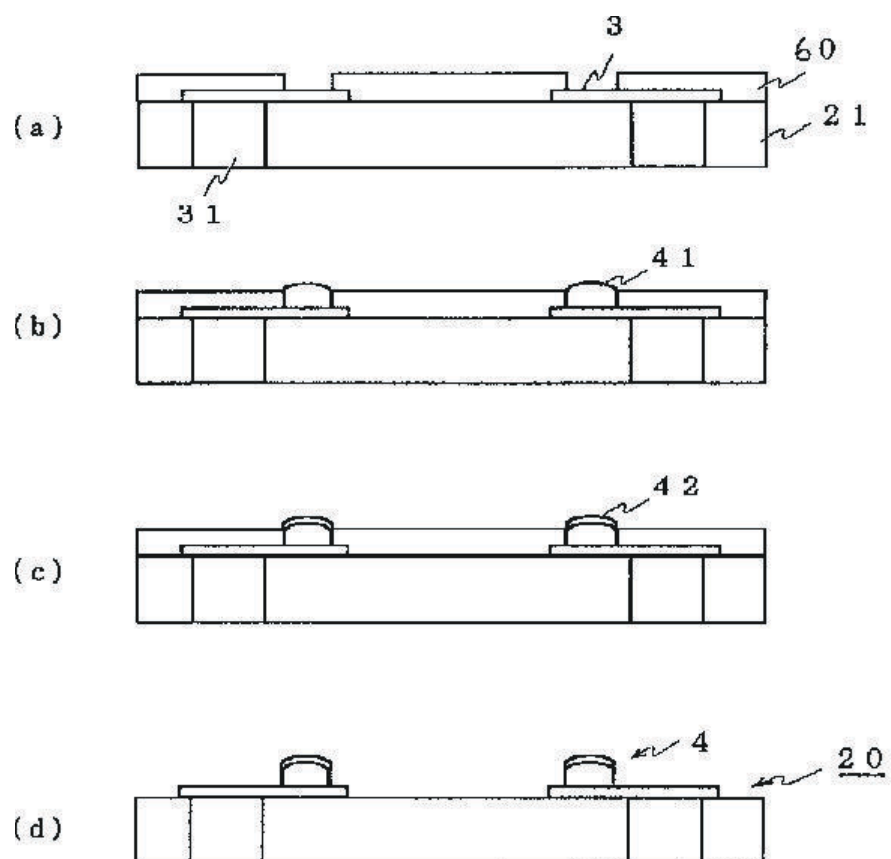
[FIG. 2]



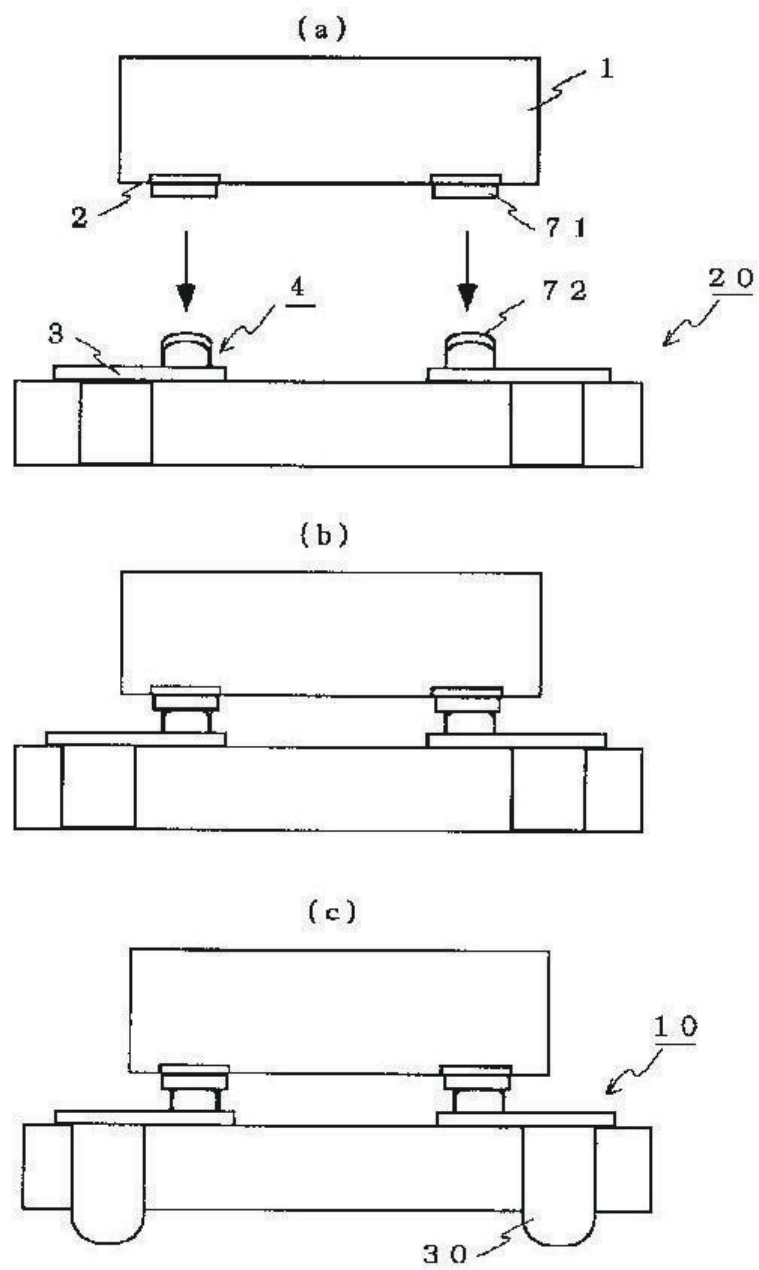
[FIG. 3]



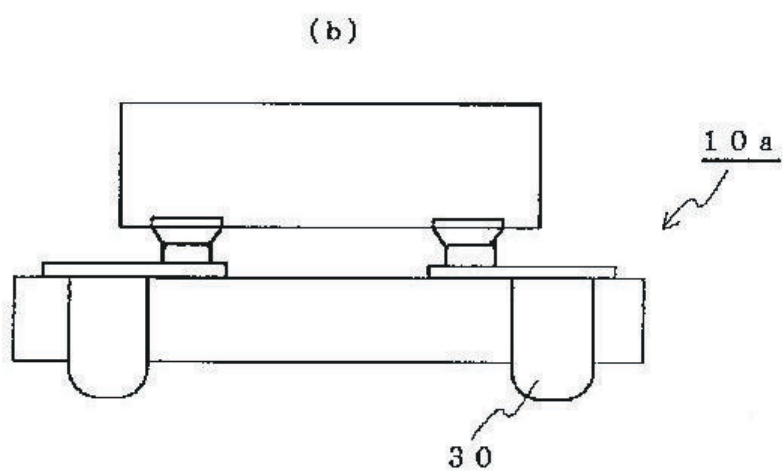
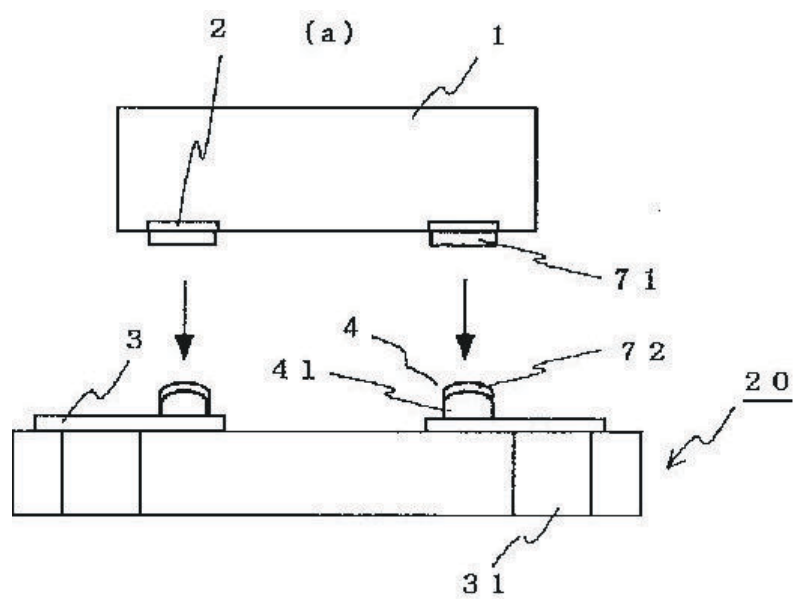
[FIG. 4]



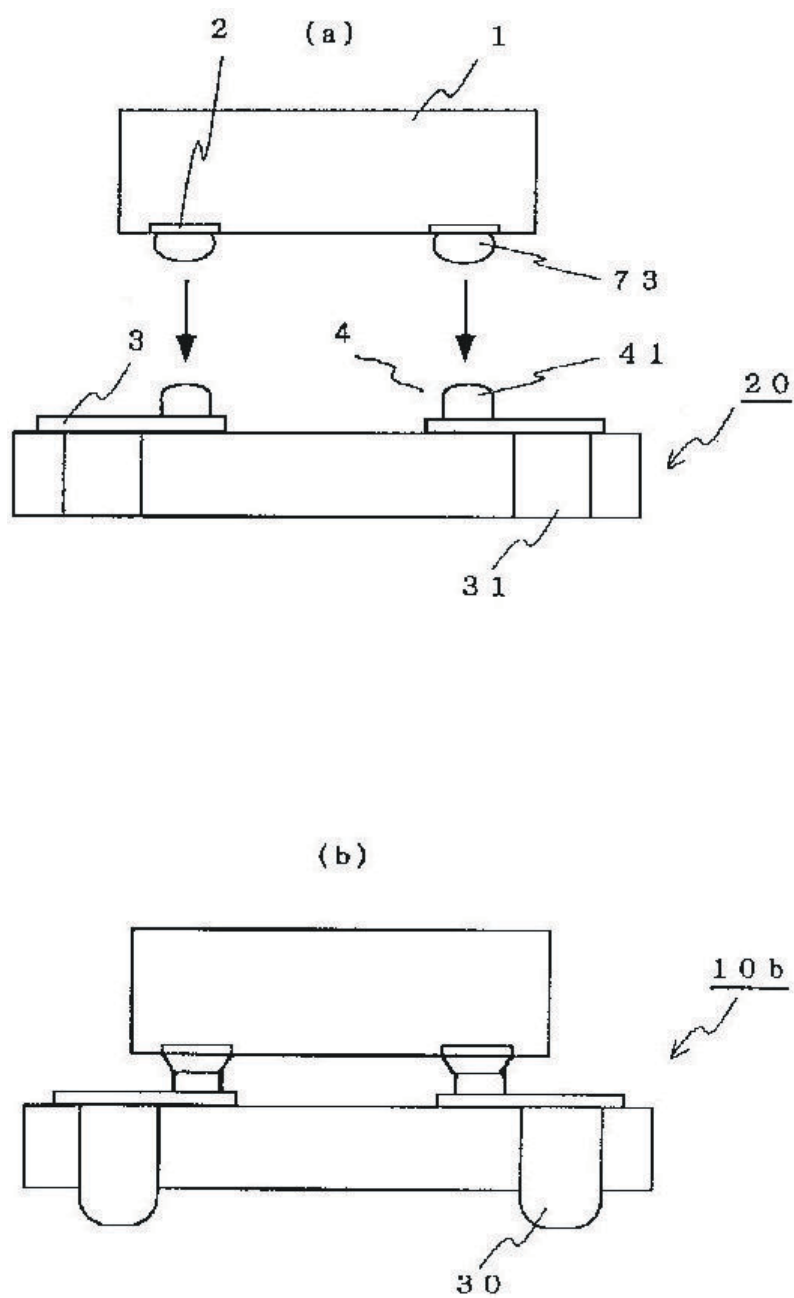
[FIG. 5]



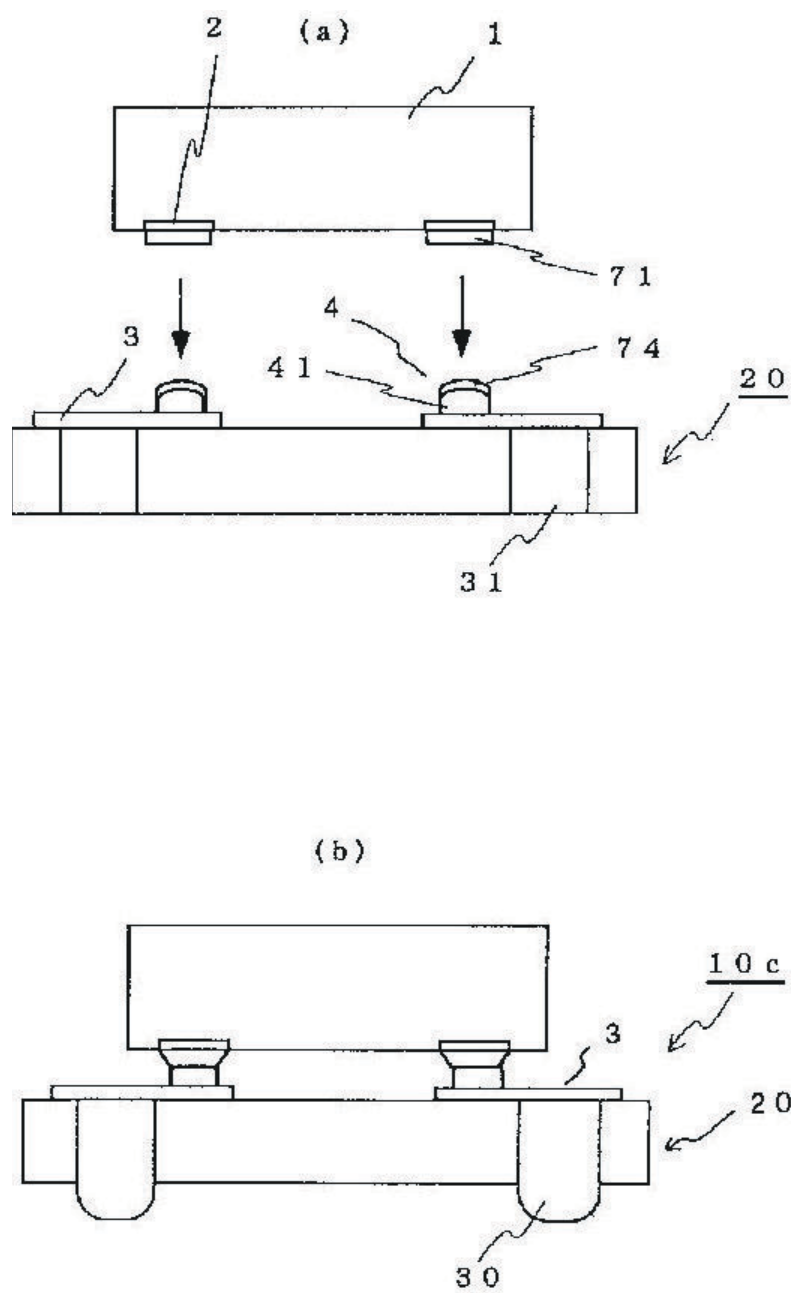
[FIG. 6]



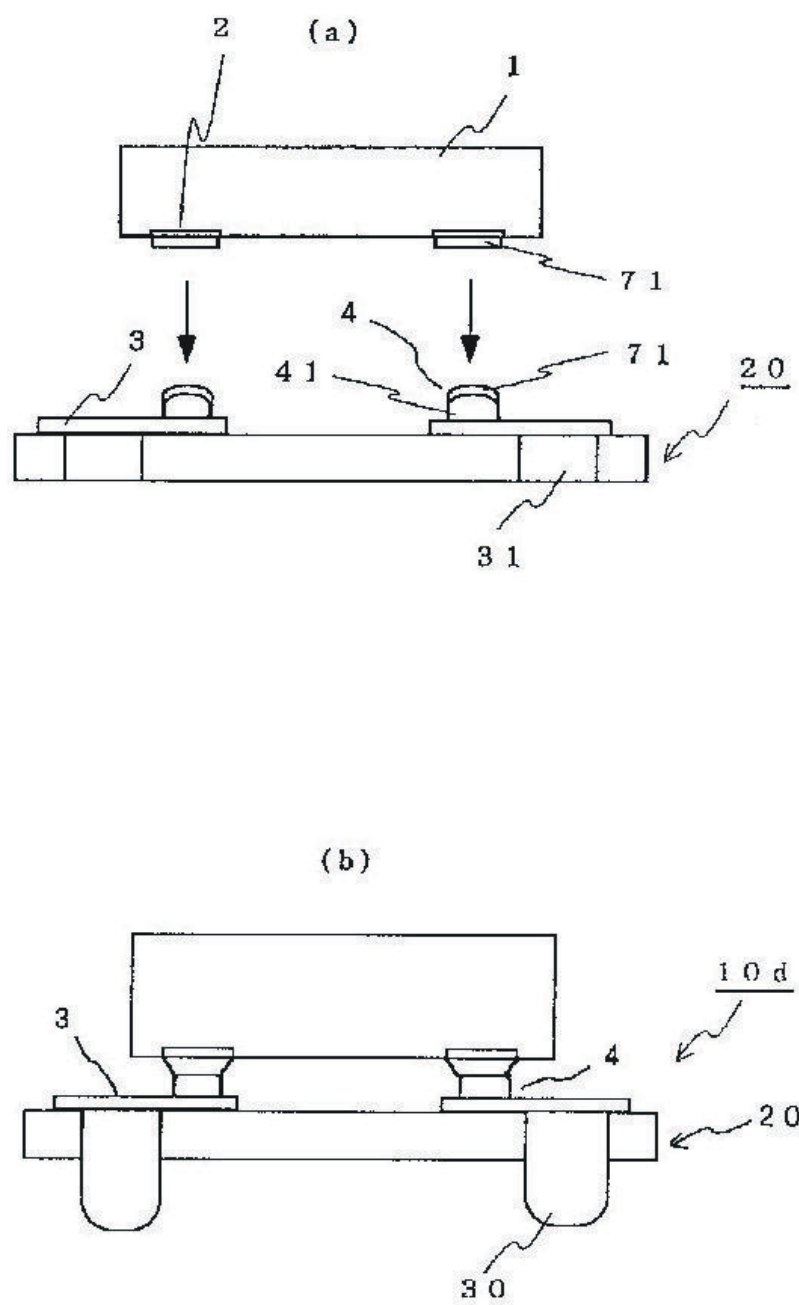
[FIG. 7]



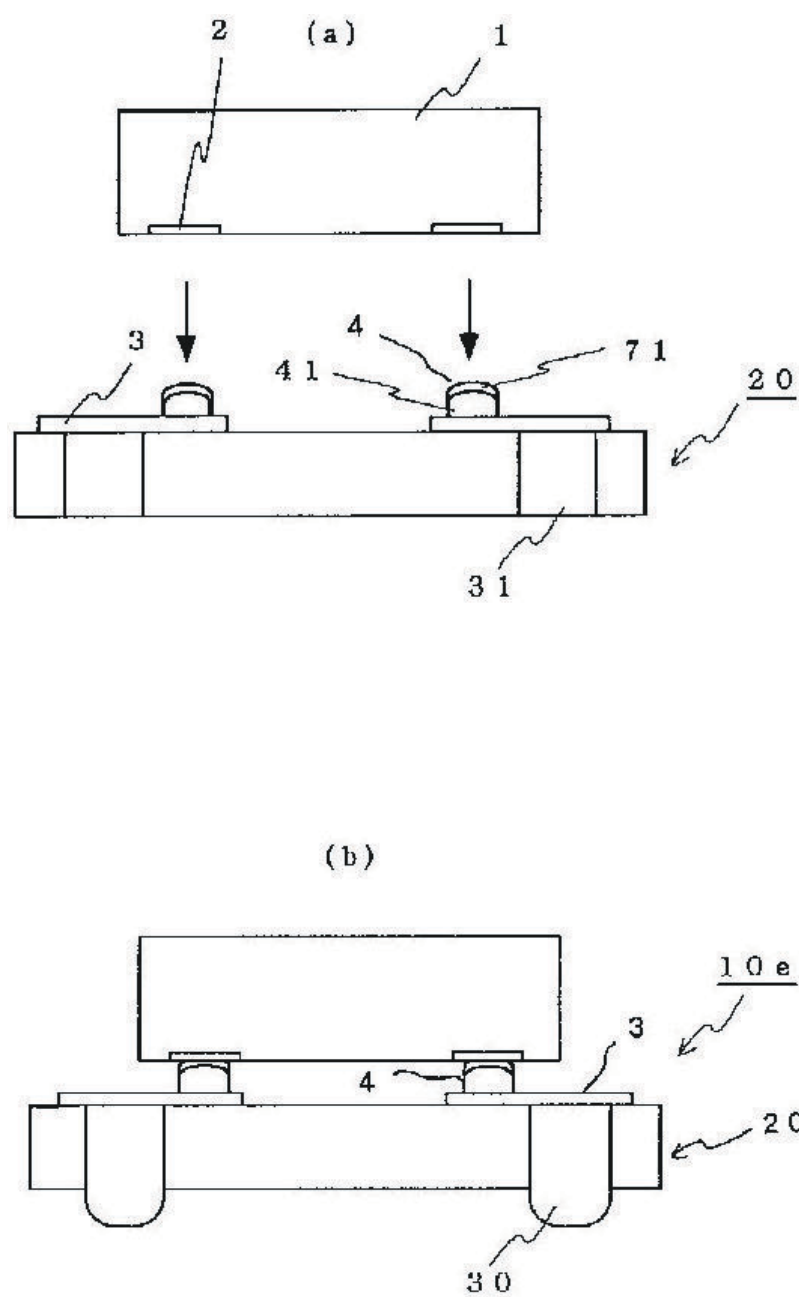
[FIG. 8]



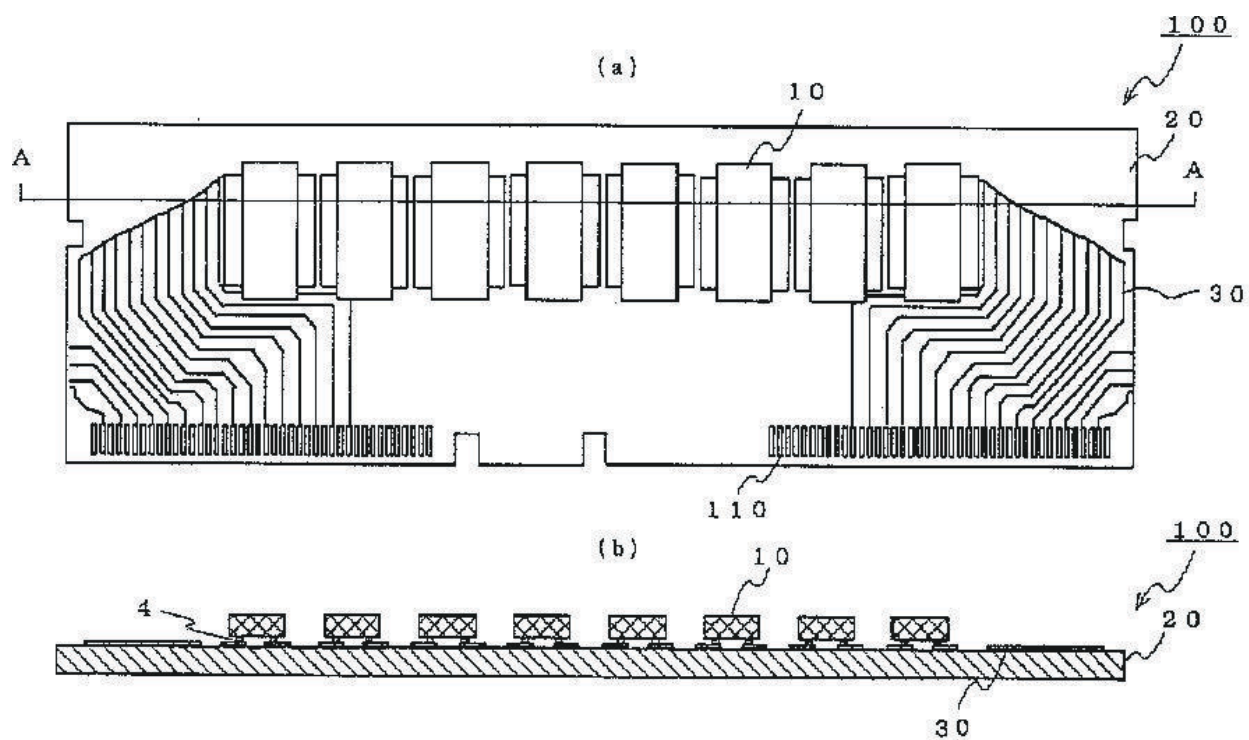
[FIG. 9]



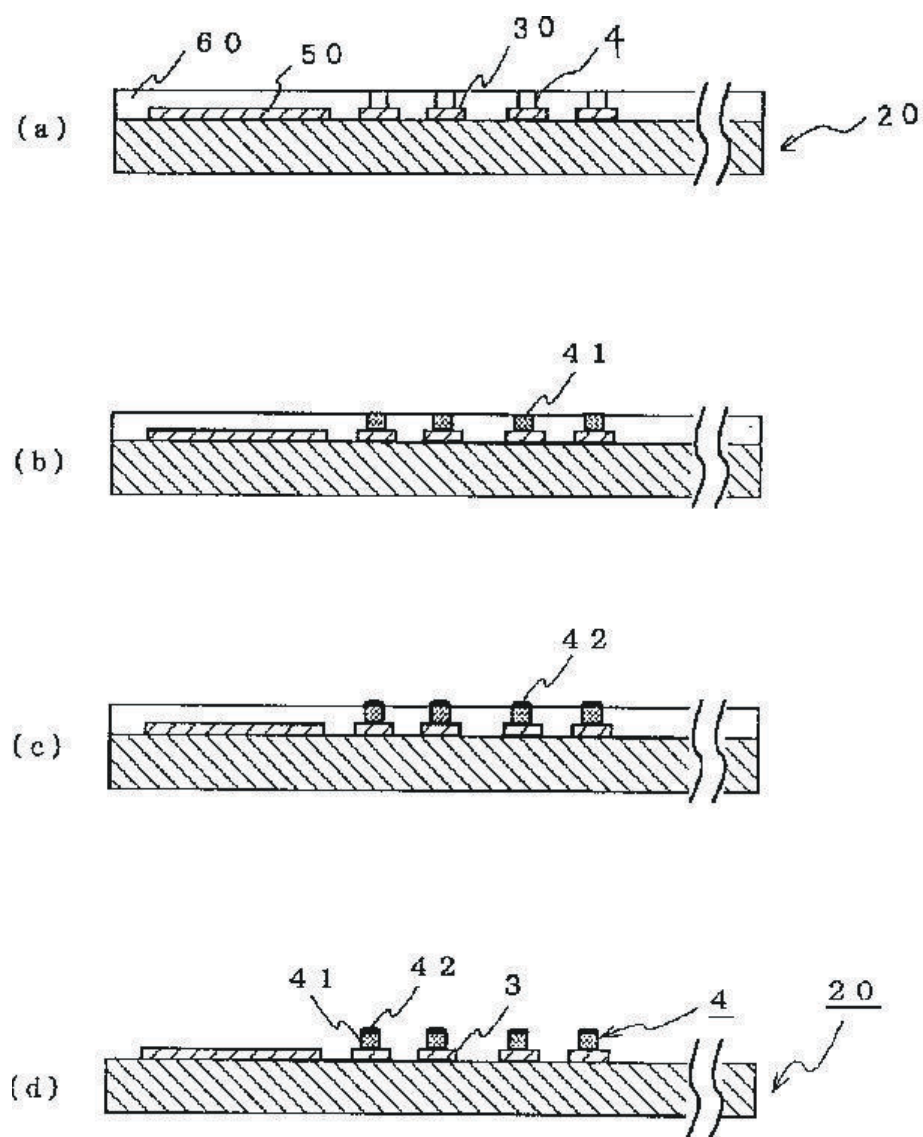
[FIG. 10]



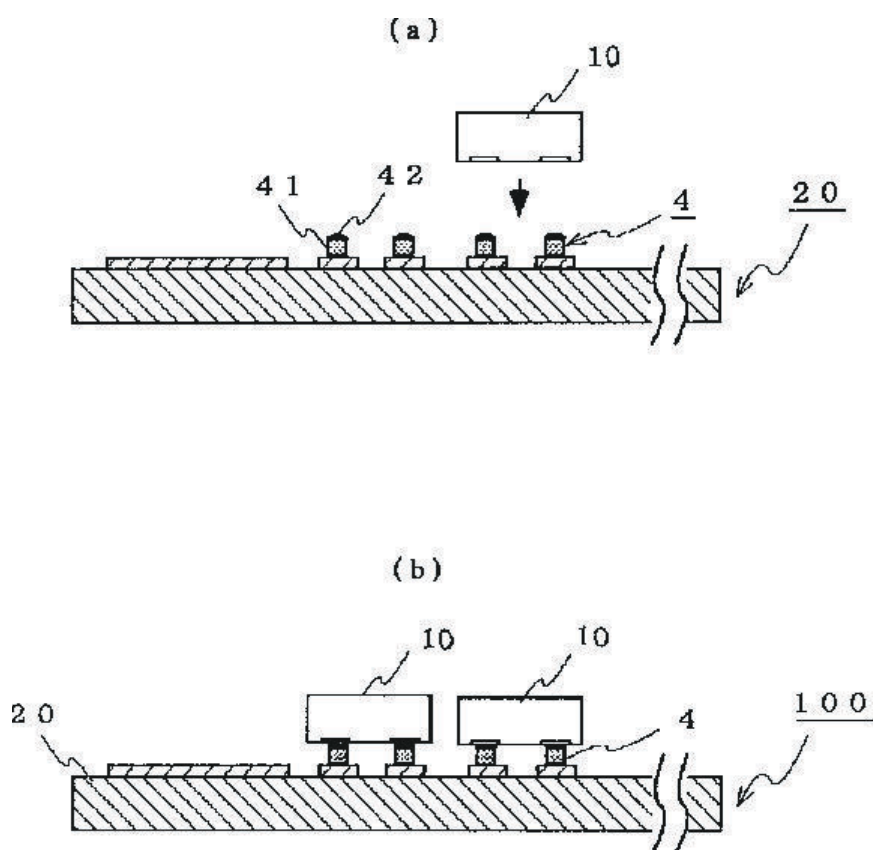
[FIG. 11]



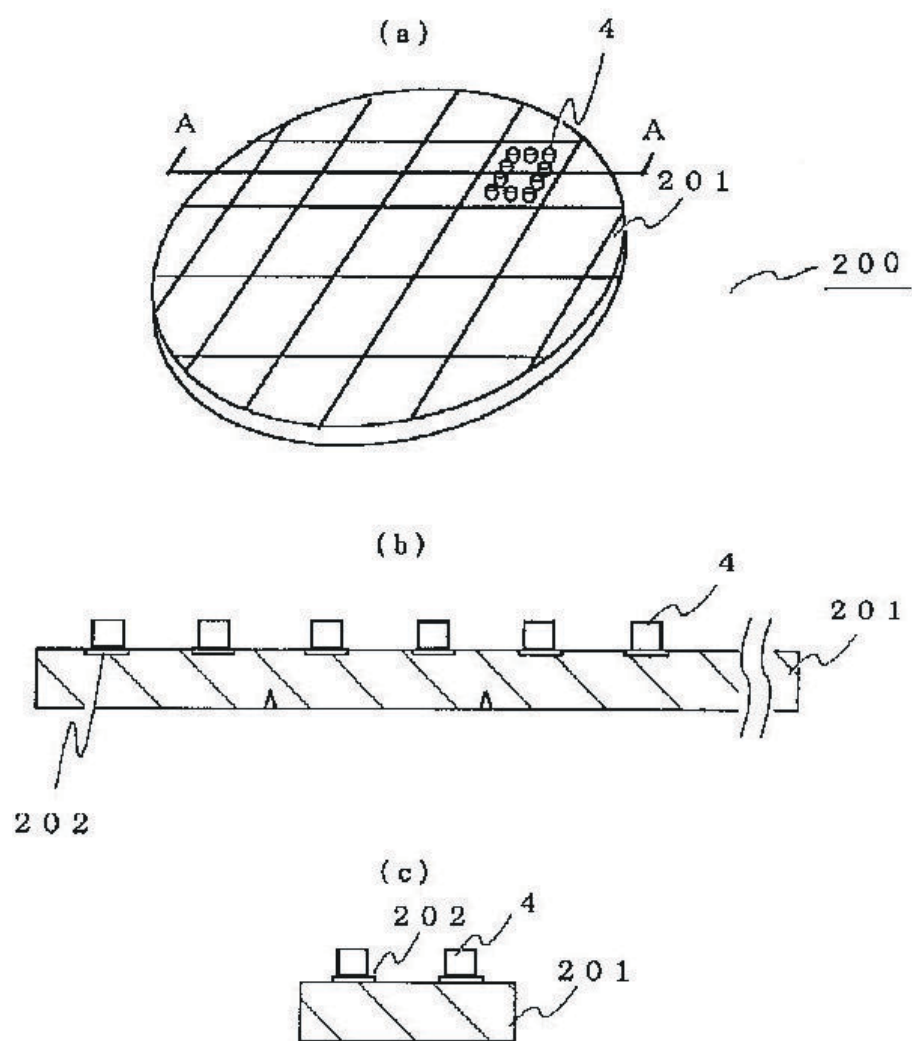
[FIG. 12]



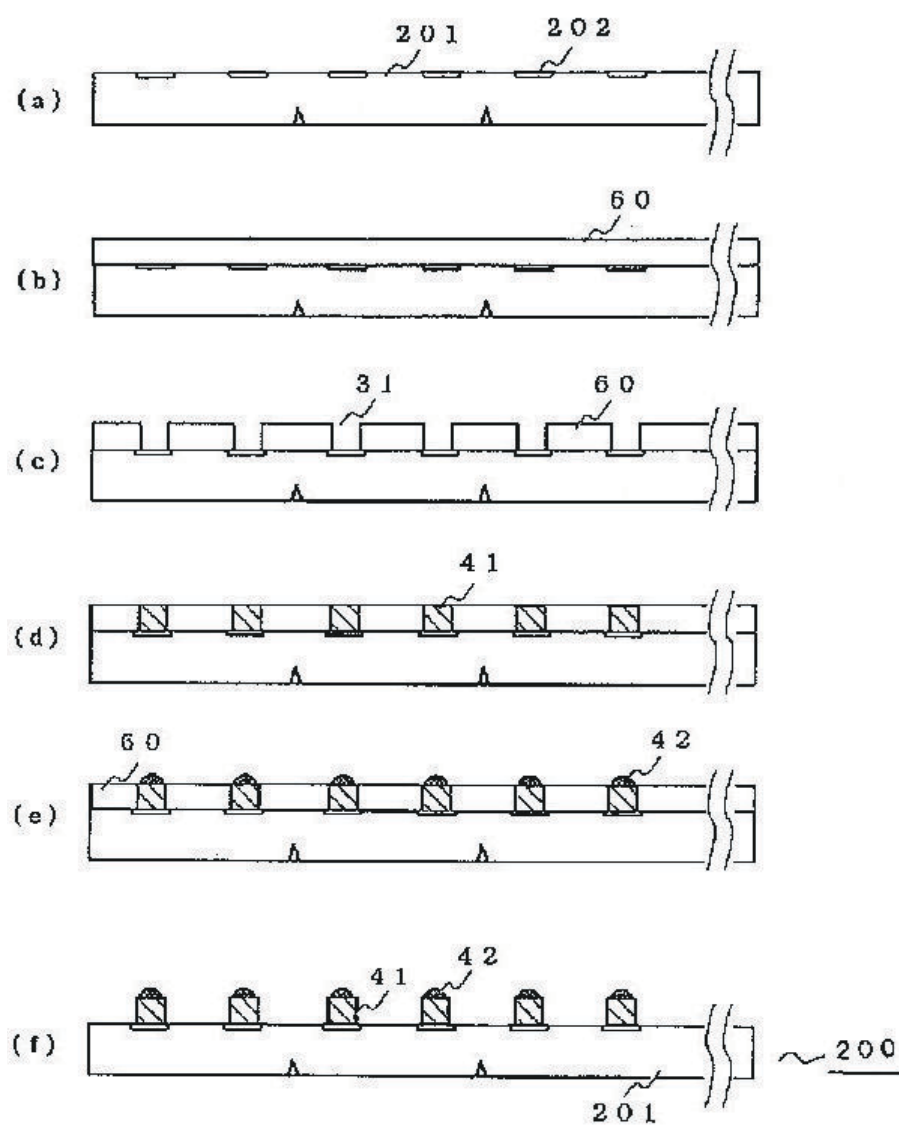
[FIG. 13]



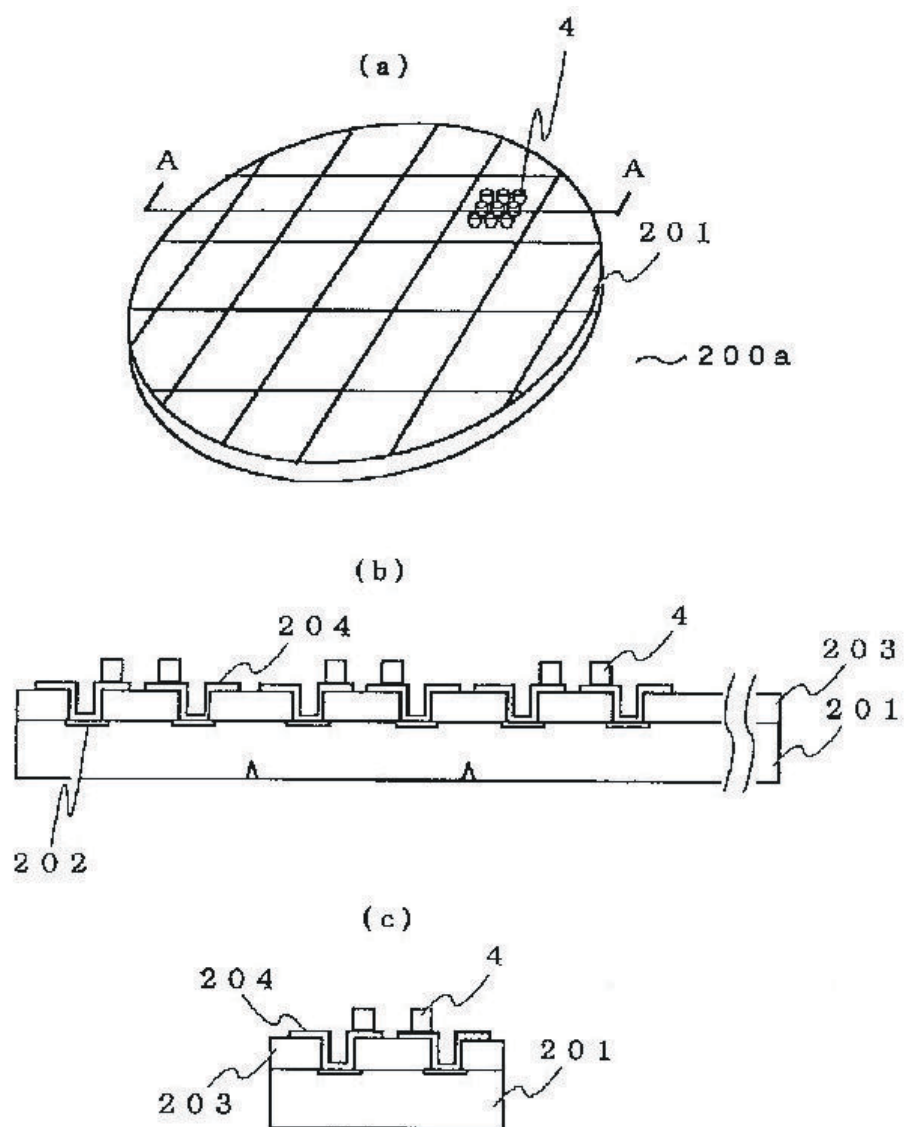
[FIG. 14]



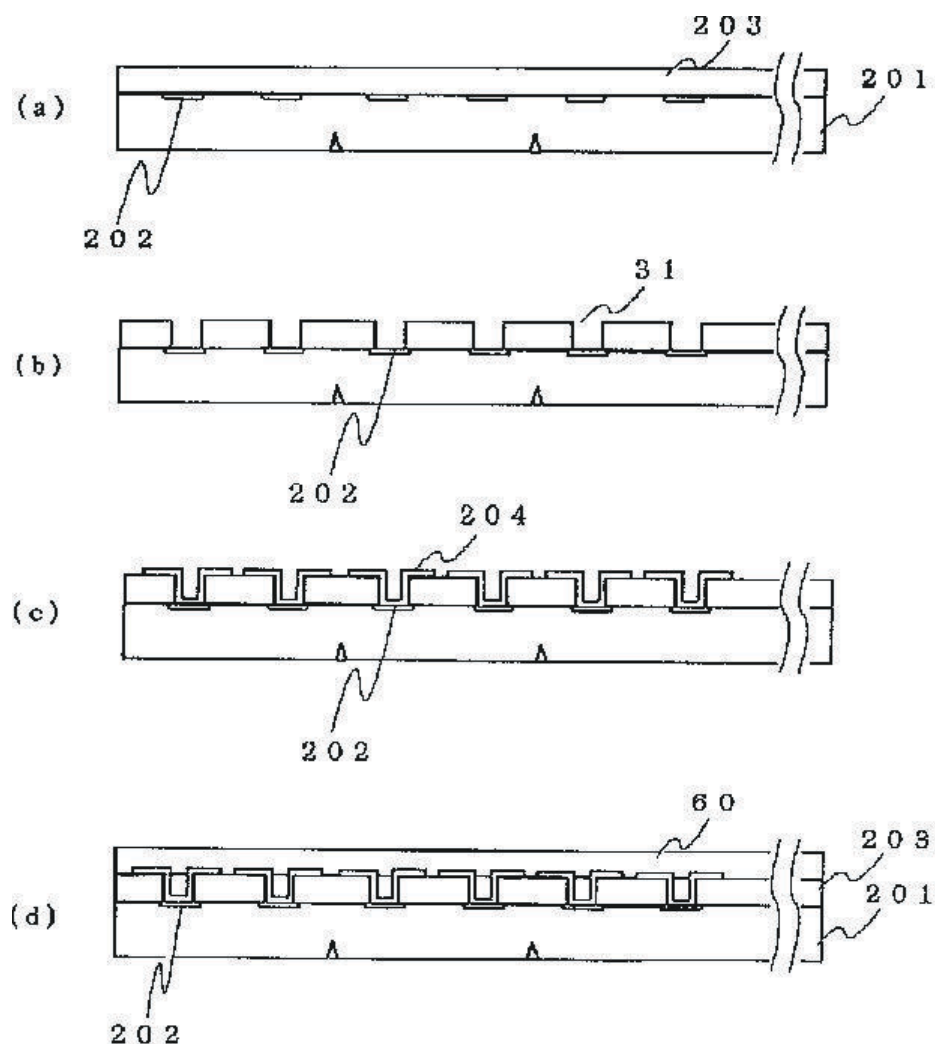
[FIG. 15]



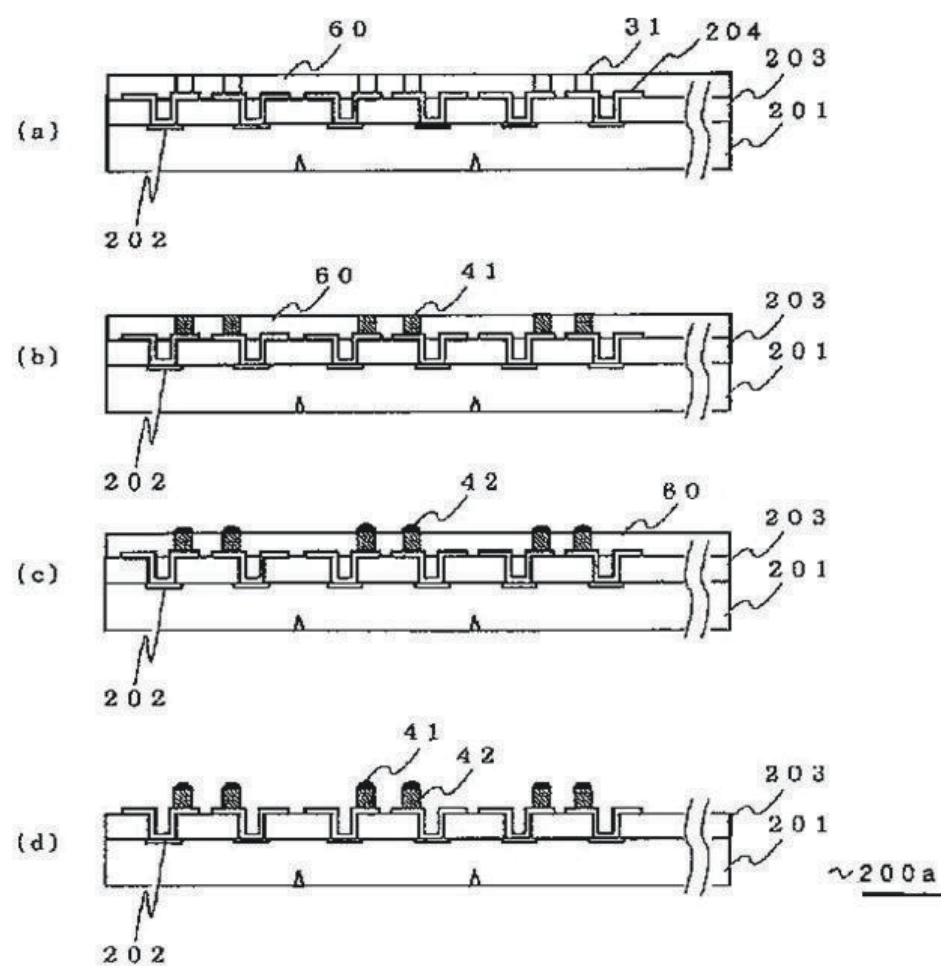
[FIG. 16]



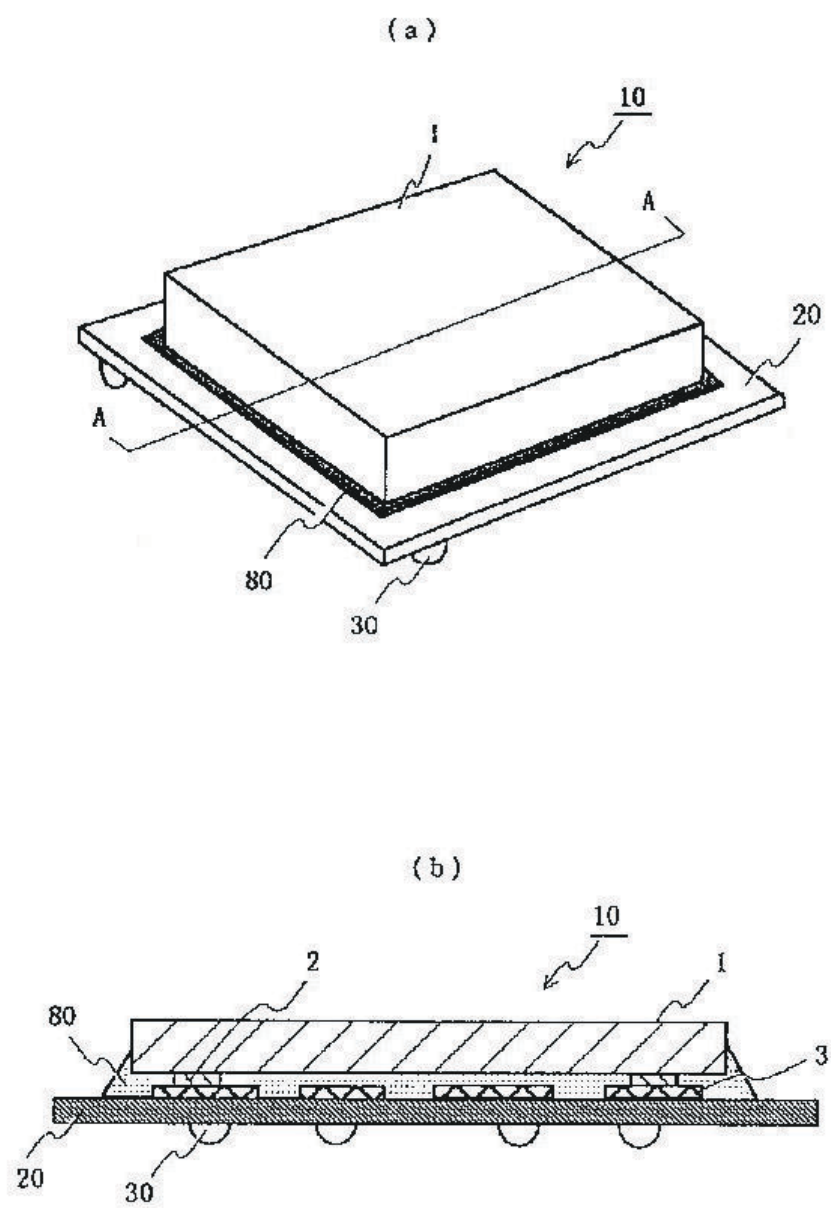
[FIG. 17]



[FIG. 18]



[FIG. 19]



Certification of Accuracy

I, Frank McGee, personally performed this translation. I am a translator in the Japanese and English languages, and on behalf of Source IP, do solemnly and sincerely declare that the following is, to the best of my knowledge and belief, a true and correct translation of the document listed below in a form that reflects the intention and meaning of the original text.

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code.

The document is designated as:

JP 2001-085473



Frank McGee

September 16, 2024

(11)特許出願公開番号

特開2001-85473

(P2001-85473A)

(43)公開日 平成13年3月30日(2001.3.30)

(51)Int.Cl. ⁷	識別記号	F I	テームコード*(参考)
H 0 1 L 21/60	3 1 1	H 0 1 L 21/60	3 1 1 S 5 E 3 1 9
23/12		H 0 5 K 1/18	J 5 E 3 3 6
H 0 5 K 1/18		3/34	5 0 5 A 5 F 0 4 4
3/34	5 0 5	H 0 1 L 23/12	F

審査請求 未請求 請求項の数23 O.L (全 18 頁)

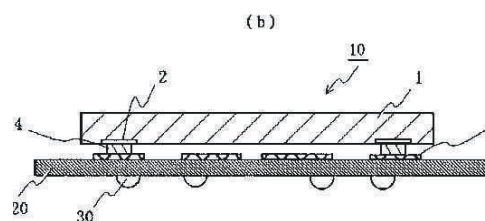
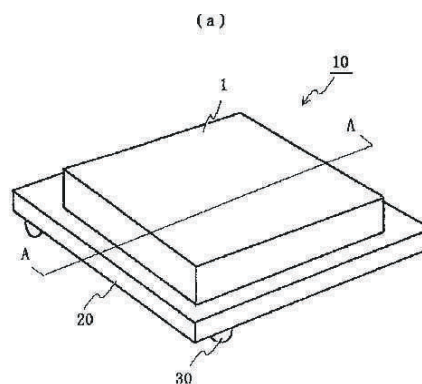
(21)出願番号	特願平11-261408	(71)出願人	000005120 日立電線株式会社 東京都千代田区大手町一丁目6番1号
(22)出願日	平成11年9月16日(1999.9.16)	(72)発明者	御田 護 茨城県日立市助川町3丁目1番1号 日立 電線株式会社電線工場内
		Fターム(参考)	5E319 AA03 AB05 AC17 CC12 GG11 5E336 AA04 BB15 BC34 CC32 CC36 EE05 GG01 5F044 KK01 KK18 KK19 LL00

(54)【発明の名称】 配線基板、半導体装置、それを用いた電子装置及びそれらの製造方法

(57) 【要約】

【課題】熱応力による半導体チップまたは半導体装置のクラックを防止する。

【解決手段】絶縁基材に導電材料で形成された1層または複数層の配線パターンが配設されてなる配線基板と、前記配線パターンと電気的に接続される電極パッドを有する半導体チップと、前記配線パターンに電気的に接続される外部出力端子を備えた半導体装置であって、前記絶縁基材の半導体チップが搭載される配線パターン上に、前記絶縁基材と半導体チップとの間に生じる熱応力の緩衝を行うタワーバンプを設け、前記タワーバンプを介して半導体チップと前記配線パターンとを電気的に接続する。



【特許請求の範囲】

【請求項 1】絶縁基材に導電材料で形成された 1 層または複数層の配線パターンが配設され、半導体チップを搭載する配線基板において、前記絶縁基材の半導体チップが搭載される配線パターン上に、前記半導体チップ及び前記配線パターンの電氣的接続と、前記絶縁基材と半導体チップとの間に発生する熱応力の緩衝とを行うタワーバンパを設けたことを特徴とする配線基板。

【請求項 2】前記請求項 1 に記載の配線基板において、前記配線パターンと電氣的に接続するボールまたは、バンパ型外部出力端子を有することを特徴とする配線基板。

【請求項 3】絶縁基材に導電材料で形成された 1 層または複数層の配線パターンが配設され、複数の半導体装置を搭載する電子装置の配線基板において、前記絶縁基材の半導体装置が搭載される配線パターン上に、前記半導体装置及び前記配線パターンの電氣的接続と、前記絶縁基材と半導体装置との間に発生する熱応力の緩衝とを行うタワーバンパを設けたことを特徴とする配線基板。

【請求項 4】前記請求項 1 乃至 3 のうちのいずれか 1 項に記載の配線基板において、前記タワーバンパは、前記絶縁基材と、半導体チップまたは半導体装置との間に発生する熱応力の緩衝を行う金属バンパと、その金属バンパ上に設けられる半導体チップ、または半導体装置との電氣的接続を行う接合用めっき層と、から構成されることを特徴とする配線基板。

【請求項 5】前記請求項 4 に記載の配線基板において、前記金属バンパは、半導体チップ、または半導体装置の搭載時の接続温度で相変態がない導電材料であることを特徴とする配線基板。

【請求項 6】絶縁基材に導電材料で形成された 1 層または複数層の配線パターンが配設されてなる配線基板と、前記配線パターンと電氣的に接続される電極パッドを有する半導体チップと、前記配線パターンに電氣的に接続される外部出力端子を備えた半導体装置であって、前記絶縁基材の半導体チップが搭載される配線パターン上に、前記絶縁基材と半導体チップとの間に発生する熱応力の緩衝を行うタワーバンパを設け、前記タワーバンパを介して半導体チップと前記配線パターンとを電氣的に接続したことを特徴とする半導体装置。

【請求項 7】前記請求項 6 に記載の半導体装置において、前記配線基板のタワーバンパは、前記絶縁基材と半導体チップとの間に発生する熱応力の緩衝を行う金属バンパと、その金属バンパ上に設けられる半導体チップとの電氣的接続を行う接合用めっき層と、から構成されることを特徴とする半導体装置。

【請求項 8】前記請求項 7 に記載の半導体装置において、前記金属バンパは、半導体チップ搭載時の接続温度で相変態がない導電材料であることを特徴とする半導体装置。

【請求項 9】前記請求項 7、または 8 のいずれか 1 項に記載の半導体装置において、前記複数の電極パッドに金バンパを、前記タワーバンパに錫の接合用めっき層を設け、前記電氣的接続が金と錫による第一共晶点の融点（217℃）を利用した金錫接合からなることを特徴とする半導体装置。

【請求項 10】ウエハ上に電極パッド及び回路素子からなる複数組の半導体チップが形成され、前記各電極パッド上に他の電子装置との接続を行う外部出力端子を形成し、前記各半導体チップ毎に前記ウエハから切り離して得られる WPP（Wafer Process Package）型半導体装置であって、前記外部出力端子は、他の電子装置とウエハとの間に発生する熱応力の緩衝を行うタワーバンパであることを特徴とする WPP 型半導体装置。

【請求項 11】ウエハ上に電極パッド及び回路素子からなる複数組の半導体チップが形成され、前記各電極パッド上に他の電子装置との接続を行う外部出力端子を形成し、前記各半導体チップ毎に前記ウエハから切り離して得られる WPP 型半導体装置であって、前記電極パッドから引き出される再配線パターンと、前記再配線パターンと他の電極パッドと回路素子とをそれぞれ絶縁する絶縁材とを有し、他の電子装置とウエハとの間に発生する熱応力の緩衝を行うタワーバンパを前記再配線パターン上に設けたことを特徴とする WPP 型半導体装置。

【請求項 12】前記請求項 3 乃至 5 のうちのいずれか 1 項に記載の配線基板に半導体装置を搭載してなる半導体装置モジュールを有することを特徴とする電子装置。

【請求項 13】前記請求項 6 乃至 11 のうちのいずれか 1 項に記載の半導体装置を配線基板に搭載してなる半導体装置モジュールを有することを特徴とする電子装置。

【請求項 14】絶縁基材に導電材料で形成された配線パターンが配設され、半導体チップ、半導体装置、または電子装置を搭載する配線基板の製造方法であって、前記絶縁基材を用意し、その絶縁基材に外部出力端子の設定用穴及びパッケージ外形穴を加工し、その加工された絶縁基材の上に、導電材料箔を貼り合せ、その導電材料箔上に所定厚のレジストを塗布して、前記半導体チップ、半導体装置、または電子装置と接続する部分に炭酸ガスレーザー等で穴を開けて前記導電材料箔を露出させ、その導電材料箔上に金属めっきで金属バンパ（タワーバンパ）を形成し、前記レジストを取り除き、前記導電材料箔のエッチングを行い、配線パターンを形成することを特徴とする配線基板の製造方法。

【請求項 15】絶縁基材に導電材料で形成された配線パターンが配設され、半導体チップ、半導体装置、または電子装置を搭載する配線基板の製造方法であって、前記絶縁基材を用意し、その絶縁基材に外部出力端子の設定用穴及びパッケージ外形穴を加工し、その加工された絶縁基材の上に、導電材料箔を貼り合せ、前記導電材料箔のエッチングを行って配線パターンを形成し、その絶縁

基材及び配線パターン上に所定厚のレジストを塗布して、前記半導体チップ、半導体装置、または電子装置と接続する部分に炭酸ガスレーザー等で穴を開けて接続箇所の配線パターンを露出させ、その配線パターン上に金属めっきで金属バンプ（タワーバンプ）を形成し、前記レジストを取り除くことを特徴とする配線基板の製造方法。

【請求項 16】前記請求項 14、または 15 のいずれか 1 項に記載の配線基板の製造方法において、前記レジストを取り除く前に、前記金属バンプ上に半導体チップ、半導体装置、または電子装置との接続を行う接合層を金属めっきで形成することを特徴とする配線基板の製造方法。

【請求項 17】絶縁基材に導電材料で形成された配線パターンが配設され、半導体チップを搭載する配線基板を有する半導体装置の製造方法であって、前記絶縁基材を用意し、その絶縁基材に外部出力端子の設定用穴及びパッケージ外形穴を加工し、その加工された絶縁基材の上に、導電材料箔を貼り合せ、その導電材料箔上に所定厚のレジストを塗布して、前記半導体チップと接続する部分に炭酸ガスレーザー等で穴を開けて前記導電材料箔を露出させ、その導電材料箔上に金属めっきで金属バンプ（タワーバンプ）を形成し、前記レジストを取り除き、前記導電材料箔のエッチングを行い、配線パターンを形成し、前記半導体チップの電極パッドと前記金属バンプ（タワーバンプ）との位置合わせを行った後、前記半導体チップを加圧加熱を行い、前記電極パッドと前記金属バンプとを拡散反応させて接合を形成し、前記配線パターンと電気的に接続された外部出力端子を形成したことを特徴とする半導体装置の製造方法。

【請求項 18】絶縁基材に導電材料で形成された配線パターンが配設され、半導体チップを搭載する配線基板を有する半導体装置の製造方法であって、前記絶縁基材を用意し、その絶縁基材に外部出力端子の設定用穴及びパッケージ外形穴を加工し、その加工された絶縁基材の上に、導電材料箔を貼り合せ、前記導電材料箔のエッチングを行って配線パターンを形成し、その絶縁基材及び配線パターン上に所定厚のレジストを塗布して、前記半導体チップと接続する部分に炭酸ガスレーザー等で穴を開けて接続箇所の配線パターンを露出させ、その配線パターン上に金属めっきで金属バンプ（タワーバンプ）を形成し、前記レジストを取り除き、前記半導体チップの電極パッドと前記金属バンプとの位置合わせを行った後、前記半導体チップを加圧加熱を行い、前記電極パッドと前記金属バンプ（タワーバンプ）とを拡散反応させて接合を形成し、前記配線パターンと電気的に接続された外部出力端子を形成したことを特徴とする半導体装置の製造方法。

【請求項 19】前記請求項 17、または 18 のいずれか 1 項に記載の半導体装置の製造方法において、前記半導

体チップの主面に形成された電極パッドの接続部分と前記金属バンプ（タワーバンプ）の接続部分とにそれぞれ金もしくは錫のめっきを形成し、前記電極パッドの接続部分の錫もしくは金と前記金属バンプの接続部分の金もしくは錫を密着させ、金錫の第一共晶点の温度以上で前記絶縁基材に影響を与える温度以下での加熱を行い、第一共晶点の融点を利用した拡散反応による金錫接合を形成することを特徴とする半導体装置の製造方法。

【請求項 20】ウエハ上に電極パッド及び回路素子からなる複数組の半導体チップが形成され、前記各電極パッド上に他の電子装置との接続を行う外部出力端子を形成し、前記各半導体チップ毎に前記ウエハから切り離して得られる WPP（Wafer Process Package）型半導体装置の製造方法であって、前記ウエハ上に回路素子及び電極パッドを形成し、その回路素子上にパッシベーション膜を設け、形成された電極パッド上にレジストを貼り付け、前記外部出力端子の形成箇所のレジストに穴を開け、前記電極パッドを露出させ、その露出させた電極パッド上に金属めっきで金属バンプを形成し、前記レジストを取り除き、ウエハを細断することを特徴とする WPP 型半導体装置を製造方法。

【請求項 21】ウエハ上に電極パッド及び回路素子からなる複数組の半導体チップが形成され、前記各電極パッド上に他の電子装置との接続を行う外部出力端子を形成し、前記各半導体チップ毎に前記ウエハから切り離して得られる WPP 型半導体装置の製造方法であって、前記ウエハ上に回路素子及び電極パッドを形成し、その上に絶縁基材を設け、その絶縁基材に穴を開け、電極パッドを露出させ、その絶縁基材上から銅めっきを施し、スルーホール電極を形成し、その形成されたスルーホール電極上にレジストを貼り付け、前記外部出力端子の形成箇所のレジストに穴を開け、スルーホール電極を露出させ、その露出させたスルーホール電極上に金属めっきで金属バンプを形成し、前記レジストを取り除き、前記ウエハを細断することを特徴とする WPP 型半導体装置の製造方法。

【請求項 22】絶縁基材に導電材料で形成された配線パターンが配設され、半導体チップまたは半導体装置を搭載する配線基板を有する電子装置の製造方法であって、前記絶縁基材を用意し、その絶縁基材に外部出力端子の設定用穴及びパッケージ外形穴を加工し、その加工された絶縁基材の上に、導電材料箔を貼り合せ、その導電材料箔上に所定厚のレジストを塗布して、前記半導体チップ、半導体装置、または電子装置と接続する部分に炭酸ガスレーザー等で穴を開けて前記導電材料箔を露出させ、その導電材料箔上に金属めっきで金属バンプ（タワーバンプ）を形成し、前記レジストを取り除き、前記導電材料箔のエッチングを行い、配線パターンを形成し、前記半導体チップまたは半導体装置の接続部分と前記金属バンプ（タワーバンプ）との位置合わせを行った後、

前記半導体チップまたは半導体装置の加圧加熱を行い、前記半導体チップまたは半導体装置の接続部分と前記金属バンプとを拡散反応させて接合を形成したことを特徴とする電子装置の製造方法。

【請求項 23】絶縁基材に導電材料で形成された配線パターンが配設され、半導体チップまたは半導体装置を搭載する配線基板を有する電子装置の製造方法であって、前記絶縁基材を用意し、その絶縁基材に外部出力端子の設定用穴及びパッケージ外形穴を加工し、その加工された絶縁基材の上に、導電材料箔を貼り合せ、前記導電材料箔のエッチングを行って配線パターンを形成し、その絶縁基材及び配線パターン上に所定厚のレジストを塗布して、前記半導体チップまたは半導体装置と接続する部分に炭酸ガスレーザー等で穴を開けて接続箇所の配線パターンを露出させ、その配線パターン上に金属めっきで金属バンプ（タワーバンプ）を形成し、前記レジストを取り除き、前記半導体チップまたは半導体装置の接続部分と前記金属バンプとの位置合わせを行った後、前記半導体チップまたは半導体装置の加圧加熱を行い、前記半導体チップまたは半導体装置の接続部分と前記金属バンプ（タワーバンプ）とを拡散反応させて接合を形成したことを特徴とする電子装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、配線基板、半導体装置及びそれを用いた電子装置及びその製造方法に関し、特に、半導体装置、電子装置の配線基板、TCP型配線基板に半導体チップを搭載したCSP型半導体装置、ウエハプロセスで製造するWPP型半導体装置及びそれを用いた電子装置及びその製造方法に適用して有効な技術に関するものである。

【0002】

【従来の技術】従来のテープを基材とする配線基板に半導体チップを搭載したTCP（Tape Carrier Package）型半導体装置（以下、単にTCPと記す）は、図19に示すようなものがある。図19は、TCPを説明するための図であり、図19（a）は立体図、図19（b）は図19（a）に示すA-A線で切った断面図である。

【0003】図19に示すように、TCP10はベースフィルムにインナーリード3を含む配線パターンが形成された配線テープ（配線基板）20を形成し、そのインナーリード3と電極パッド2を接合することでフェースダウンで半導体チップ1と配線テープ20を接続し、アンダフィル材80によって樹脂封止した構造となっている。

【0004】配線テープ20は、ポリイミド樹脂などによるベースフィルムと、その上に形成されるインナーリード3を含む配線パターンと、その配線パターンと電気的に接続され、外部出力端子の役目をする半田バンプ30によって構成され、その半田バンプ30によってT

CP10は電子装置のマザーボード配線基板に搭載される形になる。

【0005】ここでは、半導体チップ1の主面には、突起形状のバンプが電極パッド2上に形成されているが、これはインナーリード3との接続を容易にし、且つ接続の信頼性を高めるのが目的である。

【0006】上述の電極パッド2上のバンプは、通常、電気めっきによって20μm程度の厚さの金で形成され、また、インナーリード3には、無電解銅めっきが0.2～0.3μmの厚さに施される。このインナーリード3の先端と電極パッド2の金バンプとは、通常500℃の高温ツールを用いて接続している。これは金と錫の2元素平衡状態図における、金90重量%（残り錫）の共晶組成の融点278℃を利用しているためである。500℃のツール温度では、金90重量%（残り錫）の共晶組成の反応層が接合界面に厚く成長して、接合が行われる。

【0007】

【発明が解決しようとする課題】上述した従来の半導体装置は以下に示すような問題点がある。

【0008】一般に、半導体チップ1の熱膨張係数は3PPM/℃であり、また、フレキシブル配線基板20のベースフィルムであるポリイミド樹脂の熱膨張係数は20PPM/℃であることから、中間に介在する電極パッド2上の金バンプは温度サイクル試験において熱応力の集中点になってしまう。このために、アンダフィル材80で周辺を固め、熱応力がこの電極パッド2上の金バンプに集中しないように、この熱応力のかかるところを半導体チップ1と配線テープ20の方に分散している。

【0009】しかし、半導体チップ1はフェースダウン接続しているため、このアンダフィル材80を用いることで、半導体チップ1側に余計な熱応力がかかり、半導体チップ1の素子形成面にクラックが生じることがあるという問題点があった。

【0010】本発明は、上記問題点を解決するために成されたものであり、熱応力により生じる半導体チップのクラックを防止することが可能な技術を提供することにある。

【0011】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0012】（1）絶縁基材に導電材料で形成された1層または複数層の配線パターンが配設され、半導体チップを搭載する配線基板において、前記絶縁基材の半導体チップが搭載される配線パターン上に、前記半導体チップ及び前記配線パターンの電氣的接続と、前記絶縁基材と半導体チップとの間に発生する熱応力の緩衝とを行うタワーバンプを設けたことを特徴とする。

【0013】（2）（1）に記載の配線基板において、

前記配線パターンと電氣的に接続するボールまたは、バンプ型外部出力端子を有することを特徴とする。

【0014】(3) 絶縁基材に導電材料で形成された1層または複数層の配線パターンが配設され、複数の半導体装置を搭載する電子装置の配線基板において、前記絶縁基材の半導体装置が搭載される配線パターン上に、前記半導体装置及び前記配線パターンの電氣的接続と、前記絶縁基材と半導体装置との間に発生する熱応力の緩衝を行うタワーバンプを設けたことを特徴とする。

【0015】(4) (1)乃至(3)のうちのいずれか1つの配線基板において、前記タワーバンプは、前記絶縁基材と、半導体チップまたは半導体装置との間に発生する熱応力差の緩衝を行う金属バンプと、その金属バンプ上に設けられる半導体チップ、または半導体装置との電氣的接続を行う接合用めっき層と、から構成されることを特徴とする。

【0016】(5) (4)の配線基板において、前記金属バンプは、半導体チップ、または半導体装置の搭載時の接続温度で相変態がない導電材料であることを特徴とする。

【0017】(6) 絶縁基材に導電材料で形成された1層または複数層の配線パターンが配設されてなる配線基板と、前記配線パターンと電氣的に接続される電極パッドを有する半導体チップと、前記配線パターンに電氣的に接続される外部出力端子を備えた半導体装置であって、前記絶縁基材の半導体チップが搭載される配線パターン上に、前記絶縁基材と半導体チップとの間に発生する熱応力の緩衝を行うタワーバンプを設け、前記タワーバンプを介して半導体チップと前記配線パターンとを電氣的に接続したことを特徴とする。

【0018】(7) (6)の半導体装置において、前記配線基板のタワーバンプは、前記絶縁基材と半導体チップとの間に発生する熱応力の緩衝を行う金属バンプと、その金属バンプ上に設けられる半導体チップとの電氣的接続を行う接合用めっき層と、から構成されることを特徴とする。

【0019】(8) (7)の半導体装置において、前記金属バンプは、半導体チップ搭載時の接続温度で相変態がない導電材料であることを特徴とする。

【0020】(9) (7)または(8)のいずれか1つの半導体装置において、前記複数の電極パッドに金バンプを、前記タワーバンプに錫の接合用めっき層を設け、前記電氣的接続が金と錫による第一共晶点の融点(217℃)を利用した金錫接合からなることを特徴とする。

【0021】(10) ウエハ上に複数組の電極パッド及び回路素子からなる複数組の半導体チップが形成され、前記各電極パッド上に他の電子装置との接続を行う外部出力端子を形成し、前記各半導体チップ毎に前記ウエハから切り離して得られるWPP(Wafer Process Package)型半導体装置であって、前記外部出力端子は、他の

電子装置とウエハとの間に発生する熱応力の緩衝を行うタワーバンプであることを特徴とする。

【0022】(11) ウエハ上に電極パッド及び回路素子からなる複数組の半導体チップが形成され、前記各半導体チップ毎に前記ウエハから切り離して得られるWPP(Wafer Process Package)半導体装置であって、前記電極パッドから引き出される再配線パターンと、前記再配線パターンと他の電極パッドと回路素子とをそれぞれ絶縁する絶縁材とを有し、他の電子装置とウエハとの間に発生する熱応力の緩衝を行うタワーバンプを前記再配線パターン上に設けたことを特徴とする。

【0023】(12) (3)乃至(5)のうちのいずれか1つの配線基板に半導体装置を搭載してなる半導体装置モジュールを有することを特徴とする。

【0024】(13) (6)乃至(11)のうちのいずれか1つの半導体装置を電子装置の配線基板に搭載してなることを特徴とする。

【0025】(14) 絶縁基材に導電材料で形成された配線パターンが配設され、半導体チップ、半導体装置、または電子装置を搭載する配線基板の製造方法であって、前記絶縁基材を用意し、その絶縁基材に外部出力端子の設定用穴及びパッケージ外形穴を加工し、その加工された絶縁基材の上に、導電材料箔を貼り合せ、その導電材料箔上に所定厚のレジストを塗布して、前記半導体チップ、半導体装置、または電子装置と接続する部分に炭酸ガスレーザー等で穴を開けて前記導電材料箔を露出させ、その導電材料箔上に金属めっきで金属バンプ(タワーバンプ)を形成し、前記レジストを取り除き、前記導電材料箔のエッチングを行い、配線パターンを形成することを特徴とする。

【0026】(15) 絶縁基材に導電材料で形成された配線パターンが配設され、半導体チップ、半導体装置、または電子装置を搭載する配線基板の製造方法であって、前記絶縁基材を用意し、その絶縁基材に外部出力端子の設定用穴及びパッケージ外形穴を加工し、その加工された絶縁基材の上に、導電材料箔を貼り合せ、前記導電材料箔のエッチングを行って配線パターンを形成し、その絶縁基材及び配線パターン上に所定厚のレジストを塗布して、前記半導体チップ、半導体装置、または電子装置と接続する部分に炭酸ガスレーザー等で穴を開けて接続箇所の配線パターンを露出させ、その配線パターン上に金属めっきで金属バンプ(タワーバンプ)を形成し、前記レジストを取り除くことを特徴とする。

【0027】(16) (14)または(15)のいずれか1つの配線基板の製造方法において、前記レジストを取り除く前に、前記金属バンプ上に半導体チップ、半導体装置、または電子装置との接続を行う接合層を金属めっきで形成することを特徴とする。

【0028】(17) 絶縁基材に導電材料で形成された配線パターンが配設され、半導体チップを搭載する配線

基板を有する半導体装置の製造方法であって、前記絶縁基材を用意し、その絶縁基材に外部出力端子の設定用穴及びパッケージ外形穴を加工し、その加工された絶縁基材の上に、導電材料箔を貼り合せ、その導電材料箔上に所定厚のレジストを塗布して、前記半導体チップと接続する部分に炭酸ガスレーザー等で穴を開けて前記導電材料箔を露出させ、その導電材料箔上に金属めっきで金属バンパ（タワーバンパ）を形成し、前記レジストを取り除き、前記導電材料箔のエッチングを行い、配線パターンを形成し、前記半導体チップの電極パッドと前記金属バンパ（タワーバンパ）との位置合わせを行った後、前記半導体チップを加圧加熱を行い、前記電極パッドと前記金属バンパとを拡散反応させて接合を形成し、前記配線パターンと電気的に接続された外部出力端子を形成したことを特徴とする。

【0029】（18）絶縁基材に導電材料で形成された配線パターンが配設され、半導体チップを搭載する配線基板を有する半導体装置の製造方法であって、前記絶縁基材を用意し、その絶縁基材に外部出力端子の設定用穴及びパッケージ外形穴を加工し、その加工された絶縁基材の上に、導電材料箔を貼り合せ、前記導電材料箔のエッチングを行って配線パターンを形成し、その絶縁基材及び配線パターン上に所定厚のレジストを塗布して、前記半導体チップと接続する部分に炭酸ガスレーザー等で穴を開けて接続箇所の配線パターンを露出させ、その配線パターン上に金属めっきで金属バンパ（タワーバンパ）を形成し、前記レジストを取り除き、前記半導体チップの電極パッドと前記金属バンパとの位置合わせを行った後、前記半導体チップを加圧加熱を行い、前記電極パッドと前記金属バンパ（タワーバンパ）とを拡散反応させて接合を形成し、前記配線パターンと電気的に接続された外部出力端子を形成したことを特徴とする。

【0030】（19）（17）または（18）のいずれか1つの半導体装置の製造方法において、前記半導体チップの主面に形成された電極パッドの接続部分と前記金属バンパ（タワーバンパ）の接続部分とにそれぞれ金もしくは錫のめっきを形成し、前記電極パッドの接続部分の錫もしくは金と前記金属バンパの接続部分の金もしくは錫を密着させ、金錫の第一共晶点の温度以上で前記絶縁基材に影響を与える温度以下での加熱を行い、第一共晶点の融点を利用した拡散反応による金錫接合を形成することを特徴とする。

【0031】（20）ウエハ上に電極パッド及び回路素子からなる複数組の半導体チップが形成され、前記各電極パッド上に他の電子装置との接続を行う外部出力端子を形成し、前記各半導体チップ毎に前記ウエハから切り離して得られるWPP（Wafer Process Package）型半導体装置の製造方法であって、前記ウエハ上に回路素子及び電極パッドを形成し、その回路素子上にパッシベーション膜を設け、形成された電極パッド上にレジストを

貼り付け、前記外部出力端子の形成箇所のレジストに穴を開け、前記電極パッドを露出させ、その露出させた電極パッド上に金属めっきで金属バンパを形成し、前記レジストを取り除き、ウエハを細断することを特徴とする。

【0032】（21）ウエハ上に電極パッド及び回路素子からなる複数組の半導体チップが形成され、前記各電極パッド上に他の電子装置との接続を行う外部出力端子を形成し、前記各半導体チップ毎に前記ウエハから切り離して得られるWPP型半導体装置の製造方法であって、前記ウエハ上に回路素子及び電極パッドを形成し、その上に絶縁基材を設け、その絶縁基材に穴を開け、電極パッドを露出させ、その絶縁基材上から銅めっきを施し、スルーホール電極を形成し、その形成されたスルーホール電極上にレジストを貼り付け、前記外部出力端子の形成箇所のレジストに穴を開け、スルーホール電極204を露出させ、その露出させたスルーホール電極上に金属めっきで金属バンパ41を形成し、前記レジストを取り除き、前記ウエハを細断することを特徴とする。

【0033】（22）絶縁基材に導電材料で形成された配線パターンが配設され、半導体チップまたは半導体装置を搭載する配線基板を有する電子装置の製造方法であって、前記絶縁基材を用意し、その絶縁基材に外部出力端子の設定用穴及びパッケージ外形穴を加工し、その加工された絶縁基材の上に、導電材料箔を貼り合せ、その導電材料箔上に所定厚のレジストを塗布して、前記半導体チップ、半導体装置、または電子装置と接続する部分に炭酸ガスレーザー等で穴を開けて前記導電材料箔を露出させ、その導電材料箔上に金属めっきで金属バンパ（タワーバンパ）を形成し、前記レジストを取り除き、前記導電材料箔のエッチングを行い、配線パターンを形成し、前記半導体チップまたは半導体装置の接続部分と前記金属バンパ（タワーバンパ）との位置合わせを行った後、前記半導体チップまたは半導体装置の加圧加熱を行い、前記半導体チップまたは半導体装置の接続部分と前記金属バンパとを拡散反応させて接合を形成したことを特徴とする。

【0034】（23）絶縁基材に導電材料で形成された配線パターンが配設され、半導体チップまたは半導体装置を搭載する配線基板を有する電子装置の製造方法であって、前記絶縁基材を用意し、その絶縁基材に外部出力端子の設定用穴及びパッケージ外形穴を加工し、その加工された絶縁基材の上に、導電材料箔を貼り合せ、前記導電材料箔のエッチングを行って配線パターンを形成し、その絶縁基材及び配線パターン上に所定厚のレジストを塗布して、前記半導体チップまたは半導体装置と接続する部分に炭酸ガスレーザー等で穴を開けて接続箇所の配線パターンを露出させ、その配線パターン上に金属めっきで金属バンパ（タワーバンパ）を形成し、前記レジストを取り除き、前記半導体チップまたは半導体装置

の接続部分と前記金属バンプとの位置合わせを行った後、前記半導体チップまたは半導体装置の加圧加熱を行い、前記半導体チップまたは半導体装置の接続部分と前記金属バンプ（タワーバンプ）とを拡散反応させて接合を形成したことを特徴とする。

【0035】

【発明の実施の形態】本発明の実施の形態を図面を用いて詳細に説明する。

【0036】図1は、実施形態の半導体装置10の構成を説明するための図であり、図1(a)は立体図であり、図1(b)は図1(a)のA-A線で切った断面図をそれぞれ示す。

【0037】図1(a)に示すように、本実施形態の半導体装置10は、配線形成された配線基板20（例えば、ポリイミド、液晶ポリマ等のベースフィルムに導電材料である銅、またはインジウムチタンオキサイドを配線したもの）に半導体チップ1を搭載した構成をとる。半導体チップ1の素子形成面には電極パッド2が所定ピッチで配列される。

【0038】また、半導体チップ1との接続方法によりその電極パッド2上に金属めっきが形成されていることもある。この場合は、直接金属めっきができないため、例えば、Ti、Cr、Cu、Niのスバツタ膜を順次形成し、その後、金属の電気めっきを行って形成する。

【0039】また、図1(b)に示すように、インナリード3を含む基板の配線層に半導体チップ1との接続を行うためのタワーバンプ4が設けられ、また、配線層に電氣的に接続される半田ボール30（外部出力端子）が所定ピッチで形成される。

【0040】この配線基板20への半導体チップ1の実装は、図1(b)に示すように、配線基板20上のインナリード3の接続部（先端部）に形成されたタワーバンプ4上に半導体チップ1を載せ、電極パッド2との金属拡散反応によって接続が行われる。

【0041】本実施形態の半導体装置10の特徴は、半導体チップ1と配線基板20との熱膨張係数の差により生じる熱応力を配線基板20の配線層上に形成されたタワーバンプ4により緩衝することである。

【0042】このため、タワーバンプ4は高温（150℃）で相変態がない導電材料である必要がある。また、ビッカース硬度HV60～150を満たす導電材料を用いるとよい。例えば、高純度の金、銅、及びニッケル等であり、例えば、以下のものが最適である。

【0043】（1）軟質銅電気めっきバンプ（ビッカース硬度HV60～80）

（2）軟質銅無電解めっきバンプ（ビッカース硬度HV60～80）

（3）低応力ニッケルめっきバンプ（ビッカース硬度HV120～150）

特に、純度99.99%以上の高純度銅を用いるのが最

適である。この高純度銅は常温でも軟化して柔らかくなり、且つ不純物が少ないことから脆性がほとんどみられなくなる。

【0044】図2は、本実施形態の配線基板20とそこに形成されるタワーバンプ4を説明するための図である。

【0045】本実施形態の配線基板20は、図2(a)に示すように、ポリイミド等のベース材料にインナリード3を含む配線パターンが形成され、半導体チップ1と接続する接続部分にタワーバンプ4が形成され、配線層と電氣的に接続される半田ボール30が形成されてなる。また、タワーバンプ4は、図2(a)に示すように、金属バンプ41と半導体チップ1の電極パッド2との接合を行う接合層42とからなる。接合層42には、例えば、金、半田、または錫を用いる。

【0046】なお、タワーバンプ4の形状は、例えば、図2(b)に示す円柱形状、図2(c)に示す四角柱形状とする。このタワーバンプ4は半導体チップ1とインナリード3とによって生じる応力を十分に吸収できるサイズにする必要がある。

【0047】したがって、図2(b)に示す円柱形状、図2(c)に示す四角柱形状では、少なくとも以下の条件を満たすことが望ましい。

【0048】（1） $h > d$

（2） $h > L$

ここで、 h の高さを高くすればする程、熱応力をより吸収し、 d 、 L を大きくすると接続信頼度をより向上できる。半導体装置の使用用途によってこれらのサイズを決定するとよい。

【0049】次に、本実施形態の半導体装置10の製造方法について図面を用いて詳細に説明する。図3、図4は、本実施形態の配線基板20の製造方法を示した図である。

【0050】図3は配線パターンの形成前にタワーバンプ4を形成する先バンプ法であり、図4は配線パターンの形成後にタワーバンプ4を形成する後バンプ法である。

【0051】まず、初めに先バンプ法について説明する。

【0052】本実施形態の配線基板20の製造方法は、まず、ベースフィルム（絶縁基材）21（ここではポリイミドのフィルムを用いた）を用意する。このベースフィルム21の寸法は、例えば、幅35～300mm、長さ10～1000m、厚さ50 μ m±1.5 μ mである。

【0053】次に、図3(a)に示すように、そのベースフィルム21にソルダボール30の設定用穴（ビアホール）31及びパッケージ外形穴（最終的にパッケージ外形加工するために一部分を予め切り抜いておくもの）を加工し、その加工されたベースフィルム21の上に、ベースフィルム21と同一の幅の銅箔50を貼り合せ

る。

【0054】次に、図3（b）に示すように、その銅箔50上にホトレジスト60を塗布して、タワーバンプ4を形成する部分に炭酸ガスレーザー等で穴を開ける。

【0055】次に、図3（c）に示すように、銅箔50上に金属めっき（無電解、または電気めっき）で金属バンプ41を形成する。

【0056】次に、図3（d）に示すように、その金属バンプ41上に接合層42を金属めっきで形成する。

【0057】次に、図3（e）に示すように、ホトレジスト60を取り除く。

【0058】次に、図3（f）に示すように、銅箔50に対してエッチングを行い、インナリード3を含む配線パターンを形成し、本実施形態の配線基板20を製造する。

【0059】次に、後バンプ法について説明する。

【0060】本実施形態の配線基板20の他の製造方法は、まず、ベースフィルム（絶縁基材）21（ここではポリイミドのフィルムを用いた）を用意する。このベースフィルム21の寸法は、例えば、幅35～300mm、長さ10～100m、厚さ50 μ m±1.5 μ mである。

【0061】次に、図4（a）に示すように、銅箔50に対してエッチングを行い、インナリード3を含む配線パターンを形成した配線基板（図3（f）に示したもの）の配線パターン上にタワーバンプ4を形成する部分以外にホトレジスト60を形成する。

【0062】次に、図4（b）に示すように、インナリード3を含む配線パターン上に金属めっき（無電解、または電気めっき）で金属バンプ41を形成する。

【0063】次に、図4（c）に示すように、その金属バンプ41上に接合層42を金属めっきで形成する。

【0064】次に、図4（d）に示すように、ホトレジスト60を取り除き、本実施形態の配線基板20を製造する。

【0065】なお、テープ製造メーカーでは、上述した一連の工程を既に行った図3（f）、図4（d）に示す配線基板20を販売することもあり、それを購入することで上述の工程を省略することもできる。

【0066】また、テープ製造メーカーでは、図3（f）、図4（d）に示す配線基板20に後述する半田ボールを形成した半田ボール付き配線基板で販売することもある。この場合、後述する半田ボール形成処理を組立メーカーは省略することが可能である。

【0067】次に、その製造した配線基板20上に半導体チップ1を搭載する工程について詳細に説明する。図5は、本実施形態の配線基板20に半導体チップを搭載する方法を説明するための図である。

【0068】本実施形態の半導体装置10における半導体チップ1の搭載工程は、図5（a）に示すように、上述の配線基板20を用意し、半導体チップ1の主面に形

成された複数の電極パッド2とタワーバンプ4との位置合せを行った後、半導体チップ1を固定し、図5（b）に示すように、加熱ツールにより加熱温度240～260℃、加圧ツールにより加圧力1～10kg/mm²で2～5秒間加熱加圧を行い、金属拡散反応させて接続する。また、アルミである電極パッド2は、接続方法によって他の金属で金属めっきされることもある。

【0069】次に、図5（c）に示すように、インナリード3を含む配線パターンに半田ボール30（ソルダボール）が設けられることにより、本実施形態の半導体装置10が製造される。

【0070】このように、配線基板20の配線パターン上にタワーバンプ4を設けることで、そのタワーバンプ4が半導体チップと配線基板との熱膨張係数の差で生じる熱応力を緩衝するので、半導体チップのクラックを防止することが可能となる。

【0071】（実施例1）金錫接合：次に、半導体装置と配線基板（タワーバンプ4）との電気的接続を金錫接合により行った実施例について説明する。

【0072】図6は、本実施例1の半導体装置10aの構成を説明するための図である。

【0073】図6（a）に示すように、本実施例1の半導体装置10aは、配線形成された配線基板20（例えば、ポリイミド、液晶ポリマ等のベースフィルムに導電材料である銅、またはインジウムチタンオキサイドを配線したもの）に半導体チップ1を搭載した構成をとる。半導体チップ1の素子形成面には電極パッド2が所定ピッチで配列され、各電極パッド2上にはそれぞれ金めっき（金バンプ）71が形成されている。また、インナリード3を含む基板の配線層には銅バンプ（金属バンプ41）上に錫めっき72（接合層42）されたタワーバンプ4が設けられる。

【0074】この配線基板20への半導体チップ1の実装は、図6（b）に示すように、配線基板20上のインナリード3の接続部（先端部）に形成されたタワーバンプ4上に半導体チップ1を載せ、電極パッド2との金錫の拡散反応によって接続が行われ、さらに配線層に電気的に接続される半田ボール30（外部出力端子）が所定ピッチで形成される。

【0075】この金錫接続部の接合層は、接合界面の金と錫の反応熔融層（高融点層）とそこからみ出した部分（フィレット）とからなる。そのフィレットは、第1共晶点（融点217℃）の組成を中心とした、金5～20重量%（残り錫）の組成からなり、反応熔融層（高融点層）は金10～40重量%（残り錫）の組成からなる。

【0076】この金錫接続は、上述のように接合界面がAu10～40重量%—Sn60～90重量%にする第1共晶点における接続を行うと、低温で接続強度が大きくなる。

【0077】なお、この金錫接続は、上述したように第一共晶点における接続が接合強度も大きいことから理想的ではあるが、本発明は接合界面が必ずしもこの成分に限定されるものではなく、金錫の第一共晶点の温度以上で配線基板に影響を与える温度以下での加熱を行い、第一共晶点の融点を利用した接合であれば、Au10～40重量％-Sn60～90重量％以外の成分であってもよい。

【0078】本実施例1の半導体装置10aの製造方法は、半導体チップ1の電極パッド2に金めっきを施し、接合層41を錫めっき層に置き換えるだけで実施形態で説明した方法で同様に製造可能であるため、その説明は割愛する。

【0079】また、この金錫の接続方法は、配線基板に影響を与えることなく接続するために用いられる低温の接続方法である。

【0080】このため、金錫の接続強度が小さくても構わないといった場合には、必ずしもAu10～40重量％-Sn60～90重量％の理想の金錫接合にする必要はない。この場合は、少なくとも接合ツールの温度が金錫の第一共晶点の温度以上で前記フレキシブル配線基板に影響を与える温度以下での加熱を行う第一共晶点の融点を利用した接合を行う。

【0081】このように、配線基板20の配線パターン上にタワーバンプ4を設けることで、そのタワーバンプ4が半導体チップと配線基板の熱膨張係数の差で生じる熱応力を緩衝するので、半導体チップのクラックを防止することが可能となる。

【0082】また、タワーバンプ4と半導体チップとの接続に低温で接続可能な金錫接続を用いることで、低温での接続が可能になり、配線基板に熱影響を与えることなく接続可能となる。

【0083】更に、金錫の第一共晶点を利用した接続であるため、接続強度も大きくなり信頼性が高い接続が可能になる。

【0084】（実施例2）ハンダバンプ接合：次に、半導体装置と配線基板との電気的接続をハンダバンプ接合により行った実施例について説明する。

【0085】図7は、本実施例2の半導体装置10bの構成を説明するための図である。

【0086】図7（a）に示すように、本実施例2の半導体装置10bは、配線形成された配線基板20（例えば、ポリイミド、液晶ポリマ等のベースフィルムに導電性材料の銅、またはインジウムチタンオキシサイドを配線したもの）に半導体チップ1を搭載した構成をとる。半導体チップ1の素子形成面には電極パッド2が所定ピッチで配列され、各電極パッド2上にはそれぞれハンダバンプ73が形成されている。また、インナリード3を含む基板の配線層には銅バンプ（金属バンプ41）のみのタワーバンプ4が設けられる。

【0087】このハンダバンプ73は、例えば、10Sn-Pb重量％のハンダを用いる。

【0088】この配線基板20への半導体チップ1の実装は、図7（b）に示すように、配線基板20上のインナリード3の接続部（先端部）に形成されたタワーバンプ4上に半導体チップ1を載せ、電極パッド2とのハンダの拡散反応によって接続が行われ、更に配線層に電気的に接続される半田ボール30（外部出力端子）が所定ピッチで形成される。

【0089】本実施例2の半導体装置10bの製造方法は、各金属めっきをそれぞれハンダのめっきに置き換えるだけで実施形態で説明した方法で同様に製造可能であるため、その説明は割愛する。

【0090】このように、配線基板20の配線パターン上にタワーバンプ4を設けることで、そのタワーバンプ4が半導体チップと配線基板の熱膨張係数の差で生じる熱応力を緩衝するので、半導体チップのクラックを防止することが可能となる。

【0091】更に、ハンダと銅は直接接続可能であるため、タワーバンプ4に接合層42を設ける必要がなくなる。

【0092】（実施例3）金ハンダ接合：次に、半導体装置と配線基板との電気的接続を金ハンダ接合により行った実施例について説明する。

【0093】図8は、本実施例3の半導体装置10cの構成を説明するための図である。

【0094】図8（a）に示すように、本実施例3の半導体装置10cは、配線形成された配線基板20（例えば、ポリイミド、液晶ポリマ等のベースフィルムに導電性材料の銅、またはインジウムチタンオキシサイドを配線したもの）に半導体チップ1を搭載した構成をとる。半導体チップ1の素子形成面には電極パッド2が所定ピッチで配列され、各電極パッド2上にはそれぞれ金めっき（金バンプ）71が形成されている。また、インナリード3を含む配線層には銅バンプ（金属バンプ41）上にハンダめっき74（接合層42）されたタワーバンプ4が設けられる。

【0095】このハンダめっき74は、例えば、37Pb-Sn重量％の共晶ハンダ、60Sn-Pb重量％の高温ハンダを用いる。

【0096】この配線基板20への半導体チップ1の実装は、図8（b）に示すように、配線基板20上のインナリード3の接続部（先端部）に形成されたタワーバンプ4上に半導体チップ1を載せ、電極パッド2との金ハンダの拡散反応によって接続が行われ、更に配線層に電気的に接続される半田ボール30（外部出力端子）が所定ピッチで形成される。

【0097】本実施例3の半導体装置10cの製造方法は、各金属めっきをそれぞれ金とハンダのめっきに置き換えるだけで実施形態で説明した方法で同様に製造可能

であるため、その説明は割愛する。

【0098】このように、配線基板20の配線パターン上にタワーバンプ4を設けることで、そのタワーバンプ4が半導体チップと配線基板の熱膨張係数の差で生じる熱応力を緩衝するので、半導体チップのクラックを防止することが可能となる。

【0099】（実施例4）金金接合：次に、半導体装置と配線基板との電気的接続を金金接合により行った実施例について説明する。

【0100】図9は、本実施例4の半導体装置10dの構成を説明するための図である。

【0101】図9（a）に示すように、本実施例4の半導体装置10dは、配線形成された配線基板20（例えば、薄いポリイミド、液晶ポリマ等のベースフィルムに導電性材料の銅、またはインジウムチタンオキシサイトを配線したもの）に半導体チップ1を搭載した構成をとる。半導体チップ1の素子形成面には電極パッド2が所定ピッチで配列され、各電極パッド2上にはそれぞれ金めっき（金バンプ）71が形成されている。また、インナリード3を含む配線層には銅バンプ（金属バンプ41）上に金めっき71（接合層42）されたタワーバンプ4が設けられる。

【0102】この配線基板20への半導体チップ1の実装は、図9（b）に示すように、配線基板20上のインナリード3の接続部（先端部）に形成されたタワーバンプ4上に半導体チップ1を載せ、電極パッド2との金金の拡散反応によって接続が行われ、更に配線層に電気的に接続される半田ボール30（外部出力端子）が所定ピッチで形成される。

【0103】本実施例4の半導体装置10dの製造方法は、各金属めっきをそれぞれ金のめっきに置き換え、接続を加熱ツールを使わずに超音波シングルポイントボンディングで行うだけで実施形態で説明した方法と同様に製造可能であるため、その説明は割愛する。

【0104】このように、配線基板20の配線パターン上にタワーバンプ4を設けることで、そのタワーバンプ4が半導体チップと配線基板の熱膨張係数の差で生じる熱応力を緩衝するので、半導体チップのクラックを防止することが可能となる。

【0105】また、この金金接続は、加熱ツールを用いないことから、配線基板20は加熱されないので、配線基板を薄く（50～70μm厚）形成することができる。

【0106】（実施例5）金アルミ接合：次に、半導体装置と配線基板との電気的接続を金アルミ接合により行った実施例について説明する。

【0107】図10は、本実施例5の半導体装置10eの構成を説明するための図である。

【0108】図10（a）に示すように、本実施例5の半導体装置10eは、配線形成された配線基板20（例

えば、薄いポリイミド、液晶ポリマ等のベースフィルムに導電性材料の銅、またはインジウムチタンオキシサイトを配線したもの）に半導体チップ1を搭載した構成をとる。半導体チップ1の素子形成面には電極パッド2が所定ピッチで配列されている。また、インナリード3を含む配線層には銅バンプ（金属バンプ41）上に金めっき71（接合層42）されたタワーバンプ4が設けられる。

【0109】この配線基板20への半導体チップ1の実装は、図10（b）に示すように、配線基板20上のインナリード3の接続部（先端部）に形成されたタワーバンプ4上に半導体チップ1を載せ、電極パッド2のアルミニウムとタワーバンプ4の金めっき71とにおける金アルミの拡散反応によって接続が行われ、更に配線層に電気的に接続される半田ボール30（外部出力端子）が所定ピッチで形成される。

【0110】本実施例5の半導体装置10eの製造方法は、各金属めっきをそれぞれ金めっきに置き換え、接続を加熱ツールを使わずに超音波シングルポイントボンディングで行うだけで実施形態で説明した方法と同様に製造可能であるため、その説明は割愛する。なお、この金アルミ接続は、加熱ツールを用いても構わない。

【0111】このように、配線基板20の配線パターン上にタワーバンプ4を設けることで、そのタワーバンプ4が半導体チップと配線基板の熱膨張係数の差で生じる熱応力を緩衝するので、半導体チップのクラックを防止することが可能となる。

【0112】超音波シングルポイントボンディングで行う場合は、加熱ツールを用いないことから、配線基板20は加熱されないので、配線基板を薄く（50～70μm厚）形成することができる。

【0113】（実施例6）次に、本発明の配線基板は、半導体装置にだけでなく電子装置を搭載するマザーボード等にも適用可能である。本実施例6では電子装置としてメモリモジュールを取り挙げ以下に説明する。

【0114】図11は、本実施例6のメモリモジュールの構成を説明するための図であり、図11（a）は上方から見た平面図であり、図11（b）は図11（a）に示すA-A線で切った断面図である。

【0115】図11（a）に示すように、本実施例6のメモリモジュール100は、他の電子装置と接続するための外部出力端子110を含む配線パターン30が形成された配線基板20に半導体装置10を搭載した構成をとる。

【0116】また、図11（b）に示すように、配線基板20は、ポリイミド、ガラスエポキシ等のベース基板に配線パターン30を設けてあり、半導体装置10を搭載する配線パターン30上に上記実施形態及び実施例で説明したタワーバンプ4を形成してある。

【0117】次に、本実施例6のメモリモジュール10

0の製造方法について説明する。

【0118】図12は、本実施例6のメモリモジュール100の製造方法を説明するための図である。

【0119】まず、ベース基板（絶縁基材）を用意する。

【0120】次に、図12（a）に示すように、銅箔50に対してエッチングを行い、インナリードを含む配線パターン30を形成した配線基板20の配線パターン上にタワーバンプ4を形成する部分以外にホトレジスト60を形成する（ホトレジスト60を貼り付けて、露光、現像で穴を開ける）。

【0121】次に、図12（b）に示すように、インナリードを含む配線パターン30上に金属めっき（無電解、または電気めっき）で金属バンプ41を形成する。

【0122】次に、図12（c）に示すように、その金属バンプ41上に接合層42を金属めっきで形成する。

【0123】次に、図12（d）に示すように、ホトレジスト60を取り除き、本実施例6の配線基板20を製造する。

【0124】次に、その製造した配線基板20上に半導体装置10を搭載する工程について詳細に説明する。図13は、本実施例6の配線基板20に半導体装置10を搭載する方法を説明するための図である。

【0125】本実施例6の半導体装置10の搭載工程は、図13（a）に示すように、上述の配線基板20を用意し、半導体装置に形成された複数の電極パッドとタワーバンプ4との位置合せを行った後、半導体装置10を固定し、図13（b）に示すように、加熱ツールにより加熱温度240～260℃、加圧ツールにより加圧力1～10kg/mm²で2～5秒間加熱加圧を行い、金属拡散反応させて接続することにより、本実施形態の半導体装置10が製造される。

【0126】このように、電子装置の配線基板20の配線パターン30上にタワーバンプ4を設けて、半導体装置10と接続することにより、そのタワーバンプ4が半導体装置と配線基板との熱膨張係数の差で生じる熱応力を緩衝するので、半導体装置のクラックを防止することが可能となる。

【0127】また、タワーバンプ4が応力緩衝材の役割を果たすため、ベアチップの半導体装置を電子装置に搭載することが可能になる。

【0128】（実施例7）周辺タワーバンプ：次に、タワーバンプをWPP（Wafer Process Package）型半導体装置に適用した実施例について説明する。本実施例7では、周辺タワーバンプを用いた場合を取り挙げる。

【0129】図14は、本実施例7の切り出し前のWPP型半導体装置の構成を説明するための図であり、図14（a）はWPP型半導体装置の立体図であり、図14（b）は図14（a）のA-A線で切った断面図であり、図14（c）は切り出したWPP型半導体装置の断

面図である。

【0130】本実施例7のWPP型半導体装置200は、図14（a）に示すように、ウエハ201は複数個に区切り分けされ、図14（b）に示すように、各々の半導体チップの区切りに回路素子と電極パッド202を形成し、回路素子形成面にパッシベーション205を設けて保護し、その電極パッド202上にタワーバンプ4を形成して、図14（c）に示すように、それぞれの半導体チップを切り出すことによって得られる。

【0131】次に、本実施例7のWPP型半導体装置200の製造方法について説明する。

【0132】図15は、本実施例7のWPP型半導体装置200の製造方法について説明するための図である。

【0133】本実施例7のWPP型半導体装置の製造方法は、図15（a）に示すように、まず、複数組の回路素子及び電極パッド202を形成し、それら回路素子上にポリイミド等のパッシベーション膜（図示せず）を貼り付けたウエハ201を用意する。

【0134】次に、図15（b）に示すように、形成された電極パッド202上にタワーバンプ4が形成可能な厚さを有するホトレジスト60を貼り付ける。

【0135】次に、図15（c）に示すように、炭酸ガスレーザ等により、タワーバンプ4の形成箇所のホトレジスト60に穴31を開け、電極パッド202を露出させる。

【0136】次に、図15（d）に示すように、露出させた電極パッド202上に金属めっき（無電解、または電気めっき）で金属バンプ41を形成する。この金属めっきは、上述したように、例えば、高純度の金、銅、及びニッケル等の高温（150℃）で相変態がなく、ピッカーズ硬度Hv60～150を満たす導電材料を用いる。

【0137】次に、図15（e）に示すように、その金属バンプ41上に接合層42を金属めっきで形成する。この接合層42は、接続方法によって異なるが金、錫、ハンダ等である。また、接続方法によっては、この接合層42を設けない場合もある。

【0138】次に、図15（f）に示すように、ホトレジスト60を取り除き、ウエハ201を細断することによって本実施例7のWPP型半導体装置200を製造する。

【0139】このように、従来のWPP型半導体装置では出力端子にハンダバンプを用いており、その構造上から配線基板に搭載すると、半導体装置と配線基板との熱膨張係数の差で生じる熱応力によりウエハまたはハンダバンプにクラックを生じていたが、本発明のWPP型半導体装置200のように電極パッド202上に応力緩衝を行う比較的柔らかい導電材料で形成したタワーバンプ4を設けることにより、そのタワーバンプ4が半導体装置と配線基板との熱膨張係数の差で生じる熱応力を緩衝

するので、半導体装置のクラックを防止することが可能となる。

【0140】これにより、応力緩衝機能を有するWPP型半導体装置を提供することが可能になる。

【0141】（実施例8）エリアタワーバンブ：次に、タワーバンブをWPP（Wafer Process Package）半導体装置に適用した実施例について説明する。本実施例8では、エリアタワーバンブを用いた場合を取り挙げる。このエリアタワーバンブとは、周辺の電極パッドから半導体チップ全体に配線を引き回（再配線）し、この配線の上に形成したタワーバンブ4を示す。

【0142】図16は、本実施例8の切り出し前のWPP型半導体装置の構成を説明するための図であり、図16（a）はWPP型半導体装置の立体図であり、図16（b）は図16（a）のA-A線で切った断面図であり、図16（c）は切り出したWPP型半導体装置の断面図である。

【0143】本実施例8のWPP型半導体装置200aは、図16（b）に示すように、ウエハ201に電極パッド202を形成し、その上にポリイミド等の絶縁基材203を貼り付け、その上にスルーホール電極204を設け、そのスルーホール電極204上にタワーバンブ4を形成した構造をとる。

【0144】次に、本実施例8のWPP型半導体装置200aの製造方法について説明する。

【0145】図17、18は、本実施例8のWPP型半導体装置200aの製造方法について説明するための図である。

【0146】本実施例7のWPP型半導体装置の製造方法は、図17（a）に示すように、まず、ウエハ201上に回路素子及び電極パッド202を形成し、その上にポリイミド等の絶縁基材を貼り付ける。

【0147】次に、図17（b）に示すように、炭酸ガスレーザ等により、絶縁基材203に穴31を開け、電極パッド202を露出させる。

【0148】次に、図17（c）に示すように、その絶縁基材203上から銅めっきを施し、スルーホール電極204を形成する。この銅めっきは、初めに無電解銅めっき、続いて電気銅めっきの順に行う。ここで、絶縁基材上に直接無電解銅めっきを形成すると、密着性が悪いので密着性に優れたエポキシ樹脂を選定して介在させて行う。

【0149】次に、図17（d）に示すように、形成されたスルーホール電極204上にタワーバンブ形成可能な厚さを有するホトレジスト60を貼り付ける。

【0150】次に、図18（a）に示すように、露光、現像等により、タワーバンブ4の形成箇所のホトレジスト60に穴31を開け、スルーホール電極204を露出させる。

【0151】次に、図18（b）に示すように、露出さ

せたスルーホール電極204上に金属めっき（無電解、または電気めっき）で金属バンブ41を形成する。この金属めっきは、上述したように、例えば、高純度の金、銅、及びニッケル等の高温（150℃）で相変態がなく、ピッカース硬度HV60～150を満たす導電材料を用いる。

【0152】次に、図18（c）に示すように、その金属バンブ41上に接合層42を金属めっきで形成する。この接合層42は、接続方法によって異なるが金、錫、ハンダ等である。また、接続方法によっては、この接合層42を設けない場合もある。

【0153】次に、図18（d）に示すように、ホトレジスト60を取り除き、ウエハ201を細断することによって本実施例8のWPP型半導体装置200aを製造する。

【0154】このように、従来のWPP型半導体装置では出力端子にハンダバンブを用いており、その構造上から配線基板に搭載すると、半導体装置と配線基板との熱膨張係数の差で生じる熱応力によりウエハまたはハンダバンブにクラックを生じていたが、本発明のWPP型半導体装置200aのようにスルーホール電極204上にタワーバンブ4を設けることにより、そのタワーバンブ4が半導体装置と配線基板との熱膨張係数の差で生じる熱応力を緩衝するので、半導体装置のクラックを防止することが可能となる。

【0155】これにより、応力緩衝機能を有するWPP型半導体装置を提供することが可能になる。

【0156】以上、本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0157】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0158】配線基板の配線パターン上にタワーバンブを設けて、半導体チップまたは半導体装置と接続することにより、そのタワーバンブが半導体チップまたは半導体装置と配線基板との熱膨張係数の差で生じる熱応力を緩衝するので、半導体チップまたは半導体装置のクラックを防止することが可能となる。

【0159】また、電極パッド上に応力緩衝を行う比較的柔らかい導電材料で形成したタワーバンブを設けることにより、そのタワーバンブが半導体装置と配線基板との熱膨張係数の差で生じる熱応力を緩衝するので、半導体装置のクラックを防止することができ、応力緩衝機能を有するWPP型半導体装置を提供することが可能になる。

【図面の簡単な説明】

【図 1】本実施形態の半導体装置 10 の構成を説明するための図である。

【図 2】本実施形態の配線基板 20 とそこに形成されるタワーバンプ 4 を説明するための図である。

【図 3】本実施形態の配線基板 20 の製造方法を示した図である。

【図 4】本実施形態の配線基板 20 の製造方法を示した図である。

【図 5】本実施形態の配線基板 20 に半導体チップを搭載する方法を説明するための図である。

【図 6】本実施例 1 の半導体装置 10 a の構成を説明するための図である。

【図 7】本実施例 2 の半導体装置 10 b の構成を説明するための図である。

【図 8】本実施例 3 の半導体装置 10 c の構成を説明するための図である。

【図 9】本実施例 4 の半導体装置 10 d の構成を説明するための図である。

【図 10】本実施例 5 の半導体装置 10 e の構成を説明するための図である。

【図 11】本実施例 6 のメモリモジュールの構成を説明するための図である。

【図 12】本実施例 6 のメモリモジュール 100 の製造

方法を説明するための図である。

【図 13】本実施例 6 の配線基板 20 に半導体装置 10 を搭載する方法を説明するための図である。

【図 14】本実施例 7 の切り出し前の WPP 型半導体装置の構成を説明するための図である。

【図 15】本実施例 7 の WPP 型半導体装置 200 の製造方法について説明するための図である。

【図 16】本実施例 8 の切り出し前の WPP 型半導体装置の構成を説明するための図である。

【図 17】本実施例 8 の WPP 型半導体装置 200 a の製造方法について説明するための図である。

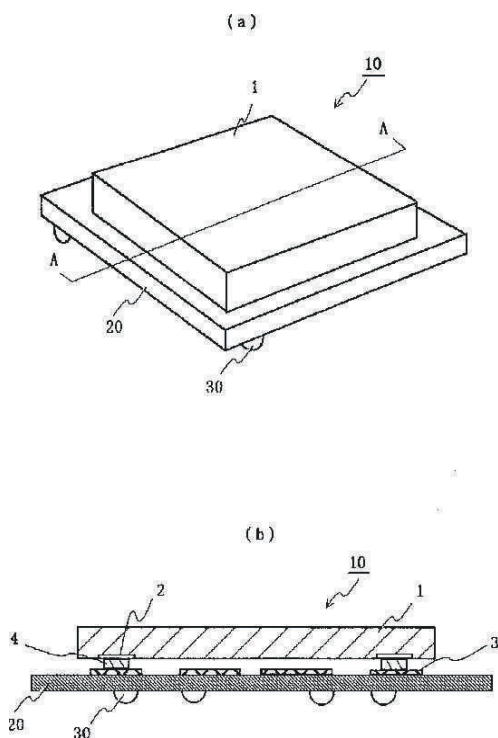
【図 18】本実施例 8 の WPP 型半導体装置 200 a の製造方法について説明するための図である。

【図 19】従来の半導体装置の構成を説明するための図である。

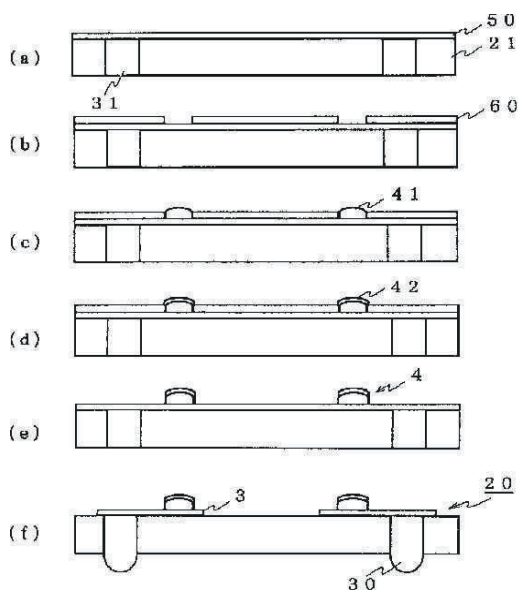
【符号の説明】

- 1 半導体チップ
- 2 電極パッド
- 3 インナリード
- 4 タワーバンプ
- 10 半導体装置
- 20 配線基板
- 30 半田ボール

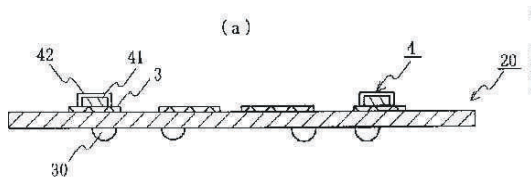
【図 1】



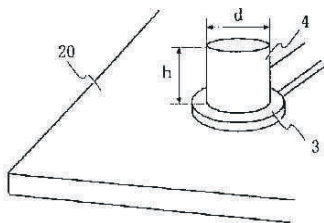
【図 3】



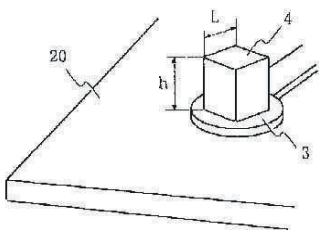
【図 2】



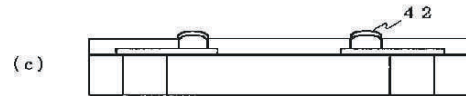
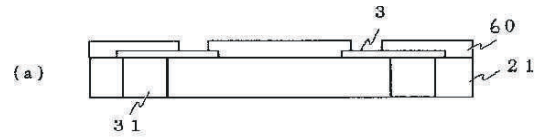
(b)



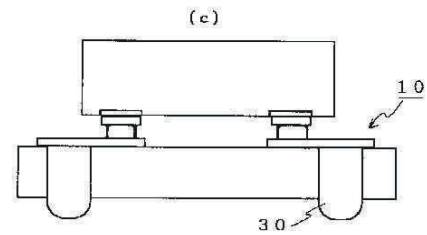
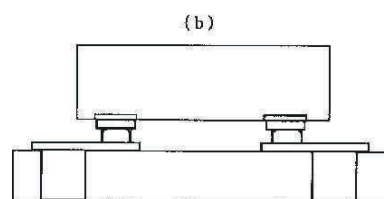
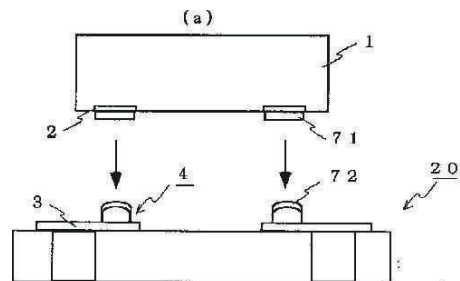
(c)



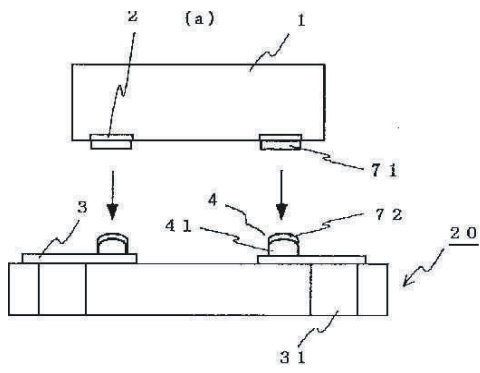
【図 4】



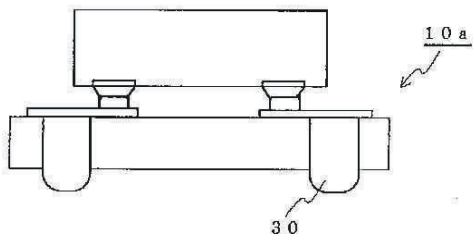
【図 5】



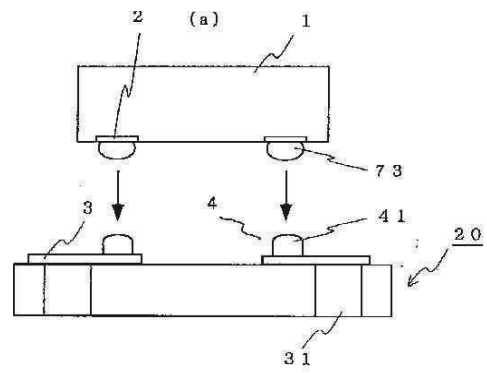
【図6】



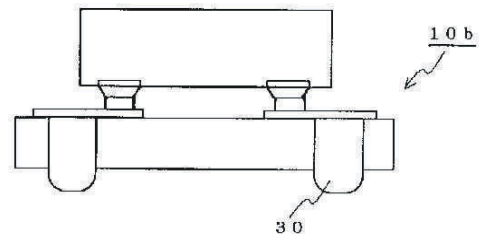
(b)



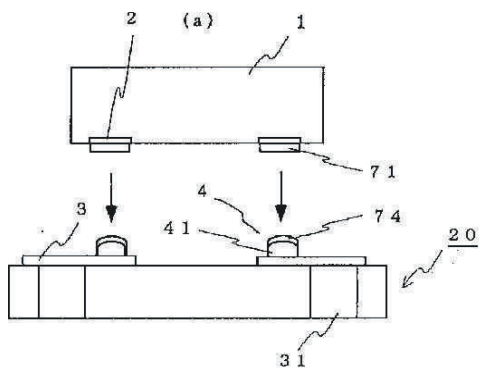
【図7】



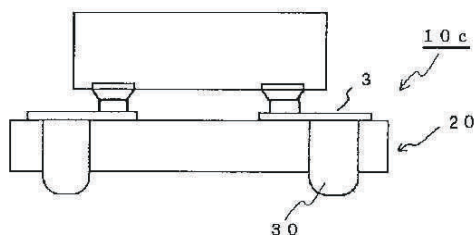
(b)



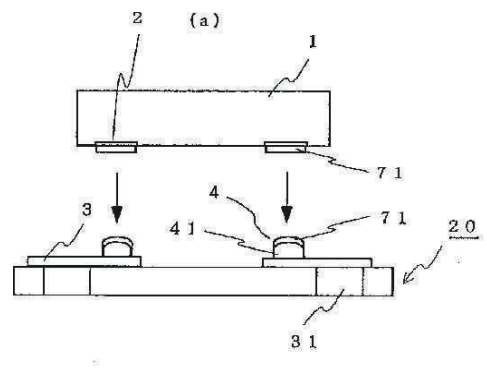
【図8】



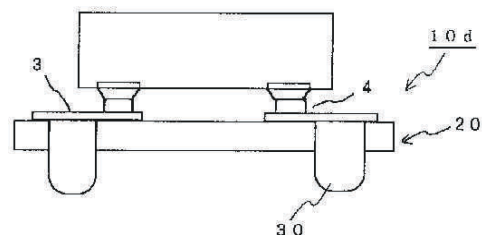
(b)



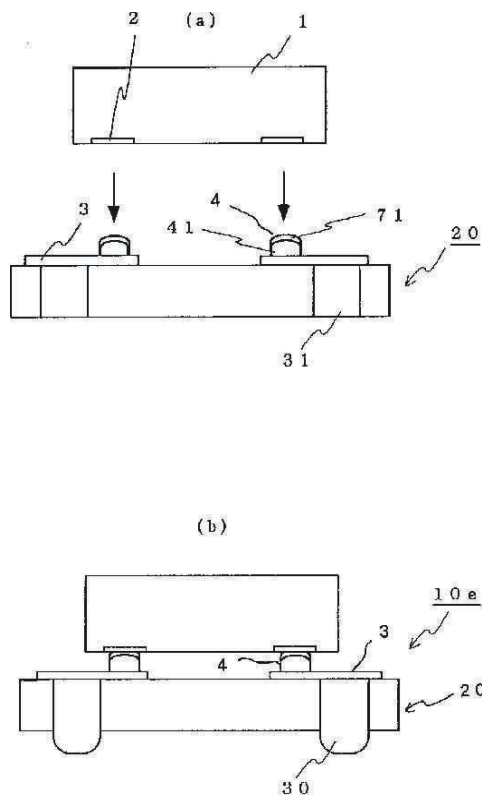
【図9】



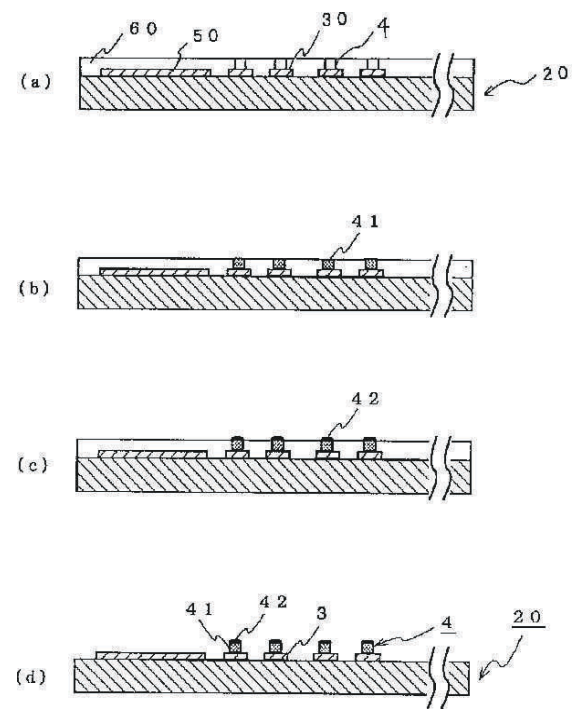
(b)



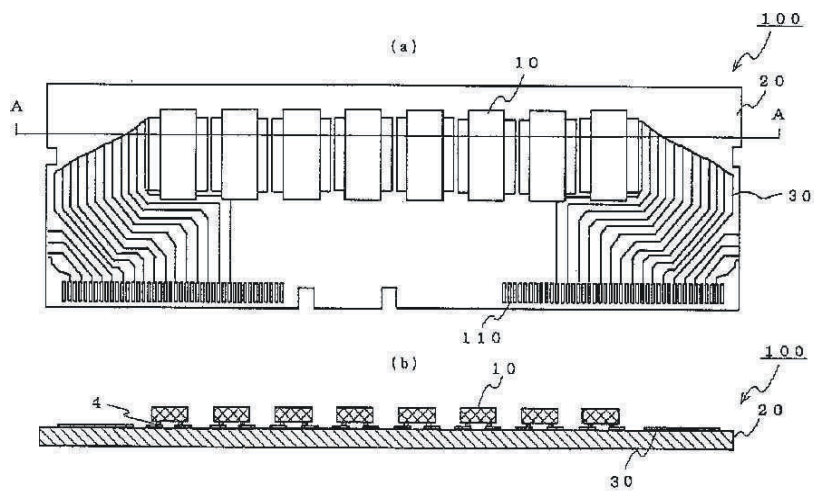
【図10】



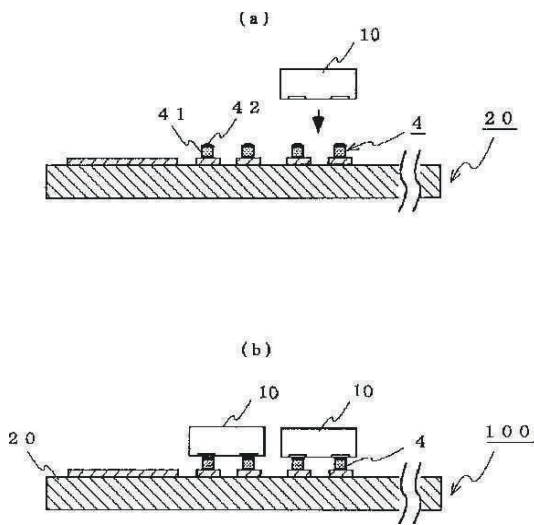
【図12】



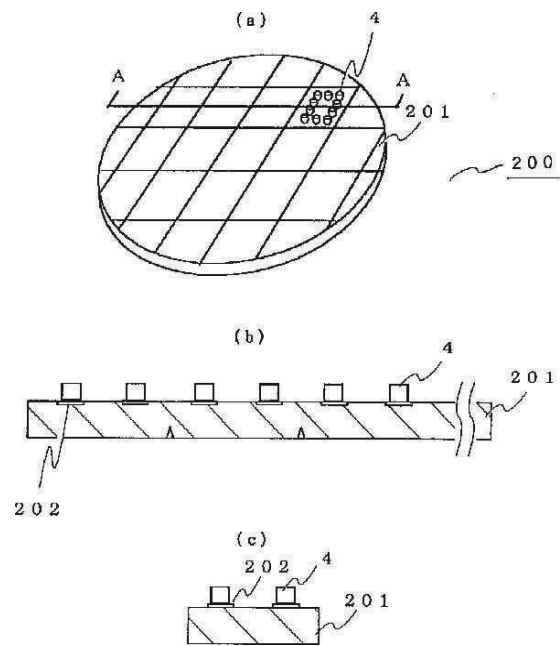
【図11】



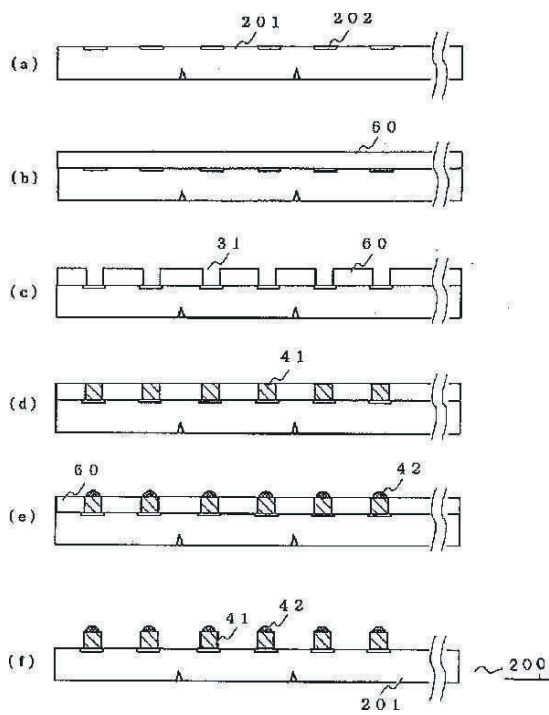
【図13】



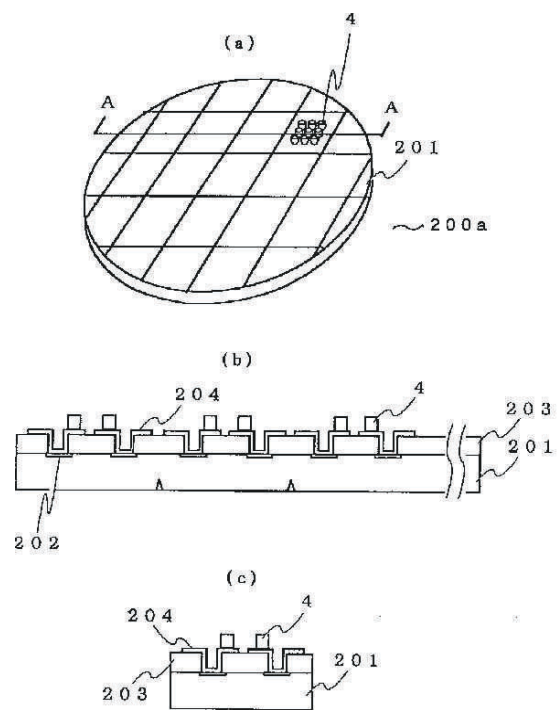
【図14】



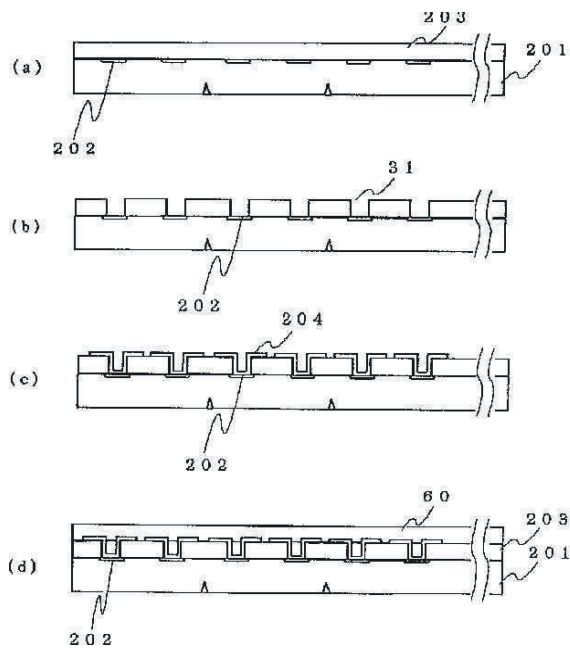
【図15】



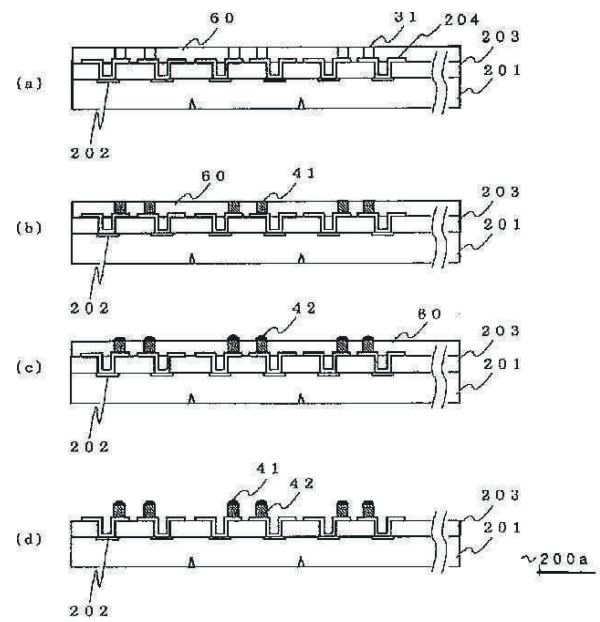
【図16】



【図17】



【図18】



【図19】

