

(19) [Issuing Country] Japan Patent Office (JP)
(12) [Publication Name] Gazette of Unexamined Patent Applications (A)
(11) [Publication Number] 2002-280713 (P2002-280713A)
(43) [Publication Date] September 27, 2002 (2002.9.27)

(51) [Int.Cl. ⁷]	[Internal File Nos.]	[FI]	[Theme Codes (Reference)]
H05K 3/28		H05K 3/28 G	5E314
H01L 25/04		3/40 Z	5E317
25/18			
H05K 3/40		H01L 25/04 Z	

[Examination Request] Not Yet Received

[Number of Claims] 6

[Application Format] Online (OL)

[Total Number of Pages] 7

(21) [Application Number] 2001-77053 (P2001-77053)

(22) [Filing Date] March 16, 2001 (2001.3.16)

(71) [Applicant]

[Identification Number] 000002185

[Name] Sony Corporation

[Address] 6-7-35, Kitashinagawa, Shinagawa-ku, Tokyo

(72) [Inventor]

[Name] Katsuhiro YONEYAMA

[Address] Sony Corporation, 6-7-35, Kitashinagawa, Shinagawa-ku, Tokyo

(74) [Agent]

[Identification Number] 100078145

[Attorney]

[Name] Osamu MATSUMURA

[F Terms (Reference)] 5E314 BB06 FF05 FF19 FF21 GG08 GG26

5E317 AA24 BB02 BB12 BB14 GG14

(54) [Title of the Invention]

Circuit board with Embedded Electronic Components and Manufacturing Method Therefor

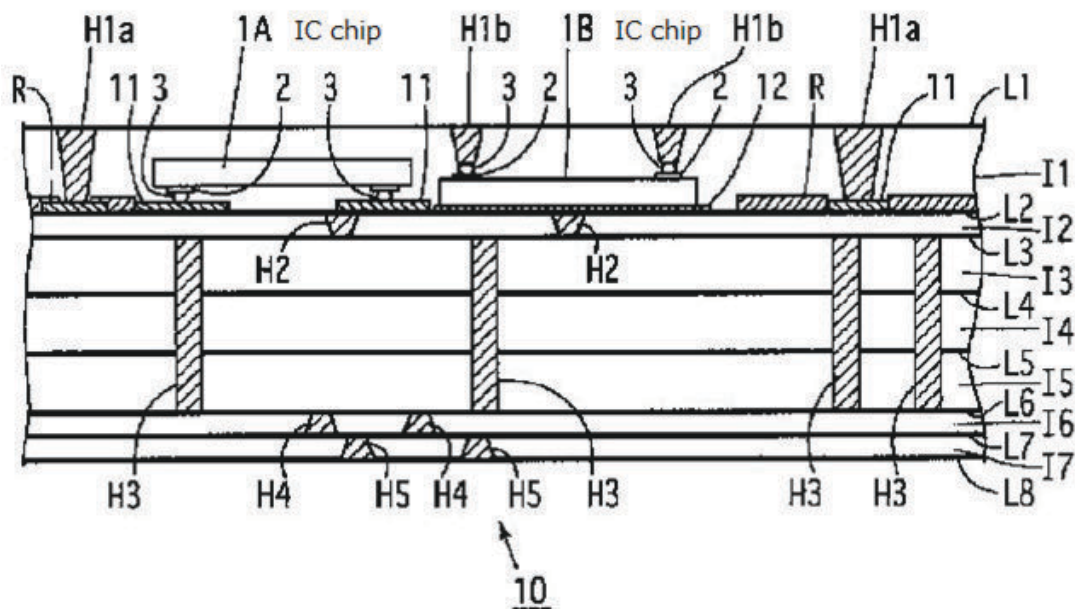
(57) [Abstract]

[Problem]

To obtain a circuit board with embedded electronic components that makes circuit design easier without increasing the number of vias for connection to outside components.

[Solution]

The present invention is a circuit board with embedded electronic components 10 obtained by mounting at least two IC chips 1 with a plurality of bumps 3 on active surfaces on an electrical conductor layer L2 on which a wiring circuit has been formed, forming an insulation layer I1 on the IC chips 1, and then forming an electrical conductor layer L1 on the surface of the insulation layer I1, the circuit board with embedded electronic components characterized in that one of the plurality of IC chips 1 is mounted on electrical conductor layer L2 with the active surface facing electrical conductor layer L1 and connected by bumps 3, and the other IC chip 1 is mounted on electrical conductor layer L2 facing the active surface thereof, and connected by bumps 3.



Circuit board (with embedded electronic components)
in an embodiment of the present invention

[Claims]

[Claim 1]

A circuit board with embedded electronic components obtained by mounting at least two electronic components with active surfaces on which a plurality of external connection electrodes have been arranged on a substrate surface on which a wiring circuit has been formed, forming an insulation layer over the electronic components, and forming an electrical conductor layer on the surface of the insulation layer, the circuit board with embedded electronic components characterized in that one of the electronic components is connected and mounted by external connection electrodes to the wiring circuit facing the active surface, and the other electronic component is connected and mounted by external connection electrodes to the electrical conductor layer facing the active surface.

[Claim 2]

The circuit board with embedded electronic components according to claim 1, wherein vias are formed in the insulation layer to electrically connect the electrical conductor layer to the wiring circuit.

[Claim 3]

The circuit board with embedded electronic components according to claim 1, wherein vias for electrical connection between the electrical conductor layer and the wiring circuit and vias for electrical connection between the electrical conductor layer and the external connecting electrodes are formed in the insulation layer.

[Claim 4]

The circuit board with embedded electronic components according to claim 1, wherein the electronic components are semiconductor integrated circuit chips.

[Claim 5]

A method for manufacturing a circuit board with embedded electronic components having a structure in which at least two first and second electronic components with active surfaces on which a plurality of external connection electrodes have been arranged are mounted on a substrate surface covered with an electrical conductor layer on which a wiring circuit has been formed, with the directions of their active surfaces facing in opposite directions, the method comprising:

a first step of fixing the first electronic component by connecting the plurality of external connection electrodes to a plurality of electrode pads, and fixing the second electronic component without connecting the plurality of external connection electrodes, with the back side of the active surface facing a portion of the first electrical conductor layer where the plurality of electrode pads are not present, the circuit board with embedded electronic components being a base substrate with a first electrical insulation layer and a first electrical conductor layer in which a wiring circuit including a plurality of electrode pads has been formed on the surface of the first electrical insulation layer;

a second step of coating the fixed first electronic component and second electronic component with an insulating resin to a thickness slightly thicker than that of the first electronic component and second electronic component, and curing the insulating resin to form a second electrical insulating layer;

the third step of coating a second electrical conductor layer on the surface of the second electrical insulation layer;
a third step of coating the back surface of the base substrate with an insulating resin to a predetermined thickness and curing the insulating resin to form at least one third insulating layer;
a fourth step of forming a third electrical conductor layer on the surface of the third electrical insulation layer;
a fifth step of forming vias electrically connecting the plurality of electrode pads on the first electrical conductor layer to which the plurality of electrode pads have been connected and the second electrical conductor layer;
a sixth step of forming vias electrically connecting the first electrical insulation layer and the third electrical conductor layer; and
a seventh step of connecting the second electrical conductor layer and the external connecting electrodes of the second electronic component.

[Claim 6]

The method for manufacturing a circuit board with embedded electronic components according to claim 1, wherein the second electrical insulating layer in the second step is formed by coating and then curing an insulating resin such that the thickness of the second electrical insulating layer is greater than the thickness of the fixed first electronic component and equal to or slightly less than the thickness of the second electronic component up to the plurality of external connection electrodes, and the second electrical conductor layer is directly connected to the external connection electrodes of the second electronic component.

[Detailed Description of the Invention]

[0001]

[Technical Field of the Invention]

The present invention relates to a circuit board with embedded electronic components and a method for manufacturing the same, in which electronic components such as a semiconductor integrated circuit chip with active surfaces on which a plurality of external connection electrodes have been formed, for example, are mounted inside.

[0002]

[Prior Art]

First, the structure of a conventional circuit board will be described.

[0003]

As electronic devices become smaller and lighter, the demand for higher density circuit boards and smaller mounted components is becoming more intense. In circuit boards, wiring rules have been reduced to realize higher densities in the direction parallel to the surface of the circuit board. In addition, by using the "build-up method" to stack wiring and form vias between layers, it is now possible to realize high densities in the direction perpendicular to the surface of the circuit board.

[0004]

In the early days of high-density mounting, semiconductor devices consisted of IC chips encapsulated in a package and mounted on a motherboard. However, in recent years, IC chips themselves have been mounted directly on motherboards or interposers. (Note that semiconductor integrated circuit chips, bare chips, and semiconductor devices are referred to below as "IC chips.")

[0005]

Surface mount devices (SMDs) such as SOPs (Small Outline Packages) and QFPs (Quad Flat Packages) with multiple pin leads on the periphery of the package were often used as semiconductor packages in the past.

[0006]

In order to reduce the size of the mounting structures of these semiconductor packages, bare IC chips are now used. As shown in FIG. 3, a structure has been used in which IC chips 1 are fixed with silver paste 110 to a mother board 100 with their active surfaces, on which electrode pads 2 serving as connecting electrodes have been formed, facing upward, the electrode pads 2 and pads 101 formed on the mother board 100 are connected with gold wiring 102 using wire bonding equipment, and the entire structure is sealed and covered by printing or dispensing a sealing resin 103.

[0007]

The many advantages to this surface-mounted structure include the fact that the connections are made with gold wiring 102, making them less susceptible to the pitch limitations of the electrode pads 2 of IC chips 1, the fact that this structure has a proven track record without any reliability issues, and the fact that this structure is inexpensive. However, one disadvantage is that the height of the gold wiring 102 after mounting is higher than in other mounting structures because of the relative difficulty of forming gold wiring 102 with low loops. Another disadvantage is that the required mounting area is wider than other mounting structures because the electrode pads 2 of the IC chips 1 have to be connected to pads 101 on the mother board 100, which is formed outside of the IC chips 1.

[0008]

Therefore, in order to further reduce the size of the mounting structures of these semiconductor packages, chip-size packages (CSP) have been developed in recent years, as shown in FIG. 4, in which the IC chips 1 are flip-chip bonded with their active surfaces on which bumps 3 have been formed on a plurality of electrode pads 2, facing down, toward the surface of mother board 100 or an interposer, and the bumps 3 are directly mounted on pads 101 of mother board 100 without using leads.

[0009]

In flip-chip bonding, the area on which IC chips can be mounted is located only on one side of the board, and since mounting density is limited by board size, it is difficult to dramatically improve mounting densities. Therefore, mounting structures have been proposed that increase mounting densities by mounting IC chips inside multilayer boards, thereby reducing the size of electronic devices.

[0010]

An example is shown in FIG. 5. The circuit board of the multilayer mounting structure shown in FIG. 5 is one embodiment of the invention disclosed in JP H11-248024 A ("Printed Wiring Board With Embedded Electronic Circuits and Manufacturing Method Therefor" filed by the present applicant on September 1, 1999. This structure, shown in cross-sectional view, is a circuit board 20 with eight electrical conductor layers (simply "conductor layers" below).

[0011]

In other words, this circuit board has eight conductor layers L1-L8 on which circuit patterns have been formed, and each conductor layer is finished with an electric insulation layer I1-I7 formed by printing an electric insulation resin between the conductor layers (simply "conductor layers" below) to create a rigid and unbending substrate structure. Each one of insulating layers I2 to I7 is composed of glass cloth impregnated with a thermosetting resin such as an epoxy resin, and insulation layer I1 is formed by mixing a large amount of filler with a thermosetting resin such as an epoxy resin so that stress relaxation can occur during curing. Conductor layer L1 is formed by laminating copper foil with a resin on conductor layer L2 or by plating the same conductor layer.

[0012]

In the electrical structure, a plurality of electrode pads or lands ("pads" below) 21 and wiring circuits are formed on conductor layer L2, for example, using the photoresist method with a resist film R serving as a mask. These are formed by etching copper foil or by plating. Then, the IC chip 1 are mechanically and electrically connected face-down to some of the pads 21 via anisotropic conductive film (ACF), which is not shown in the figure, if necessary.

[0013]

The other pads 21 on conductor layer L2 are connected to conductor layer L1 by way of vias H1. Similarly, conductor layer L2 is connected to conductor layer L3 by way of vias H2, conductor layers L3, L4, L5 and L6 are connected by way of vias H3, conductor layer L6 is connected to conductor layer L7 by way of vias H4, and conductor layer L7 is connected to conductor layer L8 by way of vias H5.

[0014]

Thus, vias are provided to electrically connect the necessary conductor layers through their respective insulation layers. The vias are formed using laser drilling, shot blasting, etc., and conductivity is established between conductive layers by way of vias, primarily by copper plating, but also by embedding or firing conductive pastes such as silver, copper-silver, or solder by methods such as printing, etc.

[0015]

Each conductor layer L1-L8 has the required circuit pattern, and the required chip-shaped electronic components are connected to these circuit patterns as necessary. These are omitted here to keep the explanation simple.

[0016]

The multilayer mounting structure described above uses a circuit board 20 in which IC chips 1 are embedded inside while face-down. However, this can use a circuit board 30 in which

IC chips 1 are flip-chip bonded while face-up, as shown in FIG. 6. Because the substrate 31 needs to be flat, a metal plate, ceramic plate, or silicon wafer can be used. At present, few of these structures have been applied to actual products.

[0017]

In the example of a mounting structure shown in the figure, a plurality of IC chips 1 are mounted face-up by flip chip bonded of the surface of a substrate 31 made of a material described above on conductor layer L3 on which a wiring pattern as been formed by a means used in semiconductor processing such as sputtering, an insulating resin is applied to form insulating layer I2, conductor layer L2 on which a wiring pattern has been formed is formed on the surface of insulating layer I2 in the same manner as described above, a plurality of IC chips 1 are mounted face-up on the surface of conductor layer L2 by flip chip bonding, an insulating resin is applied to form insulating layer I1, and then conductor layer L1 on which a wiring pattern has been formed is formed on the surface of insulating layer I1.

[0018]

Although this mounting structure has not been implemented in a practical application yet, a potential future application is in memory modules, since identical IC chips are stacked in multiple layers.

[0019]

[Problem to Be Solved by the Invention]

However, in the circuit boards with embedded IC chips proposed so far, it has to be decided at the time of circuit design whether the IC chips are to be mounted and wired with their active sides facing the substrate surface (that is, face-down) or face-up, as described above. This means that when designing circuit boards, the connections between the IC chips to be embedded in the board and outer layer components must be fully taken into account in component placement. As a result, the number of vias for connecting the embedded IC chips to the outer layer components increases, which also places significant restrictions on the number of IC chips to be embedded and the design of wiring circuits.

[0020]

It is an object of the present invention to solve the problem described above by providing a circuit board with embedded electronic components that makes circuit design easier without increasing the number of vias for connection to outside components.

[0021]

[Means for Solving the Problem]

In order to realize the object described above, the present invention is a circuit board with embedded electronic components obtained by mounting at least two electronic components with active surfaces on which a plurality of external connection electrodes have been arranged on a substrate surface on which a wiring circuit has been formed, forming an insulation layer over the electronic components, and forming an electrical conductor layer on the surface of the insulation layer, the circuit board with embedded electronic components characterized in that one of the electronic components is connected and

mounted by external connection electrodes to the wiring circuit facing the active surface, and the other electronic component is connected and mounted by external connection electrodes to the electrical conductor layer facing the active surface.

[0022]

Preferably, in the circuit board with embedded electronic components of the present invention, vias are formed in the insulation layer to electrically connect the electrical conductor layer to the wiring circuit.

[0023]

Preferably, in the circuit board with embedded electronic components of the present invention, vias for electrical connection between the electrical conductor layer and the wiring circuit and vias for electrical connection between the electrical conductor layer and the external connecting electrodes are formed in the insulation layer.

[0024]

Preferably, in the circuit board with embedded electronic components of the present invention, the electronic components are semiconductor integrated circuit chips.

[0025]

The present invention is also a method for manufacturing a circuit board with embedded electronic components having a structure in which at least two first and second electronic components with active surfaces on which a plurality of external connection electrodes have been arranged are mounted on a substrate surface covered with an electrical conductor layer on which a wiring circuit has been formed, with the directions of their active surfaces facing in opposite directions, the method comprising: a first step of fixing the first electronic component by connecting the plurality of external connection electrodes to a plurality of electrode pads, and fixing the second electronic component without connecting the plurality of external connection electrodes, with the back side of the active surface facing a portion of the first electrical conductor layer where the plurality of electrode pads are not present, the circuit board with embedded electronic components being a base substrate with a first electrical insulation layer and a first electrical conductor layer in which a wiring circuit including a plurality of electrode pads has been formed on the surface of the first electrical insulation layer; a second step of coating the fixed first electronic component and second electronic component with an insulating resin to a thickness slightly thicker than that of the first electronic component and second electronic component, and curing the insulating resin to form a second electrical insulating layer; the third step of coating a second electrical conductor layer on the surface of the second electrical insulation layer; a third step of coating the back surface of the base substrate with an insulating resin to a predetermined thickness and curing the insulating resin to form at least one third insulating layer; a fourth step of forming a third electrical conductor layer on the surface of the third electrical insulation layer; a fifth step of forming vias electrically connecting the plurality of electrode pads on the first electrical conductor layer to which the plurality of electrode pads have been connected and the second electrical conductor layer; a sixth step of forming vias electrically connecting the first electrical insulation layer and the third electrical conductor layer; and a seventh step of connecting the second electrical conductor layer and the external connecting electrodes of the second electronic component.

[0026]

Preferably, in the method for manufacturing a circuit board with embedded electronic components of the present invention, the second electrical insulating layer in the second step is formed by coating and then curing an insulating resin such that the thickness of the second electrical insulating layer is greater than the thickness of the fixed first electronic component and equal to or slightly less than the thickness of the second electronic component up to the plurality of external connection electrodes, and the second electrical conductor layer is directly connected to the external connection electrodes of the second electronic component.

[0027]

By adopting a combination structure in which electronic components are mounted face-down and face-up on a single wiring board as described above, and mounting electronic components with many wires to the outer layer of the circuit board face-up, the large number of wires can be handled with relative ease and there is no need to increase the number of vias for connection to the outer layer components. As a result, the size of electronic devices incorporating a circuit board of the present invention can be reduced.

[0028]

Also, the electronic components mounted face-up can include electronic components with relatively high power consumption.

[0029]

In addition, heat dissipating from electronic components mounted face-up can be diffused from their back surfaces to the inner layers via connecting materials, copper lands in conductor layers, and vias.

[0030]

The method for manufacturing circuit boards with embedded electronic components in the present invention can be used to easily manufacture circuit boards with embedded electronic components in which high-density mounting is performed using a combination of existing technologies currently used in a semiconductor device manufacturing process, such as printing, deposition, etching, bonding, and mounting.

[0031]

[Embodiment of the Invention]

A circuit board with embedded electronic components in an embodiment of the present invention will now be described with reference to the drawings.

[0032]

FIG. 1 is a cross-sectional side view of a circuit board with embedded electronic components in an embodiment of the present invention, and FIG. 2 is a cross-sectional side view of the circuit board with embedded electronic components used to explain the mounting structure of the IC chip mounted face-up among the IC chips embedded in the circuit board with embedded electronic components shown in FIG. 1.

[0033]

In FIG. 1, 10 denotes the entire circuit board with embedded electronic components of the present invention (simply the "circuit board" below). In this circuit board 10, IC chips 1A and 1B are embedded in a multilayer substrate with different orientations for their active surfaces. IC chips 1A and 1B are bare chips with almost identical external structures, and solder bumps or gold bumps 2 are formed on multiple electrode pads on their active surfaces.

[0034]

IC chip 1A is mounted on pad 11 of the circuit pattern formed on the surface of conductor layer L2 in the face-down state described above, and IC chip 1B is mounted in the face-up state described above. In other words, IC chip 1A is mounted by flip-chip bonding by way of bumps 2 to a pad 11, and IC chip 1B is mounted face-up with its bumps 2 facing upward, and its back side fixed to a pad 11 via a connection material 12 such as silver paste or anisotropic conductive film (ACF).

[0035]

This circuit board 10 has eight conductor layers, as in the case of the circuit board 200 shown in FIG. 5. In other words, it has eight conductor layers L1-L8 on which circuit patterns have been formed, and each conductor layer is finished with an insulating layer I1-I7 formed by printing an insulating resin to create a rigid and unbending substrate structure. Each one of insulating layers I2 to I7 is composed of glass cloth impregnated with a thermosetting resin such as an epoxy resin, and insulation layer I1 is formed by mixing a large amount of filler with a thermosetting resin such as an epoxy resin so that stress relaxation can occur during curing. Conductor layer L1 is formed by laminating copper foil with a resin on conductor layer L2 or by plating the same conductor layer.

[0036]

The electrical structure consists of a plurality of pads 11 and wiring circuits formed in the conductor layer L2. These are formed by etching copper foil or plating. Then, IC chip 1A is flip-chip bonded face-down so that bumps 2 are located on some pads 11, and IC chip 1B is electrically and mechanically connected face-up to conductor layer L2 via a connecting material 12.

[0037]

The other pads 11 on conductor layer L2 are connected to conductor layer L1 by way of vias H1a, and the bumps 2 on IC chip 1B are connected to conductor layer L1 by way of vias H1b.

[0038]

Similarly, conductor layer L2 is connected to conductor layer L3 by way of vias H2, conductor layers L3, L4, L5, and L6 are connected by way of vias H3, conductor layer L6 is connected to conductor layer L7 by way of vias H4, and conductor layer L7 is connected to conductor layer L8 by way of vias H5.

[0039]

Therefore, each electronic component mounted on each conductor layer is connected by way of vias H2, H3, and H4, which become components of electronic circuits. External electronic circuits can also be connected by way of vias H1a, H1b, and H5.

[0040]

The connecting material 12 both fixes IC chip 1B and dissipates heat. The connecting material 12 is generally conductive and consists of a metallic filler mixed with a resin that is cured by heat or ultraviolet light.

[0041]

The heat from IC chip 1B is dissipated from the back surface of IC chip 1B toward the inner layers or conductor layer L8 by way of the connecting material 12, vias H2 between conductor layers L2 and L3 and vias H3 formed in conductor layers L3 to L6.

[0042]

The method used to establish conductivity between conductor layers by way of vias is the same as the one described above, so further description of this method has been omitted. Each of the conductor layers L1-L8 has the required circuit pattern, and the required chip-shaped electronic components are connected to these circuit patterns where necessary, so further description of this process has also been omitted.

[0043]

Next, the steps of the manufacturing method for a circuit board 10 of the present invention will be described in sequential order.

[0044]

1) First, a resist film R is formed on the surface of the insulating layer I2 and the conductor layer L2 formed on its surface as a base substrate, and the photoresist method is used to form the electrode pads used to fix the external connection electrodes of IC chip 1A, and then silver paste, the connecting material 12 for fixing IC chip 1B, is applied by printing.

[0045]

2) Next, the center of IC chip 1B or an alignment mark on IC chip 1B is recognized using, for example, image recognition, and IC chip 1B is bonded face-up to conductor layer L2 by the connecting material 12.

[0046]

3) Next, the connecting material 12 is cured.

[0047]

4) Next, a bonding adhesive or anisotropic conductive film (ACF) is applied to predetermined positions on the conductor layer L2.

[0048]

5) Next, IC chip 1A is temporarily fixed by a bonding device, followed by final pressure bonding.

[0049]

6) Next, an insulating resin is printed on both mounted IC chips 1A and 1B to a thickness that is a little less than that of the IC chips 1A and 1B, and cured to form insulating layer I1.

[0050]

7) Next, conductor layer L1 is formed on the surface of insulation layer I1. Here, a lamination method, such as laminating copper foil with resin or copper foil between prepregs, or a plating method is used.

8) Next, the copper foil in the areas where vias H1a and H1b are to be opened in conductor layer L1 is etched and removed.

[0051]

9) Next, vias H1a and H1b are formed in the areas where the copper foil has been removed using a laser device. Here, a carbon dioxide gas laser or excimer laser is used as the laser, and the output power and processing method are adjusted for different distances (depths) and diameters to the bottom of the vias H1a and H1b using conductor layer L1 as the reference plane.

10) Resin residue is removed from the laser processing area (approx. 1 μm).

11) Plating or conductive paste is used to fill the vias H1a and H1b to render them conductive.

12) Next, a wiring circuit pattern is formed on the surface of conductor layer L1 with the vias H1a and H1b opened.

[0052]

The method used to form the other insulation layers I3-I7, conductor layers L3-L8, and vias H2-H5 in the circuit board 10 is the same conventional technology used on the circuit board 200 shown in FIG. 5, so further description of this method has been omitted.

[0053]

FIG. 2 shows another mounting structure in which IC chip 1B is mounted face-up. In the mounting structure of IC chip 1B, after insulation layer I1 of IC chip 1B shown in FIG. 1 has been cured, the surface is planarized (polished) to the point where the bumps 2 on IC chip 1B mounted on conductor layer L2 have been exposed. Then, vias H1a are formed and connected to the bumps 2 by plating.

[0054]

By adopting this mounting structure, the vias H1a and H1b shown in FIG. 1 do not have to be formed by taking into consideration their depth and shape.

[0055]

By adopting a combination structure in which IC chips are mounted face-down and face-up on a single wiring board as described above, and mounting electronic components with many wires to the outer layer of the circuit board face-up, the large number of wires can be handled with relative ease and there is no need to increase the number of vias for connection to the outer layer components. As a result, the size of electronic devices incorporating a circuit board of the present invention can be reduced.

[0056]

Also, the IC chips mounted face-up can include IC chips with relatively high power consumption. For example, a central processing unit (CPU) can be mounted.

[0057]

In addition, heat dissipating from IC chips mounted face-up can be diffused from their back surfaces to the inner layers via connecting materials, copper lands in conductor layers, and vias.

[0058]

[Effect of the Invention]

As explained above, a circuit board with embedded electronic components of the present invention enables the mounting density of electronic components such as IC chips to be further increased, making it possible to further reduce the size and thickness of electronic devices in which this circuit board has been incorporated. As a result, a number of excellent effects can be obtained.

[Brief Description of the Drawings]

[FIG. 1]

FIG. 1 is a cross-sectional side view of a circuit board with embedded electronic components in an embodiment of the present invention.

[FIG. 2]

FIG. 2 is a cross-sectional side view of the circuit board with embedded electronic components used to explain the mounting structure of the IC chip mounted face-up among the IC chips embedded in the circuit board with embedded electronic components shown in FIG. 1.

[FIG. 3]

FIG. 3 is a cross-sectional side view of a mounting structure for a conventional bare IC chip on a motherboard.

[FIG. 4]

FIG. 4 is a cross-sectional side view of a mounting structure for a conventional bare IC chip on a motherboard using flip-chip bonding.

[FIG. 5]

FIG. 5 is a cross-sectional side view of a mounting structure for a conventional bare IC chip mounted face-down on a motherboard.

[FIG. 6]

FIG. 6 is a cross-sectional side view of a mounting structure in which an IC chip is embedded face-up using flip-chip bonding.

[Reference Numbers]

1: IC chip

2: Electrode pad

3: Bump

10: Circuit board with embedded electronic components in an embodiment of the present invention

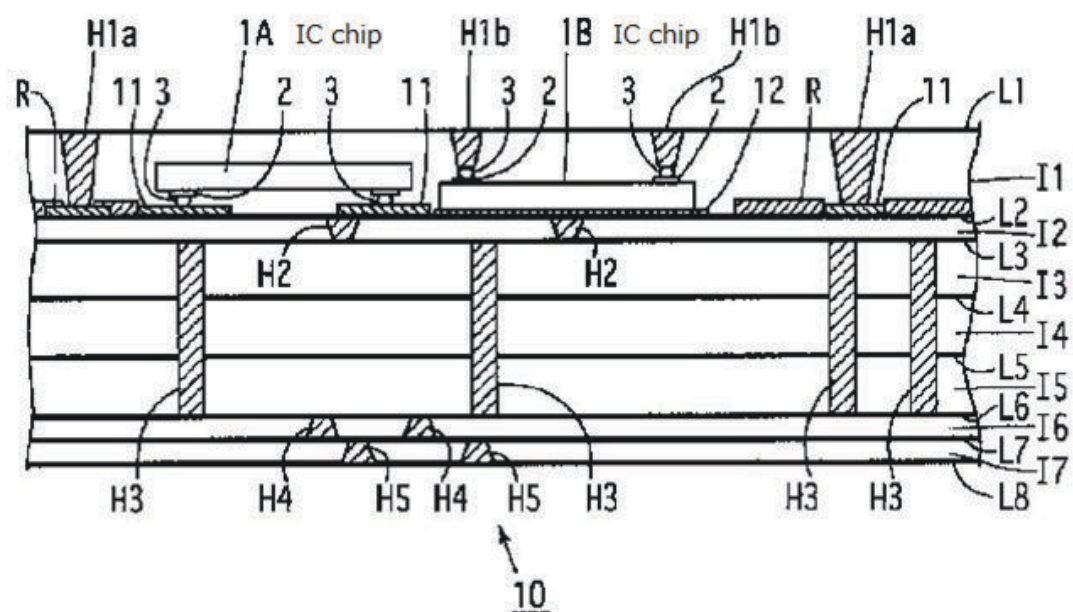
L1, L2, L3, L4, L5, L6, L7, L8: Electrical conductor layer

I1, I2, I3, I4, I5, I6, I7: Electrical insulation layers

H1a, H1b, H2, H3, H4, H5, H6, H7: Vias

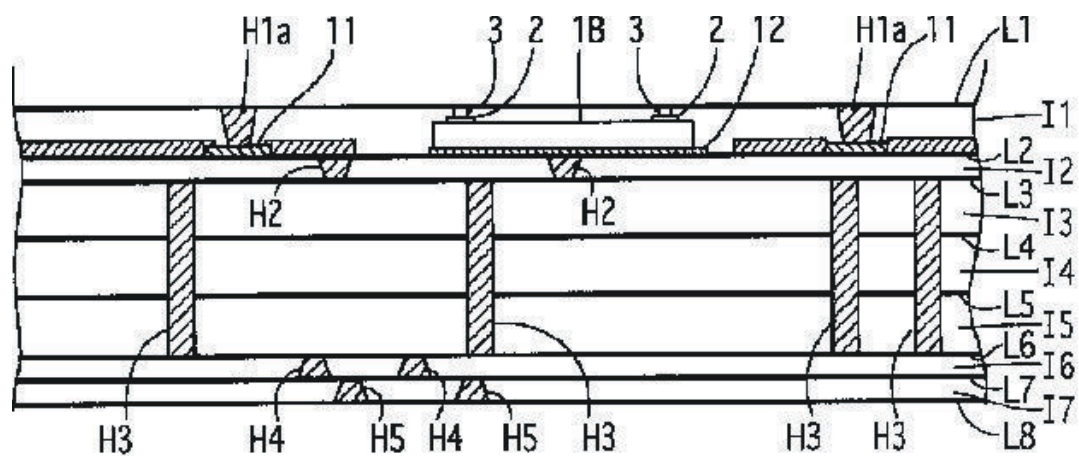
R: Resist film

[FIG. 1]

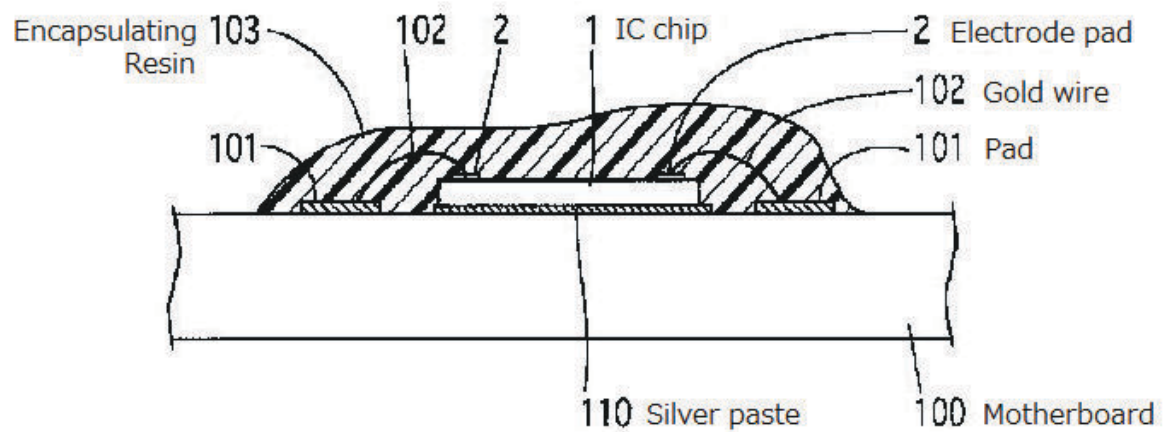


Circuit board (with embedded electronic components)
in an embodiment of the present invention

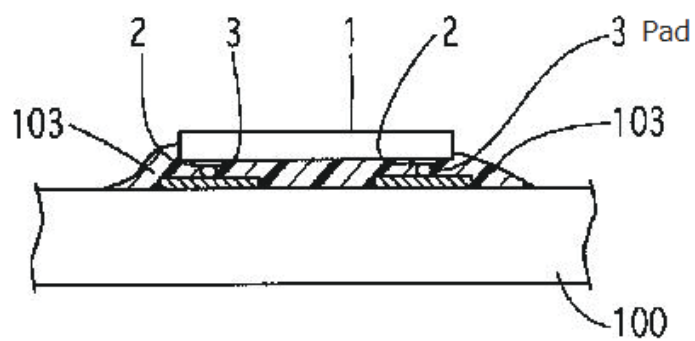
[FIG. 2]



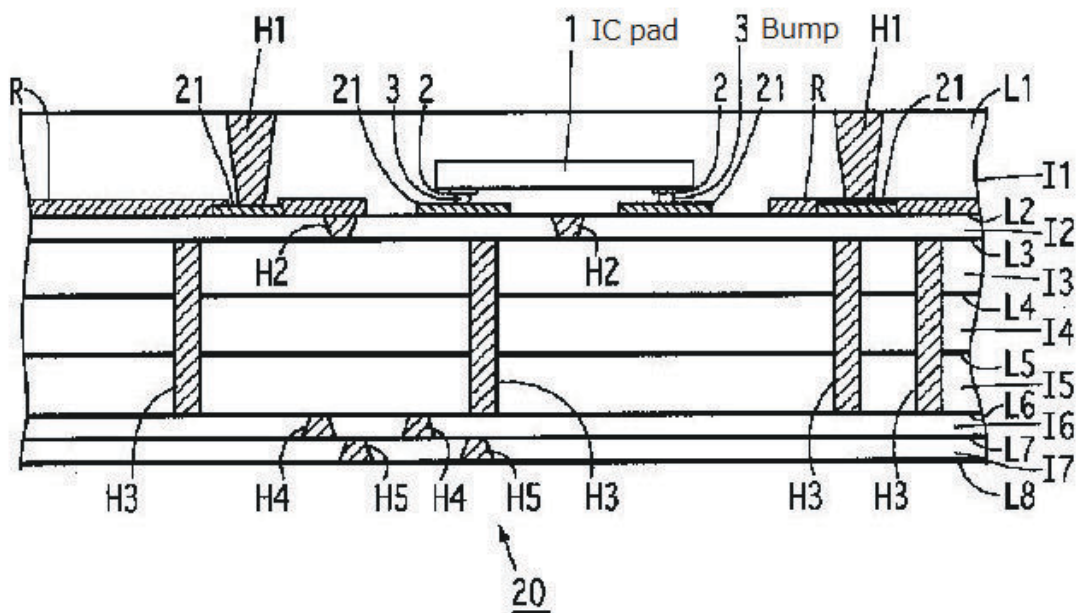
[FIG. 3]



[FIG. 4]



[FIG. 5]



Certification of Accuracy

I, Frank McGee, personally performed this translation. I am a translator in the Japanese and English languages, and on behalf of Source IP, do solemnly and sincerely declare that the following is, to the best of my knowledge and belief, a true and correct translation of the document listed below in a form that reflects the intention and meaning of the original text.

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code.

The document is designated as:

JP 2002-280713

A handwritten signature in blue ink, appearing to read 'Frank McGee', written over a horizontal line.

Frank McGee

September 16, 2024

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-280713
(P2002-280713A)

(43) 公開日 平成14年9月27日 (2002.9.27)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
H 0 5 K 3/28		H 0 5 K 3/28	G 5 E 3 1 4
H 0 1 L 25/04		3/40	Z 5 E 3 1 7
25/18		H 0 1 L 25/04	Z
H 0 5 K 3/40			

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願2001-77053(P2001-77053)

(22) 出願日 平成13年3月16日 (2001.3.16)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 米山 勝廣

東京都品川区北品川6丁目7番35号ソニー
株式会社内

(74) 代理人 100078145

弁理士 松村 修

Fターム(参考) 5E314 BB06 FF05 FF19 FF21 GG08
GG26

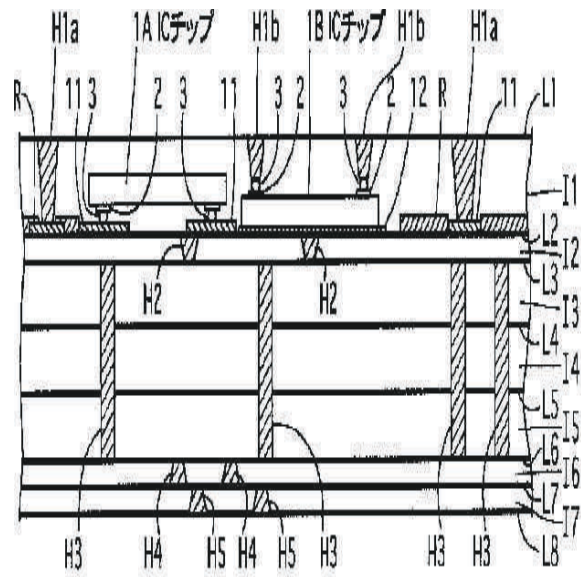
5E317 AA24 BB02 BB12 BB14 GG14

(54) 【発明の名称】 電子部品内蔵型回路基板及びその製造方法

(57) 【要約】

【課題】 外部との接続を行うビアの数を増やすことなく回路設計が容易になる電子部品内蔵型回路基板を得ること。

【解決手段】 本発明の電子部品内蔵型回路基板10は、配線回路が形成されている電気導体層L2に、能動面に複数のパンプ3が配設されている少なくとも2個のICチップ1を実装して、それらICチップ1上に絶縁層I1を形成し、更にその絶縁層I1の表面に電気導体層L1を形成してなる電子部品内蔵型回路基板において、複数のICチップ1の内の或るものは、導体層L1にその能動面を対面させてパンプ3を接続した状態で導体層L2上に実装されており、他方のICチップ1は電気導体層L2にその能動面を対面させ、そのパンプ3を接続した状態で実装されて構成されていることを特徴とする。



10 本発明の一実施形態の
(電子部品内蔵型)回路基板

【特許請求の範囲】

【請求項 1】 配線回路が形成されている基板面に、複数の外部接続電極が配設されている能動面を備えた少なくとも 2 個の電子部品を実装して、該電子部品の上に絶縁層を形成し、更に該絶縁層の表面に電気導体層を形成してなる電子部品内蔵型回路基板において、前記電子部品の一方のものは、前記配線回路に前記能動面を対向させて前記外部接続電極が接続、実装されており、他方のものは前記電気導体層に前記能動面を対向させて前記外部接続電極が接続、実装されていることを特徴とする電子部品内蔵型回路基板。

【請求項 2】 前記絶縁層に前記電気導体層と前記配線回路との電気的接続を行うビアが形成されていることを特徴とする請求項 1 に記載の電子部品内蔵型回路基板。

【請求項 3】 前記絶縁層に、前記電気導体層と前記配線回路との電気的接続を行うビアと前記電気導体層と前記外部接続電極との電気的接続を行うビアとが形成されていることを特徴とする請求項 1 に記載の電子部品内蔵型回路基板。

【請求項 4】 前記電子部品が半導体集積回路チップであることを特徴とする請求項 1 に記載の電子部品内蔵型回路基板。

【請求項 5】 配線回路が形成されている電気導体層が被覆されている基板面に、複数の外部接続電極が配設されている能動面を備えた少なくとも 2 個の第 1 及び第 2 電子部品を、それらの能動面の向きを互いに逆向きにして実装されている構造の電子部品内蔵型回路基板を製造するに当たり、前記電子部品内蔵型回路基板は、第 1 の電気絶縁層と該第 1 の電気絶縁層の表面に複数の電極パッドを含む配線回路が形成されている第 1 の電気導体層とをベース基板とし、前記複数の電極パッドに前記複数の外部接続電極を接続して前記第 1 電子部品を固定し、前記複数の電極パッドが存在しない前記第 1 の電気導体層の部分に前記能動面の裏面側を向け、前記複数の外部接続電極を接続しないで前記第 2 電子部品を固定する第 1 の工程と、固定された前記第 1 電子部品と前記第 2 電子部品にそれらの厚みより少し厚く絶縁樹脂を被着、硬化させて第 2 の電気絶縁層を形成する第 2 の工程と、該第 2 の電気絶縁層の表面に第 2 の電気導体層を被覆する第 3 の工程と、前記ベース基板の裏面に所定の厚さの絶縁樹脂を被着、硬化させて少なくとも一層の第 3 の電気絶縁層を形成する第 3 の工程と、前記第 3 の電気絶縁層の表面に第 3 の電気導体層を形成する第 4 の工程と、前記第 1 の電気導体層の前記複数の電極パッドに接続されている複数の電極パッドと前記第 2 の電気導体層とを電気的に接続するビアを形成する第 5 の工程と、

前記第 1 の電気絶縁層と第 3 の電気導体層とを電気的に接続するビアを形成する第 6 の工程と、

前記第 2 の電気導体層と前記第 2 電子部品の前記外部接続電極を接続する第 7 の工程とを含む工程で製造されることを特徴とする電子部品内蔵型回路基板の製造方法。

【請求項 6】 前記第 2 の工程における第 2 の電気絶縁層の厚みが、固定された前記第 1 電子部品の厚みより厚く、前記第 2 電子部品の前記複数の外部接続電極までの厚みと同等か、それより少し薄く絶縁樹脂を被着、硬化させて第 2 の電気絶縁層を形成し、前記第 2 の電気導体層を前記第 2 の電子部品の前記外部接続電極に直接接続することを特徴とする請求項 1 に記載の電子部品内蔵型回路基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、例えば、複数の外部接続電極が形成されている能動面を備えた半導体集積回路チップなどの電子部品が内部に実装されている電子部品内蔵型回路基板及びその製造方法に関するものである。

【0002】

【従来の技術】 先ず、従来技術の回路基板の構造を説明する。

【0003】 電子機器の小型化、軽量化に伴い、回路基板の高密度化や実装部品の小型化に対する要求が厳しくなっている。回路基板においては、配線ルールの縮小により回路基板表面と平行な方向について高密度化が図られている。更に、ビルドアップ工法を採用して配線を積層させ、任意の層間にビアを形成することにより、回路基板表面に垂直な方向における高密度化も可能となった。

【0004】 その高密度実装化の初期の頃は、半導体装置として、ICチップ（半導体集積回路チップ、ベアチップ、或いは半導体素子、以下、「ICチップ」と記す）をパッケージで封止したものをマザー基板に実装する構造のものと、近年、ICチップそのものをマザー基板またはインターポーザに直接実装する構造のものがある。

【0005】 前者の半導体パッケージとしては、従来、パッケージの外周に多ピン化されたリードを有するSOP (Small Outline Package) や QFP (Quad Flat Package) などの表面実装形式のデバイス (SMD; Surface Mount Device) が用いられることが多かった。

【0006】 このような半導体パッケージの実装構造を更に小型化するため、ICチップをベアで用いられるようになり、図3に示したように、ICチップ1を、その複数の接続電極である電極パッド2が形成されている能動面を上向きにしてマザー基板100上に銀ペースト1

10で固定し、電極パッド2とマザー基板100側に形成されているパッド101とをワイヤーボンディング装置により金ワイヤー102で接続し、その全体を覆うように封止樹脂103を印刷、デスペンサーなどによって封止して実装する構造が用いられた。

【0007】この表面実装構造の利点は、金ワイヤー102で接続することから、ICチップ1の電極パッド2のピッチの制限の影響を受け難いことや、実装が多いことから信頼性に問題がないこと、安価なことなど利点は多いが、欠点としては、金ワイヤー102を低ループで形成することが比較的難しいことから、実装後の高さが他の実装構造に比較して高くなってしまふことである。また、ICチップ1の電極パッド2をICチップ1外に形成されているマザー基板100側のパッド101に接続する必要があることから実装に要する面積が他の実装構造に比較して広がってしまうなどの欠点がある。

【0008】そこで近年、半導体パッケージの実装構造を更に小型化するため、図4に示したように、ICチップ1を、その複数の電極パッド2にバンブ3が形成されている能動面を下向きに、所謂フェイスダウンの状態にしてマザー基板100またはインターポーザの表面に向けてフリップチップボンディングし、バンブ3をマザー基板100のパッド101にリードを用いずに直接実装し、チップサイズパッケージ(CSP)化を図っている。

【0009】前記のフリップチップボンディングによれば、ICチップの実装が可能な領域は基板表面の一面だけであり、実装密度は基板サイズの制限を受けるため、実装密度を更に飛躍的に向上させることは困難である。そこで、ICチップを多層基板の内部に実装して実装密度を上げ、電子機器を小型化する実装構造が提案されるようになって来ている。

【0010】その一例を図5に示した。この図5に示した先願発明の多層実装構造の回路基板は、本出願人が平成11年9月1日に出願した特願平11-248024「電子回路内蔵プリント配線板およびその製造方法」に記載の発明の一実施形態の多層実装構造のものであって、それを略線的断面図で示したものであって、電気導体層(以下、単に「導体層」と略記する)が8層構造の回路基板20を示した。

【0011】即ち、回路パターンが形成された導体層L1～L8の8導体層を備え、各導体層間が電気絶縁樹脂を印刷などの手段で形成した電気絶縁層(以下、単に「導体層」と略記する)I1～I7で硬くて曲がらない基板構造に仕上げられている。各絶縁層I2～I7の材質は、ガラス布に、例えば、エポキシ系樹脂のような熱硬化性樹脂を含浸させたものであり、絶縁層I1はエポキシ系樹脂のような熱硬化性樹脂にフィラーを多く混合して硬化時の応力緩和を図れるようになされている。導体層L1は導体層L2の上方に樹脂付き銅箔を積層する

かメッキ処理により形成される。

【0012】電気的構造は、導体層L2に複数の電極パッド或いはランド(以下、「パッド」と記す)21や配線回路が、例えば、フォトリソ法によりレジスト被膜Rをマスクとして形成されている。これらは銅箔をエッチングまたはメッキ処理によって形成されている。そして一部のパッド21に、必要性に応じて不図示の異方性導電膜(ACF)を介してICチップ1がフェイスダウン状態で機械的、電気的に接続されている。

【0013】また、導体層L2に形成されている他のパッド21はビアH1を介して導体層L1と接続されている。同様に導体層L2と導体層L3とはビアH2で接続されており、導体層L3、L4、L5、L6はビアH3で、導体層L6と導体層L7とはビアH4で、導体層L7と導体層L8とはビアH5で接続されている。

【0014】このようにビアはそれぞれの絶縁層を貫通して必要な導体層間を電気的に接続するために設けられている。ビアはレーザ加工、ショットブラスト法による加工などで孔開け加工が施され、そしてそれらビアによる導体層間の導通方法としては、銅メッキが主であるが、銀、銅-銀、半田などの導電性ペーストを印刷などの手法により埋め込みまたは焼結して導通を取っている。

【0015】なお、それぞれの導体層L1～L8には所要の回路パターンが形成されており、そしてそれらの回路パターンにチップ形状の所要の電子部品が必要に応じて接続されているものであるが、ここでは説明の簡単にするため省略した。

【0016】前記の多層実装構造はICチップ1がフェイスダウン状態で内部に組み込んだ回路基板20であるが、図6に示した回路基板30のように、ICチップ1をフェイスアップ状態で内部にフリップチップボンディングして組み込んだ構造で構成することもできる。基板31としては、平坦性が求められることから、金属板、セラミックス板、またはシリコンウエーハなどが用いられる。但し、現状では、実際の商品に応用されているものは、少ない。

【0017】図示の例の実装構造では、前記のような材質の基板31の表面に、スパッターなどの半導体プロセスで使用される手段で配線パターンが形成された導体層L3上に複数のICチップ1をフェイスアップ状態でフリップチップボンディングで実装し、その後、絶縁樹脂を塗布して絶縁層I2を形成し、その絶縁層I2の表面に前記と同様に配線パターンが形成された導体層L2を形成し、その導体層L2の表面に複数のICチップ1をフェイスアップ状態でフリップチップボンディングで実装し、その後、絶縁樹脂を塗布して絶縁層I1を形成し、そしてその絶縁層I1の表面に前記と同様に配線パターンが形成された導体層L1を形成した構造のものである。

【0018】このような実装構造は、まだ実用化されて

いないが、用途としては、同じＩＣチップを多層に積層することから、メモリーモジュールなどへの使用が考えられる。

【００１９】

【発明が解決しようとする課題】しかしながら、これまで提案されているＩＣチップ内蔵型回路基板においては、回路設計時に、前記のようにＩＣチップがその能動面を基板面に面するように実装する（即ち、フェイスダウン）か、フェイスアップで実装するかの選択を行って配線しなければならなかった。このことは、回路基板を設計する上で、内蔵させるＩＣチップと外層部との接続を十分に検討して部品配置を行う必要がある。その結果、内蔵されたＩＣチップと外層部を接続するためのビアの数が増大して内蔵するＩＣチップの数や配線回路の設計に大きな制約が加わることもなっている。

【００２０】本発明は前記のような問題点に鑑みてなされたものであって、外部との接続を行うビアの数を増やすことなく回路設計が容易になる電子部品内蔵型回路基板を得ることを目的とするものである。

【００２１】

【課題を解決するための手段】前記の目的を達成するために、本発明の電子部品内蔵型回路基板は、配線回路が形成されている基板面に、複数の外部接続電極が配設されている能動面を備えた少なくとも２個の電子部品を実装して、該電子部品の上に絶縁層を形成し、更に該絶縁層の表面に電気導体層を形成してなる電子部品内蔵型回路基板において、前記電子部品の一方のものは、前記配線回路に前記能動面を対向させて前記外部接続電極が接続、実装されており、他方のものは前記電気導体層に前記能動面を対向させて前記外部接続電極が接続、実装されていることを特徴とする。

【００２２】そして、本発明の電子部品内蔵型回路基板は、好ましくは、前記絶縁層に前記導体層と前記配線との電気的接続を行うビアが形成されていることを特徴とする。

【００２３】また、本発明の電子部品内蔵型回路基板は、好ましくは、前記絶縁層に、前記導体層と前記配線との電気的接続を行うビアと前記導体層と前記外部接続電極との電気的接続を行うビアとが形成されていることを特徴とする。

【００２４】そしてまた、本発明の電子部品内蔵型回路基板は、前記電子部品として半導体集積回路チップを組み込み、実装する場合に特に好適な構造となる特徴を備えている。

【００２５】更に、本発明の電子部品内蔵型回路基板の製造方法は、配線回路が形成されている電気導体層が被覆されている基板面に、複数の外部接続電極が配設されている能動面を備えた少なくとも２個の第１及び第２電子部品を、それらの能動面の向きを互いに逆向きにして実装されている構造の電子部品内蔵型回路基板を製造す

るに当たり、前記電子部品内蔵型回路基板は、第１の電気絶縁層と該第１の電気絶縁層の表面に複数の電極パッドを含む配線回路が形成されている第１の電気導体層とをベース基板とし、前記複数の電極パッドに前記複数の外部接続電極を接続して前記第１電子部品を固定し、前記複数の電極パッドが存在しない前記第１の電気導体層の部分に前記能動面の裏面側を向け、前記複数の外部接続電極を接続しないで前記第２電子部品を固定する第１の工程と、固定された前記第１電子部品と前記第２電子部品にそれらの厚みより少し厚く絶縁樹脂を被着、硬化させて第２の電気絶縁層を形成する第２の工程と、該第２の電気絶縁層の表面に第２の電気導体層を被覆する第３の工程と、前記ベース基板の裏面に所定の厚さの絶縁樹脂を被着、硬化させて少なくとも一層の第３の電気絶縁層を形成する第３の工程と、前記第３の電気絶縁層の表面に第３の電気導体層を形成する第４の工程と、前記第１の電気導体層の前記複数の電極パッドに接続されている複数の電極パッドと前記第２の電気導体層とを電気的に接続するビアを形成する第５の工程と、前記第１の電気絶縁層と第３の電気導体層とを電気的に接続するビアを形成する第６の工程と、前記第２の電気導体層と前記第２電子部品の前記外部接続電極を接続する第７の工程とを含む工程で製造されることを特徴とする。

【００２６】更にまた、前記の電子部品内蔵型回路基板の製造方法の前記第２の工程における第２の電気絶縁層の厚みが、固定された前記第１電子部品の厚みより厚く、前記第２電子部品の前記複数の外部接続電極までの厚みと同等か、それより少し薄く絶縁樹脂を被着、硬化させて第２の電気絶縁層を形成し、前記第２の電気導体層を前記第２の電子部品の前記外部接続電極に直接接続する工程であることを特徴とする。

【００２７】以上のように一枚の配線基板に電子部品をフェイスダウンとフェイスアップで実装する組合せ構造を採ることにより、回路基板外層側との配線が多い電子部品はフェイスアップ状態で実装すれば、比較的簡単に多数の配線を処理することができるばかりではなく、外層部への接続のためのビア数を増加させる必要がない。従って、本発明の回路基板を組み込んだ電子機器はより一層小型化することができる。

【００２８】また、フェイスアップで実装する電子部品には、比較的消費電力の大きい電子部品を電子部品を当てることことができる。

【００２９】更に、フェイスアップで実装された電子部品の放熱は、その裏面から接続材、導体層の銅ランド、ビアを介して内層部へと熱拡散させることができる。

【００３０】更にまた、本発明の電子部品内蔵型回路基板の製造方法によれば、半導体装置の製造工程で用いられている印刷、成膜、エッチング、ボンディング技術、実装技術などの既存の技術を組み合わせることで高密度実装された電子部品内蔵型回路基板を極めて容易に製造

することが出来る。

【0031】

【発明の実施の形態】以下、図を用いて、本発明の一実施形態の電子部品内蔵型回路基板を説明する。

【0032】図1は本発明の一実施形態の電子部品内蔵型回路基板の断面側面図、図2は図1に示した電子部品内蔵型回路基板に内蔵されている複数のICチップの内のフェイスアップ状態で実装されているICチップの実装構造を説明するための電子部品内蔵型回路基板の断面側面図である。

【0033】図1において、符号10は全体として本発明の電子部品内蔵型回路基板（以下、単に「回路基板」と略記する）を指す。この回路基板10には多層構造の基板に複数のICチップ1A、1Bが能動面の向きを異にして内蔵されているものである。ICチップ1A、1Bは外形がほぼ同一構造のペアクリップで、それらの能動面の複数の電極パッドには半田または金製のバンパ2が形成されている。

【0034】ICチップ1Aは導体層L2の表面に形成されている回路パターンパッド11に前記のフェイスダウン状態で、ICチップ1Bは前記のフェイスアップ状態で実装されている。即ち、ICチップ1Aはそのバンパ2をパッド11にフリップチップボンディングして実装されており、ICチップ1Bはそのバンパ2を上向きにしたフェイスアップ状態で、その裏面を銀ペースト、異方性導電膜（ACF）などの接続材12を介してパッド11に固定して実装されている。

【0035】また、この回路基板10も、図5に示した回路基板200と同様に、導体層が8層構造の基板で示した。即ち、回路パターンが形成された導体層L1～L8の8導体層を備え、各導体層間が絶縁樹脂を印刷などの手段で形成した絶縁層I1～I7で硬くて曲がらない基板構造に仕上げられている。各絶縁層I2～I7の材質は、ガラス布に、例えば、エポキシ系樹脂のような熱硬化性樹脂を含浸させたものであり、絶縁層I1はエポキシ系樹脂のような熱硬化性樹脂にフィラーを多く混合して硬化時の応力緩和を図れるようにしておくといよい。導体層L1は導体層L2の上方に樹脂付き銅箔を積層するかメッキ処理により形成される。

【0036】電気的構造は、導体層L2に複数のパッド11や配線回路が形成されている。これらは銅箔をエッチングまたはメッキ処理によって形成されている。そして一部のパッド11にバンパ2が位置するようにICチップ1Aがフェイスダウン状態でフリップチップボンディングされており、ICチップ1Bは接続材12を介して導体層L2にフェイスアップ状態で電気的、機械的に接続されている。

【0037】また、導体層L2に形成されている他のパッド11はビアH1aを介して導体層L1と接続されており、また、ICチップ1Bの複数のバンパ2はビアH

1bを介して導体層L1に接続されている。

【0038】同様に導体層L2と導体層L3とはビアH2で接続されており、導体層L3、L4、L5、L6はビアH3で、導体層L6は導体層L7にビアH4で、導体層L7は導体層L8はビアH5で接続されている。

【0039】従って、各導体層上に実装されている各電子部品間はビアH2、H3、H4を通じて接続され、それぞれ電子回路の構成要素となる。また、外部の電子回路へはビアH1a、H1b、H5を介して接続することができる。

【0040】前記接続材12はICチップ1Bの固定と放熱の機能を果たす。接続材12は一般的には導電性であって、熱または紫外線によって硬化する樹脂に金属系フィラーを混入させたものである。

【0041】ICチップ1Bの放熱は、そのICチップ1Bの裏面から接続材12を介して、導体層L2、L3間のビアH2から導体層L3～L6に形成されたビアH3を通して内層部または導体層L8側に放熱される。

【0042】前記のようにビアによる導体層間の導通方法は前記の手段と同様であるので、その説明は省略する。また、それぞれの導体層L1～L8には所要の回路パターンが形成されており、そしてそれらの回路パターンにチップ形状の所要の電子部品が必要に応じて接続されているものであるが、その説明も省略する。

【0043】次に、本発明の回路基板10の製造方法を工程順に説明する。

【0044】1) 先ず、絶縁層I2とその表面に形成されている導体層L2とをベース基板として、その導体層L2の表面に、例えば、フォトリソ法によりレジスト被膜Rを形成し、ICチップ1Aの外部接続電極を固定する電極パッドを形成すると共に、印刷にてICチップ1Bの固定用の接続材12である銀ペーストを塗布する。

【0045】2) 次に、ICチップ1Bの中心またはICチップ1Bのアライメントマークを画像認識などで認識して、接続材12を介してICチップ1Bをフェイスアップ状態で導体層L2にボンディングする。

【0046】3) 次に、接続材12を硬化する。

【0047】4) 次に、導体層L2の他の予め決められた位置に導電性接着剤を塗布するか異方性導電膜（ACF）を貼る。

【0048】5) 次に、ICチップ1Aをボンディング装置により仮固定の後、本圧着する。

【0049】6) 次に、実装された両ICチップ1A、1BにそれらICチップ1A、1Bの厚みより少し厚く絶縁樹脂を印刷し、硬化させて絶縁層I1を形成する。

【0050】7) 次に、絶縁層I1の表面に導体層L1を形成する。この場合、樹脂付き銅箔を積層するか、銅箔をプリプレグを挟んで積層するなどの積層プレス方法とメッキ処理による方法が用いられる。

8) 次に、導体層L1のビアH1a、H1bを開ける部分の銅箔をエッチングし、除去する。

【0051】9) 次に、銅箔が除去された部分にレーザ装置を用いてビアH1a、H1bを加工する。レーザとしては、炭酸ガスレーザまたはエキシマレーザを用い、導体層L1を基準面としてビアH1a、H1bの底までの距離(深さ)及び径が異なるので出力、加工方法の条件を調整して加工を行う。

10) レーザ加工部分の樹脂残りを除去する(約1 μ m程度)。

11) ビアH1a、H1bにメッキ又は導電性ペーストを埋めて、導電性をもたせる。

12) 次に、ビアH1a、H1bが開けられた導体層L1の表面に配線回路パターンを形成する。

【0052】回路基板10における他の絶縁層I3~I7、導体層L3~L8、ビアH2~H5の形成方法は、図5に示した従来技術の回路基板200の場合と同様であるので、それらの説明は省略する。

【0053】図2には、前記フェイスアップ状態で実装したICチップ1Bの他の実装構造を示した。このICチップ1Bの実装構造は、図1に示したICチップ1Bの絶縁層I1の硬化後で導体層L2に実装されたICチップ1Bの bumps 2が露出するところまで平坦化処理(研磨)を行い、その後、ビアH1aの加工を行い、メッキ処理によって bumps 2との接続計る。

【0054】このような実装構造を採ることにより、図1に示したビアH1a、H1bの深さ及び形状を考慮した加工を行う必要がない。

【0055】以上のように一枚の多層配線基板内に複数のICチップをフェイスダウンとフェイスアップで実装する組合せ構造を採ることにより、回路基板外層側との配線が多いICチップはフェイスアップ状態で実装すれば、比較的簡単に多数の配線を処理することができるばかりではなく、外層部への接続のためのビア数を増加させる必要がない。従って、本発明の回路基板を組み込んだ電子機器はより一層小型化することができる。

【0056】また、フェイスアップで実装するICチップ

には、比較的消費電力の大きいICチップ、例えば、中央演算素子(CPU)を実装することができる。

【0057】更に、フェイスアップで実装されたICチップの放熱は、その裏面から接続材、導体層の銅ランド、ビアを介して内層部へと熱拡散させることができる。

【0058】

【発明の効果】以上説明したように、本発明の電子部品内蔵型回路基板によれば、ICチップのような電子部品の実装密度を一層上げることができ、その回路基板が組み込まれる電子機器をより一層小型化、薄型化することが可能となる。など、数々の優れた効果が得られる。

【図面の簡単な説明】

【図1】 本発明の一実施形態の電子部品内蔵型回路基板の断面側面図である。

【図2】 図1に示した電子部品内蔵型回路基板に内蔵されている複数のICチップの内のフェイスアップ状態で実装されているICチップの実装構造を説明するための電子部品内蔵型回路基板の断面側面図である。

【図3】 従来技術のベア型ICチップのマザー基板への実装構造を示す断面側面図である。

【図4】 従来技術のベア型ICチップをマザー基板へフリップチップボンドで実装構造を示す断面側面図である。

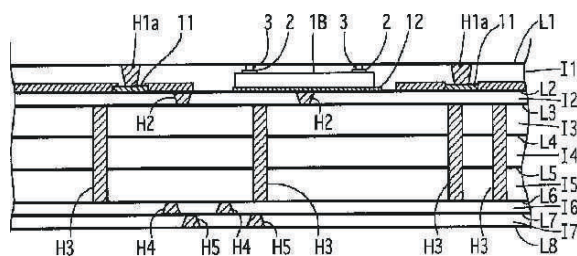
【図5】 従来技術のベアのICチップをマザー基板へフェイスダウン状態で実装した実装構造を示す断面側面図である。

【図6】 ICチップをフェイスアップ状態で内部にフリップチップボンドして組み込んだ実装構造の断面側面図である。

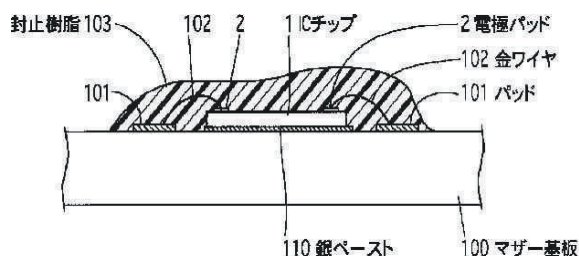
【符号の説明】

1...ICチップ、2...電極パッド、3... bumps、10...本発明の一実施形態の電子部品内蔵型回路基板、L1、L2、L3、L4、L5、L6、L7、L8...電気導体層、I1、I2、I3、I4、I5、I6、I7...電気絶縁層、H1a、H1b、H2、H3、H4、H5、H6、H7...ビア、R...レジスト被膜

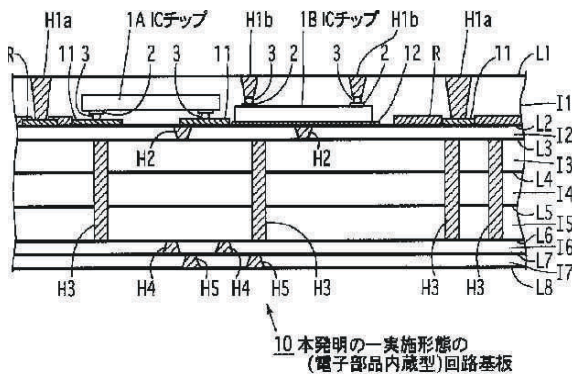
【図2】



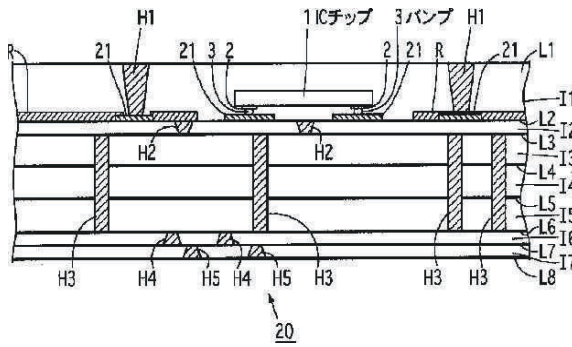
【図3】



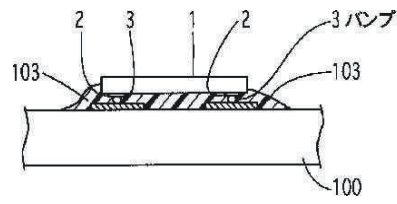
【図 1】



【図 5】



【図 4】



【図 6】

