

CERTIFICATE OF TRANSLATION ACCURACY

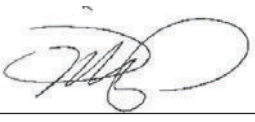
I, Alex Jo, declare:

I am a professional reviewer and coordinator specializing in translating Chinese, Japanese and Korean to English.

I have over 25 years of experience reviewing and coordinating translations of thousands of technical, legal, and business documents from Chinese to English submitted to, among others, various U.S. federal courts, the U.S. International Trade Commission (ITC), and the USPTO Patent Trial and Appeal Board (PTAB).

I certify that the following Japanese to English translation of the corresponding source text is a true, correct, and complete translation to the best of my knowledge and ability.

I hereby certify under penalty of perjury that the foregoing is true and correct. Executed this 4th day of September 2022 in the Contra Costa County of the State of California.

By: 

Alex Jo
Member, ATA

(19) Japan Patent Office (JP)

(12) Patent Application Gazette (A)

(11) Published Application No.

2002-83926

(P2002-83926A)

(43) Published: Mar. 22, 2002

(51) Int. Cl. ⁷		Identification codes	F1	Theme codes (reference)	
H01L	25/065		H01L	25/08	Z
	23/12			23/12	N
	23/52			23/52	C
	25/07				
	25/18				
Request for examination: Not yet requested; Number of claims: 13 OL (Total of 14 pages)					
(21) Filed Appl. No.:	2001-198356 (P2001-198356)		(71) Applicant:	000000158	
(22) Filed:	Jun. 29, 2001			IBIDEN CO., LTD.	
				2-1 Kanda-cho, Ogaki, Gifu Prefecture	
(31) Priority Claim:	2000-196419 (P2000-196419)		(72) Inventor:	Akira ENOMOTO	
				% IBIDEN CO., LTD.	
				1-1 Kitagata, Ibigawa-cho, Ibi-gun, Gifu Prefecture	
(32) Priority Date:	Jun. 29, 2000		(72) Inventor:	Hajime SAKAMOTO	
				% IBIDEN CO., LTD.	
				1-1 Kitagata, Ibigawa-cho, Ibi-gun, Gifu Prefecture	
(33) Priority State:	Japan (JP)		(72) Inventor:	Sunao SUGIYAMA	
				% IBIDEN CO., LTD.	
				1-1 Kitagata, Ibigawa-cho, Ibi-gun, Gifu Prefecture	
			(74) Agent or Attorney:	1000808687	
				Junzo Ogawa, patent attorney (and one other)	

(54) (TITLE) **CIRCUIT BOARD FOR SEMICONDUCTOR CHIP MOUNTING AND MANUFACTURING METHOD THEREFOR AS WELL AS MULTILAYERED CIRCUIT BOARD**

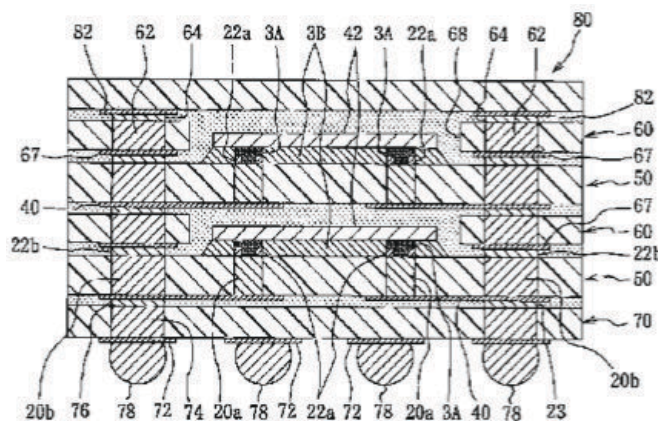
(57) (ABSTRACT)

(PROBLEM)

To shorten the distance between mounted semiconductor chips, and eliminate defects caused by resistance and inductance in the wiring to transmit electrical signals at high speed without delay.

(MEANS TO SOLVE THE PROBLEM)

Provided are a semiconductor chip mounting circuit board formed with two types of conductive bumps, i.e., a mounting bump 22a on which an IC chip or other semiconductor chip 42 can be mounted and a connection bump 22b providing an electrical connection with other printed boards, on the same surface side of an insulating substrate 10, and with a conductor circuit 40 connecting these conductive bumps 22a and 22b on the other surface, a manufacturing method therefor, and a multilayered circuit board in which the semiconductor chip mounting circuit board is laminated with another single-sided circuit board.



(CLAIMS)

(CLAIM 1) A circuit board having a conductor circuit formed on one surface of an insulating substrate, via holes comprising a conductive substance filled inside of non-through-holes reaching the aforementioned conductor circuit from another surface of the insulating substrate, and conductive bumps positioned directly over the via holes, electrically connected thereto, and projecting from the other surface of the aforementioned insulating substrate, wherein

the circuit board for semiconductor chip mounting is characterized in that the other surface side of the aforementioned insulating substrate has, in roughly the center, a mounting region for mounting a semiconductor chip and has a peripheral connection region outside of the mounting region for electrically connecting to another circuit board, a mounting bump for providing an electrical connection to the semiconductor chip and a connection bump for providing an electrical connection to another circuit board are provided projecting in the aforementioned mounting region and the peripheral connection region, and the conductor circuit formed on the one surface side of the aforementioned insulating substrate extends from the center of the aforementioned circuit board toward the peripheral part such as to electrically connect a via hole corresponding to the aforementioned mounting bump and a via hole corresponding to the aforementioned connection bump.

(CLAIM 2) The semiconductor chip mounting circuit board set forth in claim 1 characterized in that a semiconductor chip is mounted at the aforementioned mounting bump.

(CLAIM 3) The circuit board set forth in claim 1 or 2 characterized in that the aforementioned conductive substance is formed from an electrolytic copper plating film, and the aforementioned conductive bumps are formed from an electrolytic tin plating film.

(CLAIM 4) The circuit board set forth in claim 1 or 2 characterized in that the aforementioned conductive bumps are formed with any one metal selected from Sn, Pb, Ag, Au, Cu, Zn, In, and Bi.

(CLAIM 5) The circuit board set forth in claim 1 or 2 characterized in that the aforementioned conductive bumps are formed from a solder or a tin alloy.

(CLAIM 6) The circuit board set forth in any of claims 1 to 5 characterized in that a roughened layer is formed on a surface of the aforementioned conductor circuit.

(CLAIM 7) A method for manufacturing a circuit board for semiconductor chip mounting which, when manufacturing a circuit board having a conductor circuit formed on one surface of an insulating substrate, via holes comprising a conductive substance filling the inside of non-through-holes reaching the aforementioned conductor circuit from another surface of the insulating substrate, and conductive bumps positioned directly over the via holes, electrically connected thereto, and projecting from the other surface of the aforementioned insulating substrate, includes at least steps (1) to (3) below:

(1) a step for providing a conductor layer for forming a wiring layer on one surface of the insulating substrate and for forming, in the center and at the periphery of the insulating substrate, non-through-holes reaching the aforementioned conductor layer from another surface of the insulating substrate,

(2) a step for filling the inside of the aforementioned non-through-holes with a conductive substance to form via holes, and

(3) a step for forming, in a state where a bump formation film having bump formation holes open and aligned to the aforementioned via hole positions is pasted on the other surface of the aforementioned insulating substrate, and forming, by filling the aforementioned bump formation hole with a conductive substance, a conductive bump for semiconductor chip mounting directly over the via hole in the center of the aforementioned insulating substrate, and a conductive bump for electrical connection with a neighboring circuit board directly over the via hole at the periphery of the aforementioned insulating substrate.

(CLAIM 8) A multilayered circuit board manufactured by having a conductor circuit in one face of an insulating resin substrate, forming via holes reaching the aforementioned conductor circuit from another face of the insulating resin substrate, laminating, with an adhesive, a plurality of circuit boards made with conductive bumps formed directly over the via holes, and hot-pressing the entirety of the laminated plurality of circuit boards, wherein,

said multilayered circuit board is configured such that some number of the aforementioned circuit boards has, in roughly the center, a conductive bump with a mounted semiconductor chip and has a conductive bump at the periphery for electrically connecting another circuit board, the conductive bump for mounting the aforementioned semiconductor chip is connected to a conductor circuit through a corresponding via hole, the conductor circuit extends toward the periphery of the aforementioned circuit board and connects at the periphery to a conductive bump of another neighboring circuit board.

(CLAIM 9) The multilayered circuit board set forth in claim 8 characterized in that the aforementioned other circuit board has, at roughly the center, a through-hole where a semiconductor chip can pass or be held.

(CLAIM 10) The multilayered circuit board set forth in claim 8 or 9 characterized in that the aforementioned via holes are formed from an electrolytic copper plating film, and the aforementioned conductive bumps are formed from an electrolytic tin plating film.

(CLAIM 11) The circuit board set forth in any of claims 8 to 10 characterized in that the aforementioned conductive bumps are formed from any one metal selected from Sn, Pb, Ag, Au, Cu, Zn, In, and Bi.

(CLAIM 12) The circuit board set forth in any of claims 8 to 10 characterized in that the aforementioned conductive bumps are formed from a solder or a tin alloy.

(CLAIM 13) The multilayered circuit board set forth in any of claims 8 to 12 characterized in that a roughened layer is formed at a surface of the aforementioned conductor circuit.

(DETAILED DESCRIPTION OF THE INVENTION)

(0001)

(TECHNICAL FIELD) The present invention relates to a circuit board suited for mounting a semiconductor chip, a manufacturing method therefor, and a multilayered circuit board.

(0002)

(PRIOR ART) Recently, a lamination technology has been proposed for embedding an IC chip in a board to respond to the high-density mounting of IC chips. Such lamination packages have been disclosed in, for example, H9-219490, H10-135267, and H10-163414. In such prior art, an IC package such as a thin small outline package (TSOP), a tape carrier package (TCP), or a ball grid array (BGA) is assembled in each layer and then the plurality of IC packages are laminated. At that time, the layers are connected through terminals for external connection provided at each package in advance. However, many manufacturing steps must be used in such prior art, causing an increase in manufacturing costs.

(0003) FIG. 5 and 6 show a laminated package manufactured with the aforementioned prior art. FIG. 5 shows laminated packages manufactured molded with resin. FIG. 6(a) is a side view of the module board shown in FIG. 5, and FIG. 6(b) is a plan view of the same. IC packages 100A and 100B therein are provided with an IC mounting part 106, an IC chip 102 mounted on the upper surface thereof, a lead 101 connecting the IC chip 102 and an external part, and a bonding wire 103 connecting the IC chip 102 and the lead 101 inside the resin. A prescribed region containing the IC chip 102 is covered by a resin body 104. Mounting is carried out with the other IC package 100B in a laminated state on the upper side of the IC package 100A with such a structure.

(0004)

(PROBLEM THE INVENTION IS TO SOLVE) However, when the aforementioned IC packages 100A and 100B are stacked in the thickness direction to mount on the board 105, there is the problem that the overall module becomes thick due to the thickness of the resin body 104. Also, when the IC packages 100A and 100B are mounted in the horizontal direction, there is the problem that the overall module becomes large. Further, since the upper and lower packages 100A and 100B are connected to the board 105 by the respective leads 101, when a misplacement occurs during lamination of the package 100A or 100B, there is the risk of a short in the lead 101 interval.

(0005) With the miniaturization of IC cards and electronic devices such as mobile phones, there is a need for further high densification and thinner components for the IC packages, but doing so is difficult with the prior art discussed above.

(0006) To solve such problems, a technology has been investigated for changing the configuration of molding the IC chip 102 with the resin body 104, and, for example, laminating printed boards while mounting the IC chip between layers. However, when such a configuration is adopted, it is necessary to form conductive bumps (for connection between the printed boards and for IC mounting) on both the front and back sides of the printed board. Currently, the use of an expensive electrodeposition technique can be considered when manufacturing such a printed board, but such a method has the problem of not being economical due to elevated IC package manufacturing costs.

(0007) The present invention takes into consideration the problems described above which the prior art entails. It is an

object of the present invention to provide a circuit board for semiconductor chip mounting in which, in order to provide high-density, thin IC packages, an electrical connection with a semiconductor chip such as an IC can be reliably made and the wire led out from the semiconductor chip is also laminated.

(0008) It is another object of the present invention to propose a method for inexpensively manufacturing a circuit board for semiconductor chip mounting.

(0009) It is yet another object of the present invention to provide a multilayered circuit board obtained by laminating a circuit board mounted with a semiconductor chip and hot pressing the entirety.

(0010)

(MEANS TO SOLVE THE PROBLEM) As a result of assiduous research to achieve the objectives described above, the inventors discovered that a circuit board in which a conductor circuit is formed on one surface of an insulating substrate, via holes are formed by filling, with a conductive substance, non-through-holes reaching the conductor circuit from the other surface of the insulating circuit, and two types of conductive bumps, i.e., a mounting bump for providing a connection to a semiconductor chip and a connection bump for providing a connection to another printed board, are positioned directly over the via holes so as to project inside a prescribed region of the insulating substrate, can be multilayered with another suitable lamination circuit board, and arrived at the present invention, the gist of whose configuration is described below.

(0011) (1) In a circuit board having a conductor circuit formed on one surface of an insulating substrate, via holes comprising a conductive substance filled inside of non-through-holes reaching the aforementioned conductor circuit from another surface of the insulating substrate, and conductive bumps positioned directly over the via holes, electrically connected thereto, and projecting from the other surface of the aforementioned insulating substrate, the circuit board for semiconductor chip mounting of the present invention is characterized in that the other surface side of the aforementioned insulating substrate has, in roughly the center, a mounting region for mounting a semiconductor chip and has a peripheral connection region outside of the mounting region for electrically connecting to another circuit board, a mounting bump for providing an electrical connection to the semiconductor chip and a connection bump for providing an electrical connection to another circuit board are provided projecting in the aforementioned mounting region and the peripheral connection region, and the conductor circuit formed on the one surface side of the aforementioned insulating substrate extends from the center of the aforementioned circuit board toward the peripheral part such as to electrically connect a via hole corresponding to the aforementioned mounting bump and a via hole corresponding to the aforementioned connection bump.

(0012) According to the configuration as in (1) above, in a state where the semiconductor chip is mounted on a mounting bump provided on one face of a circuit board, lamination is possible with another neighboring circuit board. Accordingly, this configuration is exceedingly beneficial for the manufacture of a multilayered circuit board in which it is possible to densify the wiring board and reduce the distance between semiconductor chips, reduce defects caused by resistance and inductance in the wiring, and transmit electrical signals at high speed without delay.

(0013) In the mounting circuit board set forth in (1) above, it is desirable to form the conductive substance from an electrolytic copper film and the conductive bumps from an electrolytic tin plating film.

(0014) According to such a configuration, a role of attachment between conductors is achieved to ensure an electrical connection, providing advantages in connectivity and reliability.

(0015) The aforementioned conductive bumps are desirably formed with any one metal selected from Sn, Pb, Ag, Au, Cu, Zn, In, and Bi and can also be formed from a solder or a tin alloy.

(0016) (2) In the manufacture of a circuit board having a conductor circuit formed on one surface of an insulating substrate, via holes comprising a conductive substance filling the inside of non-through-holes reaching the aforementioned conductor circuit from another surface of the insulating substrate, and conductive bumps positioned directly over the via holes, electrically connected thereto, and projecting from the other surface of the aforementioned insulating substrate, the method for manufacturing a circuit board for semiconductor chip mounting of the present invention includes at least steps (1) to (3) below, (1) a step for providing a conductor layer for forming a wiring layer on one surface of the insulating substrate and for forming, in the center and at the periphery of the insulating substrate, non-through-holes reaching the aforementioned conductor layer from another surface of the insulating substrate, (2) a step for filling the inside of the aforementioned non-through-holes with a conductive substance to form via holes, and (3) a step for forming, in a state where a bump formation film having bump formation holes open and aligned to the aforementioned via hole positions is pasted on the other surface of the aforementioned insulating substrate, a conductive bump for semiconductor chip mounting directly over the via hole in the center of the aforementioned insulating substrate by filling the aforementioned bump formation hole with a conductive substance, and a conductive bump for electrical connection with a neighboring circuit board directly over the via hole at the periphery of the aforementioned insulating substrate.

(0017) (3) In a multilayered circuit board manufactured by laminating a plurality of circuit boards with an adhesive and hot-pressing all of the laminated plurality of circuit boards together, each of said circuit boards made such as to have a conductor circuit formed in one face of an insulating substrate, via holes comprising a conductive substance used to fill the inside of non-through-holes reaching the aforementioned conductor circuit from the other surface of the insulating substrate, and

conductive bumps positioned directly over the via holes so as to electrically connect thereto and projecting from the other surface of the aforementioned insulating substrate, some number of the aforementioned circuit boards has, in roughly the center, a conductive bump mounted with a semiconductor chip and has a conductive bump at the periphery for electrically connecting another circuit board, the conductive bump for mounting the aforementioned semiconductor chip is connected to the conductor circuit through a corresponding via hole, the conductor circuit extends toward the periphery of the aforementioned circuit board and connects at the periphery to a conductive bump of another neighboring circuit board.

(0018) In the multilayered circuit board set forth in (3) above, the other circuit board neighboring the circuit board to be mounted with a semiconductor chip has, at roughly the center, a through-hole where a semiconductor chip can pass or be held.

(0019) The aforementioned via holes are desirably formed from an electrolytic copper plating film, and the conductive bumps are formed from an electrolytic tin plating film.

(0020) The aforementioned conductive bumps are formed from any one metal selected from Sn, Pb, Ag, Au, Cu, Zn, In, and Bi, or from a solder or a tin plating alloy.

(0021) The surface of each conductor circuit of the circuit board configuring the multilayered circuit board set forth in (3) above is desirably formed with a roughened layer.

(0022)

(MODES TO WORK THE INVENTION) A characteristic of the circuit board according to the present invention is, when in a state having a semiconductor chip such as an IC chip mounted and being laminated along with another lamination circuit board having nearly the same structure, being suitable for the manufacture of a multilayered circuit board capable of rapidly transmitting a signal between the semiconductor chips.

(0023) In further detail, in the circuit board according to the present invention, a conductor circuit is formed on one surface of the insulating substrate, a non-through-hole reaching the conductor circuit is formed on the other surface of the insulating substrate, the non-through-hole is filled with a conductive substance to form a via hole, and a conductive bump is formed directly on the via hole.

(0024) The insulating substrate has a region for mounting, in roughly the center, a semiconductor chip, and has, at the peripheral part facing outward from the mounting region, a connection region for an electrical connection with a neighboring circuit board.

(0025) The portion that surrounds the semiconductor chip mounting region of the insulating substrate is formed with many via holes, directly on top of which are formed conductive bumps for semiconductor chip mounting (hereinafter referred to as "first conductive bumps), projecting from the surface of the insulating substrate.

(0026) Also at the peripheral part of the insulating substrate are formed many via holes, directly on which are formed conductive bumps (hereinafter referred to as "second conductive bumps") for electrically connecting with neighboring circuit boards protruding from the surface of the insulating substrate similar to the first conductive bumps.

(0027) The aforementioned first conductive bump is connected to the conductor circuit formed on the surface opposite the insulating substrate via a corresponding via hole, and the conductor circuit extends from the center toward the peripheral part where the conductor circuit is electrically connected to the via hole corresponding to the second conductive bump.

(0028) Such a circuit board mounted with a semiconductor chip is laminated with another circuit board having a nearly identical structure and a circuit board mounted with a separate semiconductor chip, forming a multilayered circuit board that achieves high densification and high functionality.

(0029) When carrying out such multilayering, it is desirable, for example, to arrange a circuit board mounted with a semiconductor chip having mainly a computation function at the surface layer side, to arrange a circuit board mounted with a semiconductor chip having mainly a memory function at the inner layer side, and to arrange between these semiconductor chip mounting circuit boards a lamination circuit board provided with, at roughly the center of the insulating substrate, an opening corresponding to the semiconductor chip mounting region having a conductor circuit at one face, formed at the other face of the insulating substrate with filling via holes made by filling non-through-holes reaching the conductor circuit with a conductive substance, and formed with conductive bumps directly over the via holes, and in that state, laminating these circuit boards and heat-pressing all together.

(0030) In the multilayered circuit board thus obtained, the semiconductor chip mounted on the circuit board is sealed with resin facing inside the center opening provided in the neighboring other circuit board also having a function as a spacer, and in that state, a connection is made to the semiconductor circuit provided on the opposite side of the insulating substrate with the first conductive bump and the corresponding via hole interposed. The conductor circuit extends toward the board peripheral part, and there is a connection between the neighboring circuit board and the via hole corresponding to the second conductive bump for connection, and therefore the distance between semiconductor chips is reduced and defects due to wire resistance and inductance are reduced, and consequently electrical signals can be transmitted at high speed without delay.

(0031) For the insulating resin substrate used in the circuit board of the present invention, an organic insulating substrate can be used, in specific terms, one substrate selected from an aramid nonwoven cloth-epoxy resin substrate, a glass cloth epoxy resin substrate, an aramid nonwoven cloth-polyimide

substrate, a bismaleimide-triazine resin substrate, a rigid (hard) laminate substrate selected from FR-4 and FR-5, and a flexible substrate comprising a polyphenylene ether (PPE) film or a polyimide (PI) or other such film.

(0032) In particular, the hard insulating resin substrate is not a traditional sort of semi-cured prepreg, but is formed from a fully cured resin material, and therefore when such a material is used, there is no fluctuation in the final thickness of the insulating substrate due to the pressing force when pressing the copper foil onto the insulating substrate with a hot press, and therefore displacement of the via holes is minimized and the via land diameter can be made small. Accordingly, the wire pitch can be made small and the wire density improved. The thickness of the substrate can be effectively maintained constant, and therefore when forming a non-through-hole for filling via hole formation described below with a laser, the laser emission conditions are easy to set.

(0033) The formation of the conductor circuit on one surface of the aforementioned insulating substrate is carried out by pasting a copper or other such metal foil on the insulating substrate via a suitable resin adhesive, and then etching. In place of pasting the copper foil on the insulating substrate, a single-sided copper-clad laminate board pasted in advance with a copper foil may be used on the insulating substrate, and the copper foil can be matted to improve the adhesion. Using a single-sided copper-clad laminate board is the best mode.

(0034) The aforementioned single-sided copper-clad laminate board is obtained by laminating a copper foil with a B stage prepreg after impregnating a thermosetting resin such as an epoxy resin base, a phenol resin, or a bismaleimide-triazine resin in a glass cloth, and heat-pressure pressing. The single-sided copper-clad laminate board is a rigid board, and is the most beneficial to use in terms of ease of handling and cost. After depositing metal on the surface of the insulating resin substrate, electroplating is used to form a metal layer.

(0035) The thickness of the aforementioned insulating resin substrate is 10 to 20 μm , favorably 15 to 100 μm , and most favorably 20 to 80 μm . This is because if the insulating resin substrate is thinner than these ranges, the strength drops, making handling difficult, and if thicker, formation of the fine via holes and filling with the conductive material are difficult.

(0036) The thickness of the copper foil forming the conductor circuit is 5 to 36 μm , preferably 8 to 30 μm , and most suitably 12 to 25 μm . This is because if the copper foil is too thin, the non-through-hole for via hole formation described below tends to get pierced when forming with a laser, and if too thick, it is difficult to form a fine pattern by etching.

(0037) The non-through-hole for via hole formation is formed on the surface opposite of the copper pasting surface of the insulating resin substrate by pasting a light-transmitting resin film beforehand through a semi-cured resin adhesive layer and emitting the laser from over the resin film.

(0038) The resin film provided with an opening by the aforementioned laser emission functions as a printing mask when filling the inside of the non-through-hole reaching the copper foil from the surface of the insulating surface with a conductive substrate to form the via hole, functions to adjust the bump projection height when forming the conductive bump directly over the via hole surface after filling the inside of the non-through-hole with a conductive substance, and has a pressure-sensitive adhesive layer such as can be peeled from the adhesive layer after the prescribed steps.

(0039) The aforementioned resin film is favorably formed, for example, from a polyethylene terephthalate resin film (hereinafter referred to as a "PET film") in which the pressure-sensitive adhesive layer is 1 to 20 μm thick and the film itself is 10 to 50 μm thick. This is because the amount the conductive bump projects from the surface of the insulating substrate is dependent on the thickness of the PET film, and therefore connection defects readily occur if the projection amount is too small with a thickness less than 10 μm , and the melted conductive bump spreads too much on the connection interface if the thickness exceeds 50 μm , making it impossible to form a fine pattern.

(0040) For the aforementioned laser device, a carbon dioxide gas laser device, a UV laser device, an excimer laser device, or the like may be used. In particular, a carbon dioxide gas laser device is the best suited for industrial use due to the fast processing speed and low cost and is the most desirable laser device in the present invention.

(0041) Using such a carbon dioxide gas laser, the diameter of the non-through-hole formed in the insulating resin substrate having a thickness in the aforementioned ranges is desirably in the range of 50 to 200 μm , and the laser emission conditions when doing so are desirably a pulse energy of 0.5 to 100 mJ, a pulse width of 1 to 100 μs , a pulse interval of at least 0.5 ms, and a shot number of 3 to 50.

(0042) The reason for setting a limit to the diameter of the non-through-hole is that it is difficult to fill the inside of the non-through-hole with the conductive paste and the connection reliability drops if the diameter is less than 50 μm , and high densification is difficult if the diameter exceeds 200 μm .

(0043) Before filling the non-through-hole with a conductive substance to form the via hole, it is desirable to carry out desmearing with, e.g., a chemical removal method of immersion in an oxidizing agent such as oxygen, permanganic acid, or chromic acid or a physical removal method using a plasma discharge, and a corona discharge, or the like, to remove resin residue remaining on the inside wall of the non-through-hole from a perspective of ensuring connection reliability.

(0044) It is desirable to carry out desmearing using a plasma discharge, a corona discharge, or the like, for example, in particular when the adhesive layer and the protection film are in a state pasted on the insulating substrate. Among dry smearing techniques, plasma cleaning using a plasma cleaning device is particularly favorable. In this mode, the non-through-hole for via hole formation was formed with a laser, but the hole can also be made with a mechanical method such as drilling or punching.

(0045) Methods for filling the inside of the non-through-hole with a conductive substance after the aforementioned desmearing to form a via hole include a plating filling method using plating and a method for filling with a conductive paste. When filling with plating, in particular, measures are taken to paste the protection film in advance and prevent contact with the plating solution so that the plating does not precipitate on the gold foil on the insulating substrate, and the plating is then used to fill the inside of the non-through-hole and form the via hole.

(0046) The aforementioned plating filling can be carried out with either electrolytic plating or electroless plating, but electrolytic plating is preferable.

(0047) For the electrolytic plating, Sn, Pb, Ag, Au, Cu, Zn, In, Bi, a solder, a tin alloy, or the like, for example, may be used, but electrolytic copper in particular is the best. When filling with electrolytic plating, the electrolytic plating is carried out using a copper foil formed on the insulating substrate as the plating lead. The copper foil (metal layer) is formed across the entire region of one surface of the insulating substrate, and therefore the current density is uniform, and a uniform height can be achieved when filling the non-through-hole with electrolytic plating. Before carrying out the electrolytic plating, the surface of the metal layer in the non-through-hole should be activated. (0048) After the electrolytic plating, the electrolytic plating (metal) that rises out of the hole is flattened by removal with grinding or the like. For the grinding, a belt sander, buff polishing, or the like can be used. Some of the electrolytic plating rising slightly higher than the insulating board may also be left.

(0049) Instead of filling with a conductive substance by plating, a method for filling with a conductive paste, or filling a portion of the non-through-hole with electrolytic plating or electroless plating and filling the remainder with conductive paste may be used.

(0050) The aforementioned conductive paste may be made from one or more types of metal particles selected from silver, copper, gold, nickel, and various solders.

(0051) The surface of the aforementioned metal particles may be coated with a different type of metal. More specifically, metal particles may be used that are made by covering the surface of copper particles with a noble metal such as gold or silver. An organic conductive paste with a thermosetting resin such as an epoxy resin or polyphenylene sulfide (PPS) resin added to the metal particles is desirable as the conductive paste.

(0052) In this mode, the non-through-hole formed with the laser is minute with a diameter of 50 to 200 μm , and so bubbles remain easily when filling with the conductive paste. It is therefore practical to fill with electrolytic plating.

(0053) The first conductive bump and the second conductive bump formed directly over the via holes on the side opposite of the copper foil pasting surface (metal layer) of the insulating resin substrate are formed by plating or conductive paste printing, but they are desirably formed by plating the inside of the opening formed in the protection film with laser emission and filling with plating having a height related to the thickness of the protection film.

(0054) The aforementioned plating filling can be carried out with either electrolytic plating or electroless plating, but electrolytic plating is preferable. For the electrolytic plating, Sn, Pb, Ag, Au, Cu, Zn, In, Bi, a solder, a tin alloy, or the like, for example, may be used, but electrolytic tin plating is best in this mode.

(0055) For the height of the aforementioned first and second conductive bumps, a range of 3 to 30 μm is desirable. This is because the fluctuation in bump height due to bump deformation cannot be tolerated at less than 3 μm , and because there is an increase in migration and whiskers [sic: whiskers] at more than 30 μm . A height of 5 μm , in particular, is most favorable.

(0056) In place of the plating, the first and second conductive bumps may be formed by filling the inside of the opening formed in the protection film with laser emission with a conductive paste. When doing so, the fluctuation in electrolytic plating height can be corrected by adjusting the amount of conductive paste used for filling, and the heights of the many conductive bumps made equal.

(0057) The bumps comprising this conductive paste are desirably in a semi-cured state. That is because the conductive paste can be hard in a semi-cured state and can penetrate the organic adhesive layer softened during hot-pressing. That is also because not only does the contact surface area deform so as to increase and the conductivity resistance lower during hot-pressing, but also because the bump height fluctuation is corrected.

(0058) The conductive bumps may be otherwise formed with a method for screen printing the conductive paste at a prescribed position using a metal mask provided at the opening, a method for printing a low melting point metal solder paste, a solder plating method, or a method for immersion in a solder melting solution.

(0059) A Pb-Sn solder, an Ag-Sn solder, an iridium solder, or the like may be used as the aforementioned low melting point metal.

(0060) The shape, size, bump pitch, and the like of the first conductive bump for mounting the aforementioned semiconductor chip are not particularly limited, but should be set in response to the terminal shape, terminal size, and terminal count of the semiconductor chip being mounted, and, for example, a round cylindrical, an oval cylindrical, a rectangular parallelepiped or a cubic shape may be used. If a round cylindrical or oval cylindrical shape is used, the diameter is desirably in the range of 50 to 200 μm , and 80 μm is the most favorable. The shape, size, bump pitch, and the like of the second conductive bump for providing an electrical connection to another neighboring circuit board should be appropriately selected within the ranges of the objective. For example, for a mode in which formation is carried out by plating filling at the same time as the

aforementioned first conductive bump inside the opening of the PET film formed at the same time as the non-through-hole for via hole formation by laser emission, the shape and size are made nearly identical, but the invention is not so limited.

(0061) The conductor circuit formed on the surface opposite to the surface on which the aforementioned first and second conductive bumps are formed on the insulating resin substrate may be formed by pasting a photosensitive dry film to the copper foil surface or applying a liquid-like photosensitive resist, then placing a mask having a prescribed wiring pattern and exposing and developing to form the plating resist layer, and then etching the copper foil at the portion where the etching resist is not formed.

(0062) The wiring pattern of the aforementioned conductor circuit is configured from a pattern with a fine wire width extending from roughly the center of the board toward the periphery so as to connect the via hole corresponding to the first conductive bump provided at roughly the center of the board and the via hole corresponding to the second conductive bump provided at the periphery of the board.

(0063) It is desirable for the wiring pattern to have a thickness of 5 to 30 μm , and 12 μm is the most favorable. The ratio of the line width to interwiring distance (L/D) is desirably from 50 $\mu\text{m}/50$ to 100 $\mu\text{m}/100$ μm . The land formed on the wiring pattern desirably has a diameter of 150 to 500 μm , and 350 μm is particularly favorable.

(0064) Etching to form the aforementioned pattern is desirably carried out with at least one selected from an aqueous solution of sulfuric acid-hydrogen peroxide, persulfate, cupric chloride, and ferric chloride.

(0065) The order for forming the wiring pattern of the conductor circuit may be either before or after formation of the conductive bumps. However, if the order adopted is one where the wiring pattern is formed after the conductive bumps are formed, manufacturing of the printed board will be easier than the opposite (the order in which the conductive bumps are formed after the conductor circuit is formed) to the extent that the surface formed with the wiring pattern does not need to be protected.

(0066) A start it is desirable [sic: It is desirable] to form a roughened layer on the wiring pattern surface of the aforementioned conductor circuit, improve adhesion with the adhesive layer joining the circuit boards, and prevent peeling (delamination).

(0067) For the aforementioned roughening treatment, soft etching, blackening (oxidation)-reduction, formation of a needle-like alloy plating (manufactured by Ebara-Udylite, product name: Interplate) comprising copper-nickel-phosphorus, and surface roughening with an etchant, product name "MECetchBOND" manufactured by MEC, are desirable.

(0068) According to need, a metal layer may be further added to cover the wiring pattern formed with a roughened layer. Any metal selected from among titanium, aluminum, zinc, iron, iridium, thallium, cobalt, nickel, tin, lead, and bismuth may be used as the metal to be formed for covering.

(0069) The thickness of the covering metal layer is desirably in the range of 0.01 to 3 μm . This is because the roughened layer cannot be completely covered if the thickness is less than 0.01 μm , and because the roughened layer is offset by the coating metal filled in the recess of the roughened layer if 3 μm is exceeded. A particularly desirable range is the interval of 0.03 to 1 μm . As an example, a tin substitution solution comprising stannous fluoroborate and thiourea may be used to cover the roughened layer.

(0070) The adhesive layer is desirably formed on the surface opposite to the copper foil pasting surface of the insulating substrate, and the adhesive layer is desirably made by applying resin on a surface other than the semiconductor chip mounting region of the insulating substrate, allowing to dry, and using the result in an uncured state.

(0071) The aforementioned adhesive layer is desirably formed from an organic adhesive, and at least one resin selected from an epoxy resin, a polyimide resin, a thermosetting polyphenylene ether (PPE), a compound resin of an epoxy resin and a thermoplastic resin, a compound resin of an epoxy resin and a silicone resin, and a BT resin is desirably used as that organic adhesive. As a solvent of the organic adhesive, NMP, DMF, acetone, or ethanol may be used.

(0072) The method for applying the uncured resin, which is the aforementioned organic adhesive, includes a curtain coater, a spin coater, a roll coater, a spray coater, and screen printing. After the resin application, depressurization and degassing may be carried out to completely remove bubbles in the interface between the roughened layer and the resin. The formation of the adhesive layer may be carried out by laminating an adhesive sheet. The thickness of the aforementioned adhesive layer is desirably 5 to 50 μm . The adhesive layer is easy to handle, and therefore precuring is favorable.

(0073) The semiconductor chip mounted on the aforementioned circuit board is surface-mounted with the first conductive bump. The methods for connecting the semiconductor chip and the bump include a method for reflowing with the semiconductor chip in a state arranged in the mounting region of the circuit board and a method for joining the semiconductor chip and the circuit board in a state where the bump is heated and melted in advance.

(0074) The temperature used for those methods is desirably in the range of 60 to 220° C. That is because the conductive metal does not melt if under 60° C, and a short may occur in the interval with the bump neighboring the conductive metal forming the bump if 200° C is exceeded. Particularly in a mode using tin in the conductive metal, the temperature range of 80 to 200° C is more desirable. That is because when within that temperature range, the shape retention of the bump is maintained while melting and connecting are carried out.

(0075) The sealing resin used to fill the gap between the semiconductor chip and the circuit board prevents a mismatch in the coefficients of thermal expansion of the chip and the resin

board, and a thermosetting resin, a thermoplastic resin, an ultraviolet curing resin, a photosensitive resin, or the like may be used. More specifically, a liquid-like resin containing an epoxy resin, a silicon resin, a polyimide resin, a phenol resin, a fluorine resin, or the like may be used, or a non-conductive resin film (e.g., NCF) or the like with such a resin formed into a sheet may be used.

(0076) The circuit board mounted with the aforementioned semiconductor chip is desirably laminated with another circuit board having a mostly similar board structure or a circuit board mounted with a different semiconductor chip, forming a multilayered circuit board.

(0077) Excluding the outermost laminated circuit boards, the aforementioned lamination circuit board is configured by, for example, forming a through-hole (opening) slightly larger than the mounting semiconductor chip in the board center and arranging the semiconductor chip to be held in the through-hole at the time of lamination.

(0078) In further detail, the lamination circuit board is formed with a through-hole such that the mounting semiconductor chip passes through roughly the center of the insulating resin substrate, a conductor circuit is formed at the periphery of one side, a via hole reaching the conductor circuit is formed on the other side, and a conducting bump electrically connected to the neighboring circuit board is formed directly over the via hole.

(0079) When laminating the aforementioned semiconductor chip mounting circuit board and the lamination circuit board, a plurality of semiconductor chip mounting circuit boards and lamination circuit boards are alternatively arranged, i.e., a semiconductor chip mounting circuit board is positioned on a lower layer and a lamination circuit board is positioned on an upper layer, and lamination is carried out successively.

(0080) When adopting such an arrangement, the semiconductor chip is exposed from the center opening of the upper lamination circuit board, so the other lamination circuit board or lid board without a center opening is arranged at the neighboring outside of the upper circuit board during lamination, a conductor circuit is formed at one surface of the insulating resin substrate at the neighboring outside of the lower semiconductor chip mounting circuit board, a via hole reaching the conductor circuit is formed at the other surface, and a conductive bump electrically connected to the neighboring circuit board is formed directly over the via hole, forming the lamination circuit board, and hot pressing is carried out in this state for integration.

(0081) Such circuit board stacking is carried out while optically detecting, with a CCD camera or the like, positioning holes provided beforehand in each board and making position adjustments.

(0082) Such a laminate is heated at a temperature of 50 to 250° C while pressing with a pressure of 0.5 to 5 MPa, and all of the circuit boards are integrated with one press. The range of the heating temperature is favorably 160 to 200° C.

(0083) After integrating such a laminate, a solder body is provided on the land of the conductor circuit of the outermost circuit boards, enabling the mounting of electronic components other than semiconductor chips and making a connection terminal to the motherboard.

(0084) During this process, a nickel-gold layer, for example, is formed on the land of the topmost circuit board, a solder bump is provided on the gold-nickel layer, and electronic components other than the semiconductor chips are placed on the solder bump. Similarly, a nickel-gold layer, for example, is formed on the land of the bottommost circuit board, and a solder ball or a T pin is joined on the gold-nickel layer to form a connection terminal to the motherboard.

(0085) Examples of the circuit board for semiconductor chip mounting and a method for manufacturing a multilayered circuit board according to the present invention are described below in detail with reference to the drawings.

(0086) (i) When manufacturing the circuit board for semiconductor chip mounting according to the present invention, a copper foil 12 is pasted on one side of an insulating resin substrate 10 for use as the starting material. A rigid (hard) lamination substrate selected from, for example, a glass cloth epoxy resin substrate, a glass cloth bismaleimide-triazine resin substrate, a glass cloth polyphenylene ether resin substrate, an aramid nonwoven cloth-epoxy resin substrate, and an aramid nonwoven cloth-polyimide resin substrate may be used as the insulating resin substrate 10, though a glass cloth epoxy resin substrate is the most favorable.

(0087) The thickness of the aforementioned insulating resin substrate is desirably 10 to 200 μm . This is because the strength drops, making handling difficult, and the reliability of the electrical insulation drops with a thickness under 10 μm , and formation of fine via holes and filling with a conductive paste are difficult, and the board itself is thick when the thickness of the aforementioned insulating resin substrate exceeds 200 μm .

(0088) The thickness of the copper foil 12 is desirably 5 to 36 μm . This is because when forming a non-through-hole for via hole formation in the insulating substrate with a laser described below, the insulating substrate is pierced if the copper foil 12 is too thin, and on the contrary, it is difficult to form a fine pattern by etching if the copper foil 12 is too thick.

(0089) As the aforementioned insulating substrate 10 and the aforementioned copper foil 12, a single-sided copper-clad laminate board is favorably used that is obtained in particular by laminating a copper foil with a B stage prepreg after immersion of an epoxy resin in a glass cloth. This is because there is no displacement of the wiring pattern or the via hole and the positioning precision is superior when handling after etching of the copper foil 12 described below.

(0090) (ii) Protection films 13 and 14 are respectfully pasted on the surface where the copper foil 12 is pasted to the insulating substrate 10 and on the reverse side surface (refer to FIG. 1(a)). Polyethylene phthalate (PET) films (hereinafter

referred to as "PET films") provided with a pressure-sensitive adhesive layer on the surface are used, for example, as the protective films, and in particular the protection film 14 provided on the surface opposite of the surface to which the copper foil 12 is pasted is used to adjust the height of the conductive bumps described below.

(0091) The aforementioned PET film has a pressure-sensitive adhesive layer 1 to 20 μm thick and the film itself is 10 to 50 μm thick.

(0092) (iii) Next, a laser is emitted from above the PET film 14 pasted on the insulating substrate 10 to pierce the PET film 14, forming two types of non-through-holes 16a and 16b that reach the copper foil 12 from the surface of the insulating substrate 10 (refer to FIG. 1(b)).

(0093) The aforementioned non-through-hole 16a is formed in a semiconductor chip mounting region occupying roughly the center of the insulating substrate 10, and the non-through-hole 16b is formed in the peripheral region positioned outside of the mounting region of the insulating substrate 10. The laser emission is carried out with a pulse oscillation-type carbon dioxide gas laser device, the laser emission conditions desirably being within the ranges of 0.5 to 100 mJ for the pulse energy, 1 to 100 μsec for the pulse width, at least 0.5 ms for the pulse interval, and 3 to 50 for the shot count. The diameters of the non-through-holes formed under such conditions is desirably 50 to 200 μm .

(0094) (iv) Desmearing is carried out to remove resin residue remaining on the inner wall of the non-through-holes 16a and 16b formed in step (iii) described above. Dry desmearing using plasma discharge, corona discharge, or the like is desirable for this desmearing from the perspective of ensuring connection reliability.

(0095) (v) Next, electrolytic copper plating is carried out on the board after the desmearing in (iv) described above to fill the inside of the non-through-holes 16a and 16b with an electrolytic copper film, forming via holes 20a and 20b (refer to FIG. 1(c)).

(0096) (vi) Then electrolytic tin plating is carried out, the inside of the opening formed in the PET film 14 with laser emission is filled with an electrolytic tin plating film, a conductive bump 22a (hereinafter referred to as a "first conductive bump") for semiconductor chip mounting is formed positioned directly over the via hole 20a, and a conductive bump 22b (hereinafter referred to as the "second conductive bump") for connecting to another circuit board is formed positioned directly over the via hole 20b (refer to FIG. 1(d)).

(0097) (vii) Next, the PET film 13 pasted on the copper foil pasting surface of the insulating resin substrate 10 is peeled, and then the etching protection film 26 is pasted on the surface opposite of the copper foil pasting surface of the insulating resin substrate.

(0098) (viii) Next, the unneeded portion of the copper foil 12 is removed by etching to form a conductor circuit. In this processing step, a photosensitive dry film resist is pasted to cover the copper foil 12, then an etching resist layer 24 is formed with exposure and development along a prescribed circuit pattern (refer to FIG. 1(e)), and the copper foil at the etching resist non-formation portion is etched to form the conductor circuit pattern 40 with a prescribed wiring pattern (refer to FIG. 2(a)).

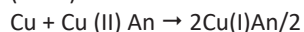
(0099) At least one type of an aqueous solution selected from sulfuric acid-hydrogen peroxide, persulfate, cupric chloride, and ferric chloride is desirable as the etchant. The inner diameter of the land, as a portion of the conductor circuit, is roughly the same as the via hole diameter, but the other diameter is favorably formed in a range of 50 to 250 μm .

(0100) (ix) Next, the surface of the conductor circuit 40 formed in step (viii) described above is roughened to form a roughened layer (not illustrated), then the PET film 14 and the protection film 26 are peeled from the surface opposite of the copper foil pasting surface of the insulating resin substrate, and an adhesive layer (not illustrated) is formed at a prescribed location on the exposed surface (refer to FIG. 2(b)). The aforementioned roughening is carried out to improve the adhesion to the adhesive layer and prevent peeling (delamination) when making multiple layers.

(0101) Methods for roughening include, for example, soft etching, blackening (oxidation)-reduction, formation of a needle-like alloy plating (manufactured by Ebara-Udylite, product name: Interplate) comprising copper-nickel-phosphorus, and surface roughening with an etchant, product name "MECetchBOND" manufactured by MEC.

(0102) In this embodiment, the formation of the aforementioned roughened layer is favorably carried out using an etchant, e.g., using an etchant from an aqueous solution of a mixture of a cupric complex and an organic acid to etch the surface of the conductor circuit. This etchant can dissolve the copper conductor circuit under the presence of oxygen such as in spraying or bubbling, and the reaction is inferred to proceed as described next.

(0103)



wherein A represents a complexing agent (acting as a chelating agent) and n represents the coordination number.

(0104) As indicated in this formula, the generated cuprous complex dissolves with the oxygen action and binds to the oxygen to become a cupric complex, contributing again to copper oxidation. The cupric complex used in the present invention may be a cupric complex of an azole. The etchant comprising this organic acid-cupric complex can be prepared by dissolving the cupric complex of an azole and the organic acid (a hydrogen ion according to need) in water.

(0105) Such an etchant is formed from an aqueous solution made by mixing, for example, 10 parts by weight of an imidazole copper (II) complex, 7 parts by weight of glycolic acid, and 5 parts by weight of potassium chloride.

(0106) The circuit board for semiconductor chip mounting according to the present invention is manufactured according to

steps (i) to (ix) described above, and further, for example, is laminated with other circuit boards 60, 70, and 80 for layering as shown in FIG. 3 and 4. When carrying out such multilayering, a sheet-like sealing resin is interposed between the first conductive bump 22a of the circuit board and a mounted semiconductor chip 42, a terminal 3A of the semiconductor chip 42, for example, is joined to the first conductive bump 22a under a heated atmosphere to electrically connect the terminal-bump interval and seal the gap between the semiconductor chip and the circuit board with a melted and solidified resin 3B, surface-mounting the semiconductor chip 42 and manufacturing a semiconductor chip mounting circuit board 50.

(0107) One of the other circuit boards 60 laminated along with the semiconductor chip mounting circuit board 50 according to the present invention is manufactured in processing steps nearly the same as the processing steps of a semiconductor chip mounting circuit board such as described above, is a circuit board laminated next to the semiconductor chip mounting circuit board 50, and has a function as a so-called spacer.

(0108) The circuit board 60 has a structure such that a via hole 62 and a conductive bump 64 are formed at a position corresponding to the non-through-hole 16b of the semiconductor chip mounting circuit board 50 in the peripheral part of the insulating resin board 10, a through-hole 68 of about the same size as the outer form of the semiconductor chip 42 is formed at roughly the center of the insulating resin substrate 10, and an adhesive layer is formed at a suitable location of the surface of the insulating resin substrate 10 formed with the conductive bump 64.

(0109) In FIG. 3, two of the semiconductor chip mounting circuit boards 50 are alternately laminated with two of the circuit boards 60, and a conductor circuit 82 connected to the conductive bump 64 of the circuit board 60 is provided only at the outside of the top circuit board 60, but a lid board 80 without a center opening is arranged there, a conductor circuit 72 is formed on one side of the insulating resin substrate at the outside of the bottom semiconductor chip mounting circuit board 50, a via hole 74 reaching the conductor circuit 72 is formed on the other side, and a lamination circuit board 70 is arranged with a conductive bump 76 electrically connected to the neighboring semiconductor chip mounting circuit board 50 formed directly over the via hole 74. In this state, hot-pressing is carried out for integration. During this lamination, gaps between the boards surrounding the mounted semiconductor chip 42 are filled with a sealing resin.

(0110) FIG. 4 shows a laminate laminated in this manner with six layers and integrated with one round of hot-pressing. The adhesive layer provided in each circuit board cures when heated while pressurized, making a strong adhesion between the semiconductor chip mounting circuit board 50 and the spacer circuit board 60, between the spacer circuit board 60 and the lid board 80, and between the semiconductor chip mounting circuit board 50 and the lamination circuit board 70. A vacuum hot press is favorably used as the hot press.

(0111) A nickel-gold layer (not illustrated) is formed on each land of the conductor circuit 72 of the bottommost circuit board 70 of the multilayered circuit board thus integrated, and a solder ball 78 connected to the terminal on the motherboard side is disposed on the nickel-gold layer.

(0112) In place of the adhesive layer formed in advance on the surface of the insulating resin substrate, in the multilayering stage after manufacturing the circuit substrates, an adhesive can be applied to appropriate places on the surface of the conductive bump side of the insulating resin substrate, and an adhesive layer formed comprising uncured resin in a dried state. The adhesive layer is easy to handle, and therefore precuring is favorable and a thickness of 5 to 50 μm is desirable.

(0113) In the mode described above, two semiconductor chip mounting circuit boards 50 and two spacer circuit boards 60 are alternately laminated, the lamination circuit board 70 is laminated below, and the lid board 80 is laminated above to create six layers, but the invention is not so limited, and application is naturally possible also to a multilayered circuit board with five or fewer or seven or more layers according to the size and quantity of the mounted semiconductor chips and the type, thickness, and other properties of the insulating resin substrate.

(0114)

(Embodiments) (Embodiment 1)

(1) A B-stage prepreg in which an epoxy resin is impregnated in a glass cloth is laminated with a copper foil and the result is hot-pressed to obtain a single-sided copper-clad laminated board for use as a board. The thickness of the insulating resin

(Electrolytic plating aqueous solution)

Sulfuric acid: 180 g/l

Copper sulfate: 80 g/l

Additive (manufactured by Atotech, product name: Cupradic) 1 ml/l

(Electroplating conditions)

Current density: 2 A/dm²

Time: 30 min

Temperature: 25° C

(0120) (5) Next, electrolytic tin plating is carried out with the below conditions using an electrolytic plating aqueous solution with the below composition to fill the inside of the opening formed by the PET film 14 with an electrolytic tin plating film, and a first conductive bump 22a and a second conductive bump 22b with a diameter of 150 μm , a height of 5 μm , and a bump interval distance of 500 μm are respectively formed on the via hole 20a and the via hole 20b.

(0121) (Electroplating aqueous solution)

Sulfuric acid: 105 ml/l

Tin sulfate (SnSO₄): 30 g/l

Additive: 40 ml/l

substrate 10 is 50 μm and the thickness of the copper foil 12 is 18 μm .

(0015) (2) The PET films 13 and 14 each with a thickness of 22 μm are pasted respectively to the surface to which the copper foil 12 is pasted to the insulating substrate 10 and the opposite surface. The aforementioned PET films comprise a pressure-sensitive adhesive layer 10 μm thick and a PET film base 12 μm thick.

(0116) (3) Next, a pulse oscillation-type carbon dioxide gas laser is emitted under laser conditions such as described below from above the PET film 14 to form the non-through-holes 16a and 16b for via hole formation, and then plasma cleaning is carried out to remove resin remaining on the inside wall of the opening of the non-through-hole 16.

(0117) (Laser conditions)

Pulse energy: 0.7 mJ

Pulse width: 15 μs

Pulse interval: at least 2 ms

Shot count: 2

(0118) (4) Next, electrolytic copper plating is carried out with the conditions described below using the electrolytic plating aqueous solution having the composition described below in a state where the protection film 13 pasted to the surface to which the copper foil 12 is pasted to the insulating resin substrate 10, filling the inside of the non-through-holes 16a and 16b with the electrolytic copper plating, and forming the via holes 20a and 20b each with a diameter of 150 μm and a via hole interval distance of 500 μm .

(0119)

(Electroplating conditions)

Current density: 5 A/dm²

Time: 20 minutes

Temperature: 25° C

(0122) (6) A protection film 26 is further formed on the PET film 14. Formation of this protection film 26 may be carried out by pasting the PET film or with resist layer formation. After the protection film 13 pasted on the copper foil surface of the insulating resin substrate is peeled, the etching resist layer 24 is formed on the copper foil surface, and the copper foil at the portion where the etching resist is not formed is treated with a cupric chloride etching solution to form a conductor circuit pattern 40 having a land with a diameter of 400 μm positioned corresponding to the via hole 16a and a land with a diameter of 400 μm positioned corresponding to the via hole 16b, the L/S of the wire portion connecting the land interval being 50 μm /50 μm .

(0123) (8) Next, a roughened layer (not illustrated) is formed by roughening the surface of the conductor circuit 40 with an etchant, then peeling the PET films 14 and 26 from the copper foil pasting surface and the opposite surface, and forming an adhesive layer (not illustrated) on the surface to manufacture the single-sided circuit board 50 for semiconductor chip mounting.

(0124) (9) In a potting-like method in a state where a sheet-like sealing resin is interposed between the semiconductor chip 42 and the single-sided circuit board obtained in (9) described above, the semiconductor chip 42 is surface-mounted on the first conductive bump 22a to produce a semiconductor chip mounting circuit board. In this process, a gold bump projects from the lower side of the semiconductor chip 42 and the bump is embedded in the first conductive bump 22a, connecting the semiconductor chip 42.

(0125) (10) Next, in steps nearly the same as the processing steps for the semiconductor chip mounting circuit board, the via hole 62 and the conductive bump 64 are formed only at the periphery of the insulating substrate 10. A conductor circuit (pad) 67 is formed on the surface opposite the conductive bump 64 of the insulating substrate 10, a roughened layer is formed by etching the surface of the conductor circuit 67, then an opening 68 is formed in roughly the center of the insulating resin substrate 50, and finally an adhesive layer is formed on the surface of the insulating substrate 10 formed with the conductive bump 64 to produce the spacer circuit board 60.

(0126) (11) In a step nearly identical to the processing step of the semiconductor chip mounting circuit board, the bottommost lamination circuit board 70 and the topmost lid board 80 are formed.

(0127) (12) Next, the aforementioned two semiconductor chip mounting circuit boards 50 and the two spacer circuit boards 60 are alternately laminated, the lid board 80 is arranged outside of the upper spacer circuit board 60, and the lamination circuit board 70 is arranged on the outside of the lower semiconductor chip mounting circuit board 50. In this state, filling resin is injected into the gap between boards while heating to a temperature of 180° C and pressing with a pressure of 2 MPa to integrate all the circuit boards with one press.

(0128) (13) A plating resist layer is formed on the surface of the lamination circuit board 70 at the bottommost layer of the laminate obtained in (12) described above, then plating is carried out, forming a nickel-gold layer (not illustrated) on the land of the conductor circuit 72 of the circuit board 70, and a solder ball 78 connected to the terminal of the motherboard is disposed on the nickel-gold layer to produce a multilayered circuit board having a BGA structure.

(0129) (Embodiment 2) A conductive paste comprising a tin-silver solder, which is a low melting point metal, was used for printing to form the first conductive bump 22a having a diameter (bump diameter) of 80 μm , a height of 30 μm , and a bump interval distance (pitch) of 600 μm , and form the second conductive bump 22b having a diameter of 80 μm , a height of 30 μm , and a bump interval distance of 600 μm , and processing was carried out similar to Embodiment 1, producing a semiconductor chip mounting circuit board and a multilayered circuit board.

(0130) A visual examination to confirm the presence of cross-section peeling and the like and a conductivity test to confirm the presence of an electrical connection were carried out on the multilayered circuit board manufactured in Embodiments 1 and 2 described above. The results showed there were no problems in the connectivity and attachment in Embodiments 1 and 2, no peeling, cracking, or the like was confirmed in the chip or conductor connection part until 1000 cycles under heat cycle conditions, and no elevation in the resistance value was confirmed.

(0131)

(EFFECT OF THE INVENTION) As described above, the circuit board for semiconductor chip mounting of the present invention is provided with two types of conductive bumps, i.e., a mounting bump on which an IC chip or other semiconductor chip can be mounted and a connection bump to provide an electrical connection to another printed board, on the same surface side of an insulating substrate, and a conductor circuit connecting these conductive bumps is provided on the other surface of the insulating surface, and therefore the distance between semiconductor chips is reduced and defects arising from resistance and inductance in the wires are reduced, consequently making it possible to transmit electrical signals at high speed without delay, and enabling high densification and high functionality in the wiring board.

(0132) According to the manufacturing method of the present invention, two types of conductive bumps are formed at the same time with one step in the circuit board for semiconductor chip mounting, and therefore the number of steps can be reduced and there is no need to use expensive attachment mounting or the like, and therefore the circuit board can be manufactured inexpensively.

(BRIEF DESCRIPTION OF THE DRAWINGS)

(FIG. 1) (a) to (e) are views showing a portion of the steps for manufacturing the semiconductor chip mounting circuit board of the present invention.

(FIG. 2) (a) and (b) are views showing a portion of the steps for manufacturing the semiconductor chip mounting circuit board of the present invention.

(FIG. 3) is a view showing the laminated state of the semiconductor chip mounting circuit board of the present invention and other circuit boards.

(FIG. 4) is a view showing a multilayered circuit board manufactured by incorporating the layers of the semiconductor chip mounting circuit board according to the present invention and other circuit boards.

(FIG. 5) is a side cross-section view of the IC package in the prior art.

(FIG. 6) (a) is a side view of the board with a mounted IC package in the prior art, and (b) is a plan view of same.

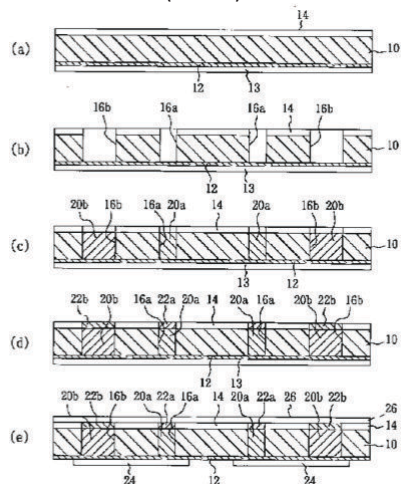
(DESCRIPTION OF THE REFERENTIAL CODES OR SYMBOLS)

10	Insulating resin substrate
12	Copper foil
13	PET film

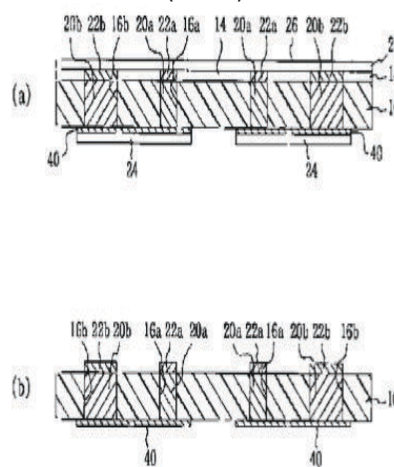
14 Protection film o [sic]
 16a, 16b Non-through-holes
 20a, 20b Filling via holes
 22a Mounting conductive bump (first conductive bump)
 22b Connection conductive bump (second conductive bump)
 24 Etching resist layer

40 Conductor circuit
 42 Semiconductor chip
 38 Sealing resin
 50 Semiconductor chip mounting circuit board
 60 Spacer circuit board
 70 Lamination single-surface circuit board
 78 Solder ball
 80 Lid plate

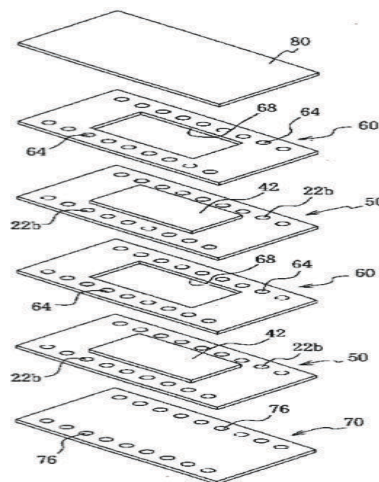
(FIG. 1)



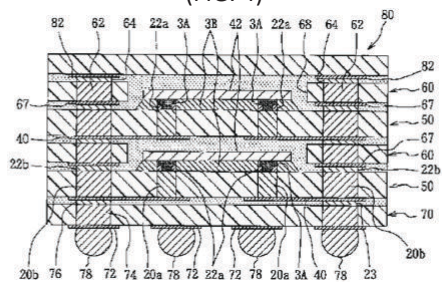
(FIG. 2)



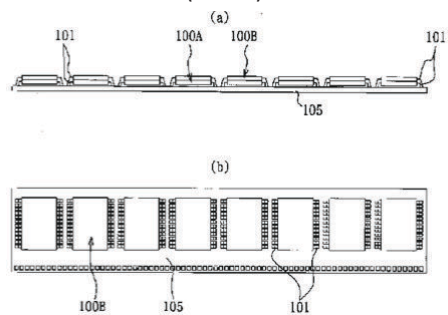
(FIG. 3)



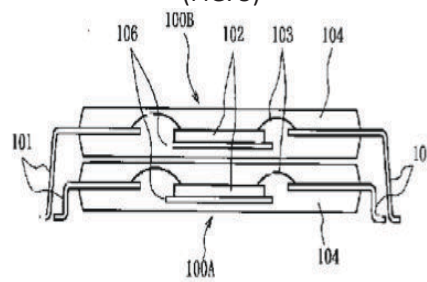
(FIG. 4)



(FIG. 6)



(FIG. 5)



(51) Int.Cl. ⁷	識別記号	F I	テ-マコ-ト* (参考)
H 0 1 L 25/065		H 0 1 L 25/08	Z
23/12		23/12	N
23/52		23/52	C
25/07			
25/18			
審査請求 未請求 請求項の数13 O L (全 14 頁)			
(21) 出願番号	特願2001-198356(P2001-198356)	(71) 出願人	000000158 イビデン株式会社 岐阜県大垣市神田町2丁目1番地
(22) 出願日	平成13年6月29日 (2001.6.29)	(72) 発明者	榎本 亮 岐阜県揖斐郡揖斐川町北方1-1 イビデ ン株式会社内
(31) 優先権主張番号	特願2000-196419(P2000-196419)	(72) 発明者	坂本 一 岐阜県揖斐郡揖斐川町北方1-1 イビデ ン株式会社内
(32) 優先日	平成12年6月29日 (2000.6.29)	(72) 発明者	杉山 直 岐阜県揖斐郡揖斐川町北方1-1 イビデ ン株式会社内
(33) 優先権主張国	日本 (J P)	(74) 代理人	100080687 弁理士 小川 順三 (外1名)

(54) 【発明の名称】 半導体チップ実装用回路基板とその製造方法および多層化回路基板

발명의 명칭

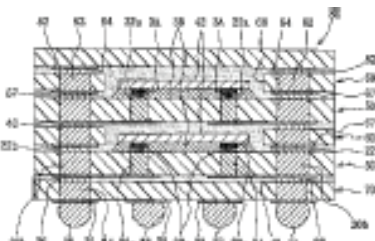
(54) 반도체 칩 실장용 회로 기판과 그 제조 방법 및 다층화 회로 기판

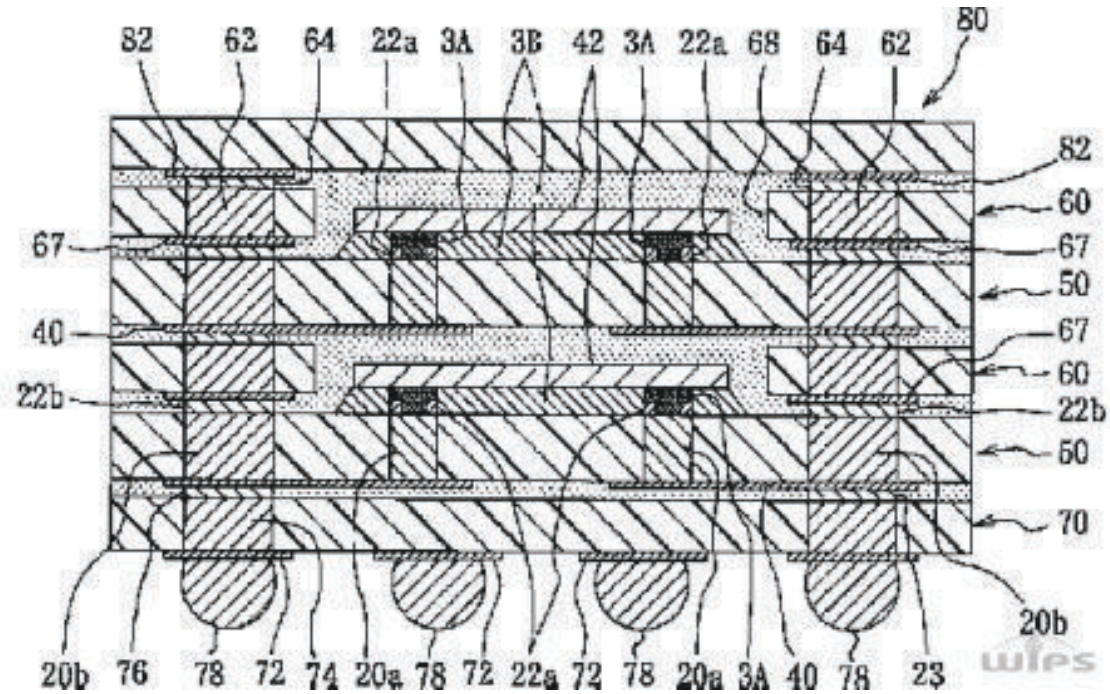
요약

【요약】

【과제】 구형 반도체 칩 간의 거리 단축화를 도모하고, 배선의 저항이나 인덕턴스로 인한 결함을 없애고 고속으로 지연 없이 전기신호를 전달하는 것.

【해결 수단】 IC칩 등의 반도체 칩 42가 구현 가능한 구현용 범프 22a로 다른 프린트 기판과의 전기적 접속을 도모하는 접속용 범프 22b와의 2종류의 도전성 범프를 절연성 기재 10의 같은 표면 측에 형성하고 이들의 도전성 범프 22a와 22b를 접속하는 도체 회로 40을 절연성 기재 10의 다른 표면에 마련해서 이루어지는 반도체 칩 구현 회로 기판과 그 제조 방법 및 반도체 칩 구현 회로 기판을 다른 편면 회로 기판과 적층한 다층화 회로 기판을 제공한다.





청구항

【청구항1항】

【청구항 1】 절연성 기재의 한쪽 표면에 형성된 도체 회로와 절연성 기재의 다른 한쪽 표면에서 상기 도체 회로에 도달하는 비관통 구멍 내에 충전된 도전성 물질로 구성되는 비아홀과 그 비아홀의 바로 위에 위치해 비아홀에 전기적으로 접속되고 상기 절연성 기재의 다른 한쪽 표면에서 돌출되는 도전성 범프를 가지는 회로 기판에 있어서 상기 절연성 기재의 다른 한쪽 표면 측에는 그 거의 중앙부에 반도체 칩을 구현하기 위한 구현 영역을 가짐과 동시에 그 구현 영역의 외측에는 다른 회로 기판과의 전기적인 접속을 하는 주변 접속 영역을 가지고 있고 상기 실장 영역 내 및 주변 접속 영역 내에는 반도체 칩과의 접속을 도모하기 위한 구현용 범프 및 다른 회로 기판과의 전기적 접속을 도모하기 위한 접속용 범프가 각각돌설되고 상기 절연성 기재의 한쪽 표면 측에 형성된 도체 회로는 상기 실장용 범프에 대응하는 비아홀과 상기 접속용 범프에 대응하는 비아홀을 전기적으로 접속하도록 상기 회로 기판의 중앙부에서 주변부를 향해 연설되어 있는 것을 특징으로 하는 반도체 칩 구현용 회로 기판.

【청구항2항】

【청구항 2】 상기 실장용 범프에 반도체 칩이 실장되어 있는 것을 특징으로 하는 청구항 1에 기재된 반도체 칩 구현 회로 기판.

【청구항3항】

【청구항 3】 상기 도전성 물질은 전해 구리 도금막으로 형성됨과 동시에, 상기 도전성 범프는 전해 침새와 막으로 형성되는 것을 특징으로 하는 청구항 1또는 2에 기재된 회로 기판.

【청구항4항】

【청구항 4】 상기 도전성 범프는 Sn, Pb, Ag, Au, Cu, Zn, In, Bi에서 선택되는 어느 1의 금속으로 형성되는 것을 특징으로 하는 청구항 1또는 2에 기재된 회로 기판.

【청구항5항】

【청구항 5】 상기 도전성 범프는 땀납 또는 주석 합금으로 형성되는 것을 특징으로 하는 청구항 1또는 2에 기재된 회로 기판.

【청구항6항】

【청구항 6】 상기 도체 회로의 표면에는 조화층이 형성되어 있는 것을 특징으로 하는 청구항1~5중 어느 하나에 기재된 회로 기판.

【청구항7항】

【청구항 7】 절연성 기재의 한쪽 표면에 형성된 도체 회로와 절연성 기재의 다른 한쪽 표면에서 상기 도체 회로에 도달하는 비관통 구멍 내에 충전된 도전성 물질로 구성되는 비아홀과 그 비아홀의 바로 위에 위치해 비아홀에 전기적으로 접속되고 상기 절연성 기재의 다른 한쪽 표면에서 돌출되는 도전성 범프를 가지는 회로 기판을 제조함에 있어서, 적어도 이하의(1)~(3)의 공정, 즉 (1) 절연성 기재의 한쪽 표면에 배선층을 형성하기 위한 도체층을 마련함과 동시에, 절연성 기재의 다른 한쪽 표면에서 상기 도체층에 도달하는 비관통 구멍을 절연성 기재의 중앙부 및 주변부에서 형성하는 공정, (2) 상기 비관통 구멍 내에 도전성 물질을 충전해 비아홀을 형성하는 공정, (3) 상기 비아홀의 위치에 정합해 개구하는 범프 형성용 구멍을 가지는 범프 형성용 피막을 상기 절연성 기재의 다른 한쪽 표면에 부착한 상태에서 상기 범프 형성용 구멍에 도전성 물질을 충전하고, 상기 절연성 기재의 중앙부에서의 비아홀의 바로 위에 반도체 칩의 구현용 도전성 범프를 형성함과 동시에, 상기 절연성 기재의 주변부에서의 비아홀의 바로 위에 인접하는 회로 기판과의 전기적 접속용 도전성 범프를 형성하는 공정, 을 포함하여 구성되는 반도체 칩 구현용 회로 기판 제조 방법.

【청구항8항】

【청구항 8】 절연성 수지 기재의 일면에 도체 회로를 가지며, 이 절연성 수지 기재의 다른 면에서 상기 도체 회로에 도달하는 비아홀이 형성되고 그 비아홀의 바로 위에 도전성 범프가 형성되어서 이루어지는 회로 기판의 여러 장을 접착제를 통해 적층하고 그 적층된 여러 장의 회로 기판을 일괄적으로 가열 프레스함으로써 제조되는 다층화 회로 기판에 있어서 상기 회로 기판 중의 몇인가는 그 거의 중앙부에서 반도체 칩이 실장된 도전성 범프를 가짐과 동시에 그 주변부에는 다른 회로 기판과의 전기적 접속을 위한 도전성 범프를 가지며, 상기 반도체 칩을 구현하는 도전성 범프는 이들에 대응한 비아홀을 통해 도체 회로에 접속되고 그 도체 회로는 상기 회로 기판의 주변부를 향해서 연선풀고 동시에, 그 주변부에서 인접하는 다른 회로 기판의 도전성 범프에 접속되도록 구성된 다층화 회로 기판.

【청구항9항】

【청구항 9】 상기 다른 회로 기판은 그 거의 중앙부에서 반도체 칩이 통과·수납될 수 있는 관통 구멍을 가지고 있는 것을 특징으로 하는 청구항 8에 기재된 다층화 회로 기판.

【청구항10항】

【청구항 10】 상기 비아홀은 전해 구리 도금막으로 형성됨과 동시에, 상기 도전성 범프는 전해 침새와 막으로 형성되는 것을 특징으로 하는 청구항 8또는 9에 기재된 다층화 회로 기판.

【청구항11항】

【청구항 11】 상기 도전성 범프는 Sn, Pb, Ag, Au, Cu, Zn, In, Bi에서 선택되는 어느 1의 금속으로 형성되는 것을 특징으로 하는 청구항8~10중 어느 하나에 기재된 회로 기판.

【청구항12항】

【청구항 12】 상기 도전성 범프는 땀납 또는 주석 합금으로 형성되는 것을 특징으로 하는 청구항8~10중 어느 하나에 기재된 회로 기판.

【청구항13항】

【청구항 13】 상기 도체 회로의 표면에는 조화층이 형성되어 있는 것을 특징으로 하는 청구항8~12중 어느 하나에

상세한 설명

【발명의 상세한 설명】

【0001】

【발명이 속하는 기술 분야】 본 발명은 반도체 칩을 구현하는데 적합한 회로 기판과 그 제조 방법 및 다층화 회로 기판에 관한 것이다.

【0002】

【종래의 기술】 최근, IC 칩의 고밀도 실장화에 대응하기 위해, IC 칩을 기판 내에 내장해 적층하는 기술이 제안되어 있다. 예를 들면 특개평9-219490호 공보, 특개평10-135267호 공보 및 특개평10-163414호 공보에는 그러한 적층 패키지가 개시되어 있다. 이러한 종래 기술로는 TSOP(Thin Small Outline Package), TCP(Tape Carrier Package), BGA(Ball Grid Array) 등의 IC패키지를 1층마다 조립한 후에 복수의 IC패키지를 적층한다. 이 때, 각층간은 미리 각 패키지에 마련한 외부 접속용 단자를 통해 접속된다. 그렇지만 이러한 종래 기술로는 많은 제조 공정을 거치지 않으면 안 되는 것으로부터 가공 비용의 증가를 초래하고 있었다.

【0003】 도 5 및 도 6은 상기 종래 기술에 의해 제조된 적층 패키지를 나타내고 있다. 도 5는 수지로 몰드된 패키지를 적층한 것을 나타내며 또한 도 6(a)은 도 5에 나타내는 모듈 기판의 측면도, 도 6(b)은 같이 평면도이다. 이들의 IC패키지 100A, 100 B에는 IC구현부 106과 그 상면에 실장된 IC 칩 102와 IC 칩 102와 외부 부품을 접속하는 리드 101과 IC 칩 102와 리드 101을 수지 내부에서 접속하는 본딩 와이어 103이 마련되어 있다. 또한 IC 칩 102를 포함한 소정의 영역은 수지체 104에 의해 피복되어 있다. 이러한 구조의 IC패키지 100 A의 상측에는 다른 IC패키지 100 B가 적층된 상태로 되고, 기판 105에 실장되어 있다.

【0004】

【발명이 해결하고자 하는 과제】 곳에서 상기의 IC패키지 100A, 100 B를 두께 방향으로 적재하고, 기판 105에 구현하고자 하면, 수지체 104의 두께를 위해 총 모듈 두께가 두꺼워져 버리는 문제가 있다. 또한 IC패키지 100A, 100 B를 횡방향으로 기판 105에 구현할 경우에는 총 모듈이 커지는 문제가 있다. 또한 상하의 패키지 100A, 100 B는 각각의 리드 101에 의해 기판 105에 접속되어 있으므로, 패키지 100A, 100 B의 적층 시에 위치 어긋남이 발생하면, 리드 101 간에 단락해 버릴 우려가 있었다.

【0005】 IC카드나 휴대전화 등의 전자기기 소형화에 수반해, IC패키지에 대해서도 한층 더 고밀도화와 박형화가 요구되어 있는 현재, 상기 종래 기술로는 충분한 고밀도 박형화를 도모하는 것은 어렵다.

【0006】 이러한 문제를 해결하기 위해서는 IC 칩 102를 수지체 104에서 몰드하는 구성을 변경하고 예를 들면 프린트 기판을 적층하면서 그 층간에 IC 칩을 구현한다고 하는 기술도 검토되어 있다. 그렇지만 그러한 구성을 채용한 경우에는 프린트 기판의 표리 양면에 도전성 범프(프린트 기판 간의 접속용 및 IC표면 실장용)를 형성하는 것이 필요하다. 현재로서는, 그러한 프린트 기판을 제조하려면, 고가의 전착법을 이용하는 것을 생각되지만, 그러한 방법으로는 IC패키지의 제조 비용이 상승해 버려, 경제적이 아니라고 하는 문제가 있었다.

【0007】 그래서 본 발명은 종래 기술이 안는 상기 문제점을 감안하여 고안된 것이며 그 목적으로 하는 곳은, IC패키지의 고밀도 박형화를 도모하기 위해, IC 등의 반도체 칩과의 전기적 접속을 확실하게 수행할 수 있음과 동시에, 반도체 칩에서 인출된 배선을 또한 적층화할 수 있는 구조를 가지는 반도체 칩 구현용 회로 기판을 제공하는 데 있다.

【0008】 본 발명의 다른 목적은 반도체 칩 구현용 회로 기판을 저비용으로 제조할 수 있는 방법을 제안하는 데 있다.

【0009】 본 발명의 또한 다른 목적은 반도체 칩이 실장된 회로 기판을 적층하고 일괄적으로 가열 프레스함으로써 얻어진 다층화 회로 기판을 제공하는 데 있다.

【0010】

【과제를 해결하기 위한 수단】 그래서 본 발명자들은 상기의 목적을 실현하기 위해 열심히 연구한 결과, 절연성 기재의 한쪽 표면에는 도체 회로를 형성함과 동시에, 절연성 기재의 다른 한쪽 표면에서 도체 회로에 도달하는 비관통 구멍에 도전성 물질을 충전해서 이루어지는 비아홀을 형성하고 그 비아홀의 바로 위에 위치하여 반도체 칩과의 접속을 도모하기 위한 구현용 범프와 다른 프린트 기판과의 접속을 도모하기 위한 접속용 범프와의 2종류의 도전성 범프를 절연성 기재의 소정영역 내에 돌설시켜 형성한 회로 기판은 적절한 다른 적층용 회로 기판과의 적층화가 가능한 것을 지견하고 이하의 내용을 요지 구성으로 하는 본 발명에 상도했다. 즉 【0011】 (1) 본 발명의 반도체 칩 구현용 회로 기판은 절연성 기재의 한쪽 표면에 형성된 도체 회로와 절연성 기재의 다른 한쪽 표면에서 상기 도체 회로에 도달하는 비관통 구멍 내에 충전된 도전성 물질로 구성되는 비아홀과 그 비아홀의 바로 위에 위치해 비아홀에 전기적으로 접속되고 상기 절연성 기재의 다른 한쪽 표면에서 돌출되는 도전성 범프를 가지는 회로 기판에 있어서 상기 절연성

기재의 다른 한쪽 표면 측에는 그 거의 중앙부에 반도체 칩을 구현하기 위한 구현 영역을 가짐과 동시에 그 구현 영역의 외측에는 다른 회로 기판과의 전기적인 접속을 하는 주변 접속 영역을 가지고 있고 상기 실장 영역 내 및 주변 접속 영역 내에는 반도체 칩과의 접속을 도모하기 위한 구현용 범프 및 다른 회로 기판과의 전기적 접속을 도모하기 위한 접속용 범프가 각각돌설되고 상기 절연성 기재의 한쪽 표면 측에 형성된 도체 회로는 상기 실장용 범프에 대응하는 비아홀과 상기 접속용 범프에 대응하는 비아홀을 전기적으로 접속하도록 상기 회로 기판의 중앙부에서 주변부를 향해 연설되어 있는 것을 특징으로 한다.

【0012】 상기 (1)와 같은 구성에 의하면 반도체 칩을 회로 기판의 편면에 마련한 구현용 범프상에 구현한 상태에서 인접하는 다른 회로 기판과 함께 적층화를 도모할 수 있다. 따라서, 배선 기판의 고밀도화나 반도체 칩 간의 거리 단축화를 도모하고, 배선의 저항이나 인덕턴스로 인한 결함을 감소시킬 수 있고 전기신호를 지연 없이 고속으로 전달할 수 있는 다층화 회로 기판 제조에 매우 유리해진다.

【0013】 상기 (1)에 기재된 구현용 회로 기판에 있어서 도전성 물질은 전해 구리 도금막으로 형성됨과 동시에, 도전성 범프는 전해 침새와 막으로 형성되는 것이 바람직하다.

【0014】 이러한 구성에 의하면 도체와 도체를 접착하는 역할을 과연 전기적 접속을 확실하게 수행할 수 있고 접속성이나 신뢰성이라고 하는 점에서 유리하다.

【0015】 또한 상기 도전성 범프는 Sn, Pb, Ag, Au, Cu, Zn, In, Bi에서 선택되는 어느 1의 금속으로 형성되는 것이 바람직하고 또한 땀납 또는 주석 합금으로 형성할 수도 있다.

【0016】 (2) 또한 본 발명의 반도체 칩 구현용 회로 기판 제조 방법은 절연성 기재의 한쪽 표면에 형성된 도체 회로와 절연성 기재의 다른 한쪽 표면에서 상기 도체 회로에 도달하는 비관통 구멍 내에 충전된 도전성 물질로 구성되는 비아홀과 그 비아홀의 바로 위에 위치해 비아홀에 전기적으로 접속되고 상기 절연성 기재의 다른 한쪽 표면에서 돌출되는 도전성 범프를 가지는 회로 기판을 제조함에 있어서 적어도 이하의(1)~(3)의 공정, 즉 (1) 절연성 기재의 한쪽 표면에 배선층을 형성하기 위한 도체층을 마련함과 동시에, 절연성 기재의 다른 한쪽 표면에서 상기 도체층에 도달하는 비관통 구멍을 절연성 기재의 중앙부 및 주변부에서 형성하는 공정, (2) 상기 비관통 구멍 내에 도전성 물질을 충전해 비아홀을 형성하는 공정, (3) 상기 비아홀의 위치에 정합해 개구하는 범프 형성용 구멍을 가지는 범프 형성용 피막을 상기 절연성 기재의 다른 한쪽 표면에 부착한 상태에서 상기 범프 형성용 구멍에 도전성 물질을 충전하고, 상기 절연성 기재의 중앙부에서의 비아홀의 바로 위에 반도체 칩의 구현용 도전성 범프를 형성함과 동시에, 상기 절연성 기재의 주변부에서의 비아홀의 바로 위에 인접하는 회로 기판과의 전기적 접속용 도전성 범프를 형성하는 공정, 을 포함하여 구성되는 것을 특징으로 한다.

【0017】 (3) 또한 본 발명의 다층화 회로 기판은 절연성 기재의 한쪽 표면에 형성된 도체 회로와 절연성 기재의 다른 한쪽 표면에서 상기 도체 회로에 도달하는 비관통 구멍 내에 충전된 도전성 물질로 구성되는 비아홀과 그 비아홀의 바로 위에 위치해 비아홀에 전기적으로 접속되고 상기 절연성 기재의 다른 한쪽 표면에서 돌출되는 도전성 범프를 가져서 이루어지는 회로 기판의 여러 장을 접착제를 통해 적층하고 그 적층된 여러 장의 회로 기판을 일괄적으로 가열 프레스함으로써 제조되는 다층화 회로 기판에 있어서 상기 회로 기판 중의 몇인가는 그 거의 중앙부에서 반도체 칩이 실장된 도전성 범프를 가짐과 동시에 그 주변부에는 다른 회로 기판과의 전기적 접속을 위한 도전성 범프를 가지며, 상기 반도체 칩을 구현하는 도전성 범프는 이들에 대응한 비아홀을 통해 도체 회로에 접속되고 그 도체 회로는 상기 회로 기판의 주변부를 향해서 연설됨과 동시에, 그 주변부에서 인접하는 다른 회로 기판의 도전성 범프에 접속되도록 구성된 것을 특징으로 한다.

【0018】 상기 (3)에 기재된 다층화 회로 기판에 있어서 반도체 칩이 실장된 회로 기판에 인접하는 다른 회로 기판은 그 거의 중앙부에서 반도체 칩이 통과·수납될 수 있는 관통 구멍을 가지고 있는 것이 바람직하다.

【0019】 또한 상기 비아홀은 전해 구리 도금막으로 형성됨과 동시에, 도전성 범프는 전해 침새와 막으로 형성되는 것이 바람직하다.

【0020】 또한 상기 도전성 범프는 Sn, Pb, Ag, Au, Cu, Zn, In, Bi에서 선택되는 어느 1의 금속으로 형성되는 것이 바람직하고 또한 땀납 또는 주석 합금으로 형성할 수도 있다.

【0021】 상기 (3)에 기재된 다층화 회로 기판을 구성하는 회로 기판의 각 도체 회로의 표면에는 조화층이 형성되는 것이 바람직하다.

【0022】

【발명의 실시 형태】 본 발명에 따른 회로 기판의 특징은 IC칩 등의 반도체 칩을 구현한 상태에서 거의 같은 구조를 가지는 다른 적층용 회로 기판과 함께 적층되고, 반도체 칩 간의 신호 전달을 신속하게 수행할 수 있는 다층화 회로 기판 제조에 적합하게 이용되는 점에 있다.

【0023】 즉 본 발명에 따른 회로 기판에 있어서는 절연성 기재의 한쪽 표면에 도체 회로가 형성되고 절연성 기재의 다른 한쪽 표면에는 도체 회로에 도달하는 비관통 구멍이 형성됨과 동시에, 그 비관통 구멍 내에는 도전성 물질이 충전되어 비아홀이 형성되고 그 비아홀의 바로 위에는 도전성 범프가 형성되어 있다.

【0024】절연성 기재는 그 거의 중앙부에 반도체 칩을 구현하는 영역을 가짐과 동시에 그 구현 영역에서 외측으로 향하는 주변부에는 다층화 시에 인접하는 다른 회로 기판과의 전기적 접속을 도모하기 위한 접속 영역을 가지고 있다.

【0025】절연성 기재의 반도체 칩 구현 영역을 둘러싼 부분에는 다수의 비아홀이 형성됨과 동시에, 각각의 바로 위에는 반도체 칩 구현용 도전성 범프(이하, 「제1 도전성 범프」라고 한다)가 절연성 기재의 표면에서 돌출되어서 형성된다.

【0026】또한 절연성 기재의 주변부에도 다수의 비아홀이 형성됨과 동시에, 각각의 바로 위에는 인접하는 다른 회로 기판과의 전기적 접속을 위한 도전성 범프(이하, 「제2 도전성 범프」라고 한다)가 제1 도전성 범프와 동일하게 절연성 기재의 표면에서 돌출되어서 형성된다.

【0027】상기 제1 도전성 범프는 대응하는 비아홀을 통해 절연성 기재의 반대 측의 표면에 형성된 도체 회로에 접속되고 그 도체 회로는 중앙부에서 주변부를 향하여 연결되고 그 주변부에서 제2 도전성 범프에 대응하는 비아홀에 전기적으로 접속되어 있다.

【0028】이러한 반도체 칩이 실장된 회로 기판은 회로 형성된 거의 같은 구조를 가지는 다른 회로 기판이나 다른 반도체 칩이 실장된 회로 기판과 함께 적층되고, 고밀도화 및 고기능화의 실현을 도모할 수 있는 다층화 회로 기판이 형성된다.

【0029】그러한 다층화 시에는 예를 들면 그 표층 측에는 연산 기능을 주로 가지는 반도체 칩을 구현한 회로 기판을 배치시키고 내층측에는 메모리 기능을 주로 가지는 반도체 칩을 구현한 회로 기판을 배치시키고 이들의 반도체 칩 구현 회로 기판 간에는 절연성 기재의 거의 중앙부에 반도체 칩 구현 영역에 대응한 개구가 설치되고 그 일면에 도체 회로를 가지며, 절연성 기재의 다른 면에는 그 도체 회로에 도달하는 비관통 구멍 내에 도전성 물질을 충전해서 이루어지는 충전 비아홀을 형성함과 동시에, 그 비아홀의 바로 위에 도전성 범프를 형성해서 이루어지는 적층용 회로 기판을 배치시킨 상태에서 이들의 회로 기판을 적층해 일괄적으로 가열 프레스함으로써 수행되는 것이 바람직하다.

【0030】이와 같이 하여 얻어진 다층화 회로 기판에 있어서 회로 기판상에 실장된 반도체 칩은 스페이서로서의 기능도 가지는 인접하는 다른 회로 기판에 마련한 중앙 개구 내에 임해 수지 밀봉되고 그 상태에서 제1 도전성 범프 및 그에 대응하는 비아홀을 통해 절연성 기재의 반대 측에 마련한 도체 회로에 접속되어 있다. 그 도체 회로는 기판의 둘레부를 향하여 연결되고 인접하는 회로 기판과의 접속용 제2 도전성 범프에 대응하는 비아홀에 접속되어 있으므로, 반도체 칩 간의 거리 단축화나 배선 저항이나 인덕턴스로 인한 결함이 감소되므로, 그 결과, 전기신호의 전달을 고속으로 지연 없이 수행할 수 있다.

【0031】본 발명의 회로 기판에 사용하는 절연성 수지 기재는 유기계 절연성 기재이면 사용할 수 있고 구체적으로는 아라미드 부직포-에폭시 수지 기재, 유리 천 에폭시 수지 기재, 아라미드 부직포-폴리이미드 기재, 비스말레이미드 트리아진 수지 기재, FR-4, FR-5에서 선택되는 리지드(경질)의 적층 기재, 혹은 폴리페닐렌 에테르(PPE) 필름, 폴리이미드(PI) 등의 필름으로 구성되는 플렉시블 기재에서 선택되는 1종인 것이 바람직하다.

【0032】특히 경질의 절연성 수지 기재는 종래와 같은 반경화 상태의 프리프레그가 아니라 완전하게 경화한 수지 재료로 형성되므로, 이러한 재료를 이용함으로써 절연성 기재상으로 동박을 가열 프레스에 의해 압착시킬 때, 프레스압에 의한 절연성 기재가 최종적인 두께의 변동이 없어지므로, 비아홀의 위치 어긋남을 최소 한도에 억제하고, 비아랜드 지름을 작게 할 수 있다. 따라서 배선 피치를 작게 해 배선 밀도를 향상시킬 수 있다. 또한 기재의 두께를 실질적으로 일정하게 유지할 수 있으므로, 후술하는 충전 비아홀 형성용 비관통 구멍을 레이저 가공에 의해 형성할 경우에는 그 레이저 조사 조건의 설정이 용이해진다.

【0033】상기 절연성 기재의 한쪽 표면상으로의 도체 회로의 형성은 동박 등의 금속박을 적절한 수지 접착제를 통해 절연성 기재에 접착해 그 후, 적절한 식각 처리를 실시함으로써 수행된다. 이러한 절연성 기재상으로의 동박의 접착을 대신하여 절연성 기재상에 미리 동박이 접착하면 동장 적층판을 이용하는 것도할 수 있고 그 동박은 밀착성 개선을 위해 매트 처리되어 있어도 좋다. 한편 동장 적층판을 사용하는 것이 가장 바람직한 실시 형태이다.

【0034】상기 한면 동장 적층판은 에폭시 수지 기재, 페놀 수지, 비스말레이미드 트리아진 수지 등의 열경화성 수지를 유리 크로스에 함침시켜 B스테이지로 한 프리프레그와 동박을 적층해 가열 가압 프레스함으로써 얻어진 기판이다. 이 한면 동장 적층판은 리지드의 기판이며 취급하기 쉽게 비용적으로도 가장 유리하다. 또한 절연성 수지 기재의 표면에 금속을 증착한 후, 전해 도금을 이용하여 금속층을 형성할 수도 있다.

【0035】상기 절연성 수지 기재의 두께는 10~200 μ m, 바람직하게는 15~100 μ m이며 20~80 μ m가 최적이다. 이들의 범위보다 얇아지면 강도가 저하해 취급이 어려워져, 반대로 너무 두꺼우면 미세한 비아홀의 형성 및 도전성 재료에 의한 충전이 어려워지기 때문이다.

【0036】한편, 도체 회로를 형성하는 동박의 두께는 5~36 μ m, 바람직하게는 8~30 μ m이며 12~25 μ m가 더욱 적합하다. 그 이유는 후술하도록 비아홀 형성용 비관통 구멍을 레이저 가공에 의해 마련할 때, 너무 얇으면 관통해 버리기 때문이며 반대로 너무 두꺼우면 식각에 의해 파인 패턴을 형성하기 어렵기 때문이다.

【0037】 비아홀 형성용 비관통 구멍은 절연성 수지 기재의 동박 접착면과 반대 측의 표면에 반경화 상태의 수지 접착제층을 통해 미리 광투과성 수지 필름을 점착시키고 그 수지 필름상에서 레이저 조사를 해서 형성된다.

【0038】 상기 레이저 조사에 의해 개구가 마련된 수지 필름은 절연성 기재의 표면에서 동박에 도달하는 비관통 구멍 내에 도전성 물질을 충전해 비아홀을 형성할 때는 인쇄용 마스크로서 기능하고 또한 비관통 구멍 내에 도전성 물질을 충전한 후, 비아홀 표면의 바로 위에 도전성 범프를 형성할 때는 그 범프의 돌출 높이를 조정하는 기능을 하는 것이며 소정의 공정을 거친 후에 접착제층에서 박리되는 점착제층을 가진다.

【0039】 상기 수지필름은 예를 들어 점착제층의 두께가 1~20 μm 이며 필름 자체의 두께가 10~50 μm 인 폴리에틸렌 테레프탈레이트 수지 필름(이하, 「PET 필름」이라고 한다)으로 형성되는 것이 바람직하다. 그 이유는 PET 필름의 두께에 의존하여 도전성 범프의 절연성 기재 표면으로부터의 돌출량이 정해지므로, 10 μm 미만의 두께에서는 돌출량이 너무 작아서 접속 불량이 되기 쉽고 반대로 50 μm 를 초과한 두께에서는 용융한 도전성 범프가 접속 계면에서 너무 펼쳐지므로, 파인 패턴의 형성을 할 수 없기 때문이다.

【0040】 상기 레이저 가공기로서는 탄산가스 레이저 가공기나 UV레이저 가공기, 엑시머 레이저 가공기 등을 사용할 수 있다. 특히 탄산가스 레이저 가공기는 가공 속도가 빠르고 저비용으로 가공할 수 있기 때문에 공업적으로 이용하려면 가장 적합하며 본 발명에 가장 바람직한 레이저 가공기이다.

【0041】 이러한 탄산가스 레이저에 의해 상기 범위의 두께를 가지는 절연성 수지 기재에 형성되는 비관통 구멍의 구경은 50~200 μm 의 범위인 것이 바람직하고 그 때의 레이저 조사 조건은 펄스 에너지가 0.5~100 mJ, 펄스폭이 1~100 μs , 펄스 간격이 0.5 ms 이상, 샷수가 3~50인 것이 바람직하다.

【0042】 비관통 구멍의 구경에 제한을 둔 이유는 50 μm 미만에서는 비관통 구멍 내에 도전성 페이스트를 충전하기 어려워짐과 동시에, 접속 신뢰성이 낮아지기 때문이며 200 μm 를 초과하면, 고밀도화가 어렵게 되기 때문이다.

【0043】 비관통 구멍에 도전성 물질을 충전해 비아홀을 형성하기 전에 비관통 구멍의 내벽면에 잔류하는 수지 잔재를 제거하기 위한 디스미어 처리, 예를 들면 산이나 과망간산, 크롬산 등의 산화제 등에 침지하는 화학적 제거 방법, 혹은 플라스마 방전이나 코로나 방전 등을 이용한 물리적 제거 방법에 의해 처리하는 것이 접속 신뢰성 확보의 점에서 바람직하다.

【0044】 특히 절연성 기재상에 점착제층이나 보호 필름이 접착된 상태에서 수행할 경우에는 예를 들어 플라스마 방전이나 코로나 방전 등을 이용한 드라이 디스미어 처리에 의한 것이 바람직하다. 드라이 디스미어 처리 중 플라스마 클리닝 장치를 사용한 플라스마 클리닝이 특히 바람직하다. 이 실시형태에서는 비아홀 형성용 비관통 구멍을 레이저 가공으로 형성했지만, 드릴 가공, 펀칭 가공 등의 기계적 방법으로 천공하는 것도 가능하다.

【0045】 상기 디스미어 처리를 한 비관통 구멍 내에 도전성 물질을 충전해 비아홀을 형성하는 방법에는 도금 처리에 의한 도금 충전 방법이나 도전성 페이스트의 충전에 의한 방법이 있다. 특히 도금 충전에 의한 경우에는 절연성 기재상의 동박에 도금이 석출하지 않도록 미리 보호 필름을 부착해 도금액과의 접촉을 저지하는 조치를 취해, 그 위에서 비관통 구멍 내에 도금을 충전해 비아홀로 한다.

【0046】 상기 도금 충전은 전해 도금 처리 또는 무전해 도금 처리 중 어느 것에 의해서도 수행할 수 있지만, 전해 도금 처리가 바람직하다.

【0047】 전해 도금으로서 예를 들면 Sn, Pb, Ag, Au, Cu, Zn, In, Bi, 땀납 또는 주석 합금 등을 사용할 수 있지만, 특히 전해 구리 도금이 최적이다. 전해 도금 처리에 의해 충전할 경우에는 절연성 기재에 형성된 동박을 도금 리드로서 전해 도금을 한다. 이 동박(금속층)은 절연성 기재의 한쪽 표면 전역에 걸쳐 형성되어 있기 때문에, 전류밀도가 균일이 되고 비관통 구멍을 전해 도금에서 균일한 높이로 충전할 수 있다. 여기서 전해 도금 처리 전에 비관통 구멍 내의 금속층의 표면을 산 등으로 활성화 처리 해 두면 좋다.

【0048】 또한 전해 도금한 후, 구멍에서 솟아오른 전해 도금(금속)을 연마 등으로 제거하여 평탄화할 수도 있다. 연마는 벨트샌더나 버프 연마 등을 사용할 수 있다. 또한 전해 도금을 절연 기판보다 약간 높아지도록 남겨둘 수도 있다.

【0049】 또한 도금 처리에 의한 도전성 물질 충전 대신에 도전성 페이스트를 충전하는 방법, 혹은 전해 도금 처리 또는 무전해 도금 처리에 의해 비관통 구멍의 일부를 충전해, 잔존 부분에 도전 페이스트를 충전해 수행할 수도 있다.

【0050】 상기 도전성 페이스트로서는 은, 구리, 금, 니켈, 각종 솔더에서 선택되는 1종 또는 2종 이상의 금속 입자로 구성되는 도전성 페이스트를 사용할 수 있다.

【0051】 또한 상기 금속 입자로서는 금속 입자의 표면에 이종 금속을 코팅한 것도 사용할 수 있다. 구체적으로는 구리 입자의 표면에 금 또는 은과 같은 귀금속을 피복한 금속 입자를 사용할 수 있다. 또한 도전성 페이스트로서는 금속 입자에 에폭시 수지 등의 열경화성 수지나 폴리페닐렌 설파이드(PPS) 수지를 더한 유기계 도전성 페이스트가 바람직하다.

【0052】 한편, 이 실시 예에서는 레이저 가공에 의해 형성된 비관통 구멍은 그 구멍 지름이 50~200 μm 의 미세 구멍으로 했기 때문에 도전 페이스트를 충전할 경우에는 기포가 남기 쉽기 때문에 전해 도금에 의한 충전이 실용적이다.

【0053】절연성 수지 기재의 동박 접착면(금속층)과 반대 측의 비아홀 바로 위에 형성되는, 제1 도전성 범프 및 제2 도전성 범프는 도금 처리 또는 도전성 페이스트를 인쇄함으로써 형성되지만, 레이저 조사에 의해 보호 필름에 형성된 개구 내에 도금 처리에 의해 보호 필름의 두께에 관련된 높이를 가지는 도금을 충전함으로써 형성되는 것이 바람직하다.

【0054】상기 도금 충전은 전해 도금 처리 또는 무전해 도금 처리 중 어느 것에 의해서도 수행할 수 있지만, 전해 도금 처리가 바람직하다. 전해 도금으로서는 예를 들면 Sn, Pb, Ag, Au, Cu, Zn, In, Bi, 땀납 또는 주석 합금 등을 사용할 수 있지만, 이 실시 예에서는 전해 주석 도금이 최적이다.

【0055】상기 제 1 및 제2 도전성 범프의 높이로서는 3~30 μ m의 범위가 바람직하다. 그 이유는 3 μ m미만에서는 범프 변형에 의해 범프의 높이의 편차를 허용하지 못하며, 또한 30 μ m를 넘으면 마이그레이션이나 구레나룻 발생이 증가하기 때문이다. 특히 5 μ m의 높이로 하는 것이 가장 바람직하다.

【0056】또한 제1 및 제2 도전성 범프는 도금 처리 대신에 레이저 조사에 의해 보호 필름에 형성된 개구 내에 도전성 페이스트를 충전함으로써 형성할 수도 있다. 이 경우에는 전해 도금의 높이의 편차는 충전되는 도전성 페이스트량을 조정함으로써 시정되고 다수의 도전성 범프의 높이를 갖출 수 있다.

【0057】이 도전성 페이스트로 구성되는 범프는 반경화 상태인 것이 바람직하다. 도전성 페이스트는 반경화 상태에서 딱딱하고 열 프레스 시에 연화한 유기 접착제층을 관통시킬 수 있기 때문이다. 또한 열 프레스 시에 변형하고 접착 면적이 증대되어, 도통 저항을 낮게 하는 것이 가능할 뿐만 아니라 범프의 높이의 편차를 시정할 수 있기 때문이다.

【0058】이 그 밖에 예를 들면 도전성 페이스트를 소정 위치에 개구가 마련된 메탈 마스크를 이용하여 스크린 인쇄하는 방법, 저융점 금속인 솔더 페이스트를 인쇄하는 방법의 외, 솔더 도금을 하는 방법, 혹은 솔더 용융액에 침지하는 방법에 의해 도전성 범프를 형성할 수 있다.

【0059】상기 저융점 금속으로서는 Pb-Sn계 솔더, Ag-Sn계 솔더, 인듐 솔더 등을 사용할 수 있다.

【0060】상기 반도체 칩을 구현하기 위한 제1 도전성 범프의 형상, 사이즈, 범프 피치 등은 특별히 제한되어야 할 것이 아니라 구현하는 반도체 칩의 단자 형상, 단자 사이즈, 단자 수에 따른 것이면 좋고 예를 들면 그 형상으로는 원기둥, 타원기둥, 직육면체, 또는 입방체를 채용할 수 있다. 원기둥 또는 타원기둥으로 한 경우에는 그 직경은 50~200 μ m의 범위인 것이 바람직하고 80 μ m인 것이 가장 바람직하다. 한편, 인접하는 다른 회로 기판과의 전기적 접속을 도모하기 위한 제2 도전성 범프의 형상, 사이즈, 범프 피치 등은 그 목적의 범위 내에서 적절하게 선택되어야 할 것이다. 예를 들어 레이저 조사에 의해 비아홀 형성용 비관통 구멍과 동시에 형성되는 PET 필름 개구 내에 상기 제 1 도전성 범프와 동시에 도금 충전에 의해 형성되는 실시 예의 하에서는 거의 동일한 형상 및 사이즈에 형성되지만, 이것에 한정되는 것이 아니다.

【0061】절연성 수지 기재의 상기 제 1 및 제2 도전성 범프가 형성된 표면과 반대 측의 표면에 형성되는 도체 회로는 구리박면에 감광성 드라이 필름을 부착하거나, 액상 감광성 레지스트를 도포한 후, 소정의 배선 패턴을 가지는 마스크를 채치하고 노광 현상 처리함으로써 도금 레지스트층을 형성한 후, 에칭레지스트 비형성부분의 동박을 식각 처리함으로써 형성된다.

【0062】상기 도체 회로의 배선 패턴은 기판의 거의 중앙부에 마련한 제1 도전성 범프에 대응하는 비아홀과 기판의 주변부에 마련한 제2 도전성 범프에 대응하는 비아홀을 접속하도록, 기판의 거의 중앙부에서 외주부를 향하여 연선했던 미세한 선폭의 패턴으로 구성된다.

【0063】이 배선 패턴은 그 두께가 5~30 μ m인 것이 바람직하고 12 μ m인 것이 가장 바람직하다. 또한 선폭과 선간 거리와의 비(L/D)는 50 μ m/50 μ m~100 μ m/100 μ m인 것이 바람직하다. 또한 배선 패턴상에 형성되는 랜드는 그 구경이 150~500 μ m인 것이 바람직하고 특히 350 μ m인 것이 바람직하다.

【0064】상기 패턴 형성을 위한 식각은 황산-과산화수소, 과황산염, 염화제2 구리, 염화제2철 수용액에서 선택되는 적어도 1종에 의해 수행되는 것이 바람직하다.

【0065】또한 도체 회로의 배선 패턴을 형성하는 순서는 도전성 범프를 형성하기 전, 또는 도전성 범프를 형성한 후 중 어느 것에서도 좋다. 단, 도전성 범프를 형성한 후에 배선 패턴을 형성하는 순서를 채용한 쪽이 그렇지 않은 경우(도체 회로를 형성한 후에 도전성 범프를 형성하는 순서)에 비해 배선 패턴이 형성된 표면 측을 보호할 필요가 없는 만큼만큼 프린트 기판 제조가 용이해진다.

【0066】및 상기 도체 회로의 배선 패턴 표면에는 조화층을 형성하고 회로 기판 상호를 접합하는 접착제층과의 밀착성을 개선하고 박리(딜라미네이션) 발생을 방지하는 것이 바람직한 곤.

【0067】상기 조화 처리는 예를 들면 소프트 에칭 처리나 흑화(산화)-환원 처리, 구리-니켈-인으로 구성되는 침상 합금 도금(에바라유지라이트제 상품명 인터 플레이트)의 형성, 맥크 사제의 상품명 「맥크 식각 본드」 이루어지는 식각액에 의한 표면조화가 바람직하다.

【0068】또한 필요에 따라 조화층이 형성된 배선 패턴상에 추가로 금속층을 피복해도 좋다. 형성되는 금속으로서는

티타늄, 알루미늄, 아연, 철, 인듐, 탈륨, 코발트, 니켈, 주석, 납, 비스무트 중에서 선택되는 하나의 금속으로 피복해도 좋다.

【0069】 그 피복 금속층의 두께는 0.01~3 μ m의 범위가 바람직하다. 그 이유는 0.01 μ m미만에서는 조화층을 완전하게 피복할 수 없는 것이 있고, 3 μ m를 넘으면, 형성한 조화층의 오목부에 피복 금속이 충전되어 버려, 조화층을 상쇄해 버리는 것이 있기 때문이다. 특히 바람직한 범위는 0.03~1 μ m 사이이다. 그 일례로서 붕화물 주석과 티오 요소로 구성되는 주석 치환액을 이용하여 조화층을 피복해도 좋다.

【0070】 절연성 수지 기재의 동박 접착면과 반대 측의 표면에는 접착제층이 형성되는 것이 바람직하고 이 접착제층은 절연성 기재의 반도체 칩 구현 영역 이외의 표면에 수지를 도포하고 건조시켜 미경화 상태로 한 것인 것이 바람직하다.

【0071】 상기 접착제층은 유기계 접착제로 형성하는 것이 바람직하고 그 유기계 접착제로서는 에폭시 수지, 폴리이미드 수지, 열경화형 폴리페닐렌 에테르(PPE:Polyphenylene ether), 에폭시 수지와 열가소성 수지와의 복합 수지, 에폭시 수지와 실리콘 수지와의 복합 수지, BT레진에서 선택되는 적어도 1종의 수지인 것이 바람직하다. 여기서 유기계 접착제의 용제로서는 NMP, DMF, 아세톤, 에탄올을 이용할 수 있다.

【0072】 상기 유기계 접착제인 미경화 수지의 도포 방법은 커튼 코터, 스프인코터, 롤코터, 스프레이 코터, 스크린 인쇄 등을 사용할 수 있다. 또한 수지의 도포 후, 감압 탈포를 해서, 조화층과 수지와의 계면의 기포를 완전하게 제거하는 것도 가능하다. 또한 접착제층의 형성은 접착제 시트를 라미네이트함으로써 수행할 수도 있다. 상기 접착제층의 두께는 5~50 μ m가 바람직하다. 접착제층은 취급이 용이하게 되기 때문에, 예비 경화(프리큐어) 해 두는 것이 바람직하다.

【0073】 상기 회로 기판에 실장되는 반도체 칩은 제1 도전성 범프에 의해 표면 실장된다. 반도체 칩과 범프의 접속 방법으로서 반도체 칩을 회로 기판의 구현 영역에 배치시킨 상태에서 리플로우하는 방법이나 미리 범프를 가열, 용해시켜 둔 상태에서 반도체 칩과 회로 기판을 접합시키는 방법 등이 있다.

【0074】 그 때 더하는 온도는 60~220℃의 범위가 바람직하다. 60℃미만에서는 도전성 금속이 용융되어 내지 220℃를 넘으면, 범프를 이루는 도전성 금속이 인접한 범프 사이에서 단락을 일으키거나 하기 때문이다. 특히 도전성 금속에 주석을 이용한 실시 예에서는 80~200℃의 범위의 온도가 더욱 바람직하다. 그 온도 내이면 범프의 형상 유지성이 유지되면서도 용해하고 접속을 할 수 있기 때문이다.

【0075】 반도체 칩과 회로 기판과의 간극에 충전되는 밀봉 수지는 칩과 수지 기판의 열팽창율의 미스매치를 방지하는 것이며 열경화성 수지나 열가소성 수지, 자외 경화 수지, 감광성 수지 등을 이용할 수 있다. 구체적으로는 에폭시 수지, 실리콘 수지, 폴리이미드 수지, 페놀 수지, 불소수지 등을 포함한 액상 수지나 이들의 수지를 시트형으로 형성한 비도전성 수지 필름(예를 들면 NCF) 등을 이용할 수 있다.

【0076】 상기 반도체 칩이 실장된 회로 기판은 거의 유사한 기판 구조를 가지는 다른 회로 기판이나 다른 반도체 칩이 실장된 회로 기판과 함께 적층되고, 다층화 회로 기판이 형성되는 것이 바람직하다.

【0077】 상기 적층용 회로 기판으로서 최외층에 적층되는 회로 기판을 제외하고, 예를 들면 기판 중앙부에 구현 반도체 칩보다 조금 사이즈가 큰 관통 구멍(개구)이 형성되고 적층 시에 반도체 칩이 그 관통 구멍 내에 수용 배치되도록 구성된다.

【0078】 즉 이 적층용 회로 기판은 절연성 수지 기재의 거의 중앙부에 구현 반도체 칩을 통과할 수 있는 관통 구멍이 형성되고 그 일면측의 주변부에는 도체 회로가 형성되고 타면측에는 도체 회로에 도달하는 비아홀이 형성되고 그 비아홀의 바로 위에는 인접하는 회로 기판에 전기적 접속되는 도전성 범프가 형성되어서 이루어진다.

【0079】 상기 반도체 칩 구현 회로 기판과 적층용 회로 기판을 적층할 때는 복수의 반도체 칩 구현 회로 기판과 적층용 회로 기판을 교대로 배치하여 예를 들어 하층에는 반도체 칩 구현 회로 기판이 상층에는 적층용 회로 기판이 위치하도록 순차적으로 적층한다.

【0080】 이러한 배치를 채용한 경우에는 상층의 적층용 회로 기판의 중앙 개구부에서 반도체 칩이 노출되므로, 적층 시에는 그 상층의 회로 기판에 인접한 외측에는 중앙 개구부를 가지고 없다 다른 적층용 회로 기판 또는 천개판을 배치시키고 또한 하층의 반도체 칩 구현 회로 기판에 인접한 외측에는 절연성 수지 기재의 일면측에 도체 회로가 형성되고 타면측에는 도체 회로에 도달하는 비아홀이 형성되고 그 비아홀의 바로 위에는 인접하는 회로 기판에 전기적 접속되는 도전성 범프가 형성되어서 이루어지는 적층용 회로 기판을 배치시킨 상태에서 가열 프레스해 일체화한다.

【0081】 이러한 회로 기판의 중첩은 각 기판에 미리 마련한 위치 결정용 구멍을 CCD 카메라 등으로 광학적으로 검출하고, 그 위치 맞춤을 하면서 진행한다.

【0082】 이러한 적층체는 50~250℃의 온도에서 가열되면서, 0.5~5 MPa의 압력으로 프레스되고, 모든 회로 기판이 1도의 프레스 성형에 의해 일체화된다. 가열 온도의 범위로서는 160~200℃가 바람직하다.

【0083】 이러한 적층체를 일체화 성형한 후, 최외층의 회로 기판의 도체 회로의 랜드상에 땀납체를 공급하여 반도체 칩 이외의 다른 전자 부품의 구현을 가능하게 하거나 또한 메인보드에 접속 단자로 할 수 있다.

【0084】 그 때, 최상층의 회로 기판의 랜드상에는 예를 들어 니켈-금층을 형성하고 그 금-니켈층상에 솔더 범프를 설치하고 또한 그 솔더 범프상에 반도체 칩 이외의 다른 전자 부품을 탑재하도록 구성하거나 같이 최하층의 회로 기판의 랜드상에도 예를 들어 니켈-금층을 형성하고 그 금-니켈층상에는 다 볼 또는 T핀을 접합하여 메인보드에 접속 단자로 할 수 있다.

【0085】 이하, 본 발명에 따른 반도체 칩 구현용 회로 기판 및 다층화 회로 기판 제조 방법의 일례에 대해 첨부 도면을 참조로 해 구체적으로 설명한다.

【0086】 본 발명에 따른 반도체 칩 구현용 회로 기판을 제조하는데 있어서, 절연성 수지 기재 10의 편면에 동박이 12가 접착된 것을 출발 재료로서 이용한다. 이 절연성 수지 기재 10은 예를 들어 유리 천 에폭시 수지 기재, 유리포 비스말레이미드 트리아진 수지 기재, 유리포 폴리페닐렌 에테르 수지 기재, 아라미드 부직포-에폭시 수지 기재, 아라미드 부직포-폴리이미드 수지 기재에서 선택되는 리지드의(경질) 적층 기재가 사용될 수 있지만, 유리 천 에폭시 수지 기재가 가장 바람직하다.

【0087】 상기 절연성 수지 기재 10의 두께는 10~200 μ m가 바람직하다. 그 이유는 10 μ m미만의 두께에서는 강도가 저하해 취급이 어려워짐과 동시에, 전기적 절연성에 대한 신뢰성이 낮아져, 200 μ m를 초과하는 두께에서는 미세한 비아홀의 형성 및 도전성 페이스트의 충전이 어려워짐과 동시에, 기판 그 자체가 두꺼워지기 때문이다.

【0088】 및 동박 12의 두께는 5~36 μ m가 바람직하다. 그 이유는 후술하는 레이저 가공을 이용하여 절연성 기재에 비아홀 형성용 비관통 구멍을 형성할 때, 너무 얇으면 관통해 버리기 때문이며 반대로 너무 두꺼우면 식각에 의해 파인 패턴을 형성하기 어렵기 때문이다.

【0089】 상기 절연성 기재 10 및 동박 12로서는 특히 에폭시 수지를 유리 크로스에 함으로써 B스테이지로 한 프리프레그와 동박을 적층해 가열 프레스함으로써 얻어진 한면 동장 적층판을 이용하는 것이 바람직하다. 그 이유는 동박 12가 후술하도록 식각된 후의 취급 중에 배선 패턴이나 비아홀의 위치가 어긋나지 않고 위치 정밀도가 우수하기 때문이다.

【0090】 이러한 절연성 기재 10의 동박 12가 접착된 표면 및 그것과 반대 측의 표면에 보호 필름 13 및 14를 각각 부착하는(도 1(a) 참조). 이들의 보호 필름은 예를 들어 표면에 점착층을 마련한 폴리에틸렌 테레프탈레이트(PET) 필름(이하, 「PET 필름」이라고 한다)이 사용되며 특히 동박 12가 접착된 표면과 반대 측의 표면에 마련한 보호 필름 14는 후술하는 도전성 범프의 높이 조정용으로 사용된다.

【0091】 상기 PET 필름은 점착제층의 두께가 1~20 μ m, 필름 자체의 두께가 10~50 μ m인 것이 사용된다.

【0092】 그 다음에 절연성 기재 10상에 접착된 PET 필름 14의 상방에서 레이저 조사를 해서, PET 필름 14를 관통하여 절연성 기재 10의 표면에서 동박 12에 도달하는 2 종류의 비관통 구멍 16 a 및 16 b를 형성하는(도 1(b) 참조).

【0093】 상기 비관통 구멍 16 a는 절연성 기재 10의 거의 중앙부를 차지하는 반도체 칩 구현 영역에 형성되고 한편, 비관통 구멍 16 b는 절연성 기재 10의 구현 영역의 외측에 위치하는 주변 영역에 형성된다. 이 레이저 가공은 펄스 발진형 탄산가스 레이저 가공 장치에 의해 수행되어 그 레이저 조사 조건은 펄스 에너지가 0.5~100 mJ, 펄스폭이 1~100 μ s, 펄스 간격이 0.5 ms 이상, 샷수가 3~50의 범위 내인 것이 바람직하다. 이러한 가공 조건의 하에서 형성될 수 있는 비관통 구멍 16 a 및 16 b의 구경은 50~200 μ m인 것이 바람직하다.

【0094】 상기의 공정으로 형성된 비관통 구멍 16 a 및 16 b의 내벽면에 잔류하는 수지 잔재를 제거하기 위해, 디스미어 처리를 한다. 이 디스미어 처리로서는 플라스마 방전, 코로나 방전 등을 이용한 드라이 디스미어 처리가 접속 신뢰성 확보의 점에서 바람직하다.

【0095】 이어서 상기에서의 디스미어 처리를 끝낸 기판에 대해서 전해 구리 도금 처리를 실시하고, 비관통 구멍 16 a 및 16 b 내에 전해 구리 도금막을 충전해 비아홀 20 a 및 20 b를 형성하는(도 1(c) 참조).

【0096】 그 후, 전해 침새와 처리를 실시하고, 레이저 조사에 의해 PET 필름 14에 형성된 개구 내에 전해 침새와 막을 충전해, 비아홀 20 a의 바로 위에 위치하여 반도체 칩 구현용 도전성 범프 22a(이하, 「제1 도전성 범프」라고 한다)를 형성함과 동시에, 비아홀 20 b의 바로 위에 위치하여 다른 회로 기판과의 접속용 도전성 범프 22b(이하, 「제2 도전성 범프」라고 한다)를 형성하는(도 1(d) 참조).

【0097】 이어서 절연성 수지 기재 10의 동박 접착면에 접착된 PET 필름 13을 박리시킨 후, 절연성 수지 기재의 동박 접착면과 반대 측의 표면에 식각 보호막 26을 부착한다.

【0098】 이어서 동박 12의 불필요한 부분을 식각 처리에 의해 제거하여 도체 회로를 형성한다. 이 처리 공정에서는 먼저 동박 12를 덮어 감광성 드라이 필름 레지스트를 부착한 후, 소정의 회로 패턴을 따라 노광, 현상 처리해 에칭 레지스터층 24를 형성해(도 1(e) 참조), 에칭레지스트 비형성부분의 동박을 식각하여 소정의 배선 패턴을 가지는 도체 회로 패턴 40을 형성하는(도 2(a) 참조).

【0099】 식각액으로서는 황산 일과 산화수소, 과황산염, 염화제2 구리, 염화제2철 수용액에서 선택되는 적어도 1종의 수용액이 바람직하다. 도체 회로의 일부로서의 랜드는 그 내경이 비아홀 구경과 거의 같이지만 그 외경은 50~250 μ m의 범위에 형성되는 것이 바람직하다.

【0100】이어서 상기의 공정으로 형성한 도체 회로 40의 표면을 조화 처리해 조화층을 형성해(도시를 생략한다), 그 후, 절연성 수지 기재의 동박 접착면과 반대 측의 표면에서 PET 필름 14 및 보호막 26을 박리시키고 그 노출 표면의 소정 개소에 접착제층(도시를 생략한다)을 형성하는(도 2(b) 참조). 상기 조화 처리는 다층화할 때, 접착제층과의 밀착성을 개선하고 박리(딜라미네이션)를 방지하기 때문이다.

【0101】조화 처리 방법으로서 예 들면 소프트 에칭 처리나 흑화(산화)-환원 처리, 구리-니켈-인으로 구성되는 침상 합금 도금(에바라유지라이트제:상품명 인터 플레이트)의 형성, 맥크 사제의 상품명 「맥크 식각 본드」 이루어지는 식각액에 의한 표면조화가 있다.

【0102】이 실시 예에서는 상기 조화층의 형성은 식각액을 이용하여 형성되는 것이 바람직하고 예를 들어 도체 회로의 표면을 제2 구리 착물과 유기산의 혼합수 용액에서 식각액을 이용하여 식각 처리함으로써 형성할 수 있다. 이러한 식각액은 스프레이나 버블링 등의 산소 공존 조건 하에서 구리 도체 회로를 용해시킬 수 있고 반응은 다음과 같이 진행되는 것이라고 추정된다.

【0103】

$Cu + Cu(II) An \rightarrow 2Cu(I) An / 22Cu(I) An / 2 + n/4O_2 + nAH$ (에어레이션) $\rightarrow 2Cu(II) An + n/2 H_2O$ 식 중, A는 착화제(킬레이트제로서 작용), n는 배위수를 나타낸다.

【0104】이 식으로 표시되도록, 발생한 제1 구리 착물은 산의 작용으로 용해해, 산소와 결합해 제2 구리 착물이 되고 다시 구리의 산화에 기여한다. 본 발명으로 이용되는 제2 구리 착물은 아졸류의 제2 구리 착물이 좋다. 이 유기산-제2 구리 착물로 구성되는 식각액은 아졸류의 제2 구리 착물 및 유기산(필요에 따라 할로겐 이온)을 물에 용해해 조제할 수 있다.

【0105】이러한 식각액은 예를 들어 이미다졸 구리(II) 착물 10 중량부, 글리콜산 7 중량부, 염화칼륨 5 중량부를 혼합한 수용액으로 형성된다.

【0106】본 발명에 따른 반도체 칩 구현용 회로 기판은 상기~의 공정에 따라 제조되고 또한 예를 들면 도 3 및 도 4에 나타난 바와 같이, 다른 회로 기판 60, 70 및 80과 함께 적층되고, 다층화된다. 그러한 다층화 시 회로 기판의 제1 도전성 범프 22a로 실장되는 반도체 칩 42 사이에, 시트형 밀봉용 수지를 개재시키고 예를 들면 가열 분위기 하에서 반도체 칩 42의 단자 3A를 제1 도전성 범프 22a에 접합시킴으로써 단자-범프간의 전기적 접속이 이루어짐과 동시에, 반도체 칩과 회로 기판과의 간극이 용융 고화시킨 수지 3B에 의해 밀봉되고, 반도체 칩 42의 표면 구현이 이루어져 반도체 칩 구현 회로 기판 50이 제조된다.

【0107】본 발명에 의한 반도체 칩 구현 회로 기판 50과 함께 적층되는 다른 회로 기판의 하나인 회로 기판 60은 상술한 것과 같은 반도체 칩 구현용 회로 기판의 처리 공정과 거의 같은 처리 공정을 거쳐 제조되고 반도체 칩 구현 회로 기판 50에 인접해 적층되는, 이른바 스페이서로서의 기능을 가지는 회로 기판이다.

【0108】이 회로 기판 60은 절연성 수지 기재 10의 주변부에서 반도체 칩 구현 회로 기판 50의 비관통 구멍 16b에 대응하는 위치에 비아홀 62 및 도전성 범프 64를 가지고 형성됨과 동시에, 절연성 수지 기재 10의 거의 중앙부에 반도체 칩 42의 외형과 거의 같은 사이즈의 관통 구멍 68이 형성되고 또한 도전성 범프 64가 형성된 절연성 수지 기재 10의 표면의 적절한 곳에 접착제층이 형성된 구조를 가진다.

【0109】도 3은 2매의 반도체 칩 구현 회로 기판 50을 2매의 회로 기판 60과 교대로 적층하고 상층의 회로 기판 60의 또한 외측에는 회로 기판 60의 도전성 범프 64에 접속되는 도체 회로 82만을 가지지만, 중앙 개구부를 가지지 않는 천개판 80을 배치하고 접시 하층의 반도체 칩 구현 회로 기판 50의 외측에는 절연성 수지 기재의 일면측에 도체 회로 72가 형성되고 타면측에는 도체 회로 72에 도달하는 비아홀 74가 형성되고 그 비아홀 74의 바로 위에는 인접하는 반도체 칩 구현 회로 기판 50에 전기적으로 접속되는 도전성 범프 76이 형성되어서 이루어지는 적층용 회로 기판 70을 배치시킨 상태에서 가열 프레스해 일체화한다. 이러한 적층 시 실장된 반도체 칩 42를 둘러싸는 기판 간의 간극에는 밀봉 수지가 충전된다.

【0110】도 4는 이와 같이 6층에 적층된 적층체를 나타내며 1도의 가열프레스성형에 의해 일체화된다. 가압과 동시에 가열함으로써, 각 회로 기판에 마련한 접착제층이 경화하여 반도체 칩 구현 회로 기판 50과 스페이서 회로 기판 60 사이, 스페이서 회로 기판 60과 천개판 80 사이 및 반도체 칩 구현 회로 기판 50과 적층용 회로 기판 70 사이에서 견고한 접착이 이루어진다. 또한 열 프레스로서는 진공열 프레스를 이용하는 것이 적합하다.

【0111】이와 같이 일체화해서 형성된 다층화 회로 기판의 최하층 회로 기판 70의 도체 회로 72의 랜드상에 니켈-금층(도시를 생략한다)을 각각 형성하고 또한 그 니켈-금층상에는 메인보드 측의 단자에 접속되는 솔더 볼 78이 배설된다.

【0112】또한 절연성 수지 기재의 표면에 미리 형성된 접착제층을 대신하여 각 회로 기판이 제조되어 후, 다층화하는 단계에 있어서 절연성 수지 기재의 도전성 범프 측의 표면의 적절한 곳에 접착제를 도포하고 건조화한 상태의 미경화 수지로 구성되는 접착제층으로서 형성할 수도 있다. 이 접착제층은 취급이 용이하게 되기 때문에, 프리큐어 해두는 것이 바람직하고 그 두께는 5~50μm의 범위가 바람직하다.

【0113】 상술한 실시 예에서는 2매의 반도체 칩 구현 회로 기판 50과 2매의 스페이서 회로 기판 60을 교대로 적층하고 또한 그 하측에는 적층용 회로 기판 70을 상측에는 천개판 80을 적층해 6층으로 다층화했지만, 그러한 예로 한정되는 것이 아니라 구현하는 반도체 칩의 사이즈나 수량, 절연성 수지 기재의 종류, 두께 등에 따라 5층 이하 혹은 7층 이상의 다층화 회로 기판 제조에도 적용할 수 있는 것은 물론이다.

【0114】

【실시에】 (실시에 1)(1) 에폭시 수지를 유리 크로스에 함으로써 한 프리프레그와 동박을 적층해 가열 프레스함으로써 얻어진 한면 동장 적층판을 기판으로서 이용한다. 절연성 수지 기재 10의 두께는 50 μ m, 동박 12의 두께는 18 μ m로 했다.

【0115】 (2) 이러한 절연성 기재 10의 동박 12가 접착된 표면 및 그것과 반대 측의 표면에 각각 두께 22 μ m의 PET 필름 13 및 14를 접착한다. 상기 PET 필름은 두께가 10 μ m의 점착제층과 두께가 12 μ m의 PET 필름 베이스로 구성된다.

【0116】 (3) 이어서 PET 필름 14의 상방에서 이하와 같은 레이저 가공 조건에서 펄스 발진형 탄산가스 레이저를 조사하여 비아홀 형성용 비관통 구멍 16 a 및 16 b를 형성한 후, 비관통 구멍 16 개구 내벽에 잔류하는 수지를 제거하기 위해, 플라즈마 클리닝 처리를 실시했다.

【0117】 [레이저 가공 조건] 펄스 에너지 0.7 mJ 펄스폭 15 μ s 펄스 간격 2 ms 이상 샷수 2 【0118】 (4) 이어서 절연성 수지 기재 10의 동박 12가 접착된 표면에 보호 필름 13을 접착한 상태에서 하기 조성의 전해 도금 수용액으로 하기 도금 조건에서 전해 구리 도금 처리를 실시하고, 비관통 구멍 16 a 및 16 b의 내부에 전해 구리 도금을 충전하고, 구경 150 μ m, 비아홀 간 거리 500 μ m의 비아홀 20 a 및 20 b를 각각 형성했다.

【0119】

[전해 도금 수용액] 황산 180 g/l 황산구리 80 g/l 첨가제(아트텍크자판제, 상품명:카파라시드GL) 1 ml/l [전해 도금 조건] 전류밀도 2 A/dm² 시간 30 분 온도 25 $^{\circ}$ C 【0120】 (5) 이어서 하기 조성의 전해 도금 수용액으로 하기 도금 조건에서 전해 침새와 처리를 실시하고, PET 필름 14에 형성된 개구 내에 전해 침새와 막을 충전해, 비아홀 20 a 및 20 b상에 직경 150 μ m, 높이 5 μ m, 범프간 거리 500 μ m의 제1 도전성 범프 22 a 및 제2 도전성 범프 22 b를 각각 형성했다.

【0121】 [전해 도금 수용액] 황산 105 ml/l 황산 주석(SnSO₄) 30 g/l 첨가제 40 ml/l [전해 도금 조건] 전류밀도 2 A/dm² 시간 20 분 온도 25 $^{\circ}$ C 【0122】 (6) PET 필름 14상에 추가로 보호막 26을 형성했다. 이 보호막 26의 형성은 PET 필름 접착에서도 좋고 또는 레지스트층 형성에 의해 이루어진다. 또한 절연성 수지 기재의 구리박면에 접착된 보호막 13을 박리한 후, 그 구리박면에 에칭 레지스터층 24를 형성하고 에칭레지스트 비형성부분의 동박을 염화제2 구리의 식각 용액으로 처리함으로써, 비아홀 16 a에 대응한 위치에 직경 400 μ m의 랜드를 비아홀 16 b에 대응한 위치에 직경 400 μ m의 랜드를 가지며, 이들의 랜드 간을 접속하는 배선 부분의 L/S=50 μ m/50 μ m인 도체 회로 패턴 40을 형성했다.

【0123】 (8) 이어서 도체 회로 40의 표면을 식각액으로 조화해 조화층(도시를 생략한다)을 형성하고 그 후, 동박 접착면과 반대 측의 표면에서 PET 필름 14 및 26을 박리시키고 그 표면에 점착제층(도시를 생략한다)을 형성하여 반도체 칩 구현용 편면 회로 기판 50을 제조했다.

【0124】 (9) 상기 (8)에서 얻은 편면 회로 기판과 반도체 칩 42 사이에 시트형 밀봉용 수지를 개재시킨 상태에서 포팅과 같은 방법으로 제1 도전성 범프 22 a에 대해서 반도체 칩 42를 표면 구현하여 반도체 칩 구현 회로 기판을 제작했다. 이 때 반도체 칩 42의 하면 측에서 금제의 범프가 돌설되어 있고 이 범프가 제1 도전성 범프 22 a에 내장됨으로써, 반도체 칩 42가 접속된다.

【0125】 (10) 이어서 반도체 칩 구현용 회로 기판의 처리 공정과 거의 동일한 공정에 의해 절연성 기재 10의 주변부인 만큼 비아홀 62 및 도전성 범프 64를 형성한다. 또한 절연성 기재 10의 도전성 범프 64와 반대 측의 표면에 도체 회로(패드) 67을 형성하고 도체 회로 67의 표면에 식각 처리에 의해 조화층을 형성하고 그 후, 절연성 수지 기재 50의 거의 중앙부에 개구 68을 형성하고 마지막으로 도전성 범프 64가 형성된 절연성 기재 10의 표면에 점착제층을 형성해 스페이서용 회로 기판 60을 제작했다.

【0126】 (11) 또한 반도체 칩 구현용 회로 기판의 처리 공정과 거의 동일한 공정에 의해 최하층이 되는 적층용 회로 기판 70과 최상층이 되는 천개판 80을 형성한다.

【0127】 (12) 이어서 상기 2매의 반도체 칩 구현 회로 기판 50과 2매의 스페이서용 회로 기판 60과 교대로 적층하고 또한 상층의 스페이서용 회로 기판 60의 외측에 천개판 80을 배치하고 한편, 하층의 반도체 칩 구현 회로 기판 50의 외측에 적층용 회로 기판 70을 배치시킨 상태에서 각 기판 간의 간극에 충전 수지를 주입하면서 온도 180 $^{\circ}$ C에서 가열함과 동시에, 압력 2 MPa에서 프레스하여 모든 회로 기판을 1도의 프레스 성형에 의해 일체화했다.

【0128】 (13) 상기 (12)에서 얻은 적층체의 최하층에 있는 적층용 회로 기판 70의 표면에 도금 레지스트층을 형성한 후, 도금 처리를 실시하고, 회로 기판 70의 도체 회로 72의 랜드상에 니켈-금층(도시를 생략한다)을 형성하고 또한

그 니켈-금층상에는 메인보드의 단자에 접속하는 솔더 볼 78을 배설하여 BGA 구조를 가지는 다층화 회로 기판을 제작했다.

【0129】(실시에 2) 저융점 금속인 주석-은 계 솔더로 구성되는 도전성 페이스트를 이용하여 인쇄에 의해 직경(범프 지름)이 80 μm , 높이가 30 μm , 범프간 거리(피치)가 600 μm 의 제1 도전성 범프 22 a를 형성함과 동시에, 직경 80 μm , 높이 30 μm , 범프간 거리 600 μm 의 제2 도전성 범프 22 b를 형성한 이외에는 실시예 1과 동일하게 처리해 반도체 칩 구현용 회로 기판 및 다층화 회로 기판을 제작했다.

【0130】상기 실시예 1 및 2에 의해 제조된 다층화 회로 기판에 대해 단면의 박리 등의 유무를 확인하는 외관 검사나 전기 접속의 유무를 확인하는 도통 시험을 수행했다. 그 결과, 실시예 1 및 2는 접속성이나 밀착성이라고 하는 점에서는 문제가 없고 열순환 조건 하에서도 1000 사이클까지 칩 및 도체 접속 부분에서는 박리나 균열 등은 확인되지 않고, 저항값의 상승도 확인되지 않았다.

【0131】

【발명의 효과】 이상 설명한 것처럼, 본 발명의 반도체 칩 구현용 회로 기판은 IC칩 등의 반도체 칩이 구현 가능한 구현용 범프와 다른 프린트 기판과의 전기적 접속을 도모하는 접속용 범프와의 2종류의 도전성 범프를 절연성 기재의 같은 표면 측에 형성하고 이들의 도전성 범프를 접속하는 도체 회로를 절연성 기재의 다른 표면에 마련했으므로, 반도체 칩 간의 거리 단축화를 도모하고, 배선의 저항이나 인덕턴스로 인한 결함을 감소시킬 수 있고 그 결과, 고속으로 지연 없이 전기신호를 전달할 수 있고 배선 기판의 고밀도화 및 고기능화를 도모할 수 있다.

【0132】또한 본 발명 제조 방법에 의하면 반도체 칩 구현용 회로 기판에 있어서의 2종류의 도전성 범프를 1의 공정에 의해 동시에 형성할 수 있으므로, 공정수를 감소시킬 수 있고 또한 고가의 전착용 장치 등을 사용할 필요가 없기 때문에 회로 기판을 저비용으로 제조할 수 있다.

【도면의 간단한 설명】

【도 1】(a)~(e)는 본 발명의 반도체 칩 구현용 회로 기판 제조 공정의 일부를 나타내는 도이다.

【도 2】(a)~(b)는 본 발명의 반도체 칩 구현용 회로 기판 제조 공정의 일부를 나타내는 도이다.

【도 3】본 발명의 반도체 칩 구현 회로 기판과 다른 회로 기판을 적층 상태를 나타내는 도이다.

【도 4】본 발명에 의한 반도체 칩 구현 회로 기판과 다른 회로 기판을 적층 일체화해 제조한 다층화 회로 기판을 나타내는 도이다.

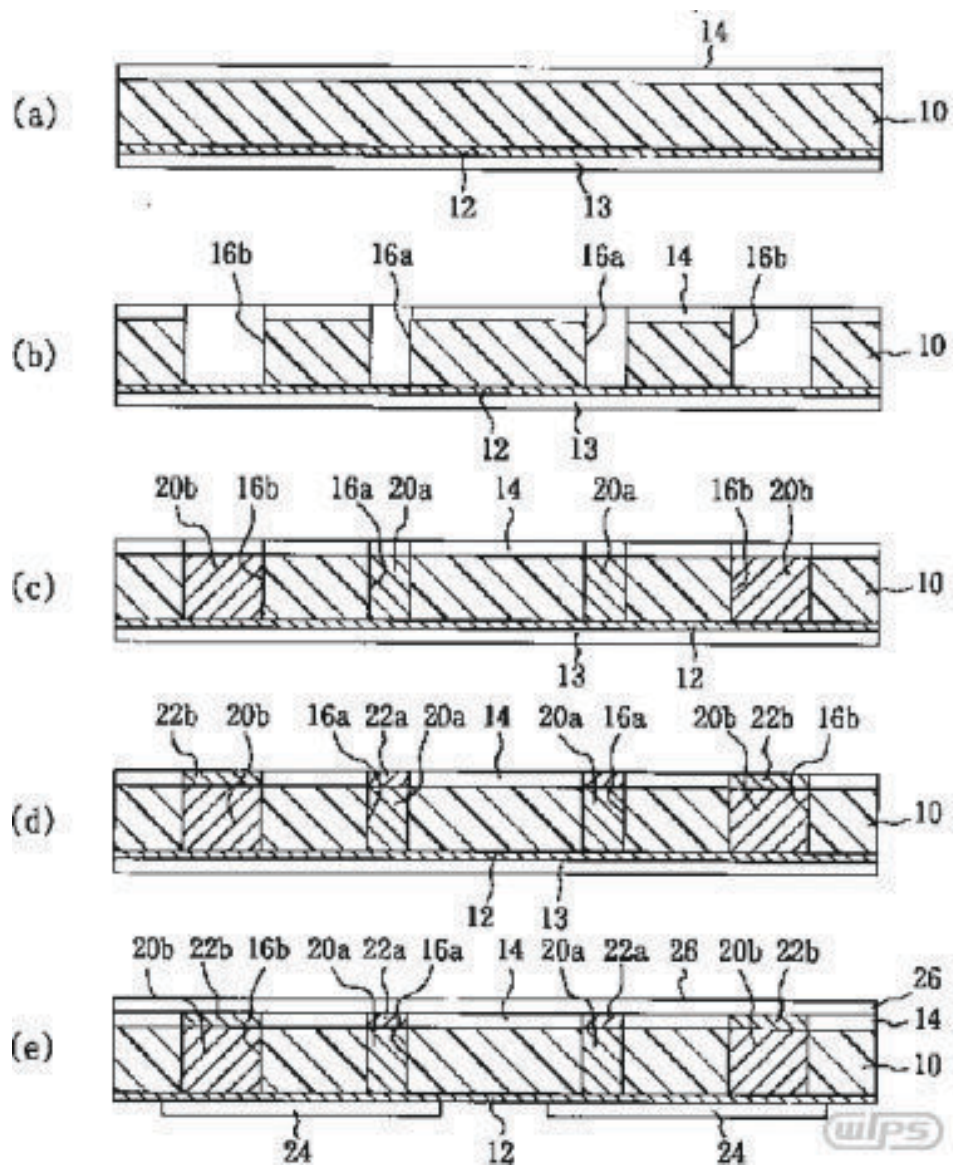
【도 5】종래 기술의 IC패키지의 측단면도이다.

【도 6】(a)은 종래 기술의 IC패키지를 구현한 기판의 측면도, (b)는 같이 평면도이다.

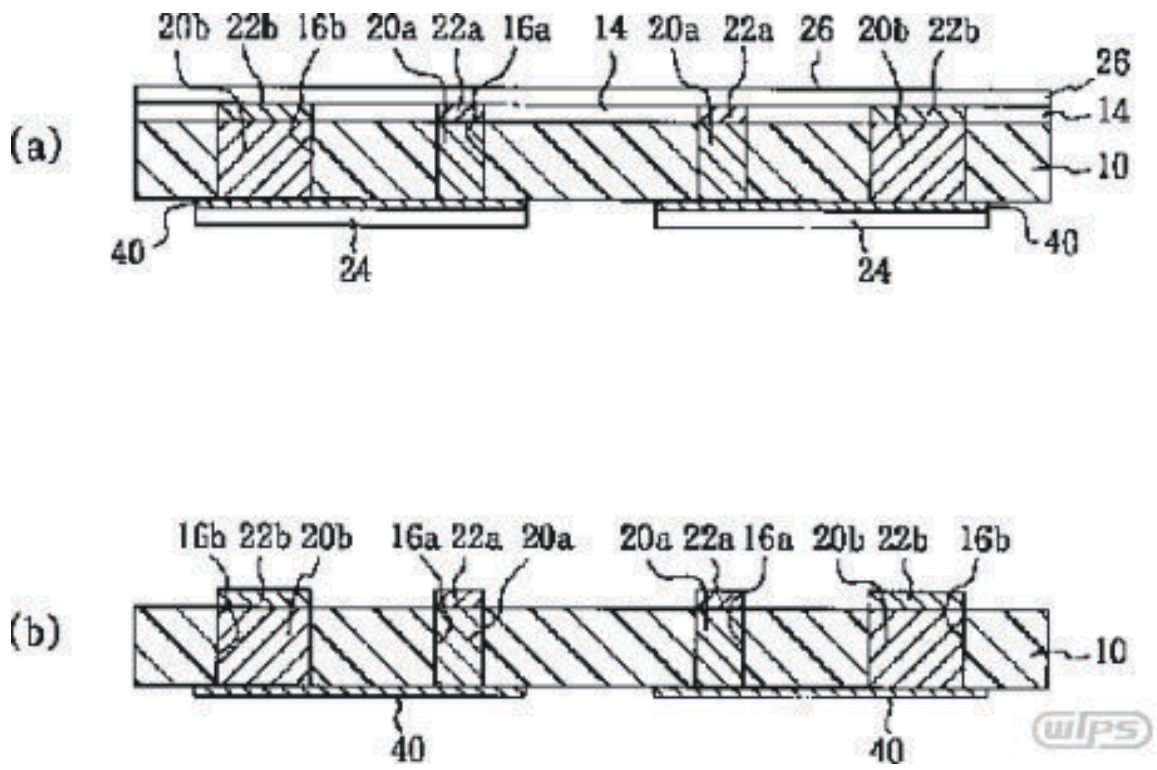
【부호의 설명】

10 절연성 수지 기재 12 동박 13 PET 필름 14 보호 필름 o16a, 16b 비관통 구멍 20 a, 20b 충전 비아홀 22a 구현용 도전성 범프(제1 도전성 범프) 22b 접속용 도전성 범프(제2 도전성 범프) 24 에칭 레지스터층 40 도체 회로 42 반도체 칩 3B 밀봉 수지 50 반도체 칩 구현용 회로 기판 60 스페이서용 회로 기판 70 적층용 편면 회로 기판 78 솔더 볼 80 천개판

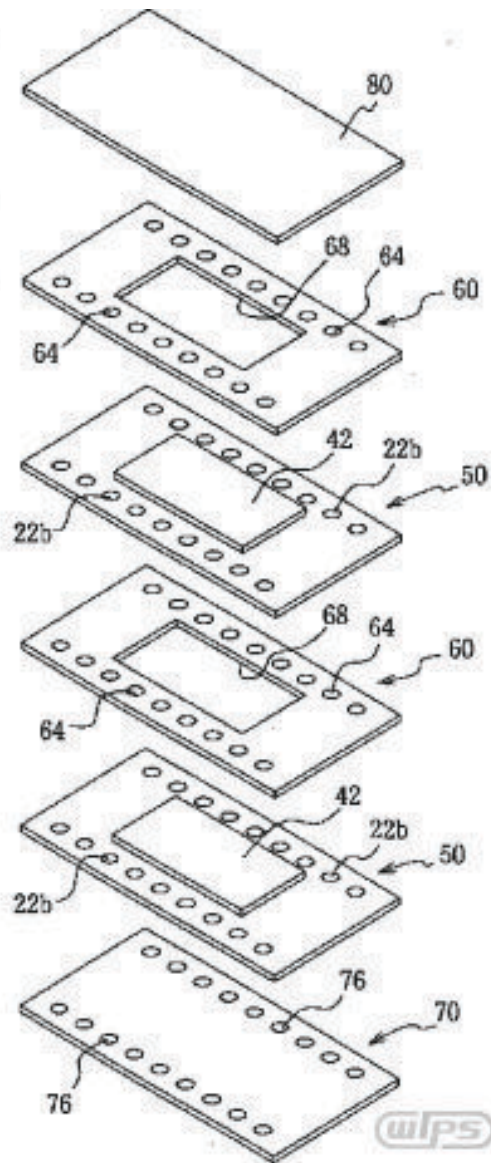
【그림 1】



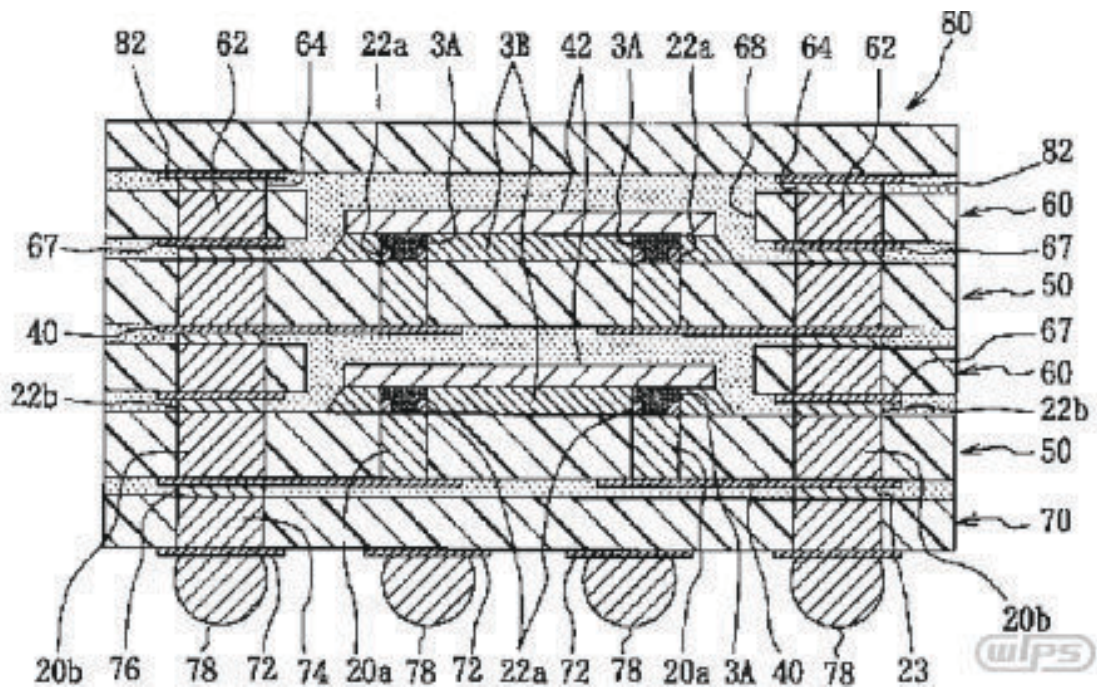
【그림 2】



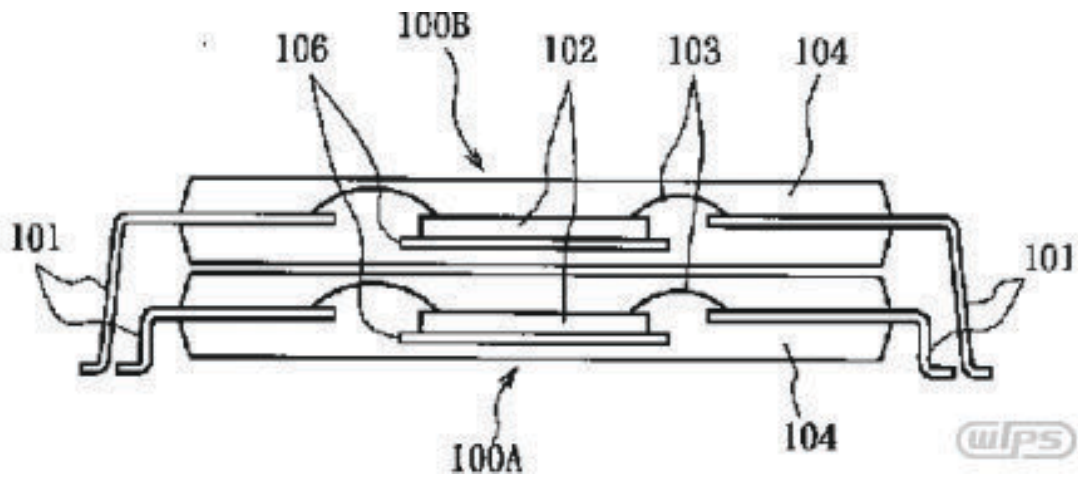
【그림 3】



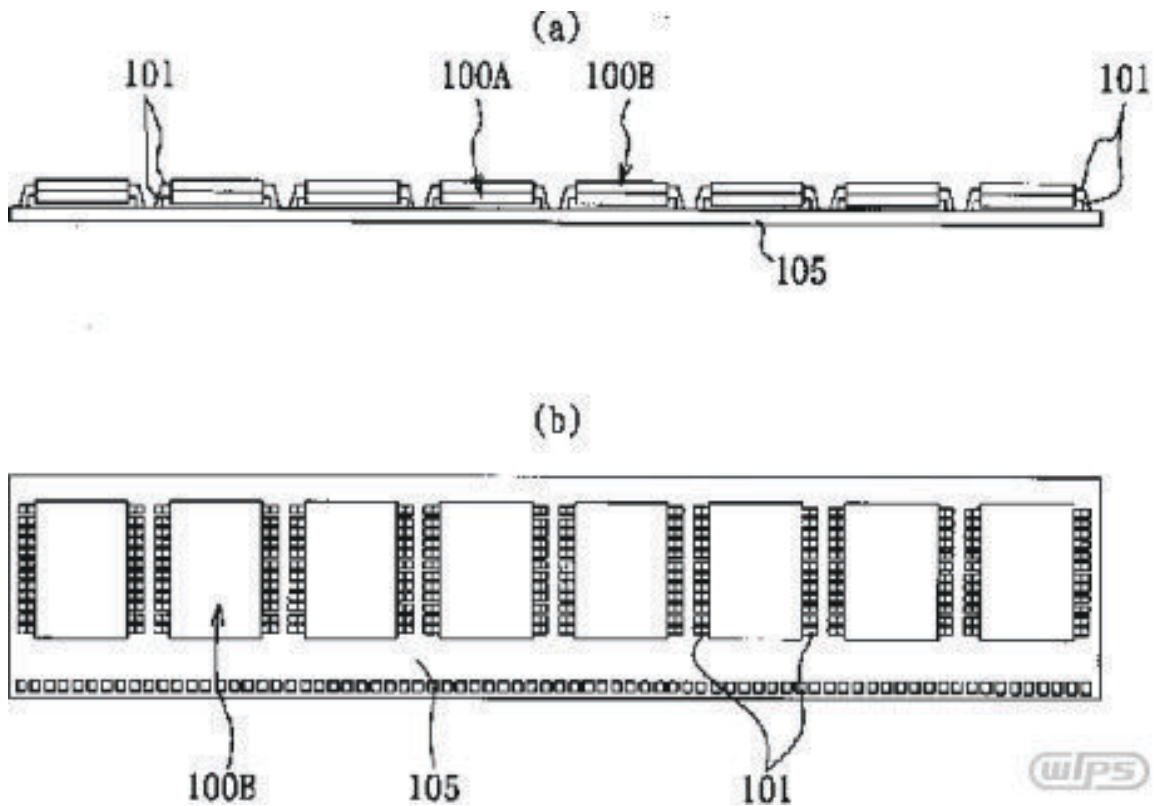
【그림 4】



【그림 5】



【그림 6】



<면책 안내>

본 문서는 (주) 웹스의 자동번역 시스템으로 생성된 파일입니다. 기계번역에 의한 오역의 가능성이 있으며 시스템, 네트워크 문제에 의한 데이터 누락, 불일치 등이 발생할 수 있습니다. (주)웹스는 본 문서에 대한 어떠한 법적 책임도 지지 않습니다. 본 문서를 (주)웹스의 사전 동의 없이 재 가공하거나, 본사의 서비스에 권한 없는 대상을 위해 데이터베이스 및 시스템에 저장하여 재생, 복사, 배포할 수 없음을 알려드립니다.