

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A) (11)特許出願公開番号

特開2001-156457

(P2001-156457A)

(43)公開日 平成13年6月8日(2001.6.8)

(51)Int.Cl ⁷	識別記号	F I	テマコード* (参考)
H 0 5 K 3/46		H 0 5 K 3/46	Q 5 E 3 3 6
			N 5 E 3 4 6
H 0 1 L 21/56		H 0 1 L 21/56	E 5 F 0 6 1
23/12		H 0 5 K 1/18	S
H 0 5 K 1/18		H 0 1 L 23/12	N
審査請求 未請求 請求項の数 9 O L (全 8 数)			

(21)出願番号 特願平11-339895

(22)出願日 平成11年11月30日(1999.11.30)

(71)出願人 000204284

太陽誘電株式会社

東京都台東区上野6丁目16番20号

(72)発明者 高山 光広

東京都台東区上野6丁目16番20号 太陽誘電株式会社内

(72)発明者 大野 幸夫

東京都台東区上野6丁目16番20号 太陽誘電株式会社内

(74)代理人 100069981

弁理士 吉田 精孝 (外 1 名)

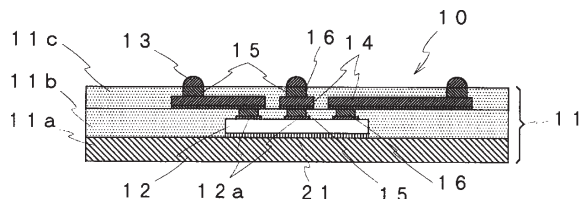
最終頁に続く

(54)【発明の名称】 電子回路装置の製造方法

(57)【要約】

【課題】 半導体集積回路のパッドと回路基板との間の導電接続の信頼性を高めた電子回路装置の製造方法を提供する。

【解決手段】 端子パッド12aが形成されている面を上側にして半導体集積回路のベアチップ12をベース基板11a上に実装した後、ベアチップ12の端子パッド12aを覆うようにベース基板11aの上面に絶縁層11bを形成し、端子パッド12a上の絶縁層11bを除去してビアホール15を形成し、ビアホール15内に端子パッド12aに導電接続する導電体16を充填した後、絶縁層11bの上面に配線導体14を形成する。さらに、配線導体14の上に絶縁層11cを形成する。ビルドアップ方式によって電子回路装置10を製造する。



【特許請求の範囲】

【請求項 1】 多層回路基板と、1つの主面に端子パッドを有するチップ状電子部品とを備えた電子回路装置の製造方法であって、

前記端子パッドが形成されている主面を上側にして前記チップ状電子部品をベース基板上に実装する工程と、前記ベース基板の上面に、前記ベース基板に実装されたチップ状電子部品の側面から上面に亘って前記端子パッドを覆うように絶縁層を形成する工程と、

前記絶縁層の前記端子パッド上の部分を除去してビアホールを形成する工程と、

該ビアホール内に前記端子パッドに導電接続する導電体を充填する工程と、

前記絶縁層の上面に配線導体を形成する工程とを実施して電子回路装置を製造することを特徴とする電子回路装置の製造方法。

【請求項 2】 前記配線導体が形成された絶縁層上に第 2 絶縁層を形成する工程と、

前記配線導体の所定位置上部の第 2 絶縁層を除去してビアホールを形成する工程と、

該ビアホール内に前記配線導体に導電接続する導体を充填する工程とを有することを特徴とする請求項 1 記載の電子回路装置の製造方法。

【請求項 3】 電気的絶縁性を有する感光性樹脂を前記絶縁層の形成材料として用い、該感光性樹脂を絶縁層形成対象部分に被覆し、前記ビアホールを形成する位置を覆うフォトリソマスクを介して前記感光性樹脂を露光して硬化させた後、非露光部分を除去して前記ビアホールを形成することを特徴とする請求項 1 記載の電子回路装置の製造方法。

【請求項 4】 前記端子パッドが銅からなるチップ状電子部品を用いると共に、

前記ビアホール内に前記端子パッドに導電接続する導電体を充填する工程では、

前記ビアホール内に露出した端子パッドの表面の酸化層を除去し、

該端子パッドの表面にパラジウム処理を施した後、

該端子パッド表面に銅メッキ層を化学的に成長させることにより前記ビアホール内に導電体を充填することを特徴とする請求項 1 記載の電子回路装置の製造方法。

【請求項 5】 前記絶縁層の表面に配線導体を形成する工程では、前記絶縁層の表面を粗化した後に配線導体を形成することを特徴とする請求項 1 記載の電子回路装置の製造方法。

【請求項 6】 前記ビアホール内に充填する導電体として銅を用いると共に、

前記絶縁層の上面に配線導体を形成する工程では、

前記絶縁層及び前記導電体の表面に銅メッキ層を化学的に形成し、

該銅メッキ層の表面に感光性樹脂を被覆し、

*前記配線導体を形成する位置を覆うフォトリソマスクを介して前記感光性樹脂を露光して硬化させ、さらに非露光部分の感光性樹脂を除去して前記銅メッキ層を露出させた後、

ピロリン酸銅メッキ溶液に浸して前記銅メッキ層に通電し、前記銅メッキ層の露出部分に銅メッキ層を電気的に成長させた後、

前記感光性樹脂を除去すると共に前記化学的に形成した銅メッキ層の露出部分を除去することにより前記配線導体を形成することを特徴とする請求項 1 記載の電子回路装置の製造方法。

【請求項 7】 前記絶縁層を形成する工程では、電気的絶縁性を有する樹脂をスピンコートした後に該樹脂を硬化させて前記絶縁層とすることを特徴とする請求項 1 記載の電子回路装置の製造方法。

【請求項 8】 前記第 2 絶縁層の表面にビアホール内の導電体に導電接続するランドを形成する工程と、

前記第 2 絶縁層の表面に電子部品を実装し、該電子部品の端子電極を前記ランドに導電接続する工程とを有することを特徴とする請求項 2 記載の電子回路装置の製造方法。

【請求項 9】 前記チップ状電子部品が、半導体集積回路素子のベアチップであることを特徴とする請求項 1 記載の電子回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多層構造の電子回路装置及びその製造方法に関するものである。

【0002】

【従来の技術】近年、電子機器の小型化に伴い、半導体集積回路（IC）のベアチップを高密度実装した電子回路装置が用いられるようになってきた。さらに、電子回路装置に用いられる回路基板を多層化して回路基板の小型化が図られており、回路基板を多層化する際にビルドアップ基板の採用が増えている。

【0003】一方、半導体 IC のベアチップを回路基板上にマウントする場合には、ベアチップの信号パッドを直接回路基板上の接続用ランドに接続して実装するフリップチップ接続が行われる。

【0004】一般に、半導体 IC のベアチップは、その 1 つの面の周縁部に沿って電極を構成するパッドが配列されており、ベアチップを直接回路基板上にマウントするときは、パッドの表面に半田バンプを形成し、この半田バンプと回路基板の接続用ランドとを異方性導電フィルム或いは異方性導電樹脂を介して電気的に接続するフリップチップ接続が行われている。

【0005】

【発明が解決しようとする課題】しかしながら、近年の小型化技術の進歩に伴い半導体 IC ベアチップのパッド間ピッチがさらに狭くなってきているので、異方性導電

フィルムや異方性導電樹脂の中に混入されている導電粒子の大きさが、半導体 IC ベアチップのパッドやパッド間ピッチの大きさに近づきつつあり、このためパッド間で短絡が発生する不具合が生じることが多くなってきた。これは、製造コストが低くならない一要因となっている。

【0006】本発明の目的は上記の問題点に鑑み、半導体集積回路のパッドと回路基板との間の導電接続の信頼性を高めた電子回路装置の製造方法を提供することである。

【0007】

【課題を解決するための手段】本発明は上記の目的を達成するために請求項 1 では、多層回路基板と、1つの主面に端子パッドを有するチップ状電子部品とを備えた電子回路装置の製造方法であって、前記端子パッドが形成されている主面を上側にして前記チップ状電子部品をベース基板上に実装する工程と、前記ベース基板の上面に、前記ベース基板に実装されたチップ状電子部品の側面から上面に亘って前記端子パッドを覆うように絶縁層を形成する工程と、前記絶縁層の前記端子パッド上の部分を除去してビアホールを形成する工程と、該ビアホール内に前記端子パッドに導電接続する導電体を充填する工程と、前記絶縁層の上面に配線導体を形成する工程とを実施して電子回路装置を製造する電子回路装置の製造方法を提案する。

【0008】該電子回路装置の製造方法では、端子パッドが形成されている主面を上側にして前記チップ状電子部品が前記ベース基板上に実装された後、前記チップ状電子部品の端子パッドを覆うように前記ベース基板の上面に絶縁層が形成され、前記端子パッド上の絶縁層が除去されてビアホールが形成され、該ビアホール内に前記端子パッドに導電接続する導電体が充填されたのち、前記絶縁層の上面に配線導体が形成されて電子回路装置がビルドアップ方式によって製造される。これにより、前記チップ状電子部品が多層回路基板の内部に埋設された電子回路装置が製造される。

【0009】また、請求項 2 では、請求項 1 記載の電子回路装置の製造方法において、前記配線導体が形成された絶縁層上にさらに第 2 絶縁層を形成した後、前記配線導体の所定位置上部の第 2 絶縁層を除去してビアホールを形成し、該ビアホール内に前記配線導体に導電接続する導体を充填して電子回路装置を製造する。

【0010】また、請求項 3 では、請求項 1 記載の電子回路装置の製造方法において、電気的絶縁性を有する感光性樹脂を前記絶縁層の形成材料として用い、該感光性樹脂を絶縁層形成対象部分に被覆し、前記ビアホールを形成する位置を覆うフォトマスクを介して前記感光性樹脂を露光して硬化させた後、非露光部分を除去して前記ビアホールを形成する電子回路装置の製造方法を提案する。

【0011】該電子回路装置の製造方法では、感光性樹脂を用いて前記絶縁層を形成しているのので、所望の厚みの絶縁層を容易に形成できると共に、所望の口径のビアホールを所望位置に正確に形成することができる。

【0012】また、請求項 4 では、請求項 1 記載の電子回路装置の製造方法において、前記端子パッドが銅からなるチップ状電子部品を用いると共に、前記ビアホール内に前記端子パッドに導電接続する導電体を充填する工程では、前記ビアホール内に露出した端子パッドの表面の酸化層を除去し、該端子パッドの表面にパラジウム処理を施した後、該端子パッド表面に銅メッキ層を化学的に成長させることにより前記ビアホール内に導電体を充填する電子回路装置の製造方法を提案する。

【0013】該電子回路装置の製造方法では、前記端子パッドの酸化層を除去してパラジウム処理を施すことにより端子パッド表面にパラジウムを付着させることにより、化学的な銅メッキ層が成長しやすくしている。

【0014】また、請求項 5 では、請求項 1 記載の電子回路装置の製造方法において、前記絶縁層の表面に配線導体を形成する工程では、前記絶縁層の表面を粗化した後に配線導体を形成する電子回路装置の製造方法を提案する。

【0015】該電子回路装置の製造方法では、前記絶縁層の表面を粗化した後に配線導体を形成することにより、絶縁層の表面と配線導体との接触面積が増加され、これらの間の接着強度が増大する。

【0016】また、請求項 6 では、請求項 1 記載の電子回路装置の製造方法において、前記ビアホール内に充填する導電体として銅を用いると共に、前記絶縁層の上面に配線導体を形成する工程では、前記絶縁層及び前記導電体の表面に銅メッキ層を化学的に形成し、該銅メッキ層の表面に感光性樹脂を被覆し、前記配線導体を形成する位置を覆うフォトマスクを介して前記感光性樹脂を露光して硬化させ、さらに非露光部分の感光性樹脂を除去して前記銅メッキ層を露出させた後、ピロリン酸銅メッキ溶液に浸して前記銅メッキ層に通電し、前記銅メッキ層の露出部分に銅メッキ層を電気的に成長させた後、前記感光性樹脂を除去すると共に前記化学に形成した銅メッキ層の露出部分を除去することにより前記配線導体を形成している。これにより、配線導体を容易に形成することができる。

【0017】また、請求項 7 では、請求項 1 記載の電子回路装置の製造方法において、前記絶縁層を形成する工程では、電気的絶縁性を有する樹脂をスピンコートした後に該樹脂を硬化させて前記絶縁層としている。

【0018】また、請求項 8 では、請求項 2 記載の電子回路装置の製造方法において、前記第 2 絶縁層の表面にビアホール内の導電体に導電接続するランドを形成する工程と、前記第 2 絶縁層の表面に電子部品を実装し、該電子部品の端子電極を前記ランドに導電接続する工程と

を有する電子回路装置の製造方法を提案する。

【0019】該電子回路装置の製造方法では、チップ状電子部品が埋設された多層回路基板上に電子部品が実装された電子回路装置が構成される。

【0020】また、請求項9では、請求項1記載の電子回路装置の製造方法において、前記チップ状電子部品が半導体集積回路素子のベアチップである電子回路装置の製造方法を提案する。

【0021】該電子回路装置の製造方法では、半導体集積回路素子のベアチップが埋設された多層回路基板を容易に製造できる。

【0022】

【発明の実施の形態】以下、図面に基づいて本発明の一実施形態を説明する。

【0023】図1は、本発明の第1の実施形態における電子回路装置を示す側断面図である。図において、10は電子回路装置で、多層回路基板11の内部に半導体集積回路のベアチップ12が埋設され、ベアチップ12の端子パッドに接続された外部電極としての半田バンプ13を多層回路基板11の上面に有するものである。即ち、電子回路装置10は、ベアチップ12のパッケージを多層回路基板によって形成したものである。

【0024】多層回路基板11は、複数の絶縁層11a～11cと、絶縁層の間に設けられた配線導体14、及びビアホール15に充填された導電体16から構成されている。図に示す最下層の絶縁層11aはベース基板となるもので、その材質は樹脂、金属、セラミックスなどが用いられる。また、この他の絶縁層11b、11cは樹脂によって形成されている。

【0025】ベアチップ12は、矩形の板状をなし、1つの主面(図1では上面)にグリッド状に配置された銅(Cu)から成る複数の端子パッド12aを有している。この複数の端子パッド12aのそれぞれはビアホール15内の導電体16及び配線導体14を介して最上層の絶縁層11c表面に形成された半田バンプ13に導電接続されている。

【0026】上記構成の電子回路装置10は次の製造方法によって形成されたものである。以下、電子回路装置10の製造方法に関して図2乃至図15を参照しながら説明する。

【0027】まず、厚みが0.3mmのアルミナ基板21をベース基板となる絶縁層11aとして用意する。この絶縁層11aの上面に、ベアチップ12の裏面を上に向けて、即ち端子パッド12aが形成されている面を上面として、エポキシ系樹脂22で接着する(図2)。

【0028】ここで、エポキシ系樹脂22は、硬化した後に5μm厚になるように塗布されている。さらに、このエポキシ系樹脂22の線形膨張係数は、アルミナ基板21やシリコン(Si)の線形膨張係数との差が±20%以内に調整されている。

【0029】次に、以下で使用するメッキ液に対して耐性を有するエポキシ系の感光性樹脂(粘度20ps)23を、アルミナ基板21上に配置されたベアチップ12を覆うようにスピコートする(図3)。このとき、ベアチップ12上が厚み20μmで塗布されるように、スピコーターを調整する。絶縁層の樹脂は、メッキ液に対する耐性があれば、ポリイミド等を用いても良い。

【0030】次いで、感光性樹脂23を乾燥した後、ベアチップ12のCu端子パッド12aだけを覆うようにパターンが配置されたフォトマスク(図示せず)を用いて、感光性樹脂23を露光及び現像して硬化させる。こうして、Cu端子パッド12aの上部だけが開口した絶縁層11bが形成される(図4)。この開口部23aがビアホール15になる。

【0031】次に、Cu端子パッド12aの表面に形成されている酸化層を酸性溶液で除去した後、パラジウム処理をする。パラジウムは、Cu端子パッド12aの表面に選択的に付着する。この後、化学的なCuメッキ処理を施す。これにより、Cuメッキ層24が、Cu端子パッド12a上に成長する。こうして、ビアホール15がCuメッキ層24によって完全に充填されるまで、化学的なCuメッキ処理を実施する(図5)。ビアホール15内に充填されたCuメッキ層24が導電体16になる。

【0032】ビアホール15がCuメッキ24によって充填された後、過マンガン酸カリウムを主成分とする溶液を用いて、絶縁層11bの表面を適度に粗化する。これにより、絶縁層11bの表面とこの上に形成する配線導体14との接触面積が増加され、これらの間の接着強度を高めることができ、信頼性を向上できる。

【0033】次いで、絶縁層11bとビアホール15内に充填されたCuの上面に、化学的なCuメッキ処理を施して、0.3μmの厚みのCuメッキ層25を形成する(図6)。

【0034】次に、この化学Cuメッキ層25の表面を、10μmの厚みに感光性樹脂26で被覆する(図7)。

【0035】次いで、感光性樹脂26を乾燥した後、1層目の配線パターンが配置されたフォトマスク(図示せず)を用いて、感光性樹脂26を露光及び現像して硬化させる。こうして、配線パターンに対応した開口部26aが形成された絶縁層が形成される(図8)。

【0036】この後、ピロリン酸Cuメッキ浴中で化学Cuメッキ層25に通電し(電流密度60A/m²)、配線パターン状の開口部26a内に、電気的なCuメッキ層27を高さ10μmに成長させる(図9)。

【0037】次に、感光性樹脂26によって形成した絶縁層を、専用の剥離液で除去(図10)した後、8wt% HCl溶液を用いて化学Cuメッキ層25の露出されている部分だけを完全に除去する(図11)。これに

より、1層目の配線導体14が形成される。

【0038】この後、電気Cuメッキ層27の表面を、亜塩素酸ナトリウムを主成分とする溶液で黒化処理し、前述同様の感光性樹脂（粘度20ps）23を、Cuメッキ層27を覆うようにスピコートする（図12）。このとき、Cuメッキ層27上に20μmの厚みで塗布されるように、スピコーターを調整する。

【0039】次いで、感光性樹脂23を乾燥した後、ビアホール15の形成位置だけを覆うようにパターンが配置されたフォトマスク（図示せず）を用いて、感光性樹脂23を露光及び現像して硬化させる。この際に用いるフォトマスクは、1層目と2層目の配線を接続するビアホール15のパターンを有するものである。

【0040】こうして、ビアホール15となる開口部23aが形成された絶縁層11cが形成される（図13）。

【0041】次に、開口部23aの底に露出しているCu配線導体14の表面に形成されている酸化層を酸性溶液で除去した後、前述と同様にパラジウム処理をする。パラジウムは、Cu配線導体14の表面に選択的に付着する。この後、化学的なCuメッキ処理を施す。これにより、Cuメッキ層28が、Cu配線導体14上に成長する。こうして、ビアホール15がCuメッキ層28によって完全に充填されるまで、化学的なCuメッキ処理を実施する（図14）。ビアホール15内に充填されたCuメッキ層28が導電体16になる。

【0042】ビアホール15がCuメッキによって充填された後、最表層の絶縁層11cの表面に露出しているビアホール15内のCuメッキ層28上に、半田バンプ13を形成する（図15）。これにより、電子回路装置10が完成する。

【0043】半田バンプ13は、メッキや半田ボールなどによって形成される。また、半田バンプ13ではなく、ボンディングパッドを形成しても良い。

【0044】また、前述した工程を適宜繰り返すことにより、所望する層数の多層回路基板を形成することができる。さらに、他のベアチップを任意の層に埋設することも可能であり、またベアチップ以外のチップ状電子部品を埋設することも容易に可能である。

【0045】前述した製造方法によれば、ベアチップ12の端子パッド12a上の絶縁層11bにビアホール15を形成し、ビアホール15内にCuメッキ処理によって導電体16を充填するビルドアップ方式を用いているので、端子パッド12aと導電体16の間の電気的接続を高めることができる。

【0046】さらに、感光性を利用してビアホール15を形成しているため、微細な口径のビアホール15を容易に形成することができるので、ベアチップ12の端子パッド12a間のピッチが狭くなっても、十分に隣接ビアホール間の絶縁性を維持することができる。

【0047】また、メッキ処理によってビアホール15内に導電体16を充填しているので、容易に形成することができる。

【0048】次に、本発明の第2の実施形態を説明する。

【0049】図16は、第2の実施形態における電子回路装置30を示す側断面図である。図において、前述した第1の実施形態と同一構成部分は同一符号を持って表しその説明を省略する。また、第2の実施形態と第1の実施形態との相違点は、ベース基板であるアルミナ基板21に代えて、一部分が熱伝導率の高い金属32からなり、他の部分が樹脂からなるベース基板31を用いたことである。この金属32の上面にベアチップ12を実装している。これにより、ベアチップ12からの発熱を効率的に外部に発散することができる。

【0050】次に、本発明の第3の実施形態を説明する。

【0051】図17は、第3の実施形態における電子回路装置40を示す側断面図である。図において、前述した第1の実施形態と同一構成部分は同一符号を持って表しその説明を省略する。また、第3の実施形態と第1の実施形態との相違点は、層数を増やして4つの絶縁層41a～41dを有する多層回路基板41を備え、多層回路基板41の上面に部品搭載用のランド42及び配線導体43を形成して電子部品44を搭載し、最下層のベース基板41aの底面に接続用の半田バンプ45を形成したことである。この場合も製造方法は第1の実施形態と同様である。

【0052】尚、前述した実施形態は本発明の一具体例であり、本発明がこれらのみに限定されることはない。

【0053】

【発明の効果】以上説明したように本発明の請求項1乃至請求項9記載の電子回路装置の製造方法によれば、多層回路基板の内部にチップ状電子部品を埋設し、該チップ状電子部品の端子パッド上にビアホールを形成し導電体を充填して端子パッドと導電体を接続した後、さらに前記導電体に接続する配線導体を形成するというビルドアップ方式を用いているので、前記端子パッドと前記導電体及び配線導体との間の電気的接続を高めることができると共に、端子パッド間のピッチが狭くなっても端子パッド間が短絡し難い。

【0054】また、請求項3によれば、上記の効果に加えて、感光性を利用してビアホールを形成しているので、微細な口径のビアホールを形成可能になり、チップ状電子部品の端子パッド間ピッチがさらに狭まっても、十分に隣接ビアホール間の絶縁性を維持することができる。

【0055】また、請求項4によれば、上記の効果に加えて、端子パッドに導電接続したビアホール内の導電体を容易に形成することができる。

【0056】また、請求項5によれば、上記の効果に加えて、絶縁層の表面を粗化した後に配線導体を形成しているため、絶縁層の表面と配線導体との接触面積が増加され、これらの間の接着強度を高めることができ、信頼性を向上できる。

【0057】また、請求項6によれば、上記の効果に加えて、前記絶縁層上に配線導体を簡単に形成することができる。

【0058】また、請求項7によれば、上記の効果に加えて、表面が平らで凹凸のない絶縁層を容易に形成することができる。

【0059】また、請求項8によれば、上記の効果に加えて、チップ状電子部品を備えた電子回路装置を小型化することができる。

【0060】また、請求項9によれば、上記の効果に加えて、半導体集積回路のベアチップを備えた電子回路装置を小型化できると共に、半導体集積回路のベアチップを埋設した多層回路基板自体をベアチップのパッケージにすることも可能になる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態における電子回路装置を示す側断面図

【図2】本発明の第1の実施形態における製造方法を説明する工程図

【図3】本発明の第1の実施形態における製造方法を説明する工程図

【図4】本発明の第1の実施形態における製造方法を説明する工程図

【図5】本発明の第1の実施形態における製造方法を説明する工程図

【図6】本発明の第1の実施形態における製造方法を説明する工程図

【図7】本発明の第1の実施形態における製造方法を説明する工程図

*明する工程図

【図8】本発明の第1の実施形態における製造方法を説明する工程図

【図9】本発明の第1の実施形態における製造方法を説明する工程図

【図10】本発明の第1の実施形態における製造方法を説明する工程図

【図11】本発明の第1の実施形態における製造方法を説明する工程図

【図12】本発明の第1の実施形態における製造方法を説明する工程図

【図13】本発明の第1の実施形態における製造方法を説明する工程図

【図14】本発明の第1の実施形態における製造方法を説明する工程図

【図15】本発明の第1の実施形態における製造方法を説明する工程図

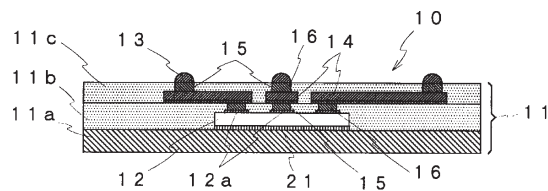
【図16】本発明の第2の実施形態における電子回路装置を示す側断面図

20 【図17】本発明の第3の実施形態における電子回路装置を示す側断面図

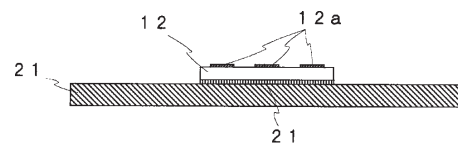
【符号の説明】

10, 30, 40…電子回路装置、11…多層回路基板、11a, 11b, 11c…絶縁層、12…半導体集積回路ベアチップ、12a…端子パッド、13…半田バンプ、14…配線導体、15…ビアホール、16…導電体、21…アルミナ基板、22…エポキシ系樹脂、23…感光性樹脂、23a…開口部、24…Cuメッキ層、25…Cuメッキ層、26…感光性樹脂、27…Cuメッキ層、28…Cuメッキ層、31…ベース基板、32…熱導電性金属、41…多層回路基板、41a～41d…絶縁層、42…ランド、43…配線導体、44…電子部品、45…半田バンプ。

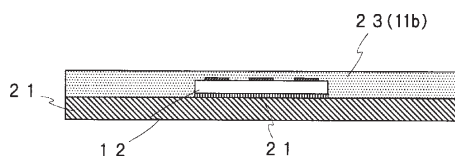
【図1】



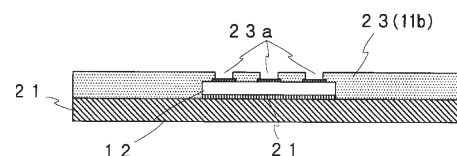
【図2】



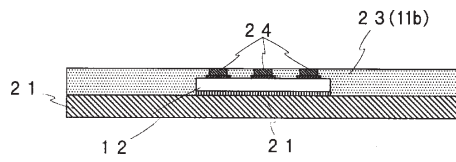
【図3】



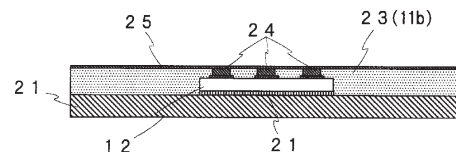
【図4】



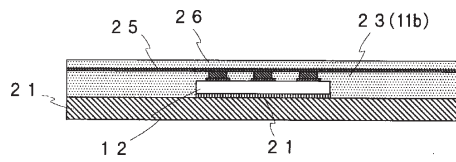
【図5】



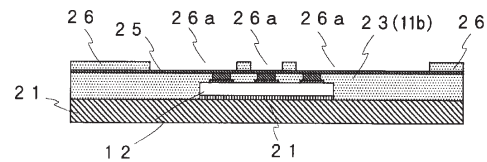
【図6】



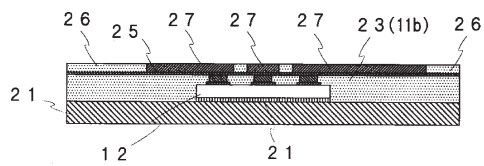
【図7】



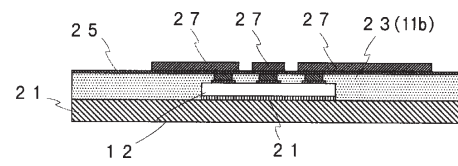
【図8】



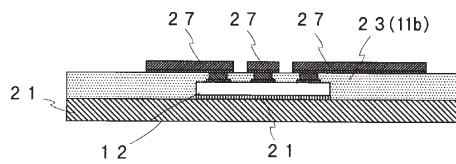
【図9】



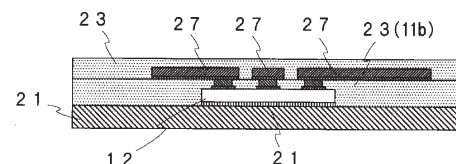
【図10】



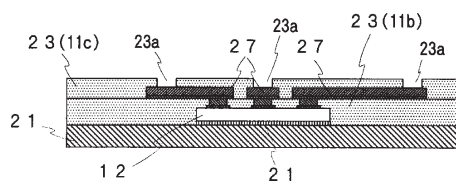
【図11】



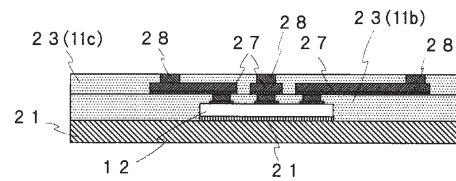
【図12】



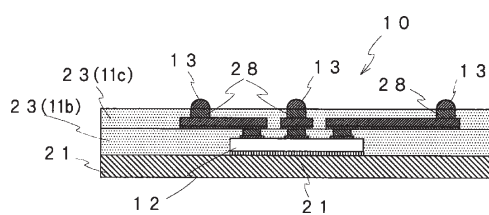
【図13】



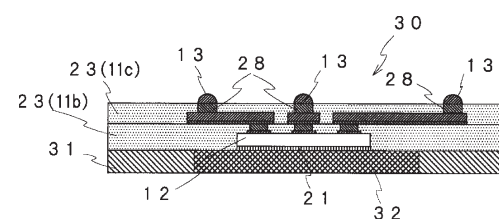
【図14】



【図15】



【図16】



(72)発明者 重本 広也
東京都台東区上野6丁目16番20号 太陽誘
電株式会社内

F ターム(参考)

5E336	AA11	BB03	CC32	CC58	GG11
5E346	AA43	CC08	CC32	CC40	DD23
	DD24	DD44	EE35	EE38	FF07
	FF13	FF14	FF37	FF45	GG17
	GG18	GG22	GG28	HH07	HH31
5F061	AA02	BA03	CA10	CB02	CB13