Trials@uspto.gov
Tel: 571-272-7822

Paper 10
Date: January 24, 2023

UNITED STATES PATENT AND TRADEMARK OFFICE

BEFORE THE PATENT TRIAL AND APPEAL BOARD

SAMSUNG ELECTRONICS CO., LTD.; SAMSUNG ELECTRONICS AMERICA, INC.; and SAMSUNG AUSTIN SEMICONDUCTOR, LLC,
Petitioner,

v.

IMBERATEK LLC,
Patent Owner.

IPR2022-01597 (Patent 8,368,201 B2)
IPR2023-00044 (Patent 8,222,723 B2)
IPR2023-00055 (Patent 9,107,324 B2)
IPR2023-00069 (Patent 7,609,527 B2)
IPR2023-00323 (Patent 7,989,944 B2)

Before DONNA M. PRAISS, JON B. TORNQUIST, and JEFFREY W. ABRAHAM, *Administrative Patent Judges.*

TORNQUIST, *Administrative Patent Judge*.

DECISION
Settlement Prior to Institution of Trial
37 C.F.R. § 42.74

APPLE 1002

With our authorization, Petitioner, Samsung Electronics Co., Ltd., Samsung Electronics America, Inc., and Samsung Austin Semiconductor, LLC, and Patent Owner, ImberaTek LLC, filed a Joint Motion to Dismiss Inter Partes Review Before Institution in each of the above-captioned cases. Paper 8 ("Joint Motions").[1] In their Joint Motions, the parties contend that dismissal is appropriate as the *inter partes* reviews ("IPRs") are in their early stages and the parties "have settled all disputes" related to the involved patents. *Id.* at 1–2.

With their Joint Motions, the parties filed (1) a copy of a Settlement and Patent License Agreement that the parties represent "resolves the disputes in the above-captioned *inter partes*" reviews, (2) a Confirmatory Letter from Patent Owner to Petitioner acknowledging and confirming certain facts and rights related to the Settlement and Patent License Agreement, and (3) a Joint Request to treat the settlement documents as business confidential information, to be kept separate from the files of the above-captioned patents. Ex. 1022 ("Settlement and Patent License Agreement"); Ex. 1023 ("Confirmatory Letter"); Paper 9 ("Joint Request").

"There are strong policy reasons to favor settlement between the parties to a proceeding," and "[t]he Board expects that a proceeding will terminate after the filing of a settlement agreement, unless the Board has already decided the merits of the proceeding." Patent Trial and Appeal

---

[1] We cite to papers and exhibits filed in IPR2022-01597. Similar papers and exhibits were filed in each of the above-captioned cases.

Board Consolidated Trial Practice Guide November 2019, at 86 (citing 35 U.S.C. §§ 317(a), 327). The above-captioned IPRs are at an early stage, with the Board not yet reaching the merits of the petitions or issuing institution decisions. Thus, we find it is appropriate to dismiss the petitions and terminate the proceedings in each of the above-captioned IPRs.

We also find it appropriate to treat the settlement documents as business confidential information, to be kept separate from the files of the involved patents.

Accordingly, it is

ORDERED that the Joint Motion to Dismiss Inter Partes Review Before Institution in each of the above-captioned cases is *granted*;

FURTHER ORDERED that the parties' Joint Request that the settlement documents (Exs. 1022, 1023) be treated as business confidential information and kept separate from the files of the involved patents is *granted*; and

FUTHER ORDERED that the proceedings in the above-captioned IPRs are *terminated*.

IPR2022-01597 (Patent 8,368,201 B2)
IPR2023-00044 (Patent 8,222,723 B2)
IPR2023-00055 (Patent 9,107,324 B2)
IPR2023-00069 (Patent 7,609,527 B2)
IPR2023-00323 (Patent 7,989,944 B2)

FOR PETITIONER:

John Kappos
Benjamin Haber
William M. Fink
Jeff Baxter
O'MELVENY & MYERS LLP
jkappos@omm.com
bhaber@omm.com
tfink@omm.com
jbaxter@omm.com

FOR PATENT OWNER:

Giri Pathmanaban
Inge Osman
LATHAM & WATKINS LLP
giri.pathmanaban@lw.com
inge.osman@lw.com

AO 120 (Rev. 08/10)

TO:	REPORT ON THE FILING OR DETERMINATION OF AN ACTION REGARDING A PATENT OR TRADEMARK
Mail Stop 8 Director of the U.S. Patent and Trademark Office P.O. Box 1450 Alexandria, VA 22313-1450	

In Compliance with 35 U.S.C. § 290 and/or 15 U.S.C. § 1116 you are hereby advised that a court action has been filed in the U.S. District Court Eastern District of Texas on the following

☐ Trademarks or ☑ Patents. (☐ the patent action involves 35 U.S.C. § 292.):

DOCKET NO.	DATE FILED	U.S. DISTRICT COURT
2:22cv233	6/24/2022	Eastern District of Texas

PLAINTIFF	DEFENDANT
ImberaTek LLC	SAMSUNG ELECTRONICS CO., LTD, et al

	PATENT OR TRADEMARK NO.	DATE OF PATENT OR TRADEMARK	HOLDER OF PATENT OR TRADEMARK
1	7,609,527	10/27/2009	ImberaTek LLC
2	8,222,723	7/17/2012	ImberaTek LLC
3	8,368,201	2/5/2013	ImberaTek LLC
4	7,989,944	8/2/2011	ImberaTek LLC
5	8,238,113	8/7/2012	ImberaTek LLC

In the above---entitled case, the following patent(s)/ trademark(s) have been included:

DATE INCLUDED	INCLUDED BY
10/31/2022	☑ Amendment ☐ Answer ☐ Cross Bill ☐ Other Pleading

	PATENT OR TRADEMARK NO.	DATE OF PATENT OR TRADEMARK	HOLDER OF PATENT OR TRADEMARK
1	11,071,207	7/20/2021	ImberaTek LLC
2	7,732,909	6/8/2010	ImberaTek LLC
3			
4			
5			

In the above---entitled case, the following decision has been rendered or judgement issued:

DECISION/JUDGEMENT

CLERK	(BY) DEPUTY CLERK	DATE

Copy 1---Upon initiation of action, mail this copy to Director Copy 3---Upon termination of action, mail this copy to Director
Copy 2---Upon filing document adding patent(s), mail this copy to Director Copy 4---Case file copy

AO 120 (Rev. 08/10)

TO:	REPORT ON THE FILING OR DETERMINATION OF AN ACTION REGARDING A PATENT OR TRADEMARK
Mail Stop 8 Director of the U.S. Patent and Trademark Office P.O. Box 1450 Alexandria, VA 22313-1450	

In Compliance with 35 U.S.C. § 290 and/or 15 U.S.C. § 1116 you are hereby advised that a court action has been filed in the U.S. District Court Eastern District of Texas on the following

☐ Trademarks or ☑ Patents. (☐ the patent action involves 35 U.S.C. § 292.):

DOCKET NO.	DATE FILED	U.S. DISTRICT COURT
2:22cv233	6/24/2022	Eastern District of Texas

PLAINTIFF	DEFENDANT
ImberaTek LLC	SAMSUNG ELECTRONICS CO., LTD, SAMSUNG ELECTRONICS AMERICA, Inc., and SAMSUNG AUSTIN SEMICONDUCTOR, LLC.,

	PATENT OR TRADEMARK NO.	DATE OF PATENT OR TRADEMARK	HOLDER OF PATENT OR TRADEMARK
1	9,107,324	8/15/2015	ImberaTek LLC
2			
3			
4			
5			

In the above—entitled case, the following patent(s)/ trademark(s) have been included:

DATE INCLUDED	INCLUDED BY ☐ Amendment ☐ Answer ☐ Cross Bill ☐ Other Pleading	
PATENT OR TRADEMARK NO.	DATE OF PATENT OR TRADEMARK	HOLDER OF PATENT OR TRADEMARK
1		
2		
3		
4		
5		

In the above—entitled case, the following decision has been rendered or judgement issued:

DECISION/JUDGEMENT

CLERK	(BY) DEPUTY CLERK	DATE

Copy 1—Upon initiation of action, mail this copy to Director Copy 3—Upon termination of action, mail this copy to Director
Copy 2—Upon filing document adding patent(s), mail this copy to Director Copy 4—Case file copy

AO 120 (Rev. 08/10)

TO:	REPORT ON THE FILING OR DETERMINATION OF AN ACTION REGARDING A PATENT OR TRADEMARK
Mail Stop 8 Director of the U.S. Patent and Trademark Office P.O. Box 1450 Alexandria, VA 22313-1450	

In Compliance with 35 U.S.C. § 290 and/or 15 U.S.C. § 1116 you are hereby advised that a court action has been filed in the U.S. District Court Eastern District of Texas on the following

☐ Trademarks or ☑ Patents. (☐ the patent action involves 35 U.S.C. § 292.):

DOCKET NO.	DATE FILED	U.S. DISTRICT COURT
2:22cv233	6/24/2022	Eastern District of Texas

PLAINTIFF	DEFENDANT
ImberaTek LLC	SAMSUNG ELECTRONICS CO., LTD, SAMSUNG ELECTRONICS AMERICA, Inc., and SAMSUNG AUSTIN SEMICONDUCTOR, LLC.,

	PATENT OR TRADEMARK NO.	DATE OF PATENT OR TRADEMARK	HOLDER OF PATENT OR TRADEMARK
1	7,609,527	10/27/2009	ImberaTek LLC
2	8,222,723	7/17/2012	ImberaTek LLC
3	8,368,201	2/5/2013	ImberaTek LLC
4	7,989,944	8/2/2011	ImberaTek LLC
5	8,238,113	8/7/2012	ImberaTek LLC

In the above—entitled case, the following patent(s)/ trademark(s) have been included:

DATE INCLUDED	INCLUDED BY ☐ Amendment ☐ Answer ☐ Cross Bill ☐ Other Pleading	
PATENT OR TRADEMARK NO.	DATE OF PATENT OR TRADEMARK	HOLDER OF PATENT OR TRADEMARK
1		
2		
3		
4		
5		

In the above—entitled case, the following decision has been rendered or judgement issued:

DECISION/JUDGEMENT

CLERK	(BY) DEPUTY CLERK	DATE

Copy 1—Upon initiation of action, mail this copy to Director Copy 3—Upon termination of action, mail this copy to Director
Copy 2—Upon filing document adding patent(s), mail this copy to Director Copy 4—Case file copy

AO 120 (Rev. 08/10)

TO:	REPORT ON THE FILING OR DETERMINATION OF AN ACTION REGARDING A PATENT OR TRADEMARK
Mail Stop 8 Director of the U.S. Patent and Trademark Office P.O. Box 1450 Alexandria, VA 22313-1450	

In Compliance with 35 U.S.C. § 290 and/or 15 U.S.C. § 1116 you are hereby advised that a court action has been filed in the U.S. District Court Eastern District of Texas on the following

☐ Trademarks or ☑ Patents. (☐ the patent action involves 35 U.S.C. § 292.):

DOCKET NO.	DATE FILED	U.S. DISTRICT COURT
2:22cv233	6/24/2022	Eastern District of Texas

PLAINTIFF	DEFENDANT
ImberaTek LLC	SAMSUNG ELECTRONICS CO., LTD, SAMSUNG ELECTRONICS AMERICA, Inc., and SAMSUNG AUSTIN SEMICONDUCTOR, LLC.,

	PATENT OR TRADEMARK NO.	DATE OF PATENT OR TRADEMARK	HOLDER OF PATENT OR TRADEMARK
1	9,107,324	8/15/2015	ImberaTek LLC
2			
3			
4			
5			

In the above—entitled case, the following patent(s)/ trademark(s) have been included:

DATE INCLUDED	INCLUDED BY ☐ Amendment ☐ Answer ☐ Cross Bill ☐ Other Pleading	
PATENT OR TRADEMARK NO.	DATE OF PATENT OR TRADEMARK	HOLDER OF PATENT OR TRADEMARK
1		
2		
3		
4		
5		

In the above—entitled case, the following decision has been rendered or judgement issued:

DECISION/JUDGEMENT

CLERK	(BY) DEPUTY CLERK	DATE

Copy 1—Upon initiation of action, mail this copy to Director Copy 3—Upon termination of action, mail this copy to Director
Copy 2—Upon filing document adding patent(s), mail this copy to Director Copy 4—Case file copy

PATENT ASSIGNMENT COVER SHEET

Electronic Version v1.1
Stylesheet Version v1.2

EPAS ID: PAT5967120

SUBMISSION TYPE:	NEW ASSIGNMENT
NATURE OF CONVEYANCE:	ASSIGNMENT

CONVEYING PARTY DATA

Name	Execution Date
GE EMBEDDED ELECTRONICS OY	01/13/2020

RECEIVING PARTY DATA

Name:	IMBERATEK, LLC
Street Address:	13921 PARK CENTER RD, SUITE 380
City:	HERNDON
State/Country:	VIRGINIA
Postal Code:	20171

PROPERTY NUMBERS Total: 26

Property Type	Number
Patent Number:	7732909
Patent Number:	7989944
Patent Number:	7609527
Patent Number:	8817485
Patent Number:	8034658
Patent Number:	8222723
Patent Number:	8487194
Patent Number:	9232658
Patent Number:	8351214
Patent Number:	8455994
Patent Number:	8368201
Patent Number:	9622354
Patent Number:	9691724
Patent Number:	9107324
Patent Number:	10231335
Patent Number:	10085345
Patent Number:	10010019
Patent Number:	10085347
Patent Number:	9324647
Patent Number:	9883587

Property Type	Number
Patent Number:	9674948
Patent Number:	9820375
Patent Number:	10470346
Application Number:	14580257
Application Number:	15355096
Application Number:	16104979

CORRESPONDENCE DATA

Fax Number: (703)643-9789

Correspondence will be sent to the e-mail address first; if that is unsuccessful, it will be sent using a fax number, if provided; if that is unsuccessful, it will be sent via US Mail.

Phone: 4349062975
Email: yoon@capitoliplaw.com
Correspondent Name: YEASUN YOON
Address Line 1: 20319 KIAWAH ISLAND DR
Address Line 4: ASHBURN, VIRGINIA 20147

ATTORNEY DOCKET NUMBER:	PA01GETOIMBERATEK02
NAME OF SUBMITTER:	YEASUN YOON
SIGNATURE:	/yoon/
DATE SIGNED:	02/18/2020
	This document serves as an Oath/Declaration (37 CFR 1.63).

Total Attachments: 7
source=imbera assignment#page1.tif
source=imbera assignment#page2.tif
source=imbera assignment#page3.tif
source=imbera assignment#page4.tif
source=imbera assignment#page5.tif
source=imbera assignment#page6.tif
source=imbera assignment#page7.tif

CONFIRMATORY ASSIGNMENT OF PATENT RIGHTS

This CONFIRMATORY ASSIGNMENT OF PATENT RIGHTS (this "**Assignment**") is made this 13th day of January 2020, by **GE Embedded Electronics Oy**, a Finnish company ("**Assignor**"), in favor of **ImberaTek, LLC**, a Delaware limited liability company ("**Assignee**").

WHEREAS, Assignor and Assignee are party to that certain patent sale agreement of December 19, 2019 (the "**Patent Sale Agreement**"); capitalized terms used but not otherwise defined in this Assignment shall have the respective meaning assigned thereto in the Patent Sale Agreement; and

WHEREAS, pursuant to the Patent Sale Agreement, Assignor has agreed to sell, convey, transfer, assign and deliver to Assignee all right, title and interest, including, without limitation, Patent Rights, in and to the patents, provisional patent applications, and patent applications listed on Schedule A hereto (collectively, the "**Patents**").

NOW, THEREFORE, for good and valuable consideration, receipt of which is hereby acknowledged by Assignor, Assignor hereby sells, conveys, transfers, and assigns to Assignee, its successors, legal representatives, and assigns all right, title and interest in the United States and throughout the world in and to:

the Patents and any and all letters patent that are or may be granted thereon, and any legal equivalent and counterpart thereof that may be granted in any country or countries foreign to the United States, in each case including without limitation any extensions, substitutes, continuations, continuations-in-part, divisions, reissues, reexaminations, and renewals thereof, or other equivalents thereof, and further, all rights and privileges pertaining to the Patents and any and all letters patent that are or may be granted thereon, and any legal equivalent thereof that may be granted in any country or countries foreign to the United States as well as all inventions, invention disclosures, and discoveries described in any of the foregoing and including, without limitation, the right, if any, to petition, sue or otherwise seek and recover damages, profits and any other remedy (monetary, injunctive, declaratory or other relief or remedy of any kind) in the United States and anywhere throughout the world for any past, present and future infringement thereof, conversion or misappropriation of, or other injury, offense, violation, breach of duty or wrong relating to, any of the Patents, or any license, agreement, contract or other matter relating thereto.

Assignor hereby authorizes and requests the Commissioner of Patents and Trademarks of the United States of America and the appropriate officers of all other jurisdictions in which the Patents are or may be registered or in which applications included among the Patents are pending, to record the title of Assignee, its successors, legal representatives and assigns, as owner of all right, title and interest in and to the Patents, and to issue to Assignee, its successors, legal representatives and assigns, all letters patent and any legal equivalent thereof that may be granted in any country or countries foreign to the United States and recordations of patent rights resulting from any application included among the Patents, according to this instrument.

Except to the extent that federal law preempts state law with respect to the matters covered hereby, this Assignment shall be governed by and construed in accordance with the laws of the State of Delaware, without giving effect to any of the principles of conflicts of laws thereof that would result in the application of the laws of another jurisdiction to this Assignment.

This Assignment will inure to the benefit of Assignee, its successors, assigns, and other legal representatives and will be binding upon Assignor, its successors, assigns, and other legal representatives.

Assignor has the full power and authority, and has obtained all Third-Party consents, approvals and/or other authorizations required to enter into this Assignment and to carry out its obligations hereunder.

IN WITNESS WHEREOF, Assignor has caused this Assignment to be executed by its duly authorized officer, as of the date first written above.

ASSIGNOR:

GE Embedded Electronics Oy

By: _____

Name: Patrick K Patnode

Title: Authorized Signatory

Acknowledgement:

State of New York)
) ss.
County of Schenectady)

SANDRA PRESSMAN
Notary Public, State of New York
Reg. No. 6029492
Qualified in Schenectady County
Commission Expires February 10, 2023

On this 13 day of January 2020, before me appeared Patrick K Patnode, the person who signed this instrument, who acknowledged that he/she signed it as a free act on his/her own behalf or on behalf of the Assignor with authority to do so.

2

SCHEDULE A
TO
CONFIRMATORY ASSIGNMENT OF PATENT RIGHTS

PATENTS

Number	Title	Applicant	Current Assignee	filing date	Family	Estimated Expiration
EP01104647B1	Method for Manufacturing Solderless High-Density Electronic Modules	Imbera Electronics Oy		2000.04.17	FR, DE, GB	2020.04.17
US6991966	Method for embedding a component in a base and forming a contact	Imbera Electronics Oy	GE Embedded Electronics Oy	2003.01.28	BRPI0307364B1, CN100566511C, DE60300619T2, EP1474959B1 (AT, FR, DE, IT, IE) (not GB), FI115285B, HK1077151A1, IL163238A, IN224711, KR1013325B1, SG105702, RU2297736C2	2023.01.28
US7294529	Method for embedding a component in a base	Imbera Electronics Oy	GE Embedded Electronics Oy	2003.01.28	CN102348324B, CN1625926B, EP1477048 (GB, AT, FR, DE), FI119215B, IN241345, RU2327311C2, US7732909B2, US7989944B2, US8368201B2, US8455994B2	2024.01.16
US7299546	Method for manufacturing an electronic module	Imbera Electronics OY	GE Embedded Electronics Oy	2004.02.25	EP1597947(GB, FR, DE) FI119583B, US10085345B2, US2018376597A1, US7609527B2, US8817485B2	2024.03.20
US7673387	Manufacture of a layer including a component	Imbera Electronics Oy	GE Embedded Electronics Oy	2005.08.04	AT503718B1, CN100543983C, FI117812B, JP4630333B2, US8487194B2	2026.08.09

US7696005	Method for manufacturing an electronic module in an installation base	Imbera Electronics Oy	GE Embedded Electronics Oy	2004.09.15	CN1853451B, DE112004001727T5, GB2422054B, JP4977464B2, US20151244111A1, US9232658B2	2025.06.12
US8062537	Method for manufacturing an electronics module	Imbera Electronics Oy	Imbera Electronics Oy	2005.11.23	CN101065843B, FI117369B, JP5160895B2, KR101101603B1	2027.06.27
US8225499	Method for manufacturing a circuit board structure, and a circuit board structure	Imbera Electronics Oy	Imbera Electronics Oy	2006.06.16	CN101199244B, DE112006001506 FI121134B, GB2441265B	2028.08.19
US8238113	Electronic module with vertical connector between conductor patterns	Imbera Electronics Oy	Imbera Electronics Oy	2010.07.23		2031.02.11
US8240032	Method for manufacturing an electronics module comprising a component electrically connected to a conductor-pattern layer	Imbera Electronics Oy	Imbera Electronics Oy	2005.06.13	CN101010994B, DE112005001414T5, FI117814B, JP4796057B2, KR101034279B1	2028.03.15
US8240033	Method for manufacturing a circuit board	Imbera Electronics OY	Imbera Electronics OY	2006.06.15	BR PI0612060-1 CN101199242B, FI122128B, IN269884 JP5175719B2, KR101455234B1, SG138149	2029.02.21
US8286341	Method of manufacturing a wiring board	Imbera Electronics Oy	Imbera Electronics Oy	2009.04.08	CN102007825B, EP2274962B1 (AT, DE, GB) FI121909B, IN306150B, JP5551680B2, KR101260908B1	2030.09.07
US8547701	Electronics module and method for manufacturing the same	Imbera Electronics Oy	Imbera Electronics Oy	2005.11.24		2026.06.12
US8581109	Method for manufacturing a circuit board structure, and a circuit board structure	Imbera Electronics Oy	Imbera Electronics Oy	2006.06.16	CN100596258C, EP1891845(AT, DE, FR, GB), FI119714B, IN271174 JP5025644B2, KR101090423B1, US20170710611A1, US9622354B2	2028.08.19

US8631566	Circuit board structure comprising an electrical component and a method for manufacturing a circuit board structure comprising an electrical component	Imbera Electronics Oy	Imbera Electronics Oy	2009.08.24	FI125526B	2031.08.25
US8659134	Multi-chip package and manufacturing method	GE Embedded Electronics Oy	GE Embedded Electronics Oy	2009.07.21	FI122217B, US9691724B2	2031.03.25
US8699233	Circuit module and method of manufacturing the same	GE Embedded Electronics Oy	GE Embedded Electronics Oy	2009.05.11	CN102027585B, FI123205B, US9107324B2, US9324647B2, US9883587B2	2030.10.11
US8735735	Electronic module with embedded jumper conductor	GE Embedded Electronics Oy	GE Embedded Electronics Oy	2010.07.23	US10231335B2	2030.12.18
US8964409	Electronic module with EMI protection	GE Embedded Electronics Oy	GE Embedded Electronics Oy	2010.02.05	CN101800216B, JP6126770B2, KR101781446B1, US10010019B2, US2018352689A1	2031.02.23
US8984746	Manufacture of a circuit board containing a component	GE Embedded Electronics Oy	GE Embedded Electronics Oy	2007.03.15	US10085347B2	2030.11.07
US9301394	Manufacturing method and electronic module with new routing possibilities	GE Embedded Electronics Oy	GE Embedded Electronics Oy	2010.05.19	US15/937,967 (Reissue application of US9301394)	2033.05.29
US9420694	Method for controlling warpage within electronic products and an electronic product	GE Embedded Electronics Oy	GE Embedded Electronics Oy	2010.08.31		2030.10.31

US9425158	Rigid-flex module and manufacturing method	GE Embedded Electronics Oy	GE Embedded Electronics Oy	2010.01.05	CN101770959A, CN108133897A, FI122216B, JP5714231B2, KR101615955B1, US9674948B2, US9820375B2	2031.03.14

US9999136	Method for fabrication of an electronic module and electronic module	GE Embedded Electronics Oy	GE Embedded Electronics Oy	2014.12.15	AT516639B1, CN105704926A, DE102015016196A1, FR3030109B1, JP2016157919A, KR20160072822A, TW201633860A, IN352016	2034.12.15
KR101060856	Method for manufacturing an electronic module, and an electronic module		Imbera Electronics Oy	2010.12.15	(JP 4537995 is an EPCOS patent)	2004.02.25
US8076586	Heat conduction from an embedded component		Imbera Electronics Oy	2011.12.13		2027.10.05
US8351214	Electronics module comprising an embedded microcircuit		Imbera Electronics Oy	2013.01.08	GB2429848, JP5064210, DE 112005000952.1, CN101027948B	2027.07.03
US8034658 (divisional of EPCOS patent US7663215)	Electronic module with a conductive-pattern layer and a method of manufacturing same		Imbera Electronics Oy	2011.10.11	FI115601, MX262301, IN236924, KR100687976000 00, BRPI0408964-2, CA2520992, CN100556233, SG115077, IL171212, CN101546759, MX285993, HK1089328, GB1609339, FR1609339, DE1609339	2024.04.08
US8222723	Electric module having a conductive pattern layer		Imbera Electronics Oy	2012.07.17		2024.10.03

US8704359	Method for manufacturing an electronic module and an electronic module		GE Embedded Electronics Oy	2014.04.22		2025.04.13
US9363898	Method for manufacturing an electronic module and an electronic module		GE Embedded Electronics Oy	2016.06.07		2024.03.31

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	ISSUE DATE	PATENT NO.	ATTORNEY DOCKET NO.	CONFIRMATION NO.
13/185,165	02/05/2013	8368201	0365-0601PUS4	1795

2292 7590 01/16/2013

BIRCH STEWART KOLASCH & BIRCH
PO BOX 747
FALLS CHURCH, VA 22040-0747

ISSUE NOTIFICATION

The projected patent number and issue date are specified above.

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment is 0 day(s). Any patent to issue from the above-identified application will include an indication of the adjustment on the front page.

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Application Assistance Unit (AAU) of the Office of Data Management (ODM) at (571)-272-4200.

APPLICANT(s) (Please see PAIR WEB site http://pair.uspto.gov for additional applicants):

Risto TUOMINEN, Helsinki, FINLAND;

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation, and commercialization of new technologies. The USA offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to encourage and facilitate business investment. To learn more about why the USA is the best country in the world to develop technology, manufacture products, and grow your business, visit SelectUSA.gov.

PTO/SB/08a (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 2 of 4

Complete if Known	
Application Number	NEW
Filing Date	07-18-11
First Named Inventor	Risto Tuominen
Art Unit	Unassigned
Examiner Name	Unassigned
Attorney Docket Number	0365-0601PUS4

Change(s) applied to document.
/K.D.D./
11/21/2012

U.S. PATENT DOCUMENTS

Examiner Initial *	Cite No.	Document Number Number - Kind Code[2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear
	26	US-5,227,338	07-01-1993	Kryzaniwsky	
	27	US-5,248,852	09-28-1993	Kumagai	
	28	US-5,306,670 - A1	04-26-1994	Mowatt et al.	
	29	US-5,353,195	10-04-1994	Fillion et al.	
	30	US-5,497,033	03-05-1996	Fillion et al.	
	31	US-5,637,919	06-10-1997	Grabba	
	32	US-5,843,216	~~08-24-0000~~	Schmidt 8/1999	
	33	US-5,970,321	10-01-1999	Hively	
	34	US-6,015,722	01-01-2000	Banks et al.	
	35	US-6,038,133	03-14-2000	Nakatani et al.	
	36	US-6,100,108	08-01-2000	Mizuno et al	
	37	US-6,131,266 - A	10-17-2000	Lee et al.	
	38	US-6,154,366	11-28-2000	Ma et al.	
	39	US-6,271,469	08-07-2001	Ma et al.	
	40	US-6,284,564	09-04-2001	Balch et al.	
	41	US-6,292,366	09-18-2001	Platt	
	42	US-6,324,067	11-27-2001	Nishiyama	
	43	US-6,359,633 - B1	02-26-2002	Lin	
	44	US-6,396,148 - B1	05-28-2002	Eichelberger et al.	

FOREIGN PATENT DOCUMENTS

Examiner Initial *	Cite No. 1	Foreign Patent Document Country[3] Code Number[4] Kind Code (if known)[5]	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear	T
	45	JP 2002-158307	05-31-2002			✓
	46	JP 2003-37205	02-07-2003			✓

Examiner Signature		Date Considered	

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. 1. Applicant's unique citation design number (optional). 2. See Kinds Codes of USPTO patent Documents at www.uspto.gov or MPEP 901.04. 3. Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4. For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5. Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. 6. Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /M.D./

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: Mail **Mail Stop ISSUE FEE**
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or Fax (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

2292 7590 10/03/2012
BIRCH STEWART KOLASCH & BIRCH, LLP
PO BOX 747
FALLS CHURCH, VA 22040-0747

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission
I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
13/185,165	07/18/2011	Risto TUOMINEN	0365-0601PUS4	1795

TITLE OF INVENTION: METHOD FOR EMBEDDING A COMPONENT IN A BASE

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	$1740	$300	$0	$2040	01/03/2013

EXAMINER	ART UNIT	CLASS-SUBCLASS
DIALLO, MAMADOU L	2895	257-687000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).
☐ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.
☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list
(1) the names of up to 3 registered patent attorneys or agents OR, alternatively,
(2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.
1 Birch, Stewart, Kolasch & Birch, LLP
2
3

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE: Imbera Electronics Oy
(B) RESIDENCE: (CITY and STATE OR COUNTRY): Espoo, Finland

Please check the appropriate assignee category or categories (will not be printed on the patent): ☐ Individual ☒ Corporation or other private group entity ☐ Government

4a. The following fee(s) are submitted:
☒ Issue Fee
☒ Publication Fee (No small entity discount permitted)
☐ Advance Order - # of Copies _____

4b. Payment of Fee(s): **(Please first reapply any previously paid issue fee shown above)**
☐ A check is enclosed.
☒ Payment by credit card. Form PTO-2038 is attached.
☒ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment, to Deposit Account Number 02-2448 (enclose an extra copy of this form).

5. **Change in Entity Status** (from status indicated above)
☐ a. Applicant claims SMALL ENTITY status. See 37 CFR 1.27. ☐ b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature _____ Date January 2, 2013

Typed or printed name Michael K. Mutter Registration No. 29,680

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Electronic Patent Application Fee Transmittal

Application Number:	13185165
Filing Date:	18-Jul-2011
Title of Invention:	METHOD FOR EMBEDDING A COMPONENT IN A BASE
First Named Inventor/Applicant Name:	Risto TUOMINEN
Filer:	Michael Keith Mutter/Patti Young
Attorney Docket Number:	0365-0601PUS4

Filed as Large Entity

Utility under 35 USC 111(a) Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Utility Appl issue fee	1501	1	1770	1770
Publ. Fee- early, voluntary, or normal	1504	1	300	300

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Extension-of-Time:				
Miscellaneous:				
		Total in USD ($)		**2070**

Electronic Acknowledgement Receipt	
EFS ID:	14598619
Application Number:	13185165
International Application Number:	
Confirmation Number:	1795
Title of Invention:	METHOD FOR EMBEDDING A COMPONENT IN A BASE
First Named Inventor/Applicant Name:	Risto TUOMINEN
Customer Number:	2292
Filer:	Michael Keith Mutter/Patti Young
Filer Authorized By:	Michael Keith Mutter
Attorney Docket Number:	0365-0601PUS4
Receipt Date:	02-JAN-2013
Filing Date:	18-JUL-2011
Time Stamp:	16:15:33
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Credit Card
Payment was successfully received in RAM	$2070
RAM confirmation Number	2893
Deposit Account	022448
Authorized User	MUTTER, MICHAEL K.
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows: Charge any Additional Fees required under 37 C.F.R. Section 1.16 (National application filing, search, and examination fees) Charge any Additional Fees required under 37 C.F.R. Section 1.17 (Patent application and reexamination processing fees)	

Charge any Additional Fees required under 37 C.F.R. Section 1.19 (Document supply fees)					
File Listing:					
Document Number	**Document Description**	**File Name**	**File Size(Bytes)/ Message Digest**	**Multi Part /.zip**	**Pages (if appl.)**
1	Issue Fee Payment (PTO-85B)	20130102IssueFee.pdf	105836 e228b460679126622eada125aa71e274534a4b0d	no	1
Warnings:					
Information:					
2	Fee Worksheet (SB06)	fee-info.pdf	32026 396e90d67b7caf61fca49994d280665717eae63d	no	2
Warnings:					
Information:					
		Total Files Size (in bytes):	137862		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Application Data Sheet

Application Information

Application number::	13/185,165
Filing date::	July 18, 2011
Application Type::	NonProvisional
Subject Matter::	Utility
Suggested Group Art Unit::	N/A
CD-ROM or CD-R?::	None
Sequence submission?::	None
Computer Readable Form (CRF)?::	No
Title::	METHOD FOR EMBEDDING A COMPONENT IN A BASE
Attorney Docket Number::	0365-0601PUS4
Request for Early Publication?::	No
Request for Non-Publication?::	No
Small Entity?::	No
Petition included?::	No
Secrecy Order in Parent Appl.?::	No

Applicant Information

Applicant 1	
Applicant Authority Type::	Inventor
Primary Citizenship Country::	Finland
Status::	Full Capacity
Given Name::	Risto
Family name::	TUOMINEN
City of Residence::	Helsinki
State or Province of Residence::	
Country of Residence::	Finland
Street of Mailing address::	Väinölänkatu 17 B 18

City of Mailing Address:: Helsinki

State or Province of Mailing Address::

Country of Mailing Address:: Finland

Postal or Zip Code of Mailing Address:: FI-00610

Correspondence Information

Correspondence Customer Number:: 02292

Representative Information

Representative Customer Number:: 02292

Domestic Priority Information

Application::	Continuity Type::	Parent Application::	Parent Filing Date::
This Application	Continuation of	11/878,557	07/25/2007
Which is a	Continuation of	10/502,336	09/23/2004
Which is the	National Stage Entry of	PCT/FI03/00065	1/28/2003

Foreign Priority Information

Country::	Application number::	Filing Date::	Priority Claimed::
Finland	20020191	01/31/2002	YES

Assignee Information

Assignee 1

Assignee Name:: IMBERA ELECTRONICS OY

Street of Mailing address:: P. O. Box 74

City of Mailing Address:: Espoo

State or Province of Mailing Address::

Country of Mailing Address:: Finland

Postal or Zip Code of Mailing Address:: FI-02151

cet

Electronic Acknowledgement Receipt	
EFS ID:	14392950
Application Number:	13185165
International Application Number:	
Confirmation Number:	1795
Title of Invention:	METHOD FOR EMBEDDING A COMPONENT IN A BASE
First Named Inventor/Applicant Name:	Risto TUOMINEN
Customer Number:	2292
Filer:	Michael Keith Mutter/Debbie Mesisca
Filer Authorized By:	Michael Keith Mutter
Attorney Docket Number:	0365-0601PUS4
Receipt Date:	05-DEC-2012
Filing Date:	18-JUL-2011
Time Stamp:	16:53:03
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Application Data Sheet	2012-12-05_ADS_0365-0601PUS4.pdf	61678 3cdee26b10d40bb450bcec2ad9d6420ca8bb2988	no	2
Warnings:					
Information:					

This is not an USPTO supplied ADS fillable form	
Total Files Size (in bytes):	61678

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

2292 7590 10/03/2012
BIRCH STEWART KOLASCH & BIRCH
PO BOX 747
FALLS CHURCH, VA 22040-0747

EXAMINER
DIALLO, MAMADOU L

ART UNIT	PAPER NUMBER
2895	

DATE MAILED: 10/03/2012

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
13/185,165	07/18/2011	Risto TUOMINEN	0365-0601PUS4	1795

TITLE OF INVENTION: METHOD FOR EMBEDDING A COMPONENT IN A BASE

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	$1740	$300	$0	$2040	01/03/2013

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE DOES NOT REFLECT A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE IN THIS APPLICATION. IF AN ISSUE FEE HAS PREVIOUSLY BEEN PAID IN THIS APPLICATION (AS SHOWN ABOVE), THE RETURN OF PART B OF THIS FORM WILL BE CONSIDERED A REQUEST TO REAPPLY THE PREVIOUSLY PAID ISSUE FEE TOWARD THE ISSUE FEE NOW DUE.

HOW TO REPLY TO THIS NOTICE:

I. Review the SMALL ENTITY status shown above.

If the SMALL ENTITY is shown as YES, verify your current SMALL ENTITY status:

A. If the status is the same, pay the TOTAL FEE(S) DUE shown above.

B. If the status above is to be removed, check box 5b on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and twice the amount of the ISSUE FEE shown above, or

If the SMALL ENTITY is shown as NO:

A. Pay TOTAL FEE(S) DUE shown above, or

B. If applicant claimed SMALL ENTITY status before, or is now claiming SMALL ENTITY status, check box 5a on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and 1/2 the ISSUE FEE shown above.

II. PART B - FEE(S) TRANSMITTAL, or its equivalent, must be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed and an extra copy of the form should be submitted. If an equivalent of Part B is filed, a request to reapply a previously paid issue fee must be clearly made, and delays in processing may occur due to the difficulty in recognizing the paper as an equivalent of Part B.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Utility patents issuing on applications filed on or after Dec. 12, 1980 may require payment of maintenance fees. It is patentee's responsibility to ensure timely payment of maintenance fees when due.

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: Mail **Mail Stop ISSUE FEE**
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or Fax (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

2292 7590 10/03/2012
BIRCH STEWART KOLASCH & BIRCH
PO BOX 747
FALLS CHURCH, VA 22040-0747

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission
I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
13/185,165	07/18/2011	Risto TUOMINEN	0365-0601PUS4	1795

TITLE OF INVENTION: METHOD FOR EMBEDDING A COMPONENT IN A BASE

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	$1740	$300	$0	$2040	01/03/2013

EXAMINER	ART UNIT	CLASS-SUBCLASS
DIALLO, MAMADOU L	2895	257-687000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).
❑ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.
❑ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list
(1) the names of up to 3 registered patent attorneys or agents OR, alternatively,
(2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.
1 _____
2 _____
3 _____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE (B) RESIDENCE: (CITY and STATE OR COUNTRY)

Please check the appropriate assignee category or categories (will not be printed on the patent) : ❑ Individual ❑ Corporation or other private group entity ❑ Government

4a. The following fee(s) are submitted:
❑ Issue Fee
❑ Publication Fee (No small entity discount permitted)
❑ Advance Order - # of Copies _____

4b. Payment of Fee(s): **(Please first reapply any previously paid issue fee shown above)**
❑ A check is enclosed.
❑ Payment by credit card. Form PTO-2038 is attached.
❑ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment, to Deposit Account Number _____ (enclose an extra copy of this form).

5. **Change in Entity Status** (from status indicated above)
❑ a. Applicant claims SMALL ENTITY status. See 37 CFR 1.27.
❑ b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature _____ Date _____

Typed or printed name _____ Registration No. _____

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
13/185,165	07/18/2011	Risto TUOMINEN	0365-0601PUS4	1795

2292 7590 10/03/2012

BIRCH STEWART KOLASCH & BIRCH
PO BOX 747
FALLS CHURCH, VA 22040-0747

EXAMINER	
DIALLO, MAMADOU L	

ART UNIT	PAPER NUMBER
2895	

DATE MAILED: 10/03/2012

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment to date is 15 day(s). If the issue fee is paid on the date that is three months after the mailing date of this notice and the patent issues on the Tuesday before the date that is 28 weeks (six and a half months) after the mailing date of this notice, the Patent Term Adjustment will be 15 day(s).

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at 1-(888)-786-0101 or (571)-272-4200.

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Notice of Allowability	Application No.	Applicant(s)	
	13/185,165	TUOMINEN, RISTO	
	Examiner	Art Unit	
	MAMADOU DIALLO	2895	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☒ This communication is responsive to *the application filed on 07/18/2011*.
2. ☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.
3. ☒ The allowed claim(s) is/are *1*.
4. ☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
   a) ☒ All b) ☐ Some* c) ☐ None of the:
      1. ☒ Certified copies of the priority documents have been received.
      2. ☐ Certified copies of the priority documents have been received in Application No. _____ .
      3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

   * Certified copies not received: _____.

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

5. ☐ A SUBSTITUTE OATH OR DECLARATION must be submitted. Note the attached EXAMINER'S AMENDMENT or NOTICE OF INFORMAL PATENT APPLICATION (PTO-152) which gives reason(s) why the oath or declaration is deficient.
6. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
   (a) ☐ including changes required by the Notice of Draftsperson's Patent Drawing Review (PTO-948) attached
      1) ☐ hereto or 2) ☐ to Paper No./Mail Date _____.
   (b) ☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____.

   Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).
7. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

1. ☐ Notice of References Cited (PTO-892)
2. ☐ Notice of Draftperson's Patent Drawing Review (PTO-948)
3. ☒ Information Disclosure Statements (PTO/SB/08), Paper No./Mail Date 07/18/2011,06/29/2012
4. ☐ Examiner's Comment Regarding Requirement for Deposit of Biological Material
5. ☐ Notice of Informal Patent Application
6. ☐ Interview Summary (PTO-413), Paper No./Mail Date _____ .
7. ☐ Examiner's Amendment/Comment
8. ☒ Examiner's Statement of Reasons for Allowance
9. ☐ Other _____.

/MAMADOU DIALLO/
Primary Examiner, Art Unit 2895

DETAILED ACTION

Priority

Receipt is acknowledged of papers submitted under 35 U.S.C. 119(a)-(d), which papers have been placed of record in the file.

Information Disclosure Statement

The information disclosure statement (IDS) submitted on 07/18/2011 and 06/29/2012 is being considered by the examiner.

Allowable Subject Matter

Claim1 is allowed.

The following is an examiner's statement of reasons for allowance: The prior art of record does not teach or suggest, singularly or in combination, at least the limitations of the independent claim 1 including "a baseboard having a first surface and a second surface; a hardened insulating polymer layer on the second surface of the baseboard; at least one component within the baseboard, the component having contact areas on a first surface of the component, said first surface of the component being against the hardened insulating polymer layer; conductive patterns on the hardened insulting polymer layer; and conductors within the hardened insulating polymer layer for forming electrical contacts between at least some of the conductive patterns and at least some of the contact areas of the component."

Because no reference alone, nor is there any motivation to combine the details over the prior art to create such limitations in the independent claim, the claim is deemed patentable over the prior art.

Any comments considered necessary by applicant must be submitted no later than the payment of the issue fee and, to avoid processing delays, should preferably accompany the issue fee. Such submissions should be clearly labeled "Comments on Statement of Reasons for Allowance."

Conclusion

Any inquiry concerning this communication or earlier communications from the examiner should be directed to MAMADOU DIALLO whose telephone number is (571)270-5449. The examiner can normally be reached on 9:30- 6:30 Monday-Thursday.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Drew Richards can be reached on (571)272-1736. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/MAMADOU DIALLO/
Primary Examiner, Art Unit 2895

PTO/SB/08a (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 4

Complete if Known	
Application Number	NEW
Filing Date	07-18-11
First Named Inventor	Risto Tuominen
Art Unit	Unassigned
Examiner Name	Unassigned
Attorney Docket Number	0365-0601PUS4

U.S. PATENT DOCUMENTS

Examiner Initial *	Cite No.	Document Number: Number - Kind Code[2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear
	1	US-2001/0054768	12-01-2001	Isaak	
	2	US-2002/0063342 -	02-01-2002	Vu et al.	
	3	US-2002/0117743	08-29-2002	Nakatani et al.	
	4	US-2002/0127779	09-01-2002	Vaiyapuri	
	5	US-2002/0132098	09-01-2002	Takeuchi et al.	
	6	US-2002/0185303	12-12-2002	Takeuchi et al.	
	7	US-20020020898 - A1	02-21-2002	Vu et al.	
	8	US-2003/0068852	04-10-2003	Towle et al.	
	9	US-2003/0100142	05-29-2003	Shin et al.	
	10	US-2003/0137045	07-24-2003	Sugaya et al.	
	11	US-20030090883 - A1	05-15-2003	Asahi et al.	
	12	US-2004/0266067	12-30-2004	Bai	
	13	US-2005/0286244	12-29-2005	Chen	
	14	US-2006/0106500	05-18-2006	Chang	
	15	US-4,246,595	01-20-1981	Noyori et al.	
	16	US-5,102,829	04-01-1992	Cohn	
	17	US-5,162,813	11-10-1992	Schoenthaler	
	18	US-5,208,188	05-04-1993	Newman	
	19	US-5,216,606	06-08-1993	Lam	

FOREIGN PATENT DOCUMENTS

Examiner Initial *	Cite No. 1	Foreign Patent Document: Country[3] Code Number[4] Kind Code (if known)[5]	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear	T
	20	JP 04-283987	10-08-1992	Matsushiota Electric Industry		✓
	21	JP 2000-311229	11-07-2000			✓
	22	JP 2001-053447	02-23-2001	Iwaki Denshi KK		✓
	23	JP 2001-274034	10-05-2001	Shinko Electric Ind Co. Ltd.		✓
	24	JP 2001-345560	12-14-2001			✓
	25	JP 2002-016327	01-18-2002			

Examiner Signature		Date Considered	

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not Considered. Include copy of this form with next communication to applicant. 1. Applicant's unique citation design number (optional). 2 See Kinds Codes of USPTO patent Documents, at www.uspto.gov or MPEP 901.04. 3. Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4. For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5. Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. 6. Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.
SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /M.D./

PTO/SB/08a (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 2 of 4

Complete if Known	
Application Number	NEW
Filing Date	07-18-11
First Named Inventor	Risto Tuominen
Art Unit	Unassigned
Examiner Name	Unassigned
Attorney Docket Number	0365-0601PUS4

U.S. PATENT DOCUMENTS

Examiner Initial *	Cite No.	Document Number: Number - Kind Code [2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear
	26	US-5,227,338	07-01-1993	Kryzaniwsky	
	27	US-5,248,852	09-28-1993	Kumagai	
	28	US-5,306,670 - A1	04-26-1994	Mowatt et al.	
	29	US-5,353,195	10-04-1994	Fillion et al.	
	30	US-5,497,033	03-05-1996	Fillion et al.	
	31	US-5,637,919	06-10-1997	Grabba	
	32	US-5,843,216	08-24-9900	Schmidt	
	33	US-5,970,321	10-01-1999	Hively	
	34	US-6,015,722	01-01-2000	Banks et al.	
	35	US-6,038,133	03-14-2000	Nakatani et al.	
	36	US-6,100,108	08-01-2000	Mizuno et al	
	37	US-6,131,266 - A	10-17-2000	Lee et al.	
	38	US-6,154,366	11-28-2000	Ma et al.	
	39	US-6,271,469	08-07-2001	Ma et al.	
	40	US-6,284,564	09-04-2001	Balch et al.	
	41	US-6,292,366	09-18-2001	Platt	
	42	US-6,324,067	11-27-2001	Nishiyama	
	43	US-6,359,633 - B1	02-26-2002	Lin	
	44	US-6,396,148 - B1	05-28-2002	Eichelberger et al.	

FOREIGN PATENT DOCUMENTS

Examiner Initial *	Cite No. 1	Foreign Patent Document: Country Code [3] Number [4] Kind Code (if known) [5]	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear	T
	45	JP 2002-158307	05-31-2002			✓
	46	JP 2003-37205	02-07-2003			✓

Examiner Signature		Date Considered	

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not Considered. Include copy of this form with next communication to applicant. 1. Applicant's unique citation design number (optional) 2 See Kinds Codes of USPTO patent Documents at www.uspto.gov or MPEP 901.04. 3. Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4. For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5. Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. 6. Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /M.D./

PTO/SB/08a (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 3 of 4

Complete if Known	
Application Number	NEW
Filing Date	07-18-11
First Named Inventor	Risto Tuominen
Art Unit	Unassigned
Examiner Name	Unassigned
Attorney Docket Number	0365-0601PUS4

U.S. PATENT DOCUMENTS

Examiner Initial *	Cite No.	Document Number: Number - Kind Code [2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear
	47	US-6,475,877	11-05-2002	Saia et al.	
	48	US-6,489,685	12-03-2002	Asahi et al.	
	49	US-6,495,394	12-01-2002	Nakata et al.	
	50	US-6,521,530	02-01-2003	Peters et al.	
	51	US-6,537,846	03-25-2003	Camenforte et al.	
	52	US-6,538,210	03-25-2003	Sugaya et al.	
	53	US-6,562,657 - B1	05-13-2003	Lin	
	54	US-6,607,943	08-01-2003	Kinsman	
	55	US-6,710,456 - B2	03-23-2004	Seko et al.	
	56	US-6,790,712	09-14-2004	Bai et al.	
	57	US-6,979,596	12-27-2005	Corisis et al.	

FOREIGN PATENT DOCUMENTS

Examiner Initial *	Cite No. 1	Foreign Patent Document: Country [3] Code / Number [4] / Kind Code (if known) [5]	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear	T

Examiner Signature		Date Considered	

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. 1. Applicant's unique citation design number (optional). 2. See Kinds Codes of USPTO patent Documents at www.uspto.gov or MPEP 901.04. 3. Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4. For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5. Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. 6. Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.
SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.
If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /M.D./

PTO/SB/08b (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number

Substitute for form 1449B/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet	4	of	4

Complete if Known	
Application Number	NEW
Filing Date	
First Named Inventor	Risto Tuominen
Art Unit	Unassigned
Examiner Name	Unassigned
Attorney Docket Number	0365-0601PUS4

NON PATENT LITERATURE DOCUMENTS

Examiner initial *	Cite No. [1]	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	T [2]
	58	Patent Abstracts of Japan, Vol. 2002, No. 05, May 3, 2002.	

Examiner Signature	/Mamadou Diallo/	Date Considered	09/18/2012

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

1. Applicant's unique citation designation number. (optional) 2. Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.

SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /M.D./

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

BIB DATA SHEET

CONFIRMATION NO. 1795

SERIAL NUMBER	FILING or 371(c) DATE	CLASS	GROUP ART UNIT	ATTORNEY DOCKET NO.
13/185,165	07/18/2011 RULE	257	2895	0365-0601PUS4

APPLICANTS
Risto TUOMINEN, Helsinki, FINLAND;

**** CONTINUING DATA ***************************
This application is a CON of 11/878,557 07/25/2007 PAT 7,989,944
which is a CON of 10/502,336 09/23/2004 PAT 7,294,529

**** FOREIGN APPLICATIONS ***************************
FINLAND 20020191 01/31/2002

**** IF REQUIRED, FOREIGN FILING LICENSE GRANTED ****
07/27/2011

Foreign Priority claimed	☑ Yes ☐ No	☐ Met after Allowance	STATE OR COUNTRY	SHEETS DRAWINGS	TOTAL CLAIMS	INDEPENDENT CLAIMS
35 USC 119(a-d) conditions met	☑ Yes ☐ No		FINLAND	12	1	1
Verified and Acknowledged	/MAMADOU L DIALLO/ Examiner's Signature	Initials				

ADDRESS
BIRCH STEWART KOLASCH & BIRCH
PO BOX 747
FALLS CHURCH, VA 22040-0747
UNITED STATES

TITLE
METHOD FOR EMBEDDING A COMPONENT IN A BASE

FILING FEE RECEIVED	FEES: Authority has been given in Paper	☐ All Fees
1090	No._____ to charge/credit DEPOSIT ACCOUNT	☐ 1.16 Fees (Filing)
	No._____ for following:	☐ 1.17 Fees (Processing Ext. of time)
		☐ 1.18 Fees (Issue)
		☐ Other _____
		☐ Credit

PTO/SB/08a (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 4

Complete if Known	
Application Number	13/185,165
Filing Date	07-18-11
First Named Inventor	Risto Tuominen
Art Unit	2895
Examiner Name	Mamadou L. Diallo
Attorney Docket Number	0365-0601PUS4

U.S. PATENT DOCUMENTS

Examiner Initial*	Cite No.	Document Number: Number - Kind Code[2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear
	1	US-2001/0054758	12-27-2001	Isaak	
	2	US-2002/0063342	05-30-2002	Blackshear	
	3	US-2002/0117743	08-29-2002	Nakatani et al	
	4	US-2002/0127770	09-12-2002	Vaiyapuri	
	5	US-2002/0132096	09-19-2002	Takeuchi et al	
	6	US-2002/0185303	12-12-2002	Takeuchi et al.	
	7	US-20020020898 - A1	02-21-2002	Vu et al.	
	8	US-2003/0068852	04-10-2003	Towle et al.	
	9	US-2003/0100142	05-29-2003	Shin et al.	
	10	US-2003/0137045	07-24-2003	Sugaya et al.	
	11	US-20030090883 - A1	05-15-2003	Asahi et al.	
	12	US-2004/0266067	12-30-2004	Bai	
	13	US-2005/0285244	12-29-2005	Chen	
	14	US-2006/0108600	05-18-2006	Chang	
	15	US-4,246,595	01-20-1981	Noyori et al.	
	16	US-4,783,695	11-08-1988	Eichelberger et al.	
	17	US-4,894,115	01-16-1990	Eichelberger et al.	
	18	US-5,102,829	04-07-1992	Cohn	
	19	US-5,162,613	11-10-1992	Schoenthaler	

FOREIGN PATENT DOCUMENTS

Examiner Initial*	Cite No. 1	Foreign Patent Document: Country[3] Code	Number[4] Kind Code (if known)[5]	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear	T
	20	JP	04-283987	10-08-1992	Matsushiota Electric industry		✓
	21	JP	2000-311229	11-07-2000			✓
	22	JP	2001-053447	02-23-2001	Iwaki Denshi KK		✓
	23	JP	2001-274034	10-05-2001	Shinko Electric Ind. Co. Ltd		✓
	24	JP	2001-345560	12-14-2001	NGK Spark Plug Co.		✓
	25	JP	2002-016327	01-18-2002			✓

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. 1. Applicant's unique citation design number (optional). 2 See Kinds Codes of USPTO patent Documents. at www.uspto.gov or MPEP 901.04. 3. Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4. For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5. Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. 6. Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.
SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.
If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /M.D./

PTO/SB/08a (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 2 of 4

Complete if Known	
Application Number	13/185,165
Filing Date	07-18-11
First Named Inventor	Risto Tuominen
Art Unit	2895
Examiner Name	Mamadou L. Diallo
Attorney Docket Number	0365-0601PUS4

U.S. PATENT DOCUMENTS

Examiner Initial *	Cite No.	Document Number: Number - Kind Code[2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear
	26	US-5,208,188	05-04-1993	Newman	
	27	US-5,216,806	06-08-1993	Lam	
	28	US-5,227,338	07-13-1993	Kryzaniwsky	
	29	US-5,248,652	09-28-1993	Kumagai	
	30	US-5,250,843	10-05-1993	Eichelberger	
	31	US-5,306,670 - A1	04-26-1994	Mowatt et al.	
	32	US-5,353,195	10-04-1994	Fillion et al.	
	33	US-5,497,033	03-05-1996	Fillion et al.	
	34	US-5,637,919	06-10-1997	Grabba	
	35	US-5,870,289	02-09-1999	Tokuda et al.	
	36	US-5,943,216	08-24-1999	Schmidt	
	37	US-5,970,321	10-19-1999	Hively	
	38	US-6,015,722	01-18-2000	Banks et al.	
	39	US-6,038,133	03-14-2000	Nakatani et al.	
	40	US-6,100,108	08-08-2000	Mizuno et al.	
	41	US-6,131,269 - A	10-17-2000	Lee et al.	
	42	US-6,154,366	11-28-2000	Ma et al.	
	43	US-6,271,469	08-07-2001	Ma et al.	
	44	US-6,284,564	09-04-2001	Baich et al	

FOREIGN PATENT DOCUMENTS

Examiner Initial *	Cite No.	Foreign Patent Document: Country[3] Code Number[4] Kind Code (if known)[5]	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear	T
	45	JP 2002-158307	05-31-2002			✓
	46	JP 2003-37205	02-07-2003			✓

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. 1 Applicant's unique citation design number (optional). 2 See Kinds Codes of USPTO patent Documents at www.uspto.gov or MPEP 901.04. 3. Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4. For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5. Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. 6. Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.
SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.
If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /M.D./

PTO/SB/08a (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 3 of 4

Complete if Known	
Application Number	13/185,165
Filing Date	07-18-11
First Named Inventor	Risto Tuominen
Art Unit	2895
Examiner Name	Mamadou L. Diallo
Attorney Docket Number	0365-0601PUS4

U.S. PATENT DOCUMENTS

Examiner Initial *	Cite No	Document Number: Number - Kind Code[2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear
	47	US-6,292,366	09-18-2001	Platt	
	48	US-6,324,067	11-27-2001	Nishiyama	
	49	US-6,350,633 - B1	02-26-2002	Lin	
	50	US-6,396,148 - B1	05-28-2002	Eichelberger et al.	
	51	US-6,475,877	11-05-2002	Saia et al.	
	52	US-6,489,685	12-03-2002	Asahi et al.	
	53	US-6,496,394	12-17-2002	Nakata et al.	
	54	US-6,521,530	02-18-2003	Peters et al.	
	55	US-6,537,646	03-25-2003	Camenforte et al.	
	56	US-6,538,210	03-25-2003	Sugaya et al.	
	57	US-6,562,687 - B1	05-13-2003	Lin	
	58	US-6,607,943	08-19-2003	Kinsman	
	59	US-6,710,456 - B2	03-23-2004	Seko et al.	
	60	US-6,780,712	08-14-2004	Bai	
	61	US-6,979,598	12-27-2005	Corisis et al.	

FOREIGN PATENT DOCUMENTS

Examiner Initial *	Cite No. 1	Foreign Patent Document: Country[3] Code Number[4] Kind Code (if known)[5]	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear	T

Examiner Signature		Date Considered	

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not Considered. Include copy of this form with next communication to applicant. 1 Applicant's unique citation design number (optional). 2 See Kinds Codes of USPTO patent Documents, at www.uspto.gov or MPEP 901.04. 3 Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4 For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5 Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. 6 Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: **Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /M.D./

PTO/SB/08b (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449B/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet	4	of	4

Complete if Known	
Application Number	13/185,165
Filing Date	07-18-11
First Named Inventor	Risto Tuominen
Art Unit	2895
Examiner Name	Mamadou L. Diallo
Attorney Docket Number	0365-0601PUS4

NON PATENT LITERATURE DOCUMENTS

Examiner Initial *	Cite No. [1]	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	T [2]
	62	Patent Abstracts of Japan, Vol. 2002, No. 05, May 3, 2002.	

Examiner Signature	/Mamadou Diallo/	Date Considered	09/18/2012

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

1. Applicant's unique citation designation number (optional) 2. Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.

SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /M.D./

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	13185165	TUOMINEN, RISTO
	Examiner	**Art Unit**
	MAMADOU DIALLO	2895

ORIGINAL		INTERNATIONAL CLASSIFICATION									
CLASS	SUBCLASS	CLAIMED					NON-CLAIMED				
257	687	H	0	1	L	21 / 52 (2006.01.01)					

CROSS REFERENCE(S)					
CLASS	SUBCLASS (ONE SUBCLASS PER BLOCK)				
257	774	E23.005	702	723	684

☒ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original
	1														

NONE		Total Claims Allowed:	
(Assistant Examiner)	(Date)	1	
/MAMADOU DIALLO/ Primary Examiner.Art Unit 2895	09/18/2012	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	1M

EAST Search History

EAST Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L8	354	257/687,774,e23.005,e21.503.CCLS.and (semiconductor component)	US-PGPUB; USPAT; USOCR; DERWENT	ADJ	ON	2012/09/18 17:44
L9	39	257/687,774,e23.005,e21.503.CCLS.and (semiconductor component) and (hardened)	US-PGPUB; USPAT; USOCR; DERWENT	ADJ	ON	2012/09/18 17:45
L11	68	"5306670"	US-PGPUB; USPAT; USOCR; DERWENT	ADJ	ON	2012/09/18 17:52
L12	23	"5306670" and hardened	US-PGPUB; USPAT; USOCR; DERWENT	ADJ	ON	2012/09/18 17:54
S1	2	"US 20080036093"	US-PGPUB; USPAT; USOCR; DERWENT	ADJ	ON	2010/02/26 10:40
S2	25	("20020117743" | "20020185303" | "20030068852" | "20030100142" | "20030137045" | "20040266067" | "20050285244" | "20060105500" | "4246595" | "4246595" | "5162613" | "5208188" | "5216806" | "5637919" | "6038133" | "6154366" | "6271469" | "6292366" | "6475877" | "6489685" | "6537848" | "6538210" | "6607943" | "6710458" | "6790712" | "6979596").PN.	US-PGPUB; USPAT	ADJ	ON	2010/02/26 11:44
S3	28	("20020117743" | "20020185303" | "20030068852" | "20030100142" | "20030137045" | "20040266067" | "20050285244" | "20060105500" | "4246595" | "5162613" | "5208188" | "5216806" | "5248852" | "5497033" | "5637919" | "6038133" | "6154366" | "6271469" | "6284564" | "6292366" | "6475877" | "6489685" | "6537848" | "6538210" | "6607943" | "6710458" | "6790712" | "6979596").PN.	US-PGPUB; USPAT	ADJ	ON	2010/02/26 11:46
S4	25089	circuit board with (components or chip) with (in or inside)	US-PGPUB; USPAT	ADJ	ON	2010/02/26 12:03
S5	67	circuit board with (components or chip) with (in or inside)with insulator	US-PGPUB; USPAT	ADJ	ON	2010/02/26 12:04
S6	18	electronic with embed$4 with printed circuit same insulator	US-PGPUB; USPAT	ADJ	ON	2010/02/26 12:09
S7	424	electronic with embed$4 with printed circuit	US-PGPUB; USPAT	ADJ	ON	2010/02/26 12:10
S8	2	("20050048759" | "20060068332").PN. OR ("7653991").URPN.	US-PGPUB; USPAT; USOCR	ADJ	ON	2010/02/26 12:20
S9	16	("20020071256" | "20020118523" | "20030000737" | "3857683" | "5243320" | "5683928" | "6021050" | "6225570" | "6288905" | "6356455" | "6717071" | "6757178" | "6806428" | "6876091").PN. OR ("7190592").URPN.	US-PGPUB; USPAT; USOCR	ADJ	ON	2010/02/26 12:22
S10	1	"20020132096"	US-PGPUB; USPAT	ADJ	ON	2010/02/26 14:37

S11	1	("20070018203").PN.	US-PGPUB; USPAT; USOCR	OR	OFF	2010/03/01 14:19
S12	24	("20010054758" | "20020020898" | "20020063342" | "20020127770" | "5102829" | "5227338" | "5970321" | "6015722" | "6100108" | "6495394" | "6521530" | "6607943").PN.	US-PGPUB; USPAT; USOCR; DERWENT	ADJ	ON	2010/08/19 11:30
S13	5434	((438/107,118,126) or (2571/e23.005,e23.126,e23.128,e23.182,e21.5,e21.503,e21.505,e21.511)).CCLS.	US-PGPUB; USPAT; USOCR; DERWENT	ADJ	ON	2010/08/19 11:41
S14	52	((438/107,118,126) or (2571/e23.005,e23.126,e23.128,e23.182,e21.5,e21.503,e21.505,e21.511)).CCLS. and (hardened with insulating)	US-PGPUB; USPAT; USOCR; DERWENT	ADJ	ON	2010/08/19 11:42
S15	133	((438/107,118,126) or (257/e23.005,e23.126,e23.128,e23.182,e21.5,e21.503,e21.505,e21.511)).CCLS. and (hardened with insulating)	US-PGPUB; USPAT; USOCR; DERWENT	ADJ	ON	2010/08/19 11:44
S17	18	("20010054758" | "20020020898" | "20020053342" | "20020127770" | "20030090883" | "4246595" | "5102829" | "5227338" | "5306670" | "5943216" | "5970321" | "6015722" | "6100108" | "6131269" | "6324067" | "6495394" | "6521530" | "6607943").PN.	US-PGPUB; USPAT	ADJ	ON	2011/02/14 15:09
S18	18	("20010054758" | "20020020898" | "20020053342" | "20020127770" | "20030090883" | "4246595" | "5102829" | "5227338" | "5306670" | "5943216" | "5970321" | "6015722" | "6100108" | "6131269" | "6324067" | "6495394" | "6521530" | "6607943").PN.	US-PGPUB; USPAT	ADJ	ON	2011/03/14 11:38
S21	2	"US 20100308452"	US-PGPUB; USPAT; USOCR; DERWENT	ADJ	ON	2012/08/21 12:51
S22	45	("20010054758" | "20020013096" | "20020020898" | "20020063342" | "20020117743" | "20020127770" | "20020185303" | "20030068852" | "20030090883" | "20030100142" | "20030137045" | "20040266067" | "20050285244" | "20060105500" | "4246595" | "5102829" | "5162613" | "5208188" | "5216806" | "5227338" | "5248852" | "5306670" | "5497033" | "5637919" | "5943216" | "5970321" | "6015722" | "6038133" | "6100108" | "6131269" | "6154366" | "6271469" | "6284564" | "6292366" | "6324067" | "6475877" | "6489685" | "6495394" | "6521530" | "6537848" | "6538210" | "6607943" | "6710458" | "6790712" | "6979596").PN.	US-PGPUB; USPAT	ADJ	ON	2012/08/21 13:04

EAST Search History (Interference)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L10	9	baseboard with insulating and (semiconductor component) and (hardened)	US-PGPUB; USPAT; UPAD	ADJ	ON	2012/09/18 17:48
S16	6	insulat$5 same harden$5 same polymer same open$5 same metal same electrical	US-PGPUB; USPAT; UPAD	ADJ	ON	2010/08/19 13:05
S19	6	insulat$5 same harden$5 same polymer same open$5 same metal same contact	US-PGPUB; USPAT; UPAD	ADJ	ON	2011/03/15 16:03
S20	13	insulat$5 with metal with plate with second with inside with conductive	US-PGPUB; USPAT; UPAD	ADJ	ON	2011/03/15 16:06

9/18/2012 6:25:45 PM
C:\Users\mdiallo\Documents\EAST\Workspaces\11878557.wsp

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	13185165	TUOMINEN, RISTO
	Examiner	Art Unit
	MAMADOU DIALLO	2895

SEARCHED			
Class	Subclass	Date	Examiner
257	e23.005,e23.126,e23.128,e23.182,e21.5,e21.503,e21.505,e21.511	9/18/2012	MD
438	107,118,126	9/18/2012	MD

SEARCH NOTES		
Search Notes	Date	Examiner
Keyword search	9/18/2012	MD

INTERFERENCE SEARCH			
Class	Subclass	Date	Examiner
	see attached interference search	9/18/2012	MD

	/MAMADOU DIALLO/ Primary Examiner.Art Unit 2895

PTO/SB/08a (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 4

Complete if Known	
Application Number	13/185,165
Filing Date	07-18-11
First Named Inventor	Risto Tuominen
Art Unit	2895
Examiner Name	Mamadou L. Diallo
Attorney Docket Number	0365-0601PUS4

U.S. PATENT DOCUMENTS

Examiner Initial*	Cite No.	Document Number: Number - Kind Code[2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear
	1	US-2001/0054758	12-27-2001	Isaak	
	2	US-2002/0063342	05-30-2002	Blackshear	
	3	US-2002/0117743	08-29-2002	Nakatani et al	
	4	US-2002/0127770	09-12-2002	Vaiyapuri	
	5	US-2002/0132096	09-19-2002	Takeuchi et al	
	6	US-2002/0185303	12-12-2002	Takeuchi et al.	
	7	US-20020020898 - A1	02-21-2002	Vu et al.	
	8	US-2003/0068852	04-10-2003	Towle et al.	
	9	US-2003/0100142	05-29-2003	Shin et al.	
	10	US-2003/0137046	07-24-2003	Sugaya et al.	
	11	US-20030090883 - A1	05-15-2003	Asahi et al.	
	12	US-2004/0266067	12-30-2004	Bai	
	13	US-2005/0285244	12-29-2005	Chen	
	14	US-2006/0108600	05-18-2006	Chang	
	15	US-4,246,595	01-20-1981	Noyori et al.	
	16	US-4,783,695	11-08-1988	Eichelberger et al.	
	17	US-4,894,115	01-16-1990	Eichelberger et al.	
	18	US-5,102,829	04-07-1992	Cohn	
	19	US-5,162,613	11-10-1992	Schoenthaler	

FOREIGN PATENT DOCUMENTS

Examiner Initial*	Cite No. 1	Foreign Patent Document: Country[3] Code	Number[4]	Kind Code (if known)[5]	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear	T
	20	JP	04-283987		10-08-1992	Matsushiota Electric industry		✓
	21	JP	2000-311229		11-07-2000			✓
	22	JP	2001-053447		02-23-2001	Iwaki Denshi KK		✓
	23	JP	2001-274094		10-05-2001	Shinko Electric Ind. Co. Ltd		✓
	24	JP	2001-345560		12-14-2001	NGK Spark Plug Co.		✓
	25	JP	2002-016327		01-18-2002			✓

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not Considered. Include copy of this form with next communication to applicant. 1. Applicant's unique citation design number (optional). 2 See Kinds Codes of USPTO patent Documents. at www.uspto.gov or MPEP 901.04. 3. Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4. For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5. Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. 6. Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.
SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.
If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

PTO/SB/08a (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 2 of 4

Complete if Known	
Application Number	13/185,165
Filing Date	07-18-11
First Named Inventor	Risto Tuominen
Art Unit	2895
Examiner Name	Mamadou L. Diallo
Attorney Docket Number	0365-0801PUS4

U.S. PATENT DOCUMENTS

Examiner Initial *	Cite No.	Document Number: Number - Kind Code[2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear
	26	US-5,208,188	05-04-1993	Newman	
	27	US-5,216,806	06-08-1993	Lam	
	28	US-5,227,338	07-13-1993	Kryzaniwsky	
	29	US-5,248,652	09-28-1993	Kumagai	
	30	US-5,250,843	10-05-1993	Eichelberger	
	31	US-5,306,670 - A1	04-26-1994	Mowatt et al.	
	32	US-5,353,195	10-04-1994	Fillion et al.	
	33	US-5,497,033	03-05-1996	Fillion et al.	
	34	US-5,637,919	06-10-1997	Grabba	
	35	US-5,870,289	02-09-1999	Tokuda et al	
	36	US-5,943,216	08-24-1999	Schmidt	
	37	US-5,970,321	10-19-1999	Hively	
	38	US-6,016,722	01-18-2000	Banks et al.	
	39	US-6,038,133	03-14-2000	Nakatani et al.	
	40	US-6,100,108	08-08-2000	Mizuno et al.	
	41	US-6,131,269 - A	10-17-2000	Lee et al.	
	42	US-6,154,366	11-28-2000	Ma et al.	
	43	US-6,271,469	08-07-2001	Ma et al.	
	44	US-6,284,564	09-04-2001	Baich et al	

FOREIGN PATENT DOCUMENTS

Examiner Initial *	Cite No.	Foreign Patent Document: Country[3] Code Number[4] Kind Code (if known)[5]	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear	T
	45	JP 2002-158307	05-31-2002			✓
	46	JP 2003-37205	02-07-2003			✓

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not Considered. Include copy of this form with next communication to applicant. 1. Applicant's unique citation design number (optional). 2. See Kinds Codes of USPTO patent Documents at www.uspto.gov or MPEP 901.04. 3. Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4. For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5. Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. 6. Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.
SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786 9199) and select option 2.

PTO/SB/08a (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 3 of 4

Complete if Known	
Application Number	13/185,165
Filing Date	07-18-11
First Named Inventor	Risto Tuominen
Art Unit	2895
Examiner Name	Mamadou L. Diallo
Attorney Docket Number	0365-0601PUS4

U.S. PATENT DOCUMENTS

Examiner Initial *	Cite No	Document Number: Number - Kind Code[2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear
	47	US-6,292,366	09-18-2001	Platt	
	48	US-6,324,067	11-27-2001	Nishiyama	
	49	US-6,350,633 - B1	02-26-2002	Lin	
	50	US-6,396,148 - B1	05-28-2002	Eichelberger et al.	
	51	US-6,475,877	11-05-2002	Saia et al.	
	52	US-6,489,685	12-03-2002	Asahi et al.	
	53	US-6,496,394	12-17-2002	Nakata et al	
	54	US-6,521,530	02-18-2003	Peters et al.	
	55	US-6,537,846	03-25-2003	Carnenforte et al.	
	56	US-6,538,210	03-25-2003	Sugaya et al.	
	57	US-6,562,667 - B1	05-13-2003	Lin	
	58	US-6,607,943	08-19-2003	Kinsman	
	59	US-6,710,456 - B2	03-23-2004	Seko et al.	
	60	US-6,780,712	08-14-2004	Bai	
	61	US-6,979,598	12-27-2005	Corisis et al.	

FOREIGN PATENT DOCUMENTS

Examiner Initial *	Cite No. 1	Foreign Patent Document: Country[3] Code Number[4] Kind Code (if known)[5]	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear	T

Examiner Signature		Date Considered	

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not Considered. Include copy of this form with next communication to applicant. 1. Applicant's unique citation design number (optional). 2 See Kinds Codes of USPTO patent Documents, at www.uspto.gov or MPEP 901.04. 3. Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4. For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5. Kind of document by the appropriate symbols as indicated on this document under WIPO Standard ST. 16 if possible. 6. Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.
SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786 9199) and select option 2.

ext

PTO/SB/08b (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449B/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet	4	of	4

Complete if Known	
Application Number	13/185,165
Filing Date	07-18-11
First Named Inventor	Risto Tuominen
Art Unit	2895
Examiner Name	Mamadou L. Diallo
Attorney Docket Number	0365-0601PUS4

NON PATENT LITERATURE DOCUMENTS

Examiner Initial *	Cite No. [1]	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	T [2]
	62	Patent Abstracts of Japan, Vol. 2002, No. 05, May 3, 2002.	

Examiner Signature		Date Considered	

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

1. Applicant's unique citation designation number (optional) 2. Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.
SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報**（Ａ）　(11)特許出願公開番号

特開平4－283987

(43)公開日　平成４年(1992)10月８日

(51)Int.Cl.[5]		識別記号	庁内整理番号	ＦＩ	技術表示箇所
Ｈ０５Ｋ	1/18	Ｑ	6736－4Ｅ		
	3/20	Ａ	6736－4Ｅ		
	3/28	Ｇ	6736－4Ｅ		
	3/46	Ｑ	6921－4Ｅ		

審査請求　未請求　請求項の数10(全　8　頁)

(21)出願番号　特願平3－47899

(22)出願日　平成３年(1991)３月13日

(71)出願人　000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地

(72)発明者　中村　恒
大阪府門真市大字門真1006番地　松下電器産業株式会社内

(72)発明者　長谷川　洋
大阪府門真市大字門真1006番地　松下電器産業株式会社内

(72)発明者　磯崎　康人
大阪府門真市大字門真1006番地　松下電器産業株式会社内

(74)代理人　弁理士　小鍛治　明　(外２名)

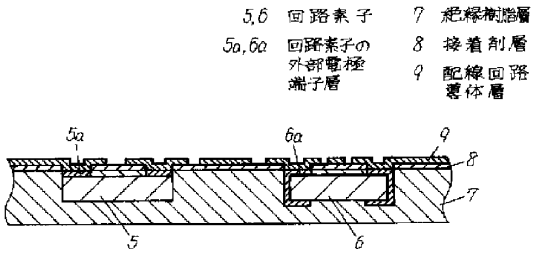
最終頁に続く

(54)【発明の名称】　電子回路装置とその製造方法

(57)【要約】

【目的】　広範な電子機器に使用される電子回路装置において、従来のプリント配線板に回路素子をはんだ接続して電子回路を構成した場合の高密度化の問題や回路素子相互間の電気的接続の信頼性を解決し、回路の高密度化と回路素子間の電気的接続の信頼性に優れた電子回路装置を提供することを目的とする。

【構成】　電子回路を構成する各種回路素子５，６を絶縁樹脂７の所定の位置に埋設して、その表面の一部に露出した各回路素子５，６の外部接続端子層５ａ，６ａ間を配線回路導体層８によって電気的に接続した構成であり、回路素子５，６を配線回路導体層８によって直接電気的に接続することにより、はんだ接続法に比べて高密度回路が構成できると共に、はんだ接続を不要とするので回路素子間の接続に信頼性が向上する効果が得られる。



1

【特許請求の範囲】

【請求項１】複数の回路素子をその外部電極端子の一部分が表面に露出するように絶縁樹脂の所定の位置に埋設し、前記絶縁樹脂の少なくとも一方の主面上に所望とする配線回路導体層を設けて回路素子間を電気的に相互接続した電子回路装置。

【請求項２】回路素子はその外部電極端子がリード線を有するかまたはリードレス構造を有し、それらの同種または異種の外部電極端子層を備えた回路素子を埋設した請求項１記載の電子回路装置。

【請求項３】配線回路導体層は無電解めっき法によって析出した導電金属層で構成された請求項１記載の電子回路装置。

【請求項４】配線回路導体層は回路素子を埋設した絶縁樹脂の一方の主面上に絶縁樹脂層を介して多層状に構成された請求項１記載の電子回路装置。

【請求項５】回路素子と共に導電体層を所定の位置に埋設した絶縁樹脂成型体の表裏両面に、所望とする配線回路導体層を設けた請求項１記載の電子回路装置。

【請求項６】配線回路導体層の一部に突起状の導体層を設け、外部接続端子とした請求項１記載の電子回路装置。

【請求項７】最外層の配線回路導体面に半導体ＩＣチップを搭載して配線回路導体層と電気的に接続した請求項１記載の電子回路装置。

【請求項８】複数の回路素子を所定の位置に埋設しかつ少なくともその一方の主面上に所望とする配線回路導体層を設けて回路素子間を相互接続した複数個の絶縁樹脂成型体を多段状に積層し、その積層体に設けた貫通穴を導通化して各層の配線回路導体層を電気的に相互接続した請求項１記載の電子回路装置。

【請求項９】平滑性を有しかつ離形性に優れた支持体上に接着剤を塗布し、この接着剤層の所定の位置に複数個の回路素子を搭載してその外部接続端子層を前記支持体に接するように固定し、前記回路素子面を絶縁樹脂で完全に埋設した後、前記支持体を回路素子を埋設した絶縁樹脂から剥離し、その剥離面に回路素子の外部電極端子層の一部を露出させてその表面に所望とする配線回路導体層を設け、回路素子間を電気的に相互接続したことを特徴とする電子回路装置の製造方法。

【請求項１０】支持体上に予め所望とする配線回路導体層を形成して、この配線回路導体層と各種回路素子を電気的に接続した後、回路素子を埋設した絶縁樹脂層から剥離し、配線回路導体層を合成樹脂成型体に転写したことを特徴とする請求項９記載の電子回路装置の製造方法。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】本発明は広範な電子機器に用いられる電子回路装置とその製造方法に関するものである。

2

【０００２】

【従来の技術】近年、電子機器の小型軽量化や高性能，高機能化の要求が増加するにつれて電子回路の高密度化が必要不可欠の要件となってきている。

【０００３】このような中にあって昨今電子回路の高密度化をはかる手段としていろいろな実装方法が提案されているが、従来から最も一般的に行われている電子回路装置の実装形態は図８に示すものである。

【０００４】図８において、１はプリント配線基板、１ａはプリント配線板１の回路導体層、２，３は回路素子、２ａ，３ａは回路素子２，３の外部電極端子、４ははんだ金属である。

【０００５】この電子回路装置は電子回路を構成するのに必要な各種回路素子２，３として、例えば抵抗器，コンデンサ，コイル等の受動回路素子やトランジスタや半導体ＩＣ等の能動回路素子（外部電極端子がリード線付かまたはリードレスタイプのもの）をそれぞれプリント配線板１の所定の位置に搭載し、はんだ付け方法によって各回路素子２，３の外部電極端子２ａ，３ａと回路導体層１ａとをはんだ金属４によって電気的に接続したものである。

【０００６】

【発明が解決しようとする課題】しかしながら上記のような従来例では、プリント配線板に各種回路素子２，３を搭載してはんだ接続した実装構造のため、回路素子２，３間の電気的接続の低抵抗化がはかり難いことはもとより、構成された電子回路装置の厚さは回路素子２，３とプリント配線板１の厚みの総和となるので、回路の薄型化がはかりにくいばかりでなく、回路素子２，３のプリント配線板１上でのはんだ付け面積が広くなり、電子回路の高密度化や軽量化がはかりにくい欠点がある。また一方、従来例では回路素子２，３ははんだ付け温度に耐える材質や構造を有する必要があり、プリント配線板１に実装された状態では特にリードレスタイプの回路素子２，３では、プリント配線板１と回路素子２，３間の熱膨脹係数に大きな差異があると熱衝撃によってはんだ接合面にクラックが発生しやすくなり、接続の信頼性が損なわれるという問題点を有していた。

【０００７】本発明はこのような従来の問題点を解決するものであり、薄型化と共に小型高密度でかつ接続の信頼性に優れ、使用する回路素子の制約のない電子回路装置を提供するものである。

【０００８】

【課題を解決するための手段】この目的を達成するために本発明は、形状寸法や外部電極端子構造の異なる複数の各種回路素子をその外部電極端子層の一部が表面の同一面上に露出するように絶縁樹脂中の所定の位置に埋設し、絶縁樹脂層の主面上に必要とする直接金属による配線回路導体層を設けて各回路素子間を直接電気的に相互接続したものである。

3

【０００９】

【作用】本発明によれば、寸法形状や外部接続端子構造の異なる複数の各種回路素子をはんだ付けを必要とすることなく、低抵抗の金属によって回路素子間を電気的に相互接続した電子回路装置が構成されるので、回路素子間の接続の低抵抗化と電子回路の薄型化がはかれると共に、小型高密度で回路素子間の接続の信頼性に優れた電子回路装置が実現されることとなる。

【００１０】

【実施例】（実施例１）以下、本発明の一実施例の電子回路装置について図面を参照しながら説明する。

【００１１】図１は本発明の第１の実施例における電子回路装置の断面図を示すものである。図１において５，６は電子回路を構成するのに必要な各種回路素子、５ａ，６ａは回路素子の外部電極端子層、７は絶縁樹脂層、８は配線回路導体層である。

【００１２】以上のように構成された電子回路装置について以下図１を用いてその実施例の詳細を説明する。

【００１３】本実施例では先ず図１に示すように、電子回路を構成するのに必要な各種回路素子５，６として任意の寸法形状および外部電極端子構造を有する抵抗，コンデンサ，コイル等の受動素子や、半導体ＩＣ等の能動素子を使用し、これらの各種回路素子５，６の複数個を絶縁樹脂７の所定の位置に埋設し、各種回路素子５，６の外部電極端子層５ａ，６ａを絶縁樹脂層７の表面の一部に露出すると共に、その同一面上に必要とする接着剤層８を介して配線回路導体層９を設けて回路素子５，６間を電気的に相互接続することにより電子回路を構成したものである。

【００１４】この場合、回路素子５，６はその構成材料や形状寸法および外部電極端子の構造等の制約は特になく、リード線を有するアルミ電解コンデンサやカーボン皮膜抵抗器、ＤＩＬ型の半導体ＩＣパッケージさらには昨今回路の小型化にニーズ対応して急速にその需要が増大している超小型リードレスタイプのチップ抵抗器や積層セラミックチップコンデンサ，チップ型積層コイル，チップキャリア型半導体ＩＣ等広範な回路素子が使用できる。

【００１５】本実施例では、図１に示すように回路素子５として、リードレスタイプのチップ抵抗器と、回路素子６としてチップコンデンサを使用し、これらの回路素子５，６をエポキシ樹脂を主体とした絶縁樹脂層７の所定の位置に埋設すると共に、回路素子５，６の外部接続端子層５ａ，６ａを表面の一部に露出させ、その同一面上に無電解めっき法によって析出した金属銅によって所望とする配線回路導体層９を設け、回路素子５，６間を電気的に相互接続して電子回路を構成した。

【００１６】また一方、他の実施例では、回路素子５，６としてリード線を有する電解コンデンサと樹脂パッケージされた半導体ＩＣさらにはリードレスタイプのチップ抵抗器やチップコンデンサ等を混合してこれらの各種回路素子を絶縁樹脂７の所定の位置に埋設し、それぞれの外部接続端子層５ａ，６ａを絶縁樹脂層７の表面の一部に露出してその同一面上に接着剤層８を介して無電解めっき法によって金属銅を析出して形成した配線回路導体層９によって回路素子間を電気的に相互接続した電子回路装置を構成した。

4

【００１７】以上のように本実施例によれば、電子回路を構成するのに必要な各種回路素子５，６が絶縁樹脂７中に埋設され、その外部電極端子層５ａ，５ｂ間が接着剤層７を介した金属銅配線によって直接相互接続された構造となるので、配線回路導体層の接着性が向上すると共に低抵抗で回路素子間の相互接続化がはかれる利点の他に、電子回路装置全体の薄型化と同時に回路素子５，６間の高密度な接続が可能となり、しかも回路素子５，６の接続にはんだ付けを必要としないので使用する回路素子５，６の構成材料や構造的制約がなく、膨脹係数の異なる回路素子５，６でも接続の信頼性に優れた電子回路装置が得られるものである。

【００１８】（実施例２）以下、本発明の第２の実施例について説明する。

【００１９】図２は本発明の第２の実施例における電子回路装置の断面図である。図２において５，６は回路素子、５ａ，６ａは回路素子の外部電極端子層、７は絶縁樹脂層、８は接着剤層、９は配線回路導体層で、以上は実施例１と同様なものである。図１の構成と異なるのは回路素子５，６を埋設した絶縁樹脂層７の主面に設ける配線回路導体層９を層間絶縁樹脂層１０を介して多層状に構成して回路の高密度化をはかった点である。

【００２０】本実施例ではこの層間絶縁層１０として感光性を有するアクリル樹脂やエポキシ樹脂、さらにはポリイミド樹脂を使用し、これらの樹脂を絶縁樹脂層に形成した第１の配線回路導体面に塗布した後、この層間絶縁樹脂層１０をレーザー光や紫外線露光によって接続を必要とする部分に微細な穴（ブラインドスルーホール）を開け、層間絶縁層１０の表面に無電解銅めっき法によって第２の配線回路導体層９ａを構成し微細穴を通して層間の配線回路導体層９と９ａを電気的に相互接続して多層配線化したものである。

【００２１】以上のように本実施例によれば、回路素子５，６を埋設した絶縁樹脂層７の表面に配線回路導体層９，９ａを多層状に構成することによって、電子回路の高密度化がはかれる効果が得られるものである。

【００２２】（実施例３）以下、本発明の第３の実施例について図面を参照しながら説明する。

【００２３】図３は本発明の第３の実施例を示す断面図である。図３において５，６は回路素子、５ａ，６ａは回路素子の外部電極端子層、７は絶縁樹脂層、８は接着剤層、９は配線回路導体層で、以上は図１の構成と同様なものである。図１と異なるのは絶縁樹脂中に例えば銅

5

線等の金属線から成る導電体１１を埋設して絶縁樹脂層７の表裏両面にこの導電体１１の両端を露出して、配線回路導体層９を絶縁樹脂７の表裏両面層に構成した点である。

【００２４】以上のように構成された電子回路装置は配線回路導体層９が回路素子５，６を埋設した絶縁樹脂層７の両面に構成されるため、回路設計の自由度が向上すると共に回路の高密度化がはかれるという効果が得られるものである。

【００２５】（実施例４）以下、本発明の第４の実施例について図面を参照しながら説明する。

【００２６】図４は本発明の第４の実施例を示す電子回路装置の断面図である。図４において５，６は回路素子、５ａ，６ａは回路素子の外部電極端子層、７は絶縁樹脂層、８は接着剤層、９は配線回路導体層で、以上は図１の構成と同様なものである。図１と異なるのは配線回路導体層９の任意の位置に部分的に突起状の導体層１２を設け、電子回路装置の外部接続端子層を設けた点である。

【００２７】以上のように構成された電子回路装置は、この電子回路装置を一つの機能回路ブロック体や複合回路素子として、これを通常のマザープリント配線板（ガラスエポキシ基板等）に実装して大規模な電子回路装置を構成する場合、突起状導体層１２がマザープリント配線板への高密度はんだ接合を実現すると共に、これらの回路ブロック体を構成する各種回路素子間がはんだ接続された構造でないので、マザープリント配線板へのはんだ付け温度の制約がなく、回路ブロック体の回路素子間相互の接続の信頼性が得られるものである。

【００２８】（実施例５）以下、本発明の第５の実施例について図面を参照しながら説明する。

【００２９】図５は本発明の第５の実施例を示す電子回路装置の断面図である。図５において５，６は回路素子、５ａ，６ａは回路素子の外部電極端子層、７は絶縁樹脂層、８は接着剤層、９は配線回路導体層で以上は実施例１と同様なものである。図１の構成と異なるのは回路素子５，６を埋設した絶縁樹脂層７の主面上に設けた配線回路導体層９に半導体ＩＣチップ１３を搭載してその外部電極端子と配線回路導体層９を金線等の金属細線１４でワイヤーボンディング法によって電気的に接続し、半導体ＩＣチップ１３の周辺部をエポキシ樹脂等のモールド樹脂１５で被覆して電子回路を構成したものであり、回路素子を立体的に配置して回路の高密度化をはかったものである。なお、本実施例では絶縁樹脂７中に抵抗，コンデンサ，コイル等の受動回路素子５，６を埋設したが、半導体ＩＣチップ１３を絶縁樹脂７中に埋設し、最外層に受動回路素子５，６を搭載して配線回路導体層９と電気的に接続した構成であってもよい。

【００３０】（実施例６）以下、本発明の第６の実施例について図面を参照しながら説明する。

6

【００３１】図６は本発明の第６の実施例を示す電子回路装置の断面図である。図６において５，６は回路素子、５ａ，６ａは回路素子の外部電極端子層、７は絶縁樹脂層、８は接着剤層、９は配線回路導体層で、以上は図１の構成と同様なものである。図１の構成と異なるのは回路素子５，６を埋設した絶縁樹脂成型体を１つの回路ブロック体として、さらに同種構造の回路ブロック体を接着剤１６を介して多段状に積層し、その積層体の所定の位置に貫通穴１７を開け、その内壁面を無電解めっき法によって導通化することにより双方の配線回路導体層９間を電気的に接続した点である。

【００３２】以上のように、電子回路をいくつかの回路ブロックに分割して各回路ブロックを構成する回路素子５，６をそれぞれ絶縁樹脂７に埋設してその表面に配線回路導体層９を形成して複数の回路ブロック体を構成し、この複数の回路ブロック体を多段状に積層し、積層体に貫通穴１７を設けてその内壁面を導通化することによって、回路素子５，６が多層状に立体的に配置された電子回路が構成されるので、回路のより一層の高密度化がはかれる効果が得られるものである。

【００３３】（実施例７）以下、本発明の第７の実施例について図面を参照しながら説明する。

【００３４】図７（Ａ）～（Ｃ）は本発明の第７の実施例を示す電子回路装置の製造工程断面図である。図７（Ａ）～（Ｃ）において５，６は回路素子、５ａ，６ａは回路素子の外部電極端子層、７は絶縁樹脂、８は接着剤層、９は配線回路導体層、１８は支持基板である。以上のように構成された電子回路装置についてその製造方法の詳細を図７（Ａ）～（Ｃ）にもとづいて説明する。

【００３５】本実施例では、先ず図７（Ａ）に示すように、表面に離形性の塗膜を有するポリエステルフィルムや表面が鏡面状態を有する金属基板として、例えばステンレス基板から成る支持基板１８の一方の主面上に、例えばエポキシ系やアクリル系の樹脂から成る接着剤層８を塗布する。その接着剤層８が未硬化の状態で表面に電子回路を構成するのに必要な各種回路素子５，６として、例えばリードレスタイプの積層型のセラミックコンデンサやチップ抵抗器等をその外部電極端子層５ａ，６ａが支持基板１８に接するように所定の位置に配置して固定し、次いで図７（Ｂ）に示すように回路素子搭載面に絶縁樹脂７を被覆して硬化させることにより回路素子５，６を完全に埋設する。そして図７（Ｃ）に示すように、支持基板１８を絶縁樹脂７から剥離し、その剥離面に転写され残留した接着剤層８を、例えばエキシマレーザーを用いて回路素子５，６の外部電極端子層５ａ，６ａが露出するように微細孔を開けるか、または絶縁樹脂層の表面層を研摩して、回路素子５，６の外部電極端子層５ａ，６ａを露出させ、その同一面上の接着剤層８の表面に所望とする配線回路導体層９を形成して回路素子間を相互接続し電子回路を構成した。

7

【００３６】この場合、回路素子５，６はリードレスタイプに限定されるものではなく、例えばアルミ電解コンデンサやＤＩＬ型の半導体ＩＣパッケージのようなリード線を外部接続端子とした回路素子をリードレスタイプのものと混合して使用することも可能であることはいうまでもない。

【００３７】なお、これらの各種回路素子５，６を埋設する絶縁樹脂７は、エポキシ樹脂やアクリル樹脂，フェノール樹脂等の熱硬化樹脂以外に、ポリカーボネート樹脂，ポリイミド樹脂，ポリエチレンサルファイド樹脂（ＰＥＳ），ポリフェニレンサルファイド樹脂（ＰＰＳ），ポリエーテルイミド（ＰＥＩ），液晶ポリマー等の熱可塑性樹脂等幅広い樹脂が使用可能であるが、本実施例ではこれらの樹脂の内、特にエポキシ樹脂を使用し、硬化収縮性や熱膨脹性を改善するためにこの樹脂の中にアルミナやシリカ等の無機質充填剤を混練したものを使用して注型法やトランスファー成型法によって回路素子５，６を所定の位置に埋設した。

【００３８】また、この回路素子５，６を埋設した絶縁樹脂層７の表面層に被覆された接着剤層８をプラズマ等の物理的方法やクロム酸や過マンガン酸カリウムによる化学的エッチング手法によってその表面を粗面化し、その後に活性化処理によって金属パラジウムの微粒子核から成る無電解めっきの触媒を付与し、無電解銅めっきや無電解ニッケルめっきを行って接着剤層８の全面を金属化して最終的にフォトエッチング法によって必要とする回路導体層９を形成すると同時に回路素子間を電気的に相互接続した電子回路装置を構成してもよい。

【００３９】また、回路素子を埋設した絶縁樹脂層を金属化するにあたっては上述した無電解めっき法以外に、真空蒸着法，スパッタリング法，イオンプレーティング法等の物理的手法によっても行った。

【００４０】以上のような方法で製造された電子回路装置は、回路素子を予め支持基板上の所定の位置に配置してから絶縁樹脂中に埋設するため、回路素子間の相対的位置関係が正確に保たれ、かつ回路素子の形状寸法や外部接続端子構造に関係なく絶縁樹脂中に埋設できるという特徴が得られると共に、回路導体層が絶縁樹脂表面に設けた接着剤層によって強固な密着性が実現され信頼性に優れた電子回路装置が得られるものである。

【００４１】また、本発明の他の実施例では、支持基板１８上に予め導電性樹脂等で所望とする配線回路導体層を形成し、この配線回路導体面の所定の位置に回路素子を搭載してその外部電極端子層と配線回路導体層とを電気的に接続させてから回路素子を絶縁樹脂で埋設して、支持基板を剥離し回路導体層を絶縁樹脂層上に転写すると共に無電解めっきを行って導電性樹脂の表面に低抵抗の導体層を形成する方法を実施した。この方法によれば、回路素子を絶縁樹脂に埋設する前にその電気的接続状態を確認できるので製造歩留まりが大幅に向上できる

8

効果が得られるものである。

【００４２】

【発明の効果】以上のように本発明は、電子回路を構成するのに必要な寸法形状、外部電極端子構造の異なる各種回路素子を絶縁樹脂の所定の位置に埋設し、その外部電極端子層の一部を絶縁樹脂層の表面に露出してその同一面上に金属層による所望とする配線回路導体層を直接設けて回路素子間を電気的に相互接続して電子回路を構成した電子回路装置である。

【００４３】従って、本発明による電子回路装置は回路素子間が低抵抗の金属によって直接相互接続された構成となるので、従来例のようにプリント配線板の回路導体層と各種回路素子のはんだ接続に比べて接続部の低抵抗化がはかれると共に、はんだ付け作業にまつわる種々の問題点、例えば使用する回路素子のはんだ耐熱性や性能劣化が解消され、かつ構成された電子装置全体の薄型化や軽量化がはかられ、回路素子間の高密度でかつ信頼性の高い接続を可能とする効果が得られるものである。

【図面の簡単な説明】

【図１】本発明の第１の実施例における電子回路装置の断面図

【図２】本発明の第２の実施例における電子回路装置の断面図

【図３】本発明の第３の実施例における電子回路装置の断面図

【図４】本発明の第４の実施例における電子回路装置の断面図

【図５】本発明の第５の実施例における電子回路装置の断面図

【図６】本発明の第６の実施例における電子回路装置の断面図

【図７】（Ａ）～（Ｃ）は本発明の第６の実施例における電子回路装置の製造方法を説明するための製造工程断面図

【図８】従来例による電子回路装置の断面図

【符号の説明】

５，６　回路素子

５ａ，６ａ　回路素子の外部電極端子層

７　絶縁樹脂層

８　接着剤層

９　配線回路導体層

９ａ　第２配線回路導体層

１０　層間絶縁層

１１　導電体層

１２　突起上導体層（外部接続端子層）

１３　半導体ＩＣチップ

１４　金属細線

１５　モールド樹脂

１６　回路ブロック体の接着剤層

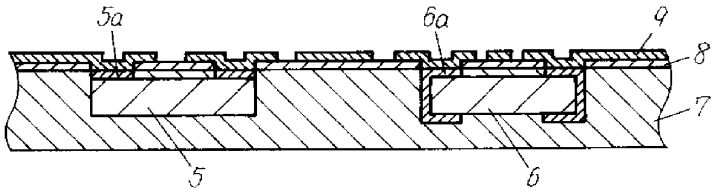
１７　貫通穴

9　　10

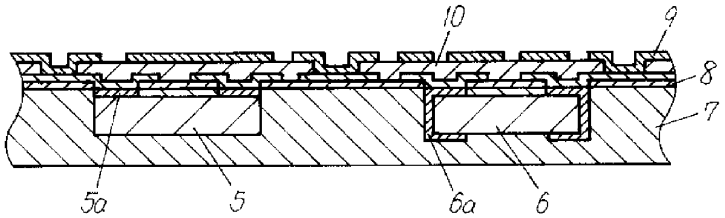
１８　支持基板

【図１】

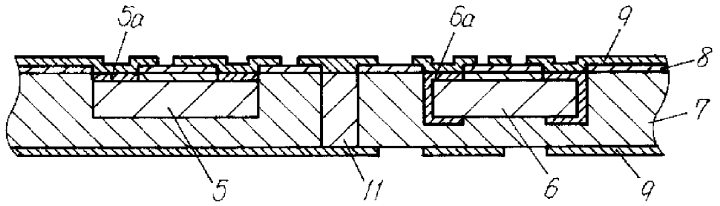
5,6　回路素子　　7　絶縁樹脂層
5a,6a　回路素子の外部電極端子層　　8　接着剤層
9　配線回路導体層



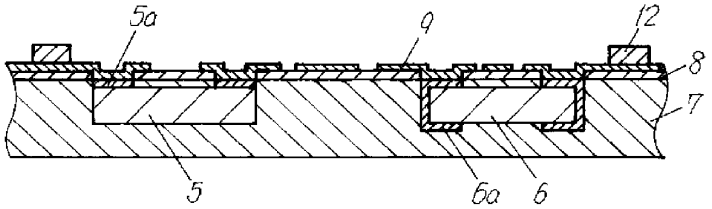
【図２】



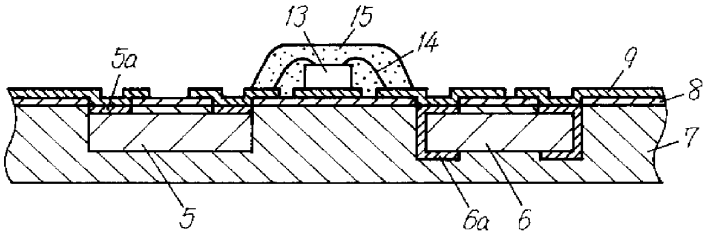
【図３】



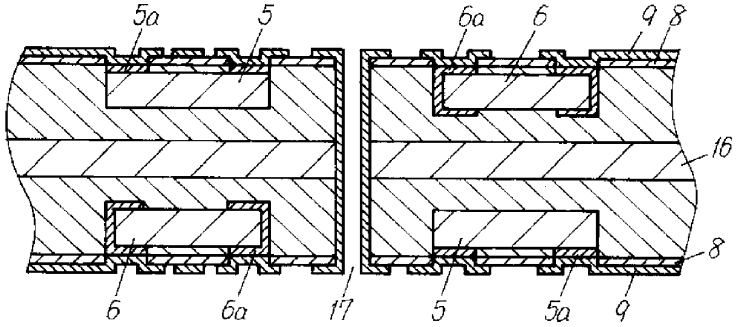
【図４】



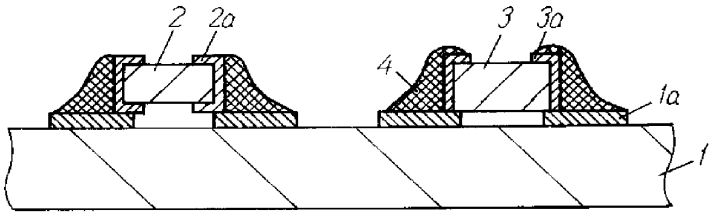
【図５】



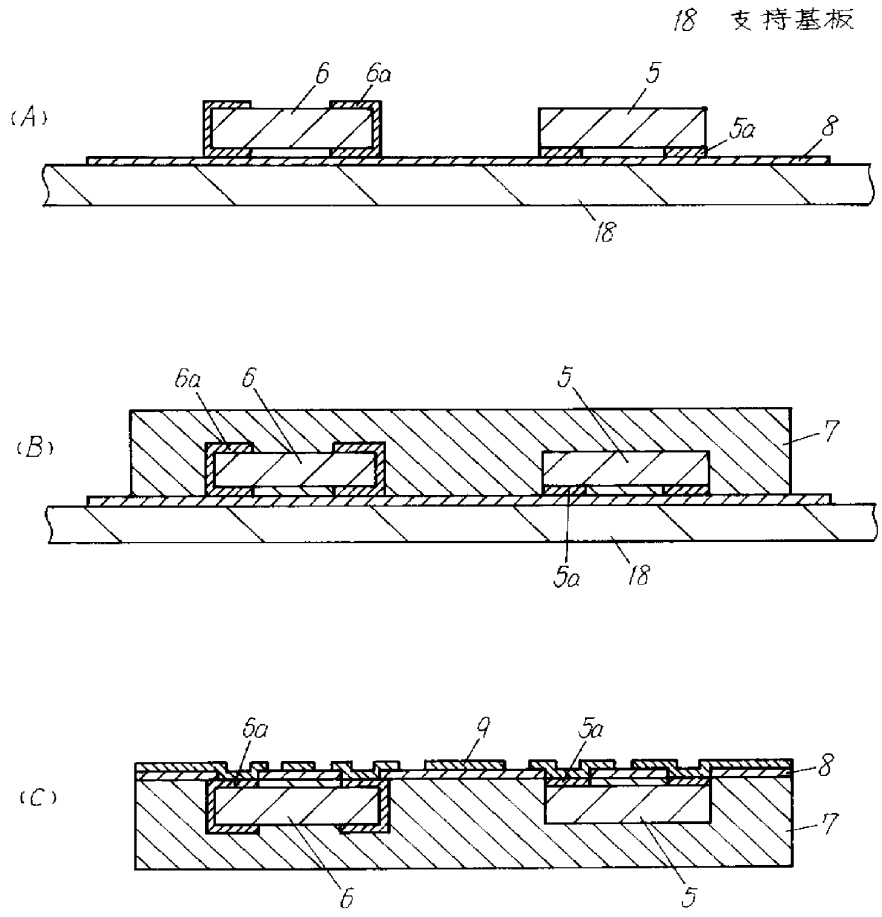
【図６】



【図８】



【図７】



フロントページの続き

(72)発明者　十河　寛
大阪府門真市大字門真1006番地　松下電器産業株式会社内

(72)発明者　小島　環生
大阪府門真市大字門真1006番地　松下電器産業株式会社内

(19) Japan Patent Office (JP)

(12) **KOKAI TOKKYO KOHO (A)**

(11) Unexamined Patent Application Publication No. Tokkai Hei4-283987
(43) Publication date: Heisei14 (1992) October 8

(51) Int. Cl.[5]	ID No.	Reference No.	F1	Technical Display
H05K 1/18		Q 6736-4E		
3/20		A 6736-4E		
3/28		G 6736-4E		
3/46		Q 6921-4E		

Examination: Not yet applied for Claim 10 (Total 8 Pages)

(21) Application No.: Tokugan Hei3-47899

(22) Application Date: Heisei13 (1991) March 13

(71) Applicant 000005821
Matsushiota Electric Industry Co., Ltd.
1006 Oaza, Kadoma,
Kadoma City, Osaka

(72) Inventor NAKAMURA HISASHI
Matsushiota Electric Industry Co., Ltd.
1006 Oaza, Kadoma,
Kadoma City, Osaka

(72) Inventor HASEGAWA HIROSHI
Matsushiota Electric Industry Co., Ltd.
1006 Oaza, Kadoma,
Kadoma City, Osaka

(72) Inventor ISOZAKI YASUTO
Matsushiota Electric Industry Co., Ltd.
1006 Oaza, Kadoma,
Kadoma City, Osaka

(74) Agent Patent Attorney: xxx Akira (Others: 2)

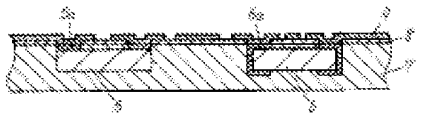
Continued on last page

(54) [Title of Invention] Electronic circuit device and manufacturing thereof

(57): [Summary]:

[Objective].To enable a problem of realization of high density and reliability of electrical connection between circuit elements to be solved when constituting an electronic circuit by performing solder-connection of the circuit elements to a conventional printed-wiring board and then provide for an electronic circuit device which is superb in realization of high density of the circuit and reliability of electrical connection between the circuit elements in the electronic circuit device which is used for a wide range of electronic equipment;
[Constitution] Various kinds of circuit elements 5 and 6 constituting an electronic circuit are buried at a specified position of an insulation resin layer 7 and external electrode terminal layers 5a and 6a of the circuit elements 5 and 6 which are exposed at one portion of the surface are electrically connected by a wiring circuit conductor layer 9 and then the circuit elements 5 and 6 are directly connected by the wiring circuit conductor layer 9 electrically, thus enabling a high–density circuit to be constituted as compared with a solder connection method and at the same time obtaining an effect for improving reliability in connection between the circuit elements since no solder connection is required

5, 6: Circuit elements
5a, 6a: External electrode terminal layers of circuit elements
7: Insulation resin layer
8: Binder layer
9: Wiring circuit conductor layer



[Claims]

[Claim 1] An electronic circuit device wherein a plurality of circuit elements is buried at a specified position of an insulation resin layer in a manner that some portion of the external electrode terminals thereof are exposed on the surface and the circuit elements are interconnected electrically by providing a desired wiring circuit conductor layer at least on one principal surface of the insulation resin layer;

[Claim 2] An electronic circuit device according to claim 1, wherein external electrode terminals of the circuit elements are leadless or provided with a lead wire and the circuit elements provided with same kind or different kinds of external electrode terminal layer are buried;

[Claim 3] An electronic circuit device according to claim 1, wherein the wiring circuit conductor layer comprises a conductive metal layer deposited by an electroless plating method;

[Claim 4] An electronic circuit device according to claim 1, wherein the wiring circuit conductor layer is made multilayered through an insulation resin layer on one principal surface of the insulation resin layer with buried circuit elements;

[Claim 5] An electronic circuit device according to claim 1, wherein a desired wiring circuit conductor layer is provided on both sides (front and back) of an insulation resin molding with circuit elements and a conductor layer buried at a specified position;

[Claim 6] An electronic circuit device according to claim 1, wherein a conductor layer projected in a part of the wiring circuit conductor layer is provided as an external connection terminal;

[Claim 7] An electronic circuit device according to claim 1, wherein a semiconductor IC chip is loaded on the surface of the wiring circuit conductor of the outermost layer and connected electrically to the wiring circuit conductor layer;

[Claim 8] An electronic circuit device according to claim 1, wherein a plurality of insulation resin layers, wherein a plurality of circuit elements is buried at a specified position and the circuit elements are interconnected electrically by providing a desired wiring circuit conductor layer at least on one principal surface of the insulation resin layer, are laminated in a multistage form and the respective wiring circuit conductor layers are interconnected by making the through holes provided in the laminated body conductive;

[Claim 9] A method for manufacturing an electronic circuit device, wherein an adhesive is applied on a smooth base material having excellent mold releasing property, a plurality of circuit elements is loaded in a specified position of the adhesive layer and an external connection terminals layer thereof is fixed in contact with the base material, surface of the circuit elements is completely buried in an insulation resin layer, thereafter the base material is exfoliated from the

insulation resin layer with buried circuit elements, a part of the external electrode terminal layer of the circuit elements is exposed from the detached surface so as to provided a desired wiring circuit conductor layer on its surface and the circuit elements are interconnected electrically;

[Claim 10] A method for manufacturing an electronic circuit device, wherein a wiring circuit conductor layer is formed beforehand on a base material, the wiring circuit conductor layer and all circuit elements are interconnected electrically, thereafter it is exfoliated from an insulation resin layer with buried circuit elements and the wiring circuit conductor layer is transferred to a synthetic resin molding.

[Detailed description of the invention]

[0001]

[Field of industrial uses] The invention relates to an electronic circuit device used for a wide range of electronic equipment and manufacturing thereof.

[0002]

[Conventional technology] In recent years, with an increased demand of miniaturization, reduction of weight, high efficiency and high performance of electronic equipment, realization of high density of an electronic circuit became necessary and indispensable.

[0003] In view of the abovementioned condition, recently different packing methods have been proposed for realization of high density of electronic circuit. A form of packing of an electronic circuit device most commonly carried out up to now is shown in Fig.8.

[0004] In Fig.8, 1 represents a printed circuit board, 1a a circuit conductor layer of the printed circuit board 1, 2 and 3 represent circuit elements, 2a and 3a external electrode terminals of the circuit elements 2 and 3 and 4 a solder metal.

[0005] In this electronic circuit device, passive circuit elements such as resistor, condenser, coil, etc., and active circuit elements (external electrode terminals are either leadless type or provided with a lead wire) such as transistor, semiconductor IC, etc., are loaded in respective specified positions on the printed circuit board as the circuit elements 2 and 3 required for constituting an electronic circuit, the external electrode terminals 2a and 3a of the circuit elements 2 and 3 respectively and the circuit conductor layer 1a are connected electrically by a solder metal 4 by a soldering method.

[0006]

[Problem to be solved by the invention] In the abovementioned example of packing, since the circuit elements 2 and 3 are loaded on a printed circuit board and then connected by soldering, it had been difficult from the beginning to reduce resistance of an electrical connection of the

circuit elements 2 and 3 and thickness of a constituted electronic circuit device becomes equal to thickness of the circuit elements 2 and 3 and that of the printed circuit board 1. Accordingly, not only thinning of a circuit is difficult, area of soldering of the circuit elements 2 and 3 on the printed circuit board 1 increases and realization of high density and reduction of weight of an electronic circuit are difficult. Moreover, in a conventional packing, material and structure of the circuit elements 2 and 3 must be capable of withstanding the soldering temperature. If there is a large difference between the coefficient of thermal expansion of the printed circuit board 1 and that of the circuit elements 2 and 3, cracks may develop on the soldered surface due to thermal shock, particularly when leadless type circuit elements 2 and 3 are packed on the printed circuit board 1.

[0007] This invention was carried out to solve the existing problems discussed above; it aims at providing a thin and miniaturized electronic circuit device, which is superb in realization of high density of the circuit and reliability of electrical connection between the circuit elements without any limitation of the used circuit elements.

[0008]

[Means for solving the problem] For achieving the abovementioned objective, the invention provides an electronic circuit device wherein a plurality of different types of circuit elements, having different shape, dimensions and external electrode terminal structure, is buried at a specified position of an insulation resin layer in a manner that some portion of the external electrode terminals thereof is exposed on the same surface and the circuit elements are interconnected electrically by providing a necessary metal wiring circuit conductor layer at the main principal surface of the insulation resin layer.

[0009]

[Function] According to the invention, an electronic circuit device is constituted by electrically interconnecting the circuit elements by using a low-resistance metal, wherein soldering of a plurality of various kinds of circuit elements having different shape, dimensions and external electrode terminal structure is not required. Accordingly, low resistance of interconnection of the circuit elements and thinning of the electronic circuit can be realized and thereby a miniaturized high-density electronic circuit device with excellent reliability of interconnection of the circuit elements can be obtained.

[0010]

[Embodiments] (Embodiment 1) An electronic circuit device relating to an embodiment of the invention is explained below with the help of a diagram.

[0011] Fig.1 is a sectional view of an electronic circuit device relating to embodiment 1 of the invention. In Fig.1, 5 and 6 represent various kinds of circuit elements required for constituting an electronic circuit, 5a and 6a external electrode terminal layers of the circuit elements, 7 an insulation resin layer, 8 a binder layer and 9 and a wiring circuit conductor layer.

[0012] Brief description of an embodiment relating to an electronic circuit device having abovementioned configuration is given below with reference to Fig.1.

[0013] In this embodiment, as shown in Fig.1, passive elements such as condenser, coil, etc., having optional dimensional shape and external electrode terminal structure and active elements such as semiconductor IC, etc., have been used as various kinds of circuit elements 5 and 6 for constituting an electronic circuit. A plurality of these circuit elements 5 and 6 are buried at a specified position of an insulation resin layer 7, external electrode terminal layers 5a and 6a of the circuit elements 5 and 6 are exposed at one portion of the surface of the insulation resin layer 7 and, at the same time, the circuit elements 5 and 6 are electrically interconnected by providing a wiring circuit conductor layer 9 through binder layer 8 on the same surface.

[0014] There is no specific restriction on the material, shape and dimensions of the circuit elements 5 and 6 and structure of the external electrode terminals 5a and 6a. For example a wide range of circuit elements comprising aluminium electrolytic condenser provided with a lead wire, carbon film resistor, DIL type semiconductor IC package and very small leadless type chip resistor, demand of which suddenly increased recently to fulfill the need of miniaturization of circuits, laminated ceramic chip condenser, chip type laminated coil, chip carrier type semiconductor IC, etc., can be used.

[0015] In this embodiment, an electronic circuit had been constituted, as shown in Fig.1, by using a leadless type chip condenser as a circuit element 5 and a chip condenser as a circuit element 6; the circuit elements 5 and 6 are buried at a specified position of an insulation resin layer 7 mainly made of epoxy resin, external electrode terminal layers 5a and 6a of the circuit elements 5 and 6 are exposed at one portion of the surface and the circuit elements 5 and 6 have been electrically interconnected by providing a wiring circuit conductor layer 9 of metallic copper deposited by electroless plating method on the same surface..

[0016] In another embodiment, an electronic circuit device had been constituted by mixing electrolytic condenser provided with a lead wire and semiconductor IC packaged in resin or leadless type chip resistor and chip condenser, etc., and using them as circuit elements 5 and 6; these circuit elements are buried at a specified position of an insulation resin layer 7, respective external electrode terminal layers 5a and 6a are exposed at one portion of the surface of the

insulation resin layer 7 and the circuit elements are electrically interconnected by providing a wiring circuit conductor layer 9 formed by depositing metallic copper by electroless plating method through the binder layer 8 on the same surface

[0017] According to the embodiments described above, since the circuit elements 5 and 6 used for constituting the electronic circuit are buried in the insulation resin layer 7 and their external electrode terminals 5a and 6a are directly interconnected through the binder layer 8, adhesive property of the wiring circuit conductor layer is improved and, at the same time, interconnection of the circuit elements with low resistance is realized. Moreover, thinning of the whole electronic circuit device and, at the same time, high-density interconnection of the circuit elements 5 and 6 become possible. Further, since soldering is not required for interconnecting the circuit elements 5 and 6, there is no restriction on the material and structure of the circuit elements 5 and 6 to be used and an electronic circuit device with an excellent reliability of interconnection could be obtained even by using the circuit elements 5 and 6 having different expansion coefficients.

[0018] (Embodiment 2) Embodiment 2 of the invention is explained below.

[0019] Fig.2 is a sectional view of an electronic circuit device relating to embodiment 2 of the invention. In Fig.2, 5 and 6 represent the circuit elements, 5a and 6a external electrode terminal layers of the circuit elements, 7 an insulation resin layer, 8 a binder layer and 9 a wiring circuit conductor layer and the remaining constituents are the same as described in embodiment 1. This configuration is different from that shown in Fig.1 in that here the wiring circuit conductor layer 9 provided on the principal surface of the insulation resin layer 7 with buried circuit elements 5 and 6 is made multilayered through a layered insulation resin layer 10 and thereby density of the circuit is increased.

[0020] In this embodiment, photosensitive acrylic resin, epoxy resin and polyimide resin have been used as layered insulation resin layer 10. These resins are applied on the first wiring circuit conductor layer 9 formed on the insulation resin layer. Thereafter, fine holes (blind through holes) are made in the layered insulation resin layer 10 in the portions, where connection is to be made, with help of a laser beam and ultraviolet exposure, the second wiring circuit conductor layer 9a is formed on the surface of the layered insulation resin layer 10 and the wiring circuit conductor layers 9 and 9a are interconnected through the fine holes to obtain a multilayered wiring structure.

[0021] As described above, according to this embodiment, high density of an electronic circuit is realized by forming the wiring circuit conductor layers 9 and 9a on surface of the insulation resin layer 7 with buried circuit elements 5 and 6.

[0022] (Embodiment 3) Embodiment 3 of the invention is explained below with the help of a diagram.

[0023] Fig.3 is a sectional view of an electronic circuit device relating to embodiment 3 of the invention. In Fig.3, 5 and 6 represent the circuit elements, 5a and 6a external electrode terminal layers of the circuit elements, 7 an insulation resin layer, 8 a binder layer and 9 a wiring circuit conductor layer and the remaining constituents are the same as described in embodiment 1. This configuration is different from that shown in Fig.1 in that here a conductor layer 11 formed from a metal wire such as copper wire is buried inside the insulation resin layer and both ends of the conductor layer 11 are exposed on both sides (front and back) of the insulation resin layer 7 so as to form the wiring circuit conductor layer 9 on both sides (front and back) of the insulation resin layer 7.

[0024] In an electronic circuit device having the abovementioned configuration, since the wiring circuit conductor layer 9 is formed on both sides of the insulation resin layer 7 with buried circuit elements 5 and 6, freedom of circuit designing is improved and, at the same time, density of the circuit is increased.

[0025] (Embodiment 4) Embodiment 4 of the invention is explained below with the help of a diagram.

[0026] Fig.4 is a sectional view of an electronic circuit device relating to embodiment 4 of the invention. In Fig.4, 5 and 6 represent the circuit elements, 5a and 6a external electrode terminal layers of the circuit elements, 7 an insulation resin layer, 8 a binder layer and 9 a wiring circuit conductor layer and the remaining constituents are the same as described in embodiment 1. This configuration is different from that shown in Fig.1 in that here a projected conductor layer 12 is provided in some part in an optional position of the wiring circuit conductor layer 9 so as to provide an external connection terminal layer of the electronic circuit device.

[0027] If a large-scale electronic circuit device is constituted by using an electronic circuit device having the abovementioned configuration as one-function circuit block and a hybrid circuit element and mounting it on an ordinary mother printed circuit board (glass epoxy board, etc.), since the projected conductor layer 12 enables realization of a high-density solder junction onto the mother printed circuit board and, at the same time, various kinds of circuit elements constituting the circuit block are interconnected by soldering, there is no restriction on the temperature to be maintained for carrying out soldering onto the mother printed circuit board and reliability of the interconnection of the circuit elements of the circuit block is obtained.

[0028] (Embodiment 5) Embodiment 5 of the invention is explained below with the help of a diagram.

[0029] Fig.5 is a sectional view of an electronic circuit device relating to embodiment 5 of the invention In Fig.5, 5 and 6 represent the circuit elements, 5a and 6a external electrode terminal layers of the circuit elements, 7 an insulation resin layer, 8 a binder layer and 9 a wiring circuit conductor layer and the remaining constituents are the same as described in embodiment 1. This configuration is different from that shown in Fig.1 in that here an electronic circuit is constituted by loading a semiconductor IC chip 13 on the wiring circuit conductor layer 9 provided on the principal surface of the insulation resin layer 7 with buried circuit elements 5 and 6, electrically interconnecting an external electrode terminal of the IC chip 13 and the wiring circuit conductor layer 9 through a metal wire 14 by wire bonding method and covering peripheral region of the semiconductor IC chip 13 with a molded resin 15 such as epoxy resin, etc., and thereby high density of the circuit is realized by three-dimensional disposition of the circuit elements. In this embodiment, passive circuit elements 5 and 6 such as resistor, condenser, coil, etc., were buried in the insulation resin layer 7, but a circuit can also be constituted by burying the semiconductor IC chip 13 in the insulation resin layer 7, loading active circuit elements 5 and 6 on the outermost layer and electrically connecting with the wiring circuit conductor layer 9.

[0030] (Embodiment 6) Embodiment 6 of the invention is explained below with the help of a diagram.

[0031] Fig.6 is a sectional view of an electronic circuit device relating to embodiment 6 of the invention. In Fig.6, 5 and 6 represent the circuit elements, 5a and 6a external electrode terminal layers of the circuit elements, 7 an insulation resin layer, 8 a binder layer and 9 a wiring circuit conductor layer and the remaining constituents are the same as described in embodiment 1. This configuration is different from that shown in Fig.1 in that here an insulation resin molding with buried circuit elements 5 and 6 is used as one circuit block, other circuit blocks having the same structure are laminated through a binder layer 16 to form a multistage structure, a through hole 17 is formed at specified position in the laminated structure and the two wiring circuit conductor layers 9 are electrically interconnected by making surface of inner wall thereof conductive by an electroless plating method.

[0032] As described above, a plurality of circuit blocks is constituted by partitioning an electronic circuit into several circuit blocks, burying the circuit elements 5 and 6 constituting each circuit block into the respective insulation resin layers 7 and forming the wiring circuit conductor layer 9 on surface thereof; the plurality of circuit blocks is laminated to obtain a

multistage structure, a through hole 17 is made in the laminated structure and surface of its inner wall is made conductive. In this manner, density of the circuit is further improved by multilayered three-dimensional disposition of the circuit elements 5 and 6 in an electronic circuit.

[0033] (Embodiment 7) Embodiment 7 of the invention is explained below with the help of diagrams.

[0034] Parts (A) ~ (C) of Fig.7 are sectional views of a manufacturing process for explaining a method for manufacturing an electronic circuit device relating to embodiment 7 of the invention. In parts (A) ~ (C) of Fig.7, 5 and 6 represent the circuit elements, 5a and 6a external electrode terminal layers of the circuit elements, 7 an insulation resin layer, 8 a binder layer, 9 a wiring circuit conductor layer and 18 a supporting substrate. Brief description of a method for manufacturing an electronic circuit device having the abovementioned configuration is given below with reference to parts (A) ~ (C) of Fig.7.

[0035] As shown in part (A) of Fig.7, a metal substrate used has a mirror like surface with a polyester film having mold releasing property applied thereon; for example, a binder layer 8 made of an epoxy resin or acrylic resin is applied on one principal surface of the supporting substrate 18, for example, made of stainless steel. The circuit elements 5 and 6 required for construction of the electronic circuit, for example, leadless type laminated ceramic condenser, chip resistor, etc., are disposed and fixed at a specified position on the surface of the supporting substrate, in a state wherein the binder layer is not yet hardened, in such a manner that external electrode terminal layers 5a and 6a of the circuit elements are in contact with the supporting substrate 18. Thereafter, as shown in part (B) of Fig.7, the circuit elements 5 and 6 are completely buried by providing and hardening the insulation resin layer 7 on the surface wherein the circuit elements are loaded. Next, as shown in part (C) of Fig.7, the supporting substrate 18 is exfoliated from the insulation resin layer 7, fine holes are made on the residual binder layer 8 transferred onto the detached surface by using an excimer so that the external electrode terminals 5a and 6a of the circuit elements 5 and 6 are exposed or surface of the insulation resin layer 7 is polished so as to expose the external electrode terminals 5a and 6a of the circuit elements 5 and 6 and the wiring circuit conductor layer 9 is formed on surface of the binder layer 8 on the same side so as to interconnect the circuit elements.

[0036] It is not necessary to use only leadless type circuit elements 5 and 6, i.e., it is needless to mention that external connection terminals provided with a lead wire comprising aluminium electrolytic condenser, DIL type semiconductor IC package, etc., can also be used in combination of the leadless type circuit elements.

[0037] A wide range of resins comprising thermosetting resins such as epoxy resin, acrylic resin, phenol resin, etc., and thermoplastic resins such as polycarbonate resin, polyimide resin, polyethylene sulfide resin (PES), polyphenylene sulfide resin (PPS), polyetherimide resin (PEI), liquid crystal polymer, etc., can be used for forming the insulation resin layer 7 wherein various kinds of circuit elements 5 and 6 are buried. Nevertheless, in this embodiment, especially epoxy resin has been used. For improving shrinkage on hardening and coefficient of thermal expansion, inorganic fillers such as alumina, silica, etc., were mixed with the resin and the circuit elements 5 and 6 were buried at the specified position by injecting and transfer molding methods.

[0038] An electronic circuit device can be constructed in the following manner also, wherein surface of a binder layer 8 provided on surface of an insulation resin layer 7 with buried circuit elements 5 and 6 is made rough by a physical method such as plasma, etc., and a chemical etching method using chromic acid and potassium permanganate, thereafter a catalyst for electroless plating comprising fine grains of palladium metal is provided thereon by activation process, whole surface of the binder layer 8 is made metallic by electroless copper plating and electroless nickel plating and finally a wiring circuit conductor layer 9 is formed by photoetching method and, at the same time, the circuit elements are electrically interconnected.

[0039] In addition to the abovementioned electroless plating methods, the physical methods comprising vacuum deposition method, spattering method, ion plating method, etc., were also used for making the insulation resin layer with buried circuit elements metallic.

[0040] In an electron circuit device, manufactured by abovementioned method, circuit elements are buried in an insulation resin layer after disposing them beforehand at a specified position on a supporting substrate. Therefore, relative positions of the circuit elements can be accurately maintained and the elements can be buried in the insulation resin layer irrespective of their shape, dimensions and structure of the external connection terminals. Moreover, the circuit conductor layer is firmly adhered to by the binder layer provided on the insulation resin surface and thereby reliability of the electronic circuit device becomes superb.

[0041] According to another embodiment of the invention, a desired wiring circuit conductor layer was formed beforehand by using conductive resin, etc., on a supporting substrate 18, circuit elements were loaded at a specified position on the wiring circuit conductor layer, external electrode terminal layers of the circuit elements and the wiring circuit conductor layer were electrically interconnected, then the circuit elements were buried in the insulation resin layer, the supporting substrate was exfoliated, the circuit conductor layer was transferred to the insulation resin layer and, at the same time, a low-resistance conductor layer was formed on surface of the

conductor resin by carrying out electroless plating. According to this method, since electrical connection of the circuit elements can be checked before burying them in the insulation resin layer, manufacturing yield can be significantly improved.

[0042]

[Effect of the invention] The invention provides an electronic circuit device, wherein various kinds of circuit elements having different shapes, dimensions and structure of external electrode terminals are buried at a specified position of an insulation resin layer, a portion of the external electrode terminal layer is exposed on surface of the insulation resin layer, a desired wiring circuit conductor layer is directly provided on the same surface with the help of a metal layer so as to electrically interconnect the circuit elements.

[0043] According to the invention, an electronic circuit device is constructed by directly interconnecting the circuit elements by using a low-resistance metal. Therefore, resistance of the connection is low as compared to that of a solder connection of the respective circuit elements and circuit conductor layer of a conventional printed circuit and, at the same time, various problems relating to soldering operation, for example, deterioration of performance and thermal endurance of solder of the circuit elements used are solved. Moreover, thinning and reduction of weight of the whole electronic circuit device are realized and thereby a miniaturized high-density electronic circuit device with excellent reliability of interconnection of the circuit elements can be obtained.

[Brief description of the drawings]

Fig.1 is a sectional view of an electronic circuit device relating to embodiment 1 of the invention

Fig.2 is a sectional view of an electronic circuit device relating to embodiment 2 of the invention

Fig.3 is a sectional view of an electronic circuit device relating to embodiment 3 of the invention

Fig.4 is a sectional view of an electronic circuit device relating to embodiment 4 of the invention

Fig.5 is a sectional view of an electronic circuit device relating to embodiment 5 of the invention

Fig.6 is a sectional view of an electronic circuit device relating to embodiment 6 of the invention

Parts (A) ~ (C) of Fig.7 are sectional views of manufacturing process for explaining a method for manufacturing an electronic circuit device relating to embodiment 7 of the invention

Fig.8 is a section view of a conventional electronic circuit device

[Explanation of signs]

5, 6	Circuit elements
5a, 6a	External electrode terminal layers of the circuit elements
7	Insulation resin layer
8	Binder layer
9	Wiring circuit conductor layer
9a	Second wiring circuit conductor layer
10	Layered insulation layer
11	Conductor layer
12	Projected top conductor layer (External connection terminals layer)
13	Semiconductor IC chip
14	Metal wire
15	Molded resin
16	Binder layer of circuit block
17	Through hole
18	Supporting substrate

Fig.1

5, 6: Circuit elements
5a, 6a: External electrode terminal layers of circuit elements
7: Insulation resin layer
8: Binder layer
9: Wiring circuit conductor layer

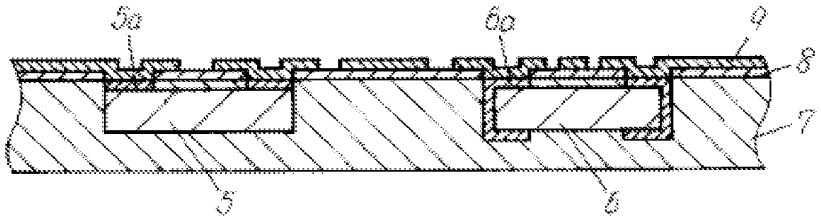


Fig.2

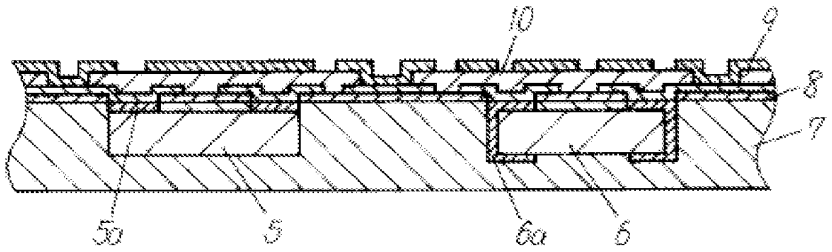


Fig.3

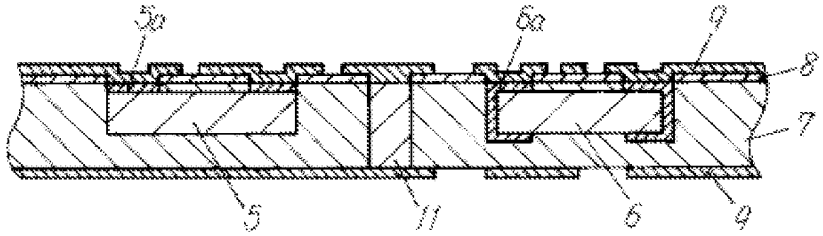


Fig.4

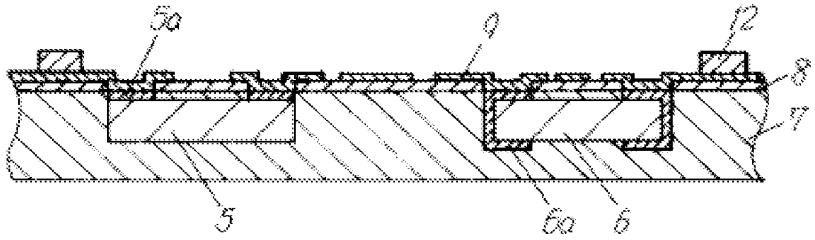


Fig.5

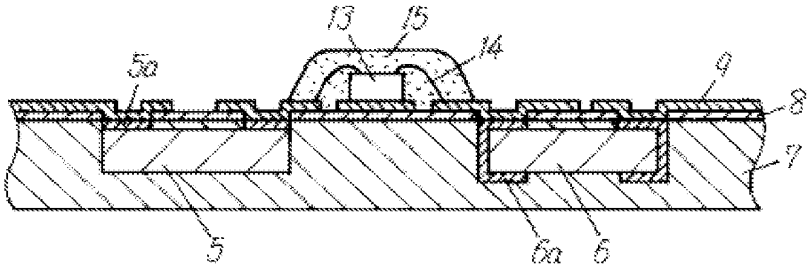


Fig.6

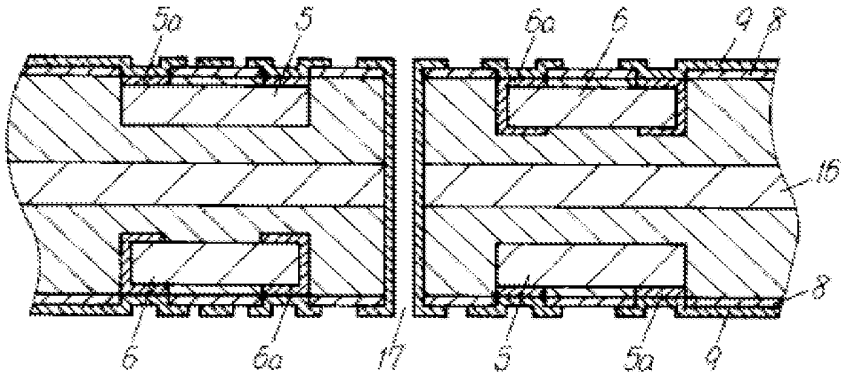


Fig.7

18: Supporting substrate

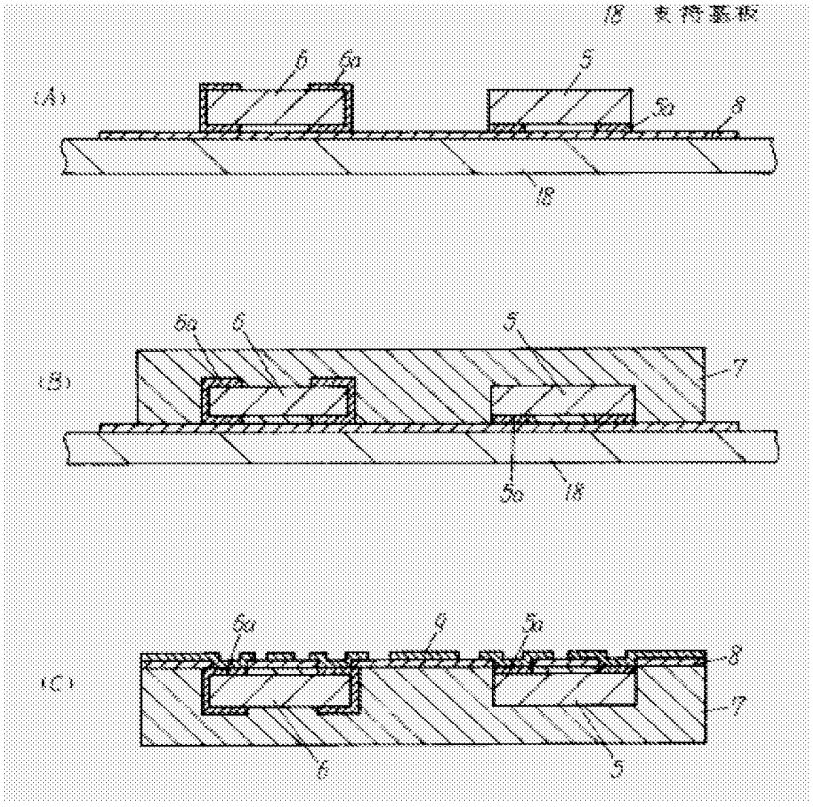
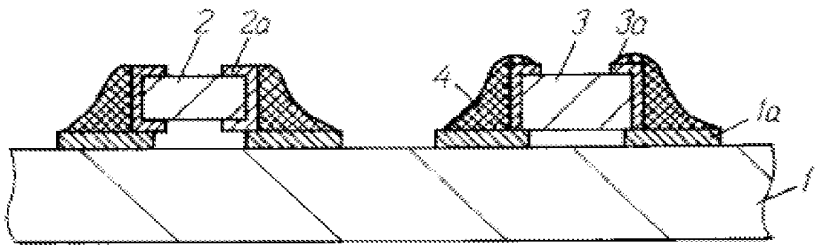


Fig.8



Continued from front page

(72) Inventor SOGO HIROSHI
Matsushiota Electric Industry Co., Ltd.
1006 Oaza, Kadoma,
Kadoma City, Osaka

(72) Inventor KOJIMA TAMAO
Matsushiota Electric Industry Co., Ltd.
1006 Oaza, Kadoma,
Kadoma City, Osaka

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号
特開2000－311229
（P2000－311229A）
(43)公開日　平成12年11月７日(2000.11.7)

(51)Int.Cl.⁷	識別記号	ＦＩ	ﾃｰﾏｺｰﾄﾞ(参考)
Ｇ０６Ｋ　19/077		Ｇ０６Ｋ　19/00	Ｋ　５Ｂ０３５

審査請求　未請求　請求項の数20　ＯＬ　（全　８　頁）

(21)出願番号　特願平11－119338

(22)出願日　平成11年４月27日(1999.4.27)

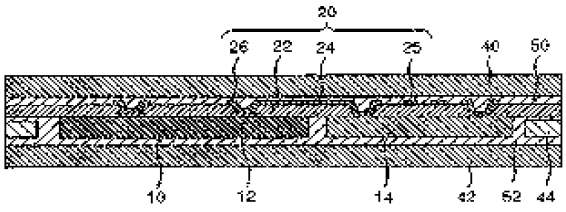
(71)出願人　000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目６番地
(72)発明者　坂口　勝
神奈川県横浜市戸塚区吉田町292番地　株式会社日立製作所生産技術研究所内
(72)発明者　松本　邦夫
神奈川県横浜市戸塚区吉田町292番地　株式会社日立製作所生産技術研究所内
(74)代理人　100061893
弁理士　高橋　明夫　（外１名）

最終頁に続く

(54)【発明の名称】　ＩＣカード及びその製造方法

(57)【要約】
【課題】　封止の作業性を改善し、接続パッドと電極の接続後、樹脂封止工程への移送時の接続不良を無くし、コストを低減できるＩＣカード及びその製造方法を提供する。
【解決手段】　配線基板２０の構成要素であるフィルムあるいはシート状の基材２２を直接封止材として使用する。また、半導体チップ１０と配線基板２０を接着固定した後に、ボンディングツールを接続パッド２６上に押し当てて超音波振動の印加と加圧によってパッド下部の基材を押し退けながら接続パッドと電極１２とを超音波接続する。

図　１



1

【特許請求の範囲】

【請求項１】表カバーシートと、裏カバーシートと、絶縁性の基材の一面に接続パットと配線導体とが配置された配線面と他面に基材部が露出した基材面を有する配線基板と、電極が配置された電極面が前記基材面に対向して配置された半導体チップとを備え．前記基材面と前記半導体チップの前記電極面とが密着され、前記接続パドが前記電極に接続された前記配線基板と前記半導体チップを前記表カバーシートと前記裏カバーシートとの間に配置してこれらと接着することを特徴とするＩＣカード。

【請求項２】配線基板に搭載された半導体チップを接着剤を介して表カバーシートと裏カバーシートで挟み込んだＩＣカードにおいて、基材の一面に回路パターン及び接続パッドが形成された前記配線基板と、表面に電極が形成された半導体チップとを備え、前記基材面に前記半導体チップの表面を密着させると共に．前記配線基板の接続パッドを前記半導体チップの電極と電気的に接続し．前記配線基板と半導体チップが接着層を介して、前記表カバーシートと裏カバーシートによって挟み込まれることを特徴とするＩＣカード。

【請求項３】請求項１または２記載のＩＣカードにおいて．前記半導体チップの表面と対向する前記基材面に接着膜を有することを特徴とするＩＣカード。

【請求項４】請求項１または２記載のＩＣカードにおいて．前記配線基板の前記基材は接着性樹脂で形成されることを特徴とするＩＣカード。

【請求項５】請求項１または２記載のＩＣカードにおいて．前記配線基板の前記接続パッドは前記基材を押し退け．凹状に構成され、前記半導体チップの前記電極と電気的に接続されることを特徴とするＩＣカード。

【請求項６】請求項１または２記載のＩＣカードにおいて．前記配線基板の前記接続パッドはアルミニウム、銅．ニッケル．金のいずれかを主成分とする金属及び銀．パラジウムのいずれかを主成分とする導電性ペーストで形成されていることを特徴とするＩＣカード。

【請求項７】請求項１または２記載のＩＣカードにおいて．前記半導体チップの前記電極がアルミニウム．銅、ニッケル、金のいずれかを主成分とする金属で形成されていることを特徴とするＩＣカード。

【請求項８】請求項１、２．３、４または５記載のＩＣカードにおいて．前記基材面に密着されたジャンパ配線と．前記基材の一面に配置された回路パターンと．前記回路パターンに接続された他の接続パッドとを設け、前記他の接続パッドと前記ジャンパ配線とを接続することを特徴とするＩＣカード。

【請求項９】請求項８記載のＩＣカードにおいて．前記ジャンパ配線として金属板または金属箔を用い．前記ジャンパ配線と前記回路パターンを立体交差させることを特徴とするＩＣカード。

2

【請求項１０】請求項１または２記載のＩＣカードにおいて．前記配線基板の前記基材はエポキシ系樹脂．ポリエステル系樹脂．塩化ビニール系樹脂．フッ素系樹脂、ポリエチレン系樹脂、ポリプロピレン系樹脂、スチレン系樹脂、ポリアミド系樹脂．ポリビニールアルコール系樹脂．ポリ塩化ビニリデン系樹脂、セルロース系樹脂、フェノール系樹脂のいずれかで形成されていることを特徴とするＩＣカード。

【請求項１１】基材の一面に接続パッドと配線導体を形成した配線面と他面に基材部が露出した基材部を配置した配線基板を設ける工程と．電極が設けられた半導体チップの電極面を前記基材面に対向して配置し、前記接続パッドと前記電極の位置合わせを行う工程と、前記基材面と前記半導体チップの前記電極面を接触させる工程と．ボンディングツールで前記接続パッドを加圧すると共に前記ボンディングツールを通して前記基材に超音波振動を印加し前記接続パッドと前記電極とを接続する工程と．前記配線基板と前記半導体チップを表カバーシートと裏カバーシートとで接着剤を介して挟み込む工程とを備えることを特徴とするＩＣカードの製造方法。

【請求項１２】基材の一面に接続パッドと配線導体を形成した配線面と他面に基材部が露出した基材部を配置した配線基板を設ける工程と．電極が設けられた半導体チップの電極面を前記基材面に対向して配置し、前記接続パッドと前記電極の位置合わせと行う工程と、前記基材面と前記半導体チップの前記電極面を接触させる工程と．ボンディングツールで前記接続パッドを加圧すると共に前記ボンディングツールを通して前記基材を加熱して前記接続パッドと前記電極を接続する工程と．前記配線基板と前記半導体チップを表カバーシートと裏カバーシートとで接着剤を介して挟み込む工程とを備えることを特徴とするＩＣカードの製造方法。

【請求項１３】配線基板の基材上に形成された接続パッドと．半導体チップ上に形成された電極と電気的に接続し．前記配線基板と前記半導体チップを、表カバーシートと裏カバーシートで挟み込んだＩＣカードの製造方法において、前記基材の一面に回路パターンと前記接続パッドを形成した前記配線基板の上方に、前記半導体チップの前記電極が前記基材面に対向するように配置する工程と、前記半導体チップの前記電極を、前記配線基板の前記接続パッドと位置合わせする工程と、前記配線基板と前記半導体チップを加圧して接着させる工程と、前記配線基板の前記接続パッド上に、ボンディングツールによって超音波振動を印加して前記接続パッドと前記半導体チップの前記電極を電気的に接続する工程と．前記配線基板及び前記半導体チップを表カバーシートと裏カバーシートによって挟み込み接着固定する工程とを備えることを特徴とするＩＣカードの製造方法。

【請求項１４】基材の一面に接続パッドと配線導体を配置した配線基板を設ける工程と、電極が設けられた半導

体チップの電極側を前記基材面に対向して配置し，前記接続パッドと前記電極の位置合わせと行う工程と，前記基材の他の面と前記半導体チップの前記電極が配置された面を接触させる工程と，ボンディングツールで前記接続パッドを加圧して前記接続パッドと前記電極と接続する工程と、前記配線基板に接続された前記半導体チップを表カバーシートと裏カバーシートとで接着剤介して挟み込む工程とを備えることを特徴とするＩＣカードの製造方法。

【請求項１５】請求項１３記載のＩＣカードの製造方法において、前記接続パッドと前記電極とを接続する工程は，前記ボンディングツールを用いて前記接続パッドを加圧する工程を備えることを特徴とするＩＣカードの製造方法。

【請求項１６】請求項１４記載のＩＣカードの製造方法において、前記接続パッドと前記電極とを接続する工程は，前記ボンディングツールを用いて前記配線基板の基材と前記半導体チップの表面を加熱することによって両者を接着させる工程を備えることを特徴とするＩＣカードの製造方法。

【請求項１７】請求項１１または１３記載のＩＣカードの製造方法において、前記接続パッドと前記電極とを接続する工程は，更に前記ボンディングツールによって、前記基材を加熱する工程を含むことを特徴とするＩＣカードの製造方法。

【請求項１８】請求項１２記載のＩＣカードの製造方法において、前記接続パッドと前記電極とを接続する工程は，更に前記ボンディングツールによって、前記基材に超音波振動を印加する工程を含むことを特徴とするＩＣカードの製造方法。

【請求項１９】請求項１１または１３記載のＩＣカードの製造方法において、前記接続パッドと前記電極とを接続する工程は，前記接続パッドが前記半導体チップの電極と接触するまでは前記接続パッド面に垂直方向の超音波振動を印加し，前記接続パッドが前記半導体チップの前記電極と接触した後は水平方向の超音波振動を印加する工程を備えることを特徴とするＩＣカードの製造方法。

【請求項２０】請求項１１，１２，１３または１４記載のＩＣカードの製造方法において、前記基材の一面に他の接続パッドを設ける工程と，前記基材面にジャンパ配線を接着させる工程とを設け，前記接続パッドと前記電極の接続工程において，前記接続パッドと前記ジャンパ配線も接続することを特徴とするＩＣカードの製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は配線基板上に半導体チップを搭載したＩＣカード及びその製造方法に関するものである。

【０００２】

【従来の技術】従来から広く使われてきている磁気カードは，セキュリティ及び情報の記憶容量の点で不十分なことから、近年この要求を満たすことが出来るＩＣカードの需要が急速に高まってきている。ＩＣカードはマイクロプロセッサ，半導体メモリー等を組み込んだ半導体チップを回路基板上に実装し、表裏を絶縁シート等で挟み込んでカード化したものである。

【０００３】図５，図６を用いて、従来のＩＣカードについて説明する。図５はワイヤボンディング方式により，半導体チップを実装したＩＣカードの断面図である。図において，配線基板１００の上面には配線導体１０２及び接続パッド１０４が形成されており、この基板上に半導体チップ１１０が回路面を上にした、いわゆるフェースアップで配置、固定されている。半導体チップ１１０の回路面には電極１１２が形成されており，この電極１１２と接続パッド１０４は金（Ａｕ）等のワイヤ１１４でボンディングされ，電気的に接続されている。半導体チップ１１０と接続パッド１０４及びワイヤ１１４を含む半導体チップ配置部は封止樹脂１２０で覆われている。半導体チップ１１０が配置されるエリアを除いた部分にはスペーサ１３０が配置されている。配線基板１００と表カバーシート１４０の間は接着剤１５０によって，また、配線基板１００と裏カバーシート１４２との間は接着剤１５２によって接着され，表カバーシート１４０と裏カバーシート１４２で半導体チップ１１０を搭載した配線基板１００とスペーサー１３０を挟み込んで一体化し、ＩＣカードが形成される。この構造及び製造方法について，例えば，特開平１０－２６４５６３号公報に記載されている。

【０００４】図６はＦＣＡ（Ｆｌｉｐ　Ｃｈｉｐ　Ａｔｔａｃｈ）方式により半導体チップを実装したＩＣカードの断面図である。図において，図５と同じ機能を持つものに対しては同一の参照番号をつけ，その説明を省略する。半導体チップ１１０は回路面を配線基板１００の接続パッド１０４と向かい合った位置，すなわちフェースダウンで配置されている。半導体チップ１１０の上面には電極１１２が形成され，この電極１１２にはバンプ１１６が形成され，このバンプ１１６と配線基板上の接続パッド１０４が電気的に接続されている。接続部を含む半導体チップ１１０の表面と配線基板１００の表面は封止樹脂１２０が充填され，機械的な固定と耐湿保護を行っている。この構造及び製造方法については，例えば，特開平８－２３０３６７号公報，特開平１０－３０５６７９号公報に記載されている。

【０００５】

【発明が解決しようとする課題】前述のワイヤボンディング方式では，半導体チップの電極と配線基板の接続パッドをワイヤボンディングした後に，接続部及びワイヤ部分を機械的に補強し、耐湿保護を行なう目的で絶縁樹

脂による封止を行っている。この樹脂封止はワイヤに余計な力がかからないように液状の樹脂を用いて、ディスペンサー等で接続部に流し込む方法、スクリーン印刷で塗布する方法等によって行われる。ところが、この樹脂封止は液状材料を取り扱う関係で作業性が悪い。また、加熱による硬化処理が必要であるため、その処理に要する時間が長く、生産性が悪いという問題があった。

【０００６】ＦＣＡ方式でも、半導体チップを配線基板に搭載した後、機械的補強及び耐湿保護の目的で絶縁性の樹脂によって封止を行っている。特にこの方式ではチップ搭載後、樹脂封止をするまでのチップの保持は、バンプと接続パッドの接着力のみで非常に弱い。このため、その後の処理に支障をきたさないように、チップ搭載後直ぐに樹脂による固定が必要である。また接続部の耐湿保護も必要なことから、ワイヤボンディング方式と同様の樹脂封止を行っており、ワイヤボンディング方式と同様の問題があった。さらに、ＦＣＡ方式では半導体チップの高極にバンプを形成する必要があり、このバンプ形成が原価高の原因になるという問題があった。

【０００７】本発明の目的は、このような従来の封止樹脂の作業性が悪い問題を解決し、作業性、生産性が良好なＩＣカード及びその製造方法を提供することにある。本発明の他の目的はバンプを必要としない低コストのＩＣカード及びその製造方法を提供することにある。

【０００８】

【課題を解決するための手段】本発明は上記の目的を達成するために、配線基板の構成要素である基材を封止用の材料として使用するもので、基材と半導体チップ表面は基材の接着力あるいは基材と半導体チップ表面との間に配置した接着剤によって接着、固定される。

【０００９】また、配線基板の接続パッドと半導体チップの電極は、接続パッド上部からボンディングツールによる超音波振動の印加と加圧、更には加熱することによって、接続パッド下部の基材を軟化させ押し退けて接触させ、その後の超音波振動の印加によって電気的に接続される。なお、加熱処理は材料により省くことが出来る。

【００１０】電気的に接続が完了した配線基板と半導体チップは、一面に接着剤を塗布した表カバーシートと裏カバーシートによって挟み込まれて接着固定され、外形切断されてＩＣカードが完成する。接着部にはカードの厚さを制御するために必要に応じてスペーサーが配置される。回路配線に立体交差部が必要な場合は回路パターン面の反対面に金属板または金属箔からなるジャンパ配線を半導体チップと同様な方法で接着固定し、超音波接続する。

【００１１】本発明の目的を達成するために、本発明によるＩＣカードは、表カバーシートと、裏カバーシートと、絶縁性の基材の一面に接続パットと配線導体とが配置された配線面と、前記配線面の裏側で基材部が露出した基材面を有する配線基板と、高極が配置された電極面が前記基材面に対向して配置された半導体チップとを備え、前記基材面と前記半導体チップの前記高極面とが密着され、前記接続パッドが前記高極に接続された前記配線基板と前記半導体チップを前記表カバーシートと前記裏カバーシートとの間に配置してこれらと接着する。

【００１２】また、本発明によるＩＣカードは、配線基板に搭載された半導体チップを接着剤を介して表カバーシートと裏カバーシートで挟み込んだＩＣカードにおいて、基材の一面に回路パターン及び接続パッドが形成された前記配線基板と、表面に高極が形成された半導体チップとを備え、前記基材面に前記半導体チップの電極面を密着させると共に、前記配線基板の接続パッドを前記半導体チップの電極と電気的に接続し、前記配線基板と半導体チップが接着層を介して、前記表カバーシートと裏カバーシートによって挟み込まれる。

【００１３】これらのＩＣカードにおいて、前記半導体チップの表面と対向する前記基材面に接着膜を設ける。また、前記配線基板の前記基材は接着性樹脂で形成してもよい。本発明のＩＣカードにおいて、前記配線基板の前記接続パッドは前記基材を押し退け、凹状に構成され、前記半導体チップの前記高極と電気的に接続される。

【００１４】前記配線基板の前記接続パッドはアルミニウム、銅、ニッケル、金のいずれかを主成分とする金属及び銀、パラジウムのいずれかを主成分とする導電性ペーストで形成される。また、前記半導体チップの前記高極がアルミニウム、銅、ニッケル、金のいずれかを主成分とする金属で形成される。また、本発明によるＩＣカードにおいて、前記基材面に密着されたジャンパ配線と、前記基材の一面に配置された回路パターンと、前記回路パターンに接続された他の接続パッドとを設け、前記他の接続パッドと前記ジャンパ配線とを接続してもよい。また、前記ジャンパ配線として金属板または金属箔を用い、前記ジャンパ配線と前記回路パターンを立体交差させることができる。

【００１５】また、前記配線基板の前記基材はエポキシ系樹脂、ポリエステル系樹脂、塩化ビニール系樹脂、フッ素系樹脂、ポリエチレン系樹脂、ポリプロピレン系樹脂、スチレン系樹脂、ポリアミド系樹脂、ポリビニールアルコール系樹脂、ポリ塩化ビニリデン系樹脂、セルロース系樹脂、フェノール系樹脂のいずれかで形成される。

【００１６】本発明の目的を達成するために、本発明によるＩＣカードの製造方法は、基材の一面に接続パッドと配線導体を配置した配線基板を設ける工程と、電極が設けられた半導体チップの電極側を前記基材面に対向して配置し、前記接続パッドと前記高極の位置合わせを行う工程と、前記基材面と前記半導体チップの前記電極が配置された面を接触させる工程と、ボンディングツール

で前記接続パッドを加圧すると共に前記ボンディングツールを通して前記基材に超音波振動を印加し前記接続パッドと前記電極とを接続する工程と、前記配線基板に接続された前記半導体チップを表カバーシートと裏カバーシートとで接着剤を介して挟み込む工程とを備える。

【００１７】また、本発明の目的を達成するために、本発明によるＩＣカードは、基材の一面に接続パッドと配線導体を配置した配線基板を設ける工程と、電極が設けられた半導体チップの電極側を前記基材面に対向して配置し、前記接続パッドと前記電極の位置合わせを行う工程と、前記基材面と前記半導体チップの前記電極が配置された面を接触させる工程と、ボンディングツールで前記接続パッドを加圧すると共に前記ボンディングツールを通して前記基材を加熱して前記接続パッドと前記電極を接続する工程と、前記配線基板に接続された前記半導体チップを表カバーシートと裏カバーシートとで接着剤を介して挟み込む工程とを備える。

【００１８】本発明の目的を達成するために、本発明によるＩＣカードは、配線基板の基材上に形成された接続パッドと、半導体チップ上に形成された電極と電気的に接続し、前記配線基板と前記半導体チップを、表カバーシートと裏カバーシートで挟み込んだＩＣカードの製造方法において、前記基材の一面に回路パターンと前記接続パッドを形成した前記配線基板の上方に、前記半導体チップの前記電極が前記基材面に対向するように配置する工程と、前記半導体チップの前記電極を、前記配線基板の前記接続パッドと位置合わせする工程と、前記配線基板と前記半導体チップを加圧して接着させる工程と、前記配線基板の前記接続パッド上に、ボンディングツールによって超音波振動を印加して前記接続パッドと前記半導体チップの前記電極を電気的に接続する工程と、前記配線基板及び前記半導体チップを表カバーシートと裏カバーシートによって挟み込み接着固定する工程とを備える。

【００１９】本発明の目的を達成するために、本発明によるＩＣカードは、基材の一面に接続パッドと配線導体を配置した配線基板を設ける工程と、電極が設けられた半導体チップの電極側を前記基材面に対向して配置し、前記接続パッドと前記電極の位置合わせを行う工程と、前記基材面と前記半導体チップの前記電極が配置された面を接触させる工程と、ボンディングツールで前記接続パッドを加圧して前記接続パッドと前記電極と接続する工程と、前記配線基板に接続された前記半導体チップを表カバーシートと裏カバーシートとで接着剤介して挟み込む工程とを備える。

【００２０】本発明のＩＣカードの製造方法において、前記接続パッドと前記電極とを接続する工程は、前記ボンディングツールを用いて前記接続パッドを加圧する工程を備えると好適である。また、前記接続パッドと前記電極とを接続する工程は、前記ボンディングツールを用いて前記配線基板の基材と前記半導体チップの表面を加熱することによって両者を接着させる工程を備えると好適である。また、前記接続パッドと前記電極とを接続する工程は、更に前記ボンディングツールによって、前記基材に超音波振動を印加する工程を備えると好適である。

【００２１】好ましくは、前記接続パッドと前記電極とを接続する工程は、前記接続パッドが前記半導体チップの電極と接触するまでは前記接続パッド面に垂直方向の超音波振動を印加し、前記接続パッドが前記半導体チップの前記電極と接触した後は水平方向の超音波振動を印加する工程を備える。

【００２２】また、前記基材の一面に他の接続パッドを設ける工程と、前記基材面にジャンパ配線を接着させる工程とを設け、前記接続パッドと前記電極の接続工程において、前記接続パッドと前記ジャンパ配線も接続すると好適である。

【００２３】

【発明の実施の形態】以下、本発明の実施の形態を、実施例を用い、図面を参照して説明する。図１は本発明になるＩＣカードの一実施例を示す断面図であり、図２は図１に示すＩＣカードの配線基板に半導体チップ、ジャンパ配線を配置した平面図であり、図３は図２のＡ－Ａ’の拡大断面図である。

【００２４】まず、図２、３を用いて、半導体チップ実装部の構成について説明する。

【００２５】半導体チップ１０の表面には電極１２が形成されている。配線基板２０は基材２２とこの基材２２の表面に形成された中継配線２４、コイルパターン２５等の回路パターン２８及び接続パッド２６から構成されている。配線基板２０上に形成されているコイルパターン２５の一端は図２に示すように、半導体チップ１０の電極１２と接続され、他端はジャンパ配線１４に接続されるように、半導体チップ１０の電極１２と、コイルパターン２５とジャンパ配線１４は配置されている。更に、ジャンパ配線１４の他端は中継配線２４の一端に接続され、中継配線２４の他端は半導体チップ１０の電極１２と接続されるように、ジャンパ配線１４、中継配線２４及び半導体チップ１０の電極１２は配置されている。

【００２６】配線基板２０の回路パターン２８及び接続パッド２６等が配置される面と反対の面に、半導体チップ１０の電極１２側の表面が密着固定されている。同様にジャンパ配線１４の表面も半導体チップ１０が固定されている配線基板２０面の基材２２と密着固定されている。配線基板上の接続パッド２６は接続パッド２６下部の基材２２を押し退けて半導体チップ１０の電極側に凹状に変形され、電極１２及びジャンパ配線１４と電気的に接続されている。

【００２７】次に図１を用いてＩＣカードの構造につい

て説明する。図１において．図２、３と同じものについては同一の参照符号を付ける。表カバーシート４０と配線基板２０の一面は接着剤５０によって接着固定され、裏カバーシート４２と半導体チップ１０及びジャンパ配線１４は接着剤５２により固定されている。スペーサー４４は配線基板２０の半導体チップ１０及びジャンパ配線１４が配置されている面と同一面側に設けられ．配線基板２０と裏カバーシート４２に挟まれ、接着剤５２によって接着固定されている。半導体チップ１０の電極１２は半導体チップ１０の素子形成時にチップ内を電気的に接続するチップ内配線と同じプロセスで形成され、アルミニウム（Ａｌ）、銅（Ｃｕ）、ニッケル（Ｎｉ）、あるいは金（Ａｕ）を主成分とした金属膜で形成されている。

【００２８】配線基板２０を構成する基材２２はエポキシ系樹脂、ポリエステル系樹脂、塩化ビニール系樹脂、フッ素系樹脂．ポリエチレン系樹脂．ポリプロピレン系樹脂．スチレン系樹脂、ポリアミド系樹脂、ポリビニールアルコール系樹脂、ポリ塩化ビニリデン系樹脂．セルロース系樹脂．フェノール系樹脂等の絶縁性を有する例えばポリエチレンテレフタレート、ポリエステル．ポリカーボネート．ポリアリレート、ポリエチレン．ポリ塩化ビニリデン．ポリアセタール、ポリイミド、エポキシレジン、テトロン（登録商標）、ビニロン（登録商標）．ポリスチレン、ポリスチロール．ポリプロピレン．テフロン（登録商標）．ナイロン（登録商標）等の材料を用いてフィルムまたはシート状に形成すると好適である。

【００２９】配線基板２０上に形成された中継配線２４．コイルパターン２５及び接続パッド２６は基材２２の上に通常の方法で成膜され、パターニングされたアルミニウム（Ａｌ）、銅（Ｃｕ）、ニッケル（Ｎｉ）、金（Ａｕ）を主成分とする金属配線、銀（Ａｇ）．パラジウム（Ｐｄ）を主成分とする導電性ペーストを印刷等によって形成された配線、あるいはこれらの配線上に金メッキ等を施したものである。ジャンパー配線１４はアルミニウム（Ａｌ）、銅（Ｃｕ）、ニッケル（Ｎｉ）、金（Ａｕ）などの金属板または金属箔で構成される。

【００３０】このような構成において．配線基板２０の基材２２と半導体チップ１０の表面は完全に密着されており．半導体チップ１０の電極１２と配線基板２０の接続パッド２６との接続部では接続パッド２６が基材２２の一部を押し退けて凹状に変形され．半導体チップ１０の電極１２と電気的、機械的に完全に接続されている。ジャンパ配線１４も配線基板２０の半導体チップ１０が配置される面に密着して取り付けられ．その両端は凹状の接続パッド２６と接続される。半導体チップ１０と配線基板１０、及びジャンパ配線１４と配線基板２０を接着するには配線基板２０に接着性をもたせて接着するか配線基板２０の基材面に予め接着剤を塗布しておいてもよい。スペーサー４４は半導体チップ１０とジャンパ配線１４が存在しない部分の厚さバランスを取るために挿入されるが、場合によっては省略してもよい。表カバーシート４０及び裏カバーシート４２は．半導体チップ１０．ジャンパ配線１４、配線基板２０を機械的に補強し．種々の環境下においてこれらを保護するために設けられる。

【００３１】次に本発明になるＩＣカードの製造方法の一実施例について図４を用いて説明する。図４はＩＣカードの製造方法の一実施例を説明するための断面図であり．図４（ａ）は半導体チップとジャンパ配線を配線基板と対向して配置し、位置合わせを行なった状態を示す断面図であり．図４（ｂ）は半導体チップとジャンパ配線を配線基板に密着させた状態を示す断面図であり、図４（ｃ）は図４（ｂ）に示す物を上下反転して接続パッドを凹部に形成して半導体チップ及びジャンパ配線とを接続した状態を示す断面図．図４（ｄ）は表カバー、裏カバーおよびスペーサーを配置した接着前の断面図である。なお、図４において．図１～３と同一のものには同一の符号を付して説明する。

【００３２】図４（ａ）は半導体チップ１０及びジャンパ配線１４を配線基板２０に密着させる前の状態を示している。配線基板２０は回路パターン２８が下面になるように配置されており、その上方に半導体チップ１０とジャンパ配線１４が配線基板２０と対向して配置される。この状態で半導体チップ１０の電極１２と配線基板２０の接続パッド２６の位置合わせを行う。位置合わせ方法は通常用いられている光学的に位置合わせマークを読み取り、配線基板２０及び半導体チップ１０を駆動する機構にフィードバックさせる方法（図示しない）を用いている。位置があった時点で図４（ｂ）に示すように半導体チップ１０と基材２２を接触させ、上下方向から加圧（図中矢印で示す）して基材２２と半導体チップ１０を密着、固定させる。この場合、加圧と同時に加熱を行ってもよい。同様にジャンパ配線１４も基材２２と密着．固定させる。

【００３３】次に、図４（ｃ）に示すように、図４（ｂ）に示す全体を上下反転をしてボンディングツール６０を接続パッド２６に押しつけ（図中矢印で示す）、ボンディングツール６０を介して基材２２に超音波振動を印加する。この超音波振動を印加することによって、ボンディングツール６０が押し当てられた部分の基材２２が加熱して軟化する。従って、この超音波振動の印加とボンディングツール６０の加圧によって接続パッド２６下部の基材２２は押し退けられ、接続パッド２６は凹状に変形して電極１２と接触する。この状態でさらに超音波振動を印加することにより、接続パッド２６と電極１２は電気的に完全に接続される。この場合、ボンディングツール６０に加熱機構を設けて．例えばヒータ線を巻き付けて接続パッド２６上面を加熱したり、レーザ光

あるいは熱風等を接続パッド２６に印加する等の局所加熱する方法も有効である。さらに超音波振動を水平方向と垂直方向の２方向に印加出来るボンディングツール６０を用い、まず垂直方向の振動で接続パッド２６下部の基材２２を軟化させ、次いで水平方向の振動で接続パッド２６と電極１２の接合を行うと更に好適である。同様にしてジャンパ配線１４と配線基板２０の接続パッドを接続する。

【００３４】次に、図４（ｄ）に示すように、半導体チップ１０及びジャンパ配線１４を接続し、スペーサー４４を配置した配線基板２０を接着剤５０を塗布した表カバーシート４０と接着剤５２を塗布した裏カバーシート４２の間に配置して、表カバーシート４０と裏カバーシート４２の両側から熱盤によって加圧．加熱を行って接着．固定することによって．ＩＣカードが完成される。

【００３５】以上説明したように、本発明によれば配線基板の基材を封止に使用するため、液状樹脂を使用する従来製品で問題となっていた取り扱い難さや作業性が悪いと言う問題．樹脂管理の問題が無くなり、作業性がよくなった。また．封止工程は基材と半導体チップ表面を接触させた後．簡単な加熱．加圧装置で処理可能なことから．装置導入等の初期コストの低減が可能で．製品コストを低く押さえることが出来る。

【００３６】また、配線基板と半導体チップを接着して機械的に固定した後に接続パッドと電極との接続を行うため．接続後の取り扱いが容易になり．作業効率を上げることが出来る。またチップ電極にバンプを形成する必要がないため．製品コストを大幅に低減することができる。

＊【００３７】

【発明の効果】以上説明したように．本発明によれば配線基板の基材を封止に使用するため．作業性がよい。また．配線基板と半導体チップを接着して機械的に固定した後に、接続パッドと電極との接続を行なっているため．接続後の取り扱いが容易になり．作業効率を上げることが出来る。またチップ電極にバンプを形成する必要がないため、製品コストを低減することができる。

【図面の簡単な説明】

【図１】本発明になるＩＣカードの一実施例を示す断面図である。

【図２】図１に示すＩＣカードの配線基板に半導体チップ．ジャンパ配線を配置した平面図である。

【図３】図２のＡ－Ａ´の拡大断面図である。

【図４】ＩＣカードの製造方法の一実施例を説明するための断面図である。

【図５】ワイヤボンディング方式により、半導体チップを実装したＩＣカードの断面図である。

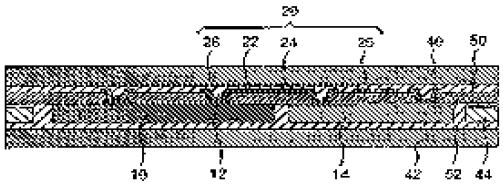
【図６】ＦＣＡ方式により半導体チップを実装したＩＣカードの断面図である。

【符号の説明】

１０．１１０…半導体チップ、１２．１１２…電極、１４…ジャンパ配線、２０．１００…配線基板、２２…基材．２４…中継配線、２５…コイルパターン、２８…回路パターン、２６、１０４…接続パッド、４０．１４０…表カバーシート、４２．１４２…裏カバーシート、４４．１３０…スペーサー．５０、５２．１５０．１５２…接着剤、６０…ボンディングツール．１１４…ワイヤ．１１６…バンプ、１２０…封止樹脂。

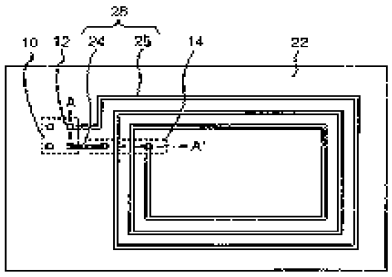
【図１】

図　1



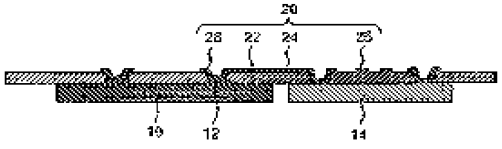
【図２】

図　2



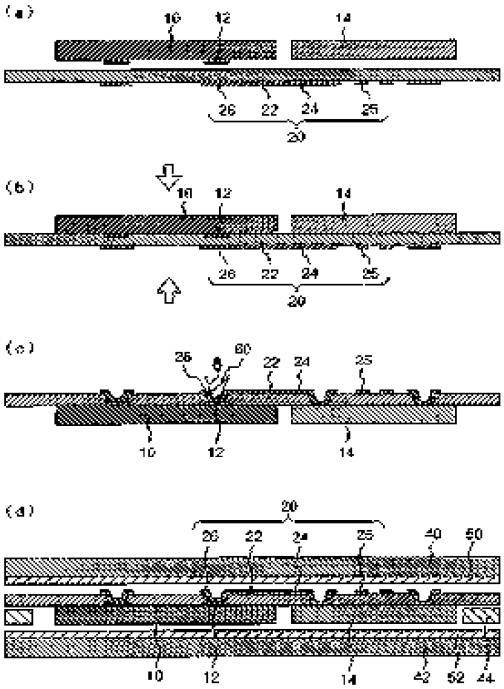
【図３】

図　3



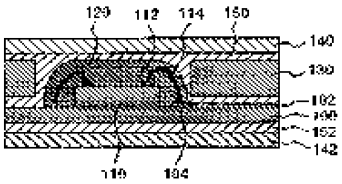
【図４】

図 4



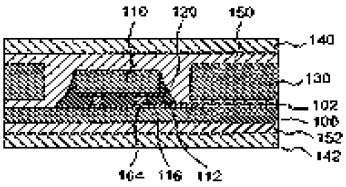
【図５】

図 5



【図６】

図 6



フロントページの続き

(72)発明者　大関　良雄
神奈川県横浜市戸塚区吉田町292番地　株式会社日立製作所生産技術研究所内
(72)発明者　和井　伸一
神奈川県秦野市堀山下１番地　株式会社日立製作所汎用コンピュータ事業部内
(72)発明者　高岡　勇
神奈川県秦野市堀山下１番地　株式会社日立製作所汎用コンピュータ事業部内
(72)発明者　橋本　豊
神奈川県秦野市堀山下１番地　株式会社日立製作所汎用コンピュータ事業部内
(72)発明者　山口　欣秀
神奈川県横浜市戸塚区吉田町292番地　株式会社日立製作所生産技術研究所内

Ｆターム(参考)　5B035 AA04 BA03 BA04 BA05 BB09
CA01 CA03 CA08 CA11

* NOTICES *

JPO and INPIT are not responsible for any
damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]
[0001]
[Field of the Invention]This invention relates to an IC card which carries a semiconductor chip on a wiring board, and a manufacturing method for the same.
[0002]
[Description of the Prior Art]Since the magnetic card widely used from the former is insufficient in respect of the storage capacity of security and information, the demand of the IC cards which can fill this demand in recent years is increasing quickly. An IC card mounts the semiconductor chip incorporating a microprocessor, semiconductor memory, etc. on the circuit board, and puts and card-izes a rear surface with an insulation sheet etc.
[0003]The conventional IC card is explained using drawing 5 and drawing 6. Drawing 5 is a sectional view of the IC card which mounted the semiconductor chip with the wire bonding system. In the figure, the wiring conductor 102 and the connection pad 104 are formed in the upper surface of the wiring board 100, and the semiconductor chip 110 is being arranged and fixed on this substrate by what is called face up that turned the circuit face up. The electrode 112 is formed in the circuit face of the semiconductor chip 110, with the wires 114, such as gold (Au), bonding of this electrode 112 and connection pad 104 is carried out, and they are electrically connected. The semiconductor chip placement part containing the semiconductor chip 110, the connection pad 104, and the wire 114 is covered with the sealing resin 120. The spacer 130 is arranged at the portion except the area where the semiconductor chip 110 is arranged. Between the wiring board 100 and the front cover sheet 140, with the adhesives 150. It pastes up with the adhesives 152, and the wiring board 100 and the spacer 130 which carry the semiconductor chip 110 by the front cover sheet 140 and the back cover sheet 142 are put between the wiring board 100 and the back cover sheet 142, it unifies, and an IC card is formed. This structure and manufacturing method are indicated to JP,10-264563,A, for example.
[0004]Drawing 6 is a sectional view of the IC card which mounted the semiconductor chip with the FCA (Flip Chip Attach) method. In a figure, the same reference number is given to a thing with the same function as drawing 5, and the explanation is omitted. The semiconductor chip 110 is arranged in the position which faced the connection pad 104 of the wiring board 100, i.e., facedown one, in the circuit face. The electrode 112 is formed in the upper surface of the semiconductor chip 110, the vamp 116 is formed in this electrode 112, and the connection pad 104 on this vamp 116 and a wiring board is electrically connected. It fills up with the sealing resin 120 and the surface of the semiconductor chip 110 and the surface of the wiring board 100 including a terminal area are performing mechanical immobilization and moisture-proof protection. This structure and manufacturing method are indicated to JP,8-230367,A and JP,10-305679,A, for example.

[0005]
[Problem(s) to be Solved by the Invention]After carrying out wirebonding of the connection pad of the electrode and wiring board of a semiconductor chip, a terminal area and a wire part are mechanically reinforced with the above-mentioned wire bonding system, and closure by insulating resin is performed for the purpose of performing moisture-proof protection. This resin seal is performed using liquefied resin by the method of slushing into a terminal area with a dispenser etc., the method of applying by screen-stencil, etc. so that excessive power may not be applied to a wire. However, this resin seal has bad workability at the relation which deals with liquefied material. Since the curing treatment by heating was required, there was a problem that the time which the processing takes was long and productivity was bad.
[0006]After carrying a semiconductor chip in a wiring board also by a FCA method, it is closing with insulating resin for the purpose of mechanical reinforcement and moisture-proof protection. Maintenance of a chip until it especially carries out a resin seal after chip loading by this method is dramatically weak only at the adhesive strength of a vamp and a connection pad. For this reason, immobilization according to resin immediately is required after chip loading so that it may not interfere with subsequent processing. Since moisture-proof protection of a terminal area was also required, the same resin seal as a wire bonding system is performed, and there was the same problem as a wire bonding system. By a FCA method, the vamp needed to be formed in the electrode of a semiconductor chip and there was a problem that this bump formation caused a high cost.
[0007]The workability of such conventional sealing resin solves a bad problem, and the purpose of this invention has workability and productivity in providing a good IC card and a manufacturing method for the same. Other purposes of this invention are to provide an IC card of the low cost which does not need a vamp, and a manufacturing method for the same.
[0008]
[Means for Solving the Problem]In order that this invention may attain the above-mentioned purpose, a substrate which is a component of a wiring board is used as a material for closure, and a substrate and a semiconductor chip surface are pasted up and fixed by adhesives arranged between adhesive strength of a substrate or a substrate, and a semiconductor chip surface.
[0009]By pressurizing and also heating with impression of supersonic vibration by a bonding tool from the connection pad upper part, it is made to soften, and a connection pad of a wiring board and an electrode of a semiconductor chip push away a substrate of the connection pad lower part, contact it, and are electrically connected by impression of subsequent supersonic vibration. Heat-treatment can be excluded with material.
[0010]Adhesion fixing of a wiring board which connection completed electrically, and the semiconductor chip is put and carried out, outside cutting is carried out by a front cover sheet and a back cover sheet which applied adhesives to the whole surface, and an IC card completes them by them. In order to control thickness of a card to jointing, a spacer is arranged if needed. When a grade separation part is required, adhesion fixing of the jumper wiring which becomes an opposite side of a circuit pattern plane from a metal plate or a metallic foil is carried out to circuit wiring by the same method as a semiconductor chip, and ultrasonic connection is made.
[0011]In order to attain the purpose of this invention, an IC card by this invention, A front cover sheet, a back cover sheet, and a wiring surface where a connection pad and a wiring conductor have been arranged at the whole surface of an insulating substrate, It has a wiring board which has the substrate side which a base material part exposed on the back side of said wiring surface, and a semiconductor chip which an electrode surface where an electrode has been arranged countered said substrate side, and has been arranged, It is stuck to said substrate side and said electrode surface of said semiconductor chip, said connection pad arranges said wiring board connected to said electrode, and said semiconductor chip between said table cover sheet and said reverse side cover sheet, and it pastes up with these.

[0012]In an IC card between which an IC card by this invention put a semiconductor chip carried in a wiring board by front cover sheet and a back cover sheet via adhesives, Have said wiring board by which a circuit pattern and a connection pad were formed in the whole surface of a substrate, and a semiconductor chip in which an electrode was formed in the surface, and stick an electrode surface of said semiconductor chip to said substrate side, and. A connection pad of said wiring board is electrically connected with an electrode of said semiconductor chip, and said wiring board and a semiconductor chip are put by said table cover sheet and back cover sheet via a glue line.
[0013]In these IC cards, an adhesion film is provided in the surface of said semiconductor chip, and said substrate side which counters. Said substrate of said wiring board may be formed with adhesive resin. In an IC card of this invention, said connection pad of said wiring board pushes away said substrate, is constituted by concave, and is electrically connected with said electrode of said semiconductor chip.
[0014]Said connection pad of said wiring board is formed with metal and silver which use aluminum, copper, nickel, or gold as the main ingredients, and conductive paste which uses either of palladium as the main ingredients. Said electrode of said semiconductor chip is formed with metal which uses aluminum, copper, nickel, or gold as the main ingredients. In an IC card by this invention, jumper wiring to which it was stuck in said substrate side, a circuit pattern arranged at the whole surface of said substrate, and other connection pads connected to said circuit pattern may be provided, and a connection pad besides the above and said jumper wiring may be connected. Said jumper wiring and said circuit pattern can be made to cross in two levels, using a metal plate or a metallic foil as said jumper wiring.
[0015]Said substrate of said wiring board Epoxy system resin, polyester system resin, It is formed with vinyl chloride system resin, fluororesin, polyethylene system resin, a polypropylene regin, styrene resin, polyamide system resin, poly vinyl alcohol system resin, polyvinylidene chloride system resin, cellulose type resin, or phenol system resin.
[0016]In order to attain the purpose of this invention, a manufacturing method of an IC card by this invention, A process of providing a wiring board which has arranged a connection pad and a wiring conductor on the whole surface of a substrate, A process of countering said substrate side, arranging the electrode side of a semiconductor chip in which an electrode was provided, and performing alignment of said connection pad and said electrode, A process at which said substrate side and a field where said electrode of said semiconductor chip has been arranged are contacted, A process of pressurizing said connection pad with a bonding tool, and impressing supersonic vibration to said substrate through said bonding tool, and connecting said connection pad and said electrode, It has a process of putting said semiconductor chip connected to said wiring board via adhesives by front cover sheet and a back cover sheet.
[0017]In order to attain the purpose of this invention, an IC card by this invention is provided with the following.
A process of providing a wiring board which has arranged a connection pad and a wiring conductor on the whole surface of a substrate.
A process of countering said substrate side, arranging the electrode side of a semiconductor chip in which an electrode was provided, and performing alignment of said connection pad and said electrode.
A process at which said substrate side and a field where said electrode of said semiconductor chip has been arranged are contacted.
A process of pressurizing said connection pad with a bonding tool, and heating said substrate through said bonding tool, and connecting said electrode with said connection pad, and a process of putting said semiconductor chip connected to said wiring board via adhesives by front cover sheet and a back cover sheet.

[0018]In order to attain the purpose of this invention, an IC card by this invention is provided with

the following.
A connection pad formed on a substrate of a wiring board.
it electrically connects with an electrode formed on a semiconductor chip, and is ****** on both sides of said wiring board and said semiconductor chip in a front cover sheet and a back cover sheet -- in a manufacturing method of an IC card, A process arranged above said wiring board which formed a circuit pattern and said connection pad in the whole surface of said substrate so that said electrode of said semiconductor chip may counter said substrate side.
A process of carrying out alignment of said electrode of said semiconductor chip to said connection pad of said wiring board.
On a process on which said wiring board and said semiconductor chip are pressurized and pasted up, and said connection pad of said wiring board, A process of impressing supersonic vibration and electrically connecting said electrode of said semiconductor chip with said connection pad with a bonding tool, and a process of putting and carrying out adhesion fixing of said wiring board and said semiconductor chip by front cover sheet and a back cover sheet.

[0019]In order to attain the purpose of this invention, an IC card by this invention is provided with the following.
A process of providing a wiring board which has arranged a connection pad and a wiring conductor on the whole surface of a substrate.
A process of countering said substrate side, arranging the electrode side of a semiconductor chip in which an electrode was provided, and performing alignment of said connection pad and said electrode.
A process at which said substrate side and a field where said electrode of said semiconductor chip has been arranged are contacted.
A process which pressurizes said connection pad with a bonding tool, and is connected with said connection pad and said electrode, and a process of ********(ing) and putting said semiconductor chip connected to said wiring board by front cover sheet and a back cover sheet.

[0020]In a manufacturing method of an IC card of this invention, a process of connecting said connection pad and said electrode is preferred, if it has a process of pressurizing said connection pad using said bonding tool. A process of connecting said connection pad and said electrode is preferred if it has a process on which both are pasted up by heating a substrate of said wiring board, and the surface of said semiconductor chip using said bonding tool. A process of connecting said connection pad and said electrode is preferred if it has further a process of impressing supersonic vibration to said substrate, with said bonding tool.
[0021]Preferably a process of connecting said connection pad and said electrode, After it impresses vertical supersonic vibration to said connection pad side and said connection pad contacts said electrode of said semiconductor chip until said connection pad contacts an electrode of said semiconductor chip, it has a process of impressing horizontal supersonic vibration.
[0022]It is suitable, if a process of providing other connection pads in the whole surface of said substrate, and a process which pastes up jumper wiring on said substrate side are established and said jumper wiring is also connected with said connection pad in a joint process of said connection pad and said electrode.
[0023]
[Embodiment of the Invention]Hereafter, an embodiment of the invention is described with reference to drawings using an example. Drawing 1 is a sectional view showing one example of the IC card which becomes this invention, drawing 2 is a top view which has arranged a semiconductor chip and jumper wiring to the wiring board of the IC card shown in drawing 1, and drawing 3 is an expanded sectional view of A-A' of drawing 2.
[0024]First, the composition of a semiconductor chip mounted part is explained using drawing 2

and 3.
[0025]The electrode 12 is formed in the surface of the semiconductor chip 10. The wiring board 20 comprises the circuit pattern 28 and the connection pad 26 of the relay wiring 24 and coil pattern 25 grade which were formed in the surface of the substrate 22 and this substrate 22. As one end of the coil pattern 25 currently formed on the wiring board 20 is shown in drawing 2, the electrode 12 of the semiconductor chip 10, and the coil pattern 25 and the jumper wiring 14 are arranged so that it may be connected with the electrode 12 of the semiconductor chip 10 and the other end may be connected to the jumper wiring 14. The electrode 12 of the jumper wiring 14, the relay wiring 24, and the semiconductor chip 10 is arranged so that the other end of the jumper wiring 14 may be connected to one end of the relay wiring 24 and the other end of the relay wiring 24 may be connected with the electrode 12 of the semiconductor chip 10.
[0026]In the field opposite to the field where the circuit pattern 28 and connection pad 26 grade of the wiring board 20 are arranged, adhesion immobilization of the surface by the side of the electrode 12 of the semiconductor chip 10 is carried out. Adhesion immobilization also of the surface of the jumper wiring 14 is similarly carried out with the substrate 22 of the 20th page of the wiring board with which the semiconductor chip 10 is being fixed. The connection pad 26 on a wiring board pushes away the substrate 22 of the connection pad 26 lower part, is transformed into the electrode side of the semiconductor chip 10 by the concave, and is electrically connected with the electrode 12 and the jumper wiring 14.
[0027]Next, the structure of an IC card is explained using drawing 1. In drawing 1, the same reference mark is attached about drawing 2 and the same thing as 3. Adhesion fixing of the whole surface of the front cover sheet 40 and the wiring board 20 is carried out by the adhesives 50, and the back cover sheet 42, the semiconductor chip 10, and the jumper wiring 14 are being fixed by the adhesives 52. The spacer 44 is formed in the same field side as the field where the semiconductor chip 10 of the wiring board 20 and the jumper wiring 14 are arranged, and is inserted into the wiring board 20 and the back cover sheet 42, and adhesion fixing is carried out by the adhesives 52. The electrode 12 of the semiconductor chip 10 is formed in the same process as the wiring in a chip which electrically connects the inside of a chip at the time of the element formation of the semiconductor chip 10, and is formed with the metal membrane which used aluminum (aluminum), copper (Cu), nickel (nickel), or gold (Au) as the main ingredients.
[0028]The substrate 22 which constitutes the wiring board 20 Epoxy system resin, polyester system resin, Vinyl chloride system resin, fluororesin, polyethylene system resin, a polypropylene regin, Styrene resin, polyamide system resin, poly vinyl alcohol system resin, The polyethylene terephthalate which has the insulation of polyvinylidene chloride system resin, cellulose type resin, phenol system resin, etc., Polyester, polycarbonate, polyarylate, polyethylene, A polyvinylidene chloride, polyacetal, polyimide, epoxy resin, It is suitable if it forms in a film or a sheet shaped using materials, such as Tetron (registered trademark), vinylon (registered trademark), polystyrene, polystyrol, polypropylene, Teflon (registered trademark), and nylon (registered trademark).
[0029]The relay wiring 24, the coil pattern 25, and the connection pad 26 which were formed on the wiring board 20 are formed by the usual method on the substrate 22, Gold plate etc. are performed on the wiring formed by printing etc. in the conductive paste which uses as the main ingredients the metallic wiring, silver (Ag), and palladium (Pd) which use as the main ingredients aluminum (aluminum), copper (Cu), nickel (nickel), and gold (Au) which were patterned, or these wiring. The jumper wiring 14 comprises a metal plate or metallic foils, such as aluminum (aluminum), copper (Cu), nickel (nickel), and gold (Au).
[0030]In such composition, it is thoroughly stuck to the substrate 22 of the wiring board 20, and the surface of the semiconductor chip 10, In the terminal area of the electrode 12 of the semiconductor chip 10, and the connection pad 26 of the wiring board 20, the connection pad 26 pushes away some substrates 22, is transformed into a concave, and is thoroughly connected to as electric as the electrode 12 of the semiconductor chip 10, and a machinery target. The jumper wiring 14 is also

stuck and attached to the field where the semiconductor chip 10 of the wiring board 20 is arranged, and the both ends are connected with the concave connection pad 26. Although an adhesive property is given to the wiring board 20 for pasting up the semiconductor chip 10, the wiring board 10, and the jumper wiring 14 and the wiring board 20, and it pastes up, adhesives may be beforehand applied to the substrate side of the wiring board 20. It is inserted in order to maintain the thickness balance of the portion in which the semiconductor chip 10 and the jumper wiring 14 do not exist, but the spacer 44 may be omitted depending on the case. The front cover sheet 40 and the back cover sheet 42 wire [semiconductor chip 10 and jumper] 14, reinforce the wiring board 20 mechanically, and they are provided in order to protect these under various environment.

[0031]Next, one example of the manufacturing method of the IC card which becomes this invention is described using drawing 4. Drawing 4 is a sectional view for describing one example of the manufacturing method of an IC card, Drawing 4 (a) counters with a wiring board, and arranges a semiconductor chip and jumper wiring, It is a sectional view showing the state where alignment was performed, and drawing 4 (b) is a sectional view showing the state where a semiconductor chip and jumper wiring were stuck to the wiring board, The sectional view showing the state where drawing 4 (c) carried out flip vertical of the thing shown in drawing 4 (b), formed the connection pad in the crevice, and a semiconductor chip and jumper wiring were connected, and drawing 4 (d) are the sectional views before the adhesion which has arranged the front cover, the rear cover, and the spacer. The same numerals are attached and explained to drawing 1 - what is the same as that of three in drawing 4.

[0032]Drawing 4 (a) shows the state before sticking the semiconductor chip 10 and the jumper wiring 14 to the wiring board 20. The wiring board 20 is arranged so that the circuit pattern 28 may become the undersurface, and the semiconductor chip 10 and the jumper wiring 14 counter the upper part with the wiring board 20, and it is arranged. Alignment of the electrode 12 of the semiconductor chip 10 and the connection pad 26 of the wiring board 20 is performed in this state. An alignment mark is read optically and the alignment method uses the method (not shown) of making it feed back to the mechanism usually used in which the wiring board 20 and the semiconductor chip 10 are driven. When there is a position, as shown in drawing 4 (b), the semiconductor chip 10 and the substrate 22 are contacted, and it pressurizes from a sliding direction (a figure Nakaya seal shows), and the substrate 22 and the semiconductor chip 10 are made to stick and fix. In this case, it may heat simultaneously with application of pressure. It sticks [the substrate 22 and] and the jumper wiring 14 is made to fix similarly.

[0033]Next, as shown in drawing 4 (c), flip vertical is carried out for the whole shown in drawing 4 (b), the bonding tool 60 is pushed against the connection pad 26 (a figure Nakaya seal shows), and supersonic vibration is impressed to the substrate 22 via the bonding tool 60. By impressing this supersonic vibration, the substrate 22 of a portion with which the bonding tool 60 was pressed heats and becomes soft. Therefore, by impression of this supersonic vibration, and application of pressure of the bonding tool 60, it is pushed away by the substrate 22 of the connection pad 26 lower part, and the connection pad 26 transforms it into a concave, and it contacts the electrode 12. By impressing supersonic vibration further in this state, the connection pad 26 and the electrode 12 are electrically connected thoroughly. In this case, the methods of carrying out partial heating, such as providing a heating machine style in the bonding tool 60, for example, twisting heater wires, and heating the connection pad 26 upper surface, or impressing a laser beam or a hot wind to the connection pad 26, are also effective. It is still more suitable, if the substrate 22 of the connection pad 26 lower part is first softened in a vertical vibration and junction of the connection pad 26 and the electrode 12 is subsequently performed by horizontal vibration using the bonding tool 60 which can furthermore impress supersonic vibration to the 2-way of a horizontal direction and a perpendicular direction. The connection pad of the wiring board 20 is similarly connected with the jumper wiring 14.

[0034]Next, as shown in drawing 4 (d), the semiconductor chip 10 and the jumper wiring 14 are

connected, It arranges between the front cover sheet 40 which applied the adhesives 50 for the wiring board 20 which has arranged the spacer 44, and the back cover sheet 42 which applied the adhesives 52, An IC card is completed by performing application of pressure and heating, and pasting up and fixing by a heating plate, from the both sides of the front cover sheet 40 and the back cover sheet 42.

[0035]As explained above, in order to use the substrate of a wiring board for closure according to this invention, the problem said that the difficulty of handling and workability which had become a problem with the conventional product which uses liquefied resin are bad, and the problem of resin management were lost, and workability became good. Since a sealing process can be processed with easy heating and a pressurizer after it contacts a substrate and a semiconductor chip surface, reduction of initial costs, such as device introduction, is possible for it, and it can press down product cost low.

[0036]Since connection between a connection pad and an electrode is made after pasting up a wiring board and a semiconductor chip and fixing mechanically, the handling after connection becomes easy and working efficiency can be raised. Since it is not necessary to form a vamp in a chip electrode, product cost can be reduced substantially.

[0037]

[Effect of the Invention]As explained above, workability is good in order to use the substrate of a wiring board for closure according to this invention. Since connection between a connection pad and an electrode is made after pasting up a wiring board and a semiconductor chip and fixing mechanically, the handling after connection becomes easy and working efficiency can be raised. Since it is not necessary to form a vamp in a chip electrode, product cost can be reduced.

[Translation done.]

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号
特開2001－53447
（P2001－53447A）
(43)公開日　平成13年２月23日(2001.2.23)

(51)Int.Cl.⁷	識別記号	ＦＩ		テーマコード（参考）
Ｈ０５Ｋ　3/46		Ｈ０５Ｋ　3/46	Ｑ	５Ｅ３３６
			Ｎ	５Ｅ３４６
1/18		1/18	Ｒ	
			Ｐ	

審査請求　有　請求項の数２　ＯＬ　（全６頁）

(21)出願番号　特願平11－221976

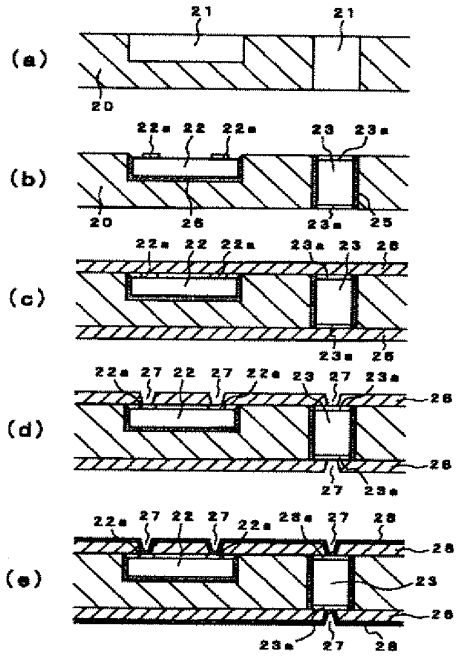
(22)出願日　平成11年８月５日(1999.8.5)

(71)出願人　390022792
いわき電子株式会社
東京都港区新橋５丁目36番11号
(72)発明者　山本　博康
東京都港区新橋５丁目36番11号　いわき電子株式会社内
(72)発明者　江尻　直樹
東京都港区新橋５丁目36番11号　いわき電子株式会社内
(74)代理人　100067046
弁理士　尾股　行雄

最終頁に続く

(54)【発明の名称】　部品内蔵型多層配線基板およびその製造方法

(57)【要約】
【課題】　半田付けに頼らない部品内蔵型多層配線基板を実現する。
【解決手段】　内層２０に回路部品２２、２３を埋め込み、当該回路部品２２、２３の端子面２２ａ、２３ａ上に絶縁層２６を形成する。当該絶縁層２６に接続孔２７を穿設して前記回路部品２２、２３の端子面２２ａ、２３ａを露出させ、前記接続孔２７によるスルーホール形成とエッチング処理により前記回路部品への接続を一括して行う。本方式は従来の多層配線基板の製造工程の中で一連の作業として実施可能であるから、工程を簡略化できると共に、部品間や層間の接続に環境負荷物質である半田を使用しなくて済むことから環境問題に対しても好適である。



1

【特許請求の範囲】
【請求項１】　内層に複数の回路部品が埋め込まれて成る多層配線基板において、
前記回路部品への接続がメッキにて行われて成ることを特徴とする部品内蔵型多層配線基板。
【請求項２】　内層に複数の回路部品を埋め込み、
当該回路部品の端子面上に絶縁層を形成し、
当該絶縁層に接続孔を穿設して前記回路部品の端子面を露出させ、
前記接続孔によるスルーホール形成とエッチング処理により前記回路部品への接続を一括して行うことを特徴とする部品内蔵型多層配線基板の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は、内層に小型回路部品を埋め込んで成る部品内蔵型多層配線基板およびその製造方法に関するものである。
【０００２】
【従来の技術】近年、電子機器の小型・軽量化と共に高速化、高多機能化傾向が一段と高まってきており、プリント配線基板においては信頼性の高い高密度実装技術の追求が進められている。このような傾向の中で、単層基板や多層基板を使用し、その表裏面にディスクリート部品やチップ部品等を実装していた従来の表面実装技術に代って３層以上の多層配線基板を使用し、内層にチップ型のコンデンサ、抵抗、ＩＣ等のベアーチップを埋め込むようにした三次元実装・配線技術が注目されるようになってきた。係る多層配線基板の製造技術により部品実装密度は飛躍的に向上し、これによる配線距離の短縮化も手伝って高密度実装化と共に高速化、高信頼性化が実現されるようになった。
【０００３】係る部品内蔵型の多層配線基板技術として、例えば、特開平６－１２０６７１号公報が開示されている。この技術は内層にチップ部品を埋め込み、層間導通および内蔵部品間の接続をそれぞれ融点の異なる半田材を使用して数工程に分けて行うものである。
【０００４】
【発明が解決しようとする課題】しかしながら、上記開示技術は、半田接続箇所に応じて数回の半田付け工程を要すること、溶融温度を安定に維持するための半田素材の品質管理が必要なこと等の理由から配線基板の製造工程が複雑化するといった欠点を有していた。また、近年、半田材料は環境負荷物質として基板製造工程における環境汚染や作業者への有害性が指摘されるようになってきている。
【０００５】本発明は、上記従来の問題点に鑑みて成されたもので、内蔵部品への接続をスルホール形成とエッチング処理により行うようにして、配線基板の製造工程を簡略化すると共に、半田の使用を極力無くすようにした部品内蔵型多層配線基板およびその製造方法を提供することを目的としている。

2

【０００６】
【課題を解決するための手段】すなわち、請求項１に記載の部品内蔵型多層配線基板では、内層に複数の回路部品を埋め込んで成る多層配線基板において、前記回路部品への接続がメッキにて行われることを特徴とするものである。
【０００７】これにより、部品の高密度実装化が可能となると共に、層間或いは内蔵部品の接続手段に環境負荷物質である半田を使用しなくて済むことから、製造工程における環境汚染等の問題に対して極めて好適である。
【０００８】また、請求項２に記載の部品内蔵型多層配線基板の製造方法では、内層に複数の回路部品を埋め込み、当該回路部品の端子面上に絶縁層を形成し、当該絶縁層に接続孔を穿設して前記回路部品の端子面を露出させ、前記接続孔によるスルーホール形成とエッチング処理により前記回路部品への接続を一括して行うことを特徴とするものである。
【０００９】本方式では、従来の多層配線基板の製造工程の中で一連の作業として実施可能であり、よって、従来の配線基板の製造設備、治工具、製造技術等をそのまま活用できるものである。
【００１０】
【発明の実施の形態】以下、図面に基づいて本発明の第１実施形態を説明する。図１は本発明の第１実施形態に係る部品内蔵型多層配線基板の製造工程図、図２はその製造工程における内層板の断面図である。
【００１１】本発明の第１実施形態は、図６に示す従来工法による多層配線基板（例えば、４層構成で、内層に部品を内蔵しない基板）の製造工程の中で一連の作業として実施するものであって、図１中の太線枠で示す内層板の形成工程が従来のビルドアップ工法による内層パターン形成工程（図６の工程ａ～ｃに示す内層パターン形成－エッチング－内層表面処理）と相違するところであって、内層板と外層板の積層接着工程や外層パターン形成工程等それ以降の工程は全て同じである。
【００１２】以下、図１および図２に基づき前記した内層板の形成工程を説明する。尚、本実施形態に係る多層配線基板は外層用の片面基板（１層と４層）と内層板２０（２層と３層）とによる４層構造とした。
【００１３】先ず、図１の工程ａで、内層板２０（コア材２０）に各々チップ型の回路部品を収容するための部品埋込用穴２１の加工を行う（図２ａ参照）。コア材２０としては、外層用の銅張積層板や樹脂付き銅箔等による配線基板材と同程度の熱膨張率を有する物を使用することにより、積層工程における基板の反りが防止できる。
【００１４】次に、図１の工程ｂで、前記部品埋込用穴２１に、例えば、ＩＣチップ２２やチップ型コンデンサ２３等を埋め込み、隙間に樹脂を充填して接着・固定す

る（図２ｂ参照）。ここで、ＩＣチップ２２は横実装型であるから部品埋込用穴２１は凹溝形状であり、チップ型コンデンサ２３は縦実装型であるから部品埋込用穴２１は貫通孔とされている。

【００１５】次に、図１の工程ｃで、回路部品が埋め込まれた内層板２０の上下両面に絶縁層（絶縁膜）を印刷・焼き付けして絶縁層２６を形成する（図２ｃ参照）。

【００１６】次に、図１の工程ｄで、前記ＩＣチップ２２の端子面２２ａとチップ型コデンサチップ２３の端子面２３ａに対応する絶縁層２６に接続孔２７（スルホール用穴２７）を穿設し、その部分の絶縁層２６を除去することにより各々回路部品２２、２３の端子面２２ａ、２３ａを露出状態にする（図２ｄ参照）。

【００１７】上記孔空け加工は、高精度が要求されるものにあっては、通常レーザ光を照射して行われるが、薬品により絶縁層２６を溶解することにより行うことも可能である。勿論、従来のようにドリルを用いた穿設も可能である。

【００１８】次に、図１の工程ｅで、部品端子面上の残留物（プリプレグ残片）を除去し、従来のビルドアップ工法により接続孔２７の内壁、露出した端子面２２ａ、２３ａ、および上下絶縁層２６の表面等にメッキを施す。メッキ処理後、エッチングにより所定の導体パターン２８（即ち、内層パターン２８）を形成する。この内層パターン２８によって各回路部品２２、２３への導通接続が行われるものである（図２ｅ参照）。

【００１９】以降、図１の工程ｆで、外層用の片面銅張板（又は樹脂付き銅箔）と前記工程ａ～ｅで形成された部品内蔵の内層板２０とを、間にプリプレグを介在して積層・接着し、従来工法により外層パターンを形成した後、レジスト印刷、シルク印刷等の工程を経て本発明の第１実施形態による部品内蔵型多層配線基板が完成する。尚、この工程の断面図は省略した。

【００２０】次に、図３および図４に基づいて本発明の第２実施形態を説明する。

【００２１】図３は本発明の第２実施形態に係る部品内蔵型多層配線基板の製造工程図、図４はその製造工程を示す断面図である。

【００２２】前記した第１実施形態が内層板２０に内層パターン２８を形成して内蔵部品への接続を行う構成であるのに対し、第２実施形態は内蔵部品への接続を従来工法にて外層基板上に形成した外層パターンにより行うものである。従って、内層板２０には回路部品２２～２４が埋め込まれるだけで前記第１実施形態の中で説明した内層パターン（２８）の形成は行われない。即ち、本第２実施形態の場合は図３中の太線枠で示す部分が従来工法に付加される新たな作業工程である。

【００２３】以下、図３および図４により部品内蔵型多層配線基板の製造方法を説明する。尚、本実施形態に係る多層配線基板は、外層用の両面基板１０（１層と２層）と両面基板３０（３層と４層）、および、内層板２０（コア材）とによる４層構造とした。

【００２４】先ず、図３の工程ａ、ｂでは、前記第１実施形態と同様にして内層板２０に部品埋込用穴２１の加工を行う。そして、この部品埋込用穴２１に、例えば、ＩＣチップ２２、チップ型コンデンサチ２３、およびチップ型抵抗２４等の小型チップ部品を埋め込み、樹脂にて接着・固定する。（図４ａ、図４ｂ参照）

【００２５】一方、前記した外層用の両面基板１０および両面基板３０（外層配線板）には、図３中、二重枠で示す従来工法（両面板パターン形成－孔あけ－両面板エッチング）により、図４ｃに示す外層パターン１１、３１が形成される。この際、外層パターンの１１，３１には回路部品２２～２４の端子面２２ａ～２４ａに対応する位置にスルホール用ランド１２、３２が形成されている。

【００２６】次に、図３の工程ｃで、外層パターン１１、３１が形成された外層配線板１０、３０と前記内層板２０とを、間にプリプレグ４０（或いは、薄い樹脂フィルム等を使用しても良い）を介在して積層・接着する（図４ｃ参照）。

【００２７】次に、図３の工程ｄで、前記スルホール用ランド１２、３２に接続用孔１３、３３（即ち、スルホール孔１３、３３）を穿設してプリプレグ４０を除去し、各回路部品２２～２４の端子面２２ａ～２４ａを露出させる。この際の孔あけ加工は、第１実施形態の場合と同様であり、レーザ光や薬品、あるいはドリルを使用して行う。

【００２８】次いで、図３の工程ｆで接続用孔１３、３３の内壁と露出した端子面にメッキを施し、前工程で形成された上外層パターン１１および下外層パターン３１を介して内蔵部品２２～２４への接続を完了する（図４ｄ参照）。尚、図３の工程ｅに示す「孔あけ工程」は、図４には図示していないが１～４層間を接続するための接続用スルホール孔である。

【００２９】以降、レジスト印刷、シルク印刷等の工程を経て本発明の第２実施形態による部品内蔵型多層配線基板が完成する。図５は完成した部品内蔵型多層基板１の内部構造を示す断面図であり、図中の符号１０および３０は外層配線板、符号２０はＩＣチップ２２、チップ型コンデンサ２３、チップ型抵抗２４等の小型チップ部品が内蔵された内層板である。また、外層配線板１０の表面に複数の外付けＩＣ部品２が実装されている。

【００３０】このように、本実施形態によれば、多層配線基板の内層に複数の回路部品を埋め込み、これらの内蔵部品を従来の多層配線板の製造工程で成されるメッキ処理にて一括して接続することにより、近年の超高密度実装傾向に対応可能な部品内蔵型多層配線基板を作製することができる。

【００３１】係る工法は、従来の多層配線基板の製造設

5

備や治工具、或いは製造技術等をそのまま活用することができるため、従来の半田接続による部品内蔵型多層配線板のような煩雑な製造工程を経ず単純な工程で信頼性の高い高密度実装を実現できるものである。また、内蔵部品の接続や層間接続に半田材を使用しないから、製造工程における環境汚染の問題等も解消できるものである。

【００３２】また、本実施形態では４層構造による基本的な多層配線基板について説明したがこれに限定されるものではなく、同様な作業の繰り返しにより４層以上の高多層板も勿論適用可能である。

【００３３】

【発明の効果】以上説明したように、請求項１に記載の本発明によれば、内層に複数の回路部品が埋め込まれて成る多層配線基板において、前記回路部品への接続をメッキにて行うようにしたので、高密度実装が可能な部品内蔵型多層配線基板の製造工程において、各層間や内蔵部品間の接続に環境負荷物質である半田を使用しなくて良いから、近年問題の環境汚染や作業者への有害性指摘に対しても極めて好適である。

【００３４】また、請求項２に記載の本発明によれば、多層配線基板の内層に回路部品を埋め込み、当該回路部品の端子面上に絶縁層を形成し、当該絶縁層に接続孔を穿設して前記回路部品の端子面を露出させ、前記接続孔によるスルーホール形成とエッチング処理により前記回路部品への接続を一括して行うようにしたので、上記同

6

様の効果が奏せられる他、本工程は従来の多層配線基板の製造工程の中で一連の作業として実施することができるため、従来技術による部品内蔵型多層配線板のような煩雑な製造工程を経ずに単純な工程で高密度実装を実現することができる。

【図面の簡単な説明】

【図１】本発明の第１実施形態に係る部品内蔵型多層配線基板の製造工程図である。

【図２】同、部品内蔵型多層配線基板の製造工程を示す内層板の断面図である。

【図３】本発明の第２実施形態に係る部品内蔵型多層配線基板の製造工程図である。

【図４】同、部品内蔵型多層配線基板の製造工程を示す断面図である。

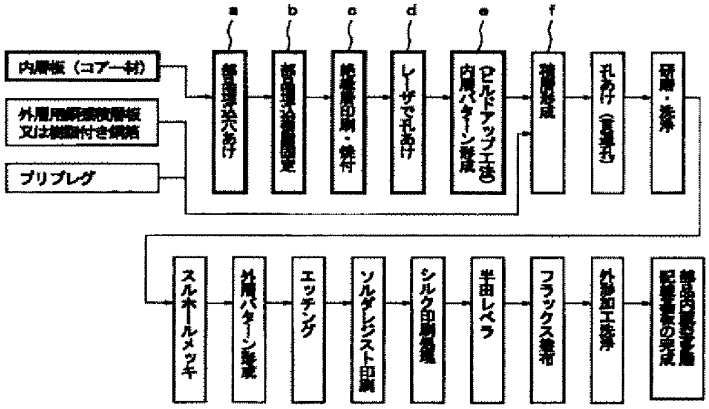
【図５】本発明に係る部品内蔵型多層配線基板の断面図である。

【図６】従来の多層配線基板の製造工程図である。

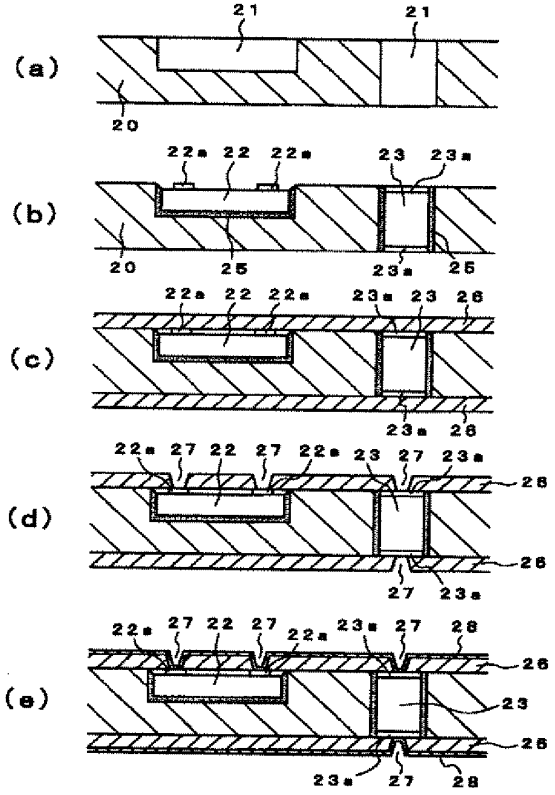
【符号の説明】

１	部品内蔵型多層配線基板
１３，２７，３３	接続孔（スルホール用孔）
２０	内層（内層板）
２２～２４	回路部品
２２ａ～２４ａ	回路部品の端子
２６	絶縁層または絶縁膜
４０	絶縁層（プリプレグ）

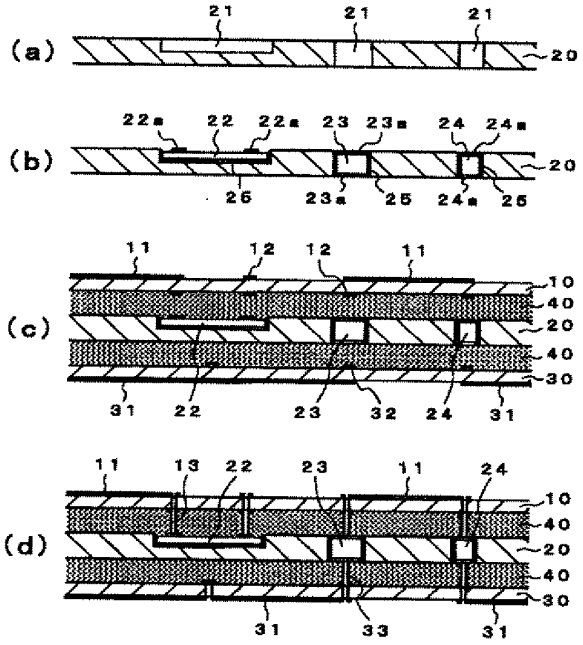
【図１】



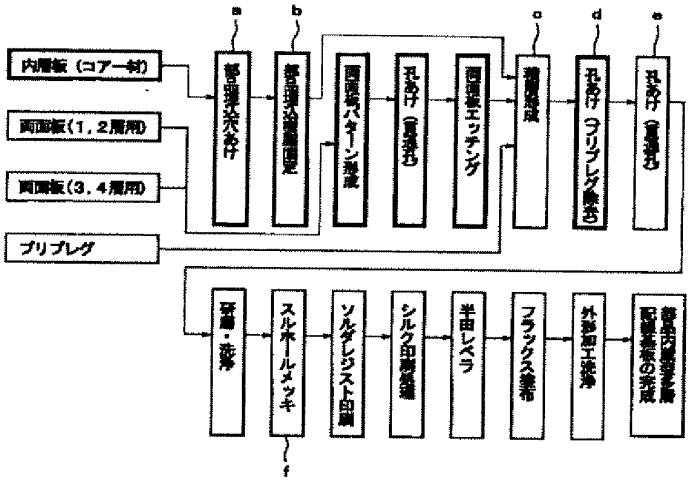
【図2】



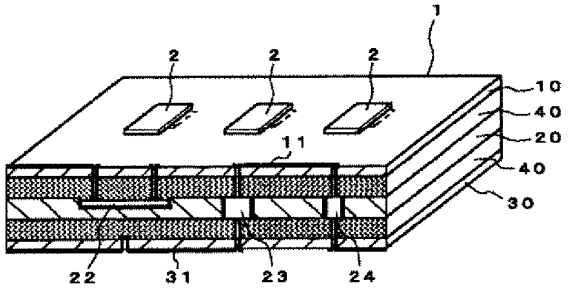
【図4】



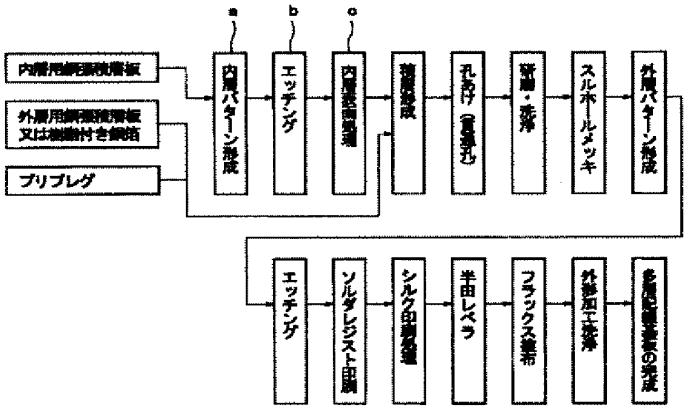
【図3】



【図５】



【図６】



フロントページの続き

Ｆターム(参考)　5E336 AA07 AA08 BB03 BC02 BC25
CC15 CC32
5E346 AA02 AA12 AA15 AA43 BB01
BB16 BB20 EE02 EE06 EE07
EE09 FF45 GG15 GG17 GG22
GG28 HH32 HH40

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2001-053447**
(43)Date of publication of application : **23.02.2001**

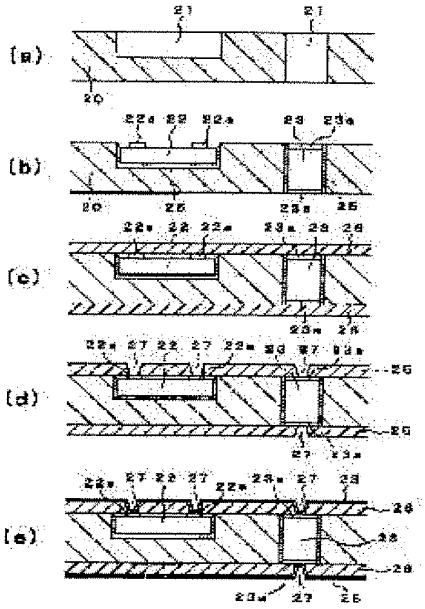
(51)Int.Cl. H05K 3/46
H05K 1/18

(21)Application number : **11-221976**
(22)Date of filing : **05.08.1999**

(71)Applicant : **IWAKI DENSHI KK**
(72)Inventor : **YAMAMOTO HIROYASU**
EJIRI NAOSHIGE

(54) MULTILAYER WIRING BOARD WITH BUILT-IN PART AND MANUFACTURING METHOD THEREOF

(57)Abstract:
PROBLEM TO BE SOLVED: To realize a multilayer with built-in parts which does not depend on soldering.
SOLUTION: Circuit parts 22 and 23 are embedded in an inner layer 20, and an insulating layer 26 is formed on terminal faces 22a and 23a of the circuit parts 22 and 23. A connecting hole 27 is perforated in the insulating layer 26 so that the terminal faces 22a and 23a of the circuit parts 22 and 23 can be exposed, and the connection with the circuit parts can be operated in a batch by the through-hole formation with the connecting hole 27 and etching processing. This system is made executable as a series of works in the conventional manufacturing process of a multilayer wiring board so that the process can be simplified, and it is not necessary to use solder being an environmental load substance for inter-part or interlayer connection so that this multilayer wiring board can be made suitable even for an environment.



LEGAL STATUS

[Date of request for examination] 29.08.2000
[Date of sending the examiner's decision of rejection] 16.10.2001
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any
damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]
[0001]
[The technical field to which invention belongs] this invention relates to the part built-in multilayer-interconnection substrate which embeds small passive circuit elements at a inner layer, and grows into it, and its manufacture method.
[0002]
[Description of the Prior Art] Improvement in the speed and the high multi-functionalization inclination are increasing much more with small and lightweight-ization of electronic equipment in recent years, and it sets to a printed-circuit board, and is reliable high density. In such an inclination, a monolayer substrate and a multilayer substrate are used, the multilayer-interconnection substrate of three or more layers is used instead of the conventional surface mount technology which mounted discrete part, the chip, etc. in the front rear face, and three-dimensions mounting / wiring technology which embedded bare chips, such as a tipped type capacitor, resistance, and IC, at the inner layer has come to attract attention. Component-mounting density improves by leaps and bounds by the manufacturing technology of the starting multilayer-interconnection substrate, shortening of the wiring distance by this is also helped, and improvement in the speed and high-reliability-ization came to be realized with high-density-assembly-ization.
[0003] JP,6-120671,A is indicated as starting part built-in multilayer-interconnection substrate technology. This technology embeds a chip at a inner layer, and connection between the flow between layers and built-in parts is divided into a number process using the solder material from which the melting point differs, respectively, and it performs it.
[0004]
[Problem(s) to be Solved by the Invention] however, the above-mentioned indication technology had the fault that the manufacturing process of a wiring substrate was complicated from the reasons of the solder material for maintaining stably requiring several times of soldering processes according to a solder connection place and melting temperature needing to control the quality Moreover, the detrimental nature to environmental pollution and an operator is pointed out increasingly in recent years. [in / a substrate manufacturing process / as environmental loading material / in solder material]
[0005] It aims at offering the part built-in multilayer-interconnection substrate which lost use of solder as much as possible, and its manufacture method while it simplifies the manufacturing process of a wiring substrate, as this invention was accomplished in view of the above-mentioned conventional trouble and makes connection with built-in parts by through hole formation and etching processing.
[0006]
[Means for Solving the Problem] That is, in a part built-in multilayer-interconnection substrate according to claim 1, it is characterized by making connection with the aforementioned passive circuit elements by plating in the multilayer-interconnection substrate which embeds two or more passive circuit elements at a inner layer, and grows into it.
[0007] Since it is not necessary to use the solder which is environmental loading material between

layers or for the connecting means of built-in parts while high-density-assembly-ization of parts is attained by this, it is very suitable to problems, such as environmental pollution in a manufacturing process.
[0008] moreover, the passive circuit elements [method / manufacture / of a part built-in multilayer-interconnection substrate according to claim 2] of plurality / inner layer / -- embedding -- the terminal side top of the passive circuit elements concerned -- an insulating layer -- forming -- the insulating layer concerned -- connection -- a hole is drilled and the terminal side of the aforementioned passive circuit elements is exposed -- making -- the aforementioned connection -- it is characterized by carrying out by putting in block connection with the aforementioned passive circuit elements by the through hole formation and etching processing by the hole
[0009] By this method, it can carry out as a series of work in the inside of the manufacturing process of the conventional multilayer-interconnection substrate, and, therefore, the manufacturing facility of the conventional wiring substrate, a tool, a manufacturing technology, etc. can be utilized as it is.
[0010]
[Embodiments of the Invention] Hereafter, the 1st operation gestalt of this invention is explained based on a drawing. Drawing 1 is the cross section of an inner strake [in / the manufacturing process / in the manufacturing process view of the part built-in multilayer-interconnection substrate concerning the 1st operation gestalt of this invention, and drawing 2].
[0011] The 1st operation gestalt of this invention is a multilayer-interconnection substrate (for example, it is 4 lamination) by the conventional method of construction shown in drawing 6 . It is what is carried out as a series of work in the inside of the manufacturing process of the substrate which does not build parts in a inner layer. The formation process of the inner strake shown by the thick line frame in drawing 1 is just going to be different from the inner layer pattern formation process (inner layer pattern formation-etching-inner layer surface treatment shown in process a-c of drawing 6) by the conventional build-up method of construction. All processes after it, such as a laminating adhesion process, an outer layer pattern formation process, etc. of an inner strake and an outside strake, are the same.
[0012] Hereafter, the formation process of the inner strake described above based on drawing 1 and drawing 2 is explained. In addition, the multilayer-interconnection substrate concerning this operation gestalt was made into four layer structures by the one side substrate (one layer and four layers) and inner strake 20 (two-layer and three layers) for outer layers.
[0013] First, part embedded **** 21 for holding tipped type passive circuit elements respectively is processed into an inner strake 20 (core material 20) at the process a of drawing 1 (refer to drawing 2 a). The curvature of the substrate in a laminating process can be prevented by using the object which has a coefficient of thermal expansion of the same grade as the wiring substrate material by a copper clad laminate, copper foil with a resin, etc. for outer layers as core material 20.
[0014] Next, the IC chip 22 and tipped type capacitor 23 grade are embedded at aforementioned part embedded **** 21, a resin is filled up with the process b of drawing 1 into a crevice, and adhesion and fixation of are done (refer to drawing 2 b). Here, since the IC chip 22 is a horizontal mounting type, part embedded **** 21 is a concave configuration, and since the tipped type capacitor 23 is a vertical mounting type, let part embedded **** 21 be a breakthrough.
[0015] Next, an insulating layer (insulator layer) is printed and burned and an insulating layer 26 is formed in vertical both sides of the inner strake 20 with which passive circuit elements were embedded at the process c of drawing 1 (refer to drawing 2 c).
[0016] next, the insulating layer 26 corresponding to terminal side 22a of the aforementioned IC chip 22, and terminal side 23a of the tipped type KODENSA chip 23 at the process d of drawing 1 -- connection -- a hole 27 (hole 27 for through holes) is drilled, and the terminal sides 22a and 23a of the each passive circuit elements 22 and 23 are changed into an exposure state by removing the insulating layer 26 of the portion (refer to drawing 2 d)
[0017] If some as which high degree of accuracy is required have the above-mentioned drilling

processing, although it is performed by usually irradiating a laser beam, it is also possible to carry out by dissolving an insulating layer 26 with a chemical. Of course, drilling using the drill is also possible like before.
[0018] next, the process e of drawing 1 -- the residue on a part terminal side (piece of prepreg **) -- removing -- the conventional build-up method of construction -- connection -- it plates on the wall of a hole 27, the exposed terminal sides 22a and 23a, the front face of the vertical insulating layer 26, etc. The predetermined conductor pattern 28 (namely, inner layer pattern 28) is formed by etching after plating processing. Flow connection with each passive circuit elements 22 and 23 is made with this inner layer pattern 28 (refer to drawing 2 e).
[0019] Henceforth, a prepreg is intervened in between at the process f of drawing 1 in the one side copper-clad sheet for outer layers (or copper foil with a resin), and the inner strake 20 with built-in parts formed at the aforementioned process a-e, and a laminating and after pasting up and forming an outer layer pattern by the conventional method of construction, the part built-in multilayer-interconnection substrate by the 1st operation form of this invention is completed through processes, such as resist printing and silk printing. In addition, the cross section of this process was omitted.
[0020] Next, the 2nd operation form of this invention is explained based on drawing 3 and drawing 4 .
[0021] The manufacturing process view of the part built-in multilayer-interconnection substrate which drawing 3 requires for the 2nd operation form of this invention, and drawing 4 are the cross sections showing the manufacturing process.
[0022] The outer layer pattern which formed connection with built-in parts on the outer layer substrate by the conventional method of construction performs the 2nd operation form to said 1st operation form being the composition of forming the inner layer pattern 28 in an inner strake 20, and making connection with built-in parts. Therefore, formation of the inner layer pattern (28) explained in the aforementioned 1st operation form only by passive circuit elements 22-24 being embedded at an inner strake 20 is not performed. That is, in the case of a **** 2 operation form, it is the new routing by which the portion shown by the thick line frame in drawing 3 is added to the conventional method of construction.
[0023] Hereafter, drawing 3 and drawing 4 explain the manufacture method of a part built-in multilayer-interconnection substrate. In addition, the multilayer-interconnection substrate concerning this operation gestalt was made into four layer structures by the double-sided substrate 10 (one layer and two-layer) for outer layers, the double-sided substrate 30 (three layers and four layers), and the inner strake 20 (core material).
[0024] First, at the processes a and b of drawing 3 , part embedded **** 21 is processed into an inner strake 20 like the aforementioned 1st operation gestalt. And the small chip of the IC chip 22, tipped type KONDENSACHI 23, and tipped type resistance 24 grade is embedded at this part embedded **** 21, and it pastes up and fixes by the resin. (Refer to drawing 4 a and drawing 4 b)

[0025] On the other hand, the outer layer patterns 11 and 31 shown in drawing 4 c are formed in said double-sided substrate 10 and double-sided substrate 30 (outer layer patchboard) for outer layers among drawing 3 of the conventional method of construction (double-sided board pattern formation-perforation-double-sided board etching) shown by the double plate. Under the present circumstances, the lands 12 and 32 for through holes are formed in the position corresponding to the terminal sides 22a-24a of passive circuit elements 22-24 11 of an outer layer pattern, and 31.
[0026] Next, at the process c of drawing 3 , in between, a prepreg 40 (or you may use a thin resin film etc.) is intervened, and the laminating and adhesion of the outer layer patchboards 10 and 30 and the aforementioned inner strake 20 with which the outer layer patterns 11 and 31 were formed are done (refer to drawing 4 c).
[0027] next, the process d of drawing 3 -- the aforementioned lands 12 and 32 for through holes -- the object for connection -- holes 13 and 33 (namely, a through hole holes 13 and 33) are drilled, a prepreg 40 is removed, and the terminal sides 22a-24a of each passive circuit elements 22-24 are exposed Perforation processing in this case is the same as that of the case of the 1st operation

gestalt, and is performed using a laser beam, a chemical, or a drill.
[0028] subsequently, the process f of drawing 3 -- the object for connection -- it plates to the wall of holes 13 and 33, and the exposed terminal side, and connection with the built-in parts 22-24 is completed through the upper outer layer pattern 11 and the lower outer layer pattern 31 which were formed at the last process (refer to drawing 4 d) in addition, the through hole for connection for connecting for 1 - four layers, although the "perforation process" shown in the process e of drawing 3 is not illustrated to drawing 4 -- it is a hole
[0029] Henceforth, the part built-in multilayer-interconnection substrate by the 2nd operation gestalt of this invention is completed through processes, such as resist printing and silk printing. Drawing 5 is the cross section showing the internal structure of the completed part built-in multilayer substrate 1, and it is the inner strake [patchboard / outer layer] with which the signs 10 and 30 in drawing were built in, and, as for the sign 20, the small chip of the IC chip 22, the tipped type capacitor 23, and tipped type resistance 24 grade was built in. Moreover, two or more external IC parts 2 are mounted in the front face of the outer layer patchboard 10.
[0030] Thus, according to this operation gestalt, the part built-in multilayer-interconnection substrate which can respond to a super-high-density-assembly inclination in recent years is producible by embedding two or more passive circuit elements at the inner layer of a multilayer-interconnection substrate, and connecting collectively by the plating processing which accomplishes these built-in parts by the manufacturing process of the conventional multilayer-interconnection board.
[0031] Since the starting method of construction can utilize the manufacturing facility of the conventional multilayer-interconnection substrate, a tool or a manufacturing technology, etc. as it is, it can realize reliable high density assembly at a simple process not through a complicated manufacturing process like the part built-in multilayer-interconnection board by the conventional solder connection. Moreover, since solder material is not used for connection of built-in parts or an interlayer connection, the problem of the environmental pollution in a manufacturing process etc. is solvable.
[0032] Moreover, with this operation gestalt, although the fundamental multilayer-interconnection substrate by four layer structures is explained, it is not limited to this, and, of course, the high multilayer board of four or more layers can also be applied by the repeat of the same work.
[0033]
[Effect of the Invention] Since it was made to make connection with the aforementioned passive circuit elements by plating in the multilayer-interconnection substrate which two or more passive circuit elements are embedded at a inner layer, and changes according to this invention according to claim 1 as explained above In the manufacturing process of the part built-in multilayer-interconnection substrate in which high density assembly is possible, since it is not necessary to use the solder which is environmental loading material for connection between each class and between built-in parts, it is very suitable also to the detrimental nature indication to environmental pollution and an operator in question in recent years.
[0034] Moreover, according to this invention according to claim 2, passive circuit elements are embedded at the inner layer of a multilayer-interconnection substrate. A hole is drilled and the terminal side of the aforementioned passive circuit elements is exposed. the terminal side top of the passive circuit elements concerned -- an insulating layer -- forming -- the insulating layer concerned -- connection -- the aforementioned connection, since it was made to carry out by putting in block connection with the aforementioned passive circuit elements by the through hole formation and etching processing by the hole the same effect as the above is done so, and also since this process can be carried out as a series of work in the inside of the manufacturing process of the conventional multilayer-interconnection substrate, it can be boiled not through a complicated manufacturing process like the part built-in multilayer-interconnection board by the conventional technology, and can realize high density assembly at a simple process

---

[Translation done.]

(19)日本国特許庁（ＪＰ）　(12)**公開特許公報**（Ａ）　(11)特許出願公開番号
特開2001－274034
（P2001－274034A）
(43)公開日　平成13年10月5日(2001.10.5)

(51)Int.Cl.[7]	識別記号	ＦＩ		テーマコード（参考）
Ｈ０１Ｇ　2/06		Ｈ０１Ｇ　4/10		５Ｅ００１
4/33		4/12	３９７	５Ｅ０８２
4/10		Ｈ０１Ｌ　25/00	Ｂ	５Ｅ３２１
4/12	３９７	Ｈ０５Ｋ　9/00	Ｒ	
Ｈ０１Ｌ　23/12		Ｈ０１Ｇ　1/035	Ｄ	

審査請求　未請求　請求項の数10　ＯＬ　（全 10 頁）　最終頁に続く

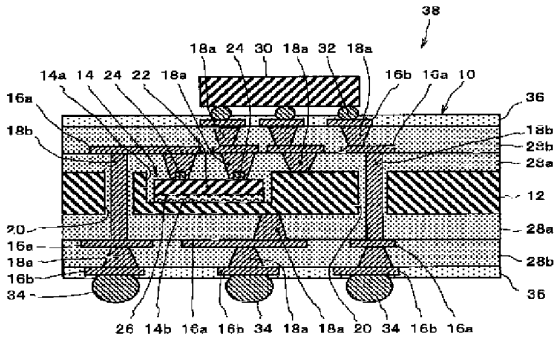
(21)出願番号　特願2000－276514(P2000－276514)
(22)出願日　平成12年９月12日(2000.9.12)
(31)優先権主張番号　特願2000－11767(P2000－11767)
(32)優先日　平成12年１月20日(2000.1.20)
(33)優先権主張国　日本（ＪＰ）

(71)出願人　000190688
新光電気工業株式会社
長野県長野市大字栗田字舎利田711番地
(72)発明者　六川　昭雄
長野県長野市大字栗田字舎利田711番地
新光電気工業株式会社内
(72)発明者　今井　一成
長野県長野市大字栗田字舎利田711番地
新光電気工業株式会社内
(74)代理人　100077621
弁理士　綿貫　隆夫　（外１名）

最終頁に続く

(54)【発明の名称】　電子部品パッケージ

(57)【要約】
【課題】　電子部品を高密度に実装できると共に、電子部品に対する電磁ノイズからのシールド効果も有する電子部品パッケージを提供する。
【解決手段】　コア材１２に形成された凹部１４と、凹部１４内に埋め込まれた半導体チップ２２と、凹部１４の開口側のコア材１２の表面に凹部１４を覆うように形成された絶縁層２８ａ、２８ｂと、絶縁層２８ａ、２８ｂの表面に形成された配線層１６ａ、１６ｂと、絶縁層２８ａ、２８ｂに形成され、配線層１６ａ、１６ｂと半導体チップ２２の凹部１４開口側の表面に形成された電極端子２４とを電気的に接続するビア１８ａ、１８ｂとを有する電子部品パッケージ１０において、凹部１４の内壁面１４ａおよび底面１４ｂが、導電性金属である。



【特許請求の範囲】
【請求項１】　コア材に形成された凹部と、該凹部内に埋め込まれた電子部品と、前記凹部の開口側の前記コア材の表面に該凹部を覆うように形成された絶縁層と、該絶縁層の表面に形成された配線層と、前記絶縁層に形成され、該配線層と前記電子部品の凹部開口側の表面に形成された電極とを電気的に接続するビアとを具備する電子部品パッケージにおいて、
前記凹部の内壁面および底面が、導電性金属であることを特徴とする電子部品パッケージ。
【請求項２】　前記コア材が、導電性金属からなることを特徴とする請求項１記載の電子部品パッケージ。
【請求項３】　前記コア材が、絶縁材料からなり、
前記凹部の内壁面および底面が、導電性金属からなるめっき被膜によって覆われていることを特徴とする請求項１記載の電子部品パッケージ。
【請求項４】　前記電子部品が、半導体チップであることを特徴とする請求項１、２または３記載の電子部品パッケージ。
【請求項５】　前記電子部品が、表裏両面に電極が形成されたコンデンサ、インダクタ又は抵抗であり、裏面側が導電性接着ペースト又は導電性接着シートを用いて形成された導電層を介して前記凹部の底面に接合され、裏面側の電極が、該導電層と前記凹部の内壁面および底面の導電性金属とを介して前記配線層に電気的に接続されていることを特徴とする請求項１、２または３記載の電子部品パッケージ。
【請求項６】　前記コンデンサが、ｐ型シリコンからなる薄板と、該薄板の一方の面に形成された白金からなる金属層と、前記薄板の他方の面に形成された誘電体層と、該誘電体層上に形成された電極とを具備することを特徴とする請求項５記載の電子部品パッケージ。
【請求項７】　前記コンデンサが、ｎ型シリコンからなる薄板と、該薄板の一方の面に形成されたチタンもしくは鉛からなる金属層と、前記薄板の他方の面に形成された誘電体層と、該誘電体層上に形成された電極とを具備することを特徴とする請求項５記載の電子部品パッケージ。
【請求項８】　前記コンデンサが、金属箔の表面に陽極化成法により酸化被膜が形成され、該酸化被膜上に電極が形成されたコンデンサであることを特徴とする請求項５記載の電子部品パッケージ。
【請求項９】　前記コンデンサが、チタン金属箔の表面に水熱合成法により誘電体層が形成され、該誘電体層上に電極が形成されたコンデンサであることを特徴とする請求項５記載の電子部品パッケージ。
【請求項１０】　前記電子部品が、コンデンサであることを特徴とする請求項１、２または３記載の電子部品パッケージ。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は、電子部品パッケージに関し、さらに詳細には半導体チップ、コンデンサ、インダクタ等の電子部品をコア材中に埋め込んで搭載した電子部品パッケージに関する。
【０００２】
【従来の技術】従来、コア材に形成された凹部内に電子部品（半導体チップやコンデンサや抵抗やインダクタ）を埋め込み、その後、凹部の開口側のコア材の表裏両面に凹部を覆うように絶縁層と配線層を積層して電子部品パッケージを形成するものとして、特許第2842378号（特開平9-321408号）に開示されたものが公知である。この構造を採用することによって、電子部品パッケージへの電子部品の実装を高密度化できる。
【０００３】
【発明が解決しようとする課題】ところで近年では、電子部品パッケージに実装される電子部品の動作周波数や電子部品に流れる電気信号の周波数が高周波化し、それに伴ない電子部品パッケージ上において発生する電磁ノイズが増加してきている。このため、ノイズによる誤動作等を防止できるように、ノイズから電子部品をシールドできる構造の電子部品パッケージが望まれている。しかしながら、従来例で説明した特許第2842378号の構造では、電子部品は樹脂材料からなるコア材としてのプリント基板に埋め込まれているだけであるから、埋め込まれた電子部品が導電体で囲まれておらず、ノイズからの電磁シールド構造といったものは全く無い。よって、回路基板に実装された電子部品がノイズを拾って誤動作したり、また電子部品が拾ったノイズが電子部品に流れる電気信号に重畳するといった課題がある。
【０００４】従って、本発明は上記課題を解決すべくなされ、その目的とするところは、電子部品を高密度に実装できると共に、電子部品に対する電磁ノイズからのシールド効果も有する電子部品パッケージを提供することにある。
【０００５】
【課題を解決するための手段】本発明は上記課題を解決するために、コア材に形成された凹部と、該凹部内に埋め込まれた電子部品と、前記凹部の開口側の前記コア材の表面に該凹部を覆うように形成された絶縁層と、該絶縁層の表面に形成された配線層と、前記絶縁層に形成され、該配線層と前記電子部品の凹部開口側の表面に形成された電極とを電気的に接続するビアとを具備する電子部品パッケージにおいて、前記凹部の内壁面および底面が、導電性金属であることを特徴とする。また、具体的には前記コア材が、導電性金属からなる構成を採用できる。また、前記コア材が、絶縁材料からなり、前記凹部の内壁面および底面が、導電性金属からなるめっき被膜によって覆われている構成を採用することもできる。これらの構成によれば、高密度で電子部品を実装できると

共に、凹部内に埋め込まれた電子部品は、凹部開口部分を除き、導電性金属で覆われるから、ノイズに対して電磁シールドされて、凹部内の電子部品へのノイズの影響が軽減されるという効果がある。

【０００６】また、前記電子部品が、半導体チップである構成も採用できる。また、前記電子部品が、表裏両面に電極が形成されたコンデンサ、インダクタ又は抵抗であり、裏面側が導電性接着ペースト又は導電性接着シートを用いて形成された導電層を介して前記凹部の底面に接合され、裏面側の電極が、該導電層と前記凹部の内壁面および底面の導電性金属とを介して前記配線層に電気的に接続されている構成とすることも可能である。

【０００７】前記コンデンサに、ｐ型シリコンからなる薄板と、該薄板の一方の面に形成された白金からなる金属層と、前記薄板の他方の面に形成された誘電体層と、該誘電体層上に形成された電極とを具備するコンデンサを用いることができる。あるいは、前記コンデンサに、ｎ型シリコンからなる薄板と、該薄板の一方の面に形成されたチタンもしくは鉛からなる金属層と、前記薄板の他方の面に形成された誘電体層と、該誘電体層上に形成された電極とを具備するコンデンサを用いることができる。

【０００８】また、前記コンデンサに、金属箔の表面に陽極化成法により酸化被膜が形成され、該酸化被膜上に電極が形成されたコンデンサを用いることができる。また、前記コンデンサに、チタン金属箔の表面に水熱合成法により誘電体層が形成され、該誘電体層上に電極が形成されたコンデンサを用いることができる。あるいは、前記電子部品に、コンデンサを用いてもよい。

【０００９】

【発明の実施の形態】以下、本発明に係る電子部品パッケージの好適な実施の形態を添付図面に基づいて詳細に説明する。

（第１の実施の形態）電子部品パッケージ１０の構造について説明する。コア材１２には凹部１４が形成されている。本実施の形態では、コア材１２は、銅等の導電性金属を板状に形成したものである。そしてこの凹部１４はルーター等の機器を使用してコア材１２の表面を削って形成したり、またエッチングで形成する。また、凹部１４の平面形状は、凹部１４に埋め込まれる電子部品の大きさを考慮して、電子部品が収容可能な形状に設定されている。電子部品パッケージ１０に搭載される電子部品の平面形状は通常四角形であるため、凹部１４の平面形状もこれに合わせて四角形とするのが一般的であるが、これに限定されることは無く、円形や四角形以外の多角形とすることも可能である。

【００１０】また、凹部１４の深さは、ノイズに対するシールド効果を高めるために、電子部品が完全に収容され、電子部品が凹部１４から突出しない程度の深さが望ましいが、これに限定されるものではない。また、コア材１２には凹部１４のほか、コア材１２の表面および裏面に配置された配線層１６同士を電気的に接続するビア１８を通すための貫通孔２０が、凹部１４と同様の手段によって形成されている。

【００１１】そして、凹部１４内には電子部品の一例として半導体チップ２２が埋め込まれている。半導体チップ２２の埋め込み構造は、半導体チップ２２をその電極（電極端子とも言う）２４が形成された面（以下、電極端子形成面とも言う）を凹部１４の開口側にむけて、逆側の面（背面）を凹部１４の底面に接着剤２６を用いて接着して凹部１４に収容・固定する。

【００１２】そしてコア材１２の表裏両面には、電気的絶縁層（以下、単に絶縁層とも言う）２８と配線層１６とが、この順番で、凹部１４の開口側のコア材１２の表面に、凹部１４を覆うように多層に積層されて形成されている。そして、各配線層１６は、絶縁層２８やコア材１２を貫通するビア１８によって電気的に接続されている。本実施の形態では、コア材１２の表裏両面に、絶縁層２８と配線層１６とがそれぞれ一例として２層ずつ積層されて形成されているが、３層以上の場合も考え方は同じである。絶縁層２８は、第１絶縁層２８ａとその上層の第２絶縁層２８ｂとから成る。また、配線層１６は、第１絶縁層２８ａの表面に形成された第１配線層１６ａと、第２絶縁層２８ｂの表面に形成された第２配線層１６ｂとから成る。また、ビア１８は、コア材１２の一方の面側に配置された絶縁層２８を貫通し、この一方の面側に配置された配線層１６同士、または配線層１６とコア材１２、または配線層１６と半導体チップ２２の電極端子２４を電気的に接続する第１ビア１８ａと、コア材１２の貫通孔２０を貫通してコア材１２の表裏に形成された配線層１６同士を電気的に接続する第２ビア１８ｂとから構成されている。

【００１３】そして、第２絶縁層２８ｂや第２配線層１６ｂの表面には、電子部品パッケージ１０に搭載される半導体チップ３０のバンプ３２や電子部品パッケージ１０の外部接続端子３４が取り付けられるランド部となる第２配線層１６ｂの所定の部位のみが露出するように、ソルダーレジストによる被覆層３６が形成されている。以上が、電子部品パッケージ１０の構成である。なお、第２配線層１６ｂのランド部に外部接続端子３４を取り付けた状態で電子部品パッケージ１０とすることもある。また、コア材１２に形成する凹部１４の数は２つ以上形成し、複数の電子部品をコア材１２中に埋め込む構成としても良いし、コア材１２の一方の表面だけでなく、両面に凹部１４を形成して電子部品を埋め込む構造とすることも可能であり、さらなる高密度化が図れる。

【００１４】そして、この電子部品パッケージ１０の表面（図１中の上面）に、他の半導体チップ３０をバンプ３２を介して搭載し、また電子部品パッケージ１０の裏面（図１中の下面）に、はんだボール等の外部接続端子

３４が接続されて半導体装置３８となる。このような電子部品パッケージ１０や半導体装置３８では、凹部１４の内壁面１４ａ及び底面１４ｂが導電性金属であるから、コア材１２の凹部１４の内壁面１４ａや底面１４ｂが電磁シールド壁となって電子部品パッケージ１０に搭載された他の電子部品や配線層で発生したノイズが凹部１４内の半導体チップ２２に直接悪影響を及ぼす程度を軽減できる。さらに、配線層１６と比較して厚く、電気的な抵抗値が低いために安定した電位となるコア材１２を通常、グランド層として使用するが、このように安定した電位となる導電性金属でコア材１２の凹部１４内に埋め込まれた半導体チップ２２が取り囲まれることもノイズ軽減に非常に効果がある。

【００１５】またさらに、凹部１４内の半導体チップ２２はその背面がコア材１２に接着されているため、半導体チップ２２で発生する熱がコア材１２に効率良く逃げ、半導体チップ２２が効率良く冷却されるという効果もあり、埋め込まれた半導体チップ２２の寿命が延び、結果として電子部品パッケージ１０や半導体装置３８の安定性が高まると考えられる。また、さらには半導体チップ２２が非常に薄いものであっても、樹脂材に比べて剛性のある金属製のコア材１２に形成された凹部１４内に収容されているため、外力が加わっても半導体チップ２２にクラックが生じにくいという効果もある。

【００１６】次に、電子部品パッケージ１０の製造方法を、図４～図１３を用いて説明する。まず、導電性金属の一例として銅基板をコア材１２として用意する（図４参照）。そして、コア材１２の表面に、エッチングやルータ加工によって、凹部１４を形成する（図５参照）。次に、コア材１２の、第２ビア１８ｂを貫通させる位置に、貫通孔２０を形成する（図６参照）。次に、コア材１２の、凹部１４内に電子部品としての半導体チップ２２を接着する（図７参照）。

【００１７】次に、コア材１２の表裏両面に、凹部１４を覆うように第１絶縁層２８ａを形成すると共に、第１絶縁層２８ａを形成する樹脂材料（ＰＰＥ樹脂等）をコア材１２の貫通孔２０や凹部１４内に充填する（図８参照）。次に、第１絶縁層２８ａに、レーザ光を照射して第１ビア孔５２と第２ビア孔５４を形成する。第１ビア孔５２は、半導体チップ２２の電極端子２４やコア材１２の表面が底面に露出する露出孔として形成される。また、第２ビア孔５４は、コア材１２の貫通孔２０に充填された樹脂とコア材１２の表裏両面に形成された第１絶縁層２８ａを貫通する構成に形成される。ここで、第２ビア孔５４を形成する際には、貫通孔２０の内壁面が露出しないようにする（図９参照）。なお、絶縁層にビア孔を形成する手法としては、レーザ光照射に代えて化学的にエッチングして形成する手法も考えられる。

【００１８】次に、無電解銅めっき及び電解銅めっきを施して、第１絶縁層２８ａの表面に金属めっき被膜を形成すると共に、第１ビア孔５２と第２ビア孔５４内を導体で充填する。そして、第１絶縁層２８ａの表面の金属めっき被膜を所定のパターンに従ってエッチングして第１配線層１６ａを形成する。金属めっき被膜の表面に感光性レジストを塗布し、感光性レジストを露光・現像してレジストパターンを形成し、レジストパターンによって被覆されていない部位の金属めっき被膜の露出部分を除去することによって、所定のパターンの配線層を形成することができる（図１０参照）。ここで、第１ビア孔５２内に導体が充填されて第１ビア１８ａとなり、また第２ビア孔５４内に導体が充填されて第２ビア１８ｂとなる。

【００１９】次に、コア材１２の表裏両面の第１絶縁層２８ａ及び第１配線層１６ａの表面を覆うように第２絶縁層２８ｂを形成する。そして、第２絶縁層２８ｂに、レーザ光を照射して第１ビア孔５２を形成する（図１１参照）。この第１ビア孔５２は底面に第１配線層１６ａの所定の部位が露出する露出孔として形成する。次に、無電解銅めっき及び電解銅めっきを施して、第２絶縁層２８ｂの表面に金属めっき被膜を形成すると共に、第１ビア孔５２内を導体で充填する。そして、第２絶縁層２８ｂの表面の金属めっき被膜を、第１配線層２８ａの場合と同様に、所定のパターンに従ってエッチングして第２配線層１６ｂを形成する（図１２参照）。第１ビア孔５２内を導体で充填することで、第１ビア１８ａが形成される。

【００２０】最後に、第２絶縁層２８ｂ及び第２配線層１６ｂの表面に、電子部品パッケージ１０に搭載される半導体チップ３０のバンプ３２や電子部品パッケージ１０の外部接続端子３４が取り付けられるランド部となる第２配線層１６ｂの所定の部位のみが露出するように、ソルダーレジストによる被覆層３６を形成する（図１３参照）。以上が、電子部品パッケージ１０の製造方法である。

【００２１】（第２の実施の形態）電子部品パッケージ４０の構造について説明する。まず、第１の実施の形態との相違点についてその概要を説明すると、本実施の形態のコア材１２は、ガラス・エポキシ基板やＢＴ（ビスマレイミド　トリアジン）基板等の電気的な絶縁性を有する材料（絶縁材料）で形成された板体で構成されている点にある。このためコア材１２の凹部１４内に埋め込まれる電子部品をシールドするため、コア材１２の表面に配線層４２を形成する際に、凹部１４の内壁面１４ａおよび底面１４ｂもこの配線層４２を形成する導電性を有する金属めっき被膜４４で覆い、この金属めっき被膜４４で凹部１４内に収容される電子部品を電磁シールドする構成としている。

【００２２】コア材１２に関する部分の構造が相違するのみで、コア材１２に積層する絶縁層２８や配線層１６や被覆層３６の構造は第１の実施の形態と同じであるか

ら、同じ構成については同じ符号を付して説明は省略し、相違する構成のみを説明する。コア材１２には凹部１４が形成されている。本実施の形態では、コア材１２は、前述のような絶縁材料を板状に形成したものである。コア材１２の表面と裏面には配線層４２が形成されている。また、凹部１４の内壁面１４ａと底面１４ｂは、この配線層４２を形成する導電性を有する金属めっき被膜４４で覆われている。

【００２３】コア材１２を貫通する第２ビア１８は、コア材１２の表面に形成された配線層４２同士、またはコア材１２の表面に形成された配線層４２と絶縁層２８の表面に形成された第１配線層１６ａとを電気的に接続する。なお、第２ビア１８の内、コア材１２の表面に形成された配線層４２同士を接続するものの構造は、一例としてコア材１２に形成された貫通孔２０の内周面に金属めっき被膜４６を形成した後に樹脂４８を充填してなるものであるが、他の構造でも良い。また、凹部１４の内壁面１４ａや底面１４ｂに形成された金属めっき被膜４４は、第１ビア１８ａおよび／または第２ビア１８ｂによって電子部品パッケージ４０に搭載される半導体チップ３０のグランド用バンプおよび／または外部接続端子３４と電気的に接続されている。本実施の形態では、凹部１４内の金属めっき被膜４４は、コア材１２の表面に形成された配線層４２と第１ビア１８ａと第１配線層１６ａと第２配線層１６ｂを介して半導体チップ３０のグランド用バンプと接続されると共に、第１絶縁層２８ａとコア材１２を貫通して凹部１４の底面１４ｂに達する第２ビア１８ｂにより外部接続端子３４とも電気的に接続されている。

【００２４】このように、コア材１２が絶縁材料で形成されていても、コア材１２中に埋め込まれる半導体チップ２２が収容される凹部１４の内壁面１４ａや底面１４ｂが、導電性を有して所定の電位（例えばグランド電位）になっている金属めっき被膜４４で覆われているため、第１の実施の形態と同様に、半導体チップ２２が金属めっき被膜４４で電磁シールドされてノイズが直接半導体チップ２２に飛び込むことを低減することが可能となる。

【００２５】（第３の実施の形態）前述した各実施の形態において、コア材１２の凹部１４内に収容されて埋め込まれる電子部品として半導体チップ２２を例に挙げて説明してきたが、半導体チップ２２以外にも抵抗やコンデンサといった他の電子部品を凹部１４内に収容してコア材１２中に埋め込むことができる。そして、コンデンサや抵抗やインダクタといった電子部品５０は、図３に示すように下部電極となるシリコン基板５０ａの表面に誘電材料や抵抗材料の被膜５０ｂを形成し、この被膜５０ｂの表面に上部電極となる導電性被膜５０ｃを形成することで構成することが可能である。

【００２６】この構造の電子部品５０においては、下部電極であるシリコン基板５０ａを凹部１４内に接着する際の接着剤２６に導電性ペーストまたは導電性接着シート等の導電性を有する接着剤（導電層）を使用することによって、電子部品５０の下部電極５０ａを電気的に凹部１４の底面１４ｂに形成された金属めっき被膜４４と接続することが可能となるから、第２の実施の形態の構造の電子部品パッケージ４０を利用することによって、凹部１４の底面１４ｂおよび内壁面１４ａを覆う金属めっき被膜４４を配線層として使用し、電子部品パッケージ１０に搭載された半導体チップ３０や他の電子部品や外部接続端子３４と電気的に接続することが可能となる。なお、図３においては、一例として第２の実施の形態の電子部品パッケージ４０を用いて説明したが、第１の実施の形態の電子部品パッケージ１０にも同様にコンデンサや抵抗やインダクタといった電子部品５０を搭載できる。

【００２７】図１４にコンデンサ５０の一例を示す。下部電極５０ａにシリコン基板を用いるときは、ｐ型もしくはｎ型シリコンからなる薄板を用いると好適である（以下薄板５０ａとして説明する）。この薄板５０ａは、シリコンウェーハをポリッシングして厚さ３０～５０μｍ程度に薄化し、所要サイズに切断して形成される。ウェーハをポリッシングすることで、表面は鏡面となり、平坦度の高いものとなる。

【００２８】この薄板５０ａの一方の面上に金属層５０ｄを形成する。金属層５０ｄは、薄板５０ａがｐ型シリコンであるときは白金の層とし、薄板５０ａがｎ型シリコンであるときはチタンまたは鉛の層とする。これら金属層５０ｄは、薄板５０ａの一方の面にスパッタリングや蒸着によって形成できる。金属層５０ｄの厚さは特に限定されないが、数μｍ～数十μｍのものとすることができる。

【００２９】薄板５０ａがｐ型シリコンで金属層５０ｄが白金のとき、また薄板５０ａがｎ型シリコンで金属層５０ｄがチタンまたは鉛のとき、薄板５０ａと金属層５０ｄとの間は、仕事関数の差から明らかなようにオーミック接続となり、いずれの方向の電流をも通す。薄板５０ａと金属層５０ｄの組み合わせが上記以外のときはショットキー接続となり、整流作用が生じ、ある一方向の電流しか流れなくなる。

【００３０】薄板５０ａの他方の面にスパッタリング等によって誘電材料からなる被膜５０ｂを形成する。被膜５０ｂの厚さは薄い程、高容量のキャパシタが得られる。薄い被膜５０ｂを得るには、薄板５０ａの平坦度が重要であるが、上記のように薄板５０ａはウェーハをポリッシングして得ることができるので、その平坦度は大きく、したがって、ピンホールの無い薄い被膜５０ｂの形成が可能となる。

【００３１】被膜５０ｂには、酸化タンタル（Ta_2O_5）、チタン酸ストロンチウム（$SrTiO_3$）、チ

タン酸バリウム（$BaTiO_3$）、チタン酸ジルコン酸鉛（$PbZr_x\ Ti_{1-x}O_3$）、もしくはチタン酸ストロンチウムバリウム（$Ba_x\ Sr_{1-x}TiO_3$）などの誘電材料を用いると好適である。

【００３２】被膜５０ｂの上に上部電極である導電性被膜５０ｃを形成するのである。導電性被膜５０ｃは、被膜５０ｂとの密着性を向上させるために、被膜５０ｂ上にまずクロム層（図示せず）をスパッタリングにより形成し、このクロム層上にスパッタリング等により銅層を形成するようにするとよい。シリコンウェーハ上に上記構成のコンデンサ５０を多数作り込み、これを切断して個片のコンデンサ５０に分離するようにすると好適である。上記のコンデンサ５０を、金属層５０ｄを凹部１４の底面側に向けて導電性接着剤２６により金属めっき被膜４４上に固定するようにする。

【００３３】図１５はコンデンサ５０のさらに他の実施の形態を示す。１３はアルミニウム、チタン、タンタル等のバルブ金属箔である。このバルブ金属箔１３に公知の陽極化成法（陽極酸化）により、表面に酸化被膜１５を形成する。バルブ金属箔１３は５μｍ～３０μｍ程度の薄い肉厚のものを用いることができ、このバルブ金属箔１３の表面に０．３μｍ程度の極めて薄い酸化被膜１５を形成することができる。バルブ金属箔１３は、ロール状に巻回したもの、あるいは広い面積を有するシート状のものを用いることができ、効率よく陽極化成処理を施すことができる。

【００３４】バルブ金属箔１３の両面の酸化被膜１５上に、スパッタリングあるいは蒸着により銅層を形成して電極膜１７、１７を形成する。このバルブ金属箔１３を所望の大きさに裁断して、コンデンサ５０に形成する。酸化被膜１５は硬くて脆いが、芯にフレキシブルなバルブ金属箔１３が存在するので、全体として、脆さは低減され、取り扱いやすい。なお、上記では、バルブ金属箔１３の両面に、酸化被膜１５、電極膜１７を形成したが、バルブ金属箔１３の片面にのみ酸化被膜１５、電極膜１７を形成するようにしてもよい。

【００３５】また上記実施の形態では、バルブ金属箔１３上に、誘電体層としての酸化被膜１５を陽極化成処理により形成したが、水熱合成法によってチタン金属箔上に強誘電体であるチタン酸ジルコン酸鉛、チタン酸ストロンチウム、チタン酸バリウム、チタン酸ストロンチウムバリウムの結晶膜を形成して誘電体層としてもよい（図示せず）。水熱合成法でチタン酸ジルコン酸鉛（ＰＺＴ）結晶膜を生成させるには、鉛化合物、ジルコン化合物、チタン化合物を溶解させた強アルカリ溶液にチタン金属箔を浸漬し、２００℃以下、２～３ａｔｍ（１ａｔｍ＝１．０１３２５ｂａｒ）程度に設定されたオートクレーブ中に入れ、水熱合成反応を起させ、ＰＺＴ結晶膜を生成させるようにする。他の誘電体層も所要の水熱合成法によって形成することができる。このように誘電体層を形成したチタン金属箔を裁断してコンデンサにすることができる。

【００３６】図１６はコンデンサ５０のさらに他の実施の形態を示す。このコンデンサ５０は、電極が多極化されてマトリクス状に配置されたマルチ電極コンデンサである。このマルチ電極コンデンサは、コンデンサ自身がもつ寄生インダクタンスを低減でき、これを組み込む電子部品パッケージ全体のインダクタンスを低減できる利点がある。このコンデンサ５０も上記と同様にして凹部１４内に組み込むことができる。なお、多極の各電極にビアを通じて電気的に接続をとることは言うまでもない。

【００３７】次に、電子部品パッケージ４０の製造方法を、図１７～図２６を用いて説明する。なお、第１の実施の形態の電子部品パッケージ１０と同様の処理については同じ符号を付し、説明は省略する。まず、板状の樹脂基材１２ａの両面に導体層１２ｂが形成された樹脂基板、一例として両面銅貼り基板をコア材１２として用意する（図１７参照）。そして、コア材１２の表面に、エッチングやルータ加工によって、底面１４ｂと内壁面１４ａが樹脂基材１２ａを形成する樹脂で形成された凹部１４と、内面に樹脂基材１２ａを形成する樹脂が露出する貫通孔２０を形成する（図１８参照）。次に、図１０と同様の手法で、コア材１２の表面、凹部１４の底面１４ｂと内壁面１４ａに電解めっき被膜を形成すると共に、貫通孔２０内を導体（めっき）で充填する。そして、コア材１２の表面の電解めっき被膜をパターンニングして、コア材１２の表裏両面に配線層４２を形成する（図１９参照）。凹部１４の底面１４ｂと内壁面１４ａの電解めっき被膜はエッチングせずに残し、一部の配線層４２と接続した状態とする。貫通孔２０内を導体（めっき）で充填することで、第２ビア１８ｂが形成される。

【００３８】次に、凹部１４内に、電子部品５０を搭載する。電子部品５０は一例として、表裏両面に電極（下部電極はシリコン基板５０ａ、上部電極は導電性被膜５０ｃ）が形成されたコンデンサであるが、他の電子部品の場合も同様である（図２０参照）。電子部品５０の下部電極は、接着剤に導電性材料を使用して凹部１４の底面１４ｂに形成された電解めっき被膜４４と導通させる。次に、コア材１２の表裏両面に、凹部１４や電子部品５０を覆うように第１絶縁層２８ａを形成する（図２１参照）。次に、第１絶縁層２８ａに、レーザ光を照射して、底面に配線層４２の表面や電子部品５０の上部電極５０ｃが露出する第１ビア孔５２を形成する。また、さらにコア材１２の裏面側からレーザ光を照射して、第１絶縁層２８ａとコア材１２を貫通して凹部１４の底面１４ｂに形成された金属めっき被膜４４を底面に露出させる第２ビア孔５４を形成する（図２２参照）。

【００３９】次に、図１０と同様にして、無電解銅めっ

き及び電解銅めっきを施して、第１絶縁層２８ａの表面に金属めっき被膜を形成する。また、第１ビア孔５２と第２ビア孔５４内を導体で充填して第１ビア１８ａと第２ビア１８ｂを形成する。そして、第１絶縁層２８ａの表面の金属めっき被膜を所定のパターンに従ってエッチングして第１配線層１６ａを形成する（図２３参照）。次に、コア材１２の表裏両面の第１絶縁層２８ａ及び第１配線層１６ａの表面を覆うように第２絶縁層２８ｂを形成する（図２４参照）。次に、第２絶縁層２８ｂに、レーザ光を照射して第１ビア孔５２を形成すると共に、図１２と同様にして第２配線層１６ｂと第１ビア１８ａを形成する（図２５参照）。そして最後に、図１３と同様にして、第２絶縁層２８ｂ及び第２配線層１６ｂの表面に、ソルダーレジストによる被覆層３６を形成する（図２６参照）。以上が、電子部品パッケージ４０の製造方法である。

【００４０】

【発明の効果】本発明に係る電子部品パッケージによれば、高密度で電子部品を実装できると共に、凹部内に埋め込まれた電子部品は、凹部開口部分を除き、導電性金属材で覆われるから、ノイズに対して電磁シールドされて、凹部内の電子部品へのノイズの影響が軽減されるという効果がある。

【図面の簡単な説明】

【図１】本発明に係る電子部品パッケージの第１の実施の形態の構成を説明するための説明図である。

【図２】本発明に係る電子部品パッケージの第２の実施の形態の構成を説明するための説明図である。

【図３】本発明に係る電子部品パッケージの第３の実施の形態の構成を説明するための説明図である。

【図４】図１の電子部品パッケージの製造方法を説明するための説明図である。

【図５】図１の電子部品パッケージの製造方法を説明するための説明図である。

【図６】図１の電子部品パッケージの製造方法を説明するための説明図である。

【図７】図１の電子部品パッケージの製造方法を説明するための説明図である。

【図８】図１の電子部品パッケージの製造方法を説明するための説明図である。

【図９】図１の電子部品パッケージの製造方法を説明するための説明図である。

【図１０】図１の電子部品パッケージの製造方法を説明するための説明図である。

【図１１】図１の電子部品パッケージの製造方法を説明するための説明図である。

【図１２】図１の電子部品パッケージの製造方法を説明するための説明図である。

【図１３】図１の電子部品パッケージの製造方法を説明するための説明図である。

【図１４】コンデンサの一例を示す断面図である。

【図１５】コンデンサの他の例を示す断面図である。

【図１６】マルチ電極コンデンサの説明図である。

【図１７】図３の電子部品パッケージの製造方法を説明するための説明図である。

【図１８】図３の電子部品パッケージの製造方法を説明するための説明図である。

【図１９】図３の電子部品パッケージの製造方法を説明するための説明図である。

【図２０】図３の電子部品パッケージの製造方法を説明するための説明図である。

【図２１】図３の電子部品パッケージの製造方法を説明するための説明図である。

【図２２】図３の電子部品パッケージの製造方法を説明するための説明図である。

【図２３】図３の電子部品パッケージの製造方法を説明するための説明図である。

【図２４】図３の電子部品パッケージの製造方法を説明するための説明図である。

【図２５】図３の電子部品パッケージの製造方法を説明するための説明図である。

【図２６】図３の電子部品パッケージの製造方法を説明するための説明図である。

【符号の説明】

１０　電子部品パッケージ
１２　コア材
１４　凹部
１４ａ　凹部の内壁面
１４ｂ　凹部の底面
１６　配線層
１８　ビア
２２　電子部品としての半導体チップ
２４　半導体チップの電極（電極端子）
２８　絶縁層

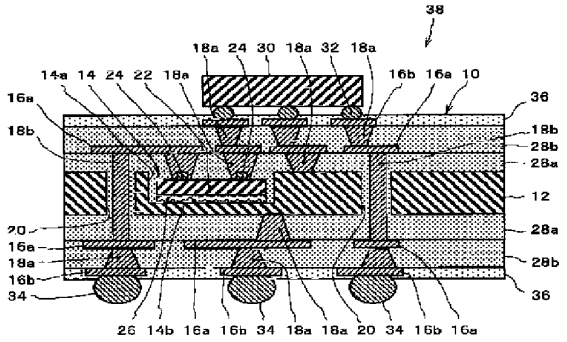
【図４】



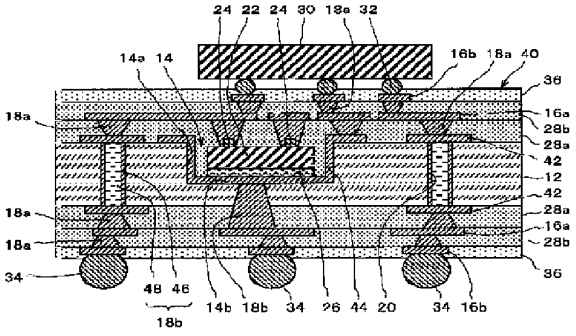
【図５】



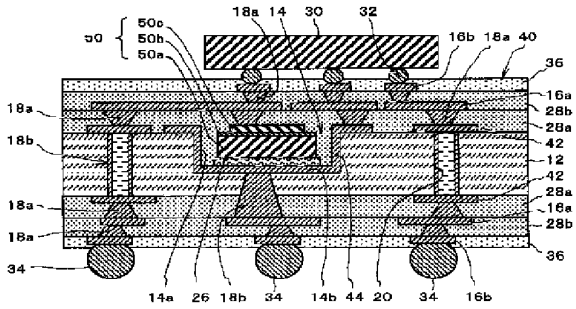
【図1】



【図2】



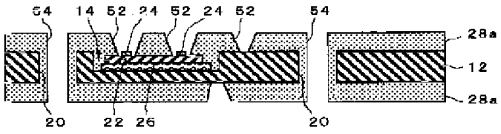
【図3】



【図6】

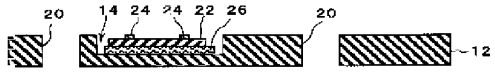


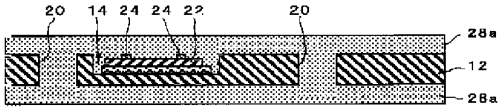
【図9】



【図7】

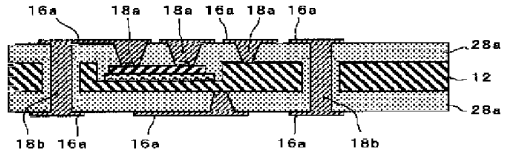
【図8】

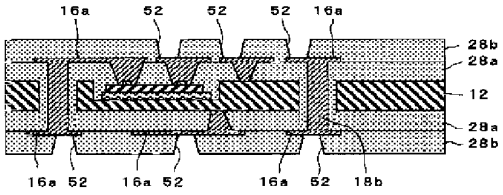




【図10】

【図11】

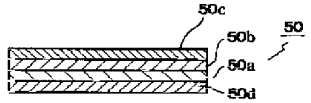


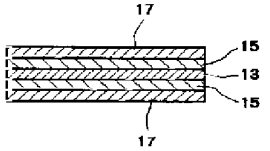


【図14】

【図15】

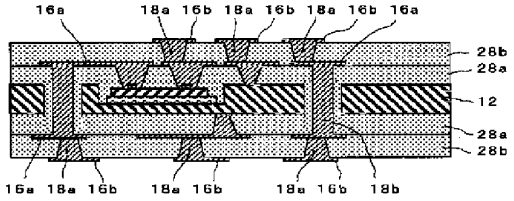
【図17】



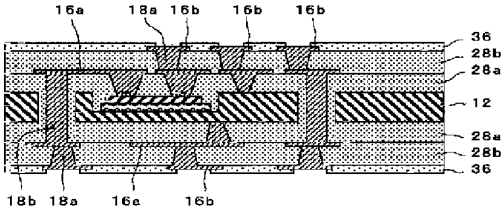




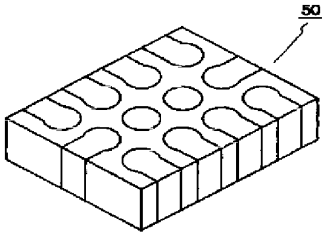
【図１２】



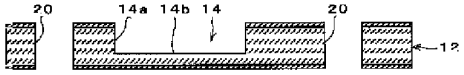
【図１３】



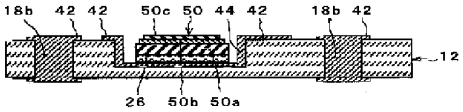
【図１６】



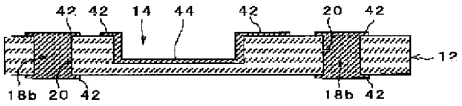
【図１８】



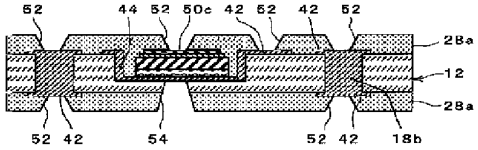
【図２０】



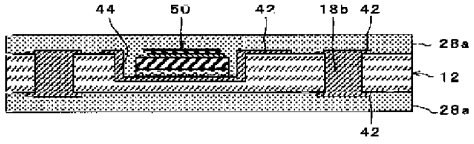
【図１９】



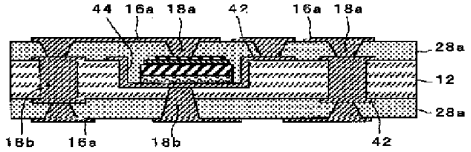
【図２２】



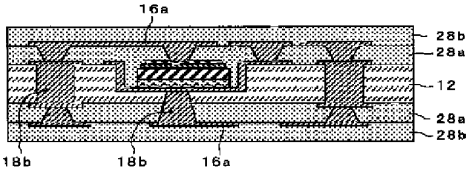
【図２１】



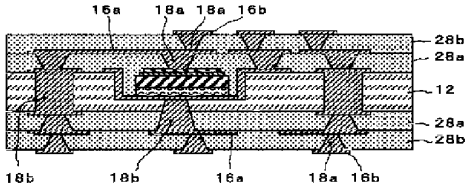
【図２３】



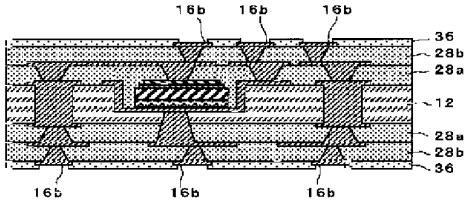
【図２４】



【図２５】



【図２６】



フロントページの続き

(51)Int.Cl.7	識別記号	FI	(参考)
H01L 25/00		H01G 4/06	102
H05K 9/00		H01L 23/12	B

(72)発明者　東　光敏
長野県長野市大字栗田字舎利田711番地
新光電気工業株式会社内
(72)発明者　渡辺　章司
長野県長野市大字栗田字舎利田711番地
新光電気工業株式会社内
(72)発明者　ミョウ・タン・ウー
長野県長野市大字栗田字舎利田711番地
新光電気工業株式会社内
(72)発明者　堀川　泰愛
長野県長野市大字栗田字舎利田711番地
新光電気工業株式会社内

Fターム(参考)　5E001 AB06 AC04 AC09 AC10 AE00
AE01 AE02 AE03 AF06 AH00
AH03 AJ01 AJ02 AZ01
5E082 AA01 AB03 BB05 BC17 EE05
EE18 EE23 EE24 EE26 EE37
FG03 FG04 FG26 FG27 FG41
FG42 FG44 GG26 JJ03 JJ12
JJ15 JJ21 KK01 LL03
5E321 AA17 BB23 GG05

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2001-274034**
(43)Date of publication of application : **05.10.2001**

(51)Int.Cl. H01G 2/06
H01G 4/33
H01G 4/10
H01G 4/12
H01L 23/12
H01L 25/00
H05K 9/00

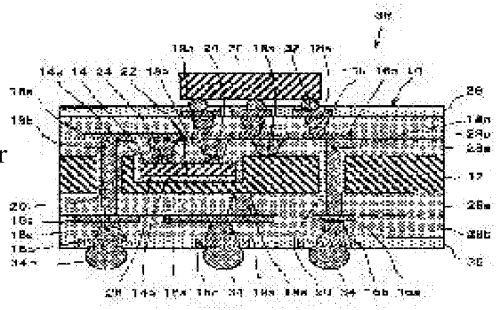
(21)Application number : **2000-276514**
(22)Date of filing : **12.09.2000**

(71)Applicant : **SHINKO ELECTRIC IND CO LTD**
(72)Inventor : **MUTSUKAWA AKIO**
IMAI KAZUNARI
AZUMA MITSUTOSHI
WATANABE SHOJI
MYOU TAN UU
HORIKAWA YASUYOSHI

(30)Priority
Priority number : **2000011767** Priority date : **20.01.2000** Priority country : **JP**

(54) **ELECTRONIC PARTS PACKAGE**

(57)Abstract:
PROBLEM TO BE SOLVED: To provide an electronic parts package in which electronic parts can be packed at a high density and, at the same time, which can shield the parts from electromagnetic noise.
SOLUTION: This electronic parts package 10 has a recessed section 14 formed into a core material 12, a semiconductor chip 22 buried in the section 14, insulating layers 28a and 28b formed on the surface of the material 12 on the opening side of the recessed section 14 so as to cover the section 14. This package also has wiring layers 16a and 16b formed on the surfaces of the insulating layers 28a and 28b and via holes 18a and 18b which are formed through the insulating layers 28a and 28b and electrically connect the wiring layers 16a and 16b to electrode terminals 24 formed on the surface of the semiconductor chip 22 on the opening side of the recessed section 14. The internal wall surface 14a and bottom face 14b of the recessed section 14 are composed of a conductive metal.



DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention relates to the electronic component package which embedded electronic parts, such as a semiconductor chip, a capacitor, and an inductor, into the core material, and carries them, concerning an electronic component package.

[0002]

[Description of the Prior Art]Electronic parts (a semiconductor chip, a capacitor, resistance, and inductor) are conventionally embedded in the crevice formed in the core material, Then, what was indicated by the patent No. (JP,9-321408,A) 2842378 is publicly known as what laminates an insulating layer and a wiring layer and forms an electronic component package so that a crevice may be covered to rear surface both sides of the core material by the side of the opening of a crevice. By adopting this structure, the densification of the mounting of the electronic parts to an electronic component package can be carried out.

[0003]

[Problem(s) to be Solved by the Invention]By the way, in recent years, the frequency of the electrical signal which flows into the clock frequency of the electronic parts mounted in an electronic component package or electronic parts high-frequency-izes, and the electromagnetism noise which is followed on it and generated on an electronic component package is increasing. For this reason, an electronic component package of the structure which can shield electronic parts from a noise is desired so that malfunction by a noise, etc. can be prevented. However, since electronic parts are only embedded in the structure of the patent No. 2842378 where it explained by the conventional example at the printed circuit board as a core material which consists of resin materials, the embedded electronic parts are not surrounded with a conductor, but there is no electromagnetic shielding structure from a noise. Therefore, the technical problem that the electronic parts mounted in the circuit board gather a noise, and malfunction, and the noise which electronic parts gathered is overlapped on the electrical signal which flows into electronic parts occurs.

[0004]Therefore, electronic parts can be mounted with high density, and there is a place which this invention is made that an aforementioned problem should be solved and is made into the purpose in providing the electronic component package which also has a shielding effect from the electromagnetism noise to electronic parts.

[0005]
[Means for Solving the Problem]A crevice formed in a core material in order that this invention might solve an aforementioned problem, and electronic parts embedded in this crevice, An insulating layer formed so that this crevice might be covered on the surface of said core material by the side of an opening of said crevice, In an electronic component package possessing beer which electrically connects a wiring layer formed in the surface of this insulating layer, and an electrode which was formed in said insulating layer and formed in the surface by the side of this wiring layer and a crevice opening of said electronic parts, an internal surface and the bottom of said crevice are characterized by being a conductive metal. Said core material can specifically adopt composition which consists of conductive metals. Said core material consists of insulating materials, and an internal surface and the bottom of said crevice can also adopt composition covered with a plating tunic which consists of conductive metals. Since according to these composition it is high-density, and electronic parts can be mounted and electronic parts embedded in a crevice are covered with a conductive metal except for the crevice opening part, electromagnetic shielding is carried out to a noise and it is effective in influence of a noise to electronic parts in a crevice being reduced.
[0006]Said electronic parts can also adopt composition which is a semiconductor chip. Said electronic parts are a capacitor by which an electrode was formed in rear surface both sides, an inductor, or resistance, An electrode by the side of a rear face is able to join the rear-face side to the bottom of said crevice via a conductive layer formed using a conductive adhesion paste or a conductive adhesion sheet, and to have composition electrically connected to said wiring layer via a conductive metal of an internal surface of this conductive layer and said crevice, and the bottom.
[0007]A capacitor possessing sheet metal which becomes said capacitor from p type silicon, a metal layer which consists of platinum formed in one field of this sheet metal, a dielectric layer formed in a field of another side of said sheet metal, and an electrode formed on this dielectric layer can be used. Or a capacitor possessing sheet metal which becomes said capacitor from n type silicon, a metal layer which consists of titanium or lead formed in one field of this sheet metal, a dielectric layer formed in a field of another side of said sheet metal, and an electrode formed on this dielectric layer can be used.
[0008]A capacitor an oxide layer was formed in said capacitor by an anodization method on the surface of a metallic foil and by which an electrode was formed on this oxide layer can be used. A capacitor by which a dielectric layer was formed in the surface of titanium metal foil a hydrothermal crystallization method, and an electrode was formed on this dielectric layer at

said capacitor can be used. Or a capacitor may be used for said electronic parts.

[0009]

[Embodiment of the Invention]Hereafter, the suitable embodiment of the electronic component package concerning this invention is described in detail based on an accompanying drawing. (A 1st embodiment) The structure of the electronic component package 10 is explained. The crevice 14 is formed in the core material 12. According to this embodiment, the core material 12 forms conductive metals, such as copper, in tabular. And using apparatus, such as a router, the surface of the core material 12 is deleted and formed, and this crevice 14 forms it by etching. The plane shape of the crevice 14 is set as the shape where electronic parts can be accommodated, in consideration of the size of the electronic parts embedded in the crevice 14. As for the plane shape of the crevice 14, since the plane shape of the electronic parts carried in the electronic component package 10 is usually a quadrangle, it is common to this to consider it as 4 in all square shapes, and it is also possible for it not to be limited to this and to consider it as polygons other than a round shape or a quadrangle.

[0010]The depth of the crevice 14 has the desirable depth of the grade in which electronic parts are thoroughly accommodated and electronic parts do not project from the crevice 14, in order to heighten the shielding effect over a noise, but it is not limited to this. The breakthrough 20 for letting the beer 18 which electrically connects to the core material 12 wiring layer 16 comrades arranged at the surface and the rear face of the core material 12 besides the crevice 14 pass is formed by the same means as the crevice 14.

[0011]And in the crevice 14, the semiconductor chip 22 is embedded as an example of electronic parts. The field (henceforth an electrode terminal forming face) in which the electrode (it is also called an electrode terminal) 24 was formed in the semiconductor chip 22 is turned to the opening side of the crevice 14, and the embedded structure of the semiconductor chip 22 uses the adhesives 26 for the bottom of the crevice 14, pastes it, it accommodates the field (back) by the side of reverse, and fixes it in the crevice 14.

[0012]And in this turn, on the surface of the core material 12 by the side of the opening of the crevice 14, a multilayer laminates and the electric insulating layer (only henceforth an insulating layer) 28 and the wiring layer 16 are formed in rear surface both sides of the core material 12 at it so that the crevice 14 may be covered. And each wiring layer 16 is electrically connected by the beer 18 which penetrates the insulating layer 28 and the core material 12. Also in three or more layers, a view is the same, although the insulating layer 28 and the wiring layer 16 are laminated by rear surface both sides of the core material 12 two-layer [every] as an example, respectively and are formed in them in this embodiment. The insulating layer 28

comprises the 1st insulating layer 28a and the 2nd insulating layer 28b of the upper layer. The wiring layer 16 comprises the 1st wiring layer 16a formed in the surface of the 1st insulating layer 28a, and the 2nd wiring layer 16b formed in the surface of the 2nd insulating layer 28b. The beer 18 penetrates the insulating layer 28 arranged at one field side of the core material 12, Wiring layer 16 comrades arranged at the field side of one of these, the wiring layer 16 and the core material 12, or the 1st beer 18a that electrically connects the electrode terminal 24 of the semiconductor chip 22 with the wiring layer 16, It comprises the 2nd beer 18b that electrically connects wiring layer 16 comrades which penetrated the breakthrough 20 of the core material 12 and were formed in the rear surface of the core material 12.

[0013]And in the surface of the 2nd insulating layer 28b or the 2nd wiring layer 16b. The enveloping layer 36 by a solder resist is formed so that only the predetermined part of the 2nd wiring layer 16b used as the land to which the vamp 32 of the semiconductor chip 30 and the external connection terminal 34 of the electronic component package 10 which are carried in the electronic component package 10 are attached may be exposed. The above is the composition of the electronic component package 10. Where the external connection terminal 34 is attached to the land of the 2nd wiring layer 16b, it may be considered as the electronic component package 10. The two or more number of the crevices 14 formed in the core material 12 is formed, it is good also as composition which embeds two or more electronic parts into the core material 12, it is possible not only one surface of the core material 12 but to consider it as the structure which forms the crevice 14 in both sides and embeds electronic parts, and further densification can be attained.

[0014]And other semiconductor chips 30 are carried in the surface (upper surface in drawing 1) of this electronic component package 10 via the vamp 32, and the external connection terminals 34, such as a solder ball, are connected to the rear face (undersurface in drawing 1) of the electronic component package 10, and it becomes the semiconductor device 38. In such the electronic component package 10 and the semiconductor device 38. Since the internal surface 14a and the bottom 14b of the crevice 14 are a conductive metal, The internal surface 14a and the bottom 14b of the crevice 14 of the core material 12 serve as an electromagnetic shielding wall, and the noise generated in electronic parts and the wiring layer of the others carried in the electronic component package 10 can reduce the grade which has an adverse effect on the semiconductor chip 22 in the crevice 14 directly. Although the core material 12 used as the potential stable since it was thick as compared with the wiring layer 16 and electric resistance was low is used as a ground layer, usually, It also has an effect dramatically in noise mitigation that the semiconductor chip 22 embedded in the crevice 14 of the core material 12 with the

conductive metal used as the potential stable in this way is surrounded.

[0015]Since the back has pasted up the semiconductor chip 22 in the crevice 14 on the core material 12, The heat generated with the semiconductor chip 22 escapes efficiently to the core material 12, it is effective in the semiconductor chip 22 being cooled efficiently, the life of the embedded semiconductor chip 22 is prolonged, and it is thought that the stability of the electronic component package 10 or the semiconductor device 38 increases as a result. Since it is accommodated in the crevice 14 formed in the metal core materials 12 which are rigid compared with a resin material even if the semiconductor chip 22 is very thin, even if external force is added, the effect of being hard to produce a crack is in the semiconductor chip 22.

[0016]Next, the manufacturing method of the electronic component package 10 is explained using drawing 4 - drawing 13. First, a copper substrate is prepared as the core material 12 as an example of a conductive metal (refer to drawing 4). And the crevice 14 is formed in the surface of the core material 12 by etching or router processing (refer to drawing 5). Next, the breakthrough 20 is formed in the position which makes the 2nd beer 18b of the core material 12 penetrate (refer to drawing 6). Next, the semiconductor chip 22 as electronic parts is pasted up in [of the core material 12] the crevice 14 (refer to drawing 7).

[0017]Next, the 1st insulating layer 28a is formed in rear surface both sides of the core material 12 so that the crevice 14 may be covered, and it is filled up with the resin materials (PPE resin etc.) which form the 1st insulating layer 28a in the breakthrough 20 of the core material 12, or the crevice 14 (refer to drawing 8). Next, the 1st insulating layer 28a is irradiated with a laser beam, and the 1st beer hole 52 and the 2nd beer hole 54 are formed in it. The 1st beer hole 52 is formed as an exposure hole which the electrode terminal 24 of the semiconductor chip 22 and the surface of the core material 12 expose to the bottom. The 2nd beer hole 54 is formed in the composition which penetrates the resin with which the breakthrough 20 of the core material 12 was filled up, and the 1st insulating layer 28a formed in rear surface both sides of the core material 12. When forming the 2nd beer hole 54, the internal surface of the breakthrough 20 is kept from being exposed here (refer to drawing 9). As the technique of forming a beer hole in an insulating layer, it replaces with a laser beam exposure and the technique which is etched chemically and formed is also considered.

[0018]Next, perform non-electrolytic copper plating and electrolytic copper plating, and a metal plating tunic is formed in the surface of the 1st insulating layer 28a, and the inside of the 1st beer hole 52 and the 2nd beer hole 54 is filled up with a conductor. And the metal plating tunic of the surface of the 1st insulating layer 28a is etched according to a predetermined pattern, and the 1st wiring layer 16a is formed. By applying photosensitive resist to the surface of a metal

plating tunic, exposing and developing photosensitive resist, forming a resist pattern, and removing the exposed portion of the metal plating tunic of the part which is not covered with a resist pattern, The wiring layer of a predetermined pattern can be formed (refer to drawing 10). Here, it fills up with a conductor in the 1st beer hole 52, and becomes the 1st beer 18a, and it fills up with a conductor in the 2nd beer hole 54, and becomes the 2nd beer 18b.

[0019]Next, the 2nd insulating layer 28b is formed so that the surface of the 1st insulating layer 28a of rear surface both sides of the core material 12 and the 1st wiring layer 16a may be covered. And the 2nd insulating layer 28b is irradiated with a laser beam, and the 1st beer hole 52 is formed in it (refer to drawing 11). This 1st beer hole 52 is formed as an exposure hole which the predetermined part of the 1st wiring layer 16a exposes to the bottom. Next, perform non-electrolytic copper plating and electrolytic copper plating, and a metal plating tunic is formed in the surface of the 2nd insulating layer 28b, and the inside of the 1st beer hole 52 is filled up with a conductor. And the metal plating tunic of the surface of the 2nd insulating layer 28b is etched like the case of the 1st wiring layer 28a according to a predetermined pattern, and the 2nd wiring layer 16b is formed (refer to drawing 12). The 1st beer 18a is formed by filling up the inside of the 1st beer hole 52 with a conductor.

[0020]So that only the predetermined part of the 2nd wiring layer 16b used as the land by which the vamp 32 of the semiconductor chip 30 and the external connection terminal 34 of the electronic component package 10 which are carried in the electronic component package 10 are finally attached to the surface of the 2nd insulating layer 28b and the 2nd wiring layer 16b may be exposed, The enveloping layer 36 by a solder resist is formed (refer to drawing 13). The above is a manufacturing method of the electronic component package 10.

[0021](A 2nd embodiment) The structure of the electronic component package 40 is explained. First, when the outline is explained about a point of difference with a 1st embodiment, the core material 12 of this embodiment is at the point which comprises a board formed with the material (insulating material) which has electric insulation, such as a glass epoxy board and BT (bismaleimide triazine) board. For this reason, in order to shield the electronic parts embedded in the crevice 14 of the core material 12, When forming the wiring layer 42 in the surface of the core material 12, the internal surface 14a and the bottom 14b of the crevice 14 are also considered as the composition which carries out electromagnetic shielding of the electronic parts which cover with the metal plating tunic 44 which has the conductivity which forms this wiring layer 42, and are accommodated in the crevice 14 with this metal plating tunic 44.

[0022]Since the structure of the insulating layer 28, the wiring layer 16, and the enveloping layer 36 which are laminated to the core material 12 only by the structure of the portion about

the core material 12 being different is the same as a 1st embodiment, the numerals same about the same composition are attached, explanation is omitted, and only different composition is explained. The crevice 14 is formed in the core material 12. According to this embodiment, the core material 12 forms the above insulating materials in tabular. The wiring layer 42 is formed in the surface and the rear face of the core material 12. The internal surface 14a and the bottom 14b of the crevice 14 are covered with the metal plating tunic 44 which has the conductivity which forms this wiring layer 42.

[0023]The 2nd beer 18 that penetrates the core material 12 electrically connects wiring layer 42 comrades formed in the surface of the core material 12 or the wiring layer 42 formed in the surface of the core material 12, and the 1st wiring layer 16a formed in the surface of the insulating layer 28. The structure of what connects wiring layer 42 comrades formed in the surface of the core material 12 among the 2nd beer 18 comes to fill up the resin 48, after forming the metal plating tunic 46 in the inner skin of the breakthrough 20 formed in the core material 12 as an example, but other structures may be sufficient as it. The metal plating tunic 44 formed in the internal surface 14a and the bottom 14b of the crevice 14 is electrically connected with the vamp for grounds of the semiconductor chip 30 and/or the external connection terminal 34 which are carried in the electronic component package 40 by the 1st beer 18a and/or the 2nd beer 18b. In this embodiment, the metal plating tunic 44 in the crevice 14, It is connected with the vamp for grounds of the semiconductor chip 30 via the wiring layer 42, the 1st beer 18a, the 1st wiring layer 16a, and the 2nd wiring layer 16b which were formed in the surface of the core material 12, and. It is electrically connected also with the external connection terminal 34 by the 2nd beer 18b that penetrates the 1st insulating layer 28a and the core material 12, and reaches the bottom 14b of the crevice 14.

[0024]Thus, the internal surface 14a and the bottom 14b of the crevice 14 for which the semiconductor chip 22 embedded into the core material 12 is accommodated even if the core material 12 is formed by the insulating material, Since it is covered with the metal plating tunic 44 which has conductivity and has predetermined potential (for example, ground potential), it becomes possible to reduce that electromagnetic shielding of the semiconductor chip 22 is carried out with the metal plating tunic 44, and a noise jumps into the semiconductor chip 22 directly like a 1st embodiment.

[0025](A 3rd embodiment) Although the semiconductor chip 22 was mentioned as the example and has been explained as electronic parts accommodated and embedded in the crevice 14 of the core material 12 in each embodiment mentioned above, Besides semiconductor chip 22, other electronic parts, such as resistance and a capacitor, can be accommodated in the crevice

14, and it can embed into the core material 12. And the electronic parts 50, such as a capacitor, resistance, and an inductor, It is possible to constitute from forming the tunic 50b of a dielectric material or electrical resistance materials in the surface of the silicon substrate 50a used as a lower electrode, as shown in drawing 3, and forming the conductive film 50c used as an upper electrode in the surface of this tunic 50b.

[0026]By using the adhesives (conductive layer) which have the conductivity of conductive paste or a conductive adhesion sheet in the electronic parts 50 of this structure for the adhesives 26 at the time of pasting up the silicon substrate 50a which is a lower electrode in the crevice 14, Since it becomes possible to connect the lower electrode 50a of the electronic parts 50 with the metal plating tunic 44 electrically formed in the bottom 14b of the crevice 14, by using the electronic component package 40 of the structure of a 2nd embodiment, It becomes possible to electrically connect the bottom 14b and the internal surface 14a of the crevice 14 with the semiconductor chip 30, other electronic parts, and the external connection terminal 34 which used the wrap metal plating tunic 44 as a wiring layer, and were carried in the electronic component package 10. In drawing 3, although explained using the electronic component package 40 of a 2nd embodiment as an example, the electronic parts 50, such as a capacitor, resistance, and an inductor, as well as the electronic component package 10 of a 1st embodiment can be carried.

[0027]An example of the capacitor 50 is shown in drawing 14. When using a silicon substrate for the lower electrode 50a, it is suitable in using the sheet metal which consists of a p type or n type silicon (it explains as the sheet metal 50a below). This sheet metal 50a carries out polishing of the silicon wafer, thins in thickness of about 30-50 micrometers, and is cut and formed in necessary size. By carrying out polishing of the wafer, the surface turns into a mirror plane and becomes what has high display flatness.

[0028]50 d of metal layers are formed on one field of this sheet metal 50a. 50 d of metal layers consider it as the layer of platinum, when the sheet metal 50a is p type silicon, and when the sheet metal 50a is n type silicon, they are taken as the layer of titanium or lead. 50 d of these metal layers can be formed in one field of the sheet metal 50a by sputtering or vacuum evaporation. Although the thickness in particular of 50 d of metal layers is not limited, it can be made into a thing (several micrometers - tens of micrometers).

[0029]When 50 d of metal layers are times of the sheet metal 50a being [50 d of metal layers] platinum in p type silicon and the sheet metal 50a is titanium or lead with n type silicon, between the sheet metal 50a and 50 d of metal layers, it becomes ohmic contact so that clearly from the difference of a work function, and it conducts any current of a direction. When the

combination of the sheet metal 50a and 50 d of metal layers is except the above, it becomes shot key connection, and rectification arises, and only the current of a certain one way flows.

[0030]The tunic 50b which consists of dielectric materials by sputtering etc. is formed in the field of another side of the sheet metal 50a. The capacitor of high capacity is obtained, so that the thickness of the tunic 50b is thin. In order to obtain the thin tunic 50b, the display flatness of the sheet metal 50a is important, but as mentioned above, since the sheet metal 50a can obtain it by the ability to carry out polishing of the wafer, it is large, therefore the formation of the thin tunic 50b without a pinhole of the display flatness is attained.

[0031]On the tunic 50b, tantalum oxide (Ta_2O_5), strontium titanate ($SrTiO_3$), It is suitable if dielectric materials, such as barium titanate ($BaTiO_3$), lead zirconate titanate ($PbZr_xTi_{1-x}O_3$), or strontium titanate barium ($Ba_xSr_{1-x}TiO_3$), are used.

[0032]The conductive film 50c which is an upper electrode is formed on the tunic 50b. The conductive film 50c is good to form a chromium layer (not shown) by sputtering first on the tunic 50b, and to form a copper layer by sputtering etc. on this chromium layer in order to raise adhesion with the tunic 50b. It is suitable, if many capacitors 50 of the above-mentioned composition are made on a silicon wafer, this is cut and it is made to separate into the capacitor 50 of the piece of an individual. 50 d of metal layers are turned to the bottom side of the crevice 14, and the above-mentioned capacitor 50 is fixed on the metal plating tunic 44 with the electroconductive glue 26.

[0033]Drawing 15 shows the embodiment of further others of the capacitor 50. 13 is valve metal foil, such as aluminum, titanium, and tantalum. The oxide layer 15 is formed in the surface by an anodization method (anodization) publicly known in this valve metal foil 13. The valve metal foil 13 can use a thin thick thing (5 micrometers - about 30 micrometers), and can form the about 0.3-micrometer very thin oxide layer 15 in the surface of this valve metal foil 13. The thing wound around rolled form or the sheet shaped thing which has a large area can be used for the valve metal foil 13, and it can perform anodization treatment efficiently.

[0034]On the oxide layer 15 of both sides of the valve metal foil 13, a copper layer is formed by sputtering or vacuum evaporation, and the electrode layers 17 and 17 are formed. It judges in the size of a request of this valve metal foil 13, and forms in the capacitor 50. Although the oxide layer 15 is hard and it is weak, since the flexible valve metal foil 13 exists in a core, as a whole, brittleness is reduced and it is easy to deal with it. Although the oxide layer 15 and the electrode layer 17 were formed in both sides of the valve metal foil 13, it may be made to form the oxide layer 15 and the electrode layer 17 only in one side of the valve metal foil 13 above.

[0035]Although the oxide layer 15 as a dielectric layer was formed by anodization treatment on

the valve metal foil 13 in the above-mentioned embodiment, It is good also as a dielectric layer to form the crystal film of lead zirconate titanate which is a ferroelectric, strontium titanate, barium titanate, and strontium titanate barium on titanium metal foil with a hydrothermal crystallization method (not shown). In order to make a lead-zirconate-titanate (PZT) crystal film generate with a hydrothermal crystallization method, Titanium metal foil is immersed in the strong alkali solution in which the lead compound, the zircon compound, and the titanium compound were dissolved, put in the autoclave set as 200 ** or less and 2 - 3atm (1atm=1.01325bar) grade, a hydrothermal synthesis reaction is made to cause, and it is made to make a PZT crystal film generate. Other dielectric layers can be formed with a necessary hydrothermal crystallization method. Thus, the titanium metal foil in which the dielectric layer was formed can be judged, and it can be made a capacitor.

[0036]Drawing 16 shows the embodiment of further others of the capacitor 50. This capacitor 50 is a multi-electrode capacitor which the electrode was multipolarized and has been arranged at matrix form. This multi-electrode capacitor has an advantage which can reduce the parasitic inductances which the capacitor itself has and can reduce the inductance of the whole electronic component package incorporating this. This capacitor 50 as well as the above is incorporable in the crevice 14. It cannot be overemphasized that connection is electrically taken through beer to each multipolar electrode.

[0037]Next, the manufacturing method of the electronic component package 40 is explained using drawing 17 - drawing 26. The same numerals are attached about the same processing as the electronic component package 10 of a 1st embodiment, and explanation is omitted. First, double-sided copper-clad ****** is prepared as the core material 12 as the resin substrate by which the conductor layer 12b was formed in both sides of the tabular resin base material 12a, and an example (refer to drawing 17). And the crevice 14 formed in the surface of the core material 12 by the resin in which the bottom 14b and the internal surface 14a form the resin base material 12a by etching or router processing, and the breakthrough 20 which the resin which forms the resin base material 12a exposes to an inner surface are formed (refer to drawing 18). Next, an electrolysis plating tunic is formed in the surface of the core material 12, and the bottom 14b and the internal surface 14a of the crevice 14 by the same technique as drawing 10, and the inside of the breakthrough 20 is filled up with a conductor (plating). And pattern NINGU of the electrolysis plating tunic of the surface of the core material 12 is carried out, and the wiring layer 42 is formed in rear surface both sides of the core material 12 (refer to drawing 19). It leaves the electrolysis plating tunic of the bottom 14b of the crevice 14, and the internal surface 14a, without etching, and it is changed into the state where it connected with

some wiring layers 42. The 2nd beer 18b is formed by filling up the inside of the breakthrough 20 with a conductor (plating).

[0038]Next, the electronic parts 50 are carried in the crevice 14. Although the electronic parts 50 are the capacitors by which the electrode (a lower electrode is the silicon substrate 50a, and an upper electrode is the conductive film 50c) was formed in rear surface both sides as an example, the same may be said of the case of other electronic parts (refer to drawing 20). It is made to flow through the lower electrode of the electronic parts 50 with the electrolysis plating tunic 44 formed in adhesives at the bottom 14b of the crevice 14 using the conductive material. Next, the 1st insulating layer 28a is formed in rear surface both sides of the core material 12 so that the crevice 14 and the electronic parts 50 may be covered (refer to drawing 21). Next, the 1st insulating layer 28a is irradiated with a laser beam, and the 1st beer hole 52 which the surface of the wiring layer 42 and the upper electrode 50c of the electronic parts 50 expose to the bottom is formed. It irradiates with a laser beam from the rear-face side of the core material 12, and the 2nd beer hole 54 which exposes on the bottom the metal plating tunic 44 which penetrated the 1st insulating layer 28a and the core material 12, and was formed in the bottom 14b of the crevice 14 is formed (refer to drawing 22).

[0039]Next, like drawing 10, non-electrolytic copper plating and electrolytic copper plating are performed, and a metal plating tunic is formed in the surface of the 1st insulating layer 28a. The inside of the 1st beer hole 52 and the 2nd beer hole 54 is filled up with a conductor, and the 1st beer 18a and the 2nd beer 18b are formed. And the metal plating tunic of the surface of the 1st insulating layer 28a is etched according to a predetermined pattern, and the 1st wiring layer 16a is formed (refer to drawing 23). Next, the 2nd insulating layer 28b is formed so that the surface of the 1st insulating layer 28a of rear surface both sides of the core material 12 and the 1st wiring layer 16a may be covered (refer to drawing 24). Next, irradiate the 2nd insulating layer 28b with a laser beam, and the 1st beer hole 52 is formed in it, and the 2nd wiring layer 16b and the 1st beer 18a are formed like drawing 12 (refer to drawing 25). And finally the enveloping layer 36 by a solder resist is formed in the surface of the 2nd insulating layer 28b and the 2nd wiring layer 16b like drawing 13 (refer to drawing 26). The above is a manufacturing method of the electronic component package 40.

[0040]

[Effect of the Invention]According to the electronic component package concerning this invention, it is high-density, and can mount electronic parts, and the electronic parts embedded in the crevice, Since it is covered by conductive metal material except for the crevice opening part, electromagnetic shielding is carried out to a noise and it is effective in the influence of the

noise to the electronic parts in a crevice being reduced.

CLAIMS

[Claim(s)]

[Claim 1]A crevice formed in a core material.

Electronic parts embedded in this crevice.

An insulating layer formed so that this crevice might be covered on the surface of said core material by the side of an opening of said crevice.

A wiring layer formed in the surface of this insulating layer.

Beer which electrically connects an electrode which was formed in said insulating layer and formed in the surface by the side of this wiring layer and a crevice opening of said electronic parts.

It is the electronic component package provided with the above, and an internal surface and the bottom of said crevice are characterized by being a conductive metal.

[Claim 2]The electronic component package according to claim 1, wherein said core material consists of conductive metals.

[Claim 3]The electronic component package according to claim 1 covering with a plating tunic which said core material becomes from an insulating material, and an internal surface and the bottom of said crevice become from a conductive metal.

[Claim 4]The electronic component package according to claim 1, 2, or 3, wherein said electronic parts are semiconductor chips.

[Claim 5]Said electronic parts are a capacitor by which an electrode was formed in rear surface both sides, an inductor, or resistance, The rear-face side is joined to the bottom of said crevice via a conductive layer formed using a conductive adhesion paste or a conductive adhesion sheet, The electronic component package according to claim 1, 2, or 3, wherein an electrode by the side of a rear face is electrically connected to said wiring layer via a conductive metal of an internal surface of this conductive layer and said crevice, and the bottom.

[Claim 6]The electronic component package comprising according to claim 5:

Sheet metal with which said capacitor consists of p type silicon.

A metal layer which consists of platinum formed in one field of this sheet metal.

A dielectric layer formed in a field of another side of said sheet metal.

An electrode formed on this dielectric layer.

[Claim 7]The electronic component package comprising according to claim 5:
Sheet metal with which said capacitor consists of n type silicon.
A metal layer which consists of titanium or lead formed in one field of this sheet metal.
A dielectric layer formed in a field of another side of said sheet metal.
An electrode formed on this dielectric layer.

[Claim 8]The electronic component package according to claim 5, wherein said capacitor is a capacitor an oxide layer was formed by an anodization method on the surface of a metallic foil and by which an electrode was formed on this oxide layer.
[Claim 9]The electronic component package according to claim 5, wherein said capacitor is a capacitor by which a dielectric layer was formed in the surface of titanium metal foil a hydrothermal crystallization method, and an electrode was formed on this dielectric layer.
[Claim 10]The electronic component package according to claim 1, 2, or 3, wherein said electronic parts are capacitors.

Espacenet

Bibliographic data: JP2001345560 (A) — 2001-12-14

WIRING BOARD, AND ITS MANUFACTURING METHOD, AND ELECTRONIC COMPONENT

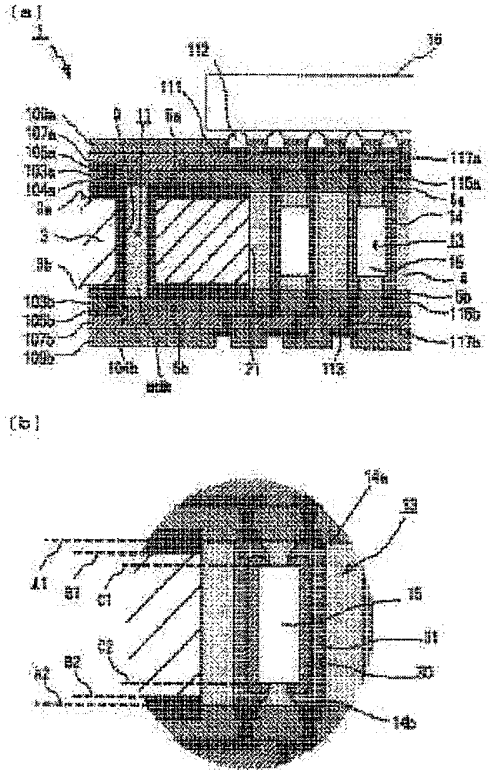
Inventor(s):	KODERA EIJI; OGAWA KOJU ±	
Applicant(s):	NGK SPARK PLUG CO ±	
Classification:	**- international:**	***H05K1/11; H05K1/18; H05K3/40; H05K3/46;*** (IPC1-7): H05K1/11; H05K1/18; H05K3/40; H05K3/46
	- European:	

Application number:	JP20010032673 20010208
Priority number (s):	JP20010032673 20010208; JP20000032349 20000209; JP20000091664 20000329
Also published as:	JP4685251 (B2)

Abstract of JP2001345560 (A)

PROBLEM TO BE SOLVED: To readily exposure the external connections of an electronic component which is stored in condition that it is fixed with filled resin in the body of a wiring board, out of the filled resin. SOLUTION: Since the top end (that is a top end 14a) of an external connection 14 lies over a first principal surface 3a, it is difficult for it to be buried in the filled resin 4. Even if the top of the external connection 14 is buried, the external connection 14 can be exposed to the side of the first main surface 1a by polishing the filled resin 4. Moreover, since the top of the element body 15 lies under the first principal surface 3a, there is little risk of the element body 15 being shaved, when the worker polishes the filled resin 4 on the side of the first main surface 3a.

Last updated: 14.03.2012 Worldwide Database 5.7.38; 92p



(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号
特開2001－345560
（P2001－345560A）
(43)公開日　平成13年12月14日(2001.12.14)

(51)Int.Cl.'	識別記号	ＦＩ		テーマコード'(参考)
Ｈ０５Ｋ　3/46		Ｈ０５Ｋ　3/46	Ｑ	５Ｅ３１７
1/11		1/11	Ｎ	５Ｅ３３６
1/18		1/18	Ｐ	５Ｅ３４６
3/40		3/40	Ｋ	

審査請求　未請求　請求項の数14　ＯＬ　（全 17 頁）

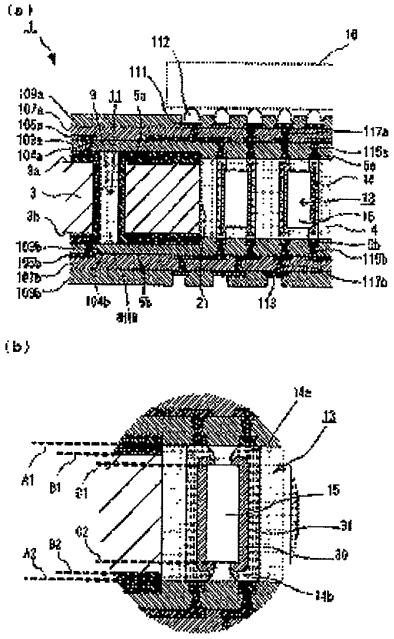
(21)出願番号　特願2001－32673(P2001－32673)
(22)出願日　平成13年２月８日(2001.2.8)
(31)優先権主張番号　特願2000－32349(P2000－32349)
(32)優先日　平成12年２月９日(2000.2.9)
(33)優先権主張国　日本（ＪＰ）
(31)優先権主張番号　特願2000－91664(P2000－91664)
(32)優先日　平成12年３月29日(2000.3.29)
(33)優先権主張国　日本（ＪＰ）

(71)出願人　000004547
日本特殊陶業株式会社
愛知県名古屋市瑞穂区高辻町14番18号
(72)発明者　小寺　英司
愛知県名古屋市瑞穂区高辻町14番18号　日本特殊陶業株式会社内
(72)発明者　小川　幸嶺
愛知県名古屋市瑞穂区高辻町14番18号　日本特殊陶業株式会社内
(74)代理人　100082500
弁理士　足立　勉

Ｆターム(参考)　5E317 AA24 CC25 CD27
5E336 AA04 AA11 BB03 CC53
5E346 AA43 DD22 EE18 FF18 FF45

(54)【発明の名称】　配線基板およびその製造方法，並びに電子部品

(57)【要約】
【課題】　配線基板本体内に充填樹脂で固定された状態で収容される電子部品の外部接続部を，容易に充填樹脂外部に露出できるようにする。
【解決手段】　外部接続部１４の上端（即ち上端部１４ａ）は第１主面３ａよりも上側にあることから，充填樹脂４内に埋まり難い。仮に外部接続部１４の上端が埋まってしまっても，充填樹脂４を研磨することにより，第１主面３ａ側に容易に外部接続部１４を露出させることができる。また，素子本体１５の上端は，第１主面３ａよりも下側にあるので，第１主面３ａ側において充填樹脂４を研磨する際に，素子本体１５が削られる恐れが少ない。



1

【特許請求の範囲】

【請求項１】　第１主面および第２主面を有する板形状をなし、電子部品を収容可能な収容部を有する配線基板本体と、

充填樹脂により前記収容部内に固定された電子部品と、該電子部品の外部接続部の上端と接続された上側導体層を含む配線と、

を備えた配線基板であって、

前記外部接続部の上端は、前記第１主面を基準として上側にあると共に、

前記電子部品本体の上端は、前記第１主面を基準として下側にあることを特徴とする配線基板。

【請求項２】　前記外部接続部の上端は前記電子部品本体の上端よりも、３０μｍ以上１００μｍ以下上方に位置することを特徴とする請求項１記載の配線基板。

【請求項３】　前記第１主面の上方には絶縁層が形成され、

前記外部接続部の直上に、前記絶縁層を貫通するバイアホール導体が接続されたことを特徴とする請求項１又は２記載の配線基板。

【請求項４】　前記収容部は、前記両主面の一方から他方に向けて貫通する貫通孔であると共に、

前記配線は、該電子部品の外部接続部の下端と接続された下側導体層を有し、前記外部接続部の下端は、前記第２主面を基準として下側にあると共に、

前記電子部品本体の下端は、前記第２主面を基準として上側にあることを特徴とする請求項１～３の何れか一項記載の配線基板。

【請求項５】　前記外部接続部の下端は前記電子部品本体の下端よりも３０μｍ以上１００μｍ以下下方に位置することを特徴とする請求項４記載の配線基板。

【請求項６】　前記外部接続部は、複数の導体層からなり、前記複数の導体層及び前記上側導体層は同一の材質からなることを特徴とする請求項１～５の何れか一項記載の配線基板。

【請求項７】　第１主面および第２主面を有する板形状をなし、電子部品を収容可能な収容部を有する配線基板本体の前記収容部に電子部品を配置する配置工程と、

前記電子部品が収容された前記収容部内に充填樹脂を充填し硬化させることにより、該電子部品を該収容部内に固定する固定工程と、

該固定工程にて硬化された充填樹脂を研磨することにより、前記第１主面側に前記電子部品の外部接続部を露出させる研磨工程と、

前記第１主面側に露出された前記外部接続部に接続する配線を、該第１主面の上方に形成する配線形成工程と、

を有する配線基板の製造方法であって、

前記配置工程では、前記外部接続部の上端が前記第１主面よりも上側に位置すると共に、前記電子部品本体の上端が該第１主面よりも下側に位置するよう、該電子部品

2

を前記収容部に配置することを特徴とする配線基板の製造方法。

【請求項８】　前記配置工程では、前記外部接続部が前記電子部品本体から３０μｍ以上１００μｍ以下高く形成された電子部品を、前記収容部内に配置することを特徴とする請求項７記載の配線基板の製造方法。

【請求項９】　前記研磨工程では、＃３２０以上の研磨布紙にて、前記充填樹脂を研磨することを特徴とする請求項７又は８記載の配線基板の製造方法。

【請求項１０】　前記研磨工程では、＃３２０以上＃６００以下の研磨布紙にて、前記充填樹脂を研磨することを特徴とする請求項７又は８記載の配線基板の製造方法。

【請求項１１】　電子部品本体と、該電子部品本体からはみ出して形成された外部接続部とを有する電子部品であって、

前記外部接続部は、複数の導体層を積層して形成され、最外層の導体層の厚みは、内層の導体層の厚みよりも厚いことを特徴とする電子部品。

【請求項１２】　前記外部接続部は、前記電子部品本体から３０μｍ以上１００μｍ以下はみ出して形成されたことを特徴とする請求項１１記載の電子部品。

【請求項１３】　前記最外層は、メッキにより形成されたことを特徴とする請求項１１又は１２記載の電子部品。

【請求項１４】　前記電子部品は、コンデンサとして構成されたことを特徴とする請求項１０～１３の何れか一項記載の電子部品。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】この発明は、電子部品を内蔵した配線基板およびその製造方法、並びに、この配線基板への内蔵に適した電子部品に関する。

【０００２】

【従来の技術】従来より、集積回路素子（以下、「ＩＣチップ」という）が搭載される配線基板には、ＩＣチップのスイッチングノイズの低減や動作電源電圧の安定化を図るために、コンデンサ素子を配設することが行われている。しかしコンデンサ素子を配線基板に設ける場合、ＩＣチップとコンデンサ素子との間の配線長が長くなるほど配線のインダクタンス成分が増加して、上記目的を十分には図ることが難しくなることから、コンデンサ素子はなるべくＩＣチップの近傍に設けるほうが望ましい。

【０００３】

【発明が解決しようとする課題】そこで、発明者らは、配線基板の骨格となる配線基板本体にコンデンサ素子を内蔵することを考えている。具体的には、配線基板本体にコンデンサ素子の収容部（貫通孔或いは凹部）を設け、その中にコンデンサ素子を入れて、充填樹脂で充填

するのである。このとき、コンデンサ素子の外部接続部（コンデンサ素子を配線に電気的に接続するための導体部）も充填樹脂に埋もれてしまうことが考えられるが、その場合には、外部接続部を充填樹脂外部に露出させればよい。

【０００４】外部接続部を充填樹脂外部に露出させるには、硬化後の充填樹脂にレーザやドリルで孔開けする方法も考えられる。しかし、配線基板本体に内蔵可能な電子部品は小さいことから、その外部接続部の位置（即ち、レーザにより孔を開けるべき位置）を探すのは容易でない。

【０００５】なお、以上の問題は、コンデンサ素子に限らず、各種の電子部品を配線基板に内蔵する際においても同様である。本発明は、こうした問題に鑑みて為されたものであり、配線基板本体内に充填樹脂で固定された状態で収容される電子部品の外部接続部を、容易に、充填樹脂外部に露出できるようにすることを目的とする。

【０００６】

【課題を解決するための手段及び発明の効果】上記課題を解決するためになされた本発明（請求項１記載）の配線基板は、第１主面および第２主面を有する板形状をなし、電子部品を収容可能な収容部を有する配線基板本体と、充填樹脂により前記収容部内に固定された電子部品と、該電子部品の外部接続部の上端と接続された上側導体層を含む配線と、を備えた配線基板であって、前記外部接続部の上端は、前記第１主面を基準として上側にあると共に、前記電子部品本体の上端は、前記第１主面を基準として下側にあることを特徴とする。

【０００７】この様に構成された請求項１記載の配線基板によれば、外部接続部の上端は、第１主面よりも上側にあることから、充填樹脂内に外部接続部の上端が埋まり難い。また仮に埋まってしまっても、充填樹脂を研磨することにより、第１主面側に容易に外部接続部を露出させることができる。また、電子部品本体の上端は、第１主面よりも下側にあるので、第１主面側において充填樹脂を研磨する際に、電子部品本体が削られる虞れが少ない。電子部品本体が削られると、その電子部品の電気的特性が損なわれるなどの不具合が生じるが、その虞れが少ない。

【０００８】なお「配線基板本体」には、その基板内部に導体層（導体パターン）を有するもの、例えば複数の絶縁層と導体層とが交互に積層されたものも含まれる。また、第１主面とは、上に向けた場合に電子部品本体および外部接続部との上記の如き関係を有する面をいい、両面ともがそれに該当する場合は、何れか一方の面を第１主面とする。

【０００９】さて、請求項１の発明によれば、以上の様な効果を得ることができるが、外部接続部の上端と電子部品本体の上端との高さの差が少ないと、電子部品本体が誤って削られる可能性を完全には無くすことができない。また、研磨の際や、その後のメッキ工程の際などに電子部品本体を覆う充填樹脂に割れや剥がれが生じ、その部分から薬品などが侵入して電子部品本体が侵されてしまうなど、電子部品本体の保護が不完全となる可能性もある。

【００１０】こうした不具合を予防するには、外部接続部の上端が電子部品本体の上端よりもなるべく上方に位置する方がよく、請求項２記載の様に、外部接続部の上端が電子部品本体の上端よりも、３０μｍ以上１００μｍ以下、上方に位置するようにすればよい。そうすれば、後述の実験からも分かるように、上記のような不具合を無くすことができるので好ましい。

【００１１】次に請求項３記載の配線基板においては、前記第１主面の上方には絶縁層が形成され、前記外部接続部の直上に、前記絶縁層を貫通するバイアホール導体が接続されることを特徴とする。

【００１２】この様に構成された請求項３記載の配線基板によれば、外部接続部の直上に、バイアホール導体が形成されていることから、ＩＣチップなど配線基板表面に設けられる素子と、当該内蔵した電子部品との接続経路が短くなり、ノイズの侵入を抑制するなど、電気的特性が向上する。なお、上記バイアホール導体の上に更にバイアホール導体を形成すれば、更にＩＣチップなど配線基板表面に設けられる素子と、当該内蔵した電子部品との接続経路を短くすることができるので、配線基板の電気的特性の向上を一層図ることができる。

【００１３】次に請求項４記載の配線基板においては、前記収容部は、前記両主面の一方から他方に向けて貫通する貫通孔であると共に、前記配線は、該電子部品の外部接続部の下端と接続された下側導体層を有し、前記外部接続部の下端は、前記第２主面を基準として下側にあると共に、前記電子部品本体の下端は、前記第２主面を基準として上側にあることを特徴とする。

【００１４】この様に構成された請求項４記載の配線基板によれば、外部接続部の下端は、第２主面よりも下側にあることから、充填樹脂内に外部接続部の上端が埋まり難い。仮に埋まってしまっても、充填樹脂を研磨することにより、第１主面側に容易に外部接続部を露出させることができる。そして、電子部品本体の上端は、第１主面を基準として上側にあることから、充填樹脂の第２主面側を研磨する際に、電子部品本体が削られ損傷する虞れも少ない。電子部品本体が削られると、その電子部品の電気的特性が損なわれるなどの不具合が生じるが、その虞れがない。

【００１５】即ち請求項４の配線基板の構成は、両面に電子部品の外部接続部を露出させる場合に有効な構成である。また、請求項５の様に、外部接続部の下端が電子部品本体の下端よりも、３０μｍ以上１００μｍ以下、下方に位置するようにすれば、第２主面側においても、請求項２と同様の効果を得ることができる。

5

【００１６】次に請求項６記載の配線基板においては、前記外部接続部は、複数の導体層からなり、前記複数の導体層及び前記上側導体層は同一の材質からなることを特徴とする。このため、ＩＣチップの半田リフロー時などに発生し易い熱応力を緩和でき、断線が生じる可能性を低くすることができる。

【００１７】次に請求項７記載の配線基板の製造方法は、第１主面および第２主面を有する板形状をなし、電子部品を収容可能な収容部を有する配線基板本体の前記収容部に電子部品を配置する配置工程と、前記電子部品が収容された前記収容部内に充填樹脂を充填し硬化させることにより、該電子部品を該収容部内に固定する固定工程と、該固定工程にて硬化された充填樹脂を研磨することにより、前記第１主面側に前記電子部品の外部接続部を露出させる研磨工程と、前記第１主面側に露出された前記外部接続部に接続する配線を、該第１主面の上方に形成する配線形成工程と、を有する配線基板の製造方法であって、前記配置工程では、前記外部接続部の上端が前記第１主面よりも上側に位置すると共に、前記電子部品本体の上端が該第１主面よりも下側に位置するよう、該電子部品を前記収容部に配置することを特徴とする。

【００１８】この様な請求項７記載の配線基板の製造方法によれば、外部接続部の上端が第１主面よりも上側となるように電子部品を配設することから、充填樹脂内に外部接続部の上端が埋まってしまっても、充填樹脂を研磨することにより、第１主面側に容易に外部接続部を露出させることができる。また、電子部品本体の上端は、第１主面よりも下側にあるので、第１主面側において充填樹脂を研磨する際に、電子部品本体が削られて損傷する恐れが少ない。

【００１９】ここで、外部接続部の上端と電子部品本体の上端との高低差が少ないと、上述（請求項２の説明）の様に、電子部品本体の保護が不完全となる可能性もある。そこで、収容部内に配置する電子部品としては、請求項８の様に、外部接続部が電子部品本体から３０μｍ以上１００μｍ以下、高く形成された電子部品を用いると良い。そうすれば、後述の実験からも分かるように、電子部品本体が誤って削られたり、電子部品本体を覆う充填樹脂の剥離や割れが発生することを防止できる。また、配置工程において、外部接続部の上端が第１主面よりも上側に位置すると共に、電子部品本体の上端が第１主面よりも下側に位置するように電子部品を配置することが容易となる。

【００２０】次に請求項９記載の配線基板の製造方法においては、前記研磨工程では、＃３２０以上の研磨布紙（ＪＩＳ　Ｒ６００４に規定）にて、前記充填樹脂を研磨することを特徴とする。即ち、＃３２０以上の番手（目の細かさ。番手が高いほど目が細かくなる（ＪＩＳ　Ｒ６００１に規定））の研磨布紙を用いて充填樹脂を

6

研磨することとすれば、後述の様に、配線基板本体の表面（第１主面に予め導体層が形成されている場合には、導体層の表面）にキズが付きにくい。そのため、配線形成（例えばビルドアップ法による配線形成など）を支障なく行うことができる。

【００２１】次に請求項１０記載の配線基板の製造方法においては、前記研磨工程では、＃３２０以上＃６００以下の研磨布紙にて、前記充填樹脂を研磨することを特徴とする。即ち、＃３２０以上＃６００以下の番手の研磨布紙を用いて充填樹脂を研磨することとすれば、請求項７の発明による効果に加え、後述の様に、配線基板本体の表面（第１主面）に予め導体層が形成されている場合であっても、導体層の剥離を生じさせる可能性が少ない。

【００２２】なお、充填樹脂には、充填樹脂よりも熱膨張係数が小さいフィラー（例えばＳｉＯ2等）を混合（樹脂を含む複合材料となる。）しておくと好ましい。こうすることにより、充填樹脂とフィラーとの複合体としての熱膨張係数を精度良くコントロールすることが可能となる。その結果、例えば、Ｃｕ等にて形成される配線（導体層）やＳｉ等にて形成されるＩＣチップと配線基板との間で、熱膨張係数の整合をとり易くなり、配線基板上に構成される配線パターンの剥がれ等を防止でき、熱に対する信頼性を向上させることができる。

【００２３】また特に、充填樹脂には、酸化剤に溶解し難い成分として無機フィラーを含有させるとよい。充填樹脂の表面は、配線パターンや電子部品との密着性を高めるために、酸化剤により粗化処理をすることがある。そこで、酸化剤に溶解し難い成分として無機フィラーを含有させると、熱膨張係数の調整をすることができるほか、充填樹脂の硬化後において無機フィラーが骨材として機能することによって、粗化処理後における充填樹脂の形状が必要以上に崩れることを防止できる。

【００２４】酸化剤に実質的に溶解しない無機フィラーとしては、特に制限はないが、結晶性シリカ、溶融シリカ、アルミナ、窒化ケイ素等がよく、充填樹脂の熱膨張係数を効果的に下げることができる。これらの無機フィラーを充填材として高い充填率になるように添加し、充填樹脂の熱膨張係数を４０ｐｐｍ／℃以下（好ましくは３０ｐｐｍ／℃以下、より好ましくは２５ｐｐｍ／℃以下、更に好ましくは２０ｐｐｍ／℃以下。尚、下限値としては、１０ｐｐｍ／℃以上である。）にすることで、埋め込まれた電子部品と実装された半導体素子との熱膨張係数の差に起因する応力集中を少なくすることができる。

【００２５】無機フィラーの形状は、充填樹脂の流動性と充填率とを高くするために、略球状であるとよい。特にシリカ系の無機フィラーは、容易に球状のものが得られるため、好ましい。充填樹脂の低粘度、高充填率化をさらに向上達成するためには、粒子の形状の異なる無機

フィラーを２種類以上添加するとよい。

【００２６】無機フィラーのフィラー径は、充填樹脂が電子部品の電極間の隙間にも容易に流れ込む必要があるため、粗径５０μｍ以下のフィラーを使用するとよい。この粒径の好ましい範囲は、好ましくは３０μｍ以下、より好ましくは２０μｍ以下、更には１０μｍ以下である。５０μｍを越えると、電子部品の電極間の隙間にフィラーが詰まりやすくなり、充填樹脂の充填不良により局所的に熱膨張係数の極端に異なる部分が発生する。また、表面を平坦化するために研磨する際に、フィラーが脱粒して大きな凹部が発生し、その後のメッキによる微細配線の形成を妨げる。フィラー径の下限値としては、０．１μｍ以上がよい。これよりも細かいと、充填樹脂の流動性が確保しにくくなる。好ましくは０．３μｍ以上、更に好ましくは０．５μｍ以上がよい。充填樹脂の低粘度、高充填化を達成するためには、粒度分布を広くするとよい。

【００２７】無機フィラーの表面は、必要に応じてカップリング剤にて表面処理するとよい。無機フィラーの樹脂成分との濡れ性が良好になり、充填樹脂の流動性を良好にできるからである。カップリング剤の種類としては、シラン系、チタン系、アルミニウム系等が用いられる。

【００２８】硬化剤に実質的に溶解しない成分としては、他に硬化促進剤、シリコンオイル、反応性シリコンゲル、反応性希釈剤、消泡剤等、改質剤等を用いることができる。充填樹脂に熱硬化性樹脂を含む場合は、硬化剤の添加が必要である。硬化剤の種類に特に制限はないが、イミダゾール系、アミン系、酸無水物系、ノボラック樹脂系等を用いると良い。特に熱硬化性樹脂としてエポキシ樹脂を用いた場合は、イミダゾール系、アミン系や酸無水物系等の液状硬化剤を用いると、充填樹脂の低粘度化が容易なため、無機フィラー等の充填材を添加する際に有効でよい。

【００２９】さて充填樹脂は、少なくとも配線との接触界面において粗化されているとよい。粗化面の細かい凹凸が、無電解メッキにより形成される配線との密着性を高めるアンカー効果を奏するからである。粗化面は、表面粗度Ｒｚが０．１～１５μｍになるように調整するのがよい。好ましくは０．５～１０μｍ、より好ましくは１～８μｍ、更に好ましくは３～７μｍ、特には５～７μｍである。配線は、この粗化面の細かい凹凸に実質的に食い込んでいるのがよい。配線が凹凸に実質的に食い込んでいないような微細な隙間や密着不良部があると、信頼性試験において配線フクレが発生しやすくなるからである。

【００３０】無機フィラーを充填樹脂に含有させることは、充填樹脂に対する粗化後の表面形状（凹凸）を調整する上でも意義がある。即ち、充填樹脂は、少なくとも一種類の無機フィラーを含むものであり、且つ、その無機フィラーの含有量が３５～６５体積％の範囲（好ましくは４０～６０体積％、より好ましくは４０～５０体積％）であるとよい。充填樹脂と配線層との界面が形成する凹凸の十点平均粗さＲｚが所定の範囲となる様に調製するとともに、無機フィラーの含有量を所定の範囲に規定することで、配線層の密着性を得るために必要なアンカー効果がより効果的に得られるとともに、粗化処理後の充填樹脂の形状保持を図って、配線層の下部に過大な大きさの空孔等の潜在的欠陥の発生を抑制できる利点がある。

【００３１】そして特に、熱硬化性樹脂とその硬化剤と少なくとも一種類の無機フィラーとを含む充填樹脂であって、その熱硬化性樹脂がビスフェノールエポキシ樹脂、ナフタレン型エポキシ樹脂及びフェノールノボラック樹脂から選ばれる少なくとも一種であり、その無機フィラーの含有量が３５～６５体積％であり、その硬化剤が酸無水物系の硬化剤である充填樹脂を用いるとよい。配線層の充填樹脂に対する密着力を向上できるとともに、耐熱衝撃試験、耐水性試験などの信頼性試験において高い信頼性が得られるからである。

【００３２】次に請求項１１記載の電子部品は、電子部品本体と、該電子部品本体からはみ出して形成された外部接続部とを有する電子部品であって、前記外部接続部は、複数の導体層を積層して形成され、最外層の導体層の厚みは、内層の導体層の厚みよりも厚いことを特徴とする。

【００３３】即ち、上記請求項１～請求項１０の発明においては、外部接続部が電子部品本体からある程度の高さをもって、はみ出るよう構成される必要があり、その際には、しかも電子部品本体の大きさと配線基板本体の厚さとの関係も考慮されなければならない。この条件を満足するには、電子部品の製造時から、外部接続部の大きさを予め規定しておくことも考えられるが、それではコストが嵩む。

【００３４】そこで、請求項１１の様に、配線基板に内蔵するための電子部品（即ち、配線基板本体の収容部に収容するための電子部品）としては、その外部接続部を複数層（例えば２層）の導体層で形成すると良く、そうすれば、最外層を形成する際に、その厚さを制御することによって、容易に、上記条件を満足することができる。

【００３５】そして特に、請求項１２に記載の様に、外部接続部を、電子部品本体から３０μｍ以上１００μｍ以下、はみ出して形成すると好ましい。請求項１２の電子部品によれば、後述の実験からも分かるように、電子部品本体が誤って削られたり、電子部品本体を覆う充填樹脂の剥離や割れが発生することを防止できる。また、配置工程において、外部接続部の上端が第１主面よりも上側に位置すると共に、電子部品本体の上端が第１主面よりも下側に位置するように電子部品を配置することが

容易となる。

【００３６】次に請求項１３記載の電子部品においては．前記導体層のうちの最外層は、メッキにより形成されたことを特徴とする。請求項１３の電子部品によれば．最外層をメッキにて形成することとしていることから．その厚さの調整が容易である。

【００３７】なお、請求項１１、１２．１３の発明は、請求項１４の様にコンデンサ素子に適用することができる。また、電子部品の電極の表面は．粗度Ｒｚが０．３～２０μｍになるように粗化処理されているとよい。電子部品の電極の表面の粗度Ｒｚは、０．５～１．０μｍがより好ましく．０．５～５μｍが更に好ましい。充填樹脂が電極表面の凹凸に食い込んで．密着性を向上させるアンカー効果を奏するからである。粗度Ｒｚの制御については、特に制約はなく．マイクロエッチング法や黒化処理等の公知の方法で行えばよい。

【００３８】

【発明の実施の形態】以下に、本発明の実施例を図面と共に説明する。図１（ａ）は、実施例の方法により製造される配線基板１の内部構成を説明する図である。なお．本実施例の配線基板１は、分割により複数の回路基板（縦横約４０ｍｍ×４０ｍｍ）となる多数個取りの配線基板（縦横約３３０ｍｍ×３３０ｍｍ）である。

【００３９】図１（ａ）に示すように．この配線基板１においては、厚さ０．８ｍｍ程の、ガラス－エポキシ樹脂複合材料製の絶縁性基板である配線基板本体３の表裏の両面（第１主面３ａ及び第２主面３ｂ）には．厚さ約２５μｍ程度の第１導体層５ａ，５ｂが形成されている。

【００４０】配線基板本体３には、両主面３ａ、３ｂの一方から他方に貫通する貫通孔９の内壁にメッキが施された直径約２５０μｍ程度のスルーホール１１が形成されている。このスルーホール１１により、第１主面３ａ上の第１導体層５ａと第２主面３ｂ上の第１導体層５ｂとは相互に接続されている。なお、スルーホール１１の内部には樹脂が充填されている。

【００４１】また、配線基板本体３には電子部品を配置する「収容部」としての貫通孔２１（縦横約１２ｍｍ×１２ｍｍ）が形成されており、その内部には電子部品として複数のコンデンサ素子１３（約３．２ｍｍ×１．６ｍｍ×０．７ｍｍ）が設けられている。コンデンサ素子１３は、$BaTiO_3$を主成分とする高誘電体セラミックから成る素子本体（電子部品本体）１５と、Ｃｕからなる外部接続部１４と、Ｎｉからなる内部電極層（図１では図示しない）から構成されている。

【００４２】貫通孔２１の内部において、コンデンサ素子１３は、硬化した充填樹脂４により固定されている。コンデンサ素子１３は、配線基板１に設けられることとなるＩＣチップ１６にて発生されるスイッチングノイズの抑制や、またＩＣチップ１６に供給すべき動作電源電圧の安定化などを図るためのものである。

【００４３】そして第１導体層５ａ、５ｂの上には、第１層間絶縁層１０３ａ，１０３ｂ（厚さ約３０μｍ程度）が積層され．更に、第１層間絶縁層１０３ａ、１０３ｂの上には．第２導体層１０５ａ、１０５ｂ（厚さ約１５μｍ程度。幅約２５μｍ程度）が形成されている。即ち．この第１導体層５ａ（５ｂ）と第２導体層１０５ａ（１０５ｂ）とは、第１層間絶縁層１０３ａ（１０３ｂ）を間に挟んで積層されている。また第１導体層５ａ（５ｂ）と第２導体層１０５ａ（１０５ｂ）とは．第１層間絶縁層１０３ａ（１０３ｂ）に形成された開口径約５０μｍ程度のフィルドビア１０４ａ（１０４ｂ）、１１５ａ（１１５ｂ）により接続されている。このフィルドビア１０４ａ（１０４ｂ）、１１５ａ（１１５ｂ）は．請求項の「バイアホール導体」に相当する。

【００４４】そして第２導体層１０５ａ，１０５ｂの上には更に第２層間絶縁層１０７ａ，１０７ｂが積層されている。この内．第１主面３ａ側の第２層間絶縁層１０７ａの上には．破線で示すＩＣチップ１６と配線基板１の配線とを接続するためフリップチップパッド１１１が多数形成され．各フリップチップパッド１１１上には、高温はんだから成る略半球状のフリップチップバンプ１１２が形成されている。なお第１主面３ａ側の第２層間絶縁層１０７ａ上において．フリップチップパッド１１１の周囲には．フリップチップバンプ１１２の形成時に．フリップチップパッド１１１の周囲に半田が流れ出すのを防ぐためのソルダレジスト層１０９ａ（厚さ約２０μｍ程度）が形成されている。

【００４５】一方、第２主面側の第２層間絶縁層１０７ｂの上には、マザーボードなどの他の配線基板の配線と．当該配線基板１の配線と接続するためのＬＧＡパッド１１３が多数形成されている。そして、第２主面３ｂ側の第２層間絶縁層１０７ｂ上において、ＬＧＡパッド１１３の周囲にもソルダレジスト層１０９ｂが形成されている。

【００４６】なお、第１主面３ａ側において第２導体層１０５ａとフリップチップパッド１１１とは、第２層間絶縁層１０７ａに形成されたフィルドビア１１７ａにより互いに接続されている。そして、第２主面３ｂ側において．第２導体層１０５ｂとＬＧＡパッド１１３とは、第２層間絶縁層１０７ｂに形成されたフィルドビア１１７ｂを介して互いに接続されている。この様に層間接続にフィルドビアを用いることで、コンデンサ素子の外部接続部１４とフリップチップパッド１１１を一直線で結ぶことができる（即ち、スタックトビアを形成できる）。そのため．ＩＣチップ１６とコンデンサ素子１３とを短い距離で結ぶことが可能となり．電気的特性の向上を図ることが可能となる。

【００４７】配線基板１は後述の各工程を経た後．ダイシング加工等により分割され、複数の回路基板となる。

さて．本実施例においては．外部接続部１４は．素子本体１５の一部表面にＣｕにて形成された外部電極層３０と．この外部電極層３０を覆うようにＣｕにて形成された外部接続層３１との２層の導体層から構成されている。即ち、外部接続層３１が、外部接続部１４を構成する導体層のうちの最外層を構成している。そして．外部接続層３１が．外部接続部１４の上端部１４ａおよび下端部１４ｂを構成している。

【００４８】また、第１導体層５ａもＣｕにより形成されている。この様に電子部品（コンデンサ素子１３）の外部接続部１４（外部電極層３０および外部接続層３１）と配線基板１の配線とを同一材料（即ちＣｕ）により形成されることで、ＩＣチップの半田リフロー時などに発生し易い熱応力を緩和でき、断線が生じる可能性を低くすることができる。

【００４９】外部接続部１４は、その上端（図１（ｂ）中．Ａ１で示す）が素子本体１５の上端（Ｃ１で示す）から５０μｍ程度高く突出するよう形成されている。そして．外部接続部１４の上端（Ａ１）は、配線基板本体３の第１主面３ａを基準面（Ｂ１で示す）として上側に位置していると共に、素子本体１５の上端（Ｃ１で示す）は、第１主面３ａを基準面（Ｂ１）として下側に位置している。

【００５０】また、外部接続部１４は．その下端（図１（ｂ）中、Ａ２で示す）部分についても、素子本体１５の下端（Ｃ２で示す）から４５μｍ程度高く突出するよう形成されている。そして外部接続部１４の下端（Ａ２）は、第２主面３ｂを基準面（Ｂ２で示す）として下側に位置していると共に．素子本体１５の下端（Ｃ２で示す）は、第２主面３ｂを基準面（Ｂ２）として上側に位置している。

【００５１】この外部接続部１４は．図２のようにして形成される。図２（ａ）は．公知のコンデンサ素子を示す図であり、素子本体１５の内部には．Ｎｉを主成分とする内部電極３３が設けられている。具体的には．２つの外部電極層３０の内、一の外部電極層３０に接続された内部電極３３群と、他の外部電極層３０に接続された内部電極３３群が、$BaTiO_3$の高誘電体セラミックを間に介して互い違いに積層されている。

【００５２】この様なコンデンサ素子は、高誘電体セラミックグリーンシート上にＮｉを印刷したものを多数積み重ねてプレス圧着し、これを焼成した後、外部電極層３０を印刷し焼き付けることにより．構成される。この様に内部電極３３に接続された外部電極層３０は．そのまま外部の配線に接続することも可能であるが．その厚さは薄い（本実施例では約１０μｍ）。そのため．外部接続部１４を外部電極層３０のみで構成すると．その上端（Ａ１）を第１主面３ａの上端面（Ｂ１）より高くするとともに、素子本体１５の上端（Ｃ１）を第１主面３ａの上端面（Ｂ１）より低くすることが困難である。

【００５３】そこで、本実施例では．図２（ｂ）に示す様に．外部電極層３０の上に、更に導体層としての外部接続層３１を形成する。外部接続層３１は、バレルメッキにより、外部電極層３０の表面に形成する。具体的には．図２（ａ）に示したコンデンサ素子（外部電極層３０を含む）の表面を、室温（約２０℃）にて約６０秒間酸活性化し、２回の水洗を施した後．これを室温（約２０℃）にて約１５秒間酸浸漬し、さらに２回の水洗を施す。その後、所定条件（２５℃、２Ａ／ｄｍ²、４時間）の下、電解メッキ（硫酸銅メッキ）によって．外部電極層３０の表面に、厚さ約７０μｍのＣｕ層（即ち、外部接続層３１）を形成し．２回の水洗を行った後、８０℃にて約１時間乾燥させる。

【００５４】こうして、Ｃｕからなる外部接続層３１が形成されるが．その結果．外部接続部１４は、その上端１４ａおよび下端１４ｂにおいて、素子本体１５から５０μｍ程度突出した状態とされる。なお電解メッキにおいては、メディアとしてＦｅ球を使用したが、表面にＣｕメッキを施した樹脂ボールを使用するなど様々な方法をもちいることができる。

【００５５】さて、以上の構成のコンデンサ素子１３を内蔵した配線基板１を、どの様に製造するか、その方法について、図３を参照しながら説明する。図３は．１つの貫通孔２１の近傍を拡大して示している。図３（ａ）に示す様に、配線基板本体３としては．予め銅張積層板の一部として構成されたものを使用すると好ましい。銅張積層板は、樹脂製の絶縁性基板の両面に銅箔を載せ、加熱および加圧により、絶縁性基板に銅からなる導体層２０ａ，２０ｂを積層したものである。なお、配線基板本体３として．こうした導体層２０ａ．２０ｂが積層されていない絶縁性基板を使用しても良い。

【００５６】そして、この配線基板本体３に、スルーホール１１を構成するための貫通孔９を多数個形成（例えばドリルにより）すると共に、コンデンサ素子１３を配置するための貫通孔２１を形成（例えばパンチングにより）する。貫通孔９や、貫通孔２１は．レーザ（ＣＯ２、ＹＡＧ．エキシマ等）で穿孔することとすれば、径を小さくすることも可能である。なお．図１（ａ）に示す他．配線基板１には、多数の貫通孔２１が形成される。

【００５７】次に図３（ｂ）に示す様に、電子部品配設用の貫通孔２１の開口部の一方（第２主面３ｂ側の開口部２１ａ）を．片面にシリコン系の粘着剤２４を有するポリイミドからなるシート材２３で覆う。その際．粘着剤２４を有する面２３ａが配線基板本体３側に向けられ．シート材２３は配線基板本体３に張り付けられる。

【００５８】このとき、粘着剤２４は．貫通孔２１の内側に露出する。また、配線基板１には多数の貫通孔２１が形成されているが、これらの開口部２１ａを１枚のシート材２３で覆う。シート材２３で貫通孔２１を塞いだ

後．図３（ｃ）に示す様に．コンデンサ素子１３を、粘着剤２４を介してシート材２３に粘着するよう．貫通孔２１の内部に配置する。なお、これが．請求項の「配置工程」に相当する。

【００５９】この際、コンデンサ素子１３は、その外部接続部１４の部分にてシート材２３に粘着すると共に、その素子本体１５とシート材２３との間には充填樹脂４が流入可能な隙間が形成されるよう配置される。また、外部接続部１４は互いに反対方向に向いている端部１４ａ、１４ｂを備えており．各端部１４ａ，１４ｂが夫々第１主面３ａ側．第２主面３ｂ側に向けられる。ここでは．第１主面３ａ方向に向けられる端部が上端部１４ａであり、第２主面３ｂ側に向けられる端部が下端部１４ｂである。

【００６０】また、コンデンサ素子１３を貫通孔２１内に配置する際．コンデンサ素子１３の位置は、次の様に調整される。即ち、外部接続部１４の上端（図３（ｃ）中．Ａ１で示す）が第１主面３ａを基準面（Ｂ１で示す）として上側に位置し．素子本体１５の上端（Ｃ１で示す）は、第１主面３ａを基準面（Ｂ１）として下側に位置し、そして．外部接続部１４の下端（Ａ２で示す）が第２主面３ｂを基準面（Ｂ２で示す）として下側に位置し．更に、素子本体１５の下端（Ｃ２で示す）が第２主面３ｂを基準面（Ｂ２）として上側に位置する。このような位置関係が形成されるようコンデンサ素子１３を配設するのである。

【００６１】以上の様にして貫通孔２１の内部にコンデンサ素子１３を配置した状態とした上で、図３（ｄ）の様に．貫通孔２１の内部に充填樹脂４を注入し．充填樹脂４を硬化させる。これは．請求項の「固定工程」に相当する。これにより、配線基板本体３の内部に電子部品としてのコンデンサ素子１３が埋設されることとなる。また．コンデンサ素子１３の素子本体１５とシート材２３との間にも．充填樹脂４が充填される。充填樹脂４を貫通孔２１に注入した後．硬化させる前には、充填樹脂４から真空脱泡により気泡を抜く。

【００６２】充填樹脂４を硬化させるには、充填樹脂４の種類に応じて様々な方法が考えられる。本実施例では充填樹脂４として熱硬化性のエポキシ系樹脂を使用しており．加熱および乾燥により硬化（所謂キュア）させる。具体的には．貫通孔２１に充填した充填樹脂４を、１時間～３時間程、１００℃～１２０℃の温度に保つことによってキュアを行う。

【００６３】なお、充填樹脂４には．充填樹脂４よりも熱膨張係数が小さいフィラー（例えばＳｉＯ２　等）を混合しておくと好ましい。こうすることにより．充填樹脂４とフィラーとの複合体としての熱膨張係数を精度良くコントロールすることが可能となる。その結果．例えば．Ｃｕ等にて形成される配線（導体層）やＳｉ等にて形成されるＩＣチップ１６と配線基板１との間で．熱膨張係数の整合をとり易くなり、配線基板１上に構成される配線の、熱に対する信頼性を向上させることができることになる。

【００６４】また、シート材２３の表面においてコンデンサ素子１３を正確な位置に載置しても、その後注入される充填樹脂４に押されることにより．その位置がずれたり．傾いたりする可能性がある。そうすると．コンデンサ素子１３の外部接続部１４と配線パターンとの接続が困難となることも考えられる。

【００６５】そこでコンデンサ素子１３の位置の精度を上げるには、シート材２３の粘着力を高くした方が好ましい。シート材２３として８．８３Ｎ／２５ｍｍの粘着力を有するものを使用したところ、７．１％のピース（１ピースあたりコンデンサ素子１３が８個）において．シート材からの剥がれが確認された。このことから．シート材２３として．その粘着力が８．０Ｎ／２５ｍｍ以上であるものを用いることが望ましいと考えられる。この粘着力は、１８０°引きはがし法（ＪＩＳＺ０２３７）により測定されるものである。また、この単位［Ｎ／２５ｍｍ］は、幅２５ｍｍのシート材を試料として測定された力を意味する（以下同様）。

【００６６】この様にシート材２３の粘着力が高ければ．コンデンサ素子１３が配置された貫通孔２１に充填樹脂４を注入する際も、コンデンサ素子１３が動きにくくなり、その位置の精度を高めることができる。また、シート材２３は．機械的強度の高いものである方が好ましい。シート材２３の強度が低すぎると、その表面にコンデンサ素子１３を載置する際にシート材２３が変形しコンデンサ素子１３の位置ずれが生じるなどの不具合が生じるからである。具体的には、シート材２３としては．その引張強さ（ＪＩＳ　Ｚ０２３７）が１００Ｎ／２５ｍｍ以上であるもの（より好ましくは１５０Ｎ／２５ｍｍ以上）を用いるとよい。

【００６７】素子本体１５（即ち電子部品本体）とシート材２３との間に充填樹脂４が流入可能な隙間が形成される様にするには、シート材２３として、シート材２３の表面の粘着剤２４の厚みが、端極の高さ（後述する）よりも小さいものを用いた方がよい。たとえば．コンデンサ素子１３（即ち電子部品）として．「端極の高さ」が３０μｍ～７０μｍであるものを内蔵させる場合には．粘着剤２４の厚さは７０μｍ未満であることが必要である。粘着剤２４の厚みが７０μｍ以上になると、外部接続部１４が粘着剤２４に埋まった場合に、充填樹脂４が流入できる隙間を素子本体１５とシート材２３との間に確保することが難しくなるためである。

【００６８】また、シート材２３の表面の粘着剤２４の厚みが小さいと．所定の粘着力が得られ難くなる。そのため．所定の粘着力を確保するためには、粘着剤２４の厚みは１５μｍ以上であることが望ましい。つまり、シート材２３としては、粘着剤２４の厚さが１５μｍ以上

15

７０μｍ未満であるものを用いるとよい。

【００６９】さて充填樹脂４を硬化させた後、次に、シート材２３を、コンデンサ素子１３の外部接続部１４、充填樹脂４および配線基板本体３（詳しくは、導体層２０ａ）から除去し、その後、充填樹脂４および配線基板本体３の各主面３ａ，３ｂを、ベルトサンダーにより研磨する（図３（ｅ））。これは、請求項の「研磨工程」に相当する。

【００７０】第１主面３ａ側における充填樹脂４の研磨によって、外部接続部１４の上端部１４ａが、第１主面３ａ側から充填樹脂４の外部に露出される。第２主面３ｂ側からは、シート材２３の除去によって、外部接続部１４の下端部１４ｂが、充填樹脂４の外部に露出される。また、コンデンサ素子１３の素子本体１５は、充填樹脂４の中に埋没した状態となっている。

【００７１】また、各主面３ａ，３ｂの研磨の際には、コンデンサ素子１３の周囲に形成した充填樹脂４が平坦化されると共に、導体層２０ａ，２０ｂの表面と充填樹脂４の表面との高さが揃えられる。即ち、第１主面３ａ側において、導体層２０ａと充填樹脂４とが同一平面をなすと共に、第２主面３ｂ側においても導体層２０ｂと充填樹脂４とが同一平面をなすこととなる。その結果、両主面３ａ，３ｂ上には、周知のビルドアップ法により、平坦な導体層および層間絶縁層を形成することが可能となる。

【００７２】また配線基板本体３として、導体層２０ａ，２０ｂが積層されていない絶縁性基板を使用した場合には、研磨の結果、第１主面３ａおよび第２主面３ｂの表面と充填樹脂４の表面との高さが揃えられる。即ち、第１主面３ａと充填樹脂４とが同一平面をなすと共に、第２主面３ｂと充填樹脂４とが同一平面をなすこととなる。

【００７３】なお、充填樹脂４の研磨に使用する研磨布紙は、目の細かさが＃４００のものを使用したが、好ま＊

16

＊しくは＃３２０又は＃３２０よりも目の細かい研磨布紙を使用すればよく、特に＃３２０以上＃６００以下の研磨布紙を用いると更に好ましい。理由は次の如くである。

【００７４】即ち表１に示す様に、＃１２０、＃２４０の研磨布紙にて充填樹脂４の研削を行ったところ、導体層２０ａ、２０ｂが剥げたり、導体層２０ａ、２０ｂの表面にキズが見られた。また、＃８００の研磨布紙を用いたところ、導体層２０ａ，２０ｂにはキズが見られなかったが、一部に剥げが生じたためである。これは、研磨布紙の目が細かくなると、樹脂が削れ難くなるにもかかわらず、その分、金属部分（本実施例では、Ｃｕ）が相対的に削れ易くなり、導体層に剥離が生じてしまうと考えられる。

【００７５】

【表１】

	#120	#240	#320	#400	#600	#800
Ｃｕ剥げ	×	×	○	○	○	×
Ｃｕキズ	×	×	○	○	○	○

【００７６】尚、表１において、○は良好、×は不良を示す。また本実施例では、シート材２３の粘着剤２４としてシリコン系のものを使用したが、これは、次のような実験に基づいている。表２は、シート材（基材）と粘着剤との種々の組み合わせについて、硬化した充填樹脂４からの剥がし易さ、およびシート材の耐熱性（２００℃の環境における変形、変質の有無）について調べた結果を示している。この実験において、充填樹脂４としてはエポキシ樹脂を使用し、これにシリカフィラーを浸入したものを用いた。

【００７７】

【表２】

試料	基材	粘着剤	樹脂硬化後の剥がれ易さ	耐熱性（変形、変質）
1	ポリエステル	シリコン系	○	○
2	ポリエステル	アクリル系	×	○
3	ポリイミド	シリコン系	○	○
4	ポリイミド	アクリル系	×	○
5	ポリイミド	ゴム系	×	○
6	紙ロース系	—	○	×

【００７８】尚、表２において、○は良好、×は不良、－は未確認であることを示す。表２に示す様に、基材がポリエステルまたはポリイミドであると、シート材２３は耐熱性に優れたものとなり変形や変質がなく、また、粘着剤がシリコン系である場合には、充填樹脂の硬化後に剥がし易いことがわかる。

【００７９】本実施例では、シート材２３の基材としてポリイミドを用い、かつシリコン系の粘着剤２４を用いているので、充填樹脂４を熱硬化させる際にシート材２３に変形がなく、そのためシート材２３上に配置した電子部品（コンデンサ素子１３）の位置ずれが少なく、高い位置精度で電子部品を配線基板本体３内に設けることができる。また硬化した充填樹脂４からシート材２３を剥がしやすいため、シート材２３の一部が残渣となって後のビルドアップ工程に支障をきたすことを防ぐことができる。

【００８０】さて、以上の様に各主面３ａ，３ｂ側を研磨した後、次に図３（ｆ）に示す様に、スルーホール１

１の形成、及び、各主面３ａ，３ｂ上への第１導体層５ａ、５ｂの形成を行う。第１導体層５ａ，５ｂの形成は、次の様にして行われる。即ち、貫通孔２１内にコンデンサ素子１３を内蔵した配線基板本体３全体に、Ｃｕにて無電解メッキを施した後、更にＣｕにて電解メッキを施すことにより、配線基板本体３全体にパネルめっきを行う。そして、エッチングによって導体層の不要部分を除去することにより、第１導体層５ａ，５ｂを形成する。

【００８１】なお、パネルめっきの際には、コンデンサ素子１３の外部接続部１４の露出部分にもメッキが形成される。即ち、外部接続部１４は、メッキにより、配線基板１の配線（ここでは、第１導体層５ａ，５ｂ）と接続されることになる。しかも、その接続は、配線の形成と同時に実現される。

【００８２】この様にコンデンサ素子１３の外部接続部１４と導体層との接続をメッキにより行うため、以下の効果がある。即ち、半田によりコンデンサ素子１３を実装するときには、半田実装のための受けランドを形成するために所定の面積（例えば４６０μｍ×９００μｍ）を必要とし、コンデンサ素子１３の実装密度を高くする上での制限となる。これに対して、コンデンサ素子１３の外部接続部１４と導体層との接続をメッキにより行うと、受けランドを形成する必要がなく、しかも外部接続部１４のうち導体層との接続に必要な面積は小さいので（例えば３００μｍ×１００μｍ）、コンデンサ素子１３を高密度に実装できる。

【００８３】また、メッキにより配線形成と同時にコンデンサ素子１３の外部接続部１４と導体層との接続を図ることができ、半田印刷という工程を省略できるため、安価に実装可能である。また、半田リフローによるコンデンサ素子１３のダメージをなくすことができる。

【００８４】また、上記のパネルめっきの際には、貫通孔９の内周面にもメッキ層を形成し、その後貫通孔９内部に樹脂を充填し硬化させることにより、スルーホール１１を形成する（図３（ｆ））。なお、配線基板本体３に貫通孔９を形成し、内周面にメッキ層を形成し、樹脂を充填した後、貫通孔を形成し、同様にコンデンサ素子１３を内蔵しても良い。

【００８５】以上の様な第１導体層５ａ，５ｂの形成後、第１主面３ａ側及び第２主面３ｂ側において、充填樹脂４、第１導体層５ａ、５ｂ並びに上端部１４ａ及び下端部１４ｂの上に、エポキシ樹脂を主成分とするフィルム化された感光性樹脂を貼付する。そして、この感光性樹脂を露光・現像することにより、上端部１４ａ及び下端部１４ｂを露出すべき位置にビアホールを形成し、感光性樹脂を硬化させて、第１層間絶縁層１０３ａ，１０３ｂを形成する。なお、ビアホールは、第１層間絶縁層１０３ａ，１０３ｂを感光性のない樹脂で形成した後、レーザなどを用いて穿設しても良い。

【００８６】さらに、Ｃｕにて無電解メッキおよび電解メッキを施し、第１層間絶縁層１０３ａ、１０３ｂに形成したビアホールに導電体を充填すると共に、パネルメッキを行ってメッキ層を形成する。このメッキ層の上にドライフィルムを貼り付け、露光現像してエッチングレジストを形成し、メッキ層の内の不要部分をエッチングにより除去する。これにより、第２導体層１０５ａ，１０５ｂから成る配線が形成される。なお、導体層の形成には、周知のサブトラクティブ法の他、フルアディティブ法やセミアディティブ法を用いてもよい。

【００８７】以降は、同様にして第２層間絶縁層１０７ａ、１０７ｂ、フィルドビア１１７ａ、１１７ｂ、フリップチップパッド１１１（ＬＧＡパッド１１３）を順に形成し、その後ソルダレジスト層１０９ａ，１０９ｂを形成する。そして、ソルダレジスト層１０９ａから露出したフリップチップパッド１１１の上には、Ｎｉ－Ａｕメッキ層を形成し、更にハンダペーストを塗布しリフローすることで、フリップチップバンプ１１２を形成する。以上、第１導体層５ａ、５ｂ、第２導体層１０５ａ、１０５ｂなどを形成する工程が、請求項の「配線形成工程」に相当する。なお、フィルドビア１１７ａ，１１７ｂの一部は、フィルドビア１１５ａ，１１５ｂ等の直上に形成される。

【００８８】以上の様にして、図１に示す構造の配線基板１が完成されるが、ＬＧＡパッド１１３の表面には、酸化防止のためにＮｉ－Ａｕメッキ層を形成すると良い。なお、本実施例において、外部接続部１４の上端１４ａおよび下端１４ｂにおいて、素子本体１５から５０μｍ程度突出するように形成されるものとして説明したが、これは発明者らによる試験結果に基づいている。即ち、外部接続部１４の上端１４ａおよび下端１４ｂにおける、素子本体１５からの突出の高さ（以下「電極の高さ」という）を変え、上記の工程により配線基板の製造を行ったところ、表３に示す結果が得られた。

【００８９】

【表３】

19　　20

不具合発生状況

電極の高さ	10μm	15μm	30μm	60μm	100μm	120μm
研磨後(部品露出，誘電研磨，樹脂割れ)	88%	62%	0%	0%	0%	0%
メッキ後	-	6%(樹脂浮き，脱落)	0%	0%	0%	22%(電極間短絡)

【００９０】表３は、「電極の高さ」が夫々１０μｍ，１５μｍ，３０μｍ，６０μｍ，１００μｍ，１２０μｍとされた試料（コンデンサ素子１３）を用いた場合において、研磨工程後における不具合の発生状況と．第１導体層５ａ，５ｂを形成するためのメッキ工程後における不具合の発生状況を示している。

【００９１】研磨工程後における不具合とは、例えば、素子本体１５が充填樹脂４の外部に露出したり．誤って研磨されるといったものであるとか．また素子本体１５を覆っている充填樹脂４が割れるといったものである。また．メッキ工程後における不具合とは、例えば素子本体１５を覆っている充填樹脂４の浮き．脱落が発生したり．或いは電極間の短絡（同じコンデンサ素子１３の外部接続部１４の間における短絡、又は異なるコンデンサ素子１３の外部接続部１４の間における短絡）が発生したりするといったものである。

【００９２】表３に示す様に、「電極の高さ」が１０μｍである場合．研磨工程により８８％の割合で不具合が生じた。また．「電極の高さ」が１５μｍである場合は．研磨工程により６２％の割合で不具合が生じ．そして．研磨工程後には問題がなかった物のうちの６％が、メッキ工程後に不具合を生じた。

【００９３】また「電極の高さ」が１２０μｍである場合．メッキ工程後に電極間（特に同じコンデンサ素子１３の外部接続部１４の間）が短絡するという不具合が発生しやすくなった。これらの結果に対して、「電極の高さ」が３０μｍ，６０μｍ，１００μｍである試料については、上記の様な不具合は、研磨工程後においても、メッキ工程後においても見られなかった。こうしたことから．「電極の高さ」を．本実施例では５０μｍとしたのである。

【００９４】以上説明した本実施例の製造方法によれば．以下の効果（１）～（９）を奏する。

（１）外部接続部１４の上端（即ち上端部１４ａ）は、第１主面３ａよりも上側にあることから、充填樹脂４内に外部接続部１４の上端が埋まり難い。仮に埋まってしまっても、充填樹脂４を研磨することにより、第１主面３ａ側に容易に外部接続部１４を露出させることができる。また、素子本体１５の上端は、第１主面３ａよりも下側にあるので．第１主面３ａ側において充填樹脂４を研磨する際に．素子本体１５が削られる長れが少ない。

【００９５】（２）外部接続部１４の直上に、フィルドビア１１５ａ，１１５ｂ（バイアホール導体）が形成されていることから、ＩＣチップなど配線基板表面に設けられる素子と．当該内蔵した電子部品との接続経路が短くなり、ノイズの侵入を抑制するなど．電気的特性が向上する。また．フィルドビア１１５ａ，１１５ｂの真に直上にフィルドビア１１７ａ，１１７ｂ（バイアホール導体）が形成されているから、電気的特性が真に向上する。

【００９６】（３）外部接続部１４の下端（即ち下端部１４ｂ）は、第２主面３ｂよりも下側にあることから、充填樹脂４内に外部接続部１４の上端が埋まり難い。仮に埋まってしまっても、充填樹脂４を研磨することにより．第１主面３ａ側に容易に外部接続部１４を露出させることができる。そして．素子本体１５の上端は．第１主面３ａを基準として上側にあることから、充填樹脂４の第２主面３ｂ側を研磨する際に、素子本体１５が削られ損傷する長れも少ない。

【００９７】（４）＃４００の研磨布紙を用いて充填樹脂４を研磨したので、配線基板本体３の表面や導体層２０ａ．２０ｂにキズが付きにくい。そのため、例えばビルドアップ法などの、配線形成を支障なく行うことができる。

（５）＃４００の研磨布紙を用いて充填樹脂４を研磨したので、導体層２０ａ、２０ｂの剥離を生じさせる可能性が少ない。

【００９８】（６）外部接続部１４を複数層（本実施例では２層）の導体層、即ち外部電極層３０および外部接続層３１で形成するので．容易に、コンデンサ素子本体１５からの外部接続部１４の高さを稼ぐことができる。（７）外部接続層３１（最外層）をメッキにて形成することとしていることから．その厚さの調整が容易である。

【００９９】（８）外部電極層３０および外部接続層３１を同一の材料（Ｃｕ）で形成し、しかも、その材料を第１配線層５ａ、５ｂ、フィルドビア１０５ａ．１０５ｂ…などの、配線基板１の内部配線と同一としていることから、熱応力の発生による断線を抑制できる。

【０１００】（９）「電極の高さ」を充分に大きくとったため、素子本体１５が研磨されて損傷したり．充填樹脂４のうち素子本体１５を覆う部分に割れや剥がれが生じたりすることがない。また、電子部品１３をシート材２３の上に配置した際、素子本体１５とシート材２３と

の間には、充填樹脂４が流入するための隙間を充分大きく形成できることとなり、素子本体１５の表面に充填樹脂４にて覆われない部分が生じることを防止できる。この様に、素子本体１５の保護を確実に図ることができ、電子部品１３の電気的特性の信頼性を高めることができる。

【０１０１】以上、本発明の一実施例について説明したが、本発明は上記実施例に限定される物ではなく、例えば、以下の様な種々の態様も本発明の技術的範囲に属する。例えば、上記実施例では、各貫通孔２１にコンデンサ素子１３を複数内蔵するものとして図示して説明したが、これに限らず単数のコンデンサ素子１３を内蔵してもよい。

【０１０２】また、上記実施例では、収容部として、貫通孔２１を例にとって説明したが、これに限られるものではなく、凹部に電子部品を収容する場合にも本発明を適用できる。また、上記実施例では、コンデンサ素子１３において、その外部接続部１４を、外部電極層３０と外部接続層３１の２層により形成するものとして説明したが、これに限られるものではない。

【０１０３】例えば、図４（ａ）に示す様な構成のものでも良く、これは次のようにして構成することができる。まず、素子本体２１５の側面に外部電極層２３０をＣｕペーストの印刷により形成する。但し、そのとき、素子本体２１５の側面においては厚く形成できるが、配線基板１の配線（例えば第１導体層５ａなど）と接続すべき部位（図４では上端）においては十分な厚さ（即ち、素子本体２１５からの高さ）が得られない場合がある。そうした場合には、図４（ｂ）の様に、当該部位に、例えばＣｕペースト２３２を更に付着させ、盛り上げるようにして、十分な厚みを得るようにする。その後、図２と共に上述した如く、Ｎｉメッキを施し、外部接続層２３１（例えば２μｍ程度）を形成する。これにより、外部接続部２１４の上端部２１４ａを、素子本体２１５から６０μｍ程度突出して形成する。

【０１０４】Ｃｕペーストを付着させる部位は、上下両端である必要はなく、図４（ｃ）の様に、片側のみでもよい。即ち、上記実施例では、外部接続部１４は、その上端１４ａおよび下端１４ｂにおいて素子本体１５から充分高く突出するよう形成されたものとして説明したが、これに限られるものではない。

【０１０５】こうしたコンデンサ素子２１３の場合、これを配線基板１に内蔵するには、図６に示す工程を採用すればよい。使用する配線基板本体３は、図３（ａ）に示したものと同様のものである。そして、図３（ａ）と共に説明した様に、配線基板本体３に、スルーホール１１を構成するための貫通孔９を多数個形成（例えばドリルにより）すると共に、コンデンサ素子１３を配置するための貫通孔２１を形成（例えばパンチングにより）する。

【０１０６】そして図６（ａ）に示すように、電子部品配設用の貫通孔２１の開口部の一方を、片面にシリコン系の粘着剤２４を有するポリイミドからなるシート材２３で覆う。なお、この図では、配線基板本体３を裏表反転させ、第１主面３ａ側の開口部をシート材２３で塞ぐ。また、その際、上記と同様に、粘着剤２４を有する面２３ａが配線基板本体３側に向けられ、シート材２３は配線基板本体３（詳しくは、導体層２０ａ）に張り付けられる。

【０１０７】この様にシート材２３で貫通孔２１を塞いだ後、図６（ａ）に示す様に、コンデンサ素子２１３を、粘着剤２４を介してシート材２３に粘着するよう、貫通孔２１の内部に配置する。この際、コンデンサ素子２１３の上下を逆にして、その外部接続部２１４の上端２１４ａにてシート材２３に粘着すると共に、その素子本体２１５とシート材２３との間には充填樹脂４が流入可能な隙間が形成されるよう配置する。しかも、外部接続部１４の上端（図６（ａ）中、Ａ１で示す）が第１主面３ａを基準面（Ｂ１で示す）として下側に位置し、素子本体１５の上端（Ｃ１で示す）は、第１主面３ａを基準面（Ｂ１）として上側に位置するように、コンデンサ素子２１３を配置する。

【０１０８】以上の様にして貫通孔２１の内部にコンデンサ素子２１３を配置した状態とした上で、図６（ｂ）の様に、貫通孔２１の内部に充填樹脂４を注入し、充填樹脂４を硬化させる。これにより、配線基板本体３の内部に電子部品としてのコンデンサ素子１３が埋設されることとなる。また、コンデンサ素子２１３の素子本体２１５とシート材２３との間にも、充填樹脂４が充填される。そして充填樹脂４を貫通孔２１に注入した後、上記実施例と同様にして、充填樹脂４から真空脱泡により気泡を抜き、充填樹脂４を硬化させる。また、充填樹脂４には、上記実施例と同様のものを用いればよい。

【０１０９】充填樹脂４を硬化させた後、次に、シート材２３を、コンデンサ素子２１３の外部接続部２１４、充填樹脂４および配線基板本体３（詳しくは、導体層２０ａ）から除去し、その後、充填樹脂４および配線基板本体３の各主面３ａ，３ｂを、ベルトサンダーにより研磨する（図６（ｃ））。

【０１１０】シート材２３の除去によって、第１主面３ａ側からは、外部接続部２１４の上端部２１４ａが、充填樹脂４の外部に露出される。また、コンデンサ素子２１３の素子本体２１５は、充填樹脂４の中に埋没した状態となっている。なお、このコンデンサ素子２１５の外部接続部２１４は、配線基板本体３の厚みよりも短いため、図６（ｃ）に示す様に、研磨工程後においても第２主面３ｂ側から外部接続部２１４ｂが露出しない。

【０１１１】そこで、次に図６（ｄ）に示す様に、第２主面３ｂ側からレーザを照射することにより充填樹脂４に穴２０４（バイアを形成するための穴）を穿設して、

外部接続部２１４の下端部２１４ｂを充填樹脂４の外部に露出させる。そして、図６（ｅ）に示す様に、各主面３ａ、３ｂ上への第１導体層５ａ，５ｂの形成、およびスルーホール１１の形成を行う。これについては、上記実施例と同様であり、パネルめっきの際には、コンデンサ素子２１３の外部接続部１４の露出部分にもメッキが形成されるが、同時に、上記穴２０４にはメッキが充填される。

【０１１２】第１導体層５ａ，５ｂの形成後の工程については、上記実施例と同様であるので説明を省略するが、以上の様にして、図５に示す構成の配線基板を得ることができる。なお、図７に示す様に、例えば、ＩＣチップ１６の搭載面側に向く側の端部（図７では上端）においてのみ、素子本体２１５から突出するものとして外部接続部１４を構成しても良い。この構造の配線基板は、図６と共に説明した製造工程から「第２主面３ｂ側におけるレーザによる穴開け」を除いた工程により得ることができる。

【０１１３】また、上記実施例では、電子部品として、コンデンサ素子１３を配線基板に内蔵するものとして説明したが、これに限らず、チップ状の抵抗体、インダクタ、フィルタ（ＳＡＷフィルタ、ＬＣフィルタ等）、カプラ、ダイプレクサ、アンテナスイッチモジュール等の受動部品や、トランジスタ、メモリ、ローノイズアンプ（ＬＮＡ）、ＦＥＴ等の能動部品など、各種の電子部品を内蔵させてもよい。また、これらのうちで異種の電子部品同士を同じ貫通孔内に内蔵してもよい。

【０１１４】また、上記実施例の説明においては、図３（ｄ）に示す様に、第１主面３ａ側（即ち、シート材２３で貫通孔２１を塞がない開口部の側）から、貫通孔２１内に充填樹脂４を注入するものとして説明した。しかし、充填樹脂４の粘性と貫通孔２１内の隙間との関係によっては、貫通孔２１内において、充填樹脂４が第２主面３ｂ側にまで十分行き渡らない可能性がある。貫通孔２１内における隙間とは、コンデンサ素子１３同士の間、或いはコンデンサ素子１３と貫通孔２１の内壁との間、コンデンサ素子１３の素子本体１５と、シート材２３との間などである。そこで、シート材２３を剥がした後、開口部２１ａ側からも、充填樹脂４を貫通孔２１内に注入するとよい。そうすれば、隙間なく、確実に貫通孔２１に充填樹脂４を充填することができる。

【０１１５】また、上記実施例では、配線基板本体３の材質として、ガラスーエポキシ樹脂複合材料を用いたが、これに限られることなく、耐熱性、機械強度、可撓性、加工の容易さ等を考慮して選択すればよい。従って、例えばガラス織布、ガラス不織布などのガラス繊維と、エポキシ樹脂、ポリイミド樹脂、ＢＴ樹脂等の樹脂との複合材料であるガラス繊維－樹脂複合材料を用いることができる。また、ポリイミド繊維などの有機繊維と樹脂との複合材料、連続気孔を有するＰＴＦＥなど３次元網目構造のフッ素系樹脂にエポキシ樹脂等の樹脂を含浸させた樹脂－樹脂複合材料などを用いることができる。

【０１１６】また、配線基板本体としては、導体層（導体パターン）が内蔵されている多層基板を用いてもよい。例えば、図８に示す配線基板の配線基板本体３０３の内部には、導体層３０５ａ，３０５ｂが形成されている。この配線基板本体３０３は、例えば図９の様な手順により得ることができる。

【０１１７】まず、図９（ａ）に示す様な銅張積層板を用意する。これは、例えば、ＢＴ樹脂、ＦＲ－４、ＦＲ－５などからなる絶縁基板３０６の両面に銅を積層して導体層３０５ａ，３０５ｂを形成したものである。この絶縁基板３０６の両面に形成された銅箔の導体層３０５ａ，３０５ｂをエッチングすることにより、所要のパターンを形成する（図９（ｂ）参照）。

【０１１８】次に銅張積層板の両面を粗化し、図９（ｃ）に示す様に、両面に絶縁材３０７ａ，３０７ｂをラミネートする。絶縁材３０７ａ、３０７ｂは、上記の絶縁基板３０６を構成する樹脂とは異なる材料であっても同じ材料であってもよく、例えばエポキシ樹脂など、種々の樹脂のものを使用できる。この様にして、内部に導体層３０５ａ，３０５ｂを有する配線基板本体３０３を得ることができる。

【０１１９】次に、図９（ｄ）に示す様に、ビアを形成するための穴部３０８を絶縁材３０７ａ，３０７ｂにレーザで形成したり、スルーホールを形成するためのスルーホール貫通孔３０９をレーザやドリルにより形成する。次に図９（ｅ）に示す様に、パネルめっきを施すことにより、絶縁材３０７ａ，３０７ｂの表面、穴部３０８の内面およびスルーホール貫通孔３０９の内周面に、Ｃｕからなるメッキ層３１２を形成し、そして、図９（ｆ）に示すように、スルーホール貫通孔３０９の内部には、シリカフィラーを含有するエポキシ樹脂などの穴埋樹脂３１４を充填し、硬化させる。この穴埋樹脂３１４は、絶縁材３０７ａ，３０７ｂの表面のメッキ層３１２と略同一面を形成するように研磨する。

【０１２０】電子部品を内蔵するためには、図９（ｇ）に示す様に、電子部品配置用貫通孔３２１を形成し、この電子部品配置用貫通孔３２１の開口部をシート材２３で塞ぐ。そして図５と共に説明した手順によって、電子部品を配線基板本体３０３に内蔵でき、更にビルドアップ層を形成することができる。

【０１２１】また、例えば図１０に示す様に、予め内部に導体層４０５ａ，４０５ｂを有する配線基板本体４０３を用いてもよい。これを用いて図８と略同様な配線基板を得るには、まず図１０（ａ）に示す配線基板本体４０３に、スルーホール貫通孔４０７やビア形成用の穴部（図示せず）などを形成する（図１０（ｂ））。次にパネルめっきにより配線基板本体４０３の両面およびスル

ーホール貫通孔４０７の内周面にメッキ層４０９を積層し（図１０（ｃ））、そしてスルーホール貫通孔４０７の内部に穴埋樹脂４１１を充填する（図１０（ｄ））。そして更に、電子部品配置用貫通孔４２１を形成する（図１０（ｅ））。この後、電子部品配置用貫通孔３２１の開口部をシート材で塞ぎ、図５と共に説明した手順によって、電子部品を配線基板本体４０３に内蔵でき、更にビルドアップ層を形成することができる。

【０１２２】以上の様に、配線基板本体として、導体層が内蔵されているものを用いると、配線基板本体の上に積層すべき導体層の数を減らすことができる。例えば、図１では、配線基板本体の両主面の上に導体層を３層ずつ積層したものを示したが、これに対し、配線基板本体として導体層を内蔵したものを用いた場合には、図８に示す様に、両主面の上に積層すべき導体層の数が２層ずつに減少している。

【０１２３】そのため、電子部品とＩＣチップとの間の導通経路を短くすることができ、ループインダクタンス、スイッチングノイズ、クロストークノイズなどの低減、即ち、配線基板の電気的特性の向上を図ることが可能となる。また、スルーホール貫通孔が配線基板本体を貫通し、配線基板本体の両主面の上に積層すべき導体層の数が２層ずつになっていることから、スタックトビア（積み上げビア）を形成する必要がなくなる。そして、スタックトビアが不要となるため、フィルドビア（導体で完全に充填されたビア）を形成する必要がなくなり、コンフォーマルビア（導体で完全には充填されないビア）で足りることになるので、ビアの形成にかかるコストを抑制することができる。

【０１２４】なお、図８では、配線基板本体３０３の両主面上に２層の導体層を積層するものとして示したが、その層数はこれに限定されない。また、配線基板本体３０３の内部には２層の導体層３０５ａ、３０５ｂを有するものとして説明したが、その層数はこれに限定されるものではない。

【０１２５】さて、上記実施例では、研磨布紙で充填樹脂４を研磨するものとして説明したが、研磨布紙以外の手段を用いても良いことは明らかである。また、上記実施例では、第１層間絶縁層１０３ａ、１０３ｂ、第２層間絶縁層１０７ａ、１０７ｂとしてエポキシ樹脂を主成分とするものを用いたが、耐熱性、パターン成形性等を考慮して適宜選択すればよい。例えば、ポリイミド樹脂、ＢＴ樹脂、ＰＰＥ樹脂、連続気孔を有するＰＴＦＥなど３次元網目構造のフッ素系樹脂にエポキシ樹脂等の樹脂を含浸させた樹脂－樹脂複合材料などを用いることができる。

【０１２６】また、上記実施例では、第１導体層５ａ，５ｂ、第２導体層１０５ａ、１０５ｂ等を無電解Ｃｕメッキ及び電解メッキによって形成したが、他の材質、例えばＮｉ，Ｎｉ－Ａｕ等によって形成しても良く、さらには、メッキによらず、導電性樹脂を塗布するなどの手法によって形成しても良い。

【０１２７】また、上記実施例では、ＩＣチップ１６との接続のために、配線基板上面にフリップチップパッド１１１やフリップチップバンプ１１２を多数設けた。しかし、ＩＣ接続端子としては、接続するＩＣチップに形成された端子に応じて、適切な形態のものを使用すれば良く、フリップチップバンプを形成したものの他、フリップチップパッドのみのもの、或いはワイヤボンディングパッドやＴＡＢ接続用のパッドを形成したものなどが挙げられる。また、フリップチップバンプの半田には、Ｓｎ－Ａｇ、Ｓｎ－Ａｇ－Ｃｕ、Ｓｎ－Ｐｂ、Ｓｎ－Ｓｂ、Ｓｎ－Ｚｎ系等の半田を使用できる。

【０１２８】また、上記実施例では、コンデンサ素子１３の素子本体１５に$BaTiO_3$を主成分とする高誘電体セラミックを用いたが、この材質に限定されず、例えば、$PbTiO_3$、$Pb2rO_3$、TiO_2、$SrTiO_3$、$CaTiO_3$、$MgTiO_3$、$KNbO_3$、$NaTiO_3$、$KTaO_3$、$RbTaO_3$、$(Na_{1/2}Bi_{1/2})TiO_3$、$Pb(Mg_{1/2}W_{1/2})O_3$、$(K_{1/2}Bi_{1/2})TiO_3$などが挙げられ、要求されるコンデンサの静電容量その他に応じて適宜選択すればよい。

【０１２９】また、外部接続部１４には、Ｃｕを使用したが、素子本体１５の材質等との適合性を考慮して選択すれば良く、例えば、Ｐｄ、Ｐｔ、Ａｇ、Ａｇ－Ｐｔ、Ａｇ－Ｐｄ、Ａｕ、Ｎｉ等が挙げられる。さらに、高誘電体セラミックを主成分とする誘電体層やＡｇ－Ｐｄ等から成る電極層と、樹脂やＣｕメッキ、Ｎｉメッキ等から成るビア導体や配線層とを複合させてコンデンサとして構成したものを用いることもできる。

【図面の簡単な説明】

【図１】　本発明の一実施例の配線基板の構成を示す説明図である。

【図２】　コンデンサ素子の構成を示す説明図である。

【図３】　配線基板の製造方法を示す説明図である。

【図４】　コンデンサ素子の他の構成例を示す説明図である。

【図５】　本発明の他の実施例の配線基板の構成を示す図である。

【図６】　図５の構成を有する配線基板の製造方法を示す説明図である。

【図７】　本発明の他の実施例の配線基板の構成を示す図である。

【図８】　配線基板本体の変形例を説明する図である。

【図９】　変形例の配線基板本体の製造方法を示す図である。

【図１０】　配線基板本体の別の変形例を示す図である。

【符号の説明】

１…配線基板

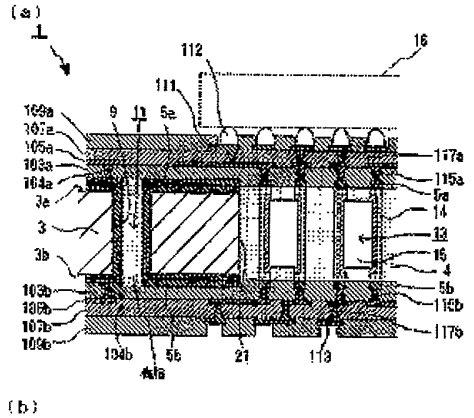
27

３，３０３，４０３…配線基板本体
３ａ…第１主面　３ｂ…第２主面　４…充填樹脂
５ａ，５ｂ…第１導体層（配線）
１３，２１３…コンデンサ素子（電子部品）
１４，２１４…外部接続部
１５，２１５…素子本体（電子部品本体）
２１，３２１，４２１…貫通孔

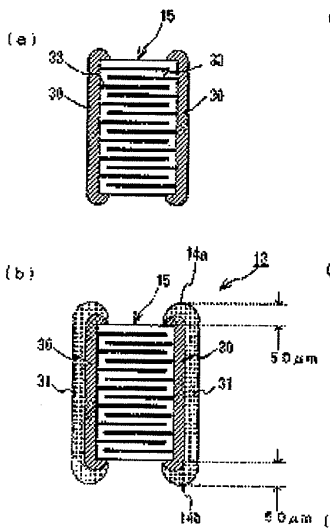
28

＊２１ａ…開口部
２３…シート材　２４…粘着剤
３０，２３０…外部電極層
３１，２３１…外部接続層
１０５ａ，１０５ｂ…第２導体層（配線）
１１１…フリップチップパッド（配線）
＊　１１５，１１７…フィルドビア（配線）

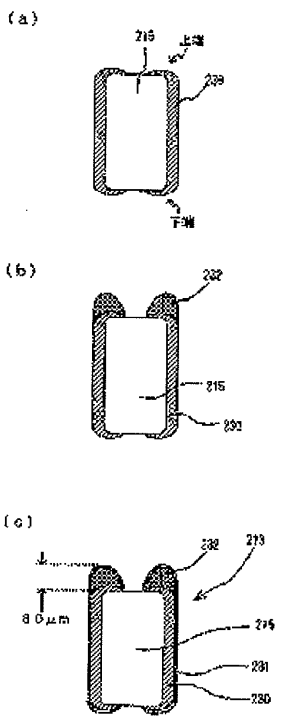
【図１】



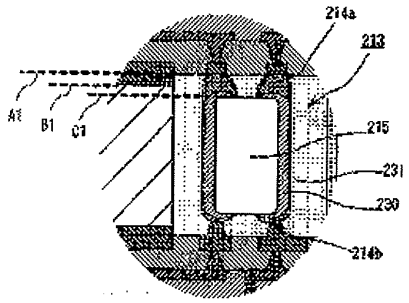
【図２】



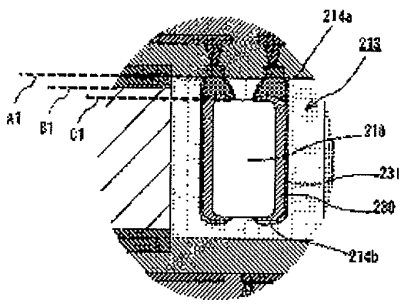
【図４】



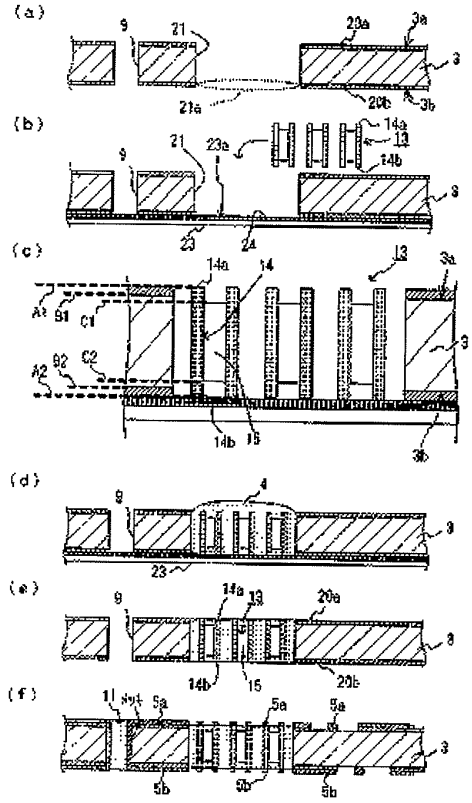
【図５】



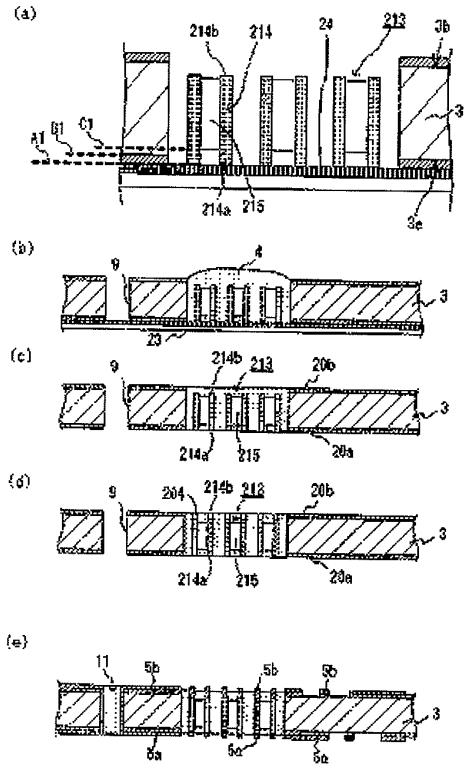
【図７】



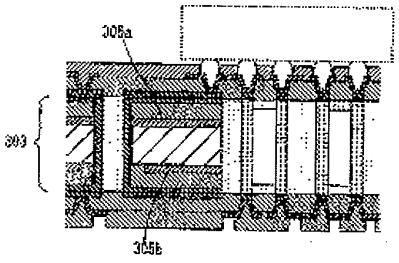
【図３】



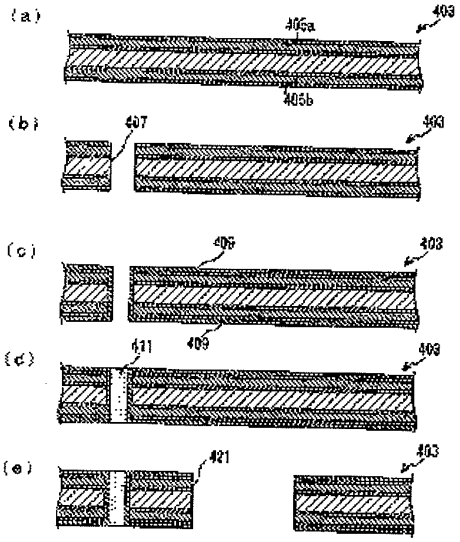
【図６】



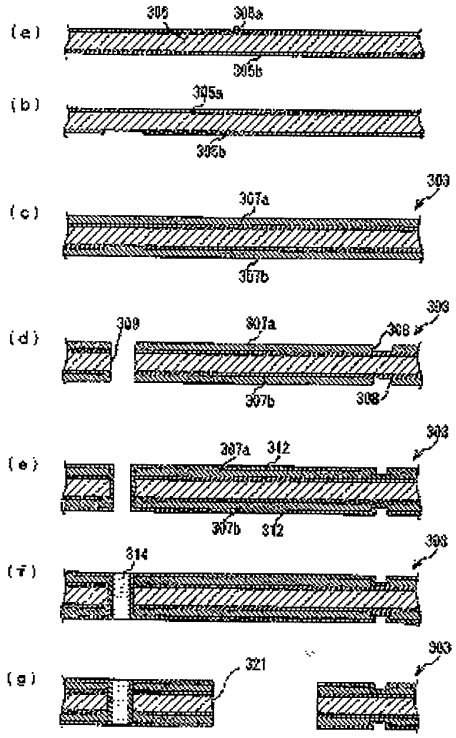
【図８】



【図１０】



【図９】


(a)
305
305a
305b
(b)
305a
305b
(c)
307a
303
307b
(d)
309
307a
303
308
307b
308
(e)
307a
312
303
307b
312
(f)
314
303
(g)
321
303

(19)日本国特許庁（ＪＰ）　(12)**公開特許公報（Ａ）**　(11)特許出願公開番号
特開2002－16327
（P2002－16327A）
(43)公開日　平成14年１月18日(2002.1.18)

(51)Int.Cl.[7]	識別記号	ＦＩ		テーマコード*（参考）
Ｈ０５Ｋ　1/02		Ｈ０５Ｋ　1/02	Ｐ	５Ｅ３３６
			Ｃ	５Ｅ３３８
1/18		1/18	Ｑ	５Ｅ３４６
3/46		3/46	Ｎ	
			Ｑ	

審査請求　未請求　請求項の数８　ＯＬ　（全 11 頁）　最終頁に続く

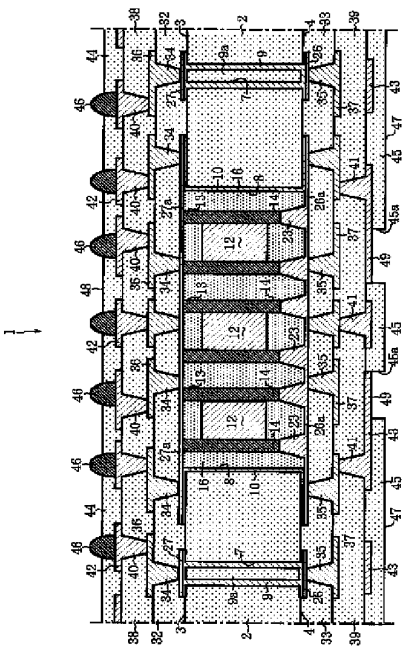
(21)出願番号　特願2001－124970(P2001－124970)
(22)出願日　平成13年４月23日(2001.4.23)
(31)優先権主張番号　特願2000－122568(P2000－122568)
(32)優先日　平成12年４月24日(2000.4.24)
(33)優先権主張国　日本（ＪＰ）

(71)出願人　000004547
日本特殊陶業株式会社
愛知県名古屋市瑞穂区高辻町14番18号
(72)発明者　小寺　英司
愛知県名古屋市瑞穂区高辻町14番18号　日本特殊陶業株式会社内
(72)発明者　小川　幸樹
愛知県名古屋市瑞穂区高辻町14番18号　日本特殊陶業株式会社内
(74)代理人　100098615
弁理士　鈴木　学

最終頁に続く

(54)【発明の名称】　配線基板およびその製造方法

(57)【要約】
【課題】絶縁基板に内臓した電子部品が外部からの電磁波に影響されにくく、且つ上記電子部品が構成する回路が発生するノイズによる影響を低減でき、配線基板内部の電気的特性や配線層および第１主面上に搭載されるＩＣチップなどとの導通を安定させ得る配線基板とその製造方法を提供する。
【解決手段】絶縁基板(コア基板)２に設けられ且つ電子部品１２が内蔵される貫通孔８の内面に、電磁波をシールドする銅メッキ膜からなるシールド層１０が形成され、且つ上記貫通孔８内に挿入したチップコンデンサ(電子部品)１２を樹脂１６を介して固着することにより上記絶縁基板２に内蔵すると共に、絶縁基板２の上・下方に上記コンデンサ１２の電極１３，１４と導通する配線層２６，２７などを形成した、配線基板１。



【特許請求の範囲】
【請求項１】絶縁基板に設けられ且つ電子部品が内蔵される貫通孔または凹部の内面にシールド層を形成した、ことを特徴とする配線基板。
【請求項２】前記電子部品は、樹脂を介して前記貫通孔または凹部に内蔵されている、ことを特徴とする請求項１に記載の配線基板。
【請求項３】前記貫通孔または凹部の開口部にもシールド層が形成されている、ことを特徴とする請求項１または２に記載の配線基板。
【請求項４】前記絶縁基板の上方および下方の少なくとも一方に、前記内臓された電子部品の電極と導通する配線層が形成されている、
ことを特徴とする請求項２または３に記載の配線基板。
【請求項５】前記配線層のうち、前記絶縁基板の貫通孔または凹部の開口部を覆う位置にある配線が前記シールド層を兼ねている、
ことを特徴とする請求項４に記載の配線基板。
【請求項６】絶縁基板に電子部品を内蔵するための貫通孔または凹部を形成する工程と、上記貫通孔または凹部の内面にメッキによりシールド層を形成する工程と、を含む、ことを特徴とする配線基板の製造方法。
【請求項７】前記シールド層を形成する工程の後に、前記貫通孔または凹部内に電子部品を挿入する工程と、上記電子部品が挿入された貫通孔または凹部内に樹脂を充填し且つ固化する工程と、を有する、ことを特徴とする請求項６に記載の配線基板の製造方法。
【請求項８】前記樹脂を充填し且つ固化する工程の後に、前記絶縁基板の上方および下方の少なくとも一方に、前記内臓された電子部品の電極と導通する配線層を形成する工程を更に有する、
ことを特徴とする請求項７に記載の配線基板の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は、絶縁基板内に電子部品を固着して内蔵する配線基板、およびその製造方法に関する。
【０００２】
【従来の技術】近年における配線基板の小型化および配線基板内における配線の高密度化に対応するため、配線基板の第１主面上にＩＣチップなどの電子部品を搭載するだけでなく、絶縁基板の内部に電子部品を内蔵する配線基板が提案されている。例えば、図８(Ａ)に示す配線基板１００は、絶縁基板１０１を貫通する貫通孔１０２にチップコンデンサ(電子部品)１０３を挿入し、その両端の電極１０４をハンダ１０８を介して、上記基板１０１と隣接する絶縁層１０６との間に形成したランド１０７と接続している。上記貫通孔１０２内に樹脂１０９を充填することで、コンデンサ１０３を固着して内臓する。かかるコンデンサ１０３内には内部電極１０５が内設されている。
【０００３】また、図８(Ｂ)に示す配線基板１１０は、その絶縁基板１１１を貫通する貫通孔１１２の一方の開口部を、予め図示しない粘着性の仮固定膜により塞ぎ、この仮固定膜に内部電極１１５を有するチップコンデンサ(電子部品)１１３を貼り付けた状態で、貫通孔１１２内に樹脂１１９を充填し固化させた後、上記仮固定膜を除去したものである。この配線基板１１０は、上記コンデンサ１１３の両端に位置する電極１１４を、予め上記絶縁基板１１１とこれに隣接する絶縁層１１６との間に設けたランド１１７，１１７にハンダ１１８を介して接続している。
【０００４】しかしながら、図８(Ａ)の配線基板１００では、コンデンサ１０３を内臓した貫通孔１０２は、樹脂１０９を介して絶縁基板１０１や絶縁層１０６に囲まれているため、外部からの電波や磁界(以下、電磁波とする)により誤動作を招き易くなり、配線基板１００の内部における電気的特性が不安定になる場合があった。また、図８(Ｂ)の配線基板１１０でも、チップコンデンサ１１３を内臓した貫通孔１１２は、樹脂１１９を介して絶縁基板１１１や絶縁層１１６に囲まれているため、上記と同様に誤動作を招来し易く、配線基板１１０の内部における電気的特性が不安定になるおそれがあった。更に、前記貫通孔１０２，１１２内に高周波でスイッチングが行われる電子部品が内臓される場合、電源系のノイズが外部に漏洩する。これにより、配線基板１００，１１０の表面に実装されるＩＣチップ、或いは配線基板１００，１１０自体が実装されるマザーボード上の他の配線基板に実装されるＩＣチップに影響を与え、誤動作を招くおそれもあった。
【０００５】
【発明が解決すべき課題】本発明は、以上に説明した従来の技術における問題点を解決し、絶縁基板に内臓した電子部品が外部からの電磁波に影響されにくく、且つかかる電子部品が構成する回路が発生するノイズによる影響を低減できる。しかも、配線基板内部の電気的特性や配線層および第１主面上に搭載するＩＣチップなどと上記電子部品との導通を安定させ得る配線基板とその製造方法を提供することを課題とする。
【０００６】
【課題を解決するための手段】本発明は、上記課題を解決するため、電子部品を内臓する貫通孔や凹部の内面に電磁波遮蔽用のシールド機能を与えることに着想して成されたものである。即ち、本発明の配線基板(請求項１)は、絶縁基板に設けられ且つ電子部品が内蔵される貫通孔または凹部の内面にシールド層を形成した、ことを特徴とする。付言すれば、上記配線基板は、絶縁基板に設けた電子部品が内蔵される貫通孔または凹部の内面にシールド層を形成した、配線基板と表すこともできる。こ

れによれば、上記貫通孔または凹部は、シールド層によりその周囲を囲まれるため、かかる貫通孔または凹部に内蔵される電子部品を外部の電磁波からシールドでき、且つ上記電子部品が構成する回路から発生するノイズの外部への漏れを低減できる。このため、上記電子部品や第１主面に搭載されるＩＣチップなどを正常に動作させると共に、配線基板内におけるクロストークノイズを低減できるなどのように、内部の電気的特性を安定させることもできる。尚、上記電子部品には、コンデンサ、インダクタ、フィルタ、抵抗などの受動部品や、ローノイズアンプ（ＬＮＡ）、トランジスタ、半導体素子、ＦＥＴなどの能動部品、あるいは、ＳＡＷフィルタ、ＬＣフィルタ、アンテナスイッチモジュール、カプラ、ダイプレクサなどが含まれ、且つこれらをチップ状にしたものも含まれるが、これらに限るものではない。更に、これらのうちで異種の電子部品同士を同じ貫通孔または凹部に内臓しても良い。

【０００７】また、前記電子部品は、樹脂を介して前記貫通孔または凹部に内蔵されている、配線基板（請求項２）も本発明に含まれる。これによれば、電子部品は、樹脂に包囲されて絶縁されつつ強固に貫通孔や凹部内に内蔵されると共に、シールド層にも囲まれて外部の電磁波からもシールドされる。このため、配線基板の絶縁基板に内蔵される電子部品を、正確且つ確実に動作させることができる。同時に、内蔵した電子部品が構成する回路が発生するノイズを遮蔽できるので、当該配線基板に実装されるＩＣチップなどの部品への悪影響を阻止するか、低減することができる。更に、前記貫通孔または凹部の開口部にもシールド層が形成されている、配線基板（請求項３）も本発明に含まれる。これによれば、絶縁基板に内蔵される電子部品は、その全周囲をシールド層（グランド層または電源層）に包囲されるため、かかる電子部品を一層正確且つ確実に動作させたり、発生するノイズを確実にシールドすることができる。

【０００８】また、前記絶縁基板の上方および下方の少なくとも何れか一方に、前記電子部品の電極と導通する配線層が形成されている、配線基板（請求項４）も本発明に含まれる。これによれば、電子部品と配線層との間における導通は基より、かかる配線層を介して、配線基板の第１主面上に搭載されるＩＣチップや第２主面側のマザーボードなどとの導通も安定して取ることができる。更に、前記配線層のうち、前記絶縁基板の貫通孔または凹部の開口部を覆う位置にある配線が前記シールド層を兼ねている、配線基板（請求項５）も含まれる。これによれば、専用のシールド層を設けることなく、上記配線層自体が電子部品をシールドすると共に、電子部品と上記ＩＣチップなどとの導通も取ることができ、配線基板に対する小型化および高密度化の要請にも応えることができる。

【０００９】一方、本発明の配線基板の製造方法（請求項６）は、絶縁基板に電子部品を内蔵するための貫通孔または凹部を形成する工程と、この貫通孔または凹部の内面にメッキによりシールド層を形成する工程と、を含む、ことを特徴とする。これによれば、少ない工程により、上記貫通孔または凹部に内蔵される電子部品を外部の電磁波からシールドできると共に、かかる電子部品が構成する回路が発生するノイズの基板内外への漏洩を阻止できる配線基板を、容易且つ確実に提供することができる。

【００１０】また、前記シールド層を形成する工程の後に、前記貫通孔または凹部内に電子部品を挿入する工程と、上記電子部品が挿入された貫通孔または凹部内に樹脂を充填し且つ固化する工程と、を有する、配線基板の製造方法（請求項７）も本発明に含まれる。これによれば、上記貫通孔または凹部に内蔵した電子部品を、絶縁しつつ外部の電磁波からシールドでき、且つかかる電子部品が構成する回路が発生するノイズの漏洩を阻止できる配線基板を、確実に提供することができる。更に、前記樹脂を充填し且つ固化する工程の後に、前記絶縁基板の上方および下方の少なくとも一方に、前記内蔵された電子部品の電極と導通する配線層を形成する工程を更に有する、配線基板の製造方法（請求項８）も本発明に含まれる。これによれば、電子部品と配線層との間における導通や、配線層を介して配線基板の第１主面上に搭載されるＩＣチップや第２主面側のマザーボードなどとの導通も安定して取り得る配線基板を、確実に製造することができる。しかも、電子部品と導通する配線層を形成すると同時にシールド層も形成可能であるため、製造工程を少なくでき、そのコストを削減することも可能となる。

【００１１】

【発明の実施の形態】以下において本発明の実施に好適な形態を図面と共に説明する。図１は、平面視で縦横４０ｍｍずつのサイズを有する本発明（請求項３～５）の配線基板１における主要部の断面を示す。配線基板１は、図１に示すように、絶縁基板（コア基板）２と、この絶縁基板２の表・裏面３，４を貫通する貫通孔８の内面に形成したシールド層１０とを含む。また、貫通孔８内に樹脂１６を介して内蔵された複数のチップコンデンサ（電子部品）１２と、貫通孔８の上下の開口部に形成したシールド層を兼ねる配線２６ａ，２７ａを含む配線層２６，２７とを備えている。配線層２６，２７は、グランド層または電源層として用いられる。

【００１２】絶縁基板２は、平面視で略正方形を呈する厚さ約０．８ｍｍの板材で、例えばガラス－エポキシ樹脂の複合材からなり、その中央部をパンチングすることにより、平面視が略正方形で一辺が１２ｍｍの貫通孔８が穿孔されている。また、図１に示すように、絶縁基板２の貫通孔８の両側には、スルーホール７，７が貫通し、その内部にスルーホール導体９と充填樹脂９ａとが

形成されている。更に、貫通孔８の四周の内面には、後述する銅メッキにより形成された厚さ約２５μｍのシールド層１０が形成されている。貫通孔８内に樹脂１６を介して内蔵されるチップコンデンサ１２は、その上下端にＣｕ製で複数の電極１３，１４を有し、例えばチタン酸バリウムを主成分とする誘電体層とＮｉ層とを交互に積層したセラミックスコンデンサである。このチップコンデンサ１２は、３．２ｍｍ×１．６ｍｍ×０．７ｍｍのサイズを有している。

【００１３】図１に示すように、貫通孔８の上下の開口部には、各チップコンデンサ１２の電極１３，１４と導通し且つシールド層を兼ねる配線２６ａ，２７ａを含む配線層２６，２７が、絶縁基板２の表・裏面３，４上に沿って形成されている。尚、裏面４側の配線２６ａには、上記コンデンサ１２の各電極１４と接続するビア導体(フィルドビア)２３が形成されている。また、絶縁基板２の表面３の上方には、図１に示すように、エポキシ樹脂からなる絶縁層３２，３８，４４とＣｕ製の配線層３６，４２とが交互に積層され、絶縁層３２，３８には配線層２７，３６間および配線層３６，４２間を接続するビア導体(フィルドビア)３４，４０が形成されている。最上層の配線層４２における所定の位置には、絶縁層(ソルダーレジスト層)４４を貫通し且つその表面の第１主面４８よりも高く突出する複数のハンダバンプ４６が形成される。各バンプ４６は、第１主面４８上に搭載される図示しないＩＣチップと接続される。

【００１４】更に、絶縁基板２の裏面４の下方には、図１に示すように、上記と同じ樹脂からなる絶縁層３３，３９，４５と配線層３７，４３とが交互に積層され、絶縁層３３，３９には配線層２６，３７間および配線層３７，４３間を接続するビア導体(フィルドビア)３５，４１が形成されている。最下層の絶縁層(ソルダーレジスト層)４５下の第２主面４７に設けた開口孔４５ａ，４５ａ内には、上記配線層４３の一部がそれぞれ露出し、表面にＮｉおよびＡｕメッキ膜を被覆された接続端子４９が形成されている。これらの接続端子４９は、配線基板１自体が搭載される図示しないマザーボードなどのプリント基板との接続に用いられる。尚、絶縁基板２を挟んだ配線層２６，２７は、各チップコンデンサ１２を介して導通されると共に、各スルーホール導体９を介しても導通されている。

【００１５】以上のような配線基板１によれば、各チップコンデンサ(電子部品)１２は、図１に示すように、樹脂１６に固着されて内面にシールド層１０を形成した貫通孔８内に内蔵されると共に、貫通孔８の上下の開口部も配線層２６，２７内の配線２６ａ，２７ａに覆われつつ各コンデンサ１２の電極１４，１３と導通している。このため、各チップコンデンサ１２は、外部からの電磁波から確実にシールドされているので、誤動作を生じることなく本来の機能を発揮できると共に、配線層２６，２７などと導通し、且つこれらを介して第１主面４８上に搭載されるＩＣチップや第２主面４７側のマザーボードなどとも安定して導通できる。

【００１６】従って、配線基板１によれば、チップコンデンサ(電子部品)１２が正常に動作し、且つ配線基板１の内部におけるクロストークノイズを低減できるなどのように、電気的特性も向上・安定する。しかも、上記コンデンサ１２が高周波でスイッチングを行う場合に発生するノイズが、第１主面４８上に搭載されるＩＣチップや配線基板１自体が搭載されるマザーボード上の他の配線基板に搭載されるＩＣチップに影響を与えなくすることができる。尚、上記実施の形態において、絶縁基板２は、単層の絶縁層(コア基板２)を用いたがこれに限るものではなく、複数の絶縁層(コア基板を含む)を積層した形態や、複数の絶縁層を積層し且つこれらの間に配線層を形成した形態も含まれる。更に、上述した複数の絶縁層は、１種類または複数種類の材料を用いても良い。

【００１７】図２，図３は、前記図１に示した配線基板１の製造方法に関する。図２(Ａ)に示すように、厚さ約０．８ｍｍの絶縁基板２の表・裏面３，４には、厚さ数１０μｍの銅箔５，６が予め被覆されている。図２(Ｂ)に示すように、絶縁基板２の略中央をパンチングすることにより、縦・横１２ｍｍずつの貫通孔８が形成され、且つその両側にドリルによりスルーホール７，７が穿孔される。次に、上記貫通孔８およびスルーホール７の内面に、予めＰｄなどのメッキ用触媒核を付着してから無電解銅メッキおよび電解銅メッキを施す。この結果、図２(Ｃ)に示すように、貫通孔８の四周の内面には、厚さ２５μｍの銅メッキ層からなるシールド層１０が形成され、且つスルーホール７の内面には、スルーホール導体９が形成された配線基板１１が得られる。この配線基板１１は、本発明の請求項１に相当する。尚、図２(Ｄ)に示すように、円筒状のスルーホール導体９の内側に充填樹脂９ａを形成する。

【００１８】次いで、図２(Ｅ)に示すように、絶縁基板２の裏面４に、粘着面を貫通孔８側に向けたテープ１５を貼り付け、貫通孔８の裏面４側の開口部を閉鎖する。尚、テープ１５は、絶縁基板２，２，…を含む絶縁基板の集合体(パネル)における多数の貫通孔８，８，…を全て閉鎖するため、図示のように裏面４の全体に渉って貼り付けられる。この状態で、図２(Ｅ)に示すように、複数のチップコンデンサ１２を貫通孔８内に挿入し、テープ１５の粘着面上における所定の位置にそれぞれ接着する。かかる挿入作業は、チップマウンタなどにより行われる。上記コンデンサ１２は、上下端に複数の電極１４，１３を突設しており、下端側の電極１３の端面は、テープ１５の粘着面に接着される。

【００１９】更に、図３(Ａ)に示すように、表面３側から貫通孔８内に、エポキシ樹脂を主成分とする溶けた樹脂１６を充填した後、約１００℃に６０分程度保持する

キュア処理を行う。この結果、図示のように、樹脂１６が固化することにより、各コンデンサ１２は、その電極１３の端面を除いて、樹脂１６を介して貫通孔８内の所定の位置に内臓される。また、図３(Ａ)に示すように、固化した樹脂１６の表面１７はカーブして盛り上がり、各コンデンサ１２の電極１４を埋設する。一方、樹脂１６の裏面１８はテープ１５に倣った平坦面となり、各コンデンサ１２の電極１４の端面が露出する。この段階で、樹脂１６中に埋設された各コンデンサ１２の設置位置およびショートの有無が検査される。尚、上記キュア処理は、樹脂１６内部の気泡を除去して樹脂１６を緻密な組織にする。また、上記テープ１５は、かかるキュア処理に耐える耐熱性を有する。

【００２０】次に、図３(Ｂ)に示すように、テープ１５を剥離した後、絶縁基板２を固定した状態で、樹脂１６の表面１７を例えばバフ研磨により整面する。この結果、図示のように、新たに形成される樹脂１６の表面１９が、絶縁基板２の表面３上の銅箔５と同一平面となった配線基板２０が得られる。この配線基板２０は、本発明の請求項２に相当する。次いで、図３(Ｃ)に示すように、樹脂１６の表面１９側から垂直にレーザＬを照射する。レーザＬの照射位置は、各コンデンサ１２上端の電極１４の真上に設定される。この結果、図示のように、各電極１４の真上には、内径が約１００μｍで断面台形状のビアホール２２が形成され、その底部に電極１４の端面が露出する。尚、レーザＬには、CO_2 、ＹＡＧ、エキシマレーザなどが使用される。

【００２１】更に、各ビアホール２２内および樹脂１６の表・裏面１９，１８に前記触媒核を付着させて、表・裏面１９，１８および銅箔５，６上に無電解銅メッキおよび電解銅メッキを施す。この結果、図３(Ｄ)に示すように、絶縁基板２の表面３側には、ビア導体２３を含む銅メッキ層２４が形成され、裏面４側には平坦な銅メッキ層２５が形成される。各ビア導体２３は、コンデンサ１２の電極１４と接続され、銅メッキ層２５は、コンデンサ１２の各電極１３と接続されている。

【００２２】かかる状態で、銅メッキ層２４の上および銅メッキ層２５の下に、図示しない感光性樹脂の層を形成し、且つ所定パターンによる露光および現像を行って、パターンレジストを形成する。更に、このレジスト中の間隙を介して、銅メッキ層２４，２５をエッチングした後、上記レジストを剥離する。この結果、図３(Ｅ)に示すように、絶縁基板２の表面３側には、貫通孔８および樹脂１６を覆うと共に、ビア導体２３を有する配線２６ａを含む配線層２６が形成され、裏面４側には、上記と同様で平坦な配線２７ａを含む配線層２７が形成される。これにより、本発明の請求項３に相当する配線基板２８が得られる。

【００２３】上記配線２６ａ，２７ａは、前記シールド層１０と共に、各コンデンサ１２を外部の電磁波からシールドするシールド層をも兼ねる。また、図３(Ｅ)に示すように、左右のスルーホール導体９の両端面にも、配線層２６，２７が形成される。従って、配線層２６，２７は、各コンデンサ１２を介して互いに導通すると共に、スルーホール導体９を介しても導通する。上記配線基板２８の表・裏面を逆にした状態で、配線層２７，２６の上下に絶縁層３２，３３など、配線層３６，３７など、ビア導体３４，３５など、およびハンダバンプ(フリップチップバンプ)４６などを、公知のビルドアップ技術で形成する。これにより、前記図１に示した多層構造を有する配線基板１を得ることができる。尚、上記ビルドアップ技術には、フィルム状または液状の樹脂絶縁層をラミネートする技術、フォトリソグラフィやレーザ加工によりビアホールを穿設する技術、更には、セミアディティブ法、フルアディティブ法、またはサブトラクティブ法によりビア導体や配線層を形成する技術が含まれるが、これらに限るものではない。

【００２４】図４は、前記配線基板１と同様のサイズを有し且つ異なる形態を有する本発明(請求項３～５)の配線基板５０における主要部の断面を示す。配線基板５０は、図４に示すように、絶縁基板(コア基板)５２と、この絶縁基板５２の表面５３側に開口する凹部５８と、該凹部５８の内面に形成したシールド層６０ａ，６０ｂとを含む。また、上記凹部５８内に樹脂６４を介して内蔵された複数のチップコンデンサ(電子部品)６２と、凹部５８の開口部に形成したシールド層を兼ねる配線７２ａを含む配線層７２とを備えている。配線層７２は、グランド層または電源層として用いられる。上記絶縁基板５２も、前記絶縁基板２と同様のサイズと材質からなり、その中央部をルータ加工することにより、平面視が略正方形で一辺が１２ｍｍの凹部５８が形成されている。また、図４に示すように、絶縁基板５２の凹部５８の両側には、スルーホール５７，５７が貫通し、その内部にスルーホール導体５９と充填樹脂５９ａとが形成されている。

【００２５】更に、凹部５８の四周面と底面との内面には、銅メッキにて形成された厚さ約２５μｍのシールド層６０ａ，６０ｂが形成されている。かかる凹部５８内に樹脂６４を介して内蔵されるチップコンデンサ６２は、その上端にのみ突出したＣｕ製の電極６３を有するが、その他は前記コンデンサ１２と同様のものである。図４に示すように、凹部５８上方の開口部には、各チップコンデンサ６２の電極６３と導通し且つシールド層を兼ねる配線７２ａを含む配線層７２が、絶縁基板５２の表面５３上に沿って形成されている。配線７２ａには、チップコンデンサ６２の各電極６３と接続するビア導体(フィルドビア)６９が形成されている。

【００２６】また、絶縁基板５２の表面５３の上方には、図４に示すように、エポキシ樹脂からなる絶縁層７６，８２，８８と、Ｃｕ製の配線層８０，８６とが交互

に積層されると共に、絶縁層７６，８２には配線層７２，８０，８６間を接続するビア導体(フィルドビア)７８，８４が形成されている。最上層の配線層８６における所定の位置には、絶縁層(ソルダーレジスト層)８８を貫通し且つ第１主面９０よりも高く突出する複数のハンダバンプ９２が形成される。各バンプ９２は、第１主面９０上に搭載される図示しないＩＣチップと接続される。

【００２７】更に、絶縁基板５２の裏面５４の下方には、図４に示すように、上記と同じ樹脂からなる絶縁層７７，８３，８９と、配線層７３，８１，８７とが交互に積層される。絶縁層７７，８３には、配線層７３，８１，８７間を接続するビア導体(フィルドビア)７９，８５が形成されている。最下層の絶縁層(ソルダーレジスト層)８９下の第２主面９１に設けた開口孔９３，９３内には、配線層８７の一部がそれぞれ露出し、表面にＮｉおよびＡｕメッキ膜を被覆された接続端子９４が形成されている。これらの接続端子９４も、配線基板５０自体が搭載される図示しないマザーボードなどのプリント基板との接続に用いられる。尚、絶縁基板５２を挟んだ配線層７２，７３は、スルーホール導体５９を介して接続されている。

【００２８】以上のような配線基板５０によれば、各チップコンデンサ(電子部品)６２は、図４に示すように、樹脂６４に固着されて内面にシールド層６０ａ，６０ｂを形成した凹部５８内に内蔵されると共に、凹部５８上の開口部は配線層７２内の配線７２ａに覆われ、且つかかる配線７２ａと電極６３とが導通している。このため、各チップコンデンサ６２は、外部からの電磁波から確実にシールドされるので、誤動作を生じることなく本来の機能を発揮すると共に、配線層７２などと導通し、且つこれらを介して第１主面９０上に搭載されるＩＣチップや第２主面９１側のマザーボードなどとの間でも安定して導通できる。

【００２９】従って、配線基板５０においては、内臓したチップコンデンサ６２が正常に動作し、且つ内部におけるクロストークノイズを低減できるなどの電気的特性も向上・安定する。しかも、コンデンサ６２が構成する回路が発生するノイズが凹部５８から外部に漏れる事態も防げるので、上記ＩＣチップなどに悪影響を与えることも予防できる。尚、上記実施の形態において、絶縁基板５２は、単層の絶縁層(コア基板５２)を用いたがこれに限るものではない。即ち、複数の絶縁層(コア基板を含む)を積層した形態や、複数の絶縁層を積層し且つこれらの間に配線層を形成した形態も含まれる。また、上記複数の絶縁層の一部に貫通孔を予め穿孔しておき、他の絶縁層と積層した際に、前記凹部５８を形成するようにしても良い。更に、上記複数の絶縁層は、１種類または複数種類の材料を用いても良い。尚更に、上記実施の形態において、凹部５８の開口部は、ＩＣチップなどを実装するハンダバンプ９２側に開口していたが、これに限ることはなく、凹部５８の開口部がマザーボードなどとの接続に用いられる接続端子９４側に開口する形態としても良い。

【００３０】図５，６は、前記図４に示した配線基板５０の製造方法に関する。図５(Ａ)に示すように、前記同様の絶縁基板５２の表・裏面５３，５４にも、厚さ数１０μｍの銅箔５５，５６が予め被覆されている。図５(Ｂ)に示すように、絶縁基板５２の略中央をルータ加工して、表面５３側に開口した凹部５８を形成し、且つその両側にドリルによりスルーホール５７，５７を穿孔する。次に、上記凹部５８およびスルーホール５７の内面に、前記と同様にして銅メッキを施す。この結果、図５(Ｃ)に示すように、凹部８の四周の壁面(内面)と底面(内面)には、厚さ２５μｍの銅メッキ層からなるシールド層６０ａ，６０ｂが形成され、スルーホール５７の内面には、スルーホール導体５９が形成された配線基板６１が得られる。この配線基板６１も、本発明の請求項１に相当する。

【００３１】更に、図５(Ｄ)に示すように、スルーホール導体５９の内側に充填樹脂５９ａを形成する。尚、スルーホール導体５９およびシールド層６０ａ，６０ｂは、銅箔５５，５６と連続している。次いで、図５(Ｅ)に示すように、複数のチップコンデンサ６２を凹部５８内に挿入し、シールド層６０ｂ上における所定の位置にそれぞれ配置する。上記コンデンサ６２は、上端のみに複数の電極６３を突設している。各電極６３の上端面は、銅箔５５の表面よりも低い位置にある。更に、図６(Ａ)に示すように、表面５３側から凹部５８内に、前記同様の溶けた樹脂６４を充填した後、且つ前記同様のキュア処理を行う。この結果、図示のように、樹脂６４が固化することにより、各コンデンサ６２は、樹脂６４を介して凹部５８内の所定の位置に内臓される。尚、図６(Ａ)に示すように、固化した樹脂６４の表面６５は盛り上がり、各コンデンサ６２の電極６３を埋設する。

【００３２】次に、絶縁基板５２を固定した状態で、樹脂６４の表面６５を例えばバフ研磨により整面する。この結果、図６(Ｂ)に示すように、新たに形成される樹脂６４の表面６６が、絶縁基板５２の表面５３上の銅箔５５と同一平面となった配線基板６７を得ることができる。この配線基板２０も本発明の請求項２に相当する。更に、図６(Ｃ)に示すように、樹脂６４の表面６６側から垂直に前記同様のレーザＬを、各コンデンサ６２上端の電極６３の真上に照射する。この結果、図示のように、各電極６３の真上には、内径が約１００μｍで断面台形状のビアホール６８が形成され、その底部に電極６３の上端面が露出する。

【００３３】次いで、各ビアホール６８内および樹脂６４の表面６６に前記触媒核を付着させて、表面６６および銅箔５５，５６上に前記同様の銅メッキを施す。この

結果、図６(D)に示すように、絶縁基板５２の表面５３側には、ビア導体６９を含む銅メッキ層７０が形成され、裏面５４側には平坦な銅メッキ層７１が形成される。各ビア導体６９は、コンデンサ６２の電極６３と接続されている。かかる状態で、銅メッキ層７０の上および銅メッキ層７１の下に、図示しない感光性樹脂の層を形成し、且つ所定パターンによる露光および現像を行って、パターンレジストを形成する。更に、このレジスト中の間隙を介して、銅メッキ層７０，７１をエッチングした後、上記レジストを剥離する。

【００３４】この結果、図６(E)に示すように、絶縁基板５２の表面５３上には、凹部５８および樹脂６４を覆い且つビア導体６９を有する配線７２ａを含む配線層７２が形成され、裏面４上には、配線層７３が形成される。これにより、本発明の請求項３に相当する配線基板７５が得られる。上記配線７２ａは、前記シールド層６０ａ，６０ｂと共に、各コンデンサ６２を外部の電磁波からシールドするシールド層をも兼ねる。また、図６(E)に示すように、左右のスルーホール導体５９の両端面にも、配線層７２，７３が形成されるため、配線層７２，７３は、スルーホール導体５９を介して導通する。そして、配線基板７５における配線層７２，７３の上または下に、絶縁層７６，７７など、配線層８０，８１など、ビア導体７８，７９など、およびハンダバンプ(フリップチップバンプ)９２などを、前述した公知のビルドアップ技術にて形成することにより、前記図４に示した多層構造を有する配線基板５０を得ることができる。

【００３５】図７(A)は、前記図３(B)に対応した断面図で、絶縁基板２の貫通孔８内に内臓された各チップコンデンサ１２は、上下端の電極１４，１３の端面を樹脂１６の表・裏面１９，１８に露出させている。かかる表・裏面１９，１８および絶縁基板２の銅箔５，６上に前記同様の銅メッキ層を形成し、且つエッチングレジストを形成した後、前記同様にエッチングする。これにより、図７(B)に示すように、各コンデンサ１２の電極１４，１３と接続する配線９５ａ，９６ａを含む配線層９５，９６を表・裏面３，４に有する配線基板９７を得ることができる。配線９５ａ，９６ａは、貫通孔８内面のシールド層１０と共に、各コンデンサ１２をシールドするシールド層をも兼ねる。また、配線基板９７では、各コンデンサ１２の電極１４，１３は、配線９５ａ，９６ａと直に接続できるため、製造工程が少なくなり、且つコンデンサ１２と配線層９５などとの導通も、前記ビア導体２３を介在させる配線基板２８に比べて安定したものとなる。

【００３６】図７(C)は、前記図６(B)に対応した断面図で、絶縁基板５２の凹部５８内に内臓された各チップコンデンサ６２は、上端の電極６３の端面を樹脂６４の表面６６に露出させている。かかる表面６６および絶縁基板５２の銅箔５５，５６上に前記同様の銅メッキ層を形成し、且つエッチングレジストを形成した後、前記同様にエッチングする。これにより、図７(D)に示すように、各コンデンサ６２の電極６３と接続する配線９８ａを含む配線層９８を表面５３側に有し、且つ裏面５４側に配線層７３を有する配線基板９９を得ることができる。上記配線９８ａは、凹部５８内面のシールド層６０ａ，６０ｂと共に、各コンデンサ６２をシールドするシールド層をも兼ねる。また、配線基板９９では、各コンデンサ６２の電極６３は、配線９８ａと直に接続されるため、製造工程が少なくなり、且つ各チップコンデンサ６２と配線層９８などとの導通も、前記ビア導体６９を介在させる配線基板７５に比べて安定したものにできる。

【００３７】本発明は、以上において説明した各形態に限定されるものではない。例えば、前記貫通孔８や凹部５８内に内蔵する電子部品は、１つのみでも良い。逆に、複数の絶縁基板２，５２を含む多数個取り用のパネル内における製品単位(絶縁基板２，５２)１個内に複数の貫通孔８や凹部５８を形成しても良い。また、前記絶縁基板２の貫通孔８内に、上端のみに電極６３を有する前記コンデンサ６２のような電子部品を内蔵することも可能である。更に、複数のチップ状電子部品を互いの側面間で予め接着したユニットとし、これを前記貫通孔８または凹部５８内に挿入し内蔵することもできる。また、チップ状電子部品には、前記チップコンデンサ１２などの他、チップ状にしたインダクタ、抵抗、フィルタなどの受動部品や、トランジスタ、メモリ、ローノイズアンプ(ＬＮＡ)などの能動部品も含まれると共に、互いに異種の電子部品同士を、同じ貫通孔や凹部内に併設して内蔵することも可能である。

【００３８】更に、絶縁基板２などの材質は、前記ガラスーエポキシ樹脂の複合材料の他、同様の耐熱性、機械強度、可撓性、加工容易性などを有するガラス織布や、ガラス織布などのガラス繊維とエポキシ樹脂、ポリイミド樹脂、またはＢＴ樹脂などの樹脂との複合材料であるガラス繊維－樹脂材料を用いても良い。あるいは、ポリイミド繊維などの有機繊維と樹脂との複合材料や、連続気孔を有するＰＴＦＥ等３次元網目構造のフッ素系樹脂にエポキシ樹脂などの樹脂を含浸させた樹脂－樹脂の複合材料などを用いることも可能である。また、シールド層１０，６０ａ，６０ｂおよび配線層２６，７２などの材質は、前記銅メッキの他、Ｎｉや、Ｎｉ－Ａｕなどにしても良く、或いは、金属メッキを用いず、導電性樹脂を塗布するなどの方法にて形成することも可能である。更に、前記ビア導体３４などは、ビアホール内を埋め尽くす前記フィルドビアの形態に限らず、ビアホールに倣った円錐形状の形態としても良い。

【００３９】また、絶縁層３２，７６などの材質は、前記エポキシ樹脂を主成分とするものの他、同様の耐熱性、パターン成形性などを有するポリイミド樹脂、ＢＴ

樹脂、ＰＰＥ樹脂、或いは、連続気孔を有するＰＴＦＥ等３次元網目構造のフッ素系樹脂にエポキシ樹脂などの樹脂を含浸させた樹脂－樹脂の複合材料などを用いることもできる。且つ絶縁層の形成には、液状樹脂をロールコータにより塗布する方法の他、絶縁性のフィルムを熱圧着する方法を用いることもできる。更に、配線基板１，５０の第１主面４８，９０上に搭載されるＩＣチップとの接続端子には、前記フリップチップバンプ(ハンダバンプ)４６，９２の他に、フリップチップパッド、ワイヤボンディングパッド、或いはＴＡＢ接続用パッドを形成したものなどを用いても良い。また、コンデンサ１２，６２では$BaTiO_3$を主成分とする高誘電体セラミックを用いたが、$PbTiO_3$，$PbZrO_3$，TiO_2，$SrTiO_3$，$CaTiO_3$，$MgTiO_3$，$KNbO_3$，$NaTiO_3$，$KTaO_3$，$PbTaO_3$，$(Na_{1/2}Bi_{1/2})TiO_3$，$Pb(Mg_{1/2}W_{1/2})O_3$，$(K_{1/2}Bi_{1/2})TiO_3$などを主成分とするものを用いても良い。

【００４０】更に、前記コンデンサ１２などの電極１３などの材質は、Ｃｕを主成分としたが、電子部品との適合性を有するＰｔ，Ａｇ，Ａｇ－Ｐｔ，Ａｇ－Ｐｄ，Ｐｄ，Ａｕ，Ｎｉなどを用いることができる。加えて、前記電子部品のコンデンサ１２などは、高誘電体セラミックを主成分とする誘電体層やＡｇ－Ｐｄなどからなる電極層と、樹脂やＣｕメッキ、Ｎｉメッキなどからなるビア導体や配線層とを複合させたコンデンサとしても良い。尚、前記配線基板１，５０の第１主面４８，９０上において複数の搭載エリアを形成し、複数のＩＣチップを各エリアに個別に搭載することも可能である。

【００４１】

【発明の効果】以上において説明した本発明の配線基板(請求項１)によれば、貫通孔または凹部は、シールド層により周囲を囲まれるため、かかる貫通孔などに内蔵される電子部品を外部の電磁波からシールドしたり、逆に電子部品が構成する回路のノイズが配線基板の内外に漏れる事態を低減できる。このため、上記電子部品やＩＣチップなどを正常に作動させると共に、配線基板内におけるクロストークノイズを低減できるなどの電気的特性も安定させることができる。また、請求項３の配線基板によれば、絶縁基板に内蔵される電子部品は、その全周囲をシールド層に包囲されるため、かかる電子部品自体、当該配線基板に実装するＩＣチップ、或いは、マザーボードを介して導通する他の配線基板に実装されるＩＣチップを一層正確且つ確実に作動させることができる。更に、請求項４，５の配線基板によれば、上記に加え、内蔵される電子部品と配線層との導通は基より、この配線層を介して配線基板の表面に実装されるＩＣチップや第２主面側のマザーボードなどとの導通も安定して取ることができる。

【００４２】一方、本発明の配線基板の製造方法(請求項６)によれば、少ない工程により、上記貫通孔または凹部に内蔵される電子部品を外部の電磁波からシールドしたり、電子部品が構成する回路のノイズが配線基板の内外に漏れるのを予防できる配線基板を、容易且つ確実に提供することができる。また、請求項７の配線基板の製造方法によれば、貫通孔または凹部に内蔵した電子部品を絶縁しつつ外部の電磁波からシールドし、且つ電子部品が構成する回路が発生するノイズが漏洩しない配線基板を、確実に提供することができる。更に、請求項８の配線基板の製造方法によれば、上記に加えて、内蔵する電子部品と配線層との間における導通や、配線層を介して配線基板の第１主面上に搭載されるＩＣチップや第２主面側のマザーボードなどとの導通も安定して取れる配線基板を、確実に製造することができる。

【図面の簡単な説明】

【図１】本発明の配線基板の主要部を示す断面図。

【図２】(Ａ)～(Ｅ)は図１に示した配線基板を製造するための各工程を示す概略図。

【図３】(Ａ)～(Ｅ)は図２(Ｅ)に続く各製造工程を示す概略図。

【図４】異なる形態の配線基板の主要部を示す断面図。

【図５】(Ａ)～(Ｅ)は図４に示した配線基板を製造するための各工程を示す概略図。

【図６】(Ａ)～(Ｅ)は図５(Ｅ)に続く各製造工程を示す概略図。

【図７】(Ａ)～(Ｄ)は変形形態の配線基板を製造するための各工程を示す概略図。

【図８】(Ａ)，(Ｂ)は従来の配線基板を示す断面図。

【符号の説明】

１，１１，２０，２８，５０，６１，６７，７５，９７，９９…配線基板

２，５２……絶縁基板

８……貫通孔

１０，６０ａ，６０ｂ……シールド層

１２，６２……チップコンデンサ(電子部品)

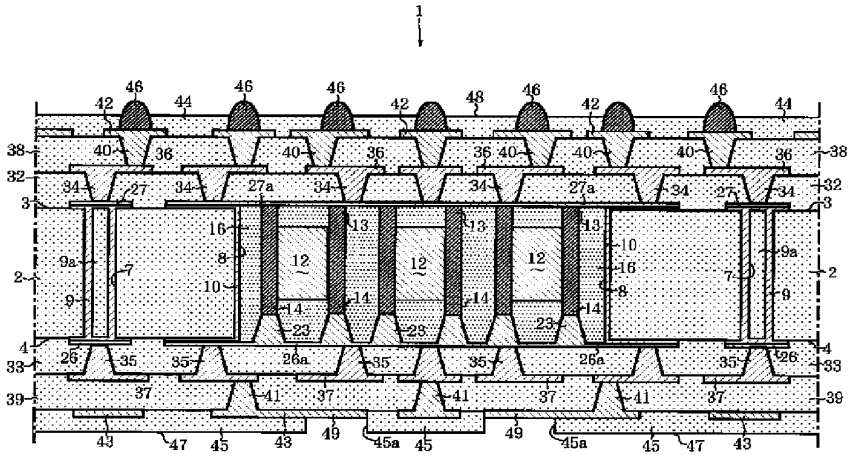
１３，１４，６３……電極

１６，６４……樹脂

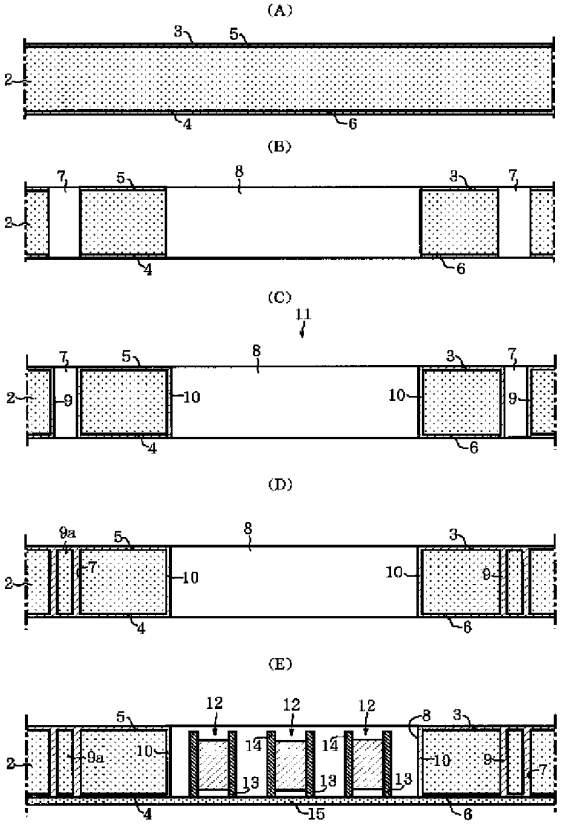
２６，２７，36，37，42，43，72，73，80，81，86，87，95，96，98…配線層

２６ａ，２７ａ，７２ａ，９５ａ，９６ａ，９８ａ……配線(兼シールド層)

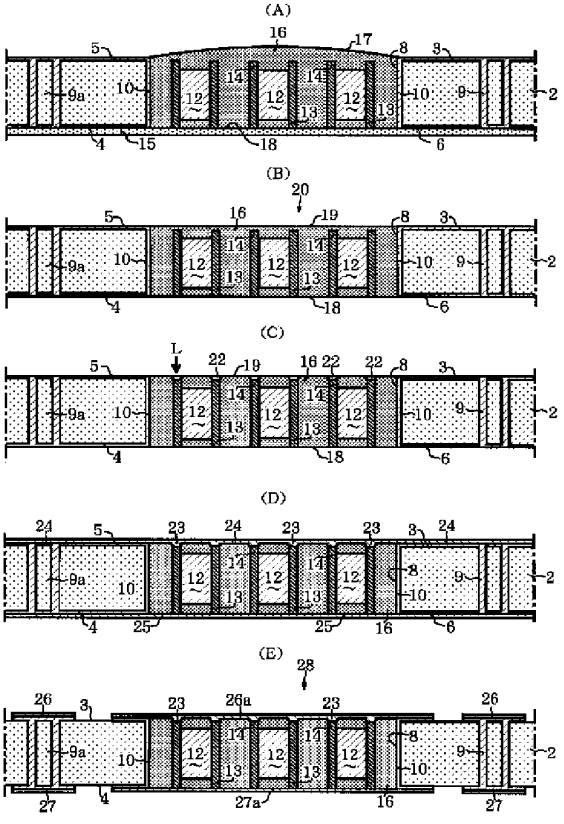
【図1】



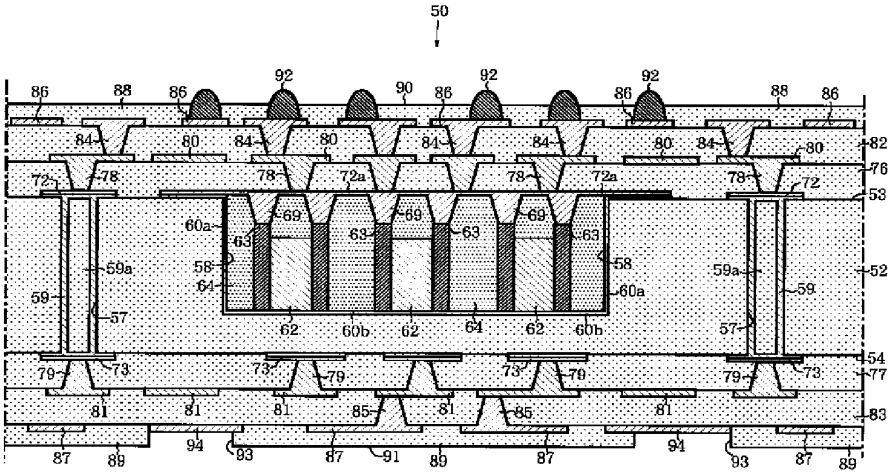
【図2】



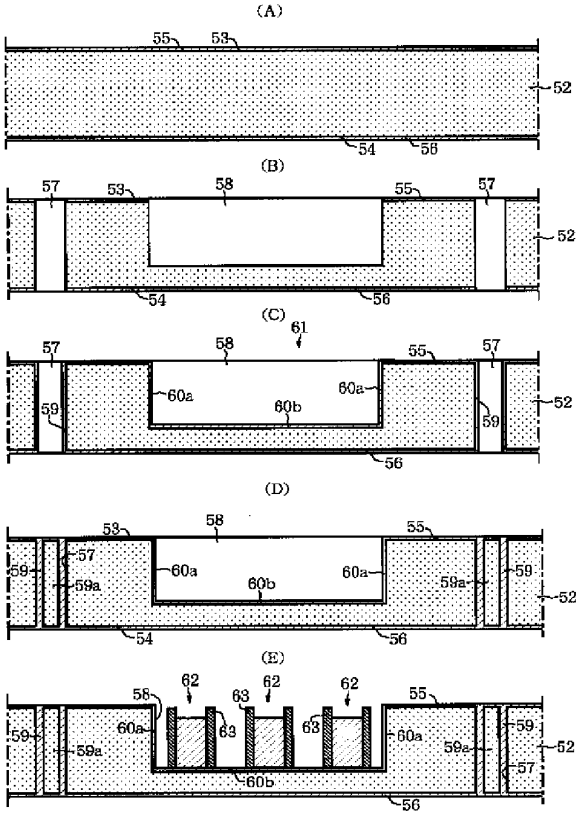
【図3】



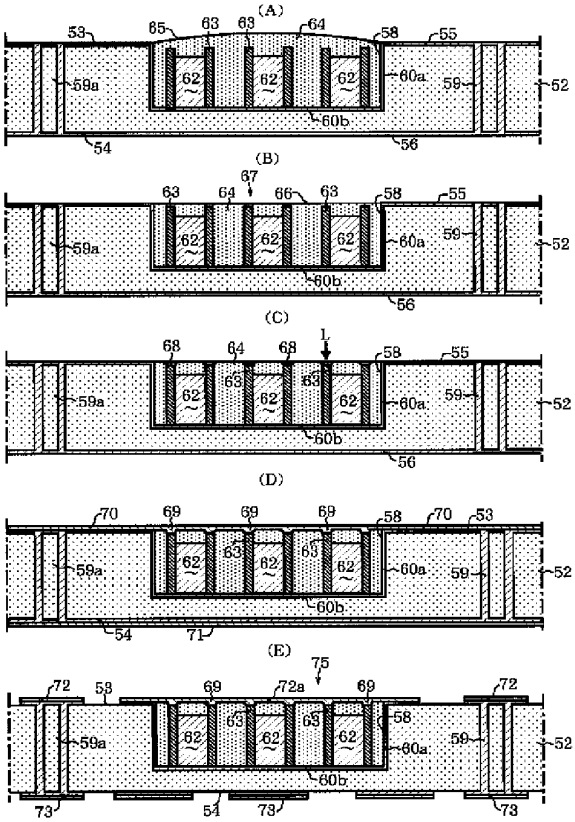
【図4】



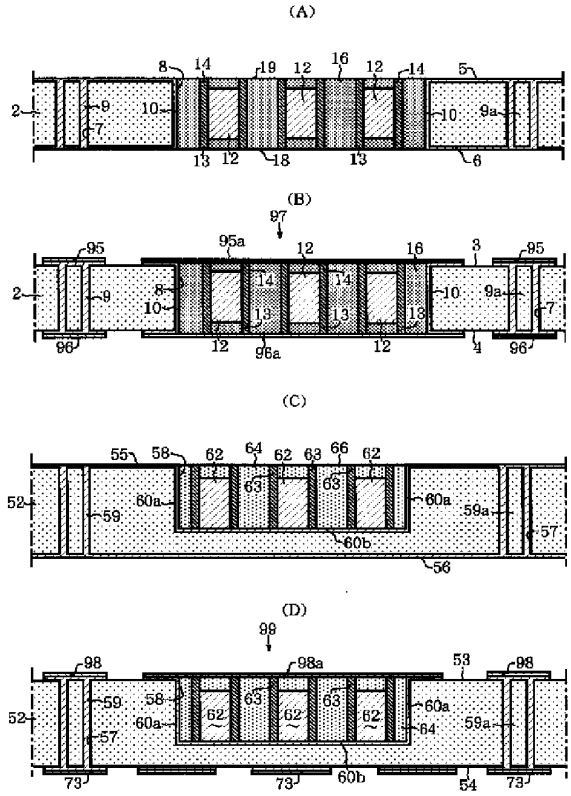
【図5】



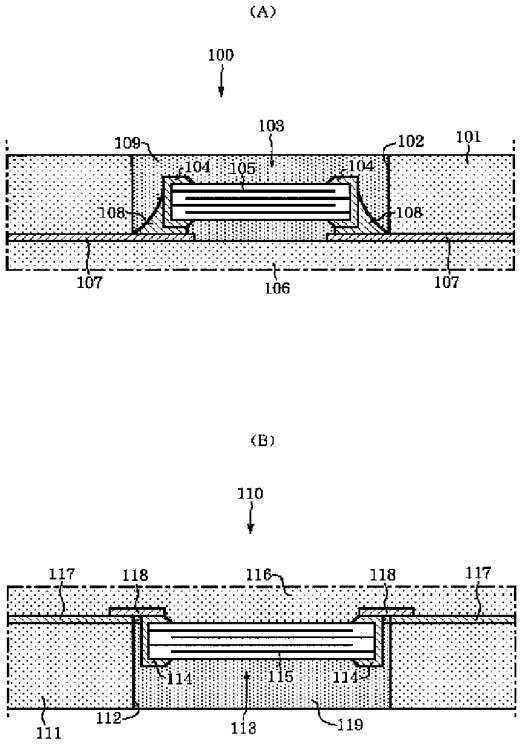
【図6】



【図７】



【図８】



フロントページの続き

(51)Int.Cl.⁷	識別記号	ＦＩ	ﾃｰﾏｺｰﾄﾞ（参考）
Ｈ０５Ｋ　3/46		Ｈ０５Ｋ　3/46	Ｚ

Ｆターム(参考)　5E336 AA07 AA08 AA11 AA16 BB02
BB03 BC02 BC15 BC26 BC34
CC32 CC43 CC53 GG11
5E338 AA02 AA03 BB03 BB13 BB19
BB25 BB75 CC01 CC04 CC05
CC06 CD01 CD23 EE13
5E346 AA05 AA06 AA12 AA15 AA43
AA60 BB02 BB03 BB04 BB07
CC08 CC31 DD01 DD22 EE31
FF04 FF45 GG15 GG17 GG40
HH01

CLAIMS

[Claim(s)]
[Claim 1]A wiring board characterized by what a shield layer was formed in an inner surface of a breakthrough or a crevice where it is provided in an insulating substrate, and electronic parts are built in for.
[Claim 2]The wiring board according to claim 1 characterized by what said electronic parts are built for in said breakthrough or a crevice via resin.
[Claim 3]The wiring board according to claim 1 or 2 characterized by what a shield layer is formed also in an opening of said breakthrough or a crevice for.
[Claim 4]The wiring board according to claim 2 or 3 characterized by what an electrode of said electronic parts by which internal organs were carried out, and a wiring layer to conduct are formed in at least the upper part of said insulating substrate, and downward one side for.
[Claim 5]The wiring board according to claim 4 characterized by what wiring which is in a wrap position about a breakthrough of said insulating substrate or an opening of a crevice among said wiring layers serves as said shield layer.
[Claim 6]A manufacturing method of a wiring board characterized by what a process of forming a breakthrough or a crevice for building electronic parts in an insulating substrate, and a process of forming a shield layer in an inner surface of the above-mentioned breakthrough or a crevice by plating are included for.
[Claim 7]A manufacturing method of the wiring board according to claim 6 characterized by what it has for a process of inserting electronic parts into said breakthrough or a crevice, and a process which is filled up with resin and solidified in a breakthrough or a crevice where the above-mentioned electronic parts were inserted after a process of forming said shield layer.
[Claim 8]A manufacturing method of the wiring board according to claim 7 characterized by what it has further the process of forming an electrode of said electronic parts by which internal organs were carried out, and a wiring layer to conduct after a process which is filled up with said resin and solidified at at least the upper part of said insulating substrate, and downward one side for.

DETAILED DESCRIPTION

[Detailed Description of the Invention]
[0001]
[Field of the Invention]This invention relates to a wiring board which sticks and builds in electronic parts in an insulating substrate, and a manufacturing method for the same.
[0002]
[Description of the Prior Art]In order to correspond to the miniaturization of the wiring board in recent years, and the densification of the wiring in a wiring board, it not only carries electronic parts, such as an IC chip, on the 1st principal surface of a wiring board, but the wiring board which builds electronic parts in the inside of an insulating substrate is proposed. For example, the wiring board 100 shown in drawing 8 (A) inserted the chip capacitor (electronic parts) 103 in the breakthrough 102 which penetrates the insulating substrate 101, and has connected it with the land 107 which formed the electrode 104 of the both ends via the solder 108 between the insulating layers 106 which adjoin the above-mentioned substrate 101. By being filled up with the resin 109 in the above-mentioned breakthrough 102, it adheres and the internal organs of the capacitor 103 are carried out. The internal electrode 105 is installed in this capacitor 103.
[0003]The wiring board 110 shown in drawing 8 (B) one opening of the breakthrough 112 which penetrates the insulating substrate 111, The adhesive temporary fastening film which is not

illustrated beforehand closes, and after being filled up with the resin 119 in the breakthrough 112 where the chip capacitor (electronic parts) 113 which has the internal electrode 115 on this temporary fastening film is stuck, and making it solidify in it, the above-mentioned temporary fastening film is removed. This wiring board 110 is connected to the land 117,117 which formed beforehand the electrode 114 located in the both ends of the above-mentioned capacitor 113 between the above-mentioned insulating substrate 111 and the insulating layer 116 which adjoins this via the solder 118.

[0004]However, in the wiring board 100 of drawing 8 (A). Since the breakthrough 102 which carried out the internal organs of the capacitor 103 was surrounded by the insulating substrate 101 and the insulating layer 106 via the resin 109, it becomes easy to cause malfunction by the electric wave and magnetic field (it is hereafter considered as electromagnetic waves) from the outside, and there was a case where the electrical property in the inside of the wiring board 100 became unstable. The breakthrough 112 which carried out the internal organs of the chip capacitor 113 also by the wiring board 110 of drawing 8 (B), Since it was surrounded by the insulating substrate 111 and the insulating layer 116 via the resin 119, it was easy to invite malfunction like the above, and there was a possibility that the electrical property in the inside of the wiring board 110 might become unstable. When the internal organs of the electronic parts in which switching is performed by high frequency in said breakthrough 102,112 are carried out, the noise of an electrical power system is revealed outside. This affected the IC chip mounted in the surface of the wiring board 100,110, or the IC chip mounted in other wiring boards on the mother board in which wiring board 100,110 the very thing is mounted, and there was also a possibility of causing malfunction.

[0005]

[Problem(s) to be Solved by the Invention]This invention can reduce the influence by the noise which the circuit which the problem in the Prior art explained above is solved, and the electronic parts which carried out internal organs to the insulating substrate cannot be easily influenced by the electromagnetic waves from the outside, and these electronic parts constitute generates. And let it be problem to provide the wiring board which may stabilize the conduction of the IC chip etc. and the above-mentioned electronic parts which are carried on the electrical property inside a wiring board, a wiring layer, and the 1st principal surface, and its manufacturing method.

[0006]

[Means for solving problem]This invention is hit on an idea of it and accomplished to give the shielding function for electromagnetic wave cover to the inner surface of the breakthrough which carries out the internal organs of the electronic parts, or a crevice in order to solve an aforementioned problem. That is, the shield layer was formed in the inner surface of the breakthrough or crevice where the wiring board (Claim 1) of this invention is provided in an insulating substrate, and electronic parts are built in. If it adds, the above-mentioned wiring board can also be expressed in the inner surface of the breakthrough or crevice where the electronic parts provided in the insulating substrate are built in as the wiring board in which the shield layer was formed. According to this, since the circumference is surrounded by a shield layer, the above-mentioned breakthrough or the crevice can reduce the leakage to the exterior of the noise generated from the circuit which can shield the electronic parts built in this breakthrough or crevice from external electromagnetic waves, and the above-mentioned electronic parts constitute. For this reason, the IC chip etc. which are carried in the above-mentioned electronic parts or the 1st principal surface are operated normally, and an internal electrical property can also be stabilized

like the ability to reduce the crosstalk noise in a wiring board. To the above-mentioned electronic parts, passive components, such as a capacitor, an inductor, a filter, and resistance, Although what active parts, such as low noise amplifier (LNA), a transistor, a semiconductor device, and FET, or an SAW filter, the LC filter, the antenna switch module, the coupler, the diplexer, etc. were contained, and made these chip shape is contained, it does not restrict to these. The internal organs of the electronic parts of a different kind may be carried out to the same breakthrough or crevice among these.

[0007]A wiring board (Claim 2) by which said electronic parts are built in said breakthrough or a crevice via resin is also contained in this invention. According to this, electronic parts are firmly built in in a breakthrough or a crevice, being surrounded by resin and insulated, and are surrounded by shield layer and shielded also from external electromagnetic waves. For this reason, electronic parts built in an insulating substrate of a wiring board can be operated correctly and certainly. Since a noise which a circuit which built-in electronic parts constitute simultaneously generates can be covered, an adverse effect to parts, such as an IC chip mounted in the wiring board concerned, can be prevented, or it can decrease. A wiring board (Claim 3) by which a shield layer is formed also in an opening of said breakthrough or a crevice is also contained in this invention. According to this, since a shield layer (a ground layer or a voltage plane) surrounds the perimeter enclosure, electronic parts built in an insulating substrate can operate these electronic parts much more correctly and certainly, or can shield a noise to generate certainly.

[0008]A wiring board (Claim 4) by which an electrode of said electronic parts and a wiring layer to conduct of the upper part of said insulating substrate and a lower part are formed at least in either is also contained in this invention. According to this, via this wiring layer, as for conduction between electronic parts and a wiring layer, conduction with an IC chip carried on the 1st principal surface of a wiring board, a mother board by the side of the 2nd principal surface, etc. is also stabilized, and it can be taken from a basis. A wiring board (Claim 5) in which wiring which is in a wrap position about a breakthrough of said insulating substrate or an opening of a crevice among said wiring layers serves as said shield layer is also contained. According to this, without providing a shield layer for exclusive use, the above-mentioned wiring layer itself shields electronic parts, and conduction of electronic parts, the above-mentioned IC chip, etc. can also be taken, and it can respond also to a request of a miniaturization to a wiring board, and a densification.

[0009]On the other hand, a manufacturing method (Claim 6) of a wiring board of this invention includes a process of forming a breakthrough or a crevice for building electronic parts in an insulating substrate, and a process of forming a shield layer in an inner surface of this breakthrough or a crevice by plating. According to this, electronic parts built in the above-mentioned breakthrough or a crevice can be shielded from external electromagnetic waves by few processes, and a wiring board which can prevent disclosure to the inside and outside of a substrate of a noise which a circuit which these electronic parts constitute generates can easily and certainly be provided.

[0010]A manufacturing method (Claim 7) of a wiring board which has a process of inserting electronic parts into said breakthrough or a crevice, and a process which is filled up with resin and solidified in a breakthrough or a crevice where the above-mentioned electronic parts were inserted is also contained in this invention after a process of forming said shield layer. According to this, a wiring board which can prevent disclosure of a noise which a circuit which can shield electronic parts built in the above-mentioned breakthrough or a crevice from external electromagnetic waves

insulating and, where these electronic parts constitute them generates can certainly be provided. A manufacturing method (Claim 8) of a wiring board which has further the process of forming an electrode of said built-in electronic parts and a wiring layer to conduct after a process which is filled up with said resin and solidified at at least the upper part of said insulating substrate and downward one side is also contained in this invention. According to this, a wiring board which is stabilized as for conduction with conduction between electronic parts and a wiring layer, an IC chip carried on the 1st principal surface of a wiring board via a wiring layer, a mother board by the side of the 2nd principal surface, etc. can be manufactured certainly. And since a shield layer can also be formed, a manufacturing process can be lessened and it also becomes possible to reduce the cost, at the same time it forms electronic parts and a wiring layer to conduct.

[0011]

[Mode for carrying out the invention]Below, the suitable form for enforcement of this invention is explained with Drawings. Drawing 1 shows the section of the principal part in the wiring board 1 of this invention (Claims 3-5) which has the size of every 40 mm of every direction by plane view. The wiring board 1 is provided with the following.

As shown in drawing 1, it is the insulating substrate (core substrate) 2.

The shield layer 10 formed in the inner surface of the breakthrough 8 which penetrates the table and the rear faces 3 and 4 of this insulating substrate 2.

It has the wiring layers 26 and 27 including two or more chip capacitors (electronic parts) 12 built in via the resin 16 in the breakthrough 8, and the wiring 26a and 27a which serves as the shield layer formed in the opening of the upper and lower sides of the breakthrough 8. The wiring layers 26 and 27 are used as a ground layer or a voltage plane.

[0012]The insulating substrate 2 is a plate with a thickness of about 0.8 mm which presents an approximately square by plane view, it consists of composite of a glass epoxy resin, for example, and the breakthrough 8 whose one side plane view is 12 mm with an approximately square is punched by carrying out punching of the center section. As shown in drawing 1, the through holes 7 and 7 penetrate on both sides of the breakthrough 8 of the insulating substrate 2, and the through hole conductor 9 and the filling resin 9a are formed in the inside. The shield layer 10 with a thickness of about 25 micrometers formed of the coppering mentioned later is formed in the inner surface of 4 rounds of the breakthrough 8. The chip capacitor 12 built in via the resin 16 in the breakthrough 8 is a ceramic capacitor which laminated by turns the dielectric layer which has two or more electrodes 13 and 14 by the product made from Cu at the upper and lower ends, for example, uses barium titanate as the main ingredients, and nickel layer. This chip capacitor 12 has 3.2mmx1.6mmx0.7mm size.

[0013]As shown in drawing 1, the wiring layers 26 and 27 which include the wiring 26a and 27a which conducts with the electrodes 13 and 14 of each chip capacitor 12, and serves as a shield layer in an opening of the upper and lower sides of the breakthrough 8 are formed along the table and rear-face 3 and 4 top of the insulating substrate 2. The beer conductor (filled via) 23 linked to each electrode 14 of the above-mentioned capacitor 12 is formed in the wiring 26a by the side of the rear face 4. As shown in drawing 1 above the surface 3 of the insulating substrate 2, the insulating layers 32, 38, and 44 which consist of epoxy resins, and the wiring layers 36 and 42 made from Cu are laminated by turns, The beer conductors (filled via) 34 and 40 which connect between the wiring layers 27 and 36 and between the wiring layers 36 and 42 are formed in the insulating layers 32 and 38. The insulating layer (solder resist layer) 44 is penetrated in a position in the wiring layer 42 of

the top layer, and two or more solder bumps 46 which project more highly than the 1st principal surface 48 of the surface are formed in it. Each bump 46 is connected with an IC chip which is carried on the 1st principal surface 48 and which is not illustrated.
[0014]Down the rear face 4 of the insulating substrate 2, as shown in drawing 1, the insulating layers 33, 39, and 45 and the wiring layers 37 and 43 which consist of the same resin as the above are laminated by turns, The beer conductors (filled via) 35 and 41 which connect between the wiring layers 26 and 37 and between the wiring layers 37 and 43 are formed in the insulating layers 33 and 39. In the opening 45a established in the 2nd principal surface 47 under the insulating layer (solder resist layer) 45 of the bottom of the heap, and 45a, a part of above-mentioned wiring layer 43 is exposed, respectively, and the contact button 49 with which nickel and Au plating film were covered by the surface is formed. These contact buttons 49 are used for connection with printed circuit boards, such as a mother board in which wiring board 1 the very thing is carried and which is not illustrated. Conduction is carried out via each chip capacitor 12, and conduction of the wiring layers 26 and 27 which sandwiched the insulating substrate 2 is carried out via each through hole conductor 9.
[0015]According to the above wiring boards 1, each chip capacitor (electronic parts) 12, As shown in drawing 1, it is built in the breakthrough 8 which adhered to the resin 16 and formed the shield layer 10 in the inner surface, and it has conducted with the electrodes 14 and 13 of each capacitor 12, the opening of the upper and lower sides of the breakthrough 8 also being covered with the wiring 26a and 27a in the wiring layer 26 and 27. For this reason, since each chip capacitor 12 is certainly shielded from the electromagnetic waves from the outside, An original function can be exhibited, without producing malfunction, and it is stabilized with the IC chip which conducts with the wiring layers 26 and 27 etc., and is carried on the 1st principal surface 48 via these, the mother board by the side of the 2nd principal surface 47, etc., and can conduct.
[0016]Therefore, according to the wiring board 1, the chip capacitor (electronic parts) 12 operates normally, and, as for it, an electrical property is also improved and stabilized like the ability to reduce a crosstalk noise in an inside of the wiring board 1. And a noise generated when the above-mentioned capacitor 12 switches by high frequency can make it not affect it to an IC chip carried in other wiring boards on a mother board in which an IC chip carried on the 1st principal surface 48 and wiring board 1 the very thing are carried. In the above-mentioned embodiment, a form which does not restrict it to this although an insulating layer (core substrate 2) of a monolayer is used for the insulating substrate 2, and laminated two or more insulating layers (a core substrate is included), and a form which laminated two or more insulating layers, and formed a wiring layer among these are also included. One kind or two or more kinds of materials may be used for two or more insulating layers mentioned above.
[0017]Drawing 2 and drawing 3 are related with a manufacturing method of the wiring board 1 shown in said drawing 1. As shown in drawing 2 (A), the with a number of thickness copper foil [10-micrometer] 5 and 6 is beforehand covered by a table and the rear faces 3 and 4 of the insulating substrate 2 about 0.8 mm thick. As shown in drawing 2 (B), by carrying out punching of the approximately center of the insulating substrate 2, the breakthrough 8 of length and every 12 mm wide is formed, and the through holes 7 and 7 are punched by drill at the both sides. Next, after adhering catalyst cores for plating, such as Pd, to an inner surface of the above-mentioned breakthrough 8 and the through hole 7 beforehand, non-electrolytic copper plating and electrolytic copper plating are performed. As a result, as shown in drawing 2 (C), the wiring board 11 by which

the shield layer 10 which becomes an inner surface of 4 rounds of the breakthrough 8 from a 25-micrometer-thick copper plating layer was formed, and the through hole conductor 9 was formed in an inner surface of the through hole 7 is obtained. This wiring board 11 is equivalent to Claim 1 of this invention. As shown in drawing 2 (D), the filling resin 9a is formed inside the cylindrical through hole conductor 9.

[0018]Subsequently, as shown in drawing 2 (E), the tape 15 which turned an adhesive face to the breakthrough 8 side is stuck on the rear face 4 of the insulating substrate 2, and an opening by the side of the rear face 4 of the breakthrough 8 is closed. The tape 15 is stuck on the whole rear face 4 as ** like a graphic display in order to close all of the breakthroughs 8 and 8 of a large number in an aggregate (panel) of the insulating substrates 2 and 2 and an insulating substrate containing --, and --. In this state, as shown in drawing 2 (E), two or more chip capacitors 12 are inserted into the breakthrough 8, and a position on an adhesive face of the tape 15 is pasted, respectively. This insertion is performed by chip mounter etc. The above-mentioned capacitor 12 protrudes two or more electrodes 14 and 13 on the upper and lower ends, and an end face of the electrode 13 by the side of a lower end pastes it up on an adhesive face of the tape 15.

[0019]As shown in drawing 3 (A), after being filled up with the melted resin 16 which uses an epoxy resin as the main ingredients in the breakthrough 8 from the surface 3 side, cure processing held about 60 minutes at about 100 ** is performed. As a result, like a graphic display, when the resin 16 solidifies, except for an end face of that electrode 13, the internal organs of each capacitor 12 are carried out to a position in the breakthrough 8 via the resin 16. As shown in drawing 3 (A), the surface 17 of the solidified resin 16 is curved, rises, and lays the electrode 14 of each capacitor 12 underground. On the other hand, the rear face 18 of the resin 16 turns into a flat surface which imitated the tape 15, and an end face of the electrode 14 of each capacitor 12 exposes it. In this stage, an installed position and short existence of each capacitor 12 laid underground into the resin 16 are inspected. The above-mentioned cure processing removes air bubbles of resin 16 inside, and makes the resin 16 a precise organization. The above-mentioned tape 15 has the heat resistance which is equal to this cure processing.

[0020]Next, as shown in drawing 3 (B), after exfoliating the tape 15, where the insulating substrate 2 is fixed, counter etching of the surface 17 of the resin 16 is carried out by buffing. As a result, the wiring board 20 from which the surface 19 of the resin 16 newly formed turned into the same flat surface as the copper foil 5 on the surface 3 of the insulating substrate 2 like a graphic display is obtained. This wiring board 20 is equivalent to Claim 2 of this invention. Subsequently, as shown in drawing 3 (C), it irradiates with the laser L vertically from the surface 19 side of the resin 16. An irradiation position of the laser L is set up right above the electrode 14 of each capacitor 12 upper bed. As a result, like a graphic display, right above each electrode 14, the via hole 22 of section trapezoidal shape is formed for an inside diameter at about 100 micrometers, and an end face of the electrode 14 is exposed to that pars basilaris ossis occipitalis. CO_2, YAG, excimer laser, etc. are used for the laser L.

[0021]Said catalyst core is made to adhere to the inside of each via hole 22, and a table and rear faces 19 and 18 of the resin 16, and non-electrolytic copper plating and electrolytic copper plating are performed on a table, the rear faces 19 and 18, and the copper foil 5 and 6. As a result, as shown in drawing 3 (D), the copper plating layer 24 containing the beer conductor 23 is formed, and the flat copper plating layer 25 is formed in the surface 3 side of the insulating substrate 2 at the rear-face 4 side. Each beer conductor 23 is connected with the electrode 14 of the capacitor 12, and the

copper plating layer 25 is connected with each electrode 13 of the capacitor 12.
[0022]In this state, on the copper plating layer 24 and under the copper plating layer 25, a layer of a photopolymer which is not illustrated is formed, and exposure and development by a prescribed pattern are performed, and a pattern resist is formed. After etching the copper plating layers 24 and 25 via a gap in this resist, the above-mentioned resist is exfoliated. As a result, as shown in drawing 3 (E), the wiring layer 26 which includes the wiring 26a which has the beer conductor 23 for the breakthrough 8 and the resin 16 with a wrap in the surface 3 side of the insulating substrate 2 is formed, and the wiring layer 27 including the wiring 27a that it is the same as that of the above and flat is formed in the rear-face 4 side. Thereby, the wiring board 28 equivalent to Claim 3 of this invention is obtained.
[0023]The above-mentioned wiring 26a and 27a serves also as a shield layer which shields each capacitor 12 from external electromagnetic waves with said shield layer 10. As shown in drawing 3 (E), the wiring layers 26 and 27 are formed also in a both-ends side of the through hole conductor 9 on either side. Therefore, it conducts mutually via each capacitor 12, and the wiring layers 26 and 27 are conducted via the through hole conductor 9. Where a table and a rear face of the above-mentioned wiring board 28 are made reverse, the beer conductors 34 and 35, such as the wiring layers 36 and 37, such as the insulating layers 32 and 33, etc. form the solder bump (flip chip bump) 46 etc. in the upper and lower sides of the wiring layers 27 and 26 with publicly known build-up technology. The wiring board 1 which has by this the multilayer structure shown in said drawing 1 can be obtained. technology which laminates film state or a liquefied resin insulating layer on the above-mentioned build-up technology and technology which drills a via hole by a photolithography or laser beam machining -- further, Although technology which forms a beer conductor and a wiring layer with a semiadditive process, a fully-additive process, or a subtractive process is included, it does not restrict to these.
[0024]Drawing 4 shows the section of the principal part in the wiring board 50 of this invention (Claims 3-5) which has a form which has the same size as said wiring board 1, and is different. The wiring board 50 is provided with the following.
As shown in drawing 4, it is the insulating substrate (core substrate) 52.
The crevice 58 which carries out an opening to the surface 53 side of this insulating substrate 52.
The shield layers 60a and 60b formed in the inner surface of this crevice 58.
It has two or more chip capacitors (electronic parts) 62 built in via the resin 64 in the above-mentioned crevice 58, and the wiring layer 72 including the wiring 72a which serves as the shield layer formed in the opening of the crevice 58. The wiring layer 72 is used as a ground layer or a voltage plane. When the above-mentioned insulating substrate 52 also consists of the same size and construction material as said insulating substrate 2 and carries out router processing of the center section, the crevice 58 whose one side plane view is 12 mm with an approximately square is formed. As shown in drawing 4, the through holes 57 and 57 penetrate on both sides of the crevice 58 of the insulating substrate 52, and the through hole conductor 59 and the filling resin 59a are formed in the inside.
[0025]The shield layers 60a and 60b with a thickness of about 25 micrometers formed in coppering are formed in the inner surface of four peripheral surfaces of the crevice 58, and the bottom. Although the chip capacitor 62 built in via the resin 64 in this crevice 58 has the electrode 63 made from Cu projected and made only into the upper bed, others of it are the same as that of said capacitor 12. As shown in drawing 4, the wiring layer 72 which includes the wiring 72a which

conducts with the electrode 63 of each chip capacitor 62, and serves as a shield layer in the opening of the crevice 58 upper part is formed along the surface 53 top of the insulating substrate 52. The beer conductor (filled via) 69 linked to each electrode 63 of the chip capacitor 62 is formed in the wiring 72a.

[0026]As shown in drawing 4 above the surface 53 of the insulating substrate 52, the insulating layers 76, 82, and 88 which consist of epoxy resins, and the wiring layers 80 and 86 made from Cu are laminated by turns, and. The wiring layers 72 and 80 and the beer conductors (filled via) 78 and 84 which connect between 86 are formed in the insulating layers 76 and 82. The insulating layer (solder resist layer) 88 is penetrated in the position in the wiring layer 86 of the top layer, and two or more solder bumps 92 which project more highly than the 1st principal surface 90 are formed in it. Each bump 92 is connected with the IC chip which is carried on the 1st principal surface 90 and which is not illustrated.

[0027]Down the rear face 54 of the insulating substrate 52, as shown in drawing 4, the insulating layers 77, 83, and 89 which consist of the same resin as the above, and the wiring layers 73, 81, and 87 are laminated by turns. The wiring layers 73 and 81 and the beer conductors (filled via) 79 and 85 which connect between 87 are formed in the insulating layers 77 and 83. In the opening 93 and 93 established in the 2nd principal surface 91 under the insulating layer (solder resist layer) 89 of the bottom of the heap, a part of wiring layer 87 is exposed, respectively, and the contact button 94 with which nickel and Au plating film were covered by the surface is formed. These contact buttons 94 are also used for connection with printed circuit boards, such as a mother board in which wiring board 50 the very thing is carried and which is not illustrated. The wiring layers 72 and 73 which sandwiched the insulating substrate 52 are connected via the through hole conductor 59.

[0028]According to the above wiring boards 50, each chip capacitor (electronic parts) 62, As shown in drawing 4, it is built in the crevice 58 which adhered to the resin 64 and formed the shield layers 60a and 60b in the inner surface, and the opening on the crevice 58 was covered with the wiring 72a in the wiring layer 72, and this wiring 72a and electrode 63 have conducted it. For this reason, since each chip capacitor 62 is certainly shielded from the electromagnetic waves from the outside, An original function is exhibited, without producing malfunction, and it can stabilize and conduct also between the IC chip which conducts with the wiring layer 72 etc. and is carried on the 1st principal surface 90 via these, the mother board by the side of the 2nd principal surface 91, etc.

[0029]Therefore, in the wiring board 50, the chip capacitor 62 which carried out internal organs operates normally, and the electrical property of being able to reduce a crosstalk noise in an inside is also improved and stabilized as for it. And since a noise which a circuit which the capacitor 62 constitutes generates can also prevent a situation which leaks outside from the crevice 58, having an adverse effect on the above-mentioned IC chip etc. can also be prevented. In the above-mentioned embodiment, although an insulating layer (core substrate 52) of a monolayer was used for the insulating substrate 52, it is not restricted to this. That is, a form which laminated two or more insulating layers (a core substrate is included), and a form which laminated two or more insulating layers, and formed a wiring layer among these are also included. A breakthrough is punched beforehand at a part of two or more above-mentioned insulating layers, and when it laminates with other insulating layers, it may be made to form said crevice 58. One kind or two or more kinds of materials may be used for two or more above-mentioned insulating layers. In the above-mentioned embodiment, although the opening of the opening of the crevice 58 was carried out to the solder bump 92 side which mounts an IC chip etc., it is still better also as a form which is not restricted to

this and in which an opening of the crevice 58 carries out an opening to the contact button 94 side used for connection with a mother board etc.
[0030]Drawing 5 and 6 are related with a manufacturing method of the wiring board 50 shown in said drawing 4. As shown in drawing 5 (A), the with a number of thickness copper foil [10-micrometer] 55 and 56 is beforehand covered by said same table and rear faces 53 and 54 of the insulating substrate 52. As shown in drawing 5 (B), router processing of the approximately center of the insulating substrate 52 is carried out, and the crevice 58 which carried out the opening to the surface 53 side is formed, and a drill punches the through holes 57 and 57 at the both sides. Next, coppering is performed to an inner surface of the above-mentioned crevice 58 and the through hole 57 like the above. As a result, as shown in drawing 5 (C), the shield layers 60a and 60b which become a wall surface (inner surface) of 4 rounds and the bottom (inner surface) of the crevice 8 from a 25-micrometer-thick copper plating layer are formed, and the wiring board 61 in which the through hole conductor 59 was formed is obtained by inner surface of the through hole 57. This wiring board 61 is also equivalent to Claim 1 of this invention.
[0031]As shown in drawing 5 (D), the filling resin 59a is formed inside the through hole conductor 59. The through hole conductor 59 and the shield layers 60a and 60b are following the copper foil 55 and 56. Subsequently, as shown in drawing 5 (E), two or more chip capacitors 62 are inserted into the crevice 58, and it arranges to the position on the shield layer 60b, respectively. The above-mentioned capacitor 62 protrudes two or more electrodes 63 only on an upper bed. The upper bed side of each electrode 63 is in a position lower than the surface of the copper foil 55. As shown in drawing 6 (A), after being filled up with said same melted resin 64 in the crevice 58 from the surface 53 side, said same cure processing is performed. As a result, like a graphic display, when the resin 64 solidifies, the internal organs of each capacitor 62 are carried out to the position in the crevice 58 via the resin 64. As shown in drawing 6 (A), the surface 65 of the solidified resin 64 rises and lays the electrode 63 of each capacitor 62 underground.
[0032]Next, where the insulating substrate 52 is fixed, counter etching of the surface 65 of the resin 64 is carried out by buffing. As a result, as shown in drawing 6 (B), the surface 66 of the resin 64 newly formed can obtain the wiring board 67 used as the same flat surface as the copper foil 55 on the surface 53 of the insulating substrate 52. This wiring board 20 is also equivalent to Claim 2 of this invention. As shown in drawing 6 (C), right above the electrode 63 of each capacitor 62 upper bed, it irradiates with said same laser L vertically from the surface 66 side of the resin 64. As a result, like a graphic display, right above each electrode 63, the via hole 68 of section trapezoidal shape is formed for an inside diameter at about 100 micrometers, and an upper bed side of the electrode 63 is exposed to that pars basilaris ossis occipitalis.
[0033]Subsequently, said catalyst core is made to adhere to the inside of each via hole 68, and the surface 66 of the resin 64, and said same coppering is performed on the surface 66 and the copper foil 55 and 56. As a result, as shown in drawing 6 (D), the copper plating layer 70 containing the beer conductor 69 is formed, and the flat copper plating layer 71 is formed in the surface 53 side of the insulating substrate 52 at the rear-face 54 side. Each beer conductor 69 is connected with the electrode 63 of the capacitor 62. In this state, on the copper plating layer 70 and under the copper plating layer 71, a layer of a photopolymer which is not illustrated is formed, and exposure and development by a prescribed pattern are performed, and a pattern resist is formed. After etching the copper plating layers 70 and 71 via a gap in this resist, the above-mentioned resist is exfoliated.
[0034]As a result, as shown in drawing 6 (E), on the surface 53 of the insulating substrate 52, the

wiring layer 72 including the wiring 72a which covers the crevice 58 and the resin 64, and has the beer conductor 69 is formed, and the wiring layer 73 is formed on the rear face 4. Thereby, the wiring board 75 equivalent to Claim 3 of this invention is obtained. The above-mentioned wiring 72a serves also as the shield layer which shields each capacitor 62 from external electromagnetic waves with said shield layers 60a and 60b. Since the wiring layers 72 and 73 are formed also in the both-ends side of the through hole conductor 59 on either side as shown in drawing 6 (E), the wiring layers 72 and 73 are conducted via the through hole conductor 59. On the wiring layers 72 and 73 in the wiring board 75, or to the bottom, and the insulating layers 76 and 77 etc., The wiring boards [, such as the beer conductors 78 and 79,] 50 which have the multilayer structure shown in said drawing 4 by forming the solder bump (flip chip bump) 92 etc. with the publicly known build-up technology mentioned above, such as the wiring layers 80 and 81, can be obtained.

[0035]Each chip capacitor 12 by which drawing 7 (A) is a sectional view corresponding to said drawing 3 (B), and internal organs were carried out into the breakthrough 8 of the insulating substrate 2 is exposing the end face of the electrodes 14 and 13 of the upper and lower ends at the table and the rear face 19 and 18 of the resin 16. It etches into said the appearance, after forming said same copper plating layer on the copper foil 5 and 6 of these table and rear faces 19 and 18, and the insulating substrate 2 and forming etching resist. Thereby, as shown in drawing 7 (B), the wiring board 97 which has the wiring layers 95 and 96 including the wiring 95a and 96a linked to the electrodes 14 and 13 of each capacitor 12 at a table and the rear face 3 and 4 can be obtained. The wiring 95a and 96a serves also as the shield layer which shields each capacitor 12 with the shield layer 10 of breakthrough 8 inner surface. In the wiring board 97, since it is connectable with the wiring 95a and 96a soon, the electrodes 14 and 13 of each capacitor 12 become the thing stable compared with the wiring board 28 between which a manufacturing process decreases and the conduction of the capacitor 12, the wiring layer 95, etc. also makes said beer conductor 23 placed.

[0036]Each chip capacitor 62 by which drawing 7 (C) is a sectional view corresponding to said drawing 6 (B), and internal organs were carried out into the crevice 58 of the insulating substrate 52 is exposing an end face of the electrode 63 of an upper bed on the surface 66 of the resin 64. It etches into said the appearance, after forming said same copper plating layer on the copper foil 55 and 56 of this surface 66 and the insulating substrate 52 and forming etching resist. Thereby, as shown in drawing 7 (D), the wiring board 99 which has the wiring layer 98 including the wiring 98a linked to the electrode 63 of each capacitor 62 in the surface 53 side, and has the wiring layer 73 in the rear-face 54 side can be obtained. The above-mentioned wiring 98a serves also as a shield layer which shields each capacitor 62 with the shield layers 60a and 60b of crevice 58 inner surface. In the wiring board 99, since it is soon connected with the wiring 98a, the electrode 63 of each capacitor 62 is made to a thing stable compared with the wiring board 75 between which a manufacturing process decreases and conduction of each chip capacitor 62, the wiring layer 98, etc. also makes said beer conductor 69 placed.

[0037]This invention is not limited to each form explained above. For example, only one electronic parts built in in said breakthrough 8 or the crevice 58 are good. On the contrary, two or more breakthroughs 8 and crevices 58 may be formed in one product units [take a large number and] (insulating substrates 2 and 52) in the panel of business containing two or more insulating substrates 2 and 52. It is also possible to build in electronic parts like said capacitor 62 which has the electrode 63 only in an upper bed in the breakthrough 8 of said insulating substrate 2. Two or more chip like electronic components are used as the unit beforehand pasted up between the mutual sides, and this

can be inserted into said breakthrough 8 or the crevice 58, and can also be built in. Active parts, such as passive components made into chip shape besides being said chip capacitor 12, such as an inductor, resistance, and a filter, a transistor, a memory, low noise amplifier (LNA), are also contained in a chip like electronic component, and. It is also mutually possible to put side by side electronic parts of a different kind in the same breakthrough or a crevice, and to build them in.
[0038]Construction material, such as the insulating substrate 2, the composite material of said glass epoxy resin, etc. The glass fiber-resin material which is a composite material with resin, such as glass fibers, such as a glass cloth and a glass cloth, the epoxy resin and polyimide resin which have the same heat resistance, mechanical strength, flexibility, processing ease, etc., or BT resin, may be used. Or it is also possible to use the composite material etc. of the resin-resin which made fluororesin of the three-dimensional network structures, such as a composite material of organic fiber, such as a polyimide fiber, and resin and PTFE which has a continuation stoma, impregnate resin, such as an epoxy resin. Construction material, such as the shield layers 10, 60a, and 60b and the wiring layers 26 and 72, is good as for nickel, nickel-Au besides said coppering, etc., or it is also possible to form by the method of applying conductive resin not using metal plating. Said beer conductor 34 is good also as a form of the conical shape which imitated not only the form of said filled via which fills the inside of a via hole but the via hole.
[0039]polyimide resin which has same heat resistance, a pattern moldability, etc. besides that to which construction material, such as the insulating layers 32 and 76, uses said epoxy resin as the main ingredients, BT resin, and PPE resin -- or, A composite material etc. of resin-resin which made fluororesin of the three-dimensional network structures, such as PTFE which has a continuation stoma, impregnate resin, such as an epoxy resin, can also be used. And a method of bonding an insulating film besides a method of applying liquefied resin by a roll coater by thermo-compression can also be used for formation of an insulating layer. A thing in which a flip chip pad, a wire bonding pad, or a pad for TAB connection other than said flip chip bumps (solder bump) 46 and 92 was formed etc. may be used for a contact button with an IC chip carried on the 1st principal surface 48 and 90 of the wiring boards 1 and 50. Although high dielectric ceramics which use $BaTiO_3$ as the main ingredients were used by the capacitors 12 and 62, $PbTiO_3$, $PbZrO_3$, TiO_2, $SrTiO_3$, $CaTiO_3$, $MgTiO_3$, $KNbO_3$, $NaTiO_3$, $KTaO_3$, $PbTaO_3$, $(Na_{1/2}Bi_{1/2})$ What uses TiO_3, $Pb(Mg_{1/2}W_{1/2})O_3$, $TiO(K_{1/2}Bi_{1/2})_3$, etc. as the main ingredients may be used.
[0040]Although construction material, such as the electrodes 13, such as said capacitor 12, used Cu as the main ingredients, Pt, Ag, Ag-Pt, Ag-Pd, Pd, Au, nickel, etc. which have conformity with electronic parts can be used for it. In addition, the capacitor 12 of said electronic parts is good also as a capacitor which compounded an electrode layer which consists of a dielectric layer which uses high dielectric ceramics as the main ingredients, Ag-Pd, etc., and a beer conductor which consists of resin, Cu plating, nickel plating, etc. and a wiring layer. It is also possible to form two or more loading areas on the 1st principal surface 48 and 90 of said wiring boards 1 and 50, and to carry two or more IC chips in each area individually.
[0041]
[Effect of the Invention]According to the wiring board (Claim 1) of this invention explained above, a breakthrough or a crevice, Since the circumference is surrounded by a shield layer, the situation where the electronic parts built in this breakthrough are shielded from external electromagnetic waves, or the noise of the circuit which electronic parts constitute conversely leaks within and without a wiring board can be reduced. For this reason, the above-mentioned electronic parts, an IC

chip, etc. are operated normally, and the electrical property of being able to reduce the crosstalk noise in a wiring board can also be stabilized. The electronic parts which are built in an insulating substrate according to the wiring board of Claim 3, The IC chip which mounts the perimeter enclosure in these electronic parts themselves and the wiring board concerned since it is surrounded by the shield layer, or the IC chip mounted in other wiring boards conducted via a mother board can be operated much more correctly and certainly. According to Claim 4 and the wiring board of 5, in addition to the above, as for the conduction of the electronic parts and the wiring layer which are built in, conduction with the IC chip mounted on the surface of a wiring board via this wiring layer, the mother board by the side of the 2nd principal surface, etc. is also stabilized, and it can be taken from a basis.

[0042] On the other hand, according to the manufacturing method (Claim 6) of the wiring board of this invention, by few processes. The wiring board which can prevent that shield the electronic parts built in the above-mentioned breakthrough or a crevice from external electromagnetic waves, or the noise of the circuit which electronic parts constitute leaks within and without a wiring board can easily and certainly be provided. According to the manufacturing method of the wiring board of Claim 7, the wiring board which the noise which the circuit which is shielded from external electromagnetic waves, insulating the electronic parts built in the breakthrough or the crevice, and electronic parts constitute generates does not reveal can certainly be provided. According to the manufacturing method of the wiring board of Claim 8, above In addition, the conduction between the electronic parts and the wiring layer to build in, The wiring board which is stabilized as for conduction with the IC chip carried on the 1st principal surface of a wiring board via a wiring layer, the mother board by the side of the 2nd principal surface, etc., and can be taken can be manufactured certainly.

(19)日本国特許庁（ＪＰ）　(12)**公開特許公報**（Ａ）　(11)特許出願公開番号
特開2002－158307
（P2002－158307A）
(43)公開日　平成14年５月31日(2002.5.31)

(51)Int.Cl.⁷	識別記号	ＦＩ		テーマコード（参考）
Ｈ０１Ｌ 23/12		Ｈ０１Ｌ 21/60	３１１Ｓ	５Ｅ３３６
21/60	３１１	Ｈ０５Ｋ 1/18	Ｌ	５Ｆ０４４
25/065		Ｈ０１Ｌ 23/12	Ｌ	
25/07		25/08	Ｚ	
25/18				

審査請求　未請求　請求項の数５　ＯＬ　（全　６　頁）　最終頁に続く

(21)出願番号　特願2000－356097(P2000－356097)

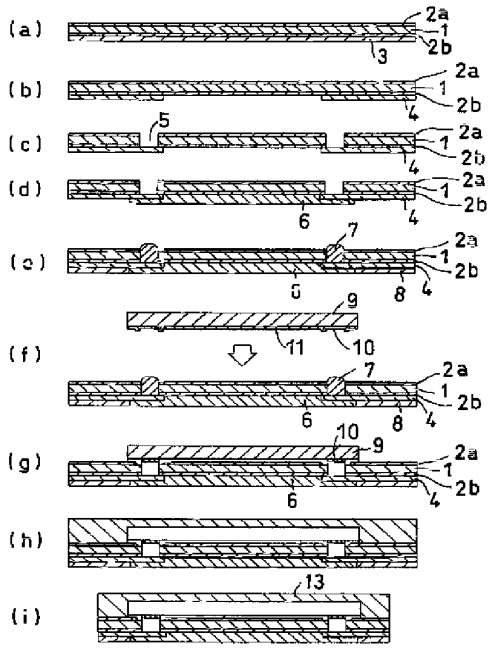
(22)出願日　平成12年11月22日(2000.11.22)

(71)出願人　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(72)発明者　荒川　雅之
東京都青梅市新町３丁目３番地の１　東芝デジタルメディアエンジニアリング株式会社内
(72)発明者　瀬川　雅雄
神奈川県横浜市磯子区新磯子町33番地　株式会社東芝生産技術センター内
(74)代理人　100081732
弁理士　大胡　典夫　（外２名）

最終頁に続く

(54)【発明の名称】　半導体装置及びその製造方法

(57)【要約】
【課題】　簡便な製造プロセスを用いて、かつ、短時間で半導体素子を熱圧着することが可能な半導体装置及びその製造方法を提供すること。
【解決手段】　表面に熱可塑性樹脂層２ａ、２ｂ、２２および半導体素子９、３０との接続端子が形成された配線基板の表面に半導体素子９、３０を加熱加圧して接続端子に電気的に接続し、かつ、半導体素子９、３０の基板側の面を熱可塑性樹脂層２ａ、２ｂ、２２により接着かつ封止する。



【特許請求の範囲】
【請求項１】　非熱可塑性樹脂で形成された絶縁基板と、この絶縁基板の一方の表面の少なくとも一部に形成された熱可塑性樹脂層と、前記絶縁基板の他方の表面に形成された配線パターンと、可塑性樹脂層と前記絶縁基板とを貫通して前記配線パターンと電気的に接続された金属バンプと、前記熱可塑性樹脂層の表面に搭載されて前記金属バンプと電気的に接続された有機材料被膜とを具えた半導体素子を有することを特徴とする半導体装置。
【請求項２】　前記熱可塑性樹脂層は 前記絶縁基板の両面にそれぞれ少なくとも一部に形成されていることを特徴とする請求項１記載の半導体装置。
【請求項３】　少なくとも表面の一部に熱可塑樹脂層が形成され、かつ、外部接続端子が形成された配線基板に電気的に接続されて前記熱可塑樹脂層の表面に搭載された半導体素子とを備えた半導体パッケージと、この半導体パッケージの前記外部接続端子を介して電気的に接続された第２の配線基板とを有することを特徴とする半導体装置。
【請求項４】　表面に熱可塑性樹脂層および半導体素子との接続端子が形成された配線基板の表面に前記半導体素子を加熱加圧して前記接続端子に電気的に接続し、かつ、前記半導体素子の前記配線基板側の面を前記熱可塑性樹脂層により接着かつ封止する工程を有することを特徴とする半導体装置の製造方法。
【請求項５】　表面に熱可塑性樹脂層および半導体素子との接続ランドが形成された配線基板の表面に半導体素子を電気的に接続すると共に前記半導体素子の前記配線基板に面した表面を前記熱可塑性樹脂層により接着・封止して半導体パッケージを形成する第１の工程と、この第１工程により形成された前記半導体パッケージを第２の配線基板の所定の位置に配置する第２の工程と、前記半導体パッケージ複数個を前記第２の配線基板上に配置された前記半導体パッケージの所定の位置へ積層配置する第３の工程と、この所定の位置に積層配置された前記半導体パッケージ相互間および前記第２の配線基板とその上に載置されている前記半導体パッケージについて、それぞれ形成されている外部接続端子間を電気的に接続する第４の工程を有することを特徴とする半導体装置の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は、半導体素子を基板にフェイスダウンして搭載する半導体装置とその製造方法に関する。
【０００２】
【従来の技術】近年、電子機器や半導体パッケージの小型化、高密度化および高機能化のために、半導体素子（ベアチップ）をフェイスダウンして配線基板の表面に直接実装を行なう、フリップチップ実装が多く用いられるようになってきた。特にＢＧＡやＣＳＰ等の半導体パッケージは、携帯電話やノートパソコンなどに使用するために、さらなる小型化や高速度での動作が求められている。それらの状況から実装性の優れているフリップチップ実装が適用されることが多い。フリップ実装による実装方式の半導体パッケージは このように携帯電話やパソコンに用いられることにより需要は拡大し、それに伴って、半導体パッケージの製造プロセスの簡略化や短時間化も望まれるようになってきた。
【０００３】図４（ａ）～（ｉ）は、従来の半導体パッケージの製造プロセスを示す工程図である。
【０００４】まず、銅箔４１がガラスエポキシやポリイミド等の絶縁基板４２の一方の表面上に形成されている銅張り板４０を用意する。（図４－（ａ））。この銅張り板４０の銅箔４１に、エッチング処理等を施すことにより配線パターン４３を形成する。（図４－（ｂ））。続いて、レーザ光の照射やエッチング処理等により、絶縁基板４２裏面に開口部４４を設ける。（図４－（ｃ））。次に、Ｃｕ＋Ｎｉ＋Ａｕ等のめっきを開口部４４に施すことにより、配線パターン４３と電気的に接続されていた外部電極４５を形成する（図４－（ｄ））。なお、ここでは、めっきにより外部電極４５を形成したが、製造プロセスの最後に、はんだボール等を形成する方法を用いることもある。続いて、回路パターン面に異方性導電膜４６を形成する。図４－（ｅ））。なお、異方性導電膜４６の代わりに異方性導電ペーストや絶縁樹脂を形成する場合もある。
【０００５】一方 半導体素子４７には電極４８が設けられており、その表面にはワイヤボンディング法などにより金ボールバンプ４９が形成されている。この金ボールバンプ４９はめっき法等により形成されている。そして、半導体素子４７の表面には内部に形成された電子回路を保護するための、ポリイミド、SiO_2、Si_3N_4又はAl_2O_3などによるパッシベーション膜５０が形成されている。この半導体素子４７を配線パターン４３の上に位置合わせする。（図４－（ｆ））。位置合せして相互に接触させた状態で １８０℃で１０秒程度の条件にて熱圧着を行なう。（図４－（ｇ））。続いて、エポキシ等の封止樹脂５１により、半導体素子４７をモールドして封止する。（図４－（ｈ））。最後に、モールド体を所定の寸法に切り出して半導体装置５５として完成させている。（図４－（ｉ））。
【０００６】
【発明が解決しようとする課題】しかしながら、上述の半導体装置の製造プロセスでは異方性導電膜を形成するプロセスが必要である。この異方性導電膜を形成するプロセスで用いる異方性導電膜や異方性導電ペーストに使用されている樹脂はエポキシを主体とした熱硬化樹脂を用いている。そのため、熱圧着時間を５秒以下のよう

に、極端に短くすることは難しい。したがって、半導体装置の製造プロセスの簡便化や時間の短縮化が非常に困難であった。

【０００７】本発明はこれらの事情にもとづいてなされたもので 簡便な製造プロセスを用いて、かつ、短時間で半導体素子を熱圧着することが可能な半導体装置及びその製造方法を提供することを目的としている。

【０００８】

【課題を解決するための手段】請求項１の発明による手段によれば、非熱可塑性樹脂で形成された絶縁基板と、この絶縁基板の一方の表面の少なくとも一部に形成された熱可塑性樹脂層と、前記絶縁基板の他方の表面に形成された配線パターンと、可塑性樹脂層と前記絶縁基板とを貫通して前記配線パターンと電気的に接続された金属バンプと、前記熱可塑性樹脂層の表面に搭載されて前記金属バンプと電気的に接続された有機材料被膜とを具えた半導体素子を有することを特徴とする半導体装置である。

【０００９】また請求項２の発明による手段によれば 前記熱可塑性樹脂層は 前記絶縁基板の両面にそれぞれ少なくとも一部に形成されていることを特徴とする半導体装置である。

【００１０】また請求項３の発明による手段によれば 少なくとも表面の一部に熱可塑樹脂層が形成され、かつ、外部接続端子が形成された配線基板に電気的に接続されて前記熱可塑樹脂層の表面に搭載された半導体素子とを備えた半導体パッケージと、この半導体パッケージの前記外部接続端子を介して電気的に接続された第２の配線基板とを有することを特徴とする半導体装置である。

【００１１】また請求項４の発明による手段によれば 表面に熱可塑性樹脂層および半導体素子との接続端子が形成された配線基板の表面に前記半導体素子を加熱加圧して前記接続端子に電気的に接続し、かつ、前記半導体素子の前記配線基板側の面を前記熱可塑性樹脂層により接着かつ封止する工程を有することを特徴とする半導体装置の製造方法である。

【００１２】また請求項５の発明による手段によれば 表面に熱可塑性樹脂層および半導体素子との接続ランドが形成された配線基板の表面に半導体素子を電気的に接続すると共に前記半導体素子の前記配線基板に面した表面を前記熱可塑性樹脂層により接着・封止して半導体パッケージを形成する第１の工程と、この第１工程により形成された前記半導体パッケージを第２の配線基板の所定の位置に配置する第２の工程と、前記半導体パッケージ複数個を前記第２の配線基板上に配置された前記半導体パッケージの所定の位置へ積層配置する第３の工程と、この所定の位置に積層配置された前記半導体パッケージ相互間および前記第２の配線基板とその上に載置されている前記半導体パッケージについて、それぞれ形成されている外部接続端子間を電気的に接続する第４の工程を有することを特徴とする半導体装置の製造方法である。

【００１３】

【発明の実施の形態】以下、本発明の半導体装置とその製造方法についての実施の形態を、図面を参照して説明する。

【００１４】まず、本発明の半導体装置の製造方法に関する第１の実施の形態について、図１（ａ）～（ｉ）に示す工程図を用いて説明する。

【００１５】非熱可塑性ポリイミド等の絶縁基板１の両面には、熱可塑ポリイミド等の熱可塑性樹脂層２ａ、２ｂが形成されている。この熱可塑性樹脂層２ａ、２ｂは絶縁基板１の表面に銅箔３を接着する目的等のために形成されたもので、絶縁基板１の製造プロセスにおいて形成されているものである。

【００１６】この実施の形態では、銅箔３は熱可塑性樹脂層２ｂの一方の面のみに形成されており、他方の面の熱可塑性樹脂層２ａは露出した構造となっている。（図１－（ａ））。

【００１７】次に、銅箔３にエッチング処理を施す等により 選択的に配線パターン４を形成する。（図１－（ｂ））。続いて、熱可塑性樹脂層２ａにレーザ光源（不図示）からのレーザ光の照射又はケミカルエッチング等の処理を施すことにより、熱可塑性樹脂層２ａと絶縁基板１との所定位置に開口部５を設ける。（図１－（ｃ））。そして、配線パターン４が形成された面側に、ポリイミドやエポキシ等の樹脂によりレジスト層６を形成する（図１－（ｄ））。その後、開口部５およびレジスト層６の形成されていない個所にＣｕまたはＮｉまたはＡｕまたはこれらのうちいくつかによる多層のめっきを施し、ＩＣとの接続用のめっきバンプ７および外部接続端子８をそれぞれ形成する。（図１－（ｅ））。

【００１８】一方 半導体素子９にはＡｌ等の電極１０が設けられており、また半導体素子９の表面には内部の電子回路を保護するための、ポリイミド等の有機材料によるパッシベーション膜１１が形成されている。この半導体素子９をめっきバンプ７の上に位置合せして搭載する。（図１－（ｆ））。

【００１９】次に 半導体素子９を配線パターン４の上に搭載した状態で 加熱工具（不図示）により、１５０～４００℃程度の加熱にて、１～５秒間の熱圧着を行なう。このとき、めっきバンプ７と半導体素子９の電極１０とはＡｕ－Ａｌの金属間化合物を形成することにより、機械的、かつ、電気的接続を得られる。また、熱可塑性樹脂層２ａの熱可塑性樹脂が溶融することにより、半導体素子９と接着すると同時に半導体素子９の表面を封止する。

【００２０】なお、めっきバンプ７と半導体素子９の電極１０のＡｕ－Ａｌ接合の際には、超音波を併用しても

よいし、半導体素子９の電極１０の上に金めっきを施したり、金ボールバンプを形成する等により、めっきバンプ７とＡｕ－Ａｕ接合を行なってもよい。また、半導体素子９の電極１０の上にはＡｕめっきもしくはＡｕボールバンプを形成し めっきバンプ７をＣｕ＋Ｓｎめっき等を施すことにより Ａｕ－Ｓｎ接続を行なってもよい。（図１－（ｇ））。

【００２１】次に、エポキシ等の封止樹脂１２により、半導体素子９をモールドして封止しする。（図１－（ｈ））。最後に、所定の寸法に切り出して半導体装置１３を完成する。（図１－（ｉ））。

【００２２】なお、上述の実施の形態では外部接続端子８をめっきにより形成しているが、はんだボールを形成することによりＢＧＡの形態にして組み立てることもできる。

【００２３】また、図２に示すように非熱可塑性ポリイミド等の絶縁基板１の一方の面に熱可塑性ポリイミド等の熱可塑性樹脂層２ａを形成し、他方の面には銅箔３が絶縁基板１に直接形成された銅張り板を用いても同様の作用を得ることができる。

【００２４】以上のようにして形成された半導体装置は、半導体素子と絶縁基板との接続の際に 別の部材を必要とせず、また、熱可塑性樹脂による短時間での接続が可能となるため、製造プロセスが簡便となり、半導体装置の生産性が非常に優れたものとなる。

【００２５】次に 本発明の半導体装置の製造方法に関する第２の実施の形態について、図３（ａ）～（ｋ）に示す工程図を用いて説明する。

【００２６】非熱可塑性ポリイミド等による絶縁基板２１の一方の表面には、熱可塑ポリイミド等の熱可塑性樹脂層２２が形成されており、絶縁基板２１の他方の表面には銅箔２３が形成されている。（図３－（ａ））。

【００２７】次に、銅箔２３にエッチング処理を施す等により 選択的に配線パターン２４を形成する。（図３－（ｂ））。続いて、熱可塑性樹脂層２２が形成された側から、レーザ光源（不図示）によるレーザ光の照射やケミカルエッチングなどにより、熱可塑性樹脂層２２と絶縁基板２１との所定箇所に開口部２５を設ける。（図３－（ｃ））。

【００２８】そして、配線パターン２の表面に、ポリイミドやエポキシ等の樹脂によりレジスト開口部２７を有するレジスト層２６を形成する。（図１－（ｄ））。続いて、開口部２５およびレジスト開口部２７にＣｕ＋Ｎｉ＋Ａｕ等のめっきを施し、半導体素子との接続用のめっきバンプ２８および積層接続用端子２９を形成する。（図３－（ｅ））。

【００２９】一方 半導体素子３０は、積層用に５０μｍ厚程度に薄く研削されたもの等を用いており、半導体素子３０にはＡｌ等の電極３１が、また半導体素子３０の表面には内部に形成された電子回路を保護するための、ポリイミド等の有機材料によるパッシベーション膜３２が形成されている。この半導体素子３０をめっきバンプ２８の上に位置合せして搭載する。（図３－（ｆ））。

【００３０】半導体素子３０を配線パターン２４の上に搭載した状態で １５０℃～４００℃程度の加熱にて、１～５秒間の熱圧着を行なう。このとき、めっきバンプ２８と半導体素子３０の電極３１とはＡｕ－Ａｌの金属間化合物を形成することにより、機械的、かつ、電気的接続を得られる。また、熱可塑性樹脂層２２の熱可塑性樹脂が溶融することにより、半導体素子３０と接着すると同時に、半導体素子３０の表面を封止する。これにより半導体パッケージ３３を形成する。

【００３１】なお、めっきバンプ２８と半導体素子３０の電極３１のＡｕ－Ａｌ接合には超音波を併用してもよいし、半導体素子３０の電極３１の上に金めっきを施したり、金ボールバンプを形成する等により、めっきバンプ２８とＡｕ－Ａｕ接合を行なってもよい。また、半導体素子９の電極１０の上にはＡｕめっきもしくはＡｕボールバンプを形成し めっきバンプ７をＣｕ＋Ｓｎめっき等を施すことにより Ａｕ－Ｓｎ接続を行なってもよい。（図３－（ｇ））。

【００３２】形成された半導体パッケージ３３を複数枚位置合せして積層し、第２の絶縁基板３４の第１の面３４ａに搭載する。第２の絶縁基板３４の第２の面３４ｂ（第１の面の反対側の面）には配線パターン３５が形成されており、第２の絶縁基板３４は半導体パッケージ３３と電気的接続を行なうための開口部３６が設けられている。なお、開口部３６に露出した配線パターン３５には金めっき等の処理が施されている。また、配線パターン３５の表面にはレジスト層３７が形成されており、レジスト層３７にはレジスト開口部３８が設けられている。（図３－（ｈ））。

【００３３】続いて、積層した半導体パッケージ３３の積層接続用端子２９の部分を、加熱ツール３９を用いて１５０℃～４００℃程度の加熱して、１～５秒間の熱圧着を行なう。この熱圧着により半導体パッケージ３３の積層接続用端子２９同士、および、半導体パッケージ３３の積層接続用端子２９と第２の絶縁基板３４の開口部３６に露出した配線パターン３５のめっき層とで金属間化合物を形成して、電気的、かつ、機械的接続を行なうと同時に、熱可塑性樹脂層２２が溶融することにより、各半導体パッケージ３３同士、および、半導体パッケージ３３と第２の絶縁基板３４とが接着固定される。（図３－（ｉ））。

【００３４】次に 第２の絶縁基板３４に設けたレジスト開口部３８にはんだボール４０を形成する。このはんだボール４０は、はんだペーストを印刷後にリフローはんだプロセスを行なうことによって形成しても良いし、はんだボール４０をマウント後、リフロープロセスを行

なって形成しても良い。なお、この実施の形態では 第２の絶縁基板３４には、片面側のみに配線パターン３５が形成されているが、配線パターン３５を第２の絶縁基板３４の両面に形成しても、また多層に形成したものを用いても良い。（図３－（ｊ））。

【００３５】次に、エポキシ等の封止樹脂４２により、形成した半導体パッケージの積層体をモールドして封止し、積層半導体パッケージによる半導体装置を形成する。（図１－（ｋ））。

【００３６】以上のようにして形成された積層半導体パッケージによる半導体装置は、半導体素子と絶縁基板との接続の際や、半導体パッケージを積層して接続する際に、別部材を必要とせず、また短時間での接続が可能となるため、製造プロセスか簡便となり、半導体装置の生産性が非常に優れている。

【００３７】

【発明の効果】本発明によれば、生産性の優れたの半導体装置及びその製造方法を得ることができる。

【図面の簡単な説明】

【図１】（ａ）～（ｉ）は、本発明の第１の実施の形態の工程図。

【図２】銅張り板の変形例の断面図。

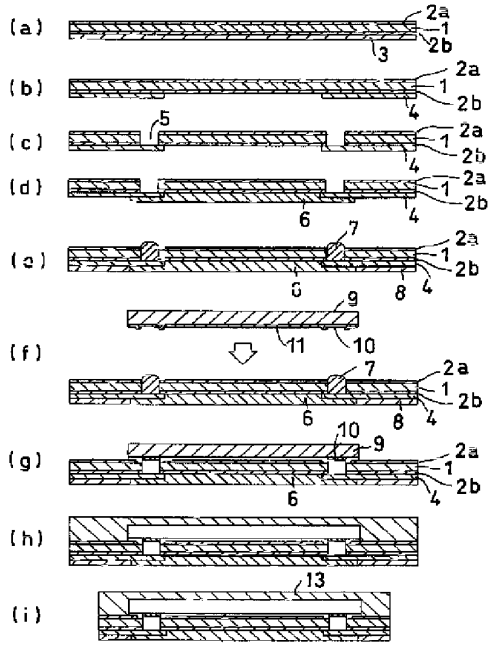
【図３】（ａ）～（ｋ）は、本発明の第２の実施の形態の工程図。

【図４】（ａ）～（ｉ）は、従来の半導体パッケージの製造プロセスを示す工程図。

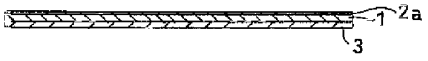
【符号の説明】

１、２１…絶縁基板、２ａ、２ｂ、２２…熱可塑性樹脂層、３、２３…銅箔、４、２４…配線パターン、８…外部接続端子、９、３０…半導体素子、１３…半導体装置、２９…積層接続用端子、３３…半導体パッケージ、３４…第２の配線基板

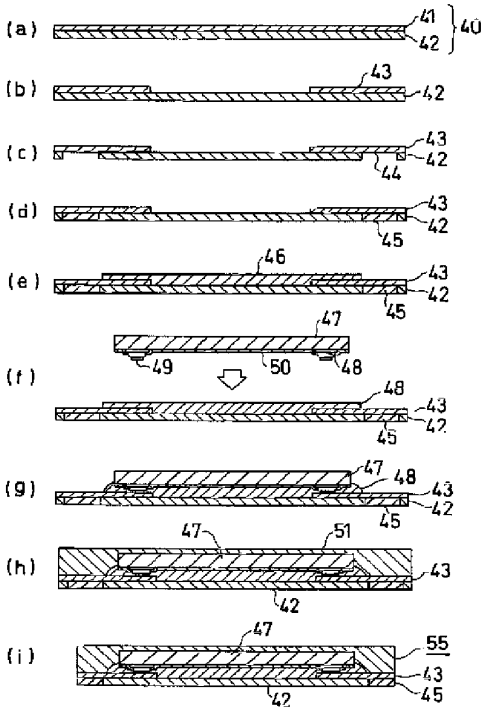
【図１】



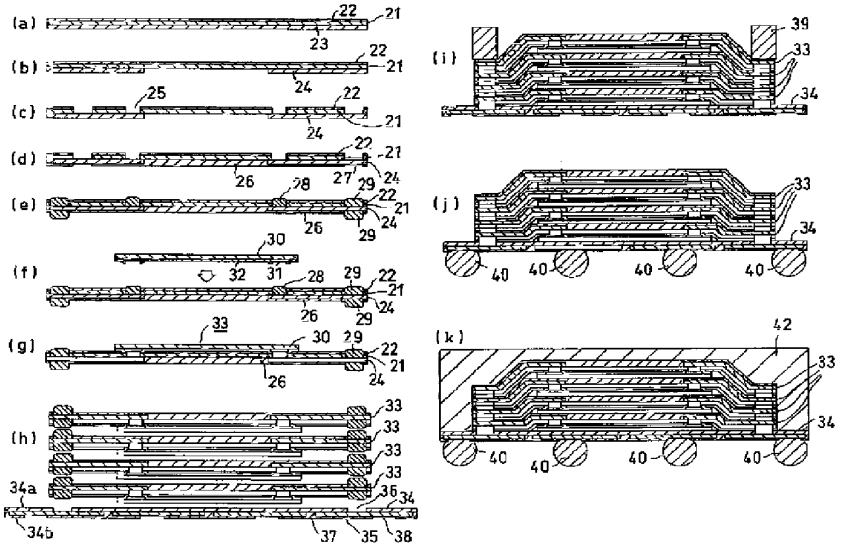
【図２】



【図４】



【図３】



フロントページの続き

(51)Int.Cl.[7]	識別記号	ＦＩ	(参考)
Ｈ０５Ｋ　1/18			

(72)発明者　斉藤　康人
東京都青梅市新町３丁目３番地の１　東芝デジタルメディアエンジニアリング株式会社内

(72)発明者　井口　知洋
神奈川県横浜市磯子区新磯子町33番地　株式会社東芝生産技術センター内

Ｆターム(参考)　5E336 AA04 BB02 BB03 BB15 BC32
CC34 DD22 DD32 EE03 EE05
GG10 GG12 GG16
5F044 KK02 KK09 KK17 KK19 LL11
RR03 RR16

MACHINE TRANSLATION OF JP2002158307

1. The base material which was formed with the non thermoplastic resin
With, formation at least to the portion of the surface of one side of this base material
On the other surface of thermoplastic resin layer and the aforementioned base material which are done
Wiring pattern and plasticity resin layer and the aforementioned insulated basis which were formed
Penetrating with the board, the aforementioned wiring pattern it was connected electrically
Being loaded by the surface of metal bump and the aforementioned thermoplastic resin layer
The aforementioned metal bump the organic material tunic which is connected electrically
The semiconductor equipment which features that it possesses the semiconductor device which it has
Position.

2. As for the aforementioned thermoplastic resin layer <HAN> and </HAN> the aforementioned base material
In both sides each one being formed to part at least
The semiconductor device of the claim 1 statement which is made feature.

3. At least in portion of the surface thermal plastic resin layer
It was formed, at the same time, in the wiring baseplate where the external connected terminal was formed
Being connected electrically, it is loaded by the surface of the aforementioned thermal plastic resin layer,
It is the semiconductor package and this half which have the semiconductor device derived
The connected terminal outside the description above of the body package through, you connect electrically
The half which features that it possesses the 2nd wiring baseplate which is done derived
Body device.

4. On surface thermoplastic resin layer and semiconductor device
With on the surface of the wiring baseplate where the connected terminal was formed the aforementioned semiconductor
Heating pressurizing the element, to connect to the aforementioned connected terminal electrically?
Surface of the aforementioned wiring baseplate side of the aforementioned semiconductor device the aforementioned thermal plasticity
Possessing the process which it glues and seals with characteristic resin layer and special
Production method of the semiconductor device which is made collection/symbol.

5. On surface thermoplastic resin layer and semiconductor device
With on the surface of the wiring baseplate where the connected land was formed the semiconductor element
As the child is connected electrically, the aforementioned wiring of the aforementioned semiconductor device
The surface which confronts in the baseplate with the aforementioned thermoplastic resin layer the gluing seal
Stopping, the 1st process which forms the semiconductor package and, this
The aforementioned semiconductor package which was formed by 1st process 2nd
2nd process and the description above which arrange in specified position of the wiring baseplate
Plural semiconductor packages arrangement on the aforementioned 2nd wiring baseplate
It laminates arranges to specified position of the aforementioned semiconductor package which is done
The description above which it is laminated is arranged in [ru] 3rd process and this specified position
Between semiconductor package mutual and the aforementioned 2nd wiring baseplate and [so]

About the aforementioned semiconductor package which is mounted on,
Outside it is formed respectively connecting between the connected terminals electrically
The semiconductor device which features that it possesses the 4th process which it does
Production method.
DESC (JP2002158307)
[0001] <The technical field to which invention belongs>As for this invention, semiconductor device
baseplate
The face knocking down, the semiconductor device and the production one which it loads
It regards law.
[0002] < Background of the Invention>Recently, the electronic equipment and the semiconductor package
small
For type conversion, densification and high function, semiconductor device
(The face knocking down [be] [achitsupu]), on the surface of the wiring baseplate
Direct mounting is done, flip chip mounting is many using
It became the [ru] way. The semiconductor pas of especially BGA and CSP etc
As for [tsukeji], you use for the portable telephone and the notebook PC etc
For the sake of, operation at further miniaturization and high velocity being required
It is. [huritsupuchi] where mounted characteristic is superior from those circumstances
There is many a thing where [tsupu] mounting is applied. It is due to flip mounting
As for semiconductor package of mounted system <HAN>, </HAN> this way portable telephone and
To expand demand by being used for the personal computer, to that
Accompanying, simplification of production process of the semiconductor package and it is short
It reached the point where also time conversion is desired.
[0003] As for figure 4 (a) - (i), former semiconductor [patsu]
It is the schedule drawing which shows the production process of the cage.
[0004] First, copper foil 41 glass epoxy and [porii]
It is formed on the surface of one side of base material 42 of [mido] and the like
Copper Hari board 40 is prepared. (Figure 4- (a)). This copper Hari
In administering etching processing and the like to copper foil 41 of [ri] board 40,
From wiring pattern 43 is formed. (Figure 4- (b)).
Consequently, with the lighting and etching processing etc of laser light, stopping
Open part 44 is provided on edge baseplate 42 back. (Figure 4-
(c)). Next, the plating Cu+Ni+Au and the like open part
Wiring pattern 43 electric by administering to 44, connection
Outside continuation it is done electrode 45 is formed (the figure 4-
(d)). Furthermore, here, with plating external electrode 45
It formed, but lastly, the solder ball and the like of production process
There are also times when the method of forming is used. Consequently, circuit [pata]
Anisotropic electric conduction membrane 46 is formed on the [n] surface. Figure 4-
(e)). Furthermore, in place of anisotropic electric conduction membrane 46 anisotropy derived
When electric [pe] [suto] and the insulated resin is formed, it is.
[0005] On the one hand <HAN> and </HAN> in semiconductor device 47 electrode 48 providing
And others [re] [te] time, on that surface in wire bonding method and the like
From gold ball bump 49 is formed. This gold baud
[rubanpu] 49 is formed by plated method and the like. The [so] it does,

On the surface of the [te] and semiconductor device 47 the electronic time which was formed inside
The polyimide in order to protect the road, SiO [2] and Si [3] N
[4] Or by Al [2] O [3] and the like the [patsushi] [be] [shiyon] membrane 50
It is formed. This semiconductor device 47 wiring pattern 4
The alignment it does on 3. (Figure 4- (f)). Alignment
Doing, when it is made to contact mutually with <HAN> and </HAN>180.deg.C 10 seconds
At condition hot pressing arrival is done. (Figure 4- (g)). Consequently,
With seal resin such as epoxy 51, semiconductor device 47 [mo]
[rudo] doing, it seals. (Figure 4- (h)). Lastly, Mho
Quarrying out the [rudo] body in specified size, as a semiconductor device 55
You have made complete. (Figure 4- (i)).
[0006] <Problem to be solved by the invention,>But, description above
With production process of the semiconductor device the anisotropic electric conduction membrane is formed
Process is necessary. [pu] which forms this anisotropic electric conduction membrane
In anisotropic electric conduction membrane and anisotropic electric conduction [pe] [suto] which are used with [rosesu] use
Business as for the resin which is done the thermosetting conversion resin which designates epoxy as subject
It has used. Because of that, hot pressing arrival time like 5 seconds less than
It is difficult to make short extremely. Therefore, semiconductor
Simplification of production process of device and reduction of time very difficulty
It was difficulty.
[0007] Be able to do this invention on the basis of these circumstances
It is with the thing <HAN> and </HAN> making use of simple production process, at the same time, brief
So heat the semiconductor device whose it is possible to bond the semiconductor device, and
It designates that the production method is offered as purpose.
[0008] <Measures to solve the problem>The hand by the invention of claim 1
According to the step, the base material which was formed with the non thermoplastic resin and,
The surface of one side of this base material it is formed by part at least,
It is formation to the other surface of thermoplastic resin layer and the aforementioned base material
Wiring pattern and plasticity resin layer and the aforementioned base material which are done
Penetrating, the aforementioned wiring pattern the metal which is connected electrically
Being loaded by the surface of bump and the aforementioned thermoplastic resin layer, the description above
Metal bump the organic material tunic which is connected electrically having
It is with the semiconductor device which features that it possesses the semiconductor device the [a] [ru].
[0009] In addition according to the expedient due to the invention of claim 2 <HAN> and </HAN>
As for the aforementioned thermoplastic resin layer <HAN> and </HAN> in both sides of the aforementioned base material each one
The half which features that it is formed to part at least derived
It is the body device.
[0010] In addition according to the expedient due to the invention of claim 3 <HAN> and </HAN>
At least, thermal plastic resin layer to be formed by the portion of the surface?

You connect to the wiring baseplate where the external connected terminal was formed electrically
Being done, the semiconductor device which is loaded onto the surface of the aforementioned thermal plastic resin layer
With the semiconductor package and this semiconductor package which it has
Through the connected terminal outside the description above, 2nd it is connected electrically
With the semiconductor device which features that it possesses the wiring baseplate the [a]
[ru].
[0011] In addition according to the expedient due to the invention of claim 4 <HAN> and </HAN>
On surface connected terminal of thermoplastic resin layer and semiconductor device
On the surface of the wiring baseplate which was formed the aforementioned semiconductor device heating pressurization
Doing, to connect to the aforementioned connected terminal electrically, at the same time, the aforementioned semiconductor
Surface of the aforementioned wiring baseplate side of element depending on the aforementioned thermoplastic resin layer
The semiconductor which features that it possesses the process which it glues and seals and
It is production method of the device.
[0012] In addition according to the expedient due to the invention of claim 5 <HAN> and </HAN>
On surface connected land of thermoplastic resin layer and semiconductor device
The semiconductor device electric on the surface of the wiring baseplate which was formed connection
As continuation it does, the chart which confronts in the aforementioned wiring baseplate of the aforementioned semiconductor device
Gluing & sealing the surface with the aforementioned thermoplastic resin layer, the semiconductor pas
Depending on 1st process and this 1st process which form [tsukeji]
The aforementioned semiconductor package which was formed the place of the 2nd wiring baseplate
2nd process and aforementioned semiconductor [patsuke] which are arranged in fixed position
[ji] plural the aforementioned half which is arranged on the aforementioned 2nd wiring baseplate derived
To specified position of the body package the 3rd process which it laminates arranges
With, aforementioned semiconductor [patsuke] which it is laminated is arranged in this specified position
Between [ji] mutual and in the aforementioned 2nd wiring baseplate and on that mount
Concerning the aforementioned semiconductor package which the [re] [te] is, the respective formation
Outside it is done the 4th manufacture which connects between the connected terminals electrically
About with production method of the semiconductor device which features that it possesses the [a]
[ru].
[0013] <Form of execution of invention>Below, semiconductor device of this invention and that
Form of execution concerning production method, referring to the plan, you explain
It does.
[0014] First, in production method of semiconductor device of this invention Seki
Concerning the form of the 1st execution which it does, in the figure 1 (a) - (i)
You explain making use of the schedule drawing which shows.
[0015] Both of base material 1 of non thermoplastic polyimide and the like
On surface, thermoplastic resin layer 2a of thermal plastic polyimide and the like, 2
b is formed. As for this thermoplastic resin layer 2a and 2b
Because it is the purpose and the like which glues copper foil 3 to the surface of base material 1 shape
Being something which is formed, at the time of production processing of base material 1 shape

It is something which is formed.
[0016] With form of this execution, as for copper foil 3 thermoplastic tree
We to be formed by only the aspect of one side of fat layer 2b, the other aspect
Thermoplastic resin layer 2a is designed to be the structure which is exposed. (Figure
1- (a)).
[0017] Next, etching processing is administered to copper foil 3 e.g.,
Compared to <HAN> and </HAN> wiring pattern 4 is formed selectively. (Figure 1-
(b)). Consequently, in thermoplastic resin layer 2a laser illuminant
From (non- illustration) lighting or [kemikaruetsuchin] of laser light
By administering the processing of [gu] and the like, thermoplastic resin layer 2a and stopping
Open part 5 is provided in specified position of edge baseplate 1. (Figure 1-
(c)). And, the surface side where wiring pattern 4 was formed
With resin such as polyimide and epoxy resist layer 6
It forms (the figure 1- (d)). After that, open part 5 and
In the place where resist layer 6 is not formed Cu or Ni
Or Au or several among these, due to the [me] of the many layer
To administer the [tsu] coming, plating bump 7 for IC connection and outside
Section connected terminal 8 is formed respectively. (Figure 1- (e)).
[0018] On the one hand <HAN> and </HAN> in semiconductor device 9 the electrode 10 of Al and the like
To be provided, in addition on the surface of semiconductor device 9 inside
In organic material such as polyimide in order to protect the electronic circuit
The [patsushi] [be] [shiyon] membrane 11 which depends is formed. This half
Position doing to adjust conductive element 9 in regard to plating bump, 7 it loads
[ru]. (Figure 1- (f)).
[0019] Next <HAN> and </HAN> semiconductor device 9 with respect to wiring pattern 4
<HAN> and </HAN> with the heating tool (non- illustration) when it is loaded, 150
At heating the -400.deg.C, hot pressing arrival between 1-5 seconds line
[u]. This time, plating bump electrode 1 of 7 and semiconductor device 9
0 in forming the intermetallic of Au-Al
The [ri], mechanical, at the same time, electric connection can be obtained. In addition, thermal yes
Depending on the thing where the thermoplastic resin of plastic resin layer 2a melts,
When it glues with semiconductor device 9, simultaneously the surface of semiconductor device 9
It seals.
[0020] Furthermore, plating bump electricity of 7 and semiconductor device 9
Extremely, the case of Au-Al connecting of 10, jointly using the ultra wave
It is good and, on electrode 10 of semiconductor device 9 administering the gold-plating
With, the plated van e.g., is the [ri], gold ball bump is formed,
[pu] it is possible to do 7 and Au-Au connecting. In addition, semiconductor
On electrode 10 of element 9 Au plating or Au baud
To form [rubanpu], <HAN> and </HAN> plating bump 7 Cu+Sn plating
<HAN>, doing </HAN>Au-Sn connection, and so on by administering
It is. (Figure 1- (g)).
[0021] Next, in seal resin such as epoxy 12 depending,
Molding semiconductor device 9, it does to seal. (Figure 1-
(h)). Lastly, quarrying out in specified size, the semiconductor device

13 is completed. (Figure 1- (i)).
[0022] Furthermore, with form of the above-mentioned execution external connected terminal
8 is formed with plating, but forming the solder ball
With the fact that it assembles by doing in the form of BGA
It finishes.
[0023] In addition, way it shows in Figure 2, non thermoplastic [porii]
On aspect of one side of base material 1 of [mido] and the like thermoplastic polyimide and the like
To form thermoplastic resin layer 2a, on the other aspect copper foil 3
Making use of the copper Hari board which was formed to base material 1 directly similar
It can obtain action.
[0024] The semiconductor device which was formed like above
The case of connection with the semiconductor device and base material <HAN> and classified by </HAN>
component
Not to need, in addition, connection at brief by the thermoplastic resin
Because it becomes possible, production process to become simple, the semiconductor
It becomes something where productivity of the device is superior very.
[0025] Next <HAN> and </HAN> in production method of semiconductor device of this invention Seki
Concerning the form of the 2nd execution which it does, in the figure 3 (a) - (k)
You explain making use of the schedule drawing which shows.
[0026] The base material 2 by non thermoplastic polyimide and the like
On surface of one side of 1, thermoplastic tree such as thermal plastic polyimide
Fat layer 22 to be formed, the other surface of base material 21
Copper foil 23 is formed. (Figure 3- (a)).
[0027] E.g., next, etching processing is administered to copper foil 23
<HAN> and </HAN> wiring pattern 24 is formed selectively with. (Figure 3
- (b)). Consequently, thermoplastic resin layer 22 was formed
From side, lighting of the laser light by the laser illuminant (non- illustration) and
With chemical etching and the like, thermoplastic resin layer 22
Open part 25 is provided in specified place of base material 21. (Figure
3- (c)).
[0028] And, on surface of wiring pattern 2, [porii]
With resin such as [mido] and epoxy resist open part 27 the possession
The resist layer 26 which it does is formed. (Figure 1- (d)). Continuation
Being, in open part 25 and resist open part 27 Cu+N
To administer the plating i+Au and the like, the [me] for connection with the semiconductor device
[tsu] coming [banbu] 28 and terminal 29 for lamination connection is formed.
(Figure 3- (e)).
[0029] On the one hand <HAN> and </HAN> semiconductor device 30 in one for lamination 50.micro.
We to use those and the like which are ground to m thickness thin, the semiconductor
In element 30 the electrode 31 of Al and the like, in addition semiconductor device 30
In order to protect the electronic circuit which was formed inside on the surface,
The [patsushi] [be] [shiyon] membrane polyimide and the like by the organic material
32 is formed. This semiconductor device 30 plated [ba]
Position doing to adjust on [nbu], 28 it loads. (Figure 3-
(f)).

[0030] Semiconductor device 30 with respect to wiring pattern 24
When it is loaded <HAN> and </HAN>150.deg.C-400.deg.C at heating,
Hot pressing arrival between 1-5 seconds is done. This time, plating bump
Electrode 31 of 28 and semiconductor device 30 the metal of Au-Al
By forming between chemical compound, mechanical, at the same time, electric
Connection can be obtained. In addition, thermoplastic of thermoplastic resin layer 22
It glues with semiconductor device 30 due to the fact that the resin melts,
With simultaneously, the surface of semiconductor device 30 is sealed. In this
[ri] semiconductor package 33 is formed.
[0031] Furthermore, plating bump 28 and semiconductor device 30
Jointly using the ultra wave to Au-Al connecting of electrode 31,
To do to be, on electrode 31 of semiconductor device 30 administering the gold-plating
With, the plated van e.g., is the [ri], gold ball bump is formed,
[pu] it is possible to do 28 and Au-Au connecting. In addition, half derived
On electrode 10 of body element 9 Au plating or Au [bo]
To form [rubanpu], <HAN> and </HAN> plating bump 7 the Cu+Sn [me] [tsu]
<HAN>, doing </HAN>Au-Sn connection, by administering coming and the like
It is. (Figure 3- (g)).
[0032] Semiconductor packages 33 which were formed plural
Position doing to adjust, to laminate, the 1st aspect 3 of 2nd base material 34
It loads onto 4a. 2nd aspect 34b of 2nd base material 34
On (surface of opposite side of 1st aspect) wiring pattern 35 forms
To be done, as for 2nd base material 34 semiconductor package 3
3 open part 36 in order to do electric connection being provided
It is. Furthermore, in the wiring pattern 35 which is exposed in open part 36
Processing such as gold-plating is administered. In addition, wiring putter
Resist layer 37 to be formed by the surface of [n] 35, [re]
Resist open part 38 to be provided in gist layer 37,
[ru]. (Figure 3- (h)).
[0033] Consequently, the semiconductor package 33 which is laminated
The part of terminal 29 for lamination connection, making use of heating tool 39
The 150.deg.C-400.deg.C heating, hot pressing between 1-5 seconds
Arrival is done. With this hot pressing arrival semiconductor package 33
Terminal 29 for lamination connection, and, semiconductor [batsukeji] 3
Terminal open part of 29 for lamination connection of 3 and 2nd base material 34
At plated layer of the wiring pattern 35 which is exposed in 36 between the metal
Forming chemical compound, electric, at the same time, mechanical connection is done
With simultaneously, depending on the thing where thermoplastic resin layer 22 melts,
Each semiconductor package 33, and, semiconductor [patsuke]
[ji] 33 and 2nd base material 34 glues is locked. (Figure
3- (i)).
[0034] Next <HAN> and </HAN> [rejisu] which is provided in 2nd base material 34
Solder ball 40 is formed in [to] open part 38. As for this it is
As for the ball 40 which is, solder [pe] [suto] after the printing as for reflow
It is good forming it is by doing the process which is and,

Solder ball 40 after the mount, reflow process line
Becoming, it is good forming. Furthermore, with form of this execution <HAN> and </HAN>
In base material 34 of 2, on only single sided side wiring pattern 35
Is formed, but wiring pattern 35 the 2nd insulated basis
Forming in both sides of board 34, those which in addition it formed in many layer
It is good using. (Figure 3- (j)).
[0035] Next, in seal resin such as epoxy 42 depending,
Molding the layered product of the semiconductor package which it formed, it seals
It does, it forms the semiconductor device by the lamination semiconductor package
[ru]. (Figure 1- (k)).
[0036] The lamination semiconductor pas which was formed like above
As for the semiconductor device by [tsukeji], the semiconductor device and the base material
The case of connection and, laminating the semiconductor package, the occasion where you connect
Another component not to need, in addition connection at brief possibility
Because it becomes, production process to become simple, raw of the semiconductor device
Product characteristic is superior very.
[0037] < Advantages of Invention >>According to this invention, productivity it was superior the half derived
The body device and it is produced to obtain its production method.

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報**（Ａ）　(11)特許出願公開番号
特開2003－37205
（P2003－37205A）
(43)公開日　平成15年２月７日(2003.2.7)

(51)Int.Cl.⁷	識別記号	Ｆ Ｉ		テーマコード（参考）
Ｈ０１Ｌ　23/12		Ｂ４２Ｄ　15/10	５２１	２Ｃ００５
Ｂ４２Ｄ　15/10	５２１	Ｈ０５Ｋ　3/46	Ｇ	５Ｂ０３５
Ｇ０６Ｋ　19/077			Ｎ	５Ｅ３４６
Ｈ０１Ｌ　25/065			Ｑ	
25/07		Ｈ０１Ｌ　23/12	Ｎ	

審査請求　未請求　請求項の数15　ＯＬ　（全 12 頁）　最終頁に続く

(21)出願番号　特願2001－222050(P2001－222050)

(22)出願日　平成13年７月23日(2001.7.23)

(71)出願人　000002185
ソニー株式会社
東京都品川区北品川６丁目７番35号

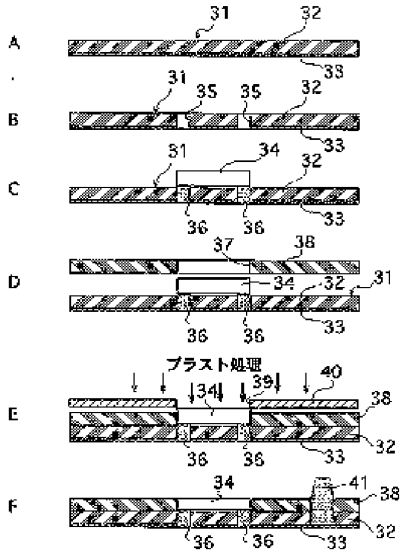
(72)発明者　小川　稔
東京都品川区北品川６丁目７番35号　ソニーイーエムシーエス株式会社内

(74)代理人　100072350
弁理士　飯阪　泰雄

最終頁に続く

(54)【発明の名称】　ＩＣチップ内蔵多層基板及びその製造方法

(57)【要約】
【課題】　ＩＣチップの薄膜化を良好に行えるＩＣチップ内蔵多層基板及びその製造方法を提供すること
【解決手段】　ＩＣチップと、前記ＩＣチップを埋め込むように実装されたＩＣチップ実装基板と、前記ＩＣチップ実装基板のチップ埋込面側に設けられた基板間絶縁層と、前記ＩＣチップ実装基板のチップ非埋込面側に設けられた外層用の回路基板と、前記外層用の回路基板に対して前記ＩＣチップ実装基板及び基板間絶縁層を挟み込むように積層された内層用の回路基板とを備え、前記ＩＣチップ実装基板は、チップ埋込時に、所定の厚みのＩＣチップを実装基板の厚みに納え込むようにプラスティングにより薄膜化して成る。



1

【特許請求の範囲】
【請求項１】　ＩＣチップと、
前記ＩＣチップを埋め込むように実装されたＩＣチップ実装基板と、
前記ＩＣチップ実装基板のチップ埋込面側に設けられた基板間絶縁層と、
前記ＩＣチップ実装基板のチップ非埋込面側に設けられた外層用の回路基板と、
前記外層用の回路基板に対して前記ＩＣチップ実装基板及び基板間絶縁層を挟み込むように積層された内層用の回路基板とを備え、
前記ＩＣチップ実装基板は、
チップ埋込時に、所定の厚みのＩＣチップを実装基板の厚みに揃え込むようにプラスティングにより薄膜化して成ることを特徴とするＩＣチップ内蔵多層基板。
【請求項２】　回路基板上にＩＣチップを実装し、該ＩＣチップを絶縁層により閉じこめて該回路基板を順次積層するＩＣチップ内蔵多層基板の製造方法において、
前記絶縁層を貫通して実装される前記ＩＣチップの所定の部分を前記回路基板の厚みに揃え込むようにプラスティングにより薄膜化する工程と、
前記ＩＣチップの高さを低減させた後に、ＩＣチップ実装基板と他の回路基板とを積層し多層化する工程とを有することを特徴とするＩＣチップ内蔵多層基板の製造方法。
【請求項３】　前記ＩＣチップは回路素子非形成領域を有し、
前記回路素子非形成領域の側に所定の厚みの薄膜化しろを有することを特徴とする請求項２に記載のＩＣチップ内蔵多層基板の製造方法。
【請求項４】　少なくとも、配線が施される外層用の回路基板と内層用の回路基板との間に、前記ＩＣチップ実装基板及び基板間絶縁層を挟んで積層し多層化することを特徴とする請求項２に記載のＩＣチップ内蔵多層基板の製造方法。
【請求項５】　回路基板の絶縁層内にＩＣチップを閉じこめて実装し、該回路基板を順次積層するＩＣチップ内蔵多層基板の製造方法において、
所望の厚みの回路基板の絶縁層内にＩＣチップ埋設用の穴部を形成する工程と、
前記穴部の深さよりも高い厚みのＩＣチップを埋め込んで実装する工程と、
前記穴部から突出したＩＣチップの所定部分を前記回路基板の厚みに揃え込むようにプラスティングにより薄膜化して前記ＩＣチップ実装基板を形成する工程とを有することを特徴とするＩＣチップ内蔵多層基板の製造方法。
【請求項６】　前記ＩＣチップは回路素子非形成領域を有し、
前記回路素子非形成領域の側に所定の厚みの薄膜化しろ

2

を有することを特徴とする請求項５に記載のＩＣチップ内蔵多層基板の製造方法。
【請求項７】　前記穴部は、
前記ＩＣチップの実装用の回路基板と、
前記ＩＣチップの厚みよりも浅い深さの開口部を有した絶縁層とを接合して構成されることを特徴とする請求項５に記載のＩＣチップ内蔵多層基板の製造方法。
【請求項８】　少なくとも、配線が施される外層用の回路基板と内層用の回路基板との間に、前記ＩＣチップ実装基板及び基板間絶縁層を挟んで積層し多層化することを特徴とする請求項５に記載のＩＣチップ内蔵多層基板の製造方法。
【請求項９】　前記ＩＣチップ実装基板のチップ埋込面側に基板間用の絶縁部材を形成する工程と、
前記外層用の回路基板に対して前記ＩＣチップ実装基板及び基板間用の絶縁部材を挟み込むように内層用の回路基板を形成する工程とを有することを特徴とする請求項８に記載のＩＣチップ内蔵多層基板の製造方法。
【請求項１０】　前記外層用の回路基板、ＩＣチップ実装基板、基板間用の絶縁部材及び内層用の回路基板とを同一の熱処理工程により加圧熱接合することを特徴とする請求項８に記載のＩＣチップ内蔵多層基板の製造方法。
【請求項１１】　前記ＩＣチップを実装してＩＣチップ実装基板を形成した後に、
前記ＩＣチップ実装基板毎に電気的な検査を行うことを特徴とする請求項８に記載のＩＣチップ内蔵多層基板の製造方法。
【請求項１２】　前記ＩＣチップを実装したＩＣチップ実装基板から動作検査用の電極を引き出すことを特徴とする請求項８に記載のＩＣチップ内蔵多層基板の製造方法。
【請求項１３】　前記動作検査用の電極は、
内層用の回路基板と電気的に接続するための電極を兼用することを特徴とする請求項１２に記載のＩＣチップ内蔵多層基板の製造方法。
【請求項１４】　前記プラスティングはサンドブラストであることを特徴とする請求項１～１３のいずれかに記載のＩＣチップ内蔵多層基板の製造方法。
【請求項１５】　前記絶縁層は熱可塑性樹脂で成り、一方の面に転写金型により配線パターンを形成し、該配線パターンに導電ペーストを埋めたことを特徴とする請求項１４に記載のＩＣチップ内蔵多層基板の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は、メモリやＣＰＵなどの半導体集積回路チップ（以下でＩＣチップという）を高密度実装した携帯端末装置などに適用して好適なＩＣチップ内蔵多層基板及びその製造方法に関する。詳しくは、所定の厚みのＩＣチップを実装基板の厚みに揃え

http://www4.ipdl.inpit.go.jp/Tokujitu/tjcontentpaj.ipdl?N0000=21&N0...

込むように薄膜化してＩＣチップ実装基板を構成し、このＩＣチップ実装基板を基板間絶縁層と共に、外層用の回路基板と内層用の回路基板との間に挟んで積層して、更なるＩＣチップの実装面積を積層方向に立体的に増加できるようにすると共に、ＩＣチップを高密度に実装できるようにしたものである。

【０００２】

【従来の技術】近年、携帯電話機や、携帯用のパーソナルコンピュータなどの携帯端末装置に、ベアーチップ状態の半導体集積回路装置（以下単にＩＣチップという）を実装したＩＣチップ実装基板が使用されるようになってきた。この種の実装基板には個々のＩＣチップがモールド成形されることなく、複数のＩＣチップ、抵抗ならびにコンデンサなどの電子部品が混在して平面的に実装されている。

【０００３】ところで、従来方式のＩＣチップ実装基板によれば、ＩＣチップが平面的に並べて配置されるので、電子部品の高密度な実装要求に対して、部品搭載面積に限界を生ずるに至っている。従って、近年のプリント配線板の小型化、つまり、電子機器の小型化の要求に満足できなくなってきた。

【０００４】この種の問題に対して、技術文献である特開平２－１６４０９６号公報の「多層電子回路基板とその製造方法」には、電子回路を構成する回路素子をプリント配線基板の層間に内蔵し、電子回路の高密度な実装を図ることが記載されている。また、特開平５－３４３８５６号公報の「多層プリント配線基板及びその製造方法」には、電子回路などを構成するハイブリッドモジュールをプリント配線基板間に挟み込み、電子回路などを高密度に実装することが記載されている。

【０００５】更に、特開平３－１４２９３号公報の「多層高密度実装モジュール」には、電子回路などを中間層に内蔵したプリント配線基板を積層する際に、ハンダバンプと接する面に白金、あるいはパラジウムメッキを施すことが記載されている。いずれの技術文献も、予め薄膜化されたＩＣチップを実装している。ＩＣチップ単品での薄膜化には限度があり、更なるＩＣチップの高密度実装の妨げとなっている。

【０００６】そこで、本出願人は先にこのような従来の問題点を解決するために、当該多層回路基板の薄型化方法を工夫して、更なるＩＣチップの実装面積を積層方向に立体的に増加できるようにすると共に、ＩＣチップを高密度に実装できるようにしたＩＣチップ内蔵多層基板及びその製造方法を提供することを目的として、ＩＣチップと、このＩＣチップを埋め込むように実装されたＩＣチップ実装基板と、このＩＣチップ実装基板のチップ埋込面側に設けられた基板間絶縁層と、ＩＣチップ実装基板のチップ非埋込面側に設けられ外層用の回路基板と、この外層用の回路基板に対してＩＣチップ実装基板及び基板間絶縁層を挟み込むように積層された内層用の

回路基板とを備え、ＩＣチップ実装基板は、チップ埋込時に、所定の厚みのＩＣチップを実装基板の厚みに揃え込むように研摩して成ることを特徴とするＩＣチップ内蔵多層基板を提案した（特開２００１－１１９１４８）。更にＩＣチップを基板内に埋め込むように実装された、ＩＣチップ実装基板のチップ埋込面側には基板間絶縁層が設けられ、そのチップ非埋込面側には外層用の回路基板が設けられる。しかも、ＩＣチップ実装基板は所定の厚みのＩＣチップを回路基板の厚みに揃え込むように研摩して成る。この外層用の回路基板に対してＩＣチップ実装基板及び基板間絶縁層を挟み込むように内層用の回路基板を積層した多層構造を成しているものである。

【０００７】従って、ＩＣチップの埋込工程時に、最初から薄型化してＩＣチップではなく、その薄型化前の半導体ウエハを切断した状態の回路素子非形成領域を多く含んだＩＣチップをそのまま取り扱うことができる。しかも、回路基板に形成された所定の深さの穴部毎にＩＣチップの高さを合わせ込むことができるし、更なるＩＣチップの実装面積を積層方向に立体的に増加すること、及び、ＩＣチップの高密度実装を行うことができる。

【０００８】上記公報におけるＩＣチップ内蔵多層基板の第１の製造方法は、回路基板上にＩＣチップを実装し、該ＩＣチップを絶縁層により閉じ込めて該回路基板を順次積層するＩＣチップ内蔵多層基板の製造方法において、その絶縁層を貫通して実装されるＩＣチップの所定の部分を回路基板の厚みに揃え込むように研摩する工程と、ＩＣチップの高さを低減させた後に、ＩＣチップ実装基板と他の回路基板とを積層し多層化する工程とを有することを特徴とするものである。

【０００９】以上の第１の製造方法によれば、最初から薄型化したＩＣチップではなく、その薄型化前の半導体ウエハを切断した状態の回路素子非形成領域を多く含んだＩＣチップをそのまま取り扱うことができる。しかも、ＩＣチップの周囲を絶縁層で保護した状態で、その絶縁層の表面位置に合わせ込むようにＩＣチップを薄型化かつ平坦化をすることができる。これにより、ＩＣチップは回路基板上に形成された所定の厚みの絶縁層毎にその高さを合わせ込むことができるし、メモリやＣＰＵなどのＩＣチップを封止した薄型のＩＣチップ内蔵多層基板を再現性良く形成することができる。

【００１０】また上記公報におけるＩＣチップ内蔵多層基板の第２の製造方法は、回路基板の絶縁層内にＩＣチップを閉じこめて実装し、該回路基板を順次積層するＩＣチップ内蔵多層基板の製造方法において、所望の厚みの回路基板の絶縁層内にＩＣチップ埋設用の穴部を形成する工程と、この穴部の深さよりも高い厚みのＩＣチップを埋め込んで実装する工程と、この穴部から突出したＩＣチップの所定部分を回路基板の厚みに揃え込むように研摩してＩＣチップ実装基板を形成する工程とを有す

http://www4.ipdl.inpit.go.jp/Tokujitu/tjcontentpaj.ipdl?N0000=21&N0...

ることを特徴とするものである。

【００１１】以上の第２の製造方法によれば、最初から薄型化したＩＣチップではなく、その薄型化前の半導体ウエハを切断した状態の回路素子非形成領域を多く含んだＩＣチップをそのまま取り扱うことができる。しかも、ＩＣチップの周囲を穴部の側壁で保護した状態で、その回路基板の表面位置に合わせ込むようにＩＣチップを薄型化かつ平坦化をすることができる。これにより、回路基板に形成された所定の深さの穴部毎にＩＣチップの高さを合わせ込むことができるし、第１の製造方法と同様にして、薄型のＩＣチップ内蔵多層基板を再現性良く形成することができる。当該ＩＣチップ内蔵多層基板を適用した電子機器の小型化及び多機能化を図ることができる。

【００１２】先の発明に係るＩＣチップ内蔵多層基板及びその製造方法の一実施の形態について、図面を参照しながら説明する。図３は実施形態としてのＩＣチップ内蔵多層基板の構造例を示す断面図である。この実施形態では、所定の厚みのＩＣチップを回路基板の厚みと同じ高さに研摩してＩＣチップ実装基板を構成し、このＩＣチップ実装基板を基板間絶縁層と共に、外層用の回路基板と内層用の回路基板との間に挟んで積層して、更なるＩＣチップの実装面積を積層方向に立体的に増加できるようにすると共に、ＩＣチップを高密度に実装できるようにしたものである。

【００１３】図３に示すＩＣチップ内蔵多層基板１００は半導体集積回路装置（以下ＩＣチップという）３Ａ、３Ｂを高密度に実装したものである。ＩＣチップ３Ａ、３Ｂは厚みが数百μｍ程度である。ＩＣチップ内蔵多層基板１００の厚みはｔ０であり、その厚みｔ０はＩＣチップ３Ａ、３Ｂの積層数にもよるが１ｍｍ前後～数ｍｍ程度である。

【００１４】図３に示すＩＣチップ内蔵多層基板１００の例では、一方の面にＩＣチップ３Ａを埋め込むように実装された、厚みｔ１のＩＣチップ実装基板１Ａが、基板間絶縁層としての多層化接着用のプリプレグ４を挟んで内層用の回路基板としての厚みｔ２の内層配線基板２の一方の面に積層されると共に、ＩＣチップ実装基板１Ａ及び内層配線基板２間がそのプリプレグ４により接着され、このＩＣチップ実装基板１Ａのチップ非埋込面側には外層用の回路基板としての厚みｔ３のプリント配線基板６Ａが積層される。

【００１５】この例では、その内層配線基板２の他方の面に、他のプリプレグ５を挟んで同様の厚みを有して、他のＩＣチップ実装基板１Ｂが積層されると共に、ＩＣチップ実装基板１Ｂ及び内層配線基板２間がそのプリプレグ５により接着され、このＩＣチップ実装基板１Ｂのチップ非埋込面側には外層用の他のプリント配線基板６Ｂが積層され、ＩＣチップ実装基板１Ａ及び内層配線基板２との間や、その内層配線基板２及びＩＣチップ実装

基板１Ｂとの間には各々のプリプレグ４、５を貫くように導電性の基板間配線部材７、８が設けられ、この基板間配線部材７、８により電気的に接合された多層構造を成している。

【００１６】ここで、多層とは配線パターンが形成される層をいう。この例でＩＣチップ内蔵多層基板１００は６層構造を有している。プリプレグ４、５にはガラスクロスにエポキシ系樹脂を含浸させたものや、ポリイミドポリイミド系樹脂材料が使用される。基板間配線部材７、８には銅や銀などが使用される。

【００１７】この例で、ＩＣチップ実装基板１Ａは、チップ埋込時に、所定の厚みのＩＣチップ３ＡをＩＣチップ実装基板１Ａの厚みに揃え込むように研摩して形成され、同様にして、ＩＣチップ実装基板１Ｂは、チップ埋込時に、所定の厚みのＩＣチップ３ＢをＩＣチップ実装基板１Ｂの厚みに揃え込むように研摩して形成されたものである。通常、トランジスタやコンデンサなどの回路素子は半導体ウエハの一方の面に形成されることが多い。ここで、半導体ウエハの一方の面を回路素子形成領域としたとき、その反対側の面を回路素子非形成領域と定義する。

【００１８】つまり、この例のＩＣチップ３Ａ、３Ｂは図示しない回路素子非形成領域を有し、この回路素子非形成領域に所定の厚みの研摩しろを有している。この研摩しろは、チップ埋込時に、ＩＣチップ実装用の回路基板から飛び出た部分をこの回路基板の厚みに揃え込んで平坦化するために設けられる。いわゆる、部品間のハンドリングを待たせるためである。

【００１９】このように、上記公報における第１の実施形態としてのＩＣチップ内蔵多層基板１００によれば、ＩＣチップ３Ａを基板内に埋め込むように実装された、ＩＣチップ実装基板１Ａのチップ埋込面側にはプリプレグ４が設けられ、そのチップ非埋込面側には外層用のプリント配線基板６Ａが設けられる。更に、ＩＣチップ３Ｂを基板内に埋め込むように実装された、ＩＣチップ実装基板１Ｂのチップ埋込面側にはプリプレグ５が設けられ、そのチップ非埋込面側には外層用のプリント配線基板６Ｂが設けられる。しかも、ＩＣチップ実装基板１Ａ、１Ｂは所定の厚みのＩＣチップ３Ａ、３Ｂを各々のＩＣチップ実装用の回路基板の厚みに揃え込むように研摩して成る。この外層用のプリント配線基板６Ａ、６Ｂに対してＩＣチップ実装基板１Ａ、１Ｂ及びプリプレグ４、５を挟み込むように内層配線基板２を積層した多層構造を成している。

【００２０】従って、ＩＣチップ３Ａ、３Ｂの埋込工程時に、最初から薄型化したＩＣチップではなく、その薄型化前の半導体ウエハを切断した状態の回路素子非形成領域を多く含んだＩＣチップ３Ａ、３Ｂをそのまま取り扱うことができる。しかも、３Ａ、３Ｂを貫く絶縁層毎にそのＩＣチップ３Ａ、３Ｂの高さを合わせ込むことが

http://www4.ipdl.inpit.go.jp/Tokujitu/tjcontentpaj.ipdl?N0000=21&N0...

できるし、更なるＩＣチップ３Ａ、３Ｂの実装面積を積層方向に立体的に増加すること、及び、ＩＣチップ３Ａ、３Ｂの高密度に実装することができる。

【００２１】これにより、より多くのＩＣチップの搭載を可能とし、同時に当該ＩＣチップ内蔵多層基板１００の小型化が図られ、これを適用した電子機器の小型化及び多機能化を図ることができる。

【００２２】続いて、ＩＣチップ内蔵多層基板１００に係る第１の製造方法について説明をする。図４Ａ～図４Ｃ及び図５Ａ～図５Ｃは第１の実施形態に係るＩＣチップ内蔵多層基板１００の形成例を示す工程断面図である。図６はそのＩＣチップ内蔵多層基板１００の形成時におけるＩＣチップ実装基板１の動作検査例を示すイメージ図である。図７は、そのＩＣチップ内蔵多層基板１００の形成例を示す工程断面図である。

【００２３】この例では図３に示した２つのＩＣチップ３Ａ、３Ｂを実装した６層構造のＩＣチップ内蔵多層基板１００を形成する場合を想定する。例えば、外層用のプリント配線基板６Ａ、ＩＣチップ実装基板１Ａ、プリプレグ４、内層配線基板２、プリプレグ５、ＩＣチップ実装基板１Ｂ及び外層用のプリント配線６Ｂを順に積層したＩＣチップ内蔵多層基板１００を形成する場合を例に採る。なお、２枚の外層用のプリント配線基板６Ａ、６Ｂ、１枚の内層配線基板２及び２枚のプリプレグ４、５は予め準備されているものとし、回路基板１上にＩＣチップ３を実装し、その後、そのＩＣチップ３を絶縁層により閉じこめてその回路基板１を順次積層する場合を想定する。

【００２４】これを前提として、まず、図４Ａに示すＩＣチップ実装用の回路基板１を準備する。この回路基板１には絶縁材料１８の片面に銅箔１１を有したもの、例えば、ガラス布基材エポキシ樹脂銅張積層板（ＦＲ－４）などが使用される。この基板を加工して所定の配線パターンや電極（ラウンド）などを形成して回路基板１を作成する。

【００２５】例えば、基板の銅箔面にレジスト材料を塗布し、その後、配線パターンや電極などの形を象ったレチクル（例えばネガフィルムや乾板）を使用してレジスト材料を露光し、その後、このレジスト膜をマスクにして銅箔１１をエッチングすることにより配線パターンや電極などが形成される。片面銅箔基板には、エポキシ系の他にポリイミド系樹脂銅張積層板や、ビスマレイミドートリアジン（ＢＴレジン）系樹脂銅張積層板を用いてもよい。これら基板は耐熱性や、寸法度安定性に優れている。

【００２６】その後、図４Ｂに示す回路基板１に端子引き出し用の開口部９Ａ、９Ｂを形成する。この開口部９Ａ、９Ｂはチップ３の裏面（又は端部）に設けられた複数の電極と、ＩＣチップ実装基板１Ａなどの裏面に設けられた配線パターンや電極などに電気的かつ構造的に接続するために設けられる。開口部９Ａ、９Ｂはレーザーなどによる穴開け加工によって形成する。

【００２７】その後、図４Ｃに示す銅箔１１が形成されていない面を上に向けるようにして、回路基板１の上にＩＣチップ３を実装することにより、図３に示したようなＩＣチップ実装基板１Ａや１Ｂを形成する。この例では、薄型化前の回路素子非形成領域を有したＩＣチップ３が使用され、この回路素子非形成領域に所定の厚みの研磨しろが設けられている。この例のＩＣチップ３は当初の厚みが３００μｍ～４００μｍ程度を有している。そして、ＩＣチップ実装基板１Ａなどを予め形成された端子引き出し用の開口部９Ａ、９Ｂに導電部材１２Ａ、１２Ｂを充填してＩＣチップ３を裏面の配線パターンや電極などに接合する。導電部材１２Ａ、１２Ｂには銅や銀などが使用される。この際の導電材料１２Ａ、１２Ｂの充填とＩＣチップ接続の順番は逆でもかまわない。導電材料１２Ａ、１２Ｂは限定されない。

【００２８】その後、図５Ａに示すＩＣチップ実装基板１Ａに厚み１００～２００μｍ程度のチップ埋込用の片面銅箔基板１５を形成する。この際に、予めＩＣチップ３を貫通させる大きさの開口部１６を片面銅箔基板１５に形成する。そして、この片面銅箔基板１５の銅箔２１の面が上部に向くように、かつ、開口部１６からＩＣチップ３が飛び出すようにＩＣチップ実装基板１の上に片面銅箔基板１５を積層する。

【００２９】その後、図５Ｂに示す片面銅箔基板１５から飛び出した部分のＩＣチップ３を研磨して平坦化する。この際の研磨に関しては研削法を適用する。この研削法によると、図示しない研磨装置の回転駆動部に研磨面を下に向けるようにしてＩＣチップ実装基板１が装着され、その装置上部から下部へＩＣチップ実装基板１が加圧され、ＩＣチップ実装基板１が回転駆動されながら、水平方向に移動する研磨紙１７によって、ＩＣチップ３の所定部分が研磨される。

【００３０】その際の研磨条件は、加工圧力が約２×１０⁵Ｐａ程度、回転駆動部の回転速度が３０～４０秒／１回転程度である。途中で何回か研磨紙１７を交換するようになされる。研磨紙１７の荒さは＃４００（組）～＃８００（仕上げ）である。研磨時は純水を使用して流水する。作業時間は１５分／１枚程度である。この際に、ＩＣチップ兼通用の片面銅箔基板１５の研磨側に施された銅箔２１を研磨終了検知用の金属箔として使用すると良い。例えば、初期の段階では、片面銅箔基板１５から飛び出した部分のＩＣチップ３の研磨粒子が観測されるが、徐々に、研磨が進行して、研磨終了段階に到達すると、銅箔２１の研磨粒子が観測されるようになる。更に、研磨を進行させると、ＩＣチップ３の研磨粒子に交じって片面銅箔基板１５の絶縁材料の研磨粒子が観測されるようになる。

【００３１】この例では、銅箔２１の研磨粒子が観測さ

http://www4.ipdl.inpit.go.jp/Tokujitu/tjcontentpaj.ipdl?N0000=21&N0...

れた後に、ＩＣチップの研摩粒子に交じって絶縁材料の研摩粒子が観測された時点で研摩を終了する。この状態は銅箔がすべて研摩され、図５Ｃで示す片面銅箔基板１５の絶縁材料の表面とＩＣチップ３の表面とが同一平面位置に揃った状態であり、プリプレグ４、５などの良好な下地となる。ＩＣチップ３は厚みが１００～２００μｍ程度になる。

【００３２】そして、ＩＣチップ３の高さを低減させた後に、ＩＣチップ実装基板１から動作検査用の電極が引き出される。この動作検査用の電極は試験電圧を印加したり、テストデータを供給したり、その結果データを引き出すために使用される。この電極としてテスト専用に端子を設けてもよいが、端子数を極力少なくする観点から、本来の信号入力線や信号出力線に接続される電極、例えば、プリプレグ４、５を貫くために基板間配線部材７、８などが形成される。この基板間配線部材７、８を動作検査用の電極として兼用するようになされる。図５Ｃには基板間配線部材７を示しており、基板間配線部材７はラウンド電極などに銅や銀などの金属が凸状に突起するように印刷法などにより形成する。

【００３３】これらのＩＣチップ実装基板１Ａ、１Ｂなどが形成できたら、ＩＣチップ実装基板１Ａ、１Ｂと他の回路基板とを積層し多層化する前に、図６に示すＩＣテスタ１０などにより実装基板毎に電気的な検査を行う。この例では１つのＩＣチップ実装基板１を１個の回路ブロックとして取り扱うことができ、当該ＩＣチップ内蔵多層基板１００の積層前に、ＩＣチップ実装基板１に故障を生じた際には、その故障を起こしたＩＣチップ実装基板１のみの交換が可能となり、メンテナンス及びその修理が容易となる。

【００３４】この例で動作検査用の電極には、プリプレグ４、５を貫く基板間配線部材７などが使用される。この複数の基板間配線部材７、８にＩＣテスタ１０のプローブ１３、１４が接触され、回路ブロック毎にローカルな実装試験が行われる、もちろん、この実装試験に関しては、予めＩＣチップ実装基板１などに専用に作成されたテストデータが使用される。

【００３５】従って、ＩＣチップ実装基板１や内層配線基板２を積層する前に、ＩＣチップ実装基板１の不良を早期に除去することができる。この検査結果で良品と判定されたＩＣチップ実装基板１や内層配線基板２のみをプリプレグ４、５を介在して積層することができる。ＩＣチップ実装基板１や内層配線基板２を全部積層した後に電気的な検査を行う場合に比べて、当該ＩＣチップ内蔵多層基板１００の生産歩留まりを向上させることができる。

【００３６】その後、図７に示すように、外層用のプリント配線基板６Ａ、ＩＣチップ実装基板１Ａ、プリプレグ４、内層配線基板２、プリプレグ５、ＩＣチップ実装基板１Ｂ、及び外層用のプリント配線基板６Ｂを位置合わせして積層する。この際に、基板間配線部材７、８がプリプレグ４に突き刺さるように位置合わせし、基板間配線部材７、８がプリプレグ５に突き刺さるように位置合わせする。

【００３７】そして、ＩＣチップ実装基板１Ａと内層配線基板２との間にプリプレグ４を挟み込むと共に、内層配線基板２とＩＣチップ実装基板１Ｂとの間にプリプレグ５を挟み込む。この状態で、ＩＣチップ実装基板１Ａと内層配線基板２とをプリプレグ４により構造的に接合し、ＩＣチップ実装基板１Ａと内層配線基板２とを基板間配線部材７、８により電気的に接合する。これと共に、内層配線基板２とＩＣチップ実装装置１Ｂとをプリプレグ５により構造的に接合し、内層配線基板２とＩＣチップ実装基板１Ｂとを基板間配線部材７、８により電気的に接合する。

【００３８】この場合に関してはＩＣチップ実装基板１Ａ、１Ｂ、内層配線基板２、プリプレグ４、５及び外層用のプリント配線基板６Ａ、６Ｂを同一の熱処理工程により加圧熱接合する。例えば、外層用のプリント配線基板６Ａ、ＩＣチップ実装基板１Ａ、プリプレグ４、内層配線基板６Ｂから成る積層物を１７０℃程度で加熱する。そして、真空プレス機などにより、この積層物を４０ｋｇ／ｃｍ^{2}程度に加圧する。

【００３９】これにより、基板間配線部材７、８を構成する金属がつぶれて電気的に基板間が接続されると共に、各々の部材間が熱接合され、図３に示したＩＣチップ内蔵多層基板１００を形成することができる。このようにして得られたＩＣチップ内蔵多層基板１００の外面に更に抵抗や、コンデンサなどの部品を更に実装するようになされる。

【００４０】このように、先の発明に係る第１の実施形態に係るＩＣチップ内蔵多層基板の製造方法によれば、最初から薄型化したＩＣチップではなく、その薄型化前の半導体ウエハを切断した状態の回路素子非形成領域を多く含んだ、厚み３００μｍ程度のＩＣチップ３Ａ、３Ｂをそのまま取り扱うことができる。

【００４１】しかも、ＩＣチップ３Ａ、３Ｂの周囲を片面銅箔基板１５で保護した状態で、その片面銅箔基板１５の絶縁材料の表面位置に合わせ込むようにＩＣチップ３Ａ、３Ｂなどを薄型化かつ平坦化をすることができる。これにより、ＩＣチップ実装基板１Ａ、１Ｂ毎にそのＩＣチップ３Ａ、３Ｂの高さを合わせ込むことができるし、メモリやＣＰＵなどのＩＣチップ３Ａ、３Ｂを封止した薄型のＩＣチップ内蔵多層基板１００を再現性良く形成することができる。より多くのＩＣチップ３Ａ、３Ｂを搭載することができると共に、プリント基板の小型化を図ることができる。

【００４２】また、本実施形態では、ＩＣチップ実装基板１Ａ、１Ｂ、内層配線基板２、プリプレグ４、５及び外層用のプリント配線基板６Ａ、６Ｂを同一の熱処理工

程により加圧熱接合しているので、工程中のリペア、リワークによる生産歩留まりが向上し、これによるコストダウンを図ることができる。積層工程においては、金属の突起物により、電気的な層間接続を行っているので、より簡易で安価なＩＣチップ内蔵多層基板１００を製造することができる。

【００４３】この発明者らが基板面積をシミュレーションした結果によれば、実装基板上に平面に５個のＩＣチップを表面実装する場合（現行のＣＳＰ：Chip Size Package を使用した場合）に比べて、５個のＬＳＩチップを基板内に内蔵する本発明方式では、従来方式の４０～５０％の小型化が図れることが明確になった。従って当該ＩＣチップ内蔵多層基板１００を適用した電子機器の小型化を図ることができる。

【００４４】この実施形態では、チップ実装後に、ＩＣチップ貫通用の片面銅箔基板１５を挿入する場合について説明したが、これに限られることはなく、ＩＣチップ３の実装用の回路基板１と、そのＩＣチップ３の厚みよりも浅い深さの開口部１６を有した片面銅箔基板１５とを最初に接合して穴部を構成してから、ＩＣチップ３を実装してもよい、としている。

【００４５】然しながら以上の公報における発明においては次のような問題点を有するものである。すなわち、ＬＳＩの実装前の容易なハンドリングと実装後の薄型化後の信頼性および完成多層基板の高密度を実現するために、ＬＳＩを内層基板上に実装し、該ＬＳＩを基板層間の絶縁層に閉じ込める多層基板において、内層基板の厚みを予めＬＳＩ外装部と共に研摩することによって薄型化している。

【００４６】その実施形態に示される平面研削法は、内蔵されるＩＣチップを実装した内層用回路基板のあつみ偏りによる平行度のばらつきが存在する場合、研摩平面の基準面を加工面に取ったとしても、うねりも同時に存在することがほとんどであり、正確な研摩が非常に困難になる。

【００４７】また、研摩の初期の内層用回路基板の表面と研摩されるＩＣチップ間の段差の存在により、均一なあたり面が出にくくＩＣチップや内層用基板の配線部にまで研摩が進行し、配線欠損を生じる可能性がある。回路素子非形成領域の側の研摩しろである絶縁層の厚みを大きくすることで、前述の配線欠損を抑えることは可能であるが、全属箔を用いた終点検知が可能なレベルまで厚く出来ないときは、必然的に研摩量が少なくなり終点検知が難しくなり、上述の配線欠損の問題が避け難くなる。更に、銅箔とＩＣチップの研摩速度が一致しないため（銅箔の方が遅い）、研摩紙が充分にリジッドでない場合は、終点検知前にＩＣチップの一部が消失してしまう恐れがある。

【００４８】この問題点を図示して説明すれば以下のようである。図８に示すように、絶縁材Ａの厚みに偏りが有る場合、加工基準面を図示のとおりに取ると過剰研摩によりＩＣに欠損が生ずる。これに対して図９に示すように加工基準面を取るとＩＣの欠損は防げるが、このような加工基準面を設定することは非常に困難である。更に、実際には図１０に示すように絶縁材Ａにはうねりも同時に存在するので、基準面が取れず、研摩は非常に困難になる。また、研摩材が紙石のように非常に硬いものであれば、図１１に示すように研摩材がたわむことなく平行に研摩できる。然しながら、研摩材が柔軟（研摩紙のようなもの）でたわむ余地があると削れやすいＩＣ部が先にえぐれてしまう。

【００４９】

【発明が解決しようとする課題】本発明は上述のような問題点を解決するＩＣチップ内蔵多層基板及びその製造方法を提供することを課題とする。

【００５０】

【課題を解決するための手段】以上の課題は、ＩＣチップと、前記ＩＣチップを埋め込むように実装されたＩＣチップ実装基板と、前記ＩＣチップ実装基板のチップ埋込面側に設けられた基板間絶縁層と、前記ＩＣチップ実装基板のチップ非埋込面側に設けられた外層用の回路基板と、前記外層用の回路基板に対して前記ＩＣチップ実装基板及び基板間絶縁層を挟み込むように積層された内層用の回路基板とを備え、前記ＩＣチップ実装基板は、チップ埋込時に、所定の厚みのＩＣチップを実装基板の厚みに埋え込むようにプラスティングにより薄膜化して成ることを特徴とするＩＣチップ内蔵多層基板、又は、回路基板上にＩＣチップを実装し、該ＩＣチップを絶縁層により閉じこめて該回路基板を順次積層するＩＣチップ内蔵多層基板の製造方法において、前記絶縁層を貫通して実装される前記ＩＣチップの所定の部分を前記回路基板の厚みに埋え込むようにプラスティングにより薄膜化する工程と、前記ＩＣチップの高さを低減させた後に、ＩＣチップ実装基板と他の回路基板とを積層し多層化する工程とを有することを特徴とするＩＣチップ内蔵多層基板の製造方法、又は、回路基板の絶縁層内にＩＣチップを閉じこめて実装し、該回路基板を順次積層するＩＣチップ内蔵多層基板の製造方法において、所望の厚みの回路基板の絶縁層内にＩＣチップ埋設用の穴部を形成する工程と、前記穴部の深さよりも高い厚みのＩＣチップを埋め込んで実装する工程と、前記穴部から突出したＩＣチップの所定部分を前記回路基板の厚みに埋え込むようにプラスティングにより薄膜化して前記ＩＣチップ実装基板を形成する工程とを有することを特徴とするＩＣチップ内蔵多層基板の製造方法、によって解決される。

【００５１】

【発明の実施の形態】本発明の実施の形態は、本出願人の先の提案（特開２００１－１１９１４８）とはＩＣチップの薄膜化の工程においてのみ異なるので、この工程

http://www4.ipdl.inpit.go.jp/Tokujitu/tjcontentpaj.ipdl?N0000=21&N0...

について図１Ａ～図１Ｆを参照して説明する。まず図１Ａに示すようにＩＣチップ実装用の回路基板３１を準備する。これはガラスクロス布基材エポキシ樹脂銅張積層板（ＦＲ－４）３２でなり、熱硬化性樹脂を用いている。ＦＲ－４を用いた通常の基板作製工程と同様にフォトリソグラフィ工法を用いて所定の配線パターンや電極などを形成している。図１Ａにおいて、絶縁材料３２の片側にのみこのような銅箔もしくは導電部材から回路パターン３３を形成させている。

【００５２】次に図１Ｂに示すように搭載するＩＣチップ３４と回路パターン３３とを電気的に接続するため、回路基板３１に開口部３５を形成する。これはレーザなどを用いて形成する。

【００５３】図１Ｃに示すように開口部３５に導電部材３６が充填され、回路パターン３３と対向する面からＩＣチップ３４が導電部材３６上に実装する（これをＡ層と称する）。後に薄膜化される面には、内層回路の配線面は存在しない。

【００５４】次いで図１Ｄに示すようにＩＣチップ３４の外形サイズと同じか、やや大きい開口部３７を形成させた絶縁材３８を準備する（これはＢ層と称する）。Ａ層とＢ層とは開口部３７にＩＣチップ３４を嵌める位置合わせをして接着剤により積層される。

【００５５】次に図１Ｅで示すようにＩＣチップ３４と同サイズもしくはＩＣチップ３４より大きな開口３９を形成させたメタルマスク４０を被処理基板、すなわちＡ層とＢ層との積層物に位置合わせをして組み付けられる。次いでＩＣチップ３４の表面がサンドブラストで薄型化加工される。サンドブラスト加工自体には加工部の選択性はないが、メタルマスク４０によって選択部のみ加工が進行する。所定の厚みまで加工した後、メタルマスク４０を取り外し、砥粒や残留物を洗浄により除去する。静電耐圧の低いＩＣチップを取り扱う場合、静電対策上、導電性の砥粒を使うことが望ましい。更には、加工後の洗浄で除去可能な水溶性砥粒であることが望ましい。ＩＣチップのストック状態では、厚みの管理がされているため、一定のブラスト条件に対してどれだけの時間で、ＩＣチップのＢ層から突出している部分が加工されるか決定されるので、特開２００１－１１９１４８に開示された研磨法のように、例えば金属箔や絶縁層研磨しろを用いた終点検知手段は必要でない。また、研磨基準面が不要なので、内層基板（Ａ層、Ｂ層）に平坦性や平行性が出ていない場合であっても正確に薄型化が可能になる。よって図８～図１２の問題点は一挙に解決される。また、ブラスト研削されるＩＣチップの表面は、砥粒サイズを変えることで、仕上がり面を調整できるので、多層積層時の樹脂との密着性を制御することも可能である。また、ＩＣチップの表面のみの選択加工であるので、ＩＣチップ及びＩＣチップ外装部へのダメージが無い。なお、サンドブラスト機の噴出ノズルの径はＩＣチップに比べ非常に小さいので、メタルマスク４０の開口３９の大きさを越えてノズルが何度かスキャンされる。また、逆にメタルマスク４０側を移動させるようにしてもよい。

【００５６】ＩＣチップがほぼ面一に研削された後、図１Ｆで示すようにＡ層、Ｂ層の積層体に貫通孔が開けられ、ここに基板間配線部材４１が充填、突出された後は、特開２００１－１１９１４８と同様に、もう一方の同様にサンドブラスト加工されたＩＣチップ実装基板と共に、表層配線基板、プリプレグ、内層配線基板、もう一方の表層配線基板と図３のように積層されて完成品となる。

【００５７】図２は本発明の第２の実施の形態を示すが、絶縁材として熱可塑性樹脂基材５０が用いられる。この一面には銅箔で成る回路パターン５１が形成されている。ＰＰＳ、ＬＣＰ、ＰＥＥＫ、ＳＰＳ、ＰＥＳなどの熱可塑性樹脂が適用可能である。ヒーターチップ（図示せず）熱プレスによりＩＣチップ３４´上に設けた接続用バンプ５２（導電性部材）を樹脂基材５０に押し付けることで、この熱可塑性樹脂５０が軟化し、ＩＣチップ３４´が図２Ｂで示すように埋め込められた状態で、樹脂基材５０の表面に形成された配線パターン５１や電極などに接続される。この実施の形態でも第１の実施の形態と同様にしてメタルマスクをしてＩＣチップ３４´の突出部がサンドブラスト加工されるが、第１の実施の形態と比べ、図１ＢのＢ層の形成工程が省略される。よって、より低コストで多層積層物を生産することができる。なお、回路基板として熱可塑性樹脂材を用いる場合には、例えば本出願人が先に提案（特願２００１－０５０９８９）した「転写用金型」を用いて、直接、配線パターン用溝を形成し、これに金属ペースト等の導電部材を埋め込んで配線パターンを形成するようにしてもよい。フォトリソグラフィ工法により回路パターンを形成するより、短時間で、低コストで同じ回路パターンを形成することができる。

【００５８】以上、本発明の実施の形態について説明したが、勿論、本発明はこれらに限定されることなく、本発明の技術的思想に基づいて種々の変形が可能である。

【００５９】例えば以上の実施の形態では、ＩＣチップを加工するのにサンドブラストを用いたが、これに限ること無く、ブラスト用の研削材としては、けい砂、川砂、鋳鉄グリット、鋳鋼グリット、カットワイヤー、アルミナグリット、炭化ケイ素グリット、スラググリット等を用いることができる。

【００６０】また以上の実施の形態では、絶縁材に１個のＩＣチップを埋め込む場合を示したが、勿論、２個以上のＩＣチップを埋め込む場合にも本発明は適用可能である。この場合には、勿論、この埋め込まれたＩＣチップの数に対応する開口部を有するメタルマスクを準備し、これら開口部にＩＣチップを整合、位置決めして台

15

わせ，上述と同様にサンドブラストによりＩＣチップを加工するようにすればよい。この場合には，ＩＣチップ間に絶縁材から突出している部分の高さが異なる場合があるが，この場合には最も突出量の小さいＩＣチップに合わせてサンドブラストの加工時間を定めればよい。また，メタルマスクに代えて，サンドブラストの研削がＩＣチップより悪い合成樹脂製のマスクを用いてもよい。

【００６１】

【発明の効果】以上述べたように本発明のＩＣチップ内蔵多層基板及びその製造方法によれば，ＩＣチップの実装面積を積層方向に立体的に増加して，ＩＣチップの高密度実装を行うことができ，かつ従来より更に加工コストを低下させることができ，品質の優れた多層構造を提供することができる。

【図面の簡単な説明】

【図１】本発明の第１の実施の形態によるＩＣチップ実装基板の製造工程を示し，Ａは回路基板の断面図，Ｂは開口部を形成させた回路基板の断面図，Ｃは導電部材を充填させて，これにＩＣチップを実装させた状況を示す断面図，Ｄは開口部を形成させた絶縁材とＩＣチップを実装させた回路基板との関連を示す断面図，Ｅはメタルマスクを当ててサンドブラスト施している状況を示す断面図，及びＦは加工後のＩＣチップと基板間配線部材を充填させた配線基板の断面図である。

【図２】本発明の第２の実施の形態による製造工程を示し，ＡはＩＣチップを熱可塑性樹脂基材に熱圧着させる状況を示す断面図，Ｂは同熱可塑性樹脂基材に埋め込まれたＩＣチップが裏面の配線パターンと電気的に接続されている状況を示す断面図である。

16

＊【図３】特開２００１－１１９１４８における第１の実施形態としてのＩＣチップ内蔵多層基板１００の構造例を示す断面図である。

【図４】Ａ～Ｃは同第１の実施形態としてのＩＣチップ内蔵多層基板１００の形成例を示す工程断面図である。

【図５】Ａ～Ｃは同第１の実施形態としてのＩＣチップ内蔵多層基板１００の形成例を示す工程断面図である。

【図６】そのＩＣチップ内蔵多層基板１００の形成時におけるＩＣチップ実装基板１の動作検査例を示すイメージ図である。

【図７】同第１の実施形態としてのＩＣチップ内蔵多層基板１００の形成例を示す工程断面図である。

【図８】ＩＣチップが埋め込まれた絶縁材の厚みに偏りがある場合の加工面と加工基準面との関係を示す模式図である。

【図９】図８において加工面を加工基準面とした場合の模式図である。

【図１０】ＩＣチップが埋め込まれた絶縁材の厚みにうねりがある場合の模式図である。

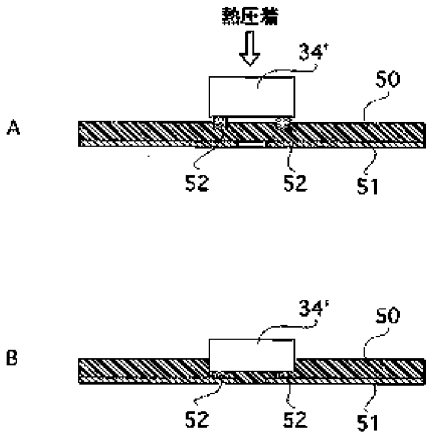
【図１１】研磨材が砥石のように非常に硬いものであれば，研磨材がたわむことにより平行に研磨できることを示す模式図である。

【図１２】研磨材が柔軟でたわむ場合に削れ易いＩＣ部が先にえぐられてしまうことを示す模式図である。

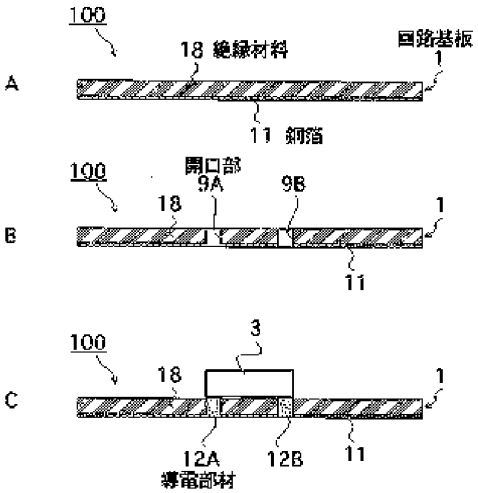
【符号の説明】

３１……回路基板，３２……絶縁材料，３３……回路パターン，３４……ＩＣチップ，３８……絶縁材料，３９……開口部，４０……メタルマスク。

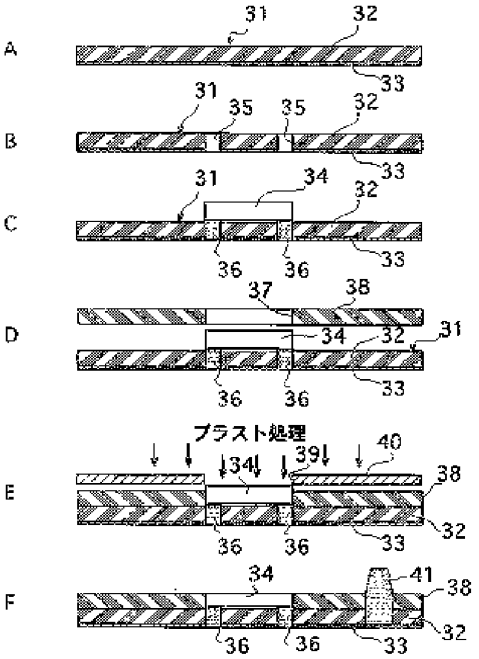
【図２】



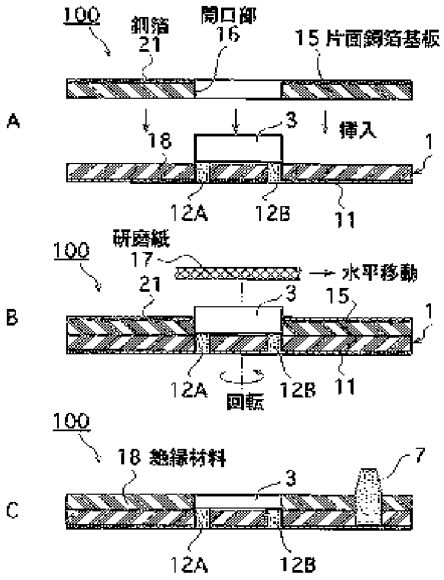
【図４】



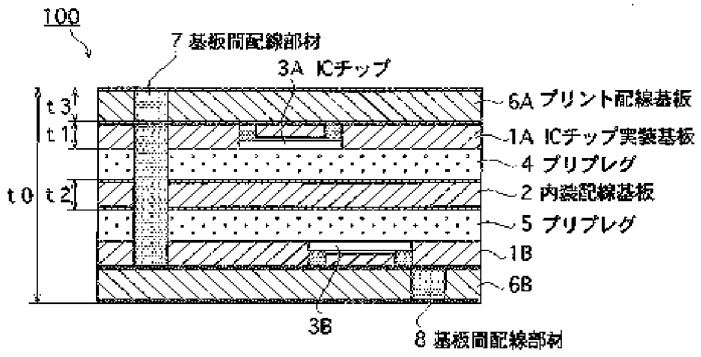
【図１】


A
B
C
D
E
F
31
32
33
35
34
36
37
38
39
40
41
プラスト処理

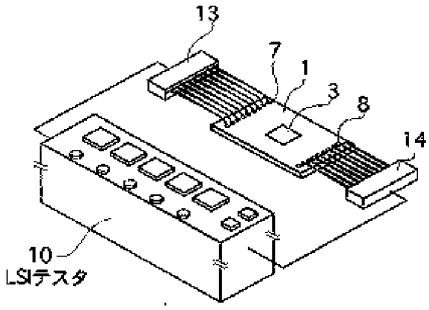
【図５】


100
銅箔
21
開口部
16
15 片面銅箔基板
A
3
挿入
18
1
12A
12B
11
研磨紙
17
水平移動
B
15
回転
C
18 絶縁材料
7

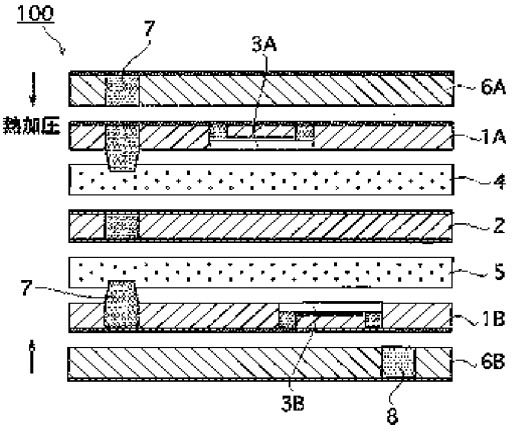
【図３】


100
7 基板間配線部材
3A ICチップ
6A プリント配線基板
1A ICチップ実装基板
4 プリプレグ
2 内装配線基板
5 プリプレグ
1B
6B
t3
t1
t0
t2
3B
8 基板間配線部材

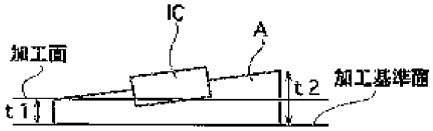
【図６】



【図７】

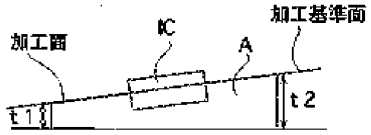


【図８】



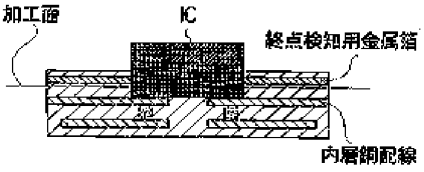
厚み偏りが有る場合、
加工基準面を図のように取ると、
過剰研磨によりICに欠損が出来る

【図９】



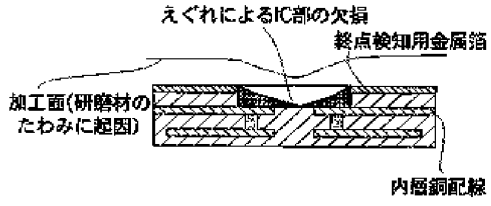
対して、加工基準面を図のように取れば、
ICの欠損は防げる

【図１１】



研磨材が砥石のように非常に硬いものであれば、
研磨材がたわむことはなく、平行に研磨できる

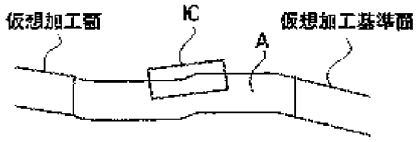
【図１２】



研磨材が柔軟(研磨紙のようなもの)でたわむ
余地があると削れやすいIC部が先にえぐれて
しまう

【図１０】

うねりが有る場合、基準面が取れない



実際には、図のようにうねりも
同時に存在するので基準面が
取れず研磨は困難になる

フロントページの続き

(51)Int.Cl.'	識別記号	Ｆｉ		ﾃｰﾏｺｰﾄﾞ(参考)
Ｈ０１Ｌ　25/18		Ｇ０６Ｋ　19/00		Ｋ
Ｈ０５Ｋ　3/46		Ｈ０１Ｌ　25/08		Ｚ

Ｆターム(参考)　2C005 MA16 MA21 MA33 MA40 NB30
NB32 PA04 PA18 RA04 RA06
RA15 RA30
5B035 BA03 BB09 CA01
5E346 AA12 AA43 BB20 DD34 FF18
GG15 GG40

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]
[0001]
[Field of the Invention]This invention is applied to the personal digital assistant device etc. which carried out high density assembly of the semiconductor integrated circuit chips (henceforth an IC chip), such as a memory and CPU, and relates to a multilayer substrate with an IC chip built-in [suitable], and a manufacturing method for the same. In detail, thin-film-ize, constitute an IC chip package board so that the IC chip of predetermined thickness may be arranged with the thickness of a mounting board, and this IC chip package board with the insulating layer between substrates. Insert and laminate between the circuit board for outer layers, and the circuit board for inner layers, and it enables it to increase the packaging area of the further IC chip to a laminating direction in three dimensions, and enables it to mount an IC chip with high density.
[0002]
[Description of the Prior Art]In recent years, the IC chip package board which mounted the semiconductor integrated circuit device (only henceforth an IC chip) of a bare chip state in personal digital assistant devices, such as a portable telephone and a portable personal computer, has come to be used. Without carrying out molding of each IC chip to this kind of mounting board, electronic parts, such as two or more IC chips, resistance, and a capacitor, are intermingled, and it is mounted superficially.
[0003]Since according to the IC chip package board of a conventional system an IC chip arranges superficially and is arranged, it has come [by the way,] to produce a limit in element-placement area to the high-density mounting demand of electronic parts. It is impossible therefore, to be satisfied with the demand of the miniaturization of a printed wired board in recent years, i.e., the miniaturization of electronic equipment.
[0004]To this kind of problem, to "the multilayer electronic circuit board and its manufacturing method" of JP,2-164096,A which is technical literature, the circuit element which constitutes an electronic circuit is built in between the layers of a printed-circuit board, and aiming at high-density mounting of an electronic circuit is indicated. Putting the hybrid module which constitutes an electronic circuit etc. between printed-circuit boards, and mounting an electronic circuit etc. in "a multilayer printed circuit board and a manufacturing method for the same" of JP,5-343856,A with high density is indicated.
[0005]When laminating the printed-circuit board which contained the electronic circuit etc. in the interlayer to the "multilayer high-density-assembly module" of JP,3-14293,A, performing platinum or palladium plating to the field which touches a solder bump is indicated. Any technical literature

mounts the IC chip thin-film-ized beforehand. There is a limit in thin film-ization with an IC chip item, and it has become the hindrance of the high density assembly of the further IC chip.
[0006]Then, in order that these people may solve such a conventional problem previously, Devise the slimming-down method of the multilayered circuit board concerned, and enable it to increase the packaging area of the further IC chip to a laminating direction in three dimensions, and. It aims at providing a multilayer substrate with a built-in IC chip which enabled it to mount an IC chip with high density, and a manufacturing method for the same, An IC chip and the IC chip package board mounted so that this IC chip might be embedded, The insulating layer between substrates provided in the chip embedded side side of this IC chip package board, It is provided in the chip non-embedded side side of an IC chip package board, and The circuit board for outer layers, Have the circuit board for inner layers laminated so that the insulating layer between an IC chip package board and substrates might be put to the circuit board for these outer layers, and an IC chip package board, The multilayer substrate with a built-in IC chip which grinds so that the IC chip of predetermined thickness may be arranged with the thickness of a mounting board at chip ******, and is characterized by things was proposed (JP,2001-119148,A). The insulating layer between substrates is provided in the chip embedded side side of an IC chip package board mounted so that an IC chip might be embedded in a substrate, and the circuit board for outer layers is provided in the chip non-embedded side side. And an IC chip package board is ground so that the IC chip of predetermined thickness may be arranged with the thickness of the circuit board. The multilayer structure which laminated the circuit board for inner layers so that the insulating layer between an IC chip package board and substrates might be put to the circuit board for these outer layers is accomplished.
[0007]Therefore, at the time of the embedded process of an IC chip, it can slim down from the beginning and not an IC chip but an IC chip having included many circuit element agenesis fields in the state where the semiconductor wafer before the slimming down was cut can be dealt with as it is. And the height of an IC chip can be doubled for every hole of the predetermined depth formed in the circuit board, and increasing the packaging area of the further IC chip to a laminating direction in three dimensions and high density assembly of an IC chip can be performed.
[0008]The 1st manufacturing method of the multilayer substrate with a built-in IC chip in the above-mentioned gazette, In the manufacturing method of the multilayer substrate with a built-in IC chip which mounts an IC chip on the circuit board, shuts up this IC chip by an insulating layer, and laminates this circuit board one by one, It has a process which laminates an IC chip package board and other circuit boards, and is multilayered after reducing the process ground so that the predetermined portion of the IC chip mounted by penetrating the insulating layer may be arranged with the thickness of the circuit board, and the height of an IC chip.
[0009]According to the above manufacturing method [1st], not the IC chip slimmed down from the beginning but an IC chip having included many circuit element agenesis fields in the state where the semiconductor wafer before the slimming down was cut can be dealt with as it is. And where the circumference of an IC chip is protected by an insulating layer, slimming down and flattening can be carried out for an IC chip so that it may double with the surface position of the insulating layer. Thereby, the IC chip can double the height for every insulating layer of the predetermined thickness formed on the circuit board, and can form the thin multilayer substrate with a built-in IC chip which closed IC chips, such as a memory and CPU, with sufficient reproducibility.
[0010]The 2nd manufacturing method of the multilayer substrate with a built-in IC chip in the above-mentioned gazette, In the manufacturing method of the multilayer substrate with a built-in IC chip which shuts up and mounts an IC chip in the insulating layer of the circuit board, and laminates this circuit board one by one, The process of forming the hole for IC chip burial in the insulating layer of the circuit board of desired thickness, It has the process of embedding and mounting the IC chip of thickness higher than the depth of this hole, and the process of grinding so that the predetermined part of the IC chip projected from this hole may be arranged with the thickness of the

circuit board, and forming an IC chip package board.
[0011]According to the above manufacturing method [2nd], not the IC chip slimmed down from the beginning but an IC chip having included many circuit element agenesis fields in the state where the semiconductor wafer before the slimming down was cut can be dealt with as it is. And where the circumference of an IC chip is protected by the side attachment wall of a hole, slimming down and flattening can be carried out for an IC chip so that it may double with the surface position of the circuit board. The height of an IC chip can be doubled for every hole of the predetermined depth formed in the circuit board by this, and a thin multilayer substrate with a built-in IC chip can be formed with sufficient reproducibility like the 1st manufacturing method. The miniaturization and multi-functionalization of electronic equipment which applied the multilayer substrate concerned with a built-in IC chip can be attained.
[0012]The multilayer substrate with a built-in IC chip concerning a previous invention and the 1 embodiment of the manufacturing method are described referring to drawings. Drawing 3 is a sectional view showing the constructional example of the multilayer substrate with a built-in IC chip as an embodiment. Grind the IC chip of predetermined thickness in the same height as the thickness of the circuit board, constitute an IC chip package board from this embodiment, and this IC chip package board with the insulating layer between substrates. Insert and laminate between the circuit board for outer layers, and the circuit board for inner layers, and it enables it to increase the packaging area of the further IC chip to a laminating direction in three dimensions, and enables it to mount an IC chip with high density.
[0013]The multilayer substrate 100 with a built-in IC chip shown in drawing 3 mounts the semiconductor integrated circuit devices (henceforth an IC chip) 3A and 3B with high density. The thickness of IC chips 3A and 3B is about hundreds of micrometers. The thickness of the multilayer substrate 100 with a built-in IC chip is t0, and although the thickness t0 is based also on the number of laminations of IC chips 3A and 3B, it is around 1 mm - about several millimeters.
[0014]In the example of the multilayer substrate 100 with a built-in IC chip shown in drawing 3. IC chip package board 1A of the thickness t1 mounted so that IC chip 3A might be embedded in one field, On both sides of the prepreg 4 for the multilayering adhesion as an insulating layer between substrates, one field of the inner layer wiring board 2 of the thickness t2 as the circuit board for inner layers laminates, and. Between IC chip package board 1A and the inner layer wiring board 2 pastes up by that prepreg 4, and the printed-circuit board 6A of the thickness t3 as the circuit board for outer layers is laminated at the chip non-embedded side side of this IC chip package board 1A.
[0015]In this example, on both sides of other prepregs 5, have the same thickness in the field of another side of the layer wiring board 2, and other IC chip package boards 1B are laminated, and. Between IC chip package board 1B and the inner layer wiring board 2 pastes up by the prepreg 5, Other printed-circuit boards 6B for outer layers are laminated at the chip non-embedded side side of this IC chip package board 1B, Between IC chip package board 1A and the inner layer wiring board 2, among those between the layer wiring board 2 and IC chip package board 1B, the conductive wiring members 7 and 8 between substrates were formed so that it might pierce through each prepregs 4 and 5, and the multilayer structure electrically joined by the wiring members 7 and 8 between this substrate is accomplished.
[0016]Here, a multilayer means the layer in which a circuit pattern is formed. The multilayer substrate 100 with a built-in IC chip has six layer systems in this example. What impregnated glass fabrics with epoxy system resin, and a polyimide polyimide system resin material are used for the prepregs 4 and 5. Copper, silver, etc. are used for the wiring members 7 and 8 between substrates.
[0017]In this example, grind and IC chip package board 1A is formed in chip ****** so that IC chip 3A of predetermined thickness may be arranged with the thickness of IC chip package board 1A, and it is made the same, It grinds and IC chip package board 1B is formed in chip ****** so that IC chip 3B of predetermined thickness may be arranged with the thickness of IC chip package board 1B. Usually, circuit elements, such as a transistor and a capacitor, are formed in one field of a

semiconductor wafer in many cases. Here, when one field of a semiconductor wafer is made into a circuit element formation area, the field of the opposite hand is defined as a circuit element agenesis field.
[0018]That is, IC chips 3A and 3B of this example have a circuit element agenesis field which is not illustrated, and predetermined thickness grinds them to this circuit element agenesis field, and they have **. this -- grind -- it is provided in order to arrange with the thickness of this circuit board the portion which jumped out of the circuit board for IC chip mounting and to carry out flattening to ** and chip ******. It is for giving the handling between what is called parts.
[0019]Thus, according to the multilayer substrate 100 with a built-in IC chip as a 1st embodiment in the above-mentioned gazette. The prepreg 4 is formed in the chip embedded side side of IC chip package board 1A mounted so that IC chip 3A might be embedded in a substrate, and the printed-circuit board 6A for outer layers is formed in the chip non-embedded side side. The prepreg 5 is formed in the chip embedded side side of IC chip package board 1B mounted so that IC chip 3B might be embedded in a substrate, and the printed-circuit board 6B for outer layers is formed in the chip non-embedded side side. And IC chip package boards 1A and 1B are ground so that IC chips 3A and 3B of predetermined thickness may be arranged with the thickness of the circuit board for each IC chip mounting. The multilayer structure which laminated the inner layer wiring board 2 so that IC chip package boards 1A and 1B and the prepregs 4 and 5 might be put to the printed-circuit boards 6A and 6B for these outer layers is accomplished.
[0020]Therefore, not the IC chip slimmed down from the beginning but IC chips 3A and 3B having included many circuit element agenesis fields in the state where the semiconductor wafer before the slimming down was cut can be dealt with as they are at the time of the embedded process of IC chips 3A and 3B. And the height of the IC chips 3A and 3B can be doubled for every insulating layer which pierces through 3A and 3B, and the packaging area of further IC chips 3A and 3B can be mounted in increasing to a laminating direction in three dimensions, and the high density of IC chips 3A and 3B.
[0021]Loading of thereby more many IC chips is enabled, the miniaturization of the multilayer substrate 100 concerned with a built-in IC chip is attained simultaneously, and the miniaturization and multi-functionalization of electronic equipment which applied this can be attained.
[0022]Then, the 1st manufacturing method concerning the multilayer substrate 100 with a built-in IC chip is explained. Drawing 4 A - drawing 4 C and drawing 5 A - drawing 5 C are the process sectional views showing the example of formation of the multilayer substrate 100 with a built-in IC chip concerning a 1st embodiment. Drawing 6 is an imaged figure showing the example of the performance test of IC chip package board 1 at the time of formation of the multilayer substrate 100 with a built-in IC chip. Drawing 7 is a process sectional view showing the example of formation of the multilayer substrate 100 with a built-in IC chip.
[0023]In this example, the case where the multilayer substrate 100 with a built-in IC chip of six layer systems which mounted two IC chips 3A and 3B shown in drawing 3 is formed is assumed. For example, the case where the multilayer substrate 100 with a built-in IC chip which laminated the printed-circuit board 6A for outer layers, IC chip package board 1A, the prepreg 4, the inner layer wiring board 2, the prepreg 5, IC chip package board 1B, and the printed wiring 6B for outer layers in order is formed is taken for an example. The two printed-circuit boards 6A and 6B for outer layers, the inner layer wiring board 2 of one sheet, and the prepregs 4 and 5 of two sheets shall be prepared beforehand, and mount IC chip 3 on the circuit board 1.
Then, the case where shut up the IC chip 3 by an insulating layer, and the circuit board 1 is laminated one by one is assumed.

[0024]The circuit board 1 for IC chip mounting shown in drawing 4 A is first prepared on the assumption that this. A thing with the copper foil 11, for example, glass cloth base material epoxy resin copper clad laminate etc., (FR-4) is used for this circuit board 1 by one side of the insulating

material 18. This substrate is processed, a predetermined circuit pattern, an electrode (round), etc. are formed, and the circuit board 1 is created.
[0025]For example, a resist material is applied to the copper-foil face of a substrate.
Then, a resist material is exposed using the reticle (for example, a negative film and a film plate) which modeled forms, such as a circuit pattern and an electrode, and a circuit pattern, an electrode, etc. are formed by using this resist film as a mask and etching the copper foil 11 after that.
Polyimide system resin copper clad laminate and bismaleimide triazine (BT resin) system resin copper clad laminate other than an epoxy system may be used for an one side copper foil board. These substrates are excellent in heat resistance and size degree stability.
[0026]Then, the openings 9A and 9B for terminal drawers are formed in the circuit board 1 shown in drawing 4 B. These openings 9A and 9B are formed in order to connect with two or more electrodes provided in the rear face (or end) of IC chip 3, a circuit pattern, an electrode which were provided in rear faces, such as IC chip package board 1A, etc. electrically and structurally. The openings 9A and 9B are formed by the perforating process by laser etc.
[0027]Then, IC chip package board 1A as shown in drawing 3, and 1B are formed by mounting IC chip 3 on the circuit board 1, as the field in which the copper foil 11 shown in drawing 4 C is not formed is turned upwards. In this example, IC chip 3 with the circuit element agenesis field before slimming down is used, predetermined thickness grinds to this circuit element agenesis field, and ** is provided in it. The thickness of the beginning [IC chip / 3 / of this example] has 300 micrometers - about 400 micrometers. And the openings 9A and 9B for terminal drawers beforehand formed in IC chip package board 1A etc. are filled up with the conductive members 12A and 12B, and IC chip 3 is joined to a circuit pattern on the back, an electrode, etc. Copper, silver, etc. are used for the conductive members 12A and 12B. Reverse may be sufficient as restoration of the electrical conducting materials 12A and 12B in this case, and the turn of IC chip connection. The electrical conducting materials 12A and 12B are not limited.
[0028]then, IC chip package board 1A shown in drawing 5 A -- chip embedded about 100-200 micrometers thick -- the one side copper foil board 15 of business is formed. In this case, the opening 16 of the size which makes IC chip 3 penetrate beforehand is formed in the one side copper foil board 15. And the one side copper foil board 15 is laminated on IC chip package board 1 so that the field of the copper foil 21 of this one side copper foil board 15 may turn to the upper part, and so that IC chip 3 may jump out of the opening 16.
[0029]Then, flattening of IC chip 3 of the portion which jumped out of the one side copper foil board 15 shown in drawing 5 B is ground and carried out. The grinding method is applied about the polish in this case. According to this grinding method, the rotation part of the polish device which is not illustrated is equipped with IC chip package board 1 as an abrasive face is turned downward, While IC chip package board 1 is pressurized from the device upper part in the lower part and IC chip package board 1 rotates, the predetermined part of IC chip 3 is ground by the abrasive paper 17 which moves horizontally.
[0030]Processing pressure is [an abbreviation $2x10^5$Pa grade and the revolving speed of a rotation part of the polish conditions in that case] 30 to 40 seconds / 1 rotation grade. It is made as [exchange / several times / on the way / the abrasive paper 17]. the roughness of the abrasive paper 17 is #400(rough)-#800 (finishing). The stream of the time of polish is carried out using pure water. Working hours are about 15 minutes/one sheet. In this case, it is good to use the copper foil 21 given to the polish side of the one side copper foil board 15 for IC chip penetration as a metallic foil for the end detection of polish. For example, although the polish particles of IC chip 3 of the portion which jumped out of the one side copper foil board 15 are observed in an early stage, if polish advances and a polish termination phase is reached gradually, the polish particles of the copper foil 21 will come to be observed. If polish is advanced, it will be mixed with the polish particles of IC chip 3, and the polish particles of the insulating material of the one side copper foil board 15 will come to be observed.

[0031]In this example, after the polish particles of the copper foil 21 are observed, when it is mixed with the polish particles of an IC chip and the polish particles of an insulating material are observed, polish is ended. All copper foil is ground, the surface of the insulating material of the one side copper foil board 15 and the surface of IC chip 3 which are shown by drawing 5 C are in the state which was equal to the same plane position, and this state serves as good grounds, such as the prepregs 4 and 5. As for IC chip 3, thickness is set to about 100-200 micrometers.
[0032]And after reducing the height of IC chip 3, the electrode for performance test is pulled out from IC chip package board 1. The electrode for these performance test is used in order to impress test voltage, to supply test data or to pull out that result data. Although a terminal may be provided only in a test as this electrode, in order to pierce through the electrode 4 and 5 connected to original signal input lines and signal output line, for example, prepregs, from a viewpoint which lessens a terminal number as much as possible, the wiring members 7 and 8 between substrates, etc. are formed. It is made as [make / the wiring members 7 and 8 between this substrate / serve a double purpose / as an electrode for performance test]. The wiring member 7 between substrates is shown in drawing 5 C, and the wiring member 7 between substrates is formed by print processes etc. so that metal, such as copper and silver, may project in a round electrode etc. convex.
[0033]If these IC chip package boards 1A and 1B are formed, before laminating IC chip package boards 1A and 1B and other circuit boards and multilayering, an electric inspection is conducted for every mounting board by IC tester 10 etc. which are shown in drawing 6. In this example, one IC chip package board 1 can be dealt with as one circuit block, When failure is produced in IC chip package board 1 before lamination of the multilayer substrate 100 concerned with a built-in IC chip, it becomes exchangeable [IC chip package board 1 which caused the failure], and a maintenance and its repair become easy.
[0034]The wiring member 7 between substrates etc. which pierce through the prepregs 4 and 5 are used for the electrode for performance test in this example. The test data in which the probes 13 and 14 of IC tester 10 are contacted by the wiring members 7 and 8 between substrates of this plurality, and a local mounting test is done for every circuit block and which was beforehand created for exclusive use by IC chip package board 1 etc. about this mounting test, of course is used.
[0035]Therefore, before laminating IC chip package board 1 and the inner layer wiring board 2, the defect of IC chip package board 1 is removable at an early stage. By this inspection result, the prepregs 4 and 5 can be intervened and only IC chip package board 1 and the inner layer wiring board 2 which were judged to be an excellent article can be laminated. After all laminating IC chip package board 1 and the inner layer wiring board 2, compared with the case where an electric inspection is conducted, the production yield of the multilayer substrate 100 concerned with a built-in IC chip can be raised.
[0036]Then, as shown in drawing 7, alignment of the printed-circuit board 6A for outer layers, IC chip package board 1A, the prepreg 4, the inner layer wiring board 2, the prepreg 5, IC chip package board 1B, and the printed-circuit board 6B for outer layers is carried out, and they are laminated. In this case, alignment is carried out so that the wiring members 7 and 8 between substrates may be pierced in the prepreg 4, and alignment is carried out so that the wiring members 7 and 8 between substrates may be pierced in the prepreg 5.
[0037]And the prepreg 4 is put between IC chip package board 1A and the inner layer wiring board 2, and the prepreg 5 is put between the inner layer wiring board 2 and IC chip package board 1B. In this state, IC chip package board 1A and the inner layer wiring board 2 are structurally joined by the prepreg 4, and IC chip package board 1A and the inner layer wiring board 2 are electrically joined by the wiring members 7 and 8 between substrates. With this, the inner layer wiring board 2 and the IC chip mounting device 1B are structurally joined by the prepreg 5, and the inner layer wiring board 2 and IC chip package board 1B are electrically joined by the wiring members 7 and 8 between substrates.
[0038]In this case, it is related and the application-of-pressure thermal bond of IC chip package

boards 1A and 1B, the inner layer wiring board 2, the prepregs 4 and 5, and the printed-circuit boards 6A and 6B for outer layers is carried out according to the same heat treatment process. For example, the laminated material which comprises the printed-circuit board 6A for outer layers, IC chip package board 1A, the prepreg 4, and the inner layer wiring board 6B is heated at about 170 **. And this laminated material is pressurized with a vacuum press machine etc. at a 40kg[/cm] ^{2} grade.

[0039]The metal which constitutes the wiring members 7 and 8 between substrates is crushed by this, between substrates is electrically connected, and the thermal bond of between each members is carried out, and the multilayer substrate 100 with a built-in IC chip shown in drawing 3 can be formed. Thus, it is made as [mount / resistance and parts, such as a capacitor, / in the outside surface of the obtained multilayer substrate 100 with a built-in IC chip / further].

[0040]Thus, according to the manufacturing method of the multilayer substrate with a built-in IC chip concerning a 1st embodiment concerning a previous invention. IC chips 3A and 3B about 300 micrometers thick having included many circuit element agenesis fields in the state where not the IC chip slimmed down from the beginning but the semiconductor wafer before the slimming down was cut can be dealt with as they are.

[0041]And where the circumference of IC chips 3A and 3B is protected with the one side copper foil board 15, slimming down and flattening can be carried out for IC chips 3A and 3B etc. so that it may double with the surface position of the insulating material of the one side copper foil board 15. Thereby, the height of the IC chips 3A and 3B can be doubled with every IC chip package board 1A and 1B, and the thin multilayer substrate 100 with a built-in IC chip which closed IC chips 3A and 3B, such as a memory and CPU, can be formed with sufficient reproducibility. More IC chips 3A and 3B can be carried, and the miniaturization of a printed circuit board can be attained.

[0042]In this embodiment, since the application-of-pressure thermal bond of IC chip package boards 1A and 1B, the inner layer wiring board 2, the prepregs 4 and 5, and the printed-circuit boards 6A and 6B for outer layers is carried out according to the same heat treatment process, The production yield by repair in process and rework can improve, and the cost cut by this can be aimed at. In a laminating process, with a metaled projection, since the electric interlayer connection is performed, the simpler and cheap multilayer substrate 100 with a built-in IC chip can be manufactured.

[0043]According to the result to which this artificer did the simulation of the substrate area, when carrying out the surface mount of the five IC chips at a flat surface on a mounting board, it compares (when the present CSP:Chip Size Package is used), In this invention method which builds in five LSI chips in a substrate, it became clear that 40 to 50% of miniaturization of a conventional system can be attained. Therefore, the miniaturization of the electronic equipment which applied the multilayer substrate 100 concerned with a built-in IC chip can be attained.

[0044]Although this embodiment explained the case where the one side copper foil board 15 for IC chip penetration was inserted after chip mounting, It is not restricted to this, and after first joining the circuit board 1 of real wearing of IC chip 3, and the one side copper foil board 15 with the opening 16 of the depth shallower than the thickness of the IC chip 3 and constituting a hole, it is supposed that IC chip 3 may be mounted.

[0045]However, in the invention in the above gazette, it has the following problems. Namely, in order to realize the reliability after slimming down after the easy handling before mounting of LSI, and mounting, and the high density of a completion multilayer substrate, LSI is mounted on an inner layer board and it slims down in the multilayer substrate which confines this LSI in the insulating layer between board layers by grinding the thickness of an inner layer board with an LSI armoring part beforehand.

[0046]When the surface grinding method shown in the embodiment exists [dispersion in the parallelism by the ****** bias of the circuit board for inner layers which mounted the IC chip built in], even if it takes the base level of a polish flat surface to a processed surface, it is almost the case

that a wave also exists simultaneously.
Exact polish becomes very difficult.

[0047]By existence of the surface of the circuit board for inner layers in early stages of polish and the level difference between the IC chips ground, polish may advance even to the wiring section of an IC chip or the substrate for inner layers that it is hard to come out of a uniform hit side, and a wiring deficit may be produced. the circuit element agenesis field side should grind, although it is possible to suppress the above-mentioned wiring deficit by coming out and enlarging thickness of a certain insulating layer, When even the level which can terminal point detect using a metallic foil cannot be thickened, the amount of polishes decreases inevitably, terminal point detection becomes difficult, and the problem of an above-mentioned wiring deficit becomes inescapable. Since the polish speed of copper foil and an IC chip is not in agreement (copper foil is later), when the abrasive paper is not rigid enough, a possibility that some IC chips may disappear is before terminal point detection.
[0048]It is as follows if this problem is illustrated and explained. As shown in drawing 8, when the thickness of the insulation material A has a bias, if a working standard side is taken as a graphic display, a deficit will arise in IC by superfluous polish. On the other hand, if a working standard side is taken as shown in drawing 9, the deficit of IC will be barred, but it is dramatically difficult to set up such a working standard side. Since a wave also exists in the insulation material A simultaneously as actually shown in drawing 10, a base level cannot be taken but polish becomes very difficult. If an abrasives is very hard like a grinding stone, it can grind in parallel, without an abrasives bending, as shown in drawing 11. however, an abrasives -- being flexible (a thing like the abrasive paper) -- the IC part which can be easy to delete if there is room to bend will be able to be scooped out first.
[0049]
[Problem(s) to be Solved by the Invention]This invention makes it a technical problem to provide a multilayer substrate with a built-in IC chip which solves the above problems, and a manufacturing method for the same.
[0050]
[Means for Solving the Problem]An IC chip package board mounted so that the above technical problem might embed an IC chip and said IC chip, An insulating layer between substrates provided in the chip embedded side side of said IC chip package board, The circuit board for outer layers provided in the chip non-embedded side side of said IC chip package board, Have the circuit board for inner layers laminated so that said IC chip package board and an insulating layer between substrates might be put to the circuit board for said outer layers, and said IC chip package board, A multilayer substrate with a built-in IC chip which thin-film-izes by blasting so that an IC chip of predetermined thickness may be arranged with thickness of a mounting board at chip ******, and is characterized by things, Or in a manufacturing method of a multilayer substrate with a built-in IC chip which mounts an IC chip on the circuit board, shuts up this IC chip by an insulating layer, and laminates this circuit board one by one, A process thin-film-ized by blasting so that a predetermined portion of said IC chip mounted by penetrating said insulating layer may be arranged with thickness of said circuit board, An IC chip is shut up and mounted in a manufacturing method of a multilayer substrate with a built-in IC chip having a process which laminates an IC chip package board and other circuit boards, and is multilayered after reducing height of said IC chip, or an insulating layer of the circuit board, In a manufacturing method of a multilayer substrate with a built-in IC chip which laminates this circuit board one by one, A process of forming a hole for IC chip burial in an insulating layer of the circuit board of desired thickness, A process of embedding and mounting an IC chip of thickness higher than the depth of said hole, Therefore, it is solved, without a manufacturing method of a multilayer substrate with a built-in IC chip having the process of thin-film-izing by blasting and forming said IC chip package board so that a predetermined part of an IC

chip projected from said hole may be arranged with thickness of said circuit board.
[0051]
[Embodiment of the Invention]Since it differs from the proposal (JP,2001-119148,A) of these people's point only in the process of thin-film-izing of an IC chip, an embodiment of the invention is described with reference to drawing 1 A - drawing 1 F about this process. As first shown in drawing 1 A, the circuit board 31 for IC chip mounting is prepared. This becomes by the glass-fabrics cloth substrate epoxy resin copper clad laminate (FR-4) 32, and uses thermosetting resin. A predetermined circuit pattern, an electrode, etc. are formed using a photolithography construction method like the usual substrate making process using FR-4. The circuit pattern 33 is made to form only in one side of the insulating material 32 from such copper foil or a conductive member in drawing 1 A.
[0052]Next, the opening 35 is formed in the circuit board 31 in order to electrically connect IC chip 34 and the circuit pattern 33 which are carried as shown in drawing 1 B. This is formed using laser etc.
[0053]As shown in drawing 1 C, the opening 35 is filled up with the conductive member 36, and IC chip 34 mounts on the conductive member 36 from the circuit pattern 33 and the field which counters (this is called an A horizon). The wiring surface of an inner layer circuit does not exist in the field thin-film-ized behind.
[0054]Subsequently, the insulation material 38 in which it is the same as the outside size of IC chip 34, or a little large opening 37 was made to form as shown in drawing 1 D is prepared (this calls a B horizon). An A horizon and a B horizon carry out alignment which inserts IC chip 34 in the opening 37, and are laminated by adhesives.
[0055]Next, alignment is made laminated material with a processed board, i.e., an A horizon, and a B horizon, and the metal mask 40 in which the bigger opening 39 than IC chip 34, the same size, or IC chip 34 was made to form as drawing 1 E shows is attached to it. Subsequently, slimming-down processing of the surface of IC chip 34 is carried out with sandblasting. Although there is no selectivity of a processing section in the sand blast processing itself, processing advances only a selecting part with the metal mask 40. After processing it to predetermined thickness, the metal mask 40 is removed and washing removes an abrasive grain and a residue. When dealing with the low IC chip of electrostatic pressure-proofing, it is desirable on an electrostatic measure to use a conductive abrasive grain. It is desirable that it is a water-soluble abrasive grain removable by washing after processing. In the stock state of an IC chip, since management of thickness is carried out, to certain blast conditions in time of which. Like whether the portion projected from the B horizon of the IC chip is processed, and griding indicated by JP,2001-119148,A since it was determined, neither a metallic foil nor the terminal point detection means carry out insulating-layer polish and using ** is required. Since the polish base level is unnecessary, even if it is a case where neither surface smoothness nor parallelism has appeared in the inner layer board (an A horizon, a B horizon), slimming down becomes possible correctly. Therefore, the problem of drawing 8 - drawing 12 is solved at once. The surface of the IC chip by which blast grinding is carried out is changing abrasive grain size, and since it can adjust a finished surface, it can also control adhesion with resin at the time of multilayer lamination. Since it is selection processing of only the surface of an IC chip, there is no damage to an IC chip and an IC chip armoring part. Since the path of the jet nozzle of a sandblasting machine is dramatically small compared with an IC chip, a nozzle is scanned several times exceeding the size of the opening 39 of the metal mask 40. It may be made to move the metal mask 40 side conversely.
[0056]After a breakthrough can open in the layered product of an A horizon and a B horizon as drawing 1 F shows, after an IC chip is ground almost flat-tapped, and the wiring member 41 between substrates is filled up with and projected here, Like JP,2001-119148,A, with the IC chip package board to which sand blast processing of another side was carried out similarly, it laminates like a surface wiring board, prepreg, a inner layer wiring board, another surface wiring board, and

drawing 3, and becomes a finished product.
[0057]Although drawing 2 shows a 2nd embodiment of this invention, the thermoplastic resin substrate 50 is used as an insulation material. The circuit pattern 51 which changes by copper foil is formed in this whole surface. Thermoplastics, such as PPS, LCP, PEEK, SPS, and PES, is applicable. By pushing against the resin base material 50, the vamp 52 (conductive member) for connection established on IC chip 34' with heater chip (not shown) heat pressing. This thermoplastics 50 becomes soft and it is connected to the circuit pattern 51, an electrode, etc. which were formed in the surface of the resin base material 50 in the state where it was buried and put as IC chip 34' showed by drawing 2 B. Although this embodiment also makes a metal mask be the same as that of a 1st embodiment and sand blast processing of the lobe of IC chip 34' is carried out, compared with a 1st embodiment, the formation process of the B horizon of drawing 1 B is skipped. Therefore, multilayer laminated material is more producible by low cost. When using a thermoplastic resin material as the circuit board, the slot for circuit patterns is formed, and these people embed conductive members, such as metal paste, at this, and may be made to form a circuit pattern directly, for example using the "transfer public-funds type" proposed previously (application for patent 2001-050989). The same circuit pattern can be formed by low cost in a short time rather than forming a circuit pattern with a photolithography construction method.
[0058]As mentioned above, of course based on the technical idea of this invention, various modification is possible for this invention, although the embodiment of the invention was described, without being limited to these.
[0059]For example, although sandblasting was used for processing an IC chip in an above embodiment, As abrasives for blasts, quartz sand, river sand, cast iron grit, cast steel grit, a cut wire, alumina grit, a silicon carbide shot, slag grit, etc. can be used, without restricting to this.
[0060]Although an above embodiment showed the case where one IC chip was embedded to the insulation material, also when embedding two or more IC chips, of course, this invention can be applied. In this case, what is necessary is to, prepare the metal mask which has an opening corresponding to the number of these embedded IC chips, of course, to adjust and position an IC chip to these openings, to set it by them, and just to process an IC chip with sandblasting like ****. In this case, what is necessary is just to define the floor to floor time of sandblasting according to the IC chip whose projection amount is in this case the smallest, although the height of the portion projected from the insulation material between IC chips may differ. It may replace with a metal mask and grinding of sandblasting may use the mask worse than an IC chip made of a synthetic resin.
[0061]
[Effect of the Invention]As stated above, according to a multilayer substrate with a built-in IC chip of this invention, and a manufacturing method for the same. The multilayer structure which increased the packaging area of the IC chip to the laminating direction in three dimensions, could perform high density assembly of the IC chip, and could reduce process cost further and excelled before in quality can be provided.

[Translation done.]

Electronic Acknowledgement Receipt

EFS ID:	13145836
Application Number:	13185165
International Application Number:	
Confirmation Number:	1795
Title of Invention:	METHOD FOR EMBEDDING A COMPONENT IN A BASE
First Named Inventor/Applicant Name:	Risto TUOMINEN
Customer Number:	2292
Filer:	David Richard Anderson/Patti Young
Filer Authorized By:	David Richard Anderson
Attorney Docket Number:	0365-0601PUS4
Receipt Date:	29-JUN-2012
Filing Date:	18-JUL-2011
Time Stamp:	15:24:04
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		20120629IDS.pdf	5362160 3820cd5b040c375199170c58134d6c831c1eeeb3	yes	10

	Multipart Description/PDF files in .zip description					
	Document Description		**Start**		**End**	
	Transmittal Letter		1		6	
	Information Disclosure Statement (IDS) Form (SB08)		7		10	
Warnings:						
Information:						
2	Foreign Reference	JP04283987A.pdf	813688 92ebaba59793c8bfa4193afed34c0ce3eac650cd		no	23
Warnings:						
Information:						
3	Foreign Reference	JP2000311229A.pdf	317524 b0bbc763124e9c20c92b2e817d86e1157510032a		no	15
Warnings:						
Information:						
4	Foreign Reference	JP200153447.pdf	795852 150f2d3526d322400f9bd31f45c97c3edc6e4450		no	12
Warnings:						
Information:						
5	Foreign Reference	JP2001274034.pdf	794645 8d80e12a5abf0d2b1f68480238c64d95d2b8f496		no	26
Warnings:						
Information:						
6	Foreign Reference	JP2001345560.pdf	1628929 896936c220b9ff1146321d6b3299d7417bf8fcfd		no	19
Warnings:						
Information:						
7	Foreign Reference	JP2002016327.pdf	887776 e5e9b5e691120b6c3aaf3e80c6d80d4268353e5e		no	23
Warnings:						
Information:						
8	Foreign Reference	JP2002158307.pdf	380935 37eea97c6b441a901bd2c6bd6380f8f077035a83		no	14
Warnings:						
Information:						

9	Foreign Reference	JP200337205.pdf	676234 2aaa3cc10e960f8428b29a83e784cb01cf012338	no	22

Warnings:	
Information:	
Total Files Size (in bytes):	11657743

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Docket No.: 0365-0601PUS4
(Patent)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Patent Application of: Risto TUOMINEN			
Application No.:	13/185,165	Confirmation No.:	1795
Filed:	July 18, 2011	Art Unit:	2895
For:	METHOD FOR EMBEDDING A COMPONENT IN A BASE	Examiner:	Mamadou L. Diallo

INFORMATION DISCLOSURE STATEMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Commissioner:

Applicant(s) hereby submit(s) an Information Disclosure Statement for consideration by the Examiner.

I. LIST OF PATENTS, PUBLICATIONS OR OTHER INFORMATION

The patents, publications, or other information submitted for consideration by the Office are listed on the attached PTO/SB/08.

II. COPIES

☑ a. Copies of foreign patent documents, non-patent literature and other information are provided.

☐ b. REFERENCES PREVIOUSLY CITED OR SUBMITTED: Copies of any information not provided can be found in one or more of the following applications which has been relied upon for an earlier filing date under 35 U.S.C. § 120:

U.S. Application No. and U.S. Filing Date

11/878,557 filed July 25, 2007

III. CONCISE EXPLANATION OF THE RELEVANCE/OTHER INFORMATION

☑ a. NON-ENGLISH LANGUAGE DOCUMENTS: A concise explanation of the relevance of all non-English language patents, publications, or other information listed is as follows:

An English language abstract is provided (as a partial translation) for the following reference(s): JP 4-283987, JP 2001-053447, JP 2001-274034, JP 2001-345560.

A machine-generated translation is provided for the following reference(s): JP 4-283987, JP 2000-311229, JP 2001-053447, JP 2001-274034, JP 2002-16327, JP 2002-158307, and JP 2003-037205.

☐ b. ENGLISH LANGUAGE SEARCH REPORT OR FOREIGN PATENT OFFICE COMMUNICATION: An English language version of the search report or Foreign Patent Office communication that indicates the degree of relevance is attached.

☐ c. OTHER: The following additional information is provided.

IV. STATEMENT UNDER 37 C.F.R. § 1.97(e)

The undersigned hereby states that:

☐ a. Each item of information contained in the IDS was first cited in any communication from a foreign patent office in a counterpart foreign application not more than **30 days** prior to the filing of this IDS. This statement does not relate to English language counterparts not listed in a communication from the foreign patent office. Such English language

counterparts are provided to aid the Examiner's consideration of non-English items first cited in the communication from the foreign patent office; or

☐ b. Each item of information contained in the IDS was first cited in any communication from a foreign patent office in a counterpart foreign application not more than **three months** prior to the filing of this IDS. This statement does not relate to English language counterparts not listed in a communication from the foreign patent office. Such English language counterparts are provided to aid the Examiner's consideration of non-English items first cited in the communication from the foreign patent office; or

☐ c. No item of information contained in the IDS was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of IDS was known to any individual designated in 37 C.F.R. § 1.56(c) more than **three months** prior to the filing of the IDS; or

☐ d. Some of the items of information in the IDS were cited in a communication from a foreign patent office. Such items were first cited in a communication from a foreign patent office in a counterpart foreign application not more than **three months** prior to the filing of this IDS. This statement does not relate to English language counterparts not listed in a communication from the foreign patent office. Such English language counterparts are provided to aid the Examiner's consideration of non-English items first cited in the communication from the foreign patent office. As to the remaining items of information, to the knowledge of the person signing the certification after making reasonable inquiry, such remaining items were not known to any individual designated in 37 C.F.R. § 1.56(c) more than **three months** prior to the filing of this statement.

V. STATEMENT UNDER 37 C.F.R. § 1.704(d)(1)

Patent Term Adjustment Reduction Should Not Apply

☐ The undersigned hereby states:

This Information Disclosure Statement is in compliance with 37 C.F.R. §§ 1.97 and 1.98 and will not be considered a failure to engage in reasonable efforts to conclude prosecution (processing or examination) of the present application under 37 C.F.R. § 1.704(c)(6), (c)(8), (c)(9), or (c)(10), because each item of information contained in the Information Disclosure Statement:

☐ (i) Was first cited in any communication from a patent office in a counterpart foreign or international application or from the Office, and this communication was not received by any individual designated in § 1.56(c) more than thirty days prior to the filing of the information disclosure statement; or

☐ (ii) Is a communication that was issued by a patent office in a counterpart foreign or international application or by the Office, and this communication was not received by any individual designated in § 1.56(c) more than thirty days prior to the filing of the information disclosure statement.

VI. FEES

☐ a. This Information Disclosure Statement is being filed concurrently with the filing of a new patent application or Request for Continued Examination. No fee is required.

☐ b. This Information Disclosure Statement is being filed within three months of the filing date of an application. No fee is required.

☑ c. This Information Disclosure Statement is being filed before the mailing date of a first Action on the merits. No fee is required. If a first Office Action on the merits has issued, please consider this IDS under 37 C.F.R. § 1.97(c) and see the statement under 37 C.F.R. § 1.97(e) above. If no statement has been made, charge our deposit account for the required fee.

☐ d. This Information Disclosure Statement is being filed before the mailing date of a Final Office Action or before the mailing date of a Notice of Allowance (see 37 C.F.R. § 1.97(e)(1)).

☐ No statement. The fee as required by 37 C.F.R. § 1.17(p) is provided.

or

☐ See the above statement. No fee is required.

☐ e. This Information Disclosure Statement is being filed after the mailing date of a Final Office Action or after the mailing date of a Notice of Allowance (see 37 C.F.R. § 1.97(d)), see the statement above. The fee as required by 37 C.F.R. § 1.17(p) is provided.

VII. PAYMENT OF FEES

☐ The required fee is listed on the attached Fee Transmittal.

☑ No fee is required.

If the Examiner has any questions concerning this IDS, please contact the undersigned. If it is determined that this IDS has been filed under the wrong rule, the USPTO is requested to consider this IDS under the proper rule and charge the appropriate fee to Deposit Account No. 02-2448.

Dated: June 29, 2012

Respectfully submitted,

By
Michael K. Mutter
Registration No.: 29,680
BIRCH, STEWART, KOLASCH & BIRCH, LLP
8110 Gatehouse Road, Suite 100 East
P.O. Box 747
Falls Church, VA 22040-0747
703-205-8000

Attachment(s):
- ☑ PTO/SB/08
- ☑ Document(s)
- ☐ Foreign Patent Office Communication
- ☐ Foreign Search Report
- ☐ Fee
- ☐ Other:

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
13/185,165	07/18/2011	Risto TUOMINEN	0365-0601PUS4

CONFIRMATION NO. 1795

2292
BIRCH STEWART KOLASCH & BIRCH
PO BOX 747
FALLS CHURCH, VA 22040-0747

PUBLICATION NOTICE



Title:METHOD FOR EMBEDDING A COMPONENT IN A BASE

Publication No.US-2011-0266041-A1
Publication Date:11/03/2011

NOTICE OF PUBLICATION OF APPLICATION

The above-identified application will be electronically published as a patent application publication pursuant to 37 CFR 1.211, et seq. The patent application publication number and publication date are set forth above.

The publication may be accessed through the USPTO's publically available Searchable Databases via the Internet at www.uspto.gov. The direct link to access the publication is currently http://www.uspto.gov/patft/.

The publication process established by the Office does not provide for mailing a copy of the publication to applicant. A copy of the publication may be obtained from the Office upon payment of the appropriate fee set forth in 37 CFR 1.19(a)(1). Orders for copies of patent application publications are handled by the USPTO's Office of Public Records. The Office of Public Records can be reached by telephone at (703) 308-9726 or (800) 972-6382, by facsimile at (703) 305-8759, by mail addressed to the United States Patent and Trademark Office, Office of Public Records, Alexandria, VA 22313-1450 or via the Internet.

In addition, information on the status of the application, including the mailing date of Office actions and the dates of receipt of correspondence filed in the Office, may also be accessed via the Internet through the Patent Electronic Business Center at www.uspto.gov using the public side of the Patent Application Information and Retrieval (PAIR) system. The direct link to access this status information is currently http://pair.uspto.gov/. Prior to publication, such status information is confidential and may only be obtained by applicant using the private side of PAIR.

Further assistance in electronically accessing the publication, or about PAIR, is available by calling the Patent Electronic Business Center at 1-866-217-9197.

Office of Data Managment, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101

PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875

Application or Docket Number: 13/185,165

APPLICATION AS FILED - PART I

FOR	(Column 1) NUMBER FILED	(Column 2) NUMBER EXTRA	SMALL ENTITY RATE($)	SMALL ENTITY FEE($)	OR	OTHER THAN SMALL ENTITY RATE($)	OTHER THAN SMALL ENTITY FEE($)
BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A	330
SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A			N/A	540
EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A	220
TOTAL CLAIMS (37 CFR 1.16(i))	1 minus 20 =	*			OR	x 52 =	0.00
INDEPENDENT CLAIMS (37 CFR 1.16(h))	1 minus 3 =	*				x 220 =	0.00
APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $270 ($135 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).						0.00
MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))							0.00
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL	1090

APPLICATION AS AMENDED - PART II

		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE($)	SMALL ENTITY ADDITIONAL FEE($)	OR	OTHER THAN SMALL ENTITY RATE($)	OTHER THAN SMALL ENTITY ADDITIONAL FEE($)
AMENDMENT A	Total (37 CFR 1.16(i))	*	Minus	**	=	x =		OR	x =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	x =		OR	x =	
	Application Size Fee (37 CFR 1.16(s))									
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	RATE($)	ADDITIONAL FEE($)		RATE($)	ADDITIONAL FEE($)
AMENDMENT B	Total (37 CFR 1.16(i))	*	Minus	**	=	x =		OR	x =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	x =		OR	x =	
	Application Size Fee (37 CFR 1.16(s))									
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".
The "Highest Number Previously Paid For" (Total or Independent) is the highest found in the appropriate box in column 1.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING or 371(c) DATE	GRP ART UNIT	FIL FEE REC'D	ATTY.DOCKET.NO	TOT CLAIMS	IND CLAIMS
13/185,165	07/18/2011	1735	1090	0365-0601PUS4	1	1

CONFIRMATION NO. 1795

2292
BIRCH STEWART KOLASCH & BIRCH
PO BOX 747
FALLS CHURCH, VA 22040-0747

FILING RECEIPT



Date Mailed: 07/29/2011

Receipt is acknowledged of this non-provisional patent application. The application will be taken up for examination in due course. Applicant will be notified as to the results of the examination. Any correspondence concerning the application must include the following identification information: the U.S. APPLICATION NUMBER, FILING DATE, NAME OF APPLICANT, and TITLE OF INVENTION. Fees transmitted by check or draft are subject to collection. Please verify the accuracy of the data presented on this receipt. **If an error is noted on this Filing Receipt, please submit a written request for a Filing Receipt Correction. Please provide a copy of this Filing Receipt with the changes noted thereon. If you received a "Notice to File Missing Parts" for this application, please submit any corrections to this Filing Receipt with your reply to the Notice. When the USPTO processes the reply to the Notice, the USPTO will generate another Filing Receipt incorporating the requested corrections**

Applicant(s)

Risto TUOMINEN, Helsinki, FINLAND;

Power of Attorney: The patent practitioners associated with Customer Number 02292

Domestic Priority data as claimed by applicant

This application is a CON of 11/878,557 07/25/2007 PAT 7,989,944
which is a CON of 10/502,336 09/23/2004 PAT 7,294,529

Foreign Applications (You may be eligible to benefit from the **Patent Prosecution Highway** program at the USPTO. Please see http://www.uspto.gov for more information.)
FINLAND 20020191 01/31/2002

If Required, Foreign Filing License Granted: 07/27/2011

The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is **US 13/185,165**

Projected Publication Date: 11/03/2011

Non-Publication Request: No

Early Publication Request: No

Title

METHOD FOR EMBEDDING A COMPONENT IN A BASE

Preliminary Class

228

PROTECTING YOUR INVENTION OUTSIDE THE UNITED STATES

Since the rights granted by a U.S. patent extend only throughout the territory of the United States and have no effect in a foreign country, an inventor who wishes patent protection in another country must apply for a patent in a specific country or in regional patent offices. Applicants may wish to consider the filing of an international application under the Patent Cooperation Treaty (PCT). An international (PCT) application generally has the same effect as a regular national patent application in each PCT-member country. The PCT process **simplifies** the filing of patent applications on the same invention in member countries, but **does not result** in a grant of "an international patent" and does not eliminate the need of applicants to file additional documents and fees in countries where patent protection is desired.

Almost every country has its own patent law, and a person desiring a patent in a particular country must make an application for patent in that country in accordance with its particular laws. Since the laws of many countries differ in various respects from the patent law of the United States, applicants are advised to seek guidance from specific foreign countries to ensure that patent rights are not lost prematurely.

Applicants also are advised that in the case of inventions made in the United States, the Director of the USPTO must issue a license before applicants can apply for a patent in a foreign country. The filing of a U.S. patent application serves as a request for a foreign filing license. The application's filing receipt contains further information and guidance as to the status of applicant's license for foreign filing.

Applicants may wish to consult the USPTO booklet, "General Information Concerning Patents" (specifically, the section entitled "Treaties and Foreign Patents") for more information on timeframes and deadlines for filing foreign patent applications. The guide is available either by contacting the USPTO Contact Center at 800-786-9199, or it can be viewed on the USPTO website at http://www.uspto.gov/web/offices/pac/doc/general/index.html.

For information on preventing theft of your intellectual property (patents, trademarks and copyrights), you may wish to consult the U.S. Government website, http://www.stopfakes.gov. Part of a Department of Commerce initiative, this website includes self-help "toolkits" giving innovators guidance on how to protect intellectual property in specific countries such as China, Korea and Mexico. For questions regarding patent enforcement issues, applicants may call the U.S. Government hotline at 1-866-999-HALT (1-866-999-4158).

LICENSE FOR FOREIGN FILING UNDER

Title 35, United States Code, Section 184

Title 37, Code of Federal Regulations, 5.11 & 5.15

GRANTED

The applicant has been granted a license under 35 U.S.C. 184, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" followed by a date appears on this form. Such licenses are issued in all applications where the conditions for issuance of a license have been met, regardless of whether or not a license may be required as

set forth in 37 CFR 5.15. The scope and limitations of this license are set forth in 37 CFR 5.15(a) unless an earlier license has been issued under 37 CFR 5.15(b). The license is subject to revocation upon written notification. The date indicated is the effective date of the license, unless an earlier license of similar scope has been granted under 37 CFR 5.13 or 5.14.

This license is to be retained by the licensee and may be used at any time on or after the effective date thereof unless it is revoked. This license is automatically transferred to any related applications(s) filed under 37 CFR 1.53(d). This license is not retroactive.

The grant of a license does not in any way lessen the responsibility of a licensee for the security of the subject matter as imposed by any Government contract or the provisions of existing laws relating to espionage and the national security or the export of technical data. Licensees should apprise themselves of current regulations especially with respect to certain countries, of other agencies, particularly the Office of Defense Trade Controls, Department of State (with respect to Arms, Munitions and Implements of War (22 CFR 121-128)); the Bureau of Industry and Security, Department of Commerce (15 CFR parts 730-774); the Office of Foreign AssetsControl, Department of Treasury (31 CFR Parts 500+) and the Department of Energy.

NOT GRANTED

No license under 35 U.S.C. 184 has been granted at this time, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" DOES NOT appear on this form. Applicant may still petition for a license under 37 CFR 5.12, if a license is desired before the expiration of 6 months from the filing date of the application. If 6 months has lapsed from the filing date of this application and the licensee has not received any indication of a secrecy order under 35 U.S.C. 181, the licensee may foreign file the application pursuant to 37 CFR 5.15(b).

PTO/SB/05 (08-08)
Approved for use through 06/30/2010 OMB 0651-0032
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

UTILITY PATENT APPLICATION TRANSMITTAL

(Only for new nonprovisional applications under 37 CFR 1.53(b))

Attorney Docket No.	0365-0601PUS4
First Inventor	Risto TUOMINEN
Title	METHOD FOR EMBEDDING A COMPONENT IN A BASE
Express Mail Label No.	

APPLICATION ELEMENTS

See MPEP chapter 600 concerning utility patent application contents.

1. [✓] **Fee Transmittal Form** (e.g., PTO/SB/17)
2. [ ] **Applicant claims small entity status.** See 37 CFR 1.27.
3. [✓] **Specification** [*Total Pages* 20] Both the claims and abstract must start on a new page *(For information on the preferred arrangement, see MPEP 608.01(a))*
4. [✓] **Drawing(s)** (35 U.S.C. 113) [*Total Sheets* 12]
5. **Oath or Declaration** [*Total Sheets* 2]
   a. [ ] Newly executed (original or copy)
   b. [✓] A copy from a prior application (37 CFR 1.63(d)) *(for continuation/divisional with Box 18 completed)*
      i. [ ] DELETION OF INVENTOR(S) Signed statement attached deleting inventor(s) name in the prior application, see 37 CFR 1.63(d)(2) and 1.33(b).
6. [ ] **Application Data Sheet.** See 37 CFR 1.76
7. [ ] **CD-ROM or CD-R** in duplicate, large table or Computer Program *(Appendix)* [ ] Landscape Table on CD
8. **Nucleotide and/or Amino Acid Sequence Submission** *(if applicable, items a. – c. are required)*
   a. [ ] Computer Readable Form (CRF)
   b. Specification Sequence Listing on:
      i. [ ] CD-ROM or CD-R (2 copies); or
      ii. [ ] Paper
   c. [ ] Statements verifying identity of above copies

ADDRESS TO: **Commissioner for Patents, P.O. Box 1450, Alexandria VA 22313-1450**

ACCOMPANYING APPLICATION PARTS

9. [ ] **Assignment Papers** (cover sheet (PTO-1595) & document(s)) Name of Assignee: IMBERA ELECTRONICS OY
10. [ ] **37 CFR 3.73(b) Statement** *(when there is an assignee)* [ ] **Power of Attorney**
11. [ ] **English Translation Document** *(if applicable)*
12. [✓] **Information Disclosure Statement** (PTO/SB/08 or PTO-1449) [✓] Copies of foreign patent documents, publications, & other information
13. [ ] **Preliminary Amendment**
14. [ ] **Return Receipt Postcard** (MPEP 503) *(Should be specifically itemized)*
15. [ ] **Certified Copy of Priority Document(s)** *(if foreign priority is claimed)*
16. [ ] **Nonpublication Request** under 35 U.S.C. 122(b)(2)(B)(i). Applicant must attach form PTO/SB/35 or equivalent.
17. [ ] Other:

18. If a CONTINUING APPLICATION, *check appropriate box, and supply the requisite information below and in the first sentence of the specification following the title, or in an Application Data Sheet under 37 CFR 1.76:*

[✓] Continuation [ ] Divisional [ ] Continuation-in-part (CIP) of prior application No.: 11/878,557

Prior application information: *Examiner* M. Dialo *Art Unit:* 2895

19. CORRESPONDENCE ADDRESS

[✓] The address associated with Customer Number: 62292 OR [ ] Correspondence address below

Name					
Address					
City		State		Zip Code	
Country		Telephone		Email	

Signature		Date	July 18, 2011
Name (Print/Type)	Michael K. Mutter	Registration No. (Attorney/Agent)	29,680

This collection of information is required by 37 CFR 1.53(b). The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

BIR[redacted] STEWART, KOLASCH & BIR[redacted] LLP
P.O. Box 747 • Falls Church, Virginia 22040-0747
Telephone: (703) 205-8000 • Facsimile: (703) 205-8050

ATTORNEY DOCKET NO.
0365-0601PUS1

PLEASE NOTE: YOU MUST COMPLETE THE FOLLOWING:

COMBINED DECLARATION AND POWER OF ATTORNEY FOR PATENT AND DESIGN APPLICATIONS

COPY

As a below named inventor, I hereby declare that: my residence, post office address and citizenship are as stated next to my name; that I verily believe that I am the original, first and sole inventor (if only one inventor is named below) or an original, first and joint inventor (if plural inventors are named below) of the subject matter which is claimed and for which a patent is sought on the invention entitled:

Insert Title: Method for embedding a component in a base

the specifications of which is attached hereto, the application is identified by the attorney docket number as set forth above and/or the following:

Fill in Appropriate Information - For Use Without Specification Attached:

the specification was filed on _____ as United States Application Number _____; and amended on _____ (if applicable); and/or the specification was filed on January 28, 2003 as PCT International Application Number PCT/FI03/00065; and was amended on _____ (if applicable)

I hereby state that I have reviewed and understand the contents of the above identified specification, including the claims, as amended by any amendment referred to above.

I acknowledge the duty to disclose information which is material to patentability as defined in Title 37, Code of Federal Regulations, §1.56.

I do not know and do not believe the same was ever known or used in the United States of America before my or our invention thereof, or patented or described in any printed publication in any country before my or our invention thereof or more than one year prior to this application, that the same was not in public use or on sale in the United States of America more than one year prior to this application, that the invention has not been patented or made the subject of an inventor's certificate issued before the date of this application in any country foreign to the United States of America on an application filed by me or my legal representatives or assigns more than twelve months (six months for designs) prior to this application, and that no application for patent or inventor's certificate on this invention has been filed in any country foreign to the United States of America prior to this application by me or my legal representatives or assigns, except as follows.

I hereby claim foreign priority benefits under Title 35, United States Code, §119 (a)-(d) of any foreign application(s) for patent or inventor's certificate listed below and have also identified below any foreign application for patent or inventor's certificate having a filing date before that of the application on which priority is claimed:

Insert Priority Information: (if appropriate)

Prior Foreign Application(s)

(Number)	(Country)	(Month / Day / Year Filed)	Priority Claimed
20020191	Finland	01/31/2002	☒ Yes ☐ No
			☐ Yes ☐ No
			☐ Yes ☐ No
			☐ Yes ☐ No

Insert Provisional Application(s): (if any)

I hereby claim the benefit under Title 35, United States Code, §119(e) of any United States provisional application(s) listed below.

(Application Number)	(Filing Date)

All Foreign Applications, if any, for any Patent or Inventor's Certificate Filed more than 12 months (6 months for designs) Prior to the Filing Date of this Application:

Insert Requested Information: (if appropriate)

Country	Application Number	Date of Filing (Month / Day / Year)

I hereby claim the benefit under Title 35, United States Code, §120 of any United States and/or PCT application(s), including for continuation-in-part application(s) listed below and, insofar as the subject matter of each of the claims of this application is not disclosed in the prior United States and/or PCT application in the manner provided by the first paragraph of Title 35, United States Code, §112, I acknowledge the duty to disclose information which is material to the patentability as defined in Title 37, Code of Federal Regulations, §1.56 which became available between the filing date of the prior application and the national or PCT international filing date of this application.

Insert Prior U.S. Application(s): (if any)

(Application Number)	(Filing Date)	(Status - patented, pending, abandoned)

COPY

Atty. Dkt. No.: 0365-0601PUS1

I hereby appoint the practitioners at **CUSTOMER NO. 02292** as my attorneys or agents to prosecute this application and/or an international application based on this application and to transact all business in the Patent and Trademark Office connected therewith and in connection with the resulting patent based on instructions received from the entity who first sent the application papers to the practitioners, unless the inventor(s) or assignee provides said practitioners with a written notice to the contrary:

Send Correspondence to:
BIRCH, STEWART, KOLASCH & BIRCH, LLP or **CUSTOMER NO. 02292**
P.O. Box 747 • Falls Church, Virginia 22040-0747
Telephone: (703) 205-8000 • Facsimile: (703) 205-8050

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.

PLEASE NOTE: YOU MUST COMPLETE THE FOLLOWING:

Full Name of First or Sole Inventor; Insert Name of Inventor; Insert Date This Document is Signed; Insert Residence; Insert Citizenship; Insert Mailing Address

GIVEN NAME / FAMILY NAME	INVENTOR'S SIGNATURE	DATE*
Risto Tuominen		July 9, 2004
Residence (City, State & Country): Helsinki, Finland		CITIZENSHIP: Finnish
MAILING ADDRESS (Complete Street Address including City, State & Country): Väinölänkatu 17 B 18, FI-00610 Helsinki, Finland		

Full Name of Second Inventor, if any; see above

GIVEN NAME / FAMILY NAME	INVENTOR'S SIGNATURE	DATE*
Residence (City, State & Country)		CITIZENSHIP
MAILING ADDRESS (Complete Street Address including City, State & Country)		

Full Name of Third Inventor, if any; see above

GIVEN NAME / FAMILY NAME	INVENTOR'S SIGNATURE	DATE*
Residence (City, State & Country)		CITIZENSHIP
MAILING ADDRESS (Complete Street Address including City, State & Country)		

Full Name of Fourth Inventor, if any; see above

GIVEN NAME / FAMILY NAME	INVENTOR'S SIGNATURE	DATE*
Residence (City, State & Country)		CITIZENSHIP
MAILING ADDRESS (Complete Street Address including City, State & Country)		

Full Name of Fifth Inventor, if any; see above

GIVEN NAME / FAMILY NAME	INVENTOR'S SIGNATURE	DATE*
Residence (City, State & Country)		CITIZENSHIP
MAILING ADDRESS (Complete Street Address including City, State & Country)		

Page 2 of 2
(Revised 01/01)

* DATE OF SIGNATURE

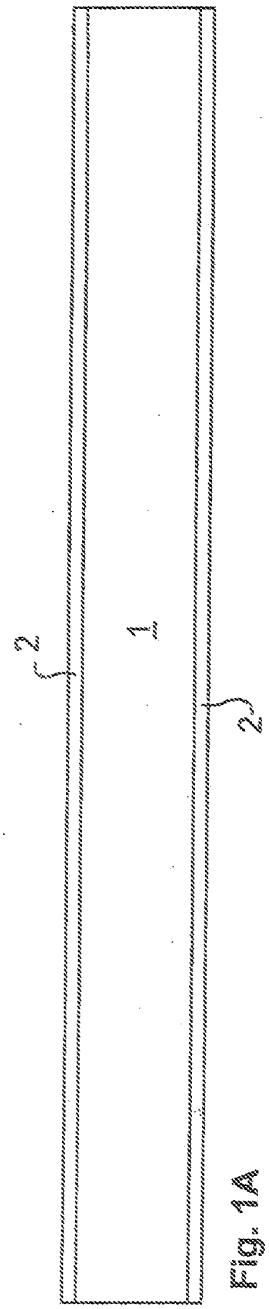


Fig. 1A

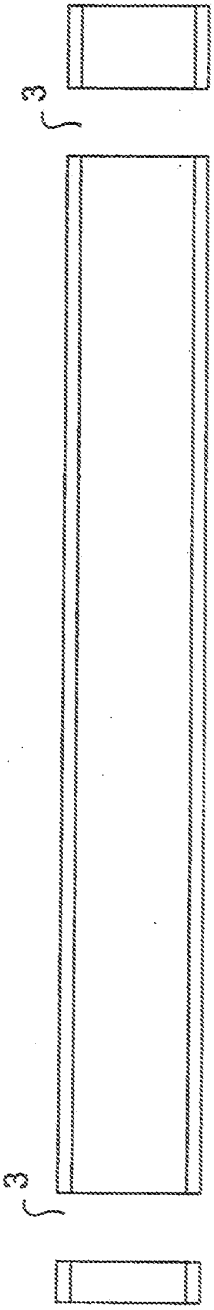


Fig. 1B

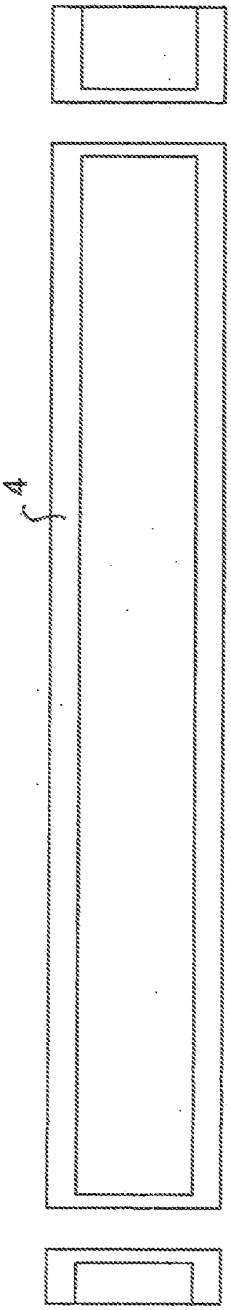


Fig. 1C

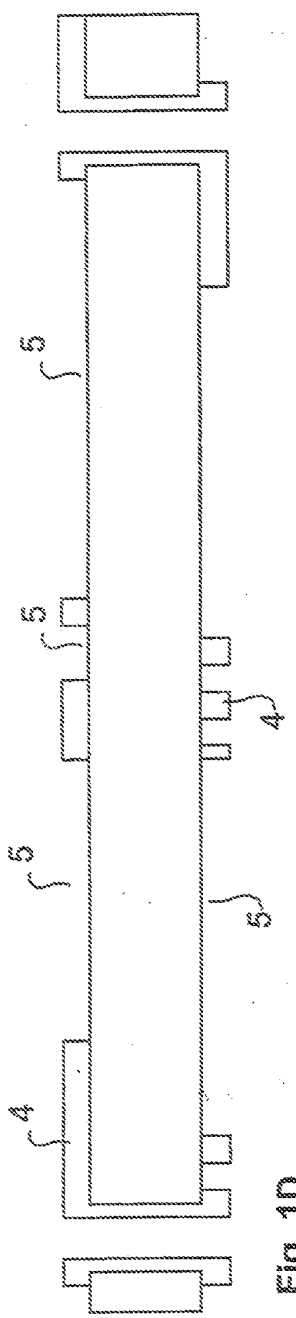


Fig. 1D

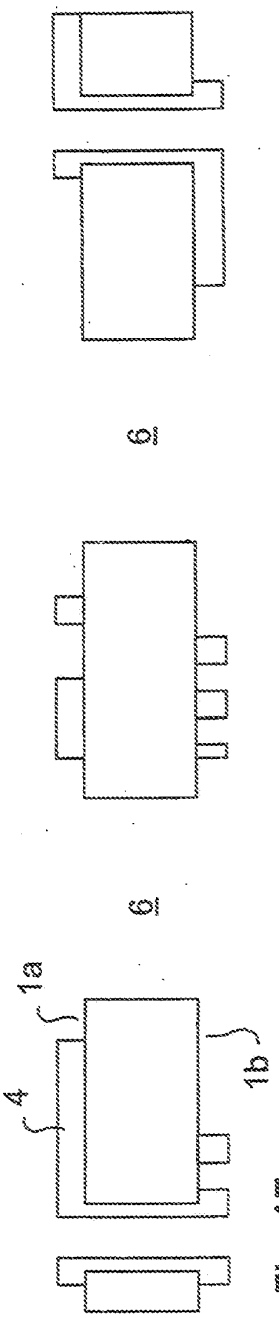


Fig. 1E

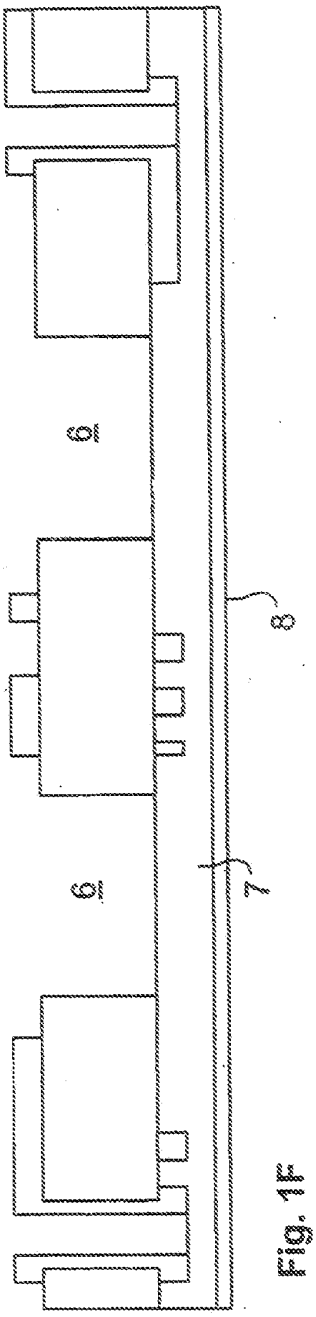


Fig. 1F

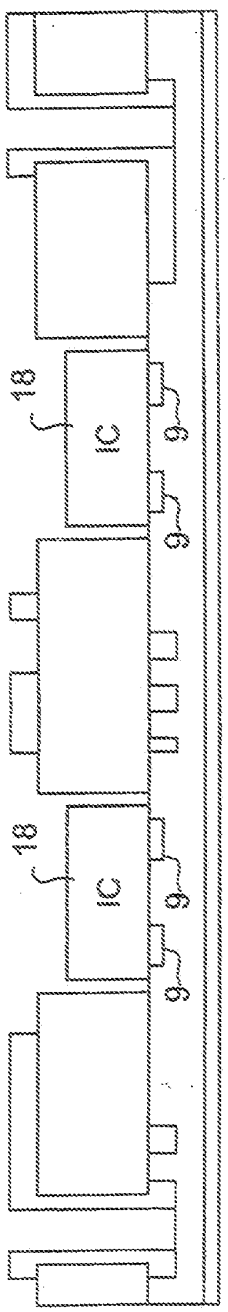


Fig. 1G

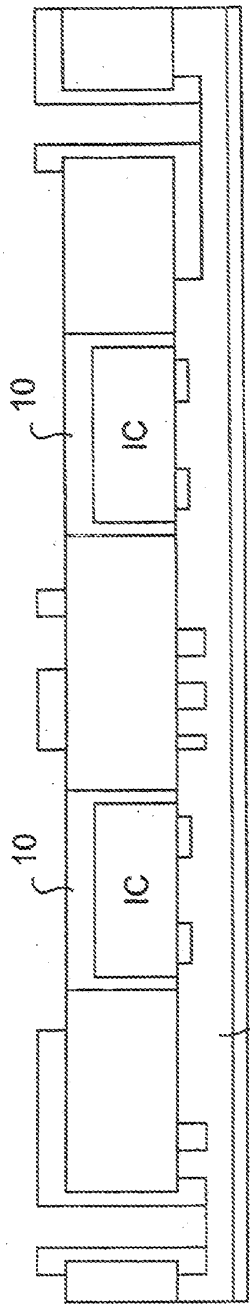


Fig. 1I

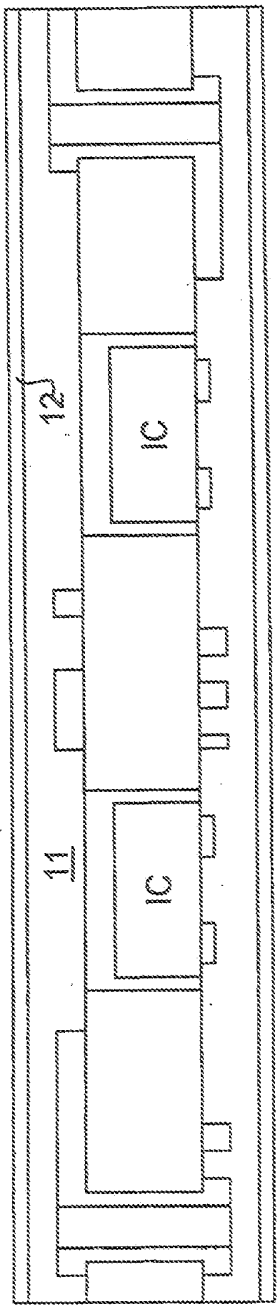


Fig. 1J

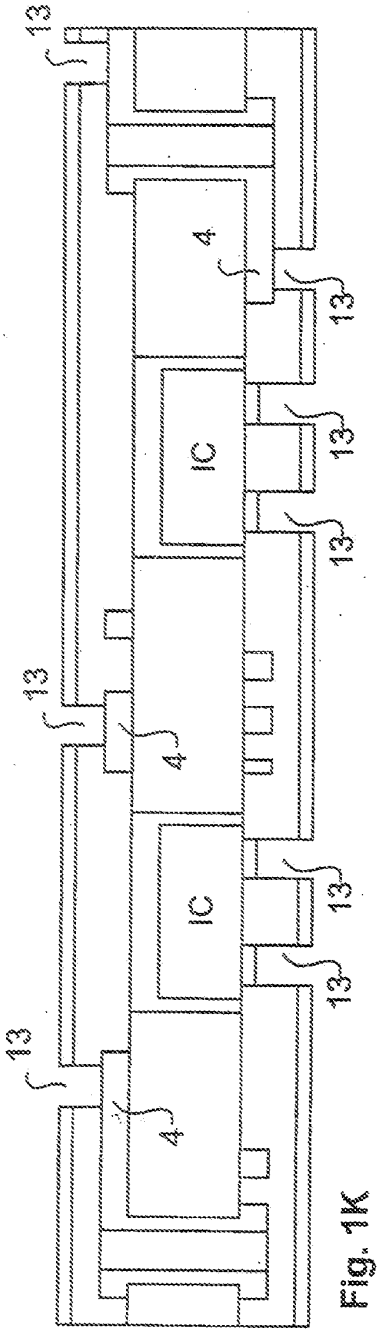


Fig. 1K

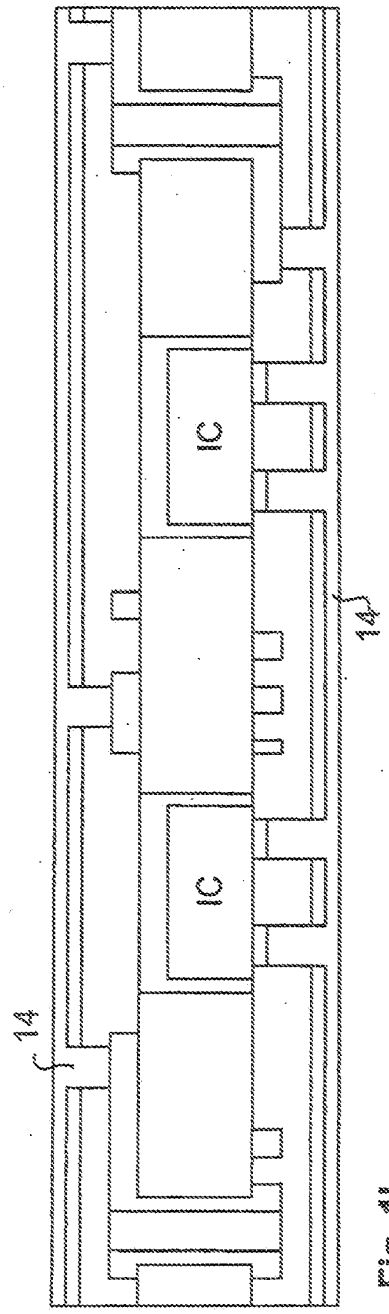


Fig. 1L

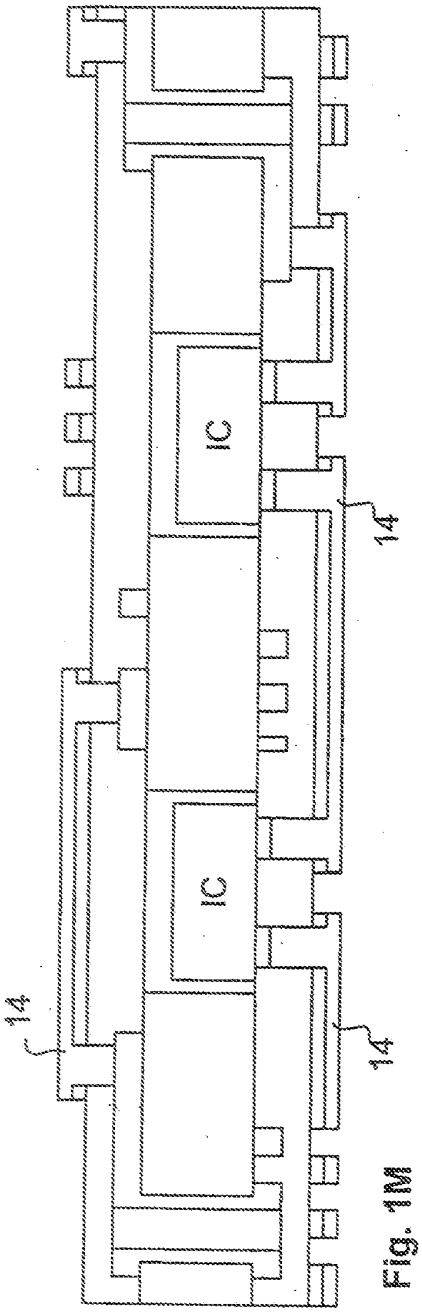


Fig. 1M

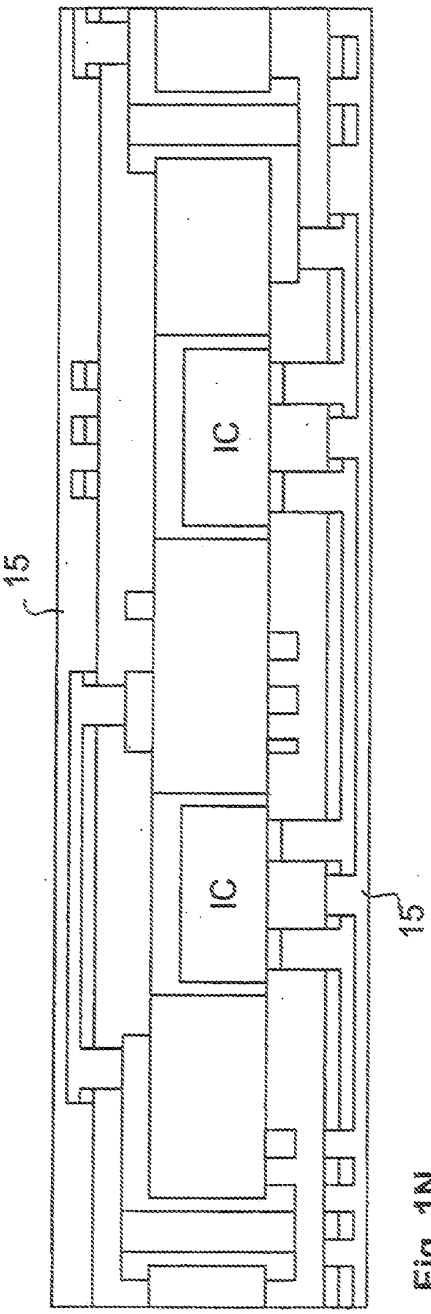


Fig. 1N

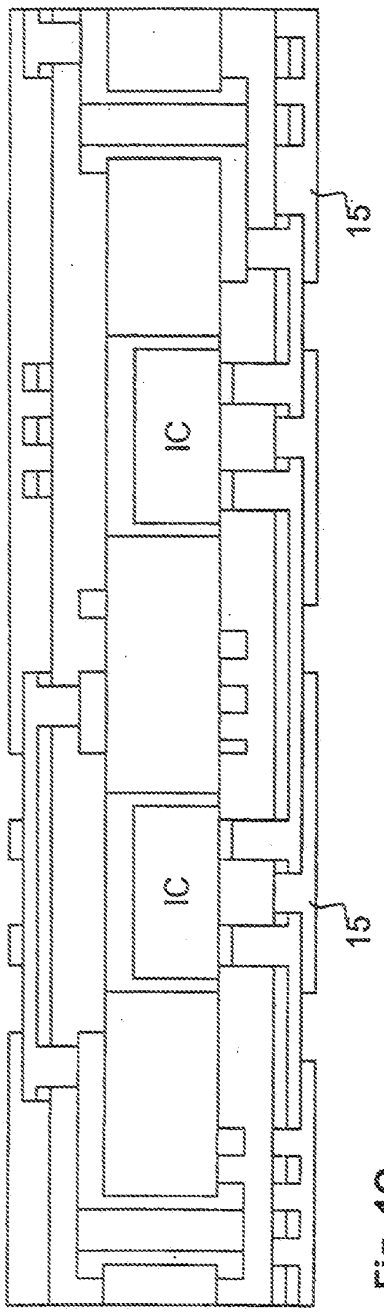


Fig. 1O

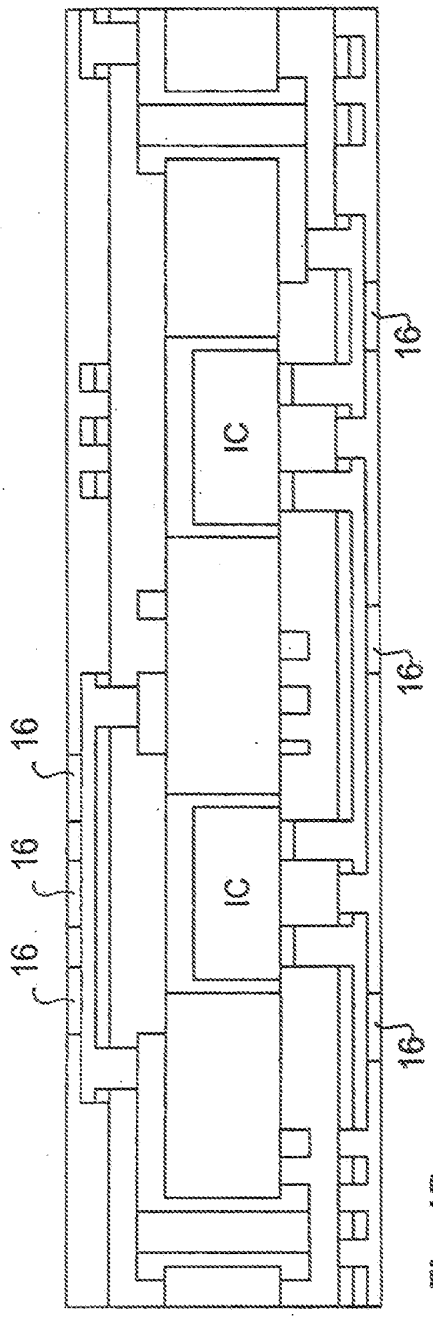


Fig. 1P

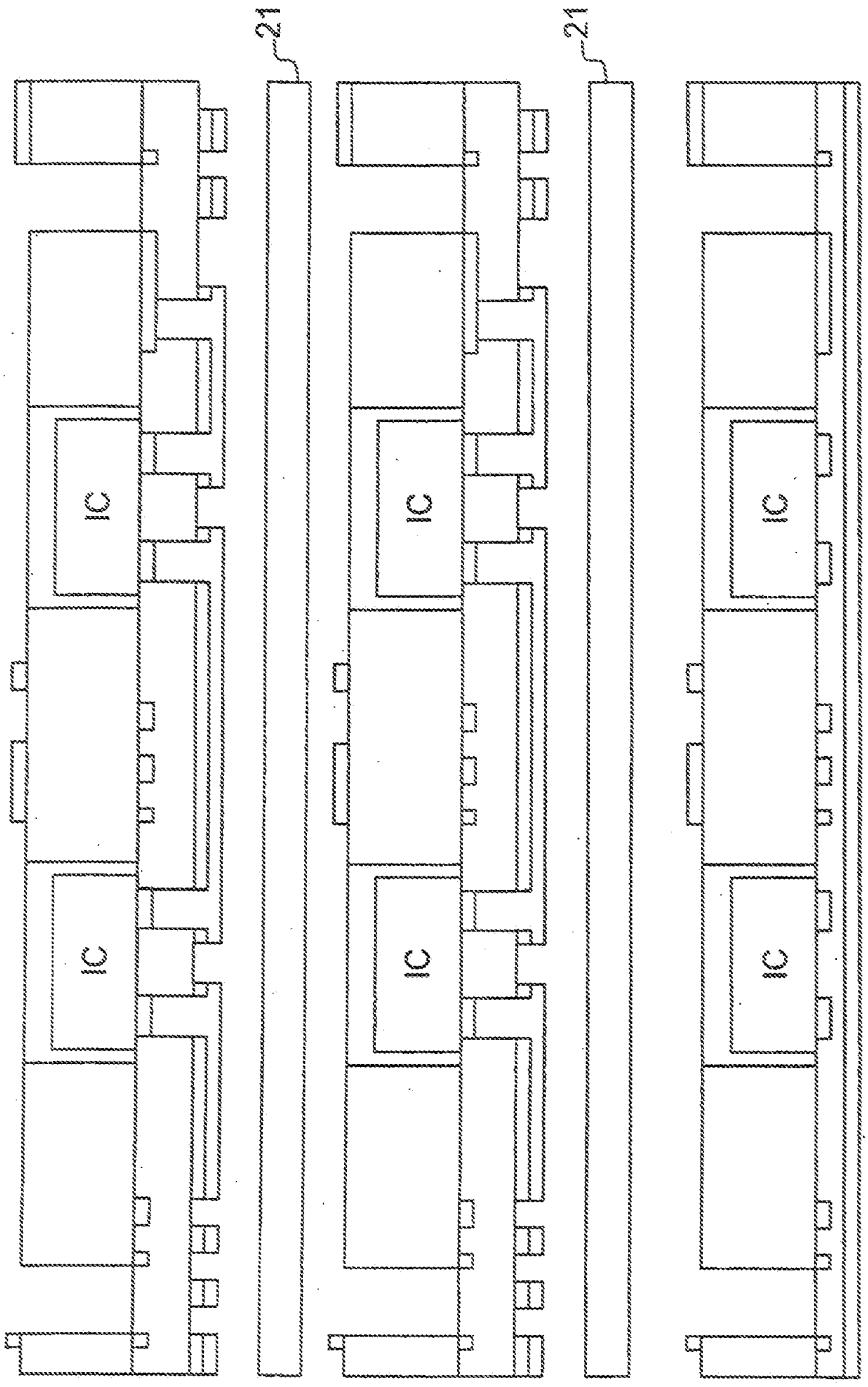


Fig. 2A

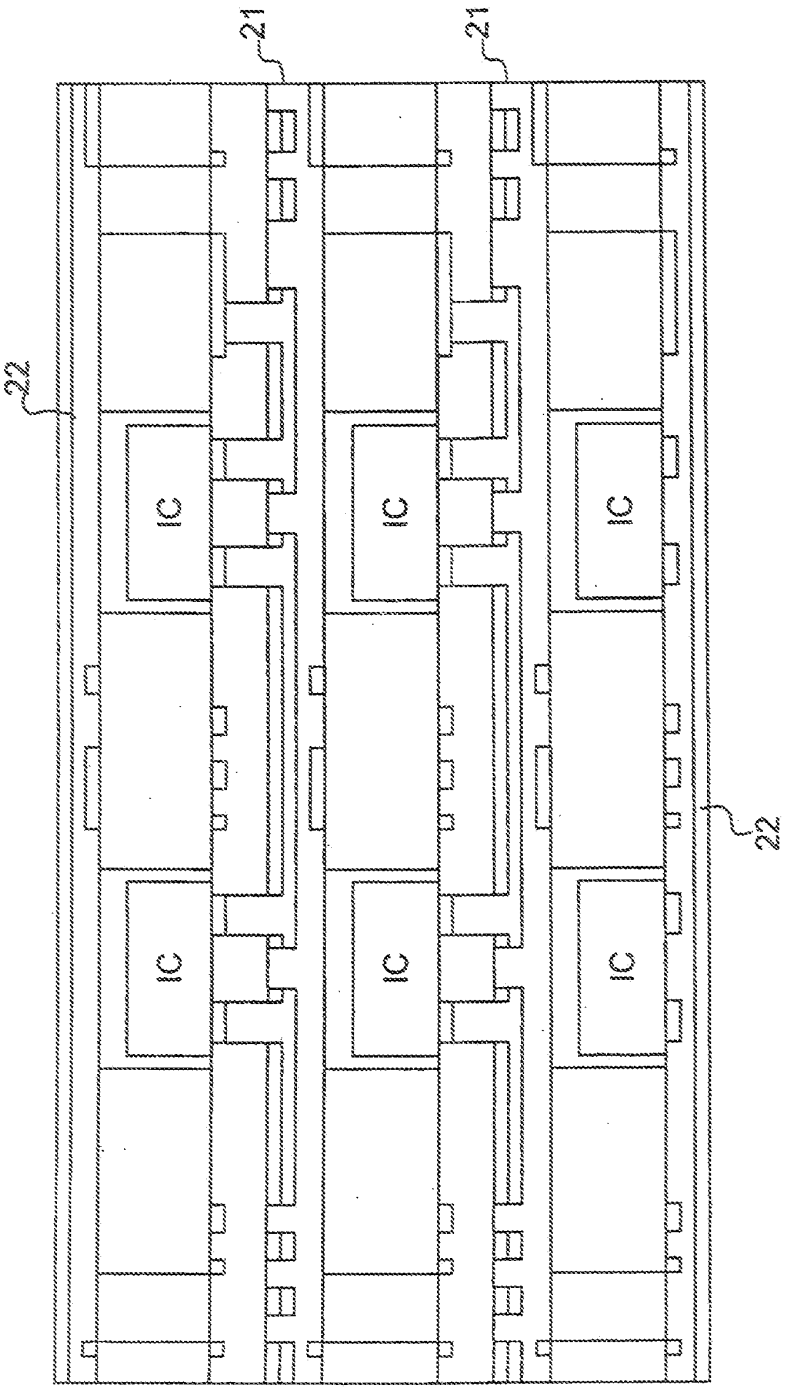


Fig. 2B

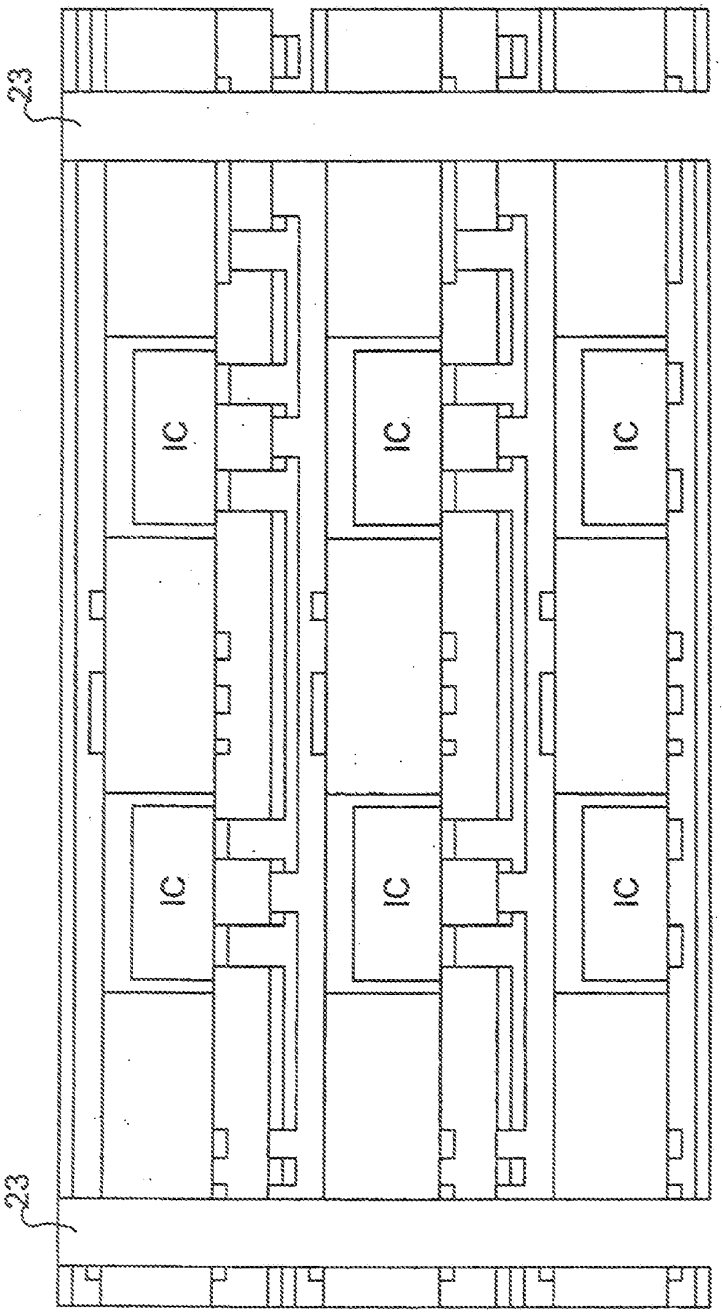


Fig. 2C

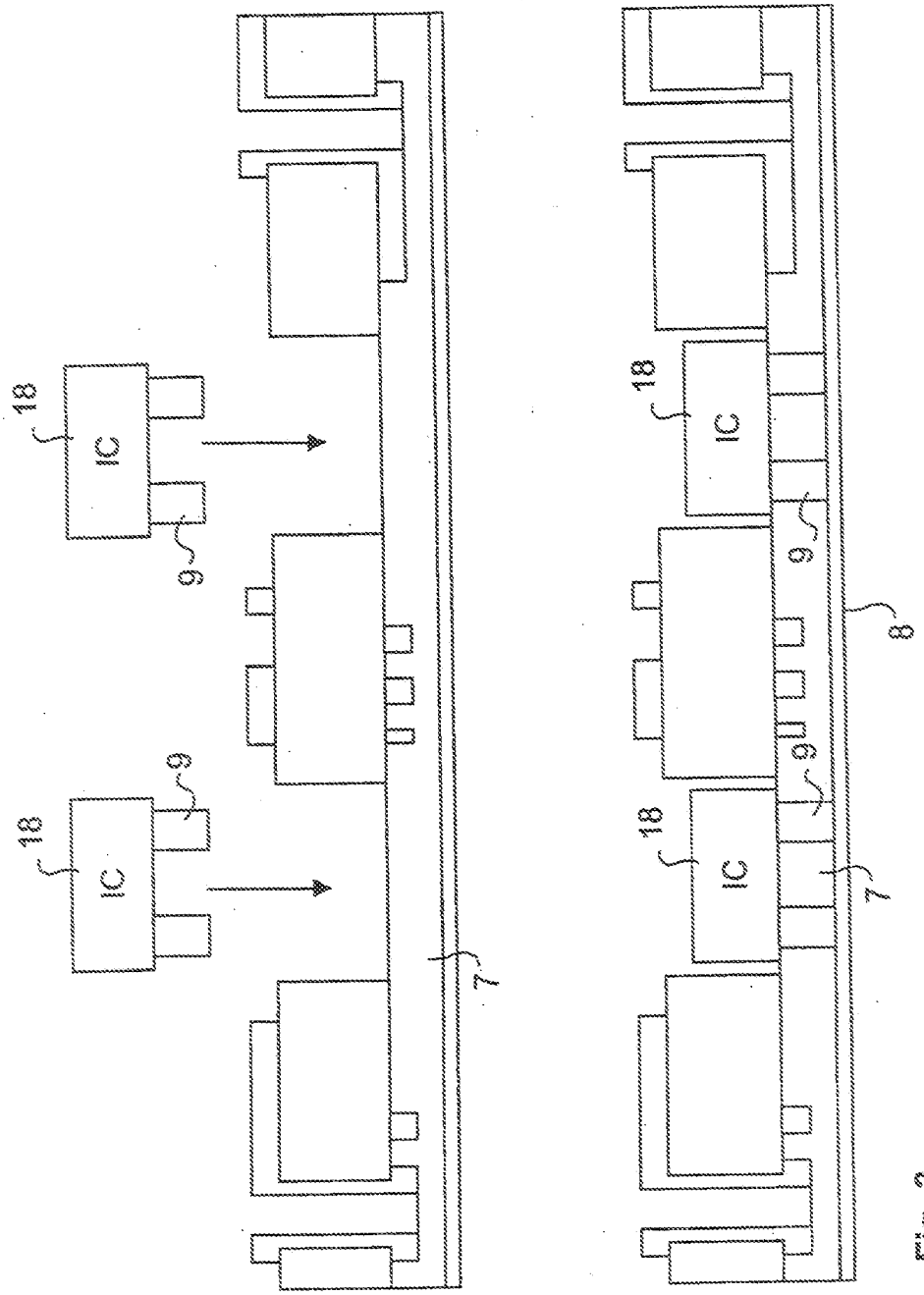


Fig. 3

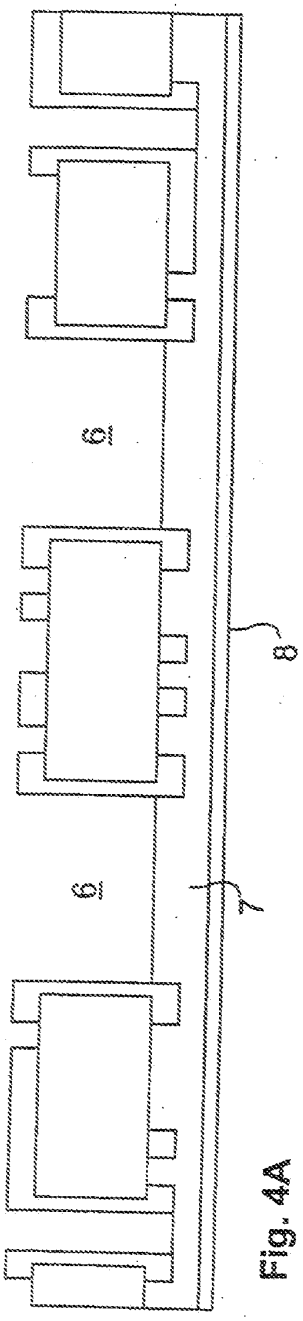


Fig. 4A

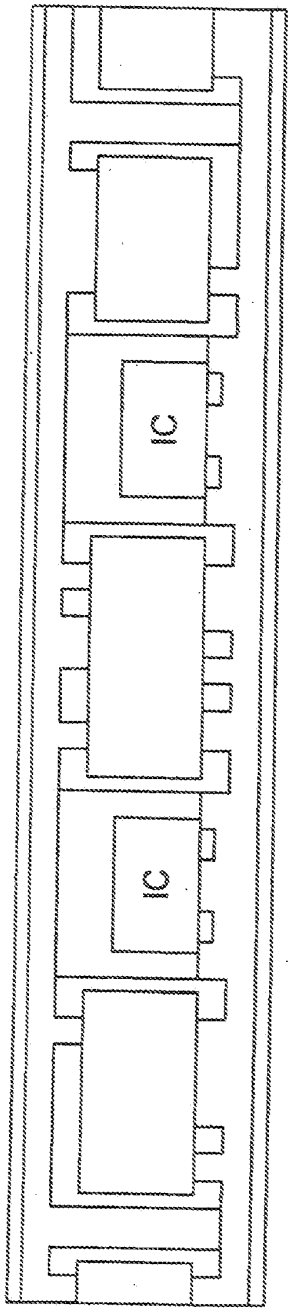


Fig. 4B

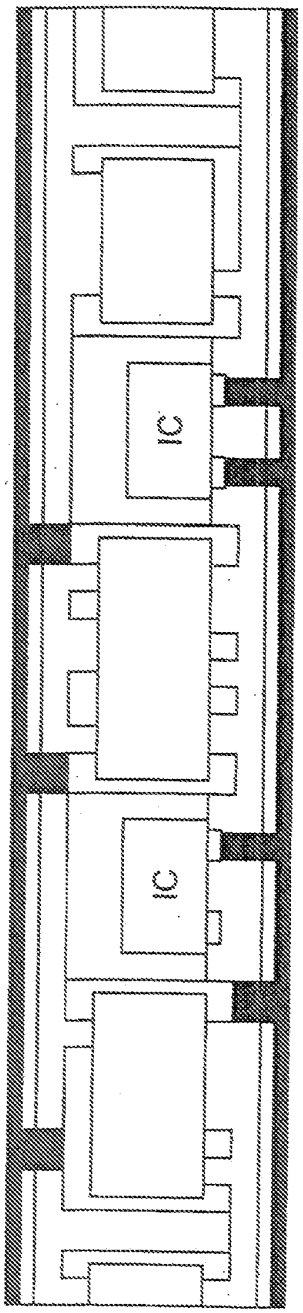


Fig. 4C

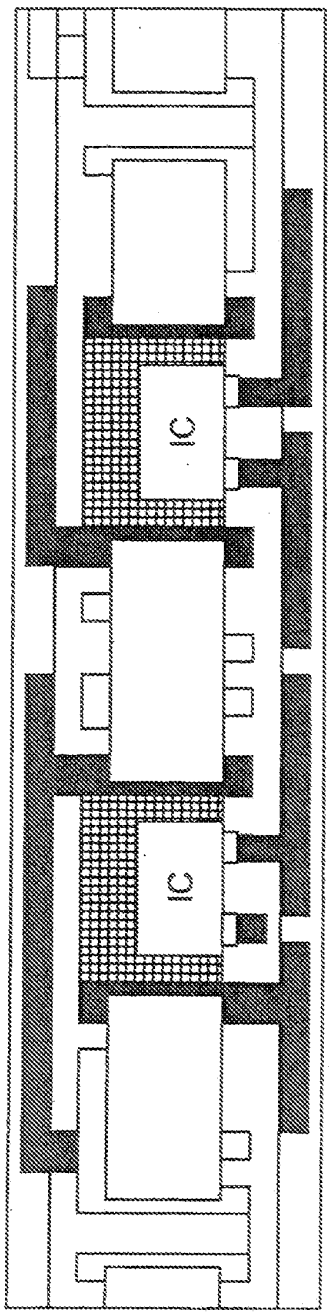


Fig. 4D

Docket No.: 0365-0601PUS4
(Patent)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Patent Application of:	Risto TUOMINEN		
Application No.:	NEW	Confirmation No.:	Unassigned
Filed:	July 15, 2011	Art Unit:	Unassigned
For:	METHOD FOR EMBEDDING A COMPONENT IN A BASE	Examiner:	Unassigned

INFORMATION DISCLOSURE STATEMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Applicant(s) hereby submit(s) an Information Disclosure Statement for consideration by the Examiner.

I. LIST OF PATENTS, PUBLICATIONS OR OTHER INFORMATION

The patents, publications, or other information submitted for consideration by the Office are listed on the attached PTO/SB/08.

II. COPIES

☑ a. Copies of foreign patent documents, non-patent literature and other information.

☐ b. REFERENCES PREVIOUSLY CITED OR SUBMITTED: Copies of any information not provided can be found in one or more of the following applications which has been relied upon for an earlier filing date under 35 U.S.C. § 120:

U.S. Application No. and U.S. Filing Date

11/878,557 filed July 25, 2007

III. CONCISE EXPLANATION OF THE RELEVANCE/OTHER INFORMATION

☑ a. NON-ENGLISH LANGUAGE DOCUMENTS: A concise explanation of the relevance of all non-English language patents, publications, or other information listed is as follows:

An English Abstract of JP 2001-345560 is attached.

Machine translations of JP 2003-37205, JP 2002-158307, JP 2001-345560, JP 2001-274034, JP 2001-53447, JP 2000-311229 and JP 4-283987 are attached.

☐ b. ENGLISH LANGUAGE SEARCH REPORT OR FOREIGN PATENT OFFICE COMMUNICATION: An English language version of the search report or Foreign Patent Office communication that indicates the degree of relevance is attached.

☑ c. OTHER: The following additional information is provided.

The remaining citations were originally cited in the parent application.

IV. STATEMENT UNDER 37 C.F.R. § 1.97(e)

The undersigned hereby states that:

☐ a. Each item of information contained in the IDS was first cited in any communication from a foreign patent office in a counterpart foreign application not more than **30 days** prior to the filing of this IDS. This statement does not relate to English language counterparts not listed in a communication from the foreign patent office. Such English language counterparts are provided to aid the Examiner's consideration of non-English items first cited in the communication from the foreign patent office; or

☐ b. Each item of information contained in the IDS was first cited in any communication from a foreign patent office in a counterpart foreign application not more than **three months** prior to the filing of this IDS. This statement does not relate to English language counterparts not listed in a communication from the foreign patent office. Such English language

counterparts are provided to aid the Examiner's consideration of non-English items first cited in the communication from the foreign patent office; or

☐ c. No item of information contained in the IDS was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of IDS was known to any individual designated in 37 C.F.R. § 1.56(c) more than three months prior to the filing of the IDS.

☐ d. Some of the items of information in the IDS were cited in a communication from a foreign patent office. Such items were first cited in a communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this IDS. This statement does not relate to English language counterparts not listed in a communication from the foreign patent office. Such English language counterparts are provided to aid the Examiner's consideration of non-English items first cited in the communication from the foreign patent office. As to the remaining items of information, to the knowledge of the person signing the certification after making reasonable inquiry, such remaining items were not known to any individual designated in 37 C.F.R. § 1.56(c) more than three months prior to the filing of this statement.

V. FEES

☑ a. This Information Disclosure Statement is being filed concurrently with the filing of a new patent application or Request for Continued Examination. No fee is required.

☐ b. This Information Disclosure Statement is being filed within three months of the filing date of an application. No fee is required.

☐ c. This Information Disclosure Statement is being filed before the mailing date of a first Action on the merits. No fee is required. If a first Office Action on the merits has issued,

please consider this IDS under 37 C.F.R. § 1.97(c) and see the statement under 37 C.F.R. § 1.97(e) above. If no statement has been made, charge our deposit account for the required fee.

☐ d. This Information Disclosure Statement is being filed before the mailing date of a Final Office Action or before the mailing date of a Notice of Allowance (see 37 C.F.R. § 1.97(c)(1)).

☐ No statement. The fee as required by 37 C.F.R. § 1.17(p) is provided.

or

☐ See the above statement. No fee is required.

☐ e. This Information Disclosure Statement is being filed after the mailing date of a Final Office Action or after the mailing date of a Notice of Allowance (see 37 C.F.R. § 1.97(d)), see the statement above. The fee as required by 37 C.F.R. § 1.17(p) is provided.

VI. PAYMENT OF FEES

☐ The required fee is listed on the attached Fee Transmittal.

☑ No fee is required.

If the Examiner has any questions concerning this IDS, please contact the undersigned. If it is determined that this IDS has been filed under the wrong rule, the USPTO is requested to consider this IDS under the proper rule and charge the appropriate fee to Deposit Account No. 02-2448.

Dated: July 18, 2011

Respectfully submitted,

By _____
Michael K. Mutter
Registration No.: 29,680
BIRCH, STEWART, KOLASCH & BIRCH, LLP
8110 Gatehouse Road, Suite 100 East
P.O. Box 747
Falls Church, VA 22040-0747
703-205-8000

Attachment(s):

- ☑ PTO/SB/08
- ☑ Document(s)
- ☐ Foreign Patent Office Communication
- ☐ Foreign Search Report
- ☐ Fee
- ☐ Other:

PTO/SB/08a (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 4

Complete if Known	
Application Number	NEW
Filing Date	07-18-11
First Named Inventor	Risto Tuominen
Art Unit	Unassigned
Examiner Name	Unassigned
Attorney Docket Number	0365-0601PUS4

U.S. PATENT DOCUMENTS

Examiner Initial *	Cite No.	Document Number: Number - Kind Code[2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear
	1	US-2001/0054768	12-01-2001	Isaak	
	2	US-2002/0063342 -	02-01-2002	Vu et al.	
	3	US-2002/0117743	08-29-2002	Nakatani et al.	
	4	US-2002/0127779	09-01-2002	Vaiyapuri	
	5	US-2002/0132098	09-01-2002	Takeuchi et al.	
	6	US-2002/0185303	12-12-2002	Takeuchi et al.	
	7	US-20020020898 - A1	02-21-2002	Vu et al.	
	8	US-2003/0068852	04-10-2003	Towle et al.	
	9	US-2003/0100142	05-29-2003	Shin et al.	
	10	US-2003/0137045	07-24-2003	Sugaya et al.	
	11	US-20030090883 - A1	05-15-2003	Asahi et al.	
	12	US-2004/0266067	12-30-2004	Bai	
	13	US-2005/0286244	12-29-2005	Chen	
	14	US-2006/0106500	05-18-2006	Chang	
	15	US-4,246,595	01-20-1981	Noyori et al.	
	16	US-5,102,829	04-01-1992	Cohn	
	17	US-5,162,813	11-10-1992	Schoenthaler	
	18	US-5,208,183	05-04-1993	Newman	
	19	US-5,216,606	06-08-1993	Lam	

FOREIGN PATENT DOCUMENTS

Examiner Initial *	Cite No. 1	Foreign Patent Document: Country[3] Code	Number[4] Kind Code (if known)[5]	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear	T
	20	JP	04-283987	10-08-1992	Matsushiota Electric Industry		✓
	21	JP	2000-311229	11-07-2000			✓
	22	JP	2001-053447	02-23-2001	Iwaki Denshi KK		✓
	23	JP	2001-274034	10-05-2001	Shinko Electric Ind Co. Ltd.		✓
	24	JP	2001-345560	12-14-2001			✓
	25	JP	2002-016327	01-18-2002			

Examiner Signature		Date Considered	

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not Considered. Include copy of this form with next communication to applicant. 1. Applicant's unique citation design number (optional). 2 See Kinds Codes of USPTO patent Documents, at www.uspto.gov or MPEP 901.04. 3. Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4. For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5. Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. 6. Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.
SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786 9199) and select option 2.

PTO/SB/08a (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 2 of 4

Complete if Known	
Application Number	NEW
Filing Date	07-18-11
First Named Inventor	Risto Tuominen
Art Unit	Unassigned
Examiner Name	Unassigned
Attorney Docket Number	0365-0601PUS4

U.S. PATENT DOCUMENTS

Examiner Initial *	Cite No.	Document Number: Number - Kind Code[2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear
	26	US-5,227,338	07-01-1993	Kryzaniwsky	
	27	US-5,248,852	09-28-1993	Kumagai	
	28	US-5,306,670 - A1	04-26-1994	Mowatt et al.	
	29	US-5,353,195	10-04-1994	Fillion et al.	
	30	US-5,497,033	03-05-1996	Fillion et al.	
	31	US-5,637,919	06-10-1997	Grabba	
	32	US-5,843,216	08-24-9900	Schmidt	
	33	US-5,970,321	10-01-1999	Hively	
	34	US-6,015,722	01-01-2000	Banks et al.	
	35	US-6,038,133	03-14-2000	Nakatani et al.	
	36	US-6,100,108	08-01-2000	Mizuno et al	
	37	US-6,131,266 - A	10-17-2000	Lee et al.	
	38	US-6,154,366	11-28-2000	Ma et al.	
	39	US-6,271,469	08-07-2001	Ma et al.	
	40	US-6,284,564	09-04-2001	Balch et al.	
	41	US-6,292,366	09-18-2001	Platt	
	42	US-6,324,067	11-27-2001	Nishiyama	
	43	US-6,359,633 - B1	02-26-2002	Lin	
	44	US-6,396,148 - B1	05-28-2002	Eichelberger et al.	

FOREIGN PATENT DOCUMENTS

Examiner Initial *	Cite No. 1	Foreign Patent Document: Country[3] Code Number[4] Kind Code (if known)[5]	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear	T
	45	JP 2002-158307	05-31-2002			✓
	46	JP 2003-37205	02-07-2003			✓

Examiner Signature		Date Considered	

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not Considered. Include copy of this form with next communication to applicant. 1. Applicant's unique citation design number (optional) 2 See Kinds Codes of USPTO patent Documents at www.uspto.gov or MPEP 901.04. 3. Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4. For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5. Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. 6. Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.
SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786 9199) and select option 2.

PTO/SB/08a (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 3 of 4

Complete if Known	
Application Number	NEW
Filing Date	07-18-11
First Named Inventor	Risto Tuominen
Art Unit	Unassigned
Examiner Name	Unassigned
Attorney Docket Number	0365-0601PUS4

U.S. PATENT DOCUMENTS

Examiner Initial *	Cite No.	Document Number: Number - Kind Code [2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear
	47	US-6,475,877	11-05-2002	Saia et al.	
	48	US-6,489,685	12-03-2002	Asahi et al.	
	49	US-6,495,394	12-01-2002	Nakata et al.	
	50	US-6,521,530	02-01-2003	Peters et al.	
	51	US-6,537,846	03-25-2003	Camenforte et al.	
	52	US-6,538,210	03-25-2003	Sugaya et al.	
	53	US-6,562,657 - B1	05-13-2003	Lin	
	54	US-6,607,943	08-01-2003	Kinsman	
	55	US-6,710,456 - B2	03-23-2004	Seko et al.	
	56	US-6,790,712	09-14-2004	Bai et al.	
	57	US-6,979,596	12-27-2005	Corisis et al.	

FOREIGN PATENT DOCUMENTS

Examiner Initial *	Cite No. 1	Foreign Patent Document: Country [3] Code Number [4] Kind Code (if known) [5]	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear	T

Examiner Signature		Date Considered	

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. 1. Applicant's unique citation design number (optional). 2. See Kinds Codes of USPTO patent documents at www.uspto.gov or MPEP 901.04. 3. Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4. For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5. Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. 6. Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.
SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

PTO/SB/08b (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number

Substitute for form 1449B/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet	4	of	4

Complete if Known	
Application Number	NEW
Filing Date	
First Named Inventor	Risto Tuominen
Art Unit	Unassigned
Examiner Name	Unassigned
Attorney Docket Number	0365-0601PUS4

NON PATENT LITERATURE DOCUMENTS

Examiner initial *	Cite No. [1]	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	T [2]
	58	Patent Abstracts of Japan, Vol. 2002, No. 05, May 3, 2002.	

Examiner Signature		Date Considered	

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

1. Applicant's unique citation designation number. (optional) 2. Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.
SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号
特開2001－345560
（P2001－345560A）
(43)公開日　平成13年12月14日(2001.12.14)

(51)Int.Cl.⁷		識別記号	Ｆ Ｉ		テーマコード（参考）
Ｈ０５Ｋ	3/46		Ｈ０５Ｋ	3/46	Ｑ　５Ｅ３１７
	1/11			1/11	Ｎ　５Ｅ３３６
	1/18			1/18	Ｐ　５Ｅ３４６
	3/40			3/40	Ｋ

審査請求　未請求　請求項の数14　ＯＬ　（全 17 頁）

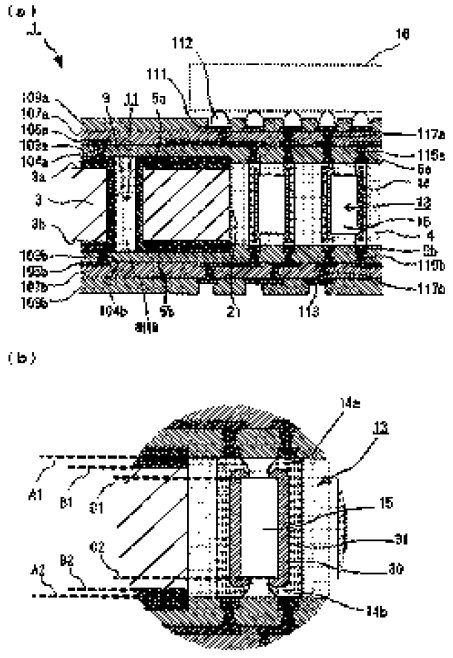
(21)出願番号　特願2001－32673(P2001－32673)
(22)出願日　平成13年２月８日(2001.2.8)
(31)優先権主張番号　特願2000－32349(P2000－32349)
(32)優先日　平成12年２月９日(2000.2.9)
(33)優先権主張国　日本（ＪＰ）
(31)優先権主張番号　特願2000－91664(P2000－91664)
(32)優先日　平成12年３月29日(2000.3.29)
(33)優先権主張国　日本（ＪＰ）

(71)出願人　000004547
日本特殊陶業株式会社
愛知県名古屋市瑞穂区高辻町14番18号
(72)発明者　小寺　英司
愛知県名古屋市瑞穂区高辻町14番18号　日本特殊陶業株式会社内
(72)発明者　小川　幸嶺
愛知県名古屋市瑞穂区高辻町14番18号　日本特殊陶業株式会社内
(74)代理人　100082500
弁理士　足立　勉

Ｆターム(参考)　5E317 AA24 CC25 CD27
5E336 AA04 AA11 BB03 CC53
5E346 AA43 DD22 EE18 FF18 FF45

(54)【発明の名称】　配線基板およびその製造方法、並びに電子部品

(57)【要約】
【課題】　配線基板本体内に充填樹脂で固定された状態で収容される電子部品の外部接続部を、容易に充填樹脂外部に露出できるようにする。
【解決手段】　外部接続部１４の上端（即ち上端部１４ａ）は第１主面３ａよりも上側にあることから、充填樹脂４内に埋まり難い。仮に外部接続部１４の上端が埋まってしまっても、充填樹脂４を研磨することにより、第１主面３ａ側に容易に外部接続部１４を露出させることができる。また、素子本体１５の上端は、第１主面３ａよりも下側にあるので、第１主面３ａ側において充填樹脂４を研磨する際に、素子本体１５が削られる恐れが少ない。



1

【特許請求の範囲】

【請求項１】　第１主面および第２主面を有する板形状をなし、電子部品を収容可能な収容部を有する配線基板本体と、

充填樹脂により前記収容部内に固定された電子部品と、該電子部品の外部接続部の上端と接続された上側導体層を含む配線と、

を備えた配線基板であって、

前記外部接続部の上端は、前記第１主面を基準として上側にあると共に、

前記電子部品本体の上端は、前記第１主面を基準として下側にあることを特徴とする配線基板。

【請求項２】　前記外部接続部の上端は前記電子部品本体の上端よりも、３０μｍ以上１００μｍ以下上方に位置することを特徴とする請求項１記載の配線基板。

【請求項３】　前記第１主面の上方には絶縁層が形成され、

前記外部接続部の直上に、前記絶縁層を貫通するバイアホール導体が接続されたことを特徴とする請求項１又は２記載の配線基板。

【請求項４】　前記収容部は、前記両主面の一方から他方に向けて貫通する貫通孔であると共に、

前記配線は、該電子部品の外部接続部の下端と接続された下側導体層を有し、前記外部接続部の下端は、前記第２主面を基準として下側にあると共に、

前記電子部品本体の下端は、前記第２主面を基準として上側にあることを特徴とする請求項１～３の何れか一項記載の配線基板。

【請求項５】　前記外部接続部の下端は前記電子部品本体の下端よりも３０μｍ以上１００μｍ以下下方に位置することを特徴とする請求項４記載の配線基板。

【請求項６】　前記外部接続部は、複数の導体層からなり、前記複数の導体層及び前記上側導体層は同一の材質からなることを特徴とする請求項１～５の何れか一項記載の配線基板。

【請求項７】　第１主面および第２主面を有する板形状をなし、電子部品を収容可能な収容部を有する配線基板本体の前記収容部に電子部品を配置する配置工程と、

前記電子部品が収容された前記収容部内に充填樹脂を充填し硬化させることにより、該電子部品を該収容部内に固定する固定工程と、

該固定工程にて硬化された充填樹脂を研磨することにより、前記第１主面側に前記電子部品の外部接続部を露出させる研磨工程と、

前記第１主面側に露出された前記外部接続部に接続する配線を、該第１主面の上方に形成する配線形成工程と、

を有する配線基板の製造方法であって、

前記配置工程では、前記外部接続部の上端が前記第１主面よりも上側に位置すると共に、前記電子部品本体の上端が該第１主面よりも下側に位置するよう、該電子部品

2

を前記収容部に配置することを特徴とする配線基板の製造方法。

【請求項８】　前記配置工程では、前記外部接続部が前記電子部品本体から３０μｍ以上１００μｍ以下高く形成された電子部品を、前記収容部内に配置することを特徴とする請求項７記載の配線基板の製造方法。

【請求項９】　前記研磨工程では、＃３２０以上の研磨布紙にて、前記充填樹脂を研磨することを特徴とする請求項７又は８記載の配線基板の製造方法。

【請求項１０】　前記研磨工程では、＃３２０以上＃６００以下の研磨布紙にて、前記充填樹脂を研磨することを特徴とする請求項７又は８記載の配線基板の製造方法。

【請求項１１】　電子部品本体と、該電子部品本体からはみ出して形成された外部接続部とを有する電子部品であって、

前記外部接続部は、複数の導体層を積層して形成され、最外層の導体層の厚みは、内層の導体層の厚みよりも厚いことを特徴とする電子部品。

【請求項１２】　前記外部接続部は、前記電子部品本体から３０μｍ以上１００μｍ以下はみ出して形成されたことを特徴とする請求項１１記載の電子部品。

【請求項１３】　前記最外層は、メッキにより形成されたことを特徴とする請求項１１又は１２記載の電子部品。

【請求項１４】　前記電子部品は、コンデンサとして構成されたことを特徴とする請求項１０～１３の何れか一項記載の電子部品。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】この発明は、電子部品を内蔵した配線基板およびその製造方法、並びに、この配線基板への内蔵に適した電子部品に関する。

【０００２】

【従来の技術】従来より、集積回路素子（以下、「ＩＣチップ」という）が搭載される配線基板には、ＩＣチップのスイッチングノイズの低減や動作電源電圧の安定化を図るために、コンデンサ素子を配設することが行われている。しかしコンデンサ素子を配線基板に設ける場合、ＩＣチップとコンデンサ素子との間の配線長が長くなるほど配線のインダクタンス成分が増加して、上記目的を十分には図ることが難しくなることから、コンデンサ素子はなるべくＩＣチップの近傍に設けるほうが望ましい。

【０００３】

【発明が解決しようとする課題】そこで、発明者らは、配線基板の骨格となる配線基板本体にコンデンサ素子を内蔵することを考えている。具体的には、配線基板本体にコンデンサ素子の収容部（貫通孔或いは凹部）を設け、その中にコンデンサ素子を入れて、充填樹脂で充填

するのである。このとき、コンデンサ素子の外部接続部（コンデンサ素子を配線に電気的に接続するための導体部）も充填樹脂に埋もれてしまうことが考えられるが、その場合には、外部接続部を充填樹脂外部に露出させればよい。

【０００４】外部接続部を充填樹脂外部に露出させるには、硬化後の充填樹脂にレーザやドリルで孔開けする方法も考えられる。しかし、配線基板本体に内蔵可能な電子部品は小さいことから、その外部接続部の位置（即ち、レーザにより孔を開けるべき位置）を探すのは容易でない。

【０００５】なお、以上の問題は、コンデンサ素子に限らず、各種の電子部品を配線基板に内蔵する際においても同様である。本発明は、こうした問題に鑑みて為されたものであり、配線基板本体内に充填樹脂で固定された状態で収容される電子部品の外部接続部を、容易に、充填樹脂外部に露出できるようにすることを目的とする。

【０００６】

【課題を解決するための手段及び発明の効果】上記課題を解決するためになされた本発明（請求項１記載）の配線基板は、第１主面および第２主面を有する板形状をなし、電子部品を収容可能な収容部を有する配線基板本体と、充填樹脂により前記収容部内に固定された電子部品と、該電子部品の外部接続部の上端と接続された上側導体層を含む配線と、を備えた配線基板であって、前記外部接続部の上端は、前記第１主面を基準として上側にあると共に、前記電子部品本体の上端は、前記第１主面を基準として下側にあることを特徴とする。

【０００７】この様に構成された請求項１記載の配線基板によれば、外部接続部の上端は、第１主面よりも上側にあることから、充填樹脂内に外部接続部の上端が埋まり難い。また仮に埋まってしまっても、充填樹脂を研磨することにより、第１主面側に容易に外部接続部を露出させることができる。また、電子部品本体の上端は、第１主面よりも下側にあるので、第１主面側において充填樹脂を研磨する際に、電子部品本体が削られる恐れが少ない。電子部品本体が削られると、その電子部品の電気的特性が損なわれるなどの不具合が生じるが、その恐れが少ない。

【０００８】なお「配線基板本体」には、その基板内部に導体層（導体パターン）を有するもの、例えば複数の絶縁層と導体層とが交互に積層されたものも含まれる。また、第１主面とは、上に向けた場合に電子部品本体および外部接続部との上記の如き関係を有する面をいい、両面ともがそれに該当する場合は、何れか一方の面を第１主面とする。

【０００９】さて、請求項１の発明によれば、以上の様な効果を得ることができるが、外部接続部の上端と電子部品本体の上端との高さの差が少ないと、電子部品本体が誤って削られる可能性を完全には無くすことができない。また、研磨の際や、その後のメッキ工程の際などに電子部品本体を覆う充填樹脂に割れや剥がれが生じ、その部分から薬品などが侵入して電子部品本体が侵されてしまうなど、電子部品本体の保護が不完全となる可能性もある。

【００１０】こうした不具合を予防するには、外部接続部の上端が電子部品本体の上端よりもなるべく上方に位置する方がよく、請求項２記載の様に、外部接続部の上端が電子部品本体の上端よりも、３０μｍ以上１００μｍ以下、上方に位置するようにすればよい。そうすれば、後述の実験からも分かるように、上記のような不具合を無くすことができるので好ましい。

【００１１】次に請求項３記載の配線基板においては、前記第１主面の上方には絶縁層が形成され、前記外部接続部の直上に、前記絶縁層を貫通するバイアホール導体が接続されることを特徴とする。

【００１２】この様に構成された請求項３記載の配線基板によれば、外部接続部の直上に、バイアホール導体が形成されていることから、ＩＣチップなど配線基板表面に設けられる素子と、当該内蔵した電子部品との接続経路が短くなり、ノイズの侵入を抑制するなど、電気的特性が向上する。なお、上記バイアホール導体の上に更にバイアホール導体を形成すれば、更にＩＣチップなど配線基板表面に設けられる素子と、当該内蔵した電子部品との接続経路を短くすることができるので、配線基板の電気的特性の向上を一層図ることができる。

【００１３】次に請求項４記載の配線基板においては、前記収容部は、前記両主面の一方から他方に向けて貫通する貫通孔であると共に、前記配線は、該電子部品の外部接続部の下端と接続された下側導体層を有し、前記外部接続部の下端は、前記第２主面を基準として下側にあると共に、前記電子部品本体の下端は、前記第２主面を基準として上側にあることを特徴とする。

【００１４】この様に構成された請求項４記載の配線基板によれば、外部接続部の下端は、第２主面よりも下側にあることから、充填樹脂内に外部接続部の上端が埋まり難い。仮に埋まってしまっても、充填樹脂を研磨することにより、第１主面側に容易に外部接続部を露出させることができる。そして、電子部品本体の上端は、第１主面を基準として上側にあることから、充填樹脂の第２主面側を研磨する際に、電子部品本体が削られ損傷する恐れも少ない。電子部品本体が削られると、その電子部品の電気的特性が損なわれるなどの不具合が生じるが、その恐れがない。

【００１５】即ち請求項４の配線基板の構成は、両面に電子部品の外部接続部を露出させる場合に有効な構成である。また、請求項５の様に、外部接続部の下端が電子部品本体の下端よりも、３０μｍ以上１００μｍ以下、下方に位置するようにすれば、第２主面側においても、請求項２と同様の効果を得ることができる。

5

【００１６】次に請求項６記載の配線基板においては、前記外部接続部は、複数の導体層からなり、前記複数の導体層及び前記上側導体層は同一の材質からなることを特徴とする。このため、ＩＣチップの半田リフロー時などに発生し易い熱応力を緩和でき、断線が生じる可能性を低くすることができる。

【００１７】次に請求項７記載の配線基板の製造方法は、第１主面および第２主面を有する板形状をなし、電子部品を収容可能な収容部を有する配線基板本体の前記収容部に電子部品を配置する配置工程と、前記電子部品が収容された前記収容部内に充填樹脂を充填し硬化させることにより、該電子部品を該収容部内に固定する固定工程と、該固定工程にて硬化された充填樹脂を研磨することにより、前記第１主面側に前記電子部品の外部接続部を露出させる研磨工程と、前記第１主面側に露出された前記外部接続部に接続する配線を、該第１主面の上方に形成する配線形成工程と、を有する配線基板の製造方法であって、前記配置工程では、前記外部接続部の上端が前記第１主面よりも上側に位置すると共に、前記電子部品本体の上端が該第１主面よりも下側に位置するよう、該電子部品を前記収容部に配置することを特徴とする。

【００１８】この様な請求項７記載の配線基板の製造方法によれば、外部接続部の上端が第１主面よりも上側となるように電子部品を配設することから、充填樹脂内に外部接続部の上端が埋まってしまっても、充填樹脂を研磨することにより、第１主面側に容易に外部接続部を露出させることができる。また、電子部品本体の上端は、第１主面よりも下側にあるので、第１主面側において充填樹脂を研磨する際に、電子部品本体が削られて損傷する恐れが少ない。

【００１９】ここで、外部接続部の上端と電子部品本体の上端との高低差が少ないと、上述（請求項２の説明）の様に、電子部品本体の保護が不完全となる可能性もある。そこで、収容部内に配置する電子部品としては、請求項８の様に、外部接続部が電子部品本体から３０μｍ以上１００μｍ以下、高く形成された電子部品を用いると良い。そうすれば、後述の実験からも分かるように、電子部品本体が誤って削られたり、電子部品本体を覆う充填樹脂の剥離や割れが発生することを防止できる。また、配置工程において、外部接続部の上端が第１主面よりも上側に位置すると共に、電子部品本体の上端が第１主面よりも下側に位置するように電子部品を配置することが容易となる。

【００２０】次に請求項９記載の配線基板の製造方法においては、前記研磨工程では、＃３２０以上の研磨布紙（ＪＩＳ　Ｒ６００４に規定）にて、前記充填樹脂を研磨することを特徴とする。即ち、＃３２０以上の番手（目の細かさ。番手が高いほど目が細かくなる（ＪＩＳ　Ｒ６００１に規定））の研磨布紙を用いて充填樹脂を

6

研磨することとすれば、後述の様に、配線基板本体の表面（第１主面に予め導体層が形成されている場合には、導体層の表面）にキズが付きにくい。そのため、配線形成（例えばビルドアップ法による配線形成など）を支障なく行うことができる。

【００２１】次に請求項１０記載の配線基板の製造方法においては、前記研磨工程では、＃３２０以上＃６００以下の研磨布紙にて、前記充填樹脂を研磨することを特徴とする。即ち、＃３２０以上＃６００以下の番手の研磨布紙を用いて充填樹脂を研磨することとすれば、請求項７の発明による効果に加え、後述の様に、配線基板本体の表面（第１主面）に予め導体層が形成されている場合であっても、導体層の剥離を生じさせる可能性が少ない。

【００２２】なお、充填樹脂には、充填樹脂よりも熱膨張係数が小さいフィラー（例えばＳｉＯ2等）を混合（樹脂を含む複合材料となる。）しておくと好ましい。こうすることにより、充填樹脂とフィラーとの複合体としての熱膨張係数を精度良くコントロールすることが可能となる。その結果、例えば、Ｃｕ等にて形成される配線（導体層）やＳｉ等にて形成されるＩＣチップと配線基板との間で、熱膨張係数の整合をとり易くなり、配線基板上に構成される配線パターンの剥がれ等を防止でき、熱に対する信頼性を向上させることができる。

【００２３】また特に、充填樹脂には、酸化剤に溶解し難い成分として無機フィラーを含有させるとよい。充填樹脂の表面は、配線パターンや電子部品との密着性を高めるために、酸化剤により粗化処理をすることがある。そこで、酸化剤に溶解し難い成分として無機フィラーを含有させると、熱膨張係数の調整をすることができるほか、充填樹脂の硬化後において無機フィラーが骨材として機能することによって、粗化処理後における充填樹脂の形状が必要以上に崩れることを防止できる。

【００２４】酸化剤に実質的に溶解しない無機フィラーとしては、特に制限はないが、結晶性シリカ、溶融シリカ、アルミナ、窒化ケイ素等がよく、充填樹脂の熱膨張係数を効果的に下げることができる。これらの無機フィラーを充填材として高い充填率になるように添加し、充填樹脂の熱膨張係数を４０ｐｐｍ／℃以下（好ましくは３０ｐｐｍ／℃以下、より好ましくは２５ｐｐｍ／℃以下、更に好ましくは２０ｐｐｍ／℃以下。尚、下限値としては、１０ｐｐｍ／℃以上である。）にすることで、埋め込まれた電子部品と実装された半導体素子との熱膨張係数の差に起因する応力集中を少なくすることができる。

【００２５】無機フィラーの形状は、充填樹脂の流動性と充填率とを高くするために、略球状であるとよい。特にシリカ系の無機フィラーは、容易に球状のものが得られるため、好ましい。充填樹脂の低粘度、高充填率化をさらに向上達成するためには、粒子の形状の異なる無機

フィラーを２種類以上添加するとよい。

【００２６】無機フィラーのフィラー径は、充填樹脂が電子部品の電極間の隙間にも容易に流れ込む必要があるため、粗径５０μｍ以下のフィラーを使用するとよい。この粒径の好ましい範囲は、好ましくは３０μｍ以下、より好ましくは２０μｍ以下、更には１０μｍ以下である。５０μｍを越えると、電子部品の電極間の隙間にフィラーが詰まりやすくなり、充填樹脂の充填不良により局所的に熱膨張係数の極端に異なる部分が発生する。また、表面を平坦化するために研磨する際に、フィラーが脱粒して大きな凹部が発生し、その後のメッキによる微細配線の形成を妨げる。フィラー径の下限値としては、０．１μｍ以上がよい。これよりも細かいと、充填樹脂の流動性が確保しにくくなる。好ましくは０．３μｍ以上、更に好ましくは０．５μｍ以上がよい。充填樹脂の低粘度、高充填化を達成するためには、粒度分布を広くするとよい。

【００２７】無機フィラーの表面は、必要に応じてカップリング剤にて表面処理するとよい。無機フィラーの樹脂成分との濡れ性が良好になり、充填樹脂の流動性を良好にできるからである。カップリング剤の種類としては、シラン系、チタン系、アルミニウム系等が用いられる。

【００２８】酸化剤に実質的に溶解しない成分としては、他に硬化促進剤、シリコンオイル、反応性シリコンゲル、反応性希釈剤、消泡剤等、改質剤等を用いることができる。充填樹脂に熱硬化性樹脂を含む場合は、硬化剤の添加が必要である。硬化剤の種類に特に制限はないが、イミダゾール系、アミン系、酸無水物系、ノボラック樹脂系等を用いると良い。特に熱硬化性樹脂としてエポキシ樹脂を用いた場合は、イミダゾール系、アミン系や酸無水物系等の液状硬化剤を用いると、充填樹脂の低粘度化が容易なため、無機フィラー等の充填材を添加する際に有効でよい。

【００２９】さて充填樹脂は、少なくとも配線との接触界面において粗化されているとよい。粗化面の細かい凹凸が、無電解メッキにより形成される配線との密着性を高めるアンカー効果を発するからである。粗化面は、表面粗度Ｒｚが０．１～１５μｍになるように調整するのがよい。好ましくは０．５～１０μｍ、より好ましくは１～８μｍ、更に好ましくは３～７μｍ、特には５～７μｍである。配線は、この粗化面の細かい凹凸に実質的に食い込んでいるのがよい。配線が凹凸に実質的に食い込んでいないような微細な隙間や密着不良部があると、信頼性試験において配線フクレが発生しやすくなるからである。

【００３０】無機フィラーを充填樹脂に含有させることは、充填樹脂に対する粗化後の表面形状（凹凸）を調整する上でも意義がある。即ち、充填樹脂は、少なくとも一種類の無機フィラーを含むものであり、且つ、その無機フィラーの含有量が３５～６５体積%の範囲（好ましくは４０～６０体積%、より好ましくは４０～５０体積%）であるとよい。充填樹脂と配線層との界面が形成する凹凸の十点平均粗さＲｚが所定の範囲となる様に調製するとともに、無機フィラーの含有量を所定の範囲に規定することで、配線層の密着性を得るために必要なアンカー効果がより効果的に得られるとともに、粗化処理後の充填樹脂の形状保持を図って、配線層の下部に過大な大きさの空孔等の着在的欠陥の発生を抑制できる利点がある。

【００３１】そして特に、熱硬化性樹脂とその硬化剤と少なくとも一種類の無機フィラーとを含む充填樹脂であって、その熱硬化性樹脂がビスフェノールエポキシ樹脂、ナフタレン型エポキシ樹脂及びフェノールノボラック樹脂から選ばれる少なくとも一種であり、その無機フィラーの含有量が３５～６５体積%であり、その硬化剤が酸無水物系の硬化剤である充填樹脂を用いるとよい。配線層の充填樹脂に対する密着力を向上できるとともに、耐熱衝撃試験、耐水性試験などの信頼性試験において高い信頼性が得られるからである。

【００３２】次に請求項１１記載の電子部品は、電子部品本体と、該電子部品本体からはみ出して形成された外部接続部とを有する電子部品であって、前記外部接続部は、複数の導体層を積層して形成され、最外層の導体層の厚みは、内層の導体層の厚みよりも厚いことを特徴とする。

【００３３】即ち、上記請求項１～請求項１０の発明においては、外部接続部が電子部品本体からある程度の高さをもって、はみ出るよう構成される必要があり、その際には、しかも電子部品本体の大きさと配線基板本体の厚さとの関係も考慮されなければならない。この条件を満足するには、電子部品の製造時から、外部接続部の大きさを予め規定しておくことも考えられるが、それではコストが高む。

【００３４】そこで、請求項１１の様に、配線基板に内蔵するための電子部品（即ち、配線基板本体の収容部に収容するための電子部品）としては、その外部接続部を複数層（例えば２層）の導体層で形成すると良く、そうすれば、最外層を形成する際に、その厚さを制御することによって、容易に、上記条件を満足することができる。

【００３５】そして特に、請求項１２に記載の様に、外部接続部を、電子部品本体から３０μｍ以上１００μｍ以下、はみ出して形成すると好ましい。請求項１２の電子部品によれば、後述の実験からも分かるように、電子部品本体が誤って削られたり、電子部品本体を覆う充填樹脂の剥離や割れが発生することを防止できる。また、配置工程において、外部接続部の上端が第１主面よりも上側に位置すると共に、電子部品本体の上端が第１主面よりも下側に位置するように電子部品を配置することが

容易となる。

【００３６】次に請求項１３記載の電子部品においては、前記導体層のうちの最外層は、メッキにより形成されたことを特徴とする。請求項１３の電子部品によれば、最外層をメッキにて形成することとしていることから、その厚さの調整が容易である。

【００３７】なお、請求項１１、１２、１３の発明は、請求項１４の様にコンデンサ素子に適用することができる。また、電子部品の電極の表面は、粗度Ｒｚが０．３～２０μｍになるように粗化処理されているとよい。電子部品の電極の表面の粗度Ｒｚは、０．５～１．０μｍがより好ましく、０．５～５μｍが更に好ましい。充填樹脂が電極表面の凹凸に食い込んで、密着性を向上させるアンカー効果を奏するからである。粗度Ｒｚの制御については、特に制約はなく、マイクロエッチング法や黒化処理等の公知の方法で行えばよい。

【００３８】

【発明の実施の形態】以下に、本発明の実施例を図面と共に説明する。図１（ａ）は、実施例の方法により製造される配線基板１の内部構成を説明する図である。なお、本実施例の配線基板１は、分割により複数の回路基板（縦横約４０ｍｍ×４０ｍｍ）となる多数個取りの配線基板（縦横約３３０ｍｍ×３３０ｍｍ）である。

【００３９】図１（ａ）に示すように、この配線基板１においては、厚さ０．８ｍｍ程の、ガラスーエポキシ樹脂複合材料製の絶縁性基板である配線基板本体３の表裏の両面（第１主面３ａ及び第２主面３ｂ）には、厚さ約２５μｍ程度の第１導体層５ａ，５ｂが形成されている。

【００４０】配線基板本体３には、両主面３ａ、３ｂの一方から他方に貫通する貫通孔９の内壁にメッキが施された直径約２５０μｍ程度のスルーホール１１が形成されている。このスルーホール１１により、第１主面３ａ上の第１導体層５ａと第２主面３ｂ上の第１導体層５ｂとは相互に接続されている。なお、スルーホール１１の内部には樹脂が充填されている。

【００４１】また、配線基板本体３には電子部品を配置する「収容部」としての貫通孔２１（縦横約１２ｍｍ×１２ｍｍ）が形成されており、その内部には電子部品として複数のコンデンサ素子１３（約３．２ｍｍ×１．６ｍｍ×０．７ｍｍ）が設けられている。コンデンサ素子１３は、$BaTiO_3$を主成分とする高誘電体セラミックから成る素子本体（電子部品本体）１５と、Ｃｕからなる外部接続部１４と、Ｎｉからなる内部電極層（図１では図示しない）から構成されている。

【００４２】貫通孔２１の内部において、コンデンサ素子１３は、硬化した充填樹脂４により固定されている。コンデンサ素子１３は、配線基板１に設けられることとなるＩＣチップ１６にて発生されるスイッチングノイズの抑制や、またＩＣチップ１６に供給すべき動作電源電圧の安定化などを図るためのものである。

【００４３】そして第１導体層５ａ、５ｂの上には、第１層間絶縁層１０３ａ，１０３ｂ（厚さ約３０μｍ程度）が積層され、更に、第１層間絶縁層１０３ａ、１０３ｂの上には、第２導体層１０５ａ、１０５ｂ（厚さ約１５μｍ程度。帽約２５μｍ程度）が形成されている。即ち、この第１導体層５ａ（５ｂ）と第２導体層１０５ａ（１０５ｂ）とは、第１層間絶縁層１０３ａ（１０３ｂ）を間に挟んで積層されている。また第１導体層５ａ（５ｂ）と第２導体層１０５ａ（１０５ｂ）とは、第１層間絶縁層１０３ａ（１０３ｂ）に形成された開口径約５０μｍ程度のフィルドビア１０４ａ（１０４ｂ）、１１５ａ（１１５ｂ）により接続されている。このフィルドビア１０４ａ（１０４ｂ）、１１５ａ（１１５ｂ）は、請求項の「バイアホール導体」に相当する。

【００４４】そして第２導体層１０５ａ，１０５ｂの上には更に第２層間絶縁層１０７ａ，１０７ｂが積層されている。この内、第１主面３ａ側の第２層間絶縁層１０７ａの上には、破線で示すＩＣチップ１６と配線基板１の配線とを接続するためフリップチップパッド１１１が多数形成され、各フリップチップパッド１１１上には、高温はんだから成る略半球状のフリップチップバンプ１１２が形成されている。なお第１主面３ａ側の第２層間絶縁層１０７ａ上において、フリップチップパッド１１１の周囲には、フリップチップバンプ１１２の形成時に、フリップチップパッド１１１の周囲に半田が流れ出すのを防ぐためのソルダレジスト層１０９ａ（厚さ約２０μｍ程度）が形成されている。

【００４５】一方、第２主面側の第２層間絶縁層１０７ｂの上には、マザーボードなどの他の配線基板の配線と、当該配線基板１の配線と接続するためのＬＧＡパッド１１３が多数形成されている。そして、第２主面３ｂ側の第２層間絶縁層１０７ｂ上において、ＬＧＡパッド１１３の周囲にもソルダレジスト層１０９ｂが形成されている。

【００４６】なお、第１主面３ａ側において第２導体層１０５ａとフリップチップパッド１１１とは、第２層間絶縁層１０７ａに形成されたフィルドビア１１７ａにより互いに接続されている。そして、第２主面３ｂ側において、第２導体層１０５ｂとＬＧＡパッド１１３とは、第２層間絶縁層１０７ｂに形成されたフィルドビア１１７ｂを介して互いに接続されている。この様に層間接続にフィルドビアを用いることで、コンデンサ素子の外部接続部１４とフリップチップパッド１１１を一直線で結ぶことができる（即ち、スタックトビアを形成できる）。そのため、ＩＣチップ１６とコンデンサ素子１３とを短い距離で結ぶことが可能となり、高気的特性の向上を図ることが可能となる。

【００４７】配線基板１は後述の各工程を経た後、ダイシング加工等により分割され、複数の回路基板となる。

さて、本実施例においては、外部接続部１４は、素子本体１５の一部表面にＣｕにて形成された外部高極層３０と、この外部電極層３０を覆うようにＣｕにて形成された外部接続層３１との２層の導体層から構成されている。即ち、外部接続層３１が、外部接続部１４を構成する導体層のうちの最外層を構成している。そして、外部接続層３１が、外部接続部１４の上端部１４ａおよび下端部１４ｂを構成している。

【００４８】また、第１導体層５ａもＣｕにより形成されている。この様に電子部品（コンデンサ素子１３）の外部接続部１４（外部高極層３０および外部接続層３１）と配線基板１の配線とを同一材料（即ちＣｕ）により形成されることで、ＩＣチップの半田リフロー時などに発生し易い熱応力を緩和でき、断線が生じる可能性を低くすることができる。

【００４９】外部接続部１４は、その上端（図１（ｂ）中、Ａ１で示す）が素子本体１５の上端（Ｃ１で示す）から５０μｍ程度高く突出するよう形成されている。そして、外部接続部１４の上端（Ａ１）は、配線基板本体３の第１主面３ａを基準面（Ｂ１で示す）として上側に位置していると共に、素子本体１５の上端（Ｃ１で示す）は、第１主面３ａを基準面（Ｂ１）として下側に位置している。

【００５０】また、外部接続部１４は、その下端（図１（ｂ）中、Ａ２で示す）部分についても、素子本体１５の下端（Ｃ２で示す）から４５μｍ程度高く突出するよう形成されている。そして外部接続部１４の下端（Ａ２）は、第２主面３ｂを基準面（Ｂ２で示す）として下側に位置していると共に、素子本体１５の下端（Ｃ２で示す）は、第２主面３ｂを基準面（Ｂ２）として上側に位置している。

【００５１】この外部接続部１４は、図２のようにして形成される。図２（ａ）は、公知のコンデンサ素子を示す図であり、素子本体１５の内部には、Ｎｉを主成分とする内部高極３３が設けられている。具体的には、２つの外部高極層３０の内、一の外部高極層３０に接続された内部高極３３群と、他の外部高極層３０に接続された内部電極３３群が、ＢａＴｉＯ₃の高誘電体セラミックを間に介して互い違いに積層されている。

【００５２】この様なコンデンサ素子は、高誘電体セラミックグリーンシート上にＮｉを印刷したものを多数積み重ねてプレス圧着し、これを焼成した後、外部電極層３０を印刷し焼き付けることにより、構成される。この様に内部高極３３に接続された外部電極層３０は、そのまま外部の配線に接続することも可能であるが、その厚さは薄い（本実施例では約１０μｍ）。そのため、外部接続部１４を外部高極層３０のみで構成すると、その上端（Ａ１）を第１主面３ａの上端面（Ｂ１）より高くするとともに、素子本体１５の上端（Ｃ１）を第１主面３ａの上端面（Ｂ１）より低くすることが困難である。

【００５３】そこで、本実施例では、図２（ｂ）に示す様に、外部高極層３０の上に、更に導体層としての外部接続層３１を形成する。外部接続層３１は、バレルメッキにより、外部電極層３０の表面に形成する。具体的には、図２（ａ）に示したコンデンサ素子（外部電極層３０を含む）の表面を、室温（約２０℃）にて約６０秒間酸活性化し、２回の水洗を施した後、これを室温（約２０℃）にて約１５秒間酸浸漬し、さらに２回の水洗を施す。その後、所定条件（２５℃、２Ａ／ｄｍ²、４時間）の下、高解メッキ（硫酸銅メッキ）によって、外部高極層３０の表面に、厚さ約７０μｍのＣｕ層（即ち、外部接続層３１）を形成し、２回の水洗を行った後、８０℃にて約１時間乾燥させる。

【００５４】こうして、Ｃｕからなる外部接続層３１が形成されるが、その結果、外部接続部１４は、その上端１４ａおよび下端１４ｂにおいて、素子本体１５から５０μｍ程度突出した状態とされる。なお高解メッキにおいては、メディアとしてＦｅ球を使用したが、表面にＣｕメッキを施した樹脂ボールを使用するなど様々な方法をもちいることができる。

【００５５】さて、以上の構成のコンデンサ素子１３を内蔵した配線基板１を、どの様に製造するか、その方法について、図３を参照しながら説明する。図３は、１つの貫通孔２１の近傍を拡大して示している。図３（ａ）に示す様に、配線基板本体３としては、予め銅張積層板の一部として構成されたものを使用すると好ましい。銅張積層板は、樹脂製の絶縁性基板の両面に銅箔を載せ、加熱および加圧により、絶縁性基板に銅からなる導体層２０ａ，２０ｂを積層したものである。なお、配線基板本体３として、こうした導体層２０ａ，２０ｂが積層されていない絶縁性基板を使用しても良い。

【００５６】そして、この配線基板本体３に、スルーホール１１を構成するための貫通孔９を多数個形成（例えばドリルにより）すると共に、コンデンサ素子１３を配置するための貫通孔２１を形成（例えばパンチングにより）する。貫通孔９や、貫通孔２１は、レーザ（ＣＯ２、ＹＡＧ、エキシマ等）で穿孔することとすれば、径を小さくすることも可能である。なお、図１（ａ）に示す他、配線基板１には、多数の貫通孔２１が形成される。

【００５７】次に図３（ｂ）に示す様に、電子部品配設用の貫通孔２１の開口部の一方（第２主面３ｂ側の開口部２１ａ）を、片面にシリコン系の粘着剤２４を有するポリイミドからなるシート材２３で覆う。その際、粘着剤２４を有する面２３ａが配線基板本体３側に向けられ、シート材２３は配線基板本体３に張り付けられる。

【００５８】このとき、粘着剤２４は、貫通孔２１の内側に露出する。また、配線基板１には多数の貫通孔２１が形成されているが、これらの開口部２１ａを１枚のシート材２３で覆う。シート材２３で貫通孔２１を塞いだ

後．図３（ｃ）に示す様に．コンデンサ素子１３を、粘着剤２４を介してシート材２３に粘着するよう．貫通孔２１の内部に配置する。なお、これが．請求項の「配置工程」に相当する。

【００５９】この際、コンデンサ素子１３は、その外部接続部１４の部分にてシート材２３に粘着すると共に、その素子本体１５とシート材２３との間には充填樹脂４が流入可能な隙間が形成されるよう配置される。また、外部接続部１４は互いに反対方向に向いている端部１４ａ、１４ｂを備えており．各端部１４ａ，１４ｂが夫々第１主面３ａ側．第２主面３ｂ側に向けられる。ここでは．第１主面３ａ方向に向けられる端部が上端部１４ａであり、第２主面３ｂ側に向けられる端部が下端部１４ｂである。

【００６０】また、コンデンサ素子１３を貫通孔２１内に配置する際．コンデンサ素子１３の位置は、次の様に調整される。即ち、外部接続部１４の上端（図３（ｃ）中．Ａ１で示す）が第１主面３ａを基準面（Ｂ１で示す）として上側に位置し．素子本体１５の上端（Ｃ１で示す）は、第１主面３ａを基準面（Ｂ１）として下側に位置し、そして．外部接続部１４の下端（Ａ２で示す）が第２主面３ｂを基準面（Ｂ２で示す）として下側に位置し．更に、素子本体１５の下端（Ｃ２で示す）が第２主面３ｂを基準面（Ｂ２）として上側に位置する。このような位置関係が形成されるようコンデンサ素子１３を配設するのである。

【００６１】以上の様にして貫通孔２１の内部にコンデンサ素子１３を配置した状態とした上で、図３（ｄ）の様に．貫通孔２１の内部に充填樹脂４を注入し．充填樹脂４を硬化させる。これは．請求項の「固定工程」に相当する。これにより、配線基板本体３の内部に電子部品としてのコンデンサ素子１３が埋設されることとなる。また．コンデンサ素子１３の素子本体１５とシート材２３との間にも．充填樹脂４が充填される。充填樹脂４を貫通孔２１に注入した後．硬化させる前には、充填樹脂４から真空脱泡により気泡を抜く。

【００６２】充填樹脂４を硬化させるには、充填樹脂４の種類に応じて様々な方法が考えられる。本実施例では充填樹脂４として熱硬化性のエポキシ系樹脂を使用しており．加熱および乾燥により硬化（所謂キュア）させる。具体的には．貫通孔２１に充填した充填樹脂４を、１時間～３時間程、１００℃～１２０℃の温度に保つことによってキュアを行う。

【００６３】なお、充填樹脂４には．充填樹脂４よりも熱膨張係数が小さいフィラー（例えばＳｉＯ２　等）を混合しておくと好ましい。こうすることにより．充填樹脂４とフィラーとの複合体としての熱膨張係数を精度良くコントロールすることが可能となる。その結果．例えば．Ｃｕ等にて形成される配線（導体層）やＳｉ等にて形成されるＩＣチップ１６と配線基板１との間で．熱膨張係数の整合をとり易くなり、配線基板１上に構成される配線の、熱に対する信頼性を向上させることができることになる。

【００６４】また、シート材２３の表面においてコンデンサ素子１３を正確な位置に載置しても、その後注入される充填樹脂４に押されることにより．その位置がずれたり．傾いたりする可能性がある。そうすると．コンデンサ素子１３の外部接続部１４と配線パターンとの接続が困難となることも考えられる。

【００６５】そこでコンデンサ素子１３の位置の精度を上げるには、シート材２３の粘着力を高くした方が好ましい。シート材２３として８．８３Ｎ／２５ｍｍの粘着力を有するものを使用したところ、７．１％のピース（１ピースあたりコンデンサ素子１３が８個）において．シート材からの剥がれが確認された。このことから．シート材２３として．その粘着力が８．０Ｎ／２５ｍｍ以上であるものを用いることが望ましいと考えられる。この粘着力は、１８０°引きはがし法（ＪＩＳ２０２３７）により測定されるものである。また、この単位［Ｎ／２５ｍｍ］は、幅２５ｍｍのシート材を試料として測定された力を意味する（以下同様）。

【００６６】この様にシート材２３の粘着力が高ければ．コンデンサ素子１３が配置された貫通孔２１に充填樹脂４を注入する際も、コンデンサ素子１３が動きにくくなり、その位置の精度を高めることができる。また、シート材２３は．機械的強度の高いものである方が好ましい。シート材２３の強度が低すぎると、その表面にコンデンサ素子１３を載置する際にシート材２３が変形しコンデンサ素子１３の位置ずれが生じるなどの不具合が生じるからである。具体的には、シート材２３としては．その引張強さ（ＪＩＳ　２０２３７）が１００Ｎ／２５ｍｍ以上であるもの（より好ましくは１５０Ｎ／２５ｍｍ以上）を用いるとよい。

【００６７】素子本体１５（即ち電子部品本体）とシート材２３との間に充填樹脂４が侵入可能な隙間が形成される様にするには、シート材２３として、シート材２３の表面の粘着剤２４の厚みが、電極の高さ（後述する）よりも小さいものを用いた方がよい。たとえば．コンデンサ素子１３（即ち電子部品）として．「電極の高さ」が３０μｍ～７０μｍであるものを内蔵させる場合には．粘着剤２４の厚さは７０μｍ未満であることが必要である。粘着剤２４の厚みが７０μｍ以上になると、外部接続部１４が粘着剤２４に埋まった場合に、充填樹脂４が流入できる隙間を素子本体１５とシート材２３との間に確保することが難しくなるためである。

【００６８】また、シート材２３の表面の粘着剤２４の厚みが小さいと．所定の粘着力が得られ難くなる。そのため．所定の粘着力を確保するためには、粘着剤２４の厚みは１５μｍ以上であることが望ましい。つまり、シート材２３としては、粘着剤２４の厚さが１５μｍ以上

７０μm未満であるものを用いるとよい。

【００６９】さて充填樹脂４を硬化させた後、次に、シート材２３を、コンデンサ素子１３の外部接続部１４、充填樹脂４および配線基板本体３（詳しくは、導体層２０ａ）から除去し、その後、充填樹脂４および配線基板本体３の各主面３ａ，３ｂを、ベルトサンダーにより研磨する（図３（ｅ））。これは、請求項の「研磨工程」に相当する。

【００７０】第１主面３ａ側における充填樹脂４の研磨によって、外部接続部１４の上端部１４ａが、第１主面３ａ側から充填樹脂４の外部に露出される。第２主面３ｂ側からは、シート材２３の除去によって、外部接続部１４の下端部１４ｂが、充填樹脂４の外部に露出される。また、コンデンサ素子１３の素子本体１５は、充填樹脂４の中に埋没した状態となっている。

【００７１】また、各主面３ａ，３ｂの研磨の際には、コンデンサ素子１３の周囲に形成した充填樹脂４が平坦化されると共に、導体層２０ａ，２０ｂの表面と充填樹脂４の表面との高さが揃えられる。即ち、第１主面３ａ側において、導体層２０ａと充填樹脂４とが同一平面をなすと共に、第２主面３ｂ側においても導体層２０ｂと充填樹脂４とが同一平面をなすこととなる。その結果、両主面３ａ，３ｂ上には、周知のビルドアップ法により、平坦な導体層および層間絶縁層を形成することが可能となる。

【００７２】また配線基板本体３として、導体層２０ａ，２０ｂが積層されていない絶縁性基板を使用した場合には、研磨の結果、第１主面３ａおよび第２主面３ｂの表面と充填樹脂４の表面との高さが揃えられる。即ち、第１主面３ａと充填樹脂４とが同一平面をなすと共に、第２主面３ｂと充填樹脂４とが同一平面をなすこととなる。

【００７３】なお、充填樹脂４の研磨に使用する研磨布紙は、目の細かさが＃４００のものを使用したが、好ま＊しくは＃３２０又は＃３２０よりも目の細かい研磨布紙を使用すればよく、特に＃３２０以上＃６００以下の研磨布紙を用いると更に好ましい。理由は次の如くである。

【００７４】即ち表１に示す様に、＃１２０、＃２４０の研磨布紙にて充填樹脂４の研削を行ったところ、導体層２０ａ、２０ｂが剥げたり、導体層２０ａ、２０ｂの表面にキズが見られた。また、＃８００の研磨布紙を用いたところ、導体層２０ａ，２０ｂにはキズが見られなかったが、一部に剥げが生じたためである。これは、研磨布紙の目が細かくなると、樹脂が削れ難くなるにもかかわらず、その分、金属部分（本実施例では、Ｃｕ）が相対的に削れ易くなり、導体層に剥離が生じてしまうと考えられる。

【００７５】

【表１】

	#120	#240	#320	#400	#600	#800
Ｃｕ剥げ	×	×	○	○	○	×
Ｃｕキズ	×	×	○	○	○	○

【００７６】尚、表１において、○は良好、×は不良を示す。また本実施例では、シート材２３の粘着剤２４としてシリコン系のものを使用したが、これは、次のような実験に基づいている。表２は、シート材（基材）と粘着剤との種々の組み合わせについて、硬化した充填樹脂４からの剥がし易さ、およびシート材の耐熱性（２００℃の環境における変形、変質の有無）について調べた結果を示している。この実験において、充填樹脂４としてはエポキシ樹脂を使用し、これにシリカフィラーを混入したものを用いた。

【００７７】

【表２】

試料	基材	粘着剤	樹脂硬化後の剥がれ易さ	耐熱性（変形、変質）
1	ポリエステル	シリコン系	○	○
2	ポリエステル	アクリル系	×	○
3	ポリイミド	シリコン系	○	○
4	ポリイミド	アクリル系	×	○
5	ポリイミド	ゴム系	×	○
6	紙ロース系	—	○	×

【００７８】尚、表２において、○は良好、×は不良、－は未確認であることを示す。表２に示す様に、基材がポリエステルまたはポリイミドであると、シート材２３は耐熱性に優れたものとなり変形や変質がなく、また、粘着剤がシリコン系である場合には、充填樹脂の硬化後に剥がし易いことがわかる。

【００７９】本実施例では、シート材２３の基材としてポリイミドを用い、かつシリコン系の粘着剤２４を用いているので、充填樹脂４を熱硬化させる際にシート材２３に変形がなく、そのためシート材２３上に配置した電子部品（コンデンサ素子１３）の位置ずれが少なく、高い位置精度で電子部品を配線基板本体３内に設けることができる。また硬化した充填樹脂４からシート材２３を剥がしやすいため、シート材２３の一部が残渣となって後のビルドアップ工程に支障をきたすことを防ぐことができる。

【００８０】さて、以上の様に各主面３ａ，３ｂ側を研磨した後、次に図３（ｆ）に示す様に、スルーホール１

１の形成、及び、各主面３ａ，３ｂ上への第１導体層５ａ，５ｂの形成を行う。第１導体層５ａ，５ｂの形成は、次の様にして行われる。即ち、貫通孔２１内にコンデンサ素子１３を内蔵した配線基板本体３全体に、Ｃｕにて無電解メッキを施した後、更にＣｕにて電解メッキを施すことにより、配線基板本体３全体にパネルめっきを行う。そして、エッチングによって導体層の不要部分を除去することにより、第１導体層５ａ，５ｂを形成する。

【００８１】なお、パネルめっきの際には、コンデンサ素子１３の外部接続部１４の露出部分にもメッキが形成される。即ち、外部接続部１４は、メッキにより、配線基板１の配線（ここでは、第１導体層５ａ，５ｂ）と接続されることになる。しかも、その接続は、配線の形成と同時に実現される。

【００８２】この様にコンデンサ素子１３の外部接続部１４と導体層との接続をメッキにより行うため、以下の効果がある。即ち、半田によりコンデンサ素子１３を実装するときには、半田実装のための受けランドを形成するために所定の面積（例えば４６０μｍ×９００μｍ）を必要とし、コンデンサ素子１３の実装密度を高くする上での制限となる。これに対して、コンデンサ素子１３の外部接続部１４と導体層との接続をメッキにより行うと、受けランドを形成する必要がなく、しかも外部接続部１４のうち導体層との接続に必要な面積は小さいので（例えば３００μｍ×１００μｍ）、コンデンサ素子１３を高密度に実装できる。

【００８３】また、メッキにより配線形成と同時にコンデンサ素子１３の外部接続部１４と導体層との接続を図ることができ、半田印刷という工程を省略できるため、安価に実装可能である。また、半田リフローによるコンデンサ素子１３のダメージをなくすことができる。

【００８４】また、上記のパネルめっきの際には、貫通孔９の内周面にもメッキ層を形成し、その後貫通孔９内部に樹脂を充填し硬化させることにより、スルーホール１１を形成する（図３（ｆ））。なお、配線基板本体３に貫通孔９を形成し、内周面にメッキ層を形成し、樹脂を充填した後、貫通孔を形成し、同様にコンデンサ素子１３を内蔵しても良い。

【００８５】以上の様な第１導体層５ａ，５ｂの形成後、第１主面３ａ側及び第２主面３ｂ側において、充填樹脂４、第１導体層５ａ，５ｂ並びに上端部１４ａ及び下端部１４ｂの上に、エポキシ樹脂を主成分とするフィルム化された感光性樹脂を貼付する。そして、この感光性樹脂を露光・現像することにより、上端部１４ａ及び下端部１４ｂを露出すべき位置にビアホールを形成し、感光性樹脂を硬化させて、第１層間絶縁層１０３ａ，１０３ｂを形成する。なお、ビアホールは、第１層間絶縁層１０３ａ，１０３ｂを感光性のない樹脂で形成した後、レーザなどを用いて穿設しても良い。

【００８６】さらに、Ｃｕにて無電解メッキおよび電解メッキを施し、第１層間絶縁層１０３ａ，１０３ｂに形成したビアホールに導電体を充填すると共に、パネルメッキを行ってメッキ層を形成する。このメッキ層の上にドライフィルムを貼り付け、露光現像してエッチングレジストを形成し、メッキ層の内の不要部分をエッチングにより除去する。これにより、第２導体層１０５ａ，１０５ｂから成る配線が形成される。なお、導体層の形成には、周知のサブトラクティブ法の他、フルアディティブ法やセミアディティブ法を用いてもよい。

【００８７】以降は、同様にして第２層間絶縁層１０７ａ，１０７ｂ、フィルドビア１１７ａ，１１７ｂ、フリップチップパッド１１１（ＬＧＡパッド１１３）を順に形成し、その後ソルダレジスト層１０９ａ，１０９ｂを形成する。そして、ソルダレジスト層１０９ａから露出したフリップチップパッド１１１の上には、Ｎｉ－Ａｕメッキ層を形成し、更にハンダペーストを塗布しリフローすることで、フリップチップバンプ１１２を形成する。以上、第１導体層５ａ，５ｂ、第２導体層１０５ａ，１０５ｂなどを形成する工程が、請求項の「配線形成工程」に相当する。なお、フィルドビア１１７ａ，１１７ｂの一部は、フィルドビア１１５ａ，１１５ｂ等の直上に形成される。

【００８８】以上の様にして、図１に示す構造の配線基板１が完成されるが、ＬＧＡパッド１１３の表面には、酸化防止のためにＮｉ－Ａｕメッキ層を形成すると良い。なお、本実施例において、外部接続部１４の上端１４ａおよび下端１４ｂにおいて、素子本体１５から５０μｍ程度突出するように形成されるものとして説明したが、これは発明者らによる試験結果に基づいている。即ち、外部接続部１４の上端１４ａおよび下端１４ｂにおける、素子本体１５からの突出の高さ（以下「電極の高さ」という）を変え、上記の工程により配線基板の製造を行ったところ、表３に示す結果が得られた。

【００８９】

【表３】

不具合発生状況

電極の高さ	10μm	15μm	30μm	60μm	100μm	120μm
研磨後(部品露出，部品研磨，樹脂割れ)	88%	62%	0%	0%	0%	0%
メッキ後	-	6%（樹脂浮き，脱落）	0%	0%	0%	22%（電極間短絡）

【００９０】表３は、「電極の高さ」が夫々１０μｍ，１５μｍ，３０μｍ，６０μｍ，１００μｍ，１２０μｍとされた試料（コンデンサ素子１３）を用いた場合において、研磨工程後における不具合の発生状況と、第１導体層５ａ，５ｂを形成するためのメッキ工程後における不具合の発生状況を示している。

【００９１】研磨工程後における不具合とは、例えば、素子本体１５が充填樹脂４の外部に露出したり、誤って研磨されるといったものであるとか、また素子本体１５を覆っている充填樹脂４が割れるといったものである。また、メッキ工程後における不具合とは、例えば素子本体１５を覆っている充填樹脂４の浮き、脱落が発生したり、或いは電極間の短絡（同じコンデンサ素子１３の外部接続部１４の間における短絡、又は異なるコンデンサ素子１３の外部接続部１４の間における短絡）が発生したりするといったものである。

【００９２】表３に示す様に、「電極の高さ」が１０μｍである場合、研磨工程により８８％の割合で不具合が生じた。また、「電極の高さ」が１５μｍである場合は、研磨工程により６２％の割合で不具合が生じ、そして、研磨工程後には問題がなかった物のうちの６％が、メッキ工程後に不具合を生じた。

【００９３】また「電極の高さ」が１２０μｍである場合、メッキ工程後に電極間（特に同じコンデンサ素子１３の外部接続部１４の間）が短絡するという不具合が発生しやすくなった。これらの結果に対して、「電極の高さ」が３０μｍ、６０μｍ、１００μｍである試料については、上記の様な不具合は、研磨工程後においても、メッキ工程後においても見られなかった。こうしたことから、「電極の高さ」を、本実施例では５０μｍとしたのである。

【００９４】以上説明した本実施例の製造方法によれば、以下の効果（１）～（９）を奏する。

（１）外部接続部１４の上端（即ち上端部１４ａ）は、第１主面３ａよりも上側にあることから、充填樹脂４内に外部接続部１４の上端が埋まり難い。仮に埋まってしまっても、充填樹脂４を研磨することにより、第１主面３ａ側に容易に外部接続部１４を露出させることができる。また、素子本体１５の上端は、第１主面３ａよりも下側にあるので、第１主面３ａ側において充填樹脂４を研磨する際に、素子本体１５が削られる虞れが少ない。

【００９５】（２）外部接続部１４の直上に、フィルドビア１１５ａ、１１５ｂ（バイアホール導体）が形成されていることから、ＩＣチップなど配線基板表面に設けられる素子と、当該内蔵した高子部品との接続経路が短くなり、ノイズの侵入を抑制するなど、高気的特性が向上する。また、フィルドビア１１５ａ、１１５ｂの更に直上にフィルドビア１１７ａ，１１７ｂ（バイアホール導体）が形成されているから、高気的特性が更に向上する。

【００９６】（３）外部接続部１４の下端（即ち下端部１４ｂ）は、第２主面３ｂよりも下側にあることから、充填樹脂４内に外部接続部１４の上端が埋まり難い。仮に埋まってしまっても、充填樹脂４を研磨することにより、第１主面３ａ側に容易に外部接続部１４を露出させることができる。そして、素子本体１５の上端は、第１主面３ａを基準として上側にあることから、充填樹脂４の第２主面３ｂ側を研磨する際に、素子本体１５が削られ損傷する虞れも少ない。

【００９７】（４）＃４００の研磨布紙を用いて充填樹脂４を研磨したので、配線基板本体３の表面や導体層２０ａ，２０ｂにキズが付きにくい。そのため、例えばビルドアップ法などの、配線形成を支障なく行うことができる。

（５）＃４００の研磨布紙を用いて充填樹脂４を研磨したので、導体層２０ａ、２０ｂの剥離を生じさせる可能性が少ない。

【００９８】（６）外部接続部１４を複数層（本実施例では２層）の導体層、即ち外部高極層３０および外部接続層３１で形成するので、容易に、コンデンサ素子本体１５からの外部接続部１４の高さを稼ぐことができる。

（７）外部接続層３１（最外層）をメッキにて形成することとしていることから、その厚さの調整が容易である。

【００９９】（８）外部電極層３０および外部接続層３１を同一の材料（Ｃｕ）で形成し、しかも、その材料を第１配線層５ａ、５ｂ、フィルドビア１０５ａ、１０５ｂ…などの、配線基板１の内部配線と同一としていることから、熱応力の発生による断線を抑制できる。

【０１００】（９）「電極の高さ」を充分に大きくとったため、素子本体１５が研磨されて損傷したり、充填樹脂４のうち素子本体１５を覆う部分に割れや剥がれが生じたりすることがない。また、高子部品１３をシート材２３の上に配置した際、素子本体１５とシート材２３と

の間には、充填樹脂４が流入するための隙間を充分大きく形成できることとなり、素子本体１５の表面に充填樹脂４にて覆われない部分が生じることを防止できる。この様に、素子本体１５の保護を確実に図ることができ、電子部品１３の電気的特性の信頼性を高めることができる。

【０１０１】以上、本発明の一実施例について説明したが、本発明は上記実施例に限定される物ではなく、例えば、以下の様な種々の態様も本発明の技術的範囲に属する。例えば、上記実施例では、各貫通孔２１にコンデンサ素子１３を複数内蔵するものとして図示して説明したが、これに限らず単数のコンデンサ素子１３を内蔵してもよい。

【０１０２】また、上記実施例では、収容部として、貫通孔２１を例にとって説明したが、これに限られるものではなく、凹部に電子部品を収容する場合にも本発明を適用できる。また、上記実施例では、コンデンサ素子１３において、その外部接続部１４を、外部電極層３０と外部接続層３１の２層により形成するものとして説明したが、これに限られるものではない。

【０１０３】例えば、図４（ａ）に示す様な構成のものでも良く、これは次のようにして構成することができる。まず、素子本体２１５の側面に外部電極層２３０をＣｕペーストの印刷により形成する。但し、そのとき、素子本体２１５の側面においては厚く形成できるが、配線基板１の配線（例えば第１導体層５ａなど）と接続すべき部位（図４では上端）においては十分な厚さ（即ち、素子本体２１５からの高さ）が得られない場合がある。そうした場合には、図４（ｂ）の様に、当該部位に、例えばＣｕペースト２３２を更に付着させ、盛り上げるようにして、十分な厚みを得るようにする。その後、図２と共に上述した如く、Ｎｉメッキを施し、外部接続層２３１（例えば２μｍ程度）を形成する。これにより、外部接続部２１４の上端部２１４ａを、素子本体２１５から６０μｍ程度突出して形成する。

【０１０４】Ｃｕペーストを付着させる部位は、上下両端である必要はなく、図４（ｃ）の様に、片側のみでもよい。即ち、上記実施例では、外部接続部１４は、その上端１４ａおよび下端１４ｂにおいて素子本体１５から充分高く突出するよう形成されたものとして説明したが、これに限られるものではない。

【０１０５】こうしたコンデンサ素子２１３の場合、これを配線基板１に内蔵するには、図６に示す工程を採用すればよい。使用する配線基板本体３は、図３（ａ）に示したものと同様のものである。そして、図３（ａ）と共に説明した様に、配線基板本体３に、スルーホール１１を構成するための貫通孔９を多数個形成（例えばドリルにより）すると共に、コンデンサ素子１３を配置するための貫通孔２１を形成（例えばパンチングにより）する。

【０１０６】そして図６（ａ）に示すように、電子部品配設用の貫通孔２１の開口部の一方を、片面にシリコン系の粘着剤２４を有するポリイミドからなるシート材２３で覆う。なお、この図では、配線基板本体３を裏表反転させ、第１主面３ａ側の開口部をシート材２３で塞ぐ。また、その際、上記と同様に、粘着剤２４を有する面２３ａが配線基板本体３側に向けられ、シート材２３は配線基板本体３（詳しくは、導体層２０ａ）に張り付けられる。

【０１０７】この様にシート材２３で貫通孔２１を塞いだ後、図６（ａ）に示す様に、コンデンサ素子２１３を、粘着剤２４を介してシート材２３に粘着するよう、貫通孔２１の内部に配置する。この際、コンデンサ素子２１３の上下を逆にして、その外部接続部２１４の上端２１４ａにてシート材２３に粘着すると共に、その素子本体２１５とシート材２３との間には充填樹脂４が流入可能な隙間が形成されるよう配置する。しかも、外部接続部１４の上端（図６（ａ）中、Ａ１で示す）が第１主面３ａを基準面（Ｂ１で示す）として下側に位置し、素子本体１５の上端（Ｃ１で示す）は、第１主面３ａを基準面（Ｂ１）として上側に位置するように、コンデンサ素子２１３を配置する。

【０１０８】以上の様にして貫通孔２１の内部にコンデンサ素子２１３を配置した状態とした上で、図６（ｂ）の様に、貫通孔２１の内部に充填樹脂４を注入し、充填樹脂４を硬化させる。これにより、配線基板本体３の内部に電子部品としてのコンデンサ素子１３が埋設されることとなる。また、コンデンサ素子２１３の素子本体２１５とシート材２３との間にも、充填樹脂４が充填される。そして充填樹脂４を貫通孔２１に注入した後、上記実施例と同様にして、充填樹脂４から真空脱泡により気泡を抜き、充填樹脂４を硬化させる。また、充填樹脂４には、上記実施例と同様のものを用いればよい。

【０１０９】充填樹脂４を硬化させた後、次に、シート材２３を、コンデンサ素子２１３の外部接続部２１４、充填樹脂４および配線基板本体３（詳しくは、導体層２０ａ）から除去し、その後、充填樹脂４および配線基板本体３の各主面３ａ，３ｂを、ベルトサンダーにより研磨する（図６（ｃ））。

【０１１０】シート材２３の除去によって、第１主面３ａ側からは、外部接続部２１４の上端部２１４ａが、充填樹脂４の外部に露出される。また、コンデンサ素子２１３の素子本体２１５は、充填樹脂４の中に埋没した状態となっている。なお、このコンデンサ素子２１５の外部接続部２１４は、配線基板本体３の厚みよりも短いため、図６（ｃ）に示す様に、研磨工程後においても第２主面３ｂ側から外部接続部２１４ｂが露出しない。

【０１１１】そこで、次に図６（ｄ）に示す様に、第２主面３ｂ側からレーザを照射することにより充填樹脂４に穴２０４（バイアを形成するための穴）を穿設して、

外部接続部２１４の下端部２１４ｂを充填樹脂４の外部に露出させる。そして、図６（ｅ）に示す様に、各主面３ａ、３ｂ上への第１導体層５ａ，５ｂの形成、およびスルーホール１１の形成を行う。これについては、上記実施例と同様であり、パネルめっきの際には、コンデンサ素子２１３の外部接続部１４の露出部分にもメッキが形成されるが、同時に、上記穴２０４にはメッキが充填される。

【０１１２】第１導体層５ａ，５ｂの形成後の工程については、上記実施例と同様であるので説明を省略するが、以上の様にして、図５に示す構成の配線基板を得ることができる。なお、図７に示す様に、例えば、ＩＣチップ１６の搭載面側に向く側の端部（図７では上端）においてのみ、素子本体２１５から突出するものとして外部接続部１４を構成しても良い。この構造の配線基板は、図６と共に説明した製造工程から「第２主面３ｂ側におけるレーザによる穴開け」を除いた工程により得ることができる。

【０１１３】また、上記実施例では、電子部品として、コンデンサ素子１３を配線基板に内蔵するものとして説明したが、これに限らず、チップ状の抵抗体、インダクタ、フィルタ（ＳＡＷフィルタ、ＬＣフィルタ等）、カプラ、ダイプレクサ、アンテナスイッチモジュール等の受動部品や、トランジスタ、メモリ、ローノイズアンプ（ＬＮＡ）、ＦＥＴ等の能動部品など、各種の電子部品を内蔵させてもよい。また、これらのうちで異種の電子部品同士を同じ貫通孔内に内蔵してもよい。

【０１１４】また、上記実施例の説明においては、図３（ｄ）に示す様に、第１主面３ａ側（即ち、シート材２３で貫通孔２１を塞がない開口部の側）から、貫通孔２１内に充填樹脂４を注入するものとして説明した。しかし、充填樹脂４の粘性と貫通孔２１内の隙間との関係によっては、貫通孔２１内において、充填樹脂４が第２主面３ｂ側にまで十分行き渡らない可能性がある。貫通孔２１内における隙間とは、コンデンサ素子１３同士の間、或いはコンデンサ素子１３と貫通孔２１の内壁との間、コンデンサ素子１３の素子本体１５と、シート材２３との間などである。そこで、シート材２３を剥がした後、開口部２１ａ側からも、充填樹脂４を貫通孔２１内に注入するとよい。そうすれば、隙間なく、確実に貫通孔２１に充填樹脂４を充填することができる。

【０１１５】また、上記実施例では、配線基板本体３の材質として、ガラスーエポキシ樹脂複合材料を用いたが、これに限られることなく、耐熱性、機械強度、可撓性、加工の容易さ等を考慮して選択すればよい。従って、例えばガラス織布、ガラス不織布などのガラス繊維と、エポキシ樹脂、ポリイミド樹脂、ＢＴ樹脂等の樹脂との複合材料であるガラス繊維－樹脂複合材料を用いることができる。また、ポリイミド繊維などの有機繊維と樹脂との複合材料、連続気孔を有するＰＴＦＥなど３次元網目構造のフッ素系樹脂にエポキシ樹脂等の樹脂を含浸させた樹脂－樹脂複合材料などを用いることができる。

【０１１６】また、配線基板本体としては、導体層（導体パターン）が内蔵されている多層基板を用いてもよい。例えば、図８に示す配線基板の配線基板本体３０３の内部には、導体層３０５ａ，３０５ｂが形成されている。この配線基板本体３０３は、例えば図９の様な手順により得ることができる。

【０１１７】まず、図９（ａ）に示す様な銅張積層板を用意する。これは、例えば、ＢＴ樹脂、ＦＲ－４、ＦＲ－５などからなる絶縁基板３０６の両面に銅を積層して導体層３０５ａ，３０５ｂを形成したものである。この絶縁基板３０６の両面に形成された銅製の導体層３０５ａ，３０５ｂをエッチングすることにより、所要のパターンを形成する（図９（ｂ）参照）。

【０１１８】次に銅張積層板の両面を粗化し、図９（ｃ）に示す様に、両面に絶縁材３０７ａ，３０７ｂをラミネートする。絶縁材３０７ａ、３０７ｂは、上記の絶縁基板３０６を構成する樹脂とは異なる材料であっても同じ材料であってもよく、例えばエポキシ樹脂など、種々の樹脂のものを使用できる。この様にして、内部に導体層３０５ａ，３０５ｂを有する配線基板本体３０３を得ることができる。

【０１１９】次に、図９（ｄ）に示す様に、ビアを形成するための穴部３０８を絶縁材３０７ａ，３０７ｂにレーザで形成したり、スルーホールを形成するためのスルーホール貫通孔３０９をレーザやドリルにより形成する。次に図９（ｅ）に示す様に、パネルめっきを施すことにより、絶縁材３０７ａ，３０７ｂの表面、穴部３０８の内面およびスルーホール貫通孔３０９の内周面に、Ｃｕからなるメッキ層３１２を形成し、そして、図９（ｆ）に示すように、スルーホール貫通孔３０９の内部には、シリカフィラーを含有するエポキシ樹脂などの穴埋樹脂３１４を充填し、硬化させる。この穴埋樹脂３１４は、絶縁材３０７ａ，３０７ｂの表面のメッキ層３１２と略同一面を形成するように研磨する。

【０１２０】電子部品を内蔵するためには、図９（ｇ）に示す様に、電子部品配置用貫通孔３２１を形成し、この電子部品配置用貫通孔３２１の開口部をシート材２３で塞ぐ。そして図５と共に説明した手順によって、電子部品を配線基板本体３０３に内蔵でき、更にビルドアップ層を形成することができる。

【０１２１】また、例えば図１０に示す様に、予め内部に導体層４０５ａ，４０５ｂを有する配線基板本体４０３を用いてもよい。これを用いて図８と略同様な配線基板を得るには、まず図１０（ａ）に示す配線基板本体４０３に、スルーホール貫通孔４０７やビア形成用の穴部（図示せず）などを形成する（図１０（ｂ））。次にパネルめっきにより配線基板本体４０３の両面およびスル

ーホール貫通孔４０７の内周面にメッキ層４０９を積層し（図１０（ｃ））、そしてスルーホール貫通孔４０７の内部に穴埋樹脂４１１を充填する（図１０（ｄ））。そして更に、電子部品配置用貫通孔４２１を形成する（図１０（ｅ））。この後、電子部品配置用貫通孔３２１の開口部をシート材で塞ぎ、図５と共に説明した手順によって、電子部品を配線基板本体４０３に内蔵でき、更にビルドアップ層を形成することができる。

【０１２２】以上の様に、配線基板本体として、導体層が内蔵されているものを用いると、配線基板本体の上に積層すべき導体層の数を減らすことができる。例えば、図１では、配線基板本体の両主面の上に導体層を３層ずつ積層したものを示したが、これに対し、配線基板本体として導体層を内蔵したものを用いた場合には、図８に示す様に、両主面の上に積層すべき導体層の数が２層ずつに減少している。

【０１２３】そのため、電子部品とＩＣチップとの間の導通経路を短くすることができ、ループインダクタンス、スイッチングノイズ、クロストークノイズなどの低減、即ち、配線基板の電気的特性の向上を図ることが可能となる。また、スルーホール貫通孔が配線基板本体を貫通し、配線基板本体の両主面の上に積層すべき導体層の数が２層ずつになっていることから、スタックトビア（積み上げビア）を形成する必要がなくなる。そして、スタックトビアが不要となるため、フィルドビア（導体で完全に充填されたビア）を形成する必要がなくなり、コンフォーマルビア（導体で完全には充填されないビア）で足りることになるので、ビアの形成にかかるコストを抑制することができる。

【０１２４】なお、図８では、配線基板本体３０３の両主面上に２層の導体層を積層するものとして示したが、その層数はこれに限定されない。また、配線基板本体３０３の内部には２層の導体層３０５ａ、３０５ｂを有するものとして説明したが、その層数はこれに限定されるものではない。

【０１２５】さて、上記実施例では、研磨布紙で充填樹脂４を研磨するものとして説明したが、研磨布紙以外の手段を用いても良いことは明らかである。また、上記実施例では、第１層間絶縁層１０３ａ、１０３ｂ、第２層間絶縁層１０７ａ、１０７ｂとしてエポキシ樹脂を主成分とするものを用いたが、耐熱性、パターン成形性等を考慮して適宜選択すればよい。例えば、ポリイミド樹脂、ＢＴ樹脂、ＰＰＥ樹脂、連続気孔を有するＰＴＦＥなど３次元網目構造のフッ素系樹脂にエポキシ樹脂等の樹脂を含浸させた樹脂－樹脂複合材料などを用いることができる。

【０１２６】また、上記実施例では、第１導体層５ａ，５ｂ、第２導体層１０５ａ、１０５ｂ等を無電解Ｃｕメッキ及び電解メッキによって形成したが、他の材質、例えばＮｉ，Ｎｉ－Ａｕ等によって形成しても良く、さらには、メッキによらず、導電性樹脂を塗布するなどの手法によって形成しても良い。

【０１２７】また、上記実施例では、ＩＣチップ１６との接続のために、配線基板上面にフリップチップパッド１１１やフリップチップバンプ１１２を多数設けた。しかし、ＩＣ接続端子としては、接続するＩＣチップに形成された端子に応じて、適切な形態のものを使用すれば良く、フリップチップバンプを形成したものの他、フリップチップパッドのみのもの、或いはワイヤボンディングパッドやＴＡＢ接続用のパッドを形成したものなどが挙げられる。また、フリップチップバンプの半田には、Ｓｎ－Ａｇ、Ｓｎ－Ａｇ－Ｃｕ、Ｓｎ－Ｐｂ、Ｓｎ－Ｓｂ、Ｓｎ－Ｚｎ系等の半田を使用できる。

【０１２８】また、上記実施例では、コンデンサ素子１３の素子本体１５に$BaTiO_3$を主成分とする高誘電体セラミックを用いたが、この材質に限定されず、例えば、$PbTiO_3$、$PbZrO_3$、TiO_2、$SrTiO_3$、$CaTiO_3$、$MgTiO_3$、$KNbO_3$、$NaTiO_3$、$KTaO_3$、$RbTaO_3$、$(Na_{1/2}Bi_{1/2})TiO_3$、$Pb(Mg_{1/2}W_{1/2})O_3$、$(K_{1/2}Bi_{1/2})TiO_3$などが挙げられ、要求されるコンデンサの静電容量その他に応じて適宜選択すればよい。

【０１２９】また、外部接続部１４には、Ｃｕを使用したが、素子本体１５の材質等との適合性を考慮して選択すれば良く、例えば、Ｐｄ、Ｐｔ、Ａｇ、Ａｇ－Ｐｔ、Ａｇ－Ｐｄ、Ａｕ、Ｎｉ等が挙げられる。さらに、高誘電体セラミックを主成分とする誘電体層やＡｇ－Ｐｄ等から成る電極層と、樹脂やＣｕメッキ、Ｎｉメッキ等から成るビア導体や配線層とを複合させてコンデンサとして構成したものを用いることもできる。

【図面の簡単な説明】

【図１】　本発明の一実施例の配線基板の構成を示す説明図である。

【図２】　コンデンサ素子の構成を示す説明図である。

【図３】　配線基板の製造方法を示す説明図である。

【図４】　コンデンサ素子の他の構成例を示す説明図である。

【図５】　本発明の他の実施例の配線基板の構成を示す図である。

【図６】　図５の構成を有する配線基板の製造方法を示す説明図である。

【図７】　本発明の他の実施例の配線基板の構成を示す図である。

【図８】　配線基板本体の変形例を説明する図である。

【図９】　変形例の配線基板本体の製造方法を示す図である。

【図１０】　配線基板本体の別の変形例を示す図である。

【符号の説明】

１…配線基板

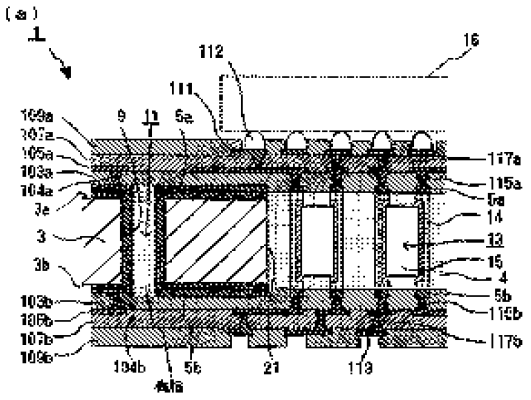
27

３，３０３，４０３…配線基板本体
３ａ…第１主面　３ｂ…第２主面　４…充填樹脂
５ａ，５ｂ…第１導体層（配線）
１３，２１３…コンデンサ素子（電子部品）
１４，２１４…外部接続部
１５，２１５…素子本体（電子部品本体）
２１，３２１，４２１…貫通孔

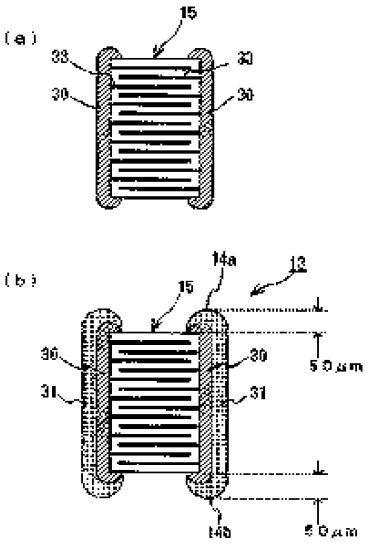
28

＊２１ａ…開口部
２３…シート材　２４…粘着剤
３０，２３０…外部電極層
３１，２３１…外部接続層
１０５ａ，１０５ｂ…第２導体層（配線）
１１１…フリップチップパッド（配線）
＊　１１５，１１７…フィルドビア（配線）

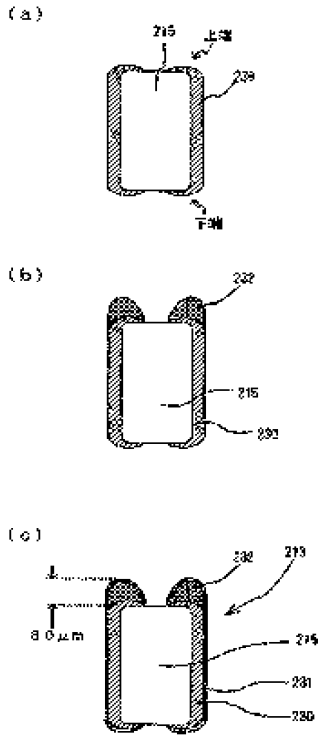
【図１】



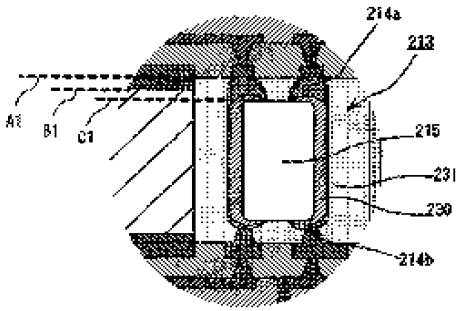
【図２】



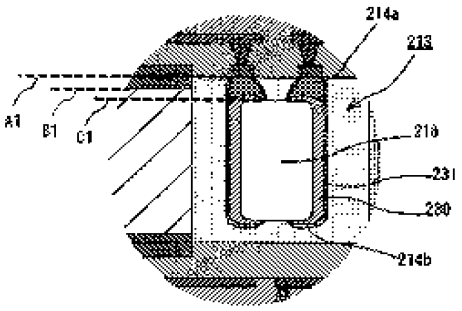
【図４】



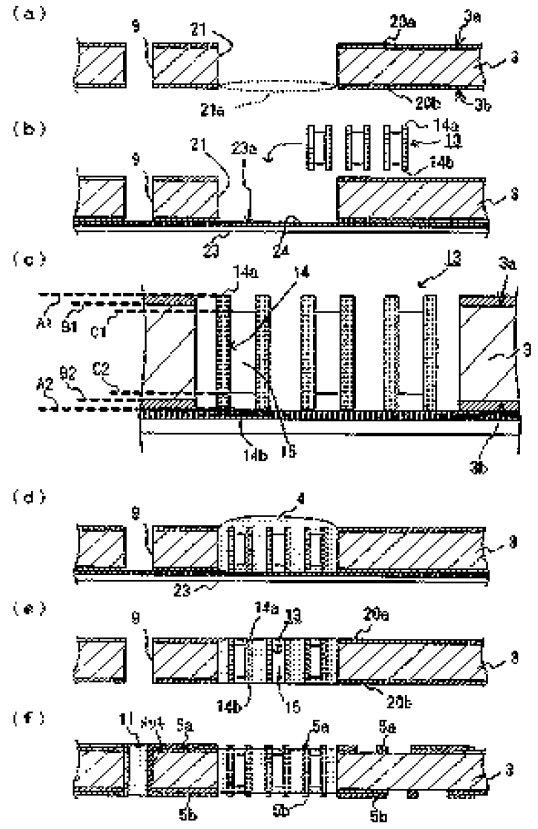
【図５】



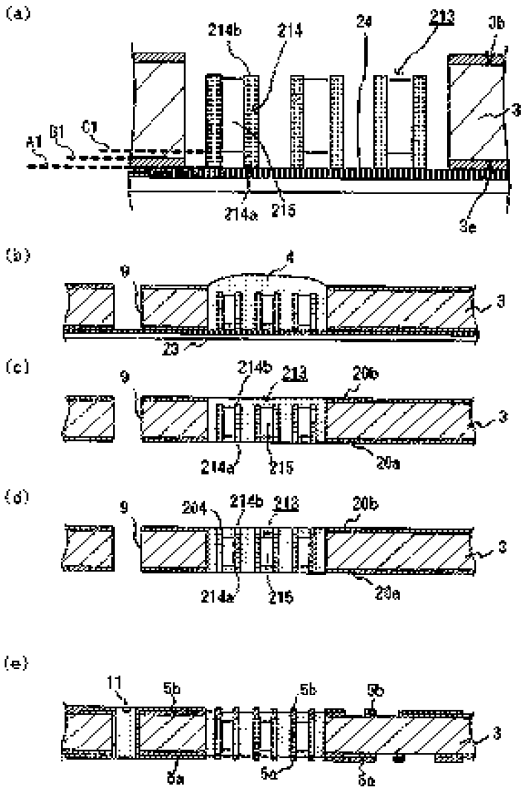
【図７】



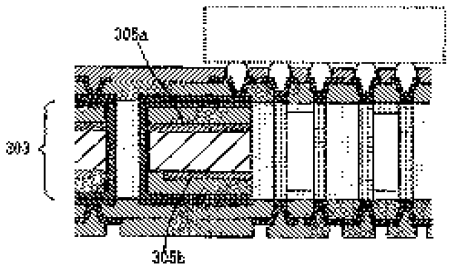
【図３】



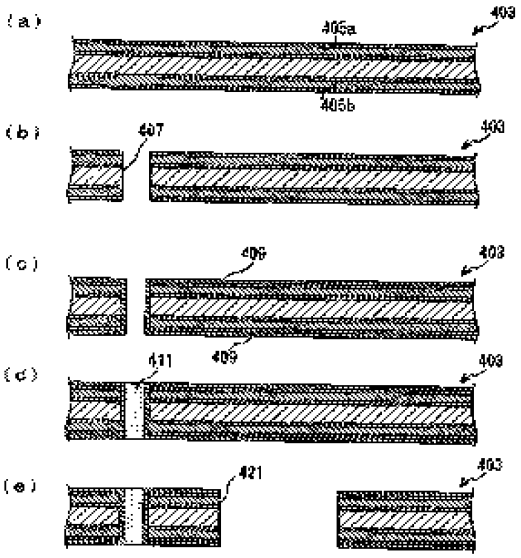
【図６】



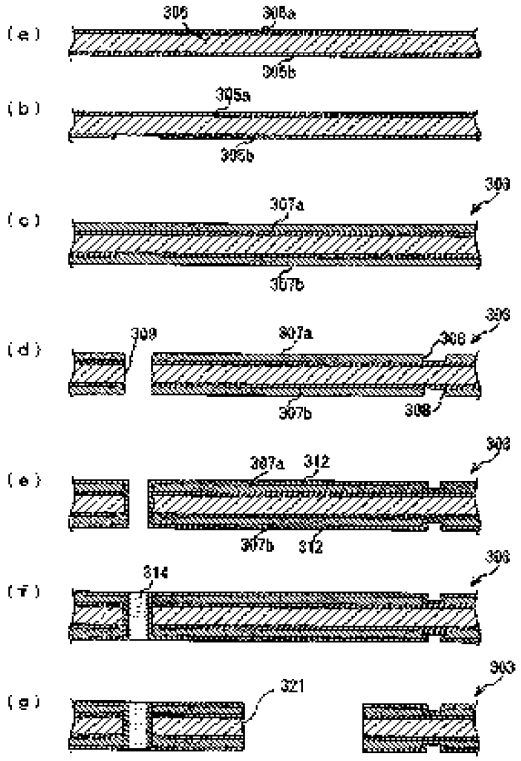
【図８】



【図１０】



【図９】


(a)
305
305a
305b
(b)
305a
305b
(c)
307a
307b
303
(d)
309
307a
308
307b
308
303
(e)
307a
312
307b
312
303
(f)
314
303
(g)
321
303

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報**（Ａ）　(11)特許出願公開番号
特開2003－37205
（P2003－37205A）
(43)公開日　平成15年２月７日(2003.2.7)

(51)Int.Cl.⁷		識別記号	Ｆ Ｉ		テーマコード（参考）	
Ｈ０１Ｌ	23/12		Ｂ４２Ｄ	15/10	５２１	２Ｃ００５
Ｂ４２Ｄ	15/10	５２１	Ｈ０５Ｋ	3/46	Ｇ	５Ｂ０３５
Ｇ０６Ｋ	19/077				Ｎ	５Ｅ３４６
Ｈ０１Ｌ	25/065				Ｑ	
	25/07		Ｈ０１Ｌ	23/12	Ｎ	

審査請求　未請求　請求項の数15　ＯＬ　（全 12 頁）　最終頁に続く

(21)出願番号　特願2001－222050(P2001－222050)

(22)出願日　平成13年７月23日(2001.7.23)

(71)出願人　000002185
ソニー株式会社
東京都品川区北品川６丁目７番35号

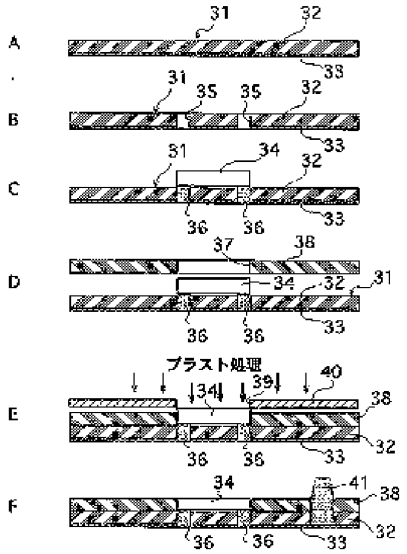
(72)発明者　小川　稔
東京都品川区北品川６丁目７番35号　ソニーイーエムシーエス株式会社内

(74)代理人　100072350
弁理士　飯阪　泰雄

最終頁に続く

(54)【発明の名称】　ＩＣチップ内蔵多層基板及びその製造方法

(57)【要約】
【課題】　ＩＣチップの薄膜化を良好に行えるＩＣチップ内蔵多層基板及びその製造方法を提供すること
【解決手段】　ＩＣチップと、前記ＩＣチップを埋め込むように実装されたＩＣチップ実装基板と、前記ＩＣチップ実装基板のチップ埋込面側に設けられた基板間絶縁層と、前記ＩＣチップ実装基板のチップ非埋込面側に設けられた外層用の回路基板と、前記外層用の回路基板に対して前記ＩＣチップ実装基板及び基板間絶縁層を挟み込むように積層された内層用の回路基板とを備え、前記ＩＣチップ実装基板は、チップ埋込時に、所定の厚みのＩＣチップを実装基板の厚みに納え込むようにプラスティングにより薄膜化して成る。



1

【特許請求の範囲】
【請求項１】　ＩＣチップと、
前記ＩＣチップを埋め込むように実装されたＩＣチップ実装基板と、
前記ＩＣチップ実装基板のチップ埋込面側に設けられた基板間絶縁層と、
前記ＩＣチップ実装基板のチップ非埋込面側に設けられた外層用の回路基板と、
前記外層用の回路基板に対して前記ＩＣチップ実装基板及び基板間絶縁層を挟み込むように積層された内層用の回路基板とを備え、
前記ＩＣチップ実装基板は、
チップ埋込時に、所定の厚みのＩＣチップを実装基板の厚みに揃え込むようにプラスティングにより薄膜化して成ることを特徴とするＩＣチップ内蔵多層基板。
【請求項２】　回路基板上にＩＣチップを実装し、該ＩＣチップを絶縁層により閉じこめて該回路基板を順次積層するＩＣチップ内蔵多層基板の製造方法において、
前記絶縁層を貫通して実装される前記ＩＣチップの所定の部分を前記回路基板の厚みに揃え込むようにプラスティングにより薄膜化する工程と、
前記ＩＣチップの高さを低減させた後に、ＩＣチップ実装基板と他の回路基板とを積層し多層化する工程とを有することを特徴とするＩＣチップ内蔵多層基板の製造方法。
【請求項３】　前記ＩＣチップは回路素子非形成領域を有し、
前記回路素子非形成領域の側に所定の厚みの薄膜化しろを有することを特徴とする請求項２に記載のＩＣチップ内蔵多層基板の製造方法。
【請求項４】　少なくとも、配線が施される外層用の回路基板と内層用の回路基板との間に、前記ＩＣチップ実装基板及び基板間絶縁層を挟んで積層し多層化することを特徴とする請求項２に記載のＩＣチップ内蔵多層基板の製造方法。
【請求項５】　回路基板の絶縁層内にＩＣチップを閉じこめて実装し、該回路基板を順次積層するＩＣチップ内蔵多層基板の製造方法において、
所望の厚みの回路基板の絶縁層内にＩＣチップ埋設用の穴部を形成する工程と、
前記穴部の深さよりも高い厚みのＩＣチップを埋め込んで実装する工程と、
前記穴部から突出したＩＣチップの所定部分を前記回路基板の厚みに揃え込むようにプラスティングにより薄膜化して前記ＩＣチップ実装基板を形成する工程とを有することを特徴とするＩＣチップ内蔵多層基板の製造方法。
【請求項６】　前記ＩＣチップは回路素子非形成領域を有し、
前記回路素子非形成領域の側に所定の厚みの薄膜化しろ

2

を有することを特徴とする請求項５に記載のＩＣチップ内蔵多層基板の製造方法。
【請求項７】　前記穴部は、
前記ＩＣチップの実装用の回路基板と、
前記ＩＣチップの厚みよりも浅い深さの開口部を有した絶縁層とを接合して構成されることを特徴とする請求項５に記載のＩＣチップ内蔵多層基板の製造方法。
【請求項８】　少なくとも、配線が施される外層用の回路基板と内層用の回路基板との間に、前記ＩＣチップ実装基板及び基板間絶縁層を挟んで積層し多層化することを特徴とする請求項５に記載のＩＣチップ内蔵多層基板の製造方法。
【請求項９】　前記ＩＣチップ実装基板のチップ埋込面側に基板間用の絶縁部材を形成する工程と、
前記外層用の回路基板に対して前記ＩＣチップ実装基板及び基板間用の絶縁部材を挟み込むように内層用の回路基板を形成する工程とを有することを特徴とする請求項８に記載のＩＣチップ内蔵多層基板の製造方法。
【請求項１０】　前記外層用の回路基板、ＩＣチップ実装基板、基板間用の絶縁部材及び内層用の回路基板とを同一の熱処理工程により加圧熱接合することを特徴とする請求項８に記載のＩＣチップ内蔵多層基板の製造方法。
【請求項１１】　前記ＩＣチップを実装してＩＣチップ実装基板を形成した後に、
前記ＩＣチップ実装基板毎に電気的な検査を行うことを特徴とする請求項８に記載のＩＣチップ内蔵多層基板の製造方法。
【請求項１２】　前記ＩＣチップを実装したＩＣチップ実装基板から動作検査用の電極を引き出すことを特徴とする請求項８に記載のＩＣチップ内蔵多層基板の製造方法。
【請求項１３】　前記動作検査用の電極は、
内層用の回路基板と電気的に接続するための電極を兼用することを特徴とする請求項１２に記載のＩＣチップ内蔵多層基板の製造方法。
【請求項１４】　前記プラスティングはサンドブラストであることを特徴とする請求項１～１３のいずれかに記載のＩＣチップ内蔵多層基板の製造方法。
【請求項１５】　前記絶縁層は熱可塑性樹脂で成り、一方の面に転写金型により配線パターンを形成し、該配線パターンに導電ペーストを埋めたことを特徴とする請求項１４に記載のＩＣチップ内蔵多層基板の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は、メモリやＣＰＵなどの半導体集積回路チップ（以下でＩＣチップという）を高密度実装した携帯端末装置などに適用して好適なＩＣチップ内蔵多層基板及びその製造方法に関する。詳しくは、所定の厚みのＩＣチップを実装基板の厚みに揃え

http://www4.ipdl.inpit.go.jp/Tokujitu/tjcontentpaj.ipdl?N0000=21&N0...

込むように薄膜化してＩＣチップ実装基板を構成し、このＩＣチップ実装基板を基板間絶縁層と共に、外層用の回路基板と内層用の回路基板との間に挟んで積層して、更なるＩＣチップの実装面積を積層方向に立体的に増加できるようにすると共に、ＩＣチップを高密度に実装できるようにしたものである。

【０００２】

【従来の技術】近年、携帯電話機や、携帯用のパーソナルコンピュータなどの携帯端末装置に、ベアーチップ状態の半導体集積回路装置（以下単にＩＣチップという）を実装したＩＣチップ実装基板が使用されるようになってきた。この種の実装基板には個々のＩＣチップがモールド成形されることなく、複数のＩＣチップ、抵抗ならびにコンデンサなどの電子部品が混在して平面的に実装されている。

【０００３】ところで、従来方式のＩＣチップ実装基板によれば、ＩＣチップが平面的に並べて配置されるので、電子部品の高密度な実装要求に対して、部品搭載面積に限界を生ずるに至っている。従って、近年のプリント配線板の小型化、つまり、電子機器の小型化の要求に満足できなくなってきた。

【０００４】この種の問題に対して、技術文献である特開平２－１６４０９６号公報の「多層電子回路基板とその製造方法」には、電子回路を構成する回路素子をプリント配線基板の層間に内蔵し、電子回路の高密度な実装を図ることが記載されている。また、特開平５－３４３８５６号公報の「多層プリント配線基板及びその製造方法」には、電子回路などを構成するハイブリッドモジュールをプリント配線基板間に挟み込み、電子回路などを高密度に実装することが記載されている。

【０００５】更に、特開平３－１４２９３号公報の「多層高密度実装モジュール」には、電子回路などを中間層に内蔵したプリント配線基板を積層する際に、ハンダバンプと接する面に白金、あるいはパラジウムメッキを施すことが記載されている。いずれの技術文献も、予め薄膜化されたＩＣチップを実装している。ＩＣチップ単品での薄膜化には限度があり、更なるＩＣチップの高密度実装の妨げとなっている。

【０００６】そこで、本出願人は先にこのような従来の問題点を解決するために、当該多層回路基板の薄型化方法を工夫して、更なるＩＣチップの実装面積を積層方向に立体的に増加できるようにすると共に、ＩＣチップを高密度に実装できるようにしたＩＣチップ内蔵多層基板及びその製造方法を提供することを目的として、ＩＣチップと、このＩＣチップを埋め込むように実装されたＩＣチップ実装基板と、このＩＣチップ実装基板のチップ埋込面側に設けられた基板間絶縁層と、ＩＣチップ実装基板のチップ非埋込面側に設けられ外層用の回路基板と、この外層用の回路基板に対してＩＣチップ実装基板及び基板間絶縁層を挟み込むように積層された内層用の

回路基板とを備え、ＩＣチップ実装基板は、チップ埋込時に、所定の厚みのＩＣチップを実装基板の厚みに揃え込むように研摩して成ることを特徴とするＩＣチップ内蔵多層基板を提案した（特開２００１－１１９１４８）。更にＩＣチップを基板内に埋め込むように実装された、ＩＣチップ実装基板のチップ埋込面側には基板間絶縁層が設けられ、そのチップ非埋込面側には外層用の回路基板が設けられる。しかも、ＩＣチップ実装基板は所定の厚みのＩＣチップを回路基板の厚みに揃え込むように研摩して成る。この外層用の回路基板に対してＩＣチップ実装基板及び基板間絶縁層を挟み込むように内層用の回路基板を積層した多層構造を成しているものである。

【０００７】従って、ＩＣチップの埋込工程時に、最初から薄型化してＩＣチップではなく、その薄型化前の半導体ウエハを切断した状態の回路素子非形成領域を多く含んだＩＣチップをそのまま取り扱うことができる。しかも、回路基板に形成された所定の深さの穴部毎にＩＣチップの高さを合わせ込むことができるし、更なるＩＣチップの実装面積を積層方向に立体的に増加すること、及び、ＩＣチップの高密度実装を行うことができる。

【０００８】上記公報におけるＩＣチップ内蔵多層基板の第１の製造方法は、回路基板上にＩＣチップを実装し、該ＩＣチップを絶縁層により閉じ込めて該回路基板を順次積層するＩＣチップ内蔵多層基板の製造方法において、その絶縁層を貫通して実装されるＩＣチップの所定の部分を回路基板の厚みに揃え込むように研摩する工程と、ＩＣチップの高さを低減させた後に、ＩＣチップ実装基板と他の回路基板とを積層し多層化する工程とを有することを特徴とするものである。

【０００９】以上の第１の製造方法によれば、最初から薄型化したＩＣチップではなく、その薄型化前の半導体ウエハを切断した状態の回路素子非形成領域を多く含んだＩＣチップをそのまま取り扱うことができる。しかも、ＩＣチップの周囲を絶縁層で保護した状態で、その絶縁層の表面位置に合わせ込むようにＩＣチップを薄型化かつ平坦化をすることができる。これにより、ＩＣチップは回路基板上に形成された所定の厚みの絶縁層毎にその高さを合わせ込むことができるし、メモリやＣＰＵなどのＩＣチップを封止した薄型のＩＣチップ内蔵多層基板を再現性良く形成することができる。

【００１０】また上記公報におけるＩＣチップ内蔵多層基板の第２の製造方法は、回路基板の絶縁層内にＩＣチップを閉じこめて実装し、該回路基板を順次積層するＩＣチップ内蔵多層基板の製造方法において、所望の厚みの回路基板の絶縁層内にＩＣチップ埋設用の穴部を形成する工程と、この穴部の深さよりも高い厚みのＩＣチップを埋め込んで実装する工程と、この穴部から突出したＩＣチップの所定部分を回路基板の厚みに揃え込むように研摩してＩＣチップ実装基板を形成する工程とを有す

http://www4.ipdl.inpit.go.jp/Tokujitu/tjcontentpaj.ipdl?N0000=21&N0...

ることを特徴とするものである。

【００１１】以上の第２の製造方法によれば、最初から薄型化したＩＣチップではなく、その薄型化前の半導体ウエハを切断した状態の回路素子非形成領域を多く含んだＩＣチップをそのまま取り扱うことができる。しかも、ＩＣチップの周囲を穴部の側壁で保護した状態で、その回路基板の表面位置に合わせ込むようにＩＣチップを薄型化かつ平坦化をすることができる。これにより、回路基板に形成された所定の深さの穴部毎にＩＣチップの高さを合わせ込むことができるし、第１の製造方法と同様にして、薄型のＩＣチップ内蔵多層基板を再現性良く形成することができる。当該ＩＣチップ内蔵多層基板を適用した電子機器の小型化及び多機能化を図ることができる。

【００１２】先の発明に係るＩＣチップ内蔵多層基板及びその製造方法の一実施の形態について、図面を参照しながら説明する。図３は実施形態としてのＩＣチップ内蔵多層基板の構造例を示す断面図である。この実施形態では、所定の厚みのＩＣチップを回路基板の厚みと同じ高さに研摩してＩＣチップ実装基板を構成し、このＩＣチップ実装基板を基板間絶縁層と共に、外層用の回路基板と内層用の回路基板との間に挟んで積層して、更なるＩＣチップの実装面積を積層方向に立体的に増加できるようにすると共に、ＩＣチップを高密度に実装できるようにしたものである。

【００１３】図３に示すＩＣチップ内蔵多層基板１００は半導体集積回路装置（以下ＩＣチップという）３Ａ、３Ｂを高密度に実装したものである。ＩＣチップ３Ａ、３Ｂは厚みが数百μｍ程度である。ＩＣチップ内蔵多層基板１００の厚みはｔ０であり、その厚みｔ０はＩＣチップ３Ａ、３Ｂの積層数にもよるが１ｍｍ前後～数ｍｍ程度である。

【００１４】図３に示すＩＣチップ内蔵多層基板１００の例では、一方の面にＩＣチップ３Ａを埋め込むように実装された、厚みｔ１のＩＣチップ実装基板１Ａが、基板間絶縁層としての多層化接着用のプリプレグ４を挟んで内層用の回路基板としての厚みｔ２の内層配線基板２の一方の面に積層されると共に、ＩＣチップ実装基板１Ａ及び内層配線基板２間がそのプリプレグ４により接着され、このＩＣチップ実装基板１Ａのチップ非埋込面側には外層用の回路基板としての厚みｔ３のプリント配線基板６Ａが積層される。

【００１５】この例では、その内層配線基板２の他方の面に、他のプリプレグ５を挟んで同様の厚みを有して、他のＩＣチップ実装基板１Ｂが積層されると共に、ＩＣチップ実装基板１Ｂ及び内層配線基板２間がそのプリプレグ５により接着され、このＩＣチップ実装基板１Ｂのチップ非埋込面側には外層用の他のプリント配線基板６Ｂが積層され、ＩＣチップ実装基板１Ａ及び内層配線基板２との間や、その内層配線基板２及びＩＣチップ実装

基板１Ｂとの間には各々のプリプレグ４、５を貫くように導電性の基板間配線部材７、８が設けられ、この基板間配線部材７、８により電気的に接合された多層構造を成している。

【００１６】ここで、多層とは配線パターンが形成される層をいう。この例でＩＣチップ内蔵多層基板１００は６層構造を有している。プリプレグ４、５にはガラスクロスにエポキシ系樹脂を含浸させたものや、ポリイミドポリイミド系樹脂材料が使用される。基板間配線部材７、８には銅や銀などが使用される。

【００１７】この例で、ＩＣチップ実装基板１Ａは、チップ埋込時に、所定の厚みのＩＣチップ３ＡをＩＣチップ実装基板１Ａの厚みに揃え込むように研摩して形成され、同様にして、ＩＣチップ実装基板１Ｂは、チップ埋込時に、所定の厚みのＩＣチップ３ＢをＩＣチップ実装基板１Ｂの厚みに揃え込むように研摩して形成されたものである。通常、トランジスタやコンデンサなどの回路素子は半導体ウエハの一方の面に形成されることが多い。ここで、半導体ウエハの一方の面を回路素子形成領域としたとき、その反対側の面を回路素子非形成領域と定義する。

【００１８】つまり、この例のＩＣチップ３Ａ、３Ｂは図示しない回路素子非形成領域を有し、この回路素子非形成領域に所定の厚みの研摩しろを有している。この研摩しろは、チップ埋込時に、ＩＣチップ実装用の回路基板から飛び出た部分をこの回路基板の厚みに揃え込んで平坦化するために設けられる。いわゆる、部品間のハンドリングを待たせるためである。

【００１９】このように、上記公報における第１の実施形態としてのＩＣチップ内蔵多層基板１００によれば、ＩＣチップ３Ａを基板内に埋め込むように実装された、ＩＣチップ実装基板１Ａのチップ埋込面側にはプリプレグ４が設けられ、そのチップ非埋込面側には外層用のプリント配線基板６Ａが設けられる。更に、ＩＣチップ３Ｂを基板内に埋め込むように実装された、ＩＣチップ実装基板１Ｂのチップ埋込面側にはプリプレグ５が設けられ、そのチップ非埋込面側には外層用のプリント配線基板６Ｂが設けられる。しかも、ＩＣチップ実装基板１Ａ、１Ｂは所定の厚みのＩＣチップ３Ａ、３Ｂを各々のＩＣチップ実装用の回路基板の厚みに揃え込むように研摩して成る。この外層用のプリント配線基板６Ａ、６Ｂに対してＩＣチップ実装基板１Ａ、１Ｂ及びプリプレグ４、５を挟み込むように内層配線基板２を積層した多層構造を成している。

【００２０】従って、ＩＣチップ３Ａ、３Ｂの埋込工程時に、最初から薄型化したＩＣチップではなく、その薄型化前の半導体ウエハを切断した状態の回路素子非形成領域を多く含んだＩＣチップ３Ａ、３Ｂをそのまま取り扱うことができる。しかも、３Ａ、３Ｂを貫く絶縁層毎にそのＩＣチップ３Ａ、３Ｂの高さを合わせ込むことが

http://www4.ipdl.inpit.go.jp/Tokujitu/tjcontentpaj.ipdl?N0000=21&N0...

できるし、更なるＩＣチップ３Ａ、３Ｂの実装面積を積層方向に立体的に増加すること、及び、ＩＣチップ３Ａ、３Ｂの高密度に実装することができる。

【００２１】これにより、より多くのＩＣチップの搭載を可能とし、同時に当該ＩＣチップ内蔵多層基板１００の小型化が図られ、これを適用した電子機器の小型化及び多機能化を図ることができる。

【００２２】続いて、ＩＣチップ内蔵多層基板１００に係る第１の製造方法について説明をする。図４Ａ～図４Ｃ及び図５Ａ～図５Ｃは第１の実施形態に係るＩＣチップ内蔵多層基板１００の形成例を示す工程断面図である。図６はそのＩＣチップ内蔵多層基板１００の形成時におけるＩＣチップ実装基板１の動作検査例を示すイメージ図である。図７は、そのＩＣチップ内蔵多層基板１００の形成例を示す工程断面図である。

【００２３】この例では図３に示した２つのＩＣチップ３Ａ、３Ｂを実装した６層構造のＩＣチップ内蔵多層基板１００を形成する場合を想定する。例えば、外層用のプリント配線基板６Ａ、ＩＣチップ実装基板１Ａ、プリプレグ４、内層配線基板２、プリプレグ５、ＩＣチップ実装基板１Ｂ及び外層用のプリント配線６Ｂを順に積層したＩＣチップ内蔵多層基板１００を形成する場合を例に採る。なお、２枚の外層用のプリント配線基板６Ａ、６Ｂ、１枚の内層配線基板２及び２枚のプリプレグ４、５は予め準備されているものとし、回路基板１上にＩＣチップ３を実装し、その後、そのＩＣチップ３を絶縁層により閉じこめてその回路基板１を順次積層する場合を想定する。

【００２４】これを前提として、まず、図４Ａに示すＩＣチップ実装用の回路基板１を準備する。この回路基板１には絶縁材料１８の片面に銅箔１１を有したもの、例えば、ガラス布基材エポキシ樹脂銅張積層板（ＦＲ－４）などが使用される。この基板を加工して所定の配線パターンや電極（ラウンド）などを形成して回路基板１を作成する。

【００２５】例えば、基板の銅箔面にレジスト材料を塗布し、その後、配線パターンや電極などの形を象ったレチクル（例えばネガフィルムや乾板）を使用してレジスト材料を露光し、その後、このレジスト膜をマスクにして銅箔１１をエッチングすることにより配線パターンや電極などが形成される。片面銅箔基板には、エポキシ系の他にポリイミド系樹脂銅張積層板や、ビスマレイミドートリアジン（ＢＴレジン）系樹脂銅張積層板を用いてもよい。これら基板は耐熱性や、寸法度安定性に優れている。

【００２６】その後、図４Ｂに示す回路基板１に端子引き出し用の開口部９Ａ、９Ｂを形成する。この開口部９Ａ、９ＢはＩＣチップ３の裏面（又は端部）に設けられた複数の電極と、ＩＣチップ実装基板１Ａなどの裏面に設けられた配線パターンや電極などに電気的かつ構造的に接続するために設けられる。開口部９Ａ、９Ｂはレーザーなどによる穴開け加工によって形成する。

【００２７】その後、図４Ｃに示す銅箔１１が形成されていない面を上に向けるようにして、回路基板１の上にＩＣチップ３を実装することにより、図３に示したようなＩＣチップ実装基板１Ａや１Ｂを形成する。この例では、薄型化前の回路素子非形成領域を有したＩＣチップ３が使用され、この回路素子非形成領域に所定の厚みの研磨しろが設けられている。この例のＩＣチップ３は当初の厚みが３００μｍ～４００μｍ程度を有している。そして、ＩＣチップ実装基板１Ａなどを予め形成された端子引き出し用の開口部９Ａ、９Ｂに導電部材１２Ａ、１２Ｂを充填してＩＣチップ３を裏面の配線パターンや電極などに接合する。導電部材１２Ａ、１２Ｂには銅や銀などが使用される。この際の導電材料１２Ａ、１２Ｂの充填とＩＣチップ接続の順番は逆でもかまわない。導電材料１２Ａ、１２Ｂは限定されない。

【００２８】その後、図５Ａに示すＩＣチップ実装基板１Ａに厚み１００～２００μｍ程度のチップ埋込用の片面銅箔基板１５を形成する。この際に、予めＩＣチップ３を貫通させる大きさの開口部１６を片面銅箔基板１５に形成する。そして、この片面銅箔基板１５の銅箔２１の面が上部に向くように、かつ、開口部１６からＩＣチップ３が飛び出すようにＩＣチップ実装基板１の上に片面銅箔基板１５を積層する。

【００２９】その後、図５Ｂに示す片面銅箔基板１５から飛び出した部分のＩＣチップ３を研磨して平坦化する。この際の研磨に関しては研削法を適用する。この研削法によると、図示しない研磨装置の回転駆動部に研磨面を下に向けるようにしてＩＣチップ実装基板１が装着され、その装置上部から下部へＩＣチップ実装基板１が加圧され、ＩＣチップ実装基板１が回転駆動されながら、水平方向に移動する研磨紙１７によって、ＩＣチップ３の所定部分が研磨される。

【００３０】その際の研磨条件は、加工圧力が約２×１０５Ｐａ程度、回転駆動部の回転速度が３０～４０秒／１回転程度である。途中で何回か研磨紙１７を交換するようになされる。研磨紙１７の荒さは＃４００（粗）～＃８００（仕上げ）である。研磨時は純水を使用して流水する。作業時間は１５分／１枚程度である。この際に、ＩＣチップ兼通用の片面銅箔基板１５の研磨側に施された銅箔２１を研磨終了検知用の金属箔として使用すると良い。例えば、初期の段階では、片面銅箔基板１５から飛び出した部分のＩＣチップ３の研磨粒子が観測されるが、徐々に、研磨が進行して、研磨終了段階に到達すると、銅箔２１の研磨粒子が観測されるようになる。更に、研磨を進行させると、ＩＣチップ３の研磨粒子に交じって片面銅箔基板１５の絶縁材料の研磨粒子が観測されるようになる。

【００３１】この例では、銅箔２１の研磨粒子が観測さ

http://www4.ipdl.inpit.go.jp/Tokujitu/tjcontentpaj.ipdl?N0000=21&N0...

れた後に、ＩＣチップの研摩粒子に交じって絶縁材料の研摩粒子が観測された時点で研摩を終了する。この状態は銅箔がすべて研摩され、図５Ｃで示す片面銅箔基板１５の絶縁材料の表面とＩＣチップ３の表面とが同一平面位置に揃った状態であり、プリプレグ４、５などの良好な下地となる。ＩＣチップ３は厚みが１００～２００μｍ程度になる。

【００３２】そして、ＩＣチップ３の高さを低減させた後に、ＩＣチップ実装基板１から動作検査用の電極が引き出される。この動作検査用の電極は試験電圧を印加したり、テストデータを供給したり、その結果データを引き出すために使用される。この電極としてテスト専用に端子を設けてもよいが、端子数を極力少なくする観点から、本来の信号入力線や信号出力線に接続される電極、例えば、プリプレグ４、５を貫くために基板間配線部材７、８などが形成される。この基板間配線部材７、８を動作検査用の電極として兼用するようになされる。図５Ｃには基板間配線部材７を示しており、基板間配線部材７はラウンド電極などに銅や銀などの金属が凸状に突起するように印刷法などにより形成する。

【００３３】これらのＩＣチップ実装基板１Ａ、１Ｂなどが形成できたら、ＩＣチップ実装基板１Ａ、１Ｂと他の回路基板とを積層し多層化する前に、図６に示すＩＣテスタ１０などにより実装基板毎に電気的な検査を行う。この例では１つのＩＣチップ実装基板１を１個の回路ブロックとして取り扱うことができ、当該ＩＣチップ内蔵多層基板１００の積層前に、ＩＣチップ実装基板１に故障を生じた際には、その故障を起こしたＩＣチップ実装基板１のみの交換が可能となり、メンテナンス及びその修理が容易となる。

【００３４】この例で動作検査用の電極には、プリプレグ４、５を貫く基板間配線部材７などが使用される。この複数の基板間配線部材７、８にＩＣテスタ１０のプローブ１３、１４が接触され、回路ブロック毎にローカルな実装試験が行われる、もちろん、この実装試験に関しては、予めＩＣチップ実装基板１などに専用に作成されたテストデータが使用される。

【００３５】従って、ＩＣチップ実装基板１や内層配線基板２を積層する前に、ＩＣチップ実装基板１の不良を早期に除去することができる。この検査結果で良品と判定されたＩＣチップ実装基板１や内層配線基板２のみをプリプレグ４、５を介在して積層することができる。ＩＣチップ実装基板１や内層配線基板２を全部積層した後に電気的な検査を行う場合に比べて、当該ＩＣチップ内蔵多層基板１００の生産歩留まりを向上させることができる。

【００３６】その後、図７に示すように、外層用のプリント配線基板６Ａ、ＩＣチップ実装基板１Ａ、プリプレグ４、内層配線基板２、プリプレグ５、ＩＣチップ実装基板１Ｂ、及び外層用のプリント配線基板６Ｂを位置合

わせして積層する。この際に、基板間配線部材７、８がプリプレグ４に突き刺さるように位置合わせし、基板間配線部材７、８がプリプレグ５に突き刺さるように位置合わせする。

【００３７】そして、ＩＣチップ実装基板１Ａと内層配線基板２との間にプリプレグ４を挟み込むと共に、内層配線基板２とＩＣチップ実装基板１Ｂとの間にプリプレグ５を挟み込む。この状態で、ＩＣチップ実装基板１Ａと内層配線基板２とをプリプレグ４により構造的に接合し、ＩＣチップ実装基板１Ａと内層配線基板２とを基板間配線部材７、８により電気的に接合する。これと共に、内層配線基板２とＩＣチップ実装装置１Ｂとをプリプレグ５により構造的に接合し、内層配線基板２とＩＣチップ実装基板１Ｂとを基板間配線部材７、８により電気的に接合する。

【００３８】この場合に関してはＩＣチップ実装基板１Ａ、１Ｂ、内層配線基板２、プリプレグ４、５及び外層用のプリント配線基板６Ａ、６Ｂを同一の熱処理工程により加圧熱接合する。例えば、外層用のプリント配線基板６Ａ、ＩＣチップ実装基板１Ａ、プリプレグ４、内層配線基板６Ｂから成る積層物を１７０℃程度で加熱する。そして、真空プレス機などにより、この積層物を４０ｋｇ／ｃｍ^2 程度に加圧する。

【００３９】これにより、基板間配線部材７、８を構成する金属がつぶれて電気的に基板間が接続されると共に、各々の部材間が熱接合され、図３に示したＩＣチップ内蔵多層基板１００を形成することができる。このようにして得られたＩＣチップ内蔵多層基板１００の外面に更に抵抗や、コンデンサなどの部品を更に実装するようになされる。

【００４０】このように、先の発明に係る第１の実施形態に係るＩＣチップ内蔵多層基板の製造方法によれば、最初から薄型化したＩＣチップではなく、その薄型化前の半導体ウエハを切断した状態の回路素子非形成領域を多く含んだ、厚み３００μｍ程度のＩＣチップ３Ａ、３Ｂをそのまま取り扱うことができる。

【００４１】しかも、ＩＣチップ３Ａ、３Ｂの周囲を片面銅箔基板１５で保護した状態で、その片面銅箔基板１５の絶縁材料の表面位置に合わせ込むようにＩＣチップ３Ａ、３Ｂなどを薄型化かつ平坦化をすることができる。これにより、ＩＣチップ実装基板１Ａ、１Ｂ毎にそのＩＣチップ３Ａ、３Ｂの高さを合わせ込むことができるし、メモリやＣＰＵなどのＩＣチップ３Ａ、３Ｂを封止した薄型のＩＣチップ内蔵多層基板１００を再現性良く形成することができる。より多くのＩＣチップ３Ａ、３Ｂを搭載することができると共に、プリント基板の小型化を図ることができる。

【００４２】また、本実施形態では、ＩＣチップ実装基板１Ａ、１Ｂ、内層配線基板２、プリプレグ４、５及び外層用のプリント配線基板６Ａ、６Ｂを同一の熱処理工

程により加圧熱接合しているので、工程中のリペア、リワークによる生産歩留まりが向上し、これによるコストダウンを図ることができる。積層工程においては、金属の突起物により、電気的な層間接続を行っているので、より簡易で安価なＩＣチップ内蔵多層基板１００を製造することができる。

【００４３】この発明者らが基板面積をシミュレーションした結果によれば、実装基板上に平面に５個のＩＣチップを表面実装する場合（現行のＣＳＰ：Chip Size Package を使用した場合）に比べて、５個のＬＳＩチップを基板内に内蔵する本発明方式では、従来方式の４０～５０%の小型化が図れることが明確になった。従って当該ＩＣチップ内蔵多層基板１００を適用した電子機器の小型化を図ることができる。

【００４４】この実施形態では、チップ実装後に、ＩＣチップ貫通用の片面銅箔基板１５を挿入する場合について説明したが、これに限られることはなく、ＩＣチップ３の実装用の回路基板１と、そのＩＣチップ３の厚みよりも浅い深さの開口部１６を有した片面銅箔基板１５とを最初に接合して穴部を構成してから、ＩＣチップ３を実装してもよい、としている。

【００４５】然しながら以上の公報における発明においては次のような問題点を有するものである。すなわち、ＬＳＩの実装前の容易なハンドリングと実装後の薄型化後の信頼性および完成多層基板の高密度を実現するために、ＬＳＩを内層基板上に実装し、該ＬＳＩを基板層間の絶縁層に閉じ込める多層基板において、内層基板の厚みを予めＬＳＩ外装部と共に研摩することによって薄型化している。

【００４６】その実施形態に示される平面研削法は、内蔵されるＩＣチップを実装した内層用回路基板のあつみ偏りによる平行度のばらつきが存在する場合、研摩平面の基準面を加工面に取ったとしても、うねりも同時に存在することがほとんどであり、正確な研摩が非常に困難になる。

【００４７】また、研摩の初期の内層用回路基板の表面と研摩されるＩＣチップ間の段差の存在により、均一なあたり面が出にくくＩＣチップや内層用基板の配線部にまで研摩が進行し、配線欠損を生じる可能性がある。回路素子非形成領域の側の研摩しろである絶縁層の厚みを大きくすることで、前述の配線欠損を抑えることは可能であるが、全属箔を用いた終点検知が可能なレベルまで厚く出来ないときは、必然的に研摩量が少なくなり終点検知が難しくなり、上述の配線欠損の問題が避け難くなる。更に、銅箔とＩＣチップの研摩速度が一致しないため（銅箔の方が遅い）、研摩紙が充分にリジッドでない場合は、終点検知前にＩＣチップの一部が消失してしまう恐れがある。

【００４８】この問題点を図示して説明すれば以下のようである。図８に示すように、絶縁材Ａの厚みに偏りが有る場合、加工基準面を図示のとおりに取ると過剰研摩によりＩＣに欠損が生ずる。これに対して図９に示すように加工基準面を取るとＩＣの欠損は防げるが、このような加工基準面を設定することは非常に困難である。更に、実際には図１０に示すように絶縁材Ａにはうねりも同時に存在するので、基準面が取れず、研摩は非常に困難になる。また、研摩材が紙石のように非常に硬いものであれば、図１１に示すように研摩材がたわむことなく平行に研摩できる。然しながら、研摩材が柔軟（研摩紙のようなもの）でたわむ余地があると削れやすいＩＣ部が先にえぐれてしまう。

【００４９】

【発明が解決しようとする課題】本発明は上述のような問題点を解決するＩＣチップ内蔵多層基板及びその製造方法を提供することを課題とする。

【００５０】

【課題を解決するための手段】以上の課題は、ＩＣチップと、前記ＩＣチップを埋め込むように実装されたＩＣチップ実装基板と、前記ＩＣチップ実装基板のチップ埋込面側に設けられた基板間絶縁層と、前記ＩＣチップ実装基板のチップ非埋込面側に設けられた外層用の回路基板と、前記外層用の回路基板に対して前記ＩＣチップ実装基板及び基板間絶縁層を挟み込むように積層された内層用の回路基板とを備え、前記ＩＣチップ実装基板は、チップ埋込時に、所定の厚みのＩＣチップを実装基板の厚みに埋え込むようにプラスティングにより薄膜化して成ることを特徴とするＩＣチップ内蔵多層基板、又は、回路基板上にＩＣチップを実装し、該ＩＣチップを絶縁層により閉じこめて該回路基板を順次積層するＩＣチップ内蔵多層基板の製造方法において、前記絶縁層を貫通して実装される前記ＩＣチップの所定の部分を前記回路基板の厚みに揃え込むようにプラスティングにより薄膜化する工程と、前記ＩＣチップの高さを低減させた後に、ＩＣチップ実装基板と他の回路基板とを積層し多層化する工程とを有することを特徴とするＩＣチップ内蔵多層基板の製造方法、又は、回路基板の絶縁層内にＩＣチップを閉じこめて実装し、該回路基板を順次積層するＩＣチップ内蔵多層基板の製造方法において、所望の厚みの回路基板の絶縁層内にＩＣチップ埋設用の穴部を形成する工程と、前記穴部の深さよりも高い厚みのＩＣチップを埋め込んで実装する工程と、前記穴部から突出したＩＣチップの所定部分を前記回路基板の厚みに揃え込むようにプラスティングにより薄膜化して前記ＩＣチップ実装基板を形成する工程とを有することを特徴とするＩＣチップ内蔵多層基板の製造方法、によって解決される。

【００５１】

【発明の実施の形態】本発明の実施の形態は、本出願人の先の提案（特開２００１－１１９１４８）とはＩＣチップの薄膜化の工程においてのみ異なるので、この工程

について図１Ａ～図１Ｆを参照して説明する。まず図１Ａに示すようにＩＣチップ実装用の回路基板３１を準備する。これはガラスクロス布基材エポキシ樹脂銅張積層板（ＦＲ－４）３２でなり、熱硬化性樹脂を用いている。ＦＲ－４を用いた通常の基板作製工程と同様にフォトリソグラフィ工法を用いて所定の配線パターンや電極などを形成している。図１Ａにおいて、絶縁材料３２の片側にのみこのような銅箔もしくは導電部材から回路パターン３３を形成させている。

【００５２】次に図１Ｂに示すように搭載するＩＣチップ３４と回路パターン３３とを電気的に接続するため、回路基板３１に開口部３５を形成する。これはレーザなどを用いて形成する。

【００５３】図１Ｃに示すように開口部３５に導電部材３６が充填され、回路パターン３３と対向する面からＩＣチップ３４が導電部材３６上に実装する（これをＡ層と称する）。後に薄膜化される面には、内層回路の配線面は存在しない。

【００５４】次いで図１Ｄに示すようにＩＣチップ３４の外形サイズと同じか、やや大きい開口部３７を形成させた絶縁材３８を準備する（これはＢ層と称する）。Ａ層とＢ層とは開口部３７にＩＣチップ３４を嵌める位置合わせをして接着剤により積層される。

【００５５】次に図１Ｅで示すようにＩＣチップ３４と同サイズもしくはＩＣチップ３４より大きな開口３９を形成させたメタルマスク４０を被処理基板、すなわちＡ層とＢ層との積層物に位置合わせをして組み付けられる。次いでＩＣチップ３４の表面がサンドブラストで薄型化加工される。サンドブラスト加工自体には加工部の選択性はないが、メタルマスク４０によって選択部のみ加工が進行する。所定の厚みまで加工した後、メタルマスク４０を取り外し、砥粒や残留物を洗浄により除去する。静電耐圧の低いＩＣチップを取り扱う場合、静電対策上、導電性の砥粒を使うことが望ましい。更には、加工後の洗浄で除去可能な水溶性砥粒であることが望ましい。ＩＣチップのストック状態では、厚みの管理がされているため、一定のブラスト条件に対してどれだけの時間で、ＩＣチップのＢ層から突出している部分が加工されるか決定されるので、特開２００１－１１９１４８に開示された研磨法のように、例えば金属箔や絶縁層研磨しろを用いた終点検知手段は必要でない。また、研磨基準面が不要なので、内層基板（Ａ層、Ｂ層）に平坦性や平行性が出ていない場合であっても正確に薄型化が可能になる。よって図８～図１２の問題点は一挙に解決される。また、ブラスト研削されるＩＣチップの表面は、砥粒サイズを変えることで、仕上がり面を調整できるので、多層積層時の樹脂との密着性を制御することも可能である。また、ＩＣチップの表面のみの選択加工であるので、ＩＣチップ及びＩＣチップ外装部へのダメージが無い。なお、サンドブラスト機の噴出ノズルの径はＩＣチップに比べ非常に小さいので、メタルマスク４０の開口３９の大きさを越えてノズルが何度かスキャンされる。また、逆にメタルマスク４０側を移動させるようにしてもよい。

【００５６】ＩＣチップがほぼ面一に研削された後、図１Ｆで示すようにＡ層、Ｂ層の積層体に貫通孔が開けられ、ここに基板間配線部材４１が充填、突出された後は、特開２００１－１１９１４８と同様に、もう一方の同様にサンドブラスト加工されたＩＣチップ実装基板と共に、表層配線基板、プリプレグ、内層配線基板、もう一方の表層配線基板と図３のように積層されて完成品となる。

【００５７】図２は本発明の第２の実施の形態を示すが、絶縁材として熱可塑性樹脂基材５０が用いられる。この一面には銅箔で成る回路パターン５１が形成されている。ＰＰＳ、ＬＣＰ、ＰＥＥＫ、ＳＰＳ、ＰＥＳなどの熱可塑性樹脂が適用可能である。ヒーターチップ（図示せず）熱プレスによりＩＣチップ３４´上に設けた接続用バンプ５２（導電性部材）を樹脂基材５０に押し付けることで、この熱可塑性樹脂５０が軟化し、ＩＣチップ３４´が図２Ｂで示すように埋め込められた状態で、樹脂基材５０の表面に形成された配線パターン５１や電極などに接続される。この実施の形態でも第１の実施の形態と同様にしてメタルマスクをしてＩＣチップ３４´の突出部がサンドブラスト加工されるが、第１の実施の形態と比べ、図１ＢのＢ層の形成工程が省略される。よって、より低コストで多層積層物を生産することができる。なお、回路基板として熱可塑性樹脂材を用いる場合には、例えば本出願人が先に提案（特願２００１－０５０９８９）した「転写用金型」を用いて、直接、配線パターン用溝を形成し、これに金属ペースト等の導電部材を埋め込んで配線パターンを形成するようにしてもよい。フォトリソグラフィ工法により回路パターンを形成するより、短時間で、低コストで同じ回路パターンを形成することができる。

【００５８】以上、本発明の実施の形態について説明したが、勿論、本発明はこれらに限定されることなく、本発明の技術的思想に基づいて種々の変形が可能である。

【００５９】例えば以上の実施の形態では、ＩＣチップを加工するのにサンドブラストを用いたが、これに限ること無く、ブラスト用の研削材としては、けい砂、川砂、鋳鉄グリット、鋳鋼グリット、カットワイヤー、アルミナグリット、炭化ケイ素グリット、スラググリット等を用いることができる。

【００６０】また以上の実施の形態では、絶縁材に１個のＩＣチップを埋め込む場合を示したが、勿論、２個以上のＩＣチップを埋め込む場合にも本発明は適用可能である。この場合には、勿論、この埋め込まれたＩＣチップの数に対応する開口部を有するメタルマスクを準備し、これら開口部にＩＣチップを整合、位置決めして合

15

わせ，上述と同様にサンドブラストによりＩＣチップを加工するようにすればよい。この場合には，ＩＣチップ間に絶縁材から突出している部分の高さが異なる場合があるが，この場合には最も突出量の小さいＩＣチップに合わせてサンドブラストの加工時間を定めればよい。また，メタルマスクに代えて，サンドブラストの研削がＩＣチップより悪い合成樹脂製のマスクを用いてもよい。

【００６１】

【発明の効果】以上述べたように本発明のＩＣチップ内蔵多層基板及びその製造方法によれば，ＩＣチップの実装面積を積層方向に立体的に増加して，ＩＣチップの高密度実装を行うことができ，かつ従来より更に加工コストを低下させることができ，品質の優れた多層構造を提供することができる。

【図面の簡単な説明】

【図１】本発明の第１の実施の形態によるＩＣチップ実装基板の製造工程を示し，Ａは回路基板の断面図，Ｂは開口部を形成させた回路基板の断面図，Ｃは導電部材を充填させて，これにＩＣチップを実装させた状況を示す断面図，Ｄは開口部を形成させた絶縁材とＩＣチップを実装させた回路基板との関連を示す断面図，Ｅはメタルマスクを当ててサンドブラスト施している状況を示す断面図，及びＦは加工後のＩＣチップと基板間配線部材を充填させた配線基板の断面図である。

【図２】本発明の第２の実施の形態による製造工程を示し，ＡはＩＣチップを熱可塑性樹脂基材に熱圧着させる状況を示す断面図，Ｂは同熱可塑性樹脂基材に埋め込まれたＩＣチップが裏面の配線パターンと電気的に接続されている状況を示す断面図である。

16

＊【図３】特開２００１－１１９１４８における第１の実施形態としてのＩＣチップ内蔵多層基板１００の構造例を示す断面図である。

【図４】Ａ～Ｃは同第１の実施形態としてのＩＣチップ内蔵多層基板１００の形成例を示す工程断面図である。

【図５】Ａ～Ｃは同第１の実施形態としてのＩＣチップ内蔵多層基板１００の形成例を示す工程断面図である。

【図６】そのＩＣチップ内蔵多層基板１００の形成時におけるＩＣチップ実装基板１の動作検査例を示すイメージ図である。

【図７】同第１の実施形態としてのＩＣチップ内蔵多層基板１００の形成例を示す工程断面図である。

【図８】ＩＣチップが埋め込まれた絶縁材の厚みに偏りがある場合の加工面と加工基準面との関係を示す模式図である。

【図９】図８において加工面を加工基準面とした場合の模式図である。

【図１０】ＩＣチップが埋め込まれた絶縁材の厚みにうねりがある場合の模式図である。

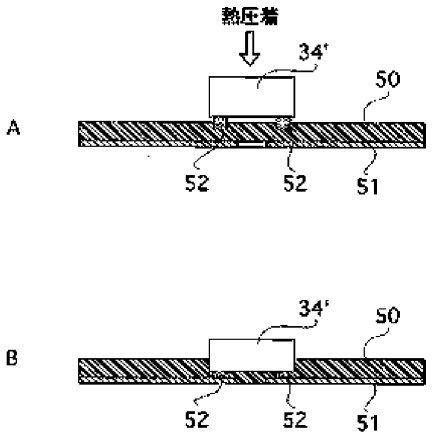
【図１１】研磨材が砥石のように非常に硬いものであれば，研磨材がたわむことにより平行に研磨できることを示す模式図である。

【図１２】研磨材が柔軟でたわむ場合に削れ易いＩＣ部が先にえぐられてしまうことを示す模式図である。

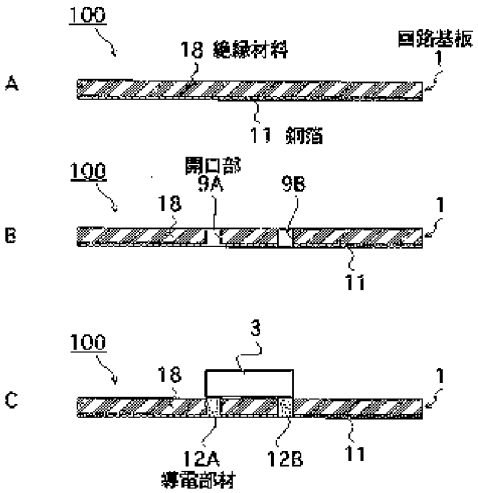
【符号の説明】

３１……回路基板，３２……絶縁材料，３３……回路パターン，３４……ＩＣチップ，３８……絶縁材料，３９……開口部，４０……メタルマスク。

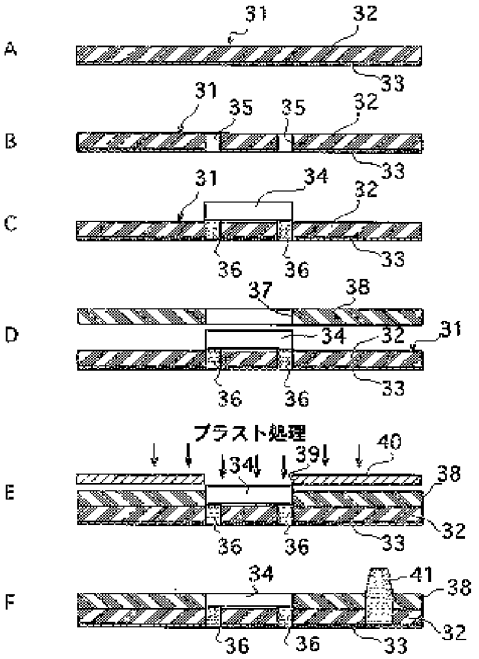
【図２】



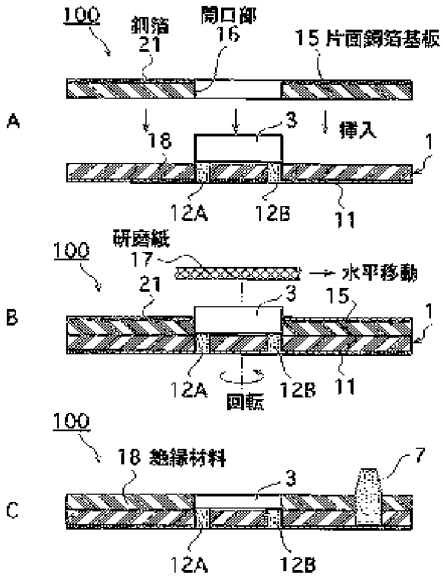
【図４】



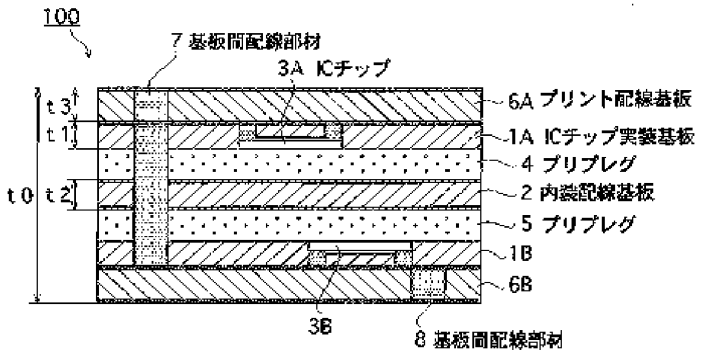
【図１】


A
B
C
D
E
F
31
32
33
35
34
36
37
38
39
40
41
プラスト処理

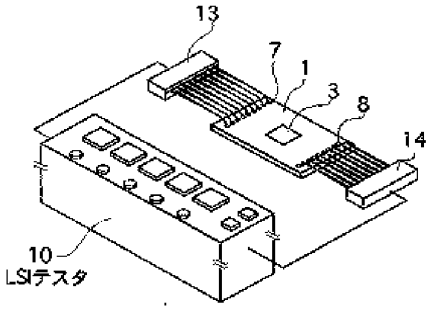
【図５】


100
銅箔
21
開口部
16
15 片面銅箔基板
A
3
挿入
18
1
12A
12B
11
研磨紙
17
水平移動
B
回転
C
18 絶縁材料
7

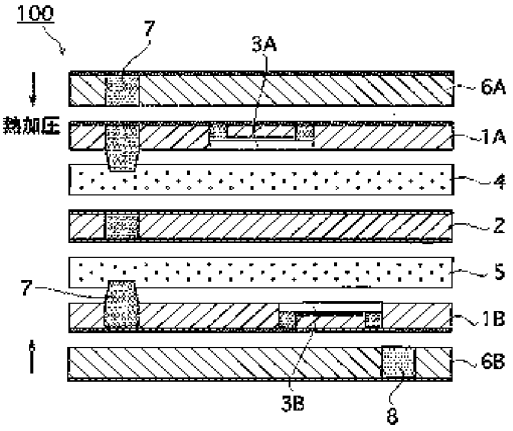
【図３】


100
7 基板間配線部材
3A ICチップ
6A プリント配線基板
1A ICチップ実装基板
4 プリプレグ
2 内装配線基板
5 プリプレグ
1B
6B
t3
t1
t0
t2
3B
8 基板間配線部材

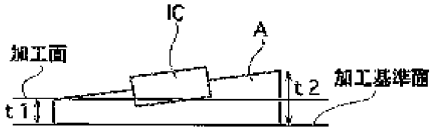
【図６】



【図７】

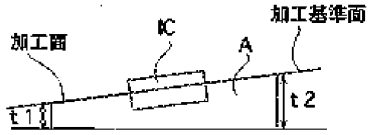


【図８】



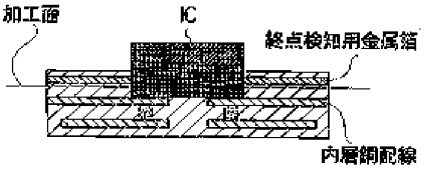
厚み偏りが有る場合、
加工基準面を図のように取ると、
過剰研磨によりICに欠損が出来る

【図９】



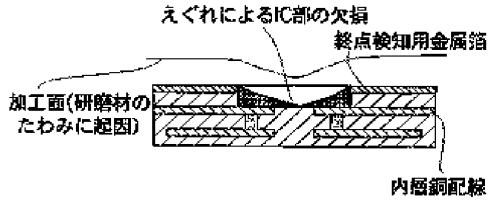
対して、加工基準面を図のように取れば、
ICの欠損は防げる

【図１１】



研磨材が砥石のように非常に硬いものであれば、
研磨材がたわむことはなく、平行に研磨できる

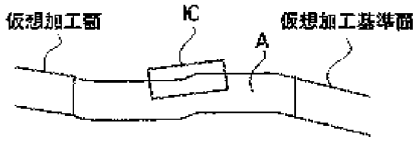
【図１２】



研磨材が柔軟(研磨紙のようなもの)でたわむ
余地があると削れやすいIC部が先にえぐれて
しまう

【図１０】

うねりが有る場合、基準面が取れない



実際には、図のようにうねりも
同時に存在するので基準面が
取れず研磨は困難になる

フロントページの続き

(51)Int.Cl.'	識別記号	Ｆｉ		ﾃｰﾏｺｰﾄﾞ(参考)
Ｈ０１Ｌ　25/18		Ｇ０６Ｋ	19/00	Ｋ
Ｈ０５Ｋ　3/46		Ｈ０１Ｌ	25/08	Ｚ

Ｆターム(参考)　2C005 MA16 MA21 MA33 MA40 NB30
NB32 PA04 PA18 RA04 RA06
RA15 RA30
5B035 BA03 BB09 CA01
5E346 AA12 AA43 BB20 DD34 FF18
GG15 GG40

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]
[0001]
[Field of the Invention]This invention is applied to the personal digital assistant device etc. which carried out high density assembly of the semiconductor integrated circuit chips (henceforth an IC chip), such as a memory and CPU, and relates to a multilayer substrate with an IC chip built-in [suitable], and a manufacturing method for the same. In detail, thin-film-ize, constitute an IC chip package board so that the IC chip of predetermined thickness may be arranged with the thickness of a mounting board, and this IC chip package board with the insulating layer between substrates. Insert and laminate between the circuit board for outer layers, and the circuit board for inner layers, and it enables it to increase the packaging area of the further IC chip to a laminating direction in three dimensions, and enables it to mount an IC chip with high density.
[0002]
[Description of the Prior Art]In recent years, the IC chip package board which mounted the semiconductor integrated circuit device (only henceforth an IC chip) of a bare chip state in personal digital assistant devices, such as a portable telephone and a portable personal computer, has come to be used. Without carrying out molding of each IC chip to this kind of mounting board, electronic parts, such as two or more IC chips, resistance, and a capacitor, are intermingled, and it is mounted superficially.
[0003]Since according to the IC chip package board of a conventional system an IC chip arranges superficially and is arranged, it has come [by the way,] to produce a limit in element-placement area to the high-density mounting demand of electronic parts. It is impossible therefore, to be satisfied with the demand of the miniaturization of a printed wired board in recent years, i.e., the miniaturization of electronic equipment.
[0004]To this kind of problem, to "the multilayer electronic circuit board and its manufacturing method" of JP,2-164096,A which is technical literature, the circuit element which constitutes an electronic circuit is built in between the layers of a printed-circuit board, and aiming at high-density mounting of an electronic circuit is indicated. Putting the hybrid module which constitutes an electronic circuit etc. between printed-circuit boards, and mounting an electronic circuit etc. in "a multilayer printed circuit board and a manufacturing method for the same" of JP,5-343856,A with high density is indicated.
[0005]When laminating the printed-circuit board which contained the electronic circuit etc. in the interlayer to the "multilayer high-density-assembly module" of JP,3-14293,A, performing platinum or palladium plating to the field which touches a solder bump is indicated. Any technical literature

mounts the IC chip thin-film-ized beforehand. There is a limit in thin film-ization with an IC chip item, and it has become the hindrance of the high density assembly of the further IC chip.
[0006]Then, in order that these people may solve such a conventional problem previously, Devise the slimming-down method of the multilayered circuit board concerned, and enable it to increase the packaging area of the further IC chip to a laminating direction in three dimensions, and. It aims at providing a multilayer substrate with a built-in IC chip which enabled it to mount an IC chip with high density, and a manufacturing method for the same, An IC chip and the IC chip package board mounted so that this IC chip might be embedded, The insulating layer between substrates provided in the chip embedded side side of this IC chip package board, It is provided in the chip non-embedded side side of an IC chip package board, and The circuit board for outer layers, Have the circuit board for inner layers laminated so that the insulating layer between an IC chip package board and substrates might be put to the circuit board for these outer layers, and an IC chip package board, The multilayer substrate with a built-in IC chip which grinds so that the IC chip of predetermined thickness may be arranged with the thickness of a mounting board at chip ******, and is characterized by things was proposed (JP,2001-119148,A). The insulating layer between substrates is provided in the chip embedded side side of an IC chip package board mounted so that an IC chip might be embedded in a substrate, and the circuit board for outer layers is provided in the chip non-embedded side side. And an IC chip package board is ground so that the IC chip of predetermined thickness may be arranged with the thickness of the circuit board. The multilayer structure which laminated the circuit board for inner layers so that the insulating layer between an IC chip package board and substrates might be put to the circuit board for these outer layers is accomplished.
[0007]Therefore, at the time of the embedded process of an IC chip, it can slim down from the beginning and not an IC chip but an IC chip having included many circuit element agenesis fields in the state where the semiconductor wafer before the slimming down was cut can be dealt with as it is. And the height of an IC chip can be doubled for every hole of the predetermined depth formed in the circuit board, and increasing the packaging area of the further IC chip to a laminating direction in three dimensions and high density assembly of an IC chip can be performed.
[0008]The 1st manufacturing method of the multilayer substrate with a built-in IC chip in the above-mentioned gazette, In the manufacturing method of the multilayer substrate with a built-in IC chip which mounts an IC chip on the circuit board, shuts up this IC chip by an insulating layer, and laminates this circuit board one by one, It has a process which laminates an IC chip package board and other circuit boards, and is multilayered after reducing the process ground so that the predetermined portion of the IC chip mounted by penetrating the insulating layer may be arranged with the thickness of the circuit board, and the height of an IC chip.
[0009]According to the above manufacturing method [1st], not the IC chip slimmed down from the beginning but an IC chip having included many circuit element agenesis fields in the state where the semiconductor wafer before the slimming down was cut can be dealt with as it is. And where the circumference of an IC chip is protected by an insulating layer, slimming down and flattening can be carried out for an IC chip so that it may double with the surface position of the insulating layer. Thereby, the IC chip can double the height for every insulating layer of the predetermined thickness formed on the circuit board, and can form the thin multilayer substrate with a built-in IC chip which closed IC chips, such as a memory and CPU, with sufficient reproducibility.
[0010]The 2nd manufacturing method of the multilayer substrate with a built-in IC chip in the above-mentioned gazette, In the manufacturing method of the multilayer substrate with a built-in IC chip which shuts up and mounts an IC chip in the insulating layer of the circuit board, and laminates this circuit board one by one, The process of forming the hole for IC chip burial in the insulating layer of the circuit board of desired thickness, It has the process of embedding and mounting the IC chip of thickness higher than the depth of this hole, and the process of grinding so that the predetermined part of the IC chip projected from this hole may be arranged with the thickness of the

circuit board, and forming an IC chip package board.
[0011]According to the above manufacturing method [2nd], not the IC chip slimmed down from the beginning but an IC chip having included many circuit element agenesis fields in the state where the semiconductor wafer before the slimming down was cut can be dealt with as it is. And where the circumference of an IC chip is protected by the side attachment wall of a hole, slimming down and flattening can be carried out for an IC chip so that it may double with the surface position of the circuit board. The height of an IC chip can be doubled for every hole of the predetermined depth formed in the circuit board by this, and a thin multilayer substrate with a built-in IC chip can be formed with sufficient reproducibility like the 1st manufacturing method. The miniaturization and multi-functionalization of electronic equipment which applied the multilayer substrate concerned with a built-in IC chip can be attained.
[0012]The multilayer substrate with a built-in IC chip concerning a previous invention and the 1 embodiment of the manufacturing method are described referring to drawings. Drawing 3 is a sectional view showing the constructional example of the multilayer substrate with a built-in IC chip as an embodiment. Grind the IC chip of predetermined thickness in the same height as the thickness of the circuit board, constitute an IC chip package board from this embodiment, and this IC chip package board with the insulating layer between substrates. Insert and laminate between the circuit board for outer layers, and the circuit board for inner layers, and it enables it to increase the packaging area of the further IC chip to a laminating direction in three dimensions, and enables it to mount an IC chip with high density.
[0013]The multilayer substrate 100 with a built-in IC chip shown in drawing 3 mounts the semiconductor integrated circuit devices (henceforth an IC chip) 3A and 3B with high density. The thickness of IC chips 3A and 3B is about hundreds of micrometers. The thickness of the multilayer substrate 100 with a built-in IC chip is t0, and although the thickness t0 is based also on the number of laminations of IC chips 3A and 3B, it is around 1 mm - about several millimeters.
[0014]In the example of the multilayer substrate 100 with a built-in IC chip shown in drawing 3. IC chip package board 1A of the thickness t1 mounted so that IC chip 3A might be embedded in one field, On both sides of the prepreg 4 for the multilayering adhesion as an insulating layer between substrates, one field of the inner layer wiring board 2 of the thickness t2 as the circuit board for inner layers laminates, and. Between IC chip package board 1A and the inner layer wiring board 2 pastes up by that prepreg 4, and the printed-circuit board 6A of the thickness t3 as the circuit board for outer layers is laminated at the chip non-embedded side side of this IC chip package board 1A.
[0015]In this example, on both sides of other prepregs 5, have the same thickness in the field of another side of the layer wiring board 2, and other IC chip package boards 1B are laminated, and. Between IC chip package board 1B and the inner layer wiring board 2 pastes up by the prepreg 5, Other printed-circuit boards 6B for outer layers are laminated at the chip non-embedded side side of this IC chip package board 1B, Between IC chip package board 1A and the inner layer wiring board 2, among those between the layer wiring board 2 and IC chip package board 1B, the conductive wiring members 7 and 8 between substrates were formed so that it might pierce through each prepregs 4 and 5, and the multilayer structure electrically joined by the wiring members 7 and 8 between this substrate is accomplished.
[0016]Here, a multilayer means the layer in which a circuit pattern is formed. The multilayer substrate 100 with a built-in IC chip has six layer systems in this example. What impregnated glass fabrics with epoxy system resin, and a polyimide polyimide system resin material are used for the prepregs 4 and 5. Copper, silver, etc. are used for the wiring members 7 and 8 between substrates.
[0017]In this example, grind and IC chip package board 1A is formed in chip ****** so that IC chip 3A of predetermined thickness may be arranged with the thickness of IC chip package board 1A, and it is made the same, It grinds and IC chip package board 1B is formed in chip ****** so that IC chip 3B of predetermined thickness may be arranged with the thickness of IC chip package board 1B. Usually, circuit elements, such as a transistor and a capacitor, are formed in one field of a

semiconductor wafer in many cases. Here, when one field of a semiconductor wafer is made into a circuit element formation area, the field of the opposite hand is defined as a circuit element agenesis field.
[0018]That is, IC chips 3A and 3B of this example have a circuit element agenesis field which is not illustrated, and predetermined thickness grinds them to this circuit element agenesis field, and they have **. this -- grind -- it is provided in order to arrange with the thickness of this circuit board the portion which jumped out of the circuit board for IC chip mounting and to carry out flattening to ** and chip ******. It is for giving the handling between what is called parts.
[0019]Thus, according to the multilayer substrate 100 with a built-in IC chip as a 1st embodiment in the above-mentioned gazette. The prepreg 4 is formed in the chip embedded side side of IC chip package board 1A mounted so that IC chip 3A might be embedded in a substrate, and the printed-circuit board 6A for outer layers is formed in the chip non-embedded side side. The prepreg 5 is formed in the chip embedded side side of IC chip package board 1B mounted so that IC chip 3B might be embedded in a substrate, and the printed-circuit board 6B for outer layers is formed in the chip non-embedded side side. And IC chip package boards 1A and 1B are ground so that IC chips 3A and 3B of predetermined thickness may be arranged with the thickness of the circuit board for each IC chip mounting. The multilayer structure which laminated the inner layer wiring board 2 so that IC chip package boards 1A and 1B and the prepregs 4 and 5 might be put to the printed-circuit boards 6A and 6B for these outer layers is accomplished.
[0020]Therefore, not the IC chip slimmed down from the beginning but IC chips 3A and 3B having included many circuit element agenesis fields in the state where the semiconductor wafer before the slimming down was cut can be dealt with as they are at the time of the embedded process of IC chips 3A and 3B. And the height of the IC chips 3A and 3B can be doubled for every insulating layer which pierces through 3A and 3B, and the packaging area of further IC chips 3A and 3B can be mounted in increasing to a laminating direction in three dimensions, and the high density of IC chips 3A and 3B.
[0021]Loading of thereby more many IC chips is enabled, the miniaturization of the multilayer substrate 100 concerned with a built-in IC chip is attained simultaneously, and the miniaturization and multi-functionalization of electronic equipment which applied this can be attained.
[0022]Then, the 1st manufacturing method concerning the multilayer substrate 100 with a built-in IC chip is explained. Drawing 4 A - drawing 4 C and drawing 5 A - drawing 5 C are the process sectional views showing the example of formation of the multilayer substrate 100 with a built-in IC chip concerning a 1st embodiment. Drawing 6 is an imaged figure showing the example of the performance test of IC chip package board 1 at the time of formation of the multilayer substrate 100 with a built-in IC chip. Drawing 7 is a process sectional view showing the example of formation of the multilayer substrate 100 with a built-in IC chip.
[0023]In this example, the case where the multilayer substrate 100 with a built-in IC chip of six layer systems which mounted two IC chips 3A and 3B shown in drawing 3 is formed is assumed. For example, the case where the multilayer substrate 100 with a built-in IC chip which laminated the printed-circuit board 6A for outer layers, IC chip package board 1A, the prepreg 4, the inner layer wiring board 2, the prepreg 5, IC chip package board 1B, and the printed wiring 6B for outer layers in order is formed is taken for an example. The two printed-circuit boards 6A and 6B for outer layers, the inner layer wiring board 2 of one sheet, and the prepregs 4 and 5 of two sheets shall be prepared beforehand, and mount IC chip 3 on the circuit board 1.
Then, the case where shut up the IC chip 3 by an insulating layer, and the circuit board 1 is laminated one by one is assumed.

[0024]The circuit board 1 for IC chip mounting shown in drawing 4 A is first prepared on the assumption that this. A thing with the copper foil 11, for example, glass cloth base material epoxy resin copper clad laminate etc., (FR-4) is used for this circuit board 1 by one side of the insulating

material 18. This substrate is processed, a predetermined circuit pattern, an electrode (round), etc. are formed, and the circuit board 1 is created.
[0025]For example, a resist material is applied to the copper-foil face of a substrate.
Then, a resist material is exposed using the reticle (for example, a negative film and a film plate) which modeled forms, such as a circuit pattern and an electrode, and a circuit pattern, an electrode, etc. are formed by using this resist film as a mask and etching the copper foil 11 after that.
Polyimide system resin copper clad laminate and bismaleimide triazine (BT resin) system resin copper clad laminate other than an epoxy system may be used for an one side copper foil board. These substrates are excellent in heat resistance and size degree stability.
[0026]Then, the openings 9A and 9B for terminal drawers are formed in the circuit board 1 shown in drawing 4 B. These openings 9A and 9B are formed in order to connect with two or more electrodes provided in the rear face (or end) of IC chip 3, a circuit pattern, an electrode which were provided in rear faces, such as IC chip package board 1A, etc. electrically and structurally. The openings 9A and 9B are formed by the perforating process by laser etc.
[0027]Then, IC chip package board 1A as shown in drawing 3, and 1B are formed by mounting IC chip 3 on the circuit board 1, as the field in which the copper foil 11 shown in drawing 4 C is not formed is turned upwards. In this example, IC chip 3 with the circuit element agenesis field before slimming down is used, predetermined thickness grinds to this circuit element agenesis field, and ** is provided in it. The thickness of the beginning [IC chip / 3 / of this example] has 300 micrometers - about 400 micrometers. And the openings 9A and 9B for terminal drawers beforehand formed in IC chip package board 1A etc. are filled up with the conductive members 12A and 12B, and IC chip 3 is joined to a circuit pattern on the back, an electrode, etc. Copper, silver, etc. are used for the conductive members 12A and 12B. Reverse may be sufficient as restoration of the electrical conducting materials 12A and 12B in this case, and the turn of IC chip connection. The electrical conducting materials 12A and 12B are not limited.
[0028]then, IC chip package board 1A shown in drawing 5 A -- chip embedded about 100-200 micrometers thick -- the one side copper foil board 15 of business is formed. In this case, the opening 16 of the size which makes IC chip 3 penetrate beforehand is formed in the one side copper foil board 15. And the one side copper foil board 15 is laminated on IC chip package board 1 so that the field of the copper foil 21 of this one side copper foil board 15 may turn to the upper part, and so that IC chip 3 may jump out of the opening 16.
[0029]Then, flattening of IC chip 3 of the portion which jumped out of the one side copper foil board 15 shown in drawing 5 B is ground and carried out. The grinding method is applied about the polish in this case. According to this grinding method, the rotation part of the polish device which is not illustrated is equipped with IC chip package board 1 as an abrasive face is turned downward, While IC chip package board 1 is pressurized from the device upper part in the lower part and IC chip package board 1 rotates, the predetermined part of IC chip 3 is ground by the abrasive paper 17 which moves horizontally.
[0030]Processing pressure is [an abbreviation $2x10^5$Pa grade and the revolving speed of a rotation part of the polish conditions in that case] 30 to 40 seconds / 1 rotation grade. It is made as [exchange / several times / on the way / the abrasive paper 17]. the roughness of the abrasive paper 17 is #400(rough)-#800 (finishing). The stream of the time of polish is carried out using pure water. Working hours are about 15 minutes/one sheet. In this case, it is good to use the copper foil 21 given to the polish side of the one side copper foil board 15 for IC chip penetration as a metallic foil for the end detection of polish. For example, although the polish particles of IC chip 3 of the portion which jumped out of the one side copper foil board 15 are observed in an early stage, if polish advances and a polish termination phase is reached gradually, the polish particles of the copper foil 21 will come to be observed. If polish is advanced, it will be mixed with the polish particles of IC chip 3, and the polish particles of the insulating material of the one side copper foil board 15 will come to be observed.

[0031]In this example, after the polish particles of the copper foil 21 are observed, when it is mixed with the polish particles of an IC chip and the polish particles of an insulating material are observed, polish is ended. All copper foil is ground, the surface of the insulating material of the one side copper foil board 15 and the surface of IC chip 3 which are shown by drawing 5 C are in the state which was equal to the same plane position, and this state serves as good grounds, such as the prepregs 4 and 5. As for IC chip 3, thickness is set to about 100-200 micrometers.
[0032]And after reducing the height of IC chip 3, the electrode for performance test is pulled out from IC chip package board 1. The electrode for these performance test is used in order to impress test voltage, to supply test data or to pull out that result data. Although a terminal may be provided only in a test as this electrode, in order to pierce through the electrode 4 and 5 connected to original signal input lines and signal output line, for example, prepregs, from a viewpoint which lessens a terminal number as much as possible, the wiring members 7 and 8 between substrates, etc. are formed. It is made as [make / the wiring members 7 and 8 between this substrate / serve a double purpose / as an electrode for performance test]. The wiring member 7 between substrates is shown in drawing 5 C, and the wiring member 7 between substrates is formed by print processes etc. so that metal, such as copper and silver, may project in a round electrode etc. convex.
[0033]If these IC chip package boards 1A and 1B are formed, before laminating IC chip package boards 1A and 1B and other circuit boards and multilayering, an electric inspection is conducted for every mounting board by IC tester 10 etc. which are shown in drawing 6. In this example, one IC chip package board 1 can be dealt with as one circuit block, When failure is produced in IC chip package board 1 before lamination of the multilayer substrate 100 concerned with a built-in IC chip, it becomes exchangeable [IC chip package board 1 which caused the failure], and a maintenance and its repair become easy.
[0034]The wiring member 7 between substrates etc. which pierce through the prepregs 4 and 5 are used for the electrode for performance test in this example. The test data in which the probes 13 and 14 of IC tester 10 are contacted by the wiring members 7 and 8 between substrates of this plurality, and a local mounting test is done for every circuit block and which was beforehand created for exclusive use by IC chip package board 1 etc. about this mounting test, of course is used.
[0035]Therefore, before laminating IC chip package board 1 and the inner layer wiring board 2, the defect of IC chip package board 1 is removable at an early stage. By this inspection result, the prepregs 4 and 5 can be intervened and only IC chip package board 1 and the inner layer wiring board 2 which were judged to be an excellent article can be laminated. After all laminating IC chip package board 1 and the inner layer wiring board 2, compared with the case where an electric inspection is conducted, the production yield of the multilayer substrate 100 concerned with a built-in IC chip can be raised.
[0036]Then, as shown in drawing 7, alignment of the printed-circuit board 6A for outer layers, IC chip package board 1A, the prepreg 4, the inner layer wiring board 2, the prepreg 5, IC chip package board 1B, and the printed-circuit board 6B for outer layers is carried out, and they are laminated. In this case, alignment is carried out so that the wiring members 7 and 8 between substrates may be pierced in the prepreg 4, and alignment is carried out so that the wiring members 7 and 8 between substrates may be pierced in the prepreg 5.
[0037]And the prepreg 4 is put between IC chip package board 1A and the inner layer wiring board 2, and the prepreg 5 is put between the inner layer wiring board 2 and IC chip package board 1B. In this state, IC chip package board 1A and the inner layer wiring board 2 are structurally joined by the prepreg 4, and IC chip package board 1A and the inner layer wiring board 2 are electrically joined by the wiring members 7 and 8 between substrates. With this, the inner layer wiring board 2 and the IC chip mounting device 1B are structurally joined by the prepreg 5, and the inner layer wiring board 2 and IC chip package board 1B are electrically joined by the wiring members 7 and 8 between substrates.
[0038]In this case, it is related and the application-of-pressure thermal bond of IC chip package

boards 1A and 1B, the inner layer wiring board 2, the prepregs 4 and 5, and the printed-circuit boards 6A and 6B for outer layers is carried out according to the same heat treatment process. For example, the laminated material which comprises the printed-circuit board 6A for outer layers, IC chip package board 1A, the prepreg 4, and the inner layer wiring board 6B is heated at about 170 **. And this laminated material is pressurized with a vacuum press machine etc. at a 40kg[/cm] ^{2} grade.

[0039]The metal which constitutes the wiring members 7 and 8 between substrates is crushed by this, between substrates is electrically connected, and the thermal bond of between each members is carried out, and the multilayer substrate 100 with a built-in IC chip shown in drawing 3 can be formed. Thus, it is made as [mount / resistance and parts, such as a capacitor, / in the outside surface of the obtained multilayer substrate 100 with a built-in IC chip / further].

[0040]Thus, according to the manufacturing method of the multilayer substrate with a built-in IC chip concerning a 1st embodiment concerning a previous invention. IC chips 3A and 3B about 300 micrometers thick having included many circuit element agenesis fields in the state where not the IC chip slimmed down from the beginning but the semiconductor wafer before the slimming down was cut can be dealt with as they are.

[0041]And where the circumference of IC chips 3A and 3B is protected with the one side copper foil board 15, slimming down and flattening can be carried out for IC chips 3A and 3B etc. so that it may double with the surface position of the insulating material of the one side copper foil board 15. Thereby, the height of the IC chips 3A and 3B can be doubled with every IC chip package board 1A and 1B, and the thin multilayer substrate 100 with a built-in IC chip which closed IC chips 3A and 3B, such as a memory and CPU, can be formed with sufficient reproducibility. More IC chips 3A and 3B can be carried, and the miniaturization of a printed circuit board can be attained.

[0042]In this embodiment, since the application-of-pressure thermal bond of IC chip package boards 1A and 1B, the inner layer wiring board 2, the prepregs 4 and 5, and the printed-circuit boards 6A and 6B for outer layers is carried out according to the same heat treatment process, The production yield by repair in process and rework can improve, and the cost cut by this can be aimed at. In a laminating process, with a metaled projection, since the electric interlayer connection is performed, the simpler and cheap multilayer substrate 100 with a built-in IC chip can be manufactured.

[0043]According to the result to which this artificer did the simulation of the substrate area, when carrying out the surface mount of the five IC chips at a flat surface on a mounting board, it compares (when the present CSP:Chip Size Package is used), In this invention method which builds in five LSI chips in a substrate, it became clear that 40 to 50% of miniaturization of a conventional system can be attained. Therefore, the miniaturization of the electronic equipment which applied the multilayer substrate 100 concerned with a built-in IC chip can be attained.

[0044]Although this embodiment explained the case where the one side copper foil board 15 for IC chip penetration was inserted after chip mounting, It is not restricted to this, and after first joining the circuit board 1 of real wearing of IC chip 3, and the one side copper foil board 15 with the opening 16 of the depth shallower than the thickness of the IC chip 3 and constituting a hole, it is supposed that IC chip 3 may be mounted.

[0045]However, in the invention in the above gazette, it has the following problems. Namely, in order to realize the reliability after slimming down after the easy handling before mounting of LSI, and mounting, and the high density of a completion multilayer substrate, LSI is mounted on an inner layer board and it slims down in the multilayer substrate which confines this LSI in the insulating layer between board layers by grinding the thickness of an inner layer board with an LSI armoring part beforehand.

[0046]When the surface grinding method shown in the embodiment exists [dispersion in the parallelism by the ****** bias of the circuit board for inner layers which mounted the IC chip built in], even if it takes the base level of a polish flat surface to a processed surface, it is almost the case

that a wave also exists simultaneously.
Exact polish becomes very difficult.

[0047]By existence of the surface of the circuit board for inner layers in early stages of polish and the level difference between the IC chips ground, polish may advance even to the wiring section of an IC chip or the substrate for inner layers that it is hard to come out of a uniform hit side, and a wiring deficit may be produced. the circuit element agenesis field side should grind, although it is possible to suppress the above-mentioned wiring deficit by coming out and enlarging thickness of a certain insulating layer, When even the level which can terminal point detect using a metallic foil cannot be thickened, the amount of polishes decreases inevitably, terminal point detection becomes difficult, and the problem of an above-mentioned wiring deficit becomes inescapable. Since the polish speed of copper foil and an IC chip is not in agreement (copper foil is later), when the abrasive paper is not rigid enough, a possibility that some IC chips may disappear is before terminal point detection.
[0048]It is as follows if this problem is illustrated and explained. As shown in drawing 8, when the thickness of the insulation material A has a bias, if a working standard side is taken as a graphic display, a deficit will arise in IC by superfluous polish. On the other hand, if a working standard side is taken as shown in drawing 9, the deficit of IC will be barred, but it is dramatically difficult to set up such a working standard side. Since a wave also exists in the insulation material A simultaneously as actually shown in drawing 10, a base level cannot be taken but polish becomes very difficult. If an abrasives is very hard like a grinding stone, it can grind in parallel, without an abrasives bending, as shown in drawing 11. however, an abrasives -- being flexible (a thing like the abrasive paper) -- the IC part which can be easy to delete if there is room to bend will be able to be scooped out first.
[0049]
[Problem(s) to be Solved by the Invention]This invention makes it a technical problem to provide a multilayer substrate with a built-in IC chip which solves the above problems, and a manufacturing method for the same.
[0050]
[Means for Solving the Problem]An IC chip package board mounted so that the above technical problem might embed an IC chip and said IC chip, An insulating layer between substrates provided in the chip embedded side side of said IC chip package board, The circuit board for outer layers provided in the chip non-embedded side side of said IC chip package board, Have the circuit board for inner layers laminated so that said IC chip package board and an insulating layer between substrates might be put to the circuit board for said outer layers, and said IC chip package board, A multilayer substrate with a built-in IC chip which thin-film-izes by blasting so that an IC chip of predetermined thickness may be arranged with thickness of a mounting board at chip ******, and is characterized by things, Or in a manufacturing method of a multilayer substrate with a built-in IC chip which mounts an IC chip on the circuit board, shuts up this IC chip by an insulating layer, and laminates this circuit board one by one, A process thin-film-ized by blasting so that a predetermined portion of said IC chip mounted by penetrating said insulating layer may be arranged with thickness of said circuit board, An IC chip is shut up and mounted in a manufacturing method of a multilayer substrate with a built-in IC chip having a process which laminates an IC chip package board and other circuit boards, and is multilayered after reducing height of said IC chip, or an insulating layer of the circuit board, In a manufacturing method of a multilayer substrate with a built-in IC chip which laminates this circuit board one by one, A process of forming a hole for IC chip burial in an insulating layer of the circuit board of desired thickness, A process of embedding and mounting an IC chip of thickness higher than the depth of said hole, Therefore, it is solved, without a manufacturing method of a multilayer substrate with a built-in IC chip having the process of thin-film-izing by blasting and forming said IC chip package board so that a predetermined part of an IC

chip projected from said hole may be arranged with thickness of said circuit board.
[0051]
[Embodiment of the Invention]Since it differs from the proposal (JP,2001-119148,A) of these people's point only in the process of thin-film-izing of an IC chip, an embodiment of the invention is described with reference to drawing 1 A - drawing 1 F about this process. As first shown in drawing 1 A, the circuit board 31 for IC chip mounting is prepared. This becomes by the glass-fabrics cloth substrate epoxy resin copper clad laminate (FR-4) 32, and uses thermosetting resin. A predetermined circuit pattern, an electrode, etc. are formed using a photolithography construction method like the usual substrate making process using FR-4. The circuit pattern 33 is made to form only in one side of the insulating material 32 from such copper foil or a conductive member in drawing 1 A.
[0052]Next, the opening 35 is formed in the circuit board 31 in order to electrically connect IC chip 34 and the circuit pattern 33 which are carried as shown in drawing 1 B. This is formed using laser etc.
[0053]As shown in drawing 1 C, the opening 35 is filled up with the conductive member 36, and IC chip 34 mounts on the conductive member 36 from the circuit pattern 33 and the field which counters (this is called an A horizon). The wiring surface of an inner layer circuit does not exist in the field thin-film-ized behind.
[0054]Subsequently, the insulation material 38 in which it is the same as the outside size of IC chip 34, or a little large opening 37 was made to form as shown in drawing 1 D is prepared (this calls a B horizon). An A horizon and a B horizon carry out alignment which inserts IC chip 34 in the opening 37, and are laminated by adhesives.
[0055]Next, alignment is made laminated material with a processed board, i.e., an A horizon, and a B horizon, and the metal mask 40 in which the bigger opening 39 than IC chip 34, the same size, or IC chip 34 was made to form as drawing 1 E shows is attached to it. Subsequently, slimming-down processing of the surface of IC chip 34 is carried out with sandblasting. Although there is no selectivity of a processing section in the sand blast processing itself, processing advances only a selecting part with the metal mask 40. After processing it to predetermined thickness, the metal mask 40 is removed and washing removes an abrasive grain and a residue. When dealing with the low IC chip of electrostatic pressure-proofing, it is desirable on an electrostatic measure to use a conductive abrasive grain. It is desirable that it is a water-soluble abrasive grain removable by washing after processing. In the stock state of an IC chip, since management of thickness is carried out, to certain blast conditions in time of which. Like whether the portion projected from the B horizon of the IC chip is processed, and griding indicated by JP,2001-119148,A since it was determined, neither a metallic foil nor the terminal point detection means carry out insulating-layer polish and using ** is required. Since the polish base level is unnecessary, even if it is a case where neither surface smoothness nor parallelism has appeared in the inner layer board (an A horizon, a B horizon), slimming down becomes possible correctly. Therefore, the problem of drawing 8 - drawing 12 is solved at once. The surface of the IC chip by which blast grinding is carried out is changing abrasive grain size, and since it can adjust a finished surface, it can also control adhesion with resin at the time of multilayer lamination. Since it is selection processing of only the surface of an IC chip, there is no damage to an IC chip and an IC chip armoring part. Since the path of the jet nozzle of a sandblasting machine is dramatically small compared with an IC chip, a nozzle is scanned several times exceeding the size of the opening 39 of the metal mask 40. It may be made to move the metal mask 40 side conversely.
[0056]After a breakthrough can open in the layered product of an A horizon and a B horizon as drawing 1 F shows, after an IC chip is ground almost flat-tapped, and the wiring member 41 between substrates is filled up with and projected here, Like JP,2001-119148,A, with the IC chip package board to which sand blast processing of another side was carried out similarly, it laminates like a surface wiring board, prepreg, a inner layer wiring board, another surface wiring board, and

drawing 3, and becomes a finished product.
[0057]Although drawing 2 shows a 2nd embodiment of this invention, the thermoplastic resin substrate 50 is used as an insulation material. The circuit pattern 51 which changes by copper foil is formed in this whole surface. Thermoplastics, such as PPS, LCP, PEEK, SPS, and PES, is applicable. By pushing against the resin base material 50, the vamp 52 (conductive member) for connection established on IC chip 34' with heater chip (not shown) heat pressing. This thermoplastics 50 becomes soft and it is connected to the circuit pattern 51, an electrode, etc. which were formed in the surface of the resin base material 50 in the state where it was buried and put as IC chip 34' showed by drawing 2 B. Although this embodiment also makes a metal mask be the same as that of a 1st embodiment and sand blast processing of the lobe of IC chip 34' is carried out, compared with a 1st embodiment, the formation process of the B horizon of drawing 1 B is skipped. Therefore, multilayer laminated material is more producible by low cost. When using a thermoplastic resin material as the circuit board, the slot for circuit patterns is formed, and these people embed conductive members, such as metal paste, at this, and may be made to form a circuit pattern directly, for example using the "transfer public-funds type" proposed previously (application for patent 2001-050989). The same circuit pattern can be formed by low cost in a short time rather than forming a circuit pattern with a photolithography construction method.
[0058]As mentioned above, of course based on the technical idea of this invention, various modification is possible for this invention, although the embodiment of the invention was described, without being limited to these.
[0059]For example, although sandblasting was used for processing an IC chip in an above embodiment, As abrasives for blasts, quartz sand, river sand, cast iron grit, cast steel grit, a cut wire, alumina grit, a silicon carbide shot, slag grit, etc. can be used, without restricting to this.
[0060]Although an above embodiment showed the case where one IC chip was embedded to the insulation material, also when embedding two or more IC chips, of course, this invention can be applied. In this case, what is necessary is to, prepare the metal mask which has an opening corresponding to the number of these embedded IC chips, of course, to adjust and position an IC chip to these openings, to set it by them, and just to process an IC chip with sandblasting like ****. In this case, what is necessary is just to define the floor to floor time of sandblasting according to the IC chip whose projection amount is in this case the smallest, although the height of the portion projected from the insulation material between IC chips may differ. It may replace with a metal mask and grinding of sandblasting may use the mask worse than an IC chip made of a synthetic resin.
[0061]
[Effect of the Invention]As stated above, according to a multilayer substrate with a built-in IC chip of this invention, and a manufacturing method for the same. The multilayer structure which increased the packaging area of the IC chip to the laminating direction in three dimensions, could perform high density assembly of the IC chip, and could reduce process cost further and excelled before in quality can be provided.

[Translation done.]

(19)日本国特許庁（ＪＰ）　(12)**公開特許公報**（Ａ）　(11)特許出願公開番号
特開2002－158307
（P2002－158307A）
(43)公開日　平成14年５月31日(2002.5.31)

(51)Int.Cl.⁷	識別記号	Ｆ Ｉ		テーマコード（参考）
Ｈ０１Ｌ 23/12		Ｈ０１Ｌ 21/60	３１１Ｓ	５Ｅ３３６
21/60	３１１	Ｈ０５Ｋ 1/18	Ｌ	５Ｆ０４４
25/065		Ｈ０１Ｌ 23/12	Ｌ	
25/07		25/08	Ｚ	
25/18				

審査請求　未請求　請求項の数５　ＯＬ　（全　６　頁）　最終頁に続く

(21)出願番号　特願2000－356097(P2000－356097)

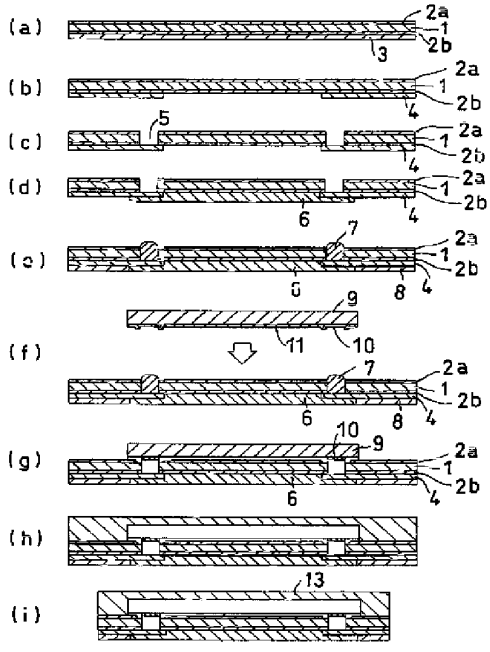
(22)出願日　平成12年11月22日(2000.11.22)

(71)出願人　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(72)発明者　荒川　雅之
東京都青梅市新町３丁目３番地の１　東芝デジタルメディアエンジニアリング株式会社内
(72)発明者　瀬川　雅雄
神奈川県横浜市磯子区新磯子町33番地　株式会社東芝生産技術センター内
(74)代理人　100081732
弁理士　大胡　典夫　（外２名）

最終頁に続く

(54)【発明の名称】　半導体装置及びその製造方法

(57)【要約】
【課題】　簡便な製造プロセスを用いて、かつ、短時間で半導体素子を熱圧着することが可能な半導体装置及びその製造方法を提供すること。
【解決手段】　表面に熱可塑性樹脂層２ａ、２ｂ、２２および半導体素子９、３０との接続端子が形成された配線基板の表面に半導体素子９、３０を加熱加圧して接続端子に電気的に接続し、かつ、半導体素子９、３０の基板側の面を熱可塑性樹脂層２ａ、２ｂ、２２により接着かつ封止する。



【特許請求の範囲】
【請求項１】　非熱可塑性樹脂で形成された絶縁基板と、この絶縁基板の一方の表面の少なくとも一部に形成された熱可塑性樹脂層と、前記絶縁基板の他方の表面に形成された配線パターンと、可塑性樹脂層と前記絶縁基板とを貫通して前記配線パターンと電気的に接続された金属バンプと、前記熱可塑性樹脂層の表面に搭載されて前記金属バンプと電気的に接続された有機材料被膜とを具えた半導体素子を有することを特徴とする半導体装置。
【請求項２】　前記熱可塑性樹脂層は 前記絶縁基板の両面にそれぞれ少なくとも一部に形成されていることを特徴とする請求項１記載の半導体装置。
【請求項３】　少なくとも表面の一部に熱可塑樹脂層が形成され、かつ、外部接続端子が形成された配線基板に電気的に接続されて前記熱可塑樹脂層の表面に搭載された半導体素子とを備えた半導体パッケージと、この半導体パッケージの前記外部接続端子を介して電気的に接続された第２の配線基板とを有することを特徴とする半導体装置。
【請求項４】　表面に熱可塑性樹脂層および半導体素子との接続端子が形成された配線基板の表面に前記半導体素子を加熱加圧して前記接続端子に電気的に接続し、かつ、前記半導体素子の前記配線基板側の面を前記熱可塑性樹脂層により接着かつ封止する工程を有することを特徴とする半導体装置の製造方法。
【請求項５】　表面に熱可塑性樹脂層および半導体素子との接続ランドが形成された配線基板の表面に半導体素子を電気的に接続すると共に前記半導体素子の前記配線基板に面した表面を前記熱可塑性樹脂層により接着・封止して半導体パッケージを形成する第１の工程と、この第１工程により形成された前記半導体パッケージを第２の配線基板の所定の位置に配置する第２の工程と、前記半導体パッケージ複数個を前記第２の配線基板上に配置された前記半導体パッケージの所定の位置へ積層配置する第３の工程と、この所定の位置に積層配置された前記半導体パッケージ相互間および前記第２の配線基板とその上に載置されている前記半導体パッケージについて、それぞれ形成されている外部接続端子間を電気的に接続する第４の工程を有することを特徴とする半導体装置の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は、半導体素子を基板にフェイスダウンして搭載する半導体装置とその製造方法に関する。
【０００２】
【従来の技術】近年、電子機器や半導体パッケージの小型化、高密度化および高機能化のために、半導体素子（ベアチップ）をフェイスダウンして配線基板の表面に直接実装を行なう、フリップチップ実装が多く用いられるようになってきた。特にＢＧＡやＣＳＰ等の半導体パッケージは、携帯電話やノートパソコンなどに使用するために、さらなる小型化や高速度での動作が求められている。それらの状況から実装性の優れているフリップチップ実装が適用されることが多い。フリップ実装による実装方式の半導体パッケージは このように携帯電話やパソコンに用いられることにより需要は拡大し、それに伴って、半導体パッケージの製造プロセスの簡略化や短時間化も望まれるようになってきた。
【０００３】図４（ａ）～（ｉ）は、従来の半導体パッケージの製造プロセスを示す工程図である。
【０００４】まず、銅箔４１がガラスエポキシやポリイミド等の絶縁基板４２の一方の表面上に形成されている銅張り板４０を用意する。（図４－（ａ））。この銅張り板４０の銅箔４１に、エッチング処理等を施すことにより配線パターン４３を形成する。（図４－（ｂ））。続いて、レーザ光の照射やエッチング処理等により、絶縁基板４２裏面に開口部４４を設ける。（図４－（ｃ））。次に、Ｃｕ＋Ｎｉ＋Ａｕ等のめっきを開口部４４に施すことにより、配線パターン４３と電気的に接続されていた外部電極４５を形成する（図４－（ｄ））。なお、ここでは、めっきにより外部電極４５を形成したが、製造プロセスの最後に、はんだボール等を形成する方法を用いることもある。続いて、回路パターン面に異方性導電膜４６を形成する。図４－（ｅ））。なお、異方性導電膜４６の代わりに異方性導電ペーストや絶縁樹脂を形成する場合もある。
【０００５】一方 半導体素子４７には電極４８が設けられており、その表面にはワイヤボンディング法などにより金ボールバンプ４９が形成されている。この金ボールバンプ４９はめっき法等により形成されている。そして、半導体素子４７の表面には内部に形成された電子回路を保護するための、ポリイミド、SiO_2、Si_3N_4又はAl_2O_3などによるパッシベーション膜５０が形成されている。この半導体素子４７を配線パターン４３の上に位置合わせする。（図４－（ｆ））。位置合せして相互に接触させた状態で １８０℃で１０秒程度の条件にて熱圧着を行なう。（図４－（ｇ））。続いて、エポキシ等の封止樹脂５１により、半導体素子４７をモールドして封止する。（図４－（ｈ））。最後に、モールド体を所定の寸法に切り出して半導体装置５５として完成させている。（図４－（ｉ））。
【０００６】
【発明が解決しようとする課題】しかしながら、上述の半導体装置の製造プロセスでは異方性導電膜を形成するプロセスが必要である。この異方性導電膜を形成するプロセスで用いる異方性導電膜や異方性導電ペーストに使用されている樹脂はエポキシを主体とした熱硬化樹脂を用いている。そのため、熱圧着時間を５秒以下のよう

に、極端に短くすることは難しい。したがって、半導体装置の製造プロセスの簡便化や時間の短縮化が非常に困難であった。

【０００７】本発明はこれらの事情にもとづいてなされたもので 簡便な製造プロセスを用いて、かつ、短時間で半導体素子を熱圧着することが可能な半導体装置及びその製造方法を提供することを目的としている。

【０００８】

【課題を解決するための手段】請求項１の発明による手段によれば、非熱可塑性樹脂で形成された絶縁基板と、この絶縁基板の一方の表面の少なくとも一部に形成された熱可塑性樹脂層と、前記絶縁基板の他方の表面に形成された配線パターンと、可塑性樹脂層と前記絶縁基板とを貫通して前記配線パターンと電気的に接続された金属バンプと、前記熱可塑性樹脂層の表面に搭載されて前記金属バンプと電気的に接続された有機材料被膜とを具えた半導体素子を有することを特徴とする半導体装置である。

【０００９】また請求項２の発明による手段によれば 前記熱可塑性樹脂層は 前記絶縁基板の両面にそれぞれ少なくとも一部に形成されていることを特徴とする半導体装置である。

【００１０】また請求項３の発明による手段によれば 少なくとも表面の一部に熱可塑樹脂層が形成され、かつ、外部接続端子が形成された配線基板に電気的に接続されて前記熱可塑樹脂層の表面に搭載された半導体素子とを備えた半導体パッケージと、この半導体パッケージの前記外部接続端子を介して電気的に接続された第２の配線基板とを有することを特徴とする半導体装置である。

【００１１】また請求項４の発明による手段によれば 表面に熱可塑性樹脂層および半導体素子との接続端子が形成された配線基板の表面に前記半導体素子を加熱加圧して前記接続端子に電気的に接続し、かつ、前記半導体素子の前記配線基板側の面を前記熱可塑性樹脂層により接着かつ封止する工程を有することを特徴とする半導体装置の製造方法である。

【００１２】また請求項５の発明による手段によれば 表面に熱可塑性樹脂層および半導体素子との接続ランドが形成された配線基板の表面に半導体素子を電気的に接続すると共に前記半導体素子の前記配線基板に面した表面を前記熱可塑性樹脂層により接着・封止して半導体パッケージを形成する第１の工程と、この第１工程により形成された前記半導体パッケージを第２の配線基板の所定の位置に配置する第２の工程と、前記半導体パッケージ複数個を前記第２の配線基板上に配置された前記半導体パッケージの所定の位置へ積層配置する第３の工程と、この所定の位置に積層配置された前記半導体パッケージ相互間および前記第２の配線基板とその上に載置されている前記半導体パッケージについて、それぞれ形成されている外部接続端子間を電気的に接続する第４の工程を有することを特徴とする半導体装置の製造方法である。

【００１３】

【発明の実施の形態】以下、本発明の半導体装置とその製造方法についての実施の形態を、図面を参照して説明する。

【００１４】まず、本発明の半導体装置の製造方法に関する第１の実施の形態について、図１（ａ）～（ｉ）に示す工程図を用いて説明する。

【００１５】非熱可塑性ポリイミド等の絶縁基板１の両面には、熱可塑ポリイミド等の熱可塑性樹脂層２ａ、２ｂが形成されている。この熱可塑性樹脂層２ａ、２ｂは絶縁基板１の表面に銅箔３を接着する目的等のために形成されたもので、絶縁基板１の製造プロセスにおいて形成されているものである。

【００１６】この実施の形態では、銅箔３は熱可塑性樹脂層２ｂの一方の面のみに形成されており、他方の面の熱可塑性樹脂層２ａは露出した構造となっている。（図１－（ａ））。

【００１７】次に、銅箔３にエッチング処理を施す等により 選択的に配線パターン４を形成する。（図１－（ｂ））。続いて、熱可塑性樹脂層２ａにレーザ光源（不図示）からのレーザ光の照射又はケミカルエッチング等の処理を施すことにより、熱可塑性樹脂層２ａと絶縁基板１との所定位置に開口部５を設ける。（図１－（ｃ））。そして、配線パターン４が形成された面側に、ポリイミドやエポキシ等の樹脂によりレジスト層６を形成する（図１－（ｄ））。その後、開口部５およびレジスト層６の形成されていない個所にＣｕまたはＮｉまたはＡｕまたはこれらのうちいくつかによる多層のめっきを施し、ＩＣとの接続用のめっきバンプ７および外部接続端子８をそれぞれ形成する。（図１－（ｅ））。

【００１８】一方 半導体素子９にはＡｌ等の電極１０が設けられており、また半導体素子９の表面には内部の電子回路を保護するための、ポリイミド等の有機材料によるパッシベーション膜１１が形成されている。この半導体素子９をめっきバンプ７の上に位置合せして搭載する。（図１－（ｆ））。

【００１９】次に 半導体素子９を配線パターン４の上に搭載した状態で 加熱工具（不図示）により、１５０～４００℃程度の加熱にて、１～５秒間の熱圧着を行なう。このとき、めっきバンプ７と半導体素子９の電極１０とはＡｕ－Ａｌの金属間化合物を形成することにより、機械的、かつ、電気的接続を得られる。また、熱可塑性樹脂層２ａの熱可塑性樹脂が溶融することにより、半導体素子９と接着すると同時に半導体素子９の表面を封止する。

【００２０】なお、めっきバンプ７と半導体素子９の電極１０のＡｕ－Ａｌ接合の際には、超音波を併用しても

よいし、半導体素子９の電極１０の上に金めっきを施したり、金ボールバンプを形成する等により、めっきバンプ７とＡｕ－Ａｕ接合を行なってもよい。また、半導体素子９の電極１０の上にはＡｕめっきもしくはＡｕボールバンプを形成し めっきバンプ７をＣｕ＋Ｓｎめっき等を施すことにより Ａｕ－Ｓｎ接続を行なってもよい。（図１－（ｇ））。

【００２１】次に、エポキシ等の封止樹脂１２により、半導体素子９をモールドして封止しする。（図１－（ｈ））。最後に、所定の寸法に切り出して半導体装置１３を完成する。（図１－（ｉ））。

【００２２】なお、上述の実施の形態では外部接続端子８をめっきにより形成しているが、はんだボールを形成することによりＢＧＡの形態にして組み立てることもできる。

【００２３】また、図２に示すように非熱可塑性ポリイミド等の絶縁基板１の一方の面に熱可塑性ポリイミド等の熱可塑性樹脂層２ａを形成し、他方の面には銅箔３が絶縁基板１に直接形成された銅張り板を用いても同様の作用を得ることができる。

【００２４】以上のようにして形成された半導体装置は、半導体素子と絶縁基板との接続の際に 別の部材を必要とせず、また、熱可塑性樹脂による短時間での接続が可能となるため、製造プロセスが簡便となり、半導体装置の生産性が非常に優れたものとなる。

【００２５】次に 本発明の半導体装置の製造方法に関する第２の実施の形態について、図３（ａ）～（ｋ）に示す工程図を用いて説明する。

【００２６】非熱可塑性ポリイミド等による絶縁基板２１の一方の表面には、熱可塑ポリイミド等の熱可塑性樹脂層２２が形成されており、絶縁基板２１の他方の表面には銅箔２３が形成されている。（図３－（ａ））。

【００２７】次に、銅箔２３にエッチング処理を施す等により 選択的に配線パターン２４を形成する。（図３－（ｂ））。続いて、熱可塑性樹脂層２２が形成された側から、レーザ光源（不図示）によるレーザ光の照射やケミカルエッチングなどにより、熱可塑性樹脂層２２と絶縁基板２１との所定箇所に開口部２５を設ける。（図３－（ｃ））。

【００２８】そして、配線パターン２の表面に、ポリイミドやエポキシ等の樹脂によりレジスト開口部２７を有するレジスト層２６を形成する。（図１－（ｄ））。続いて、開口部２５およびレジスト開口部２７にＣｕ＋Ｎｉ＋Ａｕ等のめっきを施し、半導体素子との接続用のめっきバンプ２８および積層接続用端子２９を形成する。（図３－（ｅ））。

【００２９】一方 半導体素子３０は、積層用に５０μｍ厚程度に薄く研削されたもの等を用いており、半導体素子３０にはＡｌ等の電極３１が、また半導体素子３０の表面には内部に形成された電子回路を保護するための、ポリイミド等の有機材料によるパッシベーション膜３２が形成されている。この半導体素子３０をめっきバンプ２８の上に位置合せして搭載する。（図３－（ｆ））。

【００３０】半導体素子３０を配線パターン２４の上に搭載した状態で １５０℃～４００℃程度の加熱にて、１～５秒間の熱圧着を行なう。このとき、めっきバンプ２８と半導体素子３０の電極３１とはＡｕ－Ａｌの金属間化合物を形成することにより、機械的、かつ、電気的接続を得られる。また、熱可塑性樹脂層２２の熱可塑性樹脂が溶融することにより、半導体素子３０と接着すると同時に、半導体素子３０の表面を封止する。これにより半導体パッケージ３３を形成する。

【００３１】なお、めっきバンプ２８と半導体素子３０の電極３１のＡｕ－Ａｌ接合には超音波を併用してもよいし、半導体素子３０の電極３１の上に金めっきを施したり、金ボールバンプを形成する等により、めっきバンプ２８とＡｕ－Ａｕ接合を行なってもよい。また、半導体素子９の電極１０の上にはＡｕめっきもしくはＡｕボールバンプを形成し めっきバンプ７をＣｕ＋Ｓｎめっき等を施すことにより Ａｕ－Ｓｎ接続を行なってもよい。（図３－（ｇ））。

【００３２】形成された半導体パッケージ３３を複数枚位置合せして積層し、第２の絶縁基板３４の第１の面３４ａに搭載する。第２の絶縁基板３４の第２の面３４ｂ（第１の面の反対側の面）には配線パターン３５が形成されており、第２の絶縁基板３４は半導体パッケージ３３と電気的接続を行なうための開口部３６が設けられている。なお、開口部３６に露出した配線パターン３５には金めっき等の処理が施されている。また、配線パターン３５の表面にはレジスト層３７が形成されており、レジスト層３７にはレジスト開口部３８が設けられている。（図３－（ｈ））。

【００３３】続いて、積層した半導体パッケージ３３の積層接続用端子２９の部分を、加熱ツール３９を用いて１５０℃～４００℃程度の加熱して、１～５秒間の熱圧着を行なう。この熱圧着により半導体パッケージ３３の積層接続用端子２９同士、および、半導体パッケージ３３の積層接続用端子２９と第２の絶縁基板３４の開口部３６に露出した配線パターン３５のめっき層とで金属間化合物を形成して、電気的、かつ、機械的接続を行なうと同時に、熱可塑性樹脂層２２が溶融することにより、各半導体パッケージ３３同士、および、半導体パッケージ３３と第２の絶縁基板３４とが接着固定される。（図３－（ｉ））。

【００３４】次に 第２の絶縁基板３４に設けたレジスト開口部３８にはんだボール４０を形成する。このはんだボール４０は、はんだペーストを印刷後にリフローはんだプロセスを行なうことによって形成しても良いし、はんだボール４０をマウント後、リフロープロセスを行

なって形成しても良い。なお、この実施の形態では 第２の絶縁基板３４には、片面側のみに配線パターン３５が形成されているが、配線パターン３５を第２の絶縁基板３４の両面に形成しても、また多層に形成したものを用いても良い。（図３－（ｊ））。

【００３５】次に、エポキシ等の封止樹脂４２により、形成した半導体パッケージの積層体をモールドして封止し、積層半導体パッケージによる半導体装置を形成する。（図１－（ｋ））。

【００３６】以上のようにして形成された積層半導体パッケージによる半導体装置は、半導体素子と絶縁基板との接続の際や、半導体パッケージを積層して接続する際に、別部材を必要とせず、また短時間での接続が可能となるため、製造プロセスか簡便となり、半導体装置の生産性が非常に優れている。

【００３７】

【発明の効果】本発明によれば、生産性の優れたの半導体装置及びその製造方法を得ることができる。

【図面の簡単な説明】

【図１】（ａ）～（ｉ）は、本発明の第１の実施の形態の工程図。

【図２】銅張り板の変形例の断面図。

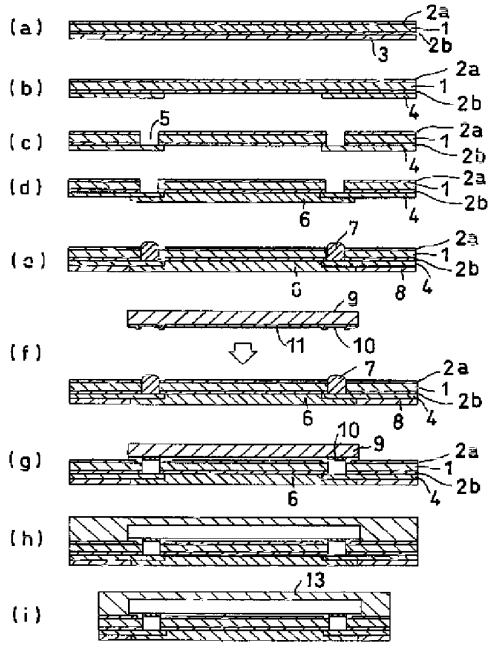
【図３】（ａ）～（ｋ）は、本発明の第２の実施の形態の工程図。

【図４】（ａ）～（ｉ）は、従来の半導体パッケージの製造プロセスを示す工程図。

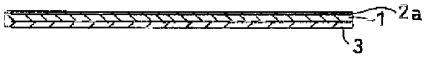
【符号の説明】

１、２１…絶縁基板、２ａ、２ｂ、２２…熱可塑性樹脂層、３、２３…銅箔、４、２４…配線パターン、８…外部接続端子、９、３０…半導体素子、１３…半導体装置、２９…積層接続用端子、３３…半導体パッケージ、３４…第２の配線基板

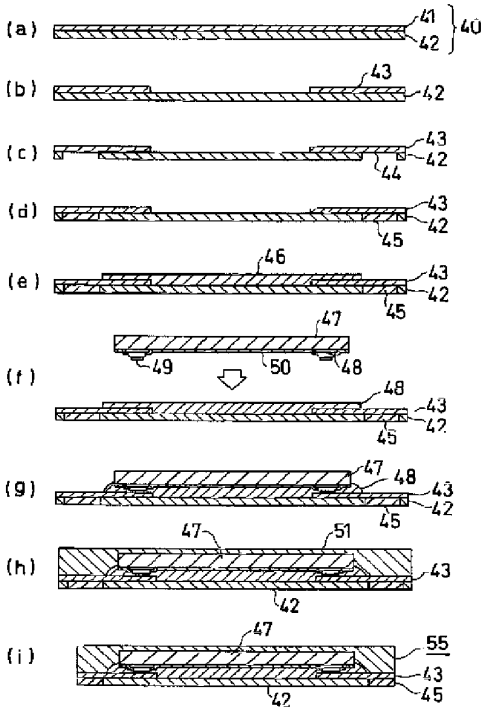
【図１】



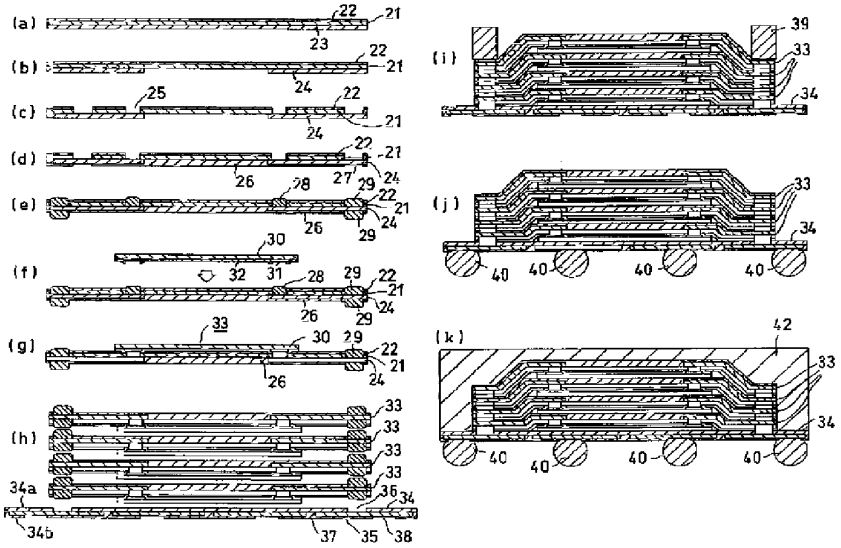
【図２】



【図４】



【図３】



フロントページの続き

(51)Int.Cl.[7]　　識別記号　　ＦＩ　　(参考)
　ＨＯ５Ｋ　1/18

(72)発明者　斉藤　康人
東京都青梅市新町３丁目３番地の１　東芝デジタルメディアエンジニアリング株式会社内

(72)発明者　井口　知洋
神奈川県横浜市磯子区新磯子町33番地　株式会社東芝生産技術センター内

Ｆターム(参考)　5E336 AA04 BB02 BB03 BB15 BC32
CC34 DD22 DD32 EE03 EE05
GG10 GG12 GG16
5F044 KK02 KK09 KK17 KK19 LL11
RR03 RR16

MACHINE TRANSLATION OF JP2002158307

1. The base material which was formed with the non thermoplastic resin
With, formation at least to the portion of the surface of one side of this base material
On the other surface of thermoplastic resin layer and the aforementioned base material which are done
Wiring pattern and plasticity resin layer and the aforementioned insulated basis which were formed
Penetrating with the board, the aforementioned wiring pattern it was connected electrically
Being loaded by the surface of metal bump and the aforementioned thermoplastic resin layer
The aforementioned metal bump the organic material tunic which is connected electrically
The semiconductor equipment which features that it possesses the semiconductor device which it has
Position.

2. As for the aforementioned thermoplastic resin layer <HAN> and </HAN> the aforementioned base material
In both sides each one being formed to part at least
The semiconductor device of the claim 1 statement which is made feature.

3. At least in portion of the surface thermal plastic resin layer
It was formed, at the same time, in the wiring baseplate where the external connected terminal was formed
Being connected electrically, it is loaded by the surface of the aforementioned thermal plastic resin layer,
It is the semiconductor package and this half which have the semiconductor device derived
The connected terminal outside the description above of the body package through, you connect electrically
The half which features that it possesses the 2nd wiring baseplate which is done derived
Body device.

4. On surface thermoplastic resin layer and semiconductor device
With on the surface of the wiring baseplate where the connected terminal was formed the aforementioned semiconductor
Heating pressurizing the element, to connect to the aforementioned connected terminal electrically?
Surface of the aforementioned wiring baseplate side of the aforementioned semiconductor device the aforementioned thermal plasticity
Possessing the process which it glues and seals with characteristic resin layer and special
Production method of the semiconductor device which is made collection/symbol.

5. On surface thermoplastic resin layer and semiconductor device
With on the surface of the wiring baseplate where the connected land was formed the semiconductor element
As the child is connected electrically, the aforementioned wiring of the aforementioned semiconductor device
The surface which confronts in the baseplate with the aforementioned thermoplastic resin layer the gluing seal
Stopping, the 1st process which forms the semiconductor package and, this
The aforementioned semiconductor package which was formed by 1st process 2nd
2nd process and the description above which arrange in specified position of the wiring baseplate
Plural semiconductor packages arrangement on the aforementioned 2nd wiring baseplate
It laminates arranges to specified position of the aforementioned semiconductor package which is done
The description above which it is laminated is arranged in [ru] 3rd process and this specified position
Between semiconductor package mutual and the aforementioned 2nd wiring baseplate and [so]

About the aforementioned semiconductor package which is mounted on,
Outside it is formed respectively connecting between the connected terminals electrically
The semiconductor device which features that it possesses the 4th process which it does
Production method.
DESC (JP2002158307)
[0001] <The technical field to which invention belongs>As for this invention, semiconductor device
baseplate
The face knocking down, the semiconductor device and the production one which it loads
It regards law.
[0002] < Background of the Invention>Recently, the electronic equipment and the semiconductor package
small
For type conversion, densification and high function, semiconductor device
(The face knocking down [be] [achitsupu]), on the surface of the wiring baseplate
Direct mounting is done, flip chip mounting is many using
It became the [ru] way. The semiconductor pas of especially BGA and CSP etc
As for [tsukeji], you use for the portable telephone and the notebook PC etc
For the sake of, operation at further miniaturization and high velocity being required
It is. [huritsupuchi] where mounted characteristic is superior from those circumstances
There is many a thing where [tsupu] mounting is applied. It is due to flip mounting
As for semiconductor package of mounted system <HAN>, </HAN> this way portable telephone and
To expand demand by being used for the personal computer, to that
Accompanying, simplification of production process of the semiconductor package and it is short
It reached the point where also time conversion is desired.
[0003] As for figure 4 (a) - (i), former semiconductor [patsu]
It is the schedule drawing which shows the production process of the cage.
[0004] First, copper foil 41 glass epoxy and [porii]
It is formed on the surface of one side of base material 42 of [mido] and the like
Copper Hari board 40 is prepared. (Figure 4- (a)). This copper Hari
In administering etching processing and the like to copper foil 41 of [ri] board 40,
From wiring pattern 43 is formed. (Figure 4- (b)).
Consequently, with the lighting and etching processing etc of laser light, stopping
Open part 44 is provided on edge baseplate 42 back. (Figure 4-
(c)). Next, the plating Cu+Ni+Au and the like open part
Wiring pattern 43 electric by administering to 44, connection
Outside continuation it is done electrode 45 is formed (the figure 4-
(d)). Furthermore, here, with plating external electrode 45
It formed, but lastly, the solder ball and the like of production process
There are also times when the method of forming is used. Consequently, circuit [pata]
Anisotropic electric conduction membrane 46 is formed on the [n] surface. Figure 4-
(e)). Furthermore, in place of anisotropic electric conduction membrane 46 anisotropy derived
When electric [pe] [suto] and the insulated resin is formed, it is.
[0005] On the one hand <HAN> and </HAN> in semiconductor device 47 electrode 48 providing
And others [re] [te] time, on that surface in wire bonding method and the like
From gold ball bump 49 is formed. This gold baud
[rubanpu] 49 is formed by plated method and the like. The [so] it does,

On the surface of the [te] and semiconductor device 47 the electronic time which was formed inside
The polyimide in order to protect the road, SiO [2] and Si [3] N
[4] Or by Al [2] O [3] and the like the [patsushi] [be] [shiyon] membrane 50
It is formed. This semiconductor device 47 wiring pattern 4
The alignment it does on 3. (Figure 4- (f)). Alignment
Doing, when it is made to contact mutually with <HAN> and </HAN>180.deg.C 10 seconds
At condition hot pressing arrival is done. (Figure 4- (g)). Consequently,
With seal resin such as epoxy 51, semiconductor device 47 [mo]
[rudo] doing, it seals. (Figure 4- (h)). Lastly, Mho
Quarrying out the [rudo] body in specified size, as a semiconductor device 55
You have made complete. (Figure 4- (i)).
[0006] <Problem to be solved by the invention,>But, description above
With production process of the semiconductor device the anisotropic electric conduction membrane is formed
Process is necessary. [pu] which forms this anisotropic electric conduction membrane
In anisotropic electric conduction membrane and anisotropic electric conduction [pe] [suto] which are used with [rosesu] use
Business as for the resin which is done the thermosetting conversion resin which designates epoxy as subject
It has used. Because of that, hot pressing arrival time like 5 seconds less than
It is difficult to make short extremely. Therefore, semiconductor
Simplification of production process of device and reduction of time very difficulty
It was difficulty.
[0007] Be able to do this invention on the basis of these circumstances
It is with the thing <HAN> and </HAN> making use of simple production process, at the same time, brief
So heat the semiconductor device whose it is possible to bond the semiconductor device, and
It designates that the production method is offered as purpose.
[0008] <Measures to solve the problem>The hand by the invention of claim 1
According to the step, the base material which was formed with the non thermoplastic resin and,
The surface of one side of this base material it is formed by part at least,
It is formation to the other surface of thermoplastic resin layer and the aforementioned base material
Wiring pattern and plasticity resin layer and the aforementioned base material which are done
Penetrating, the aforementioned wiring pattern the metal which is connected electrically
Being loaded by the surface of bump and the aforementioned thermoplastic resin layer, the description above
Metal bump the organic material tunic which is connected electrically having
It is with the semiconductor device which features that it possesses the semiconductor device the [a] [ru].
[0009] In addition according to the expedient due to the invention of claim 2 <HAN> and </HAN>
As for the aforementioned thermoplastic resin layer <HAN> and </HAN> in both sides of the aforementioned base material each one
The half which features that it is formed to part at least derived
It is the body device.
[0010] In addition according to the expedient due to the invention of claim 3 <HAN> and </HAN>
At least, thermal plastic resin layer to be formed by the portion of the surface?

You connect to the wiring baseplate where the external connected terminal was formed electrically
Being done, the semiconductor device which is loaded onto the surface of the aforementioned thermal plastic resin layer
With the semiconductor package and this semiconductor package which it has
Through the connected terminal outside the description above, 2nd it is connected electrically
With the semiconductor device which features that it possesses the wiring baseplate the [a]
[ru].
[0011] In addition according to the expedient due to the invention of claim 4 <HAN> and </HAN>
On surface connected terminal of thermoplastic resin layer and semiconductor device
On the surface of the wiring baseplate which was formed the aforementioned semiconductor device heating pressurization
Doing, to connect to the aforementioned connected terminal electrically, at the same time, the aforementioned semiconductor
Surface of the aforementioned wiring baseplate side of element depending on the aforementioned thermoplastic resin layer
The semiconductor which features that it possesses the process which it glues and seals and
It is production method of the device.
[0012] In addition according to the expedient due to the invention of claim 5 <HAN> and </HAN>
On surface connected land of thermoplastic resin layer and semiconductor device
The semiconductor device electric on the surface of the wiring baseplate which was formed connection
As continuation it does, the chart which confronts in the aforementioned wiring baseplate of the aforementioned semiconductor device
Gluing & sealing the surface with the aforementioned thermoplastic resin layer, the semiconductor pas
Depending on 1st process and this 1st process which form [tsukeji]
The aforementioned semiconductor package which was formed the place of the 2nd wiring baseplate
2nd process and aforementioned semiconductor [patsuke] which are arranged in fixed position
[ji] plural the aforementioned half which is arranged on the aforementioned 2nd wiring baseplate derived
To specified position of the body package the 3rd process which it laminates arranges
With, aforementioned semiconductor [patsuke] which it is laminated is arranged in this specified position
Between [ji] mutual and in the aforementioned 2nd wiring baseplate and on that mount
Concerning the aforementioned semiconductor package which the [re] [te] is, the respective formation
Outside it is done the 4th manufacture which connects between the connected terminals electrically
About with production method of the semiconductor device which features that it possesses the [a]
[ru].
[0013] <Form of execution of invention>Below, semiconductor device of this invention and that
Form of execution concerning production method, referring to the plan, you explain
It does.
[0014] First, in production method of semiconductor device of this invention Seki
Concerning the form of the 1st execution which it does, in the figure 1 (a) - (i)
You explain making use of the schedule drawing which shows.
[0015] Both of base material 1 of non thermoplastic polyimide and the like
On surface, thermoplastic resin layer 2a of thermal plastic polyimide and the like, 2
b is formed. As for this thermoplastic resin layer 2a and 2b
Because it is the purpose and the like which glues copper foil 3 to the surface of base material 1 shape
Being something which is formed, at the time of production processing of base material 1 shape

It is something which is formed.
[0016] With form of this execution, as for copper foil 3 thermoplastic tree
We to be formed by only the aspect of one side of fat layer 2b, the other aspect
Thermoplastic resin layer 2a is designed to be the structure which is exposed. (Figure
1- (a)).
[0017] Next, etching processing is administered to copper foil 3 e.g.,
Compared to <HAN> and </HAN> wiring pattern 4 is formed selectively. (Figure 1-
(b)). Consequently, in thermoplastic resin layer 2a laser illuminant
From (non- illustration) lighting or [kemikaruetsuchin] of laser light
By administering the processing of [gu] and the like, thermoplastic resin layer 2a and stopping
Open part 5 is provided in specified position of edge baseplate 1. (Figure 1-
(c)). And, the surface side where wiring pattern 4 was formed
With resin such as polyimide and epoxy resist layer 6
It forms (the figure 1- (d)). After that, open part 5 and
In the place where resist layer 6 is not formed Cu or Ni
Or Au or several among these, due to the [me] of the many layer
To administer the [tsu] coming, plating bump 7 for IC connection and outside
Section connected terminal 8 is formed respectively. (Figure 1- (e)).
[0018] On the one hand <HAN> and </HAN> in semiconductor device 9 the electrode 10 of Al and the like
To be provided, in addition on the surface of semiconductor device 9 inside
In organic material such as polyimide in order to protect the electronic circuit
The [patsushi] [be] [shiyon] membrane 11 which depends is formed. This half
Position doing to adjust conductive element 9 in regard to plating bump, 7 it loads
[ru]. (Figure 1- (f)).
[0019] Next <HAN> and </HAN> semiconductor device 9 with respect to wiring pattern 4
<HAN> and </HAN> with the heating tool (non- illustration) when it is loaded, 150
At heating the -400.deg.C, hot pressing arrival between 1-5 seconds line
[u]. This time, plating bump electrode 1 of 7 and semiconductor device 9
0 in forming the intermetallic of Au-Al
The [ri], mechanical, at the same time, electric connection can be obtained. In addition, thermal yes
Depending on the thing where the thermoplastic resin of plastic resin layer 2a melts,
When it glues with semiconductor device 9, simultaneously the surface of semiconductor device 9
It seals.
[0020] Furthermore, plating bump electricity of 7 and semiconductor device 9
Extremely, the case of Au-Al connecting of 10, jointly using the ultra wave
It is good and, on electrode 10 of semiconductor device 9 administering the gold-plating
With, the plated van e.g., is the [ri], gold ball bump is formed,
[pu] it is possible to do 7 and Au-Au connecting. In addition, semiconductor
On electrode 10 of element 9 Au plating or Au baud
To form [rubanpu], <HAN> and </HAN> plating bump 7 Cu+Sn plating
<HAN>, doing </HAN>Au-Sn connection, and so on by administering
It is. (Figure 1- (g)).
[0021] Next, in seal resin such as epoxy 12 depending,
Molding semiconductor device 9, it does to seal. (Figure 1-
(h)). Lastly, quarrying out in specified size, the semiconductor device

13 is completed. (Figure 1- (i)).
[0022] Furthermore, with form of the above-mentioned execution external connected terminal
8 is formed with plating, but forming the solder ball
With the fact that it assembles by doing in the form of BGA
It finishes.
[0023] In addition, way it shows in Figure 2, non thermoplastic [porii]
On aspect of one side of base material 1 of [mido] and the like thermoplastic polyimide and the like
To form thermoplastic resin layer 2a, on the other aspect copper foil 3
Making use of the copper Hari board which was formed to base material 1 directly similar
It can obtain action.
[0024] The semiconductor device which was formed like above
The case of connection with the semiconductor device and base material <HAN> and classified by </HAN>
component
Not to need, in addition, connection at brief by the thermoplastic resin
Because it becomes possible, production process to become simple, the semiconductor
It becomes something where productivity of the device is superior very.
[0025] Next <HAN> and </HAN> in production method of semiconductor device of this invention Seki
Concerning the form of the 2nd execution which it does, in the figure 3 (a) - (k)
You explain making use of the schedule drawing which shows.
[0026] The base material 2 by non thermoplastic polyimide and the like
On surface of one side of 1, thermoplastic tree such as thermal plastic polyimide
Fat layer 22 to be formed, the other surface of base material 21
Copper foil 23 is formed. (Figure 3- (a)).
[0027] E.g., next, etching processing is administered to copper foil 23
<HAN> and </HAN> wiring pattern 24 is formed selectively with. (Figure 3
- (b)). Consequently, thermoplastic resin layer 22 was formed
From side, lighting of the laser light by the laser illuminant (non- illustration) and
With chemical etching and the like, thermoplastic resin layer 22
Open part 25 is provided in specified place of base material 21. (Figure
3- (c)).
[0028] And, on surface of wiring pattern 2, [porii]
With resin such as [mido] and epoxy resist open part 27 the possession
The resist layer 26 which it does is formed. (Figure 1- (d)). Continuation
Being, in open part 25 and resist open part 27 Cu+N
To administer the plating i+Au and the like, the [me] for connection with the semiconductor device
[tsu] coming [banbu] 28 and terminal 29 for lamination connection is formed.
(Figure 3- (e)).
[0029] On the one hand <HAN> and </HAN> semiconductor device 30 in one for lamination 50.micro.
We to use those and the like which are ground to m thickness thin, the semiconductor
In element 30 the electrode 31 of Al and the like, in addition semiconductor device 30
In order to protect the electronic circuit which was formed inside on the surface,
The [patsushi] [be] [shiyon] membrane polyimide and the like by the organic material
32 is formed. This semiconductor device 30 plated [ba]
Position doing to adjust on [nbu], 28 it loads. (Figure 3-
(f)).

[0030] Semiconductor device 30 with respect to wiring pattern 24
When it is loaded <HAN> and </HAN>150.deg.C-400.deg.C at heating,
Hot pressing arrival between 1-5 seconds is done. This time, plating bump
Electrode 31 of 28 and semiconductor device 30 the metal of Au-Al
By forming between chemical compound, mechanical, at the same time, electric
Connection can be obtained. In addition, thermoplastic of thermoplastic resin layer 22
It glues with semiconductor device 30 due to the fact that the resin melts,
With simultaneously, the surface of semiconductor device 30 is sealed. In this
[ri] semiconductor package 33 is formed.
[0031] Furthermore, plating bump 28 and semiconductor device 30
Jointly using the ultra wave to Au-Al connecting of electrode 31,
To do to be, on electrode 31 of semiconductor device 30 administering the gold-plating
With, the plated van e.g., is the [ri], gold ball bump is formed,
[pu] it is possible to do 28 and Au-Au connecting. In addition, half derived
On electrode 10 of body element 9 Au plating or Au [bo]
To form [rubanpu], <HAN> and </HAN> plating bump 7 the Cu+Sn [me] [tsu]
<HAN>, doing </HAN>Au-Sn connection, by administering coming and the like
It is. (Figure 3- (g)).
[0032] Semiconductor packages 33 which were formed plural
Position doing to adjust, to laminate, the 1st aspect 3 of 2nd base material 34
It loads onto 4a. 2nd aspect 34b of 2nd base material 34
On (surface of opposite side of 1st aspect) wiring pattern 35 forms
To be done, as for 2nd base material 34 semiconductor package 3
3 open part 36 in order to do electric connection being provided
It is. Furthermore, in the wiring pattern 35 which is exposed in open part 36
Processing such as gold-plating is administered. In addition, wiring putter
Resist layer 37 to be formed by the surface of [n] 35, [re]
Resist open part 38 to be provided in gist layer 37,
[ru]. (Figure 3- (h)).
[0033] Consequently, the semiconductor package 33 which is laminated
The part of terminal 29 for lamination connection, making use of heating tool 39
The 150.deg.C-400.deg.C heating, hot pressing between 1-5 seconds
Arrival is done. With this hot pressing arrival semiconductor package 33
Terminal 29 for lamination connection, and, semiconductor [batsukeji] 3
Terminal open part of 29 for lamination connection of 3 and 2nd base material 34
At plated layer of the wiring pattern 35 which is exposed in 36 between the metal
Forming chemical compound, electric, at the same time, mechanical connection is done
With simultaneously, depending on the thing where thermoplastic resin layer 22 melts,
Each semiconductor package 33, and, semiconductor [patsuke]
[ji] 33 and 2nd base material 34 glues is locked. (Figure
3- (i)).
[0034] Next <HAN> and </HAN> [rejisu] which is provided in 2nd base material 34
Solder ball 40 is formed in [to] open part 38. As for this it is
As for the ball 40 which is, solder [pe] [suto] after the printing as for reflow
It is good forming it is by doing the process which is and,

Solder ball 40 after the mount, reflow process line
Becoming, it is good forming. Furthermore, with form of this execution <HAN> and </HAN>
In base material 34 of 2, on only single sided side wiring pattern 35
Is formed, but wiring pattern 35 the 2nd insulated basis
Forming in both sides of board 34, those which in addition it formed in many layer
It is good using. (Figure 3- (j)).
[0035] Next, in seal resin such as epoxy 42 depending,
Molding the layered product of the semiconductor package which it formed, it seals
It does, it forms the semiconductor device by the lamination semiconductor package
[ru]. (Figure 1- (k)).
[0036] The lamination semiconductor pas which was formed like above
As for the semiconductor device by [tsukeji], the semiconductor device and the base material
The case of connection and, laminating the semiconductor package, the occasion where you connect
Another component not to need, in addition connection at brief possibility
Because it becomes, production process to become simple, raw of the semiconductor device
Product characteristic is superior very.
[0037] < Advantages of Invention >>According to this invention, productivity it was superior the half derived
The body device and it is produced to obtain its production method.

(19)日本国特許庁（ＪＰ）　(12)**公開特許公報**（Ａ）　(11)特許出願公開番号
特開2001－274034
（P2001－274034A）
(43)公開日　平成13年10月５日(2001.10.5)

(51)Int.Cl.[7]	識別記号	ＦＩ		テーマコード（参考）
Ｈ０１Ｇ　2/06		Ｈ０１Ｇ　4/10		５Ｅ００１
4/33		4/12	３９７	５Ｅ０８２
4/10		Ｈ０１Ｌ　25/00	Ｂ	５Ｅ３２１
4/12	３９７	Ｈ０５Ｋ　9/00	Ｒ	
Ｈ０１Ｌ　23/12		Ｈ０１Ｇ　1/035	Ｄ	

審査請求　未請求　請求項の数10　ＯＬ　（全 10 頁）　最終頁に続く

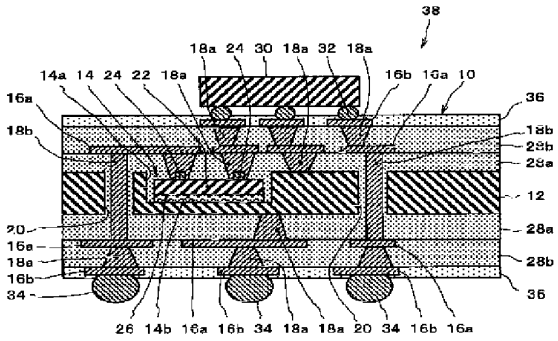
(21)出願番号　特願2000－276514(P2000－276514)
(22)出願日　平成12年９月12日(2000.9.12)
(31)優先権主張番号　特願2000－11767(P2000－11767)
(32)優先日　平成12年１月20日(2000.1.20)
(33)優先権主張国　日本（ＪＰ）

(71)出願人　000190688
新光電気工業株式会社
長野県長野市大字栗田字舎利田711番地
(72)発明者　六川　昭雄
長野県長野市大字栗田字舎利田711番地
新光電気工業株式会社内
(72)発明者　今井　一成
長野県長野市大字栗田字舎利田711番地
新光電気工業株式会社内
(74)代理人　100077621
弁理士　綿貫　隆夫　（外１名）

最終頁に続く

(54)【発明の名称】　電子部品パッケージ

(57)【要約】
【課題】　電子部品を高密度に実装できると共に、電子部品に対する電磁ノイズからのシールド効果も有する電子部品パッケージを提供する。
【解決手段】　コア材１２に形成された凹部１４と、凹部１４内に埋め込まれた半導体チップ２２と、凹部１４の開口側のコア材１２の表面に凹部１４を覆うように形成された絶縁層２８ａ、２８ｂと、絶縁層２８ａ、２８ｂの表面に形成された配線層１６ａ、１６ｂと、絶縁層２８ａ、２８ｂに形成され、配線層１６ａ、１６ｂと半導体チップ２２の凹部１４開口側の表面に形成された電極端子２４とを電気的に接続するビア１８ａ、１８ｂとを有する電子部品パッケージ１０において、凹部１４の内壁面１４ａおよび底面１４ｂが、導電性金属である。



【特許請求の範囲】
【請求項１】　コア材に形成された凹部と、該凹部内に埋め込まれた電子部品と、前記凹部の開口側の前記コア材の表面に該凹部を覆うように形成された絶縁層と、該絶縁層の表面に形成された配線層と、前記絶縁層に形成され、該配線層と前記電子部品の凹部開口側の表面に形成された電極とを電気的に接続するビアとを具備する電子部品パッケージにおいて、
前記凹部の内壁面および底面が、導電性金属であることを特徴とする電子部品パッケージ。
【請求項２】　前記コア材が、導電性金属からなることを特徴とする請求項１記載の電子部品パッケージ。
【請求項３】　前記コア材が、絶縁材料からなり、
前記凹部の内壁面および底面が、導電性金属からなるめっき被膜によって覆われていることを特徴とする請求項１記載の電子部品パッケージ。
【請求項４】　前記電子部品が、半導体チップであることを特徴とする請求項１、２または３記載の電子部品パッケージ。
【請求項５】　前記電子部品が、表裏両面に電極が形成されたコンデンサ、インダクタ又は抵抗であり、裏面側が導電性接着ペースト又は導電性接着シートを用いて形成された導電層を介して前記凹部の底面に接合され、裏面側の電極が、該導電層と前記凹部の内壁面および底面の導電性金属とを介して前記配線層に電気的に接続されていることを特徴とする請求項１、２または３記載の電子部品パッケージ。
【請求項６】　前記コンデンサが、ｐ型シリコンからなる薄板と、該薄板の一方の面に形成された白金からなる金属層と、前記薄板の他方の面に形成された誘電体層と、該誘電体層上に形成された電極とを具備することを特徴とする請求項５記載の電子部品パッケージ。
【請求項７】　前記コンデンサが、ｎ型シリコンからなる薄板と、該薄板の一方の面に形成されたチタンもしくは鉛からなる金属層と、前記薄板の他方の面に形成された誘電体層と、該誘電体層上に形成された電極とを具備することを特徴とする請求項５記載の電子部品パッケージ。
【請求項８】　前記コンデンサが、金属箔の表面に陽極化成法により酸化被膜が形成され、該酸化被膜上に電極が形成されたコンデンサであることを特徴とする請求項５記載の電子部品パッケージ。
【請求項９】　前記コンデンサが、チタン金属箔の表面に水熱合成法により誘電体層が形成され、該誘電体層上に電極が形成されたコンデンサであることを特徴とする請求項５記載の電子部品パッケージ。
【請求項１０】　前記電子部品が、コンデンサであることを特徴とする請求項１、２または３記載の電子部品パッケージ。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は、電子部品パッケージに関し、さらに詳細には半導体チップ、コンデンサ、インダクタ等の電子部品をコア材中に埋め込んで搭載した電子部品パッケージに関する。
【０００２】
【従来の技術】従来、コア材に形成された凹部内に電子部品（半導体チップやコンデンサや抵抗やインダクタ）を埋め込み、その後、凹部の開口側のコア材の表裏両面に凹部を覆うように絶縁層と配線層を積層して電子部品パッケージを形成するものとして、特許第2842378号（特開平9-321408号）に開示されたものが公知である。この構造を採用することによって、電子部品パッケージへの電子部品の実装を高密度化できる。
【０００３】
【発明が解決しようとする課題】ところで近年では、電子部品パッケージに実装される電子部品の動作周波数や電子部品に流れる電気信号の周波数が高周波化し、それに伴ない電子部品パッケージ上において発生する電磁ノイズが増加してきている。このため、ノイズによる誤動作等を防止できるように、ノイズから電子部品をシールドできる構造の電子部品パッケージが望まれている。しかしながら、従来例で説明した特許第2842378号の構造では、電子部品は樹脂材料からなるコア材としてのプリント基板に埋め込まれているだけであるから、埋め込まれた電子部品が導電体で囲まれておらず、ノイズからの電磁シールド構造といったものは全く無い。よって、回路基板に実装された電子部品がノイズを拾って誤動作したり、また電子部品が拾ったノイズが電子部品に流れる電気信号に重畳するといった課題がある。
【０００４】従って、本発明は上記課題を解決すべくなされ、その目的とするところは、電子部品を高密度に実装できると共に、電子部品に対する電磁ノイズからのシールド効果も有する電子部品パッケージを提供することにある。
【０００５】
【課題を解決するための手段】本発明は上記課題を解決するために、コア材に形成された凹部と、該凹部内に埋め込まれた電子部品と、前記凹部の開口側の前記コア材の表面に該凹部を覆うように形成された絶縁層と、該絶縁層の表面に形成された配線層と、前記絶縁層に形成され、該配線層と前記電子部品の凹部開口側の表面に形成された電極とを電気的に接続するビアとを具備する電子部品パッケージにおいて、前記凹部の内壁面および底面が、導電性金属であることを特徴とする。また、具体的には前記コア材が、導電性金属からなる構成を採用できる。また、前記コア材が、絶縁材料からなり、前記凹部の内壁面および底面が、導電性金属からなるめっき被膜によって覆われている構成を採用することもできる。これらの構成によれば、高密度で電子部品を実装できると

共に、凹部内に埋め込まれた電子部品は、凹部開口部分を除き、導電性金属で覆われるから、ノイズに対して電磁シールドされて、凹部内の電子部品へのノイズの影響が軽減されるという効果がある。

【０００６】また、前記電子部品が、半導体チップである構成も採用できる。また、前記電子部品が、表裏両面に電極が形成されたコンデンサ、インダクタ又は抵抗であり、裏面側が導電性接着ペースト又は導電性接着シートを用いて形成された導電層を介して前記凹部の底面に接合され、裏面側の電極が、該導電層と前記凹部の内壁面および底面の導電性金属とを介して前記配線層に電気的に接続されている構成とすることも可能である。

【０００７】前記コンデンサに、ｐ型シリコンからなる薄板と、該薄板の一方の面に形成された白金からなる金属層と、前記薄板の他方の面に形成された誘電体層と、該誘電体層上に形成された電極とを具備するコンデンサを用いることができる。あるいは、前記コンデンサに、ｎ型シリコンからなる薄板と、該薄板の一方の面に形成されたチタンもしくは鉛からなる金属層と、前記薄板の他方の面に形成された誘電体層と、該誘電体層上に形成された電極とを具備するコンデンサを用いることができる。

【０００８】また、前記コンデンサに、金属箔の表面に陽極化成法により酸化被膜が形成され、該酸化被膜上に電極が形成されたコンデンサを用いることができる。また、前記コンデンサに、チタン金属箔の表面に水熱合成法により誘電体層が形成され、該誘電体層上に電極が形成されたコンデンサを用いることができる。あるいは、前記電子部品に、コンデンサを用いてもよい。

【０００９】

【発明の実施の形態】以下、本発明に係る電子部品パッケージの好適な実施の形態を添付図面に基づいて詳細に説明する。

（第１の実施の形態）電子部品パッケージ１０の構造について説明する。コア材１２には凹部１４が形成されている。本実施の形態では、コア材１２は、銅等の導電性金属を板状に形成したものである。そしてこの凹部１４はルーター等の機器を使用してコア材１２の表面を削って形成したり、またエッチングで形成する。また、凹部１４の平面形状は、凹部１４に埋め込まれる電子部品の大きさを考慮して、電子部品が収容可能な形状に設定されている。電子部品パッケージ１０に搭載される電子部品の平面形状は通常四角形であるため、凹部１４の平面形状もこれに合わせて四角形とするのが一般的であるが、これに限定されることは無く、円形や四角形以外の多角形とすることも可能である。

【００１０】また、凹部１４の深さは、ノイズに対するシールド効果を高めるために、電子部品が完全に収容され、電子部品が凹部１４から突出しない程度の深さが望ましいが、これに限定されるものではない。また、コア材１２には凹部１４のほか、コア材１２の表面および裏面に配置された配線層１６同士を電気的に接続するビア１８を通すための貫通孔２０が、凹部１４と同様の手段によって形成されている。

【００１１】そして、凹部１４内には電子部品の一例として半導体チップ２２が埋め込まれている。半導体チップ２２の埋め込み構造は、半導体チップ２２をその電極（電極端子とも言う）２４が形成された面（以下、電極端子形成面とも言う）を凹部１４の開口側にむけて、逆側の面（背面）を凹部１４の底面に接着剤２６を用いて接着して凹部１４に収容・固定する。

【００１２】そしてコア材１２の表裏両面には、電気的絶縁層（以下、単に絶縁層とも言う）２８と配線層１６とが、この順番で、凹部１４の開口側のコア材１２の表面に、凹部１４を覆うように多層に積層されて形成されている。そして、各配線層１６は、絶縁層２８やコア材１２を貫通するビア１８によって電気的に接続されている。本実施の形態では、コア材１２の表裏両面に、絶縁層２８と配線層１６とがそれぞれ一例として２層ずつ積層されて形成されているが、３層以上の場合も考え方は同じである。絶縁層２８は、第１絶縁層２８ａとその上層の第２絶縁層２８ｂとから成る。また、配線層１６は、第１絶縁層２８ａの表面に形成された第１配線層１６ａと、第２絶縁層２８ｂの表面に形成された第２配線層１６ｂとから成る。また、ビア１８は、コア材１２の一方の面側に配置された絶縁層２８を貫通し、この一方の面側に配置された配線層１６同士、または配線層１６とコア材１２、または配線層１６と半導体チップ２２の電極端子２４を電気的に接続する第１ビア１８ａと、コア材１２の貫通孔２０を貫通してコア材１２の表裏に形成された配線層１６同士を電気的に接続する第２ビア１８ｂとから構成されている。

【００１３】そして、第２絶縁層２８ｂや第２配線層１６ｂの表面には、電子部品パッケージ１０に搭載される半導体チップ３０のバンプ３２や電子部品パッケージ１０の外部接続端子３４が取り付けられるランド部となる第２配線層１６ｂの所定の部位のみが露出するように、ソルダーレジストによる被覆層３６が形成されている。以上が、電子部品パッケージ１０の構成である。なお、第２配線層１６ｂのランド部に外部接続端子３４を取り付けた状態で電子部品パッケージ１０とすることもある。また、コア材１２に形成する凹部１４の数は２つ以上形成し、複数の電子部品をコア材１２中に埋め込む構成としても良いし、コア材１２の一方の表面だけでなく、両面に凹部１４を形成して電子部品を埋め込む構造とすることも可能であり、さらなる高密度化が図れる。

【００１４】そして、この電子部品パッケージ１０の表面（図１中の上面）に、他の半導体チップ３０をバンプ３２を介して搭載し、また電子部品パッケージ１０の裏面（図１中の下面）に、はんだボール等の外部接続端子

３４が接続されて半導体装置３８となる。このような電子部品パッケージ１０や半導体装置３８では、凹部１４の内壁面１４ａ及び底面１４ｂが導電性金属であるから、コア材１２の凹部１４の内壁面１４ａや底面１４ｂが電磁シールド壁となって電子部品パッケージ１０に搭載された他の電子部品や配線層で発生したノイズが凹部１４内の半導体チップ２２に直接悪影響を及ぼす程度を軽減できる。さらに、配線層１６と比較して厚く、電気的な抵抗値が低いために安定した電位となるコア材１２を通常、グランド層として使用するが、このように安定した電位となる導電性金属でコア材１２の凹部１４内に埋め込まれた半導体チップ２２が取り囲まれることもノイズ軽減に非常に効果がある。

【００１５】またさらに、凹部１４内の半導体チップ２２はその背面がコア材１２に接着されているため、半導体チップ２２で発生する熱がコア材１２に効率良く逃げ、半導体チップ２２が効率良く冷却されるという効果もあり、埋め込まれた半導体チップ２２の寿命が延び、結果として電子部品パッケージ１０や半導体装置３８の安定性が高まると考えられる。また、さらには半導体チップ２２が非常に薄いものであっても、樹脂材に比べて剛性のある金属製のコア材１２に形成された凹部１４内に収容されているため、外力が加わっても半導体チップ２２にクラックが生じにくいという効果もある。

【００１６】次に、電子部品パッケージ１０の製造方法を、図４～図１３を用いて説明する。まず、導電性金属の一例として銅基板をコア材１２として用意する（図４参照）。そして、コア材１２の表面に、エッチングやルータ加工によって、凹部１４を形成する（図５参照）。次に、コア材１２の、第２ビア１８ｂを貫通させる位置に、貫通孔２０を形成する（図６参照）。次に、コア材１２の、凹部１４内に電子部品としての半導体チップ２２を接着する（図７参照）。

【００１７】次に、コア材１２の表裏両面に、凹部１４を覆うように第１絶縁層２８ａを形成すると共に、第１絶縁層２８ａを形成する樹脂材料（ＰＰＥ樹脂等）をコア材１２の貫通孔２０や凹部１４内に充填する（図８参照）。次に、第１絶縁層２８ａに、レーザ光を照射して第１ビア孔５２と第２ビア孔５４を形成する。第１ビア孔５２は、半導体チップ２２の電極端子２４やコア材１２の表面が底面に露出する露出孔として形成される。また、第２ビア孔５４は、コア材１２の貫通孔２０に充填された樹脂とコア材１２の表裏両面に形成された第１絶縁層２８ａを貫通する構成に形成される。ここで、第２ビア孔５４を形成する際には、貫通孔２０の内壁面が露出しないようにする（図９参照）。なお、絶縁層にビア孔を形成する手法としては、レーザ光照射に代えて化学的にエッチングして形成する手法も考えられる。

【００１８】次に、無電解銅めっき及び電解銅めっきを施して、第１絶縁層２８ａの表面に金属めっき被膜を形成すると共に、第１ビア孔５２と第２ビア孔５４内を導体で充填する。そして、第１絶縁層２８ａの表面の金属めっき被膜を所定のパターンに従ってエッチングして第１配線層１６ａを形成する。金属めっき被膜の表面に感光性レジストを塗布し、感光性レジストを露光・現像してレジストパターンを形成し、レジストパターンによって被覆されていない部位の金属めっき被膜の露出部分を除去することによって、所定のパターンの配線層を形成することができる（図１０参照）。ここで、第１ビア孔５２内に導体が充填されて第１ビア１８ａとなり、また第２ビア孔５４内に導体が充填されて第２ビア１８ｂとなる。

【００１９】次に、コア材１２の表裏両面の第１絶縁層２８ａ及び第１配線層１６ａの表面を覆うように第２絶縁層２８ｂを形成する。そして、第２絶縁層２８ｂに、レーザ光を照射して第１ビア孔５２を形成する（図１１参照）。この第１ビア孔５２は底面に第１配線層１６ａの所定の部位が露出する露出孔として形成する。次に、無電解銅めっき及び電解銅めっきを施して、第２絶縁層２８ｂの表面に金属めっき被膜を形成すると共に、第１ビア孔５２内を導体で充填する。そして、第２絶縁層２８ｂの表面の金属めっき被膜を、第１配線層２８ａの場合と同様に、所定のパターンに従ってエッチングして第２配線層１６ｂを形成する（図１２参照）。第１ビア孔５２内を導体で充填することで、第１ビア１８ａが形成される。

【００２０】最後に、第２絶縁層２８ｂ及び第２配線層１６ｂの表面に、電子部品パッケージ１０に搭載される半導体チップ３０のバンプ３２や電子部品パッケージ１０の外部接続端子３４が取り付けられるランド部となる第２配線層１６ｂの所定の部位のみが露出するように、ソルダーレジストによる被覆層３６を形成する（図１３参照）。以上が、電子部品パッケージ１０の製造方法である。

【００２１】（第２の実施の形態）電子部品パッケージ４０の構造について説明する。まず、第１の実施の形態との相違点についてその概要を説明すると、本実施の形態のコア材１２は、ガラス・エポキシ基板やＢＴ（ビスマレイミド　トリアジン）基板等の電気的な絶縁性を有する材料（絶縁材料）で形成された板体で構成されている点にある。このためコア材１２の凹部１４内に埋め込まれる電子部品をシールドするため、コア材１２の表面に配線層４２を形成する際に、凹部１４の内壁面１４ａおよび底面１４ｂもこの配線層４２を形成する導電性を有する金属めっき被膜４４で覆い、この金属めっき被膜４４で凹部１４内に収容される電子部品を電磁シールドする構成としている。

【００２２】コア材１２に関する部分の構造が相違するのみで、コア材１２に積層する絶縁層２８や配線層１６や被覆層３６の構造は第１の実施の形態と同じであるか

ら、同じ構成については同じ符号を付して説明は省略し、相違する構成のみを説明する。コア材１２には凹部１４が形成されている。本実施の形態では、コア材１２は、前述のような絶縁材料を板状に形成したものである。コア材１２の表面と裏面には配線層４２が形成されている。また、凹部１４の内壁面１４ａと底面１４ｂは、この配線層４２を形成する導電性を有する金属めっき被膜４４で覆われている。

【００２３】コア材１２を貫通する第２ビア１８は、コア材１２の表面に形成された配線層４２同士、またはコア材１２の表面に形成された配線層４２と絶縁層２８の表面に形成された第１配線層１６ａとを電気的に接続する。なお、第２ビア１８の内、コア材１２の表面に形成された配線層４２同士を接続するものの構造は、一例としてコア材１２に形成された貫通孔２０の内周面に金属めっき被膜４６を形成した後に樹脂４８を充填してなるものであるが、他の構造でも良い。また、凹部１４の内壁面１４ａや底面１４ｂに形成された金属めっき被膜４４は、第１ビア１８ａおよび／または第２ビア１８ｂによって電子部品パッケージ４０に搭載される半導体チップ３０のグランド用バンプおよび／または外部接続端子３４と電気的に接続されている。本実施の形態では、凹部１４内の金属めっき被膜４４は、コア材１２の表面に形成された配線層４２と第１ビア１８ａと第１配線層１６ａと第２配線層１６ｂを介して半導体チップ３０のグランド用バンプと接続されると共に、第１絶縁層２８ａとコア材１２を貫通して凹部１４の底面１４ｂに達する第２ビア１８ｂにより外部接続端子３４とも電気的に接続されている。

【００２４】このように、コア材１２が絶縁材料で形成されていても、コア材１２中に埋め込まれる半導体チップ２２が収容される凹部１４の内壁面１４ａや底面１４ｂが、導電性を有して所定の電位（例えばグランド電位）になっている金属めっき被膜４４で覆われているため、第１の実施の形態と同様に、半導体チップ２２が金属めっき被膜４４で電磁シールドされてノイズが直接半導体チップ２２に飛び込むことを低減することが可能となる。

【００２５】（第３の実施の形態）前述した各実施の形態において、コア材１２の凹部１４内に収容されて埋め込まれる電子部品として半導体チップ２２を例に挙げて説明してきたが、半導体チップ２２以外にも抵抗やコンデンサといった他の電子部品を凹部１４内に収容してコア材１２中に埋め込むことができる。そして、コンデンサや抵抗やインダクタといった電子部品５０は、図３に示すように下部電極となるシリコン基板５０ａの表面に誘電材料や抵抗材料の被膜５０ｂを形成し、この被膜５０ｂの表面に上部電極となる導電性被膜５０ｃを形成することで構成することが可能である。

【００２６】この構造の電子部品５０においては、下部電極であるシリコン基板５０ａを凹部１４内に接着する際の接着剤２６に導電性ペーストまたは導電性接着シート等の導電性を有する接着剤（導電層）を使用することによって、電子部品５０の下部電極５０ａを電気的に凹部１４の底面１４ｂに形成された金属めっき被膜４４と接続することが可能となるから、第２の実施の形態の構造の電子部品パッケージ４０を利用することによって、凹部１４の底面１４ｂおよび内壁面１４ａを覆う金属めっき被膜４４を配線層として使用し、電子部品パッケージ１０に搭載された半導体チップ３０や他の電子部品や外部接続端子３４と電気的に接続することが可能となる。なお、図３においては、一例として第２の実施の形態の電子部品パッケージ４０を用いて説明したが、第１の実施の形態の電子部品パッケージ１０にも同様にコンデンサや抵抗やインダクタといった電子部品５０を搭載できる。

【００２７】図１４にコンデンサ５０の一例を示す。下部電極５０ａにシリコン基板を用いるときは、ｐ型もしくはｎ型シリコンからなる薄板を用いると好適である（以下薄板５０ａとして説明する）。この薄板５０ａは、シリコンウェーハをポリッシングして厚さ３０～５０μｍ程度に薄化し、所要サイズに切断して形成される。ウェーハをポリッシングすることで、表面は鏡面となり、平坦度の高いものとなる。

【００２８】この薄板５０ａの一方の面上に金属層５０ｄを形成する。金属層５０ｄは、薄板５０ａがｐ型シリコンであるときは白金の層とし、薄板５０ａがｎ型シリコンであるときはチタンまたは鉛の層とする。これら金属層５０ｄは、薄板５０ａの一方の面にスパッタリングや蒸着によって形成できる。金属層５０ｄの厚さは特に限定されないが、数μｍ～数十μｍのものとすることができる。

【００２９】薄板５０ａがｐ型シリコンで金属層５０ｄが白金のとき、また薄板５０ａがｎ型シリコンで金属層５０ｄがチタンまたは鉛のとき、薄板５０ａと金属層５０ｄとの間は、仕事関数の差から明らかなようにオーミック接続となり、いずれの方向の電流をも通す。薄板５０ａと金属層５０ｄの組み合わせが上記以外のときはショットキー接続となり、整流作用が生じ、ある一方向の電流しか流れなくなる。

【００３０】薄板５０ａの他方の面にスパッタリング等によって誘電材料からなる被膜５０ｂを形成する。被膜５０ｂの厚さは薄い程、高容量のキャパシタが得られる。薄い被膜５０ｂを得るには、薄板５０ａの平坦度が重要であるが、上記のように薄板５０ａはウェーハをポリッシングして得ることができるので、その平坦度は大きく、したがって、ピンホールの無い薄い被膜５０ｂの形成が可能となる。

【００３１】被膜５０ｂには、酸化タンタル（Ta_2O_5）、チタン酸ストロンチウム（$SrTiO_3$）、チ

タン酸バリウム（$BaTiO_3$）、チタン酸ジルコン酸鉛（$PbZr_x\ Ti_{1-x}O_3$）、もしくはチタン酸ストロンチウムバリウム（$Ba_x\ Sr_{1-x}TiO_3$）などの誘電材料を用いると好適である。

【００３２】被膜５０ｂの上に上部電極である導電性被膜５０ｃを形成するのである。導電性被膜５０ｃは、被膜５０ｂとの密着性を向上させるために、被膜５０ｂ上にまずクロム層（図示せず）をスパッタリングにより形成し、このクロム層上にスパッタリング等により銅層を形成するようにするとよい。シリコンウェーハ上に上記構成のコンデンサ５０を多数作り込み、これを切断して個片のコンデンサ５０に分離するようにすると好適である。上記のコンデンサ５０を、金属層５０ｄを凹部１４の底面側に向けて導電性接着剤２６により金属めっき被膜４４上に固定するようにする。

【００３３】図１５はコンデンサ５０のさらに他の実施の形態を示す。１３はアルミニウム、チタン、タンタル等のバルブ金属箔である。このバルブ金属箔１３に公知の陽極化成法（陽極酸化）により、表面に酸化被膜１５を形成する。バルブ金属箔１３は５μｍ～３０μｍ程度の薄い肉厚のものを用いることができ、このバルブ金属箔１３の表面に０．３μｍ程度の極めて薄い酸化被膜１５を形成することができる。バルブ金属箔１３は、ロール状に巻回したもの、あるいは広い面積を有するシート状のものを用いることができ、効率よく陽極化成処理を施すことができる。

【００３４】バルブ金属箔１３の両面の酸化被膜１５上に、スパッタリングあるいは蒸着により銅層を形成して電極膜１７、１７を形成する。このバルブ金属箔１３を所望の大きさに裁断して、コンデンサ５０に形成する。酸化被膜１５は硬くて脆いが、芯にフレキシブルなバルブ金属箔１３が存在するので、全体として、脆さは低減され、取り扱いやすい。なお、上記では、バルブ金属箔１３の両面に、酸化被膜１５、電極膜１７を形成したが、バルブ金属箔１３の片面にのみ酸化被膜１５、電極膜１７を形成するようにしてもよい。

【００３５】また上記実施の形態では、バルブ金属箔１３上に、誘電体層としての酸化被膜１５を陽極化成処理により形成したが、水熱合成法によってチタン金属箔上に強誘電体であるチタン酸ジルコン酸鉛、チタン酸ストロンチウム、チタン酸バリウム、チタン酸ストロンチウムバリウムの結晶膜を形成して誘電体層としてもよい（図示せず）。水熱合成法でチタン酸ジルコン酸鉛（ＰＺＴ）結晶膜を生成させるには、鉛化合物、ジルコン化合物、チタン化合物を溶解させた強アルカリ溶液にチタン金属箔を浸漬し、２００℃以下、２～３ａｔｍ（１ａｔｍ＝１．０１３２５ｂａｒ）程度に設定されたオートクレーブ中に入れ、水熱合成反応を起させ、ＰＺＴ結晶膜を生成させるようにする。他の誘電体層も所要の水熱合成法によって形成することができる。このように誘電体層を形成したチタン金属箔を裁断してコンデンサにすることができる。

【００３６】図１６はコンデンサ５０のさらに他の実施の形態を示す。このコンデンサ５０は、電極が多極化されてマトリクス状に配置されたマルチ電極コンデンサである。このマルチ電極コンデンサは、コンデンサ自身がもつ寄生インダクタンスを低減でき、これを組み込む電子部品パッケージ全体のインダクタンスを低減できる利点がある。このコンデンサ５０も上記と同様にして凹部１４内に組み込むことができる。なお、多極の各電極にビアを通じて電気的に接続をとることは言うまでもない。

【００３７】次に、電子部品パッケージ４０の製造方法を、図１７～図２６を用いて説明する。なお、第１の実施の形態の電子部品パッケージ１０と同様の処理については同じ符号を付し、説明は省略する。まず、板状の樹脂基材１２ａの両面に導体層１２ｂが形成された樹脂基板、一例として両面銅貼り基板をコア材１２として用意する（図１７参照）。そして、コア材１２の表面に、エッチングやルータ加工によって、底面１４ｂと内壁面１４ａが樹脂基材１２ａを形成する樹脂で形成された凹部１４と、内面に樹脂基材１２ａを形成する樹脂が露出する貫通孔２０を形成する（図１８参照）。次に、図１０と同様の手法で、コア材１２の表面、凹部１４の底面１４ｂと内壁面１４ａに電解めっき被膜を形成すると共に、貫通孔２０内を導体（めっき）で充填する。そして、コア材１２の表面の電解めっき被膜をパターンニングして、コア材１２の表裏両面に配線層４２を形成する（図１９参照）。凹部１４の底面１４ｂと内壁面１４ａの電解めっき被膜はエッチングせずに残し、一部の配線層４２と接続した状態とする。貫通孔２０内を導体（めっき）で充填することで、第２ビア１８ｂが形成される。

【００３８】次に、凹部１４内に、電子部品５０を搭載する。電子部品５０は一例として、表裏両面に電極（下部電極はシリコン基板５０ａ、上部電極は導電性被膜５０ｃ）が形成されたコンデンサであるが、他の電子部品の場合も同様である（図２０参照）。電子部品５０の下部電極は、接着剤に導電性材料を使用して凹部１４の底面１４ｂに形成された電解めっき被膜４４と導通させる。次に、コア材１２の表裏両面に、凹部１４や電子部品５０を覆うように第１絶縁層２８ａを形成する（図２１参照）。次に、第１絶縁層２８ａに、レーザ光を照射して、底面に配線層４２の表面や電子部品５０の上部電極５０ｃが露出する第１ビア孔５２を形成する。また、さらにコア材１２の裏面側からレーザ光を照射して、第１絶縁層２８ａとコア材１２を貫通して凹部１４の底面１４ｂに形成された金属めっき被膜４４を底面に露出させる第２ビア孔５４を形成する（図２２参照）。

【００３９】次に、図１０と同様にして、無電解銅めっ

き及び電解銅めっきを施して、第１絶縁層２８ａの表面に金属めっき被膜を形成する。また、第１ビア孔５２と第２ビア孔５４内を導体で充填して第１ビア１８ａと第２ビア１８ｂを形成する。そして、第１絶縁層２８ａの表面の金属めっき被膜を所定のパターンに従ってエッチングして第１配線層１６ａを形成する（図２３参照）。次に、コア材１２の表裏両面の第１絶縁層２８ａ及び第１配線層１６ａの表面を覆うように第２絶縁層２８ｂを形成する（図２４参照）。次に、第２絶縁層２８ｂに、レーザ光を照射して第１ビア孔５２を形成すると共に、図１２と同様にして第２配線層１６ｂと第１ビア１８ａを形成する（図２５参照）。そして最後に、図１３と同様にして、第２絶縁層２８ｂ及び第２配線層１６ｂの表面に、ソルダーレジストによる被覆層３６を形成する（図２６参照）。以上が、電子部品パッケージ４０の製造方法である。

【００４０】

【発明の効果】本発明に係る電子部品パッケージによれば、高密度で電子部品を実装できると共に、凹部内に埋め込まれた電子部品は、凹部開口部分を除き、導電性金属材で覆われるから、ノイズに対して電磁シールドされて、凹部内の電子部品へのノイズの影響が軽減されるという効果がある。

【図面の簡単な説明】

【図１】本発明に係る電子部品パッケージの第１の実施の形態の構成を説明するための説明図である。

【図２】本発明に係る電子部品パッケージの第２の実施の形態の構成を説明するための説明図である。

【図３】本発明に係る電子部品パッケージの第３の実施の形態の構成を説明するための説明図である。

【図４】図１の電子部品パッケージの製造方法を説明するための説明図である。

【図５】図１の電子部品パッケージの製造方法を説明するための説明図である。

【図６】図１の電子部品パッケージの製造方法を説明するための説明図である。

【図７】図１の電子部品パッケージの製造方法を説明するための説明図である。

【図８】図１の電子部品パッケージの製造方法を説明するための説明図である。

【図９】図１の電子部品パッケージの製造方法を説明するための説明図である。

【図１０】図１の電子部品パッケージの製造方法を説明するための説明図である。

【図１１】図１の電子部品パッケージの製造方法を説明するための説明図である。

【図１２】図１の電子部品パッケージの製造方法を説明するための説明図である。

【図１３】図１の電子部品パッケージの製造方法を説明するための説明図である。

【図１４】コンデンサの一例を示す断面図である。

【図１５】コンデンサの他の例を示す断面図である。

【図１６】マルチ電極コンデンサの説明図である。

【図１７】図３の電子部品パッケージの製造方法を説明するための説明図である。

【図１８】図３の電子部品パッケージの製造方法を説明するための説明図である。

【図１９】図３の電子部品パッケージの製造方法を説明するための説明図である。

【図２０】図３の電子部品パッケージの製造方法を説明するための説明図である。

【図２１】図３の電子部品パッケージの製造方法を説明するための説明図である。

【図２２】図３の電子部品パッケージの製造方法を説明するための説明図である。

【図２３】図３の電子部品パッケージの製造方法を説明するための説明図である。

【図２４】図３の電子部品パッケージの製造方法を説明するための説明図である。

【図２５】図３の電子部品パッケージの製造方法を説明するための説明図である。

【図２６】図３の電子部品パッケージの製造方法を説明するための説明図である。

【符号の説明】

１０　電子部品パッケージ
１２　コア材
１４　凹部
１４ａ　凹部の内壁面
１４ｂ　凹部の底面
１６　配線層
１８　ビア
２２　電子部品としての半導体チップ
２４　半導体チップの電極（電極端子）
２８　絶縁層

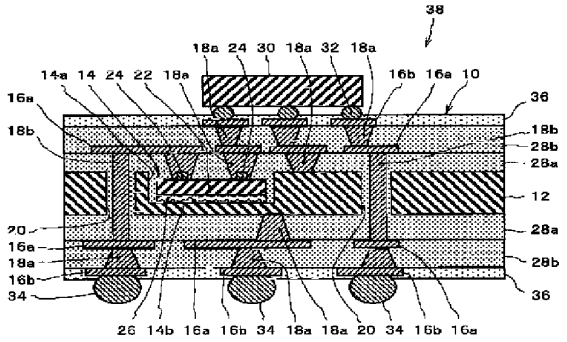
【図４】



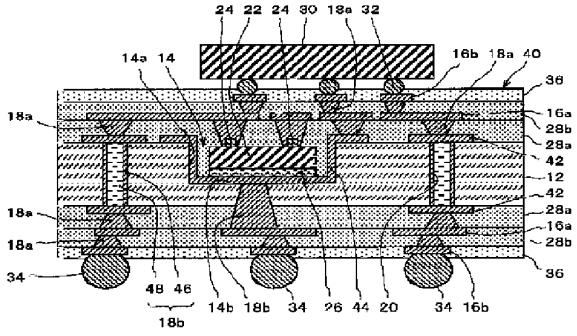
【図５】



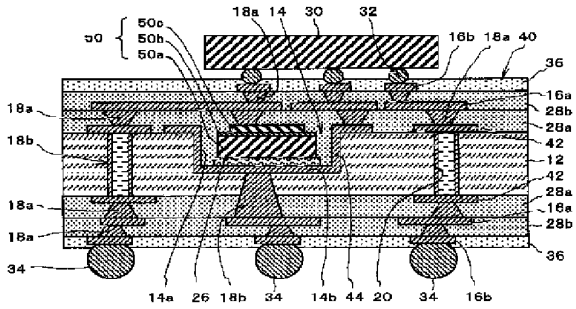
【図1】



【図2】



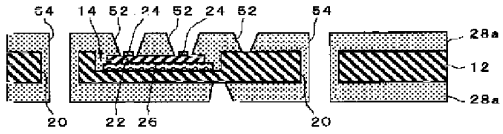
【図3】



【図6】

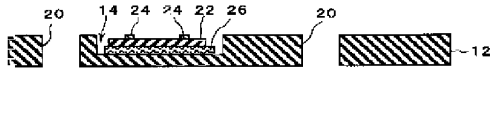


【図7】

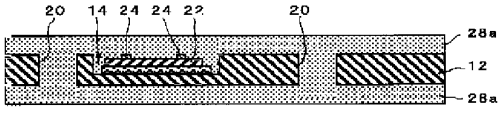


【図8】

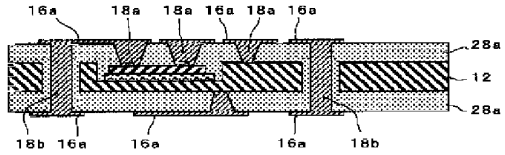
【図9】



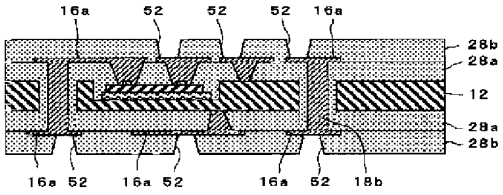
【図10】



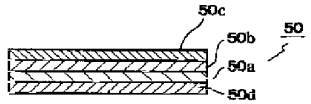
【図11】



【図14】



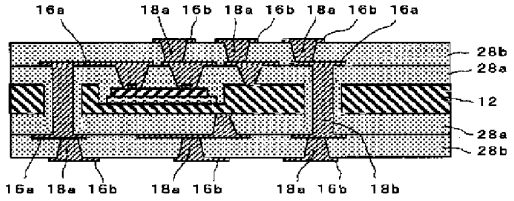
【図15】



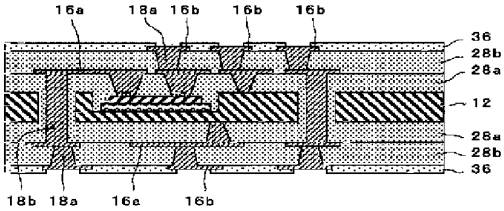
【図17】



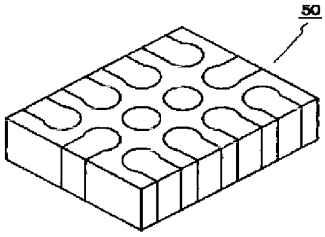
【図１２】



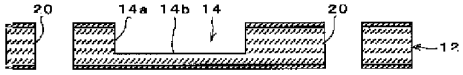
【図１３】



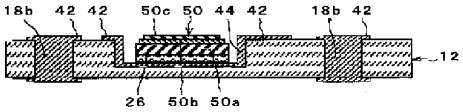
【図１６】



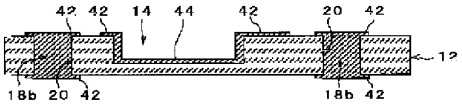
【図１８】



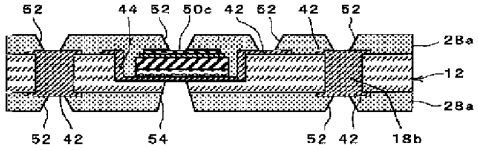
【図２０】



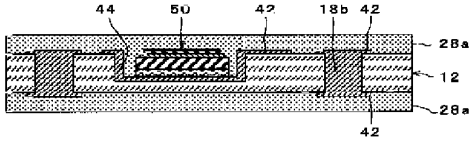
【図１９】



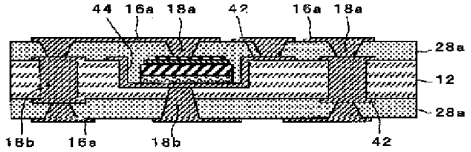
【図２２】



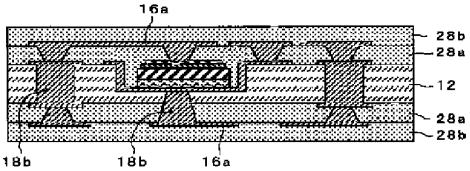
【図２１】



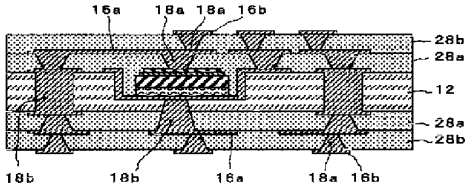
【図２３】



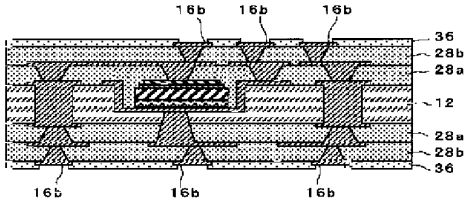
【図２４】



【図２５】



【図２６】



フロントページの続き

(51)Int.Cl.7	識別記号	ＦＩ		(参考)
Ｈ０１Ｌ 25/00		Ｈ０１Ｇ 4/06	１０２	
Ｈ０５Ｋ 9/00		Ｈ０１Ｌ 23/12	Ｂ	

(72)発明者 東 光敏
長野県長野市大字栗田字舎利田711番地
新光電気工業株式会社内
(72)発明者 渡辺 章司
長野県長野市大字栗田字舎利田711番地
新光電気工業株式会社内
(72)発明者 ミョウ・タン・ウー
長野県長野市大字栗田字舎利田711番地
新光電気工業株式会社内
(72)発明者 堀川 泰愛
長野県長野市大字栗田字舎利田711番地
新光電気工業株式会社内

Ｆターム(参考) 5E001 AB06 AC04 AC09 AC10 AE00
AE01 AE02 AE03 AF06 AH00
AH03 AJ01 AJ02 AZ01
5E082 AA01 AB03 BB05 BC17 EE05
EE18 EE23 EE24 EE26 EE37
FG03 FG04 FG26 FG27 FG41
FG42 FG44 GG26 JJ03 JJ12
JJ15 JJ21 KK01 LL03
5E321 AA17 BB23 GG05

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2001-274034**
(43)Date of publication of application : **05.10.2001**

(51)Int.Cl. H01G 2/06
H01G 4/33
H01G 4/10
H01G 4/12
H01L 23/12
H01L 25/00
H05K 9/00

(21)Application number : **2000-276514**
(22)Date of filing : **12.09.2000**

(71)Applicant : **SHINKO ELECTRIC IND CO LTD**
(72)Inventor : **MUTSUKAWA AKIO**
IMAI KAZUNARI
AZUMA MITSUTOSHI
WATANABE SHOJI
MYOU TAN UU
HORIKAWA YASUYOSHI

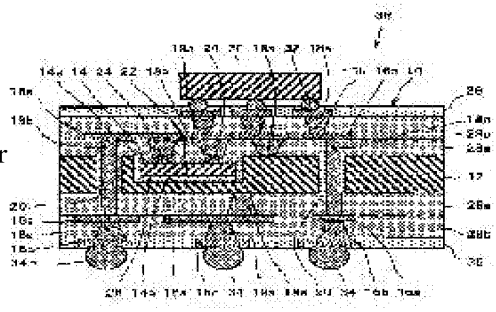
(30)Priority
Priority number : **2000011767** Priority date : **20.01.2000** Priority country : **JP**

(54) **ELECTRONIC PARTS PACKAGE**

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an electronic parts package in which electronic parts can be packed at a high density and, at the same time, which can shield the parts from electromagnetic noise.

SOLUTION: This electronic parts package 10 has a recessed section 14 formed into a core material 12, a semiconductor chip 22 buried in the section 14, insulating layers 28a and 28b formed on the surface of the material 12 on the opening side of the recessed section 14 so as to cover the section 14. This package also has wiring layers 16a and 16b formed on the surfaces of the insulating layers 28a and 28b and via holes 18a and 18b which are formed through the insulating layers 28a and 28b and electrically connect the wiring layers 16a and 16b to electrode terminals 24 formed on the surface of the semiconductor chip 22 on the opening side of the recessed section 14. The internal wall surface 14a and bottom face 14b of the recessed section 14 are composed of a conductive metal.



DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention relates to the electronic component package which embedded electronic parts, such as a semiconductor chip, a capacitor, and an inductor, into the core material, and carries them, concerning an electronic component package.

[0002]

[Description of the Prior Art]Electronic parts (a semiconductor chip, a capacitor, resistance, and inductor) are conventionally embedded in the crevice formed in the core material, Then, what was indicated by the patent No. (JP,9-321408,A) 2842378 is publicly known as what laminates an insulating layer and a wiring layer and forms an electronic component package so that a crevice may be covered to rear surface both sides of the core material by the side of the opening of a crevice. By adopting this structure, the densification of the mounting of the electronic parts to an electronic component package can be carried out.

[0003]

[Problem(s) to be Solved by the Invention]By the way, in recent years, the frequency of the electrical signal which flows into the clock frequency of the electronic parts mounted in an electronic component package or electronic parts high-frequency-izes, and the electromagnetism noise which is followed on it and generated on an electronic component package is increasing. For this reason, an electronic component package of the structure which can shield electronic parts from a noise is desired so that malfunction by a noise, etc. can be prevented. However, since electronic parts are only embedded in the structure of the patent No. 2842378 where it explained by the conventional example at the printed circuit board as a core material which consists of resin materials, the embedded electronic parts are not surrounded with a conductor, but there is no electromagnetic shielding structure from a noise. Therefore, the technical problem that the electronic parts mounted in the circuit board gather a noise, and malfunction, and the noise which electronic parts gathered is overlapped on the electrical signal which flows into electronic parts occurs.

[0004]Therefore, electronic parts can be mounted with high density, and there is a place which this invention is made that an aforementioned problem should be solved and is made into the purpose in providing the electronic component package which also has a shielding effect from the electromagnetism noise to electronic parts.

[0005]
[Means for Solving the Problem]A crevice formed in a core material in order that this invention might solve an aforementioned problem, and electronic parts embedded in this crevice, An insulating layer formed so that this crevice might be covered on the surface of said core material by the side of an opening of said crevice, In an electronic component package possessing beer which electrically connects a wiring layer formed in the surface of this insulating layer, and an electrode which was formed in said insulating layer and formed in the surface by the side of this wiring layer and a crevice opening of said electronic parts, an internal surface and the bottom of said crevice are characterized by being a conductive metal. Said core material can specifically adopt composition which consists of conductive metals. Said core material consists of insulating materials, and an internal surface and the bottom of said crevice can also adopt composition covered with a plating tunic which consists of conductive metals. Since according to these composition it is high-density, and electronic parts can be mounted and electronic parts embedded in a crevice are covered with a conductive metal except for the crevice opening part, electromagnetic shielding is carried out to a noise and it is effective in influence of a noise to electronic parts in a crevice being reduced.
[0006]Said electronic parts can also adopt composition which is a semiconductor chip. Said electronic parts are a capacitor by which an electrode was formed in rear surface both sides, an inductor, or resistance, An electrode by the side of a rear face is able to join the rear-face side to the bottom of said crevice via a conductive layer formed using a conductive adhesion paste or a conductive adhesion sheet, and to have composition electrically connected to said wiring layer via a conductive metal of an internal surface of this conductive layer and said crevice, and the bottom.
[0007]A capacitor possessing sheet metal which becomes said capacitor from p type silicon, a metal layer which consists of platinum formed in one field of this sheet metal, a dielectric layer formed in a field of another side of said sheet metal, and an electrode formed on this dielectric layer can be used. Or a capacitor possessing sheet metal which becomes said capacitor from n type silicon, a metal layer which consists of titanium or lead formed in one field of this sheet metal, a dielectric layer formed in a field of another side of said sheet metal, and an electrode formed on this dielectric layer can be used.
[0008]A capacitor an oxide layer was formed in said capacitor by an anodization method on the surface of a metallic foil and by which an electrode was formed on this oxide layer can be used. A capacitor by which a dielectric layer was formed in the surface of titanium metal foil a hydrothermal crystallization method, and an electrode was formed on this dielectric layer at

said capacitor can be used. Or a capacitor may be used for said electronic parts.

[0009]

[Embodiment of the Invention]Hereafter, the suitable embodiment of the electronic component package concerning this invention is described in detail based on an accompanying drawing. (A 1st embodiment) The structure of the electronic component package 10 is explained. The crevice 14 is formed in the core material 12. According to this embodiment, the core material 12 forms conductive metals, such as copper, in tabular. And using apparatus, such as a router, the surface of the core material 12 is deleted and formed, and this crevice 14 forms it by etching. The plane shape of the crevice 14 is set as the shape where electronic parts can be accommodated, in consideration of the size of the electronic parts embedded in the crevice 14. As for the plane shape of the crevice 14, since the plane shape of the electronic parts carried in the electronic component package 10 is usually a quadrangle, it is common to this to consider it as 4 in all square shapes, and it is also possible for it not to be limited to this and to consider it as polygons other than a round shape or a quadrangle.

[0010]The depth of the crevice 14 has the desirable depth of the grade in which electronic parts are thoroughly accommodated and electronic parts do not project from the crevice 14, in order to heighten the shielding effect over a noise, but it is not limited to this. The breakthrough 20 for letting the beer 18 which electrically connects to the core material 12 wiring layer 16 comrades arranged at the surface and the rear face of the core material 12 besides the crevice 14 pass is formed by the same means as the crevice 14.

[0011]And in the crevice 14, the semiconductor chip 22 is embedded as an example of electronic parts. The field (henceforth an electrode terminal forming face) in which the electrode (it is also called an electrode terminal) 24 was formed in the semiconductor chip 22 is turned to the opening side of the crevice 14, and the embedded structure of the semiconductor chip 22 uses the adhesives 26 for the bottom of the crevice 14, pastes it, it accommodates the field (back) by the side of reverse, and fixes it in the crevice 14.

[0012]And in this turn, on the surface of the core material 12 by the side of the opening of the crevice 14, a multilayer laminates and the electric insulating layer (only henceforth an insulating layer) 28 and the wiring layer 16 are formed in rear surface both sides of the core material 12 at it so that the crevice 14 may be covered. And each wiring layer 16 is electrically connected by the beer 18 which penetrates the insulating layer 28 and the core material 12. Also in three or more layers, a view is the same, although the insulating layer 28 and the wiring layer 16 are laminated by rear surface both sides of the core material 12 two-layer [every] as an example, respectively and are formed in them in this embodiment. The insulating layer 28

comprises the 1st insulating layer 28a and the 2nd insulating layer 28b of the upper layer. The wiring layer 16 comprises the 1st wiring layer 16a formed in the surface of the 1st insulating layer 28a, and the 2nd wiring layer 16b formed in the surface of the 2nd insulating layer 28b. The beer 18 penetrates the insulating layer 28 arranged at one field side of the core material 12, Wiring layer 16 comrades arranged at the field side of one of these, the wiring layer 16 and the core material 12, or the 1st beer 18a that electrically connects the electrode terminal 24 of the semiconductor chip 22 with the wiring layer 16, It comprises the 2nd beer 18b that electrically connects wiring layer 16 comrades which penetrated the breakthrough 20 of the core material 12 and were formed in the rear surface of the core material 12.

[0013]And in the surface of the 2nd insulating layer 28b or the 2nd wiring layer 16b. The enveloping layer 36 by a solder resist is formed so that only the predetermined part of the 2nd wiring layer 16b used as the land to which the vamp 32 of the semiconductor chip 30 and the external connection terminal 34 of the electronic component package 10 which are carried in the electronic component package 10 are attached may be exposed. The above is the composition of the electronic component package 10. Where the external connection terminal 34 is attached to the land of the 2nd wiring layer 16b, it may be considered as the electronic component package 10. The two or more number of the crevices 14 formed in the core material 12 is formed, it is good also as composition which embeds two or more electronic parts into the core material 12, it is possible not only one surface of the core material 12 but to consider it as the structure which forms the crevice 14 in both sides and embeds electronic parts, and further densification can be attained.

[0014]And other semiconductor chips 30 are carried in the surface (upper surface in drawing 1) of this electronic component package 10 via the vamp 32, and the external connection terminals 34, such as a solder ball, are connected to the rear face (undersurface in drawing 1) of the electronic component package 10, and it becomes the semiconductor device 38. In such the electronic component package 10 and the semiconductor device 38. Since the internal surface 14a and the bottom 14b of the crevice 14 are a conductive metal, The internal surface 14a and the bottom 14b of the crevice 14 of the core material 12 serve as an electromagnetic shielding wall, and the noise generated in electronic parts and the wiring layer of the others carried in the electronic component package 10 can reduce the grade which has an adverse effect on the semiconductor chip 22 in the crevice 14 directly. Although the core material 12 used as the potential stable since it was thick as compared with the wiring layer 16 and electric resistance was low is used as a ground layer, usually, It also has an effect dramatically in noise mitigation that the semiconductor chip 22 embedded in the crevice 14 of the core material 12 with the

conductive metal used as the potential stable in this way is surrounded.

[0015]Since the back has pasted up the semiconductor chip 22 in the crevice 14 on the core material 12, The heat generated with the semiconductor chip 22 escapes efficiently to the core material 12, it is effective in the semiconductor chip 22 being cooled efficiently, the life of the embedded semiconductor chip 22 is prolonged, and it is thought that the stability of the electronic component package 10 or the semiconductor device 38 increases as a result. Since it is accommodated in the crevice 14 formed in the metal core materials 12 which are rigid compared with a resin material even if the semiconductor chip 22 is very thin, even if external force is added, the effect of being hard to produce a crack is in the semiconductor chip 22.

[0016]Next, the manufacturing method of the electronic component package 10 is explained using drawing 4 - drawing 13. First, a copper substrate is prepared as the core material 12 as an example of a conductive metal (refer to drawing 4). And the crevice 14 is formed in the surface of the core material 12 by etching or router processing (refer to drawing 5). Next, the breakthrough 20 is formed in the position which makes the 2nd beer 18b of the core material 12 penetrate (refer to drawing 6). Next, the semiconductor chip 22 as electronic parts is pasted up in [of the core material 12] the crevice 14 (refer to drawing 7).

[0017]Next, the 1st insulating layer 28a is formed in rear surface both sides of the core material 12 so that the crevice 14 may be covered, and it is filled up with the resin materials (PPE resin etc.) which form the 1st insulating layer 28a in the breakthrough 20 of the core material 12, or the crevice 14 (refer to drawing 8). Next, the 1st insulating layer 28a is irradiated with a laser beam, and the 1st beer hole 52 and the 2nd beer hole 54 are formed in it. The 1st beer hole 52 is formed as an exposure hole which the electrode terminal 24 of the semiconductor chip 22 and the surface of the core material 12 expose to the bottom. The 2nd beer hole 54 is formed in the composition which penetrates the resin with which the breakthrough 20 of the core material 12 was filled up, and the 1st insulating layer 28a formed in rear surface both sides of the core material 12. When forming the 2nd beer hole 54, the internal surface of the breakthrough 20 is kept from being exposed here (refer to drawing 9). As the technique of forming a beer hole in an insulating layer, it replaces with a laser beam exposure and the technique which is etched chemically and formed is also considered.

[0018]Next, perform non-electrolytic copper plating and electrolytic copper plating, and a metal plating tunic is formed in the surface of the 1st insulating layer 28a, and the inside of the 1st beer hole 52 and the 2nd beer hole 54 is filled up with a conductor. And the metal plating tunic of the surface of the 1st insulating layer 28a is etched according to a predetermined pattern, and the 1st wiring layer 16a is formed. By applying photosensitive resist to the surface of a metal

plating tunic, exposing and developing photosensitive resist, forming a resist pattern, and removing the exposed portion of the metal plating tunic of the part which is not covered with a resist pattern, The wiring layer of a predetermined pattern can be formed (refer to drawing 10). Here, it fills up with a conductor in the 1st beer hole 52, and becomes the 1st beer 18a, and it fills up with a conductor in the 2nd beer hole 54, and becomes the 2nd beer 18b.

[0019]Next, the 2nd insulating layer 28b is formed so that the surface of the 1st insulating layer 28a of rear surface both sides of the core material 12 and the 1st wiring layer 16a may be covered. And the 2nd insulating layer 28b is irradiated with a laser beam, and the 1st beer hole 52 is formed in it (refer to drawing 11). This 1st beer hole 52 is formed as an exposure hole which the predetermined part of the 1st wiring layer 16a exposes to the bottom. Next, perform non-electrolytic copper plating and electrolytic copper plating, and a metal plating tunic is formed in the surface of the 2nd insulating layer 28b, and the inside of the 1st beer hole 52 is filled up with a conductor. And the metal plating tunic of the surface of the 2nd insulating layer 28b is etched like the case of the 1st wiring layer 28a according to a predetermined pattern, and the 2nd wiring layer 16b is formed (refer to drawing 12). The 1st beer 18a is formed by filling up the inside of the 1st beer hole 52 with a conductor.

[0020]So that only the predetermined part of the 2nd wiring layer 16b used as the land by which the vamp 32 of the semiconductor chip 30 and the external connection terminal 34 of the electronic component package 10 which are carried in the electronic component package 10 are finally attached to the surface of the 2nd insulating layer 28b and the 2nd wiring layer 16b may be exposed, The enveloping layer 36 by a solder resist is formed (refer to drawing 13). The above is a manufacturing method of the electronic component package 10.

[0021](A 2nd embodiment) The structure of the electronic component package 40 is explained. First, when the outline is explained about a point of difference with a 1st embodiment, the core material 12 of this embodiment is at the point which comprises a board formed with the material (insulating material) which has electric insulation, such as a glass epoxy board and BT (bismaleimide triazine) board. For this reason, in order to shield the electronic parts embedded in the crevice 14 of the core material 12, When forming the wiring layer 42 in the surface of the core material 12, the internal surface 14a and the bottom 14b of the crevice 14 are also considered as the composition which carries out electromagnetic shielding of the electronic parts which cover with the metal plating tunic 44 which has the conductivity which forms this wiring layer 42, and are accommodated in the crevice 14 with this metal plating tunic 44.

[0022]Since the structure of the insulating layer 28, the wiring layer 16, and the enveloping layer 36 which are laminated to the core material 12 only by the structure of the portion about

the core material 12 being different is the same as a 1st embodiment, the numerals same about the same composition are attached, explanation is omitted, and only different composition is explained. The crevice 14 is formed in the core material 12. According to this embodiment, the core material 12 forms the above insulating materials in tabular. The wiring layer 42 is formed in the surface and the rear face of the core material 12. The internal surface 14a and the bottom 14b of the crevice 14 are covered with the metal plating tunic 44 which has the conductivity which forms this wiring layer 42.

[0023]The 2nd beer 18 that penetrates the core material 12 electrically connects wiring layer 42 comrades formed in the surface of the core material 12 or the wiring layer 42 formed in the surface of the core material 12, and the 1st wiring layer 16a formed in the surface of the insulating layer 28. The structure of what connects wiring layer 42 comrades formed in the surface of the core material 12 among the 2nd beer 18 comes to fill up the resin 48, after forming the metal plating tunic 46 in the inner skin of the breakthrough 20 formed in the core material 12 as an example, but other structures may be sufficient as it. The metal plating tunic 44 formed in the internal surface 14a and the bottom 14b of the crevice 14 is electrically connected with the vamp for grounds of the semiconductor chip 30 and/or the external connection terminal 34 which are carried in the electronic component package 40 by the 1st beer 18a and/or the 2nd beer 18b. In this embodiment, the metal plating tunic 44 in the crevice 14, It is connected with the vamp for grounds of the semiconductor chip 30 via the wiring layer 42, the 1st beer 18a, the 1st wiring layer 16a, and the 2nd wiring layer 16b which were formed in the surface of the core material 12, and. It is electrically connected also with the external connection terminal 34 by the 2nd beer 18b that penetrates the 1st insulating layer 28a and the core material 12, and reaches the bottom 14b of the crevice 14.

[0024]Thus, the internal surface 14a and the bottom 14b of the crevice 14 for which the semiconductor chip 22 embedded into the core material 12 is accommodated even if the core material 12 is formed by the insulating material, Since it is covered with the metal plating tunic 44 which has conductivity and has predetermined potential (for example, ground potential), it becomes possible to reduce that electromagnetic shielding of the semiconductor chip 22 is carried out with the metal plating tunic 44, and a noise jumps into the semiconductor chip 22 directly like a 1st embodiment.

[0025](A 3rd embodiment) Although the semiconductor chip 22 was mentioned as the example and has been explained as electronic parts accommodated and embedded in the crevice 14 of the core material 12 in each embodiment mentioned above, Besides semiconductor chip 22, other electronic parts, such as resistance and a capacitor, can be accommodated in the crevice

14, and it can embed into the core material 12. And the electronic parts 50, such as a capacitor, resistance, and an inductor, It is possible to constitute from forming the tunic 50b of a dielectric material or electrical resistance materials in the surface of the silicon substrate 50a used as a lower electrode, as shown in drawing 3, and forming the conductive film 50c used as an upper electrode in the surface of this tunic 50b.

[0026]By using the adhesives (conductive layer) which have the conductivity of conductive paste or a conductive adhesion sheet in the electronic parts 50 of this structure for the adhesives 26 at the time of pasting up the silicon substrate 50a which is a lower electrode in the crevice 14, Since it becomes possible to connect the lower electrode 50a of the electronic parts 50 with the metal plating tunic 44 electrically formed in the bottom 14b of the crevice 14, by using the electronic component package 40 of the structure of a 2nd embodiment, It becomes possible to electrically connect the bottom 14b and the internal surface 14a of the crevice 14 with the semiconductor chip 30, other electronic parts, and the external connection terminal 34 which used the wrap metal plating tunic 44 as a wiring layer, and were carried in the electronic component package 10. In drawing 3, although explained using the electronic component package 40 of a 2nd embodiment as an example, the electronic parts 50, such as a capacitor, resistance, and an inductor, as well as the electronic component package 10 of a 1st embodiment can be carried.

[0027]An example of the capacitor 50 is shown in drawing 14. When using a silicon substrate for the lower electrode 50a, it is suitable in using the sheet metal which consists of a p type or n type silicon (it explains as the sheet metal 50a below). This sheet metal 50a carries out polishing of the silicon wafer, thins in thickness of about 30-50 micrometers, and is cut and formed in necessary size. By carrying out polishing of the wafer, the surface turns into a mirror plane and becomes what has high display flatness.

[0028]50 d of metal layers are formed on one field of this sheet metal 50a. 50 d of metal layers consider it as the layer of platinum, when the sheet metal 50a is p type silicon, and when the sheet metal 50a is n type silicon, they are taken as the layer of titanium or lead. 50 d of these metal layers can be formed in one field of the sheet metal 50a by sputtering or vacuum evaporation. Although the thickness in particular of 50 d of metal layers is not limited, it can be made into a thing (several micrometers - tens of micrometers).

[0029]When 50 d of metal layers are times of the sheet metal 50a being [50 d of metal layers] platinum in p type silicon and the sheet metal 50a is titanium or lead with n type silicon, between the sheet metal 50a and 50 d of metal layers, it becomes ohmic contact so that clearly from the difference of a work function, and it conducts any current of a direction. When the

combination of the sheet metal 50a and 50 d of metal layers is except the above, it becomes shot key connection, and rectification arises, and only the current of a certain one way flows.

[0030]The tunic 50b which consists of dielectric materials by sputtering etc. is formed in the field of another side of the sheet metal 50a. The capacitor of high capacity is obtained, so that the thickness of the tunic 50b is thin. In order to obtain the thin tunic 50b, the display flatness of the sheet metal 50a is important, but as mentioned above, since the sheet metal 50a can obtain it by the ability to carry out polishing of the wafer, it is large, therefore the formation of the thin tunic 50b without a pinhole of the display flatness is attained.

[0031]On the tunic 50b, tantalum oxide (Ta_2O_5), strontium titanate ($SrTiO_3$), It is suitable if dielectric materials, such as barium titanate ($BaTiO_3$), lead zirconate titanate ($PbZr_xTi_{1-x}O_3$), or strontium titanate barium ($Ba_xSr_{1-x}TiO_3$), are used.

[0032]The conductive film 50c which is an upper electrode is formed on the tunic 50b. The conductive film 50c is good to form a chromium layer (not shown) by sputtering first on the tunic 50b, and to form a copper layer by sputtering etc. on this chromium layer in order to raise adhesion with the tunic 50b. It is suitable, if many capacitors 50 of the above-mentioned composition are made on a silicon wafer, this is cut and it is made to separate into the capacitor 50 of the piece of an individual. 50 d of metal layers are turned to the bottom side of the crevice 14, and the above-mentioned capacitor 50 is fixed on the metal plating tunic 44 with the electroconductive glue 26.

[0033]Drawing 15 shows the embodiment of further others of the capacitor 50. 13 is valve metal foil, such as aluminum, titanium, and tantalum. The oxide layer 15 is formed in the surface by an anodization method (anodization) publicly known in this valve metal foil 13. The valve metal foil 13 can use a thin thick thing (5 micrometers - about 30 micrometers), and can form the about 0.3-micrometer very thin oxide layer 15 in the surface of this valve metal foil 13. The thing wound around rolled form or the sheet shaped thing which has a large area can be used for the valve metal foil 13, and it can perform anodization treatment efficiently.

[0034]On the oxide layer 15 of both sides of the valve metal foil 13, a copper layer is formed by sputtering or vacuum evaporation, and the electrode layers 17 and 17 are formed. It judges in the size of a request of this valve metal foil 13, and forms in the capacitor 50. Although the oxide layer 15 is hard and it is weak, since the flexible valve metal foil 13 exists in a core, as a whole, brittleness is reduced and it is easy to deal with it. Although the oxide layer 15 and the electrode layer 17 were formed in both sides of the valve metal foil 13, it may be made to form the oxide layer 15 and the electrode layer 17 only in one side of the valve metal foil 13 above.

[0035]Although the oxide layer 15 as a dielectric layer was formed by anodization treatment on

the valve metal foil 13 in the above-mentioned embodiment, It is good also as a dielectric layer to form the crystal film of lead zirconate titanate which is a ferroelectric, strontium titanate, barium titanate, and strontium titanate barium on titanium metal foil with a hydrothermal crystallization method (not shown). In order to make a lead-zirconate-titanate (PZT) crystal film generate with a hydrothermal crystallization method, Titanium metal foil is immersed in the strong alkali solution in which the lead compound, the zircon compound, and the titanium compound were dissolved, put in the autoclave set as 200 ** or less and 2 - 3atm (1atm=1.01325bar) grade, a hydrothermal synthesis reaction is made to cause, and it is made to make a PZT crystal film generate. Other dielectric layers can be formed with a necessary hydrothermal crystallization method. Thus, the titanium metal foil in which the dielectric layer was formed can be judged, and it can be made a capacitor.

[0036]Drawing 16 shows the embodiment of further others of the capacitor 50. This capacitor 50 is a multi-electrode capacitor which the electrode was multipolarized and has been arranged at matrix form. This multi-electrode capacitor has an advantage which can reduce the parasitic inductances which the capacitor itself has and can reduce the inductance of the whole electronic component package incorporating this. This capacitor 50 as well as the above is incorporable in the crevice 14. It cannot be overemphasized that connection is electrically taken through beer to each multipolar electrode.

[0037]Next, the manufacturing method of the electronic component package 40 is explained using drawing 17 - drawing 26. The same numerals are attached about the same processing as the electronic component package 10 of a 1st embodiment, and explanation is omitted. First, double-sided copper-clad ****** is prepared as the core material 12 as the resin substrate by which the conductor layer 12b was formed in both sides of the tabular resin base material 12a, and an example (refer to drawing 17). And the crevice 14 formed in the surface of the core material 12 by the resin in which the bottom 14b and the internal surface 14a form the resin base material 12a by etching or router processing, and the breakthrough 20 which the resin which forms the resin base material 12a exposes to an inner surface are formed (refer to drawing 18). Next, an electrolysis plating tunic is formed in the surface of the core material 12, and the bottom 14b and the internal surface 14a of the crevice 14 by the same technique as drawing 10, and the inside of the breakthrough 20 is filled up with a conductor (plating). And pattern NINGU of the electrolysis plating tunic of the surface of the core material 12 is carried out, and the wiring layer 42 is formed in rear surface both sides of the core material 12 (refer to drawing 19). It leaves the electrolysis plating tunic of the bottom 14b of the crevice 14, and the internal surface 14a, without etching, and it is changed into the state where it connected with

some wiring layers 42. The 2nd beer 18b is formed by filling up the inside of the breakthrough 20 with a conductor (plating).

[0038]Next, the electronic parts 50 are carried in the crevice 14. Although the electronic parts 50 are the capacitors by which the electrode (a lower electrode is the silicon substrate 50a, and an upper electrode is the conductive film 50c) was formed in rear surface both sides as an example, the same may be said of the case of other electronic parts (refer to drawing 20). It is made to flow through the lower electrode of the electronic parts 50 with the electrolysis plating tunic 44 formed in adhesives at the bottom 14b of the crevice 14 using the conductive material. Next, the 1st insulating layer 28a is formed in rear surface both sides of the core material 12 so that the crevice 14 and the electronic parts 50 may be covered (refer to drawing 21). Next, the 1st insulating layer 28a is irradiated with a laser beam, and the 1st beer hole 52 which the surface of the wiring layer 42 and the upper electrode 50c of the electronic parts 50 expose to the bottom is formed. It irradiates with a laser beam from the rear-face side of the core material 12, and the 2nd beer hole 54 which exposes on the bottom the metal plating tunic 44 which penetrated the 1st insulating layer 28a and the core material 12, and was formed in the bottom 14b of the crevice 14 is formed (refer to drawing 22).

[0039]Next, like drawing 10, non-electrolytic copper plating and electrolytic copper plating are performed, and a metal plating tunic is formed in the surface of the 1st insulating layer 28a. The inside of the 1st beer hole 52 and the 2nd beer hole 54 is filled up with a conductor, and the 1st beer 18a and the 2nd beer 18b are formed. And the metal plating tunic of the surface of the 1st insulating layer 28a is etched according to a predetermined pattern, and the 1st wiring layer 16a is formed (refer to drawing 23). Next, the 2nd insulating layer 28b is formed so that the surface of the 1st insulating layer 28a of rear surface both sides of the core material 12 and the 1st wiring layer 16a may be covered (refer to drawing 24). Next, irradiate the 2nd insulating layer 28b with a laser beam, and the 1st beer hole 52 is formed in it, and the 2nd wiring layer 16b and the 1st beer 18a are formed like drawing 12 (refer to drawing 25). And finally the enveloping layer 36 by a solder resist is formed in the surface of the 2nd insulating layer 28b and the 2nd wiring layer 16b like drawing 13 (refer to drawing 26). The above is a manufacturing method of the electronic component package 40.

[0040]

[Effect of the Invention]According to the electronic component package concerning this invention, it is high-density, and can mount electronic parts, and the electronic parts embedded in the crevice, Since it is covered by conductive metal material except for the crevice opening part, electromagnetic shielding is carried out to a noise and it is effective in the influence of the

noise to the electronic parts in a crevice being reduced.

CLAIMS

[Claim(s)]

[Claim 1]A crevice formed in a core material.

Electronic parts embedded in this crevice.

An insulating layer formed so that this crevice might be covered on the surface of said core material by the side of an opening of said crevice.

A wiring layer formed in the surface of this insulating layer.

Beer which electrically connects an electrode which was formed in said insulating layer and formed in the surface by the side of this wiring layer and a crevice opening of said electronic parts.

It is the electronic component package provided with the above, and an internal surface and the bottom of said crevice are characterized by being a conductive metal.

[Claim 2]The electronic component package according to claim 1, wherein said core material consists of conductive metals.

[Claim 3]The electronic component package according to claim 1 covering with a plating tunic which said core material becomes from an insulating material, and an internal surface and the bottom of said crevice become from a conductive metal.

[Claim 4]The electronic component package according to claim 1, 2, or 3, wherein said electronic parts are semiconductor chips.

[Claim 5]Said electronic parts are a capacitor by which an electrode was formed in rear surface both sides, an inductor, or resistance, The rear-face side is joined to the bottom of said crevice via a conductive layer formed using a conductive adhesion paste or a conductive adhesion sheet, The electronic component package according to claim 1, 2, or 3, wherein an electrode by the side of a rear face is electrically connected to said wiring layer via a conductive metal of an internal surface of this conductive layer and said crevice, and the bottom.

[Claim 6]The electronic component package comprising according to claim 5:

Sheet metal with which said capacitor consists of p type silicon.

A metal layer which consists of platinum formed in one field of this sheet metal.

A dielectric layer formed in a field of another side of said sheet metal.

An electrode formed on this dielectric layer.

[Claim 7]The electronic component package comprising according to claim 5:
Sheet metal with which said capacitor consists of n type silicon.
A metal layer which consists of titanium or lead formed in one field of this sheet metal.
A dielectric layer formed in a field of another side of said sheet metal.
An electrode formed on this dielectric layer.

[Claim 8]The electronic component package according to claim 5, wherein said capacitor is a capacitor an oxide layer was formed by an anodization method on the surface of a metallic foil and by which an electrode was formed on this oxide layer.
[Claim 9]The electronic component package according to claim 5, wherein said capacitor is a capacitor by which a dielectric layer was formed in the surface of titanium metal foil a hydrothermal crystallization method, and an electrode was formed on this dielectric layer.
[Claim 10]The electronic component package according to claim 1, 2, or 3, wherein said electronic parts are capacitors.

(19)日本国特許庁（ＪＰ）　(12)**公開特許公報**（Ａ）　(11)特許出願公開番号
特開2001－53447
（P2001－53447A）
(43)公開日　平成13年２月23日(2001.2.23)

(51)Int.Cl.⁷	識別記号	ＦＩ		テーマコード（参考）
Ｈ０５Ｋ　3/46		Ｈ０５Ｋ　3/46	Ｑ	５Ｅ３３６
			Ｎ	５Ｅ３４６
1/18		1/18	Ｒ	
			Ｐ	

審査請求　有　請求項の数２　ＯＬ　（全６頁）

(21)出願番号　特願平11－221976

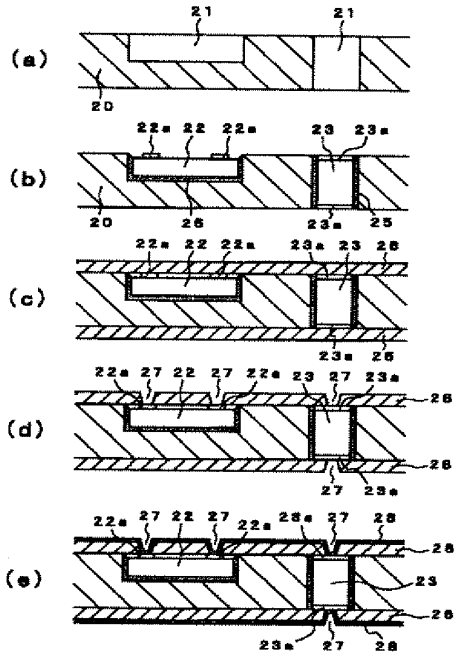
(22)出願日　平成11年８月５日(1999.8.5)

(71)出願人　390022792
いわき電子株式会社
東京都港区新橋５丁目36番11号
(72)発明者　山本　博康
東京都港区新橋５丁目36番11号　いわき電子株式会社内
(72)発明者　江尻　直樹
東京都港区新橋５丁目36番11号　いわき電子株式会社内
(74)代理人　100067046
弁理士　尾股　行雄

最終頁に続く

(54)【発明の名称】　部品内蔵型多層配線基板およびその製造方法

(57)【要約】
【課題】　半田付けに頼らない部品内蔵型多層配線基板を実現する。
【解決手段】　内層２０に回路部品２２、２３を埋め込み、当該回路部品２２、２３の端子面２２ａ、２３ａ上に絶縁層２６を形成する。当該絶縁層２６に接続孔２７を穿設して前記回路部品２２、２３の端子面２２ａ、２３ａを露出させ、前記接続孔２７によるスルーホール形成とエッチング処理により前記回路部品への接続を一括して行う。本方式は従来の多層配線基板の製造工程の中で一連の作業として実施可能であるから、工程を簡略化できると共に、部品間や層間の接続に環境負荷物質である半田を使用しなくて済むことから環境問題に対しても好適である。



1

【特許請求の範囲】
【請求項１】　内層に複数の回路部品が埋め込まれて成る多層配線基板において、
前記回路部品への接続がメッキにて行われて成ることを特徴とする部品内蔵型多層配線基板。
【請求項２】　内層に複数の回路部品を埋め込み、
当該回路部品の端子面上に絶縁層を形成し、
当該絶縁層に接続孔を穿設して前記回路部品の端子面を露出させ、
前記接続孔によるスルーホール形成とエッチング処理により前記回路部品への接続を一括して行うことを特徴とする部品内蔵型多層配線基板の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は、内層に小型回路部品を埋め込んで成る部品内蔵型多層配線基板およびその製造方法に関するものである。
【０００２】
【従来の技術】近年、電子機器の小型・軽量化と共に高速化、高多機能化傾向が一段と高まってきており、プリント配線基板においては信頼性の高い高密度実装技術の追求が進められている。このような傾向の中で、単層基板や多層基板を使用し、その表裏面にディスクリート部品やチップ部品等を実装していた従来の表面実装技術に代って３層以上の多層配線基板を使用し、内層にチップ型のコンデンサ、抵抗、ＩＣ等のベアーチップを埋め込むようにした三次元実装・配線技術が注目されるようになってきた。係る多層配線基板の製造技術により部品実装密度は飛躍的に向上し、これによる配線距離の短縮化も手伝って高密度実装化と共に高速化、高信頼性化が実現されるようになった。
【０００３】係る部品内蔵型の多層配線基板技術として、例えば、特開平６－１２０６７１号公報が開示されている。この技術は内層にチップ部品を埋め込み、層間導通および内蔵部品間の接続をそれぞれ融点の異なる半田材を使用して数工程に分けて行うものである。
【０００４】
【発明が解決しようとする課題】しかしながら、上記開示技術は、半田接続箇所に応じて数回の半田付け工程を要すること、溶融温度を安定に維持するための半田素材の品質管理が必要なこと等の理由から配線基板の製造工程が複雑化するといった欠点を有していた。また、近年、半田材料は環境負荷物質として基板製造工程における環境汚染や作業者への有害性が指摘されるようになってきている。
【０００５】本発明は、上記従来の問題点に鑑みて成されたもので、内蔵部品への接続をスルホール形成とエッチング処理により行うようにして、配線基板の製造工程を簡略化すると共に、半田の使用を極力無くすようにした部品内蔵型多層配線基板およびその製造方法を提供することを目的としている。

2

【０００６】
【課題を解決するための手段】すなわち、請求項１に記載の部品内蔵型多層配線基板では、内層に複数の回路部品を埋め込んで成る多層配線基板において、前記回路部品への接続がメッキにて行われることを特徴とするものである。
【０００７】これにより、部品の高密度実装化が可能となると共に、層間或いは内蔵部品の接続手段に環境負荷物質である半田を使用しなくて済むことから、製造工程における環境汚染等の問題に対して極めて好適である。
【０００８】また、請求項２に記載の部品内蔵型多層配線基板の製造方法では、内層に複数の回路部品を埋め込み、当該回路部品の端子面上に絶縁層を形成し、当該絶縁層に接続孔を穿設して前記回路部品の端子面を露出させ、前記接続孔によるスルーホール形成とエッチング処理により前記回路部品への接続を一括して行うことを特徴とするものである。
【０００９】本方式では、従来の多層配線基板の製造工程の中で一連の作業として実施可能であり、よって、従来の配線基板の製造設備、治工具、製造技術等をそのまま活用できるものである。
【００１０】
【発明の実施の形態】以下、図面に基づいて本発明の第１実施形態を説明する。図１は本発明の第１実施形態に係る部品内蔵型多層配線基板の製造工程図、図２はその製造工程における内層板の断面図である。
【００１１】本発明の第１実施形態は、図６に示す従来工法による多層配線基板（例えば、４層構成で、内層に部品を内蔵しない基板）の製造工程の中で一連の作業として実施するものであって、図１中の太線枠で示す内層板の形成工程が従来のビルドアップ工法による内層パターン形成工程（図６の工程ａ～ｃに示す内層パターン形成－エッチング－内層表面処理）と相違するところであって、内層板と外層板の積層接着工程や外層パターン形成工程等それ以降の工程は全て同じである。
【００１２】以下、図１および図２に基づき前記した内層板の形成工程を説明する。尚、本実施形態に係る多層配線基板は外層用の片面基板（１層と４層）と内層板２０（２層と３層）とによる４層構造とした。
【００１３】先ず、図１の工程ａで、内層板２０（コア材２０）に各々チップ型の回路部品を収容するための部品埋込用穴２１の加工を行う（図２ａ参照）。コア材２０としては、外層用の銅張積層板や樹脂付き銅箔等による配線基板材と同程度の熱膨張率を有する物を使用することにより、積層工程における基板の反りが防止できる。
【００１４】次に、図１の工程ｂで、前記部品埋込用穴２１に、例えば、ＩＣチップ２２やチップ型コンデンサ２３等を埋め込み、隙間に樹脂を充填して接着・固定す

る（図２ｂ参照）。ここで、ＩＣチップ２２は横実装型であるから部品埋込用穴２１は凹溝形状であり、チップ型コンデンサ２３は縦実装型であるから部品埋込用穴２１は貫通孔とされている。

【００１５】次に、図１の工程ｃで、回路部品が埋め込まれた内層板２０の上下両面に絶縁層（絶縁膜）を印刷・焼き付けして絶縁層２６を形成する（図２ｃ参照）。

【００１６】次に、図１の工程ｄで、前記ＩＣチップ２２の端子面２２ａとチップ型コデンサチップ２３の端子面２３ａに対応する絶縁層２６に接続孔２７（スルホール用穴２７）を穿設し、その部分の絶縁層２６を除去することにより各々回路部品２２、２３の端子面２２ａ、２３ａを露出状態にする（図２ｄ参照）。

【００１７】上記孔空け加工は、高精度が要求されるものにあっては、通常レーザ光を照射して行われるが、薬品により絶縁層２６を溶解することにより行うことも可能である。勿論、従来のようにドリルを用いた穿設も可能である。

【００１８】次に、図１の工程ｅで、部品端子面上の残留物（プリプレグ残片）を除去し、従来のビルドアップ工法により接続孔２７の内壁、露出した端子面２２ａ、２３ａ、および上下絶縁層２６の表面等にメッキを施す。メッキ処理後、エッチングにより所定の導体パターン２８（即ち、内層パターン２８）を形成する。この内層パターン２８によって各回路部品２２、２３への導通接続が行われるものである（図２ｅ参照）。

【００１９】以降、図１の工程ｆで、外層用の片面銅張板（又は樹脂付き銅箔）と前記工程ａ～ｅで形成された部品内蔵の内層板２０とを、間にプリプレグを介在して積層・接着し、従来工法により外層パターンを形成した後、レジスト印刷、シルク印刷等の工程を経て本発明の第１実施形態による部品内蔵型多層配線基板が完成する。尚、この工程の断面図は省略した。

【００２０】次に、図３および図４に基づいて本発明の第２実施形態を説明する。

【００２１】図３は本発明の第２実施形態に係る部品内蔵型多層配線基板の製造工程図、図４はその製造工程を示す断面図である。

【００２２】前記した第１実施形態が内層板２０に内層パターン２８を形成して内蔵部品への接続を行う構成であるのに対し、第２実施形態は内蔵部品への接続を従来工法にて外層基板上に形成した外層パターンにより行うものである。従って、内層板２０には回路部品２２～２４が埋め込まれるだけで前記第１実施形態の中で説明した内層パターン（２８）の形成は行われない。即ち、本第２実施形態の場合は図３中の太線枠で示す部分が従来工法に付加される新たな作業工程である。

【００２３】以下、図３および図４により部品内蔵型多層配線基板の製造方法を説明する。尚、本実施形態に係る多層配線基板は、外層用の両面基板１０（１層と２層）と両面基板３０（３層と４層）、および、内層板２０（コア材）とによる４層構造とした。

【００２４】先ず、図３の工程ａ、ｂでは、前記第１実施形態と同様にして内層板２０に部品埋込用穴２１の加工を行う。そして、この部品埋込用穴２１に、例えば、ＩＣチップ２２、チップ型コンデンサチ２３、およびチップ型抵抗２４等の小型チップ部品を埋め込み、樹脂にて接着・固定する。（図４ａ、図４ｂ参照）

【００２５】一方、前記した外層用の両面基板１０および両面基板３０（外層配線板）には、図３中、二重枠で示す従来工法（両面板パターン形成－孔あけ－両面板エッチング）により、図４ｃに示す外層パターン１１、３１が形成される。この際、外層パターンの１１，３１には回路部品２２～２４の端子面２２ａ～２４ａに対応する位置にスルホール用ランド１２、３２が形成されている。

【００２６】次に、図３の工程ｃで、外層パターン１１、３１が形成された外層配線板１０、３０と前記内層板２０とを、間にプリプレグ４０（或いは、薄い樹脂フィルム等を使用しても良い）を介在して積層・接着する（図４ｃ参照）。

【００２７】次に、図３の工程ｄで、前記スルホール用ランド１２、３２に接続用孔１３、３３（即ち、スルホール孔１３、３３）を穿設してプリプレグ４０を除去し、各回路部品２２～２４の端子面２２ａ～２４ａを露出させる。この際の孔あけ加工は、第１実施形態の場合と同様であり、レーザ光や薬品、あるいはドリルを使用して行う。

【００２８】次いで、図３の工程ｆで接続用孔１３、３３の内壁と露出した端子面にメッキを施し、前工程で形成された上外層パターン１１および下外層パターン３１を介して内蔵部品２２～２４への接続を完了する（図４ｄ参照）。尚、図３の工程ｅに示す「孔あけ工程」は、図４には図示していないが１～４層間を接続するための接続用スルホール孔である。

【００２９】以降、レジスト印刷、シルク印刷等の工程を経て本発明の第２実施形態による部品内蔵型多層配線基板が完成する。図５は完成した部品内蔵型多層基板１の内部構造を示す断面図であり、図中の符号１０および３０は外層配線板、符号２０はＩＣチップ２２、チップ型コンデンサ２３、チップ型抵抗２４等の小型チップ部品が内蔵された内層板である。また、外層配線板１０の表面に複数の外付けＩＣ部品２が実装されている。

【００３０】このように、本実施形態によれば、多層配線基板の内層に複数の回路部品を埋め込み、これらの内蔵部品を従来の多層配線板の製造工程で成されるメッキ処理にて一括して接続することにより、近年の超高密度実装傾向に対応可能な部品内蔵型多層配線基板を作製することができる。

【００３１】係る工法は、従来の多層配線基板の製造設

5

備や治工具、或いは製造技術等をそのまま活用することができるため、従来の半田接続による部品内蔵型多層配線板のような煩雑な製造工程を経ず単純な工程で信頼性の高い高密度実装を実現できるものである。また、内蔵部品の接続や層間接続に半田材を使用しないから、製造工程における環境汚染の問題等も解消できるものである。

【００３２】また、本実施形態では４層構造による基本的な多層配線基板について説明したがこれに限定されるものではなく、同様な作業の繰り返しにより４層以上の高多層板も勿論適用可能である。

【００３３】

【発明の効果】以上説明したように、請求項１に記載の本発明によれば、内層に複数の回路部品が埋め込まれて成る多層配線基板において、前記回路部品への接続をメッキにて行うようにしたので、高密度実装が可能な部品内蔵型多層配線基板の製造工程において、各層間や内蔵部品間の接続に環境負荷物質である半田を使用しなくて良いから、近年問題の環境汚染や作業者への有害性指摘に対しても極めて好適である。

【００３４】また、請求項２に記載の本発明によれば、多層配線基板の内層に回路部品を埋め込み、当該回路部品の端子面上に絶縁層を形成し、当該絶縁層に接続孔を穿設して前記回路部品の端子面を露出させ、前記接続孔によるスルーホール形成とエッチング処理により前記回路部品への接続を一括して行うようにしたので、上記同

6

様の効果が奏せられる他、本工程は従来の多層配線基板の製造工程の中で一連の作業として実施することができるため、従来技術による部品内蔵型多層配線板のような煩雑な製造工程を経ずに単純な工程で高密度実装を実現することができる。

【図面の簡単な説明】

【図１】本発明の第１実施形態に係る部品内蔵型多層配線基板の製造工程図である。

【図２】同、部品内蔵型多層配線基板の製造工程を示す内層板の断面図である。

【図３】本発明の第２実施形態に係る部品内蔵型多層配線基板の製造工程図である。

【図４】同、部品内蔵型多層配線基板の製造工程を示す断面図である。

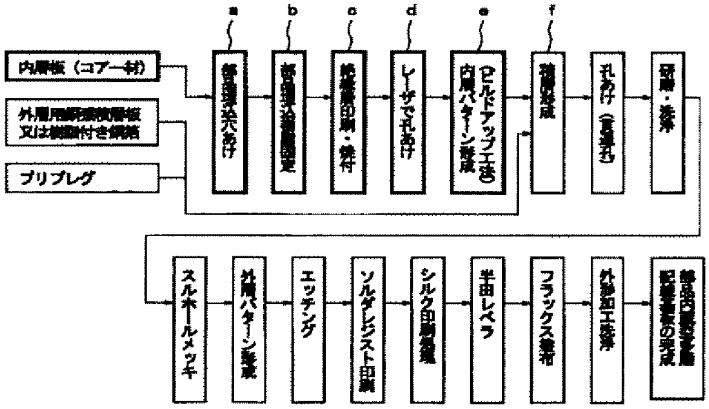
【図５】本発明に係る部品内蔵型多層配線基板の断面図である。

【図６】従来の多層配線基板の製造工程図である。

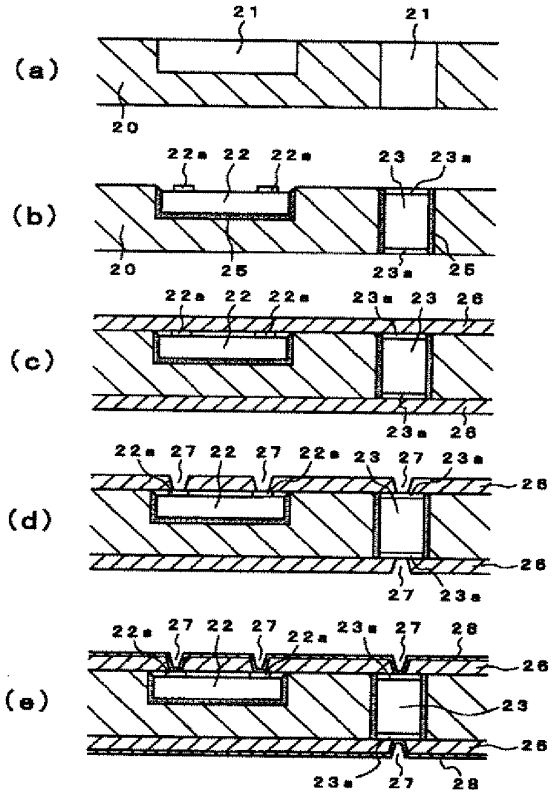
【符号の説明】

１	部品内蔵型多層配線基板
１３，２７，３３	接続孔（スルホール用孔）
２０	内層（内層板）
２２～２４	回路部品
２２ａ～２４ａ	回路部品の端子
２６	絶縁層または絶縁膜
４０	絶縁層（プリプレグ）

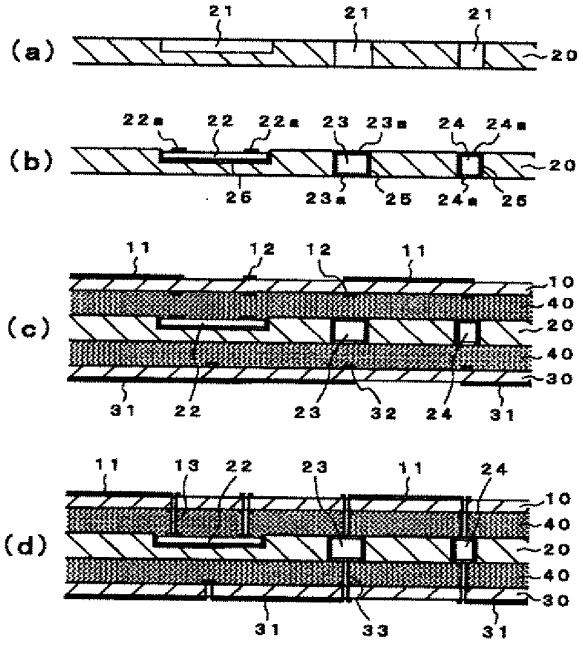
【図１】



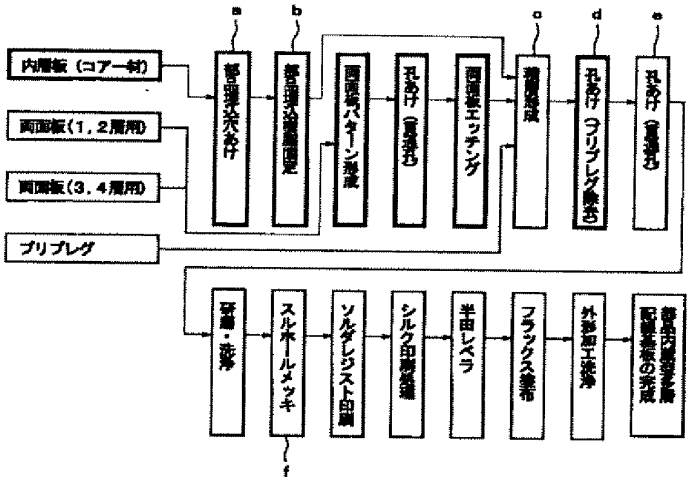
【図2】


(a)
(b)
(c)
(d)
(e)
21
20
22a
22
23
23a
25
26
27
28

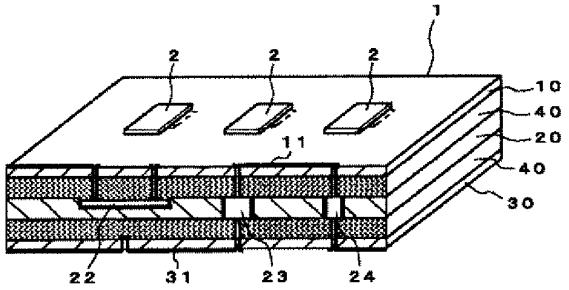
【図4】


(a)
(b)
(c)
(d)
21
20
22a
22
23
23a
24
24a
25
11
12
10
40
30
31
32
33
13

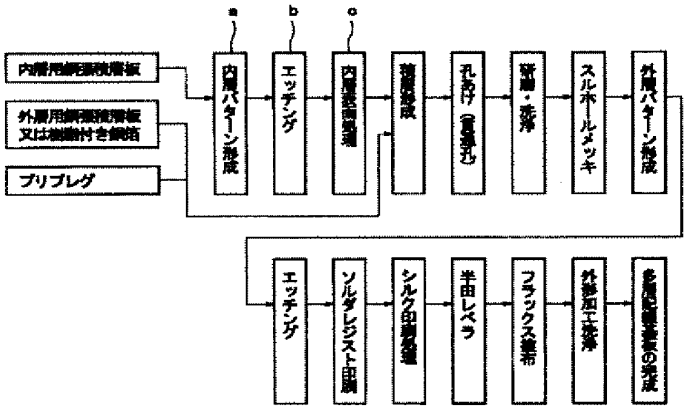
【図3】


内層板（コア一村）
両面板(1，2層用)
両面板(3，4層用)
プリプレグ
a
b
c
d
e
f
スルホールメッキ
ソルダレジスト印刷
シルク印刷
半田レベラ
フラックス塗布
外形加工
検査
配線基板の完成

【図５】



【図６】



フロントページの続き

Ｆターム(参考)　5E336 AA07 AA08 BB03 BC02 BC25
CC15 CC32
5E346 AA02 AA12 AA15 AA43 BB01
BB16 BB20 EE02 EE06 EE07
EE09 FF45 GG15 GG17 GG22
GG28 HH32 HH40

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2001-053447**
(43)Date of publication of application : **23.02.2001**

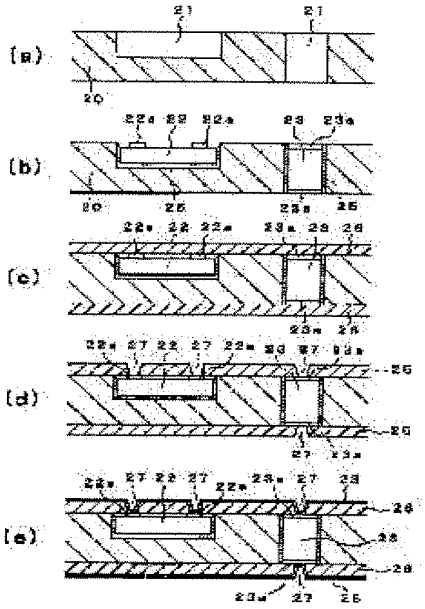
(51)Int.Cl. H05K 3/46
H05K 1/18

(21)Application number : **11-221976**
(22)Date of filing : **05.08.1999**

(71)Applicant : **IWAKI DENSHI KK**
(72)Inventor : **YAMAMOTO HIROYASU**
EJIRI NAOSHIGE

(54) MULTILAYER WIRING BOARD WITH BUILT-IN PART AND MANUFACTURING METHOD THEREOF

(57)Abstract:
PROBLEM TO BE SOLVED: To realize a multilayer with built-in parts which does not depend on soldering. SOLUTION: Circuit parts 22 and 23 are embedded in an inner layer 20, and an insulating layer 26 is formed on terminal faces 22a and 23a of the circuit parts 22 and 23. A connecting hole 27 is perforated in the insulating layer 26 so that the terminal faces 22a and 23a of the circuit parts 22 and 23 can be exposed, and the connection with the circuit parts can be operated in a batch by the through-hole formation with the connecting hole 27 and etching processing. This system is made executable as a series of works in the conventional manufacturing process of a multilayer wiring board so that the process can be simplified, and it is not necessary to use solder being an environmental load substance for inter-part or interlayer connection so that this multilayer wiring board can be made suitable even for an environment.



LEGAL STATUS

[Date of request for examination]	29.08.2000
[Date of sending the examiner's decision of rejection]	16.10.2001
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	
[Date of registration]	
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any
damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]
[0001]
[The technical field to which invention belongs] this invention relates to the part built-in multilayer-interconnection substrate which embeds small passive circuit elements at a inner layer, and grows into it, and its manufacture method.
[0002]
[Description of the Prior Art] Improvement in the speed and the high multi-functionalization inclination are increasing much more with small and lightweight-ization of electronic equipment in recent years, and it sets to a printed-circuit board, and is reliable high density. In such an inclination, a monolayer substrate and a multilayer substrate are used, the multilayer-interconnection substrate of three or more layers is used instead of the conventional surface mount technology which mounted discrete part, the chip, etc. in the front rear face, and three-dimensions mounting / wiring technology which embedded bare chips, such as a tipped type capacitor, resistance, and IC, at the inner layer has come to attract attention. Component-mounting density improves by leaps and bounds by the manufacturing technology of the starting multilayer-interconnection substrate, shortening of the wiring distance by this is also helped, and improvement in the speed and high-reliability-ization came to be realized with high-density-assembly-ization.
[0003] JP,6-120671,A is indicated as starting part built-in multilayer-interconnection substrate technology. This technology embeds a chip at a inner layer, and connection between the flow between layers and built-in parts is divided into a number process using the solder material from which the melting point differs, respectively, and it performs it.
[0004]
[Problem(s) to be Solved by the Invention] however, the above-mentioned indication technology had the fault that the manufacturing process of a wiring substrate was complicated from the reasons of the solder material for maintaining stably requiring several times of soldering processes according to a solder connection place and melting temperature needing to control the quality Moreover, the detrimental nature to environmental pollution and an operator is pointed out increasingly in recent years. [in / a substrate manufacturing process / as environmental loading material / in solder material]
[0005] It aims at offering the part built-in multilayer-interconnection substrate which lost use of solder as much as possible, and its manufacture method while it simplifies the manufacturing process of a wiring substrate, as this invention was accomplished in view of the above-mentioned conventional trouble and makes connection with built-in parts by through hole formation and etching processing.
[0006]
[Means for Solving the Problem] That is, in a part built-in multilayer-interconnection substrate according to claim 1, it is characterized by making connection with the aforementioned passive circuit elements by plating in the multilayer-interconnection substrate which embeds two or more passive circuit elements at a inner layer, and grows into it.
[0007] Since it is not necessary to use the solder which is environmental loading material between

layers or for the connecting means of built-in parts while high-density-assembly-ization of parts is attained by this, it is very suitable to problems, such as environmental pollution in a manufacturing process.
[0008] moreover, the passive circuit elements [method / manufacture / of a part built-in multilayer-interconnection substrate according to claim 2] of plurality / inner layer / -- embedding -- the terminal side top of the passive circuit elements concerned -- an insulating layer -- forming -- the insulating layer concerned -- connection -- a hole is drilled and the terminal side of the aforementioned passive circuit elements is exposed -- making -- the aforementioned connection -- it is characterized by carrying out by putting in block connection with the aforementioned passive circuit elements by the through hole formation and etching processing by the hole
[0009] By this method, it can carry out as a series of work in the inside of the manufacturing process of the conventional multilayer-interconnection substrate, and, therefore, the manufacturing facility of the conventional wiring substrate, a tool, a manufacturing technology, etc. can be utilized as it is.
[0010]
[Embodiments of the Invention] Hereafter, the 1st operation gestalt of this invention is explained based on a drawing. Drawing 1 is the cross section of an inner strake [in / the manufacturing process / in the manufacturing process view of the part built-in multilayer-interconnection substrate concerning the 1st operation gestalt of this invention, and drawing 2].
[0011] The 1st operation gestalt of this invention is a multilayer-interconnection substrate (for example, it is 4 lamination) by the conventional method of construction shown in drawing 6 . It is what is carried out as a series of work in the inside of the manufacturing process of the substrate which does not build parts in a inner layer. The formation process of the inner strake shown by the thick line frame in drawing 1 is just going to be different from the inner layer pattern formation process (inner layer pattern formation-etching-inner layer surface treatment shown in process a-c of drawing 6) by the conventional build-up method of construction. All processes after it, such as a laminating adhesion process, an outer layer pattern formation process, etc. of an inner strake and an outside strake, are the same.
[0012] Hereafter, the formation process of the inner strake described above based on drawing 1 and drawing 2 is explained. In addition, the multilayer-interconnection substrate concerning this operation gestalt was made into four layer structures by the one side substrate (one layer and four layers) and inner strake 20 (two-layer and three layers) for outer layers.
[0013] First, part embedded **** 21 for holding tipped type passive circuit elements respectively is processed into an inner strake 20 (core material 20) at the process a of drawing 1 (refer to drawing 2 a). The curvature of the substrate in a laminating process can be prevented by using the object which has a coefficient of thermal expansion of the same grade as the wiring substrate material by a copper clad laminate, copper foil with a resin, etc. for outer layers as core material 20.
[0014] Next, the IC chip 22 and tipped type capacitor 23 grade are embedded at aforementioned part embedded **** 21, a resin is filled up with the process b of drawing 1 into a crevice, and adhesion and fixation of are done (refer to drawing 2 b). Here, since the IC chip 22 is a horizontal mounting type, part embedded **** 21 is a concave configuration, and since the tipped type capacitor 23 is a vertical mounting type, let part embedded **** 21 be a breakthrough.
[0015] Next, an insulating layer (insulator layer) is printed and burned and an insulating layer 26 is formed in vertical both sides of the inner strake 20 with which passive circuit elements were embedded at the process c of drawing 1 (refer to drawing 2 c).
[0016] next, the insulating layer 26 corresponding to terminal side 22a of the aforementioned IC chip 22, and terminal side 23a of the tipped type KODENSA chip 23 at the process d of drawing 1 -- connection -- a hole 27 (hole 27 for through holes) is drilled, and the terminal sides 22a and 23a of the each passive circuit elements 22 and 23 are changed into an exposure state by removing the insulating layer 26 of the portion (refer to drawing 2 d)
[0017] If some as which high degree of accuracy is required have the above-mentioned drilling

processing, although it is performed by usually irradiating a laser beam, it is also possible to carry out by dissolving an insulating layer 26 with a chemical. Of course, drilling using the drill is also possible like before.
[0018] next, the process e of drawing 1 -- the residue on a part terminal side (piece of prepreg **) -- removing -- the conventional build-up method of construction -- connection -- it plates on the wall of a hole 27, the exposed terminal sides 22a and 23a, the front face of the vertical insulating layer 26, etc. The predetermined conductor pattern 28 (namely, inner layer pattern 28) is formed by etching after plating processing. Flow connection with each passive circuit elements 22 and 23 is made with this inner layer pattern 28 (refer to drawing 2 e).
[0019] Henceforth, a prepreg is intervened in between at the process f of drawing 1 in the one side copper-clad sheet for outer layers (or copper foil with a resin), and the inner strake 20 with built-in parts formed at the aforementioned process a-e, and a laminating and after pasting up and forming an outer layer pattern by the conventional method of construction, the part built-in multilayer-interconnection substrate by the 1st operation form of this invention is completed through processes, such as resist printing and silk printing. In addition, the cross section of this process was omitted.
[0020] Next, the 2nd operation form of this invention is explained based on drawing 3 and drawing 4 .
[0021] The manufacturing process view of the part built-in multilayer-interconnection substrate which drawing 3 requires for the 2nd operation form of this invention, and drawing 4 are the cross sections showing the manufacturing process.
[0022] The outer layer pattern which formed connection with built-in parts on the outer layer substrate by the conventional method of construction performs the 2nd operation form to said 1st operation form being the composition of forming the inner layer pattern 28 in an inner strake 20, and making connection with built-in parts. Therefore, formation of the inner layer pattern (28) explained in the aforementioned 1st operation form only by passive circuit elements 22-24 being embedded at an inner strake 20 is not performed. That is, in the case of a **** 2 operation form, it is the new routing by which the portion shown by the thick line frame in drawing 3 is added to the conventional method of construction.
[0023] Hereafter, drawing 3 and drawing 4 explain the manufacture method of a part built-in multilayer-interconnection substrate. In addition, the multilayer-interconnection substrate concerning this operation gestalt was made into four layer structures by the double-sided substrate 10 (one layer and two-layer) for outer layers, the double-sided substrate 30 (three layers and four layers), and the inner strake 20 (core material).
[0024] First, at the processes a and b of drawing 3 , part embedded **** 21 is processed into an inner strake 20 like the aforementioned 1st operation gestalt. And the small chip of the IC chip 22, tipped type KONDENSACHI 23, and tipped type resistance 24 grade is embedded at this part embedded **** 21, and it pastes up and fixes by the resin. (Refer to drawing 4 a and drawing 4 b)

[0025] On the other hand, the outer layer patterns 11 and 31 shown in drawing 4 c are formed in said double-sided substrate 10 and double-sided substrate 30 (outer layer patchboard) for outer layers among drawing 3 of the conventional method of construction (double-sided board pattern formation-perforation-double-sided board etching) shown by the double plate. Under the present circumstances, the lands 12 and 32 for through holes are formed in the position corresponding to the terminal sides 22a-24a of passive circuit elements 22-24 11 of an outer layer pattern, and 31.
[0026] Next, at the process c of drawing 3 , in between, a prepreg 40 (or you may use a thin resin film etc.) is intervened, and the laminating and adhesion of the outer layer patchboards 10 and 30 and the aforementioned inner strake 20 with which the outer layer patterns 11 and 31 were formed are done (refer to drawing 4 c).
[0027] next, the process d of drawing 3 -- the aforementioned lands 12 and 32 for through holes -- the object for connection -- holes 13 and 33 (namely, a through hole holes 13 and 33) are drilled, a prepreg 40 is removed, and the terminal sides 22a-24a of each passive circuit elements 22-24 are exposed Perforation processing in this case is the same as that of the case of the 1st operation

gestalt, and is performed using a laser beam, a chemical, or a drill.
[0028] subsequently, the process f of drawing 3 -- the object for connection -- it plates to the wall of holes 13 and 33, and the exposed terminal side, and connection with the built-in parts 22-24 is completed through the upper outer layer pattern 11 and the lower outer layer pattern 31 which were formed at the last process (refer to drawing 4 d) in addition, the through hole for connection for connecting for 1 - four layers, although the "perforation process" shown in the process e of drawing 3 is not illustrated to drawing 4 -- it is a hole
[0029] Henceforth, the part built-in multilayer-interconnection substrate by the 2nd operation gestalt of this invention is completed through processes, such as resist printing and silk printing. Drawing 5 is the cross section showing the internal structure of the completed part built-in multilayer substrate 1, and it is the inner strake [patchboard / outer layer] with which the signs 10 and 30 in drawing were built in, and, as for the sign 20, the small chip of the IC chip 22, the tipped type capacitor 23, and tipped type resistance 24 grade was built in. Moreover, two or more external IC parts 2 are mounted in the front face of the outer layer patchboard 10.
[0030] Thus, according to this operation gestalt, the part built-in multilayer-interconnection substrate which can respond to a super-high-density-assembly inclination in recent years is producible by embedding two or more passive circuit elements at the inner layer of a multilayer-interconnection substrate, and connecting collectively by the plating processing which accomplishes these built-in parts by the manufacturing process of the conventional multilayer-interconnection board.
[0031] Since the starting method of construction can utilize the manufacturing facility of the conventional multilayer-interconnection substrate, a tool or a manufacturing technology, etc. as it is, it can realize reliable high density assembly at a simple process not through a complicated manufacturing process like the part built-in multilayer-interconnection board by the conventional solder connection. Moreover, since solder material is not used for connection of built-in parts or an interlayer connection, the problem of the environmental pollution in a manufacturing process etc. is solvable.
[0032] Moreover, with this operation gestalt, although the fundamental multilayer-interconnection substrate by four layer structures is explained, it is not limited to this, and, of course, the high multilayer board of four or more layers can also be applied by the repeat of the same work.
[0033]
[Effect of the Invention] Since it was made to make connection with the aforementioned passive circuit elements by plating in the multilayer-interconnection substrate which two or more passive circuit elements are embedded at a inner layer, and changes according to this invention according to claim 1 as explained above In the manufacturing process of the part built-in multilayer-interconnection substrate in which high density assembly is possible, since it is not necessary to use the solder which is environmental loading material for connection between each class and between built-in parts, it is very suitable also to the detrimental nature indication to environmental pollution and an operator in question in recent years.
[0034] Moreover, according to this invention according to claim 2, passive circuit elements are embedded at the inner layer of a multilayer-interconnection substrate. A hole is drilled and the terminal side of the aforementioned passive circuit elements is exposed. the terminal side top of the passive circuit elements concerned -- an insulating layer -- forming -- the insulating layer concerned -- connection -- the aforementioned connection, since it was made to carry out by putting in block connection with the aforementioned passive circuit elements by the through hole formation and etching processing by the hole the same effect as the above is done so, and also since this process can be carried out as a series of work in the inside of the manufacturing process of the conventional multilayer-interconnection substrate, it can be boiled not through a complicated manufacturing process like the part built-in multilayer-interconnection board by the conventional technology, and can realize high density assembly at a simple process

---

[Translation done.]

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号
特開2000－311229
（P2000－311229A）
(43)公開日　平成12年11月７日(2000.11.7)

(51)Int.Cl.⁷	識別記号	ＦＩ	ﾃｰﾏｺｰﾄﾞ(参考)
Ｇ０６Ｋ　19/077		Ｇ０６Ｋ　19/00	Ｋ　５Ｂ０３５

審査請求　未請求　請求項の数20　ＯＬ　（全　８　頁）

(21)出願番号　特願平11－119338

(22)出願日　平成11年４月27日(1999.4.27)

(71)出願人　000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目６番地

(72)発明者　坂口　勝
神奈川県横浜市戸塚区吉田町292番地　株式会社日立製作所生産技術研究所内

(72)発明者　松本　邦夫
神奈川県横浜市戸塚区吉田町292番地　株式会社日立製作所生産技術研究所内

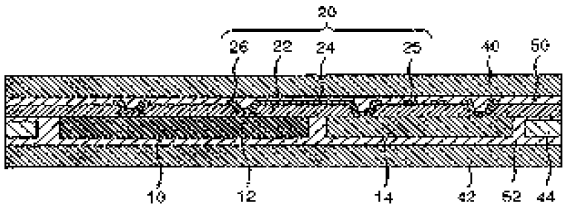
(74)代理人　100061893
弁理士　高橋　明夫　（外１名）

最終頁に続く

(54)【発明の名称】　ＩＣカード及びその製造方法

(57)【要約】
【課題】　封止の作業性を改善し、接続パッドと電極の接続後、樹脂封止工程への移送時の接続不良を無くし、コストを低減できるＩＣカード及びその製造方法を提供する。
【解決手段】　配線基板２０の構成要素であるフィルムあるいはシート状の基材２２を直接封止材として使用する。また、半導体チップ１０と配線基板２０を接着固定した後に、ボンディングツールを接続パッド２６上に押し当てて超音波振動の印加と加圧によってパッド下部の基材を押し退けながら接続パッドと電極１２とを超音波接続する。

図　１



1

【特許請求の範囲】

【請求項１】表カバーシートと、裏カバーシートと、絶縁性の基材の一面に接続パットと配線導体とが配置された配線面と他面に基材部が露出した基材面を有する配線基板と、電極が配置された電極面が前記基材面に対向して配置された半導体チップとを備え．前記基材面と前記半導体チップの前記電極面とが密着され、前記接続パドが前記電極に接続された前記配線基板と前記半導体チップを前記表カバーシートと前記裏カバーシートとの間に配置してこれらと接着することを特徴とするＩＣカード。

【請求項２】配線基板に搭載された半導体チップを接着剤を介して表カバーシートと裏カバーシートで挟み込んだＩＣカードにおいて、基材の一面に回路パターン及び接続パッドが形成された前記配線基板と、表面に電極が形成された半導体チップとを備え、前記基材面に前記半導体チップの表面を密着させると共に．前記配線基板の接続パッドを前記半導体チップの電極と電気的に接続し．前記配線基板と半導体チップが接着層を介して、前記表カバーシートと裏カバーシートによって挟み込まれることを特徴とするＩＣカード。

【請求項３】請求項１または２記載のＩＣカードにおいて．前記半導体チップの表面と対向する前記基材面に接着膜を有することを特徴とするＩＣカード。

【請求項４】請求項１または２記載のＩＣカードにおいて．前記配線基板の前記基材は接着性樹脂で形成されることを特徴とするＩＣカード。

【請求項５】請求項１または２記載のＩＣカードにおいて．前記配線基板の前記接続パッドは前記基材を押し退け．凹状に構成され、前記半導体チップの前記電極と電気的に接続されることを特徴とするＩＣカード。

【請求項６】請求項１または２記載のＩＣカードにおいて．前記配線基板の前記接続パッドはアルミニウム、銅．ニッケル．金のいずれかを主成分とする金属及び銀．パラジウムのいずれかを主成分とする導電性ペーストで形成されていることを特徴とするＩＣカード。

【請求項７】請求項１または２記載のＩＣカードにおいて．前記半導体チップの前記電極がアルミニウム．銅、ニッケル、金のいずれかを主成分とする金属で形成されていることを特徴とするＩＣカード。

【請求項８】請求項１、２．３、４または５記載のＩＣカードにおいて．前記基材面に密着されたジャンパ配線と．前記基材の一面に配置された回路パターンと．前記回路パターンに接続された他の接続パッドとを設け、前記他の接続パッドと前記ジャンパ配線とを接続することを特徴とするＩＣカード。

【請求項９】請求項８記載のＩＣカードにおいて．前記ジャンパ配線として金属板または金属箔を用い．前記ジャンパ配線と前記回路パターンを立体交差させることを特徴とするＩＣカード。

2

【請求項１０】請求項１または２記載のＩＣカードにおいて．前記配線基板の前記基材はエポキシ系樹脂．ポリエステル系樹脂．塩化ビニール系樹脂．フッ素系樹脂、ポリエチレン系樹脂、ポリプロピレン系樹脂、スチレン系樹脂、ポリアミド系樹脂．ポリビニールアルコール系樹脂．ポリ塩化ビニリデン系樹脂、セルロース系樹脂、フェノール系樹脂のいずれかで形成されていることを特徴とするＩＣカード。

【請求項１１】基材の一面に接続パッドと配線導体を形成した配線面と他面に基材部が露出した基材部を配置した配線基板を設ける工程と．電極が設けられた半導体チップの電極面を前記基材面に対向して配置し、前記接続パッドと前記電極の位置合わせを行う工程と、前記基材面と前記半導体チップの前記電極面を接触させる工程と．ボンディングツールで前記接続パッドを加圧すると共に前記ボンディングツールを通して前記基材に超音波振動を印加し前記接続パッドと前記電極とを接続する工程と．前記配線基板と前記半導体チップを表カバーシートと裏カバーシートとで接着剤を介して挟み込む工程とを備えることを特徴とするＩＣカードの製造方法。

【請求項１２】基材の一面に接続パッドと配線導体を形成した配線面と他面に基材部が露出した基材部を配置した配線基板を設ける工程と．電極が設けられた半導体チップの電極面を前記基材面に対向して配置し、前記接続パッドと前記電極の位置合わせと行う工程と、前記基材面と前記半導体チップの前記電極面を接触させる工程と．ボンディングツールで前記接続パッドを加圧すると共に前記ボンディングツールを通して前記基材を加熱して前記接続パッドと前記電極を接続する工程と．前記配線基板と前記半導体チップを表カバーシートと裏カバーシートとで接着剤を介して挟み込む工程とを備えることを特徴とするＩＣカードの製造方法。

【請求項１３】配線基板の基材上に形成された接続パッドと．半導体チップ上に形成された電極と電気的に接続し．前記配線基板と前記半導体チップを、表カバーシートと裏カバーシートで挟み込んだＩＣカードの製造方法において、前記基材の一面に回路パターンと前記接続パッドを形成した前記配線基板の上方に、前記半導体チップの前記電極が前記基材面に対向するように配置する工程と、前記半導体チップの前記電極を、前記配線基板の前記接続パッドと位置合わせする工程と、前記配線基板と前記半導体チップを加圧して接着させる工程と、前記配線基板の前記接続パッド上に、ボンディングツールによって超音波振動を印加して前記接続パッドと前記半導体チップの前記電極を電気的に接続する工程と．前記配線基板及び前記半導体チップを表カバーシートと裏カバーシートによって挟み込み接着固定する工程とを備えることを特徴とするＩＣカードの製造方法。

【請求項１４】基材の一面に接続パッドと配線導体を配置した配線基板を設ける工程と、電極が設けられた半導

体チップの電極側を前記基材面に対向して配置し，前記接続パッドと前記電極の位置合わせと行う工程と，前記基材の他の面と前記半導体チップの前記電極が配置された面を接触させる工程と，ボンディングツールで前記接続パッドを加圧して前記接続パッドと前記電極と接続する工程と、前記配線基板に接続された前記半導体チップを表カバーシートと裏カバーシートとで接着剤介して挟み込む工程とを備えることを特徴とするＩＣカードの製造方法。

【請求項１５】請求項１３記載のＩＣカードの製造方法において、前記接続パッドと前記電極とを接続する工程は，前記ボンディングツールを用いて前記接続パッドを加圧する工程を備えることを特徴とするＩＣカードの製造方法。

【請求項１６】請求項１４記載のＩＣカードの製造方法において、前記接続パッドと前記電極とを接続する工程は，前記ボンディングツールを用いて前記配線基板の基材と前記半導体チップの表面を加熱することによって両者を接着させる工程を備えることを特徴とするＩＣカードの製造方法。

【請求項１７】請求項１１または１３記載のＩＣカードの製造方法において、前記接続パッドと前記電極とを接続する工程は，更に前記ボンディングツールによって、前記基材を加熱する工程を含むことを特徴とするＩＣカードの製造方法。

【請求項１８】請求項１２記載のＩＣカードの製造方法において、前記接続パッドと前記電極とを接続する工程は，更に前記ボンディングツールによって、前記基材に超音波振動を印加する工程を含むことを特徴とするＩＣカードの製造方法。

【請求項１９】請求項１１または１３記載のＩＣカードの製造方法において、前記接続パッドと前記電極とを接続する工程は，前記接続パッドが前記半導体チップの電極と接触するまでは前記接続パッド面に垂直方向の超音波振動を印加し，前記接続パッドが前記半導体チップの前記電極と接触した後は水平方向の超音波振動を印加する工程を備えることを特徴とするＩＣカードの製造方法。

【請求項２０】請求項１１，１２，１３または１４記載のＩＣカードの製造方法において、前記基材の一面に他の接続パッドを設ける工程と，前記基材面にジャンパ配線を接着させる工程とを設け，前記接続パッドと前記電極の接続工程において，前記接続パッドと前記ジャンパ配線も接続することを特徴とするＩＣカードの製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は配線基板上に半導体チップを搭載したＩＣカード及びその製造方法に関するものである。

【０００２】

【従来の技術】従来から広く使われてきている磁気カードは，セキュリティ及び情報の記憶容量の点で不十分なことから、近年この要求を満たすことが出来るＩＣカードの需要が急速に高まってきている。ＩＣカードはマイクロプロセッサ，半導体メモリー等を組み込んだ半導体チップを回路基板上に実装し、表裏を絶縁シート等で挟み込んでカード化したものである。

【０００３】図５，図６を用いて、従来のＩＣカードについて説明する。図５はワイヤボンディング方式により，半導体チップを実装したＩＣカードの断面図である。図において，配線基板１００の上面には配線導体１０２及び接続パッド１０４が形成されており、この基板上に半導体チップ１１０が回路面を上にした、いわゆるフェースアップで配置、固定されている。半導体チップ１１０の回路面には電極１１２が形成されており，この電極１１２と接続パッド１０４は金（Ａｕ）等のワイヤ１１４でボンディングされ，電気的に接続されている。半導体チップ１１０と接続パッド１０４及びワイヤ１１４を含む半導体チップ配置部は封止樹脂１２０で覆われている。半導体チップ１１０が配置されるエリアを除いた部分にはスペーサ１３０が配置されている。配線基板１００と表カバーシート１４０の間は接着剤１５０によって，また、配線基板１００と裏カバーシート１４２との間は接着剤１５２によって接着され，表カバーシート１４０と裏カバーシート１４２で半導体チップ１１０を搭載した配線基板１００とスペーサー１３０を挟み込んで一体化し、ＩＣカードが形成される。この構造及び製造方法について，例えば，特開平１０－２６４５６３号公報に記載されている。

【０００４】図６はＦＣＡ（Ｆｌｉｐ　Ｃｈｉｐ　Ａｔｔａｃｈ）方式により半導体チップを実装したＩＣカードの断面図である。図において，図５と同じ機能を持つものに対しては同一の参照番号をつけ，その説明を省略する。半導体チップ１１０は回路面を配線基板１００の接続パッド１０４と向かい合った位置，すなわちフェースダウンで配置されている。半導体チップ１１０の上面には電極１１２が形成され，この電極１１２にはバンプ１１６が形成され，このバンプ１１６と配線基板上の接続パッド１０４が電気的に接続されている。接続部を含む半導体チップ１１０の表面と配線基板１００の表面は封止樹脂１２０が充填され，機械的な固定と耐湿保護を行っている。この構造及び製造方法については，例えば，特開平８－２３０３６７号公報，特開平１０－３０５６７９号公報に記載されている。

【０００５】

【発明が解決しようとする課題】前述のワイヤボンディング方式では，半導体チップの電極と配線基板の接続パッドをワイヤボンディングした後に，接続部及びワイヤ部分を機械的に補強し、耐湿保護を行なう目的で絶縁樹

脂による封止を行っている。この樹脂封止はワイヤに余計な力がかからないように液状の樹脂を用いて、ディスペンサー等で接続部に流し込む方法、スクリーン印刷で塗布する方法等によって行われる。ところが、この樹脂封止は液状材料を取り扱う関係で作業性が悪い。また、加熱による硬化処理が必要であるため、その処理に要する時間が長く、生産性が悪いという問題があった。

【０００６】ＦＣＡ方式でも、半導体チップを配線基板に搭載した後、機械的補強及び耐湿保護の目的で絶縁性の樹脂によって封止を行っている。特にこの方式ではチップ搭載後、樹脂封止をするまでのチップの保持は、バンプと接続パッドの接着力のみで非常に弱い。このため、その後の処理に支障をきたさないように、チップ搭載後直ぐに樹脂による固定が必要である。また接続部の耐湿保護も必要なことから、ワイヤボンディング方式と同様の樹脂封止を行っており、ワイヤボンディング方式と同様の問題があった。さらに、ＦＣＡ方式では半導体チップの高極にバンプを形成する必要があり、このバンプ形成が原価高の原因になるという問題があった。

【０００７】本発明の目的は、このような従来の封止樹脂の作業性が悪い問題を解決し、作業性、生産性が良好なＩＣカード及びその製造方法を提供することにある。本発明の他の目的はバンプを必要としない低コストのＩＣカード及びその製造方法を提供することにある。

【０００８】

【課題を解決するための手段】本発明は上記の目的を達成するために、配線基板の構成要素である基材を封止用の材料として使用するもので、基材と半導体チップ表面は基材の接着力あるいは基材と半導体チップ表面との間に配置した接着剤によって接着、固定される。

【０００９】また、配線基板の接続パッドと半導体チップの電極は、接続パッド上部からボンディングツールによる超音波振動の印加と加圧、更には加熱することによって、接続パッド下部の基材を軟化させ押し退けて接触させ、その後の超音波振動の印加によって電気的に接続される。なお、加熱処理は材料により省くことが出来る。

【００１０】電気的に接続が完了した配線基板と半導体チップは、一面に接着剤を塗布した表カバーシートと裏カバーシートによって挟み込まれて接着固定され、外形切断されてＩＣカードが完成する。接着部にはカードの厚さを制御するために必要に応じてスペーサーが配置される。回路配線に立体交差部が必要な場合は回路パターン面の反対面に金属板または金属箔からなるジャンパ配線を半導体チップと同様な方法で接着固定し、超音波接続する。

【００１１】本発明の目的を達成するために、本発明によるＩＣカードは、表カバーシートと、裏カバーシートと、絶縁性の基材の一面に接続パットと配線導体とが配置された配線面と、前記配線面の裏側で基材部が露出した基材面を有する配線基板と、高極が配置された電極面が前記基材面に対向して配置された半導体チップとを備え、前記基材面と前記半導体チップの前記高極面とが密着され、前記接続パッドが前記高極に接続された前記配線基板と前記半導体チップを前記表カバーシートと前記裏カバーシートとの間に配置してこれらと接着する。

【００１２】また、本発明によるＩＣカードは、配線基板に搭載された半導体チップを接着剤を介して表カバーシートと裏カバーシートで挟み込んだＩＣカードにおいて、基材の一面に回路パターン及び接続パッドが形成された前記配線基板と、表面に高極が形成された半導体チップとを備え、前記基材面に前記半導体チップの電極面を密着させると共に、前記配線基板の接続パッドを前記半導体チップの電極と電気的に接続し、前記配線基板と半導体チップが接着層を介して、前記表カバーシートと裏カバーシートによって挟み込まれる。

【００１３】これらのＩＣカードにおいて、前記半導体チップの表面と対向する前記基材面に接着膜を設ける。また、前記配線基板の前記基材は接着性樹脂で形成してもよい。本発明のＩＣカードにおいて、前記配線基板の前記接続パッドは前記基材を押し退け、凹状に構成され、前記半導体チップの前記高極と電気的に接続される。

【００１４】前記配線基板の前記接続パッドはアルミニウム、銅、ニッケル、金のいずれかを主成分とする金属及び銀、パラジウムのいずれかを主成分とする導電性ペーストで形成される。また、前記半導体チップの前記高極がアルミニウム、銅、ニッケル、金のいずれかを主成分とする金属で形成される。また、本発明によるＩＣカードにおいて、前記基材面に密着されたジャンパ配線と、前記基材の一面に配置された回路パターンと、前記回路パターンに接続された他の接続パッドとを設け、前記他の接続パッドと前記ジャンパ配線とを接続してもよい。また、前記ジャンパ配線として金属板または金属箔を用い、前記ジャンパ配線と前記回路パターンを立体交差させることができる。

【００１５】また、前記配線基板の前記基材はエポキシ系樹脂、ポリエステル系樹脂、塩化ビニール系樹脂、フッ素系樹脂、ポリエチレン系樹脂、ポリプロピレン系樹脂、スチレン系樹脂、ポリアミド系樹脂、ポリビニールアルコール系樹脂、ポリ塩化ビニリデン系樹脂、セルロース系樹脂、フェノール系樹脂のいずれかで形成される。

【００１６】本発明の目的を達成するために、本発明によるＩＣカードの製造方法は、基材の一面に接続パッドと配線導体を配置した配線基板を設ける工程と、電極が設けられた半導体チップの電極側を前記基材面に対向して配置し、前記接続パッドと前記高極の位置合わせを行う工程と、前記基材面と前記半導体チップの前記電極が配置された面を接触させる工程と、ボンディングツール

で前記接続パッドを加圧すると共に前記ボンディングツールを通して前記基材に超音波振動を印加し前記接続パッドと前記電極とを接続する工程と、前記配線基板に接続された前記半導体チップを表カバーシートと裏カバーシートとで接着剤を介して挟み込む工程とを備える。

【００１７】また、本発明の目的を達成するために、本発明によるＩＣカードは、基材の一面に接続パッドと配線導体を配置した配線基板を設ける工程と、電極が設けられた半導体チップの電極側を前記基材面に対向して配置し、前記接続パッドと前記電極の位置合わせを行う工程と、前記基材面と前記半導体チップの前記電極が配置された面を接触させる工程と、ボンディングツールで前記接続パッドを加圧すると共に前記ボンディングツールを通して前記基材を加熱して前記接続パッドと前記電極を接続する工程と、前記配線基板に接続された前記半導体チップを表カバーシートと裏カバーシートとで接着剤を介して挟み込む工程とを備える。

【００１８】本発明の目的を達成するために、本発明によるＩＣカードは、配線基板の基材上に形成された接続パッドと、半導体チップ上に形成された電極と電気的に接続し、前記配線基板と前記半導体チップを、表カバーシートと裏カバーシートで挟み込んだＩＣカードの製造方法において、前記基材の一面に回路パターンと前記接続パッドを形成した前記配線基板の上方に、前記半導体チップの前記電極が前記基材面に対向するように配置する工程と、前記半導体チップの前記電極を、前記配線基板の前記接続パッドと位置合わせする工程と、前記配線基板と前記半導体チップを加圧して接着させる工程と、前記配線基板の前記接続パッド上に、ボンディングツールによって超音波振動を印加して前記接続パッドと前記半導体チップの前記電極を電気的に接続する工程と、前記配線基板及び前記半導体チップを表カバーシートと裏カバーシートによって挟み込み接着固定する工程とを備える。

【００１９】本発明の目的を達成するために、本発明によるＩＣカードは、基材の一面に接続パッドと配線導体を配置した配線基板を設ける工程と、電極が設けられた半導体チップの電極側を前記基材面に対向して配置し、前記接続パッドと前記電極の位置合わせを行う工程と、前記基材面と前記半導体チップの前記電極が配置された面を接触させる工程と、ボンディングツールで前記接続パッドを加圧して前記接続パッドと前記電極と接続する工程と、前記配線基板に接続された前記半導体チップを表カバーシートと裏カバーシートとで接着剤介して挟み込む工程とを備える。

【００２０】本発明のＩＣカードの製造方法において、前記接続パッドと前記電極とを接続する工程は、前記ボンディングツールを用いて前記接続パッドを加圧する工程を備えると好適である。また、前記接続パッドと前記電極とを接続する工程は、前記ボンディングツールを用いて前記配線基板の基材と前記半導体チップの表面を加熱することによって両者を接着させる工程を備えると好適である。また、前記接続パッドと前記電極とを接続する工程は、更に前記ボンディングツールによって、前記基材に超音波振動を印加する工程を備えると好適である。

【００２１】好ましくは、前記接続パッドと前記電極とを接続する工程は、前記接続パッドが前記半導体チップの電極と接触するまでは前記接続パッド面に垂直方向の超音波振動を印加し、前記接続パッドが前記半導体チップの前記電極と接触した後は水平方向の超音波振動を印加する工程を備える。

【００２２】また、前記基材の一面に他の接続パッドを設ける工程と、前記基材面にジャンパ配線を接着させる工程とを設け、前記接続パッドと前記電極の接続工程において、前記接続パッドと前記ジャンパ配線も接続すると好適である。

【００２３】

【発明の実施の形態】以下、本発明の実施の形態を、実施例を用い、図面を参照して説明する。図１は本発明になるＩＣカードの一実施例を示す断面図であり、図２は図１に示すＩＣカードの配線基板に半導体チップ、ジャンパ配線を配置した平面図であり、図３は図２のＡ－Ａ’の拡大断面図である。

【００２４】まず、図２、３を用いて、半導体チップ実装部の構成について説明する。

【００２５】半導体チップ１０の表面には電極１２が形成されている。配線基板２０は基材２２とこの基材２２の表面に形成された中継配線２４、コイルパターン２５等の回路パターン２８及び接続パッド２６から構成されている。配線基板２０上に形成されているコイルパターン２５の一端は図２に示すように、半導体チップ１０の電極１２と接続され、他端はジャンパ配線１４に接続されるように、半導体チップ１０の電極１２と、コイルパターン２５とジャンパ配線１４は配置されている。更に、ジャンパ配線１４の他端は中継配線２４の一端に接続され、中継配線２４の他端は半導体チップ１０の電極１２と接続されるように、ジャンパ配線１４、中継配線２４及び半導体チップ１０の電極１２は配置されている。

【００２６】配線基板２０の回路パターン２８及び接続パッド２６等が配置される面と反対の面に、半導体チップ１０の電極１２側の表面が密着固定されている。同様にジャンパ配線１４の表面も半導体チップ１０が固定されている配線基板２０面の基材２２と密着固定されている。配線基板上の接続パッド２６は接続パッド２６下部の基材２２を押し退けて半導体チップ１０の電極側に凹状に変形され、電極１２及びジャンパ配線１４と電気的に接続されている。

【００２７】次に図１を用いてＩＣカードの構造につい

て説明する。図１において．図２、３と同じものについては同一の参照符号を付ける。表カバーシート４０と配線基板２０の一面は接着剤５０によって接着固定され、裏カバーシート４２と半導体チップ１０及びジャンパ配線１４は接着剤５２により固定されている。スペーサー４４は配線基板２０の半導体チップ１０及びジャンパ配線１４が配置されている面と同一面側に設けられ．配線基板２０と裏カバーシート４２に挟まれ、接着剤５２によって接着固定されている。半導体チップ１０の電極１２は半導体チップ１０の素子形成時にチップ内を電気的に接続するチップ内配線と同じプロセスで形成され、アルミニウム（Ａｌ）、銅（Ｃｕ）、ニッケル（Ｎｉ）、あるいは金（Ａｕ）を主成分とした金属膜で形成されている。

【００２８】配線基板２０を構成する基材２２はエポキシ系樹脂、ポリエステル系樹脂、塩化ビニール系樹脂、フッ素系樹脂．ポリエチレン系樹脂．ポリプロピレン系樹脂．スチレン系樹脂、ポリアミド系樹脂、ポリビニールアルコール系樹脂、ポリ塩化ビニリデン系樹脂．セルロース系樹脂．フェノール系樹脂等の絶縁性を有する例えばポリエチレンテレフタレート、ポリエステル．ポリカーボネート．ポリアリレート、ポリエチレン．ポリ塩化ビニリデン．ポリアセタール、ポリイミド、エポキシレジン、テトロン（登録商標）、ビニロン（登録商標）．ポリスチレン、ポリスチロール．ポリプロピレン．テフロン（登録商標）．ナイロン（登録商標）等の材料を用いてフィルムまたはシート状に形成すると好適である。

【００２９】配線基板２０上に形成された中継配線２４．コイルパターン２５及び接続パッド２６は基材２２の上に通常の方法で成膜され、パターニングされたアルミニウム（Ａｌ）、銅（Ｃｕ）、ニッケル（Ｎｉ）、金（Ａｕ）を主成分とする金属配線、銀（Ａｇ）．パラジウム（Ｐｄ）を主成分とする導電性ペーストを印刷等によって形成された配線、あるいはこれらの配線上に金メッキ等を施したものである。ジャンパー配線１４はアルミニウム（Ａｌ）、銅（Ｃｕ）、ニッケル（Ｎｉ）、金（Ａｕ）などの金属板または金属箔で構成される。

【００３０】このような構成において．配線基板２０の基材２２と半導体チップ１０の表面は完全に密着されており．半導体チップ１０の電極１２と配線基板２０の接続パッド２６との接続部では接続パッド２６が基材２２の一部を押し退けて凹状に変形され．半導体チップ１０の電極１２と電気的、機械的に完全に接続されている。ジャンパ配線１４も配線基板２０の半導体チップ１０が配置される面に密着して取り付けられ．その両端は凹状の接続パッド２６と接続される。半導体チップ１０と配線基板１０、及びジャンパ配線１４と配線基板２０を接着するには配線基板２０に接着性をもたせて接着するか配線基板２０の基材面に予め接着剤を塗布しておいてもよい。スペーサー４４は半導体チップ１０とジャンパ配線１４が存在しない部分の厚さバランスを取るために挿入されるが、場合によっては省略してもよい。表カバーシート４０及び裏カバーシート４２は．半導体チップ１０．ジャンパ配線１４、配線基板２０を機械的に補強し．種々の環境下においてこれらを保護するために設けられる。

【００３１】次に本発明になるＩＣカードの製造方法の一実施例について図４を用いて説明する。図４はＩＣカードの製造方法の一実施例を説明するための断面図であり．図４（ａ）は半導体チップとジャンパ配線を配線基板と対向して配置し、位置合わせを行なった状態を示す断面図であり．図４（ｂ）は半導体チップとジャンパ配線を配線基板に密着させた状態を示す断面図であり、図４（ｃ）は図４（ｂ）に示す物を上下反転して接続パッドを凹部に形成して半導体チップ及びジャンパ配線とを接続した状態を示す断面図．図４（ｄ）は表カバー、裏カバーおよびスペーサーを配置した接着前の断面図である。なお、図４において．図１～３と同一のものには同一の符号を付して説明する。

【００３２】図４（ａ）は半導体チップ１０及びジャンパ配線１４を配線基板２０に密着させる前の状態を示している。配線基板２０は回路パターン２８が下面になるように配置されており、その上方に半導体チップ１０とジャンパ配線１４が配線基板２０と対向して配置される。この状態で半導体チップ１０の電極１２と配線基板２０の接続パッド２６の位置合わせを行う。位置合わせ方法は通常用いられている光学的に位置合わせマークを読み取り、配線基板２０及び半導体チップ１０を駆動する機構にフィードバックさせる方法（図示しない）を用いている。位置があった時点で図４（ｂ）に示すように半導体チップ１０と基材２２を接触させ、上下方向から加圧（図中矢印で示す）して基材２２と半導体チップ１０を密着、固定させる。この場合、加圧と同時に加熱を行ってもよい。同様にジャンパ配線１４も基材２２と密着．固定させる。

【００３３】次に、図４（ｃ）に示すように、図４（ｂ）に示す全体を上下反転をしてボンディングツール６０を接続パッド２６に押しつけ（図中矢印で示す）、ボンディングツール６０を介して基材２２に超音波振動を印加する。この超音波振動を印加することによって、ボンディングツール６０が押し当てられた部分の基材２２が加熱して軟化する。従って、この超音波振動の印加とボンディングツール６０の加圧によって接続パッド２６下部の基材２２は押し退けられ、接続パッド２６は凹状に変形して電極１２と接触する。この状態でさらに超音波振動を印加することにより、接続パッド２６と電極１２は電気的に完全に接続される。この場合、ボンディングツール６０に加熱機構を設けて．例えばヒータ線を巻き付けて接続パッド２６上面を加熱したり、レーザ光

あるいは熱風等を接続パッド２６に印加する等の局所加熱する方法も有効である。さらに超音波振動を水平方向と垂直方向の２方向に印加出来るボンディングツール６０を用い、まず垂直方向の振動で接続パッド２６下部の基材２２を軟化させ、次いで水平方向の振動で接続パッド２６と電極１２の接合を行うと更に好適である。同様にしてジャンパ配線１４と配線基板２０の接続パッドを接続する。

【００３４】次に、図４（ｄ）に示すように、半導体チップ１０及びジャンパ配線１４を接続し、スペーサー４４を配置した配線基板２０を接着剤５０を塗布した表カバーシート４０と接着剤５２を塗布した裏カバーシート４２の間に配置して、表カバーシート４０と裏カバーシート４２の両側から熱盤によって加圧．加熱を行って接着．固定することによって．ＩＣカードが完成される。

【００３５】以上説明したように、本発明によれば配線基板の基材を封止に使用するため、液状樹脂を使用する従来製品で問題となっていた取り扱い難さや作業性が悪いと言う問題．樹脂管理の問題が無くなり、作業性がよくなった。また．封止工程は基材と半導体チップ表面を接触させた後．簡単な加熱．加圧装置で処理可能なことから．装置導入等の初期コストの低減が可能で．製品コストを低く押さえることが出来る。

【００３６】また、配線基板と半導体チップを接着して機械的に固定した後に接続パッドと電極との接続を行うため．接続後の取り扱いが容易になり．作業効率を上げることが出来る。またチップ電極にバンプを形成する必要がないため．製品コストを大幅に低減することができる。

＊【００３７】

【発明の効果】以上説明したように．本発明によれば配線基板の基材を封止に使用するため．作業性がよい。また．配線基板と半導体チップを接着して機械的に固定した後に、接続パッドと電極との接続を行なっているため．接続後の取り扱いが容易になり．作業効率を上げることが出来る。またチップ電極にバンプを形成する必要がないため、製品コストを低減することができる。

【図面の簡単な説明】

【図１】本発明になるＩＣカードの一実施例を示す断面図である。

【図２】図１に示すＩＣカードの配線基板に半導体チップ．ジャンパ配線を配置した平面図である。

【図３】図２のＡ－Ａ´の拡大断面図である。

【図４】ＩＣカードの製造方法の一実施例を説明するための断面図である。

【図５】ワイヤボンディング方式により、半導体チップを実装したＩＣカードの断面図である。

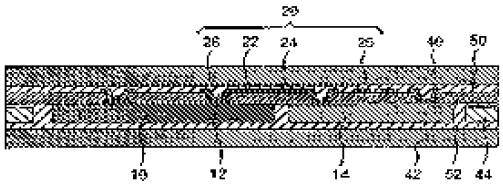
【図６】ＦＣＡ方式により半導体チップを実装したＩＣカードの断面図である。

【符号の説明】

１０．１１０…半導体チップ、１２．１１２…電極、１４…ジャンパ配線、２０．１００…配線基板、２２…基材．２４…中継配線、２５…コイルパターン、２８…回路パターン、２６、１０４…接続パッド、４０．１４０…表カバーシート、４２．１４２…裏カバーシート、４４．１３０…スペーサー．５０、５２．１５０．１５２…接着剤、６０…ボンディングツール．１１４…ワイヤ．１１６…バンプ、１２０…封止樹脂。

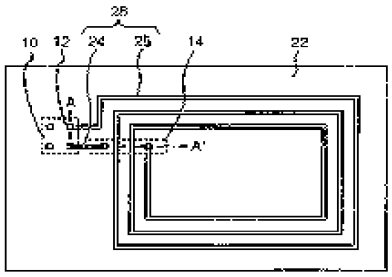
【図１】

図　1



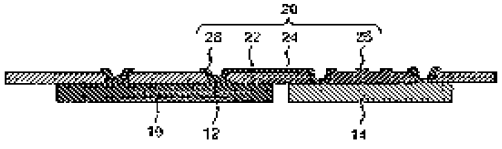
【図２】

図　2



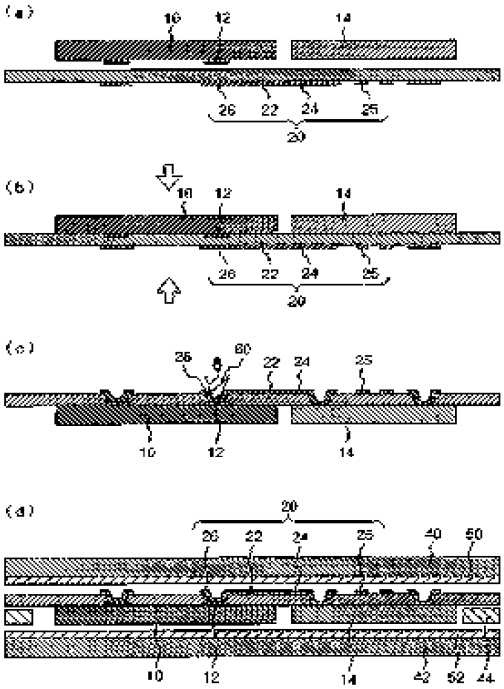
【図３】

図　3



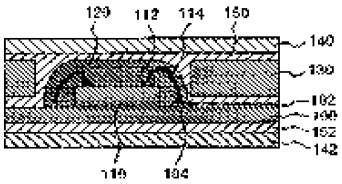
【図４】

図 4



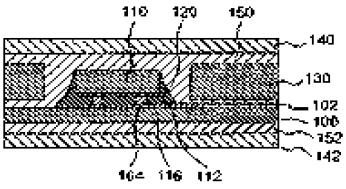
【図５】

図 5



【図６】

図 6



フロントページの続き

(72)発明者　大関　良雄
神奈川県横浜市戸塚区吉田町292番地　株式会社日立製作所生産技術研究所内
(72)発明者　和井　伸一
神奈川県秦野市堀山下１番地　株式会社日立製作所汎用コンピュータ事業部内
(72)発明者　高岡　勇
神奈川県秦野市堀山下１番地　株式会社日立製作所汎用コンピュータ事業部内
(72)発明者　橋本　豊
神奈川県秦野市堀山下１番地　株式会社日立製作所汎用コンピュータ事業部内
(72)発明者　山口　欣秀
神奈川県横浜市戸塚区吉田町292番地　株式会社日立製作所生産技術研究所内

Ｆターム(参考)　5B035 AA04 BA03 BA04 BA05 BB09
CA01 CA03 CA08 CA11

* NOTICES *

JPO and INPIT are not responsible for any
damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]
[0001]
[Field of the Invention]This invention relates to an IC card which carries a semiconductor chip on a wiring board, and a manufacturing method for the same.
[0002]
[Description of the Prior Art]Since the magnetic card widely used from the former is insufficient in respect of the storage capacity of security and information, the demand of the IC cards which can fill this demand in recent years is increasing quickly. An IC card mounts the semiconductor chip incorporating a microprocessor, semiconductor memory, etc. on the circuit board, and puts and card-izes a rear surface with an insulation sheet etc.
[0003]The conventional IC card is explained using drawing 5 and drawing 6. Drawing 5 is a sectional view of the IC card which mounted the semiconductor chip with the wire bonding system. In the figure, the wiring conductor 102 and the connection pad 104 are formed in the upper surface of the wiring board 100, and the semiconductor chip 110 is being arranged and fixed on this substrate by what is called face up that turned the circuit face up. The electrode 112 is formed in the circuit face of the semiconductor chip 110, with the wires 114, such as gold (Au), bonding of this electrode 112 and connection pad 104 is carried out, and they are electrically connected. The semiconductor chip placement part containing the semiconductor chip 110, the connection pad 104, and the wire 114 is covered with the sealing resin 120. The spacer 130 is arranged at the portion except the area where the semiconductor chip 110 is arranged. Between the wiring board 100 and the front cover sheet 140, with the adhesives 150. It pastes up with the adhesives 152, and the wiring board 100 and the spacer 130 which carry the semiconductor chip 110 by the front cover sheet 140 and the back cover sheet 142 are put between the wiring board 100 and the back cover sheet 142, it unifies, and an IC card is formed. This structure and manufacturing method are indicated to JP,10-264563,A, for example.
[0004]Drawing 6 is a sectional view of the IC card which mounted the semiconductor chip with the FCA (Flip Chip Attach) method. In a figure, the same reference number is given to a thing with the same function as drawing 5, and the explanation is omitted. The semiconductor chip 110 is arranged in the position which faced the connection pad 104 of the wiring board 100, i.e., facedown one, in the circuit face. The electrode 112 is formed in the upper surface of the semiconductor chip 110, the vamp 116 is formed in this electrode 112, and the connection pad 104 on this vamp 116 and a wiring board is electrically connected. It fills up with the sealing resin 120 and the surface of the semiconductor chip 110 and the surface of the wiring board 100 including a terminal area are performing mechanical immobilization and moisture-proof protection. This structure and manufacturing method are indicated to JP,8-230367,A and JP,10-305679,A, for example.

[0005]
[Problem(s) to be Solved by the Invention]After carrying out wirebonding of the connection pad of the electrode and wiring board of a semiconductor chip, a terminal area and a wire part are mechanically reinforced with the above-mentioned wire bonding system, and closure by insulating resin is performed for the purpose of performing moisture-proof protection. This resin seal is performed using liquefied resin by the method of slushing into a terminal area with a dispenser etc., the method of applying by screen-stencil, etc. so that excessive power may not be applied to a wire. However, this resin seal has bad workability at the relation which deals with liquefied material. Since the curing treatment by heating was required, there was a problem that the time which the processing takes was long and productivity was bad.
[0006]After carrying a semiconductor chip in a wiring board also by a FCA method, it is closing with insulating resin for the purpose of mechanical reinforcement and moisture-proof protection. Maintenance of a chip until it especially carries out a resin seal after chip loading by this method is dramatically weak only at the adhesive strength of a vamp and a connection pad. For this reason, immobilization according to resin immediately is required after chip loading so that it may not interfere with subsequent processing. Since moisture-proof protection of a terminal area was also required, the same resin seal as a wire bonding system is performed, and there was the same problem as a wire bonding system. By a FCA method, the vamp needed to be formed in the electrode of a semiconductor chip and there was a problem that this bump formation caused a high cost.
[0007]The workability of such conventional sealing resin solves a bad problem, and the purpose of this invention has workability and productivity in providing a good IC card and a manufacturing method for the same. Other purposes of this invention are to provide an IC card of the low cost which does not need a vamp, and a manufacturing method for the same.
[0008]
[Means for Solving the Problem]In order that this invention may attain the above-mentioned purpose, a substrate which is a component of a wiring board is used as a material for closure, and a substrate and a semiconductor chip surface are pasted up and fixed by adhesives arranged between adhesive strength of a substrate or a substrate, and a semiconductor chip surface.
[0009]By pressurizing and also heating with impression of supersonic vibration by a bonding tool from the connection pad upper part, it is made to soften, and a connection pad of a wiring board and an electrode of a semiconductor chip push away a substrate of the connection pad lower part, contact it, and are electrically connected by impression of subsequent supersonic vibration. Heat-treatment can be excluded with material.
[0010]Adhesion fixing of a wiring board which connection completed electrically, and the semiconductor chip is put and carried out, outside cutting is carried out by a front cover sheet and a back cover sheet which applied adhesives to the whole surface, and an IC card completes them by them. In order to control thickness of a card to jointing, a spacer is arranged if needed. When a grade separation part is required, adhesion fixing of the jumper wiring which becomes an opposite side of a circuit pattern plane from a metal plate or a metallic foil is carried out to circuit wiring by the same method as a semiconductor chip, and ultrasonic connection is made.
[0011]In order to attain the purpose of this invention, an IC card by this invention, A front cover sheet, a back cover sheet, and a wiring surface where a connection pad and a wiring conductor have been arranged at the whole surface of an insulating substrate, It has a wiring board which has the substrate side which a base material part exposed on the back side of said wiring surface, and a semiconductor chip which an electrode surface where an electrode has been arranged countered said substrate side, and has been arranged, It is stuck to said substrate side and said electrode surface of said semiconductor chip, said connection pad arranges said wiring board connected to said electrode, and said semiconductor chip between said table cover sheet and said reverse side cover sheet, and it pastes up with these.

[0012]In an IC card between which an IC card by this invention put a semiconductor chip carried in a wiring board by front cover sheet and a back cover sheet via adhesives, Have said wiring board by which a circuit pattern and a connection pad were formed in the whole surface of a substrate, and a semiconductor chip in which an electrode was formed in the surface, and stick an electrode surface of said semiconductor chip to said substrate side, and. A connection pad of said wiring board is electrically connected with an electrode of said semiconductor chip, and said wiring board and a semiconductor chip are put by said table cover sheet and back cover sheet via a glue line.
[0013]In these IC cards, an adhesion film is provided in the surface of said semiconductor chip, and said substrate side which counters. Said substrate of said wiring board may be formed with adhesive resin. In an IC card of this invention, said connection pad of said wiring board pushes away said substrate, is constituted by concave, and is electrically connected with said electrode of said semiconductor chip.
[0014]Said connection pad of said wiring board is formed with metal and silver which use aluminum, copper, nickel, or gold as the main ingredients, and conductive paste which uses either of palladium as the main ingredients. Said electrode of said semiconductor chip is formed with metal which uses aluminum, copper, nickel, or gold as the main ingredients. In an IC card by this invention, jumper wiring to which it was stuck in said substrate side, a circuit pattern arranged at the whole surface of said substrate, and other connection pads connected to said circuit pattern may be provided, and a connection pad besides the above and said jumper wiring may be connected. Said jumper wiring and said circuit pattern can be made to cross in two levels, using a metal plate or a metallic foil as said jumper wiring.
[0015]Said substrate of said wiring board Epoxy system resin, polyester system resin, It is formed with vinyl chloride system resin, fluororesin, polyethylene system resin, a polypropylene regin, styrene resin, polyamide system resin, poly vinyl alcohol system resin, polyvinylidene chloride system resin, cellulose type resin, or phenol system resin.
[0016]In order to attain the purpose of this invention, a manufacturing method of an IC card by this invention, A process of providing a wiring board which has arranged a connection pad and a wiring conductor on the whole surface of a substrate, A process of countering said substrate side, arranging the electrode side of a semiconductor chip in which an electrode was provided, and performing alignment of said connection pad and said electrode, A process at which said substrate side and a field where said electrode of said semiconductor chip has been arranged are contacted, A process of pressurizing said connection pad with a bonding tool, and impressing supersonic vibration to said substrate through said bonding tool, and connecting said connection pad and said electrode, It has a process of putting said semiconductor chip connected to said wiring board via adhesives by front cover sheet and a back cover sheet.
[0017]In order to attain the purpose of this invention, an IC card by this invention is provided with the following.
A process of providing a wiring board which has arranged a connection pad and a wiring conductor on the whole surface of a substrate.
A process of countering said substrate side, arranging the electrode side of a semiconductor chip in which an electrode was provided, and performing alignment of said connection pad and said electrode.
A process at which said substrate side and a field where said electrode of said semiconductor chip has been arranged are contacted.
A process of pressurizing said connection pad with a bonding tool, and heating said substrate through said bonding tool, and connecting said electrode with said connection pad, and a process of putting said semiconductor chip connected to said wiring board via adhesives by front cover sheet and a back cover sheet.

[0018]In order to attain the purpose of this invention, an IC card by this invention is provided with

the following.
A connection pad formed on a substrate of a wiring board.
it electrically connects with an electrode formed on a semiconductor chip, and is ****** on both sides of said wiring board and said semiconductor chip in a front cover sheet and a back cover sheet -- in a manufacturing method of an IC card, A process arranged above said wiring board which formed a circuit pattern and said connection pad in the whole surface of said substrate so that said electrode of said semiconductor chip may counter said substrate side.
A process of carrying out alignment of said electrode of said semiconductor chip to said connection pad of said wiring board.
On a process on which said wiring board and said semiconductor chip are pressurized and pasted up, and said connection pad of said wiring board, A process of impressing supersonic vibration and electrically connecting said electrode of said semiconductor chip with said connection pad with a bonding tool, and a process of putting and carrying out adhesion fixing of said wiring board and said semiconductor chip by front cover sheet and a back cover sheet.

[0019]In order to attain the purpose of this invention, an IC card by this invention is provided with the following.
A process of providing a wiring board which has arranged a connection pad and a wiring conductor on the whole surface of a substrate.
A process of countering said substrate side, arranging the electrode side of a semiconductor chip in which an electrode was provided, and performing alignment of said connection pad and said electrode.
A process at which said substrate side and a field where said electrode of said semiconductor chip has been arranged are contacted.
A process which pressurizes said connection pad with a bonding tool, and is connected with said connection pad and said electrode, and a process of ********(ing) and putting said semiconductor chip connected to said wiring board by front cover sheet and a back cover sheet.

[0020]In a manufacturing method of an IC card of this invention, a process of connecting said connection pad and said electrode is preferred, if it has a process of pressurizing said connection pad using said bonding tool. A process of connecting said connection pad and said electrode is preferred if it has a process on which both are pasted up by heating a substrate of said wiring board, and the surface of said semiconductor chip using said bonding tool. A process of connecting said connection pad and said electrode is preferred if it has further a process of impressing supersonic vibration to said substrate, with said bonding tool.
[0021]Preferably a process of connecting said connection pad and said electrode, After it impresses vertical supersonic vibration to said connection pad side and said connection pad contacts said electrode of said semiconductor chip until said connection pad contacts an electrode of said semiconductor chip, it has a process of impressing horizontal supersonic vibration.
[0022]It is suitable, if a process of providing other connection pads in the whole surface of said substrate, and a process which pastes up jumper wiring on said substrate side are established and said jumper wiring is also connected with said connection pad in a joint process of said connection pad and said electrode.
[0023]
[Embodiment of the Invention]Hereafter, an embodiment of the invention is described with reference to drawings using an example. Drawing 1 is a sectional view showing one example of the IC card which becomes this invention, drawing 2 is a top view which has arranged a semiconductor chip and jumper wiring to the wiring board of the IC card shown in drawing 1, and drawing 3 is an expanded sectional view of A-A' of drawing 2.
[0024]First, the composition of a semiconductor chip mounted part is explained using drawing 2

and 3.
[0025]The electrode 12 is formed in the surface of the semiconductor chip 10. The wiring board 20 comprises the circuit pattern 28 and the connection pad 26 of the relay wiring 24 and coil pattern 25 grade which were formed in the surface of the substrate 22 and this substrate 22. As one end of the coil pattern 25 currently formed on the wiring board 20 is shown in drawing 2, the electrode 12 of the semiconductor chip 10, and the coil pattern 25 and the jumper wiring 14 are arranged so that it may be connected with the electrode 12 of the semiconductor chip 10 and the other end may be connected to the jumper wiring 14. The electrode 12 of the jumper wiring 14, the relay wiring 24, and the semiconductor chip 10 is arranged so that the other end of the jumper wiring 14 may be connected to one end of the relay wiring 24 and the other end of the relay wiring 24 may be connected with the electrode 12 of the semiconductor chip 10.
[0026]In the field opposite to the field where the circuit pattern 28 and connection pad 26 grade of the wiring board 20 are arranged, adhesion immobilization of the surface by the side of the electrode 12 of the semiconductor chip 10 is carried out. Adhesion immobilization also of the surface of the jumper wiring 14 is similarly carried out with the substrate 22 of the 20th page of the wiring board with which the semiconductor chip 10 is being fixed. The connection pad 26 on a wiring board pushes away the substrate 22 of the connection pad 26 lower part, is transformed into the electrode side of the semiconductor chip 10 by the concave, and is electrically connected with the electrode 12 and the jumper wiring 14.
[0027]Next, the structure of an IC card is explained using drawing 1. In drawing 1, the same reference mark is attached about drawing 2 and the same thing as 3. Adhesion fixing of the whole surface of the front cover sheet 40 and the wiring board 20 is carried out by the adhesives 50, and the back cover sheet 42, the semiconductor chip 10, and the jumper wiring 14 are being fixed by the adhesives 52. The spacer 44 is formed in the same field side as the field where the semiconductor chip 10 of the wiring board 20 and the jumper wiring 14 are arranged, and is inserted into the wiring board 20 and the back cover sheet 42, and adhesion fixing is carried out by the adhesives 52. The electrode 12 of the semiconductor chip 10 is formed in the same process as the wiring in a chip which electrically connects the inside of a chip at the time of the element formation of the semiconductor chip 10, and is formed with the metal membrane which used aluminum (aluminum), copper (Cu), nickel (nickel), or gold (Au) as the main ingredients.
[0028]The substrate 22 which constitutes the wiring board 20 Epoxy system resin, polyester system resin, Vinyl chloride system resin, fluororesin, polyethylene system resin, a polypropylene regin, Styrene resin, polyamide system resin, poly vinyl alcohol system resin, The polyethylene terephthalate which has the insulation of polyvinylidene chloride system resin, cellulose type resin, phenol system resin, etc., Polyester, polycarbonate, polyarylate, polyethylene, A polyvinylidene chloride, polyacetal, polyimide, epoxy resin, It is suitable if it forms in a film or a sheet shaped using materials, such as Tetron (registered trademark), vinylon (registered trademark), polystyrene, polystyrol, polypropylene, Teflon (registered trademark), and nylon (registered trademark).
[0029]The relay wiring 24, the coil pattern 25, and the connection pad 26 which were formed on the wiring board 20 are formed by the usual method on the substrate 22, Gold plate etc. are performed on the wiring formed by printing etc. in the conductive paste which uses as the main ingredients the metallic wiring, silver (Ag), and palladium (Pd) which use as the main ingredients aluminum (aluminum), copper (Cu), nickel (nickel), and gold (Au) which were patterned, or these wiring. The jumper wiring 14 comprises a metal plate or metallic foils, such as aluminum (aluminum), copper (Cu), nickel (nickel), and gold (Au).
[0030]In such composition, it is thoroughly stuck to the substrate 22 of the wiring board 20, and the surface of the semiconductor chip 10, In the terminal area of the electrode 12 of the semiconductor chip 10, and the connection pad 26 of the wiring board 20, the connection pad 26 pushes away some substrates 22, is transformed into a concave, and is thoroughly connected to as electric as the electrode 12 of the semiconductor chip 10, and a machinery target. The jumper wiring 14 is also

stuck and attached to the field where the semiconductor chip 10 of the wiring board 20 is arranged, and the both ends are connected with the concave connection pad 26. Although an adhesive property is given to the wiring board 20 for pasting up the semiconductor chip 10, the wiring board 10, and the jumper wiring 14 and the wiring board 20, and it pastes up, adhesives may be beforehand applied to the substrate side of the wiring board 20. It is inserted in order to maintain the thickness balance of the portion in which the semiconductor chip 10 and the jumper wiring 14 do not exist, but the spacer 44 may be omitted depending on the case. The front cover sheet 40 and the back cover sheet 42 wire [semiconductor chip 10 and jumper] 14, reinforce the wiring board 20 mechanically, and they are provided in order to protect these under various environment.

[0031]Next, one example of the manufacturing method of the IC card which becomes this invention is described using drawing 4. Drawing 4 is a sectional view for describing one example of the manufacturing method of an IC card, Drawing 4 (a) counters with a wiring board, and arranges a semiconductor chip and jumper wiring, It is a sectional view showing the state where alignment was performed, and drawing 4 (b) is a sectional view showing the state where a semiconductor chip and jumper wiring were stuck to the wiring board, The sectional view showing the state where drawing 4 (c) carried out flip vertical of the thing shown in drawing 4 (b), formed the connection pad in the crevice, and a semiconductor chip and jumper wiring were connected, and drawing 4 (d) are the sectional views before the adhesion which has arranged the front cover, the rear cover, and the spacer. The same numerals are attached and explained to drawing 1 - what is the same as that of three in drawing 4.

[0032]Drawing 4 (a) shows the state before sticking the semiconductor chip 10 and the jumper wiring 14 to the wiring board 20. The wiring board 20 is arranged so that the circuit pattern 28 may become the undersurface, and the semiconductor chip 10 and the jumper wiring 14 counter the upper part with the wiring board 20, and it is arranged. Alignment of the electrode 12 of the semiconductor chip 10 and the connection pad 26 of the wiring board 20 is performed in this state. An alignment mark is read optically and the alignment method uses the method (not shown) of making it feed back to the mechanism usually used in which the wiring board 20 and the semiconductor chip 10 are driven. When there is a position, as shown in drawing 4 (b), the semiconductor chip 10 and the substrate 22 are contacted, and it pressurizes from a sliding direction (a figure Nakaya seal shows), and the substrate 22 and the semiconductor chip 10 are made to stick and fix. In this case, it may heat simultaneously with application of pressure. It sticks [the substrate 22 and] and the jumper wiring 14 is made to fix similarly.

[0033]Next, as shown in drawing 4 (c), flip vertical is carried out for the whole shown in drawing 4 (b), the bonding tool 60 is pushed against the connection pad 26 (a figure Nakaya seal shows), and supersonic vibration is impressed to the substrate 22 via the bonding tool 60. By impressing this supersonic vibration, the substrate 22 of a portion with which the bonding tool 60 was pressed heats and becomes soft. Therefore, by impression of this supersonic vibration, and application of pressure of the bonding tool 60, it is pushed away by the substrate 22 of the connection pad 26 lower part, and the connection pad 26 transforms it into a concave, and it contacts the electrode 12. By impressing supersonic vibration further in this state, the connection pad 26 and the electrode 12 are electrically connected thoroughly. In this case, the methods of carrying out partial heating, such as providing a heating machine style in the bonding tool 60, for example, twisting heater wires, and heating the connection pad 26 upper surface, or impressing a laser beam or a hot wind to the connection pad 26, are also effective. It is still more suitable, if the substrate 22 of the connection pad 26 lower part is first softened in a vertical vibration and junction of the connection pad 26 and the electrode 12 is subsequently performed by horizontal vibration using the bonding tool 60 which can furthermore impress supersonic vibration to the 2-way of a horizontal direction and a perpendicular direction. The connection pad of the wiring board 20 is similarly connected with the jumper wiring 14.

[0034]Next, as shown in drawing 4 (d), the semiconductor chip 10 and the jumper wiring 14 are

connected, It arranges between the front cover sheet 40 which applied the adhesives 50 for the wiring board 20 which has arranged the spacer 44, and the back cover sheet 42 which applied the adhesives 52, An IC card is completed by performing application of pressure and heating, and pasting up and fixing by a heating plate, from the both sides of the front cover sheet 40 and the back cover sheet 42.

[0035]As explained above, in order to use the substrate of a wiring board for closure according to this invention, the problem said that the difficulty of handling and workability which had become a problem with the conventional product which uses liquefied resin are bad, and the problem of resin management were lost, and workability became good. Since a sealing process can be processed with easy heating and a pressurizer after it contacts a substrate and a semiconductor chip surface, reduction of initial costs, such as device introduction, is possible for it, and it can press down product cost low.

[0036]Since connection between a connection pad and an electrode is made after pasting up a wiring board and a semiconductor chip and fixing mechanically, the handling after connection becomes easy and working efficiency can be raised. Since it is not necessary to form a vamp in a chip electrode, product cost can be reduced substantially.

[0037]

[Effect of the Invention]As explained above, workability is good in order to use the substrate of a wiring board for closure according to this invention. Since connection between a connection pad and an electrode is made after pasting up a wiring board and a semiconductor chip and fixing mechanically, the handling after connection becomes easy and working efficiency can be raised. Since it is not necessary to form a vamp in a chip electrode, product cost can be reduced.

[Translation done.]

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報**（Ａ）　(11)特許出願公開番号

特開平4－283987

(43)公開日　平成４年(1992)10月８日

(51)Int.Cl.[5]		識別記号	庁内整理番号	ＦＩ	技術表示箇所
Ｈ０５Ｋ	1/18	Ｑ	6736－4Ｅ		
	3/20	Ａ	6736－4Ｅ		
	3/28	Ｇ	6736－4Ｅ		
	3/46	Ｑ	6921－4Ｅ		

審査請求　未請求　請求項の数10(全　8　頁)

(21)出願番号　特願平3－47899

(22)出願日　平成３年(1991)３月13日

(71)出願人　000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地

(72)発明者　中村　恒
大阪府門真市大字門真1006番地　松下電器産業株式会社内

(72)発明者　長谷川　洋
大阪府門真市大字門真1006番地　松下電器産業株式会社内

(72)発明者　磯崎　康人
大阪府門真市大字門真1006番地　松下電器産業株式会社内

(74)代理人　弁理士　小鍛治　明　(外２名)

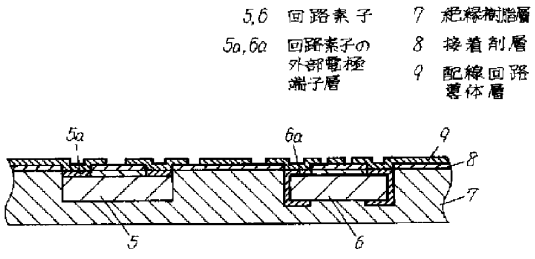
最終頁に続く

(54)【発明の名称】　電子回路装置とその製造方法

(57)【要約】

【目的】　広範な電子機器に使用される電子回路装置において、従来のプリント配線板に回路素子をはんだ接続して電子回路を構成した場合の高密度化の問題や回路素子相互間の電気的接続の信頼性を解決し、回路の高密度化と回路素子間の電気的接続の信頼性に優れた電子回路装置を提供することを目的とする。

【構成】　電子回路を構成する各種回路素子５，６を絶縁樹脂７の所定の位置に埋設して、その表面の一部に露出した各回路素子５，６の外部接続端子層５ａ，６ａ間を配線回路導体層８によって電気的に接続した構成であり、回路素子５，６を配線回路導体層８によって直接電気的に接続することにより、はんだ接続法に比べて高密度回路が構成できると共に、はんだ接続を不要とするので回路素子間の接続に信頼性が向上する効果が得られる。



1

【特許請求の範囲】

【請求項１】複数の回路素子をその外部電極端子の一部分が表面に露出するように絶縁樹脂の所定の位置に埋設し、前記絶縁樹脂の少なくとも一方の主面上に所望とする配線回路導体層を設けて回路素子間を電気的に相互接続した電子回路装置。

【請求項２】回路素子はその外部電極端子がリード線を有するかまたはリードレス構造を有し、それらの同種または異種の外部電極端子層を備えた回路素子を埋設した請求項１記載の電子回路装置。

【請求項３】配線回路導体層は無電解めっき法によって析出した導電金属層で構成された請求項１記載の電子回路装置。

【請求項４】配線回路導体層は回路素子を埋設した絶縁樹脂の一方の主面上に絶縁樹脂層を介して多層状に構成された請求項１記載の電子回路装置。

【請求項５】回路素子と共に導電体層を所定の位置に埋設した絶縁樹脂成型体の表裏両面に、所望とする配線回路導体層を設けた請求項１記載の電子回路装置。

【請求項６】配線回路導体層の一部に突起状の導体層を設け、外部接続端子とした請求項１記載の電子回路装置。

【請求項７】最外層の配線回路導体面に半導体ＩＣチップを搭載して配線回路導体層と電気的に接続した請求項１記載の電子回路装置。

【請求項８】複数の回路素子を所定の位置に埋設しかつ少なくともその一方の主面上に所望とする配線回路導体層を設けて回路素子間を相互接続した複数個の絶縁樹脂成型体を多段状に積層し、その積層体に設けた貫通穴を導通化して各層の配線回路導体層を電気的に相互接続した請求項１記載の電子回路装置。

【請求項９】平滑性を有しかつ離形性に優れた支持体上に接着剤を塗布し、この接着剤層の所定の位置に複数個の回路素子を搭載してその外部接続端子層を前記支持体に接するように固定し、前記回路素子面を絶縁樹脂で完全に埋設した後、前記支持体を回路素子を埋設した絶縁樹脂から剥離し、その剥離面に回路素子の外部電極端子層の一部を露出させてその表面に所望とする配線回路導体層を設け、回路素子間を電気的に相互接続したことを特徴とする電子回路装置の製造方法。

【請求項１０】支持体上に予め所望とする配線回路導体層を形成して、この配線回路導体層と各種回路素子を電気的に接続した後、回路素子を埋設した絶縁樹脂層から剥離し、配線回路導体層を合成樹脂成型体に転写したことを特徴とする請求項９記載の電子回路装置の製造方法。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】本発明は広範な電子機器に用いられる電子回路装置とその製造方法に関するものである。

2

【０００２】

【従来の技術】近年、電子機器の小型軽量化や高性能，高機能化の要求が増加するにつれて電子回路の高密度化が必要不可欠の要件となってきている。

【０００３】このような中にあって昨今電子回路の高密度化をはかる手段としていろいろな実装方法が提案されているが、従来から最も一般的に行われている電子回路装置の実装形態は図８に示すものである。

【０００４】図８において、１はプリント配線基板、１ａはプリント配線板１の回路導体層、２，３は回路素子、２ａ，３ａは回路素子２，３の外部電極端子、４ははんだ金属である。

【０００５】この電子回路装置は電子回路を構成するのに必要な各種回路素子２，３として、例えば抵抗器，コンデンサ，コイル等の受動回路素子やトランジスタや半導体ＩＣ等の能動回路素子（外部電極端子がリード線付かまたはリードレスタイプのもの）をそれぞれプリント配線板１の所定の位置に搭載し、はんだ付け方法によって各回路素子２，３の外部電極端子２ａ，３ａと回路導体層１ａとをはんだ金属４によって電気的に接続したものである。

【０００６】

【発明が解決しようとする課題】しかしながら上記のような従来例では、プリント配線板に各種回路素子２，３を搭載してはんだ接続した実装構造のため、回路素子２，３間の電気的接続の低抵抗化がはかり難いことはもとより、構成された電子回路装置の厚さは回路素子２，３とプリント配線板１の厚みの総和となるので、回路の薄型化がはかりにくいばかりでなく、回路素子２，３のプリント配線板１上でのはんだ付け面積が広くなり、電子回路の高密度化や軽量化がはかりにくい欠点がある。また一方、従来例では回路素子２，３ははんだ付け温度に耐える材質や構造を有する必要があり、プリント配線板１に実装された状態では特にリードレスタイプの回路素子２，３では、プリント配線板１と回路素子２，３間の熱膨脹係数に大きな差異があると熱衝撃によってはんだ接合面にクラックが発生しやすくなり、接続の信頼性が損なわれるという問題点を有していた。

【０００７】本発明はこのような従来の問題点を解決するものであり、薄型化と共に小型高密度でかつ接続の信頼性に優れ、使用する回路素子の制約のない電子回路装置を提供するものである。

【０００８】

【課題を解決するための手段】この目的を達成するために本発明は、形状寸法や外部電極端子構造の異なる複数の各種回路素子をその外部電極端子層の一部が表面の同一面上に露出するように絶縁樹脂中の所定の位置に埋設し、絶縁樹脂層の主面上に必要とする直接金属による配線回路導体層を設けて各回路素子間を直接電気的に相互接続したものである。

3

【０００９】

【作用】本発明によれば、寸法形状や外部接続端子構造の異なる複数の各種回路素子をはんだ付けを必要とすることなく、低抵抗の金属によって回路素子間を電気的に相互接続した電子回路装置が構成されるので、回路素子間の接続の低抵抗化と電子回路の薄型化がはかれると共に、小型高密度で回路素子間の接続の信頼性に優れた電子回路装置が実現されることとなる。

【００１０】

【実施例】（実施例１）以下、本発明の一実施例の電子回路装置について図面を参照しながら説明する。

【００１１】図１は本発明の第１の実施例における電子回路装置の断面図を示すものである。図１において５，６は電子回路を構成するのに必要な各種回路素子、５ａ，６ａは回路素子の外部電極端子層、７は絶縁樹脂層、８は配線回路導体層である。

【００１２】以上のように構成された電子回路装置について以下図１を用いてその実施例の詳細を説明する。

【００１３】本実施例では先ず図１に示すように、電子回路を構成するのに必要な各種回路素子５，６として任意の寸法形状および外部電極端子構造を有する抵抗，コンデンサ，コイル等の受動素子や、半導体ＩＣ等の能動素子を使用し、これらの各種回路素子５，６の複数個を絶縁樹脂７の所定の位置に埋設し、各種回路素子５，６の外部電極端子層５ａ，６ａを絶縁樹脂層７の表面の一部に露出すると共に、その同一面上に必要とする接着剤層８を介して配線回路導体層９を設けて回路素子５，６間を電気的に相互接続することにより電子回路を構成したものである。

【００１４】この場合、回路素子５，６はその構成材料や形状寸法および外部電極端子の構造等の制約は特になく、リード線を有するアルミ電解コンデンサやカーボン皮膜抵抗器、ＤＩＬ型の半導体ＩＣパッケージさらには昨今回路の小型化にニーズ対応して急速にその需要が増大している超小型リードレスタイプのチップ抵抗器や積層セラミックチップコンデンサ，チップ型積層コイル，チップキャリア型半導体ＩＣ等広範な回路素子が使用できる。

【００１５】本実施例では、図１に示すように回路素子５として、リードレスタイプのチップ抵抗器と、回路素子６としてチップコンデンサを使用し、これらの回路素子５，６をエポキシ樹脂を主体とした絶縁樹脂層７の所定の位置に埋設すると共に、回路素子５，６の外部接続端子層５ａ，６ａを表面の一部に露出させ、その同一面上に無電解めっき法によって析出した金属銅によって所望とする配線回路導体層９を設け、回路素子５，６間を電気的に相互接続して電子回路を構成した。

【００１６】また一方、他の実施例では、回路素子５，６としてリード線を有する電解コンデンサと樹脂パッケージされた半導体ＩＣさらにはリードレスタイプのチップ抵抗器やチップコンデンサ等を混合してこれらの各種回路素子を絶縁樹脂７の所定の位置に埋設し、それぞれの外部接続端子層５ａ，６ａを絶縁樹脂層７の表面の一部に露出してその同一面上に接着剤層８を介して無電解めっき法によって金属銅を析出して形成した配線回路導体層９によって回路素子間を電気的に相互接続した電子回路装置を構成した。

4

【００１７】以上のように本実施例によれば、電子回路を構成するのに必要な各種回路素子５，６が絶縁樹脂７中に埋設され、その外部電極端子層５ａ，５ｂ間が接着剤層７を介した金属銅配線によって直接相互接続された構造となるので、配線回路導体層の接着性が向上すると共に低抵抗で回路素子間の相互接続化がはかれる利点の他に、電子回路装置全体の薄型化と同時に回路素子５，６間の高密度な接続が可能となり、しかも回路素子５，６の接続にはんだ付けを必要としないので使用する回路素子５，６の構成材料や構造的制約がなく、膨脹係数の異なる回路素子５，６でも接続の信頼性に優れた電子回路装置が得られるものである。

【００１８】（実施例２）以下、本発明の第２の実施例について説明する。

【００１９】図２は本発明の第２の実施例における電子回路装置の断面図である。図２において５，６は回路素子、５ａ，６ａは回路素子の外部電極端子層、７は絶縁樹脂層、８は接着剤層、９は配線回路導体層で、以上は実施例１と同様なものである。図１の構成と異なるのは回路素子５，６を埋設した絶縁樹脂層７の主面に設ける配線回路導体層９を層間絶縁樹脂層１０を介して多層状に構成して回路の高密度化をはかった点である。

【００２０】本実施例ではこの層間絶縁層１０として感光性を有するアクリル樹脂やエポキシ樹脂、さらにはポリイミド樹脂を使用し、これらの樹脂を絶縁樹脂層に形成した第１の配線回路導体面に塗布した後、この層間絶縁樹脂層１０をレーザー光や紫外線露光によって接続を必要とする部分に微細な穴（ブラインドスルーホール）を開け、層間絶縁層１０の表面に無電解銅めっき法によって第２の配線回路導体層９ａを構成し微細穴を通して層間の配線回路導体層９と９ａを電気的に相互接続して多層配線化したものである。

【００２１】以上のように本実施例によれば、回路素子５，６を埋設した絶縁樹脂層７の表面に配線回路導体層９，９ａを多層状に構成することによって、電子回路の高密度化がはかれる効果が得られるものである。

【００２２】（実施例３）以下、本発明の第３の実施例について図面を参照しながら説明する。

【００２３】図３は本発明の第３の実施例を示す断面図である。図３において５，６は回路素子、５ａ，６ａは回路素子の外部電極端子層、７は絶縁樹脂層、８は接着剤層、９は配線回路導体層で、以上は図１の構成と同様なものである。図１と異なるのは絶縁樹脂中に例えば銅

5

線等の金属線から成る導電体１１を埋設して絶縁樹脂層７の表裏両面にこの導電体１１の両端を露出して、配線回路導体層９を絶縁樹脂７の表裏両面層に構成した点である。

【００２４】以上のように構成された電子回路装置は配線回路導体層９が回路素子５，６を埋設した絶縁樹脂層７の両面に構成されるため、回路設計の自由度が向上すると共に回路の高密度化がはかれるという効果が得られるものである。

【００２５】（実施例４）以下、本発明の第４の実施例について図面を参照しながら説明する。

【００２６】図４は本発明の第４の実施例を示す電子回路装置の断面図である。図４において５，６は回路素子、５ａ，６ａは回路素子の外部電極端子層、７は絶縁樹脂層、８は接着剤層、９は配線回路導体層で、以上は図１の構成と同様なものである。図１と異なるのは配線回路導体層９の任意の位置に部分的に突起状の導体層１２を設け、電子回路装置の外部接続端子層を設けた点である。

【００２７】以上のように構成された電子回路装置は、この電子回路装置を一つの機能回路ブロック体や複合回路素子として、これを通常のマザープリント配線板（ガラスエポキシ基板等）に実装して大規模な電子回路装置を構成する場合、突起状導体層１２がマザープリント配線板への高密度はんだ接合を実現すると共に、これらの回路ブロック体を構成する各種回路素子間がはんだ接続された構造でないので、マザープリント配線板へのはんだ付け温度の制約がなく、回路ブロック体の回路素子間相互の接続の信頼性が得られるものである。

【００２８】（実施例５）以下、本発明の第５の実施例について図面を参照しながら説明する。

【００２９】図５は本発明の第５の実施例を示す電子回路装置の断面図である。図５において５，６は回路素子、５ａ，６ａは回路素子の外部電極端子層、７は絶縁樹脂層、８は接着剤層、９は配線回路導体層で以上は実施例１と同様なものである。図１の構成と異なるのは回路素子５，６を埋設した絶縁樹脂層７の主面上に設けた配線回路導体層９に半導体ＩＣチップ１３を搭載してその外部電極端子と配線回路導体層９を金線等の金属細線１４でワイヤーボンディング法によって電気的に接続し、半導体ＩＣチップ１３の周辺部をエポキシ樹脂等のモールド樹脂１５で被覆して電子回路を構成したものであり、回路素子を立体的に配置して回路の高密度化をはかったものである。なお、本実施例では絶縁樹脂７中に抵抗，コンデンサ，コイル等の受動回路素子５，６を埋設したが、半導体ＩＣチップ１３を絶縁樹脂７中に埋設し、最外層に受動回路素子５，６を搭載して配線回路導体層９と電気的に接続した構成であってもよい。

【００３０】（実施例６）以下、本発明の第６の実施例について図面を参照しながら説明する。

6

【００３１】図６は本発明の第６の実施例を示す電子回路装置の断面図である。図６において５，６は回路素子、５ａ，６ａは回路素子の外部電極端子層、７は絶縁樹脂層、８は接着剤層、９は配線回路導体層で、以上は図１の構成と同様なものである。図１の構成と異なるのは回路素子５，６を埋設した絶縁樹脂成型体を１つの回路ブロック体として、さらに同種構造の回路ブロック体を接着剤１６を介して多段状に積層し、その積層体の所定の位置に貫通穴１７を開け、その内壁面を無電解めっき法によって導通化することにより双方の配線回路導体層９間を電気的に接続した点である。

【００３２】以上のように、電子回路をいくつかの回路ブロックに分割して各回路ブロックを構成する回路素子５，６をそれぞれ絶縁樹脂７に埋設してその表面に配線回路導体層９を形成して複数の回路ブロック体を構成し、この複数の回路ブロック体を多段状に積層し、積層体に貫通穴１７を設けてその内壁面を導通化することによって、回路素子５，６が多層状に立体的に配置された電子回路が構成されるので、回路のより一層の高密度化がはかれる効果が得られるものである。

【００３３】（実施例７）以下、本発明の第７の実施例について図面を参照しながら説明する。

【００３４】図７（Ａ）～（Ｃ）は本発明の第７の実施例を示す電子回路装置の製造工程断面図である。図７（Ａ）～（Ｃ）において５，６は回路素子、５ａ，６ａは回路素子の外部電極端子層、７は絶縁樹脂、８は接着剤層、９は配線回路導体層、１８は支持基板である。以上のように構成された電子回路装置についてその製造方法の詳細を図７（Ａ）～（Ｃ）にもとづいて説明する。

【００３５】本実施例では、先ず図７（Ａ）に示すように、表面に離形性の塗膜を有するポリエステルフィルムや表面が鏡面状態を有する金属基板として、例えばステンレス基板から成る支持基板１８の一方の主面上に、例えばエポキシ系やアクリル系の樹脂から成る接着剤層８を塗布する。その接着剤層８が未硬化の状態で表面に電子回路を構成するのに必要な各種回路素子５，６として、例えばリードレスタイプの積層型のセラミックコンデンサやチップ抵抗器等をその外部電極端子層５ａ，６ａが支持基板１８に接するように所定の位置に配置して固定し、次いで図７（Ｂ）に示すように回路素子搭載面に絶縁樹脂７を被覆して硬化させることにより回路素子５，６を完全に埋設する。そして図７（Ｃ）に示すように、支持基板１８を絶縁樹脂７から剥離し、その剥離面に転写され残留した接着剤層８を、例えばエキシマレーザーを用いて回路素子５，６の外部電極端子層５ａ，６ａが露出するように微細孔を開けるか、または絶縁樹脂層の表面層を研摩して、回路素子５，６の外部電極端子層５ａ，６ａを露出させ、その同一面上の接着剤層８の表面に所望とする配線回路導体層９を形成して回路素子間を相互接続し電子回路を構成した。

7

【００３６】この場合、回路素子５，６はリードレスタイプに限定されるものではなく、例えばアルミ電解コンデンサやＤＩＬ型の半導体ＩＣパッケージのようなリード線を外部接続端子とした回路素子をリードレスタイプのものと混合して使用することも可能であることはいうまでもない。

【００３７】なお、これらの各種回路素子５，６を埋設する絶縁樹脂７は、エポキシ樹脂やアクリル樹脂，フェノール樹脂等の熱硬化樹脂以外に、ポリカーボネート樹脂，ポリイミド樹脂，ポリエチレンサルファイド樹脂（ＰＥＳ），ポリフェニレンサルファイド樹脂（ＰＰＳ），ポリエーテルイミド（ＰＥＩ），液晶ポリマー等の熱可塑性樹脂等幅広い樹脂が使用可能であるが、本実施例ではこれらの樹脂の内、特にエポキシ樹脂を使用し、硬化収縮性や熱膨脹性を改善するためにこの樹脂の中にアルミナやシリカ等の無機質充填剤を混練したものを使用して注型法やトランスファー成型法によって回路素子５，６を所定の位置に埋設した。

【００３８】また、この回路素子５，６を埋設した絶縁樹脂層７の表面層に被覆された接着剤層８をプラズマ等の物理的方法やクロム酸や過マンガン酸カリウムによる化学的エッチング手法によってその表面を粗面化し、その後に活性化処理によって金属パラジウムの微粒子核から成る無電解めっきの触媒を付与し、無電解銅めっきや無電解ニッケルめっきを行って接着剤層８の全面を金属化して最終的にフォトエッチング法によって必要とする回路導体層９を形成すると同時に回路素子間を電気的に相互接続した電子回路装置を構成してもよい。

【００３９】また、回路素子を埋設した絶縁樹脂層を金属化するにあたっては上述した無電解めっき法以外に、真空蒸着法，スパッタリング法，イオンプレーティング法等の物理的手法によっても行った。

【００４０】以上のような方法で製造された電子回路装置は、回路素子を予め支持基板上の所定の位置に配置してから絶縁樹脂中に埋設するため、回路素子間の相対的位置関係が正確に保たれ、かつ回路素子の形状寸法や外部接続端子構造に関係なく絶縁樹脂中に埋設できるという特徴が得られると共に、回路導体層が絶縁樹脂表面に設けた接着剤層によって強固な密着性が実現され信頼性に優れた電子回路装置が得られるものである。

【００４１】また、本発明の他の実施例では、支持基板１８上に予め導電性樹脂等で所望とする配線回路導体層を形成し、この配線回路導体面の所定の位置に回路素子を搭載してその外部電極端子層と配線回路導体層とを電気的に接続させてから回路素子を絶縁樹脂で埋設して、支持基板を剥離し回路導体層を絶縁樹脂層上に転写すると共に無電解めっきを行って導電性樹脂の表面に低抵抗の導体層を形成する方法を実施した。この方法によれば、回路素子を絶縁樹脂に埋設する前にその電気的接続状態を確認できるので製造歩留まりが大幅に向上できる

8

効果が得られるものである。

【００４２】

【発明の効果】以上のように本発明は、電子回路を構成するのに必要な寸法形状、外部電極端子構造の異なる各種回路素子を絶縁樹脂の所定の位置に埋設し、その外部電極端子層の一部を絶縁樹脂層の表面に露出してその同一面上に金属層による所望とする配線回路導体層を直接設けて回路素子間を電気的に相互接続して電子回路を構成した電子回路装置である。

【００４３】従って、本発明による電子回路装置は回路素子間が低抵抗の金属によって直接相互接続された構成となるので、従来例のようにプリント配線板の回路導体層と各種回路素子のはんだ接続に比べて接続部の低抵抗化がはかれると共に、はんだ付け作業にまつわる種々の問題点、例えば使用する回路素子のはんだ耐熱性や性能劣化が解消され、かつ構成された電子装置全体の薄型化や軽量化がはかられ、回路素子間の高密度でかつ信頼性の高い接続を可能とする効果が得られるものである。

【図面の簡単な説明】

【図１】本発明の第１の実施例における電子回路装置の断面図

【図２】本発明の第２の実施例における電子回路装置の断面図

【図３】本発明の第３の実施例における電子回路装置の断面図

【図４】本発明の第４の実施例における電子回路装置の断面図

【図５】本発明の第５の実施例における電子回路装置の断面図

【図６】本発明の第６の実施例における電子回路装置の断面図

【図７】（Ａ）～（Ｃ）は本発明の第６の実施例における電子回路装置の製造方法を説明するための製造工程断面図

【図８】従来例による電子回路装置の断面図

【符号の説明】

５，６　回路素子

５ａ，６ａ　回路素子の外部電極端子層

７　絶縁樹脂層

８　接着剤層

９　配線回路導体層

９ａ　第２配線回路導体層

１０　層間絶縁層

１１　導電体層

１２　突起上導体層（外部接続端子層）

１３　半導体ＩＣチップ

１４　金属細線

１５　モールド樹脂

１６　回路ブロック体の接着剤層

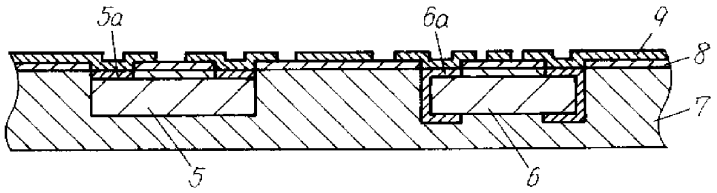
１７　貫通穴

9　　10

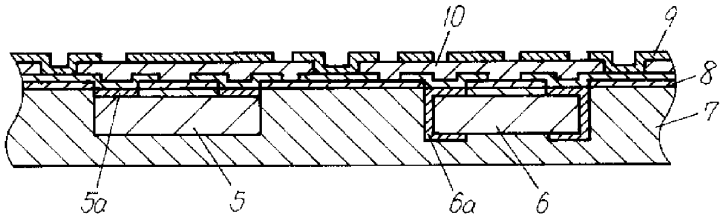
１８　支持基板

【図１】

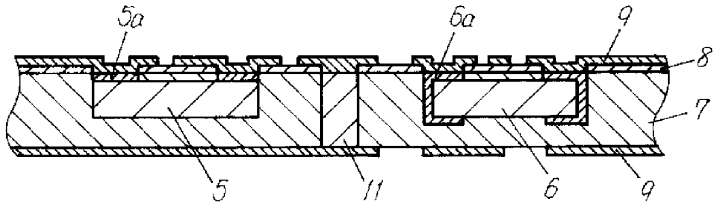
5,6　回路素子　　7　絶縁樹脂層
5a,6a　回路素子の外部電極端子層　　8　接着剤層
9　配線回路導体層



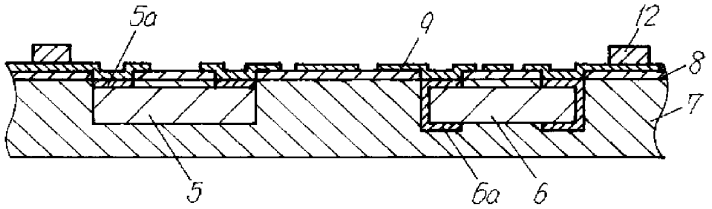
【図２】



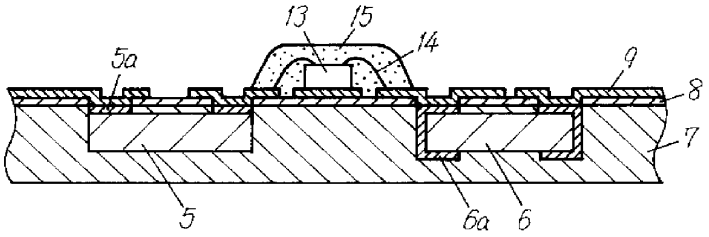
【図３】



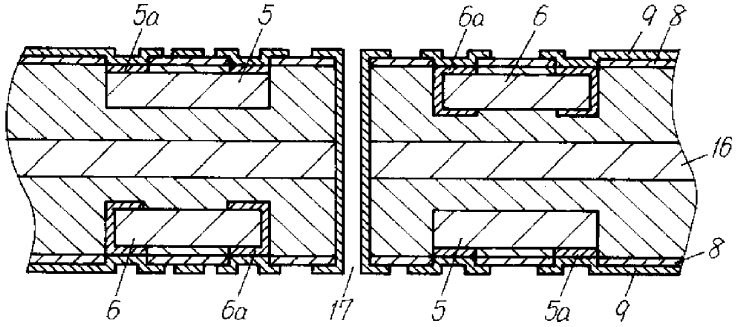
【図４】



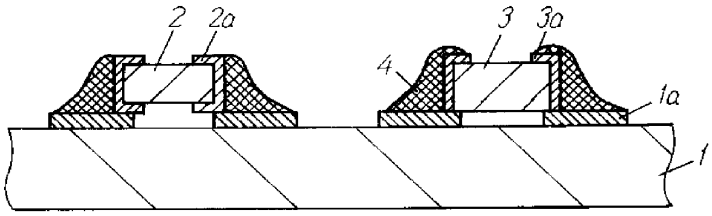
【図５】



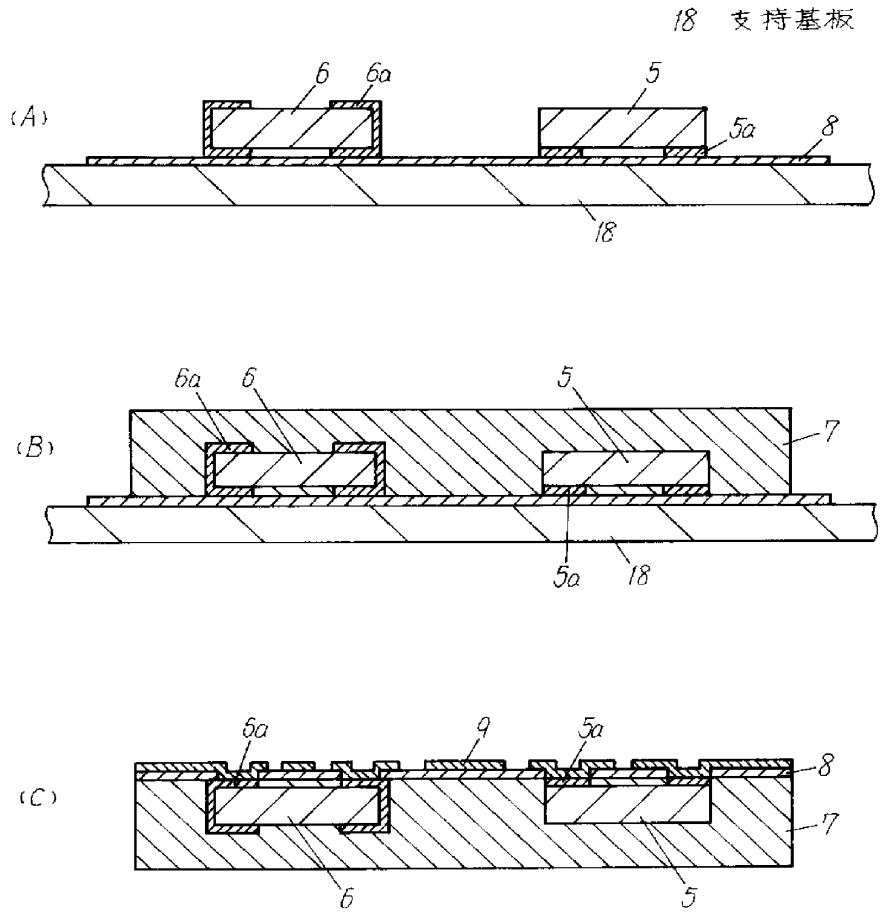
【図６】



【図８】



【図７】



フロントページの続き

(72)発明者　十河　寛
大阪府門真市大字門真1006番地　松下電器産業株式会社内

(72)発明者　小島　環生
大阪府門真市大字門真1006番地　松下電器産業株式会社内

(19) Japan Patent Office (JP)

(12) **KOKAI TOKKYO KOHO (A)**

(11) Unexamined Patent Application Publication No. Tokkai Hei4-283987
(43) Publication date: Heisei14 (1992) October 8

(51) Int. Cl.[5]	ID No.	Reference No.	F1	Technical Display
H05K 1/18		Q 6736-4E		
3/20		A 6736-4E		
3/28		G 6736-4E		
3/46		Q 6921-4E		

Examination: Not yet applied for Claim 10 (Total 8 Pages)

(21) Application No.: Tokugan Hei3-47899

(22) Application Date: Heisei13 (1991) March 13

(71) Applicant 000005821
Matsushiota Electric Industry Co., Ltd.
1006 Oaza, Kadoma,
Kadoma City, Osaka

(72) Inventor NAKAMURA HISASHI
Matsushiota Electric Industry Co., Ltd.
1006 Oaza, Kadoma,
Kadoma City, Osaka

(72) Inventor HASEGAWA HIROSHI
Matsushiota Electric Industry Co., Ltd.
1006 Oaza, Kadoma,
Kadoma City, Osaka

(72) Inventor ISOZAKI YASUTO
Matsushiota Electric Industry Co., Ltd.
1006 Oaza, Kadoma,
Kadoma City, Osaka

(74) Agent Patent Attorney: xxx Akira (Others: 2)

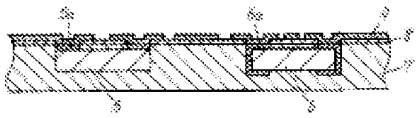
Continued on last page

(54) [Title of Invention] Electronic circuit device and manufacturing thereof

(57): [Summary]:

[Objective].To enable a problem of realization of high density and reliability of electrical connection between circuit elements to be solved when constituting an electronic circuit by performing solder-connection of the circuit elements to a conventional printed-wiring board and then provide for an electronic circuit device which is superb in realization of high density of the circuit and reliability of electrical connection between the circuit elements in the electronic circuit device which is used for a wide range of electronic equipment;
[Constitution] Various kinds of circuit elements 5 and 6 constituting an electronic circuit are buried at a specified position of an insulation resin layer 7 and external electrode terminal layers 5a and 6a of the circuit elements 5 and 6 which are exposed at one portion of the surface are electrically connected by a wiring circuit conductor layer 9 and then the circuit elements 5 and 6 are directly connected by the wiring circuit conductor layer 9 electrically, thus enabling a high–density circuit to be constituted as compared with a solder connection method and at the same time obtaining an effect for improving reliability in connection between the circuit elements since no solder connection is required

5, 6: Circuit elements
5a, 6a: External electrode terminal layers of circuit elements
7: Insulation resin layer
8: Binder layer
9: Wiring circuit conductor layer



[Claims]

[Claim 1] An electronic circuit device wherein a plurality of circuit elements is buried at a specified position of an insulation resin layer in a manner that some portion of the external electrode terminals thereof are exposed on the surface and the circuit elements are interconnected electrically by providing a desired wiring circuit conductor layer at least on one principal surface of the insulation resin layer;

[Claim 2] An electronic circuit device according to claim 1, wherein external electrode terminals of the circuit elements are leadless or provided with a lead wire and the circuit elements provided with same kind or different kinds of external electrode terminal layer are buried;

[Claim 3] An electronic circuit device according to claim 1, wherein the wiring circuit conductor layer comprises a conductive metal layer deposited by an electroless plating method;

[Claim 4] An electronic circuit device according to claim 1, wherein the wiring circuit conductor layer is made multilayered through an insulation resin layer on one principal surface of the insulation resin layer with buried circuit elements;

[Claim 5] An electronic circuit device according to claim 1, wherein a desired wiring circuit conductor layer is provided on both sides (front and back) of an insulation resin molding with circuit elements and a conductor layer buried at a specified position;

[Claim 6] An electronic circuit device according to claim 1, wherein a conductor layer projected in a part of the wiring circuit conductor layer is provided as an external connection terminal;

[Claim 7] An electronic circuit device according to claim 1, wherein a semiconductor IC chip is loaded on the surface of the wiring circuit conductor of the outermost layer and connected electrically to the wiring circuit conductor layer;

[Claim 8] An electronic circuit device according to claim 1, wherein a plurality of insulation resin layers, wherein a plurality of circuit elements is buried at a specified position and the circuit elements are interconnected electrically by providing a desired wiring circuit conductor layer at least on one principal surface of the insulation resin layer, are laminated in a multistage form and the respective wiring circuit conductor layers are interconnected by making the through holes provided in the laminated body conductive;

[Claim 9] A method for manufacturing an electronic circuit device, wherein an adhesive is applied on a smooth base material having excellent mold releasing property, a plurality of circuit elements is loaded in a specified position of the adhesive layer and an external connection terminals layer thereof is fixed in contact with the base material, surface of the circuit elements is completely buried in an insulation resin layer, thereafter the base material is exfoliated from the

insulation resin layer with buried circuit elements, a part of the external electrode terminal layer of the circuit elements is exposed from the detached surface so as to provided a desired wiring circuit conductor layer on its surface and the circuit elements are interconnected electrically;

[Claim 10] A method for manufacturing an electronic circuit device, wherein a wiring circuit conductor layer is formed beforehand on a base material, the wiring circuit conductor layer and all circuit elements are interconnected electrically, thereafter it is exfoliated from an insulation resin layer with buried circuit elements and the wiring circuit conductor layer is transferred to a synthetic resin molding.

[Detailed description of the invention]

[0001]

[Field of industrial uses] The invention relates to an electronic circuit device used for a wide range of electronic equipment and manufacturing thereof.

[0002]

[Conventional technology] In recent years, with an increased demand of miniaturization, reduction of weight, high efficiency and high performance of electronic equipment, realization of high density of an electronic circuit became necessary and indispensable.

[0003] In view of the abovementioned condition, recently different packing methods have been proposed for realization of high density of electronic circuit. A form of packing of an electronic circuit device most commonly carried out up to now is shown in Fig.8.

[0004] In Fig.8, 1 represents a printed circuit board, 1a a circuit conductor layer of the printed circuit board 1, 2 and 3 represent circuit elements, 2a and 3a external electrode terminals of the circuit elements 2 and 3 and 4 a solder metal.

[0005] In this electronic circuit device, passive circuit elements such as resistor, condenser, coil, etc., and active circuit elements (external electrode terminals are either leadless type or provided with a lead wire) such as transistor, semiconductor IC, etc., are loaded in respective specified positions on the printed circuit board as the circuit elements 2 and 3 required for constituting an electronic circuit, the external electrode terminals 2a and 3a of the circuit elements 2 and 3 respectively and the circuit conductor layer 1a are connected electrically by a solder metal 4 by a soldering method.

[0006]

[Problem to be solved by the invention] In the abovementioned example of packing, since the circuit elements 2 and 3 are loaded on a printed circuit board and then connected by soldering, it had been difficult from the beginning to reduce resistance of an electrical connection of the

circuit elements 2 and 3 and thickness of a constituted electronic circuit device becomes equal to thickness of the circuit elements 2 and 3 and that of the printed circuit board 1. Accordingly, not only thinning of a circuit is difficult, area of soldering of the circuit elements 2 and 3 on the printed circuit board 1 increases and realization of high density and reduction of weight of an electronic circuit are difficult. Moreover, in a conventional packing, material and structure of the circuit elements 2 and 3 must be capable of withstanding the soldering temperature. If there is a large difference between the coefficient of thermal expansion of the printed circuit board 1 and that of the circuit elements 2 and 3, cracks may develop on the soldered surface due to thermal shock, particularly when leadless type circuit elements 2 and 3 are packed on the printed circuit board 1.

[0007] This invention was carried out to solve the existing problems discussed above; it aims at providing a thin and miniaturized electronic circuit device, which is superb in realization of high density of the circuit and reliability of electrical connection between the circuit elements without any limitation of the used circuit elements.

[0008]

[Means for solving the problem] For achieving the abovementioned objective, the invention provides an electronic circuit device wherein a plurality of different types of circuit elements, having different shape, dimensions and external electrode terminal structure, is buried at a specified position of an insulation resin layer in a manner that some portion of the external electrode terminals thereof is exposed on the same surface and the circuit elements are interconnected electrically by providing a necessary metal wiring circuit conductor layer at the main principal surface of the insulation resin layer.

[0009]

[Function] According to the invention, an electronic circuit device is constituted by electrically interconnecting the circuit elements by using a low-resistance metal, wherein soldering of a plurality of various kinds of circuit elements having different shape, dimensions and external electrode terminal structure is not required. Accordingly, low resistance of interconnection of the circuit elements and thinning of the electronic circuit can be realized and thereby a miniaturized high-density electronic circuit device with excellent reliability of interconnection of the circuit elements can be obtained.

[0010]

[Embodiments] (Embodiment 1) An electronic circuit device relating to an embodiment of the invention is explained below with the help of a diagram.

[0011] Fig.1 is a sectional view of an electronic circuit device relating to embodiment 1 of the invention. In Fig.1, 5 and 6 represent various kinds of circuit elements required for constituting an electronic circuit, 5a and 6a external electrode terminal layers of the circuit elements, 7 an insulation resin layer, 8 a binder layer and 9 and a wiring circuit conductor layer.

[0012] Brief description of an embodiment relating to an electronic circuit device having abovementioned configuration is given below with reference to Fig.1.

[0013] In this embodiment, as shown in Fig.1, passive elements such as condenser, coil, etc., having optional dimensional shape and external electrode terminal structure and active elements such as semiconductor IC, etc., have been used as various kinds of circuit elements 5 and 6 for constituting an electronic circuit. A plurality of these circuit elements 5 and 6 are buried at a specified position of an insulation resin layer 7, external electrode terminal layers 5a and 6a of the circuit elements 5 and 6 are exposed at one portion of the surface of the insulation resin layer 7 and, at the same time, the circuit elements 5 and 6 are electrically interconnected by providing a wiring circuit conductor layer 9 through binder layer 8 on the same surface.

[0014] There is no specific restriction on the material, shape and dimensions of the circuit elements 5 and 6 and structure of the external electrode terminals 5a and 6a. For example a wide range of circuit elements comprising aluminium electrolytic condenser provided with a lead wire, carbon film resistor, DIL type semiconductor IC package and very small leadless type chip resistor, demand of which suddenly increased recently to fulfill the need of miniaturization of circuits, laminated ceramic chip condenser, chip type laminated coil, chip carrier type semiconductor IC, etc., can be used.

[0015] In this embodiment, an electronic circuit had been constituted, as shown in Fig.1, by using a leadless type chip condenser as a circuit element 5 and a chip condenser as a circuit element 6; the circuit elements 5 and 6 are buried at a specified position of an insulation resin layer 7 mainly made of epoxy resin, external electrode terminal layers 5a and 6a of the circuit elements 5 and 6 are exposed at one portion of the surface and the circuit elements 5 and 6 have been electrically interconnected by providing a wiring circuit conductor layer 9 of metallic copper deposited by electroless plating method on the same surface..

[0016] In another embodiment, an electronic circuit device had been constituted by mixing electrolytic condenser provided with a lead wire and semiconductor IC packaged in resin or leadless type chip resistor and chip condenser, etc., and using them as circuit elements 5 and 6; these circuit elements are buried at a specified position of an insulation resin layer 7, respective external electrode terminal layers 5a and 6a are exposed at one portion of the surface of the

insulation resin layer 7 and the circuit elements are electrically interconnected by providing a wiring circuit conductor layer 9 formed by depositing metallic copper by electroless plating method through the binder layer 8 on the same surface

[0017] According to the embodiments described above, since the circuit elements 5 and 6 used for constituting the electronic circuit are buried in the insulation resin layer 7 and their external electrode terminals 5a and 6a are directly interconnected through the binder layer 8, adhesive property of the wiring circuit conductor layer is improved and, at the same time, interconnection of the circuit elements with low resistance is realized. Moreover, thinning of the whole electronic circuit device and, at the same time, high-density interconnection of the circuit elements 5 and 6 become possible. Further, since soldering is not required for interconnecting the circuit elements 5 and 6, there is no restriction on the material and structure of the circuit elements 5 and 6 to be used and an electronic circuit device with an excellent reliability of interconnection could be obtained even by using the circuit elements 5 and 6 having different expansion coefficients.

[0018] (Embodiment 2) Embodiment 2 of the invention is explained below.

[0019] Fig.2 is a sectional view of an electronic circuit device relating to embodiment 2 of the invention. In Fig.2, 5 and 6 represent the circuit elements, 5a and 6a external electrode terminal layers of the circuit elements, 7 an insulation resin layer, 8 a binder layer and 9 a wiring circuit conductor layer and the remaining constituents are the same as described in embodiment 1. This configuration is different from that shown in Fig.1 in that here the wiring circuit conductor layer 9 provided on the principal surface of the insulation resin layer 7 with buried circuit elements 5 and 6 is made multilayered through a layered insulation resin layer 10 and thereby density of the circuit is increased.

[0020] In this embodiment, photosensitive acrylic resin, epoxy resin and polyimide resin have been used as layered insulation resin layer 10. These resins are applied on the first wiring circuit conductor layer 9 formed on the insulation resin layer. Thereafter, fine holes (blind through holes) are made in the layered insulation resin layer 10 in the portions, where connection is to be made, with help of a laser beam and ultraviolet exposure, the second wiring circuit conductor layer 9a is formed on the surface of the layered insulation resin layer 10 and the wiring circuit conductor layers 9 and 9a are interconnected through the fine holes to obtain a multilayered wiring structure.

[0021] As described above, according to this embodiment, high density of an electronic circuit is realized by forming the wiring circuit conductor layers 9 and 9a on surface of the insulation resin layer 7 with buried circuit elements 5 and 6.

[0022] (Embodiment 3) Embodiment 3 of the invention is explained below with the help of a diagram.

[0023] Fig.3 is a sectional view of an electronic circuit device relating to embodiment 3 of the invention. In Fig.3, 5 and 6 represent the circuit elements, 5a and 6a external electrode terminal layers of the circuit elements, 7 an insulation resin layer, 8 a binder layer and 9 a wiring circuit conductor layer and the remaining constituents are the same as described in embodiment 1. This configuration is different from that shown in Fig.1 in that here a conductor layer 11 formed from a metal wire such as copper wire is buried inside the insulation resin layer and both ends of the conductor layer 11 are exposed on both sides (front and back) of the insulation resin layer 7 so as to form the wiring circuit conductor layer 9 on both sides (front and back) of the insulation resin layer 7.

[0024] In an electronic circuit device having the abovementioned configuration, since the wiring circuit conductor layer 9 is formed on both sides of the insulation resin layer 7 with buried circuit elements 5 and 6, freedom of circuit designing is improved and, at the same time, density of the circuit is increased.

[0025] (Embodiment 4) Embodiment 4 of the invention is explained below with the help of a diagram.

[0026] Fig.4 is a sectional view of an electronic circuit device relating to embodiment 4 of the invention. In Fig.4, 5 and 6 represent the circuit elements, 5a and 6a external electrode terminal layers of the circuit elements, 7 an insulation resin layer, 8 a binder layer and 9 a wiring circuit conductor layer and the remaining constituents are the same as described in embodiment 1. This configuration is different from that shown in Fig.1 in that here a projected conductor layer 12 is provided in some part in an optional position of the wiring circuit conductor layer 9 so as to provide an external connection terminal layer of the electronic circuit device.

[0027] If a large-scale electronic circuit device is constituted by using an electronic circuit device having the abovementioned configuration as one-function circuit block and a hybrid circuit element and mounting it on an ordinary mother printed circuit board (glass epoxy board, etc.), since the projected conductor layer 12 enables realization of a high-density solder junction onto the mother printed circuit board and, at the same time, various kinds of circuit elements constituting the circuit block are interconnected by soldering, there is no restriction on the temperature to be maintained for carrying out soldering onto the mother printed circuit board and reliability of the interconnection of the circuit elements of the circuit block is obtained.

[0028] (Embodiment 5) Embodiment 5 of the invention is explained below with the help of a diagram.

[0029] Fig.5 is a sectional view of an electronic circuit device relating to embodiment 5 of the invention In Fig.5, 5 and 6 represent the circuit elements, 5a and 6a external electrode terminal layers of the circuit elements, 7 an insulation resin layer, 8 a binder layer and 9 a wiring circuit conductor layer and the remaining constituents are the same as described in embodiment 1. This configuration is different from that shown in Fig.1 in that here an electronic circuit is constituted by loading a semiconductor IC chip 13 on the wiring circuit conductor layer 9 provided on the principal surface of the insulation resin layer 7 with buried circuit elements 5 and 6, electrically interconnecting an external electrode terminal of the IC chip 13 and the wiring circuit conductor layer 9 through a metal wire 14 by wire bonding method and covering peripheral region of the semiconductor IC chip 13 with a molded resin 15 such as epoxy resin, etc., and thereby high density of the circuit is realized by three-dimensional disposition of the circuit elements. In this embodiment, passive circuit elements 5 and 6 such as resistor, condenser, coil, etc., were buried in the insulation resin layer 7, but a circuit can also be constituted by burying the semiconductor IC chip 13 in the insulation resin layer 7, loading active circuit elements 5 and 6 on the outermost layer and electrically connecting with the wiring circuit conductor layer 9.

[0030] (Embodiment 6) Embodiment 6 of the invention is explained below with the help of a diagram.

[0031] Fig.6 is a sectional view of an electronic circuit device relating to embodiment 6 of the invention. In Fig.6, 5 and 6 represent the circuit elements, 5a and 6a external electrode terminal layers of the circuit elements, 7 an insulation resin layer, 8 a binder layer and 9 a wiring circuit conductor layer and the remaining constituents are the same as described in embodiment 1. This configuration is different from that shown in Fig.1 in that here an insulation resin molding with buried circuit elements 5 and 6 is used as one circuit block, other circuit blocks having the same structure are laminated through a binder layer 16 to form a multistage structure, a through hole 17 is formed at specified position in the laminated structure and the two wiring circuit conductor layers 9 are electrically interconnected by making surface of inner wall thereof conductive by an electroless plating method.

[0032] As described above, a plurality of circuit blocks is constituted by partitioning an electronic circuit into several circuit blocks, burying the circuit elements 5 and 6 constituting each circuit block into the respective insulation resin layers 7 and forming the wiring circuit conductor layer 9 on surface thereof; the plurality of circuit blocks is laminated to obtain a

multistage structure, a through hole 17 is made in the laminated structure and surface of its inner wall is made conductive. In this manner, density of the circuit is further improved by multilayered three-dimensional disposition of the circuit elements 5 and 6 in an electronic circuit.

[0033] (Embodiment 7) Embodiment 7 of the invention is explained below with the help of diagrams.

[0034] Parts (A) ~ (C) of Fig.7 are sectional views of a manufacturing process for explaining a method for manufacturing an electronic circuit device relating to embodiment 7 of the invention. In parts (A) ~ (C) of Fig.7, 5 and 6 represent the circuit elements, 5a and 6a external electrode terminal layers of the circuit elements, 7 an insulation resin layer, 8 a binder layer, 9 a wiring circuit conductor layer and 18 a supporting substrate. Brief description of a method for manufacturing an electronic circuit device having the abovementioned configuration is given below with reference to parts (A) ~ (C) of Fig.7.

[0035] As shown in part (A) of Fig.7, a metal substrate used has a mirror like surface with a polyester film having mold releasing property applied thereon; for example, a binder layer 8 made of an epoxy resin or acrylic resin is applied on one principal surface of the supporting substrate 18, for example, made of stainless steel. The circuit elements 5 and 6 required for construction of the electronic circuit, for example, leadless type laminated ceramic condenser, chip resistor, etc., are disposed and fixed at a specified position on the surface of the supporting substrate, in a state wherein the binder layer is not yet hardened, in such a manner that external electrode terminal layers 5a and 6a of the circuit elements are in contact with the supporting substrate 18. Thereafter, as shown in part (B) of Fig.7, the circuit elements 5 and 6 are completely buried by providing and hardening the insulation resin layer 7 on the surface wherein the circuit elements are loaded. Next, as shown in part (C) of Fig.7, the supporting substrate 18 is exfoliated from the insulation resin layer 7, fine holes are made on the residual binder layer 8 transferred onto the detached surface by using an excimer so that the external electrode terminals 5a and 6a of the circuit elements 5 and 6 are exposed or surface of the insulation resin layer 7 is polished so as to expose the external electrode terminals 5a and 6a of the circuit elements 5 and 6 and the wiring circuit conductor layer 9 is formed on surface of the binder layer 8 on the same side so as to interconnect the circuit elements.

[0036] It is not necessary to use only leadless type circuit elements 5 and 6, i.e., it is needless to mention that external connection terminals provided with a lead wire comprising aluminium electrolytic condenser, DIL type semiconductor IC package, etc., can also be used in combination of the leadless type circuit elements.

[0037] A wide range of resins comprising thermosetting resins such as epoxy resin, acrylic resin, phenol resin, etc., and thermoplastic resins such as polycarbonate resin, polyimide resin, polyethylene sulfide resin (PES), polyphenylene sulfide resin (PPS), polyetherimide resin (PEI), liquid crystal polymer, etc., can be used for forming the insulation resin layer 7 wherein various kinds of circuit elements 5 and 6 are buried. Nevertheless, in this embodiment, especially epoxy resin has been used. For improving shrinkage on hardening and coefficient of thermal expansion, inorganic fillers such as alumina, silica, etc., were mixed with the resin and the circuit elements 5 and 6 were buried at the specified position by injecting and transfer molding methods.

[0038] An electronic circuit device can be constructed in the following manner also, wherein surface of a binder layer 8 provided on surface of an insulation resin layer 7 with buried circuit elements 5 and 6 is made rough by a physical method such as plasma, etc., and a chemical etching method using chromic acid and potassium permanganate, thereafter a catalyst for electroless plating comprising fine grains of palladium metal is provided thereon by activation process, whole surface of the binder layer 8 is made metallic by electroless copper plating and electroless nickel plating and finally a wiring circuit conductor layer 9 is formed by photoetching method and, at the same time, the circuit elements are electrically interconnected.

[0039] In addition to the abovementioned electroless plating methods, the physical methods comprising vacuum deposition method, spattering method, ion plating method, etc., were also used for making the insulation resin layer with buried circuit elements metallic.

[0040] In an electron circuit device, manufactured by abovementioned method, circuit elements are buried in an insulation resin layer after disposing them beforehand at a specified position on a supporting substrate. Therefore, relative positions of the circuit elements can be accurately maintained and the elements can be buried in the insulation resin layer irrespective of their shape, dimensions and structure of the external connection terminals. Moreover, the circuit conductor layer is firmly adhered to by the binder layer provided on the insulation resin surface and thereby reliability of the electronic circuit device becomes superb.

[0041] According to another embodiment of the invention, a desired wiring circuit conductor layer was formed beforehand by using conductive resin, etc., on a supporting substrate 18, circuit elements were loaded at a specified position on the wiring circuit conductor layer, external electrode terminal layers of the circuit elements and the wiring circuit conductor layer were electrically interconnected, then the circuit elements were buried in the insulation resin layer, the supporting substrate was exfoliated, the circuit conductor layer was transferred to the insulation resin layer and, at the same time, a low-resistance conductor layer was formed on surface of the

conductor resin by carrying out electroless plating. According to this method, since electrical connection of the circuit elements can be checked before burying them in the insulation resin layer, manufacturing yield can be significantly improved.

[0042]

[Effect of the invention] The invention provides an electronic circuit device, wherein various kinds of circuit elements having different shapes, dimensions and structure of external electrode terminals are buried at a specified position of an insulation resin layer, a portion of the external electrode terminal layer is exposed on surface of the insulation resin layer, a desired wiring circuit conductor layer is directly provided on the same surface with the help of a metal layer so as to electrically interconnect the circuit elements.

[0043] According to the invention, an electronic circuit device is constructed by directly interconnecting the circuit elements by using a low-resistance metal. Therefore, resistance of the connection is low as compared to that of a solder connection of the respective circuit elements and circuit conductor layer of a conventional printed circuit and, at the same time, various problems relating to soldering operation, for example, deterioration of performance and thermal endurance of solder of the circuit elements used are solved. Moreover, thinning and reduction of weight of the whole electronic circuit device are realized and thereby a miniaturized high-density electronic circuit device with excellent reliability of interconnection of the circuit elements can be obtained.

[Brief description of the drawings]

Fig.1 is a sectional view of an electronic circuit device relating to embodiment 1 of the invention

Fig.2 is a sectional view of an electronic circuit device relating to embodiment 2 of the invention

Fig.3 is a sectional view of an electronic circuit device relating to embodiment 3 of the invention

Fig.4 is a sectional view of an electronic circuit device relating to embodiment 4 of the invention

Fig.5 is a sectional view of an electronic circuit device relating to embodiment 5 of the invention

Fig.6 is a sectional view of an electronic circuit device relating to embodiment 6 of the invention

Parts (A) ~ (C) of Fig.7 are sectional views of manufacturing process for explaining a method for manufacturing an electronic circuit device relating to embodiment 7 of the invention

Fig.8 is a section view of a conventional electronic circuit device

[Explanation of signs]

5, 6	Circuit elements
5a, 6a	External electrode terminal layers of the circuit elements
7	Insulation resin layer
8	Binder layer
9	Wiring circuit conductor layer
9a	Second wiring circuit conductor layer
10	Layered insulation layer
11	Conductor layer
12	Projected top conductor layer (External connection terminals layer)
13	Semiconductor IC chip
14	Metal wire
15	Molded resin
16	Binder layer of circuit block
17	Through hole
18	Supporting substrate

Fig.1

5, 6: Circuit elements
5a, 6a: External electrode terminal layers of circuit elements
7: Insulation resin layer
8: Binder layer
9: Wiring circuit conductor layer

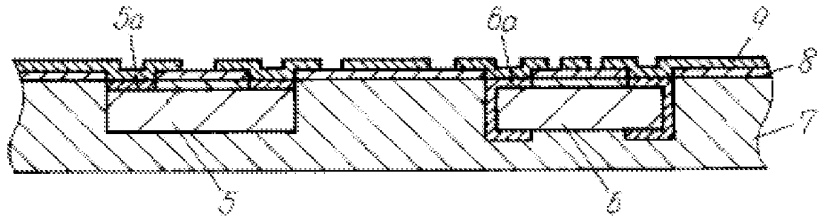


Fig.2

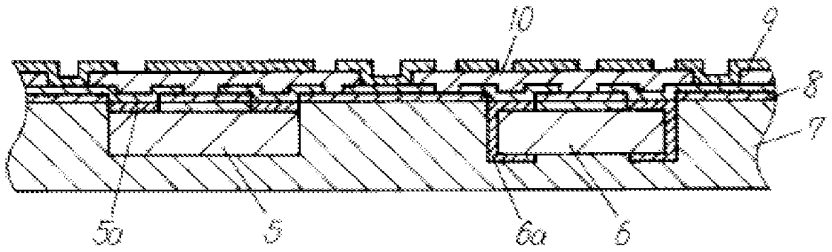


Fig.3

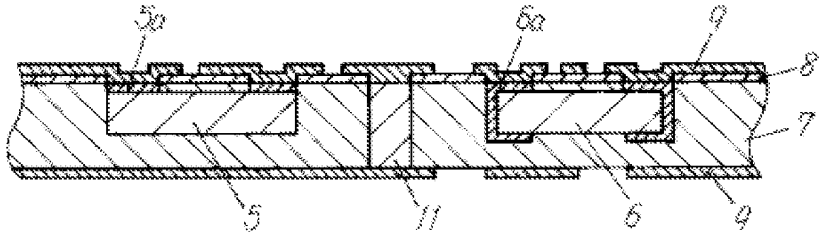


Fig.4

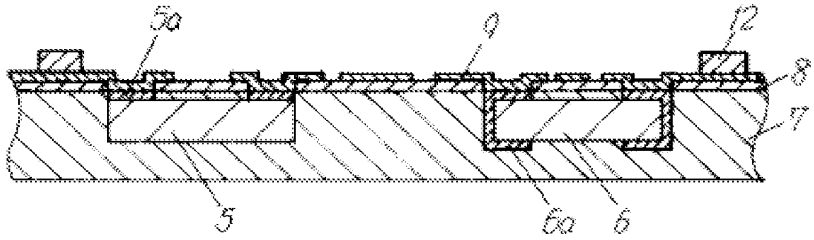


Fig.5

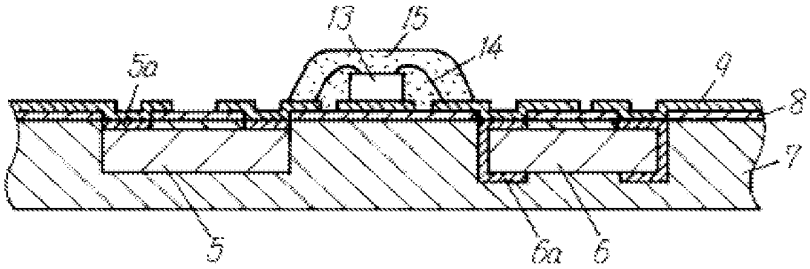


Fig.6

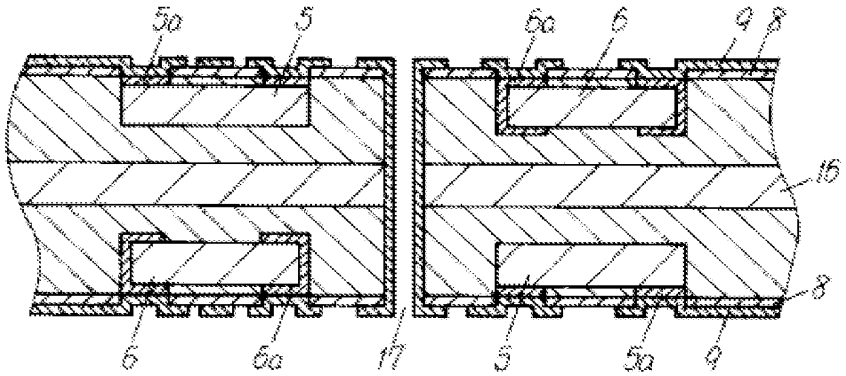


Fig.7

18: Supporting substrate

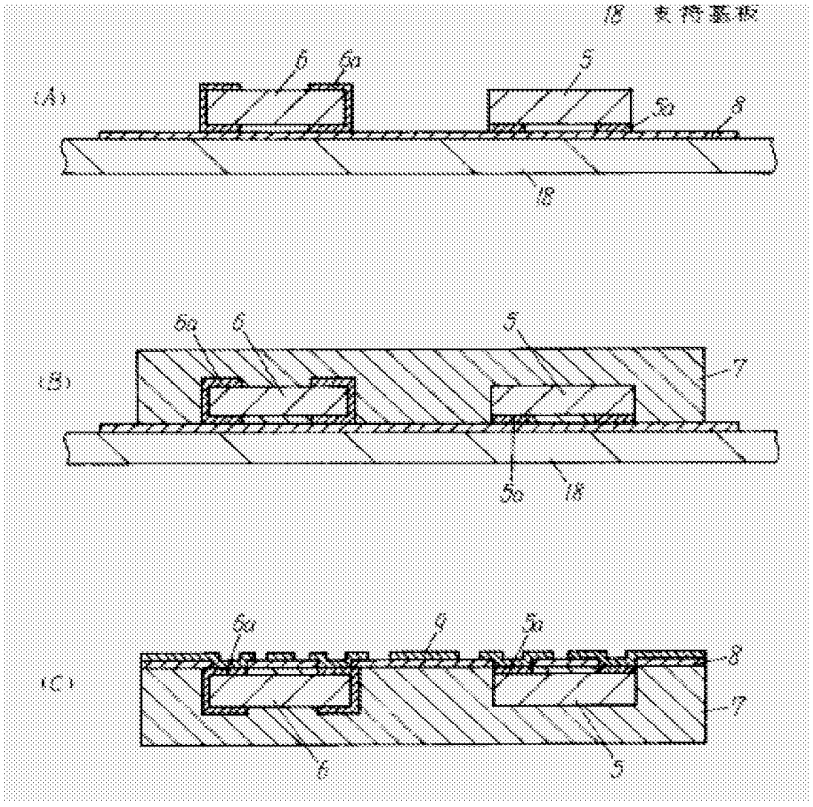
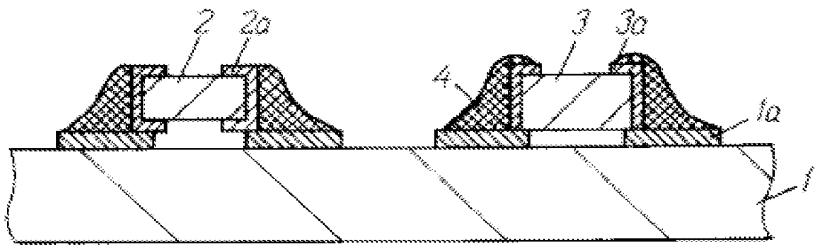


Fig.8



Continued from front page

(72) Inventor SOGO HIROSHI
Matsushiota Electric Industry Co., Ltd.
1006 Oaza, Kadoma,
Kadoma City, Osaka

(72) Inventor KOJIMA TAMAO
Matsushiota Electric Industry Co., Ltd.
1006 Oaza, Kadoma,
Kadoma City, Osaka

Electronic Patent Application Fee Transmittal	
Application Number:	
Filing Date:	
Title of Invention:	METHOD FOR EMBEDDING A COMPONENT IN A BASE
First Named Inventor/Applicant Name:	Risto TUOMINEN
Filer:	Michael Keith Mutter/Patti Young
Attorney Docket Number:	0365-0601PUS4
Filed as Large Entity	

Utility under 35 USC 111(a) Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Utility application filing	1011	1	330	330
Utility Search Fee	1111	1	540	540
Utility Examination Fee	1311	1	220	220
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				
Miscellaneous:				
		Total in USD ($)		**1090**

Electronic Acknowledgement Receipt	
EFS ID:	10543664
Application Number:	13185165
International Application Number:	
Confirmation Number:	1795
Title of Invention:	METHOD FOR EMBEDDING A COMPONENT IN A BASE
First Named Inventor/Applicant Name:	Risto TUOMINEN
Customer Number:	54080
Filer:	Michael Keith Mutter/Patti Young
Filer Authorized By:	Michael Keith Mutter
Attorney Docket Number:	0365-0601PUS4
Receipt Date:	18-JUL-2011
Filing Date:	
Time Stamp:	17:18:09
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Deposit Account
Payment was successfully received in RAM	$1090
RAM confirmation Number	4468
Deposit Account	022448
Authorized User	
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows: Charge any Additional Fees required under 37 C.F.R. Section 1.16 (National application filing, search, and examination fees) Charge any Additional Fees required under 37 C.F.R. Section 1.17 (Patent application and reexamination processing fees)	

Charge any Additional Fees required under 37 C.F.R. Section 1.19 (Document supply fees)					
File Listing:					
Document Number	**Document Description**	**File Name**	**File Size(Bytes)/ Message Digest**	**Multi Part /.zip**	**Pages (if appl.)**
1		20110718Transmittals.pdf	1580132 7db9d87fcfb604f478e5e1e79d8aec51e757738b	yes	2
	Multipart Description/PDF files in .zip description				
	Document Description		**Start**	**End**	
	Miscellaneous Incoming Letter		1	1	
	Transmittal of New Application		2	2	
Warnings:					
Information:					
2		SPEC.pdf	8675496 1c296b588bcb801004e39fb525435d43e19f2d3c	yes	20
	Multipart Description/PDF files in .zip description				
	Document Description		**Start**	**End**	
	Specification		1	18	
	Claims		19	19	
	Abstract		20	20	
Warnings:					
Information:					
3	Oath or Declaration filed	Declaration.pdf	1491299 c035caeb91f86c7a39898a325730e5f350cd48f5	no	2
Warnings:					
Information:					
4	Drawings-only black and white line drawings	Drawings.pdf	3466755 6e0aa3e756660b1efd9d895b6f76e2f3100a01d7	no	12
Warnings:					
Information:					
5		IDS.pdf	4914113 6e5ecf053227b4a44c2f1fdeec63bfaf67714944	yes	9

	Multipart Description/PDF files in .zip description				
	Document Description		**Start**	**End**	
	Transmittal Letter		1	5	
	Information Disclosure Statement (IDS) Form (SB08)		6	9	
Warnings:					
Information:					
6	Foreign Reference	JP2001345560A.pdf	493724 89b8ff38350f156c035b8378b4c9a237e50eb34c	no	17
Warnings:					
Information:					
7	Foreign Reference	JP200337205.pdf	676234 ea3485b5405ba624a2ceefecd12377aad876769e	no	22
Warnings:					
Information:					
8	Foreign Reference	JP2002158307.pdf	380935 3d012df7b38fa5165dd9efa9fcd64931debc659d	no	14
Warnings:					
Information:					
9	Foreign Reference	JP2001274034.pdf	794645 25c92c43dcd6b69138de60c22dde95278ceb0353	no	26
Warnings:					
Information:					
10	Foreign Reference	JP200153447.pdf	795852 d0de760b244c352229f18edef3940af7d1fc7541	no	12
Warnings:					
Information:					
11	Foreign Reference	JP2000311229A.pdf	317524 ca8da662f623b655d6bbcb37f8dd63eb8ca33210	no	15
Warnings:					
Information:					
12	Foreign Reference	JP04283987A.pdf	813688 eec0378e8fde73f54afb62e440a65c9bae50ea9e	no	23
Warnings:					
Information:					

13	Fee Worksheet (SB06)	fee-info.pdf	32933 ad9757fdc8f8e8df34e91358d87cc29c2c182b4d	no	2
Warnings:					
Information:					
			Total Files Size (in bytes):	24433330	

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

PTO/SB/17 (10-08)
Approved for use through 06/30/2010. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Effective on 12/08/2004.
Fees pursuant to the Consolidated Appropriations Act, 2005 (H.R. 4818).

FEE TRANSMITTAL
For FY 2009

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT	($)	1,090.00

Complete if Known	
Application Number	NEW Conf. No.:
Filing Date	July 15, 2011
First Named Inventor	Risto TUOMINEN
Examiner Name	Unassigned
Art Unit	Unassigned
Attorney Docket No.	0365-0601PUS4

METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit Card ☐ Money Order ☐ None ☐ Other (please identify): .....

☑ Deposit Account Deposit Account Number: 02-2448 Deposit Account Name: Birch, Stewart, Kolasch & Birch, LLP

For the above-identified deposit account, the Director is hereby authorized to: (check all that apply)

☑ Charge fee(s) indicated below ☐ Charge fee(s) indicated below, **except for the filing fee**

☑ Charge any additional fee(s) or underpayments of fee(s) under 37 CFR 1.16 and 1.17 ☑ Credit any overpayments

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

FEE CALCULATION

1. BASIC FILING, SEARCH, AND EXAMINATION FEES

Application Type	FILING FEES Fee ($)	FILING FEES Small Entity Fee ($)	SEARCH FEES Fee ($)	SEARCH FEES Small Entity Fee ($)	EXAMINATION FEES Fee ($)	EXAMINATION FEES Small Entity Fee ($)	Fees Paid ($)
Utility	330	165	540	270	220	110	1,090.00
Design	220	110	100	50	140	70	
Plant	220	110	330	165	170	85	
Reissue	330	165	540	270	650	325	
Provisional	220	110	0	0	0	0	

2. EXCESS CLAIM FEES

Fee Description	Fee ($)	Small Entity Fee ($)
Each claim over 20 (including Reissues)	52	26
Each independent claim over 3 (including Reissues)	220	110
Multiple dependent claims	390	195

Total Claims	Extra Claims	Fee ($)	Fee Paid ($)
1 - 20 or HP =	0	x	= 0.00

HP = highest number of total claims paid for, if greater than 20.

Indep. Claims	Extra Claims	Fee ($)	Fee Paid ($)
1 - 3 or HP =	0	x	= 0.00

HP = highest number of independent claims paid for, if greater than 3.

Multiple Dependent Claims Fee ($)	Fee Paid ($)
.....	0.00

3. APPLICATION SIZE FEE

If the specification and drawings exceed 100 sheets of paper (excluding electronically filed sequence or computer listings under 37 CFR 1.52(e)), the application size fee due is $270 ($135 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).

Total Sheets	Extra Sheets	Number of each additional 50 or fraction thereof	Fee ($)	Fee Paid ($)
..... - 100 =	0 / 50 =	0 (round up to a whole number) x	..... =	0.00

4. OTHER FEE(S)

	Fees Paid ($)
Non-English Specification, $130 fee (no small entity discount)	0.00
Other (e.g., late filing surcharge):	.....

SUBMITTED BY

Signature		Registration No. (Attorney/Agent) 29,680	Telephone 703-205-8000
Name (Print/Type)	Michael K. Mutter		Date July 18, 2011

This collection of information is required by 37 CFR 1.136. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 30 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

PTO/SB/17 (10-08)
Approved for use through 06/30/2010. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Effective on 12/08/2004.
Fees pursuant to the Consolidated Appropriations Act, 2005 (H.R. 4818).

FEE TRANSMITTAL
For FY 2009

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT ($) 1,090.00

Complete if Known	
Application Number	NEW Conf. No.:
Filing Date	July 15, 2011
First Named Inventor	Risto TUOMINEN
Examiner Name	Unassigned
Art Unit	Unassigned
Attorney Docket No.	0365-0601PUS4

METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit Card ☐ Money Order ☐ None ☐ Other (please identify): .....

☑ Deposit Account Deposit Account Number: 02-2448 Deposit Account Name: Birch, Stewart, Kolasch & Birch, LLP

For the above-identified deposit account, the Director is hereby authorized to: (check all that apply)

☑ Charge fee(s) indicated below ☐ Charge fee(s) indicated below, **except for the filing fee**

☑ Charge any additional fee(s) or underpayments of fee(s) under 37 CFR 1.16 and 1.17 ☑ Credit any overpayments

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

FEE CALCULATION

1. BASIC FILING, SEARCH, AND EXAMINATION FEES

Application Type	FILING FEES Fee ($)	FILING FEES Small Entity Fee ($)	SEARCH FEES Fee ($)	SEARCH FEES Small Entity Fee ($)	EXAMINATION FEES Fee ($)	EXAMINATION FEES Small Entity Fee ($)	Fees Paid ($)
Utility	330	165	540	270	220	110	1,090.00
Design	220	110	100	50	140	70	
Plant	220	110	330	165	170	85	
Reissue	330	165	540	270	650	325	
Provisional	220	110	0	0	0	0	

2. EXCESS CLAIM FEES

Fee Description	Fee ($)	Small Entity Fee ($)
Each claim over 20 (including Reissues)	52	26
Each independent claim over 3 (including Reissues)	220	110
Multiple dependent claims	390	195

Total Claims	Extra Claims	Fee ($)	Fee Paid ($)
1 - 20 or HP =	0 x		= 0.00

HP = highest number of total claims paid for, if greater than 20.

Indep. Claims	Extra Claims	Fee ($)	Fee Paid ($)
1 - 3 or HP =	0 x		= 0.00

HP = highest number of independent claims paid for, if greater than 3.

Multiple Dependent Claims Fee ($)	Fee Paid ($)
	0.00

3. APPLICATION SIZE FEE

If the specification and drawings exceed 100 sheets of paper (excluding electronically filed sequence or computer listings under 37 CFR 1.52(e)), the application size fee due is $270 ($135 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).

Total Sheets	Extra Sheets	Number of each additional 50 or fraction thereof	Fee ($)	Fee Paid ($)
- 100 =	0 / 50 =	0 (round up to a whole number) x		= 0.00

4. OTHER FEE(S)

	Fees Paid ($)
Non-English Specification, $130 fee (no small entity discount)	0.00
Other (e.g., late filing surcharge):	

SUBMITTED BY

Signature		Registration No. (Attorney/Agent) 29,680	Telephone 703-205-8000
Name (Print/Type)	Michael K. Mutter		Date July 18, 2011

This collection of information is required by 37 CFR 1.136. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 30 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

METHOD FOR EMBEDDING A COMPONENT IN A BASE

[0001] This application is a Continuation of co-pending Application No. 11/878,557, filed on July 25, 2007, which is a continuation of Application No. 10/502,336 (now patent no. 7,294,529), filed on September 23, 2004, which claims priority from PCT/F103/00065, the entire contents of which are hereby incorporated by reference and for which priority is claimed under 35 U.S.C. § 120.

[0002] The present invention relates to a method for embedding one or more components in a base.

[0003] The bases that are processed using the methods to which the present invention relates are used as bases for electrical components, typically semiconductor components and particularly microcircuits, in electronic products. The task of the base is to provide a mechanical attachment base for the components and the necessary electrical connections to the other components on the base and outside the base. The base can be a circuit board, so that the method that is the object of the invention is closely related to circuit-board manufacturing technology. The base can also be some other base, for example, a base used for packaging a component or components, or the base of an entire functional module.

[0004] Circuit-board manufacturing technologies differ from microcircuit manufacture in, among other things, the fact that the substrate used in microcircuit manufacturing technologies is a semiconductor material, whereas the base material of a circuit board is an insulator. Microcircuit manufacturing technologies are also typically considerably more expensive than circuit-board manufacturing technologies.

[0005] Circuit-board manufacturing technologies differ from packaging techniques in that packaging techniques are intended to form a package around

a semiconductor component, which will facilitate its handling. The surface of a package of a semiconductor component has contact parts, typically protrusions, which allow the packaged component to be easily installed on a circuit board. A semiconductor package also contains conductors, through which voltage can be connected to the actual semiconductor, connecting the protruding contact parts outside the package to the contact areas on the surface of the semiconductor component.

[0006] However, the packages of components manufactured using conventional technologies take up a considerable amount of space. The miniaturization of electronic devices has led to an attempt to eliminate the packaging of semiconductor components. For this purpose, the so-called flip-chip technology for instance, has been developed, in which a semiconductor component without a package is assembled directly onto the surface of the circuit board. There are, however, many difficulties in flip-chip technology. For example, problems can arise with the reliability of connections, especially in applications in which mechanical stresses arise between the circuit board and the semiconductor component. Mechanical stresses must be evened by adding a suitable underfill between the chip and the circuit board. This procedure slows down the process and increases manufacturing costs. Stresses arise particularly in applications in which a flexible circuit board is used and the circuit board is flexed strongly.

[0007] Object of the invention is to create a method, by means of which unpacked microcircuits can be embedded to a base reliably but economically.

[0008] The invention is based on embedding the semiconductor components, or at least some of them, in a base, such as a circuit board, during the manufacture of the board, whereby part of the base structure is, as it where, manufactured around the semiconductor components. According to the invention, feed-throughs for semiconductor components are made in the base in such a way that the holes extend between the first and second surfaces of the base. After the holes have been made, a polymer film is spread over the second surface of the base structure in such a way that the polymer film also covers the feed-throughs

made for the semiconductor components, from the second side of the base structure. Before the hardening of the polymer film, or after partial hardening, the semiconductor components are placed, from the direction of the first side of the base, in the holes that have been made. The semiconductor components are pressed against the polymer film so that they adhere to the polymer film. After this, the final hardening of the polymer film is carried out. According to the invention, a conductive pattern is made in the base, before a component is placed in the holes, and the component is placed in the hole in such a way that the component is aligned in relation to the conductive patterns made on the baseboard.

[0009] More specifically, the method according to the invention is characterized by what is stated in the characterizing portion of Claim 1.

[0010] Considerable advantages are gained with the aid of the invention. This is because, with the aid of the invention, a circuit board can be manufactured with the semiconductor components embedded inside it. The invention also makes it possible to manufacture a small and reliable component package around a component.

[0011] The invention also permits a large number of embodiments, which provide significant additional advantages.

[0012] For example, with the aid of preferred embodiments of the invention, the component's packaging stage, the circuit board's manufacturing stage, and the assembly and contact-making stage of the semiconductor components can be combined to form a single totality. The combination of the various process stages brings important logistic benefits and permits the manufacture of a smaller and more reliable electronic module. There is the further advantage that such a manufacturing method can largely exploit circuit board manufacturing and assembly technologies that are in general use.

[0013] According to a preferred embodiment of the invention, the totality of the

composite process is simpler than, for example, using flip-chip technology to manufacture a circuit board and attach the components to the circuit board. By means of such preferred embodiments, the following advantages over the conventional solution are obtained:

- Soldering is not required to form contacts with the components, instead an electrical contact can be manufactured by growing conductors on top of the contact areas of a semiconductor component. This means that there is no need to use molten metal to connect the components, so that compounds are not formed between metals. Compounds between metals are generally brittle, so that reliability is improved compared to connections made by soldering. Particularly in small connections, the brittleness of the metal compounds in the connections causes great problems. According to a preferred embodiment, it is possible to achieve clearly smaller structures in a solderless solution than in soldered solutions. The solderless contact-making method also has the advantage that high temperatures are not required to form contacts. A lower process temperature permits greater choice when selecting other materials of the circuit board, the component package, or the electronics module. In the method, the temperature of the circuit board, the component, and the conductive layer directly connected to the component can be kept in the range 20 - 85°C. Higher temperatures, for example, of about 150°C, may be needed only when curing (polymerizing) the polymer films used. However, the temperature of the baseboard and the components can be kept under 200°C during the entire process. If the method employs polymer films that are hardened in other ways than due to the effect of a high temperature, for example, chemically, or by electromagnetic radiation, the temperature of the baseboard and the components can, in a preferred embodiment, be kept under 100°C during the entire process.

- Because the use of the method permits the manufacture of smaller structures, the components can be spaced more closely. The conductors between the components can then also be shorter while the electrical properties of the electronic circuit improve, for example, by reducing losses, interference, and delay times.

- The method also permits the manufacture of three-dimensional structures, as the bases and the components embedded in the bases can be assembled on top of each other.

- In the method, it is also possible to reduce the interfaces between different metals.

- The method permits a lead-free process.

[0014] The invention also permits other preferred embodiments. In connection with the invention, flexible circuit boards, for instance, can be used. Further, the process permits circuit boards to be assembled on top of each other.

[0015] With the aid of the invention, it is also possible to manufacture extremely thin structures, in which the semiconductor components are, despite its thinness, entirely protected within a base, such as a circuit board.

[0016] Because the semiconductor components can be placed entirely inside the circuit board, the joints between the circuit board and the semiconductor components are mechanically durable and reliable.

[0017] In the following, the invention is examined with the aid of examples and with reference to the accompanying drawings.

[0018] Figure 1 shows a series of cross-sections of one process according to the invention.

[0019] Figure 2 shows a series of cross-sections of a second process according to the invention.

[0020] Figure 3 shows a schematic diagram of one possible contact-forming method.

[0021] Figure 4 shows a series of cross-sections of a third process according to the invention.

[0022] The series of illustrations shown in Figure 1 show one possible process according to the invention. In the following, the process of Figure 1 is examined in stages:

[0023] Stage A (Figure 1A):

[0024] In stage A, a suitable baseboard 1 is selected for the circuit-board manufacturing process. The baseboard 1 can be, for example, a glass-fibre reinforced epoxy board, such as an FR4-type board. In the example process, the baseboard 1 can thus be an organic board, as the example process does not require high temperatures. A flexible and cheap organic board can thus be selected for the baseboard 1. Typically a board that is already coated with a conductive material 2, usually copper, is selected for the baseboard 1. Of course, an inorganic board can also be used.

[0025] Stage B (Figure 1B):

[0026] In stage B, through holes 3 are made in the baseboard for electrical contacts. The holes 3 can be made, for example, with some known method used in circuit-board manufacture, such as mechanical drilling.

[0027] Stage C (Figure 1C):

[0028] In stage C, metal is grown into the through holes made in stage B. In the example process, the metal 4 is also grown on top of the circuit board, thus also increasing the thickness of the conductive layer 2.

[0029] The conductive material 4 to be grown is copper, or some other material with sufficient electrical conductivity. Copper metallizing can take place by coating the holes with a thin layer of chemical copper and then continuing the coating using an electrochemical copper-growing method. Chemical copper is used in the example, as it will also surface on top of a polymer and act as an electrical conductor in electrochemical coating. The metal can thus be grown using a wet-chemical method, so that the growth is cheap. Alternatively, the conductive layer 4 can be made, for example, by filling the through holes with an electrically conductive paste.

[0030] Stage D (Figure 1D):

[0031] In stage D, the conductive layer on the surface of the circuit board is patterned. This can be done by utilizing generally known circuit-board manufacturing methods. The patterning of the conductive layer is aligned, for example, on the holes made in stage B.

[0032] The manufacture of the conductor pattern can take place, for example, by laminating, on the surface of the metal 4, a photolithographic polymer film, on which the desired conductive pattern is formed by directing light through a patterned mask. After exposure, the polymer film is developed, when the desired areas are removed from it and the copper 4 under the polymer is revealed. Next, the copper revealed under the film is etched away, leaving the desired conductive pattern. The polymer acts as a so-called etching mask and openings 5, at the foot of which the baseboard of the circuit board is revealed, are formed in the metal layer 4. After this, the polymer film is also removed from on top of the copper 4.

[0033] Stage E (Figure 1E):

[0034] In stage E, holes 6 are made in the baseboard for the microcircuits. The holes extend through the entire baseboard, from the first surface 1a to the second surface 1b. The holes may be made, for example, mechanically milling by means of a milling machine. The holes 6 can also be made, for example, by stamping. The holes 6 are aligned relative to the conductive patterns 4 of the circuit board. The holes 3 made during stage B can also be used to aid alignment, but then too the alignment is relative to the conductive patterns 4, as the conductive patterns 4 have a specific position in relation to the holes 3.

[0035] Stage F (Figure 1F):

[0036] In stage F, a polymer film 7 forming an electrical insulation is made on the second surface 1b of the baseboard and over the holes 6. The polymer film 7 is made in such a way that it is sufficiently rigid to retain the main features of its shape, but, however, not hardened, so that components can be attached by pressing them into the film. The polymer film should also be sufficiently rigid to be able to hold the components pressed into the film essentially immovable in relation to the base, during the following process stages.

[0037] The polymer film made in Stage F can be, for example, a pre-preg-type film.

[0038] If desired, a metal coating 8 can also be made on top of the polymer film 7 in stage F.

[0039] In the example process, stage F is carried out by laminating a thin polymer film (e.g., c. 40 μm) on the surface of the circuit board, on top of which is a layer of copper (e.g., c. 5 μm). Lamination takes place with the aid of pressure and heat. In the example process, the film is thus an RCC (Resin Coated Copper) foil. The lamination must then be carried out to be uncompleted, so that the polymer is not completely hardened. This is achieved by setting the laminating temperature sufficiently low and/or by shortening the

duration of the heat treatment.

[0040] Stage G (Figure 1G):

[0041] In stage G, the microcircuits 18 are assembled in the holes 6, from the side of the first surface 1a of the baseboard. Assembly can take place using a precision assembly machine, the microcircuits 18 being aligned relative to the conductive patterns of the circuit board. As in stage E, the holes made in stage B can be used to aid alignment.

[0042] The microcircuits 18 are assembled in such a way that they adhere to polymer film 7 in the 'bottoms' of the holes 6. The most suitable way to carry out assembly is to use such a force that the microcircuits 18 push slightly inside the polymer film 7, so that the microcircuits are made to remain in place better. It is also advantageous to the process, if the microcircuits being assembled have contact protrusions 9, which penetrate inside the polymer film 7.

[0043] Figure 3 shows an interesting alternative embodiment, in which the contact protrusions 9 of the microcircuits are so long that they extend right through the polymer film 7 to the metal coating 8. In that case, there is no need to make holes in the polymer film 7 (Stage K) for making contacts in the microcircuits, as the holes are formed in connection with the assembly of the components. In addition, the metallizing stage (Stage L) of the holes can be simplified, as the contact protrusions 9 automatically form conductor columns through the polymer film 7. In the embodiment of Figure 3, the contact protrusions can also be given a sharp shape, so that their penetration ability improves. If the contact protrusions 9 are sufficiently long and sharp, they can also penetrate the metal coating 8 and in principle form an electrical contact between the microcircuit 18 and the metal coating 8.

[0044] Stage H (not shown):

[0045] In stage H, the polymer film 7 is hardened with the aid of curing. Curing

generally comprises a heat treatment, but the process can also employ some treatment other than heat to harden the polymer. If desired, stage H can also be omitted, particularly in connection with polymers cured by heat treatment. However, hardening the polymer at this stage prevents the microcircuit from moving relative to the base during stage I.

[0046] Stage I (Figure 1I):

[0047] In stage I, the microcircuits are secured to the baseboard of the circuit board by filling the holes made for the microcircuits with a filler material 10. In the example process, this stage is carried out by spreading casting epoxy into the holes from the first surface (1a) of the circuit board and on top of the microcircuits. The epoxy is smoothed with a spatula and hardened by curing in an autoclave. At the same time, the polymer film 7 is also hardened, if the process does not include stage H.

[0048] Stage J (Figure 1J):

[0049] In stage J, a polymer film 11 is formed on the first surface (1a) of the circuit board, followed by a thin metal coating 12 on top of the polymer film.

[0050] In the example process, stage J is carried out by laminating a thin polymer film (e.g., c. 40 μm) on the surface of the circuit board, on top of which is a layer of copper (e.g., c. 5 μm). Lamination takes place with the aid of pressure and heat. In the example process, the film is thus an RCC (Resin Coated Copper) foil.

[0051] The polymer film can also be made by, for example, spreading polymer in a liquid form on the circuit board. Thus lamination is not essential in stage J. What is essential is that an insulating layer, typically a polymer film, is made on the circuit board, which contains the embedded components, particularly embedded microcircuits. The polymer film itself can be, according to the embodiment, a filled or unfilled polymer film. The polymer film can also be

coated with metal, but this is not essential, as the conductive surface can also be made later, on top of a polymer layer that is already attached to the circuit board.

[0052] Stage J makes it possible to use conventional manufacturing methods and work stages used in circuit board manufacture in the example process and nevertheless to be able to bury microcircuits and other components inside the circuit board.

[0053] Stage K (Figure 1K)

[0054] In stage K, holes 13 are made in the polymer films 7 and 11 (and at the same time in the conductive foils 8 and 12), through which it is possible to create contacts with the conductive patterns and feed-throughs (conductive material 4) of the circuit board and with the microcircuits.

[0055] The holes 13 can be made, for example, using a laser, or some other suitable method. The conductive patterns made in stage D, or the through holes made in stage B can be used for alignment.

[0056] Stage L (Figure 1L):

[0057] Stage L corresponds to stage C. In stage L, a conductive layer 14 is made in the holes 13 and on the surfaces of the circuit board.

[0058] In the example process, the feed-throughs (holes 13) are first of all cleaned using a three-stage desmear treatment. After this, the feed-throughs are metallized by first forming a catalysing SnPd surface on the polymer and after that depositing a thin layer (about 2 Fm) of chemical copper onto the surface. The thickness of the copper 14 is increased by electrochemical deposition.

[0059] Alternatively, the feed-throughs can be filled with an electrically conductive paste or made using some other suitable micro-via metallizing

method.

[0060] Stage M (Figure 1M):

[0061] In stage M, a conductive pattern is formed in the same way as in stage D.

[0062] Stages N and O (Figures 1N and 1O):

[0063] In stages N and O, a photolithographic polymer 14 is spread on the surface of the circuit board and the desired pattern is formed in the polymer 14 (in a manner similar to that in stages D and M). The exposed polymer film is developed, but the polymer film pattern remaining on the circuit board is not removed.

[0064] Stage P (Figure 1P):

[0065] In stage P, the connection areas of the polymer film pattern formed in the previous stage are coated 16. The coating 16 can be made with, for example, a Ni/Au coating, or an OSP (organic surface protection).

[0066] The example of Figure 1 depicts one process, which can be used to exploit our invention. Our invention is thus in no way restricted to the process described above, but instead the invention covers a large group of different process and their end products, to the full extent of the Claims and allowing for equivalency interpretations. In particular, the invention is in no way restricted to the layout shown in the example, instead it will be obvious to one versed in the art that the processes according to our invention can be used to manufacture many kinds of circuit boards, which differ greatly from the examples disclosed here. Thus, the microcircuits and connections of the figures are only shown to illustrate the manufacturing process.

[0067] A great many changes can thus be made to the process of the example disclosed above, without nevertheless deviating from the idea according to the invention. The changes can relate to the manufacturing techniques depicted in the various stages, or, for example, to the mutual sequence of the stages. For example, stage B can equally well be carried out after stage D, i.e. the procedure can be to align the drill on the pattern, instead of aligning the pattern on the drilled holes. Correspondingly, the order of stages D and E can also be reversed. The component holes 6 are then made before the conductive patterns are formed. In that case, the conductive pattern is aligned relative to the holes 6 (and also the holes 3). Irrespective of the order in which stages B, D, and E are carried out, the polymer film 7 to be made in stage F covers the holes 6 and the conductive pattern formed on the second surface 1b of the baseboard.

[0068] Stages that are felt to be required can also be added to the process of the example disclosed above. For example, a foil that protects the surface of the circuit board during the casting taking place in stage H can be laminated onto the first side (1a) of the circuit board. Such a protective foil is manufactured so that it covers all the other areas except for the holes 6. The protective foil keeps the surface of the circuit board clean when the casting epoxy is spread with the spatula. The protective foil can be made in a suitable stage before stage I and removed from the surface of the circuit board immediately after the casting.

[0069] With the aid of the method, it is also possible to manufacture component packets to be attached to the circuit board. Such packets can also include several semiconductor components, which are connected electrically to each other.

[0070] The method can also be used to manufacture entire electrical modules. The process shown in Figure 1 can also be applied in such a way that the conductive structure is made only on the second side (1b) of the circuit board, to which the contact surfaces of the microcircuit are oriented.

[0071] The method makes it possible to manufacture, for example, circuit boards or electrical modules, in which the thickness of the baseboard used is in

the range 50 - 200 microns and the thickness of the microcircuit and microcircuits is in the range 50 - 150 microns. The pitch of the conductors can vary, for example, in the range 50 - 250 microns while the diameter of the micro-feed-throughs can be, for example, 15 - 50 microns. Thus, the total thickness of a single board in a one-layer construction will be about 100 - 300 microns.

[0072] The invention can also be applied in such a way that circuit boards are assembled on top of each other, thus forming a multi-layer circuit structure, in which there are several circuit boards manufactured according to Figure 1 set on top of each other and connected electrically to each other. The circuit boards set on top of each other can also be circuit boards in which the conductive structure is formed only on the second side 1b of the circuit board, but which nevertheless include feed throughs, through which an electrical contact can also be formed to the microcircuits from the first side of the circuit board. Figure 2 shows one such process.

[0073] Figure 2 shows the connection of circuit boards to each other. In the following, the process is described in stages.

[0074] Stage 2A (Figure 2A):

[0075] Stage 2A depicts the circuit boards being set on top of each other. The lowest circuit board can be obtained, for example, after stage J of a modified process of Figure 1. In this case, the process of Figure 1 is then modified by omitting stage 1C.

[0076] The middle and upper circuit boards in turn can be obtained after stage M of a modified process of Figure 1, for instance. In this case, the process of Figure 1 is modified by omitting stage 1C and performing stages J, K, and L on only the second side (1b) of the circuit board.

[0077] In addition to the circuit boards, Figure 2A also shows pre-preg epoxy

layers 21 placed between the circuit boards.

[0078] Stage 2B (Figure 2B):

[0079] In stage 2B, the circuit boards are laminated together with the aid of pre-preg epoxy layers 21. In addition, a metal-coated polymer film 22 is made on the upper surface of the circuit board. The process corresponds to stage J of the process of Figure 1. In the example process, a metal-coated polymer film 22 is already on the under surface of the circuit board.

[0080] Stage 2C (Figure 2C):

[0081] In stage 2C, holes 23, for the formation of contacts, are drilled in the circuit board.

[0082] After Stage 2C, the process can be continued for example as follows:

[0083] Stage 2D:

[0084] In stage 2D, conductive material is grown on top of the circuit board and in the through holes 23, in the same way as in stage 1C.

[0085] Stage 2E:

[0086] In stage 2E, the conductive layer on the surface of the circuit board is patterned in the same way as in stage 1D.

[0087] Stage 2F:

[0088] In stage 2F, a photolitographic polymer is spread on the surfaces of the circuit board and the desired pattern is formed in the polymer in the same way as in stages 1N and 1O. The exposed polymer film is developed, but the polymer film pattern remaining on the circuit board is not removed.

[0089] **Stage 2G:**

[0090] In stage 2G, the connection areas of the polymer film pattern formed in the previous stage are metallized in the same way as in stage 1P.

[0091] On the basis of the example of Figure 2, it is obvious that the method can also be used to manufacture many kinds of three-dimensional circuit structures. For example, the method can be used in such a way that several memory circuits are placed on top of each other, thus forming a packet containing several memory circuits, in which the memory circuits are connected to each other to form an operational totality. Such a packet can be termed a three-dimensional multichip module. The chips in such modules can be selected freely and the contacts between the chips can be easily made according to the selected circuits.

[0092] The invention also permits electromagnetic protection to be made around the component embedded in the base. This is because the method of Figure 1 can be modified in such a way that the holes 6 depicted in stage 1E can be made in connection with the making of the holes 3 carried out in stage 1B. In that case, the conductive layer 4 to be made in stage 1C will also cover the side walls of the holes 6 made for the components. Figure 4A shows a cross-section of the base structure as it is after stage 1F in the process modified in the aforesaid manner.

[0093] After the intermediate stage shown in Figure 4A, the process can be continued by assembling the microcircuits in a similar way to stage 1G, the polymer film being hardened as in stage 1H, and the microcircuits being attached similarly to stage 1I. After this, polymer and metal foils can be formed on the first surface of the circuit board similarly to stage 1J. Figure 4B shows an example cross-section of the base structure after these process stages.

[0094] After the intermediate stage shown in Figure 4B, the process can be continued by making holes, similar to those of stage 1K, in the polymer film, for making contacts. After this, a conductive layer is made in the holes and on the surfaces of the board similarly to stage 1L. Figure 4C shows an example cross-section of the base structure after these process stages. For reasons of clarity, the conductive layer made similarly to stage 1L in the holes and on the board surfaces is highlighted in black.

[0095] After the intermediate stage shown in Figure 4C, the process can be continued by patterning a conductive layer on the surfaces of the board as in stage 1M and by coating the surfaces of the board as in stage 1N. After these stages, the microcircuits are surrounded by a nearly unbroken metal foil, which forms an effective protection against interference caused by electromagnetic interaction. This construction is shown in Figure 4D. After the intermediate stage shown in Figure 4D, stages corresponding to stages 1O and 1P are carried out, in which a protective foil and connections are made on the surface of the circuit board.

[0096] In Figure 4D, the cross-sections of the metal layers protecting the microcircuits are highlighted in black. In addition, the background of the microcircuits is highlighted with cross-hatching. The cross-hatching is intended to be a reminder that all the sides of a hole made for a microcircuit are covered by a metal foil. Thus the microcircuit is surrounded laterally with an unbroken metal foil. In addition to this, a metal plate can be designed above the microcircuit, which is made in connection with the making of the circuit board's conductive pattern. Similarly, a metal foil that is as complete as possible is made below the microcircuit. The making of contacts below the microcircuit means that small gaps must be made in the metal foil, as shown in Figure 4D, for instance. These gaps can, however, be made so narrow laterally, or, correspondingly, so thin vertically, that they do not weaken the protective effect obtained against electromagnetic interference.

[0097] When examining the example of Figure 4D, it must also be take into

account that the final structure also contains parts extending at right angles to the plane shown in the figure. Such a structure extending at right angles is shown by the conductor connected to the contact bump on the left-hand side of the left-hand microcircuit of Figure 4D, which runs towards the viewer from between the metal foil surrounding the microcircuit laterally and the conductive layers below the microcircuit.

[0098] The solution shown by Figure 4D thus provides the microcircuit with excellent protection against electromagnetic interference. As the protection is made immediately around the microcircuit, the construction also protects against mutual interference arising between the components contained in the circuit board. Most of the electromagnetic protective structure can also be earthed, as the metal foil surrounding the microcircuits laterally can be connected electrically to the metal plate above the circuit. The connections of the circuit board, can, in turn, be designed in such a way that the metal plate is earthed through the conductive structure of the circuit board.

Claims:

1. An electronic module, comprising

a baseboard having a first surface and a second surface;

a hardened insulating polymer layer on the second surface of the baseboard;

at least one component within the baseboard, the component having contact areas on a first surface of the component, said first surface of the component being against the hardened insulating polymer layer;

conductive patterns on the hardened insulting polymer layer; and

conductors within the hardened insulating polymer layer for forming electrical contacts between at least some of the conductive patterns and at least some of the contact areas of the component.

Abstract of the Disclosure

A method, in which the semiconductor components forming part of an electronic circuit, or at least some of them, are embedded in a base, such as a circuit board, during the manufacture of the base, when part of the base structure is, as it were, manufactured around the semiconductor components. Through-holes for the semiconductor components are made in the base, in such a way that the holes extend between the first and second surface of the base. After the making of the holes, a polymer film is spread over the second surface of the base structure, in such a way that the polymer film also covers the through-holes made for the semiconductor components from the side of the second surface of the base structure. Before the hardening, or after the partial hardening of the polymer film, the semiconductor components are placed in the holes made in the base, from the direction of the first surface of the base. The semiconductor components are pressed against the polymer film in such a way that they adhere to the polymer film.