CERTIFICATE OF TRANSLATION ACCURACY

I, Alex Jo, declare:

I am a professional reviewer and coordinator specializing in translating Chinese, Japanese and Korean to English.

I have over 25 years of experience reviewing and coordinating translations of thousands of technical, legal, and business documents from Chinese to English submitted to, among others, various U.S. federal courts, the U.S. International Trade Commission (ITC), and the Patent Trial and Appeal Board (PTAB).

I certify that the following Japanese to English translation of the corresponding source text is a true, correct, and complete translation to the best of my knowledge and ability.

I hereby certify under penalty of perjury that the foregoing is true and correct.
Executed this 1st day of August 2022 in the Contra Costa County of the State of California.

By: _____

Alex Jo

Member, ATA

APPLE 1041

WORLD INTELLECTUAL PROPERTY ORGANIZATION
International Bureau

PCT

INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(51) International Patent Classification[6] **H01L 21/60**	**A1**	(11) International Publication Number **WO 96/12296** **(43)** International Publication Date 25 April 1996 (25.04.96)

(21) International Application Number PCT/JP95/02121
(22) International Filing Date 17 October 1995 (17.10.95)

(30) Priority Data
Patent H6/251722 18 October 1994 (18.10.94) JP

(71) Applicant (for all designated States except US)
Hitachi LTD. (HITACHI, LTD.)[JP/JP]
4-chome 6-banchi, Kanda Surugadai, Chiyoda-ku, Chiyoda, Tokyo 101 (JP)
HITACHI ULSI ENGINEERING CORP.
(HITACHI ULSI ENGINEERING CORP.)[JP/JP]
5-20-1 Josui Honmachi, Kodaira City, Tokyo, 187 (JP)
(72) Inventor; and
(75) Inventor/Applicant (for US only)
SUWA, Motoo (SUWA, Motoo) [JP/JP]
Hitachi Konegai Dormitory Tokyo
5-20-22 Midori-machi, Koganei City, Tokyo 184 (JP)
KAMADA, Chiyoshi (KAMADA, Chiyoshi) [JP/JP]
1-21-22 Hiyoshi-cho, Kokubunji City, Tokyo 185 (JP)
ARAI, Takeshi (ARAI, Takeshi) [JP/JP]
5-1293 Futamatao, Ome City, Tokyo 198-01 (JP)
TAKAHASHI, Hiroyuki (TAKAHASHI, Hiroyuki [JP/JP]
6-38-5 Sunagawa-cho, Tachikawa City, Tokyo 190 (JP)
NISHIUMA, Masahiko (NISHIUMA, Masahiko) [JP/JP]
Sekizuka Mansion 302
1111-1 Shinmachi, Ome City, Tokyo 198
(74) Agent
KAJIWARA, Tatsuya (KAJIWARA, Tatsuya), patent attorney
I-201 Central Nishishinjuku
8-9-5 Nishishinjuku, Shinjuku-ku, Tokyo 160 (JP)

(81) Designated States
CN, JP, KR, SG, US, European patent (AT, BE, CH, DE, DK, ES, FR) GB, GR, IE, IT, LU, MC, NL, PT, SE).

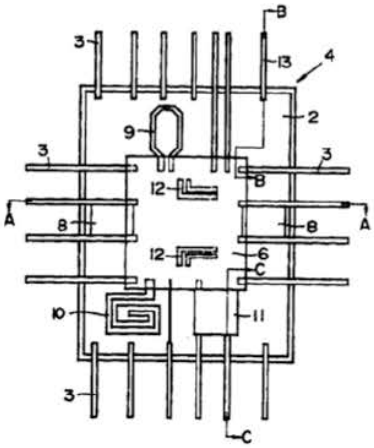
Attached document type International Search Report

(54) Title : SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(54) Title: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57) Abstract

A semiconductor device which can reduce the transmission loss of high-frequency signals and in which a semiconductor chip (6) is facedown-bonded to a ground plane TAB tape (4). The TAB tape (4) is such that a first conductive layer (2) and a second conductive layer (3) are respectively formed on the front and rear sides of an insulating layer (1) and a front-side of the second conductive layer (3) is exposed in an opening made in the insulating layer (1) and Au bumps (7a and 7b) are protruded in the openings of the conductive layers (2) and (3). The pad electrode (5) of the semiconductor chip (6) is matched and bonded to the Au bumps (7a and 7b) on the TAB tape (4) without melting the bumps (7a and 7b). This semiconductor device can be used for information communication equipment and a highly advanced system can be constructed when the device is constituted in a multichip module.



(57) Abstract

A semiconductor device which can reduce the transmission loss of high-frequency signals and in which a semiconductor chip (6) is facedown-bonded on a ground plane TAB tape (4). The TAB tape (4) is formed with a first conductive layer (2) and a second conductive layer (3) respectively on the front and rear sides of an insulating layer (1), a portion of the front side of the second conductive layer (3) is exposed in an opening (8) provided in the insulating layer (1), and Au bumps (7a, 7b) are provided protruding in the openings of the first conductive layer (2) and the second conductive layer (3). A pad electrode (5) of the semiconductor chip (6) is aligned and bonded to the Au bumps (7a, 7b) of the TAB tape (4) without melting the Au bumps (7a, 7b). This semiconductor device can be used in an information communication device and to configure a multichip module for an advanced system.

FOR THE PURPOSES OF INFORMATION ONLY
Codes used to identify States party to the PCT on the front pages of pamphlets publishing international applications under the PCT

AL	Albania	DK	Denmark	LK	Sri Lanka	PT	Portugal
AM	Armenia	EE	Estonia	LR	Liberia	RO	Romania
AT	Austria	ES	Spain	LS	Lesotho	RU	Russian Federation
AU	Australia	FI	Finland	LT	Lithuania	SD	Sudan
AZ	Azerbaijan	FR	France	LU	Luxembourg	SE	Sweden
BB	Barbados	GA	Gabon	LV	Latvia	SG	Singapore
BE	Belgium	GB	Great Britain	MC	Monaco	SI	Slovenia
BF	Burkina Faso	GE	Georgia	MD	Moldova	SK	Slovak Republic
BG	Bulgaria	GN	Guinea	MG	Madagascar	SN	Senegal
BJ	Benin	GR	Greece	MK	Macedonia, formerly the Republic of Yugoslavia	SZ	Swaziland
BR	Brazil	HU	Hungary			TD	Chad
BY	Belorussia	IE	Ireland	ML	Mali	TG	Togo
CA	Canada	IS	Iceland	MN	Mongolia	TJ	Tajikistan
CF	Central African Republic	IT	Italy	MR	Mauritania	TM	Turkmenistan
CG	Congo	JP	Japan	MW	Malawi	TR	Turkey
CH	China	KE	Kenya	MX	Mexico	TT	Trinidad & Tobago
CI	Cote d'Ivoire	KG	Kyrgyzstan	NE	Niger	UA	Ukraine
CM	Cameroon	KP	Democratic People's Republic of Korea	NL	Netherlands	UG	Uganda
CN	China			NO	Norway	US	United State
CZ	Czech Republic	KR	Republic of Korea	NZ	New Zealand	UZ	Republic of Uzbekistan
DE	Germany	KZ	Kazakhstan	PL	Poland	VN	Vanuatu
		LI	Lichtenstein				

SPECIFICATION

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

TECHNICAL FIELD

The present invention relates to a semiconductor device and in particular to an effective technology applied to a semiconductor device in which a semiconductor chip is facedown-mounted on a tape formed with a conductive layer on an insulating layer.

BACKGROUND TECHNOLOGY

Recently, mobile wireless devices such as mobile phones and car phones have become widespread, and high-function monolithic microwave integrated circuits (MMIC) are built into these mobile wireless devices. These mobile wireless devices operate at the high-frequency microwave band, and therefore gallium arsenide (GaAs) which has superior high-speed capacity is often chosen instead of silicon, which in general is widely used as the chip material in ICs for such devices.

In order to assemble such an IC, a plurality of pad electrodes formed on the IC chip surface need to be electrically connected to an external lead such as a lead frame. In ordinary ICs, such an electrical connection is made by bonding wires of metal or the like between the plurality of pad electrodes and the corresponding leads.

However, particularly with an IC operating in the microwave band such as an MMIC, the connection of the pad electrode and the lead with a bonding wire results in unwanted wire routing on the semiconductor chip such that the bonding wire causes an increase in the parasitic impedance and the parasitic capacitance. When a high-frequency signal in the microwave band is transmitted with the parasitic impedance and parasitic capacitance increased in this manner, the signal loss increases, making it difficult to accurately transmit a high-frequency signal. It can be said that there is a similar tendency in external leads as well. Such an increase in the signal loss often causes parasitic impedance in particular. Accordingly, measures are desirable that maximally curb the increase in parasitic impedance.

Therefore a facedown-bonding technique has been proposed as a chip bonding method that does not require bonding wires. For example, Japanese Patent H5-251505 discloses such a facedown bonding technique. This patent describes a method for facedown-bonding an IC chip on an area tape in which a plurality of metal wires is formed on a substrate comprising a dielectric film, the area tape is formed with a via hole passing through the metal wire in the dielectric film and used as an external lead, a solder or other such metal ball is inserted into the via hole, then the IC chip is positioned such that a pad electrode is in contact with the metal ball, and the area tape and the IC chip are compressed and heated to melt the metal ball.

Similarly, Japanese Patent H4-99341, for example, discloses another facedown-bonding technique in which bonding wire is not needed. This patent describes a method in which a first tape automated bonding (TAB) lead and a second TAB lead are provided through an insulating

layer, and TAB tapes formed with bumps of different heights at the ends of the leads are used to facedown-bond an IC chip on the TAB tapes via the bumps.

In the former disclosed technology with a conventional facedown bonding technique such as described above, a solder or other such metal ball is melted to bond the IC chip, and therefore there are problems in that a metal flow prevention means is needed and the tape utilization ratio is low due to the metal wire being formed on only one side of the dielectric film.

More specifically, there is a risk that the melted metal will flow out and short an adjacent wire, and therefore a preventative means such as a flow prevention layer is required. Further, a metal wire formed on only one side of the dielectric film is used, and therefore the applied IC chip is restricted to relatively few pad electrodes. Furthermore, with this conventional technology, the metal wire is formed on only one side of the dielectric film, so a microstrip line structure which is often used as a transmission path for high-frequency signals cannot be formed, and thus a signal path cannot be formed with constant impedance and a semiconductor device with superior high-frequency characteristics cannot be obtained.

In the latter disclosed technology, a TAB tape is used in which a first TAB lead and a second TAB lead are formed on opposite sides of an insulating layer, but the bumps are formed only at the end of the leads, giving the problem that application of the technology is possible only to an IC chip formed with pad electrodes at the chip periphery.

More specifically, bonding to a pad electrode is not possible except at the periphery of the IC chip, and therefore application of the technology is not possible to an IC chip formed with pad electrodes on the entire chip surface.

It is an object of the present invention to provide a semiconductor device in which facedown bonding is possible without bump melting, the tape utilization ratio is improved, and application is possible to an IC chip formed with pad electrodes on the entire chip surface.

However, with the increase in information communication, technology is being developed in which a system capable of transmitting information at a rate of multiple gigabytes per second is incorporated in one module. High-frequency signals exceeding a frequency of 1 GHz are used in this module. In such a module with a built-in system for transmitting high-frequency signals (hereinafter referred to as a high-frequency signal module), it is not possible to adopt the bottom braze method or the gull wing method used in modules with a built-in system for transmitting ordinary frequency signals. This is because a signal reflection phenomenon occurs when there is a level difference of at least around 500 µm in the signal transmission path, causing the signal transmission characteristics to drop to a level that cannot be tolerated in a high-frequency signal module.

A drop-in method for housing the semiconductor device in a cavity provided in part of the mounting substrate has been proposed as shown in Japanese Patent H6-216272, for example. However, in this drop-in method, a cavity must be formed in the mounting substrate, which has the problem of increased mounting substrate costs.

To address these problems, a semiconductor chip directly mounted on a mounting substrate may be considered. However, when directly mounting a plurality of semiconductor chips, there is the problem that the entire mounting substrate must be replaced if even only one of the semiconductor chips is damaged.

It is a second object of the present invention to provide a semiconductor device capable of preventing the transmission signal reflection phenomenon and provided with improved repair characteristics so as to be suitable for a high-frequency signal module.

The objects described above, other objects, and novel characteristics of the present invention are made clear in the description and the drawings of the present specification.

DISCLOSURE OF THE INVENTION

A brief summary of an invention representative of the inventions disclosed in the present application is provided below.

The semiconductor device of the present invention is a semiconductor device in which a semiconductor chip is facedown-bonded on a tape formed with a conductor layer at an insulation layer, said tape is formed with a first conductive layer and a second conductive layer respectively at the front and rear sides of the insulation layer, a portion of the second insulation layer is exposed in the front side from an opening, a plurality of pad electrodes formed at the front surface is electrically connected to the aforementioned first conductive layer and second conductive layer, and the aforementioned semiconductor chip is facedown-bonded via bumps at a plurality of positions flattened so as to have the same height, the bumps not being melted in the facedown-bonding process.

According to this semiconductor device, the semiconductor chip is facedown-bonded to the tape without melting the bumps, so the tape utilization rate is improved, making application to a TAB tape structure possible even if pad electrodes are formed on the entire surface of the semiconductor chip.

The present invention is characterized in that the aforementioned semiconductor devices in which a semiconductor chip is facedown-bonded to a tape are each mounted on a wiring board with the aforementioned second conductive layer mechanically and electrically connected to a mounting surface portion formed on a first main surface of the wiring board.

According to this configuration, the tape to which the semiconductor chip is facedown-bonded is surface-mounted to the first main surface of the wiring board so that the level difference between the semiconductor chip and the first main surface of the wiring board is minimized, thereby preventing the signal reflection phenomenon and improving the signal transmission characteristics. Because the semiconductor chip is surface-mounted to the wiring via through the tape, when it is desirable to remove one of the semiconductor chips from the wiring board, that semiconductor chip and the connecting parts of the tape and the mounting surface portion of the wiring board can be removed independently of the other semiconductor chips.

BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 is a top view showing the semiconductor device according to embodiment 1 of the present invention.

FIG. 2 is a cross-section view of A-A in FIG. 1.

FIG. 3 is a cross-section view of B-B in FIG. 1.

FIG. 4 is a cross-section view of C-C in FIG. 1.

FIG. 5 is a cross-section view showing one process in the method for manufacturing a semiconductor device according to embodiment 1.

FIG. 6 is a cross-section view showing another process in the method for manufacturing a semiconductor device according to embodiment 1.

FIG. 7 is a cross-section view showing another process in the method for manufacturing a semiconductor device according to embodiment 1.

FIG. 8 is a cross-section view showing another process in the method for manufacturing a semiconductor device according to embodiment 1.

FIG. 9 is a cross-section view showing another process in the method for manufacturing a semiconductor device according to embodiment 1.

FIG. 10 is a cross-section view showing the semiconductor device according to embodiment 2 of the present invention.

FIG. 11 is a cross-section view showing the semiconductor device according to embodiment 3 of the present invention.

FIG. 12 is a front cross-section view showing the semiconductor device according to embodiment 4 of the present invention.

FIG. 13 is a planar cross-section view of FIG. 12.

FIG. 14 shows a chip assembly used in the semiconductor device according to embodiment 4, wherein (A) is a planar view with partial omission and (B) is a front view cross-section view along the line B-B.

FIG. 15 shows the same chip assembly, wherein (A) is a bottom view and (B) is a side cross-section view along the line B-B.

FIG. 16 shows the essential parts of the wiring board assembly mounted with a chip assembly, wherein (A) is a planar view and (B) is a front cross-section view.

FIG. 17 is a front cross-section view showing the semiconductor device according to embodiment 5 of the present invention.

FIG. 18 is a planar cross-section view of FIG. 17.

BEST MODE FOR WORKING THE INVENTION

Embodiments of the present invention are described below with reference to the drawings.

The semiconductor device of the present embodiment is provided with a TAB tape (hereinafter simply referred to as a tape) having a first conductive layer 2 formed on the front side (upper side in FIG. 2) of an insulating layer 1 comprising, for example, polyimide or polyester and a second conductive layer 3 formed on the rear side (lower side in FIG. 2), and an IC chip 6 comprising, for example, GaAs formed with a plurality of pad electrodes 5 on the surface, the IC chip 6 being facedown-bonded on the tape 4 via bumps 7 at a plurality of positions to electrically connect a plurality of pad electrodes 5 to the first conductive layer 2 and the second conductive layer 3 without melting the bumps 7.

The insulating layer 1 of the tape 4 is formed approximately 50 μm thick, and the first conductive layer 2 and the second conductive layer 3 are formed respectively on the front side and the rear side of the insulating layer 1 with a plating method or the like by in which Cr, Cu, and Au, for example, are successively attached at a thickness of approximately 10 μm. An opening 8 is formed partially in the insulating layer 1, exposing the front side of a portion of the second conductive layer 3 from the opening 8. Accordingly, the first conductive layer 2 and the second conductive layer 3 are both arranged to enable conductivity from the front side to the bumps 7. A side surface 8a of the opening 8 is formed with an incline from approximately 30° to 45°.

The first conductive layer 2 of the tape 4 is formed with, for example, a stage of an Au bump 7a with a method such as described below. Using a similar method, the second conductive layer 3 is formed with, for example, two stages of Au bumps 7a and 7b through the opening 8. Each of the Au bumps 7a and 7b is formed with, for example, a height of approximately 60 μm and a diameter of approximately 150 μm. By forming the second conductive layer 3, which is formed at a lower position than the first conductive layer 2, with one more stage of the Au bump 7b than the first conductive layer 2, and by flattening as described below, the Au bumps 7 have the same height on the first conductive layer 2 and the second conductive layer 3.

As shown in FIG. 1, passive elements such as, for example, inductors 9 and 10 and a capacitance element 11 are formed on the first conductive layer 2 of the tape 4. Active elements may be formed on the IC chip 6, as may be a fixed number of passive elements that are comparatively small such as, for example, an inductor 12. A power source, a signal, a bias adjustment line, and the like may be formed as needed on the first conductive layer 2. In this manner, a portion of the passive elements formed on the IC chip 6 may be formed on the tape 4 such that the area of the expensive IC chip 6 need not be large, thereby reducing costs.

The second conductive layer 3 of the tape 4 is used as a ground potential, and a ground lead 13 electrically connected to the second conductive layer 3 is externally connected as in FIG. 1. FIG. 3 shows a cross-section view of B-B in FIG 1 with a structure in which the ground lead 13 is electrically connected to the second conductive layer 3 through the opening 8.

FIG. 4 shows a cross-section view of C-C in FIG. 1 with a partial structure of the capacitance element 11 as an example, and shows an example in which the capacitance element 11 is configured from the pair of conductive layers 2 and 3 arranged sandwiching the insulating layer 1.

The essential parts, including the tape 4 and the IC chip 6, are sealed with a resin 14. This resin sealing is carried out with a well-known transfer molding technique. To simply the explanation, FIG. 1 shows the structure with the resin 14 removed.

According to such a semiconductor device, a narrow-band amplifier can be configured that operates in the high-frequency microwave band, an input signal is inputted into the IC chip 6 through the first conductive layer 2 of the tape 4 having a microstrip line structure, passes through the active and passive elements, then returns to the passive elements on the tape 4, and repeats this route, becoming an output signal. Even if the signal circulates between the tape 4 and the IC chip 6 in this manner, the IC chip 6 is facedown-bonded on the tape 4, thereby curbing an increase in the parasitic impedance compared to the case where wire bonding is used, and therefore the increase in signal loss can mostly be suppressed.

Next, the method for manufacturing a semiconductor device of the present embodiment is described in order of steps.

As shown in FIG. 5, the tape 4 is formed with the first conductive layer 2 and the second conductive layer 3 on the front side and rear side respectively of the insulating layer 1 comprising, for example, polyimide or polyester. Cr, Cu, and Au, for example, are successively attached to both the front side and the rear side of the insulating layer 1, which has a thickness of approximately 50 µm, with a plating method or the like, forming the first conductive layer 2 and the second conductive layer 3 comprising a thickness of 10s of µm.

The opening 8 is formed partially in the insulating layer 1, and a portion of the second conductive layer 3 is exposed to the front side from the opening 8. The side surface 8a of the opening 8 is formed so as to have an incline of approximately 30° to 45°. A ball bonding technique using an Au wire with a diameter of approximately 30 µm is applied to the first conductive layer 2 and the second conductive layer 3 to form, for example, one stage of an Au bump 7a with, for example, a height of approximately 60 µm and a diameter of approximately 150 µm. As a result, there is a height difference between the Au bump 7a on the first conductive layer 2 and the Au bump 7b on the second conductive layer 3.

Next, as shown in FIG. 6, ball bonding similar to that described above is carried out on only the Au bump 7a on the second conductive layer 3 to form one stage of an Au bump 7b having the same size as the Au bump 7a. It is thereby possible to reduce the height difference between the Au bump 7a on the first conductive layer 2 and the Au bumps 7a and 7b on the second conductive layer 3 to around 10 µm.

Continuing, as shown in FIG. 7, a jig 15 is used to compress and flatten the Au bump 7a on the first conductive layer 2 and the Au bumps 7a and 7b on the second conductive layer 3 from above. The Au bumps 7a and 7b and an Au bump 7c each has a soft nature, and therefore easily deforms

in response to the jig 15 compression, flattening completely. As a result, the difference in height between the Au bump 7a and the Au bumps 7a and 7b formed at different positions on the tape 4 is absorbed, and the Au bumps become completely identical in height. In this manner, the flattening of the Au bumps can be easily carried out by adopting a method such as described in Japanese Patent H5-275491, which has been filed by the present applicants.

Next, a plurality of pad electrodes 5 is formed on the surface as shown in FIG. 8, the IC chip 6 comprising, for example, GaAs is formed with not only active elements but also passive elements according to need, the ball bonding technique is carried out as described above on the pad electrodes 5, and one stage of an Au bump 7c, for example, is formed with, for example, a height of approximately 60 μm and a diameter of approximately 150 μm.

Continuing, as shown in FIG. 9, the IC chip 6 obtained in FIG. 8 is arranged on the tape 4 obtained in FIG. 7 so that the pad electrodes 5 are underneath the IC chip 6, and a thermocompression bonding technique is used to facedown-bond the IC chip 6 on the tape 4 with the Au bumps 7c and the corresponding Au bumps 7a and Au bumps 7a and 7b positioned on the pad electrodes 5. The thermocompression bonding technique is carried out at a temperature no greater than the melting point of the Au bumps such that the facedown bonding occurs without melting the Au bumps 7a, 7b, and 7c. Next, the tape 4 and the IC chip 6 are sealed with resin using a transfer mold technique. A semiconductor device is thereby obtained in which the essential parts are sealed with the resin 14 as shown in FIG. 2.

According to such a semiconductor device in embodiment 1, effects such as the following are obtained:

(1) When the IC chip 6 is facedown-bonded on the tape 4, the Au bumps 7a, 7b, and 7c do not melt, so there is no danger of neighboring Au bumps shorting, and therefore no flow prevention means is needed for the Au bumps.

(2) In addition, the first conductive layer 2 and the second conductive layer 3 are formed respectively on both the front side and the rear side, not just on one side, of the insulating layer 1, making it possible to use both of the conductive layers 2 and 3 as external leads electrically connected to the pad electrodes 5 of the IC chip 6, and thereby improving the utilization ratio of the tape 4. A TAB tape structure is thus applicable even to IC chips with a comparatively large number of pad electrodes.

(3) Since the tape 4 formed with the first conductive layer 2 and the second conductive layer 3 on the top side and the bottom side respectively of the insulating layer can be used, application is possible to IC chips formed with pad electrodes on the entire chip surface.

(4) Since the advantage of facedown bonding, i.e., curbing of the increase in the parasitic impedance in (1) to (3), can be utilized without modification, it is possible to minimize the increase in signal loss of the semiconductor device particularly when operating in the high-frequency microwave band.

(5) Since a portion of the passive elements formed on the IC chip 6 can be formed on the tape 4, the area of the expensive IC chip 6 can be reduced, thereby reducing costs.

FIG. 10 is a cross-section view showing the semiconductor device according to embodiment 2 of the present invention. The semiconductor device of the present embodiment has a structure such that, in the semiconductor device according to embodiment 1, the bottom of the second semiconductor level 3 of the tape 4 is exposed from the resin 14, and a metal plate 16 a number of mm thick is attached to the second conductive layer 3. Fe-Ni, Mo, Cu-W, or the like, for example, is used as the metal plate 16, which is connected to the second conductive layer 3 through a brazing filler material such as Au-Su.

In this manner, the metal plate 16, which is thicker than the second conductive layer 3 (10s of µm), is attached to the second conductive layer 3, and as a result the parasitic impedance of the second conductive layer 3 can be reduced. Therefore, when the second conductive layer 3 is used as a ground potential, the ground potential can be stabilized. This is effective even for IC unit operation and when the IC is built into a system device.

Such a semiconductor device can be manufactured by attaching the metal plate 16 to the second conductive layer 3 of the tape 4 beforehand, then facedown-bonding the IC chip 6 onto the tape 4, and sealing the portions other than the metal plate 16 with resin.

According to such a semiconductor device of embodiment 2, effects such as the following are obtained in addition to effects similar to those of the semiconductor device of embodiment 1.

The metal plate 16 that is attached is thicker than the second conductive layer 3 of the tape 4 which is used as a ground potential, and therefore it is possible to reduce the parasitic impedance such that the ground potential can be stabilized.

FIG. 11 is a cross-section view showing the semiconductor device according to embodiment 3 of the present invention. The semiconductor device of the present embodiment has a structure in which the metal plate 16 is attached to the rear surface of the IC chip 6, and a heat radiation fan 17 is attached to the metal plate 16. A metal material with superior heat dissipation such as, for example, Cu-W, Al, or Fe-Ni is used as the heat dissipation fan 17, which is attached to the metal plate 16 via an adhesive such as a heat-conductive grease, by means of a screw, or by assembling with the metal plate 16.

By attaching the heat dissipation fan 17 to the metal plate 16 in this manner, the cooling efficiency can be enhanced. Thus even if the semiconductor device is used in a particularly high-power application, efficient operation is possible.

Such a semiconductor device can be manufactured by facedown-bonding the IC chip 6 onto the tape 4, then attaching the Al-plated metal plate 16 to the rear surface of the IC chip 6, then sealing with resin except for the rear surface of the metal plate 16, and attaching the heat dissipation fan 17 to the rear surface of the metal plate 16.

According to such a semiconductor device of embodiment 3, effects such as the following are obtained in addition to effects similar to those of the semiconductor devices of embodiments 1 and 2.

Because the heat dissipation fan 17 is attached to the rear surface of the IC chip 6 via the metal plate 16, the cooling efficiency can be enhanced, and therefore efficient operation is possible even when used in a high-power application.

The invention devised by the inventors has been described in concrete terms above on the basis of the embodiments, but the present invention is not limited to the embodiments, and may naturally be modified within a scope that does not deviate from the gist of the invention.

For example, an embodiment was shown with an example of the number of stages of the Au bumps 7a, 7b, and 7c formed in the first conductive layer 2 and the second conductive layer 3 of the tape 4, and this number can be chosen as desired. However, the heights of the Au bumps formed in the first conductive layer 2 and the second conductive layer 3 need to be chosen so as to be nearly identical.

Similarly, the size of the Au bumps can be set as desired. The size of the Au bumps is decided mostly by the diameter of the Au wire used.

Also, the number of IC chips 6 facedown-bonded onto the tape 4 is not limited to one, and a plurality may be used.

The Au bumps formed on the pad electrodes 5 of the IC chip 6 do not necessarily have to be used, and a plurality of Au bumps formed on the tape 4 side may be used instead.

A description has been made of the invention devised by the inventors mainly applied to the technology of semiconductor devices, which is the background and the field of use, but the invention is not limited to that technology. The present invention may be applied to at least a semiconductor device that operates in the high-frequency microwave band and has the requirement of curbing an increase in parasitic impedance to curb an increase in signal loss.

Next, the semiconductor device according to embodiment 4 of the present invention shown in FIG. 12–16 is described.

In the present embodiment 4, the semiconductor device according to the present invention is functionally configured to divide a high-frequency signal, and is configured in terms of packaging as a multi-chip module (hereinafter referred to as an MCM). The MCM 20 is provided with an assembly (hereinafter referred to as the chip assembly) 21 configured with a chip and a tape in which the IC chip 6 is facedown-bonded to the tape 4 similar to embodiment 1, a wiring board 22 on which a wiring pattern is formed for mounting a plurality of the chip assemblies 21, and a hermetic sealing body 41 for hermetically sealing the group of the chip assemblies 21 and the wiring board 22. A plurality (four in the illustrated example) of the chip assemblies 21 is used in

the MCM 20, and passive elements and active elements are incorporated into each chip assembly 21 such as to exhibit functions mutually identical or different from embodiment 1. For convenience, the passive elements and the active elements are not illustrated.

In the tape 4 used in the chip assembly 21, the first conductive layer 2 is formed on the front side of the insulating layer 1 and the second conductive layer 3 is formed on the rear side of the insulating layer 1. The insulating layer 1 is provided with one opening 8 at the center of the tape 4 and a plurality of the openings 8 in the periphery of the tape 4, and the side surfaces 8a of the openings 8 are inclined so that the inner diameter increases toward the front side. The second conductive layer 3 is formed across roughly the entirety of the rear surface of the tape 4, and portions of the front side of the second conductive layer 3 are exposed to the bottom of the openings 8. The second conductive layer 3 is provided with a single constant potential electrode 3a and a plurality of external leads 3b. The constant potential electrode 3a is provided in a large rectangular form at the center part of the rear surface of the insulating layer 1, and a plurality of stages of the Au bumps 7a and 7b are provided with a wire bonding technique so as to protrude at a position where the bottom of the opening 8 is configured at the center part. Each external lead 3b is disposed at roughly equidistant intervals in the circumferential direction at the periphery of the rear surface of the insulating layer 1, protruding outward in the radial direction.

A wide power source line 2a and a narrow (e.g., approximately 90 µm) high-speed signal line 2b are provided at the first conductive layer 2. Each power source line 2a and each high-speed signal line 2b is patterned in a radial shape centered on the opening 8 of the center part. The inside end of each power source line 2a and each high-speed signal line 2b is routed so as to correspond to each pad electrode 5 of the IC chip 6, and single stage Au bumps 7a are each provided with a wire bonding technique so as to protrude at positions respectively opposing the pad electrodes 5.

Each power source line 2a is provided radially so as to extend in a direction (hereinafter referred to as the horizontal direction) joining one of the opposite sides in the front surface of the insulating layer 1 and electrically connects the external lead 3b in the second conductive layer 3 at an opening 8 provided at the periphery. The power source line 2a sandwiches in opposition the constant potential electrode 3a and the insulating layer 1 in the second conductive layer 3, substantially configuring the capacitance element 11 with a built-in structure, and the power source line 2a stabilizes the power source potential by means of the capacitance element 11. Each high-speed signal line 2b is disposed radially so as to extend in the direction (hereinafter referred to as the front-rear direction) joining the horizontal direction and the other opposing side in the front surface of the insulating layer 1 and electrically connecting the external lead 3b in the second conductive layer 3 at the opening 8 provided at the periphery. The high-speed signal line 2b sandwiches in opposition the constant potential electrode 3a and the insulating layer 1 in the second conductive layer 3, thereby configuring a microstrip line structure.

The IC chip 6 is formed in a rectangular planar shape using GaAs. An active element for dividing a high-speed signal is built into the IC chip 6, and a passive element needed for operation of the active element and capable of logical layout in the IC chip 6 is built therein. A plurality of the pad

electrodes 6 is provided on the main surface (hereinafter referred to as the first main surface) on the side where the active element is built into the IC chip 6, and each pad electrode 5 is arranged so as to correspond to each of the Au bumps 7a, 7a, and 7b on the tape 4 side. A single stage Au bump 7a is formed at each pad electrode.

The tape 4 and the IC chip 6 in the configuration described above are facedown-bonded by forming the Au bumps 7 between the pad electrodes 5 on one hand and the constant potential electrode 3a, the power source line 2a, and the high-speed signal line 2b on the other, and are connected mechanically and electrically.

The manufacturing method of the tape 4 and the facedown-bonding method are similar to the manufacturing method and the bonding method described in embodiment 1 above and descriptions are omitted here.

The wiring board 22 is provided with an insulating plate 23 formed in a rectangular board shape using a board material of a glass-impregnated epoxy resin, and mounting surface portions 24 for mounting each chip assembly 21 are formed at a plurality of locations (four in the present embodiment) on the first main surface of the insulating plate 23. Each mounting surface portion 24 is provided with a board side constant potential electrode 25 and a plurality of lands 26, the board side constant potential electrode 25 corresponding to the constant potential electrode 3a of the chip assembly 21, and the lands 26 corresponding to the external leads 3b of the chip assembly 21. Each land 26 is electrically connected to respective external terminals 28 arranged at the outer periphery of the wiring board 22 by electrical lines 27 disposed at the insulating plate 23. Each electrical line 27 is configured in the wiring board 22 in a multilayer wiring structure. Inside the insulating plate 23, an internal constant potential electrode 29 is provided over the entire surface so as to avoid shorting of the electrical lines 27 in the multilayer wiring structure. The internal constant potential electrode 29 is electrically connected to the board side constant potential electrode 25 of each mounting surface portion 24 through a through hole conductor 30. A ground electrode 31 is provided over the entire surface of the second main surface of the insulating plate 23, and the ground electrode 31 is electrically connected to the internal constant potential electrode 29 through a through hole 32.

The method for manufacturing the wiring board 22 according to the configuration described above is based on general methods for manufacturing wiring boards and an explanation of the method is therefore omitted.

The chip assembly 21 according to the configuration described above is surface-mounted to the mounting surface portion 24 of the wiring board according to the configuration described above using a reflow soldering technique. In further detail, a preparatory soldering material (not illustrated) such as solder cream is applied in advance to the constant potential electrode 3a and the external leads 3b of the chip assembly 21, and/or to the board side constant potential electrode 25 and the grounds 26 of the wiring board 22. Each chip assembly 21 is mechanically and electrically connected to the respective mounting surface portion 24 by means of a solder layer 33 formed by the melting and solidification of the preparatory soldering material when the

wiring board 22 is passed through a heating oven with the chip assemblies 21 attached to the mounting surface portions 24 by the preparatory soldering material. In this manner, a wiring board assembly 34 is manufactured with the chip assembly 21 surface-mounted to the wiring board 22.

A hermetic sealing body 41 is provided with a base 42 and a cap 43 disposed to mutually face each other and joined at the mating surface, and the wiring board assembly 34 is fixed in contact with the ground electrode 33 on the bottom inside the base 42. With the wiring board assembly 34 hermetically sealed by the hermetic sealing body 41, the external terminal 28 of the wiring board 22 is electrically led out by the connector 44 of the hermetic sealing body 41, and the ground electrode 31 is in electrical contact with the hermetic sealing body 41.

A heat dissipation fan 45 is joined at the external surface of the hermetic sealing body 41 and efficiently releases heat externally from the wiring board assembly 34.

Next, the operation of the MCM 20 configured as above is described.

The MCM 20 is mounted on the motherboard (not illustrated) of a communication device, and the drive power is supplied to each IC chip 6 through the external terminal 28, the electric line 27, and the land 26 of the wiring board 22, and the external leads 3b, the power line 2a, and the bump 7 of the chip assemblies 21. An input signal is inputted into an IC chip 6 through the external terminal 28, the electric line 27, and the land 26 of the wiring board 22, and the external lead 3b, the high-speed signal line 26, and the bump 7 of the chip assembly 21. An output signal from the IC chip 6 is outputted to the external required parts through the bump 7, the high-speed signal line 2b, and the external lead 3b of the chip assembly 21, and the land 26, the electrical line 27, and the external terminal 28 of the wiring board 22. During this operation, the high-speed signal line 2b sandwiches in opposition the constant potential electrode 3a in the second conductive layer 3 and the insulating layer 1 to configure a microstrip line structure, so even if an extremely high high-frequency signal is transmitted, extremely superior high-speed transmission characteristics will be shown. The capacitance element 11 of the built-in structure is substantially configured by the power source line 2a sandwiching in opposition the constant potential electrode 3a in the second conductive layer 3 and the insulating layer 1, and the constant potential electrode 3a is grounded by the hermetic sealing body 41 through the board side constant potential electrode 25, the internal constant potential electrode 29, and the ground electrode 31 of the wiring board 22, so the power source line 2a maintains the power source potential in an extremely stable manner. As a result, the MCM 20 shows extremely superior high-frequency characteristics.

The pad electrode 5 at the center part is electrically connected to the constant potential electrode 3a by the Au bump 7 disposed at the opening 8 at the center part, so the ground potential of the IC chip 6 is maintained in a stable manner.

Embodiment 4 described above has the following effects:

(1) Since the constant potential electrode 3a is formed in the second conductive layer 3 formed in the rear surface of the tape 4, the high-speed signal line 2b is configured in a microstrip line

structure due to the first conductive layer 2 formed in the front surface of the tape 4, and therefore the signal transmission characteristics are enhanced, and it is possible to transmit an extremely high high-frequency signal.

(2) Since the constant potential electrode 3a is formed in the second conductive layer 3 formed in the rear surface of the tape 4, the built-in capacitance element 11 is configured in the interval with the power source line 2a by the first conductive layer 2 formed in the front surface of the tape 4, and therefore the power source potential is stabilized, and an MCM 20 with superior high-frequency characteristics is obtained along with (1).

(3) Since the constant potential electrode 3a in (2) above is grounded in the hermetic sealing body 41 through the board side constant potential electrode 25, the internal constant potential electrode 29, and the ground electrode 31 of the wiring board 22, the power source potential is further stabilized, and therefore the high-frequency characteristics of the MCM 20 are further enhanced.

(4) Since the board side constant potential electrode 25 of (3) above is electrically connected to the ground electrode 31 through the internal constant potential electrode 29 by means of the through hole conductors 20 and 32, the board side constant potential electrode 25 and the ground electrode 31 can be connected without using a long wire, and therefore the power source potential can be further stabilized.

(5) Since the IC chip 6 is mounted on the wiring board 22 via the tape 4 with a thickness of approximately 50 µm, the level difference between the wiring board 22 and the IC chip 6 can be extremely minimalized, and therefore a drop in the impedance can be suppressed when a high-speed signal is transmitted, and impedance matching of the high-speed signal line 2b can be easily ensured.

(6) Since the IC chip 6 is surface-mounted in the wiring board 22 in the chip assembly 21, no cavity needs to be formed in the wiring board 22, and therefore the manufacturing costs of the wring board 22 as well as of the MCM 20 can be reduced.

(7) Since the IC chip 6 is surface-mounted in the wiring board 22 in the chip assembly 21 and a soft insulating material such as a polyimide resin is used to form the insulating layer 1 of the tape 4, the thermal expansion coefficients of the IC chip 6 and the insulating plate 23 of the wiring board 22 do not need to be matched, and therefore the IC chip 6 can be mounted on the same wiring board 22 with different thermal expansion coefficients, i.e., GaAs and Si, a higher multifunction MCM 20 can be configured, and a more advanced system can be packaged in the same package.

(8) From (7) above, the thermal expansion coefficients of the IC chip 6 and the wiring board 22 do not need to be matched, and therefore a material with a thermal expansion coefficient greatly different from the IC chip 6 such as a glass-impregnated epoxy resin can be used in the wiring board 22 and the manufacturing costs of the MCM 20 can be further reduced.

(9) Since the chip assembly 21 is surface-mounted on the wiring board 22 with the solder layer 33, if a defect is discovered in any of the group of the IC chips 6 mounted in the MCM 20, only the chip assembly 21 with the defective IC chip 6 can be easily replaced, and therefore it is possible to improve the manufacturing yield, the maintenance capacity, and the life of the MCM 20.

(10) Since the through hole conductors 30 and 32 are arranged in (4) above directly below the board side constant potential electrode 25 and the internal constant potential electrode 29, conductors with favorable thermal conductivity can be arranged in a straight line so that the heat dissipation of the MCM can be improved.

(11) Since the side surface 8a of the opening 8 is formed in the insulating layer 1 of the tape 4 with an incline that increases on the side where the bump 7 is formed, separation of the first conductive layer 2 can be prevented during formation of the bump 7.

The invention devised by the inventors was described above in detail on the basis of embodiment, but the present invention is not limited to the embodiment and may be modified variously within a scope not deviating from the gist of the invention.

For example, the through hole conductor 30 electrically connecting the board side constant potential electrode 25 of the wiring board 22 to the internal constant potential electrode 29 is not limited to being arranged directly below the board side constant potential electrode 25 but may also be connected to the internal constant potential electrode 29 with the board side constant potential electrode 25 led to a location where the through hole conductor 30 can be formed and then the through hole conductor 30 formed there as shown in FIG. 17 and 18. According to this connection structure, even if the through hole conductor 30 cannot be formed directly below the board side constant potential electrode 25 in the wiring board 22, the board side constant potential electrode 25 can be electrically connected to the internal constant potential electrode 29, and therefore the potential of the power source line 2a can be stabilized by the constant potential electrode 3a of the chip assembly 21 and signal transmission of the microstrip line structure of the high-speed signal line 2b can be stabilized. By leading the board side constant potential electrode 25, the potential stability of the second conductive layer 3 is somewhat reduced compared to an arrangement of the through hole conductor 30 directly below the board side constant potential electrode 25 but much improved compared to not providing the board side constant potential electrode 25.

The sealing structure for the wiring board assembly 34 is not limited to the adoption of a hermetic sealing structure, and a resin sealing structure may be adopted, a hermetic sealing or a resin sealing structure may be used with other components after directly mounting the wiring board assembly 34 on the motherboard or the like, or a liquid-tight sealing structure may be used.

The embodiment above was described with a semiconductor device used in a communication device, but the present invention is not limited thereto, and application is possible to general semiconductor devices requiring high-speed processing such as a supercomputer.

INDUSTRIAL APPLICABILITY

As described above, the semiconductor device according to the present invention can configure an MMIC or an MCM, is useful as a high-frequency signal processing device in a mobile wireless device such as a mobile phone or a car phone and in a multimedia or other information communication system, and in particular is suitable for use in the transmission processing of a high-frequency signal exceeding 1 GHz.

CLAIMS

1. A semiconductor device in which a semiconductor chip is facedown-bonded on a tape formed with a conductive layer on an insulating layer, wherein said semiconductor device is characterized in that the aforementioned tape is formed with a first conductive layer and a second conductive layer on the front side and the rear side respectively of the insulating layer, a portion of the second conducting layer is exposed to the front side from an opening, a plurality of pad electrodes formed at the front surface is electrically connected to the aforementioned first conductive layer and second conductive layer, and the aforementioned semiconductor chip is facedown-bonded via bumps at a plurality of positions flattened so as to have the same height, the bumps not being melted in the facedown-bonding process.

2. The semiconductor device set forth in claim 1 characterized in that the aforementioned tape and semiconductor chip are sealed with resin.

3. The semiconductor device set forth in claim 1 or 2 characterized in that the bumps that are electrically connected to at least the second conductive layer of the aforementioned tape comprise a plurality of stages.

4. The semiconductor device set forth in any of claim 1 to 3 characterized in that the bumps that are electrically connected to the aforementioned first conductive layer and second conductive layer have a different number of stages.

5. The semiconductor device set forth in any of claims 1 to 4 characterized in that bumps are formed at the pad electrodes of the aforementioned semiconductor chip.

6. The semiconductor device set forth in any of claims 1 to 5 characterized in that bumps that are electrically connected to the aforementioned first conductive layer and second conductive layer are made from metal.

7. The semiconductor device set forth in any of claims 1 to 6 characterized in that an active element is formed at the aforementioned semiconductor chip and a passive element is formed at the aforementioned tape.

8. The semiconductor device set forth in any of claims 1 to 7 characterized in that the second conductive layer of the aforementioned tape is used as a ground potential.

9. The semiconductor device set forth in any of claims 1 to 8 characterized in that a relatively thick metal plate is attached to the aforementioned second conductive layer, and the metal plate is arranged outside of resin sealing.

10. The semiconductor device set forth in claim 9 characterized in that a heat dissipation fan is attached to the aforementioned metal plate.

11. A semiconductor device characterized in that the semiconductor device set forth in claim 1 is mounted to a wiring board with the aforementioned second conductive layer mechanically and electrically connected to a mounting surface portion formed on a first main surface of the wiring board.

12. The semiconductor device set forth in claim 11 characterized in that board side constant potential electrodes electrically connected to ground electrodes are formed at the aforementioned mounting surface portion, and chip side constant potential electrodes formed at the center part of the aforementioned second conductive layer are electrically connected to the board side constant potential electrodes.

13. The semiconductor device set forth in claim 12 characterized in that the aforementioned board side constant potential electrode is electrically connected to the aforementioned ground electrode through an internal constant potential electrode formed inside the aforementioned wiring board.

14. The semiconductor device set forth in claim 12 or 13 characterized in that the aforementioned board side constant potential electrode is electrically connected to an internal constant potential electrode formed inside the aforementioned wiring board by a through hole conductor formed directly below the board side constant potential electrode in the aforementioned wiring board, and is electrically connected to the aforementioned ground electrode by a through hole conductor formed directly below the internal constant potential electrode.

15. The semiconductor device set forth in claims 11 to 14 characterized in that at least one semiconductor chip is formed with a semiconductor different from another semiconductor chip.

16. The semiconductor device set forth in claims 11 to 14 characterized in that a hermetic sealing body hermetically seals the wiring board and a plurality of semiconductor devices mounted thereon.

17. The semiconductor device set forth in claim 1 or 11 characterized in that the aforementioned opening is formed larger on the first conductive layer side than the second conductive layer side.

18. A method for manufacturing a semiconductor device characterized in being provided with

a tape preparation step for preparing a tape in which a first conductive layer and a second conductive layer are formed respectively on the front side and the rear side of an insulating layer, a portion of the second conductive layer is exposed in the front side in an opening provided in the insulating layer, bumps are provided protruding at a portion of the first conductive layer and an exposure part of the second conductive layer, and the end positions of the bumps are aligned in the same plane,

a semiconductor chip preparation step for preparing a semiconductor step in which pad electrodes are formed at positions corresponding to the bumps of the aforementioned tape, and

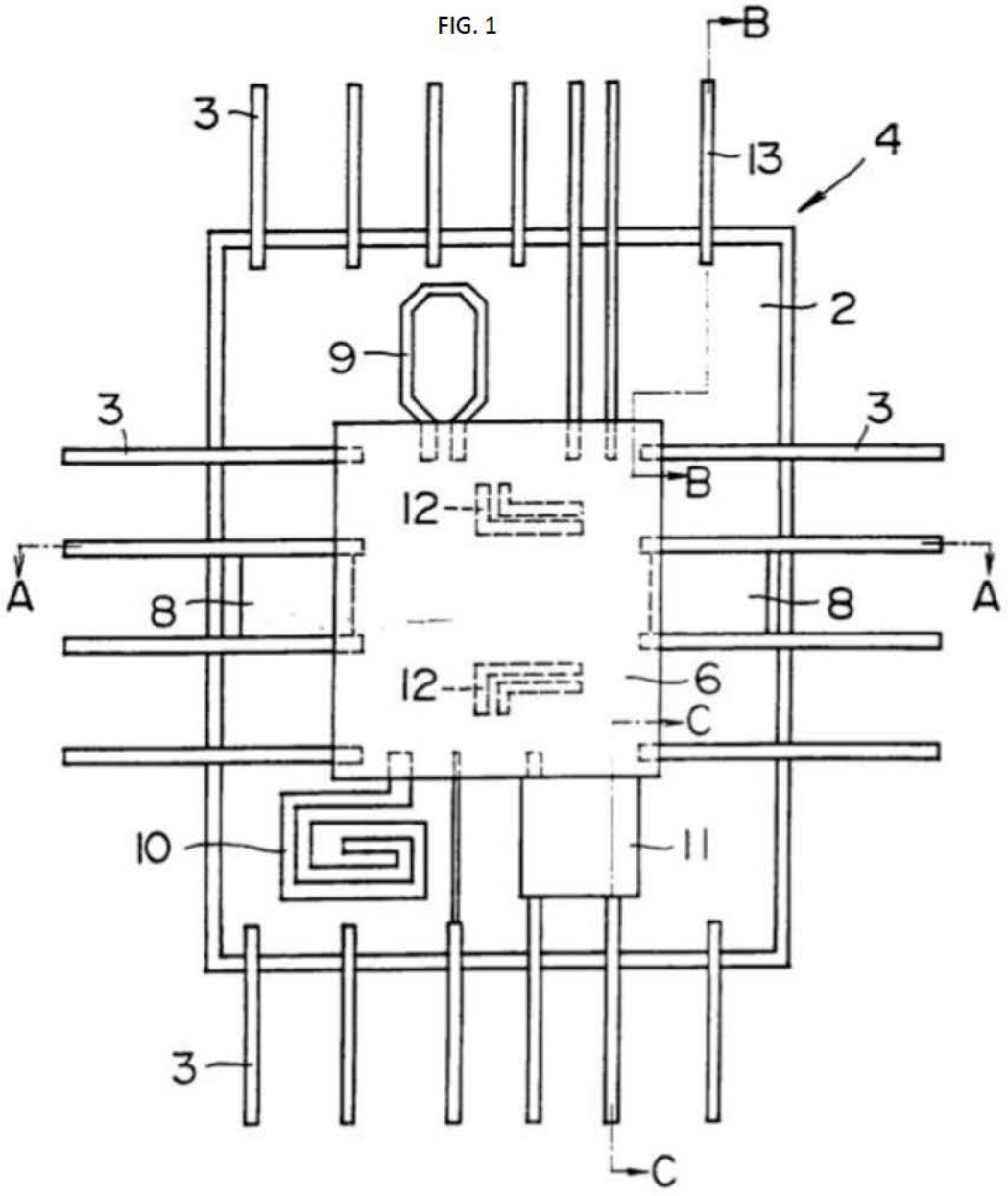
a bonding step in which the aforementioned semiconductor chip is facedown-bonded to the aforementioned tape by aligning the pad electrodes and the bumps and compressing.

19. A method for manufacturing a semiconductor device characterized in being provided with

a wiring board preparation step in which a wiring board is prepared by forming a plurality of mounting surface portions at a first main surface of an insulation plate, and

a connection step in which semiconductor devices manufactured according to claim 18 are mechanically and electrically connected by soldering the aforementioned second conductive layer to mounting surface portions of the wiring board prepared in the aforementioned wiring board preparation step.

FIG. 1



1/12

FIG. 2

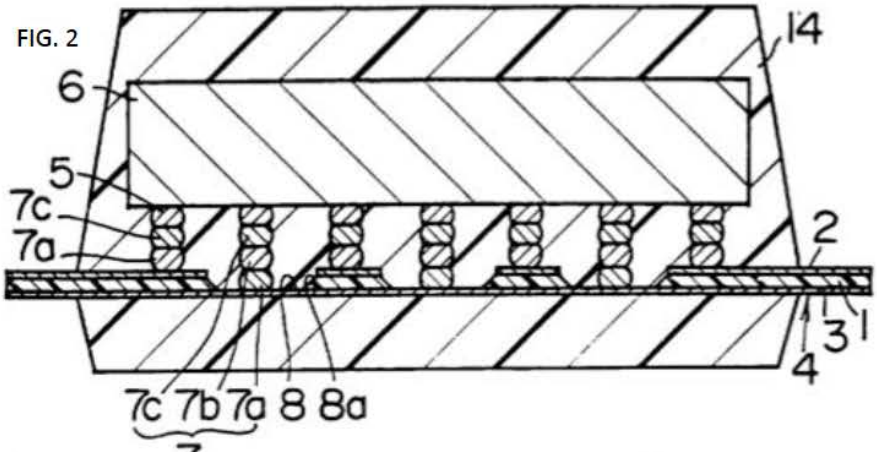


FIG. 3

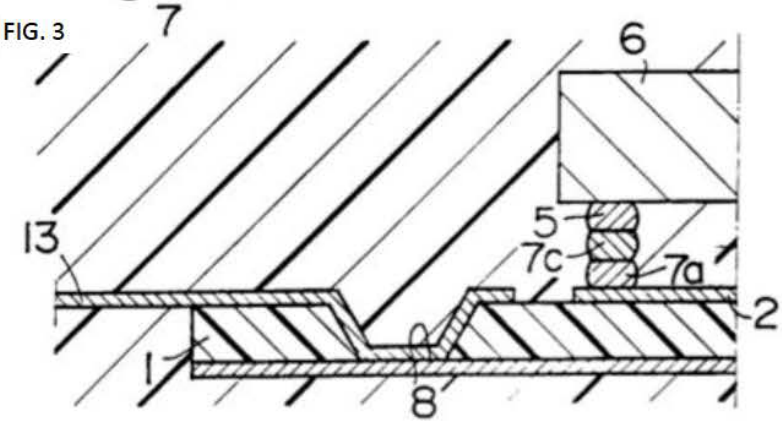
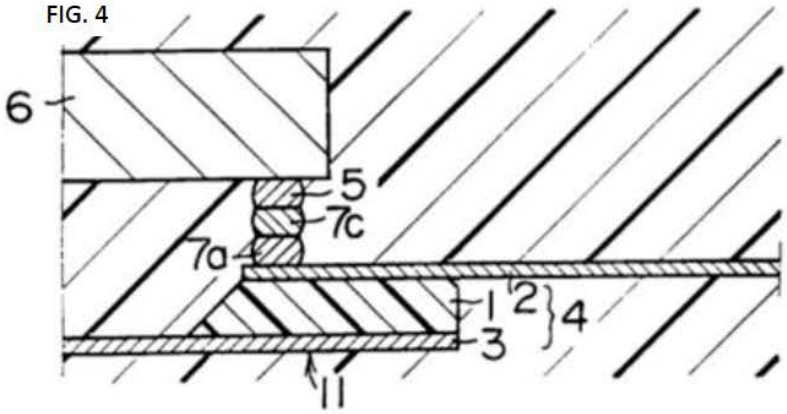


FIG. 4



2/12

FIG. 5

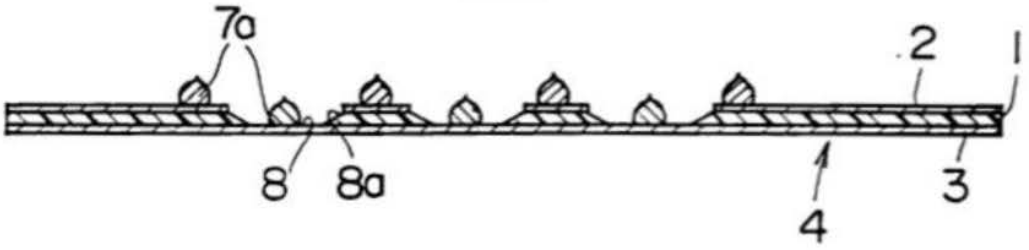


FIG. 6

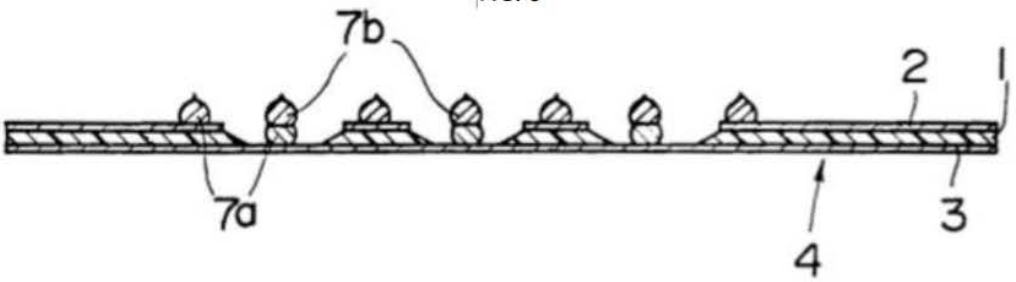
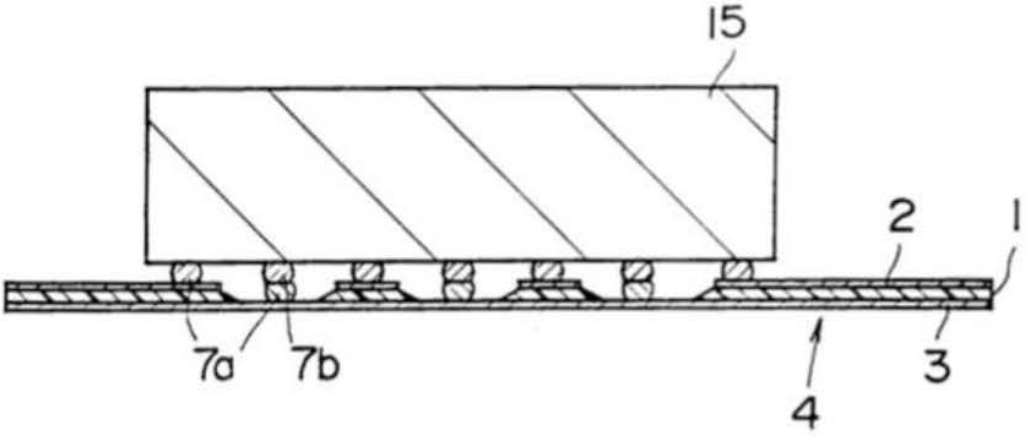


FIG. 7



3/12

FIG. 8

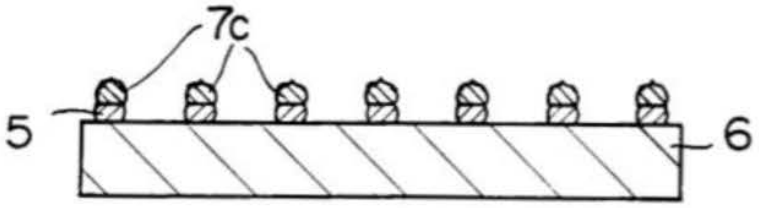
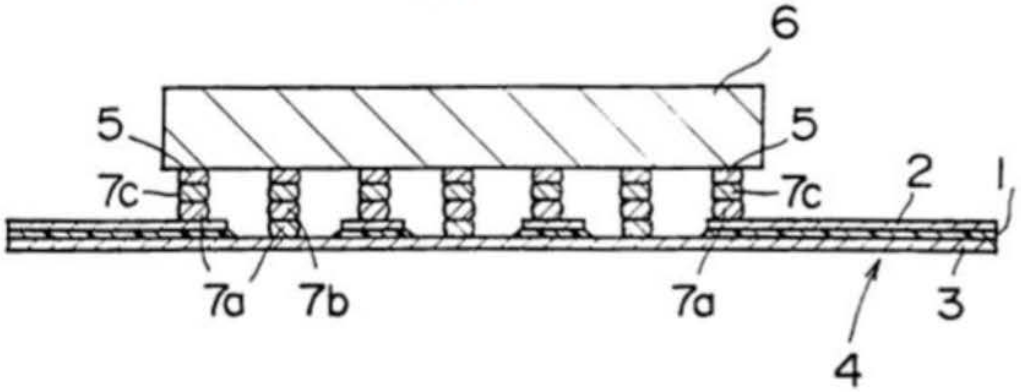


FIG. 9



4/12

FIG. 10

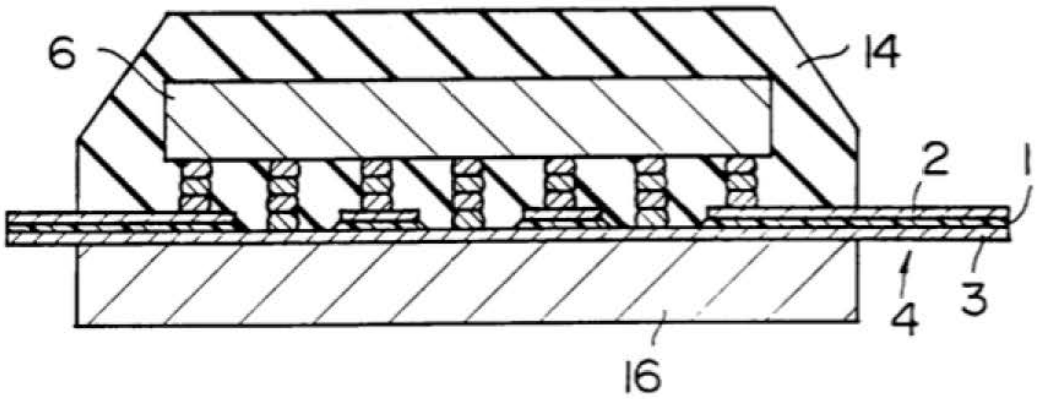
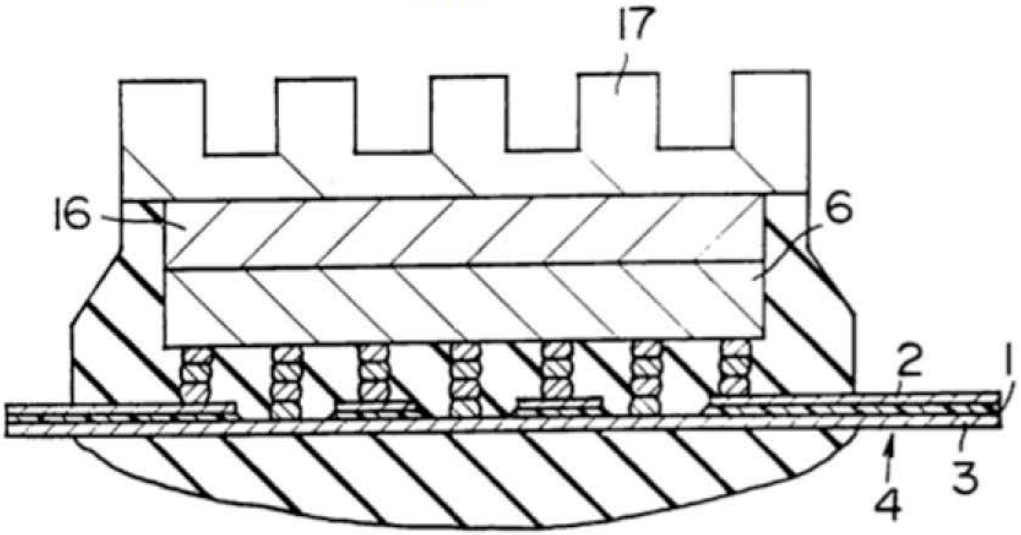
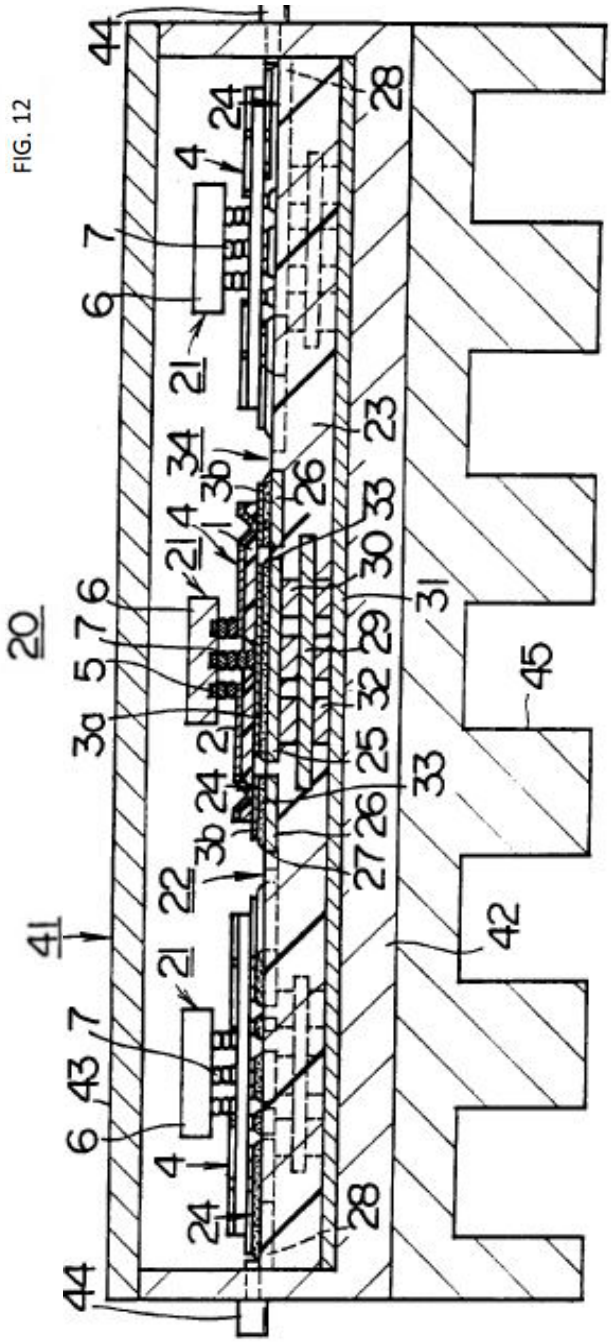


FIG. 11



5/12

FIG. 12


20
41
44
24
4
7
6
21
34
3b
26
33
30
31
29
32
25
27
22
43
28
23
45
42
5
3a
2
1

6/12

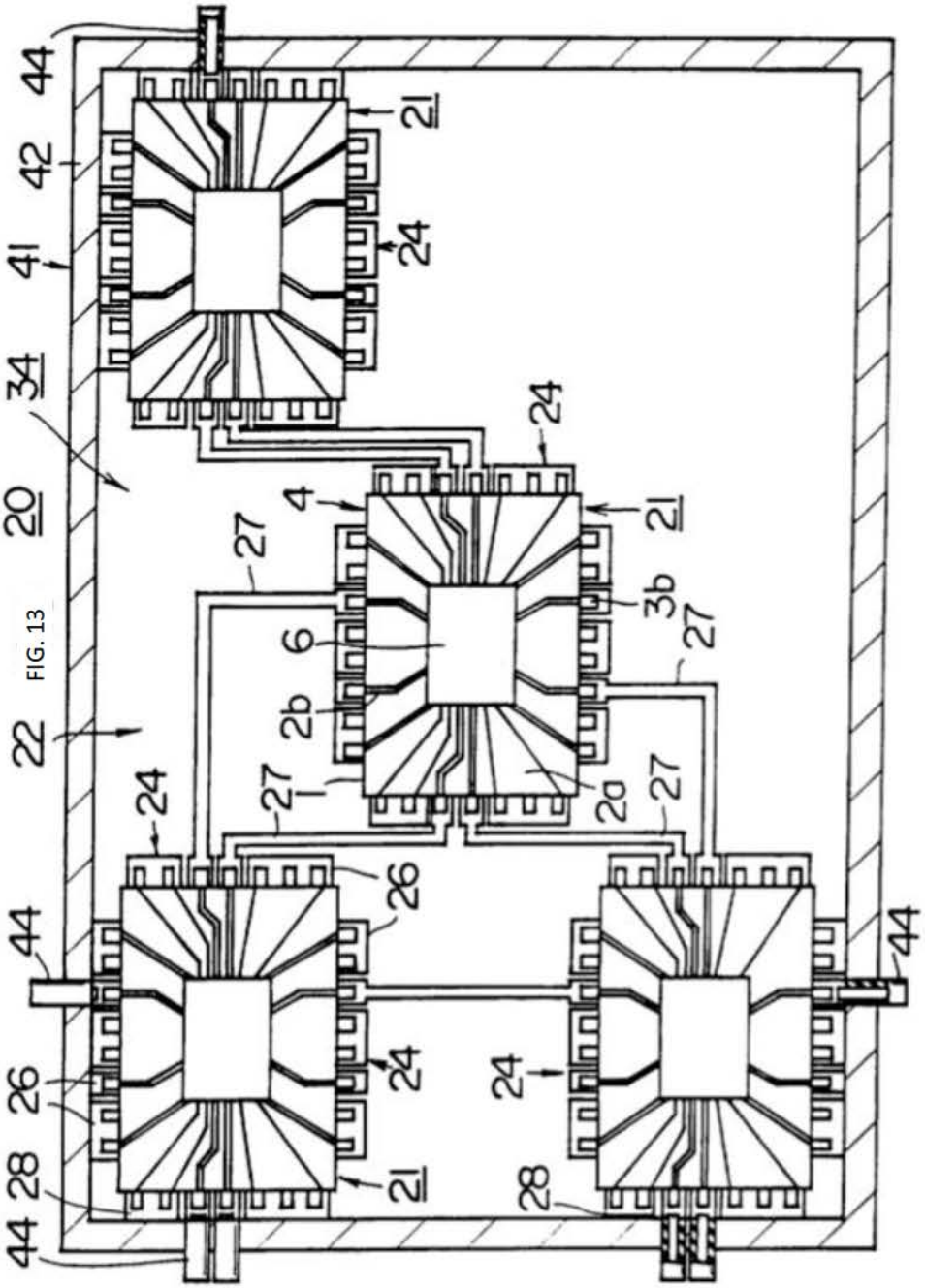
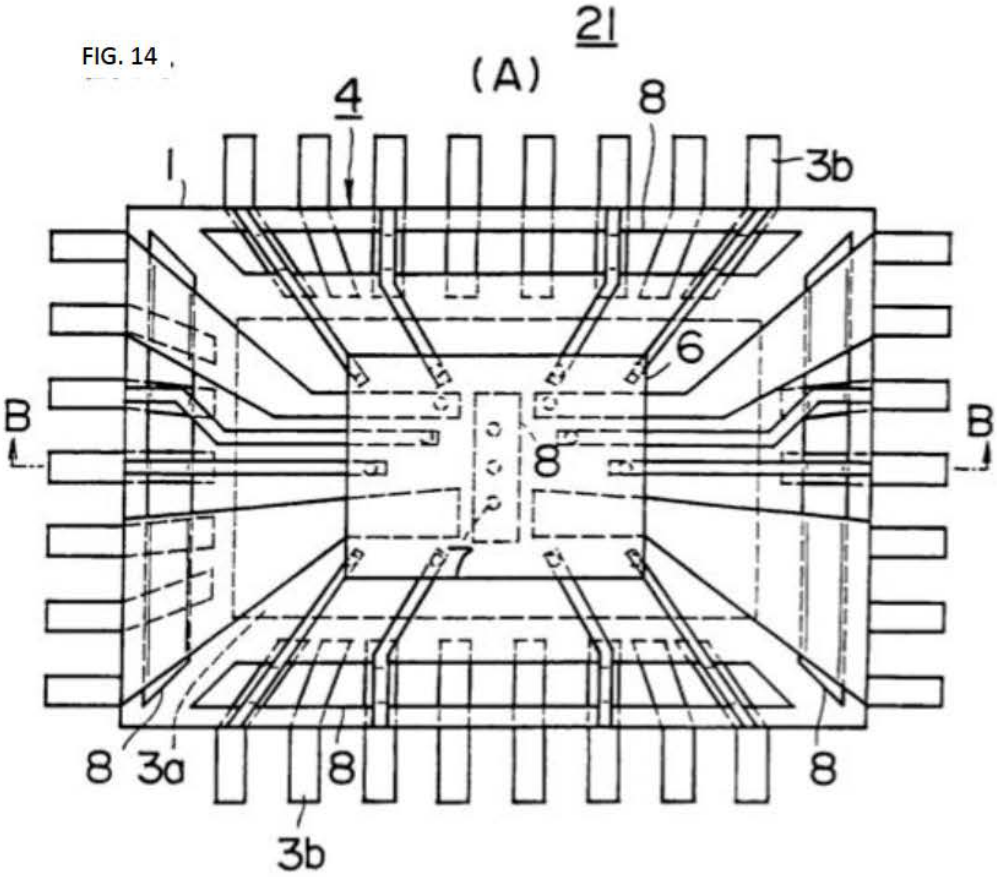
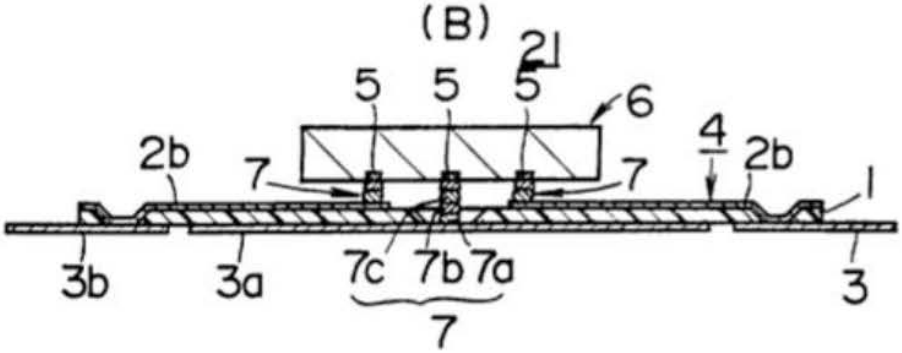


FIG. 13

7/12

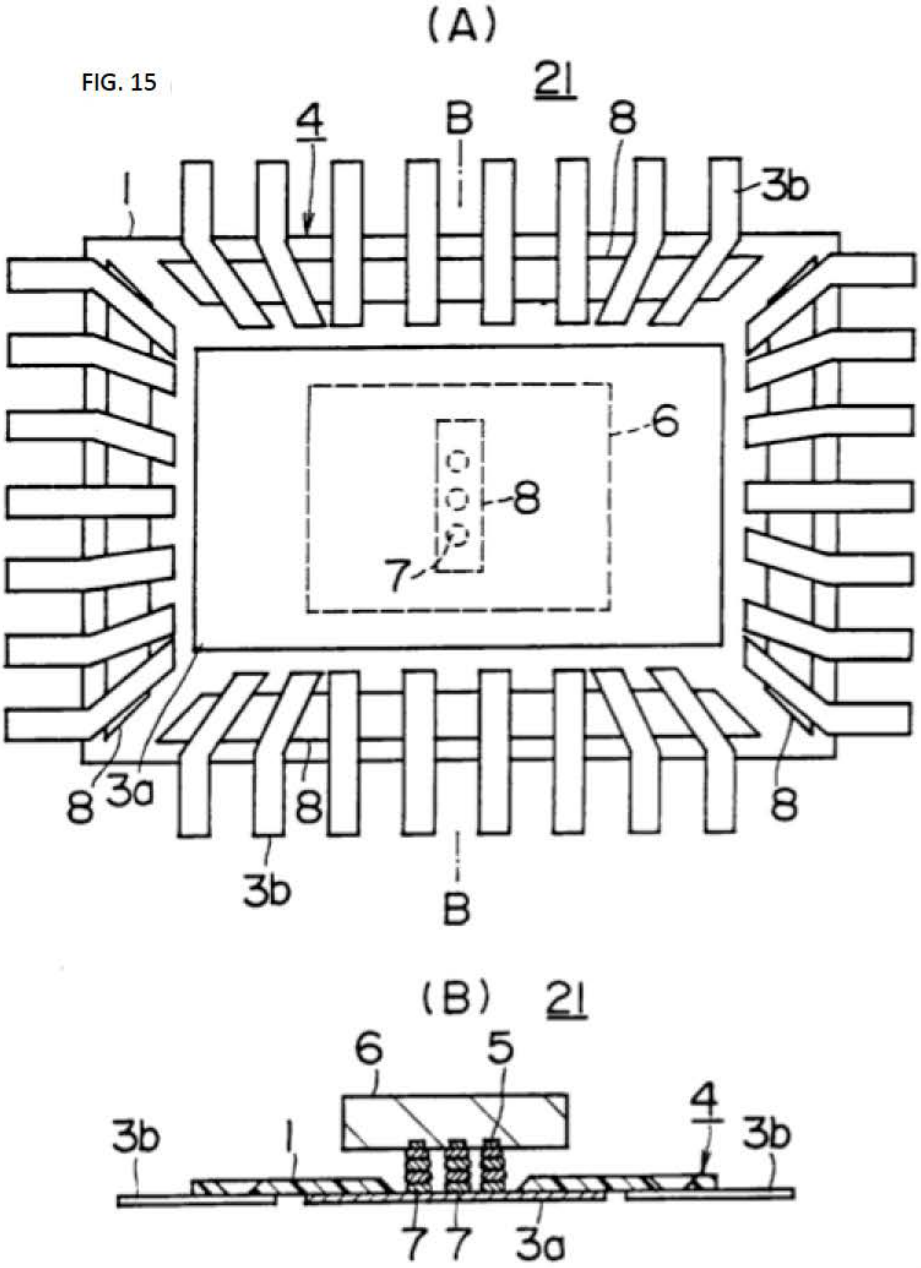
FIG. 14





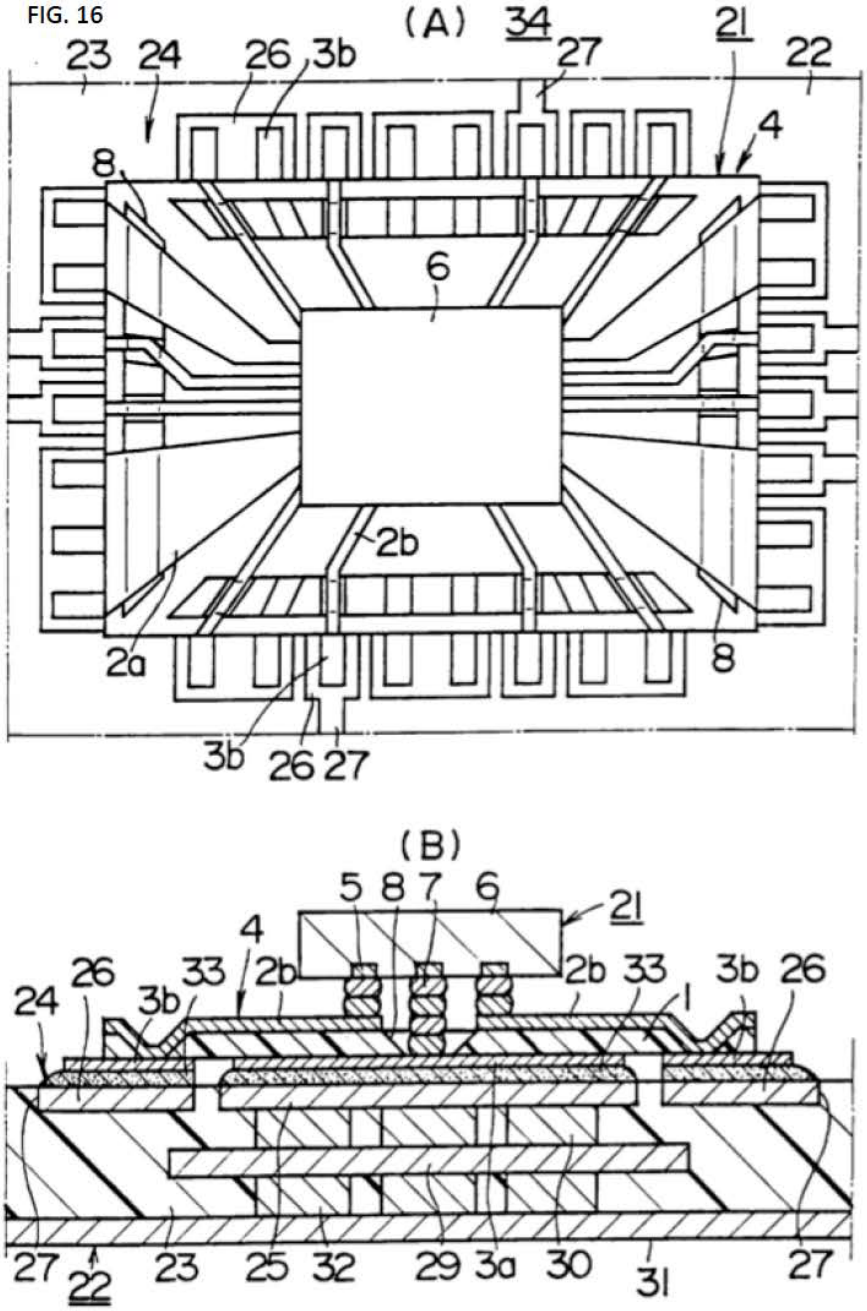
8/12

FIG. 15



9/12

FIG. 16


(A)
34
23
24
26
3b
27
21
22
4
8
6
2b
2a
8
3b
26
27
(B)
5
8
7
6
21
4
26
33
2b
2b
33
3b
26
24
3b
1
27
22
23
25
32
29
3a
30
31
27

10/12

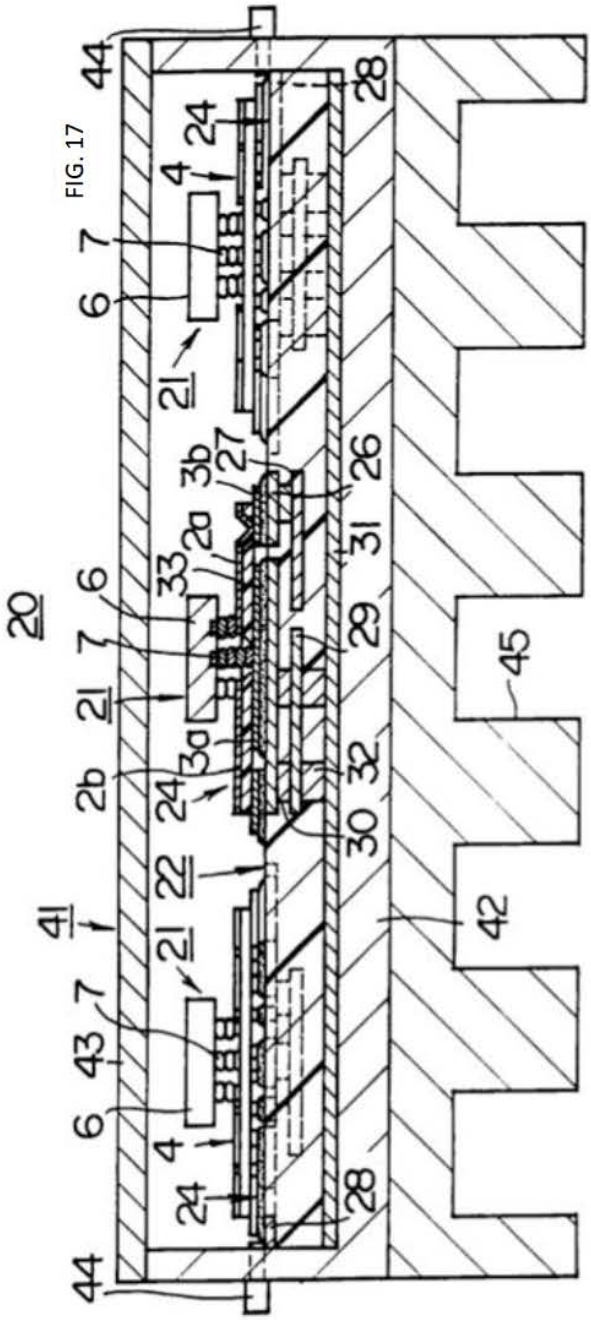


FIG. 17

11/12

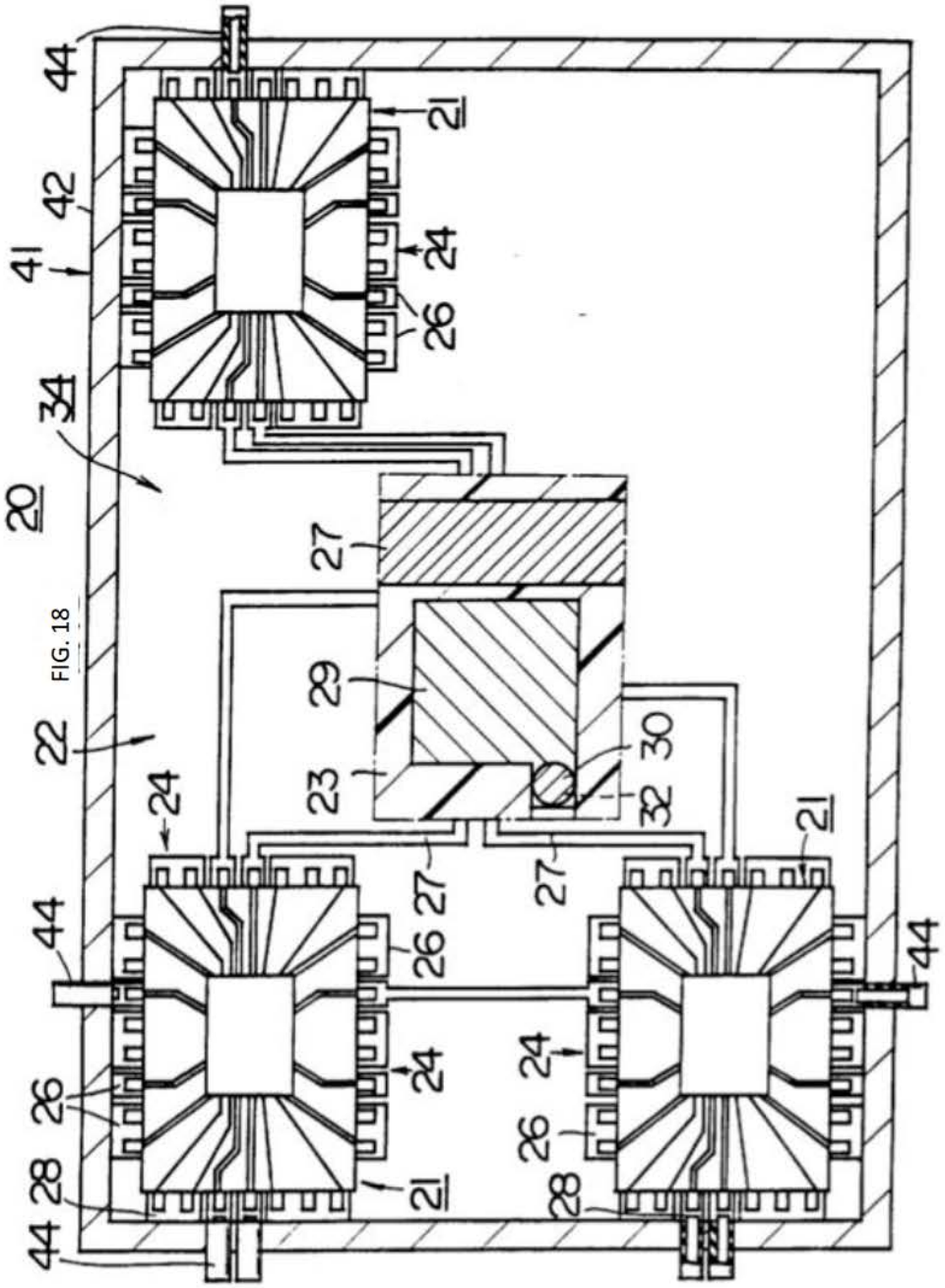


FIG. 18

12/12

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP95/02121

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl^6 H01L21/60

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl^6 H01L21/60

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926 - 1995
Kokai Jitsuyo Shinan Koho 1926 - 1995
Toroku Jitsuyo Shinan Koho 1994 - 1995

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 4-99341, A (NEC Corp.), March 31, 1992 (31. 03. 92), Lines 9 to 16, lower left column, page 2 (Family: none)	1 - 19
A	JP, 64-45134, A (Hitachi, Ltd.), February 17, 1989 (17. 02. 89), Line 11, lower right column, page 2 to line 7, upper left column, page 3 (Family: none)	1 - 19
A	JP, 3-9973, A (Shinko Denki Kogyo K.K.), January 17, 1991 (17. 01. 91), Line 17, upper left column to line 1, upper right column, page 4 (Family: none)	1 - 19
A	JP, 58-87360, U (NEC Corp.), June 14, 1983 (14. 06. 83), Lines 6 to 9, page 4 (Family: none)	1 - 19
A	JP, 64-84726, A (Toshiba Corp.), February 17, 1989 (17. 02. 89),	1 - 19

[X] Further documents are listed in the continuation of Box C. [ ] See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
December 8, 1995 (08. 12. 95)	January 16, 1996 (16. 01. 96)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

Form PCT/ISA/210 (second sheet) (July 1992)

[*Translator's note: These two pages starting here are originally in English and repeated immediately afterward in Japanese.*]

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP95/02121

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
	Line 12, lower right column, page 2 to line 7, upper left column, page 3 (Family: none)	

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International application No. PCT/JP 95/02121

A. CLASSIFICATION OF SUBECT MATTER (International Patent Classification (IPC))

Int. Cℓ⁶ H01L21/60

B. FIELDS SEARCHED

Minimum documentation searched (International Patent Classification (IPC))

Int. Cℓ⁶ H01L21/60

Documentation searched other than minimum documentation

Japan Utility Model	926－1995年
Japan Published Utility Model	926－1995年
Japan Registered Utility Model	994－1995年

Electronic data base consulted during the international search (name of data base and search terms)

Documentation searched other than minimum documentation

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 4-99341, A (NEC CORP.), 31 March 1992 (31.03.92), Lines 9 to 16, lower left column, page 2 (Family: none)	1－19
A	JP, 64-45134, A (HITACHI, LTD.), 17 February 1989 (17.02.89), Line 11, lower right column, page 2 to line 7, upper left column, page 3 (Family: none)	1－19

☑ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search: 08. 12. 95

Date of mailing of the international search report: 16.01.96

Name and mailing address
Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo
Postal code: 100

Patent Office Examiner (authorized officer): KATO, Tomoya

4E9341

Telephone no. 03－3581－1101 extension 426

Form PCT/ISA/210 (second sheet) (July 1992)

[*Translator's note: In Japanese*]

INTERNATIONAL SEARCH REPORT | International application No. PCT/JP 95/02121

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 3-9973, A (Shinko Denki Kogyo K.K.), January 17, 1991 (17. 01. 91), Line 17, upper left column to line 1, upper right column, page 4 (Family: none)	1 - 19
A	JP, 58-87360, U (NEC Corp.), June 14, 1983 (14. 06. 83), Lines 6 to 9, page 4 (Family: none)	1 - 19
A	JP, 64-84726, A (Toshiba Corp.), February 17, 1989 (17. 02. 89), Line 12, lower right column, page 2 to line 7, upper left column, page 3 (Family: none)	1 - 19

Form PCT/ISA/210 (second sheet) (July 1992)

[*Translator's note: In Japanese*]

世界知的所有権機関

PCT

国 際 事 務 局

特許協力条約に基づいて公開された国際出願

(51) 国際特許分類6 H01L 21/60	A1	(11) 国際公開番号 WO 96/12296 (43) 国際公開日 1996年4月25日(25.04.96)

(21) 国際出願番号 PCT/JP95/02121
(22) 国際出願日 1995年10月17日(17.10.95)

(30) 優先権データ
特願平6/251722 1994年10月18日(18.10.94) JP

(71) 出願人（米国を除くすべての指定国について）
株式会社 日立製作所(HITACHI, LTD.)[JP/JP]
〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP)
日立超エル・エス・アイ・エンジニアリング株式会社
(HITACHI ULSI ENGINEERING CORP.)[JP/JP]
〒187 東京都小平市上水本町5丁目20番1号 Tokyo, (JP)
(72) 発明者；および
(75) 発明者／出願人（米国についてのみ）
諏訪元大(SUWA, Motoo)[JP/JP]
〒184 東京都小金井市緑町5丁目20番22号
日立小金井寮 Tokyo, (JP)
鎌田千代士(KAMADA, Chiyoshi)[JP/JP]
〒185 東京都国分寺市日吉町1-21-22 Tokyo, (JP)
新井 岳(ARAI, Takeshi)[JP/JP]
〒198-01 東京都青梅市二俣尾5-1293 Tokyo, (JP)
高橋裕之(TAKAHASHI, Hiroyuki)[JP/JP]
〒190 東京都立川市砂川町6-38-5 Tokyo, (JP)
西馬雅彦(NISHIUMA, Masahiko)[JP/JP]
〒198 東京都青梅市新町1111-1
関塚マンション302 Tokyo, (JP)
(74) 代理人
弁理士 梶原辰也(KAJIWARA, Tatuya)
〒160 東京都新宿区西新宿8丁目9番5号
セントラル西新宿I-201号 Tokyo, (JP)

(81) 指定国
CN, JP, KR, SG, US, 欧州特許(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

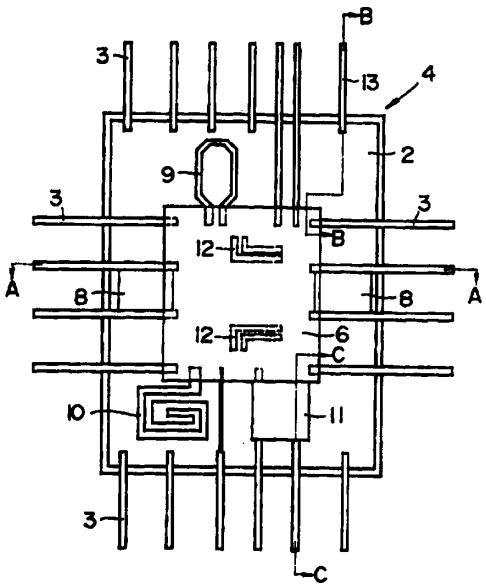
添付公開書類 国際調査報告書

(54) Title : SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(54) 発明の名称 半導体装置及びその製造方法

(57) Abstract

A semiconductor device which can reduce the transmission loss of high-frequency signals and in which a semiconductor chip (6) is facedown-bonded to a ground plane TAB tape (4). The TAB tape (4) is such that a first conductive layer (2) and a second conductive layer (3) are respectively formed on the front and rear sides of an insulating layer (1) and a front-side of the second conductive layer (3) is exposed in an opening made in the insulating layer (1) and Au bumps (7a and 7b) are protruded in the openings of the conductive layers (2) and (3). The pad electrode (5) of the semiconductor chip (6) is matched and bonded to the Au bumps (7a and 7b) on the TAB tape (4) without melting the bumps (7a and 7b). This semiconductor device can be used for information communication equipment and a highly advanced system can be constructed when the device is constituted in a multichip module.



（５７）要約

高周波信号の伝送損失を低減できる半導体装置であり、半導体チップ（６）がグランド・プレーンＴＡＢテープ（４）上にフェースダウンボンディングされている半導体装置である。ＴＡＢテープ（４）は絶縁層（１）の表面及び裏面に第１導電層（２）及び第２導電層（３）が形成され、第２導電層（３）の表面側の一部が絶縁層（１）に開設された開口部（８）で露出され、第１導電層（２）と第２導電層（３）の開口部とにＡｕバンプ（７ａ、７ｂ）が突設されている。半導体チップ（６）のパッド電極（５）がＴＡＢテープ（４）のＡｕバンプ（７ａ、７ｂ）に整合されて各Ａｕバンプが溶融されることなくボンディングされている。この半導体装置は情報通信機器に使用でき、マルチ・チップ・モジュールに構成して高度なシステムを構築できる。

情報としての用途のみ

ＰＣＴに基づいて公開される国際出願をパンフレット第一頁にＰＣＴ加盟国を同定するために使用されるコード

AL	アルバニア	DK	デンマーク	LK	スリランカ	PT	ポルトガル
AM	アルメニア	EE	エストニア	LR	リベリア	RO	ルーマニア
AT	オーストリア	ES	スペイン	LS	レソト	RU	ロシア連邦
AU	オーストラリア	FI	フィンランド	LT	リトアニア	SD	スーダン
AZ	アゼルバイジャン	FR	フランス	LU	ルクセンブルグ	SE	スウェーデン
BB	バルバドス	GA	ガボン	LV	ラトヴィア	SG	シンガポール
BE	ベルギー	GB	イギリス	MC	モナコ	SI	スロヴェニア
BF	ブルギナ・ファソ	GE	グルジア	MD	モルドバ	SK	スロヴァキア共和国
BG	ブルガリア	GN	ギニア	MG	マダガスカル	SN	セネガル
BJ	ベナン	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア共和国	SZ	スワジランド
BR	ブラジル	HU	ハンガリー	ML	マリ	TD	チャード
BY	ベラルーシ	IE	アイルランド	MN	モンゴル	TG	トーゴ
CA	カナダ	IS	アイスランド	MR	モーリタニア	TJ	タジキスタン
CF	中央アフリカ共和国	IT	イタリー	MW	マラウイ	TM	トルクメニスタン
CG	コンゴー	JP	日本	MX	メキシコ	TR	トルコ
CH	スイス	KE	ケニア	NE	ニジェール	TT	トリニダード・トバゴ
CI	コート・ジボアール	KG	キルギスタン	NL	オランダ	UA	ウクライナ
CM	カメルーン	KP	朝鮮民主主義人民共和国	NO	ノルウェー	UG	ウガンダ
CN	中国	KR	大韓民国	NZ	ニュー・ジーランド	US	米国
CZ	チェッコ共和国	KZ	カザフスタン	PL	ポーランド	UZ	ウズベキスタン共和国
DE	ドイツ	LI	リヒテンシュタイン			VN	ヴィェトナム

明　細　書

半導体装置及びその製造方法

技　術　分　野

本発明は、半導体装置に関し、特に、絶縁層に導電層が形成されたテープ上に、半導体チップがフェースダウンボンディングされる半導体装置に適用して有効な技術に関する。

背　景　技　術

最近、携帯電話、自動車電話等の移動体無線機器が広く普及してきており、これら移動体無線機器には高性能のMMIC（Monolithic Microwave Integrated Circuit）が組み込まれている。この種移動体無線機器はマイクロ波帯域の高周波領域で動作するので、これに使用されるICのチップ材料としては一般に広く使用されているシリコンに代わって、高速性能に優れているガリウム砒素（GaAs）が選ばれることが多い。

このようなICを組み立てるには、ICチップの表面に形成されている複数のパッド電極をリードフレームのような外部リードに電気的に接続する必要がある。通常のICにおいては、このような電気的な接続は、複数のパッド電極と対応したリードとの間に金線のようなワイヤをボンディングすることにより行われる。

しかし、MMICのように特にマイクロ波帯域で動作するICの場合は、パッド電極とリードをボンディングワイヤにより接続することは、半導体チップに対して不要な配線を引き回す結果になって、そのボンディングワイヤによって寄生インダクタンス、寄生容量を増加させる原因

となる。このように、寄生インダクタンス、寄生容量が増加すると、マイクロ波帯域の高周波信号を伝送する場合、信号の損失が増加して高周波信号を正確に伝送しにくくなる。この傾向は外部リードに対しても同様なことが言える。また、そのような信号損失の増加は特に寄生インダクタンスに起因することが多い。従って、寄生インダクタンスの増加を極力抑える改善策が望まれている。

このため、ボンディングワイヤを不要にしたチップボンディング法として、フェースダウンボンディング法が提案されている。例えば特開平５－２５１５０５号公報には、そのようなフェースダウンボンディング法の一方法が開示されている。この公報には、誘電体フィルムからなる基材上に複数の金属配線を形成し、その誘電体フィルムに金属配線に通ずるビアホールを形成したエリアテープを外部リードとして用いて、ビアホールに半田のような金属ボールを挿入した後、この金属ボールにパッド電極が接触するようにＩＣチップを位置決めし、続いてエリアテープ及びＩＣチップを加圧、加熱して金属ボールを溶融させて、ＩＣチップをエリアテープにフェースダウンボンディングする方法が記載されている。

同様にして、例えば、特開平４－９９３４１号公報には、ボンディングワイヤを不要にしたフェースダウンボンディング法の他の方法が開示されている。この公報には、絶縁層を介して設けた第１のＴＡＢ（Ｔａｐｅ Ａｕｔｏｍａｔｅｄ Ｂｏｎｄｉｎｇ）リード及び第２のＴＡＢリードを有し、各リードの先端部に各々高さの異なるバンプを形成したＴＡＢテープを用いて、各バンプを介してＩＣチップをＴＡＢテープにフェースダウンボンディングする方法が記載されている。

前記したような従来のフェースダウンボンディング法において、前者に開示されている技術では、半田のような金属ボールを溶融させてＩＣ

チップをボンディングするので、金属の流れ防止手段が必要になると共に、金属配線が誘電体フィルムの一面側にしか形成されていないので、テープの利用率が低いという問題がある。

すなわち、溶融した金属が流れ出して隣接したもの同士で短絡するおそれがあるため、流れ防止層のような防止手段が必要になる。さらに、誘電体フィルムの一面側にのみ形成された金属配線を利用するので、適用されるＩＣチップは比較的パッド電極の少ないものに制限されるようになる。さらにまた、本従来技術では、誘電体フィルムの一面側にのみ金属配線が形成されているので、高周波信号の伝送路としてよく用いられるマイクロストリップライン構造を形成できないため、定インピーダンス信号線路を形成できず、高周波特性に優れた半導体装置を得ることができない。

また、後者に開示されている技術では、絶縁層の両面側に各々第１のＴＡＢリード及び第２のＴＡＢリードを設けたＴＡＢテープを用いているが、バンプは各リードの先端部にしか形成されていないので、パッド電極がチップ周辺のみに形成されたＩＣチップにしか適用できないという問題がある。

すなわち、チップ全面にパッド電極を形成したＩＣチップに対しては、チップ周辺以外のパッド電極にボンディングすることが不可能なので、適用できなくなる。

本発明の目的は、バンプを溶融することなくフェースダウンボンディングを可能にすると共に、テープの利用率を向上して、チップ全面にパッド電極を形成したＩＣチップに適用可能な半導体装置を提供することを目的とする。

ところで、情報通信の増大に伴って、１秒間に数ギガビットの割合で情報を伝送することができるシステムを一つのモジュールに組み込む技

術の開発が進展している。このモジュールにおいては周波数が１ＧＨｚを越える高周波信号が使用される。このような高周波信号を伝送するためのシステムを組み込んだモジュール（以下、高周波信号用モジュールという。）においては、通常周波数の信号を伝送するためのシステムを組み込んだモジュールに使用されるボトムブレーズ方式又はガル・ウイング方式を採用することができない。なぜならば、これらの方式においては、信号伝送路に少なくとも５００μｍ程度の段差が発生することにより信号の反射現象が起こるため、高周波信号用モジュールに使用した場合に信号伝達特性が許容できない程度まで低下してしまうからである。

そこで、例えば、日本国特許庁公開特許公報平６－２１６２７２号に示されているように、実装基板の一部に没設した窪みに半導体装置を収容するドロップイン方式が提案されている。しかし、このドロップイン方式においては、実装基板に窪みを形成する必要があるため、実装基板のコストが高くなってしまうという問題点がある。

これに対処するため、実装基板に半導体チップを直接実装することが考えられる。しかし、複数個の半導体チップを直接実装した場合には、そのうちの一つでも故障すると、実装基板全体を取り替えなくてはならないという問題点が発生する。

本発明の第２の目的は、伝送信号の反射現象を防止することができるとともに、リペア性を向上することができて高周波信号用モジュールに好適な半導体装置を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

発　明　の　開　示

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

本発明の半導体装置は、絶縁層に導電層が形成されたテープ上に、半導体チップがフェースダウンボンディングされる半導体装置であって、前記テープは絶縁層の表面側及び裏面側に各々第１の導電層及び第２の導電層が形成されて、第２の導電層の一部が開口部から表面側に露出されており、前記半導体チップは表面に形成されている複数のパッド電極が、前記第１の導電層及び第２の導電層と導通して各々が同一高さとなるように平坦化されている複数位置のバンプを介して、各バンプが溶融されることなくフェースダウンボンディングされる。

この半導体装置によれば、半導体チップがテープにバンプを溶融することなくフェースダウンボンディングされるため、テープの利用率を向上して、全面にパッド電極を形成した半導体チップであってもＴＡＢテープ構造を適用することができる。

また、本発明は、半導体チップがテープにフェースダウンボンディングされた前記半導体装置が複数個配線基板に、配線基板の第１主面にそれぞれ形成された各実装面部に前記第２の導電層を機械的かつ電気的に接続されてそれぞれ実装されていることを特徴とする。

この構成によれば、半導体チップをフェースダウンボンディングされたテープが配線基板の第１主面に表面実装されていることにより、半導体チップと配線基板の第１主面との段差が極小に抑制されるため、信号反射現像が防止されて信号伝送特性が向上される。また、各半導体チップはテープを介して配線基板に表面実装されているため、配線基板から外したい半導体チップはテープと配線基板の各実装面部との接続部の解除によって他の半導体チップから独立して外すことができる。

図面の簡単な説明

図１は本発明の実施例１による半導体装置を示す上面図である。

図２は図１のＡ－Ａ断面図である。

図３は図１のＢ－Ｂ断面図である。

図４は図１のＣ－Ｃ断面図である。

図５は実施例１による半導体装置の製造方法の一工程を示す断面図である。

図６は実施例１による半導体装置の製造方法の他の工程を示す断面図である。

図７は実施例１による半導体装置の製造方法のその他の工程を示す断面図である。

図８は実施例１による半導体装置の製造方法のその他の工程を示す断面図である。

図９は実施例１による半導体装置の製造方法のその他の工程を示す断面図である。

図１０は本発明の実施例２による半導体装置を示す断面図である。

図１１は本発明の実施例３による半導体装置を示す断面図である。

図１２は本発明の実施例４による半導体装置を示す正面断面図である。

図１３はその平面断面図である。

図１４は実施例４による半導体装置に使用されたチップ組立体を示しており、（Ａ）は一部省略平面図、（Ｂ）はＢ－Ｂ線に沿う正面断面図である。

図１５は同じくチップ組立体を示しており、（Ａ）は底面図、（Ｂ）はＢ－Ｂ線に沿う側面断面図である。

図１６はチップ組立体が実装された配線基板組立体の主要部を示して

おり、（A）は平面図、（B）は正面断面図である。

図１７は本発明の実施例５による半導体装置を示す正面断面図である。

図１８はその平面断面図である。

発明を実施するための最良の形態

以下図面を参照して本発明の実施例を説明する。

本実施例の半導体装置は、特に図２から明らかなように、例えば、ポリイミド、ポリエステルからなる絶縁層１の表面側（図２において上側）に第１の導電層２が形成されると共に、その裏面側（図２において下側）に第２の導電層３が形成されてなるＴＡＢテープ（以下、単にテープと称する）４と、表面に複数のパッド電極５が形成された例えばＧａＡｓからなるＩＣチップ６とを備えており、ＩＣチップ６は複数のパッド電極５が第１の導電層２及び第２の導電層３と導通する複数位置のバンプ７を介して、各バンプ７が溶融されることなく、テープ４上にフェースダウンボンディングされている。

テープ４の絶縁層１は厚さ約５０μｍに形成され、この絶縁層１の表面側及び裏面側には各々例えばＣｒ、Ｃｕ、Ａｕが順次めっき法等によって付着された厚さ約数１０μｍからなる、第１の導電層２及び第２の導電層３が形成されている。絶縁層１には部分的に開口部８が形成されていて、第２の導電層３の一部はその開口部８から表面側に露出されている。これによって、第１の導電層２及び第２の導電層３は共に表面側からバンプ７と導通可能に配置されている。開口部８の側面８ａは約３０°乃至４５°の傾斜面となるように形成されている。

テープ４の第１の導電層２には、後述のような方法によって、例えば１段のＡｕバンプ７ａが形成されている。一方、第２の導電層３には、

開口部８を通じて同様な方法によって、例えば２段のＡｕバンプ７ａ、７ｂが形成されている。各Ａｕバンプ７ａ、７ｂは、例えば高さ約６０μｍ、直径約１５０μｍに形成されている。第１の導電層２よりも低い位置に形成されている第２の導電層３に対して、第１の導電層２よりも１段だけ多くＡｕバンプ７ｂを形成することにより、かつ後述のような平坦化処理を施すことにより、第１の導電層２及び第２の導電層３上のＡｕバンプ７の高さは同一となるように図られている。

図１に示すように、テープ４の第１の導電層２上には例えばインダクタ９、１０、あるいは容量素子１１のような受動素子が形成される。一方、ＩＣチップ６には能動素子が形成されると共に、例えばインダクタ１２のような比較的小さい定数の受動素子を形成することができる。また、第１の導電層２に対しては、必要な電源、信号、バイアス調整用配線等を形成する。このように、ＩＣチップ６に形成する受動素子の一部をテープ４に形成することにより、高価なＩＣチップ６のチップ面積を大きくする必要がなくなるので、コストダウンを図ることができるようになる。

一方、テープ４の第２の導電層３はグランド電位として使用され、外部からこの第２の導電層３と導通するグランド用リード１３を図１のように接続する。図３は図１のＢ－Ｂ断面図を示すもので、グランド用リード１３が開口部８を通じて第２の導電層３と導通する構造を示している。

また、図４は図１のＣ－Ｃ断面図を示すもので、一例として容量素子１１の一部構造を示しており、絶縁層１を挟んで配置されている一対の導電層２、３によって容量素子１１を構成する例を示している。

テープ４及びＩＣチップ６を含む主要部は樹脂１４によって封止される。この樹脂封止は周知のトランスファモールド法によって行われる。

なお、図１では説明を理解し易くするため、樹脂１４を取り除いた構造で示している。

このような半導体装置によれば、マイクロ波帯域の高周波領域で動作する狭帯域増幅器を構成することができ、入力信号はマイクロストリップライン構造を有するテープ４の第１の導電層２を経てＩＣチップ６に入力され、能動素子あるいは受動素子を経た後、再びテープ４上の受動素子に戻り、以上のような経路を繰り返して出力信号となる。信号がこのようにテープ４とＩＣチップ６間を往復しても、ＩＣチップ６がテープ４上にフェースダウンボンディングされていることにより、ワイヤボンディングを行う場合に比較して、寄生インダクタンスの増加は抑えられるので、信号損失の増加はほとんど抑えることができる。

次に本実施例の半導体装置の製造方法を工程順に説明する。

まず、図５に示すように、例えばポリイミド、ポリエステルからなる絶縁層１の表面側及び裏面側に各々第１の導電層２及び第２の導電層３を形成したテープ４を用意する。このテープ４は、厚さ約５０μｍの絶縁層１を用いて、この絶縁層１の表面側及び裏面側に各々例えばＣｒ、Ｃｕ、Ａｕを順次めっき法等によって付着することにより、厚さ約数１０μｍからなる第１の導電層２及び第２の導電層３を形成する。

また、絶縁層１には部分的に開口部８を形成し、第２の導電層３の一部をその開口部８から表面側に露出させる。開口部８の側面８ａは約３０°乃至４５°の傾斜面となるように形成する。そして、第１の導電層２及び第２の導電層３に対して、直径約３０μｍのＡｕ線を用いたボールボンディング法を行って、例えば１段のＡｕバンプ７ａを、例えば高さ約６０μｍ、直径約１５０μｍに形成する。この結果、第１の導電層２上のＡｕバンプ７ａと、第２の導電層３上のＡｕバンプ７ｂとには高さに差が生じる。

次に、図６に示すように、第２の導電層３上のＡｕバンプ７ａに対してのみ、前記と同様なボールボンディングを行って、さらに１段のＡｕバンプ７ｂをＡｕバンプ７ａと同じサイズに形成する。これによって、第１の導電層２上のＡｕバンプ７ａと、第２の導電層３上のＡｕバンプ７ａ、７ｂとの高さの差を１０μｍ程度まで小さくすることができる。

続いて、図７に示すように、第１の導電層２上のＡｕバンプ７ａ及び第２の導電層３上のＡｕバンプ７ａ、７ｂを上から治具１５を用いて押圧することにより、平坦化処理する。各Ａｕバンプ７ａ、７ｂ、７ｃは柔らかい性質を有しているので、治具１５による押圧によって容易に変形することにより、完全に平坦化される。これによって、テープ４の異なる複数位置に形成されたＡｕバンプ７ａとＡｕバンプ７ａ、７ｂとの高さの差は吸収されて、完全に同一高さとなる。このようなＡｕバンプの平坦化処理は、本出願人が先に出願した特開平５－２７５４９１号公報に記載されるような方法を採用することにより、容易に行うことができる。

次に、図８に示すように、表面に複数のパッド電極５が形成され、必要に応じて能動素子のみならず受動素子を形成した例えばＧａＡｓからなるＩＣチップ６を用意して、各パッド電極５上に前記のようなボールボンディング法を行って、例えば１段のＡｕバンプ７ｃを、例えば高さ約６０μｍ、直径約１５０μｍに形成する。

続いて、図９に示すように、図７において得られたテープ４上に、図８において得られたＩＣチップ６をこのパッド電極５が下方となるように配置し、各パッド電極５上のＡｕバンプ７ｃと対応するＡｕバンプ７ａ及びＡｕバンプ７ａ、７ｂとを位置決めした状態で、熱圧着法によってＩＣチップ６をテープ４上にフェースダウンボンディングする。この

熱圧着法はＡｕバンプの融点以下の温度で行うことにより、各Ａｕバンプ７ａ、７ｂ、７ｃを溶融することなく、フェースダウンボンディングを行う。次に、これらテープ４及びＩＣチップ６をトランスファモールド法によって樹脂封止する。これによって、図２に示したように主要部が樹脂１４により封止された半導体装置が得られる。

このような実施例１による半導体装置によれば、次のような効果が得られる。

（１）テープ４上にＩＣチップ６をフェースダウンボンディングする場合、Ａｕバンプ７ａ、７ｂ、７ｃを溶融することなく行うことができるので、隣接したＡｕバンプ同士の短絡のおそれはないため、Ａｕバンプの流れ防止手段は不要になる。

（２）これに伴い、絶縁層１の一面側だけでなく表面側及び裏面側に各々第１の導電層２及び第２の導電層３を形成して、各導電層２、３をＩＣチップ６のパッド電極５と導通させる外部リードとして利用することができるので、テープ４の利用率が向上する。これによって、比較的パッド電極の多いＩＣチップに対してもＴＡＢテープ構造が適用可能となる。

（３）絶縁層１の表面側及び裏面側に各々第１の導電層２及び第２の導電層３を形成したテープ４を用いることができるので、チップ全面にパッド電極を形成したＩＣチップ６に対しても適用可能となる。

（４）（１）乃至（３）によって、寄生インダクタンスの増加を抑えられるというフェースダウンボンディングの利点をそのまま生かすことができるので、特にマイクロ波帯域の高周波領域で動作する半導体装置の信号損失の増加を小さく抑えることができる。

（５）ＩＣチップ６に形成される受動素子の一部をテープ４に形成できるので、高価なＩＣチップ６のチップ面積を小さくできるため、コスト

ダウンを図ることができる。

図１０は本発明の実施例２による半導体装置を示す断面図である。本実施例の半導体装置は、実施例１による半導体装置において、テープ４の第２の導電層３の底面を樹脂１４から露出させて、この第２の導電層３に厚さ数ｍｍの金属板１６を取り付けた構造を有している。この金属板１６としては、例えばＦｅ－Ｎｉ、Ｍｏ、Ｃｕ－Ｗ等が用いられて、Ａｕ－Ｓｕ等のろう材を介して第２の導電層３に接続される。

このように、第２の導電層３の厚さ（数１０μｍ）に比較して板厚の大きな金属板１６を第２の導電層３に取り付けることにより、結果的にこの第２の導電層３の寄生インダクタンスを小さくすることができる。これにより、第２の導電層３をグランド電位として使用する場合に、グランド電位を安定化することができる。これは、ＩＣ単体で動作させる場合でも、あるいはこのＩＣをシステム装置に組み込んだ場合でも、効果的となる。

このような半導体装置は、予めテープ４の第２の導電層３に金属板１６を取り付けた後、ＩＣチップ６をテープ４上にフェースダウンボンディングし、続いて金属板１６を除いた部分を樹脂封止することにより、製造することができる。

このような実施例２による半導体装置によれば、実施例１による半導体装置と同様な効果が得られる他に、次のような効果が得られる。

グランド電位として使用されるテープ４の第２の導電層３に板厚の大きい金属板１６を取り付けるようにしたので、寄生インダクタンスを小さくできるため、グランド電位を安定化させることができる。

図１１は本発明の実施例３による半導体装置を示す断面図である。本実施例の半導体装置は、ＩＣチップ６の裏面に金属板１６を取付け、この金属板１６に放熱フィン１７を取り付けた構造を有している。この放

熱フィン１７としては、例えばＣｕ－Ｗ、Ａｌ、Ｆｅ－Ｎｉ等の熱放散性に優れた金属材料が用いられて、熱伝導性グリース等の接着剤を介して、あるいはねじ止めにより、または両者の組み合わせによって金属板１６に取り付けられる。

このように、金属板１６に放熱フィン１７を取り付けることにより、冷却効率を高めることができる。これにより、半導体装置を特に大電力用途に用いる場合でも、効率の良い動作を行わせることができるようになる。

このような半導体装置は、ＩＣチップ６をテープ４上にフェースダウンボンディングした後、ＩＣチップ６の裏面にＡｕめっきした金属板１６を取り付け、次に金属板１６の裏面を除いた部分を樹脂封止し、続いて金属板１６の裏面に放熱フィン１７を取り付けることにより、製造することができる。

このような実施例３による半導体装置によれば、実施例１及び実施例２による半導体装置と同様な効果が得られる他に、次のような効果が得られる。

ＩＣチップ６の裏面に金属板１６を介して放熱フィン１７を取り付けるようにしたので、冷却効率を高めることができるため、大電力用途に用いる場合に効率の良い動作を行わせることができる。

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

例えば、テープ４の第１の導電層２及び第２の導電層３に形成するＡｕバンプ７ａ、７ｂ、７ｃの段数は一例を示したものであり、この段数は任意に選ぶことができる。但し、第１の導電層２及び第２の導電層３

に形成するＡｕバンプの高さは、ほぼ同一高さとなるように選ぶ必要がある。

同様にして、Ａｕバンプのサイズも任意に設定することができる。このＡｕバンプのサイズは使用するＡｕ線の直径によってほぼ決定される。

また、テープ４上にフェースダウンボンディングするＩＣチップ６の数は、１個に限らず、複数個用いることも可能である。

さらに、ＩＣチップ６のパッド電極５に形成するＡｕバンプは、必ずしも用いる必要はなく、テープ４側に形成する複数のＡｕバンプによって代用させることも可能である。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である半導体装置の技術に適用した場合について説明したが、それに限定されるものではない。本発明は、少なくともマイクロ波帯域の高周波領域で動作させる半導体装置において、寄生インダクタンスの増加を抑えて信号損失の増加を抑える条件のものには適用できる。

次に、図１２～図１６に示されている本発明の実施例４による半導体装置を説明する。

本実施例４において、本発明に係る半導体装置は、機能的には高周波信号を分周するものとして構成され、パッケージング的にはマルチ・チップ・モジュール（ｍｕｌｔｉ－ｃｈｉｐ　ｍｏｄｕｌｅ。以下、ＭＣＭという。）として構成されている。このＭＣＭ２０は前記実施例１と同様にテープ４にＩＣチップ６がフェイスダウンボンディングされたチップとテープとの組立体（以下、チップ組立体という。）２１と、チップ組立体２１を複数個実装するための配線パターンが形成された配線基板２２と、チップ組立体２１群及び配線基板２２を気密封止するための

気密封止体４１とを備えている。このＭＣＭ２０にはチップ組立体２１が複数個（図示例では４個）使用されており、各チップ組立体２１は前記実施例１、かつ、互いに同一又は異なる機能を発揮するように受動素子及び能動素子がそれぞれ組み込まれている。但し、便宜上、受動素子及び能動素子の図示は省略されている。

チップ組立体２１に使用されたテープ４における絶縁層１の表面側には第１の導電層２が形成され、絶縁層１の裏面側には第２の導電層３が形成されている。絶縁層１には開口部８がテープ４の中央部に１個、それを取り囲む周辺部に複数個がそれぞれ開設されており、これら開口部８の側面８ａは表面側に行くにしたがって内径が大きくなるように傾斜されている。第２の導電層３はテープ４の裏面の略全体にわたって形成されており、第２の導電層３の表面側の一部は各開口部８の底においてそれぞれ露出した状態になっている。第２の導電層３は単一の定電位電極３ａと複数本の外部リード３ｂとを備えている。定電位電極３ａは絶縁層１の裏面の中央部に大きな長方形に敷設されており、中央部に開設された開口部８の底面を構成する位置には複数段のＡｕバンプ７ａ、７ｂがワイヤボンディング法によって突設されている。各外部リード３ｂは絶縁層１の裏面における周辺部において周方向に略等間隔に配されて径方向外向きに突出するように敷設されている。

他方、第１の導電層２は幅の広い電源線２ａと、幅の狭い（例えば、約９０μｍ）高速信号線２ｂとを備えている。各電源線２ａ及び各高速信号線２ｂは中央部の開口部８を中心にして放射状にパターニングされている。各電源線２ａ及び各高速信号線２ｂの内側端部はＩＣチップ６の各パッド電極５に対応するように配線されており、これらの各パッド電極５にそれぞれ対向した位置には単段のＡｕバンプ７ａがそれぞれワイヤボンディング法によって突設されている。

各電源線２ａは絶縁層１の表面において一方の対辺のそれぞれを結ぶ方向（以下、左右方向とする。）に延在するように放射状に敷設されており、周辺部に開設された開口部８において第２の導電層３における各外部リード３ｂにそれぞれ電気的に接続されている。電源線２ａは第２の導電層３における定電位電極３ａと絶縁層１を挟んで対向した状態になることよってビルトイン構造の容量素子１１を実体的に構成しており、この容量素子１１によって電源線２ａは電源電位を安定化されている。各高速信号線２ｂは絶縁層１の表面において左右方向及び他方の対辺のそれぞれを結ぶ方向（以下、前後方向とする。）に延在するように放射状に敷設されており、周辺部に開設された開口部８において第２の導電層３における各外部リード３ｂに電気的に接続されている。高速信号線２ｂは第２の導電層３における定電位電極３ａと絶縁層１を挟んで対向した状態になることによってマイクロストリップライン構造を構成している。

他方、ＩＣチップ６はＧａＡｓが使用されて長方形の平板形状に形成されている。ＩＣチップ６には高周波信号を分周するための能動素子が作り込まれているとともに、能動素子の動作に必要で、しかも、ＩＣチップ６に合理的にレイアウトすることができる受動素子が作り込まれている。ＩＣチップ６の能動素子が作り込まれた側の主面（以下、第１主面という。）にはパッド電極５が複数個形成されており、各パッド電極５はテープ４側の各Ａｕバンプ７ａ及び７ａ、７ｂにそれぞれ対応するように配置されている。ちなみに、各パッド電極には単段のＡｕバンプ７ａが形成される。

そして、前記構成に係るテープ４とＩＣチップ６とは、定電位電極３ａ、各電源線２ａ及び各高速信号線２ｂと各パッド電極５との間にＡｕバンプ７をそれぞれ形成されることにより、フェースダウンボンディン

グされて、機械的かつ電気的に接続された状態になっている。

なお、テープ４の製造方法及びフェースダウンボンディング方法は前記実施例１において説明した製造方法及びボンディング方法と同様であるため、その説明は省略する。

配線基板２２はガラス含浸エポキシ樹脂の板材が使用されて長方形の板形状に形成された絶縁板２３を備えており、絶縁板２３の第１主面には各チップ組立体２１を実装するための実装面部２４が複数箇所（本実施例では、４箇所）に形成されている。各実装面部２４は基板側定電位電極２５及び複数個のランド２６をそれぞれ備えており、基板側定電位電極２５はチップ組立体２１の定電位電極３ａに対応され、各ランド２６はチップ組立体２１の外部リード３ｂにそれぞれ対応されている。各ランド２６には絶縁板２３に配された電気配線２７によって、配線基板２２の外周辺部に配置された複数個の外部端子２８にそれぞれ電気的に接続されている。この配線基板２２において、各電気配線２７は多層配線構造に構成されている。絶縁板２３の内部には内部定電位電極２９が多層配線構造の各電気配線２７との短絡を回避する状態で、全面にわたって敷設されている。内部定電位電極２９は各実装面部２４の基板側定電位電極２５にスルーホール導体３０によって電気的に接続されている。絶縁板２３の第２主面にはグランド電極３１が全面にわたって敷設されており、グランド電極３１はスルーホール導体３２によって内部定電位電極２９に電気的に接続されている。

なお、以上の構成に係る配線基板２２の製造方法は、一般的な配線基板の製造方法に準ずるため、その説明は省略する。

そして、前記構成に係るチップ組立体２１は前記構成に係る配線基板２２の各実装面部２４にリフロー半田付け方法によって表面実装される。すなわち、チップ組立体２１の定電位電極３ａ及び各外部リード３ｂ

又は配線基板２２の基板側定電位電極２５及び各ランド２６の少なくとも一方には、半田クリーム等の予備半田材（図示せず）が予め塗布される。各チップ組立体２１が実装面部２４に予備半田材によって接着された状態で、配線基板２２が加熱炉を通されることにより予備半田材が溶融かつ固化されて形成された半田層３３によって、各チップ組立体２１は各実装面部２４に機械的かつ電気的に接続される。以上のようにして、チップ組立体２１が配線基板２２に表面実装された配線基板組立体３４が製造されたことになる。

気密封止体４１は互いに腹合わせに配されて合わせ面において接合されたベース４２とキャップ４３とを備えており、ベース４２内の底面上に配線基板組立体３４がグランド電極３１を接触されて固定されている。配線基板組立体３４が気密封止体４１によって気密封止された状態において、配線基板２２の外部端子２８は気密封止体４１のコネクタ４４によって外部に電気的に引き出された状態になっており、また、グランド電極３１は気密封止体４１に電気的接続された状態になっている。

さらに、気密封止体４１の外面には放熱フィン４５が接合されており、この放熱フィン４５によって配線基板組立体３４の発熱が効率的に外部に放出されるようになっている。

次に、以上のように構成されているＭＣＭ２０の作用を説明する。

ＭＣＭ２０が通信機器のマザーボード（図示せず）等に実装された状態で、駆動電力は配線基板２２の外部端子２８、電気配線２７、ランド２６、各チップ組立体２１の外部リード３ｂ、電源線２ａ、バンプ７を通じて各ＩＣチップ６に供給される。また、入力信号は配線基板２２の外部端子２８、電気配線２７、ランド２６、各チップ組立体２１の外部リード３ｂ、高速信号線２ｂ、バンプ７を通じて各ＩＣチップ６に入力される。ＩＣチップ６からの出力信号はバンプ７、高速信号線２ｂ、各

チップ組立体２１の外部リード３ｂ、配線基板２２のランド２６、電気配線２７、外部端子２８を通じて外部の需要部に出力される。この作動中、高速信号線２ｂは第２の導電層３における定電位電極３ａと絶縁層１を挟んで対向した状態になることによってマイクロストリップライン構造を構成しているため、きわめて高い高周波信号が伝送される場合であってもきわめて優れた高速伝送特性を示すことになる。また、電源線２ａが第２の導電層３における定電位電極３ａと絶縁層１を挟んで対向した状態になることよってビルトイン構造の容量素子１１を実体的に構成しているとともに、定電位電極３ａが配線基板２２の基板側定電位電極２５、内部定電位電極２９、グランド電極３１を介して気密封止体４１にグランドされているため、電源線２ａはきわめて安定した電源電位を維持した状態になっている。その結果、このＭＣＭ２０はきわめて優れた高周波特性を示すことになる。

なお、中央部のパッド電極５が中央部の開口部８に配設されたＡｕバンプ７によって定電位電極３ａに電気的に接続されているため、ＩＣチップ６のグランド電位は安定を維持した状態になっている。

前記実施例４によれば次の効果が得られる。

（１）　テープ４の裏面に形成された第２の導電層３に定電位電極３ａを形成することにより、テープ４の表面に形成された第１の導電層２による高速信号線２ｂをマイクロストリップライン構造に構成することができるため、信号伝送特性を高めることができ、きわめて高い高周波信号の伝送を実現することができる。

（２）　テープ４の裏面に形成された第２の導電層３に定電位電極３ａを形成することにより、テープ４の表面に形成された第１の導電層２による電源線２ａとの間でビルトイン容量素子１１を構成することができるため、電源電位を安定化することができ、前記（１）とあいまって、

高周波特性に優れたＭＣＭ２０を得ることができる。

（３）　前記（２）の定電位電極３ａを配線基板２２の基板側定電位電極２５、内部定電位電極２９及びグランド電極３１を介して気密封止体４１にグランドすることにより、電源電位をより一層安定化させることができるため、ＭＣＭ２０の高周波特性をより一層高めることができる。

（４）　前記（３）の基板側定電位電極２５をグランド電極３１にスルーホール導体３０、３２によって内部定電位電極２９を介して電気的に接続することにより、長い配線を引き回さずに基板側定電位電極２５とグランド電極３１とを接続することができるため、電源電位をより一層安定させることができる。

（５）　ＩＣチップ６を配線基板２２に厚さが約５０μｍのテープ４を介して実装することにより、配線基板２２とＩＣチップ６との段差をきわめて小さく抑制することができるため、高速信号が伝送される際のインピーダンスの低下を抑制することができ、高速信号線２ｂのインピーダンスマッチングを容易に確保することができる。

（６）　ＩＣチップ６を配線基板２２にチップ組立体２１の状態で表面実装することにより、配線基板２２に窪みを形成しないとも済むため、配線基板２２の製造コストしいてはＭＣＭ２０の製造コストを低減することができる。

（７）　ＩＣチップ６を配線基板２２にチップ組立体２１の状態で表面実装するとともに、テープ４の絶縁層１をポリイミド樹脂等の柔軟性を有する絶縁材を使用して形成することにより、ＩＣチップ６と配線基板２２の絶縁板２３との熱膨張係数を整合させなくて済むため、ＧａＡｓとＳｉといった熱膨張係数の異なるＩＣチップ６を同一の配線基板２２に実装することができ、より一層多機能のＭＣＭ２０を構成することが

でき、しいては、より一層高度なシステムを同一のパッケージにパッケージングすることができる。

（８）　前記（７）により、ＩＣチップ６と配線基板２２との熱膨張係数をも整合させなくて済むため、ガラス含浸エポキシ樹脂等のＩＣチップ６と熱膨張係数が大きく異なる材料を配線基板２２に使用することができ、ＭＣＭ２０の製造コストをより一層低減することができる。

（９）　チップ組立体２１を配線基板２２に半田層３３によって表面実装することにより、ＭＣＭ２０に実装されたＩＣチップ６群のうちいずれかに故障が発見された場合に、故障したＩＣチップ６のチップ組立体２１だけを容易に交換することができるため、ＭＣＭ２０の製造歩留りや、ＭＣＭ２０のメンテナンス性能及び寿命を向上させることができる。

（１０）　前記（４）のスルーホール導体３０、３２を基板側定電位電極２５及び内部定電位電極２９の真下に配置することにより、熱伝導度の良好な導体を一直線に並ばせることができるため、ＭＣＭ２０の放熱性能を向上させることができる。

（１１）　テープ４の絶縁層１における開口部８の側面８ａがバンプ７の形成される側が広くなる傾斜面に形成されているため、バンプ７の形成時に第１の導電層２の剥離を防止することができる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

例えば、配線基板２２の基板側定電位電極２５を内部定電位電極２９に電気的に接続するスルーホール導体３０は、基板側定電位電極２５の真下に配置するに限らず、図１７及び図１８に示されているように、基板側定電位電極２５をスルーホール導体３０を形成可能な場所まで引き

回して、その場所においてスルーホール導体３０を形成して内部定電位電極２９に接続してもよい。この接続構造によれば、配線基板２２において基板側定電位電極２５の真下にスルーホール導体３０を形成することができない場合であっても、基板側定電位電極２５を内部定電位電極２９に電気的に接続することができるため、チップ組立体２１の定電位電極３ａによって電源線２ａの電位を安定させることができるとともに、高速信号線２ｂのマイクロストリップライン構造の信号伝送を安定させることができる。ちなみに、基板側定電位電極２５を引き回すことによって第２の導電層３の電位安定性は、基板側定電位電極２５の真下にスルーホール導体３０が配置された場合に比べて若干低下するが、基板側定電位電極２５が敷設されない場合に比べては遙かに向上させることができる。

配線基板組立体３４に対する封止構造としては、気密封止構造を採用するに限らず、樹脂封止構造を採用してもよいし、配線基板組立体３４をマザーボード等に直接的に実装した後に、他の部品とともに気密封止や樹脂封止、さらには、液密封止する構造としてもよい。

前記実施例においては、通信機器に使用される半導体装置について説明したが、本発明はこれに限らず、スーパーコンピュータ等の高速処理が要求される半導体装置全般に適用することができる。

産業上の利用可能性

以上のように、本発明に係る半導体装置は、ＭＭＩＣ及びＭＣＭとして構成することができ、携帯電話や自動車電話等の移動体無線機器、マルチメディヤ等の情報通信システムにおける高周波信号の処理装置として有用であり、特に、周波数が１ＧＨｚを越える高周波信号の伝送処理に用いるのに適している。

請 求 の 範 囲

1．絶縁層に導電層が形成されたテープ上に、半導体チップがフェースダウンボンディングされる半導体装置であって、前記テープは絶縁層の表面側及び裏面側に各々第1の導電層及び第2の導電層が形成されて、第2の導電層の一部が開口部から表面側に露出されており、前記半導体チップは表面に形成されている複数のパッド電極が、前記第1の導電層及び第2の導電層と導通して各々が同一高さとなるように平坦化されている複数位置のバンプを介して、各バンプが溶融されることなくフェースダウンボンディングされることを特徴とする半導体装置。

2．前記テープ及び半導体チップは、樹脂封止されることを特徴とする請求の範囲第1項記載の半導体装置。

3．前記テープの少なくとも第2の導電層と導通するバンプは、複数段からなることを特徴とする請求の範囲第1項又は第2項記載の半導体装置。

4．前記第1の導電層及び第2の導電層と導通する各々のバンプは、段数が異なることを特徴とする請求の範囲第1項乃至第3項のいずれか1項記載の半導体装置。

5．前記半導体チップのパッド電極にバンプを形成することを特徴とする請求の範囲第1項乃至第4項のいずれか1項記載の半導体装置。

6．前記第1の導電層及び第2の導電層と導通する各々のバンプあるいは前記パッド電極に形成するバンプは、金からなることを特徴とする請求の範囲第1項乃至第5項のいずれか1項記載の半導体装置。

7．前記半導体チップに能動素子が形成されると共に、前記テープに受動素子が形成されることを特徴とする請求の範囲第1項乃至第6項のいずれか1項記載の半導体装置。

８．前記テープの第２の導電層は、グランド電位として使用されることを特徴とする請求の範囲第１項乃至第７項のいずれか１項記載の半導体装置。

９．前記第２の導電層に比較的板厚の大きい金属板が取り付けられ、この金属板は樹脂封止の外部に配置されることを特徴とする請求の範囲第１項乃至第８項のいずれか１項記載の半導体装置。

１０．前記金属板に放熱フィンが取り付けられることを特徴とする請求の範囲第９項記載の半導体装置。

１１．請求の範囲第１項記載の半導体装置が複数個配線基板に、配線基板の第１主面にそれぞれ形成された各実装面部に前記第２の導電層を機械的かつ電気的に接続されてそれぞれ実装されていることを特徴とする半導体装置。

１２．前記実装面部にはグランド電極に電気的に接続された基板側定電位電極がそれぞれ形成されており、これら基板側定電位電極には前記第２の導電層の中央部にそれぞれ形成された各チップ側定電位電極が電気的に接続されていることを特徴とする請求の範囲第１１項記載の半導体装置。

１３．前記基板側定電位電極は前記配線基板の内部に形成された内部定電位電極を経由して前記グランド電極に電気的に接続されていることを特徴とする請求の範囲第１２項記載の半導体装置。

１４．前記基板側定電位電極は前記配線基板においてこの基板側定電位電極の真下に形成されたスルーホール導体によって前記配線基板の内部に形成された内部定電位電極に電気的に接続され、さらに、この内部定電位電極の真下に形成されたスルーホール導体によって前記グランド電極に電気的に接続されていることを特徴とする請求の範囲第１２項又は第１３項記載の半導体装置。

１５．少なくとも一の半導体チップが他の半導体チップと異なる半導体によって形成されていることを特徴とする請求の範囲第１１項乃至第１４項記載の半導体装置。

１６．複数個の半導体装置が実装された配線基板がこれら半導体装置と共に気密封止体によって気密封止されていることを特徴とする請求の範囲第１１項乃至第１４項記載の半導体装置。

１７．前記開口部は第１の導電層側が第２の導電層側よりも広く形成されていることを特徴とする請求の範囲第１項又は第１１項記載の半導体装置。

１８．絶縁層の表面側及び裏面側に第１の導電層及び第２の導電層がそれぞれ形成されているとともに、第２の導電層の一部が絶縁層に開設された開口部において表面側に露出されており、第１の導電層の一部及び第２の導電層の露出部にバンプがそれぞれ突設され、かつ、これらバンプの先端位置が同一面に揃えられているテープが準備されるテープ準備工程と、

前記テープの各バンプに対応する位置にパッド電極がそれぞれ形成されている半導体チップが準備される半導体チップ準備工程と、

前記半導体チップが前記テープに、各パッド電極を各バンプに整合されて圧接されることにより、フェースダウンボンディングされるボンディング工程と、

を備えていることを特徴とする半導体装置の製造方法。

１９．絶縁板の第１主面に複数の実装面部が形成されている配線基板が準備される配線基板準備工程と、

請求の範囲第１８項によって製造された半導体装置が複数個、前記配線基板準備工程で準備された配線基板の各実装面部に前記第２の導電層を半田付けされて機械的かつ電気的に接続される接続工程と、

を備えていることを特徴とする半導体装置の製造方法。

図 1

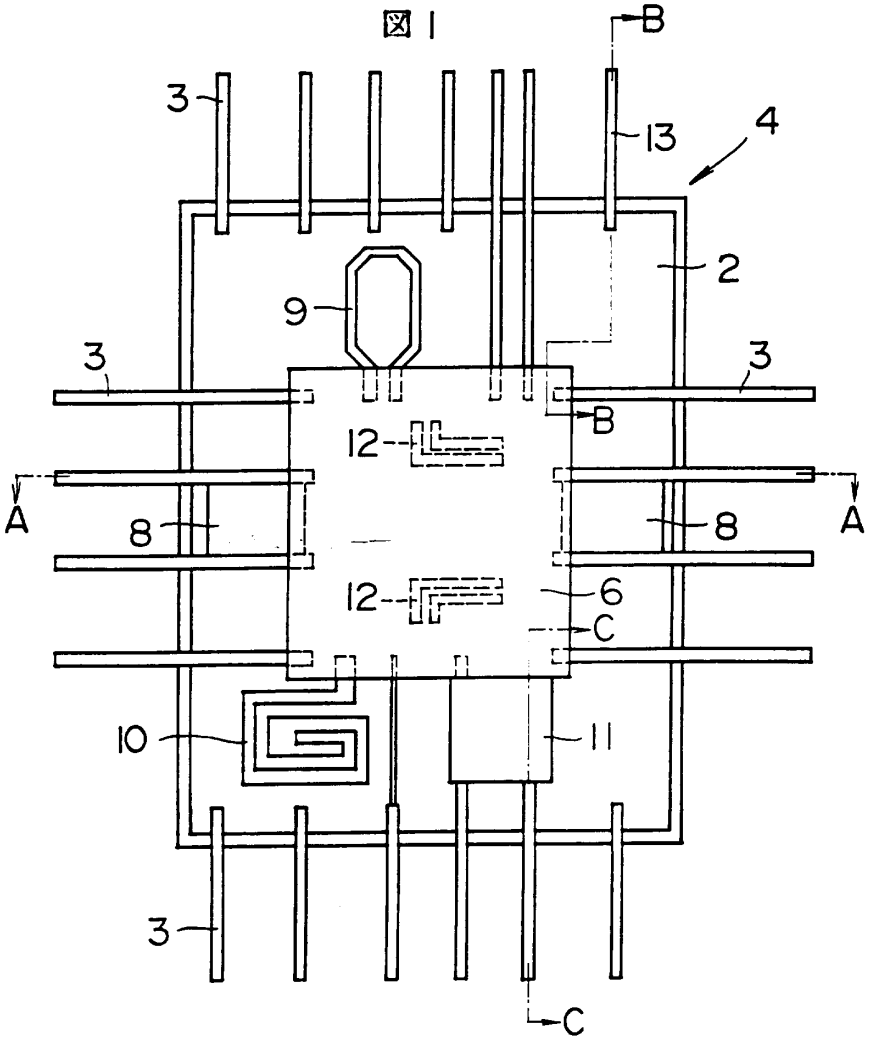


図2

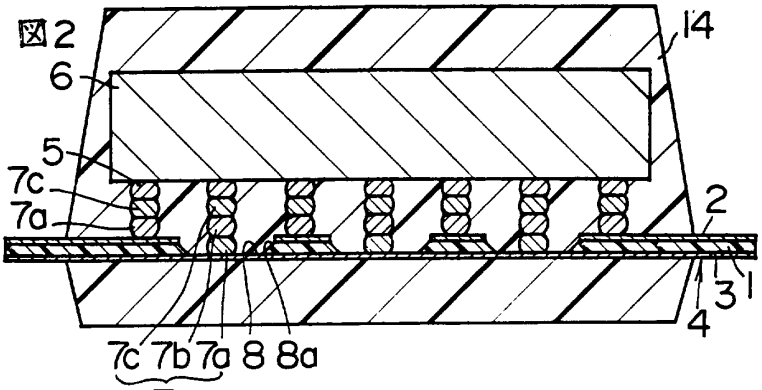


図3

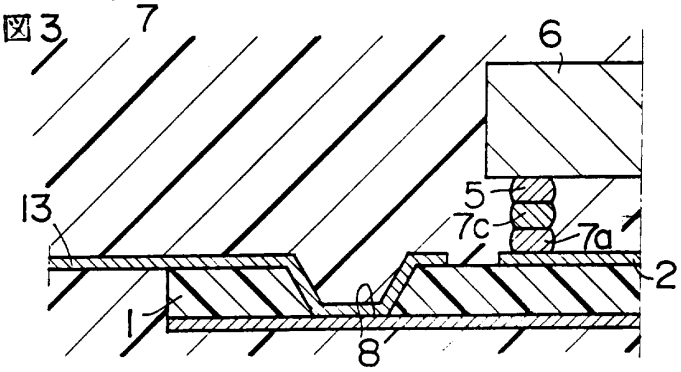


図4

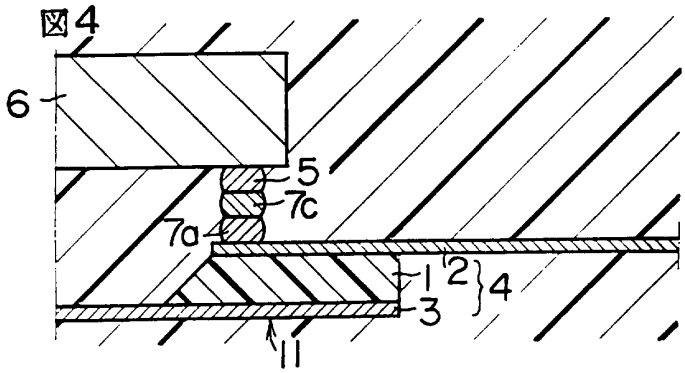


図 5

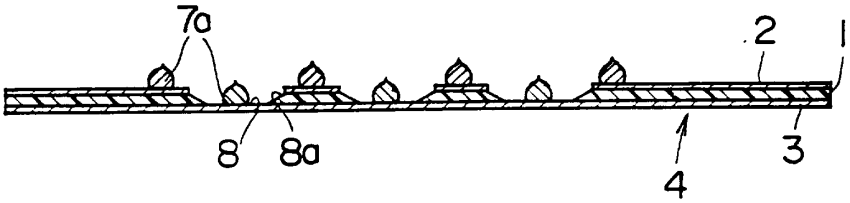


図 6

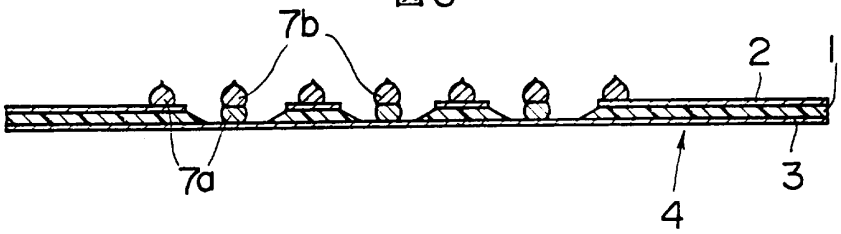


図 7

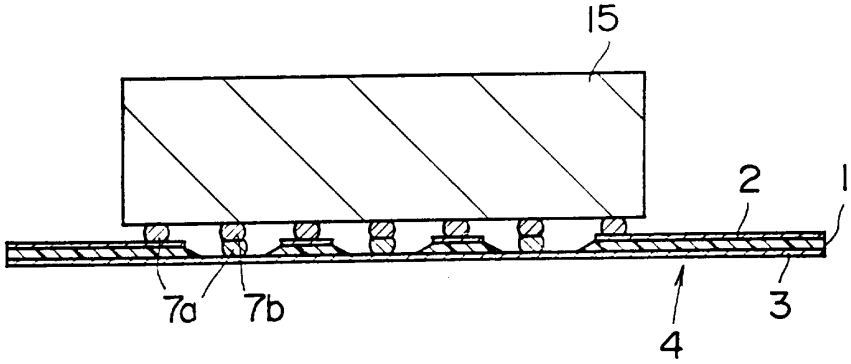


図 8

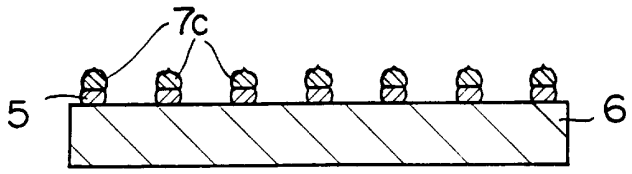


図 9

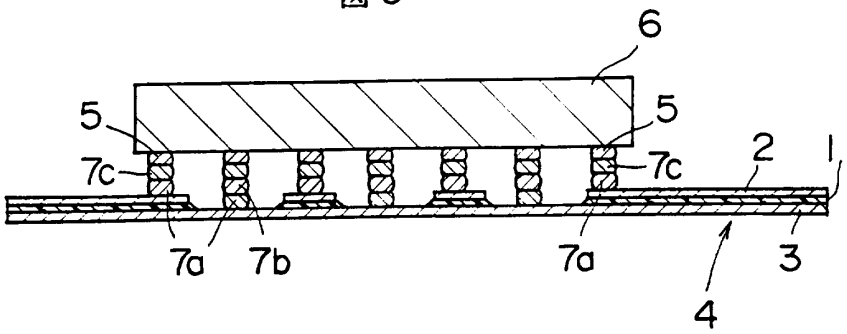


図10

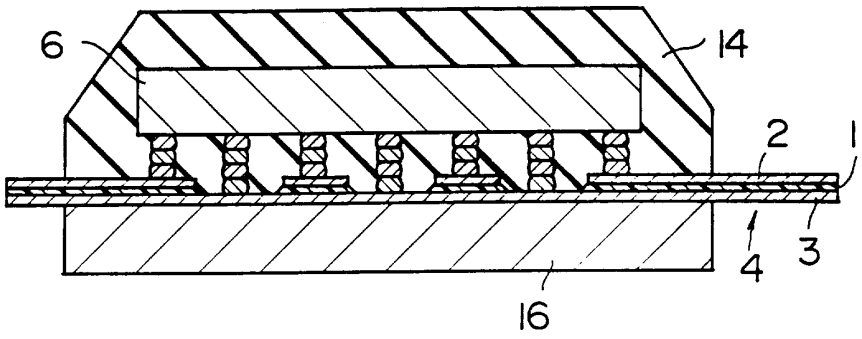


図11

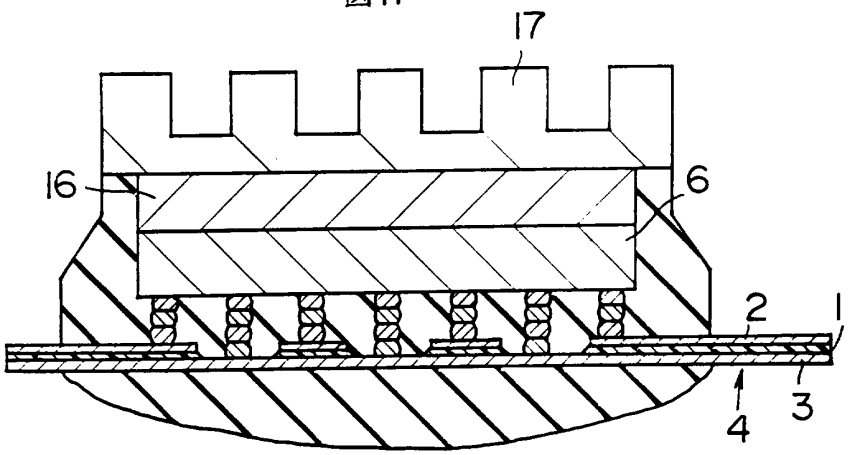
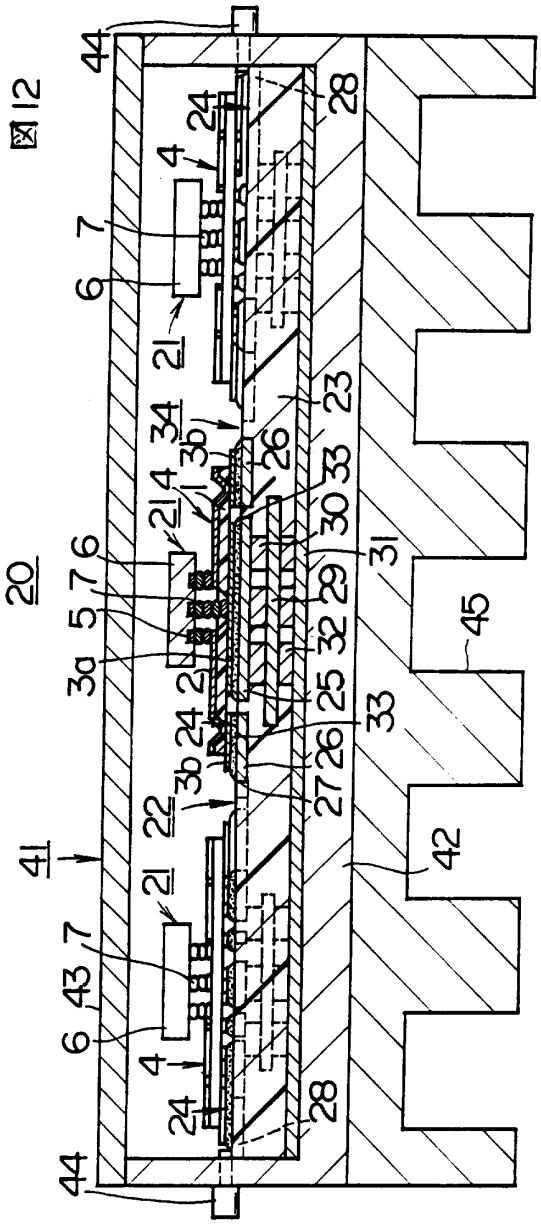


図12



6/12

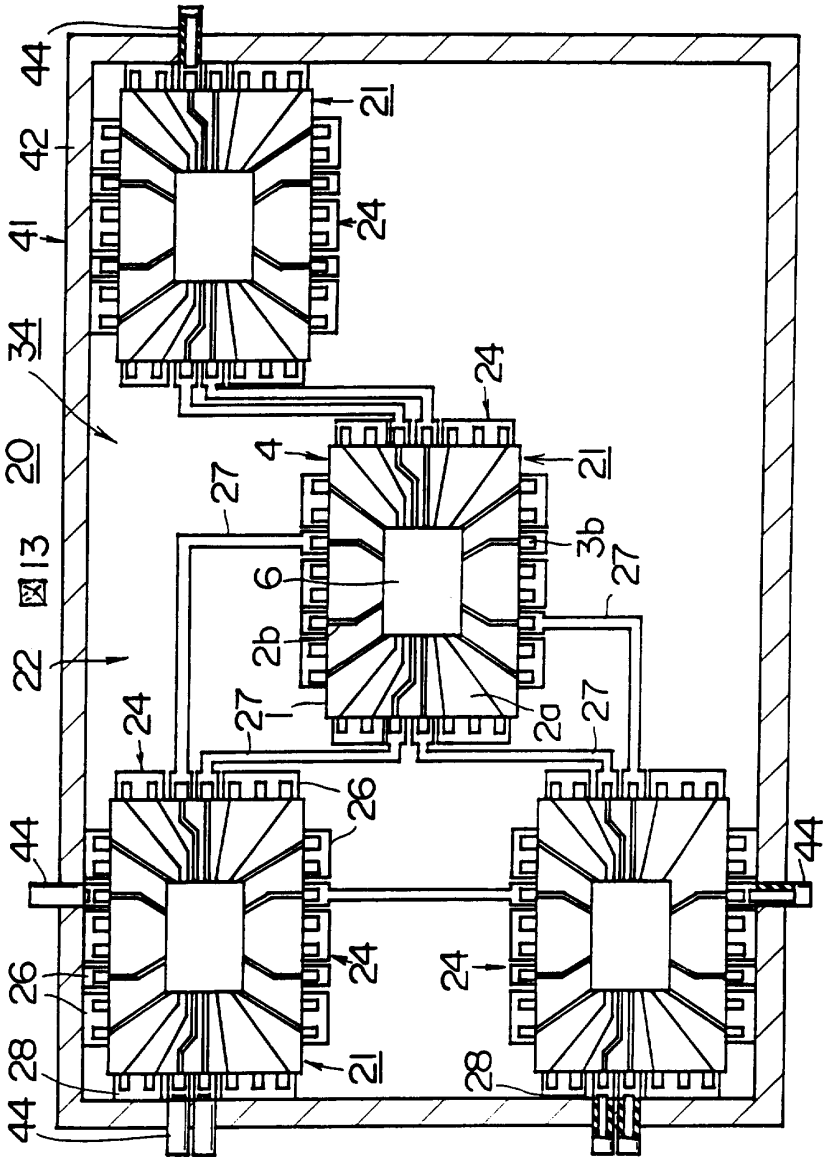


図13

図14

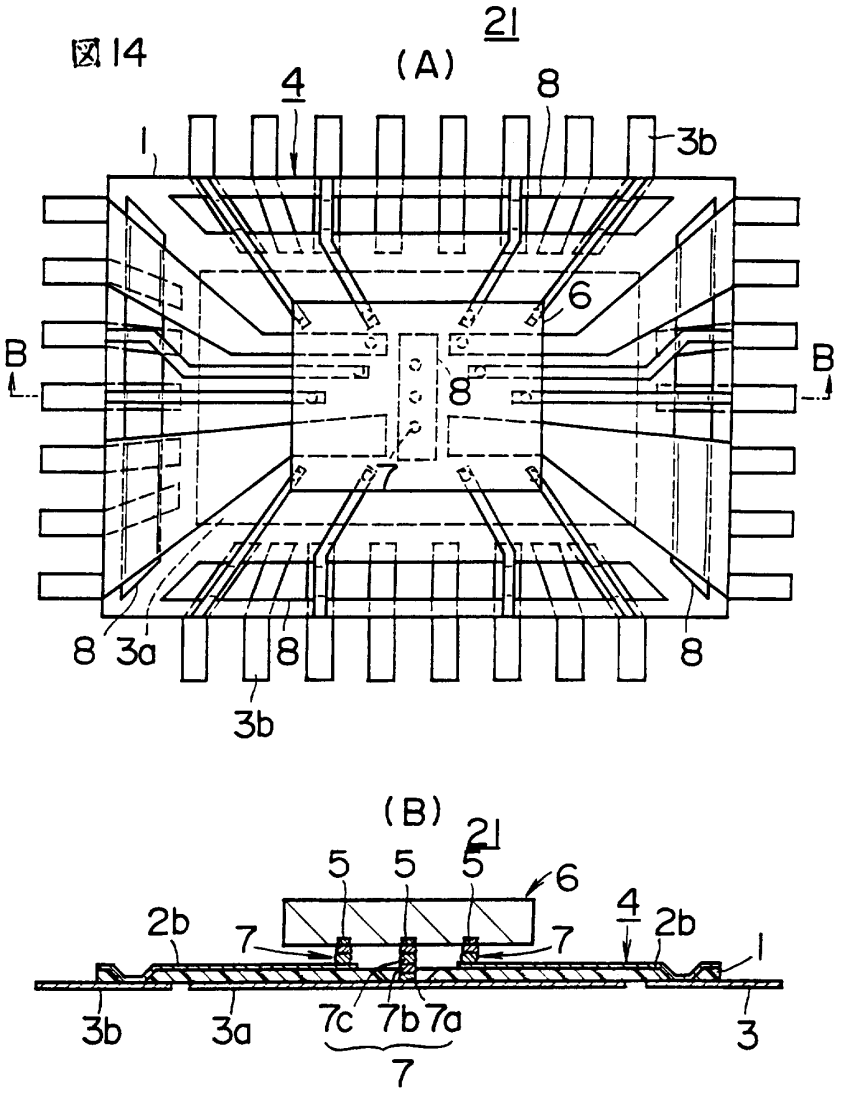


図15

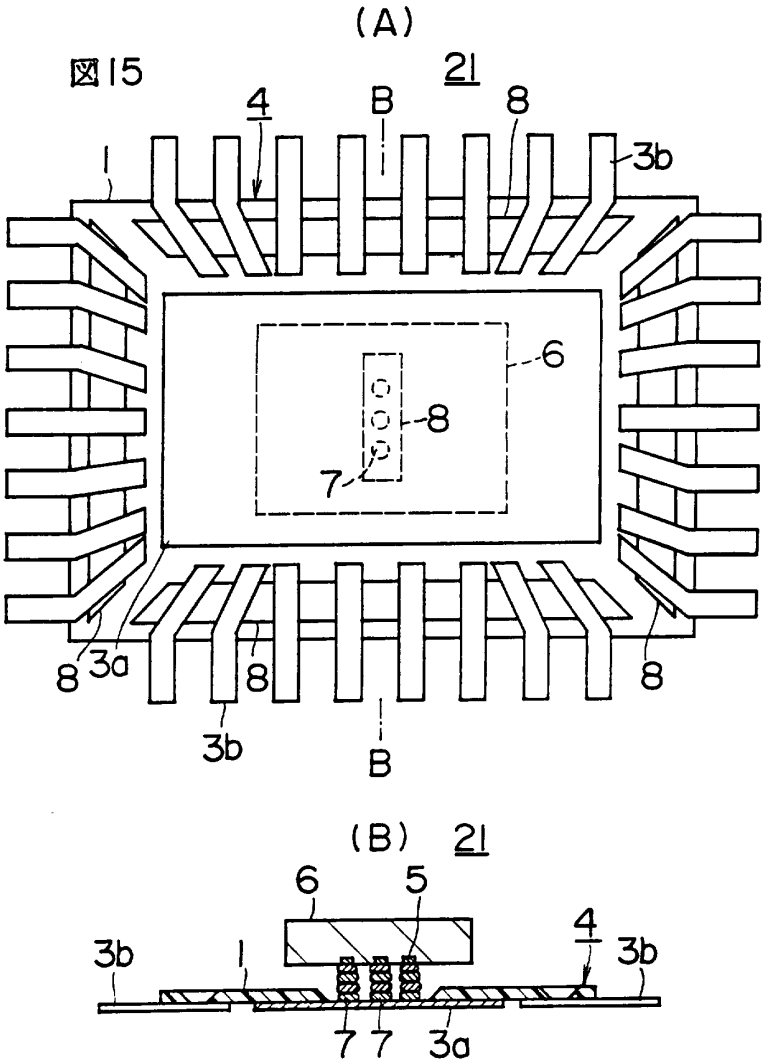
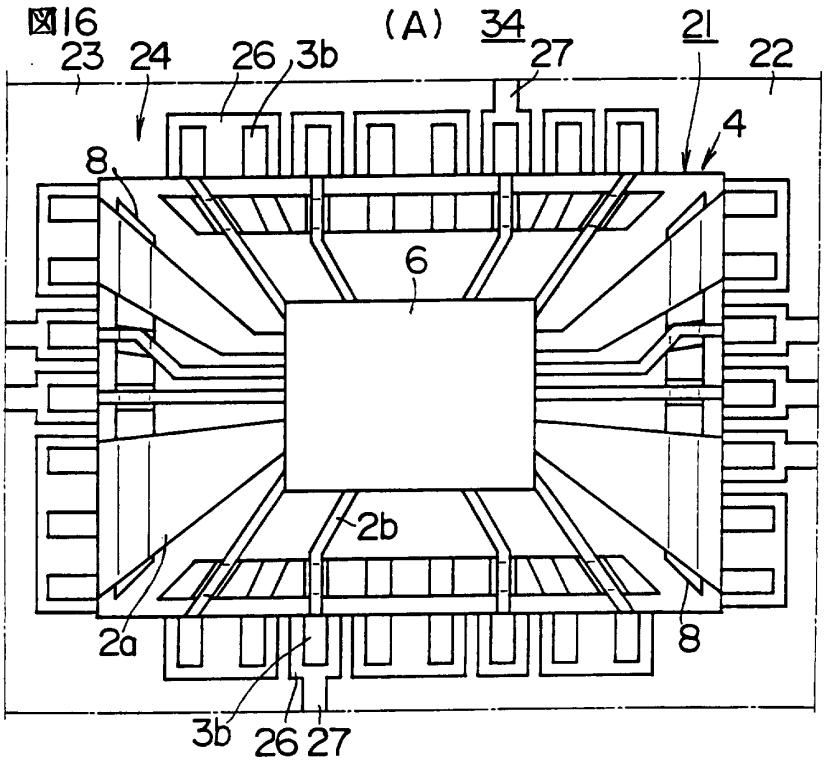
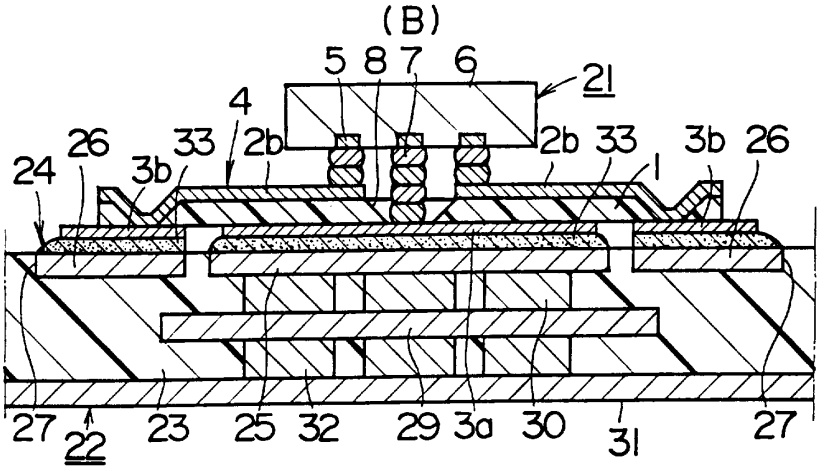


図16


(A)
34
21
23
24
26
3b
27
22
4
8
6
2b
2a
8
3b
26
27


(B)
5
8
7
6
21
4
26
33
2b
2b
33
3b
26
24
3b
1
27
22
23
25
32
29
3a
30
31
27

10/12

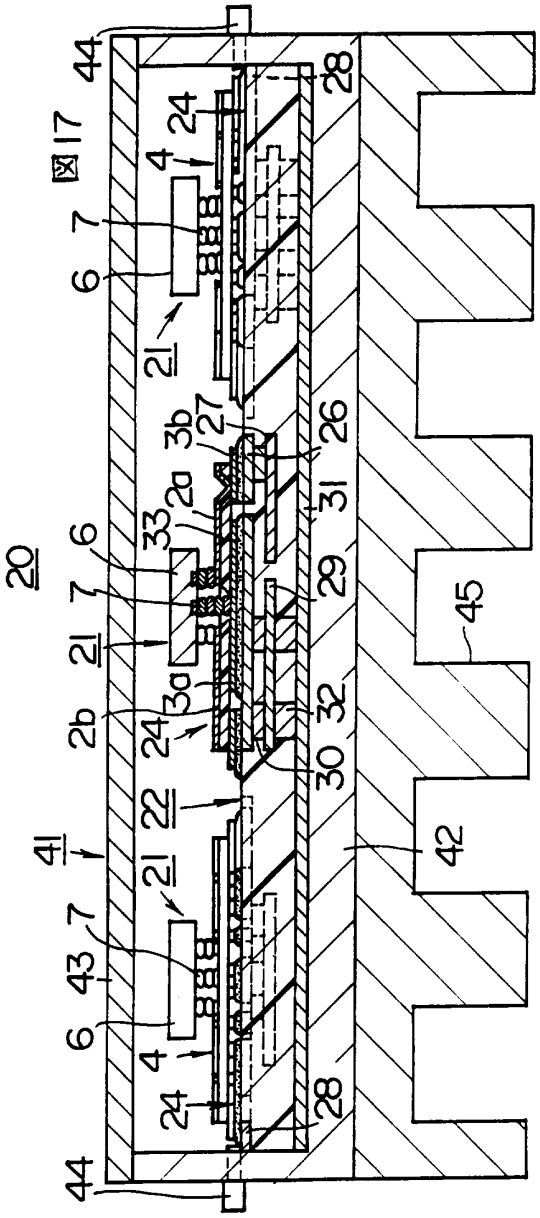
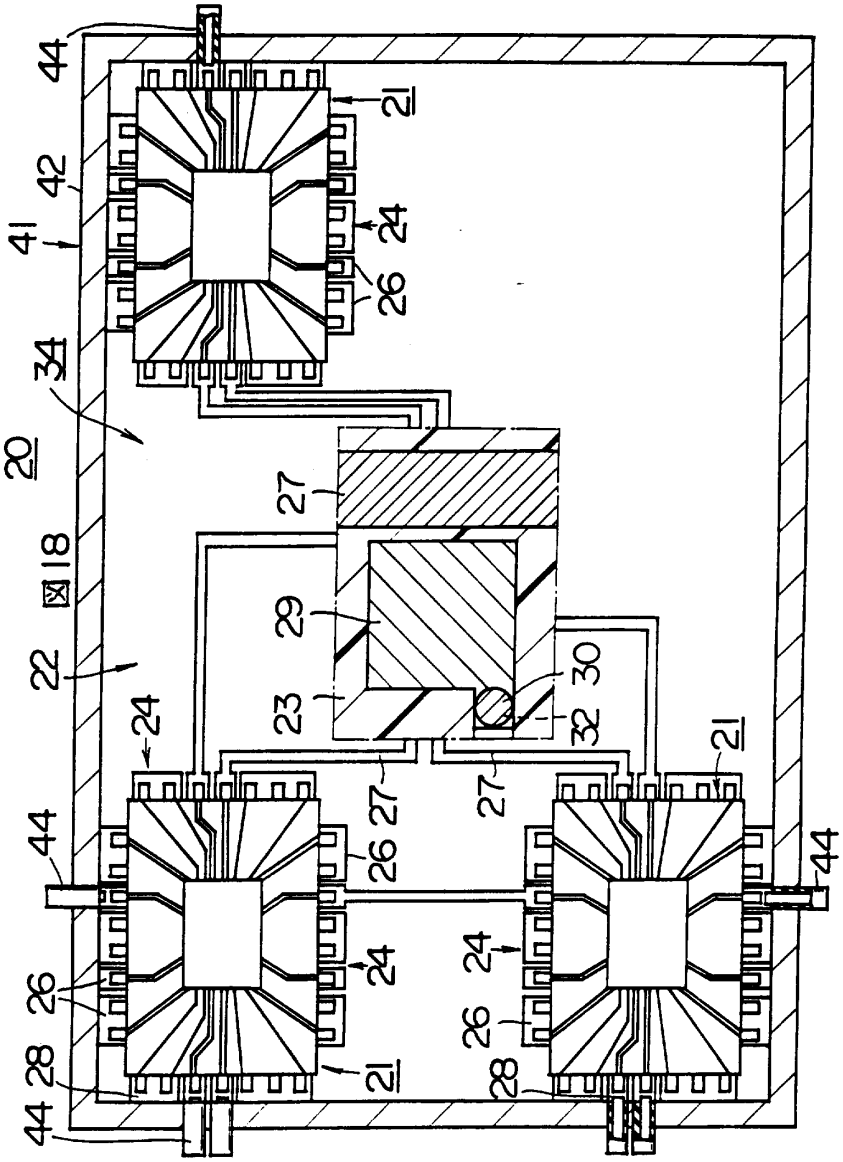


図17



12/12

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP95/02121

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl^6 H01L21/60

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl^6 H01L21/60

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926 - 1995
Kokai Jitsuyo Shinan Koho	1926 - 1995
Toroku Jitsuyo Shinan Koho	1994 - 1995

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 4-99341, A (NEC Corp.), March 31, 1992 (31. 03. 92), Lines 9 to 16, lower left column, page 2 (Family: none)	1 - 19
A	JP, 64-45134, A (Hitachi, Ltd.), February 17, 1989 (17. 02. 89), Line 11, lower right column, page 2 to line 7, upper left column, page 3 (Family: none)	1 - 19
A	JP, 3-9973, A (Shinko Denki Kogyo K.K.), January 17, 1991 (17. 01. 91), Line 17, upper left column to line 1, upper right column, page 4 (Family: none)	1 - 19
A	JP, 58-87360, U (NEC Corp.), June 14, 1983 (14. 06. 83), Lines 6 to 9, page 4 (Family: none)	1 - 19
A	JP, 64-84726, A (Toshiba Corp.), February 17, 1989 (17. 02. 89),	1 - 19

[X] Further documents are listed in the continuation of Box C. [ ] See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
December 8, 1995 (08. 12. 95)	January 16, 1996 (16. 01. 96)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP95/02121

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
	Line 12, lower right column, page 2 to line 7, upper left column, page 3 (Family: none)	

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

国際調査報告

国際出願番号 PCT/JP 95/02121

A. 発明の属する分野の分類（国際特許分類（IPC））

Int. Cℓ⁶ H01L21/60

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int. Cℓ⁶ H01L21/60

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926－1995年
日本国公開実用新案公報 1926－1995年
日本国登録実用新案公報 1994－1995年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー＊	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
A	JP，4－99341，A（日本電気株式会社），31. 3月. 1992（31. 03. 92），第2ページ左下欄9－16行（ファミリーなし）	1－19
A	JP，64－45134，A（株式会社 日立製作所），17. 2月. 1989（17. 02. 89），第2ページ右下欄11行－第3ページ左上7行（ファミリーなし）	1－19

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」先行文献ではあるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日
08. 12. 95

国際調査報告の発送日
16.01.96

名称及びあて先
日本国特許庁（ISA/JP）
郵便番号100
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）
加藤友也 印

4E9341

電話番号 03－3581－1101 内線 3426

様式PCT/ISA/210（第2ページ）（1992年7月）

国際調査報告

国際出願番号 PCT/JP 95/02121

C（続き）. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
A	JP，3－9973，A（新光電気工業株式会社），17. 1月. 1991（17. 01. 91），第4ページ左上欄17行－同ページ右上欄1行（ファミリーなし）	1－19
A	JP，58－87360，U（日本電気株式会社），14. 6月. 1983（14. 06. 83），第4ページ6－9行（ファミリーなし）	1－19
A	JP，64－84726，A（株式会社 東 芝），17. 2月. 1989（17. 02. 89），第2ページ右下欄12行－第3ページ左上欄7行（ファミリーなし）	1－19

様式PCT/ISA/210（第2ページの続き）（1992年7月）