



(12)

Patent specification

(21) Reference number: **10 2014 119 124.2**

(22) Filing date: **19.12.2014**

(43) Disclosure date: **02.07.2015**

(45) Publication day

the grant of the patent: **09.11.2023**

(51) Int Cl.: **H01L 21/336** (2006.01)

H01L 29/78 (2006.01)

H01L 29/423 (2006.01)

H01L 21/283 (2006.01)

An opposition may be filed against the patent in accordance with § 59 of the Patent Act within nine months after the publication of the patent grant. The objection must be explained and substantiated in writing. An opposition fee of 200 Euros must be paid (§ 6 Patent Costs Act in conjunction with the appendix to § 2 para. 1 Patent Costs Act) within the opposition period.

(30) EU priority:

14/143,789

12/30/2013

US

(73) Patent holder:

**Taiwan Semiconductor Manufacturing Company,
Ltd., Hsin-Chu, TW**

(74) Representatives:

BOEHMERT & BOEHMERT Anwaltspartnerschaft
mbB - Patent Attorneys Attorneys at Law, 28209
Bremen, Germany

(72) Inventors:

Chang, Che-Cheng, New Taipei City, TW; Chen, Yi-Jen, Hsinchu, TW; Chang, Yung Jung, Hsinchu, TW

(56) Determined prior art:

US 2009 / 0 194 816 A1

US	2000 / 0 104 510	A1
US	2010 / 0 072 523	A1

US	2011 / 0 117 679	A1
----	------------------	----

US	2011 / 0 117 519	A1
US	2012 / 0 052 644	A1

US	2012 / 0 032 044	A1
US	2013 / 0 234 254	A1

CC	201070201201	A
CN	102709249	A

(54) Description: **Semiconductor device structure and a method for manufacturing the same**

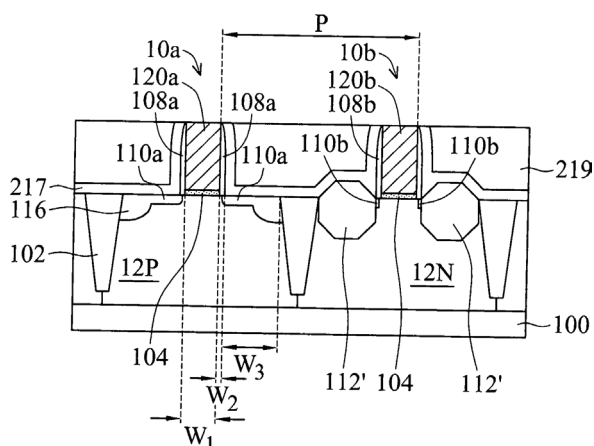
(57) Main claim: Method for forming a semiconductor device structure, comprising:

Forming a gate stack (10a, 10b) over a semiconductor substrate (100);

Forming a sealing structure (108a, 108b) over a side wall of the gate stack (10a, 10b):

Forming a continuous dummy shielding layer (204) over the semiconductor substrate (100), the sealing structure (108a, 108b) and the gate stack (10a, 10b), wherein the continuous dummy shielding layer (204) comprises a photoresist material;

Performing an ion implantation method on the continuous dummy shielding layer (204) in order to locate source and drain areas (112', 116) in the semiconductor substrate (100), wherein the continuous dummy shielding layer (204) functions as an implantation mask; and removing the continuous dummy shielding layer (204) after the source and drain areas (112', 116) are formed.



Description**BACKGROUND**

[0001] The semiconductor integrated circuit (IC) industry has experienced rapid growth. Technological advances in IC materials and construction have produced generations of ICs. Each generation features smaller and more complex circuits than the previous generation.

[0002] In the course of IC evolution, the functional density (i.e., the number of interconnected devices per chip area) has generally increased, while the geometric size (i.e., the smallest component (or line) that may be produced using a manufacturing process) has decreased. This miniaturization process generally results in increased manufacturing efficiency and a reduction of any related costs.

[0003] However, these advantages have increased the complexity of processing and manufacturing ICs. Since the features' dimensions continue to decrease, it becomes even more difficult to realize the manufacturing procedures. It thus constitutes a challenge to create reliable semiconductor devices of increasingly smaller dimensions.

From US 2009 / 0 194 816 A1 and US 2010 / 0 072 523 A1, manufacturing methods for transistor structures are known in which temporary spacers are formed to ensure a distance between a gate structure and source and drain areas.

US 2011 / 0 117 679 A1 describes a manufacturing method for a transistor device where a continuous layer is used to control the depth of implanted source and drain areas, whereby the continuous layer subsequently being partially removed.

CN 102 709 249 A discloses a further production method for a transistor structure, in which a continuous protective layer is applied over a temporary spacer in order to protect it when removing a structured photoresist implantation mask formed over the protective layer.

US 2013 / 0 234 254 A1 describes a method for producing a semiconductor device with a hybrid high-K/metal gate stack, on the side walls of which a sealing spacer and a main spacer are arranged wherein an etch stop layer is formed over the gate stack comprising the spacers.

From US 2012 / 0 052 644 A1, a transistor structure is known which has a gate structure comprising lateral spacers, wherein the spacer holders for a self-aligning implantation of slightly doped source/drain areas may be used.

BRIEF DESCRIPTION OF THE DRAWINGS

[0004] For a more complete understanding of the illustrative embodiments and their advantages, reference is now made to the following description in conjunction with the attached drawings.

Fig. 1A-1H illustrate cross-sectional views of various stages of a process for forming a semiconductor device structure in accordance with certain embodiments.

Fig. 2 shows a cross-sectional view of a semiconductor device structure in accordance with certain embodiments.

Fig. 3 shows a cross-sectional view of a semiconductor device structure in accordance with certain embodiments.

DETAILED DESCRIPTION OF THE CLARIFYING EMBODIMENTS

[0005] The object of the invention is to simplify the production of a semiconductor device with reduced gate spacings and to improve the electrical properties of such a semiconductor device. This task is achieved by specifying methods for forming a semiconductor device structure with the features of claim 1 or 10 and by specifying a semiconductor device structure with the features of claim 15. Preferred embodiments are specified in the dependent claims. The production and the use of various embodiments of the invention will be discussed in more detail below. However, it should be understood that the various forms of execution may be performed in a wide variety of specific contexts. The specific embodiments discussed are merely illustrative and do not limit the scope of the description.

[0006] It should be understood that the following description provides many different embodiments or examples for implementing the invention's various features. Specific examples of components and arrangements are described below in order to simplify the present description. Furthermore, implementing a first process prior to a second process in the following description may include embodiments in which the second process will be implemented immediately after the first process, and may also include embodiments in which additional processes may be implemented between the first and second processes. Different features may be presented arbitrarily at different scales for the purpose of simplification and clarity. Furthermore, the formation of a first feature above or on a second feature in the following description may include embodiments in which the first and second features are formed in direct contact and may also include embodiments in which additional features may be formed between the first and second features so that the first and second features are not in direct contact.

[0007] Certain variations of the execution forms are described. Within the different views and clarifying embodiments, the same reference numerals are used

to denote the same elements. Additional operating steps may be provided before, during and after the method, and some of the operating steps described may be replaced or eliminated for other embodiments of the methods.

[0008] Fig. 1A-1H are cross-sectional views of different phases of a method for forming a semiconductor device structure in accordance with certain embodiments. As shown in FIG. 1 A, a semiconductor substrate 100 is provided. In certain embodiments, the semiconductor substrate 100 is a semiconductor wafer (such as, for example, a silicon wafer) or a part of a semiconductor wafer. In certain embodiments, the semiconductor substrate 100 includes an elemental semiconductor material, including silicon or germanium in a single crystal, polycrystal or amorphous structure. In some other embodiments, semiconductor substrate 100 includes a composite semiconductor, such as, for example, silicon carbide, gallium arsenide, gallium phosphide, indium phosphide, indium arsenide, an alloy semiconductor, such as, for example, SiGe, GaAsP, AlInAs, AlGaAs, GaInAs, GaInP, GaInAsP, or a combination thereof. In certain embodiments, semiconductor substrate 100 includes multilayer semiconductors, a semiconductor on insulator (SOI) (such as, for example, silicon on insulator or germanium on insulator) or a combination thereof.

[0009] In certain embodiments, insulating structures 102 are formed in semiconductor substrate 100 in order to define different active areas in semiconductor substrate 100. Insulating structures 102 electrically insulate adjacent devices (for example transistors) from one another. Insulating structures 102 include, for example, a silicon oxide, silicon nitride, silicon oxynitride, fluorine-doped silicate glass (FSG), a low-K dielectric-material, other suitable materials or a combination thereof. Insulating structures 102 may be formed using an insulation technology, such as local oxidation of semiconductors (LOCOS), flat trench insulation (STI) or the like. In certain embodiments, the formation of insulating structures 102 includes structuring semiconductor substrate 100 by a photolithographic method, etching a channel in semiconductor substrate 100 (for example, using a dry etching, wet etching, plasma etching method or a combination thereof) and filling the channel (for example, using a chemical vapor deposition method) with an electrical material. In certain embodiments, the filled channel features a multi-layer structure, such as, for example, a thermal oxide lining filled with silicon nitride or silicon oxide.

[0010] In certain embodiments, a P-well area 12P and an N-well area 12N are successively formed in semiconductor substrate 100, as shown in FIG. 1A is shown. In certain embodiments, separate ion implantation processes are realized in order to form P-well area 12P and N-well area 12N, respectively. Using two different implantation mask layers, P-well area 12P

and N-well area 12N are subsequently formed in different ion implantation processes.

[0011] In certain embodiments, a first implantation mask layer (not shown) will be used to cover a first part of semiconductor substrate 100. The first implantation mask layer features an opening that exposes another part of the semiconductor substrate 100. In certain embodiments, the first implantation material layer is a structured photoresist layer. In certain other embodiments, the first implantation mask layer is a structured dielectric layer, such as for example a silicon nitride layer. A first ion implantation process will then be realized on the exposed part of semiconductor substrate 100 in order to form a well area, such as for example the P-well area 12P. P-type dopants are implanted in the exposed part of semiconductor substrate 100 for example to form P-well area 12P. The first implant mask layer will then be removed.

[0012] Thereafter, a second implantation mask position (not shown) is used to cover P-well area 12P in certain embodiments. The second implantation mask layer has an opening that exposes the part of semiconductor substrate 100 which was previously covered by the first implantation mask layer. In certain embodiments the second implantation mask layer is a structured photoresist layer. In some other embodiments, the second implantation mask layer is a structured dielectric layer, such as a silicon nitride layer, for example. After that, a second ion implantation process is performed to form a well area, such as, for example, N-well area 12N. For example, N-type dopants are implanted into the exposed part of semiconductor substrate 100 to form N-well area 12N.

[0013] Thereafter, in certain embodiments, a tempering process will be performed in order to bring in the implanted dopants. In certain other embodiments, N-well area 12N will be formed before forming P-well area 12P. In certain other embodiments, the P-well area will not be formed when semiconductor substrate 100 is a P-type semiconductor substrate. In some other embodiments, the N-well area will not be formed when semiconductor substrate 100 is an N-type semiconductor substrate.

[0014] As shown in FIG. 1 A, gate stacks are formed over the semiconductor substrate 100 in accordance with certain embodiments. To simplify the diagram, only two gate stacks 10a and 10b are shown. The semiconductor device structure may include fewer or more gate stacks. Each of gate stacks 10a and 10b closes a gate dielectric layer 104 and a gate electrode, such as gate electrodes 106a and 106b as shown in FIG. 1A. In certain embodiments, gate dielectric layer 104 is made of silicon oxide, silicon oxynitride, a material with a high dielectric constant (high-k material) or a combination thereof. The material with high dielectric constant may include hafnium oxide (HfO₂), hafnium silicon oxide (HfSiO), hafnium silicon

oxynitride (HfSiON), hafnium tantalum oxide (HfTaO), hafnium titanium oxide (HfTiO), hafnium zirconium oxide (HfZrO), other suitable high-k dielectrics or a combination thereof. The high-k material may also contain metal oxides, metal nitrides, metal silicates, transition metal oxides, transition metal nitrides, transition metal silicates, oxynitrides of metals, metal aluminates, zirconium silicate, zirconium aluminate, silicon oxide, silicon nitride, silicon oxynitride, zirconium oxide, titanium oxide, aluminum oxide, hafnium dioxide alumina (HfO₂-Al₂O₃) alloy, other suitable materials or a combination thereof.

[0015] In certain embodiments, gate dielectric layer 104 will be applied by means of a suitable procedure, such as atomic layer deposition (ALD), chemical gas phase deposition (CVD), physical gas phase deposition (PVD), remote plasma CVD (RPCVD), plasma enhanced CVD (PECVD), organometallic CVD (MOCVD), sputtering, coating, other applicable processes, or a combination thereof.

[0016] A gate electrode layer will then be applied over gate dielectric layer 104. In certain embodiments, the gate electrode layer will be made of polysilicon and, formed for example by means of a CVD method or other suitable methods.

[0017] Thereafter, gate dielectric layer 104 and the gate electrode layer are patterned, for example by using a photolithographic and etching process, to form the gate stacks including gate stacks 10a and 10b. The gate electrode layer will therefore be structured as multiple gate electrodes, including gate electrodes 106a and 106b, as shown in **FIG. 1A**.

[0018] Thereafter, one or more sealing structures, such as sealing structures 108a and 108b, will be formed over side walls of gate stacks 10a and 10b, as shown in accordance with certain embodiments in **FIG. 1A**. Sealing structures 108a and 108b may be used to protect gate stacks 10a and 10b from damage when subsequent process steps are performed. In certain embodiments, connection structures 108a and 108b are made of an electrical material. The dielectric material includes, for example, silicon nitride, silicon oxide, silicon oxynitride, other suitable materials or a combination thereof. In certain embodiments, a sealing layer will be applied over gate stacks 10a and 10b and semiconductor substrate 100 by means of a suitable method, such as a CVD method, for example. An etching process, such as a dry etching process, will then be performed in order to partially remove the sealing layer. The sealing layer that remains on the opposite side walls of gate stacks 10a and 10b forms sealing structures 108a and 108b.

[0019] Thereafter, doped areas 110a and 110b are formed in semiconductor substrate 100, as shown in accordance with certain embodiments in **FIG. 1A**. Separate ion implantation procedures were performed in order to successively form doped areas 110a and

110b. In certain embodiments, an implantation mask layer (not shown) will be used to cover N-well area 12N. An implantation procedure will then be performed, also with the gate stack 10a as an implantation mask, in order to form doped areas 110a. In certain embodiments, N-type dopants are implanted into P-well 12P to form doped areas 110a. Similarly, doped areas 110b are formed in N-well area 12N using another implantation method. Another implantation mask layer (not shown) is also used to aid in the formation of doped areas 110b. Therefore, P-type dopants are implanted in N-well area 12N to form doped area 110b without being implanted in P-well area 12P.

[0020] Doped areas 110a and 110b are present in each case on opposite sides of gate stacks 10a and 10b and in semiconductor substrate 100. In certain embodiments, a part of doped area 110a is located near gate stack 10a and below sealing structure 108a. In certain embodiments, doped area 110a serves as a slightly doped source/drain area (LDS/D area). In certain embodiments, a part of doped area 110b is located near gate stack 10b and below sealing structure 108b. In certain embodiments, doped area 110b serves as an LDS/D area. In certain embodiments, the implantation methods are performed at a tilted angle, so that formed doped areas 110a and 110b extend in each case under gate stacks 10a and 10b.

[0021] As shown in **FIG. 1B**, in accordance with certain embodiments, a part of semiconductor substrate 100 is removed in order to form recesses 111 in semiconductor substrate 100. As shown in **FIG. 1B**, recesses 111 extend into N-well area 12N from a surface of semiconductor substrate 100. As shown in **FIG. 1B**, doped areas 110b are partially removed. In certain embodiments, doped areas 110b lie between recesses 111. In certain embodiments, a photolithographic method and an etching procedure will be performed in order to form recesses 111. Embodiments of the invention may feature a variety of variations. In certain embodiments, recesses 111 will be formed before doped areas 110b are formed.

[0022] As shown in **FIG. 1C**, source/drain stressors 112 are grown epitaxially or formed in recesses 111 in accordance with certain embodiments. Source/drain stressors 112, in accordance with certain embodiments, include SiGe or other applicable materials. For example, in certain embodiments, source/drain stressors 112 may be used to provide stress to the channel region under gate stack 10b in order to increase carrier mobility. In certain embodiments, the source/drain stressors 112 are doped simultaneously during their growth or formation. Alternatively, a subsequent implantation method is performed in order to dope the source/drain stressors 112 following the growth or formation of source/drain stressors 112. In certain embodiments, however, source/drain stressors 112 may not be formed.

Recesses 111 will not be formed.

[0023] As shown in **FIG. 1D**, in accordance with certain embodiments, dummy shielding layer 204 will be applied over semiconductor substrate 100, sealing structures 108a and 108b and gate stacks 10a and 10b. In certain embodiments, dummy shielding layer 204 functions as a temporary main spacer holder for subsequent implantation procedures.

[0024] In certain embodiments, dummy shielding layer 204 may be made of a photoresist material. The photoresist material may include a mixture of carbon, hydrogen and oxygen, other suitable materials or a combination thereof. In certain embodiments, dummy shielding layer 204 includes a photosensitive polymer. The photosensitive polymer may include poly(methyl) methacrylate (PMMA), acrylic resin, methacrylate resin, hybrid type resin, other suitable photosensitive polymers, or a combination thereof. In certain embodiments, dummy shielding layer 204 includes a photoacid generator, such as ammonium salt, diazomethane or other suitable photoacid generator. In certain embodiments, dummy shielding layer 204 includes cetyltrimethylammonium hydroxide.

[0025] In certain embodiments, dummy shielding layer 204 may be applied using a spin-on method, CVD method, other applicable methods, or a combination thereof. The thickness of dummy shielding layer 204 may be adjusted according to the requirements. In certain embodiments, the thickness of dummy shielding layer 204 lies in a range of approximately 5 nm and approximately 20 nm. In certain embodiments, the thickness of dummy shielding layer 204 ranges from approximately 7 nm and approximately 15 nm.

[0026] In certain embodiments, anti-reflection dielectric (ARD) layer 202 may be applied before applying dummy shielding layer 204. In certain embodiments, ARD layer 202 will be made of silicon nitride, titanium nitride, other applicable materials or a combination thereof. In certain embodiments ARD layer 202 has a thickness ranging between approximately 1 nm and approximately 5 nm. However, in some other embodiments, ARD layer 202 will not be required or formed.

[0027] As shown in **FIG. 1E**, an implantation procedure will be performed in accordance with certain embodiments in order to obtain doped areas 116 in semiconductor substrate 100. Dummy shielding layer 204 functions as an implantation mask. Therefore, doped area 116 (e.g. S/D area) will be formed adjacent to doped area 110a (e.g. LDS/D area). In certain embodiments, N-type dopants are implanted to form doped areas 116. In certain embodiments, an implantation mask layer (not shown) may be used to ensure that the N-type dopants will not be implanted into source/drain stressors 112. After doped areas 116 are formed, the implantation mask layer will be

removed. In certain embodiments, doped area 116 is a highly doped source/drain area (S/D area). After the implantation procedure has been performed on the S/D area, a tempering procedure, such as a rapid thermal process (RTP), may be performed to repair the crystal structure of the silicon in the S/D area and to activate the dopants in the S/D area. As shown in **FIG. 1E**, doped area 116 will not be covered by sealing structure 108a in certain embodiments.

[0028] In certain embodiments, another implantation method may be performed in order to dope source/drain stressors 112 by means of suitable dopants. In certain embodiments, the P-type dopants may be implanted into source/drain stressors 112. As a result, source and drain areas 112' are formed on opposite sides of gate stack 10b, as shown in **FIG. 1E**. The implantation method for forming source and drain areas 112' may be performed before or after the formation of doped areas 116. Similarly, an implantation mask layer (not shown) may be used to ensure that the dopants will be implanted in suitable positions.

[0029] As shown in **FIG. 1F**, dummy shielding layer 204 and ARD layer 204 (if formed) may be removed in accordance with certain embodiments. In certain embodiments, the dummy shielding layer 204 may be completely removed. In certain embodiments, dummy shielding layer 204 may be made of a photoresist material. Therefore, dummy shielding layer 204 may be easily removed using an incineration method or stripping method. In certain embodiments, dummy shielding layer 204 acts as a temporary main spacer and is easily removable. In certain embodiments, after dummy shielding layer 204 has been removed, no area will be occupied by dummy shielding layer 204 (the temporary main spacer). As a result, the contact surface will be enlarged. In certain embodiments, it will not be necessary to form a dielectric layer and carefully etch and prepare the profile to form a main spacer. Procedure times and costs will be significantly reduced. In the construction of structures of the gate stacks, it will not be necessary, in accordance with certain embodiments, to define areas for the formation of the main spacer. Denser structures may be constructed in this manner. Pitches between gate stacks may be reduced.

[0030] Etching stop layer 217 will then be applied over semiconductor substrate 100, gate stacks 10a and 10b and sealing structures 108a and 108b, as shown in **FIG. 1G** in accordance with certain embodiments. In certain embodiments, etching stop layer 217 includes a silicon nitride layer. In certain embodiments, etching stop layer 217 will be applied conformably over semiconductor substrate 100. In certain embodiments, etching stop layer 217 will be formed using a suitable method, such as a CVD method, for example. In certain embodiments, etching stop layer 217 also serves as a stress position, which increases the

carrier mobility in the channel areas under the gate stacks, which therefore improves the operation of a semiconductor device formed as a result.

[0031] As shown in **FIG. 1G**, in accordance with certain embodiments, etching stop plague 217 is present in direct contact with sealing structures 108a and 108b. In certain embodiments, there exists no main spacer or intermediate layer between the sealing structure (108a or 108b) and etching stop layer 217. In certain embodiments, the entire outer surface of the sealing structure (108a or 108b) will be in direct contact with etching stop layer 217.

[0032] Insulating layer 219 will subsequently be applied over etching stop layer 217, as shown in **FIG. 1G** in accordance with certain embodiments. In certain embodiments, insulating layer 219 may be produced from a suitable dielectric material. The suitable dielectric material may be silicon oxide, silicon oxynitride, borosilicate glass (BSG), phosphosilicate glass (PSG), boron phosphosilicate glass (BPSG), fluorosilicate glass (FSG), low-k material, porous dielectric material, other applicable materials or a combination thereof. A suitable method, such as, for example, a CVD method, HDPCVD method, spin-on method, sputtering method, or a combination thereof, will be performed in accordance with certain embodiments in order to form insulating layer 219.

[0033] In certain embodiments, a planarization method may be performed in order to thin insulating layer 219. According to the planarization method, insulating layer 219 features an essentially planar surface in order to facilitate subsequent method steps. The planarization process includes, for example, a chemical-mechanical polishing process (CMP). In certain embodiments, one or more metal gate replacement methods are subsequently performed in order to replace gate electrodes 106a and/or 106b using suitable metal materials. However, the embodiments of the invention are not limited thereto. In certain other embodiments, gate electrodes 106a and 106b will not be replaced. In certain other embodiments, one of gate electrodes 106a and 106b may not be replaced.

[0034] After the planarization of insulating layer 219, gate electrodes 106a and 106b, which serve as dummy gate electrodes, are removed in order to form openings 118a and 118b, as shown in **FIG. 1G** in accordance with certain embodiments. In certain embodiments, an etching process may be performed in order to remove gate electrodes 106a and 106b at the same time. In certain other embodiments, gate electrodes 106a and 106b will be removed separately in different etching methods.

[0035] In certain embodiments, gate electrodes 106a and 106b may be removed using a wet etching process. For example, an etching solution containing an NH_4OH solution, diluted HF, another suitable

etching solution, or a combination thereof may be used. In certain embodiments, gate electrodes 106a and 106b may be removed by means of a dry etching process. Exemplary etching agents include fluorine- and/or chlorine-based etching agents.

[0036] As shown in **FIG. 1H**, metal gate electrodes 120a and 120b are successively formed in openings 118a and 118b in accordance with certain embodiments. In certain embodiments, each of the metal gate electrodes 120a and 120b includes a work function layer or layers and a gate electrode layer. The gate electrode layer has the function of providing an electrical connection between the exit work layer(s) and a subsequently formed contact coupled to the gate electrode layer. In certain embodiments, the gate electrode layer may be made of a suitable metal material. The suitable metal material may include aluminum, tungsten, gold, platinum, cobalt, other suitable metal materials, an alloy thereof or a combination thereof.

[0037] The exit work function position(s) provide(s) the desired work function for transistors in order to improve the performance of the device, including improved threshold voltage. In the embodiments of the formation of an NMOS transistor, the work function position(s) may be an N-type metal which is able to provide a work function value suitable for the device. The work function value is, for example, equal to or less than about 4.5 eV. The n-type metal may be metal, metal carbide, metal nitride or a combination thereof. For example, the N-type metal includes tantalum, tantalum nitride or a combination thereof. In certain embodiments, the metal gate electrode 120a includes the N-type metal.

[0038] On the other hand, in the embodiments regarding the forming a PMOS transistor, the work function position(s) may be a P-type metal which is able to provide a work function value suitable for the device. The work function value is, for example, equal to or greater than approximately 4.8 eV. The P-type metal may include metal, metal carbide, metal nitride, other suitable materials or a combination thereof. For example, the P-type metal includes titanium, titanium nitride, other suitable materials or a combination thereof. In certain embodiments, the metal gate electrode 120b includes the P-type metal.

[0039] The work function layer(s) may also be made of hafnium, zirconium, titanium, tantalum, aluminum, metal carbide (e.g., hafnium carbide, zirconium carbide, titanium carbide, aluminum carbide), aluminides, ruthenium, palladium, platinum, cobalt, nickel, conductive metal oxides or a combination thereof.

[0040] In certain embodiments, metal gate electrode 120a may be formed before forming metal gate electrode 120b. In certain embodiments, a mask layer (not shown) will be formed to cover and/or fill opening

118b to ensure that metal gate electrode 120 will be formed in opening 118a and not in opening 118b. The mask layer may also be referred to as a blocking layer. In certain embodiments, the mask will be made of polysilicon, amorphous silicon, silicon nitride, silicon oxide, spin-on glass, other suitable materials, or a combination thereof.

[0041] In certain embodiments, a hard mask material may be applied over insulating layer 219 in order to overfill openings 118a and 118b. A planarization method will then be performed in order to remove the hard mask material except for openings 118a and 118b. In certain embodiments, a mask element (not shown) may be formed to cover the hard mask material remaining in opening 118b, so that the hard mask material remaining in opening 118a will be exposed. In certain embodiments, the mask element consists of a structured photoresist layer. In accordance with certain embodiments, the hard mask material remaining in opening 118a will subsequently be removed by means of a suitable etching agent. The mask element will then be removed. As a result, in certain embodiments the hard mask material remaining in opening 118b forms the mask layer which covers and/or fills the opening 118b. In certain embodiments, the mask layer will be used to ensure that metal gate electrode 120 will be formed in opening 118a and not in opening 118b.

[0042] In certain embodiments, the work function layer(s) (such as, for example, an N-type metal) are applied over insulating layer 219 and the side walls and bottoms of opening 118a using a suitable application method. The appropriate application procedure may include a PVD procedure, coating procedure, CVD procedure, other applicable procedures, or a combination thereof. The gate electrode layer will subsequently be applied using, for example, a PVD process, coating process, CVD process, or similar over the exit work function layer(s). The gate electrode layer and the work function layer(s) will then be structured in order to remove the parts outside opening 118a. In certain embodiments, a planarization method, such as a CMP method, will be performed in order to remove the parts outside opening 118a. As a result, metal gate electrode 120a will be formed. The mask layer which covers and/or fills opening 118b will then be removed.

[0043] Metal gate electrode 120b will subsequently be formed in opening 118b, as shown in **FIG. 1H** in accordance with certain embodiments. The work function layer(s) (such as, for example, a P-type metal) and the gate electrode layer will then be formed to fill opening 118b, and structured to form metal gate electrode 120b. However, it should be recognized that embodiments of the invention are not limited thereto. In certain other embodiments, metal gate electrode 120b may be formed before metal gate electrode 120a.

[0044] The invention's embodiments feature a multitude of variations. As mentioned above, gate electrodes 106a and 106b may be removed separately in different etching methods. In certain embodiments, gate electrode 106a may be removed in a first etching process, and gate electrode 106b may be covered by a mask layer (not depicted) and will remain. Metal gate electrode 120a will then be formed in opening 118a. Gate electrode 106b will be removed after metal gate electrode 120a has been formed. Metal gate electrode 120b will subsequently be formed in opening 118b.

[0045] In certain other embodiments, a first exchange process may be performed in order to replace gate electrode 106b with metal gate electrode 120b. A second exchange process may then be performed in order to replace gate electrode 106a with metal gate electrode 120b.

[0046] As shown in **FIG. 1H**, gate stack 10a features thickness or width $W1$. In certain embodiments, width $W1$ will be ranging between approximately 10 nm and approximately 40 nm. As shown in **FIG. 1H**, in certain embodiments sealing structure 108a features thickness or width $W2$ ranging between approximately 5 nm and approximately 15 nm. In certain other embodiments, width $W2$ may be ranging between approximately 7 nm and approximately 10 nm. In certain embodiments, width $W2$ will be the width of the bottom part of sealing structure 108a.

[0047] In certain embodiments, width $W1$ of gate stack 10a will be larger than width $W2$ of sealing structure 108a. In certain embodiments, a width ratio of sealing structure 108a to gate stack 10a ($W2/W1$) will be ranging between approximately 0.05 and approximately 0.7. In certain other embodiments, the width ratio ($W2/W1$) may be ranging between approximately 0.1 and approximately 0.5.

[0048] As mentioned above, dummy shielding layer 204 may be used as a temporary main spacer holder and will be removed after S/D areas are formed. The area used as the contact surface will not be occupied by a main spacer. As a result, the contact area will be increased. As shown in **FIG. 1H**, the contact area will be substantially equal to width $W3$. In certain embodiments, width $W3$ is measured from a lower surface of sealing structure 108a to an outer edge of insulating structure 102. In certain embodiments, width $W3$ may range between approximately 20 nm and approximately 50 nm. In certain other embodiments, width $W3$ will range between about 30 nm and about 40 nm. Therefore, it is easier to form a contact over a larger contact area as no main spacer occupies the contact area. The performance and output will be improved accordingly.

[0049] As shown in **FIG. 1H**, the semiconductor device structure features a gate-to-gate pitch P . Since no space is occupied by a main spacer or the temporary main spacer (dummy shielding layer 204

which had been removed), the gate-to-gate pitch P will be reduced compared to other semiconductor device structures featuring main spacers. In certain embodiments, the gate-to-gate pitch P may be ranging between approximately 30 nm and approximately 90 nm. In certain other embodiments, the gate-to-gate pitch may range between approximately 40 nm and approximately 70 nm.

[0050] Metal gate electrodes 120a and 120b are each in direct contact with sealing structures 108a and 108b, as shown in **FIG. 1H** in accordance with certain embodiments. For example, sealing structures 108a and 108b are each in direct contact with the work function positions of metal gate electrodes 120a and 120b. However, in certain other embodiments, there exists a different position between the metal gate electrode and the sealing structure, which will be described in more detail below.

[0051] **Fig. 2** depicts a cross-sectional view of a semiconductor device structure in accordance with certain embodiments. In certain embodiments, gate dielectric layer 104 may also be replaced by other gate dielectric layer(s). As shown in **FIG. 2**, gate dielectric layers 304a and 304b are successively formed over the bottoms and the side walls of openings 118a and 118b in order to replace gate dielectric layer 104 in accordance with certain embodiments. In certain other embodiments, gate dielectric layers 304a and 304b may be structured from the same dielectric layer. In these cases, the materials of gate dielectric layers 304a and 304b will be the same. In certain embodiments, after gate dielectric layers 304a and 304b are formed, a mask layer (not shown) will be formed to cover and/or fill one of the openings (118a or 118 b) in order to assist in the subsequent formation of metal gate electrodes 120a and 120b. Similar to the embodiments shown in **Fig. 1H**, metal gate electrodes 120a and 120b will be formed sequentially.

[0052] Gate dielectric layers 304a and 304b may enclose a material with a high dielectric constant (high-k material). The high-k material may include hafnium oxide (HfO_2), hafnium silicon oxide (HfSiO), hafnium silicon oxynitride (HfSiON), hafnium tantalum oxide (HfTaO), hafnium titanium oxide (HfTiO), hafnium zirconium oxide (HfZrO), other suitable high-k dielectric materials, or a combination thereof. The high-k material may furthermore contain metal oxides, metal nitrides, metal silicates, transition metal oxides, transition metal nitride, transition metal silicates, oxynitrides of metals, metal aluminates, zirconium silicate, zirconium aluminate, silicon oxide, silicon nitride, silicon oxynitride, zirconium oxide, titanium oxide, aluminum oxide, hafnium dioxide alumina ($\text{HfO}_2\text{-Al}_2\text{O}_3$) alloy, other suitable materials, or a combination thereof.

[0053] As shown in **FIG. 2**, in accordance with certain embodiments, metal gate electrode 120a or 120b, will not be in direct contact with sealing structure 108a or 108b. Gate dielectric layer 304a (or 304b) separates

metal gate electrode 120a (or 120b) from the sealing structure 108a (or 108b). In certain embodiments, parts of the areas (such as, for example, doped areas 110a and 110b) will be covered by sealing structures 108a and 108b, respectively.

[0054] Embodiments of the invention may feature a multitude of variations. For example, the LDS/D area (such as doped areas 110a or 110b, for example) will not be limited to being covered by the sealing structure. **Fig. 3** depicts a cross-sectional view of a semiconductor device structure in accordance with certain embodiments. As shown in **FIG. 3**, in accordance with certain embodiments, a terminal part of the LDS/D area (such as, for example, doped area 110a or 110b) and an outer surface of the sealing structure (such as, for example, sealing structure 108a or 108b) may be arranged flush with one another or may be arranged substantially flush with one another. In certain embodiments, the LDS/D area (such as, for example, doped area 110a or 110b) will not be covered by or does not extend under sealing structure 108a or 108b.

[0055] Embodiments for forming a semiconductor device structure are provided. A dummy shielding layer, such as a photoresist layer, for example, is used as a temporary main spacer to be used in the implantation process to aid in the formation of the source and drain areas (e.g., highly doped source and drain areas) of the semiconductor device structure. The dummy shielding layer may subsequently be easily removed, so that no main spacer remains over the gate stacks of the semiconductor device structure. Therefore, the gate-to-gate pitch will be reduced, and the contact area will be increased. Since it will not be necessary to form a dielectric layer and to carefully etch and improve the profile to form a main spacer, the process time and costs will be significantly reduced. The yield and the reliability of the semiconductor device structure will therefore be improved.

Claims

1. A method for forming a semiconductor device structure, comprising:
Forming a gate stack (10a, 10b) over a semiconductor substrate (100);
Forming a sealing structure (108a, 108b) over a side wall of the gate stack (10a, 10b); forming a continuous dummy shielding layer (204) over the semiconductor substrate (100), the bonding structure (108a, 108b) and the gate stack (10a, 10b), wherein the continuous dummy shielding layer (204) comprises a photoresist material; performing an ion implantation method on the continuous dummy shielding layer (204) in order to isolate source and drain areas (112', 116) in forming the semiconductor substrate (100), wherein the continuous dummy shielding layer (204) functions as an implantation mask; and removing the continuous dummy shielding layer (204) after the source and drain areas (112', 116) are formed.

2. A method for forming a semiconductor device structure as claimed in claim 1, further comprising forming an anti-reflection dielectric layer (202), ARD layer, over the semiconductor substrate (100), the sealing structure (108a, 108b) and the gate stack (10a, 10b), before the continuous dummy shielding layer (204) is formed.

3. A method for forming a semiconductor device structure as claimed in claim 2, further comprising removing the ARD layer (202).

4. A method for forming a semiconductor device structure as claimed in claim 1, further comprising forming a slightly doped source/drain area (110a, 110b), LDS/D area, in the semiconductor substrate (100) after the sealing structure (108a, 108b) is formed and before the continuous dummy shielding layer (204) is formed.

5. A method for forming a semiconductor device structure as claimed in claim 1, further comprising forming an etching stop layer (217) over the semiconductor substrate (100), the sealing structure (108a, 108b) and the gate stack (10a, 10b).

6. A method for forming a semiconductor device structure as claimed in claim 1, wherein a width of the sealing structure (108a, 108b) is present in a range of approximately 5 nm and approximately 15 nm.

7. A method for forming a semiconductor device structure as claimed in claim 1, wherein a width ratio of the sealing structure (108a, 108b) to the gate stack (10a, 10b) is present in a range of approximately 0.05 and approximately 0.7.

8. A method for forming a semiconductor device structure as claimed in claim 1, wherein the continuous dummy shielding layer (204) is completely removed.

9. A method for forming a semiconductor device structure as claimed in claim 1, further comprising replacing a gate electrode (106a, 106b) of the gate stack (10a, 10b) with a metal gate electrode (120a, 120b).

10. A method for forming a semiconductor device structure, comprising:
Forming a first gate stack (10a) and a second gate stack (10b) over a semiconductor substrate (100);
Forming of sealing structures (108a, 108b) over side walls of the first gate stack (10a) and the second gate stack (10b) respectively;
Forming a continuous dummy shielding layer (204) over the semiconductor substrate (100), the connection structures (108a, 108b), the first gate stack (10a) and the second gate stack (10b),

wherein the continuous dummy shielding layer (204) comprises a photoresist material;

Successively performing ion implantation processes on the continuous dummy shielding layer (204), to form, in succession, first source and drain regions (116) and second source and drain regions (112') in the semiconductor substrate (100) and on opposite sides of the first gate stack (10a) and the second gate stack (10b), respectively, wherein the continuous dummy shield layer (204) acts as an implantation mask; and

Removing the continuous dummy shielding layer (204) after the first source and drain areas (116) and the second source and drain areas (112') are formed.

11. A method for forming a semiconductor device structure as claimed in claim 10, wherein the first source and drain areas (116) and the second source and drain areas (112') are implanted using different dopants.

12. A method for forming a semiconductor device structure as claimed in claim 10, wherein the continuous dummy shielding layer (204) comprises a photosensitive polymer.

13. A method for forming a semiconductor device structure as claimed in claim 10, wherein the continuous dummy shielding layer (204) is completely removed.

14. A method for forming a semiconductor device structure as claimed in claim 10, further comprising:
Replacing a first gate electrode (106a) of the first gate stack (10a) with a first metal gate electrode (120a); and
Replacing a second gate electrode (106b) of the second gate stack with a second metal gate electrode (120b).

15. Semiconductor device structure, comprising:
a semiconductor substrate (100);
a gate stack (10a, 10b) above the semiconductor substrate (100);
a sealing structure (108a, 108b) over a side wall of the gate stack (10a, 10b), wherein a width ratio of the sealing structure (108a, 108b) to the gate stack (10a, 10b) is within a range of approximately 0.05 and approximately 0.7; a lightly doped source/drain region (110a, 110b), LDS/D region, in the semiconductor substrate (100), wherein a terminal portion of the LDS/D region (110a, 110b) and an outer surface of the sealing structure (108a, 108b) are arranged flush with each other; and
an etching stop layer (217) over the semiconductor substrate (100), the gate stack (10a, 10b), and the etching structure (108a, 108b), wherein the etching stop layer (217) is in direct contact with the sealing structure (108a, 108b) and there exists no intermediate layer between the sealing structure (108a, 108b) and the etching stop layer (217), wherein

the sealing structure (108a, 108b) comprises silicon nitride.

16. The semiconductor device structure as claimed in claim 15, wherein the gate stack (10a, 10b) comprises a metal gate electrode (120a, 120b) and a gate dielectric layer (104).

17. The semiconductor device structure as claimed in claim 16, wherein the sealing structure (108a, 108b) is in direct contact with the metal gate electrode (120a, 120b).

Attached are 5 pages of drawings

Attached drawings

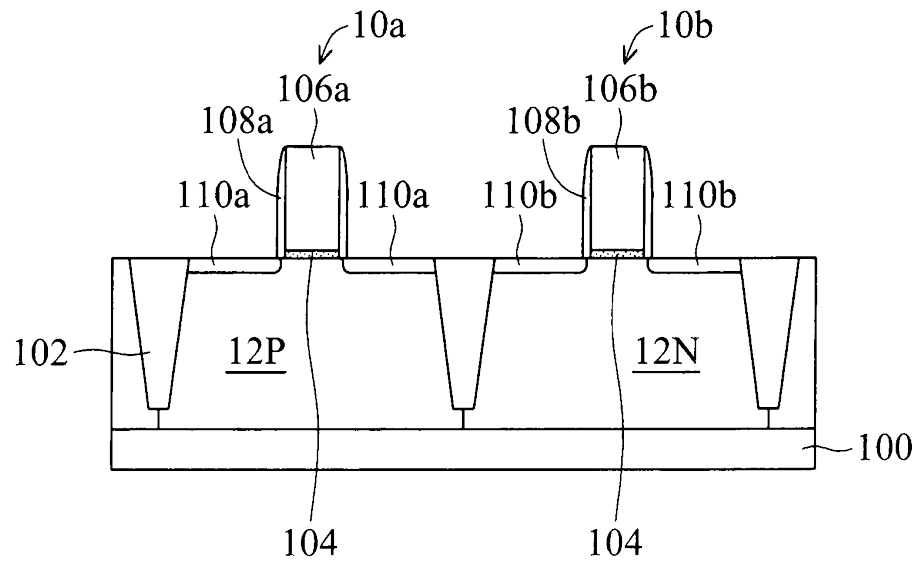


FIG. 1A

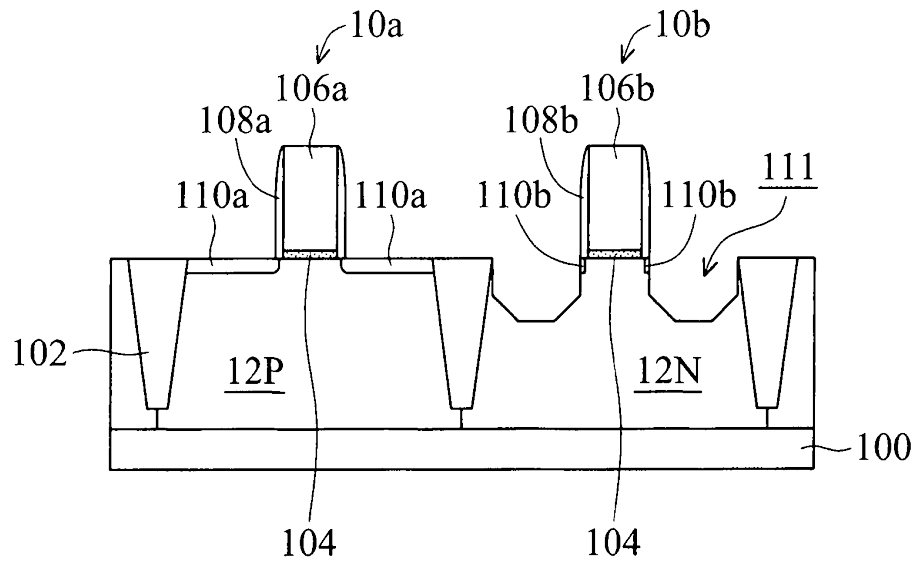


FIG. 1B

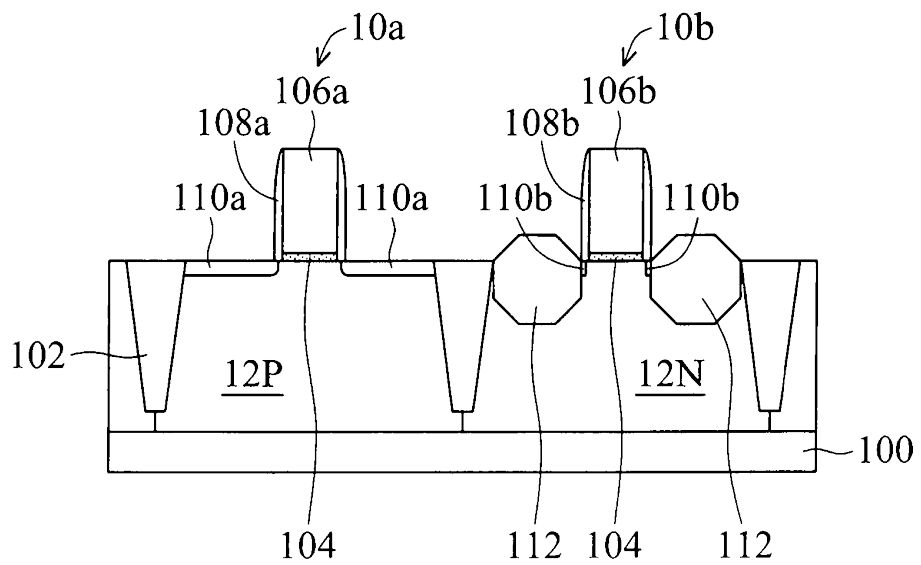


FIG. 1C

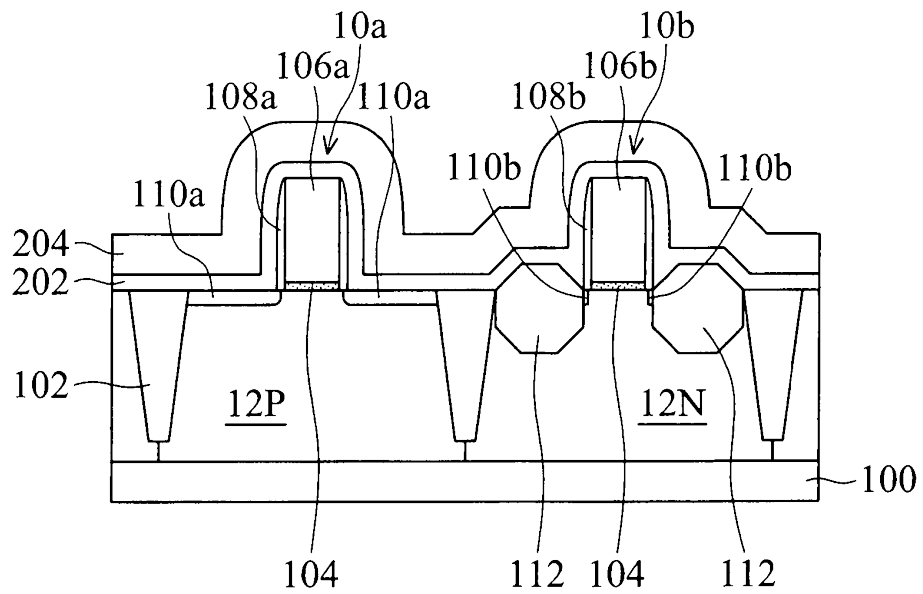


FIG. 1D

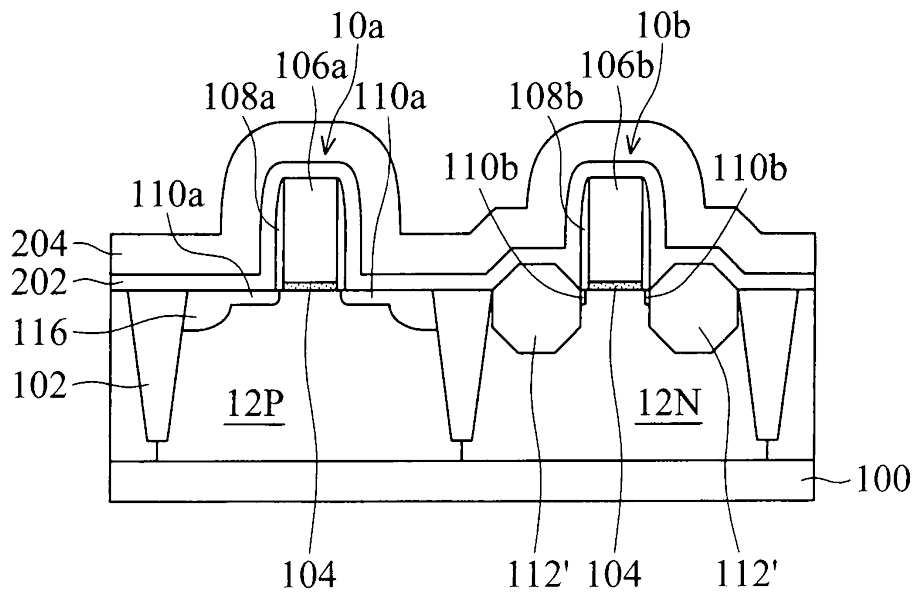


FIG. 1E

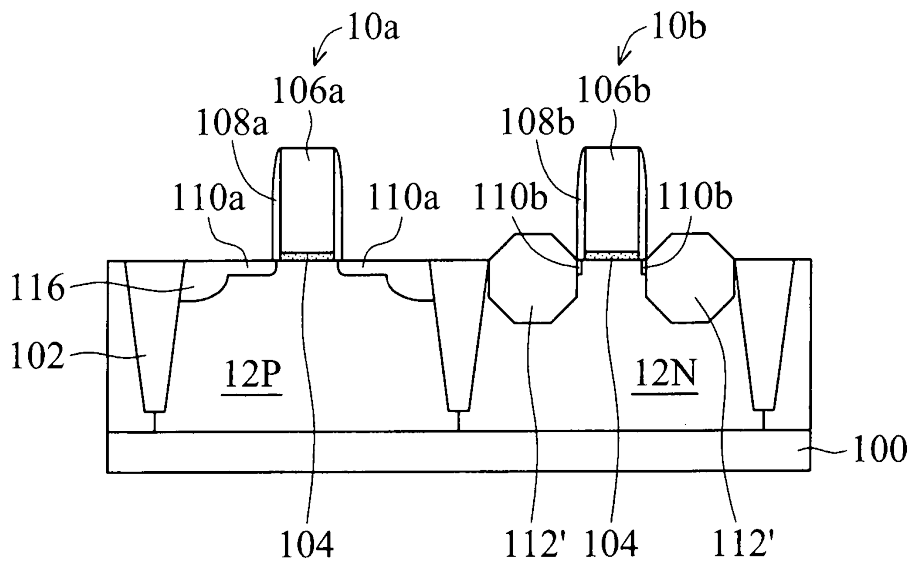


FIG. 1F

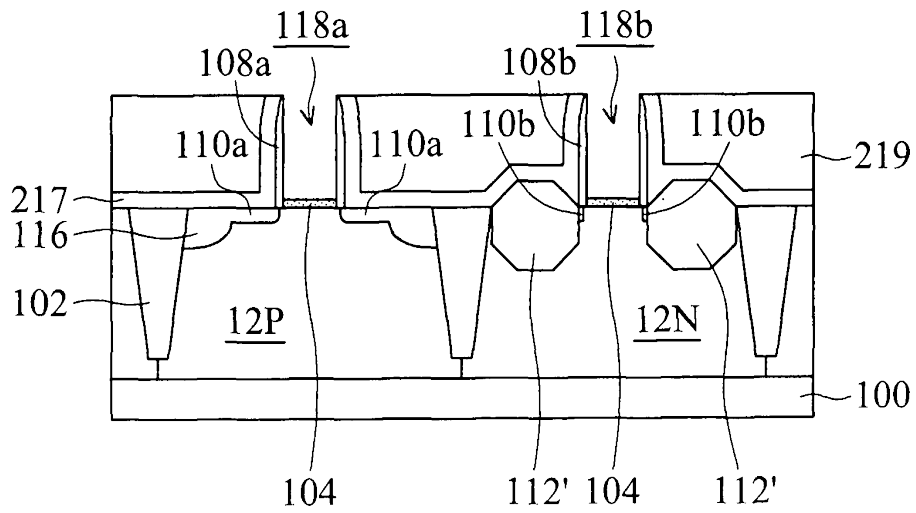


FIG. 1G

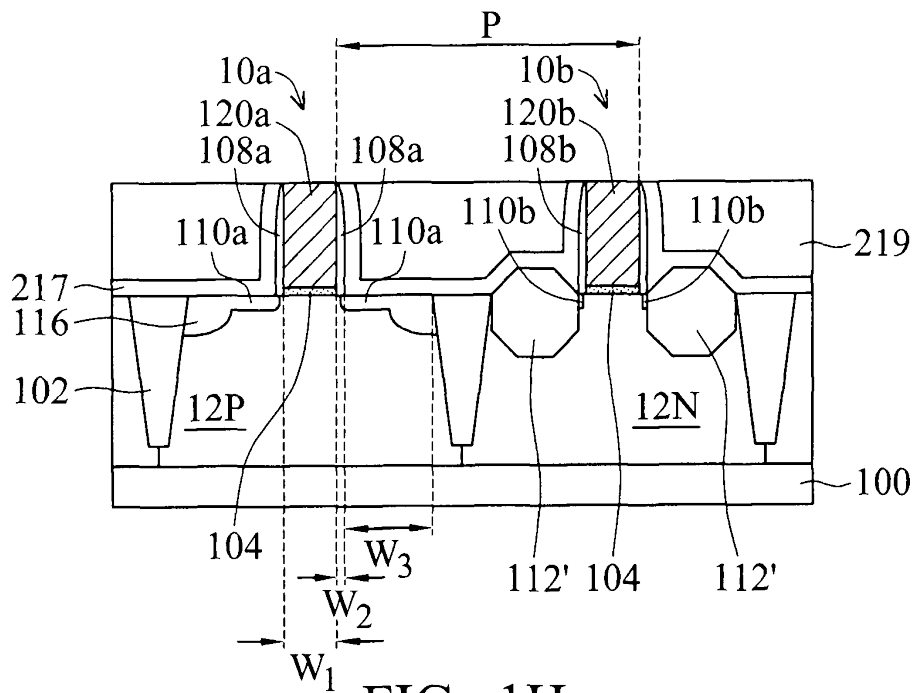


FIG. 1H

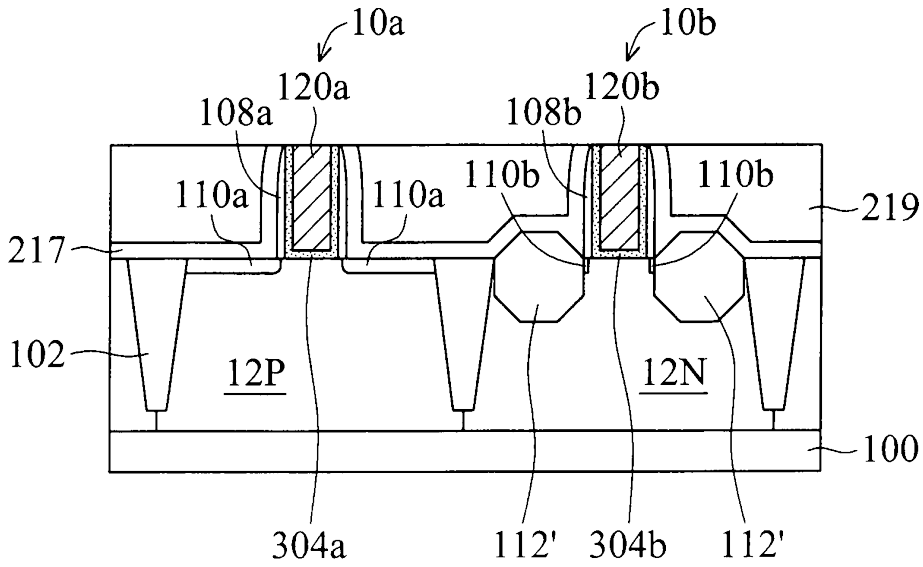


FIG. 2

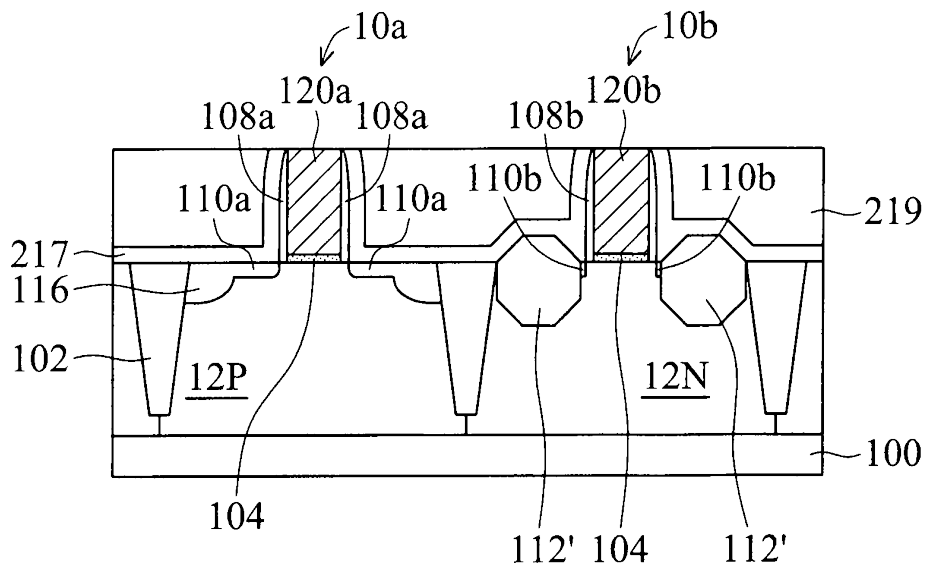


FIG. 3

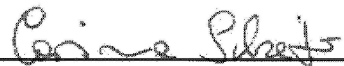


Certificate of Accuracy

This is to certify that the attached translation, from German to English, is an accurate translation of the document:

E.x 2025 - Chang German Publ. DE_102014119124_B4

I, Corinna Schreiber, declare under penalty of perjury that I understand the German language and the English language and that, to the best of my knowledge and belief, the statements in the English language in the attached translation have the same meanings as the German statements in the language in the original document, a copy of which I have examined.

Signature: 

This document was acknowledged before me on the 18th day of June, 20 25.



Notary Public

Elyxedy Fernandez
Notary Public, State of New York
Commission No. : 01FE6353937
Qualified in Bronx County
Commission Expires: 02/09/2029



GERMAN LANGUAGE ORIGINAL



(10) **DE 10 2014 119 124 B4** 2023.11.09

(12) **Patentschrift**

(21) Aktenzeichen: **10 2014 119 124.2**
(22) Anmeldetag: **19.12.2014**
(43) Offenlegungstag: **02.07.2015**
(45) Veröffentlichungstag
der Patenterteilung: **09.11.2023**

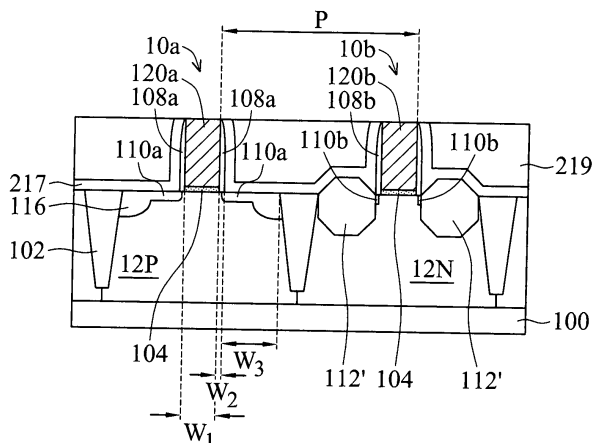
(51) Int Cl.: **H01L 21/336** (2006.01)
H01L 29/78 (2006.01)
H01L 29/423 (2006.01)
H01L 21/283 (2006.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität: 14/143,789 30.12.2013 US	(72) Erfinder: Chang, Che-Cheng, New Taipei City, TW; Chen, Yi-Jen, Hsinchu, TW; Chang, Yung Jung, Hsinchu, TW																		
(73) Patentinhaber: Taiwan Semiconductor Manufacturing Company, Ltd., Hsin-Chu, TW	(56) Ermittelter Stand der Technik:																		
(74) Vertreter: BOEHMERT & BOEHMERT Anwaltspartnerschaft mbB - Patentanwälte Rechtsanwälte, 28209 Bremen, DE	<table><tr><td>US</td><td>2009 / 0 194 816</td><td>A1</td></tr><tr><td>US</td><td>2010 / 0 072 523</td><td>A1</td></tr><tr><td>US</td><td>2011 / 0 117 679</td><td>A1</td></tr><tr><td>US</td><td>2012 / 0 052 644</td><td>A1</td></tr><tr><td>US</td><td>2013 / 0 234 254</td><td>A1</td></tr><tr><td>CN</td><td>102 709 249</td><td>A</td></tr></table>	US	2009 / 0 194 816	A1	US	2010 / 0 072 523	A1	US	2011 / 0 117 679	A1	US	2012 / 0 052 644	A1	US	2013 / 0 234 254	A1	CN	102 709 249	A
US	2009 / 0 194 816	A1																	
US	2010 / 0 072 523	A1																	
US	2011 / 0 117 679	A1																	
US	2012 / 0 052 644	A1																	
US	2013 / 0 234 254	A1																	
CN	102 709 249	A																	

(54) Bezeichnung: **Halbleitervorrichtungsstruktur und Verfahren zur Herstellung derselben**

(57) Hauptanspruch: Verfahren zur Bildung einer Halbleitervorrichtungsstruktur, umfassend:
Bilden eines Gate-Stacks (10a, 10b) über einem Halbleitersubstrat (100);
Bilden einer Versiegelungs-Struktur (108a, 108b) über einer Seitenwand des Gate-Stacks (10a, 10b);
Bilden einer durchgehenden Dummy-Abschirmlage (204) über dem Halbleitersubstrat (100), der Versiegelungsstruktur (108a, 108b) und dem Gate-Stack (10a, 10b), wobei die durchgehende Dummy-Abschirmlage (204) ein Photolack-Material umfasst;
Durchführen eines Ionen-Implantationsverfahrens auf der durchgehenden Dummy-Abschirmlage (204), um Source- und Drain-Regionen (112', 116) in dem Halbleitersubstrat (100) zu bilden, wobei die durchgehende Dummy-Abschirmlage (204) als eine Implantationsmaske fungiert; und
Entfernen der durchgehenden Dummy-Abschirmlage (204), nachdem die Source- und Drain-Regionen (112', 116) gebildet werden.



Beschreibung**HINTERGRUND**

[0001] Die Halbleiter-Integrierte Schaltkreis (IC)-Industrie hat ein schnelles Wachstum erfahren. Technologische Fortschritte in IC-Materialien und -Aufbau haben Generationen an ICs produziert. Jede Generation weist kleinere und komplexere Schaltkreise auf, als die vorherige Generation.

[0002] Im Verlauf der IC-Evolution hat die funktionelle Dichte (d.h., die Zahl an miteinander verbundenen Vorrichtungen pro Chipfläche) allgemein zugenommen, während die geometrische Größe (d.h., die kleinste Komponente (oder Leitung), die unter der Verwendung eines Herstellungsverfahrens erzeugt werden kann) abgenommen hat. Dieses Miniaturisierungsverfahren stellt im Allgemeinen durch eine Erhöhung der Herstellungseffizienz und Verringerung damit zusammenhängender Kosten Vorteile zur Verfügung.

[0003] Jedoch haben diese Vorteile die Komplexität der Bearbeitung und Herstellung von ICs erhöht. Da die Abmessungen der Merkmale weiterhin abnehmen, wird es noch schwieriger, die Herstellungsverfahren durchzuführen. Daher ist es eine Herausforderung, verlässliche Halbleitervorrichtungen mit kleineren und kleineren Abmessungen zu bilden.

Aus der US 2009 / 0 194 816 A1 und der US 2010 / 0 072 523 A1 sind Herstellungsverfahren für Transistorstrukturen bekannt, bei denen temporäre Abstandshalter ausgebildet werden, um einen Abstand zwischen einer Gate-Struktur und Source- und Drain-Bereichen sicherzustellen.

Die US 2011 / 0 117 679 A1 beschreibt ein Herstellungsverfahren für eine Transistorstruktur, bei dem eine durchgehende Schicht dazu verwendet wird, eine Tiefe von implantierten Source- und Drain-Bereichen zu kontrollieren, wobei die durchgehende Schicht anschließend teilweise entfernt wird.

Die CN 102 709 249 A offenbart ein weiteres Herstellungsverfahren für eine Transistorstruktur, bei dem eine durchgehende Schutzschicht über einem temporären Abstandshalter aufgebracht wird, um diesen beim Entfernen einer über der Schutzschicht ausgebildeten strukturierten Photolack-Implantationsmaske zu schützen.

Die US 2013 / 0 234 254 A1 beschreibt ein Verfahren zur Herstellung einer Halbleitervorrichtung mit einem hybriden High-K/Metall-Gatestapel, an dessen Seitenwänden jeweils ein Versiegelungs-Abstandshalter und ein Hauptabstandshalter angeordnet sind, wobei über dem Gate-Stapel mit den Abstandhaltern eine Ätzstoppschicht ausgebildet wird.

Aus der US 2012 / 0 052 644 A1 ist eine Transistorstruktur bekannt, die eine Gate-Struktur mit seitlichen Abstandshaltern aufweist, wobei die Abstandshalter für eine selbstausrichtende Implantation von

leicht dotierten Source-/Drain-Regionen verwendet werden.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0004] Für ein vollständigeres Verständnis der verdeutlichenden Ausführungsformen und von deren Vorteilen wird nun auf die folgende Beschreibung in Verbindung mit den beigelegten Zeichnungen Bezug genommen.

Fig. 1A-1H sind Querschnittsansichten von verschiedenen Phasen eines Verfahrens zur Bildung einer Halbleitervorrichtungsstruktur in Übereinstimmung mit einigen Ausführungsformen.

Fig. 2 zeigt eine Querschnittsansicht einer Halbleitervorrichtungsstruktur in Übereinstimmung mit einigen Ausführungsformen.

Fig. 3 zeigt eine Querschnittsansicht einer Halbleitervorrichtungsstruktur in Übereinstimmung mit einigen Ausführungsformen.

GENAUE BESCHREIBUNG DER VERDEUTLICHENDEN AUSFÜHRUNGSFORMEN

[0005] Aufgabe der Erfindung ist es, die Herstellung von einer Halbleitervorrichtung mit verringerten Gate-Abständen zu vereinfachen und die elektrischen Eigenschaften einer solchen Halbleitervorrichtung zu verbessern. Diese Aufgabe wird gelöst durch Angabe von Verfahren zur Bildung einer Halbleitervorrichtungsstruktur mit den Merkmalen des Anspruchs 1 bzw. 10 sowie durch Angabe einer Halbleitervorrichtungsstruktur mit den Merkmalen des Anspruchs 15. Bevorzugte Ausführungsformen sind in den abhängigen Ansprüchen angegeben. Die Herstellung und die Verwendung von verschiedenen Ausführungsformen der Erfindung werden genauer im Folgenden diskutiert. Es sollte jedoch verstanden werden, dass die verschiedenen Ausführungsformen in einer großen Vielzahl von spezifischen Kontexten ausgeführt werden können. Die diskutierten spezifischen Ausführungsformen sind lediglich verdeutlichend und beschränken den Bereich der Beschreibung nicht.

[0006] Es sollte verstanden werden, dass die folgende Beschreibung viele verschiedene Ausführungsformen oder Beispiele zur Implementierung verschiedener Merkmale der Erfindung zur Verfügung stellt. Spezifische Beispiele von Komponenten und Anordnungen sind im Folgenden beschrieben, um die vorliegende Beschreibung zu vereinfachen. Darüber hinaus kann die Durchführung eines ersten Prozesses vor einem zweiten Prozess in der folgenden Beschreibung Ausführungsformen einschließen, in denen der zweite Prozess unmittelbar nach dem ersten Prozess durchgeführt wird, und kann auch Ausführungsformen einschließen, in denen zwischen

den ersten und zweiten Prozessen zusätzliche Prozesse durchgeführt werden können. Verschiedene Merkmale können arbiträr in verschiedenen Maßstäben zum Zweck der Vereinfachung und Klarheit dargestellt sein. Weiterhin kann die Bildung eines ersten Merkmals über oder auf einem zweiten Merkmal in der folgenden Beschreibung Ausführungsformen einschließen, in denen die ersten und zweiten Merkmale in direktem Kontakt gebildet werden, und können auch Ausführungsformen einschließen, in denen zusätzliche Merkmale zwischen den ersten und zweiten Merkmalen gebildet sein können, so dass das erste und das zweite Merkmal nicht in direktem Kontakt sein können.

[0007] Einige Abwandlungen der Ausführungsformen werden beschrieben. Innerhalb der verschiedenen Ansichten und verdeutlichenden Ausführungsformen werden dieselben Bezugszeichen verwendet, um gleiche Elemente zu bezeichnen. Zusätzliche Betriebsschritte können vor, während und nach dem Verfahren zur Verfügung gestellt werden, und einige der beschriebenen Betriebsschritte können für andere Ausführungsformen der Verfahren ersetzt oder eliminiert sein.

[0008] Fig. 1A-1H sind Querschnittsansichten von verschiedenen Phasen eines Verfahrens zur Bildung einer Halbleitervorrichtungsstruktur in Übereinstimmung mit einigen Ausführungsformen. Wie in Fig. 1A gezeigt, wird ein Halbleitersubstrat 100 zur Verfügung gestellt. In einigen Ausführungsformen ist das Halbleitersubstrat 100 ein Halbleiterwafer (wie zum Beispiel ein Siliziumwafer) oder ein Teil eines Halbleiterwafers. In einigen Ausführungsformen schließt das Halbleitersubstrat 100 ein elementares Halbleitermaterial ein, einschließlich Silizium oder Germanium in einem einzelnen Kristall, Polykristall oder amorphe Struktur. In einigen anderen Ausführungsformen schließt das Halbleitersubstrat 100 einen Verbundhalbleiter ein, wie zum Beispiel Siliziumcarbid, Galliumarsenid, Galliumphosphid, Indiumphosphid, Indiumarsenid, einen Legierungshalbleiter, wie zum Beispiel SiGe, GaAsP, AlInAs, AlGaAs, GaInAs, GaInP, GaInAsP oder eine Kombination davon. In einigen Ausführungsformen schließt das Halbleitersubstrat 100 Multilagen-Halbleiter, einen Halbleiter auf Isolator (SOI) (wie zum Beispiel Silizium auf Isolator oder Germanium auf Isolator) oder eine Kombination davon ein.

[0009] In einigen Ausführungsformen werden isolierende Strukturen 102 in dem Halbleitersubstrat 100 gebildet, um verschiedene aktive Regionen in dem Halbleitersubstrat 100 zu definieren. Die isolierenden Strukturen 102 isolieren benachbarte Vorrichtungen (z.B. Transistoren) elektrisch voneinander. Die isolierenden Strukturen 102 schließen zum Beispiel ein Siliziumoxid, Siliziumnitrid, Siliziumoxynitrid, Fluor-dotiertes Silikatglas (FSG), ein niedrig-K dielektri-

sches Material, andere geeignete Materialien oder eine Kombination davon ein. Die isolierenden Strukturen 102 können unter der Verwendung einer Isolierungstechnologie, wie zum Beispiel lokaler Oxidation von Halbleitern (LOCOS), flache Grabenisolierung (STI) oder Ähnliches gebildet werden. In einigen Ausführungsformen schließt die Bildung der isolierenden Strukturen 102 eine Strukturierung des Halbleitersubstrats 100 durch ein photolithographisches Verfahren, Ätzen einer Rinne in dem Halbleitersubstrat 100 (zum Beispiel unter der Verwendung eines trockenen Ätzens, nassen Ätzens, Plasmaätzverfahrens oder einer Kombination davon) und Füllen der Rinne (zum Beispiel, unter der Verwendung eines chemischen Aufdampfverfahrens) mit einem dielektrischen Material ein. In einigen Ausführungsformen weist die gefüllte Rinne eine multi-Lagenstruktur auf, wie zum Beispiel eine thermische Oxid-Auskleidelage, gefüllt mit Siliziumnitrid oder Siliziumoxid.

[0010] In einigen Ausführungsformen werden eine P-Wannenregion 12P und eine N-Wannenregion 12N nacheinander in dem Halbleitersubstrat 100 gebildet, wie in Fig. 1A gezeigt. In einigen Ausführungsformen werden getrennte Ionen-Implantationsprozesse durchgeführt, um jeweils die P-Wannenregion 12P und die N-Wannenregion 12N zu bilden. Unter der Verwendung von zwei verschiedenen Implantations-Maskenlagen werden die P-Wannenregion 12P und die N-Wannenregion 12N nacheinander in verschiedenen Ionen-Implantationsprozessen gebildet.

[0011] In einigen Ausführungsformen wird eine erste Implantations-Maskenlage (nicht gezeigt) verwendet, um einen ersten Teil des Halbleitersubstrats 100 abzudecken. Die erste Implantations-Maskenlage weist eine Öffnung auf, die einen anderen Teil des Halbleitersubstrats 100 exponiert. In einigen Ausführungsformen ist die erste Implantations-Maskenlagen eine strukturierte Photolack-Lage. In einigen anderen Ausführungsformen ist die erste Implantations-Maskenlage eine strukturierte dielektrische Lage, wie zum Beispiel eine Siliziumnitridlage. Danach wird ein erster Ionen-Implantationsprozess auf dem exponierten Teil des Halbleitersubstrats 100 durchgeführt, um eine Wannenregion, wie zum Beispiel die P-Wannenregion 12P, zu bilden. Zum Beispiel werden P-Typ Dotanden in den exponierten Teil des Halbleitersubstrats 100 implantiert, um die P-Wannenregion 12P zu bilden. Die erste Implantations-Maskenlage wird dann entfernt.

[0012] Danach wird eine zweite Implantations-Maskenlage (nicht gezeigt) verwendet, um in einigen Ausführungsformen die P-Wannenregion 12P abzudecken. Die zweite Implantations-Maskenlage weist eine Öffnung auf, die den Teil des Halbleitersubstrats 100 exponiert, der vorher durch die erste Implantations-Maskenlage abgedeckt war. In einigen Ausführ-

rungsformen ist die zweite Implantations-Maskenlage eine strukturierte Photolack-Lage. In einigen anderen Ausführungsformen ist die zweite Implantations-Maskenlage eine strukturierte dielektrische Lage, wie zum Beispiel eine Siliziumnitridlage. Danach wird ein zweiter Ionen-Implantationsprozess durchgeführt, um eine Wannenregion zu bilden, wie zum Beispiel die N-Wannenregion 12N. Zum Beispiel werden N-Typ Dotanden in den exponierten Teil des Halbleitersubstrats 100 implantiert, um die N-Wannenregion 12N zu bilden.

[0013] Danach wird in einigen Ausführungsformen ein Temperprozess durchgeführt, um die implantierten Dotanden einzutreiben. In einigen anderen Ausführungsformen wird die N-Wannenregion 12N gebildet, bevor die P-Wannenregion 12P gebildet wird. In einigen anderen Ausführungsformen wird die P-Wannenregion nicht gebildet, wenn das Halbleitersubstrat 100 ein P-Typ-Halbleitersubstrat ist. In einigen anderen Ausführungsformen wird die N-Wannenregion nicht gebildet, wenn das Halbleitersubstrat 100 ein N-Typ-Halbleitersubstrat ist.

[0014] Wie in **Fig. 1A** gezeigt, werden in Übereinstimmung mit einigen Ausführungsformen Gate-Stacks über dem Halbleitersubstrat 100 gebildet. Um das Diagramm zu vereinfachen, sind nur zwei Gate-Stacks 10a und 10b dargestellt. Die Halbleitervorrichtungsstruktur kann weniger oder mehr Gate-Stacks einschließen. Jede der Gate-Stacks 10a und 10b schließt eine Gate-dielektrische Lage 104 und eine Gateelektrode, wie zum Beispiel Gateelektroden 106a und 106b wie in **Fig. 1A** gezeigt, ein. In einigen Ausführungsformen ist die Gate-dielektrische Lage 104 aus Siliziumoxid, Siliziumoxynitrid, einem Material mit hoher dielektrischer Konstante (high-k Material) oder einer Kombination davon hergestellt. Das Material mit hoher dielektrischer Konstante kann Hafniumoxid (HfO_2), Hafniumsiliziumoxid (HfSiO), Hafniumsiliziumoxynitrid (HfSiON), Hafniumtantaloxid (HfTaO), Hafniumtitanoxid (HfTiO), Hafniumzirkoniumoxid (HfZrO), andere geeignete high-k Dielektrika oder eine Kombination davon einschließen. Das high-k Material kann weiter Metalloxide, Metallnitride, Metallsilikate, Übergangsmetalloxide, Übergangsmetallnitride, Übergangsmetallsilikate, Oxynitride von Metallen, Metallaluminat, Zirkoniumsilikat, Zirkoniumaluminat, Siliziumoxid, Siliziumnitrid, Siliziumoxynitrid, Zirkoniumoxid, Titanoxid, Aluminiumoxid, Hafniumdioxid-Alumina ($\text{HfO}_2\text{—Al}_2\text{O}_3$) Legierung, andere geeignete Materialien oder eine Kombination davon einschließen.

[0015] In einigen Ausführungsformen wird die Gate-dielektrische Lage 104 durch ein geeignetes Verfahren aufgebracht, wie zum Beispiel Atomlagenabscheidung (ALD), Chemische Gasphasenabscheidung (CVD), Physikalische Gasphasenabscheidung

(PVD), Remote Plasma CVD (RPCVD), plasmavertärkte CVD (PECVD), metallorganische CVD (MOCVD), Sputtern, Beschichtung, andere anwendbare Verfahren, oder einer Kombination davon.

[0016] Danach wird eine Gateelektrodenlage über der Gate-dielektrischen Lage 104 aufgebracht. In einigen Ausführungsformen ist die Gateelektrodenlage aus Polysilizium hergestellt und wird zum Beispiel unter der Verwendung eines CVD-Verfahrens oder anderer geeigneter Verfahren gebildet.

[0017] Danach werden die Gate-dielektrische Lage 104 und die Gateelektrodenlage strukturieren, zum Beispiel unter der Verwendung eines photolithographischen Verfahrens und eines Ätzverfahrens, um so die Gate-Stacks einschließlich der Gate-Stacks 10a und 10b zu bilden. Die Gateelektrodenlage ist daher als multiple Gateelektroden strukturiert, einschließlich der Gateelektroden 106a und 106b, wie in **Fig. 1A** gezeigt.

[0018] Danach werden eine oder mehrere Versiegelungsstrukturen, wie zum Beispiel Versiegelungsstrukturen 108a und 108b, über Seitenwänden der Gate-Stacks 10a und 10b gebildet, wie in Übereinstimmung mit einigen Ausführungsformen in **Fig. 1A** gezeigt. Die Versiegelungsstrukturen 108a und 108b können verwendet werden, um die Gate-Stacks 10a und 10b vor Beschädigung zu schützen, wenn anschließende Verfahrensschritte durchgeführt werden. In einigen Ausführungsformen sind die Versiegelungsstrukturen 108a und 108b aus einem dielektrischen Material hergestellt. Das dielektrische Material schließt zum Beispiel Siliziumnitrid, Siliziumoxid, Siliziumoxynitrid, andere geeignete Materialien oder eine Kombination davon ein. In einigen Ausführungsformen wird eine Versiegelungslage über den Gate-Stacks 10a und 10b und dem Halbleitersubstrat 100 unter der Verwendung von einem geeigneten Verfahren, wie zum Beispiel einem CVD-Verfahren, aufgebracht. Danach wird ein Ätzverfahren, wie zum Beispiel ein trockenes Ätzverfahren, durchgeführt, um die Versiegelungslage teilweise zu entfernen. Die Versiegelungslage, die auf den gegenüberliegenden Seitenwänden der Gate-Stacks 10a und 10b verbleibt, bildet die Versiegelungsstrukturen 108a und 108b.

[0019] Danach werden dotierte Regionen 110a und 110b in dem Halbleitersubstrat 100 gebildet, wie in Übereinstimmung mit einigen Ausführungsformen in **Fig. 1A** gezeigt. Getrennte Ionen-Implantationsverfahren wurden durchgeführt, um nacheinander die dotierten Regionen 110a und 110b zu bilden. In einigen Ausführungsformen wird eine Implantationsmaskenlage (nicht gezeigt) verwendet, um die N-Wannenregion 12N abzudecken. Danach wird ein Implantationsverfahren durchgeführt, auch mit dem Gate-Stack 10a als einer Implantationsmaske, um

die dotierten Regionen 110a zu bilden. In einigen Ausführungsformen werden N-Typ Dotanden in die P-Wanne 12P implantiert, um die dotierten Regionen 110a zu bilden. Ähnlich werden die dotierten Regionen 110b in der N-Wannenregion 12N unter der Verwendung eines anderen Implantationsverfahrens gebildet. Eine andere Implantationsmaskenlage (nicht gezeigt) wird auch verwendet, um bei der Bildung der dotierten Regionen 110b zu helfen. Daher werden P-Typ Dotanden in die N-Wannenregion 12N implantiert, um die dotierte Region 110b zu bilden, ohne in die P-Wannenregion 12P implantiert zu werden.

[0020] Die dotierten Regionen 110a und 110b liegen jeweils auf gegenüberliegenden Seiten der Gate-Stacks 10a und 10b und in dem Halbleitersubstrat 100 vor. In einigen Ausführungsformen liegt ein Teil der dotierten Region 110a nahe dem Gate-Stack 10a und unterhalb der Versiegelungsstruktur 108a. In einigen Ausführungsformen dient die dotierte Region 110a als eine leicht-dotierte Source/Drainregion (LDS/D Region). In einigen Ausführungsformen liegt ein Teil der dotierten Region 110b nahe dem Gate-Stack 10b und unterhalb der Versiegelungsstruktur 108b. In einigen Ausführungsformen dient die dotierte Region 110b als eine LDS/D Region. In einigen Ausführungsformen werden die Implantationsverfahren in einem gekippten Winkel durchgeführt, so dass sich die gebildeten dotierten Regionen 110a und 110b jeweils unter die Gate-Stacks 10a und 10b erstrecken.

[0021] Wie in **Fig. 1B** gezeigt, wird in Übereinstimmung mit einigen Ausführungsformen ein Teil des Halbleitersubstrats 100 entfernt, um Aussparungen 111 in dem Halbleitersubstrat 100 zu bilden. Wie in **Fig. 1B** gezeigt, erstrecken sich die Aussparungen 111 in die N-Wannenregion 12N von einer Oberfläche des Halbleitersubstrats 100. Wie in **Fig. 1B** gezeigt, werden die dotierten Regionen 110b teilweise entfernt. In einigen Ausführungsformen liegen die dotierten Regionen 110b zwischen den Aussparungen 111. In einigen Ausführungsformen werden ein photolithographisches Verfahren und ein Ätzverfahren durchgeführt, um die Aussparungen 111 zu bilden. Ausführungsformen der Erfindung können viele Variationen aufweisen. In einigen Ausführungsformen werden die Aussparungen 111 gebildet, bevor die dotierten Regionen 110b gebildet werden.

[0022] Wie in **Fig. 1C** gezeigt, werden in Übereinstimmung mit einigen Ausführungsformen Source/Drain Stressoren 112 epitaxial gewachsen oder in den Aussparungen 111 gebildet. Die Source/Drain Stressoren 112 schließen in Übereinstimmung mit einigen Ausführungsformen SiGe oder andere anwendbare Materialien ein. In einigen Ausführungsformen werden die Source/Drain Stressoren 112 verwendet, um Stress zu der Kanalregion unter dem Gate-

Stack 10b zur Verfügung zu stellen, um so die Trägermobilität zu erhöhen. In einigen Ausführungsformen werden die Source/Drain Stressoren 112 während ihres Wachstums oder der Bildung gleichzeitig dotiert. Alternativ wird ein anschließendes Implantationsverfahren durchgeführt, um die Source/Drain Stressoren 112 im Anschluss an das Wachstum oder die Bildung der Source/Drain Stressoren 112 zu dotieren. In einigen Ausführungsformen werden die Source/Drain Stressoren 112 jedoch nicht gebildet. Die Aussparungen 111 werden nicht gebildet.

[0023] Wie in **Fig. 1D** gezeigt, wird in Übereinstimmung mit einigen Ausführungsformen eine Dummy-Abschirmlage 204 über das Halbleitersubstrat 100, die Versiegelungsstrukturen 108a und 108b und die Gate-Stacks 10a und 10b aufgetragen. In einigen Ausführungsformen fungiert die Dummy-Abschirmlage 204 als ein vorübergehender Haupt-Abstandshalter für anschließende Implantationsverfahren.

[0024] In einigen Ausführungsformen ist die Dummy-Abschirmlage 204 aus einem Photolack-Material hergestellt. Das Photolack-Material kann ein Gemisch von Kohlenstoff, Wasserstoff und Sauerstoff, andere geeignete Materialien oder eine Kombination davon einschließen. In einigen Ausführungsformen schließt die Dummy-Abschirmlage 204 ein photosensitives Polymer ein. Das photosensitive Polymer kann poly(Methyl)methacrylat (PMMA), Acrylharz, Methacrylatharz, Hybrid-Typ Harz, andere geeignete photosensitive Polymere, oder eine Kombination davon einschließen. In einigen Ausführungsformen schließt die Dummy-Abschirmlage 204 einen Photosäure-Generator, wie zum Beispiel Sulfoniumsalz, Diazomethan oder anderen geeigneten Photosäure-Generator ein. In einigen Ausführungsformen schließt die Dummy-Abschirmlage 204 Cetyltrimethylammoniumhydroxid ein.

[0025] In einigen Ausführungsformen wird die Dummy-Abschirmlage 204 unter der Verwendung von einem Spin-on Verfahren, CVD-Verfahren, anderen anwendbaren Verfahren oder einer Kombination davon aufgetragen. Die Dicke der Dummy-Abschirmlage 204 kann gemäß den Erfordernissen angepasst werden. In einigen Ausführungsformen liegt die Dicke der Dummy-Abschirmlage 204 in einem Bereich von ungefähr 5 nm bis ungefähr 20 nm. In einigen anderen Ausführungsformen liegt die Dicke der Dummy-Abschirmlage 204 in einem Bereich von ungefähr 7 nm bis ungefähr 15 nm.

[0026] In einigen Ausführungsformen wird eine anti-Reflektions dielektrische (ARD)-Lage 202 aufgetragen, bevor die Dummy-Abschirmlage 204 aufgetragen wird. In einigen Ausführungsformen ist die ARD-Lage 202 aus Siliziumnitrid, Titanitrid, anderen anwendbaren Materialien oder einer Kombination davon hergestellt. In einigen Ausführungsformen

weist die ARD-Lage 202 eine Dicke im Bereich von ungefähr 1nm bis ungefähr 5nm auf. Jedoch wird in einigen anderen Ausführungsformen die ARD-Lage 202 nicht benötigt oder gebildet.

[0027] Wie in **Fig. 1E** gezeigt, wird in Übereinstimmung mit einigen Ausführungsformen ein Implantationsverfahren durchgeführt, um dotierte Regionen 116 in dem Halbleitersubstrat 100 zu bilden. Die Dummy-Abschirmlage 204 fungiert als eine Implantationsmaske. Daher wird die dotierte Region 116 (z.B. S/D Region) angrenzend an die dotierte Region 110a (z.B. LDS/D Region) gebildet. In einigen Ausführungsformen werden N-Typ Dotanden implantiert, um die dotierten Regionen 116 zu bilden. In einigen Ausführungsformen wird eine Implantationsmaskenlage (nicht gezeigt) verwendet, um sicherzustellen, dass die N-Typ Dotanden nicht in die Source/Drain Stressoren 112 implantiert werden. Nachdem die dotierten Regionen 116 gebildet werden, wird die Implantationsmaskenlage entfernt. In einigen Ausführungsformen ist die dotierte Region 116 eine stark-dotierte Source/Drain Region (S/D Region). Nachdem das Implantationsverfahren auf der S/D Region durchgeführt wurde, kann ein Temperverfahren, wie zum Beispiel ein schneller thermischer Prozess (RTP) durchgeführt werden, um die Kristallstruktur des Siliziums in der S/D Region zu reparieren und die Dotanden in der S/D Region zu aktivieren. Wie in **Fig. 1E** gezeigt, ist die dotierte Region 116 in einigen Ausführungsformen nicht durch die Versiegelungsstruktur 108a abgedeckt.

[0028] In einigen Ausführungsformen wird ein anderes Implantationsverfahren durchgeführt, um die Source/Drain Stressoren 112 mit geeigneten Dotanden zu dotieren. In einigen Ausführungsformen werden P-Typ Dotanden in die Source/Drain Stressoren 112 implantiert. Im Ergebnis werden Source- und Drainregionen 112' auf gegenüberliegenden Seiten des Gate-Stack 10b gebildet, wie in **Fig. 1E** gezeigt. Das Implantationsverfahren zur Bildung der Source- und Drainregionen 112' kann vor oder nach der Bildung der dotierten Regionen 116 durchgeführt werden. Ähnlich kann eine Implantationsmaskenlage (nicht gezeigt) verwendet werden um sicherzustellen, dass die Dotanden in geeigneten Positionen implantiert werden.

[0029] Wie in **Fig. 1F** gezeigt, werden in Übereinstimmung mit einigen Ausführungsformen die Dummy-Abschirmlage 204 und die ARD-Lage 204 (falls gebildet) entfernt. In einigen Ausführungsformen wird die Dummy-Abschirmlage 204 vollständig entfernt. In einigen Ausführungsformen ist die Dummy-Abschirmlage 204 aus einem Photolack-Material hergestellt. Daher kann die Dummy-Abschirmlage 204 leicht unter der Verwendung eines Äscherungsverfahrens oder Stripverfahrens entfernt werden. In einigen Ausführungsformen fun-

giert die Dummy-Abschirmlage 204 als ein temporärer Haupt-Abstandshalter und wird leicht entfernt. In einigen Ausführungsformen wird, nachdem die Dummy-Abschirmlage 204 entfernt ist, kein Bereich durch die Dummy-Abschirmlage 204 (den temporären Haupt-Abstandshalter) belegt. Im Ergebnis wird die Kontaktoberfläche vergrößert. In einigen Ausführungsformen ist es nicht erforderlich, eine dielektrische Lage zu bilden und sorgfältig das Profil zu einer Bildung eines Haupt-Abstandshalter zu ätzen und aufzubereiten. Verfahrenszeiten und Kosten werden signifikant reduziert. Beim Aufbau von Strukturen der Gate-Stacks ist es in Übereinstimmung mit einigen Ausführungsformen nicht erforderlich, Bereiche zur Bildung des Haupt-Abstandshalters zu definieren. Dichtere Strukturen können so aufgebaut werden. Pitches zwischen Gate-Stacks können verringert werden.

[0030] Danach wird eine Ätzstopplage 217 über dem Halbleitersubstrat 100, den Gate-Stacks 10a und 10b und den Versiegelungsstrukturen 108a und 108b aufgetragen, wie in **Fig. 1G** in Übereinstimmung mit einigen Ausführungsformen gezeigt. Die Ätzstopplage 217 schließt in einigen Ausführungsformen eine Siliziumnitridlage ein. In einigen Ausführungsformen wird die Ätzstopplage 217 konform über dem Halbleitersubstrat 100 aufgetragen. In einigen Ausführungsformen wird die Ätzstopplage 217 unter der Verwendung eines geeigneten Verfahrens, wie zum Beispiel eines CVD Verfahrens, gebildet. In einigen Ausführungsformen dient die Ätzstopplage 217 auch als eine Stressorlage, welche die Trägermobilität in den Kanalregionen unter den Gate-Stacks erhöht, was daher den Betrieb einer dadurch gebildeten Halbleitervorrichtung verbessert.

[0031] Wie in **Fig. 1G** gezeigt, liegt in Übereinstimmung mit einigen Ausführungsformen die Ätzstopplage 217 in direktem Kontakt mit den Versiegelungsstrukturen 108a und 108b vor. In einigen Ausführungsformen gibt es keinen Haupt-Abstandshalter oder Zwischenlage zwischen der Versiegelungsstruktur (108a oder 108b) und der Ätzstopplage 217. In einigen Ausführungsformen liegt die gesamte äußere Oberfläche der Versiegelungsstruktur (108a oder 108b) in direktem Kontakt mit der Ätzstopplage 217 vor.

[0032] Danach wird eine isolierende Lage 219 über der Ätzstopplage 217 aufgebracht, wie in **Fig. 1G** in Übereinstimmung mit einigen Ausführungsformen gezeigt. In einigen Ausführungsformen wird die isolierende Lage 219 aus einem geeigneten dielektrischen Material hergestellt. Das geeignete dielektrische Material kann Siliziumoxid, Siliziumoxynitrid, Borsilikatglas (BSG), Phosphorsilikatglas (PSG), Borphosphosilikatglas (BPSG), Fluorsilikatglas (FSG), niedrig-k Material, poröses dielektrisches Material, andere anwendbare Materialien oder eine

Kombination davon einschließen. Ein geeignetes Verfahren, wie zum Beispiel ein CVD Verfahren, HDPCVD Verfahren, Spin-on Verfahren, Sputterverfahren, oder eine Kombination davon, wird in Übereinstimmung mit einigen Ausführungsformen durchgeführt, um die isolierende Lage 219 zu bilden.

[0033] In einigen Ausführungsformen wird ein Planarisierungsverfahren durchgeführt, um die isolierende Lage 219 dünner zu machen. Nach dem Planarisierungsverfahren weist die isolierende Lage 219 eine im Wesentlichen planare Oberfläche auf, um anschließende Verfahrensschritte zu erleichtern. Das Planarisierungsverfahren schließt zum Beispiel ein chemischmechanisches Polierverfahren (CMP) ein. In einigen Ausführungsformen wird/werden anschließend ein oder mehrere Metallgate-Ersatzverfahren durchgeführt, um die Gateelektroden 106a und/oder 106b durch geeignete Metallmaterialien zu ersetzen. Jedoch sind die Ausführungsformen der Erfindung nicht darauf beschränkt. In einigen anderen Ausführungsformen werden die Gateelektroden 106a und 106b nicht ersetzt. In einigen anderen Ausführungsformen wird eine der Gateelektroden 106a und 106b nicht ersetzt.

[0034] Nach der Planarisierung der isolierenden Lage 219 werden die Gateelektroden 106a und 106b, die als Dummy-Gateelektroden dienen, entfernt, um Öffnungen 118a und 118b zu bilden, wie in **Fig. 1G** in Übereinstimmung mit einigen Ausführungsformen gezeigt. In einigen Ausführungsformen wird ein Ätzverfahren durchgeführt, um die Gateelektroden 106a und 106b gleichzeitig zu entfernen. In einigen anderen Ausführungsformen werden die Gateelektroden 106a und 106b in verschiedenen Ätzverfahren getrennt entfernt.

[0035] In einigen Ausführungsformen werden die Gateelektroden 106a und 106b unter der Verwendung eines nassen Ätzverfahrens entfernt. Zum Beispiel kann eine Ätzlösung enthaltend NH_4OH Lösung, verdünnte-HF, andere geeignete Ätzlösung oder eine Kombination davon verwendet werden. In einigen Ausführungsformen werden die Gateelektroden 106a und 106b unter der Verwendung eines trockenen Ätzverfahrens entfernt. Beispielhafte Ätzmittel schließen Fluor- und/oder Chlor-basierte Ätzmittel ein.

[0036] Wie in **Fig. 1H** gezeigt, werden in Übereinstimmung mit einigen Ausführungsformen Metall-Gateelektroden 120a und 120b nacheinander in den Öffnungen 118a und 118b gebildet. Jede der Metall-Gateelektroden 120a und 120b schließt in einigen Ausführungsformen eine Austrittsarbeitslage(n) und eine Gateelektrodenlage ein. Die Gateelektrodenlage wird dazu verwendet, um eine elektrische Verbindung zwischen der/den Austrittsarbeitslage(n) und einem anschließend

gebildeten Kontakt, gekoppelt an die Gateelektrodenlage, zur Verfügung zu stellen. In einigen Ausführungsformen ist die Gateelektrodenlage aus einem geeigneten Metallmaterial hergestellt. Das geeignete Metallmaterial kann Aluminium, Wolfram, Gold, Platin, Kobalt, andere geeignete Metallmaterialien, eine Legierung davon oder eine Kombination davon einschließen.

[0037] Die Austrittsarbeitslage(n) stellt/stellen die gewünschte Austrittsarbeit für Transistoren zur Verfügung, um die Leistung der Vorrichtung zu verbessern, einschließlich verbesserter Schwellenspannung. In den Ausführungsformen der Bildung eines NMOS Transistors, kann/können die Austrittsarbeitslage(n) ein N-Typ-Metall sein, das in der Lage ist, einen für die Vorrichtung geeigneten Austrittsarbeitswert zur Verfügung zu stellen. Der Austrittsarbeitswert ist, zum Beispiel, gleich zu oder weniger als ungefähr 4,5 eV. Das n-Typ-Metall kann Metall, Metallkarbid, Metallnitrid oder eine Kombination davon sein. Zum Beispiel schließt das N-Typ-Metall Tantal, Tantalnitrid oder eine Kombination davon ein. In einigen Ausführungsformen schließt die Metall-Gateelektrode 120a das N-Typ Metall ein.

[0038] Andererseits, in den Ausführungsformen der Bildung eines PMOS Transistors, kann/können die Austrittsarbeitslage(n) ein P-Typ-Metall sein, das in der Lage ist, einen für die Vorrichtung geeigneten Austrittsarbeitswert zur Verfügung zu stellen. Der Austrittsarbeitswert ist, zum Beispiel, gleich zu oder größer als ungefähr 4,8 eV. Das P-Typ-Metall kann Metall, Metallkarbid, Metallnitrid, andere geeignete Materialien oder eine Kombination davon einschließen. Zum Beispiel schließt das P-Typ-Metall Titan, Titanitrid andere geeignete Materialien oder eine Kombination davon ein. In einigen Ausführungsformen schließt die Metall-Gateelektrode 120b das P-Typ Metall ein.

[0039] Die Austrittsarbeitslage(n) kann/können auch aus Hafnium, Zirkonium, Titan, Tantal, Aluminium, Metallkarbid (z.B., Hafniumkarbid, Zirkoniumkarbid, Titankarbid, Aluminiumkarbid), Aluminiden, Ruthenium, Palladium, Platin, Kobalt, Nickel, leitfähigen Metalloxiden oder einer Kombination davon hergestellt sein.

[0040] In einigen Ausführungsformen wird die Metallgateelektrode 120a gebildet, bevor die Metallgateelektrode 120b gebildet wird. In einigen Ausführungsformen wird eine Maskenlage (nicht gezeigt) gebildet, um die Öffnung 118b abzudecken und/oder zu füllen, um sicherzustellen, dass die Metallgateelektrode 120 in der Öffnung 118a und nicht in der Öffnung 118b gebildet wird. Die Maskenlage kann auch als eine blockierende Lage bezeichnet werden. In einigen Ausführungsformen ist die Maskenlage aus Polysilizium, amorphem Silizium, Siliziumnitrid, Sili-

ziumoxid, Spin-on Glas, anderen geeigneten Materialien oder einer Kombination davon hergestellt.

[0041] In einigen Ausführungsformen wird ein Hartmaskenmaterial über der isolierenden Lage 219 aufgetragen, um die Öffnungen 118a und 118b zu überfüllen. Danach wird ein Planarisierungsverfahren durchgeführt, um das Hartmaskenmaterial außerhalb der Öffnungen 118a und 118b zu entfernen. In einigen Ausführungsformen wird ein Maskenelement (nicht gezeigt) gebildet, um das in der Öffnung 118b verbleibende Hartmaskenmaterial abzudecken, so dass das in der Öffnung 118a verbleibende Hartmaskenmaterial freigelegt wird. In einigen Ausführungsformen ist das Maskenelement eine strukturierte Photolack-Lage. Danach wird in Übereinstimmung mit einigen Ausführungsformen das in der Öffnung 118a verbleibende Hartmaskenmaterial unter der Verwendung eines geeigneten Ätzmittels entfernt. Das Maskenelement wird dann entfernt. Als Ergebnis bildet in einigen Ausführungsformen das in der Öffnung 118b verbleibende Hartmaskenmaterial die Maskenlage, welche die Öffnung 118b abdeckt und/oder füllt. In einigen Ausführungsformen wird die Maskenlage dazu verwendet sicherzustellen, dass die Metall-Gateelektrode 120 in der Öffnung 118a und nicht in der Öffnung 118b gebildet wird.

[0042] In einigen Ausführungsformen wird/werden die Austrittsarbeitslage(n) (wie zum Beispiel ein N-Typ-Metall) unter der Verwendung eines geeigneten Auftragsverfahrens über die isolierende Lage 219 und die Seitenwände und Böden der Öffnung 118a aufgetragen. Das geeignete Auftragsverfahren kann ein PVD-Verfahren, Beschichtungsverfahren, CVD-Verfahren, andere anwendbare Verfahren oder eine Kombination davon einschließen. Danach wird die Gateelektrodenlage unter der Verwendung von, zum Beispiel, einem PVD-Verfahren, Beschichtungsverfahren, CVD-Verfahren, oder ähnlichem über die Austrittsarbeitslage(n) aufgetragen. Die Gateelektrodenlage und die Austrittsarbeitslage(n) werden dann strukturiert, um die Teile außerhalb der Öffnung 118a zu entfernen. In einigen Ausführungsformen wird ein Planarisierungsverfahren, wie zum Beispiel ein CMP-Verfahren, durchgeführt, um die Teile außerhalb der Öffnung 118a zu entfernen. Im Ergebnis wird die Metall-Gateelektrode 120a gebildet. Danach wird die Maskenlage, welche die Öffnung 118b abdeckt und/oder füllt, entfernt.

[0043] Danach wird die Metall-Gateelektrode 120b in der Öffnung 118b gebildet, wie in **Fig. 1H** in Übereinstimmung mit einigen Ausführungsformen gezeigt. Die Austrittsarbeitslage(n) (wie zum Beispiel ein P-Typ-Metall) und die Gateelektrodenlage wird/werden anschließend gebildet, um die Öffnung 118b zu füllen, und strukturiert, um die Metall-Gateelektrode 120b zu bilden. Es sollte jedoch erkannt werden, dass Ausführungsformen der Erfindung nicht

darauf beschränkt sind. In einigen anderen Ausführungsformen wird die Metall-Gateelektrode 120b vor der Metall-Gateelektrode 120a gebildet.

[0044] Ausführungsformen der Erfindung haben viele Variationen. Wie oben erwähnt, können die Gateelektroden 106a und 106b in verschiedenen Ätzverfahren getrennt entfernt werden. In einigen Ausführungsformen wird die Gateelektrode 106a in einem ersten Ätzverfahren entfernt, und die Gateelektrode 106b wird durch eine Maskenlage (nicht gezeigt) abgedeckt und verbleibt. Danach wird die Metall-Gateelektrode 120a in der Öffnung 118a gebildet. Die Gateelektrode 106b wird entfernt, nachdem die Metall-Gateelektrode 120a gebildet wurde. Danach wird die Metall-Gateelektrode 120b in der Öffnung 118b gebildet.

[0045] In einigen anderen Ausführungsformen wird ein erster Austauschprozess durchgeführt, um die Gateelektrode 106b durch die Metall-Gateelektrode 120b zu ersetzen. Danach wird ein zweiter Austauschprozess durchgeführt, um die Gateelektrode 106a durch die Metall-Gateelektrode 120b zu ersetzen.

[0046] Wie in **Fig. 1H** gezeigt, weist der Gate-Stack 10a eine Dicke oder Weite $W1$ auf. In einigen Ausführungsformen liegt die Weite $W1$ in einem Bereich von ungefähr 10 nm bis ungefähr 40 nm. Wie in **Fig. 1H** gezeigt, weist in einigen Ausführungsformen die Versiegelungsstruktur 108a eine Dicke oder Weite $W2$ in einem Bereich von ungefähr 5 nm bis ungefähr 15 nm auf. In einigen anderen Ausführungsformen liegt die Weite $W2$ in einem Bereich von ungefähr 7 nm bis ungefähr 10 nm. In einigen Ausführungsformen ist die Weite $W2$ die Weite des Bodenteils der Versiegelungsstruktur 108a.

[0047] In einigen Ausführungsformen ist die Weite $W1$ des Gate-Stacks 10a größer als die Weite $W2$ der Versiegelungsstruktur 108a. In einigen Ausführungsformen liegt ein Weitenverhältnis der Versiegelungsstruktur 108a zu dem Gate-Stack 10a ($W2/W1$) in einem Bereich von ungefähr 0,05 bis ungefähr 0,7. In einigen anderen Ausführungsformen liegt das Weitenverhältnis ($W2/W1$) in einem Bereich von ungefähr 0,1 bis ungefähr 0,5.

[0048] Wie oben erwähnt, wird die Dummy-Abschirmlage 204 als temporärer Haupt-Abstandshalter verwendet und wird entfernt, nachdem S/D Regionen gebildet werden. Der als Kontaktfläche benutzte Bereich wird nicht durch einen Haupt-Abstandshalter belegt. Im Ergebnis wird die Kontaktfläche vergrößert. Wie in **Fig. 1H** gezeigt, ist die Kontaktfläche im Wesentlichen gleich zu einer Weite $W3$. In einigen Ausführungsformen wird die Weite $W3$ von einer unteren Oberfläche der Versiegelungsstruktur 108a bis zu einer äußeren Kante der isolierenden

Struktur 102 gemessen. In einigen Ausführungsformen liegt die Weite W3 in einem Bereich von ungefähr 20 nm bis ungefähr 50 nm. In einigen anderen Ausführungsformen liegt die Weite W3 in einem Bereich von ungefähr 30 nm bis ungefähr 40 nm. Daher ist es leichter einen Kontakt über eine größere Kontaktfläche zu bilden, da kein Haupt-Abstandshalter die Kontaktfläche belegt. Die Leistung und Ausbeute werden entsprechend verbessert.

[0049] Wie in **Fig. 1H** gezeigt, weist die Halbleitervorrichtungsstruktur einen Gate-zu-Gate Pitch P auf. Da kein Raum durch einen Haupt-Abstandshalter oder den temporären Haupt-Abstandshalter (die Dummy-Abschirmung 204, die entfernt wurde) belegt wird, ist der Gate-zu-Gate Pitch P verglichen zu anderen Halbleitervorrichtungsstrukturen mit Haupt-Abstandshaltern verringert. In einigen Ausführungsformen liegt der Gate-zu-Gate Pitch P in einem Bereich von ungefähr 30 nm bis ungefähr 90 nm. In einigen anderen Ausführungsformen liegt der Gate-zu-Gate Pitch in einem Bereich von ungefähr 40 nm bis ungefähr 70 nm.

[0050] Die Metall-Gateelektroden 120a und 120b liegen jeweils in direktem Kontakt mit den Versiegelungsstrukturen 108a und 108b vor, wie in **Fig. 1H** in Übereinstimmung mit einigen Ausführungsformen gezeigt. Zum Beispiel liegen die Versiegelungsstrukturen 108a und 108b jeweils in direktem Kontakt mit den Austrittsarbeitslagen der Metall-Gateelektroden 120a und 120b vor. Jedoch befindet sich in einigen anderen Ausführungsformen eine andere Lage zwischen der Metall-Gateelektrode und der Versiegelungsstruktur, was genauer im Folgenden beschrieben wird.

[0051] **Fig. 2** zeigt in Übereinstimmung mit einigen Ausführungsformen eine Querschnittsansicht einer Halbleitervorrichtungsstruktur. In einigen Ausführungsformen wird die Gate-dielektrische Lage 104 auch durch andere Gate-dielektrische Lage(n) ersetzt. Wie in **Fig. 2** gezeigt, werden die Gate-dielektrischen Lagen 304a und 304b nacheinander über den Böden und den Seitenwänden der Öffnungen 118a und 118b gebildet, um in Übereinstimmung mit einigen Ausführungsformen die Gate-dielektrische Lage 104 zu ersetzen. In einigen anderen Ausführungsformen werden die Gate-dielektrischen Lagen 304a und 304b aus derselben dielektrischen Lage strukturiert. In diesen Fällen sind die Materialien der Gate-dielektrischen Lagen 304a und 304b die Gleichen. In einigen Ausführungsformen, nachdem die Gate-dielektrischen Lagen 304a und 304b gebildet werden, wird eine Maskenlage (nicht gezeigt) gebildet, um eine der Öffnungen (118a oder 118b) abzudecken und/oder zu füllen, um bei der anschließenden Bildung der Metall-Gateelektroden 120a und 120b zu helfen. Ähnlich zu den in **Fig. 1H** gezeigten Ausführungsformen, werden die

Metall-Gateelektroden 120a und 120b nacheinander gebildet.

[0052] Die Gate-dielektrischen Lagen 304a und 304b können ein Material mit einer hohen dielektrischen Konstante (high-k Material) einschließen. Das high-k Material kann Hafniumoxid (HfO_2), Hafniumsiliziumoxid (HfSiO), Hafniumsiliziumoxynitrid (HfSiON), Hafniumtantaloxyd (HfTaO), Hafniumtitanoxyd (HfTiO), Hafniumzirkoniumoxyd (HfZrO), andere geeignete high-k dielektrische Materialien, oder eine Kombination davon einschließen. Das high-k Material kann weiterhin Metalloxide, Metallnitride, Metallsilikate, Übergangsmetalloxide, Übergangsmetallnitride, Übergangsmetallsilikate, Oxynitride von Metallen, Metallaluminat, Zirkoniumsilikat, Zirkoniumaluminat, Siliziumoxid, Siliziumnitrid, Siliziumoxynitrid, Zirkoniumoxid, Titanoxid, Aluminiumoxid, Hafniumdioxid-Alumina ($\text{HfO}_2\text{—Al}_2\text{O}_3$) Legierung, andere geeignete Materialien, oder eine Kombination davon einschließen.

[0053] Wie in **Fig. 2** gezeigt, liegt die Metall-Gateelektrode 120a oder 120b in Übereinstimmung mit einigen Ausführungsformen nicht in direktem Kontakt mit der Versiegelungsstruktur 108a oder 108b vor. Die Gate-dielektrische Lage 304a (oder 304b) trennt die Metall-Gateelektrode 120a (oder 120b) von der Versiegelungsstruktur 108a (oder 108b). In einigen Ausführungsformen werden Teile der Regionen (wie zum Beispiel die dotierten Regionen 110a und 110b) jeweils durch die Versiegelungsstrukturen 108a und 108b abgedeckt.

[0054] Ausführungsformen der Erfindung können viele Variationen aufweisen. Zum Beispiel wird die LDS/D Region (wie zum Beispiel die dotierten Regionen 110a oder 110b) nicht darauf beschränkt, durch die Versiegelungsstruktur abgedeckt zu sein. **Fig. 3** zeigt eine Querschnittsansicht einer Halbleitervorrichtungsstruktur in Übereinstimmung mit einigen Ausführungsformen. Wie in **Fig. 3** gezeigt, werden in Übereinstimmung mit einigen Ausführungsformen ein terminaler Teil der LDS/D Region (wie zum Beispiel die dotierte Region 110a oder 110b) und eine äußere Oberfläche der Versiegelungsstruktur (wie zum Beispiel die Versiegelungsstruktur 108a oder 108b) bündig miteinander angeordnet oder im Wesentlichen bündig miteinander angeordnet. In einigen Ausführungsformen wird die LDS/D Region (wie zum Beispiel die dotierte Region 110a oder 110b) nicht durch die Versiegelungsstruktur 108a oder 108b abgedeckt oder erstreckt sich nicht unter diese.

[0055] Ausführungsformen zur Bildung einer Halbleitervorrichtungsstruktur werden zur Verfügung gestellt. Eine Dummy-Abschirmung, wie zum Beispiel eine Photolack-Lage, wird als ein temporärer Haupt-Abstandshalter verwendet, um in dem Implan-

tationsverfahren zur Bildung der Source- und Drainregionen (z.B. stark dotierten Source- und Drainregionen) der Halbleitervorrichtungsstruktur zu helfen. Die Dummy-Abschirmlage kann danach leicht entfernt werden, so dass kein Haupt-Abstandshalter über den Gate-Stacks der Halbleitervorrichtungsstruktur verbleibt. Daher wird der Gate-zu-Gate Pitch verringert, und die Kontaktfläche wird vergrößert. Da es nicht erforderlich ist, eine dielektrische Lage zu bilden und sorgfältig das Profil zur Bildung eines Haupt-Abstandshalters zu ätzen und zu verbessern, werden Verfahrenszeit und Kosten signifikant reduziert. Die Ausbeute und die Verlässlichkeit der Halbleitervorrichtungsstruktur werden daher verbessert.

Patentansprüche

1. Verfahren zur Bildung einer Halbleitervorrichtungsstruktur, umfassend:

Bilden eines Gate-Stacks (10a, 10b) über einem Halbleitersubstrat (100);

Bilden einer Versiegelungs-Struktur (108a, 108b) über einer Seitenwand des Gate-Stacks (10a, 10b);
Bilden einer durchgehenden Dummy-Abschirmlage (204) über dem Halbleitersubstrat (100), der Versiegelungsstruktur (108a, 108b) und dem Gate-Stack (10a, 10b), wobei die durchgehende Dummy-Abschirmlage (204) ein Photolack-Material umfasst; Durchführen eines Ionen-Implantationsverfahrens auf der durchgehenden Dummy-Abschirmlage (204), um Source- und Drain-Regionen (112', 116) in dem Halbleitersubstrat (100) zu bilden, wobei die durchgehende Dummy-Abschirmlage (204) als eine Implantationsmaske fungiert; und

Entfernen der durchgehenden Dummy-Abschirmlage (204), nachdem die Source- und Drain-Regionen (112', 116) gebildet werden.

2. Verfahren zur Bildung einer Halbleitervorrichtungsstruktur wie beansprucht in Anspruch 1, weiter umfassend Bilden einer anti-Reflektions dielektrischen Lage (202), ARD-Lage, über dem Halbleitersubstrat (100), der Versiegelungsstruktur (108a, 108b) und dem Gate-Stack (10a, 10b), bevor die durchgehende Dummy-Abschirmlage (204) gebildet wird.

3. Verfahren zur Bildung einer Halbleitervorrichtungsstruktur wie beansprucht in Anspruch 2, weiter umfassend ein Entfernen der ARD-Lage (202).

4. Verfahren zur Bildung einer Halbleitervorrichtungsstruktur wie beansprucht in Anspruch 1, weiter umfassend Bilden einer leicht dotierten Source/Drain-Region (110a, 110b), LDS/D-Region, in dem Halbleitersubstrat (100), nachdem die Versiegelungsstruktur (108a, 108b) gebildet wird und bevor die durchgehende Dummy-Abschirmlage (204) gebildet wird.

5. Verfahren zur Bildung einer Halbleitervorrichtungsstruktur wie beansprucht in Anspruch 1, weiter umfassend Bilden einer Ätzstopplage (217) über dem Halbleitersubstrat (100), der Versiegelungsstruktur (108a, 108b) und dem Gate-Stack (10a, 10b).

6. Verfahren zur Bildung einer Halbleitervorrichtungsstruktur wie beansprucht in Anspruch 1, wobei eine Weite der Versiegelungsstruktur (108a, 108b) in einem Bereich von ungefähr 5 nm bis ungefähr 15 nm vorliegt.

7. Verfahren zur Bildung einer Halbleitervorrichtungsstruktur wie beansprucht in Anspruch 1, wobei ein Weitenverhältnis der Versiegelungsstruktur (108a, 108b) zu dem Gate-Stack (10a, 10b) in einem Bereich von ungefähr 0,05 bis ungefähr 0,7 vorliegt.

8. Verfahren zur Bildung einer Halbleitervorrichtungsstruktur wie beansprucht in Anspruch 1, wobei die durchgehende Dummy-Abschirmlage (204) vollständig entfernt wird.

9. Verfahren zur Bildung einer Halbleitervorrichtungsstruktur wie beansprucht in Anspruch 1, weiter umfassend ein Ersetzen einer Gateelektrode (106a, 106b) des Gate-Stacks (10a, 10b) mit einer Metall-Gateelektrode (120a, 120b).

10. Verfahren zur Bildung einer Halbleitervorrichtungsstruktur, umfassend:

Bilden eines ersten Gate-Stack (10a) und eines zweiten Gate-Stack (10b) über einem Halbleitersubstrat (100);

Bilden von Versiegelungsstrukturen (108a, 108b) über Seitenwänden jeweils des ersten Gate-Stack (10a) und des zweiten Gate-Stack (10b);

Bilden einer durchgehenden Dummy-Abschirmlage (204) über dem Halbleitersubstrat (100), den Versiegelungsstrukturen (108a, 108b), dem ersten Gate-Stack (10a) und dem zweiten Gate-Stack (10b), wobei die durchgehende Dummy-Abschirmlage (204) ein Photolack-Material umfasst;

nacheinander Durchführen von Ionen-Implantationsverfahren auf der durchgehenden Dummy-Abschirmlage (204), um nacheinander erste Source- und Drain-Regionen (116) und zweite Source- und Drain-Regionen (112') in dem Halbleitersubstrat (100) und auf gegenüberliegenden Seiten jeweils des ersten Gate-Stack (10a) und des zweiten Gate-Stack (10b) zu bilden, wobei die durchgehende Dummy-Abschirmlage (204) als eine Implantationsmaske fungiert; und

Entfernen der durchgehenden Dummy-Abschirmlage (204), nachdem die ersten Source- und Drain-Regionen (116) und die zweiten Source- und Drain-Regionen (112') gebildet werden.

11. Verfahren zur Bildung einer Halbleitervorrichtungsstruktur wie beansprucht in Anspruch 10, wobei die ersten Source- und Drain Regionen (116) und die zweiten Source- und Drain Regionen (112') mit verschiedenen Dotanden implantiert sind.

12. Verfahren zur Bildung einer Halbleitervorrichtungsstruktur wie beansprucht in Anspruch 10, wobei die durchgehende Dummy-Abschirmlage (204) ein photosensitives Polymer umfasst.

13. Verfahren zur Bildung einer Halbleitervorrichtungsstruktur wie beansprucht in Anspruch 10, wobei die durchgehende Dummy-Abschirmlage (204) vollständig entfernt wird.

14. Verfahren zur Bildung einer Halbleitervorrichtungsstruktur wie beansprucht in Anspruch 10, weiter umfassend:

Ersetzen einer ersten Gateelektrode (106a) des ersten Gate-Stack (10a) mit einer ersten Metall-Gateelektrode (120a); und

Ersetzen einer zweiten Gateelektrode (106b) des zweiten Gate-Stack mit einer zweiten Metall-Gateelektrode (120b).

15. Halbleitervorrichtungsstruktur, umfassend:
 ein Halbleitersubstrat (100);
 ein Gate-Stack (10a, 10b) über dem Halbleitersubstrat (100);
 eine Versiegelungsstruktur (108a, 108b) über einer Seitenwand des Gate-Stack (10a, 10b), wobei ein Weitenverhältnis der Versiegelungsstruktur (108a, 108b) zu dem Gate-Stack (10a, 10b) in einem Bereich von ungefähr 0,05 bis ungefähr 0,7 vorliegt;
 eine leicht dotierte Source/Drain-Region (110a, 110b), LDS/D-Region, in dem Halbleitersubstrat (100), wobei ein terminaler Teil der LDS/D-Region (110a, 110b) und eine äußere Oberfläche der Versiegelungsstruktur (108a, 108b) bündig miteinander angeordnet sind; und
 eine Ätzstopplage (217) über dem Halbleitersubstrat (100), dem Gate-Stack (10a, 10b), und der Versiegelungsstruktur (108a, 108b), wobei die Ätzstopplage (217) in direktem Kontakt mit der Versiegelungsstruktur (108a, 108b) vorliegt und keine Zwischenlage zwischen der Versiegelungsstruktur (108a, 108b) und der Ätzstopplage (217) vorhanden ist, wobei die Versiegelungsstruktur (108a, 108b) Siliziumnitrid umfasst.

16. Halbleitervorrichtungsstruktur wie beansprucht in Anspruch 15, wobei der Gate-Stack (10a, 10b) eine Metall-Gateelektrode (120a, 120b) und eine Gate-dielektrische Lage (104) umfasst.

17. Halbleitervorrichtungsstruktur wie beansprucht in Anspruch 16, wobei die Versiegelungs-

struktur (108a, 108b) in direktem Kontakt mit der Metall-Gateelektrode (120a, 120b) vorliegt.

Es folgen 5 Seiten Zeichnungen

Anhängende Zeichnungen

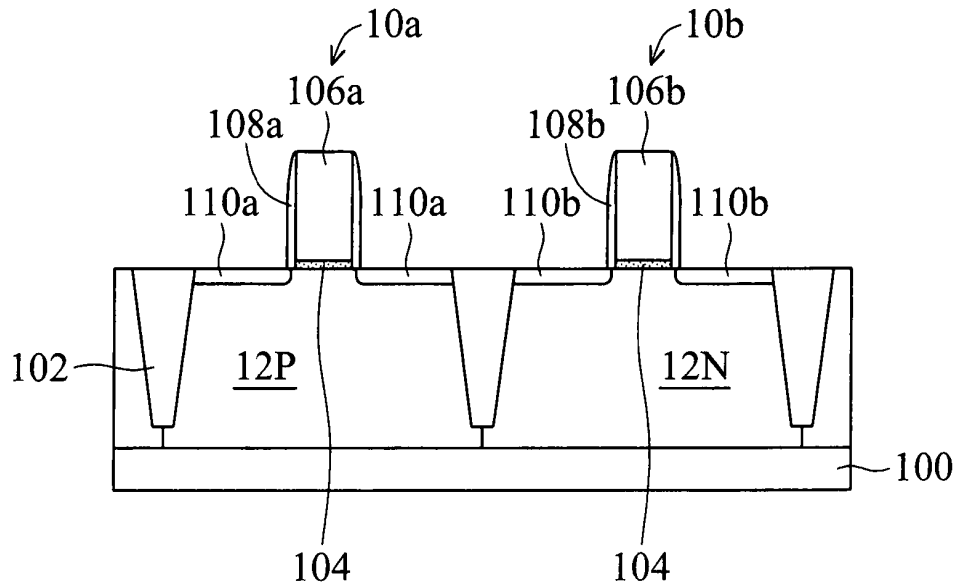


FIG. 1A

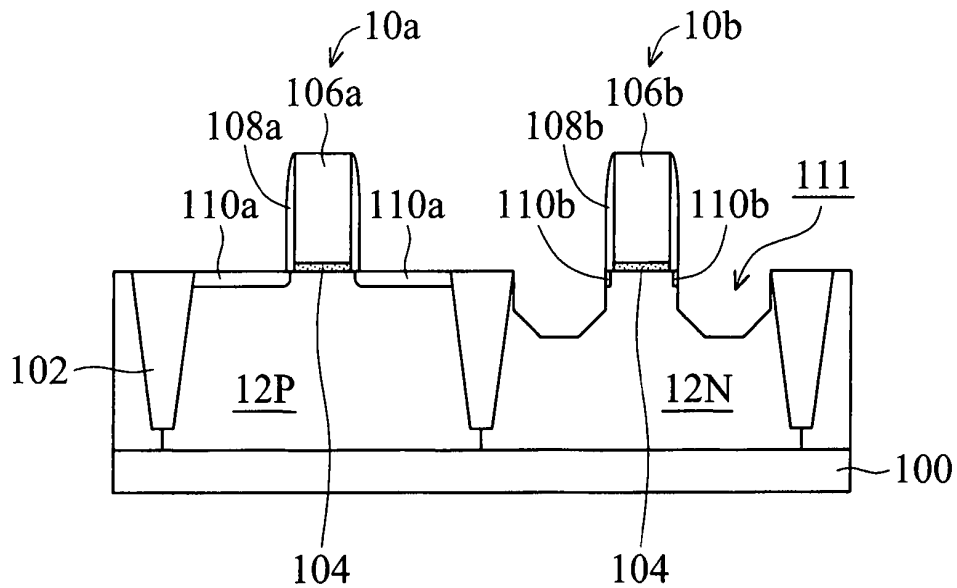


FIG. 1B

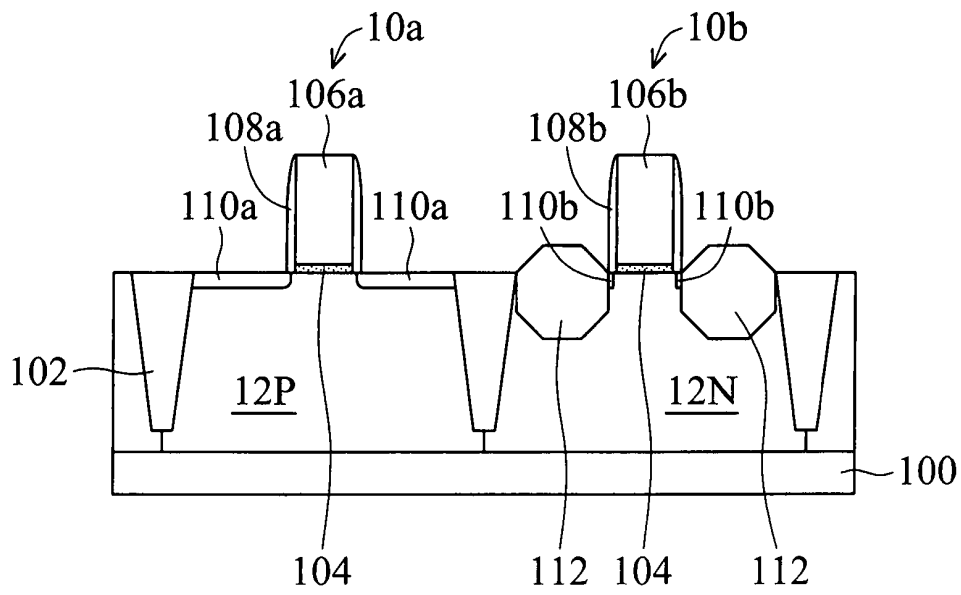


FIG. 1C

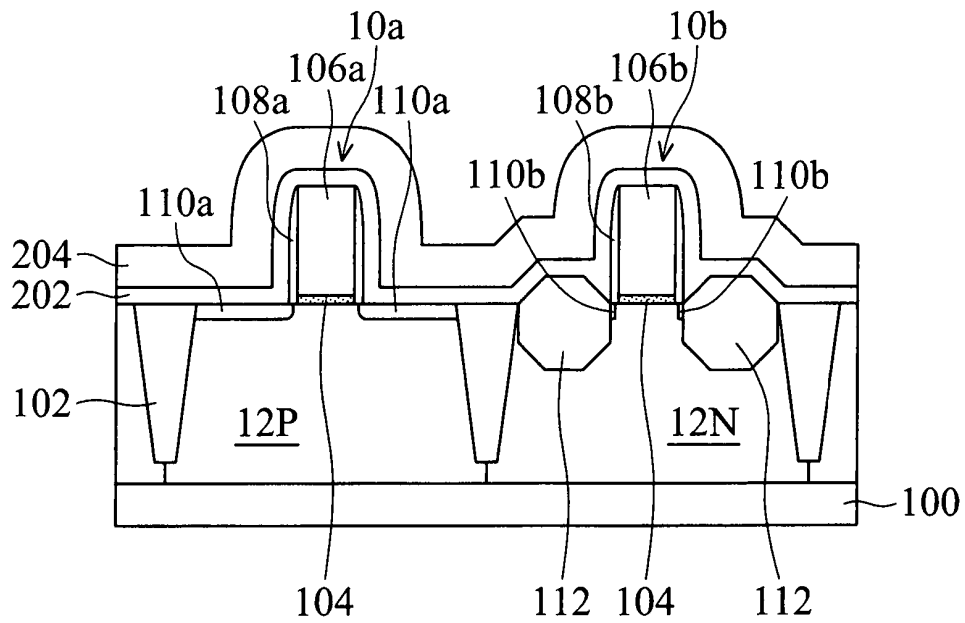


FIG. 1D

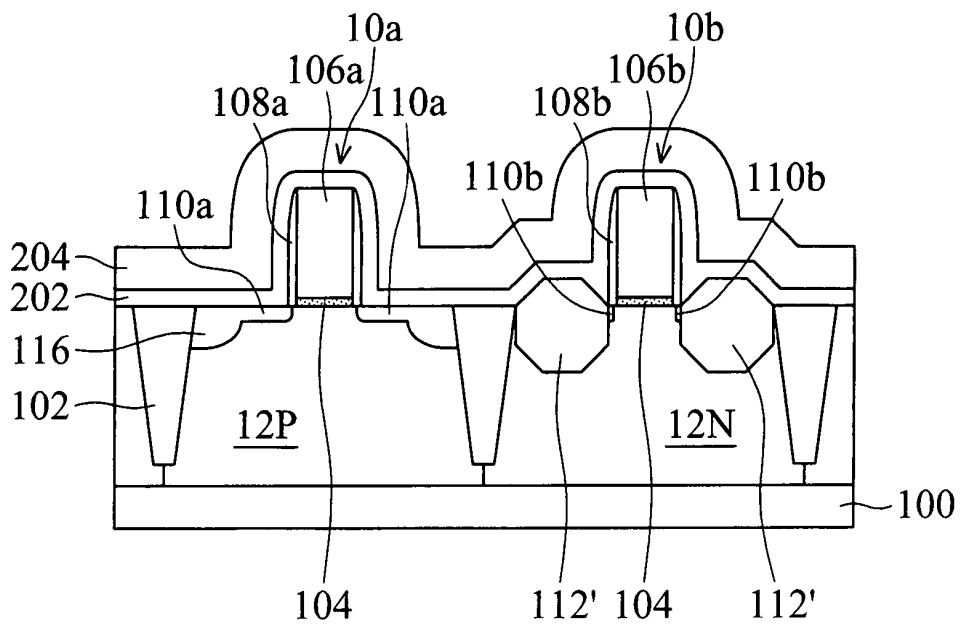


FIG. 1E

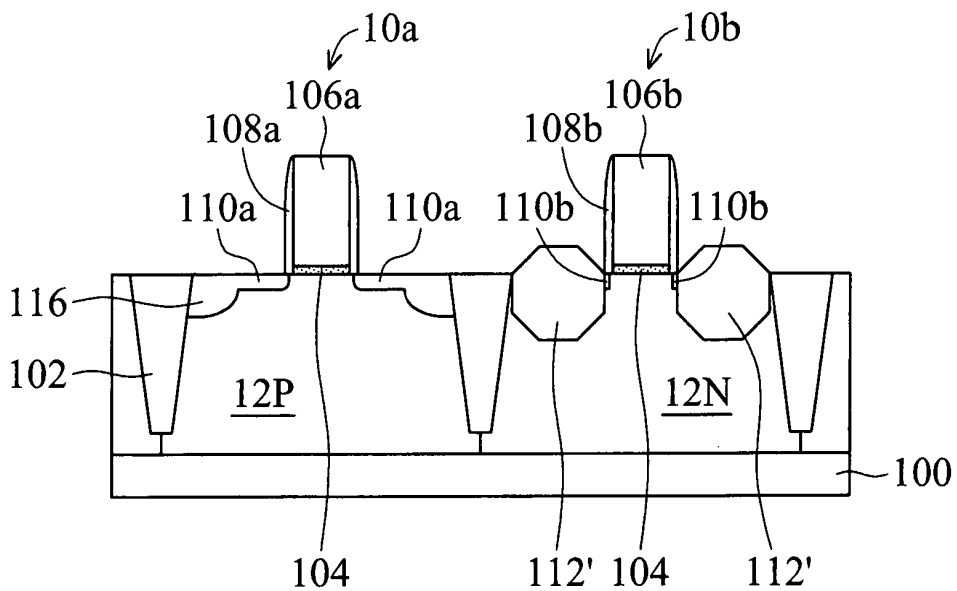


FIG. 1F

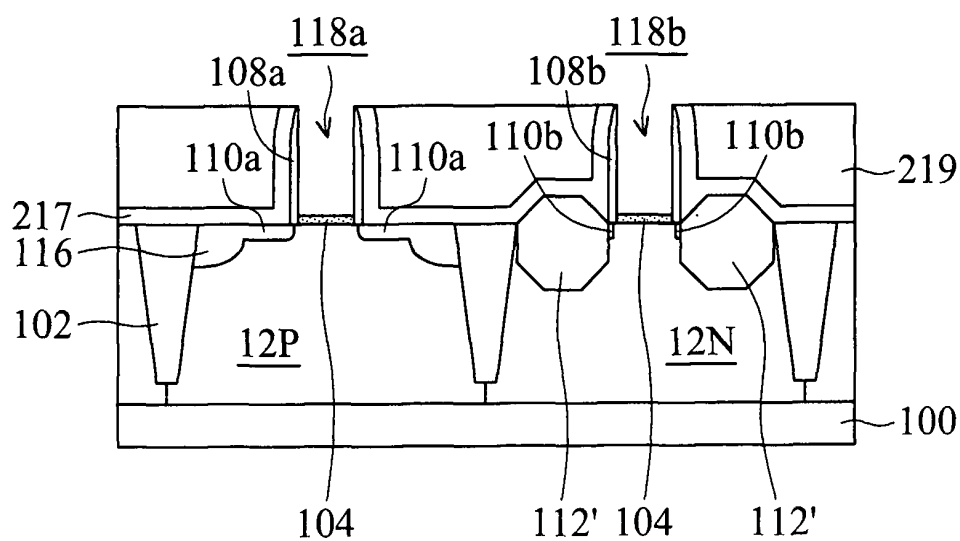


FIG. 1G

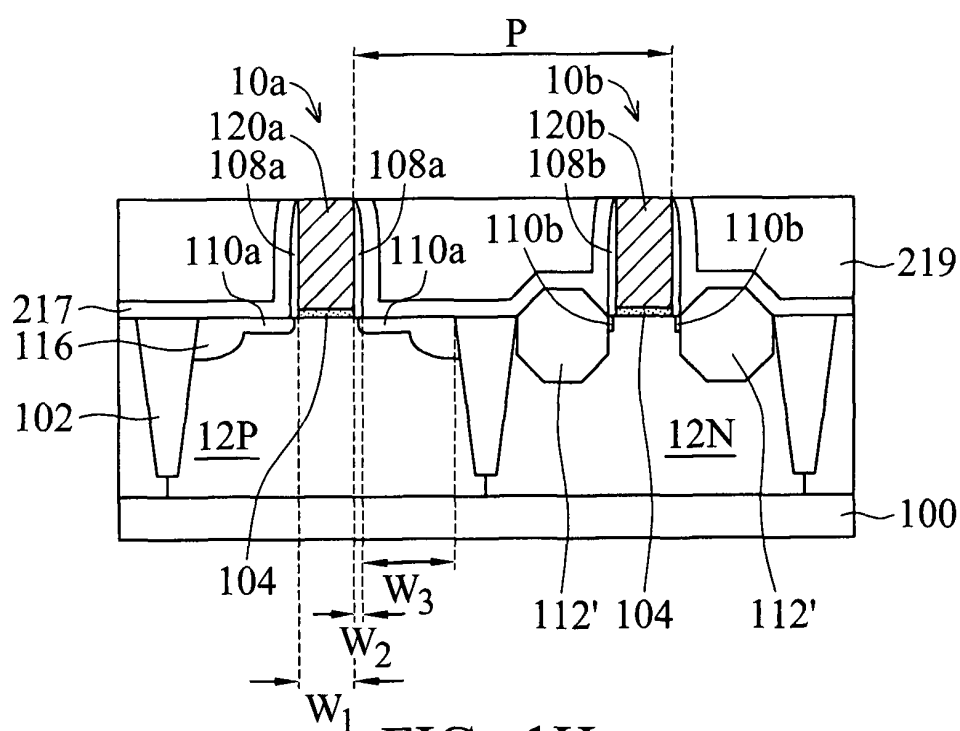


FIG. 1H

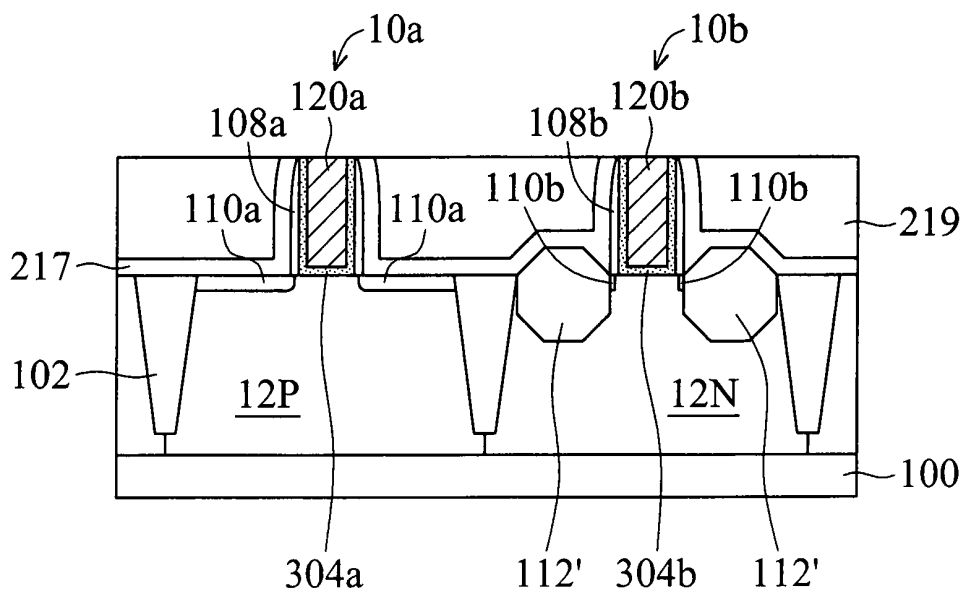


FIG. 2

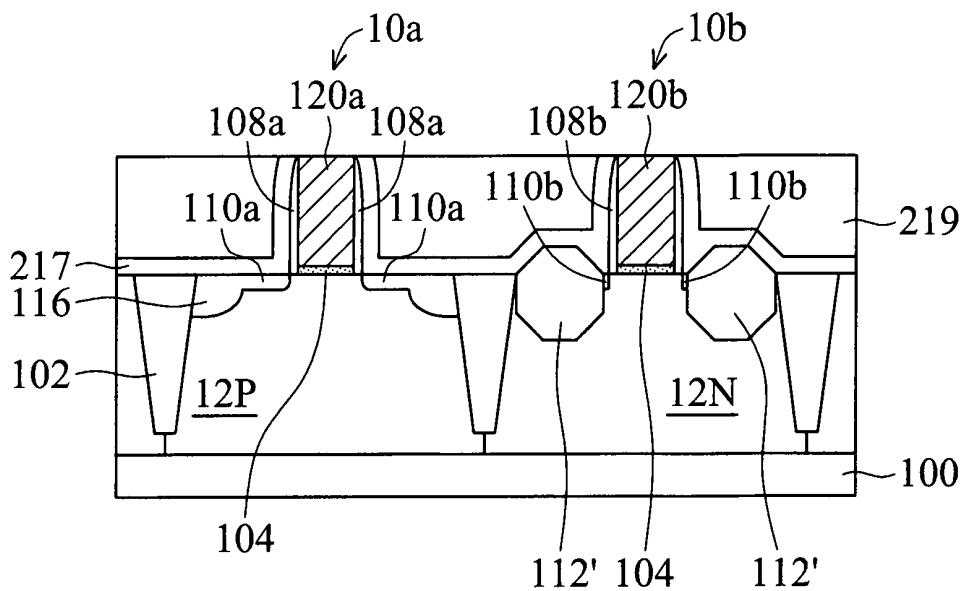


FIG. 3