(19) **Japanese Patent Office (JP)**

(12) **Published Patent Gazette (A)**

(11) Japanese Patent Application Publication No.
JP 2005-64190
(P2005-64190A)
(43) [Publication date] **3.10.2005**

(51) Int. C1.[7]	FI		Theme code (reference)
HO1L 29/78	HO1L 29/78	301G	4M104
HO1L 21/283	HO1L 21/283	C	5F058
HO1L 21/316	HO1L 21/316	Y	5F110
HO1L 21/336	HO1L 29/78	617S	5F140
HO1L 29/417	HO1L 29/50	M	

Examination Request: Made; Number of Claims: 13 OL (Total 29 pages) Continued on the last page.

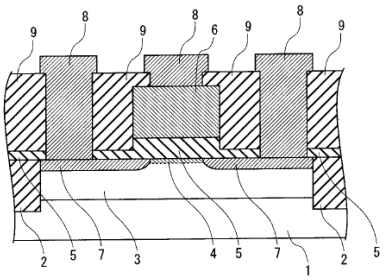
(21) Application No.: Patent Application 2003-291610 (P2003-291610)
(22) Application Date: 8.11.2003

(71) Applicant: 000003078
Toshiba Corporation
1-1, Shibaura 1-chome, Minato-ku, Tokyo
(74) Agent: 100083161
Patent Attorney: Hideaki Sotokawa
(72) Inventor: Mizuki Ono
8 New Sugita-cho, Isogo-ku, Yokohama City, Kanagawa Prefecture,
Toshiba Yokohama Plant
(72) Inventor: Akira Nishiyama
8 New Sugita-cho, Isogo-ku, Yokohama City, Kanagawa Prefecture,
Toshiba Yokohama Plant

Continued on the last page.

(54) [Title of Invention] Semiconductor Device and Its Manufacturing Method

(57) [Abstract]
[Problem to be Solved] The goal is to achieve both high-speed operation and high reliability in a semiconductor device. As a result, a high-performance semiconductor device with high-speed operation and high reliability is provided.
[Means for Solving the Problem] The gate insulating film 5 is present on the source-drain region 7, and the gate insulating film 5 on the source-drain region 7 has a different thickness from the gate insulating film 5 under the gate electrode 6 containing metal. By adjusting the position of the induced polarization charge on the surface and bottom of the gate insulating film 5, it is possible to mitigate the electric field at the lower end corner of the gate electrode 6. This suppresses problems such as insulation breakdown and decreased reliability of the gate insulating film.
[Selected Representative Drawing] Fig. 1



1 ... Semiconductor substrate
2 ... Element isolation region
3 ... P-well region
4 ... Channel region
5 ... Gate insulating film

[Scope of patent claims]

[Claim 1] A semiconductor device comprising a semiconductor substrate, a pair of source-drain regions adjacent to the channel region planned to be formed on the surface of the aforementioned semiconductor substrate in the gate length direction, a gate electrode formed on the channel region planned on the side of the semiconductor substrate containing metal, and having a first thickness in the overlap region between the semiconductor substrate and the gate electrode, and a pair of edge portions with a film thickness different from the first thickness formed on a portion of the source-drain region sandwiching the central portion along the gate length direction of the aforementioned gate insulating film.

[Claim 2] The semiconductor device according to Claim 1, wherein the gate insulating film contains metal.

[Claim 3] The semiconductor device according to Claim 1 or 2, further comprising gate-side walls or interlayer insulating films with a lower dielectric constant than the gate insulating film on the pair of edge portions of the gate insulating film.

[Claim 4] The semiconductor device according to any one of Claims 1 to 3, wherein the film thickness of the pair of edge portions is thinner than the first thickness.

[Claim 5] The semiconductor device according to Claim 4, wherein the length parallel to the gate length direction of the pair of edge portions is longer than the first thickness.

[Claim 6] The semiconductor device according to Claim 5, wherein the length parallel to the gate length direction of the pair of edge portions is longer than 1.5 times the first thickness.

[Claim 7] The semiconductor device according to any one of Claims 4 to 6, wherein gate-side walls are formed on the pair of edge portions.

[Claim 8] The semiconductor device according to any one of Claims 4 to 7, wherein the pair of edge portions extend under the gate electrode.

[Claim 9] The semiconductor device according to any one of Claims 4 to 7, wherein the central portion extends beyond the side wall of the gate electrode.

[Claim 10] The semiconductor device according to any one of Claims 1 to 3, wherein the film thickness of the pair of edge portions is thicker than the first thickness.

[Claim 11] The semiconductor device according to Claim 10, wherein the thick pair of edge portions are spaced apart from the side surface of the gate electrode.

[Claim 12] A method for manufacturing a semiconductor device comprising

a step of forming a gate insulating film on the surface of a semiconductor substrate,

a step of forming a gate electrode containing metal on a portion of the gate insulating film,

a step of removing the upper part of the gate insulating film on both sides of the gate electrode and leaving only the lower part on the surface of the semiconductor substrate, and

a step of adding impurities to the surface of the semiconductor substrate sandwiched by the gate electrode to form source-drain regions.

[Claim 13] A method for manufacturing a semiconductor device comprising

a step of forming a gate insulating film on the surface of a semiconductor substrate,

a step of forming a pattern surrounding the gate electrode formation region on the gate insulating film,

a step of removing the upper part of the gate insulating film only and leaving the lower part on the surface of the semiconductor substrate in the gate electrode formation region surrounded by the pattern,
a step of forming a gate electrode containing metal on a portion of the gate insulating film in the gate electrode formation region, and
a step of adding impurities to the surface of the semiconductor substrate sandwiched by the gate electrode to form source-drain regions.

[Detailed explanation of the invention]
[Technical Field]
[0001]
This invention relates to a semiconductor device and its manufacturing method, particularly relates to a field-effect transistor with a gate insulating film using a high dielectric material.
[Background Technology]
[0002]
Conventionally, as integration progresses in semiconductor integrated circuit devices, field concentration at the edge of the gate electrode becomes a problem in field-effect transistors. In order to alleviate this field concentration, a thermal oxidation treatment is performed on the gate oxide film of the gate electrode after processing the polycrystalline silicon gate electrode wiring to thicken the gate oxide film (refer to Patent Document 1).
[0003]
In addition, in order to increase the operating speed of field-effect transistors, gate electrodes with low resistance using high melting point metals are employed, and it has been proposed to use high dielectric materials in the gate insulating film to enhance current driving force. High dielectric materials refer to materials with higher dielectric constants compared to the conventional silicon dioxide used in the gate insulating film, such as metal silicates.

[Patent Document 1] Japanese Unexamined Patent Application Publication Official Gazette No. H 11(1999)-307774
[Disclosure of the Invention]
[Problems to be Solved by the Invention]
[0004]
When using a gate electrode with metal or metal silicide (hereinafter referred to as a metal gate), applying an oxidation process to round the corner at the lower end of the electrode after processing the gate electrode, as described in the above Patent Document, is not preferable as it can lead to deterioration of the gate electrode's characteristics compared to using a polycrystalline silicon gate electrode.
[0005]
In addition, even when using a polycrystalline silicon gate electrode, the oxidation process after processing the gate electrode is not preferred considering the potential degradation of the high dielectric material used in the gate insulating film.
[0006]
Furthermore, using a high dielectric material in the gate insulating film can complicate the behavior of field concentration due to the differing dielectric constants between the gate insulating film and the surrounding interlayer insulating film. This behavior of field concentration is elaborately discussed in Japanese Patent Application No. 2002-8287.
[0007]
In other words, the electric field is minimized when aligning the high dielectric material for gate insulating film formation with the channel direction end of the gate electrode during processing. Whether the edge of the gate insulating film is on the central side or opposite side of the gate electrode, the electric field rapidly increases. Particularly, protruding the gate insulating film outside the gate electrode during processing results in higher values of the electric field.
[0008]
Here, it is undesirable for residual gate electrode material to remain in unwanted regions during gate electrode processing, so the removal process of the gate electrode material is typically performed under excessive conditions. If the semiconductor substrate under the gate electrode material is inadvertently removed during this process, the source-drain junction depth needs to be increased to reduce the resistance of the source-drain on the semiconductor substrate surface. This can lead to a significant short-channel effect, affecting the normal operation of the device.
[0009]
To prevent this, the gate insulating film is commonly used as a protecting material for the semiconductor substrate during gate

electrode processing. Alternatively, to prevent short-circuiting between the source-drain region and the gate electrode, gate-side walls are provided on both sides of the gate electrode to protect the gate edge while removing the gate insulating film on the source-drain region.
[0010]
As a result, in any of the methods described, the gate insulating film protrudes over the source-drain region more than the gate electrode. This can lead to a very strong electric field at the channel length end of the gate electrode, causing issues such as insulation breakdown of the insulating film, an increase in the required insulation withstand voltage of the insulating film, and a decrease in reliability.
[0011]
Due to these circumstances, it was difficult to achieve both the improvement of the device's current drive capability and reduction of gate resistance, while ensuring insulation withstand voltage of the insulating film and meeting the reliability requirements. This hindered the realization of a balance between high-speed operation and high reliability.
[0012]
This invention has been made to solve the above problems, with the goal of providing a device that maintains high-speed operation while mitigating the electric field at the channel length end of the gate electrode, and ensuring both sufficient high-speed operation and high reliability.
[Means for solving the problem]
[0013]
In order to achieve the above objectives, this invention provides a semiconductor device comprising: a semiconductor substrate; a pair of source-drain regions adjacent to the gate length direction of the channel intended region formed on the surface of the semiconductor substrate; a gate electrode containing metal on the semiconductor substrate side and formed on the channel intended region; and a gate insulating film formed in the overlap region between the semiconductor substrate and the gate electrode, comprising a central portion with a first thickness, and a pair of end portions with a different film thickness from the first thickness formed partially on the source-drain region, sandwiching the central portion from the gate length direction.
[0014]
In addition, this invention provides a manufacturing method for a semiconductor device, comprising a step of forming a gate insulating film on the surface of the semiconductor substrate, a step of forming a gate electrode containing metal in the portion adjacent to the gate insulating film, a step of removing the upper part of the gate insulating film on both sides of the gate electrode and leaving only the lower part on the surface of the semiconductor substrate, and a step of adding impurities to the semiconductor substrate surface sandwiched by the gate electrode to form source-drain regions.
[0015]
Furthermore, this invention provides a manufacturing method for a semiconductor device, comprising a step of forming a gate insulating film on the surface of the semiconductor substrate, a step of forming a pattern surrounding the gate electrode formation intended region on the gate insulating film, a step of removing the upper part of the gate insulating film on the gate electrode formation intended region surrounded by the pattern and leaving only the lower part on the surface of the semiconductor substrate, a step of forming a gate electrode containing metal in the portion adjacent to the gate insulating film on the gate electrode formation intended region, and a step of adding impurities to the semiconductor substrate surface sandwiched by the gate electrode to form source-drain regions.
[Effect of the Invention]
[0016]
According to the semiconductor device and its manufacturing method of this invention, a high dielectric constant gate insulating film for obtaining high current drive capability, a metal gate for achieving low gate resistance, and prevention of insulation breakdown of the insulating film through suppression of electric field concentration are realized, leading to high reliability of the device. Therefore, a high-speed operation and high-reliability device is provided.
[Best Mode for Implementing the Invention]
[0017]
Below, embodiments of this invention are detailed with the aid of figures. Throughout the embodiments, the same reference numerals are used for common components, and repetitive explanations are omitted. The figures are schematic diagrams to

assist in understanding the invention, and while shapes, dimensions, and proportions may differ from actual devices, appropriate design modifications can be made based on the following description and known techniques.
[0018]
(Embodiment 1)
Fig. 1 is a cross-sectional schematic diagram illustrating Embodiment 1 of the invention, showing a cross-section parallel to the channel length of the field-effect transistor.
[0019]
This embodiment explains an N-channel field-effect transistor as an example. The same principles apply to a P-channel field-effect transistor by reversing the conductivity type of impurities. In addition, complementary field-effect transistors can be formed using methods such as selective doping in specific regions within the substrate, such as through photolithography, to achieve similar effects.
[0020]
Firstly, the structure of the field-effect transistor in Embodiment 1 is described. On the surface of the semiconductor substrate 1, such as a P-type silicon substrate, groove-type element isolation regions 2 are formed to electrically separate adjacent device regions. In the device region where the field-effect transistor is formed, a P-well region 3 is created, on top of which gate insulating film 5 and gate electrode 6 are formed.
[0021]
In addition, a pair of source-drain regions 7 are formed on the surface of the P-well region 3, sandwiching the gate electrode 6 along the channel length. An N-channel region 4 is formed on the substrate surface between the source-drain regions 7. Contact wiring 8, connecting to the gate electrode 6 and source-drain regions 7, is also formed. Interlayer insulating film 9 is present between each contact wiring 8 to electrically isolate wiring and transistors.
[0022]
The unique feature of the field-effect transistor in Embodiment 1 is that the gate insulating film 5 is present on the source-drain regions 7, and the gate insulating film 5 on the source-drain regions 7 is thinner than the gate insulating film 5 under the gate electrode 6. If the thicker region of the gate insulating film 5 under the gate electrode 6 is considered the central portion, then the thinner regions on the source-drain regions 7 are the pair of edges sandwiching the central portion.
[0023]
Due to the electric field lines originating from the gate electrode 6 and reaching the substrate, the gate insulating film 5 and interlayer insulating film 9 become polarized. This leads to the generation of polarization charges on the surface of the gate insulating film 5 on the source-drain region 7 and on the underside of the interlayer insulating film 9 above it. Considering that the gate insulating film 5 has a higher dielectric constant than the interlayer insulating film 9, the net charge appearing at this interface will be negative when a positive potential is applied to the gate electrode 6 relative to the substrate 1, and positive when a negative potential is applied. This charge always works to keep the potential of the interface away from the potential of the gate electrode 6.
[0024]
For that reason, although the electric field at the lower end corner of the gate electrode 6 is enhanced, the electric field within the gate insulating film 5 near the lower end corner of the gate insulating film 5 is relaxed because the upper surface of the gate insulating film 5 is away from the lower end corner of the gate electrode 6. This ultimately provides a semiconductor device with high reliability of the insulation film.
[0025]
The details of this electric field relaxation are further explained here. In a field-effect transistor, the gate insulating film and interlayer insulating film become polarized by the electric field lines connecting the gate electrode to the substrate through their surfaces and sides. This results in the induction of polarization charges on the surface and sides of the gate insulating film due to the difference in dielectric constant between the gate insulating film and the interlayer insulating film. This state is illustrated using a schematic diagram in Fig. 2.
[0026]
Fig. 2 is a cross-sectional schematic diagram showing an enlarged view of the end corner of the gate electrode 6 along the channel length in the field-effect transistor shown in Fig. 1. Let's consider the scenario where a positive potential is applied to the gate electrode 6 relative to the semiconductor substrate 1. The discussion remains entirely similar even if a negative potential

is applied, with only a reversal of overall signs.
[0027]
In Fig. 2, only two electric field lines are shown originating from the gate electrode 6 and reaching the semiconductor substrate 1. The diagram does not depict the bending of these electric field lines at the interface of media with different dielectric constants.
[0028]
When it comes to the gate insulating film, high dielectric constant materials like metal oxides are used, while generally high dielectric constant materials are not used for interlayer insulating films. Therefore, the dielectric constant of the gate insulating film is higher. Since a positive potential is applied to the gate electrode, the direction of the electric field on the surface of the gate insulating film points from the outside to the inside of the gate insulating film. This induces negative polarization charge on the surface of the gate insulating film and positive polarization charge on the underside of the interlayer insulating film facing it.
[0029]
In this state, since the dielectric constant of the gate insulating film is higher than that of the interlayer insulating film, the net charge induced at the interface becomes negative. This causes the gate electrode's electric field near the channel length end to strengthen by moving the surface potential of the gate insulating film away from the gate electrode.
[0030]
Here, when the gate insulating film has the same thickness above both the source-drain region and below the gate electrode, this negative charge is located at the lower corner beneath the gate electrode. Thus, the electric field near the lower corner of the gate electrode becomes the strongest. If the gate insulating film above the source-drain region differs in thickness from the gate insulating film under the gate electrode, this negative charge moves away from the lower corner of the gate electrode, weakening the enhancement of the electric field mentioned earlier, resulting in a decrease in the electric field near the lower corner of the gate electrode.
[0031]
As shown in Fig. 2, the direction of the electric field on the side surface of the gate insulating film 5 beneath the lower corner of the gate electrode 6 points from the inside to the outside of the gate insulating film 5. Conversely to the case of the surface of the gate insulating film 5 mentioned above, positive polarization charge is induced on this side surface, and negative polarization charge is induced on the side surface of the interlayer insulating film 9 facing it.
[0032]
Since the gate insulating film 5 has a higher dielectric constant than the interlayer insulating film 9, the net charge induced at the interface becomes positive.
This will bring the surface potential of the gate insulating film 5 closer to the gate electrode 6, weakening the electric field near the lower corner of the gate electrode 6.
Therefore, it is expected that if the gate insulating film 5 above the source-drain region 7 is thinner than the gate insulating film 5 below the gate electrode 6, the electric field near the lower corner of the gate electrode 6 will further weaken.
In this way, the relaxation of the electric field near the lower corner of the gate electrode 6 is achieved.
[0033]
Fig. 3 is a cross-sectional schematic diagram parallel to the channel direction related to a part of the field-effect transistor. Regarding the field-effect transistor, the value of the electric field in the gate insulating film 5 at the lower end (marked with a circle in the diagram) of the gate electrode 6 as a function of $\Delta 2$ in Fig. 3 was examined through simulation. The dielectric constant of the interlayer insulating film covering elements like the gate side walls is taken to be the dielectric constant of silicon oxide, which is 3.9. The results are shown in Fig. 4.
[0034]
The sign of $\Delta 2$ indicates that when the gate insulating film 5 above the source-drain region 7 is thicker than the gate insulating film 5 below the gate electrode 6, it is positive, and when it is thinner, it is negative, as shown in Fig. 4.
When $\Delta 2$ is zero, i.e., when the thickness of the gate insulating film 5 above the source-drain region 7 is equal to the thickness of the gate insulating film 5 below the gate electrode 6, the electric field is strongest. As $\Delta 2$ moves away from zero, the electric field weakens.
[0035]
Furthermore, when $\Delta 2$ is negative, meaning that the thickness of the gate insulating film 5 above the source-drain region 7 is thinner than the thickness of the gate insulating film 5 below the gate electrode 6, it is observed that the electric field weakens.
Therefore, it is preferable for the thickness of the gate insulating film 5 above the source-drain region 7 to be thinner than the thickness of the gate insulating film 5 below the gate electrode 6.

[0036]
Furthermore, the relationship between Δ2 and the capacitance was investigated as shown in Fig. 3, and the results are presented in Fig. 5. From Fig. 5, it is considered that when the thickness of the gate insulating film 5 on the source-drain region 7 is thicker than the thickness of the gate insulating film 5 under the gate electrode 6, the capacitance formed between the gate electrode 6 and the source-drain region 7 increases. The increase in capacitance between the gate electrode 6 and the source-drain region 7 implies an increase in parasitic capacitance of the device, leading to a decrease in the operating speed of the device. Therefore, it is preferable for the capacitance between the gate electrode 6 and the source-drain region 7 to be smaller.
[0037]
Therefore, it can be seen that reducing Δ2 results in a monotonous decrease in capacitance, and it is more preferable to set Δ2 to a negative value, that is, to set the thickness of the gate insulating film 5 on the source-drain region 7 thinner than the thickness of the gate insulating film 5 under the gate electrode 6.
[0038]
In Japanese Patent Application 2002-8287, by applying a potential to the gate electrode with respect to the semiconductor substrate, the electric field in the gate insulating film near the lower end corner of the gate electrode is relaxed by bringing the potential of the gate insulating film closer to the potential of the gate electrode through the polarization charge that appears when a potential is applied to the gate electrode. In contrast, in this invention, the potential of the gate insulating film near the lower end corner of the gate electrode is kept away from the potential of the gate electrode by the polarization charge that appears when a potential is applied to the gate electrode, thereby preventing the enhancement of the electric field and relaxing the electric field.
[0039]
Furthermore, not limited to the patent of Japanese Patent Application 2002-8287, a structure with side walls made of high dielectric constant material provided on the gate electrode allows all electric field lines extending from the side of the gate electrode to the semiconductor substrate to pass through the high dielectric constant material side walls. The high dielectric constant material used for these side walls may be the same material as the gate insulating film material or different. As a result, the capacitance formed between the gate electrode and the semiconductor substrate becomes extremely large, which hinders high-speed operation of the device and is undesirable. On the other hand, the structure of this invention does not have the upper part of the gate electrode's side connected to an insulator made of high dielectric constant material, and the capacitance formed between the side of the gate electrode and the semiconductor substrate is suppressed. Therefore, sufficient high-speed operation is achieved.
[0040]
Next, the manufacturing method of the field-effect transistor shown in Fig. 1 will be explained using sectional schematic diagrams along the channel length direction from Fig. 6 to Fig. 10.
[0041]
First, as shown in Fig. 6, an element isolation region 2 is formed on a P-type silicon substrate 1, for example, by a trench isolation method. Next, B ions are implanted into a P well formation region at approximately 100 keV and approximately 2.0×10^{13} cm^{-2}, followed by a thermal process at approximately 1050°C for about 30 seconds to form a P well region 3. Within the P well region 3, B ions are further implanted at approximately 30 keV and approximately 1.0×10^{13} cm^{-2} to adjust the surface concentration of the N-channel 4 and obtain the desired threshold voltage.
[0042]
Subsequently, a HfO_2 film 11 with a thickness of approximately 5 nm is formed on the silicon substrate 1 using, for example, a sputtering method (Fig. 7).
[0043]
On top of the HfO_2 film 11, a high melting point metal film, such as tungsten with a thickness of approximately 100 nm, is deposited using, for example, a CVD method. Using a mask pattern formed by resist film formation and photolithography processing on this high melting point metal film, a gate electrode 6 is formed by performing anisotropic etching using RIE (Fig. 8). Subsequently, the upper part of the HfO_2 film 11 is removed by performing anisotropic etching using, for example, RIE (Fig. 8).
[0044]
Next, arsenic (As) ions are implanted into the surface of the silicon substrate 1 at 50 keV and 5.0×10^{15} cm^{-2}. Then, through a thermal process, impurity regions where the As ions have diffused (source-drain regions) 7 are formed (Fig. 9).

[0045]
Next, as shown in Fig. 10, an oxide silicon film 9 is deposited on the surface of the silicon substrate 1 as an interlayer insulating film using, for example, a CVD method with a thickness of approximately 500 nm. Using, for example, RIE with a mask pattern, wiring holes 12 connecting to the source-drain region 7 and gate electrode 6 are opened in the oxide silicon film 9.
[0046]
Contact wiring is formed in the opened holes 12. For example, an Al film with a thickness of approximately 300 nm containing 1% Si is formed on the surface of the silicon substrate 1 using a sputtering method. By performing anisotropic etching, such as RIE, on the Al film, the Al film is removed from the interlayer insulating film 9 adjacent to the openings, thereby forming the field-effect transistor shown in Fig. 1.
[0047]
In Embodiment 1 described above, various modifications are possible.
[0048]
In this embodiment, an N-type field-effect transistor was used as an example, but the same applies to P-type field-effect transistors if the dopant conductivity type is reversed.
Moreover, using methods such as photolithography, impurities can be selectively introduced into only certain regions within a substrate, making it applicable to complementary field-effect transistors as well. Furthermore, these techniques can also be applied to semiconductor devices that incorporate them in part.
[0049]
Moreover, in addition to field-effect transistors, other active devices such as bipolar transistors and single-electron transistors, passive components like resistors, diodes, inductors, and/or capacitors can also be formed as part of a semiconductor device that includes the field-effect transistors described above. The same applies when forming field-effect transistors as part of OEICs (Opto-Electrical Integrated Circuits) or MEMS (Microelectro Mechanical Systems). In addition, these techniques can be applied to devices with SOI (Silicon On Insulator) structures. Furthermore, they can be used in devices with FIN-type or pillar-like structures.
[0050]
In addition, in this embodiment, arsenic (As) was used as the dopant for forming the N-type semiconductor layer, while boron (B) was used as the dopant for forming the P-type semiconductor layer. For forming the N-type semiconductor layer, other Group V dopants can be used, and for forming the P-type semiconductor layer, other Group III dopants can also be used. The introduction of Group III or V dopants can be done in a compound form.
[0051]
While ion implantation was used for dopant introduction in this embodiment, other methods such as solid-phase diffusion or vapor-phase diffusion can also be utilized. Deposition or growth methods involving semiconductor materials containing dopants are also fine to use.
[0052]
In addition, although a single-drain structure was shown in this embodiment, other structures such as extension structures, LDD (Lightly Doped Drain) structures, GDD (Graded Diffused Drain) structures, halo structures, pocket structures, or elevated structures can be applied to the elements.
[0053]
In addition, regarding the formation of source-drain regions, it was performed after processing the gate electrode and gate insulating film in this embodiment. However, the order of these processes is not essential and can be reversed if necessary. Depending on the material of the gate electrode or gate insulating film, it may be preferable not to subject them to heat treatment. In such cases, it is favorable to introduce dopants into the source-drain region before processing the gate electrode or gate insulating film.
[0054]
In addition, in this embodiment, the formation of metal layers for wiring is carried out using a sputtering method, but it is also fine to form metal layers using different methods such as deposition methods other than sputtering. Furthermore, it is fine to use methods such as selection and growth of metals or damascene methods.

In Addition, there is no necessity for the wiring metal material to be Al containing Si, and other metals such as Cu may be used. Cu is especially preferable due to its low resistivity.
[0055]
In addition, in this embodiment, although a high melting point metal was used for the gate electrode, it is not necessarily limited to high melting point metals, and metals or compounds containing metals may also be used. Furthermore, the gate electrode is not limited to a single metal layer. For example, a semiconductor-metal stack such as polycrystalline silicon, monocrystalline silicon, or amorphous silicon with a metal is fine. However, when stacking non-metal layers and metal layers, it is essential to form the metal layer closer to the gate insulating film and then form the non-metal layer on top of the metal layer.
[0056]
Furthermore, it is fine to stack non-high melting point metals or compounds containing metals with high melting point metals as the gate electrode. Forming the gate electrode with a metal or metal-containing compound can suppress gate resistance, leading to faster device operation, which is preferable.
[0057]
In addition, in this embodiment, the top of the gate electrode exposes the electrodes (refer to Fig. 9), but it is also fine to provide an insulating material such as silicon oxide or silicon nitride on top. Especially when the gate electrode is formed of a material containing metal and if a silicide layer is to be formed on the source-drain region, it is necessary to protect the gate electrode, which requires providing protective materials such as silicon oxide or silicon nitride on top of the gate electrode.
[0058]
In addition, in this embodiment, the formation of the gate electrode is done by depositing the gate electrode material and then performing anisotropic etching. However, it is also fine to form the gate electrode using methods such as embedding processes like the damascene process.
[0059]
In addition, in this embodiment, the length of the gate electrode measured in the main direction of the current flowing through the device (horizontal direction on Fig. 1) is equal at the top and bottom of the gate electrode, but this is not essential. For example, it is fine for the length measured at the top of the gate electrode to be longer than the length measured at the bottom, resembling the shape of the letter "T." In this case, additional benefits such as reducing gate resistance can be achieved.
[0060]
In addition, in this embodiment, a HfO_2 film formed by sputtering was used as the gate insulating film. However, gate insulating films made of oxides of different valences of Hf, Zr, Ti, Sc, Y, Ta, Al, La, Ce, Pr, elements from the lanthanide series, metal oxides containing various elements including these, silicate materials containing these elements, insulating films containing nitrogen in these silicate materials, other high dielectric constant films, or stacked insulating films can also be used as the gate insulating film.
[0061]
In this embodiment, polarization charges induced on the surface of the gate insulating film and the bottom surface of the interlayer insulating film facing it are utilized. Generally, the polarization charge induced at the interface of two types of insulators is the difference between the polarization charges induced on the surfaces of each insulator, so the net induced polarization charge increases with a higher dielectric constant of the gate insulating film. Therefore, the effects obtained in this embodiment are attributed to the high dielectric constant of the gate insulating film. Hence, if a gate insulating film material with a low dielectric constant, such as silicon nitride film or silicon oxynitride, commonly used in conventional gate insulating films, is used, the effects of this embodiment may not be expected.
[0062]
In addition, the formation method of the gate insulating film is not limited to sputtering and can include methods such as evaporation, CVD, or epitaxial growth. In addition, when using oxide of a certain substance as the gate insulating film, a method such as first forming a film of that substance and then oxidizing it may be employed. Devices using ferroelectric films as the gate insulating film are also fine.
[0063]

In this embodiment, element isolation region 2 was implemented using a trench type isolation method. However, other methods such as local oxidation or mesa type isolation methods can also be used for device isolation.
[0064]
When a material containing metal is used in the gate electrode or gate insulating film, for example, and it is not possible to have a post-oxidation process considering the properties of that material, the issue of electric field concentration becomes significant. In such cases, the structure and method of this embodiment effectively alleviate the electric field.
[0065]
In addition, in this embodiment, an oxide silicon film is used as the interlayer insulating film. However, other materials besides silicon oxides, such as low dielectric constant materials, can also be used as the interlayer insulating film. The polarization charge induced on the surface of the gate insulating film and the bottom surface of the interlayer insulating film facing it is utilized in this embodiment. Generally, the lower the dielectric constant of the interlayer insulating film, the higher the net induced polarization charge due to the difference in polarization charges induced at the interface of two types of insulators. Therefore, the effects mentioned above become more pronounced when a material with a low dielectric constant is used in the interlayer insulating film.
[0066]
It is also possible to form a self-aligned contacts in the contact holes.
[0067]
In addition, while only the wiring of the first layer was described in this embodiment, devices and wiring can have two or more layers, which can increase the device integration density and are therefore preferable.
[0068]
In addition, in this embodiment, it was assumed that the side surface of the gate insulating film near the lower end corner of the gate electrode is a vertical plane with respect to the semiconductor substrate surface. However, this aspect is not essential. Variations in structure, such as shown in the cross-sectional diagrams in Fig. 11 and Fig. 12 along the channel length direction, are also possible. This means that similar effects can be achieved even if the side surface adjacent to the lower end corner of the gate insulating film is not vertical to the semiconductor substrate surface, as shown in these figures.
[0069]
Furthermore, it is not necessary for the inclination angles of the side surfaces on the source region side and drain region side to be equal. One side can incline outward from the gate electrode, while the other side can incline inward. In addition, these side surfaces do not need to be flat; they can be curved, as shown in Fig. 13 and Fig. 14.
[0070]
In addition, for example, as shown in Fig. 15 and Fig. 16, the side surface of the gate insulating film 5 can smoothly connect with the surface on the source-drain region 7, and as shown in Fig. 17 and Fig. 18, the thickness of the gate insulating film on the source-drain region 7 does not need to be uniform.
[0071]
Changing the shape of the gate insulating film 7 near the lower end corner of the gate electrode will alter the capacitance formed between the gate electrode 5 and the source-drain region 7.
[0072]
The capacitance formed between the gate electrode 6 and the source-drain region 7 is preferable to be larger from the perspective of suppressing parasitic resistance due to the resistance of the source-drain region 7, and it is preferable to be smaller from the perspective of reducing the parasitic capacitance of the device. By changing the shape of the gate insulating film 5 near the lower end corner of the gate electrode as shown in the modified examples in Fig. 11 to Fig. 18, it is possible to adjust the capacitance formed between the gate electrode 6 and the source-drain region 7, allowing for optimization, which is an advantage.
[0073]
(Embodiment 2)
Next, Embodiment 2 related to this invention will be explained using Fig. 19 to Fig. 23.
Fig. 19 to Fig. 23 are cross-sectional schematic diagrams parallel to the gate length direction of a field-effect transistor.
[0074]
As shown in Fig. 23, in this embodiment, by forming a silicide layer 15 on the surface of the source-drain region 7, it is possible

to reduce the parasitic resistance of the device and speed up the operation speed of the device.
[0075]
Below is a description of the manufacturing method of the field-effect transistor related to Embodiment 2.
[0076]
After the steps described in Fig. 7, a high-melting-point metal film, such as tungsten, with a thickness of about 100 nm is formed on the HfO_2 film 11 using, for example, a CVD method. In addition, a silicon nitride film 13 with a thickness of about 50 nm is formed, for example, by a CVD method. Then, a resist film is formed, and a resist pattern is formed using photolithography. By subjecting the silicon nitride film 13 and the high-melting-point metal film 11 to anisotropic etching using methods like RIE after forming the resist pattern, the gate electrode 6 is formed (Fig. 19). Furthermore, the top portion of the HfO_2 film 11 is removed using anisotropic etching methods like RIE (Fig. 19).
[0077]
Next, for example, arsenic ions are implanted into the surface of the silicon substrate 1 at around 50 keV and approximately 5.0×10^{15} cm^{-2}. Subsequently, by activating As through a thermal process, the source-drain region 7 is formed (Fig. 20).
[0078]
Following that, a silicon nitride film 14 with a thickness of approximately 5 nm is formed on the surface of the silicon substrate 1, for example, by a CVD method (Fig. 21).
[0079]
Then, as shown in Fig. 22, by subjecting the silicon nitride film 14 to anisotropic etching using methods like RIE, the gate-side wall 10 is formed. Subsequently, by applying anisotropic etching methods like RIE to the aforementioned HfO_2 film 11, the regions of the HfO_2 film 11 excluding the gate-side wall 10 and the area below the gate electrode 6 are removed to form the gate insulating film 5 (Fig. 22).
[0080]
Next, using a conventional silicide formation method, a metal silicide layer 15, such as Co or Ni, is formed. Any unreacted metal is removed from the surface of the silicon substrate 1 (Fig. 23). Subsequent steps are similar to Embodiment 1 and are omitted for brevity.
[0081]
In this embodiment, it is possible to form a silicide layer 15 on the surface of source-drain region 7, for example, if the remaining portion excluding the substrate side of the gate electrode 6 or the surface of the gate electrode 6 is formed using polycrystalline silicon. Alternatively, methods such as depositing or growing a metal layer on the source-drain region 7 may also be used.
[0082]
Various modifications similar to those in Embodiment 1 are possible in this embodiment, and similar effects can be expected.
[0083]
In addition, in this embodiment, nitrogen-doped silicon was used for the gate-side wall 10, but other materials such as silicon oxide or silicon oxynitride may be used to form the gate-side wall 10. However, forming the gate-side wall 10 with a high dielectric material increases the parasitic capacitance between the gate electrode 6 and the source-drain region 7, leading to an increase in parasitic capacitance of the device. Therefore, it is preferable to form the sidewall 10 with materials like silicon oxide, silicon nitride, or silicon oxynitride.
[0084]
In addition, in this embodiment, the side of the gate insulating film 5 is aligned with the outer surface of the gate-side wall 10. However, it is not essential for the side of the gate insulating film 5 to be located inside or outside of the outer surface of the gate-side wall 10; similar effects can be achieved even if it is positioned differently. If the side of the gate insulating film 5 protrudes too much outward beyond the outer surface of the gate-side wall 10, the distance between the region where a silicide layer can be formed within the source-drain region 7 and the channel region increases. This leads to an increase in parasitic resistance of the device, which negatively affects the operational speed of the device. Therefore, it is preferable that the side of the gate insulating film does not protrude too far outward from the outer surface of the gate-side wall. Conversely, if the side

of the gate insulating film extends too far inward beyond the side of the gate-side wall, the distance between the silicide layer formed on the source-drain region and the gate electrode decreases. This may lead to short circuits between the source-drain region and the gate electrode or insulation breakdown of the gate insulating film in that area. Hence, it is preferable that the side of the gate insulating film does not extend too far inward beyond the side of the gate-side wall.
[0085]
Here are the preferable thickness for the gate-side wall 10 and the preferable length of the gate insulating film 5 to be left on the source-drain region 7. In the structure of Fig. 3, we examined the dependency on Y of the electric field strength in the gate insulating film 5 near the lower end angle of the gate electrode 6 as a parameter Δ2. The results are shown in Fig. 24.
[0086]
In Fig. 24, the vertical axis shows values normalized by the electric field strength of the structure with Δ2 = 0. In other words, the vertical axis indicates the ratio by which the electric field strength is suppressed by thinning the gate insulating film 5 on the source-drain region 7.
[0087]
From Fig. 24, it is apparent that increasing Y effectively suppresses the electric field intensity on the source-drain region by thinning the gate insulating film. For Y values of around 5 nm or more, the dependency of the efficiency of suppressing the electric field intensity on Y becomes quite small. When Y reaches around 7 to 8 nm, this dependency decreases even further. At around 10 nm, the dependency becomes even smaller. When the thickness of the gate insulating film is assumed to be 5 nm in this study, a thickness of 7 to 8 nm corresponds to approximately 1.5 times the gate insulating film thickness, and 10 nm corresponds to twice the gate insulating film thickness. Here, considering the similarity transformation in the equations of the electromagnetic field, when changing the boundary conditions' size in a similar manner, the electromagnetic field also changes in a similar way. Based on this point, it can be understood that this embodiment is effective when the thickness of the gate-side wall and the length of the remaining gate insulating film on the source-drain region are greater than or equal to the gate insulating film thickness of the device. It becomes even more effective when the thickness of the gate-side wall and the length of the remaining gate insulating film on the source-drain region are 1.5 times the gate insulating film thickness or more, and even more effective when they are 2 times the gate insulating film thickness or more. Therefore, it is preferred that the thickness of the gate-side wall 10 (width in the lateral direction of Fig. 23) and the length of the remaining gate insulating film 5 on the source-drain region 7 are greater than or equal to the gate insulating film thickness of the device. Particularly, making them 1.5 times the gate insulating film thickness or more is preferable, and making them 2 times the gate insulating film thickness or more is even more preferable.
[0088]
(Embodiment 3)
Next, the method for manufacturing a field-effect transistor related to this embodiment of the invention will be explained using Fig. 25.
[0089]
Fig. 25 is a cross-sectional schematic diagram in the channel length direction showing an intermediate process for manufacturing the field-effect transistor of this embodiment.
[0090]
First, after the step shown in Fig. 7, deposit a high melting point metal film such as tungsten with a thickness of about 100 nm on the HfO_2 film 11, for example, by a CVD method. Form a resist mask only on the gate electrode planned region of the high melting point metal film and remove the unmasked regions of the high melting point metal film by performing anisotropic etching such as RIE to form the gate electrode 6 (Fig. 25). Then, remove the upper part of the HfO_2 film 11 and the channel length direction ends of the gate electrode 6 by performing isotropic etching such as wet processing.
[0091]
Subsequently, following the explanation using Fig. 9 and Fig. 10 in Embodiment 1, it is possible to form the field-effect transistor of this embodiment (Fig. 26).
[0092]
In this embodiment, various modifications as described in other embodiments are also possible, and similar effects can be

expected.
[0093]
In this embodiment, unlike Embodiment 1, isotropic etching was used for processing the gate insulating film 5 on the source-drain region 7. As a result, the gate insulating film 5 beneath the gate electrode 6 is also thinned near the edge of the gate electrode. This thin pair of edge portions extends all the way down to under the gate electrode 5. By doing this, it is possible to further reduce the parasitic capacitance formed between the gate electrode 6 and the source-drain region 7.
[0094]
In addition, in this embodiment, although the silicide process was not mentioned, it is fine to form a silicide layer on the source-drain region 7. In addition, methods such as depositing or growing a metal layer on the source-drain region 7 may be used. Furthermore, when forming the remaining part excluding the substrate side of the gate electrode 6 or the surface of the gate electrode 6 with polycrystalline silicon, it is also fine to silicify the polycrystalline silicon surface.
[0095]
In addition, during the processing of gate insulating film 5 on the source-drain region 7, while anisotropic etching was used in Embodiment 1, isotropic etching was utilized in this embodiment. In addition to this method, other approaches such as performing isotropic etching after anisotropic etching, performing anisotropic etching after isotropic etching, or repeating at least one type of etching multiple times can also be employed. This allows for adjusting both the thickness of the gate insulating film 5 on the source-drain region 7 and the amount of removal of the gate insulating film 5 under the gate electrode 6 to optimal values, which is preferable.
[0096]
In addition, the shape of the gate insulating film 5 near the lower corner of the gate electrode 6 does not necessarily need to match the shape shown in Fig. 25; similar effects can be expected even if the shape matches those shown in Fig. 26 to Fig. 33, for example. By varying the shape of the gate insulating film near the lower corner of the gate electrode as in the examples of modifications shown here, it becomes possible to adjust the parasitic capacitance formed between the gate electrode and the source-drain region, enabling optimization.
[0097]
(Embodiment 4)
Next, using Fig. 34 and Fig. 35, the field-effect transistor related to Embodiment 4 of the invention will be explained.
[0098]
Fig. 34 and Fig. 35 are schematic cross-sectional diagrams in the channel length direction of the field-effect transistor according to this embodiment.
[0099]
First, after performing the process described with reference to Fig. 7 in Embodiment 1, a high-melting-point metal film such as tungsten with a thickness of about 100 nm is deposited on the HfO_2 film 11, for example, by chemical vapor deposition (CVD). A resist pattern covering the gate electrode planned region is formed on this high-melting-point metal film. Anisotropic etching using a method such as reactive ion etching (RIE) is performed on the high-melting-point metal film using this resist pattern as a mask. This results in the formation of the gate electrode 6 as shown in Fig. 34. On the silicon substrate 1 where the gate electrode 6 is formed, a silicon nitride film 14 with a thickness of 3 nm, for example, is formed by CVD or similar methods.
[0100]
By performing anisotropic etching, such as RIE, on the silicon nitride film 14, the gate-side wall 10 is formed (Fig. 35). Subsequently, the upper part of the exposed HfO_2 film 11 is removed using, for example, anisotropic etching like RIE (Fig. 35).
[0101]
Thereafter, by going through processes similar to Embodiment 1, it is possible to manufacture the field-effect transistor of this embodiment.
[0102]
In this embodiment as well, various modifications explained in other embodiments are possible, and similar effects can be

obtained.
[0103]
The gate-side wall 10 may be removed after processing the gate insulating film, or it may be left as it is. If the gate-side wall 10 is removed, a cross-sectional structure of the field-effect transistor as shown in Fig. 36 can be obtained. In addition, it is not necessary to use silicon nitride as the material for the gate-side wall, and other materials can also be used.
[0104]
In this embodiment, the vicinity of the end of the gate electrode 6 in the gate insulating film 5 has the same thickness as directly under the gate electrode 6. In other words, the central portion extends all the way to the outer wall of the electrode gate. This configuration enhances the capacitive coupling between the source-drain region 7 and the gate electrode 6, reducing the resistance of the source-drain region 7 and leading to an expected reduction in parasitic resistance of the device.
[0105]
In addition, in this embodiment, the gate insulating film 5 on the source-drain region 7 was processed using anisotropic etching, but this process can also be carried out using isotropic etching.
[0106]
Furthermore, methods such as performing isotropic etching after anisotropic etching, performing anisotropic etching after isotropic etching, or repeating at least one type of etching multiple times can be used. By doing so, it becomes possible to adjust both the thickness of the gate insulating film on the source-drain region 7 and the distance between the thin region of the gate insulating film on the source-drain region 7 and the gate electrode to optimal values.
[0107]
In addition, the shape of the gate insulating film 5 near the lower corner of the gate electrode 6 does not necessarily need to match the shape shown in Fig. 35 and Fig. 36; similar effects can be expected even if the shape matches those shown in the cross-sectional schematic diagrams of Fig. 37 to Fig. 44, for example.
[0108]
By changing the shape of the gate insulating film near the lower corner of the gate electrode, as shown in the various examples here, it is possible to adjust the capacitance formed between the gate electrode 6 and the source-drain region 7, allowing for optimization. The choice of which structure to use can be determined by balancing the parasitic resistance and capacitance resulting from altering the capacitance formed between the source-drain region and the gate.
[0109]
(Embodiment 5)
Next, referring to Fig. 45 to Fig. 49, the field-effect transistor according to this Embodiment 5 of the invention will be explained.
[0110]
Fig. 45 is a reference diagram for explaining the field-effect transistor according to this embodiment, schematically showing a cross-section in the channel length direction.
[0111]
This field-effect transistor has the characteristic that the gate insulating film 5 is present on the source-drain region 7, and the gate insulating film 5 on the source-drain region 7 is thicker than the gate insulating film 5 under the gate electrode 6.
[0112]
The manufacturing process of this field-effect transistor is carried out, for example, as follows. Moreover, Fig. 46 to Fig. 49 are reference diagrams for explaining the process of this manufacturing process, schematically showing a cross-section in the channel length direction of the field-effect transistor.
[0113]
First, after the process explained using Fig. 6, as shown in Fig. 46, a HfO_2 film 11 with a thickness of about 10 nm is formed on a silicon substrate 1 using a method such as sputtering. On top of the HfO_2 film 11, a silicon nitride film with a thickness of about 150 nm is deposited, for example, by CVD. A resist mask is formed on the silicon nitride film on the gate electrode

planned region, and anisotropic etching, such as RIE, is performed on the surface of the silicon substrate 1 to process the silicon nitride film and form a dummy gate electrode 16 (Fig. 46). Subsequently, for example, As ions are implanted at about 50 keV with a dose of about 5.0×10^{15} cm^{-2}. Then, by subjecting the silicon substrate 1 to a thermal process, the As ions are activated to form the source-drain region 7 (Fig. 46).
[0114]
On a silicon substrate 1 with a dummy gate electrode 16, form an approximately 200 nm thick silicon oxide film 17 using a method such as CVD. Flatten the surface of the silicon substrate where the silicon oxide film 17 is formed using a method like CMP to expose the surface of the dummy gate electrode 16. Subsequently, selectively remove the dummy gate electrode 16 from the silicon substrate 1 to create an opening (Fig. 47).
[0115]
Etch-remove the upper portion of the exposed HfO_2 film 11 at the bottom of the opening using a method like RIE (Fig. 48).
[0116]
Deposit a high-melting-point metal film, such as tungsten, approximately 200 nm thick on the silicon substrate containing the thinned HfO_2 film 11 using a method like CVD. For the high-melting-point metal film, perform surface flattening using a method like CMP to form a gate electrode 6 within the opening (Fig. 49). Subsequently, remove the silicon oxide film 17 from the surface of the silicon substrate 1.
[0117]
Subsequently, proceed with the processes described in Fig. 10 and onwards to complete the field-effect transistor according to this embodiment.
[0118]
In this embodiment, various modifications as mentioned in the previous embodiment can also be applied, leading to similar effects.
[0119]
The silicon oxide film formed around the dummy gate electrode after its formation may be left as a part of the interlayer insulating film or removed. The use of silicon oxide as the material is not mandatory, and other materials can be used. The same flexibility applies to the material of the dummy gate electrode.
[0120]
While anisotropic etching was used for processing the HfO_2 film after the removal of the dummy gate electrode in this embodiment, isotropic etching methods such as CVD or wet etching can also be used.
[0121]
After performing surface flattening on the gate electrode material following its deposition, it is fine to further etch the gate electrode material to adjust the height of gate electrode 6.
[0122]
In this embodiment, since the gate insulating film 5 on the source-drain region 7 is formed thicker than the gate insulating film 5 under the gate electrode 6, the capacitance coupling between the source-drain region 7 and the gate electrode 6 is strengthened. This leads to a decrease in the resistance of the source-drain region 7, ultimately reducing the parasitic resistance of the device.
[0123]
The shape of the gate insulating film 5 near the lower edge of the gate electrode does not necessarily have to be as shown in Fig. 45; similar effects can be expected with cross-sectional shapes as shown in Fig. 50 to Fig. 56. By varying the shape of the gate insulating film 5 near the lower edge of the gate electrode as shown in these modified examples, it becomes possible to adjust the capacitance formed between the gate electrode 6 and the source-drain region 7, enabling optimizations to be made.
[0124]
(Embodiment 6)
Next, using Fig. 57 and Fig. 58, the field-effect transistor related to Embodiment 6 of this invention will be explained.
[0125]

Fig. 57 is a cross-sectional view illustrating the field-effect transistor of this embodiment, showing a schematic cross-section along the channel length. The field-effect transistor in this embodiment has the gate insulating film 5 present on the source-drain region 7, and the gate insulating film 5 on the source-drain region 7 is thicker than the gate insulating film 5 on the channel region 4. In Addition, there is a gap between the thick gate insulating film 5 on the source-drain region 7 and the gate electrode 6. Consequently, it is possible to reduce parasitic capacitance of the device by suppressing the capacitance formed between the source-drain region 7 and the gate electrode 6.
[0126]
Next, the manufacturing method of the field-effect transistor shown in Fig. 57 will be explained.
[0127]
First, after the steps described in Embodiment 5 using Fig. 48, a silicon nitride film with a thickness of approximately 5 nm is formed using a method such as CVD, as shown in Fig. 58. Subsequently, the silicon nitride film is processed by performing anisotropic etching using a method like RIE to form sidewalls 18 on the sides of the opening. The process can then continue from the steps described in Embodiment 5 using Fig. 49.
[0128]
Just like in the previous embodiments, various modifications as mentioned before are possible in this embodiment, resulting in similar effects.
[0129]
In addition, the silicon oxide film formed around the dummy gate electrode after its formation may be used as part of the interlayer insulating film or removed. The use of silicon oxide as the material is not mandatory, and other materials can be used. The same flexibility applies to the material of the sidewalls 18 in the opening.
[0130]
Moreover, the field-effect transistor shown in Fig. 57 illustrates a case where the sidewalls 18 are removed after the formation of the gate electrode 6, and the height of the gate electrode 6 is adjusted by etching after the surface planarization of the gate electrode material.
[0131]
In addition, in this embodiment, processing of the gate insulating film 5 on the source-drain region 7 was carried out using anisotropic etching, but isotropic etching may also be used in this process. Furthermore, methods such as performing isotropic etching after anisotropic etching, applying anisotropic etching after isotropic etching, or repeating at least one etching step can be employed.
[0132]
Furthermore, adjusting the initial thickness of the gate insulating film 5 formed first enables optimization of the thickness of the gate insulating film 5 between the gate electrode 6 and the source-drain region 7, the thick region of the gate insulating film 5 on the source-drain region 7, and the distance between the source-drain region 7 and the gate electrode 6 to their optimal values, which is even more preferable.
[0133]
In addition, it is not necessary for the shape of the gate insulating film near the lower end corner of the gate electrode 6 to be as shown in Fig. 57; similar effects can be achieved with shapes shown in Fig. 59 to Fig. 67, for example.
[0134]
Here, by changing the shape of the gate insulating film 5 near the lower end corner of the gate electrode 6 as shown in these modified examples, it is possible to adjust the distance between the gate electrode 6 and the source-drain region 7, thereby optimizing the capacitance within a suitable range.
[0135]
While the embodiments of the invention have been described above, the invention is not limited to these embodiments, and various modifications are possible within the scope of the claims of the invention.
[0136]

In addition, this invention allows for various modifications within the scope that does not deviate from its essence at the implementation stage.
[0137]
Furthermore, by appropriately combining multiple structural elements disclosed in the above embodiments, various inventions can be formed. For example, it is also fine to remove some of the structural elements shown in the embodiments. In addition, it is also fine to combine structural elements from different embodiments as needed.

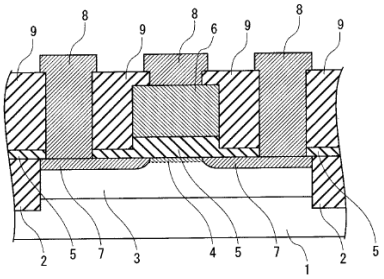
[Brief Explanation of the Figures]
[0138]
[Fig. 1] It is a cross-sectional schematic diagram for explaining the field-effect transistor according to embodiment 1 of this invention.
[Fig. 2] It is an enlarged view for explaining the field-effect transistor according to embodiment 1.
[Fig. 3] It is an enlarged view for explaining the field-effect transistor according to embodiment 1.
[Fig. 4] It is a diagram of the results of the study on the electric field of the field-effect transistor according to embodiment 1.
[Fig. 5] It is a diagram of the results of the study on the static capacitance of the field-effect transistor according to embodiment 1.
[Fig. 6] It is a cross-sectional schematic diagram for explaining the manufacturing method of the field-effect transistor according to embodiment 1.
[Fig. 7] It is a cross-sectional schematic diagram for explaining the manufacturing method of the field-effect transistor according to embodiment 1.
[Fig. 8] It is a cross-sectional schematic diagram for explaining the manufacturing method of the field-effect transistor according to embodiment 1.
[Fig. 9] It is a cross-sectional schematic diagram for explaining the manufacturing method of the field-effect transistor according to embodiment 1.
[Fig. 10] It is a cross-sectional schematic diagram for explaining the manufacturing method of the field-effect transistor according to embodiment 1.
[Fig. 11] It is a cross-sectional schematic diagram for explaining the field-effect transistor related to a modified example of embodiment 1.
[Fig. 12] It is a cross-sectional schematic diagram for explaining the field-effect transistor related to a modified example of embodiment 1.
[Fig. 13] It is a cross-sectional schematic diagram for explaining the field-effect transistor related to a modified example of embodiment 1.
[Fig. 14] It is a cross-sectional schematic diagram for explaining the field-effect transistor related to a modified example of embodiment 1.
[Fig. 15] It is a cross-sectional schematic diagram for explaining the field-effect transistor related to a modified example of embodiment 1.
[Fig. 16] It is a cross-sectional schematic diagram for explaining the field-effect transistor related to a modified example of embodiment 1.
[Fig. 17] It is a cross-sectional schematic diagram for explaining the field-effect transistor related to a modified example of embodiment 1.
[Fig. 18] It is a cross-sectional schematic diagram for explaining the field-effect transistor related to a modified example of embodiment 1.
[Fig. 19] It is a cross-sectional schematic diagram for explaining the manufacturing method of a field-effect transistor according to Embodiment 2 of this invention.
[Fig. 20] It is a cross-sectional schematic diagram for explaining the manufacturing method of a field-effect transistor according to Embodiment 2.
[Fig. 21] It is a cross-sectional schematic diagram for explaining the manufacturing method of a field-effect transistor according to Embodiment 2.
[Fig. 22] It is a cross-sectional schematic diagram for explaining the manufacturing method of a field-effect transistor according to Embodiment 2.
[Fig. 23] It is a cross-sectional schematic diagram for explaining a field-effect transistor according to Embodiment 2.
[Fig. 24] It is a cross-sectional schematic diagram for explaining the manufacturing process of a field-effect transistor according to Embodiment 2.

[Fig. 25] It is a cross-sectional schematic diagram for explaining the manufacturing process of a field-effect transistor according to Embodiment 3 of this invention.
[Fig. 26] It is a cross-sectional schematic diagram showing a modification example of the field-effect transistor according to Embodiment 3.
[Fig. 27] It is a cross-sectional schematic diagram showing a modification example of the field-effect transistor according to Embodiment 3.
[Fig. 28] It is a cross-sectional schematic diagram showing a modification example of the field-effect transistor according to Embodiment 3.
[Fig. 29] It is a cross-sectional schematic diagram showing a modification example of the field-effect transistor according to Embodiment 3.
[Fig. 30] It is a cross-sectional schematic diagram showing a modification example of the field-effect transistor according to Embodiment 3.
[Fig. 31] It is a cross-sectional schematic diagram showing a modification example of the field-effect transistor according to Embodiment 3.
[Fig. 32] It is a cross-sectional schematic diagram showing a modification example of the field-effect transistor according to Embodiment 3.
[Fig. 33] It is a cross-sectional schematic diagram showing a modification example of the field-effect transistor according to Embodiment 3.
[Fig. 34] It is a cross-sectional schematic diagram for explaining a field-effect transistor according to Embodiment 4 of this invention.
[Fig. 35] It is a cross-sectional schematic diagram for explaining a field-effect transistor according to Embodiment 4.
[Fig. 36] It is a cross-sectional schematic diagram for explaining a modified example of a field-effect transistor according to Embodiment 4.
[Fig. 37] It is a cross-sectional schematic diagram for explaining a modified example of a field-effect transistor according to Embodiment 4.
[Fig. 38] It is a cross-sectional schematic diagram for explaining a modified example of a field-effect transistor according to Embodiment 4.
[Fig. 39] It is a cross-sectional schematic diagram for explaining a modified example of a field-effect transistor according to Embodiment 4.
[Fig. 40] It is a cross-sectional schematic diagram for explaining a modified example of a field-effect transistor according to Embodiment 4.
[Fig. 41] It is a cross-sectional schematic diagram for explaining a modified example of a field-effect transistor according to Embodiment 4.
[Fig. 42] It is a cross-sectional schematic diagram for explaining a modified example of a field-effect transistor according to Embodiment 4.
[Fig. 43] It is a cross-sectional schematic diagram for explaining a modified example of a field-effect transistor according to Embodiment 4.
[Fig. 44] It is a cross-sectional schematic diagram for explaining a modified example of a field-effect transistor according to Embodiment 4.
[Fig. 45] It is a cross-sectional schematic diagram for explaining a field-effect transistor according to Embodiment 5 of this invention.
[Fig. 46] It is a cross-sectional schematic diagram for explaining the manufacturing method of a field-effect transistor according to Embodiment 5.
[Fig. 47] It is a cross-sectional schematic diagram for explaining the manufacturing method of a field-effect transistor according to Embodiment 5.
[Fig. 48] It is a cross-sectional schematic diagram for explaining the manufacturing method of a field-effect transistor according to Embodiment 5.
[Fig. 49] It is a cross-sectional schematic diagram for explaining the manufacturing method of a field-effect transistor according to Embodiment 5.
[Fig. 50] It is a cross-sectional schematic diagram for explaining a modified example of a field-effect transistor according to Embodiment 5.
[Fig. 51] It is a cross-sectional schematic diagram for explaining a modified example of a field-effect transistor according to Embodiment 5.
[Fig. 52] It is a cross-sectional schematic diagram for explaining a modified example of a field-effect transistor according to Embodiment 5.
[Fig. 53] It is a cross-sectional schematic diagram for explaining a modified example of a field-effect transistor according to Embodiment 5.
[Fig. 54] It is a cross-sectional schematic diagram for explaining a modified example of a field-effect transistor according to

Embodiment 5.
[Fig. 55] It is a cross-sectional schematic diagram for explaining a modified example of a field-effect transistor according to Embodiment 5.
[Fig. 56] It is a cross-sectional schematic diagram for explaining a modified example of a field-effect transistor according to Embodiment 5.
[Fig. 57] It is a cross-sectional schematic diagram for explaining a field-effect transistor according to Embodiment 6 of this invention.
[Fig. 58] It is a cross-sectional schematic diagram for explaining a field-effect transistor according to Embodiment 6.
[Fig. 59] It is a cross-sectional schematic diagram for explaining a modified example of a field-effect transistor according to Embodiment 6.
[Fig. 60] It is a cross-sectional schematic diagram for explaining a modified example of a field-effect transistor according to Embodiment 6.
[Fig. 61] It is a cross-sectional schematic diagram for explaining a modified example of a field-effect transistor according to Embodiment 6.
[Fig. 62] It is a cross-sectional schematic diagram for explaining a modified example of a field-effect transistor according to Embodiment 6.
[Fig. 63] It is a cross-sectional schematic diagram for explaining a modified example of a field-effect transistor according to Embodiment 6.
[Fig. 64] It is a cross-sectional schematic diagram for explaining a modified example of a field-effect transistor according to Embodiment 6.
[Fig. 65] It is a cross-sectional schematic diagram for explaining a modified example of a field-effect transistor according to Embodiment 6.
[Fig. 66] It is a cross-sectional schematic diagram for explaining a modified example of a field-effect transistor according to Embodiment 6.
[Fig. 67] It is a cross-sectional schematic diagram for explaining a modified example of a field-effect transistor according to Embodiment 6.

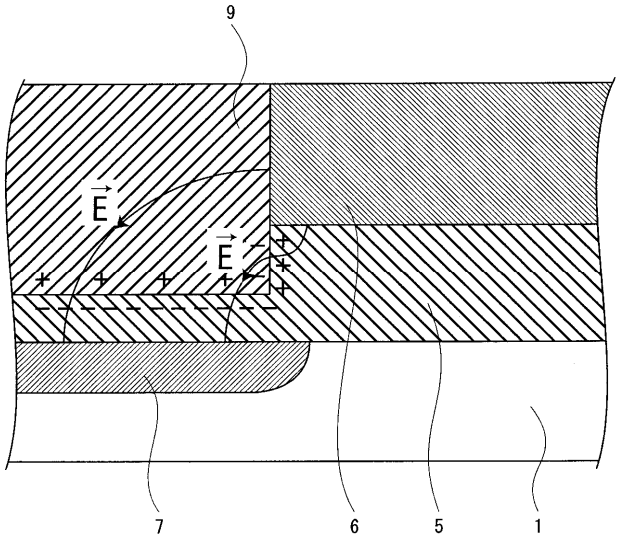
[Explanation of the Reference Numerals]
[0139]
1 ... semiconductor substrate
2 ... element isolation region
3 ... P-well region
4 ... N channel region
5 ... gate insulating film
6 ... gate electrode
7 ... source-drain region
8 ... wiring
9 ... interlayer insulating film
10 ... gate-side wall
11 ... HfO_2 film
12 ... wiring hole
13 ... silicon nitride film
14 ... silicon nitride film
15 ... silicide layer
16 ... dummy gate electrode
17 ... silicon oxide film
18 ... side wall

[Fig. 1]

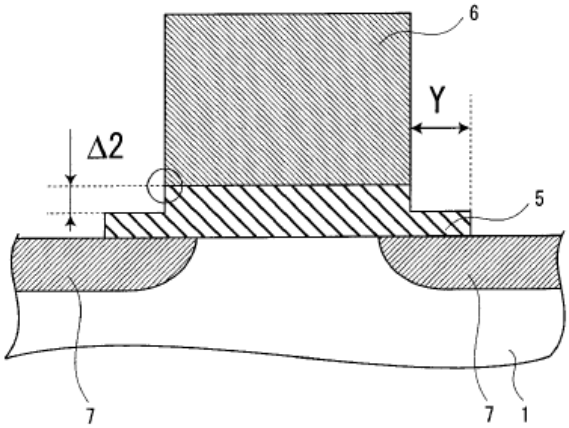


1 ... Semiconductor substrate
2 ... Element isolation region
3 ... P-well region
4 ... Channel region
5 ... Gate insulating film
6 ... Gate electrode
7 ... Source-drain region
8 ... Contact wiring
9 ... Interlayer insulating film

[Fig. 2]

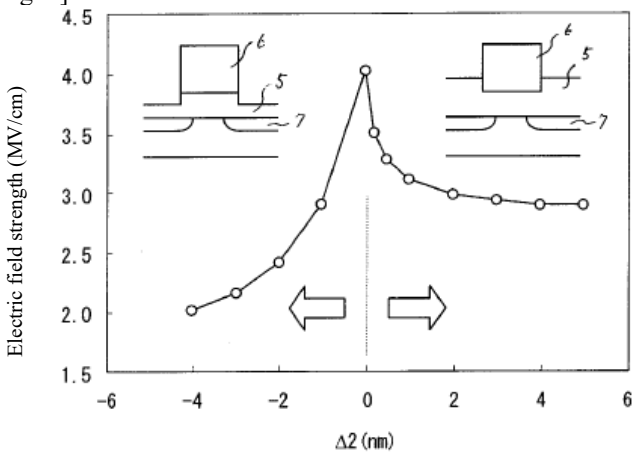


[Fig. 3]

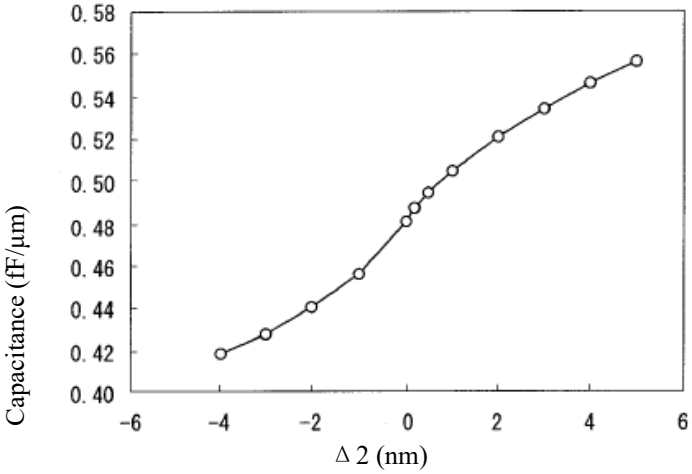


(Gate length = 35nm, gate insulating film thickness below gate electrode = 5nm, gate insulating film relative permittivity = 19.5, Y = 15nm, Power supply voltage = 0.6V)

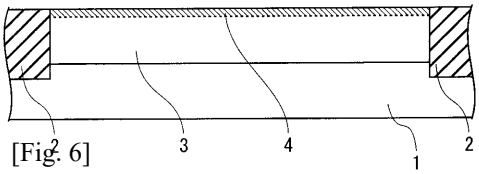
[Fig. 4]



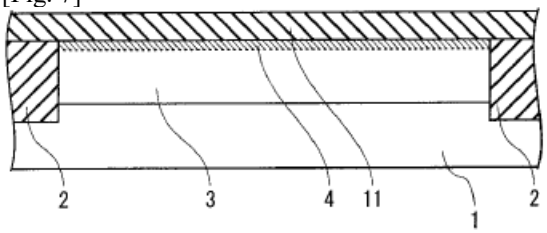
[Fig. 5]



[Fig. 6]

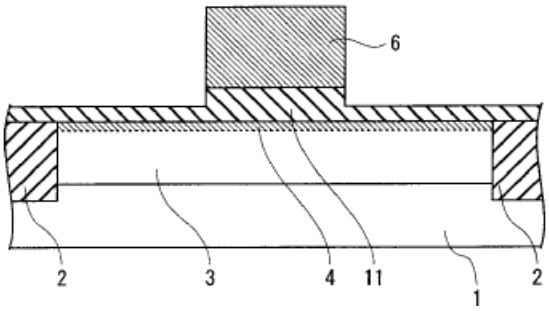


[Fig. 7]

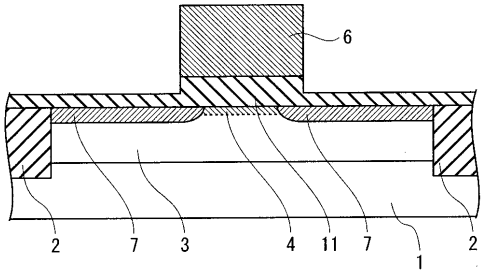


11 ... HfO_2 film

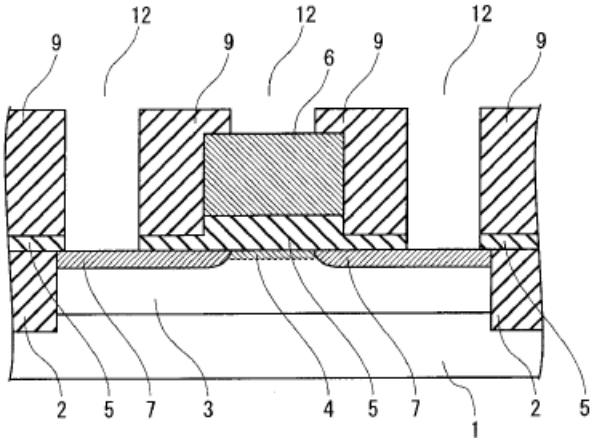
[Fig. 8]



[Fig. 9]

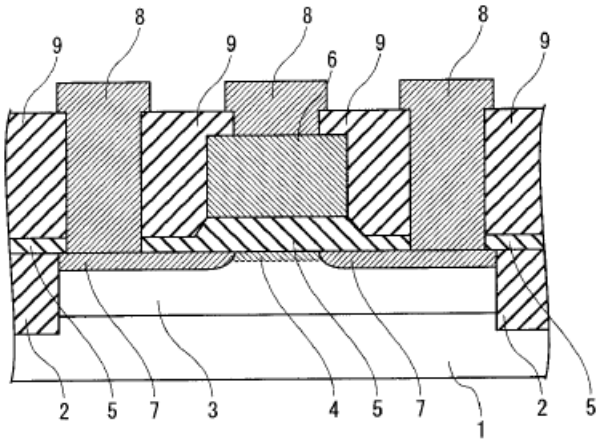


[Fig. 10]

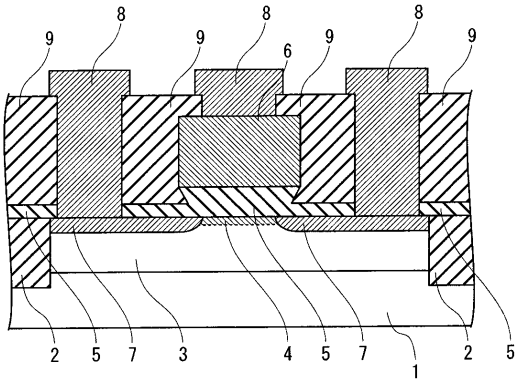


12 ... Hole

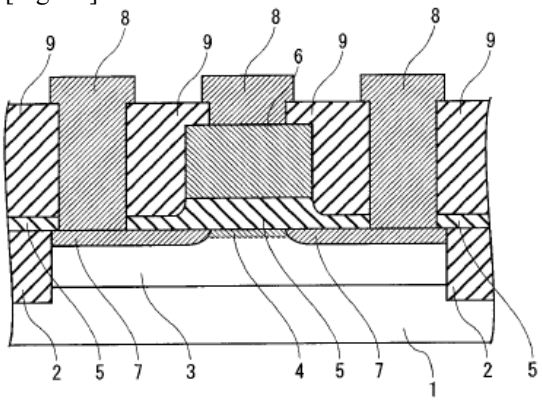
[Fig. 11]



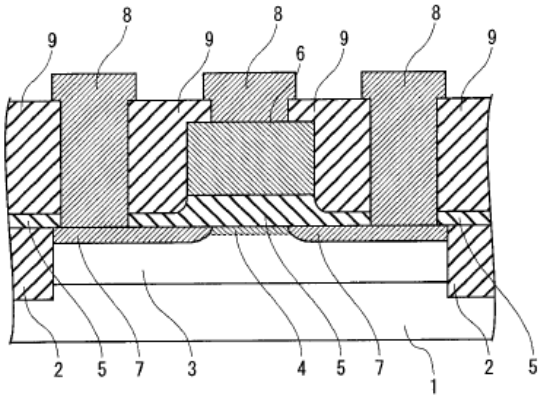
[Fig. 12]



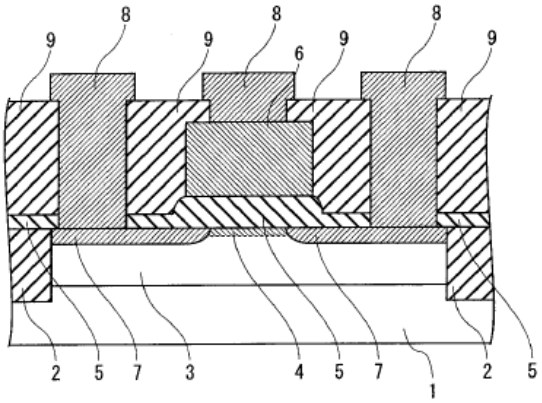
[Fig. 13]



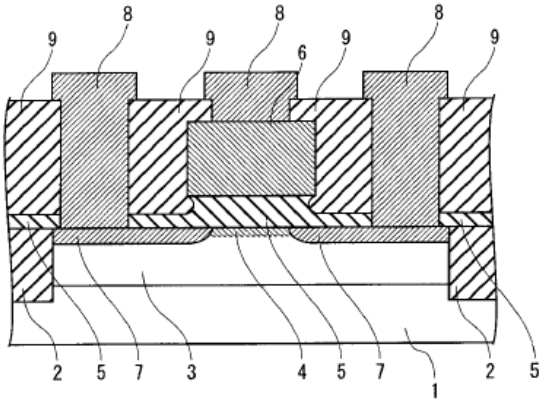
[Fig. 15]



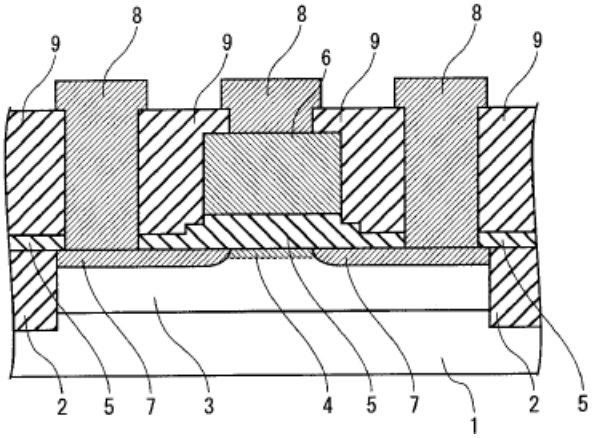
[Fig. 14]



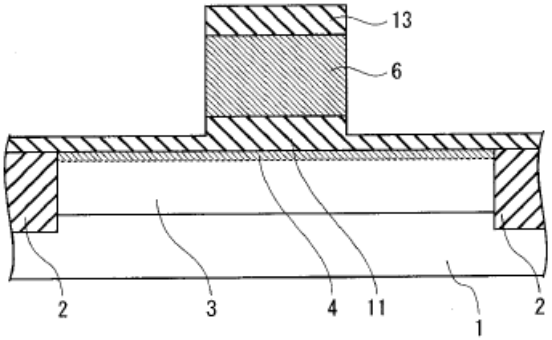
[Fig. 16]



[Fig. 17]

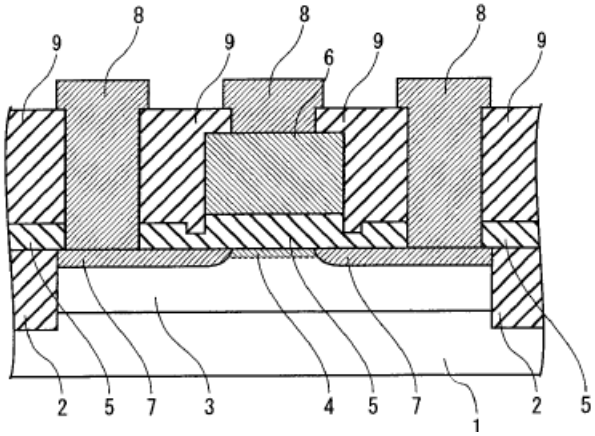


[Fig. 19]

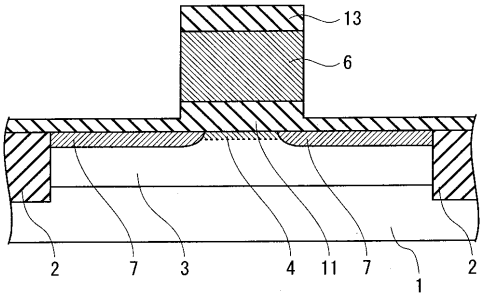


13 ... silicon nitride film

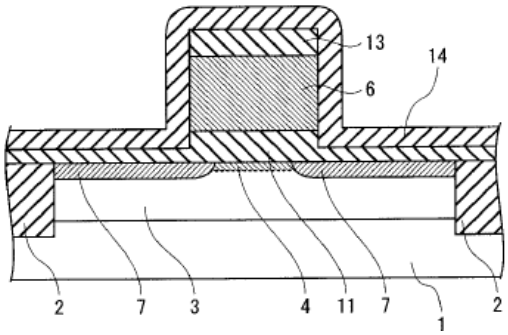
[Fig. 18]



[Fig. 20]

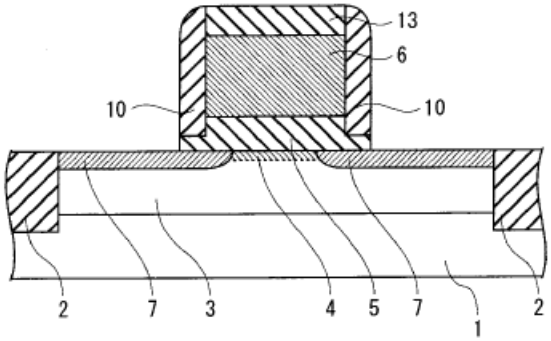


[Fig. 21]



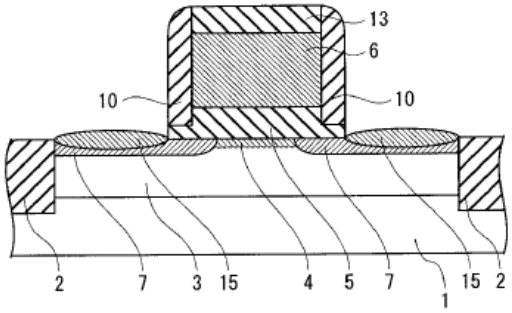
14 ... silicon nitride film

[Fig. 22]



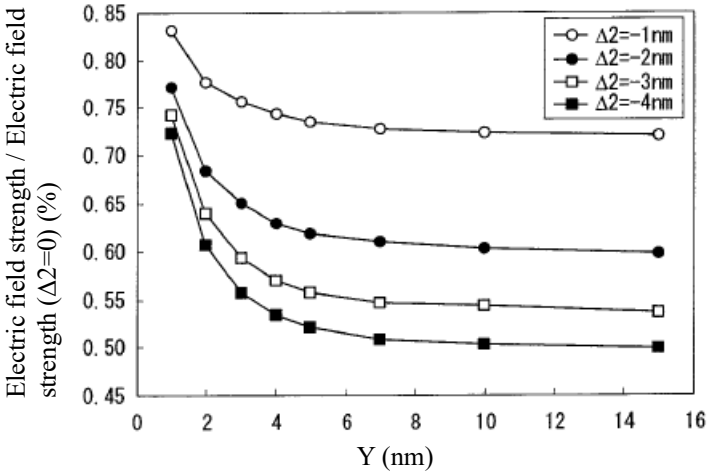
10 ... gate-side wall

[Fig. 23]

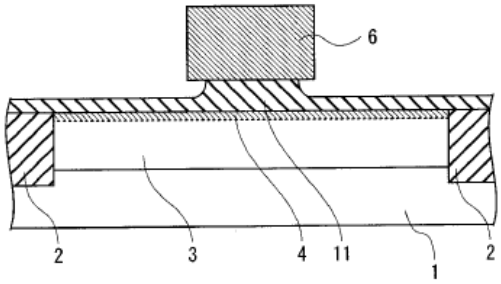


15 ... silicide layer

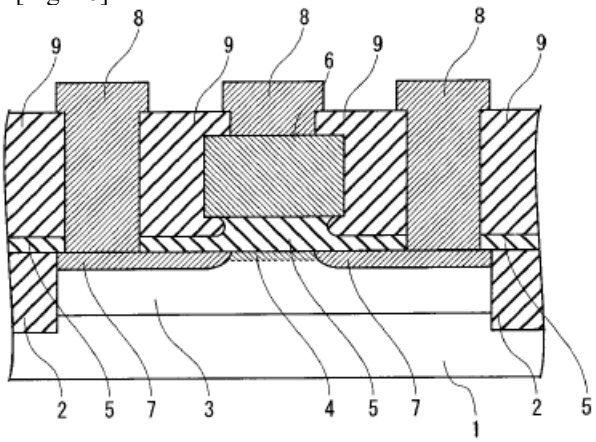
[Fig. 24]



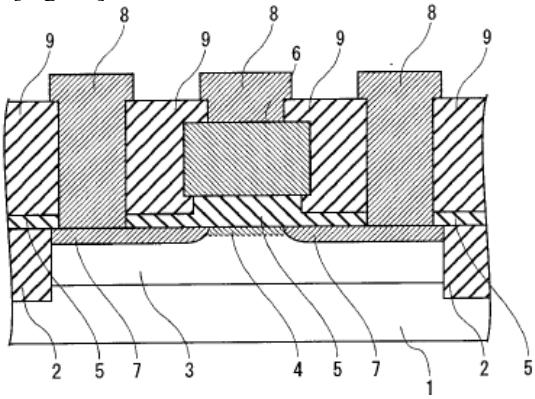
[Fig. 25]



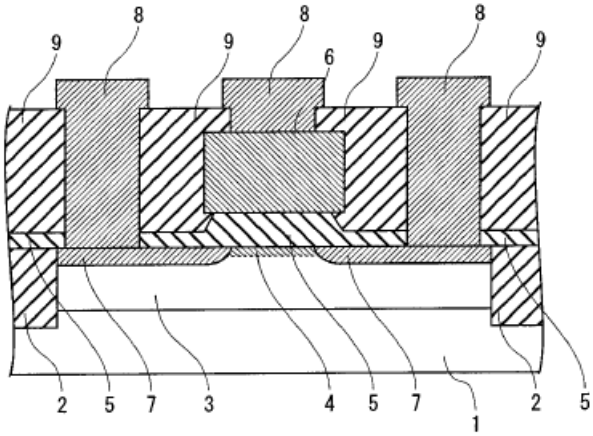
[Fig. 26]



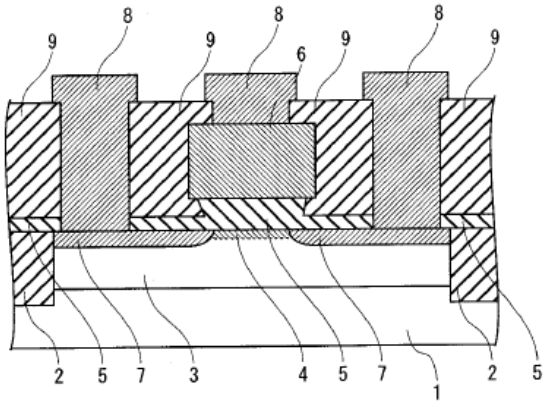
[Fig. 27]



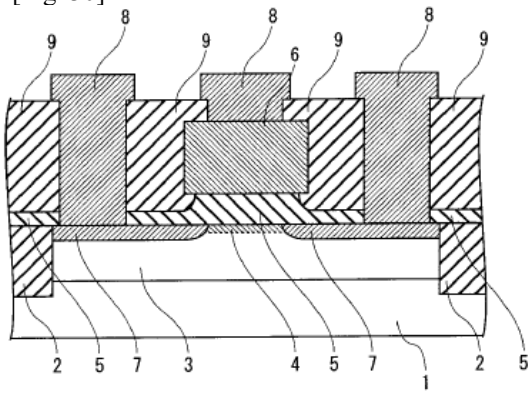
[Fig. 28]



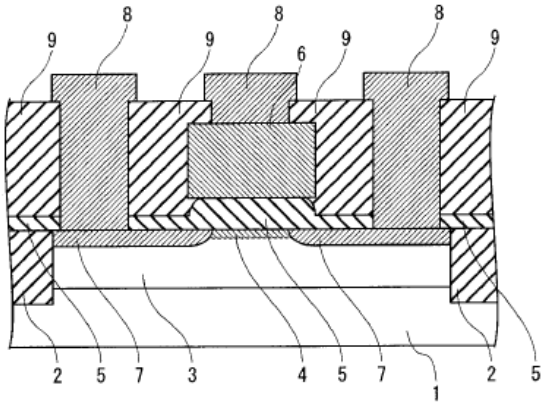
[Fig. 29]



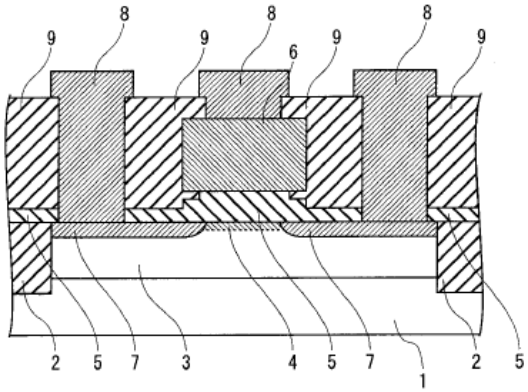
[Fig. 30]



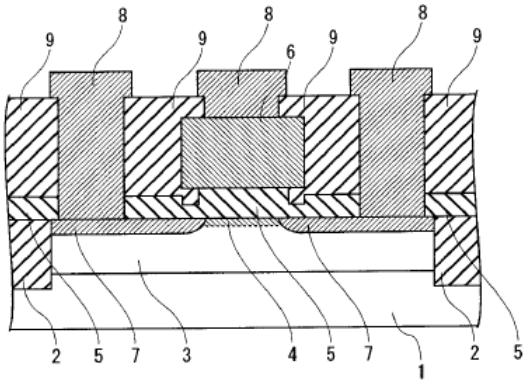
[Fig. 31]



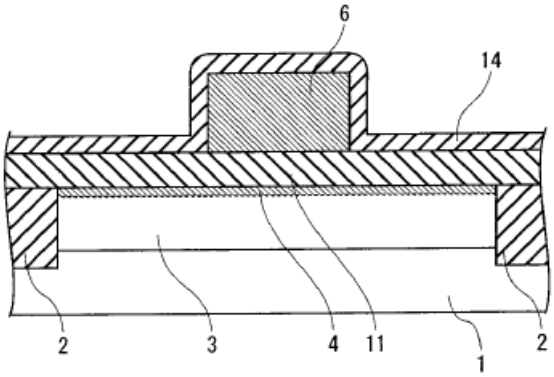
[Fig. 32]



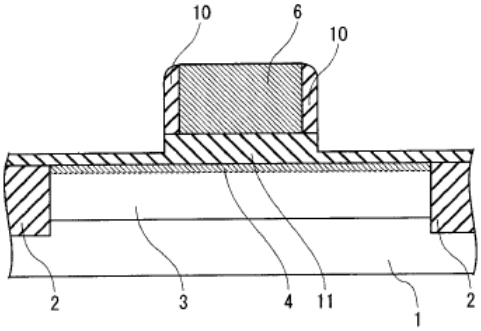
[Fig. 33]



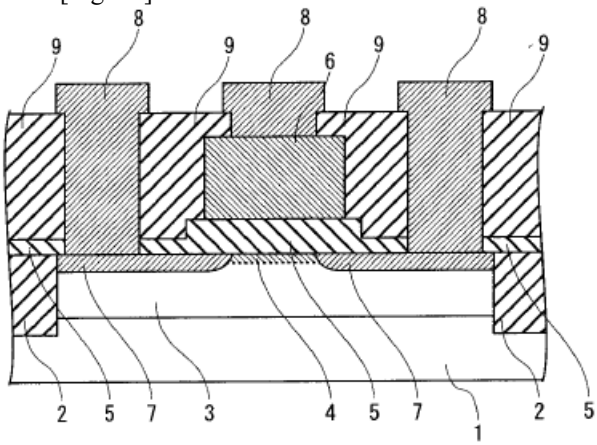
[Fig. 34]



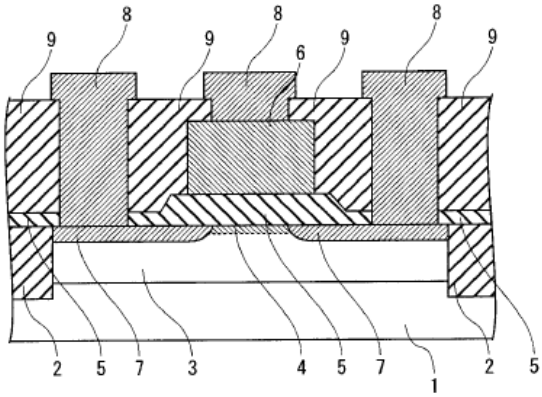
[Fig. 35]



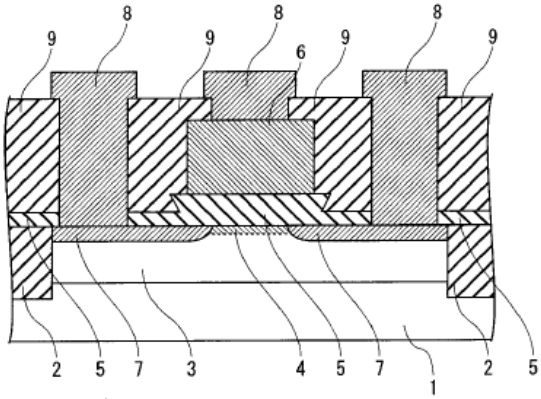
[Fig. 36]



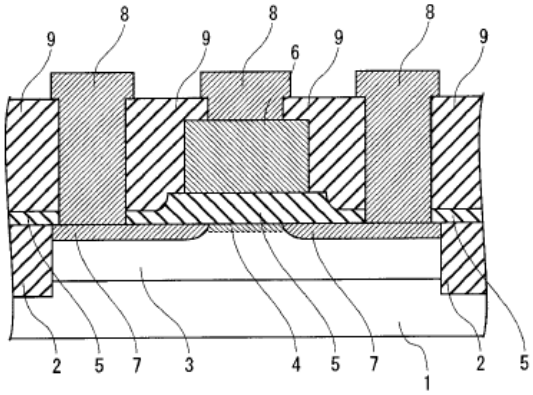
[Fig. 37]



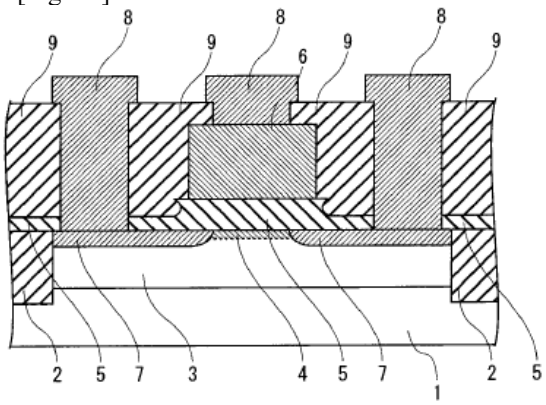
[Fig. 38]



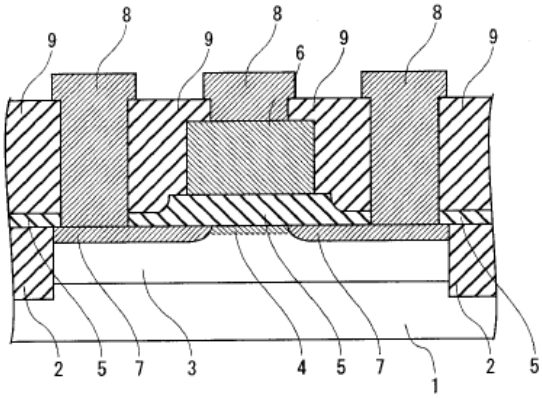
[Fig. 41]



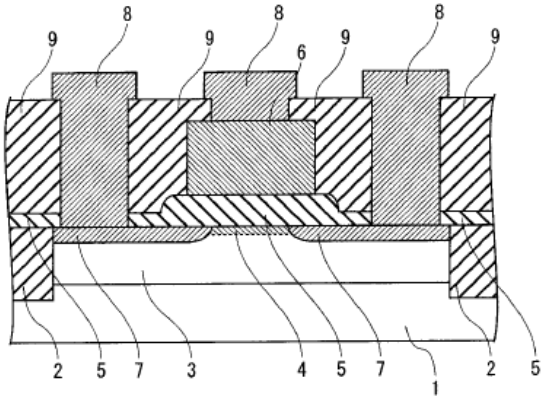
[Fig. 42]



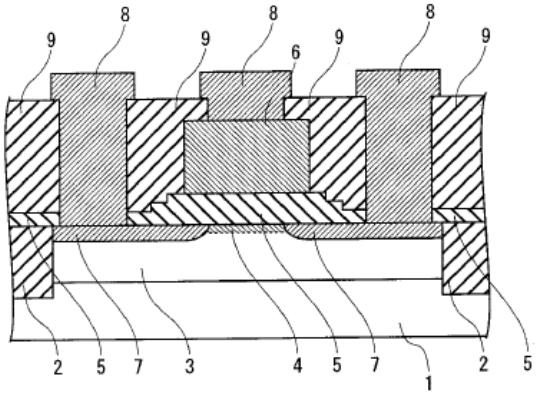
[Fig. 39]



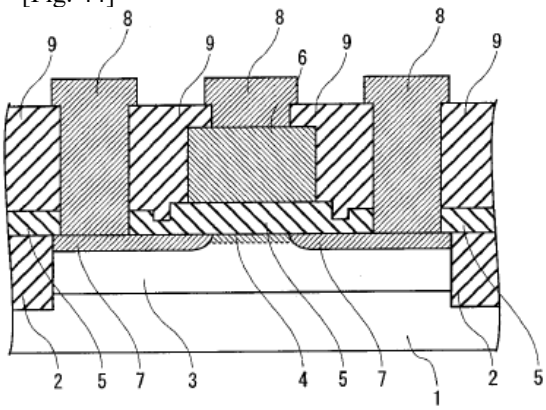
[Fig. 40]



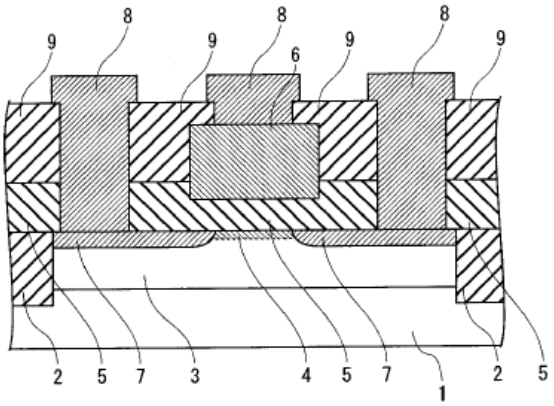
[Fig. 43]



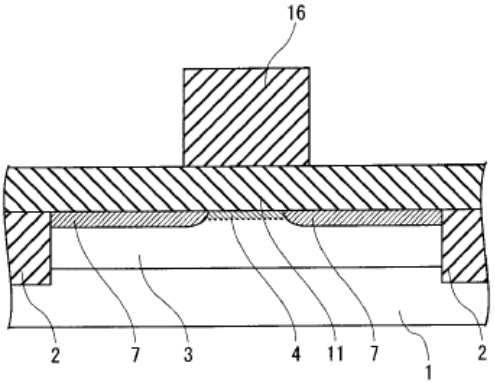
[Fig. 44]



[Fig. 45]

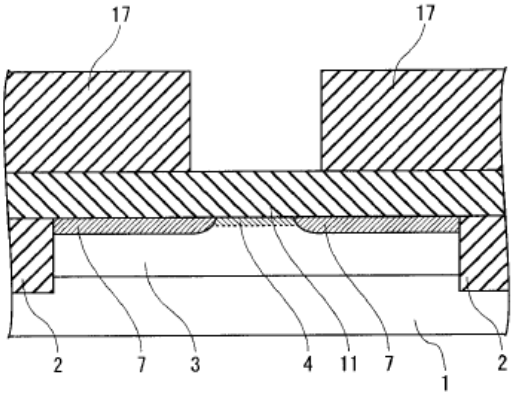


[Fig. 46]



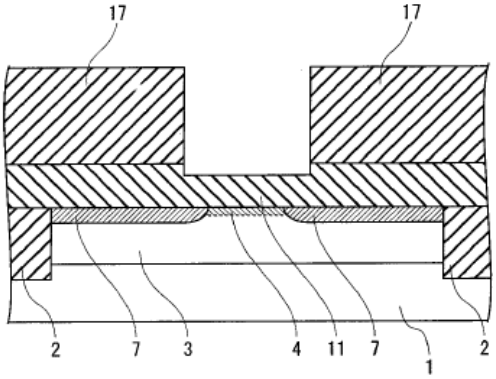
16 ... dummy gate electrode

[Fig. 47]

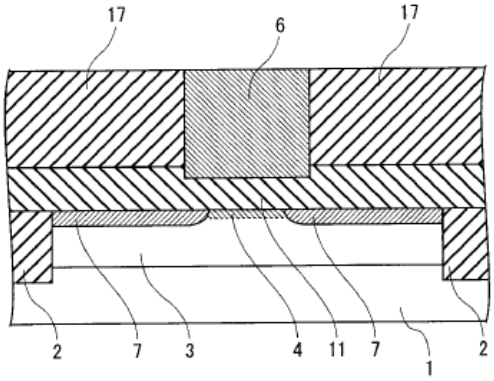


17 ... silicon oxide film

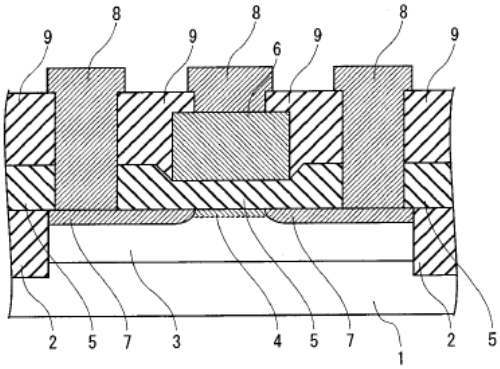
[Fig. 48]



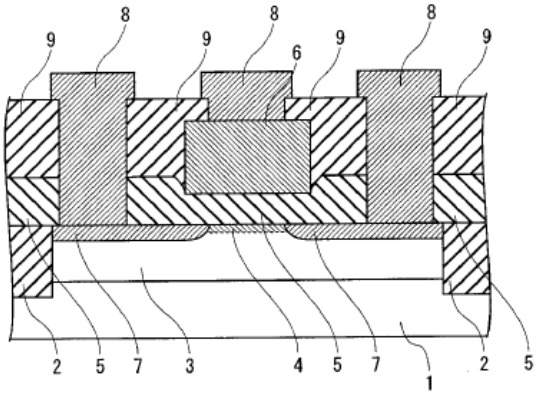
[Fig. 49]



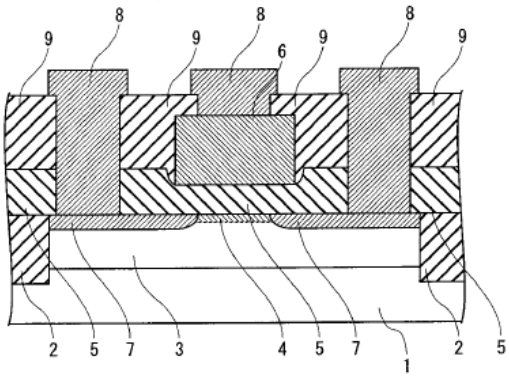
[Fig. 50]



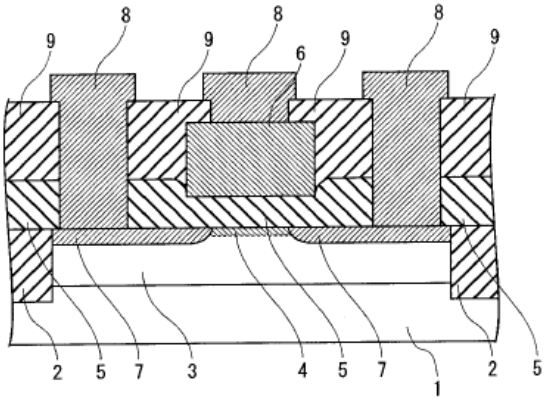
[Fig. 51]



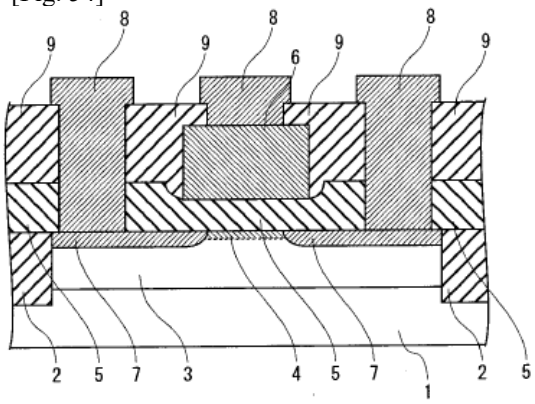
[Fig. 52]



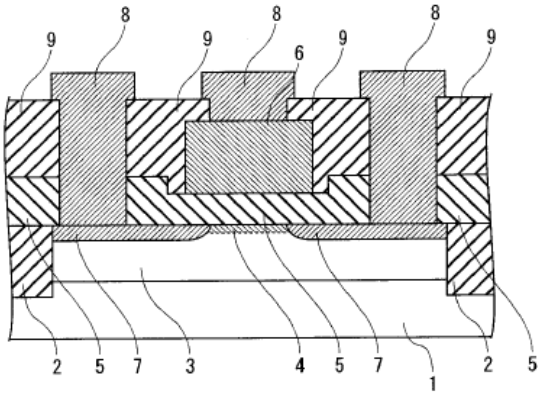
[Fig. 53]



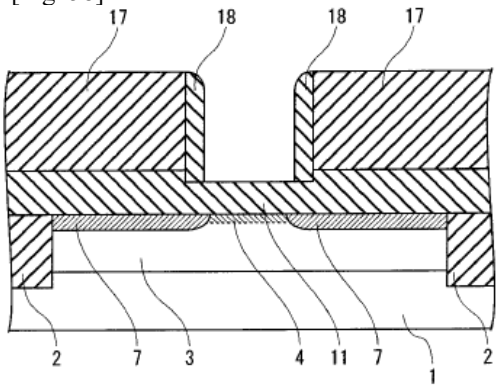
[Fig. 54]



[Fig. 57]

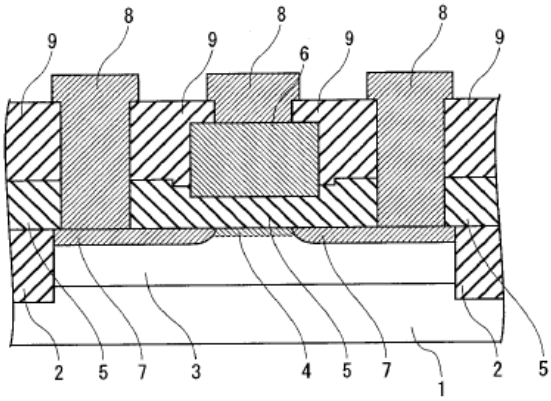


[Fig. 58]

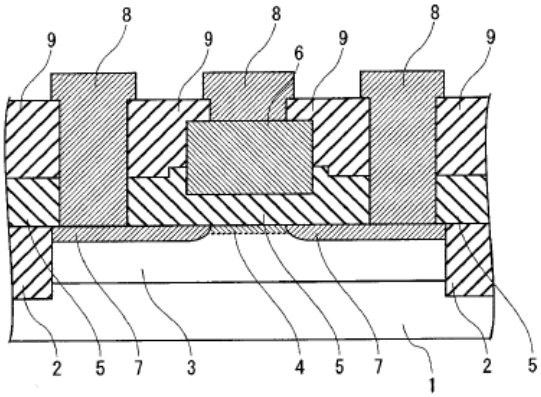


18 ... side wall

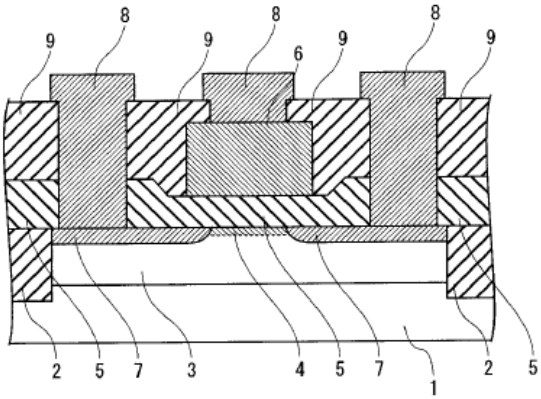
[Fig. 55]



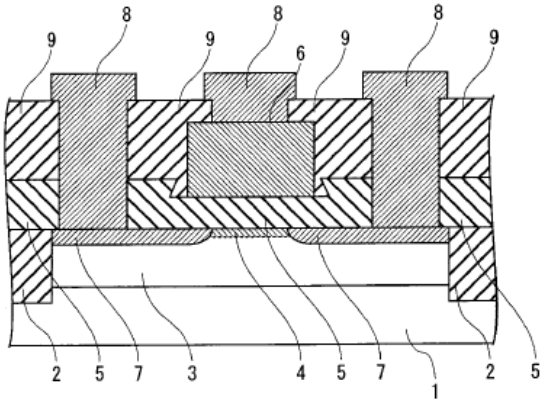
[Fig. 56]



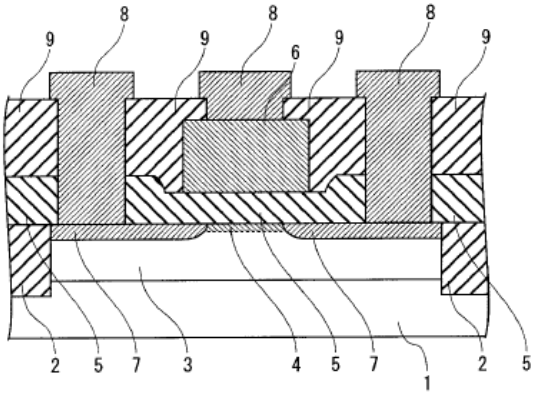
[Fig. 59]



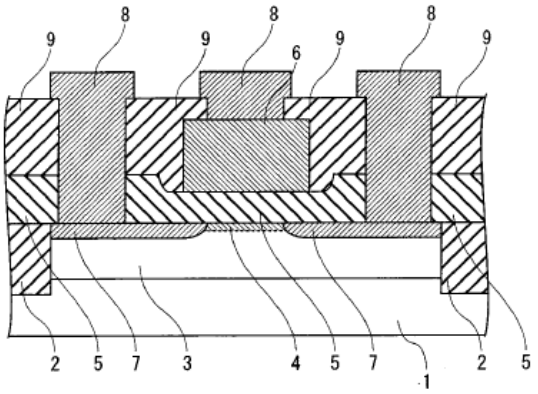
[Fig. 60]



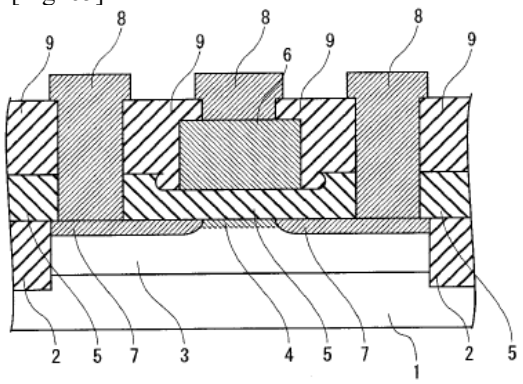
[Fig. 61]



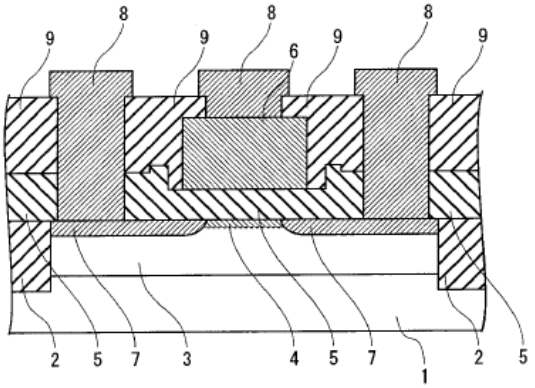
[Fig. 62]



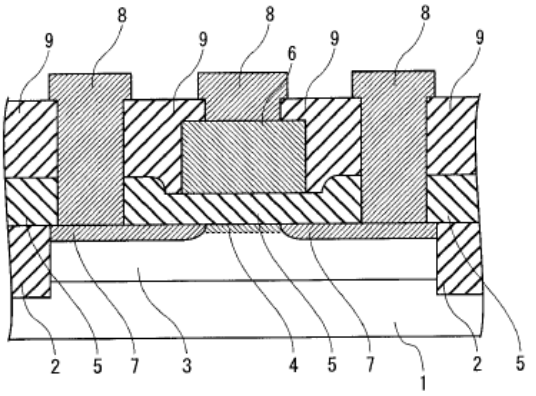
[Fig. 65]



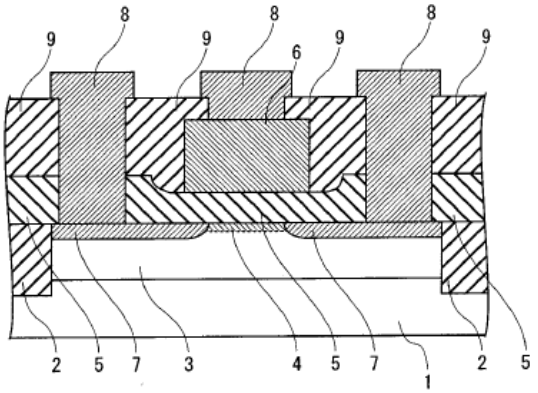
[Fig. 66]



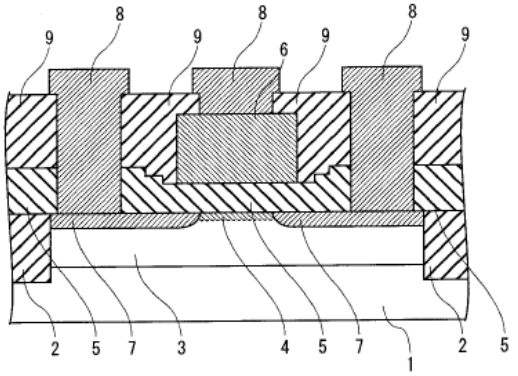
[Fig. 63]



[Fig. 64]



[Fig. 67]



Continued from front page.

(51) Int.Cl.[7]	FI	Theme code (Reference)
H01L 29/786		

F term (reference)	4M104	AA01	AA09	BB01	BB03	BB04	BB18	BB20	BB21	BB40	CC05
		DD04	DD08	DD16	DD26	DD37	DD43	DD46	DD65	DD66	DD78
		DD84	DD91	EE03	EE16	FF14	GG09	GG10	GG14	HH12	HH14
		HH16	HH18								
	5F058	BA01	BC03	BD05	BF12	BJ01					
	5F110	AA02	AA12	CC02	DD05	DD13	EE04	EE05	EE09	EE14	EE32
		EE45	FF01	FF12	FF27	FF28	FF29	GG02	GG12	GG32	GG52
		HJ01	HJ04	HJ13	HK05	HL02	HL05	HL23	HM15	NN02	NN23
		NN24	NN35	NN62	QQ11						
	5F140	AA01	AA10	AA11	AA19	AB01	AB03	BA01	BC06	BD04	BD11
		BD16	BE07	BE09	BE10	BE14	BF01	BF05	BF07	BF11	BF14
		BF21	BF28	BG03	BG08	BG11	BG12	BG14	BG20	BG22	BG27
		BG28	BG29	BG36	BG38	BG40	BG45	BG52	BG53	BH06	BH14
		BH15	BH16	BH32	BJ01	BJ08	BK12	BK13	BK15	BK21	BK26
		CA02	CA03	CB04	CB08	CC03	CC12	CE20			

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2005-64190
(P2005-64190A)
(43)公開日　平成17年3月10日(2005.3.10)

(51)Int.Cl.[7]	F I			テーマコード（参考）
H01L 29/78	H01L 29/78	301G		4M104
H01L 21/283	H01L 21/283	C		5F058
H01L 21/316	H01L 21/316	Y		5F110
H01L 21/336	H01L 29/78	617S		5F140
H01L 29/417	H01L 29/50	M		

審査請求 有　請求項の数 13　OL　（全 29 頁）　最終頁に続く

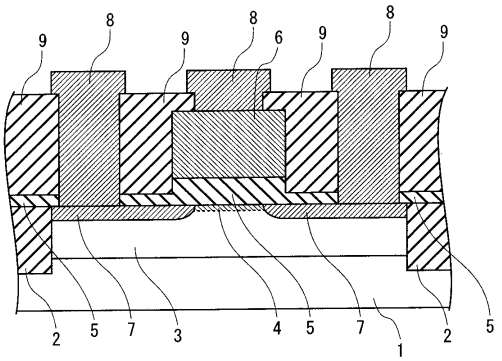
(21)出願番号　特願2003-291610(P2003-291610)
(22)出願日　平成15年8月11日(2003.8.11)

(71)出願人　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100083161
弁理士　外川　英明
(72)発明者　小野　瑞城
神奈川県横浜市磯子区新杉田町８番地　株式会社東芝横浜事業所内
(72)発明者　西山　彰
神奈川県横浜市磯子区新杉田町８番地　株式会社東芝横浜事業所内

最終頁に続く

(54)【発明の名称】半導体装置及びその製造方法

(57)【要約】
【課題】
半導体装置において素子の高速動作と高い信頼性との同時実現を図る。その結果として高速動作ならびに高信頼性の高性能の半導体装置を提供する。
【解決手段】
ゲート絶縁膜５がソース・ドレイン領域７上にも存在し、且つソース・ドレイン領域７上のゲート絶縁膜５は金属を含むゲート電極６下のゲート絶縁膜５と異なる厚さを持つ。この様にすることで、ゲート絶縁膜５の表面や底面に誘起される分極電荷の位置を調節し、ゲート電極６下端角部における電場を緩和することができる。その結果としてゲート絶縁膜の絶縁破壊や信頼性の低下等の問題を抑制する。
【選択図】　図１



1…半導体基板
2…素子分離領域
3…Pウェル領域
4…チャネル領域
5…ゲート絶縁膜
6…ゲート電極
7…ソース・ドレイン領域
8…コンタクト配線
9…層間絶縁膜

【特許請求の範囲】
【請求項１】
半導体基板と、
　前記半導体基板表面に形成されるチャネル予定領域のゲート長方向に隣接配置された一対のソース・ドレイン領域と、
　前記半導体基板側に金属を含み、前記チャネル予定領域上に形成されたゲート電極と、
　前記半導体基板と前記ゲート電極との重なり領域に形成された、第一の厚さを備える中央部、および前記中央部をゲート長方向から挟み、前記ソース・ドレイン領域の一部上に形成された、前記第一の厚さと異なる膜厚を有する一対の端部を備えたゲート絶縁膜とを具備することを特徴とする半導体装置。
【請求項２】
前記ゲート絶縁膜が金属を含むことを特徴とする請求項１記載の半導体装置。
【請求項３】
前記ゲート絶縁膜の一対の端部上に、前記ゲート絶縁膜よりも誘電率の低いゲート側壁もしくは層間絶縁膜を備えることを特徴とする請求項１または２記載の半導体装置。
【請求項４】
前記一対の端部の膜厚が、前記第一の厚さよりも薄いことを特徴とする請求項１乃至３のいずれかに記載の半導体装置。
【請求項５】
前記一対の端部のゲート長方向に平行な長さが前記第一の厚さに比べて長いことを特徴とする請求項４記載の半導体装置。
【請求項６】
前記一対の端部のゲート長方向に平行な長さが前記第一の厚さの１．５倍よりも長いことを特徴とする請求項５記載の半導体装置。
【請求項７】
前記一対の端部上にはゲート側壁が形成されていることを特徴とする請求項４乃至６のいずれかに記載の半導体装置。
【請求項８】
前記一対の端部が前記ゲート電極下に延在していることを特徴とする請求項４乃至７のいずれかに記載の半導体装置。
【請求項９】
前記中央部が前記ゲート電極の側壁外まで延在していることを特徴とする請求項４乃至７のいずれかに記載の半導体装置。
【請求項１０】
前記一対の端部の膜厚が、前記第一の厚さよりも厚いことを特徴とする請求項１乃至３のいずれかに記載の半導体装置。
【請求項１１】
前記膜厚の厚い一対の端部は前記ゲート電極の側面と離間していることを特徴とする請求項１０記載の半導体装置。
【請求項１２】
半導体基板表面にゲート絶縁膜を形成する工程と、
　前記ゲート絶縁膜に接する部分に金属を含むゲート電極を形成する工程と、
　前記ゲート電極の両脇にある前記ゲート絶縁膜の上部を除去して、下部のみを前記半導体基板表面に残置する工程と、
　前記ゲート電極を挟む前記半導体基板表面に不純物を添加してソース・ドレイン領域を形成する工程とを備えることを特徴とする半導体装置の製造方法。
【請求項１３】
半導体基板表面にゲート絶縁膜を形成する工程と、
　前記ゲート絶縁膜上にゲート電極形成予定領域を囲むパターンを形成する工程と、
　前記パターンに囲まれたゲート電極形成予定領域にある前記ゲート絶縁膜の上部を除去

して、下部のみを前記半導体基板表面に残置する工程と、
前記ゲート電極形成予定領域に、前記ゲート絶縁膜に接する部分に金属を含むゲート電極を形成する工程と、
前記ゲート電極を挟む前記半導体基板表面に不純物を添加してソース・ドレイン領域を形成する工程とを備えることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、半導体装置とその製造方法に係り、特に、高誘電率材料のゲート絶縁膜を備えた電界効果トランジスタに関する。
【背景技術】
【０００２】
従来、半導体集積回路装置に用いる電界効果トランジスタでは、集積化が進むにつれ、ゲート電極端部での電界集中が問題となる。この電界集中を緩和するために、多結晶シリコンのゲート電極配線の加工後に熱酸化処理を行ってゲート電極のゲート酸化膜を厚膜化することが行われている（特許文献１参照）。
【０００３】
また、電界効果トランジスタの動作速度を高速化するために高融点金属を用いて低抵抗にしたゲート電極が用いられており、電流駆動力を増すためにはゲート絶縁膜に高誘電率材料を用いることが提案されている。高誘電率材料は、従来、ゲート絶縁膜に用いられてきた酸化シリコンよりも誘電率の高い材料をいい、例えば、金属シリケートなどである。
【特許文献１】特開平１１－３０７７７４号公報
【発明の開示】
【発明が解決しようとする課題】
【０００４】
金属または金属珪化物を備えるゲート電極（以下、メタルゲートとする）では、多結晶シリコンのゲート電極と異なり、上記特許文献に記載のような、ゲート電極加工後に電極下端の角部分を丸める酸化工程を施すことはゲート電極の特性劣化を招くため好ましくない。
【０００５】
また、多結晶シリコンのゲート電極を用いても、ゲート絶縁膜に用いられているところの高誘電率材料の変質に鑑みるとゲート電極加工後の酸化工程は好ましくない。
【０００６】
さらに、ゲート絶縁膜に高誘電率材料を用いると、ゲート絶縁膜と周囲の層間絶縁膜との誘電率が異なるために電界集中の振る舞いは複雑になる。特願2002-8287では、この電界集中の振る舞いについて詳述した。
【０００７】
つまり、ゲート絶縁膜形成のための高誘電率材料をゲート電極のチャネル方向端に合わせて加工した場合に電場は最も小さくなり、ゲート絶縁膜の端部がゲート電極の中央側に有ってもその反対側に有っても電場は急激に大きくなる。殊に、ゲート絶縁膜をゲート電極の外側に張り出して加工した場合に電場の値は大きくなる。
【０００８】
ここで、ゲート電極を加工する際にゲート電極の不要な領域にゲート電極材料が残ることは好ましくないので、通常はゲート電極材料の除去工程は過剰な条件で行う。その工程によりゲート電極材料下の半導体基板が削られてしまうと、半導体基板表面のソース・ドレインの抵抗を下げるために、ソース・ドレインの接合深さを深くせざるをえない。そのため、短チャネル効果が顕著となり著しい場合には素子の正常な動作が得られなくなる。
【０００９】
これを防ぐため、通常はゲート絶縁膜をゲート電極加工時の半導体基板の保護材として

用いてゲート絶縁膜をソース・ドレイン領域上にも存在させる。または、ソース・ドレイン領域とゲート電極との短絡を防ぐために、ゲート電極の両側壁にゲート側壁を設けてゲート端を保護した状態でソース・ドレイン領域上のゲート絶縁膜を除去する。

【００１０】

結果として、いずれの方法によってもゲート絶縁膜はゲート電極よりも張り出してソース・ドレイン領域の上に存在する。ゲート電極のチャネル長端における電場は極めて強くなり絶縁膜の絶縁破壊乃至は絶縁膜に要求される絶縁耐圧の増大、そして信頼性の低下等の問題を引き起こしてしまうという問題が考えられる。

【００１１】

この様な事情により、素子の電流駆動力向上及びゲート抵抗の低減の要求と、絶縁膜の絶縁耐圧の確保及び信頼性の要求との両立は困難であった。そのために高速動作と高信頼性との両立を実現することの障害となっていた。

【００１２】

本発明は、上記問題点を解決するために成されたもので、その目的は高速動作を保つと同時にゲート電極のチャネル長方向端の電場を緩和し、十分な高速動作とともに高い信頼性を有する素子を提供することにある。

【課題を解決するための手段】

【００１３】

上記目的を達成するために本発明は、半導体基板と、半導体基板表面に形成されるチャネル予定領域のゲート長方向に隣接配置された一対のソース・ドレイン領域と、半導体基板側に金属を含み、チャネル予定領域上に形成されたゲート電極と、半導体基板とゲート電極との重なり領域に形成された、第一の厚さを備える中央部、および中央部をゲート長方向から挟み、ソース・ドレイン領域の一部上に形成された、第一の厚さと異なる膜厚を有する一対の端部を備えたゲート絶縁膜とを具備することを特徴とする半導体装置を提供する。

【００１４】

また、本発明は、半導体基板表面にゲート絶縁膜を形成する工程と、ゲート絶縁膜に接する部分に金属を含むゲート電極を形成する工程と、ゲート電極の両脇にあるゲート絶縁膜の上部を除去して、下部のみを半導体基板表面に残置する工程と、ゲート電極を挟む半導体基板表面に不純物を添加してソース・ドレイン領域を形成する工程とを備えることを特徴とする半導体装置の製造方法を提供する。

【００１５】

さらに、本発明は、半導体基板表面にゲート絶縁膜を形成する工程と、ゲート絶縁膜上にゲート電極形成予定領域を囲むパターンを形成する工程と、パターンに囲まれたゲート電極形成予定領域にあるゲート絶縁膜の上部を除去して、下部のみを半導体基板表面に残置する工程と、ゲート電極形成予定領域に、ゲート絶縁膜に接する部分に金属を含むゲート電極を形成する工程と、ゲート電極を挟む半導体基板表面に不純物を添加してソース・ドレイン領域を形成する工程とを備えることを特徴とする半導体装置の製造方法を提供する。

【発明の効果】

【００１６】

本発明の半導体装置及びその製造方法によれば、高電流駆動力を得るための高誘電率ゲート絶縁膜、低いゲート抵抗を実現するための金属ゲート、および電界集中を抑制することによる絶縁膜の絶縁破壊の防止ならびに素子の高信頼性が実現される。従って高速動作且つ高信頼性の素子が提供される。

【発明を実施するための最良の形態】

【００１７】

以下、図面を用いて本発明の実施形態を詳細に説明する。尚、実施の形態を通して共通の構成には同一の符号を付すものとし、重複する説明は省略する。また、各図は発明の説明とその理解を助けるための模式図であり、その形状や寸法、比などは実際の装置と異な

る個所があるが、これらは以下の説明と公知の技術を参酌して適宜、設計変更することができる。

【００１８】

（実施の形態１）

図１は、本発明の実施の形態１を説明するための断面模式図である。図１は、実施の形態１の電界効果トランジスタのチャネル長方向に並行な断面図を示す。

【００１９】

本実施の形態はＮチャネル電界効果トランジスタを例に説明する。不純物の導電型を逆にすればPャネル電界効果トランジスタにおいてもまったく同様である。また、光蝕刻法等の方法を用いて基板内の特定の領域のみに不純物を注入する等の方法を用いれば相補型電界効果トランジスタも形成でき、同様の効果が得られる。

【００２０】

まず、実施の形態１の電界効果トランジスタの構造を説明する。Ｐ型シリコン基板等の半導体基板１の表面には、隣接する素子領域間を電気的に分離する溝型素子分離領域２が形成されている。この電界効果トランジスタが形成される素子領域には、Ｐウェル領域３が形成され、その上にはゲート絶縁膜５、ゲート電極６が形成されている。

【００２１】

また、Ｐウェル領域３の表面にはゲート電極６をチャネル長方向から挟む一対のソース・ドレイン領域７が形成されている。ソース・ドレイン領域７間の基板表面には、Nチャネル領域４が形成されている。ゲート電極６、ソース・ドレイン領域７上には、各々に接続するコンタクト配線８が形成されている。各コンタクト配線８間には配線間、トランジスタ間を電気的に絶縁する層間絶縁膜９が形成されている。

【００２２】

実施の形態１の電界効果トランジスタは、ゲート絶縁膜５がソース・ドレイン領域７上にも存在し、且つソース・ドレイン領域７上のゲート絶縁膜５はゲート電極６下のゲート絶縁膜５よりも薄いことに特徴がある。ゲート電極６下の膜厚の厚い領域をゲート絶縁膜５の中央部とすると、ソース・ドレイン領域７上の膜厚の薄い領域は、中央部を挟む一対の端部である。

【００２３】

ゲート電極６から出て基板に至る電気力線によりゲート絶縁膜５や層間絶縁膜９が分極して、ソース・ドレイン領域７上のゲート絶縁膜５の表面やその上の層間絶縁膜９の下面に分極電荷が生ずる。ゲート絶縁膜５が層間絶縁膜９よりも高い誘電率を持つことに鑑みると、この界面に現れる正味の電荷は、基板１に対してゲート電極６に正の電位を印加した時には負電荷であり、負の電位を印加した時には正電荷であるので、常にその界面の電位をゲート電極６の電位から遠ざける方向に働く。

【００２４】

そのため、ゲート電極６下端角における電場が助長されるが、ゲート絶縁膜５の上面がゲート電極６下端角から離れて存在するためゲート絶縁膜５下端角近傍におけるゲート絶縁膜５中の電場は緩和され、その結果として絶縁膜の信頼性の高い半導体装置を提供することができる。

【００２５】

このような電場緩和についてここで詳述する。電界効果トランジスタでは、ゲート絶縁膜の表面や側面を貫いてゲート電極と基板とを結ぶ電気力線によってゲート絶縁膜や層間絶縁膜が分極する。そのためゲート絶縁膜の表面や側面に、ゲート絶縁膜と層間絶縁膜との誘電率の相違に起因した分極の差に相当する分極電荷が誘起される。この状態を図２の模式図を用いて説明する。

【００２６】

図２は、図１に示す電界効果トランジスタにおけるゲート電極６のチャネル長方向端の角とその近傍を拡大した断面模式図である。半導体基板１に対してゲート電極６に正の電位を印加した場合を考える。負の電位を印加した場合も全体の符号が反転するのみで以下

の話は全く同様である。

【００２７】

図２では、ゲート電極６より出て半導体基板１に至る電気力線を２本のみ記してある。また、誘電率の異なる媒質の界面において電気力線には折れ曲がりが生ずるが図２ではその折れ曲がりを省略している。

【００２８】

ゲート絶縁膜には、金属酸化物等の高誘電率材料を用いるのに対して、一般に、層間絶縁膜等には高誘電率材料は用いないので、ゲート絶縁膜の方が誘電率は高い。ゲート電極に正の電位を印加しているので、ゲート絶縁膜の表面における電場の向きはゲート絶縁膜の外から内へと向かう。するとゲート絶縁膜の表面には負の分極電荷が誘起され、それと向かい合う層間絶縁膜の下面には正の分極電荷が誘起される。

【００２９】

この状態では、ゲート絶縁膜の方が層間絶縁膜よりも誘電率が高いので、その界面に誘起される正味の電荷は負となる。これはゲート絶縁膜表面の電位をゲート電極から遠ざけることになるのでゲート電極のチャネル長端近傍の電場を強める。

【００３０】

ここで、ソース・ドレイン領域上もゲート電極下もゲート絶縁膜が等しい厚さを持っていると、この負の電荷はゲート電極下端角に接しているので、ゲート電極下端角近傍の電場は最も強くなる。そしてソース・ドレイン領域上のゲート絶縁膜をゲート電極下のゲート絶縁膜と異なる厚さとすると、この負の電荷はゲート電極下端角から離れるので上に記した電場の助長が弱まり、結果としてゲート電極下端角近傍の電場は弱まる。

【００３１】

図２に示した様に、ゲート電極６下端角の下にゲート絶縁膜５にあらわれた側面における電場の向きはゲート絶縁膜５の内から外へ向かう。すると上に記したゲート絶縁膜５表面の場合とは逆に、この側面上には正の分極電荷が誘起され、それと向かい合う層間絶縁膜９側の側面には負の分極電荷が誘起される。

【００３２】

ゲート絶縁膜５の方が層間絶縁膜９等よりも誘電率が高いので、その界面に誘起される正味の電荷は正となる。これはゲート絶縁膜５表面の電位をゲート電極６に近づけることになるのでゲート電極６下端角近傍の電場を弱める。そのため、ソース・ドレイン領域７上のゲート絶縁膜５をゲート電極６下のゲート絶縁膜５よりも薄くすると、ゲート電極６下端角近傍の電場は更に弱まると考えられる。この様にしてゲート電極６下端角近傍の電場の緩和が図られる。

【００３３】

図３は、電界効果トランジスタの一部に関するチャネル方向に平行な断面模式図である。電界効果トランジスタについて、図３中のΔ2を変数としてゲート電極６下端（図中の○印）におけるゲート絶縁膜５中の電場の値をシミュレーションにより検討した。ゲートの側壁等の素子を覆っている層間絶縁膜の誘電率は酸化シリコンの誘電率であるところの3.9とした。その結果を図４に示す。

【００３４】

Δ2の符号は、図４に示す様にソース・ドレイン領域７上のゲート絶縁膜５がゲート電極６下のゲート絶縁膜５よりも厚い場合を正、薄い場合を負とした。Δ2がゼロの場合、すなわちソース・ドレイン領域７上のゲート絶縁膜５の厚さがゲート電極６下のゲート絶縁膜５の厚さと等しい場合に電場は最も強く、Δ2がゼロから離れると電場は弱まっていることが判る。

【００３５】

さらにΔ2が負の場合、すなわちソース・ドレイン領域７上のゲート絶縁膜５の厚さがゲート電極６下のゲート絶縁膜５の厚さよりも薄い方が電場は弱くなっていることが判る。そのため、ソース・ドレイン領域７上のゲート絶縁膜５の厚さは、ゲート電極６下のゲート絶縁膜５の厚さよりも薄い方が好ましい。

【００３６】
更に、図３に示す構造のΔ２と静電容量との関係を調べた結果を図５に示す。図５から、ソース・ドレイン領域７上のゲート絶縁膜５の厚さがゲート電極６下のゲート絶縁膜５の厚さよりも厚い場合には、ゲート電極６とソース・ドレイン領域７との間に形成される静電容量が大きくなると考えられる。ゲート電極６とソース・ドレイン領域７との間の静電容量が大きくなることは素子の寄生容量の増大を意味するので、素子の動作速度の低下につながり、ゲート電極６とソース・ドレイン領域７との間の静電容量は小さい方が好ましい。

【００３７】
以上から、Δ2を減らすと静電容量は単調に減少しており、Δ2を負に設定する、すなわちソース・ドレイン領域７上のゲート絶縁膜５の厚さをゲート電極６下のゲート絶縁膜５の厚さよりも薄く設定する、方がより好ましいことが判る。

【００３８】
特願2002-8287では、半導体基板に対してゲート電極に電位を印加した場合に現れる分極電荷によりゲート電極下端角近傍のゲート絶縁膜の電位をゲート電極の電位に近づけることでゲート絶縁膜中の電場を緩和した。これに対し、本発明においては、半導体基板に対してゲート電極に電位を印加した場合に現れる分極電荷によりゲート電極下端角近傍のゲート絶縁膜の電位がゲート電極の電位から遠ざけられて、電場が助長されるのを防ぐことにより電場を緩和する。

【００３９】
更に、特願2002-8287の特許に限らず、ゲート電極に高誘電率材料よりなる側壁を設けた構造は、ゲート電極の側面から出て半導体基板に至る電気力線のすべてが高誘電率材料側壁を通る。この側壁に用いる高誘電率材料はゲート絶縁膜材料と同一でもよいし、異なるものでもよい。そのため、ゲート電極と半導体基板との間に形成される静電容量が極めて大きくなり、素子の高速動作の妨げとなり好ましくない。それに対して、本発明の構造はゲート電極の側面の上部は高誘電率材料よりなる絶縁物と接しておらず、ゲート電極の側面と半導体基板との間に形成される静電容量は抑制される。そのため、十分な高速動作が実現される。

【００４０】
次に、図１に示した電界効果トランジスタの製造方法について、図６乃至図１０のチャネル長方向の断面模式図を用いて説明する。

【００４１】
先ず、図６に示すように、P型シリコン基板１に例えば溝型素子分離法により素子分離領域２を形成する。続いて、Pウエル形成領域に例えばBイオンを約100 keV、約2.0×10^{13} cm^{-2}で注入し、その後に例えば約1050℃、約30秒の熱工程によりPウエル領域３を形成する。Pウエル領域３中には、所望のしきい値電圧を得るために例えばBイオンを約30 keV、約1.0×10^{13} cm^{-2}で注入し、Nチャネル４表面の濃度を調節する。

【００４２】
次に、例えばスパッタ法等を用いて、シリコン基板１上に例えば厚さ5 nmのHfO_2膜１１を形成する（図７）。

【００４３】
HfO_2膜１１上には、例えばCVD法により、厚さ約100 nmのタングステン等の高融点金属膜を堆積する。この高融点金属膜に、レジスト膜の形成とフォトリソグラフィーを用いた加工により形成したマスクパターンを用いてRIE法等の異方性エッチングを施し、ゲート電極６を形成する（図８）。続いて、RIE法等の異方性エッチングを施すことによりHfO_2膜１１の上部を除去する（図８）。

【００４４】
次に、例えばヒ素（As）イオンを50 keV、5.0×10^{15} cm^{-2}をシリコン基板１表面に注入する。そして、熱工程によりAsイオンが拡散した不純物領域（ソース・ドレイン領域）７を形成する（図９）。

【００４５】
次に、図１０に示すように、シリコン基板１の表面に層間絶縁膜として例えばCVD法で酸化シリコン膜９を約500 nm堆積する。例えばマスクパターンを用いたRIE法により、酸化シリコン膜９に、ソース・ドレイン領域７およびゲート電極６に繋がる配線孔１２を開孔する。
【００４６】
開孔１２にはコンタクト配線を形成する。例えばスパッタ法等により、シリコン基板１の表面に例えばSiを1%含有する厚さ約300nmのAl膜を形成する。このAl膜に、例えばRIE法等の異方性エッチングを施すことにより、開孔と隣接する層間絶縁膜９上からAl膜を除去する。これにより図１に示す電界効果トランジスタを形成する。
【００４７】
以上説明した、実施の形態１では、次に述べる種々の変形が可能である。
【００４８】
本実施の形態においてはN型電界効果トランジスタを例に取って示したが、不純物の導電型を逆にすればP型電界効果トランジスタの場合に同様に適用できる。そして光蝕刻法等の方法を用いて基板内の特定の領域のみに不純物を導入すれば相補型電界効果トランジスタに対しても同様である。また、それらを一部として含む半導体装置にも用いることができる。
【００４９】
また、電界効果トランジスタの他に、バイポーラー型トランジスタや単一電子トランジスタ等の他の能動素子、抵抗体、ダイオード、インダクター、及び／あるいはキャパシター等の受動素子を含む半導体装置の一部として、以上説明した電界効果トランジスタを形成することもできる。OEIC（Opt-Electrical Integrated Circuit）やMEMS（Microelectro Mechanical System）の一部として電界効果トランジスタを形成する場合もまた同様である。また、SOI(Silicon On Insulator)構造の素子にも同様に用いられる。さらにFIN型乃至柱状構造の素子等にも同様に用いられる。
【００５０】
また、本実施の形態では、N型半導体層を形成するための不純物としてはAsを、P型半導体層を形成するための不純物としてはB（ボロン）を用いた。N型半導体層を形成するための不純物として他のV族不純物を用いる、P型半導体層を形成するための不純物として他のIII族不純物を用いてもよい。III族やV族の不純物の導入はそれらを含む化合物の形で行ってもよい。
【００５１】
本実施の形態では、不純物の導入はイオン注入を用いて行ったが、イオン注入以外の例えば固相拡散や気相拡散等の方法を用いて行ってもよい。また、不純物を含有する半導体を堆積するまたは成長させる等の方法を用いてもよい。
【００５２】
また、本実施の形態では、シングルドレイン構造の素子を示したが、シングルドレイン構造以外の例えばエクステンション構造乃至LDD(Lightly Doped Drain)構造やGDD(Graded Diffused Drain) 構造等の構造の素子に適用してもよい。またハロー構造乃至ポケット構造やエレベート構造等の素子を用いてもよい。
【００５３】
また、本実施の形態では、ソース・ドレイン領域の形成をゲート電極及びゲート絶縁膜の加工の後に行っているが、これらの順序は本質ではなく、逆の順序で行ってもよい。ゲート電極やゲート絶縁膜の材質によっては熱工程を施すことが好ましくない場合がある。その様な場合にはソース・ドレイン領域への不純物の導入をゲート電極やゲート絶縁膜の加工に先立って行うことが好ましい。
【００５４】
また、本実施の形態では、配線のための金属層の形成はスパッタ法を用いて行っているが、スパッタ法以外に例えば堆積法等の異なる方法を用いて金属層を形成してもよい。ま

た、金属の選択成長等の方法を用いてもよいしダマシン法等の方法を用いてもよい。また、配線金属の材料はSiを含有するAlであることに必然性は無く、例えばCu等の他の金属を用いてもよい。殊にCuは抵抗率が低いので好ましい。

【００５５】

また、本実施の形態では、ゲート電極は高融点金属を用いたが、必ずしも高融点とは限らない金属、あるいは金属を含む化合物等を用いてもよい。さらに、ゲート電極は金属単層に限らない。例えば、多結晶シリコン、単結晶シリコンまたは非晶質シリコン等の半導体と金属との積層でもよい。但し、非金属層と金属層を積層する際には、ゲート絶縁膜よりに金属層を形成し、金属層上に非金属層を形成する。

【００５６】

さらに、必ずしも高融点とは限らない金属、あるいは金属を含む化合物と、高融点金属との積層ゲート電極としてもよい。この際に、金属あるいは金属を含む化合物でゲート電極を形成するとゲート抵抗を抑制できるので素子の高速動作が得られ、好ましい。

【００５７】

また、本実施の形態では、ゲート電極の上部は電極が露出する構造（図９参照）であるが、上部に例えば酸化シリコンや窒化シリコン等の絶縁物を設けてもよい。殊にゲート電極が金属を含む材料で形成されており、且つソース・ドレイン領域上にシリサイド層を形成する場合等、製造工程の途中でゲート電極を保護する必要が在る場合等はゲート電極の上部に酸化シリコンや窒化シリコン等の保護材料を設けることは必須である。

【００５８】

また、本実施の形態では、ゲート電極の形成はゲート電極材料を堆積した後に異方性エッチングを施すという方法で形成しているが、例えばダマシンプロセス等のような埋め込み等の方法を用いてゲート電極を形成してもよい。

【００５９】

また、本実施の形態では、素子を流れる電流の主方向（図１の紙面左右方向）に測ったゲート電極の長さは、ゲート電極の上部も下部も等しいが、このことは本質的ではない。例えば、ゲート電極の上部を測った長さの方が下部を測った長さよりも長いアルファベットの「T」の字の様な形であってもよい。この場合にはゲート抵抗を低減することができると言う他の利点も得られる。

【００６０】

また、本実施の形態では、ゲート絶縁膜としてスパッタ法により形成したHfO_2膜を用いたが、Hfの異なる価数の酸化物、Zr、Ti、Sc、Y、Ta、Al、La、Ce、Pr、ランタノイド系列の元素等の金属酸化物、これらの元素を初めとする様々な元素を含むシリケート材料、これらのシリケート材料に窒素を含有させた絶縁膜、他の高誘電体膜、あるいはそれらの積層等の絶縁膜をゲート絶縁膜として用いてもよい。

【００６１】

本実施の形態では、ゲート絶縁膜表面及びそれと向かい合う層間絶縁膜等の下面等に誘起される分極電荷を用いている。一般に二種類の絶縁体の界面に誘起される分極電荷は各々の絶縁体の表面に誘起される分極電荷の差であるので、ゲート絶縁膜の誘電率が高いほど誘起される正味の分極電荷は多くなる。つまり、本実施の形態で得られる効果はゲート絶縁膜の誘電率が高いことに起因している。そのため、ゲート絶縁膜材料として、例えば従来のゲート絶縁膜によく用いられていた窒化シリコン膜、窒化酸化シリコン等の誘電率の低い物質で形成したとすると本実施の形態の効果は期待できない。

【００６２】

また、ゲート絶縁膜の形成方法はスパッタ法に限るものではなく、蒸着法、CVD法、あるいはエピタキシャル成長法等の他の方法を用いてもよい。また、ゲート絶縁膜として或る物質の酸化物を用いる等の場合には、まずその物質の膜を形成しておいてそれを酸化する等の方法を用いてもよい。ゲート絶縁膜には強誘電体膜を用いた素子を形成してもよい。

【００６３】

本実施の形態では、素子分離領域２は溝型素子分離法を用いて行ったが、例えば局所酸化法やメサ型素子分離法等の他の方法を用いて素子分離を行ってもよい。

【００６４】

ゲート電極やゲート絶縁膜に例えば金属を含む材料を用いた場合等、その材料の性質に鑑みて後酸化工程の不可能な場合には電界集中の問題は顕著となるので本実施の形態の構造方法により特に効果的に電場が緩和される。

【００６５】

また、本実施の形態では、層間絶縁膜として酸化シリコン膜を用いているが、例えば低誘電率材料等の酸化シリコン以外の物質を層間絶縁膜に用いてもよい。本実施の形態ではゲート絶縁膜表面及びそれと向かい合う層間絶縁膜等の下面等に誘起される分極電荷を用いている。一般に、二種類の絶縁体の界面に誘起される分極電荷は各々の絶縁体の表面に誘起される分極電荷の差であるので、層間絶縁膜の誘電率が低いほど誘起される正味の分極電荷は多くなる。従って、層間絶縁膜に誘電率の低い物質を用いた場合に上述の効果が顕著となる。

【００６６】

コンタクト孔に関しては自己整合コンタクトを形成することも可能である。

【００６７】

また、本実施の形態では、第一層の配線についてのみ説明したが、素子や配線等が二層以上であってもよい。その場合には素子の集積度が増すので好ましい。

【００６８】

また、本実施の形態ではゲート電極下端角近傍に現れるゲート絶縁膜の側面は半導体基板表面に対して垂直な平面であるとしているが、このことは本質では無い。例えば、チャネル長方向の断面図である図１１および図１２に示す、変形構造もできる。つまり、これらの図に示すように、ゲート絶縁膜５のゲート電極下端角に隣接する側面は半導体基板表面に対して垂直でなくても同様の効果が得られる。

【００６９】

更に、ソース領域側の側面とドレイン領域側の側面との傾き角が等しい必要はなく、一方はゲート電極６から外側に傾き、他方は内側に傾いていてもよい。また、この側面が平面である必要は無く、例えば図１３および図１４に示す様に曲面であってもよい。

【００７０】

また、例えば、図１５および図１６に示す様に、ゲート絶縁膜５の側面とソース・ドレイン領域７上における表面とが滑らかにつながっていてもよい。また、例えば図１７及び図１８に示す様に、ソース・ドレイン領域７のゲート絶縁膜の厚さが一様でなくてもよい。

【００７１】

ゲート電極下端角近傍におけるゲート絶縁膜７の形状を変えるとゲート電極５とソース・ドレイン領域７との間に形成される静電容量が変わる。

【００７２】

ゲート電極６とソース・ドレイン領域７との間に形成される静電容量は、ソース・ドレイン領域７の抵抗に起因する寄生抵抗の抑制と言う観点からは大きい方が好ましく、素子の寄生容量の低減と言う観点からは小さい方が好ましい。図１１乃至図１８に示す変形例の様にゲート電極下端角近傍におけるゲート絶縁膜５の形状を変えれば、ゲート電極６とソース・ドレイン領域７との間に形成される静電容量を調整することができるので、最適化を測ることが可能になるという利点がある。

【００７３】

（実施の形態２）

次に、図１９乃至図２３を用いて本発明に関わる実施の形態２について説明する。図１９乃至図２３は、電界効果トランジスタのゲート長方向に並行な断面模式図である。

【００７４】

図２３に示すように、本実施の形態では、ソース・ドレイン領域７の表面にシリサイド

層１５を形成することから、素子の寄生抵抗を低減し、素子の動作速度を速めることができる。

【００７５】

実施の形態２に関わる電界効果トランジスタの製造方法を以下に説明する。

【００７６】

図７により説明した工程の後に、HfO_2膜１１上に、例えばCVD法により厚さ約100nmのタングステン等の高融点金属膜を形成する。さらに、例えばCVD法等により厚さ約50 nmの窒化シリコン膜１３を形成する。そして、レジスト膜の形成とフォトリソグラフィー法によってレジストパターンを形成する。このレジストパターンをマスクにRIE法等の異方性エッチングを施すことにより窒化シリコン膜１３及び高融点金属膜１１を加工してゲート電極６を形成する（図１９）。さらに、RIE法等の異方性エッチングを施すことによりHfO_2膜１１の上部を除去する（図１９）。

【００７７】

次に、例えばAsイオンを約50 keV、約5.0×10^{15} cm^{-2}でシリコン基板１表面に注入する。そして熱工程によりAsを活性化してソース・ドレイン領域７を形成する（図２０）。

【００７８】

次に、例えばCVD法等によりシリコン基板１表面に例えば厚さ約5 nmの窒化シリコン膜１４を形成する（図２１）。

【００７９】

そして、図２２に示すように、RIE法等の異方性エッチングを窒化シリコン膜１４に施すことによりゲート側壁１０を形成する。続いて、RIE法等の異方性エッチングを前記HfO_2膜１１に施すことにより、ゲート側壁１０及びゲート電極６下を除く他の領域のHfO_2膜１１を除去してゲート絶縁膜５とする（図２２）。

【００８０】

次に、通常のシリサイド形成方法により、CoまたはNi等の金属シリサイド層１５を形成する。反応せずにある金属はシリコン基板１表面から除去する（図２３）。その後の工程は、実施の形態１と同様であるため、詳細は省略する。

【００８１】

本実施の形態では、ソース・ドレイン領域７上にシリサイド層１５を形成したが、ゲート電極６の基板側を除く残部またはゲート電極６表面を多結晶シリコン等で形成する場合には多結晶シリコン表面をシリサイド化してもよい。また、ソース・ドレイン領域７上に金属層を堆積あるいは成長させる等の方法を用いてもよい。

【００８２】

本実施の形態においても実施の形態１における種々の変形が可能であり、同様の効果が期待できる。

【００８３】

また、本実施の形態においては、ゲート側壁１０に窒化シリコンを用いたが、ゲート側壁１０を酸化シリコンあるいは窒化酸化シリコン等の他の材料を用いて形成してもよい。ただし、ゲート側壁１０を誘電率の高い材料で形成するとゲート電極６とソース・ドレイン領域７との間の静電容量が大きくなるために素子の寄生容量の増大を引き起こす。そのため、側壁１０は酸化シリコン、窒化シリコンあるいは窒化酸化シリコン等の材料で形成することが好ましい。

【００８４】

また、本実施の形態においてはゲート絶縁膜５の側面はゲート側壁１０の外側面と揃っているが、このことは本質的ではなくゲート絶縁膜５の側面がゲート側壁１０の外側面よりも内側あるいは外側に在ったとしても本実施の形態と同様の効果が得られる。ただし、ゲート絶縁膜５の側面がゲート側壁１０の外側面よりもあまり大きく外側に張り出していると、ソース・ドレイン領域７の内でシリサイド層を形成できる領域とチャネル領域との距離が離れてしまい、素子の寄生抵抗が増大する。このことは素子の動作速度の増大を引き起こすので好ましくない。それため、ゲート絶縁膜の側面はゲート側壁の外側面からあ

まり張り出さないことが好ましい。逆に、ゲート絶縁膜の側面がゲート側壁の側面よりもあまり大きく内側に入っていると、ソース・ドレイン領域上に形成されたシリサイド層とゲート電極との距離が短くなり、ソース・ドレイン領域とゲート電極との間に短絡が生ずる、あるいはその間でゲート絶縁膜が絶縁破壊を起こす等のことが起こり得る。そのため、ゲート絶縁膜の側面はゲート側壁の側面よりもあまり内側に入らないことが好ましい。

【００８５】

ここでゲート側壁１０の好ましい厚さ、ソース・ドレイン領域７上に残すゲート絶縁膜５の好ましい長さに付いて記す。図３の構造においてΔ2をパラメーターとして、ゲート電極６下端角近傍におけるゲート絶縁膜５中の電場強度の、図３中のYに対する依存性を調べた。その結果を図２４に示す。

【００８６】

図２４の縦軸は、Δ2 = 0の構造の電場強度で規格化した値を記してある。つまり、縦軸はソース・ドレイン領域７上のゲート絶縁膜５を薄くすることで電場強度が抑制される割合を示している。

【００８７】

図２４から、Yが大きい程、ソース・ドレイン領域上のゲート絶縁膜を薄膜化することによる電場強度の抑制は効果的となることがわかる。Yが5 nm程度以上の場合には電場強度の抑制される効率のYに対する依存性はかなり小さくなり、Yが7乃至8 nm程度以上となると電場強度の抑制される割合のYに対する依存性は更に小さくなる。Yが10 nm程度以上となると電場強度の抑制される割合のYに対する依存性はより一層小さくなることがわかる。5 nmは今回の検討で仮定したゲート絶縁膜の厚さと等しい。そして7乃至8 nmはゲート絶縁膜厚の約1.5倍である。そして10 nmはゲート絶縁膜厚の2倍である。ここで電磁場の方程式において、相似形で境界条件の大きさを変えると電磁場も相似形を保って変化する。このことに鑑みると、ゲート側壁の厚さとソース・ドレイン領域上に残すゲート絶縁膜の長さが素子のゲート絶縁膜厚以上である場合に本実施の形態が効果的であることがわかる。ゲート側壁の厚さとソース・ドレイン領域上に残すゲート絶縁膜の長さがゲート絶縁膜厚の1.5倍以上であると更に効果的であり、ゲート絶縁膜厚の2倍以上であるとより一層効果的である。よって、ゲート側壁１０の厚さ（図２３の紙面左右方向の幅）及びソース・ドレイン領域７上に残すゲート絶縁膜５の長さは素子のゲート絶縁膜厚以上であることが好ましい。特に、ゲート絶縁膜厚の1.5倍以上とすることが好ましく、ゲート絶縁膜厚の2倍以上であるとより一層好ましい。

【００８８】

（実施の形態３）

次に、本発明の実施の形態３に関わる電界効果トランジスタの製造方法について図２５を用いて説明する。

【００８９】

図２５は、本実施の形態の電界効果トランジスタを製造する途中過程を示すもので、チャネル長方向の断面模式図である。

【００９０】

まず、図７に示す工程の後に、HfO_2膜１１の上に例えばCVD法により、厚さ約100 nmのタングステン等の高融点金属膜を堆積する。レジストマスクを高融点金属膜のゲート電極予定領域上のみに形成して、このマスクで覆われていない高融点金属膜の領域をRIE法等の異方性エッチングを施すことにより除去して、ゲート電極６を形成する（図２５）。その後、湿式処理等の等方性エッチングを施すことによりHfO_2膜１１のうち、上部とゲート電極６のチャネル長方向端を除去する。

【００９１】

以後は、実施の形態１で図９及び図１０を用いて説明した通りに行って、本実施形態の電界効果トランジスタを形成することができる（図２６）。

【００９２】

本実施の形態においても他の実施の形態に記したような種々な変形が可能であり、同様

の効果が期待できる。

【００９３】

本実施の形態では実施の形態１と異なり、ソース・ドレイン領域７上のゲート絶縁膜５の加工に等方性エッチングを用いた。そのため、ゲート電極６の下にあるゲート絶縁膜５もゲート電極端近傍において薄く加工されている。つまり、膜厚の薄い一対の端部がゲート電極５下まで延在している。この様にするとゲート電極６とソース・ドレイン領域７との間に形成される静電容量を更に減らすことができる。

【００９４】

また、本実施の形態では、シリサイド工程には言及しなかったが、ソース・ドレイン領域７上にシリサイド層を形成してもよい。また、ソース・ドレイン領域７上に金属層を堆積あるいは成長させる等の方法を用いてもよい。また、ゲート電極６の基板側を除く残部あるいはゲート電極６の表面を多結晶シリコン等で形成する場合には多結晶シリコン表面をシリサイド化してもよい。

【００９５】

また、ソース・ドレイン領域７上のゲート絶縁膜５の加工の際に、実施の形態１では異方性エッチングを、本実施の形態では等方性エッチングを用いたが、この他、例えば、異方性エッチングを施した後に等方性エッチングを施す、等方性エッチングを施した後に異方性エッチングを施す、あるいは少なくとも一方のエッチングを複数回繰り返す等の方法を用いてもよい。この様にするとソース・ドレイン領域７上のゲート絶縁膜５の厚さと、ゲート電極６下のゲート絶縁膜５を除去する量との双方を最適な値に調節することが可能となるので、好ましい。

【００９６】

また、ゲート電極６下端角近傍におけるゲート絶縁膜５の形状は、図２５に示す形状である必要は無く、例えば図２６乃至図３３に示す形状であっても同様の効果が期待できる。ここに示した変形例の様にゲート電極下端角近傍におけるゲート絶縁膜の形状を変えれば、ゲート電極とソース・ドレイン領域との間に形成される静電容量を調整することができるので、最適化を測ることが可能になる。

【００９７】

（実施の形態４）

次に、図３４乃び図３５を用いて、本発明の実施の形態４に関わる電界効果トランジスタを説明する。

【００９８】

図３４及び図３５は、本実施の形態による電界効果トランジスタのチャネル長方向の断面模式図である。

【００９９】

まず、実施の形態１で図７を参照して説明した工程を行った後、HfO_2膜１１の上に例えばCVD法により厚さ約100 nmのタングステン等の高融点金属膜を堆積する。この高融点金属膜にゲート電極予定領域を覆うレジストパターンを形成する。このレジストパターンをマスクにRIE法等の異方性エッチングを施して高融点金属膜を加工する。これにより図３４に示すゲート電極６を形成する。ゲート電極６が形成されたシリコン基板１上に、例えばCVD法等により、厚さ3 nmの窒化シリコン膜１４を形成する。

【０１００】

窒化シリコン膜１４にはRIE法等の異方性エッチングを施すことによりゲート側壁１０を形成する（図３５）。続いて、例えばRIE法等の異方性エッチングにより、露出したHfO_2膜１１の上部を除去する（図３５）。

【０１０１】

以後は、実施の形態１と同様の工程を経ることで、本実施の形態の電界効果トランジスタを製造することができる。

【０１０２】

本実施の形態においても、他の実施の形態において説明した種々な変形が可能であり、

同様の効果が得られる。

【０１０３】

ゲート側壁１０はゲート絶縁膜加工後に除去してもよいし、そのまま残してもよい。ゲート側壁１０を除去すれば、例えば図３６に示す断面構造の電界効果トランジスタが得られる。また、ゲート側壁材料として窒化シリコンを用いる必然性は無く、他の材料を用いてもよい。

【０１０４】

本実施の形態ではゲート絶縁膜５のゲート電極６端部近傍は、ゲート電極６直下と同等の膜厚を持つ。つまり、中央部はゲート電極の側壁外まで延在している。この様にすればソース・ドレイン領域７とゲート電極６との容量結合が強まるので、ソース・ドレイン領域７の抵抗が下がり、素子の寄生抵抗の低減が期待できる。

【０１０５】

また、本実施の形態では、ソース・ドレイン領域７上のゲート絶縁膜５を、異方性エッチングを用いて加工したが、この工程は等方性エッチングを用いて行ってもよい。

【０１０６】

さらに、異方性エッチングを施した後に等方性エッチングを施す、等方性エッチングを施した後に異方性エッチングを施す、あるいは少なくとも一方のエッチングを複数回施す等の方法を用いてもよい。この様にするとソース・ドレイン領域上のゲート絶縁膜の厚さと、ソース・ドレイン領域上のゲート絶縁膜の薄い領域とゲート電極との距離と、の双方を最適な値に調節することが可能となる。

【０１０７】

また、ゲート電極６下端角近傍におけるゲート絶縁膜５の形状が図３５乃び図３６に示した形である必要は無く、例えば図３７乃至図４４の断面模式図に示す形状であっても同様の効果が期待できる。

【０１０８】

ここに示した変形例の様にゲート電極下端角近傍におけるゲート絶縁膜の形状を変えれば、ゲート電極６とソース・ドレイン領域７との間に形成される静電容量を調整することができるので、最適化を測ることが可能となる。いずれの構造を用いるかは、ソース・ドレイン領域とゲートとの間に形成される静電容量を変える事による寄生抵抗と寄生容量との兼ね合いで決めることができる。

【０１０９】

（実施の形態５）

次に、図４５乃至図４９を用いて本発明の実施の形態５に係る電界効果トランジスタを説明する。

【０１１０】

図４５は、本実施の形態による電界効果トランジスタを説明する際の参照図であり、チャネル長方向の断面を模式的に示す。

【０１１１】

この電界効果トランジスタは、ゲート絶縁膜５がソース・ドレイン領域７上にも存在し、且つソース・ドレイン領域７上のゲート絶縁膜５はゲート電極６下のゲート絶縁膜５よりも厚いことに特徴がある。

【０１１２】

この電界効果トランジスタの製造は、例えば次のように行う。尚、図４６乃至図４９はこの製造工程の過程について説明する際の参照図であり、電界効果トランジスタのチャネル長方向の断面を模式的に示す。

【０１１３】

まず、図６を用いて説明した工程の後に図４６に示すように、シリコン基板１上に例えばスパッタ法等により、厚さ約10 nmのHfO_2膜１１を形成する。HfO_2膜１１の上には、例えばCVD法により厚さ約150 nmの窒化シリコンを堆積する。この窒素化シリコン膜上のゲート電極予定領域上にレジストマスクを形成して、シリコン基板１の表面にRIE法等の異

方性エッチングを施すことにより窒化シリコン膜を加工してダミーゲート電極１６を形成する（図４６）。その後、例えばAsイオンを約50 keV、約5.0×10^{15} cm^{-2}で注入する。そして、シリコン基板１に熱工程を施すことでAsイオンを活性化してソース・ドレイン領域７を形成する（図４６）。

【０１１４】

ダミーゲート電極１６のあるシリコン基板１上に例えばCVD法等により厚さ約200 nmの酸化シリコン膜１７を形成する。この酸化シリコン膜１７が形成されたシリコン基板表面をCMP法等により平坦化してダミーゲート電極１６の表面を露出する。そして、ダミーゲート電極１６をシリコン基板１上から選択的に除去し、開孔を形成する（図４７）。

【０１１５】

開孔の底に露出したHfO_2膜１１の上部はRIE法等によりエッチング除去する（図４８）。

【０１１６】

上部を除去して薄膜化したHfO_2膜１１を含むシリコン基板上に、例えばCVD法により厚さ約200 nmのタングステン等の高融点金属膜を堆積する。高融点金属膜については、例えばCMP法等により表面の平坦化を行うことで、開孔内にゲート電極６を形成する（図４９）。その後、酸化シリコン膜１７をシリコン基板１表面から除去する。

【０１１７】

以後は、図１０を用いて説明した工程以降を行うことで、本実施の形態による電界効果トランジスタが完成する。

【０１１８】

本実施の形態においても上記の実施の形態に記した様な種々の変形が可能であり、同様の効果が得られる。

【０１１９】

ダミーゲート電極形成後にダミーゲート電極の周囲に形成した酸化シリコン膜は層間絶縁膜の一部として残置してもよいし、除去してもよい。また、その材料として酸化シリコンを用いることに必然性は無く、他の材料を用いてもよい。ダミーゲート電極の材料に関しても同様である。

【０１２０】

本実施の形態ではダミーゲート電極除去後のHfO_2膜の加工に異方性エッチングを用いたが、例えばCVD法ないし湿式エッチング等の等方性エッチングを用いてもよい。

【０１２１】

ゲート電極材料堆積後に表面の平坦化を行った後に、更にゲート電極材料にエッチングを施してゲート電極６の高さを調節してもよい。

【０１２２】

本実施の形態ではソース・ドレイン領域７上のゲート絶縁膜５はゲート電極６下のゲート絶縁膜５よりも厚く形成しているためソース・ドレイン領域７とゲート電極６との容量結合が更に強まるので、ソース・ドレイン領域７の抵抗が下がり、結果として素子の寄生抵抗を低減することができる。

【０１２３】

ゲート電極下端角近傍におけるゲート絶縁膜５の形状が図４５に示した形である必要は無く、例えば図５０乃至図５６に示す断面形状であっても同様の効果が期待できる。ここに示した変形例の様に、ゲート電極下端角近傍におけるゲート絶縁膜５の形状を変えれば、ゲート電極６とソース・ドレイン領域７との間に形成される静電容量を調整することができるので、最適化を測ることが可能となる。

【０１２４】

（実施の形態６）

次に、図５７乃び図５８を用いて、本発明の実施の形態６に関わる電界効果トランジスタを説明する。

【０１２５】

図５７は、本実施の形態の電界効果トランジスタを説明するための断面図であり、チャネル長方向の断面を模式的に示す。この電界効果トランジスタは、ゲート絶縁膜５がソース・ドレイン領域７上にも存在し、ソース・ドレイン領域７上のゲート絶縁膜５はチャネル領域４上のゲート絶縁膜５よりも厚く、且つソース・ドレイン領域７上の厚いゲート絶縁膜５とゲート電極６とが離れていることに特徴がある。そのため、ソース・ドレイン領域７とゲート電極６の間に形成される静電容量を抑制できるので素子の寄生容量の低減を図ることができる。

【０１２６】

次に、図５７の電界効果トランジスタの製造方法について説明する。

【０１２７】

まず、実施の形態５について、図４８を用いて説明した工程の後に、図５８に示すように、例えばCVD法等の方法により、厚さ約5 nmの窒化シリコン膜を形成する。続いて例えばRIE法等の異方性エッチングを施すことにより窒化シリコン膜を加工して、開孔の側面に側壁１８を形成する。以後は、実施の形態５で図４９を用いて説明した工程から続けで行うことができる。

【０１２８】

本実施の形態においても、上記の実施の形態に記した様な種々の変形が可能であり、同様の効果が得られる。

【０１２９】

また、ダミーゲート電極形成後にダミーゲート電極の周囲に形成した酸化シリコン膜は層間絶縁膜の一部として用いてもよいし、除去してもよい。また、その材料として酸化シリコンを用いることに必然性は無く、他の材料を用いてもよい。開孔部側壁１８についても同様である。

【０１３０】

尚、図５７に示す電界効果トランジスタは、側壁１８をゲート電極６の形成後に除去し、かつゲート電極材料の表面平坦化後にゲート電極６にエッチングを施して高さを調節した場合を示している。

【０１３１】

また、本実施の形態においては、ソース・ドレイン領域７上のゲート絶縁膜５の加工は異方性エッチングを用いて行ったが、この工程には等方性エッチングを用いてもよい。さらに例えば、異方性エッチングを施した後に等方性エッチングを行う、等方性エッチングを施した後に異方性エッチングを施す、あるいは少なくとも一方のエッチングを複数回施す等の方法を用いてもよい。

【０１３２】

さらに初めに形成するゲート絶縁膜５の厚さをも調節すると、ゲート電極６下とソース・ドレイン領域７上のゲート絶縁膜５の厚さと、ソース・ドレイン領域７上のゲート絶縁膜５の厚い領域とゲート電極６との距離と、の三者を最適な値に調節することが可能となるので、更に好ましい。

【０１３３】

また、ゲート電極６下端角近傍におけるゲート絶縁膜の形状が図５７に示した形である必要は無く、例えば図５９乃至図６７のいずれかに示す形状であっても同様の効果が得られる。

【０１３４】

ここに示した変形例の様に、ゲート電極６下端角近傍におけるゲート絶縁膜５の形状を変えれば、ゲート電極６とソース・ドレイン領域７との間に形成される距離を調整することができるので、静電容量を好適な範囲にできる。

【０１３５】

以上、本発明の実施の形態を説明したが、本発明はこれらに限らず、特許請求の範囲に記載の発明の要旨の範疇において様々に変更可能である。

【０１３６】

また、本発明は、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。

【０１３７】

さらに、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。更に、異なる実施形態に亘る構成要素を適宜組み合わせてもよい。

【図面の簡単な説明】

【０１３８】

【図１】本発明の実施の形態１に係る電界効果トランジスタを説明するための断面模式図

【図２】実施の形態１に係る電界効果トランジスタを説明するための拡大図

【図３】実施の形態１に係る電界効果トランジスタを説明するための拡大図

【図４】実施の形態１に係る電界効果トランジスタの電場について検討した結果の図

【図５】実施の形態１に係る電界効果トランジスタの静電容量について検討した結果の図

【図６】実施の形態１に係る電界効果トランジスタの製造方法を説明するための断面模式図

【図７】実施の形態１に係る電界効果トランジスタの製造方法を説明するための断面模式図

【図８】実施の形態１に係る電界効果トランジスタの製造方法を説明するための断面模式図

【図９】実施の形態１に係る電界効果トランジスタの製造方法を説明するための断面模式図

【図１０】実施の形態１に係る電界効果トランジスタの製造方法を説明するための断面模式図

【図１１】実施の形態１の変形例に係る電界効果トランジスタを説明するための断面模式図

【図１２】実施の形態１の変形例に係る電界効果トランジスタを説明するための断面模式図

【図１３】実施の形態１の変形例に係る電界効果トランジスタを説明するための断面模式図

【図１４】実施の形態１の変形例に係る電界効果トランジスタを説明するための断面模式図

【図１５】実施の形態１の変形例に係る電界効果トランジスタを説明するための断面模式図

【図１６】実施の形態１の変形例に係る電界効果トランジスタを説明するための断面模式図

【図１７】実施の形態１の変形例に係る電界効果トランジスタを説明するための断面模式図

【図１８】実施の形態１の変形例に係る電界効果トランジスタを説明するための断面模式図

【図１９】本発明の実施の形態２に係る電界効果トランジスタの製造方法を説明するための断面模式図

【図２０】実施の形態２に係る電界効果トランジスタの製造方法を説明するための断面模式図

【図２１】実施の形態２に係る電界効果トランジスタの製造方法を説明するための断面模式図

【図２２】実施の形態２に係る電界効果トランジスタの製造方法を説明するための断面模式図

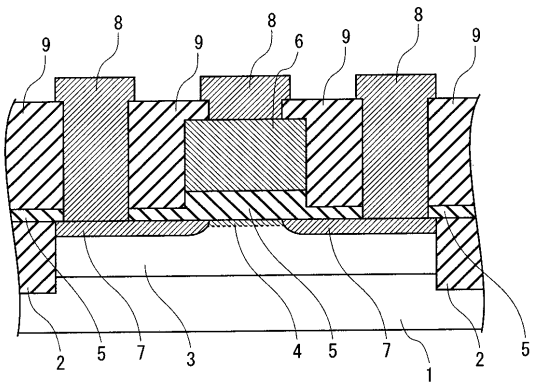
【図２３】実施の形態２に係る電界効果トランジスタを説明するための断面模式図

【図２４】実施の形態２に係る電界効果トランジスタの製造工程を説明するための断面模式図

【図２５】本発明の実施の形態３に係る電界効果トランジスタの製造工程を説明するための断面模式図
【図２６】実施の形態３に係る電界効果トランジスタの変形例を示す断面模式図
【図２７】実施の形態３に係る電界効果トランジスタの変形例を示す断面模式図
【図２８】実施の形態３に係る電界効果トランジスタの変形例を示す断面模式図
【図２９】実施の形態３に係る電界効果トランジスタの変形例を示す断面模式図
【図３０】実施の形態３に係る電界効果トランジスタの変形例を示す断面模式図
【図３１】実施の形態３に係る電界効果トランジスタの変形例を示す断面模式図
【図３２】実施の形態３に係る電界効果トランジスタの変形例を示す断面模式図
【図３３】実施の形態３に係る電界効果トランジスタの変形例を示す断面模式図
【図３４】本発明の実施の形態４に係る電界効果トランジスタを説明するための断面模式図
【図３５】実施の形態４に係る電界効果トランジスタを説明するための断面模式図
【図３６】実施の形態４に係る電界効果トランジスタの変形例を説明するための断面模式図
【図３７】実施の形態４に係る電界効果トランジスタの変形例を説明するための断面模式図
【図３８】実施の形態４に係る電界効果トランジスタの変形例を説明するための断面模式図
【図３９】実施の形態４に係る電界効果トランジスタの変形例を説明するための断面模式図
【図４０】実施の形態４に係る電界効果トランジスタの変形例を説明するための断面模式図
【図４１】実施の形態４に係る電界効果トランジスタの変形例を説明するための断面模式図
【図４２】実施の形態４に係る電界効果トランジスタの変形例を説明するための断面模式図
【図４３】実施の形態４に係る電界効果トランジスタの変形例を説明するための断面模式図
【図４４】実施の形態４に係る電界効果トランジスタの変形例を説明するための断面模式図
【図４５】本発明の実施の形態５に係る電界効果トランジスタを説明するための断面模式図
【図４６】実施の形態５に係る電界効果トランジスタの製造方法を説明するための断面模式図
【図４７】実施の形態５に係る電界効果トランジスタの製造方法を説明するための断面模式図
【図４８】実施の形態５に係る電界効果トランジスタの製造方法を説明するための断面模式図
【図４９】実施の形態５に係る電界効果トランジスタの製造方法を説明するための断面模式図
【図５０】実施の形態５に係る電界効果トランジスタの変形例を説明するための断面模式図
【図５１】実施の形態５に係る電界効果トランジスタの変形例を説明するための断面模式図
【図５２】実施の形態５に係る電界効果トランジスタの変形例を説明するための断面模式図
【図５３】実施の形態５に係る電界効果トランジスタの変形例を説明するための断面模式図
【図５４】実施の形態５に係る電界効果トランジスタの変形例を説明するための断面模式

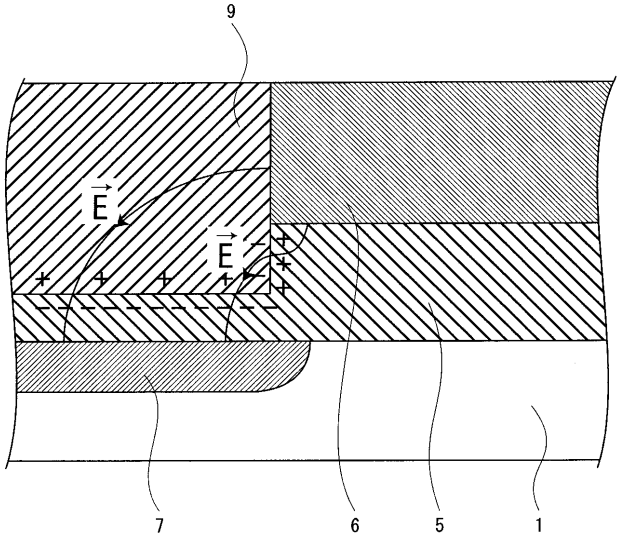
図
【図５５】実施の形態５に係る電界効果トランジスタの変形例を説明するための断面模式図
【図５６】実施の形態５に係る電界効果トランジスタの変形例を説明するための断面模式図
【図５７】本発明の実施の形態６に係る電界効果トランジスタを説明するための断面模式図
【図５８】実施の形態６に係る電界効果トランジスタを説明するための断面模式図
【図５９】実施の形態６に係る電界効果トランジスタの変形例を説明するための断面模式図
【図６０】実施の形態６に係る電界効果トランジスタの変形例を説明するための断面模式図
【図６１】実施の形態６に係る電界効果トランジスタの変形例を説明するための断面模式図
【図６２】実施の形態６に係る電界効果トランジスタの変形例を説明するための断面模式図
【図６３】実施の形態６に係る電界効果トランジスタの変形例を説明するための断面模式図
【図６４】実施の形態６に係る電界効果トランジスタの変形例を説明するための断面模式図
【図６５】実施の形態６に係る電界効果トランジスタの変形例を説明するための断面模式図
【図６６】実施の形態６に係る電界効果トランジスタの変形例を説明するための断面模式図
【図６７】実施の形態６に係る電界効果トランジスタの変形例を説明するための断面模式図
【符号の説明】
【０１３９】
１…半導体基板
２…素子分離領域
３…Pウエル領域
４…Ｎチャネル領域
５…ゲート絶縁膜
６…ゲート電極
７…ソース・ドレイン領域
８…配線
９…層間絶縁膜
１０…ゲート側壁
１１…HfO_2膜
１２…配線孔
１３…窒化シリコン膜
１４…窒化シリコン膜
１５…シリサイド層
１６…ダミーゲート電極
１７…酸化シリコン膜
１８…側壁

【図１】

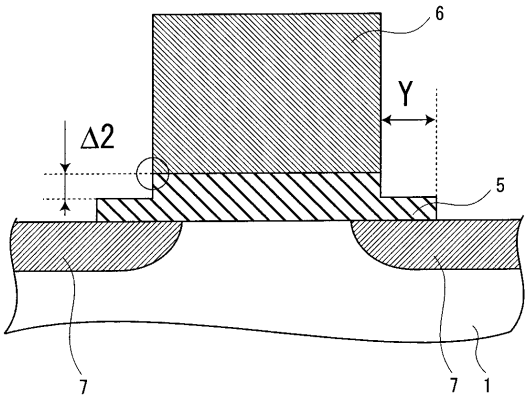


1…半導体基板
2…素子分離領域
3…Pウェル領域
4…チャネル領域
5…ゲート絶縁膜
6…ゲート電極
7…ソース・ドレイン領域
8…コンタクト配線
9…層間絶縁膜

【図２】

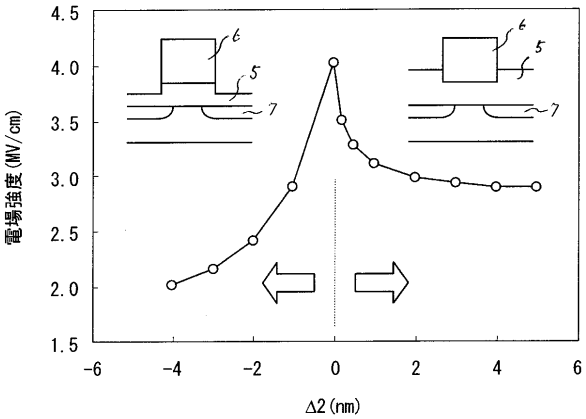


【図３】

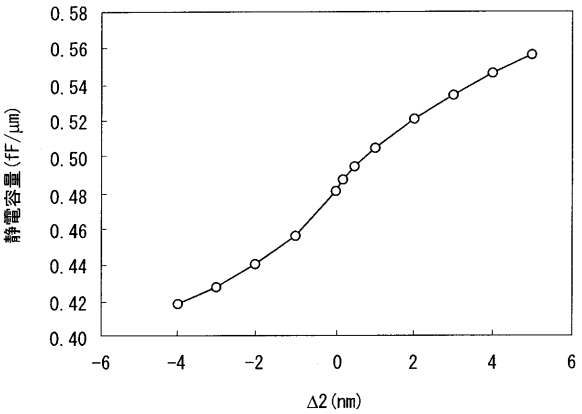


（ゲート長＝35nm、
ゲート電極下のゲート絶縁膜厚＝5nm、
ゲート絶縁膜比誘電率＝19.5、
Y＝15nm、電源電圧＝0.6V）

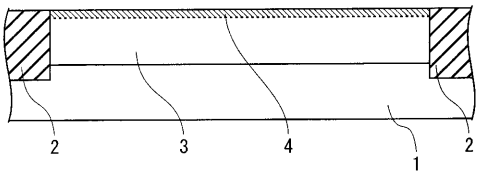
【図４】



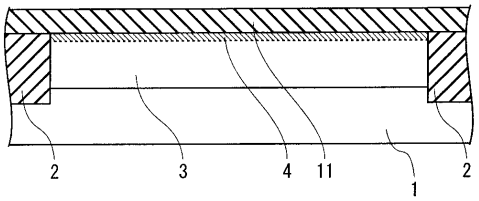
【図５】



【図６】

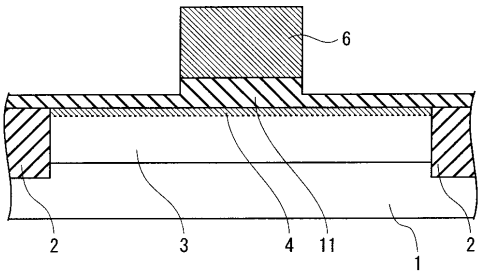


【図７】

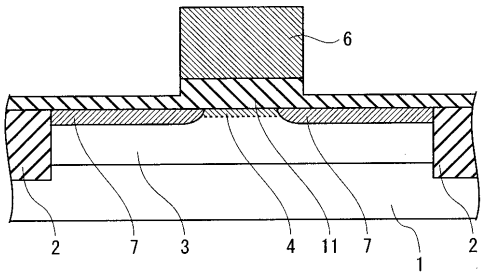


11…HfO_2膜

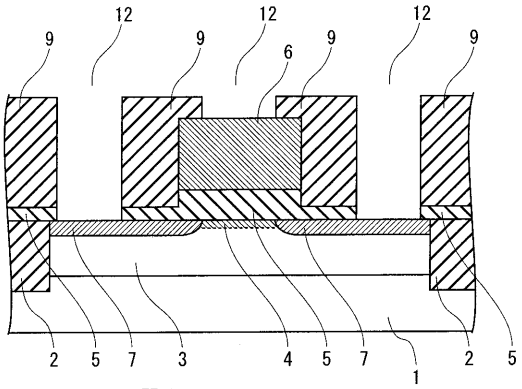
【図８】



【図９】

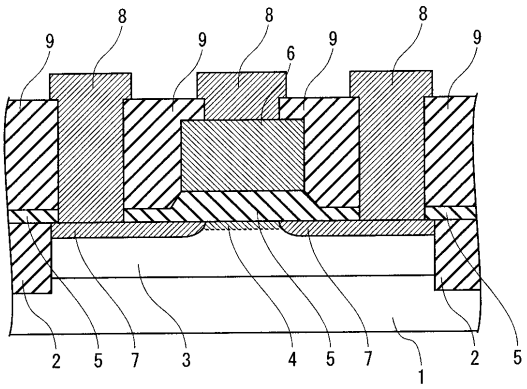


【図１０】

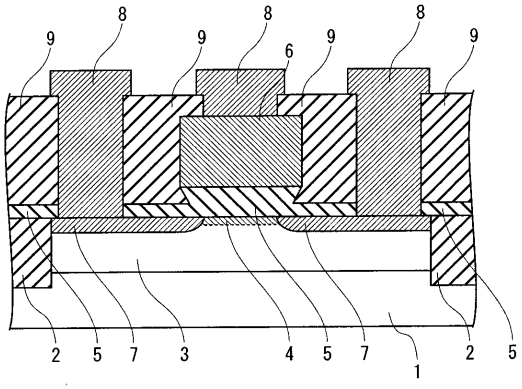


12…開孔

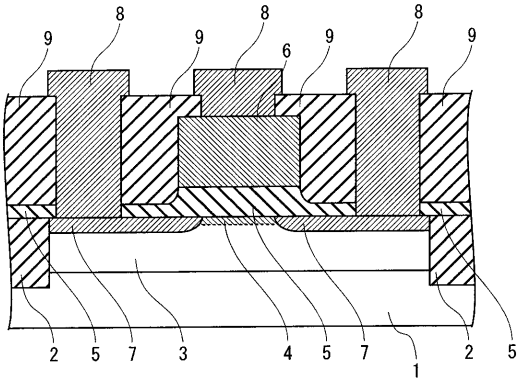
【図１１】



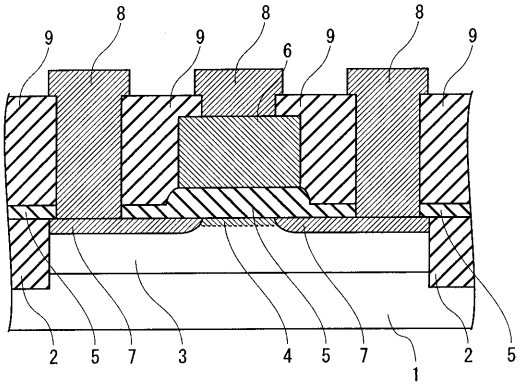
【図１２】



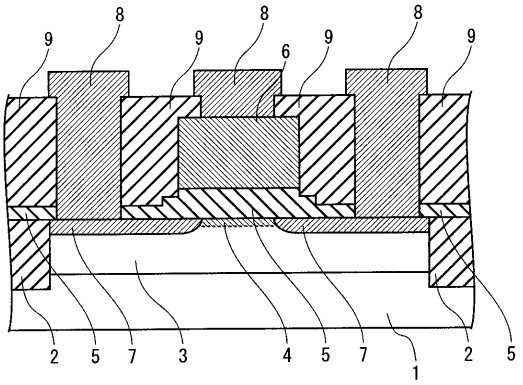
【図１３】



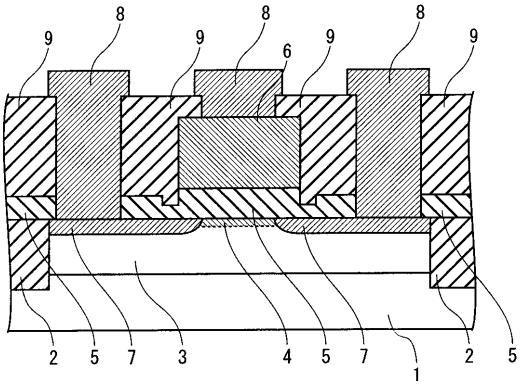
【図１４】



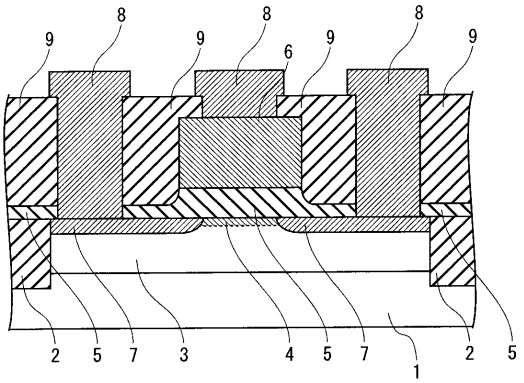
【図１７】



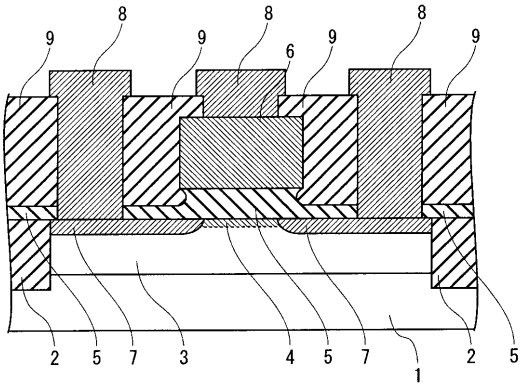
【図１８】



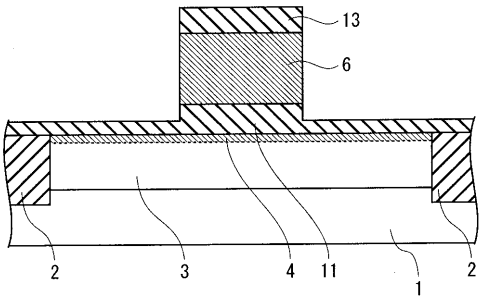
【図１５】



【図１６】

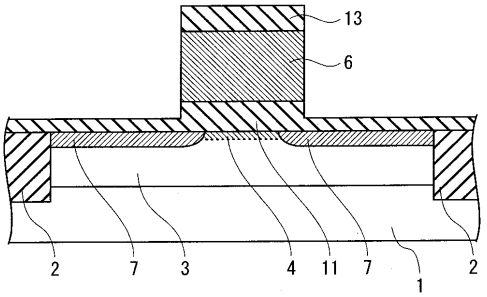


【図１９】

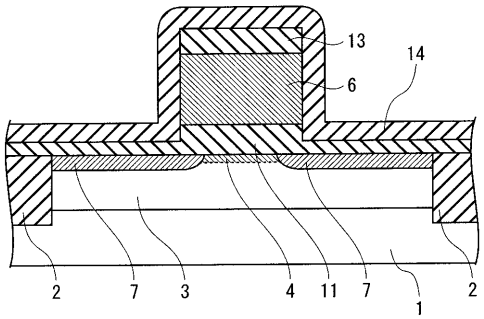


13…窒化シリコン膜

【図２０】

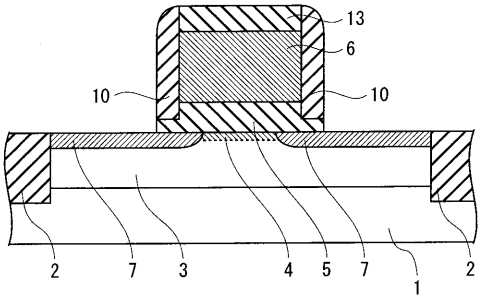


【図２１】



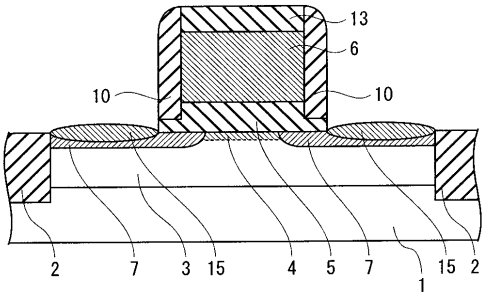
14…窒化シリコン膜

【図２２】



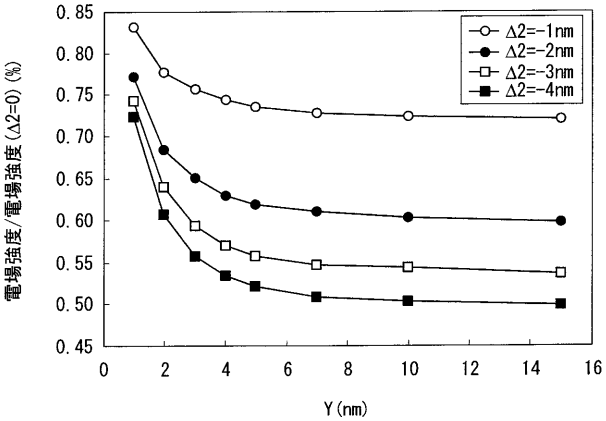
10…ゲート側壁

【図２３】

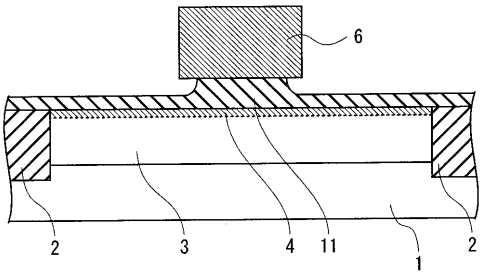


15…シリサイド層

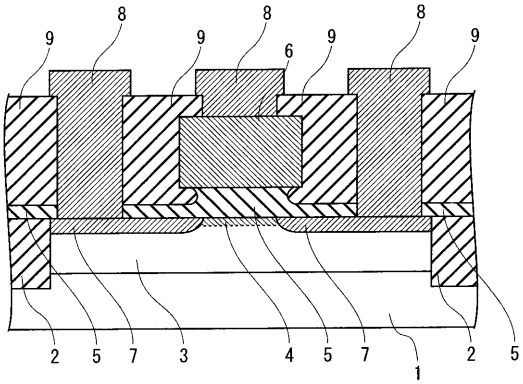
【図２４】



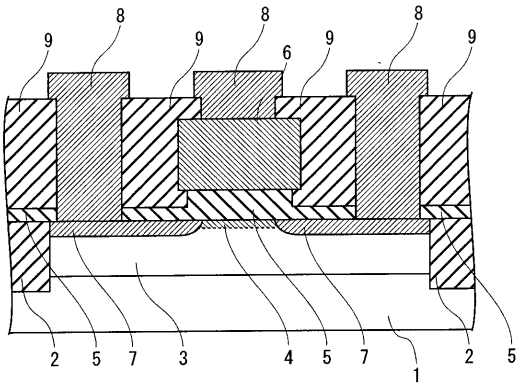
【図２５】



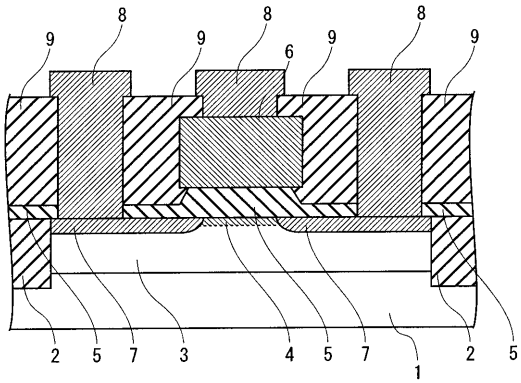
【図２６】



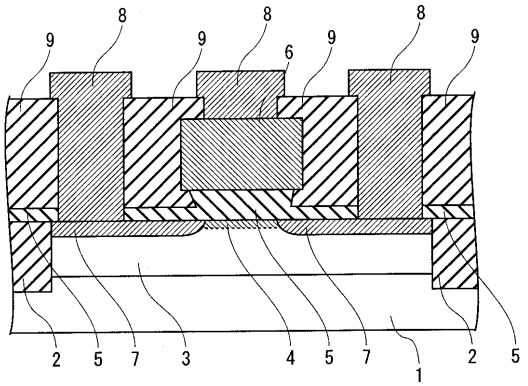
【図２７】



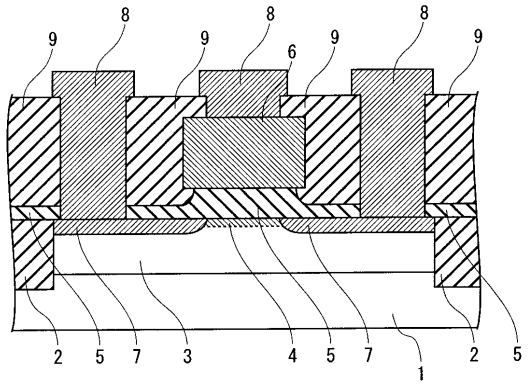
【図２８】



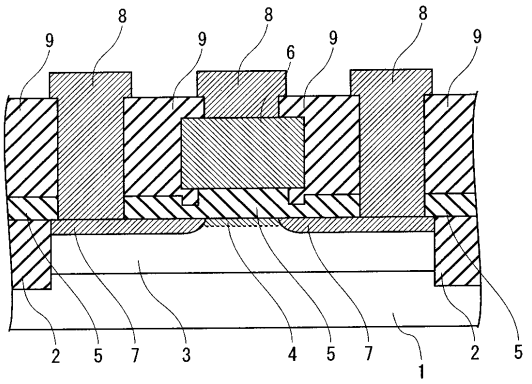
【図２９】



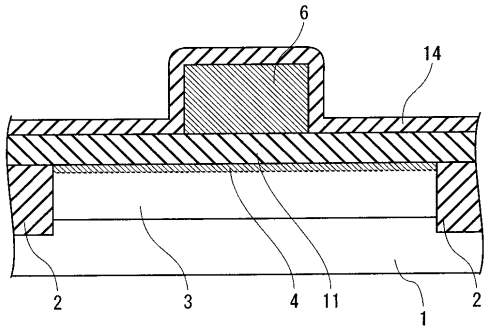
【図３０】



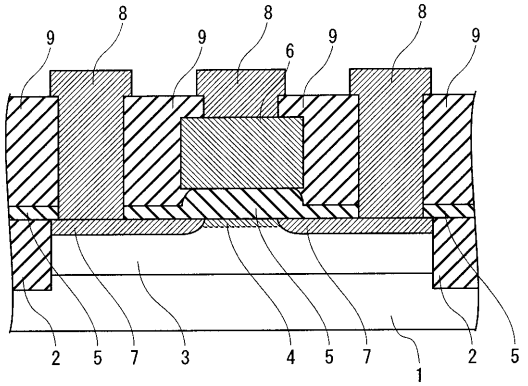
【図３３】



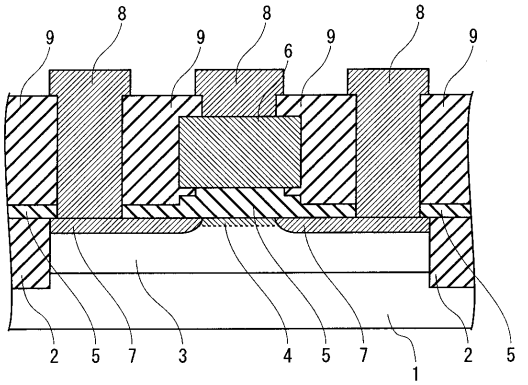
【図３４】



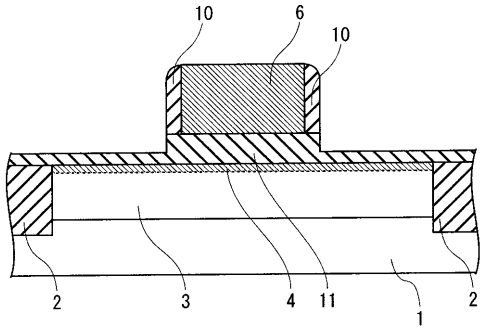
【図３１】



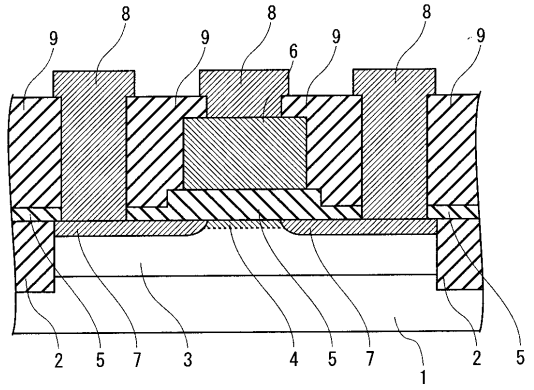
【図３２】



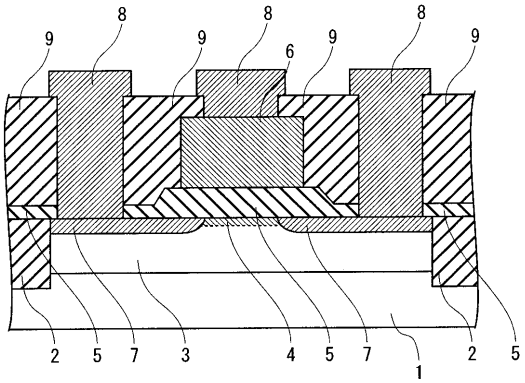
【図３５】



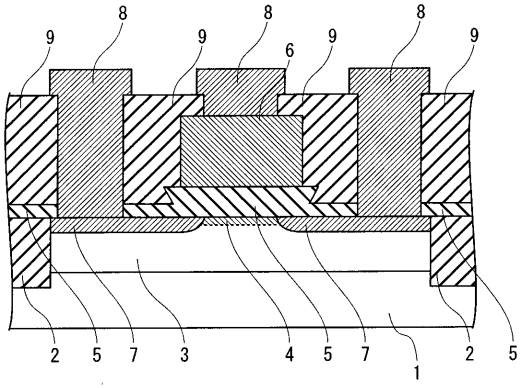
【図３６】



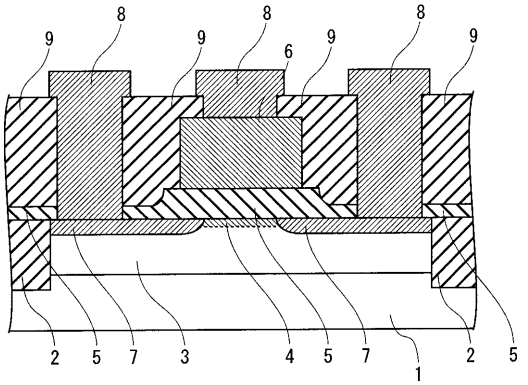
【図３７】



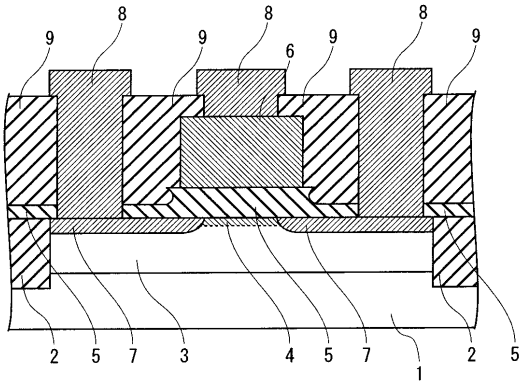
【図３８】



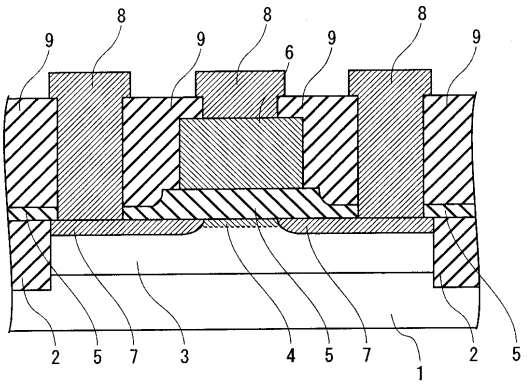
【図４１】



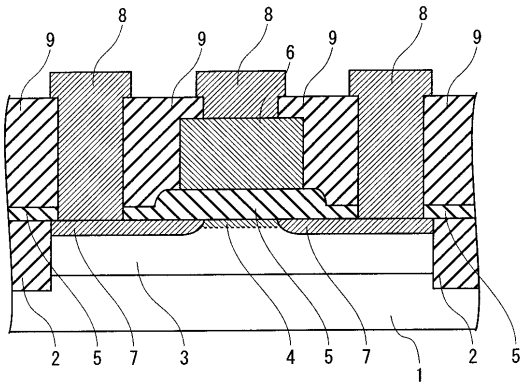
【図４２】



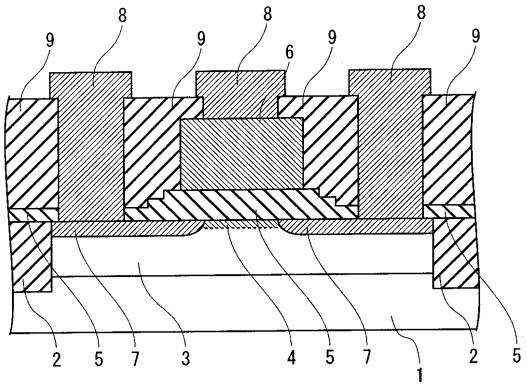
【図３９】



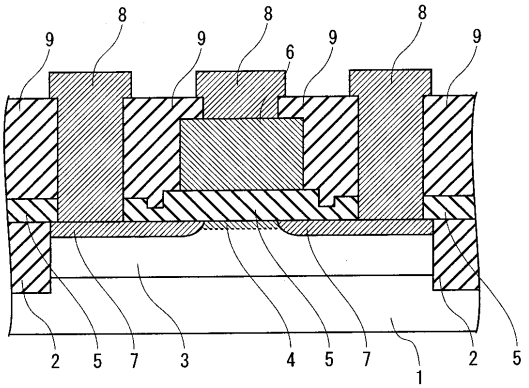
【図４０】



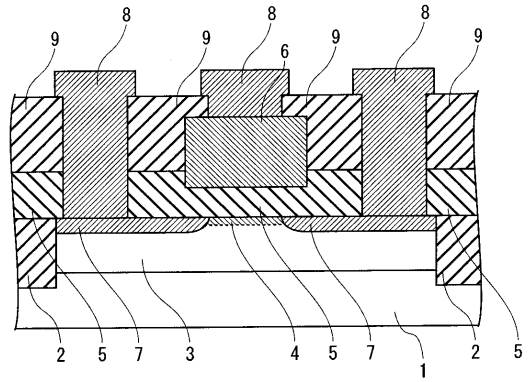
【図４３】



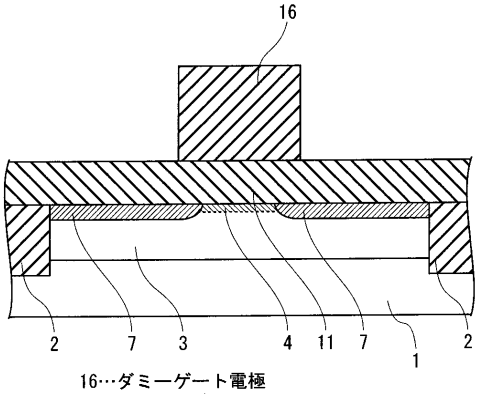
【図４４】



【図４５】

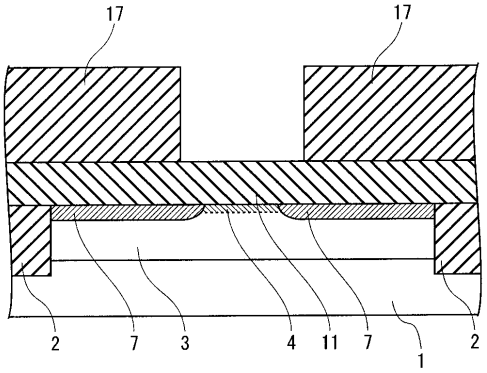


【図４６】



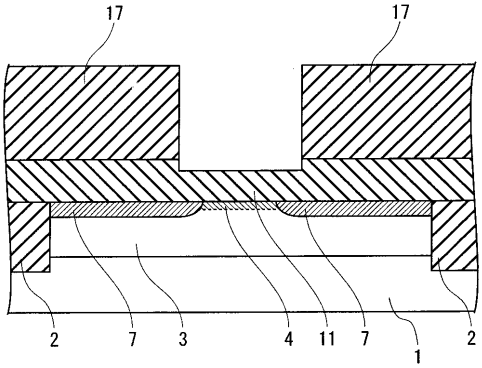
16…ダミーゲート電極

【図４７】

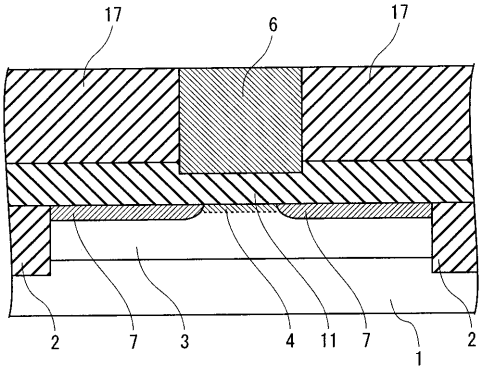


17…酸化シリコン膜

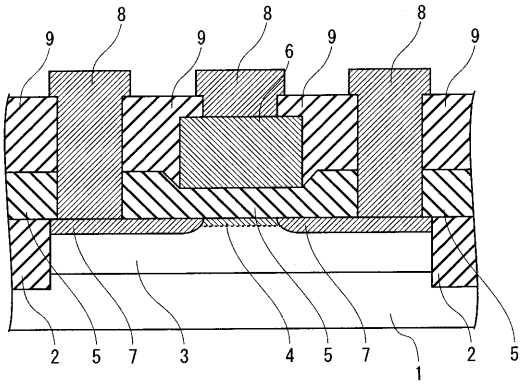
【図４８】



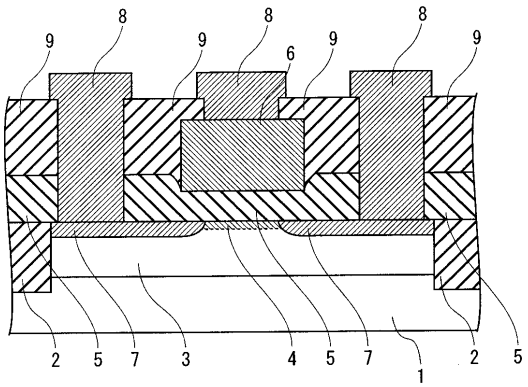
【図４９】



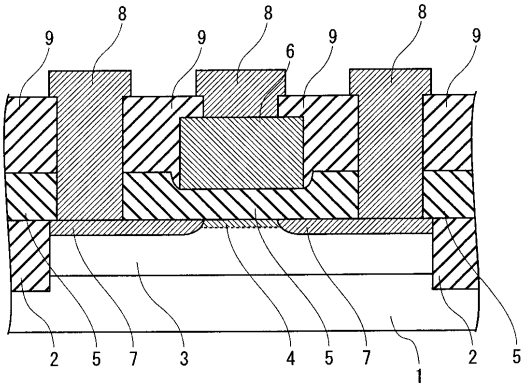
【図５０】



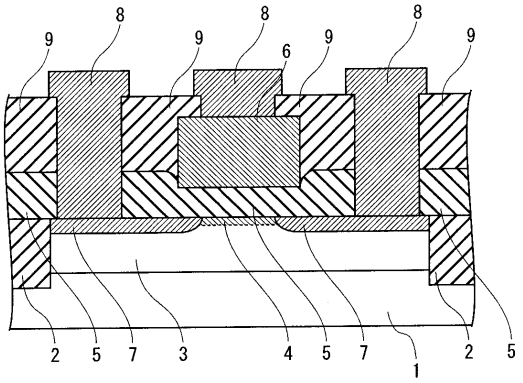
【図５１】



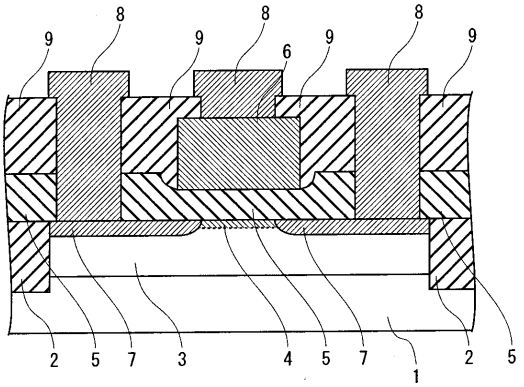
【図５２】



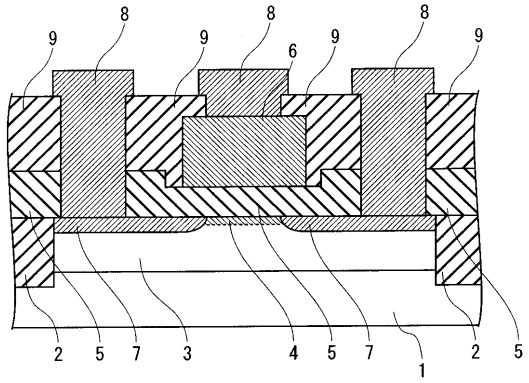
【図５３】



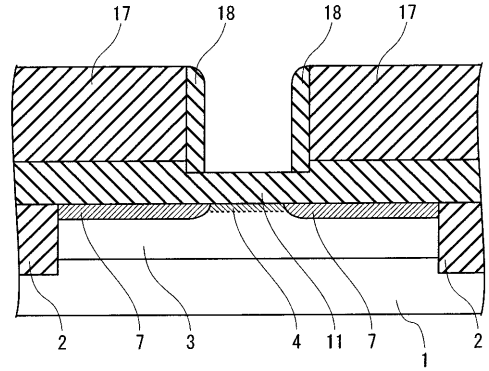
【図５４】



【図５７】

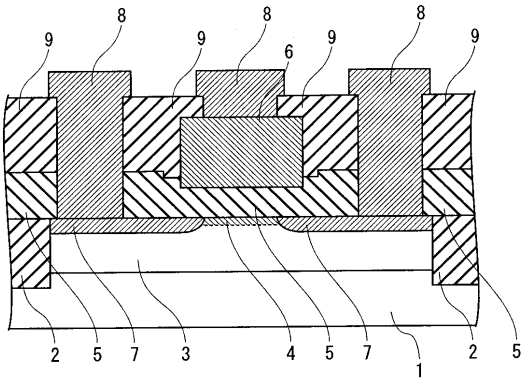


【図５８】

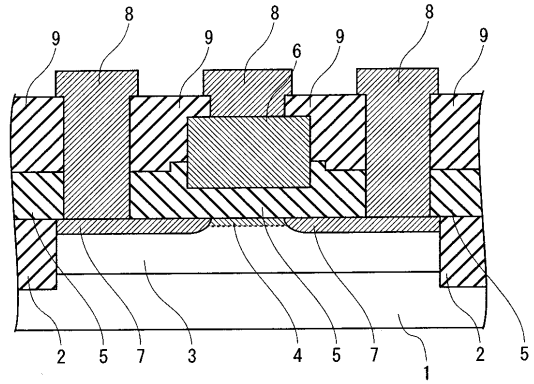


18…側壁

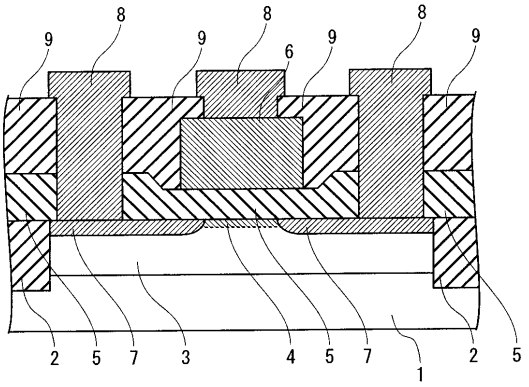
【図５５】



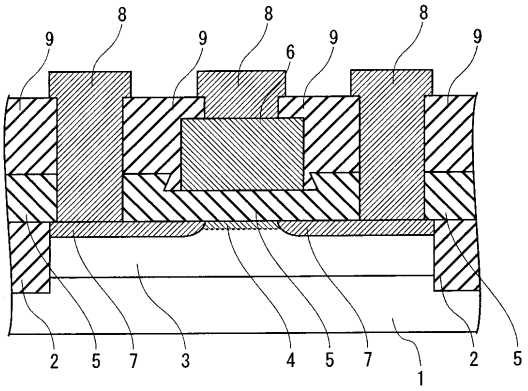
【図５６】



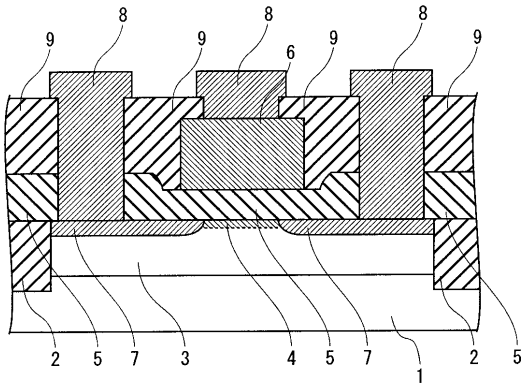
【図５９】



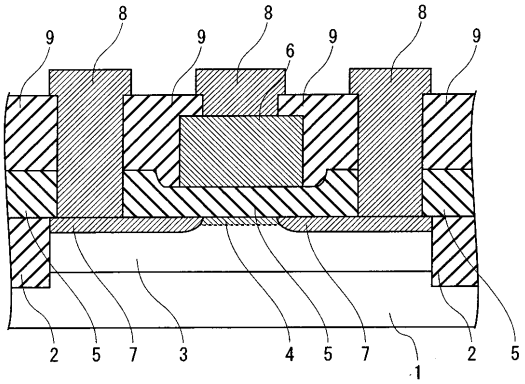
【図６０】



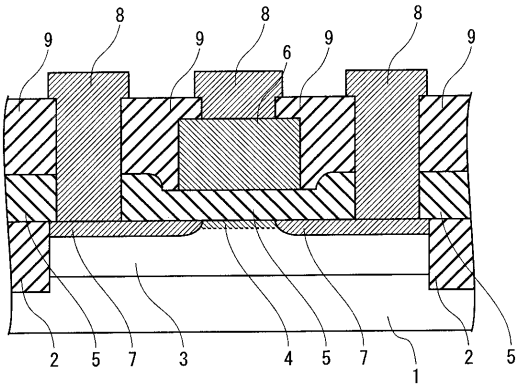
【図６１】



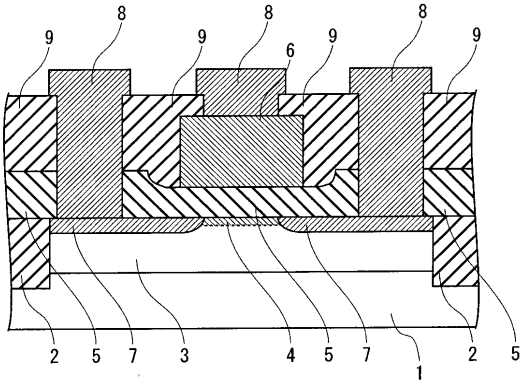
【図６２】



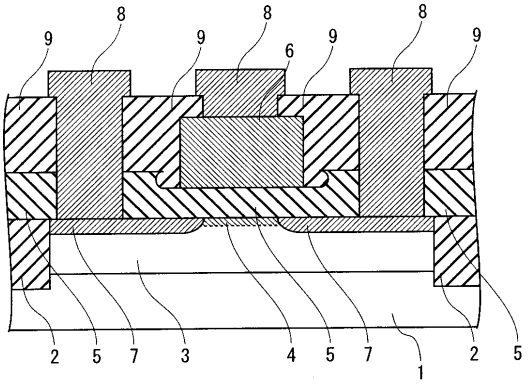
【図６３】



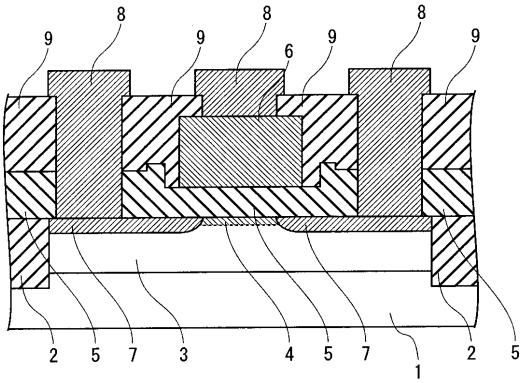
【図６４】



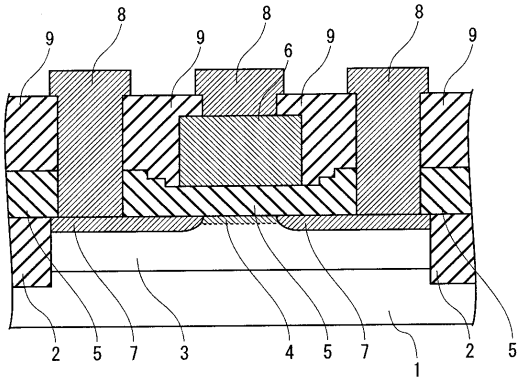
【図６５】



【図６６】



【図６７】



フロントページの続き

(51)Int.Cl.[7] ＦＩ テーマコード（参考）
Ｈ０１Ｌ 29/786

Ｆターム(参考) 4M104 AA01 AA09 BB01 BB03 BB04 BB18 BB20 BB21 BB40 CC05
DD04 DD08 DD16 DD26 DD37 DD43 DD46 DD65 DD66 DD78
DD84 DD91 EE03 EE16 FF14 GG09 GG10 GG14 HH12 HH14
HH16 HH18
5F058 BA01 BC03 BD05 BF12 BJ01
5F110 AA02 AA12 CC02 DD05 DD13 EE04 EE05 EE09 EE14 EE32
EE45 FF01 FF12 FF27 FF28 FF29 GG02 GG12 GG32 GG52
HJ01 HJ04 HJ13 HK05 HL02 HL05 HL23 HM15 NN02 NN23
NN24 NN35 NN62 QQ11
5F140 AA01 AA10 AA11 AA19 AB01 AB03 BA01 BC06 BD04 BD11
BD16 BE07 BE09 BE10 BE14 BF01 BF05 BF07 BF11 BF14
BF21 BF28 BG03 BG08 BG11 BG12 BG14 BG20 BG22 BG27
BG28 BG29 BG36 BG38 BG40 BG45 BG52 BG53 BH06 BH14
BH15 BH16 BH32 BJ01 BJ08 BK12 BK13 BK15 BK21 BK26
CA02 CA03 CB04 CB08 CC03 CC12 CE20

CERTIFICATE OF TRANSLATION ACCURACY

April 3, 2025

I, the undersigned, Steve Ni, hereby certify:

I am a professional translator. I work as an independent contractor. I was contracted by Divergent Language Solutions, LLC to provide document translation from Japanese into English for this matter.

I am fluent in both Japanese and English. My qualifications include 15 years of full-time professional translation experience from Japanese into English.

I am familiar and competent with both the Japanese and English languages.

I received and reviewed the Japanese-language document "JP2005064190A" and provided an English-language translation. The Japanese-language and English-language versions of "JP2005064190A" are submitted as TSMC-1040.

I also received and reviewed the following Japanese-language documents and provided English-language translations:

- Hirase_JP_asfiled_claims.pdf;
- Hirase_JP_Notice of Refusal Dec 2011.pdf;
- Hirase_JP_Notice of Refusal Sept 2011.pdf;
- Hirase_JP_Written Amendment_Nov 2011.pdf;
- Hirase_JP_Written Opinion Nov 2011.pdf;
- Hirase_JP_Written_Amendment_Jan 2012.pdf;
- Hirase_JP_Written_Opinion_Jan 2012.pdf

The Japanese-language and English-language versions of these documents are submitted as TSMC-1005.

I hereby attest that the above-referenced English translations are complete and accurate renditions of the Japanese originals to the best of my knowledge and belief.

I declare under penalty of perjury under the laws of the United States of America that the foregoing is true and correct. Executed on April 3, 2025.

Steve Ni