

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2003-258241
(P2003-258241A)

(43)公開日 平成15年9月12日(2003.9.12)

(51)Int.Cl.⁷
H 0 1 L 29/78

識別記号

F I
H 0 1 L 29/78

テーマコード*(参考)
3 0 1 G 5 F 1 4 0

審査請求 未請求 請求項の数10 O L (全 8 頁)

(21)出願番号 特願2002-58232(P2002-58232)

(22)出願日 平成14年3月5日(2002.3.5)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 梶山 正興

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100097445

弁理士 岩橋 文雄 (外2名)

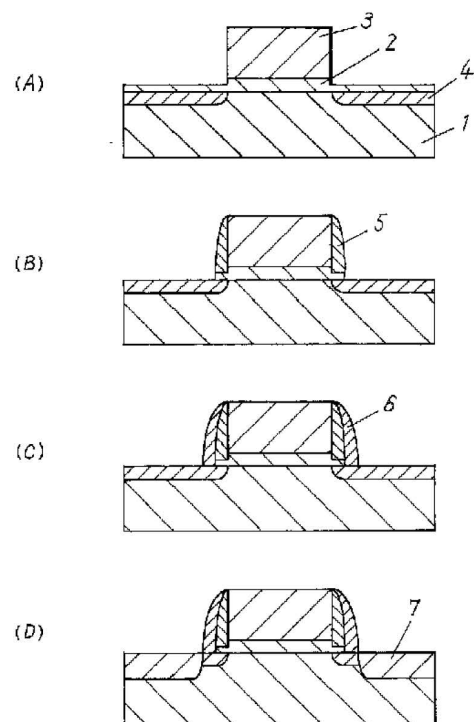
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 高誘電体ゲート絶縁膜の耐圧不良や信頼性劣化を抑制し、かつ高い比誘電率の低下を防止した半導体装置およびその製造方法を提供することを目的とする。

【解決手段】 ゲート電極を形成した後にその側壁に誘電体膜からなる第1のサイドウォールが形成されるので、高誘電体ゲート絶縁膜の膜減りや損傷による耐圧不良や信頼性劣化を抑制できる。さらに、第1のサイドウォールを覆うように耐酸化性膜からなる第2のサイドウォールが形成されるので、後の工程でS i 界面に極薄のS i O₂膜が形成されることはない。すなわち、高誘電体ゲート絶縁膜の高い比誘電率の低下を防止することができる。



【特許請求の範囲】

【請求項１】 $MOSFET$ として機能する半導体装置において、

半導体基板上に形成された高誘電体膜からなるゲート絶縁膜と、前記ゲート絶縁膜上に形成された導電性膜からなるゲート電極と、前記ゲート電極の側壁に形成された誘電体膜からなる第１のサイドウォールと、前記第１のサイドウォールを覆うように形成された耐酸化性膜からなる第２のサイドウォールとを備えたことを特徴とする半導体装置。

【請求項２】 前記第１のサイドウォールの上部は、前記ゲート電極の高さよりも低いことを特徴とする請求項１に記載の半導体装置。

【請求項３】 前記ゲート絶縁膜と前記第１のサイドウォールとが同一の誘電体膜からなることを特徴とする請求項１または２に記載の半導体装置。

【請求項４】 前記ゲート電極上に形成された耐酸化性膜からなるキャップ膜とをさらに備えたことを特徴とする請求項１～３の何れか１項に記載の半導体装置。

【請求項５】 $MOSFET$ として機能する半導体装置の製造方法において、

半導体基板上に高誘電体膜からなるゲート絶縁膜を形成する工程（ａ）と、

前記ゲート絶縁膜上に導電性膜からなるゲート電極を形成する工程（ｂ）と、

前記ゲート電極の側壁に誘電体膜からなる第１のサイドウォールを形成する工程（ｃ）と、

前記第１のサイドウォールを覆うように耐酸化性膜からなる第２のサイドウォールを形成する工程（ｄ）とを備えたことを特徴とする半導体装置の製造方法。

【請求項６】 前記第１のサイドウォールの上部は、前記ゲート電極の高さよりも低くなるように形成することを特徴とする請求項５に記載の半導体装置の製造方法。

【請求項７】 前記ゲート絶縁膜と前記第１のサイドウォールとが同一の誘電体膜からなることを特徴とする請求項５または６に記載の半導体装置の製造方法。

【請求項８】 $MOSFET$ として機能する半導体装置の製造方法において、

半導体基板上に高誘電体膜からなるゲート絶縁膜を形成する工程（ａ）と、

前記ゲート絶縁膜上に導電性膜と耐酸化性膜とを順次堆積する工程（ｂ）と、

前記耐酸化性膜上にエッチングマスクを設けて前記耐酸化性膜と前記導電性膜とを順次エッチングしてキャップ膜とゲート電極とを形成する工程（ｃ）と、

前記ゲート電極の側壁にのみ誘電体膜からなる第１のサイドウォールを形成する工程（ｄ）と、

前記第１のサイドウォールを覆うように耐酸化性膜からなる第２のサイドウォールを形成する工程（ｅ）とを備えたことを特徴とする半導体装置の製造方法。

【請求項９】 前記第２のサイドウォールの上部は、前記キャップ膜の側壁に結合していることを特徴とする請求項８に記載の半導体装置の製造方法。

【請求項１０】 前記ゲート絶縁膜と前記第１のサイドウォールとが同一の誘電体膜からなることを特徴とする請求項８または９に記載の半導体装置の製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関し、特に高誘電体（高誘電率材料）からなるゲート絶縁膜を有する絶縁ゲート型の電界効果トランジスタに関する。

【０００２】

【従来の技術】近年、半導体プロセスの加工技術の進展によりシリコン酸化膜（以下、 SiO_2 膜と言う）を用いた絶縁ゲート型の電界効果トランジスタ（以下、 $MOSFET$ と言う）の微細化が進んでいる。しかし、 $MOSFET$ の比例縮小に伴ってゲート絶縁膜の薄膜化を進めると、トンネル電流によるゲートリーク電流の増大が問題になる。この問題を回避するために、ジルコニウム酸化膜（以下、 ZrO_2 膜と言う）等を用いた高誘電体からなるゲート絶縁膜（以下、高誘電体ゲート絶縁膜と言う）を有する $MOSFET$ の研究が行われている。一方、素子の縮小に伴ってゲート電極の微細加工を進めると、異方性を実現する反応性イオンエッチング（以下、 RIE と言う）により、ゲート電極の下地にあるゲート絶縁膜に膜減りや損傷が生じる。これが原因となって、ゲート絶縁膜の耐圧不良や信頼性劣化が発生する。この問題を改善するために、従来の $MOSFET$ では、ゲート電極を形成した後にシリコン基板を再酸化してゲート電極のエッジ下部にバースビーク（以下、ゲートバースビークと言う）を形成する。このようなゲートバースビークを有する $MOSFET$ には、特開平６－２０４２３７号に記載されたものが知られている。

【０００３】以下、従来のゲートバースビークを有する $MOSFET$ の構造とその製造方法について図面を参照しながら説明する。図４は、従来の n 型の $MOSFET$ の製造工程を示す断面図である。

【０００４】図４において、２１は p 型のシリコン単結晶からなる半導体基板（以下、 Si 基板と言う）、２２は SiO_2 膜からなるゲート絶縁膜、２３は n 型の多結晶シリコン膜（以下、ポリ Si 膜と言う）からなるゲート電極、２４は n 型の LDD 拡散層、２５は一端がゲートバースビークになる SiO_2 膜、２６は $TEOS$ 膜からなるサイドウォール、２７は n^+ 型のソース・ドレイン拡散層である。

【０００５】まず、図４（Ａ）に示すように、（１００）面を有する p 型のシリコン単結晶からなる Si 基板２１上に素子分離層（図示せず）を形成した後、 Si 基板２１を熱酸化してゲート絶縁膜になる SiO_2 膜２２

を形成する。その後、CVD法により SiO_2 膜22上にn型のポリ Si 膜を堆積した後、レジスト膜（図示せず）をマスクにRIEを行ってゲート電極23を形成する。この時、下地膜の SiO_2 膜22もエッチングされて膜減りする。また、エッチングダメージにより SiO_2 膜22の表面に損傷を生ずる。レジスト膜を除去した後、ゲート電極23をマスクに例えばヒ素をイオン注入して Si 基板21の表面にn型のLDD拡散層24を形成する。

【0006】次に、図4（B）に示すように、 Si 基板21を再度熱酸化してLDD拡散層24上に SiO_2 膜25を形成すると、ゲート電極23のエッジ下部にゲートバースピークが形成される。このようにすると、エッチングで膜減りした SiO_2 膜22が再酸化されて厚い SiO_2 膜25に変わる。また、 SiO_2 膜22の表面の損傷も再酸化によって回復される。したがって、ゲート絶縁膜の耐圧不良や信頼性劣化を抑制できる。

【0007】次に、図4（C）に示すように、CVD法によりゲート電極23上を覆うようにTEOS膜を堆積した後、このTEOS膜に対してRIEを行ってゲート電極23の側壁にサイドウォール26を形成する。

【0008】次に、図4（D）に示すように、ゲート電極23とサイドウォール26をマスクに例えばヒ素をイオン注入して Si 基板21の表面に n^+ 型のソース・ドレイン拡散層27を形成する。最後に、周知の技術を用いて、図示していないが Si 基板21上に層間絶縁膜、コンタクトホールおよび金属配線を順次形成して、従来のMOSFETが完成する。

【0009】以上のように、ゲートバースピークを形成することによりゲートリーク電流の増加を抑制し、耐圧不良や信頼性劣化の発生しないMOSFETを実現している。

【0010】

【発明が解決しようとする課題】しかしながら、従来の構成は SiO_2 膜を用いたMOSFETには適用できるが、以下の理由から ZrO_2 膜等からなる高誘電体ゲート絶縁膜を用いたMOSFETには適用できなかった。

【0011】ゲートバースピークを形成する酸化工程において、酸化種（酸素等）がゲート電極のエッジ下部から ZrO_2 膜または Si 基板との界面に浸入し、さらに膜中や界面を拡散し、ゲート電極下の Si 基板を酸化して薄い SiO_2 膜が形成される。これによって、ゲート絶縁膜は実質的に ZrO_2 膜と薄い SiO_2 膜の積層膜になるので、ゲート絶縁膜全体の比誘電率は元々の ZrO_2 膜に比べて低下してしまう。例えば、比誘電率が15～20で膜厚が5.0nmの ZrO_2 膜を形成した後にゲートバースピークを形成すると、界面に比誘電率が3.9で膜厚が0.2～0.3nmの薄い SiO_2 膜が形成される。この場合、ゲート絶縁膜全体の比誘電率は13～17で、膜厚は5.2～5.3nmになる。すな

わち、ゲート絶縁膜全体の膜厚増加は5%程度にすぎないが、比誘電率は14%程度も低下するので、結果としてMOSFETの電流能力は大幅に低下する。また、ゲート電極のエッジ下部にはくさび状に厚い SiO_2 膜が形成されるので、実効的なゲート長は変化してMOSFETの閾値電圧は変動する。このように、高誘電体ゲート絶縁膜を用いたMOSFETにゲートバースピークを形成すると、MOSFETの電気特性が劣化または変動するという問題があった。

【0012】また、ゲートバースピークを形成しない場合でも、ゲート電極を形成した後に酸化または酸素ガスを含む雰囲気での熱処理や絶縁膜の堆積を行うと、ゲートバースピークを形成する場合と同様にして、 Si 界面に極薄の SiO_2 膜が形成されるのでゲート絶縁膜全体の比誘電率は低下してしまう。したがって、この場合にも高誘電体ゲート絶縁膜を用いたMOSFETの電気特性が劣化するという問題があった。

【0013】本発明は、上記の問題点を鑑みてなされたものであって、高誘電体ゲート絶縁膜の耐圧不良や信頼性劣化を抑制し、かつ高い比誘電率の低下を防止した半導体装置およびその製造方法を提供することを目的とする。

【0014】

【課題を解決するための手段】上記の目的を達成するために、本発明の半導体装置は、MOSFETとして機能する半導体装置において、半導体基板上に形成された高誘電体膜からなるゲート絶縁膜と、ゲート絶縁膜上に形成された導電性膜からなるゲート電極と、ゲート電極の側壁に形成された誘電体膜からなる第1のサイドウォールと、第1のサイドウォールを覆うように形成された耐酸化性膜からなる第2のサイドウォールとを備えたことを特徴とする。

【0015】この構成によって、高誘電体ゲート絶縁膜の膜減りや損傷による耐圧不良や信頼性劣化を抑制できる。さらに、後の工程で Si 界面に極薄の SiO_2 膜が形成されることがないので、高誘電体ゲート絶縁膜の高い比誘電率の低下を防止することができる。

【0016】上記の半導体装置において、第1のサイドウォールの上部は、ゲート電極の高さよりも低いことが好ましい。

【0017】上記の半導体装置において、ゲート絶縁膜と第1のサイドウォールとが同一の誘電体膜からなることが好ましい。

【0018】上記の半導体装置において、ゲート電極上に形成された耐酸化性膜からなるキャップ膜とをさらに備えたことが好ましい。

【0019】また、本発明の半導体装置の製造方法は、MOSFETとして機能する半導体装置の製造方法において、半導体基板上に高誘電体膜からなるゲート絶縁膜を形成する工程（a）と、ゲート絶縁膜上に導電性膜か

らなるゲート電極を形成する工程（b）と、ゲート電極の側壁に誘電体膜からなる第1のサイドウォールを形成する工程（c）と、第1のサイドウォールを覆うように耐酸化性膜からなる第2のサイドウォールを形成する工程（d）とを備えたことを特徴とする。

【0020】この構成によって、高誘電体ゲート絶縁膜の膜減りや損傷による耐圧不良や信頼性劣化を抑制できる。さらに、後の工程でSi界面に極薄のSiO₂膜が形成されることがないので、高誘電体ゲート絶縁膜の高い比誘電率の低下を防止することができる。

【0021】上記の半導体装置の製造方法において、第1のサイドウォールの上部は、ゲート電極の高さよりも低くなるように形成することが好ましい。

【0022】上記の半導体装置の製造方法において、ゲート絶縁膜と第1のサイドウォールとが同一の誘電体膜からなることが好ましい。

【0023】さらに、本発明の半導体装置の製造方法は、MOSFETとして機能する半導体装置の製造方法において、半導体基板上に高誘電体膜からなるゲート絶縁膜を形成する工程（a）と、ゲート絶縁膜上に導電性膜と耐酸化性膜とを順次堆積する工程（b）と、耐酸化性膜上にエッチングマスクを設けて耐酸化性膜と導電性膜とを順次エッチングしてキャップ膜とゲート電極とを形成する工程（c）と、ゲート電極の側壁にのみ誘電体膜からなる第1のサイドウォールを形成する工程（d）と、第1のサイドウォールを覆うように耐酸化性膜からなる第2のサイドウォールを形成する工程（e）とを備えたことを特徴とする。

【0024】この構成によって、高誘電体ゲート絶縁膜の膜減りや損傷による耐圧不良や信頼性劣化を抑制できる。さらに、後の工程でSi界面に極薄のSiO₂膜が形成されることはないので、高誘電体ゲート絶縁膜の高い比誘電率の低下を防止することができる。

【0025】上記の半導体装置の製造方法において、第2のサイドウォールの上部は、キャップ膜の側壁に結合していることが好ましい。

【0026】上記の半導体装置の製造方法において、ゲート絶縁膜と第1のサイドウォールとが同一の誘電体膜からなることが好ましい。

【0027】

【発明の実施の形態】（第1の実施形態）以下、本発明の第1の実施形態について、図面を参照しながら説明する。図1は、本発明の第1の実施形態に係るn型のMOSFETとして機能する半導体装置の製造工程を示す断面図である。

【0028】図1において、1はp型のSi基板、2はZrO₂膜からなる高誘電体ゲート絶縁膜、3はn型のポリSi膜からなるゲート電極、4はn型のLDD拡散層、5はZrO₂膜（絶縁膜）からなる第1のサイドウォール、6はシリコン窒化膜（耐酸化性膜で、以下Si

₃N₄膜と言う）からなる第2のサイドウォール、7はn⁺型のソース・ドレイン拡散層である。

【0029】まず、図1（A）に示すように、（100）面を有するSi基板1上に素子分離層（図示せず）を形成した後、アルゴンガスと酸素ガスとの混合ガスの雰囲気においてZrからなる金属ターゲットに対して反応性スパッタリングを行って、Si基板1上に高誘電体ゲート絶縁膜になるZrO₂膜2を例えば5nm程度の膜厚で形成する。その後、CVD法によりZrO₂膜2上にn型のポリSi膜を例えば200～300nm程度の膜厚で堆積した後、レジスト膜（図示せず）をマスクにRIEを行ってZrO₂膜2上にゲート電極3を形成する。この時、従来例と同様にして、下地膜のZrO₂膜2もエッチングされて膜減りする。また、エッチングダメージによりZrO₂膜2の表面に損傷を生ずる。レジスト膜を除去した後、ゲート電極3をマスクに例えばヒ素をイオン注入してSi基板1の表面にn型のLDD拡散層4を形成する。

【0030】次に、図1（B）に示すように、上記と同様にして、反応性スパッタリングを行ってゲート電極3上を覆うように絶縁膜になるZrO₂膜を例えば20～100nm程度の膜厚で堆積した後、このZrO₂膜に対してRIEを行ってゲート電極3の側面にZrO₂膜からなる第1のサイドウォール5を形成する。この時、下地膜のZrO₂膜2も同時にエッチングしてすべて除去する。このようにすると、ゲート電極3のエッジ下部ではエッチングにより膜減りしたZrO₂膜2上に再びZrO₂膜が堆積されるので膜減りは解消される。また、ZrO₂膜2の表面の損傷も再堆積によって回復される。したがって、ゲートバズビークを形成した従来例と同様にして、高誘電体ゲート絶縁膜の耐圧不良や信頼性劣化を抑制できる。

【0031】次に、図1（C）に示すように、CVD法によりゲート電極3上を覆うように耐酸化性膜になるSi₃N₄膜を例えば50～200nm程度の膜厚で堆積した後、このSi₃N₄膜に対してRIEを行ってゲート電極3の側壁に設けた第1のサイドウォール5を覆うように第2のサイドウォール6を形成する。このようにすると、ゲート電極3の側壁はSi₃N₄膜からなる第2のサイドウォール6で覆われているので、この工程の後に酸化または酸素ガスを含む雰囲気での熱処理や絶縁膜の堆積を行っても、Si界面に極薄のSiO₂膜が形成されることはない。したがって、高誘電体ゲート絶縁膜の場合に問題となる、極薄のSiO₂膜の形成による高い比誘電率の低下を防止することができる。

【0032】次に、図1（D）に示すように、ゲート電極3、第1のサイドウォール5および第2のサイドウォール6をマスクに例えばヒ素をイオン注入してSi基板1の表面にn⁺型のソース・ドレイン拡散層7を形成する。最後に、周知の技術を用いて、図示していないがS

i 基板 1 上に層間絶縁膜、コンタクトホールおよび金属配線を順次形成して、第 1 の実施形態の MOSFET が完成する。

【0033】 以上のように、第 1 の実施形態によると、ゲート電極 3 を形成した後にその側壁に ZrO_2 膜からなる第 1 のサイドウォールが形成されるので、高誘電体ゲート絶縁膜の膜減りや損傷による耐圧不良や信頼性劣化を抑制できる。さらに、第 1 のサイドウォール 5 を覆うように Si_3N_4 膜からなる第 2 のサイドウォール 6 が形成されるので、後の工程で Si 界面に極薄の SiO_2 膜が形成されることはない。すなわち、高誘電体ゲート絶縁膜の高い比誘電率の低下を防止することができる。したがって、高誘電体ゲート絶縁膜の耐圧不良や信頼性劣化を抑制し、かつ高い比誘電率の低下を防止した MOSFET として機能する半導体装置およびその製造方法を実現することができる。

【0034】（第 1 の実施形態の変形例）以下、第 1 の実施形態の変形例について、図面を参照しながら説明する。図 2 は、第 1 の実施形態の変形例に係る n 型の MOSFET の製造工程を示す断面図である。図 2 の構成要素は図 1 と同じであるが、第 1 のサイドウォール 5 と第 2 のサイドウォール 6 の形状が異なっている。

【0035】 まず、図 2（B）に示すように、ゲート電極 3 上を覆うように絶縁膜になる ZrO_2 膜を堆積した後、この ZrO_2 膜に対して RIE を行ってゲート電極 3 の側面に ZrO_2 膜からなる第 1 のサイドウォール 5 を形成する。ここでは、図 1（B）の形状とは異なり、所定のオーバーエッチを行って第 1 のサイドウォール 5 の上部がゲート電極 3 の高さよりも少なくとも 50 nm 程度低くなるように形成する。この場合も図 1（B）と同様にして、ゲート電極 3 のエッジ下部では ZrO_2 膜の再堆積により ZrO_2 膜 2 の膜減りや損傷も改善される。したがって、高誘電体ゲート絶縁膜の耐圧不良や信頼性劣化を抑制できる。

【0036】 また、図 2（C）に示すように、ゲート電極 3 上を覆うように耐酸化性膜になる Si_3N_4 膜を堆積した後、この Si_3N_4 膜に対して RIE を行ってゲート電極 3 の側壁に設けた第 1 のサイドウォール 5 を覆うように第 2 のサイドウォール 6 を形成する。この場合も、図 1（C）の形状とは異なり、第 1 のサイドウォール 5 の上部がゲート電極 3 の高さよりも低い分だけ第 2 のサイドウォール 6 の上部が厚く形成され、少なくとも 50 nm 程度の厚みになる。この場合も図 1（C）と同様にして、この工程の後に酸化または酸素ガスを含む雰囲気での熱処理や絶縁膜の堆積を行っても、Si 界面に極薄の SiO_2 膜が形成されることはない。したがって、高誘電体ゲート絶縁膜の場合に問題となる、極薄の SiO_2 膜の形成による高い比誘電率の低下を防止することができる。

【0037】 以上のように、第 1 の実施形態の変形例に

よると、第 1 の実施形態と同じ効果が得られる上、さらに、第 1 のサイドウォール 5 の上部はゲート電極 3 の高さよりも低いので、第 2 のサイドウォール 6 の上部は第 1 の実施形態の場合に比べて厚く形成される。このため、サイドウォールの形成工程がばらついても、確実にゲート電極 3 の側壁は耐酸化性膜からなる第 2 のサイドウォールで覆うことができる。したがって、後の工程で Si 界面に極薄の SiO_2 膜が形成されることはないので、第 1 の実施形態よりも確実に高誘電体ゲート絶縁膜の高い比誘電率の低下を防止することができる。

【0038】（第 2 の実施形態）以下、本発明の第 2 の実施形態について、図面を参照しながら説明する。図 3 は、本発明の第 2 の実施形態に係る n 型の MOSFET として機能する半導体装置の製造工程を示す断面図である。

【0039】 図 3 において、11 は p 型の Si 基板、12 は ZrO_2 膜からなる高誘電体ゲート絶縁膜、13 は n 型のポリ Si 膜からなるゲート電極、14 は n 型の LDD 拡散層、15 は ZrO_2 膜（絶縁膜）からなる第 1 のサイドウォール、16 は Si_3N_4 膜（耐酸化性膜）からなる第 2 のサイドウォール、17 は n^+ 型のソース・ドレイン拡散層、18 は Si_3N_4 膜（耐酸化性膜）からなるキャップ膜である。

【0040】 まず、図 3（A）に示すように、（100）面を有する Si 基板 11 上に素子分離層（図示せず）を形成した後、アルゴンガスと酸素ガスとの混合ガスの雰囲気において Zr からなる金属ターゲットに対して反応性スパッタリングを行って、Si 基板 11 上に高誘電体ゲート絶縁膜になる ZrO_2 膜 12 を例えば 5 nm 程度の膜厚で形成する。その後、CVD 法により ZrO_2 膜 12 上に n 型のポリ Si 膜を例えば 200～300 nm 程度の膜厚で堆積し、続いて耐酸化性膜になる Si_3N_4 膜を例えば 50～100 nm 程度の膜厚で堆積した後、レジスト膜（図示せず）をマスクに RIE を行って ZrO_2 膜 12 上に n 型のポリ Si 膜からなるゲート電極 13 と Si_3N_4 膜からなるキャップ膜 18 とを形成する。この時、下地膜の ZrO_2 膜 12 もエッチングされて膜減りする。また、エッチングダメージにより ZrO_2 膜 12 の表面に損傷を生ずる。レジスト膜を除去した後、ゲート電極 13 をマスクに例えばヒ素をイオン注入して Si 基板 11 の表面に n 型の LDD 拡散層 14 を形成する。

【0041】 次に、図 3（B）に示すように、上記と同様にして、反応性スパッタリングを行ってゲート電極 13 とキャップ膜 18 上を覆うように絶縁膜になる ZrO_2 膜を例えば 20～100 nm 程度の膜厚で堆積した後、この ZrO_2 膜に対して RIE を行ってゲート電極 13 の側面にのみ ZrO_2 膜からなる第 1 のサイドウォール 15 を形成する。この時、下地膜の ZrO_2 膜 12 も同時にエッチングしてすべて除去する。このようにす

ると、ゲート電極13のエッジ下部ではエッチングにより膜減りした ZrO_2 膜12上に再び ZrO_2 膜が堆積されるので膜減りは解消される。また、 ZrO_2 膜12の表面の損傷も再堆積によって回復される。したがって、ゲートバズピークを形成した従来例と同様にして、高誘電体ゲート絶縁膜の耐圧不良や信頼性劣化を抑制できる。

【0042】次に、図3(C)に示すように、CVD法によりゲート電極13上を覆うように耐酸化性膜になる Si_3N_4 膜を例えば50~200nm程度の膜厚で堆積した後、この Si_3N_4 膜に対してRIEを行ってゲート電極13の側壁に設けた第1のサイドウォール15を覆うように第2のサイドウォール16を形成する。このようにすると、ゲート電極13の側壁は Si_3N_4 膜からなる第2のサイドウォール16で覆われているので、この工程の後に酸化または酸素ガスを含む雰囲気での熱処理や絶縁膜の堆積を行っても、 Si 界面に極薄の SiO_2 膜が形成されることはない。また、ゲート電極13の上面も Si_3N_4 膜からなるキャップ膜18で覆われているので、ゲート電極13を構成するポリ Si 膜の粒界を通じた酸化種の拡散を防止するので、 Si 界面に極薄の SiO_2 膜が形成されることはない。したがって、高誘電体ゲート絶縁膜の場合に問題となる、極薄の SiO_2 膜の形成による高い比誘電率の低下を防止することができる。

【0043】次に、図3(D)に示すように、ゲート電極13、キャップ膜18、第1のサイドウォール15および第2のサイドウォール16をマスクに例えばヒ素をイオン注入して Si 基板11の表面に n^+ 型のソース・ドレイン拡散層17を形成する。最後に、周知の技術を用いて、図示していないが Si 基板11上に層間絶縁膜、コンタクトホールおよび金属配線を順次形成して、第2の実施形態のMOSFETが完成する。

【0044】以上のように、第2の実施形態によると、ゲート電極13を形成した後にその側壁に ZrO_2 膜からなる第1のサイドウォールが形成されるので、高誘電体ゲート絶縁膜の膜減りや損傷による耐圧不良や信頼性劣化を抑制できる。さらに、ゲート電極13を覆うように Si_3N_4 膜からなるキャップ膜18と、第1のサイドウォール15を覆うように Si_3N_4 膜からなる第2のサイドウォール16とが形成されるので、後の工程で Si 界面に極薄の SiO_2 膜が形成されることはない。すなわち、高誘電体ゲート絶縁膜の高い比誘電率の低下を防止することができる。したがって、高誘電体ゲート絶縁膜の耐圧不良や信頼性劣化を抑制し、かつ高い比誘電率の低下を防止したMOSFETとして機能する半導体装置およびその製造方法を実現することができる。

【0045】なお、第1~第2の実施形態において、高誘電体ゲート絶縁膜に ZrO_2 膜を用いて説明したが、これに代えて他の高誘電体膜、例えば HfO_2 膜、 Ta_2

O_5 膜または Al_2O_3 膜を用いても本発明の効果が得られるのは言うまでもない。さらに、高誘電体ゲート絶縁膜に高誘電体とシリコンの3元系化合物からなるシリケート膜を用いても本発明の効果は得られる。

【0046】また、高誘電体ゲート絶縁膜になる ZrO_2 膜を Zr ターゲットを用いた反応性スパッタリングを行って形成したが、これに代えて ZrO_2 ターゲットを用いたスパッタリングを行って形成しても良い。あるいは、 Zr の有機化合物、例えば $C_{16}H_{26}HfO_4$ 、 $C_{16}H_{40}N_4Zr$ 等の液体ソースを用いたCVDを行って形成しても良い。

【0047】また、第1のサイドウォールに高誘電体ゲート絶縁膜と同じ ZrO_2 膜を用いて説明したが、これに代えて他の誘電体膜、例えばTEOS膜、BPSG膜または $SiON$ 膜を用いても本発明の効果は得られる。

【0048】さらに、ゲート電極にポリ Si 膜を用いて説明したが、これに代えて他の導電性膜、例えば W 膜、 TiN 膜、 WSi_2 膜等のメタルゲートまたはシリサイドゲートを用いても本発明の効果は得られる。あるいは、 W/TiN /ポリ Si 膜、 $TiSi_2$ /ポリ Si 膜等のポリメタルゲートを用いても本発明の効果は得られる。

【0049】

【発明の効果】以上説明したように、本発明の半導体装置およびその製造方法によれば、ゲート電極を形成した後にその側壁に誘電体膜からなる第1のサイドウォールが形成されるので、高誘電体ゲート絶縁膜の膜減りや損傷による耐圧不良や信頼性劣化を抑制できる。さらに、第1のサイドウォールを覆うように耐酸化性膜からなる第2のサイドウォールが形成されるので、後の工程で Si 界面に極薄の SiO_2 膜が形成されることはない。すなわち、高誘電体ゲート絶縁膜の高い比誘電率の低下を防止することができる。したがって、高誘電体ゲート絶縁膜の耐圧不良や信頼性劣化を抑制し、かつ高い比誘電率の低下を防止したMOSFETとして機能する半導体装置およびその製造方法を実現することができる。

【図面の簡単な説明】

【図1】(A)~(D)は本発明の第1の実施形態における n 型のMOSFETの製造工程を示す断面図

【図2】(A)~(D)は本発明の第1の実施形態の変形例における n 型のMOSFETの製造工程を示す断面図

【図3】(A)~(D)は本発明の第2の実施形態における n 型のMOSFETの製造工程を示す断面図

【図4】(A)~(D)は従来の n 型のMOSFETの製造工程を示す断面図

【符号の説明】

- 1、11 p 型の Si 基板
- 2、12 ZrO_2 膜からなる高誘電体ゲート絶縁膜
- 3、13 n 型のポリ Si 膜からなるゲート電極

4、14 n型のLDD拡散層

5、15 ZrO_2 膜（絶縁膜）からなる第1のサイドウォール

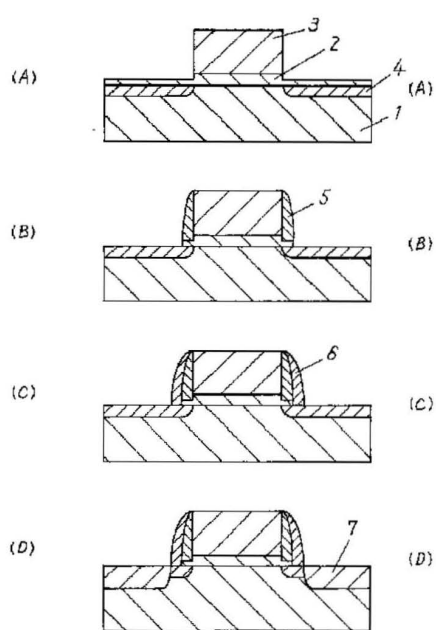
6、16 Si_3N_4 膜（耐酸化性膜）からなる第2のサ

イドウォール

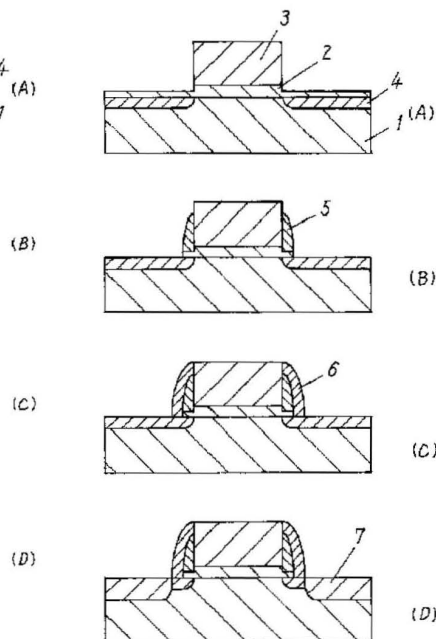
7、17 n⁺型のソース・ドレイン拡散層

18 Si_3N_4 膜（耐酸化性膜）からなるキャップ膜

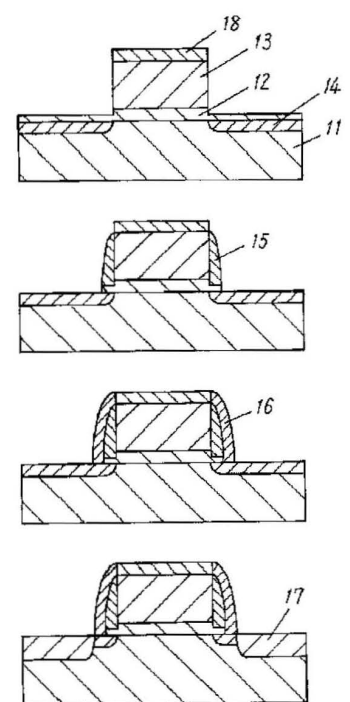
【図1】



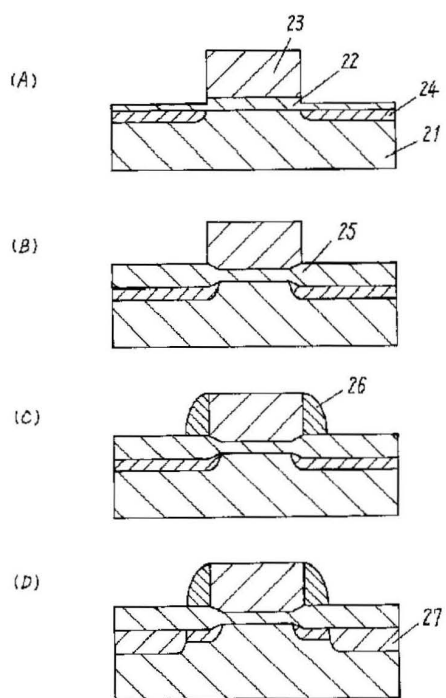
【図2】



【図3】



【図4】



フロントページの続き

Fターム(参考) 5F140 AA06 AA25 BA01 BA20 BD11
BE09 BE10 BF03 BF04 BF07
BF08 BF10 BF11 BF18 BF20
BF21 BF27 BG09 BG11 BG12
BG13 BG14 BG22 BG38 BG51
BG53 BH15 BK02 BK09 BK13