(19)日本国特許庁（ＪＰ）　(12) **公開特許公報（Ａ）**　(11)特許出願公開番号
特開2003－258241
（P2003－258241A）
(43)公開日　平成15年９月12日(2003.9.12)

(51)Int.Cl.[7]	識別記号	ＦＩ	ﾃｰﾏｺｰﾄﾞ(参考)
Ｈ０１Ｌ　29/78		Ｈ０１Ｌ　29/78	３０１Ｇ　５Ｆ１４０

審査請求　未請求　請求項の数10　ＯＬ　（全　８　頁）

(21)出願番号　特願2002－58232(P2002－58232)

(22)出願日　平成14年３月５日(2002.3.5)

(71)出願人　000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地

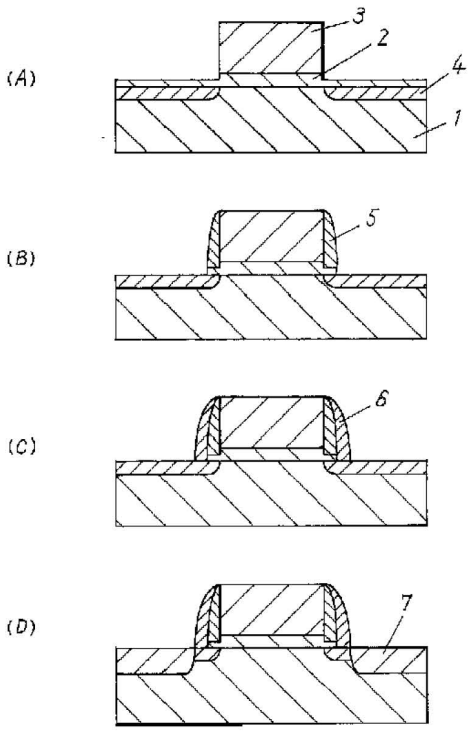
(72)発明者　梶山　正興
大阪府門真市大字門真1006番地　松下電器産業株式会社内

(74)代理人　100097445
弁理士　岩橋　文雄　（外２名）

最終頁に続く

(54)【発明の名称】　半導体装置およびその製造方法

(57)【要約】
【課題】　高誘電体ゲート絶縁膜の耐圧不良や信頼性劣化を抑制し、かつ高い比誘電率の低下を防止した半導体装置およびその製造方法を提供することを目的とする。
【解決手段】　ゲート電極を形成した後にその側壁に誘電体膜からなる第１のサイドウォールが形成されるので、高誘電体ゲート絶縁膜の膜減りや損傷による耐圧不良や信頼性劣化を抑制できる。さらに、第１のサイドウォールを覆うように耐酸化性膜からなる第２のサイドウォールが形成されるので、後の工程でＳｉ界面に極薄のSiO_2膜が形成されることはない。すなわち、高誘電体ゲート絶縁膜の高い比誘電率の低下を防止することができる。



TSMC-1010
U.S. Patent 8,587,076

【特許請求の範囲】
【請求項１】　ＭＯＳＦＥＴとして機能する半導体装置において、
半導体基板上に形成された高誘電体膜からなるゲート絶縁膜と、前記ゲート絶縁膜上に形成された導電性膜からなるゲート電極と、前記ゲート電極の側壁に形成された誘電体膜からなる第１のサイドウォールと、前記第１のサイドウォールを覆うように形成された耐酸化性膜からなる第２のサイドウォールとを備えたことを特徴とする半導体装置。
【請求項２】　前記第１のサイドウォールの上部は、前記ゲート電極の高さよりも低いことを特徴とする請求項１に記載の半導体装置。
【請求項３】　前記ゲート絶縁膜と前記第１のサイドウォールとが同一の誘電体膜からなることを特徴とする請求項１または２に記載の半導体装置。
【請求項４】　前記ゲート電極上に形成された耐酸化性膜からなるキャップ膜とをさらに備えたことを特徴とする請求項１～３の何れか１項に記載の半導体装置。
【請求項５】　ＭＯＳＦＥＴとして機能する半導体装置の製造方法において、
半導体基板上に高誘電体膜からなるゲート絶縁膜を形成する工程（ａ）と、
前記ゲート絶縁膜上に導電性膜からなるゲート電極を形成する工程（ｂ）と、
前記ゲート電極の側壁に誘電体膜からなる第１のサイドウォールを形成する工程（ｃ）と、
前記第１のサイドウォールを覆うように耐酸化性膜からなる第２のサイドウォールを形成する工程（ｄ）とを備えたことを特徴とする半導体装置の製造方法。
【請求項６】　前記第１のサイドウォールの上部は、前記ゲート電極の高さよりも低くなるように形成することを特徴とする請求項５に記載の半導体装置の製造方法。
【請求項７】　前記ゲート絶縁膜と前記第１のサイドウォールとが同一の誘電体膜からなることを特徴とする請求項５または６に記載の半導体装置の製造方法。
【請求項８】　ＭＯＳＦＥＴとして機能する半導体装置の製造方法において、
半導体基板上に高誘電体膜からなるゲート絶縁膜を形成する工程（ａ）と、
前記ゲート絶縁膜上に導電性膜と耐酸化性膜とを順次堆積する工程（ｂ）と、
前記耐酸化性膜上にエッチングマスクを設けて前記耐酸化性膜と前記導電性膜とを順次エッチングしてキャップ膜とゲート電極とを形成する工程（ｃ）と、
前記ゲート電極の側壁にのみ誘電体膜からなる第１のサイドウォールを形成する工程（ｄ）と、
前記第１のサイドウォールを覆うように耐酸化性膜からなる第２のサイドウォールを形成する工程（ｅ）とを備えたことを特徴とする半導体装置の製造方法。
【請求項９】　前記第２のサイドウォールの上部は、前記キャップ膜の側壁に結合していることを特徴とする請求項８に記載の半導体装置の製造方法。
【請求項１０】　前記ゲート絶縁膜と前記第１のサイドウォールとが同一の誘電体膜からなることを特徴とする請求項８または９に記載の半導体装置の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関し、特に高誘電体（高誘電率材料）からなるゲート絶縁膜を有する絶縁ゲート型の電界効果トランジスタに関する。
【０００２】
【従来の技術】近年、半導体プロセスの加工技術の進展によりシリコン酸化膜（以下、SiO_2膜と言う）を用いた絶縁ゲート型の電界効果トランジスタ（以下、ＭＯＳＦＥＴと言う）の微細化が進んでいる。しかし、ＭＯＳＦＥＴの比例縮小に伴ってゲート絶縁膜の薄膜化を進めると、トンネル電流によるゲートリーク電流の増大が問題になる。この問題を回避するために、ジルコニウム酸化膜（以下、ZrO_2膜と言う）等を用いた高誘電体からなるゲート絶縁膜（以下、高誘電体ゲート絶縁膜と言う）を有するＭＯＳＦＥＴの研究が行われている。一方、素子の縮小に伴ってゲート電極の微細加工を進めると、異方性を実現する反応性イオンエッチング（以下、ＲＩＥと言う）により、ゲート電極の下地にあるゲート絶縁膜に膜減りや損傷が生じる。これが原因となって、ゲート絶縁膜の耐圧不良や信頼性劣化が発生する。この問題を改善するために、従来のＭＯＳＦＥＴでは、ゲート電極を形成した後にシリコン基板を再酸化してゲート電極のエッジ下部にバーズビーク（以下、ゲートバーズビークと言う）を形成する。このようなゲートバーズビークを有するＭＯＳＦＥＴには、特開平６－２０４２３７号に記載されたものが知られている。
【０００３】以下、従来のゲートバーズビークを有するＭＯＳＦＥＴの構造とその製造方法について図面を参照しながら説明する。図４は、従来のｎ型のＭＯＳＦＥＴの製造工程を示す断面図である。
【０００４】図４において、２１はｐ型のシリコン単結晶からなる半導体基板（以下、Ｓｉ基板と言う）、２２はSiO_2膜からなるゲート絶縁膜、２３はｎ型の多結晶シリコン膜（以下、ポリＳｉ膜と言う）からなるゲート電極、２４はｎ型のＬＤＤ拡散層、２５は一端がゲートバーズビークになるSiO_2膜、２６はＴＥＯＳ膜からなるサイドウォール、２７はn^+型のソース・ドレイン拡散層である。
【０００５】まず、図４（Ａ）に示すように、（１００）面を有するｐ型のシリコン単結晶からなるＳｉ基板２１上に素子分離層（図示せず）を形成した後、Ｓｉ基板２１を熱酸化してゲート絶縁膜になるSiO_2膜２２

を形成する。その後、ＣＶＤ法によりSiO_2膜２２上にｎ型のポリＳｉ膜を堆積した後、レジスト膜（図示せず）をマスクにＲＩＥを行ってゲート電極２３を形成する。この時、下地膜のSiO_2膜２２もエッチングされて膜減りする。また、エッチングダメージによりSiO_2膜２２の表面に損傷を生ずる。レジスト膜を除去した後、ゲート電極２３をマスクに例えばヒ素をイオン注入してＳｉ基板２１の表面にｎ型のＬＤＤ拡散層２４を形成する。

【０００６】次に、図４（Ｂ）に示すように、Ｓｉ基板２１を再度熱酸化してＬＤＤ拡散層２４上にSiO_2膜２５を形成すると、ゲート電極２３のエッジ下部にゲートバーズビークが形成される。このようにすると、エッチングで膜減りしたSiO_2膜２２が再酸化されて厚いSiO_2膜２５に変わる。また、SiO_2膜２２の表面の損傷も再酸化によって回復される。したがって、ゲート絶縁膜の耐圧不良や信頼性劣化を抑制できる。

【０００７】次に、図４（Ｃ）に示すように、ＣＶＤ法によりゲート電極２３上を覆うようにＴＥＯＳ膜を堆積した後、このＴＥＯＳ膜に対してＲＩＥを行ってゲート電極２３の側壁にサイドウォール２６を形成する。

【０００８】次に、図４（Ｄ）に示すように、ゲート電極２３とサイドウォール２６をマスクに例えばヒ素をイオン注入してＳｉ基板２１の表面にn^+型のソース・ドレイン拡散層２７を形成する。最後に、周知の技術を用いて、図示していないがＳｉ基板２１上に層間絶縁膜、コンタクトホールおよび金属配線を順次形成して、従来のＭＯＳＦＥＴが完成する。

【０００９】以上のように、ゲートバーズビークを形成することによりゲートリーク電流の増加を抑制し、耐圧不良や信頼性劣化の発生しないＭＯＳＦＥＴを実現している。

【００１０】

【発明が解決しようとする課題】しかしながら、従来の構成はSiO_2膜を用いたＭＯＳＦＥＴには適用できるが、以下の理由からZrO_2膜等からなる高誘電体ゲート絶縁膜を用いたＭＯＳＦＥＴには適用できなかった。

【００１１】ゲートバーズビークを形成する酸化工程において、酸化種（酸素等）がゲート電極のエッジ下部からZrO_2膜またはＳｉ基板との界面に浸入し、さらに膜中や界面を拡散し、ゲート電極下のＳｉ基板を酸化して薄いSiO_2膜が形成される。これによって、ゲート絶縁膜は実質的にZrO_2膜と薄いSiO_2膜の積層膜になるので、ゲート絶縁膜全体の比誘電率は元々のZrO_2膜に比べて低下してしまう。例えば、比誘電率が１５～２０で膜厚が５．０ｎｍのZrO_2膜を形成した後にゲートバーズビークを形成すると、界面に比誘電率が３．９で膜厚が０．２～０．３ｎｍの薄いSiO_2膜が形成される。この場合、ゲート絶縁膜全体の比誘電率は１３～１７で、膜厚は５．２～５．３ｎｍになる。すなわち、ゲート絶縁膜全体の膜厚増加は５％程度にすぎないが、比誘電率は１４％程度も低下するので、結果としてＭＯＳＦＥＴの電流能力は大幅に低下する。また、ゲート電極のエッジ下部にはくさび状に厚いSiO_2膜が形成されるので、実効的なゲート長は変化してＭＯＳＦＥＴの閾値電圧は変動する。このように、高誘電体ゲート絶縁膜を用いたＭＯＳＦＥＴにゲートバーズビークを形成すると、ＭＯＳＦＥＴの電気特性が劣化または変動するという問題があった。

【００１２】また、ゲートバーズビークを形成しない場合でも、ゲート電極を形成した後に酸化または酸素ガスを含む雰囲気での熱処理や絶縁膜の堆積を行うと、ゲートバーズビークを形成する場合と同様にして、Ｓｉ界面に極薄のSiO_2膜が形成されるのでゲート絶縁膜全体の比誘電率は低下してしまう。したがって、この場合にも高誘電体ゲート絶縁膜を用いたＭＯＳＦＥＴの電気特性が劣化するという問題があった。

【００１３】本発明は、上記の問題点を鑑みてなされたものであって、高誘電体ゲート絶縁膜の耐圧不良や信頼性劣化を抑制し、かつ高い比誘電率の低下を防止した半導体装置およびその製造方法を提供することを目的とする。

【００１４】

【課題を解決するための手段】上記の目的を達成するために、本発明の半導体装置は、ＭＯＳＦＥＴとして機能する半導体装置において、半導体基板上に形成された高誘電体膜からなるゲート絶縁膜と、ゲート絶縁膜上に形成された導電性膜からなるゲート電極と、ゲート電極の側壁に形成された誘電体膜からなる第１のサイドウォールと、第１のサイドウォールを覆うように形成された耐酸化性膜からなる第２のサイドウォールとを備えたことを特徴とする。

【００１５】この構成によって、高誘電体ゲート絶縁膜の膜減りや損傷による耐圧不良や信頼性劣化を抑制できる。さらに、後の工程でＳｉ界面に極薄のSiO_2膜が形成されることがないので、高誘電体ゲート絶縁膜の高い比誘電率の低下を防止することができる。

【００１６】上記の半導体装置において、第１のサイドウォールの上部は、ゲート電極の高さよりも低いことが好ましい。

【００１７】上記の半導体装置において、ゲート絶縁膜と第１のサイドウォールとが同一の誘電体膜からなることが好ましい。

【００１８】上記の半導体装置において、ゲート電極上に形成された耐酸化性膜からなるキャップ膜とをさらに備えたことが好ましい。

【００１９】また、本発明の半導体装置の製造方法は、ＭＯＳＦＥＴとして機能する半導体装置の製造方法において、半導体基板上に高誘電体膜からなるゲート絶縁膜を形成する工程（ａ）と、ゲート絶縁膜上に導電性膜か

らなるゲート電極を形成する工程（ｂ）と、ゲート電極の側壁に誘電体膜からなる第１のサイドウォールを形成する工程（ｃ）と、第１のサイドウォールを覆うように耐酸化性膜からなる第２のサイドウォールを形成する工程（ｄ）とを備えたことを特徴とする。

【００２０】この構成によって、高誘電体ゲート絶縁膜の膜減りや損傷による耐圧不良や信頼性劣化を抑制できる。さらに、後の工程でＳｉ界面に極薄のSiO_2膜が形成されることがないので、高誘電体ゲート絶縁膜の高い比誘電率の低下を防止することができる。

【００２１】上記の半導体装置の製造方法において、第１のサイドウォールの上部は、ゲート電極の高さよりも低くなるように形成することが好ましい。

【００２２】上記の半導体装置の製造方法において、ゲート絶縁膜と第１のサイドウォールとが同一の誘電体膜からなることが好ましい。

【００２３】さらに、本発明の半導体装置の製造方法は、ＭＯＳＦＥＴとして機能する半導体装置の製造方法において、半導体基板上に高誘電体膜からなるゲート絶縁膜を形成する工程（ａ）と、ゲート絶縁膜上に導電性膜と耐酸化性膜とを順次堆積する工程（ｂ）と、耐酸化性膜上にエッチングマスクを設けて耐酸化性膜と導電性膜とを順次エッチングしてキャップ膜とゲート電極とを形成する工程（ｃ）と、ゲート電極の側壁にのみ誘電体膜からなる第１のサイドウォールを形成する工程（ｄ）と、第１のサイドウォールを覆うように耐酸化性膜からなる第２のサイドウォールを形成する工程（ｅ）とを備えたことを特徴とする。

【００２４】この構成によって、高誘電体ゲート絶縁膜の膜減りや損傷による耐圧不良や信頼性劣化を抑制できる。さらに、後の工程でＳｉ界面に極薄のSiO_2膜が形成されることはないので、高誘電体ゲート絶縁膜の高い比誘電率の低下を防止することができる。

【００２５】上記の半導体装置の製造方法において、第２のサイドウォールの上部は、キャップ膜の側壁に結合していることが好ましい。

【００２６】上記の半導体装置の製造方法において、ゲート絶縁膜と第１のサイドウォールとが同一の誘電体膜からなることが好ましい。

【００２７】

【発明の実施の形態】（第１の実施形態）以下、本発明の第１の実施形態について、図面を参照しながら説明する。図１は、本発明の第１の実施形態に係るｎ型のＭＯＳＦＥＴとして機能する半導体装置の製造工程を示す断面図である。

【００２８】図１において、１はｐ型のＳｉ基板、２はZrO_2膜からなる高誘電体ゲート絶縁膜、３はｎ型のポリＳｉ膜からなるゲート電極、４はｎ型のＬＤＤ拡散層、５はZrO_2膜（絶縁膜）からなる第１のサイドウォール、６はシリコン窒化膜（耐酸化性膜で、以下Si_3N_4膜と言う）からなる第２のサイドウォール、７はn^+型のソース・ドレイン拡散層である。

【００２９】まず、図１（Ａ）に示すように、（１００）面を有するＳｉ基板１上に素子分離層（図示せず）を形成した後、アルゴンガスと酸素ガスとの混合ガスの雰囲気においてＺｒからなる金属ターゲットに対して反応性スパッタリングを行って、Ｓｉ基板１上に高誘電体ゲート絶縁膜になるZrO_2膜２を例えば５ｎｍ程度の膜厚で形成する。その後、ＣＶＤ法によりZrO_2膜２上にｎ型のポリＳｉ膜を例えば２００～３００ｎｍ程度の膜厚で堆積した後、レジスト膜（図示せず）をマスクにＲＩＥを行ってZrO_2膜２上にゲート電極３を形成する。この時、従来例と同様にして、下地膜のZrO_2膜２もエッチングされて膜減りする。また、エッチングダメージによりZrO_2膜２の表面に損傷を生ずる。レジスト膜を除去した後、ゲート電極３をマスクに例えばヒ素をイオン注入してＳｉ基板１の表面にｎ型のＬＤＤ拡散層４を形成する。

【００３０】次に、図１（Ｂ）に示すように、上記と同様にして、反応性スパッタリングを行ってゲート電極３上を覆うように絶縁膜になるZrO_2膜を例えば２０～１００ｎｍ程度の膜厚で堆積した後、このZrO_2膜に対してＲＩＥを行ってゲート電極３の側面にZrO_2膜からなる第１のサイドウォール５を形成する。この時、下地膜のZrO_2膜２も同時にエッチングしてすべて除去する。このようにすると、ゲート電極３のエッジ下部ではエッチングにより膜減りしたZrO_2膜２上に再びZrO_2膜が堆積されるので膜減りは解消される。また、ZrO_2膜２の表面の損傷も再堆積によって回復される。したがって、ゲートバーズビークを形成した従来例と同様にして、高誘電体ゲート絶縁膜の耐圧不良や信頼性劣化を抑制できる。

【００３１】次に、図１（Ｃ）に示すように、ＣＶＤ法によりゲート電極３上を覆うように耐酸化性膜になるSi_3N_4膜を例えば５０～２００ｎｍ程度の膜厚で堆積した後、このSi_3N_4膜に対してＲＩＥを行ってゲート電極３の側壁に設けた第１のサイドウォール５を覆うように第２のサイドウォール６を形成する。このようにすると、ゲート電極３の側壁はSi_3N_4膜からなる第２のサイドウォール６で覆われているので、この工程の後に酸化または酸素ガスを含む雰囲気での熱処理や絶縁膜の堆積を行っても、Ｓｉ界面に極薄のSiO_2膜が形成されることはない。したがって、高誘電体ゲート絶縁膜の場合に問題となる、極薄のSiO_2膜の形成による高い比誘電率の低下を防止することができる。

【００３２】次に、図１（Ｄ）に示すように、ゲート電極３、第１のサイドウォール５および第２のサイドウォール６をマスクに例えばヒ素をイオン注入してＳｉ基板１の表面にn^+型のソース・ドレイン拡散層７を形成する。最後に、周知の技術を用いて、図示していないがＳ

ｉ基板１上に層間絶縁膜、コンタクトホールおよび金属配線を順次形成して、第１の実施形態のＭＯＳＦＥＴが完成する。

【００３３】以上のように、第１の実施形態によると、ゲート電極３を形成した後にその側壁にZrO_2膜からなる第１のサイドウォールが形成されるので、高誘電体ゲート絶縁膜の膜減りや損傷による耐圧不良や信頼性劣化を抑制できる。さらに、第１のサイドウォール５を覆うようにSi_3N_4膜からなる第２のサイドウォール６が形成されるので、後の工程でＳｉ界面に極薄のSiO_2膜が形成されることはない。すなわち、高誘電体ゲート絶縁膜の高い比誘電率の低下を防止することができる。したがって、高誘電体ゲート絶縁膜の耐圧不良や信頼性劣化を抑制し、かつ高い比誘電率の低下を防止したＭＯＳＦＥＴとして機能する半導体装置およびその製造方法を実現することができる。

【００３４】（第１の実施形態の変形例）以下、第１の実施形態の変形例について、図面を参照しながら説明する。図２は、第１の実施形態の変形例に係るｎ型のＭＯＳＦＥＴの製造工程を示す断面図である。図２の構成要素は図１と同じであるが、第１のサイドウォール５と第２のサイドウォール６の形状が異なっている。

【００３５】まず、図２（Ｂ）に示すように、ゲート電極３上を覆うように絶縁膜になるZrO_2膜を堆積した後、このZrO_2膜に対してＲＩＥを行ってゲート電極３の側面にZrO_2膜からなる第１のサイドウォール５を形成する。ここでは、図１（Ｂ）の形状とは異なり、所定のオーバーエッチを行って第１のサイドウォール５の上部がゲート電極３の高さよりも少なくとも５０ｎｍ程度低くなるように形成する。この場合も図１（Ｂ）と同様にして、ゲート電極３のエッジ下部ではZrO_2膜の再堆積によりZrO_2膜２の膜減りや損傷も改善される。したがって、高誘電体ゲート絶縁膜の耐圧不良や信頼性劣化を抑制できる。

【００３６】また、図２（Ｃ）に示すように、ゲート電極３上を覆うように耐酸化性膜になるSi_3N_4膜を堆積した後、このSi_3N_4膜に対してＲＩＥを行ってゲート電極３の側壁に設けた第１のサイドウォール５を覆うように第２のサイドウォール６を形成する。この場合も、図１（Ｃ）の形状とは異なり、第１のサイドウォール５の上部がゲート電極３の高さよりも低い分だけ第２のサイドウォール６の上部が厚く形成され、少なくとも５０ｎｍ程度の厚みになる。この場合も図１（Ｃ）と同様にして、この工程の後に酸化または酸素ガスを含む雰囲気での熱処理や絶縁膜の堆積を行っても、Ｓｉ界面に極薄のSiO_2膜が形成されることはない。したがって、高誘電体ゲート絶縁膜の場合に問題となる、極薄のSiO_2膜の形成による高い比誘電率の低下を防止することができる。

【００３７】以上のように、第１の実施形態の変形例によると、第１の実施形態と同じ効果が得られる上、さらに、第１のサイドウォール５の上部はゲート電極３の高さよりも低いので、第２のサイドウォール６の上部は第１の実施形態の場合に比べて厚く形成される。このため、サイドウォールの形成工程がばらついても、確実にゲート電極３の側壁は耐酸化性膜からなる第２のサイドウォールで覆うことができる。したがって、後の工程でＳｉ界面に極薄のSiO_2膜が形成されることはないので、第１の実施形態よりも確実に高誘電体ゲート絶縁膜の高い比誘電率の低下を防止することができる。

【００３８】（第２の実施形態）以下、本発明の第２の実施形態について、図面を参照しながら説明する。図３は、本発明の第２の実施形態に係るｎ型のＭＯＳＦＥＴとして機能する半導体装置の製造工程を示す断面図である。

【００３９】図３において、１１はｐ型のＳｉ基板、１２はZrO_2膜からなる高誘電体ゲート絶縁膜、１３はｎ型のポリＳｉ膜からなるゲート電極、１４はｎ型のＬＤＤ拡散層、１５はZrO_2膜（絶縁膜）からなる第１のサイドウォール、１６はSi_3N_4膜（耐酸化性膜）からなる第２のサイドウォール、１７はn^+型のソース・ドレイン拡散層、１８はSi_3N_4膜（耐酸化性膜）からなるキャップ膜である。

【００４０】まず、図３（Ａ）に示すように、（１００）面を有するＳｉ基板１１上に素子分離層（図示せず）を形成した後、アルゴンガスと酸素ガスとの混合ガスの雰囲気においてＺｒからなる金属ターゲットに対して反応性スパッタリングを行って、Ｓｉ基板１１上に高誘電体ゲート絶縁膜になるZrO_2膜１２を例えば５ｎｍ程度の膜厚で形成する。その後、ＣＶＤ法によりZrO_2膜１２上にｎ型のポリＳｉ膜を例えば２００～３００ｎｍ程度の膜厚で堆積し、続いて耐酸化性膜になるSi_3N_4膜を例えば５０～１００ｎｍ程度の膜厚で堆積した後、レジスト膜（図示せず）をマスクにＲＩＥを行ってZrO_2膜１２上にｎ型のポリＳｉ膜からなるゲート電極１３とSi_3N_4膜からなるキャップ膜１８とを形成する。この時、下地膜のZrO_2膜１２もエッチングされて膜減りする。また、エッチングダメージによりZrO_2膜１２の表面に損傷を生ずる。レジスト膜を除去した後、ゲート電極１３をマスクに例えばヒ素をイオン注入してＳｉ基板１１の表面にｎ型のＬＤＤ拡散層１４を形成する。

【００４１】次に、図３（Ｂ）に示すように、上記と同様にして、反応性スパッタリングを行ってゲート電極１３とキャップ膜１８上を覆うように絶縁膜になるZrO_2膜を例えば２０～１００ｎｍ程度の膜厚で堆積した後、このZrO_2膜に対してＲＩＥを行ってゲート電極１３の側面にのみZrO_2膜からなる第１のサイドウォール１５を形成する。この時、下地膜のZrO_2膜１２も同時にエッチングしてすべて除去する。このようにす

ると、ゲート電極１３のエッジ下部ではエッチングにより膜減りしたＺｒO_2膜１２上に再びＺｒO_2膜が堆積されるので膜減りは解消される。また、ＺｒO_2膜１２の表面の損傷も再堆積によって回復される。したがって、ゲートバーズビークを形成した従来例と同様にして、高誘電体ゲート絶縁膜の耐圧不良や信頼性劣化を抑制できる。

【００４２】次に、図３（Ｃ）に示すように、ＣＶＤ法によりゲート電極１３上を覆うように耐酸化性膜になるＳｉ$_3N_4$膜を例えば５０～２００ｎｍ程度の膜厚で堆積した後、このＳｉ$_3N_4$膜に対してＲＩＥを行ってゲート電極１３の側壁に設けた第１のサイドウォール１５を覆うように第２のサイドウォール１６を形成する。このようにすると、ゲート電極１３の側壁はＳｉ$_3N_4$膜からなる第２のサイドウォール１６で覆われているので、この工程の後に酸化または酸素ガスを含む雰囲気での熱処理や絶縁膜の堆積を行っても、Ｓｉ界面に極薄のＳｉO_2膜が形成されることはない。また、ゲート電極１３の上面もＳｉ$_3N_4$膜からなるキャップ膜１８で覆われているので、ゲート電極１３を構成するポリＳｉ膜の粒界を通じた酸化種の拡散を防止するので、Ｓｉ界面に極薄のＳｉO_2膜が形成されることはない。したがって、高誘電体ゲート絶縁膜の場合に問題となる、極薄のＳｉO_2膜の形成による高い比誘電率の低下を防止することができる。

【００４３】次に、図３（Ｄ）に示すように、ゲート電極１３、キャップ膜１８、第１のサイドウォール１５および第２のサイドウォール１６をマスクに例えばヒ素をイオン注入してＳｉ基板１１の表面にn^+型のソース・ドレイン拡散層１７を形成する。最後に、周知の技術を用いて、図示していないがＳｉ基板１１上に層間絶縁膜、コンタクトホールおよび金属配線を順次形成して、第２の実施形態のＭＯＳＦＥＴが完成する。

【００４４】以上のように、第２の実施形態によると、ゲート電極１３を形成した後にその側壁にＺｒO_2膜からなる第１のサイドウォールが形成されるので、高誘電体ゲート絶縁膜の膜減りや損傷による耐圧不良や信頼性劣化を抑制できる。さらに、ゲート電極１３を覆うようにＳｉ$_3N_4$膜からなるキャップ膜１８と、第１のサイドウォール１５を覆うようにＳｉ$_3N_4$膜からなる第２のサイドウォール１６とが形成されるので、後の工程でＳｉ界面に極薄のＳｉO_2膜が形成されることはない。すなわち、高誘電体ゲート絶縁膜の高い比誘電率の低下を防止することができる。したがって、高誘電体ゲート絶縁膜の耐圧不良や信頼性劣化を抑制し、かつ高い比誘電率の低下を防止したＭＯＳＦＥＴとして機能する半導体装置およびその製造方法を実現することができる。

【００４５】なお、第１～第２の実施形態において、高誘電体ゲート絶縁膜にＺｒO_2膜を用いて説明したが、これに代えて他の高誘電体膜、例えばＨｆO_2膜、Ｔａ$_2O_5$膜またはＡｌ$_2O_3$膜を用いても本発明の効果が得られるのは言うまでもない。さらに、高誘電体ゲート絶縁膜に高誘電体とシリコンの３元系化合物からなるシリケート膜を用いても本発明の効果は得られる。

【００４６】また、高誘電体ゲート絶縁膜になるＺｒO_2膜をＺｒターゲットを用いた反応性スパッタリングを行って形成したが、これに代えてＺｒO_2ターゲットを用いたスパッタリングを行って形成しても良い。あるいは、Ｚｒの有機化合物、例えば$C_{16}H_{26}HfO_4$、$C_{16}H_{40}N_4Zr$等の液体ソースを用いたＣＶＤを行って形成しても良い。

【００４７】また、第１のサイドウォールに高誘電体ゲート絶縁膜と同じＺｒO_2膜を用いて説明したが、これに代えて他の誘電体膜、例えばＴＥＯＳ膜、ＢＰＳＧ膜またはＳｉＯＮ膜を用いても本発明の効果は得られる。

【００４８】さらに、ゲート電極にポリＳｉ膜を用いて説明したが、これに代えて他の導電性膜、例えばW膜、ＴｉＮ膜、ＷＳｉ$_2$膜等のメタルゲートまたはシリサイドゲートを用いても本発明の効果は得られる。あるいは、Ｗ／ＴｉＮ／ポリＳｉ膜、ＴｉＳｉ$_2$／ポリＳｉ膜等のポリメタルゲートを用いても本発明の効果は得られる。

【００４９】

【発明の効果】以上説明したように、本発明の半導体装置およびその製造方法によれば、ゲート電極を形成した後にその側壁に誘電体膜からなる第１のサイドウォールが形成されるので、高誘電体ゲート絶縁膜の膜減りや損傷による耐圧不良や信頼性劣化を抑制できる。さらに、第１のサイドウォールを覆うように耐酸化性膜からなる第２のサイドウォールが形成されるので、後の工程でＳｉ界面に極薄のＳｉO_2膜が形成されることはない。すなわち、高誘電体ゲート絶縁膜の高い比誘電率の低下を防止することができる。したがって、高誘電体ゲート絶縁膜の耐圧不良や信頼性劣化を抑制し、かつ高い比誘電率の低下を防止したＭＯＳＦＥＴとして機能する半導体装置およびその製造方法を実現することができる。

【図面の簡単な説明】

【図１】（Ａ）～（Ｄ）は本発明の第１の実施形態におけるｎ型のＭＯＳＦＥＴの製造工程を示す断面図

【図２】（Ａ）～（Ｄ）は本発明の第１の実施形態の変形例におけるｎ型のＭＯＳＦＥＴの製造工程を示す断面図

【図３】（Ａ）～（Ｄ）は本発明の第２の実施形態におけるｎ型のＭＯＳＦＥＴの製造工程を示す断面図

【図４】（Ａ）～（Ｄ）は従来のｎ型のＭＯＳＦＥＴの製造工程を示す断面図

【符号の説明】

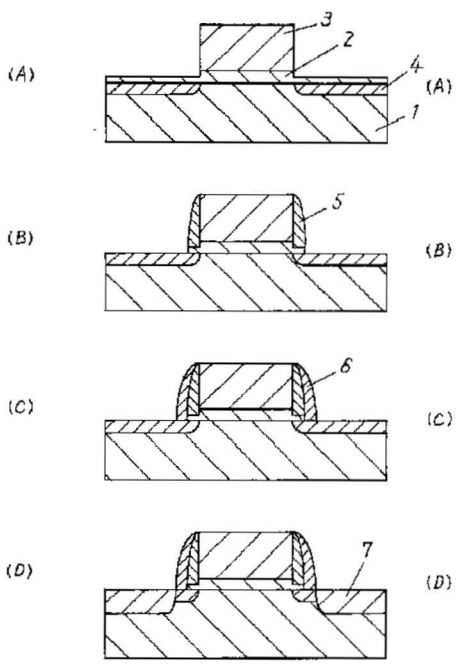
１、１１　ｐ型のＳｉ基板

２、１２　ＺｒO_2膜からなる高誘電体ゲート絶縁膜

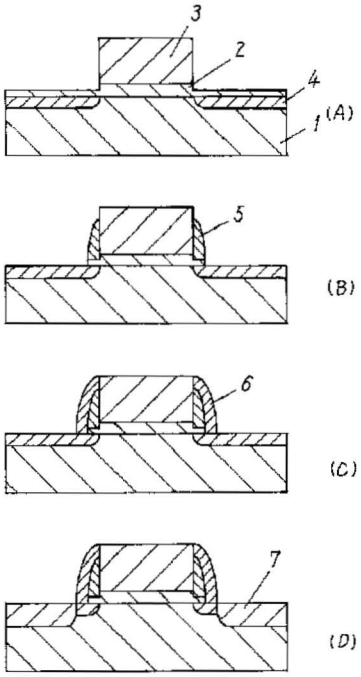
３、１３　ｎ型のポリＳｉ膜からなるゲート電極

４、１４　ｎ型のＬＤＤ拡散層
５、１５　ZrO_2膜（絶縁膜）からなる第１のサイドウォール
６、１６　Si_3N_4膜（耐酸化性膜）からなる第２のサイドウォール
７、１７　n^+型のソース・ドレイン拡散層
１８　Si_3N_4膜（耐酸化性膜）からなるキャップ膜

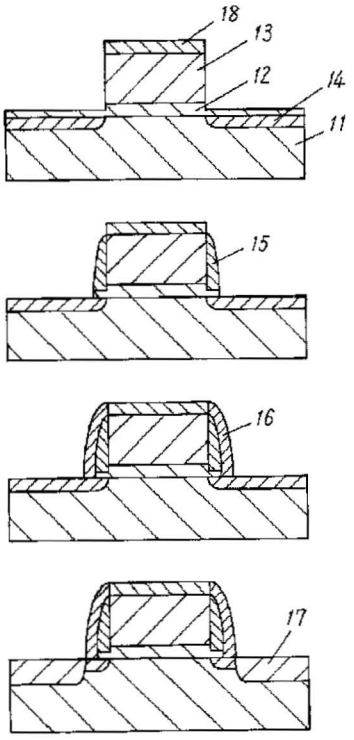
【図１】



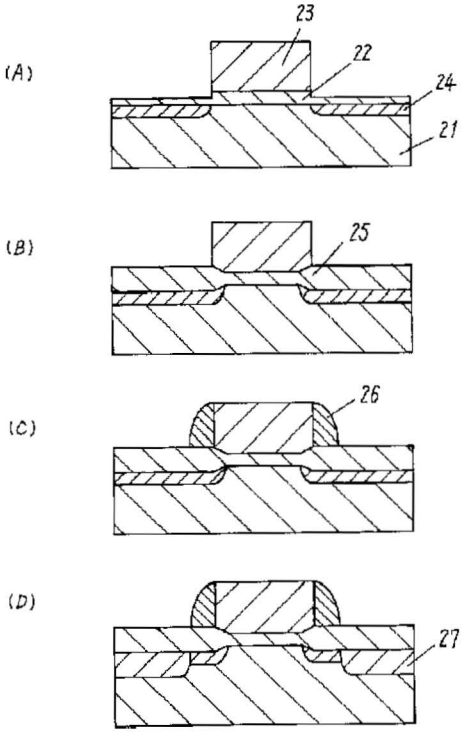
【図２】



【図３】



【図４】



フロントページの続き

Ｆターム(参考)　5F140 AA06 AA25 BA01 BA20 BD11
BE09 BE10 BF03 BF04 BF07
BF08 BF10 BF11 BF18 BF20
BF21 BF27 BG09 BG11 BG12
BG13 BG14 BG22 BG38 BG51
BG53 BH15 BK02 BK09 BK13