

[Document Name] Scope of patent claims

[Claim 1]

A semiconductor device having a first MIS transistor and a second MIS transistor of the same conductive type on the same semiconductor substrate,
wherein the first MIS transistor comprises a first gate insulating film formed on a first active region in the aforementioned semiconductor substrate and a first gate electrode formed on the first gate insulating film,
and the second MIS transistor comprises a second gate insulating film formed on a second active region in the aforementioned semiconductor substrate and a second gate electrode formed on the second gate insulating film,
the first gate insulating film includes a first interface layer in contact with the aforementioned semiconductor substrate and a first high dielectric constant insulating film formed on the first interface layer,
and the second gate insulating film includes a second interface layer in contact with the aforementioned semiconductor substrate and a second high dielectric constant insulating film formed on the second interface layer,
and the thickness of the first interface layer is greater than the thickness of the second interface layer in the semiconductor device.

[Claim 2]

The semiconductor device according to Claim 1,
wherein a first side wall spacer is formed via a first insulating spacer on the side surface of the first gate electrode,
a second side wall spacer is formed via a second insulating spacer on the side surface of the second gate electrode,
and the thickness of the first insulating spacer is thinner than the thickness of the second insulating spacer in the semiconductor device.

[Claim 3]

The semiconductor device according to Claim 2,
wherein the first insulating spacer has an offset spacer with an I-shaped cross-sectional shape, and the second insulating spacer is a base spacer with an L-shaped cross-sectional shape in the semiconductor device.

[Claim 4]

The semiconductor device according to Claim 2 or 3,
wherein the first gate electrode includes a first metal-containing film formed on the first high dielectric constant insulating film and a first silicon film formed on the first metal-containing film,
the second gate electrode includes a second metal-containing film formed on the second high dielectric constant insulating film and a second silicon film formed on the second metal-containing film,
a silicon oxide film is interposed between the first silicon film and the first insulating spacer,
and the second silicon film is in contact with the second insulating spacer in the semiconductor device.

[Claim 5]

The semiconductor device according to Claim 4,
wherein a first metal silicide layer is formed on the first silicon film,
and a second metal silicide layer is formed on the second silicon film in the semiconductor device.

[Claim 6]

The semiconductor device according to Claim 4 or 5,
wherein a silicon oxide film is also interposed between the first active region and the first side wall spacer in the semiconductor device.

[Claim 7]

The semiconductor device as described in any one of Claims 2 to 6, wherein the aforementioned first insulating spacer and the aforementioned second insulating spacer are made of a silicon nitride film.

[Claim 8]

The semiconductor device as described in any one of Claims 1 to 7, wherein the aforementioned first MIS transistor and the aforementioned second MIS transistor are pMIS transistors, and the aforementioned first high dielectric constant insulating film and the aforementioned second high dielectric constant insulating film contain aluminum.

[Claim 9]

The semiconductor device as described in Claim 8, wherein the aforementioned first gate insulating film further includes a first cap film containing aluminum formed on the aforementioned first high dielectric constant insulating film, and the aforementioned second gate insulating film further includes a second cap film containing aluminum formed on the aforementioned second high dielectric constant insulating film.

[Claim 10]

The semiconductor device as described in any one of Claims 1 to 7, wherein the aforementioned first MIS transistor and the aforementioned second MIS transistor are nMIS transistors, and the aforementioned first high dielectric constant insulating film and the aforementioned second high dielectric constant insulating film contain lanthanum.

[Claim 11]

The semiconductor device as described in Claim 10, wherein the aforementioned first gate insulating film further includes a first cap film containing lanthanum formed on the aforementioned first high dielectric constant insulating film, and the aforementioned second gate insulating film further includes a second cap film containing lanthanum formed on the aforementioned second high dielectric constant insulating film.

[Claim 12]

The semiconductor device as described in any one of Claims 1 to 11, wherein the aforementioned first high dielectric constant insulating film and the aforementioned second high dielectric constant insulating film contain hafnium or zirconium.

[Claim 13]

The semiconductor device as described in any one of Claims 1 to 12, wherein the aforementioned first interface layer and the aforementioned second interface layer are made of a silicon oxide film.

[Claim 14]

The semiconductor device as described in any one of Claims 1 to 13, wherein the thickness of the aforementioned first high dielectric constant insulating film is substantially the same as the thickness of the aforementioned second high dielectric constant insulating film.

[Claim 15]

The semiconductor device as described in any one of Claims 1 to 14, wherein the material of the aforementioned first gate electrode is substantially the same as the material of the aforementioned second gate electrode.

[Claim 16]

The semiconductor device as described in any one of Claims 1 to 15, wherein the effective work function of the aforementioned first MIS transistor is higher than the effective work function of the aforementioned second MIS transistor.

[Claim 17]

A method for manufacturing a semiconductor device with a first active region and a second active region on a semiconductor substrate, comprising

step (a) of sequentially forming an interface layer, a high dielectric constant insulating film, and a gate electrode material film on the substrate,

step (b) that is carried out by patterning the aforementioned gate electrode material film, the aforementioned high dielectric constant insulating film, and the aforementioned interface layer, to form a first gate electrode consisting of the gate electrode material film via a first gate insulating film containing the aforementioned interface layer and high dielectric constant insulating film on the aforementioned first active region, and to form a second gate electrode consisting of the gate electrode material film via a second gate insulating film containing the aforementioned interface layer and high dielectric constant insulating film on the aforementioned second active region,

and a step (c) after the aforementioned step (b) to selectively increase the thickness of the interface layer in the aforementioned first gate insulating film.

[Claim 18]

The method for manufacturing a semiconductor device as described in Claim 17,

wherein the aforementioned step (c) involves selectively etching the insulating film covering the aforementioned first gate electrode and the second gate electrode, then selectively etching the insulating film covering the aforementioned first gate electrode, followed by an oxidation process to increase the thickness of the interface layer in the aforementioned first gate insulating film.

[Claim 19]

The method for manufacturing a semiconductor device as described in Claim 18,

wherein the gate electrode material film includes a metal-containing film formed on the high dielectric constant insulating film and a silicon film formed on the metal-containing film,

and in step (c), a silicon oxide film is formed between the remaining insulating film on the sidewalls of the first gate electrode and the silicon film in the first gate electrode.

Notice of Reasons for Refusal

Patent Application Number: Patent Application 2010-205599
Date of Drafting: August 15, 2013
Patent Office Examiner: Tsutomu Udagawa 31255F00
Agent for the Patent Applicant: Maeda Patent Office (and 19 other persons)
Applicable Articles: Article 29, Paragraph 1; Article 29, Paragraph 2; Article 36

This application should be refused for the following reasons. If you have any opinions on this matter, please submit a written opinion within 60 days from the date of issuance of this notification.

Reasons

1. The invention related to the claims in this application falls under Article 29, Paragraph 1, Subparagraph 3 of the Patent Act, as it was disclosed in the following publications distributed in Japan or abroad before the filing of the application or made publicly available through an electronic communication network, hence rendering it ineligible for patent protection.
2. The invention related to the claims in this application falls under Article 29, Paragraph 2 of the Patent Act because a person with ordinary skill in this technical field to which the invention pertains could have easily made the invention based on the publications listed below that were distributed in Japan or abroad or made publicly available through an electronic communication network before the filing date of the application, therefore disqualifying it from receiving a patent.
3. This application fails to meet the requirements stipulated in Article 36, Paragraph 6, Subparagraph 2 of the Patent Act in terms of the Scope of patent claims.

Note (For References, please refer to the List of References):

Reasons: 1 and 2

About References 1 ~ 3 for Claims 1, 8, 10, 12 ~ 15

Remarks:

Please make sure to refer to the cited References 1 ~ 3 accordingly.

Reasons: 2

About Claims 9, 11, and 16:

References: 1 ~ 3

Remarks:

It is common knowledge to stack high dielectric constant insulating films.

Moreover, References 1 ~ 3 exemplify films containing La or Al as high dielectric constant insulating films and it is well known to use lanthanum-containing materials for the gate insulating film of nMOS transistors and aluminum-containing materials for the gate insulating film of pMOS transistors.

In addition, adjusting the threshold voltage with the work function of the gate electrode is a well-known technique. It is not particularly difficult to apply this well-known technique when integrating MOS transistors with different characteristics as shown in References 1 ~ 3.

Reasons: 3

- Claims 14 and 15 contain the term "substantially," which is vague and makes the scope of the invention unclear.

Regarding inventions related to Claims 2 ~ 7 and 17 ~ 19, no grounds for refusal have been found at this stage. If new reasons for refusal are discovered in the future, they will be communicated accordingly.

List of References:

1. Japanese Unexamined Patent Application Publication No. 2003-100896
2. Japanese Unexamined Patent Application Publication No. 2004-079606
3. Japanese Unexamined Patent Application Publication No. 2004-140197

For inquiries regarding the content of this notice of refusal or to request an interview, please contact:

Examiner: Device Process, Tsutomu Udagawa

TEL: 03 (3581)1101 ext. 3514-3516

FAX: 03 (3580)6907

Record of Existing Technology Document Search Results:

- Technical Field Investigated: IPC

H01L 27/088

H01L 27/092

H01L 21/8234

H01L 21/8238

- Existing Technology Documents

Japanese Unexamined Patent Application Publication No. H08 (1996)-306797

Japanese Unexamined Patent Application Publication No. 2004-534401

Japanese Unexamined Patent Application Publication No. H08 (1996)-255881

Japanese Unexamined Patent Application Publication No. 2005-536053

Japanese Unexamined Patent Application Publication No. 2010-161308

Japanese Unexamined Patent Application Publication No. 2010-157641

This record of existing technology document search results does not constitute grounds for refusal.

Director/Deputy	Chief Examiner/Deputy Examiner	Assistant	Examiner
	Iwamoto Tsutomu	Utagawa Tsutomu	
	9355	3125	

[Document Name] Procedural Written Amendment

[Reference No.] P59642201

[Recipient] Commissioner of the Japan Patent Office

[Event Information]

[Application Number] Patent Application 2010-205599

[Amending Party]

[Identification Number] 000005821

[Person Name or Company Name] Panasonic Corporation

[Agent]

[Identification Number] 110001427

[Person Name or Company Name] Maeda Patent Office

[Representative] Hiroshi Maeda

[Phone Number] 06-6125-2255

[Dispatch Number] 544732

[Procedure Amendment 1]

[Name of Document to be Amended] Detailed Explanation

[Name of Section to be Amended] Title of Invention

[Amendment Method] Change

[Amendment Content]

[Title of Invention] Semiconductor Device

[Procedure Amendment 2]

[Name of Document to be Amended] Scope of Patent Claims

[Name of Section to be Amended] Whole document

[Amendment Method] Change

[Amendment Content]

[Document Name] Scope of Patent Claims

[Claim 1]

A semiconductor device having a first MIS transistor and a second MIS transistor of the same conductive type on the same semiconductor substrate,
 wherein the first MIS transistor comprises a first gate insulating film formed on a first active region in the aforementioned semiconductor substrate and a first gate electrode formed on the first gate insulating film,
 and the second MIS transistor comprises a second gate insulating film formed on a second active region in the aforementioned semiconductor substrate and a second gate electrode formed on the second gate insulating film,
 the first gate insulating film includes a first interface layer in contact with the aforementioned semiconductor substrate and a first high dielectric constant insulating film formed on the first interface layer,
 and the second gate insulating film includes a second interface layer in contact with the aforementioned semiconductor substrate and a second high dielectric constant insulating film formed on the second interface layer,
 and the thickness of the first interface layer is greater than the thickness of the second interface layer in the semiconductor device,
a first side wall spacer is formed via a first insulating spacer on the side surface of the first gate electrode,
a second side wall spacer is formed via a second insulating spacer on the side surface of the second gate electrode,
and the thickness of the first insulating spacer is thinner than the thickness of the second insulating spacer in the semiconductor device.

[Claim 2]

The semiconductor device according to Claim 1,

wherein the first insulating spacer has an offset spacer with an I-shaped cross-sectional shape, and the second insulating spacer is a base spacer with an L-shaped cross-sectional shape in the semiconductor device.

[Claim 3]

The semiconductor device according to Claim 1 or 2,
wherein the first gate electrode includes a first metal-containing film formed on the first high dielectric constant insulating film and a first silicon film formed on the first metal-containing film,
the second gate electrode includes a second metal-containing film formed on the second high dielectric constant insulating film and a second silicon film formed on the second metal-containing film,
a silicon oxide film is interposed between the first silicon film and the first insulating spacer,
and the second silicon film is in contact with the second insulating spacer in the semiconductor device.

[Claim 4]

The semiconductor device according to Claim 3,
wherein a first metal silicide layer is formed on the first silicon film,
and a second metal silicide layer is formed on the second silicon film in the semiconductor device.

[Claim 5]

The semiconductor device according to Claim 3 or 4,
wherein a silicon oxide film is also interposed between the first active region and the first side wall spacer in the semiconductor device.

[Claim 6]

The semiconductor device as described in any one of Claims 1 to 5,
wherein the aforementioned first insulating spacer and the aforementioned second insulating spacer are made of a silicon nitride film.

[Claim 7]

The semiconductor device as described in any one of Claims 1 to 6,
wherein the aforementioned first MIS transistor and the aforementioned second MIS transistor are pMIS transistors,
and the aforementioned first high dielectric constant insulating film and the aforementioned second high dielectric constant insulating film contain aluminum.

[Claim 8]

The semiconductor device as described in Claim 7,
wherein the aforementioned first gate insulating film further includes a first cap film containing aluminum formed on the aforementioned first high dielectric constant insulating film,
and the aforementioned second gate insulating film further includes a second cap film containing aluminum formed on the aforementioned second high dielectric constant insulating film.

[Claim 9]

The semiconductor device as described in any one of Claims 1 to 6,
wherein the aforementioned first MIS transistor and the aforementioned second MIS transistor are nMIS transistors,
and the aforementioned first high dielectric constant insulating film and the aforementioned second high dielectric constant insulating film contain lanthanum.

[Claim 10]

The semiconductor device as described in Claim 9,
wherein the aforementioned first gate insulating film further includes a first cap film containing lanthanum formed on the aforementioned first high dielectric constant insulating film,
and the aforementioned second gate insulating film further includes a second cap film containing lanthanum formed on the aforementioned second high dielectric constant insulating film.

[Claim 11]

The semiconductor device as described in any one of Claims 1 to 10,
wherein the aforementioned first high dielectric constant insulating film and the aforementioned second high dielectric constant insulating film contain hafnium or zirconium.

[Claim 12]

The semiconductor device as described in any one of Claims 1 to 11, wherein the aforementioned first interface layer and the aforementioned second interface layer are made of a silicon oxide film.

[Claim 13]

The semiconductor device as described in any one of Claims 1 to 12, wherein the thickness of the first high dielectric constant insulating film is the same as the thickness of the second high dielectric constant insulating film.

[Claim 14]

The semiconductor device as described in any one of Claims 1 to 13, wherein the material of the first gate electrode is the same as the material of the second gate electrode.

[Claim 15]

The semiconductor device as described in any one of Claims 1 to 14, wherein the effective work function of the aforementioned first MIS transistor is higher than the effective work function of the aforementioned second MIS transistor.

[Document Name] Written Opinion
 [Reference No.] P59642201
 [Recipient] Patent Office Examiner: Tsutomu Udagawa
 [Event Information]
 [Application Number] Patent Application 2010-205599
 [Patent Applicant]
 [Identification Number] 000005821
 [Person Name or Company Name] Panasonic Corporation
 [Agent]
 [Identification Number] 110001427
 [Person Name or Company Name] Maeda Patent Office
 [Representative] Hiroshi Maeda
 [Phone Number] 06-6125-2255
 [Dispatch Number] 544732
 [Contents of Opinion]

1. Summary of reasons for refusal

Regarding this application, a refusal notice was issued on August 20, 2013, with the following reasons:

(Reason 1) The invention related to the claims in this application is disclosed in a publication distributed in Japan before the filing of this application as cited in the following reference documents, and therefore falls under Article 29, Paragraph 1, Subparagraph 3 of the Patent Act, making it ineligible for patent protection.

(Reason 2) The invention related to the claims in this application is based on an invention disclosed in a publication distributed in Japan before the filing of this application as cited in the following reference documents, and therefore, according to Article 29, Paragraph 2 of the Patent Act, could have been easily conceived by those skilled in this technical field before the filing of this application, making it ineligible for patent protection.

(Reason 3) This application does not meet the requirements stipulated in Article 36, Paragraph 6, Subparagraph 2 of the Patent Act regarding the description in the Scope of Patent Claims.

In other words, Claims 14 and 15 contain the term "substantial," which is considered ambiguous, leading to unclear delineation of the scope of the invention.

List of Reference Documents:

1. Japanese Unexamined Patent Application Publication No. 2003-100896
2. Japanese Unexamined Patent Application Publication No. 2004-079606
3. Japanese Unexamined Patent Application Publication No. 2004-140197

In addition, we have received notification stating: "As of now, no grounds for refusal have been found for the inventions relating to Claims 2 ~ 7, 17 ~ 19. If new grounds for refusal are discovered, they will be notified."

2. Reasons Why the Invention Should Be Granted a Patent

(1) Amendments and Explanations

In response to the above refusal reasons, we have made amendments as explained in the separate submission of the correction document.

First, we incorporated the content of former Claim 2 into former Claim 1 to create new Claim 1 after amendment.

As a result, former Claim 2 has been deleted, and former Claims 3 ~ 16 have been renumbered as new Claims 2 ~ 15.

In new Claims 13 and 14 corresponding to former Claims 14 and 15, the term "substantially" has been deleted.

Former Claims 17 ~ 19 have been deleted.

In addition, we have deleted the Claims related to the manufacturing method of the semiconductor device (former Claims 17 ~ 19) and retained only the Claims related to the semiconductor device, so we have amended the Title of Invention to "semiconductor device."

As explained above, the amendments made do not involve the addition of new subject matter.

(2) About resolution of reasons for refusal

As mentioned earlier, we have made amendments to delete the term "substantially" in new Claims 13 and 14 corresponding to former Claims 14 and 15. Therefore, we believe that Reason 3 for refusal has been addressed.

In addition, due to the aforementioned correction, we have combined the content of former Claim 2, about which at present no grounds for refusal have been found, with former Claim 1 to create new Claim 1. As a result, new Claim 1 is now a claim without grounds for refusal. In addition, since new Claims 2 ~ 15 all depend on new Claim 1, we believe that Reasons 1 and 2 for refusal have also been resolved for these claims.

Therefore, we consider that all new Claims 1 ~ 15 are now claims without grounds for refusal.

3. Conclusion

Based on the above explanation, we are confident that the reasons for refusal of this application have been addressed. We kindly request a re-examination based on the Procedural Written Amendment submitted concurrently and ask for your favorable decision to the effect that a patent is to be granted.

【書類名】 特許請求の範囲

【請求項 1】

同じ導電型の第 1 の M I S トランジスタ及び第 2 の M I S トランジスタを同じ半導体基板上に有する半導体装置であって、

前記第 1 の M I S トランジスタは、前記半導体基板における第 1 の活性領域上に形成された第 1 のゲート絶縁膜と、前記第 1 のゲート絶縁膜上に形成された第 1 のゲート電極とを備え、

前記第 2 の M I S トランジスタは、前記半導体基板における第 2 の活性領域上に形成された第 2 のゲート絶縁膜と、前記第 2 のゲート絶縁膜上に形成された第 2 のゲート電極とを備え、

前記第 1 のゲート絶縁膜は、前記半導体基板と接する第 1 の界面層と、前記第 1 の界面層上に形成された第 1 の高誘電率絶縁膜とを含み、

前記第 2 のゲート絶縁膜は、前記半導体基板と接する第 2 の界面層と、前記第 2 の界面層上に形成された第 2 の高誘電率絶縁膜とを含み、

前記第 1 の界面層の厚さは、前記第 2 の界面層の厚さよりも厚いことを特徴とする半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置において、

前記第 1 のゲート電極の側面上には第 1 の絶縁性スペーサを介して第 1 のサイドウォールスペーサが形成されており、

前記第 2 のゲート電極の側面上には第 2 の絶縁性スペーサを介して第 2 のサイドウォールスペーサが形成されており、

前記第 1 の絶縁性スペーサの厚さは、前記第 2 の絶縁性スペーサの厚さよりも薄いことを特徴とする半導体装置。

【請求項 3】

請求項 2 に記載の半導体装置において、

前記第 1 の絶縁性スペーサは、I 字状の断面形状を持つオフセットスペーサであり、

前記第 2 の絶縁性スペーサは、L 字状の断面形状を持つ下地スペーサであることを特徴とする半導体装置。

【請求項 4】

請求項 2 又は 3 に記載の半導体装置において、

前記第 1 のゲート電極は、前記第 1 の高誘電率絶縁膜上に形成された第 1 の金属含有膜と、前記第 1 の金属含有膜上に形成された第 1 のシリコン膜とを含み、

前記第 2 のゲート電極は、前記第 2 の高誘電率絶縁膜上に形成された第 2 の金属含有膜と、前記第 2 の金属含有膜上に形成された第 2 のシリコン膜とを含み、

前記第 1 のシリコン膜と前記第 1 の絶縁性スペーサとの間にはシリコン酸化膜が介在しており、

前記第 2 のシリコン膜と前記第 2 の絶縁性スペーサと接していることを特徴とする半導体装置。

【請求項 5】

請求項 4 に記載の半導体装置において、

前記第 1 のシリコン膜上には第 1 の金属シリサイド層が形成されており、

前記第 2 のシリコン膜上には第 2 の金属シリサイド層が形成されていることを特徴とする半導体装置。

【請求項 6】

請求項 4 又は 5 に記載の半導体装置において、

前記第 1 の活性領域と前記第 1 のサイドウォールスペーサとの間にもシリコン酸化膜が介在していることを特徴とする半導体装置。

【請求項 7】

請求項 2 ～ 6 のいずれか 1 項に記載の半導体装置において、

前記第1の絶縁性スペーサ及び前記第2の絶縁性スペーサはシリコン窒化膜からなることを特徴とする半導体装置。

【請求項8】

請求項1～7のいずれか1項に記載の半導体装置において、

前記第1のMISトランジスタ及び前記第2のMISトランジスタはpMISトランジスタであり、

前記第1の高誘電率絶縁膜及び前記第2の高誘電率絶縁膜はアルミニウムを含有することを特徴とする半導体装置。

【請求項9】

請求項8に記載の半導体装置において、

前記第1のゲート絶縁膜は、前記第1の高誘電率絶縁膜上に形成され且つアルミニウムを含有する第1のキャップ膜をさらに含み、

前記第2のゲート絶縁膜は、前記第2の高誘電率絶縁膜上に形成され且つアルミニウムを含有する第2のキャップ膜をさらに含むことを特徴とする半導体装置。

【請求項10】

請求項1～7のいずれか1項に記載の半導体装置において、

前記第1のMISトランジスタ及び前記第2のMISトランジスタはnMISトランジスタであり、

前記第1の高誘電率絶縁膜及び前記第2の高誘電率絶縁膜はランタンを含有することを特徴とする半導体装置。

【請求項11】

請求項10に記載の半導体装置において、

前記第1のゲート絶縁膜は、前記第1の高誘電率絶縁膜上に形成され且つランタンを含有する第1のキャップ膜をさらに含み、

前記第2のゲート絶縁膜は、前記第2の高誘電率絶縁膜上に形成され且つランタンを含有する第2のキャップ膜をさらに含むことを特徴とする半導体装置。

【請求項12】

請求項1～11のいずれか1項に記載の半導体装置において、

前記第1の高誘電率絶縁膜及び前記第2の高誘電率絶縁膜はハフニウム又はジルコニウムを含むことを特徴とする半導体装置。

【請求項13】

請求項1～12のいずれか1項に記載の半導体装置において、

前記第1の界面層及び前記第2の界面層はシリコン酸化膜からなることを特徴とする半導体装置。

【請求項14】

請求項1～13のいずれか1項に記載の半導体装置において、

前記第1の高誘電率絶縁膜の厚さと、前記第2の高誘電率絶縁膜の厚とは実質的に同じであることを特徴とする半導体装置。

【請求項15】

請求項1～14のいずれか1項に記載の半導体装置において、

前記第1のゲート電極の材料と、前記第2のゲート電極の材料とは実質的に同じであることを特徴とする半導体装置。

【請求項16】

請求項1～15のいずれか1項に記載の半導体装置において、

前記第1のMISトランジスタの実効仕事関数は、前記第2のMISトランジスタの実効仕事関数よりも高いことを特徴とする半導体装置。

【請求項17】

第1の活性領域及び第2の活性領域を有する半導体基板上に、界面層、高誘電率絶縁膜及びゲート電極材料膜を順次形成する工程(a)と、

前記ゲート電極材料膜、前記高誘電率絶縁膜及び前記界面層をパターンニングすることに

よって、前記第1の活性領域上に、前記界面層及び前記高誘電率絶縁膜を含む第1のゲート絶縁膜を介して、前記ゲート電極材料膜からなる第1のゲート電極を形成すると共に、前記第2の活性領域上に、前記界面層及び前記高誘電率絶縁膜を含む第2のゲート絶縁膜を介して、前記ゲート電極材料膜からなる第2のゲート電極を形成する工程（b）と、

前記工程（b）の後に、前記第1のゲート絶縁膜における前記界面層の厚さを選択的に厚くする工程（c）とを備えていることを特徴とする半導体装置の製造方法。

【請求項18】

請求項17に記載の半導体装置の製造方法において、

前記工程（c）は、前記第1のゲート電極及び前記第2のゲート電極を絶縁膜によって覆った後、前記第1のゲート電極を覆う前記絶縁膜に対して選択的にエッチングを行い、その後、酸化処理によって前記第1のゲート絶縁膜における前記界面層を厚くする工程を含むことを特徴とする半導体装置の製造方法。

【請求項19】

請求項18に記載の半導体装置の製造方法において、

前記ゲート電極材料膜は、前記高誘電率絶縁膜上に形成された金属含有膜と、前記金属含有膜上に形成されたシリコン膜とを含み、

前記工程（c）において、前記第1のゲート電極の側面上に残存する前記絶縁膜と、前記第1のゲート電極における前記シリコン膜との間に、シリコン酸化膜が形成されることを特徴とする半導体装置の製造方法。

拒絶理由通知書

特許出願の番号	特願 2 0 1 0 - 2 0 5 5 9 9
起案日	平成 2 5 年 8 月 1 5 日
特許庁審査官	宇多川 勉 3 1 2 5 5 F 0 0
特許出願人代理人	特許業務法人前田特許事務所（外 1 9 名） 様
適用条文	第 2 9 条第 1 項、第 2 9 条第 2 項、第 3 6 条

この出願は、次の理由によって拒絶をすべきものです。これについて意見がありましたら、この通知書の発送の日から 6 0 日以内に意見書を提出してください。

理 由

1. この出願の下記の請求項に係る発明は、その出願前に日本国内又は外国において、頒布された下記 of 刊行物に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明であるから、特許法第 2 9 条第 1 項第 3 号に該当し、特許を受けることができない。
2. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記 of 刊行物に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第 2 9 条第 2 項の規定により特許を受けることができない。
3. この出願は、特許請求の範囲の記載が下記の点で、特許法第 3 6 条第 6 項第 2 号に規定する要件を満たしていない。

記（引用文献等については引用文献等一覧参照）

理由 1、2

請求項 1、8、1 0、1 2 ～ 1 5 について

引用文献 1 ～ 3

備考

引用文献 1 ～ 3 をそれぞれ参照のこと。

理由 2

請求項 9、11、16 について

引用文献 1～3

備考

高誘電率絶縁膜を積層で形成することは周知技術に過ぎない。

なお、引用文献 1～3 には、高誘電率絶縁膜として La や Al を含む膜が例示されていると共に、nMOS トランジスタのゲート絶縁膜に適した材料としてランタン含有材料を用いること、及び、pMOS トランジスタのゲート絶縁膜に適した材料としてアルミニウム含有材料を用いることは公知である。

また、ゲート電極の仕事関数で閾値電圧を調整することは周知技術であり、引用文献 1～3 のように、異なる特性の MOS トランジスタを集積した際に当該周知技術を用いることに格別な困難性は認められない。

理由 3

・請求項 14、15 には、「実質的」との記載があるが、当該記載は曖昧な表現であるため発明の範囲が不明確である。

請求項 2～7、17～19 に係る発明については、現時点では、拒絶の理由を発見していない。拒絶の理由が新たに発見された場合には拒絶の理由が通知される。

引用文献等一覧

1. 特開 2003-100896 号公報
2. 特開 2004-079606 号公報
3. 特開 2004-140197 号公報

この拒絶理由通知の内容に関するお問い合わせ、または面接のご希望がございましたら下記までご連絡下さい。

審査第四部 デバイスプロセス 宇多川 勉

TEL. 03(3581)1101 内線 3514～3516

FAX. 03(3580)6907

先行技術文献調査結果の記録

・調査した技術分野 I P C

H 0 1 L 2 7 / 0 8 8

H 0 1 L 2 7 / 0 9 2

H 0 1 L 2 1 / 8 2 3 4

H 0 1 L 2 1 / 8 2 3 8

・先行技術文献

特開平08-306797号公報
特表2004-534401号公報
特開平08-255881号公報
特表2005-536053号公報
特開2010-161308号公報
特開2010-157641号公報

この先行技術文献調査結果の記録は、拒絶理由を構成するものではありません。

部長／代理	審査長／代理	審査官	審査官補
	岩本 勉	宇多川 勉	
	9 3 5 5	3 1 2 5	

【書類名】 手続補正書
 【整理番号】 P59642201
 【あて先】 特許庁長官 殿
 【事件の表示】
 【出願番号】 特願2010-205599
 【補正をする者】
 【識別番号】 000005821
 【氏名又は名称】 パナソニック株式会社
 【代理人】
 【識別番号】 110001427
 【氏名又は名称】 特許業務法人前田特許事務所
 【代表者】 前田 弘
 【電話番号】 06-6125-2255
 【発送番号】 544732
 【手続補正1】
 【補正対象書類名】 明細書
 【補正対象項目名】 発明の名称
 【補正方法】 変更
 【補正の内容】
 【発明の名称】 半導体装置

【手続補正2】
 【補正対象書類名】 特許請求の範囲
 【補正対象項目名】 全文
 【補正方法】 変更
 【補正の内容】
 【書類名】 特許請求の範囲
 【請求項1】

同じ導電型の第1のMISトランジスタ及び第2のMISトランジスタを同じ半導体基板上に有する半導体装置であって、

前記第1のMISトランジスタは、前記半導体基板における第1の活性領域上に形成された第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に形成された第1のゲート電極とを備え、

前記第2のMISトランジスタは、前記半導体基板における第2の活性領域上に形成された第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に形成された第2のゲート電極とを備え、

前記第1のゲート絶縁膜は、前記半導体基板と接する第1の界面層と、前記第1の界面層上に形成された第1の高誘電率絶縁膜とを含み、

前記第2のゲート絶縁膜は、前記半導体基板と接する第2の界面層と、前記第2の界面層上に形成された第2の高誘電率絶縁膜とを含み、

前記第1の界面層の厚さは、前記第2の界面層の厚さよりも厚く、

前記第1のゲート電極の側面上には第1の絶縁性スペーサを介して第1のサイドウォールスペーサが形成されており、

前記第2のゲート電極の側面上には第2の絶縁性スペーサを介して第2のサイドウォールスペーサが形成されており、

前記第1の絶縁性スペーサの厚さは、前記第2の絶縁性スペーサの厚さよりも薄いことを特徴とする半導体装置。

【請求項2】

請求項1に記載の半導体装置において、

前記第1の絶縁性スペーサは、I字状の断面形状を持つオフセットスペーサであり、

前記第 2 の絶縁性スペーサは、L 字状の断面形状を持つ下地スペーサであることを特徴とする半導体装置。

【請求項 3】

請求項 1 又は 2 に記載の半導体装置において、

前記第 1 のゲート電極は、前記第 1 の高誘電率絶縁膜上に形成された第 1 の金属含有膜と、前記第 1 の金属含有膜上に形成された第 1 のシリコン膜とを含み、

前記第 2 のゲート電極は、前記第 2 の高誘電率絶縁膜上に形成された第 2 の金属含有膜と、前記第 2 の金属含有膜上に形成された第 2 のシリコン膜とを含み、

前記第 1 のシリコン膜と前記第 1 の絶縁性スペーサとの間にはシリコン酸化膜が介在しており、

前記第 2 のシリコン膜と前記第 2 の絶縁性スペーサと接していることを特徴とする半導体装置。

【請求項 4】

請求項 3 に記載の半導体装置において、

前記第 1 のシリコン膜上には第 1 の金属シリサイド層が形成されており、

前記第 2 のシリコン膜上には第 2 の金属シリサイド層が形成されていることを特徴とする半導体装置。

【請求項 5】

請求項 3 又は 4 に記載の半導体装置において、

前記第 1 の活性領域と前記第 1 のサイドウォールスペーサとの間にもシリコン酸化膜が介在していることを特徴とする半導体装置。

【請求項 6】

請求項 1 ～ 5 のいずれか 1 項に記載の半導体装置において、

前記第 1 の絶縁性スペーサ及び前記第 2 の絶縁性スペーサはシリコン窒化膜からなることを特徴とする半導体装置。

【請求項 7】

請求項 1 ～ 6 のいずれか 1 項に記載の半導体装置において、

前記第 1 の M I S トランジスタ及び前記第 2 の M I S トランジスタは p M I S トランジスタであり、

前記第 1 の高誘電率絶縁膜及び前記第 2 の高誘電率絶縁膜はアルミニウムを含有することを特徴とする半導体装置。

【請求項 8】

請求項 7 に記載の半導体装置において、

前記第 1 のゲート絶縁膜は、前記第 1 の高誘電率絶縁膜上に形成され且つアルミニウムを含有する第 1 のキャップ膜をさらに含み、

前記第 2 のゲート絶縁膜は、前記第 2 の高誘電率絶縁膜上に形成され且つアルミニウムを含有する第 2 のキャップ膜をさらに含むことを特徴とする半導体装置。

【請求項 9】

請求項 1 ～ 6 のいずれか 1 項に記載の半導体装置において、

前記第 1 の M I S トランジスタ及び前記第 2 の M I S トランジスタは n M I S トランジスタであり、

前記第 1 の高誘電率絶縁膜及び前記第 2 の高誘電率絶縁膜はランタンを含有することを特徴とする半導体装置。

【請求項 10】

請求項 9 に記載の半導体装置において、

前記第 1 のゲート絶縁膜は、前記第 1 の高誘電率絶縁膜上に形成され且つランタンを含有する第 1 のキャップ膜をさらに含み、

前記第 2 のゲート絶縁膜は、前記第 2 の高誘電率絶縁膜上に形成され且つランタンを含有する第 2 のキャップ膜をさらに含むことを特徴とする半導体装置。

【請求項 11】

請求項 1 ～ 1 0 のいずれか 1 項に記載の半導体装置において、
前記第 1 の高誘電率絶縁膜及び前記第 2 の高誘電率絶縁膜はハフニウム又はジルコニウムを含むことを特徴とする半導体装置。

【請求項 1 2】

請求項 1 ～ 1 1 のいずれか 1 項に記載の半導体装置において、
前記第 1 の界面層及び前記第 2 の界面層はシリコン酸化膜からなることを特徴とする半導体装置。

【請求項 1 3】

請求項 1 ～ 1 2 のいずれか 1 項に記載の半導体装置において、
前記第 1 の高誘電率絶縁膜の厚さと、前記第 2 の高誘電率絶縁膜の厚さとは同じであることを特徴とする半導体装置。

【請求項 1 4】

請求項 1 ～ 1 3 のいずれか 1 項に記載の半導体装置において、
前記第 1 のゲート電極の材料と、前記第 2 のゲート電極の材料とは同じであることを特徴とする半導体装置。

【請求項 1 5】

請求項 1 ～ 1 4 のいずれか 1 項に記載の半導体装置において、
前記第 1 の M I S トランジスタの実効仕事関数は、前記第 2 の M I S トランジスタの実効仕事関数よりも高いことを特徴とする半導体装置。

【書類名】 意見書
 【整理番号】 P59642201
 【あて先】 特許庁審査官 宇多川 勉 殿
 【事件の表示】
 【出願番号】 特願2010-205599
 【特許出願人】
 【識別番号】 000005821
 【氏名又は名称】 パナソニック株式会社
 【代理人】
 【識別番号】 110001427
 【氏名又は名称】 特許業務法人前田特許事務所
 【代表者】 前田 弘
 【電話番号】 06-6125-2255
 【発送番号】 544732
 【意見の内容】

1. 拒絶理由の要旨

本願に対し、平成25年8月20日（発送日）付けにて、以下の旨の拒絶理由通知がありました。

（理由1）この出願の請求項に係る発明は、その出願前に日本国内において頒布された刊行物である下記の引用文献に記載された発明であるから、特許法第29条第1項第3号に該当し、特許を受けることができない。

（理由2）この出願の請求項に係る発明は、その出願前に日本国内において頒布された刊行物である下記の引用文献に記載された発明に基いて、その出願前に当業者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

（理由3）3. この出願は、特許請求の範囲の記載が、特許法第36条第6項第2号に規定する要件を満たしていない。

つまり、請求項14、15には「実質的」との記載があるが、当該記載は曖昧な表現であるため発明の範囲が不明確である。

引用文献等一覧

1. 特開2003-100896号公報
2. 特開2004-079606号公報
3. 特開2004-140197号公報

また、「請求項2～7、17～19に係る発明については、現時点では、拒絶の理由を発見していない。拒絶の理由が新たに発見された場合には拒絶の理由が通知される。」との通知も頂いております。

2. 本願発明が特許されるべき理由

（1）補正とその説明

前記の拒絶理由に対し、別途提出の補正書によって、以下に説明する補正を行ないました。

まず、補正前の請求項（旧請求項）1に、旧請求項2の内容を加えて、補正後の請求項（新請求項）1としました。

これに伴い、旧請求項2は削除すると共に、旧請求項3～16を新請求項2～15に繰り上げました。

旧請求項14及び15に対応する新請求項13及び14において、「実質的に」を削除

しました。

旧請求項 1 7 ～ 1 9 を削除しました。

また、半導体装置の製造方法に関する請求項（旧請求項 1 7 ～ 1 9）を削除し、半導体装置に関する請求項だけが残っていますので、発明の名称を「半導体装置」に補正しました。

以上の通り、今般の補正は新規事項の追加に該当するものではありません。

（２）拒絶理由の解消について

前記の通り、旧請求項 1 4 及び 1 5 に対応する新請求項 1 3 及び 1 4 において、「実質的に」を削除する補正を行いましたので、拒絶理由 3 は解消したものと思料いたします。

また、前記の補正により、現時点では拒絶理由が発見されていない旧請求項 2 の内容を旧請求項 1 に加えて新請求項 1 としましたので、新請求項 1 は拒絶理由の無い請求項となりました。更に、他の新請求項 2 ～ 1 5 については、いずれも新請求項 1 を引用する従属請求項ですので、これらの請求項についても拒絶理由の 1 及び 2 は解消したものと思料いたします。

以上の通り、新請求項 1 ～ 1 5 の全てについて、拒絶理由のない請求項となったものと思料いたします。

3. むすび

以上のとおり、本願に対する拒絶の理由は解消されたものと確信いたします。つきましては、同時提出の手續補正書に基づいて再度ご審査をいただき、特許査定を賜りますようお願い申し上げます。

CERTIFICATE OF TRANSLATION ACCURACY

April 3, 2025

I, the undersigned, Steve Ni, hereby certify:

I am a professional translator. I work as an independent contractor. I was contracted by Divergent Language Solutions, LLC to provide document translation from Japanese into English for this matter.

I am fluent in both Japanese and English. My qualifications include 15 years of full-time professional translation experience from Japanese into English.

I am familiar and competent with both the Japanese and English languages. I have received and reviewed the following Japanese-language documents and provided English-language translations:

- 779_JP_Claims.pdf;
- 779_JP_Notice_of_Reasons_for_Refusal.pdf;
- 779_JP_Written_Amendment.pdf;
- 779_JP_Written_Opinion.pdf;

The Japanese-language and English-language versions of these documents are submitted as TSMC-1030.

I hereby attest that the above-referenced English translations are complete and accurate renditions of the Japanese originals to the best of my knowledge and belief.

I declare under penalty of perjury under the laws of the United States of America that the foregoing is true and correct. Executed on April 3, 2025.



Steve Ni

