UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
13/294,727	11/11/2011	Tomohiro FUJITA	085393-0709	6315

53080 7590 08/07/2013

McDermott Will and Emery LLP
The McDermott Building
500 North Capitol Street, N.W.
WASHINGTON, DC 20001

EXAMINER	
AHMED, SHAHED	

ART UNIT	PAPER NUMBER
2823	

NOTIFICATION DATE	DELIVERY MODE
08/07/2013	ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

mweipdocket@mwe.com

Notice of Abandonment	Application No.	Applicant(s)
	13/294,727	FUJITA ET AL.
	Examiner	Art Unit
	SHAHED AHMED	2823

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

This application is abandoned in view of:

1. ☒ Applicant's failure to timely file a proper reply to the Office letter mailed on *02 January 2013*.
   (a) ☐ A reply was received on _____ (with a Certificate of Mailing or Transmission dated _____), which is after the expiration of the period for reply (including a total extension of time of _____ month(s)) which expired on _____.
   (b) ☐ A proposed reply was received on _____, but it does not constitute a proper reply under 37 CFR 1.113 (a) to the final rejection. (A proper reply under 37 CFR 1.113 to a final rejection consists only of: (1) a timely filed amendment which places the application in condition for allowance; (2) a timely filed Notice of Appeal (with appeal fee); or (3) a timely filed Request for Continued Examination (RCE) in compliance with 37 CFR 1.114).
   (c) ☐ A reply was received on _____ but it does not constitute a proper reply, or a bona fide attempt at a proper reply, to the non-final rejection. See 37 CFR 1.85(a) and 1.111. (See explanation in box 7 below).
   (d) ☒ No reply has been received.

2. ☐ Applicant's failure to timely pay the required issue fee and publication fee, if applicable, within the statutory period of three months from the mailing date of the Notice of Allowance (PTOL-85).
   (a) ☐ The issue fee and publication fee, if applicable, was received on _____ (with a Certificate of Mailing or Transmission dated _____), which is after the expiration of the statutory period for payment of the issue fee (and publication fee) set in the Notice of Allowance (PTOL-85).
   (b) ☐ The submitted fee of $_____ is insufficient. A balance of $_____ is due.
   The issue fee required by 37 CFR 1.18 is $_____. The publication fee, if required by 37 CFR 1.18(d), is $_____.
   (c) ☐ The issue fee and publication fee, if applicable, has not been received.

3. ☐ Applicant's failure to timely file corrected drawings as required by, and within the three-month period set in, the Notice of Allowability (PTO-37).
   (a) ☐ Proposed corrected drawings were received on _____ (with a Certificate of Mailing or Transmission dated _____), which is after the expiration of the period for reply.
   (b) ☐ No corrected drawings have been received.

4. ☐ The letter of express abandonment which is signed by the attorney or agent of record, the assignee of the entire interest, or all of the applicants.

5. ☐ The letter of express abandonment which is signed by an attorney or agent (acting in a representative capacity under 37 CFR 1.34(a)) upon the filing of a continuing application.

6. ☐ The decision by the Board of Patent Appeals and Interference rendered on _____ and because the period for seeking court review of the decision has expired and there are no allowed claims.

7. ☒ The reason(s) below:

This application is abandoned in view of applicant's failure to submit a reply to the Office Action mailed on 01/02/2013 within the required period for reply.

/Jarrett J Stark/
Primary Examiner, Art Unit 2823

Petitions to revive under 37 CFR 1.137(a) or (b), or requests to withdraw the holding of abandonment under 37 CFR 1.181, should be promptly filed to minimize any negative effects on patent term.

PTO/SB/122 (11-08)
Approved for use through 11/30/2011. OMB 0651-0035
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

CHANGE OF CORRESPONDENCE ADDRESS ***Application***		
Address to: Commissioner for Patents P.O. Box 1450 Alexandria, VA 22313-1450	Application Number	13/294,727-Conf. #6315
	Filing Date	November 11, 2011
	First Named Inventor	Tomohiro FUJITA
	Art Unit	4113
	Examiner Name	S. Ahmed
	Attorney Docket No.	085393-0709

Please change the Correspondence Address for the above-identified application to:

[X] The address associated with Customer Number: 53080

OR

[ ] Firm or Individual Name					
Address					
City		State		Zip	
Country					
Telephone		Email			

This form cannot be used to change the data associated with a Customer Number. To change the data associated with an existing Customer Number use "Request for Customer Number Data Change" (PTO/SB/124).

I am the:

[ ] Applicant/Inventor

[ ] Assignee of record of the entire interest.
Statement under 37 CFR 3.73(b) is enclosed. (Form PTO/SB/96).

[X] Attorney or agent of record. Registration Number 36,139 .

[ ] Registered practitioner named in the application transmittal letter in an application without an executed oath or declaration. See 37 CFR 1.33(a)(1). Registration Number _____ .

Signature			
Typed or Printed Name	Michael E. Fogarty		
Date	February 1, 2013	Telephone	(202) 756-8372

NOTE: Signatures of all the inventors or assignees of record of the entire interest or their representative(s) are required. Submit multiple forms if more than one signature is required, see below*.

[ ] *Total of 1 forms are submitted.

Electronic Acknowledgement Receipt	
EFS ID:	14857932
Application Number:	13294727
International Application Number:	
Confirmation Number:	6315
Title of Invention:	SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME
First Named Inventor/Applicant Name:	Tomohiro FUJITA
Correspondence Address:	McDERMOTT WILL & EMERY LLP - 600 13th Street, N.W. - Washington DC 20005-3096 US 2027568000 -
Filer:	Michael E. Fogarty/Tawana Lefeged
Filer Authorized By:	Michael E. Fogarty
Attorney Docket Number:	085393-0709
Receipt Date:	01-FEB-2013
Filing Date:	11-NOV-2011
Time Stamp:	17:22:16
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Change of Address	P05557001_ChgOfCorrAddress_085393-0709.pdf	39566 c51071a5da5c5610bc078e2780ac648c7fdc4609	no	1
Warnings:					
Information:					
		Total Files Size (in bytes):	39566		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
13/294,727	11/11/2011	Tomohiro FUJITA	085393-0709	6315

7590 01/02/2013

McDERMOTT WILL & EMERY LLP
600 13th Street, N.W.
Washington, DC 20005-3096

EXAMINER	
AHMED, SHAHED	
ART UNIT	PAPER NUMBER
4113	
MAIL DATE	DELIVERY MODE
01/02/2013	PAPER

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

PTOL-90A (Rev. 04/07)

Office Action Summary	Application No.	Applicant(s)	
	13/294,727	FUJITA ET AL.	
	Examiner	Art Unit	
	SHAHED AHMED	4113	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 3 MONTH(S) OR THIRTY (30) DAYS, WHICHEVER IS LONGER, FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

1)☒ Responsive to communication(s) filed on *11 November 2011*.

2a)☐ This action is **FINAL**. 2b)☒ This action is non-final.

3)☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.

4)☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims

5)☒ Claim(s) *1-15* is/are pending in the application.

5a) Of the above claim(s) _____ is/are withdrawn from consideration.

6)☐ Claim(s) _____ is/are allowed.

7)☒ Claim(s) *1-15* is/are rejected.

8)☐ Claim(s) _____ is/are objected to.

9)☐ Claim(s) _____ are subject to restriction and/or election requirement.

* If any claims have been determined allowable, you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see http://www.uspto.gov/patents/init_events/pph/index.jsp or send an inquiry to PPHfeedback@uspto.gov.

Application Papers

10)☐ The specification is objected to by the Examiner.

11)☒ The drawing(s) filed on *11/11/2011* is/are: a)☒ accepted or b)☐ objected to by the Examiner.

Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).

Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).

Priority under 35 U.S.C. § 119

12)☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

a)☒ All b)☐ Some * c)☐ None of:

1.☐ Certified copies of the priority documents have been received.

2.☒ Certified copies of the priority documents have been received in Application No. _____.

3.☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

* See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

1) ☒ Notice of References Cited (PTO-892)

2) ☒ Information Disclosure Statement(s) (PTO/SB/08) Paper No(s)/Mail Date *06/25/2012, 05/11/2012, 11/11/2011*.

3) ☐ Interview Summary (PTO-413) Paper No(s)/Mail Date. _____ .

4) ☐ Other: _____.

DETAILED ACTION

This action is responsive to application No.13/294727 filed on 11/11/2011.

Information Disclosure Statement

Acknowledgment is made of Applicant's Information Disclosure Statement (IDS) form PTO-1449. These IDS has been considered.

Priority

Receipt is acknowledged of papers submitted under 35 U.S.C. 119(a)-(d), which papers have been placed of record in the file.

Claim Objections

Claim 3 is objected to because it contains the limitation "a side surface of the first gate insulating film" on line 3. This limitation has been claimed previously to this instance and thus lacks proper antecedent basis. To avoid any ambiguity, the word "a" should be changed to "the". Appropriate correction is required.

Claim Rejections - 35 USC § 112

The following is a quotation of 35 U.S.C. 112(b):

(B) CONCLUSION.—The specification shall conclude with one or more claims particularly pointing out and distinctly claiming the subject matter which the inventor or a joint inventor regards as the invention.

The following is a quotation of 35 U.S.C. 112 (pre-AIA), second paragraph:

The specification shall conclude with one or more claims particularly pointing out and distinctly claiming the subject matter which the applicant regards as his invention.

Claims 1, 5, and 8 are rejected under 35 U.S.C. 112(b) or 35 U.S.C. 112 (pre-AIA), second paragraph, as being indefinite for failing to particularly point out

and distinctly claim the subject matter which the inventor or a joint inventor, or for pre-AIA the applicant regards as the invention.

Claims 1 and 5 recites the limitation "a metal material" in line10 of Claim 1 and line 6 of claim 5. This limitation has been claimed previously to this instance and thus lacks proper antecedent basis. The metes and bounds of the claimed limitations cannot be determined for the following reasons: It is unclear if "a metal material" is the same or of different material as stated in line 7 of claim 1.

If the language of a claim, considered as a whole in light of the specification and given its broadest reasonable interpretation, is such that a person of ordinary skill in the relevant art would read it with more than one reasonable interpretation, then a rejection of the claims under 35 U.S.C. 112, second paragraph, is appropriate.

Claims 1 and 8 recites the limitation "an inner side" in line11 of claim 1 and line 2 of claim 8. The metes and bounds of the claimed limitation cannot be determined for the following reasons: It is unclear what the term "inner side" refers to in the said claim and has not been defined in the specification.

In light of the aforementioned rejections of the claim(s) under 35 U.S.C. 112, any subsequent rejections under 35 U.S.C. 102 and/or 103 are based on prior art that reads on the interpretation of the claim language of the instant application as best understood by the examiner.

Claim Rejections - 35 USC § 103

The following is a quotation of 35 U.S.C. 103(a) which forms the basis for all obviousness rejections set forth in this Office action:

> (a) A patent may not be obtained though the invention is not identically disclosed or described as set forth in section 102 of this title, if the differences between the subject matter sought to be patented and the prior art are such that the subject matter as a whole would have been obvious at the time the invention was made to a person having ordinary skill in the art to which said subject matter pertains. Patentability shall not be negatived by the manner in which the invention was made.

Claim 1 is rejected under 35 U.S.C. 102(e) as being unpatentable over US Pat 7863127 (Mise et al.) in view of US Pat 2007/0018238 (Ono).

Regarding independent claim 1, Mise et al. teach a semiconductor device comprising

a substrate (Fig. 3, element 1S, Col. 11, lines 63-65) including a first active region (Fig. 8, PWL region, Col. 19, lines 4-7) and a second active region (Fig. 8, NWL region, Col. 19, lines 4-7);

an NMIS transistor provided on the first active region (Fig. 3, left MISFET discloses n- channel MISFET, Col. 11, lines 58-59); and

a PMIS transistor provided on the second active region (Fig. 3, right MISFET discloses p-channel MISFET, Col. 11, 58-60) , wherein

the NMIS transistor includes a first gate insulating film (Fig. 3, left MISFET with element GOX1, Col. 11, lines 65-67) provided on the first active region and containing a high-k dielectric (Col. 13, lines 41-44) and a first gate electrode provided on the first gate insulating film and containing a metal material (Fig. 3, left MISFET with element G1, Col. 12, lines 3-6),

the PMIS transistor includes a second gate insulating film (Fig. 3, right MISFET with element GOX2, Col. 12, lines 32-36) provided on the second active region and containing a high-k dielectric (Col. 13, lines 41-44) and a second gate electrode provided on the second gate insulating film and containing a metal material (Fig. 3, right MISFET with element G2, Col. 12, lines 36-43),

a side surface of the first gate insulating film is located at an inner side of a side surface of the first gate electrode (Fig. 3, left MISFET with element GOX1 is insulating film, left MISFET with element G1 is gate electrode, Col. 36, lines 16-21, Fig. 3 discloses the side surface of GOX1 located at the inner side which is directed towards the substrate of a side surface of G1)

Mise et al. are silent with respect to the provision of a ratio of a length of the first gate insulating film along a gate length direction to a length of the first gate electrode along the gate length direction is lower than a ratio of a length of the second gate insulating film along the gate length direction to a length of the second gate electrode .

Ono teach a semiconductor device where the gate insulator length is shorter than the gate electrode (Page 11, paragraph 0136, as a result a ratio of a length of the first gate insulating film along a gate length direction to a length of the first gate electrode along the gate length direction is lower than a ratio of a length of the second gate insulating film along the gate length direction to a length of the second gate electrode).

It would have been obvious to one of ordinary skill in the art at the time of the invention to apply the teachings of Ono to the teachings of Mise et al.

(replacing the gate first structure in the n-channel MISFET area of Mise with the gate structure of Ono) with the motivation being to realize the largest current driving force in the Schottky-type-field-effect transistor (Page 3, paragraph 0051).

Regarding claim 2, Mise et al. teach

wherein the NMIS transistor further includes an n-type first extension region (Fig. 3, left MISFET element 12 with shallow depth is an extension of element 15, Col. 12, lines 14-20) formed in a part of the first active region located at each side of the first gate electrode,

the PMIS transistor further includes a p-type second extension region formed in a part of the second active region located at each side of the second gate electrode (Fig. 3, right MISFET element 13 with shallow depth is an extension of element 16, Col. 12, lines 50-55), and

an end of the first extension region coincides with an end of the first gate insulating film or is at a position situated nearer a middle of the first gate electrode in relation to the end of the first gate insulating film (element 12 where the side in the direction of the gate structure coincides with the outer end of the gate insulating film GOX1 in the direction of the sidewall (element 14)).

Regarding claim 3, Mise et al. teach

wherein the NMIS transistor further includes a first offset spacer of silicon nitride provided on a side surface of the first gate electrode and a side surface of the first gate insulating film (Fig. 3, left MISFET element 14, Col. 12, lines 9-13), and

the PMIS transistor further includes a second offset spacer of silicon nitride provided on a side surface of the second gate electrode and a side surface of the second gate insulating film (Fig. 3, right MISFET element 14, Col. 12, lines 47-49).

Regarding claim 4, Mise et al. teach wherein the first gate insulating film contains lanthanum (Col. 25, lines 38-45), and the second gate insulating film contains aluminium (Col. 13, line 66).

Regarding claim 6, Mise et al. teach wherein an end of the second gate insulating film is doped with a larger amount of fixed charge (Col. 26, lines 7-9) than an end of the first gate insulating film (Col. 25, lines 28-29).

Regarding claim 7, Mise et al. teach wherein a side surface of the second gate insulating film is flush with a side surface of the second gate electrode (Fig. 3, right MISFET element G0X2 is second gate insulating film and element G2 is second gate electrode, Col. 11, lines 58-67, Col. 12, lines 1-3, Fig. 3 discloses side surface of GOX2 even with the side surface of G2).

Regarding claim 8, Mise et al. teach wherein a side surface of the second gate insulating film is located at an inner side of a side surface of the second gate electrode (Fig. 3, right MISFET element G0X2 is second gate insulating film and element G2 is second gate electrode, Col. 11, lines 58-67, Col. 12, lines 1-3, Fig. 3 discloses the side surface of GOX2 located at the inner side which is directed towards the substrate of a side surface of G2).

Regarding claim 10, Mise et al. teach wherein the high-k dielectric has a relative dielectric constant higher than that of Si3N4 (Col. 13, lines 41-44).

Regarding claim 13, Mise et al. teach wherein the metal material is made of titanium nitride (Col. 12, lines 3-5).

Regarding claim 15, Mise et al. teach

a first offset spacer provided on a side surface of the first gate electrode (Fig. 3, left MISFET element 14, Col. 12, lines 9-13);

and a second offset spacer provided on a side surface of the second gate electrode (Fig. 3, right MISFET element 14, Col. 12, lines 47-49), wherein

the second offset spacer is not located under an end of the second gate electrode (Fig. 3, right MISFET element 14, Col. 12, lines 47-49).

Mise et al. are silent on the provision of a part of the first offset spacer is located under an end of the first gate electrode

Ono et al .teach gate sidewall is located under an end of the first gate electrode ((Fig. 23, Page 12, paragraph 0152).

It would have been obvious to one of ordinary skill in the art at the time of the invention to apply the teachings of Ono to the teachings of Mise et al. with the motivation being that a large current driving force is obtained, a load capacitance is reduced, and higher speed operation is realized (Page 12, paragraph 0153).

Claim 5 is rejected under 35 U.S.C. 103(a) as being unpatentable over US Pat 7863127 (Mise et al.) in view of US Pat 2007/0018238 (Ono) and further in view of US Pat 7615830 (Lim et al.).

Regarding claim 5, the combination of Mise et al. and Ono teach all of the limitations of claim 1 from which this claim depends.

Mise et al. teach wherein the first gate electrode includes a first lower gate electrode provided on the first gate insulating film and made of a metal or a metal compound (Col. 12, lines 3-6), and

the second gate electrode includes a second lower gate electrode provided on the second gate insulating film and made of a metal or a metal compound (Col. 12, lines 40-43).

The combination of Mise et al. and Ono are silent with respect to the provision of wherein the first gate electrode includes a first lower gate electrode provided on the first gate insulating film and made of a metal or a metal compound and a first upper gate electrode provided on the first lower gate electrode and made of polysilicon and the second gate electrode includes a second lower gate electrode provided on the second gate insulating film and made of a metal or a metal compound and a second upper gate electrode provided on the second lower gate electrode and made of polysilicon

Lim et al. teach upper gate electrode consisting of polysilicon (Fig. 1A, element 23, Col. 6, lines 29-30).

It would have been obvious to one of ordinary skill in the art at the time of the invention to apply the teachings of Lim et al. to the teachings of Mise et al. and Ono (the upper gate electrode of Lim can be added to the lower gate electrode of Mise) because CMOS transistors may exhibit reduced gas depletion and reduced degradation of BTI characteristics (Col. 13, lines 34-36).

Claim 9 is rejected under 35 U.S.C. 103(a) as being unpatentable over US Pat 7863127 (Mise et al.) in view of US Pat 2007/0018238 (Ono) and further in view of US Pat 2008/0076214 (Han et al.).

Regarding claim 9, the combination of Mise et al. and Ono teach all of the limitations of claim 1 from which this claim depends.

The combination of Mise et al. and Ono are silent with respect to the provision of wherein an end of the second gate insulating film projects from a side surface of the second gate electrode.

Han et al. teach a gate dielectric projects from a side surface of gate electrode (Fig. 2a, Page 1, paragraph 0018 Page 1, paragraph 0018, Page 2, paragraph 0025).

It would have been obvious to one of ordinary skill in the art at the time of the invention to apply the teachings of Han et al. to the teachings of Mise et al. and Ono (the gate insulating layer of Han replacing the gate insulating layer of Mise) to avoid the extra hydrogen annealing step by constructing the gate insulating layer longer than the gate electrode length (Page 2, paragraph 0022).

Claims 11-12 are rejected under 35 U.S.C. 103(a) as being unpatentable over US Pat 7863127 (Mise et al.) in view of US Pat 2007/0018238 (Ono) and further in view of US Pat 6881657 (Torii et al.).

Regarding claim 11, the combination of Mise et al. and Ono teach all of the limitations of claim 1 from which this claim depends.

Mise et al. teach wherein the first gate insulating film includes a first upper gate insulating film provided on the first lower gate insulating film and made of

the high-k dielectric (Col. 13, lines 41-44), and the second gate insulating film a second upper gate insulating film provided on the second lower gate insulating film and made of the high-k dielectric (Col. 13, lines 41-44).

The combination of Mise et al. and Ono are silent on the provision of wherein the first gate insulating film includes a first lower gate insulating film provided on the first active region and a first upper gate insulating film provided on the first lower gate insulating film and made of the high-k dielectric, and the second gate insulating film includes a second lower gate insulating film provided on the second active region and a second upper gate insulating film provided on the second lower gate insulating film and made of the high-k dielectric.

Torri et al. teach a first lower gate insulating film (Fig. 9, element 22, Col. 5, lines 14-17).

It would have been obvious to one of ordinary skill in the art at the time of the invention to apply the teachings of Torii et al. to the teachings of Mise et al. and Ono (adding the lower gate insulating film of Torii below the first and second gate insulating film of Mise) with the motivation being to provide a semiconductor device wherein gate insulating films highly controlled their thickness are formed when a plurality of transistors are formed on a chip, even if the difference between thickness of the gate insulating films is small (Col. 3, lines 55-60).

Regarding claim 12, the combination of Mise et al. and Ono and Torri et al. teach all of the limitations as discussed above.

Mise et al. teach the first upper gate insulating film and the second upper gate insulating film are made of a second dielectric film of a high-k material containing hafnium (Col. 13, lines 41-44, Col. 13, lines 64-66).

The combination of Mise et al. and Ono are silent on the provision of wherein the first lower gate insulating film and the second lower gate insulating film are made of a first dielectric film of silicon oxide, and the first upper gate insulating film and the second upper gate insulating film are made of a second dielectric film of a high-k material containing hafnium.

Torri et al. teach a lower insulating film consisting of silicon oxynitride (Col. 5, lines 14-15).

It would have been obvious to one of ordinary skill in the art at the time of the invention to apply the teachings of Torii et al. to the teachings of Mise et al. and Ono with the motivation being to provide a semiconductor device wherein gate insulating films highly controlled their thickness are formed when a plurality of transistors are formed on a chip, even if the difference between thickness of the gate insulating films is small (Col. 3, lines 55-60).

Claim 14 is rejected under 35 U.S.C. 103(a) as being unpatentable over US Pat 7863127 (Mise et al.) in view of US Pat 2007/0018238 (Ono) and further in view of US Pat 7535077 (Abe).

Regarding claim 14, Mise et al. teach wherein the metal material is made of one of a metal film or a metal compound film (Col. 12, lines 1-2), and each of the metal film and the metal compound film contains at least a material selected

from the group consisting of tantalum, molybdenum, aluminium, carbon, nitrogen, and silicon.

The combination of Mise et al. and Ono are silent on the provision of each of the metal film and the metal compound film contains at least a material selected from the group consisting of tantalum, molybdenum, aluminium, carbon, nitrogen, and silicon.

Abe teaches a gate electrode made of tantalum (Col. 3, lines 61-64).

It would have been obvious to one of ordinary skill in the art at the time of the invention to apply the teachings of Abe to the teachings of Mise et al. and Ono (to replace the metal gate electrode of Mise with the tantalum gate electrode of Abe) with the motivation being to provide method of a semiconductor device that can constrain crystal defects such as dislocation in a stress region yielded in an active region adjacent to an element isolation region in the STI structure and form a source/drain without annealing process (Col. 1, lines 59-64).

Conclusion

Any inquiry concerning this communication or earlier communications from the examiner should be directed to SHAHED AHMED whose telephone number is (571)272-3477. The examiner can normally be reached on M-F 7:30 to 5:00.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Jack Chiang can be reached on 571-272-7483. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/SHAHED AHMED/
Examiner, Art Unit 4113

/Kevin Parendo/
Primary Examiner, Art Unit 2823

Notice of References Cited	Application/Control No. 13/294,727	Applicant(s)/Patent Under Reexamination FUJITA ET AL.	
	Examiner SHAHED AHMED	Art Unit 4113	Page 1 of 1

U.S. PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	Classification
*	A	US-7,863,127	01-2011	Mise et al.	438/216
*	B	US-7,615,830	11-2009	Lim et al.	257/411
*	C	US-2008/0076214	03-2008	Han et al.	438/197
*	D	US-6,881,657	04-2005	Torii et al.	438/591
*	E	US-7,535,077	05-2009	Abe, Kanshi	257/506
	F	US-			
	G	US-			
	H	US-			
	I	US-			
	J	US-			
	K	US-			
	L	US-			
	M	US-			

FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
	N					
	O					
	P					
	Q					
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

EAST Search History

EAST Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L1	2	"20120056270"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/20 09:47
L2	73	((gate (insulat$3 or dielectric or oxide)) near5 length near5 (short$2 or less or narrower) near5 (gate electrode)) and @ad<"20090717"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/20 10:28
L3	295	(first near5 (gate near3 (insulat$3 or oxide or dielectric))) with (shorter or narrower) with (second near5 (gate or (gate electrode)))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/20 10:40
L4	245	3 and @ad<"20090717"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/20 10:41
L5	294	(first near5 (gate near3 (insulat$3 or oxide or dielectric))) with (shorter or narrower) with (second near5 (gate))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/20 10:45
L6	0	5 and $ad20090717	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/20 10:46
L7	244	5 and @ad<"20090717"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/20 10:46
L8	2	"20070018238"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/20 11:22
L9	0	((NMOS or N?FET or N?MISFET) near5 (gate near3 (insulat$3 or oxide	US-PGPUB; USPAT;	ADJ	ON	2012/12/20 11:29

		or dielectric))) with (shorter or narrower) with ((PMOS or P?FET or P?MISFET) near5 (gate))	USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB			
L10	353	(first near5 (gate near3 (insulat$3 or oxide or dielectric))) with (shorter or narrower) with (second)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/20 11:30
L11	247	10 and @ad<"20070717"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/20 11:31
L12	13	11 and 438/199-233.ccls.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/20 11:35
L13	70	11 and (CMOS or 438/199-233.ccls.)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/20 11:37
L15	13156	438/199-233.ccls.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/20 12:02
L16	10	13 and (gate near2(insulat$3 or dielectric or oxide)) near5 length near5 (short$3 or narrow$3)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/20 12:03
L24	482	(((first near5 (gate near3 (insulat$3 or oxide or dielectric))) with (short$3 or narrow$3) with (second near5 (gate))) and @ad<"20070717"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/20 12:10
L32	202	CMOS and ((gate near3 (insulat$3 or dielectric or oxide)) near6 (undercut or side?etch$3))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/20 14:03
L33	183	32 and @ad<"20090717"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/20 14:07
L34	2658	438/275-278.ccls.	US-PGPUB; USPAT;	ADJ	ON	2012/12/20 14:19

			USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB			
L35	8	10 and 34	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/20 14:19
L36	0	CMOS and (((gate near3 (insulat$3 or dielectric or oxide)) near6 (undercut or side?etch$3)(lateral$2 or horizontal$2)))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/20 14:24
L37	140	CMOS and (((gate near3 (insulat$3 or dielectric or oxide)) near6 (undercut or etch$4) near5(lateral$2 or horizontal$2)))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/20 14:24
L38	126	37 and @ad<"20090717"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/20 14:25
S1	3	"20060194450"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/11 12:25
S2	2	"20040038490"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/11 12:25
S3	2	wo "2005013374"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/11 12:26
S4	5	2008/0191286	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/11 12:44
S5	3	"6525380"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/11 12:44
S6	1	"20120056270"	DERWENT	ADJ	ON	2012/12/11 12:51

S7	2	"7732347"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/11 14:24
S8	322	(first or upper or top) and (second or bottom or lower) near5 (gate) near5 length	DERWENT	ADJ	ON	2012/12/11 14:32
S9	64	((first or upper or top) and (second or bottom or lower) near5 (gate) near5 length) same lower	DERWENT	ADJ	ON	2012/12/11 14:33
S10	1	((first or upper or top) and (second or bottom or lower) near5 (gate insulat$3) near5 length) same lower	DERWENT	ADJ	ON	2012/12/11 14:34
S11	12	((first or upper or top) and (second or bottom or lower) near5 (gate insulat$3) near5 length)	DERWENT	ADJ	ON	2012/12/11 14:35
S12	15	((first or upper or top) and (second or bottom or lower) near5 (gate (insulat$3 or dielectric)) near5 length)	DERWENT	ADJ	ON	2012/12/11 14:35
S13	7	(first and second) near5 (gate (insulat$3 or dielectric)) near5 length	DERWENT	ADJ	ON	2012/12/11 15:04
S14	126	(first and second) near5 (gate (insulat$3 or dielectric)) near5 length	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/11 15:08
S15	3	"20090291538"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/11 15:10
S16	3	"7863127"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/11 16:39
S17	7077	((first or upper or top)and (second or bottomer or lower)) (gate insulat$3)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/12 08:31
S18	0	(((first or upper or top)and (second or bottomer or lower)) (gate insulat$3)) near5 (high near "3" dielectric)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/12 08:32
S19	0	(((first or upper or top)and (second or bottomer or lower)) (gate insulat$3)) near10 (high near "3" dielectric)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/12 08:33

S20	0	(((first or upper or top)and (second or bottomer or lower)) (gate insulat$3)) with (high near "3" dielectric)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/12 08:33
S21	132	(((first or upper or top)and (second or bottomer or lower)) (gate insulat$3)) with (high dielectric)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/12 08:33
S22	1	((upper and lower)adj (gate insulat$3)) with (high dielectric)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/12 08:49
S23	23	(((first or upper or top) and (second or bottom or lower)) (gate electrode)) near5 polysilicon	DERWENT	ADJ	ON	2012/12/12 11:21
S24	1	"7615830"	DERWENT	ADJ	ON	2012/12/12 11:23
S25	1	"20060081948"	DERWENT	ADJ	ON	2012/12/12 11:24
S26	1	"7863127"	DERWENT	ADJ	ON	2012/12/12 12:37
S27	5	"6881657"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/12 12:55
S28	3	"7863127"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/13 07:36
S29	108	(gate electrode) adj ((tantalum or molybdenum or aluminium or cabon or nitrogen) and silicon)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/13 07:44
S30	0	(gate stack electrode) near5 (made or consist or contain) near5 ((tantalum or molybdenum or aluminium or cabon or nitrogen) and silicon)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/13 07:47
S31	465	(gate electrode) near5 (made or consist or contain) near5 ((tantalum or molybdenum or aluminium or cabon or nitrogen) and silicon)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/13 07:47
S32	0	(gate stack electrode) with (made or consist or contain) with ((tantalum or	US-PGPUB; USPAT;	ADJ	ON	2012/12/13 07:47

		molybdenum or aluminium or cabon or nitrogen) and silicon)	USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB			
S33	86	(gate electrode) near2 (made or consist or contain) near2 ((tantalum or molybdenum or aluminium or cabon or nitrogen) and silicon)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/13 07:47
S34	310	((gate (insulat$3 or dielectric)) with (protru$4 or bulge or project$4) with (side surface))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/13 07:58
S35	253	((gate (insulat$3 or dielectric)) with (protru$4 or bulge or project$4) with (side surface)) and @ad<"20090717"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/13 07:59
S36	0	(gate stack electrode) adj (tantalum or molybdenum or aluminium or cabon or nitrogen or silicon)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/13 08:19
S37	4909	(gate electrode) adj (tantalum or molybdenum or aluminium or cabon or nitrogen or silicon)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/13 08:19
S38	41	((gate (insulat$3 or dielectric)) near5 length near5 (great$2 or more or long$2) near5 electrode) and @ad<"20090717"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/13 08:53
S39	126	((gate (insulat$3 or dielectric)) near5 length near5 (great$2 or more or long$2 or small$2 or less or short$2) near5 electrode) and @ad<"20090717"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/13 08:55
S40	3	"7535077"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/13 10:01
S41	5	"6881657"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/13 10:03
S42	0	"200487695"	US-PGPUB; USPAT;	ADJ	ON	2012/12/13 10:34

			USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB			
S43	2	JP "2008211182"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/13 10:35
S44	2	JP "2000174135"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/13 10:35
S45	2	wo "2005013374"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/13 10:36
S46	0	JP "200487695"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/13 10:36
S47	2	JP "2008211182"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/13 10:37
S48	2	JP "2000174135"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/13 10:37
S49	3	"20060194450"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/13 10:38
S50	2	"20040038490"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/13 10:38
S51	2	"2008191286"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/13 10:39
S52	2	"20020175380"	US-PGPUB; USPAT;	ADJ	ON	2012/12/13 10:39

			USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB			
S53	3	"6525380"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/13 10:40
S54	3	"20090057771"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/13 10:40
S55	916	438/155,176.ccls.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/13 10:54
S56	790	438/155,176.ccls. and @ad<"20090717"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/13 10:55
S57	4690	257/369,e27.062,e29.015.ccls. and @ad<"20090717"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2012/12/13 10:56

12/20/2012 3:14:11 PM
C:\Users\sahmed3\Documents\EAST\Workspaces\13294727.wsp

Docket No.: 085393-0709 **PATENT**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 53080
Tomohiro FUJITA, et al.	:	Confirmation Number: Not Yet Assigned
Application No.: Not Yet Assigned	:	Group Art Unit: Not Yet Assigned
Filed: November 11, 2011	:	Examiner: Not Yet Assigned

For: SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME

INFORMATION DISCLOSURE STATEMENT

Mail Stop Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

In accordance with the provisions of 37 C.F.R. 1.56, 1.97 and 1.98, the attention of the Patent and Trademark Office is hereby directed to the documents listed on the attached form PTO-1449. It is respectfully requested that the documents be expressly considered during the prosecution of this application, and that the documents be made of record therein and appear among the "References Cited" on any patent to issue therefrom.

This Information Disclosure Statement is being filed within three months of the U.S. filing date OR before the mailing date of a first Office Action on the merits. No certification or fee is required.

References **US 2006/0194450, US 2004/0038490, JP 2005-333164, US 2008/0191286, JP 2008-305950** and **US 6,525,380** were cited in a International Search Report issued in

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /S.A./

corresponding International Application PCT/JP2010/001143. A copy of the International Search Report is attached for the Examiner's information.

The relevance of the npl document is discussed in the present specification.

Please charge any shortage in fees due in connection with the filing of this paper, including extension of time fees, to Deposit Account 500417 and please credit any excess fees to such deposit account.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP

Michael E. Fogarty
Registration No. 36,139

Please recognize our Customer No. 53080 as our correspondence address.

600 13th Street, N.W.
Washington, DC 20005-3096
Phone: 202.756.8000 MEF:ksa
Facsimile: 202.756.8087
Date: November 11, 2011

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /S.A./

SHEET 1 OF 1

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Substitute for form 1449/PTO)

ATTY. DOCKET NO.	SERIAL NO.
085393-0709	**Not Yet Assigned**
APPLICANT: **Tomohiro FUJITA, et al.**	
FILING DATE: **November 11, 2011**	GROUP: **Not Yet Assigned**

U.S. PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Document Number Number-Kind Code2 (if known)		Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		US	2006/0194450 A1	08-31-2006	Nakamura	Corresponds w/ WO 2005/013374
		US	2004/0038490 A1	02-26-2004	Kojima	Corresponds w/ JP 2004-087695
		US	2008/0191286 A1	08-14-2008	Chang et al.	Corresponds w/ JP 2008-211182
		US	2002/0175380 A1	11-28-2002	Shirahata et al.	Corresponds w/ JP 2000-174135
		US	6,525,380 B2	02-25-2003	Shirahata et al.	Corresponds w/ JP 2000-174135
		US	2009/0057771 A1	03-05-2009	Fukasaku	
		US				
		US				
		US				
		US				
		US				
		US				

FOREIGN PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Foreign Patent Document Country Code3 -Number 4 -Kind Codes (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines Where Relevant Figures Appear	Translation Yes	Translation No
		JP 2005-333164	12-02-2005	RENESAS TECHNOLOGY CORP.		X	
		JP 2008-305950	12-18-2008	RENESAS TECHNOLOGY CORP.		JAPAN (w/ English Abstract)	
		WO 2007/038237 A2	04-05-2007	INTERNATIONAL BUSINESS MACHINES CORPORATION		English (Orig.)	
		JP 03-071665	03-27-1991	FUJITSU LTD.		JAPAN (w/ English Abstract)	

OTHER ART (Including Author, Title, Date, Pertinent Pages, Etc.)

EXAMINER'S INITIALS	CITE NO.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	
		Takeshi Watanabe et al., "Impact of Hf Concentration on Performances and Reliability for HfSiON-CMOSFET," IEDM 2004, pp. 207.	
		International Search Report issued in International Patent Application No. PCT/JP2010/001143, mailed on June 1, 2010.	

EXAMINER	DATE CONSIDERED
/Shahed Ahmed/	12/13/2012

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

1 Applicant's unique citation designation number (optional). 2 Applicant is to place a check mark here if English language Translation is attached.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /S.A./

We Docket No.: 085393-0709 **PATENT**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 53080
Tomohiro FUJITA, et al.	:	Confirmation Number: 6315
Application No.: 13/294,727	:	Group Art Unit: 2811
Filed: November 11, 2011	:	Examiner: GURLEY, LYNNE ANN

For: SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME

CORRECTED INFORMATION DISCLOSURE STATEMENT

Mail Stop Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

This Corrected Information Disclosure Statement (IDS) is being filed after the submission of the Information Disclosure Statement on May 11, 2012. The Examiner's attention is directed to the following:

JP2000-174135 corresponds to US 2002/0175380. This was incorrectly noted on the previously filed PTO-1449 form. Further, US 2002/0175380 was previously cited in an Information Disclosure Statement dated November 11, 2011.

Please charge any shortage in fees due in connection with the filing of this paper, including extension of time fees, to Deposit Account 500417 and please credit any excess fees to such deposit account.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP

Michael E. Fogarty
Registration No. 36,139

Please recognize our Customer No. 53080 as our correspondence address.

600 13th Street, N.W.
Washington, DC 20005-3096
Phone: 202.756.8000 MEF:jpg
Facsimile: 202.756.8087
Date: June 25, 2012

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /S.A./

SHEET 1 OF 1

CORRECTED INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Substitute for form 1449/PTO)

ATTY. DOCKET NO.	SERIAL NO.
085393-0709	**13/294,727**

APPLICANT: **Tomohiro FUJITA, et al.**

FILING DATE	GROUP
November 11, 2011	**2811**

U.S. PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Document Number Number-Kind Code2 (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			

FOREIGN PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Foreign Patent Document Country Code3 -Number 4 -Kind Codes (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines Where Relevant Figures Appear	Translation Yes	Translation No
		WO 2005/013374	**02-10-2005**	**FUJITSU LIMITED**	**Corresponds to US 2006/0194450**	**ENGLISH ABSTRACT**	
		JP 2004-87695	**03-18-2004**	**FUJITSU**	**Corresponds to US 2004/0038490**		X
		JP 2008-211182	**09-11-2008**	**INTERUNIVERSITAIR MICRO-ELEKTRONICA CENTRUM VZW**	**Corresponds to US 2008/0191286**		X
		JP 2000-174135	**06-23-2000**	**MITSUBISHI ELECTRIC**	**US 2002/0175380**		X

OTHER ART (Including Author, Title, Date, Pertinent Pages, Etc.)

EXAMINER'S INITIALS	CITE NO.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	

EXAMINER	DATE CONSIDERED
/Shahed Ahmed/	12/13/2012

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.
1 Applicant's unique citation designation number (optional). 2 Applicant is to place a check mark here if English language Translation is attached.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /S.A./

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

BIB DATA SHEET

CONFIRMATION NO. 6315

SERIAL NUMBER	FILING or 371(c) DATE RULE	CLASS	GROUP ART UNIT	ATTORNEY DOCKET NO.
13/294,727	11/11/2011	257	4113	085393-0709

APPLICANTS

Tomohiro FUJITA, Toyama, JAPAN; OK /SA/
Junji HIRASE, Toyama, JAPAN; OK /SA/
Yoshihiro SATO, Toyama, JAPAN; OK /SA/

**** CONTINUING DATA ***************************

This application is a CON of PCT/JP2010/001143 02/22/2010 OK /SA/

**** FOREIGN APPLICATIONS ***************************

JAPAN 2009-168592 07/17/2009 OK /SA/

**** IF REQUIRED, FOREIGN FILING LICENSE GRANTED ****

11/23/2011

Foreign Priority claimed	35 USC 119(a-d) conditions met	Verified and Acknowledged	Met after Allowance	STATE OR COUNTRY	SHEETS DRAWINGS	TOTAL CLAIMS	INDEPENDENT CLAIMS
☑ Yes ☐ No	☑ Yes ☐ No	/SHAHED AHMED/ Examiner's Signature	☐ SA Initials	JAPAN	5	15	1

ADDRESS

McDERMOTT WILL & EMERY LLP
600 13th Street, N.W.
Washington, DC 20005-3096
UNITED STATES

TITLE

SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME

FILING FEE RECEIVED		
1250	FEES: Authority has been given in Paper No._____ to charge/credit DEPOSIT ACCOUNT No._____ for following:	☐ All Fees ☐ 1.16 Fees (Filing) ☐ 1.17 Fees (Processing Ext. of time) ☐ 1.18 Fees (Issue) ☐ Other _____ ☐ Credit

BIB (Rev. 05/07).

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	13294727	FUJITA ET AL.
	Examiner	Art Unit
	SHAHED AHMED	4113

SEARCHED			
Class	Subclass	Date	Examiner
257	369, E27.062, E29.015	12/13/2012	SA
438	155, 176	12/13/2012	SA

SEARCH NOTES		
Search Notes	Date	Examiner
Searched EAST, Google	12/13/2012	SA
Consulted with Mohsen Ahmadi regarding claim 1	12/13/2012	SA

INTERFERENCE SEARCH			
Class	Subclass	Date	Examiner

Index of Claims	Application/Control No.	Applicant(s)/Patent Under Reexamination
	13294727	FUJITA ET AL.
	Examiner	Art Unit
	SHAHED AHMED	4113

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

☐ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

CLAIM		DATE								
Final	Original	12/13/2012								
	1	✓								
	2	✓								
	3	✓								
	4	✓								
	5	✓								
	6	✓								
	7	✓								
	8	✓								
	9	✓								
	10	✓								
	11	✓								
	12	✓								
	13	✓								
	14	✓								
	15	✓								

Docket No.: 085393-0709 **PATENT**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 53080
Tomohiro FUJITA, et al.	:	Confirmation Number: 6315
Application No.: 13/294,727	:	Group Art Unit: 2811
Filed: November 11, 2011	:	Examiner: GURLEY, LYNNE ANN

For: SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME

INFORMATION DISCLOSURE STATEMENT

Mail Stop Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

In accordance with the provisions of 37 C.F.R. 1.56, 1.97 and 1.98, the attention of the Patent and Trademark Office is hereby directed to the references listed on the attached form PTO-1449. It is respectfully requested that the references be expressly considered during the prosecution of this application, and that the references be made of record therein and appear among the "References Cited" on any patent to issue therefrom.

This Information Disclosure Statement is being filed within three months of the U.S. filing date OR before the mailing date of a first Office Action on the merits. No certification or fee is required.

Please note that the corresponding references, US 2006/0194450, US 2004/0038490, US 2008/0191286, and US 2009/0057771 were all previously cited in an Information Disclosure Statement dated November, 11, 2011, in the present application.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /S.A./

SHEET 1 OF 1

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Substitute for form 1449/PTO)

ATTY. DOCKET NO.	SERIAL NO.
085393-0709	**13/294,727**
APPLICANT: **Tomohiro FUJITA, et al.**	
FILING DATE: **November 11, 2011**	GROUP: **2811**

U.S. PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Document Number Number-Kind Code2 (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			

FOREIGN PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Foreign Patent Document Country Code3 -Number 4 -Kind Codes (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines Where Relevant Figures Appear	Translation Yes	Translation No
		WO 2005/013374	**02-10-2005**	**FUJITSU LIMITED**	**Corresponds to US 2006/0194450**	**ENGLISH ABSTRACT**	
		JP 2004-87695	**03-18-2004**	**FUJITSU**	**Corresponds to US 2004/0038490**		X
		JP 2008-211182	**09-11-2008**	**INTERUNIVERSITAIR MICRO-ELEKTRONICA CENTRUM VZW**	**Corresponds to US 2008/0191286**		X
		JP 2000-174135	**06-23-2000**	**MITSUBISHI ELECTRIC**	**US 2009/0057771**		X

OTHER ART (Including Author, Title, Date, Pertinent Pages, Etc.)

EXAMINER'S INITIALS	CITE NO.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	

EXAMINER	DATE CONSIDERED
/Shahed Ahmed/	12/13/2012

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.
1 Applicant's unique citation designation number (optional). 2 Applicant is to place a check mark here if English language Translation is attached.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /S.A./

We Docket No.: 085393-0709 **PATENT**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 53080
Tomohiro FUJITA, et al.	:	Confirmation Number: 6315
Application No.: 13/294,727	:	Group Art Unit: 2811
Filed: November 11, 2011	:	Examiner: GURLEY, LYNNE ANN

For: SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME

CORRECTED INFORMATION DISCLOSURE STATEMENT

Mail Stop Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

This Corrected Information Disclosure Statement (IDS) is being filed after the submission of the Information Disclosure Statement on May 11, 2012. The Examiner's attention is directed to the following:

JP2000-174135 corresponds to US 2002/0175380. This was incorrectly noted on the previously filed PTO-1449 form. Further, US 2002/0175380 was previously cited in an Information Disclosure Statement dated November 11, 2011.

Please charge any shortage in fees due in connection with the filing of this paper, including extension of time fees, to Deposit Account 500417 and please credit any excess fees to such deposit account.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP

Michael E. Fogarty
Registration No. 36,139

Please recognize our Customer No. 53080 as our correspondence address.

600 13th Street, N.W.
Washington, DC 20005-3096
Phone: 202.756.8000 MEF:jpg
Facsimile: 202.756.8087
Date: June 25, 2012

CORRECTED INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Substitute for form 1449/PTO)

ATTY. DOCKET NO.	SERIAL NO.
085393-0709	**13/294,727**

APPLICANT: **Tomohiro FUJITA, et al.**

FILING DATE	GROUP
November 11, 2011	**2811**

U.S. PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Document Number Number-Kind Code2 (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			

FOREIGN PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Foreign Patent Document Country Code3 -Number 4 -Kind Codes (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines Where Relevant Figures Appear	Translation Yes	Translation No
		WO 2005/013374	**02-10-2005**	**FUJITSU LIMITED**	**Corresponds to US 2006/0194450**	**ENGLISH ABSTRACT**	
		JP 2004-87695	**03-18-2004**	**FUJITSU**	**Corresponds to US 2004/0038490**		X
		JP 2008-211182	**09-11-2008**	**INTERUNIVERSITAIR MICRO-ELEKTRONICA CENTRUM VZW**	**Corresponds to US 2008/0191286**		X
		JP 2000-174135	**06-23-2000**	**MITSUBISHI ELECTRIC**	**US 2002/0175380**		X

OTHER ART (Including Author, Title, Date, Pertinent Pages, Etc.)

EXAMINER'S INITIALS	CITE NO.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	

EXAMINER	DATE CONSIDERED

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

1 Applicant's unique citation designation number (optional). 2 Applicant is to place a check mark here if English language Translation is attached.

Electronic Acknowledgement Receipt

EFS ID:	13098832
Application Number:	13294727
International Application Number:	
Confirmation Number:	6315
Title of Invention:	SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME
First Named Inventor/Applicant Name:	Tomohiro FUJITA
Correspondence Address:	McDERMOTT WILL & EMERY LLP - 600 13th Street, N.W. - Washington DC 20005-3096 US 2027568000 -
Filer:	Michael E. Fogarty/JACOB GOTTFREDSON
Filer Authorized By:	Michael E. Fogarty
Attorney Docket Number:	085393-0709
Receipt Date:	25-JUN-2012
Filing Date:	11-NOV-2011
Time Stamp:	17:08:43
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Transmittal Letter	IDS.PDF	62926 d92ebba43b4d6d8ff6b5b2daa38aea064072b027	no	2
Warnings:					
Information:					
		Total Files Size (in bytes):	62926		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

Commissioner for Patents
United States Patent and Trademark Office
P.O. Box 1450
Alexandria, VA 22313-1450
www.uspto.gov

MCDERMOTT WILL & EMERY LLP
600 13TH STREET, NW
WASHINGTON DC 20005-3096

MAILED

MAY 30 2012

OFFICE OF PETITIONS

In re Application of	:	
Tomohiro Fujita, et al.	:	DECISION ON REQUEST TO
Application No. 13/294,727	:	PARTICIPATE IN THE PATENT
Filed: November 11, 2011	:	PROSECUTION HIGHWAY
Attorney Docket No.: 085393-0709	:	PROGRAM AND PETITION
For: SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME	:	TO MAKE SPECIAL UNDER 37 CFR 1.102(a)

This is a decision on the request to participate in the PCT Patent Prosecution Highway (PCT-PPH) pilot program and the petition under 37 CFR 1.102(a), filed on November 17, 2011 and renewed on May 11, 2012 , to make the above-identified application special.

The request and petition are **GRANTED**.

Discussion

A grantable request to participate in the PCT-PPH pilot program and petition to make special require:

(1) The U.S. application must have an eligible relationship to one or more PCT applications where the ISA or IPEA are the JPO, EPO, KIPO, NPI, NBPR, IPAU, APO, RU, SPTO, PRV, SIPO or USPTO;

(2) At least one claim in the PCT application has novelty, inventive step, and industrial applicability and must be free of any observations in Box VIII in the latest work product in the international stage or applicant must identify and explain why the claim(s) is/are not subject to the observation in Box VIII;

(3) Applicant must submit a copy of the claim(s) from the PCT application(s) that have novelty, inventive step, and industrial applicability along with an English translation thereof and a statement that the English translation is accurate, if the claims are not in the English language;

(4) All the claims in the U.S. application must sufficiently correspond or be amended to sufficiently correspond to the claim(s) that have novelty, inventive step, and industrial applicability in the PCT application(s);

(5) Examination of the U.S. application has not begun;

(6) Applicant must submit a copy of the latest international work product from the PCT application indicating that the claim(s) have novelty, inventive step, and industrial applicability along with an English translation thereof and a statement that the English translation is accurate if the latest international work product is not in the English language;

(7) Applicant must submit an IDS listing the documents cited by the PCT examiner in the international work product along with copies of documents except U.S. patents or U.S. patent application publications.

(8) Applicant is required to submit a claims correspondence table in English which indicates how all the claims in the U.S. application correspond to the claims indicated as having novelty, inventive step and industrial applicability in the latest international work product.

The request to participate in the PCT-PPH pilot program and petition comply with the above requirements. Accordingly, the above-identified application has been accorded "special" status.

Telephone inquiries concerning this decision should be directed to the undersigned at 571-272-3204.

All other inquiries concerning the examination or status of the application is accessible in the PAIR system at http://www.uspto.gov/ebc.index.html.

This application will be forwarded to the examiner for action on the merits commensurate with this decision.

/SDB/

Sherry D. Brinkley
Petitions Examiner
Office of Petitions

Docket No.: 085393-0709 **PATENT**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 53080
Tomohiro FUJITA, et al.	:	Confirmation Number: 6315
Application No.: 13/294,727	:	Group Art Unit: 2811
Filed: November 11, 2011	:	Examiner: Not Yet Assigned

For: SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME

RESPONSE TO DECISION ON REQUEST TO PARTICIPATE IN THE PCT PATENT PROSECUTION HIGHWAY (PCT-PPH) PILOT PROGRAM AND PETITION UNDER 37 C.F.R. § 1.102(a)

Mail Stop PCT-Patent Pros. Hwy.
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

This is in response to the April 26, 2012 decision dismissing Applicants request to participate in the PCT Patent Prosecution Highway (PCT-PPH) Pilot Program and Petition Under 37 C.F.R. § 1.102(a).

Remarks begin on page 2 of this paper

Appendix

- Complete copy and English translation of Written Opinion (PCT/ISA/237) indicating that claims have novelty, inventive step, industrial applicability (Box I and V) and are free from any observations (Box VIII).
- A copy of all claims which were indicated as having novelty, inventive step and industrial applicability in the corresponding PCT application and a certified English translation thereof
- Copy of International Work Product (PCT/ISA/210) (in English)

REMARKS

This paper is being filed in response to the April 26, 2012 decision dismissing Applicants request to participate in the PCT Patent Prosecution Highway (PCT-PPH) Pilot Program and Petition Under 37 C.F.R. § 1.102(a) ("the decision'). Applicants acknowledge that requirements (1), (3-5), and (7-8) of the request have been met. The decision stated that requirements (2), and (6) were not met in the original request filed on November 17, 2011 because a complete copy of the Written Opinion (PCT/ISA/237) was not submitted.

Submitted herewith is a complete copy of the Written Opinion (PCT/ISA/237) in Japanese as originally received as well as a complete English translation of the Written Opinion published by WIPO. The front page of the Written Opinion states "[t]his opinion contain indications relation to the following items:" and checks Box No. I Basis of the opinion; and Box No. V reasoned statement under Rule 42*bis*.2.1(a)(i) with regard to novelty, inventive step and industrial applicability. Box No. VIII "Certain observations on the international application," is not checked and thus was not included as a basis for the opinion.

In addition, submitted herewith is a copy of the International Search Report (PCT/ISA/210) in English as published by WIPO.

Regarding requirement (2), as indicated in the Written Opinion, claims 1-9 have novelty, inventive step, and industrial applicability (see Box V), and are free of any observations in Box VIII (see front page of Written Opinion).

Regarding requirement (6), a copy of the latest work product (PCT/ISA/237) indicating that the claims have novelty, inventive step, and industrial applicability along with an English is submitted herewith.

Accordingly, it is respectfully submitted that the PCT-PPH request meets all the requirements and the petition should be granted.

To the extent necessary, a petition for an extension of time under 37 C.F.R. 1.136 is hereby made. Please charge any shortage in fees due in connection with the filing of this paper, including extension of time fees, to Deposit Account 500417 and please credit any excess fees to such deposit account.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP

58,958

for. Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
Phone: 202.756.8000 MEF:MWE
Facsimile: 202.756.8087
Date: May 11, 2012

Please recognize our Customer No. 53080 as our correspondence address.

PATENT COOPERATION TREATY

TRANSLATION

From the
INTERNATIONAL SEARCHING AUTHORITY

To:

PCT

WRITTEN OPINION OF THE
INTERNATIONAL SEARCHING AUTHORITY

(PCT Rule 43*bis*.1)

	Date of mailing *(day/month/year)* 01.06.2010
Applicant's or agent's file reference P055570P0	**FOR FURTHER ACTION** See paragraph 2 below

International application No.	International filing date *(day/month/year)*	Priority date *(day/month/year)*
PCT/JP2010/001143	22.02.2010	17.07.2009

International Patent Classification (IPC) or both national classification and IPC
H01L21/8238(2006.01)i, H01L27/092(2006.01)i, H01L29/78(2006.01)i

Applicant
PANASONIC CORPORATION

1. This opinion contains indications relating to the following items:

- ☒ Box No. I Basis of the opinion
- ☐ Box No. II Priority
- ☐ Box No. III Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
- ☐ Box No. IV Lack of unity of invention
- ☒ Box No. V Reasoned statement under Rule 43*bis*.1(a)(i) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
- ☐ Box No. VI Certain documents cited
- ☐ Box No. VII Certain defects in the international application
- ☐ Box No. VIII Certain observations on the international application

2. **FURTHER ACTION**

If a demand for international preliminary examination is made, this opinion will be considered to be a written opinion of the International Preliminary Examining Authority ("IPEA") except that this does not apply where the applicant chooses an Authority other than this one to be the IPEA and the chosen IPEA has notified the International Bureau under Rule 66.1*bis*(b) that written opinions of this International Searching Authority will not be so considered.

If this opinion is, as provided above, considered to be a written opinion of the IPEA, the applicant is invited to submit to the IPEA a written reply together, where appropriate, with amendments, before the expiration of 3 months from the date of mailing of Form PCT/ISA/220 or before the expiration of 22 months from the priority date, whichever expires later.

For further options, see Form PCT/ISA/220.

3. For further details, see notes to Form PCT/ISA/220.

Name and mailing address of the ISA/JP	Date of completion of this opinion	Authorized officer
Facsimile No.		Telephone No.

Form PCT/ISA/237 (cover sheet) (July 2009)

WRITTEN OPINION OF THE INTERNATIONAL SEARCHING AUTHORITY

International application No.
PCT/JP2010/001143

Box No. I Basis of this opinion

1. With regard to the **language**, this opinion has been established on the basis of:

   ☒ the international application in the language in which it was filed

   ☐ a translation of the international application into _____, which is the language of a translation furnished for the purposes of international search (Rules 12.3(a) and 23.1(b)).

2. ☐ This opinion has been established taking into account the **rectification of an obvious mistake** authorized by or notified to this Authority under Rule 91 (Rule 43*bis*.1(a))

3. With regard to any **nucleotide and/or amino acid sequence** disclosed in the international application, this opinion has been established on the basis of a sequence listing filed or furnished:

   a. (means)

      ☐ on paper

      ☐ in electronic form

   b. (time)

      ☐ in the international application as filed

      ☐ together with the international application in electronic form

      ☐ subsequently to this Authority for the purposes of search

4. ☐ In addition, in the case that more than one version or copy of a sequence listing has been filed or furnished, the required statements that the information in the subsequent or additional copies is identical to that in the application as filed or does not go beyond the application as filed, as appropriate, were furnished.

5. Additional comments:

WRITTEN OPINION OF THE INTERNATIONAL SEARCHING AUTHORITY

International application No.
PCT/JP2010/001143

Box No. V **Reasoned statement under Rule 43bis.1(a)(i) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement**

1. Statement

Novelty (N)	Claims	1-13	YES
	Claims		NO
Inventive step (IS)	Claims	1-13	YES
	Claims		NO
Industrial applicability (IA)	Claims	1-13	YES
	Claims		NO

2. Citations and explanations:

Document 1: WO 2005/013374 A1 (Fujitsu Ltd.), 10 February 2005

Document 2: JP 2004-087695 A (Fujitsu Ltd.), 18 March 2004

Document 3: JP 2005-333164 A (Renesas Technology Corp.), 02 December 2005

Document 4: JP 2008-211182 A (Interuniversitair Micro-Electronica Centrum VZW), 11 September 2008

Document 5: JP 2008-305950 A (Renesas Technology Corp.), 18 December 2008

Document 6: JP 2000-174135 A (Mitsubishi Electric Corp.), 23 June 2000

Claims 1-13

The invention as in claims 1-13 is not disclosed in any of the documents cited in the ISR, and would not be obvious to a person skilled in the art.

特 許 協 力 条 約

前田
'10.6.02
特許

発信人　日本国特許庁（国際調査機関）

代理人
　前田弘

様

あて名
〒541-0053
日本国大阪府大阪市中央区本町２丁目５番７号　大阪丸紅ビル

PCT
国際調査機関の見解書
（法施行規則第40条の2）
〔ＰＣＴ規則43の2.1〕

発送日 （日.月.年）　01. 06. 2010	
出願人又は代理人 の書類記号　P055570P0	今後の手続きについては、下記２を参照すること。

国際出願番号	国際出願日	優先日
ＰＣＴ／ＪＰ２０１０／００１１４３	（日.月.年）　２２. ０２. ２０１０	（日.月.年）　１７. ０７. ２００９

国際特許分類（ＩＰＣ）Int.Cl. H01L21/8238(2006.01)i, H01L27/092(2006.01)i, H01L29/78(2006.01)i

出願人（氏名又は名称）
パナソニック株式会社

1．この見解書は次の内容を含む。

- ☑ 第Ⅰ欄　見解の基礎
- ☐ 第Ⅱ欄　優先権
- ☐ 第Ⅲ欄　新規性、進歩性又は産業上の利用可能性についての見解の不作成
- ☐ 第Ⅳ欄　発明の単一性の欠如
- ☑ 第Ⅴ欄　ＰＣＴ規則43の2.1(a)(i)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
- ☐ 第Ⅵ欄　ある種の引用文献
- ☐ 第Ⅶ欄　国際出願の不備
- ☐ 第Ⅷ欄　国際出願に対する意見

2．今後の手続き
国際予備審査の請求がされた場合は、出願人がこの国際調査機関とは異なる国際予備審査機関を選択し、かつ、その国際予備審査機関がＰＣＴ規則66.1の2(b)の規定に基づいて国際調査機関の見解書を国際予備審査機関の見解書とみなさない旨を国際事務局に通知していた場合を除いて、この見解書は国際予備審査機関の最初の見解書とみなされる。

この見解書が上記のように国際予備審査機関の見解書とみなされる場合、様式ＰＣＴ／ＩＳＡ／２２０を送付した日から３月又は優先日から２２月のうちいずれか遅く満了する期限が経過するまでに、出願人は国際予備審査機関に、適当な場合は補正書とともに、答弁書を提出することができる。

さらなる選択肢は、様式ＰＣＴ／ＩＳＡ／２２０を参照すること。

3．さらなる詳細は、様式ＰＣＴ／ＩＳＡ／２２０の備考を参照すること。

見解書を作成した日 １４. ０５. ２０１０		
名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員） 宮部　裕一	4M　3840
	電話番号　０３－３５８１－１１０１　内線　３４６２	

様式ＰＣＴ／ＩＳＡ／２３７（表紙）（２００９年７月）

国際調査機関の見解書

国際出願番号 PCT／JP2010／001143

第Ⅰ欄 見解の基礎

1．言語に関し、この見解書は以下のものに基づき作成した。

☑ 出願時の言語による国際出願

☐ 出願時の言語から国際調査のための言語である＿＿＿＿＿＿語に翻訳された、この国際出願の翻訳文
（ＰＣＴ規則12.3(a)及び23.1(b)）

2．☐ この見解書は、ＰＣＴ規則91の規定により国際調査機関が認めた又は国際調査機関に通知された明らかな誤りの訂正を考慮して作成した（ＰＣＴ規則43の2.1(b)）。

3．この国際出願で開示されたヌクレオチド又はアミノ酸配列に関して、提出された以下の配列表に基づき見解書を作成した。

a．提出手段 ☐ 紙形式

☐ 電子形式

b．提出時期 ☐ 出願時の国際出願に含まれていたもの

☐ この国際出願と共に電子形式により提出されたもの

☐ 出願後に、調査のために、この国際調査機関に提出されたもの

4．☐ さらに、複数の版の配列表又は配列表の写しを提出した場合、出願後に提出した配列の写し若しくは追加して提出した配列の写しが、出願時に提出した配列と同一である旨又は出願時の開示を超える事項を含まない旨の陳述書の提出があった。

5．補足意見：

第Ⅴ欄　新規性、進歩性又は産業上の利用可能性についてのＰＣＴ規則43の2.1(a)(i)に定める見解、それを裏付ける文献及び説明

1．　見解

新規性（N）	請求項	1-13	有
	請求項		無
進歩性（ＩＳ）	請求項	1-13	有
	請求項		無
産業上の利用可能性（ＩＡ）	請求項	1-13	有
	請求項		無

2．　文献及び説明

文献１：WO 2005/013374 A1（富士通株式会社）2005.02.10
文献２：JP 2004-087695 A（富士通株式会社）2004.03.18
文献３：JP 2005-333164 A（株式会社ルネサステクノロジ）2005.12.02
文献４：JP 2008-211182 A（アンテルユニヴェルシテール・ミクローエレクトロニカ・サントリュム・ヴェー・ゼッド・ドゥブルヴェ）2008.09.11
文献５：JP 2008-305950 A（株式会社ルネサステクノロジ）2008.12.18
文献６：JP 2000-174135 A（三菱電機株式会社）2000.06.23

・請求項１～１３
請求項１～１３に係る発明は、国際調査報告で引用されたいずれの文献にも記載されておらず、当業者にとって自明なものでもない。

CLAIMS

What is claimed is:

1. A semiconductor device, comprising:

a substrate including a first active region and a second active region;

an NMIS transistor provided on the first active region; and

a PMIS transistor provided on the second active region, wherein

the NMIS transistor includes a first gate insulating film provided on the first active region and containing a high-k dielectric and a first gate electrode provided on the first gate insulating film and containing a metal material,

the PMIS transistor includes a second gate insulating film provided on the second active region and containing a high-k dielectric and a second gate electrode provided on the second gate insulating film and containing a metal material,

a side surface of the first gate insulating film is located at an inner side of a side surface of the first gate electrode, and

a ratio of a length of the first gate insulating film along a gate length direction to a length of the first gate electrode along the gate length direction is lower than a ratio of a length of the second gate insulating film along the gate length direction to a length of the second gate electrode along the gate length direction.

2. The semiconductor device of claim 1, wherein the NMIS transistor further includes an n-type first extension region formed in a part of the first active region located at each side of the first gate electrode,

the PMIS transistor further includes a p-type second extension region formed in a part of the second active region located at each side of the second gate electrode, and

an end of the first extension region coincides with an end of the first gate insulating

film or is at a position situated nearer a middle of the first gate electrode in relation to the end of the first gate insulating film.

3. The semiconductor device of claim 2, wherein the NMIS transistor further includes a first offset spacer of silicon nitride provided on a side surface of the first gate electrode and a side surface of the first gate insulating film, and

the PMIS transistor further includes a second offset spacer of silicon nitride provided on a side surface of the second gate electrode and a side surface of the second gate insulating film.

4. The semiconductor device of claim 3, wherein the first gate insulating film contains lanthanum, and

the second gate insulating film contains aluminium.

5. The semiconductor device of claim 4, wherein the first gate electrode includes a first lower gate electrode provided on the first gate insulating film and made of a metal or a metal compound and a first upper gate electrode provided on the first lower gate electrode and made of polysilicon, and

the second gate electrode includes a second lower gate electrode provided on the second gate insulating film and made of a metal or a metal compound and a second upper gate electrode provided on the second lower gate electrode and made of polysilicon.

6. The semiconductor device of claim 5, wherein an end of the second gate insulating film is doped with a larger amount of fixed charge than an end of the first gate insulating film.

7. The semiconductor device of claim 6, wherein a side surface of the second gate insulating film is flush with a side surface of the second gate electrode.

8. The semiconductor device of claim 6, wherein a side surface of the second gate insulating film is located at an inner side of a side surface of the second gate electrode.

9. The semiconductor device of claim 6, wherein an end of the second gate insulating film projects from a side surface of the second gate electrode.

10. A method for fabricating a semiconductor device, the method comprising the steps of:

(a) forming a first gate insulating film including a high-k dielectric and a first gate electrode including a metal material on a first active region in a substrate and forming a second gate insulating film including a high-k dielectric and a second gate electrode including a metal material on a second active region in the substrate;

(b) introducing negative fixed charge into an end of the first gate insulating film and an end of the second gate insulating film; and

(c) removing the end of the first gate insulating film after step (b), wherein

a ratio of a length of the first gate insulating film along a gate length direction to a length of the first gate electrode along the gate length direction is lower than a ratio of a length of the second gate insulating film along the gate length direction to a length of the second gate electrode along the gate length direction.

11. The method of claim 10, wherein in step (b), ashing or dry etching is performed using a gas containing oxygen.

12. The method of claim 10, wherein after step (c), a first offset spacer of a silicon nitride film is formed on a side surface of the first gate electrode, and

a second offset spacer of a silicon nitride film is formed on a side surface of the second gate electrode.

13. The method of claim 10, wherein the first gate insulating film and the second gate insulating film have different compositions, and

in step (c), the end of the gate insulating film is selectively removed through etching utilizing a difference in etching rate between the first gate insulating film and the second gate insulating film.

CERTIFICATE OF TRANSLATION

I, the undersigned, hereby certify

that I am well acquainted with the English and Japanese languages,

that I prepared the attached document, and

that, to the best of my knowledge and belief, the attached document is an accurate translation of granted claims of PCT International Application No. PCT/JP2010/001143 filed on February 22, 2010.

I declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true.

Y. Naka

Yukari NAKAMOTO

September 14, 2011
Date

請求の範囲

[請求項1] 第１の活性領域と第２の活性領域を有する基板と、前記第１の活性領域上に形成されたＮＭＩＳトランジスタと、前記第２の活性領域上に形成されたＰＭＩＳトランジスタとを備え、

前記ＮＭＩＳトランジスタは、前記第１の活性領域上に形成され、高誘電体を含む第１のゲート絶縁膜と、前記第１のゲート絶縁膜上に形成され、金属材料を含む第１のゲート電極とを有し、

前記ＰＭＩＳトランジスタは、前記第２の活性領域上に形成され、高誘電体を含む第２のゲート絶縁膜と、前記第２のゲート絶縁膜上に形成され、金属材料を含む第２のゲート電極とを有し、

前記第１のゲート絶縁膜の側面は、前記第１のゲート電極の側面よりも内側に位置しており、

前記第１のゲート電極のゲート長方向の長さに対する前記第１のゲート絶縁膜のゲート長方向の長さの割合は、前記第２のゲート電極のゲート長方向の長さに対する前記第２のゲート絶縁膜のゲート長方向の長さの割合より小さい半導体装置。

[請求項2] 請求項１に記載の半導体装置において、

前記ＮＭＩＳトランジスタは、前記第１の活性領域のうち前記第１のゲート電極の両側方に位置する領域に形成されたｎ型の第１のエクステンション領域をさらに有しており、

前記ＰＭＩＳトランジスタは、前記第２の活性領域のうち前記第２のゲート電極の両側方に位置する領域に形成されたｐ型の第２のエクステンション領域をさらに有しており、

前記第１のエクステンション領域の端部は、前記第１のゲート絶縁膜の端部と同一位置または前記第１のゲート絶縁膜の端部から前記第１のゲート電極の中心寄りに入った位置にあることを特徴とする半導体装置。

[請求項3] 請求項２に記載の半導体装置において、

前記ＮＭＩＳトランジスタは、前記第１のゲート電極の側面上及び前記第１のゲート絶縁膜の側面上に形成された窒化シリコンからなる第１のオフセットスペーサをさらに有し、

前記ＰＭＩＳトランジスタは、前記第２のゲート電極の側面上及び前記第２のゲート絶縁膜の側面上に形成された窒化シリコンからなる第２のオフセットスペーサをさらに有していることを特徴とする半導体装置。

[請求項4] 請求項３に記載の半導体装置において、

前記第１のゲート絶縁膜にはランタンが含まれており、

前記第２のゲート絶縁膜にはアルミニウムが含まれていることを特徴とする半導体装置。

[請求項5] 請求項４に記載の半導体装置において、

前記第１のゲート電極は、前記第１のゲート絶縁膜上に形成され、金属または金属化合物で構成された第１の下部ゲート電極と、前記第１の下部ゲート電極上に形成され、ポリシリコンで構成された第１の上部ゲート電極とを有しており、

前記第２のゲート電極は、前記第２のゲート絶縁膜上に形成され、金属または金属化合物で構成された第２の下部ゲート電極と、前記第２の下部ゲート電極上に形成され、ポリシリコンで構成された第２の上部ゲート電極とを有していることを特徴とする半導体装置。

[請求項6] 請求項５に記載の半導体装置において、

前記第２のゲート絶縁膜の端部には、前記第１のゲート絶縁膜の端部よりも多くの固定電荷が導入されていることを特徴とする半導体装置。

[請求項7] 請求項６に記載の半導体装置において、

前記第２のゲート絶縁膜の側面は、前記第２のゲート電極の側面と同一面を構成していることを特徴とする半導体装置。

[請求項8] 請求項６に記載の半導体装置において、

前記第２のゲート絶縁膜の側面は、前記第２のゲート電極の側面よりも内側に位置していることを特徴とする半導体装置。

[請求項9] 請求項６に記載の半導体装置において、

前記第２のゲート絶縁膜の端部は、前記第２のゲート電極の側面から突き出ていることを特徴とする半導体装置。

[請求項10] 基板に形成された第１の活性領域上に高誘電体を含む第１のゲート絶縁膜と、金属材料を含む第１のゲート電極とを形成し、前記基板に形成された第２の活性領域上に高誘電体を含む第２のゲート絶縁膜と、金属材料を含む第２のゲート電極とを形成する工程（ａ）と、

前記第１のゲート絶縁膜の端部と前記第２のゲート絶縁膜の端部とに負の固定電荷を導入する工程（ｂ）と、

前記工程（ｂ）の後に、前記第１のゲート絶縁膜の端部を除去する工程（ｃ）とを備え、

前記工程（ｃ）において、前記第１のゲート電極のゲート長方向の長さに対する前記第１のゲート絶縁膜のゲート長方向の長さの割合は、前記第２のゲート電極のゲート長方向の長さに対する前記第２のゲート絶縁膜のゲート長方向の長さの割合より小さくなる半導体装置の製造方法。

[請求項11] 請求項１０に記載の半導体装置の製造方法において、

前記工程（ｂ）では、酸素を含むガスを用いてアッシングまたはドライエッチングを行うことを特徴とする半導体装置の製造方法。

[請求項12] 請求項１０に記載の半導体装置の製造方法において、

前記工程（ｃ）の後に、前記第１のゲート電極の側面上にシリコン窒化膜で構成された第１のオフセットスペーサを形成し、前記第２のゲート電極の側面上にシリコン窒化膜で構成された第２のオフセットスペーサを形成することを特徴とする半導体装置の製造方法。

[請求項13] 請求項１０に記載の半導体装置の製造方法において、

前記第１のゲート絶縁膜と前記第２のゲート絶縁膜とは組成が異な

っており、前記工程（ｃ）では、前記第１のゲート絶縁膜と前記第２のゲート絶縁膜のエッチングレートの差を利用したエッチングにより前記第１のゲート絶縁膜の端部を選択的に除去することを特徴とする半導体装置の製造方法。

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2010/001143

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/8238(2006.01)i, *H01L27/092*(2006.01)i, *H01L29/78*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/8238, H01L27/092, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2010
Kokai Jitsuyo Shinan Koho 1971-2010 Toroku Jitsuyo Shinan Koho 1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2005/013374 A1 (Fujitsu Ltd.), 10 February 2005 (10.02.2005), entire text; all drawings & US 2006/0194450 A1	1-13
A	JP 2004-087695 A (Fujitsu Ltd.), 18 March 2004 (18.03.2004), entire text; all drawings & US 2004/0038490 A1	1-13
A	JP 2005-333164 A (Renesas Technology Corp.), 02 December 2005 (02.12.2005), entire text; all drawings (Family: none)	1-13

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
14 May, 2010 (14.05.10)	01 June, 2010 (01.06.10)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

Form PCT/ISA/210 (second sheet) (July 2009)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2010/001143

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-211182 A (Interuniversitair Micro-Electronica Centrum VZW), 11 September 2008 (11.09.2008), entire text; all drawings & US 2008/0191286 A1 & EP 1944801 A1 & CN 101221922 A	1-13
A	JP 2008-305950 A (Renesas Technology Corp.), 18 December 2008 (18.12.2008), entire text; all drawings (Family: none)	1-13
A	JP 2000-174135 A (Mitsubishi Electric Corp.), 23 June 2000 (23.06.2000), entire text; all drawings & US 6525380 B2	1-13

Form PCT/ISA/210 (continuation of second sheet) (July 2009)

国際調査報告	国際出願番号　ＰＣＴ／ＪＰ２０１０／００１１４３

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/8238(2006.01)i, H01L27/092(2006.01)i, H01L29/78(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/8238, H01L27/092, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１０年
日本国実用新案登録公報	１９９６－２０１０年
日本国登録実用新案公報	１９９４－２０１０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	WO 2005/013374 A1（富士通株式会社）2005.02.10, 全文全図 & US 2006/0194450 A1	1-13
A	JP 2004-087695 A（富士通株式会社）2004.03.18, 全文全図 & US 2004/0038490 A1	1-13
A	JP 2005-333164 A（株式会社ルネサステクノロジ）2005.12.02, 全文全図（ファミリーなし）	1-13

☑ Ｃ欄の続きにも文献が列挙されている。　　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１４．０５．２０１０	０１．０６．２０１０

国際調査機関の名称及びあて先	特許庁審査官（権限のある職員）	4M	3840
日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	宮部　裕一 電話番号　０３－３５８１－１１０１　内線　３４６２		

様式ＰＣＴ／ＩＳＡ／２１０（第２ページ）（２００９年７月）

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2008-211182 A（アンテルユニヴェルシテール・ミクローエレクトロニカ・サントリュム・ヴェー・ゼッド・ドゥブルヴェ）2008.09.11, 全文全図 & US 2008/0191286 A1 & EP 1944801 A1 & CN 101221922 A	1-13
A	JP 2008-305950 A（株式会社ルネサステクノロジ）2008.12.18, 全文全図（ファミリーなし）	1-13
A	JP 2000-174135 A（三菱電機株式会社）2000.06.23, 全文全図 & US 6525380 B2	1-13

Docket No.: 085393-0709 **PATENT**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 53080
Tomohiro FUJITA, et al.	:	Confirmation Number: 6315
Application No.: 13/294,727	:	Group Art Unit: 2811
Filed: November 11, 2011	:	Examiner: GURLEY, LYNNE ANN

For: SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME

INFORMATION DISCLOSURE STATEMENT

Mail Stop Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

In accordance with the provisions of 37 C.F.R. 1.56, 1.97 and 1.98, the attention of the Patent and Trademark Office is hereby directed to the references listed on the attached form PTO-1449. It is respectfully requested that the references be expressly considered during the prosecution of this application, and that the references be made of record therein and appear among the "References Cited" on any patent to issue therefrom.

This Information Disclosure Statement is being filed within three months of the U.S. filing date OR before the mailing date of a first Office Action on the merits. No certification or fee is required.

Please note that the corresponding references, US 2006/0194450, US 2004/0038490, US 2008/0191286, and US 2009/0057771 were all previously cited in an Information Disclosure Statement dated November, 11, 2011, in the present application.

Please charge any shortage in fees due in connection with the filing of this paper, including extension of time fees, to Deposit Account 500417 and please credit any excess fees to such deposit account.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP

Acting Signed 58,958

for- Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
Phone: 202.756.8000 MEF:jpg
Facsimile: 202.756.8087
Date: May 11, 2012

Please recognize our Customer No. 53080 as our correspondence address.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Substitute for form 1449/PTO)

ATTY. DOCKET NO.	SERIAL NO.
085393-0709	**13/294,727**
APPLICANT: **Tomohiro FUJITA, et al.**	
FILING DATE: **November 11, 2011**	GROUP: **2811**

U.S. PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Document Number Number-Kind Code2 (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			

FOREIGN PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Foreign Patent Document Country Code3 -Number 4 -Kind Codes (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines Where Relevant Figures Appear	Translation Yes	Translation No
		WO 2005/013374	**02-10-2005**	**FUJITSU LIMITED**	**Corresponds to US 2006/0194450**	**ENGLISH ABSTRACT**	
		JP 2004-87695	**03-18-2004**	**FUJITSU**	**Corresponds to US 2004/0038490**		**X**
		JP 2008-211182	**09-11-2008**	**INTERUNIVERSITAIR MICRO-ELEKTRONICA CENTRUM VZW**	**Corresponds to US 2008/0191286**		**X**
		JP 2000-174135	**06-23-2000**	**MITSUBISHI ELECTRIC**	**US 2009/0057771**		**X**

OTHER ART (Including Author, Title, Date, Pertinent Pages, Etc.)

EXAMINER'S INITIALS	CITE NO.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	

EXAMINER	DATE CONSIDERED

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

1 Applicant's unique citation designation number (optional). 2 Applicant is to place a check mark here if English language Translation is attached.

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2005 年2 月10 日 (10.02.2005)

PCT

(10) 国際公開番号
WO 2005/013374 A1

(51) 国際特許分類[7]: H01L 29/78, 21/336, 21/302, 21/3065

(21) 国際出願番号: PCT/JP2003/009927

(22) 国際出願日: 2003 年8 月5 日 (05.08.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒211-8588 神奈川県 川崎市 中原区上小田中４丁目１番１号 Kanagawa (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 中村 誠 (NAKAMURA,Makoto) [JP/JP]; 〒211-8588 神奈川県 川崎市 中原区上小田中４丁目１番１号 富士通株式会社内 Kanagawa (JP).

(74) 代理人: 伊東 忠彦 (ITOH,Tadahiko); 〒150-6032 東京都 渋谷区 恵比寿４丁目２０番３号 恵比寿ガーデンプレイスタワー３２階 Tokyo (JP).

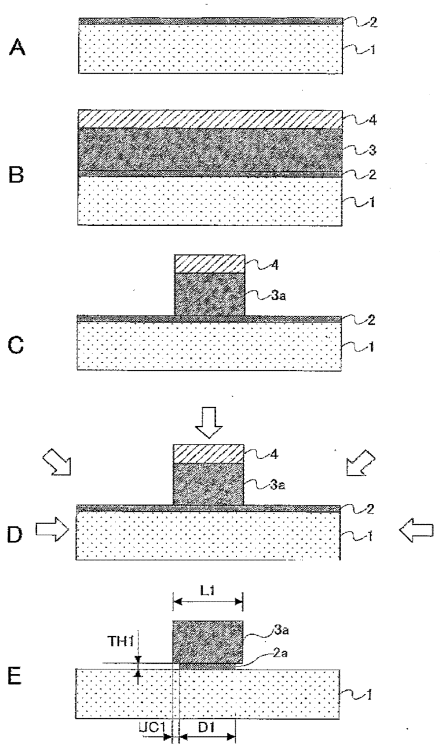
(81) 指定国 (国内): JP, US.

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置および半導体装置の製造方法



(57) Abstract: A semiconductor device having a gate insulating film made of a high dielectric material is manufactured with a good controllability of the etching of the gate insulating film. A method for manufacturing a semiconductor device in which a device is formed on a Si substrate, characterized by having a first step wherein an insulating film containing an oxide of Zr or Hf is formed on the Si substrate, a second step wherein a gate electrode film is formed on the insulating film, a third step wherein the gate electrode film is etched, a fourth step following the third step wherein the insulating film is subjected to a heat treatment in a halogen-containing treatment gas atmosphere, and a fifth step wherein the heat-treated insulating film is removed.

(57) 要約: 本発明は、高誘電体材料からなるゲート絶縁膜を有する半導体装置の製造において、前記ゲート絶縁膜のエッチングの制御性を良好とすることを目的とする。 そのため、本発明ではＳｉ基板上に素子が形成されてなる半導体装置の製造方法であって、前記Ｓｉ基板上にＺｒまたはＨｆの酸化物を含む絶縁膜を形成する第１の工程と、前記絶縁膜上にゲート電極膜を形成する第２の工程と、前記ゲート電極膜をエッチングする第３の工程とを有し、前記第３の工程の後にハロゲンを含む処理ガス雰囲気中で前記絶縁膜を加熱処理する第４の工程と、前記加熱処理された前記絶縁膜を除去する第５の工程を有することを特徴とする半導体装置の製造方法を用いた。

WO 2005/013374 A1

明細書

半導体装置および半導体装置の製造方法

技術分野

本発明は半導体装置および半導体装置の製造方法に係り、特には微細化高速半導体装置および当該微細化高速半導体装置の製造方法に関する。

背景技術

今日の超高速半導体装置では、微細化プロセスの進歩とともに、０．１μｍ以下のゲート長を有する素子を形成することが可能になってきている。一般に微細化とともに半導体装置の動作速度は向上するが、このように非常に微細化された半導体装置では、ゲート絶縁膜の膜厚を、微細化によるゲート長の短縮に伴って、スケーリング則に従って減少させる必要がある。

例えば、従来の半導体装置の製造工程でゲート電極を形成する工程を図１Ａ～図１Ｄに手順を追って示す。

まず、図１Ａに示す工程で、例えばＳｉからなる基板１０１上に、絶縁膜１０２を形成する。

次に、図１Ｂに示す工程で、前記絶縁膜１０２上に、例えば多結晶Ｓｉからなるゲート電極膜１０３が形成される。

次に、図１Ｃに示す工程で、前記ゲート電極膜１０３をエッチングしてゲート電極１０３ａを形成し、図１Ｄに示す工程で前記絶縁膜１０２をエッチングしてゲート絶縁膜１０２ａを形成する。

前記ゲート絶縁膜１０２ａには、従来シリコン酸化膜（SiO_2膜）が用いられてきた。しかし、しかしゲート長Ｌ０が０．１μｍ以下になると、ゲート絶縁膜の厚さＴＨ０が、SiO_2を使った場合、１～２ｎｍ、あるいはそれ以下に設定する必要があるが、このように非常に薄いゲート絶縁膜ではトンネル電流が増大し、その結果ゲートリーク電流が増大する問題を回避することができない。

このような事情で、比誘電率がSiO_2膜のものよりもはるかに大きく、このた

め実際の膜厚が厚くてもＳｉO_2膜に換算した場合の膜厚が小さい高誘電体材料をゲート絶縁膜に対して適用することが提案されている。このような高誘電体材料を使うことにより、ゲート長が０．１μｍ以下と、非常に微細な超高速半導体装置においても２～５ｎｍ程度の膜厚のゲート絶縁膜を使うことができ、トンネル効果によるゲートリーク電流を抑制することができる。

[特許文献１]

SIA,EECA,EIAJ,KSIA and TSIA, "International Technology Road Map for Semiconductors" in 2001 update

しかし、このような高誘電体材料は、従来のＳｉO_2膜と性質が異なり、そのために従来のエッチング方法をそのまま高誘電体材料のエッチングに適用することができない。

例えば、高誘電体膜をエッチングする際のエッチング速度が極端に遅くなって従来の方法ではエッチングが困難となる場合や、基板との充分なエッチング選択比を取ることが困難となり、エッチングの制御性が困難となる問題があった。

また、そのために必要とされるゲート絶縁膜の形状が得られず、半導体装置の性能を低下させてしまう場合があった。

発明の開示

本発明では、上記の問題を解決した新規で有用な半導体装置の製造方法、および半導体装置を提供することを課題としている。

本発明の具体的な課題は、高誘電体材料でゲート絶縁膜を形成する場合の、当該高誘電体材料のエッチングの制御性を良好とした半導体装置の製造方法を提供することである。

本発明の別の課題は、良好な形状の、高誘電体材料からなるゲート絶縁膜を有する半導体装置を提供することである。

本発明では上記の課題を、Ｓｉ基板上に素子が形成されてなる半導体装置の製造方法であって、前記Ｓｉ基板上にＺｒまたはＨｆの酸化物を含む絶縁膜を形成する第１の工程と、前記絶縁膜上にゲート電極膜を形成する第２の工程と、前記ゲート電極膜をエッチングする第３の工程とを有し、前記第３の工程の後にハロ

ゲンを含む処理ガス雰囲気中で前記絶縁膜を加熱処理する第４の工程と、前記加熱処理された前記絶縁膜を除去する第５の工程を有することを特徴とする半導体装置の製造方法を用いて解決する。

本発明によれば、高誘電体材料であるＺｒまたはＨｆの酸化物を含む絶縁膜のエッチングの速度を向上させることで、高誘電体材料からなるゲート絶縁膜を形成する場合のエッチングの制御性が良好となる。

また、本発明では上記の課題を、Ｓｉ基板上に素子が形成されてなる半導体装置の製造方法であって、前記Ｓｉ基板上にＺｒまたはＨｆの酸化物を含む絶縁膜を形成する第１の工程と、前記絶縁膜上にゲート電極膜を形成する第２の工程と、前記ゲート電極膜をエッチングする第３の工程とを有し、前記第３の工程の後にハロゲンを含む処理ガスのラジカルで前記絶縁膜を処理する第４の工程と、当該第４の工程で処理された前記絶縁膜を除去する第５の工程を有することを特徴とする半導体装置の製造方法を用いて解決する。

本発明によれば、高誘電体材料であるＺｒまたはＨｆの酸化物を含む絶縁膜のエッチングの速度を向上させることで、高誘電体材料からなるゲート絶縁膜を形成する場合のエッチングの制御性が良好となる。

また、本発明では上記の課題を、Ｓｉ基板と、前記Ｓｉ基板上の素子領域と、前記素子領域上に形成されたＺｒの酸化物、またはＨｆの酸化物を含むゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを有する電界効果型トランジスタを含む半導体装置であって、前記素子領域の第１の側から第２の側に向かう方向で、前記ゲート絶縁膜の長さが、前記ゲート電極のゲート長より小さく、前記ゲート絶縁膜の第１の側の端部から、前記ゲート電極の前記第１の側の端部までの距離が、前記ゲート絶縁膜の膜厚と略同一であることを特徴とする半導体装置を提供することが可能となる。

また、本発明では上記の課題を、Ｓｉ基板上に素子が形成されてなる半導体装置の製造方法であって、前記Ｓｉ基板上に、ＡｌまたはＳｉを含むＨｆ酸化物またはＨｆ酸窒化物を含む絶縁膜を形成する第１の工程と、前記絶縁膜上にゲート電極膜を形成する第２の工程と、前記ゲート電極膜をエッチングする第３の工程と、前記第３の工程の後に、前記Ｓｉ基板を処理液で処理する第４の工程とを含

み、前記第４の工程の前に、前記絶縁膜を前記第２の工程のゲート電極膜の形成温度以上の温度で加熱処理する熱処理工程を設けたことを特徴とする半導体装置の製造方法を用いて解決する。

本発明によれば、高誘電体材料である、ＡｌまたはＳｉを含むＨｆ酸化物またはＨｆ酸窒化物を含む絶縁膜の熱処理を行うことで、高誘電体材料からなるゲート絶縁膜を形成する場合のエッチングの制御性が良好となる。

また、本発明では上記の課題を、Ｓｉ基板と、前記Ｓｉ基板上の素子領域と、前記素子領域上に形成された、ＡｌまたはＳｉを含むＨｆの酸化物を含むゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを有する電界効果型トランジスタを含む半導体装置であって、前記素子領域の第１の側から第２の側に向かう方向で、前記ゲート絶縁膜の長さが、前記ゲート電極のゲート長より小さく、前記ゲート絶縁膜の第１の側の端部から、前記ゲート電極の前記第１の側の端部までの距離が、前記ゲート絶縁膜の膜厚と略同一であることを特徴とする半導体装置を提供することが可能となる。

図面の簡単な説明

図１Ａ～図１Ｄは、従来の半導体装置の製造方法を示す図である。

図２Ａ～図２Ｃは、高誘電体材料からなるゲート絶縁膜を用いた半導体装置の製造方法を示す図（その１）である。

図３Ａ～図３Ｅは、高誘電体材料からなるゲート絶縁膜を用いた半導体装置の製造方法を示す図（その２）である。

図４は、図３Ａ～図３Ｅに示した方法と異なる方法を用いて形成した半導体装置の構成例である。

図５は、図３Ａ～図３Ｅの製造方法を用いて半導体素子が形成された、被処理基板の概要を模式的に示した図である。

図６Ａ～図６Ｋは、高誘電体材料からなるゲート絶縁膜を用いたＣＭＯＳを含む半導体装置の製造方法を示した図（その１）である。

図７は、図６Ａ～図６Ｋの製造方法により形成された半導体装置の一部拡大図である。

図８Ａ～図８Ｄは、高誘電体からなるゲート絶縁膜を用いた半導体装置の製造方法を示す図（その３）である。

図９Ａ～図９Ｅは、高誘電体膜のエッチング耐性を調べた結果を示す図である。

図１０Ａ～図１０Ｅは、高誘電体材料からなるゲート絶縁膜を用いた半導体装置の製造方法を示す図（その４）である。

図１１Ａ～図１１Ｅは、高誘電体からなるゲート絶縁膜を用いた半導体装置の製造方法を示す図（その５）である。

図１２Ａ～図１２Ｅは、高誘電体からなるゲート絶縁膜を用いた半導体装置の製造方法を示す図（その６）である。

図１３Ａ～図１３Ｋは、高誘電体からなるゲート絶縁膜を用いたＣＭＯＳを含む半導体装置の製造方法を示した図（その２）である。

図１４は、図１３Ａ～図１３Ｋの製造方法により形成された半導体装置の一部拡大図である。

発明を実施するための最良の形態

次に、本発明の実施の形態に関して図面に基づき、説明する。

［第１実施例］

図２Ａ～図２Ｃは、本発明の関連技術による、高誘電体をゲート絶縁膜に用いた半導体装置の製造方法を示す図である。

まず、図２Ａに示す工程で、例えばＳｉからなる基板１の表面を前処理により、処理したあと、図示しない素子分離絶縁膜により分離された素子形成領域に、高誘電体材料、例えばHfO_2からなる絶縁膜２を形成する。

次に、図２Ｂに示す工程において、前記絶縁膜２上に、例えば多結晶Ｓｉからなるゲート電極膜３を形成する。この場合、多結晶Ｓｉを形成する温度は、６００℃程度となる。さらに、多結晶Ｓｉをエッチングする際のハードマスクとなるシリコン酸化膜（SiO_2膜）からなるマスク膜４を成膜する。

次に、図２Ｃに示す工程において、前記ゲート電極膜３のエッチングを行う。エッチングは、まず、前記マスク膜４上に形成された、パターニングされたレジストをマスクに、当該マスク膜４のエッチングを行い、さらにエッチングされた

当該マスク膜４をマスクにして、例えばＢｒ系のガスを用いたＲＩＥ（反応性イオンエッチング）によって前記ゲート電極膜３のエッチングを行い、ゲート電極３ａを形成する。

しかし、前記ゲート電極膜を形成する際に、前記絶縁膜２の温度が６００℃程度となるために、当該絶縁膜２の結晶化が進行し、当該絶縁膜２のエッチングが困難となってしまう場合がある。

この場合、通常の例えばＢｒガスを用いたＲＩＥではエッチング速度が極端に遅く、基板が露出すると基板のエッチングが早く進行してしまうという問題がある。また薬液（無機酸など）を用いたエッチング処理でも結晶化が進行した前記絶縁膜２のエッチング速度は極端に遅く、当該絶縁膜２をエッチングすることが困難になっていた。

そこで、次に、結晶化が進行した高誘電体膜をエッチングする方法を含む、本発明の第１実施例による半導体装置の製造方法を図３Ａ～図３Ｅに示す。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

まず、図３Ａに示す工程で、例えばＳｉからなる基板１の表面を前処理により、処理した後、図示しない素子分離絶縁膜により分離された素子形成領域に、例えばＡＬＤ法（Atomic Layer Deposition、ＡＬＣＶＤ法と呼ぶ場合もある、原子層化学気相堆積法；原料ガスを断続的に、例えば複数の原料ガスを交互に供給することにより、分子層または原子層に近いレベルで高品質の成膜を行う方法）、もしくはＭＯＣＶＤ法（有機金属を用いた化学気相堆積法）によって高誘電体膜、例えばHfO_2を３ｎｍ形成する。

次に、図３Ｂに示す工程において、前記絶縁膜２上に、例えば多結晶Ｓｉからなるゲート電極膜３を１００ｎｍ形成する。この場合、多結晶Ｓｉを形成する温度は、６００～６５０℃程度となる。さらに、多結晶Ｓｉをエッチングする際のハードマスクとなるシリコン酸化膜（SiO_2膜）からなるマスク膜４を５０ｎｍ成膜する。

次に、図３Ｃに示す工程で、前記ゲート電極膜３のエッチングを行う。エッチングは、まず、前記マスク膜４上に形成された、パターニングされたレジストをマスクに、当該マスク膜４のエッチングを行い、さらにエッチングされた当該マ

スク膜４をマスクにして、例えばＢｒ系のガスを用いたＲＩＥによって前記ゲート電極膜３のエッチングを行い、ゲート電極３ａを形成する。

次に、図３Ｄに示す工程で、前記基板１の近傍にハロゲンガス、例えばＣｌを含むＣＣｌ$_4$ガスを導入し、例えばランプ加熱により当該基板１を好ましくは４５０℃～５００℃、例えば５００℃で３０分間加熱することで、前記基板１上に形成された金属酸化物が金属塩化物変化する反応、例えばＨｆＯ$_2$がＨｆＣｌ$_4$へと変化する反応が生じる。このように、ＨｆＯ$_2$を、ＣＣｌ$_4$雰囲気中で４５０℃～５００℃に加熱すると、ＨｆＣｌ$_4$が形成されることが知られている。（化合物の辞典、高木進著、参照）。

また、このような変化は、前記絶縁膜２が、前記ゲート電極３ａで覆われていない部分（裏面やベベルなどを含む）で、高誘電体膜、例えばＨｆＯ$_2$がハロゲンガスに曝される部分で、略選択的に生じる。

この場合、前記ゲート電極３ａを保護するために、前記マスク膜４を通常の場合に比べて厚くする、または前記マスク膜４と前記ゲート電極３ａの間にシリコン窒化膜（ＳｉＮ膜）を形成すると、前記ゲート電極３ａがハロゲンガスによって変質することを防止することが可能となり、好適である。

次に、図３Ｅに示す工程において、前記基板１を、例えば減圧下で３２０℃に加熱処理することにより、図３Ｄに示す工程において形成された金属塩化物、例えばＨｆＣｌ$_4$が昇華し、前記ゲート電極３ａで覆われていない前記絶縁膜２が、略選択的に除去され、ゲート絶縁膜２ａが形成される。また、ＨｆＣｌ$_4$は、３１５℃以上で昇華することが知られているが、減圧下ではＨｆＣｌ$_4$の昇華が開始される温度が低くなるため、ＨｆＣｌ$_4$を昇華させる場合は、減圧下で行うと好適である。

また、ＨｆＣｌ$_4$は、加水分解するため、前記基板１を水、もしくは水を含む溶液などで処理することで、ＨｆＣｌ$_4$を除去して、ゲート絶縁膜２ａを形成することも可能である。

次に、このようにしてＨｆＣｌ$_4$を除去した後、前記基板１上に残留する、残留物を、ｄＨＦ(希フッ酸)で処理することにより、除去して、ゲート電極の形成が完了する。前記基板１上には、例えば自然酸化膜が存在し、当該自然酸化膜中に

は、例えばＨｆとＳｉの反応層が存在する場合があるが、ｄＨＦにより、SiO_2換算で１０ｎｍ程度エッチングすることにより、Ｓｉ表面の残留物の濃度は10^{-10}ａｔｏｍｓ／ｃｍ^{2}以下にすることができた。

また、前記図３Ｄに示した、金属酸化物を金属ハロゲン化物に変化させる反応は、ハロゲンガスに換えてハロゲンのラジカルやイオン、例えばＣｌラジカルを基板近傍に供給して行うことも可能である。この場合、ラジカルを形成する方法として、例えばプラズマを用いる方法がある。例えば平行平板プラズマ、ＥＣＲプラズマ、またはＩＣＰなどを用いてハロゲンガスを解離し、例えばＣｌラジカルを形成する方法がある。また、ラジカルを形成する方法はプラズマに限定されるものではなく、例えば光励起、または触媒を用いるなどの方法によってラジカルを形成することも可能である。

このようにして形成した、ハロゲンのラジカルを用いた場合にも、ハロゲンガス中で加熱処理した前記図３Ｄに示した工程を行った場合と同様の効果を得ることが可能である。

また、本実施例によって前記ゲート絶縁膜２ａを形成する際は、前記ゲート電極３ａで覆われていない前記絶縁膜２部分が、略選択的に除去される。しかし、ハロゲンの拡散があるため、ゲート絶縁膜２ａの、前記ゲート電極３ａで覆われた部分のうち、当該ゲート電極３ａの端部付近が金属ハロゲン化物（例えばHfC_4）になり、その結果図３Ｅに示すように、僅かにエッチングされる。

そのため、前記ゲート電極３ａのゲート長Ｌ１よりも、前記ゲート絶縁膜２ａの前記ゲート長Ｌ１に平行な長さＤ１が僅かに小さくなる、すなわちアンダーカットが存在することになる。

この場合、前記ゲート電極３ａの前記ゲート絶縁膜２ａに接する側の端部から、前記ゲート絶縁膜２ａの端部までの長さであるアンダーカットＵＣ１は、前記ゲート絶縁膜２ａの厚さＴＨ１と略同一に抑制される。

また、他の方法を用いて前記絶縁膜２をエッチングした場合には、このように前記絶縁膜２ａの形状が良好な形状とすることは困難である。

例えば、図３Ｄに示した工程において、イオン照射によって前記絶縁膜２を非晶質化して、当該前記絶縁膜２をエッチングする方法をとった場合、イオンが前

記ゲート電極３ａの端部付近に十分に照射されず、非晶質化されない前記絶縁膜２が存在してしまうため、例えば、図４に示すように、前記ゲート電極３ａの端部にかけて前記ゲート絶縁膜２が残留してしまう問題が生じる場合がある。

また、塩素系のガスのプラズマを用いて、結晶化した前記絶縁膜２をＲＩＥによって除去しようとすると、金属酸化膜からなる前記絶縁膜２より、エッチング耐性の小さいＳｉ基板が大きくエッチングされてしまう問題が生じる。

本実施例ではこのような問題を解決し、前記アンダーカットＵＣを、前記ゲート絶縁膜２ａの厚さＴＨと略同一に制御して、良好な形状の高誘電体からなるゲート絶縁膜を形成し、当該ゲート絶縁膜を用いることで、微細化された、高速度で動作する半導体装置を形成することが可能となる。

また、本実施例を用いることで、前記基板１のベベル部（基板周縁の端部）や、前記基板１の、素子が形成される面と反対側の裏面に形成された、高誘電体膜、例えばHfO_2を削除することが可能となる効果を奏する。

図５には、図３Ｅに示した工程における、前記基板１の全体を模式的に示した断面図を示す。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

図５を参照するに、図３Ａ～図３Ｄに示した工程によって、基板１上にはゲート絶縁膜２ａおよび当該ゲート絶縁膜２ａ上にゲート電極３ａが形成されている。また、実際は前記ゲート電極３ａおよびゲート絶縁膜２ａは微細にパターニングされているが、図中ではパターニングを省略して図示している。

前記基板１のベベル部１ａ（基板の周縁部の端部）や、前記基板１の裏面部１ｂには、図３Ａに示した工程において、前記絶縁膜２が付着する。しかし、本実施例においては、前記絶縁膜２を、図３Ｄ～図３Ｅに示す工程によって、除去することが可能である。

但し、その場合は、図３Ｂに示した工程において、前記絶縁膜２を覆うように、前記基板１のベベル部１ａや、前記基板１の裏面部１ｂに付着した前記ゲート電極膜３、例えば多結晶Ｓｉを除去することが必要であり、その場合、例えば、前記基板をフッ硝酸（HF/HNO_3）によってウェット処理することで前記ゲート電極膜３を除去する方法が好適である。

また、他の方法で、例えば、図３Ｄに示した工程において、イオン照射によって前記絶縁膜２を非晶質化して、当該前記絶縁膜２をエッチングする方法をとった場合、イオンは直進性が強いために、前記ベベル部１ａや、裏面１ｂにイオンを照射することは困難であり、前記ベベル部１ａや、裏面１ｂに付着した前記絶縁膜２を除去することは困難である。

このような前記ベベル部１ａや、裏面１ｂに付着した前記絶縁膜２は、半導体装置の製造工程において、不純物として問題となる場合があるため、除去することが必要である。

本実施例においては、ハロゲンガス、またはハロゲンガスを解離したラジカルを用いているため、前記ベベル部１ａや前記裏面１ｂに当該ハロゲンガスまたは当該ハロゲンのラジカルが到達し、金属酸化物を金属ハロゲン化物に変化させる反応を生じさせる効果を得ることができる。

そのため、除去することが困難であった基板のベベル部や裏面の、結晶化が進行した高誘電体膜を除去することが可能となった。そのため、高誘電体からなる膜をゲート絶縁膜に用いることが可能となり、微細化された、高速度で動作する半導体装置を製造することが可能となった。

また、本実施例中では、おもにゲート絶縁膜に用いる材料として、HfO_2を例にとって説明したが、他の金属酸化物、例えばZrO_2を用いた場合にも、本実施例中に記載した場合と同様の効果を得ることが可能である。また、金属酸化膜、例えばHfO_2やZrO_2は、膜中に窒素を含んでいてもよく、この場合、本実施例を同様に適用することができると共に、ゲート絶縁膜のバリア性が向上し、不純物の突き抜けを防止することが可能となる効果がある。

また、金属酸化物をハロゲン化物に変化させるためのハロゲンとしては、塩素を含むガス、例えばCCl_4を例にとって実施例を記載したが、これに限定されるものではなく、他の塩素を含むガス、または塩素、さらには他のハロゲンガスとして、例えばＦ，Ｂｒなどを用いることも可能であり、本実施例に記載した場合と同様の効果を奏する。

［第２実施例］

次に、第１実施例に記載した方法を用いた、ＣＭＯＳを含む半導体装置の製造

方法を図６Ａ～６Ｋを用いて手順を追って説明する。

まず、図６Ａに示す工程において、Ｓｉからなる基板１１上に、素子分離絶縁膜１２を、例えばＳＴＩ法、またはＬＯＣＯＳ法により複数形成して、Ｐ型不純物とＮ型不純物の注入をおこなって、例えば低濃度Ｐ型不純物拡散層からなる素子形成領域１１Ａと、低濃度Ｎ型不純物拡散層からなる素子形成領域１１Ｂを形成する。

次に、図６Ｂに示す工程において、前記素子形成領域１１Ａおよび１１Ｂ上に、前記ＡＬＤ法、または前記ＭＯＣＶＤ法により、高誘電体膜である金属酸化物膜、例えばHfO_2からなる絶縁膜１３を３ｎｍ形成する。

次に、図６Ｃに示す工程において、前記絶縁膜１３上に、例えば多結晶Ｓｉからなるゲート電極膜１４を、例えばＬＰＣＶＤ法（Low Pressure CVD法、減圧化学気相堆積法）により、１１０ｎｍ形成する。

次に、図６Ｄに示す工程において、ＣＶＤ法によって前記ゲート電極１４上に、例えばシリコン酸化膜、またはシリコン窒化膜からなる、前記ゲート電極膜１４をエッチングする際のハードマスクとなるマスク膜１５を、例えば５０ｎｍ堆積する。

次に、図６Ｅに示す工程において、前記マスク膜１５上に、レジストを塗布し、フォトリソグラフィ法によってゲート電極形成のためのパターニングを施し、例えばＣＦ系のガスによって、前記マスク膜１５のパターニングを行い、さらに前記マスク膜１５をハートマスクとして、例えばＢｒ系のガスを用いたＲＩＥによって前記ゲート電極膜１４のパターニングを行って、ゲート電極１４ａを形成する。

また、ＲＩＥによるパターニング後には、薬液を用いたウェット処理を行った後にアッシングを行い、さらにアッシング後に、エッチング中の堆積物や残渣物などを除去するために、薬液を用いたウエット処理を行う。

次に、図６Ｆに示す工程において、まずマスク膜１５を除去した後、図６Ｃに示した工程において、基板のベベル部や裏面、または基板のエッジ部に堆積した、多結晶Ｓｉからなるゲート電極膜１４を、フッ硝酸（HF/HNO_3）によって選択的に除去する。

次に前記基板１１を、真空排気が可能な処理容器に搬送する。そこで、減圧状態のCCl_4雰囲気とした当該処理容器内で、５００℃にて３０分加熱処理され、前記絶縁膜１３が露出している部分、すなわち前記絶縁膜１３が前記ゲート電極１４ａで覆われていない部分は略選択的に金属酸化物から金属ハロゲン化物、例えばHfO_2から$HfCl_4$が形成される反応が生じる。また、HfO_2から$HfCl_4$が形成される反応を生じさせるために、図３Ｄの説明で前記したように、ハロゲンのラジカルを用いても同様の効果を得ることができる。

次に、前記基板１を減圧下で、例えば３２０℃に加熱することにより、形成された$HfCl_4$を昇華させて除去し、ゲート絶縁膜１３ａを形成する。

また、$HfCl_4$は、加水分解するため、前記基板１１を水、もしくは水を含む溶液などで処理することで、$HfCl_4$を除去して、ゲート絶縁膜１３ａを形成することも可能である。

また、図３Ｅに示したように、本実施例によって前記ゲート絶縁膜１３ａを形成する際は、前記ゲート電極１４ａで覆われていない前記絶縁膜１３部分が、略選択的に除去されるが、ハロゲン化物の拡散によって、ゲート端部１３の端部付近のHfO_2が$HfCl_4$に変化するために、前記ゲート電極１４ａのゲート長Ｌ２よりも、前記ゲート絶縁膜１３ａの前記ゲート長Ｌ２に平行な長さＤ２が僅かに小さくなる。

また、本工程においては、図５に示したように、基板１１のベベル部や裏面、さらにはエッジ部などに堆積した絶縁膜１３を除去することが可能となり、本工程の後工程に対して、汚染物となることを防止して、半導体回路の汚染を防止した、信頼性の高い半導体装置を製造することを可能としている。

また、このようにして前記素子形成領域１１Ａと、素子形成領域１１Ｂ上のHfO_2を除去する前に、例えば図６Ｂの工程の後の工程のいずれかにおいて、図６Ｆに示す工程と同様の処理を行って、基板１１の裏面やベベル部、またはエッジのHfO_2の除去を行う工程を別に設けることも可能であり、その場合、基板１１のベベル部や裏面、またはエッジ部などに堆積した絶縁膜１３を除去して、半導体回路の汚染を防止した、信頼性の高い半導体装置を製造することを可能とする。

次に、図６Ｇに示す工程において、前記素子形成領域１１Ｂをレジスト Ｒｂでマスクし、前記素子形成領域１１Ａに、Ｎ型不純物を注入して低濃度不純物拡散領域１１ａを形成する。

次に、同様にして図６Ｈに示す工程において、前記素子形成領域１１ＡをレジストＲａでマスクし、前記素子形成領域１１Ｂに、Ｎ型不純物を注入して低濃度不純物拡散領域１１ｂを形成する。

次に、図６Ｉに示す工程において、前記素子形成領域１１Ａ，１１Ｂおよび前記ゲート電極１４ａを覆うように、ＣＶＤ法によりシリコン酸化膜からなる絶縁膜を形成し、当該絶縁膜をエッチングして、側壁絶縁膜１６を形成する。

次に、図６Ｊに示す工程において、図６Ｇ～図６Ｈに示した工程と同様にして、前記素子形成領域１１Ａおよび１１Ｂに、それぞれＮ型不純物およびＰ型不純物を注入する。その結果、前記素子形成領域１１Ａには、前記隔壁絶縁１６の端部から前記素子分離絶縁膜１２にかけて高濃度不純物拡散領域１１ｄが、また、前記素子形成領域１１Ｂには、前記隔壁絶縁１６の端部から前記素子分離絶縁膜１２にかけて高濃度不純物拡散領域１１ｃが形成される。

次に、図６Ｋに示す工程において、前記素子形成領域１１Ａ，１１Ｂおよび前記ゲート電極１４ａなどを覆うように、ＣＶＤ法によって、例えばＰＳＧ（リンガラス）からなる絶縁膜１７を堆積し、当該絶縁膜１７中に、前記高濃度不純物拡散層１１ｃおよび１１ｄに電気的に接続する、バリア膜２０に覆われた、例えばＷからなるコンタクトプラグ１９を形成する。

次に、前記コンタクトプラグ１９に電気的に接続される配線層を形成する。前記絶縁膜１７を覆うように、例えば、シリコン酸化膜、フッ素添加シリコン酸化膜、有機絶縁膜、多孔質絶縁膜などからなる層間絶縁膜層１８を形成し、当該層間絶縁膜層１８内に、前記コンタクトプラグ１９に電気的に接続される、例えばＣｕまたはＡｌなどからなる、バリア膜２２に覆われた配線層２１を形成する。

さらに、このような層間絶縁膜や配線層を多層に形成して、半導体装置１０を形成する。

また、ゲート絶縁膜１３ａの形状について、図６Ｋ中のＸ部の拡大図を、図７に示す。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略

する。

図７を参照するに、前記ゲート電極１４ａの、前記ゲート絶縁膜１３ａに接する側の端部Ｅｄ１から、前記ゲート絶縁膜１３ａの、前記ゲート電極１４ａに接する側の端部Ｅｄ２までの距離である、アンダーカットＵＣ２は、前記ゲート絶縁膜１３ａの厚さＴＨ２と略同一となる。

また、本実施例以外の方法を用いて前記絶縁膜２をエッチングした場合には、このように前記絶縁膜１３ａの形状を良好とするのは困難である。例えばイオン照射によって前記絶縁膜１３を非晶質化して、当該前記絶縁膜１３をエッチングする方法をとった場合、イオンが前記ゲート電極１４ａの端部付近に十分に照射されず、非晶質化されない前記絶縁膜１３が存在してしまうため、前記ゲート電極１４ａの端部にかけて前記ゲート絶縁膜１３が残留してしまう問題が生じる。

また、塩素系のガスやＢｒ系のガスを用いて、結晶化した前記絶縁膜１３をＲＩＥによって除去しようとすると、金属酸化膜からなる前記絶縁膜１３より、エッチング耐性の小さいＳｉ基板が大きくエッチングされてしまう問題が生じる。

本実施例ではこのような問題を解決し、前記アンダーカットＵＣ２は、前記ゲート絶縁膜１３ａの厚さＴＨ２と同じ程度になり、良好な形状の高誘電体からなるゲート絶縁膜を形成し、微細化された、高速度で動作する半導体装置を形成することを可能としている。

［第３実施例］

また、図８Ａ～図８Ｃは、別の高誘電体材料をゲート絶縁膜に用いた、本発明の別の関連技術による半導体装置の製造方法を示す図である。

まず、図８Ａに示す工程で、例えばＳｉからなる基板３１の表面を前処理により、処理したあと、図示しない素子分離絶縁膜により分離された素子形成領域に、高誘電体材料、例えばＡｌを含むＨｆの酸化物（ＨｆとＡｌとＯを含む化合物）であるハフニウムアルミネートからなる絶縁膜３２を形成する。

次に、図８Ｂに示す工程において、前記絶縁膜３２上に、例えば多結晶Ｓｉからなるゲート電極膜３３を形成する。この場合、多結晶Ｓｉを形成する温度は、６００℃程度となる。さらに、多結晶Ｓｉをエッチングする際のハードマスクとなるシリコン酸化膜（SiO_2膜）からなるマスク膜３４を成膜する。

次に、図８Ｃに示す工程において、前記ゲート電極膜３３のエッチングを行う。エッチングは、まず、前記マスク膜３４上に形成された、パターニングされたレジストをマスクに、当該マスク膜３４のエッチングを行い、さらにエッチングされた当該マスク膜３４をマスクにして、例えばＢｒ系のガスを用いたＲＩＥ（反応性イオンエッチング）によって前記ゲート電極膜３３のエッチングを行い、ゲート電極３３ａを形成する。

次に、図８Ｄに示す工程で、アッシングの後、例えばｄＨＦ（希フッ酸）とH_2SO_4（硫酸）およびH_2O_2（過酸化水素水）の混合溶液からなる無機酸の薬液を用いたウェット処理を行い、ＲＩＥによるパターニングの際に、エッチング物が再付着して堆積した堆積物や、エッチング残渣物などを除去する。

しかし、ハフニウムアルミネートはこのような無機酸に対する耐性が弱いため、薬液処理によりエッチングされて、図８Ｄに示すように、前記ゲート電極３３ａのゲート長に対して、ゲート絶縁膜３２ａが大きくエッチングされる、いわゆるアンダーカットが大きくなってしまう問題が生じていた。

このような問題を解決するため、例えば前記絶縁膜３２を熱処理して、薬液耐性を向上させる、すなわち薬液に対するエッチング速度を小さくする方法がある。

本発明の発明者は、高誘電体からなる絶縁膜、例えばハフニウムアルミネートからなる絶縁膜は、熱処理すると、当該絶縁膜の薬液耐性が向上する、すなわち薬液に対するエッチング速度が小さくなる傾向があることを見出した。これは、熱処理することによって、前記絶縁膜中の不純物が減少すると共に膜が緻密となって、薬液耐性が向上していることがその原因であると推察される。

図９Ａ～図９Ｄは、ＡＬＤ法によって形成されたハフニウムアルミネート（Ｈｆ：Ａｌが８０：２０の比）を、薬液でエッチングした場合の膜厚の変化を示したものである。図中、横軸にエッチング時間、縦軸にハフニウムアルミネートの膜厚を示してある。

また、図９Ａ～図９Ｄは、それぞれ、ｄＨＦ、H_2SO_4（液温度１１０℃）、H_2SO_4（液温度１３０℃）、ＳＰＭ（ｄＨＦ、H_2SO_4、H_2O_2の混合液）によって、Ｓｉ基板上に形成された、ハフニウムアルミネートがエッチングされる量を

、膜厚で示したものである。

また、図９Ａでは、ハフニウムアルミネートの熱処理無しでのエッチング量の測定結果を実験ａ１で、同様にハフニウムアルミネートの熱処理温度を７００℃とした場合の結果を実験ａ２で、また同様にハフニウムアルミネートの熱処理温度を８００℃とした場合の結果を実験ａ３でそれぞれ示している。

以下同様に、図９Ｂ～図９Ｄにおいて、熱処理無しの結果をそれぞれ実験ｂ１、ｃ１およびｄ１で、熱処理温度７００℃の結果をそれぞれ実験ｂ２、ｃ２およびｄ２で、さらに熱処理温度８００℃の結果をそれぞれ実験ｂ３、ｃ３およびｃ４でそれぞれ示す。

図９Ａ～図９Ｄを参照するに、いずれの薬液を用いた場合も、ハフニウムアルミネートを熱処理することで、薬液によるエッチング量が小さくなって、ハフニウムアルミネートの薬液耐性が向上していることがわかる。特に、熱処理無しの条件から、熱処理温度７００℃、さらに熱処理温度８００℃と処理温度を上げるに従い、エッチング耐性が大きくなっていることがわかる。

このような性質を有する高誘電体膜からなる絶縁膜、例えばハフニウムアルミネートをゲート絶縁膜として用いる半導体装置を製造する場合には、当該絶縁膜を熱処理して用いると、薬液耐性が向上して好適である。

例えば、前記図８Ａ～８Ｄに示した半導体装置の製造方法において、図８Ｄに示した薬液処理の前に、前記絶縁膜３２を、前記ゲート電極膜３３が形成される場合の温度以上の温度で熱処理することにより、薬液耐性を向上させることが可能となる。この場合の熱処理温度は、例えば図８Ｂの工程において、多結晶Ｓｉを形成する場合の温度以上が好適であり、好ましくは７００℃以上、より好ましくは８００℃以上とするのがよい。

次に、例えば、このような熱処理を含む、本発明の第３実施例による半導体装置の製造方法を図１０Ａ～図１０Ｄに示す。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

まず、図１０Ａに示す工程で、例えばＳｉからなる基板３１の表面を前処理により、処理した後、図示しない素子分離絶縁膜により分離された素子形成領域に、例えばＡＬＤ法、もしくはＭＯＣＶＤ法によって高誘電体膜、例えばハフニウ

ムアルミネート（Ｈｆ：Ａｌが８０：２０の比）からなる絶縁膜３２を３ｎｍ形成する。

次に、図１０Ｂに示す工程において、例えばランプ加熱により、前記絶縁膜３２が形成された前記基板３１を、窒素雰囲気中で、８００℃で１０分間保持し、前記絶縁膜３２の熱処理を行い、当該絶縁膜３２の薬液耐性を向上させる。また、この場合、熱処理の前に前記絶縁膜３２の表面を窒化してもよい。

次に、図１０Ｃに示す工程において、前記絶縁膜３２上に、例えば多結晶Ｓｉからなるゲート電極膜３３を１００ｎｍ形成する。この場合、多結晶Ｓｉを形成する温度は、６００℃程度となる。さらに、多結晶Ｓｉをエッチングする際のハードマスクとなるシリコン酸化膜（SiO_2膜）からなるマスク膜３４を３０ｎｍ成膜する。この場合、前記ゲート電極膜３３を形成する前に、窒化シリコン膜からなる層を形成してもよい。

次に、図１０Ｄに示す工程で、前記ゲート電極膜３３のエッチングを行う。エッチングは、まず、前記マスク膜３４上に形成された、パターニングされたレジストをマスクに、当該マスク膜３４のエッチングを行い、さらにエッチングされた当該マスク膜３４をマスクにして、例えばＨＢｒ系のガスを用いたＲＩＥによって前記ゲート電極膜３３のエッチングを行い、ゲート電極３３ａを形成する。

次に、アッシングを行い、さらにｄＨＦとH_2SO_4とH_2O_2の混合溶液によるウェット処理によって、ＲＩＥによるパターニングの際に、エッチング物が再付着して堆積した堆積物や、エッチング残渣物などを除去する。

この場合、熱処理によってハフニウムアルミネートの薬液耐性が向上しているため、当該ウェット処理で、図８Ｄに示した工程でみられたような大きなアンダーカットが形成されることがなく、当該ウェット処理で前記絶縁膜３２がエッチングされる量はごく僅かとなる。

次に、図１０Ｅに示す工程において、１３５℃の濃硫酸処理を３０分行い、さらに濃度２％の気フッ化水素水に１５秒間浸漬することにより、前記ゲート電極３３で覆われていない部分のハフニウムアルミネートからなる前記絶縁膜３２を略選択的にエッチングすることができる。当該ハフニウムアルミネートは、熱処理により薬液耐性が向上しているが、前記１０Ｄに示す工程に比べて薬液温度を

上げること、また長時間浸漬することにより、ハフニウムアルミネートを完全に除去することができる。

また、この場合ハフニウムアルミネートのエッチングレートが小さくなっているため、エッチングの制御性が良好となる効果がある。例えば、薬液耐性が弱く、エッチングレートが大きい場合は適正なエッチング量でエッチングを停止することが困難であり、前記したようなアンダーカット量が大きくなったり、また逆にエッチング残渣が大きくなってしまう場合がある。また、基板の面内で、例えば前記絶縁膜３２の膜質や膜厚が異なった場合、エッチングレートが大きいと、基板面内でのエッチング量の差が大きくなってしまう。

本実施例ではこのような問題を解決し、適切なエッチング量に制御することを容易とし、また基板面内でのゲート絶縁膜のエッチング量の差を小さくすることが可能となる。

また、本実施例によれば、前記ゲート電極３３ａのゲート長Ｌ３よりも、前記ゲート絶縁膜３２ａの、前記ゲート長Ｌ３に平行な長さＤ３が僅かに小さくなるが、この形状については図１４で後述する。

［第４実施例］

また、図１０Ａ～図１０Ｅに示した第３実施例は、図１１Ａ～図１１Ｅに示す第４実施例のように変形することも可能であり、第３実施例の場合と同様の効果を奏する。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

まず、図１１Ａに示す工程において、例えばＳｉからなる基板３１の表面を前処理により、処理した後、図示しない素子分離絶縁膜により分離された素子形成領域に、例えばＡＬＤ法、もしくはＭＯＣＶＤ法によって高誘電体膜、例えばハフニウムアルミネート（Ｈｆ：Ａｌが８０：２０の比）からなる絶縁膜３２を３ｎｍ形成する。

次に、前記絶縁膜３２上に、例えば多結晶Ｓｉからなるゲート電極膜３３を１００ｎｍ形成する。この場合、多結晶Ｓｉを形成する温度は、６００℃程度となる。また、この場合、前記ゲート電極膜３３を形成する前に前記絶縁膜３２の表面を窒化してもよい。

次に、図１１Ｂに示す工程において、例えばランプ加熱により、前記絶縁膜３２が形成された前記基板３１を、窒素雰囲気中で、８００℃で１０分間保持し、前記絶縁膜３２の熱処理を行い、当該絶縁膜３２の薬液耐性を向上させる。

次に図１１Ｃの工程において、前記ゲート電極膜３３上に、多結晶Ｓｉをエッチングする際のハードマスクとなるシリコン酸化膜（SiO_2膜）からなるマスク膜３４を３０ｎｍ成膜する。この場合、必要に応じて当該マスク膜３４上に反射防止膜を形成してもよい。

図１１Ｄおよび図１１Ｅに示す工程は、図１０Ｄおよび図１０Ｅに示した工程と同一である。

本実施例の場合、例えば前記絶縁膜３２の形成から前記ゲート電極膜３３まで連続的に行われるため、第５実施例の場合に比べて前記ゲート電極膜３３の表面が清浄に保持されるという効果を奏する。

通常、前記絶縁膜３２の形成を行う処理装置と、熱処理を行う処理装置は異なるため、例えば前記絶縁膜３２が露出した状態で基板を処理装置間で搬送すると、当該絶縁膜３２の表面が汚染される恐れがある。また、熱処理の際も前記絶縁膜３２の表面の汚染が危惧される。

本実施例では、前記絶縁膜３２を形成した後、連続的に前記ゲート電極膜３３を形成するため、前記絶縁膜３２の表面が保護されるため、このような、前記絶縁膜３２の表面の汚染を防止することが可能となっている。

［第５実施例］

また、図１０Ａ～図１０Ｅに示した第３実施例は、図１２Ａ～図１２Ｅに示す第５実施例のように変形することも可能であり、第３実施例の場合と同様の効果を奏する。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

図１２Ａ～図１２Ｃに示した工程は図１１Ａ～図１１Ｃに示した工程と同一である。本実施例の場合、図１２Ｄに示した工程において、まず図１０Ｄに示した工程と同様の工程で処理した後、さらに、例えばN_2プラズマなど、プラズマ励起を行うことで生成されるイオンにより、前記絶縁膜３２にイオン衝撃を与える処理を追加している。イオン衝撃を与えられた前記絶縁膜３２は、よりエッチング

されやすくなり、次の図１２Ｅに示す前記絶縁膜３２のエッチング工程がより容易になる。

次に、図１２Ｅに示す工程において、１３５℃の濃硫酸処理を３分行い、さらに濃度２％の気フッ化水素水に１５秒間浸漬することにより、前記ゲート電極３３で覆われていない部分のハフニウムアルミネートからなる前記絶縁膜３２を、略選択的にエッチングすることができる。

前記絶縁膜３２は、熱処理により一旦薬液耐性が向上するが、図１２Ｄに示した工程でプラズマ照射をすることで薬液によるエッチングが容易となり、処理効率が向上する効果を奏する。

本工程では図１０Ｅまたは図１１Ｅに示した工程と比べた場合、濃硫酸処理に必要な時間が１／１０に短縮されている。

また、第３実施例～第５実施例については、前記ゲート絶縁膜３２として、おもにハフニウムアルミネート（ＨｆとＡｌとＯの化合物）を用いた場合について示したが、本発明によるゲート絶縁膜の材料は、これに限定されるものではない。例えば、実施例中でゲート絶縁膜３２としてハフニウムシリケート（Ｓｉを含むＨｆの酸化物、またはＨｆとＳｉとＯの化合物）を用いた場合にも、第３～第５実施例に記載した場合と同様の効果を奏する。

また、ハフニウムアルミネート、ハフニウムシリケートはそれぞれ窒素を含んでいても良く、また、ハフニウムアルミネートとハフニウムシリケートを積層した構造をゲート絶縁膜として用いてもよい。

またハフニウムアルミネートとハフニウムシリケートのいずれか、または双方が窒素を含み、それらを積層した構造をゲート絶縁膜に用いた場合にも、第３実施例～第５実施例に記載した場合と、同様の効果を得ることが可能である。

[第６実施例]

次に、例えば、第４実施例に記載した方法を用いた、ＣＭＯＳを含む半導体装置の製造方法を、図１３Ａ～１３Ｋを用いて手順を追って説明する。

まず、図１３Ａに示す工程において、Ｓｉからなる基板５１上に、素子分離絶縁膜５２を、例えばＳＴＩ法、またはＬＯＣＯＳ法により複数形成して、Ｐ型不純物とＮ型不純物の注入をおこなって、例えば低濃度Ｐ型不純物拡散層からなる

素子形成領域５１Ａと、低濃度N型不純物拡散層からなる素子形成領域５１Ｂを形成する。

次に、図１３Ｂに示す工程において、前記素子形成領域５１Ａおよび５１Ｂ上に、前記ＡＬＤ法、または前記ＭＯＣＶＤ法により、高誘電体膜である、例えばハフニウムアルミネートからなる絶縁膜５３を３ｎｍ形成する。

次に、図１３Ｃに示す工程において、前記絶縁膜５３上に、例えば多結晶Ｓｉからなるゲート電極膜５４を、例えばＬＰＣＶＤ法（Low Pressure CVD法、減圧化学気相堆積法）により、１００ｎｍ形成する。

次に、例えばランプ加熱により前記基板１１を、窒素雰囲気中で、８００℃で１０分間保持し、前記絶縁膜５３の熱処理を行い、当該絶縁膜５３を、薬液耐性を向上させた絶縁膜とする。また、この熱処理工程は、第５実施例に記載したように、図１３Ｂに示す工程の直後に行うことも可能である。

次に、図１３Ｄに示す工程において、ＣＶＤ法によって前記ゲート電極膜５４上に、例えばシリコン酸化膜、またはシリコン窒化膜からなる、前記ゲート電極膜５４をエッチングする際のハードマスクとなるマスク膜５５を、例えば３０ｎｍ堆積する。

次に、図１３Ｅに示す工程において、前記マスク膜５５上に、レジストを塗布し、フォトリソグラフィ法によってゲート電極形成のためのパターニングを施し、例えばＣＦ系のガスによって、前記マスク膜５５のパターニングを行い、さらに前記マスク膜５５をハートマスクとして、例えばＨＢｒ系のガスを用いたＲＩＥによって前記ゲート電極膜５４のパターニングを行って、ゲート電極５４ａを形成する。

次に、アッシングを行い、さらにｄＨＦおよびH_2SO_4とH_2O_2の混合溶液によるウェット処理によって、ＲＩＥによるパターニングの際に、エッチング物が再付着して堆積した堆積物や、エッチング残渣物などを除去する。

この場合、熱処理によってハフニウムアルミネートの薬液耐性が向上しているため、当該ウェット処理で、大きなアンダーカットが形成されることがなく、当該ウェット処理で前記絶縁膜５３がエッチングされる量はごく僅かとなる。

次に、図１３Ｆに示す工程において、１３５℃の濃硫酸処理を３０分行い、さ

らに濃度２％の気フッ化水素水に１５秒間浸漬することにより、前記ゲート電極１４ａで覆われていない部分のハフニウムアルミネートからなる前記絶縁膜５３を略選択的にエッチングすることができる。当該ハフニウムアルミネートは、熱処理により薬液耐性が向上しているが、前記１３Ｅに示す工程に比べて薬液温度を上げること、また長時間浸漬することにより、ハフニウムアルミネートを完全に除去することができる。

また、本工程の前に、図１２Ｄに示したように、プラズマ照射によって、前記絶縁膜５３にイオン衝撃を与えることで、本工程でのウエットエッチング時間を短縮することも可能である。

また、本実施例の場合、前記ゲート電極１４ａのゲート長Ｌ２より、前記ゲート絶縁膜１３ａの前記ゲート長Ｌ２に平行な長さＤ２が僅かに小さくなる。

次に、図１３Ｇに示す工程において、前記素子形成領域５１ＢをレジストR_Bでマスクし、前記素子形成領域５１Ａに、Ｎ型不純物を注入して低濃度不純物拡散領域５１ａを形成する。

次に、同様にして図１３Ｈに示す工程において、前記素子形成領域５１ＡをレジストR_Aでマスクし、前記素子形成領域５１Ｂに、Ｎ型不純物を注入して低濃度不純物拡散領域５１ｂを形成する。

このように、図１３Ｇ～１３Ｈの工程においては、レジストを用い、またレジストを剥離する場合には、薬液が用いられるが、本実施例の場合には絶縁膜５３を熱処理することで薬液耐性が向上しているため、薬液によってゲート絶縁膜５３ａがエッチングされる量はごく僅かとなる。

例えば、本実施例に示すようにＣＭＯＳを形成する場合には、Ｐ型不純物の注入およびＮ型不純物の注入をそれぞれ行う必要があり、レジストを剥離する回数が２倍になるため、薬液耐性に優れたゲート絶縁膜を用いた本実施例は、ゲート絶縁膜の形状を保持するのに特に有効な方法である。

次に、図１３Ｉに示す工程において、前記素子形成領域５１Ａ，５１Ｂおよび前記ゲート電極５４ａを覆うように、ＣＶＤ法によりシリコン酸化膜からなる絶縁膜を形成し、当該絶縁膜をエッチングして、側壁絶縁膜５６を形成する。

次に、図１３Ｊに示す工程において、図１３Ｇ～図１３Ｈに示した工程と同様

にして、前記素子形成領域５１Ａおよび５１Ｂに、それぞれN型不純物およびＰ型不純物を注入する。その結果、前記素子形成領域５１Ａには、前記隔壁絶縁５６の端部から前記素子分離絶縁膜５２にかけて高濃度不純物拡散領域５１ｄが、また、前記素子形成領域５１Ｂには、前記隔壁絶縁５６の端部から前記素子分離絶縁膜５２にかけて高濃度不純物拡散領域５１ｃが形成される。

また、本工程においてもレジストを薬液によって剥離する工程があり、ＣＭＯＳの場合は、型不純物の注入およびN型不純物の注入をそれぞれ行う必要があり、レジストを剥離する回数が２倍になるため、薬液耐性に優れたゲート絶縁膜を用いた本実施例は特に有効な方法である。

次に、図６Ｋに示す工程において、前記素子形成領域５１Ａ，５１Ｂおよび前記ゲート電極５４ａなどを覆うように、ＣＶＤ法によって、例えばＰＳＧ（リンガラス）からなる絶縁膜５７を堆積し、当該絶縁膜５７中に、前記高濃度不純物拡散層５１ｃおよび５１ｄに電気的に接続する、バリア膜６０に覆われた、例えばWからなるコンタクトプラグ５９を形成する。

次に、前記コンタクトプラグ５９に電気的に接続される配線層を形成する。前記絶縁膜５７を覆うように、例えば、シリコン酸化膜、フッ素添加シリコン酸化膜、有機絶縁膜、多孔質絶縁膜などからなる層間絶縁膜層５８を形成し、当該層間絶縁膜層５８内に、前記コンタクトプラグ５９に電気的に接続される、例えばＣｕまたはＡｌなどからなる、バリア膜６２に覆われた配線層６１を形成する。

さらに、このような層間絶縁膜や配線層を多層に形成して、半導体装置５０を形成する。

また、ゲート絶縁膜５３ａの形状について、図１３Ｋ中のＹ部の拡大図を、図１４に示す。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

図１４を参照するに、前記ゲート電極５４ａの、前記ゲート絶縁膜５３ａに接する側の端部Ｅｄ３から、前記ゲート絶縁膜の、前記ゲート電極５４ａに接する側の端部Ｅｄ４までの距離である、アンダーカットＵＣ４は、前記ゲート絶縁膜１３ａの厚さＴＨ４と略同一程度に抑制されている。

本実施例では、前記ゲート絶縁膜５３ａを熱処理することで、例えばエッチン

グの後処理や、レジスト剥離に用いる薬液の耐性を向上させて、前記ゲート絶縁膜１３ａが過剰にエッチングされ、過大なアンダーカットが形成されることを防止している。

そのため、前記半導体装置５０の、前記ゲート絶縁膜５３ａの形状不良に起因する動作の不具合を防止し、高誘電体膜をゲート絶縁膜に用いることを可能としたため、微細化され、高速度で動作する、高性能の半導体装置を提供することが可能となった。

以上、本発明を好ましい実施例について説明したが、本発明は上記の特定の実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において様々な変形・変更が可能である。

産業上の利用可能性

本発明によれば、高誘電体材料からなるゲート絶縁膜を有する半導体装置の製造において、前記ゲート絶縁膜のエッチングの制御性を良好とすることが可能となった。

また、良好な形状の高誘電体のゲート絶縁膜を有する半導体装置を提供することが可能となった。

請求の範囲

1．　Ｓｉ基板上に素子が形成されてなる半導体装置の製造方法であって、

前記Ｓｉ基板上にＺｒまたはＨｆの酸化物を含む絶縁膜を形成する第１の工程と、

前記絶縁膜上にゲート電極膜を形成する第２の工程と、

前記ゲート電極膜をエッチングする第３の工程とを有し、

前記第３の工程の後にハロゲンを含む処理ガス雰囲気中で前記絶縁膜を加熱処理する第４の工程と、前記加熱処理された前記絶縁膜を除去する第５の工程を有することを特徴とする半導体装置の製造方法。

2．前記第４の工程では、ＺｒまたはＨｆのハロゲン化物が形成されることを特徴とする請求項１記載の半導体装置の製造方法。

3．前記第５の工程では、加熱により前記ハロゲン化物を除去することを特徴とする請求項２記載の半導体装置の製造方法。

4．前記第５の工程では、加水分解により前記ハロゲン化物を除去することを特徴とする請求項２記載の半導体装置の製造方法。

5．前記ゲート電極膜は多結晶Ｓｉからなることを特徴とする請求項１記載の半導体装置の製造方法。

6．前記ハロゲンはＣｌであることを特徴とする請求項１記載の半導体装置の製造方法。

7．前記第４の工程の前記加熱処理の処理温度は４００℃～５５０℃であることを特徴とする請求項１記載の半導体装置の製造方法。

８．Ｓｉ基板上に素子が形成されてなる半導体装置の製造方法であって、

前記Ｓｉ基板上にＺｒまたはＨｆの酸化物を含む絶縁膜を形成する第１の工程と、

前記絶縁膜上にゲート電極膜を形成する第２の工程と、

前記ゲート電極膜をエッチングする第３の工程とを有し、

前記第３の工程の後にハロゲンを含む処理ガスのラジカルで前記絶縁膜を処理する第４の工程と、当該第４の工程で処理された前記絶縁膜を除去する第５の工程を有することを特徴とする半導体装置の製造方法。

９．前記第４の工程では、ＺｒまたはＨｆのハロゲン化物が形成されることを特徴とする請求項８記載の半導体装置の製造方法。

１０．　Ｓｉ基板と、

前記Ｓｉ基板上の素子領域と、

前記素子領域上に形成されたＺｒの酸化物、またはＨｆの酸化物を含むゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極とを有する電界効果型トランジスタを含む半導体装置であって、

前記素子領域の第１の側から第２の側に向かう方向で、前記ゲート絶縁膜の長さが、前記ゲート電極のゲート長より小さく、前記ゲート絶縁膜の第１の側の端部から、前記ゲート電極の前記第１の側の端部までの距離が、前記ゲート絶縁膜の膜厚と略同一であることを特徴とする半導体装置。

１１．　Ｓｉ基板上に素子が形成されてなる半導体装置の製造方法であって、

前記Ｓｉ基板上に、ＡｌまたはＳｉを含むＨｆ酸化物を含む絶縁膜を形成する第１の工程と、

前記絶縁膜上にゲート電極膜を形成する第２の工程と、

前記ゲート電極膜をエッチングする第３の工程と、

前記第３の工程の後に、前記Ｓｉ基板を処理液で処理する第４の工程とを含み、

前記第４の工程の前に、前記絶縁膜を前記第２の工程のゲート電極膜の形成温度以上の温度で加熱処理する熱処理工程を設けたことを特徴とする半導体装置の製造方法。

１２．前記温度は８００℃以上であることを特徴とする請求項１１記載の半導体装置の製造方法。

１３．前記処理液は、ＨＦ、H_2O_2、H_2SO_4のいずれかを含むことを特徴とする請求項１１記載の半導体装置の製造方法。

１４．前記第４の工程の後に、前記絶縁膜をエッチングする工程を有することを特徴とする請求項１１記載の半導体装置の製造方法。

１５．前記エッチングは、ウェットエッチング処理によって行われることを特徴とする請求項１４記載の半導体装置の製造方法。

１６．前記エッチングは、プラズマを用いたドライエッチング処理によって行われることを特徴とする請求項１４記載の半導体装置の製造方法。

１７．前記ゲート電極膜は、多結晶Ｓｉからなることを特徴とする請求項１１記載の半導体装置の製造方法。

１８．前記熱処理工程は、前記第１の工程と前記第２の工程の間に行われることを特徴とする請求項１１記載の半導体装置の製造方法。

１９．前記熱処理工程は、前記第２の工程の後に行われることを特徴とする請求項１１記載の半導体装置の製造方法。

２０．　Ｓｉ基板と、

前記Ｓｉ基板上の素子領域と、

前記素子領域上に形成された、ＡｌまたはＳｉを含むＨｆの酸化物を含むゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極とを有する電界効果型トランジスタを含む半導体装置であって、

前記素子領域の第１の側から第２の側に向かう方向で、前記ゲート絶縁膜の長さが、前記ゲート電極のゲート長より小さく、前記ゲート絶縁膜の第１の側の端部から、前記ゲート電極の前記第１の側の端部までの距離が、前記ゲート絶縁膜の膜厚と略同一であることを特徴とする半導体装置。

FIG.1A

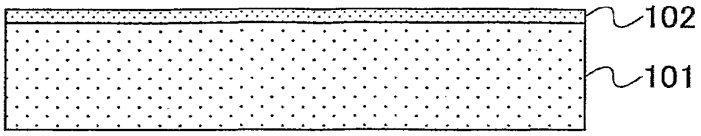


FIG.1B

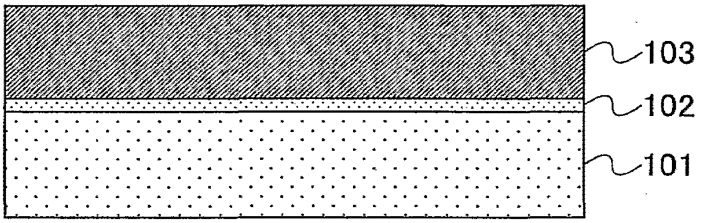


FIG.1C

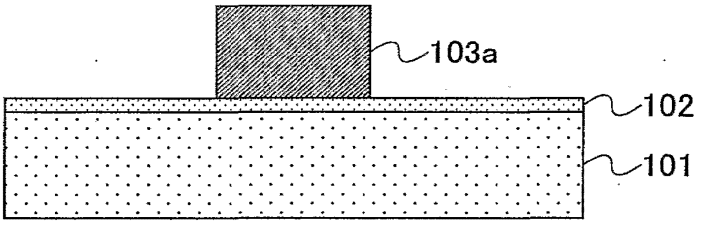


FIG.1D

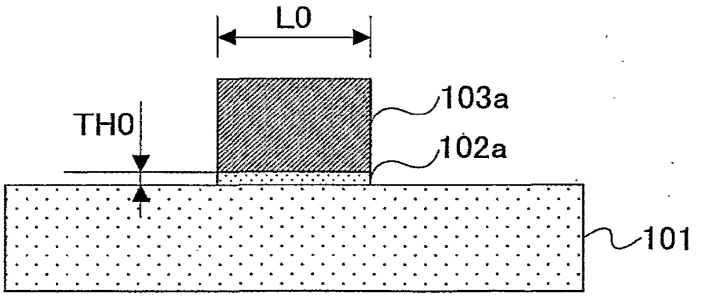


FIG.2A

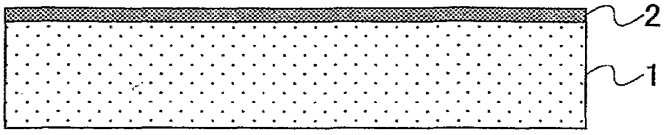


FIG.2B

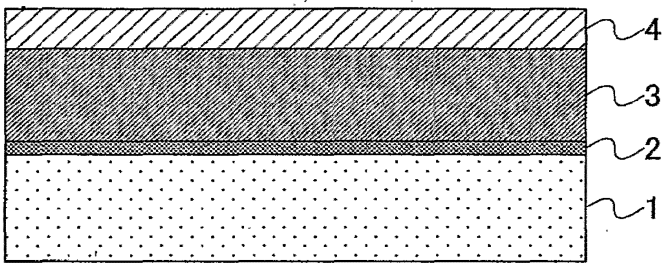


FIG.2C

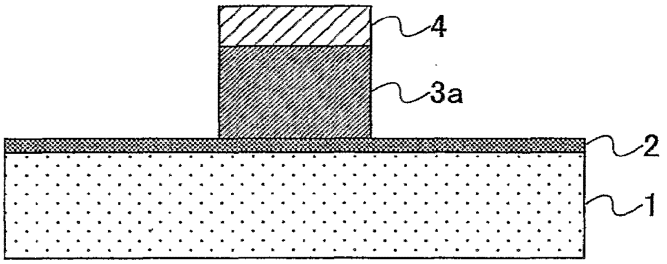


FIG.3A

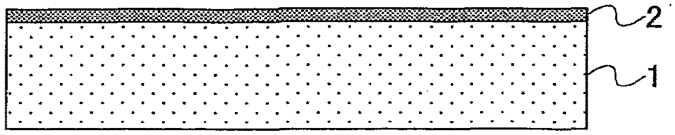


FIG.3B

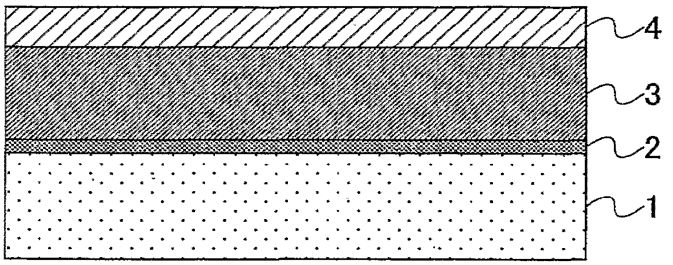


FIG.3C

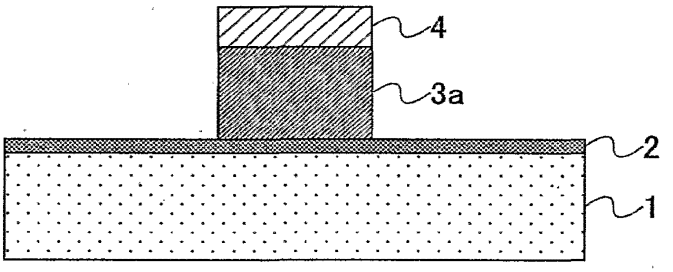


FIG.3D

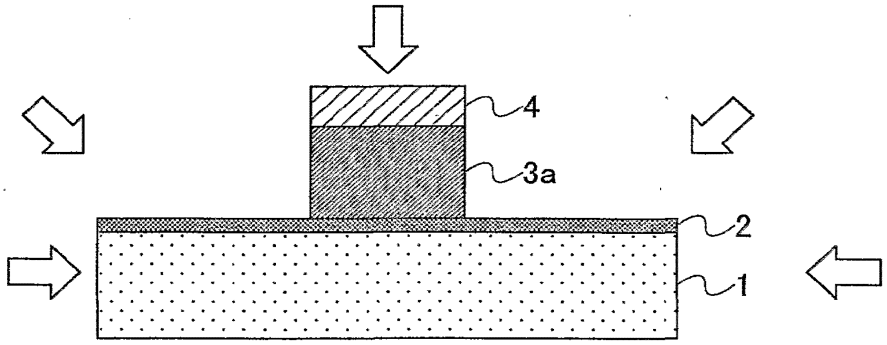


FIG.3E

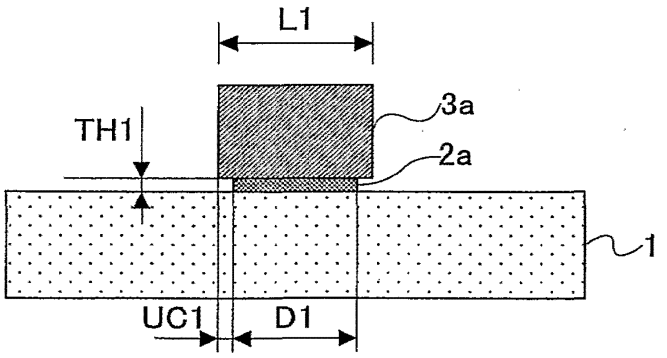


FIG.4

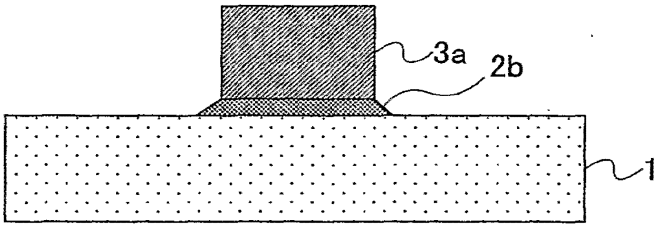


FIG.5

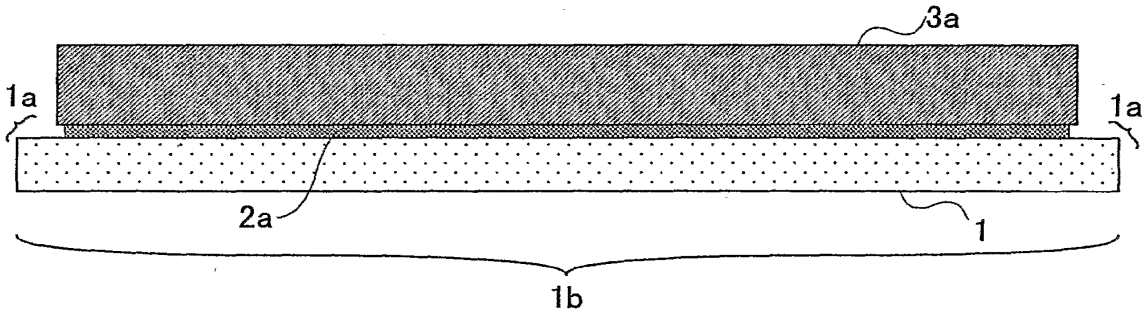


FIG.6A

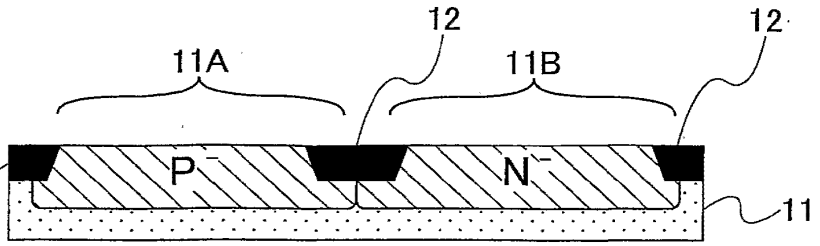


FIG.6B

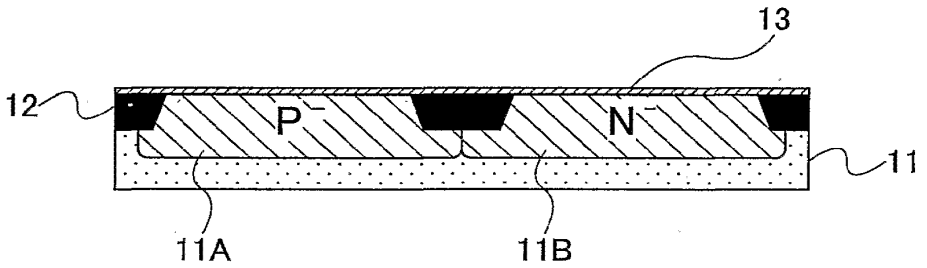


FIG.6C

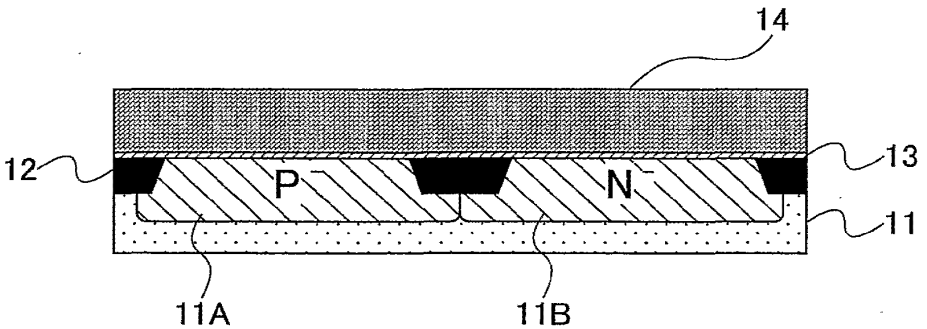


FIG.6D

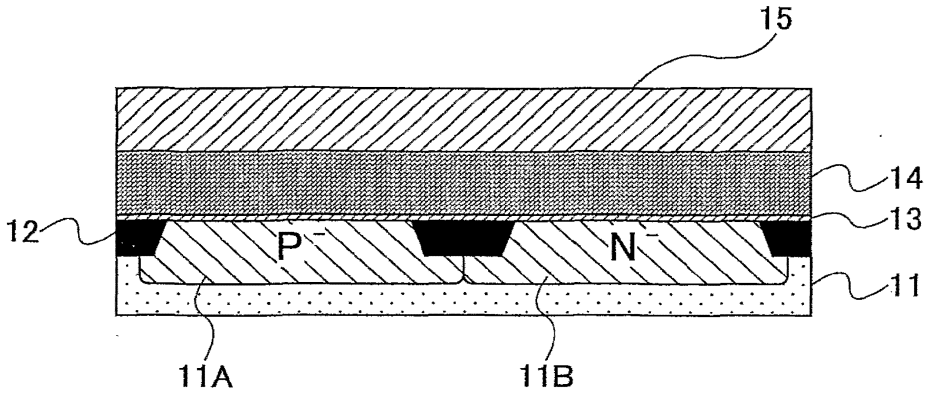


FIG.6E

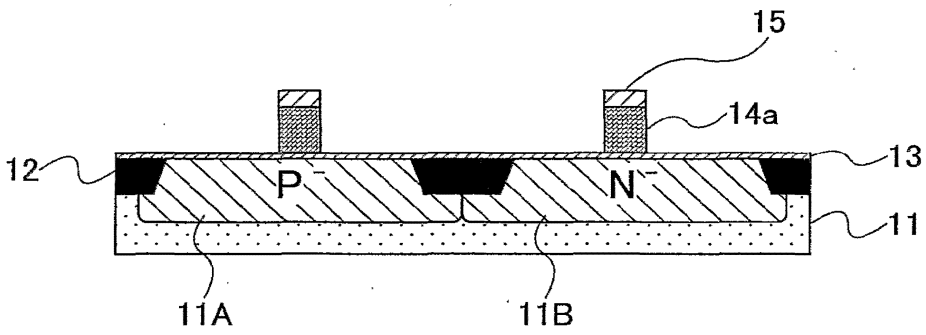


FIG.6F

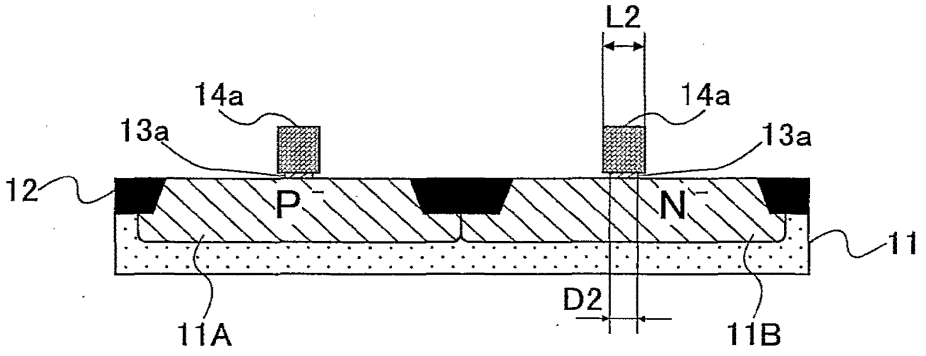


FIG.6G

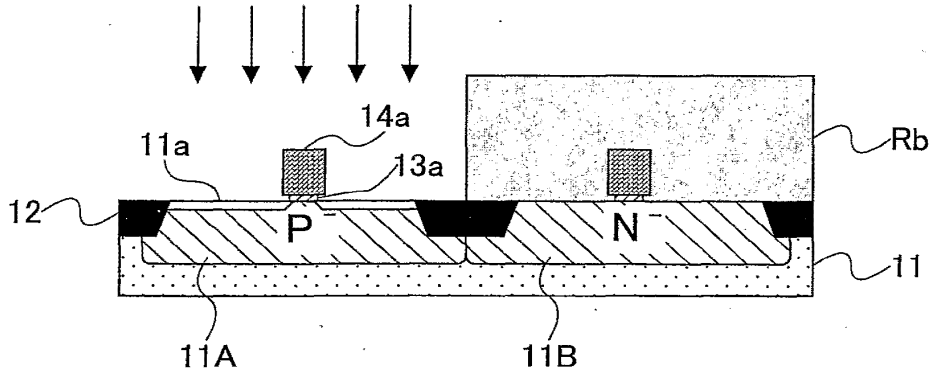


FIG.6H

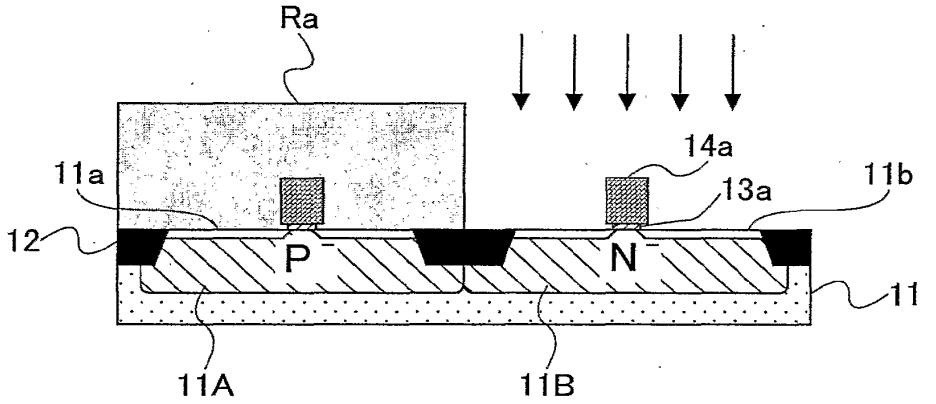


FIG.6I

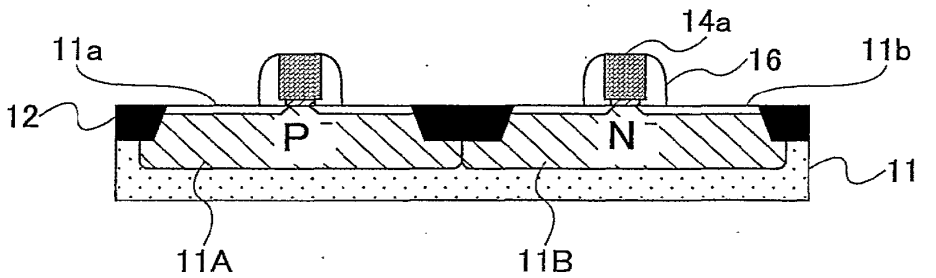


FIG.6J

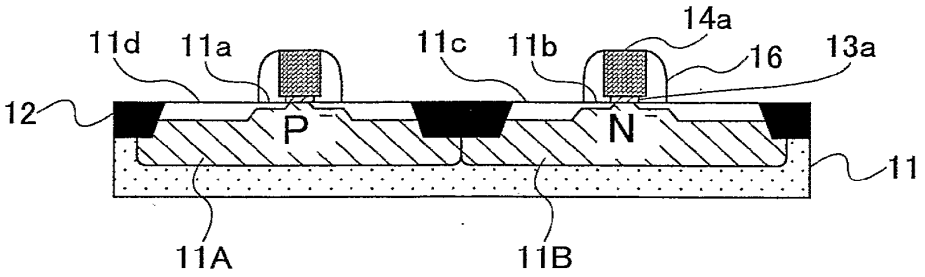

11d
11a
11c
11b
14a
16
13a
12
P
N
11
11A
11B

FIG.6K

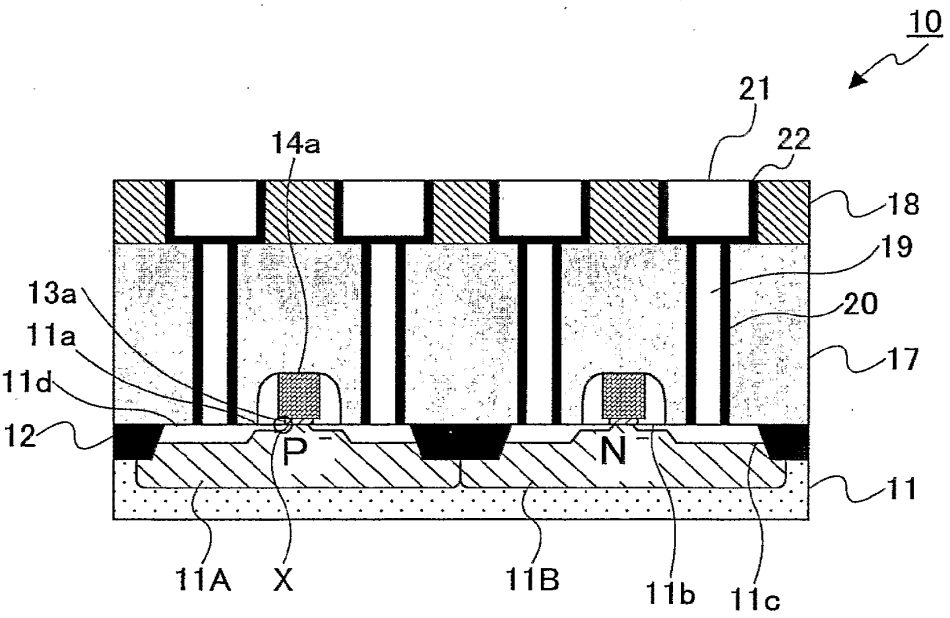

10
21
22
14a
18
19
20
17
13a
11a
11d
12
P
N
11
11A
X
11B
11b
11c

FIG.7

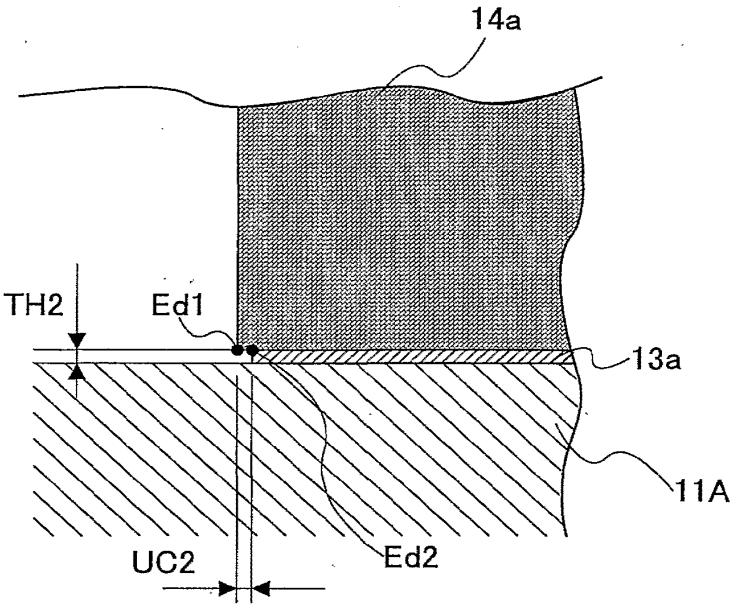


FIG.8A

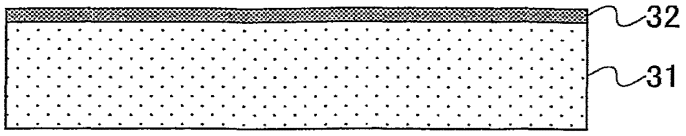


FIG.8B

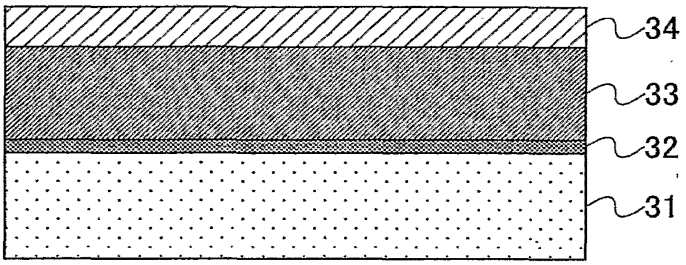


FIG.8C

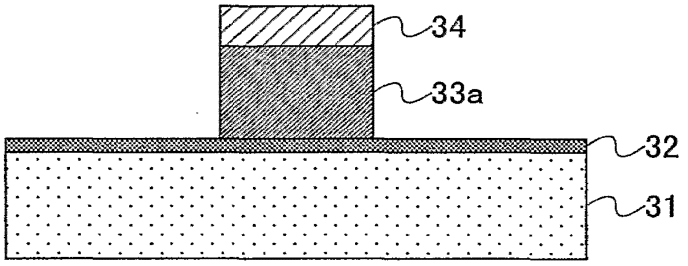


FIG.8D

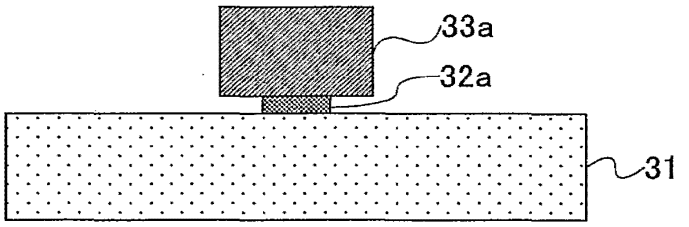


FIG.9A

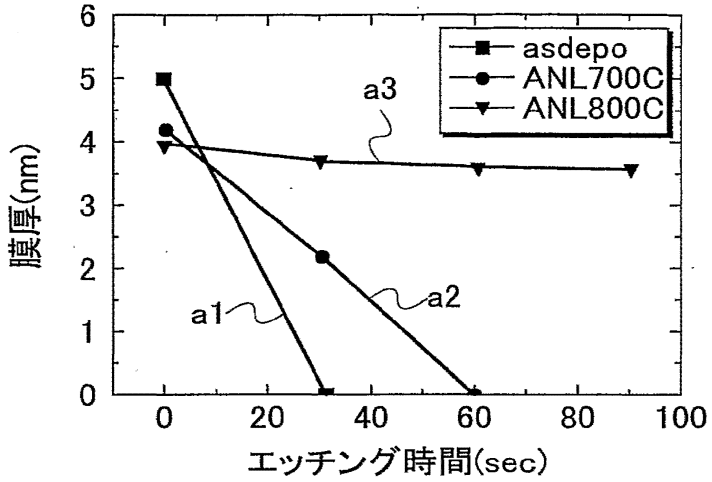

asdepo
ANL700C
ANL800C
a1
a2
a3
膜厚(nm)
エッチング時間(sec)
0
1
2
3
4
5
6
0
20
40
60
80
100

FIG.9B

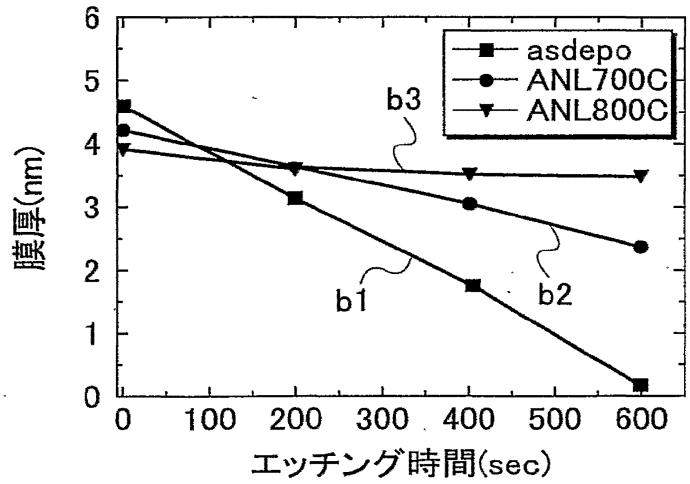

asdepo
ANL700C
ANL800C
b1
b2
b3
膜厚(nm)
エッチング時間(sec)
0
1
2
3
4
5
6
0
100
200
300
400
500
600

FIG.9C

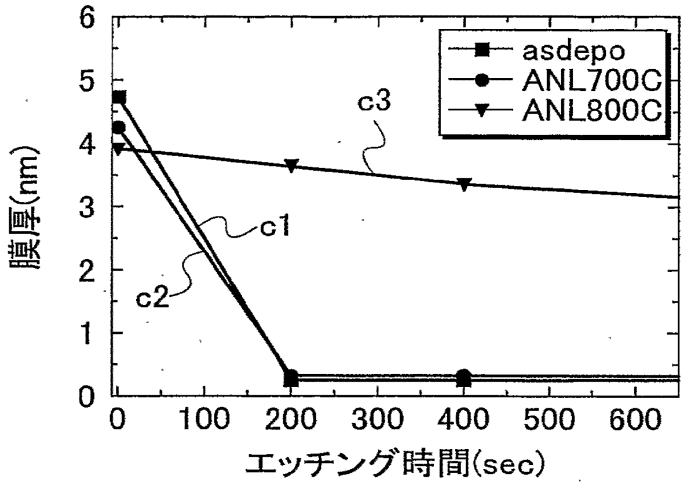

asdepo
ANL700C
ANL800C
c1
c2
c3
膜厚(nm)
エッチング時間(sec)
0
1
2
3
4
5
6
0
100
200
300
400
500
600

FIG.9D

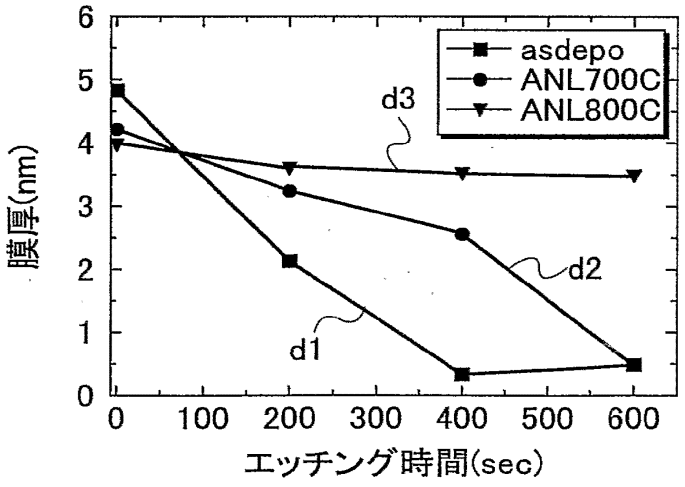

asdepo
ANL700C
ANL800C
d1
d2
d3
膜厚(nm)
エッチング時間(sec)
0
1
2
3
4
5
6
0
100
200
300
400
500
600

FIG.10A

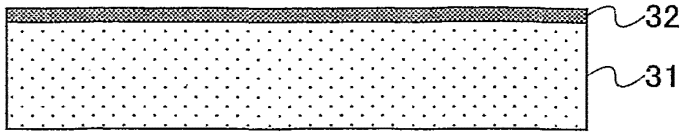


FIG.10B

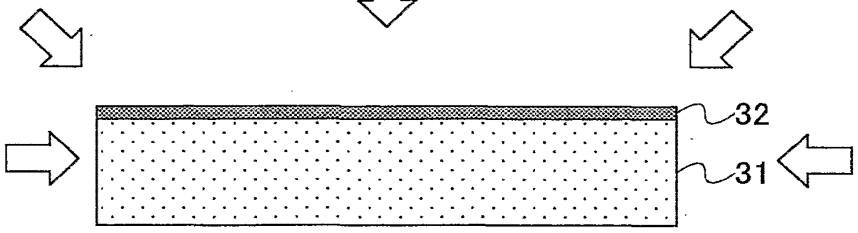


FIG.10C

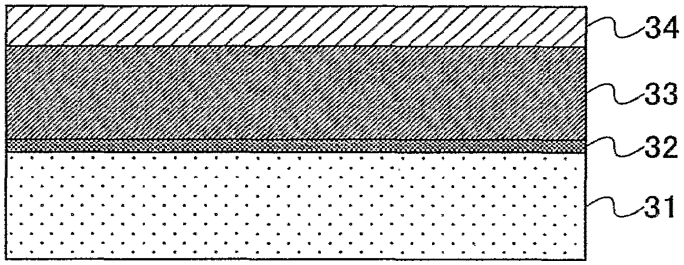


FIG.10D

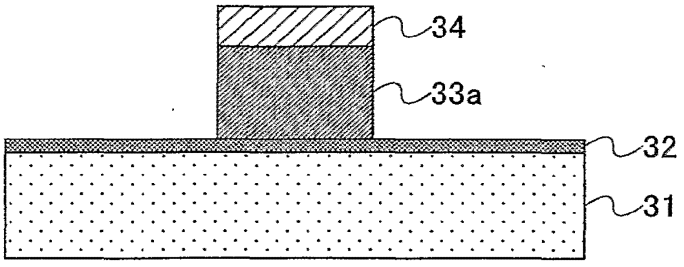


FIG.10E

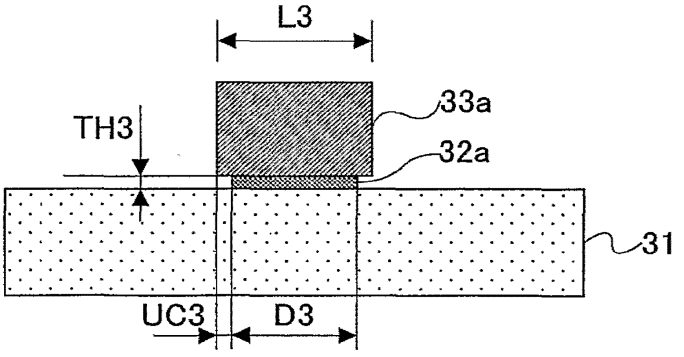


FIG.11A

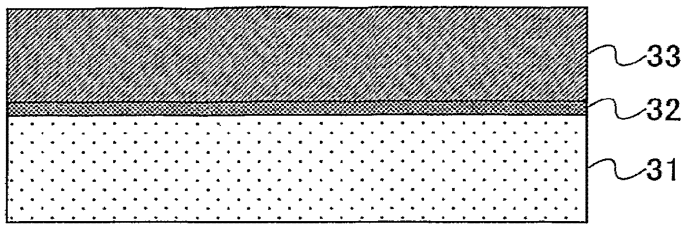


FIG.11B

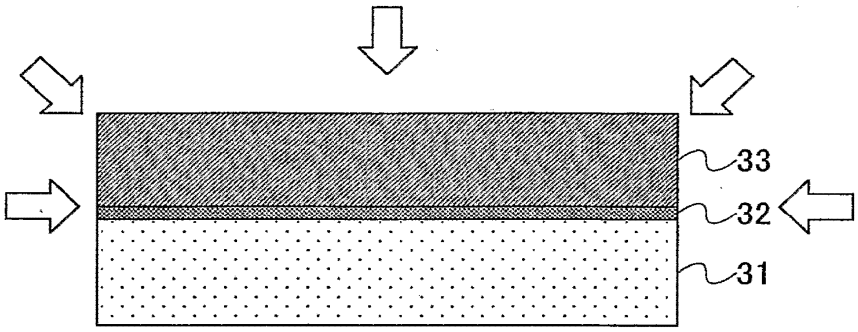


FIG.11C

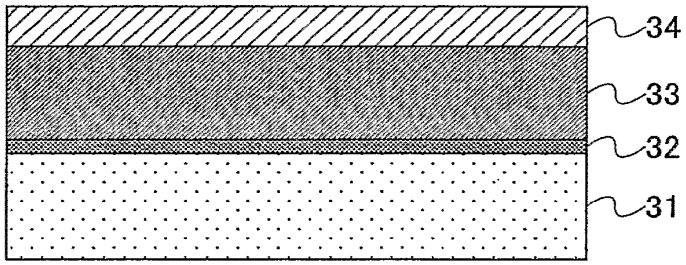


FIG.11D

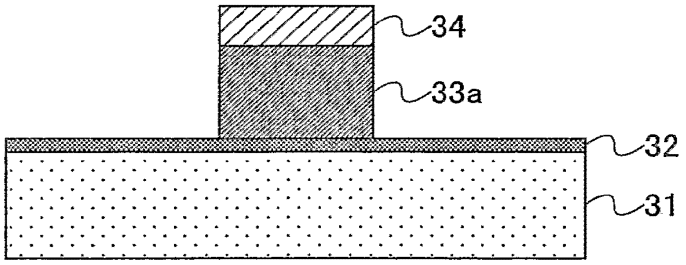


FIG.11E

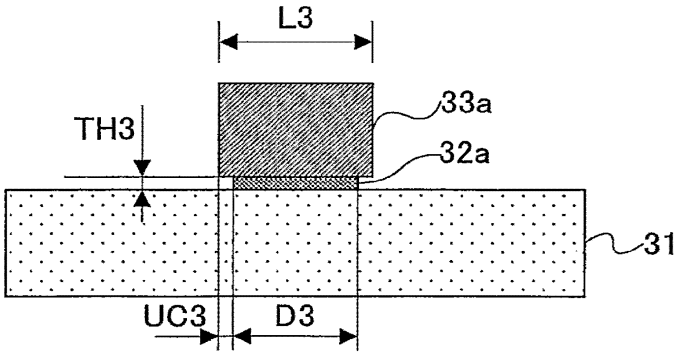


FIG.12A

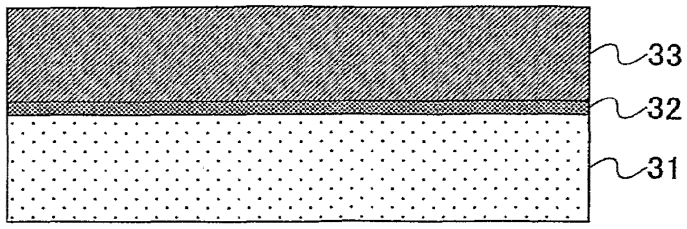


FIG.12B

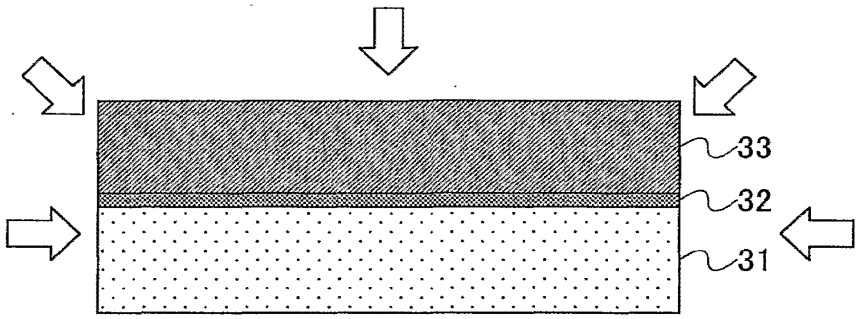


FIG.12C

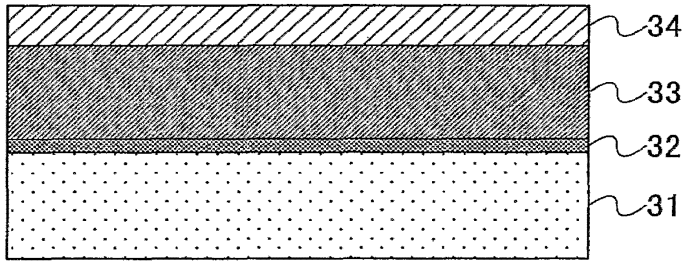


FIG.12D

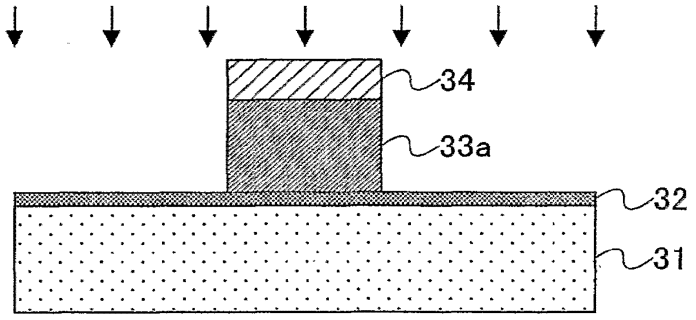


FIG.12E

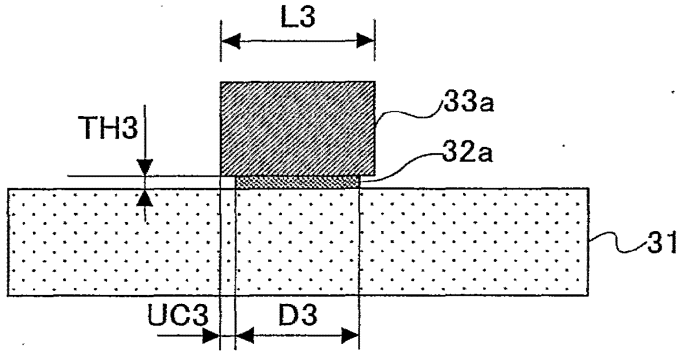


FIG.13A

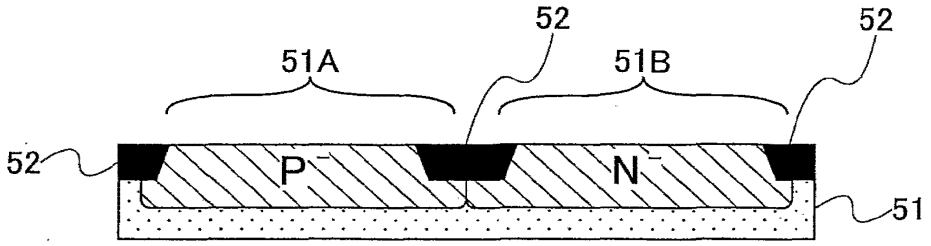


FIG.13B

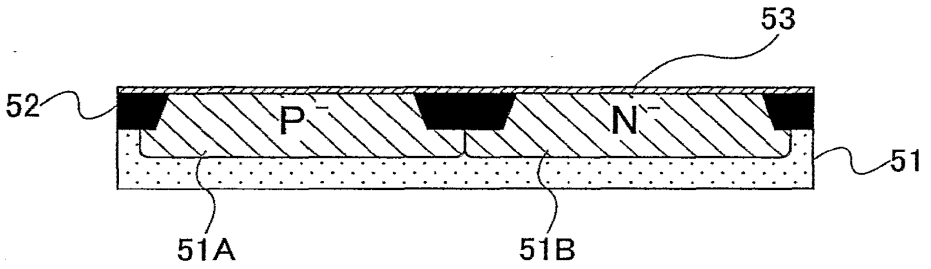


FIG.13C

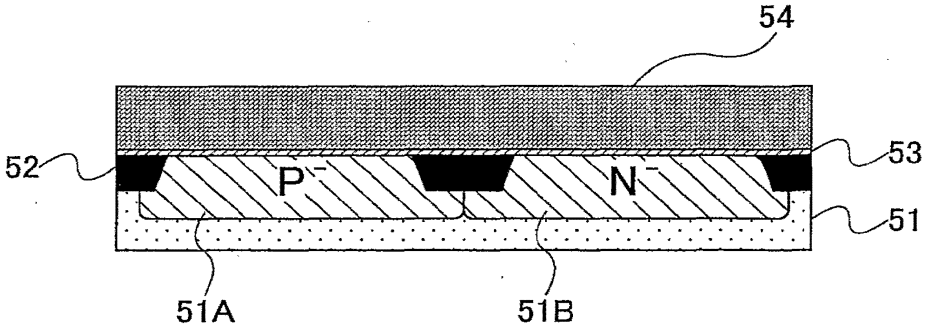


FIG.13D

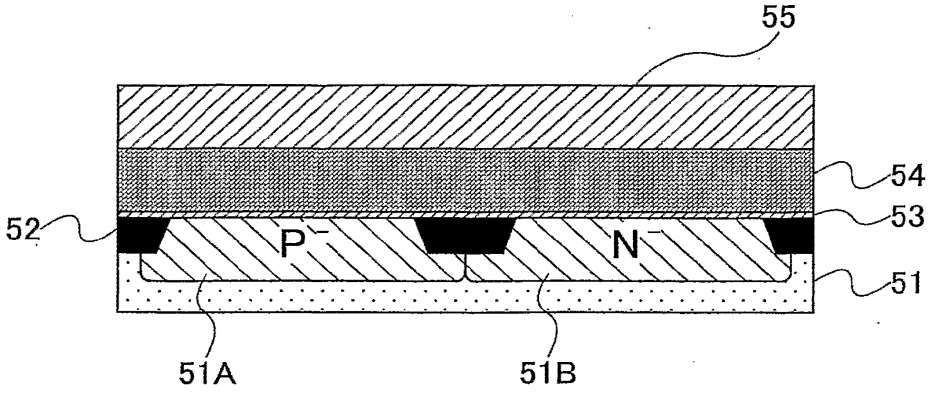


FIG.13E

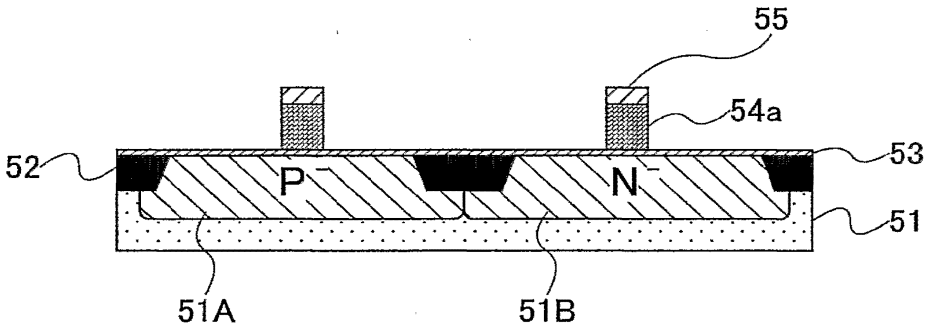


FIG.13F

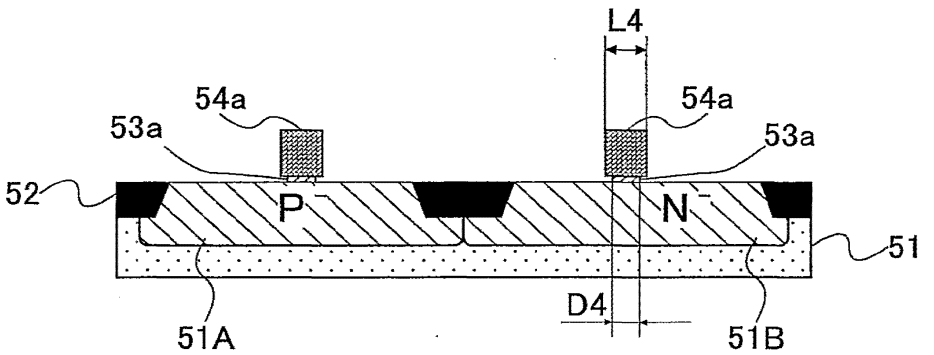


FIG.13G

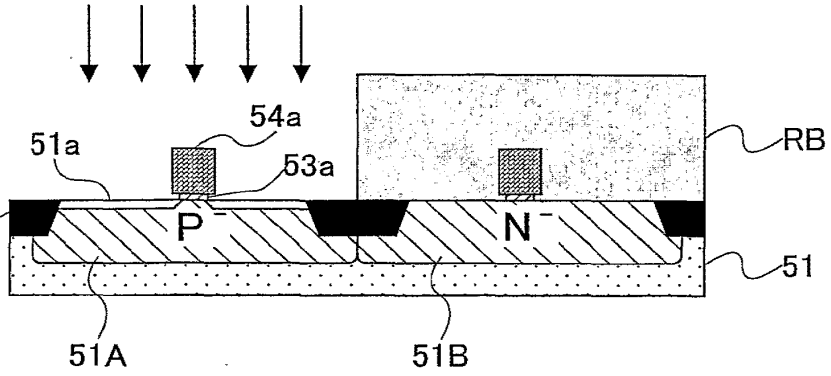


FIG.13H

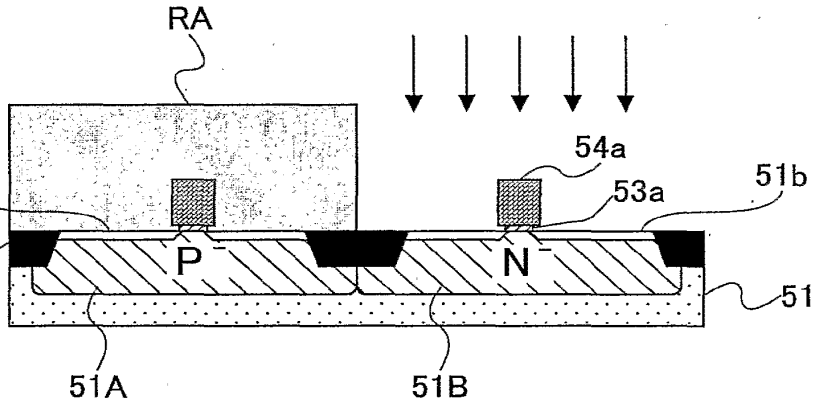


FIG.13I

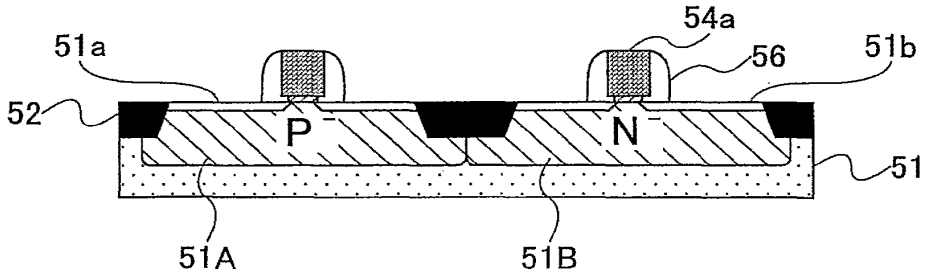


FIG.13J

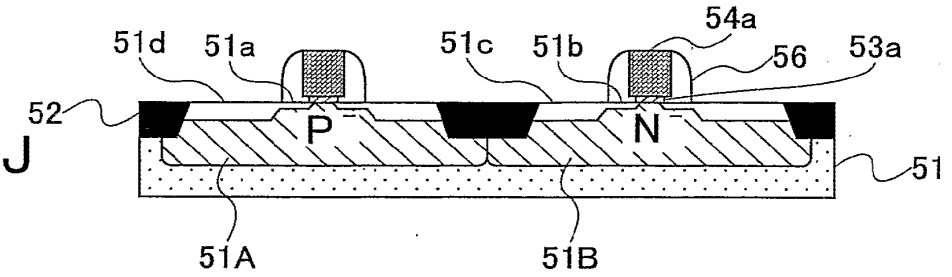


FIG.13K

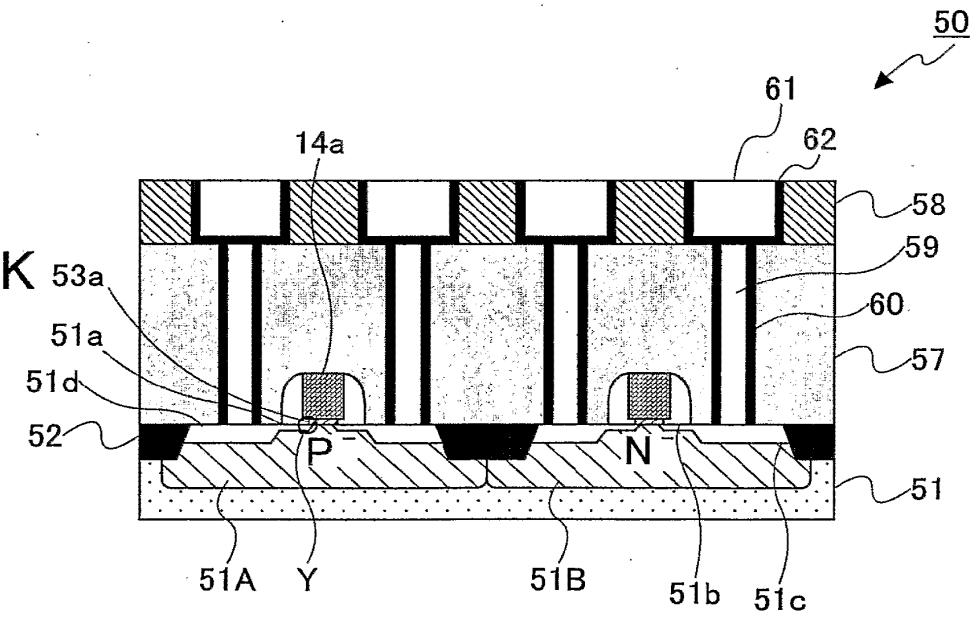
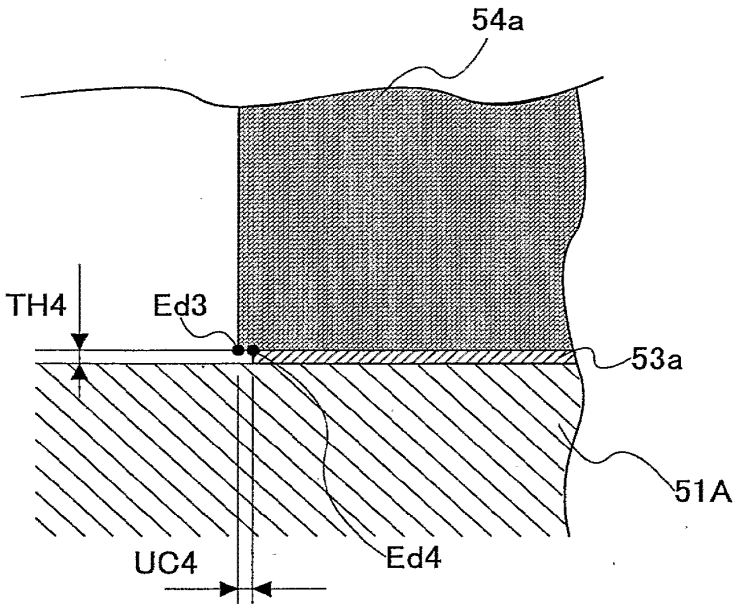


FIG.14



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/09927

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] H01L29/78, H01L21/336, H01L21/302, H01L21/3065

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] H01L29/78, H01L21/336, H01L21/302, H01L21/3065

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
	WO 03/012850 A1 (MOTOROLA, INC.), 13 February, 2003 (13.02.03),	
X	Full text; all drawings	1-3,5-10
A	Full text; all drawings (Family: none)	4
	JP 2002-75972 A (Hitachi, Ltd.), 15 March, 2002 (15.03.02),	
X	Full text; all drawings	1-3,5-9
A	Full text; all drawings (Family: none)	4,10

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
28 October, 2003 (28.10.03)	11 November, 2003 (11.11.03)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

Form PCT/ISA/210 (second sheet) (July 1998)

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2003-174009 A (Dainippon Screen Mfg. Co., Ltd.), 20 June, 2003 (20.06.03), Full text; all drawings Full text; all drawings (Family: none)	1-3,5,6,8-10 4,7

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/09927

Box I Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

As stated on (extra sheet), there must exist a special technical feature so linking a group of inventions of claims as to form a single general inventive concept in order that the group of inventions may satisfy the requirement of unity of invention, while the international application is considered to contain two inventions: the invention of claims 1-10; and the invention of claims 11-20.

(Continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.

3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

☐ The additional search fees were accompanied by the applicant's protest.

☐ No protest accompanied the payment of additional search fees.

Form PCT/ISA/210 (continuation of first sheet (1)) (July 1998)

Continuation of Box No.II of continuation of first sheet(1)

The technical feature common to claims 1-20 relates to a method for manufacturing a semiconductor device having "a first step wherein an insulating film containing an oxide of Zr or Hr is formed", "a second step wherein a gate electrode film is formed on the insulating film", and "a third step wherein the gate electrode film is etched". However, those steps are not novel since they are disclosed in JP 2003-174009 A (DAINIPPON SCREEN MFG. CO., LTD.), 20 June, 2003 (20. 06. 03), paragraphs [0016]-[0018].

Consequently, the common technical feature is not a special technical feature, since the above-mentioned steps make no contribution over the prior art.

Accordingly, it is considered that there exists no special technical feature so linking a group of inventions of claims 1-20 as to form a single general inventive concept and therefore, it appears that the group of inventions of claims 1-20 do not satisfy the requirement of unity of invention.

Next, the number of groups of invention of the claims of the international application so linked as to form a single general inventive concept, namely, the number of inventions will be examined. According to the above consideration, although the international application contains five inventions of claims 1-7, claims 8-9, claim 10, claims 11-19 and claim 20, the invention of claims 1-10 and that of claims 11-20 are considered respectively so linked as to form a single general inventive concept by the technical features of a semiconductor device and a method for manufacturing the same.

Consequently, the international application is considered to contain two inventions: the invention of claims 1-10; and the invention of claims 11-20.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ０３／０９９２７

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl[7]　H01L29/78, H01L21/336, H01L21/302, H01L21/3065

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl[7]　H01L29/78, H01L21/336, H01L21/302, H01L21/3065

最小限資料以外の資料で調査を行った分野に含まれるもの
日本国実用新案公報　１９２２－１９９６年
日本国公開実用新案公報　１９７１－２００３年
日本国登録実用新案公報　１９９４－２００３年
日本国実用新案登録公報　１９９６－２００３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
	WO 03/012850 A1(MOTOROLA, INC.) 2003.02.13	
X	全文，全図(ファミリーなし)	1-3,5-10
A	全文，全図	4
	JP 2002-75972 A(株式会社日立製作所) 2002.03.15	
X	全文，全図(ファミリーなし)	1-3,5-9
A	全文，全図	4,10

☒ Ｃ欄の続きにも文献が列挙されている。　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２８．１０．０３	11.11.03

国際調査機関の名称及びあて先	特許庁審査官（権限のある職員）		
日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	松嶋　秀忠　印	4M	9836
	電話番号　０３－３５８１－１１０１　内線　３４６０		

様式ＰＣＴ／ＩＳＡ／２１０（第２ページ）（１９９８年７月）

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
	JP 2003-174009 A(大日本スクリーン製造株式会社) 2003.06.20	
X	全文，全図(ファミリーなし)	1-3, 5, 6, 8-10
A	全文，全図	4, 7

様式ＰＣＴ／ＩＳＡ／２１０（第２ページの続き）（１９９８年７月）

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ０３／０９９２７

第Ⅰ欄　請求の範囲の一部の調査ができないときの意見（第１ページの２の続き）

法第８条第３項（ＰＣＴ１７条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1．☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、

2．☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

3．☐ 請求の範囲 _____ は、従属請求の範囲であってＰＣＴ規則6.4(a)の第２文及び第３文の規定に従って記載されていない。

第Ⅱ欄　発明の単一性が欠如しているときの意見（第１ページの３の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

（特別ページ）に記載したように、請求の範囲に記載されている一群の発明が単一性の要件を満たすには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、この国際出願の請求の範囲には、１－１０，１１－２０に区分される２個の発明が記載されているものと認められる。

1．☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。

2．☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。

3．☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。

4．☒ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。

☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

様式ＰＣＴ／ＩＳＡ／２１０（第１ページの続葉（１））（１９９８年７月）

（第Ⅱ欄の続き）
請求の範囲１－２０に共通の事項は、「ＺｒまたはＨｆの酸化物を含む絶縁膜を形成する第１の工程」、「前記絶縁膜上にゲート電極膜を形成する第２の工程」及び「前記ゲート電極膜をエッチングする第３の工程」を有した半導体装置の製造方法と認められるが、上記工程は、特開2003－174009 A（大日本スクリーン製造株式会社） 2003.06.20, 【0016】－【0018】に開示されているから、新規でないことが明らかである。
結果として、上記工程は先行技術の域を出ないから、この共通事項は特別な技術的事項ではない。
そうすると、請求の範囲１－２０に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴は存しないこととなる。そのため、請求の範囲１－２０に記載されている一群の発明が発明の単一性の要件を満たしていないことは明らかである。

次に、この国際出願の請求の範囲に記載されている、一般的発明概念を形成するように関連している発明の群の数、すなわち、発明の数につき検討する。上記判断によれば、この国際出願の請求の範囲には、１－７、８－９、１０、１１－１９、２０という５個の発明が記載されているが、請求の範囲１－１０と１１－２０に記載された発明は、半導体装置及びその製造方法という事項によって、単一の一般的概念を形成するように関連していると認められる。
従って、この国際出願の請求の範囲には、１－１０、１１－２０という２個の発明が記載されているものと認められる。

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2004-87695
(P2004-87695A)
(43)公開日　平成16年3月18日(2004.3.18)

(51)Int.Cl.[7]	F I		テーマコード（参考）
H01L 21/8238	H01L 27/08	321E	5F048
H01L 21/265	H01L 21/265	604M	
H01L 21/8234	H01L 27/08	102B	
H01L 27/088			
H01L 27/092			

審査請求 未請求　請求項の数 9　OL　（全 12 頁）

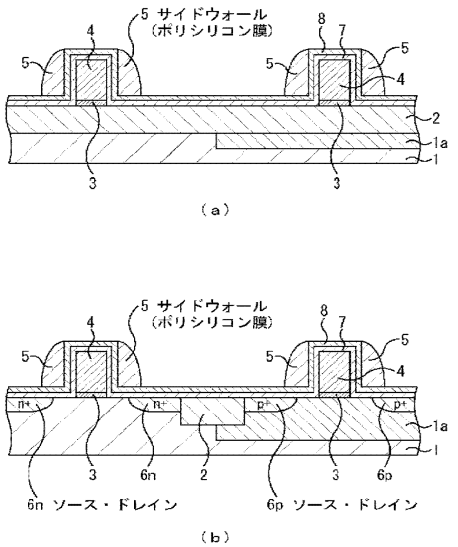
(21)出願番号　特願2002-245395(P2002-245395)
(22)出願日　平成14年8月26日(2002.8.26)

(71)出願人　000005223
富士通株式会社
神奈川県川崎市中原区上小田中４丁目１番１号
(74)代理人　100090273
弁理士　國分　孝悦
(72)発明者　児島　学
神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内

Ｆターム(参考)　5F048 AA07 AC03 BA01 BB01 BB05 BB08 BC05 BC06 BE03 BF06 BG12 BG14 DA25 DA27 DA28 DA30

(54)【発明の名称】半導体装置の製造方法

(57)【要約】
【課題】ゲート電極の剥離等を防止しながら良好なエクステンション層を形成することができる半導体装置の製造方法を提供する。
【解決手段】半導体基板１上にゲート絶縁膜３及びゲート電極４を形成した後、全面にＳｉＯ$_2$膜７及びＳｉＮ膜８の積層膜を形成する。次に、ゲート電極４の側方に、ＳｉＯ$_2$膜７及びＳｉＮ膜８の積層膜を介してポリシリコン膜からなるサイドウォール５αを形成する。その後、ゲート電極４、積層膜のゲート電極４の側方に位置する部分及びサイドウォール５αをマスクとしてイオン注入を行うことにより、素子活性領域内にソース・ドレイン６Ｐ及び６ｎを形成し、サイドウォール５αを除去する。このとき、ゲート絶縁膜３は積層膜に覆われているため、素子分離絶縁膜２上であっても、ゲート絶縁膜３の減耗、即ち後退は生じない。
【選択図】　図３



【特許請求の範囲】
【請求項１】
半導体基板上にゲート絶縁膜及びゲート電極を形成する工程と、
互いにエッチング速度が異なる２以上の絶縁膜からなる積層膜を全面に形成する工程と、
前記ゲート電極の側方に、前記積層膜を介して、前記積層膜の最表面の絶縁膜とはエッチング速度が異なる材料からなるマスク用サイドウォールを形成する工程と、
前記ゲート電極、前記積層膜の前記ゲート電極の側方に位置する部分及び前記マスク用サイドウォールをマスクとして前記半導体基板に第１の不純物をイオン注入する工程と、
前記マスク用サイドウォールを除去する工程と、
前記積層膜に対して全面の異方性エッチングを行うことにより、前記積層膜の一部を前記ゲート電極の側方のみに残存させる工程と、
前記ゲート電極及び前記積層膜をマスクとして前記第１の不純物と同じ導電型の第２の不純物を前記半導体基板にイオン注入することにより、不純物拡散層を形成する工程と、
を有することを特徴とする半導体装置の製造方法。
【請求項２】
半導体基板上にゲート絶縁膜及びゲート電極を形成する工程と、
前記ゲート電極の側方にマスク用サイドウォールを形成する工程と、
前記ゲート電極及び前記マスク用サイドウォールをマスクとして前記半導体基板に第１の不純物をイオン注入する工程と、
前記マスク用サイドウォールを除去する工程と、
互いにエッチング速度が異なる２以上の絶縁膜からなる積層膜を前記ゲート電極の側方に形成する工程と、
前記ゲート電極及び前記積層膜をマスクとして前記第１の不純物と同じ導電型の第２の不純物を前記半導体基板にイオン注入することにより、不純物拡散層を形成する工程と、
を有する半導体装置の製造方法において、
前記積層膜を形成する工程を、前記ゲート絶縁膜及び前記ゲート電極を形成する工程と前記マスク用サイドウォールを形成する工程との間に行い、
前記マスク用サイドウォールを除去する工程において、前記積層膜により前記ゲート絶縁膜を保護しながら前記マスク用サイドウォールのみを除去することを特徴とする半導体装置の製造方法。
【請求項３】
前記積層膜を形成する工程は、前記ゲート電極に接する酸化膜を形成する工程を有することを特徴とする請求項１又は２に記載の半導体装置の製造方法。
【請求項４】
前記第２の不純物をイオン注入する工程の前に、前記酸化膜の下端部のウェットエッチングを行うことにより、前記積層膜の下端部にノッチを形成する工程を有することを特徴とする請求項３に記載の半導体装置の製造方法。
【請求項５】
前記積層膜の最表面の絶縁膜を窒化膜から形成することを特徴とする請求項１乃至４のいずれか１項に記載の半導体装置の製造方法。
【請求項６】
前記マスク用サイドウォールをポリシリコン膜から形成することを特徴とする請求項１乃至５のいずれか１項に記載の半導体装置の製造方法。
【請求項７】
前記ポリシリコン膜として不純物が導入されたものを使用することを特徴とする請求項６に記載の半導体装置の製造方法。
【請求項８】
前記マスク用サイドウォールをシリコン酸化膜から形成することを特徴とする請求項１乃至５のいずれか１項に記載の半導体装置の製造方法。
【請求項９】

前記第１の不純物をイオン注入する工程と前記マスク用サイドウォールを除去する工程との間に、アニールを行うことにより、前記第１の不純物のイオン注入の際に生じた前記積層膜の損傷を回復させる工程を有することを特徴とする請求項１乃至８のいずれか１項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、ＣＭＯＳトランジスタ等の半導体装置の製造方法に関し、特にＬＳＩ製造技術における微細トランジスタの設計に好適な半導体装置の製造方法に関する。

【０００２】

【従来の技術】

ＣＭＯＳトランジスタを製造するに際し、エクステンション層を形成した後にソース及びドレインを形成し、アニールを行うことにより、不純物を活性化させる方法が採られている。しかし、この方法では、急峻でオーバーラップ量が小さいエクステンション層を得つつ、ソース及びドレイン並びにゲートでの活性化を十分に行うことは困難である。

【０００３】

そこで、近時、２ステップのアニールを行う方法が検討されている。この方法では、先ず、ソース及びドレインを形成し、高温で短時間のアニールを行うことにより、不純物を活性化させる。次いで、エクステンション層を形成し、第１ステップのアニールにより低温のアニールを行い、再度不純物を活性化させる。この結果、ソース及びドレイン並びにゲートでの活性化を十分に行うと同時に、エクステンション層の急峻性が確保される。

【０００４】

ここで、この２ステップのアニールを行う方法について、添付の図面を参照して説明する。図８は、トランジスタのレイアウトを示す図である。また、図９乃至図１２は、従来の半導体装置の製造方法を工程順に示す断面図である。ここで、図９（ａ）乃至図１２（ａ）は、図８中のＩＩＩ－ＩＩＩ線に沿った断面図であり、図９（ｂ）乃至図１２（ｂ）は、図８中のＩＶ－ＩＶ線に沿った断面図である。

【０００５】

この従来の製造方法では、先ず、図９（ａ）に示すように、ＳＴＩ（Ｓｈａｌｌｏｗ Ｔｒｅｎｃｈ Ｉｓｏｌａｔｉｏｎ）により、選択的に素子分離絶縁膜２２を半導体基板２１の表面に形成する。次いで、図９（ａ）及び（ｂ）に示すように、素子分離絶縁膜２２により区画された素子活性領域内にゲート絶縁膜２３及びゲート電極２４を、それらの両端が素子分離絶縁膜２２上まで延びるようにして形成する。その後、全面にSiO_2膜を形成し、このSiO_2膜を異方性エッチングによりエッチバックすることにより、サイドウォール２５を形成する。続いて、ゲート電極２４及びサイドウォール２５をマスクとしてイオン注入を行うことにより、図９（ｂ）に示すように、素子活性領域内にソース２６Ｓ及びドレイン２６Ｄを形成する。そして、アニールを行うことにより、イオン注入した不純物の活性化を行う。

【０００６】

次に、図１０（ａ）及び（ｂ）に示すように、サイドウォール２５を除去する。

【０００７】

次いで、図１１（ａ）及び（ｂ）に示すように、全面にSiO_2膜２７及びＳｉＮ膜２８を順次形成する。

【０００８】

その後、図１２（ａ）及び（ｂ）に示すように、SiO_2膜２７及びＳｉＮ膜２８の積層膜を、その下端部にノッチが形成されるようにしてエッチバックすることにより、オフセット膜２９を形成する。次いで、このオフセット膜２９及びゲート電極２４をマスクとしてイオン注入を行うことにより、図１２（ｂ）に示すように、素子活性領域内に、ソース２６Ｓ及びドレイン２６Ｄと重畳するようにしてエクステンション層３０を形成する。そして、アニールを行うことにより、イオン注入した不純物の活性化を行う。

【０００９】
【発明が解決しようとする課題】
このように、上述のような２ステップのアニールを採用した半導体装置の製造方法では、図１０（ａ）及び（ｂ）に示すように、ソース２６Ｓ及びドレイン２６Ｄの形成後にサイドウォール２５を除去している。このサイドウォール２５の除去は、通常ウェット処理により行われる。このとき、素子活性領域内においては、ゲート絶縁膜２３が半導体基板２１上に形成されているため、絶縁膜自体の厚さは極めて薄く、絶縁膜は後退しにくい。一方、素子分離縁膜２２上においては、ゲート絶縁膜２３が素子分離絶縁膜２２上まで延びており、この部分では、絶縁膜の厚さがゲート絶縁膜２３及び素子分離絶縁膜２２の厚さの総和となり、ゲート絶縁膜２３及び素子分離絶縁膜２２が後退しやすく、図１０（ａ）に示すように、素子分離絶縁膜２２の表面が若干除去されると共に、ゲート絶縁膜２３の寸法が小さくなってしまう。この結果、ゲート長が１００ｎｍ程度以下の設計ルールになると、ゲート絶縁膜２３上のゲート電極２４に、転倒、変形、剥離等の不具合が発生しやすくなる。
【００１０】
また、上述の従来の製造方法では、エクステンション層３０を形成するために、オフセット膜２９と半導体基板２１との間にノッチを設けているため、その形成の際にもゲート絶縁膜２３が後退しやすく、図１２（ａ）に示すように、ゲート絶縁膜２３の寸法がより一層小さくなってしまう。このため、上述のような不具合がより顕著になる。
【００１１】
本発明は、かかる問題点に鑑みてなされたものであって、ゲート電極の剥離等を防止しながら良好なエクステンション層を形成することができる半導体装置の製造方法を提供することを目的とする。
【００１２】
【課題を解決するための手段】
本願発明者は、鋭意検討の結果、以下に示す発明の諸態様に想到した。
【００１３】
本発明に係る第１の半導体装置の製造方法においては、半導体基板上にゲート絶縁膜及びゲート電極を形成した後、互いにエッチング速度が異なる２以上の絶縁膜からなる積層膜を全面に形成し、その後、前記ゲート電極の側方に、前記積層膜を介して、前記積層膜の最表面の絶縁膜とはエッチング速度が異なる材料からなるマスク用サイドウォールを形成する。次いで、前記ゲート電極、前記積層膜の前記ゲート電極の側方に位置する部分及び前記マスク用サイドウォールをマスクとして前記半導体基板に第１の不純物をイオン注入し、前記マスク用サイドウォールを除去する。そして、前記積層膜に対して全面の異方性エッチングを行うことにより、前記積層膜の一部を前記ゲート電極の側方のみに残存させ、前記ゲート電極及び前記積層膜をマスクとして前記第１の不純物と同じ導電型の第２の不純物を前記半導体基板にイオン注入することにより、不純物拡散層を形成する。
【００１４】
本発明に係る第２の半導体装置の製造方法は、半導体基板上にゲート絶縁膜及びゲート電極を形成する工程と、前記ゲート電極の側方にマスク用サイドウォールを形成する工程と、前記ゲート電極及び前記マスク用サイドウォールをマスクとして前記半導体基板に第１の不純物をイオン注入する工程と、前記マスク用サイドウォールを除去する工程と、互いにエッチング速度が異なる２以上の絶縁膜からなる積層膜を前記ゲート電極の側方に形成する工程と、前記ゲート電極及び前記積層膜をマスクとして前記第１の不純物と同じ導電型の第２の不純物を前記半導体基板にイオン注入することにより、不純物拡散層を形成する工程と、を有する半導体装置の製造方法を対象とする。そして、この半導体装置の製造方法は、前記積層膜を形成する工程を、前記ゲート絶縁膜及び前記ゲート電極を形成する工程と前記マスク用サイドウォールを形成する工程との間に行い、前記マスク用サイドウォールを除去する工程において、前記積層膜により前記ゲート絶縁膜を保護しながら前記マスク用サイドウォールのみを除去することを特徴とする。

【００１５】
これらの本発明の諸態様によれば、マスク用サイドウォールを除去する際に、積層膜によりゲート絶縁膜を保護することが可能である。従って、ソース・ドレインを形成した後にエクステンション層を形成するとしても、ゲート電極の剥離等の不具合を回避することができる。また、積層膜自体は、従来エクステンション層の形成のために形成されているものであるため、その形成のために工程数が増加することもない。
【００１６】
【発明の実施の形態】
以下、本発明の実施の形態に係る半導体装置の製造方法について添付の図面を参照して具体的に説明する。図１は、本発明の実施形態に係る方法により製造するＣＭＯＳトランジスタのレイアウトを示す図であり、図２乃至図７は、本発明の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。ここで、図２（ａ）乃至図７（ａ）は、図１中のＩ－Ｉ線に沿った断面図であり、図２（ｂ）乃至図７（ｂ）は、図１中のＩＩ－ＩＩ線に沿った断面図である。
【００１７】
図１に示すように、本実施形態により製造する半導体装置においては、素子分離領域１０１により区画された素子領域内にｎＭＯＳ１０２及びＰＭＯＳ１０３が設けられる。そして、ｎＭＯＳ１０２及びＰＭＯＳ１０３には、各々ゲート１０４及び２個のソース・ドレインが設けられる。ここで、ゲート１０４は、素子領域と素子分離領域１０１との境界を越えて、素子分離領域１０１上まで延びている。
【００１８】
本実施形態においては、先ず、図２（ａ）及び（ｂ）に示すように、Ｐ型の半導体基板１の表面に、選択的にｎ型のウェル１ａを形成し、これらの境界等の素子分離領域に素子分離絶縁膜２を形成する。素子分離絶縁膜２の形成方法は特に限定されるものではなく、ＳＴＩであってもよくＬＯＣＯＳであってもよい。次いで、素子分離絶縁膜２により区画された素子活性領域内にゲート絶縁膜３及びゲート電極４を、それらの両端が素子分離絶縁膜２上まで延びるようにして形成する。
【００１９】
その後、全面にSiO_2膜７及びＳｉＮ膜８を順次形成する。SiO_2膜７及びＳｉＮ膜８の形成は、例えばＣＶＤ法により行う。また、SiO_2膜７及びＳｉＮ膜８の膜厚は、１０ｎｍ以下であることが好ましく、例えば８ｎｍ程度であるが、これに限定されるものではない。
【００２０】
続いて、全面にポリシリコン膜を形成し、このポリシリコン膜を異方性エッチングによりエッチバックすることにより、図３（ａ）及び（ｂ）に示すように、ゲート電極４の側方に、SiO_2膜７及びＳｉＮ膜８の積層膜を介してサイドウォール（マスク用サイドウォール）５ａを形成する。
【００２１】
次に、所定形状のレジストパターン（図示せず）、ゲート電極４、積層膜のゲート電極４の側方に位置する部分及びサイドウォール５ａをマスクとしてイオン注入を行うことにより、図３（ｂ）に示すように、素子活性領域内にソース・ドレイン６Ｐ及び６ｎを形成する。このとき、ｎ型のウェル１ａには、Ｐ型の半導体基板１を覆うレジストパターンを使用してボロン等のＰ型の不純物をイオン注入することにより、ソース・ドレイン６Ｐを形成する。一方、Ｐ型の半導体基板１には、ｎ型のウェル１ａを覆うレジストパターンを使用してりん等のｎ型の不純物をイオン注入することにより、ソース・ドレイン６ｎを形成する。そして、アニールを行うことにより、イオン注入した不純物の活性化を行う。
【００２２】
次いで、図４（ａ）及び（ｂ）に示すように、ポリシリコン膜からなるサイドウォール５ａを除去する。この除去は、例えば等方性エッチングにより選択的に行う。更に、異方性エッチングによりSiO_2膜７及びＳｉＮ膜８の積層膜のエッチバックを行うことにより

、ゲート電極４の側方に、SiO_2膜７及びＳｉＮ膜８の積層膜からなるオフセット膜９を形成する。

【００２３】

続いて、SiO_2膜７のウェットエッチングを行うことにより、図５（ａ）及び（ｂ）に示すように、オフセット膜９の下端部にノッチを形成する。

【００２４】

次に、所定形状のレジストパターン（図示せず）、オフセット膜（積層膜）９及びゲート電極４をマスクとしてイオン注入を行うことにより、素子活性領域内に、ソース・ドレイン６Ｐ又は６ｎと重畳するようにしてポケット層及びエクステンション層を形成する。このとき、ｎ型のウェル１ａには、Ｐ型の半導体基板１を覆うレジストパターンを使用して、　素等のｎ型の不純物をイオン注入することにより、ポケット層を形成すると共に、ボロン等のＰ型の不純物をイオン注入することにより、エクステンション層を形成する。そして、これらのポケット層及びエクステンション層並びにソース・ドレイン６Ｐから、図６（ｂ）に示すように、不純物拡散層１０Ｐが構成される。一方、Ｐ型の半導体基板１には、ｎ型のウェル１ａを覆うレジストパターンを使用して、ボロン等のＰ型の不純物をイオン注入することにより、ポケット層を形成すると共に、　素等のｎ型の不純物をイオン注入することにより、エクステンション層を形成する。そして、これらのポケット層及びエクステンション層並びにソース・ドレイン６ｎから、図６（ｂ）に示すように、不純物拡散層１０ｎが構成される。そして、アニールを行うことにより、イオン注入した不純物の活性化を行う。

【００２５】

次いで、全面にSiO_2膜を形成し、このSiO_2膜を異方性エッチングによりエッチバックすることにより、図７（ａ）及び（ｂ）に示すように、サイドウォール（分離用サイドウォール）５ｂを形成する。SiO_2膜の膜厚は、例えば８０ｎｍ程度である。その後、全面にＣｏ膜を堆積する。この堆積は、例えばスパッタリングにより行う。続いて、ＲＴＡ処理によりＣｏ膜とゲート電極４並びに不純物拡散層１０Ｐ及び１０ｎとを反応させてシリサイド化させることにより、$CoSi_2$膜１１を形成する。このとき、サイドウォール５ｂは、ゲート電極４と不純物拡散層１０Ｐ及び１０ｎとの間におけるポリシリコン分離用のスペーサとして機能する。その後、未反応のＣｏ膜を除去する。

【００２６】

そして、上述のサリサイドプロセスを行った後、Ｃｏ膜の未反応部分の除去、層間絶縁膜の形成、及び配線の形成等を行うことにより、ＣＭＯＳトランジスタを完成させる。

【００２７】

このような本実施形態においては、ソース・ドレインを形成する際にマスク用に使用するサイドウォール５ａを除去する際に、ゲート絶縁膜３はSiO_2膜７及びＳｉＮ膜８の積層膜により完全に覆われている。この積層膜とポリシリコン膜からなるサイドウォール５ａとではエッチング速度が著しく相違しているため、この積層膜はそのまま残存し、素子分離絶縁膜２及びゲート絶縁膜３の減耗、即ち後退は生じない。従って、ゲート電極４の転倒、変形、剥離等の不具合は生じない。

【００２８】

また、本実施形態においては、積層膜にノッチを形成する際にSiO_2膜７のウェットエッチングを行うため、このときにゲート絶縁膜３及び素子分離絶縁膜２がエッチング液に晒されるが、SiO_2膜７の除去量は極めて微量である。このため、素子分離絶縁膜２及びゲート絶縁膜３の減耗が生じたとしても、その量は微々たるものであり、ゲート電極４の転倒、変形、剥離等の不具合を生じさせるようなものではない。

【００２９】

従って、ゲートの剥離等の不具合を回避しながら、エクステンション層の急峻性を確保し、良好な特性の半導体装置を得ることができる。この効果は、特にゲート長が１００ｎｍの半導体装置において顕著となる。

【００３０】

更に、積層膜（オフセット膜９）自体は、従来の製造方法においても形成されているものであるため、これを形成するための工程を増加させる必要はなく、コストの増加を回避することができる。

【００３１】

なお、マスク用のサイドウォールはポリシリコン膜から形成されることに限定されるものではなく、積層膜の最表面との間でエッチングレートが異なるものであればよい。例えば、シリコン酸化膜からなるサイドウォールをマスク用サイドウォールとして使用してもよい。

【００３２】

ここで、サイドウォール５αの原料膜であるポリシリコン膜に不純物が導入され、その導電型が安定していることが好ましい。これは、次の理由による。ポリシリコン膜に不純物が導入されていない場合には、ポリシリコン膜中に、Ｐ型半導体となっている部分、ｎ型半導体となっている部分及び真性半導体となっている部分が混在し、各々のエッチグレートが相違する。これに対し、不純物を導入して導電型を安定させることにより、エッチングレートの変動を抑制して安定したエッチングを行うことができるようになる。

【００３３】

また、ソース・ドレイン６Ｐ及び６ｎの形成とサイドウォール５αの除去との間に、アニールを行うことが好ましい。これは、次の理由による。ソース・ドレイン６Ｐ及び６ｎの形成のために行われるイオン注入のドーズ量は比較的高い。従って、このときに、スルー膜となるSiO_2膜７及びＳｉＮ膜８の積層膜に損傷が生じやすい。この結果、エッチングレートが上昇し、そのままでは、サイドウォール５αの除去の際に、この積層膜の一部も除去されて半導体基板１又はウェル１αに損傷が生じる虞がある。これに対し、上述のようにアニールを行うことにより、積層膜中の損傷が回復されて、エッチングレートの上昇が抑えられるので、半導体基板１又はウェル１αの損傷を回避することができる。

【００３４】

なお、上述の実施形態においては、オフセット膜９の下端部にノッチを形成しているが、このノッチを形成せずにイオン注入を行うことにより、ポケット層及びエクステンション層を形成してもよい。

【００３５】

以下、本発明の諸態様を付記としてまとめて記載する。

【００３６】

（付記１）　半導体基板上にゲート絶縁膜及びゲート電極を形成する工程と、
互いにエッチング速度が異なる２以上の絶縁膜からなる積層膜を全面に形成する工程と、
前記ゲート電極の側方に、前記積層膜を介して、前記積層膜の最表面の絶縁膜とはエッチング速度が異なる材料からなるマスク用サイドウォールを形成する工程と、
前記ゲート電極、前記積層膜の前記ゲート電極の側方に位置する部分及び前記マスク用サイドウォールをマスクとして前記半導体基板に第１の不純物をイオン注入する工程と、
前記マスク用サイドウォールを除去する工程と、
前記積層膜に対して全面の異方性エッチングを行うことにより、前記積層膜の一部を前記ゲート電極の側方のみに残存させる工程と、
前記ゲート電極及び前記積層膜をマスクとして前記第１の不純物と同じ導電型の第２の不純物を前記半導体基板にイオン注入することにより、不純物拡散層を形成する工程と、
を有することを特徴とする半導体装置の製造方法。

【００３７】

（付記２）　半導体基板上にゲート絶縁膜及びゲート電極を形成する工程と、
前記ゲート電極の側方にマスク用サイドウォールを形成する工程と、
前記ゲート電極及び前記マスク用サイドウォールをマスクとして前記半導体基板に第１の不純物をイオン注入する工程と、
前記マスク用サイドウォールを除去する工程と、
互いにエッチング速度が異なる２以上の絶縁膜からなる積層膜を前記ゲート電極の側方に

形成する工程と、
前記ゲート電極及び前記積層膜をマスクとして前記第１の不純物と同じ導電型の第２の不純物を前記半導体基板にイオン注入することにより、不純物拡散層を形成する工程と、
を有する半導体装置の製造方法において、
前記積層膜を形成する工程を、前記ゲート絶縁膜及び前記ゲート電極を形成する工程と前記マスク用サイドウォールを形成する工程との間に行い、
前記マスク用サイドウォールを除去する工程において、前記積層膜により前記ゲート絶縁膜を保護しながら前記マスク用サイドウォールのみを除去することを特徴とする半導体装置の製造方法。

【００３８】

（付記３）　前記積層膜を形成する工程は、前記ゲート電極に接する酸化膜を形成する工程を有することを特徴とする付記１又は２に記載の半導体装置の製造方法。

【００３９】

（付記４）　前記第２の不純物をイオン注入する工程の前に、前記酸化膜の下端部のウェットエッチングを行うことにより、前記積層膜の下端部にノッチを形成する工程を有することを特徴とする付記３に記載の半導体装置の製造方法。

【００４０】

（付記５）　前記積層膜をエッチバックする工程と前記第２の不純物をイオン注入する工程との間に、前記積層膜の下端部にノッチを形成する工程を有することを特徴とする付記１又は３に記載の半導体装置の製造方法。

【００４１】

（付記６）　前記マスク用サイドウォールを除去する工程と前記第２の不純物をイオン注入する工程との間に、前記積層膜の下端部にノッチを形成する工程を有することを特徴とする付記２又は３に記載の半導体装置の製造方法。

【００４２】

（付記７）　前記ゲート絶縁膜及び前記ゲート電極を形成する工程の前に、前記半導体基板の表面に選択的に素子分離絶縁膜を形成する工程を有し、
前記ゲート絶縁膜及び前記ゲート電極を、前記素子分離絶縁膜上まで延ばして形成することを特徴とする付記１乃至６のいずれか１項に記載の半導体装置の製造方法。

【００４３】

（付記８）　前記積層膜の最表面の絶縁膜を窒化膜から形成することを特徴とする付記１乃至７のいずれか１項に記載の半導体装置の製造方法。

【００４４】

（付記９）　前記マスク用サイドウォールをポリシリコン膜から形成することを特徴とする付記１乃至８のいずれか１項に記載の半導体装置の製造方法。

【００４５】

（付記１０）　前記ポリシリコン膜として不純物が導入されたものを使用することを特徴とする付記９に記載の半導体装置の製造方法。

【００４６】

（付記１１）　前記マスク用サイドウォールをシリコン酸化膜から形成することを特徴とする付記１乃至８のいずれか１項に記載の半導体装置の製造方法。

【００４７】

（付記１２）　前記第１の不純物をイオン注入する工程と前記マスク用サイドウォールを除去する工程との間に、アニールを行うことにより、前記第１の不純物のイオン注入の際に生じた前記積層膜の損傷を回復させる工程を有することを特徴とする付記１乃至１１のいずれか１項に記載の半導体装置の製造方法。

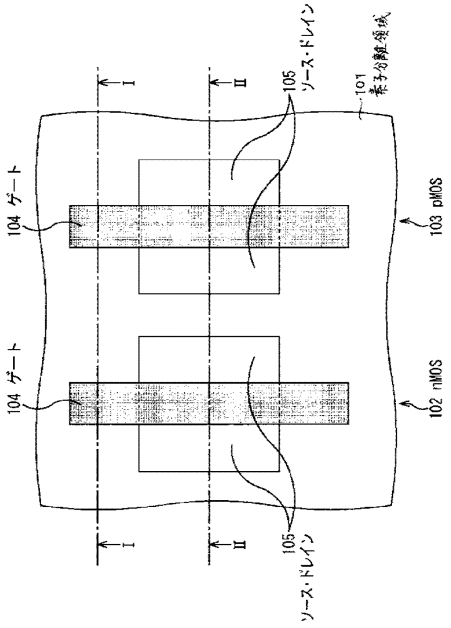
【００４８】

（付記１３）　前記第１の不純物をイオン注入する工程の後及び前記第２の不純物をイオン注入する工程の後に、夫々アニールを行うことにより、イオン注入された不純物を活性化させる工程を有することを特徴とする付記１乃至１２のいずれか１項に記載の半導体装

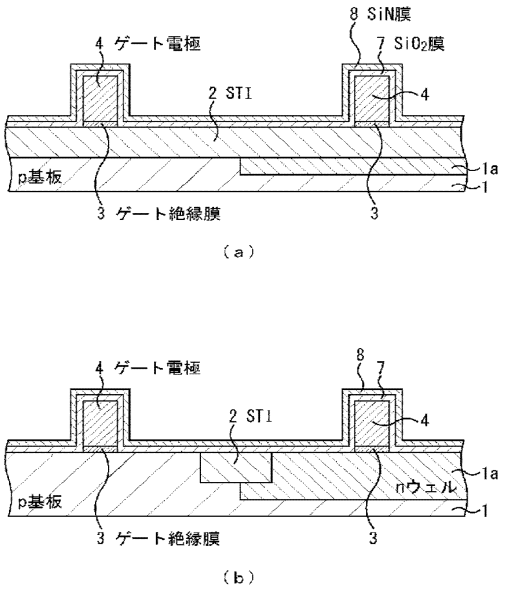
置の製造方法。
【００４９】
（付記１４）　前記第２の不純物をイオン注入する工程の後に、
前記ゲート電極の側方に、前記ゲート電極と前記不純物拡散層とを互いに絶縁分離する分離用サイドウォールを形成する工程と、
前記ゲート電極及び前記不純物拡散層の表面にシリサイド層を形成する工程と、を有することを特徴とする付記１乃至１３のいずれか１項に記載の半導体装置の製造方法。
【００５０】
（付記１５）　前記ゲート絶縁膜及び前記ゲート電極を形成する工程において、ゲート長を１００ｎｍ以下とすることを特徴とする付記１乃至１４のいずれか１項に記載の半導体装置の製造方法。
【００５１】
（付記１６）　前記不純物拡散層を形成するに際し、前記ゲート電極及び前記積層膜をマスクとして、前記第２の不純物に加えて、前記第１の不純物とは反対導電型の第３の不純物を前記半導体基板にイオン注入することを特徴とする付記１乃至１５のいずれか１項に記載の半導体装置の製造方法。
【００５２】
【発明の効果】
以上詳述したように、本発明によれば、マスク用サイドウォールを除去する際に、ゲート絶縁膜は積層膜により完全に覆われているので、ゲート絶縁膜の後退を防止することができる。従って、ゲート電極の転倒、変形、剥離等の不具合を防止することができる。また、積層膜にノッチを形成するとしても、この際に積層膜を構成する絶縁膜を除去する量は極めて微量であるため、ゲート絶縁膜の減耗が生じたとしても、その量は微々たるものであり、ゲート電極の剥離等の不具合を防止することができる。従って、ゲートの剥離等の不具合を回避しながら、良好な特性の半導体装置を得ることができる。また、従来の製造方法と比較しても、積層膜を形成するための工程を追加する必要はないため、工程数の増加を回避することができる。
【図面の簡単な説明】
【図１】本発明の実施形態に係る方法により製造するＣＭＯＳトランジスタのレイアウトを示す図である。
【図２】本発明の実施形態に係る半導体装置の製造方法を示す断面図である。
【図３】同じく、本発明の実施形態に係る半導体装置の製造方法を示す図であって、図２に示す工程の次工程を示す断面図である。
【図４】同じく、本発明の実施形態に係る半導体装置の製造方法を示す図であって、図３に示す工程の次工程を示す断面図である。
【図５】同じく、本発明の実施形態に係る半導体装置の製造方法を示す図であって、図４に示す工程の次工程を示す断面図である。
【図６】同じく、本発明の実施形態に係る半導体装置の製造方法を示す図であって、図５に示す工程の次工程を示す断面図である。
【図７】同じく、本発明の実施形態に係る半導体装置の製造方法を示す図であって、図６に示す工程の次工程を示す断面図である。
【図８】トランジスタのレイアウトを示す図である。
【図９】従来の半導体装置の製造方法を示す断面図である。
【図１０】同じく、従来の半導体装置の製造方法を示す図であって、図９に示す工程の次工程を示す断面図である。
【図１１】同じく、従来の半導体装置の製造方法を示す図であって、図１０に示す工程の次工程を示す断面図である。
【図１２】同じく、従来の半導体装置の製造方法を示す図であって、図１１に示す工程の次工程を示す断面図である。
【符号の説明】

１；半導体基板
１ａ；ウェル
２；素子分離絶縁膜
３；ゲート絶縁膜
４；ゲート電極
５ａ；マスク用サイドウォール
５ｂ；分離用サイドウォール
６Ｐ、６ｎ；ソース・ドレイン
７；SiO_2膜
８；ＳｉＮ膜
９；オフセット膜
１０Ｐ、１０ｎ；不純物拡散層
１１；$CoSi_2$膜
１０１；素子分離領域
１０２；ｎＭＯＳ
１０３；ＰＭＯＳ
１０４；ゲート
１０５；ソース・ドレイン

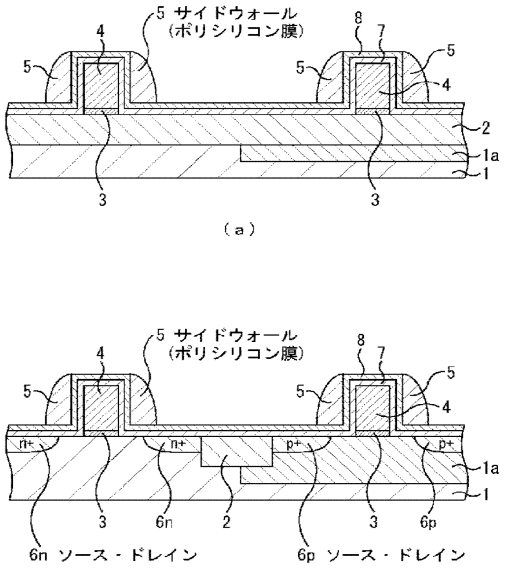
【図１】



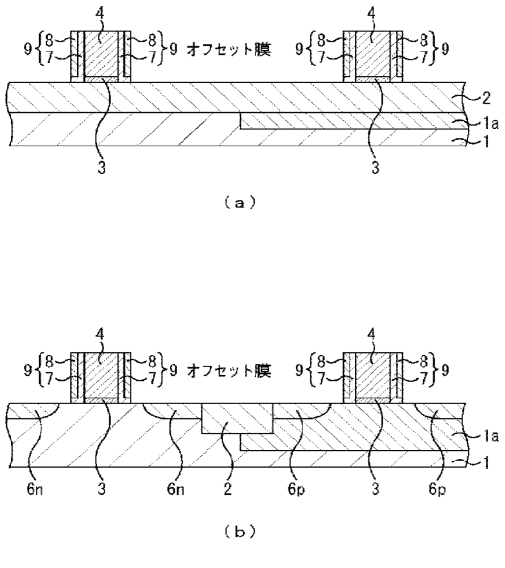
【図２】



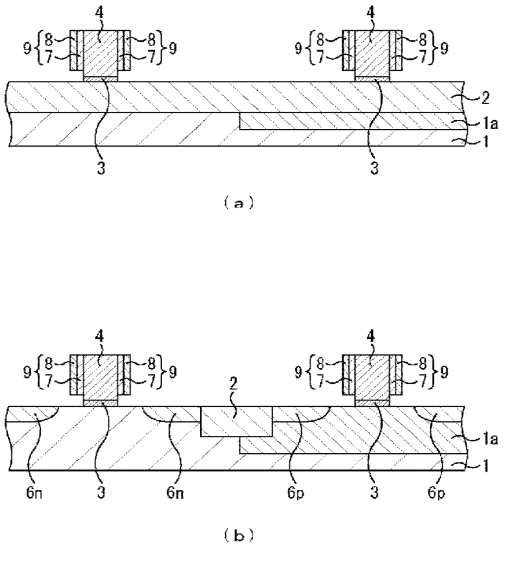
【図３】


5 サイドウォール
(ポリシリコン膜)
4
5
8
7
2
1a
1
3
(a)
n+
p+
6n
6p
2
6n ソース・ドレイン
6p ソース・ドレイン
(b)

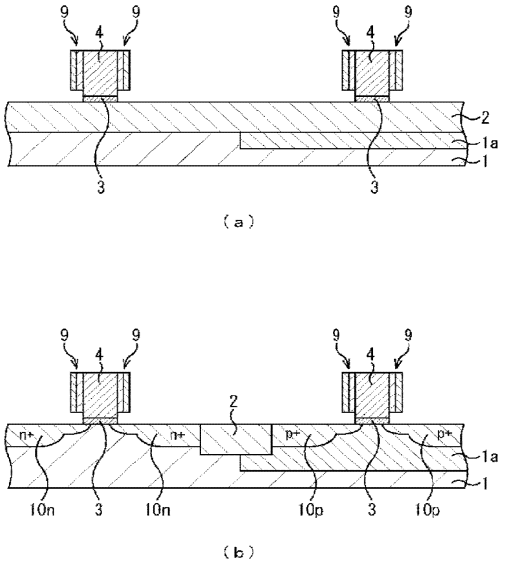
【図４】


4
9
8
7
オフセット膜
2
1a
1
3
(a)
6n
6p
2
(b)

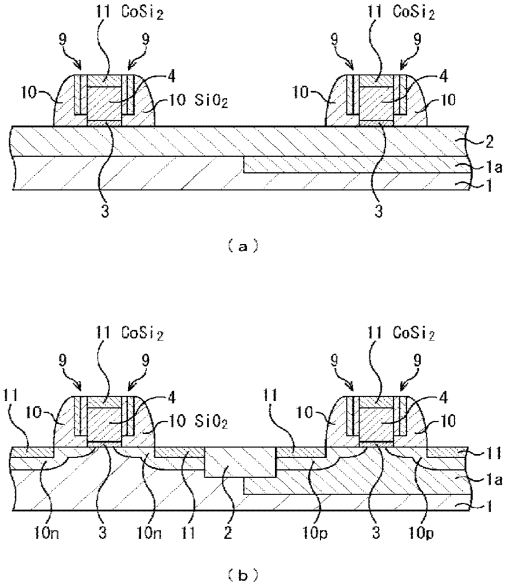
【図５】


4
9
8
7
2
1a
1
3
(a)
6n
6p
(b)

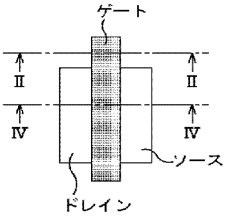
【図６】


9
4
2
1a
1
3
(a)
n+
p+
10n
10p
(b)

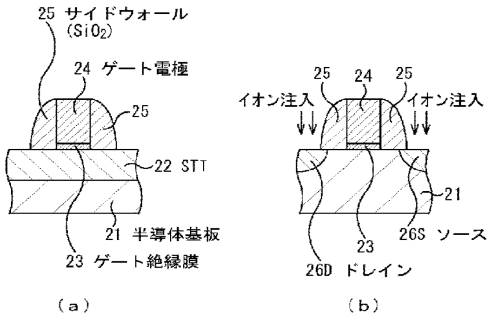
【図７】



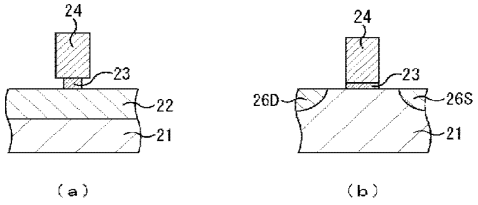
【図８】



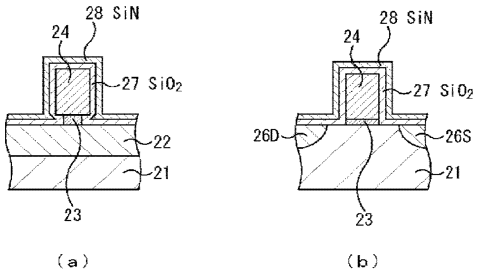
【図９】



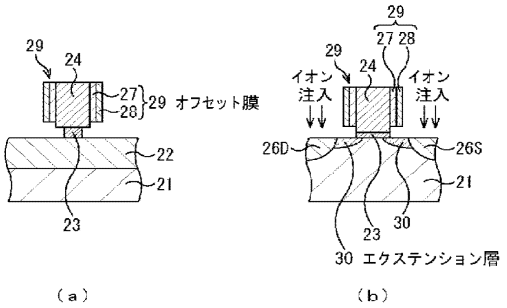
【図１０】



【図１１】



【図１２】



(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2008-211182
(P2008-211182A)
(43)公開日　平成20年9月11日(2008.9.11)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 21/8238	(2006.01)	H01L	27/08	321D	4M104
H01L 27/092	(2006.01)	H01L	29/58	G	5F043
H01L 29/423	(2006.01)	H01L	21/306	D	5F048
H01L 29/49	(2006.01)	H01L	21/283	C	5F058
H01L 21/306	(2006.01)	H01L	29/78	301G	5F140

審査請求 未請求　請求項の数 11　ＯＬ　外国語出願　（全 65 頁）　最終頁に続く

(21)出願番号　特願2008-2367 (P2008-2367)
(22)出願日　平成20年1月9日 (2008.1.9)
(31)優先権主張番号　60/879,635
(32)優先日　平成19年1月10日 (2007.1.10)
(33)優先権主張国　米国 (US)
(31)優先権主張番号　07011442.6
(32)優先日　平成19年6月12日 (2007.6.12)
(33)優先権主張国　欧州特許庁 (EP)

(71)出願人　591060898
アンテルユニヴェルシテール・ミクロ－エレクトロニカ・サントリュム・ヴェー・ゼッド・ドゥブルヴェ
ＩＮＴＥＲＵＮＩＶＥＲＳＩＴＡＩＲ　ＭＩＣＲＯ－ＥＬＥＫＴＲＯＮＩＣＡ　ＣＥＮＴＲＵＭ　ＶＺＷ
ベルギー、ベー－３００１ルーヴァン、カペルドリーフ７５番

最終頁に続く

(54)【発明の名称】２つの仕事関数を備えたＣＭＯＳデバイスの製造方法

(57)【要約】
【課題】本発明は、２つの仕事関数の半導体デバイスの製造方法を提供する。
【解決手段】製造方法は、基板の第１領域及び第２領域上にデバイスを設けることを備える。これは、基板の第１領域及び第２領域上に誘電性層を設けること、及び第１及び第２領域の両方の誘電性層の上部にゲート電極を設けることによってなされる。第１領域上のゲート電極及び第２領域上のゲート電極の両方は仕事関数を有する。上記方法は、さらに、誘電性層とゲート電極との間で第１領域上にキャッピング層を設けることで第１領域上のゲート電極の仕事関数を変更し、及び第２領域における誘電性層とゲート電極との間の界面でスピーシーズを導入するようにスピーシーズを埋め込むことにより第２領域上のゲート電極の仕事関数を変更することを備える。
【選択図】図２０



【特許請求の範囲】
【請求項1】
２つの仕事関数半導体デバイスの製造方法において、
－基板の第１領域及び第２領域上に誘電性層を設けること、ここで第１領域上の誘電性層は第２領域上の誘電性層とともに一体に堆積され、さらに、
－第１及び第２領域の両方の誘電性層の上部にゲート電極を設けること、ここで第１領域上のゲート電極は第２領域上のゲート電極とともに一体に堆積され、かつ第１領域上のゲート電極及び第２領域上のゲート電極の両方は仕事関数を有し、
によって、基板の第１領域及び第２領域上にそれぞれデバイスを設けることを備え、
上記方法は、さらに、
誘電性層とゲート電極との間で第１領域上にキャッピング層を設け第２領域上には設けないことで第１領域上のゲート電極の仕事関数を変更し、及び
第１領域ではなく第２領域における誘電性層とゲート電極との間の界面でスピーシーズを導入するようにスピーシーズを埋め込むことにより第２領域上のゲート電極の仕事関数を変更する、
ことを備えた、２つの仕事関数半導体デバイスの製造方法。
【請求項2】
第１領域上のデバイスは、Ｎ－ＭＯＳデバイスである、請求項１記載の製造方法。
【請求項3】
第２領域上のデバイスは、Ｐ－ＭＯＳデバイスである、請求項１又は２記載の製造方法。
【請求項4】
誘電性層とゲート電極との間の界面でのスピーシーズの埋め込みは、誘電性層の上部にゲート電極を設ける前に行われる、請求項１から３のいずれかに記載の製造方法。
【請求項5】
誘電性層とゲート電極との間の界面でのスピーシーズの埋め込みは、ゲート電極形成後に行われる、請求項１から３のいずれかに記載の製造方法。
【請求項6】
スピーシーズの埋め込みは、誘電性層の特定位置上にレジスト層を設け、レジスト層にて覆われていない領域にイオン注入することを備える、請求項１から５のいずれかに記載の製造方法。
【請求項7】
キャッピング層を設けることは、ＤｙＤｘキャッピング層を設けることでなされる、請求項１から６のいずれかに記載の製造方法。
【請求項8】
選択的ウェットエッチングによりキャッピング層を除去することをさらに備える、請求項７記載の製造方法。
【請求項9】
選択的ウェットエッチングは、５未満のｐＨを有する低ｐＨ溶液によりなされる、請求項８記載の製造方法。
【請求項10】
ゲート電極は、ＦＵＳＩゲート電極である、請求項１から９のいずれかに記載の製造方法。
【請求項11】
２つの仕事関数半導体デバイスであって、該デバイスは、第１タイプのデバイス及び第２タイプのデバイスを備え、各タイプのデバイスは、
－基板上のゲート誘電体と、及び
－ゲート誘電体上のゲート電極とを備え、該ゲート電極は仕事関数を有し、
ここで、第１タイプデバイスのゲート電極は、第２タイプデバイスのゲート電極とも

に一体に作製され、第１タイプデバイスのゲート誘電体は、第２タイプデバイスのゲート誘電体とともに一体に作製され、及び、２つの仕事関数半導体デバイスは、さらに、第２タイプデバイスの誘電性層とゲート電極との間ではなく第１タイプデバイスの誘電性層とゲート電極との間にキャッピング層を備え、第１タイプデバイスの誘電性層とゲート電極との間の界面ではなく第２タイプデバイスの誘電性層とゲート電極との間の界面に埋め込【発明の詳細な説明】備える、２つの仕事関数半導体デバイス。

【技術分野】

【0001】

本発明は、２つの仕事関数を備えたＣＭＯＳデバイスを製造する方法に関する。

【背景技術】

【0002】

ＣＭＯＳデバイスを作製ため、Ｎ－ＭＯＳ及びＰ－ＭＯＳ型トランジスタゲートのそれぞれに２つの明確に異なる仕事関数（ＷＦ）が必要である。このゲート仕事関数は、ゲート電極用に使用される材料により主に決定されるので、２つの仕事関数の要求は、通常、所定のゲート誘電体用の２つの異なる材料、とりわけ２つの異なる金属の使用を意味する。そのような２つの金属へのアプローチの処理フロー又は統合は、非常に扱いにくく、多くの処理工程を含んでいる。

【発明の開示】

【発明が解決しようとする課題】

【0003】

本発明に関し、２つの仕事関数を備えたＣＭＯＳデバイスの形成方法を開示し、該方法は、処理工程数を低減した単純化された処理フローを提供する。Ｐ－ＭＯＳ及びＮ－ＭＯＳトランジスタの両方について、ゲート電極に同じ材料を使用し、それぞれのトランジスタ・ゲートの仕事関数を調節することを提案する。これは、（１）ゲート誘電体の埋め込み、又は（２）ゲート電極とホスト・ゲート誘電性材料との間に誘電性キャッピング層の挿入、及び/又は（３）完全にシリサイドされた（ＦＵＳＩ）ゲート形成の前にホスト・ゲート電極の埋め込みによりなされる。本発明の実施形態は、特にＦＵＳＩゲートを有するデバイスに適用可能である。

【課題を解決するための手段】

【0004】

第一の態様では、本発明は、２つの仕事関数半導体デバイスを製造する方法を提供する。この方法は、基板の第１領域上のデバイス、及び第２領域上のデバイスを提供することを備える。本発明の実施形態によれば、このことは、

－基板の第１及び第２の領域上に誘電性層を設けること、ここで、第１領域上の誘電性層は第２領域上の誘電性層に完全に堆積され、それゆえ同じ特性、例えば同じ材質、同じ厚さ等を有する、及び

－第１及び第２の両領域の誘電性層上にゲート電極を設けること、ここで、第１領域上のゲート電極は第２領域上のゲート電極に完全に堆積され、それ故、同じ特性、例えば同じ材質、同じ厚さ等を有する、

によってなされる。

【0005】

本発明の第一の態様の実施形態に係る方法は、さらに、

誘電性層とゲート電極との間の第１領域上にキャッピング層を設けることにより第１領域上のデバイスの仕事関数を変化させること、及び

誘電性層と電極との間の界面でスピーシーズを含むことにより第２領域上のデバイスの仕事関数を変更すること、

を備える。

【0006】

本発明の実施形態の利点は、ゲート材料の選択的な除去が必要でないということである。普通の導電性、例えば金属又はＦＵＳＩのゲート電極は、ｎｍｏｓ及びｐｍｏｓデバイ

スの両方に使用可能である。このことは、二重相のＦＵＳＩ　ＣＭＯＳスキーム、例えばｎｍｏｓ用のＮｉＳｉ、ｐｍｏｓ用Ｎｉリッチ、が使用されるとき、従来の方法に比較して、Ｎ＋/Ｐ＋境界での電位問題を低減又はさらに削除する。後者の場合、ＮｉＳｉ（ｎｍｏｓ）とＮｉリッチ（ｐｍｏｓ）とのゲート電極間の界面の長さは、高密度アプリケーションに対する関心事でありえる。ｎｍｏｓ及びｐｍｏｓ両方の普通の（つまり同じ相）ＦＵＳＩ電極の場合、本発明の実施形態のように、この問題／関心事は解決される。更に、ｎｍｏｓ及びｐｍｏｓ両方のＮｉリッチＦＵＳＩの使用は、ＦＵＳＩ　ＣＭＯＳ統合プロセス用のより高いプロセスウインドウに導き、従ってより有利な生産能力を有する。

【0007】

本発明の実施形態に従い、仕事関数は、ゲート誘電体を適合させることにより変更される。これは、以下により詳しく説明するように、酸化膜換算膜厚（ＥＯＴ）を低く維持しながら、好ましくはできるだけ低くしながら、キャッピング及び埋め込みによりなすことができる。このＥＯＴ要求は、何も堆積又は埋め込みができないことを意味する。

【0008】

本発明の実施形態では、第１領域上のデバイスはＮ－ＭＯＳデバイスである。本発明の実施形態では、第２領域上のデバイスはＰ－ＭＯＳデバイスである。本発明の実施形態では、誘電性層と電極との間の界面でスピーシーズを含むことは、誘電性層の上にゲート電極を設ける前に実行可能である。他の実施形態では、誘電性層と電極との間の界面でスピーシーズを含むことは、電極形成後に行なわれることがある。

【0009】

本発明の実施形態に係る方法は、更に、誘電性層とゲート電極との間の第２領域上にキャッピング層を設けることを含むことができる。この方法は、埋め込みの間、二重のキャッピングが保護のために設けられる。

【0010】

本発明の実施形態に係る方法は、更に、デバイスの処理の間、ゲート耐圧を保護するためのキャッピング層を設けることを含むことができる。

【0011】

本発明の実施形態に係る方法では、誘電性層と電極との間の界面にスピーシーズを含むことは、イオン注入によりスピーシーズを導入することを備えることができる。導入されたスピーシーズは、仕事関数調整要素である。イオン注入でスピーシーズを導入することは、誘電性層の特定位置にレジスト層を設けること、及びそのレジスト層によってカバーされない領域へのイオン注入を実行することを含む。

【0012】

本発明の実施形態に係る方法は、半導体デバイスの仕事関数をさらに調整するため、プレ及び/又はポストキャッピング層堆積窒化条件を調整することを備えることができる。

【0013】

本発明の実施形態に係る方法では、キャッピングは、ＤｙＯによって実行可能である。そのようなＤｙＯキャッピング層は、選択的なウェットエッチングによって除去可能である。この選択的なウェットエッチングは、低ｐＨのＨＣｌ系溶液によって実行可能である。上記選択的なウェットエッチング溶液のｐＨ値は、５未満が可能であり、より好ましくは２と４の間である。

【0014】

本発明の実施形態に係る方法では、ゲート電極は、ＦＵＳＩ電極であってもよい。

【0015】

第２態様において、本発明の実施形態は、ＤｙＯ層を除去する方法を提供し、その方法は、選択的なウェットエッチングを行なうことを含む。その選択的なウェットエッチングは、ＨＣｌ系溶液によって実行可能である。有利なことは、そのようなＨＣｌ系溶液は、ＤｙＯ層、その中でもＨｆＳｉＯＮ又はＳｉＯＮ層の方に選択的にエッチングすることを可能にすることである。

【0016】

第３態様では、本発明は、第１のタイプの半導体デバイス及び第２タイプの半導体デバイスを備えた、２仕事関数半導体デバイスを提供する。各半導体デバイスは、
－基板上のゲート誘電体、及び
－ゲート誘電体上のゲート電極、を備え、
ここで、第１タイプの半導体デバイスのゲート電極は、第２タイプの半導体デバイスのゲート電極と一体的に堆積され、したがって、同じ特性、例えば同じ材料、同じ厚さなど、を有し、また、第１タイプの半導体デバイスのゲート誘電体は、同じ基材で作製されるが誘電性層と電極との間の界面で異なるスピーシーズを含んでいる第２タイプの半導体デバイスのゲート誘電体と異なる。
【発明を実施するための最良の形態】
【0017】
本発明は、特別な実施形態に関して、図面を参照して記載される。しかしながら、本発明は、それに限定されず、特許請求の範囲によってのみ限定される。記載された図面は、単に模式的なものであり、限定するものではない。図面では、構成要素のうちのいくつかのサイズは、図示のために拡大され、実際の寸法にて描かれないことがある。寸法及び相対的な寸法は、本発明の実施への実際の縮小とは対応していない。
【0018】
さらに、明細書及び特許請求の範囲において、第１、第２、第３のような用語は、類似の構成要素間での区別のために使用され、ランキングや他の方法において、順番を一時的に、空間的に記述するのに必ずしも必要ではない。そのように使用された用語は、適切な状況の下で交換可能であり、また、ここに記載された本発明の実施形態は、ここに記載された又は図示された以外の他の順序において操作可能であるということが理解されねばならない。
【0019】
さらに、明細書及び特許請求の範囲において、上部、底部、上方、下方、及びそれに類似する用語は、描写的な目的のために使用され、相対的な位置を記述するために必ずしも必要ではない。そのように使用された用語は、適切な状況の下で交換可能であり、また、ここに記載された本発明の実施形態は、ここに記載された又は図示された以外の他の配向において操作可能であるということが理解されねばならない。
【0020】
特許請求の範囲にて使用される「備える」の用語は、それ以後に列挙された手段に限定されるように解釈されるべきでないということに注意すべきである。即ち、それは、他の要素又はステップを排除するものではない。それは、記載された特徴、整数、ステップ、又は構成部分の存在を言及されるように明示するように解釈されるべきであり、一つ若しくは複数の他の特徴、整数、ステップ、又は構成部分、あるいはそれらのグループの存在又は追加を排除するものではない。したがって、「手段Ａ及びＢを備えるデバイス」の表現の範囲は、構成部分Ａ及びＢからだけ成るデバイスに限定されるべきではない。本発明に関して、デバイスに関連する構成部分のみがＡ及びＢであるということを意味する。
【0021】
同様に、また特許請求の範囲にて使用される「連結された」の用語は、接続だけに関するものに制限されると解釈されるべきではない。用語「連結された」及び「接続された」は、それらの派生語と共に用いられることがある。これらの用語が互いに同意語として意図されないことが理解されるべきである。したがって、表現「デバイスＢに連結されたデバイスＡ」の範囲は、デバイスＡの出力がデバイスＢの入力に直接に接続されるデバイス又はシステムに限定されるべきでない。それは、他のデバイス又は手段を含む経路であることができるＡの出力とＢの入力との間の経路が存在することを意味する。「連結された」は、２つ以上の要素が直接に物理的又は電気的に接触することを意味することができ、あるいは、２つ以上の要素が互いに直接に接触するのではなく、さらに互いに協働し相互作用することを意味することができる。
【0022】

本明細書を通して記載した「１つの実施形態」又は「実施形態」は、実施形態に関連して記載された特別な特性、構造、特徴が本発明の少なくとも一つの実施形態に含まれることを意味する。したがって、この明細書の全体にわたり様々な箇所に記載の「１つの実施形態において」又は「実施形態において」の表現は、必ずしも同じ実施形態を参照していないが、同じ実施形態を参照していてもよい。更に、特別な特性、構造、特徴は、この開示から当業者に明らかなように一つ以上の実施形態において、いずれかの適切な方法で組み合わせられることができる。

【0023】

同様に、本発明の典型的な実施形態の記述では、発明の種々の特徴は、開示を合理化し、一以上の種々の創造性のある態様の理解を援助する目的のため、一つの実施形態、図、又は記述において、時々、グループ化されることを認識すべきである。しかしながら、開示の方法は、クレームされた発明が各請求項で明らかに詳述されるよりも多くの特徴を必要とする意図を反映すると解釈されるべきではない。むしろ、以下の請求項が反映するように、創造性のある態様は、一つの先に示された実施形態のすべての特徴よりも少ないところにある。したがって、詳細な説明に従う請求項は、それにより、本発明の別個の実施形態としてそれ自身で主張する各請求項と共に、この詳細な説明に明らかに組み入れられる。

【0024】

更に、ここに記載された幾つかの実施形態は、他の実施形態に含まれた他の特徴ではない幾つかの特徴を含んでおり、異なる実施形態の特徴の組み合わせは、本発明の範囲内であり、かつ技術の当業者によって理解されるように、異なる実施形態を形成することを意味する。例えば、以下の請求項において、クレームされたいずれの実施形態も、いずれの組み合わせの中でも用いることができる。

【0025】

更に、幾つかの実施形態は、方法、又はコンピュータシステムのプロセッサ又は機能を実行する他の手段によって実行可能な方法の要素の組み合わせとして、ここに記載される。したがって、そのような方法又は方法の要素を実行するための必要な指示を備えたプロセッサは、上記方法又は方法の要素を実行するための手段を形成する。更に、装置の実施形態における、ここに記載された要素は、本発明を実行する目的の要素により実行された機能を実行するための手段の一例である。

【0026】

ここに提供される記述では、多数の特定の細部が述べられている。しかしながら、本発明の実施形態は、それらの特定の細部なしで実行可能であることが理解されよう。他の例では、公知の方法、構造、及び技術は、この記述の理解を不明瞭にしないために詳細には示されていない。

【0027】

本発明は、本発明のいくつかの実施形態の詳細な説明によって記載される。本発明の他の実施形態は、本発明の真の思想又は技術的な教えから逸脱せずに当業者の知識により形成可能であることは明らかである。ここで、本発明は、添付の特許請求の範囲の用語によってのみ限定される。

【0028】

本発明の実施形態では、用語「基板」は、使用可能な、あるいはデバイス、回路又はエピタキシャル層が形成される、いずれの基礎をなす一つ若しくは複数の材料を含むことができる。他の実施形態では、この「基板」は、例えば不純物添加シリコン、ガリウムヒ素（ＧａＡｓ）、ガリウムヒ素リン（ＧａＡｓＰ）、インジウムリン（ＩｎＰ）、ゲルマニウム（Ｇｅ）、シリコン・ゲルマニウム（ＳｉＧｅ）基板のような、半導体基板を含むことができる。上記「基板」は、例えば半導体基板部分に加えて、SiO_2 又は Si_3N_4 層のような絶縁層を含むことができる。したがって、基板の用語は、また、シリコン・オン・ガラス、シリコン・オン・サファイア基板を含んでいる。用語「基板」は、対象の層又は部分の下にある層用の要素を一般的に定義するために使用される。また、「基板」は

、層、例えばガラスや金属層が形成される他のいかなるベース材であってもよい。
【0029】
基板、例えば、半導体基板（１０）は、２つの異なった領域（Ｎ－ＭＯＳ領域Ｉ、及びＰ－ＭＯＳ領域ＩＩ）を備え、露出した表面を有する。半導体基板（１０）の露出表面は、少なくとも２つの異なった半導体材料の領域を備え、その領域（ＩとＩＩ）は互いに分離されている。それらの領域（ＩとＩＩ）は、能動的な領域として一般的に知られ、一方、それらの間の分離部は、表面絶縁（ＬＯＣＯＳ）又は浅溝型素子分離（ＳＴＩ）として典型的に知られている。ｐ型の能動的な領域として典型的に知られている１つのタイプの領域（Ｉ）では、Ｎ－ＭＯＳ型トランジスタが形成され、一方、ｎ－タイプの能動的な領域として典型的に知られている別のタイプの領域（ＩＩ）では、Ｐ－ＭＯＳ型トランジスタが形成されることになる。基板の露出表面上には、図１及び図９に示されるように、ホスト・ゲート誘電体（１１）が堆積される。ホスト・ゲート誘電体（１１）は、例えばＳｉＯ２、ＳｉＯＮ；ＨｆＯ２、ＨｆＳｉＯ、ＨｆＳｉＯＮ；ＺｒＯ２、ＺｒＳｉＯ、ＺｒＳｉＯＮ；両層（ＨｆＯ２／ＳｉＯ２のような）、又はＨｆＺｒＯ、ＨｆＺｒＳｉＯ、ＨｆＬａＯ、ＨｆＬａＳｉＯのような３成分の誘電体が可能である。
【0030】
１つのタイプの基板領域は、任意に、図２及び図１０に示されるようなフォトレジスト（１２）で覆われていることがある。典型的な実施形態では、領域（Ｉ）は、図１～図８により示された実施形態において感光層（１２）で覆われ、一方、別の領域タイプ（ＩＩ）は、露出したままである。しかしながら、ゲート誘電体の選択に依存して、及び、例えばゲート誘電体や、ゲート誘電体とゲート電極との間の中間層又は両方の組み合わせにおけるイオン注入である、トランジスタ・ゲートの仕事関数を調節する方法の選択に依存して、別のタイプの領域（ＩＩ）をカバーすることを選択したり、及び図９～図１６に図示される実施形態で示されるように露出した１つの領域（Ｉ）を有することを選択したりすることができる。
【0031】
次に、露出した領域（ＩＩ、Ｉ）のホスト・ゲート誘電体は、図３及び図１１に示されるように、選択された埋め込みスピーシーズ（１３）が埋め込まれる。優先的に、ＮＭＯＳ用のイオン注入スピーシーズは、ランタノイド元素（Ｙｂ、Ｌａ、Ｄｙ、Ｅｒ、Ｇｄ、Ｓｃなど）、又はＰ、Ａｓ、Ｓｂや、（Ｙｂ＋Ｐ）のようなこれらの化合物のようなドーパントの一つを含むことができる。ＰＭＯＳに関し、イオン注入スピーシーズは、Ａｌ、Ｏ、Ｒｕ、Ｐｔ、Ｗ、Ｍｏ、Ｂ、又は（Ａｌ＋Ｂ）のようなその組み合わせを含むことができる。
【0032】
埋め込み後、他方の領域（Ｉ、ＩＩ）における他方の誘電性層と比べて変更された電気的特性（１４）を有する一方の領域（ＩＩ、Ｉ）における誘電性層を残して、図４及び図１２に示すように、レジスト（１２）が除去される。
【0033】
次に、図５及び図１３に示すように、高ｋのキャップ層（１５）が両方のタイプの領域（Ｉ、ＩＩ）、つまりホスト誘電性層（１１）及び変更されたホスト誘電性層（１４）の両方の上に任意に堆積可能である。高ｋのキャップ層は、誘電率がSiO_2の誘電率よりも高い、つまり４を超える層である。そして高ｋのキャップ層（１５）は、例えば図６及び図１４に示されるようなパターン化されたフォトレジスト・マスク（１６）、並びに、図７及び図１５に示されるような選択的なウェットエッチング工程を用いることによって、変更されたホスト誘電性層で覆われた領域（ＩＩ、Ｉ）から選択的に取り除かれる。
【0034】
図８及び図１６は、フォトレジスト（１６）の除去後の、最終のゲート誘電性スタックを示す。高ｋのキャップ層（１５）の選択的ウェットエッチング及びフォトレジスト（１６）除去の両方は、ゲート誘電体を完全に保全するようなゲート誘電体処理に対する強い要求に合うように選択され、それによってその誘電性特性は実質的に保持される。これら

の処理工程は、別の実施形態でより詳しく説明する。

【0035】

最終ゲート誘電体スタックの準備後に、最終ゲート誘電体スタックの上部にゲート電極が設けられる。本発明の実施形態に従い、ゲート電極は、第１及び第２領域における両方のゲートスタック上に一体的にそれぞれ設けられ、それによって、同じ特性、例えば同じ電極材料、同じ電極厚さなど、を有するゲート電極が提供される。

【0036】

ゲート仕事関数を調整するためのさらなる３つの方法は、Ｎ－ＭＯＳ及びＰ－ＭＯＳ型トランジスタ用の同じゲート電極材料を備えたＣＭＯＳデバイスを形成するときに、本発明の実施形態に従って開示される。これらの方法は、それ自身又は組み合わせて用いることができる。

【0037】

（１）　ホスト・ゲート誘電体へのイオン注入による仕事関数調整

ホスト・ゲート誘電体（１１）への埋め込み（１３）は、図３及び図１１におけるように、ゲート電極、例えば多結晶シリコン又は金属ゲート電極のような半導体ゲート電極を形成する前に実施可能である。

【0038】

又は、図１７及び図１９に示すように、埋め込み（１３）は、パターン化されていないゲート電極によって行うことができる。このことは、埋め込みは、ゲート電極形成の前又は後に実行可能であることを意味する。後者の場合、ゲート電極（１７）は、単一の電極材料層、例えば半導体材料又は金属から成ることができるか、又は、金属を有するポリシリコンあるいは第２金属を有する第１金属のようなスタック層を備えることができる。後者の場合、ホスト・ゲート誘電体（１１）へゲート電極（１７）を介しての埋め込みは、スタックの第１層がホスト・ゲート誘電体上に堆積された後、又は複数の層、つまり全ゲート電極スタックが堆積された後、処理可能である。

【0039】

ゲート電極は、ポリシリコン・ゲートのような半導体ゲート、低い埋め込みエネルギーが使用されたときでも埋め込まれたスピーシーズ（１３）がホスト・ゲート誘電体（１１）に到達可能であるような低い埋め込み阻止能を有する金属ゲート、ＭＩＰＳ（ポリシリコン＋金属ゲートスタック）、完全にシリサイドされた（ＦＵＳＩ）ゲート、又はＮ－ＭＯＳ及びＰ－ＭＯＳ上のこれらの異なったゲート電極の組み合わせであってもよい。

【0040】

ホスト・ゲート誘電体（１１）のイオン注入による仕事関数の調整方法は、また、例えば、高品質ホスト・ゲート誘電体（１１）の誘電特性が後で修正されながら、厚いホスト・ゲート誘電体（１１）が良好な電気的特性を有して形成可能であるように酸化膜換算膜厚（ＥＯＴ）を調整することに関して良好な方法を提供する。

【0041】

フォトレジストがイオン注入プロセス（１３）の間、保護マスクとして用いられる。フォトレジストを除去した後、ポスト・イオン注入アニールが好ましくは必要である。このアニール・ステップは、複数の目的を有している。即ち、１）Ｖｔ調整のためのターゲットとされた場所へ埋め込むスピーシーズを飛ばすこと。この場所は、ホスト・ゲート誘電体（１１）、又はゲート電極とホスト誘電体（１１）との界面のどちらかであり得る。２）新しいゲート誘電体（１４）（図４、図１２、図１８及び図２０におけるように）の形成を容易にすること。３）イオン注入後にゲート誘電体（１４）中の可能な破損を修理すること。

【0042】

（２）　ホスト・ゲート誘電体とゲート電極との間の高ｋの誘電性キャップ層を用いることによる仕事関数調整

キャップ層（１５）は、選択的に堆積するか、又はＮＭＯＳ（Ｉ）又はＰＭＯＳ（ＩＩ）領域からそれぞれ選択的に取り除くことができる。適切な熱の蓄え（例えば結合スパイ

ク又はレーザー・アニールによって供給された）の下では、キャップ層は、混合誘電体を形成するためにホスト誘電体と相互に作用することができるか、又はホスト誘電体と混ざらないことを示すことができる。キャップ層は、また、電極材料と反応することがある。

【0043】

キャップ層は、ＮＭＯＳ用の、Ｌａ系酸化物（ＹｂＯ、ＤｙＯ、ＬａＯ、ＥｒＯ、ＧｄＯ）又はＳｃＯ、及びＰＭＯＳ用のＡｌＯからの酸化物であることができる。ＤｙＳｃＯのような３元素、又はＳｉあるいはＮ混合物（ＤｙＳｃＯＮ）との化合物のような４元素の酸化物もまた考えられる。

【0044】

電極は、ポリシリコンゲート、金属ゲート、ＭＩＰＳ（ポリシリコン＋金属ゲートスタック）、十分にシリサイド化された（ＦＵＳＩ）ゲート、又は、Ｎ－及びＰ－ＭＯＳ上の異なるゲート電極の化合物のいずれか一方であることができる。又、方法は、ＥＯＴスケーリング用の良好な方法も提供する。

【0045】

ホスト・ゲート誘電体は、ＳｉＯ２、ＳｉＯＮ；ＨｆＯ２、ＨｆＳｉＯ、ＨｆＳｉＯＮ；ＺｒＯ２、ＺｒＳｉＯ、ＺｒＳｉＯＮ；二重層（ＨｆＯ２／ＳｉＯ２のような）、又は、ＨｆＺｒＯ　ＨｆＺｒＳｉＯのような三元素誘電体であることができる。

【0046】

（３）　ＦＵＳＩ形成前のゲート電極におけるイオン注入による仕事関数調整

半導体ゲート電極へのイオン注入を用いることにより、またＦＵＳＩプロセス間の熱サイクル及びスノープロー効果の両方と結合されることにより、埋め込まれたスピーシーズは、これらのスピーシーズがホスト・ゲート誘電体（１１）と反応するか、又はゲート電極とホスト・ゲート誘電体との間の界面を修正する部分である、ゲート電極とホスト・ゲート誘電体（１１）との間の界面の方へ押される。半導体材料とシリサイド形成金属間の反応により金属合金を形成することにより完全にシリサイド化されたゲート電極を形成するとき、半導体ゲートに埋め込まれたスピーシーズは、反応しない半導体材料と比較して、形成された金属合金において低い可溶性を呈する。したがって、埋め込まれたスピーシーズは、形成された金属合金の前に移動される。この現象は、スノープロー効果として知られている。

【0047】

ＦＵＳＩゲート形成は、Ｎｉ、Ｃｏ、Ｐｔ、ＮｉＰｔ、ＮｉＹｂの金属のうちの１つとポリＳｉ（ａ－Ｓｉ、Ｓｉ、ＳｉＧｅ、Ｇｅ）、又はドープしたポリＳｉ（ａ－Ｓｉ、Ｓｉ、ＳｉＧｅ、Ｇｅ）の反応を通じて起こる。

【0048】

優先的に、ＮＭＯＳ用のイオン注入スピーシーズは、ランタニド元素（Ｙｂ、ｌａ、Ｄｙ、Ｅｒ、Ｇｄ、Ｓｃなど）、又はＰ、Ａｓ，Ｓｂのようなドーパントの一つや、（Ｙｂ＋Ｐ）のようなそれらの組み合わせを含むことができる。ＰＭＯＳに関し、イオン注入スピーシーズは、Ａｌ、Ｏ、Ｒｕ、Ｐｔ、Ｗ、Ｍｏ、Ｂ、又は（Ａｌ＋Ｂ）のようなそれらの組み合わせを含むことができる。

【0049】

ホスト・ゲート誘電体は、ＳｉＯ２、ＳｉＯＮ；ＨｆＯ２、ＨｆＳｉＯ、ＨｆＳｉＯＮ；ＺｒＯ２、ＺｒＳｉＯ、ＺｒＳｉＯＮ；二重層（ＨｆＯ２／ＳｉＯ２のような）又はＨｆＺｒＯ、ＨｆＺｒＳｉＯ、ＨｆＬａＯ、ＨｆＬａＳｉＯのような三元素誘電体であることができる。

【0050】

例

さらに、２つの誘電体層を用いて、つまりＮ－ＭＯＳ及びＰ－ＭＯＳ型トランジスタ用の異なるゲート誘電性層をそれぞれ形成することによりＣＭＯＳ　ＦＥＴを作製するため、上述の仕事関数調整方法を用いることによるいくつかの特定の完成方法を開示する。

【0051】

方法１：ＮＭＯＳ上のキャップ層（１５）及びＰＭＯＳ上のイオン注入（１３）

方法１は、図１～８に示されている。図１では、ホスト誘電体（１１）層は、２つの異なる領域、つまり（Ｉ）ＮＭＯＳ及び（ＩＩ）ＰＭＯＳを備える半導体基板（１０）上に堆積される。半導体基板は、例えばＳｉ、ＳｉＧｅ、ＳＯＩ、Ｇｅ、及びＩＩＩ－Ｖ材料のいずれかであることができる。方法は、プレーナ型又はＦｉｎＦＥＴの構造のいずれかを有するトランジスタの生産に適用することができる。

【0052】

ホスト誘電体（１１）は、例えばＳｉＯＮ、ＨｆＳｉＯＮ、ＨｆＯ２、ＨｆＳｉＯ、ＺｒＯ２、ＨｆＺｒＯ、ＨｆＬａＯ、ＨｆＬａＳｉＯのうちの一つであることができる。特別の実施形態では、ホスト誘電体（１１）は、１～２０Å間の厚さを有する、薄いＳｉＯＮ層である。

【0053】

ＰＭＯＳ領域用のイオン注入スピーシーズ（１３）は、Ａｌ又はＯであることができる。後の処理において、高ｋのキャップ層（１５）がＮＭＯＳ領域（Ｉ）上に形成されるならば、ゲート電極の選択に依存して、イオン注入は、選択されなくてもよい。

【0054】

高ｋのキャップ層（１５）は、ホスト誘電体（１１）の上部に堆積され、その後、ＰＭＯＳ領域（ＩＩ）から選択的に除去される。高ｋのキャップ層（１５）は、次の酸化物ＤｙＯ、ＳｃＯ、ＬａＯ、ＹｂＯ、ＤｙＳｃＯ、ＤｙＹｂＯ、ＤｙＬａＯのうちの一つであることができる。

【0055】

シングル・ゲート電極アプローチでは、Ｎ－ＭＯＳ及びＰ－ＭＯＳ型トランジスタの両者のゲート電極は、一体的に作製され、よって、同じ特性を有する。即ち、上記ゲート電極は、例えば、とりわけ、ポリシリコン、アモルファス・シリコン、ＳｉＧｅ、ＮｉリッチなＦＵＳＩ、次の金属窒化物（ＴｉＮ、ＴａＮ）、金属炭化物／炭素窒化物（ＴａＣ、ＴａＣＮ）、金属酸化－（炭化）窒化物（ＴａＣＮＯ、ＭｏＯＮ、ＷＯＮ）の一つ、又はＭＩＰＳ（上部にポリシリコン・キャップ層を備えた上記の金属電極のうちの一つ）であり同じ厚さを有するような、同じ材料から作製される。

【0056】

熱的焼きなましに際して、ＮＭＯＳ領域（Ｉ）上の最終誘電体は、キャップ層（１５）とホスト誘電体（１１）間の混合、又は２つの特殊な層から成るスタックのいずれかであることができる。

【0057】

方法２：ＰＭＯＳ上のキャップ層（１５）及びＮＭＯＳ上のイオン注入（１３）

方法２は、図９～図１６に示されている。図９では、ホスト誘電体（１１）層は、２つの異なる領域、つまり（Ｉ）ＮＭＯＳ及び（ＩＩ）ＰＭＯＳを備える半導体基板（１０）上に堆積される。半導体基板は、例えばＳｉ、ＳｉＧｅ、ＳＯＩ、Ｇｅ及びＩＩＩ－Ｖ材料のいずれかであることができる。方法は、プレーナ型又はＦｉｎＦＥＴのいずれかの構造を有するトランジスタの生産に適用することができる。

【0058】

ホスト誘電体（１１）は、例えばＳｉＯＮ、ＨｆＳｉＯＮ、ＨｆＯ２、ＨｆＳｉＯ、ＺｒＯ２、ＨｆＺｒＯ、ＨｆＬａＯ、ＨｆＬａＳｉＯのうちの一つであることができる。特別な実施形態では、ホスト誘電体（１１）は、１～２０Å間の厚さを備えた薄いＳｉＯＮ層である。

【0059】

ＮＭＯＳ領域（Ｉ）用のイオン注入スピーシーズ（１３）は、Ｙｂ、Ｌａ、Ｄｙ、Ｅｒ、Ｇｄ、Ｓｃ、Ｐ、Ａｓ、Ｓｂのうちの一つであることができる。高ｋのキャップ層（１５）が後の処理においてＰＭＯＳ領域（ＩＩ）上に形成されるならば、ゲート電極の選択に依存して、埋め込みをしないことが選択可能である。

【0060】

ホスト誘電体（１１）の上部に堆積され、ＮＭＯＳ領域（Ｉ）から選択的に除去される高ｋのキャップ層（１５）は、ＡｌＯ若しくはＡｌＮ、又はＡｌＯＮのようなそれらの組み合わせであることができる。前の処理の間に、ＮＭＯＳ領域（ＩＩ）におけるホスト・ゲート誘電体（１１）に埋め込みが行なわれるならば、ゲート電極の選択に依存して、キャップ無しが選択可能である。

【0061】

シングル・ゲート電極アプローチでは、Ｎ－ＭＯＳ及びＰ－ＭＯＳ型トランジスタの両者のゲート電極は、一体的に作製され、よって、同じ特性を有する。即ち、上記ゲート電極は、例えば、とりわけ、ポリシリコン、アモルファス・シリコン、ＳｉＧｅ、ＮｉリッチなＦＵＳＩ、次の金属窒化物（ＴｉＮ、ＴａＮ）、金属炭化物／炭素窒化物（ＴａＣ、ＴａＣＮ）、金属酸化－（炭化）窒化物（ＴａＣＮＯ、ＭｏＯＮ、ＷＯＮ）の一つ、又はＭＩＰＳ（上部にポリシリコン・キャップ層を備えた上記の金属電極のうちの一つ）であり同じ厚さを有するような、同じ材料から作製される。

【0062】

熱的焼きなましに際して、ＰＭＯＳ領域（ＩＩ）上の最終誘電体は、キャップ層（１５）とホスト誘電体（１１）間の混合、又は２つの特殊な層から成るスタックのいずれかであることができる。

【0063】

方法３：ＰＭＯＳ上のキャップ層（１５）及びＮＭＯＳ上のキャップ層（１５’）

方法１及び方法２の組み合わせである第三の方法も提供される。この方法は、方法１でのようなＮＭＯＳ領域（Ｉ）用の第１の高ｋキャップ層を使用し、かつ方法２でのようなＰＭＯＳ領域（ＩＩ）用の第２の、異なった、高ｋキャップ層を用いる。この実施形態では、キャップ層は、ＮＭＯＳ（Ｉ）及びＰＭＯＳ（ＩＩ）領域に選択的にそれぞれ形成される。これは、第２キャップ層を堆積し、他の領域、例えばＰＭＯＳ（ＩＩ）における第１キャップ層からこの第２キャップ層を選択的に除去した後、例えば、第１キャップ層を堆積し、一方の領域、例えばＮＭＯＳ（Ｉ）から選択的にこの第１キャップ層を取り除くことによって行うことができる。この実施形態では、埋め込みは用いられず、対象とされる仕事関数は、ＮＭＯＳ（Ｉ）及びＰＭＯＳ（ＩＩ）領域用の２つの異なるキャップ層を用いることによりそれぞれ得られる。

【0064】

基板、ホスト誘電体（１１）、キャップ層（１５）及びゲート電極に関する材料選択は、方法１及び方法２によるものである。

【0065】

単一のＦＵＳＩゲート電極　－２つの誘電体プロセス完成の流れ

特別の実施形態では、ＣＭＯＳ完成用の単純化された方法を記載する。この方法は、高機能な応用例（低Ｖｔ）を含めて、広いＶｔ範囲に適している。この方法は、ＮＭＯＳデバイス上のホスト誘電体層の上部の高ｋキャップ層、及びＮＭＯＳ及びＰＭＯＳデバイスの両方に同時に形成された単相のＮｉリッチのＦＵＳＩ電極を使用する。

【0066】

該方法は、ホスト・ゲート誘電体上に薄い高ｋキャップ層（例えば、ＤｙＯ、ＳｃＯ、ＬａＯ）の使用により、低Ｖｔのｎータイプ電極もＮｉリッチのＦＵＳＩで達成可能であるように仕事関数（ＷＦ）が調整可能であるという利点がある。ホスト・ゲート誘電体は、例えばＳｉＯ２、ＳｉＯＮ、又はＨｆＳｉＯＮのような高ｋ材料のうちの一つであってもよい。高ｋを有する誘電体は、ＳｉＯ２の誘電率、つまり４より高い誘電率を有する誘電体を意味する。そのような高ｋの誘電体の誘電率は、好ましくは１０～４０の範囲、好ましくは１５～３０の範囲である。

【0067】

ＮＭＯＳデバイス上のＤｙＯキャップ層、及び単相のＮｉリッチなＦＵＳＩゲート電極を用いた実施形態の結果が以下に示される。

【0068】

提案されたＣＭＯＳ完成のフローでは、高ｋのキャップ層１５は、図１～図８に示すようにＰＭＯＳデバイスから選択的に取り除かれ、ＮｉリッチのＦＵＳＩ相は、後でＮＭＯＳ及びＰＭＯＳのデバイス用に同時に形成される。高ｋキャップ層の選択的な除去、及び後のフォトレジストの除去は、本発明の別個の実施形態の目的をなす。

【0069】

さらに、ゲート仕事関数調整（ＮｉリッチのＦＵＳＩゲート電極を備えたｐ又はｎ型のデバイスのための）は、例えばＰＭＯＳ用のＡｌ又はＮＭＯＳ用のＰ／Ｙｂのようなキャッピング層によりカバーされていないデバイスの誘電体層への仕事関数調整要素の埋め込みによって達成することができる。プレ又はポストの高ｋキャップ堆積窒化条件調整は、また、仕事関数をさらに調整するために使用可能である。

【0070】

ＮＭＯＳ及びＰＭＯＳデバイスの両方のための単相のＦＵＳＩ（Ｎｉリッチ）ゲート電極のさらなる利点は、２重相のＦＵＳＩ　ＣＭＯＳスキームが用いられるときに、ＮＭＯＳゲート電極とＰＭＯＳゲート電極との間の境界での電位問題を排除することである。シリサイド相で、特別な金属シリサイドの所定のタイプ、即ち、金属リッチな（シリコンがプア）又は金属プアな（シリコンがリッチ）シリサイドが示される。２重相のＦＵＳＩの場合、ＮｉＳｉ（ＮＭＯＳ）とＮｉリッチな（ＰＭＯＳ）ゲート電極との間の界面領域の長さは、非常に高密度の応用例に関するものでありえる。本発明の実施形態のように、ＮＭＯＳ及びＰＭＯＳの両方に関する単相ＦＵＳＩ電極の場合、この界面問題が解決される。

【0071】

ＮＭＯＳ及びＰＭＯＳの両者用のＮｉリッチな相ＦＵＳＩの使用は、また、ＦＵＳＩ　ＣＭＯＳ完成プロセス用のより高いプロセスウインドウへ我々を導き、よって、生産可能性のさらなる利点となる。

【0072】

実験

ＮｉＳｉ又は$Ni_{31}Si_{12}$　ＦＵＳＩゲートを備えた短いチャネルｎ－ＦＥＴデバイスがセルフアラインＣＭＰに基づくアプローチを使用して製造された。最適化されたＭＯＣＶＤ　ＨｆＳｉＯＮ（２．３ｎｍ）又は熱ＳｉＯＮ（２ｎｍ）は、ホスト誘電体として堆積された。その後、極めて薄いＤｙＯキャップ層（５Å）が５５０℃でＤｙ（ＥＤＭＤＤ）３及びＯ２先駆物質を用いて、ＡＶＤ（登録商標）によって堆積された。ＳｉＯ２表面（３～７ｎｍ）をエッチングした傾斜を備えたＭＯＳＣＡＰは、５又は１０ÅのＤｙＯを有する両方のＮｉＳｉ又はＮｉ２Ｓｉ　ＦＵＳＩのｅＷＦを評価するために用いられた。

【0073】

ＤｙＯキャップ層を備えたＨｆＳｉＯＮ

V_{fb}とＥＯＴとのプロット（図２６）から、ＤｙＯキャップ層で、ＨｆＳｉＯＮ上のＮｉ　ＦＵＳＩの有効なＷＦが、ＤｙＯ厚さ及びＮｉシリサイド相に依存して、Ｓｉ伝導帯エッジの方へ調整されることが理解可能である。図２７では、ＦＵＳＩ／ＤｙＯ／ＨｆＳｉＯＮゲートスタックのＸＴＥＭは、完全なデバイス製造後、ＨｆＳｉＯＮとＤｙＯとの間で十分に混ざることを示す。高周波キャパシタンス電圧（ＨＦＣＶ）測定（図２８）を用いて、ＨｆＳｉＯＮ又はＤｙＯ／ＨｆＳｉＯＮ誘電体の厚さＴｉｎｖがそれぞれ約１．７２ｎｍ又は１．７５ｎｍであるとわかる。動作状態のよい短いチャネルデバイス（Ｌｇ＝１００ｎｍ）ドレイン電流に対するゲート電圧（Ｉｄ－Ｖｇ）カーブは、ＮｉＳｉ　ＦＵＳＩ電極を備えたＨｆＳｉＯＮ及びＤｙＯ／ＨｆＳｉＯＮデバイスの両方に関して約７０ｍＶ／Ｄｅｃの良好なサブトレショールド傾斜（ＳＳ）とともに図２９に実証されている。さらに、両デバイスは、それらの良好な短チャネル効果を提案する同様のドレイン誘起電位障壁低下（ＤＩＢＬ）値（～６５ｍＶ／Ｖ）を示す。ＤｙＯキャップを利用することは、それらのＣＶデータ（図２８）に対応して、３００ｍＶの、ＮｉＳｉ　ＦＵＳＩデバイスの閾値電圧（Ｖｔ）低下に帰着することが観察されている。図３０では、ＤｙＯ

／ＨｆＳｉＯＮスタックを備えたデバイスは、基準のＨｆＳｉＯＮデバイスへ同様のＶｔロールオフ特性を維持する。ＮｉＳｉ／ＤｙＯ／ＨｆＳｉＯＮスタックを備えた長いチャネルデバイス（チャネル長Ｌｇ＝１μｍを備えた）のＶｔは、０．２２Ｖであり、低Ｖｔ要求を満たしている。

【0074】

ＮｉリッチのＦＵＳＩは、特にＨｆＳｉＯＮ上でその高い仕事関数（ＷＦ）により、良好なｐＦＥＴ電極の候補であることはよく知られている。よって、図３０において、５ÅのＤｙＯキャップ層を有する$Ni_{21}Si_{12}$ＦＵＳＩ　ｎＦＥＴｓのＶｔは、ＮｉＳｉＦＵＳＩのそれよりも約３０ｍＶ低くなるように生産されることに注目することは興味がある。同じ図において、１ｎｍのＤｙＯキャップを用いる場合、Ni_2Si　ＦＵＳＩｎＦＥＴのＶｔは、約０．３５Ｖであることが予想される。Ｎ又はＦのチャネル埋め込みと組み合わせて、このデータは、単相のＮｉ２Ｓｉゲートを用いて、低Ｖｔ　ＦＵＳＩ／ＨｆＳｉＯＮ　ＣＭＯＳを実現するための可能性を実証する。図３１では、ＨｆＳｉＯＮ上でＤｙＯキャップを様々なＬｇを備えたすべてのデバイスに用いるときに、可動性又はゲートリーク（転換）の低下は、観察されない。

【0075】

ＤｙＯキャップ層を備えたＳｉＯＮ

ＤｙＯ／ＳｉＯＮのＸＴＥＭ（図３２）は、完全なデバイス製作の後に、新しいＤｙＳｉＯＮケイ酸塩形成を提案する。ＤｙＯキャップを用いたＳｉＯＮ上のＮｉ　ＦＵＳＩのＷＦを低下させるＷＦの範囲は、キャップ厚さ及びシリサイド相（図３２の挿入図）に依存する。ｎＦＥＴｓ（図３３）のＨＦＣＶから、ＤｙＯキャップは、ＨｆＳｉＯＮの場合に対比して、約０．８ÅまでＳｉＯＮの厚さＴｉｎｖの低下を導くということに注目するのは興味がある。図３４から、ＤｙＯキャップは、そのわずかに薄い厚さＴｉｎｖにかかわらず、ＳｉＯＮ（～１５０ｘまで）と比較して、ゲートリークJ_G（@Ｖｄｄ＝１．１Ｖ）を著しく減少することが理解できる。図３５から判るように、ＤｙＯキャップは、基準のＳｉＯＮ　ｎＦＥＴｓと比較して、閾値電圧（Ｖｔ）ロールオフ特性を低下させない。５ÅのＤｙＯキャップでは、ｎＦＥＴのＶｔ、ＮｉＳｉ／Ｎｉ３１Ｓｉ１２　ＦＵＳＩゲートを備えたｌｉｎは、それぞれ０．１８Ｖ／０．３８Ｖである（チャネル長Ｌｇ＝１μｍ）。図３２を考慮すると、１ｎｍのＤｙＯキャップ及びNi_2Si　ＦＵＳＩゲートを備えたデバイスのＶｔは、約０．２８Ｖになると予想される。ｐ－ＦＥＴ用のＡｌのプレドーピング、又はＮ／Ｆ埋め込みチャネルのプロセスを組み合わせて、このデータは、単一相Ni_2Siゲートを使用した低Ｖｔ　ＦＵＳＩ／ＳｉＯＮ　ＣＭＯＳを実現することが実行可能であることを示している。

【0076】

高ｋキャップ層の選択的なウェットエッチング

この実施形態では、ＨｆＯ、ＨｆＳｉＯＮｘ、ＨｆＤｙＯｘ、ＨｆＳｃＯｘのような下にあるホスト誘電体の方へＤｙＯ又はＤｙＳｃＯ系のキャップ層を選択的に除去することができるウェットエッチング溶液が提案されている。ランタニド元素（ＬａＯを含む）からの同様の酸化物は、提案された溶液で同様に選択的に除去可能であろう。

【0077】

選択的な除去プロセス用の保護マスクとして、異なる材料が選択可能であろう。この特定の実施形態では、フォトレジストは、残っているキャップ層（１５）及び露出したホスト誘電体（１１、１４）の両方へ良好な選択性で除去されることから、フォトレジストが保護マスクとして用いられる。

【0078】

高ｋキャップ層（１５）は、ホスト誘電体（１１）の上部に堆積される。このように、基板（１０）の全体は、高ｋキャップ層で覆われる。フォトレジスト（１６）は、標準の方法でコートされる。その後、レジスト（１６）は、高ｋキャップ層（１５）上で、例えばＤｙＯが後に除去されるべきウエハの領域から取り除かれる。残っているレジストは、ＤｙＯキャップ層（１５）エッチング／除去用の保護マスクとして用いられる。ＤｙＯ除

去の化学的作用は、非常に小さな厚さの変化がｋ値における大きな変化をもたらす場合があるので、キャップ層（１５）へのレジストパターンの良好な形成／移動が保証されかつ下にあるホスト誘電体層（１１）の方へ選択的になされるように、フォトレジスト（１６）保護マスクをそのままにするように選択される。ＤｙＯの除去後、パターン化されたレジスト保護層（１６）は、除去されるべきである。このレジスト除去のプロセスは、ホスト誘電材料（１１）及び高ｋキャップ層（１５）に選択的になるように選択される。

【0079】

高ｋキャップ層（ＤｙＯ）除去

特定の実施形態では、HfO_2、ＨｆＳｉＯ、ＨｆＳｉＯＮ、又は同様の高ｋ層からＤｙＯ系のキャップ層（１５）（図２１を参照）を選択的に取り除くために、低ｐＨ溶液が使用される。図１７は、酸性化された溶液において、ＤｙＯ、ＤｙＳｃＯ及びＬａＯのエッチング速度を示す。

【0080】

希釈されたＨＣｌ溶液のような酸は、評価された。しかしながら、ここに記載された実施形態は、ＨＣｌ系の溶液の使用に制限されない。ＨＮＯ３、Ｈ３ＰＯ４、Ｈ２ＳＯ４、ＨＢｒ、酢酸、ギ酸、プロピオン酸のような他の希釈された酸を用いることができる。

【0081】

概念を実証するために用いられるＨＣｌ稀釈の例としては、水９にＨＣｌ１の割合である。これは、約３．６　ｗ／ｗ％、つまり約１．２Ｍ（ｍｏｌ／１）の濃度、又は約０のｐＨを意味する。より広い濃度範囲が有益であり、ｐＨ範囲は、ｐＨ０～ｐＨ５であり、より好ましくはｐＨ０～ｐＨ４である。実験では、温度は２５℃であったが、他の温度もまた使用可能である。低い温度は、反応速度を減少させる可能性があり、一方、高い温度は、高ｋキャップ層の除去を加速する。

【0082】

ＤｙＯ除去の実験は、ビーカー、及び市販の単一のウエハー・スプレー・ツール中で行われた。しかしながら、その方法は、これらのツール・タイプ又はカテゴリーに制限されるものではなく、バッチ・スプレー・プロセッサー、又は再循環槽もまた使用可能であろう。

【0083】

希釈されたＨＦは、ＤｙＯ（もし他の酸と組み合わせが必要ならば）を除去するために使用可能であるが、これは、レジスト　ハードマスクのパターンの完全な損失を引き起こす可能性があり、Ｈｆ系の高ｋ材が使用されたならば、下にあるホスト誘電体を攻撃することから、本発明の実施形態による完成アプローチの中で用いることはできない。ＨＣｌ及びＨＦ／ＨＣｌ（０．０３Ｍ／１．２Ｍ）の溶液は、ＤＵＶレジストとのそれらの互換性に関する単一のウエハー・ツール上でチェックされる。図２２は、ＨＣｌ及びＨＦ／ＨＣｌ化学的作用でのＤＵＶ（遠紫外線）レジストの互換性を示す。図１８（ａ）は、非処理のレジスト特性、つまりリソグラフィーパターニング後で、ウェットエッチング腐食液にさらす前のＳＥＭの断面を示し、図１８（ｂ）は、ＨＦ／ＨＣｌ処理されたレジスト特性を示し、図１８（ｃ）は、ＨＣｌ処理されたレジスト特性を示す。ＨＦ／ＨＣｌプロセスの後、レジストパターンの損失が観察されることは明らかである。ＳＥＭの平面で、検査も行なわれており、同じ結果であった。これは、エッチング混合物としてのＨＦの制限された使用を示している。

【0084】

図２３は、ＤｙＯ除去のエッチング速度を要約している。エッチング速度実験は、２５℃の温度で、ＨＣｌ（３．６ｗ／ｗ％）で、単一のウエハースピンプロセッサー・ツールで行なわれた。方法の順番は、希釈されたＨＣｌ（ｄＨＣｌ）への露出、水でのすすぎ、回転乾燥だった。観察されるように、ＤｙＯ層は、ｄＨＣｌ内で容易に除去される。エッチング速度は、比較的高い。また、図１７に示されるデータから認識可能なように、より薄められたＨＣｌは、より信頼でき、より製造可能な値へエッチング速度を減少させるであろう。

【0085】
ＤｙＯを除去するために用いられる溶液は、ホスト誘電体層を実質的にそのままにしておくべきである。異なるホスト誘電体層（ＨｆＯ２、ＨｆＳｉＯＮ、ＳｉＯＮ）は、２５℃の温度で、希釈されたＨＣｌ（３．６ｗ／ｗ％）溶液にさらされた。その結果は、図２４に要約されている。テストされたホスト誘電体層は、本質的にふれられず、その結果、表１に要約されるように優れた選択性となる。
【0086】
表１：　３．７ｗ－％のＨＣｌ溶液及びフォトレジスト　ハードマスクを用いて異なるホスト誘電体への高ｋキャップ層除去の選択性。
【0087】
【表1】

	ホスト誘電体：		
キャップ：	ＨｆＯ２	ＳｉＯＮ	ＨｆＳｉＯＮ
ＤｙＯ	２０００	８５０	４６０
ＤｙＳｃＯ	＞３６００	＞１５００	＞１８０

【0088】
図３６は、選択的なＤｙＯキャップ除去後にｎＦＥＴｓを、基準ウエハ（つまりいずれの選択的なウェットエッチングプロセス無しに新たなＨｆＳｉＯＮ又は新たなＤｙＯ／ＨｆＳｉＯＮを備えたｎＦＥＴｓ）と比較することにより、同様のＶｆｂ及びＴｉｎｖ変化を示している。２つのゲート誘電体を有するｎＦＥＴｓに関して、図３７は、ＤｙＯキャップ層により約１８０ｍＶのＶｔ低下を示し、これは、ＣＶデータ（図３６）と一致している。
【0089】
フォトレジスト除去
非常に低いｐＨを有するので、業界基準のＳＰＭ清浄液は、用いることができない。上述から判るように、これは、このステップで望まないＤｙＯを除去するのに理想的である。
【0090】
中性又はアルカリ性の水性ストリッパ、又は非水性のストリッピング溶液が好ましくは用いられる。中性又はアルカリ性ｐＨの水性ストリッピング溶液の場合、酸化成分は、フォトレジストを酸化させて、かつそれを可溶性にするのに存在する必要がある。本発明の実施形態では、有機系の溶剤ストリッパの使用を主張する。レジストは、多くの溶剤に溶解可能であり、仮のリストを含むが、１－メトキシ－２－プロパノール、２－ブタノール、アセトニトリル、アセチルアセトン、シクロヘキサノン、ジメチルスルフォキシド（ＤＭＳＯ）、酢酸エチル、メチルイソブチルケトン（ＭＩＢＫ）、Ｎ－エチルピロリドン（ＮＥＰ）、Ｎ－メチルピロリドン（ＮＭＰ）、テトラヒドロフラン（ＴＨＦ）、テトラヒドロフルフリラルコール（ＴＨＦＡ）に限定されるものではない。
【0091】
そのようなレジストストリッパ調剤は、市販されている（例えばFujifilmからのMicrostrip 2001）。本発明では、例としてこのレジストストリッパ調剤が使用され、ビーカー内で希釈されずに調整され、８０℃に加熱された。高温での他のアプローチが恐らく同様に可能であろう。用いられる順番は、Microstrip 2001へ浸し、１０分の水でのすすぎ、及びMarangoniによる乾燥だった。
【0092】
ＳＥＭの平面で、レジスト除去速度が検査され、レジストは１分以内で完全に除去されることが観察された。プロセスウインドウを確立するため、ホスト誘電体と高ｋキャップ層のこの化学作用での互換性が検査された。８０℃でのMicrostrip 2001（ビーカー調整

）に関する結果は、図２５に示されている。２０分の時間枠では、テストされたいずれの層においても、厚さの低下（損失）はほとんど観察されない。レジスト除去が１分未満にて達成されることから、このことは、ホスト誘電体又は高ｋキャップ層を損傷することなく、レジストの十分な過剰エッチングを可能にする。

【0093】

レジスト除去は、静的なタンク内で行われるが、再循環槽内でも可能であり、単一ウエハ又はバッチスプレープロセッサで行われる。レジストの洗浄効率を向上させるため、メガソニック放射又は流体ジェットスプレー（例えば、Nano Spray －ナノ組織材料の熱スプレー）によるような物理的な除去力が、レジスト除去プロセスの間、使用可能である。

【0094】

さらに、有機溶媒によるレジストの除去後、ウエハ表面からレジスト又は溶媒のいずれかから残余の汚れをさらに除去するために、追加の水性系（低又はアルカリｐＨ）の洗浄溶液が使用可能である。そのような水性系の清浄液は、室温又は高い温度でNH_4OH／H_2O_2／H_2Oの混合物を含むことができる。これは、静的なタンク内でなすことができるが、再循環槽内でも可能であり、単一ウエハ又はバッチスプレープロセッサで行われる。レジストの洗浄効率を向上させるため、メガソニック放射又は流体ジェットスプレー（例えばNano Spray）によるような物理的な除去力が、このプロセスの間、使用可能である。

【0095】

上述の説明は、本発明のある実施形態を詳細である。しかしながら、たとえどのように詳しく説明が本文においてなされていても、本発明は、多くの方法で実施されるであろう。ある特徴、又は本発明の態様を説明するときの特別な用語の使用は、その用語が関連する本発明の態様又は特性の特定の特徴を含むことに限定されるように、その用語が再定義されているということを意味するように取られるべきではないことに注意すべきである。

【0096】

種々の実施形態に適用されるように、上述の詳細な説明が本発明の新規な特徴を示し、記載し、指摘しているが、示されたデバイスやプロセスの形態や詳述における様々な省略、代用及び変更は、本発明の精神から逸脱することなく当業者によってなされるであろうことが理解されるであろう。

【図面の簡単な説明】

【0097】

【図1】２つのプロセス統合フローが模式的に表わされている。各プロセスフローは、高ｋキャップ層堆積、及びこの高ｋキャップ層の選択的除去によるゲート誘電体埋め込みのステップを備える。

【図2】２つのプロセス統合フローが模式的に表わされている。各プロセスフローは、高ｋキャップ層堆積、及びこの高ｋキャップ層の選択的除去によるゲート誘電体埋め込みのステップを備える。

【図3】２つのプロセス統合フローが模式的に表わされている。各プロセスフローは、高ｋキャップ層堆積、及びこの高ｋキャップ層の選択的除去によるゲート誘電体埋め込みのステップを備える。

【図4】２つのプロセス統合フローが模式的に表わされている。各プロセスフローは、高ｋキャップ層堆積、及びこの高ｋキャップ層の選択的除去によるゲート誘電体埋め込みのステップを備える。

【図5】２つのプロセス統合フローが模式的に表わされている。各プロセスフローは、高ｋキャップ層堆積、及びこの高ｋキャップ層の選択的除去によるゲート誘電体埋め込みのステップを備える。

【図6】２つのプロセス統合フローが模式的に表わされている。各プロセスフローは、高ｋキャップ層堆積、及びこの高ｋキャップ層の選択的除去によるゲート誘電体埋め込みのステップを備える。

【図7】２つのプロセス統合フローが模式的に表わされている。各プロセスフローは、高

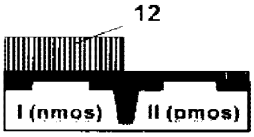
ｋキャップ層堆積、及びこの高ｋキャップ層の選択的除去によるゲート誘電体埋め込みのステップを備える。
【図8】２つのプロセス統合フローが模式的に表わされている。各プロセスフローは、高ｋキャップ層堆積、及びこの高ｋキャップ層の選択的除去によるゲート誘電体埋め込みのステップを備える。
【図9】２つのプロセス統合フローが模式的に表わされている。各プロセスフローは、高ｋキャップ層堆積、及びこの高ｋキャップ層の選択的除去によるゲート誘電体埋め込みのステップを備える。
【図10】２つのプロセス統合フローが模式的に表わされている。各プロセスフローは、高ｋキャップ層堆積、及びこの高ｋキャップ層の選択的除去によるゲート誘電体埋め込みのステップを備える。
【図11】２つのプロセス統合フローが模式的に表わされている。各プロセスフローは、高ｋキャップ層堆積、及びこの高ｋキャップ層の選択的除去によるゲート誘電体埋め込みのステップを備える。
【図12】２つのプロセス統合フローが模式的に表わされている。各プロセスフローは、高ｋキャップ層堆積、及びこの高ｋキャップ層の選択的除去によるゲート誘電体埋め込みのステップを備える。
【図13】２つのプロセス統合フローが模式的に表わされている。各プロセスフローは、高ｋキャップ層堆積、及びこの高ｋキャップ層の選択的除去によるゲート誘電体埋め込みのステップを備える。
【図14】２つのプロセス統合フローが模式的に表わされている。各プロセスフローは、高ｋキャップ層堆積、及びこの高ｋキャップ層の選択的除去によるゲート誘電体埋め込みのステップを備える。
【図15】２つのプロセス統合フローが模式的に表わされている。各プロセスフローは、高ｋキャップ層堆積、及びこの高ｋキャップ層の選択的除去によるゲート誘電体埋め込みのステップを備える。
【図16】２つのプロセス統合フローが模式的に表わされている。各プロセスフローは、高ｋキャップ層堆積、及びこの高ｋキャップ層の選択的除去によるゲート誘電体埋め込みのステップを備える。
【図17】本発明の実施形態に係る、領域ＩＩ（ｐｍｏｓ）上のパターン化されていないゲート電極を介するゲート誘電体埋め込みを示す。
【図18】本発明の実施形態に係る、領域ＩＩ（ｐｍｏｓ）上のパターン化されていないゲート電極を介するゲート誘電体埋め込みを示す。
【図19】本発明の実施形態に係る、領域Ｉ（ｎｍｏｓ）上のパターン化されていないゲート電極を介するゲート誘電体埋め込みを示す。
【図20】本発明の実施形態に係る、領域Ｉ（ｎｍｏｓ）上のパターン化されていないゲート電極を介するゲート誘電体埋め込みを示す。
【図21】酸性化された溶液で、特に希釈されたＨＣｌにて、ＤｙＯ、ＤｙＳｃＯ及びＬａＯの１０ｎｍ厚の層のエッチング速度をそれぞれ示す。
【図22】ＨＣＬ及びＨＦ／ＨＣｌ化学でのＤＵＶレジストの互換性を示す。図では、図１８において（ａ）は未処理のサンプルを示し、（ｂ）はＨＦ／ＨＣｌで処理されたサンプルを示し、（ｃ）はＨＣｌで処理されたサンプルを示す。
【図23】ＳＷスプレーツールにおける２５°Ｃの温度でｄＨＣｌ（３．６　ｗ／ｗ％）でのＤｙを含む酸化物の除去を示す。
【図24】ＳＷスプレーツールにおける２５°Ｃの温度でｄＨＣｌ（３．６　ｗ／ｗ％）との高ｋ層の互換性を示す。
【図25】ビーカー・セット・アップにおける８０°Ｃでマイクロストリップ２００１と高ｋ層及び高ｋキャップ層の互換性を示す。
【図26】本発明の実施形態に従い、ＤｙＯで覆ったＨｆＳｉＯＮ上のＮｉ　ＦＵＳＩ電極の仕事関数ＷＦ（Ｖｆｂ）をプロットしている。

【図27】本発明の実施形態に従い、ＮｉＳｉ　ＦＵＳＩ／ＤｙＯ／ＨｆＳｉＯＮゲートスタックのＸＴＥＭを示す。
【図28】ＤｙＯ層キャップ層の有、無でのＨｆＳｉＯＮ上のＦＵＳＩデバイスの高周波キャパシタンス電圧（ＨＦＣＶ）測定の結果を示す。
【図29】短いチャネルデバイス（Ｌｇ＝１００ｎｍ）のためのＤｙＯキャップ層の有無でのＨｆＳｉＯＮ　ｎ－ＦＥＴのＩｄ－Ｖｇ曲線をプロットしている。
【図30】ＨｆＳｉＯＮ又はＤｙＯ／ＨｆＳｉＯＮ誘電体を備えたｎ－ＦＥＴに関するチャネル長（Ｌｇ）の関数としてのスレショルド電圧（Ｖｔ、sat）をプロットしている。
【図31】ＨｆＳｉＯＮ又はＤｙＯ／ＨｆＳｉＯＮ誘電体を備えたｎＦＥＴに関するチャネル長（Ｌｇ）対ゲートリーク（ＪＧ）をプロットしている。
【図32】ソース／ドレイン活性化の後、ＮｉＳｉ／ＤｙＯ（０．５ｎｍ）／ＳｉＯＮ（２ｎｍ）ゲートのＸＴＥＭを示す。
【図33】ＤｙＯキャップ層の有無でのｎＦＥＴｓ　ＮｉＳｉ／ＳｉＯＮのＨＦＣＶ測定の結果を示す。
【図34】ＳｉＯＮ又はＤｙＯ／ＳｉＯＮの誘電体を備えたｎＦＥＴに関するチャネル長（Ｌｇ）対ゲートリーク（ＪＧ）をプロットしている。
【図35】ＳｉＯＮ又はＤｙ／ＳｉＯＮの誘電体を備えたｎＦＥＴに関するスレショルド電圧（Ｖｔ，ｓａｔ）対チャネル長（Ｌｇ）をプロットしている。
【図36】基準ウエハと、選択的なＤｙＯキャップ層除去後の同じウエハとに関するＣ－Ｖ曲線間の比較をプロットしている。
【図37】ゲート電流（Ｉｇ）対２つのゲート誘電体（同じウエハー上の）を有するＭＩＰＳ　ｎＦＥＴＳのゲート電圧（Ｖｇ）をプロットしている。

【図1】



【図2】



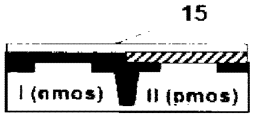
【図3】



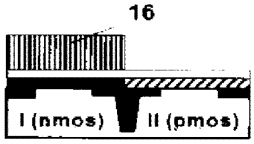
【図4】



【図5】



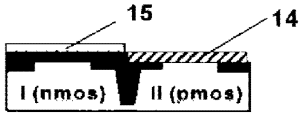
【図6】



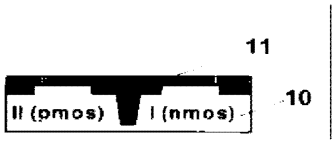
【図7】



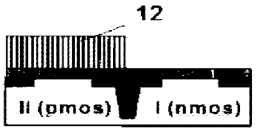
【図8】



【図9】



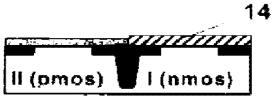
【図10】



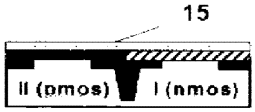
【図11】



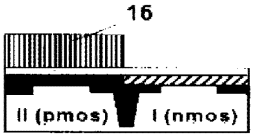
【図12】



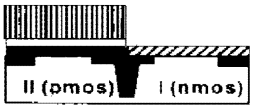
【図13】



【図14】



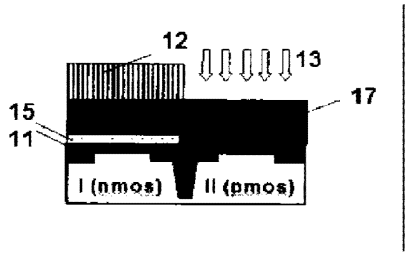
【図15】



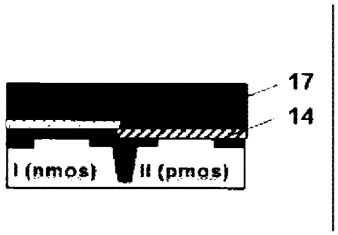
【図16】



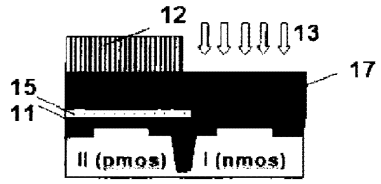
【図17】



【図18】



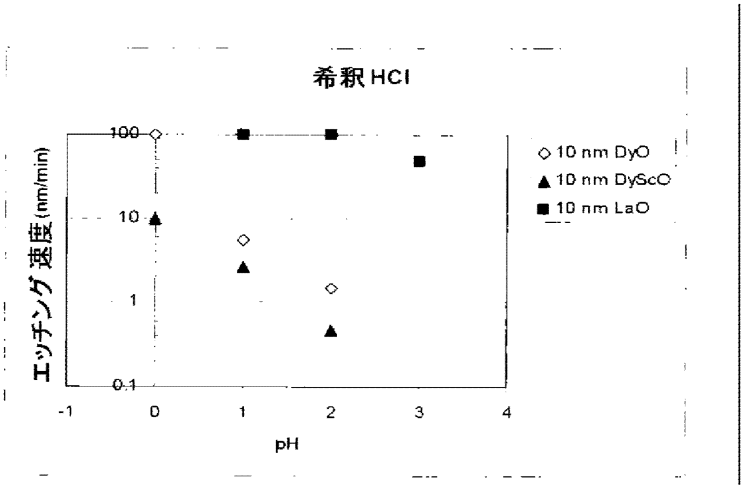
【図19】



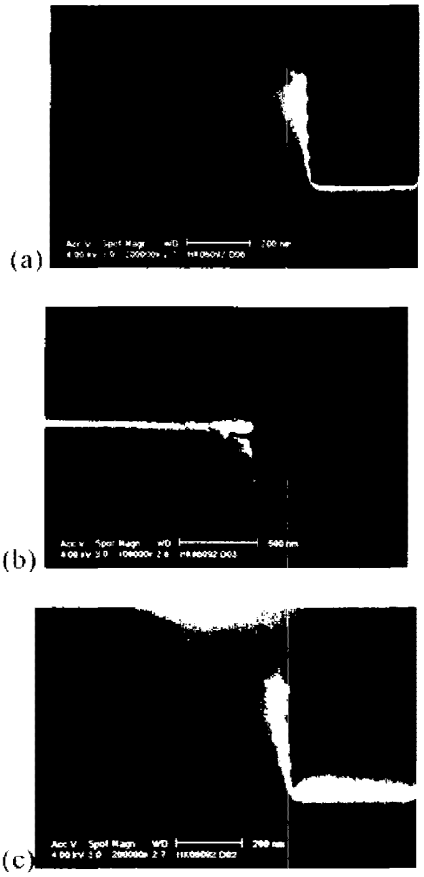
【図20】


17
14
15
II (pmos)
1 (nmos)

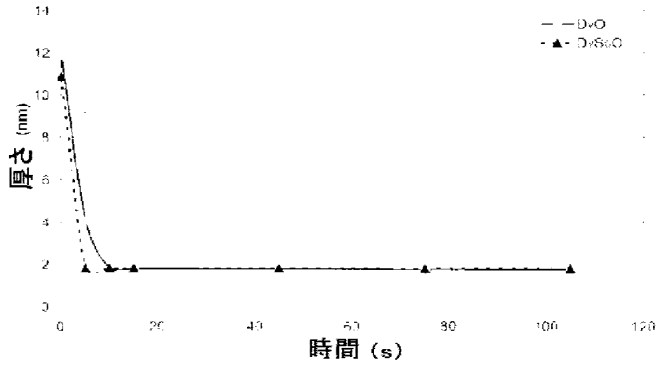
【図21】


希釈 HCl
エッチング速度(nm/min)
100
10
1
0.1
-1
0
1
2
3
4
pH
◇ 10 nm DyO
▲ 10 nm DyScO
■ 10 nm LaO

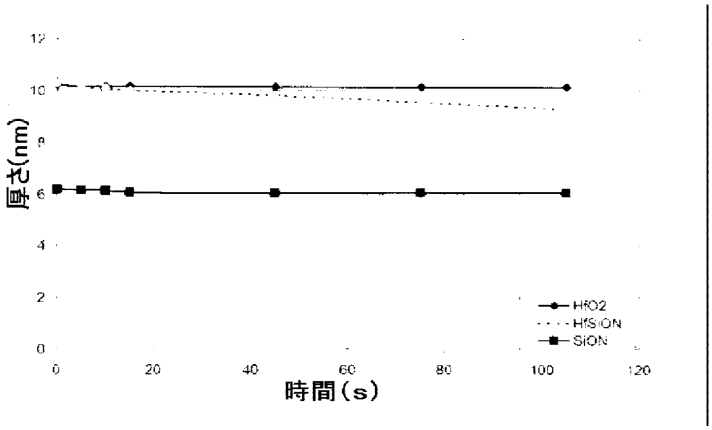
【図22】



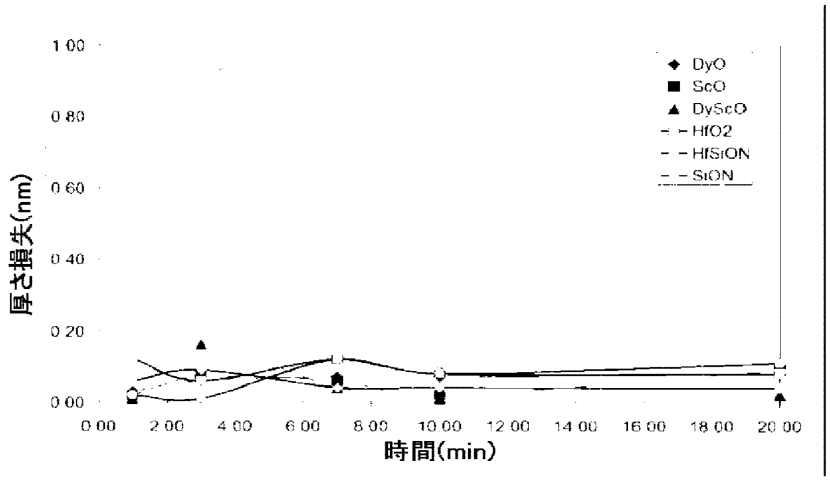
【図23】



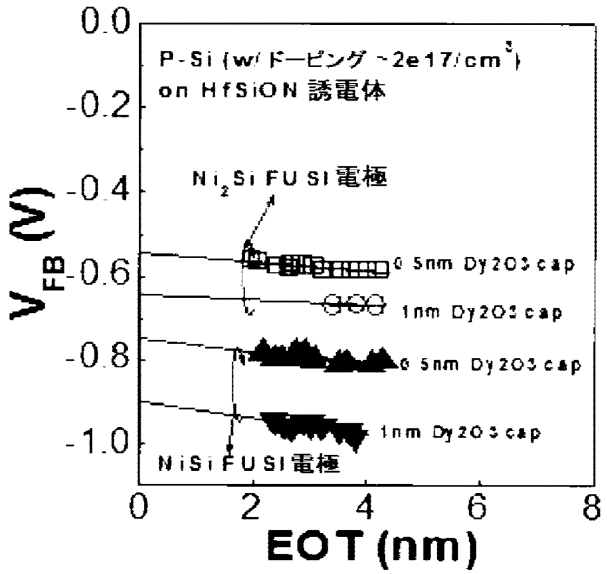
【図24】


厚さ(nm)
時間(s)
HfO2
HfSiON
SiON

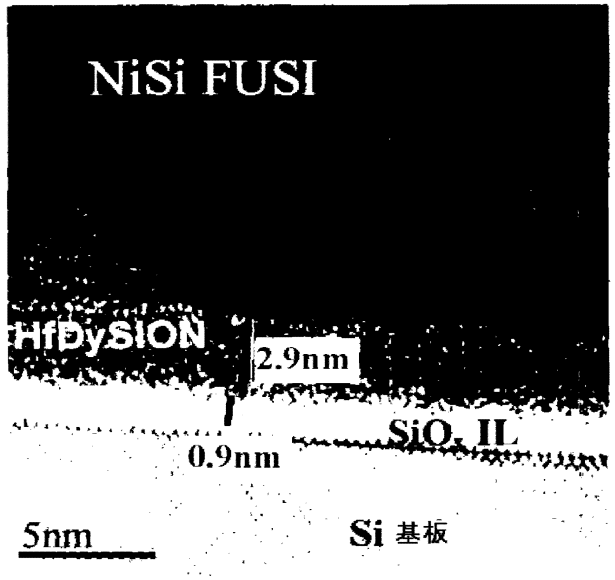
【図25】


厚さ損失(nm)
時間(min)
DyO
ScO
DyScO
HfO2
HfSiON
SiON

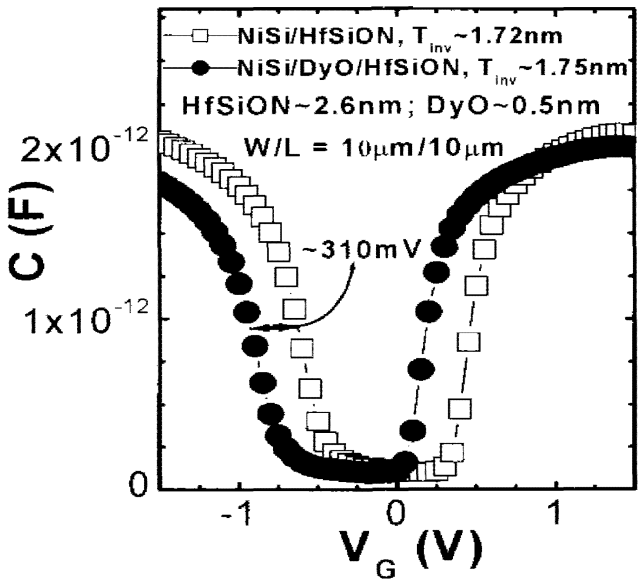
【図26】


P-Si (w/ドーピング ~2e17/cm3)
on HfSiON 誘電体
Ni2Si FUSI電極
0.5nm Dy2O3 cap
1nm Dy2O3 cap
0.5nm Dy2O3 cap
1nm Dy2O3 cap
NiSi FUSI電極
VFB (V)
EOT (nm)

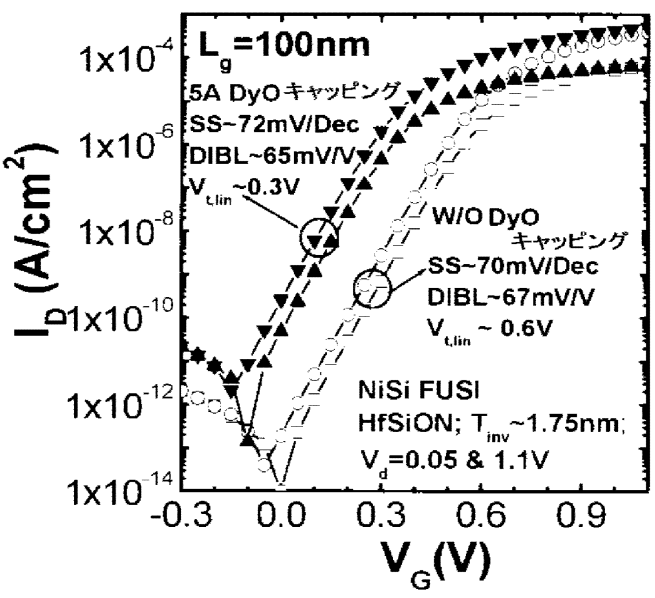
【図27】


NiSi FUSI
HfDySiON
2.9nm
SiO2 IL
0.9nm
5nm
Si 基板

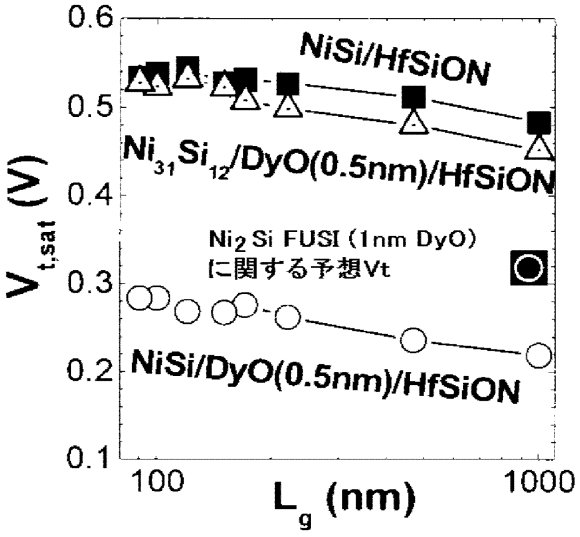
【図28】


NiSi/HfSiON, Tinv~1.72nm
NiSi/DyO/HfSiON, Tinv~1.75nm
HfSiON~2.6nm; DyO~0.5nm
W/L = 10μm/10μm
~310mV
2x10-12
1x10-12
0
C (F)
-1
0
1
VG (V)

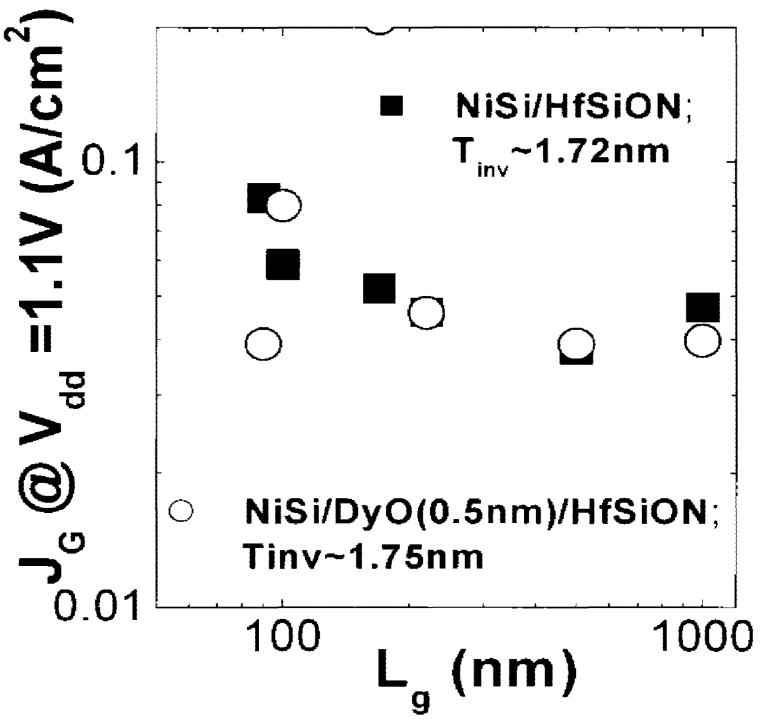
【図29】


L_g=100nm
5A DyOキャッピング
SS~72mV/Dec
DIBL~65mV/V
$V_{t,lin}$~0.3V
W/O DyO
キャッピング
SS~70mV/Dec
DIBL~67mV/V
$V_{t,lin}$ ~ 0.6V
NiSi FUSI
HfSiON; T_{inv}~1.75nm;
V_d=0.05 & 1.1V
I_D (A/cm^2)
V_G(V)

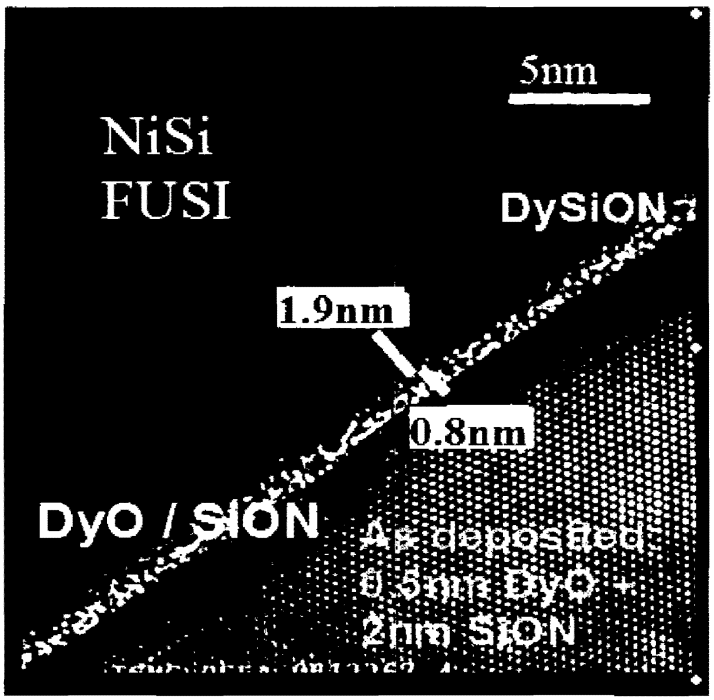
【図30】


NiSi/HfSiON
$Ni_{31}Si_{12}$/DyO(0.5nm)/HfSiON
Ni_2Si FUSI (1nm DyO)
に関する予想Vt
NiSi/DyO(0.5nm)/HfSiON
$V_{t,sat}$ (V)
L_g (nm)

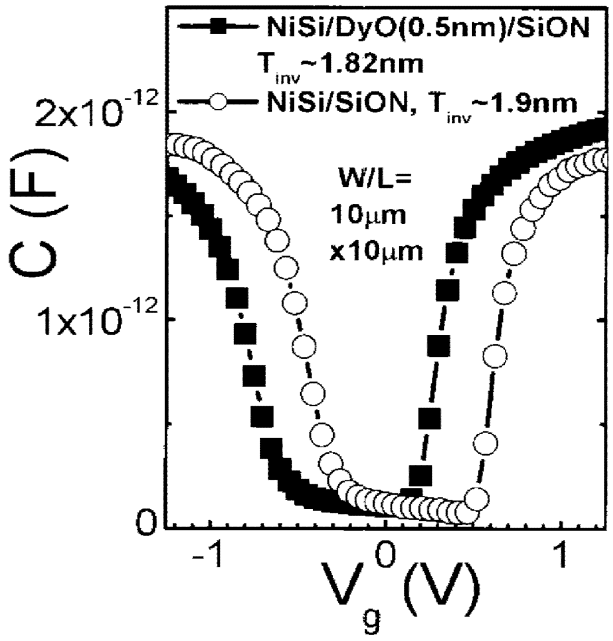
【図31】


J_G @ V_{dd} =1.1V (A/cm^2)
0.1
0.01
100
1000
L_g (nm)
NiSi/HfSiON;
T_{inv}~1.72nm
NiSi/DyO(0.5nm)/HfSiON;
Tinv~1.75nm

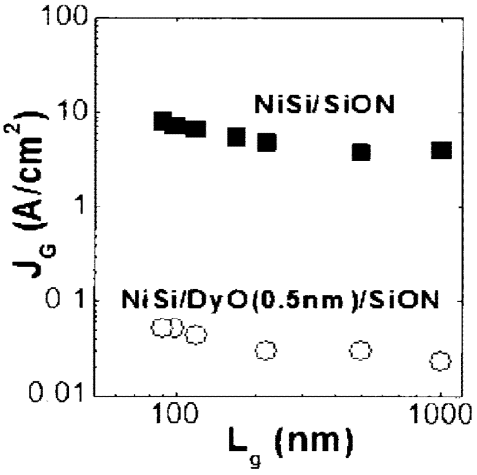
【図32】


5nm
NiSi
FUSI
DySiON
1.9nm
0.8nm
DyO / SiON
As deposited
0.5nm DyO +
2nm SiON

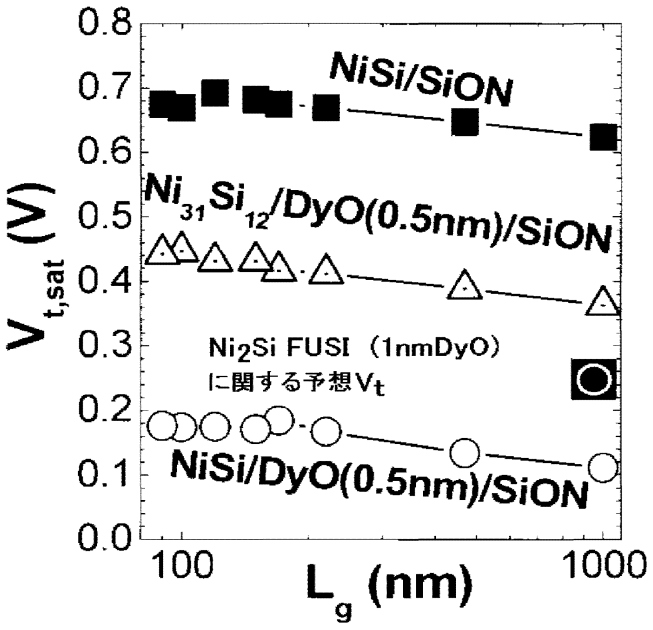
【図33】


NiSi/DyO(0.5nm)/SiON
T_inv~1.82nm
NiSi/SiON, T_inv~1.9nm
W/L=
10μm
x10μm
2x10^-12
1x10^-12
0
C (F)
-1
0
1
V_g (V)

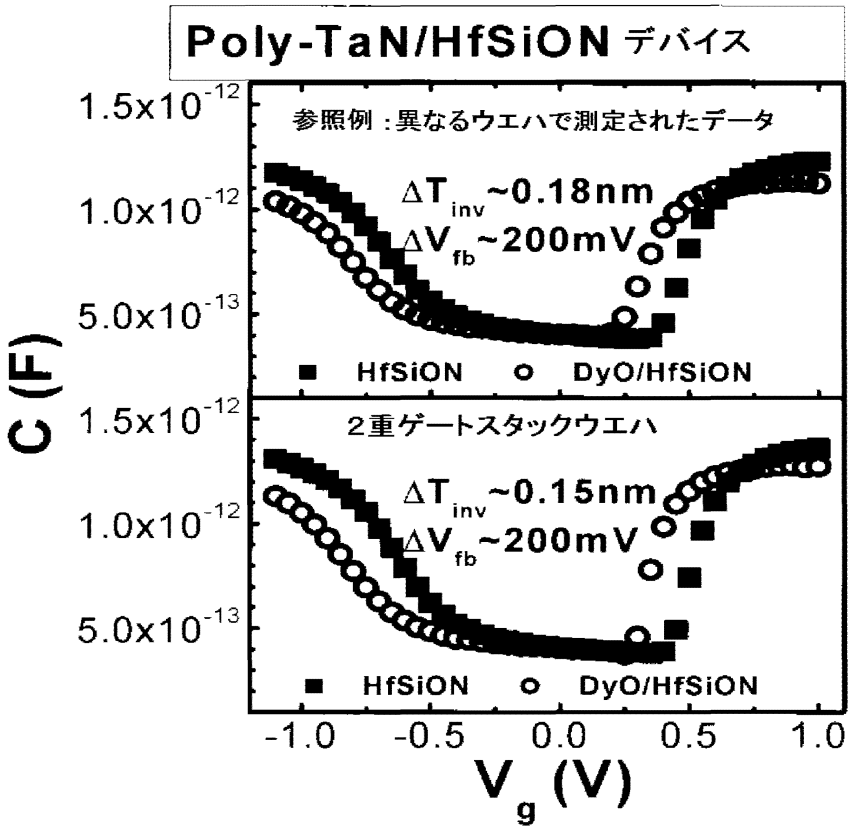
【図34】


100
10
1
0 1
0 01
J_G (A/cm^2)
NiSi/SiON
NiSi/DyO(0.5nm)/SiON
100
1000
L_g (nm)

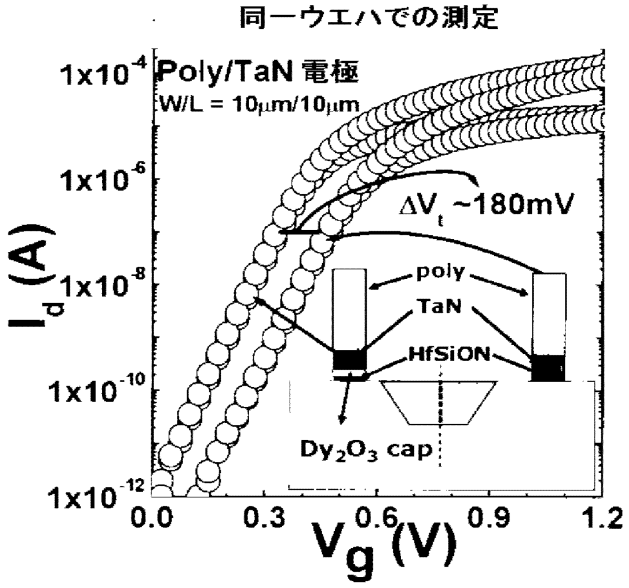
【図35】


0.8
0.7
0.6
0.5
0.4
0.3
0.2
0.1
0.0
NiSi/SiON
Ni31Si12/DyO(0.5nm)/SiON
Ni2Si FUSI（1nmDyO）
に関する予想Vt
NiSi/DyO(0.5nm)/SiON
100
1000
Lg (nm)
Vt,sat (V)

【図36】


Poly-TaN/HfSiON デバイス
参照例：異なるウエハで測定されたデータ
ΔTinv~0.18nm
ΔVfb~200mV
HfSiON
DyO/HfSiON
2重ゲートスタックウエハ
ΔTinv~0.15nm
ΔVfb~200mV
HfSiON
DyO/HfSiON
1.5x10-12
1.0x10-12
5.0x10-13
-1.0
-0.5
0.0
0.5
1.0
Vg (V)
C (F)

【図37】


同一ウエハでの測定
Poly/TaN 電極
W/L = 10μm/10μm
1x10-4
1x10-6
1x10-8
1x10-10
1x10-12
Id (A)
ΔVt ~180mV
poly
TaN
HfSiON
Dy2O3 cap
0.0
0.3
0.6
0.9
1.2
Vg (V)

(51)Int.Cl.　　ＦＩ　　テーマコード（参考）
ＨＯ１Ｌ　21/283　(2006.01)　　ＨＯ１Ｌ　21/314　　Ｍ
ＨＯ１Ｌ　29/78　(2006.01)
ＨＯ１Ｌ　21/314　(2006.01)

(71)出願人　507350912
タイワン・セミコンダクター・マニュファクチャリング・カンパニー・リミテッド
Ｔａｉｗａｎ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ　Ｍａｎｕｆａｃｔｕｒｉｎｇ　Ｃｏｍｐａｎｙ　Ｌｔｄ．
台湾３００－０７７シンチュ、リーシン・ロード６番８
(74)代理人　100101454
弁理士　山田　卓二
(74)代理人　100081422
弁理士　田中　光雄
(74)代理人　100112911
弁理士　中野　晴夫
(72)発明者　チャン・ショウ－ゼン
ベルギー、ベー－３０８０テルフレン、ロッケルトラーン２５番
(72)発明者　ユ・ホン・ユ
ベルギー、ベー－３００１ルーヴァン、テルフールセフェスト２１／００４７番
(72)発明者　アナベラ・ベロソ
ベルギー、ベー－３００１ルーヴァン、コーニング・レオポルト・デ・デルデ・ラーン２６番、ブス２０４
(72)発明者　リタ・フォス
ベルギー、ベー－３１２８トレモロ、フィラドレーフ１４番
(72)発明者　ステファン・クビセック
ベルギー、ベー－３２１２ペレンベルク、ロヴェルト２０番
(72)発明者　セルジュ・ビースマン
ベルギー、ベー－３０００ルーヴァン、アルブレヒト・プレイン４ブス３０２番
(72)発明者　ラグナス・シンガナマラ
ベルギー、ベー－３００１ヘフェルレー、セレステェイネンラーン６５／８８番
(72)発明者　アンネ・ラウウェルス
ベルギー、ベー－２６３０アールトセラール、ヘレンボスラーン５６番
(72)発明者　バルト・オンシア
ベルギー、ベー－１０３０シャールベーク、ルイ・ベルトラン・ラーン１２１番

Ｆターム(参考)　4M104 AA01 AA02 AA04 AA05 AA09 BB01 BB19 BB20 BB21 BB22
BB30 BB32 BB34 BB36 BB38 BB39 BB40 CC05 DD26 DD78
DD84 EE03 EE12 EE14 EE16 EE17 FF13 FF14 GG09 GG10
GG14
5F043 AA37 AA38 BB25
5F048 AC03 BA01 BB04 BB05 BB08 BB09 BB10 BB11 BB12 BB14
BB17 BB18 BG12 BG13
5F058 BA11 BA20 BC02 BC08 BC09 BC11 BC12 BD01 BD04 BD05
BD10 BD15 BD16 BD18 BF02 BF06 BH11 BJ04
5F140 AA06 AB03 BA01 BA03 BA05 BA07 BA08 BD01 BD04 BD09
BD11 BD13 BD17 BF01 BF03 BF04 BF05 BF08 BF09 BF10
BF11 BF15 BF38 BG32 CB01 CB04

【外国語明細書】

1

METHODS FOR MANUFACTURING A CMOS DEVICE WITH DUAL WORK FUNCTION

TECHNICAL FIELD OF THE INVENTION

The present invention relates to methods for manufacturing a CMOS device with dual work function.

BACKGROUND OF THE INVENTION

In order to make CMOS devices, one needs two distinctly different work functions (WF) for N-MOS and P-MOS transistor gate respectively. As the gate work function is mainly determined by the material used for the gate electrode, this dual work function requirement usually implies the use of two different materials, in particular two different metals, for a given gate dielectric. The process flow or integration of such dual metal approach is quite cumbersome and includes a large number of process steps.

SUMMARY OF THE INVENTION

With regard to the present invention, methods are disclosed to form a CMOS device with dual work function, the methods providing a simplified process flow with reduced number of process steps. For both P- MOS and N-MOS transistors it is proposed to use the same material for the gate electrodes and to adjust the work function of the respective transistor gates. This may be done by (1) implantation of the gate dielectric or (2) insertion of a dielectric capping layer in between the gate electrode and the host gate dielectric material; and/or (3) implantation of the host gate electrode prior to fully silicided (FUSI) gate formation. Embodiments of the present invention may be applied in particular to devices with FUSI gates.

In a first aspect, the present invention provides a method for manufacturing a dual workfunction semiconductor device. The method comprises providing a device on a first region and a device on a second region of a substrate. According to embodiments of the present invention, this is done by

- providing a dielectric layer onto the first and second region of the substrate, the dielectric layer on the first region being integrally deposited with the dielectric layer on

the second region and therefore having the same properties, e.g. same material, same thickness, etc., and

- providing a gate electrode on top of the dielectric layer on both the first and second regions, the gate electrode on the first region being integrally deposited with the gate electrode on the second region and therefore having the same properties, e.g. same material, same thickness, etc.

The method according to embodiments of the first aspect of the present invention further comprises

changing the workfunction of the device on the first region by providing a capping layer onto the first region between the dielectric layer and the gate electrode, and

changing the workfunction of the device on the second region by including species at the interface between the dielectric layer and the electrode.

An advantage of embodiments of the present invention is that no selective removal of gate material is required. A common conductive, e.g. metal or FUSI, gate electrode may be used for both nmos and pmos devices. This reduces or even eliminates potential problems at the N+/P+ boundary compared to prior art methods when a dual-phase FUSI CMOS scheme – e.g. NiSi for nmos and Ni-rich for pmos – is used. In the latter case, the length of the interface between NiSi (nmos) and Ni-rich (pmos- gate electrodes can be of concern for very high density applications. In case of a common (i.e. same phase) FUSI electrode for both nmos and pmos, as in accordance with embodiments of the present invention, this problem/concern is solved. Furthermore, use of Ni-rich FUSI for both nmos and pmos leads to a higher process window for the FUSI CMOS integration process, hence with further advantages for manufacturability.

In accordance with embodiments of the present invention, the workfunction is thus changed by adapting the gate dielectric. This may be done by capping and implanting as described in more detail below, while keeping the equivalent oxide thickness (EOT) low, preferably as low as possible. This EOT requirement implies that not just anything can be deposited or implanted.

In embodiments of the present invention, the device on the first region is an N-MOS device. In embodiments of the present invention, the device on the second region is a P-MOS device.

In embodiments of the present invention, including species at the interface between the dielectric layer and the electrode may be performed before providing the gate electrode on top of the dielectric layer. In alternative embodiments, including species at the interface between the dielectric layer and the electrode may be performed after electrode formation.

A method according to embodiments of the present invention may furthermore comprise providing a capping layer onto the second region between the dielectric layer and the gate electrode. This way, a double capping is provided for protection of the dielectric layer during implantation.

A method according to embodiments of the present invention may furthermore comprise providing a further capping layer for protecting the gate integrity during processing of the devices.

In a method according to embodiments of the present invention, including species at the interface between the dielectric layer and the electrode may comprise introducing species by ion implantation. The introduced species are work-function tuning elements. Introducing species by ion implantation comprises providing a resist layer on specific locations of the dielectric layer, and performing ion implantation in regions not covered by the resist layer.

A method according to embodiments of the present invention may further comprise tuning of pre and/or post capping layer deposition nitridation conditions for further tuning the workfunction of the semiconductor device.

In a method according to embodiments of the present invention, capping may be performed by means of DyO. Such DyO capping layer may be removed by means of a selective wet etch. The selective wet etch may be performed by means of a HCl-based solution with a low pH. The pH-value of the selective wet etch solution can be lower than 5, more preferably between 2 and 4.

In a method according to embodiments of the present invention, the gate electrode may be a FUSI electrode.

In a second aspect, embodiments of the present invention provide a method for removing a DyO layer, the method comprising performing a selective wet etch. The selective wet etch may be performed by means of a HCl-based solution. Advantageous

is that such HCl-based solution allows to selectively etch the DyO layer, a.o. towards HfSiON or SiON layers.

In a third aspect, the present invention provides a dual workfunction semiconductor device, comprising semiconductor devices of a first type and semiconductor devices of a second type. Each semiconductor device comprises:

- a gate dielectric on a substrate, and
- a gate electrode on the gate dielectric,

wherein the gate electrodes of the semiconductor devices of the first type are integrally deposited with the gate electrodes of the semiconductor devices of the second type, and therefore having the same properties, e.g. same material, same thickness, etc., and wherein the gate dielectric of the semiconductor devices of the first type is different from the gate dielectric of the semiconductor devices of the second type in that it is made of a same basic material, but including different species at the interface between the dielectric layer and the electrode.

BRIEF DESCRIPTION OF THE DRAWINGS

In Figs 1 to 8 and figs 9 to 16 two process integration flows are schematically represented. Each process flow comprises the steps of gate dielectric implantation followed by high-k cap layer deposition and selective removal of this high-k cap layer.

Fig. 17 and Fig 18 illustrate gate dielectric implantation through the unpatterned gate electrode on region II (pmos) according to an embodiment of the present invention.

Fig. 19 and Fig. 20 illustrate gate dielectric implantation through the unpatterned gate electrode on region I (nmos) according to an embodiment of the present invention.

Fig. 21 illustrates the etch rate of 10 nm thick layers of DyO, DyScO and LaO, respectively, in acidified solutions, in particular in diluted HCl.

Fig. 22 illustrates the compatibility of DUV resist with HCL and HF/HCl chemistry. In Fig. 18 (a) shows an untreated sample, (b) shows a sample treated with HF/HCl, and (c) shows a sample treated with HCl.

Fig. 23 illustrates the removal of Dy-containing oxides in dHCl (3.6 w/w %) at a temperature of 25°C in a SW spray tool.

5

Fig. 24 illustrates the compatibility of high-k layers with dHCl (3.6 w/w %) at a temperature of 25°C in a SW spray tool.

Fig. 25 illustrates the compatibility of high-k layers and high-k cap layers with microstrip 2001 at 80°C in a beaker set-up.

Fig. 26 plots the workfunction WF (Vfb) of a Ni FUSI electrode on HfSiON capped with DyO in accordance with embodiments of the present invention.

Fig. 27 shows an XTEM of a NiSi FUSI/DyO/HfSiON gate stack in accordance with embodiments of the present invention.

Fig. 28 illustrates results of high frequency capacitance-voltage (HFCV) measurements of FUSI devices on HfSiON with or without DyO layer cap layer.

Fig. 29 plots Id-Vg curves of HfSiON n-FET's with or without DyO cap layer for short channel devices (Lg =100nm).

Fig. 30 plots the threshold voltage (Vt, sat) as function of channel length (L_g) for n-FETs with HfSiON or DyO/HfSiON dielectrics.

Fig. 31 plots gate leakage (J_G) vs. channel length (L_g) for nFETs with HfSiON or DyO/HfSiON dielectrics.

Fig. 32 shows an XTEM of a NiSi/DyO(0.5nm)/SiON(2nm) gate after Source/Drain activation.

Fig. 33 shows results of HFCV measurements of nFETs NiSi/SiON with and without DyO cap layer.

Fig. 34 plots gate leakage (J_G) vs. channel length (L_g) for nFETs with SiON or DyO/SiON dielectrics.

Fig. 35 plots threshold voltage (Vt, sat) vs. channel length (L_g) for nFETs with SiON or Dy/SiON dielectrics.

Fig. 36 plots a comparison between the C-V curves for a reference wafer and the same wafer after selective DyO cap layer removal.

Fig. 37 plots gate current (Ig) versus gate voltage (Vg) of MIPS nFETS having dual gate dielctrics (on the same wafer).

DESCRIPTION OF ILLUSTRATIVE EMBODIMENTS

The present invention will be described with respect to particular embodiments and with reference to certain drawings but the invention is not limited thereto but only by the claims. The drawings described are only schematic and are non-limiting. In the drawings, the size of some of the elements may be exaggerated and not drawn on scale for illustrative purposes. The dimensions and the relative dimensions do not correspond to actual reductions to practice of the invention.

Furthermore, the terms first, second, third and the like in the description and in the claims, are used for distinguishing between similar elements and not necessarily for describing a sequence, either temporally, spatially, in ranking or in any other manner. It is to be understood that the terms so used are interchangeable under appropriate circumstances and that the embodiments of the invention described herein are capable of operation in other sequences than described or illustrated herein.

Moreover, the terms top, bottom, over, under and the like in the description and the claims are used for descriptive purposes and not necessarily for describing relative positions. It is to be understood that the terms so used are interchangeable under appropriate circumstances and that the embodiments of the invention described herein are capable of operation in other orientations than described or illustrated herein.

It is to be noticed that the term "comprising", used in the claims, should not be interpreted as being restricted to the means listed thereafter; it does not exclude other elements or steps. It is thus to be interpreted as specifying the presence of the stated features, integers, steps or components as referred to, but does not preclude the presence or addition of one or more other features, integers, steps or components, or groups thereof. Thus, the scope of the expression "a device comprising means A and B" should not be limited to devices consisting only of components A and B. It means that with respect to the present invention, the only relevant components of the device are A and B.

Similarly, it is to be noticed that the term "coupled", also used in the claims, should not be interpreted as being restricted to direct connections only. The terms "coupled" and "connected", along with their derivatives, may be used. It should be understood that these terms are not intended as synonyms for each other. Thus, the scope of the expression "a device A coupled to a device B" should not be limited to

devices or systems wherein an output of device A is directly connected to an input of device B. It means that there exists a path between an output of A and an input of B which may be a path including other devices or means. "Coupled" may mean that two or more elements are either in direct physical or electrical contact, or that two or more elements are not in direct contact with each other but yet still co-operate or interact with each other.

Reference throughout this specification to "one embodiment" or "an embodiment" means that a particular feature, structure or characteristic described in connection with the embodiment is included in at least one embodiment of the present invention. Thus, appearances of the phrases "in one embodiment" or "in an embodiment" in various places throughout this specification are not necessarily all referring to the same embodiment, but may. Furthermore, the particular features, structures or characteristics may be combined in any suitable manner, as would be apparent to one of ordinary skill in the art from this disclosure, in one or more embodiments.

Similarly it should be appreciated that in the description of exemplary embodiments of the invention, various features of the invention are sometimes grouped together in a single embodiment, figure, or description thereof for the purpose of streamlining the disclosure and aiding in the understanding of one or more of the various inventive aspects. This method of disclosure, however, is not to be interpreted as reflecting an intention that the claimed invention requires more features than are expressly recited in each claim. Rather, as the following claims reflect, inventive aspects lie in less than all features of a single foregoing disclosed embodiment. Thus, the claims following the detailed description are hereby expressly incorporated into this detailed description, with each claim standing on its own as a separate embodiment of this invention.

Furthermore, while some embodiments described herein include some but not other features included in other embodiments, combinations of features of different embodiments are meant to be within the scope of the invention, and form different embodiments, as would be understood by those in the art. For example, in the following claims, any of the claimed embodiments can be used in any combination.

Furthermore, some of the embodiments are described herein as a method or combination of elements of a method that can be implemented by a processor of a computer system or by other means of carrying out the function. Thus, a processor with the necessary instructions for carrying out such a method or element of a method forms a means for carrying out the method or element of a method. Furthermore, an element described herein of an apparatus embodiment is an example of a means for carrying out the function performed by the element for the purpose of carrying out the invention.

In the description provided herein, numerous specific details are set forth. However, it is understood that embodiments of the invention may be practiced without these specific details. In other instances, well-known methods, structures and techniques have not been shown in detail in order not to obscure an understanding of this description.

The invention will now be described by a detailed description of several embodiments of the invention. It is clear that other embodiments of the invention can be configured according to the knowledge of persons skilled in the art without departing from the true spirit or technical teaching of the invention, the invention being limited only by the terms of the appended claims.

In embodiments of the present invention, the term "substrate" may include any underlying material or materials that may be used, or upon which a device, a circuit or an epitaxial layer may be formed. In other alternative embodiments, this "substrate" may include a semiconductor substrate such as e.g. doped silicon, a gallium arsenide (GaAs), a gallium arsenide phosphide (GaAsP), an indium phosphide (InP), a germanium (Ge), or a silicon germanium (SiGe) substrate. The "substrate" may include for example, an insulating layer such as a SiO_2 or a Si_3N_4 layer in addition to a semiconductor substrate portion. Thus, the term substrate also includes silicon-on-glass, silicon-on sapphire substrates. The term "substrate" is thus used to define generally the elements for layers that underlie a layer or portions of interest. Also, the "substrate" may be any other base on which a layer is formed, for example a glass or metal layer.

A substrate, e.g. a semiconductor substrate (10) comprises 2 different areas (N-MOS area I and P-MOS area II) and has an exposed surface. The exposed surface of the semiconductor substrate (10) comprises at least two different areas of a

semiconductor material, which areas (I, II) are separated from each-other. These areas (I, II) are typically known as active areas, while the separation in-between is typically known as field insulation (LOCOS) or shallow trench insulation (STI). In one type of area (I), typically known as p-type active area, an N-MOS transistor is to be formed, while in the other type of area (II), typically known as n-type active area, a P-MOS transistor is to be formed. On the exposed surface of the substrate, a host gate dielectric (11) is deposited as shown in Figures 1 and 9. The host gate dielectric (11) can for example be SiO2, SiON; HfO2, HfSiO, HfSiON; ZrO2, ZrSiO, ZrSiON; a bi-layer (like HfO2/SiO2), or a ternary dielectric, like HfZrO, HfZrSiO, HfLaO, HfLaSiO.

One type of the substrate areas may then optionally be covered with photoresist (12) as shown in Figures 2 and 10. In an exemplary embodiment, area (I) is covered with this photosensitive layer (12) in the embodiment illustrated by Figures 1-8 while the other area type (II) remains exposed. However, depending on the choice of the gate dielectric and the way the work function of the transistor gate is adjusted, e.g. ion implantation in the gate dielectric, intermediate layer between gate dielectric and gate electrode or a combination of both, one can choose to cover the other type of area (II) and have the one area (I) exposed as shown in the embodiment illustrated by Figures 9-16.

Next the host gate dielectric in the exposed area (II, I) is implanted with selected implantation species (13) as shown in Figures 3 and 11. Preferentially the ion implantation species for NMOS may include the lanthanides (Yb, La, Dy, Er, Gd, Sc, etc.), or one of the dopants like P, As, Sb or combinations thereof like (Yb +P). For PMOS the ion implantation species may include Al, O, Ru, Pt, W, Mo, B or combinations thereof like (Al +B).

After implantation, the resist (12) is removed as shown in Figures 4 and 12 leaving behind on one of the areas (II, I) a dielectric layer with modified electrical properties (14) compared to the other dielectric layer (11) in the other area (I, II).

Next, as shown in Figures 5 and 13, optionally a high-k cap layer (15) may be deposited over both type of areas (I, II), i.e. on top of both the host dielectric layer (11) and the modified host dielectric layer (14). A high-k cap layer is a layer with a dielectric constant higher than that of SiO_2, i.e. higher than 4. The high-k cap layer (15) is then

selectively removed from the area (II, I) covered with the modified host dielectric layer (14), for example by using a patterned photoresist mask (16) as shown in Figures 6 and 14 and a selective wet-etch process as shown in Figures 7 and 15.

Figures 8 and 16 show the final gate dielectric stack after removal of the photoresist (16). Both the selective wet-etch of the high-k cap layer (15) and the photoresist (16) removal are selected to meet the strong requirements of gate dielectric processing, such as integrity of the gate dielectric thereby substantially preserving its dielectric characteristics. These process steps are in more detail described in separate embodiments.

After provision of the final gate dielectric stacks, the gate electrode is provided on top of the final gate dielectric stacks. In accordance with embodiments of the present invention, a gate electrode is integrally provided onto both gate stacks at the first and second areas, respectively, thus providing gate electrodes with same properties, e g. same electrode material, same electrode thickness, etc.

Further three methods for gate work function tuning, when forming a CMOS device with the same gate electrode material for N-MOS and P-MOS transistor, are disclosed in accordance with embodiments of the present invention. These methods can be used per se or in combination.

(1) Work-function tuning by ion implantation into the host gate dielectric

The implantation (13) in the host gate dielectric (11) can be done before forming the gate electrode, e.g. a semiconductor gate electrode such as polycrystalline silicon or a metal gate electrode, as in Fig. 3 and in Fig. 11.

Alternatively the implantation (13) can be done through the unpatterned gate electrode, as in Fig. 17 and in Fig. 19. This means that the implantation can be performed before or after gate electrode formation. In the later case, the gate electrode (17) can consist of a single layer of electrode material, e.g. a semiconductor material or a metal, or can comprise a stack of layers, such as polysilicon with metal or a first metal with a second metal. In the latter case implantation through the gate electrode (17) into the host gate dielectric (11) can proceed either after the first layer of the stack is

deposited on the host gate dielectric, or after a plurality of layers or even the total gate electrode stack is deposited.

The gate electrode can be either a semiconductor gate, such as a polysilicon gate, a metal gate with low implantation stopping power such that implanted species (13) can reach the host gate dielectric (11) even if low implant energy is used, a MIPS (polysilicon + metal gate stack), a fully silicided (FUSI) gate, or combinations of these different gate electrodes on N- and P-MOS respectively.

The method of tuning the work-function by ion implantation of the host gate dielectric (11) provides also a good way for equivalent oxide thickness (EOT) scaling as, e.g. a thicker host gate dielectric (11) can be formed with good electrical properties while the dielectric properties of this high quality host gate dielectric (11) are modified afterwards.

Photoresist is used as protective mask during the ion implantation process (13). After photoresist removal, a post-ion implantation annealing is preferably required. This anneal step has multiple purposes: 1) drive the implanted species to the targeted location for Vt tuning. This location can be either the host gate dielectric (11) or the interface between the gate electrode and the host dielectric (11); 2) facilitate the formation of the new gate dielectric (14) (as in Fig. 4, Fig.12, Fig. 18 and Fig. 20); 3) repair the possible damages in the gate dielectric (14) after the ion implantation.

(2) Work-function tuning by using a high-k dielectric cap layer between host gate dielectric and gate electrode

The cap layer (15) can be selectively deposited or selectively removed from the NMOS (I) or respectively, PMOS (II) area. Under suitable thermal budget (provided by junction spike or laser anneal, for example), the cap layer can either interact with the host dielectric to form an intermixing dielectric or can show no intermixing with the host dielectric. The cap layer may also react with the electrode material.

The cap layer may be an oxide from the La-family oxides (YbO, DyO, LaO, ErO, GdO) or ScO for NMOS; and AlO for PMOS. Ternary or quaternary oxides like DyScO, or combinations with Si or with N- incorporation (DyScON) are also considered.

The electrode can be either polysilicon gate, metal gate, MIPS (polysilicon + metal gate stack), fully silicided (FUSI) gate, or combinations of different gate electrodes on N- and P-MOS, separately. The method provides also a good way for EOT scaling.

The host gate dielectrics can be SiO2, SiON; HfO2, HfSiO, HfSiON; ZrO2, ZrSiO, ZrSiON; bi-layers (like HfO2/SiO2), or ternary dielectric, like HfZrO HfZrSiO.

(3) Work-function tuning by ion implantation in the gate electrode prior to FUSI formation

By using ion implantation into a semiconductor gate electrode, and combined with both the thermal cycle and snow-plow effect during the FUSI process, the implanted species are pushed towards the interface between the gate electrode and host gate dielectric (11) where these implanted species react either with the host gate dielectric (11) or modify the interface between gate electrode and host gate dielectric. When forming a fully silicided gate electrode by forming a metallic alloy due to the reaction between a semiconductor material and a silicide-forming metal, the species implanted in the semiconductor gate experience a lower solubility in the metallic alloy formed compared to the unreacted semiconductor material. Hence the implanted species are moved in front of the metallic alloy formed. This phenomenon is known as snow-plow effect.

FUSI gate formation takes place through the reaction of poly-Si (a-Si, Si, SiGe, Ge), or doped poly-Si (a-Si, Si, SiGe, Ge) with one of the following metals: Ni, Co, Pt, NiPt, NiYb.

Preferentially the ion implantation species for NMOS may include the lanthanides (Yb, La, Dy, Er, Gd, Sc, etc.), or one of the dopants like P, As, Sb or combinations thereof like (Yb +P). For PMOS the ion implantation species may include Al, O, Ru, Pt, W, Mo, B or combinations thereof like (Al +B).

The host gate dielectrics can be SiO2, SiON; HfO2, HfSiO, HfSiON; ZrO2, ZrSiO, ZrSiON; bi-layers (like HfO2/SiO2), or ternary dielectric, like HfZrO, HfZrSiO, HfLaO, HfLaSiO.

Examples

Further several specific integration methods are disclosed to fabricate CMOS FETs using dual dielectric layers, i.e. by forming different gate dielectric layers for N-MOS and P-MOS transistor respectively, by using the work function tuning methods of the previous paragraphs.

Method 1: cap layer (15) on NMOS and ion implantation (13) on PMOS

Method 1 is illustrated in Figs 1 to 8. In Figure 1 a host dielectric (11) layer is deposited on a semiconductor substrate (10) comprising two different areas: (I) NMOS and (II) PMOS. The semiconductor substrate can for example be any of the following materials Si, SiGe, SOI, Ge, and III-V materials. The method can be applied to manufacturing of transistors with either planar or FinFET structure.

The host dielectric (11) may for example be one of the following SiON, HfSiON, HfO2, HfSiO, ZrO2, HfZrO, HfLaO, HfLaSiO. In a particular embodiment the host dielectric (11) is a thin SiON layer, with a thickness between 1- 20 Å.

The ion implantation species (13) for the PMOS area may be Al or O. No ion-implantation can be also an option, depending on the gate electrode choice, if a high-k cap layer (15) is formed on the NMOS area (I) in subsequent processing.

The high-k cap layer (15) is deposited on top of the host dielectric (11) and afterwards removed selectively from the PMOS area (II). The high-k cap layer (15) can be one of the following oxides: DyO, ScO, LaO, YbO, DyScO, DyYbO, DyLaO.

In a single gate electrode approach the gate electrode for both N-MOS and P-MOS transistor are integrally made, and thus have the same properties, i.e. a.o. are made from same material such as e.g. polysilicon, amorphous silicon or SiGe, Ni rich-FUSI, one of the following metal nitrides (TiN, TaN), metal carbides/carbo-nitrides (TaC, ,TaCN), metal oxi-(carbo)-nitrides (TaCNO, MoON, WON) or MIPS (one of the above metal electrodes with polysilicon cap layer on top), and having a same thickness

Upon thermal annealing the final dielectric on the NMOS area (I) can be either a mix between the cap layer (15) and the host dielectric (11) or a stack consisting of two distinctive layers.

Method 2: cap layer (15) on PMOS and ion implantation (13) on NMOS

Method 2 is illustrated in Figs 9 to 16. In Figure 9 a host dielectric (11) layer is deposited on a semiconductor substrate (10) comprising two different areas: (I) NMOS and (II) PMOS. The semiconductor substrate can for example be any of the following materials Si, SiGe, SOI, Ge, and III-V materials. The method can be applied to manufacturing of transistors with either planar or FinFET structure.

The host dielectric (11) may be for example one of the following SiON, HfSiON, HfO2, HfSiO, ZrO2, HfZrO, HfLaO, HfLaSiO. In a particular embodiment the host dielectric (11) is a thin SiON layer with the thickness between 1-20Å.

The ion implantation species (13) for the NMOS area (I) may be one of the following Yb, La, Dy, Er, Gd, Sc, P, As, Sb, No implantation can be also an option, depending on the gate electrode choice, if a high-k cap layer (15) is formed on the PMOS area (II) in subsequent processing.

The high-k cap layer (15) deposited on top of the host dielectric (11) and removed selectively from the NMOS area (I) can be AlO or AlN or a combination thereof like AlON. No cap can be an option depending on the choice of the gate electrode if an implantation is performed in the host gate dielectric (11) in the NMOS area (II) during previous processing.

In a single gate electrode approach the gate electrode for both N-MOS and P-MOS transistor are integrally made and thus have the same properties, i.e. a.o. are made from same material such as e.g. can be polysilicon, amorphous silicon or SiGe, Ni rich -FUSI, one of the following metal nitrides (TiN, TaN), metal carbides/carbo-nitrides (TaC, ,TaCN), metal oxi-(carbo)-nitrides (TaCNO, MoON, WON) or MIPS (one of the above metal electrodes with poly capping layer on top) , and having a same thickness.

Upon thermal annealing the final dielectric on the PMOS area (II) can be either a mix between the cap layer (15) and the host dielectric (11) or a stack consisting of two distinctive layers.

Method 3: cap layer (15) on PMOS and cap layer (15') on NMOS

15

A third method which is a combination of method 1 and method 2 is also provided. The method uses a first high-k cap layer for the NMOS area (I) as in method 1 and a second, different, high-k cap layer for the PMOS area (II) as in method 2. In this embodiment the cap layers are formed selectively on the NMOS (I) and PMOS (II) area respectively. This can be done e.g. by depositing a first cap layer and selectively removing this first cap layer from one area, e.g. NMOS (I), followed by the depositing of a second cap layer and selectively removing this second cap layer from the first cap layer in the other area, e.g. PMOS (II). In this embodiment no implantation is used, the targeted work functions are obtained by using two different cap layers for the NMOS (I) and PMOS (II) area, respectively.

The materials choice for the substrate, the host dielectric (11), the cap layers (15) and the gate electrode are according to method 1 and method 2.

Single FUSI gate electrode - dual dielectric process integration flow

In a particular embodiment, a simplified method for CMOS integration is described. The method is suitable for a wide Vt range, inclusive high performance applications (low Vt). The method uses a high-k cap layer on top of a host dielectric layer on the NMOS devices and a single-phase Ni-rich FUSI electrode formed simultaneously on both NMOS and PMOS devices.

The method takes advantage of the fact that by use of a thin high-k cap layer (e.g., DyO, ScO, LaO) on top of the host gate dielectric, the work function (WF) can be modulated such that low-Vt n-type electrode can also be achieved with a Ni-rich FUSI. The host gate dielectric may for example be one of the following materials: SiO2, SiON or high-k materials such as HfSiON. With high-k dielectric is meant a dielectric having a dielectric constant which is higher than the dielectric constant of SiO2, i.e. higher than 4. The dielectric constant of such high-k dielectric is preferably in the range of 10 to 40, preferably 15 to 30.

Results of an embodiment using a DyO cap layer on the NMOS devices and a single phase Ni-rich FUSI gate electrode are given hereinbelow.

In the CMOS integration flow proposed, the high-k cap layer 15 is selectively removed from the PMOS devices as in Fig. 1-8, and a Ni-rich FUSI phase is afterwards

simultaneously formed for NMOS and PMOS devices. The selective removal of the high-k cap layer and the subsequent photoresist strip make the object of a separate embodiment of this invention.

Further gate work function modulation (for p or n-type devices with Ni-rich FUSI gate electrodes) can be achieved by means of implantation of workfunction-tuning elements into the dielectric layers of devices not covered by a capping layer, such as for example Al for PMOS or P/Yb for NMOS. Pre- and/or post high-k cap deposition nitridation conditions tuning can also be used for further tuning the work function.

A further advantage of the single phase FUSI (Ni-rich) gate electrode for both NMOS and PMOS devices is that it eliminates the potential problems at the boundary between NMOS gate electrode and PMOS gate electrode when a dual-phase FUSI CMOS scheme is used. With a silicide phase, a predetermined type of a particular metal silicide is meant, i.e. metal rich (silicon poor) or metal poor (silicon rich) silicide. In the case of dual-phase FUSI, the length of the interface region between NiSi (NMOS) and Ni-rich (PMOS) gate electrodes can be of concern for very high density applications. In case of the single phase FUSI electrode for both NMOS and PMOS as in embodiments of the present invention, this interface problem is solved.

The use of a Ni-rich phase FUSI for both NMOS and PMOS also leads us to a higher process window for the FUSI CMOS integration process, hence with further advantages for manufacturability.

Experiment

Short channel nFET devices with NiSi or $Ni_{31}Si_{12}$ FUSI gate were fabricated using a self-aligned CMP-based approach. Optimized MOCVD HfSiON (2.3nm) or thermal SiON (2 nm) was deposited as host dielectrics. An ultra-thin DyO cap layer (5Å) was then deposited by AVD® using Dy(EDMDD)3 and O2 precursors at 550°C. MOSCAPs with slant etching SiO2 surface (3-7nm) were used to evaluate the eWF of both NiSi or Ni2Si FUSI with 5 or 10Å DyO.

HfSiON with DyO cap layer

17

From the plot of V_{fb} vs. EOT (Fig.26), it can be seen that with a DyO cap layer the effective WF of Ni FUSI on HfSiON is modulated towards Si conduction band edge, depending on the DyO thickness and the phase of Ni silicide. In Fig.27, an XTEM of FUSI/DyO/HfSiON gate stack indicates the complete intermixing between HfSiON and DyO after full device fabrication. Using high frequency capacitance-voltage (HFCV) measurements (Fig.28), the thickness Tinv of the HfSiON or DyO/HfSiON dielectrics is determined to be ~1.72nm or 1.75nm respectively. Well-behaved short channel devices (Lg= 100nm) drain current versus gate voltage (Id-Vg) curves are demonstrated in Fig.29 with good subtreshold slope (*SS*) of ~70mV/Dec for both HfSiON and DyO/HfSiON devices with NiSi FUSI electrode. In addition, both devices exhibit a similar Drain Induced Barrier Lowering (DIBL) value (~65mV/V), suggesting their good short channel effect. It has been observed that applying the DyO cap results in a threshold voltage (Vt) reduction of the NiSi FUSI devices with 300mV, corresponding to their CV data (Fig.28). In Fig.30, the devices with DyO/HfSiON stack maintain a similar Vt roll-off characteristics to the reference HfSiON devices. The Vt, of the long channel devices (with channel length Lg=1μm) with NiSi/DyO/HfSiON stack is 0.22V, satisfying the low Vt requirement.

It is well known that Ni rich FUSI is a good pFET electrode candidate due to its high work function (WF) especially on HfSiON. It is thus interesting to note that in Fig.30, with a 5Å DyO cap layer, the Vt of $Ni_{21}Si_{12}$ FUSI nFETs turns out to be ~30mV lower than that of NiSi FUSI. In the same figure, if one uses a 1nm DyO cap, the Vt of a Ni2Si FUSI nFET is predicted to be ~0.35V. In combination with N or F channel implantation, this data demonstrates the feasibility to realize low Vt FUSI/HfSiON CMOS using a single phase Ni2Si gate. In Fig.31, no mobility or gate leakage (inversion) degradation is observed when using a DyO cap on HfSiON for all the devices with various Lg.

SiON with DyO cap layer

The XTEM (Fig.32) of DyO/SiON suggests a new DySiON silicate formation after full device fabrication. The extent of WF lowering of Ni FUSI on SiON using DyO cap relies on the cap thickness and silicide phase (inset of Fig.32). From HFCV of nFETs (Fig.33), it is interesting to note the DyO cap leads to a reduction of SiON

thickness Tinv by ~0.8Å, contrasting to the HfSiON case. From Fig.34, it can be seen that the DyO cap significantly reduces the gate leakage J_G (@Vdd=1.1V) compared to SiON (by ~150x) despite of its slightly thinner thickness Tinv. As can be seen from Fig.35, DyO cap does not degrade the threshold voltage (V_t) roll-off characteristics as compared to the reference SiON nFETs. With 5Å DyO cap, the nFET Vt,lin with NiSi/Ni31Si12 FUSI gate is 0.18V/0.38V respectively (channel length Lg=1μm). Considering Fig.32, the Vt of devices with 1nm DyO cap and with Ni2Si FUSI gate is predicted to be ~0.28V. Combining the process of Al pre-doping for p-FETs or channel N/ F implantation, this data shows it is viable to realize low Vt FUSI/SiON CMOS using single phase Ni_2Si gate.

Selective wet etch of the high-k cap layer

In this embodiment , a wet etch solution is proposed that can remove DyO or DyScO based cap layers selectively towards underlying host dielectrics such as HfO, HfSiONx, HfDyOx, HfScOx. Similar oxides from Lanthanides (including LaO) could be selectively removed with the proposed solution as well.

Different materials could be selected as protective mask for the selective removal process. In this specific embodiment photoresist is used as protective mask, since photoresist can be removed with good selectivity towards both the remaining cap layer (15) and the exposed host dielectric (11, 14).

The high-k cap layer (15) is deposited on top of the host dielectric (11). In this way the whole substrate (10) is covered with the high-k cap layer. Photoresist (16) is coated in a standard way. Thereafter the resist (16) is removed from the wafer areas where later on the high-k cap layer (15), e.g. DyO, should be removed. The remaining resist is used as a protective mask for the DyO cap layer (15) etching/removal. The DyO removal chemistry is selected to leave the photoresist (16) protective mask intact so that a good definition/transfer of the resist pattern to the cap layer (15) is ensured and to be selective towards the underlying host dielectric layer (11), because very minor thickness variation can cause big variations in k-value. After the DyO removal, the patterned resist protective layer (16) should be removed. This resist removal process is selected to be selective to the host dielectric material (11) and the high-k cap layer (15).

Higk-k cap layer (DyO) removal

In a specific embodiment use is made of low pH solutions to selectively remove DyO-based cap layers (15) (see Figure 21) from HfO_2, HfSiO, HfSiON or similar high-k layers. Figure 17 shows the etch rate of DyO, DyScO and LaO in acidified solutions.

Acids, such as diluted HCl solutions, have been evaluated but the embodiments described herein are not restricted to the use of HCl based solutions. Other diluted acids can be used such as HNO3, H3PO4, H2SO4, HBr, acetic acid, formic acid, propionic acid.

As an example, the HCl dilution used to demonstrate the concept, was 1 part of HCl in 9 parts of water. This means a concentration of about 3.6 w/w %, or about 1.2 M (mol/l) or a pH of about 0. The useful concentration range can be broader and the pH range should be between pH 0 – pH 5, more preferably between pH 0 – pH 4. In the experiments the temperature was 25°C, but other temperatures will work as well. Lower temperature might decrease the reaction speed, while increased temperatures accelerate the high-k cap layer removal.

Experiments on DyO removal have been done both in beakers and in a commercially available single wafer spray tool. The method should, however, not be limited to these tool types or categories but could also be used in batch spray processors or re-circulating baths.

Diluted HF could also be used to remove DyO (if needed in combination with another acid) but cannot be used in an integration approach in accordance with embodiments of the present invention, since this can cause pattern integrity loss of the resist hardmask and also attacks the underlying host dielectric if Hf-based high-k's are used. HCl and HF/HCl (0.03M / 1.2M) solutions were checked on a single wafer tool with regard to their compatibility with DUV resist. Figure 22 shows the compatibility of DUV (deep ultraviolet) resist with HCl and HF/HCl chemistry. Figure 18(a) shows a cross-section SEM of a non-treated resist feature, i.e. after lithographic patterning and before exposing to wet etchant, 18(b) a HF/HCl treated resist feature, and 18(c) a HCl treated resist feature. It is obvious that after the HF/HCl process, resist pattern loss is

observed. Top-view SEM inspections have also been performed and had the same outcome. This indicates the limited use of HF as etching mixture.

Figure 23 summarizes the etch rates for DyO removal. The etch rate experiments were performed on a single wafer spin processor tool with HCl (3.6 w/w %) at a temperature of 25°C. The recipe sequence was diluted HCl (dHCl) exposure, water rinse, spin dry. As can be observed, the DyO layer is easily removed in dHCl. The etch rate is relatively high and more diluted HCl would decrease the etch rate to a more reliable and manufacturable value, as can be learned from the data shown in Figure 17.

The solution used to remove the DyO should leave the host dielectric layer substantially intact. Different host dielectric layers (HfO2, HfSiON, SiON) were exposed to a diluted HCl (3.6 w/w %) solution at a temperature of 25C. The results are summarized in Figure 24. The tested host dielectric layers remain essentially untouched resulting in excellent selectivities as summarized in Table 1.

Table 1: Selectivity of high-k cap layer removal towards different host dielectrics using 3.7 w-% HCl solution and photoresist hardmask.

	Host dielectric:		
Cap:	HfO_2	SiON	HfSiON
DyO	2000	850	460
DyScO	>3600	>1500	>180

Fig.36 reveals a similar Vfb & Tinv variation by comparing nFETs after selective DyO cap removal to reference wafers (i.e. nFETs with fresh HfSiON or fresh DyO/HfSiON without any selective wet etching process). Regarding to the nFETs with dual gate dielectrics, Fig.37 shows a Vt reduction of ~180mV due to DyO cap layer, consistent with the CV data (Fig.36).

Photoresist removal

The industry standard SPM cleaning solutions cannot be used because they have a very low pH. This is, as learned from the above, ideal to remove DyO which is unwanted in this step.

A neutral or alkaline pH aqueous stripper or a non-aqueous stripping solution is preferably used. In case of a neutral or alkaline pH aqueous stripping solution, an oxidizing component needs to be present to oxidize the photoresist and to solubilize it. In embodiments of the present invention, the use is claimed of organic based solvent strippers. The resist can be dissolved in many solvents and a tentative list includes, but not limited by, 1-methoxy-2-propanol, 2-butanol, Acetonitrile, Acetylaceton, Cyclohexanon, Dimethylsulfoxide (DMSO), Ethylacetaat, Methylisobutylketon (MIBK), N-ethylpyrrolidon (NEP), N-methylpyrrolidon (NMP), Tetrahydrofuran (THF), Tetrahydrofurfurylalcohol (THFA).

Such resist stripper formulations are commercially available (e.g. Microstrip 2001 from Fujifilm). In the present invention, this resist stripper formulation has been used, as an example, it undiluted in a beaker setup and heated at 80°C. Other approaches at higher temperature will probably work as well. The sequence used was Microstrip 2001 dip, 10 minute water rinse and Marangoni dry.

With top view SEM the resist removal rate has been examined and it has been observed that resist was completely removed within 1 minute. To establish a process window, the compatibility of the host dielectric and high-k cap layers with this chemistry was examined. The results for Microstrip 2001 at 80C (beaker set-up) are shown in Figure 25. In a time frame of 20 minutes almost no thickness reduction (loss) is observed for any of the layers tested. Since resist removal is complete in less than 1 minute, this allows enough overetching of the resist without compromising the host dielectric or the high-k cap layer.

The resist removal can be done in a static tank but also in re-circulating baths and on single wafer or batch spray processors. To enhance the resist cleaning efficiency, a physical removal force such as by megasonic irradiation or liquid jet spray (e.g. NanoSpray – thermal spraying of nanostructured materials) can be used during the resist removal process.

In addition, after removal of the resist by an organic solvent, an additional aqueous based (low or alkaline pH) cleaning solution can be used to further remove residual contamination from either the resist or the solvent from the wafer surface. Such an aqueous based cleaning solution can comprise of $NH_4OH/H_2O_2/H_2O$ mixtures at

room temperature or elevated temperature. This can be done in a static tank but also in re-circulating baths and on single wafer or batch spray processors. To enhance the cleaning efficiency, a physical removal force such as by megasonic irradiation or liquid jet spray (e.g. NanoSpray) can also be used during this process.

The foregoing description details certain embodiments of the invention. It will be appreciated, however, that no matter how detailed the foregoing appears in text, the invention may be practiced in many ways. It should be noted that the use of particular terminology when describing certain features or aspects of the invention should not be taken to imply that the terminology is being re-defined herein to be restricted to including any specific characteristics of the features or aspects of the invention with which that terminology is associated.

While the above detailed description has shown, described, and pointed out novel features of the invention as applied to various embodiments, it will be understood that various omissions, substitutions, and changes in the form and details of the device or process illustrated may be made by those skilled in the technology without departing from the spirit of the invention.

Claims

1.- Method for manufacturing a dual workfunction semiconductor device, comprising providing a device on a first region and a device on a second region of a substrate by

- providing a dielectric layer onto the first and second region of the substrate, the dielectric layer on the first region being integrally deposited with the dielectric layer on the second region, and

- providing a gate electrode on top of the dielectric layer on both the first and second regions, the gate electrode on the first region being integrally deposited with the gate electrode on the second region and both the gate electrode on the first region and the gate electrode on the second region having a workfunction,

the method further comprising

changing the workfunction of the gate electrode on the first region by providing a capping layer onto the first region between the dielectric layer and the gate electrode and not onto the second region, and

changing the workfunction of the gate electrode on the second region by implanting species to introduce these species at the interface between the dielectric layer and the gate electrode in the second region and not in the first region.

2- Method according to claim 1, wherein the device on the first region is an N-MOS device.

3.- Method according to any of the previous claims, wherein the device on the second region is a P-MOS device.

4.- Method according to any of the previous claims, wherein implanting species at the interface between the dielectric layer and the gate electrode is performed before providing the gate electrode on top of the dielectric layer.

5.- Method according to any of claims 1 to 3, wherein implanting species at the interface between the dielectric layer and the gate electrode is performed after gate electrode formation.

6.- Method according to any of the previous claims, wherein implanting species comprises providing a resist layer on specific locations of the dielectric layer, and performing ion implantation in regions not covered by the resist layer.

7.- Method according to any of the previous claims, wherein providing a capping layer is performed by providing a DyOx capping layer.

8.- Method according to claim 7, furthermore comprising removing the capping layer by means of a selective wet etch

9.- Method according to claim 8, wherein the selective wet etch is performed by means of a low-pH solution with a pH lower than 5.

10.- Method according to any of the previous claims, wherein the gate electrode is a FUSI gate electrode.

11.- A dual workfunction semiconductor device, comprising devices of a first type and devices of a second type, each device comprising:

- a gate dielectric on a substrate, and
- a gate electrode on the gate dielectric, the gate electrode having a workfunction,

wherein the gate electrodes of the devices of the first type are integrally made with the gate electrodes of the devices of the second type, and wherein the gate dielectric of the devices of the first type is integrally made with the gate dielectric of the devices of the second type and wherein the dual workfunction semiconductor device furthermore comprises a capping layer in between the dielectric layer and the gate electrode of the devices of the first type and not in devices of the second type and implanted species at the interface between the dielectric layer and the gate electrode of the devices of the second type and not of the first type.

25

ABSTRACT

METHODS FOR MANUFACTURING A CMOS DEVICE WITH DUAL WORK FUNCTION

The present invention provides a method for manufacturing a dual workfunction semiconductor device. The method comprises providing a device on a first region and a device on a second region of a substrate. According to embodiments of the present invention, this is done by

- providing a dielectric layer onto the first and second region of the substrate, the dielectric layer on the first region being integrally deposited with the dielectric layer on the second region, and
- providing a gate electrode (17) on top of the dielectric layer on both the first and second regions, the gate electrode on the first region being integrally deposited with the gate electrode on the second region.

The method according to embodiments of the first aspect of the present invention further comprises

changing the workfunction of the device on the first region by providing a capping layer (15) onto the first region (I) between the dielectric layer and the gate electrode (17), and

changing the workfunction of the device on the second region (II) by including species at the interface between the dielectric layer (14) and the electrode (17).

A corresponding dual workfunction semiconductor device is also provided.

+ Fig. 20

1/10

Fig. 1

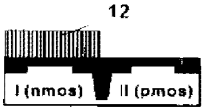

Fig. 2


Fig. 3


Fig. 4

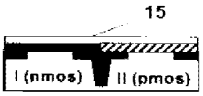

Fig. 5


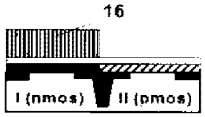
Fig. 6


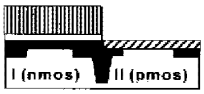
Fig. 7


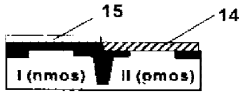
Fig. 8


Fig. 9

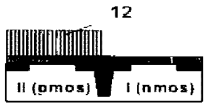

Fig. 10


Fig. 11


Fig. 12

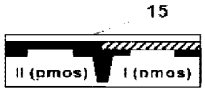

Fig. 13


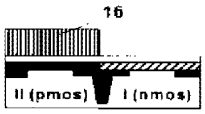
Fig. 14


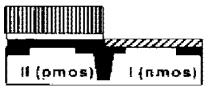
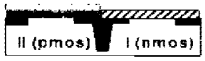
Fig. 15


Fig. 16


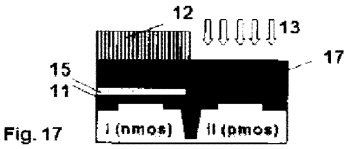


Fig. 17

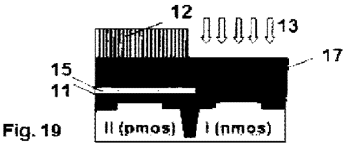


Fig. 19



Fig. 18



Fig. 20

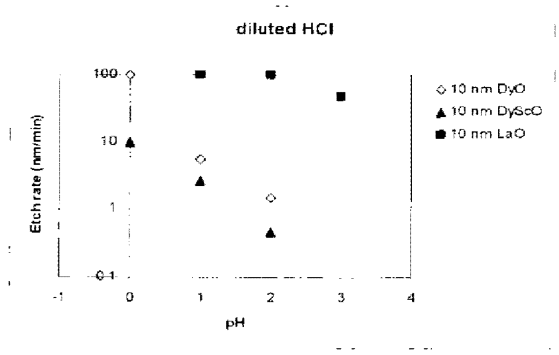


Figure 21

3/10

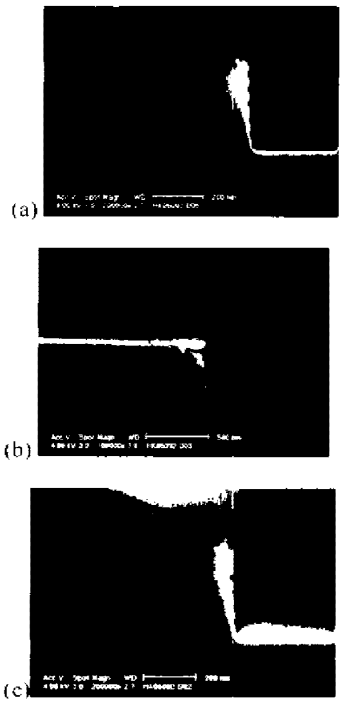


Figure 22

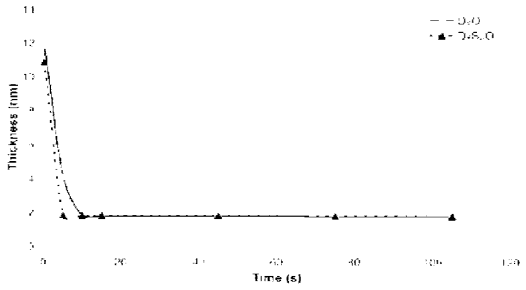


Figure 23

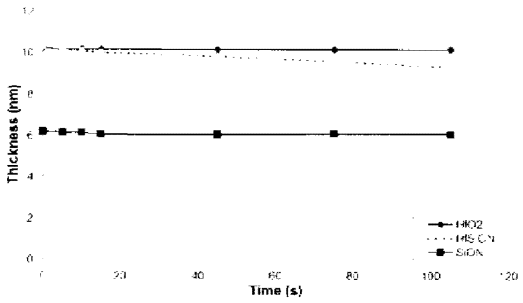


Figure 24

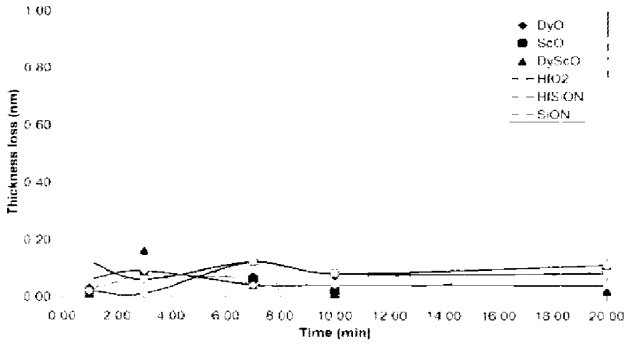


Figure 25

5/10

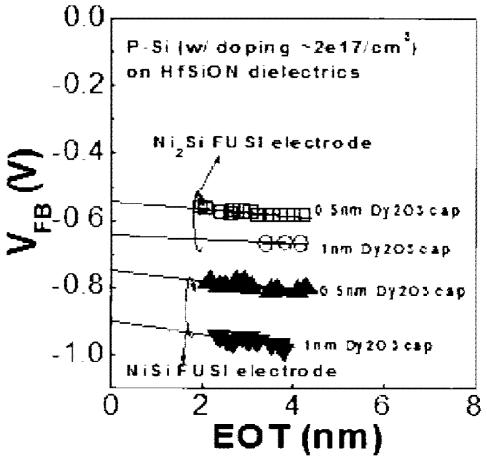


Figure 26

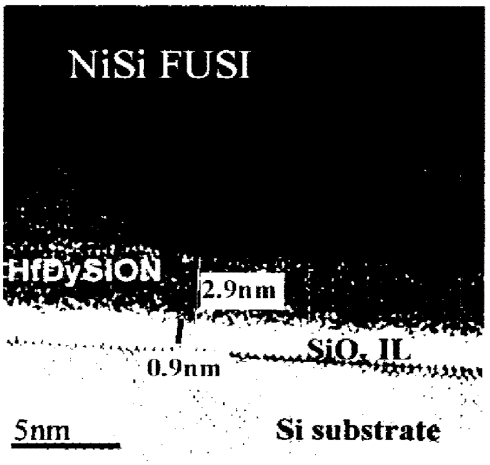


Figure 27

6/10

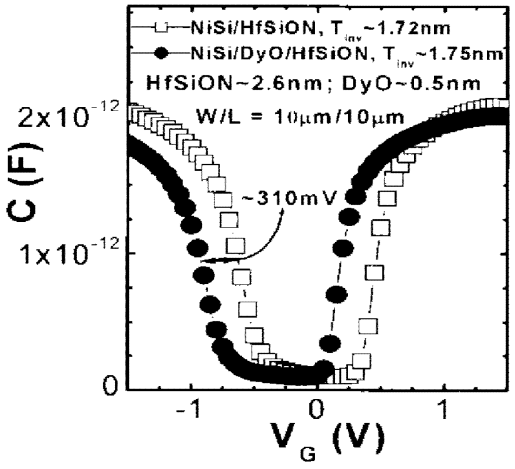


Figure 28

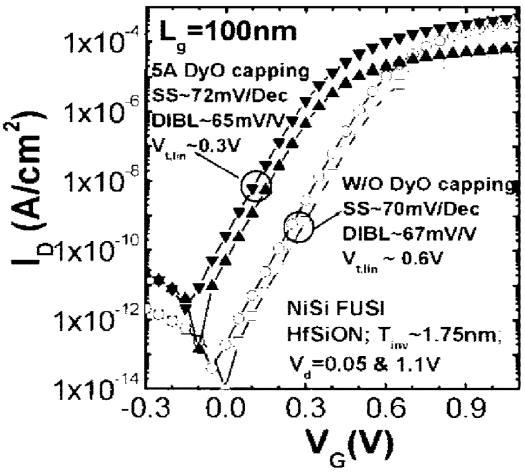


Figure 29

7/10

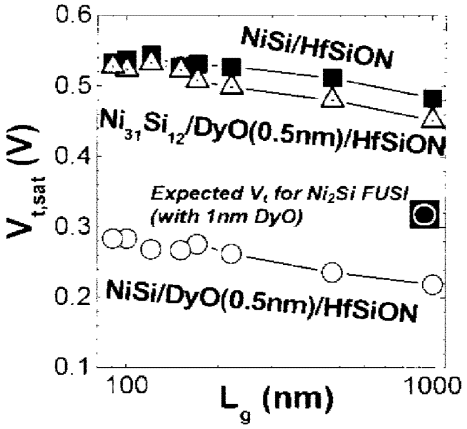


Figure 30

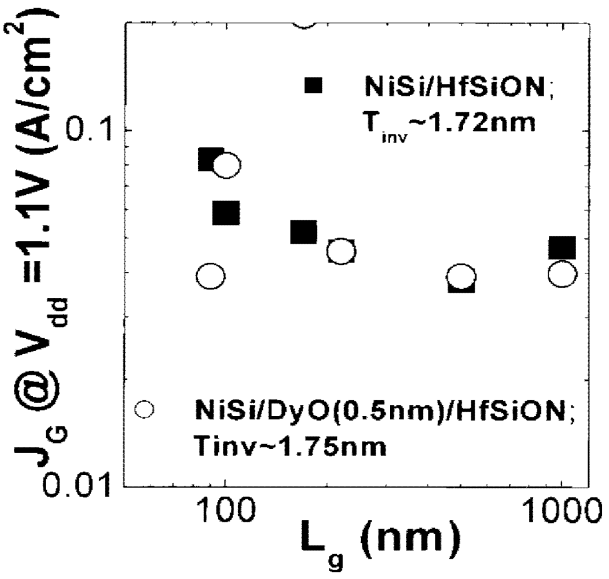


Figure 31

8/10

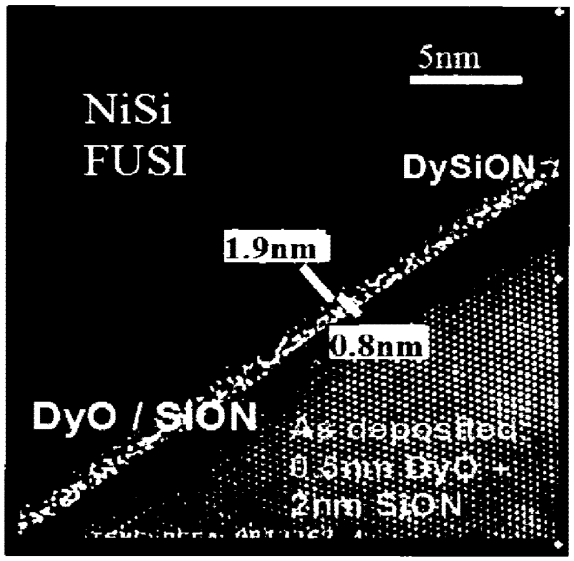


Figure 32

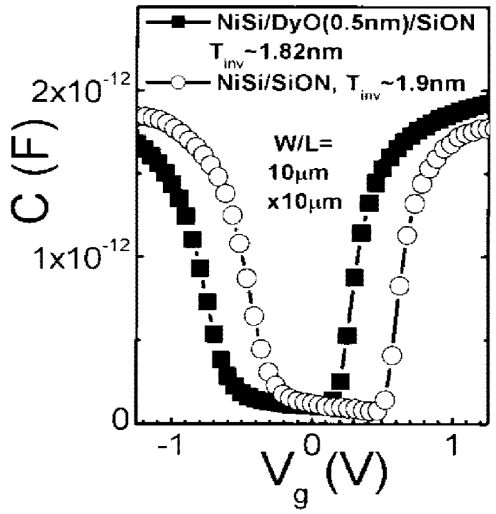


Figure 33

9/10

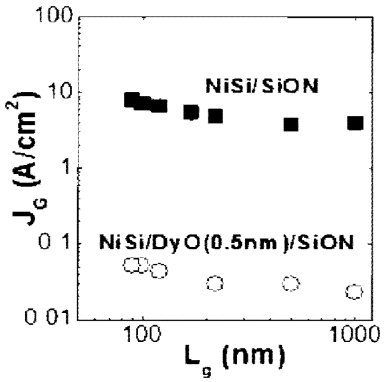


Figure 34

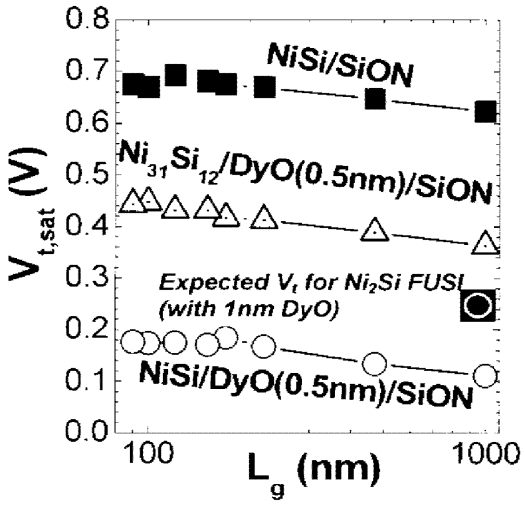


Figure 35

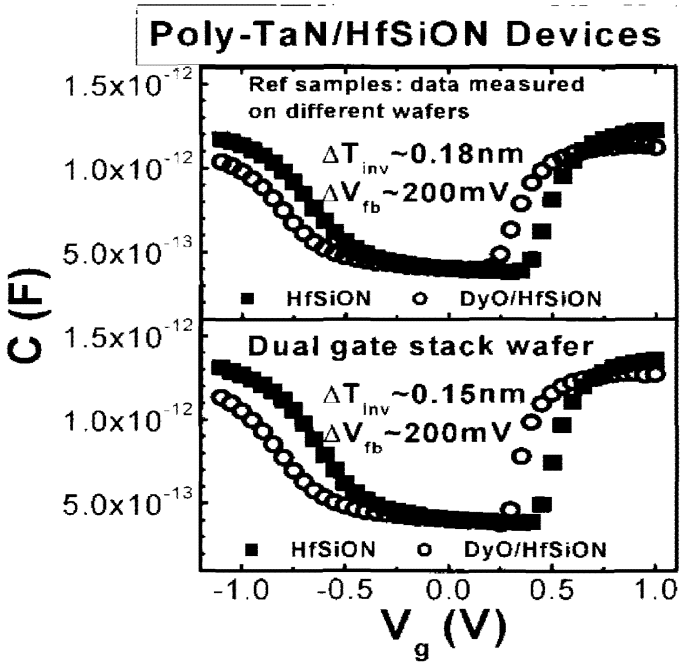

Poly-TaN/HfSiON Devices
Ref samples: data measured on different wafers
ΔT_inv~0.18nm
ΔV_fb~200mV
HfSiON
DyO/HfSiON
Dual gate stack wafer
ΔT_inv~0.15nm
ΔV_fb~200mV
HfSiON
DyO/HfSiON
C (F)
1.5x10^-12
1.0x10^-12
5.0x10^-13
-1.0
-0.5
0.0
0.5
1.0
V_g (V)

Fig. 36

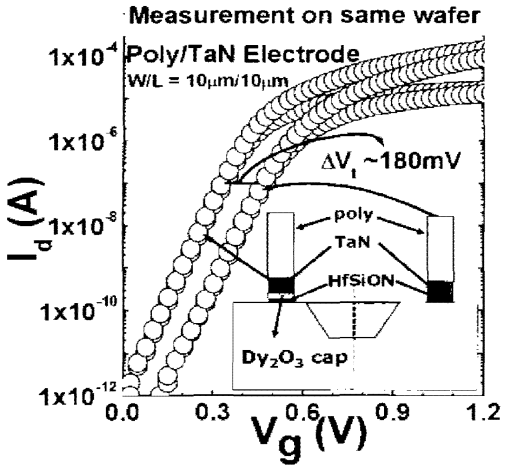

Measurement on same wafer
Poly/TaN Electrode
W/L = 10μm/10μm
ΔV_t ~180mV
poly
TaN
HfSiON
Dy2O3 cap
I_d (A)
1x10^-4
1x10^-6
1x10^-8
1x10^-10
1x10^-12
0.0
0.3
0.6
0.9
1.2
V_g (V)

Fig. 37

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報（Ａ）**　(11)特許出願公開番号
特開2000－174135
（P2000－174135A）
(43)公開日　平成12年６月23日(2000.6.23)

(51)Int.Cl.⁷	識別記号	ＦＩ		テーマコード（参考）
Ｈ０１Ｌ　21/8238		Ｈ０１Ｌ　27/08	３２１Ｃ	５Ｆ０４０
27/092		29/78	３０１Ｃ	５Ｆ０４８
29/78				

審査請求　未請求　請求項の数４　ＯＬ　（全 10 頁）

(21)出願番号　特願平10－346837

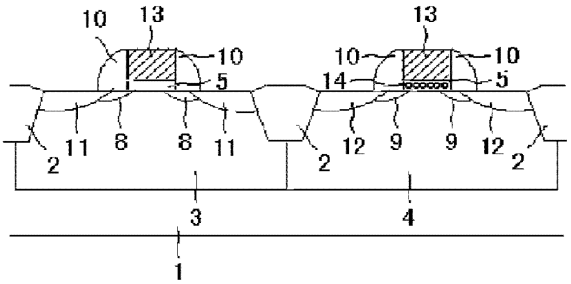
(22)出願日　平成10年12月７日(1998.12.7)

(71)出願人　000006013
三菱電機株式会社
東京都千代田区丸の内二丁目２番３号
(72)発明者　白畑　正芳
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内
(72)発明者　北澤　雅志
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内
(74)代理人　100082175
弁理士　高田　守　（外１名）

最終頁に続く

(54)【発明の名称】　半導体装置及びその製造方法

(57)【要約】
【課題】　ゲート酸化膜内に固定電荷を形成することにより、シングルゲート構造で、かつＮ、Ｐ両方の型のトランジスタが表面チャネル型である半導体装置およびその製造方法を提供する。
【解決手段】　ゲート電極に接続された電極とＮウェル上のＮ⁺領域に接続された電極との間に電位をかけ、基板から電子を高エネルギーで注入し、ゲート酸化膜内にマイナスの固定電荷を１Ｅ１１ｃｍ$^{-2}$～1Ｅ１４ｃｍ$^{-2}$の範囲で形成する。これにより、シングルゲートを用いてかつ、表面チャネル型のＭＯＳＦＥＴで適正なＶｔｈが得られるので、デュアルゲートの問題点である、プロセスフローの複雑さ、エッチングレートが異なることによる残さやエッチング突き抜け、またはホウ素の突き抜けによるゲート酸化膜の信頼性の低下等を避けることができる。



14:固定電荷（－）

【特許請求の範囲】
【請求項１】　第一導電型の半導体基板と、
前記第一導電型の半導体基板の表面に形成された第一導電型のウェルと、
前記第一導電型の半導体基板の表面に形成された第二導電型のウェルと、
前記第一導電型のウェルと前記第二導電型のウェルとに亘って熱酸化により形成されたゲート誘電膜と、
前記ゲート誘電膜上に形成された第二導電型の多結晶シリコン層と、
前記第二導電型の多結晶シリコン層をエッチングして形成されたゲートと、
前記ゲートにＣＶＤ酸化膜により形成されたサイドウォールと、
前記ゲート誘電膜中の第二導電型の固定電荷とを備えたことを特徴とする半導体装置。
【請求項２】　第一導電型の半導体基板の表面にトレンチ分離を形成する工程と、
前記トレンチ分離領域と第一導電型のウェルおよび第二導電型のウェルよりなる活性領域とを形成する工程と、
前記分離領域と前記活性領域とに亘って熱酸化によりゲート誘電膜を形成する工程と、
前記ゲート誘電膜上に第二導電型の多結晶シリコン層を形成する多結晶シリコン層形成工程と、
前記第二導電型の多結晶シリコン層をエッチングしてゲートを形成する工程と、
ＣＶＤ酸化膜によりサイドウォールをゲートに形成するサイドウォール形成工程と、
ゲートと第二導電型のウェルとの間に電位をかけ、基板から第二導電型の電荷を高エネルギーで注入し、前記ゲート誘電膜内に第二導電型の固定電荷を形成する工程とを備えたことを特徴とする半導体装置の製造方法。
【請求項３】　前記多結晶シリコン層形成工程の後に、前記第一導電型のウェル側の第二導電型の多結晶シリコン層上にレジストマスクを残し、前記第二導電型のウェル側の第二導電型の多結晶シリコン層上にホウ素をドープする工程をさらに備え、
前記サイドウォール形成工程の後に、熱処理を施して、前記第一導電型のウェル側の多結晶シリコン層中のホウ素をゲート誘電膜中に拡散させて、第二導電型の固定電荷を形成する工程をさらに備えたことを特徴とする請求項２記載の半導体装置の製造方法。
【請求項４】　前記多結晶シリコン層形成工程は、前記ゲート誘電膜上に第一導電型の多結晶シリコン層を形成し、前記多結晶シリコン層形成工程の後に、前記第一導電型のウェル側の前記第一導電型の多結晶シリコン層上に紫外線を照射して、前記第一導電型のウェル側のゲート誘電膜内に第一導電型の固定電荷を形成する工程をさらに備えたことを特徴とする請求項２記載の半導体装置の製造方法。

【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は、半導体装置、特にＣＭＯＳ構造の半導体装置およびその製造方法に関する。
【０００２】
【従来の技術】近年の半導体デバイスの高集積化、微細化に伴い、その構成要素であるＭＯＳＦＥＴのゲート長が短くなり、０．２μｍ以下のゲート長のトランジスタが使われるに至っている。従来のＣＭＯＳ構造では、Ｎチャネル側が表面チャネル型、Ｐチャネル側が埋め込みチャネル型のトランジスタが用いられてきた。しかし、ゲート長が短くなるにつれて、ショートチャネル特性が顕著に表れる埋め込みチャネル型は低しきい電圧（Ｖｔｈ）化が困難になってきたため、Ｐチャネル側も表面チャネル型のＭＯＳＦＥＴが用いられるようになった。この結果、ゲートにN型とＰ型の両方を用いるデュアルゲート構造がとられるようになった。
【０００３】図２４から図２９は、デュアルゲート構造を用いた従来の半導体装置の製造方法を示す。以下、図２４から図２９にしたがって、順に従来の半導体装置の製造フローを説明する。図２４に示すように、Ｐ型シリコン基板１の表面にトレンチ分離２を形成し、分離領域２とその他の活性領域３，４とに分ける。写真製版とイオン注入により、活性領域であるＰウェル３、Ｎウェル４を形成する。図２５に示すように、熱酸化によりゲート酸化膜５を分離領域２と活性領域３、４の上に亘って形成し、続いてゲート酸化膜５の上にノンドープ多結晶シリコン層１５を形成する。図２６に示すように、写真製版によりＮウェル４側のノンドープ多結晶シリコン層１５上にレジストマスク１６を残す。Ｐウェル３側のノンドープ多結晶シリコン層１５上に燐Ｐ１８を３０ＫｅＶ、２Ｅ１５ｃｍ$^{-2}$の注入条件でドープし、この領域のノンドープ多結晶シリコン層１５をN型多結晶シリコン層６にする。図２７に示すように、写真製版によりＰウェル３側のノンドープ多結晶シリコン層１５上にレジストマスク１６を残す。Ｎウェル４側のノンドープ多結晶シリコン層１５上にホウ素Ｂ１９を２０ＫｅＶ、２Ｅ１５ｃｍ$^{-2}$の注入条件でドープし、この領域のノンドープ多結晶シリコン層１５をＰ型多結晶シリコン層７にする。この後、ゲートのパターニングのため再び写真製版を行い、レジストマスクを用いて、ゲートをエッチングする。図２８は、ゲートをエッチングした後の状態を示す。図２８において、ＮチャネルＭＯＳＦＥＴ側のゲートはN型多結晶シリコン層６（ゲート電極６）と酸化膜５（ゲート酸化膜）で構成され、ＰチャネルＭＯＳＦＥＴ側のゲートはＰ型多結晶シリコン層７（ゲート電極７）と酸化膜５（ゲート酸化膜）で構成されている。次に図２８に示すように、ＮチャネルＭＯＳＦＥＴのＬＤＤ（Lightly Doped Drain）領域８（Ｎ$^{-}$）、Ｐチャネル

ＭＯＳＦＥＴのＬＤＤ領域９（Ｐ⁻）を写真製版とイオン注入によりそれぞれ形成する。図２９に示すように、ＣＶＤ酸化膜によりサイドウォール１０を各チャネル側のゲートに形成し、ＮチャネルＭＯＳＦＥＴのＮ⁺ソース・ドレイン領域１１、ＰチャネルＭＯＳＦＥＴのＰ⁺ソース・ドレイン領域１２を、写真製版とイオン注入によりそれぞれ形成する。

【０００４】上述のように従来の表面チャネル型ＰＭＯＳＦＥＴによるデュアルゲート構造を用いた半導体装置の製造方法では、ゲート形成時に、ノンドープ多結晶シリコンをデポ（deposit）した後、マスクをかけ、イオン注入によりＮ型とＰ型とするため、写真製版とイオン注入の工程が増えて複雑になる。また注入による多結晶シリコンは、デポ時にＰをドープするドープト多結晶シリコンと比較して不純物ドープ量が不十分であるため、結果としてゲートの空乏化を引き起こす。さらにゲートエッチング時において、Ｎ型とＰ型の多結晶シリコンのエッチングレートに差があるため、シリコンが残ったり、あるいはエッチングがゲート酸化膜で止まらずに下地の基板までエッチングしてしまう突き抜けが起こったりして、加工を困難にしている。Ｐ型の多結晶シリコンとするためにドープしたホウ素Ｂが、その後の熱処理でゲート酸化膜を突き抜けて酸化膜信頼性を損なうというホウ素Ｂの突き抜け現象という問題も生じる。

【０００５】以上のことから、ゲート構造は同一多結晶シリコン上にＮ型、Ｐ型を形成するデュアルゲート構造ではなく、どちらか一方の不純物をドープしたシングルゲート構造が望ましい。しかし、このシングルゲート構造を用いて半導体装置を製造する場合、片方の型のＭＯＳＦＥＴは埋め込みチャネル型にしなければＶｔｈが高くなりすぎてしまうが、一方埋め込みチャネル型にするとショートチャネル特性が顕著になってしまうという問題があった。

【０００６】図３０から図３５は、上述のシングルゲート構造で表面チャネル型を用いた場合、しきい電圧Ｖｔｈが高くなる理由をＰチャネル型を例にして説明している。図３０は、デュアルゲート構造に相当するＮウェルに対して、Ｐ型多結晶シリコンを用いた場合の深さ方向のエネルギー・バンド図を示しており、特にフラットバンド状態を示している。図３０では、ホール（正孔）に対するエネルギーを上になるように座標軸を設定しており、Ｅｖは価電子帯、Ｅcは伝導帯、Ｅｆはフェルミレベル、Ｅｉは真性電位、Ｖｇはゲート電位を示す。図３０のフラットバンド状態ではフェルミレベルＥｆとゲートの電位Ｖｇとの間に差がある。これはウェルがＮウェルなのでフェルミレベルＥｆが伝導帯近くにあり、ゲートがＰ型なのでゲート電位Ｖｇが価電子帯に近いところに存在するためである。図３１はＶｇ＝0Ｖの場合のエネルギー・バンド図を示す。図３０に示すようにフラットバンド状態ではフェルミレベルＦｅとゲート電位Ｖｇとの間に差があったため、図３１に示すように、この差がなくなるようにエネルギー・バンドが曲がる。そのためＶｇ＝0Ｖでもエネルギー・バンドはチャネルがＯＮする方向、すなわち反転してチャネルができる方向に曲がっている。図３２は、Ｖｇ＝Ｖｔｈの場合のエネルギー・バンド図を示す。図３１に示すようにＶｇ＝0Ｖでもバンドがオンする方向に曲がっていたため、図３２に示すように、チャネルをＯＮさせるのに必要なＶｔｈは０．６Ｖ程度となる。次にシングルゲートに相当する、ＮウェルにＮ型多結晶シリコンを用いた場合を説明する。図３３は、フラットバンド状態を示している。図３３に示すように、ゲートもＮ型なのでゲート電位Ｖｇがウェルのフェルミレベルに近い伝導帯付近にくる。従って、図３４のＶｇ＝0Ｖの場合のエネルギー・バンド図はフラットバンド状態とほとんど変わらず、エネルギー・バンドが曲がっていない。図３５はＶｇ＝Ｖｔｈの場合のエネルギー・バンド図を示す。図３４に示すように元々Ｖｇ＝0Ｖでフラットバンドに近かったため、図３５に示すように、反転キャリアを誘起するのに必要なゲート電圧Ｖｇは、Ｐ型多結晶シリコンを用いた場合と比較して０．８Ｖ近く高くなり、Ｖｔｈは１．４Ｖ前後となる。このようにＮ型多結晶シリコンを用いて表面Ｐチャネル型ＭＯＳＦＥＴを形成するとしきい電圧が高くなってしまうという問題があった。

【０００７】

【発明が解決しようとする課題】上述のように、シングルゲート構造を用いて半導体装置を製造する場合、片方の型のＭＯＳＦＥＴは埋め込みチャネル型にしなければＶｔｈが高くなりすぎてしまうが、一方埋め込みチャネル型にするとショートチャネル特性が顕著になってしまうという問題があった。一方シングルゲート構造でＮ型多結晶シリコンを用いて表面Ｐチャネル型ＭＯＳＦＥＴを形成すると、しきい電圧が高くなってしまうという問題があった。そこで、本発明の目的は、上記問題を解決するためになされたものであり、ゲート酸化膜内に固定電荷を形成することにより、シングルゲート構造で、かつＮ、Ｐ両方の型のトランジスタが表面チャネル型である半導体装置およびその製造方法を提供することにある。

【０００８】

【課題を解決するための手段】この発明の半導体装置は、第一導電型（好適には、ｐ型）の半導体基板と、前記第一導電型（好適には、ｐ型）の半導体基板の表面に形成された第一導電型（好適には、ｐ型）のウェルと、前記第一導電型（好適には、ｐ型）の半導体基板の表面に形成された第二導電型（好適には、ｎ型）のウェルと、前記第一導電型（好適には、ｐ型）のウェルと前記第二導電型（好適には、ｎ型）のウェルとに亘って熱酸化により形成されたゲート誘電膜と、前記ゲート誘電膜上に形成された第二導電型（好適には、ｎ型）の多結晶

シリコン層と、前記第二導電型（好適には、n型）の多結晶シリコン層をエッチングして形成されたゲートと、前記ゲートにCVD酸化膜により形成されたサイドウォールと、前記ゲート誘電膜中の第二導電型（好適には、n型）の固定電荷とを備えたものである。この発明の半導体装置の製造方法は、第一導電型（好適には、p型）の半導体基板の表面にトレンチ分離を形成する工程と、前記トレンチ分離領域と第一導電型（好適には、p型）のウェルおよび第二導電型（好適には、n型）のウェルよりなる活性領域とを形成する工程と、前記分離領域と前記活性領域とに亘って熱酸化によりゲート誘電膜を形成する工程と、前記ゲート誘電膜上に第二導電型（好適には、n型）の多結晶シリコン層を形成する多結晶シリコン層形成工程と、前記第二導電型（好適には、n型）の多結晶シリコン層をエッチングしてゲートを形成する工程と、CVD酸化膜によりサイドウォールをゲートに形成するサイドウォール形成工程と、ゲートと第二導電型（好適には、n型）のウェルとの間に電位をかけ、基板から第二導電型（好適には、n型）の電荷を高エネルギーで注入し、前記ゲート誘電膜内に第二導電型（好適には、n型）の固定電荷を形成する工程とを備えたものである。ここで、この発明の半導体装置の製造方法は、前記多結晶シリコン層形成工程の後に、前記第一導電型（好適には、p型）のウェル側の第二導電型（好適には、n型）の多結晶シリコン層上にレジストマスクを残し、前記第二導電型（好適には、n型）のウェル側の第二導電型（好適には、n型）の多結晶シリコン層上にホウ素をドープする工程をさらに備え、前記サイドウォール形成工程の後に、熱処理を施して、前記第一導電型（好適には、p型）のウェル側の多結晶シリコン層中のホウ素をゲート誘電膜中に拡散させて、第二導電型（好適には、n型）の固定電荷を形成する工程をさらに備えることができるものである。ここで、この発明の半導体装置の製造方法は、前記多結晶シリコン層形成工程は、前記ゲート誘電膜上に第一導電型（好適には、p型）の多結晶シリコン層を形成し、前記多結晶シリコン層形成工程の後に、前記第一導電型（好適には、p型）のウェル側の前記第一導電型（好適には、p型）の多結晶シリコン層上に紫外線を照射して、前記第一導電型（好適には、p型）のウェル側のゲート誘電膜内に第一導電型（好適には、p型）の固定電荷を形成する工程をさらに備えることができるものである。

【0009】

【発明の実施の形態】以下、図面を参照して、本発明の実施の形態を詳細に説明する。

【0010】実施の形態1．図1から図6は、本発明の実施の形態1によるCMOS構造の半導体装置の製造方法を示す。以下、本発明の製造プロセスフローを順に説明する。図1に示すように、P型シリコン基板1（半導体基板）の表面にトレンチ分離領域2を形成し、トレンチ分離領域2とその他の活性領域3、4とに分ける。写真製版とイオン注入により、活性領域Pウェル3、Nウェル4を形成する。図2に示すように、熱酸化によりゲート酸化膜5（誘電膜）を分離領域2と活性領域3、4に亘って形成し、続いてゲート酸化膜5上にPドープ多結晶シリコン層13を形成する。図3に示すように写真製版を行い、レジストマスクを用いて、ゲートをエッチングする。そしてNチャネルMOSFETのLDD領域8（N^-）、PチャネルMOSFETのLDD領域9（P^-）を写真製版とイオン注入によりそれぞれ形成する。図3において、NチャネルMOSFET側のゲートはPドープ多結晶シリコン層13（ゲート電極13）とゲート酸化膜5で構成され、PチャネルMOSFET側のゲートはPドープ多結晶シリコン層13（ゲート電極13）とゲート酸化膜5で構成されている。図4に示すように、CVD酸化膜によりサイドウォール10を両側のゲート電極13とゲート酸化膜5に形成し、NチャネルMOSFETのN^+ソース・ドレイン領域11、PチャネルMOSFETのP^+ソースードレイン領域12を写真製版とイオン注入によりそれぞれ形成する。図5に示すように、ゲート電極13に接続された電極30とNウェル4上のN^+領域に接続された電極32との間に電位をかけ、基板1から電子を高エネルギーで注入し、ゲート酸化膜5内にマイナスの固定電荷14を$1E11cm^{-2}$～$1E14cm^{-2}$の範囲で形成する。図6は、以上の製造フローにより完成された、シングルドレイン構造でNチャネルMOSFET、PチャネルMOSFETTとも表面チャネル型のCMOS構造の半導体装置を示す。

【0011】図7から図9は、本実施の形態1によりN型ドープ多結晶シリコンに表面チャネル型PMOSFETを形成してもVthが高くならない理由をエネルギー・バンド図を用いて説明する。図7は、フラットバンド状態を示す。図7に示すように、ゲート酸化膜5中の固定電荷14のために、Nウェル4のエネルギー・バンドはフラットであってもゲート酸化膜5の中は電位差を持っている。したがって、ゲート電極13の電位とNウェル4のフェルミエネルギーEfとの間には電位差がある。図8は、Vg=0Vの場合のエネルギー・バンドの曲がりを示す。図8に示すように、マイナスの固定電荷14のために、エネルギー・バンドがチャネルがONする方向へ曲げられている。図9は、Vg=Vthの場合のエネルギー・バンド図を示している。図8に示すようにVg=0Vでチャネルが ONする方向へエネルギー・バンドが曲げられていたため、図9に示すように、しきい値までにかけるゲート電位Vgは低くてすみ、0．6V程度のVthが得られる。

【0012】以上より、実施の形態1によれば、シングルゲートを用いてかつ、表面チャネル型のMOSFETで適正なVthが得られるので、デュアルゲートの問題

点である、プロセスフローの複雑さ、エッチングレートが異なることによる残さやエッチング突き抜け、ホウ素の突き抜けによるゲート酸化膜の信頼性の低下等を避けることができる。さらに、表面チャネル型ＭＯＳＦＥＴを用いることができるので、埋め込みチャネル型ＭＯＳＦＥＴよりも低Ｖｔｈを実現できる。実施の形態１では、Ｎ型ドープト多結晶シリコンを用いて、Ｐチャネル型ＭＯＳＦＥＴ上の酸化膜内にマイナス固定電荷を形成する場合について説明しているが、Ｐ型ドープト多結晶シリコンを用いて、Ｎチャネル型ＭＯＳＦＥＴ上の酸化膜内にプラス固定電荷を形成しても、同じ効果が得られる。

【００１３】実施の形態２．図１０から図１５は、本発明の実施の形態２によるＣＭＯＳ構造の半導体装置の製造方法を示している。以下、本実施の形態２のプロセスフローを順に説明する。図１０に示すように、Ｐ型シリコン基板１の表面にトレンチ分離２を形成し、分離領域２とその他の活性領域３、４とに分ける。写真製版とイオン注入により、活性領域Ｐウェル３、Ｎウェル４を形成する。図１１に示すように、熱酸化によりゲート酸化膜５を分離領域２と活性領域３、４に亘って形成し、続いてゲート酸化膜５上にＰドープ多結晶シリコン層１３を形成する。図１２に示すように、写真製版によりＰウェル３領域側のＰドープ多結晶シリコン層１３上にレジストマスク１６を残す。Ｎウェル４側のＰドープ多結晶シリコン層１３上にホウ素２０を３０ＫｅＶ、５Ｅ１４cm^{-2}の注入条件でドープし、この領域のＰドープ多結晶シリコン層１３内にＢを含ませる。ただし、Ｂ濃度はもともとのＰドープ濃度よりは低く、Ｐ型になることはないようにする。図１３に示すように写真製版を行い、レジストマスクを用いて、ゲートをエッチングする。そしてＮチャネルＭＯＳＦＥＴのＬＤＤ領域８（N^-）、ＰチャネルＭＯＳＦＥＴのＬＤＤ領域９（P^-）を写真製版とイオン注入によりそれぞれ形成する。図１３において、ＮチャネルＭＯＳＦＥＴ側のゲートはＢを含むＰドープ多結晶シリコン層１３（ゲート電極１３）とゲート酸化膜５で構成され、ＰチャネルＭＯＳＦＥＴ側のゲートはＢを含むＰドープ多結晶シリコン層１３（ゲート電極１３）とゲート酸化膜５で構成されている。図１４に示すように、ＣＶＤ酸化膜によりサイドウォール１０を両側のゲート電極１３とゲート酸化膜５に形成し、ＮチャネルＭＯＳＦＥＴのN^+ソース・ドレイン領域１１、ＰチャネルＭＯＳＦＥＴのP^+ソースドレイン領域１２を写真製版とイオン注入によりそれぞれ形成する。次に熱処理を８００℃、２０分施して、ＰチャネルＭＯＳＦＥＴ領域側の多結晶シリコン層１３中のＢがゲート酸化膜５中に拡散し、マイナス固定電荷１４を形成するようにする。図１５は、以上の製造フローにより完成した、シングルゲート構造でＮチャネルＭＯＳＦＥＴ、ＰチャネルＭＯＳＦＥＴとも表面チャネル型のＣＭＯＳ構造の半導体装置を示す。

【００１４】以上より、実施の形態２によれば、シングルゲートを用いてかつ、表面チャネル型のＭＯＳＦＥＴで適正なＶｔｈが得られるので、デュアルゲートの問題点である、プロセスフローの複雑さ、エッチングレートが異なることによる残さやエッチング突き抜け等を避けることができる。さらに、表面チャネル型ＭＯＳＦＥＴを用いることができるので、埋め込みチャネル型ＭＯＳＦＥＴよりも低Ｖｔｈを実現できる。

【００１５】実施の形態３．図１６から図２０は、本発明の実施の形態３によるＣＭＯＳ構造の半導体装置の製造方法を示している。以下、本実施の形態３のプロセスフローを順に説明する。図１６に示すように、Ｐ型シリコン基板１の表面にトレンチ分離２を形成し、分離領域２とその他の活性領域３、４とに分ける。写真製版とイオン注入により、活性領域Ｐウェル３、Ｎウェル４を形成する。図１７に示すように、熱酸化によりゲート酸化膜５を分離領域２と活性領域３、４に亘って形成し、続いてゲート酸化膜５上にＢドープ多結晶シリコン層２１を形成する。図１８に示すように、写真製版によりＮウェル４側の領域のＢドープ多結晶シリコン層２１上にレジストマスク１６を残す。Ｐウェル３側のＢドープ多結晶シリコン層２１上に紫外線２２を照射し、この領域のゲート酸化膜５内にプラスの固定電荷２３を形成する。図１９に示すように写真製版を行い、レジストマスクを用いて、ゲートをエッチングする。そしてＮチャネルＭＯＳＦＥＴのＬＤＤ領域８（N^-）、ＰチャネルＭＯＳＦＥＴのＬＤＤ領域９（P^-）を写真製版とイオン注入によりそれぞれ形成する。図１９において、ＮチャネルＭＯＳＦＥＴ側のゲートはＢドープ多結晶シリコン層２１（ゲート電極２１）とゲート酸化膜５で構成され、ＰチャネルＭＯＳＦＥＴ側のゲートはＢドープ多結晶シリコン層２１（ゲート電極２１）とゲート酸化膜５で構成されている。図２０に示すように、ＣＶＤ酸化膜によりサイドウォール１０を両側のゲート電極２１とゲート酸化膜５に形成し、ＮチャネルＭＯＳＦＥＴのN^+ソース・ドレイン領域１１、ＰチャネルＭＯＳＦＥＴのP^+ソースドレイン領域１２を写真製版とイオン注入によりそれぞれ形成し、シングルゲート構造でＮチャネルＭＯＳＦＥＴ、ＰチャネルＭＯＳＦＥＴとも表面チャネル型のＣＭＯＳ構造が完成する。

【００１６】図２１から図２３は、本実施の形態３によりＢドープ多結晶シリコンに表面チャネル型ＰＭＯＳＦＥＴを形成してもＶｔｈが高くならない理由をエネルギー・バンド図を用いて説明する。図２１は、フラットバンド状態を示す。図２１に示すように、ゲート酸化膜５中の固定電荷２３のために、Ｎウェル４のエネルギー・バンドはフラットであってもゲート酸化膜５の中は電位差を持っている。したがって、ゲート電極２１の電位とＮウェル４のフェルミエネルギーＥｆとの間には電位差

がある。図２２は、Ｖｇ＝0Ｖの場合のエネルギー・バンドの曲がりを示す。図２１に示すように、プラスの固定電荷２３のために、エネルギー・バンドはチャネルがＯＮする方向へ曲げられている。図２３は、Ｖｇ＝Ｖｔｈの場合のエネルギー・バンド図を示している。図２２に示すようにＶｇ＝0Ｖでチャネルがオンする方向へエネルギー・バンドが曲げられていたため、図２３に示すように、しきい値までにかけるゲート電位Ｖｇは低くてすみ、０．６Ｖ程度のＶｔｈが得られる。

【００１７】以上より、実施の形態３によれば、シングルゲートを用いてかつ、表面チャネル型のＭＯＳＦＥＴで適正なＶｔｈが得られるので、デュアルゲートの問題点である、プロセスフローの複雑さ、エッチングレートが異なることによる残さやエッチング突き抜け等を避けることができる。さらに、表面チャネル型ＭＯＳＦＥＴを用いることができるので、埋め込みチャネル型ＭＯＳＦＥＴよりも低Ｖｔｈを実現できる。

【発明の効果】以上説明したように、本発明の半導体装置および製造方法によれば、ゲート酸化膜内に固定電荷を形成することにより、シングルゲート構造で、かつＮ、Ｐ両方の型のトランジスタが表面チャネル型である半導体装置およびその製造方法を提供することができる。

【図面の簡単な説明】

【図１】　本発明の実施の形態１における半導体装置の製造方法の第１工程を説明するための断面構造図である。

【図２】　本発明の実施の形態１における半導体装置の製造方法の第２工程を説明するための断面構造図である。

【図３】　本発明の実施の形態１における半導体装置の製造方法の第３工程を説明するための断面構造図である。

【図４】　本発明の実施の形態１における半導体装置の製造方法の第４工程を説明するための断面構造図である。

【図５】　本発明の実施の形態１における半導体装置の製造方法の第５工程を説明するための断面構造図である。

【図６】　本発明の実施の形態１における半導体装置の製造方法の第６工程を説明するための断面構造図である。

【図７】　本発明の実施の形態１における半導体装置の動作を説明するためのフラットバンド状態のバンド図である。

【図８】　本発明の実施の形態１における半導体装置の動作を説明するためのＶｇ＝0Ｖのバンド図である。

【図９】　本発明の実施の形態１における半導体装置の動作を説明するためのＶｇ＝Ｖｔｈのバンド図である。

【図１０】　本発明の実施の形態２における半導体装置の製造方法の第１工程を説明するための断面構造図である。

【図１１】　本発明の実施の形態２における半導体装置の製造方法の第２工程を説明するための断面構造図である。

【図１２】　本発明の実施の形態２における半導体装置の製造方法の第３工程を説明するための断面構造図である。

【図１３】　本発明の実施の形態２における半導体装置の製造方法の第４工程を説明するための断面構造図である。

【図１４】　本発明の実施の形態２における半導体装置の製造方法の第５工程を説明するための断面構造図である。

【図１５】　本発明の実施の形態２における半導体装置の製造方法の第６工程を説明するための断面構造図である。

【図１６】　本発明の実施の形態３における半導体装置の製造方法の第１工程を説明するための断面構造図である。

【図１７】　本発明の実施の形態３における半導体装置の製造方法の第２工程を説明するための断面構造図である。

【図１８】　本発明の実施の形態３における半導体装置の製造方法の第３工程を説明するための断面構造図である。

【図１９】　本発明の実施の形態３における半導体装置の製造方法の第４工程を説明するための断面構造図である。

【図２０】　本発明の実施の形態３における半導体装置の製造方法の第５工程を説明するための断面構造図である。

【図２１】　本発明の実施の形態３における半導体装置の動作を説明するためのフラットバンド状態のバンド図である。

【図２２】　本発明の実施の形態３における半導体装置の動作を説明するためのＶｇ＝0Ｖのバンド図である。

【図２３】　本発明の実施の形態３における半導体装置の動作を説明するためのＶｇ＝Ｖｔｈのバンド図である。

【図２４】　従来の実施の形態における半導体装置の製造方法の第１工程を説明するための断面構造図である。

【図２５】　従来の実施の形態における半導体装置の製造方法の第２工程を説明するための断面構造図である。

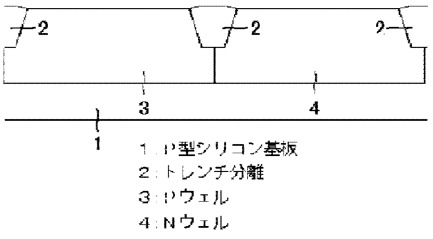
【図２６】　従来の実施の形態における半導体装置の製造方法の第３工程を説明するための断面構造図である。

【図２７】　従来の実施の形態における半導体装置の製造方法の第４工程を説明するための断面構造図である。

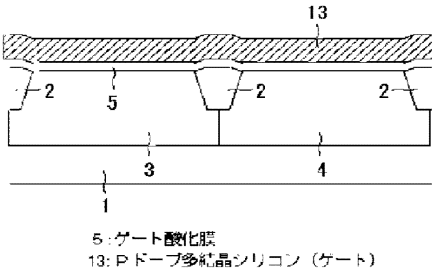
【図２８】　従来の実施の形態における半導体装置の製造方法の第５工程を説明するための断面構造図である。

【図２９】　従来の実施の形態における半導体装置の製造方法の第６工程を説明するための断面構造図である。
【図３０】　従来の実施の形態における半導体装置の動作を説明するためのフラットバンド状態のバンド図である。
【図３１】　従来の実施の形態における半導体装置の動作を説明するためのＶｇ＝0Ｖのバンド図である。
【図３２】　従来の実施の形態における半導体装置の動作を説明するためのＶｇ＝Ｖｔｈのバンド図である。
【図３３】　従来の実施の形態における半導体装置の動作を説明するためのフラットバンド状態のバンド図である。
【図３４】　従来の実施の形態における半導体装置の動作を説明するためのＶｇ＝0Ｖのバンド図である。
【図３５】　従来の実施の形態における半導体装置の動作を説明するためのＶｇ＝Ｖｔｈのバンド図である。
【符号の説明】
１　Ｐ型シリコン基板、　２　トレンチ分離、　３　Ｐウエル、　４　Ｎウェル、　５　ゲート酸化膜、　６　N^+注入多結晶シリコン、　７　P^+注入多結晶シリコン、　８　N^-ＬＤＤ、　９　P^-ＬＤＤ、　１０　サイドウォール、　１１　N^+ソースドレイン、　１２　P^+ソース・ドレイン、　１３　N^+ドープト多結晶シリコン、　１４　マイナス固定電荷、　１５　ノンドープト多結晶シリコン、　１６　レジスト、　１７　N^+拡散層、　１８　Ｐイオン注入、　１９　Ｂイオン注入、　２１　P^+ドープト多結晶シリコン、　２０　Ｂイオン注入、　２２　紫外線照射、　２３　プラス固定電荷。

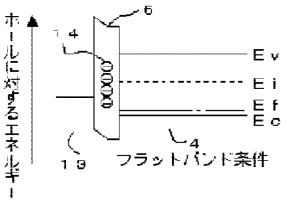
【図１】



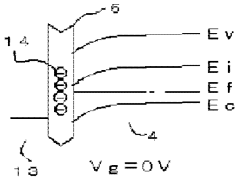
【図２】



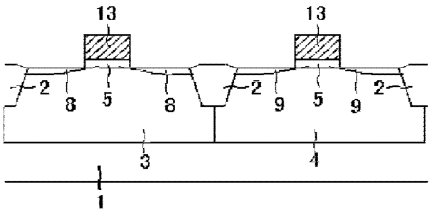
【図７】



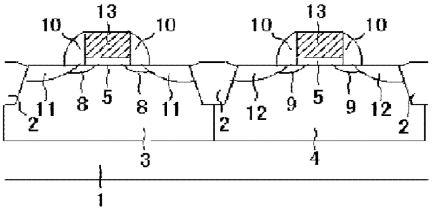
【図８】



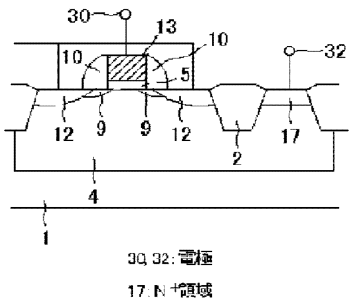
【図３】



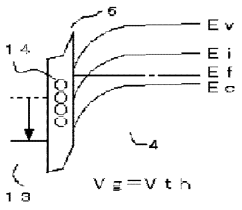
【図４】



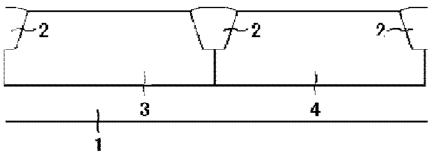
【図５】



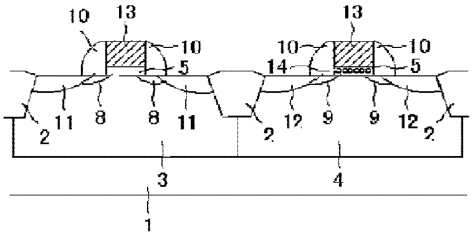
【図９】



【図１０】

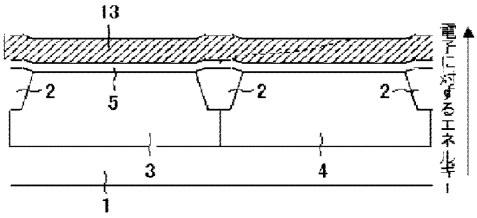


【図6】

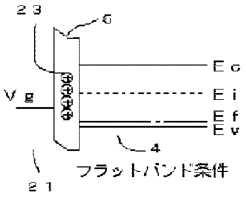


14:固定電荷(-)

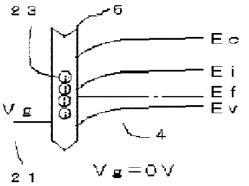
【図11】



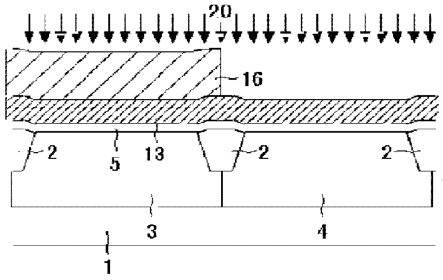
【図21】



【図22】

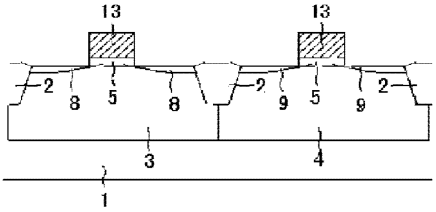


【図12】

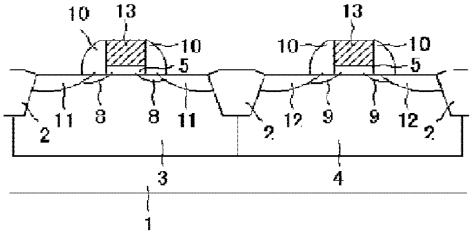


20:ボロンB

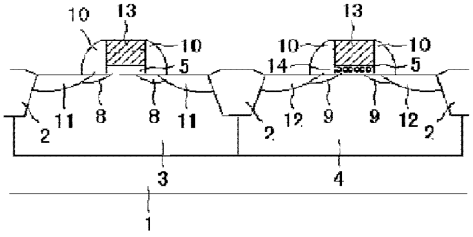
【図13】



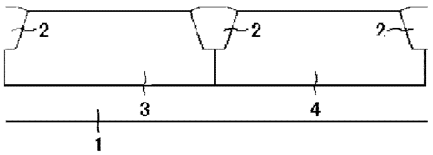
【図14】



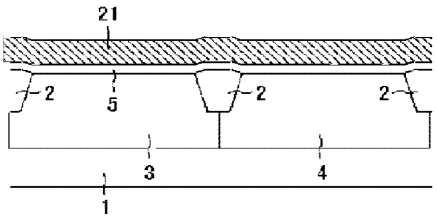
【図15】



【図16】

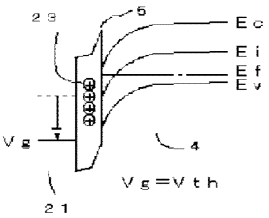


【図17】

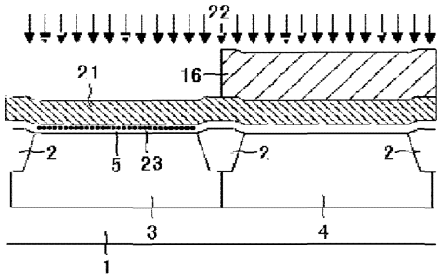


21:Bドープ多結晶シリコン

【図23】

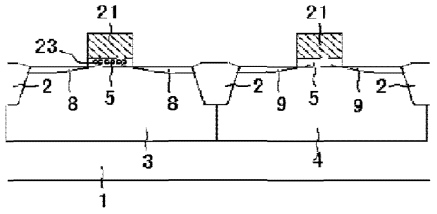


【図18】

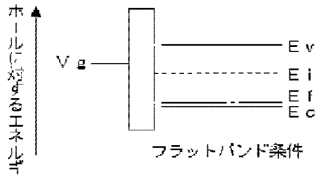


23:固定負荷（+）

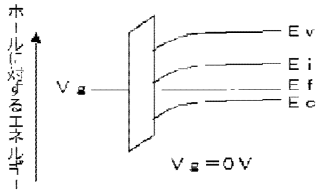
【図19】



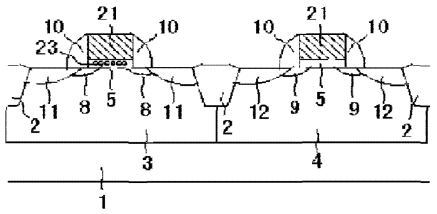
【図30】



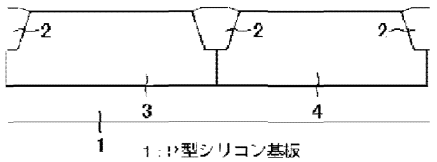
【図31】



【図20】

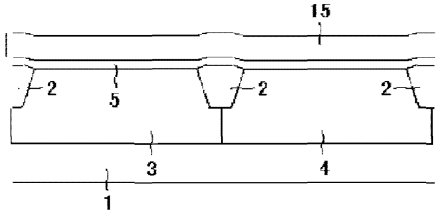


【図24】



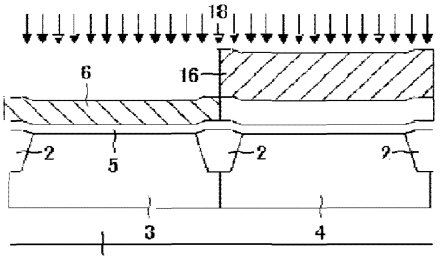
1:P型シリコン基板
2:トレンチ分離
3:Pウェル
4:Nウェル

【図25】



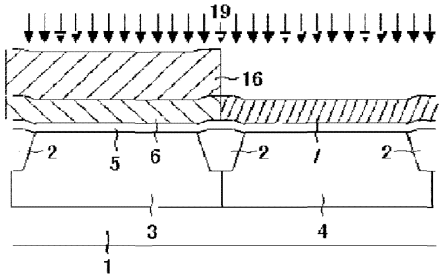
5:ゲート酸化膜
15:ノンドープ多結晶シリコン

【図26】



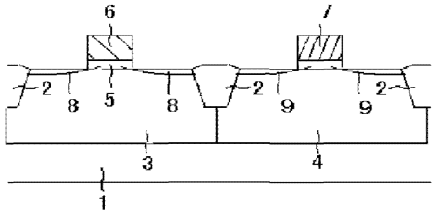
6:N型多結晶シリコン
16:レジストマスク
18:燐P

【図27】



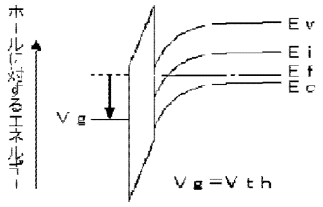
7:P型多結晶シリコン
19:ボロンB

【図28】

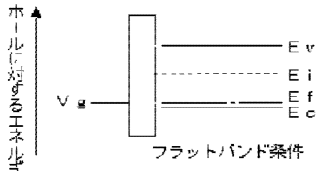


8:NチャネルMOSFETのLDD領域（N⁻）
9:PチャネルMOSFETのLDD領域（P⁻）

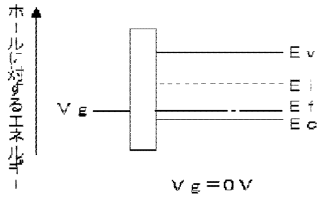
【図32】



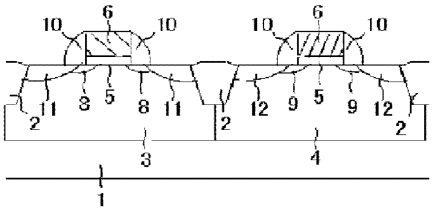
【図33】



【図34】

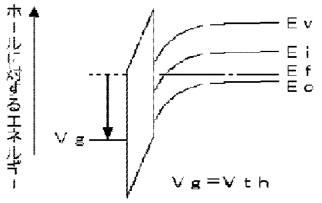


【図２９】



10:サイドウォール
11:ＮチャネルＭＯＳＦＥＴのＮ＋ソースドレイン領域
12:ＰチャネルＭＯＳＦＥＴのＰ＋ソースドレイン領域

【図３５】



フロントページの続き

(72)発明者　太田　和伸
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内

Ｆターム(参考)　5F040 DB03 DC01 EC07 ED00 EF02 EK05 FA05 FB02
5F048 AA07 AA09 AC03 BA01 BB06 BB11 BB14 BE03 BG13 DA25

Electronic Acknowledgement Receipt

EFS ID:	12759837
Application Number:	13294727
International Application Number:	
Confirmation Number:	6315
Title of Invention:	SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME
First Named Inventor/Applicant Name:	Tomohiro FUJITA
Correspondence Address:	McDERMOTT WILL & EMERY LLP - 600 13th Street, N.W. - Washington DC 20005-3096 US 2027568000 -
Filer:	Michael E. Fogarty/JACOB GOTTFREDSON
Filer Authorized By:	Michael E. Fogarty
Attorney Docket Number:	085393-0709
Receipt Date:	11-MAY-2012
Filing Date:	11-NOV-2011
Time Stamp:	15:30:20
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Petition to make Special under PCT-Patent Pros Hwy	pph.PDF	525041 f0001b98c6cda9f54c76fbbe442eebc0234e6ebd	no	22
Warnings:					
Information:					
2	Transmittal Letter	IDS.PDF	64422 beac4fdb4c7af5cf9a9d5df1421197024875 44dd	no	3
Warnings:					
Information:					
3	Foreign Reference	ref1.pdf	3062279 c3aa764bf060c751f1ec497a7f0c315c88beac32	no	57
Warnings:					
Information:					
4	Foreign Reference	ref2.pdf	656095 c9d8c173fae74ee431ecc6af2ca5fa84bfb950ac	no	12
Warnings:					
Information:					
5	Foreign Reference	ref3.pdf	1915967 4a9831aafd42a7ef4609a941b893dd4d38ff169a	no	66
Warnings:					
Information:					
6	Foreign Reference	REF4.pdf	475507 cc5abca278bd212e880751f92cf92d9d6e593a57	no	10
Warnings:					
Information:					
		Total Files Size (in bytes):	6699311		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Commissioner for Patents
United States Patent and Trademark Office
P.O. Box 1450
Alexandria, VA 22313-1450
www.uspto.gov

MAILED
APR 26 2012
OFFICE OF PETITIONS

MCDERMOTT WILL & EMERY LLP
600 13TH STREET, NW
WASHINGTON DC 20005-3096

In re Application of	:	
Tomohiro Fujita, et al.	:	DECISION ON REQUEST TO
Application No. 13/294,727	:	PARTICIPATE IN THE PATENT
Filed: November 11, 2011	:	PROSECUTION HIGHWAY
Attorney Docket No.: 085393-0709	:	PROGRAM AND PETITION
For: SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME	:	TO MAKE SPECIAL UNDER 37 CFR 1.102(a)

This is a decision on the request to participate in the PCT Patent Prosecution Highway (PCT-PPH) pilot program and the petition under 37 CFR 1.102(a), filed on November 17, 2011, to make the above-identified application special.

The request and petition are **DISMISSED**.

Discussion

A grantable request to participate in the PCT-PPH pilot program and petition to make special require:

(1) The U.S. application must have an eligible relationship to one or more PCT applications where the ISA or IPEA are the JPO, EPO, KIPO, NPI, NBPR, IPAU, APO, RU, SPTO, PRV, SIPO or USPTO;

(2) At least one claim in the PCT application has novelty, inventive step, and industrial applicability and must be free of any observations in Box VIII in the latest work product in the international stage or applicant must identify and explain why the claim(s) is/are not subject to the observation in Box VIII;

(3) Applicant must submit a copy of the claim(s) from the PCT application(s) that have novelty, inventive step, and industrial applicability along with an English translation thereof and a statement that the English translation is accurate, if the claims are not in the English language;

(4) All the claims in the U.S. application must sufficiently correspond or be amended to sufficiently correspond to the claim(s) that have novelty, inventive step, and industrial applicability in the PCT application(s);

(5) Examination of the U.S. application has not begun;

(6) Applicant must submit a copy of the latest international work product from the PCT application indicating that the claim(s) have novelty, inventive step, and industrial applicability along with an English translation thereof.

(7) Applicant must submit an IDS listing the documents cited by the PCT examiner in the international work product along with copies of documents except U.S. patents or U.S. patent application publications.

(8) Applicant is required to submit a claims correspondence table in English which indicates how all the claims in the U.S. application correspond to the claims indicated as having novelty, inventive step and industrial applicability in the latest international work product.

Requirements (1), (3-5), and (7-8) above are considered to have been met. However, the request to participate in the PPH pilot program and petition fail to meet requirement (6).

Regarding requirement (6), applicant has not provided a complete copy of Written Opinion (PCT/ISA/237).

Regarding requirement (2), it cannot be determined whether requirement (2) has been met since applicant has failed to submit a complete copy of the Written Opinion (PCT/ISA/237) showing whether or not there are observations in Box VIII in the latest work product in the international stage.

Applicant is given **ONE** opportunity within a time period of **ONE MONTH or THIRTY DAYS**, whichever is longer, from the mailing date of this decision to correct the deficiencies. **NO EXTENSION OF TIME UNDER 37 CFR 1.136 IS PERMITTED.** If the deficiencies are not corrected with the time period given, the application will await action in its regular turn.

Response must be filed via the Electronic Filing System (EFS) using the document description: Petition to make special under PCT – Patent Pros Hwy. Any preliminary amendments and IDS submitted with the PPH documents must be separately indexed as a preliminary amendment and IDS, respectively.

Telephone inquiries concerning this decision should be directed to the undersigned at 571-272-3204.

All other inquiries concerning the examination or status of the application is accessible in the PAIR system at http://www.uspto.gov/ebc/index.html.

/SDB/

Sherry D. Brinkley
Petitions Examiner
Office of Petitions

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
13/294,727	11/11/2011	Tomohiro FUJITA	085393-0709

CONFIRMATION NO. 6315

McDERMOTT WILL & EMERY LLP
600 13th Street, N.W.
Washington, DC 20005-3096

PUBLICATION NOTICE

OC000000053014768

Title:SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME

Publication No.US-2012-0056270-A1
Publication Date:03/08/2012

NOTICE OF PUBLICATION OF APPLICATION

The above-identified application will be electronically published as a patent application publication pursuant to 37 CFR 1.211, et seq. The patent application publication number and publication date are set forth above.

The publication may be accessed through the USPTO's publically available Searchable Databases via the Internet at www.uspto.gov. The direct link to access the publication is currently http://www.uspto.gov/patft/.

The publication process established by the Office does not provide for mailing a copy of the publication to applicant. A copy of the publication may be obtained from the Office upon payment of the appropriate fee set forth in 37 CFR 1.19(a)(1). Orders for copies of patent application publications are handled by the USPTO's Office of Public Records. The Office of Public Records can be reached by telephone at (703) 308-9726 or (800) 972-6382, by facsimile at (703) 305-8759, by mail addressed to the United States Patent and Trademark Office, Office of Public Records, Alexandria, VA 22313-1450 or via the Internet.

In addition, information on the status of the application, including the mailing date of Office actions and the dates of receipt of correspondence filed in the Office, may also be accessed via the Internet through the Patent Electronic Business Center at www.uspto.gov using the public side of the Patent Application Information and Retrieval (PAIR) system. The direct link to access this status information is currently http://pair.uspto.gov/. Prior to publication, such status information is confidential and may only be obtained by applicant using the private side of PAIR.

Further assistance in electronically accessing the publication, or about PAIR, is available by calling the Patent Electronic Business Center at 1-866-217-9197.

Office of Data Managment, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application:	２００９年　７月１７日
出願番号 Application Number:	特願２００９－１６８５９２
パリ条約による外国への出願に用いる優先権の主張の基礎となる出願の国コードと出願番号 The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is	ＪＰ２００９－１６８５９２
出願人 Applicant(s):	パナソニック株式会社

２０１１年１２月１９日

特許庁長官
Commissioner,
Japan Patent Office　岩井良行

【書類名】　特許願
【整理番号】　2926410025
【あて先】　特許庁長官　殿
【国際特許分類】　H01L 21/8238
H01L 21/78
【発明者】
【住所又は居所】　大阪府門真市大字門真１００６番地　パナソニック株式会社内
【氏名】　藤田　智弘
【発明者】
【住所又は居所】　大阪府門真市大字門真１００６番地　パナソニック株式会社内
【氏名】　平瀬　順司
【発明者】
【住所又は居所】　大阪府門真市大字門真１００６番地　パナソニック株式会社内
【氏名】　佐藤　好弘
【特許出願人】
【識別番号】　000005821
【氏名又は名称】　パナソニック株式会社
【代理人】
【識別番号】　100077931
【弁理士】
【氏名又は名称】　前田　弘
【選任した代理人】
【識別番号】　100110939
【弁理士】
【氏名又は名称】　竹内　宏
【選任した代理人】
【識別番号】　100110940
【弁理士】
【氏名又は名称】　嶋田　高久
【選任した代理人】
【識別番号】　100113262
【弁理士】
【氏名又は名称】　竹内　祐二
【選任した代理人】
【識別番号】　100115059
【弁理士】
【氏名又は名称】　今江　克実
【選任した代理人】
【識別番号】　100117581
【弁理士】
【氏名又は名称】　二宮　克也
【選任した代理人】
【識別番号】　100117710
【弁理士】
【氏名又は名称】　原田　智雄

【選任した代理人】
　【識別番号】　100121728
　【弁理士】
　【氏名又は名称】　井関　勝守
　【電話番号】　06-6125-2255
　【連絡先】　担当
【選任した代理人】
　【識別番号】　100124671
　【弁理士】
　【氏名又は名称】　関　啓
【選任した代理人】
　【識別番号】　100131060
　【弁理士】
　【氏名又は名称】　杉浦　靖也
【手数料の表示】
　【予納台帳番号】　014409
　【納付金額】　15,000円
【提出物件の目録】
　【物件名】　明細書　1
　【物件名】　特許請求の範囲　1
　【物件名】　要約書　1
　【物件名】　図面　1
　【包括委任状番号】　0814523

【書類名】明細書
【発明の名称】半導体装置およびその製造方法
【技術分野】
【０００１】
本発明は、半導体装置及びその製造方法に関し、特に、高誘電体膜を含むゲート絶縁膜を有する電界効果トランジスタを備えた半導体装置及びその製造方法に関する。
【背景技術】
【０００２】
従来、大規模集積回路（ＬＳＩ:Large Scale Integrated circuit）における高集積化及び動作の高速化に伴ない、回路の基本素子であるＭＩＳ（Metal Insulator Semiconductor）型トランジスタは、スケーリング則に従って微細化されている。スケーリング則は、ＭＩＳ型トランジスタにおけるゲート電極のゲート長及びゲート絶縁膜の膜厚等の寸法を同時に微細化することにより、トランジスタの電気的特性を向上させることを可能とする。　そこで、近年、ゲート絶縁膜の酸化膜換算膜厚（ＥＯＴ：Equivalent Oxide Thickness）を薄膜化しつつリーク電流を抑えることが可能な構成材料として、従来の酸窒化シリコン膜に代えて、高誘電体（high-k）膜を用いる手法が提案されている。また、ゲート絶縁膜に高誘電体膜を用いた場合、従来の多結晶シリコン膜を用いたゲート電極では所望の仕事関数が得られず、トランジスタの閾値電圧を十分に低下させることができないため、ゲート電極に窒化チタンや窒化タンタルなどの金属材料を用いたり、ゲート絶縁膜にランタンやアルミニウムを含む材料を用いる方法が提案されている。
【０００３】
本明細書中で高誘電体とは、比誘電率が８程度のSi_3N_4よりも高い比誘電率を持つ誘電体のことをいうものとし、例えば、酸化ハフニウム（HfO_2）、酸化ジルコニウム（ZrO_2）、酸化アルミニウム（Al_2O_3）等が挙げられる。このような高誘電体をゲート絶縁膜に用いた場合、製造工程中に生じた負の固定電荷がゲート電極端部直下のゲート絶縁膜中にトラップされやすく、ＮＭＩＳトランジスタの閾値電圧が上昇し、ゲート電極に印加される正の電圧が実質的に減少するため、駆動電流が低下するという不具合が生じていた。
【０００４】
負の固定電荷を生じさせる製造工程としては、例えばゲート電極を加工した後にオフセットスペーサを形成する工程が挙げられる。そこで、非特許文献１では、オフセットスペーサの構成材料を、従来の負の固定電荷を生じさせやすい酸化シリコン膜から負の固定電荷を生じさせにくい窒化シリコン膜に変更することで、ＮＭＩＳトランジスタの閾値電圧の上昇を抑制しうることが記載されている。
【先行技術文献】
【非特許文献】
【０００５】
【非特許文献１】T. Watanabe et. al, IEDM 2004 p.507 Impact of Hf concentration on performance and reliability for HfSiON-CMOSFET
【発明の概要】
【発明が解決しようとする課題】
【０００６】
しかしながら、オフセットスペーサに窒化シリコン膜を用いてゲート絶縁膜への負の固定電荷の導入を抑制した場合、ＰＭＩＳトランジスタの閾値電圧が上昇し、駆動電流が低下するという不具合があった。
【０００７】
本発明は、前記従来の不具合を解決し、高誘電体をゲート絶縁膜に用いた半導体装置において、ＮＭＩＳトランジスタとＰＭＩＳトランジスタの閾値電圧を同時に低減できるようにすることを目的とする。
【課題を解決するための手段】

【０００８】
前記の目的を達成するため、本発明の一例に係る半導体装置は、第１の活性領域と第２の活性領域を有する基板と、前記第１の活性領域上に形成されたＮＭＩＳトランジスタと、前記第２の活性領域上に形成されたＰＭＩＳトランジスタとを備え、前記ＮＭＩＳトランジスタは、前記第１の活性領域上に形成され、高誘電体を含む第１のゲート絶縁膜と、前記第１のゲート絶縁膜上に形成され、金属材料を含む第１のゲート電極とを有し、前記ＰＭＩＳトランジスタは、前記第２の活性領域上に形成され、高誘電体を含む第２のゲート絶縁膜と、前記第２のゲート絶縁膜上に形成され、金属材料を含む第２のゲート電極とを有し、前記第１のゲート絶縁膜の側面は、前記第１のゲート電極の側面よりも内側に位置しており、前記第１のゲート電極のゲート長方向の長さに対する前記第１のゲート絶縁膜のゲート長方向の長さの割合は、前記第２のゲート電極のゲート長方向の長さに対する前記第２のゲート絶縁膜のゲート長方向の長さの割合より小さい。
【０００９】
この構成によれば、ＮＭＩＳトランジスタの第１のゲート絶縁膜では、製造工程において負の固定電荷が導入された部分（製造工程中における第１のゲート絶縁膜の端部）が除去されているので、閾値電圧の上昇が防がれている。また、ＰＭＩＳトランジスタの第２のゲート絶縁膜では、製造工程において意識的に負の固定電荷を導入することが可能なので、ＰＭＩＳトランジスタの閾値電圧の上昇も抑えられる。
【００１０】
また、第１のゲート電極の端部下に第１のゲート絶縁膜より誘電率の低い材料を形成することで、寄生容量を低減することができる。
【００１１】
前記第２のゲート絶縁膜の側面は、前記第２のゲート電極の側面と同一面を構成していてもよいし、前記第２のゲート電極の側面よりも内側にあってもよい。第２のゲート絶縁膜の端部が前記第２のゲート電極の側面から突き出ていてもよい。
【００１２】
本発明の一例に係る半導体装置の製造方法は、基板に形成された第１の活性領域上に高誘電体を含む第１のゲート絶縁膜と、金属材料を含む第１のゲート電極とを形成し、前記基板に形成された第２の活性領域上に高誘電体を含む第２のゲート絶縁膜と、金属材料を含む第２のゲート電極とを形成する工程（ａ）と、前記第１のゲート絶縁膜の端部と前記第２のゲート絶縁膜の端部とに負の固定電荷を導入する工程（ｂ）と、工程（ｂ）の後に、前記第１のゲート絶縁膜の端部を除去する工程（ｃ）とを備えている。工程（ｂ）は、例えば工程（ａ）と同時または工程（ａ）の後に行われることが好ましい。
【００１３】
この工程によれば、工程（ｂ）で負の固定電荷を第２のゲート絶縁膜に導入することで、ＰＭＩＳトランジスタの閾値電圧を下げることができ、工程（ｃ）で第１のゲート絶縁膜から負の固定電荷が導入された部分を除去することでＮＭＩＳトランジスタの閾値電圧も効果的に下げることができる。
【００１４】
また、前記工程（ｃ）の後に、前記第１のゲート電極の側面上にシリコン窒化膜で構成された第１のオフセットスペーサを形成し、前記第２のゲート電極の側面上にシリコン窒化膜で構成された第２のオフセットスペーサを形成することで、オフセットスペーサの形成時に負の固定電荷が第１のゲート絶縁膜に導入されるのを防ぐことができる。
【発明の効果】
【００１５】
本発明に係る半導体装置の製造方法によれば、ＮＭＩＳトランジスタのゲート絶縁膜への負の固定電荷の導入が抑制され、ＰＭＩＳトランジスタのゲート絶縁膜の端部には負の固定電荷が積極的に導入されるため、ＮＭＩＳトランジスタとＰＭＩＳトランジスタの閾値電圧を共に低下させることができる。
【図面の簡単な説明】

【００１６】
【図１】（ａ）～（ｅ）は、第１の実施形態に係る半導体装置の製造方法を示す断面図である。
【図２】（ａ）～（ｄ）は、第１の実施形態に係る半導体装置の製造方法を示す断面図である。
【図３】（ａ）は、第１の実施形態の第１の変形例に係る半導体装置の製造方法を示す断面図であり、（ｂ）は、第２の変形例に係る半導体装置の製造方法を示す断面図である。
【図４】（ａ）～（ｄ）は、第２の実施形態に係る半導体装置の製造方法を示す断面図である。
【図５】（ａ）～（ｃ）は、第２の実施形態に係る半導体装置の製造方法を示す断面図である。
【発明を実施するための形態】
【００１７】
（第１の実施形態）
以下、本発明の第１の実施形態に係る半導体装置の製造方法について、図面を参照しながら説明する。図１（ａ）～（ｅ）、図２（ａ）～（ｄ）は、第１の実施形態に係る半導体装置の製造方法を示す断面図である。
【００１８】
まず、図１（ａ）に示すように、シリコンからなる半導体基板１０のＮＭＩＳ形成領域５０ａにＰ型領域１２ａを形成し、ＰＭＩＳ形成領域５０ｂにＮ型領域１２ｂを形成する。次いで、半導体基板１０にシャロートレンチアイソレーション（ＳＴＩ）等からなる素子分離領域１１を形成することで、Ｐ型領域１２ａ内に素子分離領域１１に囲まれた第１の活性領域１０ａを形成し、Ｎ型領域１２ｂ内に素子分離領域１１に囲まれた第２の活性領域１０ｂを形成する。第１の活性領域１０ａにはホウ素等のＰ型不純物が導入されており、第２の活性領域１０ｂにはリン等のＮ型不純物が導入されている。
【００１９】
次に、図１（ｂ）に示すように、半導体基板１０を例えば温度が１０００℃程度の酸化性雰囲気での熱処理により酸化して、半導体基板１０上に厚さが１ｎｍ の酸化シリコンからなる第１の誘電体膜１３を形成する。続いて、化学的気相成長（ＣＶＤ：Chemical Vapor Deposition）法により、第１の誘電体膜１３の上に厚さが２ｎｍ程度でＨｆＳｉＯＮなど、窒素と酸素とハフニウムとシリコンを含有する材料で構成された第２の誘電体膜１４を形成する。第２の誘電体膜１４は高誘電体膜である。次に、ＣＶＤ法により、第２の誘電体膜１４の上に厚さが２０ｎｍ程度の窒化チタンからなる第１のゲート電極膜１５を形成する。次にＣＶＤ法により、第１のゲート電極膜１５の上に厚さが８０ｎｍ程度のポリシリコンからなる第２のゲート電極膜１６を形成する。
【００２０】
次に、図１（ｃ）に示すように、第２のゲート電極膜１６上にレジスト材を塗布し、リソグラフィ法を用いてレジストパターンを形成し、第１のゲート電極膜１５、第２のゲート電極膜１６、第１の誘電体膜１３、及び第２の誘電体膜１４に対して異方性ドライエッチングを行う。
【００２１】
これにより、ＮＭＩＳ形成領域５０ａでは第１の誘電体膜１３の一部である第１の下部ゲート絶縁膜１３ａ、及び第２の誘電体膜１４の一部である第１の上部ゲート絶縁膜１４ａを有する第１のゲート絶縁膜１７ａと、第１のゲート電極膜１５の一部である第１の下部ゲート電極１５ａ、及び第２のゲート電極膜１６の一部である第１の上部ゲート電極１６ａを有する第１のゲート電極１８ａとを形成する。また、ＰＭＩＳ形成領域５０ｂでは第１の誘電体膜１３の一部である第２の下部ゲート絶縁膜１３ｂ、及び第２の誘電体膜１４の一部である第２の上部ゲート絶縁膜１４ｂを有する第２のゲート絶縁膜１７ｂと、第１のゲート電極膜１５の一部である第２の下部ゲート電極１５ｂ、及び第２のゲート電極

膜１６の一部である第２の上部ゲート電極１６ｂを有する第２のゲート電極１８ｂとを形成する。

【００２２】

続いて、アッシングによりレジスト材を除去する。本工程において、ドライエッチング工程もしくはアッシング工程で酸素を含むエッチングガスを用いることで、第１のゲート絶縁膜１７ａのうち第１のゲート電極１８ａの端部直下に位置する部分（すなわち、第１のゲート絶縁膜１７ａの端部）と、第２のゲート絶縁膜１７ｂのうち第２のゲート電極１８ｂの端部直下に位置する部分（すなわち、第２のゲート絶縁膜１７ｂの端部）とがわずかに酸化され、第１のゲート絶縁膜１７ａ及び第２のゲート絶縁膜１７ｂの各側面から１～２ｎｍ程度の範囲で負の固定電荷が導入される。なお、酸素を含むエッチングガスを用いてドライエッチングを行う場合、第１のゲート電極１８ａ、第１のゲート絶縁膜１７ａ、第２のゲート電極１８ｂ、及び第２のゲート絶縁膜１７ｂの形成と同時に第１のゲート絶縁膜１７ａの端部、及び第２のゲート絶縁膜１７ｂの端部に負の固定電荷が導入されることになる。

【００２３】

次に、図１（ｄ）に示すように、半導体基板１０上にレジスト材を塗布し、リソグラフィ法により第１の活性領域１０ａ上のレジスト材を除去した後、第２の活性領域１０ｂ上をレジスト材で覆った状態でフッ酸を含む水溶液を用いて第１のゲート絶縁膜１７ａの一部を選択的にウェットエッチングすることで、第１のゲート絶縁膜１７ａのうち固定電荷が導入された部分を除去し、第１のゲート絶縁膜１７ａの端部が第１のゲート電極１８ａの側面より内側になるようにする。固定電荷を効果的に除去するためには、第１のゲート絶縁膜１７ａを元の側面から少なくとも１～２ｎｍ程度以内の部分を除去することが好ましい。続いて、窒素ガスを用いたアッシングによりレジスト材を除去する。窒素ガスを用いてアッシングを行うことで、第１のゲート絶縁膜１７ａに再度固定電荷が導入されるのを防いでいる。

【００２４】

次に、図１（ｅ）に示すように、ＣＶＤ法により、厚さ８ｎｍ程度のシリコン窒化膜を半導体基板１０上に堆積してからドライエッチングを行うことで、第１のゲート電極１８ａの側面上に第１のオフセットスペーサ２０ａを形成し、第２のゲート電極１８ｂの側面上に第２のオフセットスペーサ２０ｂを形成する。このとき、第１のゲート絶縁膜１７ａの側面上にも第１のオフセットスペーサ２０ａは形成される。従って、第１のゲート電極１８ａの端部下には第１のオフセットスペーサ２０ａが形成される一方、第２のゲート電極１８ｂの端部下には第２のオフセットスペーサ２０ｂが形成されない。

【００２５】

次に、図２（ａ）に示すように、リソグラフィ法とイオン注入法を用いて、第１のゲート電極１８ａをマスクとして第１の活性領域１０ａにはヒ素を、注入エネルギーが例えば２ｋｅＶ、注入ドーズ量が1×10^{15}／ｃｍ^{2}で注入し、第１の活性領域１０ａのうち第１のゲート電極１８ａの両側方に位置する領域にＮ型の第１のエクステンション領域２１ａを形成する。また、第２のゲート電極１８ｂをマスクとして第２の活性領域１０ｂにはホウ素を、注入エネルギーが例えば２ｋｅＶ、注入ドーズ量が1×10^{15}／ｃｍ^{2}で注入し、第２の活性領域１０ｂのうち第２のゲート電極１８ｂの両側方に位置する領域にＰ型の第２のエクステンション領域２１ｂを形成する。

【００２６】

次に、図２（ｂ）に示すように、既知の方法を用いて第１のゲート電極１８ａの側面上に第１のオフセットスペーサ２０ａを介して第１のサイドウォール２２ａを形成した後、第１のゲート電極１８ａ及び第１のサイドウォール２２ａをマスクとしてｎ型不純物のイオン注入を行うことで、第１の活性領域１０ａのうち第１のゲート電極１８ａの両側方に位置する領域にＮ型の第１のソース・ドレイン領域２３ａを形成する。また、第２のゲート電極１８ｂの側面上に第２のオフセットスペーサ２０ｂを介して第２のサイドウォールを形成した後、第２のゲート電極１８ｂ及び第２のサイドウォール２２ｂをマスクとして

ｐ型不純物のイオン注入を行うことで、第２の活性領域１０ｂのうち第２のゲート電極１８ｂの両側方に位置する領域にＰ型の第２のソース・ドレイン領域２３ｂを形成する。

【００２７】

次に、図２（ｃ）に示すように、１０５０℃程度の熱処理を加えることで、エクステンション領域およびソース・ドレイン領域に注入された不純物を拡散させ、ｎチャネル型ＭＩＳトランジスタ（ＮＭＩＳトランジスタ）１０１およびＰＭＩＳトランジスタ１０２を形成する。このとき、第１のエクステンション領域２１ａの端部は、第１のゲート絶縁膜１７ａの端部（第１のゲート絶縁膜１７ａと第１のオフセットスペーサ２０ａとの境界位置）と同一、もしくは第１のゲート絶縁膜１７ａの端部から第１のゲート電極１８ａの中心寄りに入った位置（第１のゲート絶縁膜１７ａの端部とオーバーラップする位置）に配置される。

【００２８】

次に、図２（ｄ）に示すように、既知の方法を用いて第１のゲート電極１８ａ上、第２のゲート電極１８ｂ上、第１のソース・ドレイン領域２３ａ上、及び第２のソース・ドレイン領域２３ｂ上にニッケルなどのシリサイド材料を含むシリサイド層２７を形成した後、層間絶縁膜２５、コンタクト２４、及び配線２６を順次形成する。

【００２９】

以上の方法により形成される本実施形態の半導体装置は、ＮＭＩＳトランジスタ１０１と、ＰＭＩＳトランジスタ１０２とを備えている。

【００３０】

ＮＭＩＳトランジスタ１０１は、第１の活性領域１０ａ上に設けられ、高誘電体を含む第１のゲート絶縁膜１７ａと、第１のゲート絶縁膜１７ａ上に設けられ、窒化チタン等の金属材料を含む第１のゲート電極１８ａと、第１のゲート電極１８ａ及び第１のゲート絶縁膜１７ａの側面上に設けられた第１のオフセットスペーサ２０ａと、第１のゲート電極１８ａ及び第１のゲート絶縁膜１７ａの側面上に第１のオフセットスペーサ２０ａを間に挟んで設けられた第１のサイドウォール２２ａと、第１の活性領域１０ａのうち第１のゲート電極１８ａの両側方に位置する領域に形成された第１のエクステンション領域２１ａ及び第１のソース・ドレイン領域２３ａとを有している。第１のゲート絶縁膜１７ａの側面は第１のゲート電極１８ａの側面よりも内側になるよう形成されている。

【００３１】

ＰＭＩＳトランジスタ１０２は、第２の活性領域１０ｂ上に設けられ、高誘電体を含む第２のゲート絶縁膜１７ｂと、第２のゲート絶縁膜１７ｂ上に設けられ、窒化チタン等の金属材料を含む第２のゲート電極１８ｂと、第２のゲート電極１８ｂ及び第２のゲート絶縁膜１７ｂの側面上に設けられた第２のオフセットスペーサ２０ｂと、第２のゲート電極１８ｂ及び第２のゲート絶縁膜１７ｂの側面上に第２のオフセットスペーサ２０ｂを間に挟んで設けられた第２のサイドウォール２２ｂと、第２の活性領域１０ｂのうち第２のゲート電極１８ｂの両側方に位置する領域に形成された第２のエクステンション領域２１ｂ及び第２のソース・ドレイン領域２３ｂとを有している。

【００３２】

本実施形態の半導体装置では、第１のゲート絶縁膜１７ａの側面が第１のゲート電極１８ａの側面よりも内側に位置している。また、第１のゲート電極１８ａの幅（ゲート長方向の長さ）に対する第１のゲート絶縁膜１７ａの幅（ゲート長方向の長さ）の割合（すなわち、（第１のゲート絶縁膜１７ａの幅）／（第１のゲート電極１８ａの幅））が、第２のゲート電極１８ｂの幅（ゲート長方向の長さ）に対する第２のゲート絶縁膜１７ｂの幅（ゲート長方向の長さ）の割合（すなわち、（第２のゲート絶縁膜１７ｂの幅）／（第２のゲート電極１８ｂの幅）より小さくなっている。さらに、第２のゲート絶縁膜１７ｂのうち第２のゲート電極１８ｂの端部の直下に位置する部分（すなわち、第２のゲート絶縁膜１７ｂの端部）には、第１のゲート絶縁膜１７ａの端部よりも多くの負の固定電荷が導入されている。なお、第２のゲート絶縁膜１７ｂの側面は前記第２のゲート電極１８ｂの側面とほぼ同一面を構成している。

【００３３】
また、第１のゲート電極１８ａの端部下に第１のゲート絶縁膜１７ａより誘電率の低い材料（窒化シリコン）からなる第１のオフセットスペーサ２０ａを形成することで、寄生容量を低減することができる。
【００３４】
以上で説明した本実施形態の製造方法によれば、ＰＭＩＳトランジスタ１０２の第２のゲート絶縁膜１７ｂには図１（ｃ）に示す工程で積極的に負の固定電荷を生じさせているため、ＰＭＩＳトランジスタ１０２の閾値電圧を低下させることができる。
【００３５】
また、ＮＭＩＳトランジスタ１０１の第１のゲート絶縁膜１７ａのうち負の固定電荷が生じた部分は、図１（ｄ）に示す工程で除去されているので、負の固定電荷の影響が抑えられ、ＮＭＩＳトランジスタ１０１の閾値の上昇が防がれている。このため、駆動電流の低下が防がれている。
【００３６】
なお、第１の上部ゲート絶縁膜１４ａ、第２の上部ゲート絶縁膜１４ｂに含まれる高誘電体材料は他の高融点体材料であってもよく、第１の下部ゲート電極１５ａ、第２の下部ゲート電極１５ｂに含まれる金属材料も窒化チタンに限られない。
【００３７】
図３（ａ）は、本実施形態の第１の変形例に係る半導体装置の製造方法を示す断面図であり、（ｂ）は、第２の変形例に係る半導体装置の製造方法を示す断面図である。
【００３８】
図３（ａ）に示すように、図１（ｃ）で説明した工程で、第１のゲート絶縁膜１７ａ、第２のゲート絶縁膜１７ｂ、第１のゲート電極１８ａ、第２のゲート電極１８ｂを形成する際のドライエッチングを、異方性ドライエッチングと等方性ドライエッチングの組み合わせとすることで、第１のゲート絶縁膜１７ａの端部が第１のゲート電極１８ａの側面から突き出すとともに、第２のゲート絶縁膜１７ｂの端部が第２のゲート電極１８ｂの側面から突き出した形状としてもよい。この場合でも、引き続き図１（ｄ）で説明した工程と同様な方法でウェットエッチングを行うことにより第１のゲート絶縁膜１７ａの端部を選択的に除去することで、第１のゲート絶縁膜１７ａのうち負の固定電荷が生じた部分を効果的に除去することができる。この方法によれば、図２（ｄ）に示す構造に比べて第２のゲート絶縁膜１７ｂの端部が第２のゲート電極１８ｂの側面から突き出た構造となる点で相違する。
【００３９】
また、図３（ｂ）に示すように、図１（ｄ）で説明した工程において、アッシングの際にレジスト材の除去性を高めるためにアンモニア過水洗浄によるウェットエッチングを行うことで、第１のゲート絶縁膜１７ａを第１のゲート電極１８ａの側面から後退させるとともに、第２のゲート絶縁膜１７ｂを第２のゲート電極１８ｂの側面から後退させてもよい。この方法によれば、図２（ｄ）に示す構造に比べて、第２のゲート絶縁膜１７ｂの側面が第２のゲート電極１８ｂの側面よりも内側に位置した構造となる点で相違する。しかしながら、この場合でも、第１のゲート絶縁膜１７ａの幅の第１のゲート電極１８ａの幅に対する割合は、第２のゲート絶縁膜１７ｂの幅の第２のゲート電極１８ｂの幅に対する割合より小さくなっている。
【００４０】
（第２の実施形態）
以下、本発明の第２の実施形態に係る半導体装置の製造方法について、図面を参照しながら説明する。図４（ａ）～（ｄ）、図５（ａ）～（ｃ）は、第２の実施形態に係る半導体装置の製造方法を示す断面図である。
【００４１】
まず、図４（ａ）に示すように、シリコンからなる半導体基板１０のＮＭＩＳ形成領域５０ａにＰ型領域１２ａを形成し、ＰＭＩＳ形成領域５０ｂにＮ型領域１２ｂを形成する

。次いで、半導体基板１０にシャロートレンチアイソレーション（ＳＴＩ）等からなる素子分離領域１１を形成することで、Ｐ型領域１２ａ内に素子分離領域１１に囲まれた第１の活性領域１０ａを形成し、Ｎ型領域１２ｂ内に素子分離領域１１に囲まれた第２の活性領域１０ｂを形成する。第１の活性領域１０ａにはホウ素等のＰ型不純物が導入されており、第２の活性領域１０ｂにはリン等のＮ型不純物が導入されている。

【００４２】

次に、図４（ｂ）に示すように、半導体基板１０を例えば温度が１０００℃程度の酸化性雰囲気での熱処理により酸化して、半導体基板１０上に厚さが１ｎｍ の酸化シリコンからなる第１の誘電体膜１３を形成する。続いて、ＣＶＤ法により、第１の誘電体膜１３の上に厚さが２ｎｍ程度の窒素と酸素とハフニウムとシリコンを含有する第２の誘電体膜（高誘電体膜）１４を形成する。

【００４３】

次に、図４（ｃ）に示すように、ＣＶＤ法とリソグラフィ法およびウェットエッチングを繰り返し実施することで、第１の活性領域１０ａ上方の第２の誘電体膜１４上にランタンを、第２の活性領域１０ｂ上方の第２の誘電体膜１４上にアルミニウムを形成し、温度が７００℃程度の熱処理によりランタンおよびアルミニウムを第２の誘電体膜１４中に拡散させる。これにより、第１の活性領域１０ａ上方にはランタンを含む第３の誘電体膜３４ａが形成され、第２の活性領域１０ｂ上方にはアルミニウムを含む第４の誘電体膜３４ｂが形成される。

【００４４】

次に、図４（ｄ）に示すように、ＣＶＤ法により、第３の誘電体膜３４ａ上及び第４の誘電体膜３４ｂ上に厚さが２０ｎｍ程度の窒化チタンからなる第１のゲート電極膜１５を形成する。次に、ＣＶＤ法により、第１のゲート電極膜１５の上に厚さが８０ｎｍ程度のポリシリコンからなる第２のゲート電極膜１６を形成する。

【００４５】

次に、図５（ａ）に示すように、第２のゲート電極膜１６にレジスト材を塗布し、リソグラフィ法を用いてレジストパターンを形成し、第１のゲート電極膜１５、第２のゲート電極膜１６、第１の誘電体膜１３、第３の誘電体膜３４ａ、及び第４の誘電体膜３４ｂに対して異方性ドライエッチングを行う。

【００４６】

これにより、ＮＭＩＳ形成領域５０ａでは第１の誘電体膜１３の一部である第１の下部ゲート絶縁膜１３ａ、及び第３の誘電体膜３４ａの一部である第１の上部ゲート絶縁膜３５ａを有する第１のゲート絶縁膜１７ａと、第１のゲート電極膜１５の一部である第１の下部ゲート電極１５ａ、及び第２のゲート電極膜１６の一部である第１の上部ゲート電極１６ａを有する第１のゲート電極１８ａとを形成する。また、ＰＭＩＳ形成領域５０ｂでは第１の誘電体膜１３の一部である第２の下部ゲート絶縁膜１３ｂ、及び第４の誘電体膜３４ｂの一部である第２の上部ゲート絶縁膜３５ｂを有する第２のゲート絶縁膜１７ｂと、第１のゲート電極膜１５の一部である第２の下部ゲート電極１５ｂ、及び第２のゲート電極膜１６の一部である第２の上部ゲート電極１６ｂを有する第２のゲート電極１８ｂとを形成する。

【００４７】

続いて、アッシングによりレジスト材を除去する。本工程において、ドライエッチング工程もしくはアッシング工程で酸素を含むエッチングガスを用いることで、第１のゲート絶縁膜１７ａのうち第１のゲート電極１８ａの端部直下に位置する部分（すなわち、第１のゲート絶縁膜１７ａの端部）と、第２のゲート絶縁膜１７ｂのうち第２のゲート電極１８ｂの端部直下に位置する部分（すなわち、第２のゲート絶縁膜１７ｂの端部）とがわずかに酸化され、第１のゲート絶縁膜１７ａ及び第２のゲート絶縁膜１７ｂの各側面から１～２ｎｍ程度の範囲で負の固定電荷が導入される。

【００４８】

次に、図５（ｂ）に示すように、塩酸を含む水溶液を用いて第１のゲート絶縁膜１７ａ

を選択的にウェットエッチングすることで、第１のゲート絶縁膜１７ａのうち固定電荷が導入された部分（端部）を除去し、第１のゲート絶縁膜１７ａの側面が第１のゲート電極１８ａの側面より内側になるようにする。固定電荷を効果的に除去するためには、第１のゲート絶縁膜１７ａ元の側面から少なくとも１～２ｎｍ程度以内の部分を除去することが好ましい。本工程では、塩酸を含む水溶液を用いればランタンを含む第１のゲート絶縁膜１７ａを選択的に除去することができるので、マスクを形成する必要はない。

【００４９】

次に、図５（ｃ）に示すように、ＣＶＤ法により、厚さ８ｎｍ程度のシリコン窒化膜を半導体基板１０上に堆積してからドライエッチングを行うことで、第１のオフセットスペーサ２０ａ、第２のオフセットスペーサ２０ｂを形成する。次いで、リソグラフィ法とイオン注入法を用いて、第１のゲート電極１８ａをマスクとして第１の活性領域１０ａにはヒ素を、注入エネルギーが例えば２ｋｅＶ、注入ドーズ量が1×10^{15}／cm^2で注入し、第１の活性領域１０ａのうち第１のゲート電極１８ａの両側方に位置する領域にＮ型の第１のエクステンション領域２１ａを形成する。また、第２のゲート電極１８ｂをマスクとして第２の活性領域１０ｂにはホウ素を、注入エネルギーが例えば２ｋｅＶ、注入ドーズ量が1×10^{15}／cm^2で注入し、第２の活性領域１０ｂのうち第２のゲート電極１８ｂの両側方に位置する領域にＰ型の第２のエクステンション領域２１ｂを形成する。

【００５０】

次に、既知の方法を用いて第１のゲート電極１８ａの側面上に第１のオフセットスペーサ２０ａを介して第１のサイドウォール２２ａを形成した後、第１のゲート電極１８ａ及び第１のサイドウォール２２ａをマスクとしてｎ型不純物のイオン注入を行うことで、第１の活性領域１０ａのうち第１のゲート電極１８ａの両側方に位置する領域にＮ型の第１のソース・ドレイン領域２３ａを形成する。また、第２のゲート電極１８ｂの側面上に第２のオフセットスペーサ２０ｂを介して第２のサイドウォールを形成した後、第２のゲート電極１８ｂ及び第２のサイドウォール２２ｂをマスクとしてｐ型不純物のイオン注入を行うことで、第２の活性領域１０ｂのうち第２のゲート電極１８ｂの両側方に位置する領域にＰ型の第２のソース・ドレイン領域２３ｂを形成する。

【００５１】

次に、１０５０℃程度の熱処理を加えることで、エクステンション領域およびソース・ドレイン領域に注入された不純物を拡散させ、ＮＭＩＳトランジスタ１０１およびＰＭＩＳトランジスタ１０２を形成する。このとき、第１のエクステンション領域２１ａの端部は、第１のゲート絶縁膜１７ａの端部（第１のゲート絶縁膜１７ａと第１のオフセットスペーサ２０ａとの境界位置）と同一もしくは第１のゲート絶縁膜１７ａの端部から第１のゲート電極１８ａの中心寄りに入った位置（第１のゲート絶縁膜１７ａの端部とオーバーラップする位置）に配置される。

【００５２】

次に、既知の方法を用いて第１のゲート電極１８ａ上、第２のゲート電極１８ｂ上、第１のソース・ドレイン領域２３ａ上、及び第２のソース・ドレイン領域２３ｂ上にニッケルなどのシリサイド材料を含むシリサイド層２７を形成した後、層間絶縁膜２５、コンタクト２４、及び配線２６を順次形成する。

【００５３】

本実施形態の方法によれば、ゲート絶縁膜にランタンやアルミニウムを含有させることでＮＭＩＳトランジスタとＰＭＩＳトランジスタの閾値電圧を低下させることができ、ゲート絶縁膜端部へのダメージを最小限にすることができる。

【００５４】

なお、以上の説明では、ゲート絶縁膜を形成するための高誘電体材料がハフニウムを含有する場合を例にして述べたが、本発明はこれに限定されるものではなく、酸化アルミニウム、酸化ジルコニウム、酸化タンタルなど、その他の高誘電体材料も同様に用いることが可能である。さらに、これらの高誘電体材料を複数用い、複合高誘電体膜により高誘電率ゲート絶縁膜を構成することも可能である。

【００５５】
また、以上の説明では、ゲート電極を形成するための金属材料に窒化チタンを用いる場合を例として挙げたが、本発明はこれに限定されるものではなく、ゲート電極（下部ゲート電極）はタンタル、モリブデン、アルミニウム、炭素、窒素、シリコンなどを含有する金属膜または金属化合物膜で構成することも可能である。
【００５６】
また、以上の説明では、オフセットスペーサの材料として窒化シリコンを用いる場合を例に挙げたが、本発明はこれに限定されるものではなく、ホウ素や炭素とシリコンを含有する絶縁膜など、ゲート絶縁膜中に負の固定電荷を導入させない材質であれば用いることが可能である。
【産業上の利用可能性】
【００５７】
以上説明したように、本発明は、閾値電圧が低いトランジスタを形成する方法等に有用である。
【符号の説明】
【００５８】
１０　半導体基板
１０ａ　第１の活性領域
１０ｂ　第２の活性領域
１１　素子分離領域
１２ａ　Ｐ型領域
１２ｂ　Ｎ型領域
１３　第１の誘電体膜
１３ａ　第１の下部ゲート絶縁膜
１３ｂ　第２の下部ゲート絶縁膜
１４　第２の誘電体膜
１４ａ　第１の上部ゲート絶縁膜
１４ｂ　第２の上部ゲート絶縁膜
１５　第１のゲート電極膜
１５ａ　第１の下部ゲート電極
１５ｂ　第２の下部ゲート電極
１６　第２のゲート電極膜
１６ａ　第１の上部ゲート電極
１６ｂ　第２の上部ゲート電極
１７ａ　第１のゲート絶縁膜
１７ｂ　第２のゲート絶縁膜
１８ａ　第１のゲート電極
１８ｂ　第２のゲート電極
２０ａ　第１のオフセットスペーサ
２０ｂ　第２のオフセットスペーサ
２１ａ　第１のエクステンション領域
２１ｂ　第２のエクステンション領域
２２ａ　第１のサイドウォール
２２ｂ　第２のサイドウォール
２３ａ　第１のソース・ドレイン領域
２３ｂ　第２のソース・ドレイン領域
２４　コンタクト
２５　層間絶縁膜
２６　配線
２７　シリサイド層

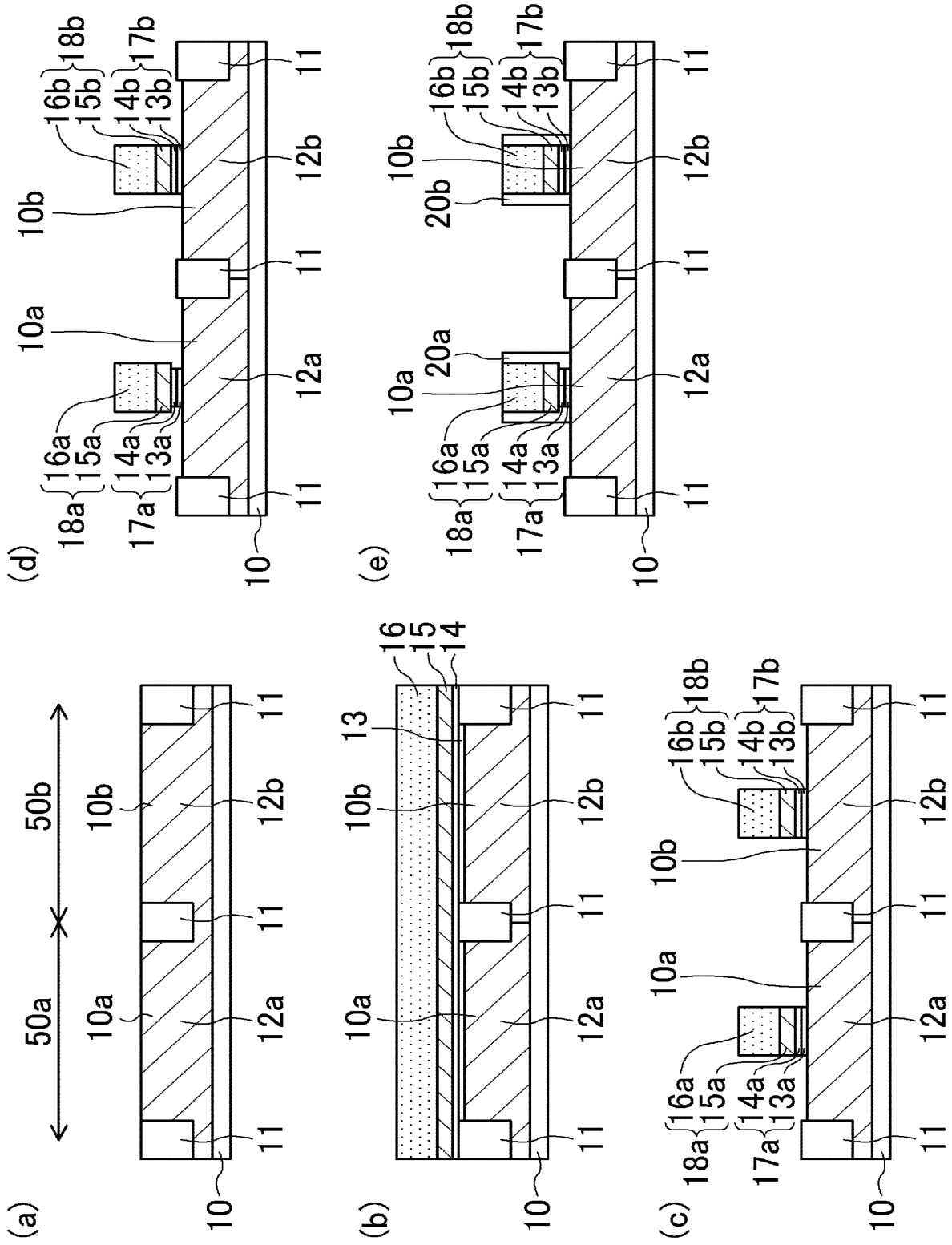
３４ａ　第３の誘電体膜
３４ｂ　第４の誘電体膜
３５ａ　第１の上部ゲート絶縁膜
３５ｂ　第２の上部ゲート絶縁膜
５０ａ　ＮＭＩＳ形成領域
５０ｂ　ＰＭＩＳ形成領域
１０１　ＮＭＩＳトランジスタ
１０２　ＰＭＩＳトランジスタ

【書類名】特許請求の範囲
【請求項１】
第１の活性領域と第２の活性領域を有する基板と、前記第１の活性領域上に形成されたＮＭＩＳトランジスタと、前記第２の活性領域上に形成されたＰＭＩＳトランジスタとを備え、
前記ＮＭＩＳトランジスタは、前記第１の活性領域上に形成され、高誘電体を含む第１のゲート絶縁膜と、前記第１のゲート絶縁膜上に形成され、金属材料を含む第１のゲート電極とを有し、
前記ＰＭＩＳトランジスタは、前記第２の活性領域上に形成され、高誘電体を含む第２のゲート絶縁膜と、前記第２のゲート絶縁膜上に形成され、金属材料を含む第２のゲート電極とを有し、
前記第１のゲート絶縁膜の側面は、前記第１のゲート電極の側面よりも内側に位置しており、
前記第１のゲート電極のゲート長方向の長さに対する前記第１のゲート絶縁膜のゲート長方向の長さの割合は、前記第２のゲート電極のゲート長方向の長さに対する前記第２のゲート絶縁膜のゲート長方向の長さの割合より小さい半導体装置。
【請求項２】
請求項１に記載の半導体装置において、
前記第２のゲート絶縁膜の側面は、前記第２のゲート電極の側面と同一面を構成していることを特徴とする半導体装置。
【請求項３】
請求項１に記載の半導体装置において、
前記第２のゲート絶縁膜の側面は、前記第２のゲート電極の側面よりも内側に位置していることを特徴とする半導体装置。
【請求項４】
請求項１に記載の半導体装置において、
前記第２のゲート絶縁膜の端部は、前記第２のゲート電極の側面から突き出ていることを特徴とする半導体装置。
【請求項５】
請求項１～４のうちいずれか１つに記載の半導体装置において、
前記ＮＭＩＳトランジスタは、前記第１の活性領域のうち前記第１のゲート電極の両側方に位置する領域に形成されたｎ型の第１のエクステンション領域をさらに有しており、
前記ＰＭＩＳトランジスタは、前記第２の活性領域のうち前記第２のゲート電極の両側方に位置する領域に形成されたｐ型の第２のエクステンション領域をさらに有しており、
前記第１のエクステンション領域の端部は、前記第１のゲート絶縁膜の端部と同一位置または前記第１のゲート絶縁膜の端部から前記第１のゲート電極の中心寄りに入った位置にあることを特徴とする半導体装置。
【請求項６】
請求項５に記載の半導体装置において、
前記ＮＭＩＳトランジスタは、前記第１のゲート電極の側面上及び前記第１のゲート絶縁膜の側面上に形成された窒化シリコンからなる第１のオフセットスペーサをさらに有し、
前記ＰＭＩＳトランジスタは、前記第２のゲート電極の側面上及び前記第２のゲート絶縁膜の側面上に形成された窒化シリコンからなる第２のオフセットスペーサをさらに有していることを特徴とする半導体装置。
【請求項７】
請求項１～６のうちいずれか１つに記載の半導体装置において、
前記第１のゲート絶縁膜にはランタンが含まれており、
前記第２のゲート絶縁膜にはアルミニウムが含まれていることを特徴とする半導体装置。

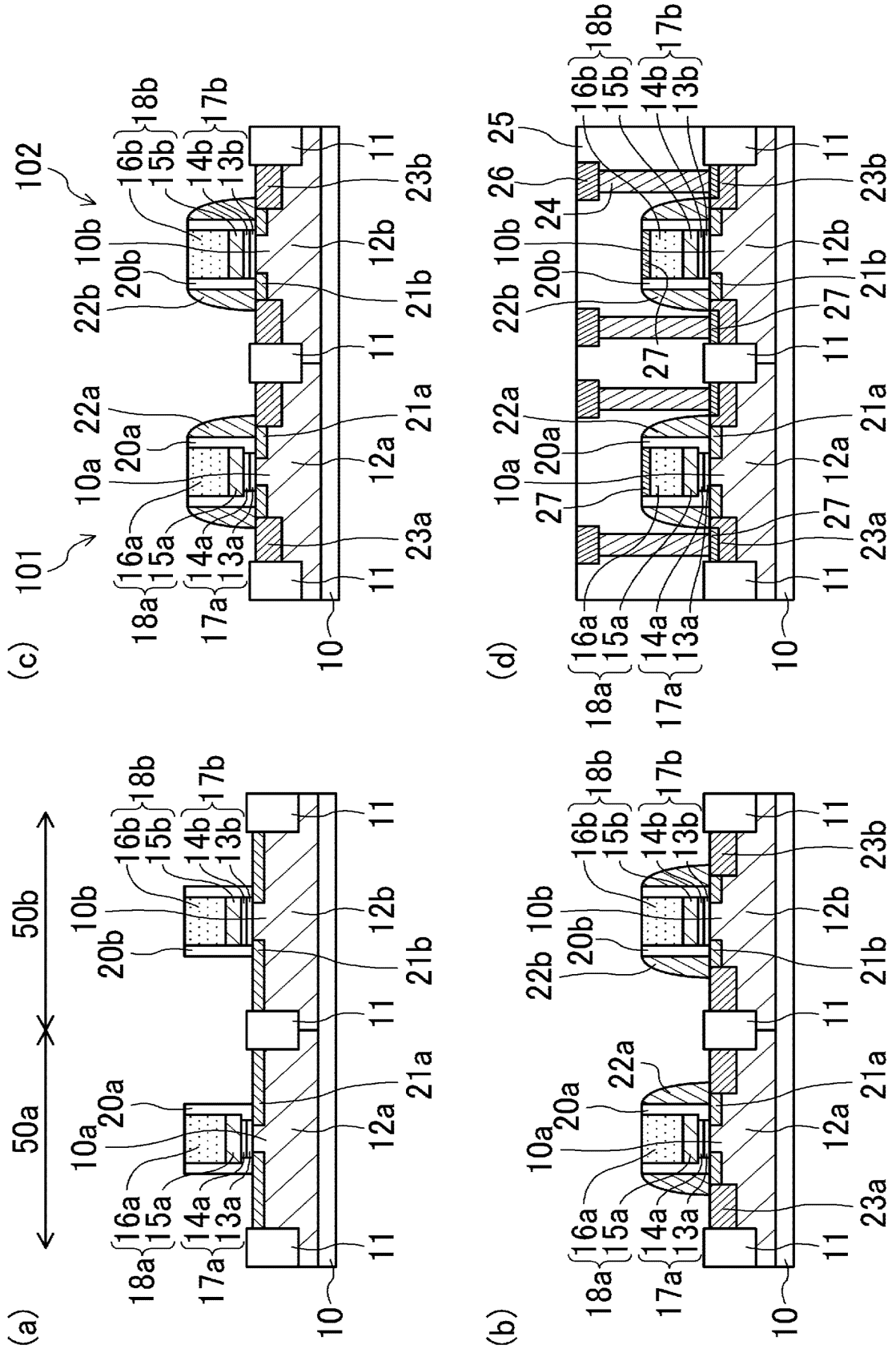
【請求項８】
請求項１～７のうちいずれか１つに記載の半導体装置において、
前記第１のゲート電極は、前記第１のゲート絶縁膜上に形成され、金属または金属化合物で構成された第１の下部ゲート電極と、前記第１の下部ゲート電極上に形成され、ポリシリコンで構成された第１の上部ゲート電極とを有しており、
前記第２のゲート電極は、前記第２のゲート絶縁膜上に形成され、金属または金属化合物で構成された第２の下部ゲート電極と、前記第２の下部ゲート電極上に形成され、ポリシリコンで構成された第２の上部ゲート電極とを有していることを特徴とする半導体装置。
【請求項９】
請求項１～８のうちいずれか１つに記載の半導体装置において、
前記第２のゲート絶縁膜の端部には、前記第１のゲート絶縁膜の端部よりも多くの固定電荷が導入されていることを特徴とする半導体装置。
【請求項１０】
基板に形成された第１の活性領域上に高誘電体を含む第１のゲート絶縁膜と、金属材料を含む第１のゲート電極とを形成し、前記基板に形成された第２の活性領域上に高誘電体を含む第２のゲート絶縁膜と、金属材料を含む第２のゲート電極とを形成する工程（ａ）と、
前記第１のゲート絶縁膜の端部と前記第２のゲート絶縁膜の端部とに負の固定電荷を導入する工程（ｂ）と、
前記工程（ｂ）の後に、前記第１のゲート絶縁膜の端部を除去する工程（ｃ）とを備えた半導体装置の製造方法。
【請求項１１】
請求項１０に記載の半導体装置の製造方法において、
前記工程（ｂ）では、酸素を含むガスを用いてアッシングまたはドライエッチングを行うことを特徴とする半導体装置の製造方法。
【請求項１２】
請求項１０または１１に記載の半導体装置の製造方法において、
前記工程（ｃ）の後に、前記第１のゲート電極の側面上にシリコン窒化膜で構成された第１のオフセットスペーサを形成し、前記第２のゲート電極の側面上にシリコン窒化膜で構成された第２のオフセットスペーサを形成することを特徴とする半導体装置の製造方法。
【請求項１３】
請求項１０～１２のうちいずれか１つに記載の半導体装置の製造方法において、
前記第１のゲート絶縁膜と前記第２のゲート絶縁膜とは組成が異なっており、前記工程（ｃ）では、前記第１のゲート絶縁膜と前記第２のゲート絶縁膜のエッチングレートの差を利用したエッチングにより前記第１のゲート絶縁膜の端部を選択的に除去することを特徴とする半導体装置の製造方法。

【書類名】要約書
【要約】
【課題】ＮＭＩＳトランジスタとＰＭＩＳトランジスタの閾値電圧を同時に低減できる半導体装置を提供する。
【解決手段】半導体装置の製造方法は、基板１０に形成された第１の活性領域１０ａ上に高誘電体を含む第１のゲート絶縁膜１７ａと、金属材料を含む第１のゲート電極１８ａとを形成し、基板１０に形成された第２の活性領域１０ｂ上に高誘電体を含む第２のゲート絶縁膜１７ｂと、金属材料を含む第２のゲート電極１８ｂとを形成する工程と、第１のゲート絶縁膜１７ａの端部と第２のゲート絶縁膜１７ｂの端部とに負の固定電荷を導入する工程と、第１のゲート絶縁膜１７ａの端部を除去する工程とを備えている。
【選択図】図１

【書類名】図面
【図１】

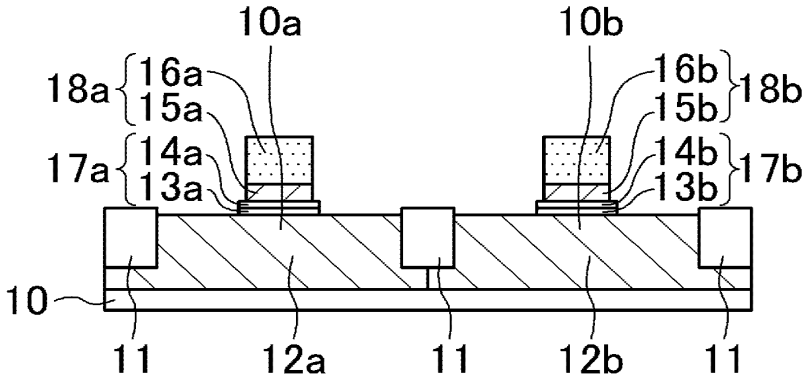

(a)
(b)
(c)
(d)
(e)
10
11
12a
12b
13
14
15
16
10a
10b
50a
50b
13a
13b
14a
14b
15a
15b
16a
16b
17a
17b
18a
18b
20a
20b

【図２】

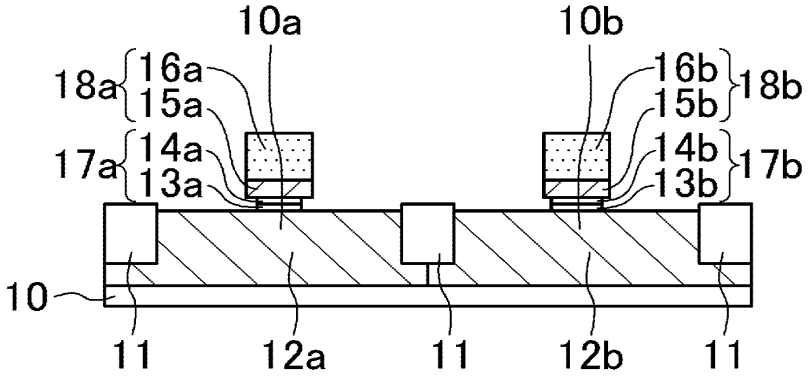

(a)
(b)
(c)
(d)
50a
50b
101
102
10
10a
10b
11
12a
12b
13a
13b
14a
14b
15a
15b
16a
16b
17a
17b
18a
18b
20a
20b
21a
21b
22a
22b
23a
23b
24
25
26
27

【図３】

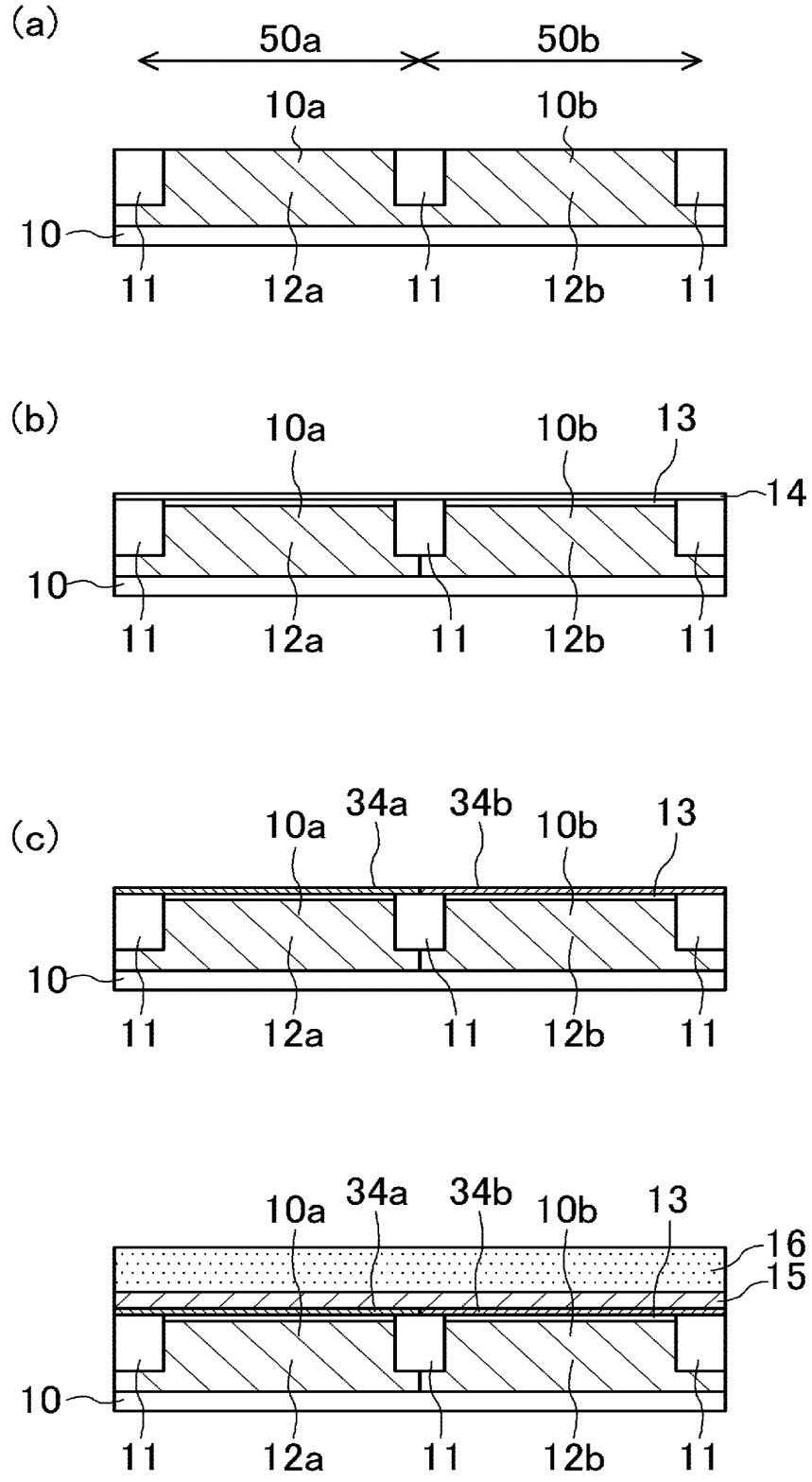
(a)


10a
10b
18a
16a
15a
16b
15b
18b
17a
14a
13a
14b
13b
17b
10
11
12a
11
12b
11

(b)

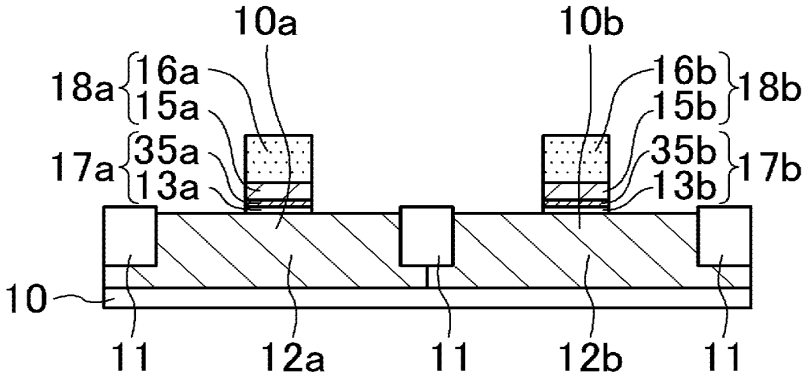

10a
10b
18a
16a
15a
16b
15b
18b
17a
14a
13a
14b
13b
17b
10
11
12a
11
12b
11

【図４】

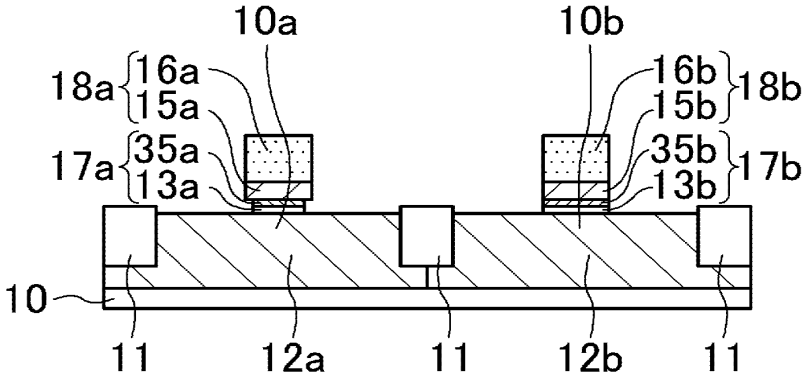

(a)
50a
50b
10a
10b
10
11
12a
11
12b
11
(b)
10a
10b
13
14
10
11
12a
11
12b
11
(c)
10a
34a
34b
10b
13
10
11
12a
11
12b
11
10a
34a
34b
10b
13
16
15
10
11
12a
11
12b
11

【図５】

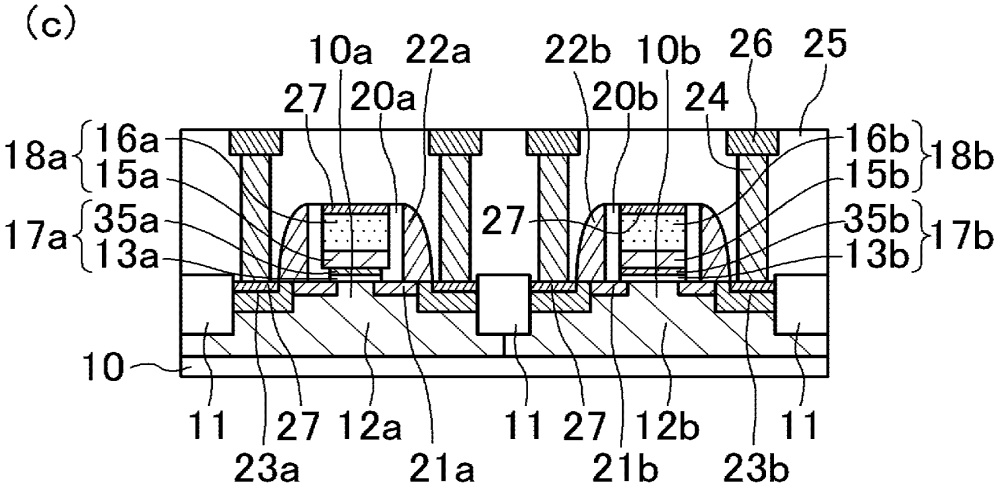
(a)


10a
10b
18a
16a
15a
16b
15b
18b
17a
35a
13a
35b
13b
17b
10
11
12a
11
12b
11

(b)


10a
10b
18a
16a
15a
16b
15b
18b
17a
35a
13a
35b
13b
17b
10
11
12a
11
12b
11

(c)


10a
22a
22b
10b
26
25
27
20a
20b
24
18a
16a
15a
16b
15b
18b
17a
35a
13a
27
35b
13b
17b
10
11
27
12a
11
27
12b
11
23a
21a
21b
23b

【書類名】　手続補正書
【整理番号】　P57441601
【あて先】　特許庁長官　殿
【事件の表示】
　【出願番号】　特願2009-168592
【補正をする者】
　【識別番号】　000005821
　【氏名又は名称】　パナソニック株式会社
【代理人】
　【識別番号】　100077931
　【弁理士】
　【氏名又は名称】　前田　弘
【手続補正1】
　【補正対象書類名】　特許請求の範囲
　【補正対象項目名】　全文
　【補正方法】　変更
　【補正の内容】
　　【書類名】特許請求の範囲
　　【請求項１】
　第１の活性領域と第２の活性領域を有する基板と、前記第１の活性領域上に形成されたＮＭＩＳトランジスタと、前記第２の活性領域上に形成されたＰＭＩＳトランジスタとを備え、
　前記ＮＭＩＳトランジスタは、前記第１の活性領域上に形成され、高誘電体を含む第１のゲート絶縁膜と、前記第１のゲート絶縁膜上に形成され、金属材料を含む第１のゲート電極とを有し、
　前記ＰＭＩＳトランジスタは、前記第２の活性領域上に形成され、高誘電体を含む第２のゲート絶縁膜と、前記第２のゲート絶縁膜上に形成され、金属材料を含む第２のゲート電極とを有し、
　前記第１のゲート絶縁膜の側面は、前記第１のゲート電極の側面よりも内側に位置しており、
　前記第１のゲート電極のゲート長方向の長さに対する前記第１のゲート絶縁膜のゲート長方向の長さの割合は、前記第２のゲート電極のゲート長方向の長さに対する前記第２のゲート絶縁膜のゲート長方向の長さの割合より小さい半導体装置。
　　【請求項２】
　請求項１に記載の半導体装置において、
　前記ＮＭＩＳトランジスタは、前記第１の活性領域のうち前記第１のゲート電極の両側方に位置する領域に形成されたｎ型の第１のエクステンション領域をさらに有しており、
　前記ＰＭＩＳトランジスタは、前記第２の活性領域のうち前記第２のゲート電極の両側方に位置する領域に形成されたｐ型の第２のエクステンション領域をさらに有しており、
　前記第１のエクステンション領域の端部は、前記第１のゲート絶縁膜の端部と同一位置または前記第１のゲート絶縁膜の端部から前記第１のゲート電極の中心寄りに入った位置にあることを特徴とする半導体装置。
　　【請求項３】
　請求項２に記載の半導体装置において、
　前記ＮＭＩＳトランジスタは、前記第１のゲート電極の側面上及び前記第１のゲート絶縁膜の側面上に形成された窒化シリコンからなる第１のオフセットスペーサをさらに有し、
　前記ＰＭＩＳトランジスタは、前記第２のゲート電極の側面上及び前記第２のゲート絶縁膜の側面上に形成された窒化シリコンからなる第２のオフセットスペーサをさらに有していることを特徴とする半導体装置。

【請求項４】
請求項１又は２記載の半導体装置において、
前記第１のゲート絶縁膜にはランタンが含まれており、
前記第２のゲート絶縁膜にはアルミニウムが含まれていることを特徴とする半導体装置。
【請求項５】
請求項１～４のうちいずれか１つに記載の半導体装置において、
前記第１のゲート電極は、前記第１のゲート絶縁膜上に形成され、金属または金属化合物で構成された第１の下部ゲート電極と、前記第１の下部ゲート電極上に形成され、ポリシリコンで構成された第１の上部ゲート電極とを有しており、
前記第２のゲート電極は、前記第２のゲート絶縁膜上に形成され、金属または金属化合物で構成された第２の下部ゲート電極と、前記第２の下部ゲート電極上に形成され、ポリシリコンで構成された第２の上部ゲート電極とを有していることを特徴とする半導体装置。
【請求項６】
請求項１～５のうちいずれか１つに記載の半導体装置において、
前記第２のゲート絶縁膜の端部には、前記第１のゲート絶縁膜の端部よりも多くの固定電荷が導入されていることを特徴とする半導体装置。
【請求項７】
請求項１～６のうちいずれか１つに記載の半導体装置において、
前記第２のゲート絶縁膜の側面は、前記第２のゲート電極の側面と同一面を構成していることを特徴とする半導体装置。
【請求項８】
請求項１～６のうちいずれか１つに記載の半導体装置において、
前記第２のゲート絶縁膜の側面は、前記第２のゲート電極の側面よりも内側に位置していることを特徴とする半導体装置。
【請求項９】
請求項１～６のうちいずれか１つに記載の半導体装置において、
前記第２のゲート絶縁膜の端部は、前記第２のゲート電極の側面から突き出ていることを特徴とする半導体装置。
【請求項１０】
基板に形成された第１の活性領域上に高誘電体を含む第１のゲート絶縁膜と、金属材料を含む第１のゲート電極とを形成し、前記基板に形成された第２の活性領域上に高誘電体を含む第２のゲート絶縁膜と、金属材料を含む第２のゲート電極とを形成する工程（ａ）と、
前記第１のゲート絶縁膜の端部と前記第２のゲート絶縁膜の端部とに負の固定電荷を導入する工程（ｂ）と、
前記工程（ｂ）の後に、前記第１のゲート絶縁膜の端部を除去する工程（ｃ）とを備え、
前記工程（ｃ）において、前記第１のゲート電極のゲート長方向の長さに対する前記第１のゲート絶縁膜のゲート長方向の長さの割合は、前記第２のゲート電極のゲート長方向の長さに対する前記第２のゲート絶縁膜のゲート長方向の長さの割合より小さくなる半導体装置の製造方法。
【請求項１１】
請求項１０に記載の半導体装置の製造方法において、
前記工程（ｂ）では、酸素を含むガスを用いてアッシングまたはドライエッチングを行うことを特徴とする半導体装置の製造方法。
【請求項１２】
請求項１０または１１に記載の半導体装置の製造方法において、
前記工程（ｃ）の後に、前記第１のゲート電極の側面上にシリコン窒化膜で構成された

第１のオフセットスペーサを形成し、前記第２のゲート電極の側面上にシリコン窒化膜で構成された第２のオフセットスペーサを形成することを特徴とする半導体装置の製造方法。

【請求項１３】

請求項１０～１２のうちいずれか１つに記載の半導体装置の製造方法において、

前記第１のゲート絶縁膜と前記第２のゲート絶縁膜とは組成が異なっており、前記工程（ｃ）では、前記第１のゲート絶縁膜と前記第２のゲート絶縁膜のエッチングレートの差を利用したエッチングにより前記第１のゲート絶縁膜の端部を選択的に除去することを特徴とする半導体装置の製造方法。

【書類名】　　手続補正書
【整理番号】　　P57441601
【あて先】　　特許庁長官　殿
【事件の表示】
　【出願番号】　　特願2009-168592
【補正をする者】
　【識別番号】　　000005821
　【氏名又は名称】　パナソニック株式会社
【代理人】
　【識別番号】　　100077931
　【弁理士】
　【氏名又は名称】　前田　弘
【発送番号】　　548741
【手続補正1】
　【補正対象書類名】　特許請求の範囲
　【補正対象項目名】　全文
　【補正方法】　　変更
　【補正の内容】
　　【書類名】特許請求の範囲
　　【請求項１】
　第１の活性領域と第２の活性領域を有する基板と、前記第１の活性領域上に形成されたＮＭＩＳトランジスタと、前記第２の活性領域上に形成されたＰＭＩＳトランジスタとを備え、
　前記ＮＭＩＳトランジスタは、前記第１の活性領域上に形成され、高誘電体を含む第１のゲート絶縁膜と、前記第１のゲート絶縁膜上に形成され、金属材料を含む第１のゲート電極とを有し、
　前記ＰＭＩＳトランジスタは、前記第２の活性領域上に形成され、高誘電体を含む第２のゲート絶縁膜と、前記第２のゲート絶縁膜上に形成され、金属材料を含む第２のゲート電極とを有し、
　前記第１のゲート絶縁膜の側面は、前記第１のゲート電極の側面よりも内側に位置しており、
　前記第２のゲート絶縁膜の端部には、前記第１のゲート絶縁膜の端部よりも多くの負の固定電荷が導入されており、
　前記第１のゲート電極のゲート長方向の長さに対する前記第１のゲート絶縁膜のゲート長方向の長さの割合は、前記第２のゲート電極のゲート長方向の長さに対する前記第２のゲート絶縁膜のゲート長方向の長さの割合より小さい半導体装置。
　　【請求項２】
　請求項１に記載の半導体装置において、
　前記ＮＭＩＳトランジスタは、前記第１の活性領域のうち前記第１のゲート電極の両側方に位置する領域に形成されたｎ型の第１のエクステンション領域をさらに有しており、
　前記ＰＭＩＳトランジスタは、前記第２の活性領域のうち前記第２のゲート電極の両側方に位置する領域に形成されたｐ型の第２のエクステンション領域をさらに有しており、
　前記第１のエクステンション領域の端部は、前記第１のゲート絶縁膜の端部と同一位置または前記第１のゲート絶縁膜の端部から前記第１のゲート電極の中心寄りに入った位置にあることを特徴とする半導体装置。
　　【請求項３】
　請求項２に記載の半導体装置において、
　前記ＮＭＩＳトランジスタは、前記第１のゲート電極の側面上及び前記第１のゲート絶縁膜の側面上に形成された窒化シリコンからなる第１のオフセットスペーサをさらに有し、

前記ＰＭＩＳトランジスタは、前記第２のゲート電極の側面上及び前記第２のゲート絶縁膜の側面上に形成された窒化シリコンからなる第２のオフセットスペーサをさらに有していることを特徴とする半導体装置。

【請求項４】

請求項１又は２記載の半導体装置において、

前記第１のゲート絶縁膜にはランタンが含まれており、

前記第２のゲート絶縁膜にはアルミニウムが含まれていることを特徴とする半導体装置。

【請求項５】

請求項１～４のうちいずれか１つに記載の半導体装置において、

前記第１のゲート電極は、前記第１のゲート絶縁膜上に形成され、金属または金属化合物で構成された第１の下部ゲート電極と、前記第１の下部ゲート電極上に形成され、ポリシリコンで構成された第１の上部ゲート電極とを有しており、

前記第２のゲート電極は、前記第２のゲート絶縁膜上に形成され、金属または金属化合物で構成された第２の下部ゲート電極と、前記第２の下部ゲート電極上に形成され、ポリシリコンで構成された第２の上部ゲート電極とを有していることを特徴とする半導体装置。

【請求項６】

請求項１～５のうちいずれか１つに記載の半導体装置において、

前記第２のゲート絶縁膜の側面は、前記第２のゲート電極の側面と同一面を構成していることを特徴とする半導体装置。

【請求項７】

請求項１～５のうちいずれか１つに記載の半導体装置において、

前記第２のゲート絶縁膜の側面は、前記第２のゲート電極の側面よりも内側に位置していることを特徴とする半導体装置。

【請求項８】

請求項１～５のうちいずれか１つに記載の半導体装置において、

前記第２のゲート絶縁膜の端部は、前記第２のゲート電極の側面から突き出ていることを特徴とする半導体装置。

【請求項９】

基板に形成された第１の活性領域上に設けられたＮＭＩＳトランジスタと、前記基板に形成された第２の活性領域上に設けられたＰＭＩＳトランジスタとを備える半導体装置の製造方法であって、

前記第１の活性領域上に高誘電体を含む第１のゲート絶縁膜と、金属材料を含む第１のゲート電極とを形成し、前記第２の活性領域上に高誘電体を含む第２のゲート絶縁膜と、金属材料を含む第２のゲート電極とを形成する工程（ａ）と、

前記第１のゲート絶縁膜の端部と前記第２のゲート絶縁膜の端部とに負の固定電荷を導入する工程（ｂ）と、

前記工程（ｂ）の後に、前記第１のゲート絶縁膜の端部を除去する工程（ｃ）とを備え、

前記工程（ｃ）において、前記第１のゲート電極のゲート長方向の長さに対する前記第１のゲート絶縁膜のゲート長方向の長さの割合は、前記第２のゲート電極のゲート長方向の長さに対する前記第２のゲート絶縁膜のゲート長方向の長さの割合より小さくなる半導体装置の製造方法。

【請求項１０】

請求項９に記載の半導体装置の製造方法において、

前記工程（ｂ）では、酸素を含むガスを用いてアッシングまたはドライエッチングを行うことを特徴とする半導体装置の製造方法。

【請求項１１】

請求項９または１０に記載の半導体装置の製造方法において、

前記工程（ｃ）の後に、前記第１のゲート電極の側面上にシリコン窒化膜で構成された第１のオフセットスペーサを形成し、前記第２のゲート電極の側面上にシリコン窒化膜で構成された第２のオフセットスペーサを形成することを特徴とする半導体装置の製造方法。

【請求項１２】

請求項９～１１のうちいずれか１つに記載の半導体装置の製造方法において、

前記第１のゲート絶縁膜と前記第２のゲート絶縁膜とは組成が異なっており、前記工程（ｃ）では、前記第１のゲート絶縁膜と前記第２のゲート絶縁膜のエッチングレートの差を利用したエッチングにより前記第１のゲート絶縁膜の端部を選択的に除去することを特徴とする半導体装置の製造方法。

出願人履歴

０００００５８２１

20081001

名称変更

５０６１７８４４９

大阪府門真市大字門真１００６番地

パナソニック株式会社

PATENT APPLICATION FEE DETERMINATION RECORD Substitute for Form PTO-875	Application or Docket Number 13/294,727

APPLICATION AS FILED - PART I

FOR	(Column 1) NUMBER FILED	(Column 2) NUMBER EXTRA	SMALL ENTITY RATE($)	SMALL ENTITY FEE($)	OR	OTHER THAN SMALL ENTITY RATE($)	OTHER THAN SMALL ENTITY FEE($)
BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A	380
SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A			N/A	620
EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A	250
TOTAL CLAIMS (37 CFR 1.16(i))	15 minus 20 =	*			OR	x 60 =	0.00
INDEPENDENT CLAIMS (37 CFR 1.16(h))	1 minus 3 =	*				x 250 =	0.00
APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $310 ($155 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).						0.00
MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))							0.00
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL	1250

APPLICATION AS AMENDED - PART II

		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE($)	SMALL ENTITY ADDITIONAL FEE($)	OR	OTHER THAN SMALL ENTITY RATE($)	OTHER THAN SMALL ENTITY ADDITIONAL FEE($)
AMENDMENT A	Total (37 CFR 1.16(i))	*	Minus	**	=	x =		OR	x =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	x =		OR	x =	
	Application Size Fee (37 CFR 1.16(s))									
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE($)	SMALL ENTITY ADDITIONAL FEE($)	OR	OTHER THAN SMALL ENTITY RATE($)	OTHER THAN SMALL ENTITY ADDITIONAL FEE($)
AMENDMENT B	Total (37 CFR 1.16(i))	*	Minus	**	=	x =		OR	x =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	x =		OR	x =	
	Application Size Fee (37 CFR 1.16(s))									
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".
The "Highest Number Previously Paid For" (Total or Independent) is the highest found in the appropriate box in column 1.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING or 371(c) DATE	GRP ART UNIT	FIL FEE REC'D	ATTY.DOCKET.NO	TOT CLAIMS	IND CLAIMS
13/294,727	11/11/2011	2811	1250	085393-0709	15	1

CONFIRMATION NO. 6315

McDERMOTT WILL & EMERY LLP
600 13th Street, N.W.
Washington, DC 20005-3096

FILING RECEIPT

OC000000051134668

Date Mailed: 11/30/2011

Receipt is acknowledged of this non-provisional patent application. The application will be taken up for examination in due course. Applicant will be notified as to the results of the examination. Any correspondence concerning the application must include the following identification information: the U.S. APPLICATION NUMBER, FILING DATE, NAME OF APPLICANT, and TITLE OF INVENTION. Fees transmitted by check or draft are subject to collection. Please verify the accuracy of the data presented on this receipt. **If an error is noted on this Filing Receipt, please submit a written request for a Filing Receipt Correction. Please provide a copy of this Filing Receipt with the changes noted thereon. If you received a "Notice to File Missing Parts" for this application, please submit any corrections to this Filing Receipt with your reply to the Notice. When the USPTO processes the reply to the Notice, the USPTO will generate another Filing Receipt incorporating the requested corrections**

Applicant(s)

Tomohiro FUJITA, Toyama, JAPAN;
Junji HIRASE, Toyama, JAPAN;
Yoshihiro SATO, Toyama, JAPAN;

Assignment For Published Patent Application

PANASONIC CORPORATION, Osaka, JAPAN

Power of Attorney: The patent practitioners associated with Customer Number 53080

Domestic Priority data as claimed by applicant

This application is a CON of PCT/JP2010/001143 02/22/2010

Foreign Applications (You may be eligible to benefit from the **Patent Prosecution Highway** program at the USPTO. Please see http://www.uspto.gov for more information.)
JAPAN 2009-168592 07/17/2009

Request to Retrieve - This application either claims priority to one or more applications filed in an intellectual property Office that participates in the Priority Document Exchange (PDX) program or contains a proper **Request to Retrieve Electronic Priority Application(s)** (PTO/SB/38 or its equivalent). Consequently, the USPTO will attempt to electronically retrieve these priority documents.

If Required, Foreign Filing License Granted: 11/23/2011

The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is **US 13/294,727**

Projected Publication Date: 03/08/2012

Non-Publication Request: No

Early Publication Request: No
Title

SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME

Preliminary Class

257

PROTECTING YOUR INVENTION OUTSIDE THE UNITED STATES

Since the rights granted by a U.S. patent extend only throughout the territory of the United States and have no effect in a foreign country, an inventor who wishes patent protection in another country must apply for a patent in a specific country or in regional patent offices. Applicants may wish to consider the filing of an international application under the Patent Cooperation Treaty (PCT). An international (PCT) application generally has the same effect as a regular national patent application in each PCT-member country. The PCT process **simplifies** the filing of patent applications on the same invention in member countries, but **does not result** in a grant of "an international patent" and does not eliminate the need of applicants to file additional documents and fees in countries where patent protection is desired.

Almost every country has its own patent law, and a person desiring a patent in a particular country must make an application for patent in that country in accordance with its particular laws. Since the laws of many countries differ in various respects from the patent law of the United States, applicants are advised to seek guidance from specific foreign countries to ensure that patent rights are not lost prematurely.

Applicants also are advised that in the case of inventions made in the United States, the Director of the USPTO must issue a license before applicants can apply for a patent in a foreign country. The filing of a U.S. patent application serves as a request for a foreign filing license. The application's filing receipt contains further information and guidance as to the status of applicant's license for foreign filing.

Applicants may wish to consult the USPTO booklet, "General Information Concerning Patents" (specifically, the section entitled "Treaties and Foreign Patents") for more information on timeframes and deadlines for filing foreign patent applications. The guide is available either by contacting the USPTO Contact Center at 800-786-9199, or it can be viewed on the USPTO website at http://www.uspto.gov/web/offices/pac/doc/general/index.html.

For information on preventing theft of your intellectual property (patents, trademarks and copyrights), you may wish to consult the U.S. Government website, http://www.stopfakes.gov. Part of a Department of Commerce initiative, this website includes self-help "toolkits" giving innovators guidance on how to protect intellectual property in specific countries such as China, Korea and Mexico. For questions regarding patent enforcement issues, applicants may call the U.S. Government hotline at 1-866-999-HALT (1-866-999-4158).

LICENSE FOR FOREIGN FILING UNDER

Title 35, United States Code, Section 184

Title 37, Code of Federal Regulations, 5.11 & 5.15

GRANTED

The applicant has been granted a license under 35 U.S.C. 184, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" followed by a date appears on this form. Such licenses are issued in all applications where

the conditions for issuance of a license have been met, regardless of whether or not a license may be required as set forth in 37 CFR 5.15. The scope and limitations of this license are set forth in 37 CFR 5.15(a) unless an earlier license has been issued under 37 CFR 5.15(b). The license is subject to revocation upon written notification. The date indicated is the effective date of the license, unless an earlier license of similar scope has been granted under 37 CFR 5.13 or 5.14.

This license is to be retained by the licensee and may be used at any time on or after the effective date thereof unless it is revoked. This license is automatically transferred to any related applications(s) filed under 37 CFR 1.53(d). This license is not retroactive.

The grant of a license does not in any way lessen the responsibility of a licensee for the security of the subject matter as imposed by any Government contract or the provisions of existing laws relating to espionage and the national security or the export of technical data. Licensees should apprise themselves of current regulations especially with respect to certain countries, of other agencies, particularly the Office of Defense Trade Controls, Department of State (with respect to Arms, Munitions and Implements of War (22 CFR 121-128)); the Bureau of Industry and Security, Department of Commerce (15 CFR parts 730-774); the Office of Foreign AssetsControl, Department of Treasury (31 CFR Parts 500+) and the Department of Energy.

NOT GRANTED

No license under 35 U.S.C. 184 has been granted at this time, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" DOES NOT appear on this form. Applicant may still petition for a license under 37 CFR 5.12, if a license is desired before the expiration of 6 months from the filing date of the application. If 6 months has lapsed from the filing date of this application and the licensee has not received any indication of a secrecy order under 35 U.S.C. 181, the licensee may foreign file the application pursuant to 37 CFR 5.15(b).

SelectUSA

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation and commercialization of new technologies. The USA offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to encourage, facilitate, and accelerate business investment. To learn more about why the USA is the best country in the world to develop technology, manufacture products, and grow your business, visit SelectUSA.gov.

PTO/SB/20PCT-JP (05-10)
Approved for use through 01/31/2012. OMB 0651-0058
U.S. Patent and Trademark Office; U. S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

REQUEST FOR PARTICIPATION IN THE PATENT COOPERATION TREATY - PATENT PROSECUTION HIGHWAY (PCT-PPH) PILOT PROGRAM BETWEEN THE JAPAN PATENT OFFICE (JPO) AND THE USPTO

Application No:	13/294,727	Filing date:	11 November 2011
First Named Inventor:	Tomohiro FUJITA		
Title of the Invention:	SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME		

THIS REQUEST FOR PARTICIPATION IN THE PCT-PPH PILOT PROGRAM ALONG WITH THE REQUIRED DOCUMENTS MUST BE SUBMITTED VIA EFS-WEB. INFORMATION REGARDING EFS-WEB IS AVAILABLE AT HTTP://WWW.USPTO.GOV/EBC/EFS_HELP.HTML

APPLICANT HEREBY REQUESTS PARTICIPATION IN THE PCT-PPH PROGRAM AND PETITIONS TO MAKE THE ABOVE-IDENTIFIED APPLICATION SPECIAL UNDER THE PCT-PPH PROGRAM.

The above-identified application is (1) a national stage entry of the corresponding PCT application, or (2) a national stage entry of another PCT application which claims priority to the corresponding PCT application, or (3) a national application that claims domestic/ foreign priority to the corresponding PCT application, or (4) a national application which forms the basis for the priority claim in the corresponding PCT application, or (5) a continuing application of a U.S. application that satisfies one of (1) to (4) above, or (6) a U.S. application that claims domestic benefit to a U.S. provisional application which forms the basis for the priority claim in the corresponding PCT application.

The corresponding PCT application number(s) is/are: PCT/JP2010/001143

The international date of the corresponding PCT application(s) is/are: 22 February 2010

I. List of Required Documents:

a. **A copy of the latest international work product (WO/ISA, WO/IPEA, or IPER) in the above–identified corresponding PCT application(s)**

☑ Is attached.

☐ Is not attached because the document is already in the U.S. application.

b. **A copy of all claims which were indicated as having novelty, inventive step and industrial applicability in the above-identified corresponding PCT application(s).**

☑ Is attached.

☐ Is not attached because the document is already in the U.S. application.

c. **English translations of the documents in a. and b. above are attached (if the documents are not in the English language). A statement that the English translation is accurate is attached for the document in b. above.**

This collection of information is required by 35 U.S.C. 119, 37 CFR 1.55, and 37 CFR 1.102(d). The information is required to obtain or retain a benefit by the public, which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.

REQUEST FOR PARTICIPATION IN THE PCT-PPH PILOT PROGRAM BETWEEN THE JPO AND THE USPTO

(continued)

Application No.:	13/294,727
First Named Inventor:	Tomohiro FUJITA

d. **(1) An information disclosure statement listing the documents cited in the international work products (ISR, WO/ISA, WO/IPEA, IPER) of the corresponding PCT application.**

☐ Is attached

☑ Has already been filed in the above-identified U.S. application on 11 November 2011

(2) Copies of all documents (except) for U.S. patents or U.S. patent application publications)

☐ Are attached.

☑ Have already been filed in the above-identified U.S. application on 11 November 2011

II. Claims Correspondence Table:

Claims in US Application	Patentable Claims in the corresponding PCT Application	Explanation regarding the correspondence
1	1	same
2	2	same
3	3	same
4	4	same, except US claim depends from claim 1
5	5	same, except US claim depends from claim 1
6	6	same, except US claim depends from claim 1
7	7	same, except US claim depends from claim 1
8	8	same, except US claim depends from claim 1
9	9	same, except US claim depends from claim 1
10	1	US claim depends from and is narrower than claim 1
11	1	US claim depends from and is narrower than claim 1
12	11	US claim depends from and is narrower than claim 11
13	1	US claim depends from and is narrower than claim 1
14	1	US claim depends from and is narrower than claim 1
15	1	US claim depends from and is narrower than claim 1

III. All the claims in the US application sufficiently correspond to the patentable claims in the corresponding PCT application.

Signature	Date November 17, 2011
Name (Print/Typed) Michael E. Fogarty	Registration Number 36,139

[Page 2 of 2]

CERTIFICATE OF TRANSLATION

I, the undersigned, hereby certify

that I am well acquainted with the English and Japanese languages,

that I prepared the attached document, and

that, to the best of my knowledge and belief, the attached document is an accurate translation of granted claims of PCT International Application No. PCT/JP2010/001143 filed on February 22, 2010.

I declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true.

Y. Nakamoto

Yukari NAKAMOTO

S
D

PPH

特許協力条約



発信人　日本国特許庁（国際調査機関）

代理人
前田弘

様

あて名
〒541-0053
日本国大阪府大阪市中央区本町２丁目５番７号　大阪丸紅ビル

PCT
国際調査機関の見解書
（法施行規則第40条の2）
〔PCT規則43の2.1〕

発送日 （日.月.年）	01. 06. 2010
出願人又は代理人 の書類記号　P055570P0	今後の手続きについては、下記２を参照すること。

国際出願番号	国際出願日	優先日
PCT／JP2010／001143	（日.月.年）　22. 02. 2010	（日.月.年）　17. 07. 2009

国際特許分類（IPC）Int.Cl. H01L21/8238(2006.01)i, H01L27/092(2006.01)i, H01L29/78(2006.01)i

出願人（氏名又は名称）
パナソニック株式会社

1．この見解書は次の内容を含む。

- ☑ 第Ⅰ欄　見解の基礎
- ☐ 第Ⅱ欄　優先権
- ☐ 第Ⅲ欄　新規性、進歩性又は産業上の利用可能性についての見解の不作成
- ☐ 第Ⅳ欄　発明の単一性の欠如
- ☑ 第Ⅴ欄　PCT規則43の2.1(a)(i)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
- ☐ 第Ⅵ欄　ある種の引用文献
- ☐ 第Ⅶ欄　国際出願の不備
- ☐ 第Ⅷ欄　国際出願に対する意見

2．今後の手続き
国際予備審査の請求がされた場合は、出願人がこの国際調査機関とは異なる国際予備審査機関を選択し、かつ、その国際予備審査機関がPCT規則66.1の2(b)の規定に基づいて国際調査機関の見解書を国際予備審査機関の見解書とみなさない旨を国際事務局に通知していた場合を除いて、この見解書は国際予備審査機関の最初の見解書とみなされる。

この見解書が上記のように国際予備審査機関の見解書とみなされる場合、様式PCT／ISA／220を送付した日から3月又は優先日から22月のうちいずれか遅く満了する期限が経過するまでに、出願人は国際予備審査機関に、適当な場合は補正書とともに、答弁書を提出することができる。

さらなる選択肢は、様式PCT／ISA／220を参照すること。

3．さらなる詳細は、様式PCT／ISA／220の備考を参照すること。

見解書を作成した日
14. 05. 2010

名称及びあて先	特許庁審査官（権限のある職員）	4M	3840
日本国特許庁（ISA／JP） 郵便番号100－8915 東京都千代田区霞が関三丁目4番3号	宮部　裕一 電話番号　03－3581－1101　内線　3462		

様式PCT／ISA／237（表紙）（2009年7月）

国際調査機関の見解書

国際出願番号 PCT／JP2010／001143

第Ⅰ欄 見解の基礎

1．言語に関し、この見解書は以下のものに基づき作成した。

☑ 出願時の言語による国際出願

☐ 出願時の言語から国際調査のための言語である＿＿＿＿＿＿語に翻訳された、この国際出願の翻訳文
（ＰＣＴ規則12.3(a)及び23.1(b)）

2．☐ この見解書は、ＰＣＴ規則91の規定により国際調査機関が認めた又は国際調査機関に通知された明らかな誤りの訂正を考慮して作成した（ＰＣＴ規則43の2.1(b)）。

3．この国際出願で開示されたヌクレオチド又はアミノ酸配列に関して、提出された以下の配列表に基づき見解書を作成した。

a．提出手段 ☐ 紙形式

☐ 電子形式

b．提出時期 ☐ 出願時の国際出願に含まれていたもの

☐ この国際出願と共に電子形式により提出されたもの

☐ 出願後に、調査のために、この国際調査機関に提出されたもの

4．☐ さらに、複数の版の配列表又は配列表の写しを提出した場合、出願後に提出した配列の写し若しくは追加して提出した配列の写しが、出願時に提出した配列と同一である旨又は出願時の開示を超える事項を含まない旨の陳述書の提出があった。

5．補足意見：

様式ＰＣＴ／ＩＳＡ／２３７（第Ⅰ欄）（２００９年７月）

国際調査機関の見解書

国際出願番号 PCT／JP2010／001143

第Ⅴ欄 新規性、進歩性又は産業上の利用可能性についてのＰＣＴ規則43の2.1(a)(i)に定める見解、それを裏付ける文献及び説明

1． 見解

新規性（N）	請求項	1-13	有
	請求項		無
進歩性（ＩＳ）	請求項	1-13	有
	請求項		無
産業上の利用可能性（ＩＡ）	請求項	1-13	有
	請求項		無

2． 文献及び説明

文献１：WO 2005/013374 A1（富士通株式会社）2005.02.10
文献２：JP 2004-087695 A（富士通株式会社）2004.03.18
文献３：JP 2005-333164 A（株式会社ルネサステクノロジ）2005.12.02
文献４：JP 2008-211182 A（アンテルユニヴェルシテール・ミクローエレクトロニカ・サントリュム・ヴェー・ゼッド・ドゥブルヴェ）2008.09.11
文献５：JP 2008-305950 A（株式会社ルネサステクノロジ）2008.12.18
文献６：JP 2000-174135 A（三菱電機株式会社）2000.06.23

・請求項１～１３
請求項１～１３に係る発明は、国際調査報告で引用されたいずれの文献にも記載されておらず、当業者にとって自明なものでもない。

様式ＰＣＴ／ＩＳＡ／２３７（第Ⅴ欄）（２００９年７月）

WRITTEN OPINION OF THE INTERNATIONAL SEARCHING AUTHORITY

International application No. PCT/JP2010/001143

Box No. V Reasoned statement under PCT Rule 43 2.1(a)(i) with regard to novelty, inventive step and industrial applicability; citations and explanations supporting such statement

1. Statement

Novelty (N)	Claims	1-13	YES
	Claims		NO
Inventive step (IS)	Claims	1-13	YES
	Claims		NO
Industrial applicability (IA)	Claims	1-13	YES
	Claims		NO

2. Citation and explanations:

Reference 1: WO 2005/013374 A1 (Fujitsu Limited), February 10, 2005
Reference 2: JP 2004-087695 A (Fujitsu Limited), March 18, 2004
Reference 3: JP 2005-333164 A (Renesas Technology Corp.), December 2, 2005
Reference 4: JP 2008-211182 A (Interuniversity Micro-Electronica Centrum vzw), September 11, 2008
Reference 5: JP 2008-305950 A (Renesas Technology Corp.), December 18, 2008
Reference 6: JP 2000-174135 A (Mitsubishi Electric Corporation), June 23, 2000

None of the references cited in the International Search Report discloses the invention regarding claims 1-13, and the invention is not obvious to those skilled in the art.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2010/001143

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/8238(2006.01)i, *H01L27/092*(2006.01)i, *H01L29/78*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/8238, H01L27/092, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2005/013374 A1 (Fujitsu Ltd.), 10 February 2005 (10.02.2005), entire text; all drawings & US 2006/0194450 A1	1-13
A	JP 2004-087695 A (Fujitsu Ltd.), 18 March 2004 (18.03.2004), entire text; all drawings & US 2004/0038490 A1	1-13
A	JP 2005-333164 A (Renesas Technology Corp.), 02 December 2005 (02.12.2005), entire text; all drawings (Family: none)	1-13

[X] Further documents are listed in the continuation of Box C. [ ] See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
14 May, 2010 (14.05.10)	01 June, 2010 (01.06.10)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

Form PCT/ISA/210 (second sheet) (July 2009)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2010/001143

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-211182 A (Interuniversitair Micro-Electronica Centrum VZW), 11 September 2008 (11.09.2008), entire text; all drawings & US 2008/0191286 A1 & EP 1944801 A1 & CN 101221922 A	1-13
A	JP 2008-305950 A (Renesas Technology Corp.), 18 December 2008 (18.12.2008), entire text; all drawings (Family: none)	1-13
A	JP 2000-174135 A (Mitsubishi Electric Corp.), 23 June 2000 (23.06.2000), entire text; all drawings & US 6525380 B2	1-13

Form PCT/ISA/210 (continuation of second sheet) (July 2009)

特許協力条約

PCT

国際調査報告

（法８条、法施行規則第40、41条）
〔ＰＣＴ18条、ＰＣＴ規則43、44〕

出願人又は代理人 の書類記号　P06667OP0	今後の手続きについては、様式ＰＣＴ／ＩＳＡ／２２０ 及び下記５を参照すること。	
国際出願番号 ＰＣＴ／ＪＰ２０１０／００１１４３	国際出願日 （日.月.年）　２２．０２．２０１０	優先日 （日.月.年）　１７．０７．２００９
出願人（氏名又は名称） パナソニック株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条（ＰＣＴ18条）の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で　3　ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1．国際調査報告の基礎
a．言語に関し、この国際調査は以下のものに基づき行った。
☑ 出願時の言語による国際出願
☐ 出願時の言語から国際調査のための言語である＿＿＿＿＿＿＿＿語に翻訳された、
この国際出願の翻訳文（ＰＣＴ規則12.3(a)及び23.1(b)）

b．☐ この国際調査報告は、ＰＣＴ規則91の規定により国際調査機関が認めた又は国際調査機関に通知された明らかな誤りの訂正を考慮して作成した（ＰＣＴ規則43.6の2(a)）。

c．☐ この国際出願は、ヌクレオチド又はアミノ酸配列を含んでいる（第Ｉ欄参照）。

2．☐ 請求の範囲の一部の調査ができない（第Ⅱ欄参照）。

3．☐ 発明の単一性が欠如している（第Ⅲ欄参照）。

4．発明の名称は
☑ 出願人が提出したものを承認する。
☐ 次に示すように国際調査機関が作成した。

＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿

5．要約は
☑ 出願人が提出したものを承認する。
☐ 第Ⅳ欄に示されているように、法施行規則第47条第１項（ＰＣＴ規則38.2）の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から１月以内にこの国際調査機関に意見を提出することができる。

6．図面に関して
a．要約書とともに公表される図は、
第　1　図とする。☑ 出願人が示したとおりである。
☐ 出願人は図を示さなかったので、国際調査機関が選択した。
☐ 本図は発明の特徴を一層よく表しているので、国際調査機関が選択した。

b．☐ 要約とともに公表される図はない。

国際調査報告	国際出願番号 PCT／JP2010／001143

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/8238(2006.01)i, H01L27/092(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/8238, H01L27/092, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922－1996年
日本国公開実用新案公報	1971－2010年
日本国実用新案登録公報	1996－2010年
日本国登録実用新案公報	1994－2010年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー＊	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	WO 2005/013374 A1（富士通株式会社）2005.02.10, 全文全図 & US 2006/0194450 A1	1-13
A	JP 2004-087695 A（富士通株式会社）2004.03.18, 全文全図 & US 2004/0038490 A1	1-13
A	JP 2005-333164 A（株式会社ルネサステクノロジ）2005.12.02, 全文全図（ファミリーなし）	1-13

☑ C欄の続きにも文献が列挙されている。　☐ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
14.05.2010	01.06.2010

国際調査機関の名称及びあて先	特許庁審査官（権限のある職員）	4M	3840
日本国特許庁（ISA／JP） 郵便番号100 8915 東京都千代田区霞が関三丁目4番3号	宮部 裕一 電話番号 03－3581－1101 内線 3462		

様式PCT／ISA／210（第2ページ）（2009年7月）

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2008-211182 A（アンテルユニヴェルシテール・ミクロ－エレクトロニカ・サントリュム・ヴェー・ゼッド・ドゥブルヴェ）2008.09.11, 全文全図 & US 2008/0191286 A1 & EP 1944801 A1 & CN 101221922 A	1-13
A	JP 2008-305950 A（株式会社ルネサステクノロジ）2008.12.18, 全文全図（ファミリーなし）	1-13
A	JP 2000-174135 A（三菱電機株式会社）2000.06.23, 全文全図 & US 6525380 B2	1-13

様式PCT/ISA/210（第2ページの続き）（2009年7月）

CLAIMS

What is claimed is:

1. A semiconductor device, comprising:

a substrate including a first active region and a second active region;

an NMIS transistor provided on the first active region; and

a PMIS transistor provided on the second active region, wherein

the NMIS transistor includes a first gate insulating film provided on the first active region and containing a high-k dielectric and a first gate electrode provided on the first gate insulating film and containing a metal material,

the PMIS transistor includes a second gate insulating film provided on the second active region and containing a high-k dielectric and a second gate electrode provided on the second gate insulating film and containing a metal material,

a side surface of the first gate insulating film is located at an inner side of a side surface of the first gate electrode, and

a ratio of a length of the first gate insulating film along a gate length direction to a length of the first gate electrode along the gate length direction is lower than a ratio of a length of the second gate insulating film along the gate length direction to a length of the second gate electrode along the gate length direction.

2. The semiconductor device of claim 1, wherein the NMIS transistor further includes an n-type first extension region formed in a part of the first active region located at each side of the first gate electrode,

the PMIS transistor further includes a p-type second extension region formed in a part of the second active region located at each side of the second gate electrode, and

an end of the first extension region coincides with an end of the first gate insulating

film or is at a position situated nearer a middle of the first gate electrode in relation to the end of the first gate insulating film.

3. The semiconductor device of claim 2, wherein the NMIS transistor further includes a first offset spacer of silicon nitride provided on a side surface of the first gate electrode and a side surface of the first gate insulating film, and

the PMIS transistor further includes a second offset spacer of silicon nitride provided on a side surface of the second gate electrode and a side surface of the second gate insulating film.

4. The semiconductor device of claim 3, wherein the first gate insulating film contains lanthanum, and

the second gate insulating film contains aluminium.

5. The semiconductor device of claim 4, wherein the first gate electrode includes a first lower gate electrode provided on the first gate insulating film and made of a metal or a metal compound and a first upper gate electrode provided on the first lower gate electrode and made of polysilicon, and

the second gate electrode includes a second lower gate electrode provided on the second gate insulating film and made of a metal or a metal compound and a second upper gate electrode provided on the second lower gate electrode and made of polysilicon.

6. The semiconductor device of claim 5, wherein an end of the second gate insulating film is doped with a larger amount of fixed charge than an end of the first gate insulating film.

7. The semiconductor device of claim 6, wherein a side surface of the second gate insulating film is flush with a side surface of the second gate electrode.

8. The semiconductor device of claim 6, wherein a side surface of the second gate insulating film is located at an inner side of a side surface of the second gate electrode.

9. The semiconductor device of claim 6, wherein an end of the second gate insulating film projects from a side surface of the second gate electrode.

10. A method for fabricating a semiconductor device, the method comprising the steps of:

(a) forming a first gate insulating film including a high-k dielectric and a first gate electrode including a metal material on a first active region in a substrate and forming a second gate insulating film including a high-k dielectric and a second gate electrode including a metal material on a second active region in the substrate;

(b) introducing negative fixed charge into an end of the first gate insulating film and an end of the second gate insulating film; and

(c) removing the end of the first gate insulating film after step (b), wherein

a ratio of a length of the first gate insulating film along a gate length direction to a length of the first gate electrode along the gate length direction is lower than a ratio of a length of the second gate insulating film along the gate length direction to a length of the second gate electrode along the gate length direction.

11. The method of claim 10, wherein in step (b), ashing or dry etching is performed using a gas containing oxygen.

12. The method of claim 10, wherein after step (c), a first offset spacer of a silicon nitride film is formed on a side surface of the first gate electrode, and

a second offset spacer of a silicon nitride film is formed on a side surface of the second gate electrode.

13. The method of claim 10, wherein the first gate insulating film and the second gate insulating film have different compositions, and

in step (c), the end of the gate insulating film is selectively removed through etching utilizing a difference in etching rate between the first gate insulating film and the second gate insulating film.

Electronic Acknowledgement Receipt

EFS ID:	11431183
Application Number:	13294727
International Application Number:	
Confirmation Number:	6315
Title of Invention:	SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME
First Named Inventor/Applicant Name:	Tomohiro FUJITA
Customer Number:	53080
Filer:	Aamer S. Ahmed/Alexis Boyd
Filer Authorized By:	Aamer S. Ahmed
Attorney Docket Number:	085393-0709
Receipt Date:	17-NOV-2011
Filing Date:	
Time Stamp:	15:11:47
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Petition to make Special under PCT-Patent Pros Hwy	85393-709_PPH.pdf	784631 dce6dab21148429d24a2299b41485abe3e4996f5	no	16

Warnings:	
Information:	

Total Files Size (in bytes):	784631

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Docket No.: 085393-0709 **PATENT**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 53080
Tomohiro FUJITA, et al.	:	Confirmation Number: Not Yet Assigned
Application No.: Not Yet Assigned	:	Group Art Unit: Not Yet Assigned
Filed: November 11, 2011	:	Examiner: Not Yet Assigned

For: SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME

INFORMATION DISCLOSURE STATEMENT

Mail Stop Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

In accordance with the provisions of 37 C.F.R. 1.56, 1.97 and 1.98, the attention of the Patent and Trademark Office is hereby directed to the documents listed on the attached form PTO-1449. It is respectfully requested that the documents be expressly considered during the prosecution of this application, and that the documents be made of record therein and appear among the "References Cited" on any patent to issue therefrom.

This Information Disclosure Statement is being filed within three months of the U.S. filing date OR before the mailing date of a first Office Action on the merits. No certification or fee is required.

References **US 2006/0194450, US 2004/0038490, JP 2005-333164, US 2008/0191286, JP 2008-305950** and **US 6,525,380** were cited in a International Search Report issued in

corresponding International Application PCT/JP2010/001143. A copy of the International Search Report is attached for the Examiner's information.

The relevance of the npl document is discussed in the present specification.

Please charge any shortage in fees due in connection with the filing of this paper, including extension of time fees, to Deposit Account 500417 and please credit any excess fees to such deposit account.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP

Michael E. Fogarty
Registration No. 36,139

Please recognize our Customer No. 53080 as our correspondence address.

600 13th Street, N.W.
Washington, DC 20005-3096
Phone: 202.756.8000 MEF:ksa
Facsimile: 202.756.8087
Date: November 11, 2011

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Substitute for form 1449/PTO)

ATTY. DOCKET NO.	SERIAL NO.
085393-0709	**Not Yet Assigned**
APPLICANT: **Tomohiro FUJITA, et al.**	
FILING DATE: **November 11, 2011**	GROUP: **Not Yet Assigned**

U.S. PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Document Number Number-Kind Code2 (if known)		Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		US	2006/0194450 A1	08-31-2006	Nakamura	Corresponds w/ WO 2005/013374
		US	2004/0038490 A1	02-26-2004	Kojima	Corresponds w/ JP 2004-087695
		US	2008/0191286 A1	08-14-2008	Chang et al.	Corresponds w/ JP 2008-211182
		US	2002/0175380 A1	11-28-2002	Shirahata et al.	Corresponds w/ JP 2000-174135
		US	6,525,380 B2	02-25-2003	Shirahata et al.	Corresponds w/ JP 2000-174135
		US	2009/0057771 A1	03-05-2009	Fukasaku	
		US				
		US				
		US				
		US				
		US				
		US				

FOREIGN PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Foreign Patent Document Country Code3 -Number 4 -Kind Codes (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines Where Relevant Figures Appear	Translation Yes	Translation No
		JP 2005-333164	12-02-2005	RENESAS TECHNOLOGY CORP.		X	
		JP 2008-305950	12-18-2008	RENESAS TECHNOLOGY CORP.		JAPAN (w/ English Abstract)	
		WO 2007/038237 A2	04-05-2007	INTERNATIONAL BUSINESS MACHINES CORPORATION		English (Orig.)	
		JP 03-071665	03-27-1991	FUJITSU LTD.		JAPAN (w/ English Abstract)	

OTHER ART (Including Author, Title, Date, Pertinent Pages, Etc.)

EXAMINER'S INITIALS	CITE NO.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	
		Takeshi Watanabe et al., "Impact of Hf Concentration on Performances and Reliability for HfSiON-CMOSFET," IEDM 2004, pp. 207.	
		International Search Report issued in International Patent Application No. PCT/JP2010/001143, mailed on June 1, 2010.	

EXAMINER	DATE CONSIDERED

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

1 Applicant's unique citation designation number (optional). 2 Applicant is to place a check mark here if English language Translation is attached.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2010/001143

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/8238(2006.01)i, *H01L27/092*(2006.01)i, *H01L29/78*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/8238, H01L27/092, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2005/013374 A1 (Fujitsu Ltd.), 10 February 2005 (10.02.2005), entire text; all drawings & US 2006/0194450 A1	1-13
A	JP 2004-087695 A (Fujitsu Ltd.), 18 March 2004 (18.03.2004), entire text; all drawings & US 2004/0038490 A1	1-13
A	JP 2005-333164 A (Renesas Technology Corp.), 02 December 2005 (02.12.2005), entire text; all drawings (Family: none)	1-13

[X] Further documents are listed in the continuation of Box C. [ ] See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
14 May, 2010 (14.05.10)	01 June, 2010 (01.06.10)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

Form PCT/ISA/210 (second sheet) (July 2009)

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-211182 A (Interuniversitair Micro-Electronica Centrum VZW), 11 September 2008 (11.09.2008), entire text; all drawings & US 2008/0191286 A1 & EP 1944801 A1 & CN 101221922 A	1-13
A	JP 2008-305950 A (Renesas Technology Corp.), 18 December 2008 (18.12.2008), entire text; all drawings (Family: none)	1-13
A	JP 2000-174135 A (Mitsubishi Electric Corp.), 23 June 2000 (23.06.2000), entire text; all drawings & US 6525380 B2	1-13

特許協力条約

PCT

国際調査報告

（法８条、法施行規則第40、41条）
〔ＰＣＴ18条、ＰＣＴ規則43、44〕

前田
'10.6.02
特許

出願人又は代理人 M10-TJ043 の書類記号 P055570P0	今後の手続きについては、様式ＰＣＴ／ＩＳＡ／２２０ 及び下記５を参照すること。	
国際出願番号 ＰＣＴ／ＪＰ２０１０／００１１４３	国際出願日 (日.月.年)　２２．０２．２０１０	優先日 (日.月.年)　１７．０７．２００９
出願人（氏名又は名称） パナソニック株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条（ＰＣＴ18条）の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

１．国際調査報告の基礎
ａ．言語に関し、この国際調査は以下のものに基づき行った。
☑ 出願時の言語による国際出願
☐ 出願時の言語から国際調査のための言語である＿＿＿＿＿＿ 語に翻訳された、
この国際出願の翻訳文（ＰＣＴ規則12.3(a)及び23.1(b)）

ｂ．☐ この国際調査報告は、ＰＣＴ規則91の規定により国際調査機関が認めた又は国際調査機関に通知された明らかな誤りの訂正を考慮して作成した（ＰＣＴ規則43.6の2(a)）。

ｃ．☐ この国際出願は、ヌクレオチド又はアミノ酸配列を含んでいる（第Ｉ欄参照）。

２．☐ 請求の範囲の一部の調査ができない（第Ⅱ欄参照）。

３．☐ 発明の単一性が欠如している（第Ⅲ欄参照）。

４．発明の名称は
☑ 出願人が提出したものを承認する。
☐ 次に示すように国際調査機関が作成した。

＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿

５．要約は
☑ 出願人が提出したものを承認する。
☐ 第Ⅳ欄に示されているように、法施行規則第47条第１項（ＰＣＴ規則38.2）の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から１月以内にこの国際調査機関に意見を提出することができる。

６．図面に関して
ａ．要約書とともに公表される図は、
第 1 図とする。
☑ 出願人が示したとおりである。
☐ 出願人は図を示さなかったので、国際調査機関が選択した。
☐ 本図は発明の特徴を一層よく表しているので、国際調査機関が選択した。

ｂ．☐ 要約とともに公表される図はない。

A.　発明の属する分野の分類（国際特許分類（IPC））

Int.Cl.　H01L21/8238(2006.01)i, H01L27/092(2006.01)i, H01L29/78(2006.01)i

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl.　H01L21/8238, H01L27/092, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922－1996年
日本国公開実用新案公報	1971－2010年
日本国実用新案登録公報	1996－2010年
日本国登録実用新案公報	1994－2010年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C.　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	WO 2005/013374 A1（富士通株式会社）2005.02.10, 全文全図 & US 2006/0194450 A1	1-13
A	JP 2004-087695 A（富士通株式会社）2004.03.18, 全文全図 & US 2004/0038490 A1	1-13
A	JP 2005-333164 A（株式会社ルネサステクノロジ）2005.12.02, 全文全図（ファミリーなし）	1-13

☑　C欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
14.05.2010	01.06.2010

国際調査機関の名称及びあて先	特許庁審査官（権限のある職員）	4M	3840
日本国特許庁（ISA／JP） 郵便番号100－8915 東京都千代田区霞が関三丁目4番3号	宮部　裕一 電話番号　03－3581－1101　内線　3462		

様式PCT／ISA／210（第2ページ）（2009年7月）

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2008-211182 A（アンテルユニヴェルシテール・ミクローエレクトロニカ・サントリュム・ヴェー・ゼッド・ドゥブルヴェ）2008.09.11, 全文全図 & US 2008/0191286 A1 & EP 1944801 A1 & CN 101221922 A	1-13
A	JP 2008-305950 A（株式会社ルネサステクノロジ）2008.12.18, 全文全図（ファミリーなし）	1-13
A	JP 2000-174135 A（三菱電機株式会社）2000.06.23, 全文全図 & US 6525380 B2	1-13

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2005-333164
(P2005-333164A)
(43)公開日　平成17年12月2日(2005.12.2)

(51)Int.Cl.[7]	F I		テーマコード（参考）
H01L 21/8234	H01L 27/08	102C	5F033
H01L 21/768	H01L 27/08	321D	5F048
H01L 21/8238	H01L 21/90	K	
H01L 27/088			
H01L 27/092			

審査請求 有　請求項の数 10　OL　（全 17 頁）

(21)出願番号　特願2005-235184 (P2005-235184)
(22)出願日　平成17年8月15日 (2005.8.15)
(62)分割の表示　特願2001-349543 (P2001-349543)の分割
原出願日　平成13年11月15日 (2001.11.15)

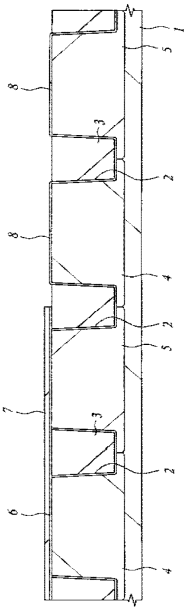
(71)出願人　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100080001
弁理士　筒井　大和
(72)発明者　檜上　竜也
東京都小平市上水本町五丁目２０番１号
株式会社日立製作所半導体グループ内
(72)発明者　伊藤　文俊
東京都小平市上水本町五丁目２０番１号
株式会社日立製作所半導体グループ内
(72)発明者　清原　史朗
東京都小平市上水本町五丁目２０番１号
株式会社日立製作所半導体グループ内

最終頁に続く

(54)【発明の名称】半導体集積回路装置

(57)【要約】
【課題】　ゲート絶縁膜の一部を高誘電体膜で構成した場合に好適な２種ゲート構造を提供する。
【解決手段】　基板１上に窒化シリコン膜よりも比誘電率が大きい高誘電体膜、例えば酸化チタン膜６（内部回路のゲート絶縁膜）を堆積した後、酸化チタン膜６の上部に窒化シリコン膜７を堆積する。窒化シリコン膜７は、次の工程で基板１の表面を熱酸化する時に酸化チタン膜６が酸化されるのを防ぐ酸化防止膜として機能する。次に、内部回路領域に窒化シリコン膜７と酸化チタン膜６を残し、Ｉ／Ｏ回路領域の窒化シリコン膜７と酸化チタン膜６を除去した後、基板１を熱酸化することによって、Ｉ／Ｏ回路領域の基板１の表面に酸化シリコン膜８（Ｉ／Ｏ回のゲート絶縁膜）を形成する。
【選択図】　図５

図5



【特許請求の範囲】
【請求項１】
半導体基板の主面の第１領域に第１ＭＩＳＦＥＴが形成され、前記半導体基板の主面の第２領域に第２ＭＩＳＦＥＴが形成された半導体集積回路装置であって、
前記第１ＭＩＳＦＥＴのゲート絶縁膜は、窒化シリコン膜の比誘電率よりも高い比誘電率を有する第１絶縁膜を含んで構成され、
前記第２ＭＩＳＦＥＴのゲート絶縁膜は、酸化シリコン膜を含む第２絶縁膜で構成され、
前記第１絶縁膜の酸化シリコン膜換算膜厚は、前記第２絶縁膜の酸化シリコン膜換算膜厚よりも薄いことを特徴とする半導体集積回路装置。
【請求項２】
前記第１絶縁膜の酸化シリコン膜換算膜厚は３ｎｍ未満であり、前記第２絶縁膜の酸化シリコン膜換算膜厚は３ｎｍ以上であることを特徴とする請求項１記載の半導体集積回路装置。
【請求項３】
前記第１絶縁膜は、４Ａ族元素の酸化物からなることを特徴とする請求項１または２記載の半導体集積回路装置。
【請求項４】
前記第１ＭＩＳＦＥＴのゲート電極の側壁には、窒化シリコン膜または酸化シリコン膜からなるサイドウォールスペーサと、前記サイドウォールスペーサを覆う窒化シリコン膜とが形成されていることを特徴とする請求項１、２または３記載の半導体集積回路装置。
【請求項５】
半導体基板の主面の第１領域に第１ＭＩＳＦＥＴを有し、前記半導体基板の主面の第２領域に第２ＭＩＳＦＥＴを有する半導体集積回路装置であって、
前記第１ＭＩＳＦＥＴは、
（ａ）前記第１領域の半導体基板上に形成され、比誘電率が８よりも高い膜を含む第１ゲート絶縁膜と、
（ｂ）前記第１ゲート絶縁膜上に形成された第１ゲート電極と、
（ｃ）前記第１ゲート電極および前記第１ゲート絶縁膜を覆うように形成された第１絶縁膜と、
（ｄ）前記第１絶縁膜上に形成され、前記第１ゲート電極の側壁に形成された第１サイドウォールスペーサとを有し、
前記第２ＭＩＳＦＥＴは、
（ｅ）前記第２領域の半導体基板上に形成され、酸化シリコン膜を含む第２ゲート絶縁膜であって、前記第１ゲート絶縁膜の酸化シリコン膜換算膜厚よりも厚い膜厚を有する第２ゲート絶縁膜と、
（ｆ）前記第２ゲート絶縁膜上に形成された第２ゲート電極とを有することを特徴とする半導体集積回路装置。
【請求項６】
前記第１ＭＩＳＦＥＴは、さらに、
（ｇ）前記第１ゲート電極および前記第１サイドウォールスペーサを覆うように形成された第２絶縁膜と、
（ｈ）前記第２絶縁膜上に形成され、酸化シリコン膜を含む第３絶縁膜とを有することを特徴とする請求項５記載の半導体集積回路装置。
【請求項７】
前記第１絶縁膜は、窒化シリコン膜であることを特徴とする請求項５または６記載の半導体集積回路装置。
【請求項８】
前記第２絶縁膜は、窒化シリコン膜であることを特徴とする請求項５、６または７記載の半導体集積回路装置。

【請求項９】
前記第１ゲート絶縁膜は、４Ａ族元素の酸化物を含む膜、または酸化タンタル（Ta_2O_5）膜のいずれかを含むことを特徴とする請求項５～８のいずれか一項に記載の半導体集積回路装置。
【請求項１０】
前記第１絶縁膜は、酸化チタン（TiO_2）膜、酸化ジルコニウム（ZrO_2）膜、酸化ハフニウム（HfO_2）または酸化タンタル（Ta_2O_5）膜のいずれかを含むことを特徴とする請求項５～８のいずれか一項に記載の半導体集積回路装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、半導体集積回路装置に関し、特に、同一半導体基板上にゲート絶縁膜の膜厚が異なる２種以上のＭＩＳＦＥＴ(Metal Insulator Semiconductor Field Effect Transistor)を形成する半導体集積回路装置に適用して有効な技術に関する。
【背景技術】
【０００２】
近年の半導体デバイスは、同一半導体チップ内での多電源化が進んでいることから、薄い膜厚のゲート絶縁膜と厚い膜厚のゲート絶縁膜とを同一半導体チップ内に作り分けるプロセス、いわゆる２種ゲートプロセスが実用化されている。
【０００３】
例えば特開２０００－１８８３３８号公報（特許文献１）は、半導体基板の第１領域と第２領域とに酸化シリコンからなるゲート絶縁膜と窒化シリコンからなるゲート絶縁膜とを作り分ける２種ゲートプロセスを開示している。
【０００４】
上記公報に記載された２種ゲートプロセスでは、まず第１および第２領域の半導体基板上に第１酸化シリコン膜を形成した後、第１領域の第１酸化シリコン膜をエッチングで選択的に除去し、第１領域の半導体基板表面を露出させる。
【０００５】
次に、第１領域の半導体基板上と第２領域の第１酸化シリコン膜上に窒化シリコン膜を形成した後、第２の窒化シリコン膜と第１酸化シリコン膜とをエッチングで選択的に除去し、第２領域の半導体基板表面を露出させる。
【０００６】
次に、半導体基板を熱酸化し、第２領域の半導体基板表面に第２酸化シリコン膜を形成することにより、第１領域の半導体基板表面には窒化シリコンからなる第１のゲート絶縁膜が形成され、第２領域の半導体基板表面には、第２酸化シリコンからなる第２のゲート絶縁膜が形成される。
【特許文献１】特開２０００－１８８３３８号公報
【発明の開示】
【発明が解決しようとする課題】
【０００７】
ＭＩＳＦＥＴの低電圧動作を実現するためには、ＭＩＳＦＥＴの微細化に比例してゲート絶縁膜を薄膜化する必要があり、例えばゲート長が０．２μｍ以下のＭＩＳＦＥＴでは、酸化シリコン膜換算で３ｎｍ程度の薄い膜厚のゲート絶縁膜が要求される。
【０００８】
しかし、酸化シリコン膜を使ったゲート絶縁膜の膜厚が３ｎｍよりも薄くなると、ゲート絶縁膜を貫通して流れる直接トンネル電流が増加し、低消費電力化の観点から無視できない程度のゲートリーク電流が発生する。その対策としては、比誘電率が酸化シリコンよりも大きい酸化チタン（TiO_2）や酸化タンタル（Ta_2O_5）膜などの高誘電体膜を使用することによって、ゲート絶縁膜の物理的な膜厚を大きくする選択肢が考えられる。
【０００９】

そこで、前述した２種ゲートプロセスでは、ゲート絶縁膜の一部を高誘電体膜で形成し、他の一部を酸化シリコン膜で形成するプロセスの採用が不可欠となる。

【００１０】

また、ゲート絶縁膜を酸化シリコン膜で形成した従来のゲート加工プロセスでは、フォトレジスト膜をマスクにしたドライエッチングでゲート電極を形成した際、ゲート電極の側壁端部のゲート酸化膜が等方的にエッチングされてアンダーカットが生じることに起因するゲート電極の耐圧低下を改善するために、ゲート電極を形成した直後に半導体基板を熱酸化する処理、いわゆるライト酸化処理が行なわれている（例えば特開平７－９４７１６号公報など）。

【００１１】

しかし、ゲート絶縁膜を高誘電体膜で形成した場合は、ゲート電極の形成後にライト酸化処理を行うと、高誘電体膜と半導体基板との界面が酸化されて酸化シリコン膜が形成されてしまうため、ゲート絶縁膜の誘電率が低下してしまうという問題が生じる。従って、この場合は、ライト酸化処理によってゲート電極側壁端部のプロファイルを改善することができなくなる。

【００１２】

本発明の目的は、ゲート絶縁膜の一部を高誘電体膜で構成した２種ゲートプロセスを提供することにある。

【００１３】

本発明の他の目的は、ゲート絶縁膜を高誘電体で構成したＭＩＳＦＥＴの信頼性を確保することのできる技術を提供することにある。

【００１４】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【００１５】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【００１６】

本発明の半導体集積回路装置は、半導体基板の主面の第１領域に第１ＭＩＳＦＥＴが形成され、前記半導体基板の主面の第２領域に第２ＭＩＳＦＥＴが形成され、前記第１ＭＩＳＦＥＴのゲート絶縁膜は、窒化シリコン膜の比誘電率よりも高い比誘電率を有する第１絶縁膜を含んで構成され、前記第２ＭＩＳＦＥＴのゲート絶縁膜は、酸化シリコン膜を含む第２絶縁膜で構成され、前記第１絶縁膜の酸化シリコン膜換算膜厚は、前記第２絶縁膜の酸化シリコン膜換算膜厚よりも薄いものである。

【発明の効果】

【００１７】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【００１８】

ＭＩＳＦＥＴのゲート絶縁膜の一部を高誘電体膜で形成することにより、トンネル電流の抑制とＭＩＳＦＥＴの駆動能力の確保を両立することができ、ゲート絶縁膜の他の一部を酸化シリコン膜で形成することにより、ＭＩＳＦＥＴの信頼性を確保することができる。

【００１９】

ＭＩＳＦＥＴのゲート電極形成後にライト酸化処理を行わなくとも、ゲート電極の耐圧低下や、ゲート絶縁膜のリーク電流の増加を抑制することが可能となる。

【発明を実施するための最良の形態】

【００２０】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明

するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【００２１】

（実施の形態１）

本実施形態のＣＭＯＳ－ＬＳＩは、回路の消費電力を低減する観点から、内部回路を構成するＭＩＳＦＥＴを低電圧で動作させる。このため、内部回路を構成するＭＩＳＦＥＴのゲート絶縁膜を、酸化シリコン膜換算膜厚が３ｎｍ未満の薄い絶縁膜で構成する。一方、外部の高電圧が印加される入出力（Ｉ／Ｏ）回路のＭＩＳＦＥＴは、ゲート耐圧を確保する必要があるので、酸化シリコン膜換算膜厚が３ｎｍ以上の厚い絶縁膜でゲート絶縁膜を形成する。

【００２２】

この場合、内部回路を構成するＭＩＳＦＥＴのゲート絶縁膜を酸化シリコン膜で形成すると、薄いゲート絶縁膜を貫通して流れる直接トンネル電流が増加し、低消費電力化の観点から無視できない程度のゲートリーク電流が発生してしまう。従って、本実施形態では、内部回路を構成するＭＩＳＦＥＴのゲート絶縁膜を、酸化シリコン膜換算膜厚が３ｎｍ未満であっても物理的な膜厚が３ｎｍより厚い高誘電率膜、具体的には窒化シリコン膜（比誘電率＝７～８）よりも大きい比誘電率を持った絶縁膜で形成する。一方、Ｉ／Ｏ回路を構成するＭＩＳＦＥＴは、高電圧動作時の信頼性を確保するために、ゲート絶縁膜を酸化シリコン膜で形成する。

【００２３】

本実施形態のＣＭＯＳ－ＬＳＩの製造方法を図１～図１９を用いて工程順に説明する。なお、図１～図１９において、半導体基板の左側の領域は、内部回路領域を示し、右側の領域は、Ｉ／Ｏ回路領域を示している。

【００２４】

まず、図１に示すように、例えば１～１０Ωcm程度の比抵抗を有するｐ型の単結晶シリコンからなる半導体基板（以下、基板という）１に素子分離溝２を形成する。素子分離溝２を形成するには、素子分離領域の基板１をエッチングして溝を形成した後、溝の内部を含む基板１上にＣＶＤ法で酸化シリコン膜３を堆積し、続いて溝の外部の酸化シリコン膜３を化学機械的に研磨することによって除去する。次に、基板１の一部にホウ素をイオン注入してｐ型ウエル４を形成し、他の一部にリンをイオン注入してｎ型ウエル５を形成する。

【００２５】

次に、基板１の表面をフッ酸で洗浄して自然酸化膜を除去した後、図２に示すように、基板１上に窒化シリコン膜よりも比誘電率が大きい高誘電体膜、例えば酸化チタン（TiO_2）膜６を堆積する。酸化チタン膜６は、酸化シリコン膜換算膜厚が３ｎｍ未満となるような膜厚で堆積する。

【００２６】

窒化シリコン膜よりも比誘電率が大きい高誘電体膜としては、上記酸化チタン膜６の他、酸化ジルコニウム（ZrO_2）膜、酸化ハフニウム（HfO_2）膜といった４Ａ族元素の酸化物や、酸化タンタル（Ta_2O_5）膜などを用いることができる。なお、これらの金属酸化物膜は、成膜時に基板１に及ぼすダメージを低減する観点から、有機金属ソースガスを用いたＣＶＤ法によって堆積することが望ましい。

【００２７】

次に、図３に示すように、酸化チタン膜６の上部にＣＶＤ法で窒化シリコン膜７を堆積する。この窒化シリコン膜７は、次の工程でＩ／Ｏ回路領域の基板１の表面を熱酸化する時に内部回路領域の基板１が酸化されるのを防ぐ酸化防止膜として機能する。

【００２８】

次に、図４に示すように、内部回路領域の窒化シリコン膜７をフォトレジスト膜４０で覆い、このフォトレジスト膜４０をマスクにしたドライエッチングでＩ／Ｏ回路領域の窒

化シリコン膜７および酸化チタン膜６を除去し、Ｉ／Ｏ回路領域の基板１（ｐ型ウエル４、ｎ型ウエル５）の表面を露出させる。内部回路領域の基板１の表面に残った酸化チタン膜６は、内部回路を構成するＭＩＳＦＥＴのゲート絶縁膜として使用される。

【００２９】

次に、フォトレジスト膜４０をアッシングによって除去し、続いて基板１の表面をフッ酸で洗浄した後、図５に示すように、基板１を熱酸化することによってＩ／Ｏ回路領域の基板１（ｐ型ウエル４、ｎ型ウエル５）の表面に酸化シリコン膜８を形成する。酸化シリコン膜８は、Ｉ／Ｏ回路を構成するＭＩＳＦＥＴのゲート絶縁膜として使用される。また、酸化シリコン膜８は、Ｉ／Ｏ回路を構成するＭＩＳＦＥＴの信頼性を確保するために、３ｎｍ以上の厚い膜厚で形成する。一方、表面が窒化シリコン膜７で覆われた内部回路領域の基板１は、上記熱酸化工程で酸化されることはないので、内部回路領域に形成されるゲート絶縁膜の酸化シリコン膜換算膜厚が３ｎｍを超えてしまうことはない。

【００３０】

次に、図６に示すように、内部回路領域の酸化チタン膜６を覆う窒化シリコン膜７を熱リン酸によって除去する。ここまでの工程により、内部回路領域の基板１（ｐ型ウエル４、ｎ型ウエル５）の表面に酸化チタン膜６からなる第１のゲート絶縁膜（酸化シリコン膜換算膜厚＝３ｎｍ未満）が形成され、Ｉ／Ｏ回路領域の基板１（ｐ型ウエル４、ｎ型ウエル５）の表面に酸化シリコン膜８からなる第２のゲート絶縁膜（酸化シリコン膜換算膜厚＝３ｎｍ以上）が形成される。

【００３１】

次に、図７に示すように、ｐ型ウエル４の上部にｎ型多結晶シリコン膜９ａを形成し、ｎ型ウエル５の上部にｐ型多結晶シリコン膜９ｂを形成する。これらの多結晶シリコン膜（９ａ、９ｂ）を形成するには、基板１上にＣＶＤ法でノンドープの多結晶シリコン膜を形成し、続いてフォトレジスト膜をマスクにしたイオン注入法によって、ｐ型ウエル４の上部の多結晶シリコン膜にリンをドープし、ｎ型ウエル５の上部の多結晶シリコン膜にホウ素をドープする。

【００３２】

次に、図８に示すように、フォトレジスト膜４１をマスクにしてｎ型多結晶シリコン膜９ａおよびｐ型多結晶シリコン膜９ｂをドライエッチングすることにより、ｐ型ウエル４の上部にｎ型多結晶シリコン膜９ａからなるゲート電極９Ａを形成し、ｎ型ウエル５の上部にｐ型多結晶シリコン膜９ｂからなるゲート電極９Ｂを形成する。

【００３３】

上記した多結晶シリコン膜（９ａ、９ｂ）のドライエッチングを行うと、ゲート電極９Ａ、９Ｂの下部以外の領域に形成されたゲート絶縁膜（酸化チタン膜６、酸化シリコン膜８）も部分的または全面的にエッチングされ、基板１（ｐ型ウエル４、ｎ型ウエル５）の表面が露出する。そこで、フォトレジスト膜４１をアッシングによって除去し、続いて基板１の表面をフッ酸で洗浄した後、図９に示すように、基板１上にＣＶＤ法で窒化シリコン膜１０を堆積する。この窒化シリコン膜１０は、次の工程で基板１に不純物をイオン注入する際に、基板１の表面が汚染されるのを防ぐために形成する。基板１の汚染を防止する膜としては、上記窒化シリコン膜１０の他、酸化シリコン膜あるいは前述した高誘電体膜を使用することもできる。また、ゲート絶縁膜（酸化チタン膜６、酸化シリコン膜８）の削れが少ない場合は、上記汚染防止膜を省略することもできる。

【００３４】

次に、図１０に示すように、ゲート電極９Ａの両側のｐ型ウエル４にリンまたはヒ素をイオン注入して、低不純物濃度のｎ$^-$型半導体領域１１を形成し、ゲート電極９Ｂの両側のｎ型ウエル５にホウ素をイオン注入して、低不純物濃度のｐ$^-$型半導体領域１２を形成する。ｎ$^-$型半導体領域１１は、ｎチャネル型ＭＩＳＦＥＴをＬＤＤ(lightly doped drain)構造にするために形成し、ｐ$^-$型半導体領域１２は、ｐチャネル型ＭＩＳＦＥＴをＬＤＤ構造にするために形成する。

【００３５】

次に、図１１に示すように、ゲート電極９Ａ、９Ｂの側壁にサイドウォールスペーサ１３を形成する。サイドウォールスペーサ１３を形成するには、基板１上にＣＶＤ法で窒化シリコン膜を堆積し、続いてこの窒化シリコン膜を異方的にエッチングしてゲート電極９Ａ、９Ｂの側壁に残す。なお、後述するコンタクトホールをゲート電極９Ａ、９Ｂに対して自己整合（セルフアライン）で形成しない場合は、サイドウォールスペーサ１３を酸化シリコン膜で形成してもよい。

【００３６】

次に、図１２に示すように、ゲート電極９Ａの両側のｐ型ウエル４にリンまたはヒ素をイオン注入し、ゲート電極９Ｂの両側のｎ型ウエル５にホウ素をイオン注入した後、基板１を熱処理してこれらの不純物を拡散させることにより、ｐ型ウエル４に高不純物濃度のn^+型半導体領域（ソース、ドレイン）１４を形成し、ｎ型ウエル５に高不純物濃度のp^+型半導体領域（ソース、ドレイン）１５を形成する。

【００３７】

ゲート電極９Ａ、９Ｂのそれぞれの両側は、汚染を防止するための窒化シリコン１０および窒化シリコンからなるサイドウォールスペーサ１３で覆われているので、上記した不純物を拡散させるための熱処理を行う際、内部回路領域の基板１が酸化されることはない。

【００３８】

また、ゲート電極９Ａ、９Ｂの側壁にサイドウォールスペーサ１３を形成するための異方性エッチングを行うと、ソース、ドレイン（n^+型半導体領域１４、p^+型半導体領域１５）の表面を覆っている窒化シリコン膜１０も部分的または全面的にエッチングされ、基板１（ｐ型ウエル４、ｎ型ウエル５）の表面が露出する場合がある。

【００３９】

この場合は、ゲート電極９Ａ、９Ｂの側壁にサイドウォールスペーサ１３を形成した後、図１３に示すように、基板１上にＣＶＤ法で窒化シリコン膜１６を堆積し、その後、上記したソース、ドレイン（n^+型半導体領域１４、p^+型半導体領域１５）を形成するためのイオン注入を行うことにより、イオン注入工程で基板１の表面が汚染されるのを防ぐことができる。

【００４０】

次に、図１４に示すように、基板１の上面とゲート電極９Ａ、９Ｂの上面を覆っている窒化シリコン膜１０を熱リン酸で除去し、基板１（n^+型半導体領域１４、p^+型半導体領域１５）の表面とゲート電極９Ａ、９Ｂの表面とを露出させた後、図１５に示すように、基板１上にスパッタリング法でコバルト（Ｃｏ）膜１７ａを堆積する。あるいは、コバルト膜１７ａに代えてＴｉ（チタン）膜を堆積してもよい。

【００４１】

続いて、基板１を熱処理することによって、コバルト膜１７ａとシリコン（基板１およびゲート電極９Ａ、９Ｂ）とを反応させた後、未反応のコバルト膜１７ａをウェットエッチングで除去する。これにより、図１６に示すように、n^+型半導体領域（ソース、ドレイン）１４、p^+型半導体領域（ソース、ドレイン）１５およびゲート電極９Ａ、９Ｂのそれぞれの表面にコバルトシリサイド層１７を形成する。ゲート電極９Ａ、９Ｂの表面にコバルトシリサイド層１７を形成することにより、ゲート電極９Ａ、９Ｂは、多結晶シリコン膜（９ａまたは９ｂ）とコバルトシリサイド層１７の積層膜（ポリサイド膜）となる。

【００４２】

ここまでの工程により、内部回路を構成するｎチャネル型ＭＩＳＦＥＴ（Qn_1）およびｐチャネル型ＭＩＳＦＥＴ（Qp_1）と、Ｉ／Ｏ回路を構成するｎチャネル型ＭＩＳＦＥＴ（Qn_2）およびｐチャネル型ＭＩＳＦＥＴ（Qp_2）がそれぞれ完成する。

【００４３】

次に、図１７に示すように、基板１上にＣＶＤ法で窒化シリコン膜１８を堆積した後、窒化シリコン膜１８の上部にＣＶＤ法で酸化シリコン膜１９を堆積する。酸化シリコン膜

１９は、例えばテトラエトキシシランと酸素をソースガスに用いたプラズマＣＶＤ法（成膜温度＝約４００℃）で堆積する。酸化シリコン膜１９の下層の窒化シリコン膜１８は、酸素を含んだソースガスを用いて酸化シリコン膜１９を堆積する際の熱によって、内部回路領域のゲート絶縁膜（酸化チタン膜６）が酸化されるのを防ぐバリア層として機能する。また、この窒化シリコン膜１８は、次のコンタクトホール形成工程で、素子分離溝２内の酸化シリコン膜３が深くエッチングされるのを防ぐエッチングストッパ膜としても機能する。

【００４４】

次に、図１８に示すように、酸化シリコン膜１９の上部に形成したフォトレジスト膜４２をマスクにして酸化シリコン膜１９とその下層の窒化シリコン膜１８とをドライエッチングすることにより、n^+型半導体領域（ソース、ドレイン）１４の上部およびp^+型半導体領域（ソース、ドレイン）１５の上部にそれぞれコンタクトホール２０を形成する。

【００４５】

酸化シリコン膜１９のドライエッチングは、その下層の窒化シリコン膜１８（およびサイドウォールスペーサ１３）に対するエッチング選択比が大きくなる条件で行い、窒化シリコン膜１８のエッチングは、素子分離溝２内の酸化シリコン膜３に対するエッチング選択比が大きくなる条件で行う。これにより、コンタクトホール２０がゲート電極９Ａ（９Ｂ）および酸化シリコン膜３に対してそれぞれ自己整合（セルフアライン）で形成されるので、コンタクトホール２０とゲート電極９Ａ（９Ｂ）との合わせずれや、コンタクトホール２０と素子分離溝２との合わせずれが生じた場合でも、ゲート電極９Ａ（９Ｂ）および酸化シリコン膜３の削れを防ぐことができる。

【００４６】

次に、フォトレジスト膜４２をアッシングによって除去した後、図１９に示すように、コンタクトホール２０の内部を含む酸化シリコン膜１９上にＣＶＤ法またはスパッタリング法でタングステン（Ｗ）膜を堆積し、続いてフォトレジスト膜をマスクにしてこのタングステン膜をドライエッチングすることにより、酸化シリコン膜１９の上部にタングステン配線２１～２７を形成する。

【００４７】

その後、タングステン配線２１～２７の上部に層間絶縁膜を介して複数層の配線を形成するが、それらの図示は省略する。

【００４８】

このように、本実施形態によれば、内部回路を構成するＭＩＳＦＥＴのゲート絶縁膜を高誘電体膜で形成することにより、トンネル電流の抑制とＭＩＳＦＥＴの駆動能力の確保を両立することができる。また、Ｉ／Ｏ回路を構成するＭＩＳＦＥＴのゲート絶縁膜を酸化シリコン膜で形成することにより、ＭＩＳＦＥＴの信頼性を確保することができる。

【００４９】

（実施の形態２）

まず、図２０に示すように、前記実施の形態１と同じ方法で酸化チタン膜６からなるゲート絶縁膜上にゲート電極９Ａ、９Ｂを形成し、酸化シリコン膜８からなるゲート絶縁膜上にゲート電極９Ａ、９Ｂを形成する。ここまでの工程は、前記実施の形態１の図１～図８に示す工程と同じである。

【００５０】

ゲート電極材料をエッチングしてゲート電極９Ａ、９Ｂを形成すると、ゲート電極９Ａ、９Ｂの下部以外の領域のゲート絶縁膜（酸化チタン膜６、酸化シリコン膜８）もある程度削られると共に、ゲート電極９Ａ、９Ｂの側壁端部のゲート絶縁膜（酸化チタン膜６、酸化シリコン膜８）にエッチングの損傷が生じるため、そのままではゲート絶縁膜（酸化チタン膜６、酸化シリコン膜８）の耐圧が低下したり、ゲート絶縁膜（酸化チタン膜６、酸化シリコン膜８）のリーク電流が増加したりする場合がある。

【００５１】

そこで、このような場合は、ゲート電極９Ａ、９Ｂを形成した後、図２１に示すように

、ゲート電極９Ａ、９Ｂの幅を狭くする（細線化する）ことによって、そのゲート長を下層のゲート絶縁膜（酸化チタン膜６、酸化シリコン膜８）の幅よりも狭くする。ゲート電極９Ａ、９Ｂを細線化するには、例えば硝酸（HNO_3）とフッ化水素（ＨＦ）の混合水溶液を用いて基板１の表面をウェットエッチングすればよい。

【００５２】

これにより、ゲート絶縁膜（酸化チタン膜６、酸化シリコン膜８）のうち、上記のエッチングで損傷を受けた部分（細線化前のゲート電極９Ａ、９Ｂの側壁端部）は、ゲート電極９Ａ、９Ｂよりも外側にはみ出し、実質的にゲート絶縁膜として機能しなくなる。すなわち、ゲート電極９Ａ、９Ｂを形成する際のエッチングで損傷を受けなかった部分のみが実質的にゲート絶縁膜として機能するので、従来のゲート加工プロセスで行われていたライト酸化処理を行わなくとも、ゲート電極９Ａ、９Ｂの耐圧低下や、ゲート絶縁膜（酸化チタン膜６、酸化シリコン膜８）のリーク電流の増加を抑制することが可能となる。また、ライト酸化処理を行わないので、酸化チタン膜６からなるゲート絶縁膜と基板１との界面に酸化シリコン膜が生成し、誘電率が低下してしまうという不具合も生じない。

【００５３】

次に、図２２に示すように、基板１上にＣＶＤ法で窒化シリコン膜１０を堆積した後、ゲート電極９Ａの両側のｐ型ウエル４にリンまたはヒ素をイオン注入して、低不純物濃度のn^-型半導体領域１１を形成し、ゲート電極９Ｂの両側のｎ型ウエル５にホウ素をイオン注入して、低不純物濃度のp^-型半導体領域１２を形成する。その後の工程は、前記実施の形態１と同じである。

【００５４】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【００５５】

前記実施の形態では、内部回路を構成するＭＩＳＦＥＴのゲート絶縁膜を高誘電率膜で形成し、Ｉ／Ｏ回路を構成するＭＩＳＦＥＴのゲート絶縁膜を酸化シリコン膜で形成する場合について説明したが、本発明は、これに限定されるものではなく、一部のＭＩＳＦＥＴのゲート絶縁膜を高誘電率膜で形成する２種ゲートプロセスに広く適用することができる。

【産業上の利用可能性】

【００５６】

本発明は、同一半導体基板上にゲート絶縁膜の膜厚が異なる２種以上のＭＩＳＦＥＴを形成する半導体集積回路装置に適用することができる。

【図面の簡単な説明】

【００５７】

【図１】本発明の一実施の形態であるＭＩＳＦＥＴの製造方法を示す半導体基板の要部断面図である。

【図２】本発明の一実施の形態であるＭＩＳＦＥＴの製造方法を示す半導体基板の要部断面図である。

【図３】本発明の一実施の形態であるＭＩＳＦＥＴの製造方法を示す半導体基板の要部断面図である。

【図４】本発明の一実施の形態であるＭＩＳＦＥＴの製造方法を示す半導体基板の要部断面図である。

【図５】本発明の一実施の形態であるＭＩＳＦＥＴの製造方法を示す半導体基板の要部断面図である。

【図６】本発明の一実施の形態であるＭＩＳＦＥＴの製造方法を示す半導体基板の要部断面図である。

【図７】本発明の一実施の形態であるＭＩＳＦＥＴの製造方法を示す半導体基板の要部断面図である。

【図８】本発明の一実施の形態であるＭＩＳＦＥＴの製造方法を示す半導体基板の要部断面図である。
【図９】本発明の一実施の形態であるＭＩＳＦＥＴの製造方法を示す半導体基板の要部断面図である。
【図１０】本発明の一実施の形態であるＭＩＳＦＥＴの製造方法を示す半導体基板の要部断面図である。
【図１１】本発明の一実施の形態であるＭＩＳＦＥＴの製造方法を示す半導体基板の要部断面図である。
【図１２】本発明の一実施の形態であるＭＩＳＦＥＴの製造方法を示す半導体基板の要部断面図である。
【図１３】本発明の一実施の形態であるＭＩＳＦＥＴの製造方法を示す半導体基板の要部断面図である。
【図１４】本発明の一実施の形態であるＭＩＳＦＥＴの製造方法を示す半導体基板の要部断面図である。
【図１５】本発明の一実施の形態であるＭＩＳＦＥＴの製造方法を示す半導体基板の要部断面図である。
【図１６】本発明の一実施の形態であるＭＩＳＦＥＴの製造方法を示す半導体基板の要部断面図である。
【図１７】本発明の一実施の形態であるＭＩＳＦＥＴの製造方法を示す半導体基板の要部断面図である。
【図１８】本発明の一実施の形態であるＭＩＳＦＥＴの製造方法を示す半導体基板の要部断面図である。
【図１９】本発明の一実施の形態であるＭＩＳＦＥＴの製造方法を示す半導体基板の要部断面図である。
【図２０】本発明の他の実施の形態であるＭＩＳＦＥＴの製造方法を示す半導体基板の要部断面図である。
【図２１】本発明の他の実施の形態であるＭＩＳＦＥＴの製造方法を示す半導体基板の要部断面図である。
【図２２】本発明の他の実施の形態であるＭＩＳＦＥＴの製造方法を示す半導体基板の要部断面図である。
【符号の説明】
【００５８】
１　半導体基板
２　素子分離溝
３　酸化シリコン膜
４　ｐ型ウエル
５　ｎ型ウエル
６　酸化チタン膜（第１絶縁膜）
７　窒化シリコン膜（酸化防止膜）
８　酸化シリコン膜（第２絶縁膜）
９ａ　ｎ型多結晶シリコン膜
９ｂ　ｐ型多結晶シリコン膜
９Ａ、９Ｂ　ゲート電極
１０　窒化シリコン膜
１１　n^-型半導体領域
１２　p^-型半導体領域
１３　サイドウォールスペーサ
１４　n^+型半導体領域（ソース、ドレイン）
１５　p^+型半導体領域（ソース、ドレイン）
１６　窒化シリコン膜

１７　コバルトシリサイド層
１７ａ　コバルト膜
１８　窒化シリコン膜
１９　酸化シリコン膜
２０　コンタクトホール
２１～２７　タングステン配線
４０、４１、４２　フォトレジスト膜
Qn_1、Qn_2　nチャネル型ＭＩＳＦＥＴ
Qp_1、Qp_2　pチャネル型ＭＩＳＦＥＴ

【図１】

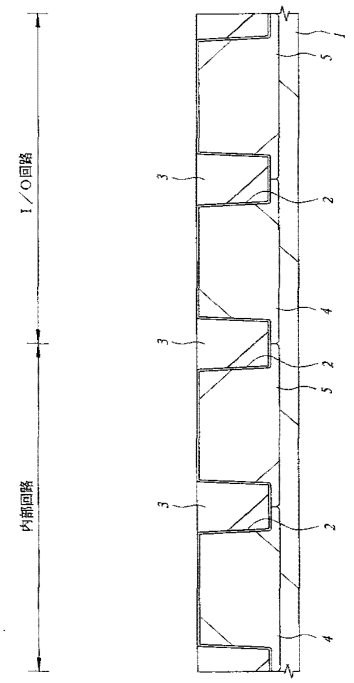


図１

【図２】

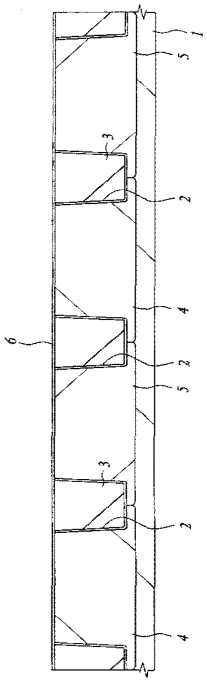
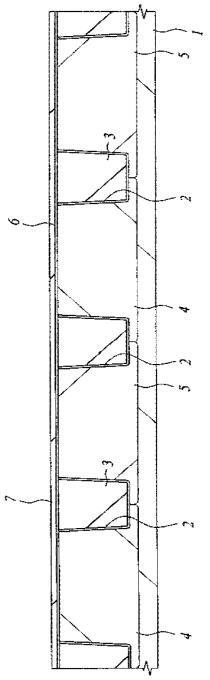


図２

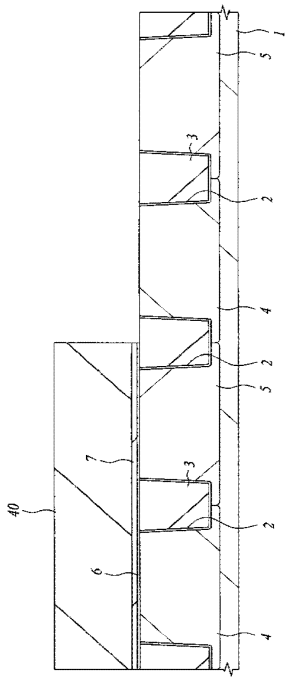
【図３】

図３



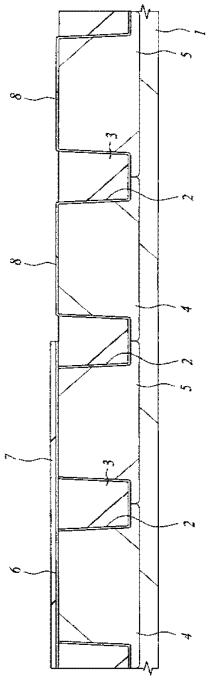
【図４】

図４



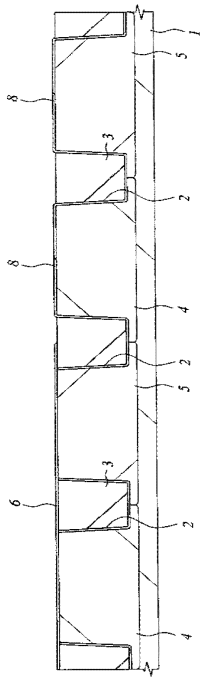
【図５】

図５



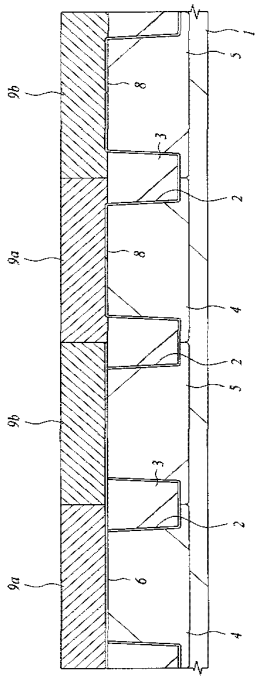
【図６】

図６



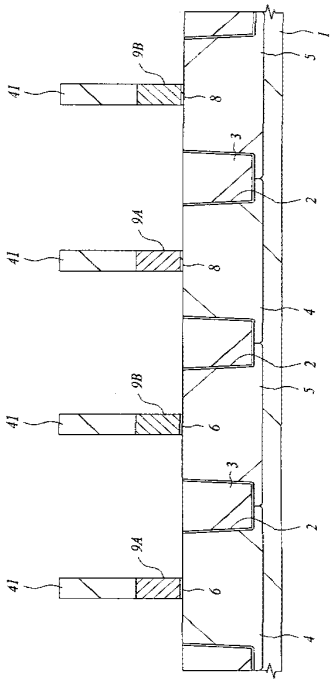
【図７】

図７



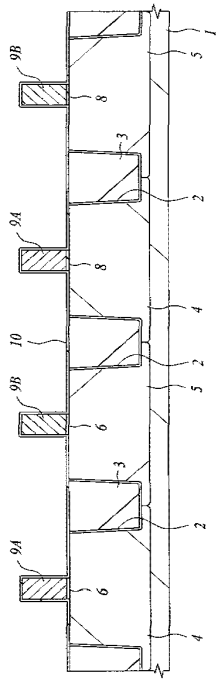
【図８】

図８



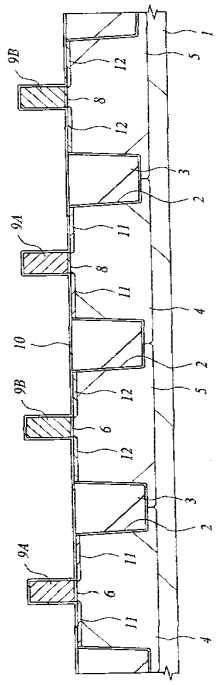
【図９】

図９



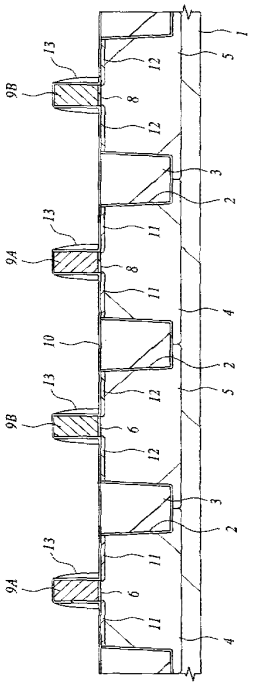
【図１０】

図１０



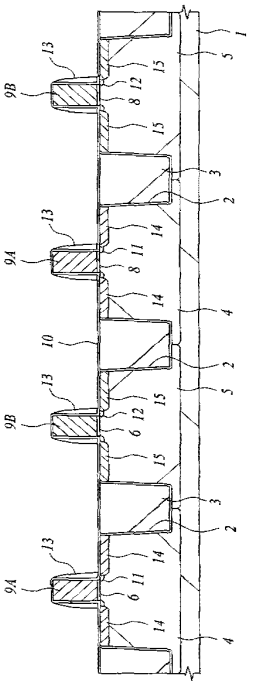
【図１１】

図 11



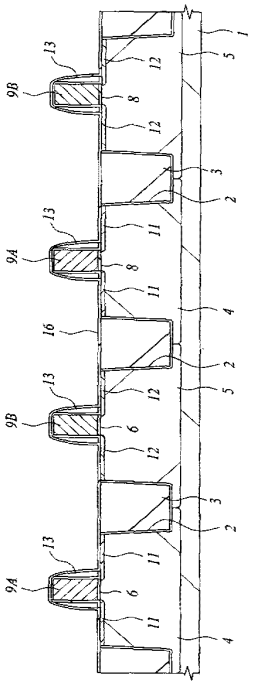
【図１２】

図 12



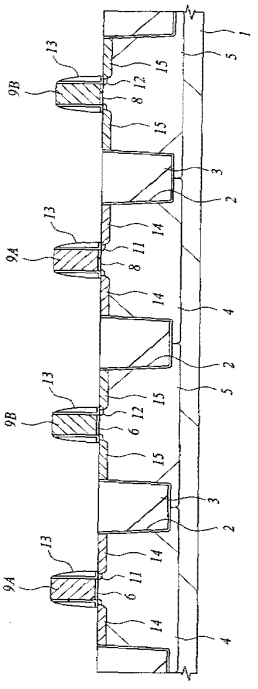
【図１３】

図 13



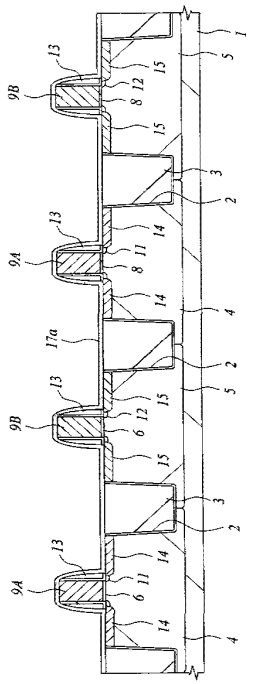
【図１４】

図 14



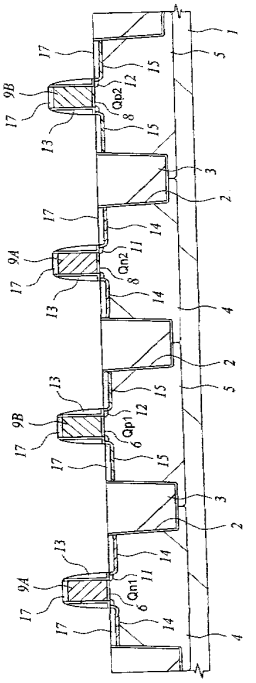
【図１５】

図 15



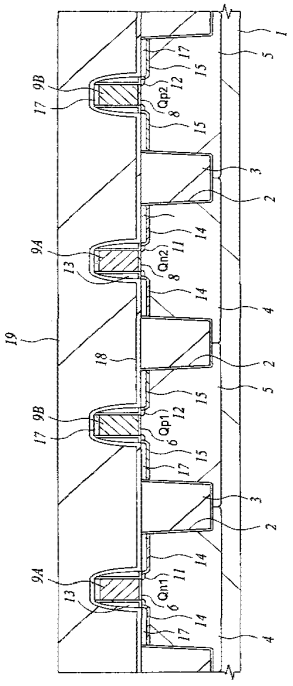
【図１６】

図 16



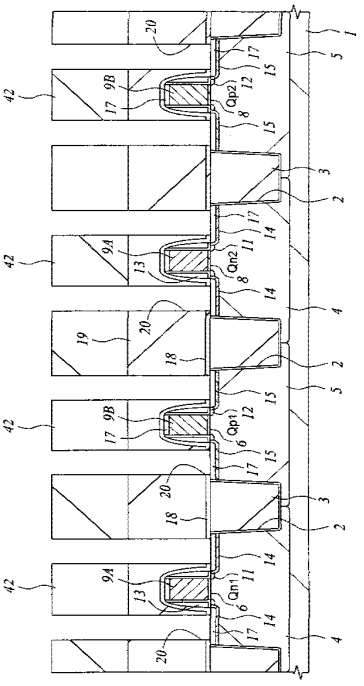
【図１７】

図 17



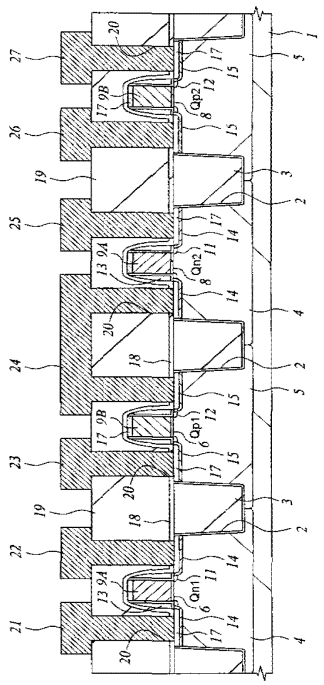
【図１８】

図 18



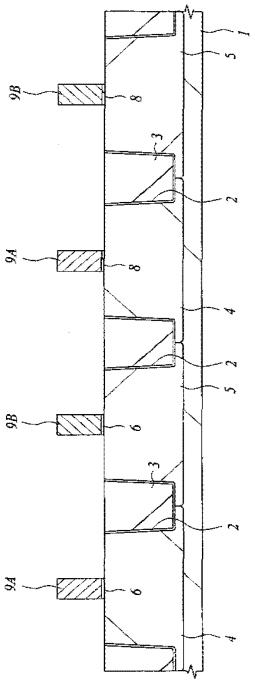
【図１９】

図 19



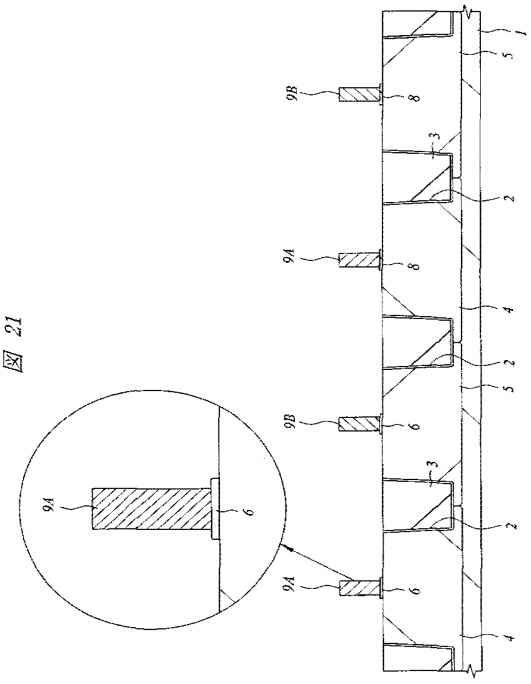
【図２０】

図 20



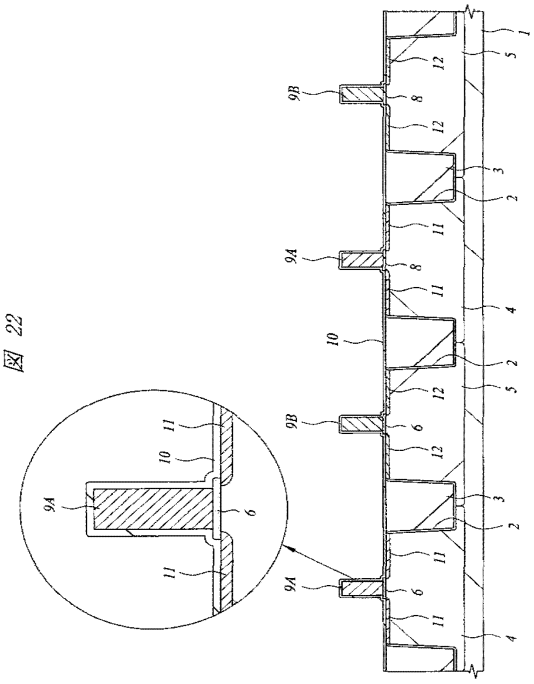
【図２１】

図 21



【図２２】

図 22



フロントページの続き

Ｆターム(参考) 5F033 HH04 HH19 HH25 JJ19 KK01 KK25 MM07 QQ09 QQ11 QQ25
QQ33 QQ37 QQ70 QQ73 RR04 RR06 SS11 TT02 TT08 VV06
XX20
5F048 AA05 AA07 AC01 AC03 BA01 BB06 BB07 BB08 BB11 BB12
BB16 BB17 BC06 BE03 BF06 BF07 BF11 BF16 BG13 DA25
DA27 DA30

Machine Translation of
Japanese Patent Publication No. 2005-333164

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]
[Claim 1]
It is the semiconductor integrated circuit device with which the 1st MISFET was formed in the 1st field of a principal surface of a semiconductor substrate, and the 2nd MISFET was formed in the 2nd field of a principal surface of said semiconductor substrate,
Gate dielectric film of said 1st MISFET comprises specific inductive capacity of a silicon nitride film including the 1st insulator layer that has high specific inductive capacity,
Gate dielectric film of said 2nd MISFET comprises the 2nd insulator layer containing a silicon oxide film,
A semiconductor integrated circuit device, wherein silicon oxide film conversion thickness of said 1st insulator layer is thinner than silicon oxide film conversion thickness of said 2nd insulator layer.
[Claim 2]
The semiconductor integrated circuit device according to claim 1, wherein silicon oxide film conversion thickness of said 1st insulator layer is less than 3 nm and silicon oxide film conversion thickness of said 2nd insulator layer is not less than 3 nm.
[Claim 3]
The semiconductor integrated circuit device according to claim 1 or 2, wherein said 1st insulator layer consists of an oxide of 4A group element.
[Claim 4]

The semiconductor integrated circuit device according to claim 1, 2, or 3, wherein a wrap silicon nitride film is formed in a sidewall spacer which becomes a side attachment wall of a gate electrode of said 1st MISFET from a silicon nitride film or a silicon oxide film, and said sidewall spacer.

[Claim 5]

It is a semiconductor integrated circuit device which has the 1st MISFET to the 1st field of a principal surface of a semiconductor substrate, and has the 2nd MISFET to the 2nd field of a principal surface of said semiconductor substrate,

Said 1st MISFET,

(a) The 1st gate dielectric film that is formed on a semiconductor substrate of said 1st field, and contains a film whose specific inductive capacity is higher than 8,

(b) The 1st gate electrode formed on said 1st gate dielectric film,

(c) The 1st insulator layer formed so that said 1st gate electrode and said 1st gate dielectric film might be covered,

(d) It has the 1st sidewall spacer that was formed on said 1st insulator layer and formed in a side attachment wall of said 1st gate electrode,

Said 2nd MISFET,

(e) The 2nd gate dielectric film that is the 2nd gate dielectric film that is formed on a semiconductor substrate of said 2nd field, and contains a silicon oxide film, and has thickness thicker than silicon oxide film conversion thickness of said 1st gate dielectric film,

(f) A semiconductor integrated circuit device having the 2nd gate electrode formed on said 2nd gate dielectric film.

[Claim 6]

Said 1st MISFET is further,

(g) The 2nd insulator layer formed so that said 1st gate electrode and said 1st sidewall spacer might be covered,

(h) The semiconductor integrated circuit device according to claim 5 having the 3rd insulator layer that is formed on said 2nd insulator layer and contains a silicon oxide film.

[Claim 7]

The semiconductor integrated circuit device according to claim 5 or 6, wherein said 1st insulator layer is a silicon nitride film.

[Claim 8]

The semiconductor integrated circuit device according to claim 5, 6, or 7, wherein said 2nd insulator layer is a silicon nitride film.

[Claim 9]
The semiconductor integrated circuit device according to any one of claims 5 to 8, wherein said 1st gate dielectric film contains either a film containing an oxide of 4A group element, or a tantalum oxide (Ta_2O_5) film.
[Claim 10]
Said 1st insulator layer A titanium oxide (TiO_2) film, a zirconium oxide (ZrO_2) film, The semiconductor integrated circuit device according to any one of claims 5 to 8 containing either oxidation hafnium (HfO_2) or a tantalum oxide (Ta_2O_5) film.

DETAILED DESCRIPTION

[Detailed Description of the Invention]
[Field of the Invention]
[0001]
This invention about a semiconductor integrated circuit device especially, It applies to the semiconductor integrated circuit device which forms two or more sorts of MISFET(s) (Metal Insulator Semiconductor Field Effect Transistor) from which the thickness of gate dielectric film differs on the same semiconductor substrate, and is related with effective technology.
[Background of the Invention]
[0002]
The process of making and dividing the gate dielectric film of thin thickness and the gate dielectric film of thick thickness from multi power supply-ization within the same semiconductor chip following the semiconductor device in recent years in the same semiconductor chip, and what is called a two-sort gate process are put in practical use.
[0003]
For example, JP,2000-188338,A (patent documents 1) is indicating the two-sort gate process of making and dividing into the 1st field and the 2nd field of a semiconductor substrate the gate dielectric film which consists of silicon oxide, and the gate dielectric film which consists of silicon nitride.
[0004]
In the two-sort gate process indicated in the above-mentioned gazette, after forming the 1st silicon oxide film on the semiconductor substrate of the 1st and 2nd fields first, the 1st silicon oxide film of the 1st field is selectively removed by etching, and the semiconductor substrate surface of the 1st field is exposed.

[0005]
Next, after forming a silicon nitride film on the 1st silicon oxide film of the 2nd field the semiconductor substrate top of the 1st field, the 2nd silicon nitride film and 1st silicon oxide film are selectively removed by etching, and the semiconductor substrate surface of the 2nd field is exposed.
[0006]
Next, by oxidizing a semiconductor substrate thermally and forming the 2nd silicon oxide film in the semiconductor substrate surface of the 2nd field, The 1st gate dielectric film that consists of silicon nitride is formed in the semiconductor substrate surface of the 1st field, and the 2nd gate dielectric film that consists of the 2nd silicon oxide is formed in the semiconductor substrate surface of the 2nd field.
[Patent documents 1] JP,2000-188338,A
[Description of the Invention]
[Problem to be solved by the invention]
[0007]
In order to realize low voltage operation of MISFET, it is necessary to thin-film-ize gate dielectric film in proportion to the miniaturization of MISFET for example, and MISFET of 0.2 micrometer or less requires the gate dielectric film of about 3-nm thin thickness for gate length by silicon oxide film conversion.
[0008]
However, if the thickness of the gate dielectric film using a silicon oxide film becomes thinner than 3 nm, the directly tunnel current which penetrates gate dielectric film and flows will increase, and the gate leakage current of the grade which cannot be disregarded from a viewpoint of low power consumption will occur. The choice which enlarges physical thickness of gate dielectric film can be considered by using high dielectric films, such as titanium oxide (TiO_2) with larger specific inductive capacity than silicon oxide, and a tantalum oxide (Ta_2O_5) film, as the measure.
[0009]
So, in the two-sort gate process mentioned above, adoption of the process of forming some gate dielectric film with a high dielectric film, and forming other parts with a silicon oxide film becomes indispensable.
[0010]
By the conventional gate processing process formed with the silicon oxide film, gate dielectric film. When a gate electrode is formed by the dry etching which used the photoresist film as the mask, In order to improve the resisting pressure fall of the gate electrode resulting from the gate oxide of the side-attachment-wall end of a gate

electrode being etched isotropic, and ANDAKATTO arising, Processing which oxidizes a semiconductor substrate thermally immediately after forming a gate electrode, and what is called light oxidation treatment are performed (for example, JP,H7-94716,A etc.).

[0011]

However, since the interface of a high dielectric film and a semiconductor substrate will oxidize and a silicon oxide film will be formed if light oxidation treatment is performed after formation of a gate electrode when gate dielectric film is formed with a high dielectric film, the problem that the dielectric constant of gate dielectric film will fall arises. It becomes impossible therefore, to improve the profile of a gate electrode sidewall end by light oxidation treatment in this case.

[0012]

The purpose of this invention is to provide the two-sort gate process which constituted some gate dielectric film from a high dielectric film.

[0013]

Other purposes of this invention are to provide the technology in which the reliability of MISFET which constituted gate dielectric film from a high dielectric is securable.

[0014]

The other purposes and the new feature will become clear from description and the accompanying drawing of this Description along [said] this invention.

[Means for solving problem]

[0015]

It will be as follows if the outline of a typical thing is briefly explained among invention indicated in an application concerned.

[0016]

As for the semiconductor integrated circuit device of this invention, the 1st MISFET is formed in the 1st field of the principal surface of a semiconductor substrate, It is formed in the 2nd field of the principal surface of said semiconductor substrate by the 2nd MISFET, and the gate dielectric film of said 1st MISFET, Comprise specific inductive capacity of a silicon nitride film including the 1st insulator layer that has high specific inductive capacity, and the gate dielectric film of said 2nd MISFET, It comprises the 2nd insulator layer containing a silicon oxide film, and the silicon oxide film conversion thickness of said 1st insulator layer is thinner than the silicon oxide film conversion thickness of said 2nd insulator layer.

[Effect of the Invention]

[0017]

It will be as follows if the effect acquired by the typical thing among invention indicated in an application concerned is explained briefly.

[0018]

By forming some gate dielectric film of MISFET with a high dielectric film, it can be compatible in control of tunnel current, and reservation of the driving ability of MISFET, and the reliability of MISFET can be secured by forming some other gate dielectric film with a silicon oxide film.

[0019]

Even if it does not perform light oxidation treatment after gate electrode formation of MISFET, it becomes possible to control the resisting pressure fall of a gate electrode, and the increase in the leakage current of gate dielectric film.

[Best Mode of Carrying Out the Invention]

[0020]

Hereafter, an embodiment of the invention is described in detail based on Drawings. In the complete diagram for describing an embodiment, the same mark is given to the component which has the same function, and explanation of the repetition is omitted. In following embodiments, when especially required, it does not repeat [except] on the principle of explanation of the same or same portion.

[0021]

(Embodiment 1)

CMOS-LSI of this embodiment operates MISFET which constitutes an internal circuit by the low voltage from a viewpoint of reducing the power consumption of a circuit. For this reason, silicon oxide film conversion thickness constitutes the gate dielectric film of MISFET which constitutes an internal circuit from a thin insulator layer below 3 nm. On the other hand, since MISFET of the input-and-output (I/O) circuit where external high tension is impressed needs to secure gate pressure-proofing, silicon oxide film conversion thickness forms gate dielectric film with a not less than 3-nm thick insulator layer.

[0022]

In this case, if the gate dielectric film of MISFET which constitutes an internal circuit is formed with a silicon oxide film, the directly tunnel current which penetrates thin gate dielectric film and flows will increase, and the gate leakage current of the grade which cannot be disregarded from a viewpoint of low power consumption will occur. Therefore, in this embodiment, even if silicon oxide film conversion thickness is less than 3 nm, physical thickness forms the gate dielectric film of MISFET which constitutes an internal circuit with a high dielectric constant film thicker than 3 nm and

the insulator layer which specifically had larger specific inductive capacity than a silicon nitride film (specific-inductive-capacity =7-8). On the other hand, MISFET which constitutes an I/O circuit forms gate dielectric film with a silicon oxide film, in order to secure the reliability at the time of high voltage operation.

[0023]

The manufacturing method of CMOS-LSI of this embodiment is explained to process order using drawing 1 - drawing 19. In drawing 1 - drawing 19, the field on the left-hand side of a semiconductor substrate shows an internal circuit region, and the right-hand side field shows the I/O circuit area.

[0024]

First, as shown in drawing 1, the isolation groove 2 is formed in the semiconductor substrate (henceforth a substrate) 1 which consists of p type single crystal silicon which has the specific resistance about 1-10-ohmcm. In order to form the isolation groove 2, after etching the substrate 1 of an isolation region and forming a slot, it removes by depositing the silicon oxide film 3 and grinding the silicon oxide film 3 of the exterior of a slot in chemical machinery continuously with a CVD method on the substrate 1 containing the inside of a slot. Next, the ion implantation of the boron is carried out to some substrates 1, the p type well 4 is formed in it, the ion implantation of the phosphorus is carried out to other parts, and the n type well 5 is formed in them.

[0025]

Next, after washing the surface of the substrate 1 by fluoric acid and removing a natural oxidation film, as shown in drawing 2, the high dielectric film 6 with larger specific inductive capacity than a silicon nitride film, for example, a titanium oxide (TiO_2) film, is deposited on the substrate 1. The titanium oxide membrane 6 is deposited in the thickness that silicon oxide film conversion thickness is set to less than 3 nm.

[0026]

As a high dielectric film with larger specific inductive capacity than a silicon nitride film, An oxide, a tantalum oxide (Ta_2O_5) film, etc. of 4A group elements, such as a zirconium oxide (ZrO_2) film and an oxidation hafnium (HfO_2) film besides the above-mentioned titanium oxide membrane 6, can be used. As for these metal oxide films, it is desirable to deposit with the CVD method using organic metal source gas from a viewpoint of reducing the damage exerted on the substrate 1 at the time of membrane formation.

[0027]

Next, as shown in drawing 3, the silicon nitride film 7 is deposited on the upper part of the titanium oxide membrane 6 with a CVD method. This silicon nitride film 7

functions as an antioxidant film which prevents the substrate 1 of an internal circuit region oxidizing, when oxidizing thermally the surface of the substrate 1 of an I/O circuit area at the following process.

[0028]

Next, as shown in drawing 4, the silicon nitride film 7 of an internal circuit region is covered with the photoresist film 40, The silicon nitride film 7 and the titanium oxide membrane 6 of an I/O circuit area are removed by the dry etching which used this photoresist film 40 as the mask, and the surface of the substrate 1 (the p type well 4, the n type well 5) of an I/O circuit area is exposed. The titanium oxide membrane 6 which remained in the surface of the substrate 1 of an internal circuit region is used as gate dielectric film of MISFET which constitutes an internal circuit.

[0029]

Next, after ashing's removing the photoresist film 40, and washing the surface of the substrate 1 by fluoric acid continuously, as shown in drawing 5, the silicon oxide film 8 is formed in the surface of the substrate 1 (the p type well 4, the n type well 5) of an I/O circuit area by oxidizing the substrate 1 thermally. The silicon oxide film 8 is used as gate dielectric film of MISFET which constitutes an I/O circuit. The silicon oxide film 8 is formed by not less than 3-nm thick thickness, in order to secure the reliability of MISFET which constitutes an I/O circuit. On the other hand, since the substrate 1 of the internal circuit region where the surface was covered with the silicon nitride film 7 does not oxidize by the above-mentioned thermal oxidation process, the silicon oxide film conversion thickness of the gate dielectric film formed in an internal circuit region does not exceed 3 nm.

[0030]

Next, as shown in drawing 6, hot phosphoric acid removes the wrap silicon nitride film 7 for the titanium oxide membrane 6 of an internal circuit region. Of the process so far, the 1st gate dielectric film (silicon oxide film conversion thickness = less than 3 nm) that consists of the titanium oxide membrane 6 is formed in the surface of the substrate 1 (the p type well 4, the n type well 5) of an internal circuit region, The 2nd gate dielectric film (silicon oxide film conversion thickness = not less than 3 nm) that consists of the silicon oxide film 8 is formed in the surface of the substrate 1 (the p type well 4, the n type well 5) of an I/O circuit area.

[0031]

Next, as shown in drawing 7, the n type polycrystalline silicon film 9a is formed in the upper part of the p type well 4, and the p type polycrystalline silicon film 9b is formed in the upper part of the n type well 5. In order to form these polycrystalline silicon films

(9a, 9b), With the ion implantation which formed the non-doped polycrystalline silicon film and used the photoresist film as the mask continuously with the CVD method on the substrate 1, a phosphorus is doped to the polycrystalline silicon film of the upper part of the p type well 4, and boron is doped to the polycrystalline silicon film of the upper part of the n type well 5.

[0032]

Next, by using the photoresist film 41 as a mask and carrying out dry etching of the n type polycrystalline silicon film 9a and the p type polycrystalline silicon film 9b, as shown in drawing 8, The gate electrode 9A which consists of the n type polycrystalline silicon film 9a is formed in the upper part of the p type well 4, and the gate electrode 9B which consists of the p type polycrystalline silicon film 9b is formed in the upper part of the n type well 5.

[0033]

If dry etching of the above-mentioned polycrystalline silicon film (9a, 9b) is performed, The gate dielectric film (the titanium oxide membrane 6, silicon oxide film 8) formed in fields other than the lower part of the gate electrodes 9A and 9B is also etched selectively or extensively, and the surface of the substrate 1 (the p type well 4, the n type well 5) exposes it. Then, after ashing's removing the photoresist film 41, and washing the surface of the substrate 1 by fluoric acid continuously, as shown in drawing 9, the silicon nitride film 10 is deposited with a CVD method on the substrate 1. When carrying out the ion implantation of the impurity to the substrate 1 at the following process, this silicon nitride film 10 is formed in order to prevent polluting the surface of the substrate 1. As a film which prevents contamination of the substrate 1, a silicon oxide film or the high dielectric film mentioned above besides the above-mentioned silicon nitride film 10 can also be used. When there is little **** of gate dielectric film (the titanium oxide membrane 6, silicon oxide film 8), the above-mentioned pollution-control film can also be omitted.

[0034]

Next, as shown in drawing 10, the ion implantation of a phosphorus or the arsenic is carried out to the p type well 4 of the both sides of the gate electrode 9A, The n^- type semiconductor region 11 of low impurity concentration is formed, the ion implantation of the boron is carried out to the n type well 5 of the both sides of the gate electrode 9B, and the p^- type semiconductor region 12 of low impurity concentration is formed. The n^- type semiconductor region 11 is formed in order to make n channel type MISFET into LDD (lightly doped drain) structure, and it forms the p^- type semiconductor region 12 in order to make p channel type MISFET into LDD structure.

[0035]
Next, as shown in drawing 11, the sidewall spacer 13 is formed in the side attachment wall of the gate electrodes 9A and 9B. In order to form the sidewall spacer 13, this silicon nitride film is continuously deposited a silicon nitride film and etched anisotropically with a CVD method on the substrate 1, and it leaves the side attachment wall of the gate electrodes 9A and 9B. When not forming the contact hole mentioned later by self align (self aryne) to the gate electrodes 9A and 9B, the sidewall spacer 13 may be formed with a silicon oxide film.
[0036]
Next, as shown in drawing 12, the ion implantation of a phosphorus or the arsenic is carried out to the p type well 4 of the both sides of the gate electrode 9A, By heat-treating the substrate 1 and diffusing these impurities, after carrying out the ion implantation of the boron to the n type well 5 of the both sides of the gate electrode 9B, The n^+ type semiconductor region (a source, drain) 14 of high impurity concentration is formed in the p type well 4, and the p^+ type semiconductor region (a source, drain) 15 of high impurity concentration is formed in the n type well 5.
[0037]
Since each both sides of the gate electrodes 9A and 9B are covered with the sidewall spacer 13 which consists of the silicon nitride 10 and silicon nitride for preventing contamination, when performing heat treatment for diffusing the above-mentioned impurity, the substrate 1 of an internal circuit region does not oxidize.
[0038]
If anisotropic etching for forming the sidewall spacer 13 in the side attachment wall of the gate electrodes 9A and 9B is performed, A source and the silicon nitride film 10 which has covered the surface of the drain (the n^+ type semiconductor region 14, the p^+ type semiconductor region 15) are also etched selectively or extensively, and the surface of the substrate 1 (the p type well 4, the n type well 5) may expose it.
[0039]
In this case, after forming the sidewall spacer 13 in the side attachment wall of the gate electrodes 9A and 9B, as shown in drawing 13, It can prevent polluting the surface of the substrate 1 with an ion implantation process by depositing the silicon nitride film 16 with a CVD method on the substrate 1, and performing the ion implantation for forming the above-mentioned source and drain (the n^+ type semiconductor region 14, the p^+ type semiconductor region 15) after that.
[0040]
Next, as shown in drawing 14, hot phosphoric acid removes the silicon nitride film 10

which has covered the upper surface of the substrate 1, and the upper surface of the gate electrodes 9A and 9B, After exposing the surface of the substrate 1 (the n^+ type semiconductor region 14, the p^+ type semiconductor region 15), and the surface of the gate electrodes 9A and 9B, as shown in drawing 15, the cobalt (Co) film 17a is deposited in sputtering process on the substrate 1. Or it may replace with the cobalt film 17a, and Ti (titanium) film may be deposited.

[0041]

Then, after making the cobalt film 17a and silicon (the substrate 1 and the gate electrodes 9A and 9B) react by heat-treating the substrate 1, the unreacted cobalt film 17a is removed by wet etching. This forms the cobalt silicide layer 17 in the n^+ type semiconductor region (a source, drain) 14, the p^+ type semiconductor region (a source, drain) 15, and each surface of the gate electrodes 9A and 9B, as shown in drawing 16. The gate electrodes 9A and 9B serve as a polycrystalline silicon film (9a or 9b) and a cascade screen (polycide film) of the cobalt silicide layer 17 by forming the cobalt silicide layer 17 in the surface of the gate electrodes 9A and 9B.

[0042]

N channel type MISFET (Qn_1) and p channel type MISFET (Qp_1) which constitute an internal circuit by the process so far, N channel type MISFET (Qn_2) and p channel type MISFET (Qp_2) which constitute an I/O circuit are completed, respectively.

[0043]

Next, as shown in drawing 17, after depositing the silicon nitride film 18 with a CVD method on the substrate 1, the silicon oxide film 19 is deposited on the upper part of the silicon nitride film 18 with a CVD method. The silicon oxide film 19 deposits a tetraethoxysilane and oxygen with the plasma CVD method (forming temperature = about 400 **) used for source gas, for example. The lower layer silicon nitride film 18 of the silicon oxide film 19 functions as a barrier layer which prevents the gate dielectric film (titanium oxide membrane 6) of an internal circuit region oxidizing with the heat at the time of depositing the silicon oxide film 19 using the source gas having contained oxygen. This silicon nitride film 18 is the following contact hole formation process, and functions also as an etching stopper film which prevents etching deeply the silicon oxide film 3 in the isolation groove 2.

[0044]

Next, by using as a mask the photoresist film 42 formed in the upper part of the silicon oxide film 19, and carrying out dry etching of the silicon oxide film 19 and its lower layer silicon nitride film 18, as shown in drawing 18, The contact hole 20 is formed in the upper part of the n^+ type semiconductor region (a source, drain) 14, and the upper

part of the p^+ type semiconductor region (a source, drain) 15, respectively.

[0045]

The etch selectivity to the lower layer silicon nitride film 18 (and sidewall spacer 13) performs dry etching of the silicon oxide film 19 on the conditions which become large, The etch selectivity to the silicon oxide film 3 in the isolation groove 2 performs etching of the silicon nitride film 18 on the conditions which become large. By this, since the contact hole 20 is formed by self align (self aryne) to the gate electrode 9A (9B) and the silicon oxide film 3, respectively, Even when the doubling gap with the contact hole 20 and the gate electrode 9A (9B) and the doubling gap with the contact hole 20 and the isolation groove 2 arise, **** of the gate electrode 9A (9B) and the silicon oxide film 3 can be prevented.

[0046]

Next, after ashing removes the photoresist film 42, as shown in drawing 19, A tungsten (W) film is deposited in a CVD method or sputtering process on the silicon oxide film 19 containing the inside of the contact hole 20, Then, the tungsten wiring 21-27 is formed in the upper part of the silicon oxide film 19 by using a photoresist film as a mask and carrying out dry etching of this tungsten film.

[0047]

Then, although wiring of two or more layers is formed in the upper part of the tungsten wiring 21-27 via an interlayer insulation film, those graphic displays are omitted.

[0048]

Thus, according to this embodiment, it is compatible in control of tunnel current, and reservation of the driving ability of MISFET by forming the gate dielectric film of MISFET which constitutes an internal circuit with a high dielectric film. The reliability of MISFET is securable by forming the gate dielectric film of MISFET which constitutes an I/O circuit with a silicon oxide film.

[0049]

(Embodiment 2)

First, as shown in drawing 20, the gate electrodes 9A and 9B are formed on the gate dielectric film which consists of the titanium oxide membrane 6 by the same method as said Embodiment 1, and the gate electrodes 9A and 9B are formed on the gate dielectric film which consists of the silicon oxide film 8. The process so far is the same as the process shown in drawing 1 - drawing 8 of said Embodiment 1.

[0050]

If a gate electrode material is etched and the gate electrodes 9A and 9B are formed, the gate dielectric film (the titanium oxide membrane 6, silicon oxide film 8) of fields other

than the lower part of the gate electrodes 9A and 9B will also be shaved to some extent, and. Since damage to etching to the gate dielectric film (the titanium oxide membrane 6, silicon oxide film 8) of the side-attachment-wall end of the gate electrodes 9A and 9B arises, As it is, pressure-proofing of gate dielectric film (the titanium oxide membrane 6, silicon oxide film 8) may fall, or the leakage current of gate dielectric film (the titanium oxide membrane 6, silicon oxide film 8) may increase.

[0051]

Then, in such a case, after forming the gate electrodes 9A and 9B, as shown in drawing 21, the gate length is made narrower than the width of lower layer gate dielectric film (the titanium oxide membrane 6, silicon oxide film 8) by what width of the gate electrodes 9A and 9B is narrowed for (thinning is carried out). What is necessary is just to carry out wet etching of the surface of the substrate 1, for example using the mixed water solution of nitric acid (HNO_3) and hydrogen fluoride (HF), in order to carry out thinning of the gate electrodes 9A and 9B.

[0052]

The portion (side-attachment-wall end of the gate electrodes 9A and 9B before thinning) which received damage by the above-mentioned etching among gate dielectric film (the titanium oxide membrane 6, silicon oxide film 8) is protruded outside the gate electrodes 9A and 9B, and stops thereby, functioning as gate dielectric film substantially. Namely, since only the portion which did not receive damage by etching at the time of forming the gate electrodes 9A and 9B functions as gate dielectric film substantially, Even if it does not perform light oxidation treatment currently performed by the conventional gate processing process, it becomes possible to control the resisting pressure fall of the gate electrodes 9A and 9B, and the increase in the leakage current of gate dielectric film (the titanium oxide membrane 6, silicon oxide film 8). Since light oxidation treatment is not performed, a silicon oxide film generates to the interface of the gate dielectric film and the substrate 1 which consist of the titanium oxide membrane 6, and the fault that a dielectric constant will fall is not produced, either.

[0053]

Next, as shown in drawing 22, after depositing the silicon nitride film 10 with a CVD method on the substrate 1, the ion implantation of a phosphorus or the arsenic is carried out to the p type well 4 of the both sides of the gate electrode 9A, The n^- type semiconductor region 11 of low impurity concentration is formed, the ion implantation of the boron is carried out to the n type well 5 of the both sides of the gate electrode 9B, and the p^- type semiconductor region 12 of low impurity concentration is formed. The subsequent process is the same as said Embodiment 1.

[0054]
As mentioned above, although invention made by this invention person was concretely explained based on the embodiment, it cannot be overemphasized that it can change variously in the range which this invention is not limited to said embodiment and does not deviate from the summary.
[0055]
Although said embodiment explained the case where formed the gate dielectric film of MISFET which constitutes an internal circuit with a high dielectric constant film, and the gate dielectric film of MISFET which constitutes an I/O circuit was formed with a silicon oxide film, This invention is not limited to this and can be widely applied to the two-sort gate process of forming the gate dielectric film of a part of MISFET(s) with a high dielectric constant film.
[Industrial applicability]
[0056]
This invention is applicable to the semiconductor integrated circuit device which forms two or more sorts of MISFET(s) from which the thickness of gate dielectric film differs on the same semiconductor substrate.
[Brief Description of the Drawings]
[0057]
[Drawing 1]It is an important section sectional view of a semiconductor substrate showing the manufacturing method of MISFET which is the 1 embodiment of this invention.
[Drawing 2]It is an important section sectional view of a semiconductor substrate showing the manufacturing method of MISFET which is the 1 embodiment of this invention.
[Drawing 3]It is an important section sectional view of a semiconductor substrate showing the manufacturing method of MISFET which is the 1 embodiment of this invention.
[Drawing 4]It is an important section sectional view of a semiconductor substrate showing the manufacturing method of MISFET which is the 1 embodiment of this invention.
[Drawing 5]It is an important section sectional view of a semiconductor substrate showing the manufacturing method of MISFET which is the 1 embodiment of this invention.
[Drawing 6]It is an important section sectional view of a semiconductor substrate showing the manufacturing method of MISFET which is the 1 embodiment of this

invention.
[Drawing 7]It is an important section sectional view of a semiconductor substrate showing the manufacturing method of MISFET which is the 1 embodiment of this invention.
[Drawing 8]It is an important section sectional view of a semiconductor substrate showing the manufacturing method of MISFET which is the 1 embodiment of this invention.
[Drawing 9]It is an important section sectional view of a semiconductor substrate showing the manufacturing method of MISFET which is the 1 embodiment of this invention.
[Drawing 10]It is an important section sectional view of a semiconductor substrate showing the manufacturing method of MISFET which is the 1 embodiment of this invention.
[Drawing 11]It is an important section sectional view of a semiconductor substrate showing the manufacturing method of MISFET which is the 1 embodiment of this invention.
[Drawing 12]It is an important section sectional view of a semiconductor substrate showing the manufacturing method of MISFET which is the 1 embodiment of this invention.
[Drawing 13]It is an important section sectional view of a semiconductor substrate showing the manufacturing method of MISFET which is the 1 embodiment of this invention.
[Drawing 14]It is an important section sectional view of a semiconductor substrate showing the manufacturing method of MISFET which is the 1 embodiment of this invention.
[Drawing 15]It is an important section sectional view of a semiconductor substrate showing the manufacturing method of MISFET which is the 1 embodiment of this invention.
[Drawing 16]It is an important section sectional view of a semiconductor substrate showing the manufacturing method of MISFET which is the 1 embodiment of this invention.
[Drawing 17]It is an important section sectional view of a semiconductor substrate showing the manufacturing method of MISFET which is the 1 embodiment of this invention.
[Drawing 18]It is an important section sectional view of a semiconductor substrate showing the manufacturing method of MISFET which is the 1 embodiment of this

invention.

[Drawing 19]It is an important section sectional view of a semiconductor substrate showing the manufacturing method of MISFET which is the 1 embodiment of this invention.

[Drawing 20]It is an important section sectional view of a semiconductor substrate showing the manufacturing method of MISFET which are other embodiments of this invention.

[Drawing 21]It is an important section sectional view of a semiconductor substrate showing the manufacturing method of MISFET which are other embodiments of this invention.

[Drawing 22]It is an important section sectional view of a semiconductor substrate showing the manufacturing method of MISFET which are other embodiments of this invention.

[Explanations of letters or numerals]

[0058]

1 Semiconductor substrate

2 Isolation groove

3 Silicon oxide film

4 P type well

5 N type well

6 titanium oxide membrane (the 1st insulator layer)

7 silicon nitride film (antioxidant film)

8 silicon oxide film (the 2nd insulator layer)

9a n type polycrystalline silicon film

9b P type polycrystalline silicon film

9A, 9B gate electrode

10 Silicon nitride film

11 n^- type semiconductor region

12 p^- type semiconductor region

13 Sidewall spacer

14 n^+ type semiconductor region (a source, drain)

15 p^+ type semiconductor region (a source, drain)

16 Silicon nitride film

17 Cobalt silicide layer

17a Cobalt film

18 Silicon nitride film

19 Silicon oxide film
20 Contact hole
21-27 Tungsten wiring
40, 41, 42 photoresist films
Qn_1, Qn_2 n channel type MISFET
Qp_1, Qp_2 p channel type MISFET

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2008-305950**
(43)Date of publication of application : **18.12.2008**

(51)Int.Cl. *H01L 21/8234 (2006.01)*
H01L 27/088 (2006.01)
H01L 29/78 (2006.01)

(21)Application number : **2007-151447**
(22)Date of filing : **07.06.2007**

(71)Applicant : **RENESAS TECHNOLOGY CORP**
(72)Inventor : **NISHIDA MASAO**

(54) SEMICONDUCTOR DEVICE, AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:
PROBLEM TO BE SOLVED: To provide a method of manufacturing a semiconductor device for lowering a threshold voltage of a transistor without deterioration of short-channel characteristic.
SOLUTION: Nitrogen (or halogen element) is diffused into a semiconductor substrate 101 of NMOS region (or PMOS region). Thereafter, gate insulating films 107N, 107P are formed on a semiconductor substrate 101 of the NMOS region (or PMOS region) by conducting heat treatment.



(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2008-305950
(P2008-305950A)
(43)公開日　平成20年12月18日(2008.12.18)

(51)Int.Cl.			F I			テーマコード（参考）
H01L	21/8234	(2006.01)	H01L	27/08	102C	5F048
H01L	27/088	(2006.01)	H01L	29/78	301G	5F140
H01L	29/78	(2006.01)				

審査請求 未請求　請求項の数 15　ＯＬ　（全 20 頁）

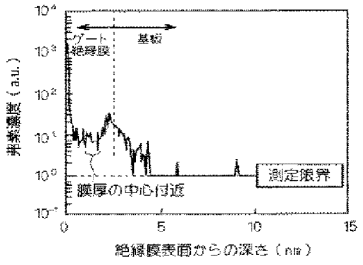
(21)出願番号　特願2007-151447 (P2007-151447)
(22)出願日　平成19年6月7日 (2007.6.7)

(71)出願人　503121103
株式会社ルネサステクノロジ
東京都千代田区大手町二丁目６番２号
(74)代理人　100089233
弁理士　吉田　茂明
(74)代理人　100088672
弁理士　吉竹　英俊
(74)代理人　100088845
弁理士　有田　貴弘
(72)発明者　西田　征男
東京都千代田区大手町二丁目６番２号　株式会社ルネサステクノロジ内

最終頁に続く

(54)【発明の名称】半導体装置の製造方法および半導体装置

(57)【要約】
【課題】短チャネル特性を劣化させること無しに、トランジスタの閾値電圧を低下させることができる半導体装置の製造方法を提供する。
【解決手段】ＮＭＯＳ領域（またはＰＭＯＳ領域）の半導体基板１０１に対して、窒素（またはハロゲン元素）を導入する。その後、熱処理を施すことにより、ＮＭＯＳ領域（またはＰＭＯＳ領域）の半導体基板１０１上にゲート絶縁膜１０７Ｎ，１０７Ｐを形成する。
【選択図】　図２



【特許請求の範囲】
【請求項１】
ＮＭＯＳトランジスタが形成されるＮＭＯＳ領域を有する、半導体基板を備える半導体装置の製造方法において、
（Ａ）前記ＮＭＯＳ領域の少なくとも一部の前記半導体基板に対して、窒素を導入する工程と、
（Ｂ）前記工程（Ａ）の後に、第一の熱処理を施すことにより、前記ＮＭＯＳ領域の前記半導体基板上にゲート絶縁膜を形成する工程とを、備えている、
ことを特徴とする半導体装置の製造方法。
【請求項２】
（Ｃ）前記半導体基板に対してプラズマ窒化処理を施すことにより、前記ゲート絶縁膜に窒素を導入する工程を、さらに備えている、
ことを特徴とする請求項１に記載の半導体装置の製造方法。
【請求項３】
前記工程（Ａ）は、
前記半導体基板に対して、５×１０^{14}／ｃｍ^{2}以上の濃度の前記窒素を導入する工程である、
ことを特徴とする請求項１または請求項２に記載の半導体装置の製造方法。
【請求項４】
ＰＭＯＳトランジスタが形成されるＰＭＯＳ領域を有する、半導体基板を備える半導体装置の製造方法において、
（Ａ）前記ＰＭＯＳ領域の少なくとも一部の前記半導体基板に対して、ハロゲン元素を導入する工程と、
（Ｂ）前記工程（Ａ）の後に、第一の熱処理を施すことにより、前記ＰＭＯＳ領域の前記半導体基板上にゲート絶縁膜を形成する工程とを、備えている、
ことを特徴とする半導体装置の製造方法。
【請求項５】
前記工程（Ａ）は、
前記半導体基板に対して、３×１０^{14}／ｃｍ^{2}以上の濃度のフッ素を導入する工程である、
ことを特徴とする請求項４に記載の半導体装置の製造方法。
【請求項６】
（Ｄ）前記工程（Ａ）と前記工程（Ｂ）との間に、前記半導体基板に対して第二の熱処理を施す工程を、さらに備えている、
ことを特徴とする請求項１乃至請求項５のいずれかに記載の半導体装置の製造方法。
【請求項７】
前記工程（Ｂ）は、
高誘電体膜を含む前記ゲート絶縁膜を形成する工程である、
ことを特徴とする請求項１乃至請求項５のいずれかに記載の半導体装置の製造方法。
【請求項８】
（Ｅ）前記ゲート絶縁膜上に、金属層または金属珪化物層を堆積させることにより、当該金属層または金属珪化物層を含むゲート電極を形成する工程を、さらに備えている、
ことを特徴とする請求項１乃至請求項５のいずれかに記載の半導体装置の製造方法。
【請求項９】
前記ゲート電極は、
前記ゲート絶縁膜の形成後であり、活性領域の形成前に、形成される、
ことを特徴とする請求項８に記載の半導体装置の製造方法。
【請求項１０】
ＮＭＯＳトランジスタを有する半導体装置において、
前記ＮＭＯＳトランジスタは、

半導体基板上に形成された、窒素が含まれているゲート絶縁膜を、備えており、
前記半導体基板と前記ゲート絶縁膜との境界付近の前記窒素の濃度は、
前記ゲート絶縁膜の膜厚方向における中心付近の前記窒素の濃度よりも高い、
ことを特徴とする半導体装置。
【請求項１１】
前記ＮＭＯＳトランジスタは、
前記ゲート絶縁膜上に形成されたゲート電極を、さらに備えており、
前記半導体基板と前記ゲート絶縁膜との境界付近の前記窒素の濃度および前記ゲート絶縁膜と前記ゲート電極との境界付近の前記窒素の濃度は、
前記ゲート絶縁膜の膜厚方向における中心付近の前記窒素の濃度よりも高い、
ことを特徴とする請求項１０に記載の半導体装置。
【請求項１２】
ＰＭＯＳトランジスタを有する半導体装置において、
前記ＰＭＯＳトランジスタは、
半導体基板上に形成された、ハロゲン元素が含まれているゲート絶縁膜を、備えており、
前記半導体基板と前記ゲート絶縁膜との境界付近の前記ハロゲン元素の濃度は、
前記ゲート絶縁膜の膜厚方向における中心付近の前記ハロゲン元素の濃度よりも高い、
ことを特徴とする半導体装置。
【請求項１３】
前記ハロゲン元素は、
フッ素である、
ことを特徴とする請求項１２に記載の半導体装置。
【請求項１４】
前記ゲート電極の少なくとも底部は、
金属層もしくは金属珪化物層で構成されている、
ことを特徴とする請求項１０乃至請求項１２のいずれかに記載の半導体装置。
【請求項１５】
前記ゲート絶縁膜は、
少なくとも高誘電体膜を含んでいる、
ことを特徴とする請求項１０乃至請求項１２のいずれかに記載の半導体装置。

【発明の詳細な説明】
【技術分野】
【０００１】
この発明は、半導体装置の製造方法および半導体装置に係る発明であり、特に、ＭＯＳトランジスタを有する半導体装置および当該半導体装置の製造方法に関するものである。
【背景技術】
【０００２】
ＭＯＳ（Ｍｅｔａｌ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）トランジスタのゲート空乏化は、ゲート絶縁膜の実効的な膜厚を増加させる。このため、トランジスタの性能向上のためには、ゲートの空乏化を抑える構造が望ましい。当該ゲート空乏化を避けるため、メタルゲートトランジスタ構造が提案されている。
【０００３】
しかし、ゲート電極として用いる材質の多くが、１０００℃程度以上の高温プロセスを経ると、仕事関数の値が、シリコンバンドギャップの中間付近（いわゆるミッドギャップ）になるという問題がある。このため、ゲート電極形成後にソースドレイン領域の活性化アニールを行う場合には、メタルゲートトランジスタの閾値電圧は、しばしば高性能トランジスタに要求される閾値電圧（たとえば０．３Ｖ）よりもかなり高い値となる。なお、ゲート電極形成後に活性領域を形成する工程は、いわゆるゲートファーストプロセスと称される。

【０００４】
たとえば、ＴｉＮ／ＨｆＳｉＯＮ構造（即ちゲート電極がＴｉＮ、ゲート絶縁膜がＨｆＳｉＯＮ）の場合、成膜直後の仕事関数は５．０ｅＶ程度でありＰ型メタルと言える。しかし、ＴｉＮの上にポリシリコンを積層させることにより実用的なゲート電極を作り、ソースドレイン領域を形成し、その活性化のため１０５０℃のスパイクアニールを加えると、仕事関数は４．６ｅＶ程度である。このような仕事関数（＝４．６ｅＶ程度）を有するものをそのままＰＭＯＳトランジスタに使用したとしても、閾値電圧は０．６Ｖを越える。当該閾値電圧を有するＰＭＯＳトランジスタは、少なくとも高い電流値が求められる高性能トランジスタとしては適当ではない。
【０００５】
また、ソースドレイン領域の活性化アニール後に、ゲートポリシリコンを全てシリサイド化するフルシリサイド（ＦＵＳＩ：Ｆｕｌｌｙ　Ｓｉｌｉｃｉｄｅ）構造も考案されている。しかし、同様の問題が生じる。
【０００６】
すなわち、ゲート電極にＮｉＳｉなどを用いたメタルゲートトランジスタも、仕事関数はミッドギャップ付近にくる。このため、ＮＭＯＳトランジスタ，ＰＭＯＳトランジスタとも仕事関数が高くなり、実用的な高性能トランジスタとはならない。なお、Ni_2SiやNi_3Siにすると仕事関数は、数１００ｍＶ変化する。しかし、それでもこれらのトランジスタは、高性能トランジスタとしては完全に十分とは言えない。
【０００７】
メタルゲートの閾値電圧が実用的レベルよりかなり高くなるという上記問題に対しては、従来カウンタードーピングが採用されてきた。
【０００８】
たとえばＮＭＯＳトランジスタであれば、通常チャネル領域シリコンはＰ型ドープとなる。しかし、カウンタードーピング処理が施されると、チャネル領域表面近くにそれとは逆のＮ型ドープとなる。これとは逆に、ＰＭＯＳトランジスタにおけるカウンタードーピング処理が施されると、チャネル領域表面付近はＰ型ドープとなる。
【０００９】
カウンタードーピングを施すことにより、トランジスタの閾値電圧を下げることができる。さらに、カウンタードーピングを施すことにより、たとえば、ＮＭＯＳトランジスタのチャネル領域はボロンがドープされるが、その最表面に砒素注入層が形成される。他方、ＰＭＯＳトランジスタのチャネル領域の最表面にはボロン注入層が形成される。
【００１０】
なお、当該カウンタードーピング処理について記載されている文献として、たとえば非特許文献１が存在する。
【００１１】
【非特許文献１】Ｙ．Ｏｋａｙａｍａ ｅｔ ａｌ、「Ｓｙｍｐ．ｏｎ ＶＬＳＩ ｔｅｃｈ」、２００６年、「Ｓｕｐｐｒｅｓｓｉｏｎ ｅｆｆｅｃｔｓ ｏｆ ｔｈｒｅｓｈｏｌｄ ｖｏｌｔａｇｅ ｖａｒｉａｔｉｏｎ ｗｉｔｈ ＮｉＦＵＳＩ ｇａｔｅ ｅｌｅｃｔｒｏｄｅｆｏｒ ４５ｎｍ ｎｏｄｅ ａｎｄ ｂｅｙｏｎｄ ＬＳＴＰ ａｎｄ ＳＲＡＭ ｄｅｖｉｃｅｓ」、ｐｐ．１１８－１１９
【発明の開示】
【発明が解決しようとする課題】
【００１２】
しかし、カウンタードーピングをある程度の濃度で行うと、トランジスタは埋め込みチャネル構造となる。当該構造の場合には、ドレイン側からの空乏層の広がりを抑制し難くなり、その結果短チャネル特性の劣化が顕著となる。実際のところ、カウンタードーピングを施すことにより閾値電圧を２００ｍＶ以上低下させた場合、ゲート長が小さくなるに連れて、高性能なトランジスタ特性を維持することは困難である。
【００１３】

以上のように、メタルゲートを有するＭＯＳトランジスタで閾値電圧を調整する際に、カウンタードーピング処理により閾値電圧を低下させる。当該場合には、短チャネル特性の劣化（たとえば、短チャネル領域におけるサブスレッショルド係数の増加など）という問題が生じる。

【００１４】

そこで、本発明は、短チャネル特性を劣化させること無しに、トランジスタの閾値電圧を低下させることが可能となる半導体装置の製造方法を提供することを目的とする。さらに、当該半導体装置の製造方法により作成される半導体装置を提供することを目的とする。

【課題を解決するための手段】

【００１５】

上記の目的を達成するために、本発明の一実施例によれば、半導体基板に対して窒素（またはハロゲン元素）を導入した後に、熱処理を施すことによりゲート絶縁膜を形成する。

【発明の効果】

【００１６】

上記一実施例により、半導体基板とゲート絶縁膜との境界付近の窒素（またはハロゲン元素）の濃度は、ゲート絶縁膜の膜厚方向における中心付近の窒素（またはハロゲン元素）の濃度よりも高くなる。当該窒素（またはハロゲン元素）の濃度分布に起因して、短チャネル特性を劣化させること無く、トランジスタの閾値電圧を低下させることができる。

【発明を実施するための最良の形態】

【００１７】

以下、この発明をその実施の形態を示す図面に基づいて具体的に説明する。

【００１８】

＜実施の形態１＞

図１は、後述する本実施の形態に係る半導体装置の製造方法により作成される、半導体装置の構成を示す断面図（フロントエンドプロセス終了時における断面図）である。ここで、図１の素子分離膜１０２より左側は、ＮＭＯＳトランジスタＮ１００が形成されるＮＭＯＳ領域である。他方、図１の素子分離膜１０２より右側は、ＰＭＯＳトランジスタＰ１００が形成されるＰＭＯＳ領域である。

【００１９】

ＮＭＯＳトランジスタＮ１００は、半導体基板１０１上に形成されたゲート絶縁膜１０７Ｎと、ゲート絶縁膜１０７Ｎ上に形成されたゲート電極（１０８Ｎ，１０９Ｎ）とを備える。他方、ＰＭＯＳトランジスタＰ１００は、半導体基板１０１上に形成されたゲート絶縁膜１０７Ｐと、ゲート絶縁膜１０７Ｐ上に形成されたゲート電極（１０８Ｐ，１０９Ｐ）とを備える。

【００２０】

図１に示す構成において、ゲート電極（１０８Ｐ，１０９Ｐ）の底部およびゲート電極（１０８Ｎ，１０９Ｎ）の底部は、金属層（もしくは金属珪化物層）１０８Ｐ、１０８Ｎで構成されている。

【００２１】

また、ゲート絶縁膜１０７Ｐは、ハロゲン元素（たとえばフッ素）を含んでいる。なお、当該ゲート絶縁膜１０７Ｐには窒素が含まれていても良いが、後述する本発明の効果の観点からは、特に当該ゲート絶縁膜１０７Ｐに窒素が含有されている必要がない。ここで、当該ゲート絶縁膜１０７Ｐ中におけるフッ素濃度分布を図２に示す。

【００２２】

図２は、本実施の形態に係る製造方法により作成された半導体装置に対するＳＩＭＳ（二次イオン質量分析法）測定結果である。図２では、ゲート絶縁膜１０７Ｐおよびそのすぐ下の半導体基板１０１中のフッ素濃度分布を示している。

【００２３】

図２に示すように、半導体基板（シリコン基板）１０１とゲート絶縁膜１０７Ｐとの境界付近のハロゲン元素（フッ素）の濃度は、ゲート絶縁膜１０７Ｐの膜厚方向における中心付近のハロゲン元素（フッ素）の濃度よりも高い。より具体的には、ゲート絶縁膜１０７Ｐにおけるフッ素濃度は、半導体基板１０１との境界付近で高く、ゲート絶縁膜１０７Ｐ上に形成されるゲート電極（より具体的には金属層１０８Ｐ）との境界付近に近づくに連れて低くなっている。なお、図２では、左端部（ゲート絶縁膜１０７Ｐの最表面）の値が極めて高くなっているが、これは、ＳＩＭＳにおける測定誤差であり、無視すべきである。

【００２４】

一方、ゲート絶縁膜１０７Ｎには、少なくとも窒素が含まれている。ここで、当該ゲート絶縁膜１０７Ｎ中に含有される窒素濃度分布は、図２で示した分布傾向と同様である。半導体基板（シリコン基板）１０１とゲート絶縁膜１０７Ｎとの境界付近の窒素の濃度は、ゲート絶縁膜１０７Ｎの膜厚方向における中心付近の窒素の濃度よりも高い（本発明に係る濃度分布）。より具体的には、ゲート絶縁膜１０７Ｎにおける窒素濃度は、半導体基板１０１との境界付近で高く、ゲート絶縁膜１０７Ｎ上に形成されるゲート電極（より具体的には金属層１０８Ｎ）との境界付近に近づくに連れて低くなっている。

【００２５】

当該本発明に係る濃度分布は、次の第一の濃度分布の場合や次の第二の濃度分布の場合と比較して、ＭＯＳトランジスタの閾値電圧をより効果的に低下させることができる。当該事項は、発明者による実験結果により確認することができた。

【００２６】

ここで、第一の濃度分布とは、フッ素または窒素の濃度分布が、ゲート絶縁膜１０７Ｐ，１０７Ｎ内で一様であるケースである。また、第二の濃度分布は、フッ素または窒素の濃度分布が、ゲート絶縁膜１０７Ｐ，１０７Ｎとゲート電極１０８Ｐ，１０８Ｎとの境界付近で高く、ゲート絶縁膜１０７Ｐ，１０７Ｎと半導体基板１０１との境界付近に近づくに連れて低くなるケースである。

【００２７】

なお一般的に、ゲート絶縁膜中の電荷が半導体基板付近に存在する場合の方が、ゲート電極付近に存在する場合よりも、閾値電圧変動に与える影響が大きくなることが知られている。たとえば、ナトリウムなどの可動イオンがゲート絶縁膜中に存在すると、閾値電圧が変動してしまうという問題が過去にはあった。当該問題は、可動イオンの位置が半導体基板側にもゲート電極側にも変わり得えることにより、閾値電圧へ与える影響が変わるために発生していた。当該電荷の位置と閾値電圧との関係が、ゲート絶縁膜１０７Ｎ，１０７Ｐ中に窒素やハロゲン元素が含有されている場合にも成立すると考えられる。つまり、本発明に係る濃度分布の方が第一、二の濃度分布よりも、効率的に閾値電圧を変動させることができるのは、上記事項と関連するものと考えられる。

【００２８】

次に、本実施の形態に係わるＣＭＯＳ型半導体装置の製造方法を、工程断面図を用いて具体的に説明する。

【００２９】

まず、図３に示すように、ＰＭＯＳトランジスタ形成領域（以下、ＰＭＯＳ領域と称する）およびＮＭＯＳトランジスタ形成領域（以下、ＮＭＯＳ領域と称する）を有する、半導体基板１０１を用意する。ここで、当該半導体基板１０１として、たとえばシリコン基板等を採用することができる。

【００３０】

次に、図３に示すように、半導体基板１０１の表面内に素子分離膜１０２を形成する。当該素子分離膜１０２により、ＰＭＯＳ領域とＮＭＯＳ領域とが、電気的に分離される。ここで、当該素子分離膜１０２は、たとえば浅溝素子分離（ＳＴＩ：Ｓｈａｌｌｏｗ　Ｔｒｅｎｃｈ　Ｉｓｏｌａｔｉｏｎ）法を実施することにより、作成可能である。

【００３１】

次に、ＰＭＯＳ領域の半導体基板１０１に対して、Ｎウエル１０４を形成する（図３参照）。また、ＮＭＯＳ領域の半導体基板１０１に対して、Ｐウエル１０３を形成する（図３参照）。ここで、上記各ウエル１０３，１０４は、以下の方法を施すことにより形成可能である。

【００３２】

たとえば、フォトリソグラフィー技術を実施することにより、半導体基板１０１上に、ＰＭＯＳ領域に開口部を有するレジストを形成する。その後、当該レジストをマスクとして使用して、Ｐ（リン）イオンを打ち込む。これにより、ＰＭＯＳ領域の半導体基板１０１に対して、Ｎウエル１０４を形成することができる。

【００３３】

また、たとえば、別途フォトリソグラフィー技術を実施することにより、半導体基板１０１上に、ＮＭＯＳ領域に開口部を有するレジストを形成する。その後、当該レジストをマスクとして使用して、BF_2イオンを打ち込む。これにより、ＮＭＯＳ領域の半導体基板１０１に対して、Ｐウエル１０３を形成することができる。

【００３４】

次に、半導体基板１０１を、酸素を含有する雰囲気中に導入し、当該半導体基板１０１に対して熱処理を施す。これにより、図３に示すように、半導体基板１０１上に、１０ｎｍ程度の膜厚の酸化シリコン膜（以下、犠牲酸化膜と称する）２０１を形成する。当該犠牲酸化膜２０１は、後述する窒素イオンおよびハロゲン元素（たとえばフッ素イオン）の注入処理の際に半導体基板１０１等にダメージが与えられることを抑制するカバー膜として機能する。

【００３５】

次に、犠牲酸化膜２０１を覆うように、半導体基板１０１に対してレジスト２１１を塗布する。そして、フォトリソグラフィー技術を施すことにより、ＮＭＯＳ領域が開口するように、当該レジスト２１１を選択的に除去する。当該レジスト２１１を選択的に除去した後の様子を、図４に示す。図４に示すように、レジスト２１１の開口部（選択的に除去した部分）からは、半導体基板１０１のＮＭＯＳ領域に形成された犠牲酸化膜２０１が露出している。

【００３６】

次に、図４に示すように、上記レジスト２１１をマスクとして使用して、ＮＭＯＳ領域の半導体基板１０１に対して、窒素イオンを導入する。当該窒素イオンの導入は、たとえば、窒素分子（N_2）の濃度が1×10^{15}／ｃｍ^{2}程度で、イオン加速電圧が２０ｋｅＶ程度の条件にて、行うことができる。当該窒素イオン導入により、図４に示すように、ＮＭＯＳ領域の半導体基板１０１の表面付近に、窒素導入領域１０５が形成される。

【００３７】

なお、当該窒素イオンの導入に際して、ＰＭＯＳ領域は、レジスト２１１によりマスクされている。したがって、当該ＰＭＯＳ領域には、窒素イオンは導入されない。当該窒素イオン導入後、レジスト２１１を除去する。

【００３８】

次に、犠牲酸化膜２０１を覆うように、半導体基板１０１に対してレジスト２２１を塗布する。そして、フォトリソグラフィー技術を施すことにより、ＰＭＯＳ領域が開口するように、当該レジスト２２１を選択的に除去する。当該レジスト２２１を選択的に除去した後の様子を、図５に示す。図５に示すように、レジスト２２１の開口部（選択的に除去した部分）からは、半導体基板１０１のＰＭＯＳ領域に形成された犠牲酸化膜２０１が露出している。

【００３９】

次に、図５に示すように、上記レジスト２２１をマスクとして使用して、ＰＭＯＳ領域の半導体基板１０１に対して、ハロゲン元素（ここでは、フッ素イオン）を導入する。当該フッ素イオンの導入は、たとえば、フッ素原子の濃度が2×10^{15}／ｃｍ^{2}程度で、イオン加速電圧が１０ｋｅＶ程度の条件にて、行うことができる。当該フッ素イオン導入に

より、図５に示すように、ＰＭＯＳ領域の半導体基板１０１の表面付近に、フッ素導入領域１０６が形成される。

【００４０】

なお、当該フッ素イオンの導入に際して、ＮＭＯＳ領域は、レジスト２２１によりマスクされている。したがって、当該ＮＭＯＳ領域には、フッ素イオンは導入されない。

【００４１】

次に、レジスト２２１を除去する。その後、半導体基板１０１に対して、１０００℃程度の温度で、２０秒間程度の熱処理（第二の熱処理と把握できる）を施す。これにより、イオン注入処理による、半導体基板１０１のダメージを回復させることができる。

【００４２】

なお、半導体基板１０１および犠牲酸化膜２０１におけるハロゲン元素（ここでは、フッ素）の含有状況を確認した。その結果を、図６に示す。図６は、上記ダメージ回復後の半導体基板１０１に対するフッ素濃度の分布の様子を示す測定結果である。当該測定は、二次イオン質量分析法（ＳＩＭＳ）により行った。図６において、縦軸は、フッ素濃度（任意単位ａ．ｕ．）である、また横軸は、犠牲酸化膜２０１の表面からの深さ（ｎｍ）である。

【００４３】

図６から分かるように、フッ素は、犠牲酸化膜２０１から半導体基板１０１に至って、幅広く分布している。しかし、フッ素は、犠牲酸化膜２０１と半導体基板１０１との境界付近に集まる傾向にあることに、注目すべきである。なお、犠牲酸化膜２０１の表面付近において、フッ素濃度が上昇しているように見える。しかし、これは、周知の通り測定誤差であり、実際のフッ素濃度とは異なる。

【００４４】

なお、第二の熱処理を実施することにより基板ダメージを回復した後、半導体基板１０１および犠牲酸化膜２０１における窒素の含有状況を確認した。その結果は、ＮＭＯＳ領域における窒素濃度分布は、図６と同じ傾向であった。

【００４５】

その後、半導体基板１０１に対して、希フッ酸による溶解処理を施す。これにより、図７に示すように、犠牲酸化膜２０１を除去し、半導体基板１０１の表面を再び露出させる。

【００４６】

次に、半導体基板１０１を酸素を含有している雰囲気中に導入し、熱処理（第一の熱処理と把握できる）を施す。これにより、半導体基板１０１と酸素とが反応し、図８に示すように、半導体基板１０１上に、ゲート絶縁膜１０７Ｎ，１０７Ｐが形成される。ここで、半導体基板１０１がシリコン基板である場合には、ゲート絶縁膜１０７Ｎ，１０７Ｐは、酸化シリコン膜から成る。具体的に、ＰＭＯＳ領域の半導体基板１０１上にゲート絶縁膜１０７Ｐが形成され、ＮＭＯＳ領域の半導体基板１０１上にゲート絶縁膜１０７Ｎが形成される。

【００４７】

また、ゲート絶縁膜１０７Ｎ，１０７Ｐの形成は、同時に行っても良く、または別個独立に行っても良い。なお、当該ゲート絶縁膜１０７Ｐの形成の際に、ハロゲン元素（フッ素）は、半導体基板１０１からゲート絶縁膜１０７Ｐへと拡散する。他方、当該ゲート絶縁膜１０７Ｎの形成の際に、窒素は、半導体基板１０１からゲート絶縁膜１０７Ｎへと拡散する。

【００４８】

ここで、半導体基板１０１およびゲート絶縁膜１０７Ｐにおけるハロゲン元素（ここでは、フッ素）の含有状況を再び確認した。当該測定結果が図２である。上述したように、図２の測定結果は、ＰＭＯＳ領域における、半導体基板１０１およびゲート絶縁膜１０７Ｐ中に含まれるフッ素の分布を示している。ここで、縦軸は、フッ素濃度（任意単位ａ．ｕ．）である。また、横軸は、ゲート絶縁膜１０７Ｐの表面からの深さ（ｎｍ）である。

【００４９】
図２から分かるように、図６の測定結果と比較して、フッ素の濃度が減少している。これは、犠牲酸化膜２０１中のフッ素が、当該犠牲酸化膜２０１の除去と同時に取り除かれたこと、およびその後の熱酸化処理中に外方へ拡散されたこと等が、原因であると考えられる。
【００５０】
また、上述したように、フッ素が、ゲート絶縁膜１０７Ｐと半導体基板１０１との境界付近に集中する傾向にある。より具体的には、ゲート絶縁膜１０７Ｐと半導体基板１０１との境界付近における当該ゲート絶縁膜１０７Ｐ内のフッ素濃度が最も高く、当該境界付近から遠ざかるに連れて、フッ素濃度が低くなる。また、図２に示されているように、ゲート絶縁膜１０７Ｐの膜厚方向の中心付近のフッ素濃度よりも、ゲート絶縁膜１０７Ｐと半導体基板１０１との境界付近におけるフッ素濃度の方が高くなっている。
【００５１】
他方、半導体基板１０１およびゲート絶縁膜１０７Ｎにおける窒素の含有状況を再び確認した。当該測定結果は、上述の通り図２と同じ傾向であった。つまり、犠牲酸化膜２０１中の窒素が、当該犠牲酸化膜２０１の除去と同時に取り除かれたこと、およびその後の熱酸化処理中に外方へ拡散されたこと等が原因して、窒素濃度が減少する傾向にある。
【００５２】
さらに、窒素が、ゲート絶縁膜１０７Ｎと半導体基板１０１との境界付近に集中する傾向にある。より具体的には、ゲート絶縁膜１０７Ｎと半導体基板１０１との境界付近における当該ゲート絶縁膜１０７Ｎ内の窒素濃度が最も高く、当該境界付近から遠ざかるに連れて、窒素濃度が低くなる。また、ゲート絶縁膜１０７Ｎの膜厚方向の中心付近の窒素濃度よりも、ゲート絶縁膜１０７Ｎと半導体基板１０１との境界付近における窒素濃度の方が高くなっている。
【００５３】
当該ゲート絶縁膜１０７Ｎ，１０７Ｐ形成以降のプロセスは、通常のメタルゲート電極形成方法と同じである。つまり、通常のゲートファーストプロセス（ゲート絶縁膜形成後、ゲート電極を形成し、その後ソース・ドレイン領域となる活性領域を形成するプロセス）の結果、図１で示した構造となる。
【００５４】
具体的には、図８で示した半導体基板１０１上に、金属材料（たとえばＴｉＮであり、後に層１０８Ｎ，１０８Ｐとなる）を１０ｎｍ程度堆積させる。そして、当該金属材料上に、ポリシリコン（後に層１０９Ｎ，１０９Ｐとなる）を１００ｎｍ程度堆積させる。その後、所定の形状にパターニングされたレジストをマスクとして用いて、ドライエッチング処理を施す。
【００５５】
当該ドライエッチング処理により、ゲート絶縁膜１０７Ｎ，１０７Ｐおよびゲート電極１０８Ｎ，１０９Ｎ，１０８Ｐ，１０９Ｐをパターニングし、結果としてゲート構造を形成する。
【００５６】
その後は、各ＭＯＳ領域に所定の導電型のイオンを注入することにより、ソース・ドレインエクステンション１１０，１１１を形成する。その後、サイドウォールスペーサー１１２を形成する。そして、各ＭＯＳ領域に所定の導電型のイオン注入を行う。これにより、深いソース・ドレイン領域１１３，１１４を形成する。その後、１０３０℃程度のスパイクアニール処理により、活性領域１１０，１１１，１１３，１１４を電気的に活性化させる。
【００５７】
これにより、図１で示した構造の半導体装置が形成される。なお、その後は層間絶縁膜を堆積させ、バックエンドプロセスとなる。
【００５８】

以上のように、本実施の形態に係わる半導体装置の製造方法では、ＮＭＯＳ領域の半導体基板１０１に対して窒素を導入し、その後に、熱処理によりＮＭＯＳ領域の半導体基板１０１上にゲート絶縁膜１０７Ｎを形成している。他方、ＰＭＯＳ領域の半導体基板１０１に対してハロゲン元素を導入し、その後に、熱処理によりＰＭＯＳ領域の半導体基板１０１上にゲート絶縁膜１０７Ｐを形成している。

【００５９】

したがって、図２を用いて説明したように、半導体基板１０１とゲート絶縁膜１０７Ｎとの境界付近の窒素の濃度は、ゲート絶縁膜１０７Ｎの膜厚方向における中心付近の窒素の濃度よりも高くなる。また、半導体基板１０１とゲート絶縁膜１０７Ｐとの境界付近のハロゲン元素の濃度は、ゲート絶縁膜１０７Ｐの膜厚方向における中心付近のハロゲン元素の濃度よりも高くなる。各ゲート絶縁膜１０７Ｎ，１０７Ｐにおいて、このように窒素またはハロゲン元素が分布されるので、次の３つの効果を有する。

【００６０】

第一の効果は、ＮＭＯＳトランジスタの閾値電圧Ｖｔｈｎを低下させることができる、ことである。当該効果は、実験により確認されている。

【００６１】

ゲート絶縁膜１０７Ｎ中の窒素が上記のように分布すると、ゲート絶縁膜１０７Ｎ中に存在する窒素（Ｎ）が、ゲート絶縁膜１０７Ｎ（SiO_2）中の酸素（Ｏ）の一部と置換する。これにより、ゲート絶縁膜１０７Ｎとシリコン基板１０１の界面付近にドナー型の準位が発生し、当該界面付近が正に帯電するためと考えられる。

【００６２】

なお、ゲート絶縁膜１０７Ｎに窒素を含有させると、ホットキャリアなどによるデバイス劣化を防ぐことができる。当該デバイス劣化の観点からだけなら、ゲート絶縁膜１０７Ｎ中における窒素濃度分布は、特に限定する必要はないと考えられる。しかし、上記の通り、ＮＭＯＳトランジスタの閾値電圧Ｖｔｈｎを低下させるためには、図２で用いて説明した窒素濃度分布が要求される。

【００６３】

第二の効果は、ＰＭＯＳトランジスタの閾値電圧Ｖｔｈｐを低下させることができる、ことである。当該効果は、実験により確認されている。

【００６４】

ゲート絶縁膜１０７Ｐ中のハロゲン元素（たとえばフッ素）が上記のように分布すると、ゲート絶縁膜１０７Ｐ中に存在する窒素（フッ素）が、ゲート絶縁膜１０７Ｐ（SiO_2）中の酸素（Ｏ）の一部と置換する。これにより、ゲート絶縁膜１０７Ｐとシリコン基板１０１の界面付近にアクセプター型の準位が発生し、当該界面付近が負に帯電するためと考えられる。

【００６５】

なお、負バイアス温度不安定性（Ｎｅｇａｔｉｖｅ　Ｂｉａｓ　Ｔｅｍｐｅｒａｔｕｒｅ　Ｉｎｓｔａｂｉｌｉｔｙ：ＮＢＴＩ）に対する耐性を高めるために、ゲート絶縁膜１０７Ｐ中にフッ素を導入することもできる。たとえば、ＮＢＴＩ耐性を高め、かつボロン突き抜けを抑制するためには、窒素とフッ素の両方をゲート絶縁膜１０７Ｐ中に存在させれば良い。つまり、当該ボロン突き抜けを防ぐ目的で、ゲート絶縁膜１０７Ｐ中に窒素を導入させ、当該窒素の導入に起因したＮＢＴＩ耐性の劣化を防止する目的で、ゲート絶縁膜１０７Ｐ中にフッ素を導入させる。

【００６６】

ところが、ＰＭＯＳトランジスタがメタルから成るゲート電極を備える場合には、当該ゲート電極にボロンを存在させる必要がない。したがって、メタルから成るゲート電極の場合には、上記ボロンの突き抜けは問題とならない。よって、ボロン突き抜け防止のためにゲート電極１０７Ｐに窒素を導入させる必要もないので、当該ゲート電極の場合には、ＮＢＴＩ耐性が悪化することもない。

【００６７】

しかし、本発明の本質的効果であるＰＭＯＳトランジスタの閾値電圧Ｖｔｈｐの低下の観点から、本発明では、ゲート絶縁膜１０７Ｐ中にフッ素を上記濃度分布で導入させている。したがって、上記本発明の効果（第二の効果）の観点からは、ゲート絶縁膜１０７Ｐ中に窒素を導入させる必要は無い。

【００６８】

第三の効果は、ＰＭＯＳトランジスタおよびＮＭＯＳトランジスタの短チャネル効果の劣化を抑制できる、ことである。当該効果は、実験により確認されている。

【００６９】

上述の通り、ゲート絶縁膜１０７Ｎ，１０７Ｐ中における窒素またはハロゲン元素の濃度分布が上記分布の場合には、ＭＯＳトランジスタにおける短チャネル効果の劣化は、従来のカウンタードープを用いた場合よりも小さい。

【００７０】

カウンタードープを用いて閾値電圧を低下させた場合には、チャネル部分には、所定の導電型のイオン注入と、当該導電型と逆導電型のイオンの注入が行われる。したがって、双方の導電型同士が相殺し合って実質的なチャネル濃度が薄くなる。よって、ドレイン端からの空乏層の伸びが大きくなり、パンチスルーが起きやすくなる。また、カウンタードープを用いて閾値電圧を低下させた場合には、埋め込みチャネル(ベリッドチャネル)構造となる。したがって、実質的にゲート絶縁膜厚が厚くなる。

【００７１】

カウンタードープを用いて閾値電圧を低下させた場合には、上記事項が原因となって、ＭＯＳトランジスタにおける短チャネル特性が悪化するものと考えられる。

【００７２】

当該カウンタードープを用いた場合に対して、本実施の形態の場合には、チャネル部分に逆導電型のイオン注入を行っているわけではない。したがって、実質的チャネル濃度が低下することはなく、また基本的にベリッドチャネル層を形成しているわけではない。よって、本実施の形態の場合には、上述の短チャネル特性劣化要因（原因）を避けているので、上記第三の効果を奏するものと考えられる。

【００７３】

また、ＮＭＯＳ領域の半導体基板１０１に対して、５×１０^{14}／ｃｍ^{2}以上の濃度の窒素を導入することが望ましい。また、ＰＭＯＳ領域の半導体基板１０１に対して、３×１０^{14}／ｃｍ^{2}以上の濃度のフッ素を導入することが望ましい。

【００７４】

当該導入濃度は、十分なＭＯＳトランジスタの閾値電圧の低下効果を得るために必要な量であり、ＭＯＳトランジスタの動作の観点から当該導入量は確認された。つまり、当該導入量未満の場合には、顕著な閾値電圧低下効果を得ることができなかった。当該導入量は、ボロンやリン、砒素のような通常のチャネル注入濃度（１×１０^{14}／ｃｍ^{2}以下）に比べてかなり濃い量である。しかし、閾値電圧変調のメカニズムが異なるため、また注入後の欠陥回復アニールやゲート絶縁膜１０７Ｎ，１０７Ｐ形成時に半導体基板１０１外に拡散して行く量を考慮すると、上記窒素、フッ素の導入量は妥当である。

【００７５】

なお、ゲート電極下における空乏化を減少させ、ドレイン電流を増大させる観点から、ＭＯＳトランジスタのゲート電極は、金属を含むメタルゲートであることが望まれる。ここで、本実施の形態のように、ゲート絶縁膜１０７Ｎ，１０７Ｐ上に金属層または金属珪化物層を堆積させることにより形成される、底部に金属層（または金属珪化物層）１０８Ｎ，１０９Ｐを含むゲート電極も、上記観点から採用される。

【００７６】

しかし、上記メタルゲート等の場合には、ＭＯＳトランジスタの閾値電圧が非常に増大するという問題が生じる。したがって、当該メタルゲート等の場合に、閾値電圧を低下することができる等の効果を有する本実施の形態に係る製造方法を採用することが特に有益であると言える。

【００７７】
　また、ゲートリークを減少させる観点から、ＭＯＳトランジスタのゲート絶縁膜１０７Ｎ，１０７Ｐには、少なくとも高誘電体膜が含まれていることが望まれる。
【００７８】
　しかし、ゲート絶縁膜１０７Ｎ，１０７Ｐに高誘電体膜が含まれる場合には、ＭＯＳトランジスタの閾値電圧が非常に増大するという問題が生じる。したがって、ゲート絶縁膜１０７Ｎ，１０７Ｐに少なくとも高誘電体膜が含まれる場合に、閾値電圧を低下することができる等の効果を有する本実施の形態に係る製造方法を採用することが特に有益であると言える。
【００７９】
　また、上記のように、半導体基板１０１に対してハロゲン元素（または窒素）を導入した後（より具体的には、犠牲酸化膜２０１の除去前）に、半導体基板１０１のダメージを回復させる熱処理（第二の熱処理と把握できる）を施す。そして、その後に、半導体基板１０１にゲート絶縁膜１０７Ｎ，１０７Ｐを形成する。
【００８０】
　当該工程を実施することにより、ゲート酸化膜１０７Ｎ，１０７Ｐ形成時には既にイオン注入よる欠陥は存在しない。したがって、ゲート絶縁膜１０７Ｎ，１０７Ｐの信頼性を高めることができる。また、上記欠陥に起因した接合リーク電流増加も効果的に回避できる。
【００８１】
　なお、半導体基板１０１に窒素（またはハロゲン元素）を導入した後に、熱処理により半導体基板１０１上にゲート絶縁膜１０７Ｎ，１０７Ｐを形成する工程（本発明の工程）を、ダマシン工程等のゲートラストプロセスに採用することも可能である。ここで、ゲートラストプロセスとは、ゲート絶縁膜形成、活性領域形成の後、最後にゲート電極を形成するプロセスである。しかし、当該ゲートラストプロセスに本発明の工程を採用した場合には、プロセスが複雑になるというデメリットがある。
【００８２】
　そこで、本発明の工程を採用する場合には、プロセスの簡略の観点から、上述したゲートファーストプロセスを採用することが望ましい。
【００８３】
　なお、ＰＭＯＳ領域の半導体基板１０１に対して注入させるハロゲン元素として、他に塩素イオン等を採用することも可能である。しかし、フッ素イオンを採用した場合に、最も閾値電圧を抑制する効果を得ることができた。さらに、実用の観点からも、ハロゲン元素として当該フッ素を採用することが最も望ましい。
【００８４】
　また、上記ゲート絶縁膜１０７Ｎ形成後の半導体基板１０１に対してプラズマ窒化処理を施すことにより、ゲート絶縁膜１０７Ｎに窒素を導入する工程を、さらに付加しても良い。
【００８５】
　上記プラズマ窒化工程を付加することにより、たとえば、ポリシリコンから成るゲート電極１０９Ｎに含まれるボロンが拡散してシリコン基板に入り込む（いわゆるボロンの染み出し）現象を、当該ゲート絶縁膜１０７Ｎは抑制することができる。さらに、当該プラズマ窒化処理により、ゲート絶縁膜１０７Ｎの誘電率の高くなる。したがって、実効的なゲート絶縁膜１０７Ｎの厚さが薄くすることができる。
【００８６】
　なお、当該プラズマ窒化処理工程を付加することにより、ＮＭＯＳトランジスタＮ１００を構成するゲート絶縁膜１０７Ｎに含有される窒素濃度は、後述のようになる。つまり、半導体基板１０１とゲート絶縁膜１０７Ｎとの境界付近の窒素の濃度およびゲート絶縁膜１０７Ｎとゲート電極１０８Ｎとの境界付近の窒素の濃度は、ゲート絶縁膜１０７Ｎの膜厚方向における中心付近の窒素の濃度よりも高くなる。しかし、当該構成の場合であっ

ても、少なくとも、半導体基板１０１とゲート絶縁膜１０７Ｎとの境界付近の窒素の濃度は、ゲート絶縁膜１０７Ｎの膜厚方向における中心付近の窒素の濃度よりも高くなる。したがって、プラズマ窒化処理工程を付加したとしても、上述したＮＭＯＳトランジスタＮ１００の閾値電圧を低下させる効果は奏される。

【００８７】

＜実施の形態２＞

実施の形態１では、説明の簡略化のために、半導体基板上に高速論理回路のみを構成する場合について言及した。

【００８８】

本実施の形態では、半導体基板上に、高速論理回路と入出力回路とが形成された、デジタル型の半導体装置（半導体集積回路）の製造方法を念頭に説明を行う。以下、工程断面図を用いて、本実施の形態に係る製造方法を具体的に説明する。

【００８９】

また、以下の説明では、高速動作が要求される高速論理回路を構成する、ＰＭＯＳトランジスタもしくはＮＭＯＳトランジスタを、コアＰＭＯＳもしくはコアＮＭＯＳと称する。また、入出力回路を構成する、ＰＭＯＳトランジスタまたはＮＭＯＳトランジスタを、Ｉ／ＯＰＭＯＳもしくはＩ／ＯＮＭＯＳと称する。

【００９０】

まず、図９に示すように、第一の領域、第二の領域、第三の領域、および第四の領域を有する半導体基板（以下、シリコン基板）１を用意する。そして、実施の形態１と同様に、当該シリコン基板１の表面内に、ＳＴＩ分離酸化膜２を形成する。図９から分かるように、当該ＳＴＩ分離酸化膜２により、それぞれの領域（第一の領域ないし第四の領域）は、相互に、電気的に分離されている。

【００９１】

ここで、第一の領域には、コアＮＭＯＳが形成される。また、第二の領域には、コアＰＭＯＳが形成される。また、第三の領域には、Ｉ／ＯＮＭＯＳが形成される。また、第四の領域には、Ｉ／ＯＰＭＯＳが形成される。

【００９２】

次に、第一の領域ないし第四の領域に対して各々、所定の導電型のイオン注入を行う。これにより、図９に示すように、Ｐウエル３およびＮウエル４が各々、シリコン基板１の表面内に形成される。

【００９３】

次に、シリコン基板１に対して、酸素を含有する雰囲気中に導入し、当該シリコン基板１に対して熱処理を施す。これにより、図１０に示すように、シリコン基板１上に、約７ｎｍ程度の膜厚のＩ／Ｏ系トランジスタ用ゲート酸化膜（以下、Ｉ／Ｏ系用ゲート酸化膜と称する）５を形成する。

【００９４】

次に、Ｉ／Ｏ系用ゲート酸化膜５を覆うように、シリコン基板１に対してレジスト６を塗布する。そして、フォトリソグラフィー技術を施すことにより、第一の領域（コアＮＭＯＳ形成領域）が開口するように、当該レジスト６を選択的に除去する。当該レジスト６を選択的に除去した後の様子を、図１１に示す。図１１に示すように、レジスト６の開口部からは、第一の領域に形成されたＩ／Ｏ系用ゲート酸化膜５が露出している。

【００９５】

次に、図１１に示すように、上記レジスト６をマスクとして使用して、第一の領域のシリコン基板１に対して、窒素イオンを導入（注入）する。当該窒素イオンの導入は、たとえば、窒素分子（N_2）の濃度が1×10^{15}／ｃｍ^{2}程度で、加速電圧が２０ｋｅＶ程度の条件にて、行う。当該窒素イオン導入により、図１１に示すように、第一の領域のシリコン基板１の表面内に窒素導入領域７が形成される。

【００９６】

なお、当該窒素イオンの導入に際して、第二の領域ないし第四の領域は、レジスト６に

よりマスクされている（図１１）。したがって、これらの領域には、窒素イオンは導入されない。したがって、少なくともＩ／ＯＮＭＯＳが形成される第三の領域には、窒素イオンは導入されない。

【００９７】

次に、レジスト６を除去する。ここで再び、Ｉ／Ｏ系用ゲート酸化膜５を覆うように、シリコン基板１に対してレジスト８を塗布する。そして、フォトリソグラフィー技術を施すことにより、第二の領域（コアＰＭＯＳ形成領域）が開口するように、当該レジスト８を選択的に除去する。当該レジスト８を選択的に除去した後の様子を、図１２に示す。図１２に示すように、レジスト８の開口部からは、第二の領域に形成されたＩ／Ｏ系用ゲート酸化膜５が露出している。

【００９８】

次に、図１２に示すように、上記レジスト８をマスクとして使用して、第二の領域のシリコン基板１に対して、ハロゲン元素（ここでは、フッ素イオン）を導入（注入）する。当該フッ素イオンの導入は、たとえば、フッ素原子の濃度が2×10^{15}／ｃｍ^{2}程度で、加速電圧が１０ｋｅＶ程度の条件にて、行う。当該フッ素イオン導入により、図１２に示すように、第二の領域のシリコン基板１の表面内にフッ素導入領域９が形成される。

【００９９】

なお、当該フッ素イオンの導入に際して、第一の領域、第三の領域、および第四の領域は、レジスト８によりマスクされている（図１２）。したがって、これらの領域には、フッ素イオンは導入されない。したがって、少なくともＩ／ＯＰＭＯＳが形成される第四の領域には、フッ素イオンは導入されない。

【０１００】

次に、レジスト８を除去する。その後、シリコン基板１に対して、１０００℃程度の温度で、２０秒間程度、熱処理（第二の熱処理と把握できる）を施す。これにより、各イオン注入処理による、シリコン基板１のダメージを回復させることができる。

【０１０１】

次に、Ｉ／Ｏ系用ゲート酸化膜５を覆うように、シリコン基板１に対してレジスト１０を塗布する。そして、フォトリソグラフィー技術を施すことにより、第一の領域および第二の領域が開口するように、当該レジスト１０を選択的に除去する。当該レジスト１０を選択的に除去した後の様子を、図１３に示す。図１３に示すように、レジスト１０の開口部からは、第一の領域および第二領域の各々に形成されたＩ／Ｏ系用ゲート酸化膜５が露出している。換言すれば、Ｉ／Ｏ系トランジスタが形成される第三の領域および第四の領域は、レジスト１０により覆われている。

【０１０２】

次に、上記レジスト１０をマスクとして使用して、シリコン基板１に対して、フッ酸によるウエットエッチング処理を施す。これにより、図１４に示すように、第一の領域および第二の領域に形成されているＩ／Ｏ系用ゲート酸化膜５を除去し、当該第一の領域および第二の領域のシリコン基板１の表面を再び露出させる。なお、図１４は、レジスト１０除去後の工程断面図である。

【０１０３】

次に、第一の領域および第二の領域のシリコン基板１上に、コア系トランジスタ用の薄膜ゲート絶縁膜（以下、コア系用ゲート絶縁膜と称する）１１を、約２ｎｍ程度の膜厚で形成する（図１５）。具体的に、最初に、第一の領域および第二の領域のシリコン基板１を酸化させ、各領域にシリコン酸化膜を形成する。その後、シリコン酸化膜上に、高誘電体膜を積層させる。その後、熱処理（第一の熱処理と把握できる）を加えることにより、ＨｆＳｉＯＮ等のコア系用ゲート絶縁膜１１が形成される。

【０１０４】

上記熱処理を加えたコア系用ゲート絶縁膜１１の形成により、第一の領域のコア系用ゲート絶縁膜１１内には、実施の形態１で説明した濃度分布で窒素が分布する。また、第二の領域のコア系用ゲート絶縁膜１１内には、実施の形態１で説明した濃度分布でフッ素が

分布する。つまり、図２を用いて説明したように、シリコン基板１とコア系用ゲート絶縁膜１１との境界付近の窒素（またはフッ素）の濃度は、コア系用ゲート絶縁膜１１の膜厚方向における中心付近の窒素（フッ素）の濃度よりも高くなる。

【０１０５】

次に、図１５に示すように、Ｉ／Ｏ系用ゲート酸化膜５およびコア系用ゲート絶縁膜１１上に、メタル材料（たとえばＴｉＮ層）１２を１０ｎｍ程度堆積させる。さらに、図１５に示すように、メタル材料１２上にポリシリコン１３を１００ｎｍ程度堆積させる。

【０１０６】

次に、フォトリソグラフィー技術とドライエッチング処理とを組み合わせることにより、Ｉ／Ｏ系用ゲート酸化膜５、コア系用ゲート絶縁膜１１、メタル材料１２、およびポリシリコン１３をパターニングする。これにより、図１６に示す構成が形成される。

【０１０７】

その後は、ソース・ドレインエクステンションを形成し、サイドウォールスペーサーを形成する。そして、イオン注入により深いソース・ドレイン領域を形成し、１０３０℃程度のスパイクアニール処理を施すことにより、活性領域を電気的に活性化させる。ここまでの工程により、コア部（第一の領域および第二の領域）に関しては、図１と同様の構成が完成する。なお、Ｉ／Ｏ部（第三の領域および第四の領域）に関しては、領域７，９が形成されていない点、およびコア系用ゲート絶縁膜１１で無くＩ／Ｏ系用ゲート酸化膜５が形成されている点以外は、図１と同様の構成である。

【０１０８】

なお、その後は、層間絶縁膜を堆積させ、バックエンドプロセスとなる。また、本実施の形態において述べた事項以外の事項は、実施の形態１と共通する。したがって、ここでの詳細な説明は省略する。

【０１０９】

以上からも分かるように、本実施の形態においても、実施の形態１で述べた効果と同じ効果を奏することができる。

【０１１０】

なお、本実施の形態において、薄い酸化膜（コア部のゲート酸化膜）の形成の直前に、Ｆ，Ｎ注入を行うことが良い。これにより、次の効果を有する。つまり、他のチャネル注入と同じようにウエル注入の際にＦ，Ｎ注入を行うと、その後のＩＯ系酸化膜（厚膜酸化膜）形成の際に外方拡散などが起こり、実質的にＦ，Ｎの注入濃度が低下する。しかし、ＩＯ系酸化膜形成後であれば、実質的な濃度の減少を抑えることができ、しきい値電圧調整効果が高く保つことができる。

【０１１１】

なお、上記では、Ｉ／Ｏ系用ゲート酸化膜５は、フッ素イオン等のイオン注入処理の際には犠牲膜としても機能している。しかし、当然犠牲膜用の絶縁膜とＩ／Ｏ系用ゲート酸化膜５とを別途独立に形成しても良い。ただし、前者の方が工程が簡略されることは言うまでも無い。

【０１１２】

上述した本発明は、ＦＵＳＩを含むメタルゲートトランジスタの適用が予想される製品、即ち、トランジスタの電流駆動能力向上が望まれる全てのシリコン半導体集積回路製品に対して適用可能である。特に、本発明は、高速動作を求められる高速論理回路などに適用できる。

【図面の簡単な説明】

【０１１３】

【図１】実施の形態１に係る半導体装置の構成を示す断面図である。

【図２】ゲート絶縁膜に含有されるフッ素の濃度分布を示す実験結果の図である。

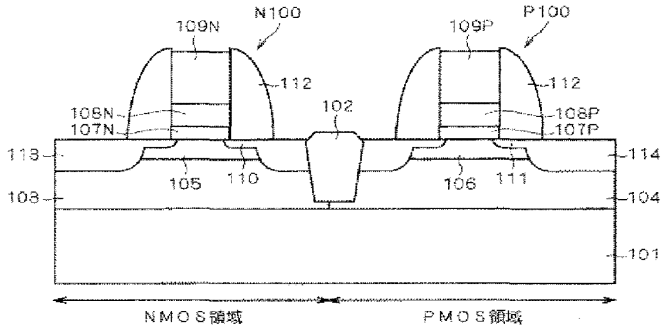
【図３】実施の形態１に係る半導体装置の製造方法を説明するための工程断面図である。

【図４】実施の形態１に係る半導体装置の製造方法を説明するための工程断面図である。

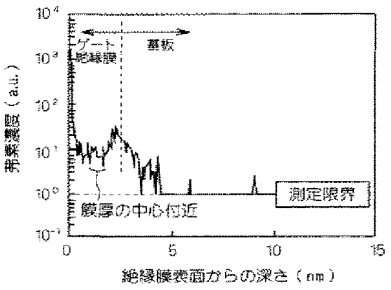
【図５】実施の形態１に係る半導体装置の製造方法を説明するための工程断面図である。

【図６】犠牲酸化膜を介してフッ素イオンを注入した後の、フッ素の含有濃度分布を示す実験結果の図である。
【図７】実施の形態１に係る半導体装置の製造方法を説明するための工程断面図である。
【図８】実施の形態１に係る半導体装置の製造方法を説明するための工程断面図である。
【図９】実施の形態２に係る半導体装置の製造方法を説明するための工程断面図である。
【図１０】実施の形態２に係る半導体装置の製造方法を説明するための工程断面図である。
【図１１】実施の形態２に係る半導体装置の製造方法を説明するための工程断面図である。
【図１２】実施の形態２に係る半導体装置の製造方法を説明するための工程断面図である。
【図１３】実施の形態２に係る半導体装置の製造方法を説明するための工程断面図である。
【図１４】実施の形態２に係る半導体装置の製造方法を説明するための工程断面図である。
【図１５】実施の形態２に係る半導体装置の製造方法を説明するための工程断面図である。
【図１６】実施の形態２に係る半導体装置の製造方法を説明するための工程断面図である。
【符号の説明】
【０１１４】
１，１０１　半導体基板（シリコン基板）、２，１０２　素子分離膜（ＳＴＩ分離酸化膜）、３，１０３　Ｐウエル、４，１０４　Ｎウエル、５　Ｉ／Ｏ系用ゲート酸化膜、７，１０５　窒素導入領域、９，１０６　フッ素導入領域、１１　コア系用ゲート絶縁膜、１２　メタル材料、１３　ポリシリコン、１０７Ｎ　（窒素を含む）ゲート絶縁膜、１０７Ｐ　（フッ素を含む）ゲート絶縁膜、１０８Ｎ，１０８Ｐ　ゲート電極（金属層）、１１０，１１１　ソース・ドレインエクステンション、１１２　サイドウォールスペーサー、１１３，１１４　深いソース・ドレイン領域、Ｎ１００　ＮＭＯＳトランジスタ、Ｐ１００　ＰＭＯＳトランジスタ。

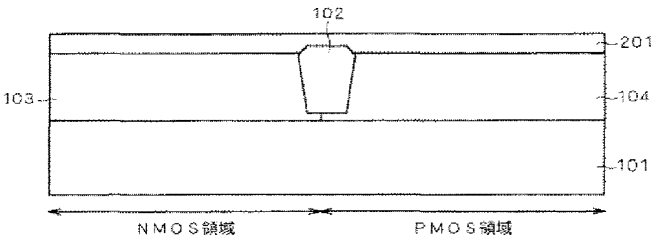
【図１】



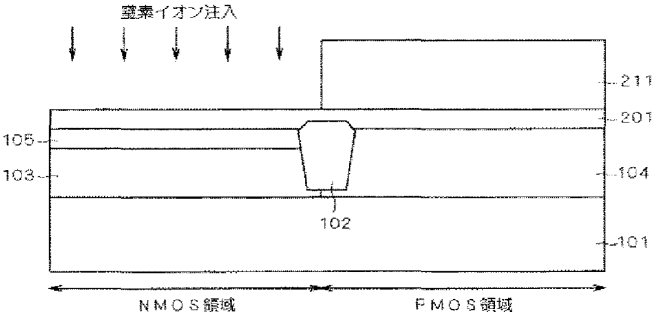
【図２】



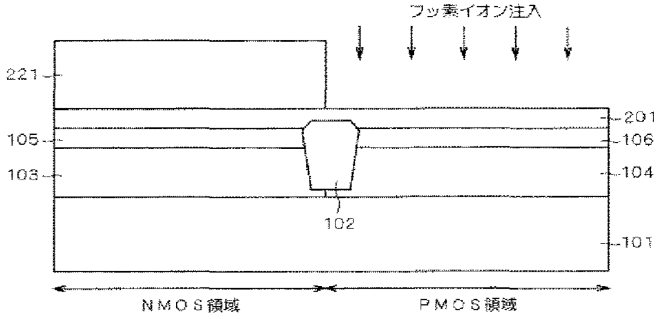
【図３】



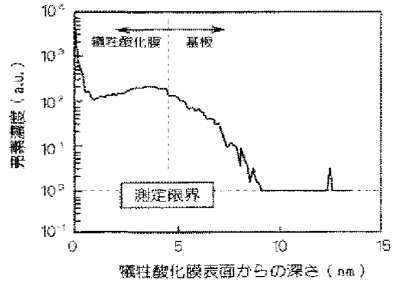
【図４】



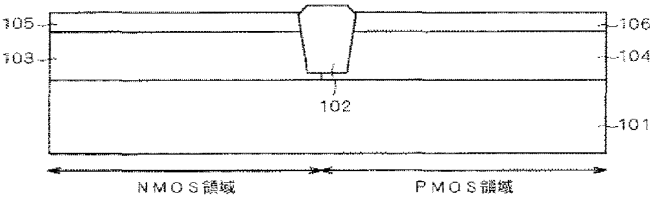
【図５】



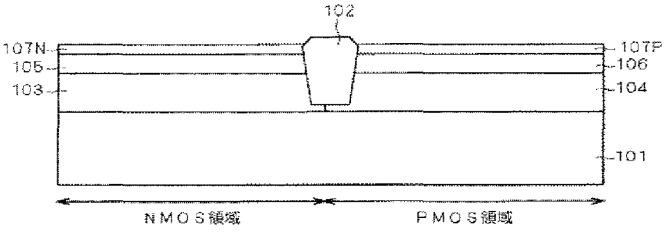
【図６】



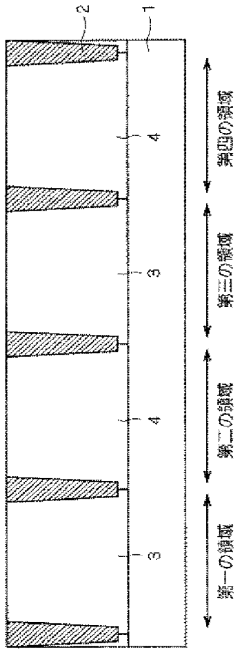
【図７】



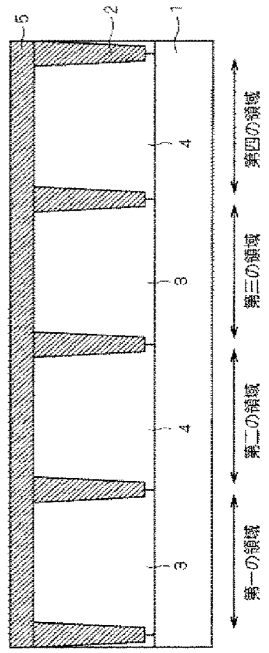
【図８】



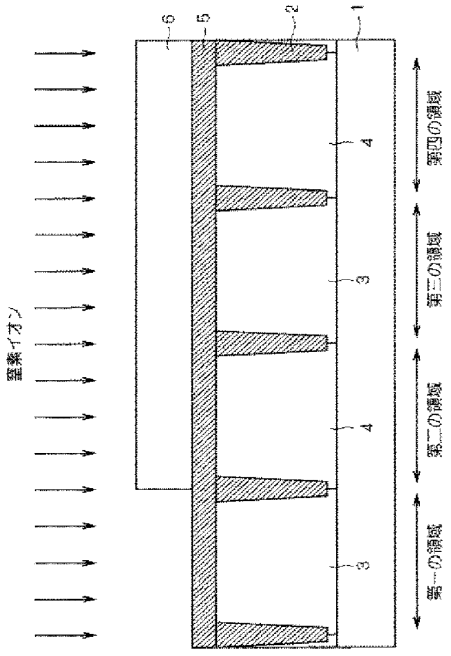
【図９】



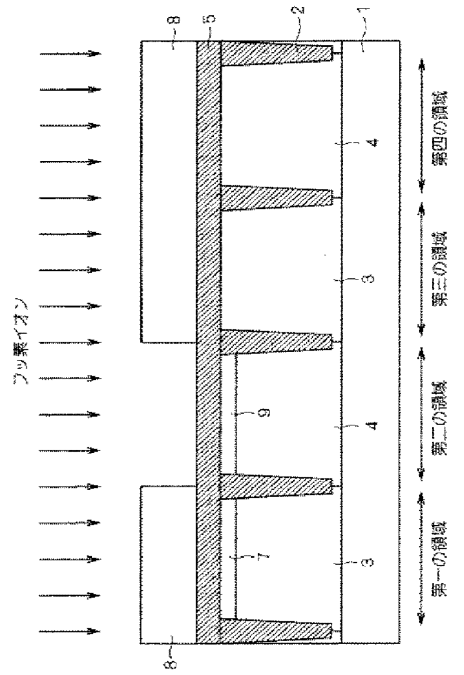
【図１０】



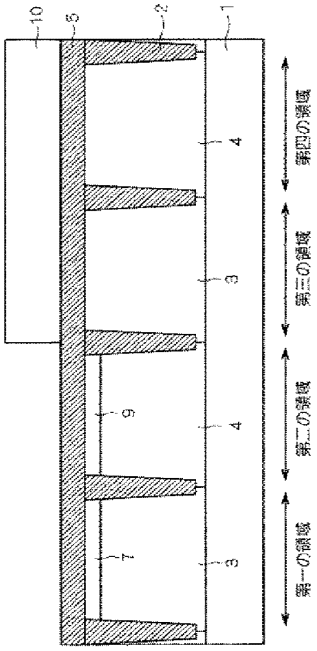
【図１１】



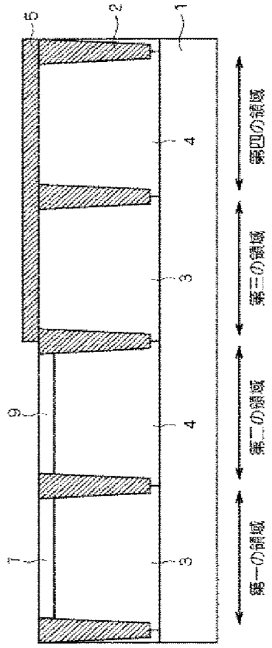
【図１２】



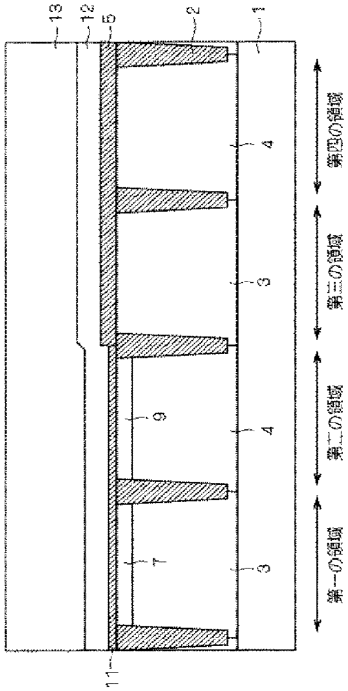
【図１３】



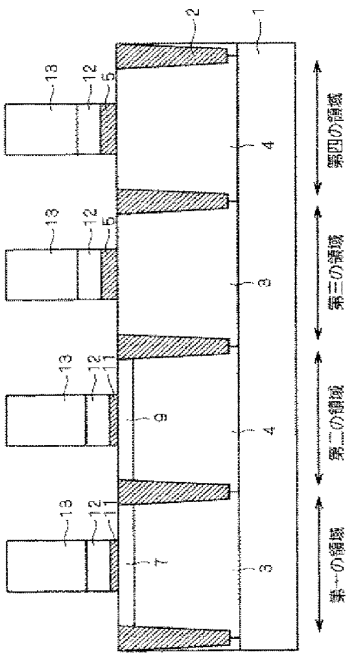
【図１４】



【図１５】



【図１６】



フロントページの続き

Ｆターム(参考) 5F048 AA07 AB03 AC01 AC03 BA01 BB06 BB07 BB08 BB09 BB11
BB12 BB14 BB17 BC06 BE03 BE04 BG13 DA23
5F140 AA00 AA05 AA21 AA24 BA01 BC06 BD01 BD04 BD09 BD15
BD17 BE01 BE07 BE08 BF08 BF10 BF11 BF14 BG08 BH15
BH22 BH41 BH45 BK13 BK21 CB04 CB08

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau

(43) International Publication Date
5 April 2007 (05.04.2007)

PCT

(10) International Publication Number
WO 2007/038237 A2

(51) International Patent Classification:
H01L 27/12 (2006.01) *H01L 31/0392* (2006.01)
H01L 27/01 (2006.01)

(21) International Application Number:
PCT/US2006/036916

(22) International Filing Date:
22 September 2006 (22.09.2006)

(25) Filing Language: English

(26) Publication Language: English

(30) Priority Data:
11/162,778 22 September 2005 (22.09.2005) US

(71) Applicant *(for all designated States except US)*: **INTERNATIONAL BUSINESS MACHINES CORPORATION** [US/US]; New Orchard Road, Armonk, NY 10504 (US).

(72) Inventors; and
(75) Inventors/Applicants *(for US only)*: **CHIDAMBARRAO, Dureseti** [US/US]; 29 Old Mill Road, Weston, CT 06883 (US). **DOKUMACI, Omer** [TR/US]; 32E Winthrop Court, Wappingers Falls, NY 12590 (US). **GLUSCHENKOV, Oleg** [RU/US]; 160 Academy Street, Apt. 9H, Poughkeepsie, NY 12601 (US). **BELYANSKY, Michael** [US/US]; 44 Kingswood Drive, Bethel, CT 06801 (US).

(74) Agent: **ABATE, Joseph, P.**; INTERNATIONAL BUSINESS MACHINES CORPORATION, DEPT. 18G, BUILDING 321/482, 2070 Route 52, Hopewell Junction, NY 12533 (US).

(81) Designated States *(unless otherwise indicated, for every kind of national protection available)*: AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) Designated States *(unless otherwise indicated, for every kind of regional protection available)*: ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), Eurasian (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Published:
— *without international search report and to be republished upon receipt of that report*

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: MULTIPLE LOW AND HIGH K GATE OXIDES ON SINGLE GATE FOR LOWER MILLER CAPACITANCE AND IMPROVED DRIVE CURRENT

(57) Abstract: The present invention provides a semiconductor structure having at least one CMOS device in which the Miller capacitances, i.e., overlap capacitances, are reduced and the drive current is improved. The inventive structure includes a semiconductor substrate having at least one overlaying gate conductor, each of the at least one overlaying gate conductors has vertical edges; a first gate oxide located beneath the at least one overlaying gate conductor, the first gate oxide not extending beyond the vertical edges of the at least overlaying gate conductor; and a second gate oxide located beneath at least a portion of the at one overlaying gate conductor. In accordance with the present invention, the first gate oxide and the second gate oxide are selected from high k oxide-containing materials and low k oxide-containing materials, with the proviso that when the first gate oxide is high k, than the second gate oxide is low k, or when the first gate oxide is low k, than the second gate oxide is high k.

WO 2007/038237 A2

MULTIPLE LOW AND HIGH k GATE OXIDES ON SINGLE GATE FOR LOWER MILLER CAPACITANCE AND IMPROVED DRIVE CURRENT

DESCRIPTION

Field of the Invention

The present invention relates to a semiconductor structure including at least one complementary metal oxide semiconductor (CMOS) device and more particular to a semiconductor structure comprising at least one CMOS device in which the Miller capacitances have been reduced below values of conventional CMOS devices. The present invention also relates to methods of fabricating such a semiconductor structure.

Background of the Invention

In the semiconductor industry, there is a constant demand to increase the operating speed of integrated circuits (ICs). This increased demand is fueled by the need for electronic devices such as computers to operate at increasingly greater speeds. The demand for increased speed, in turn, has resulted in a continual size reduction of the semiconductor devices. Specifically, the channel length, junction depths, and/or gate dielectric thickness of field effect transistors (FETs) are reduced. Thus, there is a constant drive to reduce the size, or scale, of the components of a typical FET to increase the overall speed of the FET. Additionally, reducing the size, or scale, of the components of a typical FET also increases the density and number of FETS that can be fabricated on a given single semiconductor wafer.

However, reducing the channel length of a transistor also increases "short-channel" effects, as well as "edge effects" that are relatively unimportant in long channel transistors. Short-channel effects include, among other things, an increased source/drain (S/D) leakage current when the transistor is switched "off". One of the edge effects that may influence transistor and circuit performance is known as the total gate-to-drain and gate-to-source capacitance. Gate-drain capacitance is also known as "Miller capacitance" due to a Miller multiplication

factor, which increases the capacitance by a factor related to the voltage gain of a transistor. The Miller multiplication further increases the parasitic gate-to-drain capacitance that slows down circuits. As is known to those skilled in the art, the large portion of gate-to-drain and gate-to-source or Miller capacitances is an overlap capacitance that arises because the gate conductor almost invariably overlaps, with a conductive portion of either the deep S/D regions or, if present, the S/D extension regions.

In order for further scaling of FETs, there is a need to reduce the gate-to-drain and gate-to-source or Miller capacitances of the FET without any detrimental effect on transistor drive current. To date, there is no suitable technique available in the art that reduces the overlap capacitances of FETs, which, in turn, will provide improved switching speed of a circuit.

Summary of the Invention

The present invention provides a semiconductor structure including a CMOS device in which the gate-to-drain and gate-to-source or Miller capacitances are reduced using a combination of high k and low k oxide-containing dielectrics. The term "high k" as used throughout the present application denotes an oxide-containing material whose thickness-averaged dielectric constant is about 6.0 or greater, preferably greater than 7.0. The term "low k" denotes an oxide-containing material whose dielectric constant is less than 6.0, preferably less than 5.0. All dielectric constants mentioned herein are relative to a vacuum unless otherwise noted.

In broad terms, the inventive semiconductor structure comprises:

a semiconductor substrate having at least one overlaying gate conductor, each of said at least one overlaying gate conductors has vertical edges;

a first gate oxide located beneath said at least one overlaying gate conductor, said first gate oxide not extending beyond the vertical edges of said at least one overlaying gate conductor; and

a second gate oxide located beneath at least a portion of said at least one overlaying gate conductor, wherein said first gate oxide and second gate oxide are selected from high k oxide-containing materials and low k oxide-containing materials, with the proviso that when the first gate oxide is high k, than the second gate oxide is low k, or when the first gate oxide is low k, than the second gate oxide is high k.

In addition to the above structure, the present invention also provides various methods of fabricating the same. In one method, the processing steps comprise:

providing a semiconductor substrate having at least one overlaying gate conductor and a first gate oxide located beneath said at least one overlaying gate conductor, each of said at least one overlaying gate conductors having vertical edges;

recessing said first gate oxide to provide an undercut region beneath each gate conductor; and

forming a second gate oxide in at least said undercut region, wherein said first gate oxide and second gate oxide are selected from high k oxide-containing materials and low k oxide-containing materials, with the proviso that when the first gate oxide is high k, than the second gate oxide is low k, or when the first gate oxide is low k, than the second gate oxide is high k.

Another method of the present invention, which is referred to herein as a replacement gate process, comprises the steps of:

providing a planarized structure comprising a semiconductor substrate, a sacrificial oxide on said semiconductor substrate, a patterned sacrificial polysilicon region on a portion of said sacrificial oxide and a dielectric material on other portions of said sacrificial oxide;

removing said patterned sacrificial polysilicon region to provide an opening in said planarized structure and to expose a surface portion of the sacrificial oxide;

forming a sacrificial spacer on sidewalls of said dielectric material in said opening;

removing said exposed surface portion of the sacrificial oxide from said opening so as to form an undercut beneath said sacrificial spacer;

forming a second gate oxide that fills said undercut;

forming a first gate oxide in said opening on exposed surface portions of said semiconductor substrate;

removing said sacrificial spacer;

forming a gate conductor in said opening; and

etching back at least said dielectric material.

Brief Description of the Drawings

FIGS. 1A-1E are pictorial representations (through cross sectional views) illustrating basic processing steps of the one embodiment of the present invention.

FIGS. 2A-2G are pictorial representations (through cross sectional views) illustrating basic processing steps of another embodiment of the present invention.

FIG. 3 is a pictorial representation (through a cross sectional view) illustrating a structure having asymmetric undercut regions in which the drain (D) undercut is larger than the source (S) undercut.

Detailed Description of the Invention

The present invention, which provides a structure and methods for lowering gate-to-drain and gate-to-source or Miller capacitances and improving drive current of a CMOS device, will now be described in greater detail by referring to the drawings that accompany the present application. It is noted the drawings of the present application are provided for illustrative purposes and thus they are not drawn to scale.

Reference is first made to FIGS. 1A-1E which illustrate a first method contemplated by the present invention for fabricating a semiconductor structure in which reduced gate-to-drain and gate-to-source or Miller capacitances and improved drive current of a CMOS device is achieved.

FIG. 1A illustrates an initial structure 10 that is employed in this embodiment of the present invention. As illustrated, the structure 10 includes a semiconductor substrate 12 that has blanket layers of a first gate oxide 18 and a gate conductor 20 located thereon. The blanket layers 18 and 20 are used in forming at least one gate region 16 see, FIG. 1B. The at least one gate region 16 is provided for illustrative purposes and thus the present invention is not limited to only a single gate region. Instead, the present invention works when the substrate includes a plurality of gate regions.

The semiconductor substrate 12 of structure 10 comprises any semiconducting material including, but not limited to: Si, Ge, SiGe, SiC, SiGeC, Ga, GaAs, InAs, InP and all other III/V compound semiconductors. Semiconductor substrate 12 may also comprise an organic semiconductor or a layered semiconductor such as Si/SiGe, a silicon-on-insulator (SOI) or a SiGe-on-insulator (SGOI). In some embodiments of the present invention, it is preferred that the semiconductor substrate 12 be composed of a Si-containing semiconductor material, i.e., a semiconductor material that includes silicon. The semiconductor substrate 12 may be doped, undoped or contain doped and undoped regions therein.

The semiconductor substrate 12 may also include a first doped (n- or p-) region, and a second doped (n- or p-) region. For clarity, the doped regions are not specifically labeled in the drawings of the present application. The first doped region and the second doped region may be the same, or they may have different conductivities and/or doping concentrations. These doped regions are known as "wells".

Trench isolation regions (not shown) are typically already formed in the semiconductor substrate 12 at this point of the present invention utilizing conventional processes well known to those skilled in the art. The trench isolation regions are typically formed utilizing trench isolation techniques that are well known in the art including, for example, forming a patterned mask on the surface of the substrate via lithography, etching a trench into the substrate thru an opening in the patterned mask, filling the trench with a trench dielectric such as SiO_2 or TEOS and planarizing the structure. An optional trench liner can be formed within the trench prior to trench dielectric fill and an optional densification step may follow the planarization process.

Other useful structures (not shown) can also be present in the substrate 12 at this point of the present invention. These structures may include trench capacitors, memory cells, epitaxial islands of different crystal orientation or rotation. Although useful, such structures are not essential to the present invention.

Prior to forming the gate dielectric 18, the surface of substrate 12 is cleaned to remove any residual layers (e.g., native oxide), foreign particles, and any residual metallic surface contamination and to temporarily protect the cleaned substrate surface. The residual silicon oxide is first removed in a solution of hydrofluoric acid. The preferred removal of particles and residual metallic contamination is based on the industry standard gate dielectric preclean known as RCA clean. The RCA clean includes a treatment of the substrate 12 in a solution of ammonium hydroxide (NH_4OH) and hydrogen peroxide (H_2O_2) followed by an aqueous mixture of hydrochloric acid and an oxidizing agent (e.g., H_2O_2, O_3). As a result, the cleaned substrate surface is sealed with a very thin layer of chemical oxide. While the protective

chemical oxide is typically made thinner than about 10 Å so to not interfere with the properties of gate dielectric layer 18, its thickness can be varied to beneficially alter properties of the gate dielectric layer 18.

A first gate oxide 18 is formed on the entire surface of the structure 10 including the semiconductor substrate 12 and atop the isolation region, if it is present and, if it is a deposited dielectric. The first gate oxide 18 can be formed by a thermal growing process such as, for example, oxidation. Alternatively, the first gate oxide 18 can be formed by a deposition process such as, for example, chemical vapor deposition (CVD), plasma-assisted CVD, atomic layer or pulsed deposition (ALD or ALPD), evaporation, reactive sputtering, chemical solution deposition or other like deposition processes. The first gate oxide 18 may also be formed utilizing any combination of the above processes.

The first gate oxide 18 is comprised of an oxide-containing insulating material that has a first dielectric constant that is either low k or high k. The term "high k" as used throughout the present application denotes an oxide-containing material whose thickness-average dielectric constant is about 6.0 or greater, preferably greater than 7.0. The term "low k" as used throughout the present invention denotes an oxide-containing material whose dielectric constant is less than 6.0, preferably less than 5.0.

Illustrative examples of low k oxide-containing materials include, for example, pure SiO_2, SiON with thickness-averaged nitrogen content of less than about 25 atomic percent, carbon-doped SiO_2:C comprising atoms of at least Si, C and O, where carbon content is less than about 30 atomic percent. A highly preferred low k oxide-containing material employed in the present invention is SiO_2. Illustrative high k gate oxide-containing materials include, for example, silicon oxide or oxynitride compounds doped with transitional metal atoms such compounds of $Hf_xSi_{1-x}O_2$, $Ti_xSi_{1-x}O_2$, $La_xSi_{1-x}O_2$, $Zr_xSi_{1-x}O_2$ or dielectric stacks comprised of layers of insulation metal oxides such as Al_2O_3, TiO_2, Ta_2O_3, HfO_2, La_2O_3, Y_2O_3, perovskite type oxides $SrTiO_3$ or $LaAlO_3$, and mixtures thereof. A highly preferred high k oxide-containing materials employed in the present invention are transitional metal silicates with a

low content of transitional atoms such as $Hf_xSi_{1-x}O_2$, $Ti_xSi_{1-x}O_2$, $La_xSi_{1-x}O_2$, and $Zr_xSi_{1-x}O_2$ with x less than about 0.3.

The physical thickness of the first gate oxide 18 may vary, but typically, the first gate oxide 18 has a thickness from about 0.5 to about 10 nm, with a thickness from about 0.5 to about 2 nm being more typical.

After forming the first gate oxide 18, a blanket layer of polysilicon or another gate conductor material or combination thereof, which becomes the gate conductor 20 shown in FIG. 1A, is formed on the first gate oxide 18 utilizing a known deposition process such as, for example, physical vapor deposition, CVD or evaporation. The blanket layer of gate conductor material may be doped or undoped. If doped, an in-situ doping deposition process may be employed in forming the same. Alternatively, a doped gate conductor layer can be formed by deposition, ion implantation and annealing. The doping of the gate conductor layer will shift the workfunction of the gate formed. Illustrative examples of dopant ions include As, P, B, Sb, Bi, In, Al, Ga, Tl or mixtures thereof. Typical doses for the ion implants are 1E14 ($=1x10^{14}$) to 1E16 ($=1x10^{16}$) atoms/cm^2 or more typically 1E15 to 5E15 atoms/cm^2. The thickness, i.e., height, of the gate conductor 20 deposited at this point of the present invention may vary depending on the deposition process employed. Typically, the gate conductor 20 has a vertical thickness from about 20 to about 180 nm, with a thickness from about 40 to about 150 nm being more typical.

The gate conductor 20 can comprise any conductive material that is typically employed as a gate of a CMOS structure. Illustrative examples of such conductive materials that can be employed as the gate conductor 20 include, but are not limited to: polysilicon, conductive metals or conductive metal alloys, conductive silicides, conductive nitrides, polySiGe and combinations thereof, including multilayers thereof. In some embodiments, it is possible to form a barrier layer between multiple layers of gate conductors.

An optional dielectric cap (not shown) can be formed atop the gate conductor 20 at this point of the present invention. The optional dielectric cap is typically removed before or immediately after the source/drain regions to be subsequently formed have been silicided.

The blanket gate conductor 20 and the first gate oxide 18 are then patterned by lithography and etching so as to provide at least one patterned gate stack 16, as shown in FIG. 1B. When a plurality of patterned gate stacks are present, the patterned gate stacks may have the same dimension, i.e., length, or they can have variable dimensions to improve device performance. Each patterned gate stack at this point of the present invention includes at least the gate conductor 20 and the first gate oxide 18. The lithography step includes applying a photoresist to the upper surface of the gate conductor 20, exposing the photoresist to a desired pattern of radiation and developing the exposed photoresist utilizing a conventional resist developer. The pattern in the photoresist is then transferred to the blanket layer of gate conductor 20 and the first gate oxide 18 utilizing one or more dry etching steps. In some embodiments, the patterned photoresist may be removed after the pattern has been transferred into the blanket layer of gate conductor 20.

In the drawings, reference numeral 14 denotes the gate edge or the vertical sidewalls of the patterned gate conductor 20.

Suitable dry etching processes that can be used in the present invention in forming the patterned gate stacks include, but are not limited to: reactive ion etching, ion beam etching, plasma etching or laser ablation. A wet or dry etching process can also be used to remove portions of the first gate oxide 18 that are not protected by the patterned gate conductor 20.

Next, and as shown in FIG. 1C, the structure including the patterned gate region 16 is subjected to an etching process that selectively removes a portion of the previously patterned first gate oxide 18 so as to provide an undercut region 22 beneath the patterned gate conductor 20. As shown, this step of the present invention reduces the length of the previously patterned first gate oxide 18 from the original structure shown in FIG. 1B.

The undercut region 22 does not have to be too large provided that the edges of the first gate oxide 18, after the etch, are not aligned with the vertical sidewalls, e.g., edges, 14 of the patterned gate conductor 20. A typical undercut dimension is from about 10 Å to about 40 Å with respect to the gate conductor edge. The etching step used in forming the undercut region 22 comprises a chemical oxide removal (COR) process wherein a vapor, or more preferably, a plasma of HF and NH_3 is employed as the etchant and low pressures (on the order of about 6 millitorr or less) are used. In addition to the COR process, the present invention also contemplates utilizing other types of etching processes such as a reactive ion etching process with a large isotropic component that can provide the undercut region 22 shown in FIG. 1C. Alternatively, a simple diluted HF-base wet solution can be used to slowly etch out the first gate oxide 18. Optionally, an angled ion implantation can be used to create damage in first gate oxide 18 to control and facilitate removal of a desired portion of the first gate oxide 18. Large ions such as Ar+, Xe+, As+, Ge+ can be employed for this purpose. Typical damage-inducing dose is from 5E14 cm^{-2} to 5E15 cm^{-2}. A typical implantation energy depends on a particular choice of ion but should not exceed 20 KeV. The ion implant tilt angle can be employed to control the amount of undercut. The typical implant tilt angle range is from about 5° to about 45°. Further, an asymmetric undercut can be easily produced by implanting damage-inducing ions at different angles from different sides of the gate. Specifically, a larger undercut is preferred from the drain side of a transistor due to Miller multiplication factor as alluded above. A structure including a large drain (D) undercut 22D and a smaller source (S) undercut 22S is shown in FIG. 3.

A second gate oxide 24, which is either a high k oxide-containing material or a low k oxide-containing material, is then formed over the entire structure forming the structure shown in FIG. 1D. Note that the second gate oxide 24 fills the undercut region 22 provided by the previous etching step.

In accordance with the present invention, the second gate oxide 24 must have a different dielectric constant than the first gate oxide 18, yet it must fall within either the high or low k

regime above. Hence, if the first gate oxide 18 is a low k oxide-containing material, then the second gate oxide 24 must be a high k oxide-containing material. Conversely, if the first gate oxide 18 is a high k oxide-containing material, then the second gate oxide 24 must be a low k oxide-containing material.

The second gate oxide 24 can be formed by a thermal growing process such as, for example, oxidation. Alternatively, the second gate oxide 24 can be formed by a deposition process such as, for example, chemical vapor deposition (CVD), plasma-assisted CVD, atomic layer deposition (ALD), evaporation, reactive sputtering, chemical solution deposition or other like deposition processes. The second gate oxide 24 may also be formed utilizing any combination of the above processes. The physical thickness of the second gate oxide 24 may vary, but typically, the second gate oxide 24 has a thickness from about 0.5 to about 10 nm, with a thickness from about 0.5 to about 2 nm being more typical. Note that in the embodiment illustrated the second gate oxide 24, in addition to filling the undercut region 22, covers the sidewalls 14 and the top surface of the gate conductor 20. In yet other embodiments, the second gate oxide 24 is not located on the top surface of the gate conductor 20. In yet other embodiments, the second gate oxide 24 is not located on the sidewalls 14 or the top of the gate conductor 20.

After forming the structure shown in FIG. 1D, further CMOS processing can be used to complete the fabrication of the field effect transistor. For example, spacer formation, source/drain region formation, silicide contact formation and other like processing steps can be employed. FIG. 1E shows the structure after spacer 26 formation, source/drain region 28 formation and silicide contact 30 formation.

In the embodiment illustrated, the at least one spacer 26 is formed on exposed sidewalls of each patterned gate stack 16 that include the second gate oxide 24. The at least one spacer 26 is comprised of an insulator such as an oxide, nitride, oxynitride, or carbon-containing silicon oxide, nitride, oxynitride, and/or any combination thereof. The at least one spacer 26 is formed by deposition and etching. During the etching process, the second gate oxide 24 not

protected by spacer 26 can be removed. This embodiment is illustrated in the drawing of the present invention.

The width of the at least one spacer 26 must be sufficiently wide enough such that the source and drain silicide contacts (to be subsequently formed) do not encroach underneath the edges of the gate stack. Typically, the source/drain silicide does not encroach underneath the edges of the gate stack when the at least one spacer has a width, as measured at the bottom, from about 15 to about 80 nm.

After spacer formation, source/drain diffusion regions 28 are formed into the substrate 12. The source/drain diffusion regions 28 are formed utilizing ion implantation and an annealing step. The annealing step serves to activate the dopants that were implanted by the previous implant step. Further, the annealing step serves to accurately diffuse source/drain dopants to create an overlap between source/drain and gate conductor. The amount of this gate-to-source and gate-to-grain overlap is critical to obtain high drive current of the transistor. Accordingly, the position of the source/drain-to-channel p-n junction is located about 1 to about 4 nm from the gate conductor edge 14 in order to obtain high drive current of a MOS transistor.

In the present invention, the phrase "source/drain diffusion regions" includes extension regions, halo regions and deep source/drain regions. Note that it is possible to form the source/drain extension regions prior to forming the at least one spacer 26. Shallow source/drain extension regions are typically employed to set a desirable gate overlap per given anneal condition. The exact implantation conditions for the source/drain extension is therefore a function of spacer 26 thickness, desired gate conductor overlap, and the anneal condition (temperature and time). The functional dependence between these parameters is well known to those skilled in the art. Further, it can be easily experimentally mapped for any specific case of desired overlap. Typically, the extension does is varied from about 3E14 cm^{-2} to about 3E15 cm^{-2}, the spacer thickness is varied from about 1 nm to about 20 nm, the anneal temperature is varied from about 900°C to about 1150°C, and the anneal time is

varied from 0 sec (spike anneal) to about 10 sec to obtain the gate overlap (typically, measured via gate overlap capacitance) as function of these parameters.

The conditions for source/drain regions away from the gate conductor edge are chosen to minimize parasitic series resistance and any junction capacitance. Specifically, these source/drain regions are made deep (from about 300 Å to about 700 Å deep) and heavily doped (with average concentration of dopants from about 5E19 cm^{-3} to about 1E21 cm^{-3}) to reduce series and contact resistances of the transistor. In certain technologies where junction capacitance plays an important role, the deep source/drain junctions can be beneficially made graded to reduce the junction capacitance.

One important feature of the present invention is that tips of the source/drain regions 28 under the gate can beneficially overlap with the boundary between gate dielectrics 18 and 24. In the case of an asymmetric undercut (described above) where the drain side undercut is made larger than that of the source side, the tip of source region beneficially overlaps with gate dielectric boundary 18 and 24 while the tip of drain region may or may not overlap with gate dielectric boundary 18 and 24.

In some embodiments of the present invention and when the substrate 12 does not include silicon, a Si-containing layer can be formed atop of the exposed portions of the substrate 12 to provide a source for forming the silicide contacts. Illustrative examples of Si-containing materials that can be used include, for example, Si, single crystal Si, polycrystalline Si, SiGe, and amorphous Si. This embodiment of the present invention is not illustrated in the drawings.

Next, the source/drain diffusion regions 28 are silicided utilizing a standard salicidation process well known in the art. This includes forming a metal capable of reacting with Si atop the entire structure, forming a barrier layer atop the metal, heating the structure to form a silicide, removing non-reacted metal and the barrier layer and, if needed, conducting a second heating step. The second heating step is required in those instances in which the first

heating step does not form the lowest resistance phase of the silicide. In FIG. 1E, reference numeral 30 denotes the silicided source/drain regions. Note that if the gate conductor 20 is comprised of polysilicon or SiGe and the second gate oxide 26 is removed from its upper horizontal surface, this step of the present can be used in forming a metal silicide atop the Si-containing gate conductor. The latter embodiment is not specifically shown in the drawings of the present application.

At this point of the present invention, conventional back-end-of-the-line processes can be employed to form contacts to the silicided source/drain regions 30 as well as the gate conductor 20.

In addition to using the above method of the present invention, the present invention also contemplates a replacement gate method as depicted in FIGS. 2A-2G. This method of the present invention begins by first providing the structure 50 shown in FIG. 2A. Structure 50 includes a semiconductor substrate 12 that includes blanket layers of a sacrificial oxide 51 and a sacrificial polysilicon 52 located on a surface thereof. The sacrificial polysilicon layer 52 is formed utilizing a deposition process similar to that used in forming the gate conductor 20 and the thickness of layer 52 is also similar to that described above in regard to gate conductor 20. The sacrificial oxide 51 has the same thickness as that of the first and second gate oxides and it is formed using the gate oxide formation processes described above.

Next, the sacrificial polysilicon layer 52 is patterned by lithography and etching. The width of the patterned sacrificial layer 52 will determine the maximum channel length of the FET.

Source/drain extension implants and optional halo implants (both not shown) are then typically formed into the substrate 12 utilizing conventional source/drain extension implants and conventional halo implants. Each implant region may be activated using the same or different activation annealing process. The source/drain conditions and the annealing conditions are chosen to give a correct overlap for high-performance transistor and to minimize any parasitic series resistance as alluded above.

A dielectric material 54 such as TEOS (tetraethylorthosilicate) is then formed by a conventional deposition process and the structure is planarized by a conventional planarization process such as chemical mechanical polishing (CMP) or grinding so as to provide the structure shown in FIG. 2B. As illustrated, the dielectric material 54 has an upper surface that is coplanar with the upper surface of the patterned sacrificial polysilicon layer 52.

The patterned sacrificial polysilicon layer 52 is then removed from the structure so as to provide opening 56 that exposes a portion of the sacrificial oxide 51. The structure formed after removing the patterned sacrificial polysilicon layer 52 is shown, for example, in FIG. 2C. The patterned sacrificial polysilicon layer 52 may be removed utilizing chemical downstream etching or a wet etching process may be utilized in removing the patterned sacrificial polysilicon layer 52.

Next, optional device channel/body implantation is typically performed to alter the device's channel/body region in the substrate. This optional step can be used to beneficially alter threshold voltage as a function of opening size thus reducing short channel effects. This implant step of the present invention includes the use of conventional ion implantation. After implantation of the device channel/body region, the implant region is annealed using conditions well known to those skilled in the art. The implanted dopants will need additional activation that may undesirably alter the design of source/drain and, more specifically, the amount of source/drain gate overlap. Accordingly, in this case, the most desired activation anneal is an ultra short anneal such as laser or flash lamp anneal which activates dopants without much diffusion.

FIG. 2D shows the structure that is formed after a sacrificial spacer 58 is formed on the exposed vertical sidewalls of the dielectric material 54 in opening 56. The sacrificial spacer 58 is comprised of an insulator material other than an oxide, for example SiN. The sacrificial

spacer 58 is formed by deposition and etching. The thickness of the sacrificial spacer 58 is typically from about 0.5 to about 5 nm.

The exposed portion of the sacrificial oxide 51 in opening 56 is then removed so as to provide the structure shown, for example, in FIG. 2E. Specifically, the exposed portion of the sacrificial oxide 51 is removed utilizing a chemical oxide removal (COR) etching process wherein a vapor or, more preferably, a plasma of HF and NH_3 is employed as the etchant and low pressures (of about 6 millitorr or below) are used. Note that the COR etching provides an undercut 60 beneath the sacrificial spacer 58 and it exposes surface portions of the substrate 12.

Second gate oxide 26 is then formed on exposed surfaces of the substrate 12 in the opening 56 utilizing a conventional thermal growing process or deposition. The second gate oxide 26 fills the undercut 60 formed above and thereafter the second gate oxide 26, not protected by the sacrificial spacer 58, is removed by a selective etching process. The selective etch removes the exposed portions of the second gate oxide 26, while leaving the second gate oxide 26 beneath the sacrificial spacer 58. This etch also exposes a surface portion of the semiconductor substrate 12.

Next, the sacrificial spacer 58 is removed utilizing a conventional etching process that selectively removes the spacer 58. The first gate oxide 18 is then formed within the opening 56 atop the exposed portion of the semiconductor substrate 12 providing the structure shown in FIG. 2F.

Next, a gate conductor 20, as described above, is formed within the opening and atop both the first and second gate oxides, 18 and 26. Thereafter, the dielectric material 54 is removed providing the structure shown in FIG. 2G. The dielectric material 54 is removed via an etch back step in which a chemical etchant is employed.

While the present invention has been particularly shown and described with respect to preferred embodiments thereof, it will be understood by those skilled in the art that the foregoing and other changes in forms and details may be made without departing from the spirit and scope of the present invention. It is therefore intended that the present invention not be limited to the exact forms and details described and illustrated, but fall within the scope of the appended claims.

CLAIMS

What is claimed is:

1. A semiconductor structure comprising:

a semiconductor substrate having at least one overlaying gate conductor, each of said at least one overlaying gate conductors has vertical edges;

a first gate oxide located beneath said at least one overlaying gate conductor, said first gate oxide not extending beyond the vertical edges of said at least one overlaying gate conductor; and

a second gate oxide located beneath at least a portion of said at one overlaying gate conductor, wherein said first gate oxide and second gate oxide are selected from a high k oxide-containing material and a low k oxide-containing material, with the proviso that when the first gate oxide is high k, than the second gate oxide is low k, or when the first gate oxide is low k, than the second gate oxide is high k.

2. The semiconductor structure of Claim 1 wherein said high k oxide-containing material has a dielectric constant of about 6.0 or greater.

3. The semiconductor structure of Claim 2 wherein said high k oxide-containing material comprises silicon oxide doped with a transition metal atom, silicon oxynitride doped with a transition metal, an insulation metal oxide, a perovskite-type oxide or multilayers thereof.

4. The semiconductor structure of Claim 1 wherein said low k oxide-containing material has a dielectric constant of less than 6.0.

5. The semiconductor structure of Claim 4 wherein said low k oxide-containing material comprises SiO_2, SiON, or a carbon doped oxide comprising atoms of at least Si, C and O.

6. The semiconductor structure of Claim 1 wherein said first gate oxide is a high k oxide-containing material, and said second gate oxide is a low k oxide-containing material.

7. The semiconductor structure of Claim 1 wherein said first gate oxide is a low k oxide-containing material, and said second gate oxide is a high k oxide-containing material.

8. The semiconductor structure of Claim 1 wherein said second gate oxide is also located on said vertical edges of said gate conductor as well as atop said gate conductor.

9. The semiconductor structure of Claim 1 further comprising source/drain diffusion regions in said semiconductor substrate wherein said source/drain diffusion regions are separated by a channel and the position of the source/drain diffusion regions-to-channel junction is located about 1 to about 4 nm from the vertical edges of the gate conductors/

10. The semiconductor structure of Claim 1 further comprising a drain undercut that is larger than a source undercut.

11. The semiconductor structure of Claim 1 further comprising spacers adjacent to said gate conductor and abutting silicided source/drain regions.

12. A method of forming a semiconductor structure comprising:

providing a semiconductor substrate having at least one overlaying gate conductor and a first gate oxide located beneath said at least one overlaying gate conductor, each of said at least one overlaying gate conductors having vertical edges;

recessing said first gate oxide to provide an undercut region beneath each gate conductor; and

forming a second gate oxide in at least said undercut region, wherein said first gate oxide and second gate oxide are selected from high k oxide-containing materials and low k oxide-containing materials, with the proviso that when the first gate oxide is high k, than the second gate oxide is low k, or when the first gate oxide is low k, than the second gate oxide is high k.

13. The method of Claim 12 wherein said high k oxide-containing material has a dielectric constant of about 6.0 or greater and said low k oxide-containing material has a dielectric constant of less than 6.0.

14. The method of Claim 12 wherein said first gate oxide is a high k oxide-containing material, and said second gate oxide is a low k oxide-containing material.

15. The method of Claim 12 wherein said first gate oxide is a low k oxide-containing material, and said second gate oxide is a high k oxide-containing material

16. A method of forming a semiconductor structure comprising:

providing a planarized structure comprising a semiconductor substrate, a sacrificial oxide on said semiconductor substrate, a patterned sacrificial polysilicon region on a portion of said sacrificial oxide and a dielectric material on other portions of said sacrificial oxide;

removing said patterned sacrificial polysilicon region to provide an opening in said planarized structure and to expose a surface portion of the sacrificial oxide;

forming a sacrificial spacer on sidewalls of said dielectric material in said opening;

removing said exposed surface portion of the sacrificial oxide from said opening so as to form an undercut beneath said sacrificial spacer;

forming a second gate oxide that fills said undercut;

forming a first gate oxide in said opening on exposed surface portions of said semiconductor substrate;

removing said sacrificial spacer;

forming a gate conductor in said opening; and

etching back at least said dielectric material.

17. The method of Claim 16 wherein said high k oxide-containing material has a dielectric constant of about 6.0 or greater and said low k oxide-containing material has a dielectric constant of less than 6.0.

18. The method of Claim 16 wherein said first gate oxide is a high k oxide-containing material, and said second gate oxide is a low k oxide-containing material.

19. The method of Claim 16 wherein said first gate oxide is a low k oxide-containing material, and said second gate oxide is a high k oxide-containing material

FIG. 1A

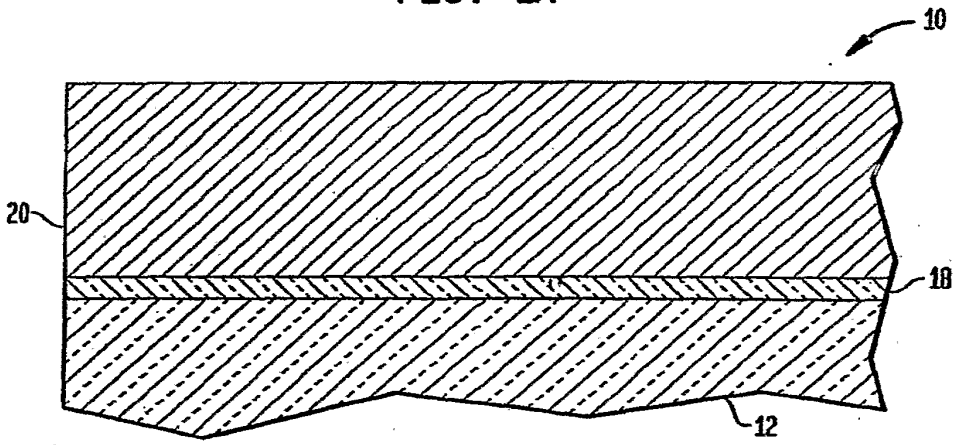


FIG. 1B

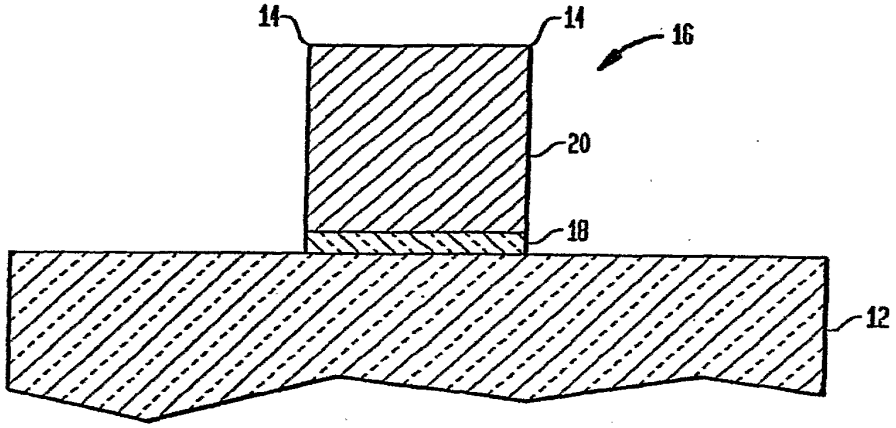


FIG. 1C

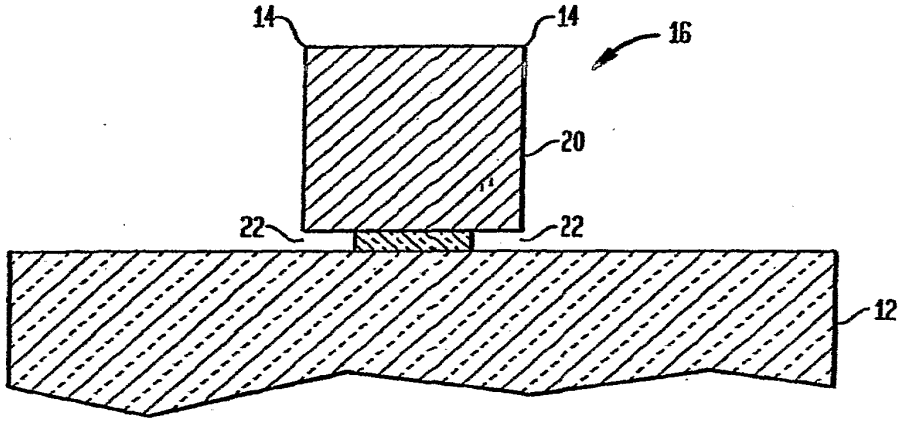


FIG. 1D

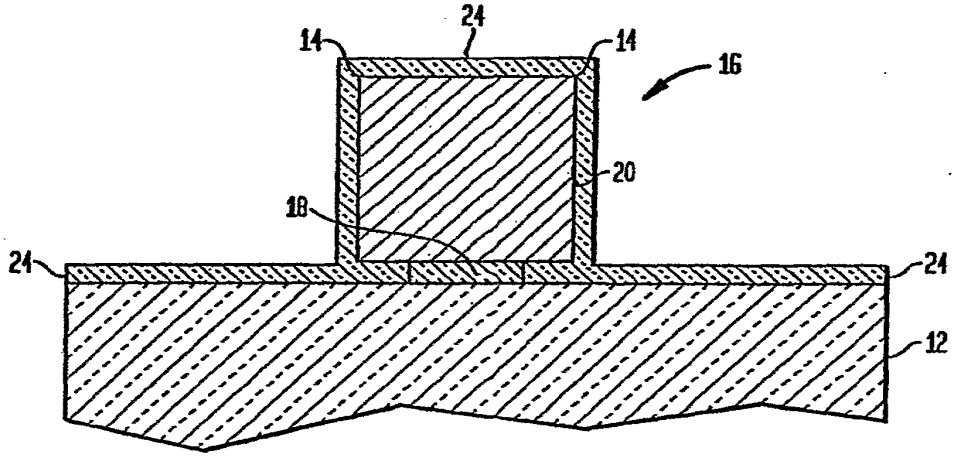


FIG. 1E

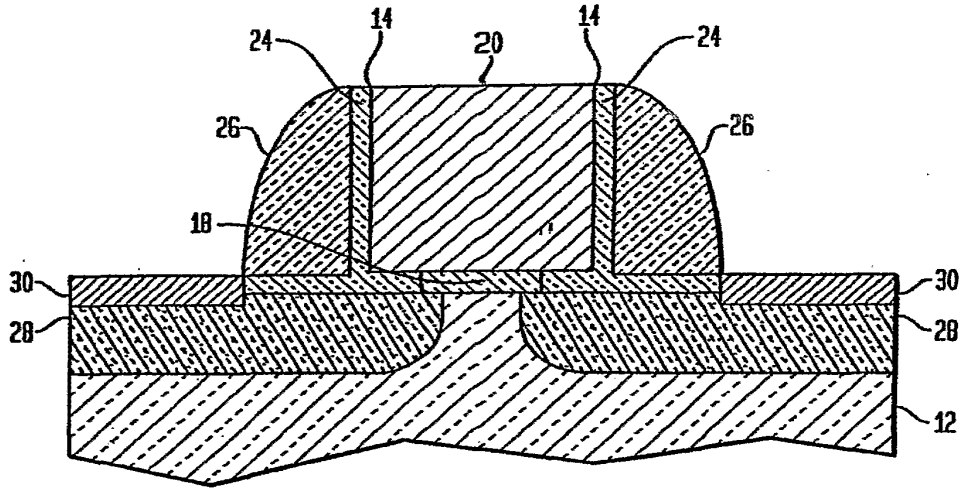


FIG. 2A

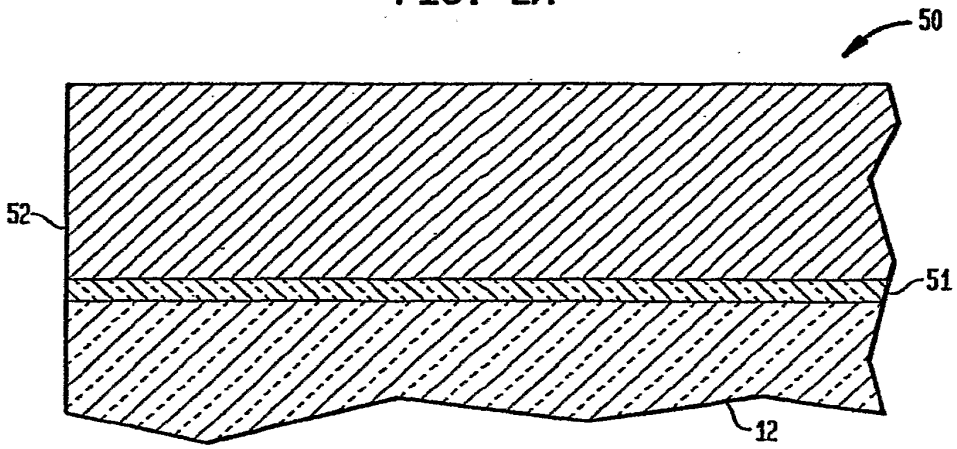


FIG. 2B

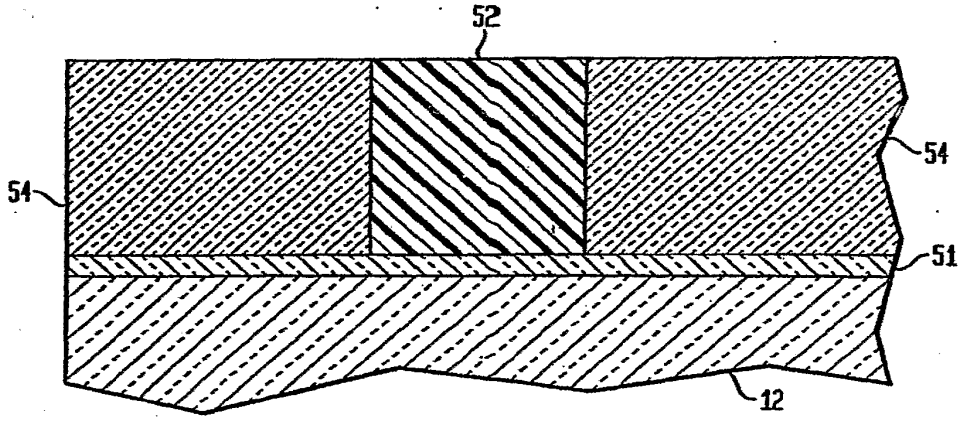


FIG. 2C

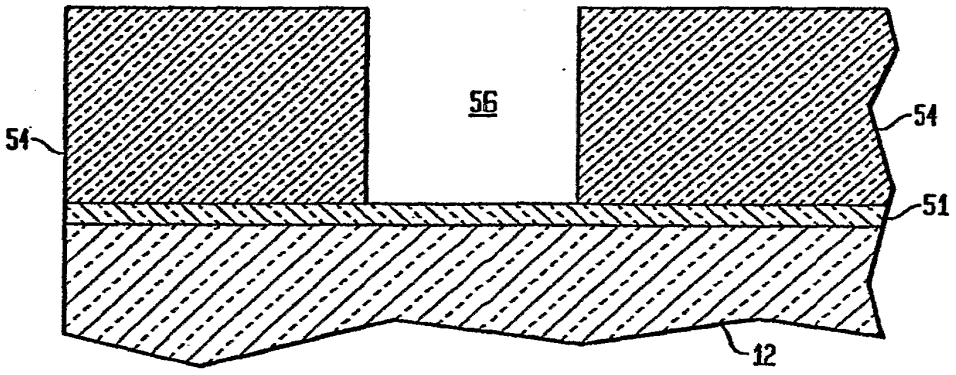


FIG. 2D

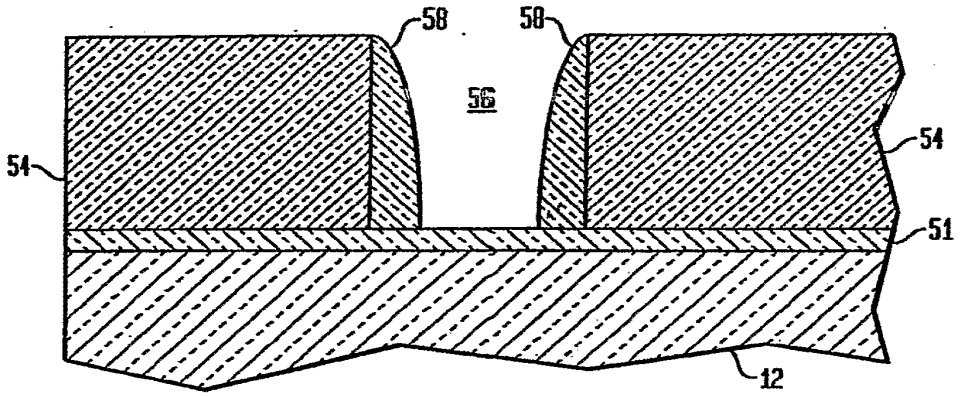


FIG. 2E

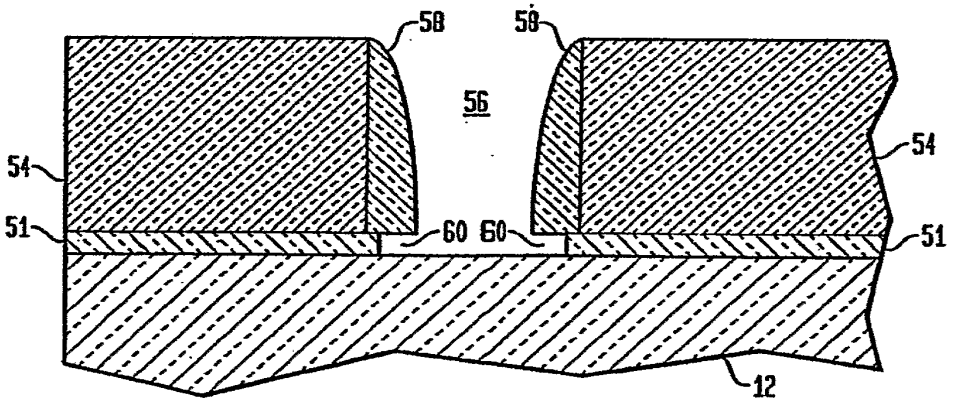


FIG. 2F

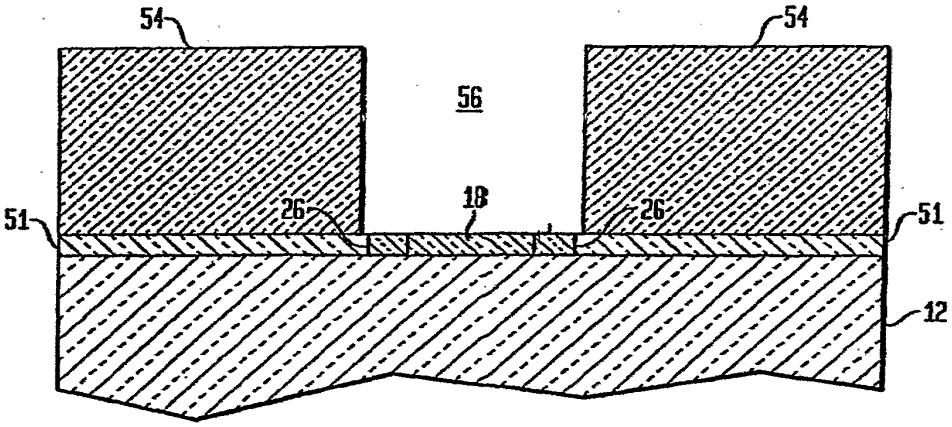


FIG. 2G

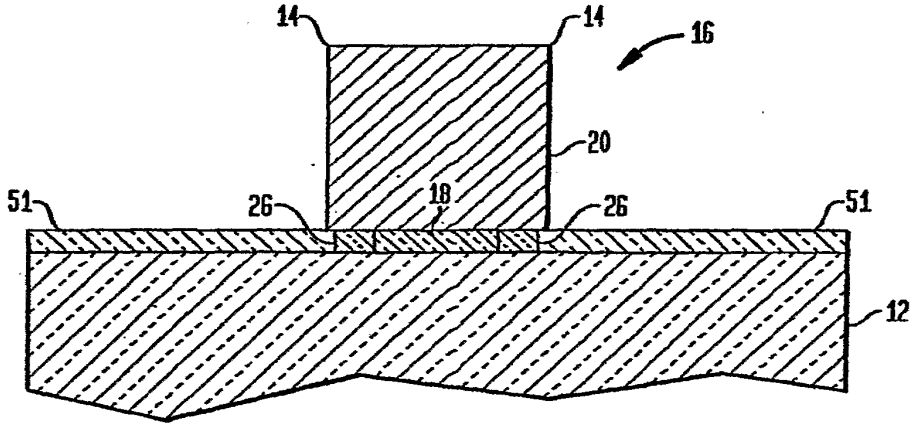
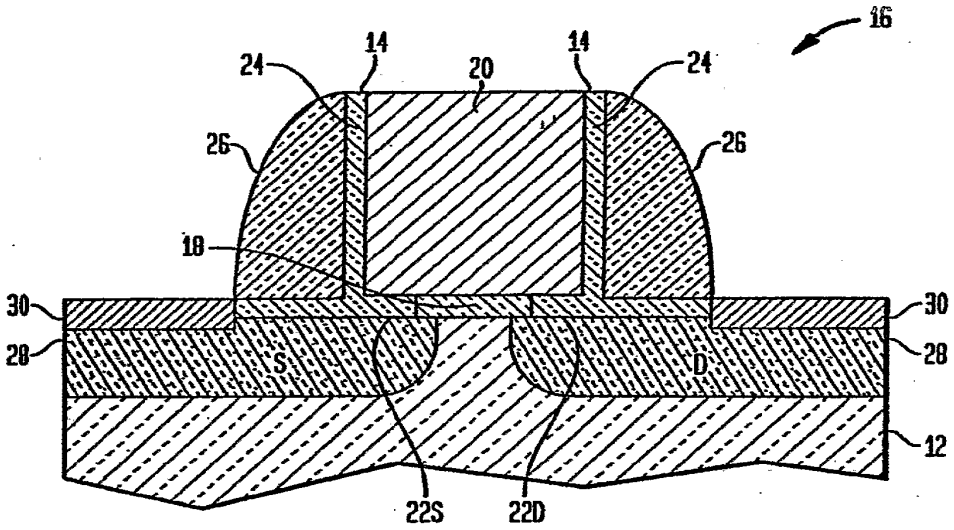


FIG. 3



PATENT ABSTRACTS OF JAPAN

(11)Publication number : **03-071665**
(43)Date of publication of application : **27.03.1991**

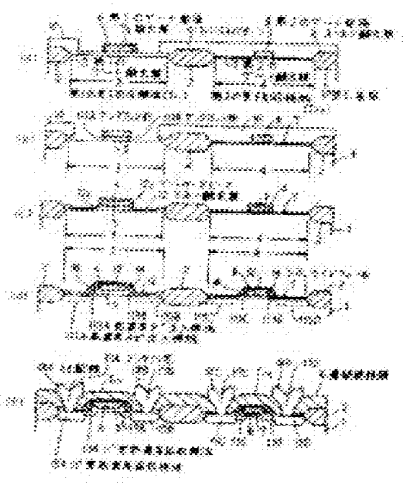
(51)Int.Cl. **H01L 27/088**
H01L 29/784

(21)Application number : **01-207263**
(22)Date of filing : **10.08.1989**

(71)Applicant : **FUJITSU LTD**
(72)Inventor : **SUGAYA SHINJI**
TAKARAMOTO TOSHIHARU

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:
PURPOSE: To prevent a high speed MOSFET from deteriorating in service life due to the increase of a drain resistance caused by the accumulation of hot carriers and in breakdown strength due to a short channel effect by a method wherein a gate oxide film under a gate electrode is kept small in thickness.
CONSTITUTION: Gate electrodes 6 and 8 are formed, then only in a low speed MOSFET 3 whose gate oxide film is thick, the exposed gate oxide film 5 is removed and a through oxide film 12 is newly formed, and in a high speed MOSFET 4, a gate oxide film 7 is left as it is and a through oxide film 12 is formed thereon at the same time with the low speed MOSFET 3. Therefore, on the high speed MOSFET side, as the thickness of an oxide film under a gate electrode is retained as that of the thin gate oxide film 7 is, hot carriers injected into an oxide film 1 are neutralized with charges injected through the gate electrode 8 and not accumulated. By this setup, a high speed MOSFET can be prevented from deteriorating in service life due to the increase of a low concentration drain offset region in resistance caused by accumulated carriers.



⑲日本国特許庁（JP）　⑪特許出願公開

⑫公開特許公報（A）　平3−71665

⑤Int. Cl.⁵	識別記号	庁内整理番号	㊸公開　平成3年(1991)3月27日
H 01 L 27/088 29/784			
		7735−5F　H 01 L 27/08　102 A 8728−5F　29/78　301 G	
		審査請求　未請求　請求項の数 1　(全7頁)	

㊹発明の名称　半導体装置の製造方法

㉑特　願　平1−207263
㉒出　願　平1(1989)8月10日

㉒発明者　菅谷　慎二　神奈川県川崎市中原区上小田中1015番地　富士通株式会社内
㉒発明者　宝本　敏治　神奈川県川崎市中原区上小田中1015番地　富士通株式会社内
㉑出願人　富士通株式会社　神奈川県川崎市中原区上小田中1015番地
㉔代理人　弁理士　井桁　貞一

明　細　書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

チャネル領域側から順に接して低不純物濃度のソース若しくはドレイン領域となる低濃度拡散領域と、高不純物濃度のソース若しくはドレイン領域となる高濃度拡散領域が配設されてなる低速の第1のＭＯＳＦＥＴ及び高速の第2のＭＯＳＦＥＴを同一半導体基板上に形成するに際して、

該第1のＭＯＳＦＥＴを形成する第1の素子形成領域上に第1のゲート絶縁膜を形成し、該第1のゲート絶縁膜上に第1のゲート電極を形成する工程と、

該第2のＭＯＳＦＥＴを形成する第2の素子形成領域上に該第1のゲート絶縁膜より薄い第2のゲート絶縁膜を形成し、該第2のゲート絶縁膜上に第2のゲート電極を形成する工程と、

該第1の素子形成領域上に表出する第1のゲート絶縁膜を選択的に除去する工程と、

該第1の素子形成領域及び該第2の素子形成領域上に第3の絶縁膜を形成する工程と、

該第1及び第2の素子形成領域内に、該第1のゲート電極または該第2のゲート電極をマスクにし、該第3の絶縁膜または該第3の絶縁膜と該第2のゲート絶縁膜を通し、同一不純物を同時にイオン注入して、該第1及び第2のＭＯＳＦＥＴの該低濃度拡散領域を同時に形成する工程とを有することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔目　次〕

概要
産業上の利用分野
従来の技術
発明が解決しようとする課題
課題を解決するための手段
作用
実施例

一実施例の工程断面図（第１図）

発明の効果

〔概　要〕

半導体装置の製造方法、特に異なる動作速度を有する複数のＭＯＳＦＥＴを同一半導体基板上に形成する方法の改良に関し、

ホットキャリアの蓄積による性能劣化を生じにくい高速ＭＯＳＦＥＴと低速ＭＯＳＦＥＴとが混載された半導体装置の形成を目的とし、

チャネル領域側から順に接して低不純物濃度のソース若しくはドレイン領域となる低濃度拡散領域と、高不純物濃度のソース若しくはドレイン領域となる高濃度拡散領域が配設されてなる低速の第１のＭＯＳＦＥＴ及び高速の第２のＭＯＳＦＥＴを同一半導体基板上に形成するに際し、該第１のＭＯＳＦＥＴを形成する第１の素子形成領域上に第１のゲート絶縁膜を形成し、該第１のゲート絶縁膜上に第１のゲート電極を形成する工程と、該第２のＭＯＳＦＥＴを形成する第２の素子形成領域上に該第１のゲート絶縁膜より薄い第２のゲート絶縁膜を形成し、該第２のゲート絶縁膜上に第２のゲート電極を形成する工程と、該第１の素子形成領域上に表出する第１のゲート絶縁膜を選択的に除去する工程と、該第１の素子形成領域及び該第２の素子形成領域上に第３の絶縁膜を形成する工程と、該第１及び第２の素子形成領域内に、該第１のゲート電極または該第２のゲート電極をマスクにし、該第３の絶縁膜または該第３の絶縁膜と該第２のゲート絶縁膜を通し、同一不純物を同時にイオン注入して、該第１及び第２のＭＯＳＦＥＴの該低濃度拡散領域を同時に形成する工程とを含み構成される。

〔産業上の利用分野〕

本発明は半導体装置の製造方法、特に異なる動作速度を有する複数のＭＯＳＦＥＴを同一半導体基板上に形成する方法の改良に関する。

近年、アナログ回路とデジタル回路が同一半導体基板上に併設されるＭＯＳＩＣが開発されており、このアナログ・デジタル混載型のＭＯＳＩＣにおいては、比較的遅い動作速度を持つアナログトランジスタと、速い動作速度を持つデジタルトランジスタとが同一半導体基板上に混載されることが要求される。

そこで工程を簡略化してコストの増大を防ぐために、可能な限り同一の工程を用いて低速、高速両方のトランジスタを形成し、且つそれぞれのトランジスタの性能や信頼度を劣化せしめないような製造方法が望まれている。

〔従来の技術〕

前記アナログ・デジタル混載型のＭＯＳＩＣにおいて、アナログトランジスタに用いられる低速ＭＯＳＦＥＴはゲート絶縁膜が厚く長チャネル長を有するＬＤＤ構造のＭＯＳＦＥＴにより構成され、デジタルトランジスタに用いられる高速ＭＯＳＦＥＴはゲート絶縁膜が薄く、短チャネル長を有するＬＤＤ構造のＭＯＳＦＥＴにより構成される。

このようなゲート絶縁膜が厚く長チャネル長を有する低動作速度の第１のＭＯＳＦＥＴと、ゲート絶縁膜が薄く短チャネル長を有する高動作速度の第２のＭＯＳＦＥＴとを同一半導体基板上に形成する際、従来は下記に第２図(a)～(i)を参照して説明する方法が用いられていた。

第２図(a)参照

即ち、例えばｐ型シリコン(Si)基板１面に素子間分離用のフィールド酸化膜２で画定された上記第１のＭＯＳＦＥＴが形成される第１の素子形成領域３と上記第２のＭＯＳＦＥＴが形成される第２の素子形成領域４とを形成した後、第１、第２の素子形成領域３、４上に第１の熱酸化により500Å程度の厚い第１のゲート酸化膜５を形成し、第１の素子形成領域３上に第１のポリSi等からなる第１のゲート電極６を形成し、第１の素子形成領域３上をレジストマスク（図示せず）で覆って第２の素子形成領域４上の第１のゲート酸化膜５を選択的にウォッシュアウトした後、レジストマスク（図示せず）を除去し、第２の熱酸化を行っ

て第2の素子形成領域4上に厚さ 200Å程度の薄い第2のゲート酸化膜7を形成する。ここでポリSiからなる第1のゲート電極6の表面にも 300Å程度の厚さの酸化膜7sが形成され、第1のゲート酸化膜5も僅かに厚くなる。

第2図(b)参照

次いで上記基板上に第2のゲート電極の材料である例えば第2のポリSi層108 を形成する。

第2図(c)参照

次いで第1のレジストパターン9をマスクにしリアクティブイオンエッチング(RIE)法により第2のポリSi層108 のパターニングを行って、第2のポリSi層からなる第2のゲート電極8を形成する。なおこの際、第1のゲート電極6の側面部に第2のポリSi層108 の残渣8sが残留する。

第2図(d)参照

次いで、第1の素子形成領域3の上面を表出開孔9を有する第2のレジストパターン10を形成し、これをマスクにして(CF_4+O_2) 等のガスを用いる等方性ドライエッチング手段等により電極・配線間ショートの原因になる上記ポリSi層残渣8sを除去する。

第2図(e)参照

次いで第2のレジストパターン10を除去した後、弗酸等によるウェットエッチング処理により表出する第1のゲート酸化膜5、第2のゲート酸化膜7及び第1のゲート電極6表面の酸化膜7sを除去する。

この際、サイドエッチングにより第1のゲート電極6と第2のゲート電極8の側面寄りの下部にアンダカット部111A、111B及び11A 、11B がそれぞれ形成される。このアンダカット部の幅即ちサイドエッチングの深さは第1のゲート電極6の下部で 500Å程度、第2のゲート電極8の下部で約1000Å程度になる。

第2図(f)参照

次いで熱酸化により、Si面が表出する第1の素子形成領域3及び第2の素子形成領域4上に厚さ200～300 Å程度のイオン注入の際不純物イオンを透過するスルー酸化膜12を形成する。この際、第1、第2のゲート電極6、8の表面にも厚さ300～400 Å程度のスルー酸化膜12が形成される、この酸化によって、前記ゲート電極6、8等の下部のアンダカット部111A、111B、11A 、11B に表出するゲート電極の下端部は削られ、ゲート電極6、8の側面寄りの下部には、ゲートバーズビークと称し外部に向かって厚く拡がったスルー酸化膜の食込み部12s 、12t が形成される。

次いで第1、第2のゲート電極6、8をマスクにし上記スルー酸化膜12を通して第1の素子形成領域3及び第2の素子形成領域4に、例えば1×$10^{13}cm^{-2}$程度の低濃度に燐(P^+) を例えば40KeV程度の低エネルギーで浅くイオン注入する。113A、113B、113C、113Dは低濃度 P^+ 注入領域を示す。

第2図(g)参照

次いで化学気相成長(CVD) 法により上記基板上に例えば厚さ2000Å程度の二酸化シリコン(SiO_2)膜を形成し、RIE 処理による全面エッチングを行って第1、第2のゲート電極6、8の側面部に厚さ2000Å程度のSiO_2サイドウォール14を形成し、このサイドウォール14を有するゲート電極6、8をマスクにして$10^{15}cm^{-2}$程度の高濃度のAs^+ を60KeV 程度の高エネルギーでイオン注入する。115A、115B、115C、115Dは高濃度As^+ 注入領域を示す。

第2図(h)参照

次いでCVD 法により厚さ8000Å程度の燐珪酸ガラス(PSG) よりなる層間絶縁膜16を形成し、通常のフォトリソグラフィ手段により上記層間絶縁膜16にソース及びドレイン領域を表出するコンタクト窓17A ～17D を形成し、次いで 900～1000℃程度の温度で上記層間絶縁膜16をリフローして上記コンタクト窓17A ～17D の側面にテーパを形成する。このリフロー処理の温度により前記低濃度P^+ 注入領域113A～113D及び高濃度As^+ 注入領域115A～115Dは活性化されて、低不純物濃度のソース若しくはドレイン領域となるn^- 型低濃度拡散領域13A 、13B 、13C 、13D 及び高不純物濃度のソース若しくはドレイン領域となるn^+ 型高濃度

拡散領域15A 、15B 、15C 、15D が形成される。

第２図(i)参照

次いで通常の方法により前記コンタクト窓17A ～17D 上に例えば１μｍ程度の厚さを有するAl配線18A ～18D を形成し、以後図示しない被覆絶縁膜の形成等がなされてＬＤＤ構造の低速ＭＯＳＦＥＴ(Tr_1) とＬＤＤ構造の高速ＭＯＳＦＥＴ(Tr_2) とを有するアナログ・デジタル混載型ＭＯＳＩＣが完成する。

〔発明が解決しようとする課題〕

しかし上記従来の方法によって形成されたアナログ・デジタル混載型のＭＯＳＩＣにおいては、先に第２図(f)を参照して説明したように、低速ＭＯＳＦＥＴ(Tr_1) 及び高速ＭＯＳＦＥＴ(Tr_2) のゲート電極６及び８の側面寄りの直下部にゲートバーズビークと称する外部に向かって拡がったスルー酸化膜の食込み部12s 、12t が形成されその部分の絶縁膜の厚みが厚くなるために、絶縁膜下層部とゲート電極６或いは８との距離が遠くなり、特にショートチャネルを有する高速ＭＯＳＦＥＴ(Tr_2) の高電位が印加されドレインとなるn$^+$型高濃度拡散領域15D 側においては、n$^-$型低濃度拡散領域13D のチャネル側端面で発生して上記ゲートバーズビークの下層部に注入されたホットキャリア(e) による負電荷がゲート電極６の電位によって中和されなくなってその部分に順次に蓄積されて行き、この負電荷によってその下部のn$^-$型低濃度拡散領域13D の表層部が空乏化してその動作抵抗が徐々に上昇しトランジスタ特性を劣化せしめるという問題を生じていた。

そこで本発明は、ホットキャリアの蓄積による性能劣化を生じにくい高速ＭＯＳＦＥＴと低速ＭＯＳＦＥＴとの混載型の半導体装置の製造方法の提供を目的とする。

〔課題を解決するための手段〕

上記課題は、チャネル領域側から順に接して低不純物濃度のソース若しくはドレイン領域となる低濃度拡散領域と、高不純物濃度のソース若しくはドレイン領域となる高濃度拡散領域が配設されてなる低速の第１のＭＯＳＦＥＴ及び高速の第２のＭＯＳＦＥＴを同一半導体基板上に形成するに際して、該第１のＭＯＳＦＥＴを形成する第１の素子形成領域上に第１のゲート絶縁膜を形成し、該第１のゲート絶縁膜上に第１のゲート電極を形成する工程と、該第２のＭＯＳＦＥＴを形成する第２の素子形成領域上に該第１のゲート絶縁膜より薄い第２のゲート絶縁膜を形成し、該第２のゲート絶縁膜上に第２のゲート電極を形成する工程と、該第１の素子形成領域上に表出する第１のゲート絶縁膜を選択的に除去する工程と、該第１の素子形成領域及び該第２の素子形成領域上に第３の絶縁膜を形成する工程と、該第１及び第２の素子形成領域内に、該第１のゲート電極または該第２のゲート電極をマスクにし、該第３の絶縁膜または該第３の絶縁膜と該第２のゲート絶縁膜を通し、同一不純物を同時にイオン注入して、該第１及び第２のＭＯＳＦＥＴの該低濃度拡散領域を同時に形成する工程とを有する本発明による半導体装置の製造方法によって解決される。

〔作　用〕

即ち本発明においては、ゲート電極の形成後、ゲート酸化膜の厚い低速のＭＯＳＦＥＴのみ表出するゲート酸化膜を除去して新たにスルー酸化膜を形成し、高速ＭＯＳＦＥＴはゲート酸化膜をそのままにしてその上に重ねて低速ＭＯＳＦＥＴと同時にスルー酸化膜を形成する。

これによって、高速ＭＯＳＦＥＴ側においては、スルー酸化膜形成に際してのゲートバーズビークと称するゲート電極下部へのスルー酸化膜の食い込みが起こらず、ゲート下部の酸化膜厚は薄いゲート酸化膜の厚さのまま維持されるので、この酸化膜に注入されたホットキャリアは近接して存在するゲート電極からの注入電荷よって中和されて蓄積されることがなくなり、蓄積キャリアに起因して生ずる低濃度ドレインオフセット領域の高抵抗化による高速ＭＯＳＦＥＴの寿命低下は防止される。

またそれと同時に、ソース・ドレイン領域を形成するための不純物のイオン注入において、イオンが透過する合計の酸化膜厚は高速ＭＯＳＦＥＴの方が厚くなるので、同一エネルギーによる同時イオン注入におけるイオンの注入深さは高速ＭＯＳＦＥＴの方が浅くなり、ショートチャネル化される高速ＭＯＳＦＥＴのショートチャネル効果を防止するという効果も生ずる。

〔実施例〕

以下本発明の方法を一実施例について、第１図(a)～(e)を参照して具体的に説明する。

第１図(a)参照

本発明の方法により、チャネル領域側から順に接して低不純物濃度のソース若しくはドレイン領域となる低濃度拡散領域と、高不純物濃度のソース若しくはドレイン領域となる高濃度拡散領域が配設されるＬＤＤ構造の低速ＭＯＳＦＥＴ及び高速ＭＯＳＦＥＴが同一半導体基板上に形成されたアナログ・デジタル混載型ＭＯＳＩＣを形成するに際しては、先に第２図(a)～(d)を参照して説明した従来方法と同様の工程により、ｐ型Si基板１における低動作速度の第１のＭＯＳＦＥＴ(Tr_1)の形成される第１の素子形成領域３上に例えば 500 Å程度の厚い第１のゲート酸化膜５を介して例えばポリSiよりなる第１のゲート電極６が形成され、高動作速度の第２のＭＯＳＦＥＴ(Tr_2)の形成される第２の素子形成領域４上に 200Å程度の薄い第２のゲート酸化膜７を介して例えばポリSiよりなる第２のゲート電極８が形成された被処理基板を形成する。なお7sは第２のゲート酸化膜７と同時に形成された厚さ 300Å程度の酸化膜、10は従来方法で説明したように第２のゲート電極８形成に際して第１のゲート電極５の側面部に形成された第２のゲート電極８の材料であるポリSi層の残渣8s（図示せず）を除去する際にエッチングマスクとして用いたレジストパターンである。

第１図(b)参照

そして本発明の方法においては、上記レジストパターン10若しくは新たに形成した更に広く第１の素子形成領域３上を表出する開孔を有するレジストパターン（図示せず）をマスクにし、このレジストパターンで第２の素子形成領域４上を覆った状態で、第１の素子形成領域３上に表出する第１のゲート酸化膜５のみを弗酸等によるウエット処理により選択的に除去する。

ここで第１のゲート電極６表面の前記酸化膜7sは除去され、且つ第１のゲート電極６の下部には従来同様のアンダカット部111A及び111Bが形成される。

第１図(c)参照

次いで上記レジストパターン10を除去した後、例えば熱酸化により表出された第１の素子形成領域３面に厚さ 200～300 Å程度のスルー酸化膜12を形成する。この際、第１のゲート電極６の下部には従来同様ゲートバーズビーク12s が形成されるが、第２の素子形成領域４上に表出する第２のゲート酸化膜７はその端面が露出していないので全面的に 100～200 Å程度厚くなるのみある。従って第２のゲート電極８の下部にゲートバーズビークが形成されることはない。

第１図(d)参照

以後従来方法で、第２図(f)を参照して説明したのと同様な方法により、ゲート電極６及び８をマスクにしスルー酸化膜12若しくはゲート酸化膜７を通して第１、第２の素子形成領域３、４に低濃度の P^+ をイオン注入し、次いで第２図(g)を参照して説明したのと同様な方法により、ゲート電極６、８の側面部にSiO_2サイドウォール14を形成し、このサイドウォール14を有するゲート電極６、８をマスクにし上記スルー酸化膜12若しくはゲート酸化膜７を通して第１、第２の素子形成領域３、４に高濃度のAs^+をイオン注入する。なお図中、113A、113B、113C、113Dは低濃度~~As~~P^+注入領域、115A、115B、115C、115Dは高濃度As^+注入領域を示す。

第１図(e)参照

次いで従来同様上記基板上に層間絶縁膜16を形成し、ソース・ドレイン領域のコンタクト窓17A～17D を形成し、層間絶縁膜16のリフロー処理を

行ってコンタクト窓17A ～17D の側面にテーパを形成すると同時に P^+ 及び As^+ 注入領域を活性化して低濃度のソース若しくはドレイン領域となるn⁻型低濃度拡散領域13A 、13B 、13C 、13D 及び高濃度のソース若しくはドレイン領域となるn⁺型高濃度拡散領域15A 、15B 、15C 、15D を形成し、次いでAl配線18A ～18D を形成し、以後図示しない被覆絶縁膜の形成等がなされて、本発明の方法による低速ＭＯＳＦＥＴ(Tr_1) と高速ＭＯＳＦＥＴ(Tr_2) とを有するアナログ・デジタル混載型ＭＯＳＩＣが完成する。

以上実施例の説明から明らかなように、本発明の方法によれば、ショートチャネルを有する高速ＭＯＳＦＥＴのゲート電極８の下部にはゲートバーズビークと称する厚い酸化膜の食い込み部を生ぜずにゲート酸化膜７がそのままの薄い厚さを維持して存在する。従ってゲート酸化膜７に注入されたホットキャリアはゲート電極８から注入される電荷によって中和されゲート酸化膜７内に蓄積されることがなくなるので、その下部に形成される低濃度ドレイン領域となる低濃度拡散領域15D の高抵抗化は防止される。

また、ソース・ドレイン領域を形成する際にイオンが透過する酸化膜の厚さは高速ＭＯＳＦＥＴ側の方が厚くなるので、高速ＭＯＳＦＥＴの方がソース・ドレイン領域が浅く形成でき、ショートチャネル効果の防止に有利になる。

なお本発明の方法において、ゲート酸化膜及びスルー酸化膜は気相成長により形成される絶縁膜であってもよい。

〔発明の効果〕

以上説明のように本発明の方法によれば、低速ＭＯＳＦＥＴと高速ＭＯＳＦＥＴが同一半導体基板上に形成されるアナログ・デジタル混載型ＭＯＳＩＣにおいて、ショートチャネルを有する高速ＭＯＳＦＥＴのホットキャリアの蓄積に起因するドレイン抵抗の増大による寿命劣化や、ショートチャネル効果による耐圧劣化等が防止される。

4.図面の簡単な説明

第１図(a)～(e)は本発明の方法の一実施例の工程断面図、

第２図(a)～(i)は従来方法の工程断面図

である。

図において、

１はｐ型Si基板、

２はフィールド酸化膜、

３、４は第１、第２の素子形成領域、

５、７は第１、第２のゲート酸化膜、

６、８は第１、第２のゲート電極、

９、10はレジストパターン、

11A 、11B 、111A、111B はアンダカット部、

12はスルー酸化膜、

12s はゲートバーズビーク、

13A ～13D はn⁻型低濃度拡散領域、

14はSiO_2サイドウォール、

15A ～15D はn⁺型高濃度拡散領域、

16は層間絶縁膜、

17A ～17D はコンタクト窓、

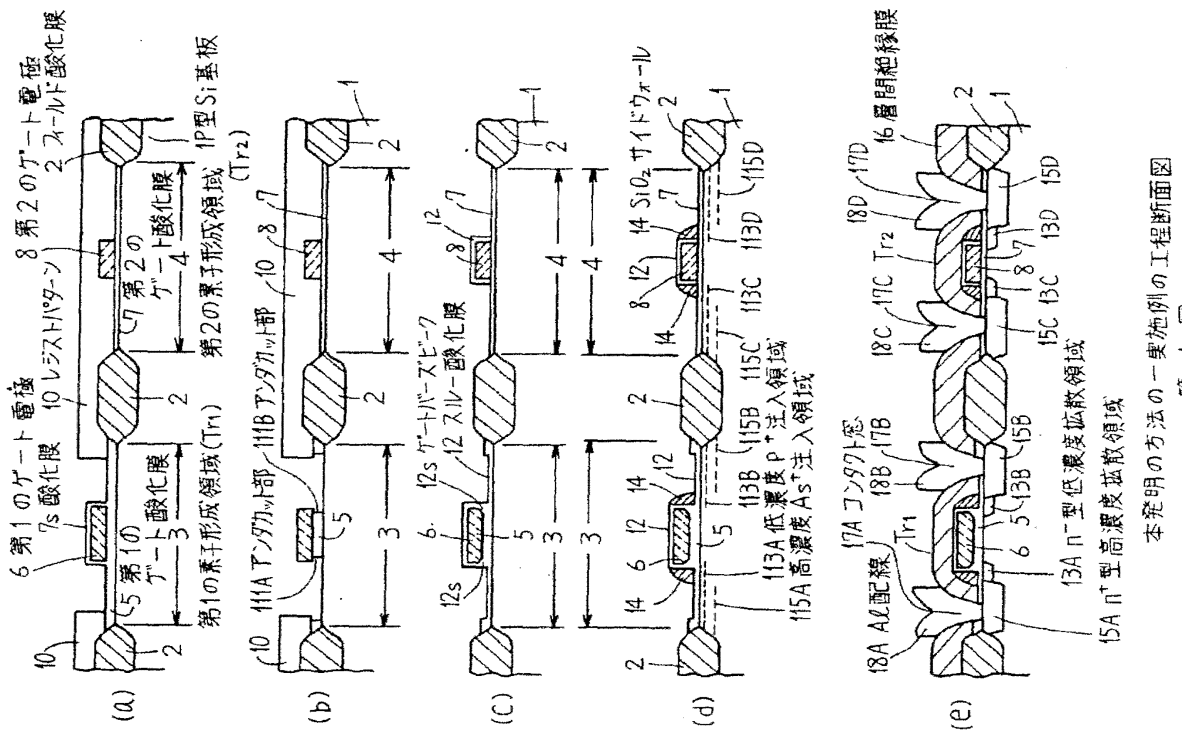
18A ～18D はAl配線、

113A～113Dは低濃度 P^+ 注入領域、

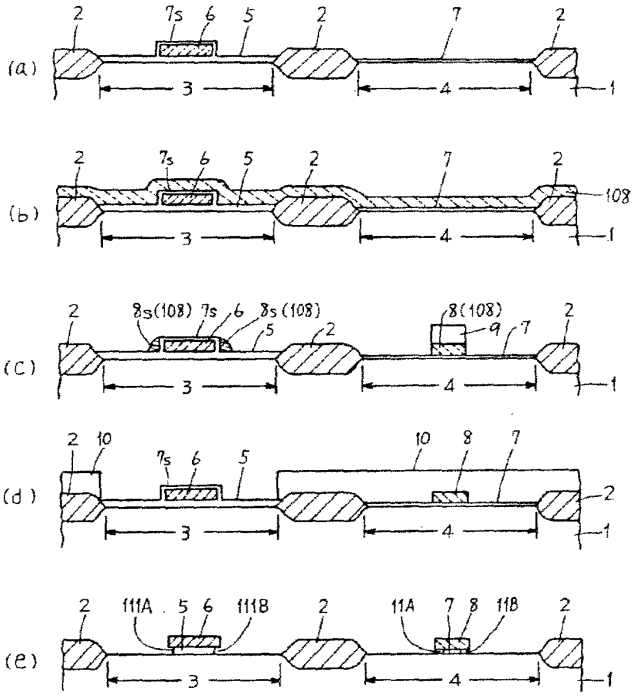
115A～115Dは高濃度As^+ 注入領域

を示す。

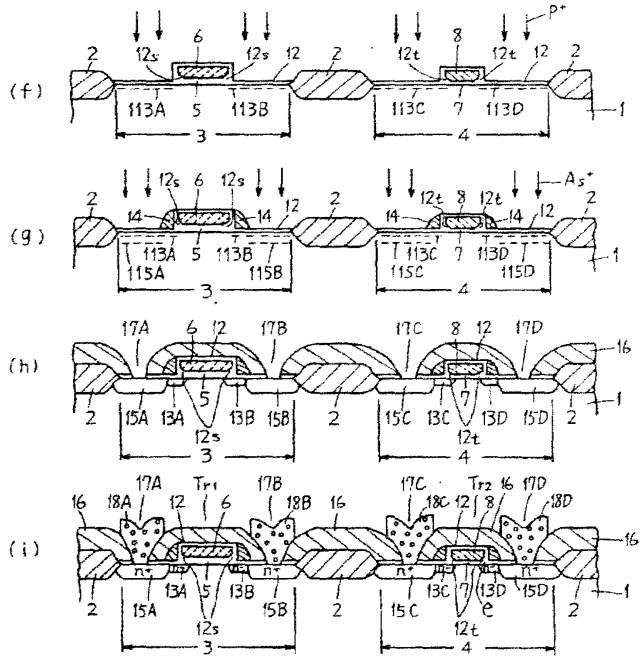
代理人　弁理士　井桁貞一



本発明の方法の一実施例の工程断面図
第 1 図



従来方法の工程断面図
第 2 図(その1)



従来方法の工程断面図
第 2 図(その2)

特許協力条約に基づく国際出願願書

紙面による写し（注意　電子データが原本となります）

0	受理官庁記入欄	
0-1	国際出願番号	
0-2	国際出願日	
0-3	(受付印)	

0-4	様式 PCT/RO/101 この特許協力条約に基づく国際出願願書は、	
0-4-1	右記によって作成された。	PCT-SAFE Version 3.51.041.217 MT/FOP 20090701/0.20.5.17
0-5	申立て 出願人は、この国際出願が特許協力条約に従って処理されることを請求する。	
0-6	出願人によって指定された受理官庁	日本国特許庁 (RO/JP)
0-7	出願人又は代理人の書類記号	P055570P0
I	発明の名称	半導体装置およびその製造方法
II	出願人	
II-1	この欄に記載した者は	出願人である (applicant only)
II-2	右の指定国についての出願人である。	米国を除く全ての指定国 (all designated States except US)
II-4ja	名称	パナソニック株式会社
II-4en	Name:	PANASONIC CORPORATION
II-5ja	あて名	5718501 日本国 大阪府門真市大字門真１００６番地
II-5en	Address:	1006, Oaza Kadoma, Kadoma-shi, Osaka 5718501 Japan
II-6	国籍(国名)	日本国 JP
II-7	住所(国名)	日本国 JP
II-8	電話番号	06-6908-1473
II-9	ファクシミリ番号	06-6909-0053
III-1	その他の出願人又は発明者	
III-1-1	この欄に記載した者は	出願人及び発明者である (applicant and inventor)
III-1-2	右の指定国についての出願人である。	米国のみ (US only)
III-1-4ja	氏名(姓名)	藤田智弘
III-1-4en	Name (LAST, First):	FUJITA, Tomohiro
III-1-5ja	あて名	
III-1-5en	Address:	
III-1-6	国籍(国名)	
III-1-7	住所(国名)	

特許協力条約に基づく国際出願願書

紙面による写し（注意　電子データが原本となります）

III-2	その他の出願人又は発明者	
III-2-1	この欄に記載した者は	出願人及び発明者である（applicant and inventor）
III-2-2	右の指定国についての出願人である。	米国のみ（US only）
III-2-4ja	氏名(姓名)	平瀬順司
III-2-4en	Name (LAST, First):	HIRASE, Junji
III-2-5ja	あて名	
III-2-5en	Address:	
III-2-6	国籍(国名)	
III-2-7	住所(国名)	
III-3	その他の出願人又は発明者	
III-3-1	この欄に記載した者は	出願人及び発明者である（applicant and inventor）
III-3-2	右の指定国についての出願人である。	米国のみ（US only）
III-3-4ja	氏名(姓名)	佐藤好弘
III-3-4en	Name (LAST, First):	SATO, Yoshihiro
III-3-5ja	あて名	
III-3-5en	Address:	
III-3-6	国籍(国名)	
III-3-7	住所(国名)	
IV-1	代理人又は共通の代表者、通知のあて名 下記の者は国際機関において右記のごとく出願人のために行動する。	代理人（agent）
IV-1-1ja	氏名(姓名)	前田弘
IV-1-1en	Name (LAST, First):	MAEDA, Hiroshi
IV-1-2ja	あて名	5410053 日本国 大阪府大阪市中央区本町２丁目５番７号　大阪丸紅ビル
IV-1-2en	Address:	Osaka-Marubeni Bldg., 5-7, Hommachi 2-chome, Chuo-ku, Osaka-shi, Osaka 5410053 Japan
IV-1-3	電話番号	06-6125-2255
IV-1-4	ファクシミリ番号	06-6125-2288
IV-1-6	代理人登録番号	100077931
IV-2	その他の代理人	筆頭代理人と同じあて名を有する代理人 (additional agent(s) with the same address as first named agent)
IV-2-1ja	氏名	竹内宏(100110939)；今江克実(100115059)； 原田智雄(100117710)
IV-2-1en	Name(s)	TAKEUCHI, Hiroshi(100110939)；IMAE, Katsumi(100115059)；HARADA, Tomoo(100117710)

特許協力条約に基づく国際出願願書

紙面による写し（注意　電子データが原本となります）

V	国の指定		
V-1	この願書を用いてされた国際出願は、規則4.9(a)に基づき、国際出願の時点で拘束される全てのPCT締約国を指定し、取得しうるあらゆる種類の保護を求め、及び該当する場合には広域と国内特許の両方を求める国際出願となる。		
V-2	V-2欄は、特定の国の指定を除外するときに使用することができ、この指定を除外することができるのは、出願の際若しくは規則26の2.1により上記の特定の国における先の国内出願を基礎とする優先権を国際出願の第VI欄で主張する結果、その国の国内法令に基づいてこの先の国内出願の効果が消滅するのを避けるのを目的とする場合に限る。しかし、いったん除外した指定は、それを変更することはできない。	JP	
VI-1	先の国内出願に基づく優先権主張		
VI-1-1	出願日	2009年 07月 17日 (17.07.2009)	
VI-1-2	出願番号	2009-168592	
VI-1-3	国名	日本国 JP	
VI-2	優先権証明書送付の請求 上記の先の出願のうち、右記の番号のものについては、出願書類の認証謄本を作成し国際事務局へ送付することを、受理官庁に対して請求している。	VI-1	
VI-3	引用による補充： 条約第11条(1)(iii)(d)若しくは(e)に規定する国際出願の要素の全部、又は規則20.5(a)に規定する明細書、請求の範囲若しくは図面の一部がこの国際出願には含まれていないが、受理官庁が条約第11条(1)(iii)に規定する要素の1つ以上を最初に受領した日において優先権を主張する先の出願にそれが完全に含まれている場合には、規則20.6に基づく確認の手続を条件として、その要素又は部分を規則20.6の規定によりこの国際出願に引用して補充することを請求する。		
VII-1	特定された国際調査機関(ISA)	日本国特許庁 (ISA/JP)	
VIII	申立て	申立て数	
VIII-1	発明者の特定に関する申立て	–	
VIII-2	出願し及び特許を与えられる国際出願日における出願人の資格に関する申立て	–	
VIII-3	先の出願の優先権を主張する国際出願日における出願人の資格に関する申立て	–	
VIII-4	発明者である旨の申立て(米国を指定国とする場合)	–	
VIII-5	不利にならない開示又は新規性喪失の例外に関する申立て	–	
IX	照合欄	用紙の枚数	添付された電子データ
IX-1	願書(申立てを含む)	4	✓
IX-2	明細書	17	✓
IX-3	請求の範囲	4	✓
IX-4	要約	1	✓
IX-5	図面	5	✓
IX-7	合計	31	

特許協力条約に基づく国際出願願書

紙面による写し（注意　電子データが原本となります）

	添付書類	添付	添付された電子データ
IX-8	手数料計算用紙	－	✓
IX-18	PCT-SAFE 電子出願	－	－
IX-20	要約とともに提示する図の番号	1	
IX-21	国際出願の使用言語名	日本語	
X-1	出願人、代理人又は代表者の記名押印	(PKCS7 デジタル署名)	
X-1-1	氏名(姓名)	前田弘	
X-1-2	署名者の氏名		
X-1-3	権限		

受理官庁記入欄

10-1	国際出願として提出された書類の実際の受理の日	
10-2	図面	
10-2-1	受理された	
10-2-2	不足図面がある	
10-3	国際出願として提出された書類を補完する書類又は図面であってその後期間内に提出されたものの実際の受理の日（訂正日）	
10-4	特許協力条約第11条(2)に基づく必要な補完の期間内の受理の日	
10-5	出願人により特定された国際調査機関	ISA/JP
10-6	調査手数料未払いにつき、国際調査機関に調査用写しを送付していない	

国際事務局記入欄

11-1	記録原本の受理の日	

From the INTERNATIONAL BUREAU

PCT

NOTIFICATION OF RECEIPT OF RECORD COPY

(PCT Rule 24.2(a))

To:

MAEDA, Hiroshi
Osaka-Marubeni Bldg.,5-7,Hommachi 2-chome,
Chuo-ku, Osaka-shi, Osaka
5410053
JAPON

Date of mailing *(day/month/year)*	IMPORTANT NOTIFICATION
22 March 2010 (22.03.2010)	
Applicant's or agent's file reference P055570P0 M10-71043	International application No. PCT/JP2010/001143

The applicant is hereby **notified** that the International Bureau has received the record copy of the international application as detailed below.

Name(s) of the applicant(s) and State(s) for which they are applicants:

PANASONIC CORPORATION (for all designated States except US)
FUJITA, Tomohiro et al (for US)

International filing date: 22 February 2010 (22.02.2010)
Priority date(s) claimed: 17 July 2009 (17.07.2009)
Date of receipt of the record copy by the International Bureau: 04 March 2010 (04.03.2010)
List of designated Offices:

AP: BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW
EA: AM, AZ, BY, KG, KZ, MD, RU, TJ, TM
EP: AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR
OA: BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG
National: AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

ATTENTION: The applicant should carefully check the data appearing in this notification. In case of any discrepancy between these data and the indications in the international application, the applicant should immediately inform the International Bureau. **In addition, the applicant's attention is drawn to the information contained in the Annex**, relating to:

- time limits for entry into the national phase - **see updated important information (as of April 2002)**
- requirements regarding priority documents (if applicable)

A copy of this notification is being sent to the receiving Office and to the International Searching Authority.

The International Bureau of WIPO
34, chemin des Colombettes
1211 Geneva 20, Switzerland

Facsimile No. +41 22 338 90 90

Authorized officer
Petreska Gorica
e-mail pt07.pct@wipo.int
Telephone No. +41 22 338 74 07

INFORMATION ON ENTERING THE NATIONAL PHASE

The applicant is reminded that the **"national phase" must be entered** before each of the designated Offices indicated on the cover sheet of this notification by paying national fees and furnishing translations, as prescribed by Articles 22 and 39 and the applicable national laws. In addition, the applicant may also have to comply with **other special requirements** applicable in certain Offices. It is the **applicant's responsibility** to ensure that the necessary steps to enter the national phase are taken in a timely fashion. Most Offices do not issue reminders to applicants in connection with the entry into the national phase.

The **applicable time limit** for entering the national phase will, **subject to what is said in the following paragraph**, be **30 MONTHS** from the priority date, not only in respect of any elected Office if a demand for international preliminary examination is filed before the expiration of 19 months from the priority date (see Article 39(1)), but also in respect of any designated Office, in the absence of filing of such demand, where Article 22(1) as modified with effect from 1 April 2002 applies in respect of that designated Office. For further details, see *PCT Gazette* No. 44/2001 of 1 November 2001, pages 19926, 19932 and 19934, as well as the *PCT Newsletter*, October and November 2001 and February 2002 issues.

In practice, **time limits other than the 30-month time limit will continue to apply, for various periods of time**, in respect of certain designated or elected Offices. For **regular updates on the applicable time limits (20, 21, 30 or 31 months, or other time limit)**, Office by Office, refer to the *PCT Gazette* ("Section IV" part published on a weekly basis), to the *PCT Newsletter* (on a monthly basis) and to the relevant National Chapters in Volume II of the *PCT Applicant's Guide* (the paper version of which is updated usually twice a year and the Internet version of which is updated usually on a weekly basis). Finally, a cumulative table of all applicable time limits for entering the national phase is available from WIPO's Internet site, via links from various pages of the site, including those of the *Gazette*, *Newsletter* and *Guide*, at http://www.wipo.int/pct/en/index.html.

Information about the requirements for **filing a demand for international preliminary examination** is set out in the *PCT Applicant's Guide*, Volume I/A, Chapter IX. Note that only an applicant who is a national or resident of a PCT Contracting State which is bound by Chapter II has the right to file a demand for international preliminary examination (at present, all PCT Contracting States are bound by Chapter II).

REQUIREMENTS REGARDING PRIORITY DOCUMENTS

For applicants who have not yet complied with the requirements regarding priority documents, the following is recalled.

Where the priority of an earlier national, regional or international application is claimed, the applicant must submit a copy of the said earlier application, certified by the authority with which it was filed ("the priority document") to the receiving Office (which will transmit it to the International Bureau) or directly to the International Bureau, before the expiration of 16 months from the priority date, provided that any such priority document may still be submitted to the International Bureau before the date of international publication of the international application, in which case that document will be considered to have been received by the International Bureau on the last day of the 16-month time limit (Rule 17.1(a)).

Where the priority document is issued by the receiving Office, the applicant may, instead of submitting the priority document, request the receiving Office to prepare and transmit the priority document to the International Bureau. Such request must be made before the expiration of the 16-month time limit and may be subjected by the receiving Office to the payment of a fee (Rule 17.1(b)).

If the priority document concerned is not submitted to the International Bureau and if the request to the receiving Office to prepare and transmit the priority document has not been made (and the corresponding fee, if any, paid) within the applicable time limit indicated under the preceding paragraphs, any designated State may disregard the priority claim, provided that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances (Rule 17.1(c)).

Where several priorities are claimed, the priority date to be considered for the purposes of computing the 16-month time limit (and all other PCT time limits) is the filing date of the earliest application whose priority is claimed (Article 2(xi)(b)).

From the INTERNATIONAL BUREAU

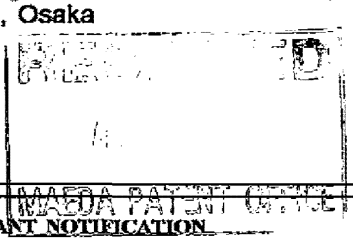
PCT

NOTIFICATION CONCERNING
SUBMISSION OR TRANSMITTAL
OF PRIORITY DOCUMENT

(PCT Administrative Instructions, Section 411)

To:

MAEDA, Hiroshi
Osaka-Marubeni Bldg.,5-7,Hommachi 2-chome,
Chuo-ku, Osaka-shi, Osaka
5410053
JAPON



Date of mailing *(day/month/year)* 09 April 2010 (09.04.2010)	
Applicant's or agent's file reference P055570P0 M10-TJ043CT1	IMPORTANT NOTIFICATION
International application No. PCT/JP2010/001143	International filing date *(day/month/year)* 22 February 2010 (22.02.2010)
International publication date *(day/month/year)* **Not yet published**	Priority date *(day/month/year)* 17 July 2009 (17.07.2009)
Applicant PANASONIC CORPORATION et al	

1. By means of this Form, which replaces any previously issued notification concerning submission or transmittal of priority documents, the applicant is hereby notified of the date of receipt by the International Bureau of the priority document(s) relating to all earlier application(s) whose priority is claimed. Unless otherwise indicated by the letters "NR", in the right-hand column or by an asterisk appearing next to a date of receipt, the priority document concerned was submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b).

2. *(If applicable)* The **letters "NR"** appearing in the right-hand column denote **a priority document which, on the date of mailing of this Form, had not yet been received by the International Bureau** under Rule 17.1(a) or (b). Where, under Rule 17.1(a), the priority document must be submitted by the applicant to the receiving Office or the International Bureau, but the applicant fails to submit the priority document within the applicable time limit under that Rule, **the attention of the applicant is directed** to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.

3. *(If applicable)***An asterisk (*)** appearing next to a date of receipt, in the right-hand column, denotes **a priority document submitted or transmitted to the International Bureau but not in compliance with Rule 17.1(a) or (b)** (the priority document was received after the time limit prescribed in Rule 17.1(a) or the request to prepare and transmit the priority document was submitted to the receiving Office after the applicable time limit under Rule 17.1(b)). Even though the priority document was not furnished in compliance with Rule 17.1(a) or (b), the International Bureau will nevertheless transmit a copy of the document to the designated Offices, for their consideration. In case such a copy is not accepted by the designated Office as the priority document, Rule 17.1(c) provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.

Priority date	Priority application No.	Country or regional Office or PCT receiving Office	Date of receipt of priority document
17 July 2009 (17.07.2009)	2009-168592	JP	01 April 2010 (01.04.2010)

The International Bureau of WIPO
34, chemin des Colombettes
1211 Geneva 20, Switzerland

Facsimile No. +41 22 338 82 70

Authorized officer
Yoshiko Kuwahara
e-mail PT07.PCT@WIPO.INT
Telephone No. +41 22 338 74 07

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2011 年 1 月 20 日(20.01.2011)

PCT

(10) 国際公開番号
WO 2011/007470 A1

(51) 国際特許分類:
H01L 21/8238 (2006.01) *H01L 29/78* (2006.01)
H01L 27/092 (2006.01)

(21) 国際出願番号: PCT/JP2010/001143

(22) 国際出願日: 2010 年 2 月 22 日(22.02.2010)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2009-168592 2009 年 7 月 17 日(17.07.2009) JP

(71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真１００６番地 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 藤田智弘 (FUJITA, Tomohiro). 平瀬順司 (HIRASE, Junji). 佐藤好弘 (SATO, Yoshihiro).

(74) 代理人: 前田弘, 外 (MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町２丁目５番７号 大阪丸紅ビル Osaka (JP).

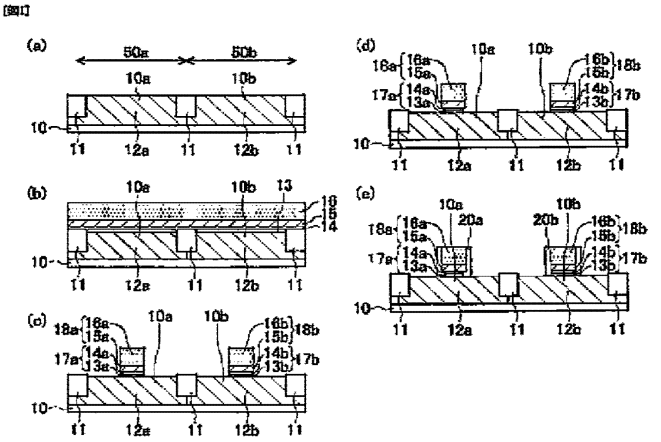
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称 : 半導体装置およびその製造方法



(57) Abstract: Disclosed is a method for manufacturing a semiconductor device, which is provided with: a step of forming, on a first active region (10a) formed on a substrate (10), a first gate insulating film (17a) containing a high dielectric material, and a first gate electrode (18a) containing a metal material, and forming, on a second active region (10b) formed on the substrate (10), a second gate insulating film (17b) containing a high dielectric material, and a second gate electrode (18b) containing a metal material; a step of introducing negative fixed charges into the end portion of the first gate insulating film (17a) and the end portion of the second gate insulating film (17b); and a step of removing the end portion of the first gate insulating film (17a).

(57) 要約: 半導体装置の製造方法は、基板１０に形成された第１の活性領域１０ａ上に高誘電体を含む第１のゲート絶縁膜１７ａと、金属材料を含む第１のゲート電極１８ａとを形成し、基板１０に形成された第２の活性領域１０ｂ上に高誘電体を含む第２のゲート絶縁膜１７ｂと、金属材料を含む第２のゲート電極１８ｂとを形成する工程と、第１のゲート絶縁膜１７ａの端部と第２のゲート絶縁膜１７ｂの端部とに負の固定電荷を導入する工程と、第１のゲート絶縁膜１７ａの端部を除去する工程とを備えている。

WO 2011/007470 A1

特許協力条約

前田
'10.6.02
特許

発信人　日本国特許庁（国際調査機関）

代理人
前田弘
様

あて名
〒541-0053
日本国大阪府大阪市中央区本町２丁目５番７号　大阪丸紅ビル

PCT
国際調査機関の見解書
（法施行規則第40条の2）
〔PCT規則43の2.1〕

発送日 (日.月.年)	01．06．2010
出願人又は代理人 の書類記号　P055570P0	今後の手続きについては、下記２を参照すること。

国際出願番号	国際出願日	優先日
PCT／JP2010／001143	(日.月.年)　22．02．2010	(日.月.年)　17．07．2009

国際特許分類（IPC）Int.Cl. H01L21/8238(2006.01)i, H01L27/092(2006.01)i, H01L29/78(2006.01)i

出願人（氏名又は名称）
パナソニック株式会社

1．この見解書は次の内容を含む。
- [x] 第Ⅰ欄　見解の基礎
- [ ] 第Ⅱ欄　優先権
- [ ] 第Ⅲ欄　新規性、進歩性又は産業上の利用可能性についての見解の不作成
- [ ] 第Ⅳ欄　発明の単一性の欠如
- [x] 第Ⅴ欄　PCT規則43の2.1(a)(i)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
- [ ] 第Ⅵ欄　ある種の引用文献
- [ ] 第Ⅶ欄　国際出願の不備
- [ ] 第Ⅷ欄　国際出願に対する意見

2．今後の手続き
国際予備審査の請求がされた場合は、出願人がこの国際調査機関とは異なる国際予備審査機関を選択し、かつ、その国際予備審査機関がPCT規則66.1の2(b)の規定に基づいて国際調査機関の見解書を国際予備審査機関の見解書とみなさない旨を国際事務局に通知していた場合を除いて、この見解書は国際予備審査機関の最初の見解書とみなされる。

この見解書が上記のように国際予備審査機関の見解書とみなされる場合、様式PCT／ISA／220を送付した日から3月又は優先日から22月のうちいずれか遅く満了する期限が経過するまでに、出願人は国際予備審査機関に、適当な場合は補正書とともに、答弁書を提出することができる。

さらなる選択肢は、様式PCT／ISA／220を参照すること。

3．さらなる詳細は、様式PCT／ISA／220の備考を参照すること。

見解書を作成した日
14．05．2010

名称及びあて先 日本国特許庁（ISA／JP） 郵便番号100－8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 宮部　裕一 電話番号　03－3581－1101　内線　3462	4M　3840

様式PCT／ISA／237（表紙）（2009年7月）

第Ⅰ欄 見解の基礎

1．言語に関し、この見解書は以下のものに基づき作成した。

☑ 出願時の言語による国際出願

☐ 出願時の言語から国際調査のための言語である＿＿＿＿＿＿＿＿語に翻訳された、この国際出願の翻訳文（ＰＣＴ規則12.3(a)及び23.1(b)）

2．☐ この見解書は、ＰＣＴ規則 91 の規定により国際調査機関が認めた又は国際調査機関に通知された明らかな誤りの訂正を考慮して作成した（ＰＣＴ規則 43 の 2.1(b)）。

3．この国際出願で開示されたヌクレオチド又はアミノ酸配列に関して、提出された以下の配列表に基づき見解書を作成した。

a．提出手段 ☐ 紙形式

☐ 電子形式

b．提出時期 ☐ 出願時の国際出願に含まれていたもの

☐ この国際出願と共に電子形式により提出されたもの

☐ 出願後に、調査のために、この国際調査機関に提出されたもの

4．☐ さらに、複数の版の配列表又は配列表の写しを提出した場合、出願後に提出した配列の写し若しくは追加して提出した配列の写しが、出願時に提出した配列と同一である旨又は出願時の開示を超える事項を含まない旨の陳述書の提出があった。

5．補足意見：

第Ⅴ欄　新規性、進歩性又は産業上の利用可能性についてのＰＣＴ規則43の2.1(a)(i)に定める見解、それを裏付ける文献及び説明

1．　見解

新規性（N）	請求項	1-13	有
	請求項		無
進歩性（ＩＳ）	請求項	1-13	有
	請求項		無
産業上の利用可能性（ＩＡ）	請求項	1-13	有
	請求項		無

2．　文献及び説明

文献１：WO 2005/013374 A1（富士通株式会社）2005.02.10
文献２：JP 2004-087695 A（富士通株式会社）2004.03.18
文献３：JP 2005-333164 A（株式会社ルネサステクノロジ）2005.12.02
文献４：JP 2008-211182 A（アンテルユニヴェルシテール・ミクローエレクトロニカ・サントリュム・ヴェー・ゼッド・ドゥブルヴェ）2008.09.11
文献５：JP 2008-305950 A（株式会社ルネサステクノロジ）2008.12.18
文献６：JP 2000-174135 A（三菱電機株式会社）2000.06.23

・請求項１～１３
請求項１～１３に係る発明は、国際調査報告で引用されたいずれの文献にも記載されておらず、当業者にとって自明なものでもない。

Electronic Patent Application Fee Transmittal

Application Number:	
Filing Date:	
Title of Invention:	SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME
First Named Inventor/Applicant Name:	Tomohiro FUJITA
Filer:	Michael E. Fogarty/Kayla Adkins
Attorney Docket Number:	085393-0709

Filed as Large Entity

Utility under 35 USC 111(a) Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Utility application filing	1011	1	380	380
Utility Search Fee	1111	1	620	620
Utility Examination Fee	1311	1	250	250
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				
Miscellaneous:				
		Total in USD ($)		**1250**

Electronic Acknowledgement Receipt	
EFS ID:	11391063
Application Number:	13294727
International Application Number:	
Confirmation Number:	6315
Title of Invention:	SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME
First Named Inventor/Applicant Name:	Tomohiro FUJITA
Customer Number:	53080
Filer:	Michael E. Fogarty/Kayla Adkins
Filer Authorized By:	Michael E. Fogarty
Attorney Docket Number:	085393-0709
Receipt Date:	11-NOV-2011
Filing Date:	
Time Stamp:	16:46:45
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Deposit Account
Payment was successfully received in RAM	$1250
RAM confirmation Number	12016
Deposit Account	500417
Authorized User	
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows: Charge any Additional Fees required under 37 C.F.R. Section 1.16 (National application filing, search, and examination fees)	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Transmittal of New Application	P05557001_TRN_0853930709_111atransmittal.pdf	50816 66176e0a06f064f68d0e6eef1fd7d0a8999ff272	no	3
Warnings:					
Information:					
2		P05557001_SPEC_0853930709spec.pdf	913110 12cda72d5841d8d157319411f700b873099db305	yes	22
	Multipart Description/PDF files in .zip description				
	Document Description		**Start**	**End**	
	Specification		1	17	
	Claims		18	21	
	Abstract		22	22	
Warnings:					
Information:					
3	Drawings-only black and white line drawings	P05557001_DRW_0853930709drawings.pdf	199593 814aa88c97d5160d3c91bb0c3c96a8c70bf9b914	no	5
Warnings:					
Information:					
4	Oath or Declaration filed	P05557001_DEC_0853930709declaration.pdf	171077 7290e48754e181a380b250a4523f7bfa45bd1d3a	no	3
Warnings:					
Information:					
5	Information Disclosure Statement (IDS) Form (SB08)	P05557001_IDS_0853930709idstransmittal.pdf	75581 a66793a274ed7a82c62d62ec3a89ae15b6cee275	no	3
Warnings:					
Information:					
This is not an USPTO supplied IDS fillable form					
6	Non Patent Literature	P05557001_ISR_0853930709isr.pdf	218150 741c76aced21bbe01123b2ffb7d65df414311225	no	5
Warnings:					
Information:					

7	Non Patent Literature	0853930709npl.pdf	383933 515d3b4d203c1f61f78933cf6982ecedcd71631c	no	4
Warnings:					
Information:					
8	Foreign Reference	0853930709ref1.pdf	1628690 d807367984228e17ee2ffa869621b81b5d5f557e	no	34
Warnings:					
Information:					
9	Foreign Reference	0853930709ref2.pdf	1379868 31ed22e8ec3e1e33ec75a31bf68585f6a7a120d7	no	21
Warnings:					
Information:					
10	Foreign Reference	0853930709ref3.pdf	1405977 f083985b1826c5f9a3a41373d46193039a048546	no	29
Warnings:					
Information:					
11	Foreign Reference	0853930709ref4.pdf	590998 4e5a11014f94767c8047a109d8fb4ba362c49f9e	no	8
Warnings:					
Information:					
12	Miscellaneous Incoming Letter	P05557001_MISC_0853930709forms.pdf	565052 fc4965859959516ba1a6d6b2e17e5d4411e26de5	no	11
Warnings:					
Information:					
13	Fee Worksheet (SB06)	fee-info.pdf	33093 033dd512529fa15bac96846d30ab263b462f87dd	no	2
Warnings:					
Information:					
		Total Files Size (in bytes):	7615938		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Docket No.: 085393-0709

REQUEST FORM FOR CONTINUATION APPLICATION UNDER 35 USC 111(a)

Prior Application: **International Application No. PCT/JP2010/001143**
Art Unit: **(Unassigned)**
Examiner: **(Unassigned)**

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

This is a Request for filing a continuation application, entitled **SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME**, under 35 U.S.C. 111(a) of pending prior International Application No. **PCT/JP2010/001143** filed on **February 22, 2010**, by the following named inventors:

INVENTOR	RESIDENCE	CITIZENSHIP	POST OFFICE ADDRESS
Tomohiro FUJITA	Toyama, Japan	Japanese	1006, Oaza Kadoma, Kadoma-shi, Osaka, Japan 571-8501
Junji HIRASE	Toyama, Japan	Japanese	1006, Oaza Kadoma, Kadoma-shi, Osaka, Japan 571-8501
Yoshihiro SATO	Toyama, Japan	Japanese	1006, Oaza Kadoma, Kadoma-shi, Osaka, Japan 571-8501

1. ☒ I hereby verify, to the best of my knowledge, that the enclosed copy of this prior application is a true copy of the above-identified prior application, including the oath or declaration as originally filed.

2. ☐ Preliminary Amendment is enclosed.

3. ☒ An Information Disclosure Statement and PTO1449 Form are submitted herewith.

4. ☐ Cancel claims

5. ☐ Applicant is entitled to claim Small Entity status.

6. The filing fee is calculated on the basis of the claims existing in the prior application as amended above:

	NO. OF CLAIMS		EXTRA CLAIMS	RATE	AMOUNT
Total Claims	15	-20	0	$60.00	$0.00
Independent Claims	1	-3	0	$250.00	$0.00
				Multiple Dependent Claim(s)	$0.00
				Sheets of specification and drawing ($310.00 for each 50 sheets in excess of 100)	$0.00
				Basic Filing Fee	$380.00
				Patent Search Fee	$620.00
				Patent Examination Fee	$250.00
				Total of Above Calculations	$1,250.00
				Less ½ for Small Entity	$0.00
				Assignment & Recording Fee	$0.00
				Total Fee	**$1,250.00**

1. ☒ The Commissioner is hereby authorized to charge fees under 37 CFR 1.16 and 1.17 which may be required, including any extension of time fees or credit any overpayment to Deposit Account No. 500417.

2. ☐ Amend the specification by inserting before the first line the sentence:

3. ☒ Priority of Japanese Application No. **2009-168592** filed on **July 17, 2009,** in Japan and International Application No. **PCT/JP2010/001143** filed **February 22, 2010** designating the U.S. is claimed under 35 USC 119, 120 and/or 365.

4. ☒ The prior application is assigned of record to:

PANASONIC CORPORATION
Osaka, Japan

5. ☒ The power of attorney in the prior application is to:

MAEDA PATENT OFFICE
Osaka, Japan

6. ☒ Also enclosed:

- Executed Declaration and Power of Attorney
- Front Page of International Publication
- PCT Request
- International Search Report
- PCT/IB/301,304
- PCT/ISA/237

7. ☐ A petition, fee and response has been filed to extend the term in the pending prior application until

8. ☒ Address all future communications to: (May only be completed by applicant, or attorney or agent of record)

	McDERMOTT WILL & EMERY LLP
	600 13th Street, N.W.
	Washington, D. C. 20005-3096

Respectfully submitted,

MCDERMOTT WILL & EMERY LLP

Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:ksa
Facsimile: (202) 756-8087
Date: November 11, 2011

SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME

CROSS-REFERENCE TO RELATED APPLICATION

This is a continuation of PCT International Application No. PCT/JP2010/001143 filed on February 22, 2010, which claims priority to Japanese Patent Application No. 2009-168592 filed on July 17, 2009. The disclosures of these applications including the specifications, the drawings, and the claims are hereby incorporated by reference in their entirety.

BACKGROUND

The present disclosure relates to semiconductor devices and methods for fabricating the semiconductor devices, and more particularly to a semiconductor device including a field effect transistor having a gate insulating film including a high-dielectric-constant film (hereinafter referred to as a high-k film), and a method for fabricating the semiconductor device.

With recent increases in integration degree and speed of large scale integrated (LSI) circuits, metal insulator semiconductor (MIS) transistors, which are fundamental elements of the circuits, have been miniaturized according to scaling rules. The scaling rules enable enhanced electrical characteristics of transistors through simultaneous miniaturization of dimensions such as the gate length of gate electrodes and the thickness of gate insulating films in the MIS transistors.

In view of this, a technique using a high-k film instead of a conventional silicon oxynitride film as a material capable of reducing leakage current as well as reducing the equivalent oxide thickness (EOT) of a gate insulating film has been proposed in recent years. In the case of using a high-k film in a gate insulating film, a gate electrode using a

conventional polycrystalline silicon film cannot obtain a desired work function, and the threshold voltage of a transistor cannot be sufficiently reduced. For this reason, a technique using a metal material such as titanium nitride and tantalum nitride for a gate electrode or a material containing lanthanum or aluminium for a gate insulating film is proposed.

A high-k dielectric herein is a material having a relative dielectric constant of about 8 and higher than that of Si_3N_4. Examples of high-k dielectrics include hafnium oxide (HfO_2), zirconium oxide (ZrO_2), and aluminium oxide (Al_2O_3). If such a high-k dielectric is used in a gate insulating film, negative fixed charge generated during fabrication processes is easily trapped in a part of the gate insulating film located immediately under an end of a gate electrode, causing the threshold voltage of an NMIS transistor to increase. This increase in the threshold voltage causes a substantial decrease in a positive voltage applied to the gate electrode, resulting in the problem of a decrease in driving current.

Examples of fabrication processes in which negative fixed charge is generated include the process of forming an offset spacer after processing of a gate electrode. In T. Watanabe et. al, "Impact of Hf concentration on performance and reliability for HfSiON-CMOSFET," IEDM 2004, p. 507, a material for an offset spacer is changed from a conventional silicon oxide film which easily generates negative fixed charge to a silicon nitride film which does not easily generate negative fixed charge, thereby enabling reduction of an increase in the threshold voltage of an NMIS transistor.

SUMMARY

In the case of reducing an introduction of negative fixed charge into a gate insulating film using a silicon nitride film for an offset spacer, however, there arises a problem in which the threshold voltage of a PMIS transistor increases and, thereby, driving current decreases.

In an aspect of the present disclosure, a semiconductor device in which a high-k

dielectric is used in a gate insulating film can eliminate the conventional problem described above, and can reduce the threshold voltages of both an NMIS transistor and a PMIS transistor.

To achieve the object described above, a semiconductor device in an aspect of the present disclosure includes: a substrate including a first active region and a second active region; an NMIS transistor provided on the first active region; and a PMIS transistor provided on the second active region, wherein the NMIS transistor includes a first gate insulating film provided on the first active region and containing a high-k dielectric and a first gate electrode provided on the first gate insulating film and containing a metal material, the PMIS transistor includes a second gate insulating film provided on the second active region and containing a high-k dielectric and a second gate electrode provided on the second gate insulating film and containing a metal material, a side surface of the first gate insulating film is located at an inner side of a side surface of the first gate electrode, and a ratio of a length of the first gate insulating film along a gate length direction to a length of the first gate electrode along the gate length direction is lower than a ratio of a length of the second gate insulating film along the gate length direction to a length of the second gate electrode along the gate length direction.

With this structure, in the first gate insulating film of the NMIS transistor, part of the first gate insulating film doped with negative fixed charge in a fabrication process step (i.e., an end of the first gate insulating film in the fabrication process step) is removed. Thus, an increase in the threshold voltage of the NMIS transistor can be reduced. In addition, in the second gate insulating film of the PMIS transistor, negative fixed charge can be intentionally introduced in a fabrication process step. Thus, an increase in the threshold voltage of the PMIS transistor can also be reduced.

Further, a material having a dielectric constant lower than that of the first gate

insulating film formed under the end of the first gate electrode can reduce the parasitic capacitance.

A side surface of the second gate insulating film may be flush with a side surface of the second gate electrode. Alternatively, a side surface of the second gate insulating film may be located at an inner side of a side surface of the second gate electrode. An end of the second gate insulating film may project from a side surface of the second gate electrode.

A method for fabricating a semiconductor device in an aspect of the present disclosure includes the steps of: (a) forming a first gate insulating film including a high-k dielectric and a first gate electrode including a metal material on a first active region formed in a substrate and forming a second gate insulating film including a high-k dielectric and a second gate electrode including a metal material on a second active region formed in the substrate; (b) introducing negative fixed charge into an end of the first gate insulating film and an end of the second gate insulating film; and (c) removing the end of the first gate insulating film after step (b). Step (b) is preferably performed at the same time as, or after, step (a).

With this method, the negative fixed charge introduced into the second gate insulating film in step (b) can reduce the threshold voltage of the PMIS transistor, and removal of a part of the first gate insulating film doped with the negative fixed charge in step (c) can effectively reduce the threshold voltage of the NMIS transistor.

Further, a first offset spacer of a silicon nitride film may be formed on a side surface of the first gate electrode and a second offset spacer of a silicon nitride film may be formed on a side surface of the second gate electrode, after step (c). In this case, introduction of the negative fixed charge into the first gate insulating film during formation of the offset spacers can be reduced.

As described above, with the method for forming an example semiconductor device

of the present disclosure, introduction of negative fixed charge into the insulating film of the NMIS transistor can be reduced, whereas introduction of negative fixed charge into the insulating film of the PMIS transistor is promoted. As a result, the threshold voltages of both of the NMIS transistor and the PMIS transistor can be reduced.

BRIEF DESCRIPTION OF THE DRAWINGS

FIGS. 1A-1E are cross-sectional views showing a method for fabricating a semiconductor device according to a first embodiment.

FIGS. 2A-2D are cross-sectional views showing the method for fabricating a semiconductor device of the first embodiment.

FIG. 3A is a cross-sectional view showing a method for fabricating a semiconductor device according to a first variation of the first embodiment. FIG. 3B is a cross-sectional view showing a method for fabricating a semiconductor device according to a second variation of the first embodiment.

FIGS. 4A-4D are cross-sectional views showing a method for fabricating a semiconductor device according to a second embodiment.

FIGS. 5A-5C are cross-sectional views showing a method for fabricating a semiconductor device of the second embodiment.

DETAILED DESCRIPTION

(FIRST EMBODIMENT)

A method for fabricating a semiconductor device according to a first embodiment of the present disclosure will be described hereinafter with reference to the drawings. FIGS. 1A-1E and FIGS. 2A-2D are cross-sectional views showing a method for fabricating a semiconductor device according to the first embodiment.

First, as illustrated in FIG. 1A, a p-type region 12a is formed in an NMIS region 50a of a semiconductor substrate 10 of silicon, and an n-type region 12b is formed in a PMIS

region 50b of the semiconductor substrate 10. Then, an isolation region 11 of, for example, shallow trench isolation (STI) is formed in the semiconductor substrate 10, thereby defining a first active region 10a surrounded by the isolation region 11 in the p-type region 12a and a second active region 10b surrounded by the isolation region 11 in the n-type region 12b. The first active region 10a is doped with a p-type impurity such as boron, and the second active region 10b is doped with an n-type impurity such as phosphorus.

Next, as illustrated in FIG. 1B, the semiconductor substrate 10 is oxidized by thermal treatment in an oxidizing atmosphere at about 1000°C, for example, thereby forming a first dielectric film 13 of silicon oxide having a thickness of 1 nm on the semiconductor substrate 10. Subsequently, a second dielectric film 14 of a material, such as HfSiON, containing nitrogen, oxygen, hafnium, and silicon is deposited by chemical vapor deposition (CVD) on the first dielectric film 13 to a thickness of about 2 nm. The second dielectric film 14 is a high-k film. Thereafter, a first gate electrode film 15 of titanium nitride is deposited by CVD on the second dielectric film 14 to a thickness of about 20 nm. Subsequently, a second gate electrode film 16 of polysilicon is deposited by CVD on the first gate electrode film 15 to a thickness of about 80 nm.

Then, as illustrated in FIG. 1C, a resist material is applied onto the second gate electrode film 16, and a resist pattern is formed by lithography. With this resist pattern, anisotropic dry etching is performed on the first gate electrode film 15, the second gate electrode film 16, the first dielectric film 13, and the second dielectric film 14.

In the manner described above, in the NMIS region 50a, a first gate insulating film 17a including a first lower gate insulating film 13a as a part of the first dielectric film 13 and a first upper gate insulating film 14a as a part of the second dielectric film 14, and a first gate electrode 18a including a first lower gate electrode 15a as a part of the first gate electrode film 15 and a first upper gate electrode 16a as a part of the second gate electrode film 16, are

formed. In the PMIS region 50b, a second gate insulating film 17b including a second lower gate insulating film 13b as a part of the first dielectric film 13 and a second upper gate insulating film 14b as a part of the second dielectric film 14, and a second gate electrode 18b including a second lower gate electrode 15b as a part of the first gate electrode film 15 and a second upper gate electrode 16b as a part of the second gate electrode film 16, are formed.

Subsequently, the resist material is removed by ashing. In this process step, an etching gas containing oxygen is used in dry etching or ashing. This etching gas slightly oxidizes parts of the first gate insulating film 17a located immediately under ends of the first gate electrode 18a (i.e., ends of the first gate insulating film 17a) and parts of the second gate insulating film 17b located immediately under ends of the second gate electrode 18b (i.e., ends of the second gate insulating film 17b), thereby introducing negative fixed charge into a region extending to a distance of about 1 nm to about 2 nm from each side surface of the first gate insulating film 17a and the second gate insulating film 17b. In the case of performing dry etching using an etching gas containing oxygen, negative fixed charge is introduced into ends of the first gate insulating film 17a and ends of the second gate insulating film 17b simultaneously with formation of the first gate electrode 18a, the first gate insulating film 17a, the second gate electrode 18b, and the second gate insulating film 17b.

Thereafter, as illustrated in FIG. 1D, a resist material is applied onto the semiconductor substrate 10, and then part of the resist material located on the first active region 10a is removed by lithography. Then, part of the first gate insulating film 17a is selectively wet etched using an aqueous solution containing hydrogen fluoride with the second active region 10b covered with the resist material. In this manner, parts of the first gate insulating film 17a into which the fixed charge has been introduced are removed, resulting in that the ends of the first gate insulating film 17a are located at an inner side of the side surface of the first gate electrode 18a when viewed from above. To effectively remove

the fixed charge, it is preferable to remove parts of the first gate insulating film 17a each extending to a distance of about 1 nm to about 2 nm from the original side surface thereof. Subsequently, the resist material is removed by ashing using a nitrogen gas. The ashing using a nitrogen gas can prevent the fixed charge from being introduced into the first gate insulating film 17a again.

Then, as illustrated in FIG. 1E, a silicon nitride film is deposited by CVD on the semiconductor substrate 10 to a thickness of about 8 nm, and then is subjected to dry etching, thereby forming a first offset spacer 20a on each side surface of the first gate electrode 18a, and a second offset spacer 20b on each side surface of the second gate electrode 18b. At this time, the first offset spacer 20a is also formed on each side surface of the first gate insulating film 17a. Accordingly, the first offset spacer 20a is formed under the ends of the first gate electrode 18a, whereas the second offset spacer 20b is not formed under any of the ends of the second gate electrode 18b.

Subsequently, as illustrated in FIG. 2A, through lithography and ion implantation, arsenic is implanted in the first active region 10a with an implantation energy of, for example, 2 keV at an implantation dose of $1\times10^{15}/cm^2$ with the first gate electrode 18a used as a mask, thereby forming an n-type first extension region 21a in a part of the first active region 10a at each side of the first gate electrode 18a. On the other hand, boron is implanted in the second active region 10b with an implantation energy of, for example, 2 keV at an implantation dose of $1\times10^{15}/cm^2$ with the second gate electrode 18b used as a mask, thereby forming a p-type second extension region 21b in parts of the second active region 10b at the sides of the second gate electrode 18b.

Thereafter, as illustrated in FIG. 2B, with a known method, a first sidewall spacer 22a is formed on each side surface of the first gate electrode 18a with the first offset spacer 20a interposed therebetween. Then, using the first gate electrode 18a and the first sidewall

spacer 22a as masks, ion implantation of an n-type impurity is performed, thereby forming n-type first source/drain regions 23a in parts of the first active region 10a at both sides of the first gate electrode 18a. On the other hand, a second sidewall spacer 22b is formed on each side surface of the second gate electrode 18b with the second offset spacer 20b interposed therebetween. Then, using the second gate electrode 18b and the second sidewall spacer 22b as masks, ion implantation of a p-type impurity is performed, thereby forming p-type second source/drain regions 23b in parts of the second active region 10b at both sides of the second gate electrode 18b.

Then, as illustrated in FIG. 2C, thermal treatment at about 1050°C is performed such that impurities implanted in the extension regions and the source/drain regions are diffused, thereby forming an n-channel MIS transistor (a NMIS transistor) 101 and a p-channel MIS transistor (a PMIS transistor) 102. At this time, an the end of the first extension region 21a coincides with the end of the first gate insulating film 17a (i.e., the boundary between the first gate insulating film 17a and the first offset spacer 20a) or is at a position situated nearer the middle of the first gate electrode 18a in relation to the end of the first gate insulating film 17a (such that the first extension region 21a overlaps the end of the first gate insulating film 17a) when viewed from above.

Thereafter, as illustrated in FIG. 2D, with a known method, a silicide layer 27 containing a silicide material such as nickel is formed on the first gate electrode 18a, the second gate electrode 18b, the first source/drain regions 23a, and the second source/drain regions 23b, and then an interlayer insulating film 25, a contact 24, and an interconnect 26 are formed in this order.

A semiconductor device of this embodiment formed in the foregoing manner includes the NMIS transistor 101 and the PMIS transistor 102.

The NMIS transistor 101 is provided on the first active region 10a, and includes: the

first gate insulating film 17a containing a high-k dielectric; the first gate electrode 18a provided on the first gate insulating film 17a and containing a metal material such as titanium nitride; the first offset spacers 20a provided on the side surfaces of the first gate electrode 18a and the first gate insulating film 17a; the first sidewall spacers 22a provided to the side surfaces of the first gate electrode 18a and the first gate insulating film 17a with the first offset spacers 20a interposed therebetween; and the first extension regions 21a and the first source/drain regions 23a formed in parts of the first active region 10a at both sides of the first gate electrode 18a. The side surfaces of the first gate insulating film 17a are located at inner sides of the respective side surfaces of the first gate electrode 18a when viewed from above.

The PMIS transistor 102 is provided on the second active region 10b, and includes: the second gate insulating film 17b containing a high-k dielectric; the second gate electrode 18b provided on the second gate insulating film 17b and containing a metal material such as titanium nitride; the second offset spacers 20b provided on the side surfaces of the second gate electrode 18b and the second gate insulating film 17b; the second sidewall spacers 22b provided to the side surfaces of the second gate electrode 18b and the second gate insulating film 17b with the second offset spacers 20b interposed therebetween; and the second extension regions 21b and the second source/drain regions 23b formed in parts of the second active region 10b at both sides of the second gate electrode 18b.

In the semiconductor device of this embodiment, the side surfaces of the first gate insulating film 17a are located at inner sides of the respective side surfaces of the first gate electrode 18a when viewed from above. In addition, the ratio of the width (i.e., the length along the gate length direction) of the first gate insulating film 17a to the width (i.e., the length along the gate length direction) of the first gate electrode 18a, i.e., (the width of the first gate insulating film 17a)/(the width of the first gate electrode 18a), is lower than the ratio of the width (i.e., the length along the gate length direction) of the second gate insulating film

17b to the width (i.e., the length along the gate length direction) of the second gate electrode 18b, i.e., (the width of the second gate insulating film 17b)/(the width of the second gate electrode 18b). Further, part of the second gate insulating film 17b located immediately under the end of the second gate electrode 18b (i.e., the end of the second gate insulating film 17b) is doped with a larger amount of negative fixed charge than the end of the first gate insulating film 17a. Each of the side surfaces of the second gate insulating film 17b is substantially flush with an associated one of the side surfaces of the second gate electrode 18b.

The structure in which the first offset spacers 20a of a material (e.g., silicon nitride) having a dielectric constant lower than that of the first gate insulating film 17a are formed under the ends of the first gate electrode 18a can reduce parasitic capacitance.

With the foregoing method of this embodiment, negative fixed charge is intentionally generated in the second gate insulating film 17b of the PMIS transistor 102 in the process step shown in FIG. 1C. Accordingly, the threshold voltage of the PMIS transistor 102 can be reduced.

Since part of the first gate insulating film 17a of the NMIS transistor 101 in which negative fixed charge has been generated is removed in the process step shown in FIG. 1D, an influence of the negative fixed charge is reduced, thereby reducing an increase in the threshold voltage of the NMIS transistor 101. As a result, a decrease in driving current can be reduced.

A high-k material contained in the first upper gate insulating film 14a and the second upper gate insulating film 14b may be other high-melting-point materials. The metal material contained in the first lower gate electrode 15a and the second lower gate electrode 15b is not limited to titanium nitride.

FIG. 3A is a cross-sectional view showing a method for fabricating a semiconductor

device according to a first variation of this embodiment. FIG. 3B is a cross-sectional view showing a method for fabricating a semiconductor device according to a second variation of this embodiment.

As illustrated in FIG. 3A, dry etching for forming the first gate insulating film 17a, the second gate insulating film 17b, the first gate electrode 18a, and the second gate electrode 18b may be a combination of anisotropic dry etching and isotropic dry etching in the process step shown in FIG. 1C such that the ends of the first gate insulating film 17a project from the respective side surfaces of the first gate electrode 18a and the ends of the second gate insulating film 17b project from the respective side surfaces of the second gate electrode 18b. In this case, part of the first gate insulating film 17a where negative fixed charge has been generated can be effectively removed by selectively removing the ends of the first gate insulating film 17a through wet etching in a manner similar to the process step shown in FIG. 1D. The structure obtained with this method differs from the structure shown in FIG. 2D in that the ends of the second gate insulating film 17b project from the respective side surfaces of the second gate electrode 18b.

In addition, as illustrated in FIG. 3B, wet etching with ammonia-hydrogen peroxide mixture cleaning may be performed in order to facilitate removal of the resist material in ashing in the process step shown in FIG. 1D such that the first gate insulating film 17a is recessed from the side surfaces of the first gate electrode 18a and the second gate insulating film 17b is recessed from the side surfaces of the second gate electrode 18b. The structure obtained with this method differs from the structure shown in FIG. 2D in that the side surfaces of the second gate insulating film 17b are located at inner sides of the respective side surfaces of the second gate electrode 18b when viewed from above. In this case, however, the ratio of the width of the first gate insulating film 17a to the width of the first gate electrode 18a is also lower than the ratio of the width of the second gate insulating film 17b to

the width of the second gate electrode 18b.

(SECOND EMBODIMENT)

A method for fabricating a semiconductor device according to a second embodiment of the present disclosure will be described hereinafter with reference to the drawings. FIGS. 4A-4D and FIGS. 5A-5C are cross-sectional views showing a method for fabricating a semiconductor device according to the second embodiment.

First, as illustrated in FIG. 4A, a p-type region 12a is formed in an NMIS region 50a of a semiconductor substrate 10 of silicon, and an n-type region 12b is formed in a PMIS region 50b of the semiconductor substrate 10. Then, an isolation region 11 of, for example, shallow trench isolation (STI) is formed in the semiconductor substrate 10, thereby defining a first active region 10a surrounded by the isolation region 11 in the p-type region 12a and a second active region 10b surrounded by the isolation region 11 in the n-type region 12b. The first active region 10a is doped with a p-type impurity such as boron, and the second active region 10b is doped with an n-type impurity such as phosphorus.

Next, as illustrated in FIG. 4B, the semiconductor substrate 10 is oxidized by thermal treatment in an oxidizing atmosphere at about 1000°C, for example, thereby forming a first dielectric film 13 of silicon oxide having a thickness of 1 nm on the semiconductor substrate 10. Subsequently, a second dielectric film (a high-k film) 14 containing nitrogen, oxygen, hafnium, and silicon is deposited by CVD on the first dielectric film 13 to a thickness of about 2 nm.

Then, as illustrated in FIG. 4C, CVD, lithography, and wet etching are repeatedly performed, thereby forming lanthanum on the second dielectric film 14 above the first active region 10a and aluminium on the second dielectric film 14 above the second active region 10b. Then, thermal treatment is performed at about 700°C, thereby diffusing lanthanum and aluminium in the second dielectric film 14. Accordingly, a third dielectric film 34a

containing lanthanum is formed above the first active region 10a, and a fourth dielectric film 34b containing aluminium is formed above the second active region 10b.

Thereafter, as illustrated in FIG. 4D, a first gate electrode film 15 of titanium nitride is deposited by CVD on the third dielectric film 34a and the fourth dielectric film 34b to a thickness of about 20 nm. Subsequently, a second gate electrode film 16 of polysilicon is deposited by CVD on the first gate electrode film 15 to a thickness of about 80 nm.

Subsequently, as illustrated in FIG. 5A, a resist material is applied onto the second gate electrode film 16, and a resist pattern is formed by lithography. With this resist pattern, anisotropic dry etching is performed on the first gate electrode film 15, the second gate electrode film 16, the first dielectric film 13, the third dielectric film 34a, and the fourth dielectric film 34b.

In the manner described above, in the NMIS region 50a, a first gate insulating film 17a including a first lower gate insulating film 13a as a part of the first dielectric film 13 and a first upper gate insulating film 35a as a part of the third dielectric film 34a, and a first gate electrode 18a including a first lower gate electrode 15a as a part of the first gate electrode film 15 and a first upper gate electrode 16a as a part of the second gate electrode film 16, are formed. In the PMIS region 50b, a second gate insulating film 17b including a second lower gate insulating film 13b as a part of the first dielectric film 13 and a second upper gate insulating film 35b as a part of the fourth dielectric film 34b, and a second gate electrode 18b including a second lower gate electrode 15b as a part of the first gate electrode film 15 and a second upper gate electrode 16b as a part of the second gate electrode film 16, are formed.

Then, the resist material is removed by ashing. In this process step, an etching gas containing oxygen is used in dry etching or ashing. This etching gas slightly oxidizes parts of the first gate insulating film 17a located immediately under ends of the first gate electrode 18a (i.e., ends of the first gate insulating film 17a) and parts of the second gate insulating film

17b located immediately under ends of the second gate electrode 18b (i.e., ends of the second gate insulating film 17b), thereby introducing negative fixed charge into a region extending to a distance of about 1 nm to about 2 nm from each side surface of the first gate insulating film 17a and the second gate insulating film 17b.

Thereafter, as illustrated in FIG. 5B, the first gate insulating film 17a is selectively wet etched using an aqueous solution containing hydrochloric acid, thereby removing parts (i.e., ends) of the first gate insulating film 17a into which the fixed charge has been introduced such that the side surface of the first gate insulating film 17a is located at an inner side of the side surface of the first gate electrode 18a when viewed from above. To effectively remove the fixed charge, it is preferable to remove parts of the first gate insulating film 17a each extending to a distance of about 1 nm to about 2 nm from the original side surface thereof. In this process step, the use of the aqueous solution containing hydrochloric acid enables selective removal of the first gate insulating film 17a containing lanthanum. Thus, formation of a mask is unnecessary.

Then, as illustrated in FIG. 5C, a silicon nitride film is deposited by CVD on the semiconductor substrate 10 to a thickness of about 8 nm, and then is subjected to dry etching, thereby forming a first offset spacer 20a and a second offset spacer 20b. Subsequently, through lithography and ion implantation, arsenic is implanted in the first active region 10a with an implantation energy of, for example, 2 keV at an implantation dose of $1\times10^{15}/cm^2$ with the first gate electrode 18a used as a mask, thereby forming an n-type first extension region 21a in a part of the first active region 10a at each side of the first gate electrode 18a. On the other hand, boron is implanted in the second active region 10b with an implantation energy of, for example, 2 keV at an implantation dose of $1\times10^{15}/cm^2$ with the second gate electrode 18b used as a mask, thereby forming a p-type second extension region 21b in a part of the second active region 10b at each side of the second gate electrode 18b.

Subsequently, with a known method, a first sidewall spacer 22a is formed on each side surface of the first gate electrode 18a with the first offset spacer 20a interposed therebetween. Then, using the first gate electrode 18a and the first sidewall spacer 22a as masks, ion implantation of an n-type impurity is performed, thereby forming n-type first source/drain regions 23a in parts of the first active region 10a at both sides of the first gate electrode 18a. On the other hand, a second sidewall spacer 22b is formed on each side surface of the second gate electrode 18b with the second offset spacer 20b interposed therebetween. Then, using the second gate electrode 18b and the second sidewall spacer 22b as masks, ion implantation of a p-type impurity is performed, thereby forming p-type second source/drain regions 23b in parts of the second active region 10b at both sides of the second gate electrode 18b.

Then, thermal treatment at about 1050°C is performed such that impurities implanted in the extension regions and the source/drain regions are diffused, thereby forming an NMIS transistor 101 and a PMIS transistor 102. At this time, the end of the first extension region 21a coincides with the end of the first gate insulating film 17a (i.e., the boundary between the first gate insulating film 17a and the first offset spacer 20a) or is at a position situated nearer the middle of the first gate electrode 18a in relation to the end of the first gate insulating film 17a (such that the first extension region 21a overlaps the end of the first gate insulating film 17a) when viewed from above.

Thereafter, with a known method, a silicide layer 27 containing a silicide material such as nickel is formed on the first gate electrode 18a, the second gate electrode 18b, the first source/drain regions 23a, and the second source/drain regions 23b, and then an interlayer insulating film 25, a contact 24, and an interconnect 26 are formed in this order.

With the method of this embodiment, the gate insulating film contains lanthanum and aluminium, thus reducing the threshold voltages of the NMIS transistor and the PMIS

transistor. As a result, damage on the ends of the gate insulating film can be minimized.

In the foregoing description, the high-k material for the gate insulating film contains hafnium, as an example. However, the present disclosure is not limited to this example, and other high-k materials such as aluminium oxide, zirconium oxide, and tantalum oxide may be used in the same manner. Further, multiple ones of such high-k materials may be used such that a gate insulating film having a high dielectric constant is made of a compound high-k film containing a plurality of high-k materials.

In the foregoing description, titanium nitride is used for the metal material for forming the gate electrode, as an example. However, the present disclosure is not limited to this example. The gate electrode (i.e., the lower gate electrode) may be made of a metal film or a metal compound film containing tantalum, molybdenum, aluminium, carbon, nitrogen, or silicon, for example,.

In the foregoing description, silicon nitride is used as a material for the offset spacers, as an example. However, the present disclosure is not limited to this example. An insulating material including boron, carbon, and silicon may be used as long as no negative fixed charge is introduced in the gate insulating film.

As described above, the present disclosure is useful for a method for forming a transistor having a low threshold voltage, for example.

CLAIMS

What is claimed is:

1. A semiconductor device, comprising:

a substrate including a first active region and a second active region;

an NMIS transistor provided on the first active region; and

a PMIS transistor provided on the second active region, wherein

the NMIS transistor includes a first gate insulating film provided on the first active region and containing a high-k dielectric and a first gate electrode provided on the first gate insulating film and containing a metal material,

the PMIS transistor includes a second gate insulating film provided on the second active region and containing a high-k dielectric and a second gate electrode provided on the second gate insulating film and containing a metal material,

a side surface of the first gate insulating film is located at an inner side of a side surface of the first gate electrode, and

a ratio of a length of the first gate insulating film along a gate length direction to a length of the first gate electrode along the gate length direction is lower than a ratio of a length of the second gate insulating film along the gate length direction to a length of the second gate electrode along the gate length direction.

2. The semiconductor device of claim 1, wherein the NMIS transistor further includes an n-type first extension region formed in a part of the first active region located at each side of the first gate electrode,

the PMIS transistor further includes a p-type second extension region formed in a part of the second active region located at each side of the second gate electrode, and

an end of the first extension region coincides with an end of the first gate insulating

film or is at a position situated nearer a middle of the first gate electrode in relation to the end of the first gate insulating film.

3. The semiconductor device of claim 2, wherein the NMIS transistor further includes a first offset spacer of silicon nitride provided on a side surface of the first gate electrode and a side surface of the first gate insulating film, and

the PMIS transistor further includes a second offset spacer of silicon nitride provided on a side surface of the second gate electrode and a side surface of the second gate insulating film.

4. The semiconductor device of claim 1, wherein the first gate insulating film contains lanthanum, and

the second gate insulating film contains aluminium.

5. The semiconductor device of claim 1, wherein the first gate electrode includes a first lower gate electrode provided on the first gate insulating film and made of a metal or a metal compound and a first upper gate electrode provided on the first lower gate electrode and made of polysilicon, and

the second gate electrode includes a second lower gate electrode provided on the second gate insulating film and made of a metal or a metal compound and a second upper gate electrode provided on the second lower gate electrode and made of polysilicon.

6. The semiconductor device of claim 1, wherein an end of the second gate insulating film is doped with a larger amount of fixed charge than an end of the first gate insulating film.

7. The semiconductor device of claim 1, wherein a side surface of the second gate insulating film is flush with a side surface of the second gate electrode.

8. The semiconductor device of claim 1, wherein a side surface of the second gate insulating film is located at an inner side of a side surface of the second gate electrode.

9. The semiconductor device of claim 1, wherein an end of the second gate insulating film projects from a side surface of the second gate electrode.

10. The semiconductor device of claim 1, wherein the high-k dielectric has a relative dielectric constant higher than that of Si_3N_4.

11. The semiconductor device of claim 1, wherein the first gate insulating film includes a first lower gate insulating film provided on the first active region and a first upper gate insulating film provided on the first lower gate insulating film and made of the high-k dielectric, and

the second gate insulating film includes a second lower gate insulating film provided on the second active region and a second upper gate insulating film provided on the second lower gate insulating film and made of the high-k dielectric.

12. The semiconductor device of claim 11, wherein the first lower gate insulating film and the second lower gate insulating film are made of a first dielectric film of silicon oxide, and

the first upper gate insulating film and the second upper gate insulating film are made of a second dielectric film of a high-k material containing hafnium.

13. The semiconductor device of claim 1, wherein the metal material is made of titanium nitride.

14. The semiconductor device of claim 1, wherein the metal material is made of one of a metal film or a metal compound film, and

each of the metal film and the metal compound film contains at least a material selected from the group consisting of tantalum, molybdenum, aluminium, carbon, nitrogen, and silicon.

15. The semiconductor device of claim 1, further comprising:

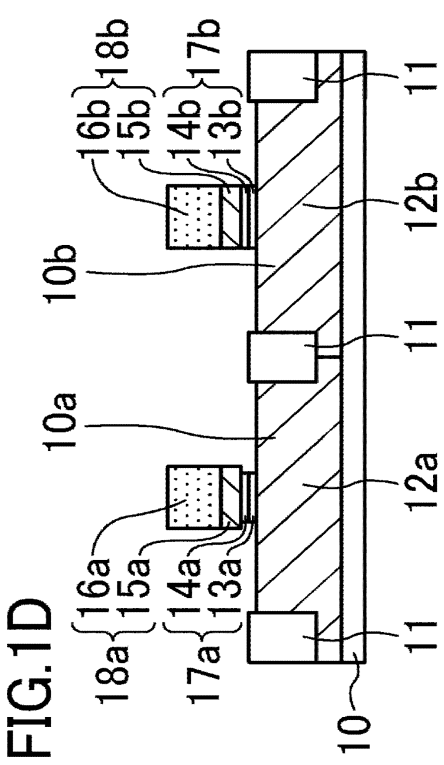
a first offset spacer provided on a side surface of the first gate electrode; and

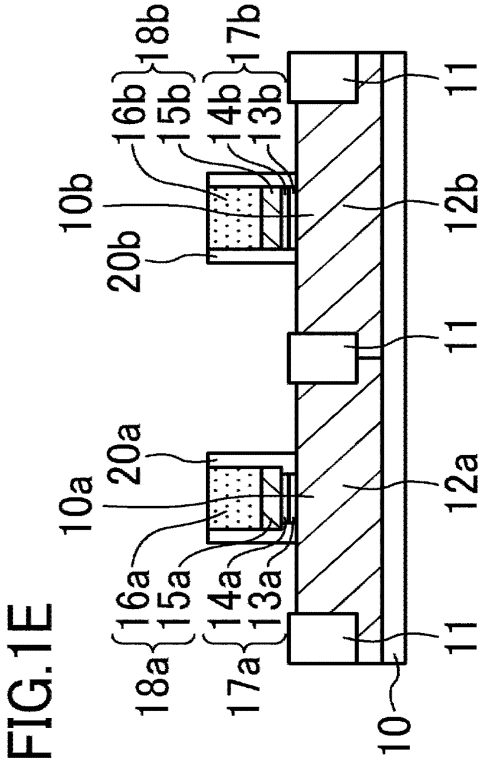
a second offset spacer provided on a side surface of the second gate electrode, wherein

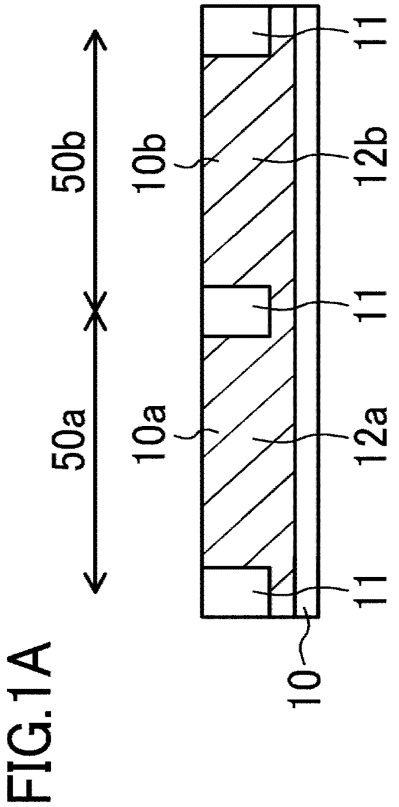
a part of the first offset spacer is located under an end of the first gate electrode, and the second offset spacer is not located under an end of the second gate electrode.

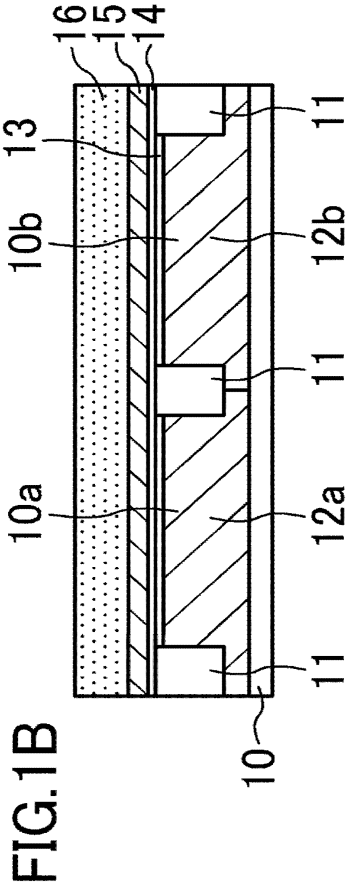
ABSTRACT

A semiconductor device includes an NMIS transistor including a first gate insulating film containing a high-k dielectric and a first gate electrode provided on the first gate insulating film and containing a metal material and a PMIS transistor including a second gate insulating film containing a high-k dielectric and a second gate electrode provided on the second gate insulating film and containing a metal material. A side surface of the first gate insulating film is located at an inner side of a side surface of the first gate electrode. A ratio of a length of the first gate insulating film along a gate length direction to a length of the first gate electrode along the gate length direction is lower than a ratio of a length of the second gate insulating film along the gate length direction to a length of the second gate electrode along the gate length direction.


FIG.1D
10
11
12a
12b
10a
10b
16a
15a
14a
13a
18a
17a
16b
15b
14b
13b
18b
17b


FIG.1E
10
11
12a
12b
10a
10b
20a
20b
16a
15a
14a
13a
18a
17a
16b
15b
14b
13b
18b
17b


FIG.1A
50a
50b
10
11
12a
12b
10a
10b


FIG.1B
10
11
12a
12b
10a
10b
13
14
15
16

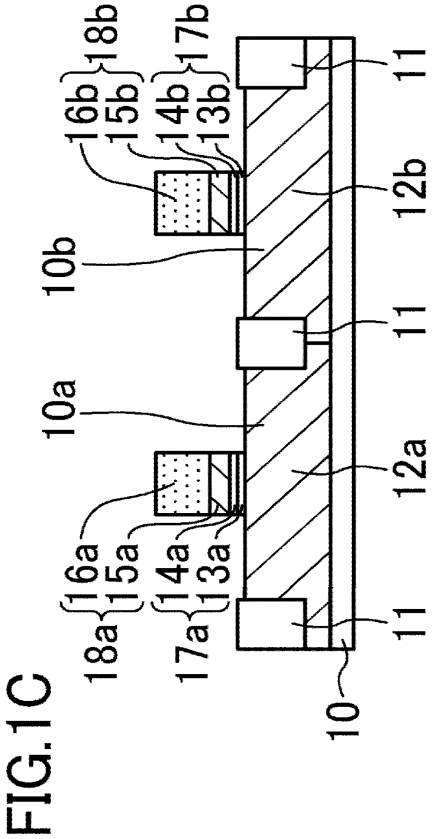

FIG.1C
10
11
12a
12b
10a
10b
16a
15a
14a
13a
18a
17a
16b
15b
14b
13b
18b
17b

FIG.2A

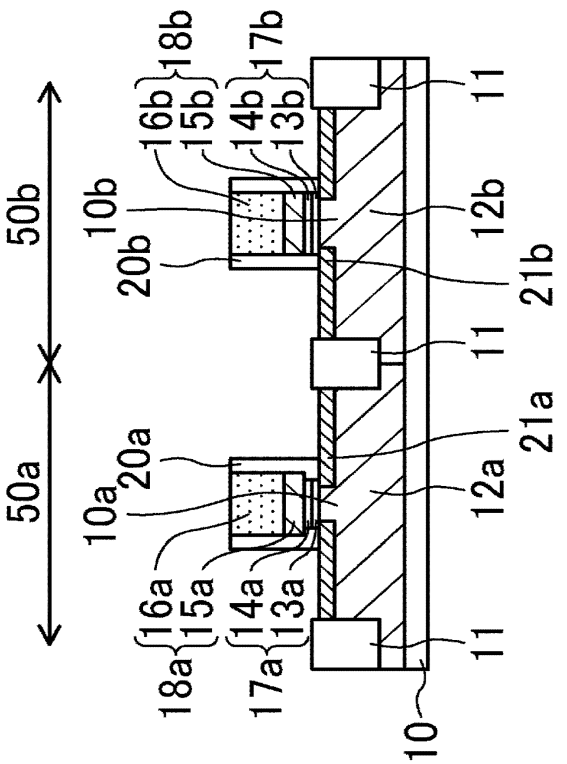


FIG.2B

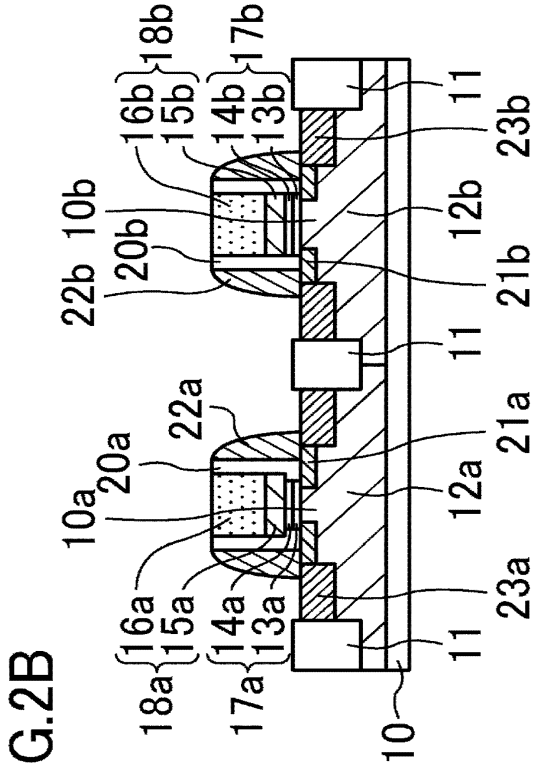


FIG.2C

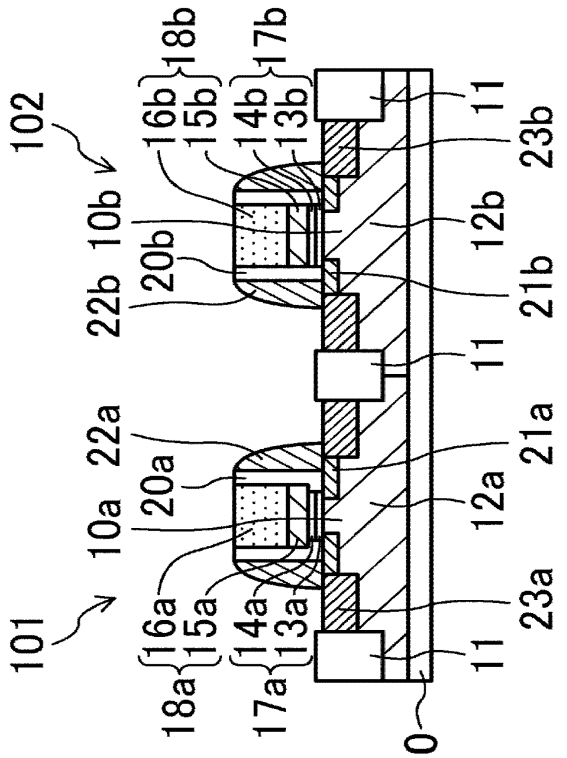


FIG.2D

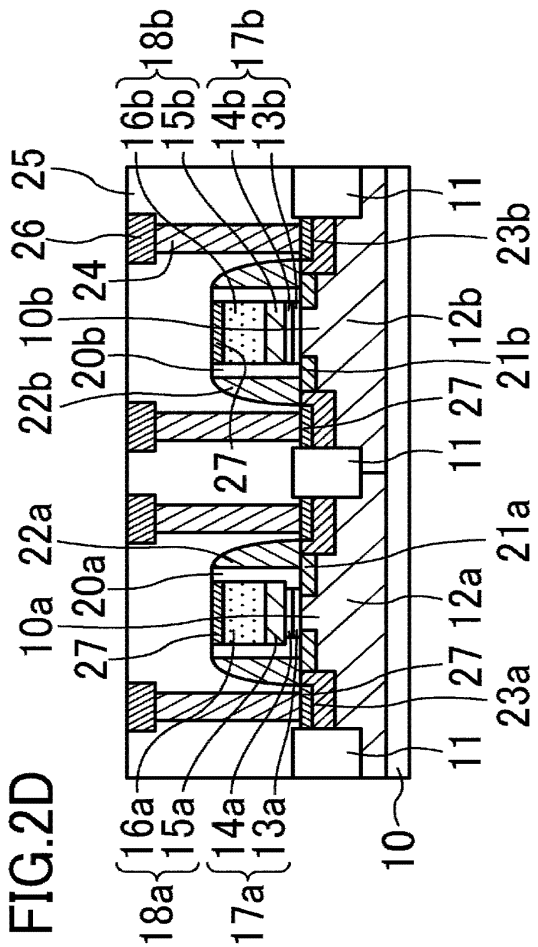


FIG.3A

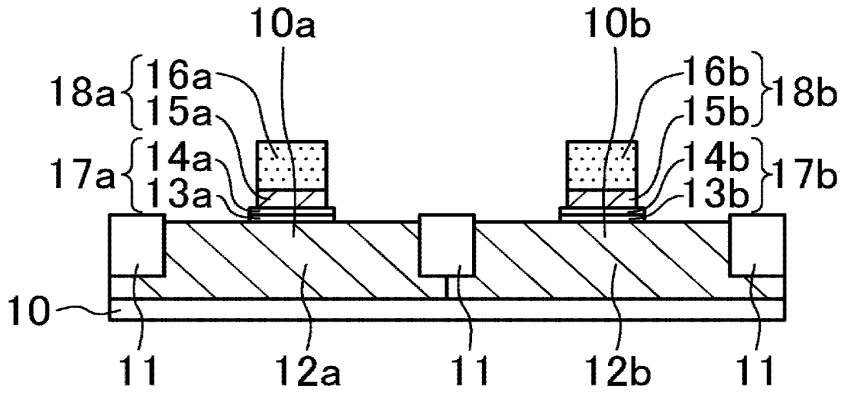

10a
10b
18a
16a
15a
16b
15b
18b
17a
14a
13a
14b
13b
17b
10
11
12a
11
12b
11

FIG.3B

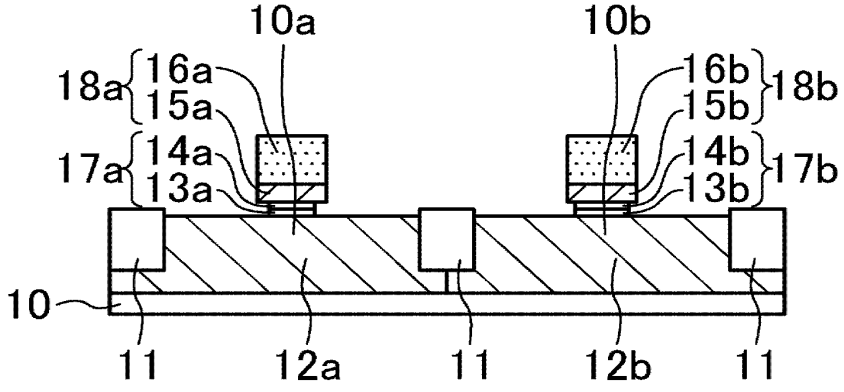

10a
10b
18a
16a
15a
16b
15b
18b
17a
14a
13a
14b
13b
17b
10
11
12a
11
12b
11

FIG.4A

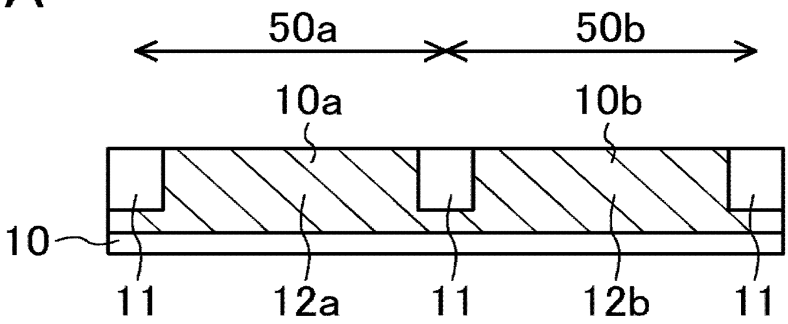


FIG.4B

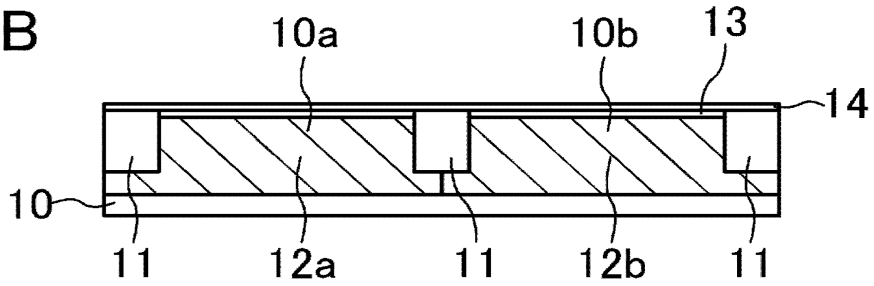


FIG.4C

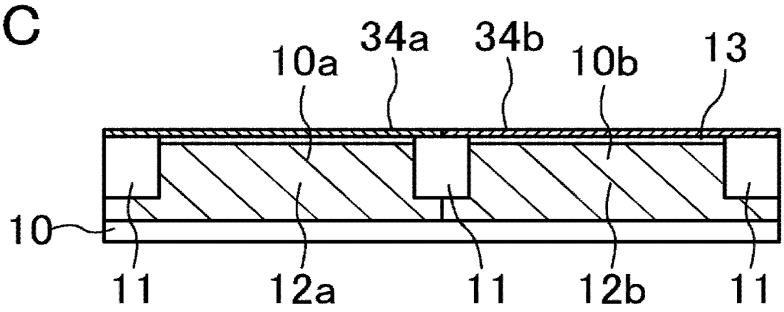


FIG.4D

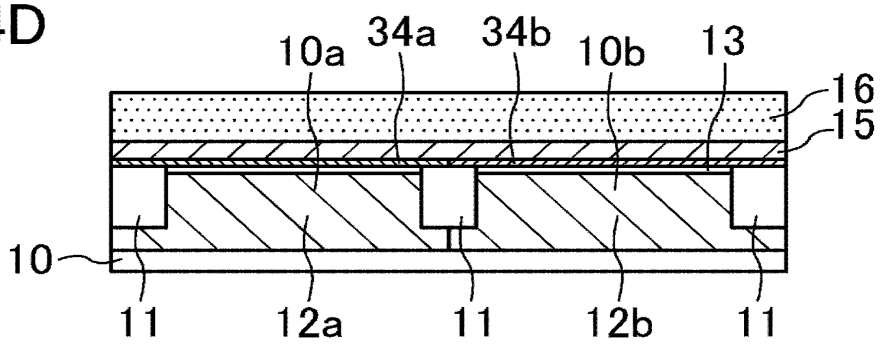


FIG.5A

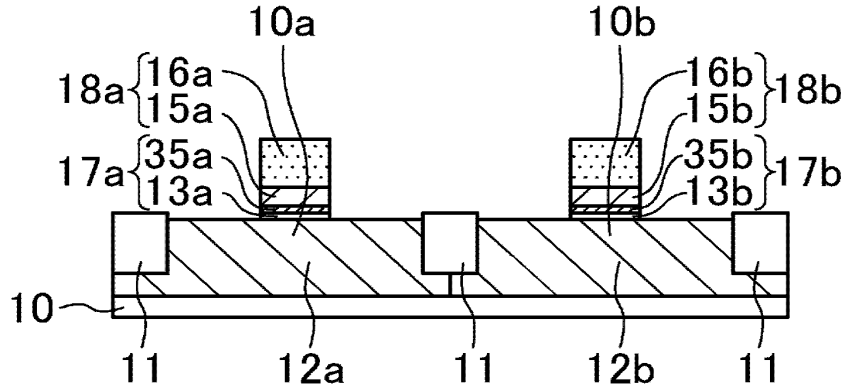


FIG.5B

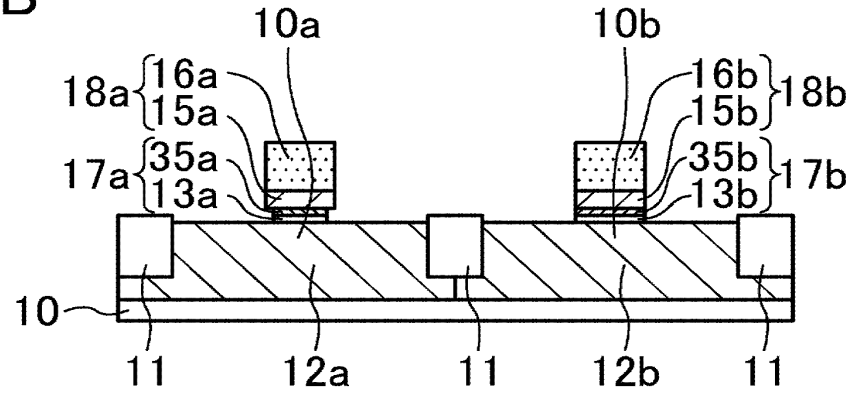
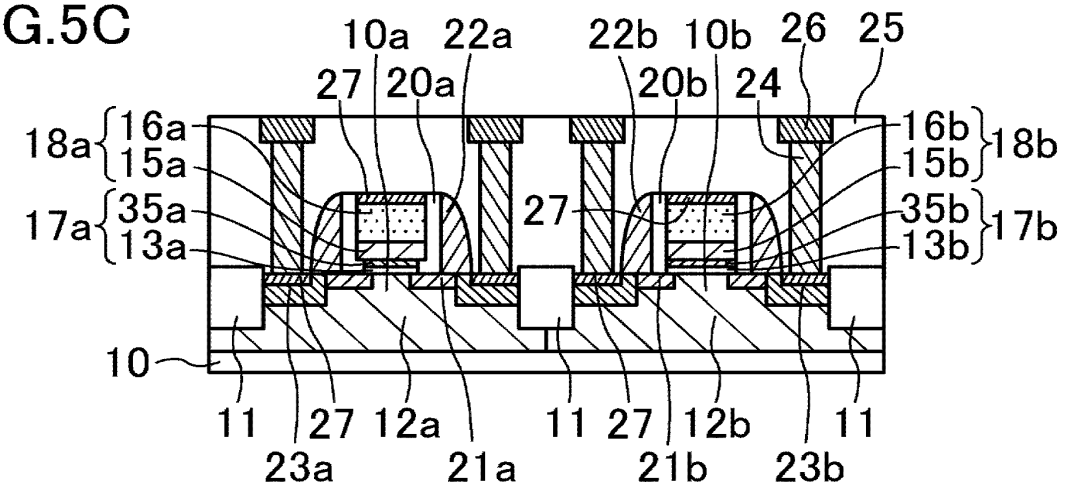


FIG.5C



Panasonic Ref*: P055570-01 **Application Serial No.**
(must be filled)*
Japan Firm Name: MAEDA PATENT OFFICE Japan Firm Ref: M10-TJ043US1

US Firm Name: MWE US Firm Ref:

DECLARATION AND POWER OF ATTORNEY FOR U.S. PATENT APPLICATION

(a) ■ Original (b) ☐ Supplemental (c) ☐ Substitute (d) ☐ PCT (e) ☐ Design

As a below named inventor, I hereby declare that: my residence, post office address and citizenship are as stated below next to my name; and I believe that I am the original, first and sole inventor (if only one name is listed below) or an original, first and joint inventor (if plural inventors are named below) of the subject matter which is claimed and for which a patent is sought on the invention entitled:

Title of Invention:

SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME

which is described and claimed in *(if the following box is not checked, the specification of which is attached hereto):*

1. For use when submitting this Declaration prior to U.S. application filing date				
(f) ■ the attached specification, or				
2. For use when submitting this Declaration after U.S. application filing date				
(g) ☐ the specification in the U.S. Application:	Application No. *(if available)*		filed on: *(must be filled)*	
	and with amendments (if applicable):		filed on	,or
3. For PCT-US national entry under 35 U.S.C. 371 (for use when filing this Declaration before and after the U.S. national entry date)				
(h) ☐ the specification in the International Application:	PCT Application No.		filed on: *(PCT filing date)*	
(Check here only for US national entry under 35 U.S.C. 371.)	and with amendments (if applicable):		filed on:	,

I hereby state that I have reviewed and understand the contents of the above-identified specification, including the claims, as amended by any amendment(s) referred to above.

I acknowledge my duty to disclose to the U.S. Patent and Trademark Office all information known to me to be material to patentability as defined in Title 37, Code of Federal Regulations, §1.56.

I hereby claim foreign priority benefits under Title 35, United States Code, §119 (a-d), §172, or §365(b) of any foreign application(s) for patent or inventor's certificate, or §365(a) of any PCT international application which designated at least one country other than the United States of America, listed below, and have also identified below any foreign application for patent or inventor's certificate, or of any PCT international application having a filing date before that of the application on which priority is claimed:

(Foreign Priority Information)

COUNTRY	APPLICATION NO.	DATE OF FILING	PRIORITY CLAIMED
JAPAN	**2009-168592**	**July 17, 2009**	**Yes**

☐ Additional foreign or international application numbers are listed on a supplemental priority sheet attached hereto.

I hereby claim the benefit under Title 35, United States Code §119(e) of any United States Provisional application(s) listed below.

(US Provisional Application Information)

APPLICATION NO.	U.S. PROVISIONAL APPLICATION FILING DATE

□ Additional U.S. provisional application numbers are listed on a supplemental priority sheet attached hereto.

I hereby claim the benefit under Title 35, United States Code §120 of any United States application(s), or §365(C) of any PCT international application designating the United States of America, listed below and, insofar as the subject matter of each of the claims of this application is not disclosed in the prior United States or PCT international application in the manner provided by the first paragraph of Title 35, United States Code §112, I acknowledge the duty to disclose information material to patentability as defined in Title 37, Code of Federal Regulations, §1.56 which occurred between the filing date of the prior application and the national or PCT international filing date of this application.

(Domestic Priority Information)

APPLICATION NO.	U.S. FILING DATE	STATUS: PATENTED, PENDING, ABANDONED
PCT/JP2010/001143	February 22, 2010	PENDING

□ Additional U.S. or international application numbers are listed on a supplemental priority sheet attached hereto.

POWER OF ATTORNEY: As a named inventor, I hereby appoint the attorneys and agents associated with the U.S. Patent and Trademark Office Customer Number identified below to prosecute this application including divisions, continuations and reissues thereof in the United States and to transact all business in the U.S. Patent and Trademark Office connected therewith, and direct that all correspondence be addressed to that customer number.

I hereby authorize the U.S. attorneys and agents associated with the customer number to accept and follow instructions from Panasonic Corporation and any affiliated or subsidiary company thereof, received via their corporate representatives and/or their foreign patent attorneys or agents, if any, as to any action to be taken in the U.S. Patent and Trademark Office regarding this application without direct communication between the U.S. attorneys or agents and myself.

Power of Attorney given to practitioners associated with, and direct Correspondence to:

CUSTOMER NUMBER 53080

I further declare that all statements made herein of my own knowledge are true, and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code, and that such willful false statements may jeopardize the validity of the application or any patent issuing thereon.

INVENTOR (s)

Full Name of Sole or First Inventor	FIRST NAME: Tomohiro	LAST NAME: FUJITA	SIGNATURE: Tomohiro Fujita	DATE OF SIGNATURE: Oct. 6, 2011
Residence & Citizenship	CITY, STATE or COUNTRY: Toyama, Japan			CITIZENSHIP: JAPAN
Post office address	ADDRESS: c/o Panasonic Corporation, 1006, Oaza Kadoma, Kadoma-shi, Osaka, Japan 571-8501	CITY	STATE OR COUNTRY	ZIP CODE

Full Name of Second Inventor	FIRST NAME: Junji	LAST NAME: HIRASE	SIGNATURE: Junji Hirase	DATE OF SIGNATURE: Oct. 7, 2011
Residence & Citizenship	CITY, STATE or COUNTRY: Toyama, Japan			CITIZENSHIP: JAPAN
Post office address	ADDRESS: c/o Panasonic Corporation, 1006, Oaza Kadoma, Kadoma-shi, Osaka, Japan 571-8501	CITY	STATE OR COUNTRY	ZIP CODE

Total of 3 pages are submitted.

INVENTOR (s)

Full Name of Third Inventor	FIRST NAME	LAST NAME	SIGNATURE	DATE OF SIGNATURE
	Yoshihiro	SATO	Yoshihiro Sato	Oct. 7, 2011
Residence & Citizenship	CITY, STATE or COUNTRY			CITIZENSHIP
	Toyama, Japan			JAPAN
Post office address	ADDRESS	CITY	STATE OR COUNTRY	ZIP CODE
	c/o Panasonic Corporation, 1006, Oaza Kadoma, Kadoma-shi, Osaka, Japan 571-8501			

Full Name of Fourth Inventor	FIRST NAME	LAST NAME	SIGNATURE	DATE OF SIGNATURE
Residence & Citizenship	CITY, STATE or COUNTRY			CITIZENSHIP
Post office address	ADDRESS	CITY	STATE OR COUNTRY	ZIP CODE

Full Name of Fifth Inventor	FIRST NAME	LAST NAME	SIGNATURE	DATE OF SIGNATURE
Residence & Citizenship	CITY, STATE or COUNTRY			CITIZENSHIP
Post office address	ADDRESS	CITY	STATE OR COUNTRY	ZIP CODE

Full Name of Sixth Inventor	FIRST NAME	LAST NAME	SIGNATURE	DATE OF SIGNATURE
Residence & Citizenship	CITY, STATE or COUNTRY			CITIZENSHIP
Post office address	ADDRESS	CITY	STATE OR COUNTRY	ZIP CODE

Full Name of Seventh Inventor	FIRST NAME	LAST NAME	SIGNATURE	DATE OF SIGNATURE
Residence & Citizenship	CITY, STATE or COUNTRY			CITIZENSHIP
Post office address	ADDRESS	CITY	STATE OR COUNTRY	ZIP CODE

Full Name of Eighth Inventor	FIRST NAME	LAST NAME	SIGNATURE	DATE OF SIGNATURE
Residence & Citizenship	CITY, STATE or COUNTRY			CITIZENSHIP
Post office address	ADDRESS	CITY	STATE OR COUNTRY	ZIP CODE

□ Check if additional paper(s) is/are attached. Total of 3 pages are submitted.