



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201203377 A1

(43)公開日：中華民國 101 (2012) 年 01 月 16 日

(21)申請案號：099123277

(22)申請日：中華民國 99 (2010) 年 07 月 15 日

(51)Int. Cl.：

H01L21/336 (2006.01)

H01L21/28 (2006.01)

H01L29/78 (2006.01)

(71)申請人：聯華電子股份有限公司 (中華民國) UNITED MICROELECTRONICS CORP. (TW)
新竹市新竹科學工業園區力行二路 3 號

(72)發明人：魏銘德 WEI, MING TE (TW)；吳文成 WU, WEN CHEN (TW)；郭龍恩 KUO, LUNG EN (TW)；曹博昭 TSAO, PO CHAO (TW)

(74)代理人：吳豐任；戴俊彥

申請實體審查：無 申請專利範圍項數：14 項 圖式數：6 共 22 頁

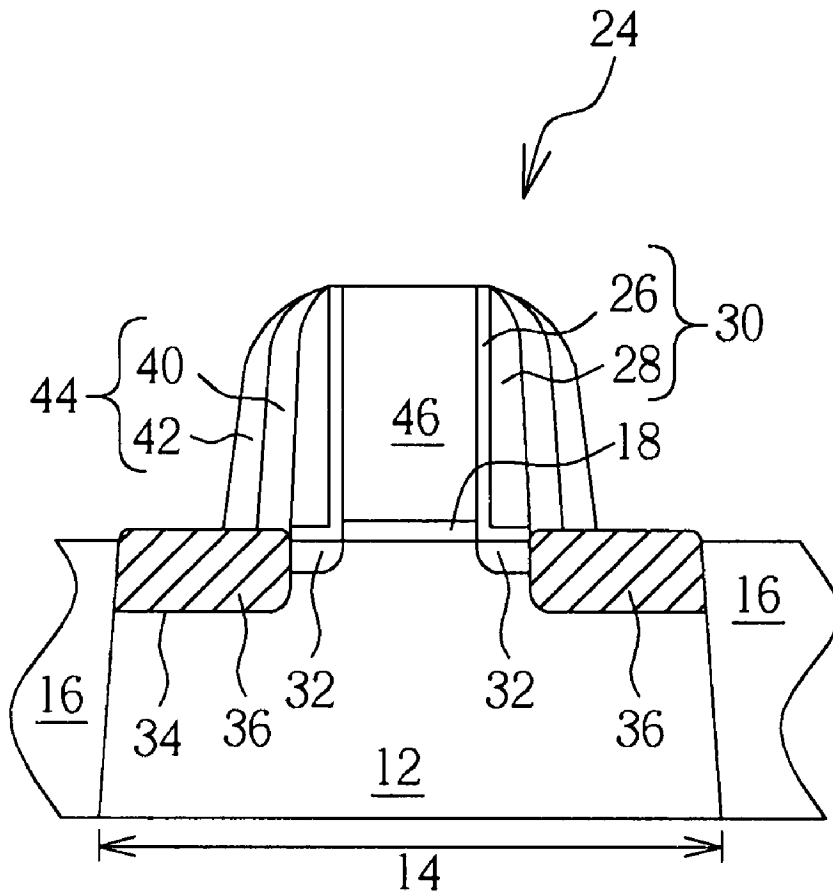
(54)名稱

金氧半導體電晶體及其製作方法

METAL-OXIDE SEMICONDUCTOR TRANSISTOR AND METHOD FOR FABRICATING THE SAME

(57)摘要

本發明是揭露一種製作金氧半導體電晶體的方法。首先提供一半導體基底，然後形成一矽層於該半導體基底表面。接著對該矽層進行一第一微影暨蝕刻製程，以形成一閘極圖案，隨後形成一磊晶層於閘極圖案兩側之半導體基底中，再對閘極圖案進行一第二微影暨蝕刻製程，以於閘極圖案中形成至少一開口(slot)並藉此開口將閘極圖案實體分離以形成二閘極。



- 12：半導體基底
- 14：主動區域
- 16：淺溝隔離
- 18：閘極絕緣層
- 24：閘極
- 26：氧化矽層
- 28：氮化矽層
- 30：第一側壁子
- 32：輕摻雜汲極
- 34：凹槽
- 36：磊晶層
- 40：氧化矽層
- 42：氮化矽層
- 44：第二側壁子
- 46：閘極

六、發明說明：

【發明所屬之技術領域】

本發明是關於一種製作金氧半導體電晶體的方法，尤指一種於定義多晶矽開口(polysilicon slot)之前形成磊晶層的方法。

【先前技術】

在半導體產業中，由於多晶矽材料具有抗熱性質，因此在製作典型金屬氧化物半導體(MOS)電晶體時通常會使用多晶矽材料來製作電晶體的閘極電極，使其源極與汲極區域得以在高溫下一起進行退火。其次，由於多晶矽能夠阻擋以離子佈植所摻雜之原子進入通道區域，因此在閘極圖案化之後能容易地再進行高溫形成自行對準的源極與汲極區域。

隨著半導體元件的尺寸越來越小，電晶體的製程步驟也有許多的改進，以製造出體積小而高品質的電晶體。習知製作金氧半導體電晶體的閘極時通常是先於一半導體基底表面全面性覆蓋一多晶矽層以及一設於多晶矽層上的硬遮罩，然後對多晶矽層及硬遮罩進行兩次微影暨蝕刻製程(photo-etching process)，藉此將多晶矽層及硬遮罩圖案化以

形成電晶體的閘極。其中第一次的微影暨蝕刻製程較佳將硬遮罩及多晶矽層圖案化為複數個長條型的多晶矽閘極圖案，而第二次的微影暨蝕刻製程則在每個長條型的閘極圖案中形成多晶矽開口(poly slot)，並藉由這些開口將每個閘極圖案分隔為兩個閘極。隨後再依序於圖案化之閘極側壁形成側壁子、於側壁子兩側的半導體基底中形成輕摻雜汲極以及磊晶層。

然而，由於習知製程是在成長磊晶層之前就形成上述之多晶矽開口，因此形成多晶矽開口的蝕刻率通常會影響到後續的製程。舉例來說，若第二次微影暨蝕刻製程中的蝕刻率較低，多晶矽閘極中的開口通常無法被完全蝕刻開而產生多晶矽殘留(polysilicon residue)，而導致後續成長的磊晶層產生橋接現象(line end bridge)。反之，若蝕刻製程的蝕刻率過高，則多晶矽層上的硬遮罩會在蝕刻過程中被過度消耗並造成後續閘極側壁之側壁子的耗損。隨著側壁子的耗損，部分閘極側壁會暴露出來，因此後續進行磊晶成長製程時在閘極側壁便會長出不需要的磊晶結構。

【發明內容】

因此本發明是揭露一種製作金氧半導體電晶體的方法，以解決上述習知以兩道微影暨蝕刻製程製作多晶矽開口

的問題。

本發明較佳實施例是揭露一種製作金氧半導體電晶體的方法。首先提供一半導體基底，然後形成一矽層於該半導體基底表面。接著對該矽層進行一第一微影暨蝕刻製程，以形成一閘極圖案，隨後形成一磊晶層於閘極圖案兩側之該半導體基底中，再對閘極圖案進行一第二微影暨蝕刻製程，以於閘極圖案中形成至少一開口(slot)並藉此開口將閘極圖案實體分離以形成二閘極。

本發明另一實施例是揭露一種金氧半導體電晶體，其包含：一半導體基底；一閘極設於半導體基底上，該閘極具有四側壁，且該四側壁中之兩對向側壁具有側壁子而另兩對向側壁無側壁子；以及一磊晶層設於側壁子兩側之半導體基底內。

【實施方式】

請參照第 1 圖至第 6 圖，第 1 圖至第 6 圖為本發明較佳實施例製作一金氧半導體電晶體之示意圖。如第 1 圖所示，首先提供一半導體基底 12，例如一矽基底或一絕緣層上覆矽(silicon-on-insulator；SOI)基底等。然後在半導體基底 12 上定義至少一主動區域 14，並形成複數個隔離主動區域 14 的

淺溝隔離(shallow trench isolation, STI)16 結構。

然後形成一由氧化物、氮化物等之介電材料所構成的閘極絕緣層(圖未示)在半導體基底 12 表面，接著在閘極絕緣層上依序形成一厚度約 1000 埃(angstrom)的多晶矽層以及一硬遮罩在多晶矽層上。在本實施例中，硬遮罩可由二氧化矽(SiO_2)、氮化矽或氮氧化矽(SiON)等材料所構成，而多晶矽層可由不具有任何摻質(undoped)的多晶矽材料或由具有 N^+ 摻質的多晶矽材料所構成，此皆屬本發明所涵蓋的範圍。

接著對硬遮罩及多晶矽層進行一微影暨蝕刻(photo-etching)製程，例如先形成一圖案化光阻層(圖未示)在硬遮罩上，並利用圖案化光阻層當作遮罩進行一圖案轉移製程，以單次蝕刻或逐次蝕刻步驟，去除部分的硬遮罩、多晶矽層及閘極絕緣層，並剝除此圖案化光阻層，以於主動區域 14 形成一由圖案化之閘極絕緣層 18、圖案化之多晶矽層 20 及圖案化之硬遮罩 22 所構成的閘極圖案 24。

請同時參照第 2 圖，第 2 圖為第 1 圖進行第一次微影暨蝕刻後之閘極上視圖。如圖中所示，經過上述第一次微影暨蝕刻製程後本實施例較佳於半導體基底 12 上形成複數個長條狀的閘極圖案 24，且每條閘極圖案 24 均由圖案化閘極絕緣層 18、圖案化多晶矽層 20 及圖案化硬遮罩 22 所構成。

然後如第 3 圖所示，進行第一階段的側壁子製程，例如先依序形成一氧化矽層(圖未示)及氮化矽層(圖未示)於半導體基底 12 上，然後以回蝕刻(etch back)的方式去除部分該氧化矽層及氮化矽層，以於閘極圖案 24 側壁形成一由氧化矽層 26 及氮化矽層 28 所構成的第一側壁子 30。

然後進行一選擇性磊晶成長(selective epitaxial growth, SEG)製程，以於半導體基底 12 中形成應變矽。例如可先形成一圖案化光阻層(圖未示)於半導體基底 12 上，並進行一蝕刻製程以於閘極圖案 24 兩側的半導體基底 12 中形成二凹槽 34。接著進行一表面清洗製程，用以完全移除凹槽 34 表面的原生氧化物與其他不純物質。隨後再利用選擇性磊晶成長製程實質上填滿這兩個凹槽 34 而形成磊晶層 36。其中本實施例於第一側壁子 30 及磊晶層 36 形成前又可先進行一淺摻雜製程，將 N 型或 P 型摻質植入閘極圖案 24 兩側的半導體基底 12 中以形成一輕摻雜汲極 32，且在本實施例中，磊晶層 36 的材料可依據電晶體的特性或製程需求任意調整，而不侷限於此。

例如，若製作電晶體為 PMOS 電晶體，較佳於凹槽 34 中形成由鍺化矽所構成的磊晶層 36，且此磊晶層 36 可對 PMOS 電晶體的通道區域施加一壓縮應力(compressive

strain)，進而提升 PMOS 電晶體的電洞遷移率。反之，若製作的電晶體為 NMOS 電晶體，則較佳於凹槽 34 中成長由由碳化矽(SiC)所構成的磊晶層 36，並以此磊晶層對 NMOS 電晶體的通道區域施加一拉伸應力(tensile strain)，以提升 NMOS 電晶體的電子遷移率。

接著請同時參照第 4 圖及第 5 圖，其中第 4 圖為延續第 3 圖之剖面示意圖而第 5 圖則為本實施例之多晶矽閘極上示圖。如圖中所示，先去除多晶矽層 20 上的硬遮罩 22，然後形成一側壁子材料層，例如依序沈積一氧化矽層(圖未示)及氮化矽層(圖未示)於半導體基底 12 上。接著進行一微影暨蝕刻製程，例如先形成一圖案化光阻層(圖未示)於多晶矽層 20 上，並以圖案化光阻層為遮罩進行一蝕刻製程，去除僅設於淺溝隔離 16 上的多晶矽層 20，例如部分多晶矽層 20 的頭尾兩端及中間部分，以於長條狀的閘極圖案 24 中形成至少一多晶矽開口(poly slot)38，並藉此開口 38 將閘極圖案 24 實體分離成兩個閘極 46。隨後去除圖案化光阻層並清洗半導體基底 12 表面所剩餘的殘餘物，然後對氧化矽層(圖未示)及氮化矽層進行一回蝕刻製程，以於閘極 46 側壁形成一由氧化矽層 40 及氮化矽層 42 所構成的第二側壁子 44。

在本實施例中，第 5 圖中僅以一個閘極圖案 24 為例並同時省略其他摻雜區，如輕摻雜汲極與磊晶層等結構。如圖

中所示，多晶矽開口 38 較佳將長條狀的閘極圖案 24 分隔為兩部分，且由於本實施例是於形成多晶矽開口 38 時同時去除部分氧化矽層 40 及氮化矽層 42 並分隔出兩個多晶矽閘極 46，因此分隔後之各多晶矽閘極 46 的至少兩對向側壁並無設有任何側壁子。換句話說，多晶矽閘極 46 的四個側壁中有兩個對向側壁設有由氧化矽層 40 及氮化矽層 42 所構成的第二側壁子 44，而另外兩個對向側壁則無任何側壁子。

需注意的是，本實施例於硬遮罩去除之後才形成多晶矽開口 38 的主要目的是為了後續重工(rework)製程的考量。亦即，在形成多晶矽開口 38 時的黃光製程通常有機會進行重工，而於重工製程前，半導體基底 12 上的主動區域 14 由於硬遮罩 22 已於先前製程中移除，因此裸露出來的矽基底表面並無任何保護。然而，由於重工時所通入用來去除圖案化光阻材料的氧氣通常會於矽基底表面形成原生氧化物 (native oxide) 或產生凹洞(recess)，因此本實施例較佳先去除多晶矽層 20 上的硬遮罩 22，然後再覆蓋先前所述的氧化矽層及氮化矽層於半導體基底 12 上，一方面可作為後續形成第二側壁子的材料層，另一方面又可作為蝕刻多晶矽開口的遮罩並保護主動區域。

然而，本實施例雖以硬遮罩去除之後才形成多晶矽開口 38 為例，但不侷限於這個順序，本發明又可在磊晶層 36 形

成後的任何一個時間點來形成多晶矽開口 38，此製程選擇也屬本發明所涵蓋的範圍。

另外又需注意的是，上述實施例中形成第二側壁子的製程較佳在回蝕刻製程前依序沈積一氧化矽層與一氮化矽層，然後再以一次回蝕刻同時去除部分氧化矽層及氮化矽層以形成第二側壁子。但不侷限於這個作法，例如本發明又可在形成多晶矽開口前先僅沈積一層氧化矽層，然後等多晶矽開口形成後再沈積一氮化矽層，而形成不同的金氧半導體電晶體結構。

舉例來說，本發明可於去除硬遮罩之後先沈積一氧化矽層 40 於半導體基底 12 上，然後依據上述製程形成多晶矽開口 38，接著再沈積一氮化矽層 42 於半導體基底 12 上，並以回蝕刻同時去除部分氧化矽層 40 及氮化矽層 42 以形成第二側壁子 44。如第 6 圖所示，由於部分的氧化矽層 40 較佳在形成多晶矽開口 38 時被去除，因此第二側壁子 44 的氧化矽層 40 僅會設於閘極 46 的兩對側壁上，而第二側壁子 44 的氮化矽層 42 則由於是在多晶矽開口 38 形成後才沈積，因此較佳設於閘極 46 的四個側壁上。

此外，依據本發明另一實施例，本發明可於去除硬遮罩之後先沈積一氧化矽層 40 於半導體基底 12 上，然後依據上

述製程形成多晶矽開口 38。接著先以一道回蝕刻製程去除部分氧化矽層 40 形成第二側壁子，然後再沈積一氮化矽層 42 於半導體基底 12 上，以另一道回蝕刻製程去除部分氮化矽層 42 以形成一第三側壁子。雖然此製程在順序上與上述實施例略微不同，但可同樣製作出如第 6 圖所揭露之電晶體結構。

綜上所述，相較於習知是在形成磊晶層之前就先製作出多晶矽開口，本發明較佳先以第一次微影暨蝕刻製程定義出長條狀的多晶矽閘極圖案，然後於多晶矽閘極圖案兩側形成磊晶層，之後再以第二次微影暨蝕刻製程定義出多晶矽開口並將多晶矽閘極實體分離以形成兩個閘極。由於定義多晶矽開口的步驟是在磊晶層形成後才實施，本發明可避免前述定義多晶矽開口時因蝕刻率過高而產生磊晶層橋接現象或蝕刻率過低而造成磊晶層長在閘極側壁的問題。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【圖式簡單說明】

第 1 圖至第 6 圖為本發明較佳實施例製作一金氧半導體電晶體之示意圖。

【主要元件符號說明】

12	半導體基底	14	主動區域
16	淺溝隔離	18	閘極絕緣層
20	多晶矽層	22	硬遮罩
24	閘極圖案	26	氧化矽層
28	氮化矽層	30	第一側壁子
32	輕摻雜汲極	34	凹槽
36	磊晶層	38	多晶矽開口
40	氧化矽層	42	氮化矽層
44	第二側壁子	46	閘極

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：

99123277

※申請日：

99.7.15

※IPC 分類：

H01L 21/336 12006.01

H01L 21/28 12006.01

H01L 29/18 12006.01

一、發明名稱：(中文/英文)

金氧半導體電晶體及其製作方法/METAL-OXIDE SEMICONDUCTOR
TRANSISTOR AND METHOD FOR FABRICATING THE SAME

二、中文發明摘要：

本發明是揭露一種製作金氧半導體電晶體的方法。首先提供一半導體基底，然後形成一矽層於該半導體基底表面。接著對該矽層進行一第一微影暨蝕刻製程，以形成一閘極圖案，隨後形成一磊晶層於閘極圖案兩側之半導體基底中，再對閘極圖案進行一第二微影暨蝕刻製程，以於閘極圖案中形成至少一開口(slot)並藉此開口將閘極圖案實體分離以形成二閘極。

三、英文發明摘要：

A method for fabricating a metal-oxide semiconductor (MOS) transistor is disclosed. The method includes the steps of: providing a semiconductor substrate; forming a silicon layer on the semiconductor substrate; performing a first photo-etching process on the silicon layer for forming a gate pattern; forming an epitaxial layer in the

semiconductor substrate adjacent to two sides of the gate pattern; and performing a second photo-etching process on the gate pattern to form a slot in the gate pattern while using the gate pattern to physically separate the gate pattern into two gates.

七、申請專利範圍：

1. 一種製作金氧半導體電晶體的方法，包含：

提供一半導體基底；

形成一矽層於該半導體基底表面；

對該矽層進行一第一微影暨蝕刻製程，以形成一閘極圖案；

形成一磊晶層於該閘極圖案兩側之該半導體基底中；以及

形成該磊晶層之後，對該閘極圖案進行一第二微影暨蝕刻製程，以於該閘極圖案中形成至少一開口(slot)並藉此開口將該閘極圖案實體分離以形成二閘極。

2. 如申請專利範圍第 1 項所述之方法，其中形成該矽層後另包含：

形成一硬遮罩於該矽層表面；

對該硬遮罩及該矽層進行該第一微影暨蝕刻製程，以形成該閘極圖案；

形成一第一側壁子於該閘極圖案周圍；

形成一輕摻雜汲極於該閘極圖案兩側之該半導體基底中；

於該第一側壁子兩側之該半導體基底中形成至少一凹槽；

形成該磊晶層於該凹槽中；

去除該矽層表面之該硬遮罩；

形成一第一介電層於該半導體基底上並覆蓋該閘極圖案；

對該閘極圖案、該第一側壁子及該第一介電層進行該第二微影暨蝕刻製程，以於該閘極圖案中形成該開口；以及
去除部分該第一介電層以形成一第二側壁子。

3. 如申請專利範圍第 1 項所述之方法，其中該半導體基底中另包含至少一淺溝隔離，且於該閘極圖案中形成該開口之步驟另包含去除該淺溝隔離上之該矽層。

4. 如申請專利範圍第 2 項所述之方法，其中該硬遮罩包含氮化矽。

5. 如申請專利範圍第 2 項所述之方法，其中形成該第一側壁子之步驟包含：

形成一氧化矽層及一氮化矽層於該半導體基底表面；以及

回蝕刻該氧化矽層及該氮化矽層以形成該第一側壁子。

6. 如申請專利範圍第 2 項所述之方法，其中該第一介電層包含一氧化矽層及一氮化矽層。

7. 如申請專利範圍第 2 項所述之方法，其中進行該第二微影暨蝕刻製程後另包含：

形成一第二介電層於該半導體基底上；以及

去除部分該第一介電層及該第二介電層以形成該第二側壁子。

8. 如申請專利範圍第 7 項所述之方法，其中該第一介電層包含一氧化矽層且該第二介電層包含一氮化矽層。

9. 如申請專利範圍第 2 項所述之方法，其中形成該第二側壁子之後另包含：

形成一第二介電層於該半導體基底上；以及

去除部分該第二介電層以形成一第三側壁子。

10. 如申請專利範圍第 9 項所述之方法，其中該第一介電層包含一氧化矽層且該第二介電層包含一氮化矽層。

11. 一種金氧半導體電晶體，包含：

一半導體基底；

一閘極設於該半導體基底上，該閘極具有四側壁，且該四側壁中之兩對向側壁具有一側壁子而另兩對向側壁無該側壁子；以及

一磊晶層設於該側壁子兩側之該半導體基底。

12. 如申請專利範圍第 11 項所述之金氧半導體電晶體，其中該側壁子包含一第一側壁子及一第二側壁子。

13. 如申請專利範圍第 12 項所述之金氧半導體電晶體，其中該第一側壁子及該第二側壁子各包含氧化矽及氮化矽。

14. 如申請專利範圍第 11 項所述之金氧半導體電晶體，其中該磊晶層包含鍺化矽或碳化矽。

八、圖式：

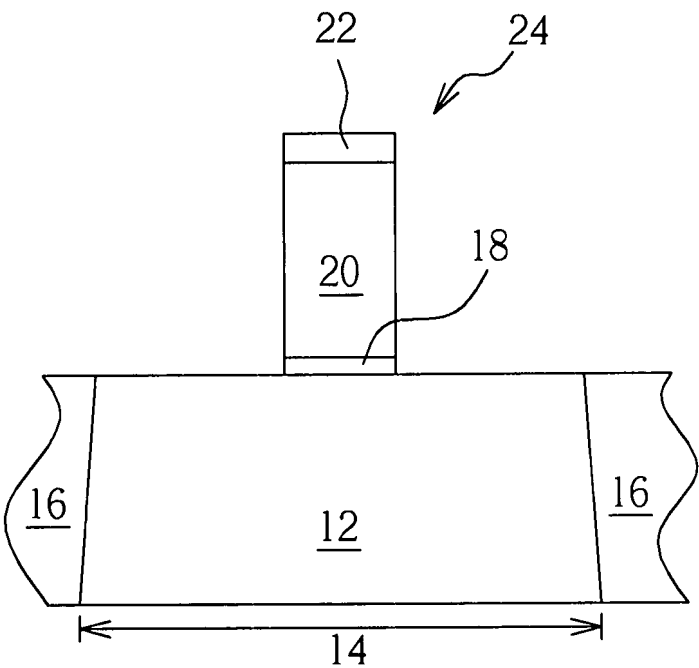
一磊晶層設於該側壁子兩側之該半導體基底。

12. 如申請專利範圍第 11 項所述之金氧半導體電晶體，其中該側壁子包含一第一側壁子及一第二側壁子。

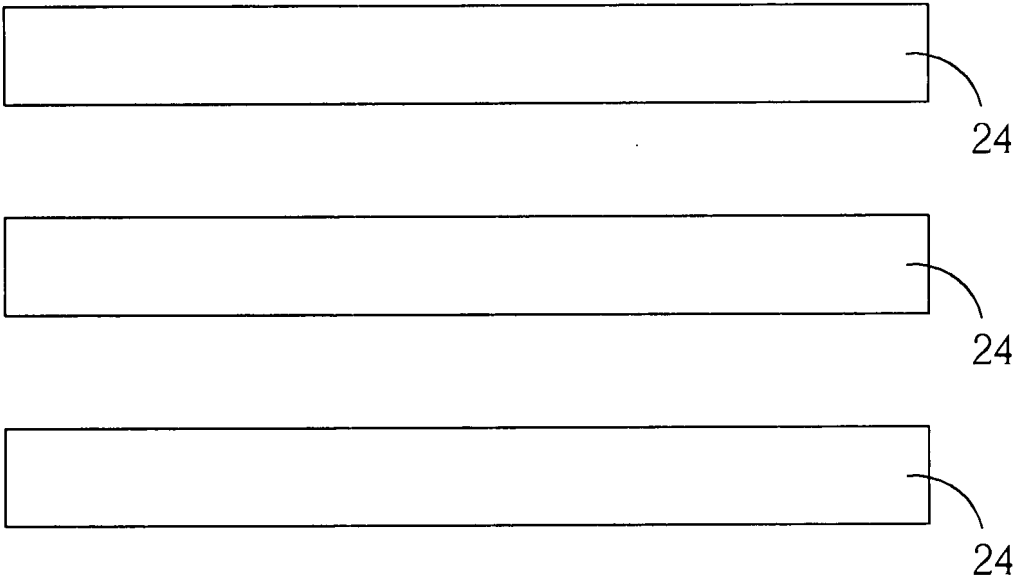
13. 如申請專利範圍第 12 項所述之金氧半導體電晶體，其中該第一側壁子及該第二側壁子各包含氧化矽及氮化矽。

14. 如申請專利範圍第 11 項所述之金氧半導體電晶體，其中該磊晶層包含鍺化矽或碳化矽。

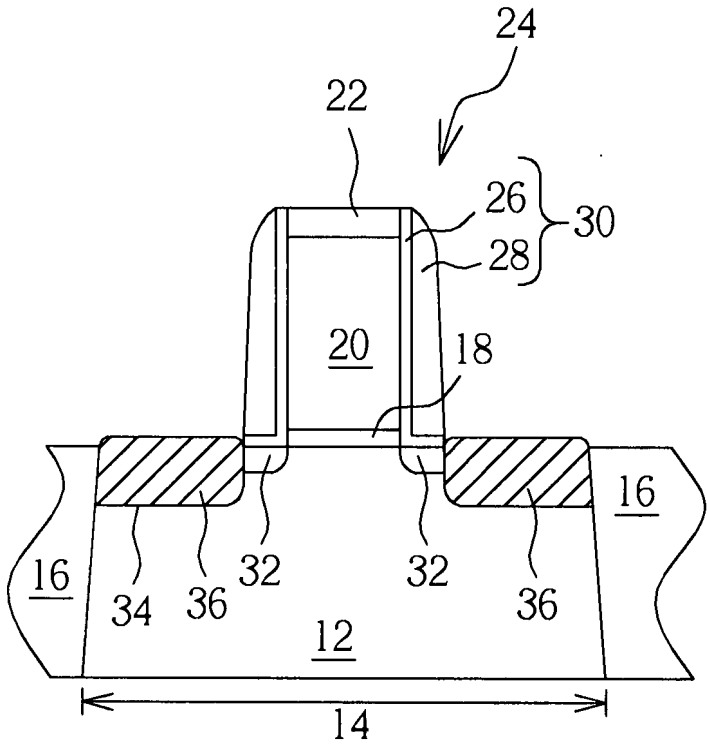
八、圖式：



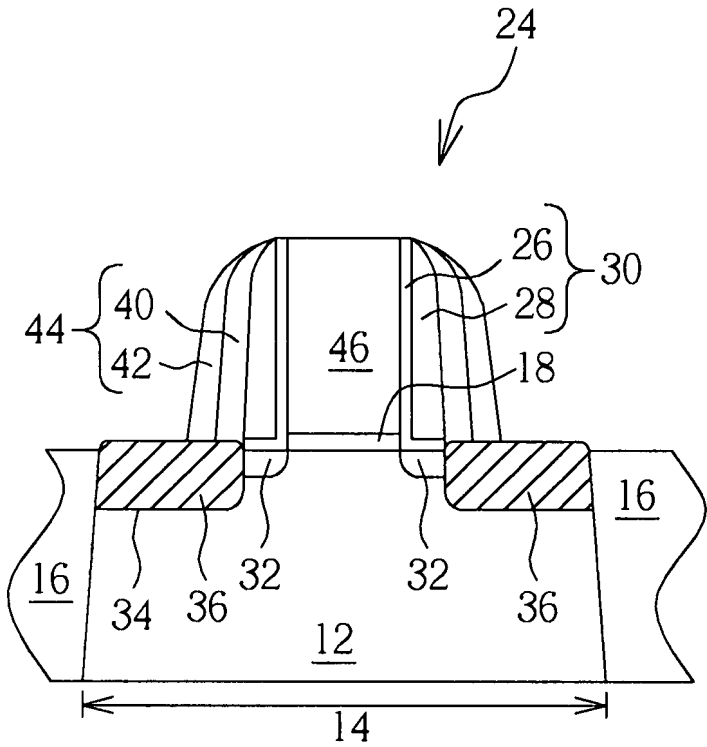
第1圖



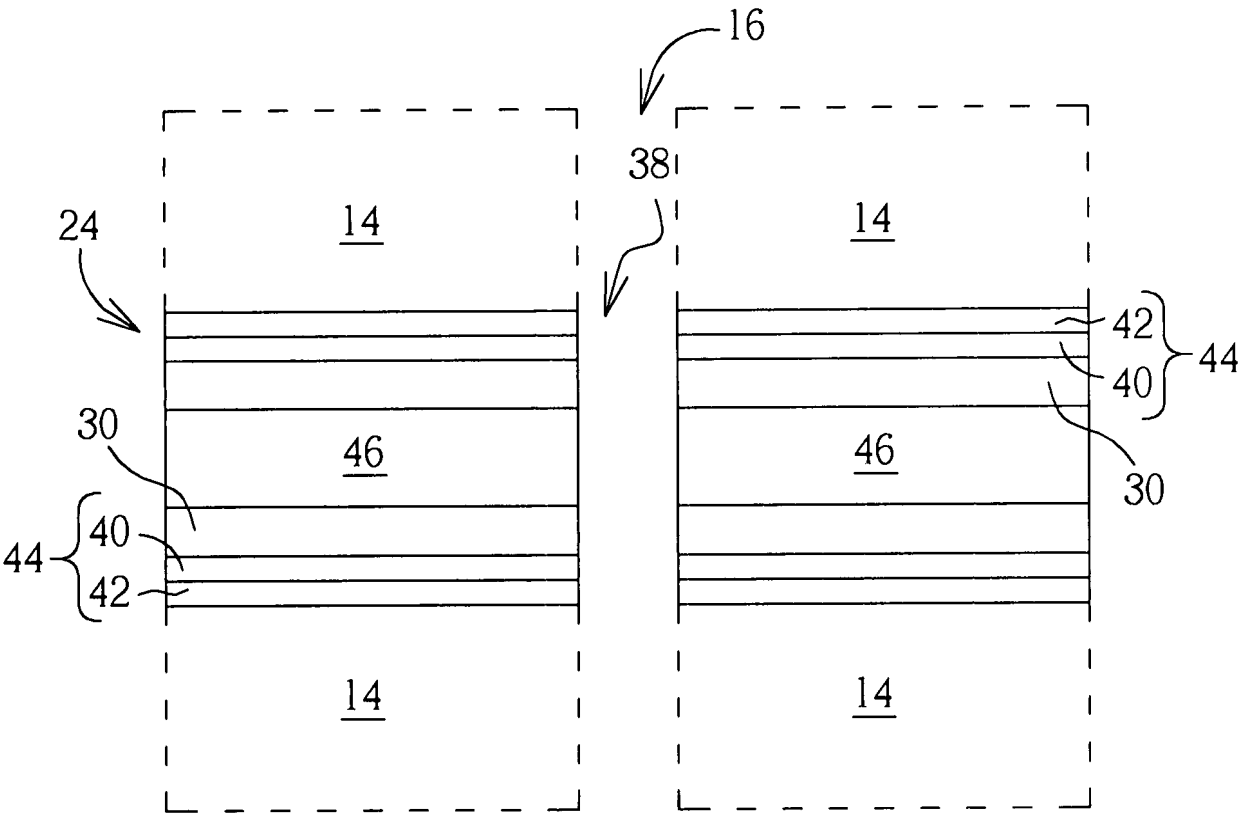
第2圖



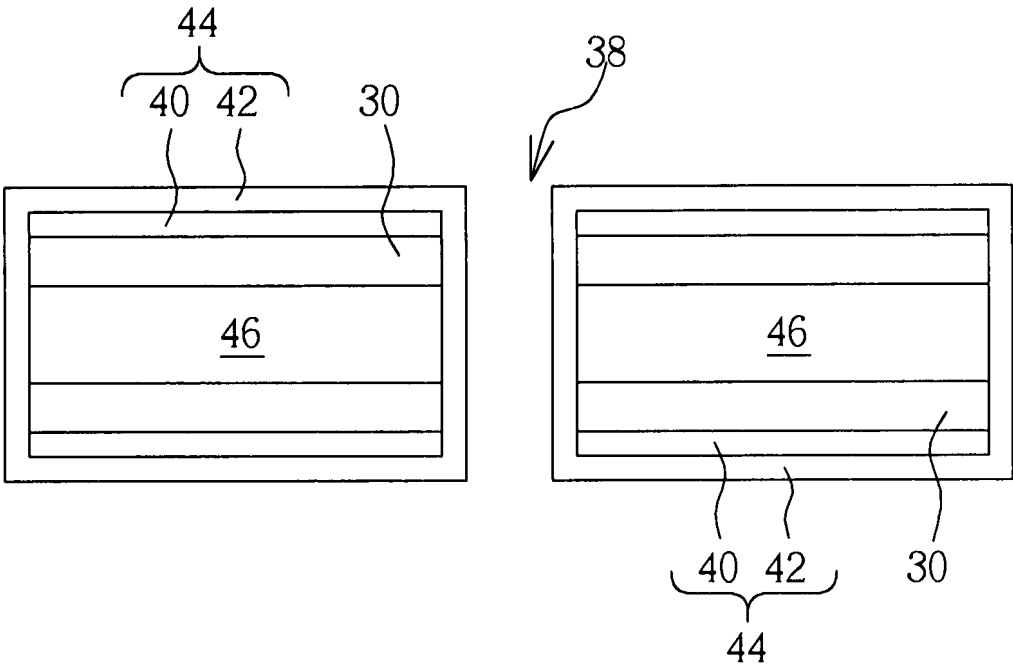
第3圖



第4圖



第5圖



第6圖

四、指定代表圖：

(一)本案指定代表圖為：第（ 4 ）圖。

(二)本代表圖之元件符號簡單說明：

12	半導體基底	14	主動區域
16	淺溝隔離	18	閘極絕緣層
24	閘極	26	氧化矽層
28	氮化矽層	30	第一側壁子
32	輕摻雜汲極	34	凹槽
36	磊晶層	40	氧化矽層
42	氮化矽層	44	第二側壁子
46	閘極		

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無