(19) Japan Patent Office (JP)

(12) Published Unexamined Patent Application (A)

(11) Publication No. of Unexamined Application: **Kokai No. 2007-129024 (P2007-129024A)**

(43) Date of Publication of Unexamined Application: **May 24, 2007 (2007.5.24)**

(51) Int. Cl.	FI		Theme Code (Reference)
H01L 31/10 (2006.01)	H01L 31/10	G	4M118
H01L 27/14 (2006.01)	H01L 27/14	Z	5F049
	H01L 31/10	A	

Request for Examination:	Not requested
Number of Claims:	7
Method of Filing:	OL (Online)
Total Number of Pages:	14

(21) Patent Application No.: 2005-319513 (P2005-319513)

(22) Filing Date: November 2, 2005 (2005.11.2)

(71) Applicant: 000001889
SANYO ELECTRIC CO.
2-chome 5-ban 5-go Keihan-Hondori, Moriguchi City, Osaka Prefecture

(74) Agent: 110000154
Patent Professional Corporation
HARUKA Patent & Trademark Attorneys

(72) Inventor: Akihiro HASEGAWA
c/o SANYO ELECTRIC CO.
2-chome 5-ban 5-go Keihan-Hondori, Moriguchi City, Osaka Prefecture

F-terms (Reference) 4M118 AB10 BA02 CA05
5F049 MA04 MB02 NA03 NA10 NA15 NB08 QA03 RA04 RA10 SE01 SE05 SZ03 UA01 UA07 UA12 UA13 UA17 WA03

(54) Title of Invention

SEMICONDUCTOR DEVICE

(57) Abstract

Problem

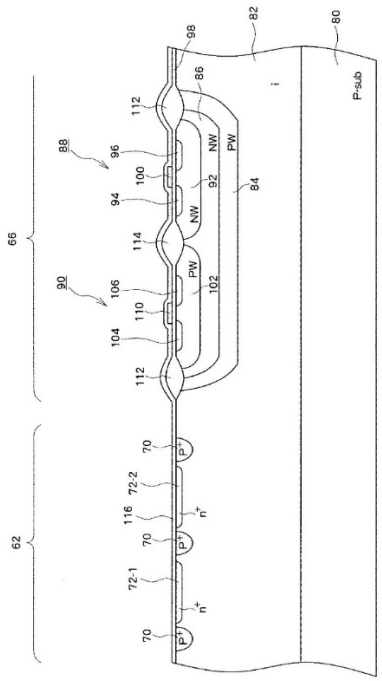
To make it possible to configure a CMOS on the same chip as an photodetection semiconductor element in which a PIN photodiode is provided on a light-receiving part.

Solution

A light-receiving part 62 and a signal-processing circuit part 66 are configured on a semiconductor substrate on which an epitaxial layer 82 is layered onto a P-sub layer 80. A PIN photodiode uses the P-sub layer 80 as an anode, and the epitaxial layer 82, which is between a cathode region 72 and the P-sub layer 80, is configured as the i-layer. In the signal-processing circuit part 66, a P-well 84 is formed at the boundary between an N-well 86 and the epitaxial layer 82, which form a CMOS.

Selected Figure

FIG. 3



CLAIMS

1. A semiconductor device, which comprises a light-receiving part and a circuit part that are formed on a semiconductor substrate that is common thereto, comprising:

a high specific resistance region, which is provided on a principle surface of the semiconductor substrate and is formed with high specific resistance owing to a low impurity concentration;

wherein:

the light-receiving part comprises:

a first electrode region, which is disposed in contact with the high specific resistance region, is a first conductive semiconductor region having a higher impurity concentration than the high specific resistance region, and to which a first voltage is applied; and

a second electrode region, which is disposed in contact with the high specific resistance region, is a second conductive semiconductor region having a higher impurity concentration than the high specific resistance region, and to which a second voltage is applied;

between the first electrode region and the second electrode region is placed in a reverse-bias state owing to the first voltage and the second voltage, and thereby a depletion layer is formed in the high specific resistance region; and

the circuit part comprises:

a circuit-element region, which is provided on the principle surface and is a first conductive semiconductor region on which a circuit element is formed in the interior; and

a junction-boundary region, which constitutes the boundary between the high specific resistance region and the circuit-element region and is a second conductive semiconductor region having a higher impurity concentration than the high specific resistance region.

2. The semiconductor device according to claim 1, wherein the high specific resistance region is the second conductive semiconductor region.

3. The semiconductor device according to claim 1 or 2, wherein the high specific resistance region has a specific resistance of 200 Ω·cm or more.

4. The semiconductor device according to any one of claims 1–3, wherein the high specific resistance region is an epitaxial growth layer.

5. The semiconductor device according to any one of claims 1–4, wherein:

the second electrode region is an underlayer of the high specific resistance region; and

the first electrode region and the circuit-element region are each formed on surface-layer portions of the high specific resistance region.

6. The semiconductor device according to any one of claims 1–4, wherein the first electrode region, the second electrode region, and the circuit-element region are each formed on surface-layer portions of the high specific resistance region.

7. The semiconductor device according to claim 6, wherein another second electrode region is an underlayer of the high specific resistance region.

DETAILED DESCRIPTION OF THE INVENTION

TECHNICAL FIELD

[0001]

The present invention relates to a semiconductor device that comprises a light-receiving part, which utilizes a depletion layer extending across a semiconductor region of high specific resistance, and generates signals by way of photoelectric conversion.

BACKGROUND ART

[0002]

Optical discs, such as CDs (compact disks) and DVDs (digital versatile disks) have, in recent years, come to occupy a major position in the marketplace as information recording media. Playback devices for these optical discs radiate laser light along a track of the optical disc via an optical pickup mechanism and detect the reflected light thereof. Furthermore, recorded data is played back based on the variation of the reflected light intensity.

[0003]

An optical disc-playback device performs servo control to control the positional relationship between the optical pickup mechanism and the optical disc while detecting data based on the reflected light. Specifically, tracking servo is performed for radiating the laser light along the center line of the track, and focusing servo is performed to maintain a constant distance between the optical disc and the optical pickup mechanism. In focusing servo control, for example, variable control is performed to vary the location of the optical pickup mechanism, using an actuator, based on an output signal from a photodetector that detects the laser reflected light, thereby maintaining a constant distance d to the optical disc. Thereby, fluctuation in the reflected light quantity in response to shifts in the focus of the radiated light on the front surface of the optical disc is curtailed, and thereby noise superimposed on the received-light signals is suppressed.

[0004]

To obtain information for this kind of servo control, something that partitions a reflected-light image into a plurality of blocks and receives light is used as the photodetector. FIG. 9 includes schematic diagrams that show a light-receiving part of the photodetector and the reflected-light image on the light-receiving part. The laser reflected light passes through a cylindrical lens and impinges on the photodetector. According to the principle of astigmatism, the dimensional proportions of the image of reflected light that has impinged a circular cross-section on the cylindrical lens and then passed through the lens will vary in two orthogonal directions in accordance with distance d between the optical pickup mechanism and the optical disc. Specifically, in the situation in which distance d is a target value, distance d is set so that the reflected-light image becomes a perfect circle 30 as shown in FIG. 9(b). In contrast, for example, in the situation in which distance d is over, the reflected-light image becomes an ellipse 32, which is vertically long as shown in FIG. 9(a), and in the situation in which distance d is under, the reflected-light image becomes an ellipse 34, which is horizontally long as shown in FIG. 9(c).

[0005]

The photodetector comprises, for example, the light-receiving part, which is divided into four blocks 36, 2×2, where each of the blocks constitutes a light-receiving element that outputs received-light signals. The photodetector is disposed such that each diagonal direction along the 2×2 square array of light-receiving elements coincides with an axis of the vertically long ellipse 32 and an axis of the horizontally long ellipse 34, respectively. By such an arrangement, in FIG. 9, the shapes of the reflected-light images can be distinguished on the basis of the difference between the sum of the output signals of the two light-receiving elements aligned along the diagonal line in the vertical direction and the sum of the output signals of the two light-receiving elements aligned along the diagonal line in the horizontal direction, and thereby can be used to control distance d. In contrast, the reflected light intensity, in accordance with data, can be derived from the sum total of the output signals of the four light-receiving elements.

[0006]

Because the rate at which data is read from the optical disc is extremely high, the photodetector is configured from semiconductor elements in which PIN photodiodes having a fast response speed are used. FIG. 10 is a schematic, cross-sectional view of one light-receiving element that constitutes a conventional photodetector. This diagram shows the vertical cross-sectional structure of a PIN photodiode, which is the light-receiving element. In this semiconductor element, a p-type semiconductor substrate 40 becomes the anode region 42 of the photodiode, and an i-layer 44, which has a low impurity concentration and high specific resistance, is formed on the anode region 42 via epitaxial growth. The impurity concentration of the i-layer 44 is extremely low, and the specific resistance thereof is on the order of 100 Ω·cm and is higher, by an order of magnitude, than that of a semiconductor substrate used in other generic semiconductor elements. An n^+ region, which becomes a cathode region 48, is formed on the front surface of the i-layer 44. By disposing the low concentration i-layer 44 between the anode region 42 and the cathode region 48, a depletion layer can be formed in the i-layer 44 even when a reverse-bias voltage applied between the anode and the cathode becomes low, thereby enabling low-voltage driving of the photodetector.

[0007]

The anode region 42, the i-layer 44, and the cathode region 48 constitute the PIN photodiode that becomes each light-receiving element of the photodetector. The anode region 42 and the cathode region 48 of the PIN photodiode are each connected to a voltage terminal, and a reverse-bias voltage is applied between the

terminals. The depletion layer is formed in the i-layer 44 between the anode region 42 and the cathode region 48 in the reverse-bias state, and the electrons emitted owing to absorption of the incident light within the depletion layer move toward the cathode region 48 owing to the electrical field within the depletion layer and are output as the received-light signal.

[0008]

The thickness of the i-layer 44 is set to approximately the absorption length or more within the semiconductor for the light to be detected. For example, the absorption length in silicon with respect to light in the 780 nm band or the 650 nm band, which is employed in CDs and DVDs, is approximately 10–20 μm.

DISCLOSURE OF THE INVENTION

PROBLEMS TO BE SOLVED BY THE INVENTION

[0009]

The weak photo-electrical conversion signals generated by the light-receiving parts are amplified by an amplifier and output to a later-stage signal-processing circuit. Here, from the viewpoint of curtailing attenuation of the photo-electrical conversion signals and suppressing the superimposition of noise, the length of wiring between the light-receiving parts and the amplifier is configured to be as short as possible. Based on this viewpoint, and from the viewpoint of reducing the manufacturing cost of the photodetector, it would be ideal to form the circuits—such as the light-receiving parts, each of which has the PIN photodiode structure, and the amplifier—on the same semiconductor chip. In this situation, as shown in the schematic, cross-sectional view in FIG. 11, an N-well 50, which is an n-type impurity region, is formed in the front surface of the i-layer 44, which is formed on the low-concentration p-type region, and within this N-well 50, for example, a p-channel MOSFET (Metal Oxide Semiconductor Field Effect Transistor: MOS-type field effect transistor) 52 and an n-channel MOSFET 54 can be formed to constitute a CMOS (Complementary Metal Oxide Semiconductor). However, due to the impurity concentration of the i-layer 44 being extremely low, this configuration has the problem that the leakage current at the pn junction between the i-layer 44 and the N-well becomes large.

[0010]

The present invention was conceived in order to solve the above-mentioned problems, and an object of the present invention is to provide a semiconductor element for photodetection that can be driven at low voltage and high speeds and can achieve a reduction in cost.

MEANS FOR SOLVING THE PROBLEMS

[0011]

A semiconductor device of the present invention, which comprises a light-receiving part and a circuit part that are formed on a semiconductor substrate that is common thereto, comprising: a high specific resistance region, which is provided on a principle surface of the semiconductor substrate and is formed with high specific resistance owing to a low impurity concentration; wherein the light-receiving part comprises: a first electrode region, which is disposed in contact with the high specific resistance region, is a first conductive semiconductor region having a higher impurity concentration than the high specific resistance region, and to which a first voltage is applied; and a second electrode region, which is disposed in contact with the high specific resistance region, is a second conductive semiconductor region having a higher impurity concentration than the high specific resistance region, and to which a second voltage is applied; between the first electrode region and the second electrode region is placed in a reverse-bias state owing to the first voltage and the second voltage, and thereby a depletion layer is formed in the high specific resistance region; and the circuit part comprises: a circuit-element region, which is provided on the principle surface and is a first conductive semiconductor region on which a circuit element is formed in the interior; and a junction-boundary region, which constitutes the boundary between the high specific resistance region and the circuit-element region and is a second conductive semiconductor region having a higher impurity concentration than the high specific resistance region.

EFFECTS OF THE INVENTION

[0012]

According to the present invention, a junction-boundary region of a concentration higher than that of the high specific resistance region is provided at the boundary between the high specific resistance region and the circuit-element region to have a conductivity type that is the reverse of the circuit-element region. The expansion of a depletion layer that can generate electric charges due to thermal excitation or the like is curtailed and leakage current is inhibited at the pn junction portion that is formed by this junction-boundary region and this circuit-element region. As a result, a circuit part that includes a circuit element such as a CMOS can be provided together with the light-receiving part and formed on the same substrate, and thereby a low voltage and high-speed driven photodetection semiconductor element can be realized while curtailing costs.

BEST MODES FOR CARRYING OUT THE INVENTION

[0013]

Modes for implementing the present invention (referred to below as embodiments) are explained below on the basis of the drawings.

[0014]

[First Embodiment]

FIG. 1 is a schematic plan view of a photodetector, which is a semiconductor element of the embodiment. A photodetector 60 is formed on a semiconductor substrate composed of silicon, and a light-receiving part 62 is disposed in an opening portion (not shown) provided in a protective film that is layered on the front surface of the semiconductor substrate. The light-receiving part 62 comprises, for example, four PIN photodiodes (PD) 64, which are arrayed 2×2, and partitions light incident from an optical system onto the substrate front surface into four blocks, 2×2, and receives that light. A signal-processing circuit part 66, as well as the light-receiving part 62, is formed on the semiconductor substrate. The signal-processing circuit part 66 is disposed, for example, around the light-receiving part 62. The signal-processing circuit part 66 comprises, for example, circuit elements, such as CMOSs 68, and these circuit elements can be used to form, on the same semiconductor chip as the light-receiving part 62: an amplifier circuit for the output signals from the light-receiving part 62; or another signal-processing circuit.

[0015]

FIG. 2 is a more detailed plan view of the light-receiving part 62. Each of the PDs 64 is demarcated by an isolation region 70, which is formed on the front surface of the semiconductor substrate surrounding the PDs 64. The isolation region 70 is formed, for example, as a p^+ region in which a high concentration of p-type impurities is diffused. The absorption of light generates electrons and electron holes in portions on the silicon substrate that correspond to the light-receiving part. A cathode region 72, in which electrons from among the generated electric charges are collected, is disposed in each of the PDs 64 as the cathode. Each of the cathode regions 72 is formed, for example, as an n^+ region in which a high concentration of n-type impurities is diffused.

[0016]

The isolation region 70 and each of the cathode regions 72 is connected via a contact to a wiring formed in, for example, an aluminum (Al) layer or the like. A ground potential is applied to the isolation region 70, for example, via a wiring 74. In addition, the signal charges collected in the cathode regions 72 are read out via wirings 76.

[0017]

FIG. 3 is a schematic, cross-sectional view that shows the structure of the light-receiving part 62 and the signal-processing circuit part 66 in a vertical cross section of the semiconductor substrate through a straight line A-A', which is shown in FIG. 1 and FIG. 2, respectively. Two of the PDs 64 of the light-receiving part 62 and the CMOS 68 of the signal-processing circuit part 66 appear in this cross section.

[0018]

The present photodetector 60 is formed by employing a semiconductor substrate onto which a semiconductor layer, having a lower impurity concentration than a P-sub layer 80 and a high specific resistance, is layered onto one principle surface of the P-sub layer 80, which is a p-type silicon substrate into which p-type impurities have been introduced. The P-sub layer 80 constitutes the anode, which is common to all the PDs 64; and, for example, a ground potential from the substrate rear surface is applied to the P-sub layer 80. The semiconductor layer, which has high specific resistance and is layered onto the P-sub layer 80, is formed, for example, by epitaxial growth. This epitaxial layer 82 (high specific resistance region) constitutes the i-layer of each of the PDs 64 in the light-receiving part 62. The low-concentration impurity introduced into the epitaxial layer 82 is, for example, a p-type impurity. In addition, specific resistance ρ of the epitaxial layer 82 is at least 200 Ω·cm or more, and here, ρ is approximately 500 Ω·cm. In addition, the thickness of the epitaxial layer 82 that constitutes the i-layer is set to approximately the absorption length or more within the semiconductor for the light to be detected. For example, the absorption length of silicon with respect to light in the 780 nm band or the 650 nm band, which is employed in CDs and DVDs, is approximately 10–20 μm. Accordingly, here, the thickness of the epitaxial layer 82 is set to 10–20 μm.

[0019]

The isolation region 70 and the cathode regions 72 described above are formed on the front surface of the epitaxial layer 82 in the light-receiving part 62. The introduction of impurities into the isolation region 70 and the cathode regions 72, respectively, is achieved by forming a mask, which is formed by photolithographic techniques, on the front surface of the silicon substrate on which this epitaxial layer 82 is formed, and employing this mask to selectively perform ion implantation of target regions.

[0020]

Incidentally, the impurities introduced by ion implantation at each of the locations at which the isolation region 70 and the cathode regions 72 are formed are further subject to a thermal diffusion process, as necessary, such that the impurities are pushed further in the depth direction of the substrate. That push amount

can be separately controlled for the isolation region 70 and the cathode regions 72, respectively. As described below, the isolation region 70, for example, functions to suppress crosstalk, among the PDs 64, of the signal charges collecting in the cathode regions 72. Therefore, the depth of the isolation region 70 can be set, for example, to deeper than the cathode regions 72. In contrast, by making the depth of the cathode regions 72 shallow, the depletion layer formed in the i-layer beneath each of the cathode regions 72 expands from proximate to the substrate front surface, and thereby an improvement in photoelectric conversion efficiency can be expected at each of the PDs 64. In this manner, in the situation in which the cathode regions 72 are to be formed shallower than the isolation region 70, it is ideal to perform the ion implantation and thermal diffusion of impurities into the isolation region 70 prior to ion implantation into the cathode regions 72.

[0021]

It is noted that, in the configuration of the present photodetector 60, the epitaxial layer 82 of high specific resistance exists as the i-layer between the isolation region 70 and the P-sub layer 80, without the isolation region 70 reaching as far as the P-sub layer 80. In addition, a ground potential is applied to the isolation region 70 via the wiring 74, which is provided on the substrate front-surface side as described above, and the isolation region 70 together with the P-sub layer 80 constitutes an anode.

[0022]

In contrast, in the signal-processing circuit part 66, a P-well 84 and an N-well 86 are formed in a surface-layer portion of the epitaxial layer 82 corresponding to a formation region for the CMOS 68. Here, the N-well 86 is a circuit-element region in which a circuit element is formed in the interior as described below, and the P-well 84 is a junction-boundary region that forms the boundary between the N-well 86 and the epitaxial layer 82. The P-well 84 and the N-well 86 are each formed, for example, by ion implantation. Specifically, ion implantation that forms the P-well 84 is performed first, then, the N-well 86 is formed, by ion implantation, in the interior of the P-well 84 such that the N-well 86 is shallower than the P-well 84. The depths of the P-well 84 and the N-well 86 can be made different from each other by adjusting the ion implantation energy or by selecting the ion type for each of the P-well 84 and the N-well 86. The concentration of the N-well 86 can be established in accordance with its relationship to the CMOS 68 formed within that region. The P-well 84 is configured to have a higher concentration than that of the epitaxial layer 82, and thereby inhibits junction leakage current between the epitaxial layer 82 and the N-well 86.

[0023]

A p-channel MOSFET 88 and an n-channel MOSFET 90, which constitute the CMOS 68, are formed inside the N-well 86. The p-channel MOSFET 88 is formed, for example, by additionally forming an N-well 92 inside the N-well 86 and forming a source region 94 and a drain region 96, which are p^+ regions, on the front surface of the N-well 92. A gate electrode 100 is disposed above a channel region, which is between the source region 94 and the drain region 96, with a gate oxide film 98 interposed therebetween. The n-channel MOSFET 90 is formed by additionally forming a P-well 102 inside the N-well 86 and forming a source region 104 and a drain region 106, which are n^+ regions, on the front surface of the P-well 102. A gate electrode 110 is disposed above a channel region, which is between the source region 104 and the drain region 106, with the gate oxide film 98 interposed therebetween. The gate electrodes 100, 110 are formed, for example, by using polysilicon, tungsten (W), or the like.

[0024]

It is noted that, LOCOSs (local oxidation film) 112 are formed, on the front surface of the epitaxial layer 82, at the boundary between the formation region of the CMOS 68 and the epitaxial layer 82 for the purpose of isolating the regions. In addition, a LOCOS 114 is formed at the boundary between the p-channel MOSFET 88 and the n-channel MOSFET 90 for the purpose of isolating elements.

[0025]

An anti-reflection film 116 is layered onto the substrate front surface on which the light-receiving part 62 and the signal-processing circuit part 66 are formed as described above. The anti-reflection film 116 is composed of, for example, a silicon nitride film. Furthermore, although a planarized film, a wiring layer, and a light-shielding layer are formed thereon, these are not shown in FIG. 3 for simplicity.

[0026]

FIG. 4 is a schematic view that shows a circuit configuration during operation of the present photodetector 60 and shows an electric potential distribution at a cross section of the light-receiving part. Similar to FIG. 3, the cross section of the light-receiving part 62 shown in FIG. 4 is along the straight line A-A', which is shown in FIG. 1 and FIG. 2. A reverse-bias voltage is applied, by a voltage source 120, between the

cathode regions 72 and the isolation region 70 and between the cathode regions 72 and the P-sub layer 80. Specifically, the wiring (the wirings 76 in FIG. 2) from each of the cathode regions 72 is connected to one of the input terminals of an op amp 122, and a positive voltage Vb is input from the voltage source 120 into the other input terminal of that op amp 122. The output terminal of each of the op amps 122 is connected to the corresponding cathode region 72 via a resistor, thereby constituting a current detector device. According to this configuration, positive voltage Vb is applied to the cathode regions 72 using the electrical potential of the isolation region 70 and the P-sub layer 80 as a reference, and a voltage that corresponds to the cathode current is extracted from the output terminal of each of the op amps 122. Incidentally, the current detector devices, which each includes the op amp 122, can be formed on the signal-processing circuit part 66.

[0027]

A number of equipotential lines are depicted in the cross-sectional view using dotted lines. This cross-sectional view indicates that the depletion layer expands in the epitaxial layer 82, which constitutes the i-layer, owing to a reverse-bias voltage being applied to the anode and cathode of each of the PIN photodiodes. The potential deepens, i.e., increases, with proximity to one of the cathode regions 72, and a potential well is formed for the electrons centered on each of the cathode regions 72.

[0028]

The potential at a boundary region 124—which is between the isolation region 70 and the P-sub layer 80—of the epitaxial layer 82 becomes less by applying a ground potential, which becomes a reverse bias, to the cathode regions 66, with the isolation region 70 and the P-sub layer 80 serving as the anode. That is, by providing a ground potential with the P-sub layer 80 as well as the isolation region 70 serving as the anode, the potential of the boundary region 124 beneath the isolation region 70 is pulled in a direction in which it become shallow. Thereby, a potential barrier is formed, against the movement of the electrons, between the potential wells corresponding to adjacent PDs 64 that sandwich the isolation region 70.

[0029]

For example, in FIG. 4, the electrons emitted by the i-layer beneath the left-side cathode region 72-1 owing to the light incident on the left-side PD 64 are able to move easily toward the cathode region 72-1 along the electric field of the left-side potential well; however, it is difficult for those electrons to move toward the right-side cathode region 72-2 because of the potential barrier that exists therebetween in the region 124. Consequently, the signal charges corresponding to the light incident on the left-side PD 64 collect primarily in the cathode region 72-1. Similarly, it is difficult for the signal charges corresponding to the light incident on the right-side PD 64 to move to the cathode region 72-1 owing to the existence of the potential barrier, and therefore, the signal charges collect primarily in the cathode region 72-2. The amount of electrons that collect in each of the cathode regions 72 is detected as the cathode current via the corresponding op amp 122.

[0030]

Thus, by making the P-sub layer 80 and the isolation region 70 serve as the anode, element isolation can be achieved between the PDs 64 regardless of whether the i-layer of the adjacent PDs 64 are connected beneath the isolation region 70, and thereby a received-light signal, in which crosstalk is suppressed, can be obtained.

[0031]

In addition, in the configuration of the present photodetector, the P-sub layer 80 serves as the anode, and this P-sub layer 80 extends beneath the signal-processing circuit part 66 as well. Here, the impurity concentration in the epitaxial layer 82 is extremely low. Consequently, in a configuration in which the epitaxial layer 82 contacts the N-well 86, the lower the electric potential in the P-sub layer 80, the easier it is for the depletion layer to expand into a junction portion at which the epitaxial layer 82 and the N-well 86 are joined. In the depletion layer, it is easier for electric charges to be emitted by thermal excitation or the like, which can cause leakage current to be generated. That is, in a configuration of a photodetector in which the common P-sub layer 80 is disposed beneath the light-receiving part 62 and the signal-processing circuit part 66, and a ground potential is applied with this P-sub layer 80 serving as the anode of the light-receiving part 62, it becomes easier for leakage current to be generated if the N-well 86 of the signal-processing circuit part 66 directly contacts the epitaxial layer 82. Given that point, in the present photodetector 60, the P-well 84, which has a higher impurity concentration than the epitaxial layer 82, is provided at the boundary between the N-well 86 and the epitaxial layer 82, and thereby the expansion of the depletion layer into the pn junction becomes small and curtailment of leakage current is achieved.

[0032]

In addition, the depletion layer in the epitaxial layer 82, which is the boundary with the N-well 86, expands not only at the lower-surface side of the N-well 86 but also at the side surfaces. At a boundary portion between the light-receiving part 62 and the signal-processing circuit part 66 in particular, because the isolation

region 70, which is the anode, is grounded and made to have a low electric potential, it is easy for the depletion layer to expand, and thereby it is easy for leakage current to be generated. However, by having a structure in which the P-well 84 is disposed at side portions of the N-well 86 as well, expansion of the depletion layer in the horizontal direction such that it enters the boundary portion between the light-receiving part 62 and the signal-processing circuit part 66 is also curtailed, and thereby a decrease in leakage current is achieved.

[0033]

It is noted that, in the light-receiving part 62 described above, the PDs 64 are disposed adjacent to each other with the isolation region 70 placed between them. Here, as one conventional technique for element isolation, the LOCOS method is known. According to that technique, for example, a thick oxide film that penetrates the substrate similar to the LOCOSs 112, 114 formed on the signal-processing circuit part 66 is caused to grow selectively in a p^+ region similar to the one in which the separation region 70 is formed. While on the one hand this technique can be applied to the light-receiving part 62 as well, this technique is not adopted in the present embodiment. Thus, by not forming a LOCOS oxide film on the isolation region 70, the light incident on the isolation region 70 from above is no longer attenuated by the LOCOS oxide film. Here, beneath the isolation region 70 is the i-layer, which can be depleted. Consequently, attenuation of the light is curtailed and the light incident on the isolation region 70 from above reaches the i-layer beneath the isolation region 70 and can generate the signal charge; thereby, detection efficiency for light that is incident on the light-receiving part 62 improves.

[0034]

In addition, the isolation region 70 can become a non-sensitive region with respect to detecting incidence light. Here, by not forming the LOCOS oxide film, diffusion in the horizontal direction of the isolation region 70 during that formation process is avoided. As a result, because the proportion of the isolation region 70 taking up the light-receiving part is curtailed, an improvement in the detection efficiency for the light incident on the light-receiving part is achieved even at this point.

[0035]

The structure of the light-receiving part 62 of the photodetector 60 is not limited to the configuration described above. FIG. 5 is a schematic, cross-sectional view that shows another structure of the light-receiving part 62 and shows a vertical cross section of the semiconductor substrate along the straight line A-A', which is shown in FIG. 1 and FIG. 2. It is noted that the plan view of this light-receiving part 62 is in common with that shown in FIG. 2. A feature of the light-receiving part 62 shown in FIG. 5 is that it has a lower-portion isolation region 150, which is a p^+ region that protrudes from the P-sub layer 80 at locations opposing the isolation region 70. This lower-portion isolation region 150 receives the voltage applied to the P-sub layer 80 and, together with the P-sub layer 80, functions as a substrate-side anode. Owing to the lower-portion isolation region 150, the distance between the anode that is constituted by the isolation region 70 and the substrate-side anode is reduced at the boundaries of the PDs 64. As a result, the potential barriers for the electrons are more suitably formed in the epitaxial layer 82 at the boundaries of the PDs 64, thereby improving the element isolation performance between the PDs 64.

[0036]

The lower-portion isolation region 150 is formed, for example, by introducing p-type impurities, through ion implantation, etc., at locations on the epitaxial layer 82 corresponding to the boundaries between the PDs 64 in the stage in which the epitaxial layer 82 is layered onto the P-sub layer 80 to a partial thickness. Thus, after the lower-portion isolation region 150 is formed, the epitaxial layer 82 is caused to grow to the remaining thickness. Thereafter, similar to the light-receiving part 62, which exhibits the cross-sectional structure shown in FIG. 3, the structure on the substrate front surface having the isolation region 70, the cathode regions 72, etc., is formed.

[0037]

In the situation in which the structure of the light-receiving part 62 shown in FIG. 5 is adopted instead of the structure of the light-receiving part 62 shown in FIG. 3, here, as well, the expansion of the depletion layer into the epitaxial layer 82 from the boundary with the N-well 86 can be curtailed by providing the P-well 84 on the signal-processing circuit part 66. As a result, the photodetector 60 is achieved in which junction leakage current at the junction between the epitaxial layer 82 and the N-well 86 is curtailed.

[0038]

[Second Embodiment]

Except for points where the structure of the light-receiving part 62 is different from the above-mentioned first embodiment, the photodetector 60, which is a second embodiment explained below, has a configuration that is basically the same as the above-mentioned first embodiment; in the present embodiment, constituent elements having the same functions and properties as those of the first embodiment are assigned reference numerals identical to those of the first embodiment. A schematic plan view of the photodetector 60 of the present embodiment is identical to that of FIG. 1, which is referenced here.

[0039]

FIG. 6 is a schematic plan view of the light-receiving part 62 of the present photodetector 60. Similar to the photodetector of the first embodiment, the present photodetector 60 is formed on the semiconductor substrate, which is composed of silicon, and the light-receiving part 62 is disposed in the opening portion (not shown) that is provided in the protective film layered on the front surface of the semiconductor substrate. The light-receiving part 62 partitions light incident on the substrate front surface into four blocks, 2×2, and receives that light.

[0040]

Cathode regions 200 are disposed, corresponding to the PDs 64, on the front surface of the semiconductor substrate on the outer periphery of the light-receiving part 62. In addition, an anode region 202 is disposed on the front surface of the semiconductor substrate between adjacent PDs 64 to provide element isolation between the PDs 64.

[0041]

Each of the cathode regions 200 is formed as an n^+ region along the outer periphery of the light-receiving part, for example, by diffusing a high concentration of n-type impurities from the front surface of a trench 204 that is L-shaped in planar form. In contrast, the anode region 202 is formed as a p^+ region between adjacent PDs 64, for example, by diffusing a high concentration of p-type impurities from the front surface of a trench 206 that is plus-shaped in planar form. Each of the cathode regions 200 is connected via a contact to wiring (not shown) formed from, for example, an aluminum (Al) layer or the like, and functions as the cathode of the corresponding PD 64, which is a PIN photodiode. In contrast, the anode region 202 is connected via a contact to wiring (not shown), and functions as an anode that is common to all the PIN photodiodes.

[0042]

FIG. 7 is a schematic, cross-sectional view that shows the structure of the light-receiving part 62 and the signal-processing circuit part 66 in a vertical cross section of the semiconductor substrate through a straight line A-A', which is shown in FIG. 1 and FIG. 6, respectively. Two of the PDs 64 of the light-receiving part 62 and the CMOS 68 of the signal-processing circuit part 66 appear in this cross section. The epitaxial layer 82 having high specific resistance and layered onto one principle surface of the P-sub layer 80, which is a p-type silicon substrate, constitutes the i-layer of the PIN photodiodes. The trenches 204, 206, the cathode regions 200, and the anode region 202 described above are formed on the front surface of the epitaxial layer 82. The trenches 204, 206 are formed by etching the front surface of the semiconductor substrate. After forming the trenches 204, 206, a resist is applied to the front surface of the semiconductor substrate, the resist is patterned, and apertures are formed surrounded by the trenches 204. Ion implantation of n-type impurities is performed with this resist serving as a mask. By making the implantation direction inclined, ion implantation also occurs at the wall surfaces of the trenches 204, and the cathode regions 200 are formed on the front surface of each of the trenches 204, i.e., the wall surfaces and the bottom surface of each of the trenches 204. Similarly, a mask having an aperture corresponding to the trench 206 is formed using the resist, ion implantation of p-type impurities is performed, and thereby the anode region 202 is formed on the front surface of the trench 206, i.e., on the wall surfaces and bottom surface of the trench 206.

[0043]

It is noted that the processes for forming the cathode regions 200 and the anode region 202 can include a thermal diffusion step, as necessary, which is performed after the ion implantation described above. In addition, after forming the cathode regions 200 and the anode region 202, the trenches 204, 206 can be filled with an insulating film to achieve a structure in which the front surface of the light-receiving part is planarized.

[0044]

While the cathode regions 200 and the anode region 202 formed using the trenches 204, 206, respectively, as described above, constitute the anode and the cathode of each of the PIN photodiodes, they also surround the PDs 64 and function to isolate each of the PDs 64 from the outside thereof. Incidentally, this kind of configuration is known as the STI (Shallow Trench Isolation) technique.

[0045]

The epitaxial layer 82 appears on the front surface at the inner-side portions surrounded by the cathode regions 200 and the anode region 202 of the PDs 64. As described below, each of these portions becomes a semiconductor region (a light-receiving semiconductor region 208) that is sensitive to the light incident on the light-receiving part.

[0046]

FIG. 8 is a schematic view that shows a circuit configuration during operation of the present photodetector 60 and shows an electric potential distribution at a cross section of the light-receiving part 62. Similar to FIG. 7, the cross section of the light-receiving part 62 shown in FIG. 8 is along the straight line A-A', which is shown in FIG. 1 and FIG. 6. Each of the cathode regions 200 is placed in a reverse-bias state in relation

to the anode region 202 and the P-sub layer 80, which are made a ground potential using the voltage source 120. Specifically, the wiring from each of the cathode regions 200 is connected to one of the input terminals of the corresponding op amp 122, and the positive voltage Vb from the voltage source 120 is input to the other input terminal of that op amp 122. The output terminal of each of the op amps 122 is connected to the corresponding cathode region 200 via a resistor, to thereby constitute a current detector device. According to this configuration, Vb is applied to the cathode regions 200, and a voltage that corresponds to the cathode current is extracted from the output terminal of each of the op amps 92. Incidentally, the current detector devices, which each includes the op amp 122, can be formed on the signal-processing circuit part 66.

[0047]

A number of equipotential lines are depicted in the cross-sectional view using dotted lines. This cross-sectional view indicates that the depletion layer expands in the epitaxial layer 82, which constitutes the i-layer, owing to the reverse-bias voltage being applied to the cathode and the anode of each of the PIN photodiodes. The cathode regions 200 and the anode region 202 are both disposed on the front surface of the semiconductor substrate, and the light-receiving semiconductor regions 208 located in the vicinity of the front surface of the semiconductor substrate between the cathode regions 200 and the anode region 202 constitute the i-layer. According to this configuration, the depletion layer likewise expands to the vicinity of the front surface of the semiconductor substrate in correspondence to the light-receiving semiconductor regions 208 when the reverse-bias voltage is applied.

[0048]

The potential within the depletion layer increases from the anode region 202 toward the respective cathode region 200. That is, a potential well is formed at a location corresponding to each of the cathode regions 200. In addition, the potential becomes low at the boundary portions between adjacent PDs 64, which correspond to the location of the anode region 202, a potential barrier with respect to the movement of electrons is formed, and thereby element isolation between adjacent PDs 64 is achieved.

[0049]

The light incident on each of the PDs 64 generates electron–electron hole pairs, which function as the signal charges absorbed by the depletion layer, and the electrons of these pairs collect in the neighboring cathode regions 200. The amount of electrons that collect in each of the cathode regions 200 is detected by the corresponding op amp 122 as the cathode current. The signal charges are generated in each of the PDs 64 of the present photodetector 60 also owing to the light absorbed in the vicinity of the front surface of the corresponding light-receiving semiconductor region 208, and those signal charges can be detected from the corresponding cathode region 200. Thereby, it becomes possible to extract the signal charges generated by short-wavelength light absorbed in the vicinity of the front surface of the semiconductor substrate as the received-light signal, and thereby sensitivity to short-wavelength light can be obtained.

[0050]

Incidentally, by employing an anisotropic etching technique, such as RIE (Reactive Ion Etching), as the etching method for forming the trenches 204, 206, for example, the trenches 204, 206 can be finely formed, and thereby the proportion of the light-receiving semiconductor region 208 that takes up the surface area of the front surface of the semiconductor substrate at each of the PDs 64 can be made large. Thereby, an improvement in the sensitivity of the PDs 64 is achieved.

[0051]

In addition, because the junction surface area of the junctions between the cathode regions 200 and the epitaxial layer 82 and the junction between the anode region 202 and the epitaxial layer 82 can be made small, the inter-terminal capacitance between the cathode and anode of each of the PIN photodiodes is curtailed, and thereby it becomes possible to secure satisfactory responsiveness.

[0052]

In the configuration of the present photodetector 60, the N-well 86, in which the circuit elements are formed in the signal-processing circuit part 66, is formed inside the epitaxial layer 82, which has an extremely low impurity concentration. Consequently, the depletion layer expands easily to the epitaxial layer 82 at the boundary with the N-well 86, and thereby leakage current is easily generated. When the PIN photodiodes are used in the reverse-bias state in particular, the P-sub layer 80, which is the anode therefor, expands also to beneath the signal-processing circuit part 66. Although the epitaxial layer 82 is more easily depleted when the potential difference between the N-well 86 and the P-sub layer 80 is small (or is reverse biased), in the present photodetector 60, the P-well 84, which has a higher impurity concentration than the epitaxial layer 82, is provided at the boundary between the N-well 86 and the epitaxial layer 82, and thereby expansion of the depletion layer into the pn junction portion with the N-well 86 is reduced, and leakage current is curtailed.

[0053]

In addition, by having the structure in which the P-well 84 also covers the side surfaces of the N-well

86, the depletion layer in the horizontal direction from the N-well 86 is also curtailed, and a decrease in leakage current is achieved. There are also situations in which the PDs 64 are laid out such that the anode region 202 is adjacent to the N-well 86, and in that situation in particular, the depletion layer, which expands in the horizontal direction, is easily formed in the epitaxial layer 82 therebetween. However, in the present photodetector 60, by having the structure in which the P-well 84 is also disposed at the side portions of the N-well 86 as described above, in this situation as well, it becomes possible for the depletion layer to be suitably curtailed and the leakage current to be suitably inhibited.

BRIEF DESCRIPTION OF THE DRAWINGS

[0054]

FIG. 1 is a schematic plan view of a photodetector, which is an embodiment of the present invention.

FIG. 2 is a plan view of a light-receiving part of the photodetector according to the first embodiment.

FIG. 3 is a cross-sectional view of the photodetector according to the first embodiment.

FIG. 4 is a schematic view that shows a circuit configuration during operation of the photodetector according to the first embodiment and shows an electric potential distribution at a cross section of the light-receiving part.

FIG. 5 is a cross-sectional view of another light-receiving part of the photodetector according to the first embodiment.

FIG. 6 is a plan view of a light-receiving part of a photodetector according to a second embodiment.

FIG. 7 is a cross-sectional view of the light-receiving part of the photodetector according to the second embodiment.

FIG. 8 is a schematic view that shows a circuit configuration during operation of the photodetector according to the second embodiment and shows an electric potential distribution at a cross section of the light-receiving part.

FIG. 9 includes schematic diagrams that show a light-receiving part of the photodetector and the reflected-light image on the light-receiving part.

FIG. 10 is a schematic, cross-sectional view of one light-receiving element that constitutes a conventional photodetector.

FIG. 11 is a cross-sectional view of an element and is for explaining the problems of a photodetector in which circuits, such as the light-receiving part having a PIN photodiode structure, an amplifier, and the like, are formed on the same semiconductor chip.

EXPLANATION OF THE REFERENCE NUMBERS

[0055]

60	Photodetector
62	Light-receiving part
64	PIN photodiode (PD)
66	Signal-processing circuit part
68	CMOS
70	Isolation region
72, 200	Cathode regions
74, 76	Wirings
80	P-sub layer
82	Epitaxial layer
84	P-well
86, 92	N-wells
88, 102	p-channel MOSFETs
90	n-channel MOSFET
94, 104	Source regions
96, 106	Drain regions
98	Gate oxide film
100, 110	Gate electrodes
112	LOCOS
116	Anti-reflection film
120	Voltage source
122	Op amp
202	Anode region
204, 206	Trenches
208	Light-receiving semiconductor region

FIG. 1

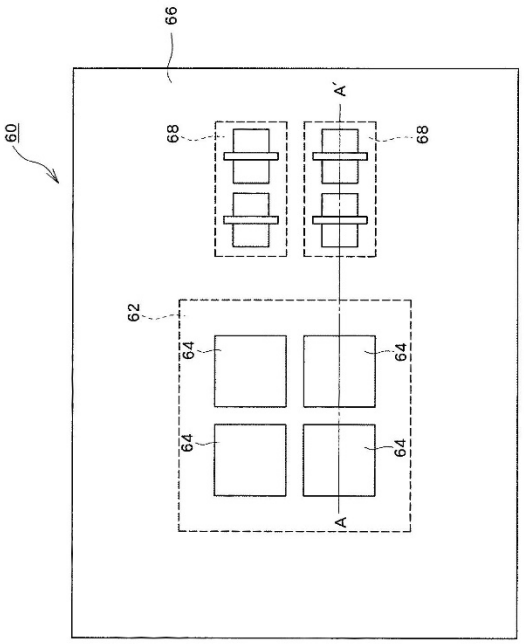


FIG. 2

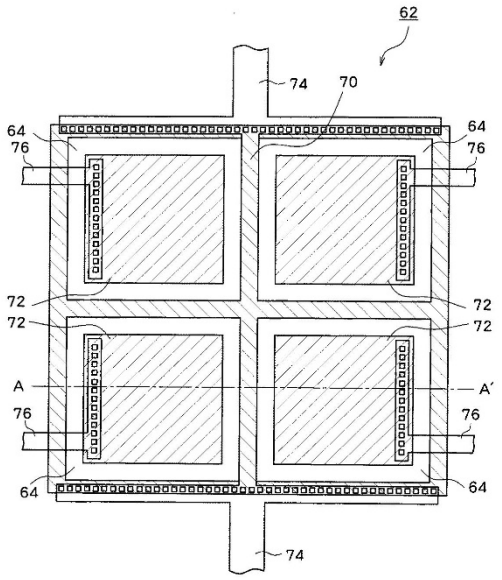


FIG. 3

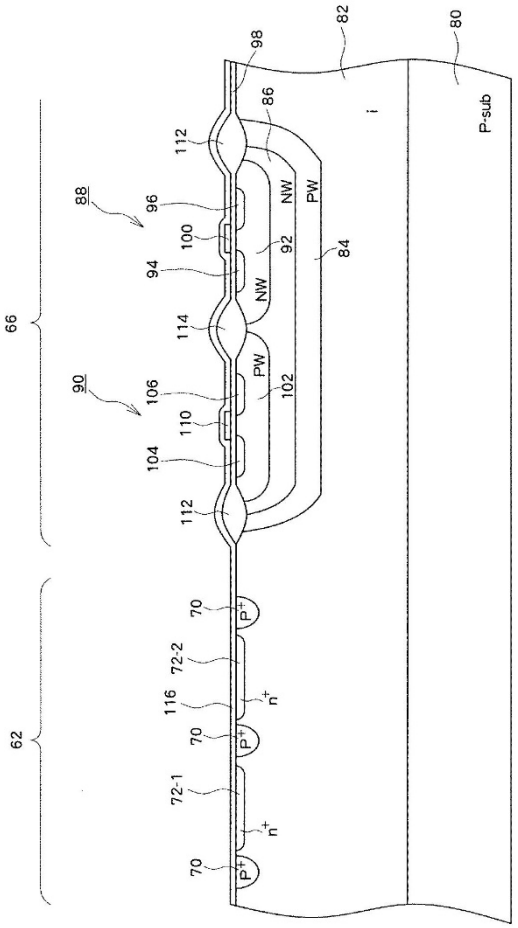


FIG. 4

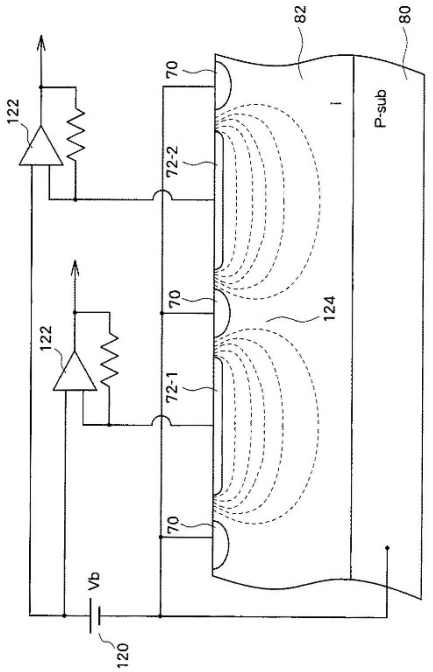


FIG. 5

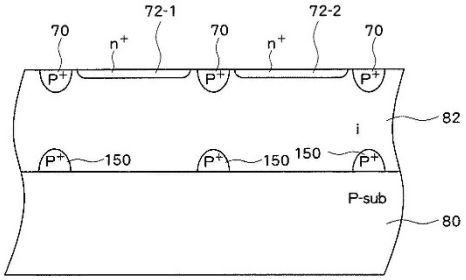


FIG. 6

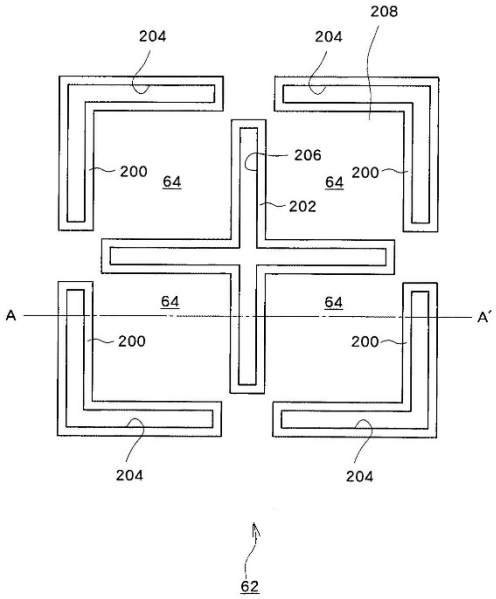


FIG. 7

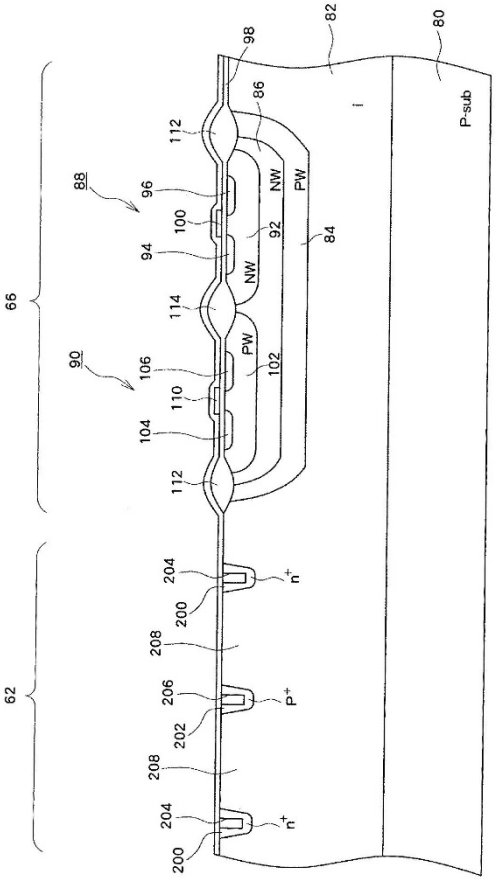


FIG. 8

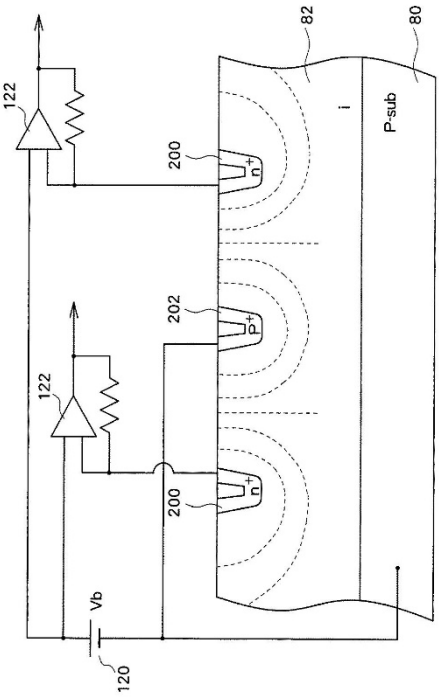


FIG. 9

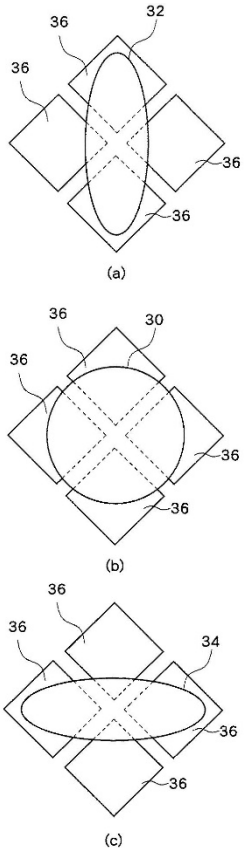


FIG. 10

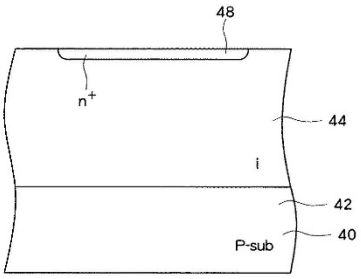
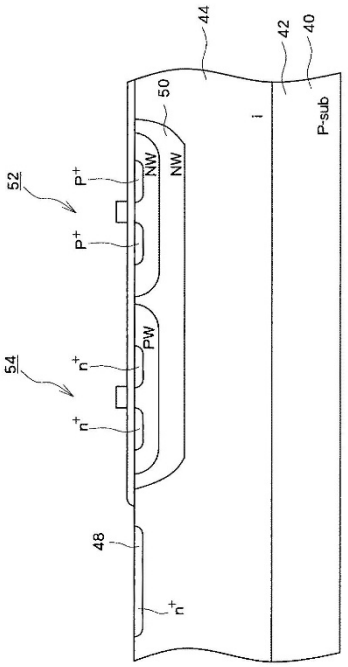


FIG. 11



(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2007-129024
(P2007-129024A)
(43)公開日　平成19年5月24日(2007.5.24)

(51)Int.Cl.		F I		テーマコード（参考）
H01L 31/10	(2006.01)	H01L 31/10	G	4M118
H01L 27/14	(2006.01)	H01L 27/14	Z	5F049
		H01L 31/10	A	

審査請求 未請求　請求項の数 7　ＯＬ　（全 14 頁）

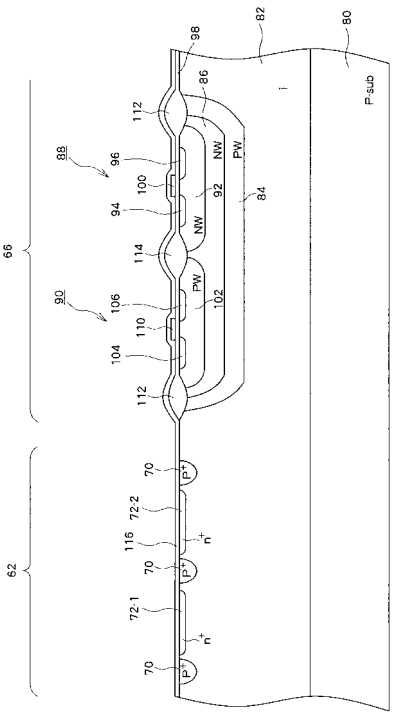
(21)出願番号　特願2005-319513 (P2005-319513)
(22)出願日　平成17年11月2日 (2005.11.2)

(71)出願人　000001889
三洋電機株式会社
大阪府守口市京阪本通２丁目５番５号
(74)代理人　110000154
特許業務法人はるか国際特許事務所
(72)発明者　長谷川　昭博
大阪府守口市京阪本通２丁目５番５号　三洋電機株式会社内

Ｆターム(参考)　4M118 AA10 AB10 BA02 CA05
5F049 MA04 MB02 NA03 NA10 NA15
NB08 QA03 RA04 RA10 SE01
SE05 SZ03 UA01 UA07 UA12
UA13 UA17 WA03

(54)【発明の名称】半導体装置

(57)【要約】
【課題】ＰＩＮフォトダイオードを受光部に備える光検出用半導体素子において、同一チップ上にＣＭＯＳを構成可能とする。
【解決手段】Ｐ-sub層８０の上にエピタキシャル層８２を積層した半導体基板に受光部６２及び信号処理回路部６６を構成する。ＰＩＮフォトダイオードはＰ-sub層８０をアノードとし、カソード領域７２とＰ-sub層８０との間のエピタキシャル層８２をｉ層として構成される。信号処理回路部６６においてＣＭＯＳを形成するＮウェル８６とエピタキシャル層８２との境界にＰウェル８４を形成する。
【選択図】図３



【特許請求の範囲】
【請求項１】
共通の半導体基板に形成された受光部及び回路部を有する半導体装置であって、
前記半導体基板の主面に設けられ、低不純物濃度により高比抵抗に形成される高比抵抗領域を有し、
前記受光部は、
前記高比抵抗領域に接して配置され、前記高比抵抗領域よりも高不純物濃度の第１導電型半導体領域であって第１電圧を印加される第１電極領域と、
前記高比抵抗領域に接して配置され、前記高比抵抗領域よりも高不純物濃度の第２導電型半導体領域であって第２電圧を印加される第２電極領域と、
を有し、
前記第１電極領域及び前記第２電極領域相互間は、前記第１電圧及び前記第２電圧により逆バイアス状態とされて、前記高比抵抗領域に空乏層を形成し、
前記回路部は、
前記主面に設けられ、内部に回路素子が形成される第１導電型半導体領域である回路素子領域と、
前記高比抵抗領域及び前記回路素子領域の間の境界を構成し、前記高比抵抗領域よりも高不純物濃度の第２導電型半導体領域である接合境界領域と、
を有することを特徴とする半導体装置。
【請求項２】
請求項１に記載の半導体装置において、
前記高比抵抗領域は、第２導電型半導体領域であること、を特徴とする半導体装置。
【請求項３】
請求項１又は請求項２に記載の半導体装置において、
前記高比抵抗領域は、２００Ω・ｃｍ以上の比抵抗を有すること、を特徴とする半導体装置。
【請求項４】
請求項１から請求項３のいずれか１つに記載の半導体装置において、
前記高比抵抗領域は、エピタキシャル成長層であること、を特徴とする半導体装置。
【請求項５】
請求項１から請求項４のいずれか１つに記載の半導体装置において、
前記第２電極領域は、前記高比抵抗領域の下地層であり、
前記第１電極領域及び前記回路素子領域はそれぞれ、前記高比抵抗領域の表層部に形成されること、
を特徴とする半導体装置。
【請求項６】
請求項１から請求項４のいずれか１つに記載の半導体装置において、
前記第１電極領域、前記第２電極領域及び前記回路素子領域はそれぞれ、前記高比抵抗領域の表層部に形成されること、
を特徴とする半導体装置。
【請求項７】
請求項６に記載の半導体装置において、
他の前記第２電極領域は、当該高比抵抗領域の下地層であること、を特徴とする半導体装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、高比抵抗の半導体領域に広がる空乏層を利用した受光部を有し光電変換による信号を生成する半導体装置に関する。
【背景技術】

【０００２】
近年、情報記録媒体として、ＣＤ（Compact Disk）やＤＶＤ（Digital Versatile Disk）といった光ディスクが大きな位置を占めるようになってきた。これら光ディスクの再生装置は、光ピックアップ機構により光ディスクのトラックに沿ってレーザ光を照射し、その反射光を検知する。そして、反射光強度の変化に基づいて記録データが再生される。
【０００３】
光ディスク再生装置は、反射光に基づいてデータを検出しつつ、光ピックアップ機構と光ディスクとの位置関係をサーボ制御する。具体的には、レーザ光をトラックの中心線に沿って照射するためのトラッキングサーボ及び、光ディスクと光ピックアップ機構との距離を一定に保つフォーカスサーボが行われる。例えば、フォーカスサーボ制御は、レーザ反射光を検出する光検出器の出力信号に基づき、アクチュエータで光ピックアップ機構の位置を可変制御し、光ディスクとの距離ｄを一定に保つ。これにより、光ディスクの表面での照射光のフォーカスのずれに応じた反射光量の変動が抑制され、受光信号に重畳されるノイズが抑制される。
【０００４】
このようなサーボ制御のための情報を得るために、光検出器として反射光像を複数区画に分割して受光するものが用いられる。図９は、光検出器の受光部及び、当該受光部上での反射光像を示す模式図である。レーザ反射光はシリンドリカルレンズを通して光検出器に入射される。非点収差法の原理により、円形状断面でシリンドリカルレンズに入射した反射光の当該シリンドリカルレンズ通過後の像は、光ピックアップ機構と光ディスクとの距離ｄに応じて、直交する２方向の寸法比率が変化する。具体的には、距離ｄが目標値である場合に、図９（ｂ）に示すように、反射光像が真円３０となるように設定される。一方、例えば、距離ｄが、オーバーである場合には図９（ａ）に示すように、反射光像は縦長の楕円３２となり、アンダーである場合には図９（ｃ）に示すように、反射光像は横長の楕円３４となる。
【０００５】
光検出器は例えば、２×２の４つの区画３６に分割された受光部を有し、各区画はそれぞれ受光信号を出力する受光素子を構成する。光検出器は、受光素子の２×２の正方配列の対角方向が縦長楕円３２及び横長楕円３４それぞれの軸に一致するように配置される。このように配置することで、図９において垂直方向の対角線上に並ぶ２受光素子の出力信号の和と水平方向の対角線上に並ぶ２受光素子の出力信号の和との差に基づき、各反射光像の形状を判別し、距離ｄの制御に用いることができる。一方、データに応じた反射光強度は、４つの受光素子の出力信号の総和により求められる。
【０００６】
光ディスクから読み出されるデータレートは非常に高いため、光検出器は、応答速度の速いＰＩＮフォトダイオードを用いた半導体素子で構成されている。図１０は、従来の光検出器を構成する１つの受光素子の模式的な断面図である。この図は、受光素子であるＰＩＮフォトダイオードの垂直断面構造を表している。この半導体素子において、ｐ型半導体基板４０がフォトダイオードのアノード領域４２となり、その上に不純物濃度が低く高比抵抗であるｉ層４４がエピタキシャル成長により形成される。ｉ層４４の不純物濃度は極めて低く、その比抵抗は１００Ω・ｃｍのオーダーであり、この比抵抗は他の一般的な半導体素子に用いられる半導体基板に比べて桁違いに高い。ｉ層４４の表面にはカソード領域４８となるn^+領域が形成される。低濃度のｉ層４４をアノード領域４２とカソード領域４８との間に配することで、アノードとカソードとの間に印加する逆バイアス電圧を低くしてもｉ層４４に空乏層を形成することができ、光検出器の低電圧駆動化が図られる。
【０００７】
これらアノード領域４２、ｉ層４４、及びカソード領域４８が光検出器の受光素子となるＰＩＮフォトダイオードを構成する。このＰＩＮフォトダイオードは、アノード領域４２とカソード領域４８とがそれぞれ電圧端子に接続され、それらの間に逆バイアス電圧が

印加される。逆バイアス状態にてアノード領域４２とカソード領域４８との間のｉ層４４には空乏層が形成され、空乏層内にて入射光の吸収により発生する電子が、空乏層内の電界でカソード領域４８へ移動し、受光信号として出力される。

【０００８】

ｉ層４４の厚さは、検出する光の半導体内での吸収長程度以上に設定される。例えば、ＣＤやＤＶＤに用いられている７８０ｎｍ帯や６５０ｎｍ帯の光に対するシリコンの吸収長は１０～２０μｍ程度である。

【発明の開示】

【発明が解決しようとする課題】

【０００９】

受光部にて発生した微弱な光電変換信号は増幅器にて増幅され、後段の信号処理回路へ出力される。ここで、光電変換信号の減衰やノイズの重畳を抑制する観点から、受光部と増幅器との間の配線長をできるだけ短くするように構成される。この観点と、光検出器の製造コスト低減の観点とから、ＰＩＮフォトダイオード構造の受光部と増幅器等の回路とは同一の半導体チップ上に形成することが好適である。この場合、図１１の模式的な断面図に示すように、低濃度のｐ型領域に形成されたｉ層４４の表面にｎ型不純物領域であるＮウェル５０を形成し、このＮウェル５０内に例えば、ｐチャネルＭＯＳＦＥＴ（Metal Oxide Semiconductor Field Effect Transistor：ＭＯＳ型電界効果トランジスタ）５２及びｎチャネルＭＯＳＦＥＴ５４を形成しＣＭＯＳ（Complementary Metal Oxide Semiconductor）を構成することができる。しかし、この構成には、ｉ層４４の不純物濃度が極めて低いことに起因して、ｉ層４４とＮウェル５０とのｐｎ接合でのリーク電流が大きくなるという問題があった。

【００１０】

本発明は上記問題点を解決するためになされたものであり、低電圧で高速駆動可能であると共にコスト削減が図られる光検出用半導体素子を提供することを目的とする。

【課題を解決するための手段】

【００１１】

本発明に係る半導体装置は、共通の半導体基板に形成された受光部及び回路部を有するものであって、前記半導体基板の主面に設けられ、低不純物濃度により高比抵抗に形成される高比抵抗領域を有し、前記受光部が、前記高比抵抗領域に接して配置され、前記高比抵抗領域よりも高不純物濃度の第１導電型半導体領域であって第１電圧を印加される第１電極領域と、前記高比抵抗領域に接して配置され、前記高比抵抗領域よりも高不純物濃度の第２導電型半導体領域であって第２電圧を印加される第２電極領域と、を有し、前記第１電極領域及び前記第２電極領域相互間が、前記第１電圧及び前記第２電圧により逆バイアス状態とされて、前記高比抵抗領域に空乏層を形成し、前記回路部が、前記主面に設けられ、内部に回路素子が形成される第１導電型半導体領域である回路素子領域と、前記高比抵抗領域及び前記回路素子領域の間の境界を構成し、前記高比抵抗領域よりも高不純物濃度の第２導電型半導体領域である接合境界領域と、を有するものである。

【発明の効果】

【００１２】

本発明によれば、高比抵抗領域と回路素子領域との境界に回路素子領域とは反対の導電型で高比抵抗領域より高濃度の接合境界領域が設けられる。この接合境界領域と回路素子領域とが形成するｐｎ接合部分においては、熱励起等に起因して電荷を発生し得る空乏層の拡がりが抑制され、リーク電流が抑制される。その結果、ＣＭＯＳ等の回路素子を含む回路部を受光部に併設して同一基板に形成することができ、コストを抑制しつつ低電圧かつ高速駆動の光検出用半導体素子を実現することができる。

【発明を実施するための最良の形態】

【００１３】

以下、本発明の実施の形態（以下実施形態という）について、図面に基づいて説明する。

【００１４】
［実施形態１］
図１は、実施形態の半導体素子である光検出器の概略の平面図である。本光検出器６０はシリコンからなる半導体基板に形成され、半導体基板表面上に積層される保護膜に設けられた開口部分（図示せず）に受光部６２が配置される。受光部６２は、例えば、２×２に配列された４つのＰＩＮフォトダイオード（ＰＤ）６４を含み、光学系から基板表面へ入射する光を２×２の４区画に分割して受光する。半導体基板上には受光部６２だけでなく、信号処理回路部６６が形成される。例えば、信号処理回路部６６は受光部６２の周囲に配置される。信号処理回路部６６は例えば、ＣＭＯＳ６８等の回路素子を含み、これら回路素子を用いて受光部６２からの出力信号に対する増幅回路やその他の信号処理回路を受光部６２と同一の半導体チップに形成することができる。
【００１５】
図２は、受光部６２のより詳しい平面図である。各ＰＤ６４はそれらの周囲の半導体基板表面に形成される分離領域７０により区切られる。分離領域７０は、例えば、高濃度のｐ型不純物を拡散されたｐ$^{+}$領域として形成される。シリコン基板の受光部に対応した部分では、光の吸収により電子及び正孔が生成される。各ＰＤ６４には、そのカソードとして、生成した電荷のうち電子を集めるカソード領域７２が配置される。カソード領域７２は、例えば、高濃度のｎ型不純物を拡散されたｎ$^{+}$領域として形成される。
【００１６】
分離領域７０及び各カソード領域７２はそれぞれコンタクトを介して、例えばアルミ（Ａｌ）層等で形成された配線に接続される。分離領域７０は、配線７４により例えば、接地電位を印加される。また、各カソード領域７２に集められた信号電荷は、配線７６を介して読み出される。
【００１７】
図３は、図１及び図２にそれぞれ示す直線Ａ－Ａ’を通り半導体基板に垂直な断面での受光部６２及び信号処理回路部６６の構造を示す模式的な断面図である。この断面には受光部６２の２つのＰＤ６４と信号処理回路部６６のＣＭＯＳ６８とが現れている。
【００１８】
本光検出器６０は、ｐ型不純物が導入されたｐ型シリコン基板であるＰ-sub層８０の一方主面に、Ｐ-sub層８０より不純物濃度が低く高比抵抗を有する半導体層が積層された半導体基板を用いて形成される。Ｐ-sub層８０は各ＰＤ６４に共通のアノードを構成し、例えば、基板裏面から接地電位を印加される。Ｐ-sub層８０の上に積層される高比抵抗の半導体層は、例えばエピタキシャル成長により形成される。このエピタキシャル層８２（高比抵抗領域）は、受光部６２にてＰＤ６４のｉ層を構成する。エピタキシャル層８２に導入される低濃度不純物は、例えばｐ型不純物である。また、エピタキシャル層８２の比抵抗ρは、少なくとも２００Ω・ｃｍ以上であり、ここでは、ρは５００Ω・ｃｍ程度であるとする。また、ｉ層を構成するエピタキシャル層８２の厚さは、検出する光の半導体内での吸収長程度以上に設定される。例えば、ＣＤやＤＶＤに用いられている７８０ｎｍ帯や６５０ｎｍ帯の光に対するシリコンの吸収長は１０～２０μｍ程度である。よって、ここではエピタキシャル層８２の厚さは、１０～２０μｍに設定される。
【００１９】
受光部６２において、エピタキシャル層８２の表面には、上述の分離領域７０及びカソード領域７２が形成される。分離領域７０及びカソード領域７２への不純物の導入はそれぞれ、このエピタキシャル層８２を形成されたシリコン基板の表面にフォトリソグラフィ技術で形成されたマスクを形成し、このマスクを用いてイオン注入を対象領域へ選択的に行うことにより実現される。
【００２０】
ちなみに、分離領域７０、カソード領域７２を形成する位置にそれぞれイオン注入により導入された不純物は、さらに必要に応じて熱拡散工程を行って、基板深さ方向に押し込まれる。その押し込み量は、分離領域７０、カソード領域７２それぞれについて別個に制

御され得る。例えば、分離領域７０は、後述するように、各カソード領域７２に集められる信号電荷のＰＤ６４間でのクロストークを抑制する機能を担っている。そこで分離領域７０の深さは、例えば、カソード領域７２に比べて深く設定され得る。一方、カソード領域７２の深さを浅くすることで、その下のｉ層に形成される空乏層が基板表面近くから広がることとなり、ＰＤ６４での光電変換効率の向上が期待できる。このようにカソード領域７２を分離領域７０より浅く形成する場合には、カソード領域７２へのイオン注入に先立って、分離領域７０への不純物のイオン注入及び熱拡散を行うのが好適である。

【００２１】

なお、本光検出器６０の構成では、分離領域７０はＰ-sub層８０までは到達せず、分離領域７０とＰ-sub層８０との間には、高比抵抗のエピタキシャル層８２がｉ層として存在する。また、分離領域７０は、上述したように基板表面側に設けられた配線７４により接地電位を印加され、Ｐ-sub層８０と共にアノードを構成する。

【００２２】

一方、信号処理回路部６６においてはＣＭＯＳ６８の形成領域に対応して、エピタキシャル層８２の表層部にＰウェル８４及びＮウェル８６が形成される。ここで、Ｎウェル８６は、後述するように内部に回路素子が形成される回路素子領域であり、Ｐウェル８４はＮウェル８６とエピタキシャル層８２との境界を形成する接合境界領域である。例えば、Ｐウェル８４及びＮウェル８６はそれぞれイオン注入により形成される。具体的には、先にＰウェル８４を形成するイオン注入を行い、その後、Ｎウェル８６をイオン注入によりＰウェル８４より浅く形成し、Ｐウェル８４の内側にＮウェル８６を形成する。Ｐウェル８４とＮウェル８６との深さは、それぞれのイオン注入のエネルギーの調整やイオン種の選択によって、互いに異ならせることができる。Ｎウェル８６の濃度はその領域内に形成されるＣＭＯＳ６８との関係に応じて定めることができる。Ｐウェル８４は、エピタキシャル層８２よりも高濃度に設定され、エピタキシャル層８２とＮウェル８６との間の接合リーク電流を抑制する。

【００２３】

Ｎウェル８６内には、ＣＭＯＳ６８を構成するｐチャネルＭＯＳＦＥＴ８８及びｎチャネルＭＯＳＦＥＴ９０が形成される。ｐチャネルＭＯＳＦＥＴ８８は、例えば、Ｎウェル８６内にさらにＮウェル９２を形成し、その表面にp^+領域であるソース領域９４、ドレイン領域９６が形成される。ソース領域９４とドレイン領域９６との間のチャネル領域の上にはゲート酸化膜９８を介してゲート電極１００が配置される。ｎチャネルＭＯＳＦＥＴ９０は、Ｎウェル８６内にさらにＰウェル１０２を形成し、その表面にn^+領域であるソース領域１０４、ドレイン領域１０６が形成される。ソース領域１０４とドレイン領域１０６との間のチャネル領域の上にはゲート酸化膜９８を介してゲート電極１１０が配置される。ゲート電極１００，１１０は例えば、ポリシリコンやタングステン（Ｗ）等を用いて形成される。

【００２４】

なお、エピタキシャル層８２の表面において、ＣＭＯＳ６８の形成領域とエピタキシャル層８２との境界には、領域間の分離のためにＬＯＣＯＳ（局所酸化膜）１１２が形成される。また、ｐチャネルＭＯＳＦＥＴ８８とｎチャネルＭＯＳＦＥＴ９０との境界にも素子分離のためにＬＯＣＯＳ１１４が形成される。

【００２５】

以上のように受光部６２及び信号処理回路部６６が形成された基板表面に反射防止膜１１６が積層される。反射防止膜１１６は例えばシリコン窒化膜で構成される。さらにこの上に平坦化膜や配線層、遮光層が形成されるが、簡略化のため図３においては図示を省略している。

【００２６】

図４は、本光検出器６０の動作時における回路構成及び、受光部６２の断面でのポテンシャル分布を示す模式図である。図４に示す受光部６２の断面は図３と同様、図１，図２に示す直線Ａ－Ａ’に沿ったものである。電圧源１２０によって、カソード領域７２と分

離領域７０及びＰ-sub層８０との間には逆バイアス電圧が印加される。具体的には、各カソード領域７２からの配線（図２の配線７６）はそれぞれオペアンプ１２２の一方入力端子に接続され、当該オペアンプ１２２の他方入力端子に電圧源１２０からの正電圧Ｖbが入力される。オペアンプ１２２は、抵抗を介して出力端子がカソード領域７２に接続され、電流検出器を構成する。この構成により、カソード領域７２は分離領域７０及びＰ-sub層８０の電位を基準として正の電圧Ｖbを印加され、かつカソード電流に応じた電圧がオペアンプ１２２の出力端子に取り出される。ちなみに、オペアンプ１２２を含む電流検出器は、信号処理回路部６６に形成することができる。

【００２７】

断面図にはいくつかの等電位線を点線で示している。この断面図は、ＰＩＮフォトダイオードのアノードとカソードとに逆バイアス電圧を印加したことにより、ｉ層を構成するエピタキシャル層８２に空乏層が広がっていることを示している。ポテンシャル電位はカソード領域７２に近いほど深く、すなわち高くなり、各カソード領域７２を中心として電子に対する電位井戸が形成されることとなる。

【００２８】

分離領域７０及びＰ-sub層８０をアノードとしてカソード領域６６に対し逆バイアスとなる接地電位を印加したことにより、エピタキシャル層８２の分離領域７０とＰ-sub層８０との間の境界領域１２４のポテンシャル電位は浅くなる。つまり、Ｐ-sub層８０に加えて分離領域７０をアノードとして接地電位としたことにより、分離領域７０下の境界領域１２４のポテンシャル電位が浅くなる方向に引っ張られる。これにより、分離領域７０を挟んで隣り合う各ＰＤ６４に対応する電位井戸の間に、電子の移動に対する電位障壁が形成される。

【００２９】

例えば、図４において左側のＰＤ６４への入射光によって、その左側のカソード領域７２-1下のｉ層で発生した電子は、当該左側の電位井戸の電界に沿ってカソード領域７２-1へは容易に移動可能であるが、右側のカソード領域７２-2へは領域１２４に電位障壁が間に存在するため移動しにくい。そのため、左側のＰＤ６４への入射光に対応する信号電荷は、専らカソード領域７２-1に集められることとなる。同様に、右側のＰＤ６４への入射光に対応する信号電荷は、電位障壁の存在によりカソード領域７２-1へは移動しにくく、専らカソード領域７２-2に集められる。各カソード領域７２に集められた電子の量は、カソード電流としてオペアンプ１２２を介して検出される。

【００３０】

このようにＰ-sub層８０に加えて分離領域７０をアノードとしたことにより、分離領域７０の下で隣接ＰＤ６４のｉ層がつながっているにも関わらず、ＰＤ６４相互の素子分離が実現され、クロストークが抑制された受光信号が得られる。

【００３１】

また、本光検出器の構成では、Ｐ-sub層８０がアノードとされ、このＰ-sub層８０は信号処理回路部６６の下にも広がる。ここで、エピタキシャル層８２の不純物濃度が極めて薄い。そのため、エピタキシャル層８２がＮウェル８６に接する構成では、Ｐ-sub層８０の電位が低いほど、Ｎウェル８６との接合部分のエピタキシャル層８２に空乏層が広がりやすい。空乏層では熱励起等による電荷が発生しやすく、これに起因してリーク電流が生じ得る。すなわち、受光部６２及び信号処理回路部６６の下に共通のＰ-sub層８０が配され、このＰ-sub層８０が受光部６２のアノードとして接地電位を印加される光検出器の構成において、信号処理回路部６６のＮウェル８６を直接、エピタキシャル層８２に接するとリーク電流が生じやすくなり得る。そこで、本光検出器６０では、Ｎウェル８６とエピタキシャル層８２との境界に、エピタキシャル層８２より不純物濃度の高いＰウェル８４を設け、ｐｎ接合部分での空乏層の広がりを小さくし、リーク電流の抑制を図っている。

【００３２】

また、Ｎウェル８６との境界のエピタキシャル層８２の空乏層は、Ｎウェル８６の下面側だけでなく、側面にも拡がり得る。特に、受光部６２と信号処理回路部６６との境界部

分では、アノードである分離領域７０が接地されて低い電位とされるため、空乏層が拡がり易く、リーク電流が発生し易い。しかし、Ｐウェル８４がＮウェル８６の側部にも配置される構造とすることで、この受光部６２と信号処理回路部６６との境界部分におけるような横方向への空乏層も抑制され、リーク電流の低減が図られる。

【００３３】

なお、上述の受光部６２では複数のＰＤ６４が間に分離領域７０を置いて隣接配置される。ここで、素子分離の１つの従来技術として、ＬＯＣＯＳ法が知られている。その技術によれば、例えば、分離領域７０に形成したようなｐ$^{+}$領域に選択的に、信号処理回路部６６に形成したＬＯＣＯＳ１１２，１１４のような基板に食い込む厚い酸化膜を成長させる。受光部６２においても、当該技術を適用することができる一方で、本実施形態では当該技術を採用していない。このように分離領域７０の上にＬＯＣＯＳ酸化膜を形成しないことにより、分離領域７０の上方からの入射光が、ＬＯＣＯＳ酸化膜で減衰されることがなくなる。ここで、分離領域７０の下はｉ層であり空乏化され得る。そのため、減衰を抑制されて分離領域７０の上方から入射した光は、分離領域７０下のｉ層にまで到達して信号電荷を発生し得ることとなり、受光部６２へ入射する光に対する検出効率が向上する。

【００３４】

また、分離領域７０は入射光検出に対して不感領域となり得る。ここで、ＬＯＣＯＳ酸化膜を形成しないことにより、その形成工程での分離領域７０の横方向の拡散が回避される。その結果、受光部に占める分離領域７０の割合が抑制されるので、この点でも受光部へ入射する光に対する検出効率の向上が図られる。

【００３５】

光検出器６０の受光部６２の構造は上述のものに限られない。図５は、受光部６２の他の構造を示す模式的な断面図であり、図１、図２に示す直線Ａ－Ａ’を通り半導体基板に垂直な断面を示している。なお、この受光部６２の平面図は、図２に示すものと共通である。図５に示す受光部６２の特徴は、分離領域７０に対向する位置に、Ｐ-sub層８０から突出したｐ$^{+}$領域である下部分離領域１５０を有する点にある。この下部分離領域１５０は、Ｐ-sub層８０に印加される電圧を受けて、Ｐ-sub層８０と共に基板側のアノードとして機能する。下部分離領域１５０により、分離領域７０が構成するアノードと基板側のアノードとの距離が、ＰＤ６４の境界にて狭まる。その結果、ＰＤ６４の境界におけるエピタキシャル層８２に、電子に対する電位障壁がより好適に形成され、ＰＤ６４間の素子分離性能が向上する。

【００３６】

例えば、下部分離領域１５０は、Ｐ-sub層８０にエピタキシャル層８２を一部の厚さだけ積層した段階にて、当該エピタキシャル層８２のＰＤ６４の境界に対応する位置にイオン注入等によりｐ型不純物を導入して形成される。このように下部分離領域１５０を形成した後、エピタキシャル層８２の残りの厚さを成長させる。しかる後、図３に断面構造を示した受光部６２と同様にして分離領域７０、カソード領域７２等の基板表面の構造を形成する。

【００３７】

図３に示す受光部６２の構造に代えて、図５に示す受光部６２の構造とした場合にも、信号処理回路部６６にＰウェル８４を設けることで、Ｎウェル８６の境界からエピタキシャル層８２へ広がる空乏層を抑制することができる。その結果、エピタキシャル層８２とＮウェル８６との間の接合リーク電流が抑制された光検出器６０が実現される。

【００３８】

［実施形態２］

以下説明する第２の実施形態である光検出器６０は、受光部６２の構造が上記第１の実施形態と相違する点を除けば、基本的に上記第１の実施形態と同様の構成であり、本実施形態において、第１の実施形態と同じ符号は、同一の機能・性質を有する構成要素を示す。本実施形態の光検出器６０の概略の平面図は、図１と同じであり、これを援用する。

【００３９】

図６は、本光検出器６０の受光部６２の模式的な平面図である。本光検出器６０は第１の実施形態の光検出器と同様、シリコンからなる半導体基板に形成され、半導体基板表面上に積層される保護膜に設けられた開口部分（図示せず）に受光部６２が配置される。受光部６２は、基板表面へ入射する光を２×２の４区画に分割して受光する。

【００４０】

受光部６２の外周の半導体基板表面には、各ＰＤ６４それぞれに対応してカソード領域２００が配置される。また、各ＰＤ６４相互間の半導体基板表面には、アノード領域２０２が配置され、これが各ＰＤ６４間の素子分離を行う。

【００４１】

カソード領域２００は、受光部の外周に沿った、例えばＬ字型の平面形状を有するトレンチ２０４の表面から高濃度のｎ型不純物を拡散し、n^+ 領域として形成される。一方、アノード領域２０２は、ＰＤ６４相互間に、例えば十字型の平面形状を有するトレンチ２０６の表面から高濃度のｐ型不純物を拡散し p^+ 領域として形成される。各カソード領域２００は、それぞれコンタクトを介して例えばＡｌ層等で形成された配線（図示せず）に接続され、ＰＩＮフォトダイオードである各ＰＤ６４のカソードとして機能する。一方、アノード領域２０２は、コンタクトを介して配線（図示せず）に接続され、各ＰＩＮフォトダイオードに共通のアノードとして機能する。

【００４２】

図７は、図１及び図６にそれぞれ示す直線Ａ－Ａ’を通り半導体基板に垂直な断面での受光部６２及び信号処理回路部６６の構造を示す模式的な断面図である。この断面には受光部６２の２つのＰＤ６４と信号処理回路部６６のＣＭＯＳ６８とが現れている。ｐ型シリコン基板であるＰ-sub層８０の一方主面に積層された高比抵抗のエピタキシャル層８２は、ＰＩＮフォトダイオードのｉ層を構成する。エピタキシャル層８２の表面には、上述のトレンチ２０４，２０６、カソード領域２００及びアノード領域２０２が形成される。トレンチ２０４，２０６は、半導体基板の表面をエッチングして形成される。トレンチ２０４，２０６の形成後、半導体基板表面にレジストを塗布し、当該レジストをパターニングしてトレンチ２０４を囲む開口部を形成する。このレジストをマスクとして、ｎ型不純物のイオン注入を行う。その注入方向を斜めとすることで、トレンチ２０４の壁面にもイオン注入が行われ、トレンチ２０４の表面、すなわちトレンチ２０４の壁面及び底面にカソード領域２００が形成される。同様にして、トレンチ２０６に対応した開口部を有するマスクをレジストを用いて形成し、ｐ型不純物のイオン注入を行って、トレンチ２０６の表面、すなわちトレンチ２０６の壁面及び底面にアノード領域２０２を形成する。

【００４３】

なお、カソード領域２００及びアノード領域２０２の形成工程は、必要に応じて、上述のイオン注入後に行われる熱拡散工程を含み得る。また、カソード領域２００、アノード領域２０２を形成した後、トレンチ２０４，２０６に絶縁膜を埋め込んで、受光部表面を平坦化した構造とすることができる。

【００４４】

トレンチ２０４，２０６を用いて形成したカソード領域２００、アノード領域２０２は、上述のように、ＰＩＮフォトダイオードのカソード及びアノードを構成する一方、各ＰＤ６４を取り囲んで、各ＰＤ６４をその外側から分離する機能も有している。ちなみに、このような構成は、ＳＴＩ（Shallow Trench Isolation）技術として知られている。

【００４５】

各ＰＤ６４のカソード領域２００及びアノード領域２０２で囲まれた内側部分には、エピタキシャル層８２が表面に現れる。後述するように、この部分が、受光部への入射光に対して感度を有する半導体領域（受光半導体領域２０８）となる。

【００４６】

図８は、本光検出器６０の動作時における回路構成及び、受光部６２の断面でのポテンシャル分布を示す模式図である。図８に示す受光部６２の断面は図７と同様、図１，図６に示す直線Ａ－Ａ’に沿ったものである。カソード領域２００は、電圧源１２０によって

、接地電位とされたアノード領域２０２及びＰ-sub層８０に対して逆バイアス状態とされる。具体的には、各カソード領域２００からの配線はそれぞれオペアンプ１２２の一方入力端子に接続され、当該オペアンプ１２２の他方入力端子に電圧源１２０からの正電圧Ｖbが入力される。オペアンプ１２２は、抵抗を介して出力端子がカソード領域２００に接続され、電流検出器を構成する。この構成により、カソード領域２００はＶbを印加され、かつカソード電流に応じた電圧がオペアンプ９２の出力端子に取り出される。ちなみに、オペアンプ１２２を含む電流検出器は、信号処理回路部６６に形成することができる。

【００４７】

断面図にはいくつかの等電位線を点線で示している。この断面図は、ＰＩＮフォトダイオードのカソードとアノードとに逆バイアス電圧を印加したことにより、ｉ層を構成するエピタキシャル層８２に空乏層が広がっていることを示している。カソード領域２００及びアノード領域２０２は、共に半導体基板表面に配置され、かつそれらの間にて半導体基板表面近傍に位置する受光半導体領域２０８はｉ層を構成する。この構成により、逆バイアス電圧印加時に、受光半導体領域２０８に対応した半導体基板表面近傍にも空乏層が広がる。

【００４８】

空乏層内のポテンシャル電位は、アノード領域２０２からカソード領域２００に向けて深くなる。つまり、各カソード領域２００に応じた位置に電位井戸が形成される。また、アノード領域２０２の位置に対応したＰＤ６４相互の境界部分は、ポテンシャル電位が浅くなり、電子の移動に対する電位障壁を形成し、ＰＤ６４相互の素子分離を実現する。

【００４９】

各ＰＤ６４に入射した光は、空乏層にて吸収され信号電荷として電子－正孔の対を生じ、それらのうち電子が近傍のカソード領域２００に集められる。各カソード領域２００に集められた電子の量は、カソード電流としてオペアンプ１２２を介して検出される。本光検出器６０のＰＤ６４では、受光半導体領域２０８の表面近傍で吸収される光によっても信号電荷が生成され、当該信号電荷をカソード領域２００から検出することができる。これにより、半導体基板表面近傍で吸収される短波長の光によって発生する信号電荷を受光信号として取り出すことが可能となり、短波長光に対する感度を得ることができる。

【００５０】

ちなみに、トレンチ２０４，２０６を形成するエッチング方法として例えば、ＲＩＥ（Reactive Ion Etching）等の異方性エッチング技術を用いることで、トレンチ２０４，２０６を細く形成することができ、各ＰＤ６４の半導体基板表面での面積に占める受光半導体領域２０８の割合を大きくすることができる。これにより、各ＰＤ６４の感度向上が図られる。

【００５１】

また、カソード領域２００及びアノード領域２０２とエピタキシャル層８２との接合面積を小さくすることができるので、ＰＩＮフォトダイオードのカソードとアノードとの端子間容量が抑制され、良好な応答性を確保することが可能となる。

【００５２】

本光検出器６０の構成では、信号処理回路部６６において回路素子が内部に形成されるＮウェル８６が、極めて不純物濃度が低いエピタキシャル層８２内に形成される。そのため、Ｎウェル８６との境界のエピタキシャル層８２に空乏層が拡がり易く、これに起因してリーク電流が生じ易い。特に、ＰＩＮフォトダイオードは逆バイアス状態で使用され、そのアノードであるＰ-sub層８０が信号処理回路部６６の下にも広がる。Ｎウェル８６とＰ-sub層８０との電位差が小さい（又は逆バイアスである）とエピタキシャル層８２はより空乏化し易いが、本光検出器６０では、Ｎウェル８６とエピタキシャル層８２との境界に、エピタキシャル層８２より不純物濃度の高いＰウェル８４を設け、Ｎウェル８６とのｐｎ接合部分での空乏層の広がりを小さくし、リーク電流の抑制を図っている。

【００５３】

また、Ｐウェル８４がＮウェル８６の側面も覆う構造とすることで、Ｎウェル８６から

横方向への空乏層も抑制されリーク電流の低減が図られる。特に、ＰＤ６４はアノード領域２０２がＮウェル８６に隣接するレイアウトとされる場合もあり、その場合にはそれらの間のエピタキシャル層８２に横方向に拡がる空乏層が形成され易い。しかし、本光検出器６０では、上述のようにＰウェル８４がＮウェル８６の側部にも配置される構造とすることで、この場合にも空乏層を好適に抑制しリーク電流を抑制することが可能となる。

【図面の簡単な説明】

【００５４】

【図１】本発明の実施形態である光検出器の概略の平面図である。

【図２】第１の実施形態に係る光検出器の受光部の平面図である。

【図３】第１の実施形態に係る光検出器の断面図である。

【図４】第１の実施形態に係る光検出器の動作時における回路構成及び、受光部の断面でのポテンシャル分布を示す模式図である。

【図５】第１の実施形態に係る光検出器の他の受光部の断面図である。

【図６】第２の実施形態に係る光検出器の受光部の平面図である。

【図７】第２の実施形態に係る光検出器の受光部の断面図である。

【図８】第２の実施形態に係る光検出器の動作時における回路構成及び、受光部の断面でのポテンシャル分布を示す模式図である。

【図９】光検出器の受光部及び、当該受光部上での反射光像を示す模式図である。

【図１０】従来の光検出器を構成する１つの受光素子の模式的な断面図である。

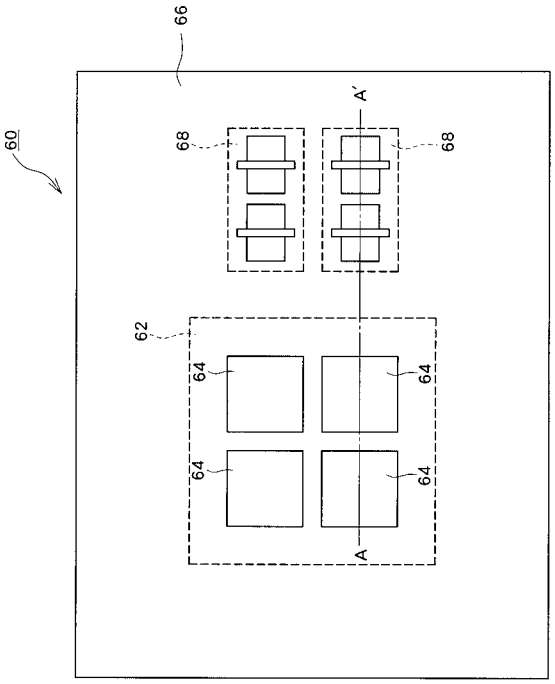
【図１１】ＰＩＮフォトダイオード構造の受光部と増幅器等の回路とを同一の半導体チップ上に形成した光検出器の問題点を説明する素子断面図である。

【符号の説明】

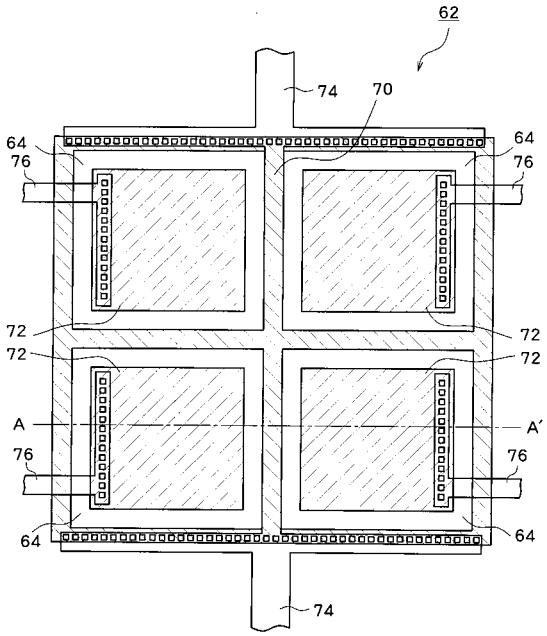
【００５５】

６０　光検出器、６２　受光部、６４　ＰＩＮフォトダイオード（ＰＤ）、６６　信号処理回路部、６８　ＣＭＯＳ、７０　分離領域、７２，２００　カソード領域、７４，７６　配線、８０　Ｐ-sub層、８２　エピタキシャル層、８４　Ｐウェル、８６，９２　Ｎウェル、８８，１０２　ｐチャネルＭＯＳＦＥＴ、９０　ｎチャネルＭＯＳＦＥＴ、９４，１０４　ソース領域、９６，１０６　ドレイン領域、９８　ゲート酸化膜、１００，１１０　ゲート電極、１１２　ＬＯＣＯＳ、１１６　反射防止膜、１２０　電圧源、１２２　オペアンプ、２０２　アノード領域、２０４，２０６　トレンチ、２０８　受光半導体領域。

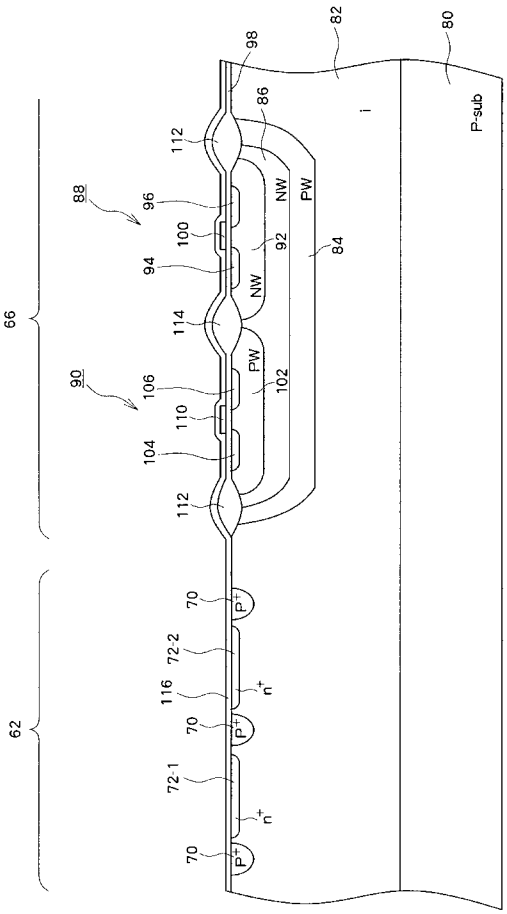
【図１】


60
66
68
68
A'
62
64
64
64
64
A

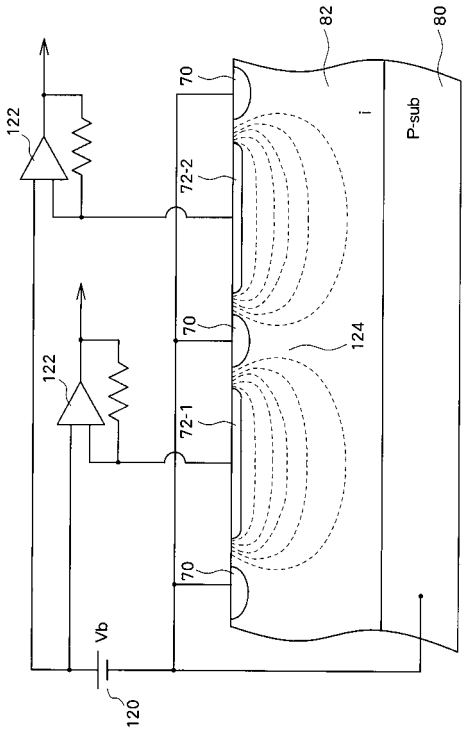
【図２】


62
74
70
64
76
64
76
72
72
72
72
A
A'
76
76
64
64
74

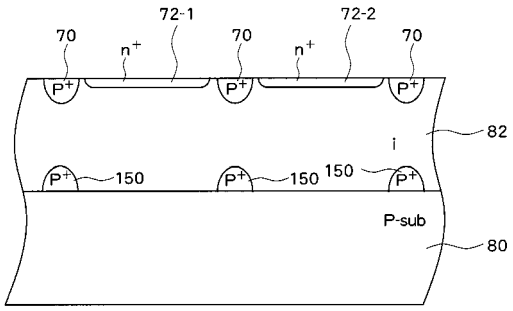
【図３】


66
62
88
90
98
82
80
86
112
96
100
94
114
106
110
104
112
92
102
NW
PW
NW
PW
84
i
P-sub
70
72-2
116
70
72-1
70
P+
n+

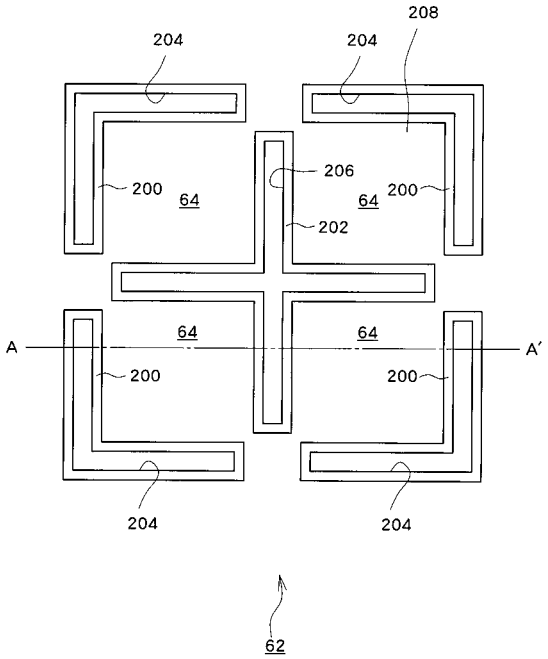
【図４】


82
80
70
122
72-2
i
P-sub
70
124
122
72-1
70
Vb
120

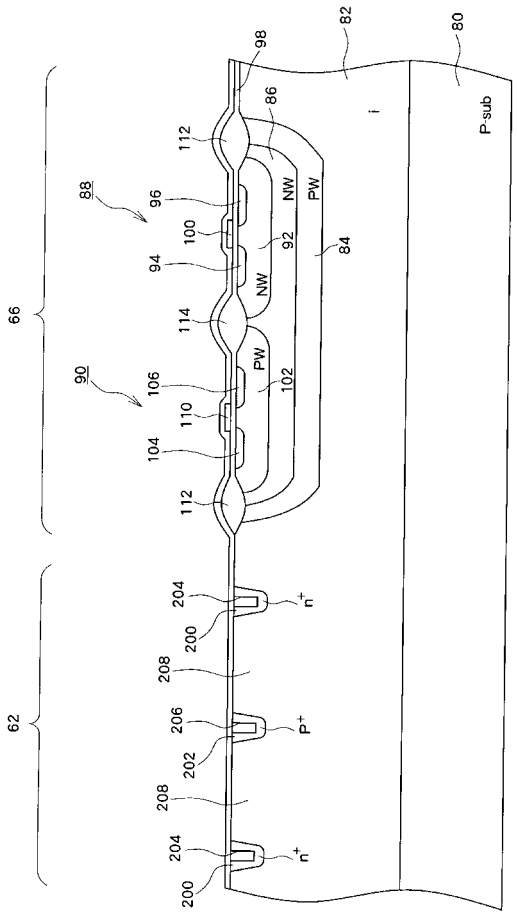
【図 5】


70
72-1
70
72-2
70
n+
n+
P+
P+
P+
82
i
P+
150
P+
150
150
P+
P-sub
80

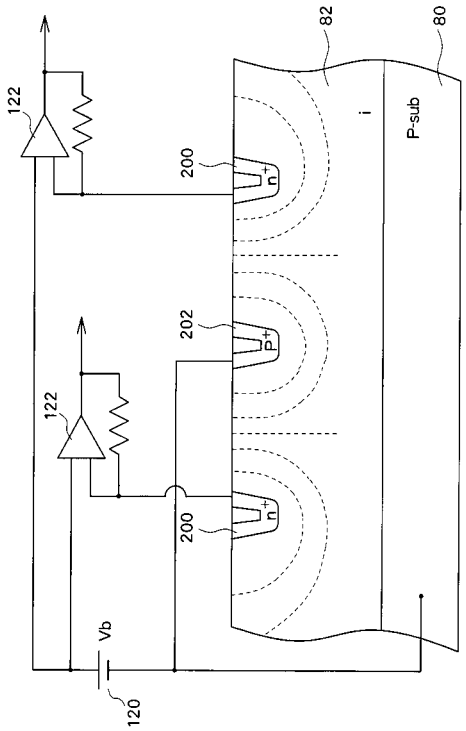
【図 6】


208
204
204
206
200
64
64
200
202
64
64
A
A′
200
200
204
204
62

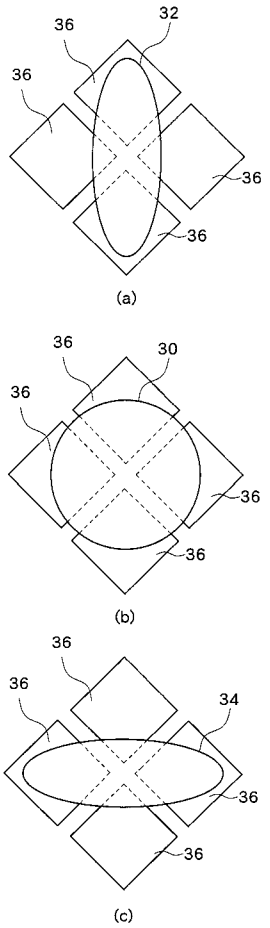
【図 7】


98
82
80
86
112
i
P-sub
88
96
NW
PW
100
92
84
94
NW
66
114
PW
90
106
102
110
104
112
204
n+
200
208
62
206
P+
202
208
204
n+
200

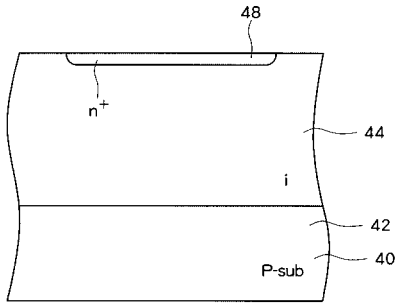
【図 8】


82
80
122
200
n+
i
P-sub
202
P+
122
200
n+
Vb
120

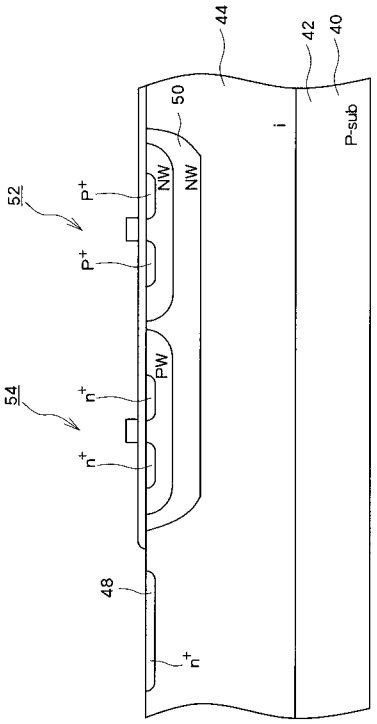
【図９】


36
32
36
36
36
(a)
36
30
36
36
36
(b)
36
36
34
36
36
(c)

【図１０】


48
n+
44
i
42
40
P-sub

【図１１】


44
42
40
50
i
P-sub
52
P+
NW
NW
P+
54
n+
PW
n+
48
n+

I, Nadine A. Edwards, declare as follows:

1. I am over 21 years of age and am competent to make this declaration.

2. I am a native speaker of English.

3. I am fluent in Japanese.

4. I have 14 years of experience translating Japanese to English.

5. I translated the attached patent document "JP2007129024A" from Japanese to English.

6. I certify that the above-mentioned translation of the document "JP2007129024A" is, to the best of my knowledge, a true and accurate translation from Japanese to English.

7. In signing this declaration, I understand that the translation and this declaration may be filed as evidence in a contested case. I acknowledge that I may be subject to cross-examination within the United States.

8. I declare under penalty of perjury that all statements made herein are true and accurate to the best of my knowledge and belief, and that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code.

Executed: April 2, 2025

By: _____
Nadine A. Edwards