Docket No.: 056937-0396 **PATENT**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 53080
Yukari SUGINAKA, et al.	:	Confirmation Number: Not Yet Assigned
Application No.: Not Yet Assigned	:	Group Art Unit: Not Yet Assigned
Filed: September 10, 2007	:	Examiner: Not Yet Assigned

For: MICROCONTROLLER AND ARTS RELATED THERETO

INFORMATION DISCLOSURE STATEMENT

Mail Stop New Utility
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

In accordance with the provisions of 37 C.F.R. 1.56, 1.97 and 1.98, the attention of the Patent and Trademark Office is hereby directed to the references listed on the attached form PTO-1449. It is respectfully requested that the references be expressly considered during the prosecution of this application, and that the references be made of record therein and appear among the "References Cited" on any patent to issue therefrom.

This Information Disclosure Statement is being filed within three months of the U.S. filing date. No certification or fee is required.

Please charge any shortage in fees due in connection with the filing of this paper, including extension of time fees, to Deposit Account 500417 and please credit any excess fees to such deposit account.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP

Michael E. Fogarty
Registration No. 36,139

Please recognize our Customer No. 53080 as our correspondence address.

600 13th Street, N.W.
Washington, DC 20005-3096
Phone: 202.756.8000 MEF:kfm
Facsimile: 202.756.8087
Date: September 10, 2007

Qualcomm Ex. 1002 - 2/414

INFORMATION DISCLOSURE CITATION IN AN APPLICATION

(PTO-1449)

ATTY. DOCKET NO.	SERIAL NO.
056937-0396	**Not Yet Assigned**
APPLICANT: **Yukari SUGINAKA, et al.**	
FILING DATE: **September 10, 2007**	GROUP: **Not Yet Assigned**

U.S. PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Document Number Number-Kind Code2 (if known)		Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		US	2004/0257898 A1	12-23-2004	OZAWA et al.	
		US	7,103,758 B2	09-05-2006	GOTO	
		US				
		US				
		US				
		US				
		US				
		US				
		US				
		US				
		US				
		US				
		US				
		US				

FOREIGN PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Foreign Patent Document Country Code3-Number 4-Kind Codes (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines Where Relevant Figures Appear	Translation Yes	Translation No

OTHER ART (Including Author, Title, Date, Pertinent Pages, Etc.)

EXAMINER'S INITIALS	CITE NO.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	

EXAMINER	DATE CONSIDERED

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

1 Applicant's unique citation designation number (optional). 2 Applicant is to place a check mark here if English language Translation is attached.

Docket No.: 056937-0396 **PATENT**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 53080
Yukari SUGINAKA, et al.	:	Confirmation Number: Not Yet Assigned
Application No.: Not Yet Assigned	:	Group Art Unit: Not Yet Assigned
Filed: September 10, 2007	:	Examiner: Not Yet Assigned

For: MICROCONTROLLER AND ARTS RELATED THERETO

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop New Utility
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. JP 2006-246454, filed September 12, 2006

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP

Michael E. Fogarty
Registration No. 36,139

Please recognize our Customer No. 53080 as our correspondence address.

600 13th Street, N.W.
Washington, DC 20005-3096
Phone: 202.756.8000 MEF:kfm
Facsimile: 202.756.8087
Date: September 10, 2007

Yukari SUGINAKA et al.
9/10/07
McDermott Will & Emery LLP

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application:	２００６年　９月１２日
出願番号 Application Number:	特願２００６－２４６４５４
パリ条約による外国への出願に用いる優先権の主張の基礎となる出願の国コードと出願番号 The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is	ＪＰ２００６－２４６４５４
出願人 Applicant(s):	松下電器産業株式会社

２００７年　４月１７日

特許庁長官
Commissioner,
Japan Patent Office

中嶋誠

【書類名】　特許願
【整理番号】　5037580016
【あて先】　特許庁長官　殿
【国際特許分類】　G06F 1/32
G06F 1/04
G06F 1/26
【発明者】
【住所又は居所】　大阪府門真市大字門真１００６番地　パナソニック半導体システムテクノ株式会社内
【氏名】　阪西　由香利
【発明者】
【住所又は居所】　大阪府門真市大字門真１００６番地　松下電器産業株式会社内
【氏名】　浜口　敏文
【発明者】
【住所又は居所】　大阪府門真市大字門真１００６番地　松下電器産業株式会社内
【氏名】　村松　伸哉
【発明者】
【住所又は居所】　大阪府門真市大字門真１００６番地　松下電器産業株式会社内
【氏名】　北尾　嘉貴
【特許出願人】
【識別番号】　000005821
【氏名又は名称】　松下電器産業株式会社
【代理人】
【識別番号】　100086737
【弁理士】
【氏名又は名称】　岡田　和秀
【電話番号】　06-6376-0857
【手数料の表示】
【予納台帳番号】　007401
【納付金額】　16,000円
【提出物件の目録】
【物件名】　特許請求の範囲　1
【物件名】　明細書　1
【物件名】　図面　1
【物件名】　要約書　1
【包括委任状番号】　9305280

Qualcomm Ex. 1002 - 6/414

【書類名】特許請求の範囲
【請求項１】
ＣＰＵと、前記ＣＰＵと電源との間に介挿された電源供給部と、前記ＣＰＵおよび前記電源供給部を制御する電源制御部と、前記ＣＰＵからプログラム続行に必要な情報を退避させる情報保持部とを備え、
前記電源制御部は、電源遮断要因の発生を受けて前記ＣＰＵに対して遮断要求信号を出力し、
前記ＣＰＵは、前記電源制御部から前記遮断要求信号を受け取ると、電源遮断のマイクロプログラムを起動して前記プログラム続行に必要な情報を前記情報保持部に退避させ、退避完了後に退避完了信号を前記電源制御部に対して出力し、
前記電源制御部は、前記ＣＰＵからの前記退避完了信号を受け取ると、前記電源供給部に対して電源遮断の制御信号を出力し、
前記電源供給部は、前記電源制御部から前記電源遮断の制御信号を受け取ると、前記ＣＰＵに対する電源供給を遮断するように構成されているマイクロコントローラ。
【請求項２】
さらに、クロック生成部を備え、前記退避完了信号を受け取った前記電源制御部は、前記クロック生成部に対してクロック停止の制御信号を出力するように構成されている請求項１に記載のマイクロコントローラ。
【請求項３】
前記電源制御部は、電源復帰要因の発生を受けて前記電源供給部に対して電源供給の制御信号を出力し、
前記電源供給部は、前記電源制御部から前記電源供給の制御信号を受け取ると、前記ＣＰＵに対する電源供給を開始し、
前記電源制御部は、供給された電源電圧が安定するのを待って、前記ＣＰＵに対して復帰要求信号を出力するとともに、前記クロック生成部に対してクロック供給の制御信号を出力し、
前記クロック生成部は、前記電源制御部からの前記クロック供給の制御信号を受け取ると、動作クロックの供給を再開し、
前記ＣＰＵは、前記電源制御部からの前記復帰要求信号を受け取ると、電源復帰のマイクロプログラムを起動し、電源遮断時に前記情報保持部に退避させておいた前記プログラム続行に必要な情報を戻し、最後にプログラムカウンタの示すアドレスに分岐することで、遮断状態からプログラム実行を続行するように構成されている請求項２に記載のマイクロコントローラ。
【請求項４】
ＣＰＵと、前記ＣＰＵと電源との間に介挿された電源供給部と、前記ＣＰＵおよび前記電源供給部を制御する電源制御部と、前記ＣＰＵからプログラム続行に必要な情報を退避させる情報保持部とを備え、
前記電源制御部は、電源遮断要因の発生を受けて前記ＣＰＵに対して遮断要求信号を出力し、
前記ＣＰＵは、前記電源制御部から前記遮断要求信号を受け取ると、電源遮断のマイクロプログラムを起動して前記プログラム続行に必要な情報を前記情報保持部に退避させ、退避完了後に退避完了信号を前記電源制御部に対して出力し、
前記電源制御部は、前記ＣＰＵからの前記退避完了信号を受け取った直後に、電源復帰要因の発生を受けると、前記ＣＰＵに対して復帰要求信号を出力し、
前記ＣＰＵは、前記電源制御部からの前記復帰要求信号を受け取ると、退避情報を戻さない電源復帰のマイクロプログラムを起動し、プログラム実行を続行するように構成されているマイクロコントローラ。
【請求項５】
前記クロック生成部は、前記電源制御部から前記クロック停止の制御信号を受け取ったときの動作として、動作クロックの供給を停止するモードと停止しないモードを選択可能

Qualcomm Ex. 1002 - 7/414

に構成されている請求項２から請求項４までのいずれかに記載のマイクロコントローラ。
【請求項６】
前記電源制御部は、遮断可能期間を制限可能に構成されている請求項１から請求項５までのいずれかに記載のマイクロコントローラ。
【請求項７】
前記電源遮断のマイクロプログラムは、前記プログラム続行に必要な情報を前記情報保持部のスタック領域に退避した上で、退避場所を指すスタックポインタの値のみを特定の場所に退避する請求項１から請求項６までのいずれかに記載のマイクロコントローラ。
【請求項８】
前記電源復帰要因は、当該マイクロコントローラの割り込みシステムを使用する請求項３から請求項７までのいずれかに記載のマイクロコントローラ。
【請求項９】
前記電源遮断要因は、外部端子から与えられる状態と命令によって与えられる状態とがあり、両者のどちらか一方または両方の方法を選択可能に構成されている請求項１から請求項８までのいずれかに記載のマイクロコントローラ。
【請求項１０】
前記電源復帰のマイクロプログラムとして、退避しておいた前記プログラム続行に必要な情報を戻してプログラムを続行するマイクロプログラム、退避しておいた前記プログラム続行に必要な情報は使用せずに設定値を戻すマイクロプログラム、リセットするマイクロプログラム等の複数種類のマイクロプログラムから選択するように構成されている請求項３から請求項９までのいずれかに記載のマイクロコントローラ。
【請求項１１】
発生した電源遮断要因または選択された電源遮断要因の種類に応じて、電源遮断のマイクロプログラム、電源復帰のマイクロプログラムを選択的に起動するように構成されている請求項３から請求項９までのいずれかに記載のマイクロコントローラ。
【請求項１２】
１または複数の周辺回路モジュールについて、電源遮断の範囲を設定可能で、電源復帰に必要な範囲は電源遮断せず、不必要な範囲は電源遮断するように構成されている請求項１から請求項１１までのいずれかに記載のマイクロコントローラ。
【請求項１３】
さらに、常に前記ＣＰＵのレジスタを監視するデバッガを備え、電源遮断時には前記デバッガによる監視データ以外を前記情報保持部に退避するように構成されている請求項１から請求項１２までのいずれかに記載のマイクロコントローラ。
【請求項１４】
さらに、前記電源遮断要因をトリガとして、電源遮断範囲外の回路部分に対する供給電圧を情報保持の下限電圧まで降圧するよう制御する第２の電源供給部を備えている請求項１から請求項１３までのいずれかに記載のマイクロコントローラ。
【請求項１５】
さらに、電源遮断範囲内の回路部分のレジスタに対して反転値をロードする回路を備えている請求項１から請求項１４までのいずれかに記載のマイクロコントローラ。
【請求項１６】
請求項１から請求項１５までのいずれかに記載のマイクロコントローラと、外部から指示を入力する入力部と、赤外線により他の機器に信号を送信する信号送信部とを備え、一定時間外部から入力がなかった場合に、電源遮断モードに移行し、外部から入力があった場合に、それをトリガとして電源復帰モードに移行するように構成されている通信装置。
【請求項１７】
請求項１から請求項１５までのいずれかに記載のマイクロコントローラ、映像処理ＤＳＰおよび記憶回路を有するＤＶＤレコーダ用ＬＳＩと、ＤＳＰサーボを有する光ディスクコントローラＬＳＩとを備え、
一定時間毎に前記マイクロコントローラ内の前記電源制御部にタイマ割り込みをかけ、

Qualcomm Ex. 1002 - 8/414

現在時刻と録画予約時刻の一定時間前時刻との比較を行い、比較結果が一致した場合、電源復帰モードに入り、録画ステートに移行するように構成されている記録装置。

Qualcomm Ex. 1002 - 9/414

【書類名】明細書
【発明の名称】マイクロコントローラおよびその関連技術
【技術分野】
【０００１】
本発明はマイクロコントローラにかかわり、特には、プログラム続行可能な電源遮断モードにおいて、スタンバイ時の消費電流を抑える技術に関する。また、通信装置、記録装置にも適用されるものである。
【背景技術】
【０００２】
一般的なマイクロコントローラは、スタンバイモードとして、動作クロックの供給を停止して消費電流を削減するストップモードを有している。ストップモードでは、内部状態を保持しているためソフトウェアの立ち上げ等を行わずに済み、スタンバイ状態から高速に復帰することが可能である。しかし、近年の半導体製造技術の進化により微細なトランジスタで回路が構成されるようになってきたため、トランジスタのオフ電流（漏れ電流）が多く、ストップモードにおいても消費電流が多くなる傾向にある。
【０００３】
一方、消費電流を抑えるために電源を遮断する方法は、漏れ電流による消費電流をほぼゼロとすることができる。この場合、電源の遮断によりマイクロコントローラの内部状態が破棄されることから、内部を初期化するために通常はリセット処理から初期化プログラムを実行する必要がある。すると、マイクロコントローラの初期設定やオペレーティングシステムの立ち上げを行うために、復帰に必要な時間が長くなる。
【０００４】
そこで、プログラム続行可能な電源遮断モードが開発された。これに関連する技術として、スタンバイ制御回路を設けたものがある。これは、ＣＰＵ（中央演算処理装置）と周辺回路モジュールへの電源供給を遮断するに際して、周辺回路モジュールに含まれるレジスタの値を保持する情報保持回路への電源供給は継続するよう制御するものである。装置の外部から割り込み要求が通知された場合に、ＣＰＵと周辺回路モジュールへの電源供給を再開し、退避された情報をＣＰＵおよび周辺回路モジュールに復帰させる。次いでプログラムの実行に戻り、割り込み要求に対応する割り込み処理を行う。この方式によれば、電源遮断によるスタンバイ電流の低減と割り込みによるスタンバイからの高速復帰を両立させることが可能になっている（例えば特許文献１参照）。
【特許文献１】特開２００５－１１１６６号公報
【発明の開示】
【発明が解決しようとする課題】
【０００５】
特許文献１の技術では、割り込みを禁止した後に、ソフトウェアで必要なレジスタの値を退避し、割り込みを禁止したまま電源を遮断する。電源遮断前に割り込みを受け付けてしまうと、退避したレジスタの値が電源遮断前に変化する可能性があるからである。
【０００６】
これに対して、割り込み禁止の状態で復帰のための割り込みが発生した場合に、そのまま電源遮断してしまうと、割り込みを再発生しなければ復帰できなくなる可能性がある。あるいは、電源遮断処理と電源供給処理を実行した後、割り込み処理を行うことになり、割り込み発生から実際の処理を行うまでの遅延時間が大きくなる。また、電源遮断処理と割り込み処理の時間的な前後関係が逆転することもある。
【０００７】
また、情報保存手段としてバックアップレジスタと退避したいレジスタとを論理回路を介して直接接続している。しかし、退避したいレジスタの数だけバックアップレジスタが必要であり、また、退避したいレジスタの数の２倍の配線が必要となる。この配線は電源を遮断する部分と電源を供給し続ける部分との接続部分であることから、不要な電流を流さないための論理回路や情報を破棄してしまわないための論理回路が必要になり、回路規

Qualcomm Ex. 1002 - 10/414

模が増大する。

【０００８】

本発明は、このような事情に鑑みて創作したものであり、内部動作電圧供給を遮断したスタンバイ状態あるいは内部動作電圧を下げた状態等を実現する際に、プログラム続行可能な電源遮断モードを実現し、プログラム続行に必要な情報を簡便かつ高速に退避・復帰させることができるマイクロコントローラを提供することを目的としている。

【課題を解決するための手段】

【０００９】

（１）本発明によるマイクロコントローラは、

ＣＰＵと、前記ＣＰＵと電源との間に介挿された電源供給部と、前記ＣＰＵおよび前記電源供給部を制御する電源制御部と、前記ＣＰＵからプログラム続行に必要な情報を退避させる情報保持部とを備え、

前記電源制御部は、電源遮断要因の発生を受けて前記ＣＰＵに対して遮断要求信号を出力し、

前記ＣＰＵは、前記電源制御部から前記遮断要求信号を受け取ると、電源遮断のマイクロプログラムを起動して前記プログラム続行に必要な情報を前記情報保持部に退避させ、退避完了後に退避完了信号を前記電源制御部に対して出力し、

前記電源制御部は、前記ＣＰＵからの前記退避完了信号を受け取ると、前記電源供給部に対して電源遮断の制御信号を出力し、

前記電源供給部は、前記電源制御部から前記電源遮断の制御信号を受け取ると、前記ＣＰＵに対する電源供給を遮断するように構成されている。

【００１０】

この構成においては、電源遮断要因が発生すると、電源制御部はＣＰＵに対して遮断要求信号を出力し、これを受け取ったＣＰＵは電源遮断のマイクロプログラムを起動する。この電源遮断のマイクロプログラムは、プログラム続行に必要な情報を情報保持部に退避させた上で、退避完了信号を電源制御部に出力する。すると、電源制御部は電源遮断の制御信号を電源供給部に出力し、これを受け取った電源供給部は、ＣＰＵに対する電源供給を遮断する。情報保持部に対する電源供給は継続される。ＣＰＵは停止状態になり、電流消費は抑制される。また、プログラム続行に必要な情報の保持も行われる。

【００１１】

すなわち、電源遮断のマイクロプログラムは、プログラム続行に必要な情報の退避と電源遮断処理を一続きに実行するので、情報退避と電源遮断処理の間に割り込み処理が起動されることがなく、退避したいプログラム続行に必要な情報が電源遮断前に変化してしまうことが避けられる。そして、情報退避や電源遮断処理の前に割り込みを禁止することがなく、したがって、割り込み許可の状態で電源遮断処理を実行することが可能となることから、割り込み処理を電源遮断前に受け付けることも許容している。また、情報退避をマイクロプログラムで実行することから、もともとマイクロコントローラがもっていた配線を使って退避することが可能となり、情報退避専用の論理回路および配線数の増加は最少に抑えることが可能となる。

【００１２】

（２）上記構成のマイクロコントローラにおいて、さらに、クロック生成部を備え、前記退避完了信号を受け取った前記電源制御部は、前記クロック生成部に対してクロック停止の制御信号を出力するように構成されているという態様がある。この構成においては、ＣＰＵの電源遮断のマイクロプログラムがプログラム続行に必要な情報の退避と電源遮断処理とを完了した後は、クロック生成部の動作を停止させるので、クロック生成部からのクロック供給を受けて動作する周辺回路モジュールでの電流消費も抑制することが可能となる。

【００１３】

（３）また上記構成のマイクロコントローラにおいて、前記電源制御部は、電源復帰要因の発生を受けて前記電源供給部に対して電源供給の制御信号を出力し、前記電源供給部

Qualcomm Ex. 1002 - 11/414

は、前記電源制御部から前記電源供給の制御信号を受け取ると、前記ＣＰＵに対する電源供給を開始し、前記電源制御部は、供給された電源電圧が安定するのを待って、前記ＣＰＵに対して復帰要求信号を出力するとともに、前記クロック生成部に対してクロック供給の制御信号を出力し、前記クロック生成部は、前記電源制御部からの前記クロック供給の制御信号を受け取ると、動作クロックの供給を再開し、前記ＣＰＵは、前記電源制御部からの前記復帰要求信号を受け取ると、電源復帰のマイクロプログラムを起動し、電源遮断時に前記情報保持部に退避させておいた前記プログラム続行に必要な情報を戻し、最後にプログラムカウンタの示すアドレスに分岐することで、遮断状態からプログラム実行を続行するように構成されているという態様がある。

【００１４】

この構成においては、ＣＰＵに対する電源供給の遮断状態およびクロック生成部によるクロック供給の停止状態において電源復帰要因が発生すると、電源制御部は電源供給部に対して電源供給の制御信号を出力し、これを受け取った電源供給部はＣＰＵに対する電源供給を開始する。供給された電源電圧が安定すると、電源制御部はＣＰＵに対して復帰要求信号を出力するとともに、クロック生成部に対してクロック供給の制御信号を出力する。クロック生成部は動作クロックの供給を再開し、ＣＰＵは電源復帰のマイクロプログラムを起動する。電源復帰のマイクロプログラムは、情報保持部に退避させておいたプログラム続行に必要な情報をＣＰＵに戻し、プログラムカウンタの示すアドレスに分岐することにより、遮断状態からプログラム実行を続行する。したがって、この構成によれば、退避させておいたプログラム続行に必要な情報の復帰を簡便に実現することが可能となる。

【００１５】

（４）また本発明によるマイクロコントローラは、

ＣＰＵと、前記ＣＰＵと電源との間に介挿された電源供給部と、前記ＣＰＵおよび前記電源供給部を制御する電源制御部と、前記ＣＰＵからプログラム続行に必要な情報を退避させる情報保持部とを備え、

前記電源制御部は、電源遮断要因の発生を受けて前記ＣＰＵに対して遮断要求信号を出力し、

前記ＣＰＵは、前記電源制御部から前記遮断要求信号を受け取ると、電源遮断のマイクロプログラムを起動して前記プログラム続行に必要な情報を前記情報保持部に退避させ、退避完了後に退避完了信号を前記電源制御部に対して出力し、

前記電源制御部は、前記ＣＰＵからの前記退避完了信号を受け取った直後に、電源復帰要因の発生を受けると、前記ＣＰＵに対して復帰要求信号を出力し、

前記ＣＰＵは、前記電源制御部からの前記復帰要求信号を受け取ると、退避情報を戻さない電源復帰のマイクロプログラムを起動し、プログラム実行を続行するように構成されている。

【００１６】

この構成においては、電源遮断のマイクロプログラムの実行において、割り込みの禁止を行わないので、電源復帰要因の発生により退避情報を戻さない電源復帰のマイクロプログラムの起動が可能となっている。電源遮断のマイクロプログラムを起動した後に、電源が遮断されることになる前に電源復帰要因が発生した場合、退避情報を戻さない電源復帰のマイクロプログラムを起動する。この場合、退避情報を戻さないことから、復帰が高速に行われる。

【００１７】

（５）また上記構成のマイクロコントローラにおいて、前記クロック生成部は、前記電源制御部から前記クロック停止の制御信号を受け取ったときの動作として、動作クロックの供給を停止するモードと停止しないモードを選択可能に構成されているという態様がある。この構成においては、モード選択により、ユーザ好みの動作を設定することが可能となる。動作クロックの供給を停止しないモードの場合、例えばタイマのカウンタを動かす等により、任意の時間に復帰することが可能となる。

【００１８】

Qualcomm Ex. 1002 - 12/414

（６）また上記構成のマイクロコントローラにおいて、前記電源制御部は、遮断可能期間を制限可能に構成されているという態様がある。この構成においては、電源制御部におけるレジスタに遮断可能期間を設定し、その期間内であれば電源遮断要因を受け付けるが、期間外であれば受け付けを行わない。このようにして、動作モードの多様性をもたせることが可能となる。

【００１９】

（７）上記構成のマイクロコントローラにおいて、前記電源遮断のマイクロプログラムは、前記プログラム続行に必要な情報を前記情報保持部のスタック領域に退避した上で、退避場所を指すスタックポインタの値のみを特定の場所に退避するという態様がある。プログラム続行に必要な情報として、プログラムカウンタ、プロセッサステータスワード、スタックポインタ等がある。この構成においては、プログラム続行に必要な情報のほとんどを情報保持部のスタック領域に退避し、退避場所を指すスタックポインタの値のみを特定の場所に退避するので、専用ロジックが最小となる。

【００２０】

（８）また上記構成のマイクロコントローラにおいて、前記電源復帰要因は、当該マイクロコントローラの割り込みシステムを使用するという態様がある。この構成においては、回路を追加作成する必要がない。

【００２１】

（９）また上記構成のマイクロコントローラにおいて、前記電源遮断要因は、外部端子から与えられる状態と命令によって与えられる状態とがあり、両者のどちらか一方または両方の方法を選択可能に構成されているという態様がある。この構成においては、マイクロコントローラをより汎用的に応用することが可能となる。

【００２２】

（１０）また上記構成のマイクロコントローラにおいて、前記電源復帰のマイクロプログラムとして、退避しておいた前記プログラム続行に必要な情報を戻してプログラムを続行するマイクロプログラム、退避しておいた前記プログラム続行に必要な情報は使用せずに設定値を戻すマイクロプログラム、リセットするマイクロプログラム等の複数種類のマイクロプログラムから選択するように構成されているという態様がある。この構成においては、選択肢の拡張により、応用範囲を広げることが可能となる。

【００２３】

（１１）また上記構成のマイクロコントローラにおいて、発生した電源遮断要因または選択された電源遮断要因の種類に応じて、電源遮断のマイクロプログラム、電源復帰のマイクロプログラムを選択的に起動するように構成されているという態様がある。この構成においては、プログラム続行に必要な情報の数を変更することが可能であり、それぞれに応じたマイクロプログラムを実行することで、効率の良いアプリケーションシステムの構築が可能となる。

【００２４】

（１２）また上記構成のマイクロコントローラにおいて、１または複数の周辺回路モジュールについて、電源遮断の範囲を設定可能で、電源復帰に必要な範囲は電源遮断せず、不必要な範囲は電源遮断するように構成されているという態様がある。この構成においては、可能な限度で消費電流の削減が可能となる。

【００２５】

（１３）また上記構成のマイクロコントローラにおいて、さらに、常に前記ＣＰＵのレジスタを監視するデバッガを備え、電源遮断時には前記デバッガによる監視データ以外を前記情報保持部に退避するように構成されているという態様がある。この構成においては、デバッガが常にＣＰＵのレジスタを監視しているので、電源遮断の際、ＣＰＵから情報保持部へ退避する情報が少なくて済み、電源遮断の実行速度が向上する。

【００２６】

（１４）また上記構成のマイクロコントローラにおいて、さらに、前記電源遮断要因をトリガとして、電源遮断範囲外の回路部分に対する供給電圧を情報保持の下限電圧まで降

Qualcomm Ex. 1002 - 13/414

圧するよう制御する第２の電源供給部を備えているという態様がある。この構成においては、電源遮断範囲外の情報保持部、その他の論理回路のリーク電流を下げることにより、省電力化を図ることが可能となる。

【００２７】

（１５）また上記構成のマイクロコントローラにおいて、さらに、電源遮断範囲内の回路部分のレジスタに対して反転値をロードする回路を備えているという態様がある。この構成においては、電源遮断のテストを行う場合に、電源を入れたままで、遮断したときと同等の条件を実現でき、テスト時間の短縮化を図ることが可能となる。

【００２８】

（１６）また本発明の通信装置は、上記のいずれかのマイクロコントローラと、外部から指示を入力する入力部と、赤外線により他の機器に信号を送信する信号送信部とを備え、一定時間外部から入力がなかった場合に、電源遮断モードに移行し、外部から入力があった場合に、それをトリガとして電源復帰モードに移行するように構成されている。

【００２９】

この構成においては、一定時間、操作がなければ電源遮断モードに移行し、入力があれば、それを復帰要因として電源復帰モードに移行する。このようにすることで、大幅な電力削減が望め、特にバッテリ駆動の通信装置の長時間駆動に有利である。

【００３０】

（１７）また本発明による記録装置は、上記のいずれかのマイクロコントローラ、映像処理ＤＳＰおよび記憶回路を有するＤＶＤレコーダ用ＬＳＩと、ＤＳＰサーボを有する光ディスクコントローラＬＳＩとを備え、一定時間毎に前記マイクロコントローラ内の前記電源制御部にタイマ割り込みをかけ、現在時刻と録画予約時刻の一定時間前時刻との比較を行い、比較結果が一致した場合、電源復帰モードに入り、録画ステートに移行するように構成されている。

【００３１】

この構成においては、録画予約時刻まで操作がない場合に、通常、スタンバイモードとするところを、電源遮断モードにすることで、電流の大幅な削減が可能となる。

【発明の効果】

【００３２】

本発明によれば、電源遮断のマイクロプログラムを用いて、プログラム続行に必要な情報の退避と電源遮断処理を一続きに実行するので、情報退避と電源遮断処理の間に割り込み処理が起動されることがなく、退避したいプログラム続行に必要な情報が電源遮断前に変化してしまうことを防止することができる。したがって、高速なレジスタ退避・復帰を簡便かつ効率的に実現することができる。また、情報退避をマイクロプログラムで実行することから、既存の配線を使って退避することが可能となり、情報退避専用の論理回路および配線数の増加を抑制することができる。

【発明を実施するための最良の形態】

【００３３】

以下、本発明にかかわるマイクロコントローラの実施の形態を図面を用いて詳細に説明する。

【００３４】

（実施の形態１）

本発明の実施の形態１は、電源遮断要因が外部端子から与えられる場合を説明するものである。図１は本発明の実施の形態１におけるマイクロコントローラの構成を示すブロック図である。マイクロコントローラＡは、ＣＰＵ１、電源制御部２、クロック生成部３、情報保持部（内蔵ＲＡＭ）４、電源供給部５、内部バス６およびタイマ回路やシリアルインターフェースなどの周辺回路（図示せず）から構成され、外部から電源Ｂが供給されている。電源供給部５は、電源ＢとＣＰＵ１の間に介挿されており、ＣＰＵ１へ供給する電圧が一定になるように制御する機能と、電源制御部２からの電源供給または電源遮断の制御信号Ｓ４を受けてＣＰＵ１への電源の供給・遮断を制御する機能をもつ。電源供給部５

Qualcomm Ex. 1002 - 14/414

は一般的な電圧レギュレータで構成される。クロック生成部３は、電源制御部２からのクロック供給またはクロック停止の制御信号Ｓ３を受けて動作クロックを供給・停止するように構成されている。

【００３５】

電源制御部２は、外部端子から与えられる電源遮断要因Ｆ１の発生を受けてＣＰＵ１に対して遮断要求信号Ｓ１を出力するように構成されている。ＣＰＵ１は、電源制御部２から遮断要求信号Ｓ１を受け取ると、電源遮断のマイクロプログラムμＰ１を起動してプログラム続行に必要な情報（プログラムカウンタＰＣ、プロセッサステータスワードＰＳＷ、スタックポインタＳＰなど）を内部バス６を介して情報保持部４に退避させ、退避完了後に退避完了信号Ｓ２を電源制御部２に対して出力するように構成されている。電源制御部２は、ＣＰＵ１からの退避完了信号Ｓ２を受け取ると、クロック生成部３に対してクロック停止の制御信号Ｓ３を出力すると同時に、電源供給部５に対して電源遮断の制御信号Ｓ４を出力するように構成されている。電源供給部５は、電源制御部２から電源遮断の制御信号Ｓ４を受け取ると、ＣＰＵ１に対する電源供給を遮断するように構成されている。

【００３６】

また、電源制御部２は、外部端子から与えられる電源復帰要因Ｆ２の発生を受けて電源供給部５に対して電源供給の制御信号Ｓ４を出力するように構成されている。電源供給部５は、電源制御部２から電源供給の制御信号Ｓ４を受け取ると、ＣＰＵ１に対する電源供給を開始するように構成されている。電源制御部２は、ＣＰＵ１に供給された電源電圧が安定するのを待って、ＣＰＵ１に対して復帰要求信号Ｓ５を出力するとともに、クロック生成部３に対してクロック供給の制御信号Ｓ３を出力するように構成されている。クロック生成部３は、電源制御部２からのクロック供給の制御信号Ｓ３を受け取ると、動作クロックの供給を再開するように構成されている。ＣＰＵ１は、電源制御部２からの復帰要求信号Ｓ５を受け取ると、電源復帰のマイクロプログラムμＰ２を起動し、電源遮断時に情報保持部４に退避させておいたプログラム続行に必要な情報を内部バス６を介してＣＰＵ１に戻し、最後にプログラムカウンタの示すアドレスに分岐することで、遮断状態からプログラム実行を続行するように構成されている。

【００３７】

電源遮断要因Ｆ１は、例えばレジスタ、タイマのオーバーフロー割り込み等であり、電源制御部２の外部から与えられる。電源復帰要因Ｆ２は、外部割り込み、シリアル通信割り込み、タイマのオーバーフロー割り込み等であり、いずれかを選択することが可能である。

【００３８】

次に、上記のように構成された本実施の形態のマイクロコントローラＡの電源遮断処理の動作を図２のフローチャートと図３のタイミングチャートに従って説明する。

【００３９】

まずステップｎ１において、電源遮断要因Ｆ１が発生し、これが外部端子から電源制御部２に入力されると、電源制御部２は遮断要求信号Ｓ１をＣＰＵ１へ出力する。

【００４０】

次いでステップｎ２において、電源制御部２から遮断要求信号Ｓ１を受け取ったＣＰＵ１は、通常の命令実行を終了した後、電源遮断のマイクロプログラムμＰ１を起動する。ここでのマイクロプログラムとは、命令や割り込み処理などを実行するために、ＣＰＵ１の内部資源を制御する制御プログラムのことである。

【００４１】

次いでステップｎ３において、電源遮断のマイクロプログラムμＰ１は、プログラム続行に必要な情報（ＰＣ，ＰＳＷ，ＳＰなど）を内部バス６を介して情報保持部４やレジスタに退避し、最後に電源制御部２に対して退避完了信号Ｓ２を出力する。

【００４２】

次いでステップｎ４において、退避完了信号Ｓ２を受け取った電源制御部２は、クロック生成部３に対してクロック停止の制御信号Ｓ３を出力すると同時に、電源供給部５に対

Qualcomm Ex. 1002 - 15/414

して電源遮断の制御信号Ｓ４を出力する。

【００４３】

次いでステップｎ５において、電源遮断の制御信号Ｓ４を受け取った電源供給部５は、ＣＰＵ１に対する電源供給を遮断し、ＣＰＵ１の電源遮断が完了する。

【００４４】

次に、電源遮断から復帰する動作を図４のフローチャートに従って説明する。

【００４５】

まずステップｎ１１において、電源復帰要因Ｆ２が発生し、これが外部端子から電源制御部２に入力されると、電源制御部２は電源供給の制御信号Ｓ４を電源供給部５へ出力する。

【００４６】

次いでステップｎ１２において、電源供給の制御信号Ｓ４を受け取った電源供給部５はＣＰＵ１に対する電源供給を開始する。電源電圧監視回路や安定待ちタイマなどにより、供給された電源電圧が安定し、発振回路が出力する発振波形が安定するのを待って、電源制御部２からクロック生成部３に対してクロック供給の制御信号Ｓ３を出力する。同時に電源制御部２からＣＰＵ１に対して復帰要求信号Ｓ５を出力する。

【００４７】

次いでステップｎ１３において、クロック生成部３は動作クロックの供給を再開する。

【００４８】

次いでステップｎ１４において、復帰要求信号Ｓ５を受け取ったＣＰＵ１は、電源復帰のマイクロプログラムμＰ２を起動する。

【００４９】

次いでステップｎ１５において、電源復帰のマイクロプログラムμＰ２によって、電源遮断時に情報保持部４に退避させておいたプログラム続行に必要な情報（ＰＣ，ＰＳＷ，ＳＰなど）を内部バス６を介してＣＰＵ１に戻す。

【００５０】

最後にステップｎ１６において、プログラムカウンタＰＣの示すアドレスに分岐することで、遮断状態からプログラム実行を続行することが可能となり、プログラム実行を続行する。

【００５１】

次に、電源遮断前のどこかで電源復帰要因Ｆ２が発生した場合の動作を図５のフローチャートに従って説明する。このフローチャートは、電源遮断のマイクロプログラムμＰ１によって情報を退避させた直後に電源復帰要因Ｆ２が発生した場合に対応している。

【００５２】

まずステップｎ２１において、電源遮断要因Ｆ１が電源制御部２に入力されたことを受け、電源制御部２はＣＰＵ１へ遮断要求信号Ｓ１を出力する。

【００５３】

次いでステップｎ２２において、遮断要求信号Ｓ１を受け取ったＣＰＵ１は、電源遮断のマイクロプログラムμＰ１を起動する。

【００５４】

次いでステップｎ２３において、プログラム続行に必要な情報を内部バス６を介して情報保持部４やレジスタに退避し、最後に電源制御部２に対して退避完了信号Ｓ２を出力する。

【００５５】

次いでステップｎ２４において、電源復帰要因Ｆ２が電源制御部２に入力されると、電源制御部２からＣＰＵ１に対して復帰要求信号Ｓ５を出力する。

【００５６】

次いでステップｎ２５において、復帰要求信号Ｓ５を受け取ったＣＰＵ１は、退避情報を戻さない電源復帰のマイクロプログラムμＰ２′を起動する。

【００５７】

Qualcomm Ex. 1002 - 16/414

次いでステップｎ２６において、電源復帰のマイクロプログラムμＰ２´は、退避情報を戻さずにプログラム実行を続行する。

【００５８】

本実施の形態によれば、プログラム続行に必要な情報の退避と電源遮断処理を一続きのマイクロプログラムで実行することによって、情報退避と電源遮断処理の間で割り込み処理が起動されることがないため、退避したいレジスタの値が電源遮断前に変化してしまうことが避けられる。したがって、割り込み許可の状態で電源遮断処理を実行することができることから、割り込み処理は電源遮断前に受け付けることが可能である。また、情報退避をマイクロプログラムで実行することから、もともとマイクロコントローラがもっていた配線を使って退避することが可能となり、情報退避専用の論理回路および配線数の増加は最少に抑えることが可能である。

【００５９】

なお、上記の実施の形態の変形の態様として、次のように構成してもよい。

【００６０】

クロック生成部３は、電源制御部２からクロック停止の制御信号Ｓ３を受け取ったときの動作として、レジスタ、信号または端子等での設定により、動作クロックの供給を停止するモードと停止しないモードを選択可能に構成してもよい。この構成においては、モード選択により、ユーザ好みの動作を設定することが可能である。動作クロックの供給を停止しないモードの場合、例えばタイマのカウンタを動かす等により、任意の時間に復帰することが可能である。

【００６１】

また、電源制御部２は、遮断可能期間を制限可能に構成してもよい。電源制御部２は電源遮断要因Ｆ１を外部端子から与えられるものであるが、レジスタに遮断可能期間を設定し、例えばイネーブルが立っている期間内であれば電源遮断要因Ｆ１を受け付けるが、期間外であれば受け付けを行わないものとする。このようにして、動作モードの多様性をもたせることが可能である。

【００６２】

また、電源遮断のマイクロプログラムμＰ１は、プログラム続行に必要な情報（プログラムカウンタ、プロセッサステータスワード、スタックポインタ等）を情報保持部４のスタック領域に退避した上で、退避場所を指すスタックポインタの値のみを特定の場所に退避するように構成してもよい。この構成においては、退避場所を指すスタックポインタの値のみを特定の場所に退避するので、専用ロジックが最小となる。

【００６３】

さらに、電源復帰要因Ｆ２としてマイクロコントローラＡの割り込みシステムを使用するように構成すれば、回路を追加作成する必要がない。

【００６４】

（実施の形態２）

上記の実施の形態１が電源遮断要因が外部端子から与えられるものであるのに対して、本発明の実施の形態２は、電源遮断要因が命令によって与えられる場合を説明するものである。図６は本発明の実施の形態２におけるマイクロコントローラの構成を示すブロック図である。電源遮断要因Ｆ１が電源制御部２から外され、ＣＰＵ１の内部で発生するようになっている。電源制御部２からＣＰＵ１への遮断要求信号Ｓ１もない。その他の構成については、実施の形態１の場合の図１と同様であるので、説明を省略する。図７は実施の形態２のマイクロコントローラの電源遮断処理の動作を示すタイミングチャートである。図３の場合の電源遮断要因Ｆ１と遮断要求信号Ｓ１はない。

【００６５】

次に、以上のように構成された本実施の形態のマイクロコントローラの動作を説明する。

【００６６】

まず、電源遮断の動作について説明する。電源遮断処理のフローチャートは実施の形態

Qualcomm Ex. 1002 - 17/414

１の場合の図２と同様である。

【００６７】

ＣＰＵ１においてあらかじめ定義された電源遮断要因Ｆ１に対応する電源遮断命令がＣＰＵ１でデコードされると、ＣＰＵ１は電源遮断のマイクロプログラムμＰ１を起動し、プログラム続行に必要な情報を情報保持部４やレジスタへ退避し、最後に電源制御部２に対して退避完了信号Ｓ２を出力する。退避完了信号Ｓ２を受け取った電源制御部２は、クロック生成部３に対してクロック停止の制御信号Ｓ３を出力すると同時に、電源供給部５に対して電源遮断の制御信号Ｓ４を出力する。電源遮断の制御信号Ｓ４を受け取った電源供給部５はＣＰＵ１に対する電源供給を遮断し、ＣＰＵ１の電源遮断が完了する。電源遮断から復帰する動作については、実施の形態１と同様であるので説明を省略する。

【００６８】

本実施の形態によれば、電源遮断命令を電源遮断要因Ｆ１とすることで、ソフトウェアにより容易に電源遮断にすることが可能である。

【００６９】

なお、図８に示すように、電源遮断要因Ｆ１が外部端子から与えられる状態と、電源遮断要因Ｆ１が命令によって与えられる状態との両方を用意しておき、どちらか一方または両方の方法をレジスタや端子等で選択するように構成することも可能である。この構成においては、マイクロコントローラをより汎用的に応用することが可能である。

【００７０】

また、電源復帰に際して、

（ａ）退避しておいたプログラム続行に必要な情報を戻して、プログラムを続行するマイクロプログラム、

（ｂ）ある特定番地へ飛び、専用の初期化、復帰のアプリケーションプログラムを走らせることにより、退避情報は使用せずに設定値を戻すマイクロプログラム、

（ｃ）リセットするマイクロプログラム

等、実行すべき電源復帰のマイクロプログラムμＰ２を複数種類用意しておき、レジスタ、信号、端子等によって選択するように構成することも可能である。

【００７１】

さらに、発生した電源遮断要因Ｆ１または選択された電源遮断要因Ｆ１の種類に応じて、電源遮断のマイクロプログラムμＰ１、電源復帰のマイクロプログラムμＰ２を選択的に起動することも可能である。この構成では、プログラム続行に必要な情報の数が変わるため、それに応じたマイクロプログラムを実行することで効率の良いアプリケーションシステムが構築できる。

【００７２】

（実施の形態３）

図９は本発明の実施の形態３におけるマイクロコントローラの構成を示すブロック図である。図９において、実施の形態１の図１におけるのと同じ符号は同一構成要素を指している。７はシリアルインターフェース、８はタイマ、９はシリアルインターフェース７に対する電源供給をオン・オフするための第１の切替回路、１０はタイマ８に対する電源供給をオン・オフするための第２の切替回路である。第１の切替回路９は、電源Ｂから受給した内部動作電源をシリアルインターフェース７に対して常時に供給するか遮断するかの切り替えを行う。第２の切替回路１０は、電源Ｂから受給した内部動作電源をタイマ８に対して常時に供給するか遮断するかの切り替えを行う。第１の切替回路９、第２の切替回路１０は一般的なアナログスイッチや電圧レギュレータで構成される。シリアルインターフェース７は電源制御部２に対して電源復帰要因Ｆ２になる信号Ｓ６を出力するように構成されている。タイマ８は電源制御部２に対して電源復帰要因Ｆ２になる信号Ｓ７を出力するように構成されている。電源制御部２からＣＰＵ１への復帰要求信号Ｓ５はない。その他の構成については、実施の形態１と同様であるので、説明を省略する。

【００７３】

次に、以上のように構成された本実施の形態のマイクロコントローラの動作を説明する

Qualcomm Ex. 1002 - 18/414

。

【００７４】

第１の切替回路９をオン状態として内部動作電源を供給するモードとするとき、シリアルインターフェース７は電源遮断時にも常に内部動作電源が供給されるので、シリアル通信が可能である。このとき、図４のステップｎ１１での電源復帰要因Ｆ２は、シリアルインターフェース７が１フレーム分の情報を受け取ったときの割り込み、シリアルインターフェース７のスレーブクロックの立ち上がり等になる。例えば、シリアルインターフェース７のスレーブクロックで復帰する場合は、シリアルインターフェース７のシフトバッファ部とウェークアップ回路のみ電源供給し、それ以外の部分の電源遮断することが可能である。

【００７５】

また、第２の切替回路１０をオン状態として内部動作電源を供給するモードとするとき、タイマ８は電源遮断時にも常に内部動作電源が供給される。そこで、設定された一定の時間毎に割り込みを発生させるようにしておけば、特定の時間だけ電源遮断処理を行うことができる。

【００７６】

例えば録画装置では、システム制御のマイクロコントローラが録画時刻の数十秒前に割り込みをかけ、電源を復帰させる仕組みを持つが、この割り込みを電源復帰要因Ｆ２として利用することも可能である。また、タイマ８で復帰する場合は、時計タイマと時計クロック発振回路とウェークアップ回路に対してのみ電源供給し、それ以外を電源遮断することができ、待機電力を大幅に削減できる。

【００７７】

（実施の形態４）

図１０は本発明の実施の形態４におけるマイクロコントローラの構成を示すブロック図である。マイクロコントローラには、通常、ソフトウェアをデバッグするための制御を行うオンチップデバッガ（ＯＣＤ）１１が搭載されている。オンチップデバッガ１１は、常にＣＰＵ１のレジスタを監視し、ＣＰＵ１の内部動作の情報を保持するデータ保持回路をもっており、保持した情報を専用端子を通して外部に出力することで、チップ外部においてマイクロコントローラのデバッグを行うようになっている。オンチップデバッガ１１は、実施の形態１の場合の図１に比べて、ＣＰＵ１から電源制御部２への退避完了信号Ｓ２は必ずしも必要としない。ＣＰＵ１に対して供給された電源電圧が安定すると、電源制御部２はデータ復帰要求信号Ｓ８をオンチップデバッガ１１に対して出力するように構成されている。オンチップデバッガ１１は、データ復帰要求信号Ｓ８を受け取ると、それ自体に内蔵のデータ保持回路に退避されている電源遮断時のデータを内部バス６を介してＣＰＵ１に戻すように構成されている。

【００７８】

次に、上記のように構成された本実施の形態のマイクロコントローラＡの電源遮断処理の動作を図１１のフローチャートに従って説明する。

【００７９】

まずステップｎ３１において、電源遮断要因Ｆ１が発生し、これが電源制御部２に入力されると、電源制御部２は、クロック停止の制御信号Ｓ３をクロック生成部３へ出力すると同時に、電源遮断の制御信号Ｓ４を電源供給部５へ出力する。

【００８０】

次いでステップｎ３２において、クロック停止の制御信号Ｓ３を受け取ったクロック生成部３は動作クロックの供給を停止する。

【００８１】

次いでステップｎ３３において、電源遮断の制御信号Ｓ４を受け取った電源供給部５はＣＰＵ１に対する電源供給を遮断し、ＣＰＵ１の電源遮断が完了する。ＣＰＵ１のレジスタはオンチップデバッガ１１によって常に監視されているので、電源遮断の際に、ＣＰＵ１から情報保持部４へ退避する情報は、監視データ以外の少ないデータで済む。

Qualcomm Ex. 1002 - 19/414

【００８２】
次に、上記のように構成された本実施の形態のマイクロコントローラの電源復帰処理の動作を図１２のフローチャートに従って説明する。
【００８３】
まずステップｎ４１において、電源復帰要因Ｆ２が発生し、これが電源制御部２に入力されると、電源制御部２は電源供給の制御信号Ｓ４を電源供給部５へ出力する。
【００８４】
次いでステップｎ４２において、電源供給の制御信号Ｓ４を受け取った電源供給部５は、ＣＰＵ１に対する電源供給を開始する。電源電圧監視回路や安定待ちタイマなどにより、供給された電源電圧が安定し、発振回路が出力する発振波形が安定するのを待って、電源制御部２からクロック生成部３に対してクロック供給の制御信号Ｓ３を出力する。同時に電源制御部２からオンチップデバッガ１１へデータ復帰要求信号Ｓ８を出力する。
【００８５】
次いでステップｎ４３において、クロック生成部３は動作クロックの供給を再開する。
【００８６】
次いでステップｎ４４において、データ復帰要求信号Ｓ８を受け取ったオンチップデバッガ１１は、それ自体に内蔵のデータ保持回路に退避されている電源遮断時のデータを内部バス６を介してＣＰＵ１に戻し、最後にプログラムカウンタＰＣの示すアドレスに分岐することで、遮断状態からプログラム実行を続行することが可能である。ＣＰＵ１は、プログラム実行を続行する。
【００８７】
本実施の形態によれば、オンチップデバッガ１１が常にＣＰＵ１のレジスタを監視しているので、電源遮断の際、ＣＰＵ１から情報保持部４へ退避する情報が少なくて済み、電源遮断の実行速度が向上する。
【００８８】
（実施の形態５）
図１３は本発明の実施の形態５におけるマイクロコントローラの構成を示すブロック図である。第１の電源供給部５とは別に第２の電源供給部１２を備えている。第２の電源供給部１２は、電源Ｂと電源制御部２、クロック生成部３、情報保持部４の間に介挿されており、電源制御部２、クロック生成部３、情報保持部４へ供給する電圧が一定になるようにする機能と、電源制御部２からの電源遮断の制御信号Ｓ９を受け取ると、電源制御部２、クロック生成部３、情報保持部４への電源を制御する機能をもっている。第２の電源供給部１２は、一般的な電圧レギュレータで構成される。その他の構成については、実施の形態１の場合の図１と同様であるので、説明を省略する。
【００８９】
次に、以上のように構成された本実施の形態のマイクロコントローラの動作を説明する。
【００９０】
電源遮断要因Ｆ１が発生すると、電源制御部２は、第２の電源供給部１２に対して電源遮断の制御信号Ｓ９を出力する。電源遮断の制御信号Ｓ９を受け取った第２の電源供給部１２は、内部動作電源を降圧して、電源制御部２、クロック生成部３、情報保持部４に供給する。このときの降圧の制御は、情報を保持できる下限電圧まで下げるものとする。
【００９１】
本実施の形態によれば、情報保持部４、その他の論理回路のリーク電流を下げることができ、省電力化を図ることが可能である。
【００９２】
（実施の形態６）
図１４は本発明の実施の形態６におけるマイクロコントローラの構成を示すブロック図である。１３はテストモード信号Ｓ１０と電源遮断の制御信号Ｓ４とを入力し、電源供給部５に出力するゲート回路である。その他の構成については、実施の形態１と同様である

Qualcomm Ex. 1002 - 20/414

ので、説明を省略する。

【００９３】

図１５はＣＰＵ１の内部構造を示す。ＣＰＵ１において、テストモード信号Ｓ１０と遮断シーケンス信号Ｓ１１がそれぞれアサート状態にあるとき、ゲート回路１４の出力がアサートされ、セレクタ１６は通常のデータＳ１２に代えて、排他的論理和ゲート１５の出力を選択するようになる。ここで、排他的論理和ゲート１５は、退避完了信号Ｓ２と退避必要レジスタ１７からの出力信号Ｓ１３との排他的論理和をとる。すなわち、退避完了信号Ｓ２がワンショットパルスでアサートされると、退避必要レジスタ１７からの出力信号Ｓ１３を反転し、セレクタ１６および退避必要レジスタ１７を介して反転データＳ１３として出力される。この処理のタイミングチャートを示したのが図１６である。

【００９４】

次に、上記のように構成された本実施の形態のマイクロコントローラのテスト処理の動作を図１６のタイミングチャートと図１７のフローチャートに従って説明する。

【００９５】

まずステップｎ５１において、ＣＰＵ１は外部入力の組み合わせ等によってテストモード信号Ｓ１０を発行する。テストモード信号Ｓ１０がアサートされると、ゲート回路１３は電源制御部２から電源供給部５への制御信号Ｓ４を無効化する。したがって、制御信号Ｓ４がアサートされるようになっても、電源供給部５に対しては無効で、電源遮断モードには入らないようになる。

【００９６】

次いでステップｎ５２において、電源遮断要因Ｆ１が発生すると、電源制御部２からＣＰＵ１へ遮断要求信号Ｓ１を出力する。

【００９７】

次いでステップｎ５３において、遮断要求信号Ｓ１を受け取ったＣＰＵ１は、通常の命令実行を終了した後、電源遮断のマイクロプログラムμＰ１を起動する。

【００９８】

次いでステップｎ５４において、電源遮断のマイクロプログラムμＰ１は、プログラム続行に必要な情報を情報保持部４やレジスタへ退避するとともに、電源制御部２に対して退避完了信号Ｓ２を出力する。

【００９９】

次いでステップｎ５５において、退避完了信号Ｓ２を受け取った電源制御部２は、クロック生成部３に対してクロック停止の制御信号Ｓ３を出力し、クロック生成部３は動作クロックの供給を停止する。

【０１００】

次いでステップｎ５６において、反転データＳ１３をＣＰＵ１に上書きすることでその状態を擬似的に実現し、電源遮断状態とする。

【０１０１】

本実施の形態によれば、反転データＳ１３をもたせて擬似的に電源遮断を実現することで、電源を入れたままで、遮断したときと同等の条件を実現できることから、テストを高速化でき、テストコストを抑えることが可能である。電源遮断のテストをする場合、テスタ上では電源遮断／復帰の設定は多くのテスト時間を費やすが、電源を入れたままで、遮断したときと同等の条件を実現できれば、テスト時間の短縮化を図ることが可能である。

【０１０２】

（実施の形態７）

図１８は本発明の実施の形態７における通信装置の概略図、図１９は実施の形態７の場合のマイクロコントローラの構成を示すブロック図である。

【０１０３】

通信装置において入力部２１のキー入力によるキー入力信号はマイクロコントローラＡへ出力され、それを受けたマイクロコントローラＡは赤外発光ダイオードからなる信号送信部２２へデータを出力する。信号送信部２２は、赤外線でＤＶＤやテレビ本体のフォト

Qualcomm Ex. 1002 - 21/414

ダイオードにデータを転送する。

【０１０４】

次に、上記のように構成された本実施の形態のマイクロコントローラＡの電源遮断処理の動作を図２０のフローチャートに従って説明する。

【０１０５】

まずステップｎ６１において、通信装置の入力部２１よりキー入力がない場合、次いでステップｎ６２において、タイマ８のカウントを開始する。

【０１０６】

次いでステップｎ６３において、通信装置の入力部２１よりキー入力が一定の時間行われなかった場合、次いでステップｎ６４において、タイマ８から電源遮断要因Ｆ３を出力する。電源遮断要因Ｆ３が電源制御部２に入力されたことを受け、電源制御部２はＣＰＵ１へ遮断要求信号Ｓ１を出力する。

【０１０７】

次いでステップｎ６５において、遮断要求信号Ｓ１を受け取ったＣＰＵ１は、通常の命令実行を終了した後、電源遮断のマイクロプログラムμＰ１を起動する。

【０１０８】

次いでステップｎ６６において、プログラム続行に必要な情報を内部バス６を介して情報保持部４やレジスタに退避し、最後に電源制御部２に対して退避完了信号Ｓ２を出力する。

【０１０９】

次いでステップｎ６７において、退避完了信号Ｓ２を受け取った電源制御部２は、クロック生成部３に対してクロック停止の制御信号Ｓ３を出力すると同時に、電源供給部５に対して電源遮断の制御信号Ｓ４を出力する。

【０１１０】

次いでステップｎ６８において、電源遮断の制御信号Ｓ４を受け取った電源供給部５はＣＰＵ１とタイマ８に対する電源供給を遮断し、ＣＰＵ１の電源遮断が完了する。

【０１１１】

ステップｎ６１とステップｎ６３において、通信装置の入力部２１よりキー入力があった場合は、次いでステップｎ６９において、赤外線送信ステートへ移行する。

【０１１２】

次に、上記のように構成された本実施の形態のマイクロコントローラの電源復帰の動作を図２１のフローチャートに従って説明する。

【０１１３】

まずステップｎ７１において、通信装置の入力部２１よりキー入力があると、ステップＳ７２において、通信装置の入力部２１からのキー入力である電源復帰要因Ｆ２が電源制御部２に入力される。電源制御部２は電源供給部５に対して電源供給の制御信号Ｓ４を出力する。

【０１１４】

次いでステップｎ７３において、電源供給の制御信号Ｓ４を受け取った電源供給部５はＣＰＵ１に対する電源供給を開始する。電源電圧監視回路や安定待ちタイマなどにより、供給された電源電圧が安定し、発振回路が出力する発振波形が安定するのを待って、電源制御部２からクロック生成部３に対してクロック供給の制御信号Ｓ３を出力する。同時に電源制御部２からＣＰＵ１に対して復帰要求信号Ｓ５を出力する。

【０１１５】

次いでステップｎ７４において、クロック生成部３は動作クロックの供給を再開する。

【０１１６】

次いでステップｎ７５において、復帰要求信号Ｓ５を受け取ったＣＰＵ１が電源復帰のマイクロプログラムμＰ２を起動する。

【０１１７】

次いでステップｎ７６において、電源復帰のマイクロプログラムμＰ２によって、電源

Qualcomm Ex. 1002 - 22/414

遮断時に退避させておいたプログラム続行に必要な情報を戻し、赤外線送信ステートへ移行する。最後にプログラムカウンタＰＣの示すアドレスに分岐することで、遮断状態からプログラム実行を続行することが可能である。

【０１１８】

ステップｎ７１において、通信装置の入力部２１よりキー入力がない場合、次いでステップｎ７８において、電源遮断モードのままとする。

【０１１９】

以上のように、リモコン等の通信装置のアプリに利用する場合は、ストップモードの代わりなので、一定時間ボタンが押されなくなれば、電源遮断モードに移行する。電源復帰は、通信装置での入力を復帰要因とし、電源復帰モードに移行する。

【０１２０】

本実施の形態によれば、通信装置本体に利用する場合は、一定時間、操作がなければ電源遮断モードに移行し、再び入力があれば、それを復帰要因とし、電源復帰モードに移行する。このようにすることで、大幅な電力削減が望める。

【０１２１】

（実施の形態８）

図２２は本発明の実施の形態８における記録装置のシステム構成図、図２３は実施の形態８におけるマイクロコントローラの構成を示すブロック図である。

【０１２２】

図２２に示すように、映像は、３次元ＹＣ分離内蔵ビデオデコーダ２３内の３次元ＹＣ分離とビデオデコーダ回路を通って、ＤＶＤレコーダ用ＬＳＩ２５に入力される。ＤＶＤレコーダ用ＬＳＩ２５で、映像処理ＤＳＰ２７を通り、出力される。ＤＶＤドライブは光ディスクコントローラＬＳＩ２４のＤＳＰサーボを通り、ＤＶＤレコーダ用ＬＳＩ２５に入力される。ＤＶＤレコーダ用ＬＳＩ２５で、映像処理ＤＳＰ２７とマイクロコントローラＡを通り、出力される。

【０１２３】

図２３のマイクロコントローラＡにおいては、タイマ８は一定時間毎に電源制御部２に対してタイマ割り込みＳ１４をかけるように構成されている。

【０１２４】

録画機等の記録装置で利用する場合、記録装置では、システム制御のマイクロコントローラが録画時刻の数十秒前に割り込みをかけ、電源を復帰させる仕組みをもつが、この割り込みを利用する。

【０１２５】

次に、上記のように構成された本実施の形態のマイクロコントローラの電源復帰の動作を図２４のフローチャートに従って説明する。

【０１２６】

まずステップｎ８１において、電源遮断モードに移行する。

【０１２７】

次いでステップｎ８２において、タイマ８が電源制御部２に対してタイマ割り込みＳ１４を出力する。

【０１２８】

次いでステップｎ８３において、タイマ割り込みＳ１４を受け取った電源制御部２は電源供給部５に対して電源供給の制御信号Ｓ４を出力する。電源供給の制御信号Ｓ４を受け取った電源供給部５は、ＣＰＵ１に対する電源供給を再開する。

【０１２９】

次いでステップｎ８４において、ＣＰＵ１は、情報保持部４に格納されている録画予約時刻の一定時間前の時刻と現在の時刻を比較する。

【０１３０】

次いでステップｎ８５において、比較結果が一致した場合、電源復帰モードに移行する。

Qualcomm Ex. 1002 - 23/414

【０１３１】
次いでステップｎ８６において、アンテナやマイクロコントローラＡ自身や、マイクロコントローラＡを含むシステムに電源供給する。
【０１３２】
次いでステップｎ８７において、録画処理ステートに移行する。
【０１３３】
ステップｎ８４で比較結果が不一致だった場合、ステップｎ８８に進み、電源遮断命令を実行し、ステップｎ８１の電源遮断モードに戻る。
【０１３４】
本実施の形態によれば、記録装置で録画予約時刻まで操作がない場合に、通常、スタンバイモードとするところを、電源遮断モードにすることで、消費電流を大幅に削減することができる。
【０１３５】
以上、本発明の実施例を説明したが、本発明はその技術的思想のもとに種々の変形が可能である。
【産業上の利用可能性】
【０１３６】
本発明の技術は、内部動作電圧供給を遮断したスタンバイ状態あるいは内部動作電圧を下げた状態等を実現する際に、プログラム続行可能な電源遮断モードを実現し、プログラム続行に必要な情報を簡便かつ高速に退避・復帰させることができるマイクロコントローラとして有用である。また、通信装置や記録装置としても有用である。
【図面の簡単な説明】
【０１３７】
【図１】本発明の実施の形態１におけるマイクロコントローラの構成を示すブロック図
【図２】本発明の実施の形態１におけるマイクロコントローラの電源遮断処理の動作を示すフローチャート
【図３】本発明の実施の形態１におけるマイクロコントローラの電源遮断処理の動作を示すタイミングチャート
【図４】本発明の実施の形態１におけるマイクロコントローラの電源復帰処理の動作を示すフローチャート
【図５】本発明の実施の形態１におけるマイクロコントローラの電源遮断処理の途中で復帰要因がきた場合の動作を示すフローチャート
【図６】本発明の実施の形態２におけるマイクロコントローラの構成を示すブロック図
【図７】本発明の実施の形態２におけるマイクロコントローラの電源遮断処理の動作を示すタイミングチャート
【図８】本発明の実施の形態２の変形の態様におけるマイクロコントローラの構成を示すブロック図
【図９】本発明の実施の形態３におけるマイクロコントローラの構成を示すブロック図
【図１０】本発明の実施の形態４におけるマイクロコントローラの構成を示すブロック図
【図１１】本発明の実施の形態４におけるマイクロコントローラの電源遮断処理の動作を示すフローチャート
【図１２】本発明の実施の形態４におけるマイクロコントローラの電源復帰処理の動作を示すフローチャート
【図１３】本発明の実施の形態５におけるマイクロコントローラの構成を示すブロック図
【図１４】本発明の実施の形態６におけるマイクロコントローラの構成を示すブロッ

Qualcomm Ex. 1002 - 24/414

ク図
【図１５】本発明の実施の形態６におけるマイクロコントローラのＣＰＵの内部の詳しい構成を示すブロック図
【図１６】本発明の実施の形態６におけるマイクロコントローラのテスト時の動作を示すタイミングチャート
【図１７】本発明の実施の形態６におけるマイクロコントローラのテスト時の動作を示すフローチャート
【図１８】本発明の実施の形態７における通信装置の概略図
【図１９】本発明の実施の形態７におけるマイクロコントローラの構成を示すブロック図
【図２０】本発明の実施の形態７におけるマイクロコントローラの電源遮断処理の動作を示すフローチャート
【図２１】本発明の実施の形態７におけるマイクロコントローラの電源復帰処理の動作を示すフローチャート
【図２２】本発明の実施の形態８における記録装置のシステム構成図
【図２３】本発明の実施の形態８におけるマイクロコントローラの構成を示すブロック図
【図２４】本発明の実施の形態８におけるマイクロコントローラの電源復帰処理の動作を示すフローチャート

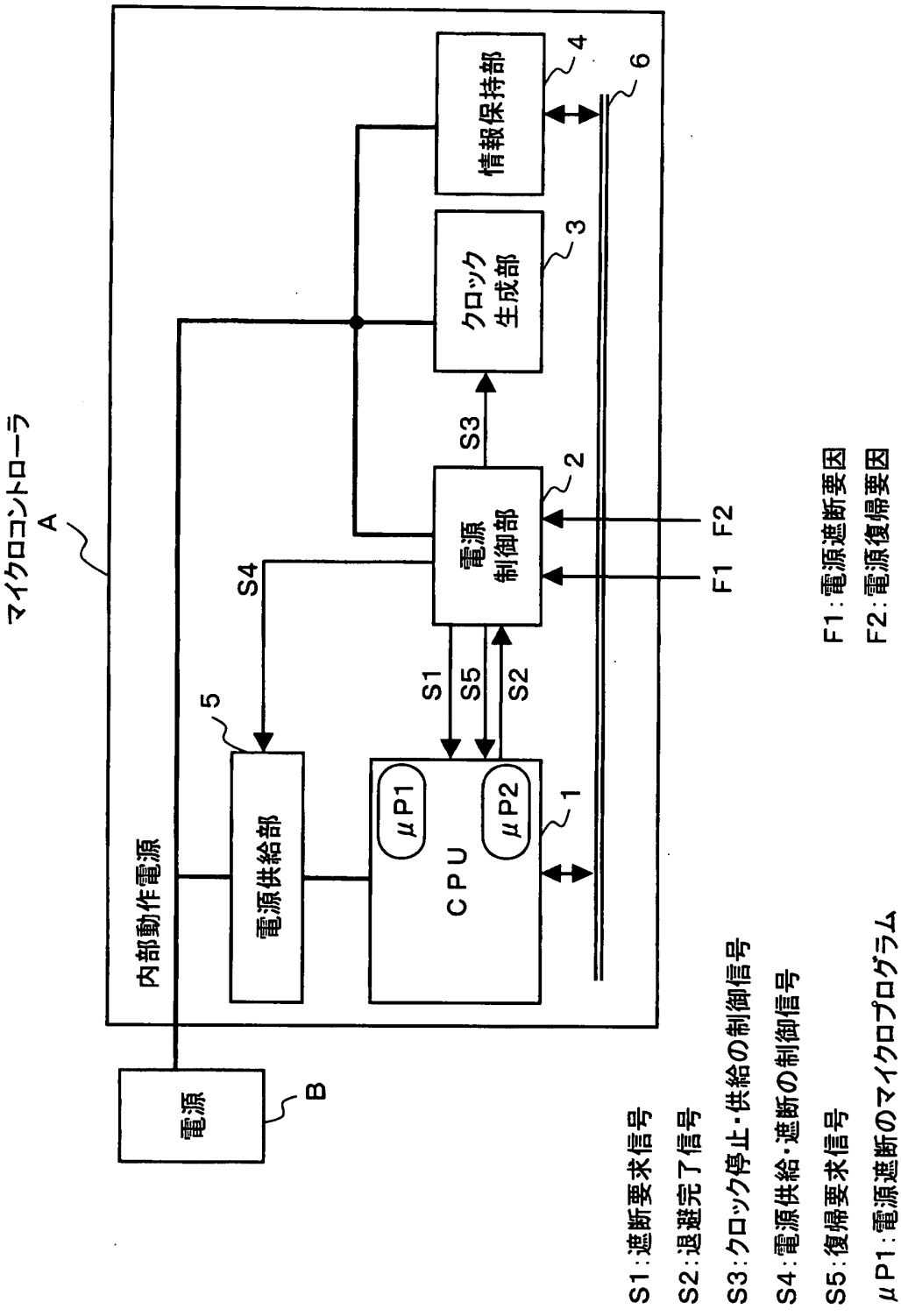
【符号の説明】
【０１３８】
１　ＣＰＵ（中央演算処理装置）
２　電源制御部
３　クロック生成部
４　情報保持部（内蔵ＲＡＭ）
５　電源供給部（第１の電源供給部）
６　内部バス
７　シリアルインターフェース
８　タイマ
９　第１の切替回路
１０　第２の切替回路
１１　オンチップデバッガ
１２　第２の電源供給部
１３，１４　ゲート回路
１５　排他的論理和ゲート
１６　セレクタ
１７　退避必要レジスタ
２１　入力部
２２　信号送信部
２３　３次元ＹＣ分離内蔵ビデオデコーダ
２４　光ディスクコントローラＬＳＩ
２５　ＤＶＤレコーダ用ＬＳＩ
２６　記憶回路
２７　映像処理ＤＳＰ
Ａ　マイクロコントローラ
Ｂ　電源
Ｆ１　電源遮断要因
Ｆ２　電源復帰要因
Ｓ１　遮断要求信号
Ｓ２　退避完了信号

Qualcomm Ex. 1002 - 25/414

Ｓ３　クロック供給またはクロック停止の制御信号
Ｓ４　電源供給または電源遮断の制御信号
Ｓ５　復帰要求信号
Ｓ８　データ復帰要求信号
Ｓ９　電源遮断の制御信号
Ｓ１０　テストモード信号
Ｓ１１　遮断シーケンス信号
Ｓ１２　通常のデータ
Ｓ１３　反転データ
Ｓ１４　タイマ割り込み
μＰ１　電源遮断のマイクロプログラム
μＰ２　電源復帰のマイクロプログラム

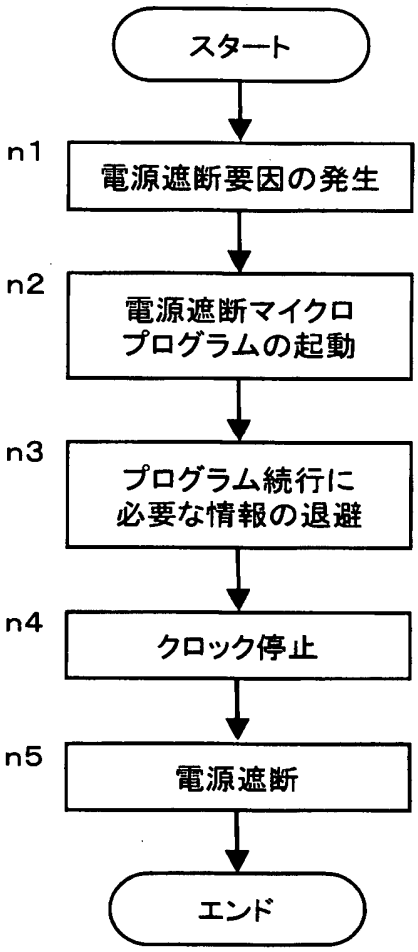
Qualcomm Ex. 1002 - 26/414

【書類名】図面
【図１】



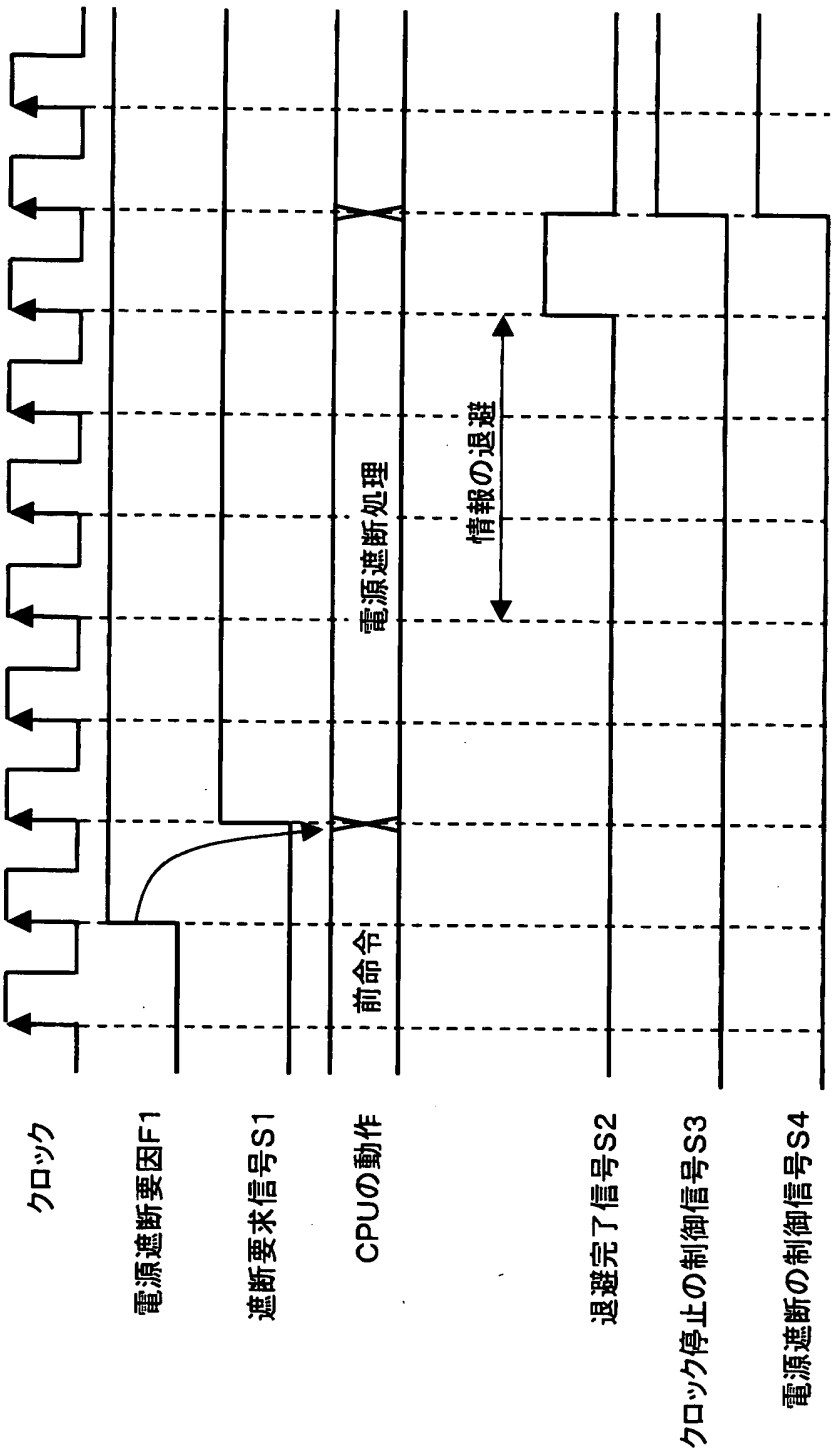
Qualcomm Ex. 1002 - 27/414

【図２】



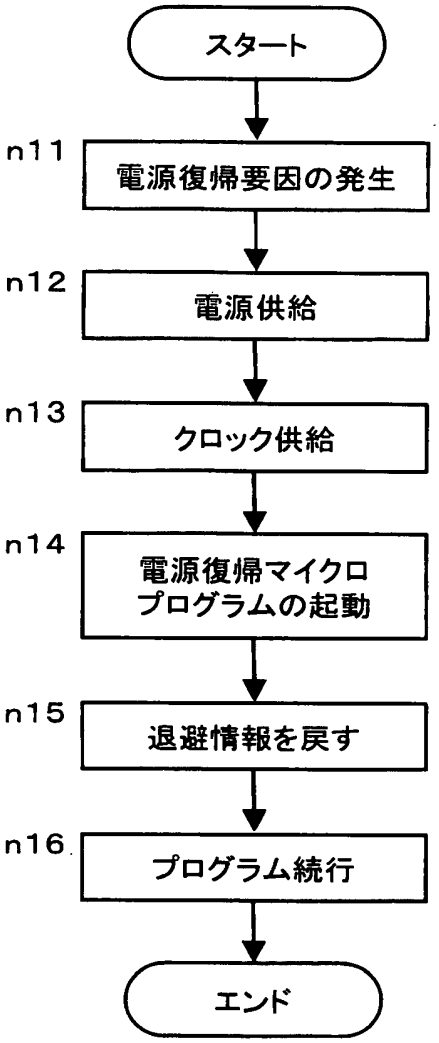
Qualcomm Ex. 1002 - 28/414

【図３】



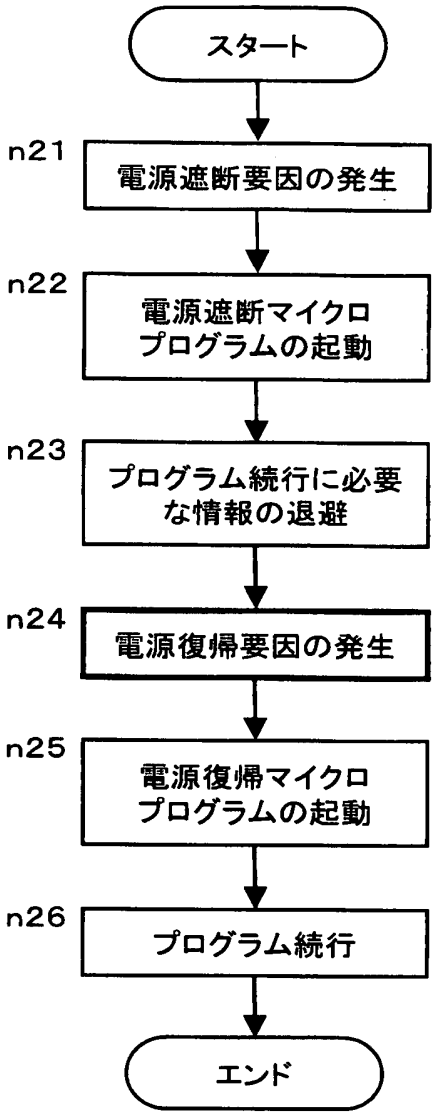
Qualcomm Ex. 1002 - 29/414

【図４】



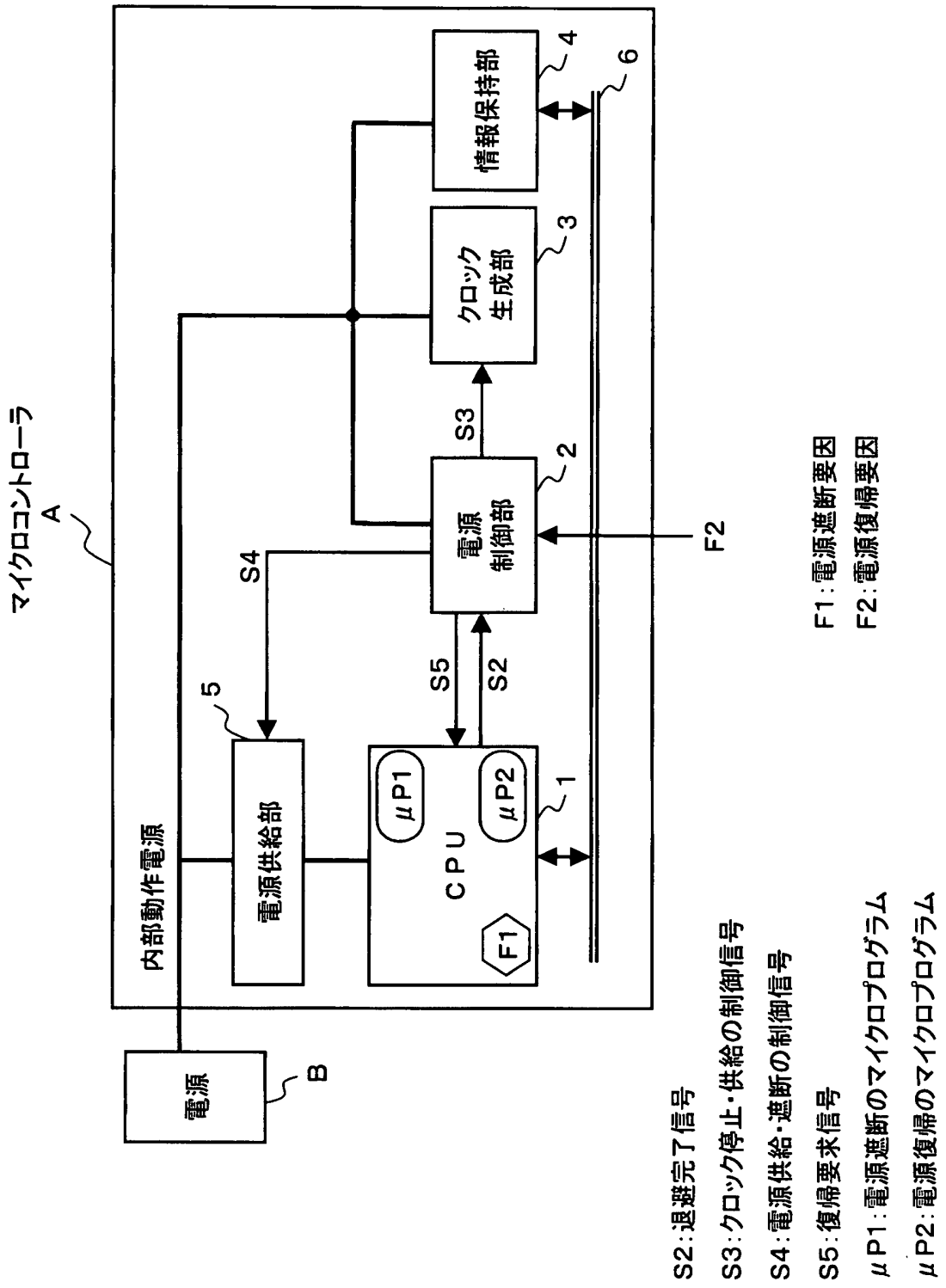
Qualcomm Ex. 1002 - 30/414

【図５】



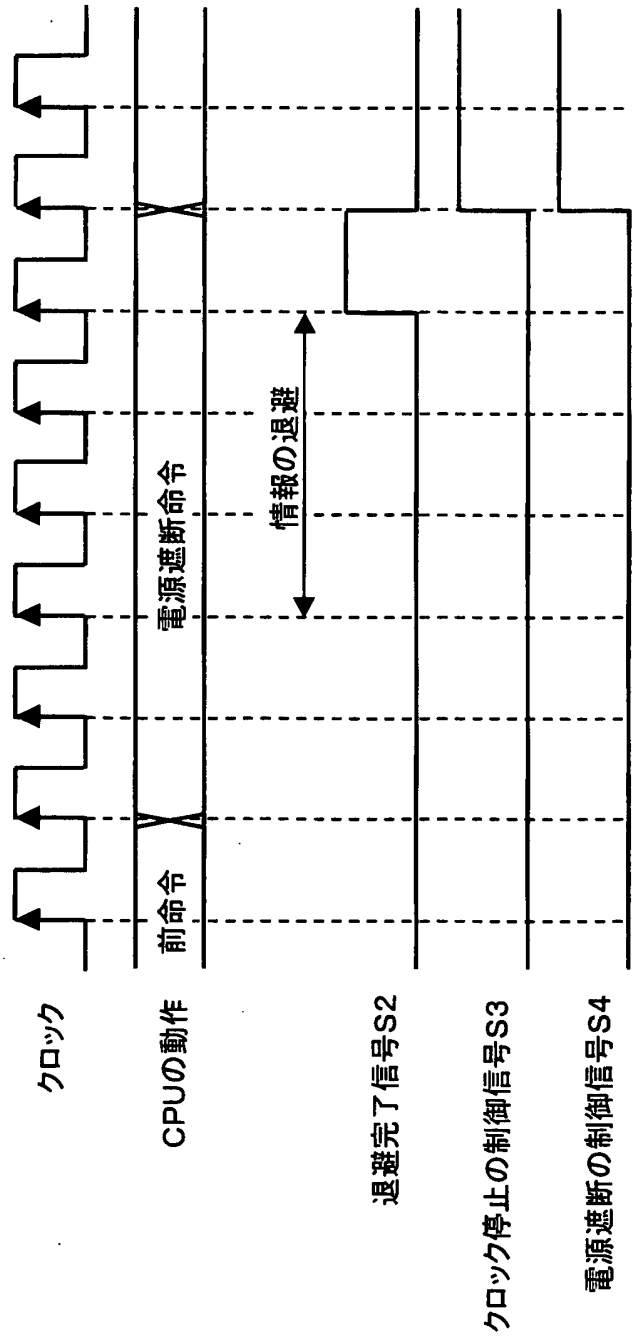
Qualcomm Ex. 1002 - 31/414

【図６】



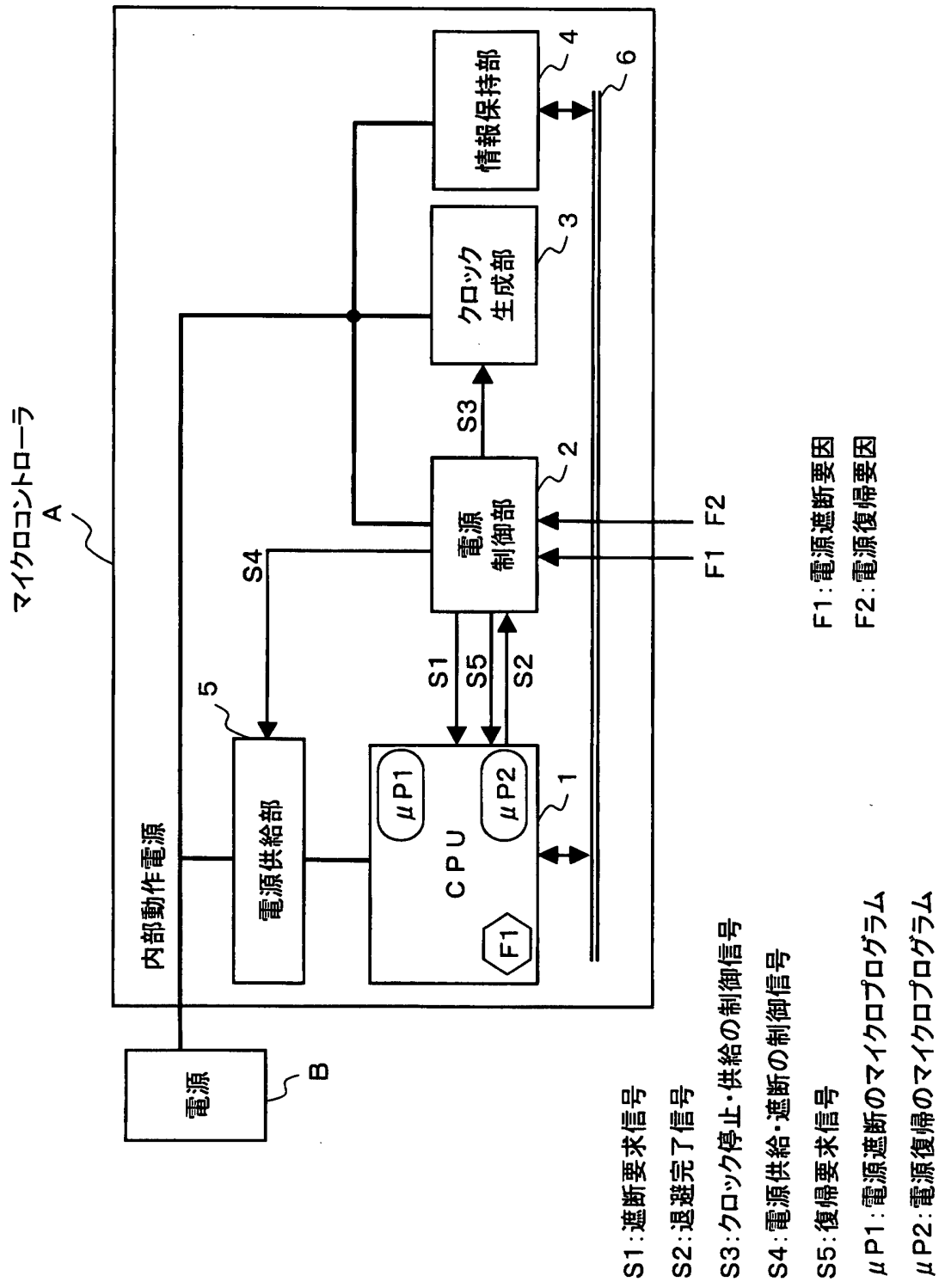
Qualcomm Ex. 1002 - 32/414

【図７】



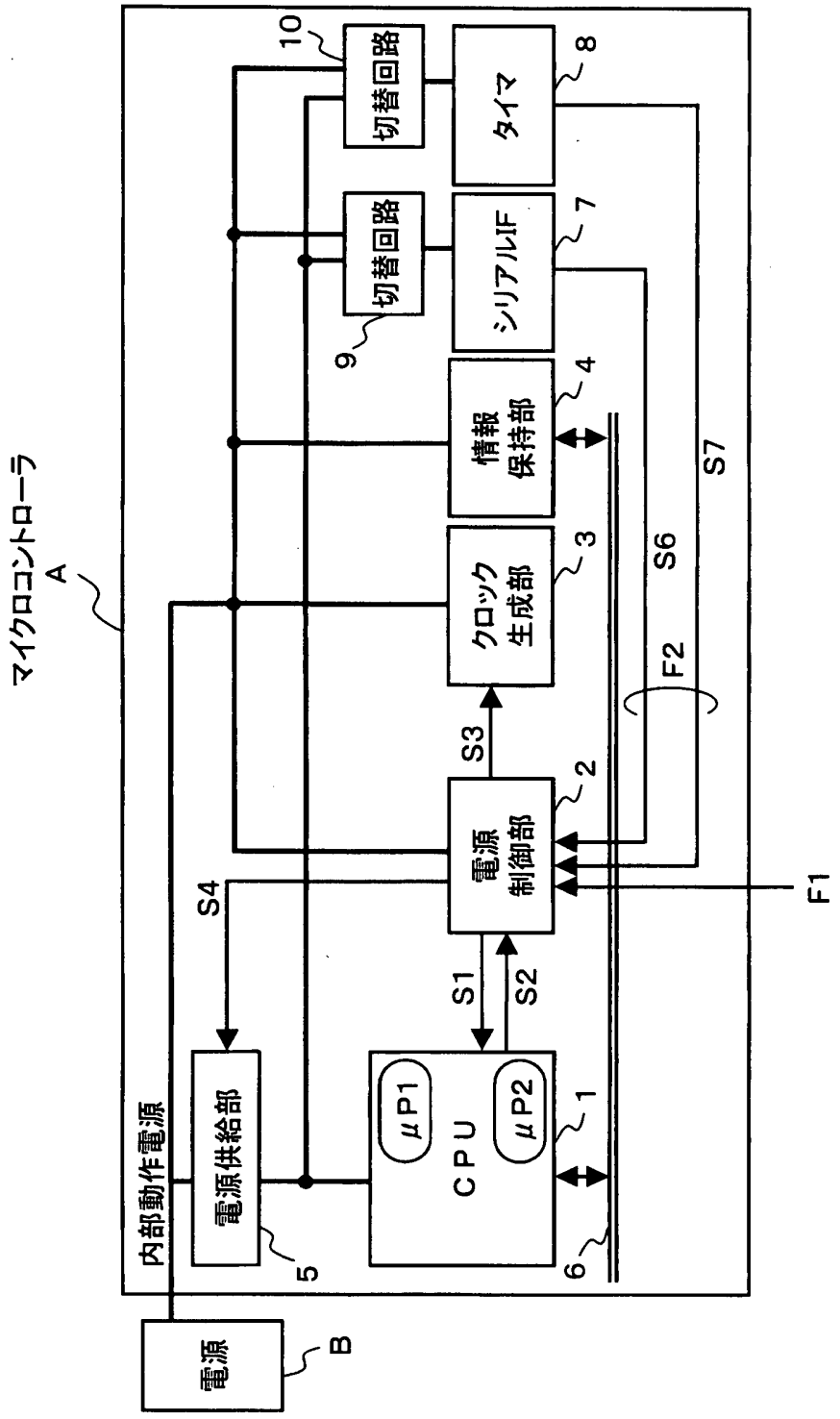
Qualcomm Ex. 1002 - 33/414

【図８】



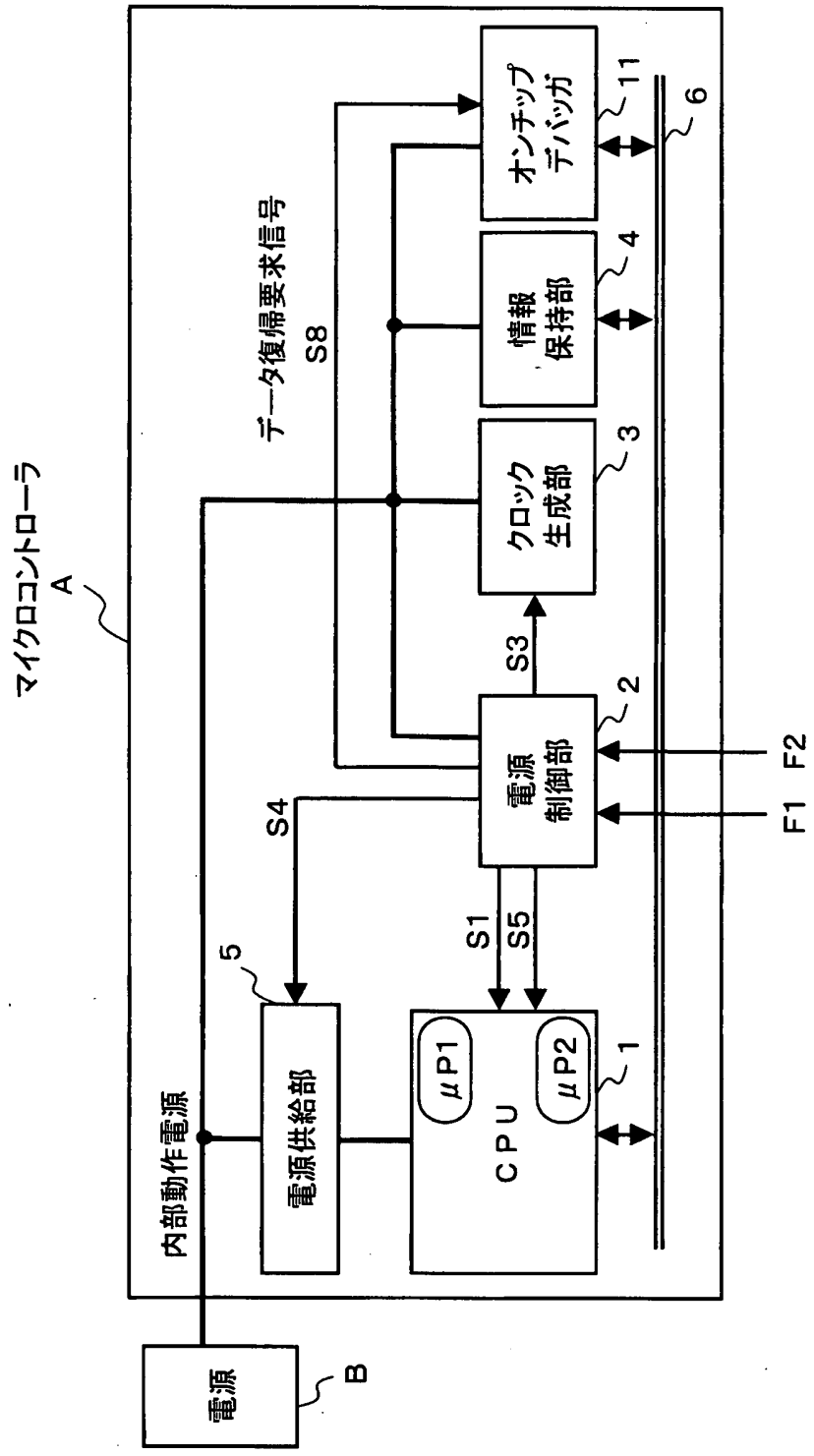
Qualcomm Ex. 1002 - 34/414

【図９】



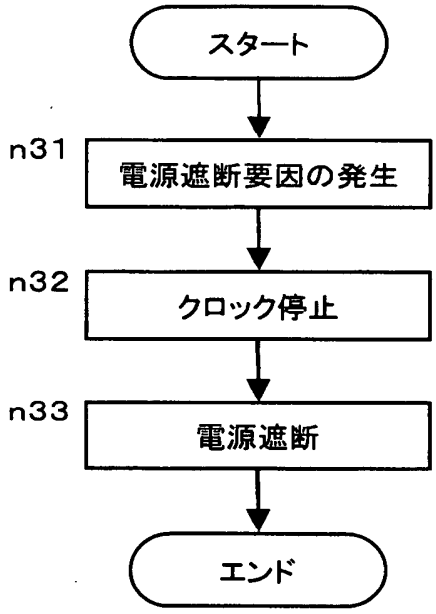
Qualcomm Ex. 1002 - 35/414

【図１０】



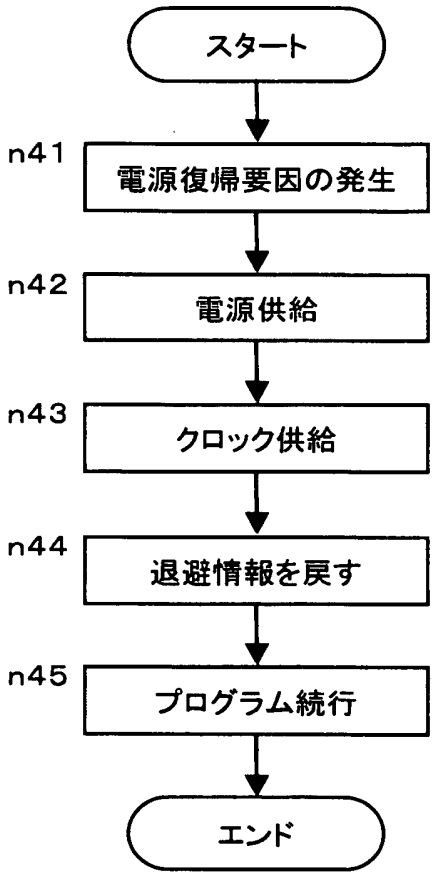
Qualcomm Ex. 1002 - 36/414

【図１１】



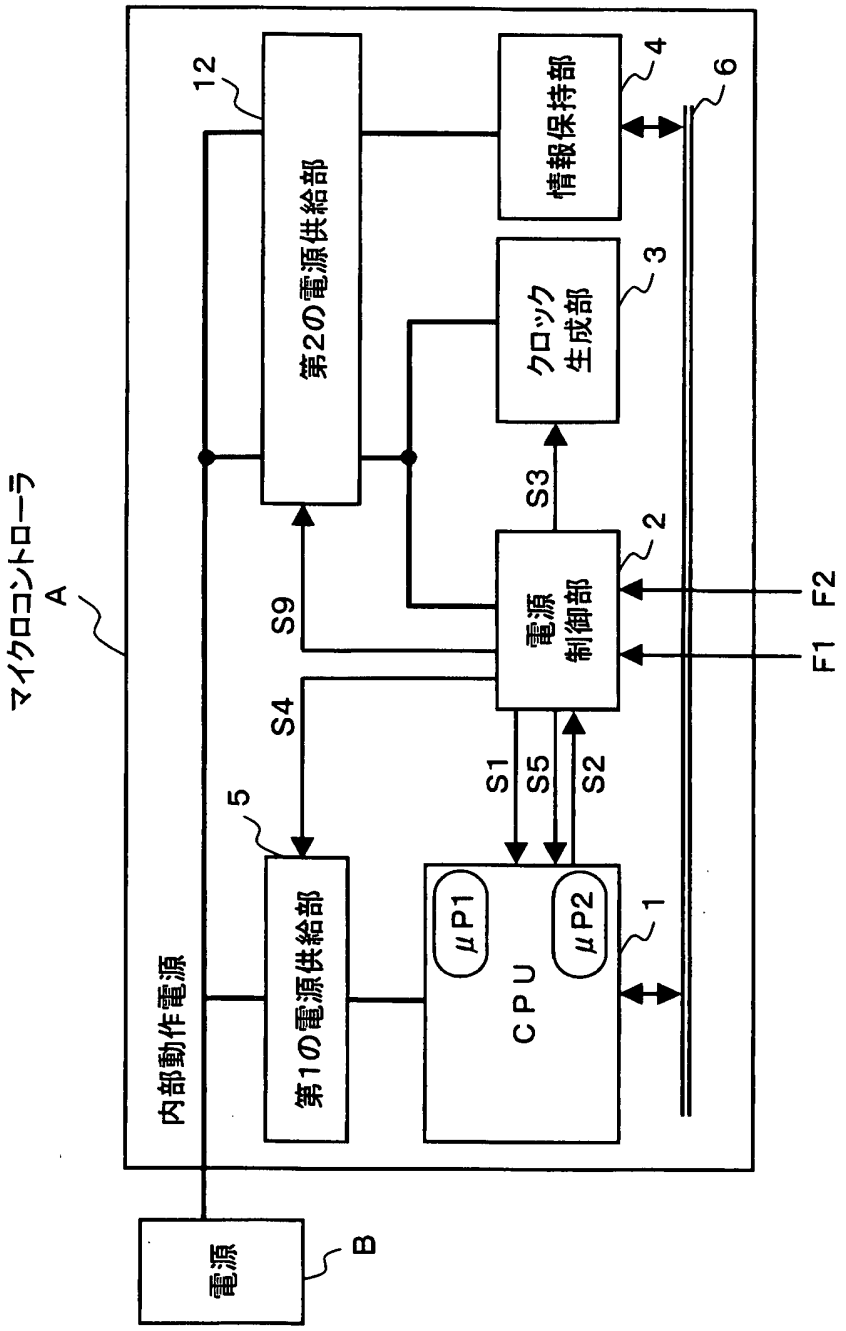
Qualcomm Ex. 1002 - 37/414

【図１２】



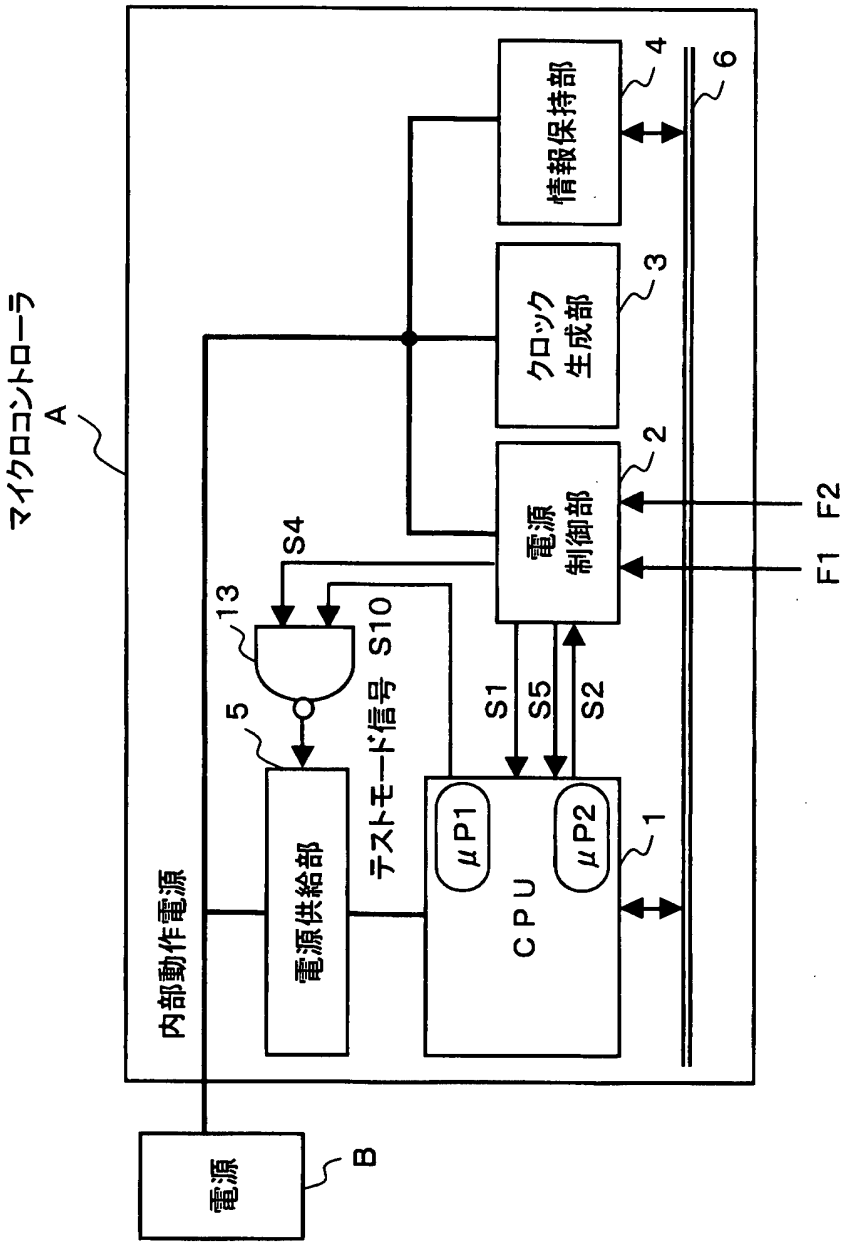
Qualcomm Ex. 1002 - 38/414

【図１３】



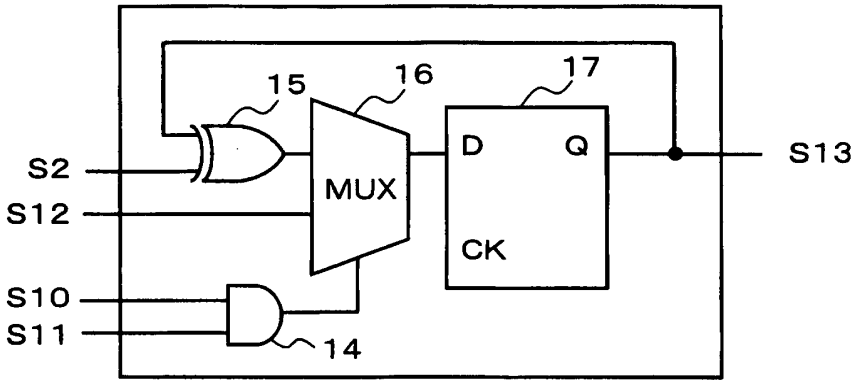
Qualcomm Ex. 1002 - 39/414

【図１４】



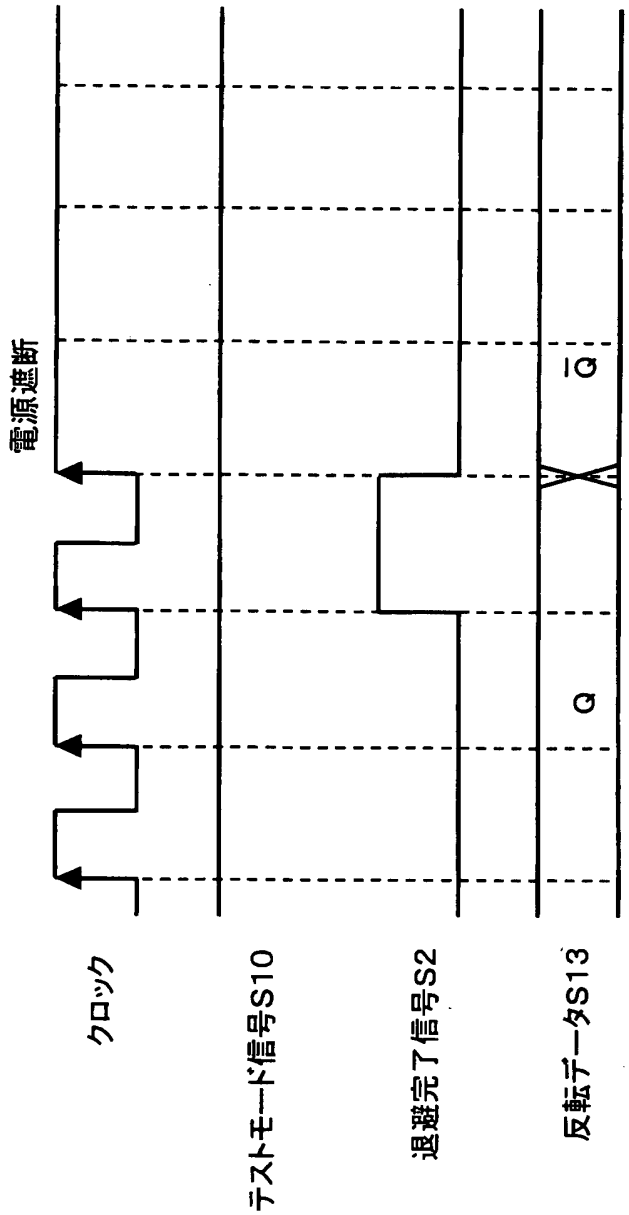
Qualcomm Ex. 1002 - 40/414

【図１５】



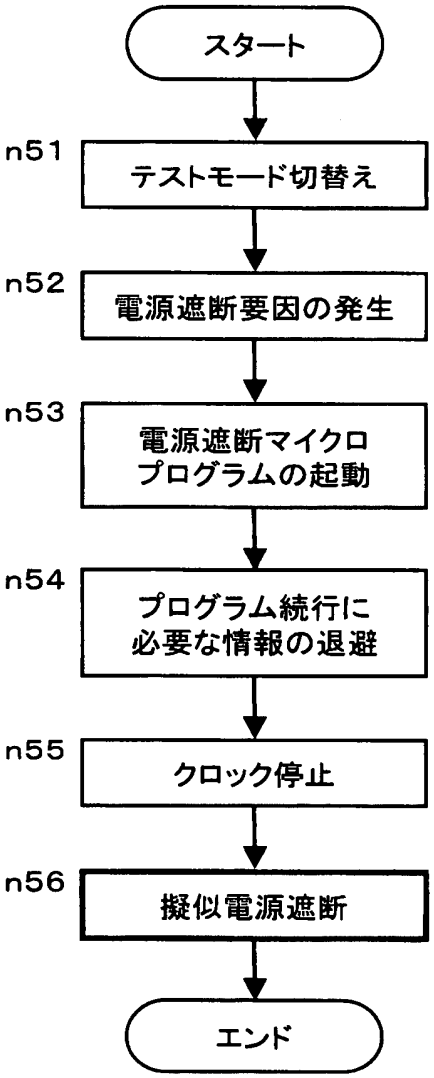
Qualcomm Ex. 1002 - 41/414

【図１６】



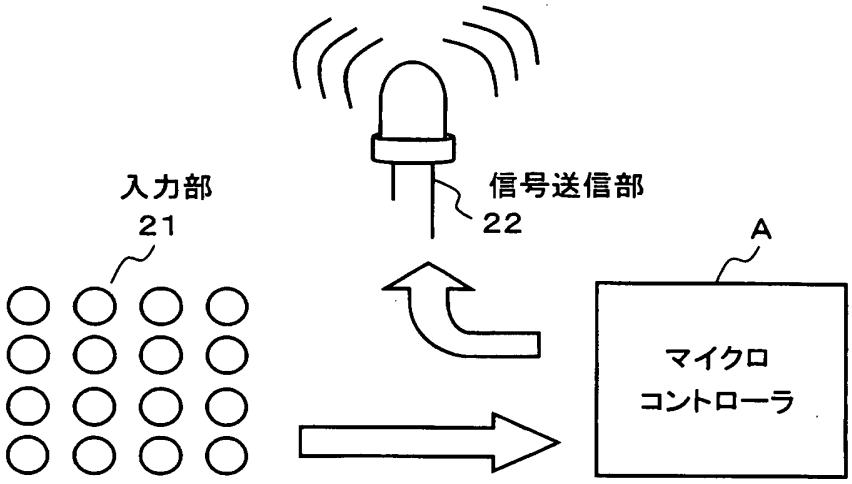
Qualcomm Ex. 1002 - 42/414

【図１７】



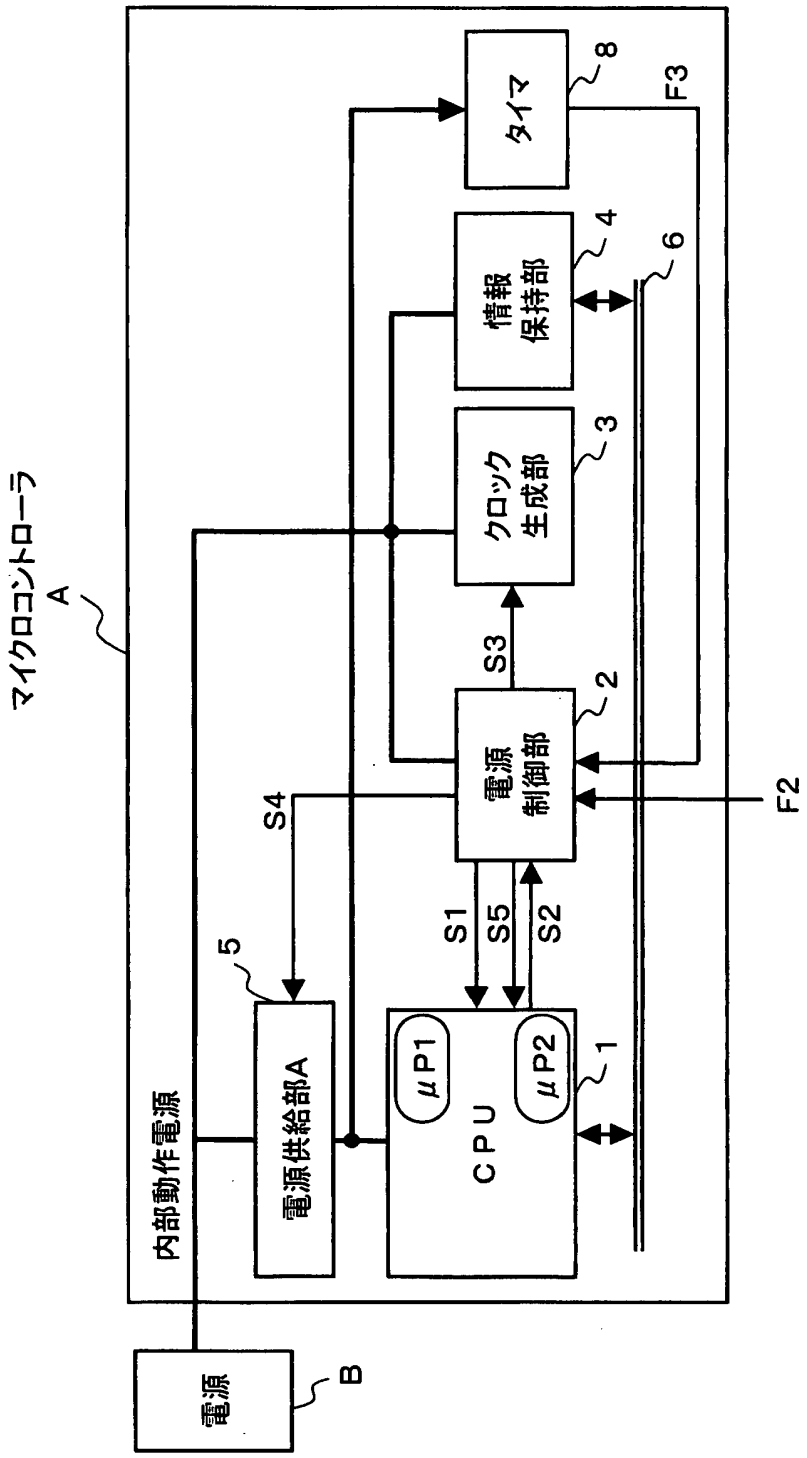
Qualcomm Ex. 1002 - 43/414

【図１８】



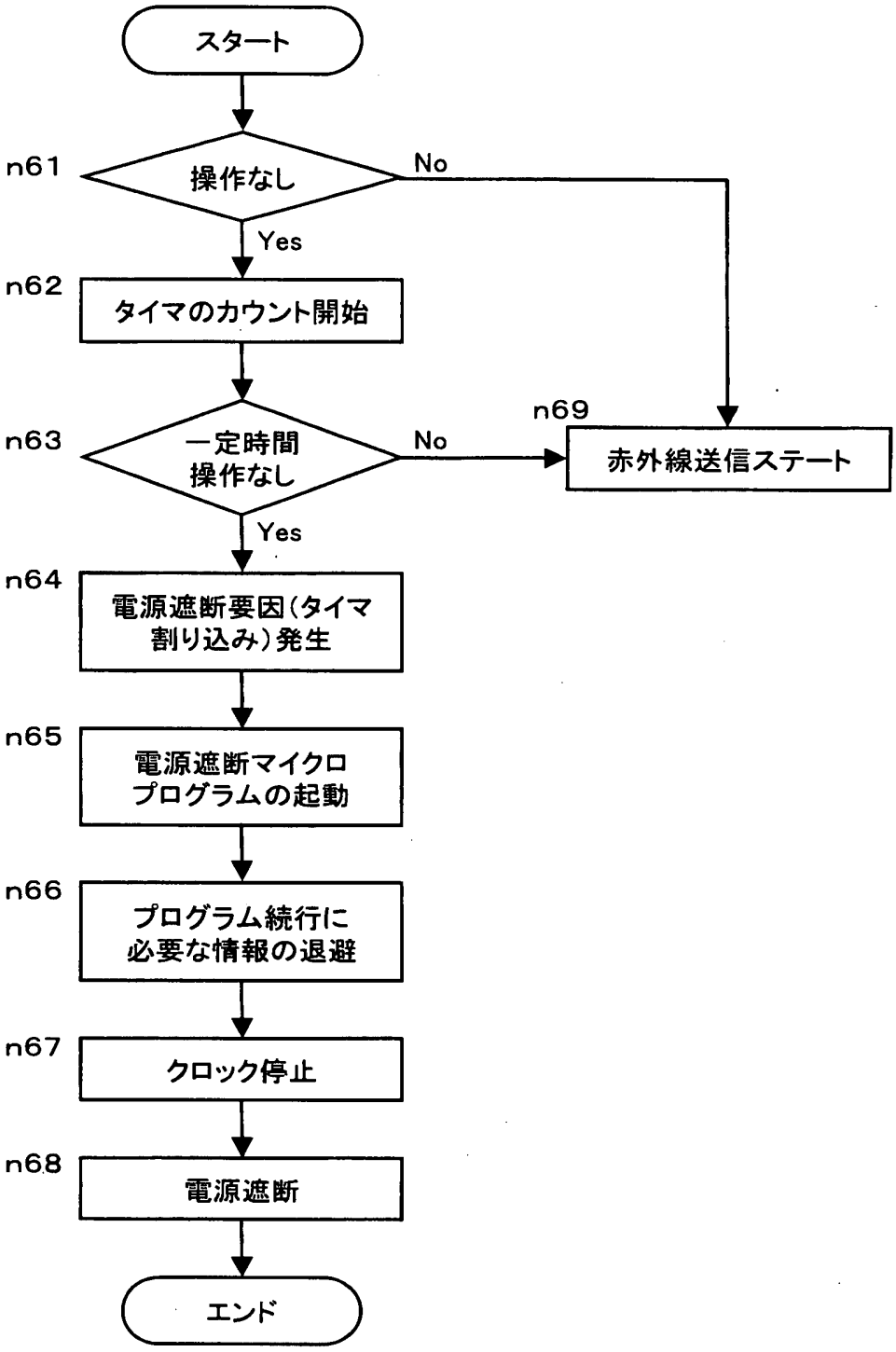
Qualcomm Ex. 1002 - 44/414

【図１９】



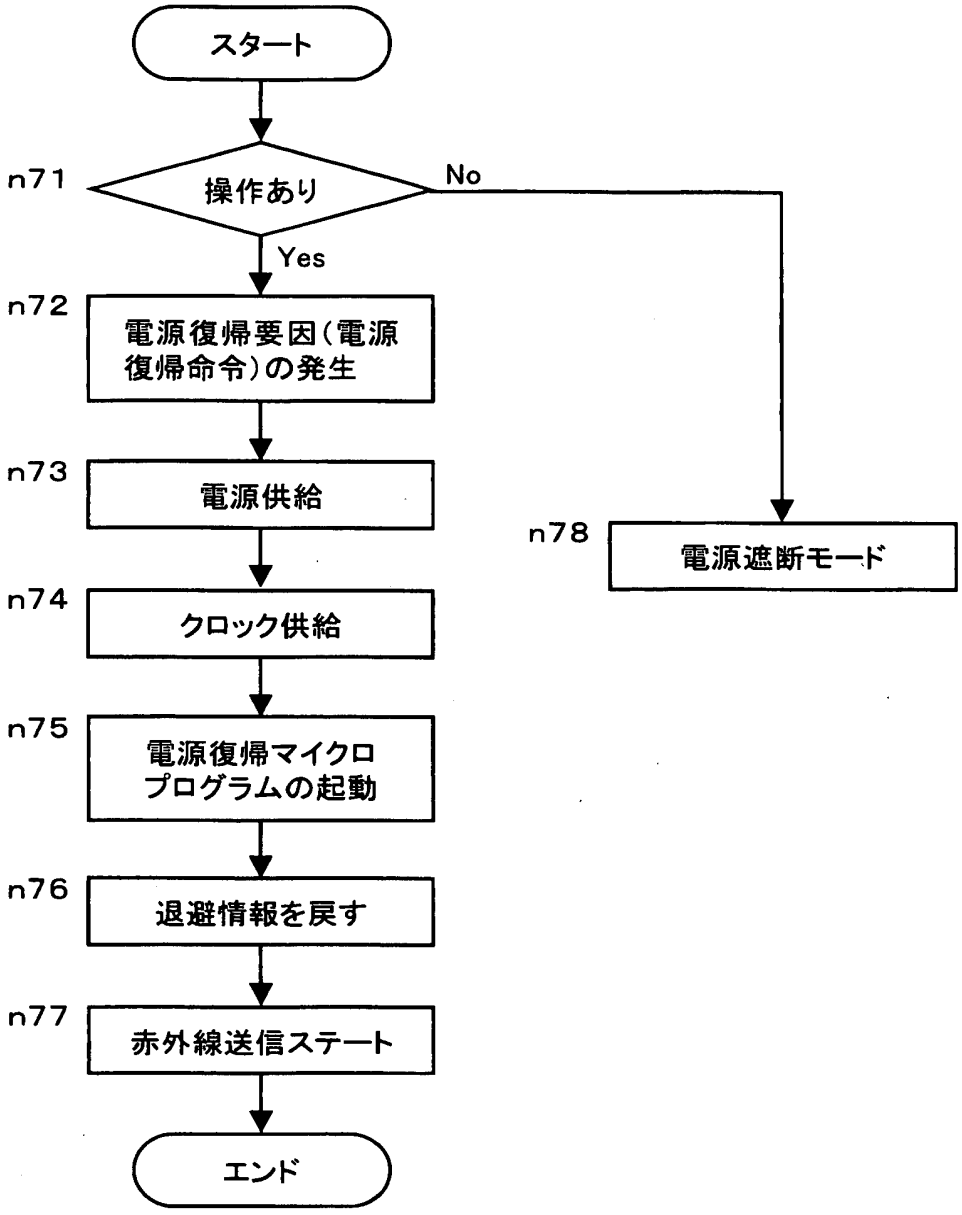
Qualcomm Ex. 1002 - 45/414

【図２０】



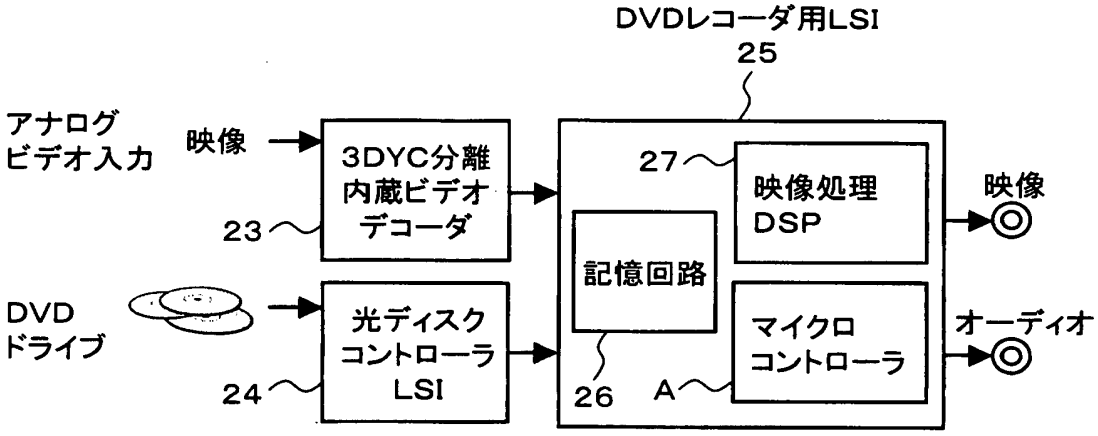
Qualcomm Ex. 1002 - 46/414

【図２１】



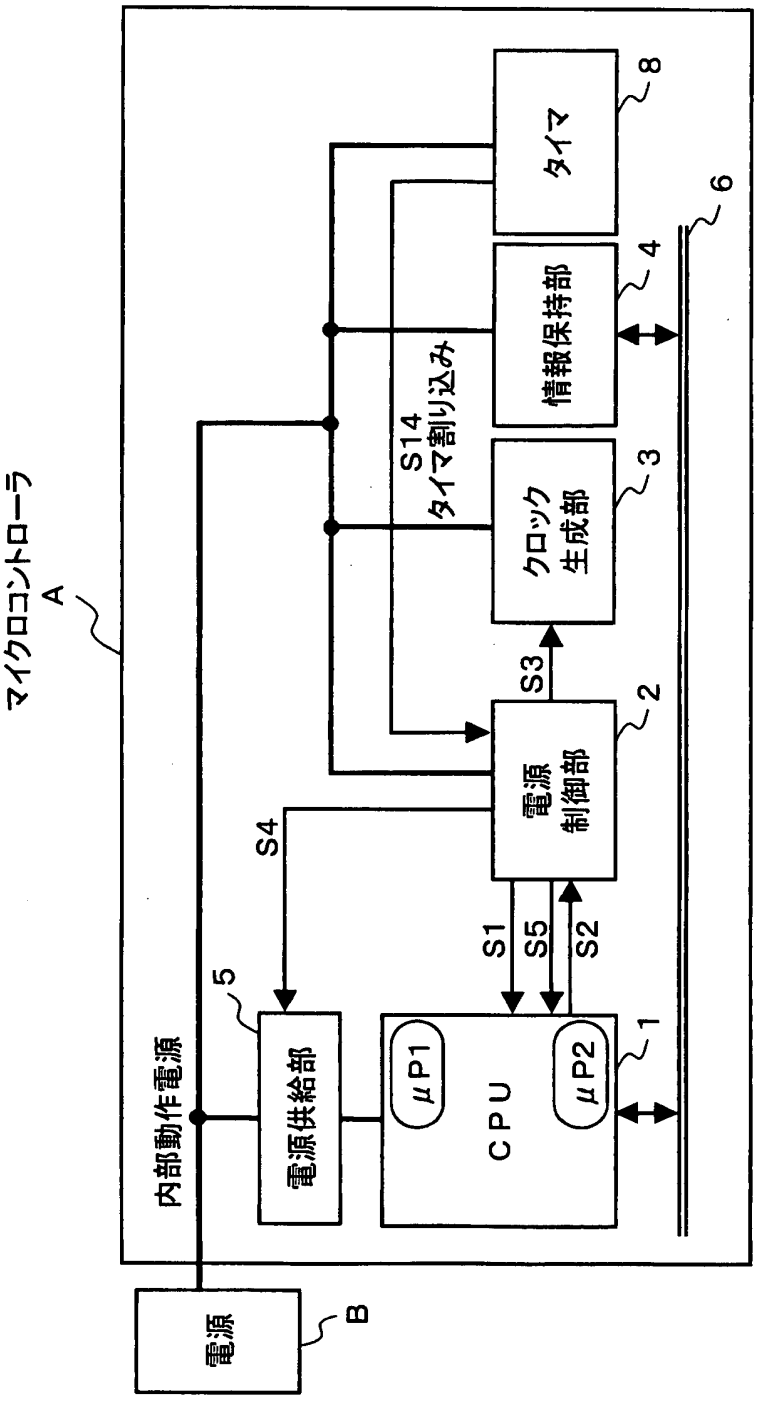
Qualcomm Ex. 1002 - 47/414

【図２２】



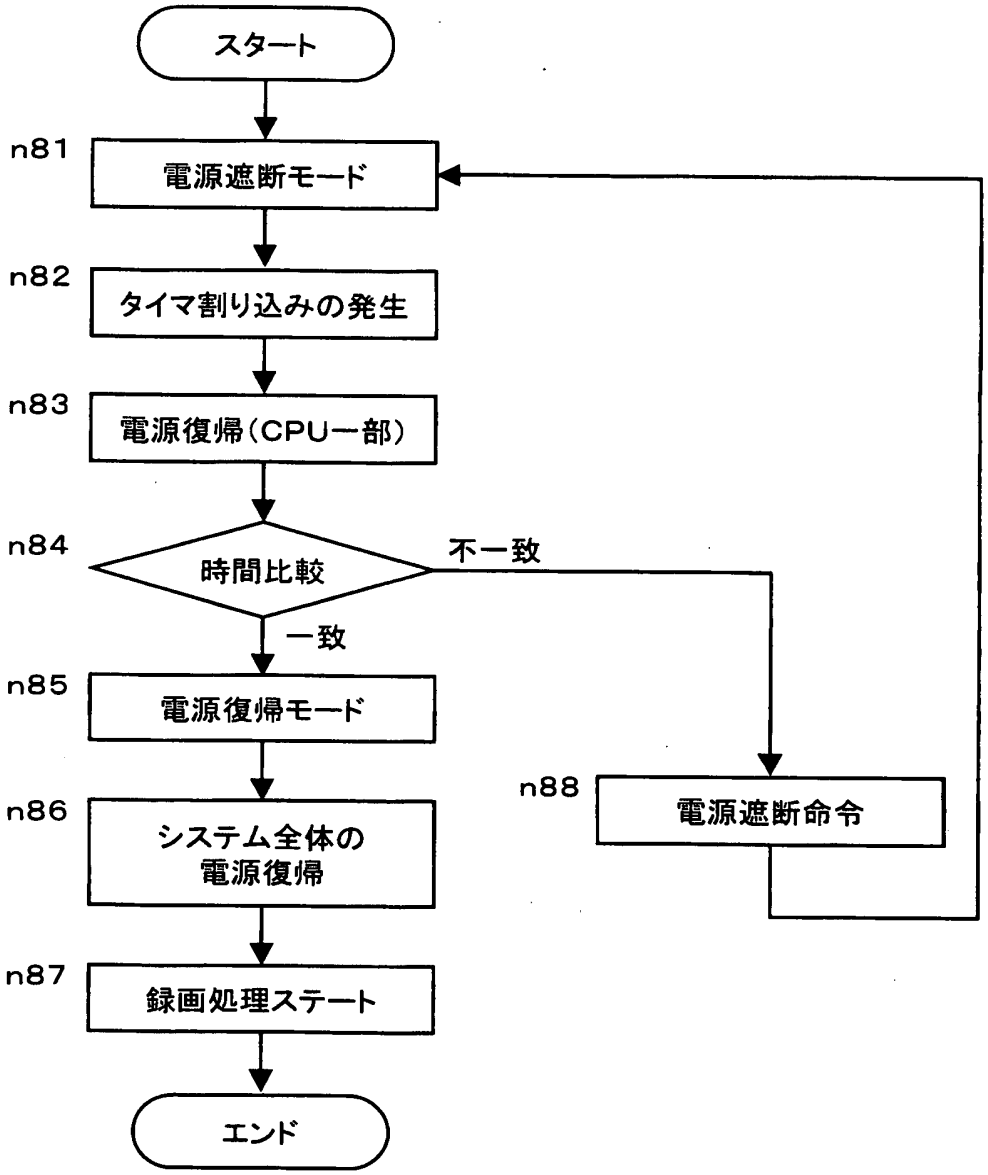
Qualcomm Ex. 1002 - 48/414

【図２３】



Qualcomm Ex. 1002 - 49/414

【図２４】



Qualcomm Ex. 1002 - 50/414

【書類名】要約書
【要約】
【課題】プログラム続行可能な電源遮断モードを実現し、スタンバイ時の消費電流を抑える。
【解決手段】本発明のマイクロコントローラＡは、電源制御部２は電源遮断要因Ｆ１の発生を受けてＣＰＵ１に対して遮断要求信号Ｓ１を出力し、ＣＰＵ１は電源制御部２から遮断要求信号Ｓ１を受け取ると、電源遮断のマイクロプログラムμＰ１を起動してプログラム続行に必要な情報を情報保持部４に退避させ、退避完了後に退避完了信号Ｓ２を電源制御部２に対して出力し、電源制御部２はＣＰＵ１からの退避完了信号Ｓ２を受け取ると、電源供給部５に対して電源遮断の制御信号Ｓ４を出力し、電源供給部５は電源制御部２から電源遮断の制御信号Ｓ４を受け取ると、ＣＰＵ１に対する電源供給を遮断する。
【選択図】図１

Qualcomm Ex. 1002 - 51/414

認定・付加情報

特許出願の番号	特願２００６－２４６４５４
受付番号	５０６０１７５８７５７
書類名	特許願
担当官	第七担当上席　００９６
作成日	平成１８年　９月１３日

＜認定情報・付加情報＞

【提出日】　平成18年 9月12日

出証特２００７－３０２６５４４

Qualcomm Ex. 1002 - 52/414

特願２００６－２４６４５４

出　願　人　履　歴　情　報

識別番号　［０００００５８２１］

１．変更年月日　１９９０年　８月２８日
［変更理由］　新規登録
住　所　大阪府門真市大字門真１００６番地
氏　名　松下電器産業株式会社

出証番号　出証特２００７－３０２６５４４

Qualcomm Ex. 1002 - 53/414

U.S. PTO
11/898145
09/10/2007

19179 U.S.PTO 091007

Case Docket Number: 056937-0396 **Customer Number: 53080**

UTILITY PATENT APPLICATION
UNDER 37 CFR 1.53(b)

Mail Stop New Utility Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Transmitted herewith for filing is the patent application of:

INVENTOR: **Yukari SUGINAKA, Toshifumi HAMAGUCHI, Yoshitaka KITAO, Shinya MURAMATSU**
FOR: **MICROCONTROLLER AND ARTS RELATED THERETO**

Enclosed are:

- ☒ 50 pages of specification, claims, abstract.
- ☒ Declaration and Power of Attorney.
- ☒ Priority Claimed.
- ☒ Certified copy of **Japanese Patent Application No. JP 2006-246454**
- ☒ 24 sheets of formal drawing.
- ☒ Information Disclosure Statement, Form PTO-1449 and reference.
- ☒ Return Receipt Postcard

The filing fee has been calculated as shown below:

	NO. OF CLAIMS		EXTRA CLAIMS	RATE	AMOUNT
Total Claims	30	-20	10	$50.00	$500.00
Independent Claims	2	-3	0	$200.00	$0.00
				Multiple Dependent Claim(s)	$0.00
				Sheets of specification and drawing ($250.00 for each 50 sheets in excess of 100)	$0.00
				Basic Filing Fee	$300.00
				Patent Search Fee	$500.00
				Patent Examination Fee	$200.00
				Total of Above Calculations	$1,500.00
				Less ½ for Small Entity	$0.00
				Assignment & Recording Fee	$0.00
				Total Fee	**$1,500.00**

Case Docket Number: 056937-0396

☒ Please charge my Deposit Account No. 500417 in the amount of **$1,500.00**. A duplicate copy of this sheet is enclosed.

☒ The Commissioner is hereby authorized to charge payment of the following fees associated with this communication or credit any overpayment to Deposit Account No. 500417 . A duplicate copy is enclosed.

☒ Any additional filing fees required under 37 CFR 1.16.

☒ The Commissioner is hereby authorized to charge payment of the following fees during the pendency of this application or credit any overpayment to Deposit Account No. 500417. A duplicate copy of this sheet is enclosed.

☒ Any patent application processing fees under 37 CFR 1.17.

☒ Any filing fees under 37 CFR 1.16 for presentation of extra claims.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP

Michael E. Fogarty
Registration No. 36,139

Please recognize our Customer No. 53080 as our correspondence address.

600 13th Street, N.W.
Washington, DC 20005-3096
Phone: 202.756.8000 MEF:kfm
Facsimile: 202.756.8087
Date: September 10, 2007

MICROCONTROLLER AND ARTS RELATED THERETO

BACKGROUND OF THE INVENTION

Field of the Invention

[1] The present invention relates to microcontrollers, and in particular, to a technique of suppressing current consumption in time of stand-by in a power shutdown mode in which a program can proceed. This technique is also applicable to a communication device and a recording device.

Description of the Related Art

[2] A general microcontroller has a stop mode for stopping supply of a operation clock and reducing current consumption as a standby mode, which is one of the operation modes. In the stop mode, start-up etc. of the software does not need to be performed since the internal state is maintained, and high speed restoration from the standby state is possible. However, as circuits are being configured with microscopic transistors due to advancement in recent semiconductor manufacturing techniques, the OFF current (leakage current) of the transistor is in great amount, and the current consumption even in the stop mode tends to be large.

[3] The current consumption caused by leakage current is made to substantially zero in a method of shutting down power to suppress the current consumption. In this case, since the internal state of the microcontroller is destroyed due to power shutdown, the initialization program must be executed from the reset process in order to initialize the inside. However, if such process is

Qualcomm Ex. 1002 - 56/414

executed, the initial setting of the microcontroller and the start-up of the operating system are performed, whereby the time required for restoration becomes longer.

[4] A power shutdown mode for allowing a program to proceed was thus developed. Related arts include a technique in which a standby control circuit is arranged proposed in a Japanese Laid-Open Patent Publication (Japanese Laid-Open Patent Publication No. 2005-11166). This technique performs a control to continue power supply to an information holding circuit for holding the value of a register contained in a peripheral circuit module when shutting down power supply to a CPU (Central Processing Unit) and the peripheral circuit module. In such control, when an interrupt request is notified from outside the device, the power supply to the CPU and the peripheral circuit module is resumed, and the evacuated information is restored to the CPU and the peripheral circuit module. Returning again to the execution of the program, an interrupt processing corresponding to the interrupt request is performed. According to such a configuration, the reduction in standby current by power shutdown and high-speed restoration from standby by interrupt both can be obtained.

[5] In the technique of the standby control circuit, after prohibiting interruption, the value of the register to be necessary in the software is evacuated, and the power is shutdown while prohibiting interruption. This process is performed because there is a possibility that the evacuated register value may change before the power shutdown if interrupt is accepted before the power shutdown.

[6] However, in the technique of the standby control

Qualcomm Ex. 1002 - 57/414

circuit, if the power supply is shutdown with the interruption for restoration occurring while prohibiting interruption,

· restoration may not be possible unless interrupt reoccurs,

· the interrupt processing is performed after executing the power shutdown process and the power supply process, and the delay time from the occurrence of interrupt until the execution of the actual process becomes long, and

· the temporal anteroposterior relationship of the power supply process and the interrupt processing may reverse.

[7] Furthermore, in the technique of the standby control circuit, the backup register and the register to be evacuated are directly connected by way of a logic circuit as the information holding means.

However,

· the backup registers of the number equivalent to the number of registers to be evacuated are necessary; and

· wirings double the number of registers to be evacuated are necessary.

[8] Since the wiring is the portion connecting the portion of shutting down power and the portion of continuously supplying the power, a logic circuit for preventing unnecessary current from flowing and a logic circuit for preventing destruction of information are required, whereby the circuit scale is increased.

SUMMARY OF THE INVENTION

[9] Therefore, it is a main object of the present

Qualcomm Ex. 1002 - 58/414

invention to provide a microcontroller capable of easily and rapidly evacuating and restoring information necessary in proceeding with a program when realizing a standby state in which internal operation voltage supply is shutdown, a state in which an internal operation voltage is lowered, or the like.

[10] (1) A microcontroller according to the present invention includes:

a CPU;

a power supply device for supplying power to the CPU;

a power supply unit arranged between the CPU and the power supply device;

a power supply control unit for controlling the CPU and the power supply unit; and

an information holding unit for holding information evacuated from the CPU, the information necessary in proceeding with a program; wherein

the power supply control unit outputs a shutdown request signal to the CPU in response to generation of a power shutdown factor,

the CPU, upon receiving the shutdown request signal, activates a power shutdown microprogram, evacuates the information necessary in proceeding with the program to the information holding unit, and outputs an evacuation completed signal to the power supply control unit after evacuation is completed,

the power supply control unit, upon receiving the evacuation completed signal, outputs a power shutdown control signal to the power supply unit, and

the power supply unit shuts down power supply to the CPU upon receiving the power shutdown control signal from the power supply control unit.

[11] In the present invention, when the power shutdown

Qualcomm Ex. 1002 - 59/414

factor is generated, the power supply control unit outputs the shutdown request signal to the CPU. The CPU, upon receiving the shutdown request signal activates the power shutdown microprogram. The power shutdown microprogram evacuates the information necessary in proceeding with the program to the information holding unit, and then outputs the evacuation completed signal to the power supply control unit. The power supply control unit, upon receiving the evacuation completed signal outputs the power shutdown control signal to the power supply unit, and the power supply unit in turn, shuts down power supply to the CPU. However, the power supply unit continues to supply power to the information holding unit. Thus, the CPU will be in a stopped state and the current consumption will be suppressed. The information necessary in proceeding with the program will also be held.

[12] The power shutdown microprogram continuously executes evacuation of the information necessary in proceeding with the program and the power shutdown process, and thus no interrupt processing will be activated between the information evacuating process and the power shutdown process. Thus, the information necessary in proceeding with the program to be evacuated is prevented from being changed before the power shutdown. Furthermore, the interrupt does not need to be prohibited before the information evacuation or the power shutdown process. Accordingly, the power shutdown process in an interrupt permitted state, and acceptance of interrupt processing before the power shutdown can be executed. Since the evacuation of the information is executed by the microprogram, the data can be evacuated using existing wirings of the microcontroller, and

Qualcomm Ex. 1002 - 60/414

increase in the number of logic circuits and wirings dedicated for evacuating information is suppressed to a minimum.

[13] (2) The microcontroller according to the present invention has an aspect of further including a clock generator; wherein

the power supply control unit, upon receiving the evacuation completed signal outputs a clock stop control signal to the clock generator.

[14] In this aspect, the power shutdown microprogram stops the operation of the clock generator after evacuation of the information necessary in proceeding with the program and the power shutdown process are completed, and thus current consumption in the peripheral circuit module that operates in response to the clock supply from the clock generator is suppressed.

[15] (3) The microcontroller according to the present invention has an aspect where the power supply control unit outputs a power supply control signal to the power supply unit in response to generation of a power supply restoration factor;

the power supply unit, upon receiving the power supply control signal, starts to supply power to the CPU;

the power supply control unit outputs a restoration request signal to the CPU and outputs a clock supply control signal to the clock generator when a supplied power supply voltage is stabilized;

the clock generator, upon receiving the clock supply control signal, restarts to supply an operation clock; and

the CPU, upon receiving the restoration request signal, activates a power supply restoration

Qualcomm Ex. 1002 - 61/414

microprogram, restores the information necessary in proceeding with the program and evacuated in the information holding unit in time of power shutdown, and ultimately branches processes to addresses indicated by a program counter to change from a shutdown state to a program execution state and proceed with the program.

[16] In this aspect, when the power supply restoration factor is generated in the state of shutting down power supply to the CPU and in the state of stopping clock supply by the clock generator, the power supply control unit outputs the power supply control signal to the power supply unit. The power supply unit, upon receiving the power supply control signal, starts to supply power to the CPU. When the power supply voltage to be supplied is stabilized, the power supply control unit outputs the restoration request signal to the CPU and also outputs the clock supply control signal to the clock generator. In response to such signals, the clock generator restarts to supply the operation clock, and the CPU activates the power supply restoration microprogram. The power supply restoration microprogram restores the information necessary in proceeding with the program and evacuated in the information holding unit to the CPU, and then branches the processes to the addresses indicated by the program counter to continue the program execution from the shutdown state. Therefore, according to such a configuration, restoration of the evacuated information necessary in proceeding with the program is easily and conveniently achieved.

[17] **(4)** The microcontroller according to the present invention includes:

a CPU;

Qualcomm Ex. 1002 - 62/414

a power supply device for supplying power to the CPU;

a power supply unit arranged between the CPU and the power supply device;

a power supply control unit for controlling the CPU and the power supply unit; and

an information holding unit for holding information evacuated from the CPU, the information necessary in proceeding with a program; wherein

the power supply control unit outputs a shutdown request signal to the CPU in response to generation of a power shutdown factor,

the CPU, upon receiving the shutdown request signal, activates a power shutdown microprogram, evacuates the information necessary in proceeding with the program to the information holding unit, and outputs an evacuation completed signal to the power supply control unit after evacuation is completed,

the power supply control unit, upon receiving generation of a power supply restoration factor after receiving the evacuation completed signal, outputs a restoration request signal to the CPU, and

the CPU, upon receiving the restoration request signal, activates a power supply restoration mircoprogram of not restoring the evacuated information, and continues program execution.

[18] In this aspect, since interrupt prohibition is not performed in the execution of the power shutdown microprogram, the activation of the power supply restoration microprogram for not restoring the evacuated information can be performed based on the generation of the power supply restoration factor. When the power supply restoration factor is generated before the power supply is shutdown after activating the power shutdown

Qualcomm Ex. 1002 - 63/414

microprogram, the power supply restoration microprogram for not restoring the evacuated information is activated. In this case, restoration is performed at high speed since the evacuated information is not restored.

[19] (5) The microcontroller according to the present invention has an aspect where the clock generator selects one of operation performed after stopping supply of an operation clock and operation stop performed without stopping the supply of the operation clock as operation to be performed upon receiving the clock stop control signal from the power supply control unit.

[20] In such a configuration, the operation according to user preference can be set by mode selection. In the case of a mode in which the supply of the operation clock is not stopped, restoration can be carried out at an arbitrary time by moving a counter of a timer or in any other methods.

[21] (6) The microcontroller according to the present invention has an aspect where the power supply control unit limits a period in which shutdown is possible. In this aspect, a shutdown possible period is set in the register in the power control unit, where the power shutdown factor is accepted if within the period, and not accepted if outside the period. Thus, the operation mode is diversified.

[22] (7) The microcontroller according to the present invention has an aspect where the power shutdown microprogram evacuates the information necessary in proceeding with the program to a stack region in the information holding unit and then evacuates to a specific place only a value of a stack pointer for pointing to an evacuation place. The information

Qualcomm Ex. 1002 - 64/414

necessary in proceeding with the program includes a program counter, processor status word, stack pointer, and the like.

[23] In this aspect, most of the information necessary in proceeding with the program is evacuated to the stack region in the information holding unit, and only the value of the stack pointer for pointing to the evacuation place is evacuated to a specific region, and thus a dedicated logic necessary for such an aspect is made to a minimum configuration.

[24] (8) The microcontroller according to the present invention has an aspect where the power supply restoration factor uses an interrupt system of the microcontroller. In this aspect, the circuit does not need to be additionally formed.

[25] (9) The microcontroller according to the present invention has an aspect where the state of the power shutdown factor includes a state where it is provided from an external terminal and a state where it is provided by a command, and it is possible to select a configuration corresponding to either one or both of the states. In this aspect, the microcontroller can be more universally applied.

[26] (10) The microcontroller according to the present invention has an aspect where,

the power supply restoration microprogram includes:

a microprogram for restoring the evacuated information necessary in proceeding with the program and proceeding with the program;

a microprogram for restoring a set value without using the evacuated information necessary in proceeding with the program; and

a program for resetting processes, and

Qualcomm Ex. 1002 - 65/414

the CPU selects one of the plurality of microprograms in an alternative way. In this aspect, the application range can be extended by broadening the options.

[27] **(11)** The microcontroller according to the present invention has an aspect of activating one of the power shutdown microprogram and the power supply restoration microprogram selected in an alternative way, according to the generated power shutdown factor or a type of the selected power shutdown factor.

[28] The present invention enables the number of information necessary in proceeding with the program to be changed. This aspect focuses on such capability. Thus, an efficient application system can be built by executing the microprogram respectively corresponding to the number of information necessary in proceeding with the program.

[29] **(12)** The microcontroller according to the present invention has an aspect where the power supply device sets a period for shutting down power supply according to one or a plurality of peripheral circuit modules, and the power shutdown period in the power supply device is set so that power shutdown is not carried out in a period necessary for power supply restoration and power shutdown is carried out in a period not necessary for the power supply restoration. According to such an aspect, the current consumption is further reduced.

[30] **(13)** The microcontroller according to the present invention has an aspect of further including a debugger for constantly monitoring a register in the CPU; wherein data other than data monitored by the debugger is evacuated in the information holding unit in time of power shutdown.

[31] According to such an aspect, since the debugger is

Qualcomm Ex. 1002 - 66/414

constantly monitoring the register in the CPU, the information to be evacuated from the CPU to the information holding unit in time of power shutdown reduces, and the speed of executing the power shutdown increases.

[32] **(14)** The microcontroller according to the present invention has an aspect of further including a second power supply unit for lowering a voltage to be supplied to a circuit portion outside a power shutdown range to a lower limit voltage for information holding when the power shutdown factor is generated.

[33] In this aspect, power is saved by lowering the leakage current in the information holding unit and other logic circuits outside the power shutdown range.

[34] **(15)** The microcontroller according to the present invention has an aspect of further including a circuit for loading an inverted value to a register in a circuit portion in a power shutdown range.

[35] In this aspect, a test can be realized with the same conditions as in shutdown with the power turned ON when performing the test of the power shutdown. Thus, the test time is reduced.

[36] **(16)** With regard to the microcontroller according to the present invention, a communication device is configured by

the microcontroller;

[37] an input unit for accepting an instruction to be externally input; and

a signal transmitting unit for transmitting a signal to other equipment by infrared light; wherein

a power shutdown process is executed when no input is made to the input unit for a constant time, and then a power supply restoration process is executed when an

Qualcomm Ex. 1002 - 67/414

input is made to the input device.

[38] In such a communication device, the mode changes to the power shutdown mode if input operation is not made for a constant time, and changes to the power supply restoration mode when input operation is made with such input operation as the restoration factor. Thus, significant power reduction can be expected, and advantages are provided in particular, in a long time drive of a battery driven communication device.

[39] (17) With regard to the microcontroller according to the present invention, a recording device is configured by

a DVD recorder LSI including the microcontroller, an image processing DSP, and a storage circuit; and

an optical disc controller LSI including a DSP servo; wherein

a timer interrupt is generated to the power supply control unit at every constant time, the current time and the time a constant time before a recording programmed time are compared, and a power supply restoration process is performed, when comparison result shows that the two match, in order for the microcontroller to change to a recording processable state.

[40] In such a recording device, significant reduction in power is achieved by setting to the power shutdown mode instead of the standby mode, which is normally set, when operation is not made before the recording programmed time.

[41] According to the present invention, evacuation of the information necessary in proceeding with the program and the power shutdown process are continuously executed using the power shutdown microprogram, and thus the

Qualcomm Ex. 1002 - 68/414

interrupt processing does not need to be activated between the evacuation of the information and the power shutdown process, and the information necessary in proceeding with the program to be evacuated is prevented from changing before the power shutdown. Thus, high speed register evacuation and restoration are easily and efficiently realized. Since the evacuation of the information is executed by the microprogram, evacuation can be carried out using existing wirings, and increase in the number of logic circuits and wirings dedicated for evacuation of information is suppressed.

[42] In the present invention, the power shutdown mode in which the program can proceed is realized when realizing a standby state in which the internal operation voltage supply is shutdown or in a state the internal operation voltage is lowered. Thus, the present invention is useful as a microcontroller capable of evacuating and restoring the information necessary in proceeding with the program easily and at high speed. The present invention is also useful in the communication device and the recording device.

BRIEF DESCRIPTION OF THE DRAWINGS

[43] The invention, together with objects and advantages thereof, may best be understood by reference to the following description of the presently preferred embodiment, and are defined in the attached Claims. A great number of benefits not mentioned in the specification should be apparent to those skilled in the art by performing the present invention.

[44] Fig. 1 is a block diagram showing a configuration of a microcontroller according to a first embodiment of the present invention;

Qualcomm Ex. 1002 - 69/414

Fig. 2 is a flowchart showing the operation in a power shutdown process of the microcontroller according to the first embodiment of the present invention;

Fig. 3 is a timing chart showing the operation of a power shutdown process of the microcontroller according to the first embodiment of the present invention;

Fig. 4 is a flowchart showing the operation of a power supply restoration process of the microcontroller according to the first embodiment of the present invention;

Fig. 5 is a flowchart showing the operation performed when a restoration factor is generated in the middle of the power shutdown process of the microcontroller according to the first embodiment of the present invention;

Fig. 6 is a block diagram showing a configuration of a microcontroller according to a second embodiment of the present invention;

Fig. 7 is a timing chart showing the operation in a power shutdown process of the microcontroller according to the second embodiment of the present invention;

Fig. 8 is a block diagram showing a configuration of a microcontroller according to a variant of the second embodiment of the present invention;

Fig. 9 is a block diagram showing a configuration of a microcontroller according to a third embodiment of the present invention;

Fig. 10 is a block diagram showing a configuration of a microcontroller according to a fourth embodiment of the present invention;

Fig. 11 is a flowchart showing the operation of a power shutdown process of the microcontroller according to the fourth embodiment of the present invention;

Qualcomm Ex. 1002 - 70/414

Fig. 12 is a flowchart showing the operation of a power supply restoration process of the microcontroller according to the fourth embodiment of the present invention;

Fig. 13 is a block diagram showing a configuration of a microcontroller according to a fifth embodiment of the present invention;

Fig. 14 is a block diagram showing a configuration of a microcontroller according to a sixth embodiment of the present invention;

Fig. 15 is a block diagram showing detailed configuration of the inside of a CPU of the microcontroller according to the sixth embodiment of the present invention;

Fig. 16 is a timing chart showing the operation in test of the microcontroller according to the sixth embodiment of the present invention;

Fig. 17 is a flowchart showing the operation in test of the microcontroller according to the sixth embodiment of the present invention;

Fig. 18 is a schematic view of a communication device according to a seventh embodiment of the present invention;

Fig. 19 is a block diagram showing a configuration of a microcontroller according to the seventh embodiment of the present invention;

Fig. 20 is a flowchart showing the operation of the power shutdown process of the microcontroller according to the seventh embodiment of the present invention;

Fig. 21 is a flowchart showing the operation of the power supply restoration process of the microcontroller according to the seventh embodiment of the present invention;

Qualcomm Ex. 1002 - 71/414

Fig. 22 is a system configuration view of a recording device according to an eighth embodiment of the present invention;

Fig. 23 is a block diagram showing a configuration of a microcontroller according to an eighth embodiment of the present invention; and

Fig. 24 is a flowchart showing the operation of the power supply restoration process of the microcontroller according to the eighth embodiment of the present invention.

DETAILED DESCRIPTION OF THE INVENTION

[45] Embodiments of a microcontroller according to the present invention will now be described in detail with reference to the drawings.

(First Embodiment)

In the first embodiment of the present invention, the present invention is applied to a configuration in which a power shutdown factor is provided from an external terminal. Fig. 1 is a block diagram showing a microcontroller A. The microcontroller A includes a CPU 1, a power supply control unit 2, a clock generator 3, an information holding unit (built-in RAM) 4, a power supply unit 5, an internal bus 6, and peripheral circuits (not shown) such as a timer circuit and serial interface. Power is externally supplied to the microcontroller A. The power supply unit 5 is arranged between the power supply B and the CPU 1, and has a function of performing a control so that the voltage to be supplied to the CPU 1 is constant and a function of controlling supply/shutdown of power to the CPU 1 in response to a power supply/power shutdown control signal

Qualcomm Ex. 1002 - 72/414

S4 from the power supply control unit 2. The power supply control unit 5 is configured by a general voltage regulator. The clock generator 3 supplies or stops an operation clock in response to a clock supply/clock stop control signal S3 from the power supply unit 2.

[46] The power supply control unit 2 outputs a shutdown request signal S1 to the CPU 1 in response to the generation of a power shutdown factor F1 provided from the external terminal. Upon receiving the shutdown request signal S1 from the power supply control unit 2, the CPU 1 activates a power shutdown microprogram μP1 and evacuates the information (program counter PC, processor status word PSW, stack pointer SP etc.) necessary in proceeding with the program to the information holding unit 4 via the internal bus 6, and outputs an evacuation completed signal S2 to the power supply control unit 2 after evacuation is completed. Upon receiving the evacuation completed signal S2 from the CPU 1, the power supply control unit 2 outputs a clock stop control signal S3 to the clock generator 3, and at the same time, outputs a power shutdown control signal S4 to the power supply unit 5. The power supply unit 5 shuts down power to be supplied to the CPU 1 upon receiving the power shutdown control signal S4 from the power supply control unit 2.

[47] The power supply control unit 2 outputs the power supply control signal S4 to the power supply unit 5 in response to the generation of a power supply restoration factor F2 provided from the external terminal. Upon receiving the power supply control signal S4 from the power supply control unit 2, the power supply unit 5 starts to supply power to the CPU 1. The power supply control unit 2 outputs a restoration request signal S5

Qualcomm Ex. 1002 - 73/414

to the CPU 1 and also outputs the clock supply control signal S3 to the clock generator 3 when power supply voltage supplied to the CPU 1 is stabilized. Upon receiving the clock supply control signal S3 from the power supply control unit 2, the clock generator 3 restarts to supply the operation clock. Upon receiving the restoration request signal S5 from the power supply control unit 2, the CPU 1 activates a power supply restoration microprogram μP2, and restores the information necessary in proceeding with the program that had been evacuated to the information holding unit 4 in time of power shutdown to the CPU 1 via the internal bus 6, and furthermore, branches the processes to the addresses indicated by the program counter to change from the shutdown state to the program execution state, and proceeds with the program.

[48] The power shutdown factor F1 includes overflow interrupt of the register and the timer, and such power shutdown factor F1 is provided from outside the power supply control unit 2. The power supply restoration factor F2 includes external interrupt, serial communication interrupt, overflow interrupt of the timer, and the like, and any one of such can be selected.

[49] The operation of the power shutdown process of the microcontroller A of the present embodiment configured as described above will now be described according to the flowchart of Fig. 2 and the timing chart of Fig. 3.

[50] First, in step n1, the power shutdown factor F1 is generated, which is then input from the external terminal to the power supply control unit 2, and the power supply control unit 2 outputs the shutdown request signal S1 to the CPU 1.

Qualcomm Ex. 1002 - 74/414

[51] The CPU 1, upon receiving the shutdown request signal S1 from the power supply control unit 2, activates the power shutdown microprogram μP1 in step n2 after terminating the normal command execution. The microprogram herein refers to the control program for controlling internal sources of the CPU 1 in order to execute command, interrupt processing, and the like.

[52] The power shutdown microprogram μP1 evacuates the information (PC, PSW, SP, etc.) necessary in proceeding with the program to the information holding unit 4 or the register via the internal bus 6 in step n3, and lastly outputs the evacuation completed signal S2 to the power supply control unit 2.

[53] The power supply control unit 2, upon receiving the evacuation completed signal S2, outputs the clock stop control signal S3 to the clock generator 3, and also outputs the power shutdown control signal S4 to the power supply unit 5 in step n4.

[54] The power supply unit 5, upon receiving the power shutdown control signal S4, shuts down power supply to the CPU 1 in step n5. The power shutdown of the CPU 1 is thereby completed.

[55] The operation of restoring from power shutdown will now be described according to the flowchart of Fig. 4. First, in step n11, the power supply restoration factor F2 is generated, which is then input from the external terminal to the power supply control unit 2, and the power supply control unit 2 outputs the power supply control signal S4 to the power supply unit 5.

[56] The power supply unit 5, upon receiving the power supply control signal S4, starts to supply power to the CPU 1 in the next step n12. When the power supply voltage stabilizes due to functions of a power supply

Qualcomm Ex. 1002 - 75/414

voltage monitoring circuit and stability waiting timer, and an oscillation waveform output by an oscillation circuit stabilizes as a result thereof, the power supply control unit 2, upon detecting such stability, outputs the clock supply control signal S3 to the clock generator 3. Simultaneously, the power supply control unit 2 outputs the restoration request signal S5 to the CPU 1.

[57] In step n13, the clock generator 3 restarts to supply the operation clock. In step n14, the CPU 1, upon receiving the restoration request signal S5, activates the power supply restoration microprogram μP2. In step n15, the activated power supply restoration microprogram μP2 restores the information (PC, PSW, SP, etc.) necessary in proceeding with the program that had been evacuated in the information holding unit 4 in time of power shutdown to the CPU 1 via the internal bus 6. Lastly, in step n16, the power supply restoration microprogram μP2 branches the processes in the CPU 1 to the addresses indicated by the program counter PC. The state thus changes from the shutdown state to the program execution state, and the program proceeds.

[58] The operation performed when the power supply restoration factor F2 is generated some time before the power shutdown will now be described according to the flowchart of Fig. 5. The flow chart corresponds to a case in which the power supply restoration factor F2 is generated immediately after the information is evacuated by the power shutdown microprogram μP1.

[59] First, in response to the input of the power shutdown factor F1 to the power supply control unit 2, the power supply control unit 2 outputs the shutdown request signal S1 to the CPU 1 in step n21. The CPU 1, upon

Qualcomm Ex. 1002 - 76/414

receiving the shutdown request signal S1, activates the power shutdown microprogram μP1 in step n22. the activated microprogram μP1 evacuates the information necessary in proceeding with the program to the information holding unit 4 or the register via the internal bus 6 in step n23, and then outputs the evacuation completed signal S2 to the power supply control unit 2. When the power supply restoration factor F2 is input to the power supply control unit 2, the power supply control unit 2 outputs the restoration request signal S5 to the CPU 1 in step n24. The CPU 1, upon receiving the restoration request signal S5, activates the power supply restoration microprogram μP2′ that does not restore the evacuated information in step n25. In step n26, the power supply restoration microprogram μP2′ continues the program execution without restoring the evacuated information.

[60] According to the present embodiment, the interrupt processing will not be activated between the information evacuating process and the power shutdown process by executing the process of evacuating the information necessary in proceeding with the program and the power shutdown process with a continuous mircoprogram. The value of the register, to which it is desired to be evacuated to, is prevented from being changed before the power shutdown. The power shutdown process can then be executed while permitting interrupt and the interrupt processing can be accepted before the power shutdown. Furthermore, since the evacuation of the information is executed by the microprogram, the information evacuating process can be performed using existing wirings of the microcontroller, whereby increase in the number of logic circuits and wirings dedicated for evacuation of

Qualcomm Ex. 1002 - 77/414

information can be suppressed to a minimum.

[61] Variants of the above embodiment are as follows. The clock generator 3 may be configured to select a mode of stopping the supply of the operation clock or a mode of not stopping the supply of the operation clock based on the setting in the register, signal, terminal, or the like as the operation upon receiving the clock stop control signal S3 from the power supply control unit 2. In such a configuration, the operation according to user preference can be set based on mode selection. In the case of the mode of not stopping the supply of the operation clock, restoration is carried out in an arbitrary time by moving the counter of the timer or in any other methods.

[62] The power supply control unit 2 may be configured to limit a shutdown possible period. The power supply control unit 2 is provided with the power shutdown factor F1 from the external terminal, but the shutdown possible period may be set in the register to accept the power shutdown factor F1 if within the period an enable is set and to not accept the factor if outside the period the enable is set. According to such a configuration, the operation mode is diversified.

[63] The power shutdown microprogram μP1 may be configured to evacuate the information (a program counter, processor status word, stack pointer, etc.) necessary in proceeding with the program in a stack region in the information holding unit 4, and then evacuate only the value of the stack pointer for pointing to the evacuation place to a specific region. In such a configuration, a dedicated logic becomes a minimum since only the value of the stack pointer for pointing to the evacuation place is evacuated to the specific region.

Qualcomm Ex. 1002 - 78/414

Furthermore, if configured so as to use an interruption system of the microcontroller A as the power supply restoration factor F2, a circuit does not need to be additionally formed.

[64] (Second Embodiment)

The power shutdown factor is provided from the external terminal in the first embodiment described above, whereas in the second embodiment, the present invention is applied to a configuration in which the power shutdown factor is provided by a command. Fig. 6 is a block diagram showing a configuration of a microcontroller according to the second embodiment of the present invention. In this configuration, the power shutdown factor F1 is generated inside the CPU 1 instead of the power supply control unit 2. The power supply control unit 2 does not generate the shutdown request signal S1 and does not provide the signal to the CPU 1. Other configurations are the same as Fig. 1 for the first embodiment, and thus the description thereof will be omitted. Fig. 7 is a timing chart showing the operation in the power shutdown process of the microcontroller of the second embodiment. In the timing chart, the power shutdown factor F1 and the shutdown request signal S1 shown in Fig. 3 are not illustrated.

[65] The operation of the microcontroller according to the present embodiment configured as described above will now be described. First, the operation of power shutdown will be described. The flowchart of the power shutdown process is the same as Fig. 2 for the first embodiment. When a power shutdown command corresponding to the power shutdown factor F1 defined in advance in the CPU is decoded in the CPU 1, the CPU 1 activates the

Qualcomm Ex. 1002 - 79/414

power shutdown microprogram μP1, and evacuates the information necessary in proceeding with the program to the information holding unit 4 or the register. After performing the above processes, the CPU 1 ultimately outputs the evacuation completed signal S2 to the power supply control unit 2. The power supply control unit 2, upon receiving the evacuation completed signal S2, outputs the clock stop control signal S3 to the clock generator 3, and at the same time, outputs the power shutdown control signal S4 to the power supply unit 5. The power supply unit 5, upon receiving the power shutdown control signal S4, shuts down power supply to the CPU 1. The power shutdown of the CPU 1 is thereby completed. The operation of restoring from the power shutdown is the same as the first embodiment, and thus the description thereof will be omitted.

[66] According to the present embodiment, power shutdown is readily performed by software by having the power shutdown command as the power shutdown factor F1. As shown in Fig. 8, a state in which the power shutdown factor F1 is provided from the external terminal and a state in which the power shutdown factor F1 is provided by a command may both be prepared, so that either one or both methods can be selected in the register, the terminal, or the like. The microcontroller can be more universally applied in such a configuration.

[67] In restoring the power supply, a plurality of types of power supply restoration microprogram μP2 to be executed such as,

(a) microprogram for restoring the evacuated information necessary in proceeding with the program, and proceeding with the program,

(b) microprogram for jumping to a specific address

Qualcomm Ex. 1002 - 80/414

and running a dedicated initialization and a restoration application program to restore the set value without using the evacuated information, and

(c) microprogram for resetting,

may be prepared to be selected by the register, signal, terminal, or the like.

[68] Furthermore, the power shutdown microprogram μP1 and the power supply restoration microprogram μP2 may be selectively activated, according to the generated power shutdown factor F1 or a type of the selected power shutdown factor F1. In this configuration, since the number of information necessary in proceeding with the program changes, an efficient application system can be built by executing the microprogram corresponding thereto.

[69] (Third Embodiment)

Fig. 9 is a block diagram showing a configuration of a microcontroller according to a third embodiment of the present invention. In Fig. 9, the same reference characters as in Fig. 1 for the first embodiment are denoted for the same components. In Fig. 9, reference number 7 is a serial interface, 8 is a timer, 9 is a first switching circuit for ON/OFF controlling the power supply to the serial interface 7, and 10 is a second switching circuit for ON/OFF controlling the power supply to the timer 8. The first switching circuit 9 performs a switch of whether to supply or shutdown, on a steady basis, the internal operation power received from the power supply B to the serial interface 7. The second switching circuit 10 performs a switch of whether to supply or shutdown, on a steady basis, the internal operation power received from the power supply B to the

Qualcomm Ex. 1002 - 81/414

timer 8. The first switching circuit 9 and the second switching circuit 10 are configured by a general analog switch or a voltage regulator. The serial interface 7 outputs a signal S6 that is to become the power supply restoration factor F2 to the power supply control unit 2. The timer 8 outputs a signal S7 that is to become the power supply restoration factor F2 to the power supply control unit 2. No restoration request signal S5 is made from the power supply control unit 2 to the CPU 1. Other configurations are the same as the first embodiment, and thus the description thereof will be omitted.

[70] The operation of the microcontroller A according to the present embodiment configured as described above will now be described. When a mode in which the first switching circuit 9 is switched to the ON state to supply the internal operation power is set in the microcontroller A, the internal operation power is constantly supplied to the serial interface 7 even in time of power shutdown. The serial communication thus becomes possible. Here, the power supply restoration factor F2 in step n11 of Fig. 4 becomes,

· interrupt when the serial interface 7 receives information of one frame,

· rise in slave clock of the serial interface 7, etc.

[71] Therefore, when restoring with the slave clock of the serial interface 7, the power is selectively supplied to a shift buffer unit and a wake-up circuit of the serial interface 7, and power supply to other sections is shutdown.

[72] When setting to a mode in which the second switching circuit 10 is switched to the ON state to supply the internal operation power, the internal operation power

Qualcomm Ex. 1002 - 82/414

is constantly supplied to the timer 8 even in time of power shutdown. Thus, the power shutdown process is performed only for a specific time by generating interrupt every set constant time.

[73] In a recording device, for example, a mechanism in which the microcontroller for system control generates the interrupt a few dozen seconds before the recording time to restore the power supply is used, where such interrupt can be used as the power supply restoration factor F2 in the present embodiment. When restoring with the timer 8, power is selectively supplied to the clock timer, the clock oscillating circuit, and the wake-up circuit, and power supply to other sections is shutdown. The standby power thus is greatly reduced.

[74] (Fourth Embodiment)

Fig. 10 is a block diagram showing a configuration of a microcontroller according to a fourth embodiment of the present invention. An on-chip debugger (OCD) 11 for performing control to debug the software is normally mounted on the microcontroller. The on-chip debugger 11 constantly monitors the register in the CPU 1, and includes a data holding circuit for holding the information on the internal operation of the CPU 1. The on-chip debugger 11 outputs the held information to the outside through a dedicated terminal to debug the microcontroller at outside the chip. The on-chip debugger 11 does not necessary require the evacuation completed signal S2 provided from the CPU 1 to the power supply control unit 2 unlike the configuration (Fig. 1) of the first embodiment. When the power supply voltage supplied to the CPU 1 stabilizes, the power supply control unit 2 outputs a data restoration request signal

Qualcomm Ex. 1002 - 83/414

S8 to the on-chip debugger 11. Upon receiving a data restoration request signal S8, the on-chip debugger 11 reads the data in time of power shutdown that had been evacuated to the data holding circuit incorporated in the on-chip debugger 11 itself, and restores the read data in time of power shutdown to the CPU 1 via the internal bus 6.

[75] The operation of the power shutdown process of the microcontroller A of the present embodiment configured as described above will now be described according to the flowchart of Fig. 11. First, in step n31, the power shutdown factor F1 is generated, which power shutdown factor F1 is input to the power supply control unit 2, and the power supply control unit 2 outputs the clock stop control signal S3 to the clock generator 3 and at the same time outputs the power shutdown control signal S4 to the power supply unit 5. The clock generator 3, upon receiving the clock stop control signal S3, stops the supply of the operation clock in step n32. The power supply unit 5, upon receiving the power shutdown control signal S4 shuts down power to the CPU 1 in step n33. The power shutdown of the CPU 1 is thereby completed. Since the register in the CPU 1 is constantly monitored by the on-chip debugger 11, the information evacuated from the CPU 1 to the information holding unit 4 in time of power shutdown becomes the data other than the monitored data, and thus the amount of data decreases.

[76] The operation of the power supply restoration process of the microcontroller according to the present embodiment configured as described above will now be described according to the flowchart of Fig. 12. In step n41, the power supply restoration factor F2 is

Qualcomm Ex. 1002 - 84/414

generated, and when the power supply restoration factor F2 is input to the power supply control unit 2, the power supply control unit 2 outputs the power supply control signal S4 to the power supply unit 5. In step n42, the power supply unit 5, upon receiving the power supply control signal S4, starts to supply power to the CPU 1. When the supplied power supply voltage stabilizes and the oscillation waveform output by the oscillation circuit stabilizes due to the power supply voltage monitoring circuit, stability waiting timer, and the like, the power supply control unit 2, upon detecting such stabilization, outputs the clock supply control signal S3 to the clock generator 3. At the same time, the power supply control unit 2 outputs the data restoration request signal S8 to the on-chip debugger 11. In step n43, the clock generator 3 restarts to supply the operation clock. In step n44, the on-chip debugger 11, upon receiving the data restoration request signal S8, reads the data in time of power shutdown that had been evacuated to the data holding circuit incorporated in the on-chip debugger 11 itself and restores the read data in time of power shutdown to the CPU 1 via the internal bus 6. Lastly, the CPU 1 branches the executing process to the addresses shown by the program counter PC to change from the shutdown state to the program execution state and proceeds with the program.

[77] According to the present embodiment, since the on-chip debugger 11 is constantly monitoring the register in the CPU 1, the information to be evacuated from the CPU 1 to the information holding unit 4 in time of power shutdown reduces and the speed of executing the power shutdown increases.

Qualcomm Ex. 1002 - 85/414

[78] **(Fifth Embodiment)**

Fig. 13 is a block diagram showing a configuration of a microcontroller according to a fifth embodiment of the present invention. The present embodiment includes a second power supply unit 12 separate from the first power supply unit 5. The second power supply unit 12 is arranged between the power supply B and the power supply control unit 2, between the power supply B and the clock generator 3, and between the power supply B and the information holding unit 4.

[79] The second power supply unit 12 has a function of,

· making the voltage to be supplied to the power supply control unit 2, the clock generator 3, and the information holding unit 4 constant; and

· controlling the power to be supplied to the power supply control unit 2, the clock generator 3, and the information holding unit 4 upon receiving a power shutdown control signal S9 from the power supply control unit 2.

The second power supply unit 12 having such functions is configured by a general voltage regulator. Other configurations are the same as Fig. 1 for the first embodiment, and thus the description thereof will be omitted.

[80] The operation of the microcontroller according to the present embodiment configured as described above will now be described. When the power shutdown factor F1 is generated, and the power supply control unit 2 outputs a power shutdown control signal S9 to the second power supply unit 12. The second power supply unit 12, upon receiving the power shutdown control signal S9, lowers the internal operation power, and supplies the lowered

Qualcomm Ex. 1002 - 86/414

internal operation voltage to the power supply control unit 2, the clock generator 3, and the information holding unit 4. In the lowering control, the internal operation power is lowered to the lower limit voltage at which information can be held.

[81] According to the present embodiment, the leakage current in the information holding unit 4 and other logic circuits can be reduced and the power can be saved.

[82] (Sixth Embodiment)

Fig. 14 is a block diagram showing a configuration of a microcontroller according to a sixth embodiment of the present invention. Reference number 13 is a gate circuit. After a test mode signal S10 and the power shutdown control signal S4 are input, the gate circuit 13 selects either of them in an alternative way and outputs the selected signal to the power supply unit 5. Other configurations are the same as the first embodiment, and thus the description thereof will be omitted.

[83] Fig. 15 shows an internal configuration of the CPU 1. In CPU 1, when the test mode signal S10 and a shutdown sequence signal S11 are respectively in an assert state, the output of the gate circuit 13 is asserted, and a selector 16 selects an output of an exclusive OR gate 15 in place of normal data S12. The exclusive OR gate 15 takes the exclusive OR of the evacuation completed signal S2 and the output signal S13 of an evacuation necessary register 17. That is, when the evacuation completed signal S2 is asserted in one shot pulse, the exclusive OR gate 15 inverts the output signal S13 from the evacuation necessary register 17, and outputs the

Qualcomm Ex. 1002 - 87/414

same as inverted data S13 via the selector 16 and the evacuation necessary register 17. Fig. 16 shows a timing chart of the relevant process.

[84] The operation of a test process of the microcontroller according to the present embodiment configured as described above will now be described according to the timing chart of Fig. 16 and the flowchart of Fig. 17.

[85] First, in step n51, the CPU 1 issues the test mode signal S10 through combination etc. of external inputs. When the test mode signal S10 is asserted, the gate circuit 13 invalidates the control signal S4 from the power supply control unit 2 to the power supply unit 5. The power supply unit 5 is invalidated even if the control signal S4 is asserted, and does not change to the power shutdown mode. When the power shutdown factor F1 is generated, the power supply control unit 2 outputs the shutdown request signal S1 to the CPU 1 in step n52. After terminating the normal command execution, the CPU 1, upon receiving the shutdown request signal S1, activates the power shutdown microprogram μP1 in step n53. In step n54, the activated power shutdown microprogram μP1 evacuates the information necessary in proceeding with the program to the information holding unit 4 or the register, and outputs the evacuation completed signal S2 to the power supply control unit 2. In step n55, the power supply control unit 2, upon receiving the evacuation competaed signal S2, outputs the clock stop control signal S3 to the clock generator 3. The clock generator 3, upon receiving the clock stop control signal S3, stops the supply of the operation clock. In step n56, the CPU 1 overwrites the inverted data S13 to pseudo-realize the relevant state to obtain

Qualcomm Ex. 1002 - 88/414

the power shutdown state.

[86] According to the present embodiment, the CPU 1 pseudo-realizes power shutdown by providing the inverted data S13, so that the same conditions as in shutdown are achieved with the power turned ON. Thus, the execution speed of various tests increases, and the test cost is suppressed. When performing the test of power shutdown, the setting of power shutdown/restoration requires a great amount of test hours on a tester, but the test hours can be reduced since the same conditions as in shutdown are achieved with the power turned ON.

[87] (Seventh Embodiment)

Fig. 18 is a schematic view of a communication device according to a seventh embodiment of the present invention, and Fig. 19 is a block diagram showing a configuration of a microcontroller according to the seventh embodiment. In the communication device, the key input signal by the key input of an input unit 21 is output to the microcontroller A, and in turn, the microcontroller A outputs data to a signal transmitting unit 22 including an infrared light emitting diode. The signal transmitting unit 22 transfers the data to DVD and photodiodes of a television body by infrared light. The operation of the power shutdown process of the microcontroller A of the present embodiment configured as described above will now be described according to the flowchart of Fig. 20.

[88] First, in step n61, the microcontroller A determines whether or not the key input is performed on the input unit 21 of the communication device. If key input is not detected in step n61, the microcontroller A starts count of the timer 8 in step n62. In step n63, the

Qualcomm Ex. 1002 - 89/414

microcontroller A then continues, for a constant time, the determination on whether or not the key input is performed on the input unit 21 of the communication device. If the key input is not detected even after the constant time has elapsed in step n62, the timer 8 outputs a power shutdown factor F3 to the power supply control 2 etc. in step n64. In response to the input of the power shutdown factor F3 to the power supply control unit 2, the power supply control unit 2 outputs the shutdown request signal S1 to the CPU 1. After terminating the normal command execution, the CPU 1, upon receiving the shutdown request signal S1, activates the power shutdown microprogram μP1 in step n65. In step n66, the CPU 1 evacuates the information necessary in proceeding with the program to the information holding unit 4 or the register via the internal bus 6, and ultimately outputs the evacuation completed signal S2 to the power supply control unit 2. The power supply control unit 2, upon receiving the evacuation completed signal S2, outputs the clock stop control signal S3 to the clock generator and outputs the power shutdown control signal S4 to the power supply unit 5 in step n67. The power supply unit 5, upon receiving the power shutdown control signal S4, shuts down power supply to the CPU 1 and the timer 8 in step n68. The power shutdown of the CPU 1 is thereby completed. If recognized that the key input is performed on the input unit 21 of the control device in any one of step n61 to step n63, the CPU 1 changes to an infrared light transmission state in step n69.

[89] The operation of power supply restoration of the microcontroller A of the present embodiment configured as described above will now be described according to

Qualcomm Ex. 1002 - 90/414

the flowchart of Fig. 21. First, in step n71, the microcontroller A determines whether or not the key input is performed on the input unit 21 of the communication device. If recognized that the key input is performed on the input unit 21 in step n71, the microcontroller A assumes the key input from the input unit 21 of the communication device as generation of the power supply restoration factor in step n72 and outputs the power supply restoration factor F2 to the power supply control unit 2. The power supply control unit 2, upon receiving the power supply restoration factor F2, outputs the power supply control signal S4 to the power supply unit 5. In step n73, the power supply unit 5, upon receiving the power supply control signal S4, starts to supply power to the CPU 1. The power supply control unit 2 determines whether or not the power supply voltage is stabilized and the oscillation waveform output by the oscillation circuit is stabilized by the operation of the power supply voltage monitoring circuit, stability waiting timer, or the like. When recognizing that the oscillation waveform is stabilized, the power supply control unit 2 outputs the clock supply control signal S3 to the clock generator 3. At the same time, the power supply control unit 2 outputs the restoration request signal S5 to the CPU 1. In step n74, the clock generator 3 restarts to supply the operation clock. The CPU 1, upon receiving the restoration request signal, activates the power supply restoration microprogram μP2 in step n75. The activated power supply restoration microprogram μP2 restores the information necessary in proceeding with the program evacuated to the information holding unit 4 or the register in time of power shutdown to the CPU 1, and

Qualcomm Ex. 1002 - 91/414

changes to the infrared light transmission state in step n76. Lastly, the power supply restoration microprogram μP2 branches the processes in the CPU 1 to the addresses indicated by the program counter PC. The state thus changes from the shutdown state to the program execution state, and the program proceeds. If not recognized that the key input is performed on the input unit 21 of the communication device in step n71, the power supply control unit 2 maintains the power shutdown mode in the next step n78.

[90] Therefore, when using the present invention to the application of the communication device such as a remote controller, the process by the present invention serves as a substitute of the stop mode process. Thus, the mode changes to the power shutdown mode if the button is not pushed for a constant time. In the power supply restoration process, the input in the communication device is assumed as the restoration factor to change to the power supply restoration mode.

[91] According to the present embodiment, when used in the communication device main body, the mode changes to the power shutdown mode if operation is not made for a constant time, and if input is again made, such input is assumed as the restoration factor to change to the power supply restoration mode. Significant power reduction is thereby achieved.

[92] **(Eighth Embodiment)**

Fig. 22 is a system configuration view of a recording device according to an eighth embodiment of the present invention, and Fig. 23 is a block diagram showing a configuration of a microcontroller according to the eighth embodiment. As shown in Fig. 22, an analog image

Qualcomm Ex. 1002 - 92/414

signal is signal processed by a three dimensional YC separation circuit and a video decoder circuit in a three dimensional YC separation built-in video decoder 23, and thereafter input to a DVD recorder LSI 25. Furthermore, the analog image signal is signal processed by an image processing DSP 27 of the DVD recorder LSI 25, and then output from the DVD recorder LSI 125. A digital image signal read by the DVD driver is signal processed by a DSP servo of an optical disc controller LSI 24, and then input to the DVD recorder LSI 25. The digital image signal is also signal processed by the image processing DSP 27 of the DVD recorder LSI 25 and the microcontroller A and then output from the DVD recorder LSI 25.

[93] In the microcontroller of Fig. 23, the timer 8 generates a timer interrupt S14 to the power supply control unit 2 at every constant time. When used in a recording device such as a recorder, the microcontroller for system control generates an interrupt a few dozen seconds before the recording time to restore the power in the recording device, but in the present embodiment, such interrupt processing is used as the timer interrupt S14.

[94] The power supply restoration operation of the microcontroller A according to the present embodiment configured as described above will now be described according to the flowchart of Fig. 24. First, in step n81, the processing mode of the microcontroller A changes to the power shutdown mode. In the next step n82, the timer 8 outputs the timer interrupt S14 to the power supply control unit 2. The power supply control unit 2, upon receiving the timer interrupt S14, outputs the power supply control signal S4 to the power supply

Qualcomm Ex. 1002 - 93/414

unit 5 in step n83. The power supply unit 5, upon receiving the power supply control unit S4, restarts to supply power to the CPU 1. In step n84, the CPU 1 compares the time a constant time before the recording programmed time stored in the information holding unit 4 and the current time. If the comparison result shows that the two match, the CPU 1 changes to the power supply restoration mode in step n85. In step n86, the CPU 1 supplies power to the antenna, microcontroller A itself and the system including the microcontroller A. In step n87, the microcontroller A changes to a recording process state. If the comparison result of the time a constant time before the recording programmed time stored in the information holding unit 4 and the current time shows that they do not match in step n84, the process proceeds to step n88, and the microcontroller A executes the power shutdown command and returns to the power shutdown mode of step n81.

[95] According to the present embodiment, power consumption is greatly reduced by setting to the power shutdown mode rather than to the standby mode as in normal time when operation is not made until the recording programmed time in the recording device.

[96] The examples of the present invention have been described, but various modifications may be made to the present invention based on the technical concept thereof.

[97] While the invention has been particularly described with reference to the preferred embodiments thereof, it should be understood that combination and arrangement of the parts described in the preferred embodiments can be modified in various ways without departing from the spirit and the scope of the invention defined by the

Qualcomm Ex. 1002 - 94/414

following claims.

Qualcomm Ex. 1002 - 95/414

WHAT IS CLAIMED IS:

1. A microcontroller comprising:

a CPU;

a power supply device for supplying power to the CPU;

a power supply unit arranged between the CPU and the power supply device;

a power supply control unit for controlling the CPU and the power supply unit; and

an information holding unit for holding information evacuated from the CPU, the information necessary in proceeding with a program; wherein

the power supply control unit outputs a shutdown request signal to the CPU in response to generation of a power shutdown factor,

the CPU, upon receiving the shutdown request signal, activates a power shutdown microprogram, evacuates the information necessary in proceeding with the program to the information holding unit, and outputs an evacuation completed signal to the power supply control unit after evacuation is completed,

the power supply control unit, upon receiving the evacuation completed signal, outputs a power shutdown control signal to the power supply unit, and

the power supply unit shuts down power supply to the CPU upon receiving the power shutdown control signal from the power supply control unit.

2. The microcontroller according to claim 1, further comprising a clock generator; wherein

the power supply control unit, upon receiving the evacuation completed signal, outputs a clock stop control signal to the clock generator.

Qualcomm Ex. 1002 - 96/414

3. The microcontroller according to claim 2, wherein

the power supply control unit outputs a power supply control signal to the power supply unit in response to generation of a power supply restoration factor,

the power supply unit, upon receiving the power supply control signal, starts to supply power to the CPU,

the power supply control unit outputs a restoration request signal to the CPU and outputs a clock supply control signal to the clock generator when a supplied power supply voltage is stabilized,

the clock generator, upon receiving the clock supply control signal, restarts to supply an operation clock, and

the CPU, upon receiving the restoration request signal, activates a power supply restoration microprogram, restores the information necessary in proceeding with the program and evacuated in the information holding unit in time of power shutdown, and ultimately branches processes to addresses indicated by a program counter to continue program execution from a shutdown state.

4. A microcontroller comprising:

a CPU;

a power supply device for supplying power to the CPU;

a power supply unit arranged between the CPU and the power supply device;

a power supply control unit for controlling the CPU and the power supply unit; and

an information holding unit for holding information evacuated from the CPU, the information necessary in proceeding with a program; wherein

the power supply control unit outputs a shutdown request signal to the CPU in response to generation of a

Qualcomm Ex. 1002 - 97/414

power shutdown factor,

the CPU, upon receiving the shutdown request signal, activates a power shutdown microprogram, evacuates the information necessary in proceeding with the program to the information holding unit, and outputs an evacuation completed signal to the power supply control unit after evacuation is completed,

the power supply control unit, upon receiving generation of a power supply restoration factor after receiving the evacuation completed signal, outputs a restoration request signal to the CPU, and

the CPU, upon receiving the restoration request signal, activates a power supply restoration mircoprogram for not restoring the evacuated information, and continues program execution.

5. The microcontroller according to claim 2, wherein the clock generator selects one of operation performed after stopping supply of an operation clock and operation stop performed without stopping the supply of the operation clock as operation to be performed upon receiving the clock stop control signal from the power supply control unit.

6. The microcontroller according to claim 4, wherein the clock generator selects one of operation performed after stopping supply of an operation clock and operation stop performed without stopping the supply of the operation clock as operation to be performed upon receiving the clock stop control signal from the power supply control unit.

7. The microcontroller according to claim 1, wherein the power supply control unit limits a period in which shutdown is possible.

Qualcomm Ex. 1002 - 98/414

8. The microcontroller according to claim 4, wherein the power supply control unit limits a period in which shutdown is possible.

9. The microcontroller according to claim 1, wherein the power shutdown microprogram evacuates the information necessary in proceeding with the program to a stack region in the information holding unit and then evacuates to a specific place only a value of a stack pointer for pointing to an evacuation place.

10. The microcontroller according to claim 4, wherein the power shutdown microprogram evacuates the information necessary in proceeding with the program to a stack region in the information holding unit, and then evacuates to a specific place only a value of a stack pointer for pointing to an evacuation place.

11. The microcontroller according to claim 3, wherein the power supply restoration factor uses an interrupt system of the microcontroller.

12. The microcontroller according to claim 4, wherein the power supply restoration factor uses an interrupt system of the microcontroller.

13. The microcontroller according to claim 1, wherein the state of the power shutdown factor includes a state where it is provided from an external terminal and a state where it is provided by a command, and it is possible to select a configuration corresponding to either one or both of the states.

Qualcomm Ex. 1002 - 99/414

14. The microcontroller according to claim 4, wherein the state of the power shutdown factor includes a state where it is provided from an external terminal and a state where it is provided by a command, and it is possible to select a configuration corresponding to either one or both of the states.

15. The microcontroller according to claim 3, wherein

the power supply restoration microprogram includes:

a microprogram for restoring the evacuated information necessary in proceeding with the program and proceeding with the program;

a microprogram for restoring a set value without using the evacuated information necessary in proceeding with the program; and

a program for resetting processes, and

the CPU selects one of the plurality of microprograms in an alternative way.

16. The microcontroller according to claim 4, wherein

the power supply restoration microprogram includes:

a microprogram for restoring the evacuated information necessary in proceeding with the program and proceeding with the program;

a microprogram for restoring a set value without using the evacuated information necessary in proceeding with the program; and

a program for resetting processes, and

the CPU selects one of the plurality of microprograms in an alternative way.

Qualcomm Ex. 1002 - 100/414

17. The microcontroller according to claim 3, wherein one of the power shutdown microprogram and the power supply restoration microprogram selected in an alternative way, according to the generated power shutdown factor or a type of the selected power shutdown factor, is activated.

18. The microcontroller according to claim 4, wherein one of the power shutdown microprogram and the power supply restoration microprogram selected in an alternative way, according to the generated power shutdown factor or a type of the selected power shutdown factor, is activated.

19. The microcontroller according to claim 1, wherein the power supply device sets a period for shutting down power supply according to one or a plurality of peripheral circuit modules, and the power shutdown period in the power supply device is set so that power shutdown is not carried out in a period necessary for power supply restoration and power shutdown is carried out in a period not necessary for the power supply restoration.

20. The microcontroller according to claim 4, wherein the power supply device sets a period for shutting down power supply according to one or a plurality of peripheral circuit modules, and the power shutdown period in the power supply device is set so that power shutdown is not carried out in a period necessary for power supply restoration and power shutdown is carried out in a period not necessary for the power supply restoration.

Qualcomm Ex. 1002 - 101/414

21. The microcontroller according to claim 1, further comprising a debugger for constantly monitoring a register in the CPU; wherein

data other than data monitored by the debugger is evacuated in the information holding unit in time of power shutdown.

22. The microcontroller according to claim 4, further comprising a debugger for constantly monitoring a register in the CPU; wherein

data other than data monitored by the debugger is evacuated in the information holding unit in time of power shutdown.

23. The microcontroller according to claim 1, further comprising a second power supply unit for lowering a voltage to be supplied to a circuit portion outside a power shutdown range to a lower limit voltage for information holding when the power shutdown factor is generated.

24. The microcontroller according to claim 4, further comprising a second power supply unit for lowering a voltage to be supplied to a circuit portion outside a power shutdown range to a lower limit voltage for information holding when the power shutdown factor is generated.

25. The microcontroller according to claim 1, further comprising a circuit for loading an inverted value to a register in a circuit portion in a power shutdown range.

Qualcomm Ex. 1002 - 102/414

26. The microcontroller according to claim 4, further comprising a circuit for loading an inverted value to a register in a circuit portion in a power shutdown range.

27. A communication device comprising:

the microcontroller according to claim 1;

an input unit for accepting an instruction to be externally input; and

a signal transmitting unit for transmitting a signal to other equipment by infrared light; wherein

a power shutdown process is executed when no input is made to the input unit for a constant time, and then a power supply restoration process is executed when an input is made to the input device.

28. A communication device comprising:

the microcontroller according to claim 4;

an input unit for accepting an instruction to be externally input; and

a signal transmitting unit for transmitting a signal to other equipment by infrared light; wherein

a power shutdown process is executed when no input is made to the input unit for a constant time, and then a power supply restoration process is executed when an input is made to the input device.

29. A recording device comprising:

a DVD recorder LSI including the microcontroller according to claim 1, an image processing DSP, and a storage circuit; and

an optical disc controller LSI including a DSP servo; wherein

Qualcomm Ex. 1002 - 103/414

a timer interrupt is generated to the power supply control unit at every constant time, the current time and the time a constant time before a recording programmed time are compared, and a power supply restoration process is performed, when comparison result shows that the two match, in order for the microcontroller to change to a recording processable state.

30. A recording device comprising:

a DVD recorder LSI including the microcontroller according to claim 4, an image processing DSP, and a storage circuit; and

an optical disc controller LSI including a DSP servo; wherein

a timer interrupt is generated to the power supply control unit at every constant time, the current time and the time a constant time before a recording programmed time are compared, and a power supply restoration process is performed, when comparison result shows that the two match, in order for the microcontroller to change to a recording processable state.

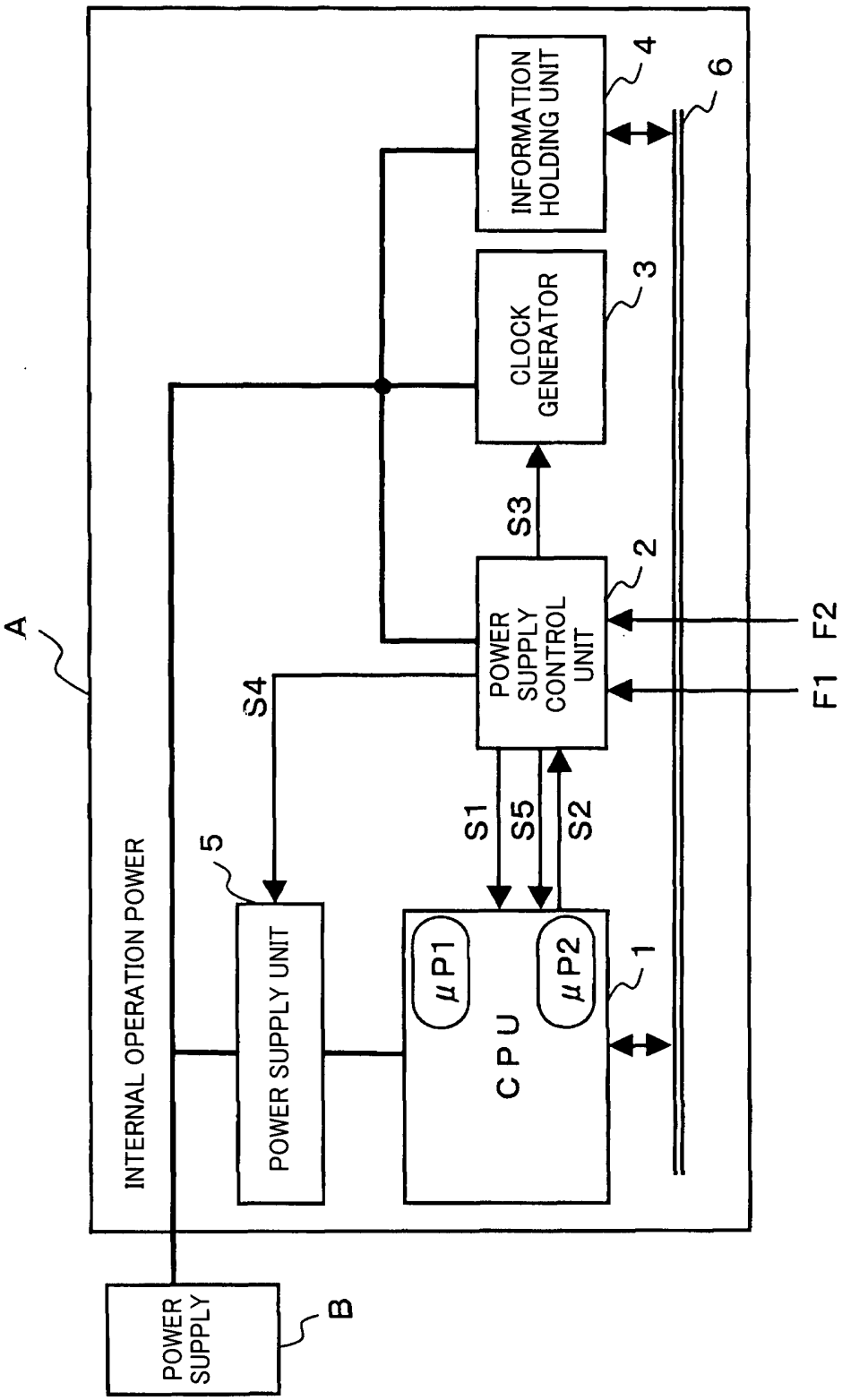
Qualcomm Ex. 1002 - 104/414

ABSTRACT OF THE DISCLOSURE

A power supply unit is arranged between a CPU and a power supply device for supplying power to the CPU. Information necessary in proceeding with a program is evacuated from the CPU to an information holding unit. When a power shutdown factor is generated, a power supply control unit outputs a shutdown request signal to the CPU. The CPU, upon receiving the shutdown request signal, activates a power shutdown microprogram, evacuates the information necessary in proceeding with the program to the information holding unit, and outputs an evacuation completed signal to the power supply control unit after the evacuation is completed. Upon receiving the evacuation completed signal, the power supply control unit outputs a power shutdown control signal to the power supply unit. Upon receiving the power shutdown control signal from the power supply control unit, the power supply unit shuts down power supply to the CPU.

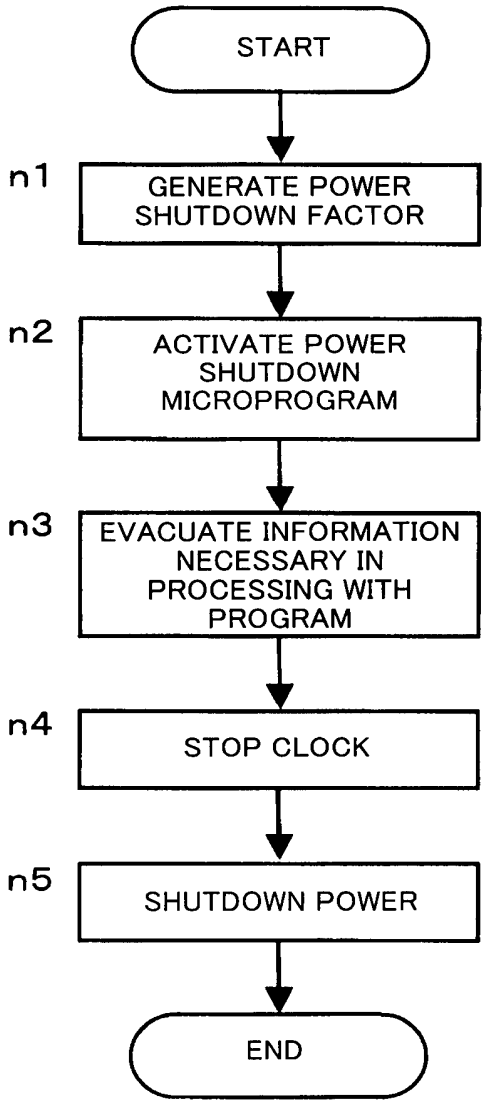
Qualcomm Ex. 1002 - 105/414

FIG. 1



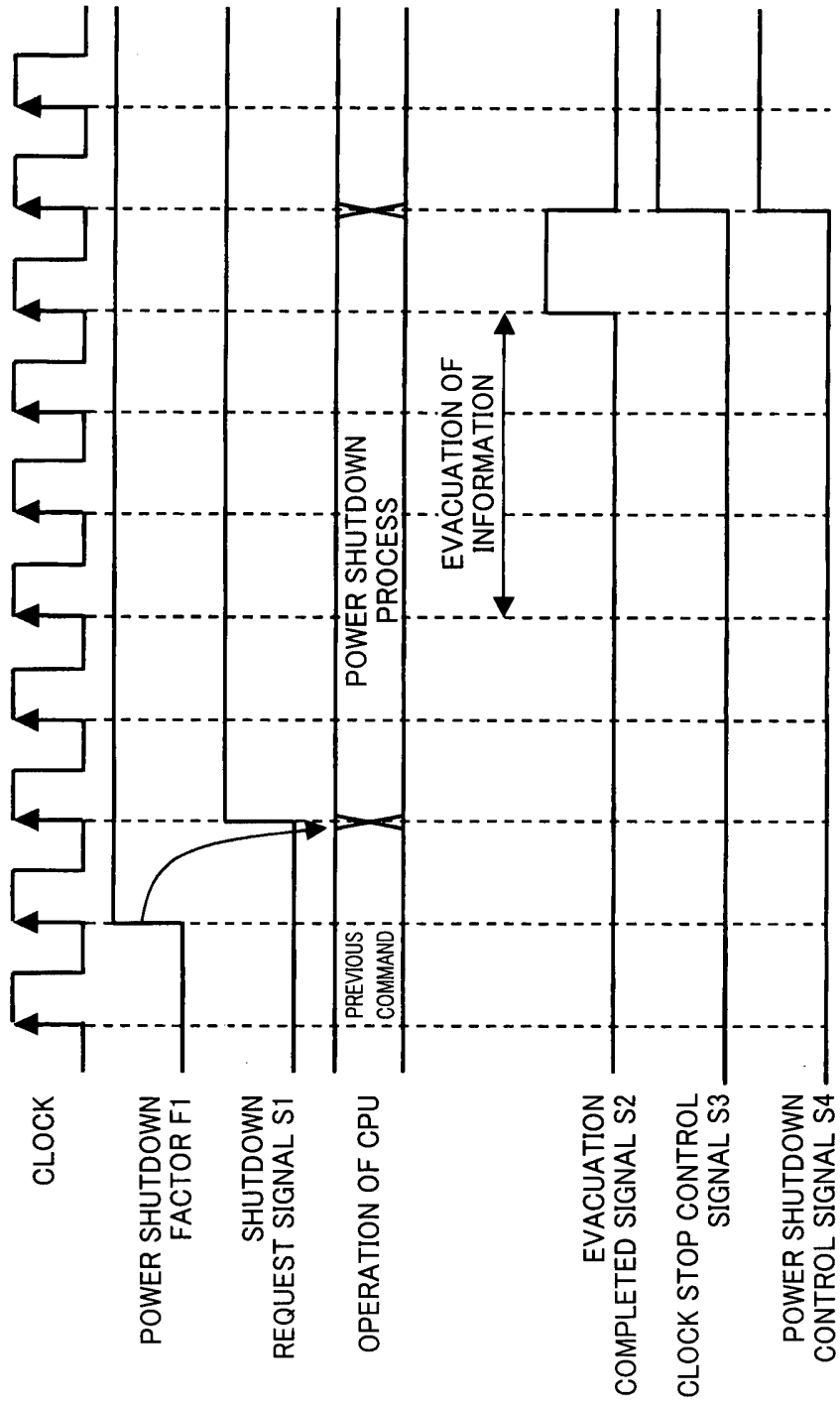
Qualcomm Ex. 1002 - 106/414

F I G. 2



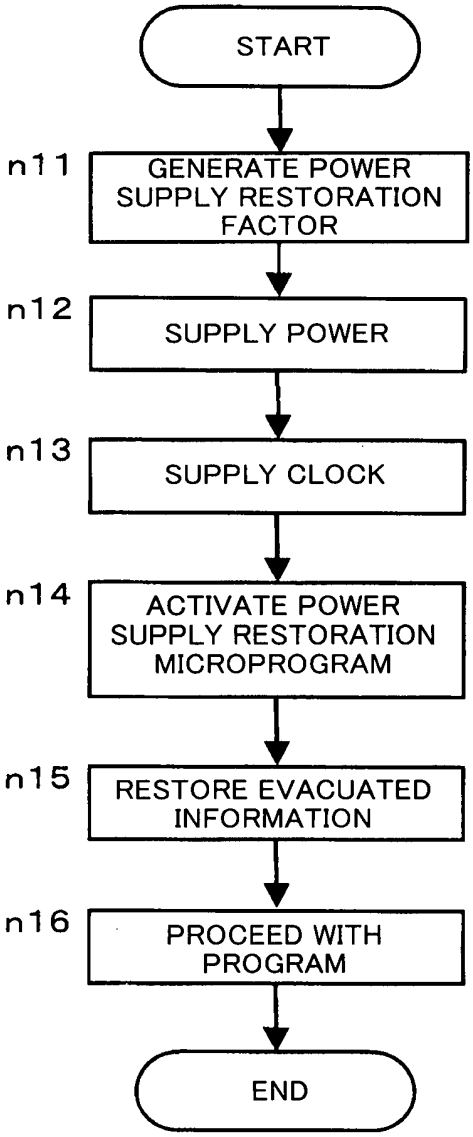
Qualcomm Ex. 1002 - 107/414

FIG. 3



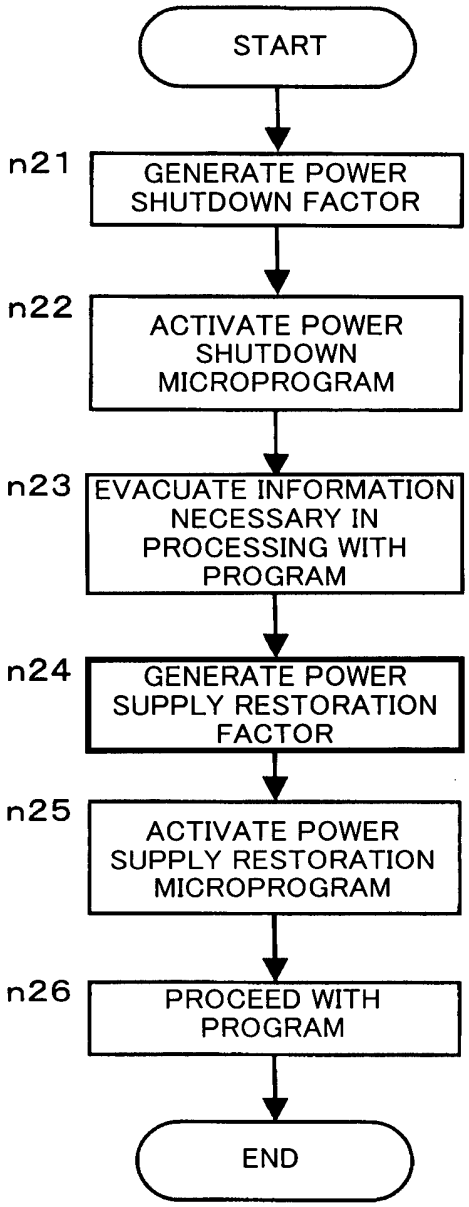
Qualcomm Ex. 1002 - 108/414

FIG. 4



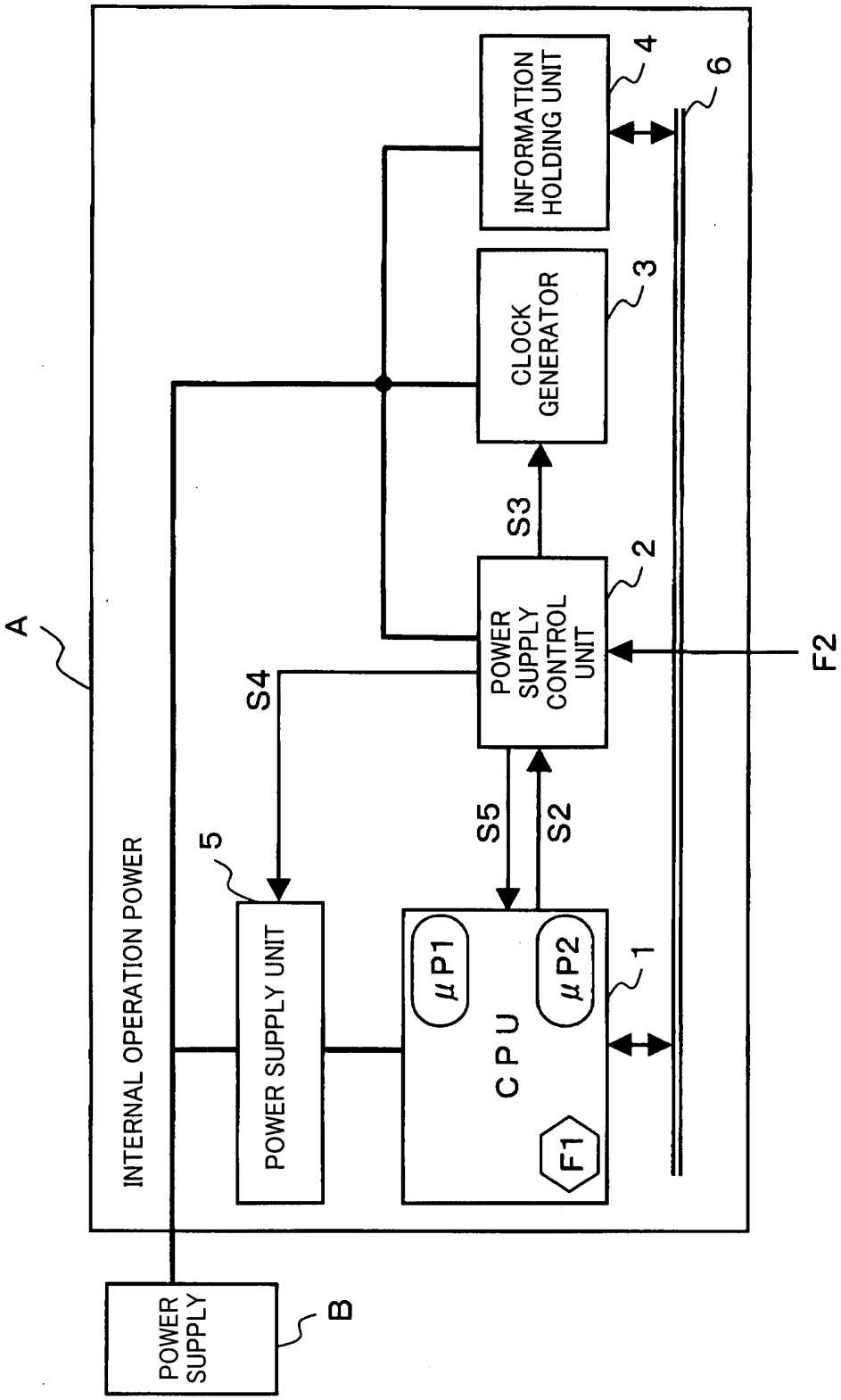
Qualcomm Ex. 1002 - 109/414

FIG. 5



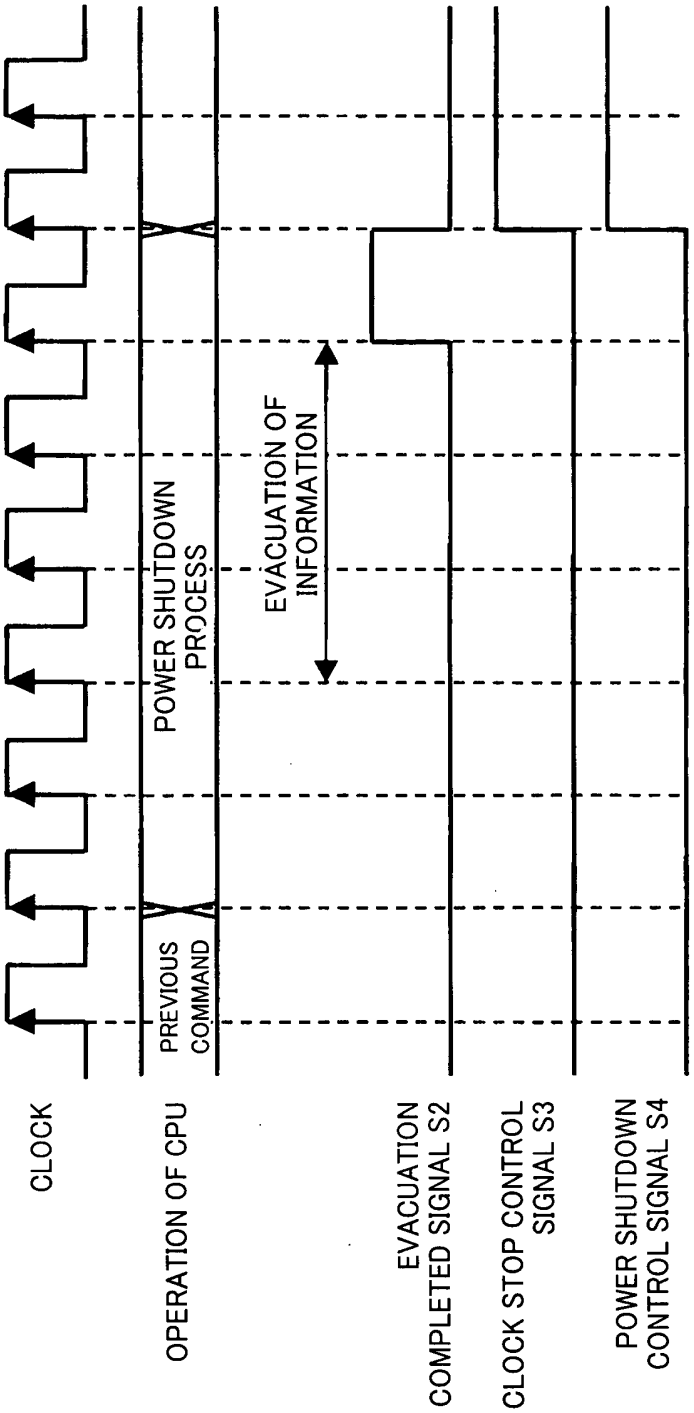
Qualcomm Ex. 1002 - 110/414

FIG. 6



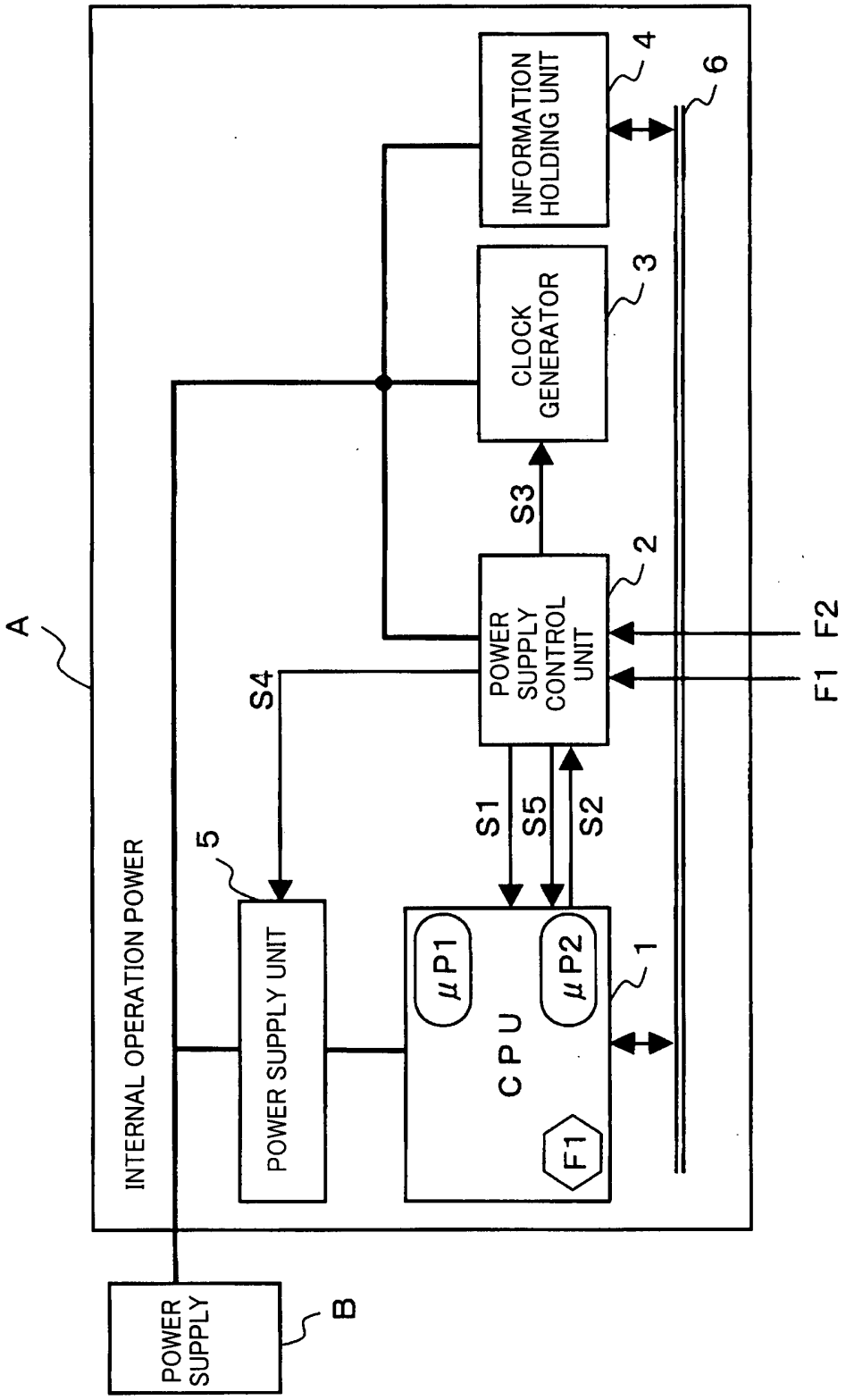
Qualcomm Ex. 1002 - 111/414

FIG. 7



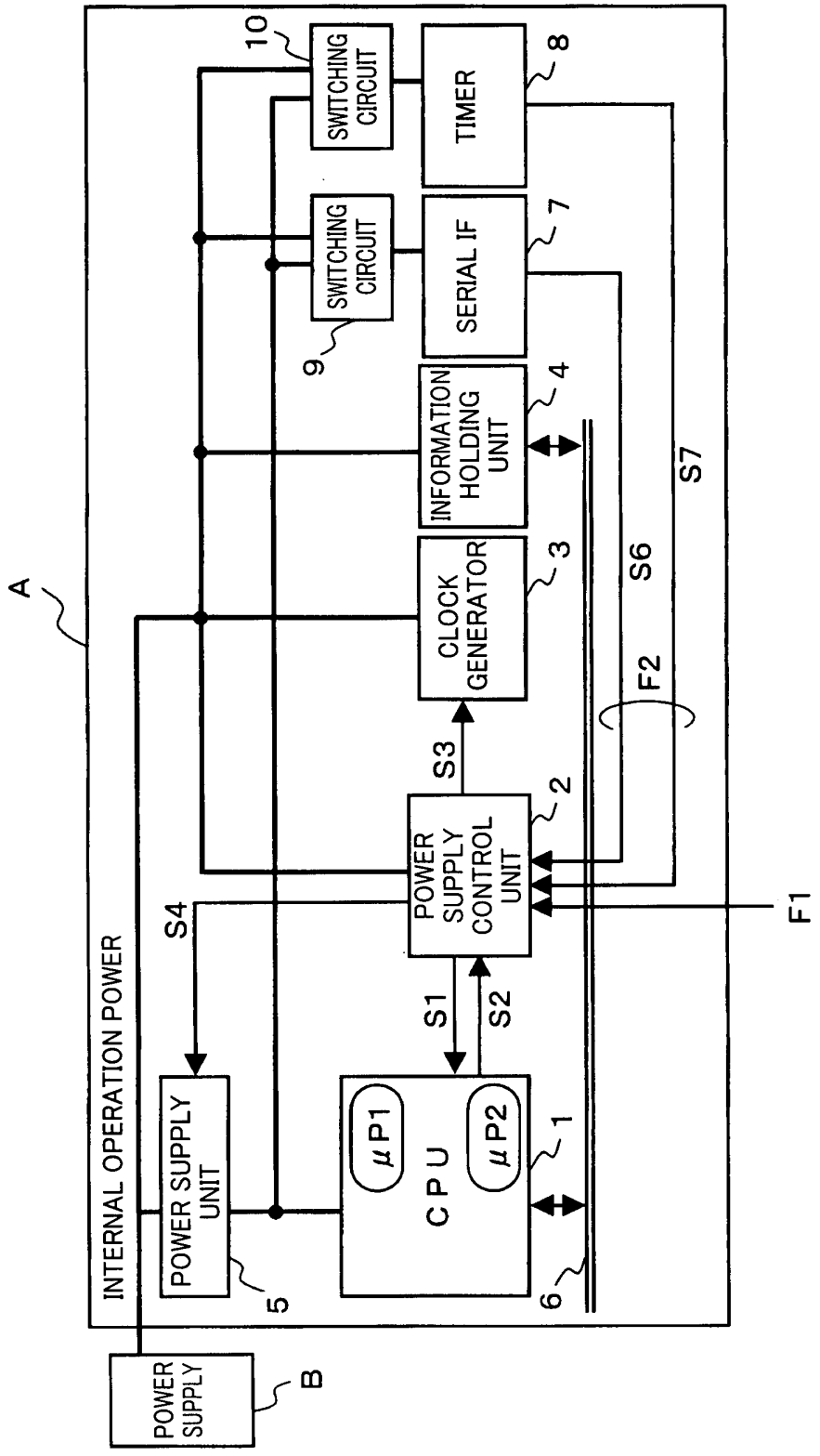
Qualcomm Ex. 1002 - 112/414

FIG. 8



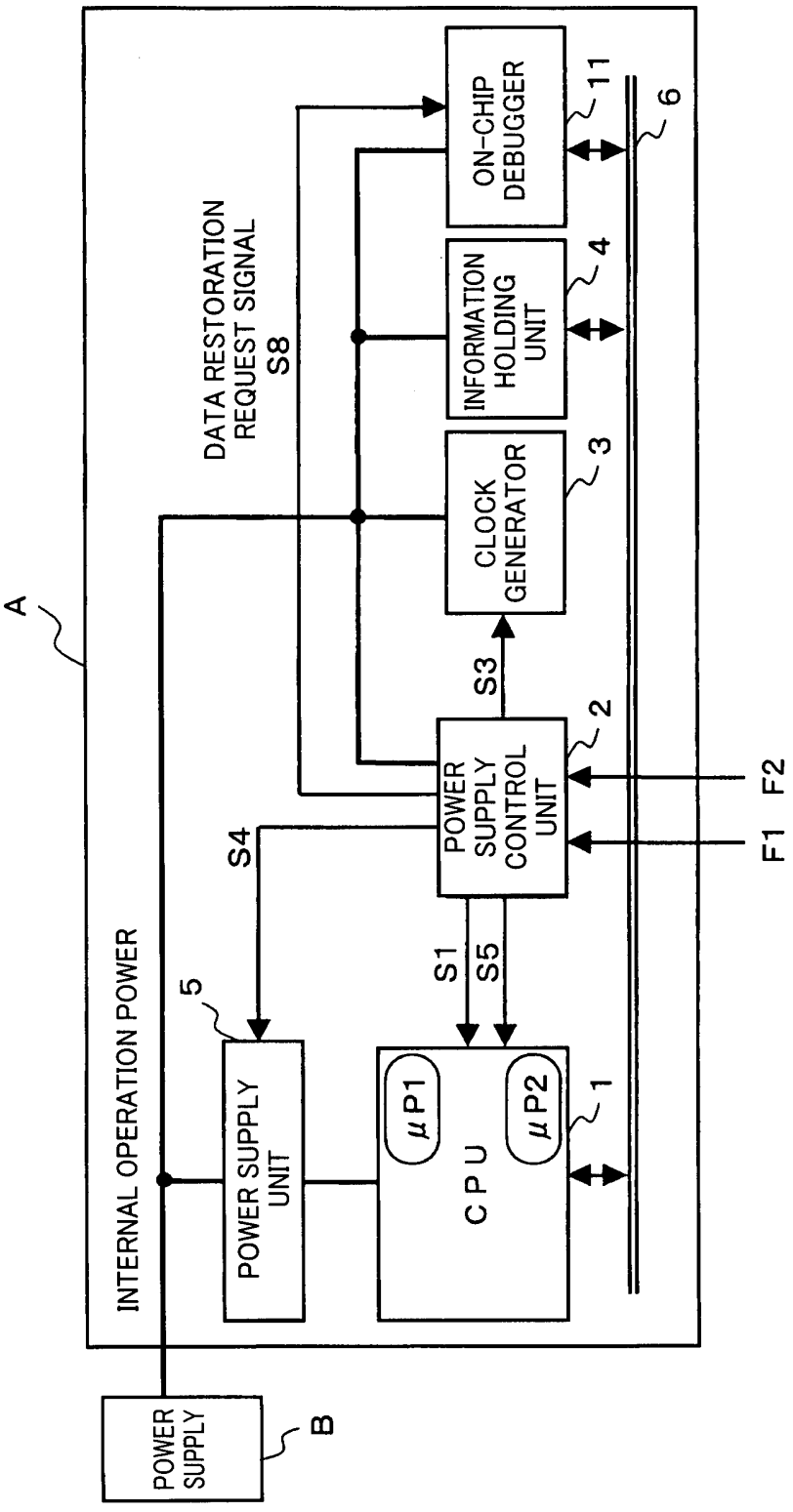
Qualcomm Ex. 1002 - 113/414

FIG. 9



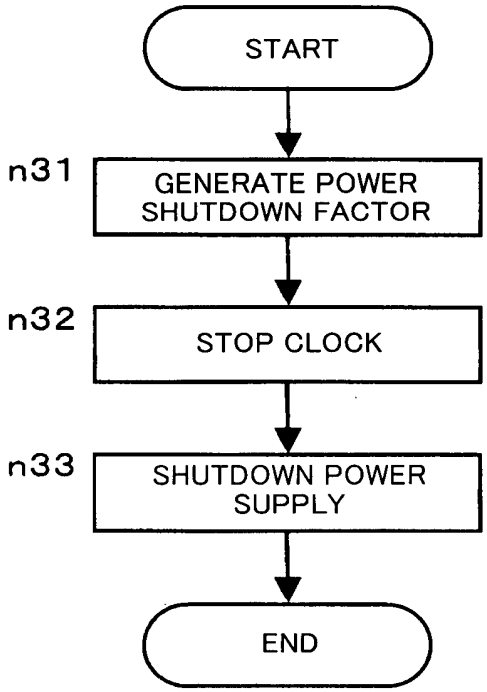
Qualcomm Ex. 1002 - 114/414

FIG. 10



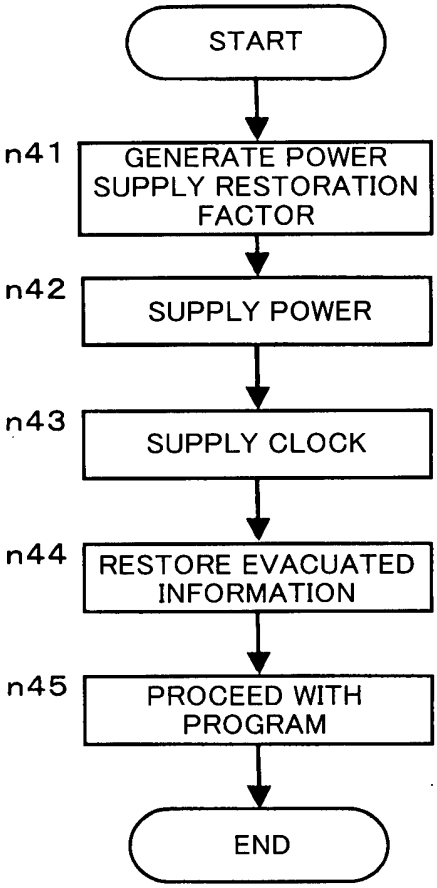
Qualcomm Ex. 1002 - 115/414

FIG. 11



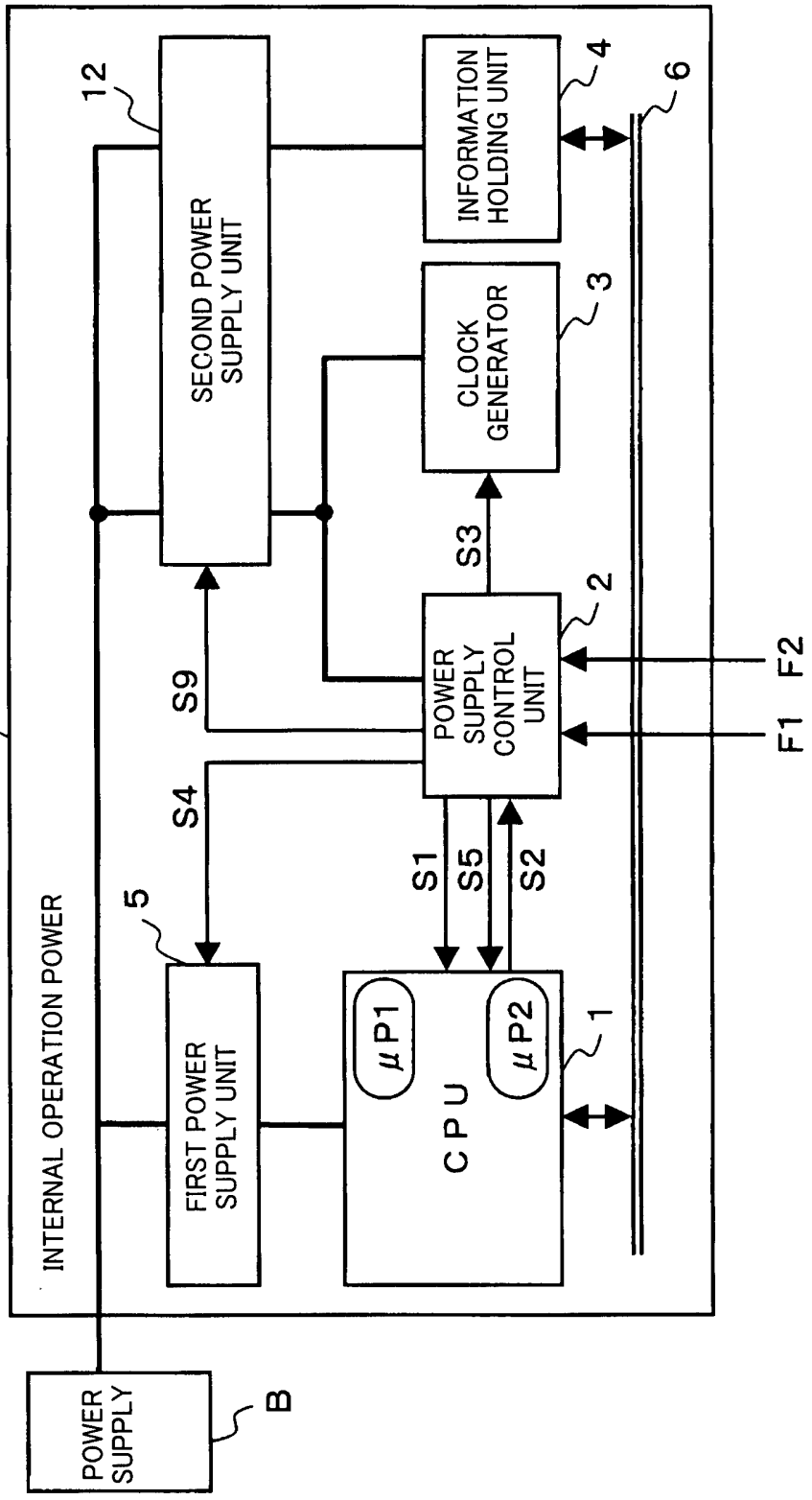
Qualcomm Ex. 1002 - 116/414

FIG. 12



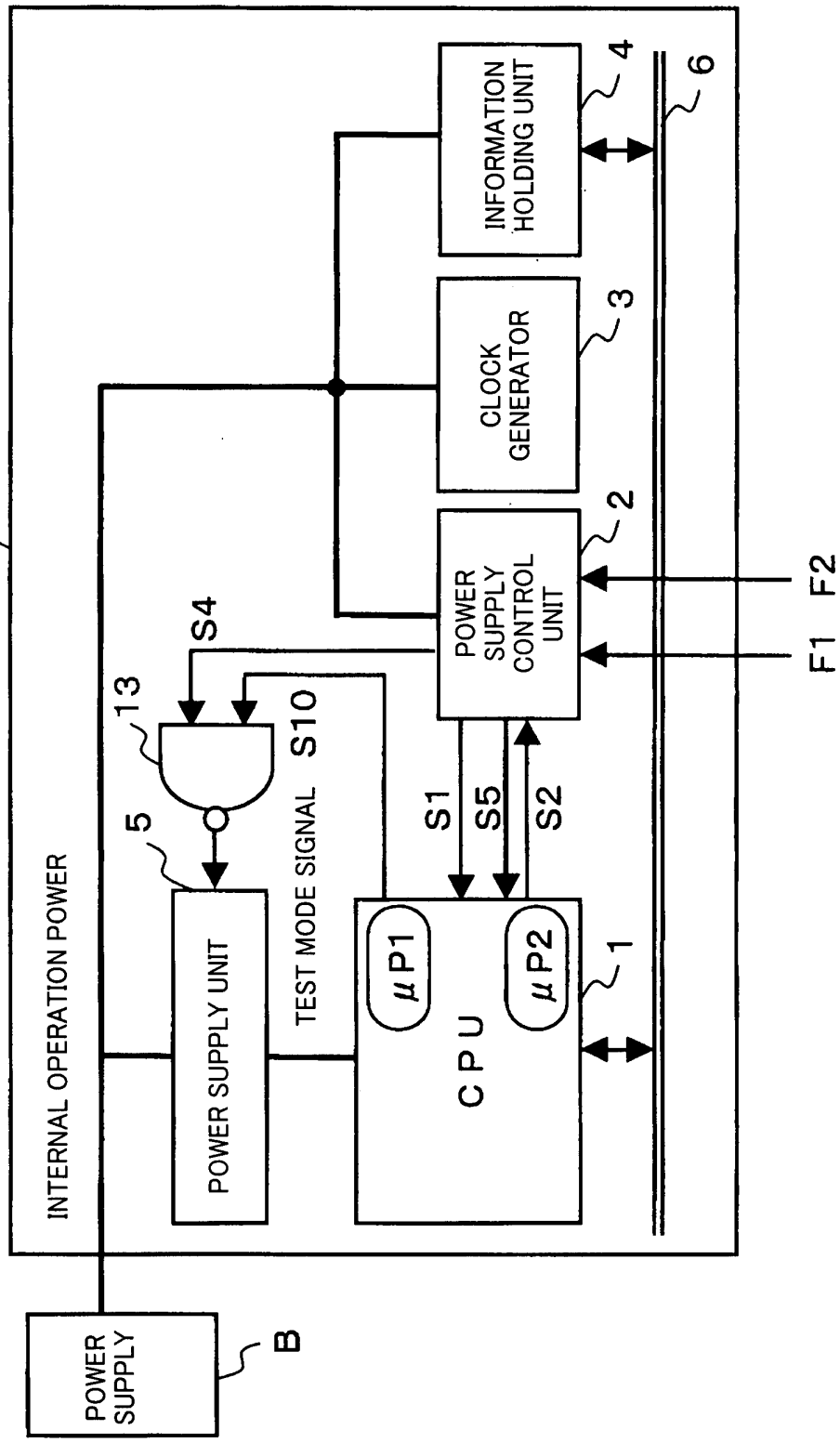
Qualcomm Ex. 1002 - 117/414

FIG. 13



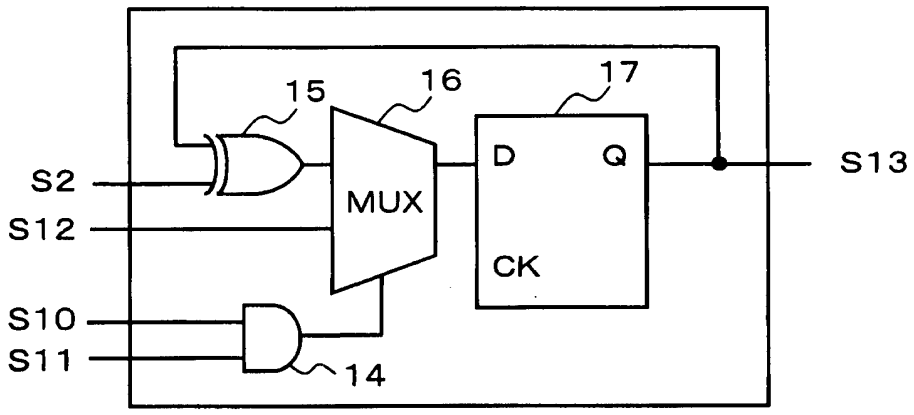
Qualcomm Ex. 1002 - 118/414

FIG. 14



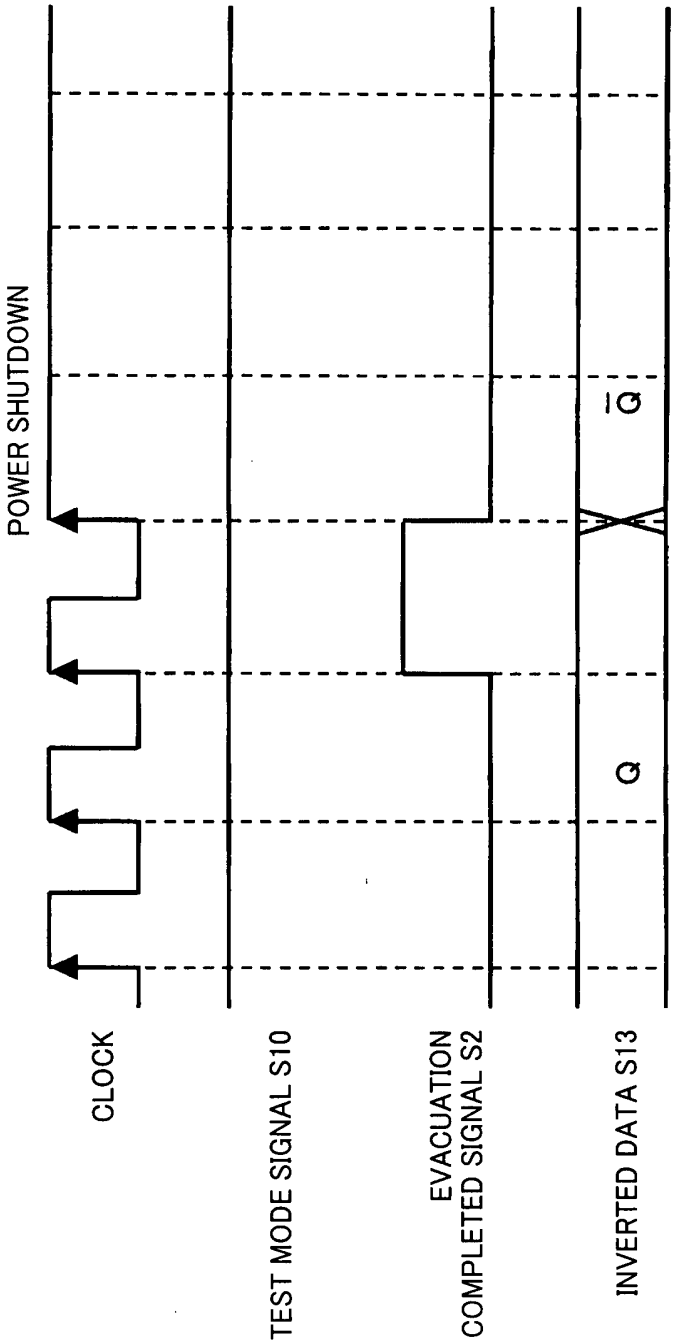
Qualcomm Ex. 1002 - 119/414

FIG. 15



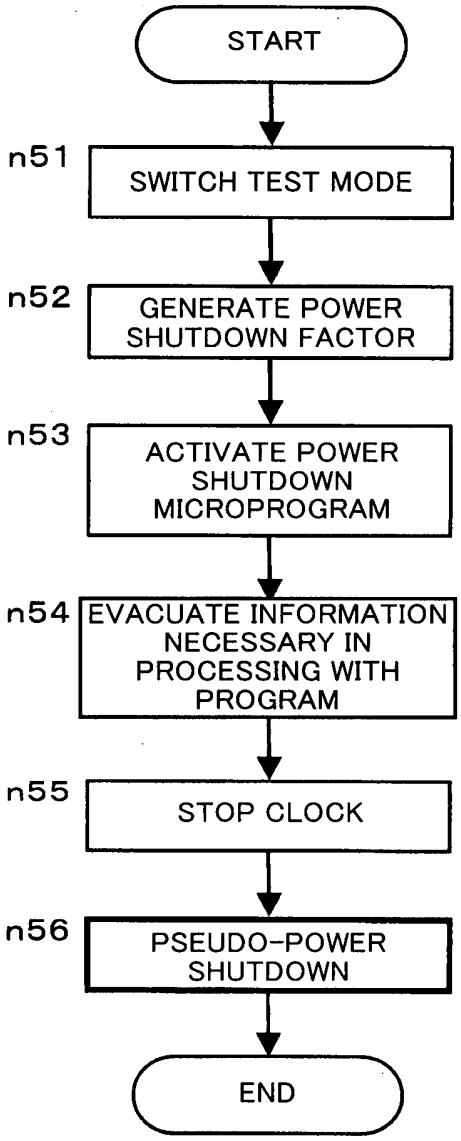
Qualcomm Ex. 1002 - 120/414

FIG. 16



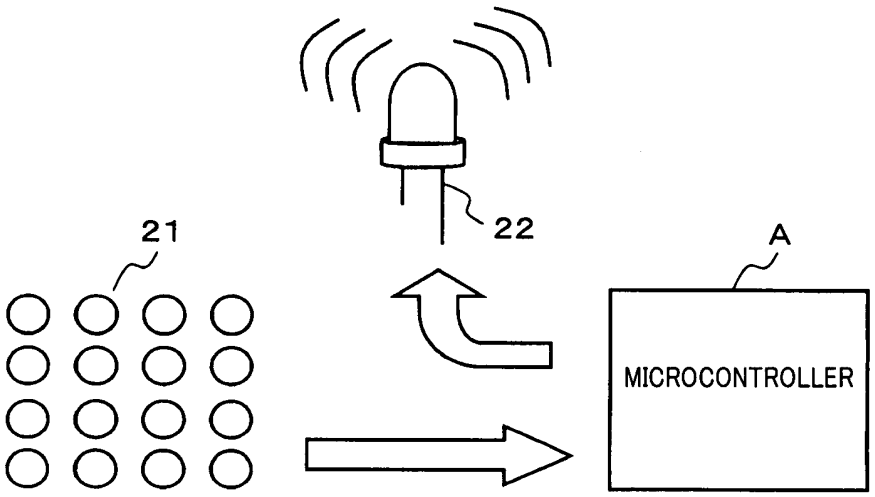
Qualcomm Ex. 1002 - 121/414

FIG. 17



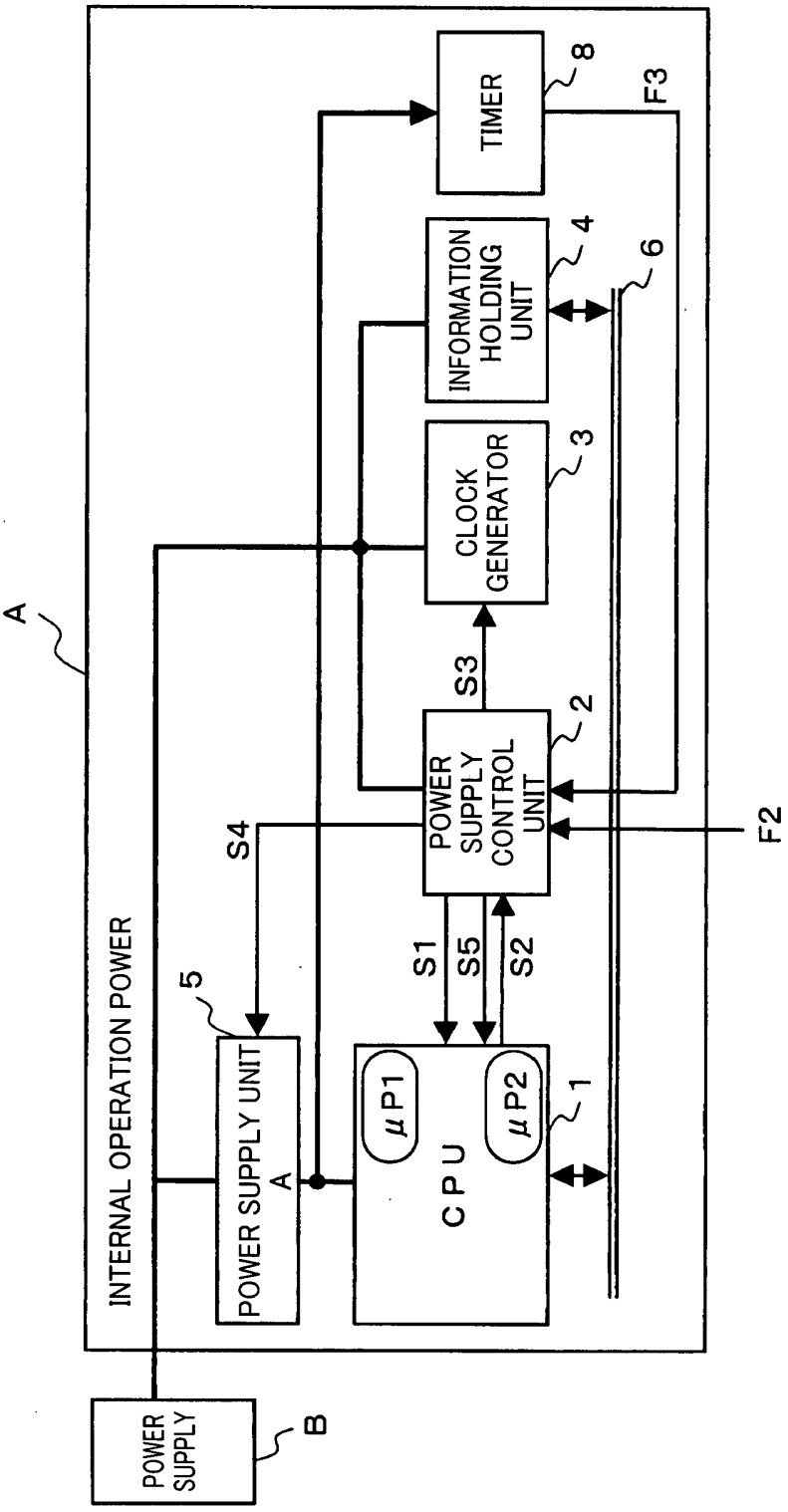
Qualcomm Ex. 1002 - 122/414

FIG. 18



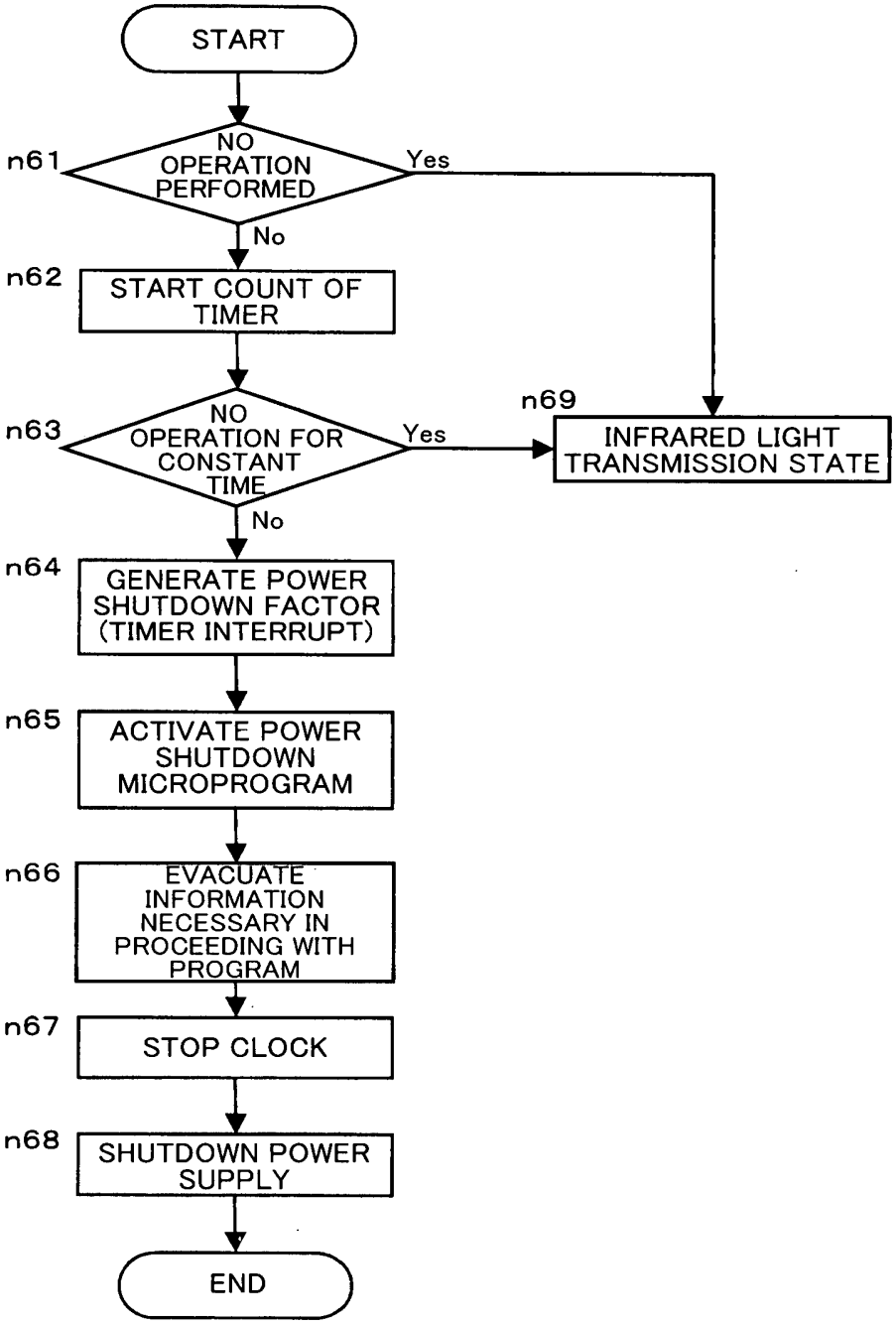
Qualcomm Ex. 1002 - 123/414

FIG. 19



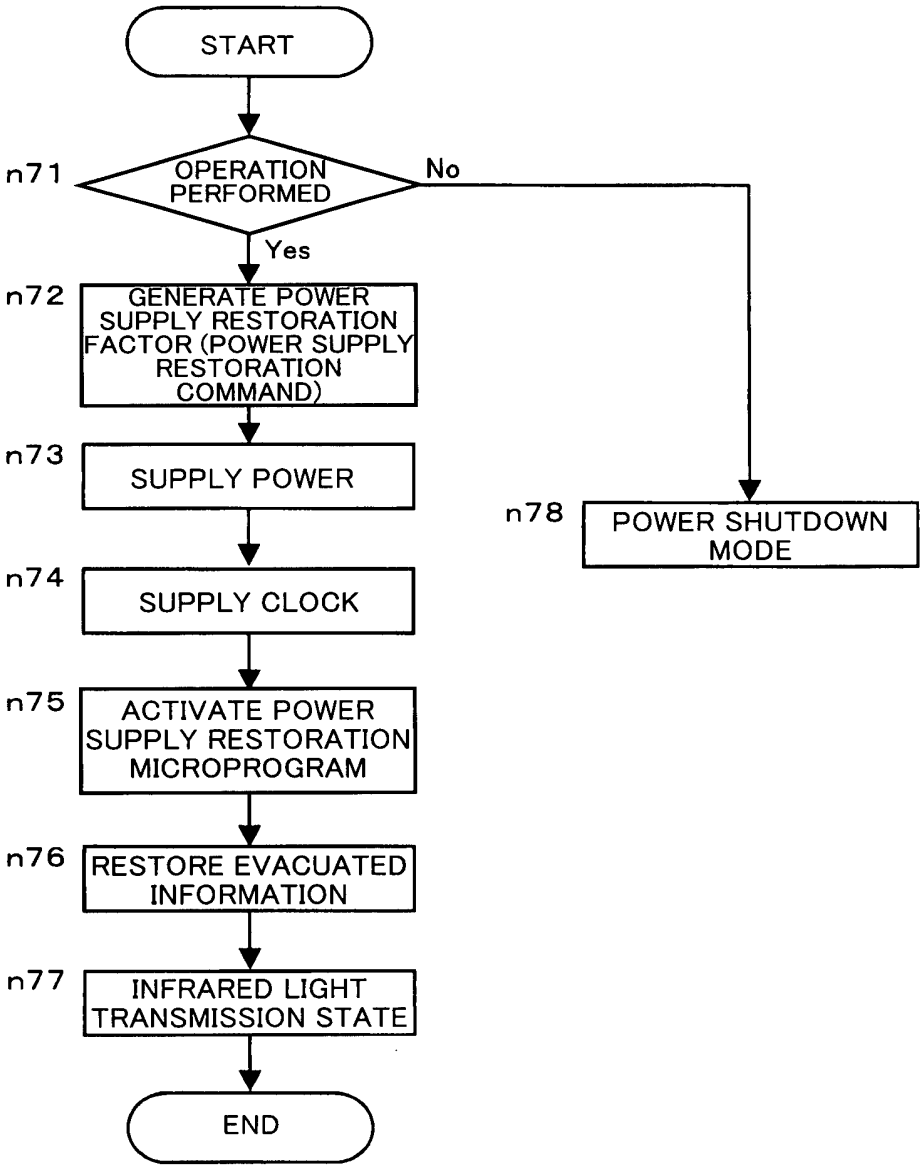
Qualcomm Ex. 1002 - 124/414

FIG. 20



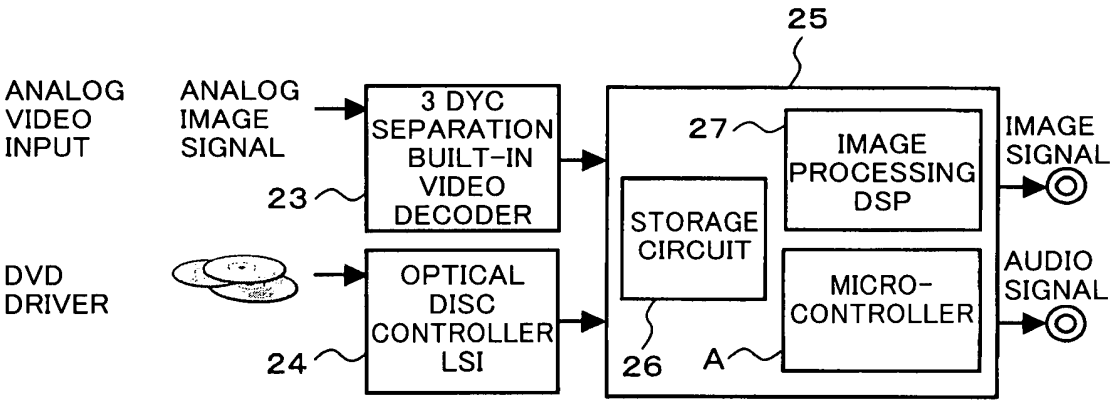
Qualcomm Ex. 1002 - 125/414

FIG. 21



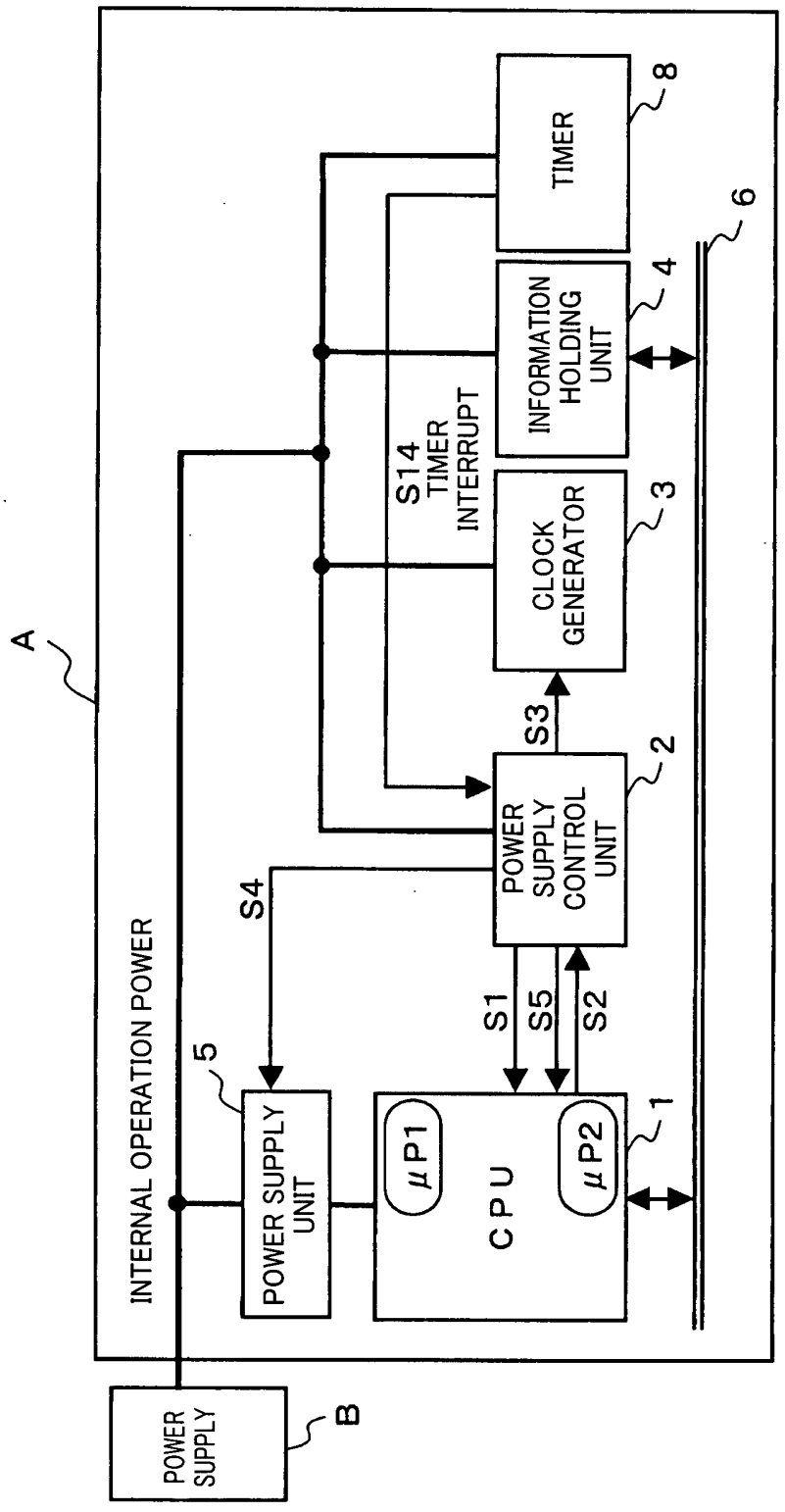
Qualcomm Ex. 1002 - 126/414

FIG. 22



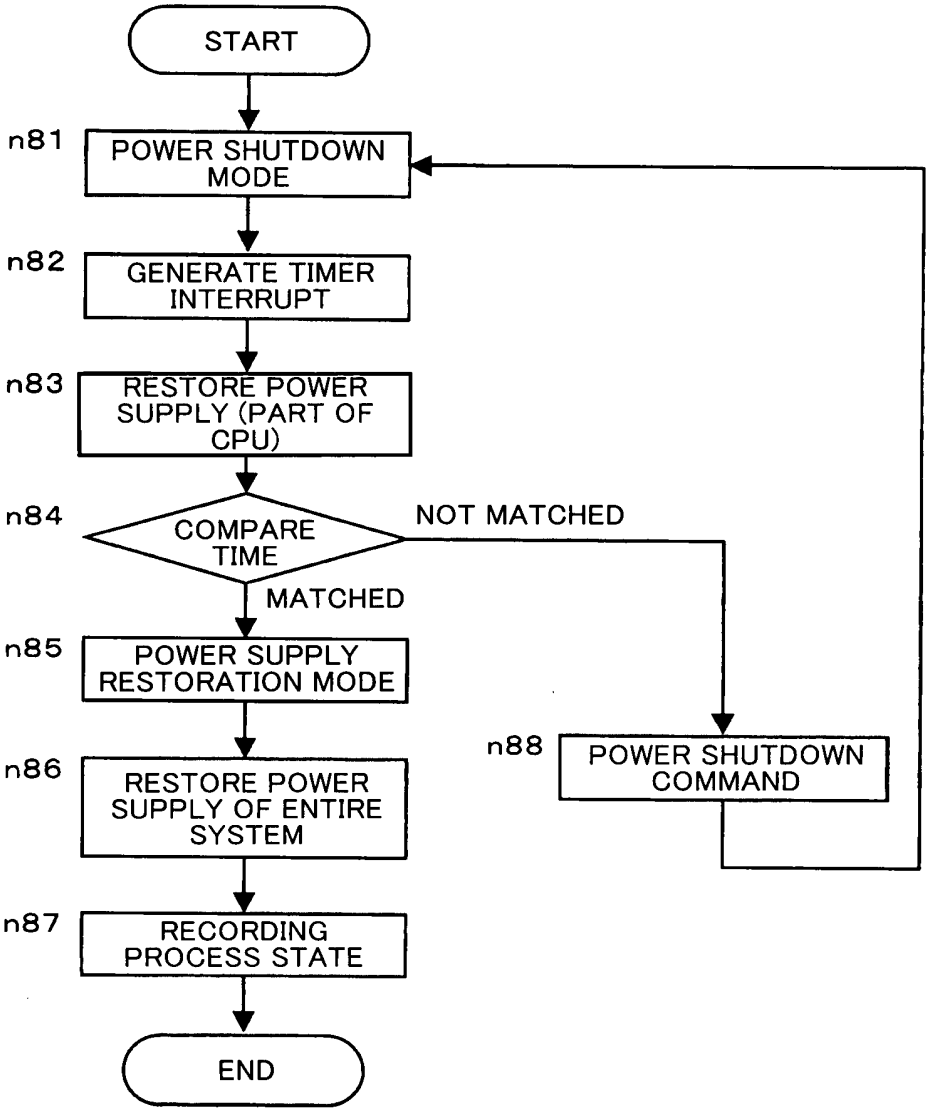
Qualcomm Ex. 1002 - 127/414

FIG. 23



Qualcomm Ex. 1002 - 128/414

FIG. 24



Qualcomm Ex. 1002 - 129/414

Matsushita Ref*: P046523-01 (* must be filled)
Application Serial No.
Japan Firm Name: Okada Patent Office
Japan Firm Ref: USA 07-20P
US Firm Name: MWE
US Firm Ref:

DECLARATION AND POWER OF ATTORNEY FOR U.S. PATENT APPLICATION

(a) ■ Original (b) ☐ Supplemental (c) ☐ Substitute (d) ☐ PCT (e) ☐ Design

As a below named inventor, I hereby declare that: my residence, post office address and citizenship are as stated below next to my name; and I believe that I am the original, first and sole inventor (if only one name is listed below) or an original, first and joint inventor (if plural inventors are named below) of the subject matter which is claimed and for which a patent is sought on the invention entitled:

Title of Invention:
MICROCONTROLLER AND ARTS RELATED THERETO

which is described and claimed in *(if the following box is not checked, the specification of which is attached hereto):*

1. For use when submitting this Declaration prior to U.S. application filing date				
(f) ■ the attached specification, or				
2. For use when submitting this Declaration after U.S. application filing date				
(g) ☐ the specification in the U.S. Application:	Application No. *(if available)*		filed on: *(must be filled)*	
	and with amendments (if applicable):		filed on	,or
3. For PCT-US national entry under 35 U.S.C. 371 (for use when filing this Declaration before and after the U.S. national entry date)				
(h) ☐ the specification in the International Application:	PCT Application No.		filed on: *(international filing date)*	,
(Check here only for US national entry under 35 U.S.C. 371.)	and with amendments (if applicable):		filed on:	,

I hereby state that I have reviewed and understand the contents of the above-identified specification, including the claims, as amended by any amendment(s) referred to above.

I acknowledge my duty to disclose to the U.S. Patent and Trademark Office all information known to me to be material to patentability as defined in Title 37, Code of Federal Regulations, §1.56.

I hereby claim foreign priority benefits under Title 35, United States Code, §119 (a-d), §172, or §365(b) of any foreign application(s) for patent or inventor's certificate, or §365(a) of any PCT international application which designated at least one country other than the United States of America, listed below, and have also identified below any foreign application for patent or inventor's certificate, or of any PCT international application having a filing date before that of the application on which priority is claimed:

(Foreign Priority Information)

COUNTRY	APPLICATION NO.	DATE OF FILING	PRIORITY CLAIMED
Japan	2006-246454	September 12, 2006	Yes

☐ Additional foreign or international application numbers are listed on a supplemental priority sheet attached hereto.

Qualcomm Ex. 1002 - 130/414

I hereby claim the benefit under Title 35, United States Code §119(e) of any United States Provisional application(s) listed below.

(US Provisional Application Information)

APPLICATION NO.	U.S. PROVISIONAL APPLICATION FILING DATE

□ Additional U.S. provisional application numbers are listed on a supplemental priority sheet attached hereto.

I hereby claim the benefit under Title 35, United States Code §120 of any United States application(s), or §365(C) of any PCT international application designating the United States of America, listed below and, insofar as the subject matter of each of the claims of this application is not disclosed in the prior United States or PCT international application in the manner provided by the first paragraph of Title 35, United States Code §112, I acknowledge the duty to disclose information material to patentability as defined in Title 37, Code of Federal Regulations, §1.56 which occurred between the filing date of the prior application and the national or PCT international filing date of this application.

(Domestic Priority Information)

APPLICATION NO.	U.S. FILING DATE	STATUS: PATENTED, PENDING, ABANDONED

□ Additional U.S. or international application numbers are listed on a supplemental priority sheet attached hereto.

POWER OF ATTORNEY: As a named inventor, I hereby appoint the attorneys and agents associated with U.S. Patent and Trademark Office Customer Number identified bellow to prosecute this application and to transact all business in the U.S. Patent and Trademark Office connected therewith, and direct that all correspondence be addressed to that customer number.

I hereby authorize the U.S. attorneys and agents associated with the customer number to accept and follow instructions from Matsushita Electric Industrial Co., Ltd., and any affiliated or subsidiary company thereof, received via their corporate representatives and/or their foreign patent attorneys or agents, if any, as to any action to be taken in the U.S. Patent and Trademark Office regarding this application without direct communication between the U.S. attorneys or agents and myself.

Direct Correspondence to:

CUSTOMER NUMBER 53080

I further declare that all statements made herein of my own knowledge are true, and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code, and that such willful false statements may jeopardize the validity of the application or any patent issuing thereon.

INVENTOR (s)

Full Name of Sole or First Inventor	**FIRST NAME** Yukari	**LAST NAME** SUGINAKA	**SIGNATURE** Yukari Suginaka	**DATE OF SIGNATURE** Aug 28. 2007
Residence & Citizenship	**CITY, STATE or COUNTRY** Osaka, JAPAN			**CITIZENSHIP** JAPAN
Post office address	**ADDRESS** c/o Panasonic Semiconductor Systems and Technology Co., Ltd. 1006, Oaza Kadoma, Kadoma-shi, Osaka 571-8501 Japan	**CITY**	**STATE OR COUNTRY**	**ZIP CODE**

Full Name of Second Inventor	**FIRST NAME** Toshifumi	**LAST NAME** HAMAGUCHI	**SIGNATURE** Toshifumi Hamaguchi	**DATE OF SIGNATURE** Aug 28. 2007
Residence & Citizenship	**CITY, STATE or COUNTRY** Osaka, JAPAN			**CITIZENSHIP** JAPAN
Post office address	**ADDRESS** c/o Matsushita Electric Industrial Co., Ltd. 1006, Oaza Kadoma, Kadoma-shi, Osaka 571-8501 Japan	**CITY**	**STATE OR COUNTRY**	**ZIP CODE**

Qualcomm Ex. 1002 - 131/414

INVENTOR (s)

Full Name of Third Inventor	**FIRST NAME** Yoshitaka	**LAST NAME** KITAO	**SIGNATURE** Yoshitaka Kitao	**DATE OF SIGNATURE** Aug 28, 2007
Residence & Citizenship	**CITY, STATE or COUNTRY** Kyoto, JAPAN			**CITIZENSHIP** JAPAN
Post office address	**ADDRESS** c/o Matsushita Electric Industrial Co., Ltd. 1006, Oaza Kadoma, Kadoma-shi, Osaka 571-8501 Japan	**CITY**	**STATE OR COUNTRY**	**ZIP CODE**

Full Name of Fourth Inventor	**FIRST NAME** Shinya	**LAST NAME** MURAMATSU	**SIGNATURE** Shinya Muramatsu	**DATE OF SIGNATURE** Aug 28, 2007
Residence & Citizenship	**CITY, STATE or COUNTRY** Hyogo, JAPAN			**CITIZENSHIP** JAPAN
Post office address	**ADDRESS** c/o Matsushita Electric Industrial Co., Ltd. 1006, Oaza Kadoma, Kadoma-shi, Osaka 571-8501 Japan	**CITY**	**STATE OR COUNTRY**	**ZIP CODE**

□ Check if additional paper(s) is/are attached. Total of _____pages are submitted.

Qualcomm Ex. 1002 - 132/414

PTO/SB/06 (02-07)
Approved for use through 02/28/2007. OMB 0651-0032
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875

Application or Docket Number: 11898145

APPLICATION AS FILED – PART I

FOR	(Column 1) NUMBER FILED	(Column 2) NUMBER EXTRA	SMALL ENTITY RATE ($)	SMALL ENTITY FEE ($)	OR	OTHER THAN SMALL ENTITY RATE ($)	OTHER THAN SMALL ENTITY FEE ($)
BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A	$150		N/A	$300
SEARCH FEE (37 CFR 1.16(k), (l), or (m))	N/A	N/A	N/A	$250		N/A	$500
EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A	$100		N/A	$200
TOTAL CLAIMS (37 CFR 1.16(i))	30 minus 20 =	* 10	x $25 =		OR	x $50 =	500
INDEPENDENT CLAIMS (37 CFR 1.16(h))	2 minus 3 =	* —	x $100 =			x $200 =	—
APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $250 ($125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).		$125			$250	
MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))			+180 =			+360 =	
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL	1500

APPLICATION AS AMENDED – PART II 1, 4

AMENDMENT A	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE ($)	SMALL ENTITY ADDITIONAL FEE ($)	OR	OTHER THAN SMALL ENTITY RATE ($)	OTHER THAN SMALL ENTITY ADDITIONAL FEE ($)
Total (37 CFR 1.16(i))	*	Minus	**	=	x $25 =		OR	x $50 =	
Independent (37 CFR 1.16(h))	*	Minus	***	=	x $100 =		OR	x $200 =	
Application Size Fee (37 CFR 1.16(s))					$125			$250	
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))					+180 =		OR	+360 =	
					TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

AMENDMENT B	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	RATE ($)	ADDITIONAL FEE ($)	OR	RATE ($)	ADDITIONAL FEE ($)
Total (37 CFR 1.16(i))	*	Minus	**	=	x $25 =		OR	x $50 =	
Independent (37 CFR 1.16(h))	*	Minus	***	=	x $100 =		OR	x $200 =	
Application Size Fee (37 CFR 1.16(s))					$125			$250	
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))					+180 =		OR	+360 =	
					TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".
The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Qualcomm Ex. 1002 - 133/414

PATENT APPLICATION SERIAL NO._____

U.S. DEPARTMENT OF COMMERCE
PATENT AND TRADEMARK OFFICE
FEE RECORD SHEET

09/11/2007 SZEWDIE1 00000050 500417 11898145

01 FC:1011 300.00 DA
02 FC:1111 500.00 DA
03 FC:1311 200.00 DA
04 FC:1202 500.00 DA

PTO-1556
(5/87)

*U.S. Government Printing Office: 2002- 489-267/69033

U.S. PTO
11/898145
09/10/2007

19179 U.S.PTO 091007

Case Docket Number: 056937-0396 **Customer Number: 53080**

UTILITY PATENT APPLICATION
UNDER 37 CFR 1.53(b)

Mail Stop New Utility Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Transmitted herewith for filing is the patent application of:

INVENTOR: **Yukari SUGINAKA, Toshifumi HAMAGUCHI, Yoshitaka KITAO, Shinya MURAMATSU**
FOR: **MICROCONTROLLER AND ARTS RELATED THERETO**

Enclosed are:

- ☒ 50 pages of specification, claims, abstract.
- ☒ Declaration and Power of Attorney.
- ☒ Priority Claimed.
- ☒ Certified copy of **Japanese Patent Application No. JP 2006-246454**
- ☒ 24 sheets of formal drawing.
- ☒ Information Disclosure Statement, Form PTO-1449 and reference.
- ☒ Return Receipt Postcard

The filing fee has been calculated as shown below:

	NO. OF CLAIMS		EXTRA CLAIMS	RATE	AMOUNT
Total Claims	30	-20	10	$50.00	$500.00
Independent Claims	2	-3	0	$200.00	$0.00
				Multiple Dependent Claim(s)	$0.00
				Sheets of specification and drawing ($250.00 for each 50 sheets in excess of 100)	$0.00
				Basic Filing Fee	$300.00
				Patent Search Fee	$500.00
				Patent Examination Fee	$200.00
				Total of Above Calculations	$1,500.00
				Less ½ for Small Entity	$0.00
				Assignment & Recording Fee	$0.00
				Total Fee	**$1,500.00**

Case Docket Number: 056937-0396

☒ Please charge my Deposit Account No. 500417 in the amount of **$1,500.00**. A duplicate copy of this sheet is enclosed.

☒ The Commissioner is hereby authorized to charge payment of the following fees associated with this communication or credit any overpayment to Deposit Account No. 500417 . A duplicate copy is enclosed.

☒ Any additional filing fees required under 37 CFR 1.16.

☒ The Commissioner is hereby authorized to charge payment of the following fees during the pendency of this application or credit any overpayment to Deposit Account No. 500417. A duplicate copy of this sheet is enclosed.

☒ Any patent application processing fees under 37 CFR 1.17.

☒ Any filing fees under 37 CFR 1.16 for presentation of extra claims.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP

Michael E. Fogarty
Registration No. 36,139

Please recognize our Customer No. 53080 as our correspondence address.

600 13th Street, N.W.
Washington, DC 20005-3096
Phone: 202.756.8000 MEF:kfm
Facsimile: 202.756.8087
Date: September 10, 2007

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING or 371(c) DATE	GRP ART UNIT	FIL FEE REC'D	ATTY.DOCKET.NO	TOT CLAIMS	IND CLAIMS
11/898,145	09/10/2007	2115	1500	056937-0396	30	2

CONFIRMATION NO. 1079

53080
MCDERMOTT WILL & EMERY LLP
600 13TH STREET, NW
WASHINGTON, DC20005-3096

FILING RECEIPT

Date Mailed: 10/01/2007

Receipt is acknowledged of this non-provisional patent application. The application will be taken up for examination in due course. Applicant will be notified as to the results of the examination. Any correspondence concerning the application must include the following identification information: the U.S. APPLICATION NUMBER, FILING DATE, NAME OF APPLICANT, and TITLE OF INVENTION. Fees transmitted by check or draft are subject to collection. Please verify the accuracy of the data presented on this receipt. **If an error is noted on this Filing Receipt, please write to the Office of Initial Patent Examination's Filing Receipt Corrections. Please provide a copy of this Filing Receipt with the changes noted thereon. If you received a "Notice to File Missing Parts" for this application, please submit any corrections to this Filing Receipt with your reply to the Notice. When the USPTO processes the reply to the Notice, the USPTO will generate another Filing Receipt incorporating the requested corrections**

Applicant(s)

Yukari Suginaka, Osaka, JAPAN;
Toshifumi Hamaguchi, Osaka, JAPAN;
Yoshitaka Kitao, Kyoto, JAPAN;
Shinya Muramatsu, Hyogo, JAPAN;

Power of Attorney: The patent practitioners associated with Customer Number 53080

Domestic Priority data as claimed by applicant

Foreign Applications

JAPAN 2006-246454 09/12/2006

Request to Retrieve - This application either claims priority to one or more applications filed in an intellectual property Office that participates in the Priority Document Exchange (PDX) program or contains a proper **Request to Retrieve Electronic Priority Application(s)** (PTO/SB/38 or its equivalent). Consequently, the USPTO will attempt to electronically retrieve these priority documents.

If Required, Foreign Filing License Granted: 10/01/2007

The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is **US11/898,145**

Projected Publication Date: 03/13/2008

Non-Publication Request: No

Early Publication Request: No

Title

Microcontroller and arts related thereto

Preliminary Class

713

PROTECTING YOUR INVENTION OUTSIDE THE UNITED STATES

Since the rights granted by a U.S. patent extend only throughout the territory of the United States and have no effect in a foreign country, an inventor who wishes patent protection in another country must apply for a patent in a specific country or in regional patent offices. Applicants may wish to consider the filing of an international application under the Patent Cooperation Treaty (PCT). An international (PCT) application generally has the same effect as a regular national patent application in each PCT-member country. The PCT process **simplifies** the filing of patent applications on the same invention in member countries, but **does not result** in a grant of "an international patent" and does not eliminate the need of applicants to file additional documents and fees in countries where patent protection is desired.

Almost every country has its own patent law, and a person desiring a patent in a particular country must make an application for patent in that country in accordance with its particular laws. Since the laws of many countries differ in various respects from the patent law of the United States, applicants are advised to seek guidance from specific foreign countries to ensure that patent rights are not lost prematurely.

Applicants also are advised that in the case of inventions made in the United States, the Director of the USPTO must issue a license before applicants can apply for a patent in a foreign country. The filing of a U.S. patent application serves as a request for a foreign filing license. The application's filing receipt contains further information and guidance as to the status of applicant's license for foreign filing.

Applicants may wish to consult the USPTO booklet, "General Information Concerning Patents" (specifically, the section entitled "Treaties and Foreign Patents") for more information on timeframes and deadlines for filing foreign patent applications. The guide is available either by contacting the USPTO Contact Center at 800-786-9199, or it can be viewed on the USPTO website at http://www.uspto.gov/web/offices/pac/doc/general/index.html.

For information on preventing theft of your intellectual property (patents, trademarks and copyrights), you may wish to consult the U.S. Government website, http://www.stopfakes.gov. Part of a Department of Commerce initiative, this website includes self-help "toolkits" giving innovators guidance on how to protect intellectual property in specific countries such as China, Korea and Mexico. For questions regarding patent enforcement issues, applicants may call the U.S. Government hotline at 1-866-999-HALT (1-866-999-4158).

LICENSE FOR FOREIGN FILING UNDER

Title 35, United States Code, Section 184

Title 37, Code of Federal Regulations, 5.11 & 5.15

GRANTED

The applicant has been granted a license under 35 U.S.C. 184, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" followed by a date appears on this form. Such licenses are issued in all applications where the conditions for issuance of a license have been met, regardless of whether or not a license may be required as set forth in 37 CFR 5.15. The scope and limitations of this license are set forth in 37 CFR 5.15(a) unless an earlier license has been issued under 37 CFR 5.15(b). The license is subject to revocation upon written notification. The date indicated is the effective date of the license, unless an earlier license of similar scope has been granted under 37 CFR 5.13 or 5.14.

This license is to be retained by the licensee and may be used at any time on or after the effective date thereof unless it is revoked. This license is automatically transferred to any related applications(s) filed under 37 CFR 1.53(d). This license is not retroactive.

The grant of a license does not in any way lessen the responsibility of a licensee for the security of the subject matter as imposed by any Government contract or the provisions of existing laws relating to espionage and the national security or the export of technical data. Licensees should apprise themselves of current regulations especially with respect to certain countries, of other agencies, particularly the Office of Defense Trade Controls, Department of State (with respect to Arms, Munitions and Implements of War (22 CFR 121-128)); the Bureau of Industry and Security, Department of Commerce (15 CFR parts 730-774); the Office of Foreign AssetsControl, Department of Treasury (31 CFR Parts 500+) and the Department of Energy.

NOT GRANTED

No license under 35 U.S.C. 184 has been granted at this time, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" DOES NOT appear on this form. Applicant may still petition for a license under 37 CFR 5.12, if a license is desired before the expiration of 6 months from the filing date of the application. If 6 months has lapsed from the filing date of this application and the licensee has not received any indication of a secrecy order under 35 U.S.C. 181, the licensee may foreign file the application pursuant to 37 CFR 5.15(b).

日　本　国　特　許　庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: ２００６年　９月１２日

出願番号
Application Number: 特願２００６－２４６４５４

パリ条約による外国への出願に用いる優先権の主張の基礎となる出願の国コードと出願番号
The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is ＪＰ２００６－２４６４５４

出願人
Applicant(s): 松下電器産業株式会社

２００８年　２月１５日

特許庁長官
Commissioner,
Japan Patent Office 肥塚雅博

Qualcomm Ex. 1002 - 140/414

【書類名】　特許願
【整理番号】　5037580016
【あて先】　特許庁長官　殿
【国際特許分類】　G06F　1/32
G06F　1/04
G06F　1/26
【発明者】
【住所又は居所】　大阪府門真市大字門真１００６番地　パナソニック半導体システムテクノ株式会社内
【氏名】　阪西　由香利
【発明者】
【住所又は居所】　大阪府門真市大字門真１００６番地　松下電器産業株式会社内
【氏名】　浜口　敏文
【発明者】
【住所又は居所】　大阪府門真市大字門真１００６番地　松下電器産業株式会社内
【氏名】　村松　伸哉
【発明者】
【住所又は居所】　大阪府門真市大字門真１００６番地　松下電器産業株式会社内
【氏名】　北尾　嘉貴
【特許出願人】
【識別番号】　000005821
【氏名又は名称】　松下電器産業株式会社
【代理人】
【識別番号】　100086737
【弁理士】
【氏名又は名称】　岡田　和秀
【電話番号】　06-6376-0857
【手数料の表示】
【予納台帳番号】　007401
【納付金額】　16,000円
【提出物件の目録】
【物件名】　特許請求の範囲　1
【物件名】　明細書　1
【物件名】　図面　1
【物件名】　要約書　1
【包括委任状番号】　9305280

【書類名】特許請求の範囲
【請求項１】
ＣＰＵと、前記ＣＰＵと電源との間に介挿された電源供給部と、前記ＣＰＵおよび前記電源供給部を制御する電源制御部と、前記ＣＰＵからプログラム続行に必要な情報を退避させる情報保持部とを備え、
前記電源制御部は、電源遮断要因の発生を受けて前記ＣＰＵに対して遮断要求信号を出力し、
前記ＣＰＵは、前記電源制御部から前記遮断要求信号を受け取ると、電源遮断のマイクロプログラムを起動して前記プログラム続行に必要な情報を前記情報保持部に退避させ、退避完了後に退避完了信号を前記電源制御部に対して出力し、
前記電源制御部は、前記ＣＰＵからの前記退避完了信号を受け取ると、前記電源供給部に対して電源遮断の制御信号を出力し、
前記電源供給部は、前記電源制御部から前記電源遮断の制御信号を受け取ると、前記ＣＰＵに対する電源供給を遮断するように構成されているマイクロコントローラ。
【請求項２】
さらに、クロック生成部を備え、前記退避完了信号を受け取った前記電源制御部は、前記クロック生成部に対してクロック停止の制御信号を出力するように構成されている請求項１に記載のマイクロコントローラ。
【請求項３】
前記電源制御部は、電源復帰要因の発生を受けて前記電源供給部に対して電源供給の制御信号を出力し、
前記電源供給部は、前記電源制御部から前記電源供給の制御信号を受け取ると、前記ＣＰＵに対する電源供給を開始し、
前記電源制御部は、供給された電源電圧が安定するのを待って、前記ＣＰＵに対して復帰要求信号を出力するとともに、前記クロック生成部に対してクロック供給の制御信号を出力し、
前記クロック生成部は、前記電源制御部からの前記クロック供給の制御信号を受け取ると、動作クロックの供給を再開し、
前記ＣＰＵは、前記電源制御部からの前記復帰要求信号を受け取ると、電源復帰のマイクロプログラムを起動し、電源遮断時に前記情報保持部に退避させておいた前記プログラム続行に必要な情報を戻し、最後にプログラムカウンタの示すアドレスに分岐することで、遮断状態からプログラム実行を続行するように構成されている請求項２に記載のマイクロコントローラ。
【請求項４】
ＣＰＵと、前記ＣＰＵと電源との間に介挿された電源供給部と、前記ＣＰＵおよび前記電源供給部を制御する電源制御部と、前記ＣＰＵからプログラム続行に必要な情報を退避させる情報保持部とを備え、
前記電源制御部は、電源遮断要因の発生を受けて前記ＣＰＵに対して遮断要求信号を出力し、
前記ＣＰＵは、前記電源制御部から前記遮断要求信号を受け取ると、電源遮断のマイクロプログラムを起動して前記プログラム続行に必要な情報を前記情報保持部に退避させ、退避完了後に退避完了信号を前記電源制御部に対して出力し、
前記電源制御部は、前記ＣＰＵからの前記退避完了信号を受け取った直後に、電源復帰要因の発生を受けると、前記ＣＰＵに対して復帰要求信号を出力し、
前記ＣＰＵは、前記電源制御部からの前記復帰要求信号を受け取ると、退避情報を戻さない電源復帰のマイクロプログラムを起動し、プログラム実行を続行するように構成されているマイクロコントローラ。
【請求項５】
前記クロック生成部は、前記電源制御部から前記クロック停止の制御信号を受け取ったときの動作として、動作クロックの供給を停止するモードと停止しないモードを選択可能

に構成されている請求項２から請求項４までのいずれかに記載のマイクロコントローラ。
【請求項６】
前記電源制御部は、遮断可能期間を制限可能に構成されている請求項１から請求項５までのいずれかに記載のマイクロコントローラ。
【請求項７】
前記電源遮断のマイクロプログラムは、前記プログラム続行に必要な情報を前記情報保持部のスタック領域に退避した上で、退避場所を指すスタックポインタの値のみを特定の場所に退避する請求項１から請求項６までのいずれかに記載のマイクロコントローラ。
【請求項８】
前記電源復帰要因は、当該マイクロコントローラの割り込みシステムを使用する請求項３から請求項７までのいずれかに記載のマイクロコントローラ。
【請求項９】
前記電源遮断要因は、外部端子から与えられる状態と命令によって与えられる状態とがあり、両者のどちらか一方または両方の方法を選択可能に構成されている請求項１から請求項８までのいずれかに記載のマイクロコントローラ。
【請求項１０】
前記電源復帰のマイクロプログラムとして、退避しておいた前記プログラム続行に必要な情報を戻してプログラムを続行するマイクロプログラム、退避しておいた前記プログラム続行に必要な情報は使用せずに設定値を戻すマイクロプログラム、リセットするマイクロプログラム等の複数種類のマイクロプログラムから選択するように構成されている請求項３から請求項９までのいずれかに記載のマイクロコントローラ。
【請求項１１】
発生した電源遮断要因または選択された電源遮断要因の種類に応じて、電源遮断のマイクロプログラム、電源復帰のマイクロプログラムを選択的に起動するように構成されている請求項３から請求項９までのいずれかに記載のマイクロコントローラ。
【請求項１２】
１または複数の周辺回路モジュールについて、電源遮断の範囲を設定可能で、電源復帰に必要な範囲は電源遮断せず、不必要な範囲は電源遮断するように構成されている請求項１から請求項１１までのいずれかに記載のマイクロコントローラ。
【請求項１３】
さらに、常に前記ＣＰＵのレジスタを監視するデバッガを備え、電源遮断時には前記デバッガによる監視データ以外を前記情報保持部に退避するように構成されている請求項１から請求項１２までのいずれかに記載のマイクロコントローラ。
【請求項１４】
さらに、前記電源遮断要因をトリガとして、電源遮断範囲外の回路部分に対する供給電圧を情報保持の下限電圧まで降圧するよう制御する第２の電源供給部を備えている請求項１から請求項１３までのいずれかに記載のマイクロコントローラ。
【請求項１５】
さらに、電源遮断範囲内の回路部分のレジスタに対して反転値をロードする回路を備えている請求項１から請求項１４までのいずれかに記載のマイクロコントローラ。
【請求項１６】
請求項１から請求項１５までのいずれかに記載のマイクロコントローラと、外部から指示を入力する入力部と、赤外線により他の機器に信号を送信する信号送信部とを備え、一定時間外部から入力がなかった場合に、電源遮断モードに移行し、外部から入力があった場合に、それをトリガとして電源復帰モードに移行するように構成されている通信装置。
【請求項１７】
請求項１から請求項１５までのいずれかに記載のマイクロコントローラ、映像処理ＤＳＰおよび記憶回路を有するＤＶＤレコーダ用ＬＳＩと、ＤＳＰサーボを有する光ディスクコントローラＬＳＩとを備え、
一定時間毎に前記マイクロコントローラ内の前記電源制御部にタイマ割り込みをかけ、

現在時刻と録画予約時刻の一定時間前時刻との比較を行い、比較結果が一致した場合、電源復帰モードに入り、録画ステートに移行するように構成されている記録装置。

【書類名】明細書
【発明の名称】マイクロコントローラおよびその関連技術
【技術分野】
【０００１】
本発明はマイクロコントローラにかかわり、特には、プログラム続行可能な電源遮断モードにおいて、スタンバイ時の消費電流を抑える技術に関する。また、通信装置、記録装置にも適用されるものである。
【背景技術】
【０００２】
一般的なマイクロコントローラは、スタンバイモードとして、動作クロックの供給を停止して消費電流を削減するストップモードを有している。ストップモードでは、内部状態を保持しているためソフトウェアの立ち上げ等を行わずに済み、スタンバイ状態から高速に復帰することが可能である。しかし、近年の半導体製造技術の進化により微細なトランジスタで回路が構成されるようになってきたため、トランジスタのオフ電流（漏れ電流）が多く、ストップモードにおいても消費電流が多くなる傾向にある。
【０００３】
一方、消費電流を抑えるために電源を遮断する方法は、漏れ電流による消費電流をほぼゼロとすることができる。この場合、電源の遮断によりマイクロコントローラの内部状態が破棄されることから、内部を初期化するために通常はリセット処理から初期化プログラムを実行する必要がある。すると、マイクロコントローラの初期設定やオペレーティングシステムの立ち上げを行うために、復帰に必要な時間が長くなる。
【０００４】
そこで、プログラム続行可能な電源遮断モードが開発された。これに関連する技術として、スタンバイ制御回路を設けたものがある。これは、ＣＰＵ（中央演算処理装置）と周辺回路モジュールへの電源供給を遮断するに際して、周辺回路モジュールに含まれるレジスタの値を保持する情報保持回路への電源供給は継続するよう制御するものである。装置の外部から割り込み要求が通知された場合に、ＣＰＵと周辺回路モジュールへの電源供給を再開し、退避された情報をＣＰＵおよび周辺回路モジュールに復帰させる。次いでプログラムの実行に戻り、割り込み要求に対応する割り込み処理を行う。この方式によれば、電源遮断によるスタンバイ電流の低減と割り込みによるスタンバイからの高速復帰を両立させることが可能になっている（例えば特許文献１参照）。
【特許文献１】特開２００５－１１１６６号公報
【発明の開示】
【発明が解決しようとする課題】
【０００５】
特許文献１の技術では、割り込みを禁止した後に、ソフトウェアで必要なレジスタの値を退避し、割り込みを禁止したまま電源を遮断する。電源遮断前に割り込みを受け付けてしまうと、退避したレジスタの値が電源遮断前に変化する可能性があるからである。
【０００６】
これに対して、割り込み禁止の状態で復帰のための割り込みが発生した場合に、そのまま電源遮断してしまうと、割り込みを再発生しなければ復帰できなくなる可能性がある。あるいは、電源遮断処理と電源供給処理を実行した後、割り込み処理を行うことになり、割り込み発生から実際の処理を行うまでの遅延時間が大きくなる。また、電源遮断処理と割り込み処理の時間的な前後関係が逆転することもある。
【０００７】
また、情報保存手段としてバックアップレジスタと退避したいレジスタとを論理回路を介して直接接続している。しかし、退避したいレジスタの数だけバックアップレジスタが必要であり、また、退避したいレジスタの数の２倍の配線が必要となる。この配線は電源を遮断する部分と電源を供給し続ける部分との接続部分であることから、不要な電流を流さないための論理回路や情報を破棄してしまわないための論理回路が必要になり、回路規

模が増大する。
【０００８】
本発明は、このような事情に鑑みて創作したものであり、内部動作電圧供給を遮断したスタンバイ状態あるいは内部動作電圧を下げた状態等を実現する際に、プログラム続行可能な電源遮断モードを実現し、プログラム続行に必要な情報を簡便かつ高速に退避・復帰させることができるマイクロコントローラを提供することを目的としている。
【課題を解決するための手段】
【０００９】
（１）本発明によるマイクロコントローラは、
ＣＰＵと、前記ＣＰＵと電源との間に介挿された電源供給部と、前記ＣＰＵおよび前記電源供給部を制御する電源制御部と、前記ＣＰＵからプログラム続行に必要な情報を退避させる情報保持部とを備え、
前記電源制御部は、電源遮断要因の発生を受けて前記ＣＰＵに対して遮断要求信号を出力し、
前記ＣＰＵは、前記電源制御部から前記遮断要求信号を受け取ると、電源遮断のマイクロプログラムを起動して前記プログラム続行に必要な情報を前記情報保持部に退避させ、退避完了後に退避完了信号を前記電源制御部に対して出力し、
前記電源制御部は、前記ＣＰＵからの前記退避完了信号を受け取ると、前記電源供給部に対して電源遮断の制御信号を出力し、
前記電源供給部は、前記電源制御部から前記電源遮断の制御信号を受け取ると、前記ＣＰＵに対する電源供給を遮断するように構成されている。
【００１０】
この構成においては、電源遮断要因が発生すると、電源制御部はＣＰＵに対して遮断要求信号を出力し、これを受け取ったＣＰＵは電源遮断のマイクロプログラムを起動する。この電源遮断のマイクロプログラムは、プログラム続行に必要な情報を情報保持部に退避させた上で、退避完了信号を電源制御部に出力する。すると、電源制御部は電源遮断の制御信号を電源供給部に出力し、これを受け取った電源供給部は、ＣＰＵに対する電源供給を遮断する。情報保持部に対する電源供給は継続される。ＣＰＵは停止状態になり、電流消費は抑制される。また、プログラム続行に必要な情報の保持も行われる。
【００１１】
すなわち、電源遮断のマイクロプログラムは、プログラム続行に必要な情報の退避と電源遮断処理を一続きに実行するので、情報退避と電源遮断処理の間に割り込み処理が起動されることがなく、退避したいプログラム続行に必要な情報が電源遮断前に変化してしまうことが避けられる。そして、情報退避や電源遮断処理の前に割り込みを禁止することがなく、したがって、割り込み許可の状態で電源遮断処理を実行することが可能となることから、割り込み処理を電源遮断前に受け付けることも許容している。また、情報退避をマイクロプログラムで実行することから、もともとマイクロコントローラがもっていた配線を使って退避することが可能となり、情報退避専用の論理回路および配線数の増加は最少に抑えることが可能となる。
【００１２】
（２）上記構成のマイクロコントローラにおいて、さらに、クロック生成部を備え、前記退避完了信号を受け取った前記電源制御部は、前記クロック生成部に対してクロック停止の制御信号を出力するように構成されているという態様がある。この構成においては、ＣＰＵの電源遮断のマイクロプログラムがプログラム続行に必要な情報の退避と電源遮断処理とを完了した後は、クロック生成部の動作を停止させるので、クロック生成部からのクロック供給を受けて動作する周辺回路モジュールでの電流消費も抑制することが可能となる。
【００１３】
（３）また上記構成のマイクロコントローラにおいて、前記電源制御部は、電源復帰要因の発生を受けて前記電源供給部に対して電源供給の制御信号を出力し、前記電源供給部

は、前記電源制御部から前記電源供給の制御信号を受け取ると、前記ＣＰＵに対する電源供給を開始し、前記電源制御部は、供給された電源電圧が安定するのを待って、前記ＣＰＵに対して復帰要求信号を出力するとともに、前記クロック生成部に対してクロック供給の制御信号を出力し、前記クロック生成部は、前記電源制御部からの前記クロック供給の制御信号を受け取ると、動作クロックの供給を再開し、前記ＣＰＵは、前記電源制御部からの前記復帰要求信号を受け取ると、電源復帰のマイクロプログラムを起動し、電源遮断時に前記情報保持部に退避させておいた前記プログラム続行に必要な情報を戻し、最後にプログラムカウンタの示すアドレスに分岐することで、遮断状態からプログラム実行を続行するように構成されているという態様がある。

【００１４】

この構成においては、ＣＰＵに対する電源供給の遮断状態およびクロック生成部によるクロック供給の停止状態において電源復帰要因が発生すると、電源制御部は電源供給部に対して電源供給の制御信号を出力し、これを受け取った電源供給部はＣＰＵに対する電源供給を開始する。供給された電源電圧が安定すると、電源制御部はＣＰＵに対して復帰要求信号を出力するとともに、クロック生成部に対してクロック供給の制御信号を出力する。クロック生成部は動作クロックの供給を再開し、ＣＰＵは電源復帰のマイクロプログラムを起動する。電源復帰のマイクロプログラムは、情報保持部に退避させておいたプログラム続行に必要な情報をＣＰＵに戻し、プログラムカウンタの示すアドレスに分岐することにより、遮断状態からプログラム実行を続行する。したがって、この構成によれば、退避させておいたプログラム続行に必要な情報の復帰を簡便に実現することが可能となる。

【００１５】

（４）また本発明によるマイクロコントローラは、

ＣＰＵと、前記ＣＰＵと電源との間に介挿された電源供給部と、前記ＣＰＵおよび前記電源供給部を制御する電源制御部と、前記ＣＰＵからプログラム続行に必要な情報を退避させる情報保持部とを備え、

前記電源制御部は、電源遮断要因の発生を受けて前記ＣＰＵに対して遮断要求信号を出力し、

前記ＣＰＵは、前記電源制御部から前記遮断要求信号を受け取ると、電源遮断のマイクロプログラムを起動して前記プログラム続行に必要な情報を前記情報保持部に退避させ、退避完了後に退避完了信号を前記電源制御部に対して出力し、

前記電源制御部は、前記ＣＰＵからの前記退避完了信号を受け取った直後に、電源復帰要因の発生を受けると、前記ＣＰＵに対して復帰要求信号を出力し、

前記ＣＰＵは、前記電源制御部からの前記復帰要求信号を受け取ると、退避情報を戻さない電源復帰のマイクロプログラムを起動し、プログラム実行を続行するように構成されている。

【００１６】

この構成においては、電源遮断のマイクロプログラムの実行において、割り込みの禁止を行わないので、電源復帰要因の発生により退避情報を戻さない電源復帰のマイクロプログラムの起動が可能となっている。電源遮断のマイクロプログラムを起動した後に、電源が遮断されることになる前に電源復帰要因が発生した場合、退避情報を戻さない電源復帰のマイクロプログラムを起動する。この場合、退避情報を戻さないことから、復帰が高速に行われる。

【００１７】

（５）また上記構成のマイクロコントローラにおいて、前記クロック生成部は、前記電源制御部から前記クロック停止の制御信号を受け取ったときの動作として、動作クロックの供給を停止するモードと停止しないモードを選択可能に構成されているという態様がある。この構成においては、モード選択により、ユーザ好みの動作を設定することが可能となる。動作クロックの供給を停止しないモードの場合、例えばタイマのカウンタを動かす等により、任意の時間に復帰することが可能となる。

【００１８】

（６）また上記構成のマイクロコントローラにおいて、前記電源制御部は、遮断可能期間を制限可能に構成されているという態様がある。この構成においては、電源制御部におけるレジスタに遮断可能期間を設定し、その期間内であれば電源遮断要因を受け付けるが、期間外であれば受け付けを行わない。このようにして、動作モードの多様性をもたせることが可能となる。

【００１９】

（７）上記構成のマイクロコントローラにおいて、前記電源遮断のマイクロプログラムは、前記プログラム続行に必要な情報を前記情報保持部のスタック領域に退避した上で、退避場所を指すスタックポインタの値のみを特定の場所に退避するという態様がある。プログラム続行に必要な情報として、プログラムカウンタ、プロセッサステータスワード、スタックポインタ等がある。この構成においては、プログラム続行に必要な情報のほとんどを情報保持部のスタック領域に退避し、退避場所を指すスタックポインタの値のみを特定の場所に退避するので、専用ロジックが最小となる。

【００２０】

（８）また上記構成のマイクロコントローラにおいて、前記電源復帰要因は、当該マイクロコントローラの割り込みシステムを使用するという態様がある。この構成においては、回路を追加作成する必要がない。

【００２１】

（９）また上記構成のマイクロコントローラにおいて、前記電源遮断要因は、外部端子から与えられる状態と命令によって与えられる状態とがあり、両者のどちらか一方または両方の方法を選択可能に構成されているという態様がある。この構成においては、マイクロコントローラをより汎用的に応用することが可能となる。

【００２２】

（１０）また上記構成のマイクロコントローラにおいて、前記電源復帰のマイクロプログラムとして、退避しておいた前記プログラム続行に必要な情報を戻してプログラムを続行するマイクロプログラム、退避しておいた前記プログラム続行に必要な情報は使用せずに設定値を戻すマイクロプログラム、リセットするマイクロプログラム等の複数種類のマイクロプログラムから選択するように構成されているという態様がある。この構成においては、選択肢の拡張により、応用範囲を広げることが可能となる。

【００２３】

（１１）また上記構成のマイクロコントローラにおいて、発生した電源遮断要因または選択された電源遮断要因の種類に応じて、電源遮断のマイクロプログラム、電源復帰のマイクロプログラムを選択的に起動するように構成されているという態様がある。この構成においては、プログラム続行に必要な情報の数を変更することが可能であり、それぞれに応じたマイクロプログラムを実行することで、効率の良いアプリケーションシステムの構築が可能となる。

【００２４】

（１２）また上記構成のマイクロコントローラにおいて、１または複数の周辺回路モジュールについて、電源遮断の範囲を設定可能で、電源復帰に必要な範囲は電源遮断せず、不必要な範囲は電源遮断するように構成されているという態様がある。この構成においては、可能な限度で消費電流の削減が可能となる。

【００２５】

（１３）また上記構成のマイクロコントローラにおいて、さらに、常に前記ＣＰＵのレジスタを監視するデバッガを備え、電源遮断時には前記デバッガによる監視データ以外を前記情報保持部に退避するように構成されているという態様がある。この構成においては、デバッガが常にＣＰＵのレジスタを監視しているので、電源遮断の際、ＣＰＵから情報保持部へ退避する情報が少なくて済み、電源遮断の実行速度が向上する。

【００２６】

（１４）また上記構成のマイクロコントローラにおいて、さらに、前記電源遮断要因をトリガとして、電源遮断範囲外の回路部分に対する供給電圧を情報保持の下限電圧まで降

圧するよう制御する第２の電源供給部を備えているという態様がある。この構成においては、電源遮断範囲外の情報保持部、その他の論理回路のリーク電流を下げることにより、省電力化を図ることが可能となる。

【００２７】

（１５）また上記構成のマイクロコントローラにおいて、さらに、電源遮断範囲内の回路部分のレジスタに対して反転値をロードする回路を備えているという態様がある。この構成においては、電源遮断のテストを行う場合に、電源を入れたままで、遮断したときと同等の条件を実現でき、テスト時間の短縮化を図ることが可能となる。

【００２８】

（１６）また本発明の通信装置は、上記のいずれかのマイクロコントローラと、外部から指示を入力する入力部と、赤外線により他の機器に信号を送信する信号送信部とを備え、一定時間外部から入力がなかった場合に、電源遮断モードに移行し、外部から入力があった場合に、それをトリガとして電源復帰モードに移行するように構成されている。

【００２９】

この構成においては、一定時間、操作がなければ電源遮断モードに移行し、入力があれば、それを復帰要因として電源復帰モードに移行する。このようにすることで、大幅な電力削減が望め、特にバッテリ駆動の通信装置の長時間駆動に有利である。

【００３０】

（１７）また本発明による記録装置は、上記のいずれかのマイクロコントローラ、映像処理ＤＳＰおよび記憶回路を有するＤＶＤレコーダ用ＬＳＩと、ＤＳＰサーボを有する光ディスクコントローラＬＳＩとを備え、一定時間毎に前記マイクロコントローラ内の前記電源制御部にタイマ割り込みをかけ、現在時刻と録画予約時刻の一定時間前時刻との比較を行い、比較結果が一致した場合、電源復帰モードに入り、録画ステートに移行するように構成されている。

【００３１】

この構成においては、録画予約時刻まで操作がない場合に、通常、スタンバイモードとするところを、電源遮断モードにすることで、電流の大幅な削減が可能となる。

【発明の効果】

【００３２】

本発明によれば、電源遮断のマイクロプログラムを用いて、プログラム続行に必要な情報の退避と電源遮断処理を一続きに実行するので、情報退避と電源遮断処理の間に割り込み処理が起動されることがなく、退避したいプログラム続行に必要な情報が電源遮断前に変化してしまうことを防止することができる。したがって、高速なレジスタ退避・復帰を簡便かつ効率的に実現することができる。また、情報退避をマイクロプログラムで実行することから、既存の配線を使って退避することが可能となり、情報退避専用の論理回路および配線数の増加を抑制することができる。

【発明を実施するための最良の形態】

【００３３】

以下、本発明にかかわるマイクロコントローラの実施の形態を図面を用いて詳細に説明する。

【００３４】

（実施の形態１）

本発明の実施の形態１は、電源遮断要因が外部端子から与えられる場合を説明するものである。図１は本発明の実施の形態１におけるマイクロコントローラの構成を示すブロック図である。マイクロコントローラＡは、ＣＰＵ１、電源制御部２、クロック生成部３、情報保持部（内蔵ＲＡＭ）４、電源供給部５、内部バス６およびタイマ回路やシリアルインターフェースなどの周辺回路（図示せず）から構成され、外部から電源Ｂが供給されている。電源供給部５は、電源ＢとＣＰＵ１の間に介挿されており、ＣＰＵ１へ供給する電圧が一定になるように制御する機能と、電源制御部２からの電源供給または電源遮断の制御信号Ｓ４を受けてＣＰＵ１への電源の供給・遮断を制御する機能をもつ。電源供給部５

は一般的な電圧レギュレータで構成される。クロック生成部３は、電源制御部２からのクロック供給またはクロック停止の制御信号Ｓ３を受けて動作クロックを供給・停止するように構成されている。

【００３５】

電源制御部２は、外部端子から与えられる電源遮断要因Ｆ１の発生を受けてＣＰＵ１に対して遮断要求信号Ｓ１を出力するように構成されている。ＣＰＵ１は、電源制御部２から遮断要求信号Ｓ１を受け取ると、電源遮断のマイクロプログラムμＰ１を起動してプログラム続行に必要な情報（プログラムカウンタＰＣ、プロセッサステータスワードＰＳＷ、スタックポインタＳＰなど）を内部バス６を介して情報保持部４に退避させ、退避完了後に退避完了信号Ｓ２を電源制御部２に対して出力するように構成されている。電源制御部２は、ＣＰＵ１からの退避完了信号Ｓ２を受け取ると、クロック生成部３に対してクロック停止の制御信号Ｓ３を出力すると同時に、電源供給部５に対して電源遮断の制御信号Ｓ４を出力するように構成されている。電源供給部５は、電源制御部２から電源遮断の制御信号Ｓ４を受け取ると、ＣＰＵ１に対する電源供給を遮断するように構成されている。

【００３６】

また、電源制御部２は、外部端子から与えられる電源復帰要因Ｆ２の発生を受けて電源供給部５に対して電源供給の制御信号Ｓ４を出力するように構成されている。電源供給部５は、電源制御部２から電源供給の制御信号Ｓ４を受け取ると、ＣＰＵ１に対する電源供給を開始するように構成されている。電源制御部２は、ＣＰＵ１に供給された電源電圧が安定するのを待って、ＣＰＵ１に対して復帰要求信号Ｓ５を出力するとともに、クロック生成部３に対してクロック供給の制御信号Ｓ３を出力するように構成されている。クロック生成部３は、電源制御部２からのクロック供給の制御信号Ｓ３を受け取ると、動作クロックの供給を再開するように構成されている。ＣＰＵ１は、電源制御部２からの復帰要求信号Ｓ５を受け取ると、電源復帰のマイクロプログラムμＰ２を起動し、電源遮断時に情報保持部４に退避させておいたプログラム続行に必要な情報を内部バス６を介してＣＰＵ１に戻し、最後にプログラムカウンタの示すアドレスに分岐することで、遮断状態からプログラム実行を続行するように構成されている。

【００３７】

電源遮断要因Ｆ１は、例えばレジスタ、タイマのオーバーフロー割り込み等であり、電源制御部２の外部から与えられる。電源復帰要因Ｆ２は、外部割り込み、シリアル通信割り込み、タイマのオーバーフロー割り込み等であり、いずれかを選択することが可能である。

【００３８】

次に、上記のように構成された本実施の形態のマイクロコントローラＡの電源遮断処理の動作を図２のフローチャートと図３のタイミングチャートに従って説明する。

【００３９】

まずステップｎ１において、電源遮断要因Ｆ１が発生し、これが外部端子から電源制御部２に入力されると、電源制御部２は遮断要求信号Ｓ１をＣＰＵ１へ出力する。

【００４０】

次いでステップｎ２において、電源制御部２から遮断要求信号Ｓ１を受け取ったＣＰＵ１は、通常の命令実行を終了した後、電源遮断のマイクロプログラムμＰ１を起動する。ここでのマイクロプログラムとは、命令や割り込み処理などを実行するために、ＣＰＵ１の内部資源を制御する制御プログラムのことである。

【００４１】

次いでステップｎ３において、電源遮断のマイクロプログラムμＰ１は、プログラム続行に必要な情報（ＰＣ，ＰＳＷ，ＳＰなど）を内部バス６を介して情報保持部４やレジスタに退避し、最後に電源制御部２に対して退避完了信号Ｓ２を出力する。

【００４２】

次いでステップｎ４において、退避完了信号Ｓ２を受け取った電源制御部２は、クロック生成部３に対してクロック停止の制御信号Ｓ３を出力すると同時に、電源供給部５に対

して電源遮断の制御信号Ｓ４を出力する。
【００４３】
次いでステップｎ５において、電源遮断の制御信号Ｓ４を受け取った電源供給部５は、ＣＰＵ１に対する電源供給を遮断し、ＣＰＵ１の電源遮断が完了する。
【００４４】
次に、電源遮断から復帰する動作を図４のフローチャートに従って説明する。
【００４５】
まずステップｎ１１において、電源復帰要因Ｆ２が発生し、これが外部端子から電源制御部２に入力されると、電源制御部２は電源供給の制御信号Ｓ４を電源供給部５へ出力する。
【００４６】
次いでステップｎ１２において、電源供給の制御信号Ｓ４を受け取った電源供給部５はＣＰＵ１に対する電源供給を開始する。電源電圧監視回路や安定待ちタイマなどにより、供給された電源電圧が安定し、発振回路が出力する発振波形が安定するのを待って、電源制御部２からクロック生成部３に対してクロック供給の制御信号Ｓ３を出力する。同時に電源制御部２からＣＰＵ１に対して復帰要求信号Ｓ５を出力する。
【００４７】
次いでステップｎ１３において、クロック生成部３は動作クロックの供給を再開する。
【００４８】
次いでステップｎ１４において、復帰要求信号Ｓ５を受け取ったＣＰＵ１は、電源復帰のマイクロプログラムμＰ２を起動する。
【００４９】
次いでステップｎ１５において、電源復帰のマイクロプログラムμＰ２によって、電源遮断時に情報保持部４に退避させておいたプログラム続行に必要な情報（ＰＣ，ＰＳＷ，ＳＰなど）を内部バス６を介してＣＰＵ１に戻す。
【００５０】
最後にステップｎ１６において、プログラムカウンタＰＣの示すアドレスに分岐することで、遮断状態からプログラム実行を続行することが可能となり、プログラム実行を続行する。
【００５１】
次に、電源遮断前のどこかで電源復帰要因Ｆ２が発生した場合の動作を図５のフローチャートに従って説明する。このフローチャートは、電源遮断のマイクロプログラムμＰ１によって情報を退避させた直後に電源復帰要因Ｆ２が発生した場合に対応している。
【００５２】
まずステップｎ２１において、電源遮断要因Ｆ１が電源制御部２に入力されたことを受け、電源制御部２はＣＰＵ１へ遮断要求信号Ｓ１を出力する。
【００５３】
次いでステップｎ２２において、遮断要求信号Ｓ１を受け取ったＣＰＵ１は、電源遮断のマイクロプログラムμＰ１を起動する。
【００５４】
次いでステップｎ２３において、プログラム続行に必要な情報を内部バス６を介して情報保持部４やレジスタに退避し、最後に電源制御部２に対して退避完了信号Ｓ２を出力する。
【００５５】
次いでステップｎ２４において、電源復帰要因Ｆ２が電源制御部２に入力されると、電源制御部２からＣＰＵ１に対して復帰要求信号Ｓ５を出力する。
【００５６】
次いでステップｎ２５において、復帰要求信号Ｓ５を受け取ったＣＰＵ１は、退避情報を戻さない電源復帰のマイクロプログラムμＰ２′を起動する。
【００５７】

次いでステップｎ２６において、電源復帰のマイクロプログラムμＰ２′は、退避情報を戻さずにプログラム実行を続行する。

【００５８】

本実施の形態によれば、プログラム続行に必要な情報の退避と電源遮断処理を一続きのマイクロプログラムで実行することによって、情報退避と電源遮断処理の間で割り込み処理が起動されることがないため、退避したいレジスタの値が電源遮断前に変化してしまうことが避けられる。したがって、割り込み許可の状態で電源遮断処理を実行することができることから、割り込み処理は電源遮断前に受け付けることが可能である。また、情報退避をマイクロプログラムで実行することから、もともとマイクロコントローラがもっていた配線を使って退避することが可能となり、情報退避専用の論理回路および配線数の増加は最少に抑えることが可能である。

【００５９】

なお、上記の実施の形態の変形の態様として、次のように構成してもよい。

【００６０】

クロック生成部３は、電源制御部２からクロック停止の制御信号Ｓ３を受け取ったときの動作として、レジスタ、信号または端子等での設定により、動作クロックの供給を停止するモードと停止しないモードを選択可能に構成してもよい。この構成においては、モード選択により、ユーザ好みの動作を設定することが可能である。動作クロックの供給を停止しないモードの場合、例えばタイマのカウンタを動かす等により、任意の時間に復帰することが可能である。

【００６１】

また、電源制御部２は、遮断可能期間を制限可能に構成してもよい。電源制御部２は電源遮断要因Ｆ１を外部端子から与えられるものであるが、レジスタに遮断可能期間を設定し、例えばイネーブルが立っている期間内であれば電源遮断要因Ｆ１を受け付けるが、期間外であれば受け付けを行わないものとする。このようにして、動作モードの多様性をもたせることが可能である。

【００６２】

また、電源遮断のマイクロプログラムμＰ１は、プログラム続行に必要な情報（プログラムカウンタ、プロセッサステータスワード、スタックポインタ等）を情報保持部４のスタック領域に退避した上で、退避場所を指すスタックポインタの値のみを特定の場所に退避するように構成してもよい。この構成においては、退避場所を指すスタックポインタの値のみを特定の場所に退避するので、専用ロジックが最小となる。

【００６３】

さらに、電源復帰要因Ｆ２としてマイクロコントローラＡの割り込みシステムを使用するように構成すれば、回路を追加作成する必要がない。

【００６４】

（実施の形態２）

上記の実施の形態１が電源遮断要因が外部端子から与えられるものであるのに対して、本発明の実施の形態２は、電源遮断要因が命令によって与えられる場合を説明するものである。図６は本発明の実施の形態２におけるマイクロコントローラの構成を示すブロック図である。電源遮断要因Ｆ１が電源制御部２から外され、ＣＰＵ１の内部で発生するようになっている。電源制御部２からＣＰＵ１への遮断要求信号Ｓ１もない。その他の構成については、実施の形態１の場合の図１と同様であるので、説明を省略する。図７は実施の形態２のマイクロコントローラの電源遮断処理の動作を示すタイミングチャートである。図３の場合の電源遮断要因Ｆ１と遮断要求信号Ｓ１はない。

【００６５】

次に、以上のように構成された本実施の形態のマイクロコントローラの動作を説明する。

【００６６】

まず、電源遮断の動作について説明する。電源遮断処理のフローチャートは実施の形態

１の場合の図２と同様である。
【００６７】
ＣＰＵ１においてあらかじめ定義された電源遮断要因Ｆ１に対応する電源遮断命令がＣＰＵ１でデコードされると、ＣＰＵ１は電源遮断のマイクロプログラムμＰ１を起動し、プログラム続行に必要な情報を情報保持部４やレジスタへ退避し、最後に電源制御部２に対して退避完了信号Ｓ２を出力する。退避完了信号Ｓ２を受け取った電源制御部２は、クロック生成部３に対してクロック停止の制御信号Ｓ３を出力すると同時に、電源供給部５に対して電源遮断の制御信号Ｓ４を出力する。電源遮断の制御信号Ｓ４を受け取った電源供給部５はＣＰＵ１に対する電源供給を遮断し、ＣＰＵ１の電源遮断が完了する。電源遮断から復帰する動作については、実施の形態１と同様であるので説明を省略する。
【００６８】
本実施の形態によれば、電源遮断命令を電源遮断要因Ｆ１とすることで、ソフトウェアにより容易に電源遮断にすることが可能である。
【００６９】
なお、図８に示すように、電源遮断要因Ｆ１が外部端子から与えられる状態と、電源遮断要因Ｆ１が命令によって与えられる状態との両方を用意しておき、どちらか一方または両方の方法をレジスタや端子等で選択するように構成することも可能である。この構成においては、マイクロコントローラをより汎用的に応用することが可能である。
【００７０】
また、電源復帰に際して、
（ａ）退避しておいたプログラム続行に必要な情報を戻して、プログラムを続行するマイクロプログラム、
（ｂ）ある特定番地へ飛び、専用の初期化、復帰のアプリケーションプログラムを走らせることにより、退避情報は使用せずに設定値を戻すマイクロプログラム、
（ｃ）リセットするマイクロプログラム
等、実行すべき電源復帰のマイクロプログラムμＰ２を複数種類用意しておき、レジスタ、信号、端子等によって選択するように構成することも可能である。
【００７１】
さらに、発生した電源遮断要因Ｆ１または選択された電源遮断要因Ｆ１の種類に応じて、電源遮断のマイクロプログラムμＰ１、電源復帰のマイクロプログラムμＰ２を選択的に起動することも可能である。この構成では、プログラム続行に必要な情報の数が変わるため、それに応じたマイクロプログラムを実行することで効率の良いアプリケーションシステムが構築できる。
【００７２】
（実施の形態３）
図９は本発明の実施の形態３におけるマイクロコントローラの構成を示すブロック図である。図９において、実施の形態１の図１におけるのと同じ符号は同一構成要素を指している。７はシリアルインターフェース、８はタイマ、９はシリアルインターフェース７に対する電源供給をオン・オフするための第１の切替回路、１０はタイマ８に対する電源供給をオン・オフするための第２の切替回路である。第１の切替回路９は、電源Ｂから受給した内部動作電源をシリアルインターフェース７に対して常時に供給するか遮断するかの切り替えを行う。第２の切替回路１０は、電源Ｂから受給した内部動作電源をタイマ８に対して常時に供給するか遮断するかの切り替えを行う。第１の切替回路９、第２の切替回路１０は一般的なアナログスイッチや電圧レギュレータで構成される。シリアルインターフェース７は電源制御部２に対して電源復帰要因Ｆ２になる信号Ｓ６を出力するように構成されている。タイマ８は電源制御部２に対して電源復帰要因Ｆ２になる信号Ｓ７を出力するように構成されている。電源制御部２からＣＰＵ１への復帰要求信号Ｓ５はない。その他の構成については、実施の形態１と同様であるので、説明を省略する。
【００７３】
次に、以上のように構成された本実施の形態のマイクロコントローラの動作を説明する

。
【００７４】
第１の切替回路９をオン状態として内部動作電源を供給するモードとするとき、シリアルインターフェース７は電源遮断時にも常に内部動作電源が供給されるので、シリアル通信が可能である。このとき、図４のステップｎ１１での電源復帰要因Ｆ２は、シリアルインターフェース７が１フレーム分の情報を受け取ったときの割り込み、シリアルインターフェース７のスレーブクロックの立ち上がり等になる。例えば、シリアルインターフェース７のスレーブクロックで復帰する場合は、シリアルインターフェース７のシフトバッファ部とウェークアップ回路のみ電源供給し、それ以外の部分の電源遮断することが可能である。
【００７５】
また、第２の切替回路１０をオン状態として内部動作電源を供給するモードとするとき、タイマ８は電源遮断時にも常に内部動作電源が供給される。そこで、設定された一定の時間毎に割り込みを発生させるようにしておけば、特定の時間だけ電源遮断処理を行うことができる。
【００７６】
例えば録画装置では、システム制御のマイクロコントローラが録画時刻の数十秒前に割り込みをかけ、電源を復帰させる仕組みを持つが、この割り込みを電源復帰要因Ｆ２として利用することも可能である。また、タイマ８で復帰する場合は、時計タイマと時計クロック発振回路とウェークアップ回路に対してのみ電源供給し、それ以外を電源遮断することができ、待機電力を大幅に削減できる。
【００７７】
（実施の形態４）
図１０は本発明の実施の形態４におけるマイクロコントローラの構成を示すブロック図である。マイクロコントローラには、通常、ソフトウェアをデバッグするための制御を行うオンチップデバッガ（ＯＣＤ）１１が搭載されている。オンチップデバッガ１１は、常にＣＰＵ１のレジスタを監視し、ＣＰＵ１の内部動作の情報を保持するデータ保持回路をもっており、保持した情報を専用端子を通して外部に出力することで、チップ外部においてマイクロコントローラのデバッグを行うようになっている。オンチップデバッガ１１は、実施の形態１の場合の図１に比べて、ＣＰＵ１から電源制御部２への退避完了信号Ｓ２は必ずしも必要としない。ＣＰＵ１に対して供給された電源電圧が安定すると、電源制御部２はデータ復帰要求信号Ｓ８をオンチップデバッガ１１に対して出力するように構成されている。オンチップデバッガ１１は、データ復帰要求信号Ｓ８を受け取ると、それ自体に内蔵のデータ保持回路に退避されている電源遮断時のデータを内部バス６を介してＣＰＵ１に戻すように構成されている。
【００７８】
次に、上記のように構成された本実施の形態のマイクロコントローラＡの電源遮断処理の動作を図１１のフローチャートに従って説明する。
【００７９】
まずステップｎ３１において、電源遮断要因Ｆ１が発生し、これが電源制御部２に入力されると、電源制御部２は、クロック停止の制御信号Ｓ３をクロック生成部３へ出力すると同時に、電源遮断の制御信号Ｓ４を電源供給部５へ出力する。
【００８０】
次いでステップｎ３２において、クロック停止の制御信号Ｓ３を受け取ったクロック生成部３は動作クロックの供給を停止する。
【００８１】
次いでステップｎ３３において、電源遮断の制御信号Ｓ４を受け取った電源供給部５はＣＰＵ１に対する電源供給を遮断し、ＣＰＵ１の電源遮断が完了する。ＣＰＵ１のレジスタはオンチップデバッガ１１によって常に監視されているので、電源遮断の際に、ＣＰＵ１から情報保持部４へ退避する情報は、監視データ以外の少ないデータで済む。

【００８２】
次に、上記のように構成された本実施の形態のマイクロコントローラの電源復帰処理の動作を図１２のフローチャートに従って説明する。
【００８３】
まずステップｎ４１において、電源復帰要因Ｆ２が発生し、これが電源制御部２に入力されると、電源制御部２は電源供給の制御信号Ｓ４を電源供給部５へ出力する。
【００８４】
次いでステップｎ４２において、電源供給の制御信号Ｓ４を受け取った電源供給部５は、ＣＰＵ１に対する電源供給を開始する。電源電圧監視回路や安定待ちタイマなどにより、供給された電源電圧が安定し、発振回路が出力する発振波形が安定するのを待って、電源制御部２からクロック生成部３に対してクロック供給の制御信号Ｓ３を出力する。同時に電源制御部２からオンチップデバッガ１１へデータ復帰要求信号Ｓ８を出力する。
【００８５】
次いでステップｎ４３において、クロック生成部３は動作クロックの供給を再開する。
【００８６】
次いでステップｎ４４において、データ復帰要求信号Ｓ８を受け取ったオンチップデバッガ１１は、それ自体に内蔵のデータ保持回路に退避されている電源遮断時のデータを内部バス６を介してＣＰＵ１に戻し、最後にプログラムカウンタＰＣの示すアドレスに分岐することで、遮断状態からプログラム実行を続行することが可能である。ＣＰＵ１は、プログラム実行を続行する。
【００８７】
本実施の形態によれば、オンチップデバッガ１１が常にＣＰＵ１のレジスタを監視しているので、電源遮断の際、ＣＰＵ１から情報保持部４へ退避する情報が少なくて済み、電源遮断の実行速度が向上する。
【００８８】
（実施の形態５）
図１３は本発明の実施の形態５におけるマイクロコントローラの構成を示すブロック図である。第１の電源供給部５とは別に第２の電源供給部１２を備えている。第２の電源供給部１２は、電源Ｂと電源制御部２、クロック生成部３、情報保持部４の間に介挿されており、電源制御部２、クロック生成部３、情報保持部４へ供給する電圧が一定になるようにする機能と、電源制御部２からの電源遮断の制御信号Ｓ９を受け取ると、電源制御部２、クロック生成部３、情報保持部４への電源を制御する機能をもっている。第２の電源供給部１２は、一般的な電圧レギュレータで構成される。その他の構成については、実施の形態１の場合の図１と同様であるので、説明を省略する。
【００８９】
次に、以上のように構成された本実施の形態のマイクロコントローラの動作を説明する。
【００９０】
電源遮断要因Ｆ１が発生すると、電源制御部２は、第２の電源供給部１２に対して電源遮断の制御信号Ｓ９を出力する。電源遮断の制御信号Ｓ９を受け取った第２の電源供給部１２は、内部動作電源を降圧して、電源制御部２、クロック生成部３、情報保持部４に供給する。このときの降圧の制御は、情報を保持できる下限電圧まで下げるものとする。
【００９１】
本実施の形態によれば、情報保持部４、その他の論理回路のリーク電流を下げることができ、省電力化を図ることが可能である。
【００９２】
（実施の形態６）
図１４は本発明の実施の形態６におけるマイクロコントローラの構成を示すブロック図である。１３はテストモード信号Ｓ１０と電源遮断の制御信号Ｓ４とを入力し、電源供給部５に出力するゲート回路である。その他の構成については、実施の形態１と同様である

ので、説明を省略する。
【００９３】
図１５はＣＰＵ１の内部構造を示す。ＣＰＵ１において、テストモード信号Ｓ１０と遮断シーケンス信号Ｓ１１がそれぞれアサート状態にあるとき、ゲート回路１４の出力がアサートされ、セレクタ１６は通常のデータＳ１２に代えて、排他的論理和ゲート１５の出力を選択するようになる。ここで、排他的論理和ゲート１５は、退避完了信号Ｓ２と退避必要レジスタ１７からの出力信号Ｓ１３との排他的論理和をとる。すなわち、退避完了信号Ｓ２がワンショットパルスでアサートされると、退避必要レジスタ１７からの出力信号Ｓ１３を反転し、セレクタ１６および退避必要レジスタ１７を介して反転データＳ１３として出力される。この処理のタイミングチャートを示したのが図１６である。
【００９４】
次に、上記のように構成された本実施の形態のマイクロコントローラのテスト処理の動作を図１６のタイミングチャートと図１７のフローチャートに従って説明する。
【００９５】
まずステップｎ５１において、ＣＰＵ１は外部入力の組み合わせ等によってテストモード信号Ｓ１０を発行する。テストモード信号Ｓ１０がアサートされると、ゲート回路１３は電源制御部２から電源供給部５への制御信号Ｓ４を無効化する。したがって、制御信号Ｓ４がアサートされるようになっても、電源供給部５に対しては無効で、電源遮断モードには入らないようになる。
【００９６】
次いでステップｎ５２において、電源遮断要因Ｆ１が発生すると、電源制御部２からＣＰＵ１へ遮断要求信号Ｓ１を出力する。
【００９７】
次いでステップｎ５３において、遮断要求信号Ｓ１を受け取ったＣＰＵ１は、通常の命令実行を終了した後、電源遮断のマイクロプログラムμＰ１を起動する。
【００９８】
次いでステップｎ５４において、電源遮断のマイクロプログラムμＰ１は、プログラム続行に必要な情報を情報保持部４やレジスタへ退避するとともに、電源制御部２に対して退避完了信号Ｓ２を出力する。
【００９９】
次いでステップｎ５５において、退避完了信号Ｓ２を受け取った電源制御部２は、クロック生成部３に対してクロック停止の制御信号Ｓ３を出力し、クロック生成部３は動作クロックの供給を停止する。
【０１００】
次いでステップｎ５６において、反転データＳ１３をＣＰＵ１に上書きすることでその状態を擬似的に実現し、電源遮断状態とする。
【０１０１】
本実施の形態によれば、反転データＳ１３をもたせて擬似的に電源遮断を実現することで、電源を入れたままで、遮断したときと同等の条件を実現できることから、テストを高速化でき、テストコストを抑えることが可能である。電源遮断のテストをする場合、テスタ上では電源遮断／復帰の設定は多くのテスト時間を費やすが、電源を入れたままで、遮断したときと同等の条件を実現できれば、テスト時間の短縮化を図ることが可能である。
【０１０２】
（実施の形態７）
図１８は本発明の実施の形態７における通信装置の概略図、図１９は実施の形態７の場合のマイクロコントローラの構成を示すブロック図である。
【０１０３】
通信装置において入力部２１のキー入力によるキー入力信号はマイクロコントローラＡへ出力され、それを受けたマイクロコントローラＡは赤外発光ダイオードからなる信号送信部２２へデータを出力する。信号送信部２２は、赤外線でＤＶＤやテレビ本体のフォト

ダイオードにデータを転送する。

【０１０４】

次に、上記のように構成された本実施の形態のマイクロコントローラＡの電源遮断処理の動作を図２０のフローチャートに従って説明する。

【０１０５】

まずステップｎ６１において、通信装置の入力部２１よりキー入力がない場合、次いでステップｎ６２において、タイマ８のカウントを開始する。

【０１０６】

次いでステップｎ６３において、通信装置の入力部２１よりキー入力が一定の時間行われなかった場合、次いでステップｎ６４において、タイマ８から電源遮断要因Ｆ３を出力する。電源遮断要因Ｆ３が電源制御部２に入力されたことを受け、電源制御部２はＣＰＵ１へ遮断要求信号Ｓ１を出力する。

【０１０７】

次いでステップｎ６５において、遮断要求信号Ｓ１を受け取ったＣＰＵ１は、通常の命令実行を終了した後、電源遮断のマイクロプログラムμＰ１を起動する。

【０１０８】

次いでステップｎ６６において、プログラム続行に必要な情報を内部バス６を介して情報保持部４やレジスタに退避し、最後に電源制御部２に対して退避完了信号Ｓ２を出力する。

【０１０９】

次いでステップｎ６７において、退避完了信号Ｓ２を受け取った電源制御部２は、クロック生成部３に対してクロック停止の制御信号Ｓ３を出力すると同時に、電源供給部５に対して電源遮断の制御信号Ｓ４を出力する。

【０１１０】

次いでステップｎ６８において、電源遮断の制御信号Ｓ４を受け取った電源供給部５はＣＰＵ１とタイマ８に対する電源供給を遮断し、ＣＰＵ１の電源遮断が完了する。

【０１１１】

ステップｎ６１とステップｎ６３において、通信装置の入力部２１よりキー入力があった場合は、次いでステップｎ６９において、赤外線送信ステートへ移行する。

【０１１２】

次に、上記のように構成された本実施の形態のマイクロコントローラの電源復帰の動作を図２１のフローチャートに従って説明する。

【０１１３】

まずステップｎ７１において、通信装置の入力部２１よりキー入力があると、ステップＳ７２において、通信装置の入力部２１からのキー入力である電源復帰要因Ｆ２が電源制御部２に入力される。電源制御部２は電源供給部５に対して電源供給の制御信号Ｓ４を出力する。

【０１１４】

次いでステップｎ７３において、電源供給の制御信号Ｓ４を受け取った電源供給部５はＣＰＵ１に対する電源供給を開始する。電源電圧監視回路や安定待ちタイマなどにより、供給された電源電圧が安定し、発振回路が出力する発振波形が安定するのを待って、電源制御部２からクロック生成部３に対してクロック供給の制御信号Ｓ３を出力する。同時に電源制御部２からＣＰＵ１に対して復帰要求信号Ｓ５を出力する。

【０１１５】

次いでステップｎ７４において、クロック生成部３は動作クロックの供給を再開する。

【０１１６】

次いでステップｎ７５において、復帰要求信号Ｓ５を受け取ったＣＰＵ１が電源復帰のマイクロプログラムμＰ２を起動する。

【０１１７】

次いでステップｎ７６において、電源復帰のマイクロプログラムμＰ２によって、電源

遮断時に退避させておいたプログラム続行に必要な情報を戻し、赤外線送信ステートへ移行する。最後にプログラムカウンタＰＣの示すアドレスに分岐することで、遮断状態からプログラム実行を続行することが可能である。

【０１１８】

ステップｎ７１において、通信装置の入力部２１よりキー入力がない場合、次いでステップｎ７８において、電源遮断モードのままとする。

【０１１９】

以上のように、リモコン等の通信装置のアプリに利用する場合は、ストップモードの代わりなので、一定時間ボタンが押されなくなれば、電源遮断モードに移行する。電源復帰は、通信装置での入力を復帰要因とし、電源復帰モードに移行する。

【０１２０】

本実施の形態によれば、通信装置本体に利用する場合は、一定時間、操作がなければ電源遮断モードに移行し、再び入力があれば、それを復帰要因とし、電源復帰モードに移行する。このようにすることで、大幅な電力削減が望める。

【０１２１】

（実施の形態８）

図２２は本発明の実施の形態８における記録装置のシステム構成図、図２３は実施の形態８におけるマイクロコントローラの構成を示すブロック図である。

【０１２２】

図２２に示すように、映像は、３次元ＹＣ分離内蔵ビデオデコーダ２３内の３次元ＹＣ分離とビデオデコーダ回路を通って、ＤＶＤレコーダ用ＬＳＩ２５に入力される。ＤＶＤレコーダ用ＬＳＩ２５で、映像処理ＤＳＰ２７を通り、出力される。ＤＶＤドライブは光ディスクコントローラＬＳＩ２４のＤＳＰサーボを通り、ＤＶＤレコーダ用ＬＳＩ２５に入力される。ＤＶＤレコーダ用ＬＳＩ２５で、映像処理ＤＳＰ２７とマイクロコントローラＡを通り、出力される。

【０１２３】

図２３のマイクロコントローラＡにおいては、タイマ８は一定時間毎に電源制御部２に対してタイマ割り込みＳ１４をかけるように構成されている。

【０１２４】

録画機等の記録装置で利用する場合、記録装置では、システム制御のマイクロコントローラが録画時刻の数十秒前に割り込みをかけ、電源を復帰させる仕組みをもつが、この割り込みを利用する。

【０１２５】

次に、上記のように構成された本実施の形態のマイクロコントローラの電源復帰の動作を図２４のフローチャートに従って説明する。

【０１２６】

まずステップｎ８１において、電源遮断モードに移行する。

【０１２７】

次いでステップｎ８２において、タイマ８が電源制御部２に対してタイマ割り込みＳ１４を出力する。

【０１２８】

次いでステップｎ８３において、タイマ割り込みＳ１４を受け取った電源制御部２は電源供給部５に対して電源供給の制御信号Ｓ４を出力する。電源供給の制御信号Ｓ４を受け取った電源供給部５は、ＣＰＵ１に対する電源供給を再開する。

【０１２９】

次いでステップｎ８４において、ＣＰＵ１は、情報保持部４に格納されている録画予約時刻の一定時間前の時刻と現在の時刻を比較する。

【０１３０】

次いでステップｎ８５において、比較結果が一致した場合、電源復帰モードに移行する。

【０１３１】
次いでステップｎ８６において、アンテナやマイクロコントローラＡ自身や、マイクロコントローラＡを含むシステムに電源供給する。
【０１３２】
次いでステップｎ８７において、録画処理ステートに移行する。
【０１３３】
ステップｎ８４で比較結果が不一致だった場合、ステップｎ８８に進み、電源遮断命令を実行し、ステップｎ８１の電源遮断モードに戻る。
【０１３４】
本実施の形態によれば、記録装置で録画予約時刻まで操作がない場合に、通常、スタンバイモードとするところを、電源遮断モードにすることで、消費電流を大幅に削減することができる。
【０１３５】
以上、本発明の実施例を説明したが、本発明はその技術的思想のもとに種々の変形が可能である。
【産業上の利用可能性】
【０１３６】
本発明の技術は、内部動作電圧供給を遮断したスタンバイ状態あるいは内部動作電圧を下げた状態等を実現する際に、プログラム続行可能な電源遮断モードを実現し、プログラム続行に必要な情報を簡便かつ高速に退避・復帰させることができるマイクロコントローラとして有用である。また、通信装置や記録装置としても有用である。
【図面の簡単な説明】
【０１３７】
【図１】本発明の実施の形態１におけるマイクロコントローラの構成を示すブロック図
【図２】本発明の実施の形態１におけるマイクロコントローラの電源遮断処理の動作を示すフローチャート
【図３】本発明の実施の形態１におけるマイクロコントローラの電源遮断処理の動作を示すタイミングチャート
【図４】本発明の実施の形態１におけるマイクロコントローラの電源復帰処理の動作を示すフローチャート
【図５】本発明の実施の形態１におけるマイクロコントローラの電源遮断処理の途中で復帰要因がきた場合の動作を示すフローチャート
【図６】本発明の実施の形態２におけるマイクロコントローラの構成を示すブロック図
【図７】本発明の実施の形態２におけるマイクロコントローラの電源遮断処理の動作を示すタイミングチャート
【図８】本発明の実施の形態２の変形の態様におけるマイクロコントローラの構成を示すブロック図
【図９】本発明の実施の形態３におけるマイクロコントローラの構成を示すブロック図
【図１０】本発明の実施の形態４におけるマイクロコントローラの構成を示すブロック図
【図１１】本発明の実施の形態４におけるマイクロコントローラの電源遮断処理の動作を示すフローチャート
【図１２】本発明の実施の形態４におけるマイクロコントローラの電源復帰処理の動作を示すフローチャート
【図１３】本発明の実施の形態５におけるマイクロコントローラの構成を示すブロック図
【図１４】本発明の実施の形態６におけるマイクロコントローラの構成を示すブロッ

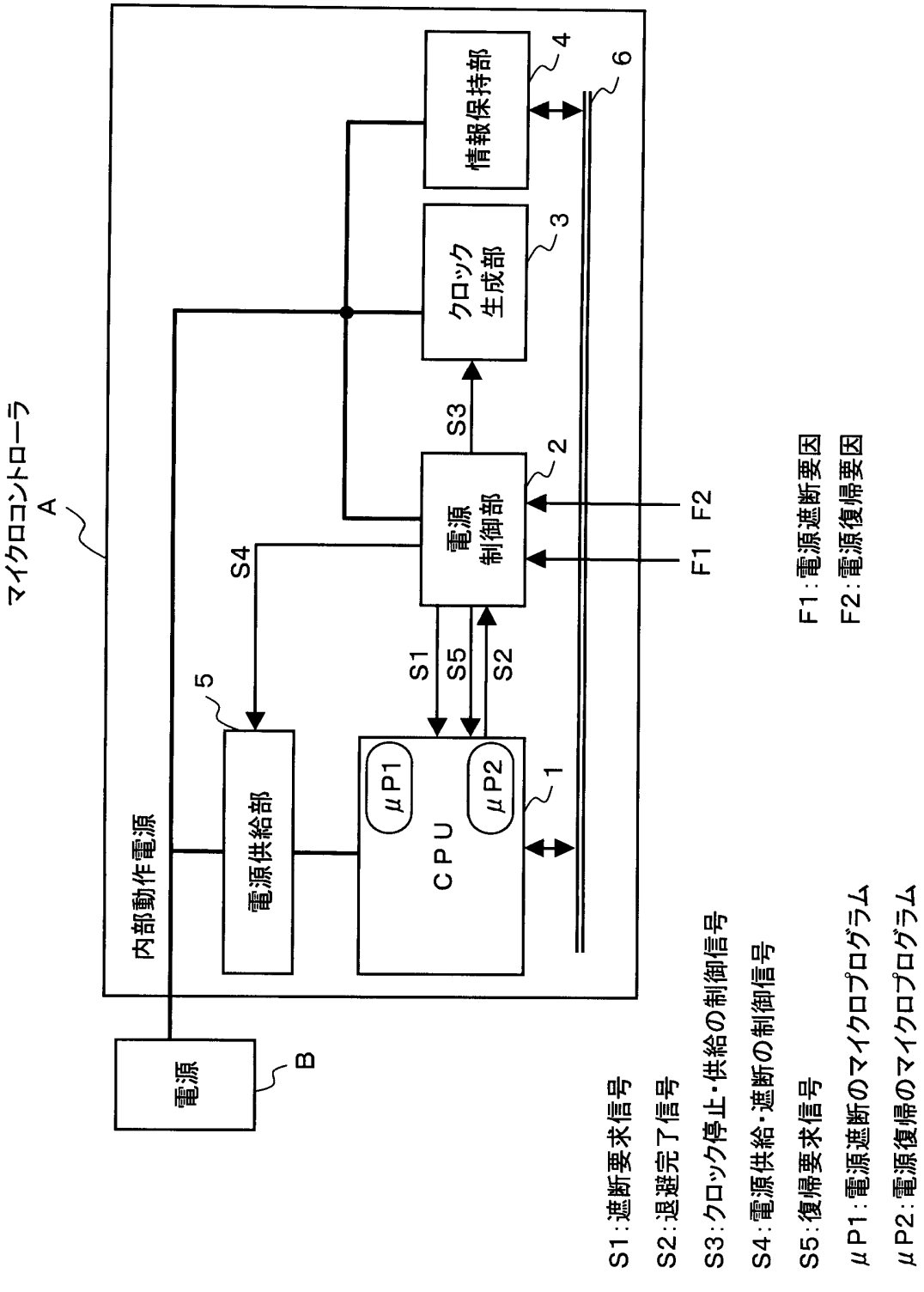
ク図
【図１５】本発明の実施の形態６におけるマイクロコントローラのＣＰＵの内部の詳しい構成を示すブロック図
【図１６】本発明の実施の形態６におけるマイクロコントローラのテスト時の動作を示すタイミングチャート
【図１７】本発明の実施の形態６におけるマイクロコントローラのテスト時の動作を示すフローチャート
【図１８】本発明の実施の形態７における通信装置の概略図
【図１９】本発明の実施の形態７におけるマイクロコントローラの構成を示すブロック図
【図２０】本発明の実施の形態７におけるマイクロコントローラの電源遮断処理の動作を示すフローチャート
【図２１】本発明の実施の形態７におけるマイクロコントローラの電源復帰処理の動作を示すフローチャート
【図２２】本発明の実施の形態８における記録装置のシステム構成図
【図２３】本発明の実施の形態８におけるマイクロコントローラの構成を示すブロック図
【図２４】本発明の実施の形態８におけるマイクロコントローラの電源復帰処理の動作を示すフローチャート

【符号の説明】

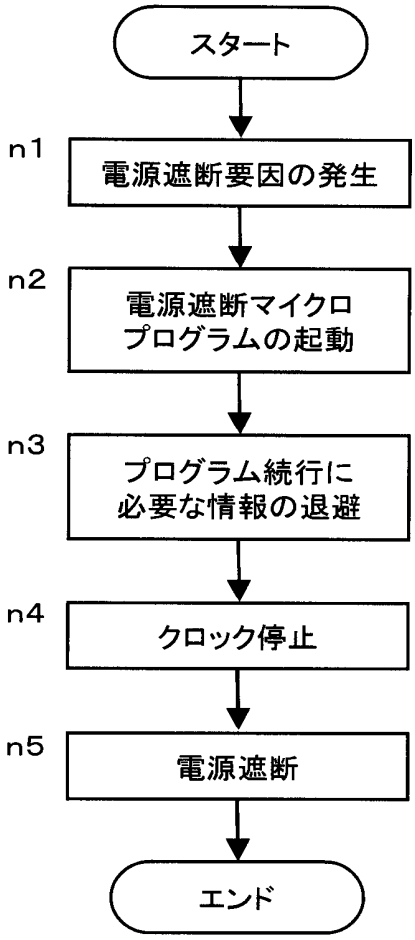
【０１３８】
１　ＣＰＵ（中央演算処理装置）
２　電源制御部
３　クロック生成部
４　情報保持部（内蔵ＲＡＭ）
５　電源供給部（第１の電源供給部）
６　内部バス
７　シリアルインターフェース
８　タイマ
９　第１の切替回路
１０　第２の切替回路
１１　オンチップデバッガ
１２　第２の電源供給部
１３，１４　ゲート回路
１５　排他的論理和ゲート
１６　セレクタ
１７　退避必要レジスタ
２１　入力部
２２　信号送信部
２３　３次元ＹＣ分離内蔵ビデオデコーダ
２４　光ディスクコントローラＬＳＩ
２５　ＤＶＤレコーダ用ＬＳＩ
２６　記憶回路
２７　映像処理ＤＳＰ
Ａ　マイクロコントローラ
Ｂ　電源
Ｆ１　電源遮断要因
Ｆ２　電源復帰要因
Ｓ１　遮断要求信号
Ｓ２　退避完了信号

Ｓ３　クロック供給またはクロック停止の制御信号
Ｓ４　電源供給または電源遮断の制御信号
Ｓ５　復帰要求信号
Ｓ８　データ復帰要求信号
Ｓ９　電源遮断の制御信号
Ｓ１０　テストモード信号
Ｓ１１　遮断シーケンス信号
Ｓ１２　通常のデータ
Ｓ１３　反転データ
Ｓ１４　タイマ割り込み
μＰ１　電源遮断のマイクロプログラム
μＰ２　電源復帰のマイクロプログラム

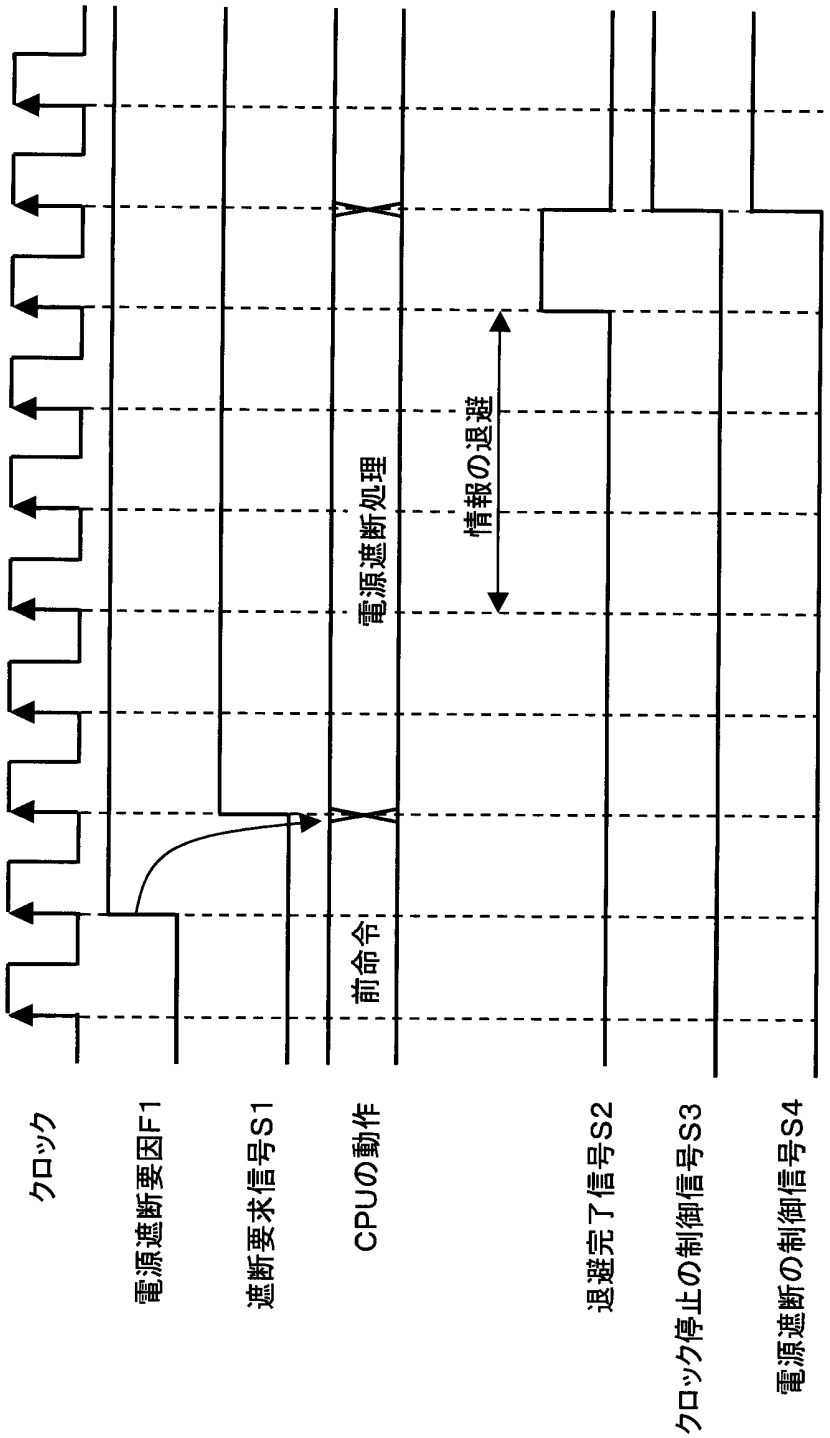
【書類名】図面
【図１】


マイクロコントローラ
A
内部動作電源
電源
B
電源供給部
5
CPU
μP1
μP2
1
電源
制御部
2
クロック
生成部
3
情報保持部
4
6
S1
S2
S3
S4
S5
F1 F2
S1:遮断要求信号
S2:退避完了信号
S3:クロック停止・供給の制御信号
S4:電源供給・遮断の制御信号
S5:復帰要求信号
μP1:電源遮断のマイクロプログラム
μP2:電源復帰のマイクロプログラム
F1:電源遮断要因
F2:電源復帰要因

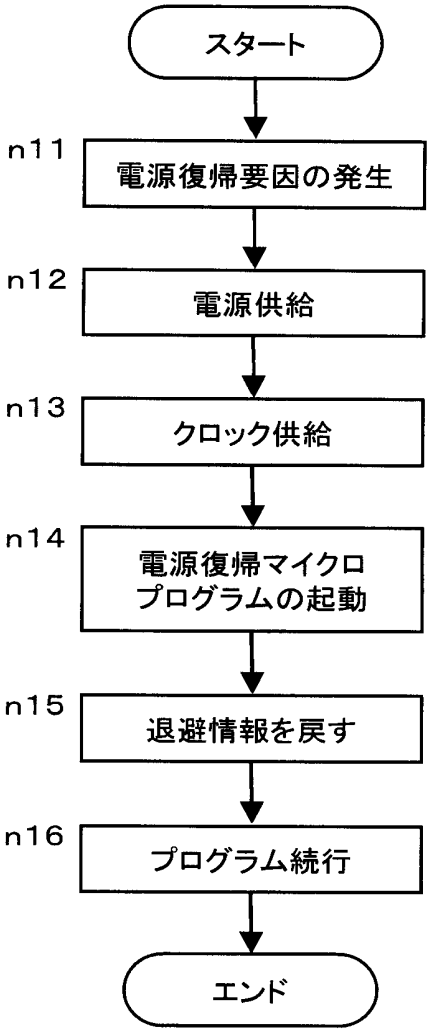
【図２】


スタート
n1
電源遮断要因の発生
n2
電源遮断マイクロ
プログラムの起動
n3
プログラム続行に
必要な情報の退避
n4
クロック停止
n5
電源遮断
エンド

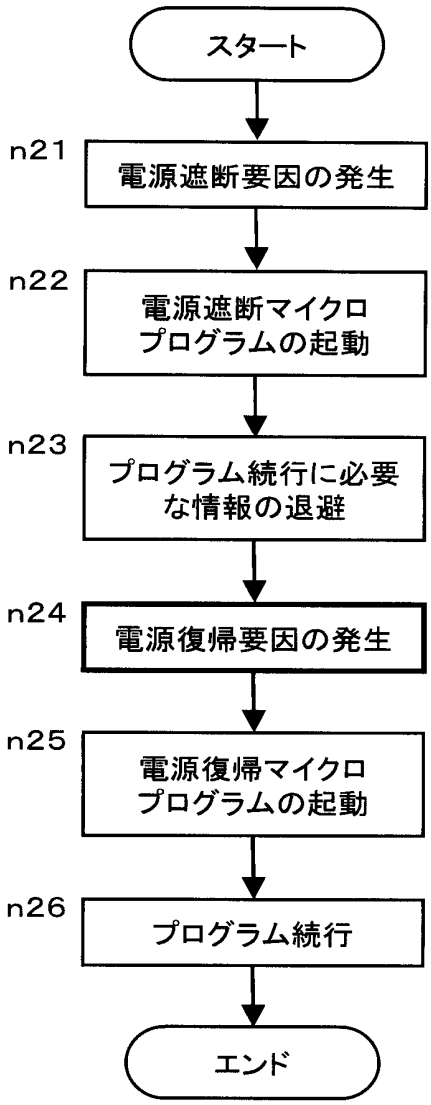
【図３】


クロック
電源遮断要因F1
遮断要求信号S1
CPUの動作
前命令
電源遮断処理
情報の退避
退避完了信号S2
クロック停止の制御信号S3
電源遮断の制御信号S4

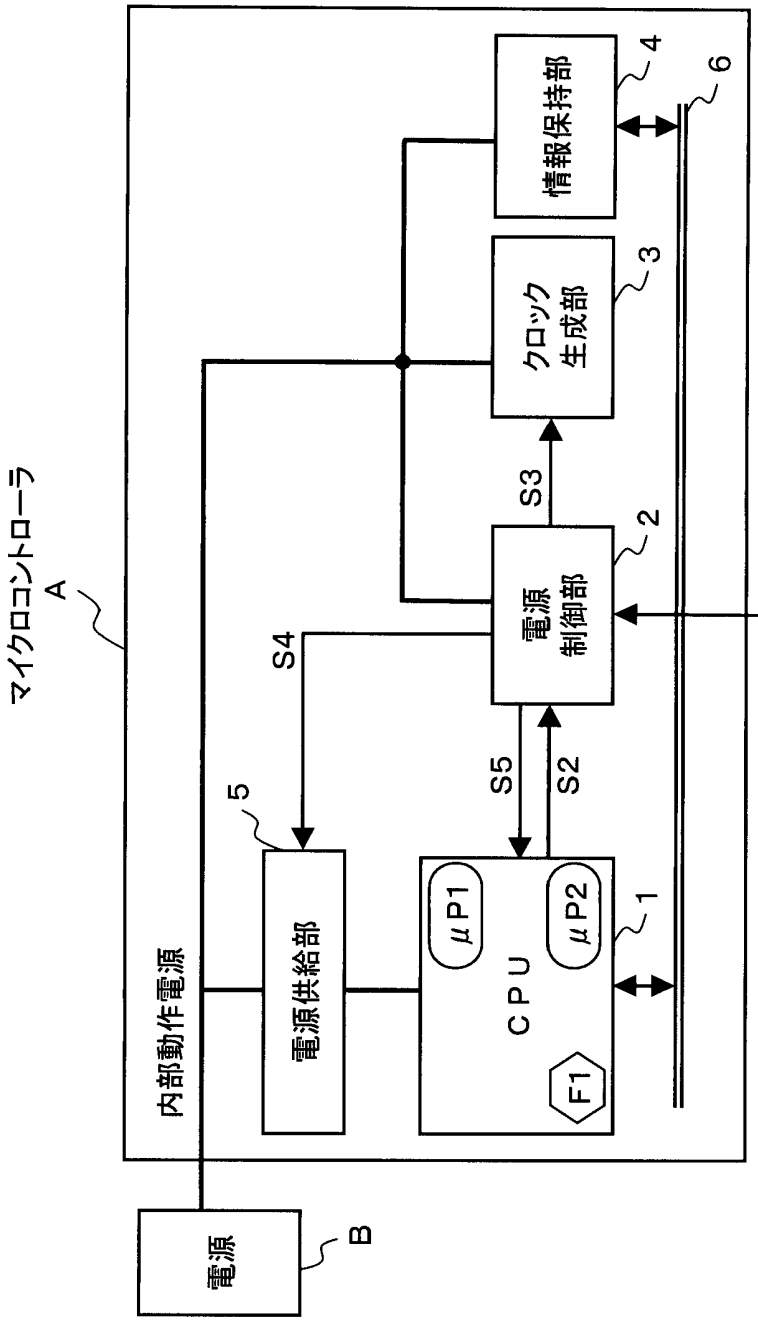
【図４】


スタート
n11
電源復帰要因の発生
n12
電源供給
n13
クロック供給
n14
電源復帰マイクロ
プログラムの起動
n15
退避情報を戻す
n16
プログラム続行
エンド

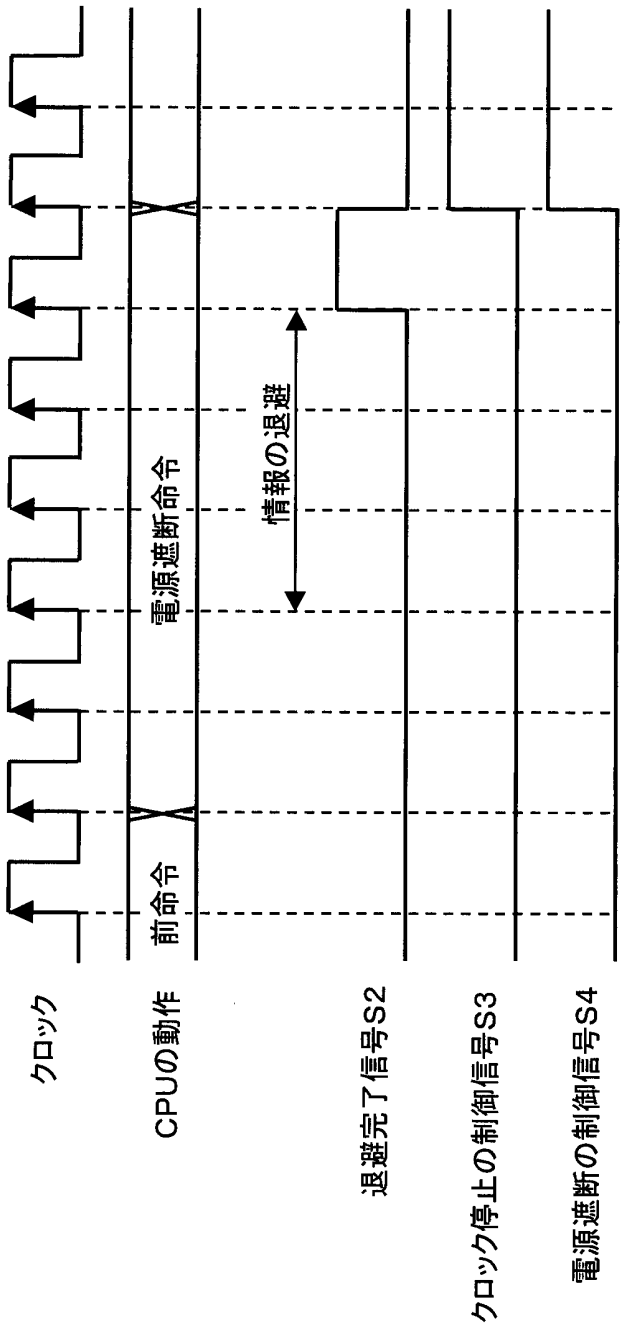
【図５】


スタート
n21
電源遮断要因の発生
n22
電源遮断マイクロプログラムの起動
n23
プログラム続行に必要な情報の退避
n24
電源復帰要因の発生
n25
電源復帰マイクロプログラムの起動
n26
プログラム続行
エンド

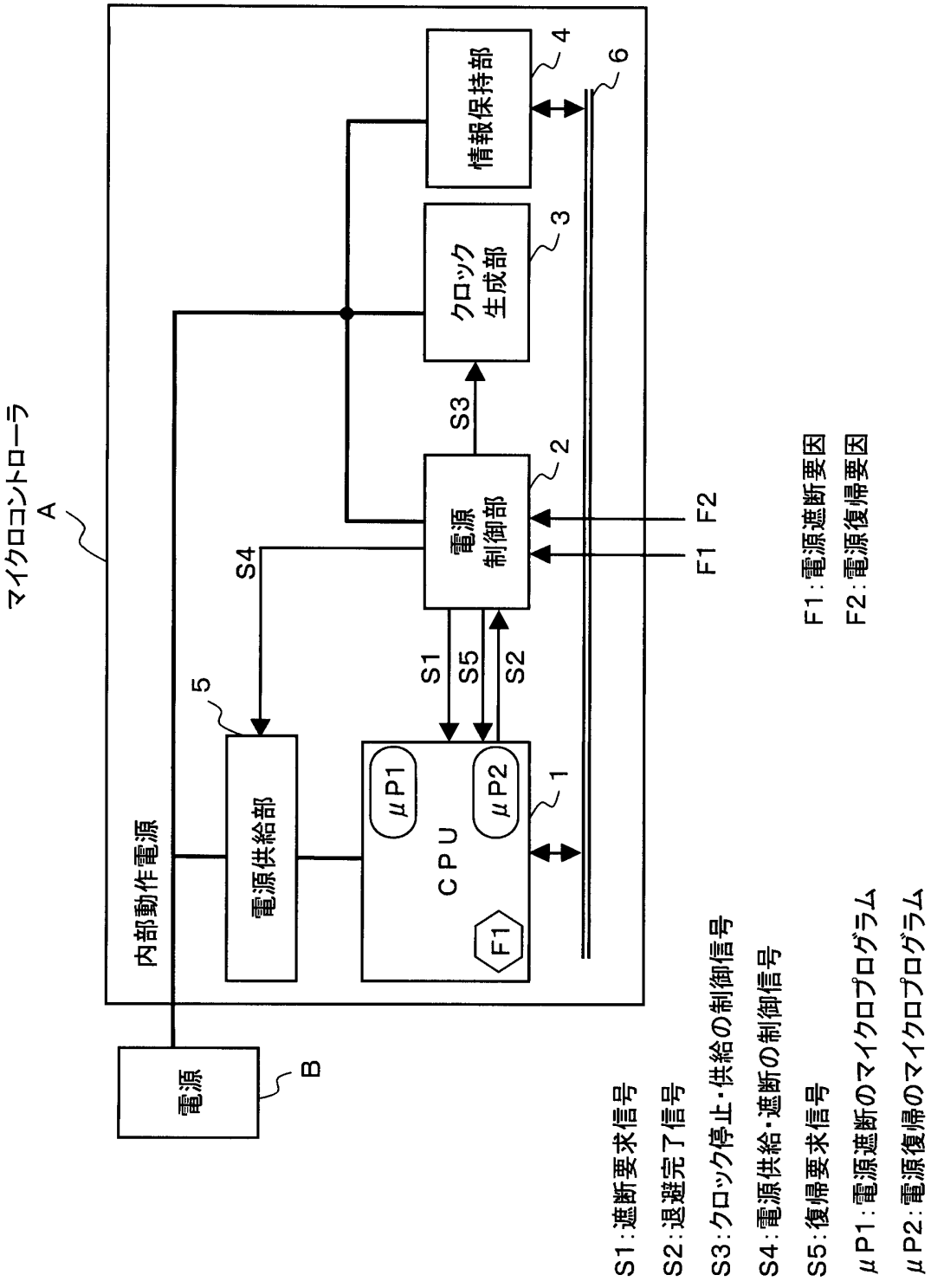
【図６】


マイクロコントローラ
A
内部動作電源
電源
B
電源供給部
5
CPU
μP1
μP2
F1
1
電源
制御部
2
クロック
生成部
3
情報保持部
4
6
S2
S3
S4
S5
F2
S2：退避完了信号
S3：クロック停止・供給の制御信号
S4：電源供給・遮断の制御信号
S5：復帰要求信号
μP1：電源遮断のマイクロプログラム
μP2：電源復帰のマイクロプログラム
F1：電源遮断要因
F2：電源復帰要因

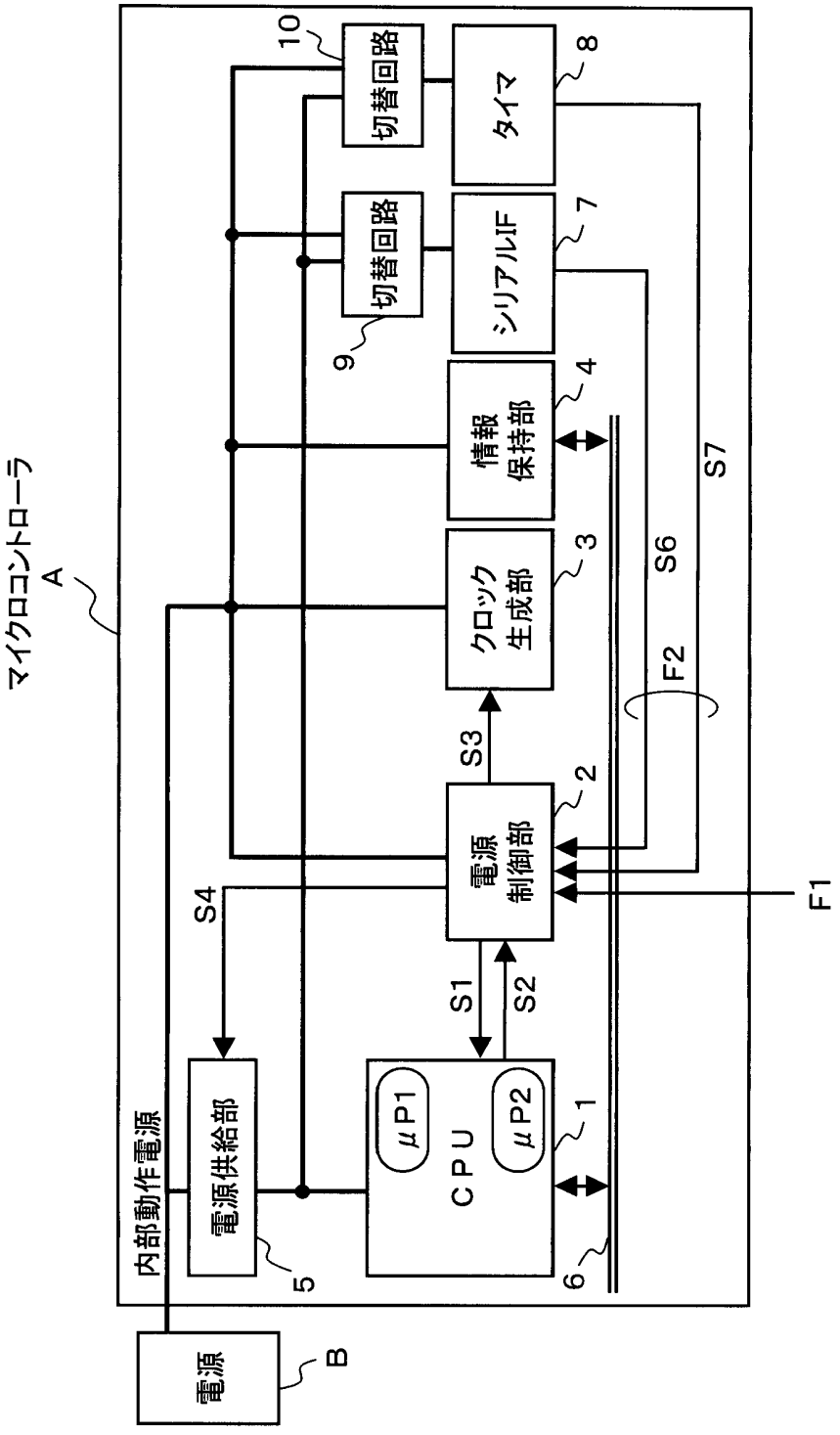
【図７】


クロック
CPUの動作
前命令
電源遮断命令
情報の退避
退避完了信号S2
クロック停止の制御信号S3
電源遮断の制御信号S4

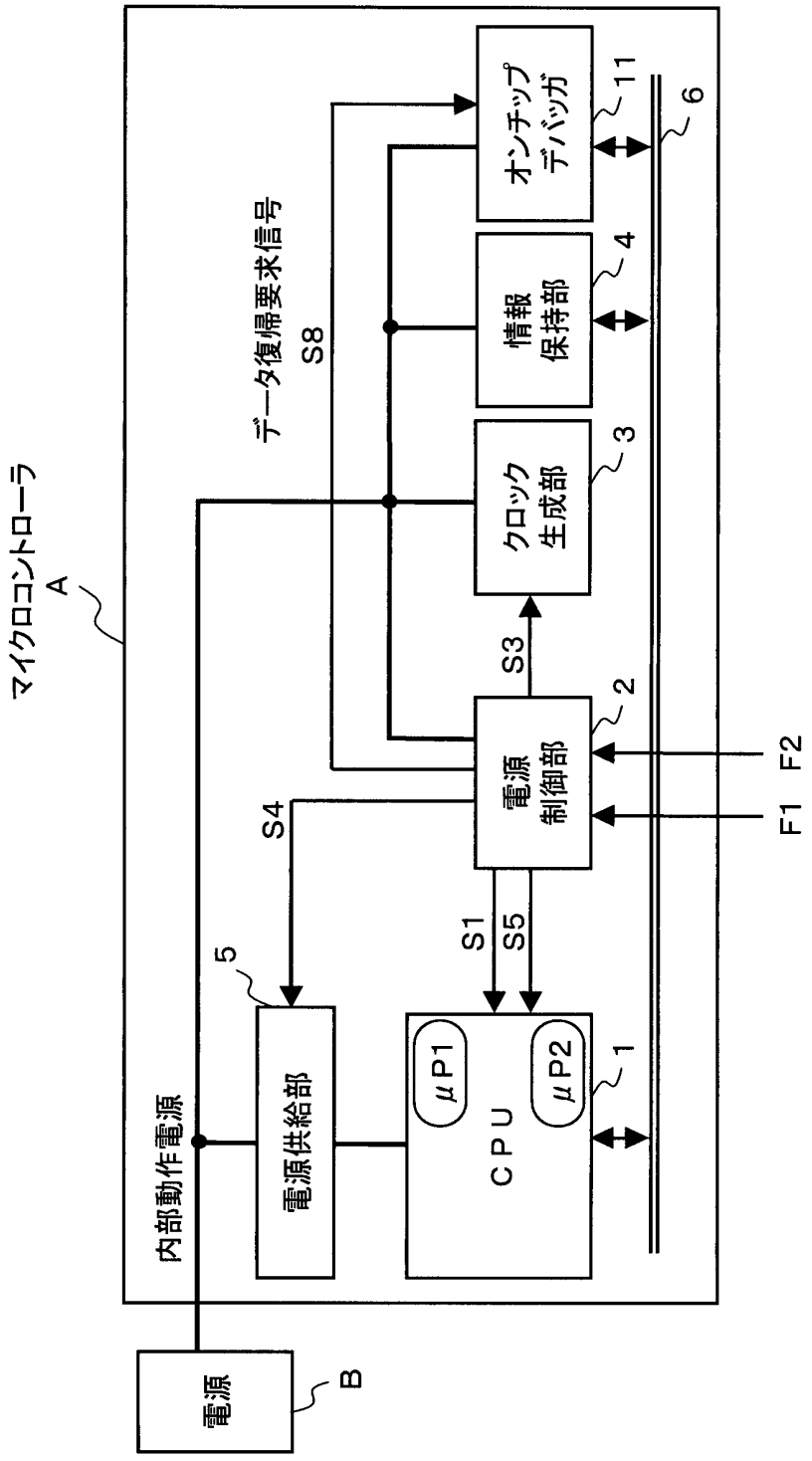
【図８】


マイクロコントローラ
A
内部動作電源
電源
B
電源供給部
5
CPU
μP1
μP2
F1
1
電源
制御部
2
クロック
生成部
3
情報保持部
4
6
S1
S2
S3
S4
S5
F1 F2
S1:遮断要求信号
S2:退避完了信号
S3:クロック停止・供給の制御信号
S4:電源供給・遮断の制御信号
S5:復帰要求信号
F1:電源遮断要因
F2:電源復帰要因
μP1:電源遮断のマイクロプログラム
μP2:電源復帰のマイクロプログラム

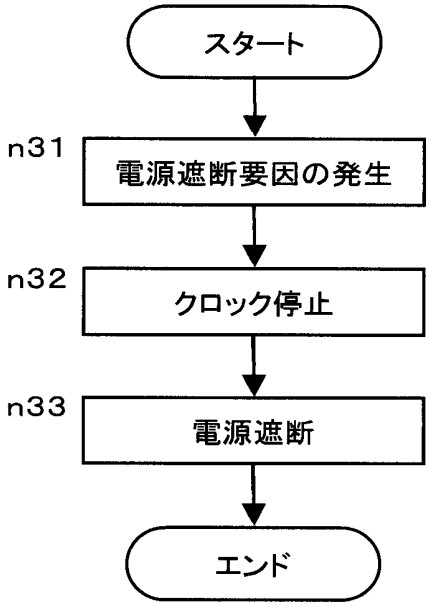
【図９】


マイクロコントローラ
A
内部動作電源
電源
B
電源供給部
5
CPU
μP1
μP2
1
6
電源
制御部
2
S1
S2
S3
S4
クロック
生成部
3
情報
保持部
4
シリアルIF
7
タイマ
8
切替回路
9
切替回路
10
S6
S7
F1
F2

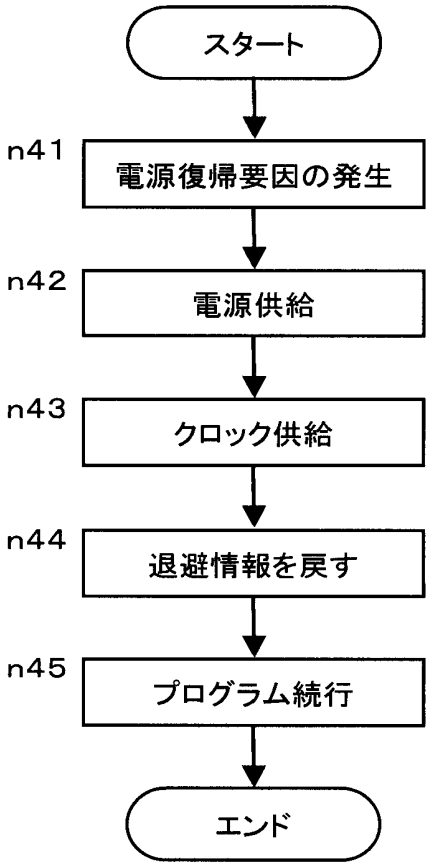
【図１０】


マイクロコントローラ
A
内部動作電源
電源
B
電源供給部
5
CPU
μP1
μP2
1
S1
S5
S4
電源
制御部
2
S3
クロック
生成部
3
データ復帰要求信号
S8
情報
保持部
4
オンチップ
デバッガ
11
6
F1
F2

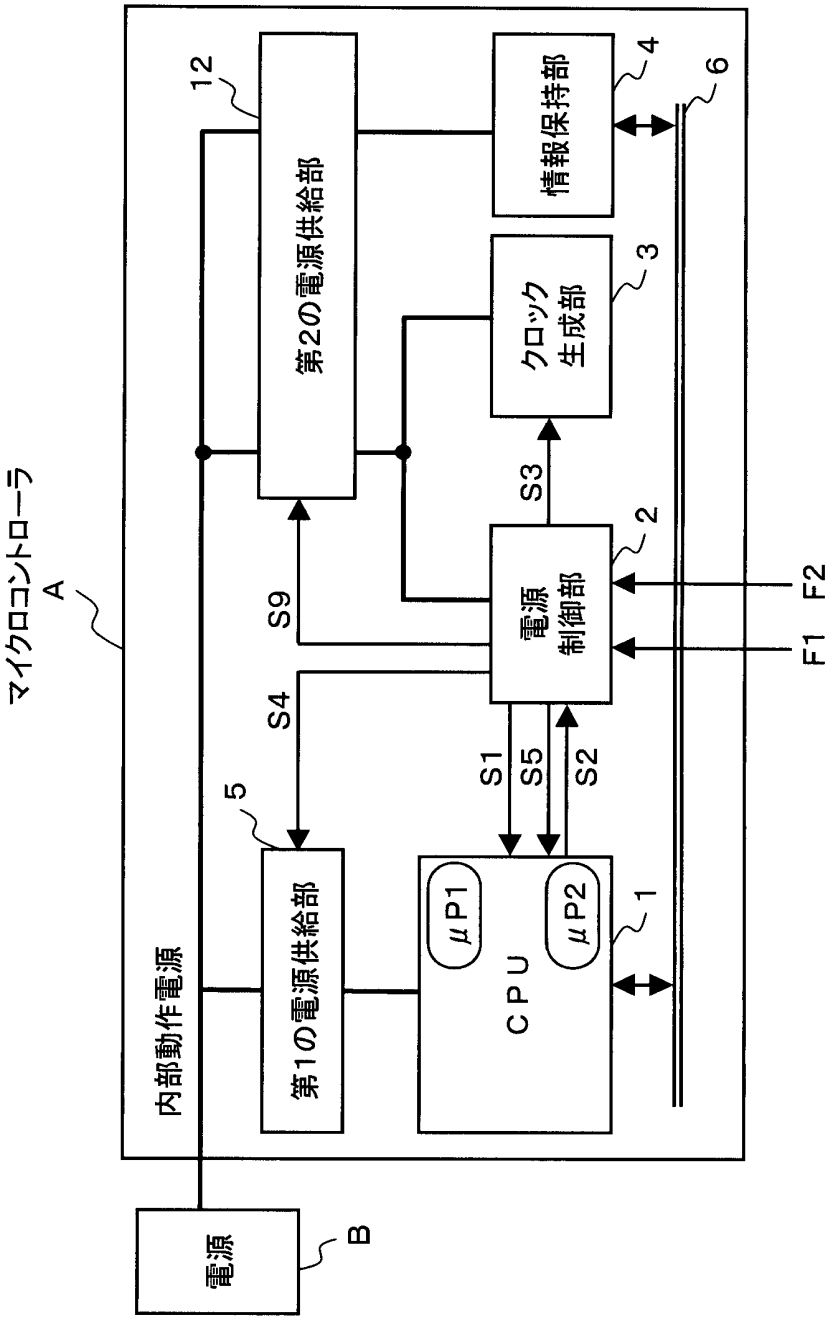
【図１１】



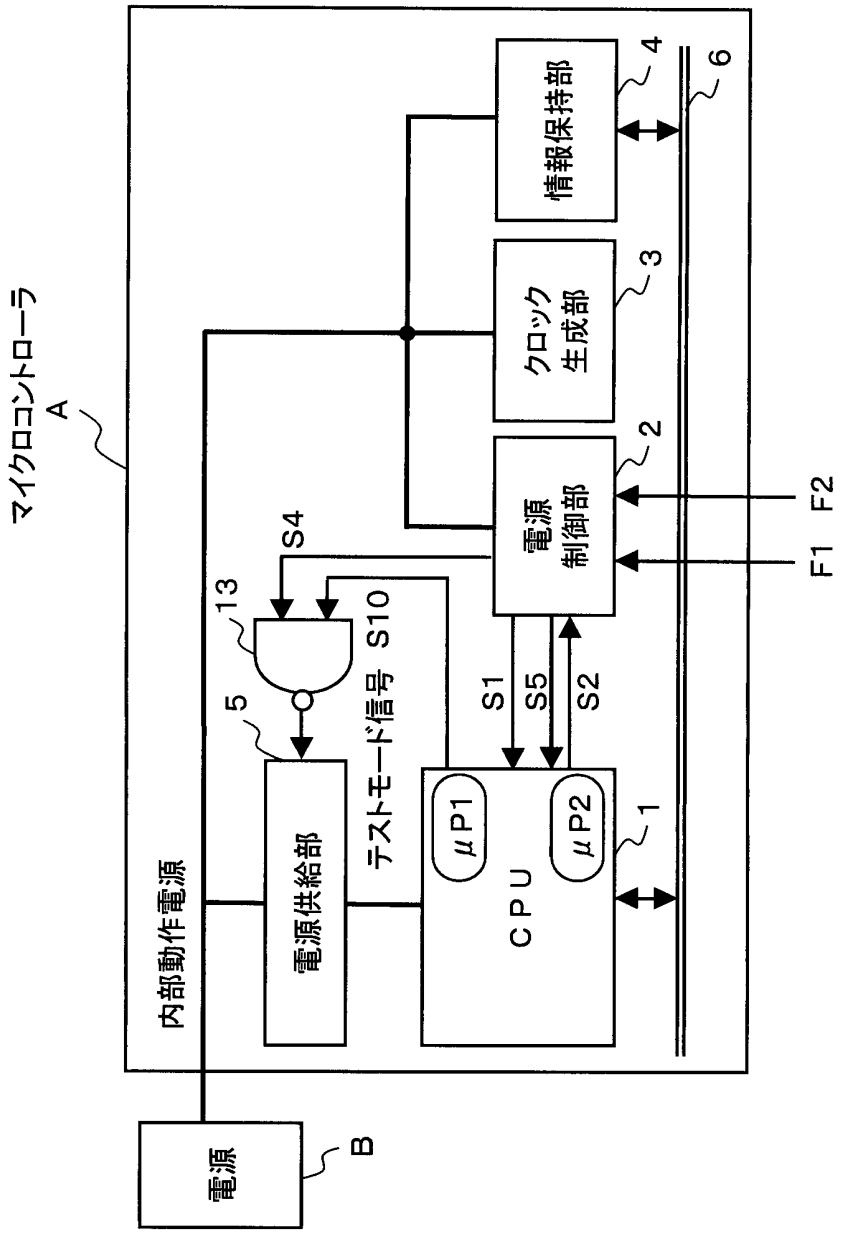
【図１２】


スタート
n41
電源復帰要因の発生
n42
電源供給
n43
クロック供給
n44
退避情報を戻す
n45
プログラム続行
エンド

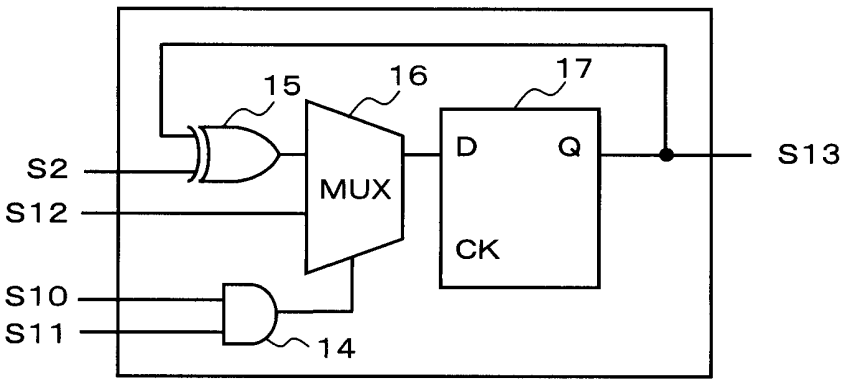
【図１３】


マイクロコントローラ
A
内部動作電源
電源
B
第1の電源供給部
5
第2の電源供給部
12
CPU
μP1
μP2
1
電源
制御部
2
クロック
生成部
3
情報保持部
4
6
S1
S2
S3
S4
S5
S9
F1
F2

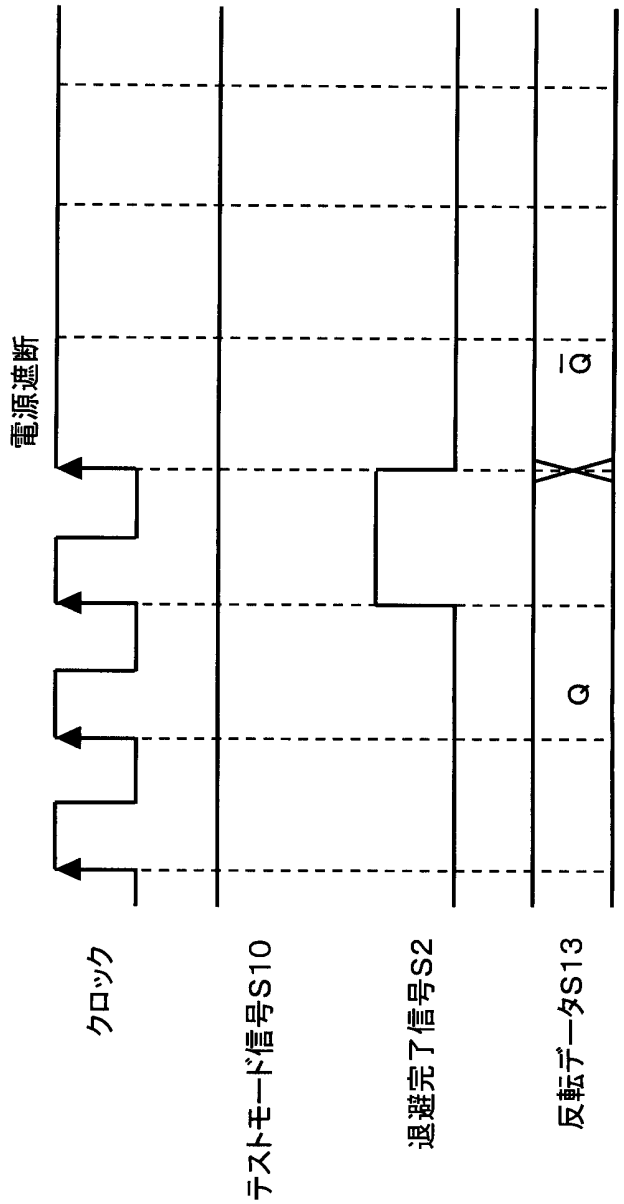
【図１４】


マイクロコントローラ
A
内部動作電源
電源
B
電源供給部
5
13
S4
テストモード信号 S10
CPU
μP1
μP2
1
S1
S5
S2
電源
制御部
2
クロック
生成部
3
情報保持部
4
6
F1
F2

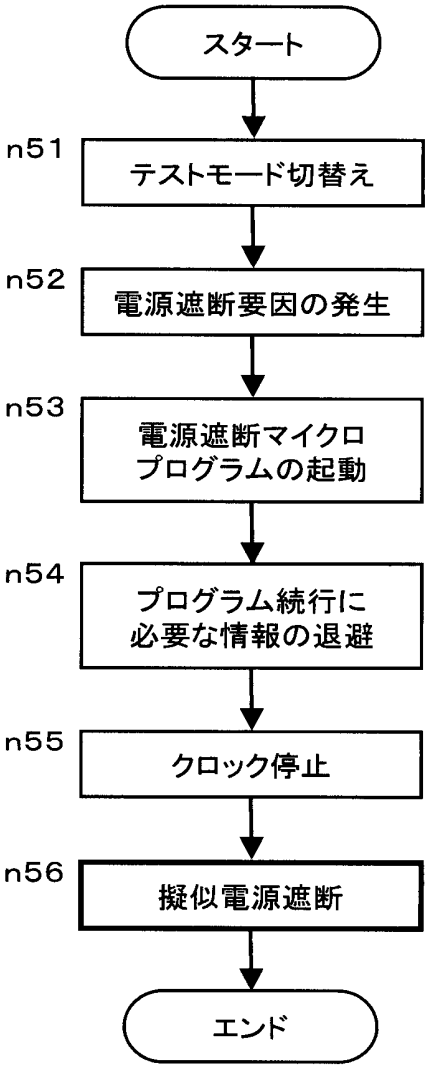
【図１５】



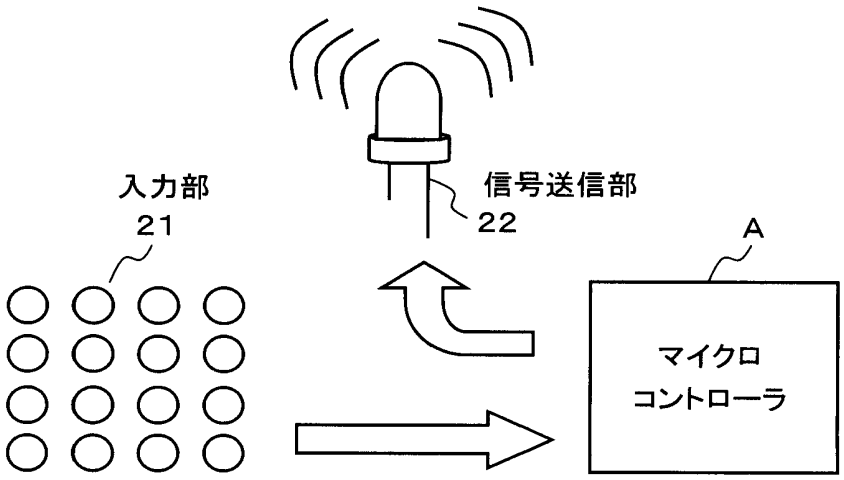
【図１６】



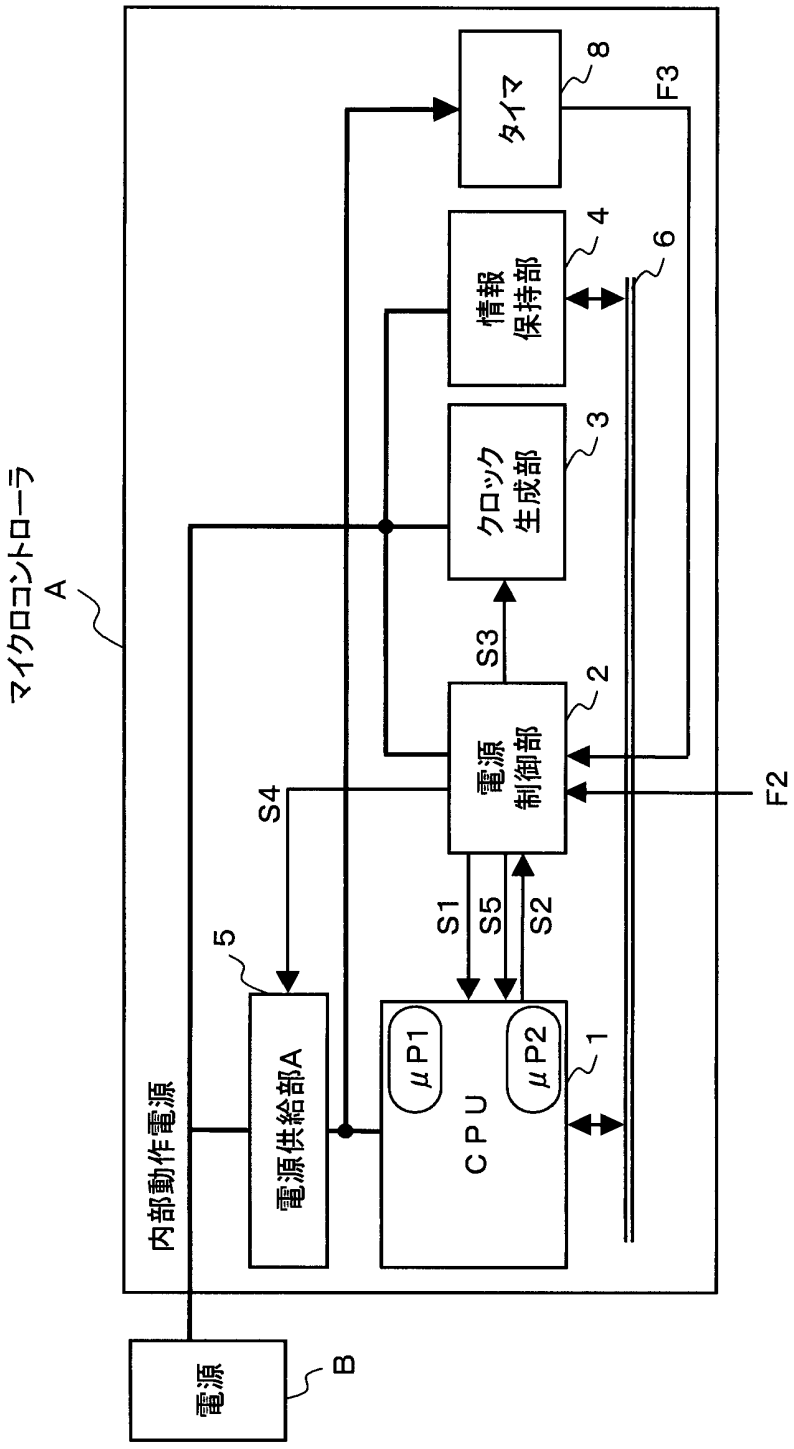
【図１７】


スタート
n51
テストモード切替え
n52
電源遮断要因の発生
n53
電源遮断マイクロ
プログラムの起動
n54
プログラム続行に
必要な情報の退避
n55
クロック停止
n56
擬似電源遮断
エンド

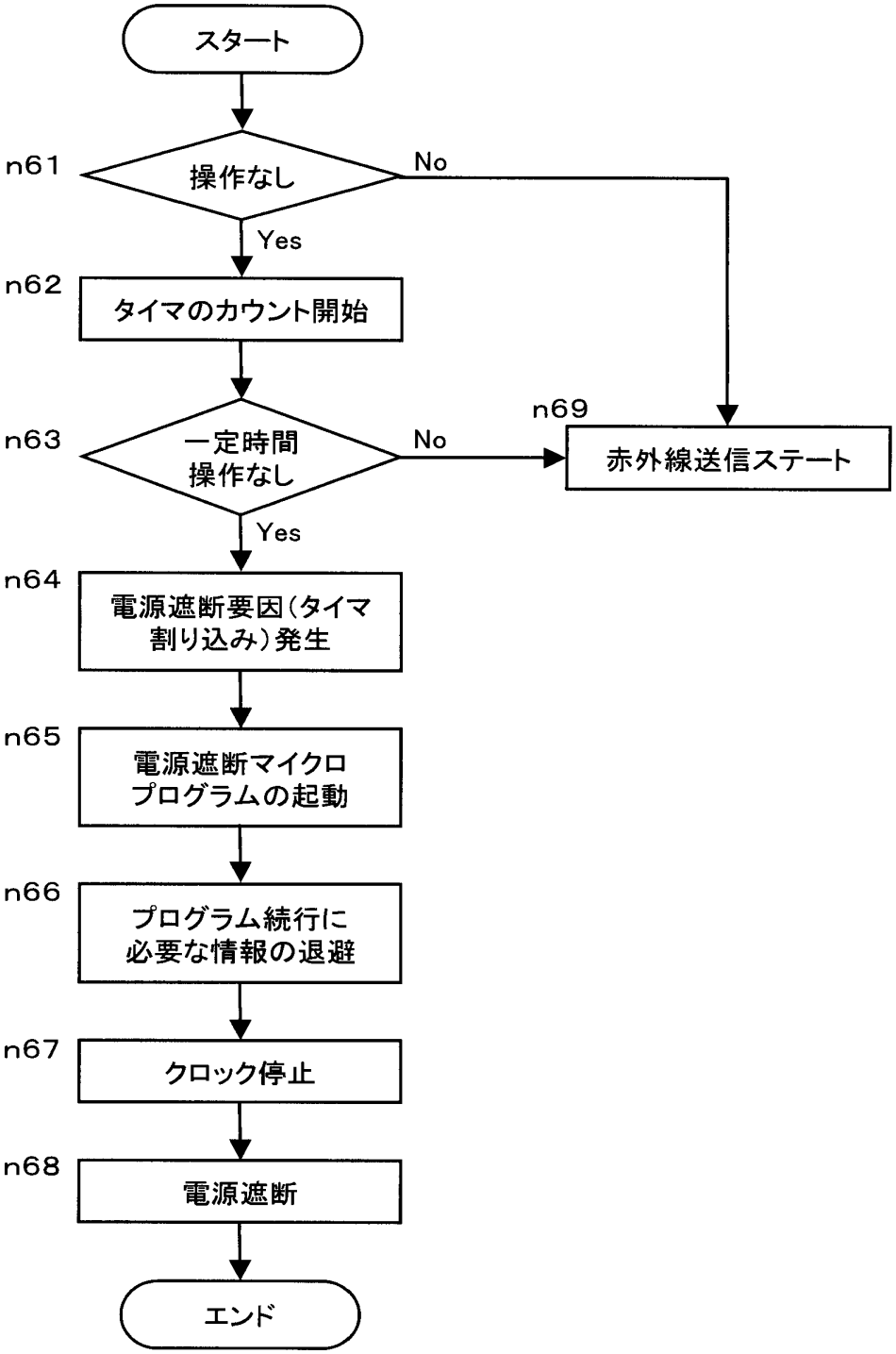
【図１８】



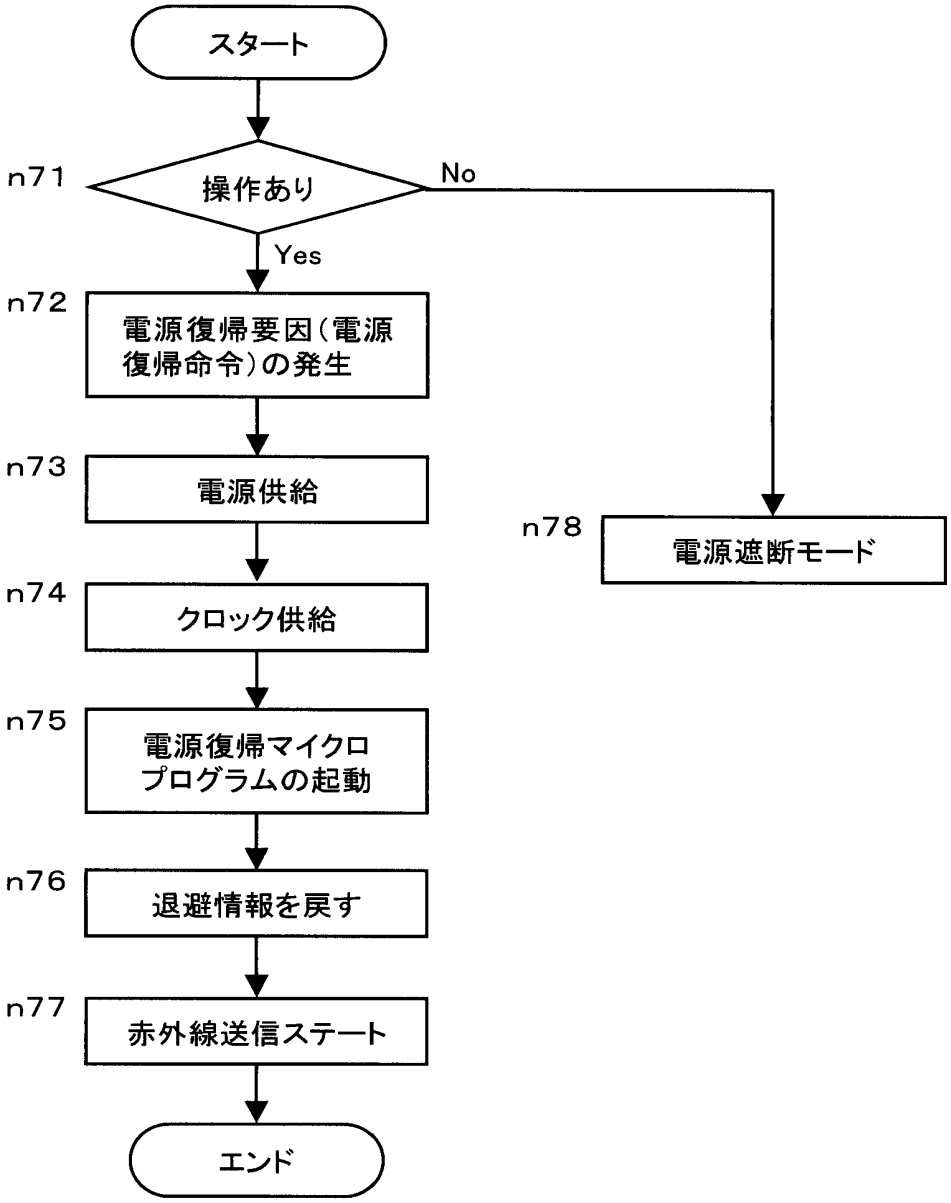
【図１９】


マイクロコントローラ
A
内部動作電源
電源
B
電源供給部A
5
CPU
μP1
μP2
1
電源
制御部
2
クロック
生成部
3
情報
保持部
4
6
タイマ
8
F3
F2
S1
S2
S3
S4
S5

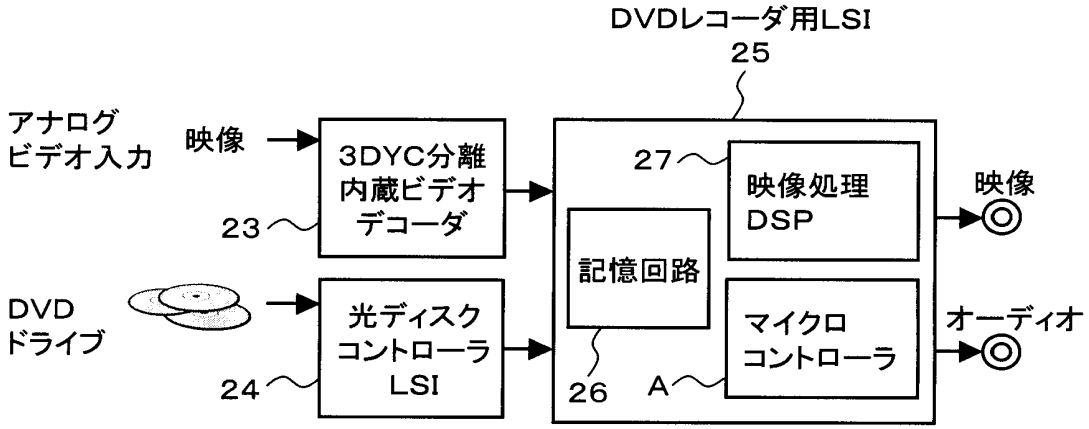
【図２０】


スタート
n61
操作なし
No
Yes
n62
タイマのカウント開始
n63
一定時間
操作なし
No
n69
赤外線送信ステート
Yes
n64
電源遮断要因（タイマ
割り込み）発生
n65
電源遮断マイクロ
プログラムの起動
n66
プログラム続行に
必要な情報の退避
n67
クロック停止
n68
電源遮断
エンド

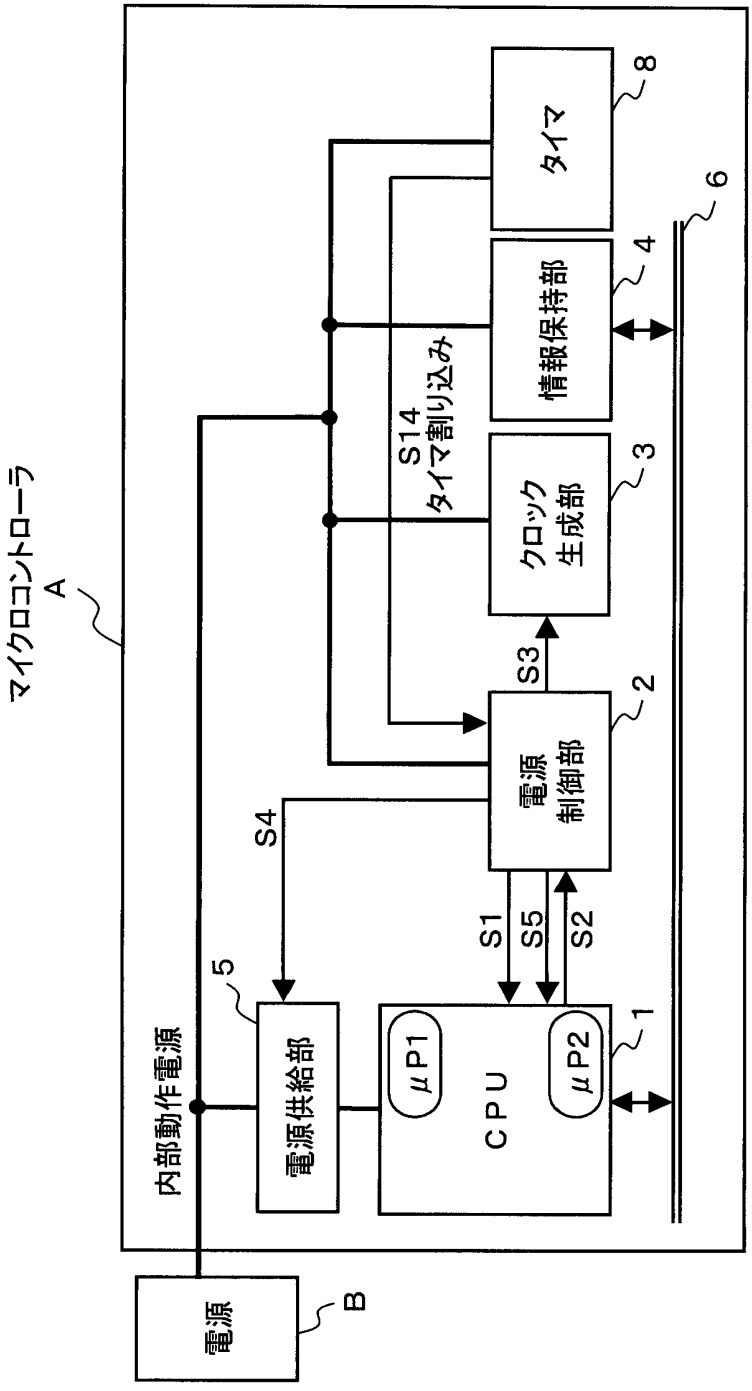
【図２１】


スタート
n71
操作あり
No
Yes
n72
電源復帰要因（電源復帰命令）の発生
n73
電源供給
n74
クロック供給
n75
電源復帰マイクロプログラムの起動
n76
退避情報を戻す
n77
赤外線送信ステート
エンド
n78
電源遮断モード

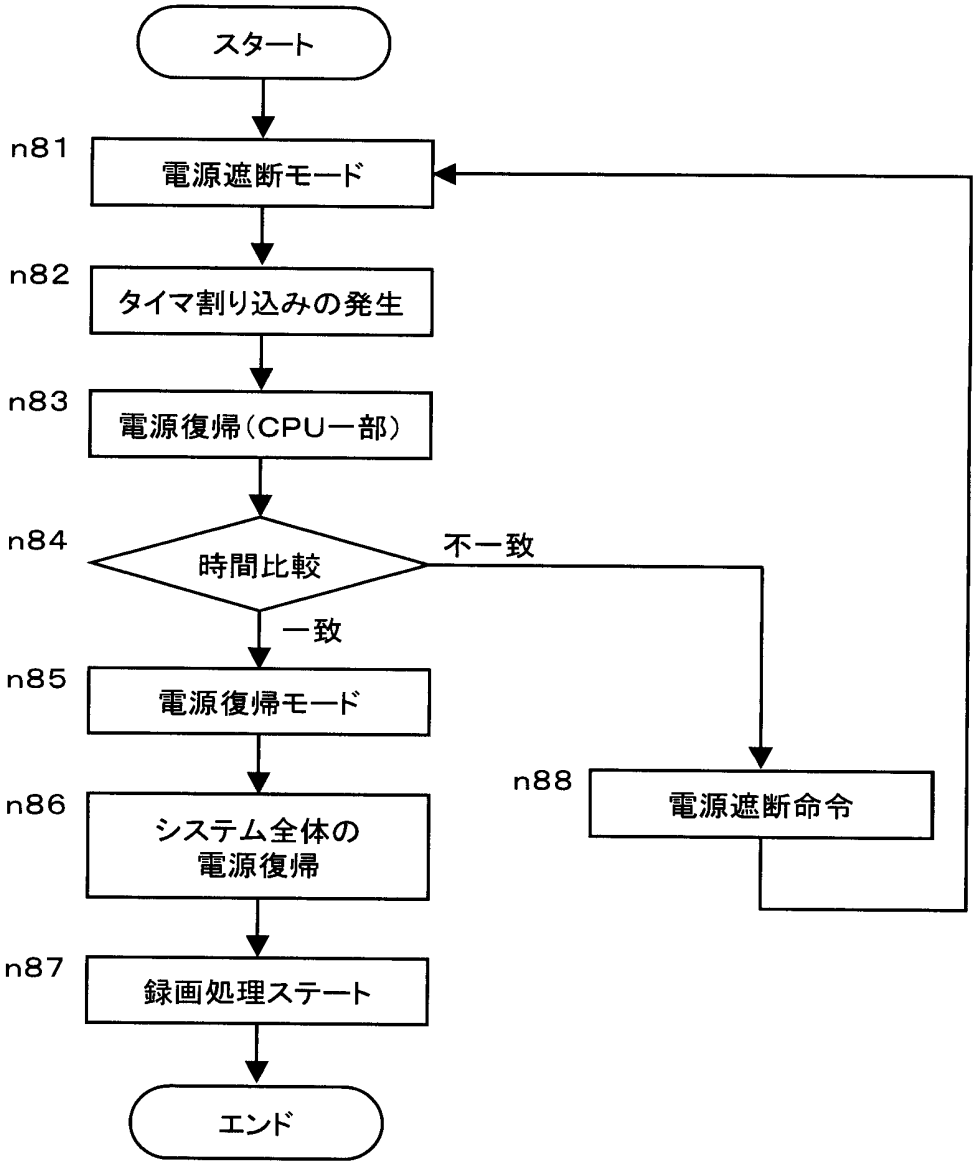
【図２２】


DVDレコーダ用LSI
25
アナログ
ビデオ入力
映像
3DYC分離
内蔵ビデオ
デコーダ
23
27
映像処理
DSP
映像
記憶回路
DVD
ドライブ
光ディスク
コントローラ
LSI
24
マイクロ
コントローラ
オーディオ
26
A

【図２３】


マイクロコントローラ
A
内部動作電源
電源
B
電源供給部
5
CPU
μP1
μP2
1
電源
制御部
2
クロック
生成部
3
情報保持部
4
タイマ
8
6
S1
S2
S3
S4
S5
S14
タイマ割り込み

【図２４】


スタート
n81
電源遮断モード
n82
タイマ割り込みの発生
n83
電源復帰（CPU一部）
n84
時間比較
不一致
一致
n85
電源復帰モード
n86
システム全体の
電源復帰
n87
録画処理ステート
エンド
n88
電源遮断命令

【書類名】要約書
【要約】
【課題】プログラム続行可能な電源遮断モードを実現し、スタンバイ時の消費電流を抑える。
【解決手段】本発明のマイクロコントローラＡは、電源制御部２は電源遮断要因Ｆ１の発生を受けてＣＰＵ１に対して遮断要求信号Ｓ１を出力し、ＣＰＵ１は電源制御部２から遮断要求信号Ｓ１を受け取ると、電源遮断のマイクロプログラムμＰ１を起動してプログラム続行に必要な情報を情報保持部４に退避させ、退避完了後に退避完了信号Ｓ２を電源制御部２に対して出力し、電源制御部２はＣＰＵ１からの退避完了信号Ｓ２を受け取ると、電源供給部５に対して電源遮断の制御信号Ｓ４を出力し、電源供給部５は電源制御部２から電源遮断の制御信号Ｓ４を受け取ると、ＣＰＵ１に対する電源供給を遮断する。
【選択図】図１

出願人履歴

０００００５８２１

19900828

新規登録

５０６１７８４４９

大阪府門真市大字門真１００６番地

松下電器産業株式会社

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(c) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
11/898,145	09/10/2007	Yukari Suginaka	056937-0396

CONFIRMATION NO. 1079

53080
MCDERMOTT WILL & EMERY LLP
600 13TH STREET, NW
WASHINGTON, DC20005-3096

Title: Microcontroller and arts related thereto

Publication No. US-2008-0065920-A1
Publication Date: 03/13/2008

NOTICE OF PUBLICATION OF APPLICATION

The above-identified application will be electronically published as a patent application publication pursuant to 37 CFR 1.211, et seq. The patent application publication number and publication date are set forth above.

The publication may be accessed through the USPTO's publically available Searchable Databases via the Internet at www.uspto.gov. The direct link to access the publication is currently http://www.uspto.gov/patft/.

The publication process established by the Office does not provide for mailing a copy of the publication to applicant. A copy of the publication may be obtained from the Office upon payment of the appropriate fee set forth in 37 CFR 1.19(a)(1). Orders for copies of patent application publications are handled by the USPTO's Office of Public Records. The Office of Public Records can be reached by telephone at (703) 308-9726 or (800) 972-6382, by facsimile at (703) 305-8759, by mail addressed to the United States Patent and Trademark Office, Office of Public Records, Alexandria, VA 22313-1450 or via the Internet.

In addition, information on the status of the application, including the mailing date of Office actions and the dates of receipt of correspondence filed in the Office, may also be accessed via the Internet through the Patent Electronic Business Center at www.uspto.gov using the public side of the Patent Application Information and Retrieval (PAIR) system. The direct link to access this status information is currently http://pair.uspto.gov/. Prior to publication, such status information is confidential and may only be obtained by applicant using the private side of PAIR.

Further assistance in electronically accessing the publication, or about PAIR, is available by calling the Patent Electronic Business Center at 1-866-217-9197.

Pre-Grant Publication Division, 703-605-4283

Docket No.: 056937-0396 **PATENT**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 53080
Yukari SUGINAKA, et al.	:	Confirmation Number: 1079
Application No.: 11/898,145	:	Group Art Unit: 2115
Filed: September 10, 2007	:	Examiner: LEE, THOMAS C

For: MICROCONTROLLER AND ARTS RELATED THERETO

INFORMATION DISCLOSURE STATEMENT

Mail Stop Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

In accordance with the provisions of 37 C.F.R. 1.56, 1.97 and 1.98, the attention of the Patent and Trademark Office is hereby directed to the documents listed on the attached form PTO-1449. It is respectfully requested that the documents be expressly considered during the prosecution of this application, and that the documents be made of record therein and appear among the "References Cited" on any patent to issue therefrom.

This Information Disclosure Statement is being filed before the mailing date of a first Office Action on the merits. No certification or fee is required.

Please charge any shortage in fees due in connection with the filing of this paper, including extension of time fees, to Deposit Account 500417 and please credit any excess fees to such deposit account.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP

Michael E. Fogarty
Registration No. 36,139

Please recognize our Customer No. 53080 as our correspondence address.

600 13th Street, N.W.
Washington, DC 20005-3096
Phone: 202.756.8000 MEF:mjb
Facsimile: 202.756.8087
Date: March 22, 2010

Qualcomm Ex. 1002 - 190/414

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Substitute for form 1449/PTO)

ATTY. DOCKET NO.	SERIAL NO.
056937-0396	**11/898,145**

APPLICANT: **Yukari SUGINAKA, et al.**

FILING DATE	GROUP
September 10, 2007	**2115**

U.S. PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Document Number Number-Kind Code2 (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			

FOREIGN PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Foreign Patent Document Country Code3-Number 4-Kind Codes (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines Where Relevant Figures Appear	Translation Yes	Translation No
		JP 2002-288150	**10-04-2002**	**MATSUSHITA ELECTRIC IND CO LTD**		**JAPAN (w/ English abstract)**	
		JP 06-161617	**06-10-1994**	**SHARP CORP**		**JAPAN (w/ English abstract)**	
		JP 63-298654	**12-06-1988**	**NEC CORP**		**JAPAN (w/ English abstract)**	
		JP 2004-030100	**01-29-2004**	**MITSUBISHI ELECTRIC CORP**		**JAPAN (w/ English abstract)**	

OTHER ART (Including Author, Title, Date, Pertinent Pages, Etc.)

EXAMINER'S INITIALS	CITE NO.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.

EXAMINER	DATE CONSIDERED

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

1 Applicant's unique citation designation number (optional). 2 Applicant is to place a check mark here if English language Translation is attached.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2002-288150**
(43)Date of publication of application : **04.10.2002**

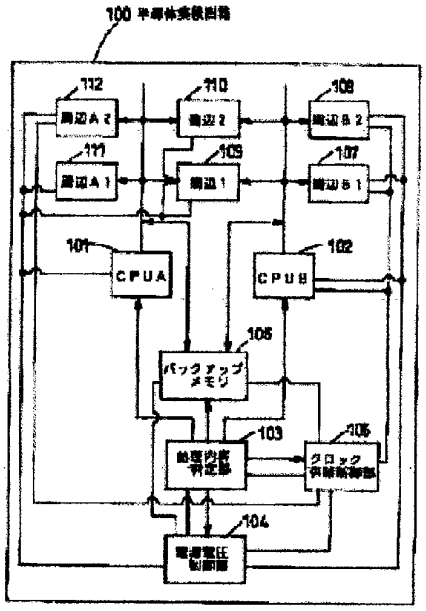
(51)Int.Cl. G06F 15/78
G06F 1/32
G06F 1/04
G06F 9/46
G06F 12/16
G06F 15/16

(21)Application number : **2001-091625**
(22)Date of filing : **28.03.2001**

(71)Applicant : **MATSUSHITA ELECTRIC IND CO LTD**
(72)Inventor : **TOKUNO SEIJI**

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:
PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit device capable of realizing high performance, a low power consumption and a low leak current consistently.
SOLUTION: The semiconductor integrated circuit 100 is provided with a high performance CPU A101, a low power consumption CPU B102, a process contents determination part 103 determining which CPU is to be used optimally corresponding to the process contents, a power source voltage control part 104 and a clock supply control part 105 performing a process based on this determination result and controlling a power source voltage and a clock supply respectively to the CPU not involved in the process. By intercepting the power supply to the CPU not performing the process, the leak current and power consumption can be reduced.



Qualcomm Ex. 1002 - 192/414

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報（Ａ）**　(11)特許出願公開番号
特開2002－288150
（P2002－288150A）
(43)公開日　平成14年10月４日(2002.10.4)

(51)Int.Cl.⁷	識別記号	ＦＩ		テーマコード（参考）
Ｇ０６Ｆ 15/78	５１０	Ｇ０６Ｆ 15/78	５１０Ｐ	５Ｂ０１１
1/32		1/04	３０１Ｂ	５Ｂ０１８
1/04	３０１	9/46	３６０Ａ	５Ｂ０４５
9/46	３６０	12/16	３４０Ｑ	５Ｂ０６２
12/16	３４０		３４０Ｈ	５Ｂ０７９

審査請求　未請求　請求項の数３　ＯＬ　（全８頁）　最終頁に続く

(21)出願番号　特願2001－91625(P2001－91625)

(22)出願日　平成13年３月28日(2001.3.28)

(71)出願人　000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地

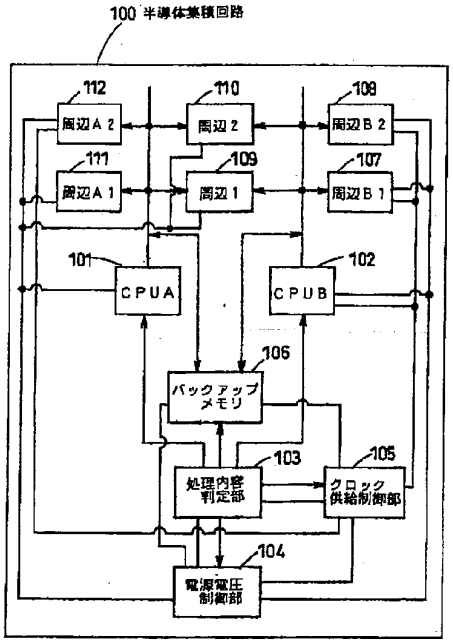
(72)発明者　得能　誠司
大阪府門真市大字門真1006番地　松下電器産業株式会社内

(74)代理人　100076174
弁理士　宮井　暎夫

最終頁に続く

(54)【発明の名称】　半導体集積回路装置

(57)【要約】
【課題】高性能化と低消費電力および低リーク電流の両立を実現することが可能な半導体集積回路装置を提供する。
【解決手段】半導体集積回路１００が高性能のＣＰＵＡ１０１と低消費電力のＣＰＵＢ１０２および処理内容に応じてどちらのＣＰＵを使用するのが最適かを判断する処理内容判定部１０３と、この判断結果に基き処理を実行し、処理に関与しないＣＰＵに対する電源電圧およびクロック供給を制御する電源電圧制御部１０４とクロック供給制御部１０５とを備える。処理を行わないＣＰＵの電源供給を遮断することで、リーク電流を削減でき、消費電力を削減できる。



Qualcomm Ex. 1002 - 194/414

1

【特許請求の範囲】

【請求項１】　２つのＣＰＵと複数の機能ブロックを搭載する半導体集積回路装置であって、

前記ＣＰＵの１つは高性能を実現するＣＰＵであり、他の１つは低消費電力を実現するＣＰＵであり、

前記半導体集積回路装置において実行される処理を前記２つのＣＰＵのどちらで実行するかを決定する処理内容判定部と、

前記半導体集積回路装置に搭載されている前記２つのＣＰＵ、及び前記複数の機能ブロックへの電源供給を、前記処理内容判定部の処理内容に基づいて管理する電源電圧制御管理部と、

前記半導体集積回路に搭載されている前記２つのＣＰＵ、及び前記複数の機能ブロックへのクロック供給を、前記処理内容判定部の処理内容に基づいて制御するクロック供給制御部と、

前記処理内容判定部の処理内容に基づいて前記２つのＣＰＵの少なくとも一方の電源電圧が遮断される際に、必要情報を前記電源電圧が遮断される前記ＣＰＵより格納し、前記２つのＣＰＵの少なくとも一方の電源電圧を立ち上げる時に前記電源電圧を立ち上げる前記ＣＰＵへ必要情報を転送することを可能とするバックアップメモリを備えた半導体集積回路装置

【請求項２】　処理内容判定部は、

半導体集積回路装置に備えられた２つのＣＰＵで実行される処理内容を入力する処理内容入力部と、

前記処理内容入力部を介し入力された処理内容と前記処理を実行するＣＰＵの対応関係を格納した処理内容格納部と、

前記処理内容入力部より入力された処理内容情報と前記処理内容格納部に格納された情報との比較処理を行い前記処理内容を実行すべきＣＰＵを決定する処理内容比較部と、

前記処理内容比較部において決定された処理実行用ＣＰＵに対しＣＰＵの起動処理を実行するＣＰＵ起動部と、

前記処理内容比較部において決定された処理実行用ＣＰＵに対し、バックアップメモリに搭載されている情報のロード処理を行うデータロード処理部とを備えた請求項１記載の半導体集積回路装置。

【請求項３】　３つのＣＰＵと複数の機能ブロックを搭載する半導体集積回路装置であって、

前記ＣＰＵの１つは高性能を実現する第１のＣＰＵであり、他の１つは低消費電力を実現する第２のＣＰＵであり、それ以外の１つは前記半導体集積回路装置において実行する処理の制御を行う第３のＣＰＵであり、

前記半導体集積回路装置において前記処理の制御を行う前記第３のＣＰＵにおいて実行されるソフトにより決定される処理手順を実行する処理内容制御部と、

前記半導体集積回路装置に搭載されている前記３つのＣＰＵ、及び前記複数の機能ブロックへの電源供給を、前記処理内容制御部の処理内容に基づいて個々のＣＰＵおよび機能ブロックごとに管理する電源電圧制御管理部と、

前記半導体集積回路装置に搭載されている前記３つのＣＰＵ、及び前記複数の機能ブロックへのクロック供給を、前記処理内容制御部の処理内容に基づいて個々のＣＰＵおよび機能ブロックごとに制御するクロック供給制御部と、

前記処理内容制御部の処理内容に基づいて、前記３つのＣＰＵの少なくともいずれかの電源電圧が遮断される際に、必要情報を前記電源電圧が遮断される前記ＣＰＵより格納し、前記３つのＣＰＵの少なくともいずれかの電源電圧を立ち上げる時に前記電源電圧を立ち上げる前記ＣＰＵへ必要情報を転送することを可能とするバックアップメモリを備えた半導体集積回路装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、半導体集積回路装置に関するものである。

【０００２】

【従来の技術】近年、半導体製造技術の微細化が進み、半導体集積回路に印加する電源電圧は低下していく傾向にある。これに伴い、トランジスタとしての動作を実現するため微細化が進むにつれ閾値電圧も低下していく傾向にある。この閾値電圧の低下に伴いソースードレイン間のリーク電流が増加することになる。さらに高性能なトランジスタを実現するためには、閾値電圧をより低下させる必要があり、益々リーク電流が増加することになる。微細化プロセスにおいては、このリーク電流がＬＳＩの消費電力増加の大きな原因となりつつある。従って、微細化プロセスにおいてＬＳＩの低消費電力化を実現するためには、動作時の電力削減を図るだけでなく、さらにリーク電流の削減を図ることが重要な課題となる。

【０００３】このリーク電流を下げる方法としては、トランジスタの閾値電圧を高くすることでリーク電流を削減する方法、ＶＴＣＭＯＳのようにバックゲートバイアスを制御することで閾値電圧を制御可能とし、スタンバイ時のリーク電流の削減と、動作時の高速化を図る方法、さらに特開平０５－２９５５１のように、ＬＳＩを構成する機能ブロックごとに電源のオン・オフが可能なように設計を行い、個々の機能ブロックが動作不要な時には電源をオフすることでリーク電流を削減する方法などがある。

【０００４】さらに微細化が進んだ時には、従来のドレイン―ソース間のリーク電流だけではなく、ゲートからのリーク電流の増加が顕著になってくる。これは、微細化にともなうゲート酸化膜厚等の薄膜化等が大きな原因になるが、このゲートリーク削減には、先に述べた特開平０５－２９５５１に記載された電源オフを行うことが

Qualcomm Ex. 1002 - 195/414

最善の方法となる。

【０００５】

【発明が解決しようとする課題】しかしながら、トランジスタの閾値電圧を高くしリーク電流の削減を行った時には、電力削減に関してはメリットがあるが、高性能を実現することが困難になってくる。

【０００６】また、ＶＴＣＭＯＳのように、バックゲートバイアスを制御し閾値電圧を動作モードによって変化させる方法に関しては、０．１０μｍ世代のプロセス以降では、回路の動作速度を向上させるスケーリングを行うと、バックゲートバイアス電圧に対する閾値電圧の依存性が低下してくる傾向があり、バックゲートバイアス電圧制御技術を用いても、閾値電圧を十分に変化させることができず、リーク電流の削減あるいは高性能化を図ることが困難になってくる。

【０００７】今日では、半導体製造プロセスの微細化が進むことで、1チップ上に複雑なシステムが実現されるようなシステムＬＳＩの実現が可能になってきており、1チップ上に数百万、数千万トランジスタが搭載されることになり、1チップでリーク電流を考えたときには、リーク電流の絶対値が大幅に増加することになる。従って、システムＬＳＩの設計においてはこのリーク電流を如何に削減するかということが大きな課題となる。また一方でシステムＬＳＩの動作を実現するためには高性能が併せて要求され、システムＬＳＩ実現に向けては、低リーク電流と高性能を両立することが大きな課題となる。

【０００８】したがって、この発明の目的は、高性能化と低消費電力および低リーク電流の両立を実現することが可能な半導体集積回路装置を提供することである。

【０００９】

【課題を解決するための手段】請求項１記載の半導体集積回路装置は、２つのＣＰＵと複数の機能ブロックを搭載する半導体集積回路装置であって、ＣＰＵの１つは高性能を実現するＣＰＵであり、他の１つは低消費電力を実現するＣＰＵであり、半導体集積回路装置において実行される処理を２つのＣＰＵのどちらで実行するかを決定する処理内容判定部と、半導体集積回路装置に搭載されている２つのＣＰＵ、及び複数の機能ブロックへの電源供給を、処理内容判定部の処理内容に基づいて管理する電源電圧制御管理部と、半導体集積回路に搭載されている２つのＣＰＵ、及び複数の機能ブロックへのクロック供給を、処理内容判定部の処理内容に応じて制御するクロック供給制御部と、処理内容判定部の処理内容に基づいて、２つのＣＰＵの少なくとも一方の電源電圧が遮断される際に、必要情報を電源電圧が遮断されるＣＰＵより格納し、２つのＣＰＵの少なくとも一方の電源電圧を立ち上げる時に電源電圧を立ち上げるＣＰＵへ必要情報を転送することを可能とするバックアップメモリを備えたものである。

【００１０】このように、上記課題を解決するために本発明では、例えばシステムＬＳＩを構成するＣＰＵとして高性能なＣＰＵ（ＣＰＵＡ）と性能は低いが低リーク電流、低消費電力のＣＰＵ（ＣＰＵＢ）の2種類のＣＰＵを搭載し、システムＬＳＩで処理する内容を高性能が要求されるものと、性能は要求しないが常時動作が必要とされるものに分割して、それぞれの処理を、高性能を必要とする処理は高性能なＣＰＵで、常時動作が必要な処理は低消費電力のＣＰＵで実行し、処理を実行しない時にはＣＰＵに関しては電源をオフすることでリーク電流の削減を図る。

【００１１】そして上記処理を実現するために、本発明のシステムＬＳＩは、高性能なＣＰＵと低消費電力のＣＰＵおよび、実行すべき処理がどちらのＣＰＵで実行すべきかを決定する処理内容判定部および、この判定情報に基き電源のオン・オフの制御を行う電源電圧制御部および、個々のＣＰＵをオフにする際レジスタの情報、メモリの情報をバックアップする必要がある場合に情報のバックアップを行うメモリを備えている。

【００１２】請求項１記載の半導体集積回路装置によれば、実際に半導体集積回路において実行する処理内容に応じ、使用するＣＰＵの最適な選択が可能となり、高性能な処理が必要な時には、高性能用のＣＰＵを使用し、それ以外の処理の時には低消費電力用ＣＰＵを使用し、その時には高性能用ＣＰＵへの印加電圧を遮断することでリーク電流等の対策も可能となり、プロセスが微細化している今日のシステムＬＳＩにおいても、高性能と低消費電力の両立を自動化することが可能となる。

【００１３】請求項２記載の半導体集積回路装置は、請求項１において、処理内容判定部が、半導体集積回路装置に備えられた２つのＣＰＵで実行される処理内容を入力する処理内容入力部と、処理内容入力部を介し入力された処理内容と処理を実行するＣＰＵの対応関係を格納した処理内容格納部と、処理内容入力部より入力された処理内容情報と処理内容格納部に格納された情報との比較処理を行い処理内容を実行すべきＣＰＵを決定する処理内容比較部と、処理内容比較部において決定された処理実行用ＣＰＵに対しＣＰＵの起動処理を実行するＣＰＵ起動部と、処理内容比較部において決定された処理実行用ＣＰＵに対し、バックアップメモリに搭載されている情報のロード処理を行うデータロード処理部とを備えたものである。

【００１４】請求項２記載の半導体集積回路装置によれば、請求項１と同様な効果がある。

【００１５】請求項３記載の半導体集積回路装置は、３つのＣＰＵと複数の機能ブロックを搭載する半導体集積回路装置であって、ＣＰＵの１つは高性能を実現する第１のＣＰＵであり、他の１つは低消費電力を実現する第２のＣＰＵであり、それ以外の１つは半導体集積回路装置において実行する処理の制御を行う第３のＣＰＵであ

Qualcomm Ex. 1002 - 196/414

り、半導体集積回路装置において処理の制御を行う第３のＣＰＵにおいて実行されるソフトにより決定される処理手順を実行する処理内容制御部と、半導体集積回路装置に搭載されている３つのＣＰＵ、及び複数の機能ブロックへの電源供給を、処理内容制御部の処理内容に基づいて個々のＣＰＵおよび機能ブロックごとに管理する電源電圧制御管理部と、半導体集積回路装置に搭載されている３つのＣＰＵ、及び複数の機能ブロックへのクロック供給を、処理内容制御部の処理内容に基づいて個々のＣＰＵおよび機能ブロックごとに制御するクロック供給制御部と、処理内容制御部の処理内容に基づいて、３つのＣＰＵの少なくともいずれかの電源電圧が遮断される際に、必要情報を電源電圧が遮断されるＣＰＵより格納し、３つのＣＰＵの少なくともいずれかの電源電圧を立ち上げる時に電源電圧を立ち上げるＣＰＵへ必要情報を転送することを可能とするバックアップメモリを備えたものである。

【００１６】請求項３記載の半導体集積回路装置によれば、第３のＣＰＵによる処理内容の判断を実行することで、より詳細に処理の実行の分担を行うことが可能になり、また、この判断をソフト化することにより、ユーザに応じてソフトの変更をすることで、各ユーザに最適な低消費電力化が実現され、電力削減の汎用化が実現可能となる。

【００１７】

【発明の実施の形態】以下、本発明の実施の形態を図面を用いて詳細に説明する。

【００１８】本発明の第１の実施の形態を図１から図３により説明する。図１は、本発明の半導体集積回路装置の第１の実施の形態である。

【００１９】本半導体集積回路装置において、ＣＰＵＡ１０１は高性能を実現したＣＰＵで、高性能実現のため、消費電力は多く、面積も大きく、トランジスタ数も多いものとなってしまう。これに対しＣＰＵＢ１０２は低消費電力を実現しているＣＰＵであり、低消費電力を実現するため、性能面ではＣＰＵＡ１０１に対しかなり劣るが、面積も小さく、トランジスタ数も少なくなっている。

【００２０】周辺回路Ａ１　１１１、周辺回路Ａ２　１１２、はＣＰＵＡ１０１のみで使用される周辺回路であり、周辺回路Ｂ１　１０７、周辺回路Ｂ２　１０８、はＣＰＵＢ１０２のみで使用される周辺回路であり、周辺回路１　１０９、周辺回路２１１０、はＣＰＵＡ１０１、ＣＰＵＢ１０２で共通に使用される周辺回路となっている。

【００２１】処理内容判定部１０３は、これから実行される処理がどのＣＰＵで実行されるべきかの判定を行う。

【００２２】バックアップメモリ１０６は、ＣＰＵが動作不要になった時に、電源電圧制御部１０４からＣＰＵに対する電源が遮断されるが、次に前記ＣＰＵが動作状態になった時にＣＰＵが再起動する際に必要となる電源遮断前の情報がある場合に、その内容をバックアップするためのものであり、通常は各ＣＰＵのレジスタの状態に関する情報、メモリ１０６の内容のバックアップが行われる。また、このメモリ１０６にはメモリ１０６のアクセスが発生した時のみクロックが供給され、電源電圧もフルに印加される。また、バックアップデータが存在しない時には、クロック、電圧の供給は行われない、それ以外のデータ保持の時には、クロックの供給は停止され、電源電圧もデータ保持に必要最低限のものしか与えられないものとなっている。これは全て、電源電圧制御部１０４とクロック供給制御部１０５により実現されている。これにより、システム全体としての電力削減が実現される。

【００２３】電源電圧制御部１０４は処理内容判定部１０３の結果に基づき電源電圧オン、オフ、電圧の変更等の制御を行う。例えば、ＣＰＵＡ１０１の電源を遮断することになった時には、ＣＰＵＡ１０１関連で必要となる情報をバックアップメモリ１０６でのバックアップ完了後にＣＰＵＡ１０１の関連の電源を遮断する。

【００２４】クロック供給制御部１０５では処理内容判定部１０３の判定結果に従い、クロックを供給するパス、クロックをストップするパス、周波数を変更するパス等の制御を行う。

【００２５】これらのブロックからなる半導体集積回路において、本特許での処理内容を詳細に見ていく。

【００２６】今回の半導体集積回路装置において、ＣＰＵＢ１０２は常時動作するものとし、処理内容に応じてＣＰＵＡ１０１を使用したりしなかったりするものとする。

【００２７】ＣＰＵＢ１０２のみが動作している時には、ＣＰＵＡ１０１、周辺回路Ａ１１１１、周辺回路Ａ２　１１２は電源電圧制御部１０４により電源オフの状態にされておりリーク電流も消費されないようになっている。また、バックアップメモリに関しても上述しているように最適な処理が適用され消費電力削減が実現されている。ここで、高性能が要求される処理が割り込んできた時には、処理内容判定部１０３においてそれを認識し、ＣＰＵＡ１０１の使用を開始するための処理を実行する。まず、電源電圧制御部１０４にてＣＰＵＡ１０１及びその周辺回路Ａ１　１１１、周辺回路Ａ２　１１２への電源供給を開始し、次にクロック制御部１０５より、ＣＰＵＡ１０１及びその周辺回路Ａ１　１１１、周辺回路Ａ２１１２へのクロックの供給を開始する。これらの動作が安定した後で、クロック制御部１０５、電源電圧制御部１０４よりバックアップメモリ１０６に対し電源電圧および、クロックの供給を行い、バックアップメモリ１０６の内容でＣＰＵＡ１０１に関連するものについて、ＣＰＵＡ１０１からのロードを可能とし実際に

Qualcomm Ex. 1002 - 197/414

ロード作業を開始する。ロード完了後、バックアップメモリ１０６への電源供給、クロック供給はバックアップデータの有無により最適なものに変化していく。

【００２８】次に、ＣＰＵＡ１０１および周辺回路１１１、１１２を使用して実際に高性能を要求される処理が実施され完了する。この処理完了後、続いてＣＰＵＡ１０１で処理する必要が無い処理しかないことが処理内容判定部１０３にて確認された時には、次にＣＰＵＡ１０１の電源オフの手順に入っていく。ここでは、まずバックアップが必要な情報をバックアップメモリ１０６にて管理する。この時には、データのロード時と同じように、バックアップメモリ１０６に対し電源電圧供給、クロック供給が制御され実行される。バックアップ完了後、ＣＰＵＡ１０１の系統に供給される電源電圧の供給が電源電圧制御部１０４にて遮断される。このように通常の動作時には、システムＬＳＩ上に低消費電力化された機能のみに電源供給される状態をつくり、高性能処理が要求される時のみ、高性能回路部にも電源供給を行うことで、リーク電流の大幅な削減を可能としている。このようなシステムＬＳＩは今後のモバイルマルチメディアと言われるような、移動体通信と、画像データ処理を融合したような商品に搭載されることでその能力を最大限に発揮できる。本特許に当てはめると、ＣＰＵＡ１０１は画像処理用やその他のアプリケーションを実施するプロセッサであり、ＣＰＵＢ１０２は移動体通信の基本処理を行うプロセッサとすることでシステムの最適化を図ることが出来る。

【００２９】また、ＣＰＵＢ１０２に要望される性能を満足する限界まで、ＣＰＵＢ１０２を構成するトランジスタの閾値電圧を上げることで、さらにリーク電流を削減することが可能となる。

【００３０】図２は、図１で示される処理内容判定部１０３の構成図の一例を示している。図３は、処理内容判定部１０３における処理内容格納部２０１にて管理されている、処理内容とどのＣＰＵで処理を実施するかの一覧テーブルの一例を示している。

【００３１】図２において、ＣＰＵＡ１０１、ＣＰＵＢ１０２から実際に走ろうとしている処理の内容を処理内容入力部２００に入力し、この情報と、処理内容格納部２０２に格納されている情報との比較を処理内容比較部２０１で実施し、ＣＰＵＡ１０１を起動すべき処理かどうかの判断を行う。判断結果として、ＣＰＵＡ１０１を使用すべき処理であった場合には、まず、ＣＰＵＡ起動部２０３を実行する。この時には、まず電源制御部１０４、クロック制御部１０５へＣＰＵＡ１０１を起動するという情報を送り出す。これにより、ＣＰＵＡ１０１が立ち上がった後でデータロード処理部２０５により、バックアップメモリ１０６からＣＰＵＡ１０１へのデータのロードを実施する。これによりＣＰＵＡ１０１での処理が可能となる。

【００３２】次に、ＣＰＵＡ１０１を使用しない処理がきた時には、ＣＰＵＡ停止部２０４を実行する。この時には、バックアップ処理部２０６により、ＣＰＵＡ１０１から必要な情報をバックアップメモリ１０６へ転送し格納する。次に、電源電圧制御部１０４、クロック制御部１０５へＣＰＵＡ１０１を停止するという情報を送り出す。

【００３３】これにより、バックアップ情報の格納が完了し、次にＣＰＵＡ１０１が起動することを可能とした状態で、ＣＰＵＡ１０１の電源電圧の遮断が実行できる。

【００３４】本発明の第２の実施の形態を図４に示す。図４は、本発明の半導体集積回路装置の第２の実施の形態である。

【００３５】本半導体集積回路装置において、ＣＰＵＡ１０１は高性能を実現したＣＰＵで、構成の実現のため、消費電力は多く面積も大きくトランジスタ数も多いものとなってしまう。これに対しＣＰＵＢ１０２は低消費電力を実現しているＣＰＵであり、低消費電力を実現するため、性能面ではＣＰＵＡ１０１に対しかなり劣るが、面積も小さく、トランジスタ数も少なくなっている。また、ＣＰＵＣ４０１はＣＰＵＡ１０１とＣＰＵＢ１０２のどちらを使用して処理を実行するのかを決定するもので、性能は低いもので低消費電力を実現しているものとなる。

【００３６】図１に示す第１の実施の形態と図４の相違点は、処理内容判定部１０３が処理内容制御部４００になり、ＣＰＵＣ４０１とこのＣＰＵＣ４０１で実行する制御プログラムを格納するＲＯＭ４０２が追加されており、電源電圧制御部１０４とクロック供給制御部１０５が機能ブロック全てを個々に制御可能になっているところにある。またバックアップメモリはＣＰＵＣ４０１の遮断、および立ち上げ時のバックアップも行う。

【００３７】図４ではＣＰＵＣ４０１にて処理内容を判断し、どのＣＰＵ、どの周辺回路を使用するかを詳細に決定し、その情報を用い処理内容制御部４００では、電源電圧制御部１０４および、クロック供給制御部１０５に各ブロックごとに詳細に電源のオンオフ、電圧の値、クロック周波数等を制御させ、さらなる低消費電力化を実現できる。

【００３８】図４で示す半導体集積回路装置においても、ＣＰＵＢ１０２は常時動作するものとし、処理内容に応じてＣＰＵＡ１０１を使用したりしなかったりするものとする。

【００３９】ＣＰＵＢ１０２のみが動作している時には、ＣＰＵＡ１０１、周辺回路Ａ１１１１、周辺回路Ａ２　１１２は電源電圧制御部１０４により個別に電源オフの状態にされておりリーク電流も消費されないようになっている。このとき周辺Ｂ１　１０７、周辺Ｂ２　１０８、周辺１　１０９等を状況によっては電源オフとす

Qualcomm Ex. 1002 - 198/414

ることも可能となる。バックアップメモリに関しても図１において説明しているように最適な処理が適用され消費電力削減が実現されている。ここで、高性能が要求される処理が割り込んできた時には、ＣＰＵＣ４０１において処理内容の評価が進められ、どのＣＰＵと、どの周辺回路を使用するのかが決定される。ここでは、ＣＰＵＡ１０１と周辺Ａ２　１１２を使用すると決定されたとする。この情報に基き処理内容制御部４００においてＣＰＵＡ１０１と周辺Ａ２　１１２の使用を開始するための処理を実行する。まず、電源電圧制御部１０４にてＣＰＵＡ１０１及び周辺回路Ａ２　１１２への電源供給を開始し、次にクロック制御部１０５より、ＣＰＵＡ１０１及び周辺回路Ａ２　１１２へのクロックの供給を開始する。これらの動作が安定した後で、クロック制御部１０５、電源電圧制御部１０４よりバックアップメモリ１０６に対し電源電圧および、クロックの供給を行い、バックアップメモリ１０６の内容でＣＰＵＡ１０１に関連するものについて、ＣＰＵＡ１０１からのロードを可能とし実際にロード作業を開始する。ロード完了後、バックアップメモリ１０６への電源供給、クロック供給はバックアップデータの有無により最適なものに変化していく。

【００４０】次に、ＣＰＵＡ１０１および周辺Ａ２　１１２を使用して実際に高性能を要求される処理が実施され完了する。この処理完了後、続いてＣＰＵＡ１０１で処理する必要が無い処理しかないことがＣＰＵＣ４０１にて確認された時には、この情報に基き、処理内容制御部４００はＣＰＵＡ１０１および周辺Ａ２　１１２の電源オフの手順に入っていく。ここでは、まずバックアップが必要な情報をバックアップメモリ１０６にて管理する。この時には、データのロード時と同じように、バックアップメモリ１０６に対し電源電圧供給、クロック供給が制御され実行される。バックアップ完了後、ＣＰＵＡ１０１の系統に供給される電源電圧の供給が電源電圧制御部１０４にて遮断される。

【００４１】このように、ＣＰＵＣ４０１による処理内容の判断を実行することで、より詳細に処理の実行の分担を行うことが可能になり、また、この判断をソフト化することにより、ユーザに応じてソフトの変更をすることで、各ユーザに最適な低消費電力化が実現され、電力削減の汎用化が実現可能となる。

【００４２】このように、本発明によれば、システムＬＳＩの設計の初期段階で、処理内容と、それを実行すべきＣＰＵの対応を明確にし回路内部に格納することで、プロセスの微細化が進む今日のシステムＬＳＩにおいても、高性能と低消費電力の両立を自動化することが可能となる。また、処理内容に応じた使用回路の選択をソフトにより実現することで、ユーザごとにシステムＬＳＩの最適な低消費電力利用が可能となる。

【００４３】

【発明の効果】請求項１記載の半導体集積回路装置によれば、実際に半導体集積回路において実行する処理内容に応じ、使用するＣＰＵの最適な選択が可能となり、高性能な処理が必要な時には、高性能用のＣＰＵを使用し、それ以外の処理の時には低消費電力用ＣＰＵを使用し、その時には高性能用ＣＰＵへの印加電圧を遮断することでリーク電流等の対策も可能となり、プロセスが微細化している今日のシステムＬＳＩにおいても、高性能と低消費電力の両立を自動化することが可能となる。

【００４４】請求項２記載の半導体集積回路装置によれば、請求項１と同様な効果がある。

【００４５】請求項３記載の半導体集積回路装置によれば、第３のＣＰＵによる処理内容の判断を実行することで、より詳細に処理の実行の分担を行うことが可能になり、また、この判断をソフト化することにより、ユーザに応じてソフトの変更をすることで、各ユーザに最適な低消費電力化が実現され、電力削減の汎用化が実現可能となる。

【図面の簡単な説明】

【図１】本発明の第１の実施の形態における半導体集積回路装置を示すブロック図である。

【図２】本発明の第１の実施の形態における処理内容判定部を示すブロック図である。

【図３】本発明の第１の実施の形態における処理内容格納部に格納されている処理内容テーブルを示す説明図である。

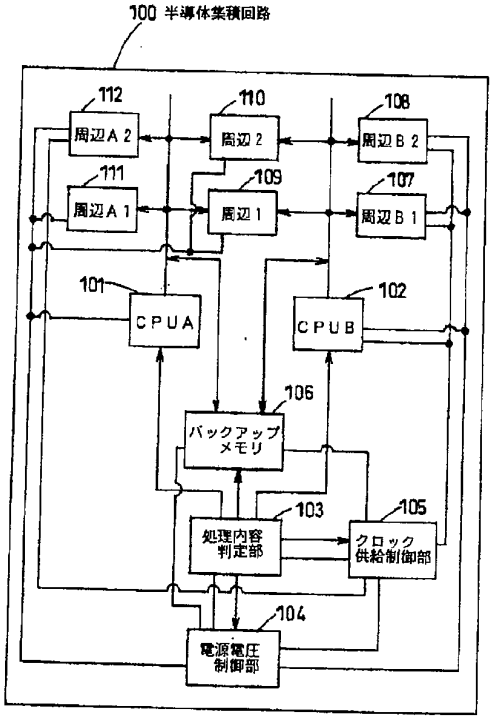
【図４】本発明の第２の実施の形態における半導体集積回路装置を示すブロック図である

【符号の説明】

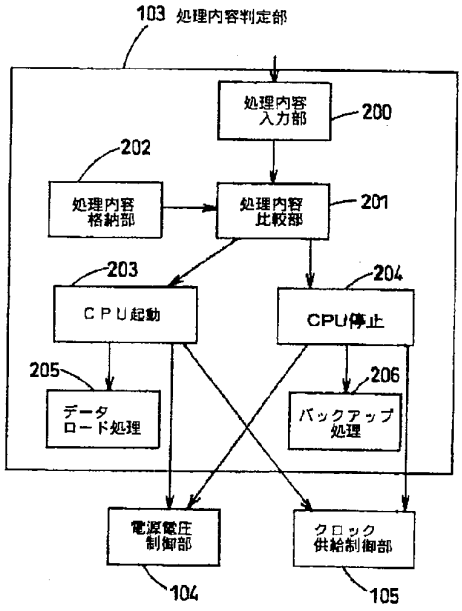
１００　半導体集積回路装置
１０１　高性能ＣＰＵＡ
１０２　高性能ＣＰＵＢ
１０３　処理内容判定部
１０４　電源電圧制御部
１０５　クロック制御部
１０６　バックアップメモリ
１０７　周辺回路Ｂ１
１０８　周辺回路Ｂ２
１０９　周辺回路１
１１０　周辺回路２
１１１　周辺回路Ａ１
１１２　周辺回路Ａ２

Qualcomm Ex. 1002 - 199/414

【図１】



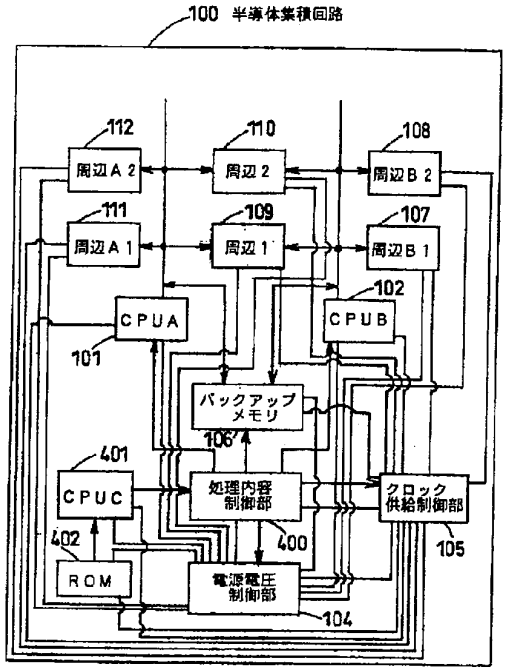
【図２】



【図３】

処理内容	CPUA動作
待ち受け	OFF
電話受信	OFF
画像受信	ON
電話送信	OFF
動画送信	ON

【図４】



Qualcomm Ex. 1002 - 200/414

フロントページの続き

(51)Int.Cl.'	識別記号	FI		テーマコード'(参考)
G06F 12/16		G06F 15/16	620A	5B098
15/16	620	1/00	332B	

Fターム(参考) 5B011 EA09 FF01 JA06 LL13
5B018 GA04 KA03 NA10 QA05
5B045 CC04 GG02 GG06 KK02 KK08
5B062 AA03 AA05 CC04 DD10 HH01
HH04
5B079 AA06 BA12 BC01 DD13 DD20
5B098 AA10 BB11 BB20 DD01 DD08
GD02

Qualcomm Ex. 1002 - 201/414

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **06-161617**
(43)Date of publication of application : **10.06.1994**

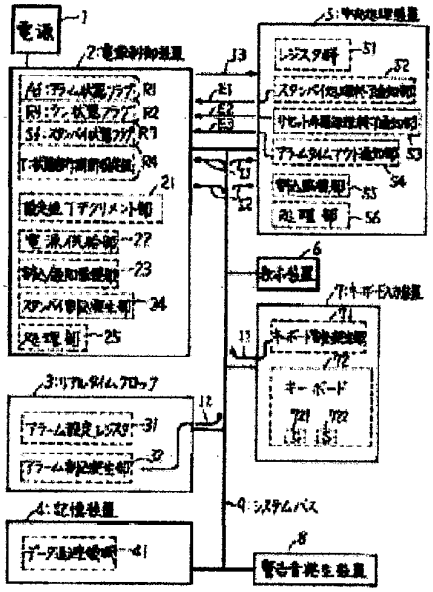
(51)Int.Cl. G06F 1/32

(21)Application number : **04-318573**
(22)Date of filing : **27.11.1992**

(71)Applicant : **SHARP CORP**
(72)Inventor : **KIDO TAKUMA**

(54) POWER SUPPLY CONTROLLER FOR INFORMATION PROCESSOR

(57)Abstract:
PURPOSE: To provide a power supply controller for reducing power supply am ount to a device by adjusting the power supply state to the device according to the utilization condition of an information processor.
CONSTITUTION: An information system includes a power source 1 and a power source controller 2 for controlling power supply from the power source 1 to a system, and has a run state in which power is supplied from a device 2 to the whole and a standby state in which power is supplied to the part. When an alarm interruption request I2 or a keyboard interruption request I1 occurs at the time of the standby state, it transfers to the run state but the request I1 does not occur continuously for a prescribed period after the run state is transferred in accordance with the occurrence of the request I2 in particular. Namely, it is evaded that the system is in a run state despite no utilization in the system and wasteful power consumption is suppressed since the system is immediately returned to the standby state if the state that the system is not utilized by a user is continued.



Qualcomm Ex. 1002 - 202/414

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報**（Ａ）　(11)特許出願公開番号

特開平6－161617

(43)公開日　平成６年(1994)６月10日

(51)Int.Cl.[5]	識別記号	庁内整理番号	Ｆ Ｉ	技術表示箇所
Ｇ０６Ｆ　1/32				
		7165－5B	Ｇ０６Ｆ　1/00　３３２　Ｂ	

審査請求　未請求　請求項の数２(全 16 頁)

(21)出願番号　特願平4－318573

(22)出願日　平成４年(1992)11月27日

(71)出願人　000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号

(72)発明者　城戸　琢磨
大阪府大阪市阿倍野区長池町22番22号　シャープ株式会社内

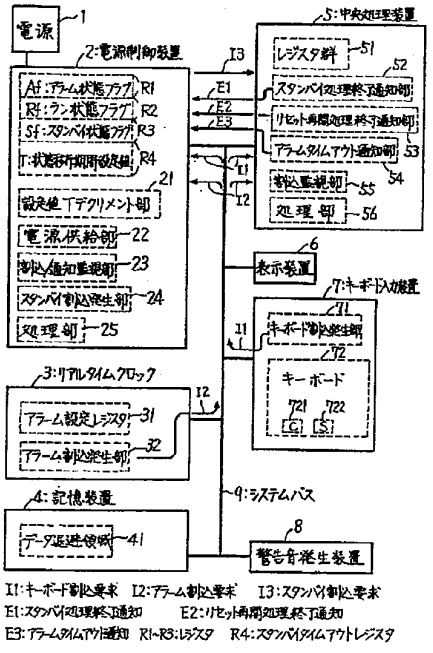
(74)代理人　弁理士　深見　久郎

(54)【発明の名称】　情報処理装置のための電力供給制御装置

(57)【要約】

【目的】　情報処理装置の利用状況に応じて該装置への電力供給状態を調整することにより、該装置への電力供給量を低減させる電力供給制御装置を提供する。

【構成】　情報処理システムは電源１および電源１から該システムへ電力供給を制御する電源制御装置２を含み、装置２により全体へ電力供給されるラン状態および一部に電力供給されるスタンバイ状態を有する。スタンバイ状態時にアラーム割込要求Ｉ２またはキーボード割込要求Ｉ１が発生すると、ラン状態へ移行するが、特に、要求Ｉ２発生に応じたラン状態移行後の所定期間連続して要求Ｉ１が発生しない、すなわち利用者により該システムが利用されない状態が継続すれば、ただちに該システムはスタンバイ状態に戻されるので、該システムは利用されていないのにラン状態にあることが回避され無駄な電力消費が抑制される。



Qualcomm Ex. 1002 - 204/414

1

【特許請求の範囲】

【請求項１】　情報処理装置に備えられ、かつ電源から前記処理装置への電力供給を制御する情報処理装置のための電力供給制御装置であって、

複数種類の割込要求を出力する割込手段と、

前記処理装置に低レベルの電力供給後、前記割込手段から出力された割込要求に応答して前記処理装置に高レベルの電力を供給する第１制御手段と、

前記第１制御手段による前記高レベル電力供給開始後の所定期間にわたって、前記割込手段から所定種類の割込要求が出力されないことに応答して、前記処理装置に前記高レベル電力に代替して前記低レベルの電力を供給する第２制御手段とを備え、

前記第２制御手段は、前記第１制御手段に対して直前に前記高レベル電力供給を行なわせた前記割込要求の種類に応じて前記所定期間の長さを可変設定する期間設定手段をさらに備えた、情報処理装置のための電力供給制御装置。

【請求項２】　前記割込要求の種類は、利用者に前記処理装置の利用開始を促す第１種類および前記処理装置にデータ入力されて利用が所望されていることを表わす第２種類を含み、

前記期間設定手段は、

前記第１制御手段に対して直前に前記高レベル電力供給を行なわせた前記割込要求の種類が前記第１種類であることに応じて、前記所定期間を短期間に設定する短期間設定手段と、

前記第１制御手段に対して直前に前記高レベル電力供給を行なわせた前記割込要求の種類が前記第２種類であることに応じて、前記所定期間を前記短期間よりも長く設定する長期間設定手段とをさらに備えた、請求項１に記載の情報処理装置のための電力供給制御装置。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】この発明は情報処理装置にその駆動に必要とされる電力の供給を制御する情報処理装置のための電力供給制御装置の改良に関する。

【０００２】

【従来の技術】図７は、従来の電力供給制御機構が含まれる情報処理システムの構成図である。図において情報処理システムは電源１、電源１を接続する電源制御装置２ａ、リアルタイムクロック３、記憶装置４、中央処理装置５ａ、表示装置６、キーボード入力装置７および警告音発生装置８を含み、電源１を除く各部はシステムバス９を介して相互に通信接続される。この情報処理システムにおいて、該システム全体に電源１からの電力が供給された状態をラン状態と呼び、該情報処理システムの一部分に電源１からの電力が供給される状態をスタンバイ状態と呼ぶ。

【０００３】電源制御装置２ａは該システムがラン状態

2

であることを示すフラグＲｆを格納するためのレジスタＲ２、該システムがスタンバイ状態であることを示すフラグＳｆを格納するためのレジスタＲ３、ラン状態からスタンバイ状態へ移行する時間期間長を決定する状態移行期間設定値Ｔを格納するためのスタンバイタイムアウトレジスタＲ４を含む。さらに電源制御装置２ａはラン状態フラグＲｆが“１”に設定されている場合、スタンバイタイムアウトレジスタＲ４中の値Ｔを一定時間間隔ｔ秒ごとに１ずつデクリメントする設定値Ｔデクリメント部２１、電源１からの電力を該システムの各部に供給するのを制御する電源供給部２２、システムバス９を経由して後述するキーボード割込要求Ｉ１、アラーム割込要求Ｉ２、スタンバイ処理終了通知Ｅ１およびリセット再開処理終了通知Ｅ２のいずれかが与えられたことを判別する割込／通知監視部２３、中央処理装置５ａに対してスタンバイ割込要求Ｉ３を発生し、これをシステムバス９に送出するスタンバイ割込発生部２４および各種処理を行なう処理部２５を含む。状態移行期間設定値Ｔは、前述したようにデクリメント部２１によりラン状態フラグＲｆが“１”に設定されている場合はデクリメント処理されるが、スタンバイ状態フラグＳｆが“１”に設定されている場合はデクリメントされない。

【０００４】リアルタイムクロック３はアラーム割込時間を設定するためのアラーム設定レジスタ３１およびアラーム割込発生部３２を含む。利用者がアラーム割込時間を設定しておけば該システムから離れていても、この時間に達したときに後述するようにアラームが鳴動して、利用者に対して該システムの利用開始を促すことができる。リアルタイムクロック３はレジスタ３１に設定された時刻になると、アラーム割込発生部３２を用いてアラーム割込要求Ｉ２を発生しシステムバス９に送出する。

【０００５】記憶装置４は該情報処理システムにおける各種プログラムおよびデータを記憶する記憶領域の他に中央処理装置５ａから退避されたデータを記憶するためのデータ退避領域４１を含む。

【０００６】中央処理装置５ａは割込などにより実行が中断されたプログラムが、後に中断された時点からの実行再開が可能となるのに必要なデータを格納するためのレジスタ群５１、スタンバイ処理終了通知部５２、リセット再開処理終了通知部５３、割込監視部５５および各種処理を行なう処理部５６を含む。割込監視部５５はシステムバス９を経由してキーボード割込要求Ｉ１、アラーム割込要求Ｉ２およびスタンバイ割込要求Ｉ３のいずれかが与えられたことを判断する。スタンバイ処理終了通知部５２は、割込監視部５５によりシステムバス９を介して電源制御装置２ａからスタンバイ割込要求Ｉ３が与えられたことに応じて、処理部５６がレジスタ群５１に格納されるデータをデータ退避領域４１に転送した後、スタンバイ処理終了通知Ｅ１をシステムバス９を介

Qualcomm Ex. 1002 - 205/414

して電源制御装置２ａに与える。リセット再開処理終了通知部５３は、前述のスタンバイ処理後、電源制御装置２ａから電力供給が再開されたことに応じて処理部５６がデータ退避領域４１に退避されたデータを読出しレジスタ群５１に書込んで格納した後、リセット再開処理終了通知Ｅ２をシステムバス９を介して電源制御装置２ａに与える。

【０００７】キーボード入力装置７はキーボード割込発生部７１、図示されない英数字キーおよびテンキーなどを含むキーボード７２を含む。キーボード割込発生部７１はキーボード７２上のキーが押下されたことに応じてキーボード割込要求Ｉ１をシステムバス９に送出する。キーボード７２は警告音発生装置８から発生される警告音を停止させるために操作される“Ｃ”キー７２１および発生される警告音を停止させ、所定時間経過後に再発生させるために操作される“Ｓ”キー７２２を含む。

【０００８】図７に示される情報処理システムはラン状態では電源制御装置２ａ、リアルタイムクロック３、記憶装置４、中央処理装置５ａ、表示装置６、キーボード入力装置７および警告音発生装置８に電源供給部２２の制御により電力が供給される。スタンバイ状態では電源制御装置２ａ、リアルタイムクロック３、記憶装置４およびキーボード入力装置７にのみ電源供給部２２の制御により電力が供給されている。このようにラン状態では該情報処理システム全体に電力が供給されているが、スタンバイ状態ではもっとも消費電力の大きい中央処理装置５、表示装置６および警告音発生装置８に電力が供給されていないので、低消費電力状態となっている。

【０００９】次に、図７に示された情報処理システムの動作について説明する。まず、ラン状態における電源制御装置２ａの動作を図８のフローチャートに従って説明する。図８のステップＳ２０（図中、Ｓ２０と略す）において、処理部２５はラン状態であるのでフラグＲｆに“１”を、スタンバイ状態フラグＳｆに“０”を設定し、次のステップＳ２２において状態移行期間設定値に初期値Ｔを設定する。初期値Ｔは、該システムにおいて独自に設定される値であり、予め記憶装置４に記憶されたデータを処理部２５が読出すことにより設定してもよいし、キーボード入力装置７を介して利用者により設定された値を読込んで設定するようにしてもよい。設定された初期値Ｔはデクリメント部２１により一定時間間隔ｔ秒ごとにデクリメント処理される。

【００１０】ステップＳ２３において処理部２５はリアルタイムクロック３からのアラーム割込要求Ｉ２が発生したか否かを判定する。アラーム割込要求Ｉ２が発生した場合ステップＳ２５において、スタンバイアウトレジスタＲ４に再び初期値Ｔを設定しステップＳ２３に戻る。アラーム割込要求Ｉ２が発生していない場合ステップＳ２４においてキーボード入力装置７からキーボード割込要求Ｉ１が発生したか否かを判定する。キーボード割込要求Ｉ１が発生した場合前述のステップＳ２５以降の処理が同様に行なわれる。キーボード割込要求Ｉ１が発生していない場合ステップＳ２６においてスタンバイアウトレジスタＲ４内の設定値Ｔの値が“０”であるか否かが判定される。０でなければ処理はステップＳ２３に戻り、“０”であれば、処理はステップＳ２７に移行する。このように、アラーム割込要求Ｉ２またはキーボード割込要求Ｉ１が発生した場合、該情報処理システムは利用者による動作状態にあると判定され、その都度設定値Ｔが初期化される。アラーム割込要求Ｉ２およびキーボード割込要求Ｉ１がなく、かつデクリメント部２１によりレジスタＲ４中の値Ｔが“０”になった場合、すなわちラン状態においてスタンバイタイムアウト時間期間（Ｔ×ｔ秒期間）、アラーム割込要求Ｉ２およびキーボード割込要求Ｉ１が発生しなかったことから該情報処理システムは利用者によって利用されない状態にあると判断され、ラン状態からスタンバイ状態に移行するためにステップＳ２７に処理を移す。ステップＳ２７において処理部２５はスタンバイ割込発生部２４に対してスタンバイ割込要求Ｉ３を発生させ、システムバス９に送出させる。スタンバイ割込要求Ｉ３はシステムバス９を介して中央処理装置５ａに与えられ、応じて中央処理装置５ａは後述するようにスタンバイ処理を行ない、スタンバイ処理終了通知Ｅ１を電源制御装置２ａに与える。処理部２５はステップＳ２８において割込／通知監視部２３を介してスタンバイ処理終了通知Ｅ１を受信したことに応じて、ステップＳ２９において電源供給部２２に対して該システム全体がスタンバイ状態の電力供給状態となるように、中央処理装置５ａ、表示装置６および警告音発生装置８への電力供給を断つように制御する。これにより該情報処理システムはスタンバイ状態へと移行する。

【００１１】前述のステップＳ２７で出力されたスタンバイ割込要求Ｉ３が与えられたことに応じて開始される中央処理装置５ａ側のスタンバイ割込処理が図９にフローチャートにして示される。中央処理装置５ａの割込監視部５５はシステムバス９を介してスタンバイ割込要求Ｉ３の入力を検知するので、応じて処理部５６はステップＳ３１において現在実行中のプログラム処理を中断し、該プログラム処理に関するデータを格納したレジスタ群５１の内容を記憶装置４のデータ退避領域４１へ転送し、その後ステップＳ３２において通知部５２を介してスタンバイ処理終了通知Ｅ１をシステムバス９を介して電源制御装置２ａに与える。これにより中央処理装置５ａ側は停止状態となる。前述したようにレジスタ群５１からデータ退避領域４１に転送されたデータは、スタンバイ割込要求Ｉ３により中断されたプログラム処理を中断された時点から実行再開可能とするようなデータである。したがって、中央処理装置５ａは電力供給再開後、直前のスタンバイ割込要求Ｉ３の発生により実行が

Qualcomm Ex. 1002 - 206/414

中断されたプログラム処理などをデータ退避領域４１に退避されたデータを用いて中断時点の状態から再開できる。

【００１２】図８および図９を用いて説明したように、ラン状態にあってもスタンバイタイムアウト時間期間（Ｔ×ｔ秒期間）、キーボード割込要求Ｉ１およびアラーム割込要求Ｉ２が発生しない状態が連続した場合、言い換えれば利用者が該情報処理システムを利用していない状態が連続した場合、自動的にラン状態からスタンバイ状態に移行することにより、必要のない電力消費を防ぐことができる。

【００１３】前述のようにしてスタンバイ状態に移行した後の電源制御装置２ａのスタンバイ状態処理が図１０にフローチャートにして示される。図１０において電源制御装置２ａの処理部２５は前述の図８のステップＳ２９でスタンバイ状態に移行した後、ステップＳ４０においてラン状態フラグＲｆに“０”およびスタンバイ状態フラグＳｆに“１”を設定し、ステップＳ４２およびＳ４３においてキーボード入力装置７からキーボード割込要求Ｉ１またはリアルタイムクロック３からアラーム割込要求Ｉ２が与えられるか否かを判定する。これら割込要求Ｉ１およびＩ２が与えられない期間はこの判定処理が繰返される、すなわちスタンバイ状態が継続される。一方、アラーム割込要求Ｉ２またはキーボード割込要求Ｉ１が発生すると、処理部２５はステップＳ４４において電源供給部２２に対し中央処理装置５ａ、表示装置７および警告音発生装置８へ電源投入を行なわせるように制御する。中央処理装置５ａはこの電源投入に応じて後述するようなリセット再開処理を行なってリセット再開処理終了通知Ｅ２を電源制御装置２ａに与える。処理部２５は次のステップＳ４５において割込／通知監視部２３を介してリセット再開処理終了通知Ｅ２の受信を判定すると該システムをラン状態に移行させる。

【００１４】前述のステップＳ４４における電源投入に応じて開始される中央処理装置５ａのリセット再開処理が図１１にフローチャートにして示される。中央処理装置５ａの処理部５６はステップＳ５１においてデータ退避領域４１に退避されたデータを読出しレジスタ群５１に書込んで格納し、ステップＳ５２においてリセット再開処理終了通知部５３に対しリセット再開処理終了通知Ｅ２を送信させ、スタンバイ割込要求Ｉ３発生直前の処理に復帰する。

【００１５】次に、中央処理装置５ａにおけるアラーム割込要求Ｉ２によるアラーム割込処理について図１２のフローチャートを参照しながら説明する。このアラーム割込処理においては表示装置６に図１３に示されるようなアラーム鳴動画面が表示される。アラーム鳴動画面はアラーム鳴動時刻表示６１、アラームを一旦停止させてたとえば５分後に再度アラーム鳴動再開を設定するためにキーボード７２の“Ｓ”キー７２２を押下することにより、スヌーズ（一旦、鳴動を中断させる）機能が有効になることを示すスヌーズボタン表示６２およびアラーム設定を解除するために“Ｃ”キー７２１を押下することによりキャンセル（鳴動の停止）機能が有効となることを示すキャンセルボタン表示６３を含む。

【００１６】図１２の処理フローに戻り、処理部５６は割込監視部５５を介してアラーム割込要求Ｉ２が与えられたことに応じて、ステップＳ６１およびＳ６２において表示装置６に対し図１３に示されるようなアラーム鳴動画面を表示させるとともに、警告音発生装置８を介して警告音を発生させる。

【００１７】次のステップＳ６３において、処理部５６はキーボード入力装置７から“Ｃ”キー７２１の押下があったか否かを判定する。“Ｃ”キー７２１の押下があった場合、アラーム鳴動がキャンセルされたと判断され後述のステップＳ６８に移行する。

【００１８】キーボード入力装置７から“Ｃ”キー７２１の押下が発生しなかったことを判定した場合、ステップＳ６４においてキーボード入力装置７から“Ｓ”キー７２２の押下が発生したか否かを判定する。“Ｓ”キー７２２の押下が発生した場合、アラーム鳴動がスヌーズされたと判定し、アラーム鳴動を一旦中断させ５分後に再度設定するために後述のステップＳ６７に移行する。“Ｓ”キー７２２の押下がなかった場合、ステップＳ６５において、処理部５６はリアルタイムクロック３から現在時刻を読出しアラーム割込開始時刻（アラーム鳴動時刻）と比較し、アラーム鳴動時間期間を求め、ステップＳ６６に移行する。ステップＳ６６において、ステップＳ６５で得られたアラーム鳴動時間期間が予め設定されたアラームタイムアウト時間期間Ａ×ｔ秒（予め処理部５６の内部レジスタにストアされている）より大きいか否かによりアラームタイムアウトが成立するか否かを判定する。アラームタイムアウト時間期間Ａ×ｔ秒は前述したスタンバイタイムアウト時間期間（Ｔ×ｔ秒）より小さい値に設定されている。アラーム鳴動時間期間がアラームタイムアウト時間期間Ａ×ｔ秒よりも小さい場合、ステップＳ６３に戻り、再度キーボード入力装置７からの入力を待つ。アラーム鳴動時間期間がアラームタイムアウト時間期間Ａ×ｔ秒に達した場合、アラームタイムアウトが成立したと判定し、アラーム鳴動を５分後に再設定するためにステップＳ６７に移行する。

【００１９】ステップＳ６７において、処理部５６は該アラーム割込処理の起動された時間（アラーム鳴動時刻）に５分を加えた値をリアルタイムクロック３内のアラーム設定レジスタ３１に書込んで設定する。

【００２０】ステップＳ６８において、処理部５６は表示装置６に表示されているアラーム鳴動画面を消去するとともに、ステップＳ６９において警告音発生装置８に対し警告音の発生を停止させ、その後アラーム割込処理から復帰する。

Qualcomm Ex. 1002 - 207/414

【００２１】上述した、図７に示される情報処理システムにおけるラン状態とスタンバイ状態との間の状態遷移が図１４に示される。スタンバイ状態７１からラン状態７０への状態遷移７３はリアルタイムクロック３からのアラーム割込要求Ｉ２またはキーボード入力装置７からのキーボード割込要求Ｉ１の発生により行なわれる。ラン状態７０からスタンバイ状態７１への状態遷移７４はスタンバイタイムアウト発生（スタンバイタイムアウトレジスタＲ４中の設定値Ｔが“０”に達する）により行なわれる。ラン状態７０からラン状態７０への状態遷移７５は、リアルタイムクロック３からのアラーム割込要求Ｉ２またはキーボード入力装置７からのキーボード割込要求Ｉ１の要因で行なわれる。

【００２２】このように、図７に示される情報処理システムによれば、ラン状態にあっても、スタンバイタイムアウト時間期間（Ｔ×ｔ秒）以上、利用者が該システムを利用しない場合は、ただちに低消費電力状態であるスタンバイ状態に自動的に移行するので、該システム全体の電力消費量を削減することが可能となる。さらに、このスタンバイ状態からラン状態への移行は、利用者がキーボード入力装置７を介してキー入力するか、またはリアルタイムクロック３がアラーム設定レジスタ３１に設定された時刻に達したことにより行なわれる。

【００２３】

【発明が解決しようとする課題】上述したように、図７に示された従来の情報処理システムでは、利用者によって予め設定されたアラーム設定時刻になると、スタンバイ状態にあった場合でもアラーム割込処理を行なえるようにラン状態レベルの電力供給が開始される。このラン状態への移行後のアラーム割込処理中においても利用者が該情報処理システムを使用しない場合は、すなわち利用者がアラーム割込処理中にいかなるキー入力操作も行なわなかった場合は再度スタンバイ状態へ移行しようとするが、この移行は、ラン状態へ移行してからスタンバイタイムアウト時間期間（Ｔ×ｔ秒）経過しないと行なわれなかった。したがって、アラーム割込処理に要するアラームタイムアウト時間期間Ａ×ｔ秒経過後からスタンバイタイムアウト時間期間Ｔ×ｔ秒経過までの（Ｔ×ｔ－Ａ×ｔ）秒の間は、該システムは利用されていないにもかかわらずラン状態におかれるため該システムにおいて無駄な電力が消費されるという問題があった。特に、該情報処理システムの電源１が電池であった場合、上述したような無駄な電力消費は電池寿命を短くしコスト高になるという重大な問題を引起こした。

【００２４】それゆえにこの発明の目的は、情報処理装置の利用状況に応じた電力供給により該情報処理装置における電力消費量を低減できる情報処理装置のための電力供給制御装置を提供することである。

【００２５】

【課題を解決するための手段】この発明に係る情報処理装置のための電力供給制御装置は、情報処理装置に備えられ、かつ電源から処理装置への電力供給を制御するものであり、割込手段と、第１制御手段と、第２制御手段とを備える。

【００２６】割込手段は、複数種類の割込要求を出力する。第１制御手段は、情報処理装置に低レベルの電力供給後、割込手段から出力された割込要求に応答して処理装置に高レベルの電力を供給し、第２制御手段は、第１制御手段による高レベル電力供給開始後の所定期間にわたって、割込手段から所定種類の割込要求が出力されないことに応答して、処理装置に前述の低レベルの電力を供給する。第２制御手段はさらに期間設定手段を備え、この期間設定手段は第１制御手段に対して直前に前述の高レベル電力供給を行なわせた割込要求の種類に応じて前述の所定期間の長さを可変設定する。

【００２７】前述の期間設定手段は、さらに短期間設定手段および長期間設定手段を備えて構成されてもよい。短期間設定手段は、第１制御手段に対して直前に高レベル電力供給を行なわせた割込要求の種類が利用者に情報処理装置の利用開始を促す第１種類の割込要求であることに応じて、前述の所定期間を短期間に設定し、長期間設定手段は、第１制御手段に対して直前に高レベル電力供給を行なわせた割込要求の種類が情報処理装置にデータ入力されて利用が所望されていることを表わす第２種類の割込要求であることに応じて、前述の所定期間を前述した短期間よりも長く設定する。

【００２８】

【作用】この発明に係る情報処理装置のための電力供給制御装置は上述のように構成されて、第１制御手段は情報処理装置に低レベルの電力供給後、割込手段から出力された割込要求に応答してこの処理装置に高レベルの電力を供給する。第２制御手段は、この高レベル電力供給開始後の所定期間にわたって割込手段から所定種類の割込要求が出力されないことに応答して情報処理装置に低レベルの電力を供給する。このとき、期間設定手段は、第１制御手段に対して直前に高レベル電力供給を行なわせた割込要求の種類に応じて前述の所定期間の長さを可変設定するので、情報処理装置に対する第１制御手段による高レベル電力供給期間、すなわち高レベル電力供給量をこの第１制御手段に対して直前に高レベル電力供給を行なわせた割込要求の種類によって可変調整できる。言い換えれば、この割込要求の種類が利用者に情報処理装置の利用開始を促す第１種類の場合は、短期間設定手段が前述の高レベル電力供給期間を短期間に設定し、この割込要求の種類が情報処理装置にデータ入力されて利用が所望されていることを表わす第２種類であった場合、長期間設定手段が前述の高レベル電力供給期間をこの短期間よりも長く設定するので、第１制御手段に対して直前に高レベル電力供給を行なわせた割込要求の種類が第１種類であった場合は、高レベル電力供給期間を短

Qualcomm Ex. 1002 - 208/414

く、すなわち高レベル電力供給量を削減して、該情報処理装置における電力消費量を低減できる。

【0029】

【実施例】以下、この発明の実施例について図面を参照し詳細に説明する。図1は、この発明の一実施例による電力供給制御機構が含まれる情報処理システムの構成図である。図1に示される情報処理システムと図7に示される従来のそれとを比較し異なる点は、図7のシステム中の電源制御装置2aおよび中央処理装置5aのそれぞれを図1のシステムでは電源制御装置2および中央処理装置5のそれぞれで代替えしている点にある。図1の情報処理システムのその他の構成は、図7に示されるシステムのそれらと同様であるので説明は省略する。

【0030】電源制御装置2は従来の電源制御装置2aの構成に追加してアラーム状態フラグAfが設定されるレジスタR1をさらに含み、中央処理装置5は従来の中央処理装置5aの構成に追加してシステムバス9を介して電源制御装置2にアラームタイムアウト通知E3を送信するアラームタイムアウト通知部54をさらに含む。電源制御装置2のスタンバイタイムアウトレジスタR4に設定された設定値Tは、従来と同様にラン状態フラグRfが“1”に設定されている場合、デクリメント部21により一定時間間隔t秒ごとに1ずつデクリメントされる。一方、スタンバイ状態フラグSfまたはアラーム状態フラグAfが“1”に設定されている場合、設定値Tはデクリメントされない。図1の情報処理システムがラン状態またはアラーム状態にあるとき、電源制御装置2の電源供給部22により該システム全体に電源1から電力が供給されており、スタンバイ状態では、電源制御装置2、リアルタイムクロック3、記憶装置4およびキーボード入力装置7のみに電力が供給されている。このように、スタンバイ状態では、もっとも消費電力の大きい中央処理装置5、表示装置6および警告音発生装置8には電力が供給されないので該情報処理システムは低消費電力状態となっている。

【0031】次に、図1に示される情報処理システムの動作について説明する。図2には該情報処理システムがラン状態にあるときの電源制御装置2の動作がフローチャートにして示される。このフローチャートと図8に示された従来のフローチャートとを比較し、異なる点は従来のステップS20の処理がステップS21の処理に代替えされた点にある。その他の処理（ステップS22ないしステップS29）の内容は図8に示された従来のそれらと同様であり詳細な説明は省略する。電源制御装置2はラン状態に移行すると、ステップS21においてラン状態フラグRfに“1”を設定するとともに、アラーム状態フラグAfおよびスタンバイ状態フラグSfに“0”を設定して次のステップS22へ移行する。以下、図8と同様な処理が行なわれて、スタンバイタイムアウト時間期間（T×t秒間）連続して利用者により該情報処理システムの利用が行なわれていない、すなわちアラーム割込要求I2およびキーボード割込要求I1が発生しなかった場合は、ただちに中央処理装置5に対してスタンバイ割込要求I3を出力し、その後中央処理装置5からスタンバイ処理終了通知E1を受けると、応じて中央処理装置5、表示装置6および警告音発生装置8への電力供給を断ち、スタンバイ状態へ移行する。

【0032】前述した電源制御装置2におけるラン状態からスタンバイ状態への移行時に出力されたスタンバイ割込要求I3に応じて、中央処理装置5においては前述した図9に示されるようなスタンバイ割込処理が行なわれる。このスタンバイ割込処理において、ラン状態からスタンバイ状態への移行に際して中断されたプログラム処理の再開に必要なデータはデータ退避領域41に転送されて、スタンバイ処理終了通知E1が発行された後、中央処理装置5は自動的に停止させられ電源制御装置2によって電力供給が断たれる。

【0033】以上のように、ラン状態にあってもスタンバイタイムアウト時間期間（T×t秒期間）、利用者が該情報処理システムを使用していない状態が連続した場合は、ただちに該情報処理システムは自動的にラン状態からスタンバイ状態へと移行するので、必要のない電力が消費されるのを防止できる。

【0034】スタンバイ状態に移行した電源制御装置2の動作が図3にフローチャートにして示される。前述したようにして電源制御装置2がスタンバイ状態へ移行すると、ステップS41において処理部25はラン状態フラグRfおよびアラーム状態フラグAfに“0”を設定するとともにスタンバイ状態フラグSfに“1”を設定しステップS42およびS43においてアラーム割込要求I2またはキーボード割込要求I1が発生したか否かを判定する。アラーム割込要求I2が発生した場合、処理は後述するステップS46に移る。キーボード割込要求I1が発生した場合、処理は後述するステップS44へ移行する。スタンバイ状態においてアラーム割込要求I2およびキーボード割込要求I1のいずれもが発生しない場合、このステップS42およびS43の判定処理が繰返し行なわれて、スタンバイ状態が継続する。

【0035】前述のステップS42においてアラーム割込要求I2が発生したことが判定されると、スタンバイ状態からアラーム状態に移行するためにステップS46において処理部25は電源供給部22に対して中央処理装置5、表示装置6および警告音発生装置8へ電源供給を再開するように制御する。中央処理装置5はこの電源供給再開に応じて前述した図11に示されたようなリセット再開処理を行なってリセット再開処理終了通知E2を電源制御装置2に出力した後、スタンバイ割込要求I3発生直前の処理に復帰する。

【0036】ステップS47において処理部25は割込／通知監視部23を介して中央処理装置5から出力され

Qualcomm Ex. 1002 - 209/414

たリセット再開処理終了通知Ｅ２を受信するので、応じて該システムをアラーム状態に移行させる。

【００３７】一方、ステップＳ４３においてキーボード割込要求Ｉ１が発生したことが判定されると、ステップＳ４４およびステップＳ４５において前述と同様にして中央処理装置５、表示装置６および警告音発生装置８への電力供給が再開されるとともに、中央処理装置５においてリセット再開処理が行なわれてリセット再開処理終了通知Ｅ２が電源制御装置２に送信される。リセット再開処理終了通知Ｅ２の受信に応じて、電源制御装置２は該システムをラン状態へと移行させる。

【００３８】以上のように、電源制御装置２はこのスタンバイ状態時のアラーム割込要求Ｉ２の発生に応じて該システムをアラーム状態に遷移させ、キーボード割込要求Ｉ１の発生に応じてラン状態へと遷移させる。

【００３９】前述のようにしてスタンバイ状態からアラーム状態へ遷移した電源制御装置２の動作が図４にフローチャートにして示される。図４において電源制御装置２の処理部２５はスタンバイ状態からアラーム状態に遷移したことに応じて、ステップＳ８１でラン状態フラグＲｆおよびスタンバイ状態フラグＳｆに“０”を設定するとともにアラーム状態フラグＡｆに“１”を設定する。

【００４０】ステップＳ８２およびＳ８３においてはアラーム状態においてキーボード割込要求Ｉ１またはアラームタイムアウト通知Ｅ３が発生または受信したかを判定する。これら要求および通知が発生または受信されない間はステップＳ８２およびＳ８３の判定処理が繰返されることにより、アラーム状態が継続する。

【００４１】ステップＳ８２においてキーボード割込要求Ｉ１が発生したことが判定されると、電源制御装置２は該システムをラン状態へと移行させる。ラン状態へと移行したことにより、電源制御装置２では前述した図２のフローチャートに従う動作が行なわれる。

【００４２】ステップＳ８３において中央処理装置５のアラームタイムアウト通知部５４からアラームタイムアウト通知Ｅ３が送信されこれを受信したことが判定されると、ステップＳ８４に移行する。アラームタイムアウト通知Ｅ３を受信した場合、処理部２５は後述する中央処理装置５におけるアラーム割込処理中に利用者からのキー入力がなされなかったと判定し、応じてスタンバイ状態へと移行するために中央処理装置５に対してスタンバイ割込要求Ｉ３を出力する。

【００４３】中央処理装置５は電源制御装置２から与えられるスタンバイ割込要求Ｉ３の入力に応じて前述した図９に示されるようなスタンバイ割込処理を行なってスタンバイ処理終了通知Ｅ１を電源制御装置２に送信し自動的に停止する。

【００４４】ステップＳ８５において電源制御装置２の処理部２５は割込／通知開始部２３を介してスタンバイ処理終了通知Ｅ１の受信を判定するので、応じてステップＳ８６において中央処理装置５、表示装置６および警告音発生装置８への電力供給を遮断する。これにより電源装置２は該システムをスタンバイ状態へと移行させて、前述した図３に示されるようなスタンバイ状態時の動作を行なう。

【００４５】中央処理装置５におけるアラームタイムアウト通知Ｅ３を出力するようなアラーム割込処理が図５にフローチャートにして示される。中央処理装置５の処理部５６は割込監視部５５を介してアラーム割込要求Ｉ２の発生を判定すると、ステップＳ６１およびＳ６２において表示装置６に図１３に示されたようなアラーム鳴動画面を表示させるとともに、警告音発生装置８に対し警告音を発生させるよう制御する。

【００４６】ステップＳ６３ないしステップＳ６６の処理において、アラーム鳴動開始からのアラームタイムアウト時間期間Ａ×ｔ秒（ただしスタンバイタイムアウト時間期間Ｔ×ｔ秒より小さい）において、アラーム鳴動をキャンセルするための“Ｃ”キー７２１の押下またはアラームを一旦、中断し５分後に再設定するための“Ｓ”キー７２２の押下がなかった場合は、ステップＳ６７に移行する。

【００４７】ステップＳ６７においては、処理部５６はリアルタイムクロック３のアラーム設定レジスタ３１の内容に５分を追加して、アラームが５分後に再び鳴動するように設定する。その後ステップＳ６８およびＳ６９の処理において、表示装置６に表示されたアラーム鳴動画面を消去するとともに、警告音発生装置８を制御し警告音発生を停止させる。そしてステップＳ７０において電源制御装置２に対しアラームタイムアウト通知Ｅ３を送信し、アラーム割込要求Ｉ２発生前の処理に復帰する。

【００４８】ステップＳ６３において、アラーム鳴動に応じて利用者が“Ｃ”キー７２１を押下したことを判定すると、ステップＳ７２およびＳ７３において表示装置６に表示されているアラーム鳴動画面を消去するとともに警告音発生装置８を制御して警告音の発生を停止させ、中央処理装置５はアラーム割込要求Ｉ２発生前の処理に復帰する。

【００４９】ステップＳ６４においてアラーム鳴動に応じて利用者が“Ｓ”キー７２２を押下したことを判定すると、ステップＳ７１の処理において処理部５６はアラーム設定レジスタ３１の内容に５分を追加し、さらに５分後にアラームが再鳴動するよう設定し、その後前述と同様にステップＳ７２およびＳ７３の処理を行なって、アラーム割込要求Ｉ２発生前の処理に復帰する。

【００５０】以上のように、従来の情報処理システムは、スタンバイ状態時にアラーム割込要求Ｉ２が発生すると、応じてラン状態に移行し、その後該システムが利用されていないにもかかわらず、一律にスタンバイタイ

Qualcomm Ex. 1002 - 210/414

ムアウト時間期間Ｔ×ｔ秒はラン状態を維持している。これに対し、本実施例ではスタンバイ状態時にアラーム割込要求Ｉ２が発生すると、一旦ラン状態に移行するが、中央処理装置５はラン状態に移行後何らのキー入力もないままにアラーム割込要求Ｉ２発生からの経過時間が予め設定されたアラームタイムアウト時間期間Ａ×ｔ秒（Ａ×ｔ＜Ｔ×ｔ）に達すれば、アラームタイムアウト通知Ｅ３を電源制御装置２に送信し、電源制御装置２に対して該システムを再度スタンバイ状態へと移行させるように制御する。したがって、従来に比較し、本実施例によればＴ×ｔ秒－Ａ×ｔ秒の期間ラン状態であることが回避されるのでその分無駄な電力消費を防止できる。

【００５１】上述した情報処理システムにおけるラン状態、スタンバイ状態およびアラーム状態間の状態遷移が図６に示される。アラーム状態７２からラン状態７０への状態遷移７４はアラーム割込要求Ｉ２の発生に応じたアラーム割込処理中にキーボード割込要求Ｉ１が発生したことにより行なわれる。ラン状態７０からラン状態７０への状態遷移７５はアラーム割込要求Ｉ２またはキーボード割込要求Ｉ１の発生により行なわれる。ラン状態７０からスタンバイ状態７１への状態遷移７６はスタンバイタイムアウト期間（Ｔ×ｔ秒期間）連続してアラーム割込要求Ｉ２およびキーボード割込要求Ｉ１が発生していないというスタンバイタイムアウト発生により行なわれる。スタンバイ状態７１からラン状態７０への状態遷移７７はキーボード割込要求Ｉ１の発生により行なわれる。スタンバイ状態７１からアラーム状態７２への状態遷移７８はアラーム割込要求Ｉ２の発生により行なわれる。アラーム状態７２からスタンバイ状態７１への状態遷移７９はアラーム割込要求Ｉ２の発生によるアラーム割込処理中に、キーボード割込要求Ｉ１が発生しなかった場合に行なわれる。

【００５２】以上述べたように、スタンバイ状態時のアラーム割込要求Ｉ２発生によるラン状態への移行後、アラーム割込処理が行なわれるが、この割込処理中に利用者が該情報処理システムを使用していない状態が所定のアラームタイムアウト時間期間（×ｔ秒期間）継続した場合、自動的にスタンバイ状態に戻ることが可能となる。したがって、利用者が該情報処理システムを利用していないときに該情報処理システムがラン状態にあることが極力回避されるので、無駄な電力消費を抑制できる。特に、電源１が電池であった場合、電池の寿命を長くすることが可能になる。

【００５３】

【発明の効果】以上のようにこの発明によれば、期間設定手段は、情報処理装置に対する第１制御手段による高レベル電力供給期間長を、第１制御手段に対して直前に高レベル電力供給を行なわせた割込要求の種類に応じて可変調整できる。これに対し従来はこの高レベル電力供給期間が割込要求の種類にかかわらず常に一定長であった。したがって、従来は第１制御手段による高レベル電力供給期間における電力消費量を低減することはできなかったが、本発明によればこの電力消費量を第１制御手段に対して直前に高レベル電力供給を行なわせた割込要求の種類に応じて低減することが可能となる。また、このことは情報処理装置の電源が電池であった場合、この電池の使用寿命を長くするという効果をもたらす。

【図面の簡単な説明】

【図１】この発明の一実施例による電力供給制御機構が含まれる情報処理システムの構成図である。

【図２】図１に示された電源制御装置におけるラン状態処理のフローチャートである。

【図３】図１に示された電源制御装置におけるスタンバイ状態処理のフローチャートである。

【図４】図１に示される電源制御装置におけるアラーム状態処理のフローチャートである。

【図５】図１に示された中央処理装置におけるアラーム割込処理のフローチャートである。

【図６】図１に示された情報処理システムの電力供給状態における状態遷移図である。

【図７】従来の電力供給制御機構が含まれる情報処理システムの構成図である。

【図８】図７に示された電源制御装置におけるラン状態処理のフローチャートである。

【図９】従来およびこの発明の一実施例に適用される中央処理装置におけるスタンバイ割込処理のフローチャートである。

【図１０】図７に示される電源制御装置におけるスタンバイ状態処理のフローチャートである。

【図１１】従来およびこの発明の一実施例に適用される中央処理装置におけるリセット再開処理のフローチャートである。

【図１２】図７に示された中央処理装置におけるアラーム割込処理のフローチャートである。

【図１３】従来およびこの発明の一実施例に適用される表示装置に表示されるアラーム鳴動画面の一例を示す図である。

【図１４】図７に示された情報処理システムの電力供給状態における状態遷移図である。

【符号の説明】

１　電源
２　電源制御装置
３　リアルタイムクロック
５　中央処理装置
７　キーボード入力装置
Ａｆ　アラーム状態フラグ
Ｒｆ　ラン状態フラグ
Ｓｆ　スタンバイ状態フラグ
Ｉ１　キーボード割込要求

Qualcomm Ex. 1002 - 211/414

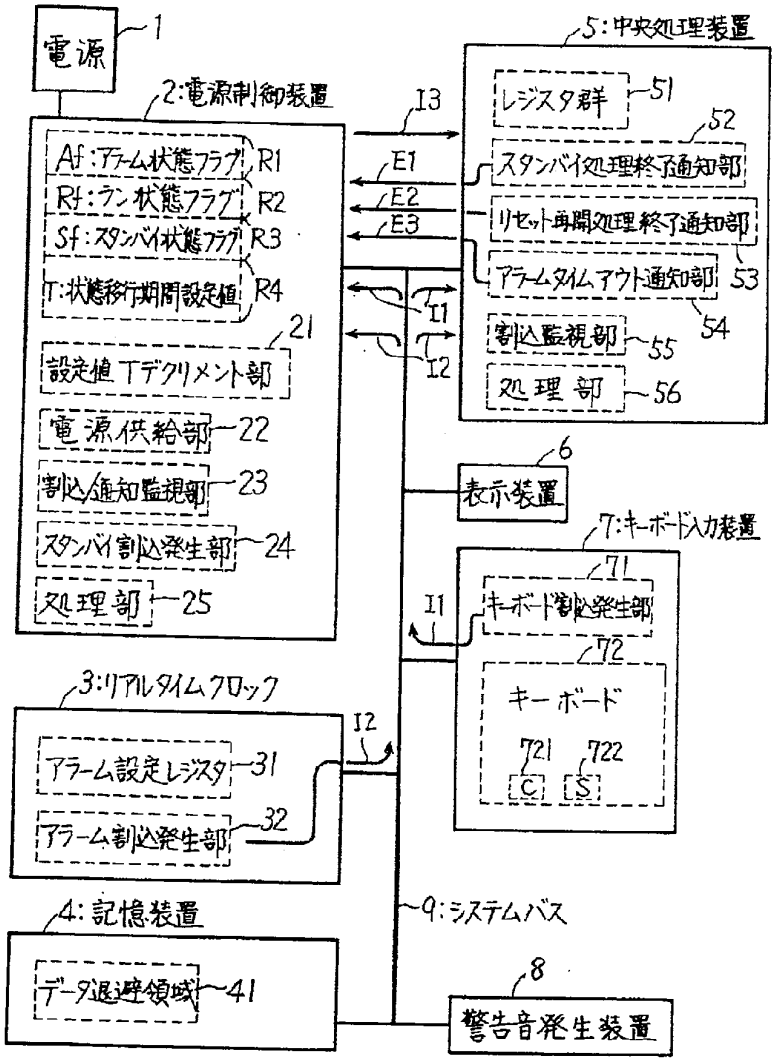
15

Ｉ２　アラーム割込要求
Ｉ３　スタンバイ割込要求
７０　ラン状態

16

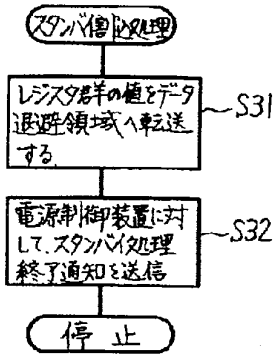
＊７１　スタンバイ状態
　７２　アラーム状態
＊　なお、各図中同一符号は同一または相当部分を示す。

【図１】

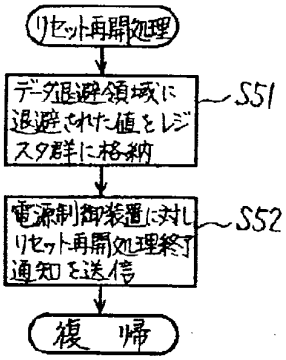


I1:キーボード割込要求　I2:アラーム割込要求　I3:スタンバイ割込要求
E1:スタンバイ処理終了通知　E2:リセット再開処理終了通知
E3:アラームタイムアウト通知　R1~R3:レジスタ　R4:スタンバイタイムアウトレジスタ

【図９】

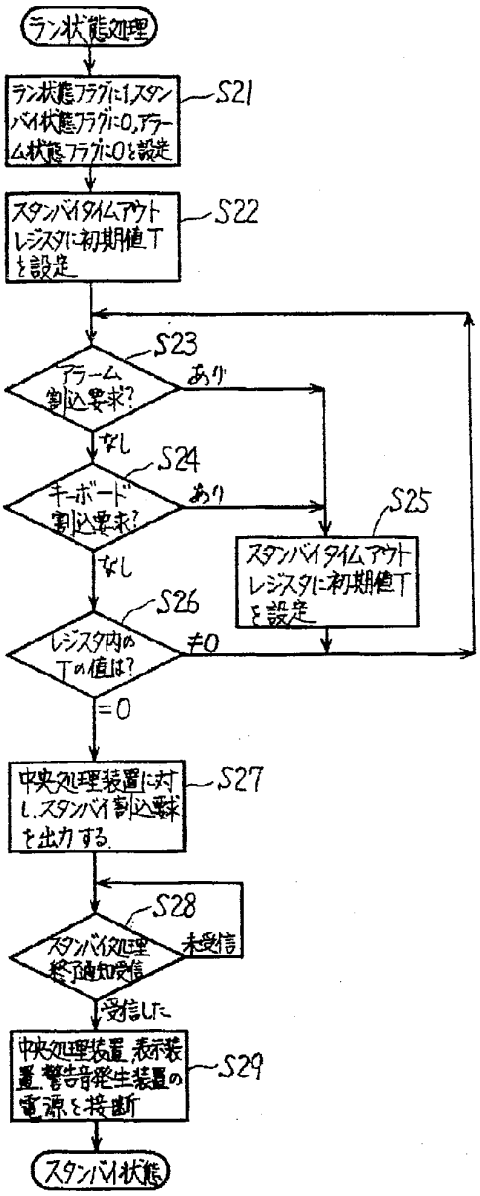


【図１１】

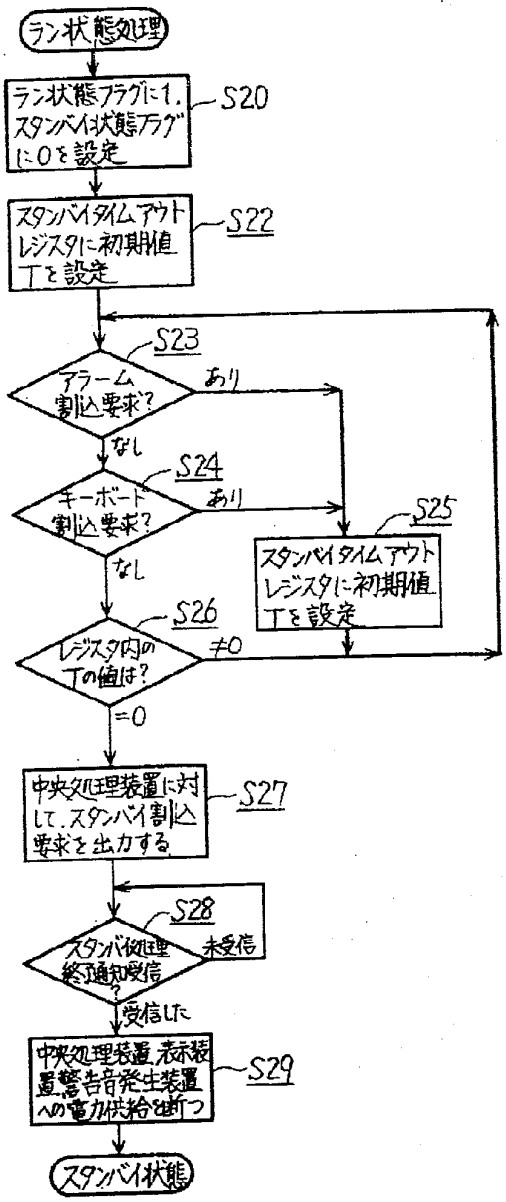


Qualcomm Ex. 1002 - 212/414

【図2】

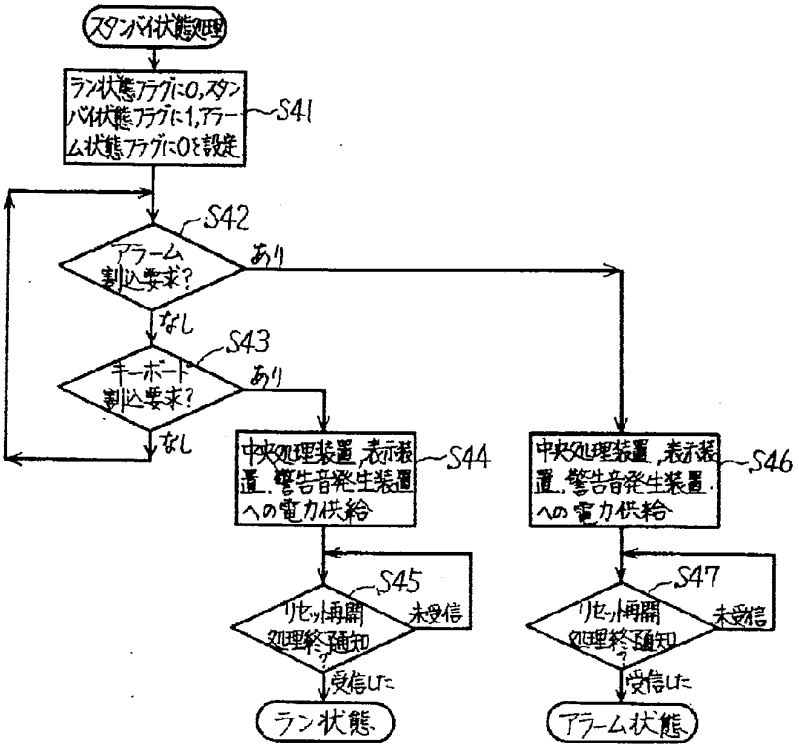


【図8】

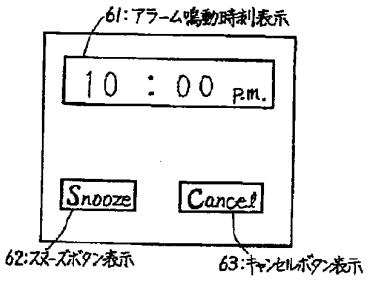


Qualcomm Ex. 1002 - 213/414

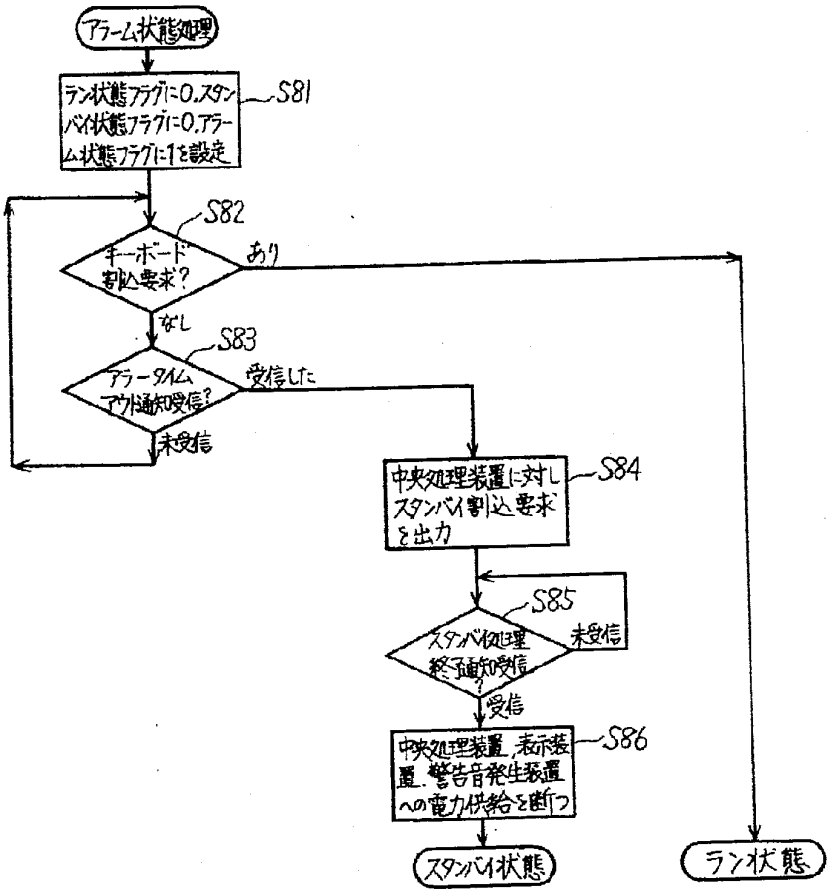
【図3】


スタンバイ状態処理
ラン状態フラグに0,スタンバイ状態フラグに1,アラーム状態フラグに0を設定
S41
S42
アラーム割込要求?
あり
なし
S43
キーボード割込要求?
あり
なし
中央処理装置,表示装置,警告音発生装置への電力供給
S44
中央処理装置,表示装置,警告音発生装置への電力供給
S46
S45
リセット再開処理終了通知?
未受信
受信した
S47
リセット再開処理終了通知?
未受信
受信した
ラン状態
アラーム状態

【図13】

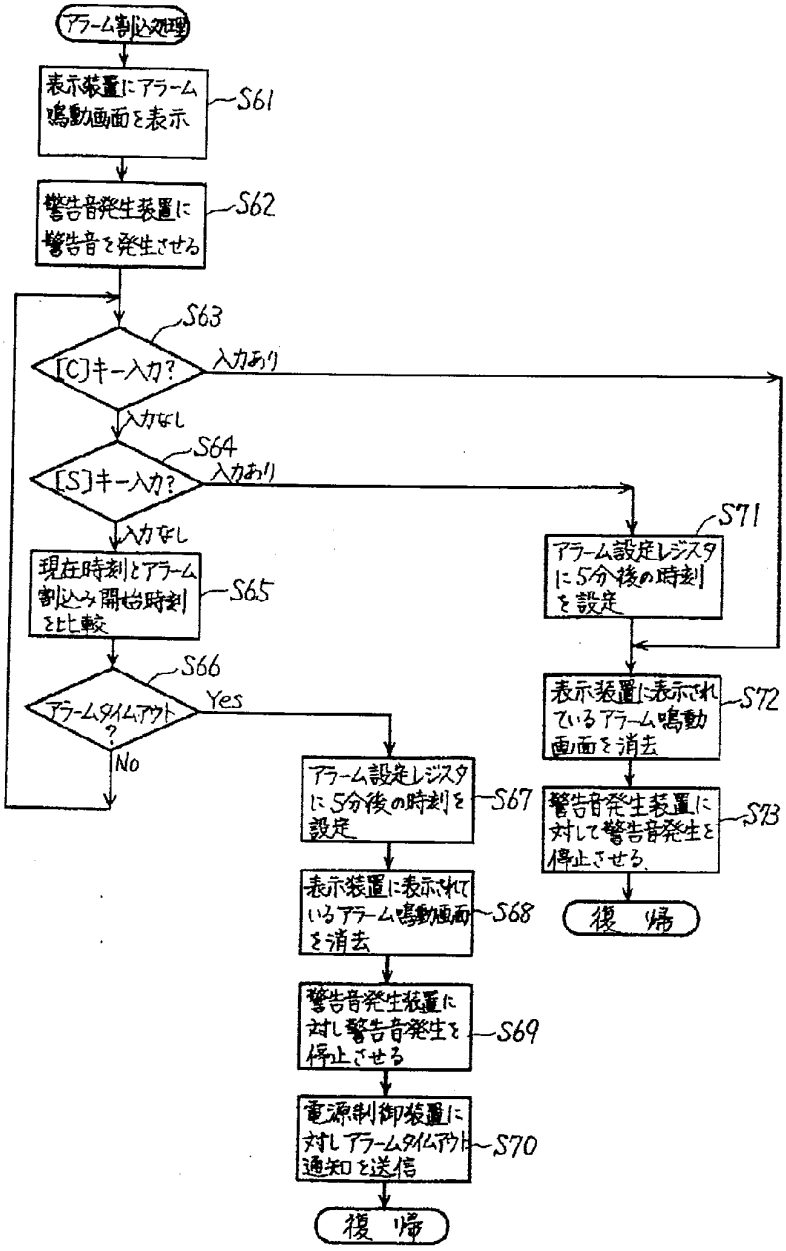

61:アラーム鳴動時刻表示
10 : 00 P.m.
Snooze
Cancel
62:スヌーズボタン表示
63:キャンセルボタン表示

【図４】



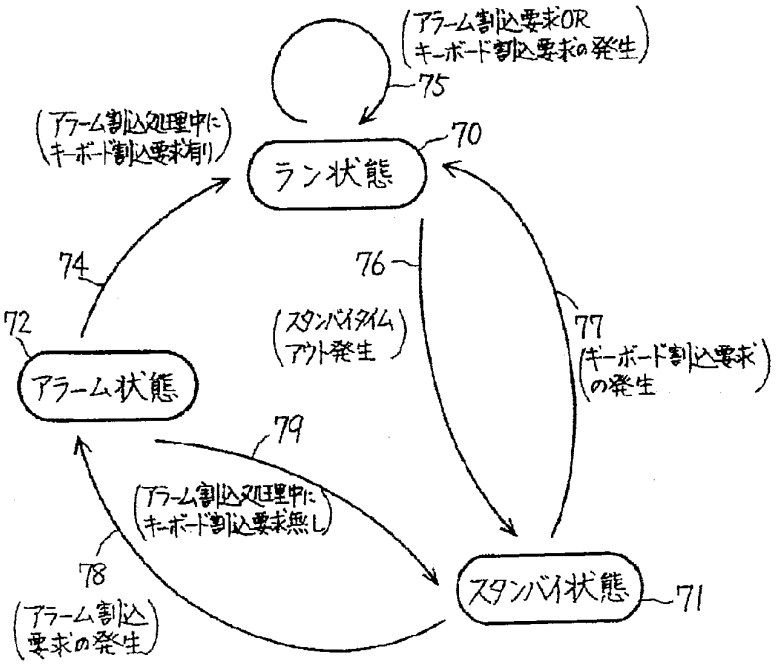
Qualcomm Ex. 1002 - 215/414

【図５】

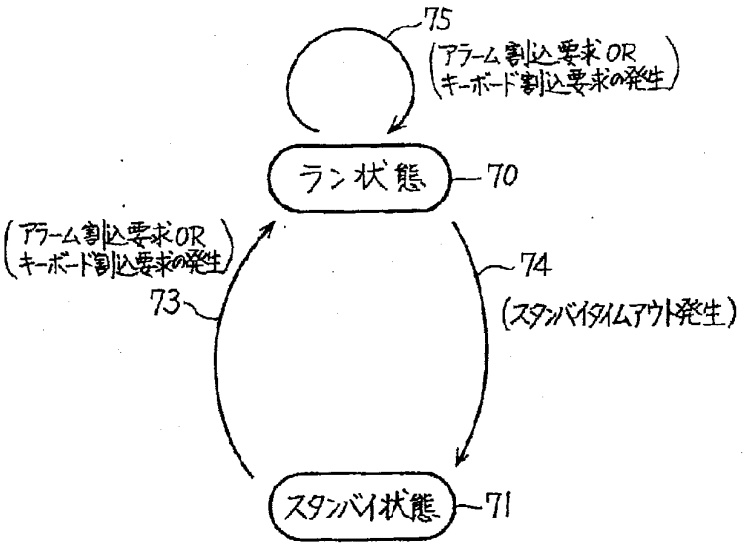


Qualcomm Ex. 1002 - 216/414

【図６】

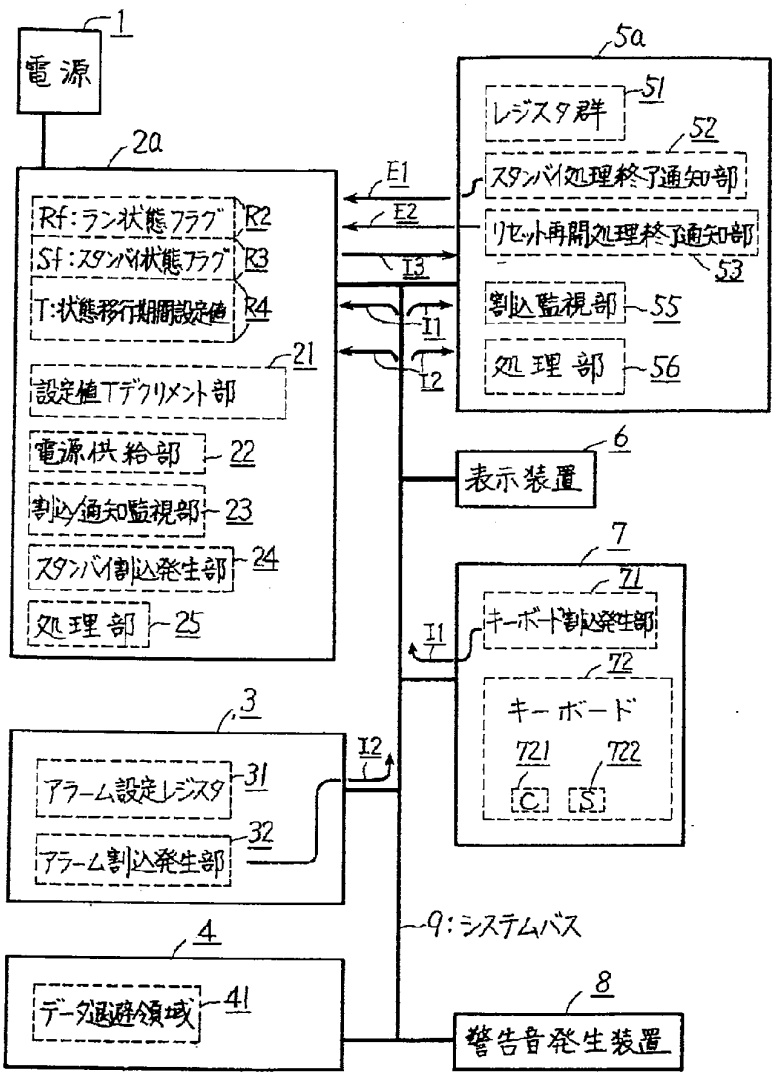


【図１４】

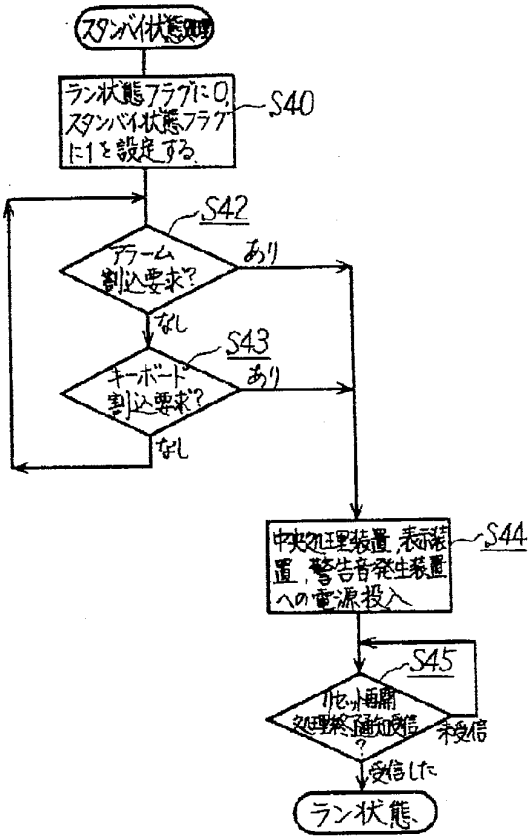


Qualcomm Ex. 1002 - 217/414

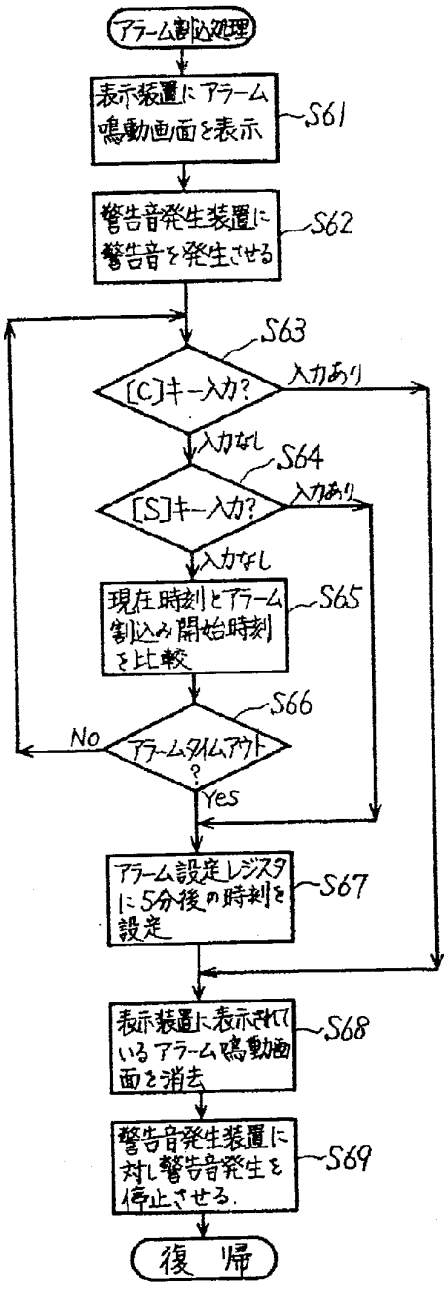
【図７】


1
電源
2a
Rf：ラン状態フラグ
R2
Sf：スタンバイ状態フラグ
R3
T：状態移行期間設定値
R4
21
設定値Tデクリメント部
電源供給部
22
割込通知監視部
23
スタンバイ割込発生部
24
処理部
25
5a
51
レジスタ群
52
スタンバイ処理終了通知部
リセット再開処理終了通知部
53
割込監視部
55
処理部
56
E1
E2
I3
I1
I2
6
表示装置
7
71
キーボード割込発生部
72
キーボード
721
722
C
S
I1
I2
3
アラーム設定レジスタ
31
アラーム割込発生部
32
9：システムバス
4
データ退避領域
41
8
警告音発生装置

【図１０】



【図１２】



Qualcomm Ex. 1002 - 219/414

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **63-298654**
(43)Date of publication of application : **06.12.1988**

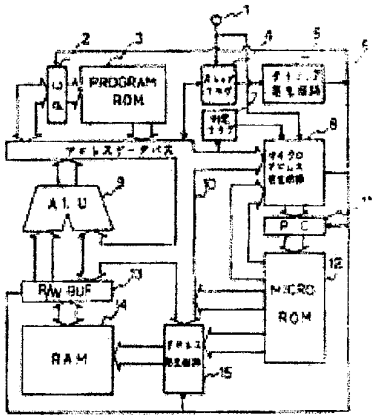
(51)Int.Cl. G06F 12/16
G06F 15/06

(21)Application number : **62-136873**
(22)Date of filing : **29.05.1987**

(71)Applicant : **NEC CORP**
(72)Inventor : **AOYAMA KOICHIRO**

(54) MICROCOMPUTER

(57)Abstract:
PURPOSE: To decrease a power consumption by writing a prescribed code to a RAM at the time of shifting to a stopping mode, reading the prescribed code at the time of shifting to an action mode and executing processing program copy with a data destruction time in the ROM when the code is discrepant with a prescribed written mode.
CONSTITUTION: A data destruction time corresponding processing program is stored into a program ROM 3, and at the time of shifting from the action mode to the stopping mode, special code data are written to a special address outside the user area of a RAM 14 and a stopping flag 4 is set. Next, at the time of shifting from the stopping mode to the action mode, a microprogram in a micro ROM 12 is started, a special code written in the RAM 14 is read, and when the code at the time of reading and the code at the time of writing one dissident, a deciding flag 7 is set and the data destruction time corresponding processing program in the ROM 3 is executed.



Qualcomm Ex. 1002 - 220/414

⑲日本国特許庁（JP）　⑪特許出願公開

⑫公開特許公報（A）　昭63－298654

⑤1Int.Cl.⁴	識別記号	庁内整理番号	⑬公開　昭和63年(1988)12月6日
G 06 F 12/16	340	L－7737－5B	
15/06	320	P－7343－5B	

審査請求　未請求　発明の数 1　（全4頁）

⑤4発明の名称　マイクロコンピュータ

⑳特　願　昭62－136873
㉒出　願　昭62(1987)5月29日

㉒発明者　青山　耕一郎　東京都港区芝5丁目33番1号　日本電気株式会社内
㉑出願人　日本電気株式会社　東京都港区芝5丁目33番1号
㉔代理人　弁理士　桑井　清一

明細書

1．発明の名称

マイクロコンピュータ

2．特許請求の範囲

データを記憶するラムと、複数プログラムのプログラム命令を保持可能なロム部とを有し、プログラムを実行する動作モードと動作クロックを停止させ電源電圧を低下させるストップモードとで機能するマイクロコンピュータにおいて、

上記ロムにデータ破壊時対応処理プログラムを保持させ、

上記動作モードからストップモードへの移行時に上記ラムの所定アドレスに特定コードを書き込むコード書き込み手段と、

上記ストップモードから動作モードに移行した後に上記特定コードをラムから読み出すコード読み出し手段と、

該ラムから読み出された特定コードが書き込まれた特定コードと一致するか否かを判断し不一致時には上記データ破壊時対応処理プログラムを実行させる判定手段とを更に設けたことを特徴とするマイクロコンピュータ。

3．発明の詳細な説明

［産業上の利用分野］

本発明はマイクロコンピュータに係り、特にマイクロコンピュータのストップモード時にランダムアクセスメモリ内のデータが正常に保持されていたか否かを判断するための手段に関する。

［従来の技術］

従来、この種のマイクロコンピュータではストップモード時に電源電圧を低下させて消費電力の節約を実行しており、この際に、ストップモード解除後のプログラム実行の再開に備えてラム（ランダムアクセスメモリ）のデータは保持される。ところが、電源電圧を低下させ過ぎるとラムのデータが破壊されてしまうことがある。従って、ラムのデータ保持電圧を十分に高く設定して上記デ

Qualcomm Ex. 1002 - 222/414

ータの破壊を防止していた。

［発明が解決しようとする問題点］

上記従来のマイクロコンピュータではストップモード時にラム内のデータ破壊を防止するためにデータ保持電圧を十分に高く設定していたので、ストップモード時の消費電力の低下を十分に実施できないという問題点があった。

従って、本発明の目的はストップモード時に電源電圧を十分に低下させることの可能なマイクロコンピュータを提供することである。

［問題点を解決するための手段］

本発明はデータを記憶するラムと、複数プログラムのプログラム命令を保持可能なロム部とを有し、プログラムを実行する動作モードと動作クロックを停止させ電源電圧を低下させるストップモードとで機能するマイクロコンピュータにおいて、上記ロムにデータ破壊時対応処理プログラムを保持させ、上記動作モードからストップモードへの移行時に上記ラムの所定アドレスに特定コードを書き込むコード書き込み手段と、上記ストップモードから動作モードに移行した後に上記特定コードをラムから読み出すコード読み出し手段と、該ラムから読み出された特定コードが書き込まれた特定コードと一致するか否かを判断し不一致時には上記データ破壊時対応処理プログラムを実行させる判定手段とを更に設けたことを特徴としている。

［発明の作用］

上記構成にかかるマイクロコンピュータにあっては、動作モード時ではロム部の何れかのプログラムのプログラム命令を順次実行する。ところが動作モードからストップモードへの移行が要求されると、まず、ラムの所定アドレスに特定コードを書き込み、しかる後にストップモードに移行する。やがて動作モードへの移行が再び要求されると、マイクロコンピュータはストップモードから動作モードに移行した後に上記特定コードをラムから読み出し、該ラムから読み出された特定コードがストップモードへの移行時に書き込まれた特定コードと一致するか否かを判断する。これらのコードが一致すればデータの破壊は発生していないので要求されているプログラムを実行し、不一致時には上記データ破壊時対応処理プログラムを実行する。

［実施例］

以下、本発明の実施例を図面を参照しつつ説明する。

第１図は本発明の一実施例の構成を示すブロック回路図であり、１は外部からの割り込み要求が供給される割り込み入力端子を、２はプログラムカウンタを、３はプログラムデータを記憶しているプログラムロム（ＰＲＯＧＲＡＭ　ＲＯＭ）を、４はストップフラグを、５はタイミング発生回路を、６は上記タイミング発生回路５から出力される各種タイミング信号の伝播するタイミング信号線を、７は後述するラムに記憶されているデータが正確にリードされたか否かの判定結果に基づきセットまたはリセットされる判定フラグを、８は判定フラグ７がセットされているときに内部初化プログラムのマイクロアドレスを発生させるマイクロアドレス発生回路を、９は各種演算を実行する演算回路（ＡＬＵ）を、１０は時分割でアドレスデータや演算データを転送するアドレスバスを、１１はマイクロロムのプログラムカウンタを、１２はマイクロプログラムを格納するマイクロロム（ＭＩＣＲＯ　ＲＯＭ）を、１３はデータのリード、ライトを実行するリード・ライトバッファ（Ｒ／Ｗ　ＢＵＦ）を、１４はラムを、１５はラムのアドレスを発生するアドレス発生回路をそれぞれ示している。

次に、本実施例の動作を第２図のフローチャート図を参照しつつ説明する。まず、パワーオンスタート後に、マイクロロム１２に格納されている内容により内部回路のリセットを実行する。この時には判定フラグ７もリセットされる。次に、プログラムロム３に格納されているプログラムに従

Qualcomm Ex. 1002 - 223/414

って処理１が実行される。ここでストップ命令が発生してプログラムロム３からクロックストップ命令がアドレスバス上に読み出されるとマイクロアドレス発生回路８はプログラムカウンタ１１にクロックストップルーチンのスタートアドレスを出力し、クロック停止のためのマイクロプログラムを実行し始める。このマイクロプログラム処理では、まず、ラム１４のユーザエリア外の特定番地に特定コードデータを書き込み、次にストップフラグ４をセットする。この特定番地への特定コードの書き込みにより特許請求の範囲で規定したコード書き込み手段が実現される。ストップフラグ４のセットによりタイミング発生回路５はタイミング発生を停止し、ストップ状態にはいる。このようにしてストップ状態にはいると電源電圧は低下し、マイクロコンピュータの消費電力の低下を図る。

このストップ状態からの解除はまず電源電圧を復帰させてから外部割り込み入力端子１に割り込み信号を供給することによりストップフラグ４をリセットし、タイミング発生回路５のタイミングの発生を再開させる。外部割り込み入力信号によりマイクロアドレス発生回路８はプログラムカウンタ１１にクロックスタート処理のスタートアドレスを出力し、クロックスタート処理のマイクロプログラムをスタートさせる。このマイクロプログラムの処理により、まず、ストップ時に書き込んだラム１４の特定番地から特定コードをリードする。この特定コードのリードにより特許請求の範囲で規定したコード書き込み手段が実現する。こうして読み出された特定コードが書き込み時のコードと異なっていればラム１４のデータ破壊が発生したと判断して判定フラグ７をセットする。判定フラグ７のセット信号によりマイクロアドレス発生回路はプログラムロム３のアドレス変更処理ルーチンのスタートアドレスをプログラムカウンタ１１に供給してマイクロプログラムをスタートさせる。かかるマイクロプログラム処理によりマイクロロム１２はプログラムカウンタ２に変更アドレスを書き込む。以上の処理で特許請求の範囲で規定する判定手段が実現される。変更アドレスで開始するプログラムロムのエリアには、予めラム１４のデータ破壊が発生したときに実行すべきデータ破壊時対応処理プログラムが格納されており（処理３）、この対応処理プログラムが順次実行された後にパワーオフエンドになる。上記プログラムロム３とマイクロロム１２とでロム部を構成している。

これに対して、判定フラグ７がセットされていない場合には、ラム１４のデータ破壊は発生していないと判断するので、プログラムロム３のプログラムにしたがって処理２がそのまま実行され、パワーオフエンドに至る。

［発明の効果］

以上説明してきたように、本発明ではロム部にデータ破壊時対応プログラムを保持させ、ストップモード前後の特定データの変化に基づきデータ破壊の有無を判断するようにしたので、ストップモード時に電源電圧を十分に低下させることができるようになり、マイクロコンピュータの消費電力を一層減少させることができるという効果を得られる。

４．図面の簡単な説明

第１図は本発明の一実施例の構成を示すブロック回路図、

第２図は一実施例の動作を説明するフローチャート図である。

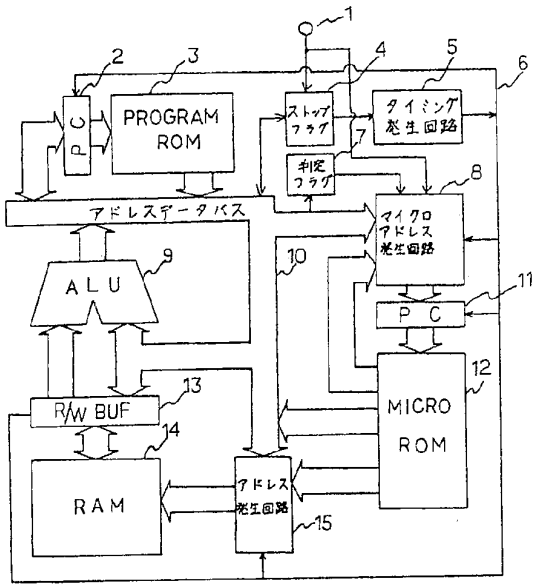
１・・・・・・割り込み入力端子、
２・・・・・・プログラムカウンタ、
３・・・・・・プログラムロム、
４・・・・・・ストップフラグ、
５・・・・・・タイミング発生回路、
６・・・・・・タイミング信線、
７・・・・・・判定フラグ、
８・・・・・・マイクロアドレス発生回路、
９・・・・・・演算回路、
１０・・・・・アドレスバス、

Qualcomm Ex. 1002 - 224/414

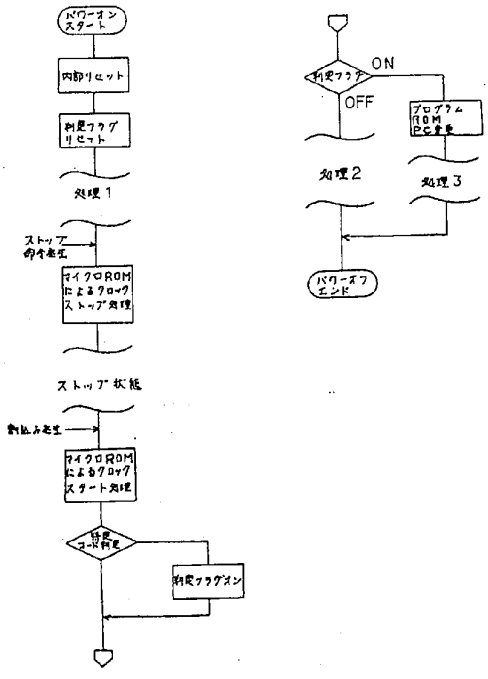
１１・・・・・プログラムカウンタ、
１２・・・・・マイクロロム、
１３・・・・・リード・ライトバッファ、
１４・・・・・ラム、
１５・・・・・アドレス発生回路。

特許出願人　　日本電気株式会社

代理人　弁理士　　桑　井　清　一



第１図



第２図

Qualcomm Ex. 1002 - 225/414

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2004-030100**
(43)Date of publication of application : **29.01.2004**

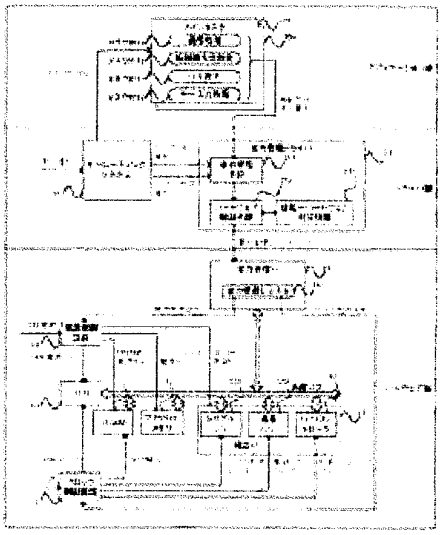
(51)Int.Cl. G06F 1/32

(21)Application number : **2002-183879**
(22)Date of filing : **25.06.2002**

(71)Applicant : **MITSUBISHI ELECTRIC CORP**
(72)Inventor : **TOKUNAGA YUICHI**

(54) ELECTRIC POWER MANAGEMENT METHOD, AND COMPUTER

(57)Abstract:
PROBLEM TO BE SOLVED: To provide an electric power management method and a computer by which electric power can be managed scrupulously with a high responsiveness.
SOLUTION: The computer comprises: a corresponding information management means managing an executing function and information on hardware corresponding to the function; an electric power management means managing the power of the specified hardware based on the information managed by the corresponding information management means; and a function request means requesting the start or suspension of the function to the power management means. The electric power management means manages the power based on the request by the function request means.



Qualcomm Ex. 1002 - 226/414

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2004-30100
(P2004-30100A)
(43)公開日　平成16年1月29日(2004.1.29)

(51)Int.Cl.[7]	F I		テーマコード（参考）
G06F 1/32	G06F 1/00	332B	5B011

審査請求 未請求　請求項の数 5　OL　（全 11 頁）

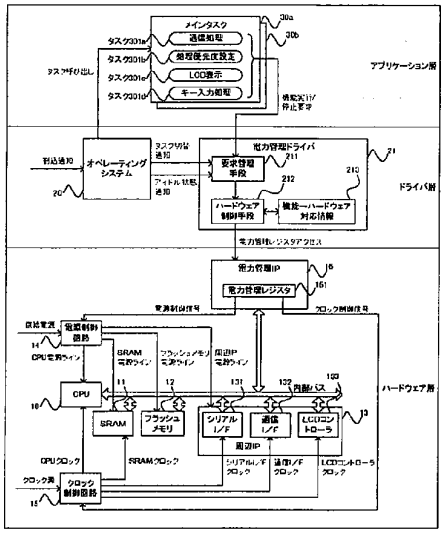
(21)出願番号　特願2002-183879(P2002-183879)
(22)出願日　平成14年6月25日(2002.6.25)

(71)出願人　000006013
三菱電機株式会社
東京都千代田区丸の内二丁目２番３号
(74)代理人　100102439
弁理士　宮田　金雄
(74)代理人　100092462
弁理士　高瀬　彌平
(72)発明者　徳永　雄一
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内

Fターム(参考)　5B011 HH02 LL11

(54)【発明の名称】電力管理方法及び計算機

(57)【要約】
【課題】応答性がよく、きめ細かな電力制御が可能な電力管理方法及び計算機を提供するようにする。
【解決手段】実行する機能とその機能に対応するハードウェアの情報を管理する対応情報管理手段と、前記対応情報管理手段により管理された情報に基づいて、所定のハードウェアの電力を管理する電力管理手段とを備えるようにする。また、前記機能の起動または停止を前記電力管理手段に要求する機能要求手段を備えるとともに、前記電力管理手段は、前記機能要求手段による要求に基づいて電力を管理するようにする。
【選択図】　図1



Qualcomm Ex. 1002 - 228/414

【特許請求の範囲】
【請求項１】
実行する機能とその機能に対応するハードウェアの情報を管理し、
前記管理された情報に基づいて、所定のハードウェアの電力を管理する
ことを特徴とする電力管理方法。
【請求項２】
実行する機能とその機能に対応するハードウェアの情報を管理する対応情報管理手段と、
前記対応情報管理手段により管理された情報に基づいて、所定のハードウェアの電力を管理する電力管理手段
とを備えたことを特徴とする計算機。
【請求項３】
前記機能の起動または停止を前記電力管理手段に要求する機能要求手段を備えるとともに、
前記電力管理手段は、前記機能要求手段による要求に基づいて電力を管理すること
を特徴とする請求項２記載の計算機。
【請求項４】
前記電力管理手段は、所定のハードウェアの動作開始時期を制御する
ことを特徴とする請求項２記載の計算機。
【請求項５】
前記ハードウェアは揮発性記憶手段を備えるとともに、
前記ハードウェアとバスを介して接続され、バスマスタ機能と不揮発性記憶手段とを有し、前記ハードウェアに対応する揮発性記憶手段に記憶された情報を、前記バスマスタ機能を用いて前記バスを介して前記不揮発性記憶手段に記憶する揮発性情報記憶手段
を備えることを特徴とする請求項２記載の計算機。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
この発明は、主に複数のアプリケーションを実行する、ＬＳＩを含む計算機において問題となる消費電力を低減する技術に関するものである。
【０００２】
【従来の技術】
図６は、例えば携帯端末等で用いられる従来の電力管理方法を用いた計算機の構成を示す説明図である。図６において、１００はＣＰＵ、１０１はＳＲＡＭ、１０２はフラッシュメモリ、１０３は周辺ＩＰ（Ｉｎｔｅｌｌｅｃｔｕａｌ　Ｐｒｏｐｅｒｔｙ；回路もしくはＬＳＩのロジックブロック）、１０４は電源制御回路、１０５はクロック制御回路、１０６は全体のクロック及び電源を制御する電力管理ＩＰ、１０６１は電力管理ＩＰ１０６内の電力管理レジスタ、２００は電力を管理するオペレーティングシステム（以下ＯＳと呼ぶ）、２０１はＯＳ２００からの通知に基づいて電力管理ＩＰ１０６に指示する電力管理ドライバ、２０１１は電力管理ドライバ２０１内のハードウェア制御手段である。ここで、ＣＰＵ１００、ＳＲＡＭ１０１、フラッシュメモリ１０２、周辺ＩＰ１０３、電源制御回路１０４、クロック制御回路１０５、電力管理ＩＰ１０６、電力管理レジスタ１０６１はハードウェア層に含まれ、ＯＳ２００、電力管理ドライバ２０１、ハードウェア制御手段２０１１はドライバ層に含まれる。
【０００３】
次に動作について説明する。ＯＳ２００は、実行タスクを管理しており、実行すべきタスクが存在しなくなったとき、システム的にアイドル状態であることを検知し、電力管理ドライバ２０１に対して低電力モードへの移行処理を要求する。電力管理ドライバ２０１内のハードウェア制御手段２０１１は、低電力モードへ移行するための処理として、ＳＲＡＭ１０１等の揮発性メモリデータと各周辺ＩＰ１０３のレジスタ情報を、ソフトウェア処理を用いてフラッシュメモリ１０２等の不揮発性メモリへバックアップし、電力管理ＩＰ

Qualcomm Ex. 1002 - 229/414

１０６に対しクロック停止、電源降下を要求する。電力管理ＩＰ１０６は、ハードウェア制御手段２０１１からの要求に基づいて電力管理レジスタ１０６１を変更し、変更後のレジスタ値に基づいて、電力制御回路１０４、クロック制御回路１０５に対して、電源制御信号、クロック制御信号をそれぞれ出力する。電源制御回路１０４及びクロック制御回路１０５は、電力管理ＩＰ１０６からの制御信号に基づいて内部電源及び内部クロックを低電力モードに変更する。低電力モードへの移行作業中は、システムが不安定になるため、ＯＳ２００は低電力モードへの移行作業を高い優先度で処理し、この間に別タスク起動が発生しても、処理されない。

【０００４】

低電力モードに移行完了後に割込みが発生した時、電力管理ＩＰ１０６がこれを検知し、電源制御回路１０４やクロック制御回路１０５を介して電源、クロックを復帰する。またさらに、ＯＳ２００が復帰処理を電力管理ドライバ２０１へ要求し、電力管理ドライバ２０１内のハードウェア制御手段２０１１が、フラッシュメモリ１０２等の不揮発性メモリ内のバックアップデータを、ＳＲＡＭ１０１等の揮発性メモリや各周辺ＩＰ１０３のレジスタへ戻し、システムを通常状態に復帰する。

【０００５】

【発明が解決しようとする課題】

以上のような従来の電力管理方法を用いた計算機では、システムがアイドル状態にならなければ低電力モードへ移行しないため、きめ細かな電力制御ができないという問題があった。

【０００６】

また、バックアップ処理、電源・クロック制御をドライバがソフトウェア処理を用いて実施するため、モード移行処理に時間がかかり、低電力モード中の割込に対し応答性能が悪いという問題があった。

【０００７】

この発明は上記のような問題点を解決するためになされたもので、応答性がよく、きめ細かな電力制御が可能な電力管理方法及び計算機を提供することを目的とする。

【０００８】

【課題を解決するための手段】

この発明に係る電力管理方法は、実行する機能とその機能に対応するハードウェアの情報を管理し、前記管理された情報に基づいて、所定のハードウェアの電力を管理するものである。

【０００９】

この発明に係る計算機は、実行する機能とその機能に対応するハードウェアの情報を管理する対応情報管理手段と、前記対応情報管理手段により管理された情報に基づいて、所定のハードウェアの電力を管理する電力管理手段とを備えるものである。

【００１０】

また、前記機能の起動または停止を前記電力管理手段に要求する機能要求手段を備えるとともに、前記電力管理手段は、前記機能要求手段による要求に基づいて電力を管理するものである。

【００１１】

また、前記電力管理手段は、所定のハードウェアの動作開始時期を制御するものである。

【００１２】

また、前記ハードウェアは揮発性記憶手段を備えるとともに、前記ハードウェアとバスを介して接続され、バスマスタ機能と不揮発性記憶手段とを有し、前記ハードウェアに対応する揮発性記憶手段に記憶された情報を、前記バスマスタ機能を用いて前記バスを介して前記不揮発性記憶手段に記憶する揮発性情報記憶手段を備えるものである。

【００１３】

【発明の実施の形態】

実施の形態１．

Qualcomm Ex. 1002 - 230/414

図１は、本実施の形態１における電力管理方法を用いた計算機の構成を示す説明図である。図１において、１０はＣＰＵ、１１はＳＲＡＭ、１２はフラッシュメモリ、１３は周辺ＩＰ、１４は電源制御回路、１５はクロック制御回路、１６は電力管理ＩＰ、２０はオペレーティングシステム、２１は電力管理ドライバ、３０（３０ａ、３０ｂ）はアプリケーションのメインタスクである。また、周辺ＩＰ１３はシリアルＩ／Ｆ１３１と通信Ｉ／Ｆ１３２とＬＣＤコントローラ１３３とを備え、電力管理ＩＰは電力管理レジスタ１６１を備え、電力管理ドライバ２１は要求管理手段２１１とハードウェア制御手段２１２と機能－ハードウェア対応情報２１３とを備え、メインタスク３０は複数のタスク３０１ａ～３０１ｄ（通信処理、処理優先度設定、ＬＣＤ表示、キー入力処理等）から構成される。図１の計算機は、物理的な回路やＬＳＩ論理ロジックで構成されるハードウェア層、これをアプリケーションとは独立し集中制御するソフトウェアであるドライバ層、そしてユーザにサービスを提供するソフトウェアであるアプリケーション層から構成される。
なお、機能－ハードウェア対応情報２１３が対応情報管理手段に相当し、電力管理ドライバ２１、電力管理ＩＰ１６、電源制御回路１４、クロック制御回路１５が電力管理手段に相当し、タスク３０１が機能要求手段に相当する。

【００１４】
ハードウェア層において、電力管理ＩＰ１６は、クロック制御回路１５を制御するクロック制御信号を備えており、ＣＰＵ１０、ＳＲＡＭ１１、各種周辺ＩＰ１３へのクロックの周波数切替、停止を通知することができる。電力管理ＩＰ１６はさらに、電源制御回路１４を制御する電源制御信号も備えており、ＣＰＵ１０、ＳＲＡＭ１１、フラッシュメモリ１２、周辺ＩＰ１３の電源電圧切替、電源断を通知することができる。これらの制御は、ＣＰＵ１０から電力管理ＩＰ１６の電力管理レジスタ１６１をアクセスすることで実施される。

【００１５】
ドライバ層において、ＯＳ２０は、実行要求のあるタスク３０１の起動や、割込み等によるタスク３０１の中断、他タスク３０１への切替を管理する。電力管理ドライバ２１は、アプリケーションおよびＯＳ２０から呼び出され、要求機能を復帰、停止するためのデータバックアップや、電力管理ＩＰ１６の制御を行う。

【００１６】
アプリケーション層において、各メインタスク３０ａ、３０ｂは、１つ、もしくは複数のプログラム単位、すなわちタスク３０１から構成され、用途によって、キー入力の処理（３０１ｄ）、ディスプレイ表示（３０１ｃ）、優先度処理（３０１ｂ）、通信処理（３０１ａ）といった機能を用いて、各種サービスを実現している。

【００１７】
次に、動作について説明する。外部割込みや、他タスクにより、あるアプリケーションを実行する要求がなされると、ＯＳ２０は要求されたアプリケーションのメインタスク３０ａを起動する。ここでこのアプリケーション実行上必ず必要となる機能を起動するために、電力管理ドライバ２１へ起動を要求する。機能とは、ネットワークや無線等の通信機能（３０１ａ）、優先度処理機能（３０１ｂ）、ディスプレイ等の表示機能（３０１ｃ）、キーボード等の入力機能（３０１ｄ）などを指す。例えば、あるアプリケーションを実行するにあたり、絶えずディスプレイに表示することが判っていれば、ＬＣＤ表示の起動を要求する。また、ある条件によってのみ使われるような限定される機能はここでは要求せず、機能使用が確定した時点で起動要求する。例えば、ある画像処理を行った後で、ネットワークを介して通信を行う場合、初期段階では通信機能を使用しないため、通信機能を使用する段階で通信処理の起動要求を行う。

【００１８】
電力管理ドライバ２１では、要求管理手段２１１がメインタスク３０ａからの起動要求を受け、この要求管理手段２１１からの情報に基づいてハードウェア制御手段２１２が機能実行に必要なハードウェアの判定を行う。各機能は複数のハードウェアの動作によって成り立つ。ハードウェア制御手段２１２は、機能－ハードウェア対応情報２１３を管理し、

Qualcomm Ex. 1002 - 231/414

これを参照して起動すべきハードウェアを判定し、電力管理ＩＰ１６へ電源の起動、クロックの起動、レジスタ情報の復元等を実行する。

【００１９】

図２は、実施の形態１における機能－ハードウェア対応情報２１３の構成例を示す説明図である。例えば、メインタスク３０ａからのＬＣＤ表示の起動要求を要求管理手段２１１が受けた場合、この要求管理手段２１１からの情報に基づいて、ハードウェア制御手段２１２が機能実行に必要なハードウェアの判定を行う。ハードウェア制御手段２１２は、機能－ハードウェア対応情報２１３を参照し、ＬＣＤ表示機能の場合、起動すべきハードウェアがＬＣＤコントローラ１３３、フラッシュメモリ１２、処理のためのＣＰＵ１０であることを判定する。これにより、ハードウェア制御手段２１２は、周辺ＩＰ電源ＯＮ、ＬＣＤコントローラクロックＯＮ、レジスタ復元、フラッシュメモリ電源Ｕｐ、ＣＰＵ性能２０ｐｏｉｎｔＵｐを指示する信号を電力管理ＩＰ１６に通知する。なお、図２の例では、ＣＰＵなどは起動、停止だけでなく多段階に処理性能を制御できるよう、ＣＰＵの必要処理性能を１ＰｏｉｎｔＵｐ、１０ＰｏｉｎｔＤｏｗｎ等段階分けにして機能－ハードウェア対応情報２１３に付加している。

【００２０】

また、アプリケーション実行中に、今後使うことのなくなった機能、使う頻度の少ない機能に対して、メインタスク３０ａは電力管理ドライバ２１に停止要求を行う。電力管理ドライバ２１の要求管理手段２１１が要求を受け、この要求管理手段２１１からの情報に基づき、また機能－ハードウェア対応情報２１３を参照して、ハードウェア制御手段２１２が停止するハードウェアを特定する。このとき、他の起動中の機能に対応するハードウェアと停止対象のハードウェアが重複する場合は停止しない。ＣＰＵ１０の処理性能は、停止対象の機能に対する必要性能分だけを減ずる。そして、ハードウェア制御手段２１２は、停止すると判定したハードウェアを停止するよう電力管理ＩＰ１６に指示する。

【００２１】

例えば、タスク３０１ａ（通信処理）とタスク３０１ｃ（ＬＣＤ表示）の実行後に、タスク３０１ａで使用した通信機能を今後使うことがなくなった場合、メインタスク３０ａは電力管理ドライバ２１に通信機能の停止要求を行う。電力管理ドライバ２１の要求管理手段２１１が停止要求を受け、この要求管理手段２１１からの情報に基づき、また機能－ハードウェア対応情報２１３を参照して、ハードウェア制御手段２１２が、通信機能を停止するハードウェアが通信Ｉ／Ｆ１３２、フラッシュメモリ１２、ＳＲＡＭ１１、ＣＰＵ１０であることを判定する。ただし、ＬＣＤ表示は今後も実行されることから、ＬＣＤ表示でも使用しているフラッシュメモリ１２とＣＰＵ１０は停止しない。したがって、ハードウェア制御手段２１２は、通信Ｉ／Ｆ１３２とＳＲＡＭ１１を停止すべく、通信Ｉ／ＦクロックＯＦＦ、周辺ＩＰ電源ＯＦＦ、ＳＲＡＭ電源Ｄｏｗｎを指示する信号を電力管理ＩＰ１６に通知する。また、ハードウェア制御手段２１２は、ＣＰＵ１０は停止しないが、通信機能の停止分だけ処理性能を減ずる指示（ＣＰＵ性能１０ＰｏｉｎｔＤｏｗｎ）を電力管理ＩＰ１６に通知する。さらに、停止する通信Ｉ／Ｆ１３２は揮発性メモリに情報を持っていることから、ハードウェア制御手段２１２は、ハードウェア層の内部バスを介して、ソフトウェアで通信Ｉ／Ｆ１３２の揮発性メモリのレジスタ情報等について不揮発性メモリであるフラッシュメモリ１２へのバックアップを行う。

【００２２】

そして、ハードウェア層において、電力管理ＩＰ１６は、ハードウェア制御手段２１２からの指示信号に基づいて電力管理レジスタ１６１を変更し、変更後のレジスタ値に基づいて、電源制御回路１４、クロック制御回路１５に対して、電源制御信号、クロック制御信号をそれぞれ出力する。電源制御回路１４、クロック制御回路１５は、通知された制御信号に基づいて、ＳＲＡＭ１１や周辺ＩＰ１３の電源やクロックを変更する。

【００２３】

例えば、電力管理ＩＰ１６は、ハードウェア制御手段２１２からの、通信Ｉ／ＦクロックＯＦＦ、周辺ＩＰ電源ＯＦＦ、ＳＲＡＭ電源Ｄｏｗｎ、ＣＰＵ性能１０ＰｏｉｎｔＤｏｗ

Qualcomm Ex. 1002 - 232/414

ｎという指示信号に基づいて電力管理レジスタ１６１を変更する。電力管理ＩＰ１６は、変更後のレジスタ値に基づき、周辺ＩＰ電源ＯＦＦ、ＳＲＡＭ電源Ｄｏｗｎという電源制御信号を、電源制御回路１４に対して出力する。また、同様に通信Ｉ／ＦクロックＯＦＦというクロック制御信号を、クロック制御回路１５に対して出力する。また、ＣＰＵ性能２０ＰｏｉｎｔＤｏｗｎに対応する電源制御信号及びクロック制御信号を、電源制御回路１４及びクロック制御回路１５に対して出力する。これらの制御信号を受けた電源制御回路１４及びクロック制御回路１５は、通信Ｉ／ＦクロックＯＦＦ、周辺ＩＰ電源ＯＦＦ、ＳＲＡＭ電源Ｄｏｗｎ、ＣＰＵ性能１０ＰｏｉｎｔＤｏｗｎを行う。

【００２４】

また、割込みや他の高優先度タスク起動要求によって、ＯＳ２０が現アプリケーションを強制終了し別タスクに切り替える場合、ＯＳ２０はタスクの切り替え指示を電力管理ドライバ２１へ通知する。電力管理ドライバ２１は現アプリケーションで起動された機能を停止する。

【００２５】

例えば、割込みや他の高優先度タスク起動要求によって、ＯＳ２０が現アプリケーションのメインタスク３０ａを別のメインタスク３０ｂに切り替える場合、ＯＳ２０はタスクの切り替え指示を電力管理ドライバ２１へ通知する。そして、電力管理ドライバ２１は、ハードウェア層の内部バスを介して、ソフトウェアで周辺ＩＰ１３の揮発性メモリのレジスタ情報等について不揮発性メモリであるフラッシュメモリ１２へのバックアップを行うとともに、上述のように電力管理ＩＰ１６を介してメインタスク３０ａに対応する起動中のハードウェアを停止する。

【００２６】

以上説明したように、本実施の形態１における計算機では、アプリケーション実行上必要となる機能と、その機能実行に必要なハードウェアとを判定し、各ハードウェア毎に電力管理を行うことにより、必要なときに必要なハードウェアだけ活性化するきめ細かな電力管理を行うことができ、システムの消費電力を低減することができる。

また、アプリケーション実行上必要となる機能と、その機能実行に必要なハードウェアとの判定を、ドライバ層の電力管理ドライバが機能とハードウェアとの対応情報を用いて行うことにより、アプリケーション層にハードウェアを見せることなく、個別ハードウェアに対応した電力管理を行うことができる。

【００２７】

なお、本実施の形態１では、タスクが機能の起動、停止を要求する場合について説明したが、どの機能を起動、停止するかが分かればよく、例えば機能の実行スケジュールが決まっていれば、そのスケジュールに従って機能を起動、停止してもよく、これに限られない。

【００２８】

また、本実施の形態１では、メインタスク３０ａにおける機能の起動、停止をプログラム作成のときに人手で追加することを想定しているが、コンパイラ等によって自動追加とすることもできる。この場合は、プログラム内の各機能の呼び出し箇所をコンパイラが認識し、呼び出された機能に応じて起動、停止の要求をコンパイラが自動追加する。例えばメインタスク３０ａをコンパイルした時、コンパイラはプログラムに書かれた各機能３０１ａ～ｃの呼び出しを認識し、認識した機能の起動、停止を追加する。

【００２９】

実施の形態２．

上記実施形態１では、ハードウェアの電源停止の指示があればそのまま停止処理を開始する場合について説明したが、本実施の形態２では、ハードウェアの電源停止の際にタイマ機能を用いる場合について説明する。

【００３０】

ハードウェアの停止において、電源停止を伴う場合は、不揮発性メモリのバックアップが必要な場合もあり、処理に時間を要することがある。また、一度降下した電源電圧を上昇

Qualcomm Ex. 1002 - 233/414

させ、安定するまでの時間待ちがあり、停止から直ちに復帰することは難しい。このため、一度ハードウェアの停止処理を開始すると、停止処理開始直後の起動要求に対して安定した電源を供給するまでに、大幅な時間ロスが発生してしまう。

【００３１】

そこで本実施の形態２では、電力管理ドライバ２１がタイマ機能を備える場合について説明する。

図３は、本実施の形態２における電力管理方法を用いた計算機の構成を示す説明図である。図３において、２１４は停止処理開始タイマである。その他同じ符号を付したものは図１と同様のため、説明は省略する。

図４は、本実施の形態２における機能－ハードウェア対応情報２１３の構成例を示す説明図である。図４では、図２の構成に起動ハードウェア情報として停止処理開始時間を追加している。

【００３２】

次に図３、図４を用いて、停止処理開始タイマ２１４を備えた電力管理ドライバ２１の動作について説明する。アプリケーション実行中に、今後使うことのなくなった機能、使う頻度の少ない機能に対して、メインタスク３０ａが電力管理ドライバ２１に停止要求を行う場合について説明する。電力管理ドライバ２１の要求管理手段２１１が要求を受け、この要求管理手段２１１からの情報に基づき、また機能－ハードウェア対応情報２１３を参照して、ハードウェア制御手段２１２が停止するハードウェアとその停止処理開始時間を特定する。このとき、他の起動中の機能に対応するハードウェアと停止対象のハードウェアが重複する場合は停止しない。ＣＰＵ１０の処理性能は、停止対象の機能に対する必要性能分だけを減ずる。そして、ハードウェア制御手段２１２は、停止すると判定したハードウェアについては、停止処理開始タイマ２１４を用いて、そのハードウェアに対応する停止処理開始時間分だけ遅らせてから停止処理の電力管理ＩＰに指示する。これにより、タスクの切替等で、前タスクで停止要求した機能を、次タスクで再起動する場合、この停止処理開始時間の範囲内に再起動が要求されるため、停止処理はキャンセルされ、停止、復帰の時間ロスを防ぐことができる。

【００３３】

例えば、タスク３０１ａ（通信処理）とタスク３０１ｃ（ＬＣＤ表示）の実行後に、タスク３０１ａで使用した通信機能を今後使うことがなくなった場合、メインタスク３０ａは電力管理ドライバ２１に通信機能の停止要求を行う。電力管理ドライバ２１の要求管理手段２１１が停止要求を受け、この要求管理手段２１１からの情報に基づき、また機能－ハードウェア対応情報２１３を参照して、ハードウェア制御手段２１２が、通信機能を停止するハードウェアが通信Ｉ／Ｆ１３２、フラッシュメモリ１２、ＳＲＡＭ１１、ＣＰＵ１０であり、それぞれの停止処理開始時間が１０ｍｓｅｃ、１０ｍｓｅｃ、５ｍｓｅｃ、０ｍｓｅｃであることを判定する。ただし、ＬＣＤ表示は今後も実行されることから、ＬＣＤ表示でも使用しているフラッシュメモリ１２とＣＰＵ１０は停止しない。したがって、ハードウェア制御手段２１２は、停止処理開始タイマ２１４を用い、通信Ｉ／Ｆ１３２を停止すべく、通信Ｉ／ＦクロックＯＦＦ、周辺ＩＰ電源ＯＦＦを指示する信号を１０ｍｓｅｃ遅らせて電力管理ＩＰ１６に通知する。同様にハードウェア制御手段２１２は、停止処理開始タイマ２１４を用い、ＳＲＡＭ１１を停止すべく、ＳＲＡＭ電源Ｄｏｗｎを指示する信号を５ｍｓｅｃ遅らせて電力管理ＩＰ１６に通知する。また、ハードウェア制御手段２１２は、ＣＰＵ１０は停止しないが、通信機能の停止分だけ処理性能を減ずる指示（ＣＰＵ性能１０ＰｏｉｎｔＤｏｗｎ）を電力管理ＩＰ１６に通知する。さらに、ハードウェア制御手段２１２は、停止処理開始タイマ２１４を用いて処理開始時間を１０ｍｓｅｃ遅らせて電力管理ＩＰ１６に通知する際、ハードウェア層の内部バスを介して、ソフトウェアで通信Ｉ／Ｆ１３２の揮発性メモリのレジスタ情報等について不揮発性メモリであるフラッシュメモリ１２へのバックアップを行う。

【００３４】

これにより、メインタスク３０ａにおける通信機能の停止要求が行われた直後、割込み等

Qualcomm Ex. 1002 - 234/414

によりタスク３０ａが切り換えられ、再び電力管理ドライバ２１に通信機能の起動要求が行われた場合、電力管理ドライバ２１の要求管理手段２１１が起動要求を受け、この要求管理手段２１１からの情報に基づき、また機能－ハードウェア対応情報２１３を参照して、ハードウェア制御手段２１２が、通信機能を起動するハードウェアが通信Ｉ／Ｆ１３２、フラッシュメモリ１２、ＳＲＡＭ１１、ＣＰＵ１０であり、さらに先の停止要求により停止処理開始タイマ２１４の時間待ち中であることを認識する。そこでハードウェア制御手段２１２は停止処理開始タイマ２１４を停止し、停止要求処理を中断する。
その他の動作については上記実施の形態１と同様のため、説明は省略する。

【００３５】

以上説明したように、本実施の形態２における計算機では、バックアップの必要なハードウェアに対して、停止処理開始タイマを用いて、停止要求から一定時間待機した後、停止処理を行うことにより、停止から再開の期間が短い場合に停止処理をキャンセルすることができ、タスク切替での性能劣化を防ぐことができる。

【００３６】

実施の形態３．
上記実施形態１では、電力管理ドライバ２１がソフトウェアで周辺ＩＰ１３の揮発性メモリのレジスタ情報等について不揮発性メモリであるフラッシュメモリ１２へのバックアップを行う場合について説明したが、本実施の形態３では、ハードウェアで周辺ＩＰ１３の揮発性メモリの情報をバックアップする場合について説明する。

【００３７】

図５は、本実施の形態３における電力管理方法を用いた計算機のハードウェア層の構成を示す説明図である。図３において、１３４はシリアルＩ／Ｆ１３１の内部レジスタ、１３５は通信Ｉ／Ｆ１３２の内部レジスタ、１３６はＬＣＤコントローラ１３３の内部レジスタ、１６２は電力管理ＩＰ１６内のバスマスタＩ／Ｆ、１６３は電力管理ＩＰ１６内の不揮発性メモリであるバックアップレジスタバッファである。その他同じ符号を付したものは図１と同様であり、図５では図示しないアプリケーション層及びドライバ層も図１と同様のため、説明は省略する。
なお、電力管理ＩＰ１６が揮発性情報記憶手段に相当する。

【００３８】

図５を用いて、バスマスタＩ／Ｆ１６２及びバックアップレジスタバッファ１６３を備えた電力管理ＩＰ１６の動作について説明する。電力管理ＩＰ１６は、ハードウェア制御手段２１２からバックアップの必要なハードウェアの停止指示を受けると、この指示信号に基づいて電力管理レジスタ１６１を変更する。電力管理ＩＰ１６は、変更後のレジスタ値に基づき、バスマスタＩ／Ｆ１６２を用いて、周辺ＩＰ１３の揮発性メモリのレジスタ情報等について不揮発性メモリであるバックアップレジスタバッファ１６３へのバックアップを行う。そして、電力管理ＩＰ１６は、このバックアップ動作の後、停止指示を受けた周辺ＩＰ１３の電源を停止する。

【００３９】

例えば、電力管理ＩＰ１６は、ハードウェア制御手段２１２からバックアップの必要な通信Ｉ／Ｆ１３２の停止指示を受けると、この指示信号に基づいて電力管理レジスタ１６１を変更する。電力管理ＩＰ１６は、変更後のレジスタ値に基づき、バスマスタＩ／Ｆ１６２を用いて、通信Ｉ／Ｆ１３２の揮発性メモリのレジスタ情報等について不揮発性メモリであるバックアップレジスタバッファ１６３へのバックアップを行う。そして、電力管理ＩＰ１６は、このバックアップ動作の後、通信Ｉ／Ｆ１３２電源ＯＦＦという電源制御信号を電源制御回路１４に対して出力し、この制御信号を受けた電源制御回路１４が通信Ｉ／Ｆ１３２の電源ＯＦＦを行う。
なお、起動はこの逆の動作を行い、電源起動、レジスタ復元を電力管理ＩＰ１６が行う。

【００４０】

以上説明したように、本実施の形態３では、ハードウェア停止前のバックアップ処理の際、ハードウェア層の電力管理ＩＰがバスマスタ機能を用いて、電力管理ＩＰ内のバックア

Qualcomm Ex. 1002 - 235/414

ップメモリに対して、ハードウェアでバックアップ処理を行うことにより、ソフトウェアが介在しないため、停止状態から再開する際の処理時間短縮化を図れると同時に、ＣＰＵの負荷上昇を防ぐことができる。

【００４１】

なお、本実施の形態３では、通信Ｉ／Ｆ１３２のバックアップ及び電源ＯＦＦについて説明したが、シリアルＩ／Ｆ１３１やＬＣＤコントローラ１３３の電源ＯＦＦやクロックＯＦＦについても同様である。

【００４２】

【発明の効果】

以上のように、実行する機能とその機能に対応するハードウェアの情報を管理する対応情報管理手段と、前記対応情報管理手段により管理された情報に基づいて、所定のハードウェアの電力を管理する電力管理手段とを備えることにより、必要なときに必要なハードウェアだけ活性化するきめ細かな電力管理を行うことができ、消費電力を低減することができるという効果がある。

【００４３】

また、前記機能の起動または停止を前記電力管理手段に要求する機能要求手段を備えるとともに、前記電力管理手段は、前記機能要求手段による要求に基づいて電力を管理することにより、アプリケーション層にハードウェアを見せることなく、個別ハードウェアに対応した電力管理を行うことができるという効果がある。

【００４４】

また、前記電力管理手段は、所定のハードウェアの動作開始時期を制御することにより、停止から再開の期間が短い場合に停止処理をキャンセルすることができ、タスク切替での性能劣化を防ぐことができるという効果がある。

【００４５】

また、前記ハードウェアは揮発性記憶手段を備えるとともに、前記ハードウェアとバスを介して接続され、バスマスタ機能と不揮発性記憶手段とを有し、前記ハードウェアに対応する揮発性記憶手段に記憶された情報を、前記バスマスタ機能を用いて前記バスを介して前記不揮発性記憶手段に記憶する揮発性情報記憶手段を備えることにより、ソフトウェアが介在しないため、停止状態から再開する際の処理時間短縮化を図れると同時に、ＣＰＵの負荷上昇を防ぐことができるという効果がある。

【図面の簡単な説明】

【図１】実施の形態１における電力管理方法を用いた計算機の構成を示す説明図

【図２】実施の形態１における機能－ハードウェア対応情報２１３の構成例を示す説明図

【図３】実施の形態２における電力管理方法を用いた計算機の構成を示す説明図

【図４】実施の形態２における機能－ハードウェア対応情報２１３の構成例を示す説明図

【図５】実施の形態３における電力管理方法を用いた計算機のハードウェア層の構成を示す説明図

【図６】従来の電力管理方法を用いた計算機の構成を示す説明図

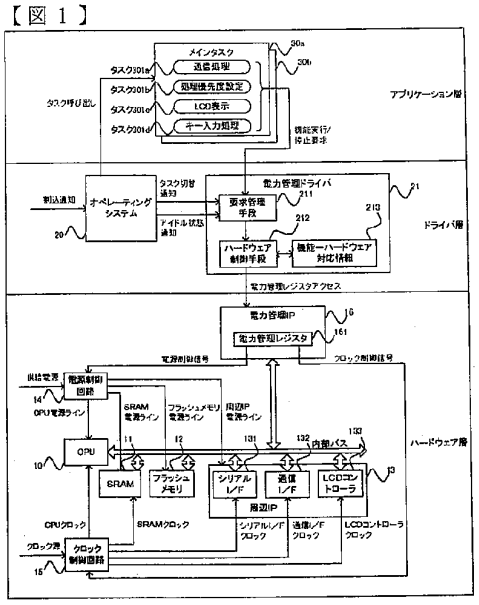
【符号の説明】

１０　ＣＰＵ
１１　ＳＲＡＭ
１２　フラッシュメモリ
１３　周辺ＩＰ
１４　電源制御回路
１５　クロック制御回路
１６　電力管理ＩＰ
２０　オペレーティングシステム
２１　電力管理ドライバ
３０ａ、３０ｂ　メインタスク
１３１　シリアルＩ／Ｆ

Qualcomm Ex. 1002 - 236/414

１３２　通信Ｉ／Ｆ
１３３　ＬＣＤコントローラ
１３４～１３６　内部レジスタ
１６１　電力管理レジスタ
１６２　バスマスタＩ／Ｆ
１６３　バックアップレジスタバッファ
２１１　要求管理手段
２１２　ハードウェア制御手段
２１３　機能－ハードウェア対応情報
２１４　停止処理開始タイマ
３０１ａ～３０１ｄ　タスク

【図１】

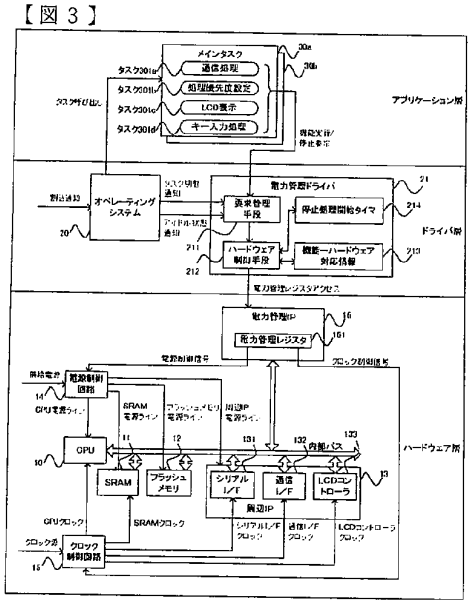


【図２】

機能	起動ハードウェア情報		
	H/W 名	起動方法	停止方法
キー入力	シリアル I/F	周辺 IP 電源 ON シリアル I/F クロック ON レジスタ初期化	シリアル I/F クロック OFF 周辺 IP 電源 OFF
	CPU	性能 1point Up	性能 1point Down
通信	通信 I/F	周辺 IP 電源 ON シリアル I/F クロック ON レジスタ復元	レジスタバックアップ 通信 I/F クロック OFF 周辺 IP 電源 OFF
	フラッシュメモリ	電源 ON	電源 OFF
	SRAM	電源 Up	電源 Down
	CPU	性能 10point Up	性能 10point Down
画像表示	LCD コントローラ	周辺 IP 電源 ON LCD コントローラクロック ON レジスタ復元	レジスタバックアップ LCD コントローラクロック OFF 周辺 IP 電源 OFF
	フラッシュメモリ	電源 ON	電源 OFF
	CPU	性能 20point Up	性能 20point Down
：			

Qualcomm Ex. 1002 - 237/414

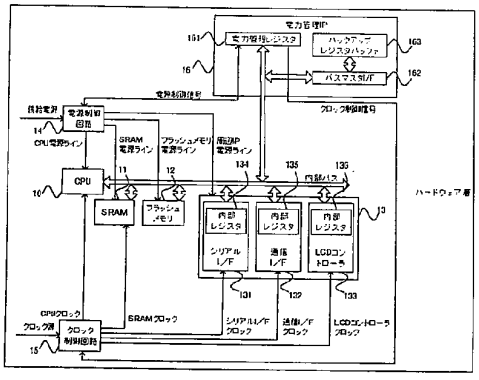
【図３】



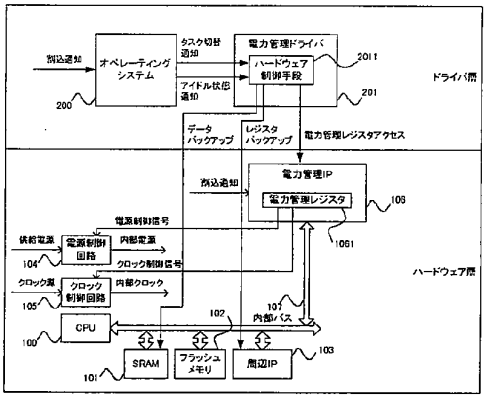
【図４】

機能	起動ハードウェア情報			
	H/W名	起動方法	停止方法	停止処理開始時間
キー入力	シリアルI/F	周辺IP電源ON シリアルI/Fクロック ON レジスタ初期化	シリアルI/Fクロック OFF 周辺IP電源 OFF	10 msec
	CPU	性能 1point Up	性能 1point Down	0 msec
通信	通信I/F	周辺IP電源ON シリアルI/Fクロック ON レジスタ復元	レジスタバックアップ 通信I/Fクロック OFF 周辺IP電源 OFF	
	フラッシュメモリ	電源 ON	電源 OFF	10 msec
	SRAM	電源 Up	電源 Down	5 msec
	CPU	性能 10point Up	性能 10point Down	0 msec
画像表示	LCDコントローラ	周辺IP電源ON LCDコントローラクロック ON レジスタ復元	レジスタバックアップ LCDコントローラクロック OFF 周辺IP電源 OFF	10 msec
	フラッシュメモリ	電源 ON	電源 OFF	10 msec
	CPU	性能 20point Up	性能 20point Down	0 msec
：				

【図５】



【図６】



Electronic Acknowledgement Receipt

EFS ID:	7257112
Application Number:	11898145
International Application Number:	
Confirmation Number:	1079
Title of Invention:	Microcontroller and arts related thereto
First Named Inventor/Applicant Name:	Yukari Suginaka
Customer Number:	53080
Filer:	Michael E. Fogarty/Margaret Barham
Filer Authorized By:	Michael E. Fogarty
Attorney Docket Number:	056937-0396
Receipt Date:	22-MAR-2010
Filing Date:	10-SEP-2007
Time Stamp:	15:57:44
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Transmittal Letter	P04652301_IDS_056937-0396.pdf	85250 38132a94686091a4ed494ca4b3a4669f090a02c9	no	3
Warnings:					
Information:					

2	Foreign Reference	P04652301_REF1_056937-0396.pdf	622948 e10702c80f41b41516dca18305ebb5aa6ed2dd3c	no	10
Warnings:					
Information:					
3	Foreign Reference	P04652301_REF2_056937-0396.pdf	1039823 596e9465db7ebdc4094b3dc115de788701d048c1	no	18
Warnings:					
Information:					
4	Foreign Reference	P04652301_REF3_056937-0396.pdf	204965 528e9604dcfc9e1caa2f223012aed49bead5e53a	no	6
Warnings:					
Information:					
5	Foreign Reference	P04652301_REF4_056937-0396.pdf	674322 7db62ce9d41fae6a21995304834a8f05a07542da	no	14
Warnings:					
Information:					
			Total Files Size (in bytes):	2627308	

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

<u>New Applications Under 35 U.S.C. 111</u>
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

<u>National Stage of an International Application under 35 U.S.C. 371</u>
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

<u>New International Application Filed with the USPTO as a Receiving Office</u>
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/898,145	09/10/2007	Yukari Suginaka	056937-0396	1079

53080 7590 08/30/2010

MCDERMOTT WILL & EMERY LLP
600 13TH STREET, NW
WASHINGTON, DC 20005-3096

EXAMINER	
PATEL, NITIN C	
ART UNIT	PAPER NUMBER
2116	
MAIL DATE	DELIVERY MODE
08/30/2010	PAPER

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Office Action Summary	Application No.	Applicant(s)	
	11/898,145	SUGINAKA ET AL.	
	Examiner	Art Unit	
	NITIN C. PATEL	2116	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 3 MONTH(S) OR THIRTY (30) DAYS, WHICHEVER IS LONGER, FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

1)☒ Responsive to communication(s) filed on *9/10/07, and 3/22/10*.

2a)☐ This action is **FINAL**. 2b)☒ This action is non-final.

3)☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims

4)☒ Claim(s) *1-30* is/are pending in the application.

4a) Of the above claim(s) _____ is/are withdrawn from consideration.

5)☐ Claim(s) _____ is/are allowed.

6)☒ Claim(s) *1-26* is/are rejected.

7)☒ Claim(s) *27-30* is/are objected to.

8)☐ Claim(s) _____ are subject to restriction and/or election requirement.

Application Papers

9)☒ The specification is objected to by the Examiner.

10)☐ The drawing(s) filed on _____ is/are: a)☐ accepted or b)☐ objected to by the Examiner.

Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).

Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).

11)☐ The oath or declaration is objected to by the Examiner. Note the attached Office Action or form PTO-152.

Priority under 35 U.S.C. § 119

12)☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

a)☐ All b)☐ Some * c)☐ None of:

1.☒ Certified copies of the priority documents have been received.

2.☐ Certified copies of the priority documents have been received in Application No. _____.

3.☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

* See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

1) ☒ Notice of References Cited (PTO-892)
2) ☐ Notice of Draftsperson's Patent Drawing Review (PTO-948)
3) ☒ Information Disclosure Statement(s) (PTO/SB/08) Paper No(s)/Mail Date *9/10/07,3/22/10*.
4) ☐ Interview Summary (PTO-413) Paper No(s)/Mail Date. _____ .
5) ☐ Notice of Informal Patent Application
6) ☐ Other: _____.

DETAILED ACTION

1. This Office Action is sent in response to Applicant's Communication received 10 September 2007 for application number 11/898,145. The Office hereby acknowledges receipt of the following and placed of record in file: Specification, Drawings, Abstract, Oath/Declaration, claims and certified copy of foreign priority application.

2. Claims 1 – 30 are presented for examination.

Priority

3. Receipt is acknowledged of papers submitted under 35 U.S.C. 119(a)-(d), which papers have been placed of record in the file.

Information Disclosure Statement

4. The information disclosure statement (IDS) submitted on 10 September 2007, and 22 March 2010, were filed before the mailing date of the first office action. The submission is in compliance with the provisions of 37 CFR 1.97. Accordingly, the information disclosure statement is being considered by the examiner.

Priority

If applicant desires to claim the benefit of a prior-filed application under 35 U.S.C. 119 (e), a specific reference to the prior-filed application in compliance with 37 CFR 1.78(a) must be included in the first sentence(s) of the specification following the title or in an application data sheet. For benefit claims under 35 U.S.C. 120, 121 or 365(c), the reference must include the relationship (i.e., continuation, divisional, or continuation-in-part) of the applications.

If the instant application is a utility or plant application filed under 35 U.S.C. 111(a) on or after November 29, 2000, the specific reference must be submitted during the pendency of the application and within the later of four months from the actual filing date of the application or sixteen months from the filing date of the prior application. If the application is a utility or plant application which entered the national stage from an international application filed on or after November 29, 2000, after compliance with 35 U.S.C. 371, the specific reference must be submitted during the pendency of the application and within the later of four months from the date on which the national stage commenced under 35 U.S.C. 371(b) or (f) or sixteen months from the filing date of the prior application. See 37 CFR 1.78(a)(2)(ii) and (a)(5)(ii). This time period is not extendable and a failure to submit the reference required by 35 U.S.C. 119(e) and/or 120, where applicable, within this time period is considered a waiver of any benefit of such prior application(s) under 35 U.S.C. 119(e), 120, 121 and 365(c). A benefit claim filed after the required time period may be accepted if it is accompanied by a grantable petition to accept an unintentionally delayed benefit claim under 35 U.S.C. 119(e), 120, 121 and 365(c). The petition must be accompanied by (1) the reference required by 35 U.S.C. 120 or 119(e) and 37 CFR 1.78(a)(2) or (a)(5) to the prior application (unless previously submitted), (2) a surcharge under 37 CFR 1.17(t), and (3) a statement that the entire delay between the date the claim was due under 37 CFR 1.78(a)(2) or (a)(5) and the date the claim was filed was unintentional. The Director may require additional information where there is a question whether the delay was unintentional. The petition

should be addressed to: Mail Stop Petition, Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

If the reference to the prior application was previously submitted within the time period set forth in 37 CFR 1.78(a), but not in the first sentence(s) of the specification or an application data sheet (ADS) as required by 37 CFR 1.78(a) (e.g., if the reference was submitted in an oath or declaration or the application transmittal letter), and the information concerning the benefit claim was recognized by the Office as shown by its inclusion on the first filing receipt, the petition under 37 CFR 1.78(a) and the surcharge under 37 CFR 1.17(t) are not required. Applicant is still required to submit the reference in compliance with 37 CFR 1.78(a) by filing an amendment to the first sentence(s) of the specification or an ADS. See MPEP § 201.11.

Title

5. The title of the invention is not descriptive. A new title is required that is clearly indicative of the invention to which the claims are directed. The examiner believes that the title of the invention is imprecise. A descriptive title indicative of the invention will help in proper indexing, classifying, searching, etc. See MPEP 606.01. However, the title of the invention should be limited to 500 characters.

Claim Rejections - 35 USC § 102

The following is a quotation of the appropriate paragraphs of 35 U.S.C. 102 that form the basis for the rejections under this section made in this Office action:

> A person shall be entitled to a patent unless –
>
> (e) the invention was described in a patent granted on an application for patent by another filed in the United States before the invention thereof by the applicant for patent, or on an international application

> by another who has fulfilled the requirements of paragraphs (1), (2), and (4) of section 371(c) of this title before the invention thereof by the applicant for patent.

The changes made to 35 U.S.C. 102(e) by the American Inventors Protection Act of 1999 (AIPA) and the Intellectual Property and High Technology Technical Amendments Act of 2002 do not apply when the reference is a U.S. patent resulting directly or indirectly from an international application filed before November 29, 2000. Therefore, the prior art date of the reference is determined under 35 U.S.C. 102(e) prior to the amendment by the AIPA (pre-AIPA 35 U.S.C. 102(e)).

6. Claims 1 – 26, are rejected under 35 U.S.C. 102(e) as being anticipated by Higashida, US Patent 7,167,991 B2,.

7. As to claim 1, Higashida discloses a microcontroller [LSI, fig. 1] comprising: a CPU [11 CPU]; a power supply device for supplying power [3 main power source] to the CPU [CPU][fig. 1]; a power supply unit [16 switch] arranged between the CPU [11] and the power supply device [3]; a power supply control unit [17 power-supply cut-off controller] for controlling the CPU [11] and the power supply unit [16]; and an information holding unit [15 SRAM] for holding information evacuated from the CPU [11] , the information necessary in proceeding with a program [col. 5, lines 1 – 10]; wherein the power supply control unit [17] outputs a shutdown request signal to the CPU in response to generation of a power shutdown factor, the CPU, upon receiving the shutdown request signal, activates a power shutdown microprogram, evacuates the information necessary in proceeding with the program to the information holding unit [15], and outputs an evacuation completed signal to the power supply control unit after evacuation is completed [col. 6, lines 31 - 34], the power supply control unit [17], upon

receiving the evacuation completed signal, outputs a power shutdown control signal to the power supply unit [16][col. 7, lines 23 – 27], and the power supply unit shuts down [by switching off] power supply to the CPU [11] upon receiving the power shutdown control signal from the power supply control unit [as shown in fig. 1][col. 1, lines 7 – 13, col. 2, lines 65 – 67, col. 3, lines 1 – 4, col. 4, lines 51– 67, col. 5, lines 1 – 67, col. 6, lines 1 – 67, col. 7, lines 1 – 67, col. 8, lines 1 – 16, fig. 1 – 7].

8. As to claim 4, Higashida discloses a microcontroller [LSI, fig. 1]: a CPU [11 CPU]; a power supply device [3 main power source] for supplying power to the CPU [11] ; a power supply unit [16 switch] arranged between the CPU [11] and the power supply device [3] ; a power supply control unit [17 power-supply cut-off controller] for controlling the CPU [11] and the power supply unit [16]; and an information holding unit [15 SRAM] for holding information evacuated from the CPU [11] , the information necessary in proceeding with a program; wherein the power supply control unit outputs a shutdown request signal to the CPU in response to generation of a power shutdown factor, the CPU, upon receiving the shutdown request signal, activates a power shutdown microprogram, evacuates the information necessary in proceeding with the program to the information holding unit, and outputs an evacuation completed signal to the power supply control unit after evacuation is completed [col. 6, lines 31 - 34], the power supply control unit, upon receiving generation of a power supply restoration factor after receiving the evacuation completed signal, outputs a restoration request signal [return trigger] to the CPU, and the CPU, upon receiving the restoration request signal, activates a power supply restoration mircoprogram for not restoring the evacuated

information, and continues program execution][col. 1, lines 7 – 13, col. 2, lines 65 – 67, col. 3, lines 1 – 4, col. 4, lines 51– 67, col. 5, lines 1 – 67, col. 6, lines 1 – 67, col. 7, lines 1 – 67, col. 8, lines 1 – 36, fig. 1 – 7].

9. As to claims 2, and 5 – 6, Higashida discloses a microcontroller [LSI, fig. 1], further comprising a clock generator [24 clock stopping circuit]; wherein the power supply control unit [17], upon receiving the evacuation completed signal, outputs a clock stop control signal [clock stopping signal] to the clock generator [col. 5, lines 40 – 52, fig. 1].

10. As to claim 3, Higashida discloses a microcontroller [LSI, fig. 1], wherein the power supply control unit outputs a power supply control signal to the power supply unit in response to generation of a power supply restoration factor [return trigger], the power supply unit, upon receiving the power supply control signal, starts to supply power to the CPU, the power supply control unit outputs a restoration request signal to the CPU and outputs a clock supply control signal to the clock generator when a supplied power supply voltage is stabilized, the clock generator, upon receiving the clock supply control signal, restarts to supply an operation clock, and the CPU, upon receiving the restoration request signal, activates a power supply restoration microprogram, restores the information necessary in proceeding with the program and evacuated in the information holding unit in time of power shutdown, and ultimately branches processes to addresses indicated by a program counter to continue program execution from a shutdown state [col. 7, lines 44 – 67, col. 8, lines 1 – 36].

11. As to claims 7 – 8, Higashida discloses a microcontroller [LSI, fig. 1], wherein the power supply control unit [17 power-supply cut-off controller] limits a period [with clock stopping circuit] in which shutdown is possible [col. 5, lines 40 – 52].

12. As to claims 9 – 10, Higashida discloses a microcontroller [LSI, fig. 1], wherein the power shutdown microprogram evacuates the information necessary in proceeding with the program to a stack region in the information holding unit [15 SRAM] and then evacuates to a specific place only a value of a stack pointer for pointing to an evacuation place [inherently teaches to store and restore (write/read operation) into SRAM].

13. As to claims 11 – 12, Higashida discloses a microcontroller [LSI, fig. 1], wherein the power supply restoration factor uses an interrupt system of the microcontroller [power recycle inherently uses an interrupt of the microcontroller].

14. As to claims 13 – 14, Higashida discloses a microcontroller [LSI, fig. 1], wherein the state of the power shutdown factor includes a state [standby sate] where it is provided from an external terminal and a state where it is provided by a command, and it is possible to select a configuration corresponding to either one or both of the states [col. 7, lines 44 – 67, col. 7, lines 1 – 15].

15. As to claims 17 – 18, Higashida discloses a microcontroller [LSI, fig. 1], wherein one of the power shutdown microprogram [by power supply cut-off] and the power supply restoration microprogram selected [by return trigger circuit] in an alternative way, according to the generated power shutdown factor or a type of the selected power

shutdown factor, is activated [col. 4, lines 65 – 67, col. 5, lines 2 – 19, col. 6, lines 49 – 55].

16. As to claims 19 – 20, Higashida discloses a microcontroller [LSI, fig. 1], wherein the power supply device sets a period for shutting down power supply according to one or a plurality of peripheral circuit modules [12 CPU peripheral circuit], and the power shutdown period in the power supply device is set so that power shutdown is not carried out in a period necessary for power supply restoration and power shutdown is carried out in a period not necessary for the power supply restoration [abstract, col. 3, lines 10 – 18, 34 – 48, col. 5, lines 2 – 19].

17. As to claims 21 – 22, Higashida discloses a microcontroller [LSI, fig. 1], further comprising a debugger [23] for constantly monitoring a register [20 FF] in the CPU [11] ; wherein data other than data monitored by the debugger is evacuated in the information holding unit in time of power shutdown [col. 6, lines 62 – 67, col. 7, lines 1 – 1 – 10, fig. 1].

18. As to claims 23 – 24, Higashida discloses a microcontroller [LSI, fig. 1], further comprising a second power supply unit [5 backup power supply] for lowering a voltage to be supplied to a circuit portion outside a power shutdown range to a lower limit voltage for information holding [15 SRAM] when the power shutdown factor is generated [col. 4, lines 63 – 67, fig. 1].

19. As to claims 25 – 26, Higashida discloses a microcontroller [LSI, fig. 1], further comprising a circuit for loading an inverted value to a register in a circuit portion [to load inverted value to register is inherently taught by CPU] in a power shutdown range [fig.1].

Allowable Subject Matter

20. Claims 27 – 30 are objected to as being dependent upon a rejected base claim, but would be allowable if rewritten in independent form including all of the limitations of the base claim and any intervening claims.

21. **Examiner's note**: Examiner has cited particular columns and line numbers in the references as applied to the claims above for the convenience of the applicant. Although the specified citations are representative of the teachings of the art and are applied to the specific limitations within the individual claim, other passages and figures may apply as well. It is respectfully requested to the applicant in preparing responses, to fully consider the references in entirety as potentially teaching all or part of the claimed invention, as well as the context of the passage as taught by the prior art as disclosed by the Examiner.

22. **Prior Art not relied upon**: Please refer to the references listed in attached PTO-892, which, are not relied upon for the claim rejection, since these references are pertinent to the disclosure.

Conclusion

Any inquiry concerning this communication or earlier communications from the examiner should be directed to NITIN C. PATEL whose telephone number is (571)272-3675. The examiner can normally be reached on 6:30 am - 5:00 pm.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Thomas Lee can be reached on 571-272-3667. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/Nitin C. Patel/
Primary Examiner, Art Unit 2116

Notice of References Cited	Application/Control No. 11/898,145	Applicant(s)/Patent Under Reexamination SUGINAKA ET AL.	
	Examiner NITIN C. PATEL	Art Unit 2116	Page 1 of 1

U.S. PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	Classification
*	A	US-7,167,991	01-2007	Higashida, Motoki	713/320
*	B	US-2003/0097510	05-2003	Joseph, Francis	710/305
*	C	US-2006/0198227	09-2006	Okada, Atsuhiko	365/229
*	D	US-5,978,922	11-1999	Arai et al.	713/323
*	E	US-7,730,330	06-2010	Fleischmann et al.	713/300
*	F	US-6,535,982	03-2003	Kawabe et al.	713/300
*	G	US-7,380,149	05-2008	Ozawa et al.	713/324
*	H	US-7,430,677	09-2008	Hada, Manabu	713/323
*	I	US-5,379,435	01-1995	Hanaoka, Masaaki	713/2
	J	US-			
	K	US-			
	L	US-			
	M	US-			

FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
	N					
	O					
	P					
	Q					
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

Qualcomm Ex. 1002 - 254/414

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	11898145	SUGINAKA ET AL.
	Examiner	Art Unit
	NITIN C PATEL	2116

SEARCHED			
Class	Subclass	Date	Examiner
713	324	8/19/10	ncp

SEARCH NOTES		
Search Notes	Date	Examiner
Inventor name search in PALM	8/16/10	ncp
EAST search results attached	8/19/10,8/23/10, 8/26/10	ncp
NPL search -- ACM Digital library, IEE explorer --results attached	8/23/10	ncp

INTERFERENCE SEARCH			
Class	Subclass	Date	Examiner
713	324	8/19/10	ncp

Index of Claims	Application/Control No.	Applicant(s)/Patent Under Reexamination
	11898145	SUGINAKA ET AL.
	Examiner	Art Unit
	NITIN C PATEL	2116

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

☐ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

CLAIM		DATE								
Final	Original	08/26/2010								
	1	✓								
	2	✓								
	3	✓								
	4	✓								
	5	✓								
	6	✓								
	7	✓								
	8	✓								
	9	✓								
	10	✓								
	11	✓								
	12	✓								
	13	✓								
	14	✓								
	15	✓								
	16	✓								
	17	✓								
	18	✓								
	19	✓								
	20	✓								
	21	✓								
	22	✓								
	23	✓								
	24	✓								
	25	✓								
	26	✓								
	27	O								
	28	O								
	29	O								
	30	O								

Qualcomm Ex. 1002 - 256/414

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

BIB DATA SHEET

CONFIRMATION NO. 1079

SERIAL NUMBER	FILING or 371(c) DATE RULE	CLASS	GROUP ART UNIT	ATTORNEY DOCKET NO.
11/898,145	09/10/2007	713	2116	056937-0396

APPLICANTS

Yukari Suginaka, Osaka, JAPAN;
Toshifumi Hamaguchi, Osaka, JAPAN;
Yoshitaka Kitao, Kyoto, JAPAN;
Shinya Muramatsu, Hyogo, JAPAN;

**** CONTINUING DATA ***************************

**** FOREIGN APPLICATIONS ***************************

JAPAN 2006-246454 09/12/2006

**** IF REQUIRED, FOREIGN FILING LICENSE GRANTED ****

10/01/2007

Foreign Priority claimed	35 USC 119(a-d) conditions met	Verified and Acknowledged	Met after Allowance	STATE OR COUNTRY	SHEETS DRAWINGS	TOTAL CLAIMS	INDEPENDENT CLAIMS
☑ Yes ☐ No	☐ Yes ☑ No	/NITIN C PATEL/ Examiner's Signature	☐	JAPAN	24	30	2
			ncp Initials				

ADDRESS

MCDERMOTT WILL & EMERY LLP
600 13TH STREET, NW
WASHINGTON, DC 20005-3096
UNITED STATES

TITLE

Microcontroller and arts related thereto

FILING FEE RECEIVED		
1500	FEES: Authority has been given in Paper No._____ to charge/credit DEPOSIT ACCOUNT No._____ for following:	☐ All Fees ☐ 1.16 Fees (Filing) ☐ 1.17 Fees (Processing Ext. of time) ☐ 1.18 Fees (Issue) ☐ Other _____ ☐ Credit

EAST Search History

EAST Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L1	1	(((U$controller or microcontroller or micro$controller or controller)near2 (chip or circuit or ic or circuit)with (storage or memory or non$volatile or rom))or LSI or (large adj3 integrated)or SOIC system$on $chip or (system adj3 chip))and (power near3 (recycle or restart or shut$down or (shut $4 adj (down or off))))same ((prohibit $4 or inhibit$4 or restrict$4)near3 interrupt$4)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/24 08:02
L2	1	(((U$controller or microcontroller or micro$controller or controller)near2 (chip or circuit or ic or circuit)same (storage or memory or non$volatile or rom))or LSI or (large adj3 integrated)or SOIC system$on $chip or (system adj3 chip))and (power near3 (recycle or restart or shut$down or (shut $4 adj (down or off))))same ((prohibit $4 or inhibit$4 or restrict$4)near3 interrupt$4)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/24 08:03

Qualcomm Ex. 1002 - 258/414

L3	34	(((U$controller or microcontroller or micro$controller or controller)near2 (chip or circuit or ic or circuit)same (storage or memory or non$volatile or rom))or LSI or (large adj3 integrated)or SOIC system$on $chip or (system adj3 chip))and (power near3 (recycle or restart or shut$down or (shut $4 adj (down or off))))and ((prohibit $4 or inhibit$4 or restrict$4)near3 interrupt$4)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/24 08:04
L4	4	(((U$controller or microcontroller or micro$controller or controller)near2 (chip or circuit or ic or circuit)with (storage or memory or non$volatile or rom))or LSI or (large adj3 integrated)or SOIC system$on $chip or (system adj3 chip))and (power near3 (recycle or restart or shut$down or (shut $4 adj (down or off))))and (activat$4 or enabl$4 or start $4)near6 (((power or voltage or energy) near3 (shutdown or off))adj4 (microprogram or code or software or firmware))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/24 08:18

Qualcomm Ex. 1002 - 259/414

L5	4	(((U$controller or microcontroller or micro$controller or controller)near2 (chip or circuit or ic or circuit)same (storage or memory or non$volatile or rom))or LSI or (large adj3 integrated)or SOIC system$on $chip or (system adj3 chip))and (power near3 (recycle or restart or shut$down or (shut $4 adj (down or off))))and (activat$4 or enabl$4 or start $4)near6 (((power or voltage or energy) near3 (shutdown or off))adj4 (microprogram or code or software or firmware))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/24 08:18
L6	4	(((U$controller or microcontroller or micro$controller or controller or MPU) near2 (chip or circuit or ic or circuit)same (storage or memory or non$volatile or rom))or LSI or (large adj3 integrated)or SOIC system$on $chip or (system adj3 chip))and (power near3 (recycle or restart or shut$down or (shut $4 adj (down or off))))and (activat$4 or enabl$4 or start $4)near6 (((power or voltage or energy) near3 (shutdown or off))adj4 (microprogram or code or software or firmware))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/24 08:19

Qualcomm Ex. 1002 - 260/414

L7	5	(((U$controller or microcontroller or micro$controller or controller or MPU or micro$process$4 or microprocess$4) near2 (chip or circuit or ic or circuit)same (storage or memory or non$volatile or rom))or LSI or (large adj3 integrated)or SOIC system$on $chip or (system adj3 chip))and (power near3 (recycle or restart or shut$down or (shut $4 adj (down or off))))and (activat$4 or enabl$4 or start $4)near6 (((power or voltage or energy) near3 (shutdown or off))adj4 (microprogram or code or software or firmware))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/24 08:20
L8	2	"6535982".pn.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/24 09:11
L9	5	("4891753" | "5083266" | "5734913" | "5982643" | "6115806").PN.	US-PGPUB; USPAT; USOCR	OR	OFF	2010/08/24 09:11
L10	5	("6535982").URPN.	USPAT	OR	OFF	2010/08/24 09:14
L11	3	("6363501" | "6535982" | "6684275").PN.	US-PGPUB; USPAT; USOCR	OR	OFF	2010/08/24 09:23
L12	0	("7167991").URPN.	USPAT	OR	OFF	2010/08/24 09:24

EAST Search History (Interference)

<This search history is empty>

Qualcomm Ex. 1002 - 261/414

8/24/2010 9:58:23 AM
C:\Documents and Settings\npatel3\My Documents\EAST\Workspaces\11898145.wsp

Qualcomm Ex. 1002 - 262/414

EAST Search History

EAST Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
S1	2	("20040257898" | "7103758").PN.	US-PGPUB; USPAT	OR	OFF	2010/08/19 13:56
S2	0	("7103758").URPN.	USPAT	OR	OFF	2010/08/19 13:57
S3	0	("7103758").URPN.	USPAT	OR	OFF	2010/08/19 13:58
S4	4	("5564028" | "5701480" | "5925139" | "6334167").PN.	US-PGPUB; USPAT; USOCR	OR	OFF	2010/08/19 13:58
S5	0	(microcontroller same ((sav$4 or stor$4 or writ $4)with ((internal or current) adj (information or mode or state)))same (power near3 (recycle or restart or shut$down or (shut$4 adj (down or off)))))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/19 14:18
S6	0	(microcontroller same ((sav$4 or stor$4 or writ $4)with ((internal or current) adj (information or mode or state)))same (power near3 (recycle or restart or shut$down or (shut$4 adj (down or off))))).clm.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/19 14:19
S7	0	(microcontroller same ((sav$4 or stor$4 or writ $4 or evacuat$4)with ((internal or current) adj (information or mode or state)))same (power near3 (recycle or restart or shut$down or (shut$4 adj (down or off))))).clm.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/19 14:21

Qualcomm Ex. 1002 - 263/414

S8	0	((microcontroller or cpu or micro$controller)same ((sav$4 or stor$4 or writ $4 or evacuat$4)with ((internal or current) adj (information or mode or state)))same (power near3 (recycle or restart or shut$down or (shut$4 adj (down or off))))).clm.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/19 14:22
S9	3	((microcontroller or cpu or micro$controller)same ((sav$4 or stor$4 or writ $4 or evacuat$4)with ((processor or cpu)near3 (information or mode or state)))same (power near3 (recycle or restart or shut$down or (shut$4 adj (down or off))))).clm.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/19 14:23
S10	104	((microcontroller or cpu or micro$controller)same ((sav$4 or stor$4 or writ $4 or evacuat$4)with ((processor or cpu)near3 (information or mode or state)))same (power near3 (recycle or restart or shut$down or (shut$4 adj (down or off)))))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/19 14:23
S11	1560	713/324.ccls.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/19 14:25
S12	2339	((microcontroller or cpu or micro$controller)same (power near3 (recycle or restart or shut$down or (shut$4 adj (down or off)))))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/19 14:25
S13	71	S11 and ((microcontroller or cpu or micro$controller) same (power near3 (recycle or restart or shut $down or (shut$4 adj (down or off)))))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/19 14:25

Qualcomm Ex. 1002 - 264/414

S14	32	S13 and ((sav$4 or stor$4 or writ$4 or evacuat$4) with ((processor or cpu) near3 (information or mode or state)))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/19 14:27
S15	6	("20020091978" | "20030141926" | "5524248" | "5978922" | "6055643" | "6973004").PN.	US-PGPUB; USPAT; USOCR	OR	OFF	2010/08/19 14:39
S16	23	("5978922").URPN.	USPAT	OR	OFF	2010/08/19 14:42
S17	7	("5379435" | "5435005" | "5551043" | "5659762" | "5664203" | "5784628" | "5978922").PN.	US-PGPUB; USPAT; USOCR	OR	OFF	2010/08/19 14:50
S18	19	("5379435").URPN.	USPAT	OR	OFF	2010/08/19 15:00
S19	5	("6154846").URPN.	USPAT	OR	OFF	2010/08/19 15:03
S20	23	("5978922").URPN.	USPAT	OR	OFF	2010/08/19 15:05
S21	11	("4611289" | "4907150" | "5218607" | "5379435" | "5435005" | "5471624" | "5530877" | "5586334" | "5617532" | "5710931" | "5822600").PN.	US-PGPUB; USPAT; USOCR	OR	OFF	2010/08/19 15:06
S22	13	("5745391").URPN.	USPAT	OR	OFF	2010/08/19 15:13
S23	1	("2004/0257898").URPN.	USPAT	OR	OFF	2010/08/19 15:23
S24	4	("5564028" | "5701480" | "5925139" | "6334167").PN.	US-PGPUB; USPAT; USOCR	OR	OFF	2010/08/19 15:24
S25	0	("7103758").URPN.	USPAT	OR	OFF	2010/08/19 15:24
S26	1560	713/324.ccls.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/23 08:09
S27	71	S26 and ((microcontroller or cpu or micro$controller) same (power near3 (recycle or restart or shut $down or (shut$4 adj (down or off)))))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/23 08:09

Qualcomm Ex. 1002 - 265/414

S28	34	S27 and ((export$4 or sav $4 or stor$4 or writ$4 or evacuat$4)with ((processor or cpu or controller)near3 (information or mode or state)))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/23 08:09
S29	52073	"713"/$.ccls.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/23 08:09
S30	14	S26 and ((microcontroller or cpu or micro$controller) same (power near3 (recycle or restart or shut $down or (shut$4 adj (down or off)))))same ((export$4 or sav$4 or stor $4 or writ$4 or evacuat$4) with ((processor or cpu or controller)near3 (information or mode or state)))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/23 08:09
S31	52	S29 and ((microcontroller or cpu or micro$controller) same (power near3 (recycle or restart or shut $down or (shut$4 adj (down or off)))))same ((export$4 or sav$4 or stor $4 or writ$4 or evacuat$4) with ((processor or cpu or controller)near3 (information or mode or state)))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/23 08:10
S32	5	("20060024072" | "7057754" | "7216250" | "7292795" | "7325151").PN.	US-PGPUB; USPAT; USOCR	OR	OFF	2010/08/23 08:22
S33	0	("7430677").URPN.	USPAT	OR	OFF	2010/08/23 08:24
S34	1	("5978922").PN.	US-PGPUB; USPAT	OR	OFF	2010/08/23 08:41
S35	46	(microcontroller or micro $controller or controller) near2 (chip or circuit or ic or circuit)with (storage or memory or non$volatile) with (hibernation or resum $4 or restor$4)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/23 09:01

Qualcomm Ex. 1002 - 266/414

S36	47	(U$controller or microcontroller or micro $controller or controller) near2 (chip or circuit or ic or circuit)with (storage or memory or non$volatile or rom)with (hibernation or resum$4 or restor$4)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/23 09:10
S37	114	(((U$controller or microcontroller or micro $controller or controller) near2 (chip or circuit or ic or circuit)with (storage or memory or non$volatile or rom))or SOIC system$on $chip or (system adj3 chip))with (hibernation or resum$4 or restor$4)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/23 09:15
S38	2	("7293183").URPN.	USPAT	OR	OFF	2010/08/23 09:38
S39	5	("6131166" | "6157979" | "6363501" | "6738675" | "6763415").PN.	US-PGPUB; USPAT; USOCR	OR	OFF	2010/08/23 09:38
S40	12	("6363501").URPN.	USPAT	OR	OFF	2010/08/23 09:40
S41	7	("7076708").URPN.	USPAT	OR	OFF	2010/08/23 09:42
S42	128	(((U$controller or microcontroller or micro $controller or controller) near2 (chip or circuit or ic or circuit)with (storage or memory or non$volatile or rom))or SOIC system$on $chip or (system adj3 chip))and (power near3 (recycle or restart or shut $down or (shut$4 adj (down or off))))same (hibernation or resum$4 or restor$4)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/23 09:53
S43	1	("20100205468").PN.	US-PGPUB; USPAT	OR	OFF	2010/08/23 09:58
S44	3	("6968469" "6535982" "5617532").PN.	US-PGPUB; USPAT	OR	OFF	2010/08/23 09:59
S45	10	("6968469").URPN.	USPAT	OR	OFF	2010/08/23 10:04

Qualcomm Ex. 1002 - 267/414

S46	1	((power or voltage) near2 (shutdown adj factor))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/23 13:10
S47	17	(((U$controller or microcontroller or micro $controller or controller) near2 (chip or circuit or ic or circuit)with (storage or memory or non$volatile or rom))or LSI or (large adj3 integrated)or SOIC system onchip or (system adj3 chip))same (power near3 (recycle or restart or shut $down or (shut$4 adj (down or off))))same (hibernation or resum$4 or restor$4)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/23 13:31
S48	1	("20040036494").PN.	US-PGPUB; USPAT	OR	OFF	2010/08/23 13:39
S49	75	(activat$4 or enabl$4 or start$4)near6 (((power or voltage or energy)near3 (shutdown or off))adj4 (microprogram or code or software or firmware))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/23 14:44
S50	7	S49 and ((export$4 or sav $4 or stor$4 or writ$4 or evacuat$4)with ((processor or cpu or controller)near3 (information or mode or state)))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/23 14:45
S51	1	S49 and ((microcontroller or cpu or micro$controller) same (power near3 (recycle or restart or shut $down or (shut$4 adj (down or off)))))same ((export$4 or sav$4 or stor $4 or writ$4 or evacuat$4) with ((processor or cpu or controller)near3 (information or mode or state)))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/23 14:49

Qualcomm Ex. 1002 - 268/414

S52	0	S49 and (((U$controller or microcontroller or micro $controller or controller) near2 (chip or circuit or ic or circuit)with (storage or memory or non$volatile or rom))or LSI or (large adj3 integrated)or SOIC system onchip or (system adj3 chip))same (power near3 (recycle or restart or shut $down or (shut$4 adj (down or off))))same (hibernation or resum$4 or restor$4)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/23 14:49
S53	7147	microcontroller.ti.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/23 14:54
S54	12027	microcontroller.clm.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/23 14:54
S55	106	S53 and ((export$4 or sav $4 or stor$4 or writ$4 or evacuat$4)with ((processor or cpu or controller)near3 (information or mode or state)))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/23 14:54
S56	542	S54 and ((export$4 or sav $4 or stor$4 or writ$4 or evacuat$4)with ((processor or cpu or controller)near3 (information or mode or state)))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/23 14:55
S57	0	S53 and (((U$controller or microcontroller or micro $controller or controller) near2 (chip or circuit or ic or circuit)with (storage or memory or non$volatile or rom))or LSI or (large adj3 integrated)or SOIC system onchip or (system adj3 chip))same (power near3 (recycle or restart or shut $down or (shut$4 adj (down or off))))same	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/23 14:55

Qualcomm Ex. 1002 - 269/414

		(hibernation or resum$4 or restor$4)				
S58	0	S54 and (((U$controller or microcontroller or micro $controller or controller) near2 (chip or circuit or ic or circuit)with (storage or memory or non$volatile or rom))or LSI or (large adj3 integrated)or SOIC system onchip or (system adj3 chip))same (power near3 (recycle or restart or shut $down or (shut$4 adj (down or off))))same (hibernation or resum$4 or restor$4)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/23 14:55
S59	0	S53 and (((U$controller or microcontroller or micro $controller or controller) near2 (chip or circuit or ic or circuit)with (storage or memory or non$volatile or rom))or LSI or (large adj3 integrated)or SOIC system onchip or (system adj3 chip))same (power near3 (recycle or restart or shut $down or (shut$4 adj (down or off))))and (hibernation or resum$4 or restor$4)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/23 14:56
S60	0	S53 and (((U$controller or microcontroller or micro $controller or controller) near2 (chip or circuit or ic or circuit)with (storage or memory or non$volatile or rom))or LSI or (large adj3 integrated)or SOIC system onchip or (system adj3 chip))same (power near3 (recycle or restart or shut $down or (shut$4 adj (down or off))))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/23 14:56

Qualcomm Ex. 1002 - 270/414

S61	2	S54 and (((U$controller or microcontroller or micro $controller or controller) near2 (chip or circuit or ic or circuit)with (storage or memory or non$volatile or rom))or LSI or (large adj3 integrated)or SOIC system onchip or (system adj3 chip))same (power near3 (recycle or restart or shut $down or (shut$4 adj (down or off))))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/23 14:56
S62	0	S54 and (((U$controller or microcontroller or micro $controller or controller) near2 (chip or circuit or ic or circuit)with (storage or memory or non$volatile or rom))or LSI or (large adj3 integrated)or SOIC system onchip or (system adj3 chip))same (power near3 (recycle or restart or shut $down or (shut$4 adj (down or off))))and (hibernation or resum$4 or restor$4)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/23 14:57
S63	504	S54 and (power near3 (recycle or restart or shut $down or (shut$4 adj (down or off))))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/23 14:58
S64	43	S53 and (power near3 (recycle or restart or shut $down or (shut$4 adj (down or off))))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/23 14:58
S65	42	S63 and ((export$4 or sav $4 or stor$4 or writ$4 or evacuat$4)with ((processor or cpu or controller)near3 (information or mode or state)))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/23 14:59
S66	7	S64 and ((export$4 or sav $4 or stor$4 or writ$4 or evacuat$4)with ((processor or cpu or controller)near3 (information or mode or state)))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/23 14:59

Qualcomm Ex. 1002 - 271/414

S67	0	(((U$controller or microcontroller or micro $controller or controller) near2 (chip or circuit or ic or circuit)with (storage or memory or non$volatile or rom))or LSI or (large adj3 integrated)or SOIC system onchip or (system adj3 chip))same (power near3 (recycle or restart or shut $down or (shut$4 adj (down or off))))same ((export$4 or sav$4 or stor $4 or writ$4 or evacuat$4) with ((processor or cpu or controller)near3 (information or mode or state))).clm.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/23 15:05
S68	0	(((U$controller or microcontroller or micro $controller or controller) near2 (chip or circuit or ic or circuit)with (storage or memory or non$volatile or rom))or LSI or (large adj3 integrated)or SOIC system onchip or (system adj3 chip))same (power near3 (recycle or restart or shut $down or (shut$4 adj (down or off))))same (activat$4 or enabl$4 or start$4)near6 (((power or voltage or energy)near3 (shutdown or off))adj4 (microprogram or code or software or firmware)). clm.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/23 15:06
S69	0	(((U$controller or microcontroller or micro $controller or controller) near2 (chip or circuit or ic or circuit)with (storage or memory or non$volatile or rom))or LSI or (large adj3 integrated)or SOIC system onchip or (system adj3 chip))same (power near3 (recycle or restart or shut $down or (shut$4 adj (down or off))))and (activat$4 or enabl$4 or start$4)near6 (((power or voltage or energy)near3	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/23 15:06

Qualcomm Ex. 1002 - 272/414

		(shutdown or off))adj4 (microprogram or code or software or firmware)).clm.				
S70	6	(((U$controller or microcontroller or micro $controller or controller) near2 (chip or circuit or ic or circuit)with (storage or memory or non$volatile or rom))or LSI or (large adj3 integrated)or SOIC system onchip or (system adj3 chip))same (power near3 (recycle or restart or shut $down or (shut$4 adj (down or off)))).clm.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/23 15:06
S71	2	"4672573".pn.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/26 12:57
S72	9	("4672573").URPN.	USPAT	OR	OFF	2010/08/26 12:58
S73	12	("5748971").URPN.	USPAT	OR	OFF	2010/08/26 13:03
S74	9	("4672573").URPN.	USPAT	OR	OFF	2010/08/26 13:08
S75	12	("5748971").URPN.	USPAT	OR	OFF	2010/08/26 13:08
S76	2	"7167991".pn.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/08/26 13:43

EAST Search History (Interference)

< This search history is empty>

8/ 26/ 2010 3:30:51 PM
C:\ Documents and Settings\ npatel3\ My Documents\ EAST\ Workspaces\ 11898145.wsp

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Substitute for form 1449/PTO)

ATTY. DOCKET NO.	SERIAL NO.
056937-0396	**11/898,145**

APPLICANT: **Yukari SUGINAKA, et al.**

FILING DATE	GROUP
September 10, 2007	**2115**

U.S. PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Document Number Number-Kind Code2 (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			

FOREIGN PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Foreign Patent Document Country Code3-Number 4-Kind Codes (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines Where Relevant Figures Appear	Translation Yes	Translation No
/N.P./		**JP 2002-288150**	**10-04-2002**	**MATSUSHITA ELECTRIC IND CO LTD**		**JAPAN (w/ English abstract)**	
/N.P./		**JP 06-161617**	**06-10-1994**	**SHARP CORP**		**JAPAN (w/ English abstract)**	
/N.P./		**JP 63-298654**	**12-06-1988**	**NEC CORP**		**JAPAN (w/ English abstract)**	
/N.P./		**JP 2004-030100**	**01-29-2004**	**MITSUBISHI ELECTRIC CORP**		**JAPAN (w/ English abstract)**	

OTHER ART (Including Author, Title, Date, Pertinent Pages, Etc.)

EXAMINER'S INITIALS	CITE NO.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.

EXAMINER	DATE CONSIDERED
/Nitin Patel/	08/17/2010

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

1 Applicant's unique citation designation number (optional). 2 Applicant is to place a check mark here if English language Translation is attached.

INFORMATION DISCLOSURE CITATION IN AN APPLICATION

(PTO-1449)

ATTY. DOCKET NO.	SERIAL NO.
056937-0396	**Not Yet Assigned**
APPLICANT: **Yukari SUGINAKA, et al.**	
FILING DATE: **September 10, 2007**	GROUP: **Not Yet Assigned**

U.S. PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Document Number Number-Kind Code2 (if known)		Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
/N.P./		US	2004/0257898 A1	12-23-2004	OZAWA et al.	
/N.P./		US	7,103,758 B2	09-05-2006	GOTO	
		US				
		US				
		US				
		US				
		US				
		US				
		US				
		US				
		US				
		US				
		US				
		US				

FOREIGN PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Foreign Patent Document Country Code3-Number 4-Kind Codes (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines Where Relevant Figures Appear	Translation Yes	Translation No

OTHER ART (Including Author, Title, Date, Pertinent Pages, Etc.)

EXAMINER'S INITIALS	CITE NO.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	

EXAMINER	DATE CONSIDERED
/Nitin Patel/	08/17/2010

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

1 Applicant's unique citation designation number (optional). 2 Applicant is to place a check mark here if English language Translation is attached.

ACM PORTAL USPTO

Subscribe (Full Service) Register (Limited Service, Free) Login

Search: The ACM Digital Library The Guide

Searching within **The Guide** with **Advanced Search**: Owner:ACM(Name:sugunak and Name:y.) (start a new search)

Owner:ACM(Name:sugunak and Name:y.) was not found.

Start a new search or use the navigation below to refine the total result set.

REFINE YOUR SEARCH

Search Results • Related Journals • Related Magazines • Related SIGs • Related Conferences

Refine by Keywords

Discovered Terms

Refine by People

Names
Institutions
Authors
Editors
Advisors
Reviewers

Refine by Publications

Publication Year
Publication Names
ACM Publications
All Publications
Content Formats
Publishers

Refine by Conferences

Sponsors
Events
Proceeding Series

ADVANCED SEARCH

Advanced Search

FEEDBACK

Please provide us with feedback

Found **1,559,034** of **1,559,034**

Results 1 - 20 of 1,559,034

Sort by relevance in expanded form

Save results to a Binder

Result page: **1** 2 3 4 5 6 7 8 9 10 next >>

1 Extending the CG Model by Simulations

Jean-Francois Baget

August 2000 **ICCS '00:** Proceedings of the Linguistic on Conceptual Structures: Logical Linguistic, and Computational Issues

Publisher: Springer-Verlag

Additional Information: full citation

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

2 Characteristics of good one-way encryption functions for passwords—some rules for creators and evaluators

V Fak

December 1984 Proceedings of the 2nd IFIP international conference on Computer security: a global challenge

Publisher: North-Holland Publishing Co.

Additional Information: full citation, index terms

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

3 Event Spaces and their Linear Logic

Vaughan R. Pratt

May 1991 **AMAST '91:** Proceedings of the Second International Conference on Methodology and Software Technology: Algebraic Methodology and Software Technology

Publisher: Springer-Verlag

Additional Information: full citation

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 2

4 A new priority based congestion control protocol for Wireless Multimedia Sensor Networks

Mohammad Hossein Yaghmaee, Donald Adjeroh

June 2008 **WOWMOM '08:** Proceedings of the 2008 International Symposium on a World of Wireless, Mobile and Multimedia Networks

Publisher: IEEE Computer Society

Full text available: Publisher Site

Additional Information: full citation, abstract

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

New applications made possible by the rapid improvements and miniaturization in hardware has motivated recent developments in Wireless Multimedia Sensor Networks (WMSNs). As multimedia applications produce high volumes of data which require high transmission ...

Qualcomm Ex. 1002 - 276/414

5 Similarity Measurement Between Images

Chaur-Chin Chen, Hsueh-Ting Chu

July 2005 **COMPSAC '05: Proceedings of the 29th Annual International Computer Software and Applications Conference - Volume 02** , Volume 02

Publisher: IEEE Computer Society

Full text available: Publisher Site

Additional Information: full citation, abstract

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 2

Experimental results of applying two similarity measurements, Euclidean distance and chord distanc, to test a set of six Brodatzýs textures are reported. Experiments show that in addition to feature extraction, A similarity measurement between images ...

Also published in:

July 2005 **COMPSAC '05: Proceedings of the 29th Annual International Computer Software and Applications Conference - Volume 02** Volume 02

6 Global stabilization for systems evolving on manifolds

M. Malisoff, M. Krichman, E. Sontag

April 2006 **Journal of Dynamical and Control Systems** , Volume 12 Issue 2

Publisher: Kluwer Academic Publishers

Additional Information: full citation, abstract, references, index terms

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

We show that any globally asymptotically controllable system on any smooth manifold can be globally stabilized by a state feedback. Since we allow discontinuous feedbacks, we interpret the solutions of our systems in the "sample and hold" sense introduced ...

Keywords: asymptotic controllability, control systems on manifolds, input-to-state stabilization

7 An analysis of the low-earth-orbit communications environment

Robert Joseph Diersing

January 1992 An analysis of the low-earth-orbit communications environment

Publisher: Texas A & M University

Additional Information: full citation, index terms

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

Keywords: satellite communications

8 PBIR: perception-based image retrieval-a system that can quickly capture subjective image query concepts

Edward Chang, Kwang-Ting Cheng, Wei-Cheng Lai, Ching-Tung Wu, Chengwei Chang, Yi-Leh Wu

October 2001 **MULTIMEDIA '01:** Proceedings of the ninth ACM international conference on Multimedia

Publisher: ACM Request Permissions

Full text available: Pdf (999.10 KB)

Additional Information: full citation, abstract, references, cited by, index terms

Bibliometrics: Downloads (6 Weeks): 2, Downloads (12 Months): 12, Downloads (Overall): 223, Citation Count: 5

We describe the Perception-Based Image Retrieval (PBIR) system that we have built on our recently developed query-concept learning algorithms, MEGA and SVM*Active*. We show that MEGA and SVM*Active* can learn a complex image-query concept in ...

Keywords: active learning, image retrieval, query concept, relevance feedback, support vector machines

Qualcomm Ex. 1002 - 277/414

9 CroMo --Morphological Analysis for Standard Croatian and its Synchronic and Diachronic Dialects and Variants

Damir Ćavar, Ivo-Pavao Jazbec, Tomislav Stojanov

July 2009 Proceeding of the 2009 conference on Finite-State Methods and Natural Language Processing: Post-proceedings of the 7th International Workshop FSMNLP 2008

Publisher: IOS Press

Additional Information: full citation, abstract, references

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

CroMo is a finite state transducer that combines three major functionalities into one high-performance monolithic machine for morphological segmentation, annotation, and lemmatization. It is designed to be flexible, extensible, and applicable to any ...

Keywords: Croatian, Finite State Transducer, Morphology

10 Supporting RFID-based item tracking applications in Oracle DBMS using a bitmap datatype

Ying Hu, Seema Sundara, Timothy Chorma, Jagannathan Srinivasan

August 2005 **VLDB '05:** Proceedings of the 31st international conference on Very large data bases

Publisher: VLDB Endowment

Full text available: Pdf (200.93 KB) Additional Information: full citation, abstract, references, cited by, index terms

Bibliometrics: Downloads (6 Weeks): 302, Downloads (12 Months): 2872, Downloads (Overall): 3726, Citation Count: 11

Radio Frequency Identification (RFID) based item-level tracking holds the promise of revolutionizing supply-chain, retail store, and asset management applications. However, the high volume of data generated by item-level tracking poses challenges to ...

11 Aggregation scheme implementation for vital signs data over the network

Junaid Ahmed Zubairi

December 2009 **HONET'09:** Proceedings of the 6th international conference on High capacity optical networks and enabling technologies

Publisher: IEEE Press

Additional Information: full citation, abstract, references

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

In this paper, the aggregation and transmission scheme for vital signs data in MEDTOC (Medical Data Transmission Over Cellular Network) is presented. MEDTOC has been designed for dealing with emergency medical data from disaster sites. Since some of ...

Keywords: 3G cellular network, disaster response, emergency medical data, vital signs

12 Threshold phenomena in the transient behavior of Markovian models of communication networks and databases

V. Anantharam

November 1989 Proceedings of the workshop held at the Mathematical Sciences Institute Cornell University on Mathematical theory of queueing systems

Publisher: J. C. Baltzer AG, Science Publishers

Additional Information: full citation, index terms

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

Also published in:

November 1989 **Queueing Systems: Theory and Applications** Volume 5 Issue 1-3

Qualcomm Ex. 1002 - 278/414

13 Square Rooting Algorithms for Integer and Floating-Point Numbers

R. Hashemian

August 1990 **IEEE Transactions on Computers** , Volume 39 Issue 8

Publisher: IEEE Computer Society

Full text available: Publisher Site Additional Information: full citation, abstract, references, cited by, index terms

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 3

An algorithm for evaluating the square root of integers and real numbers is developed. The procedure consists of two parts: one to obtain a close estimate of the square root and the other to modify the initial value, iteratively, until a precise root ...

Keywords: bit-shift operation, close estimate, digital arithmetic, division by 2, fast converging iteration, floating-point numbers, initial value modification, integer numbers, iterative methods, number theory., precise root, real numbers, square rooting algorithms

14 Project scheduling using a competitive genetic algorithm

J. Magalhães-Mendes

September 2008 **SMO'08:** Proceedings of the 8th conference on Simulation, modelling and optimization

Publisher: World Scientific and Engineering Academy and Society (WSEAS)

Additional Information: full citation, abstract, references, index terms

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 1

The resource constrained project scheduling problem (RCPSP) is a difficult problem in combinatorial optimization for which extensive investigation has been devoted to the development of efficient algorithms. During the last couple of years many heuristic ...

Keywords: RCPSP, genetic algorithm, optimization, project management, scheduling

15 A document engineering environment for clinical guidelines

Gersende Georg, Marie-Christine Jaulent

August 2007 **DocEng '07:** Proceedings of the 2007 ACM symposium on Document engineering

Publisher: ACM Request Permissions

Full text available: Pdf (1.22 MB) Additional Information: full citation, abstract, references, index terms

Bibliometrics: Downloads (6 Weeks): 2494, Downloads (12 Months): 3634, Downloads (Overall): 3777, Citation Count: 2

In this paper, we present a document engineering environment for Clinical Guidelines (G-DEE), which are standardized medical documents developed to improve the quality of medical care. The computerization of Clinical Guidelines has attracted much interest ...

Keywords: GEM, XML, clinical guidelines, deontic operators

16 Privacy-enhancing fingerprint authentication using cancelable templates with passwords

Daesung Moon, Sungju Lee, Seunghwan Jung, Yongwha Chung, Okyeon Yi, Namil Lee, Kiyoung Moon

August 2006 **WISA'06:** Proceedings of the 7th international conference on Information security applications: PartI

Publisher: Springer-Verlag

Additional Information: full citation, abstract, references

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

Biometric based authentication can provide strong security guarantee about the identity of users. However, security of biometric data is particularly important as compromise of the data will be permanent. Cancelable biometrics store a non-invertible ...

Keywords: cancelable template, crypto-biometric, fuzzy vault, privacy

Qualcomm Ex. 1002 - 279/414

17 Movies from music: Visualizing musical compositions

J. B. Mitroo, Nancy Herman, Norman I. Badler

August 1979 **SIGGRAPH '79:** Proceedings of the 6th annual conference on Computer graphics and interactive techniques

Publisher: ACM Request Permissions

Full text available: Pdf (9.70 MB) Additional Information: full citation, abstract, references, cited by, index terms

Bibliometrics: Downloads (6 Weeks): 3, Downloads (12 Months): 70, Downloads (Overall): 498, Citation Count: 4

A theory of music visualization proposed by Nancy Herman postulates an association between colors and pitches of musical scales. A color raster graphics display is used to generate images of notes, chords, and chord progressions based on this theory. ...

Keywords: Color animation, Computer art, Computer graphics, Music, Raster graphics, Video display

Also published in:

August 1979 **SIGGRAPH Computer Graphics** Volume 13 Issue 2

18 Multiple Trajectory Search for Uncapacitated Facility Location Problems

Lin-Yu Tseng, Chih-Sheng Wu

April 2009 **CSO '09: Proceedings of the 2009 International Joint Conference on Computational Sciences and Optimization - Volume 02** , Volume 02

Publisher: IEEE Computer Society

Full text available: Publisher Site Additional Information: full citation, abstract

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

In this study, a novel metaheuristic called the Multiple Trajectory Search (MTS) is proposed to solve the uncapacitated facility location problem (UFLP). The Multiple Trajectory Search hybridizes a global search method (the Trajectory_Search) and a local ...

Keywords: multiple trajectory search, uncapacitated facility location problem, metaheuristic

19 Stiff differential equations solved by Radau methods

Ernst Hairer, Gerhard Wanner

November 1999 Proceedings of the on Numerical methods for differential equations

Publisher: Elsevier North-Holland, Inc.

Additional Information: full citation, cited by, index terms

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 13

Keywords: Radau IIA methods, historical notes, implicit Runge-Kutta methods, order selection strategy, order stars, stiff differential equations

Also published in:

November 1999 **Journal of Computational and Applied Mathematics** Volume 111 Issue 1-2

20 Alltagspraxis der Hypermediagestaltung - Erfahrungen beim Einsatz des World Wide Web und Mosaic in der Lehre

Andreas Brennecke, Reinhard Keil-Slawik

February 1995 Software-Ergonomie '95, Mensch - Computer - Interaktion, Anwendungsbereiche lernen voneinander: Gemeinsame Fachtagung des German Chapter of the ACM, der Gesellschaft für Informatik (GI), der TH Darmstadt und GMD/IPSI

Publisher: Teubner

Additional Information: full citation, cited by

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 1

Result page: **1** 2 3 4 5 6 7 8 9 10 next

>>>

Qualcomm Ex. 1002 - 280/414

The ACM Portal is published by the Association for Computing Machinery. Copyright © 2010 ACM, Inc.

Terms of Usage Privacy Policy Code of Ethics Contact Us

Useful downloads: Adobe Acrobat QuickTime Windows Media Player Real Player

Qualcomm Ex. 1002 - 281/414

ACM PORTAL USPTO

Subscribe (Full Service) Register (Limited Service, Free) Login

Search: The ACM Digital Library The Guide

Searching within **The Guide** with **Advanced Search**: Owner:ACM(Name:humaguchi and Name:t.) (start a new search)

Owner:ACM(Name:humaguchi and Name:t.) was not found.

Start a new search or use the navigation below to refine the total result set.

REFINE YOUR SEARCH

Search Results • Related Journals • Related Magazines • Related SIGs • Related Conferences

Refine by Keywords

Discovered Terms

Refine by People
Names
Institutions
Authors
Editors
Advisors
Reviewers

Refine by Publications
Publication Year
Publication Names
ACM Publications
All Publications
Content Formats
Publishers

Refine by Conferences
Sponsors
Events
Proceeding Series

ADVANCED SEARCH
Advanced Search

FEEDBACK
Please provide us with feedback

Found **1,559,034** of **1,559,034**

Results 1 - 20 of 1,559,034 Sort by relevance in expanded form

Save results to a Binder

Result page: **1** 2 3 4 5 6 7 8 9 10 next >>

1 Extending the CG Model by Simulations

Jean-Francois Baget

August 2000 **ICCS '00:** Proceedings of the Linguistic on Conceptual Structures: Logical Linguistic, and Computational Issues

Publisher: Springer-Verlag

Additional Information: full citation

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

2 Characteristics of good one-way encryption functions for passwords—some rules for creators and evaluators

V Fak

December 1984 Proceedings of the 2nd IFIP international conference on Computer security: a global challenge

Publisher: North-Holland Publishing Co.

Additional Information: full citation, index terms

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

3 Event Spaces and their Linear Logic

Vaughan R. Pratt

May 1991 **AMAST '91:** Proceedings of the Second International Conference on Methodology and Software Technology: Algebraic Methodology and Software Technology

Publisher: Springer-Verlag

Additional Information: full citation

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 2

4 A new priority based congestion control protocol for Wireless Multimedia Sensor Networks

Mohammad Hossein Yaghmaee, Donald Adjeroh

June 2008 **WOWMOM '08:** Proceedings of the 2008 International Symposium on a World of Wireless, Mobile and Multimedia Networks

Publisher: IEEE Computer Society

Full text available: Publisher Site

Additional Information: full citation, abstract

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

New applications made possible by the rapid improvements and miniaturization in hardware has motivated recent developments in Wireless Multimedia Sensor Networks (WMSNs). As multimedia applications produce high volumes of data which require high transmission ...

Qualcomm Ex. 1002 - 282/414

5 Similarity Measurement Between Images

Chaur-Chin Chen, Hsueh-Ting Chu

July 2005 **COMPSAC '05: Proceedings of the 29th Annual International Computer Software and Applications Conference - Volume 02** , Volume 02

Publisher: IEEE Computer Society

Full text available: Publisher Site

Additional Information: full citation, abstract

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 2

Experimental results of applying two similarity measurements, Euclidean distance and chord distanc, to test a set of six Brodatzýs textures are reported. Experiments show that in addition to feature extraction, A similarity measurement between images ...

Also published in:

July 2005 **COMPSAC '05: Proceedings of the 29th Annual International Computer Software and Applications Conference - Volume 02** Volume 02

6 Global stabilization for systems evolving on manifolds

M. Malisoff, M. Krichman, E. Sontag

April 2006 **Journal of Dynamical and Control Systems** , Volume 12 Issue 2

Publisher: Kluwer Academic Publishers

Additional Information: full citation, abstract, references, index terms

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

We show that any globally asymptotically controllable system on any smooth manifold can be globally stabilized by a state feedback. Since we allow discontinuous feedbacks, we interpret the solutions of our systems in the "sample and hold" sense introduced ...

Keywords: asymptotic controllability, control systems on manifolds, input-to-state stabilization

7 An analysis of the low-earth-orbit communications environment

Robert Joseph Diersing

January 1992 An analysis of the low-earth-orbit communications environment

Publisher: Texas A & M University

Additional Information: full citation, index terms

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

Keywords: satellite communications

8 PBIR: perception-based image retrieval-a system that can quickly capture subjective image query concepts

Edward Chang, Kwang-Ting Cheng, Wei-Cheng Lai, Ching-Tung Wu, Chengwei Chang, Yi-Leh Wu

October 2001 **MULTIMEDIA '01:** Proceedings of the ninth ACM international conference on Multimedia

Publisher: ACM Request Permissions

Full text available: Pdf (999.10 KB)

Additional Information: full citation, abstract, references, cited by, index terms

Bibliometrics: Downloads (6 Weeks): 2, Downloads (12 Months): 12, Downloads (Overall): 223, Citation Count: 5

We describe the Perception-Based Image Retrieval (PBIR) system that we have built on our recently developed query-concept learning algorithms, MEGA and SVM*Active*. We show that MEGA and SVM*Active* can learn a complex image-query concept in ...

Keywords: active learning, image retrieval, query concept, relevance feedback, support vector machines

Qualcomm Ex. 1002 - 283/414

9 CroMo --Morphological Analysis for Standard Croatian and its Synchronic and Diachronic Dialects and Variants

Damir Ćavar, Ivo-Pavao Jazbec, Tomislav Stojanov

July 2009 Proceeding of the 2009 conference on Finite-State Methods and Natural Language Processing: Post-proceedings of the 7th International Workshop FSMNLP 2008

Publisher: IOS Press

Additional Information: full citation, abstract, references

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

CroMo is a finite state transducer that combines three major functionalities into one high-performance monolithic machine for morphological segmentation, annotation, and lemmatization. It is designed to be flexible, extensible, and applicable to any ...

Keywords: Croatian, Finite State Transducer, Morphology

10 Supporting RFID-based item tracking applications in Oracle DBMS using a bitmap datatype

Ying Hu, Seema Sundara, Timothy Chorma, Jagannathan Srinivasan

August 2005 **VLDB '05:** Proceedings of the 31st international conference on Very large data bases

Publisher: VLDB Endowment

Full text available: Pdf (200.93 KB) Additional Information: full citation, abstract, references, cited by, index terms

Bibliometrics: Downloads (6 Weeks): 302, Downloads (12 Months): 2872, Downloads (Overall): 3726, Citation Count: 11

Radio Frequency Identification (RFID) based item-level tracking holds the promise of revolutionizing supply-chain, retail store, and asset management applications. However, the high volume of data generated by item-level tracking poses challenges to ...

11 Aggregation scheme implementation for vital signs data over the network

Junaid Ahmed Zubairi

December 2009 **HONET'09:** Proceedings of the 6th international conference on High capacity optical networks and enabling technologies

Publisher: IEEE Press

Additional Information: full citation, abstract, references

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

In this paper, the aggregation and transmission scheme for vital signs data in MEDTOC (Medical Data Transmission Over Cellular Network) is presented. MEDTOC has been designed for dealing with emergency medical data from disaster sites. Since some of ...

Keywords: 3G cellular network, disaster response, emergency medical data, vital signs

12 Threshold phenomena in the transient behavior of Markovian models of communication networks and databases

V. Anantharam

November 1989 Proceedings of the workshop held at the Mathematical Sciences Institute Cornell University on Mathematical theory of queueing systems

Publisher: J. C. Baltzer AG, Science Publishers

Additional Information: full citation, index terms

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

Also published in:

November 1989 **Queueing Systems: Theory and Applications** Volume 5 Issue 1-3

Qualcomm Ex. 1002 - 284/414

13 Square Rooting Algorithms for Integer and Floating-Point Numbers

R. Hashemian

August 1990 **IEEE Transactions on Computers** , Volume 39 Issue 8

Publisher: IEEE Computer Society

Full text available: Publisher Site Additional Information: full citation, abstract, references, cited by, index terms

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 3

An algorithm for evaluating the square root of integers and real numbers is developed. The procedure consists of two parts: one to obtain a close estimate of the square root and the other to modify the initial value, iteratively, until a precise root ...

Keywords: bit-shift operation, close estimate, digital arithmetic, division by 2, fast converging iteration, floating-point numbers, initial value modification, integer numbers, iterative methods, number theory., precise root, real numbers, square rooting algorithms

14 Project scheduling using a competitive genetic algorithm

J. Magalhães-Mendes

September 2008 **SMO'08:** Proceedings of the 8th conference on Simulation, modelling and optimization

Publisher: World Scientific and Engineering Academy and Society (WSEAS)

Additional Information: full citation, abstract, references, index terms

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 1

The resource constrained project scheduling problem (RCPSP) is a difficult problem in combinatorial optimization for which extensive investigation has been devoted to the development of efficient algorithms. During the last couple of years many heuristic ...

Keywords: RCPSP, genetic algorithm, optimization, project management, scheduling

15 A document engineering environment for clinical guidelines

Gersende Georg, Marie-Christine Jaulent

August 2007 **DocEng '07:** Proceedings of the 2007 ACM symposium on Document engineering

Publisher: ACM Request Permissions

Full text available: Pdf (1.22 MB) Additional Information: full citation, abstract, references, index terms

Bibliometrics: Downloads (6 Weeks): 2494, Downloads (12 Months): 3634, Downloads (Overall): 3777, Citation Count: 2

In this paper, we present a document engineering environment for Clinical Guidelines (G-DEE), which are standardized medical documents developed to improve the quality of medical care. The computerization of Clinical Guidelines has attracted much interest ...

Keywords: GEM, XML, clinical guidelines, deontic operators

16 Privacy-enhancing fingerprint authentication using cancelable templates with passwords

Daesung Moon, Sungju Lee, Seunghwan Jung, Yongwha Chung, Okyeon Yi, Namil Lee, Kiyoung Moon

August 2006 **WISA'06:** Proceedings of the 7th international conference on Information security applications: PartI

Publisher: Springer-Verlag

Additional Information: full citation, abstract, references

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

Biometric based authentication can provide strong security guarantee about the identity of users. However, security of biometric data is particularly important as compromise of the data will be permanent. Cancelable biometrics store a non-invertible ...

Keywords: cancelable template, crypto-biometric, fuzzy vault, privacy

Qualcomm Ex. 1002 - 285/414

17 Movies from music: Visualizing musical compositions

J. B. Mitroo, Nancy Herman, Norman I. Badler

August 1979 **SIGGRAPH '79:** Proceedings of the 6th annual conference on Computer graphics and interactive techniques

Publisher: ACM Request Permissions

Full text available: Pdf (9.70 MB) Additional Information: full citation, abstract, references, cited by, index terms

Bibliometrics: Downloads (6 Weeks): 3, Downloads (12 Months): 70, Downloads (Overall): 498, Citation Count: 4

A theory of music visualization proposed by Nancy Herman postulates an association between colors and pitches of musical scales. A color raster graphics display is used to generate images of notes, chords, and chord progressions based on this theory. ...

Keywords: Color animation, Computer art, Computer graphics, Music, Raster graphics, Video display

Also published in:

August 1979 **SIGGRAPH Computer Graphics** Volume 13 Issue 2

18 Multiple Trajectory Search for Uncapacitated Facility Location Problems

Lin-Yu Tseng, Chih-Sheng Wu

April 2009 **CSO '09: Proceedings of the 2009 International Joint Conference on Computational Sciences and Optimization - Volume 02** , Volume 02

Publisher: IEEE Computer Society

Full text available: Publisher Site Additional Information: full citation, abstract

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

In this study, a novel metaheuristic called the Multiple Trajectory Search (MTS) is proposed to solve the uncapacitated facility location problem (UFLP). The Multiple Trajectory Search hybridizes a global search method (the Trajectory_Search) and a local ...

Keywords: multiple trajectory search, uncapacitated facility location problem, metaheuristic

19 Stiff differential equations solved by Radau methods

Ernst Hairer, Gerhard Wanner

November 1999 Proceedings of the on Numerical methods for differential equations

Publisher: Elsevier North-Holland, Inc.

Additional Information: full citation, cited by, index terms

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 13

Keywords: Radau IIA methods, historical notes, implicit Runge-Kutta methods, order selection strategy, order stars, stiff differential equations

Also published in:

November 1999 **Journal of Computational and Applied Mathematics** Volume 111 Issue 1-2

20 Alltagspraxis der Hypermediagestaltung - Erfahrungen beim Einsatz des World Wide Web und Mosaic in der Lehre

Andreas Brennecke, Reinhard Keil-Slawik

February 1995 Software-Ergonomie '95, Mensch - Computer - Interaktion, Anwendungsbereiche lernen voneinander: Gemeinsame Fachtagung des German Chapter of the ACM, der Gesellschaft für Informatik (GI), der TH Darmstadt und GMD/IPSI

Publisher: Teubner

Additional Information: full citation, cited by

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 1

Result page: **1** 2 3 4 5 6 7 8 9 10 next

>>>

Qualcomm Ex. 1002 - 286/414

The ACM Portal is published by the Association for Computing Machinery. Copyright © 2010 ACM, Inc.

Terms of Usage Privacy Policy Code of Ethics Contact Us

Useful downloads: Adobe Acrobat QuickTime Windows Media Player Real Player

Qualcomm Ex. 1002 - 287/414

ACM PORTAL USPTO

Subscribe (Full Service) Register (Limited Service, Free) Login

Search: The ACM Digital Library The Guide

Searching within **The Guide** with **Advanced Search**: Owner:ACM(Name:kitao and Name:y.) (start a new search)

Owner:ACM(Name:kitao and Name:y.) was not found.

Start a new search or use the navigation below to refine the total result set.

REFINE YOUR SEARCH

Search Results • Related Journals • Related Magazines • Related SIGs • Related Conferences

Refine by Keywords

Discovered Terms

Refine by People

Names
Institutions
Authors
Editors
Advisors
Reviewers

Refine by Publications

Publication Year
Publication Names
ACM Publications
All Publications
Content Formats
Publishers

Refine by Conferences

Sponsors
Events
Proceeding Series

ADVANCED SEARCH

Advanced Search

FEEDBACK

Please provide us with feedback

Found **1,559,034** of **1,559,034**

Results 1 - 20 of 1,559,034

Sort by relevance in expanded form

Save results to a Binder

Result page: **1** 2 3 4 5 6 7 8 9 10 next >>

1 Extending the CG Model by Simulations

Jean-Francois Baget

August 2000 **ICCS '00:** Proceedings of the Linguistic on Conceptual Structures: Logical Linguistic, and Computational Issues

Publisher: Springer-Verlag

Additional Information: full citation

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

2 Characteristics of good one-way encryption functions for passwords—some rules for creators and evaluators

V. Fak

December 1984 Proceedings of the 2nd IFIP international conference on Computer security: a global challenge

Publisher: North-Holland Publishing Co.

Additional Information: full citation, index terms

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

3 Event Spaces and their Linear Logic

Vaughan R. Pratt

May 1991 **AMAST '91:** Proceedings of the Second International Conference on Methodology and Software Technology: Algebraic Methodology and Software Technology

Publisher: Springer-Verlag

Additional Information: full citation

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 2

4 A new priority based congestion control protocol for Wireless Multimedia Sensor Networks

Mohammad Hossein Yaghmaee, Donald Adjeroh

June 2008 **WOWMOM '08:** Proceedings of the 2008 International Symposium on a World of Wireless, Mobile and Multimedia Networks

Publisher: IEEE Computer Society

Full text available: Publisher Site

Additional Information: full citation, abstract

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

New applications made possible by the rapid improvements and miniaturization in hardware has motivated recent developments in Wireless Multimedia Sensor Networks (WMSNs). As multimedia applications produce high volumes of data which require high transmission ...

Qualcomm Ex. 1002 - 288/414

5 Similarity Measurement Between Images

Chaur-Chin Chen, Hsueh-Ting Chu

July 2005 **COMPSAC '05: Proceedings of the 29th Annual International Computer Software and Applications Conference - Volume 02** , Volume 02

Publisher: IEEE Computer Society

Full text available: Publisher Site

Additional Information: full citation, abstract

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 2

Experimental results of applying two similarity measurements, Euclidean distance and chord distanc, to test a set of six Brodatzýs textures are reported. Experiments show that in addition to feature extraction, A similarity measurement between images ...

Also published in:

July 2005 **COMPSAC '05: Proceedings of the 29th Annual International Computer Software and Applications Conference - Volume 02** Volume 02

6 Global stabilization for systems evolving on manifolds

M. Malisoff, M. Krichman, E. Sontag

April 2006 **Journal of Dynamical and Control Systems** , Volume 12 Issue 2

Publisher: Kluwer Academic Publishers

Additional Information: full citation, abstract, references, index terms

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

We show that any globally asymptotically controllable system on any smooth manifold can be globally stabilized by a state feedback. Since we allow discontinuous feedbacks, we interpret the solutions of our systems in the "sample and hold" sense introduced ...

Keywords: asymptotic controllability, control systems on manifolds, input-to-state stabilization

7 An analysis of the low-earth-orbit communications environment

Robert Joseph Diersing

January 1992 An analysis of the low-earth-orbit communications environment

Publisher: Texas A & M University

Additional Information: full citation, index terms

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

Keywords: satellite communications

8 PBIR: perception-based image retrieval-a system that can quickly capture subjective image query concepts

Edward Chang, Kwang-Ting Cheng, Wei-Cheng Lai, Ching-Tung Wu, Chengwei Chang, Yi-Leh Wu

October 2001 **MULTIMEDIA '01:** Proceedings of the ninth ACM international conference on Multimedia

Publisher: ACM Request Permissions

Full text available: Pdf (999.10 KB)

Additional Information: full citation, abstract, references, cited by, index terms

Bibliometrics: Downloads (6 Weeks): 2, Downloads (12 Months): 12, Downloads (Overall): 223, Citation Count: 5

We describe the Perception-Based Image Retrieval (PBIR) system that we have built on our recently developed query-concept learning algorithms, MEGA and SVM*Active*. We show that MEGA and SVM*Active* can learn a complex image-query concept in ...

Keywords: active learning, image retrieval, query concept, relevance feedback, support vector machines

Qualcomm Ex. 1002 - 289/414

9 CroMo --Morphological Analysis for Standard Croatian and its Synchronic and Diachronic Dialects and Variants

Damir Ćavar, Ivo-Pavao Jazbec, Tomislav Stojanov

July 2009 Proceeding of the 2009 conference on Finite-State Methods and Natural Language Processing: Post-proceedings of the 7th International Workshop FSMNLP 2008

Publisher: IOS Press

Additional Information: full citation, abstract, references

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

CroMo is a finite state transducer that combines three major functionalities into one high-performance monolithic machine for morphological segmentation, annotation, and lemmatization. It is designed to be flexible, extensible, and applicable to any ...

Keywords: Croatian, Finite State Transducer, Morphology

10 Supporting RFID-based item tracking applications in Oracle DBMS using a bitmap datatype

Ying Hu, Seema Sundara, Timothy Chorma, Jagannathan Srinivasan

August 2005 **VLDB '05:** Proceedings of the 31st international conference on Very large data bases

Publisher: VLDB Endowment

Full text available: Pdf (200.93 KB) Additional Information: full citation, abstract, references, cited by, index terms

Bibliometrics: Downloads (6 Weeks): 302, Downloads (12 Months): 2872, Downloads (Overall): 3726, Citation Count: 11

Radio Frequency Identification (RFID) based item-level tracking holds the promise of revolutionizing supply-chain, retail store, and asset management applications. However, the high volume of data generated by item-level tracking poses challenges to ...

11 Aggregation scheme implementation for vital signs data over the network

Junaid Ahmed Zubairi

December 2009 **HONET'09:** Proceedings of the 6th international conference on High capacity optical networks and enabling technologies

Publisher: IEEE Press

Additional Information: full citation, abstract, references

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

In this paper, the aggregation and transmission scheme for vital signs data in MEDTOC (Medical Data Transmission Over Cellular Network) is presented. MEDTOC has been designed for dealing with emergency medical data from disaster sites. Since some of ...

Keywords: 3G cellular network, disaster response, emergency medical data, vital signs

12 Threshold phenomena in the transient behavior of Markovian models of communication networks and databases

V. Anantharam

November 1989 Proceedings of the workshop held at the Mathematical Sciences Institute Cornell University on Mathematical theory of queueing systems

Publisher: J. C. Baltzer AG, Science Publishers

Additional Information: full citation, index terms

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

Also published in:

November 1989 **Queueing Systems: Theory and Applications** Volume 5 Issue 1-3

Qualcomm Ex. 1002 - 290/414

13 Square Rooting Algorithms for Integer and Floating-Point Numbers

R. Hashemian

August 1990 **IEEE Transactions on Computers** , Volume 39 Issue 8

Publisher: IEEE Computer Society

Full text available: Publisher Site Additional Information: full citation, abstract, references, cited by, index terms

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 3

An algorithm for evaluating the square root of integers and real numbers is developed. The procedure consists of two parts: one to obtain a close estimate of the square root and the other to modify the initial value, iteratively, until a precise root ...

Keywords: bit-shift operation, close estimate, digital arithmetic, division by 2, fast converging iteration, floating-point numbers, initial value modification, integer numbers, iterative methods, number theory., precise root, real numbers, square rooting algorithms

14 Project scheduling using a competitive genetic algorithm

J. Magalhães-Mendes

September 2008 **SMO'08:** Proceedings of the 8th conference on Simulation, modelling and optimization

Publisher: World Scientific and Engineering Academy and Society (WSEAS)

Additional Information: full citation, abstract, references, index terms

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 1

The resource constrained project scheduling problem (RCPSP) is a difficult problem in combinatorial optimization for which extensive investigation has been devoted to the development of efficient algorithms. During the last couple of years many heuristic ...

Keywords: RCPSP, genetic algorithm, optimization, project management, scheduling

15 A document engineering environment for clinical guidelines

Gersende Georg, Marie-Christine Jaulent

August 2007 **DocEng '07:** Proceedings of the 2007 ACM symposium on Document engineering

Publisher: ACM Request Permissions

Full text available: Pdf (1.22 MB) Additional Information: full citation, abstract, references, index terms

Bibliometrics: Downloads (6 Weeks): 2494, Downloads (12 Months): 3634, Downloads (Overall): 3777, Citation Count: 2

In this paper, we present a document engineering environment for Clinical Guidelines (G-DEE), which are standardized medical documents developed to improve the quality of medical care. The computerization of Clinical Guidelines has attracted much interest ...

Keywords: GEM, XML, clinical guidelines, deontic operators

16 Privacy-enhancing fingerprint authentication using cancelable templates with passwords

Daesung Moon, Sungju Lee, Seunghwan Jung, Yongwha Chung, Okyeon Yi, Namil Lee, Kiyoung Moon

August 2006 **WISA'06:** Proceedings of the 7th international conference on Information security applications: PartI

Publisher: Springer-Verlag

Additional Information: full citation, abstract, references

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

Biometric based authentication can provide strong security guarantee about the identity of users. However, security of biometric data is particularly important as compromise of the data will be permanent. Cancelable biometrics store a non-invertible ...

Keywords: cancelable template, crypto-biometric, fuzzy vault, privacy

Qualcomm Ex. 1002 - 291/414

17 Movies from music: Visualizing musical compositions

J. B. Mitroo, Nancy Herman, Norman I. Badler

August 1979 **SIGGRAPH '79:** Proceedings of the 6th annual conference on Computer graphics and interactive techniques

Publisher: ACM Request Permissions

Full text available: Pdf (9.70 MB) Additional Information: full citation, abstract, references, cited by, index terms

Bibliometrics: Downloads (6 Weeks): 3, Downloads (12 Months): 70, Downloads (Overall): 498, Citation Count: 4

A theory of music visualization proposed by Nancy Herman postulates an association between colors and pitches of musical scales. A color raster graphics display is used to generate images of notes, chords, and chord progressions based on this theory. ...

Keywords: Color animation, Computer art, Computer graphics, Music, Raster graphics, Video display

Also published in:

August 1979 **SIGGRAPH Computer Graphics** Volume 13 Issue 2

18 Multiple Trajectory Search for Uncapacitated Facility Location Problems

Lin-Yu Tseng, Chih-Sheng Wu

April 2009 **CSO '09: Proceedings of the 2009 International Joint Conference on Computational Sciences and Optimization - Volume 02** , Volume 02

Publisher: IEEE Computer Society

Full text available: Publisher Site Additional Information: full citation, abstract

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

In this study, a novel metaheuristic called the Multiple Trajectory Search (MTS) is proposed to solve the uncapacitated facility location problem (UFLP). The Multiple Trajectory Search hybridizes a global search method (the Trajectory_Search) and a local ...

Keywords: multiple trajectory search, uncapacitated facility location problem, metaheuristic

19 Stiff differential equations solved by Radau methods

Ernst Hairer, Gerhard Wanner

November 1999 Proceedings of the on Numerical methods for differential equations

Publisher: Elsevier North-Holland, Inc.

Additional Information: full citation, cited by, index terms

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 13

Keywords: Radau IIA methods, historical notes, implicit Runge-Kutta methods, order selection strategy, order stars, stiff differential equations

Also published in:

November 1999 **Journal of Computational and Applied Mathematics** Volume 111 Issue 1-2

20 Alltagspraxis der Hypermediagestaltung - Erfahrungen beim Einsatz des World Wide Web und Mosaic in der Lehre

Andreas Brennecke, Reinhard Keil-Slawik

February 1995 Software-Ergonomie '95, Mensch - Computer - Interaktion, Anwendungsbereiche lernen voneinander: Gemeinsame Fachtagung des German Chapter of the ACM, der Gesellschaft für Informatik (GI), der TH Darmstadt und GMD/IPSI

Publisher: Teubner

Additional Information: full citation, cited by

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 1

Result page: **1** 2 3 4 5 6 7 8 9 10 next

>>>

Qualcomm Ex. 1002 - 292/414

The ACM Portal is published by the Association for Computing Machinery. Copyright © 2010 ACM, Inc.

Terms of Usage Privacy Policy Code of Ethics Contact Us

Useful downloads: Adobe Acrobat QuickTime Windows Media Player Real Player

ACM PORTAL USPTO

Subscribe (Full Service) Register (Limited Service, Free) Login

Search: The ACM Digital Library The Guide

Searching within **The Guide** with **Advanced Search**: Owner:ACM(Name:muramatsu and Name:s.) (start a new search)

Owner:ACM(Name:muramatsu and Name:s.) was not found.

Start a new search or use the navigation below to refine the total result set.

REFINE YOUR SEARCH

Search Results • Related Journals • Related Magazines • Related SIGs • Related Conferences

Refine by Keywords

Discovered Terms

Refine by People

Names
Institutions
Authors
Editors
Advisors
Reviewers

Refine by Publications

Publication Year
Publication Names
ACM Publications
All Publications
Content Formats
Publishers

Refine by Conferences

Sponsors
Events
Proceeding Series

ADVANCED SEARCH

Advanced Search

FEEDBACK

Please provide us with feedback

Found **1,559,034** of **1,559,034**

Results 1 - 20 of 1,559,034

Sort by relevance in expanded form

Save results to a Binder

Result page: **1** 2 3 4 5 6 7 8 9 10 next >>

1 Extending the CG Model by Simulations

Jean-Francois Baget

August 2000 **ICCS '00:** Proceedings of the Linguistic on Conceptual Structures: Logical Linguistic, and Computational Issues

Publisher: Springer-Verlag

Additional Information: full citation

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

2 Characteristics of good one-way encryption functions for passwords—some rules for creators and evaluators

V. Fak

December 1984 Proceedings of the 2nd IFIP international conference on Computer security: a global challenge

Publisher: North-Holland Publishing Co.

Additional Information: full citation, index terms

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

3 Event Spaces and their Linear Logic

Vaughan R. Pratt

May 1991 **AMAST '91:** Proceedings of the Second International Conference on Methodology and Software Technology: Algebraic Methodology and Software Technology

Publisher: Springer-Verlag

Additional Information: full citation

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 2

4 A new priority based congestion control protocol for Wireless Multimedia Sensor Networks

Mohammad Hossein Yaghmaee, Donald Adjeroh

June 2008 **WOWMOM '08:** Proceedings of the 2008 International Symposium on a World of Wireless, Mobile and Multimedia Networks

Publisher: IEEE Computer Society

Full text available: Publisher Site

Additional Information: full citation, abstract

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

New applications made possible by the rapid improvements and miniaturization in hardware has motivated recent developments in Wireless Multimedia Sensor Networks (WMSNs). As multimedia applications produce high volumes of data which require high transmission ...

Qualcomm Ex. 1002 - 294/414

5 Similarity Measurement Between Images

Chaur-Chin Chen, Hsueh-Ting Chu

July 2005 **COMPSAC '05: Proceedings of the 29th Annual International Computer Software and Applications Conference - Volume 02** , Volume 02

Publisher: IEEE Computer Society

Full text available: Publisher Site

Additional Information: full citation, abstract

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 2

Experimental results of applying two similarity measurements, Euclidean distance and chord distanc, to test a set of six Brodatzýs textures are reported. Experiments show that in addition to feature extraction, A similarity measurement between images ...

Also published in:

July 2005 **COMPSAC '05: Proceedings of the 29th Annual International Computer Software and Applications Conference - Volume 02** Volume 02

6 Global stabilization for systems evolving on manifolds

M. Malisoff, M. Krichman, E. Sontag

April 2006 **Journal of Dynamical and Control Systems** , Volume 12 Issue 2

Publisher: Kluwer Academic Publishers

Additional Information: full citation, abstract, references, index terms

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

We show that any globally asymptotically controllable system on any smooth manifold can be globally stabilized by a state feedback. Since we allow discontinuous feedbacks, we interpret the solutions of our systems in the "sample and hold" sense introduced ...

Keywords: asymptotic controllability, control systems on manifolds, input-to-state stabilization

7 An analysis of the low-earth-orbit communications environment

Robert Joseph Diersing

January 1992 An analysis of the low-earth-orbit communications environment

Publisher: Texas A & M University

Additional Information: full citation, index terms

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

Keywords: satellite communications

8 PBIR: perception-based image retrieval-a system that can quickly capture subjective image query concepts

Edward Chang, Kwang-Ting Cheng, Wei-Cheng Lai, Ching-Tung Wu, Chengwei Chang, Yi-Leh Wu

October 2001 **MULTIMEDIA '01:** Proceedings of the ninth ACM international conference on Multimedia

Publisher: ACM Request Permissions

Full text available: Pdf (999.10 KB)

Additional Information: full citation, abstract, references, cited by, index terms

Bibliometrics: Downloads (6 Weeks): 2, Downloads (12 Months): 12, Downloads (Overall): 223, Citation Count: 5

We describe the Perception-Based Image Retrieval (PBIR) system that we have built on our recently developed query-concept learning algorithms, MEGA and SVM*Active*. We show that MEGA and SVM*Active* can learn a complex image-query concept in ...

Keywords: active learning, image retrieval, query concept, relevance feedback, support vector machines

Qualcomm Ex. 1002 - 295/414

9 CroMo --Morphological Analysis for Standard Croatian and its Synchronic and Diachronic Dialects and Variants

Damir Ćavar, Ivo-Pavao Jazbec, Tomislav Stojanov

July 2009 Proceeding of the 2009 conference on Finite-State Methods and Natural Language Processing: Post-proceedings of the 7th International Workshop FSMNLP 2008

Publisher: IOS Press

Additional Information: full citation, abstract, references

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

CroMo is a finite state transducer that combines three major functionalities into one high-performance monolithic machine for morphological segmentation, annotation, and lemmatization. It is designed to be flexible, extensible, and applicable to any ...

Keywords: Croatian, Finite State Transducer, Morphology

10 Supporting RFID-based item tracking applications in Oracle DBMS using a bitmap datatype

Ying Hu, Seema Sundara, Timothy Chorma, Jagannathan Srinivasan

August 2005 **VLDB '05:** Proceedings of the 31st international conference on Very large data bases

Publisher: VLDB Endowment

Full text available: Pdf (200.93 KB) Additional Information: full citation, abstract, references, cited by, index terms

Bibliometrics: Downloads (6 Weeks): 302, Downloads (12 Months): 2872, Downloads (Overall): 3726, Citation Count: 11

Radio Frequency Identification (RFID) based item-level tracking holds the promise of revolutionizing supply-chain, retail store, and asset management applications. However, the high volume of data generated by item-level tracking poses challenges to ...

11 Aggregation scheme implementation for vital signs data over the network

Junaid Ahmed Zubairi

December 2009 **HONET'09:** Proceedings of the 6th international conference on High capacity optical networks and enabling technologies

Publisher: IEEE Press

Additional Information: full citation, abstract, references

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

In this paper, the aggregation and transmission scheme for vital signs data in MEDTOC (Medical Data Transmission Over Cellular Network) is presented. MEDTOC has been designed for dealing with emergency medical data from disaster sites. Since some of ...

Keywords: 3G cellular network, disaster response, emergency medical data, vital signs

12 Threshold phenomena in the transient behavior of Markovian models of communication networks and databases

V. Anantharam

November 1989 Proceedings of the workshop held at the Mathematical Sciences Institute Cornell University on Mathematical theory of queueing systems

Publisher: J. C. Baltzer AG, Science Publishers

Additional Information: full citation, index terms

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

Also published in:

November 1989 **Queueing Systems: Theory and Applications** Volume 5 Issue 1-3

Qualcomm Ex. 1002 - 296/414

13 Square Rooting Algorithms for Integer and Floating-Point Numbers

R. Hashemian

August 1990 **IEEE Transactions on Computers** , Volume 39 Issue 8

Publisher: IEEE Computer Society

Full text available: Publisher Site Additional Information: full citation, abstract, references, cited by, index terms

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 3

An algorithm for evaluating the square root of integers and real numbers is developed. The procedure consists of two parts: one to obtain a close estimate of the square root and the other to modify the initial value, iteratively, until a precise root ...

Keywords: bit-shift operation, close estimate, digital arithmetic, division by 2, fast converging iteration, floating-point numbers, initial value modification, integer numbers, iterative methods, number theory., precise root, real numbers, square rooting algorithms

14 Project scheduling using a competitive genetic algorithm

J. Magalhães-Mendes

September 2008 **SMO'08:** Proceedings of the 8th conference on Simulation, modelling and optimization

Publisher: World Scientific and Engineering Academy and Society (WSEAS)

Additional Information: full citation, abstract, references, index terms

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 1

The resource constrained project scheduling problem (RCPSP) is a difficult problem in combinatorial optimization for which extensive investigation has been devoted to the development of efficient algorithms. During the last couple of years many heuristic ...

Keywords: RCPSP, genetic algorithm, optimization, project management, scheduling

15 A document engineering environment for clinical guidelines

Gersende Georg, Marie-Christine Jaulent

August 2007 **DocEng '07:** Proceedings of the 2007 ACM symposium on Document engineering

Publisher: ACM Request Permissions

Full text available: Pdf (1.22 MB) Additional Information: full citation, abstract, references, index terms

Bibliometrics: Downloads (6 Weeks): 2494, Downloads (12 Months): 3634, Downloads (Overall): 3777, Citation Count: 2

In this paper, we present a document engineering environment for Clinical Guidelines (G-DEE), which are standardized medical documents developed to improve the quality of medical care. The computerization of Clinical Guidelines has attracted much interest ...

Keywords: GEM, XML, clinical guidelines, deontic operators

16 Privacy-enhancing fingerprint authentication using cancelable templates with passwords

Daesung Moon, Sungju Lee, Seunghwan Jung, Yongwha Chung, Okyeon Yi, Namil Lee, Kiyoung Moon

August 2006 **WISA'06:** Proceedings of the 7th international conference on Information security applications: PartI

Publisher: Springer-Verlag

Additional Information: full citation, abstract, references

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

Biometric based authentication can provide strong security guarantee about the identity of users. However, security of biometric data is particularly important as compromise of the data will be permanent. Cancelable biometrics store a non-invertible ...

Keywords: cancelable template, crypto-biometric, fuzzy vault, privacy

Qualcomm Ex. 1002 - 297/414

17 Movies from music: Visualizing musical compositions

J. B. Mitroo, Nancy Herman, Norman I. Badler

August 1979 **SIGGRAPH '79:** Proceedings of the 6th annual conference on Computer graphics and interactive techniques

Publisher: ACM Request Permissions

Full text available: Pdf (9.70 MB) Additional Information: full citation, abstract, references, cited by, index terms

Bibliometrics: Downloads (6 Weeks): 3, Downloads (12 Months): 70, Downloads (Overall): 498, Citation Count: 4

A theory of music visualization proposed by Nancy Herman postulates an association between colors and pitches of musical scales. A color raster graphics display is used to generate images of notes, chords, and chord progressions based on this theory. ...

Keywords: Color animation, Computer art, Computer graphics, Music, Raster graphics, Video display

Also published in:

August 1979 **SIGGRAPH Computer Graphics** Volume 13 Issue 2

18 Multiple Trajectory Search for Uncapacitated Facility Location Problems

Lin-Yu Tseng, Chih-Sheng Wu

April 2009 **CSO '09: Proceedings of the 2009 International Joint Conference on Computational Sciences and Optimization - Volume 02** , Volume 02

Publisher: IEEE Computer Society

Full text available: Publisher Site Additional Information: full citation, abstract

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

In this study, a novel metaheuristic called the Multiple Trajectory Search (MTS) is proposed to solve the uncapacitated facility location problem (UFLP). The Multiple Trajectory Search hybridizes a global search method (the Trajectory_Search) and a local ...

Keywords: multiple trajectory search, uncapacitated facility location problem, metaheuristic

19 Stiff differential equations solved by Radau methods

Ernst Hairer, Gerhard Wanner

November 1999 Proceedings of the on Numerical methods for differential equations

Publisher: Elsevier North-Holland, Inc.

Additional Information: full citation, cited by, index terms

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 13

Keywords: Radau IIA methods, historical notes, implicit Runge-Kutta methods, order selection strategy, order stars, stiff differential equations

Also published in:

November 1999 **Journal of Computational and Applied Mathematics** Volume 111 Issue 1-2

20 Alltagspraxis der Hypermediagestaltung - Erfahrungen beim Einsatz des World Wide Web und Mosaic in der Lehre

Andreas Brennecke, Reinhard Keil-Slawik

February 1995 Software-Ergonomie '95, Mensch - Computer - Interaktion, Anwendungsbereiche lernen voneinander: Gemeinsame Fachtagung des German Chapter of the ACM, der Gesellschaft für Informatik (GI), der TH Darmstadt und GMD/IPSI

Publisher: Teubner

Additional Information: full citation, cited by

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 1

Result page: **1** 2 3 4 5 6 7 8 9 10 next

>>>

Qualcomm Ex. 1002 - 298/414

The ACM Portal is published by the Association for Computing Machinery. Copyright © 2010 ACM, Inc.

Terms of Usage Privacy Policy Code of Ethics Contact Us

Useful downloads: Adobe Acrobat QuickTime Windows Media Player Real Player

Qualcomm Ex. 1002 - 299/414

ACM PORTAL USPTO

Subscribe (Full Service) Register (Limited Service, Free) Login

Search: The ACM Digital Library The Guide

SEARCH

Searching within **The Guide** with **Advanced Search**: (restor and resum and microcontroller) and (power or down or shutoff or off) (start a new search)

(restor and resum and microcontroller) and (power or down or shutoff or off) was not found.

Start a new search or use the navigation below to refine the total result set.

REFINE YOUR SEARCH

Search Results • Related Journals • Related Magazines • Related SIGs • Related Conferences

Refine by Keywords

SEARCH

Discovered Terms

Refine by People

Names
Institutions
Authors
Editors
Advisors
Reviewers

Refine by Publications

Publication Year
Publication Names
ACM Publications
All Publications
Content Formats
Publishers

Refine by Conferences

Sponsors
Events
Proceeding Series

ADVANCED SEARCH

Advanced Search

FEEDBACK

Please provide us with feedback

Found **1,559,034** of **1,559,034**

Results 1 - 20 of 1,559,034

Sort by relevance in expanded form

Save results to a Binder

Result page: **1** 2 3 4 5 6 7 8 9 10 next >>

1 Extending the CG Model by Simulations

Jean-François Baget

August 2000 **ICCS '00:** Proceedings of the Linguistic on Conceptual Structures: Logical Linguistic, and Computational Issues

Publisher: Springer-Verlag

Additional Information: full citation

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

2 Characteristics of good one-way encryption functions for passwords—some rules for creators and evaluators

V Fak

December 1984 Proceedings of the 2nd IFIP international conference on Computer security: a global challenge

Publisher: North-Holland Publishing Co.

Additional Information: full citation, index terms

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

3 Event Spaces and their Linear Logic

Vaughan R. Pratt

May 1991 **AMAST '91:** Proceedings of the Second International Conference on Methodology and Software Technology: Algebraic Methodology and Software Technology

Publisher: Springer-Verlag

Additional Information: full citation

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 2

4 A new priority based congestion control protocol for Wireless Multimedia Sensor Networks

Mohammad Hossein Yaghmaee, Donald Adjeroh

June 2008 **WOWMOM '08:** Proceedings of the 2008 International Symposium on a World of Wireless, Mobile and Multimedia Networks

Publisher: IEEE Computer Society

Full text available: Publisher Site

Additional Information: full citation, abstract

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

New applications made possible by the rapid improvements and miniaturization in hardware has motivated recent developments in Wireless Multimedia Sensor Networks (WMSNs). As multimedia applications produce high volumes of data which require high transmission ...

Qualcomm Ex. 1002 - 300/414

5 Similarity Measurement Between Images

Chaur-Chin Chen, Hsueh-Ting Chu

July 2005 **COMPSAC '05: Proceedings of the 29th Annual International Computer Software and Applications Conference - Volume 02** , Volume 02

Publisher: IEEE Computer Society

Full text available: Publisher Site

Additional Information: full citation, abstract

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 2

Experimental results of applying two similarity measurements, Euclidean distance and chord distanc, to test a set of six Brodatzýs textures are reported. Experiments show that in addition to feature extraction, A similarity measurement between images ...

Also published in:

July 2005 **COMPSAC '05: Proceedings of the 29th Annual International Computer Software and Applications Conference - Volume 02** Volume 02

6 Global stabilization for systems evolving on manifolds

M. Malisoff, M. Krichman, E. Sontag

April 2006 **Journal of Dynamical and Control Systems** , Volume 12 Issue 2

Publisher: Kluwer Academic Publishers

Additional Information: full citation, abstract, references, index terms

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

We show that any globally asymptotically controllable system on any smooth manifold can be globally stabilized by a state feedback. Since we allow discontinuous feedbacks, we interpret the solutions of our systems in the "sample and hold" sense introduced ...

Keywords: asymptotic controllability, control systems on manifolds, input-to-state stabilization

7 An analysis of the low-earth-orbit communications environment

Robert Joseph Diersing

January 1992 An analysis of the low-earth-orbit communications environment

Publisher: Texas A & M University

Additional Information: full citation, index terms

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

Keywords: satellite communications

8 PBIR: perception-based image retrieval-a system that can quickly capture subjective image query concepts

Edward Chang, Kwang-Ting Cheng, Wei-Cheng Lai, Ching-Tung Wu, Chengwei Chang, Yi-Leh Wu

October 2001 **MULTIMEDIA '01:** Proceedings of the ninth ACM international conference on Multimedia

Publisher: ACM Request Permissions

Full text available: Pdf (999.10 KB)

Additional Information: full citation, abstract, references, cited by, index terms

Bibliometrics: Downloads (6 Weeks): 2, Downloads (12 Months): 12, Downloads (Overall): 223, Citation Count: 5

We describe the Perception-Based Image Retrieval (PBIR) system that we have built on our recently developed query-concept learning algorithms, MEGA and SVM*Active*. We show that MEGA and SVM*Active* can learn a complex image-query concept in ...

Keywords: active learning, image retrieval, query concept, relevance feedback, support vector machines

Qualcomm Ex. 1002 - 301/414

9 CroMo --Morphological Analysis for Standard Croatian and its Synchronic and Diachronic Dialects and Variants

Damir Ćavar, Ivo-Pavao Jazbec, Tomislav Stojanov

July 2009 Proceeding of the 2009 conference on Finite-State Methods and Natural Language Processing: Post-proceedings of the 7th International Workshop FSMNLP 2008

Publisher: IOS Press

Additional Information: full citation, abstract, references

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

CroMo is a finite state transducer that combines three major functionalities into one high-performance monolithic machine for morphological segmentation, annotation, and lemmatization. It is designed to be flexible, extensible, and applicable to any ...

Keywords: Croatian, Finite State Transducer, Morphology

10 Supporting RFID-based item tracking applications in Oracle DBMS using a bitmap datatype

Ying Hu, Seema Sundara, Timothy Chorma, Jagannathan Srinivasan

August 2005 **VLDB '05:** Proceedings of the 31st international conference on Very large data bases

Publisher: VLDB Endowment

Full text available: Pdf (200.93 KB) Additional Information: full citation, abstract, references, cited by, index terms

Bibliometrics: Downloads (6 Weeks): 302, Downloads (12 Months): 2872, Downloads (Overall): 3726, Citation Count: 11

Radio Frequency Identification (RFID) based item-level tracking holds the promise of revolutionizing supply-chain, retail store, and asset management applications. However, the high volume of data generated by item-level tracking poses challenges to ...

11 Aggregation scheme implementation for vital signs data over the network

Junaid Ahmed Zubairi

December 2009 **HONET'09:** Proceedings of the 6th international conference on High capacity optical networks and enabling technologies

Publisher: IEEE Press

Additional Information: full citation, abstract, references

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

In this paper, the aggregation and transmission scheme for vital signs data in MEDTOC (Medical Data Transmission Over Cellular Network) is presented. MEDTOC has been designed for dealing with emergency medical data from disaster sites. Since some of ...

Keywords: 3G cellular network, disaster response, emergency medical data, vital signs

12 Threshold phenomena in the transient behavior of Markovian models of communication networks and databases

V. Anantharam

November 1989 Proceedings of the workshop held at the Mathematical Sciences Institute Cornell University on Mathematical theory of queueing systems

Publisher: J. C. Baltzer AG, Science Publishers

Additional Information: full citation, index terms

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

Also published in:

November 1989 **Queueing Systems: Theory and Applications** Volume 5 Issue 1-3

Qualcomm Ex. 1002 - 302/414

13 Square Rooting Algorithms for Integer and Floating-Point Numbers

R. Hashemian

August 1990 **IEEE Transactions on Computers** , Volume 39 Issue 8

Publisher: IEEE Computer Society

Full text available: Publisher Site Additional Information: full citation, abstract, references, cited by, index terms

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 3

An algorithm for evaluating the square root of integers and real numbers is developed. The procedure consists of two parts: one to obtain a close estimate of the square root and the other to modify the initial value, iteratively, until a precise root ...

Keywords: bit-shift operation, close estimate, digital arithmetic, division by 2, fast converging iteration, floating-point numbers, initial value modification, integer numbers, iterative methods, number theory., precise root, real numbers, square rooting algorithms

14 Project scheduling using a competitive genetic algorithm

J. Magalhães-Mendes

September 2008 **SMO'08:** Proceedings of the 8th conference on Simulation, modelling and optimization

Publisher: World Scientific and Engineering Academy and Society (WSEAS)

Additional Information: full citation, abstract, references, index terms

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 1

The resource constrained project scheduling problem (RCPSP) is a difficult problem in combinatorial optimization for which extensive investigation has been devoted to the development of efficient algorithms. During the last couple of years many heuristic ...

Keywords: RCPSP, genetic algorithm, optimization, project management, scheduling

15 A document engineering environment for clinical guidelines

Gersende Georg, Marie-Christine Jaulent

August 2007 **DocEng '07:** Proceedings of the 2007 ACM symposium on Document engineering

Publisher: ACM Request Permissions

Full text available: Pdf (1.22 MB) Additional Information: full citation, abstract, references, index terms

Bibliometrics: Downloads (6 Weeks): 2494, Downloads (12 Months): 3634, Downloads (Overall): 3777, Citation Count: 2

In this paper, we present a document engineering environment for Clinical Guidelines (G-DEE), which are standardized medical documents developed to improve the quality of medical care. The computerization of Clinical Guidelines has attracted much interest ...

Keywords: GEM, XML, clinical guidelines, deontic operators

16 Privacy-enhancing fingerprint authentication using cancelable templates with passwords

Daesung Moon, Sungju Lee, Seunghwan Jung, Yongwha Chung, Okyeon Yi, Namil Lee, Kiyoung Moon

August 2006 **WISA'06:** Proceedings of the 7th international conference on Information security applications: PartI

Publisher: Springer-Verlag

Additional Information: full citation, abstract, references

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

Biometric based authentication can provide strong security guarantee about the identity of users. However, security of biometric data is particularly important as compromise of the data will be permanent. Cancelable biometrics store a non-invertible ...

Keywords: cancelable template, crypto-biometric, fuzzy vault, privacy

Qualcomm Ex. 1002 - 303/414

17 Movies from music: Visualizing musical compositions

J. B. Mitroo, Nancy Herman, Norman I. Badler

August 1979 **SIGGRAPH '79:** Proceedings of the 6th annual conference on Computer graphics and interactive techniques

Publisher: ACM Request Permissions

Full text available: Pdf (9.70 MB) Additional Information: full citation, abstract, references, cited by, index terms

Bibliometrics: Downloads (6 Weeks): 3, Downloads (12 Months): 70, Downloads (Overall): 498, Citation Count: 4

A theory of music visualization proposed by Nancy Herman postulates an association between colors and pitches of musical scales. A color raster graphics display is used to generate images of notes, chords, and chord progressions based on this theory. ...

Keywords: Color animation, Computer art, Computer graphics, Music, Raster graphics, Video display

Also published in:

August 1979 **SIGGRAPH Computer Graphics** Volume 13 Issue 2

18 Multiple Trajectory Search for Uncapacitated Facility Location Problems

Lin-Yu Tseng, Chih-Sheng Wu

April 2009 **CSO '09: Proceedings of the 2009 International Joint Conference on Computational Sciences and Optimization - Volume 02** , Volume 02

Publisher: IEEE Computer Society

Full text available: Publisher Site Additional Information: full citation, abstract

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 0

In this study, a novel metaheuristic called the Multiple Trajectory Search (MTS) is proposed to solve the uncapacitated facility location problem (UFLP). The Multiple Trajectory Search hybridizes a global search method (the Trajectory_Search) and a local ...

Keywords: multiple trajectory search, uncapacitated facility location problem, metaheuristic

19 Stiff differential equations solved by Radau methods

Ernst Hairer, Gerhard Wanner

November 1999 Proceedings of the on Numerical methods for differential equations

Publisher: Elsevier North-Holland, Inc.

Additional Information: full citation, cited by, index terms

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 13

Keywords: Radau IIA methods, historical notes, implicit Runge-Kutta methods, order selection strategy, order stars, stiff differential equations

Also published in:

November 1999 **Journal of Computational and Applied Mathematics** Volume 111 Issue 1-2

20 Alltagspraxis der Hypermediagestaltung - Erfahrungen beim Einsatz des World Wide Web und Mosaic in der Lehre

Andreas Brennecke, Reinhard Keil-Slawik

February 1995 Software-Ergonomie '95, Mensch - Computer - Interaktion, Anwendungsbereiche lernen voneinander: Gemeinsame Fachtagung des German Chapter of the ACM, der Gesellschaft für Informatik (GI), der TH Darmstadt und GMD/IPSI

Publisher: Teubner

Additional Information: full citation, cited by

Bibliometrics: Downloads (6 Weeks): n/a, Downloads (12 Months): n/a, Downloads (Overall): n/a, Citation Count: 1

Result page: **1** 2 3 4 5 6 7 8 9 10 next

>>>

Qualcomm Ex. 1002 - 304/414

The ACM Portal is published by the Association for Computing Machinery. Copyright © 2010 ACM, Inc.

Terms of Usage Privacy Policy Code of Ethics Contact Us

Useful downloads: Adobe Acrobat QuickTime Windows Media Player Real Player

Qualcomm Ex. 1002 - 305/414





Search Results

You searched for: **((restor resum microcontroller lsi) AND power down off shutoffshutdown)**

You refined by:

Subscribed Content: Draft [x], IBM [x]
Content Type: Conferences [x], Journals [x], Books [x]
Subject: Computing & Processing (Hardware/Software) [x], Components, Circuits, Devices & Systems [x], Communication, Networking & Broadcasting [x], Signal Processing & Analysis [x], Power, Energy, & Industry Applications [x], Engineering Profession [x]
Publication Year: 0 - 2006 [x]

No results were found.
Please edit your search criteria and try again. Refer to the Help pages if you need assistance revising your search.

Refine/Expand Results

Search within results: [ ] [Search]

Brought to you by

United States Patent and Trademark Office

- Your institute subscribes to:

- IEEE/IET Electronic Library (IEL), IEEE Draft Standards Online Subscription
- What can I access?

Terms of Use

SEARCHES FOR THIS SESSION

- ((restor resum microcontroller isi) AND power down off shutoffshutdown) (0)
- More Search History

Additional Results

Application Notes (beta)



© Copyright 2010 IEEE – All Rights Reserved

Back to Top

Skip to Main Content

IEEE.org | IEEE *Xplore* Digital Library | IEEE Standards Association | Spectrum Online | More IEEE Sites





Search Term(s) [ ] [ ]
Advanced Search | Preferences | Search Tips

Browse

- Journals & Magazines
- Conference Proceedings
- Standards
- Books
- Educational Courses
- Technology Surveys

- My Settings
  - Alerts
  - Purchase History
  - Saved Searches
  - Sign In
  - What can I access?
- Cart

Terms of Use | Feedback [ ] Help

Search Results

You searched for: **((saving stor transfer microcontroller state status information) AND power shutoff down shutsown off)**

You refined by:

Subscribed Content: Draft [x], IBM [x], IEL [x]
Content Type: Conferences [x], Journals [x], Books [x]
Subject: Computing & Processing (Hardware/Software) [x], Components, Circuits, Devices & Systems [x], Engineered Materials, Dielectrics & Plasmas [x], Communication, Networking & Broadcasting [x], Signal Processing & Analysis [x], Power, Energy, & Industry Applications [x], Engineering Profession [x]
Publication Year: 0 - 2006 [x]

No results were found.
Please edit your search criteria and try again. Refer to the Help pages if you need assistance revising your search.

Refine/Expand Results

Search within results: [ ] [Search]

Brought to you by

United States Patent and Trademark Office

- Your institute subscribes to:

Qualcomm Ex. 1002 - 308/414

- IEEE/IET Electronic Library (IEL), IEEE Draft Standards Online Subscription
- What can I access?

Terms of Use

SEARCHES FOR THIS SESSION

- ((saving stor transfer microcontroller state status information) AND power shutoff down shutsown off) (0)
- More Search History

Additional Results

Application Notes (beta)



© Copyright 2010 IEEE – All Rights Reserved

Back to Top

Web Images Videos Maps News Shopping Gmail more ▼

Sign in

Google patents

microcontroller restor <or>resum power down <or>shut

Search Patents

Advanced Patent Search

Try uppercase **"OR"** to search for either of two terms. [details]

Patents

› **List view**

Cover view

› **Sort by relevance**

Sort by date (new first)

Sort by date (old first)

› **Any status**

Issued patents

Applications

Did you mean: microcontroller ***restore*** <or>***resume*** power down <or>shutdown <or> ***shut off*** <or>off

Your search - **microcontroller restor <or>resum power down <or>shutdown <or> shutoff <or>off** - did not match any documents.

Suggestions:

- Make sure all words are spelled correctly.
- Try different keywords.
- Try more general keywords.
- Try fewer keywords.
- Try your search at www.uspto.gov

Stay up to date on these results using the patents RSS feed on **microcontroller restor <or>resum power down <or>shutdown <or> shutoff <or>off**.

microcontroller restor <or>resum power down

Search Patents

Advanced Patent Search

Google Home - About Google - About Google Patents - Google Patents Help

©2010 Google

Docket No.: 056937-0396 **PATENT**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 53080
Yukari SUGINAKA, et al.	:	Confirmation Number: 1079
Application No.: 11/898,145	:	Group Art Unit: 2116
Filed: September 10, 2007	:	Examiner: Nitin C. PATEL

For: MICROCONTROLLER FOR CONTROLLING POWER SHUTDOWN PROCESS (as amended)

RESPONSE UNDER 37 C.F.R. § 1.111

Mail Stop Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In response to the Office Action dated August 30, 2010, wherein a three-month shortened statutory period for response is set to expire on November 30, 2010, Applicants respectfully request reconsideration of the above-identified application in view of the following amendments and remarks.

Qualcomm Ex. 1002 - 311/414

AMENDMENT TO THE SPECIFICATION

Please amend the title of the present disclosure by replacing with the following new title:

-- A MICROCONTROLLER FOR CONTROLLING POWER SHUTDOWN PROCESS --

Qualcomm Ex. 1002 - 312/414

AMENDMENT TO THE CLAIMS

The following claim listing replaces all prior listings and versions of the claims:

LISTING OF CLAIMS

1. (Currently Amended) A microcontroller comprising:

a CPU;

~~a power supply device for supplying power to the CPU;~~

a power supply unit arranged between the CPU and [[the]] a power supply device for supplying power to the CPU;

a power supply control unit for controlling the CPU and the power supply unit; [[and]]

an information holding unit for holding information evacuated from the CPU, the information being necessary in proceeding with a program; and

a clock generator; wherein:

the power supply control unit outputs a shutdown request signal to the CPU in response to ~~generation~~ an occurrence of a power shutdown factor,

the CPU, upon receiving the shutdown request signal, ~~activates~~ executes a power shutdown microprogram, evacuates the information necessary in proceeding with the program to the information holding unit, and outputs an evacuation completed signal to the power supply control unit after evacuation is completed,

the power supply control unit, upon receiving the evacuation completed signal, outputs a power shutdown control signal to the power supply unit, [[and]]

the power supply unit shuts down power supply to the CPU upon receiving the power shutdown control signal from the power supply control unit.

Qualcomm Ex. 1002 - 313/414

the power supply control unit, upon receiving the evacuation completed signal, outputs a clock stop control signal to the clock generator,

the power supply control unit outputs a power supply control signal to the power supply unit in response to an occurrence of a power supply restoration factor,

the power supply unit, upon receiving the power supply control signal, starts to supply power to the CPU,

the power supply control unit outputs a restoration request signal to the CPU and outputs a clock supply control signal to the clock generator when a supplied power supply voltage is stabilized,

the clock generator, upon receiving the clock supply control signal, restarts to supply an operation clock, and

the CPU, upon receiving the restoration request signal, executes a power supply restoration microprogram, restores the information necessary in proceeding with the program and evacuated in the information holding unit in time of power shutdown, and then branches a process to an address indicated by a program counter to continue program execution from a shutdown state.

2-3. (Cancelled)

4. (Currently Amended) A microcontroller comprising:

a CPU;

~~a power supply device for supplying power to the CPU;~~

Qualcomm Ex. 1002 - 314/414

a power supply unit arranged between the CPU and [[the]] a power supply device for supplying power to the CPU;

a power supply control unit for controlling the CPU and the power supply unit; and

an information holding unit for holding information evacuated from the CPU, the information being necessary in proceeding with a program; wherein:

the power supply control unit outputs a shutdown request signal to the CPU in response to ~~generation~~ an occurrence of a power shutdown factor,

the CPU, upon receiving the shutdown request signal, ~~activates~~ executes a power shutdown microprogram, evacuates the information necessary in proceeding with the program to the information holding unit, and outputs an evacuation completed signal to the power supply control unit after evacuation is completed,

the power supply control unit, upon receiving ~~generation~~ an occurrence of a power supply restoration factor after receiving the evacuation completed signal, outputs a restoration request signal to the CPU, [[and]]

the CPU, upon receiving the restoration request signal, ~~activates~~ executes a power supply restoration mircoprogram which does not restore ~~for not restoring~~ the evacuated information, and continues program execution, and

the power shutdown microprogram evacuates the information necessary in proceeding with the program to a stack region in the information holding unit, and then evacuates to a specific place only a value of a stack pointer for pointing to an evacuation place.

5. (Currently Amended) The microcontroller according to claim [[2]] 1, wherein the clock generator selects one of operation performed after stopping supply of an operation clock

Qualcomm Ex. 1002 - 315/414

and operation stop performed without stopping the supply of the operation clock as operation to be performed upon receiving the clock stop control signal from the power supply control unit.

6. (Original) The microcontroller according to claim 4, wherein the clock generator selects one of operation performed after stopping supply of an operation clock and operation stop performed without stopping the supply of the operation clock as operation to be performed upon receiving the clock stop control signal from the power supply control unit.

7. (Original) The microcontroller according to claim 1, wherein the power supply control unit limits a period in which shutdown is possible.

8. (Original) The microcontroller according to claim 4, wherein the power supply control unit limits a period in which shutdown is possible.

9. (Original) The microcontroller according to claim 1, wherein the power shutdown microprogram evacuates the information necessary in proceeding with the program to a stack region in the information holding unit and then evacuates to a specific place only a value of a stack pointer for pointing to an evacuation place.

10. (Cancelled)

11. (Currently Amended) The microcontroller according to claim [[3]] 1, wherein the power supply restoration factor uses an interrupt system of the microcontroller.

12. (Original) The microcontroller according to claim 4, wherein the power supply restoration factor uses an interrupt system of the microcontroller.

13. (Currently Amended) The microcontroller according to claim 1, wherein [[the]] a state of the power shutdown factor includes at least one of a state where it is provided from an external terminal and a state where it is provided by a command, and it is possible to select a configuration corresponding to either one or both of the states.

14. (Currently Amended) The microcontroller according to claim 4, wherein [[the]] a state of the power shutdown factor includes at least one of a state where it is provided from an external terminal and a state where it is provided by a command, and it is possible to select a configuration corresponding to either one or both of the states.

15. (Currently Amended) The microcontroller according to claim [[3]] 1, wherein:

the power supply restoration microprogram includes:

a microprogram for restoring the evacuated information necessary in proceeding with the program and proceeding with the program;

a microprogram for restoring a set value without using the evacuated information necessary in proceeding with the program; and

a program for resetting processes, and

the CPU selects one of the plurality of microprograms in an alternative way.

16. (Original) The microcontroller according to claim 4, wherein

the power supply restoration microprogram includes:

a microprogram for restoring the evacuated information necessary in proceeding with the program and proceeding with the program;

a microprogram for restoring a set value without using the evacuated information necessary in proceeding with the program; and

a program for resetting processes, and

the CPU selects one of the plurality of microprograms in an alternative way.

17. (Currently Amended) The microcontroller according to claim [[3]] 1, wherein one of the power shutdown microprogram and the power supply restoration microprogram is selectively executed ~~selected~~ in an alternative way, according to the generated power shutdown factor or a type of the selected power shutdown factor~~, is activated~~.

18.(Currently Amended) The microcontroller according to claim 4, wherein one of the power shutdown microprogram and the power supply restoration microprogram is selectively executed ~~selected~~ in an alternative way, according to the generated power shutdown factor or a type of the selected power shutdown factor~~, is activated~~.

19. (Currently Amended) The microcontroller according to claim 1, wherein ~~the power supply device sets~~ a period for shutting down power supply is set according to one or more ~~a plurality of~~ peripheral circuit modules, and the ~~power shutdown~~ period ~~in the power supply device~~ is set so that power shutdown is not carried out in a period necessary for power supply

restoration and power shutdown is carried out in a period not necessary for the power supply restoration.

20. (Currently Amended) The microcontroller according to claim 4, wherein ~~the power supply device sets~~ a period for shutting down power supply is set according to one or more ~~a plurality of~~ peripheral circuit modules, and the ~~power shutdown~~ period ~~in the power supply device~~ is set so that power shutdown is not carried out in a period necessary for power supply restoration and power shutdown is carried out in a period not necessary for the power supply restoration.

21. (Original) The microcontroller according to claim 1, further comprising a debugger for constantly monitoring a register in the CPU; wherein

data other than data monitored by the debugger is evacuated in the information holding unit in time of power shutdown.

22. (Original) The microcontroller according to claim 4, further comprising a debugger for constantly monitoring a register in the CPU; wherein

data other than data monitored by the debugger is evacuated in the information holding unit in time of power shutdown.

23. (Currently Amended) The microcontroller according to claim 1, further comprising a second power supply unit for lowering a voltage to be supplied to a circuit portion outside a

power shutdown range to a lower limit voltage for information holding when the power shutdown factor ~~is generated~~ occurs.

24. (Currently Amended) The microcontroller according to claim 4, further comprising a second power supply unit for lowering a voltage to be supplied to a circuit portion outside a power shutdown range to a lower limit voltage for information holding when the power shutdown factor ~~is generated~~ occurs.

25. (Original) The microcontroller according to claim 1, further comprising a circuit for loading an inverted value to a register in a circuit portion in a power shutdown range.

26. (Original) The microcontroller according to claim 4, further comprising a circuit for loading an inverted value to a register in a circuit portion in a power shutdown range.

27. (Original) A communication device comprising:

the microcontroller according to claim 1;

an input unit for accepting an instruction to be externally input; and

a signal transmitting unit for transmitting a signal to other equipment by infrared light; wherein

a power shutdown process is executed when no input is made to the input unit for a constant time, and then a power supply restoration process is executed when an input is made to the input device.

28. (Original) A communication device comprising:

the microcontroller according to claim 4;

an input unit for accepting an instruction to be externally input; and

a signal transmitting unit for transmitting a signal to other equipment by infrared light; wherein

a power shutdown process is executed when no input is made to the input unit for a constant time, and then a power supply restoration process is executed when an input is made to the input device.

29. (Original) A recording device comprising:

a DVD recorder LSI including the microcontroller according to claim 1, an image processing DSP, and a storage circuit; and

an optical disc controller LSI including a DSP servo; wherein

a timer interrupt is generated to the power supply control unit at every constant time, the current time and the time a constant time before a recording programmed time are compared, and a power supply restoration process is performed, when comparison result shows that the two match, in order for the microcontroller to change to a recording processable state.

30. (Original) A recording device comprising:

a DVD recorder LSI including the microcontroller according to claim 4, an image processing DSP, and a storage circuit; and

an optical disc controller LSI including a DSP servo; wherein

a timer interrupt is generated to the power supply control unit at every constant time, the current time and the time a constant time before a recording programmed time are compared, and a power supply restoration process is performed, when comparison result shows that the two match, in order for the microcontroller to change to a recording processable state.

31. (New) The microcontroller of claim 1, wherein the power supply unit includes a voltage regulator.

32. (New) The microcontroller of claim 4, wherein the power supply unit includes a voltage regulator.

33. (New) The microcontroller of claim 1, wherein the power supply unit does not shut down the power supply at least to the clock generator upon receiving the power shutdown control signal from the power supply control unit.

34. (New) The microcontroller of claim 4, wherein the power supply unit does not shut down the power supply at least to the clock generator upon receiving the power shutdown control signal from the power supply control unit.

REMARKS

Status of Claims

Claims 1, 4-9 and 11-34 are pending, of which claims 1 and 4 are independent.

Applicants note with appreciation the indication of allowable subject matter of claims 27-30.

Claims 1, 4, 5, 11, 13-15, 17-20 and 23-24 have been amended to correct informalities in the claim language and to more clearly define the claimed subject matter. Claims 1 and 4 have been amended to incorporate the features of claims 2-3 and 10, respectively. Claims 31-34 have been added. Support for the new claims is found, for example, at paragraph [45] of the specification and FIGS. 1 and 6 of the present disclosure. Claims 2-3 and 10 have been cancelled. Care has been taken to avoid introducing new matter.

Objections to the Title

The Examiner objected to the title of the disclosure. Applicants respectfully submit that the amendment made to the specification overcomes this objection.

Novelty under 35 U.S.C. § 102

Claims 1-26 were rejected under 35 U.S.C. § 102(e) as being anticipated by Higashida (US 7,167,991). This rejection is traversed for at least the following reasons.

Applicants respectfully remind the Examiner that the factual determination of lack of novelty under 35 U.S.C. § 102 requires the identical disclosure in a single reference of each element of a claimed invention, such that the identically claimed invention is placed into the possession of one having ordinary skill in the art. *Helifix Ltd. v. Blok-Lok, Ltd.*, 208 F.3d 1339,

Qualcomm Ex. 1002 - 323/414

54 USPQ2d 1299 (Fed. Cir. 2000); *Electro Medical Systems S.A. v. Cooper Life Sciences, Inc.*, 34 F.3d 1048, 32 USPQ2d 1017 (Fed. Cir. 1994). Moreover, in imposing the rejection under 35 U.S.C. § 102, the Examiner is required to specifically identify wherein an applied reference is perceived to identically disclose each feature of a claimed invention. *In re Rijckaert*, 9 F.3d 1531, 28 USPQ2d 1955 (Fed. Cir. 1993); *Lindemann Maschinenfabrik GMBH v. American Hoist & Derrick Co.*, 730 F.2d 1452, 221 USPQ 481 (Fed. Cir. 1984). There are significant differences between the claimed microcontroller and the LSI chip disclosed by Higashida that would preclude the factual determination that Higashida identically describes the claimed microcontroller within the meaning of 35 U.S.C. § 102.

First, although the Examiner asserts that switch 16 of Higashida corresponds to the claimed power supply unit, the switch 16 is different from the claimed power supply unit since switch 16 is not arranged between the CPU 11 and the main power source 3. The switch 16 is provided to cut off signals between bus 13, 14 and power supply cut-off controller 17 or SRAM 15. As such, the switch 16 does not "*shut down power supply to the CPU upon receiving the power shutdown control signal from the power supply control unit*," as recited by claims 1 and 4.

Second, Higashida fails to disclose the claimed information holding unit for holding information evacuated from the CPU. The Examiner asserts that SRAM 15 corresponds to the claimed holding unit. However, Higashida fails to disclose in what timing, the information evacuated from the CPU 11 is stored in the SRAM 15. In other words, Higashida fails to disclose that *upon receiving the shutdown request signal*, the information necessary in proceeding with the program is evacuated to the information holding unit.

Third, Applicants submit that Higashida fails to disclose that the CPU "*then branches a process to an address indicated by a program counter to continue program execution from a*

shutdown state," as recited by claim 1. The cited portion of Higashida does not appear to disclose that the CPU 11 branches the process to the address indicated by the program counter.

Further, regarding claim 4, Higashida discloses that "*the power shutdown microprogram evacuates the information necessary in proceeding with the program to a stack region in the information holding unit, and then evacuates to a specific place only a value of a stack pointer for pointing to an evacuation place*," as originally recited by claim 10. The Examiner asserts that SRAM 15 corresponds to the claimed information holding unit. However, Higashida fails to disclose that the SRAM 15 is utilized as a stack memory and thus fails to disclose evacuating *a value of a stack pointer for pointing to an evacuation place to a specific place*.

Based on the foregoing, since Higashida fails to identically disclose the above discussed features of claims 1 and 4 within the meaning of 35 U.S.C. § 102, Applicants respectfully submit that claims 1 and 4 and all claims dependent thereon are patentable over the cited reference. Thus, it is requested that the Examiner withdraw the rejection of the claims under 35 U.S.C. § 102.

New Claims

Since new claims 31-34 depend upon either claims 1 or 4, and Higashida fails to disclose the features of claims 31-34, new claims 31-34 are patentable over the cited reference.

CONCLUSION

Having fully responded to all matters raised in the Office Action, Applicants submit that all claims are in condition for allowance, an indication for which is respectfully solicited. If there are any outstanding issues that might be resolved by an interview or an Examiner's amendment, the Examiner is requested to call Applicants' attorney at the telephone number shown below.

To the extent necessary, a petition for an extension of time under 37 C.F.R. § 1.136 is hereby made. Please charge any shortage in fees due in connection with the filing of this paper, including extension of time fees, to Deposit Account 500417 and please credit any excess fees to such deposit account.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP



Takashi Saito
Limited Recognition No. L0123

Please recognize our Customer No. 53080 as our correspondence address.

600 13th Street, N.W.
Washington, DC 20005-3096
Phone: 202.756.8000 MEF:TS:MaM
Facsimile: 202.756.8087
Date: November 30, 2010

Electronic Acknowledgement Receipt

EFS ID:	8938989
Application Number:	11898145
International Application Number:	
Confirmation Number:	1079
Title of Invention:	Microcontroller and arts related thereto
First Named Inventor/Applicant Name:	Yukari Suginaka
Customer Number:	53080
Filer:	Michael E. Fogarty/3328/Matilda Mason
Filer Authorized By:	Michael E. Fogarty
Attorney Docket Number:	056937-0396
Receipt Date:	30-NOV-2010
Filing Date:	10-SEP-2007
Time Stamp:	21:16:59
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		056937-0396Response.pdf	503176 e00354cc44e9b5a84ef806965e8b0c0e15e6afb7	yes	16

	Multipart Description/PDF files in .zip description		
	Document Description	**Start**	**End**
	Amendment/Req. Reconsideration-After Non-Final Reject	1	1
	Specification	2	2
	Claims	3	12
	Applicant Arguments/Remarks Made in an Amendment	13	16
Warnings:			
Information:			
	Total Files Size (in bytes):	503176	

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

PTO/SB/06 (07-06)
Approved for use through 1/31/2007. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875

Application or Docket Number	Filing Date	☐ To be Mailed
11/898,145	09/10/2007	

APPLICATION AS FILED – PART I

	(Column 1)	(Column 2)	SMALL ENTITY ☐		OR	OTHER THAN SMALL ENTITY	
FOR	NUMBER FILED	NUMBER EXTRA	RATE ($)	FEE ($)		RATE ($)	FEE ($)
☐ BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A	
☐ SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A			N/A	
☐ EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A	
TOTAL CLAIMS (37 CFR 1.16(i))	minus 20 =	*	X $ =		OR	X $ =	
INDEPENDENT CLAIMS (37 CFR 1.16(h))	minus 3 =	*	X $ =			X $ =	
☐ APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $250 ($125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).						
☐ MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))							
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL	

APPLICATION AS AMENDED – PART II

AMENDMENT 11/30/2010	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE ($)	SMALL ENTITY ADDITIONAL FEE ($)	OR	OTHER THAN SMALL ENTITY RATE ($)	OTHER THAN SMALL ENTITY ADDITIONAL FEE ($)
Total (37 CFR 1.16(i))	* 31	Minus	** 30	=	X $ =		OR	X $ =	
Independent (37 CFR 1.16(h))	* 2	Minus	***3	=	X $ =		OR	X $ =	
☐ Application Size Fee (37 CFR 1.16(s))									
☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
					TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

AMENDMENT	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	RATE ($)	ADDITIONAL FEE ($)		RATE ($)	ADDITIONAL FEE ($)
Total (37 CFR 1.16(i))	*	Minus	**	=	X $ =		OR	X $ =	
Independent (37 CFR 1.16(h))	*	Minus	***	=	X $ =		OR	X $ =	
☐ Application Size Fee (37 CFR 1.16(s))									
☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
					TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.

** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".

*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".

The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

Legal Instrument Examiner:
/PEGGY YARBOROUGH/

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Document code: WFEE

United States Patent and Trademark Office
Sales Receipt for Accounting Date: 12/13/2010

PYARBORO SALE #00000003 Mailroom Dt: 11/30/2010 500417 11898145
01 FC : 1202 52.00 DA

Docket No.: 056937-0396 **PATENT**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 53080
Yukari SUGINAKA, et al.	:	Confirmation Number: 1079
Application No.: 11/898,145	:	Group Art Unit: 2116
Filed: September 10, 2007	:	Examiner: Nitin C. PATEL

For: MICROCONTROLLER FOR CONTROLLING POWER SHUTDOWN PROCESS (as amended)

AMENDMENT

Mail Stop Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In response to the Examiner's request made over the telephone to the Applicants' representative, please amend the Specification as follows to include the priority information.

Qualcomm Ex. 1002 - 331/414

AMENDMENT TO THE SPECIFICATION

Please insert the following "RELATED APPLICATION" section between the title and the "BACKGROUND OF THE INVENTION" section on page 1 of the specification:

-- RELATED APPLICATION

This application claims foreign priority of Japanese Patent Application No. 2006-246454 filed on September 12, 2006 under 35 U.S.C. § 119. --

Qualcomm Ex. 1002 - 332/414

REMARKS

The specification has been amended to include foreign priority information. It should be noted that the Declaration and the Application transmittal letter filed on September 10, 2007 include the foreign priority information. No new matter has been added. Entry of this amendment is respectfully solicited.

To the extent necessary, a petition for an extension of time under 37 C.F.R. § 1.136 is hereby made. Please charge any shortage in fees due in connection with the filing of this paper, including extension of time fees, to Deposit Account 500417 and please credit any excess fees to such deposit account.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP



Takashi Saito
Limited Recognition No. L0123

Please recognize our Customer No. 53080 as our correspondence address.

600 13th Street, N.W.
Washington, DC 20005-3096
Phone: 202.756.8000 MEF:TS:MaM
Facsimile: 202.756.8087
Date: December 13, 2010

Electronic Acknowledgement Receipt

EFS ID:	9026162
Application Number:	11898145
International Application Number:	
Confirmation Number:	1079
Title of Invention:	A microcontroller for controlling power shutdown process
First Named Inventor/Applicant Name:	Yukari Suginaka
Customer Number:	53080
Filer:	Michael E. Fogarty/3328/Matilda Mason
Filer Authorized By:	Michael E. Fogarty
Attorney Docket Number:	056937-0396
Receipt Date:	13-DEC-2010
Filing Date:	10-SEP-2007
Time Stamp:	22:06:33
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		056937-0396Amendment.pdf	53839 fadef5f6cc86e89ca2b0146d46a1da87cf186f17	yes	3

	Multipart Description/PDF files in .zip description		
	Document Description	**Start**	**End**
	Amendment/Req. Reconsideration-After Non-Final Reject	1	1
	Specification	2	2
	Applicant Arguments/Remarks Made in an Amendment	3	3
Warnings:			
Information:			
	Total Files Size (in bytes):	53839	

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

PTO/SB/06 (07-06)
Approved for use through 1/31/2007. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875

Application or Docket Number	Filing Date	☐ To be Mailed
11/898,145	09/10/2007	

APPLICATION AS FILED – PART I

FOR	(Column 1) NUMBER FILED	(Column 2) NUMBER EXTRA	SMALL ENTITY ☐ RATE ($)	SMALL ENTITY ☐ FEE ($)	OR	OTHER THAN SMALL ENTITY RATE ($)	OTHER THAN SMALL ENTITY FEE ($)
☐ BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A	
☐ SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A			N/A	
☐ EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A	
TOTAL CLAIMS (37 CFR 1.16(i))	minus 20 =	*	X $ =		OR	X $ =	
INDEPENDENT CLAIMS (37 CFR 1.16(h))	minus 3 =	*	X $ =			X $ =	
☐ APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $250 ($125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).						
☐ MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))							
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL	

APPLICATION AS AMENDED – PART II

AMENDMENT 12/13/2010	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE ($)	SMALL ENTITY ADDITIONAL FEE ($)	OR	OTHER THAN SMALL ENTITY RATE ($)	OTHER THAN SMALL ENTITY ADDITIONAL FEE ($)
Total (37 CFR 1.16(i))	* 31	Minus	** 31	= 0	X $ =		OR	X $52=	0
Independent (37 CFR 1.16(h))	* 2	Minus	***3	= 0	X $ =		OR	X $220=	0
☐ Application Size Fee (37 CFR 1.16(s))									
☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
					TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	0

AMENDMENT	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	RATE ($)	ADDITIONAL FEE ($)	OR	RATE ($)	ADDITIONAL FEE ($)
Total (37 CFR 1.16(i))	*	Minus	**	=	X $ =		OR	X $ =	
Independent (37 CFR 1.16(h))	*	Minus	***	=	X $ =		OR	X $ =	
☐ Application Size Fee (37 CFR 1.16(s))									
☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
					TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.

** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".

*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".

The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

Legal Instrument Examiner:
/NICOLE LOVE-HENSLEY/

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

53080 7590 12/17/2010

MCDERMOTT WILL & EMERY LLP
600 13TH STREET, NW
WASHINGTON, DC 20005-3096

EXAMINER	
PATEL, NITIN C	
ART UNIT	PAPER NUMBER
2116	

DATE MAILED: 12/17/2010

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/898,145	09/10/2007	Yukari Suginaka	056937-0396	1079

TITLE OF INVENTION: A MICROCONTROLLER FOR CONTROLLING POWER SHUTDOWN PROCESS

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	$1510	$300	$0	$1810	03/17/2011

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE DOES NOT REFLECT A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE IN THIS APPLICATION. IF AN ISSUE FEE HAS PREVIOUSLY BEEN PAID IN THIS APPLICATION (AS SHOWN ABOVE), THE RETURN OF PART B OF THIS FORM WILL BE CONSIDERED A REQUEST TO REAPPLY THE PREVIOUSLY PAID ISSUE FEE TOWARD THE ISSUE FEE NOW DUE.

HOW TO REPLY TO THIS NOTICE:

I. Review the SMALL ENTITY status shown above.

If the SMALL ENTITY is shown as YES, verify your current SMALL ENTITY status:

A. If the status is the same, pay the TOTAL FEE(S) DUE shown above.

B. If the status above is to be removed, check box 5b on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and twice the amount of the ISSUE FEE shown above, or

If the SMALL ENTITY is shown as NO:

A. Pay TOTAL FEE(S) DUE shown above, or

B. If applicant claimed SMALL ENTITY status before, or is now claiming SMALL ENTITY status, check box 5a on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and 1/2 the ISSUE FEE shown above.

II. PART B - FEE(S) TRANSMITTAL, or its equivalent, must be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed and an extra copy of the form should be submitted. If an equivalent of Part B is filed, a request to reapply a previously paid issue fee must be clearly made, and delays in processing may occur due to the difficulty in recognizing the paper as an equivalent of Part B.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Utility patents issuing on applications filed on or after Dec. 12, 1980 may require payment of maintenance fees. It is patentee's responsibility to ensure timely payment of maintenance fees when due.

PTOL-85 (Rev. 08/07) Approved for use through 08/31/2010.

Qualcomm Ex. 1002 - 337/414

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: Mail **Mail Stop ISSUE FEE**
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or Fax (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

53080 7590 12/17/2010

MCDERMOTT WILL & EMERY LLP
600 13TH STREET, NW
WASHINGTON, DC 20005-3096

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/898,145	09/10/2007	Yukari Suginaka	056937-0396	1079

TITLE OF INVENTION: A MICROCONTROLLER FOR CONTROLLING POWER SHUTDOWN PROCESS

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	$1510	$300	$0	$1810	03/17/2011

EXAMINER	ART UNIT	CLASS-SUBCLASS
PATEL, NITIN C	2116	713-324000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

❑ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.

❑ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list

(1) the names of up to 3 registered patent attorneys or agents OR, alternatively,

(2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 _____

2 _____

3 _____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE (B) RESIDENCE: (CITY and STATE OR COUNTRY)

Please check the appropriate assignee category or categories (will not be printed on the patent) : ❑ Individual ❑ Corporation or other private group entity ❑ Government

4a. The following fee(s) are submitted:

❑ Issue Fee

❑ Publication Fee (No small entity discount permitted)

❑ Advance Order - # of Copies _____

4b. Payment of Fee(s): **(Please first reapply any previously paid issue fee shown above)**

❑ A check is enclosed.

❑ Payment by credit card. Form PTO-2038 is attached.

❑ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment, to Deposit Account Number _____ (enclose an extra copy of this form).

5. **Change in Entity Status** (from status indicated above)

❑ a. Applicant claims SMALL ENTITY status. See 37 CFR 1.27.

❑ b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature _____ Date _____

Typed or printed name _____ Registration No. _____

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Qualcomm Ex. 1002 - 338/414

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/898,145	09/10/2007	Yukari Suginaka	056937-0396	1079

53080 7590 12/17/2010

MCDERMOTT WILL & EMERY LLP
600 13TH STREET, NW
WASHINGTON, DC 20005-3096

EXAMINER	
PATEL, NITIN C	
ART UNIT	PAPER NUMBER
2116	

DATE MAILED: 12/17/2010

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment to date is 658 day(s). If the issue fee is paid on the date that is three months after the mailing date of this notice and the patent issues on the Tuesday before the date that is 28 weeks (six and a half months) after the mailing date of this notice, the Patent Term Adjustment will be 658 day(s).

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at 1-(888)-786-0101 or (571)-272-4200.

PTOL-85 (Rev. 08/07) Approved for use through 08/31/2010.

Qualcomm Ex. 1002 - 339/414

Notice of Allowability	Application No.	Applicant(s)	
	11/898,145	SUGINAKA ET AL.	
	Examiner	Art Unit	
	NITIN C. PATEL	2116	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☒ This communication is responsive to *amendment filed on 11/30/10, and interview summary, supplental amendment filed on 12/13/10*.

2. ☒ The allowed claim(s) is/are *1,4-9 and 11-34*.

3. ☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
   a) ☒ All b) ☐ Some* c) ☐ None of the:
      1. ☒ Certified copies of the priority documents have been received.
      2. ☐ Certified copies of the priority documents have been received in Application No. _____ .
      3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

   * Certified copies not received: _____.

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

4. ☐ A SUBSTITUTE OATH OR DECLARATION must be submitted. Note the attached EXAMINER'S AMENDMENT or NOTICE OF INFORMAL PATENT APPLICATION (PTO-152) which gives reason(s) why the oath or declaration is deficient.

5. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
   (a) ☐ including changes required by the Notice of Draftsperson's Patent Drawing Review (PTO-948) attached
      1) ☐ hereto or 2) ☐ to Paper No./Mail Date _____.
   (b) ☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____.

   Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).

6. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

1. ☐ Notice of References Cited (PTO-892)
2. ☐ Notice of Draftperson's Patent Drawing Review (PTO-948)
3. ☐ Information Disclosure Statements (PTO/SB/08), Paper No./Mail Date _____
4. ☐ Examiner's Comment Regarding Requirement for Deposit of Biological Material
5. ☐ Notice of Informal Patent Application
6. ☒ Interview Summary (PTO-413), Paper No./Mail Date *12/13/10* .
7. ☐ Examiner's Amendment/Comment
8. ☐ Examiner's Statement of Reasons for Allowance
9. ☐ Other _____.

/Nitin C. Patel/
Primary Examiner, Art Unit 2116

Examiner-Initiated Interview Summary	Application No.	Applicant(s)	
	11/898,145	SUGINAKA ET AL.	
	Examiner	Art Unit	
	NITIN C. PATEL	2116	

All Participants:

(1) *NITIN C. PATEL*.

(2) *Mr. Takashi Saito*.

Status of Application: *allowed*

(3) _____.

(4) _____.

Date of Interview: *13 December 2010*

Time: *10AM*

Type of Interview:
☒ Telephonic
☐ Video Conference
☐ Personal (Copy given to: ☐ Applicant ☒ Applicant's representative)

Exhibit Shown or Demonstrated: ☐ Yes ☒ No
If Yes, provide a brief description: *n/a.*

Part I.

Rejection(s) discussed:
none

Claims discussed:
none

Prior art documents discussed:
none

Part II.

SUBSTANCE OF INTERVIEW DESCRIBING THE GENERAL NATURE OF WHAT WAS DISCUSSED:
See Continuation Sheet

Part III.

☒ It is not necessary for applicant to provide a separate record of the substance of the interview, since the interview directly resulted in the allowance of the application. The examiner will provide a written summary of the substance of the interview in the Notice of Allowability.
☐ It is not necessary for applicant to provide a separate record of the substance of the interview, since the interview did not result in resolution of all issues. A brief summary by the examiner appears in Part II above.

/Nitin C. Patel/
Primary Examiner, Art Unit 2116

(Applicant/Applicant's Representative Signature – if appropriate)

Qualcomm Ex. 1002 - 341/414

Continuation of Substance of Interview including description of the general nature of what was discussed: The examiner has initiated an interview with the applicant's representative, Mr. Takashi, to point out missing foreign priority application info in the specification to meet requirement of 35 USC 119. And agreed upon to file a supplemental amendment to the specification. .

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

BIB DATA SHEET

CONFIRMATION NO. 1079

SERIAL NUMBER	FILING or 371(c) DATE RULE	CLASS	GROUP ART UNIT	ATTORNEY DOCKET NO.
11/898,145	09/10/2007	713	2116	056937-0396

APPLICANTS

Yukari Suginaka, Osaka, JAPAN;
Toshifumi Hamaguchi, Osaka, JAPAN;
Yoshitaka Kitao, Kyoto, JAPAN;
Shinya Muramatsu, Hyogo, JAPAN;

**** CONTINUING DATA ***************************

**** FOREIGN APPLICATIONS ***************************

JAPAN 2006-246454 09/12/2006

**** IF REQUIRED, FOREIGN FILING LICENSE GRANTED ****

10/01/2007

Foreign Priority claimed	35 USC 119(a-d) conditions met	Verified and Acknowledged	Met after Allowance	STATE OR COUNTRY	SHEETS DRAWINGS	TOTAL CLAIMS	INDEPENDENT CLAIMS
☑ Yes ☐ No	☑ Yes ☐ No	/NITIN C PATEL/ Examiner's Signature	☐ ncp Initials	JAPAN	24	30	2

ADDRESS

MCDERMOTT WILL & EMERY LLP
600 13TH STREET, NW
WASHINGTON, DC 20005-3096
UNITED STATES

TITLE

A microcontroller for controlling power shutdown process

FILING FEE RECEIVED		
1552	FEES: Authority has been given in Paper No._____ to charge/credit DEPOSIT ACCOUNT No._____ for following:	☐ All Fees ☐ 1.16 Fees (Filing) ☐ 1.17 Fees (Processing Ext. of time) ☐ 1.18 Fees (Issue) ☐ Other _____ ☐ Credit

EAST Search History

EAST Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L8	1351	713/324.ccls.	USPAT	OR	OFF	2010/12/14 13:49
L9	54685	"713"/$.ccls.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/12/14 13:49
L10	60	l8 and ((microcontroller or cpu or micro $controller)same (power near3 (recycle or restart or shut$down or (shut$4 adj (down or off)))))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/12/14 13:50
L11	372	l9 and ((microcontroller or cpu or micro $controller)same (power near3 (recycle or restart or shut$down or (shut$4 adj (down or off)))))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/12/14 13:50
L12	9	l8 and ((microcontroller or cpu or micro $controller)same (power near3 (recycle or restart or shut$down or (shut$4 adj (down or off)))))same ((export $4 or sav$4 or stor$4 or writ$4 or evacuat$4) with ((processor or cpu or controller)near3 (information or mode or state)))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/12/14 13:51

Qualcomm Ex. 1002 - 344/414

L13	53	l9 and ((microcontroller or cpu or micro $controller)same (power near3 (recycle or restart or shut$down or (shut$4 adj (down or off)))))same ((export $4 or sav$4 or stor$4 or writ$4 or evacuat$4) with ((processor or cpu or controller)near3 (information or mode or state)))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/12/14 13:51
L14	53	l11 and ((microcontroller or cpu or micro$controller) same (power near3 (recycle or restart or shut$down or (shut$4 adj (down or off))))) same ((export$4 or sav $4 or stor$4 or writ$4 or evacuat$4)with ((processor or cpu or controller)near3 (information or mode or state)))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/12/14 13:52
L15	26	l10 and ((export$4 or sav$4 or stor$4 or writ $4 or evacuat$4)with ((processor or cpu or controller)near3 (information or mode or state)))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/12/14 13:54
L16	171	l11 and ((export$4 or sav$4 or stor$4 or writ $4 or evacuat$4)with ((processor or cpu or controller)near3 (information or mode or state)))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/12/14 13:54
L17	53	l14 and ((export$4 or sav$4 or stor$4 or writ $4 or evacuat$4)with ((processor or cpu or controller)near3 (information or mode or state)))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/12/14 13:55

Qualcomm Ex. 1002 - 345/414

L18	0	l15 and (activat$4 or enabl$4 or start$4) near6 (((power or voltage or energy) near3 (shutdown or off))adj4 (microprogram or code or software or firmware))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/12/14 13:55
L19	1	l16 and (activat$4 or enabl$4 or start$4) near6 (((power or voltage or energy) near3 (shutdown or off))adj4 (microprogram or code or software or firmware))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/12/14 13:55
L20	1	l17 and (activat$4 or enabl$4 or start$4) near6 (((power or voltage or energy) near3 (shutdown or off))adj4 (microprogram or code or software or firmware))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/12/14 13:55
L21	1	((microcontroller or cpu or micro$controller) same (power near3 (recycle or restart or shut$down or (shut$4 adj (down or off))))) and ((export$4 or sav $4 or stor$4 or writ$4 or evacuat$4)with ((processor or cpu or controller)near3 (information or mode or state)))and (activat $4 or enabl$4 or start $4)near6 (((power or voltage or energy) near3 (shutdown or off))adj4 (microprogram or code or software or firmware)).clm.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/12/14 13:56

Qualcomm Ex. 1002 - 346/414

L24	1	((microcontroller or cpu or micro$controller) same (power near3 (recycle or restart or shut$down or (shut$4 adj (down or off))))) and ((export$4 or sav $4 or stor$4 or writ$4 or evacuat$4)with ((processor or cpu or controller)near3 (information or mode or state)))and (activat $4 or enabl$4 or start $4)near6 (((power or voltage or energy) near3 (shutdown or off))adj4 (microprogram or code or software or firmware))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2010/12/14 13:57

EAST Search History (Interference)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L22	1	((microcontroller or cpu or micro$controller)same (power near3 (recycle or restart or shut$down or (shut$4 adj (down or off))))and ((export$4 or sav$4 or stor$4 or writ$4 or evacuat$4)with ((processor or cpu or controller)near3 (information or mode or state)))and (activat$4 or enabl$4 or start$4)near6 (((power or voltage or energy)near3 (shutdown or off))adj4 (microprogram or code or software or firmware)). clm.	US-PGPUB; USPAT; UPAD	OR	OFF	2010/12/14 13:56

Qualcomm Ex. 1002 - 347/414

L23	1	((microcontroller or cpu or micro$controller)same (power near3 (recycle or restart or shut$down or (shut$4 adj (down or off)))))and ((export$4 or sav$4 or stor$4 or writ$4 or evacuat$4)with ((processor or cpu or controller)near3 (information or mode or state)))and (activat$4 or enabl$4 or start$4)near6 (((power or voltage or energy)near3 (shutdown or off))adj4 (microprogram or code or software or firmware))	US-PGPUB; USPAT; UPAD	OR	OFF	2010/12/14 13:57

12/14/2010 1:58:05 PM
C:\Documents and Settings\npatel3\My Documents\EAST\Workspaces\11898145.wsp

Qualcomm Ex. 1002 - 348/414

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
11898145	11898145	SUGINAKA ET AL.
	Examiner	**Art Unit**
	NITIN C PATEL	2116

ORIGINAL		INTERNATIONAL CLASSIFICATION									
CLASS	SUBCLASS	CLAIMED					NON-CLAIMED				
713	324	G	0	6	F	1 / 26 (2006.01.01)					

CROSS REFERENCE(S)					
CLASS	SUBCLASS (ONE SUBCLASS PER BLOCK)				
713	300	323			

☐ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original
1	1	8	17	16	33										
-	2	23	18	31	34										
-	3	9	19												
17	4	24	20												
2	5	10	21												
18	6	25	22												
3	7	11	23												
19	8	26	24												
4	9	12	25												
-	10	27	26												
5	11	13	27												
20	12	28	28												
6	13	14	29												
21	14	29	30												
7	15	15	31												
22	16	30	32												

NONE		Total Claims Allowed:	
(Assistant Examiner)	(Date)	31	
/NITIN C PATEL/ Primary Examiner.Art Unit 2116	12/14/10	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	9

Qualcomm Ex. 1002 - 349/414

Search Notes	**Application/Control No.**	**Applicant(s)/Patent Under Reexamination**
1189814 5	11898145	SUGINAKA ET AL.
	Examiner	**Art Unit**
	NITIN C PATEL	2116

SEARCHED			
Class	**Subclass**	**Date**	**Examiner**
713	324	8/19/10	ncp

SEARCH NOTES		
Search Notes	**Date**	**Examiner**
Inventor name search in PALM	8/16/10	ncp
EAST search results attached	8/19/10,8/23/10, 8/26/10	ncp
NPL search -- ACM Digital library, IEE explorer --results attached	8/23/10	ncp
Updated EAST search results attached	12/14/10	ncp

INTERFERENCE SEARCH			
Class	**Subclass**	**Date**	**Examiner**
713	324	8/19/10	ncp

Docket No.: 056937-0396 **PATENT**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 53080
Yukari SUGINAKA, et al.	:	Confirmation Number: 1079
Application No.: 11/898,145	:	Group Art Unit: 2116
Filed: September 10, 2007	:	Examiner: LEE, THOMAS C

For: MICROCONTROLLER FOR CONTROLLING POWER SHUTDOWN PROCESS

INFORMATION DISCLOSURE STATEMENT

Mail Stop Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

This Information Disclosure Statement is being filed more than three months after the U.S. filing date and after the mailing date of a Final Rejection or Notice of Allowance, but before payment of the Issue Fee.

REQUEST TO CONSIDER REFERENCES AFTER CLOSE OF PROSECUTION AND BEFORE PAYMENT OF ISSUE FEE

In accordance with the provisions of 37 C.F.R. 1.56, 1.97 and 1.98, the attention of the Patent and Trademark Office is hereby directed to the references listed on the attached form PTO-1449. It is respectfully requested that the references be expressly considered during the prosecution of this application, and that the references be made of record therein and appear among the "References Cited" on any patent to issue therefrom. Please charge the processing fee under 1.17(p) of **$180.00** to Deposit Account 500417.

CERTIFICATION PARAGRAPH

The undersigned certifies that each item of information contained in this Information Disclosure Statement was first cited in a communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this Information Disclosure Statement as described in 37 CFR 1.97(e)(1).

Each Japanese reference was cited in a corresponding Japanese application Office Action and its relevance discussed therein. A copy of the Japanese Office Action is attached for the Examiner's information. Please note that the reference **JP 2004-30100** has been previously cited in an Information Disclosure Statement filed March 22, 2010 in the present application.

Please charge any shortage in fees due in connection with the filing of this paper, including extension of time fees, to Deposit Account 500417 and please credit any excess fees to such deposit account.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP

Michael E. Fogarty
Registration No. 36,139

Please recognize our Customer No. 53080 as our correspondence address.

600 13th Street, N.W.
Washington, DC 20005-3096
Phone: 202.756.8000 MEF:MWE
Facsimile: 202.756.8087
Date: February 22, 2011

Qualcomm Ex. 1002 - 352/414

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Substitute for form 1449/PTO)

ATTY. DOCKET NO.	SERIAL NO.
056937-0396	**11/898,145**
APPLICANT: **Yukari SUGINAKA, et al.**	
FILING DATE: **September 10, 2007**	GROUP: **2116**

U.S. PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Document Number Number-Kind Code2 (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			

FOREIGN PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Foreign Patent Document Country Codes3-Number 4-Kind Codes (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines Where Relevant Figures Appear	Translation Yes	Translation No
		JP 58-169218	**10-05-1983**	**FUJITSU LTD**		**JAPAN (w/ English abstract)**	
		JP 61-182123	**08-14-1986**	**NEC CORP**		**JAPAN (w/ English abstract)**	
		JP 06-124150	**05-06-1994**	**DIA SEMIKON SYST KK**		**JAPAN (w/ English abstract)**	
		JP 11-259376	**09-24-1999**	**SHARP CORP**		**JAPAN (w/ English abstract)**	

OTHER ART (Including Author, Title, Date, Pertinent Pages, Etc.)

EXAMINER'S INITIALS	CITE NO.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.
		Japanese Office Action issued in Japanese Patent Application No. JP 2006-246454 dated February 1, 2011

EXAMINER	DATE CONSIDERED

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

1 Applicant's unique citation designation number (optional). 2 Applicant is to place a check mark here if English language Translation is attached.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-169218
(43)Date of publication of application : 05.10.1983

(51)Int.Cl. G06F 1/00

(21)Application number : 57-052798
(22)Date of filing : 31.03.1982

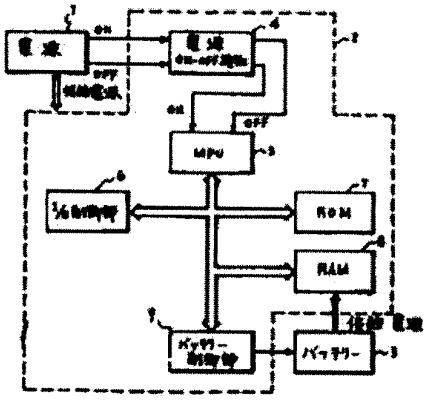
(71)Applicant : FUJITSU LTD
(72)Inventor : SAITO KIYOSHI

(54) RECOVERY SYSTEM OF BREAK OF POWER SUPPLY

(57)Abstract:

PURPOSE: To perform correct restarting operation by allowing a next address of a processing program to be read on power supply recovery even if chattering occurs.

CONSTITUTION: When a power source 1 is turned off, a power-supply on-off detection part 4 detects a fall of a voltage and outputs an off signal to a microprocessor 5. When the power source is turned on, the detection part 4 detects that and sends an on signal to the microprocessor 5. This microprocessor 5 loads a next address in a stack area of an RAM8. When the area is a power- supply break program area, a program counter stacked before it is loaded; when its value shows a normal processing program area, the state before the power source is turned off is maintained in processing. When no chattering is caused in the power-off operation, the program counter value indicating a stack point is read on power-on operation to continue the program.



⑲ 日本国特許庁（JP）　　⑪ 特許出願公開

⑫ 公開特許公報（A）　　昭58—169218

⑤1Int. Cl.³	識別記号	庁内整理番号	⑬公開　昭和58年(1983)10月5日
G 06 F　1/00	1 0 2	6913—5B	

発明の数　1
審査請求　未請求

（全 5 頁）

⑤4電源断復帰方式

⑦1出　願　人　富士通株式会社
川崎市中原区上小田中1015番地
⑦4代　理　人　弁理士　山谷晧栄

⑦1特　願　昭57—52798
⑦2出　願　昭57(1982)3月31日

⑦2発　明　者　斉藤清
川崎市中原区上小田中1015番地
富士通株式会社内

明　細　書

1. 発明の名称　電源断復帰方式

2. 特許請求の範囲

(1) 電源オフが発生したとき処理中のプログラムの走行状態を記憶し電源復旧時に該プログラムを継続的に実行するようにしたデータ処理装置において、電源がオフになつたことを検出するオフ状態検出手段と、電源オフ時のプログラム走行状態を格納する複数のスタック区域と、該スタック区域に格納された走行プログラムが電源オフ時に動作する電源断プログラムであるか否かを識別する識別手段を設け、電源断状態のときに前記複数のスタック区域に順次プログラム走行状態を格納するとともに電源復旧状態にはその逆に順次プログラム走行状態を読出してその読出しプログラムが電源断プログラムでなくなるまでこれを読出すようにしたことを特徴とする電源断復帰方式。

3. 発明の詳細な説明

(1) 発明の技術分野

本発明は電源断復帰方式に係り、特に電源断が発生してもバッテリー等によりそのプログラムを保持できるような装置において、電源断時における接点のチャタリングによるも電源復旧時に復旧先のプログラムを判別できるようにした電源断復帰方式に関する。

(2) 従来技術と問題点

通常の端末装置では電源がオフになつたあとで、電源が投入されたときIPLによりプログラムをローデングする必要がある。しかしPOS端末装置のような一部の端末装置では、電源がオフになつたとき（オペレータが電源をオフにしたときでも、また事故により電源が外れたときでも）、ノンマスクの割込み処理が行われ、ある程度の時間バッテリーでバックアップし、メモリの内容が消滅しないようになつている。このときにノンマスクの割込み処理によりプログラムの動作状態を記憶しておき、電源が正常に投入されて再びそのPOS端

Qualcomm Ex. 1002 - 355/414

末装置が動作するときに電源断のときに動作していたプログラムの次のところから動作するように構成されている。

ところで電源断のときに、第1図(イ)に示すように、スイッチをオフして電源断としたとき、図(ロ)のようにこのスイッチの接点部分にチャタリングが発生する。しかるに電源断にもとづきプログラムの動作状態を格納する場合、電源の立下りにもとづき、そのとき動作しているプログラムの次のアドレスを格納するように構成されている。それ故、第1図(ロ)のようにチャタリングが発生するとき、(第2図のように)電源断の最初の電圧の立下りで先ず走行中の処理プログラムの次アドレス①が記憶される。そして電源断発生にもとづき電源断プログラムが走行しているときに、チャタリングによる次の電圧降下により今度はこの走行中の電源断プログラムの次アドレス②が記憶されることになる。ところがこのような電源断時の各レジスタやプログラム走行情報を格納するスタック領域は1回分しか用意されていない。それ故、最初の電源電圧立下りにより処理プログラムの前記次アドレス①が記入されたところに前記チャタリングによる電圧降下により今度は電源断プログラムの前記次アドレス②が記入されることになる。もしもチャタリングの回数が更に続けばその領域が更にアドレス③…と書替えられることになる。

したがつて、電源が復旧しても前記電源断プログラムの次アドレス②より動作することになり、電源断プログラムの最後はダイナミック・ストップ・ルーチンとなつており、いわゆるダイナミック・ストップ状態となりロックしてしまうという危険性があつた。

(3) 発明の目的

本発明の目的は、このようなチャタリングにより処理プログラムの次アドレスが消されて電源復旧時に装置が正常に動作しないことがあるという問題点を改善して、チャタリングが発生しても電源復旧時に処理プログラムの次アドレスを読出せるようにした電源断復帰方式を提供することである。

(4) 発明の構成

この目的を達成するために本発明の電源断復帰方式では、電源オフが発生したとき処理中のプログラムの走行状態を記憶し電源復旧時に該プログラムを継続的に実行するようにしたデータ処理装置において、電源がオフになつたことを検出するオフ状態検出手段と、電源オフ時のプログラム走行状態を格納する複数のスタック区域と、該スタック区域に格納された走行プログラムが電源オフ時に動作する電源断プログラムであるか否かを識別する識別手段を設け、電源断状態のときに前記複数のスタック区域に順次プログラム走行状態を格納するとともに電源復旧状態にはその逆に順次プログラム走行状態を読出してその読出しプログラムが電源断プログラムでなくなるまでこれを読出すようにしたことを特徴とする。

(5) 発明の実施例

本発明を一実施例にもとづき詳述するに先立ち、本発明の概略を第3図(ロ)にもとづき説明する。

本発明ではレジスタやプログラム情報のスタック領域を電源断1回分ではなく、チャタリングが予想される回数分用意しておく。そして電源オフが発生したとき、コンディション・レジスタ、アキュームレータ、インデックス・レジスタ等の各データとともにそのとき走行中の処理プログラムの次アドレス①を記憶する。この電源オフが電源スイッチの操作により生じたときのようにチャタリングが発生している場合には、2回目の電源オフ状態により再びそのときのコンディション・レジスタ、アキュームレータ、インデックス・レジスタ等の各データが前回と同様に記憶されるとともにそのとき走行中の電源断プログラムの次アドレス②が記憶される。もしチャタリングがこれで終ればそのスタック領域には第3図(ロ)の状態の各データが記憶される。その後電源復旧すれば、先ずスタックポインタSPで指示している次のアドレス②が読出される。そして該次のアドレス②が電源断プログラムのものであれば、スタックポインタのレベルを1つ上げて、その前の回に記憶された次のアドレス①を読出す。このようにして走

Qualcomm Ex. 1002 - 356/414

行すべき処理プログラムのアドレスを検出することができる。

本発明の一実施例を第3図～第6図にもとづき説明する。

第3図はスタック領域の説明図、第4図は本発明の一実施例構成図、第5図及び第6図は第4図の動作説明図である。

図中、1は電源、2は端末装置本体、3はバッテリー、4は電源オン・オフ検知部、5はマイクロプロセッサ・ユニット、6は端末制御部、7はROM、8はRAM、9はバッテリー制御部である。

端末装置本体2は電源オン・オフ検知部4、マイクロプロセッサ・ユニット5、端末制御部6、ROM7、RAM8、バッテリー制御部9等を備えており、通常は商用の電源1から電源供給を受けるものであるが、電源オフのときはRAM8はバッテリー3によりサポートされる。

マイクロプロセッサ・ユニット5は、コンディション・レジスタ、アキュームレータ、インデックス・レジスタ、プログラム・カウンタ等のデータをRAM8のセーブ領域に格納するデータ退避部や、該データ退避部に格納されたデータのうちプログラム・カウンタの指示するデータが電源断プログラムに関するものか、通常の処理プログラムに関するものであるかを識別する識別部等が設けられている。

ROM7には例えば電源がオフになつたときの処理ルーチンである電源断プログラムや、電源がオンになつたときの処理ルーチンである電源オンプログラム等が格納されている。

RAM8には通常のデータ処理プログラムであるユーザプログラムが格納され、またRAM8はバッファやワーク領域として使用され、スタック領域も設けられている。そしてこのRAM8には、第3図(ロ)について説明した如く、スタック領域として前記チヤタリングの発生が2、3回と予想されるが、それ以上の回数で前記各種レジスタやアキュームレータ、プログラム・カウンタ等のデータが退避できるような領域が準備されている。

バッテリー制御部9は、商用の電源1がオフになつたときバッテリー3をRAM8に接続してそのバックアップを行わせるとともに、商用の電源1が復旧したときにRAM8からバッテリー3を非接続状態にしてバックアップ動作を中止させるような制御を行うものである。

次に第4図の動作について説明する。

① 第4図において電源1がオフになれば、電源オン・オフ検知部4がこの電圧の立下りを検出してマイクロプロセッサ・ユニット5にこの電源オフの検出を報告するオフ信号を出力する。これによりマイクロプロセッサ・ユニット5は、第5図に示す如く、コンディション・レジスタからコンディション・コード（ＣＣ）を読出し、アキュームレータからそのデータを読出し、インデックス・レジスタからそのインデックス値を読出し、プログラム・カウンタ（ＰＣ）からそのデータ（次のアドレス）を読出して、第3図(イ)に示すように、RAM8のスタック領域に格納し、スタックポインタをこの次のアドレス格納部分を記入して退避する。そしてバッテリー制御部9によりRAM8に対してバッテリーサポートを開始させる。

② ところで電源オフがスイッチの操作による場合には、前記の如く接点部分にチヤタリングが発生し、電源オン・オフ検知部4がその電圧の立下りの度にオフ信号を出力することになるのでその都度スタック領域にデータのセーブが行われ、例えばチヤタリングが1回のときには第3図(ロ)のようにデータが格納される。

③ 電源がオンに復旧すれば、電源オン・オフ検知部4がこれを検出してマイクロプロセッサ・ユニット5にこの電源オン検出を報告するオン信号を出力する。これにより、第6図に示すように、マイクロプロセッサ・ユニット5はRAM8からスタックポインタ（ＳＰ）をロードしてこれを読出し、第3図(ロ)に示す如く、このスタック・ポインタの指示しているスタック領域の次のアドレス②をロードする。そしてこの次のアドレス①にロードされているプログラムカウンタＰＣがアドレス復帰禁止領域を指示しているか、つまり電源断プログラム領域を指示しているかどうか識別する。

Qualcomm Ex. 1002 - 357/414

もしこれが電源断プログラム領域であれば、スタックポインタを1つレベルアップして、その前にスタックされたプログラムカウンタPCをロードして同様の識別を行う。その結果このプログラムカウンタの値がアドレス復帰禁止領域でなければ、それは通常の処理プログラム領域を指示しているものであり、その指示にもとづきプログラムを復帰すれば電源オフの前の状態を継続して処理することができる。

④ 電源オフがチャタリングをともなわないときには、第3図(イ)の如く、スタック領域に各データがセーブされているので、電源オンになつたとき、そのスタックポインタSPの指示しているプログラムカウンタ値をよみ出せば、それにもとづきプログラムが継続して実行できることになる。

⑤ なお前記説明では、バッテリーサポート要求があるためにRAM8がバッテリーサポートされている例について説明したが、端末装置の種類によつてはバッテリーサポート要求のないものもあるが、この場合には、第6図に示す如く電源オンのときにIPLを行う必要がある。

(6) 発明の効果

本発明によればスタック領域に電源オフ状態の度に、必要なデータを別途格納することができるので、チャタリングの発生時の場合でもはじめに格納した通常の処理プログラムの次アドレスを保持することができるので、電源復旧のときに正しく動作を継続することができる。したがつて省エネルギーのためにオペレータが短時間スイッチで電源をオフにしても、正しく再スタートすることができるので、POS端末装置に好適な電源断復帰方式を提供できる。

4. 図面の簡単な説明

第1図はチャタリングの説明図、第2図は従来の問題点説明図、第3図は本発明の動作説明図、第4図は本発明の一実施例構成図、第5図、第6図は本発明の動作を説明するフローチャートである。

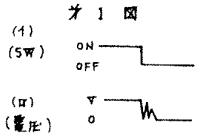
図中、1は電源、2は端末装置本体、3はバッテリー、4は電源オン・オフ検知部、5はマイクロプロセッサ・ユニット、6は端末制御部、7はROM、8はRAM、9はバッテリー制御部である。

特許出願人
富士通株式会社

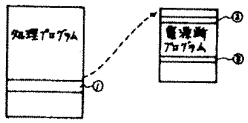
代理人 弁理士
山谷晧榮

Qualcomm Ex. 1002 - 358/414

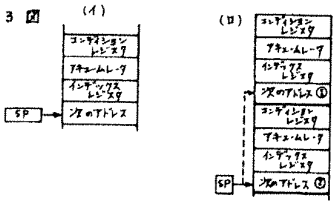
第1図



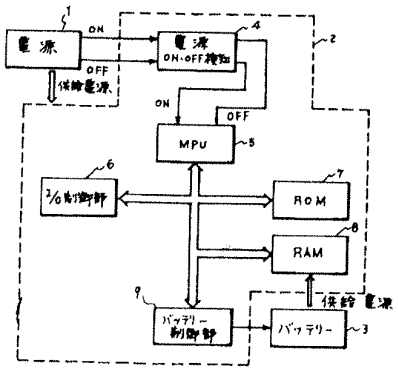
第2図



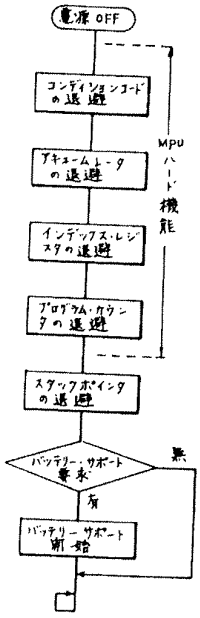
第3図



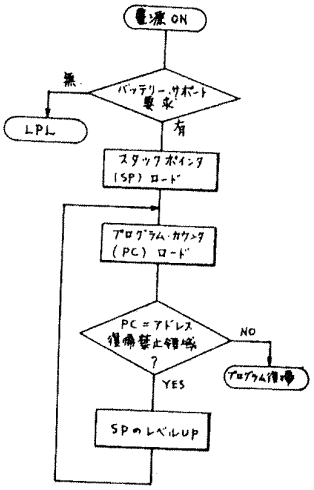
第4図



第5図



第6図



Qualcomm Ex. 1002 - 359/414

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-182123
(43)Date of publication of application : 14.08.1986

(51)Int.Cl. G06F 1/00
G06F 1/00

(21)Application number : 60-021105
(22)Date of filing : 06.02.1985

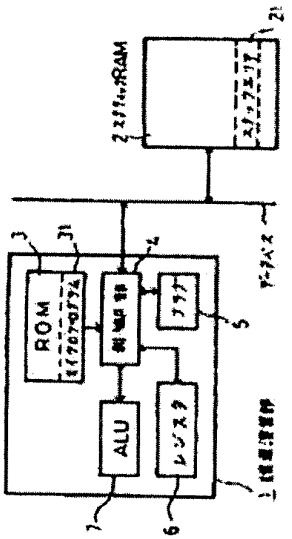
(71)Applicant : NEC CORP
(72)Inventor : NEGI KATSUHIKO

(54) SEMICONDUCTOR LOGICAL CIRCUIT CONTAINING STAND-BY FUNCTION

(57)Abstract:

PURPOSE: To reduce the area of a logical arithmetic part by transferring only the desired information for the arithmetic part to a static RAM of a memory part in a stand-by mode and returning said information when the stand-by mode is over.

CONSTITUTION: A means to save the desired information when a stand-by request is produced and a means to return said information when a stand-by mode is over are written into a ROM3 in the form of the order control information as well as a microprogram 31. While a static RAM2 of a memory part includes a static area 21 where said desired information is stored. When a stand-by request is delivered, a control part 4 of a logical arithmetic part 1 is driven by the program 31 to save the information on a flag 5, a register 6, an ALU, etc. to the area 21 via a data bus. These information are returned when the stand-by mode is over.



⑲日本国特許庁(JP)　⑪特許出願公開

⑫公開特許公報(A)　昭61－182123

⑤1Int.Cl.⁴	識別記号	庁内整理番号	⑬公開　昭和61年(1986)8月14日
G 06 F 1/00	102	E－7157－5B	
	103	B－7157－5B	

審査請求　未請求　発明の数 1　(全3頁)

⑤4発明の名称　スタンバイ機能を有する半導体論理回路

⑳特　願　昭60－21105

㉒出　願　昭60(1985)2月6日

㉗発明者　根木　勝彦　東京都港区芝5丁目33番1号　日本電気株式会社内

㉑出願人　日本電気株式会社　東京都港区芝5丁目33番1号

㉔代理人　弁理士　内原　晋

明　細　書

1. 発明の名称

スタンバイ機能を有する半導体論理回路

2. 特許請求の範囲

論理演算部と記憶部とからなる半導体論理回路において、スタンバイ要求発生時に、スタンバイ終了時に元の状態に復帰するに必要な情報を退避させる制御手段と，前記情報を保持しておく手段と，スタンバイ終了時に、前記の保持されている情報を復帰させる制御手段とを有することを特徴とするスタンバイ機能を有する半導体論理回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体論理回路、特に消費電力の削減を目的とするスタンバイ機能を有する半導体論理回路に関する。

〔従来の技術〕

従来、論理大規模集積回路、特にCMOS論理回路では、機能動作時以外は消費電力を極力削減する目的で、スタンバイ・モードと呼ばれる機能を有している。

高密度の論理大規模集積回路を実現させるためには、ダイナミック方式が有効であるが、前記スタンバイモードの場合にはクロック停止時に各ハードウエアの状態を保持するためにはスタティック回路構成が必要になる。

また、処理として、回路全体の状態をスタンバイ時に保存する必要がなく、元の状態に復帰するに必要なだけの情報のみ保存すればよい場合が多い。

〔発明が解決しようとする問題点〕

本発明の目的は、上記の事情に鑑み、特別にスタティック回路構成にせず、また回路全体の状態でなく、復帰するに必要な情報のみを保存するようなスタンバイ機能を有する半導体論理回路を提供することにある。

〔問題点を解決するための手段〕

本発明の半導体論理回路は、スタンバイ要求発生時に、スタンバイ終了時に元の状態に復帰

Qualcomm Ex. 1002 - 361/414

するに必要な情報を退避させる制御手段と，前記情報を保持しておく手段と，スタンバイ終了時に、前記の保持されている情報を復帰させる制御手段とを有している。

〔作　　用〕

後述の実施例で説明するが、スタンバイ時には，論理演算部の必要な情報のみを記憶部のスタテイツクＲＡＭ に転送しておき、スタンバイ終了時に前記情報を復帰させることで、簡単に元の状態に復帰できる。半導体論理回路自体をスタテイツク回路構成にする必要はない。

〔実　施　例〕

以下、図面を参照して本発明の実施例を説明する。

第１図は一実施例のブロック図で、１が論理演算部で、２がデータバスを介して連結するスタテイツクＲＡＭである。論理演算部１はROM3, 制御部４，フラグ５，レジスタ６，ＡＬＵ７ よりなる。本発明の制御手段、すなわちスタンバイ要求発生時に必要情報を退避させる手段とスタンバイ終了時に前記情報を復帰させる手段とは、順序制御情報としてＲＯＭ３内にマイクロプログラム31として書きこんでおく。また記憶部のスタテイツクＲＡＭ２内には前記必要情報を保存するスタックエリア21を設けている。

本発明において、スタンバイ要求があると、論理演算部１の制御部１はマイクロプログラム31により駆動され、フラグ５，レジスタ６，ALU 7 などの情報をデータバスを介してスタックエリア21に退避し、スタンバイ終了時にはもとに復帰させる。本実施例のスタンバイ要求に対する動作は、従来のマイクロプログラムで制御される割込み処理機能と全く同様に行なわれる。本実施例では順序制御情報を書きこむマイクロプログラム31をユーザーに開放し、制御手順を自由に記述可能にすることもできる。これによつて、ユーザーのシステムごとに効率の良いプログラムを組むことが可能になる。

次に別の実施例を第２図に示す。この実施例では、ＲＯＭ３に順序制御情報を命令群32として書きこんでおく。制御部４はスタンバイ要求があると、ＲＯＭ３から命令群32を読みだし、命令をデコードし、必要とするフラグ５，レジスタ６，ＡＬＵ７などの情報をスタックエリア21に退避させる。復帰も前実施例と同じである。命令群32の記述は、半導体装置の設計者、ユーザーのどちらでもなしうるようにすれば、自由な手順でスタンバイモードをきめることができる。

また、論理演算部１にマイクロプログラムで直接に制御されていないハードウエアがあつても、簡単な回路を追加することでそのハードウエアについても本発明のスタンバイ機能を実現できる。

〔発明の効果〕

以上、詳しく説明したように、本発明の半導体論理回路は、論理演算部として、クロック停止時に各ハードウエアの状態を保持するために特にスタテイツク回路構成にする必要がない。したがつて、高集積度のダイナミック方式の構成とすることで、論理演算部を面積最小の集積回路として実現することができ、しかもスタンバイ機能をもつことができる。また、設計者・ユーザーが自由にスタンバイの手順をきめることも可能であるから、システムごとに最適のスタンバイ機能をもたせることができる。

4. 図面の簡単な説明

図面は本発明の実施例を示すブロック図で、第１図は制御手段をマイクロプログラムとして、第２図は命令群としてそれぞれＲＯＭは格納しておく場合を示す。

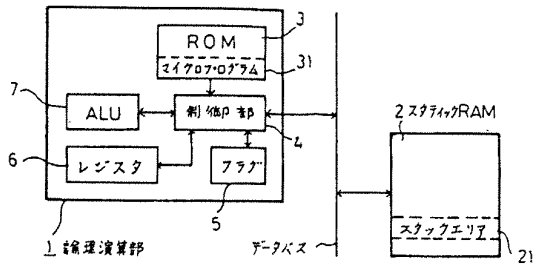
１…論理演算部、　２…スタテイツクＲＡＭ、
３…ＲＯＭ、　４…制御部、
５…フラグ、　６…レジスタ、
７…ＡＬＵ、　21…スタックエリア、
31…マイクロプログラム、　32…命令群。

特許出願人　　日本電気株式会社

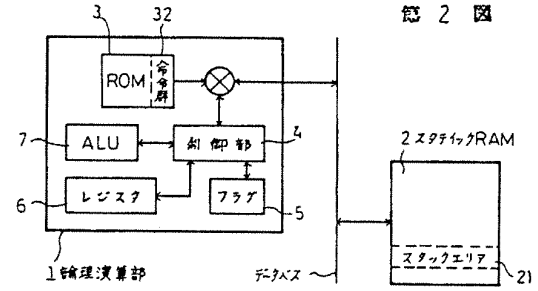
代理人　弁理士　内　原　　晋

Qualcomm Ex. 1002 - 362/414

第 1 図



第 2 図



Qualcomm Ex. 1002 - 363/414

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-124150
(43)Date of publication of application : 06.05.1994

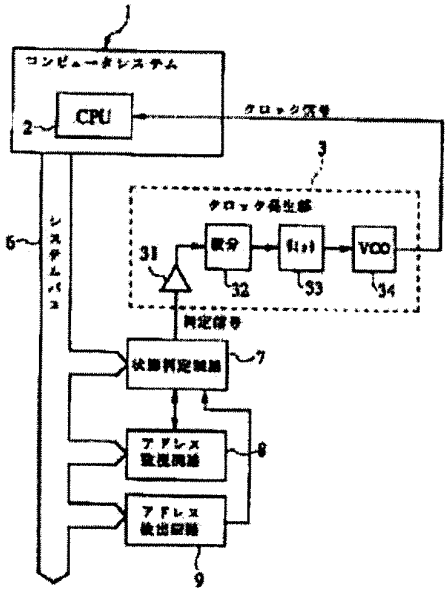
(51)Int.Cl. G06F 1/32
G06F 1/04
G06F 15/02
G06F 15/78

(21)Application number : 04-272073
(22)Date of filing : 09.10.1992

(71)Applicant : DIA SEMIKON SYST KK
(72)Inventor : IKEDA OSAMU

(54) DRIVING CONTROLLER FOR MICROPROCESSOR

(57)Abstract:
PURPOSE: To reduce an unnecessary power consumption without apparently decreasing the processing capacity and processing speed of a microprocessor at all, and to apply a power saving control to a microprocessor in which a clock frequency can not be switched like a step during an operation.
CONSTITUTION: A state discriminating circuit 7 discriminates whether a microprocessor 2 is in an idle state or a non-idle state by monitoring the program executing state of the microprocessor 2. In a clock generating part 3, each time the discriminated signal is inverted, the clock frequency is gradually changed at a small change rate less than a normal value between a prescribed high frequency and a prescribed low frequency, and the microprocessor can be moved between a high speed mode and a low speed mode without generating any malfunction.



(19)日本国特許庁（ＪＰ）　(12) **公開特許公報**（Ａ）　(11)特許出願公開番号

特開平6－124150

(43)公開日　平成６年(1994)５月６日

(51)Int.Cl.[5]	識別記号	庁内整理番号	Ｆ Ｉ	技術表示箇所
Ｇ０６Ｆ　1/32				
1/04	３０１　Ｃ	7165－5B		
15/02	３０５　Ｊ	7343－5L		
15/78	５１０　Ｐ	7323－5L		
		7165－5B	Ｇ０６Ｆ　1/00　３３２　Ｂ	

審査請求　未請求　請求項の数１(全　８　頁)

(21)出願番号　特願平4－272073

(22)出願日　平成４年(1992)10月９日

(71)出願人　591014178
ダイヤセミコンシステムズ株式会社
東京都世田谷区新町１丁目23番９号

(72)発明者　池田　治
東京都世田谷区新町１－23－９　ダイヤセミコンシステムズ株式会社内

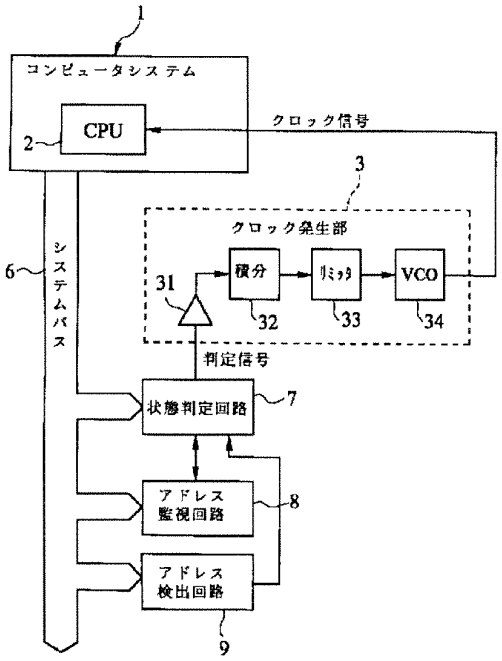
(74)代理人　弁理士　一色　健輔　(外２名)

(54)【発明の名称】　マイクロプロセッサの駆動制御装置

(57)【要約】

【目的】　マイクロプロセッサの処理能力、処理速度を見掛け上全く低下させずに、不必要な消費電力を低減させる。動作中にクロック周波数をステップ的に切換えることができないマイクロプロセッサに節電制御を適用する。

【構成】　マイクロプロセッサ２によるプログラム実行状態を監視して当該プロセッサ２がアイドル状態か非アイドル状態かを状態判定回路７で判定する。その判定信号が反転するごとに、クロック発生部３において、クロック周波数を所定の高い周波数と所定の低い周波数の間を規定値以下の小さな変化率で徐々に変化させ、高速モードと低速モードとの間を誤動作を生じないように移行させる。



Qualcomm Ex. 1002 - 365/414

1

【特許請求の範囲】

【請求項１】　マイクロプロセッサによるプログラム実行状態を監視して当該マイクロプロセッサがアイドル状態になっているか否かを判定する状態監視手段と、この状態監視手段が非アイドル状態からアイドル状態になったと判定したときに、前記マイクロプロセッサに供給しているクロック信号の周波数を規定値以下の変化率で漸次減少させて所定の低い周波数に変更するクロック周波数漸減手段と、前記状態監視手段がアイドル状態から非アイドル状態になったと判定したときに、前記マイクロプロセッサに供給しているクロック信号の周波数を規定値以下の変化率で漸次増加させて所定の高い周波数に変更するクロック周波数漸増手段とを備えたことを特徴とするマイクロプロセッサの駆動制御装置。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】この発明は、例えばバッテリで動作する携帯型のパーソナルコンピュータのようなマイクロプロセッサ利用機器に関し、特に、マイクロプロセッサの実質的な能力を低下させることなく消費電力を削減するマイクロプロセッサの駆動制御装置に関する。

【０００２】

【従来の技術】例えば特開平２－１７８８１８号公報に見られるように、コンピュータシステムの各部の動作状態に応じて、実質的な仕事を行っていない休止状態になっている部分への給電を停止することで、システム全体の消費電力を減らすという技術があり、様々な形態で具体的に実施されている。特にバッテリー駆動の可搬型パーソナルコンピュータについては、小型・軽量のバッテリーでできるだけ長時間動作できるようにするために、この種の節電技術が盛んに研究されている。

【０００３】従来のある種のパーソナルコンピュータではレスト・モードとスリープ・モードと呼ぶ２種類のスタンバイ機能を備えている。レスト・モードは、一定時間ＣＰＵが動作しないと、自動的に動作周波数を１６ＭＨｚから１ＭＨｚに下げる機能である。さらに一定時間が経過すると自動的にスリープ・モードに入る。スリープ・モードでは電源供給が停止する。どちらのモードで動作していても、任意のキーを押すことで通常のモードに復帰する。スタンバイ・モードに入る時間はユーザが任意に設定することができる。

【０００４】ここで「一定時間ＣＰＵが動作しない」ことが節電状態（前記のスタンバイ・モード）に移行する条件となっている。具体的には、キーボードからの入力や通信コントローラからの入力など、ＣＰＵの仕事を起動する外部要因が一定時間以上発生しなかった時に、節電状態に移行するようになっている。

【０００５】

【発明が解決しようとする課題】一般的なパーソナルコンピュータで日本語ワードプロセッサや表計算などのア

2

プリケーションソフトを実行している場合、最近の高性能なマイクロプロセッサ（ＣＰＵ）の処理速度はオペレータによるキーボード入力速度に比べてはるかに高速であり、ＣＰＵが次の仕事の起動要因を待つ状態、すなわちアイドル状態が頻繁に生じているのが普通である。そのようなＣＰＵのアイドル状態をとらえて前記のような節電状態（ＣＰＵの消費電力および処理速度がともに小さい状態）に移行することができれば、おおいに効果がある。この種の節電制御技術をさらに進歩させ、マイクロプロセッサの実質上の処理能力、処理速度を低下させることなく、実動作上での不必要な電力消費を削減できるようにすることが強く望まれている。

【０００６】また、処理能力および処理速度の大きなマイクロプロセッサほど消費電力が大きく、したがって発熱も大きいので、マイクロプロセッサの不必要な消費電力を削減することは、バッテリでの使用時間を長くする面からだけではなく、マイクロプロセッサ利用機器の熱設計の面でも有利になり、いわゆるノート型パーソナルコンピュータや電子手帳などの小型軽量化が容易になる。

【０００７】この種の節電を目的としたマイクロプロセッサの駆動制御装置を設計するにあたって重要なポイントとなるのは、アイドル状態をもれなく的確に検出するためのアルゴリズムと、節電制御によって絶対に誤動作を起こさないという信頼性である。従来の装置では、なんらかの方式によりアイドル状態を検出したときに、クロック周波数を例えば１６ＭＨｚから１ＭＨｚに切換えている。ある種のマイクロプロセッサではこのように動作中にクロック周波数を切換えても誤動作せず、動作の連続性が保証されるが、別のある種のマイクロプロセッサでは動作中にクロック周波数を切換えることができない。

【０００８】例えば米国インテル社製のマイクロプロセッサ８０４８６ＤＸ，ＤＸ２，ＳＸでは、動作中のクロック信号の周期安定度として０．１パーセント以下の値が要求され、クロック周期がこの規定値を超えて変動すると正常な動作は保証されない。したがって、この種のマイクロプロセッサについてはアイドル状態と非アイドル状態とでクロック周波数を２段階に切換えるという節電制御を適用することができなかった。

【０００９】この発明は以上のような技術的課題に鑑みなされたもので、その目的は、動作中にクロック周波数を２段階に切換えることができないマイクロプロセッサについても、プログラム実行状態に応じて不必要な消費電力を削減するという節電制御を適用することができるようにすることにある。

【００１０】

【課題を解決するための手段】この発明のマイクロプロセッサの駆動制御装置は、マイクロプロセッサによるプログラム実行状態を監視して当該マイクロプロセッサが

Qualcomm Ex. 1002 - 366/414

アイドル状態になっているか否かを判定する状態監視手段と、この状態監視手段が非アイドル状態からアイドル状態になったと判定したときに、前記マイクロプロセッサに供給しているクロック信号の周波数を規定値以下の変化率で漸次減少させて所定の低い周波数に変更するクロック周波数漸減手段と、前記状態監視手段がアイドル状態から非アイドル状態になったと判定したときに、前記マイクロプロセッサに供給しているクロック信号の周波数を規定値以下の変化率で漸次増加させて所定の高い周波数に変更するクロック周波数漸増手段とを備えたものである。

【００１１】

【作用】例えば０．１％以下のクロック周波数の安定度が要求されるマイクロプロセッサであっても、クロック周波数を０．１％づつ漸次変化させれば誤動作するおそれはない。所定の高い周波数を５０ＭＨｚ、所定の低い周波数を１６ＭＨｚとし、規定の変化率を０．１％とすれば、約１１４０クロック分の時間で５０ＭＨｚから１６ＭＨｚまで変化させることができる。

【００１２】

【実施例】図１はこの発明の一実施例によるマイクロプロセッサの駆動制御装置の概略構成を示している。この実施例では、米国インテル社製のマイクロプロセッサ８０４８６ＳＸをＣＰＵ２として用いたノート型パーソナルコンピュータシステム１を想定している。

【００１３】ＣＰＵ２のクロック信号はクロック発生部３から供給される。クロック発生部２は状態判定回路７からの判定信号に従って以下に詳述するようにクロック周波数を５０ＭＨｚから１６ＭＨｚの範囲で変化させる。コンピュータシステム１のシステムバス６には状態判定回路７とアドレス監視回路８とアドレス検出回路９が接続され、これらによってＣＰＵ２のプログラム実行状態が監視され、ＣＰＵ２がアイドル状態になっているか否かを示す判定信号をクロック発生部３に向けて出力する。

【００１４】アドレス監視回路８は状態判定回路７からの制御信号によってアドレス記憶モードとアドレス比較モードのいずれかで動作する。アドレス記憶モードでは、最初に記憶内容をクリアし、その後ＣＰＵ２がアクセスしたアドレスを適宜なアドレス分解能で記憶する（ＣＰＵ２があるアドレスをアクセスすると、回路８における該当の記憶セルに“１”がセットされる）。このアドレス記憶モードで記憶したアドレス群のことを以下では学習アドレスと称する。また、アドレス監視回路８がアドレス比較モードで動作すると、ＣＰＵ２がアクセスするアドレスと前述の学習アドレスとが順次比較され、学習アドレス以外のアドレスが新たにアクセスされたとき、アドレス監視回路８から不一致信号が状態判定回路７に向けて出力される。

【００１５】また、この実施例のシステム１はオペレーティングシステムとしてＭＳ－ＤＯＳを備えたものとする。８０４８６ＳＸのローパワーで動作するＭＳ－ＤＯＳアプリケーションプログラムは、特定のアドレスに割り当てられている割り込みベクターテーブルを利用して処理を行う。この割り込みベクターテーブル中には、キーボード入力に応答して入力データを取り込むためのソフトウェア割り込み機能や、キーボード入力の有無をチェックするためのソフトウェア割り込み機能などが設定されている。図１のアドレス検出回路９は、前記割り込みベクターテーブル中の前記の２つのソフトウェア割り込みベクターがアクセスされたことを個別に検出する回路であり、その検出信号は以下のように状態判定回路７よって制御に利用される。

【００１６】状態判定回路７によるＣＰＵ２のプログラム実行状態の監視と節電制御の処理手順を図３のフローチャートに示している。

【００１７】図３に示すように、最初のステップ１００では初期設定として判定信号を非アイドル状態を示すＨレベルにセットする（なお後述するように、非アイドルの定常状態ではクロック発生部３から５０ＭＨｚのクロック信号が出力され、ＣＰＵ２は高速モードで動作する）。そしてステップ１０１では学習時間Ｔｘを下限値１００μｓｅｃに設定する。次のステップ１０２ではアドレス監視回路８をクリアした後、学習時間Ｔｘだけアドレス記憶モードで動作させる。これにより時間Ｔｘ内にＣＰＵがアクセスしたアドレスブロックがアドレス監視回路８に記憶される（これが学習アドレスである）。

【００１８】次のステップ１０３では、学習時間Ｔｘに応じて設定される監視時間Ｔｙ（Ｔｘより適宜に大きい値）のタイマをスタートし、アドレス監視回路８をアドレス比較モードで動作させる。そして前記Ｔｙタイマにより、時間Ｔｙ内にＣＰＵが前記学習アドレス以外をアクセスするか否かを監視する（ステップ１０３、１０４）。時間Ｔｙ内に学習アドレス以外がアドレスされると、その時点でステップ１０４→１０５と進み、学習時間Ｔｘに１００μｓｅｃを加えた値を新たな学習時間Ｔｘとし、ステップ１０６で学習時間Ｔｘが上限値１０ｍｓｅｃを超えているか否かをチェックする。Ｔｘが１０ｍｓｅｃ以内であればステップ１０２に戻って学習処理を実行し、Ｔｘが１００ｍｓｅｃを超えていればステップ１０１に戻ってＴｘを下限値１００μｓｅｃにしてからステップ１０２に進む。

【００１９】以上のステップ１００～１０６では、学習時間Ｔｘと監視時間Ｔｙを下限値から上限値に向けて漸増させながら、ステップ１０２の学習処理と、ステップ１０３、１０４、１０５の監視処理を繰り返し、「時間Ｔｙ内に学習アドレス以外がアクセスされない」という反復アクセス状態を検出していることになる。

【００２０】「時間Ｔｙ内に学習アドレス以外がアクセスされない」という反復アクセス状態が検出されると、

Qualcomm Ex. 1002 - 367/414

ステップ１０４から１０７に進み、ＣＰＵ２のプログラム実行状態が以下の除外条件に当てはまるかどうかを判定し、当てはまらなければステップ１０８に進み、判定信号をアイドル状態を示すＬレベルに反転させる。その後ステップ１０９で、ＣＰＵ２が前記の反復アクセス状態から脱出したか否かを監視し続け、反復アクセス状態から脱出した場合に最初のステップ１００に戻り、判定信号をＨレベル（非アイドル状態を示す）に反転させ、以上述べた処理を再び行う。なお後述するように、アイドルの定常状態ではクロック発生部３から１６ＭＨｚのクロック信号が出力され、ＣＰＵ２は低速モードで動作する。

【００２１】ところでステップ１０７での除外条件とは、❶キーボード入力取り込みのためのソフトウェア割り込みベクターのアドレスが直前の一定時間内にアクセスされた場合、❷キーボード入力をチェックするためのソフトウェア割り込みベクターのアドレスが過去一定時間以上アクセスされていない場合、❸ビデオメモリ空間として割り当てられているアドレスがアクセスされている場合である。

【００２２】またステップ１０９では、具体的に次のようにして反復アクセス状態の脱出を検出する。アドレス監視回路８を比較モードで動作させ、ステップ１０２の実行によって記憶された学習アドレス以外がアクセスされるか否かを監視し続ける。学習アドレス以外がアクセスされれば反復アクセス状態から脱出したと判定する。また学習アドレス以外がアクセスされなくても、キーボード入力の読み込みのためのソフトウェア割り込みベクターのアドレスがアクセスされた場合も、ただちに反復アクセス状態から脱出したと判定する。

【００２３】このようにして、ＣＰＵ２が約２０ｍｓｅｃ以下の時間範囲内であるアドレス群のみを反復してアクセスしている状態を検出し、そのような反復アクセス状態を検出している期間中は（前述の除外条件成立の場合は除く）ＣＰＵ２を低速モードで動作させる。

【００２４】以上がこの実施例における状態監視手段の構成と動作であるが、以下ではこれの効果について詳述する。

【００２５】前述した従来の技術では「ＣＰＵの仕事を起動する要因が一定時間以上発生しない」ことをもってＣＰＵがアイドル状態にあると判定して節電モード（低速モード）に移行するようになっている。この従来技術を一般的なパーソナルコンピュータに適用する場合は、前記の「一定時間」を数十秒以上に設定する必要があり、充分な節電効果が得られないという問題がある。例えばワードプロセッサのソフトウェアを使用している状態を想定する。オペレータが文章を考えながらキー入力する場合、キー入力速度よりもＣＰＵの処理速度の方が圧倒的に速い場合が多く、あるキー入力から次のキー入力までの間に数十ミリ秒から数秒程度の実質休止状態を

生じる機会が非常に多い。だからといって前述の従来の節電制御方法における「一定時間」を例えば１秒～数秒程度に設定したのでは、少し時間のかかる文書の移動や辞書ファイルの整理などの仕事を行っている最中に節電状態に移行してしまう。そこで充分な安全度を見込んで「一定時間」を充分に長くして数十秒～数分間に設定する必要がある。そうすると頻繁に発生している短時間の実質休止状態に対しては節電機能が働かず、充分な節電効果は得られない。

【００２６】以上のような従来技術と比較した場合、本実施例の状態監視手段は次のような作用効果を有する。

【００２７】ＣＰＵがループ性のプログラムを反復して実行している場合、そのループを構成する命令群の格納されているアドレスは、ほとんどの命令において固有のものである。従ってループ性プログラムを実行している状態では、ＣＰＵはある限られたアドレス群のみを反復してアクセスすることになる。その反復周期をＴとすると、前記反復アクセス検出手段において少なくとも（２×Ｔ＋α）時間だけＣＰＵのアクセスアドレスの遷移状況を監視することで、前記の反復アクセス状態を検出することができる。

【００２８】システムがキーボードからの入力を待っているようなアイドル状態では、ＣＰＵは非常に短い周期の反復アクセス状態になっている。そこで適宜に設定した時間範囲内で反復アクセス状態が検出されたとき、ＣＰＵの動作モードを高速モードから低速モードに切換える。また何らかの有効な仕事が起動されると、ＣＰＵは前記の反復アクセス状態から抜け出して非アイドル状態となるが、そのとき動作モードを高速モードに戻す。こうすることでシステムのオペレーションに全く支障を与えずに、ごく短時間の節電期間を頻繁に作り出すことができるのである。

【００２９】次に、前記クロック周波数漸減手段と漸増手段を含んだクロック発生部３の構成と動作を図２の波形図を参照しながら詳細に説明する。

【００３０】図１の実施例のクロック発生部３は、状態判定回路７から出力される判定信号を緩衝し適宜に増幅するバッファ３１と、バッファ３１を経た判定信号を積分する積分器３２と、その積分出力を所定の上限値と下限値の範囲に制限するリミッタ３３と、このリミッタ３３の出力を制御電圧とする電圧制御型可変周波数発振器（ＶＣＯ）３４とからなり、ＶＣＯ３４の発振出力がＣＰＵ２のクロック信号となる。

【００３１】図２に示すように、バッファ３１の出力がＬレベル（アイドル状態）からＨレベル（非アイドル状態）に変化すると、積分器３２の出力はその積分時定数に応じた特性で徐々に増加し、反対にＨレベルからＬレベルに変化すると、積分出力は徐々に低下する。リミッタ３３に設定された上限値はＶＣＯ３４の出力周波数を５０ＭＨｚにする制御電圧に等しく、また下限値はＶＣ

Qualcomm Ex. 1002 - 368/414

Ｏ３４の出力周波数を１６ＭＨｚにする制御電圧に等しい。積分器３２の出力はこの上限値と下限値の範囲を超えて変化するが、リミッタ３３の出力は判定信号がＬレベルからＨレベルに反転したのを受けて下限値から上限値まで漸次増加し、また判定信号がＨレベルからＬレベルに反転したのを受けて上限値から下限値まで漸次減少する。そして、その漸増・漸減の変化率は積分器３２の積分特性で決まるが、リミッタ３３の変化する出力電圧を受けて変化するＶＣＯ３４の周波数の変化率が０．１％（ＣＰＵ２に定められたクロック周波数の安定度）を超えないように、積分特性を設定している。

【００３２】したがって、判定信号がＨレベルからＬレベルに反転したときに、クロック周波数が５０ＭＨｚから１６ＭＨｚにステップ的に変化するのではなく、周波数変化率が０．１％を超えない範囲で徐々に変化し、ＣＰＵ２が高速モードから低速モードにある程度緩やかに移行し、誤動作は生じない。低速モードから高速モードに移行する際のクロック周波数の変化も同様に徐々になされ、誤動作は生じない。

【００３３】図４は前記クロック発生部の他の実施例を示している。この実施例では、５０ＭＨｚの基準発振器４１と１６ＭＨｚの基準発振器４１を設け、判定信号がＨレベルのときは切換回路４３を介して５０ＭＨｚの基準信号を周波数－電圧（ＦＶ）変換器４４に入力し、判定信号がＬレベルのときは１６ＭＨｚの基準信号をＦＶ変換器４４に入力する。また、ＣＰＵのクロック信号を発生するＶＣＯ４６の出力は前記ＦＶ変換器４４と同じ特性のＦＶ変換器４７に入力し、両ＦＶ変換器４４と４７の電圧出力を比較器４５で比較する。

【００３４】また、判定信号の変化点が立上り検出器４８および立下り検出器４９でそれぞれ検出される。ＶＣＯ４６の制御電圧を発生する回路５０に対し、立上り検出器４８の検出信号が制御電圧アップ指令となり、立下り検出器４９の検出信号が制御電圧ダウン指令となり、前記比較器４５の一致信号が制御電圧ホールド指令となる。

【００３５】判定信号がＬレベルになっているアイドル定常状態ではＶＣＯ４６は１６ＭＨｚで発振している。判定信号がＨレベルに反転すると、立上り検出信号が生じ、制御電圧発生回路５０は出力電圧を規定の変化率以下で徐々に増加させる。これによりＶＣＯ４６からのクロック周波数が規定の変化率以下で徐々に高くなる。このときのクロック周波数と発振器４１からの５０ＭＨｚの基準信号とがＦＶ変換器４４と４７および比較器４５を介して比較されており、比較器４５から一致信号が出力された時点で制御電圧発生回路５０の出力電圧がホールドされ、ＶＣＯ４６の発振周波数が５０ＭＨｚに安定化される。これでＣＰＵは高速モードで動作する。また判定信号がＬレベルになると、立下り検出信号が生じ、ＶＣＯ４６の制御電圧が徐々に低下しはじめ、クロック周波数が規定の変化率以下で低下する。このクロック周波数と発振器４２からの１６ＭＨｚの基準信号とが前述のように比較され、比較器４５から一致信号が出力された時点で制御電圧がホールドされ、クロック周波数は１６ＭＨｚに安定化される。

【００３６】以上クロック発生部の２つの構成例を説明したが、この発明はこれら実施例に限定されるものではなく、例えばＰＬＬ（位相ロックループ）回路を用いたフィードバック制御式の回路など、この発明のクロック周波数漸増・漸減手段をさまざまな回路で具体化することができる。なお、図１のようなオープンループ式のクロック発生部の場合は、温度上昇によりクロック周波数が適宜に低下するような温度特性の回路とする方が、実使用上の安定動作を保証することができる。

【００３７】

【発明の効果】以上詳細に説明したように、動作中のクロック周波数に例えば０．１％程度の高度な安定度を要求され、クロック周波数をステップ的に切換えることができないマイクロプロセッサであっても、この発明の駆動制御装置のように、クロック周波数を規定の変化率以下で徐々に変更することで、マイクロプロセッサの処理の連続性を保ちながら誤動作することなく高速モードと低速モードのモード移行を行うことができる。したがって、この種のマイクロプロセッサを用いたシステムでも、プログラム実行状態に応じて不必要な消費電力を削減するという節電制御を適用することができる。

【図面の簡単な説明】

【図１】この発明の一実施例によるマイクロプロセッサの駆動制御装置の概略構成図である。

【図２】同上実施例におけるクロック発生部の動作を示す波形図である。

【図３】図１における状態判定回路の処理手順を示すフローチャートである。

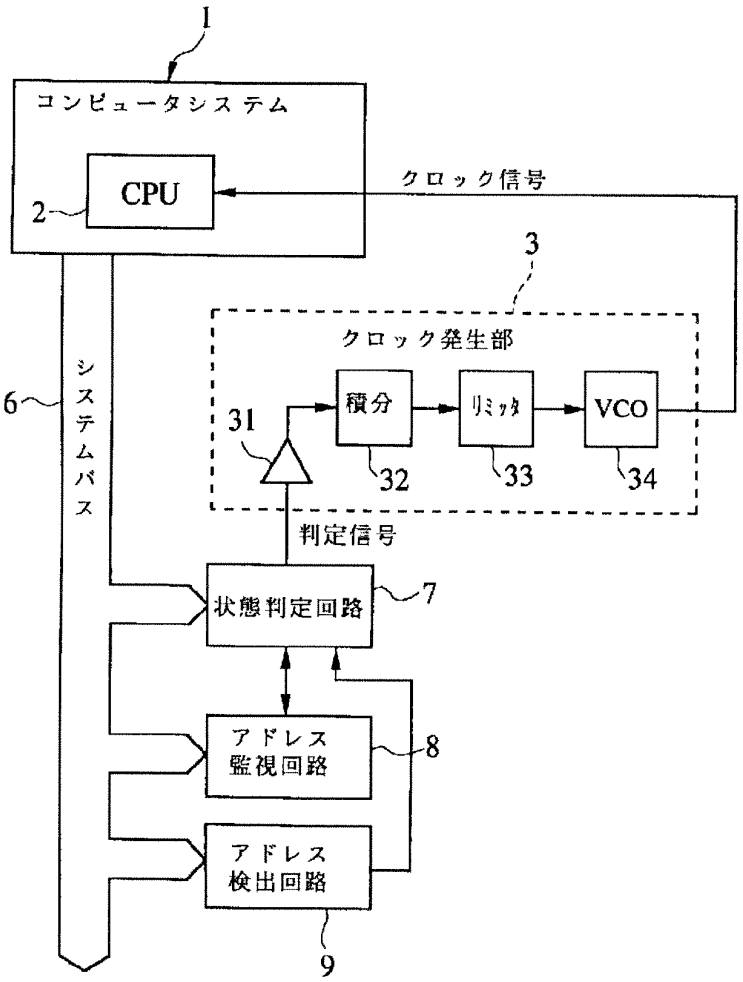
【図４】クロック発生部の他の実施例を示す概略構成図である。

【符号の説明】

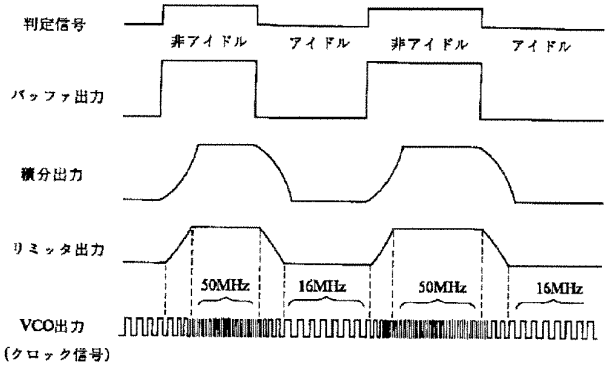
２　ＣＰＵ
３　クロック発生部
７　状態判定回路
８　アドレス監視回路
３１　バッファ
３２　積分回路
３３　リミッタ
３４　電圧制御型可変周波数発振器

Qualcomm Ex. 1002 - 369/414

【図１】

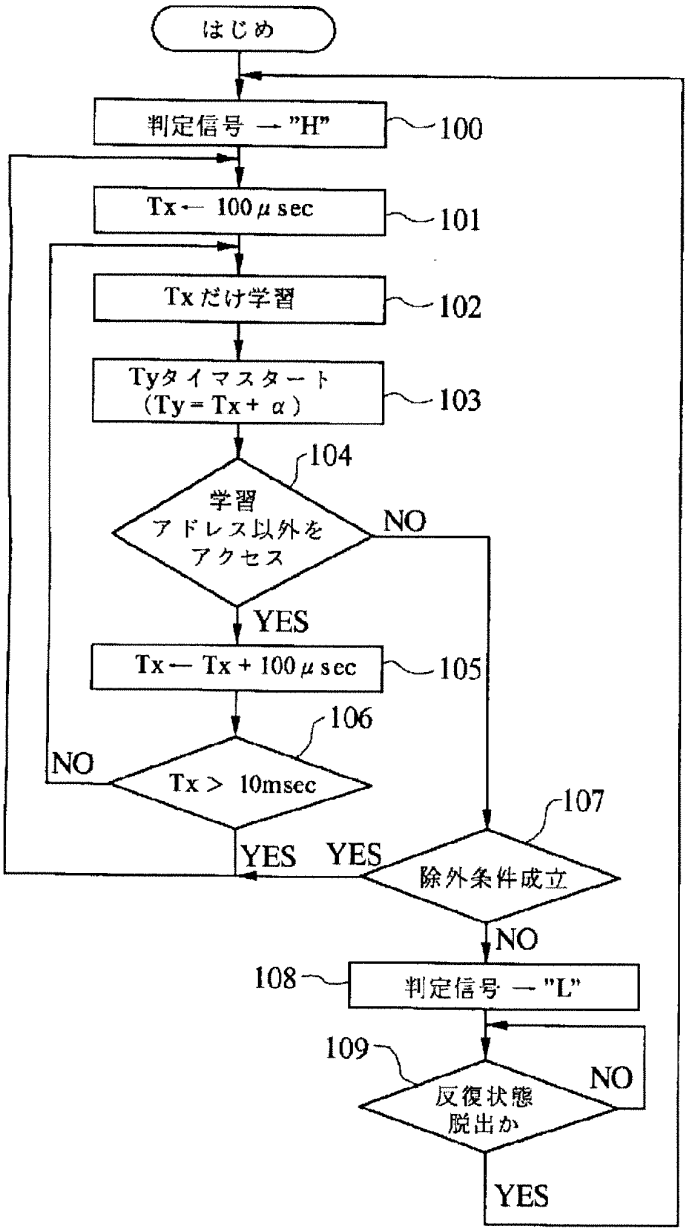


【図２】

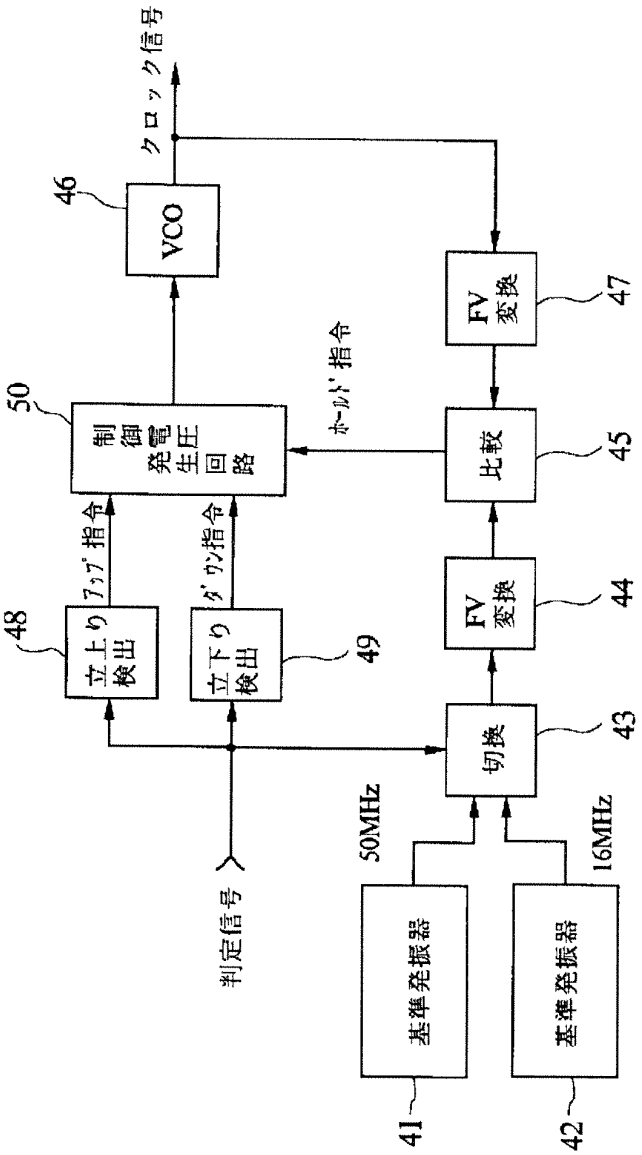


Qualcomm Ex. 1002 - 370/414

【図３】


はじめ
判定信号 ―"H"
100
Tx← 100μsec
101
Txだけ学習
102
Tyタイマスタート
(Ty=Tx+α)
103
104
学習
アドレス以外を
アクセス
NO
YES
Tx― Tx+100μsec
105
106
NO
Tx＞ 10msec
YES
107
YES
除外条件成立
NO
108
判定信号 ―"L"
109
反復状態
脱出か
NO
YES

【図4】



Qualcomm Ex. 1002 - 372/414

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-259376
(43)Date of publication of application : 24.09.1999

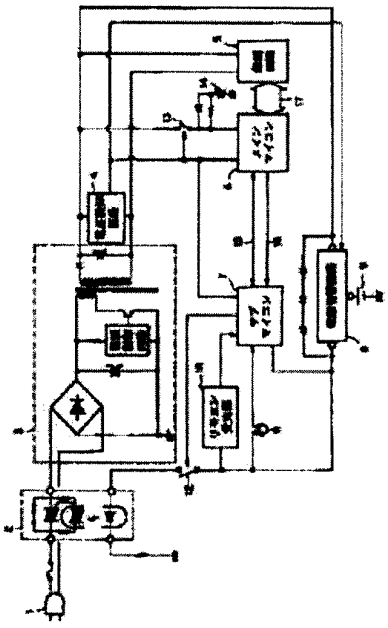
(51)Int.Cl. G06F 12/16
G06F 1/26
G06F 1/30

(21)Application number : 10-055474
(22)Date of filing : 06.03.1998

(71)Applicant : SHARP CORP
(72)Inventor : OGAWA TOSHIMASA

(54) BACKUP DEVICE

(57)Abstract:
PROBLEM TO BE SOLVED: To provide a backup device capable of reducing power consumption during the reservation standby of utilizing equipment.
SOLUTION: A voltage detecting circuit 4 detects a supplied voltage and when the detected voltage is lower than a certain fixed value, stored information in a main microcomputer 6 is transferred to a sub microcomputer 7 of a low power consumption. The sub microcomputer 7 holds this information under the backup of a battery 9 to control charging/discharging through the detecting signal of the voltage detecting circuit 4. When the detected voltage gets higher than a certain fixed value, the stored information in the sub microcomputer 7 is transferred to the main microcomputer 6. Based on held reservation information, the sub microcomputer 7 operates a semiconductor switch, supplies power to a device and enables reservation operation at the main microcomputer 6.



(19)日本国特許庁（ＪＰ）　(12) **公開特許公報**（Ａ）　(11)特許出願公開番号

特開平11－259376

(43)公開日　平成11年(1999)９月24日

(51)Int.Cl.[6]	識別記号	ＦＩ	
Ｇ０６Ｆ　12/16	３４０	Ｇ０６Ｆ　12/16	３４０Ｑ
1/26		1/00	３３５Ｃ
1/30			３４１Ｍ

審査請求　未請求　請求項の数５　ＯＬ　（全７頁）

(21)出願番号　特願平10－55474

(22)出願日　平成10年(1998)３月６日

(71)出願人　000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号

(72)発明者　小川　利正
大阪府大阪市阿倍野区長池町22番22号　シャープ株式会社内

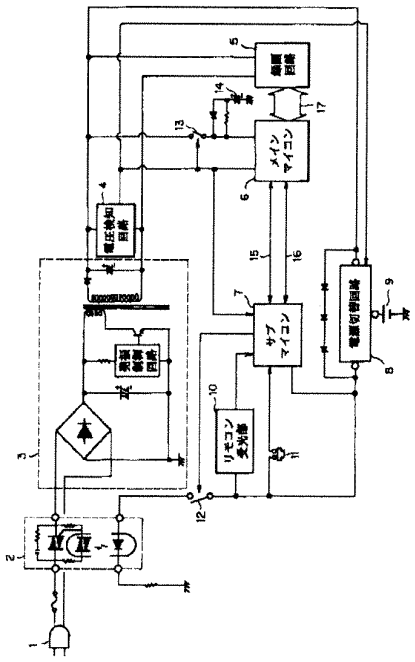
(74)代理人　弁理士　高野　明近

(54)【発明の名称】　バックアップ装置

(57)【要約】

【課題】　利用機器の予約待機時の消費電力を削減できるバックアップ装置を提供すること。

【解決手段】　電圧検知回路４が供給される電圧を検知し、検知された電圧がある一定値以下であれば、メインマイコン６に格納されている記憶情報を低消費電力のサブマイコン７に転送する。サブマイコン７は電圧検知回路４の検知信号により充放電が制御されるバッテリー９のバックアップのもと、この情報を保持する。検知された電圧がある一定値以上になると、サブマイコン７内の記憶情報をメインマイコン６に転送する。サブマイコン７は保持されている予約情報にもとづいて半導体スイッチを動作させ、電力を本装置に供給し、メインマイコン６での予約動作を可能とする。



Qualcomm Ex. 1002 - 374/414

1

【特許請求の範囲】

【請求項１】　利用機器を制御するマイコンに対し外部電源より供給される直流電圧がある一定値以下あるいはある一定値以上になった時に信号を出す電圧検知回路と、該電圧検知回路の検知信号により前記マイコンをバックアップするバックアップ手段を備えたバックアップ装置において、前記バックアップ手段は、前記マイコンに比べ消費電力の少ないバックアップ用マイコンと、バックアップ用バッテリーを有し、前記電圧検知回路が一定値以下の電圧を検知した時には、前記バックアップ用バッテリーの電力を用いて、前記マイコン内の記憶情報を前記バックアップ用マイコンへ転送し、前記電圧検知回路が一定値以上の電圧を検知した時には、前記外部電源より供給される電力を用いて、前記バックアップ用マイコン内の記憶情報を前記マイコンへ転送する手段をなすことを特徴とするバックアップ装置。

【請求項２】　請求項１に記載のバックアップ装置において、前記バックアップ用バッテリーは、前記外部電源より供給される直流電圧により充電され、その充放電が前記電圧検知回路の検知信号に基づいて切り替えられることを特徴とするバックアップ装置。

【請求項３】　請求項１及び２に記載のバックアップ装置において、前記マイコン用のバックアップコンデンサを別に備え、前記電圧検知回路が一定値以下の電圧を検知した時には、前記バックアップコンデンサの電力を前記マイコン内の記憶情報を前記バックアップ用マイコンへ転送する動作に用いることを特徴とするバックアップ装置。

【請求項４】　請求項１乃至３のいずれか１に記載のバックアップ装置において、前記外部電源から本バックアップ装置への電力の供給／遮断を行うスイッチを備え、前記バックアップ用マイコンにより前記スイッチを制御することを特徴とするバックアップ装置。

【請求項５】　請求項４に記載のバックアップ装置において、前記スイッチは半導体スイッチであり、前記外部電源に対する一次側に前記半導体スイッチを設け、前記外部電源に対する二次側に前記電圧検知回路を設けたことを特徴とするバックアップ装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、停電あるいは給電のオフに対する利用機器を制御するマイコンのバックアップ装置に関し、より詳細には、利用機器、例えば、録画予約機能を装備している機器において、停電や半導体スイッチによって一次側の電力の供給が停止した時に、消費電力の大きいメインマイコンに格納された録画予約情報、及び機器の設定情報等の記憶情報を瞬時にバッテリー駆動可能な低消費電力で刻時機能を備えたサブマイコンに転送することによって、停電時の録画予約情報や機器の設定情報の消失を防止し、尚且つサブマイコンの

2

制御によって転送された予約記憶情報に基づいて、予約時間に電力の供給を再開させ予約記憶情報を再びメインマイコンへ転送した後、通常の作業を行わせようとしたバックアップ装置に関するものである。

【０００２】

【従来の技術】従来の技術を録画予約装置を例に図２で説明する。図中、１はＡＣコンセント、３は電源回路であり、電源二次側出力に停電時に信号を送信する停電検知回路４′が設置されており、６′は録画回路５の制御を行うメインマイコン、そのメインマイコン６′の電源ラインに設置された遮断スイッチ１３とバックアップコンデンサ１４で構成された機器において、停電又は何らかの理由でＡＣコンセント１が抜かれた時、停電検知回路４′がそれを検知して、メインマイコン６′と遮断スイッチ１３に信号を送信する。信号によりメインマイコン６′は制御を抑制して消費電力を抑え、遮断スイッチ１３は電源ラインを開放してバックアップコンデンサ１４からの電力供給に切り替える。これによりメインマイコン６′は短時間ではあるが、バックアップコンデンサ１４からの電力供給により録画予約情報、内蔵時計、機器の設定情報を保持出来る。バックアップ時間内に電源が復帰すれば前述の記憶情報が保持されたまま通常動作に移行する。録画予約中に停電が生じてもバックアップ時間内に電源が復帰すれば、電源復帰後に予約の実行が可能である。

【０００３】

【発明が解決しようとする課題】しかしながら従来技術では、短時間でのバックアップの為、長時間の停電状態になると全ての記憶情報が消去されてしまう危険がある。又、制御を抑制しているとはいえ、メインマイコンでの消費電力もバックアップ時間を短くする要因となっている。本発明は、上述のごとき実情に鑑みてなされたもので、停電状態移行時にメインマイコンよりも格段に消費電力の少ないバックアップ用マイコン（サブマイコン）に記憶情報を転送し、充電可能なバッテリーにてサブマイコンをバックアップすることにより長時間のバックアップを可能にし、待機電力を充電可能なバッテリーを採用することにより、停電及び電源オフ時の待機時の消費電力が削減でき、尚且つ記憶情報に基づいて電力の供給を再開させるように動作するバックアップ装置を提供することをその解決すべき課題とする。

【０００４】

【課題を解決するための手段】請求項１の発明は、利用機器を制御するマイコンに対し外部電源より供給される直流電圧がある一定値以下あるいはある一定値以上になった時に信号を出す電圧検知回路と、該電圧検知回路の検知信号により前記マイコンをバックアップするバックアップ手段を備えたバックアップ装置において、前記バックアップ手段は、前記マイコンに比べ消費電力の少ないバックアップ用マイコンと、バックアップ用バッテリ

Qualcomm Ex. 1002 - 375/414

ーを有し、前記電圧検知回路が一定値以下の電圧を検知した時には、前記バックアップ用バッテリーの電力を用いて、前記マイコン内の記憶情報を前記バックアップ用マイコンへ転送し、前記電圧検知回路が一定値以上の電圧を検知した時には、前記外部電源より供給される電力を用いて、前記バックアップ用マイコン内の記憶情報を前記マイコンへ転送する手段をなすことを特徴とするバックアップ装置である。

【０００５】請求項２の発明は、請求項１に記載のバックアップ装置において、前記バックアップ用バッテリーは、前記外部電源より供給される直流電圧により充電され、その充放電が前記電圧検知回路の検知信号に基づいて切り替えられることを特徴とするバックアップ装置である。

【０００６】請求項３の発明は、請求項１及び２に記載のバックアップ装置において、前記マイコン用のバックアップコンデンサを別に備え、前記電圧検知回路が一定値以下の電圧を検知した時には、前記バックアップコンデンサの電力を前記マイコン内の記憶情報を前記バックアップ用マイコンへ転送する動作に用いることを特徴とするバックアップ装置である。

【０００７】請求項４の発明は、請求項１乃至３のいずれか１に記載のバックアップ装置において、前記外部電源から本バックアップ装置への電力の供給／遮断を行うスイッチを備え、前記バックアップ用マイコンにより前記スイッチを制御することを特徴とするバックアップ装置である。

【０００８】請求項５の発明は、請求項４に記載のバックアップ装置において、前記スイッチは半導体スイッチであり、前記外部電源に対する一次側に前記半導体スイッチを設け、前記外部電源に対する二次側に前記電圧検知回路を設けたことを特徴とするバックアップ装置である。

【０００９】

【発明の実施の形態】本発明によるバックアップ装置の実施形態の概要を録画予約装置を例に説明する。録画予約機能を装備している機器において、二次側のサブマイコン（バックアップ用マイコン）より電源一次側の電力供給の制御を行う半導体スイッチと、二次側の出力電圧より一次側電源回路の状態を感知する電圧検知回路を備え、停電時や前記半導体スイッチ開放時に電圧検知回路からの信号によって、バックアップコンデンサにより短時間バックアップされているメインマイコンに格納された録画予約情報及び設定情報を、充電可能なバッテリーによりバックアップされた刻時機能を備えた前記サブマイコンに転送し、予約時刻に前述のサブマイコンが前記半導体スイッチをオンにすることにより電力の供給を再開させ、再び録画予約情報をメインマイコンに転送し、予約録画を実行する機能を提供するものである。

【００１０】本発明の実施形態の一例である録画予約装置の基本的な動作を図１に従い説明する。録画予約が設定された状態で電源スイッチ１１、又はリモコン受光部１０よりパワーオフの信号が入力されると、サブマイコン７が電源一次側に設けた半導体スイッチ２を開放して電力供給を停止させる。この時二次側出力に設けた電圧検知回路４がこれを感知し各回路に信号を送信する。この信号によりサブマイコン７は充電可能なバッテリー９によって、メインマイコン６は短時間電力供給可能なバックアップコンデンサ１４によってバックアップされる。メインマイコン６が短時間バックアップされている間に、メインマイコン６に格納されている録画予約情報や各設定情報をサブマイコン７に転送する。サブマイコン７はバッテリー９のバックアップのもと、この情報を保持し内蔵の刻時機能と予約情報の比較を行う。予約時間に達した時点でサブマイコン７は電源一次側の半導体スイッチ２を短絡し、電源回路３に電力を供給する。二次側出力にある電圧検知回路４は、電源復帰を検知して各回路に信号を送信する。この信号によりサブマイコン７は予約情報をメインマイコン６に転送する。メインマイコン６は転送された予約情報に基づいて録画予約を実行する。録画予約終了時には再びサブマイコン７が一次側半導体スイッチ２を開放して電力供給を停止させる。以降は上述の作業を繰り返し、これによって機器自体の予約待機時の消費電力を削減し、尚且つ長時間の予約待機時間も実現可能となる。

【００１１】上述の実施形態をより詳細に説明する。外部からの信号によって短絡及び開放の動作を行う半導体スイッチ２は、サブマイコン７の制御により制御スイッチ１２のオン／オフ動作によって、バッテリー９と電源切替回路８を通して半導体スイッチ２内のフォトダイオードに電力を供給することによって、導通（オン）と絶縁（オフ）の制御をされる。この半導体スイッチ２は主にＳＳＲ（ソリッド、ステート、リレー）を使用するが、コイル起動のリレーに置き換えることが可能なものとする。電源回路３は、ＡＣコンセント１から供給される交流電源を、一定の直流電圧に変換する回路である。ＡＣコンセント１からの電力供給が停止（ＡＣコンセントが抜かれた状態か、停電状態）するか、半導体スイッチ２によって電力供給が遮断されることによって、一次側の交流電源の供給が停止すると二次側の直流電圧が下降するようになっている。

【００１２】電圧検知回路４は、電源回路３の出力電圧を監視し、一次側の電力供給状況を判断し、それに応じて信号を各回路に送信する回路で、電圧検知回路４は、電源回路３の出力電圧が一定電圧値以下に下降すると、一次側の電力供給が停止したと判断し、ＬＯＷの信号を各回路に送信する。又、電力供給が停止した状態から再び電力供給が開始されると、二次側の出力電圧が上昇しある一定電圧以上になると、電圧検知回路４からＨＩＧＨの信号が各回路に送信される。これにより、各回路は

Qualcomm Ex. 1002 - 376/414

5

電源一次側の電力供給状況を判断して各々の動作を行う。録画回路５は、機器内に配置され電源回路３からの電力供給を受け、メインマイコン６の制御により録画動作を行う回路である。メインマイコン６は、電源回路３からの電力供給を受け、機器内にある録画回路５を制御線群１７を通じて制御を行うものであり、通常、録画予約情報や各設定値情報は、このメインマイコン６のメモリー部に格納される。

【００１３】一旦、停電状態になると電圧検知回路４からのＬＯＷの信号によりメインマイコン６は、制御線群１７を遮断し、制御を抑制し低消費電力モードへ移行する。この間メインマイコン６の電力は遮断スイッチ１３により、短時間バックアップ可能なバックアップコンデンサ１４より短時間供給され、メインマイコン６内に格納された録画予約情報（録画開始時刻、録画時間、録画チャンネル、録画モード、他）や、各設定情報（現在時刻、チャンネル設定、他）は、データライン１５とクロックライン１６を通じて、データ受入体制になっているサブマイコン７内のメモリー部に転送される。転送終了後は、バックアップコンデンサ１４の電力供給が終了するまで、機能を維持する。

【００１４】録画予告時刻に達した時点で、後述するサブマイコン７により電源が復帰し、サブマイコン７から予約情報と設定情報が転送されると、メインマイコン６はその予約情報に従って録画回路を制御して録画動作を開始する。サブマイコン７は、内部に刻時機能を備えたものであり、サブマイコン７ではメインマイコン６から、転送される予約情報や各設定情報を内部に格納保持し、外部信号の入力があったり、予約情報と刻時機能の比較から予約時刻に達したと判断された時に制御スイッチ１２を制御し、半導体スイッチ２の短絡動作を行わせる。即ち、電源スイッチ１１やリモコン受光部１０から電源オフの信号が入力された時や、電圧検知回路４からＬＯＷの信号が入力された時サブマイコン７は制御スイッチ１２を開放状態にして、半導体スイッチ２を開放状態（オフ）にし、電源スイッチ１１やリモコン受光部１０から、電源オンの信号が入力された時や、予約情報と刻時機能の比較から予約時刻に達したと判断された時、サブマイコン７は制御スイッチ１２を短絡状態にして、半導体スイッチ２を導通状態（オン）にする。予約情報によって電源復帰状態になった場合、サブマイコン７はデータライン１５とクロックライン１６を通じて、予約情報と設定情報をメインマイコン６に転送、後はメインマイコン６によって録画予約が実行される。

【００１５】電源切替回路８の役割は停電時に電圧検知回路４の信号によって、サブマイコン７の電力供給を電源回路３の出力から、バッテリー９に切り替える回路であり、停電時以外はバッテリー９の充電機能も兼ねている。即ち停電状態になると電圧検知回路４からのＬＯＷの信号により、電源切替回路８はサブマイコン７の電力

6

供給をバッテリー９に切り替える。電源が復帰すると電圧検知回路４からのＨＩＧＨの信号により電源切替回路８は、サブマイコン７の電力供給をバッテリー９から、電源回路３の出力へ切り替え、バッテリー９を充電モードに切り替える。バッテリー９は、サブマイコン７を長時間バックアップ出来るほどの大容量で充電可能なものである。電源復帰時はこのバッテリー９からの電力によって、制御スイッチ１２を通じて半導体スイッチ２のオン制御を行う。

【００１６】ここで、図１を参照して、本実施形態の具体的な動作をそのプロセスに沿って説明する。

（１）ユーザーが録画情報を入力すると、まずその情報がメインマイコン６のメモリー部へ格納される。

（２）タイマーオン、又は電源オフの信号が入力されると、サブマイコン７は制御スイッチ１２を制御して半導体スイッチ２を開放状態（オフ）にして電源回路への電力供給を遮断する。

（３）電源回路３の出力電圧が低下し、電圧検知回路４からＬＯＷの信号が送信される。

（４）この信号により、遮断スイッチ１３は開放状態になりメインマイコン６の電力供給をバックアップコンデンサ１４に切り替え、メインマイコン６は低消費電力モードへ移行し、メモリー部に格納された録画予約情報と設定情報をサブマイコン７に転送する。サブマイコン７は転送されたデータをメモリーに格納し、内蔵の刻時機能とデータの比較を行う。電源切替回路８は、バッテリー９を充電モードから放電モードへ切替え、バッテリー９の電力をサブマイコン７へ供給する。

（５）サブマイコン７は、バッテリー９の電力供給のもと格納されている予約情報の保持と刻時機能との比較、外部入力（電源スイッチ１１、リモコン受光部１０）からの信号を監視する。

（６）サブマイコン７に格納されている予告時刻と刻時機能が一致した時、もしくは外部入力により電源オンが入力された時に、サブマイコン７は制御スイッチ１２を制御して、半導体スイッチ２を導通状態にし、電源回路３に電力を供給させる。

（７）電源回路３の出力電圧が上昇し、電圧検知回路４からＨＩＧＨの信号が送信される。

（８）この信号より、遮断スイッチ１３は導通状態となりメインマイコン６の電力を電源回路３の出力に切り替え、メインマイコン６は再び稼動状態になる。電源切替回路８は、サブマイコン７の電力供給を電源回路３の出力に切り替え、バッテリー９を充電モードに切り替える。サブマイコン７は、メインマイコン６が稼動したことを確認した上でメモリー部に格納された予約情報と設定情報をメインマイコン６に転送する。

（９）サブマイコン７からのデータを受け取ったメインマイコン６は、予約情報に基づいて録画回路を制御して録画予約を実行する。

Qualcomm Ex. 1002 - 377/414

（１０）録画終了と同時に、サブマイコン７は制御スイッチ１２を制御して、半導体スイッチ２を開放状態（オフ）にして電源回路への電力供給を遮断する。
（１１）以降は、上記(３)以下を繰り返す。

【００１７】
【発明の効果】請求項１に対応する効果：バックアップ装置において、利用機器を制御するマイコンとは別にこのマイコンに比べ消費電力の少ないバックアップ用マイコンを用いて、これをバックアップ用バッテリーで駆動し、外部電源からの入力直流電圧を電圧検知回路で検知した検知信号により、利用機器を制御するマイコン内の記憶情報をバックアップ用マイコンに転送してバックアップ動作を行うことにより、電源オフ時即ち待機時の電力の節電効果が得られバックアップも長時間可能となる。又、録画予約装置に用いた場合、バックアップ装置において、利用機器を制御するマイコンとは別に低消費電力のバックアップ用マイコンを採用することで長時間バックアップ機能が働き、停電時にマイコンに記憶情報が格納されている場合、この記憶情報は失われずにバックアップ用マイコンで保持され、停電回復後、録画時間になると通常のように予約録画を行うものであり、電源オフ時即ち待機時に電力消費のより大きなマイコンが消費する電力を“ゼロ”に出来、利用機器の待機時の電力の節電効果が得られる。

【００１８】請求項２に対応する効果：請求項１に対応する効果に加えて、前記バックアップ用バッテリーを、充電式にすることにより、確実なバックアップ動作を行い、より保守の容易な利用形態の装置として提供し得る。

【００１９】請求項３に対応する効果：請求項１又は２に対応する効果に加えて、利用機器を制御するマイコン用には、それ専用のバックアップ用コンデンサを別に備えることにより、バックアップ用バッテリーをバックアップ用マイコンに用い、電力の供給をそれぞれで分担することができ、より合理的なバックアップ動作が可能となる。

【００２０】請求項４に対応する効果：請求項１乃至３に対応する効果に加えて、バックアップ用マイコンにより、即ち、外部入力、例えば、リモコン入力あるいはマイコンに保持された記憶情報に基づき制御されるスイッチを備え、それによって外部電源による電力の供給を制御し電源をオン／オフすることが可能となることから、記憶情報に基づく電源投入動作、例えば予約機能における電源の投入を制御することも可能となる。

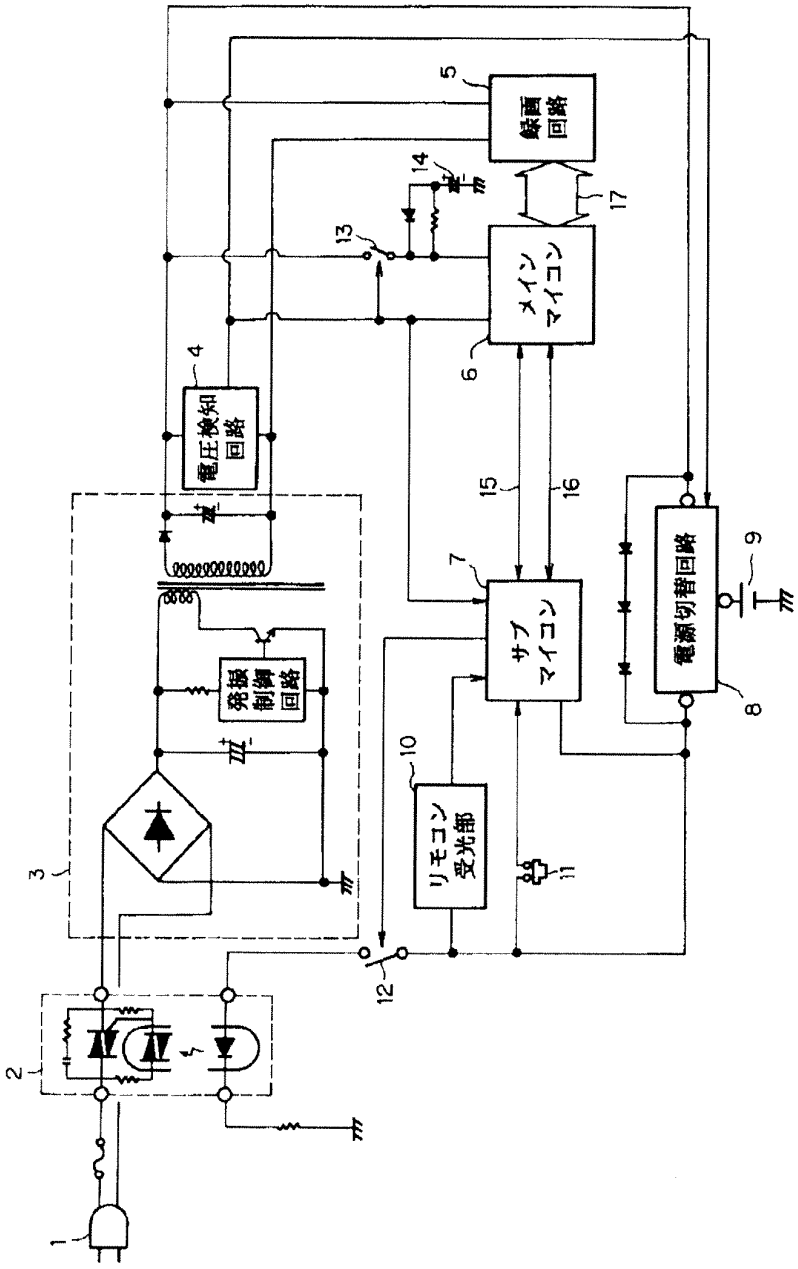
【００２１】請求項５に対応する効果：請求項４に対応する効果に加えて、半導体スイッチを採用することにより、前記外部電源に対する一次側と二次側の利用機器を含めたバックアップ装置とを分離することができ、安全且つ確実な動作が可能となる。

【図面の簡単な説明】
【図１】本発明によるバックアップ装置の実施の形態を示す録画予約装置の回路ブロック図である。
【図２】従来の録画予約装置を示す回路ブロック図である。

【符号の説明】
１…ＡＣコンセント、２…半導体スイッチ、３…電源回路、４…電圧検知回路、４′…停電検知回路、５…録画回路、６，６′…メインマイコン、７…サブマイコン、８…電源切替回路、９…バッテリー、１０…リモコン受光部、１１…電源スイッチ、１２…制御スイッチ、１３…遮断スイッチ、１４…バックアップコンデンサ、１５…データライン、１６…クロックライン、１７…制御線群。

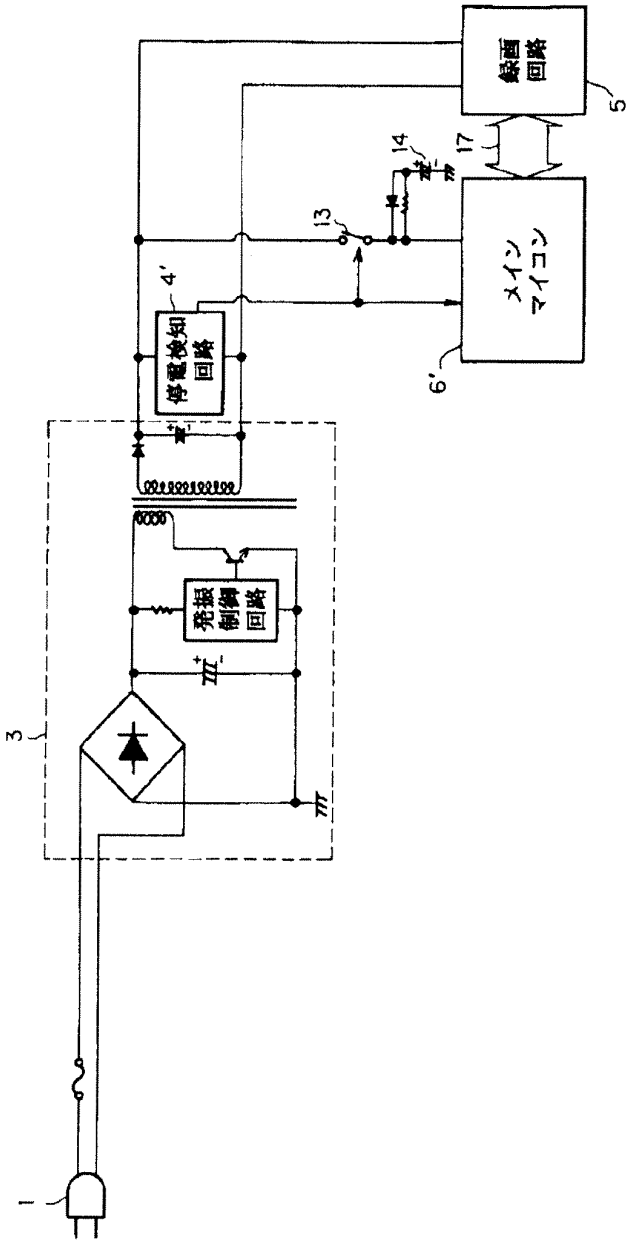
Qualcomm Ex. 1002 - 378/414

【図１】



Qualcomm Ex. 1002 - 379/414

【図２】



Electronic Patent Application Fee Transmittal

Application Number:	11898145
Filing Date:	10-Sep-2007
Title of Invention:	A MICROCONTROLLER FOR CONTROLLING POWER SHUTDOWN PROCESS
First Named Inventor/Applicant Name:	Yukari Suginaka
Filer:	Michael E. Fogarty/Margaret Barham
Attorney Docket Number:	056937-0396

Filed as Large Entity

Utility under 35 USC 111(a) Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Miscellaneous:				
Submission- Information Disclosure Stmt	1806	1	180	180
		Total in USD ($)		**180**

Electronic Acknowledgement Receipt

EFS ID:	9495435
Application Number:	11898145
International Application Number:	
Confirmation Number:	1079
Title of Invention:	A MICROCONTROLLER FOR CONTROLLING POWER SHUTDOWN PROCESS
First Named Inventor/Applicant Name:	Yukari Suginaka
Customer Number:	53080
Filer:	Michael E. Fogarty/Margaret Barham
Filer Authorized By:	Michael E. Fogarty
Attorney Docket Number:	056937-0396
Receipt Date:	22-FEB-2011
Filing Date:	10-SEP-2007
Time Stamp:	17:00:09
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Deposit Account
Payment was successfully received in RAM	$180
RAM confirmation Number	4140
Deposit Account	500417
Authorized User	
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows: Charge any Additional Fees required under 37 C.F.R. Section 1.17 (Patent application and reexamination processing fees)	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Transmittal Letter	P04642301_IDS_056937-0396.pdf	72177 bf23f3fd5314b3e18061ba73b2fb2f382268c7ab	no	3
Warnings:					
Information:					
2	NPL Documents	P04642301_NPL_056937-0396.pdf	147271 4652bc03349f62eddf31ca2bb2319f386dca6cf7	no	4
Warnings:					
Information:					
3	Foreign Reference	P04642301_REF1_056937-0396.pdf	192498 f3c4555459bd0fcf82321fe75b592ba00e296f36	no	6
Warnings:					
Information:					
4	Foreign Reference	P04642301_REF2_056937-0396.pdf	120785 e81f08f7e444efb63200e506cefa38a98b56f7b6	no	4
Warnings:					
Information:					
5	Foreign Reference	P04642301_REF3_056937-0396.pdf	362153 587bb0f61f8ced53cc51cc0d1b8d6c78dabe9c91	no	9
Warnings:					
Information:					
6	Foreign Reference	P04642301_REF4_056937-0396.pdf	382574 a2cabffe4c2a2ed162b9d169e0ef2a72db6f008d	no	8
Warnings:					
Information:					
7	Fee Worksheet (PTO-875)	fee-info.pdf	30708 3989f13726e6b16acb376a459bfab110d3f0bd60	no	2
Warnings:					
Information:					
		Total Files Size (in bytes):	1308166		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/898,145	09/10/2007	Yukari Suginaka	056937-0396	1079

53080 7590 03/03/2011

MCDERMOTT WILL & EMERY LLP
600 13TH STREET, NW
WASHINGTON, DC 20005-3096

EXAMINER	
PATEL, NITIN C	
ART UNIT	PAPER NUMBER
2116	
MAIL DATE	DELIVERY MODE
03/03/2011	PAPER

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

UNITED STATES DEPARTMENT OF COMMERCE
U.S. Patent and Trademark Office
Address : COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450

APPLICATION NO./ CONTROL NO.	FILING DATE	FIRST NAMED INVENTOR / PATENT IN REEXAMINATION	ATTORNEY DOCKET NO.
11898145	9/10/2007	SUGINAKA ET AL.	056937-0396

MCDERMOTT WILL & EMERY LLP
600 13TH STREET, NW
WASHINGTON, DC 20005-3096

EXAMINER
NITIN C.. PATEL

ART UNIT	PAPER
2116	20110223

DATE MAILED:

Please find below and/or attached an Office communication concerning this application or proceeding.

Commissioner for Patents

The information Disclosure Statement (IDS) filed on 23 February 2011, which was filed after allowance, but before payment of issue fee, has been considered by the examiner. Please find attached copy of PTO-1449 that has been reviewed and initiated.

/Nitin C. Patel/
Primary Examiner, Art Unit 2116

PTO-90C (Rev.04-03)

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Substitute for form 1449/PTO)

ATTY. DOCKET NO.	SERIAL NO.
056937-0396	11/898,145
APPLICANT: Yukari SUGINAKA, et al.	
FILING DATE: September 10, 2007	GROUP: 2116

U.S. PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Document Number Number-Kind Code2 (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			

FOREIGN PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Foreign Patent Document Country Codes3 –Number 4 –Kind Codes (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines Where Relevant Figures Appear	Translation Yes	Translation No
/N.P./		JP 58-169218	10-05-1983	FUJITSU LTD		JAPAN (w/ English abstract)	
/N.P./		JP 61-182123	08-14-1986	NEC CORP		JAPAN (w/ English abstract)	
/N.P./		JP 06-124150	05-06-1994	DIA SEMIKON SYST KK		JAPAN (w/ English abstract)	
/N.P./		JP 11-259376	09-24-1999	SHARP CORP		JAPAN (w/ English abstract)	

OTHER ART (Including Author, Title, Date, Pertinent Pages, Etc.)

EXAMINER'S INITIALS	CITE NO.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.
		~~Japanese Office Action issued in Japanese Patent Application No. JP 2006-246454 dated February 1, 2011~~

EXAMINER	DATE CONSIDERED
/Nitin Patel/	02/23/2011

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

1 Applicant's unique citation designation number (optional). 2 Applicant is to place a check mark here if English language Translation is attached.

Note: Crossed out document is not in English

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: Mail **Mail Stop ISSUE FEE**
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or Fax (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

53080 7590 12/17/2010

MCDERMOTT WILL & EMERY LLP
600 13TH STREET, NW
WASHINGTON, DC 20005-3096

53080

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

(Depositor's name)

(Signature)

(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/898,145	09/10/2007	Yukari Suginaka	056937-0396	1079

TITLE OF INVENTION: A MICROCONTROLLER FOR CONTROLLING POWER SHUTDOWN PROCESS

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	$1510	$300	$0	$1810	03/17/2011

EXAMINER	ART UNIT	CLASS-SUBCLASS
PATEL, NITIN C	2116	713-324000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

☐ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.

☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list

(1) the names of up to 3 registered patent attorneys or agents OR, alternatively,

(2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 McDermott Will & Emery LLP
2
3

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE: Panasonic Corporation

(B) RESIDENCE: (CITY and STATE OR COUNTRY): Osaka, Japan

Please check the appropriate assignee category or categories (will not be printed on the patent): ☐ Individual ☒ Corporation or other private group entity ☐ Government

4a. The following fee(s) are submitted:

☒ Issue Fee
☒ Publication Fee (No small entity discount permitted)
☒ Advance Order - # of Copies 4

4b. Payment of Fee(s): **(Please first reapply any previously paid issue fee shown above)**

☐ A check is enclosed.
☐ Payment by credit card. Form PTO-2038 is attached.
☒ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment, to Deposit Account Number 500417 (enclose an extra copy of this form).

5. **Change in Entity Status** (from status indicated above)

☐ a. Applicant claims SMALL ENTITY status. See 37 CFR 1.27. ☐ b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature _____ Date March 4, 2011

Typed or printed name Michael E. Fogarty Registration No. 36,139

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Qualcomm Ex. 1002 - 389/414

Electronic Patent Application Fee Transmittal

Application Number:	11898145
Filing Date:	10-Sep-2007
Title of Invention:	A MICROCONTROLLER FOR CONTROLLING POWER SHUTDOWN PROCESS
First Named Inventor/Applicant Name:	Yukari Suginaka
Filer:	Michael E. Fogarty/Tatiana Tucker
Attorney Docket Number:	056937-0396

Filed as Large Entity

Utility under 35 USC 111(a) Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Utility Appl issue fee	1501	1	1510	1510
Publ. Fee- early, voluntary, or normal	1504	1	300	300

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Extension-of-Time:				
Miscellaneous:				
Printed copy of patent - no color	8001	4	3	12
		Total in USD ($)		**1822**

Electronic Acknowledgement Receipt

EFS ID:	9590887
Application Number:	11898145
International Application Number:	
Confirmation Number:	1079
Title of Invention:	A MICROCONTROLLER FOR CONTROLLING POWER SHUTDOWN PROCESS
First Named Inventor/Applicant Name:	Yukari Suginaka
Customer Number:	53080
Filer:	Michael E. Fogarty/Tatiana Tucker
Filer Authorized By:	Michael E. Fogarty
Attorney Docket Number:	056937-0396
Receipt Date:	04-MAR-2011
Filing Date:	10-SEP-2007
Time Stamp:	16:30:18
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Deposit Account
Payment was successfully received in RAM	$1822
RAM confirmation Number	2940
Deposit Account	500417
Authorized User	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)

1	Issue Fee Payment (PTO-85B)	IssueFee_056937-0396.PDF	97523 fd3aecb9a1e6887d3692a51783a608d87eff6b0f	no	1
Warnings:					
Information:					
2	Fee Worksheet (PTO-875)	fee-info.pdf	33748 b35eea37eef271903d2e71be67bee8043925cc45	no	2
Warnings:					
Information:					
		Total Files Size (in bytes):	131271		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	ISSUE DATE	PATENT NO.	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/898,145	04/19/2011	7930575	056937-0396	1079

53080 7590 03/30/2011

MCDERMOTT WILL & EMERY LLP
600 13TH STREET, NW
WASHINGTON, DC 20005-3096

ISSUE NOTIFICATION

The projected patent number and issue date are specified above.

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment is 856 day(s). Any patent to issue from the above-identified application will include an indication of the adjustment on the front page.

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Application Assistance Unit (AAU) of the Office of Data Management (ODM) at (571)-272-4200.

APPLICANT(s) (Please see PAIR WEB site http://pair.uspto.gov for additional applicants):

Yukari Suginaka, Osaka, JAPAN;
Toshifumi Hamaguchi, Osaka, JAPAN;
Yoshitaka Kitao, Kyoto, JAPAN;
Shinya Muramatsu, Hyogo, JAPAN;

Trials@uspto.gov
571-272-7822

Paper 18
Entered: March 27, 2020

UNITED STATES PATENT AND TRADEMARK OFFICE

BEFORE THE PATENT TRIAL AND APPEAL BOARD

ADVANCED MICRO DEVICES, INC.,
Petitioner,

v.

COLLABO INNOVATIONS, INC.,
Patent Owner.

IPR2019-01523
Patent 7,930,575 B2

Before DAVID C. McKONE, GREGG I. ANDERSON, and GARTH D. BAER, *Administrative Patent Judges.*

BAER, *Administrative Patent Judge.*

DECISION
Denying Institution of *Inter Partes* Review
35 U.S.C. § 314

I. INTRODUCTION

Advanced Micro Devices, Inc. ("Petitioner") filed a Petition to institute an *inter partes* review of claims 1–7, 11, 12, 15–22, 26, 27, 30, and 31 of U.S. Patent No. 7,930,575 B2 (Ex. 1001, the "'575 patent") pursuant to 35 U.S.C. § 311 *et seq*. Paper 2 ("Pet."). Collabo Innovations, Inc. ("Patent Owner") filed a Preliminary Response to the Petition. Paper 9 ("Prelim. Resp."). Petitioner then filed a Reply to Patent Owner's Preliminary Response, addressing whether Exhibit 1006, one of the asserted prior-art references, is a printed publication. Paper 14, 1. Petitioner also filed a Motion to Expunge and Replace Exhibit 1016, which is an affidavit relating to Exhibit 1006's status as a printed publication. Paper 15, 1. Patent Owner filed a Sur-Reply (Paper 16) and an Opposition to Petitioner's Motion to Expunge and Replace Exhibit 1016 (Paper 17).

We have authority under 35 U.S.C. § 314, which provides that an *inter partes* review may not be instituted unless the information presented in the Petition and the Preliminary Response shows that "there is a reasonable likelihood that the petitioner would prevail with respect to at least 1 of the claims challenged in the petition." 35 U.S.C. § 314(a) (2018); *see also* 37 C.F.R § 42.4(a) (2019) ("The Board institutes the trial on behalf of the Director."). For the reasons that follow, we do not institute an *inter partes* review as to the challenged claims of the '575 patent on the grounds of unpatentability presented. Because we do not institute an *inter partes* review, we dismiss Petitioner's Motion to Expunge and Replace Exhibit 1016 as moot.

A. Related Matters

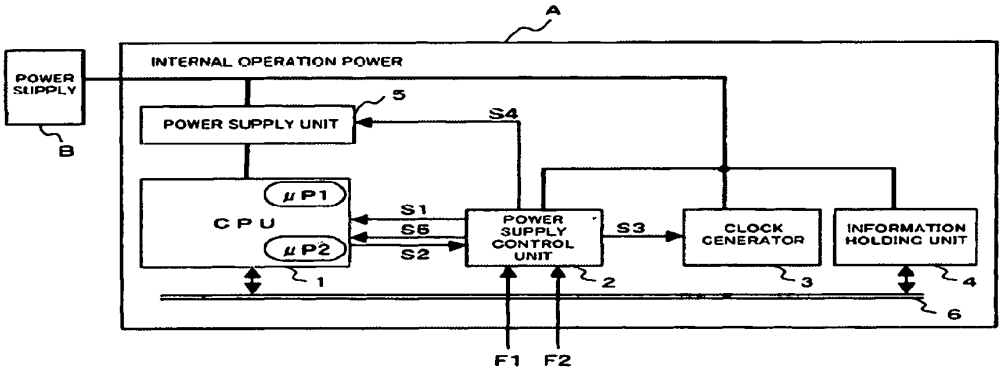
The parties indicate that the '575 patent has been asserted in *Collabo Innovations, Inc. v. Advanced Micro Devices, Inc.*, Case No. 1:18-cv-00552-LY (W.D. TX.). Pet. 3; Paper 5, 2. The '575 patent is also the subject of co-pending IPR2019-01524.[1]

B. The '575 Patent

The '575 patent is titled "Microcontroller for Controlling Power Shutdown Process." Ex. 1001, code (54). The invention's object is "to provide a microcontroller capable of easily and rapidly evacuating and restoring information necessary in proceeding with a program when realizing a standby state in which internal operation voltage supply is shutdown, a state in which an internal operation voltage is lowered, or the like." *Id.* at 2:26–31.

Figure 1 of the '575 patent is reproduced below.

FIG. 1



[1] Patent Owner requests that we exercise our discretion to deny institution under 35 U.S.C. 314(a) because Petitioner challenged many of the same claims based on different prior art in IPR2019-01524. Prelim. Resp. 9–12. Because we determine that the merits of the Petition in this case do not support institution, we do not reach Patent Owner's arguments that we should exercise our discretion under § 314(a) to deny institution in this case.

Figure 1 "is a block diagram showing a configuration of a microcontroller according to a first embodiment of the present invention." *Id.* at 7:22–24. According to the '575 patent,

> The microcontroller A includes a CPU 1, a power supply control unit 2, a clock generator 3, an information holding unit (built-in RAM) 4, a power supply unit 5, an internal bus 6, and peripheral circuits (not shown) such as a timer circuit and serial interface. Power is externally supplied to the microcontroller A. The power supply unit 5 is arranged between the power supply B and the CPU 1, and has a function of performing a control so that the voltage to be supplied to the CPU 1 is constant and a function of controlling supply/shutdown of power to the CPU 1 in response to a power supply/power shutdown control signal S4 from the power supply control unit 2. The power supply control unit 5 is configured by a general voltage regulator. The clock generator 3 supplies or stops an operation clock in response to a clock supply/clock stop control signal S3 from the power supply unit 2.

Id. at 8:39–54.

C. Challenged Claims

Petitioner challenges claims 1–7, 11, 12, 15–22, 26, 27, 30, and 31 of the '575 patent. Pet. 1. Of the challenged claims, claims 1 and 17 are independent. Claim 1 is illustrative and recites:

> 1. A microcontroller comprising:
>
> a CPU;
>
> a power supply unit arranged between the CPU and a power supply device for supplying power to the CPU;
>
> a power supply control unit for controlling the CPU and the power supply unit;
>
> an information holding unit for holding information evacuated from the CPU, the information being necessary in proceeding with a program; and

a clock generator; wherein:

the power supply control unit outputs a shutdown request signal to the CPU in response to an occurrence of a power shutdown factor,

the CPU, upon receiving the shutdown request signal, executes a power shutdown microprogram, evacuates the information necessary in proceeding with the program to the information holding unit, and outputs an evacuation completed signal to the power supply control unit after evacuation is completed,

the power supply control unit, upon receiving the evacuation completed signal, outputs a power shutdown control signal to the power supply unit,

the power supply unit shuts down power supply to the CPU upon receiving the power shutdown control signal from the power supply control unit,

the power supply control unit, upon receiving the evacuation completed signal, outputs a clock stop control signal to the clock generator,

the power supply control unit outputs a power supply control signal to the power supply unit in response to an occurrence of a power supply restoration factor,

the power supply unit, upon receiving the power supply control signal, starts to supply power to the CPU,

the power supply control unit outputs a restoration request signal to the CPU and outputs a clock supply control signal to the clock generator when a supplied power supply voltage is stabilized,

the clock generator, upon receiving the clock supply control signal, restarts to supply an operation clock, and

the CPU, upon receiving the restoration request signal, executes a power supply restoration microprogram, restores the information necessary in proceeding with the program and evacuated in the information holding unit in time of power shutdown, and then branches a process to an address

> indicated by a program counter to continue program execution from a shutdown state.

Ex. 1001, 18:45–19:24.

D. Asserted Grounds of Unpatentability

Petitioner asserts the following grounds of unpatentability. Pet. 5.

Challenged Claim(s)	35 U.S.C. §	References/Basis
1–3, 5–7, 11, 15, 16	103[2]	Jahagirdar[3], ACPI[4]
4, 17–22, 26, 30, 31	103	Jahagirdar, ACPI, Saito[5]
12	103	Jahagirdar, ACPI, Chung[6]
27	103	Jahagirdar, ACPI, Saito, Chung

II. ANALYSIS

A. Claim Construction

"In an *inter partes* review proceeding, a claim of a patent . . . shall be construed using the same claim construction standard that would be used to construe the claim in a civil action under 35 U.S.C. § 282(b), including

---

[2] The Leahy-Smith America Invents Act ("AIA") amended 35 U.S.C. § 103. *See* Pub. L. No. 112-29, 125 Stat. 284, 285–88 (2011). As the application that issued as the '575 patent was filed before the effective date of the relevant amendments, the pre-AIA version of § 102 applies.
[3] U.S. Pub. No. 2007/0157036, filed Dec. 30, 2005, Published July 5, 2007 (Ex. 1005, "Jahagirdar").
[4] Compaq Computer Corp., Intel Corp., Microsoft Corp., Phoenix Techs. Ltd., Toshiba Corp., *Advanced Configuration and Power Interface Specification*, Revision 2.0 (1999) (Ex. 1006, "ACPI").
[5] Japanese Pat. Appl. No. S58-169218, published October 5, 1983 (certified English translation) (Ex. 1010, "Saito").
[6] U.S. Patent No. 5,390,350, Feb. 14, 1995 (Ex. 1007, "Chung").

construing the claim in accordance with the ordinary and customary meaning of such claim as understood by one of ordinary skill in the art and the prosecution history pertaining to the patent." 37 C.F.R. § 42.100(b). In applying a district court-type claim construction, we are guided by the principle that the words of a claim "are generally given their ordinary and customary meaning," as understood by a person of ordinary skill in the art at the time of the invention. *Phillips v. AWH Corp.*, 415 F.3d 1303, 1312–13 (Fed. Cir. 2005) (en banc) (citation omitted).

Microcontroller

The preambles of claims 1 and 17 recite a "microcontroller." The parties agree that the preambles are limiting, but disagree over the construction. *See* Pet. 27 n.10; Prelim. Resp. 18. Petitioner asserts we should construe "microcontroller" as "a chip designed for control applications rather than data-processing that has a complete CPU, semiconductor memory sufficient for control applications, and input/output capability." Pet. 14. Patent Owner notes that its proffered construction for "microcontroller" in the related district court case is "an integrated circuit." Prelim. Resp. 18. However, Patent Owner explains, for purposes of this Decision, we need not choose between the parties' constructions because "[r]egardless of which construction is used in this proceeding, both constructions require the microcontroller to be on a single integrated chip." *Id.* (citing Ex. 2001 (Authoritative Dictionary of IEEE Standard Terms listing "integrated circuit" as a synonym for "chip")).

We agree with Patent Owner that, as both parties' constructions reflect, a microcontroller must be a single, integrated chip. *Id.*; *see* Pet. 14 (asserting that a "microcontroller" is "*a chip* designed for control

applications . . . ") (emphasis added). Our construction is consistent with the term's ordinary meaning. *See, e.g.*, https://www.merriam-webster.com/dictionary/microcontroller (defining "microcontroller" as an "*integrated circuit* that contains a microprocessor along with memory and associated circuits . . .") (emphasis added). We decline to construe "microprocessor" beyond requiring a single, integrated chip because that construction is enough to determine whether to institute an *inter partes* review. *See, e.g.*, *Wellman, Inc. v. Eastman Chem. Co.*, 642 F.3d 1355, 1361 (Fed. Cir. 2011) ("[C]laim terms need only be construed 'to the extent necessary to resolve the controversy.'") (*quoting Vivid Techs., Inc. v. Am. Sci. & Eng'g, Inc.*, 200 F.3d 795, 803 (Fed. Cir. 1999)). We likewise decline to construe the parties' additional asserted claim terms, *see* Prelim. Resp. 5–8; Pet. 13–24, because no additional claim construction is necessary to determine whether to institute an *inter partes* review.

B. Petitioner Fails to Show Obviousness for Any Challenged Claim

Our decision not to institute is based on our conclusion that Jahagirdar does not disclose a "microcontroller" as recited in the preamble of independent claims 1 and 17. Because Petitioner does not show Jahagirdar teaches this required element, or argue that such a feature is shown in any other reference, Petitioner has not established a reasonable likelihood of prevailing as to any challenged claim.

1. Jahagirdar

Jahagirdar is titled "Method and Apparatus for a Zero Voltage Processor Sleep State." Ex. 1005, code (54). According to Jahagirdar, during a transition to the disclosed zero voltage power management state, the "operational voltage applied to the processor by the voltage regulator

may be reduced to approximately zero and the state variables associated with the processor may be saved to the dedicated cache memory." *Id.* at code (57). Upon waking and restoring power to Jahagirdar's CPU, the system can continue where the CPU left off. *Id.* at ¶ 54.

Jahagirdar's Figures 2A and 2B are reproduced below.

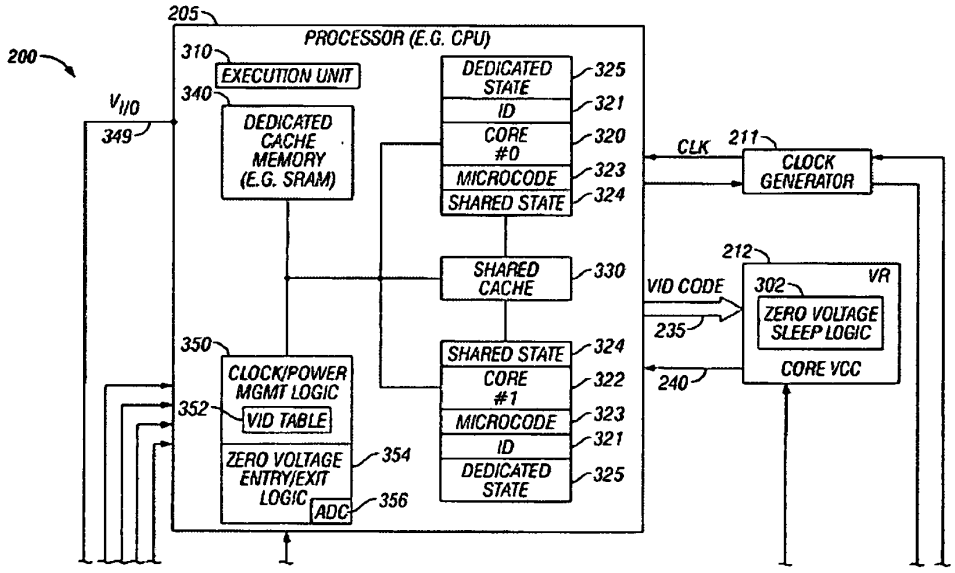


FIG. 2A

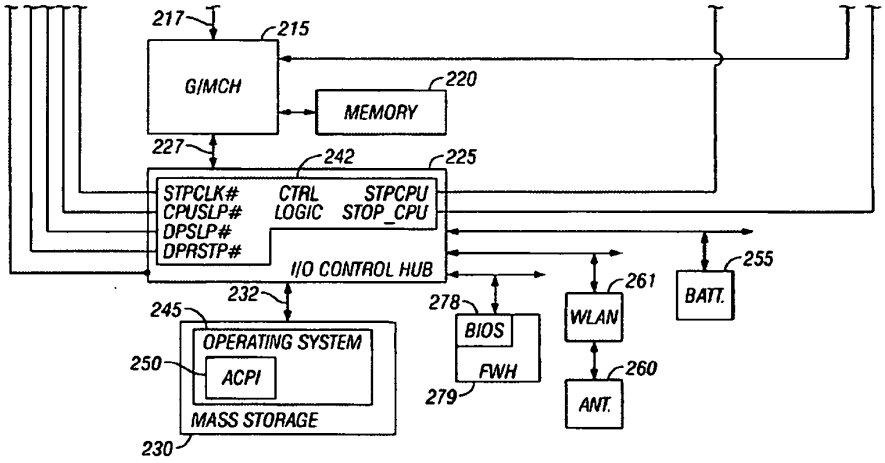


FIG. 2B

Jahagirdar states as follows:

> FIG 2 is a block diagram of an exemplary system 200 that may implement the zero voltage power management state transition approach of one or more embodiments. It should be noted that FIG 2 is divided into 2A and 2B. The system 200 may be a notebook or laptop computer system, or may be any different type of mobile electronic system . . . .

Ex. 1005 ¶ 24.

2. ACPI

Petitioner relies on ACPI for teaching implementation details related to transitioning processors into sleeping states that consume less power. *See* Pet. 26–27 (citing Ex. 1006 ¶¶ 37, 225, 228, 229).

3. The Asserted Prior Art Does Not Teach or Suggest the Claimed Microcontroller

The preamble for claims 1 and 17 recites "[a] microcontroller comprising . . . ." The parties agree that the preamble is limiting. Pet. 27 n.10; Prelim. Resp. 17. Petitioner relies solely on Jahagirdar for the claimed microcontroller. *See* Pet. 27–28. According to Petitioner, "Jahagirdar's system 200" is a microcontroller. *See id.* at 27. Petitioner further asserts that Jahagirdar discloses "a processor 205 (i.e., CPU), a memory 220 which may comprise one or more of random access memory (RAM), flash memory and/or another type of memory (i.e., semiconductor memory), and an input/output (I/O) control hub 225 (i.e., input/output capability)." *Id.* at 27–28. According to Petitioner, because Jahagirdar teaches that "various embodiments may be applied to different types of power management configurations and/or for different types of integrated circuits," *id.* at 28 (quoting Ex. 1005 ¶ 102), these components "can be located on the same chip." *Id.*

We agree with Patent Owner that Petitioner has not shown sufficiently that Jahagirdar's system resides on a single chip, as Petitioner's claim construction requires. *See* Prelim Resp. 17–26. Specifically, as Patent Owner explains, Jahagirdar's "system 200" is not a single-chip microcontroller, but rather a "system" with multiple separate components. Ex. 1005 ¶ 25; *see id.* ¶ 24 ("The system 200 may be a notebook or laptop computer system, or may be any different type of mobile electronic system such as a mobile device, personal digital assistant, wireless telephone/handset or may even be a non-mobile system such as a desktop or enterprise computing system."); *id.* ¶ 40 ("[I]t should be appreciated that system 200 may include a display device, such as a cathode ray tube (CRT) or liquid crystal display (LCD), for displaying information to a user. Further, system 200 may include an alphanumeric input device (e.g., a keyboard), including alphanumeric and other keys, for communicating information and command selections to processor 205.").

In addition, the record evidence does not show sufficiently that Jahagirdar teaches its components "can be located on the same chip," as Petitioner asserts. Pet. 28. Jahagirdar's teaching that "various embodiments *may be applied* to different types of power management configurations and/or for different types of integrated circuits," Ex. 1005 ¶ 102 (emphasis added), does not establish that Jahagirdar's system might be a single-chip system. Testimony from Petitioner's expert, Dr. Albonesi, merely repeats Petitioner's conclusory argument. *See* Ex. 1003 ¶ 147. For the reasons noted above, Dr. Albonesi's conclusory statement does not persuade us Petitioner has met its burden to show Jahagirdar teaches or suggests a single-chip system. *See* 37 C.F.R. § 42.65(a) ("Expert testimony that does not

disclose the underlying facts or data on which the opinion is based is entitled to little or no weight.").

Last, Petitioner argues that "Jahagirdar teaches that the processor could be an embedded processor, which is synonymous with a microcontroller." Pet. 28 (citing Ex. 1005 ¶ 27). Jahagirdar's disclosure related to its *processor* 205 is not relevant, however, because Petitioner relies on Jahagirdar's system 200—not its processor 205—as the claimed "microcontroller." *See* Pet. 29–39. Petitioner does not argue, for example, that Jahagirdar's processor 205 contains a power supply unit, a power supply control unit, and a clock generator, which it would have to for it to be the microprocessor recited in claim 1. *See id.*

Based on the current record, we are not persuaded that Petitioner has shown Jahagirdar teaches or suggests the "microprocessor" recited in claims 1 and 17. Absent such a disclosure, Petitioner has not explained why it would have been obvious to one skilled in the art to implement the asserted prior-art teachings as a single-chip system. Petitioner also does not contend that any other reference teaches the single chip requirement of its microcontroller construction.

C. Conclusion

For the foregoing reasons, we conclude that Petitioner has not demonstrated a reasonable likelihood of prevailing with respect to any of the claims challenged in the Petition. Given our decision not to institute an *inter partes* review based on Jahagirdar's deficiency, Petitioner's Motion to Expunge and Replace Exhibit 1016, which is an affidavit relating to Exhibit 1006's status as a printed publication, is moot.

III. ORDER

In consideration of the foregoing, it is hereby:

ORDERED that, pursuant to 35 U.S.C. § 314(a), no *inter partes* review as to any claim of US Patent No. 7,930,575 B2 is instituted; and

ORDERED that Petitioner's Motion to Expunge and Replace Exhibit 1016 (Paper 15) is dismissed as moot.

IPR2019-01523
Patent 7,930,575 B2

PETITIONER:

Michael B. Ray
Trent W. Merrel
Michael D. Specht
Jonathan Tuminaro
STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.
mray-PTAB@sternekessler.com
tmerrell-PTAB@sternekessler.com
mspecht-PTAB@sternekessler.com
jtuminar-PTAB@sternekessler.com

PATENT OWNER:

Jing H. Cherng
Robert E. Freitas
FREITAS & WEINBERG LLP
gcherng@fawlaw.com
rfreitas@fawlaw.com

AO 120 (Rev. 08/10)

TO:	REPORT ON THE FILING OR DETERMINATION OF AN ACTION REGARDING A PATENT OR TRADEMARK
Mail Stop 8 Director of the U.S. Patent and Trademark Office P.O. Box 1450 Alexandria, VA 22313-1450	

In Compliance with 35 U.S.C. § 290 and/or 15 U.S.C. § 1116 you are hereby advised that a court action has been filed in the U.S. District Court Western District of Texas, Austin Division on the following

☐ Trademarks or ☑ Patents. (☐ the patent action involves 35 U.S.C. § 292.):

DOCKET NO.	DATE FILED	U.S. DISTRICT COURT
1:18-cv-552-LY	7/2/2018	Western District of Texas, Austin Division

PLAINTIFF	DEFENDANT
Collabo Innovations, Inc.	Advanced Micro Devices, Inc.

PATENT OR TRADEMARK NO.	DATE OF PATENT OR TRADEMARK	HOLDER OF PATENT OR TRADEMARK
1 ~~see attached~~		
2 7930575		
3		
4		
5		

In the above—entitled case, the following patent(s)/ trademark(s) have been included:

DATE INCLUDED	INCLUDED BY ☐ Amendment ☐ Answer ☐ Cross Bill ☐ Other Pleading	
PATENT OR TRADEMARK NO.	DATE OF PATENT OR TRADEMARK	HOLDER OF PATENT OR TRADEMARK
1		
2		
3		
4		
5		

In the above—entitled case, the following decision has been rendered or judgement issued:

DECISION/JUDGEMENT

CLERK	(BY) DEPUTY CLERK	DATE
Jeannette J. Clack	Amanda Deichert	JUL - 3 2018

Copy 1—Upon initiation of action, mail this copy to Director **Copy 3—Upon termination of action, mail this copy to Director**
Copy 2—Upon filing document adding patent(s), mail this copy to Director **Copy 4—Case file copy**

PTO/AIA/96 (11-23)
Approved for use through 05/31/2024. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

STATEMENT UNDER 37 CFR 3.73(c)

First Named Inventor/Patent Owner: COLLABO INNOVATIONS, INC.

Application No./Patent No.: 7930575 Filed/Issue Date: April 19, 2011

Titled: A MICROCONTROLLER FOR CONTROLLING POWER SHUTDOWN PROCESS

COLLABO INNOVATIONS, INC., a corporation

(Name of Assignee) (Type of Assignee, e.g., corporation, partnership, university, government agency, etc.)

states that, for the patent application/patent identified above, it is (choose **one** of options 1, 2, 3 or 4 below):

1. [✓] The assignee of the entire right, title, and interest.

2. [ ] An assignee of less than the entire right, title, and interest (check applicable box):

   [ ] The extent (by percentage) of its ownership interest is _____%. Additional Statement(s) by the owners holding the balance of the interest must be submitted to account for 100% of the ownership interest.

   [ ] There are unspecified percentages of ownership. The other parties, including inventors, who together own the entire right, title and interest are:

   Additional Statement(s) by the owner(s) holding the balance of the interest must be submitted to account for the entire right, title, and interest.

3. [ ] The assignee of an undivided interest in the entirety (a complete assignment from one of the joint inventors was made). The other parties, including inventors, who together own the entire right, title, and interest are:

   Additional Statement(s) by the owner(s) holding the balance of the interest must be submitted to account for the entire right, title, and interest.

4. [ ] The recipient, via a court proceeding or the like (*e.g.*, bankruptcy, probate), of an undivided interest in the entirety (a complete transfer of ownership interest was made). The certified document(s) showing the transfer is attached.

The interest identified in option 1, 2 or 3 above (not option 4) is evidenced by either (choose **one** of options A or B below):

A. [ ] An assignment from the inventor(s) of the patent application/patent identified above. The assignment was recorded in the United States Patent and Trademark Office at Reel _____, Frame _____, or for which a copy thereof is attached*.

B. [✓] A chain of title from the inventor(s), of the patent application/patent identified above, to the current assignee as follows:

   1. From: SUGINAKA, YUKARI et al. To: MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.

      The document was recorded in the United States Patent and Trademark Office at

      Reel 020553, Frame 0728, or for which a copy thereof is attached*.

   2. From: MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. To: PANASONIC CORPORATION

      The document was recorded in the United States Patent and Trademark Office at

      Reel 021897, Frame 0606, or for which a copy thereof is attached*.

A Federal agency may not conduct or sponsor, and a person is not required to respond to, nor shall a person be subject to a penalty for failure to comply with an information collection subject to the requirements of the Paperwork Reduction Act of 1995, unless the information collection has a currently valid OMB Control Number. The OMB Control Number for this information collection is 0651-0031. Public burden for this form is estimated to average 12 minutes per response, including the time for reviewing instructions, searching existing data sources, gathering and maintaining the data needed, and completing and reviewing the information collection. Send comments regarding this burden estimate or any other aspect of this information collection, including suggestions for reducing this burden to the Chief Administrative Officer, United States Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450 or email InformationCollection@uspto.gov. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

PTO/AIA/96 (11-23)
Approved for use through 05/31/2024. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

STATEMENT UNDER 37 CFR 3.73(c)

3. From: PANASONIC CORPORATION To: COLLABO INNOVATIONS, INC.

The document was recorded in the United States Patent and Trademark Office at
Reel 033021, Frame 0806, or for which a copy thereof is attached*.

4. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at
Reel _____, Frame _____, or for which a copy thereof is attached*.

5. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at
Reel _____, Frame _____, or for which a copy thereof is attached*.

6. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at
Reel _____, Frame _____, or for which a copy thereof is attached*.

☐ Additional documents in the chain of title are listed on a supplemental sheet(s).

☑ *As required by 37 CFR 3.73(c)(1)(i), the documentary evidence of the chain of title from the original owner to the assignee was, or concurrently is being, submitted for recordation pursuant to 37 CFR 3.11.

[NOTE: A separate copy (i.e., a true copy of the original assignment document(s)) must be submitted to Assignment Division in accordance with 37 CFR Part 3, to record the assignment in the records of the USPTO. See MPEP 302.08]

The undersigned (whose title is supplied below) is authorized to act on behalf of the assignee.

Signature	SEP 12 2024 Date
Mike McCartney Printed or Typed Name	VP, Program Development Title or Registration Number

Qualcomm Ex. 1002 - 411/414

UNITED STATES
PATENT AND TRADEMARK OFFICE

P.O. Box 1450
Alexandria, VA 22313 - 1450
www.uspto.gov

ELECTRONIC ACKNOWLEDGEMENT RECEIPT

APPLICATION #	RECEIPT DATE / TIME	ATTORNEY DOCKET #
11/898,145	**09/16/2024 04:52:55 PM Z ET**	**056937-0396**

Title of Invention

A MICROCONTROLLER FOR CONTROLLING POWER SHUTDOWN PROCESS

Application Information

APPLICATION TYPE	Utility - Nonprovisional Application under 35 USC 111(a)	PATENT #	7930575
CONFIRMATION #	1079	FILED BY	Angel Wolf
PATENT CENTER #	67178168	FILING DATE	09/10/2007
CUSTOMER #	53080	FIRST NAMED INVENTOR	Yukari Suginaka
CORRESPONDENCE ADDRESS	-	AUTHORIZED BY	Robert Leonard

Documents

TOTAL DOCUMENTS: 2

DOCUMENT	PAGES	DESCRIPTION	SIZE (KB)
7930575 3.73_Signed.pdf	2	Assignee showing of ownership per 37 CFR 3.73	1454 KB
7930575 PTO AIA-123_Signed.pdf	1	Change of Address	822 KB

Digest

DOCUMENT	MESSAGE DIGEST(SHA-512)
7930575 3.73_Signed.pdf	D29DDAD9C876AE6603C51B1840B0F0E8063EA5D110C81B33C730FDAF9EF527AC61EA611DE9348DDA929880D50712567425716FECB96912F010DB412075CC0BA5
7930575 PTO AIA-	770EEC324785B25CDDEDEC75CF40DCBA7D368FC9EE91D81

123_Signed.pdf

B6CBA401A5279EEC40A3B1E4F5E224CC6BD5F40A4FCA0744
54E4BE10111711332EF2EB8F8B0B376F1

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

PTO/AIA/123 (08-12)
Approved for use through 09/30/2025. OMB 0651-0035
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

CHANGE OF CORRESPONDENCE ADDRESS
Patent

Address to:
Mail Stop Post Issue
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Patent Number	7930575
Issue Date	2011-04-19
Application Number	11/898,145
Filing Date	2007-09-10
First Named Inventor	SUGINAKA, YUKARI
Attorney Docket Number	

Please change the Correspondence Address for the above-identified patent to:

☐ The address associated with Customer Number: [ ]

OR

☑ **Firm or Individual Name** COLLABO INNOVATIONS, INC.

Address 1891 Robertson Rd., Suite 100

City Ottawa	**State** Ontario	**ZIP** K2H 5B7

Country Canada

Telephone 613-688-4892	**Email** patentinbox@wilan.com

This form cannot be used to change the data associated with a Customer Number. To change the data associated with an existing Customer Number use "Request for Customer Number Data Change" (PTO/SB/124).

This form will not affect any "fee address" provided for the above-identified patent. To change a "fee address" use the "Fee Address Indication Form" (PTO/SB/47).

I am the:

☑ Patentee.

☑ If the Patentee was not the applicant for patent (37 CFR 1.42), then a Statement under 37 CFR 3.73(c) (Form PTO/AIA/96 or equivalent) is enclosed or was filed on _____. See 37 CFR 3.71.

☐ Attorney or agent of record. Registration Number _____.

☐ Patent practitioner acting in a representative capacity whose correspondence address is the correspondence address of record. Notice has been given to the patentee or owner. Registration Number _____.

Signature

Typed or Printed Name Mike McCartney, VP, Program Development

Date SEP 12 2024	Telephone 613-688-4892

NOTE: This form must be signed in accordance with 37 CFR 1.33. See 37 CFR 1.4(d) for signature requirements and certifications. Submit multiple forms if more than one signature is required, see below*.

☐ *Total of _____ forms are submitted.

A Federal agency may not conduct or sponsor, and a person is not required to respond to, nor shall a person be subject to a penalty for failure to comply with an information collection subject to the requirements of the Paperwork Reduction Act of 1995, unless the information collection has a currently valid OMB Control Number. The OMB Control Number for this information collection is 0651-00**. Public burden for this form is estimated to average ** hour per response, including the time for reviewing instructions, searching existing data sources, gathering and maintaining the data needed, and completing and reviewing the information collection. Send comments regarding this burden estimate or any other aspect of this information collection, including suggestions for reducing this burden to the Chief Administrative Officer, United States Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450 or email InformationCollection@uspto.gov. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **If filing this completed form by mail, send to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.