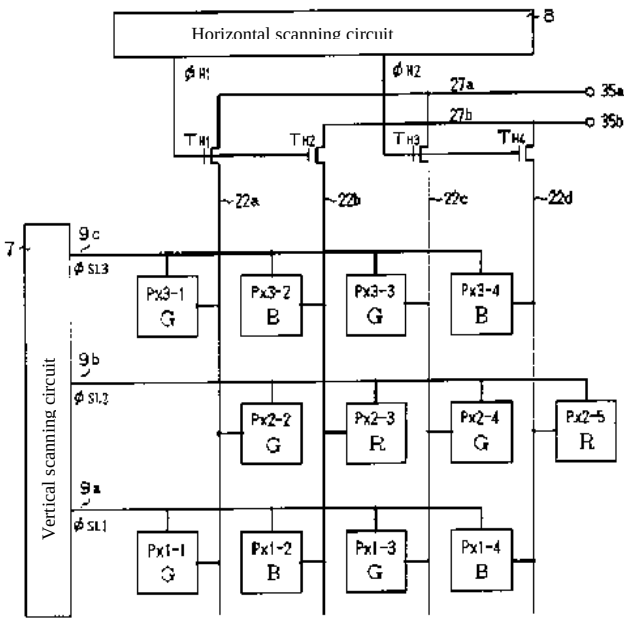


(51) Int.Cl. ⁷	Classification Symbol	F I	Theme Code (for reference)	
H01L 27/146		H01L 27/14	A	4M118
27/148		H04N 5/335	E	5C024
27/14		9/07	A	5C065
H04N 5/335		H01L 27/14	B	
9/07			D	
Request for Examination: Not Requested, Number of Claims: 12 OL (17 Pages in total)				

(21) Application Number	Japanese patent application No.H10 -169874	(71) Applicant	000004112 Nikon Corporation 2-3 Marunouchi 3-Chome, Chiyoda-ku, Tokyo
(22) Filing Date	Heisei 10-nen June 17 (1998.6.17)	(72) Inventor	Isogai Tadao 2-3 Marunouchi 3-Chome, Chiyoda-ku, Tokyo Nikon Corporation
		(72) Inventor	Masahiro Juen 2-3 Marunouchi 3-Chome, Chiyoda-ku, Tokyo Nikon Corporation
To be continued to the final page			

(54) [TITLE OF THE INVENTION] SOLID-STATE IMAGE SENSING ELEMENT

(57) [Abstract]
[PROBLEM TO BE SOLVED] To provide a solid-state image sensing element having a parallel output configuration with reduced signal variation of pixels (or photoelectric conversion units) arranged in a checkered pattern as well as a high S / N ratio.
[Means for solving the problem] Provided is a solid-state image sensing element in which a signal of a specific pixel arranged in a checkered pattern is output to one of two horizontal signal lines (or horizontal transfer registers), or is output to the outside from one output terminal. The present invention is suitable for color imaging using checkered color filters.



[What is claimed is]

[Claim 1] An X-Y address type solid-state image sensing element comprising a plurality of pixels arranged in a two-dimensional matrix and a plurality of output terminals for outputting a signal of the pixels, characterized in that a signal of a specific pixel arranged in a checkered pattern among the pixels is output from one output terminal, and a signal of another pixel is output from the other output terminal.

[Claim 2] A solid-state image sensing element comprising: a plurality of pixels arranged in a two-dimensional matrix; a plurality of vertical signal lines to which the pixels are connected; and two horizontal signal lines to which the vertical signal lines are connected via a switch, characterized in that pixels in an odd-numbered row of one pixel column of two pixel columns adjacent to each vertical signal line and pixels in an even-numbered row of the other pixel column are connected to each of the vertical signal lines, and said odd-numbered vertical signal line is connected to one of said horizontal signal lines, and said even-numbered vertical signal line is connected to the other horizontal signal line.

[Claim 3] The solid-state image sensing element according to claim 1 or 2, wherein said pixel comprises a photoelectric conversion unit that generates an electric charge according to incident light, and an output unit that outputs a signal corresponding to the electric charge to a vertical signal line.

[Claim 4] The solid-state image sensing element according to claim 3, wherein said pixel further comprises a transfer unit that transfers the charge from the photoelectric conversion unit to the output unit and a control unit that controls the output unit.

[Claim 5] The solid-state image sensing element according to any one of claims 1 to 4, wherein a light-shielding region is formed in a part of said pixels, and the shape of said light-shielding region is the same between the pixels arranged on the odd-numbered rows and the pixels arranged on the even-numbered rows.

[Claim 6] The solid-state image sensing element according to any one of claims 1 to 5, wherein a plurality of different color filters are arranged corresponding to said pixels, and at least one kind of the color filters is arranged in a checkered pattern.

[Claim 7] The solid-state image sensing element according to any one of claims 1 to 5, wherein green color filters are arranged in a checkered pattern corresponding to the pixels, and red and blue color filters are arranged line-sequentially corresponding to the other pixels.

[Claim 8] A CCD-type solid-state image sensing element comprising a plurality of photoelectric conversion units arranged in a two-dimensional matrix and a plurality of output terminals for outputting signals of the photoelectric conversion unit, wherein of the photoelectric conversion units, a signal of a specific photoelectric conversion unit arranged in a checkered pattern is output from one output terminal, and a signal of the other photoelectric conversion unit is output from the other output terminal.

[Claim 9] A solid-state image sensing element comprising: a plurality of photoelectric conversion units arranged in a two-dimensional matrix; a plurality of vertical transfer registers that receive a signal charge from said photoelectric conversion unit and transfer the same in a column direction; and two horizontal transfer registers that receive said signal charge from said vertical transfer register and transfer the same in a row direction, wherein each of the vertical transfer registers receives a signal charge from the photoelectric conversion unit in an odd-numbered row of one column of two columns of the photoelectric conversion units adjacent to the vertical transfer register and from the photoelectric conversion unit in an even-numbered row in the other column, wherein one of said horizontal transfer registers receives a signal charge from said odd-numbered vertical transfer register, and the other horizontal transfer register receives a signal charge from the even-numbered vertical transfer register.

[Claim 10] The solid-state image sensing element according to claim 8 or 9, wherein a light-shielding region is formed in a part of said photoelectric conversion unit, and the shape of the light-shielding region is the same between the photoelectric conversion unit arranged on the odd-numbered rows and the photoelectric conversion unit arranged on the even-numbered rows.

[Claim 11] The solid-state image sensing element according to any one of claims 8 to 10, wherein a plurality of different color filters are arranged corresponding to said photoelectric conversion unit, and at least one kind of said color filters is arranged in a checkered pattern.

[Claim 12] The solid-state image sensing element according to any one of claims 8 to 10, wherein green color filters are arranged in a checkered pattern corresponding to said photoelectric conversion unit, and red and blue color filters are arranged line-sequentially corresponding to the other photoelectric conversion units.

[Detailed Description of the Invention]

[0001]

[Technical Field of the Invention] The present invention relates to a solid-state image sensing element, and more specifically, to a solid-state image sensing element having a parallel output configuration. The solid-state image sensing element of the present invention is suitable for color imaging using color filters arranged in a checkered pattern.

[0002]

[Background Art] To date, various methods such as an X-Y address type and a CCD type have been proposed for a solid-state image sensing element, and they have been put into practical use. First, a conventional X-Y address type solid-state image sensing element will be described with reference to the drawings. FIG. 23 is a circuit diagram showing a main configuration of a conventional X-Y address type solid-state image sensing element. The conventional XY address type solid-state image sensing element comprises a plurality of pixels Px1-1 to Px3-4 arranged in a two-dimensional matrix, vertical signal lines 22a to 22d to which the above pixels are connected, and a horizontal signal line 27a and 27b to which the vertical signal lines are connected via a column buffer amplifier 29a-29d, the clamp capacitances Cc1 to Cc4 and the

column selection transistors TH1 to TH4, and the output buffer amplifiers 28a and 28b connected to the horizontal signal lines, a vertical scanning circuit 7 for driving the pixels Px1-1 to Px3-4 and a horizontal scanning circuit 8 for driving the column selection transistors TH1 to TH4 respectively.

[0003] A plurality of horizontal signal lines are arranged as shown in the figure. If the solid-state image sensing element has a small number of pixels, one series of horizontal signal lines may be used. However, the increased number of pixels causes a problem of insufficient sensitivity and operating speed, so it is more preferable to form a plurality of horizontal signal lines and output in parallel. The signals of the pixels Px1-1 to Px3-4 are output from the source (S) of the JFET2 to the vertical signal lines 22a to 22d, and passing through the column buffer amplifiers 29a to 29d, the clamp capacitances Cc1 to Cc4, and the column selection transistors TH1 to TH4, and then output to the horizontal signal lines 27a and 27b, and output (Vout1 and Vout2) from the output terminals 35a and 35b via the output buffer amplifiers 28a and 28b.

[0004] Clamp transistors Tc1 to Tc4 are connected between the clamp capacitances Cc1 to Cc4 and the column selection transistors TH1 to TH4, and a constant voltage (ground potential GND in FIG. 23) can be applied to one electrode of the clamp capacitance. This is arranged to remove the noise generated in each pixel. Next, the pixel structure will be described with reference to FIGS. 23 and 24. FIG. 24 is a plan view of a plurality of pixels arranged in a matrix. Each pixel has a photodiode 1 that generates and stores an electric charge according to the incident light, and a junction field effect transistor 2 (hereinafter referred to as JFET) that outputs a signal corresponding to the electric charge from the source (S) by a source follower operation, a transfer gate 3 that transfers the electric charge from the photodiode 1 to the JFET 2, and a reset drain 4 and a reset gate 5 that control the JFET 2. Each JFET 2 is connected to the vertical signal lines 22a to 22d for each row. Further, the details of the unit pixel structure are disclosed in Japanese Unexamined Patent Application Publication No. H8-293591A.

[0005] Next, a conventional CCD type solid-state image sensing element will be described with reference to the drawings. FIG. 25 is a schematic configuration diagram of a conventional CCD type solid-state image sensing element. This device comprises: a plurality of photodiodes 210 arranged in a two-dimensional matrix; a plurality of vertical transfer registers 220 that receive signal charges from the photodiodes 210 and transfer the charges in the column direction; a horizontal transfer registers 240a and 240b that receives signal charges from the vertical transfer registers 220 and transfer the charges in the row direction; and charge detection units 250a and 250b.

[0006] A signal charge generated by the photodiode 210 is transferred via the vertical transfer registers 220 to the horizontal transfer registers 240a and 240b, converted into voltage signals by the charge detectors 250a and 250b, and output from the output terminals 260a and 260b (Vout1, Vout2). FIG. 26 is a cross-sectional view of the CCD type solid-state image sensing element along the line X1-X2 of FIG. 25. A P-type well 201 is provided on the N-type semiconductor substrate 200. The photodiode 210 is arranged in this P-shaped well.

[0007] The signal charge generated by the photodiode 210 is stored in the N-type charge storage region 211. The signal charge accumulated in the N-type charge storage region 211 is first transferred to the N-type transfer channel region 221 of the vertical transfer register 220 by the operation of the transfer electrode 224, and then sequentially transferred in the column direction. By the way, when the solid-state image sensing element is used for color imaging, any one of red (R), green (G), and blue (B) color filters is arranged on each photodiode of the solid-state image sensing element. Each pixel outputs a color signal corresponding to the filter arranged in each pixel.

[0008] Various arrangements of the above R, G, and B color filters have been proposed. FIG. 27 and FIG. 28 show a typical color filter array to be arranged on the solid-state image sensing element during color imaging. In the arrangement shown in FIG. 27, green (G) color filters are arranged in stripes every other column corresponding to pixels, and red (R) and blue (B) color filters are arranged corresponding to the remaining pixels.

[0009] In the arrangement shown in FIG. 28, the green (G) color filters are arranged in a checkered pattern, and the red (R) and blue (B) color filters are line-sequentially arranged corresponding to the remaining pixels (generally called a Bayer array). As a conventional solid-state image sensing element, the color filter arrangement shown in FIG. 27 in which green (G) color filters are arranged in stripes every other column is preferable. This is because the signal of the pixel provided with the green (G) color filter, which is the main component of the luminance signal, is output from one output terminal (35a or 35b in FIG. 23, 260a or 260b in FIG. 25) through one horizontal signal line (27a or 27b in FIG. 23) or one horizontal transfer register (240a or 240b in FIG. 25), so that signal processing in the subsequent stage may be facilitated and fixed pattern noise is reduced to improve S/N ratio of video signal.

[0010]

[Problem to be Solved by the Invention] However, in the conventional solid-state image sensor, for example, when the color filter array is provided with the green (G) color filter being arranged in a checkered pattern as shown in FIG. 28, it causes the problem of the generation of fixed pattern noise and the decreased S / N ratio. This is because the signals of the checkered pixels are output from two different output terminals via two different paths (horizontal signal lines or horizontal transfer registers).

[0011] The present invention has been made in view of the above problems. An object of the present invention is to provide a solid-state image sensing element having a parallel output configuration with reduced signal variation of pixels (or photoelectric conversion units) arranged in a checkered pattern as well as a high S / N ratio.

[0012]

[Means for Solving the Problem] The invention according to claim 1 is a X-Y address type solid body image sensing element comprising a plurality of pixels arranged in a two-dimensional matrix and a plurality of output terminals for outputting signals of the pixels, characterized in that the signals of specific pixels arranged in a checkered pattern among the pixels are output from one output terminal, and

the signals of other pixels are output from the other output terminals.

[0013] Since the signals of the checkered pixels are output from one output terminal, the fixed pattern noise of the signals output from the checkered pixels may be reduced and the S / N ratio is improved. It is particularly suitable when color filters are provided in a checkered pattern. The invention according to claim 2 is a solid-state image sensing element comprising: a plurality of pixels arranged in a two-dimensional matrix; a plurality of vertical signal lines to which the pixels are connected; and two horizontal signals to which the vertical signal lines are connected via a switch, wherein of two pixel columns adjacent to each of vertical signal lines, pixels in an odd-numbered row of one pixel column and pixels in an even-numbered row of the other pixel column are connected to each of vertical signal lines, respectively, one of the horizontal signal lines is connected to an odd-numbered vertical signal line, and the other horizontal signal line is connected to an even-numbered vertical signal line.

[0014] This configuration allows the signals of the pixels arranged in a checkered pattern to output via one horizontal signal line, so that a fixed pattern noise may be reduced, and the S / N ratio may be improved. It is particularly suitable when color filters are provided in a checkered pattern. The invention according to claim 3 is characterized in that, in the solid-state image sensing element according to claim 1 or 2, the pixel has a photoelectric conversion unit that generates an electric charge according to an incident light and an output unit that outputs a signal corresponding to the electric charge to a vertical signal line. Further, the invention according to claim 4 is characterized in that, in the solid-state image pickup device according to claim 3, the pixel has a transfer unit that transfers the electric charge from the photoelectric conversion unit to the output unit and a control unit that controls the output unit.

[0015] These configurations allow the device to output a signal converted by this charge (for example, a charge-amplified signal or a current-amplified signal) instead of the charge itself generated by the incident light. The invention according to claim 5 is characterized in that, in the solid-state image sensing element according to any one of claims 1 to 4, wherein a light-shielding region is formed in a part of the pixels, and the shape of the light-shielding region is the same between the pixels arranged in odd-numbered rows and the pixels arranged in even-numbered rows.

[0016] This configuration allows for the same light receiving characteristics in pixels, the reduced fixed pattern noise, and the improved S / N ratio. The invention according to claim 6 is characterized in that, in the solid-state image sensing element according to any one of claims 1 to 5, a plural kinds of color filters are arranged corresponding to the pixels, and at least one kind of color filters are arranged in a checkered pattern.

[0017] In the case of color imaging, a color filter is arranged in each pixel of the solid-state image sensing element. Color filters generally have a plurality of colors. In the invention of claim 7, of the plurality of color filters at least one color filter is arranged in a checkered pattern. Therefore, a signal corresponding to this color has a reduced fixed pattern noise and an improved S / N ratio.

The invention according to claim 7 is the solid-state image sensing element according to any one of claims 1 to 5, wherein a green color filter is arranged in a checkered pattern corresponding to the pixels, and the red and blue color filters are arranged line-sequentially corresponding to the other pixels. This claim specifies a specific kind of color filter.

[0018] The invention according to claim 8 is a CCD-type solid-state image sensing element comprising a plurality of photoelectric conversion units arranged in a two-dimensional matrix and a plurality of output terminals for outputting signals of the photoelectric conversion unit, wherein, of the photoelectric conversion units, a signal of a specific photoelectric conversion unit arranged in a checkered pattern is output from one output terminal, and a signal of the other photoelectric conversion unit is output from the other output terminal.

[0019] Since the signal of the photoelectric conversion unit arranged in a checkered pattern is output from one output terminal, the fixed pattern noise of the signal output from the photoelectric conversion unit arranged in a checkered pattern is reduced, and the S / N ratio is reduced. It is particularly suitable when color filters are provided in a checkered pattern. The invention according to claim 9 is the solid-state image sensing element comprising: a plurality of photoelectric conversion units arranged in a two-dimensional matrix; a plurality of vertical transfer registers that receive signal charges from the photoelectric conversion units and transfer the signal charges in a column direction; and two horizontal transfer registers that receive the signal charge from the vertical transfer register and transfer the signal charge in a row direction, wherein each of the vertical transfer registers receives the signal charge from the photoelectric conversion unit in an odd-numbered row of one column of two adjacent columns of the photoelectric conversion units and from the photoelectric conversion units in an even-numbered row of the other column, one horizontal transfer register receives the signal charge from the vertical transfer register in an odd-numbered column and the other horizontal transfer register receives the signal charge from the vertical transfer register in an even-numbered column.

[0020] The signal of the photoelectric conversion unit arranged in a checkered pattern is output via one horizontal transfer register. Therefore, the fixed pattern noise is reduced, and the S / N ratio is improved. It is particularly suitable when provided with a checkered color filter. The invention according to claim 10 is the solid-state image sensing element according to claim 8 or 9, wherein a light-shielding region is formed in a part of the photoelectric conversion unit, and the shape of the light-shielding region is the same between the photoelectric conversion unit arranged in an odd-numbered row and the photoelectric conversion unit arranged in an even-numbered row.

[0021] This configuration realizes the uniform light receiving characteristics of each photoelectric conversion unit, reduces the fixed pattern noise, and improves the S / N ratio. The invention according to claim 11 is the solid-state image sensing element according to any one of claims 8 to 10, wherein a plurality of different color filters are arranged corresponding to the photoelectric conversion

unit, and at least one kind of color filters is arranged in a checkered pattern.

[0022] In the case of color imaging, a color filter is arranged in each photoelectric conversion unit of the solid-state image sensing element. Color filters generally have a plurality of colors. In the invention of claim 11, of the plurality of color filters at least one color filter is arranged in a checkered pattern. Therefore, a signal corresponding to this color has a reduced fixed pattern noise and an improved S / N ratio.

[0023] The invention according to claim 12 is the solid-state image sensing element according to any one of claims 8 to 10, wherein the green color filters are arranged in a checkered pattern corresponding to the photoelectric conversion units and the red and blue color filters are arranged line-sequentially corresponding to the other photoelectric conversion units. This claim specifies a specific kind of color filter.

[0024]

[Preferred Embodiments] Hereinafter, embodiments of the present invention will be described with reference to the drawings. In each figure, the same reference numerals indicate the same or corresponding parts, and duplicate descriptions will be omitted.

[Embodiment 1] FIG. 1 is a circuit diagram showing an outline of a solid-state image sensing element according to the first embodiment of the present invention.

[0025] The solid-state image sensing element according to the first embodiment is an X-Y address type solid-state image sensing element comprising: a plurality of pixels Px1-1 to Px3-4 arranged in a two-dimensional matrix; vertical signal lines 22a to 22d to which pixels of two adjacent columns are alternately connected every other pixel; horizontal signal lines 27a and 27b to which vertical signal lines 22a to 22d are alternately connected via column selection transistors TH1 to TH4; output terminals 35a and 35b installed in horizontal signal lines 27a, 27b; vertical scanning circuit 7 for driving the pixels Px1-1 to Px3-4; and horizontal scanning circuit 8 for driving the column selection transistors TH1 to TH4.

[0026] According to the solid-state image sensing element of the actual embodiment, one hundred or more pixels are arranged in both the row direction and the column direction. FIG. 1 (and each circuit diagram showing another embodiment) shows a part thereof for convenience. Here, the number of pixels is set as described above, but the present invention is not limited to this. For example, 1000 or more pixels may be arranged in both the row direction and the column direction depending on the application.

[0027] In the solid-state image sensing element of the first embodiment, of two pixel columns adjacent to each of vertical signal lines 22a to 22d, pixels in an odd-numbered row of one pixel column and pixels in an even-numbered row of the other pixel column are connected to each of vertical signal lines, respectively, and each of vertical signal lines has two horizontal signal lines. In other words, in the vertical signal line 22a, the first row is connected to the pixel on the left side (Px1-1), the second row is connected to the pixel on the right side (Px2-2), and the third row is connected to the pixel on the left side (Px3-1). Further, the vertical signal lines 22a and 22c are connected to one of the horizontal signal lines 27a via the column

selection transistors TH1 and TH3. The vertical signal lines 22b and 22d are connected to the other horizontal signal line 27b via the column selection transistors TH2 and TH4.

[0028] When connected in this way, the signal output from the pixels of Px1-1, Px1-3, Px2-2, Px2-4, Px3-1, Px3-3 (pixels arranged in a checkered pattern) can be output to the outside of the solid-state image sensing element via the same horizontal signal line. Fixed pattern noise is reduced because it goes through the same horizontal signal line. Further, green (G) color filters are provided in a checkered pattern and arranged on the corresponding pixels (Px1-1, Px1-3, Px2-2, Px2-4, Px3-1, Px3-3). Red (R) and blue (B) color filters are arranged line-sequentially (Bayer arrangement) on the remaining pixels.

[0029] When the color filters are arranged in this way, the green (G) signal is output from the output terminal 35a via the same horizontal signal line 27a. Further, the red (R) and blue (B) signals are output from the output terminal 35b via the other horizontal signal line 27b. As described above, in the solid-state image sensing element of the first embodiment, the signal of the pixel having the green (G) color filter arranged in a checkered pattern is output from one output terminal 35a through one horizontal signal line 27a. Therefore, as compared with the conventional X-Y address type solid-state image sensing element, the signal processing in the subsequent stage becomes easier, the fixed pattern noise is reduced, and the S / N ratio is improved.

[Embodiment 2] FIG. 2 is a circuit diagram showing an outline of a solid-state image sensing element according to the second embodiment of the present invention.

[0030] The solid-state image sensing element according to the second embodiment is a X-Y address type solid-state image sensing element, wherein one pixel (for example, Px1-1) comprises a photodiode 41 that generates and accumulates electric charges according to incident light and a row selection transistor 42 that transfers the electric charge of the photodiode 41 to the vertical signal line 22a. Each pixel may be coated with a film having a light-shielding property (light-shielding film) in a region other than the photodiode 41, and the shape of the light-shielding region may be the same between pixels in an odd-numbered row and pixels in an even-numbered row. This allows the pixels in an odd-numbered row and the pixels in the even-numbered rows to have the same area, shape, and position of the optical center of gravity of the light-receiving portion, and variations in light-receiving characteristics are reduced. The other configurations are the same as those of the solid-state image sensing element of the first embodiment.

[0031] Further, corresponding to the photodiodes 41 of each pixel Px1-1 to Px3-4, the color filters of red (R), green (G), and blue (B) are placed as similar to those of the solid-state image sensing element of the first embodiment. Therefore, all the green (G) signals are output from the output terminal 35a via one of the horizontal signal lines 27a. Further, the red (R) and blue (B) signals are output from the output terminal 35b via the other horizontal signal line 27b.

[0032] Therefore, like the solid-state image sensing element of the first embodiment, the solid-state image

sensing element of the second embodiment may facilitate signal processing in the subsequent stage, and at the same time, reduce fixed pattern noise, and improve the S / N ratio.

[Embodiment 3] FIG. 3 is a circuit diagram showing an outline of a solid-state image sensing element according to the third embodiment of the present invention.

[0033] The solid-state image sensing element according to the third embodiment is an X-Y address type solid-state image sensing element in which one pixel (for example, Px1-1) comprising: a photodiode 51 that generates and accumulates a charge according to incident light; a transistor 52 that detects the potential of the photodiode 51 and outputs the charge from the source (S) by a source follower operation; a row selection transistor 54 that connects the source (S) of the transistor 52 and the vertical signal line 22a; and a reset transistor 53 that initializes a photodiode 51 and a transistor 52. Further, the potential of the photodiode 51 fluctuates according to an amount of accumulated electric charge.

[0034] The signals of the pixels Px1-1 to Px3-4 are output from the source (S) of the transistor 52 to the vertical signal lines 22a to 22d via the row selection transistor 54, and output via the column buffer amplifiers 29a to 29d, the clamp capacitance Cc1 to Cc4 and the column selection transistors TH1 to TH4 to the horizontal signal lines 27a and 27b, and output (Vout1 and Vout2) from the output terminals 35a and 35b via the output buffer amplifiers 28a and 28b.

[0035] By the way, the connection relationship between pixels and the vertical signal lines 22a to 22d is the same as in the first embodiment, and pixels of two rows adjacent to each of the vertical signal lines 22a to 22d are alternately connected to each vertical signal line every other pixel. Further, the vertical signal lines 22a to 22d are connected to the vertical load capacitances Cv1 to Cv4, connected to the clamp transistors TC1 to TC4 via the column buffer amplifiers 29a to 29d, and the clamp capacitances Cc1 to Cc4, and further connected via the column selection transistors TH1 to TH4 to the horizontal signal lines 27a and 27b.

[0036] Therefore, like the solid-state image sensing element of the first embodiment, the solid-state image sensing element of the third embodiment may facilitate signal processing in the subsequent stage, and at the same time, reduce fixed pattern noise and improve the S / N ratio. Further, in the solid-state image sensing element of the third embodiment, the region other than the photodiode 51 of each pixel is covered with a light-shielding film like the solid-state image sensing element of the second embodiment, and the shape of the light-shielded region may be the same between pixels in an odd-numbered row and pixels in an even-numbered row.

[0037] Further, since the band of the source follower operation of the transistor 52 is limited by the vertical load capacitances Cv1 to Cv4, the noise is further reduced. In other words, the solid-state image sensing element of the present embodiment conducts the subtraction processing for a source follower output when the photodiode 51 accumulates the signal charge and a source follower output after resetting the signal charge of the photodiode 51 via the clamp capacitances Cc1 to Cc4. This processing may reduce fixed pattern noise due to variation in the

threshold voltage of the transistor 52, 1 / f noise during source follower operation, and fixed pattern noise due to variation in the offset voltage of the column buffer amplifiers 29a to 29d, and further improve the S / N ratio.

[Embodiment 4] FIG. 4 is a circuit diagram showing a configuration of a solid-state image sensing element according to the fourth embodiment of the present invention. The solid-state image sensing element according to the fourth embodiment is an X-Y address type solid-state image sensing element, which has a pixel configuration different from the solid-state image sensing element according to the third embodiment. Along with this, the vertical scanning circuit and the scanning wiring connected to the vertical scanning circuit are different.

[0038] One pixel of the solid-state image sensing element according to the fourth embodiment, for example, Px1-3, comprises: a photodiode 1 that generates and stores an electric charge according to the incident light; a junction type electric field effect transistor (hereinafter referred to as JFET) 2 for outputting a signal corresponding to the electric charge from source S by a source follower operation; a transfer gate 3 for transferring the electric charge from the photodiode 1 to the JFET 2; and a reset drain 4 and a reset gate 5 for controlling the JFET 2.

[0039] Other configurations are substantially the same as those of the solid-state image sensing element of the third embodiment. FIG. 5 is a plan view of a plurality of pixels of the solid-state image sensing element according to the present embodiment. Each pixel is composed of a photodiode 1, a JFET 2, a transfer gate 3, a reset drain 4, and a reset gate 5. Further, pixels arranged in an odd-numbered row and pixels arranged in an even-numbered row have inverted structure, and the JFETs 2 of pixels of the adjacent two columns are alternately connected to the vertical signal lines 22 (corresponding to the vertical signal lines 22a to 22d of FIG. 4) every other pixel.

[0040] The transfer gate 3 is connected to the transfer gate wiring 20 (corresponding to the transfer gate wirings 20a to 20c in FIG. 4), and the reset gate 5 is connected to the reset gate wiring 21 (corresponding to the reset gate wirings 21a to 21c in FIG. 4). The reset drain 4 is connected to the reset drain wiring 24 (corresponding to the reset drain wirings 24a to 24c in FIG. 4) via the relay wiring 23 (see FIG. 7).

[0041] A region other than the photodiode 1 of each pixel is shielded by a reset drain wiring 24 and a vertical signal line 22 formed of a material having a light-shielding property such as aluminum. This makes the pixels in an odd-numbered row and the pixels in an even-numbered row have the same area, shape, and optical center of gravity of the light receiving region. Therefore, the fixed pattern noise is further reduced, and the S / N ratio is further improved.

[0042] In the solid-state image sensing element of the present embodiment, the scanning wiring and the vertical signal line are used as a light-shielding film as described above. Therefore, the number of manufacturing process is reduced compared to the arrangement of a dedicated film as the light-shielding film. Therefore, the yield is improved, and the manufacturing cost is reduced. However, conversely, an aluminum film may be formed exclusively for the light-shielding film and patterned so that the light-receiving region may open. This eliminates

the need to use the wiring as a light-shielding film and improves the degree of freedom in wiring design. [0043] Further, in the solid-state image sensing element of the present embodiment, red (R), green (G), and blue (B) color filters are arranged in the photodiode 1 for each pixel, similarly to the solid-state image sensing element according to the first embodiment. Therefore, all the green (G) signals are output from the output terminal 35a via one of the horizontal signal lines 27a. Therefore, the signal processing in the subsequent stage becomes easy, and at the same time, the fixed pattern noise is reduced, and the S / N ratio is improved.

[0044] Hereinafter, the pixel structure of the solid-state image sensing element of the fourth embodiment will be described in more detail with reference to FIGS. 6 to 9. FIG. 6 is a plan view of one pixel of the solid-state image sensing element according to the present embodiment, FIG. 7 is a cross-sectional view taken along line X1-X2 of FIG. 6, and FIG. 8 is a cross-sectional view taken along line Y1-Y2 of FIG. 6, and FIG. 9 is a cross-sectional view taken along the line Y3-Y4 of FIG. 6. The color filter is omitted in these figures.

[0045] As shown in FIGS. 8 and 9, the photodiode 1 is composed of an N-type well region 11, a P-type charge storage region 12, and a high-concentration N-type semiconductor region 13 formed on the P-type semiconductor substrate 10. As a result, an embedded photodiode is formed with an NPN type vertical overflow drain structure. Specifically, a structure in which an embedded photodiode (N, P, N) and a vertical overflow drain structure (P, N, P) are combined is formed. The configuration of an embedded photodiode with a vertical overflow drain structure has the effects of reducing dark current, afterimages, reset noise, blooming, and smearing. [0046] As shown in FIGS. 7 and 8, the JFET 2 is composed of an N-type source region 14, a P-type gate region 15, an N-type drain region 16, and an N-type channel region 17. As shown in FIG. 8, the transfer gate 3 is formed on the boundary region between the photodiode 1 and the JFET 2 via the insulating film 33. As shown in FIGS. 7 and 9, the reset drain 4 is composed of a P-type charge discharge region 18 in the N-type well region 11. As shown in FIG. 7, the reset gate 5 is formed on the boundary region between the JFET 2 and the reset drain 4 via the insulating film 33.

[0047] As described above, in the solid-state image sensing element of the fourth embodiment, a signal of the pixel having the green (G) color filter arranged in a checkered pattern is output from one output terminal 35a via one horizontal signal line 27a and one output buffer amplifier 28a. Therefore, as in the solid-state image sensing element of the first embodiment, the signal processing in the subsequent stage is facilitated, the fixed pattern noise is reduced, and the S / N ratio is improved.

[0048] Further, in the solid-state image sensing element of the fourth embodiment, the region other than the photodiode 1 of each pixel is shielded by the reset drain wiring 24 and the vertical signal line 22, and the shape of the light-shielding region is the same between pixels in an odd-numbered row and pixels in an even-numbered row, so that a fixed pattern noise may be reduced and the S / N ratio may be further improved. In addition, due to the vertical overflow drain structure and the embedded

photodiode structure, dark current, afterimage, reset noise, blooming, and smear may be reduced. Further, the vertical load capacitances Cv1 to Cv4 limit the band of the source follower operation of the JFET2, so that the noise may be reduced, and the S / N ratio may further be improved.

[0049] Further, the source follower output of the JFET 2 after initialization (before the signal charge transfer) and the source follower output of the JFET 2 after the signal charge transfer from the photodiode 1 to the JFET 2 are subtracted via the clamp capacitances Cc1 to Cc4 (so-called correlated double sampling processing). This subtraction processing results in the reduction of fixed pattern noise due to variation in the threshold voltage of JFET 2, 1 / f noise during source follower operation, and fixed pattern noise due to variation in offset voltage of column buffer amplifiers 29a to 29b as well as the reduction of the reset noise generated when the JFET 2 is initialized via the reset gate 5. Therefore, the S / N ratio is further improved.

[Embodiment 5] FIG. 10 is a circuit diagram showing a configuration of a solid-state image sensing element according to the fifth embodiment of the present invention, and FIG. 11 is a plan view of a plurality of pixels arranged in a matrix thereof.

[0050] The solid-state image sensing element according to the fifth embodiment is an X-Y address type solid-state image sensing element, which has a pixel configuration different from that of the solid-state image sensing element according to the fourth embodiment. Other configurations are the same as those of the solid-state image sensing element of the fourth embodiment, and the description thereof will be omitted. Here, the pixel structure of the solid-state image sensing element according to the present embodiment will be described with reference to the drawings. FIG. 12 is a plan view of one pixel of the solid-state image sensing element according to the present embodiment, FIG. 13 is a cross-sectional view taken along line X1-X2 of FIG. 12, and FIG. 14 is taken along line Y1-Y2 of FIG. 12, and FIG. 15 is a cross-sectional view taken along the line Y3-Y4 of FIG. 12.

[0051] One pixel is composed of a photodiode 1, a JFET 2, a transfer gate 3, a reset drain 4, two reset gates 5 per pixel, and two overflow control regions 6a per pixel (see FIG. 12). The photodiode 1, JFET 2, reset drain 4, and overflow control region 6a are provided in the N-type semiconductor layer 101 on the high-concentration N-type semiconductor substrate 100. The transfer gate 3 and the reset gate 5 are provided on the N-type semiconductor layer 101 via an insulating film 33.

[0052] As shown in FIGS. 14 and 15, the photodiode 1 is composed of an N-type semiconductor layer 101, a P-type charge storage region 12 and a high-concentration N-type semiconductor region 13 that are formed on a high-concentration N-type semiconductor substrate 100. That is, an NPN type embedded photodiode is provided. As shown in FIGS. 13 and 14, the JFET 2 is provided in the N-type semiconductor layer 101 on the high-concentration N-type semiconductor substrate 100. Therefore, the drain region 16 of the JFET 2 is electrically connected to the high-concentration N-type semiconductor substrate 100 via the N-type semiconductor layer 101. Therefore, the drain voltage VD (see FIG. 10) can be supplied to the

drain region 16 of the JFET 2 via the high-concentration N-type semiconductor substrate 100. Since the high-concentration N-type semiconductor substrate 100 has a small electrical resistance, it is possible to suppress fluctuations in the drain voltage for each JFET even if a large number of pixels are arranged.

[0053] The drain voltage VD may be supplied via the semiconductor substrate 100 by providing contacts around a pixel region (a region in which a plurality of pixels are arranged in a matrix), or may be supplied by providing contacts in a rear surface of the semiconductor substrate 100. As shown in FIG. 13, the P-type charge discharge region 18 of the reset drain 4 is connected to the reset drain wiring 24 via the relay wiring 23.

[0054] As shown in FIGS. 12 and 13, the reset gate 5 is formed at a ratio of two per pixel. Therefore, the P-type gate region 15 of the JFET 2 and the P-type charge discharge region 18 of the reset drain 4 are connected in series in a row direction via the reset gate 5. The overflow control region 6a is arranged in the boundary region between the photodiode 1 and the reset drain 4 due to overflow. Generally, when an excessive amount of light is incident on a photodiode and the generated charge exceeds the capacitance (maximum charge accumulation amount) of the photodiode, the excess charge overflows and blooming occurs. The overflow control region 6a discharges this excess charge to the reset drain 4 to prevent blooming. The overflow control region 6a is arranged between the photodiode 1 and the two reset drains 4 adjacent thereto, as shown in FIGS. 12, 14, and 15. That is, the overflow control region 6a is arranged in the boundary region between the photodiode 1 and the reset drain 4 at a ratio of two per pixel.

[0055] As described above, the pixel structure of the solid-state image sensing element of the present embodiment is composed of the NPN type embedded photodiode 1, the overflow control region 6a and the reset drain 4, thereby forming an embedded photodiode and a horizontal overflow drain structure. Here, it will be described back to FIGS. 10 and 11. In the solid-state image sensing element of the present embodiment, the above pixels are arranged in a matrix. By the way, the gate region and the reset drain 4 of each pixel arranged in a row direction of the JFET 2 (in a lateral direction of FIGS. 10 and 11) are all connected to each other in series via the reset gate 5. This configuration reduces defects due to disconnection of the reset drain wiring. That is, even if a defect in the release mode occurs in which the connection between the reset drain 4 and the reset drain wirings 24, 24a to 24c is incomplete in a certain pixel, the reset drain 4 of another pixel is connected to the JFET 2 of the pixel. Therefore, the disconnection is unlikely to occur.

[0056] The other configurations are the same as those of the solid-state image sensing element of the fourth embodiment. Therefore, the solid-state image sensing element of the fifth embodiment reduces the fixed pattern noise and improves the S / N ratio as similar to the solid-state image sensing element of the fourth embodiment. Further, in the solid-state image sensing element of the fifth embodiment, the JFET 2 can be controlled even if a defect in the release mode occurs in which the connection to the reset drain 4 becomes incomplete, so that the manufacturing yield is improved.

[0057] Further, since the drain voltage VD is supplied to the drain region 16 of the JFET 2 via the N-type semiconductor substrate 100 having a high concentration (low resistance), the fluctuation of the drain voltage for each pixel becomes small and the fixed pattern noise is decreased. Further, the P-type charge storage region 12 of the photodiode 1 and the opposite conductive type of N-type semiconductor substrate 100 are used. Therefore, the signal charge (hole in this case) generated in the deep part of the photodiode 1 is also accumulated in the photodiode 1 to improve the sensitivity.

[Embodiment 6] FIG. 16 is a plan view of a plurality of pixels arranged in a matrix of the solid-state image sensing element according to the sixth embodiment of the present invention.

[0058] The solid-state image sensing element of the sixth embodiment is an X-Y address type solid-state image sensing element, which relative positional relationship of a photodiode 1, JFET 2, a transfer gate 3, a reset drain 4, a reset gate 5, and an overflow control region 6a arranged in pixels and shape of the wiring portion are different from the solid-state image sensing element of the fifth embodiment. That is, in the solid-state image sensing element of the sixth embodiment, pixels in an odd-numbered row is the same as pixels in an even-numbered row in terms of their shapes and arrangements of the reset gate 5, the vertical signal line 22, and the relay wiring 23 in a light-shielding region covered with the reset drain wiring 24. Therefore, not only the top view of the light-shielding region but also the cross-sectional view of the entire pixel including the wiring and the insulating film are the same. Therefore, the variation in the light receiving characteristics is further reduced.

[0059] Other configurations including the circuit diagram are the same as those of the solid-state image sensing element of the fifth embodiment (see FIG. 10). Therefore, the solid-state image sensing element of the sixth embodiment reduces fixed pattern noise and improves the S / N ratio, the yield and the sensitivity as similar to the solid-state image sensing element of the fifth embodiment. Further, in the solid-state image sensing element of the sixth embodiment, pixels in even-numbered rows and pixels in odd-numbered rows have the same cross-sectional shape of the wiring and the insulating film, so that the fixed pattern noise may be reduced and the S / N ratio may further be improved.

[Embodiment 7] FIG. 17 is a circuit diagram showing an outline of a solid-state image sensing element according to the seventh embodiment of the present invention. The solid-state image sensing element of the seventh embodiment is an X-Y address type solid-state image sensing element, which is different from that of the solid-state image sensing element of the fifth embodiment in terms of the configuration from the vertical signal lines 22a to 22d to the output terminals 35a and 35b.

[0060] Vertical signal lines 22a to 22d to which two adjacent columns of pixels are alternately connected every other pixel are connected to signal output storage capacities CS1 to CS4 via signal output transfer transistors TS1 to TS4. At the same time, vertical signal lines are connected to the horizontal signal line 27a or 27c (signal output line) via the column selection transistors THS1 to THS4. Further, the vertical signal lines 22a to 22d are

connected to the dark output storage capacities CD1 to CD4 via the dark output transfer transistors TD1 to TD4, and connected to the horizontal signal lines 27b or 27d (dark output line) through the column selection transistors THD1 to THD4. Specifically, the vertical signal lines 22a to 22d are alternately connected to one set of horizontal signal lines (signal output line 27a, dark output line 27b) and another set of horizontal signal lines (signal output line 27c, dark output line 27d).

[0061] The horizontal signal lines 27a to 27d are connected to the differential amplifiers 34a and 34b via the output buffer amplifiers 28a to 28d. In this way, four horizontal signal lines 27a to 27d are arranged. However, the horizontal signal lines 27a and 27b and the horizontal signal lines 27c and 27d are paired. That is, two sets (two) of horizontal signal lines are arranged.

[0062] For example, pixels Px1-1, Px2-2, and Px3-1 are connected to the vertical signal line 22a. The vertical signal line 22a is connected to a path for accumulating and outputting an optical signal including noise (dark output) (i.e. TS1-CS1-THS1-27a-28a) and a path for accumulating and outputting noise (dark output) (i.e. TD1-CD1-THD1-27b-28b). The output buffer amplifiers 28a and 28b connected to the respective paths are connected to the differential amplifier 34a. Then, a signal output from each path is subjected to subtraction processing and output from one output terminal 35a.

[0063] On the other hand, pixels Px1-2, Px2-3, Px3-2 are connected to the vertical signal line 22b. The vertical signal line 22b is connected to a path for accumulating and outputting an optical signal including a dark output (i.e. TS2-CS2-THS2-27c-28c) and a path for accumulating and outputting a dark output (i.e. TD2-CD2-THD2-27d-28d). The output buffer amplifiers 28c and 28d connected to the respective paths are connected to the differential amplifier 34b, and signal output from the respective paths is subtracted and output from the other output terminal 35b.

[0064] Here, the operation of the solid-state image sensing element of the present embodiment will be briefly described. First, the source follower output (dark output) of the JFET 2 after initialization (before signal charge transfer) is stored in CD1 to CD4. Subsequently, the source follower output of the JFET 2 after the signal charge is transferred from the photodiode 1 to the JFET 2 (signal output. Including dark output component) is accumulated in CS1 to CS4. Subsequently, the signal output and the dark output are subtracted by the differential amplifiers 34a and 34b via the column selection transistors THS1 to THS4, THD1 to THD4, horizontal signal lines 27a to 27d and output buffer amplifiers 28a to 28d. This operation performs so-called correlated double sampling processing and produces a true signal output in which a dark output component subtracted.

[0065] The dark output described herein includes "fixed pattern noise due to variation in the threshold voltage of JFET2", "fixed pattern noise due to variation in the offset voltage of the column buffer amplifiers 29a to 29d", and "1 / f noise during source follower operation" and "reset noise when the JFET 2 is initialized". The output buffer amplifiers 28a to 28d are preferably provided inside the solid-state image sensing element in order to avoid the influence of external noise. On the other hand, the

differential amplifiers 34a and 34b may be provided outside the solid-state image sensing element.

[0066] Further, green (G) color filters are provided in a checkered pattern and arranged on the corresponding pixels (Px1-1, Px1-3, Px2-2, Px2-4, Px3-1, Px3-3).

Therefore, all the green (G) signals are output from the output terminal 35a via one set of horizontal signal lines 27a and 27b. Further, the red (R) and blue (B) signals are output from the output terminal 35b via the other set of horizontal signal lines 27c and 27d. Therefore, the signal processing in the subsequent stage becomes easy, and at the same time, the fixed pattern noise is reduced, and the S / N ratio is improved.

[Embodiment 8] FIG. 18 is a configuration diagram showing an outline of a solid-state image sensing element according to the eighth embodiment of the present invention. The solid-state image sensing element according to the eighth embodiment is a CCD-type solid-state image sensing element comprising: a plurality of photodiodes 210 arranged in a two-dimensional matrix; a plurality of vertical transfer registers 220 that receive signals charges alternately from two columns of adjacent photodiodes 210 every other photodiode and transfers in a column direction; two horizontal transfer registers 240a and 240b that receive signal charges from the vertical transfer register 220 and transfer the signal charges in a row direction; and charge detection units 250a and 250b.

[0067] A distribution transfer electrode (not shown) is arranged between the horizontal transfer registers 240a and 240b, and a signal charge is transferred to either the horizontal transfer register 240a or the horizontal transfer register 240b by this electrode. $\phi V1$ to $\phi V3$ are pulse voltages applied to the transfer electrode (described later) of the vertical transfer register 220, and ϕHG is the pulse voltage applied to the distribution transfer electrode between the horizontal transfer registers 240a and 240b.

[0068] Further, red (R), green (G), and blue (B) color filters are arranged in each photodiode 210 with a similar arrangement as in the first embodiment. A signal charge generated by the photodiode 210 is transferred to the vertical transfer registers 220 and the horizontal transfer registers 240a and 240b, converted into voltage signals by the charge detectors 250a and 250b, and output from the output terminals 260a and 260b (Vout1, Vout2).

[0069] As described above, in the solid-state image sensing element of the eighth embodiment, each of the vertical transfer registers 220 receives signal charge alternately from two rows of photodiodes 210 adjacent to each register every other photodiode. That is, each vertical transfer register receives a charge signal from the pixel on the left side of the drawing in the first row, the pixel on the right side in the second row, and the pixel on the left side in the third row.

[0070] Subsequently, the signal charges output from the respective vertical transfer registers 220 are alternately transferred to the horizontal signal registers 240a and 240b. Connected in this way, the signal charge output from the checkered pixels is output to the outside of the solid-state image sensing element via the same horizontal transfer register. Since it goes through the same horizontal transfer register, fixed pattern noise is reduced.

[0071] Hereinafter, the pixel structure of the solid-state image sensing element of the fourth embodiment will be described in more detail with reference to FIGS. 19 to 21. FIG. 19 is a plan view of the region 300 surrounded by the broken line in FIG. 18, FIG. 20 is a sectional view taken along line X1-X2 of FIG. 19, and FIG. 21 is a sectional view taken along line X3-X4 of FIG. 19. Further, color filters are omitted in the figure. As shown in FIG. 20, the photodiode 210 is composed of a P-type well region 201, an N-type charge storage region 211, and a high-concentration P-type semiconductor region 212 that are formed on the N-type semiconductor substrate 200. As a result, an embedded photodiode is formed with a PNP type vertical overflow drain structure. Specifically, a structure is formed in which an embedded photodiode (P, N, P) and a vertical overflow drain structure (N, P, N) are combined. The configuration of the embedded photodiode with the vertical overflow drain structure has the effect of reducing dark current, afterimage, reset noise, blooming and smear.

[0072] As shown in FIGS. 19 and 20, the vertical transfer register 220 is composed of the N-type transfer channel region 221, the second P-type well region 222 for suppressing smear noise and transfer electrodes 223 to 225 formed above the N-type transfer channel region 221 via the insulating film 202. The transfer electrodes 223 to 225 form a one-stage register (three-phase drive CCD) with three electrodes in a column direction, to each of which drive pulses $\phi V1$ to $\phi V3$ are applied. In other words, the transfer electrodes 223 and 225 extending in a row direction and the transfer electrodes 224 extending in a column direction are arranged, and one-stage of vertical transfer registers is provided for one photodiode 210. Therefore, this solid-state image sensing element is a so-called all-pixel readout type CCD-type solid-state image sensing element.

[0073] The P-type channel stopper 230 is formed around the photodiode 210 to separate the photodiode 210 from the vertical transfer register 220 and separate the photodiodes 210 adjacent in a column direction from each other. As shown in FIG. 19, the P-type channel stopper 230 is not formed below the transfer gate TG. Therefore, a signal charge generated by each photodiode 210 is accumulated in the photodiode 210 and transferred to the vertical transfer register 220 via the lower region of the transfer gate TG when the transfer gate TG is turned on. In FIGS. 19 to 21, the directions in which signal charges move are indicated by arrows.

[0074] Further, as shown in FIGS. 19 and 20, a light-shielding film 226 is formed on the upper part of the transfer electrodes 223 to 225 on the vertical transfer register via the insulating film 202. The positions where the transfer gate TG is arranged are inverted between the odd-numbered rows and the even-numbered rows. However, the light-shielding film 226 makes the shape of the light-receiving portion the same, and the light-receiving characteristics are made uniform. In this embodiment, a three-phase drive CCD is used as the vertical transfer register. However, the present invention is not limited to this, and a four-phase drive CCD may be used.

[0075] As described above, in the solid-state image sensing element of the eighth embodiment, a signal charge

of the photodiode 210 provided with the green (G) color filter arranged in a checkered pattern is transferred to one horizontal transfer register 240a, and converted into a voltage signal by one charge detection unit 250a and output from one output terminal 260a. Therefore, the signal processing in a subsequent stage becomes easy, and at the same time, the fixed pattern noise is reduced, and the S / N ratio is improved.

[0076] Further, in the solid-state image sensing element of the eighth embodiment, since the plan view of the light-shielding film 226 and the cross-sectional shape including the wiring and the insulating film are the same between the odd-numbered row and the even-numbered row, the fixed pattern noise is reduced, and the S / N ratio is further improved. In addition, since the embedded photodiode 210 is used in the vertical overflow drain structure, dark current, afterimage, reset noise, blooming, and smear are reduced, and in subsequent stages of the charge detectors 250a and 250b performed is so-called a correlated double sampling process, thereby reducing the reset noise and 1 / f noise generated in the charge detection units 250a and 250b. Therefore, the S / N ratio is further improved.

[0077] Subsequently, a system for processing a signal output from the solid-state image sensing element according to the present invention will be described. FIG. 22 is a configuration diagram showing an example of a signal processing device that processes a signal output from the solid-state image sensing element according to the present invention. The solid-state image sensing element according to the present invention outputs signals from pixels arranged in a checkered pattern from one output terminal and signals from the remaining pixels from the other signal terminal to the outside as described above. Further, it is suitable as a solid-state image sensing element in which a green (G) color filter is arranged line-sequentially corresponding to the checkered pixels (Bayer arrangement) and red (R) and blue (B) color filters are arranged line-sequentially in the other pixels.

[0078] The signal processing apparatus performs color imaging using the solid-state image sensing element of the present invention in which a color filter is arranged in each pixel as described above, and a signal output and distributed into two terminals and converted to the time-series signal corresponding to pixel position. In the solid-state image sensing element of the present invention shown in the first to eighth embodiments, pixel signals (G signal and R / B signal) obtained from two output terminals are output with the same drive clock. Therefore, the drive frequency is half the frequency of the scanning clock (PIXCLK) determined by the number of pixels. Therefore, when it comes to the output timing in a horizontal direction with reference to the scanning first pixel of the first channel, a line that is output at the timing that matches a pixel in the first channel and is output one pixel earlier in the second channel and a line that is output one pixel earlier in the first channel and is output two pixels earlier in the second channel are alternately arranged.

[0079] This apparatus output the G signal as the first channel, and output the line sequential signals of R and B as the second channel. The G signal has the same frequency as the signal output frequency of the solid-state image sensing element, and is AD-converted into the output signal in accordance with the timing. The AD conversion frequency is 1/2 of PIXCLK. Since the G signal is the first channel output, a signal that does not shift the timing in a horizontal direction and a signal that is delayed by one pixel at DL82 (actually DFF synchronized with PIXCLK) are switched for every line by the switching signal HMPX at MPX84. Both signals are timed at the DFF86 synchronized with the PIXCLK corresponding to the pixel position and sent to the signal processing unit 89. For convenience of signal processing, the signal of each G pixel is sent to the signal processing unit with a size of two pixels in a horizontal direction. This may be output by inserting a black pixel (0 level signal) into a pixel in which a green (G) color filter is not arranged.

[0080] The second channel, in which the B signal and the R signal are output line-sequentially, is signal-processed in the same manner as the first channel (G signal), and then delayed by another pixel by the DFF 88, and is sent to the signal processing unit 89. The signal processing unit 89 is a signal processing unit for Bayer arrangement, and performs signal processing such as R / B color separation, pixel interpolation of empty grid points of each RGB color and γ processing to output RGB color signals with all pixels having RGB color signal.

[0081]

[Effects of the Invention] As described in detail above, the solid-state image sensing element according to the present invention can reduce fixed pattern noise of a signal output from a checkered pixel or a photoelectric conversion unit, and improve an S / N ratio. Further, if at least one kind of color filters are arranged in a checkered pattern in the solid-state image sensing element of the present invention to output a color video signal, a color video signal with reduced fixed pattern noise can be obtained with good image quality. The solid-state image sensing element of the present invention is particularly suitable when using a color filter having such an arrangement.

[0082] Further, if the solid-state image sensing element of the present invention has the same planar shape of the light-shielding region between pixels in odd-numbered rows (or the photoelectric conversion unit) and pixels in even-numbered rows (or the photoelectric conversion unit), it causes the effects of reducing fixed pattern noise and improving the S / N ratio. Further, if the cross-sectional shapes of the entire pixel including the wiring and the insulating film are the same, the fixed pattern noise is further reduced, and the S / N ratio is further improved.

[0083] Further, if the output unit is arranged in the pixels of the solid-state image sensing element of the present invention, a signal converted by the electric charge generated by the photoelectric conversion unit (for example, a charge-amplified signal or a current-amplified signal) may be output. The signal charge accumulated in the output unit is retained until it is initialized. Therefore, it is possible to read a plurality of times with such a configuration.

[BRIEF DESCRIPTION OF THE DRAWINGS]

FIG. 1 is a circuit diagram showing an outline of a solid-state image sensing element according to a first embodiment of the present invention.

FIG. 2 is a circuit diagram showing an outline of a solid-state image sensing element according to a second embodiment of the present invention.

FIG. 3 is a circuit diagram of a solid-state image sensing element according to a third embodiment of the present invention.

FIG. 4 is a circuit diagram showing a configuration of a solid-state image sensing element according to a fourth embodiment of the present invention.

FIG. 5 is a plan view of a plurality of pixels of the solid-state image sensing element according to the fourth embodiment.

FIG. 6 is a plan view of one pixel of the solid-state image sensing element according to the fourth embodiment.

FIG. 7 is a cross-sectional view taken along the line X1-X2 of FIG. 6.

FIG. 8 is a cross-sectional view taken along the line Y1-Y2 of FIG. 6.

FIG. 9 is a cross-sectional view taken along the line Y3-Y4 of FIG. 6.

FIG. 10 is a circuit diagram showing a configuration of a solid-state image sensing element according to a fifth embodiment of the present invention.

FIG. 11 is a plan view of a plurality of pixels arranged in a matrix of the solid-state image sensing element according to the fifth embodiment. It is a plan view of the solid-state image sensing element according to the fifth embodiment of the present invention.

FIG. 12 is a plan view of one pixel of the solid-state image sensing element according to the fifth embodiment of the present invention.

FIG. 13 is a cross-sectional view taken along the line X1-X2 of FIG. 12.

FIG. 14 is a cross-sectional view taken along the line Y1-Y2 of FIG. 12.

FIG. 15 is a cross-sectional view taken along the line Y3-Y4 of FIG. 12.

FIG. 16 is a plan view of a plurality of pixels arranged in a matrix of the solid-state image sensing element according to the sixth embodiment of the present invention.

FIG. 17 is a circuit diagram showing an outline of a solid-state image sensing element according to the seventh embodiment of the present invention.

FIG. 18 is a configuration diagram showing an outline of a solid-state image sensing element according to the eighth embodiment of the present invention.

FIG. 19 is a plan view of a region 300 surrounded by a broken line in FIG. 18.

FIG. 20 is a cross-sectional view taken along the line X1-X2 of FIG. 19.

FIG. 21 is a cross-sectional view taken along the line X3-X4 of FIG. 19.

FIG. 22 is a configuration diagram showing an example of a signal processing device that processes a signal output from the solid-state image sensing element according to the present invention.

FIG. 23 is a circuit diagram showing a main configuration of a conventional X-Y address type solid-state image sensing element.

FIG. 24 is a plan view of a plurality of pixels arranged in a matrix of a conventional X-Y address type solid-state image sensing element.

FIG. 25 is a schematic configuration diagram of a conventional CCD type solid-state image sensing element.

FIG. 26 is a cross-sectional view of a CCD type solid-state image sensing element taken along the line X1-X2 of FIG. 25.

FIG. 27 is a diagram showing an example of a color filter array.

FIG. 28 is a diagram showing another example of a color filter array.

[Explanation of Reference Numerals]

1 photodiode
2 JFET
3 Transfer gate
4 Reset drain
5 Reset gate
6a Overflow control area
7 Vertical scanning circuit
8 Horizontal scanning circuit
9a-9c Row selection line
10 P-type semiconductor substrate
11 N-type well area
12 P-type charge storage region
13 High-concentration N-type semiconductor region
14 N-type source area
15 P-type gate area
16 N-type drain area
17 N-type channel area
18 P-type charge discharge region
20, 20a-20c Transfer gate wiring
21, 21a-21c Reset gate wiring
22, 22a-22d Vertical signal line
23 Relay wiring
24, 24a-24c Reset drain wiring
26a-26d Constant current source
27a-27d Horizontal signal line

28a-28d Output buffer amplifier
29a-29d Column buffer amplifier
33 Insulation film
34a, 34b Differential amplifier
35a, 35b Output terminal
41 Photodiode
42 Row selection transistor
51 Photodiode
52 Output transistor
53 Reset transistor
54 Row selection transistor
55a-55c Reset gate wiring
56a-56c Row selection line
80,81 AD converter
82,83 Delay element
84,85 Multiplexer
86,87,88 D flip-flop
89 Signal processing unit for Bayer arrangement
100 High-concentration N-type semiconductor substrate
101 N-type semiconductor layer
200 N-type semiconductor substrate
201 P-type well area
202 Insulation film
210 Photodiode
211 N-type charge storage region
212 High-concentration P-type semiconductor region
220 Vertical transfer register
221 N-type transfer channel area
222 Second P-shaped well area
223, 224, 225 Transfer electrode
226 Light-shielding film
230 P-type channel stopper
240a, 240b Horizontal transfer register
250a, 250b Charge detector
260a, 260b Output terminal

FIG. 6

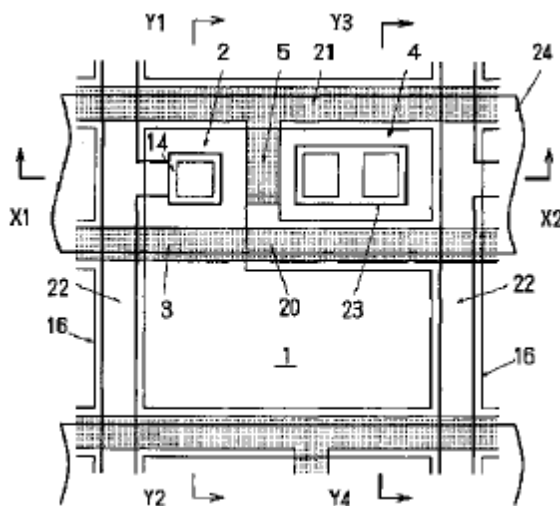
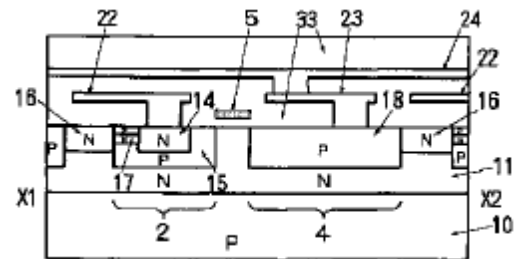
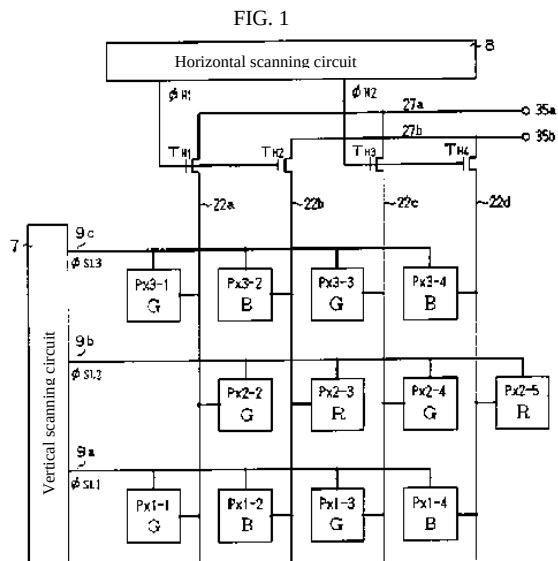
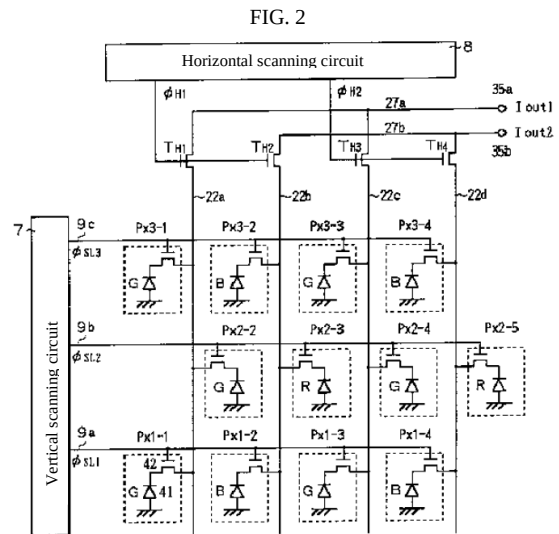
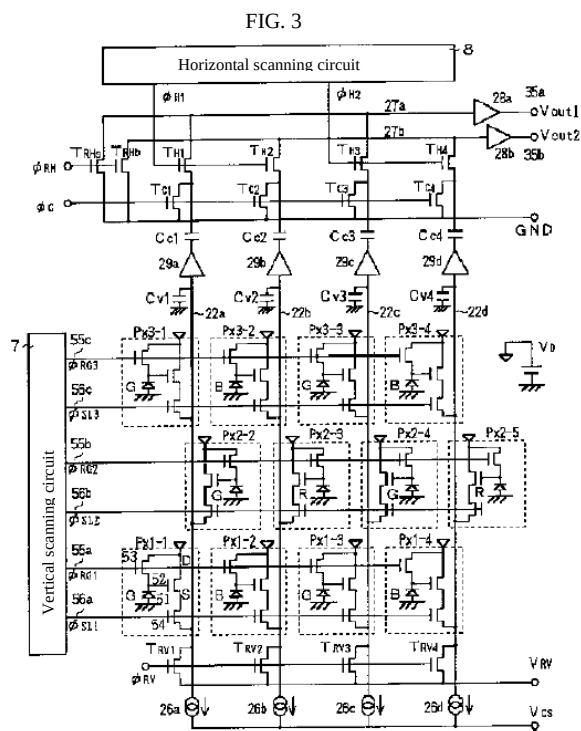
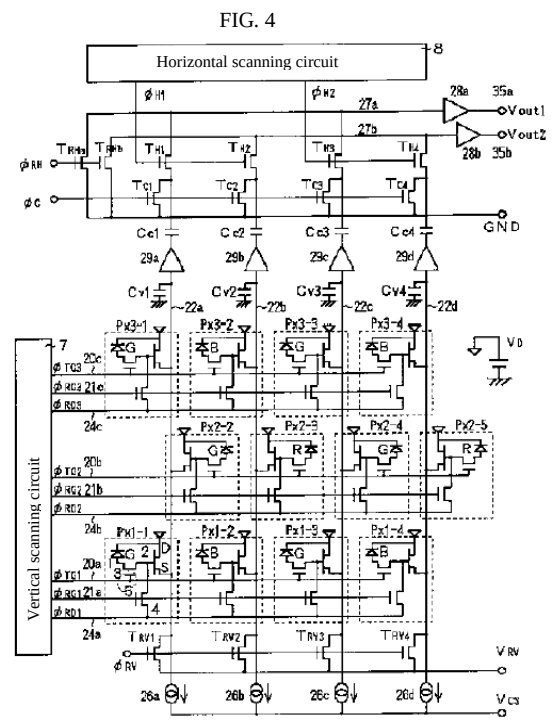
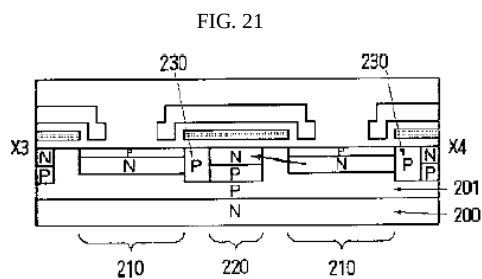
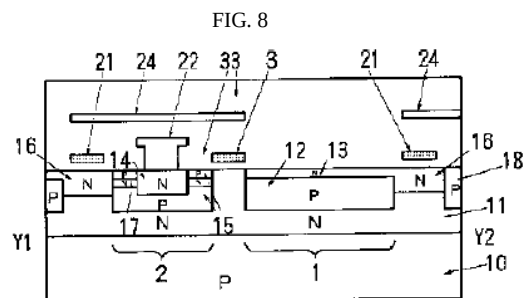


FIG. 7





The diagram illustrates the internal circuitry of a 4K2K active matrix liquid crystal display driver. It features a grid of pixel transistors (Px1-1 to Px4-4) and storage capacitors (Cs1 to Cs4) connected to a horizontal scanning circuit and a vertical scanning circuit. The horizontal scanning circuit includes transistors T1 to T4 and capacitors C1 to C4. The vertical scanning circuit includes transistors TR1 to TR4. The output signals are Vout1 and Vout2, and the input signals are Vcc and GND.

Fig. 1 is a schematic cross-sectional view of a multi-layered electronic device. The device features a top layer (1) with a central opening (3) and a bottom layer (2). A central core (14) is located within the opening (3). The device is surrounded by a frame (20) and a base (22). Various components are labeled with numbers: 1, 2, 3, 4, 5, 6a, 14, 16, 20, 21, 23, 24. Coordinate axes X1, X2, Y1, Y2, Y3, Y4 are shown.

A detailed cross-sectional diagram of a semiconductor device. It shows two identical unit elements, labeled 2 and 4, which are separated by a vertical partition wall 100. Each unit element consists of a gate electrode 18, a source/drain region 17, and a channel region N. The entire structure is formed on a substrate 101. Various other components are labeled with numbers: 5, 22, 33, 23, 24, 14, 15, and P. The diagram also includes labels X1 and X2 indicating different horizontal sections or layers.

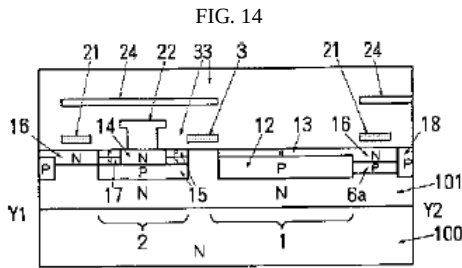
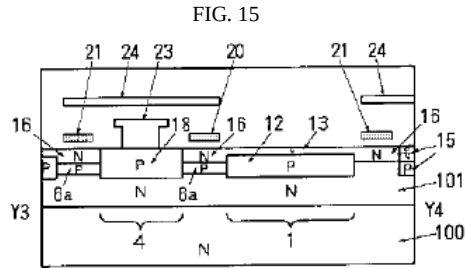
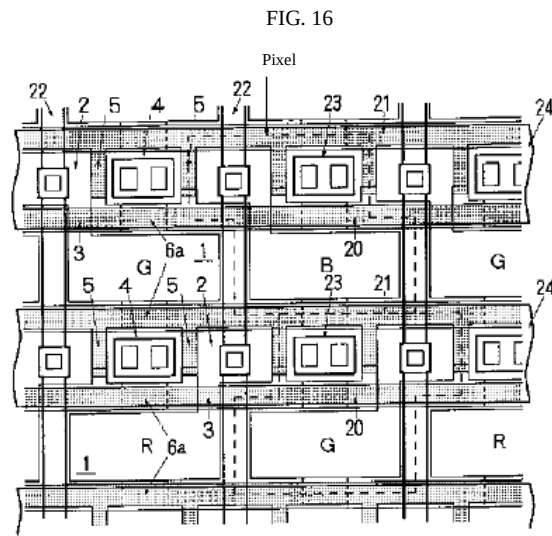
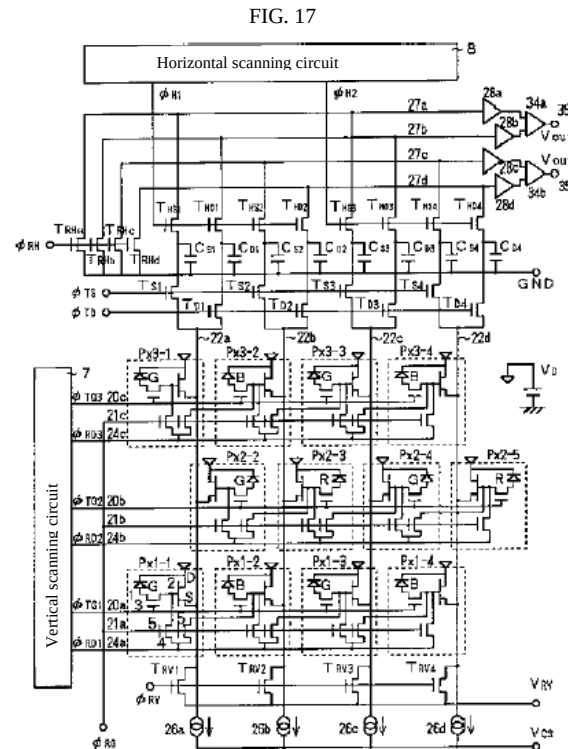
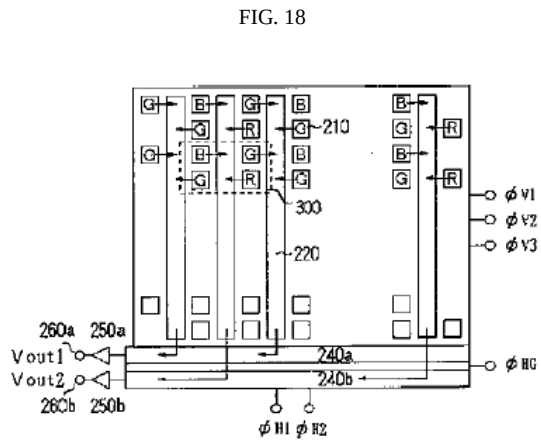
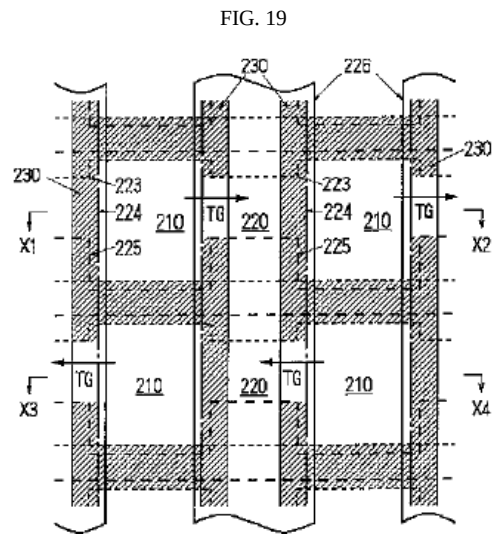
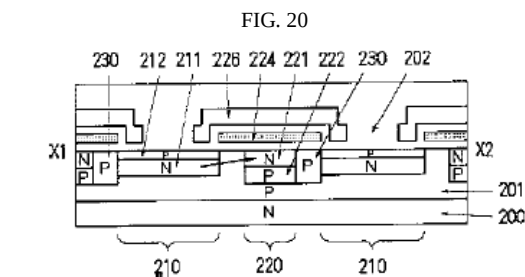


FIG. 22

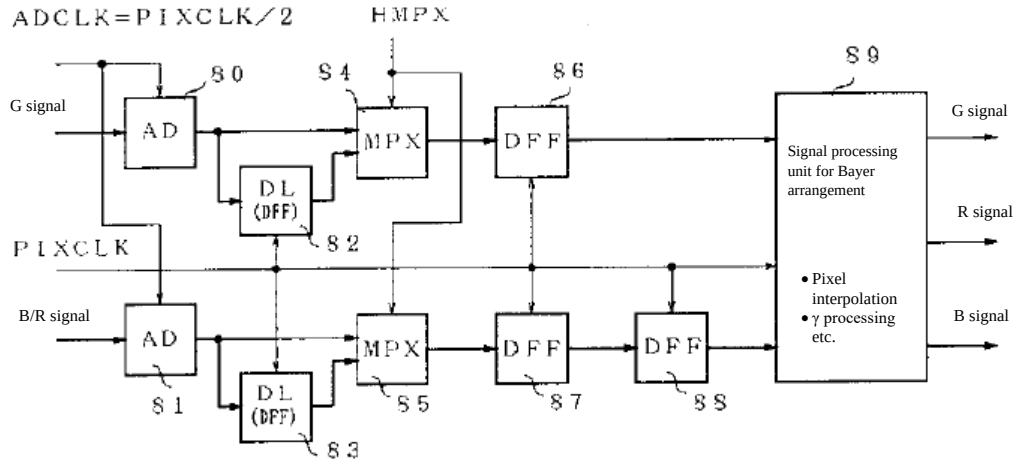


FIG. 23

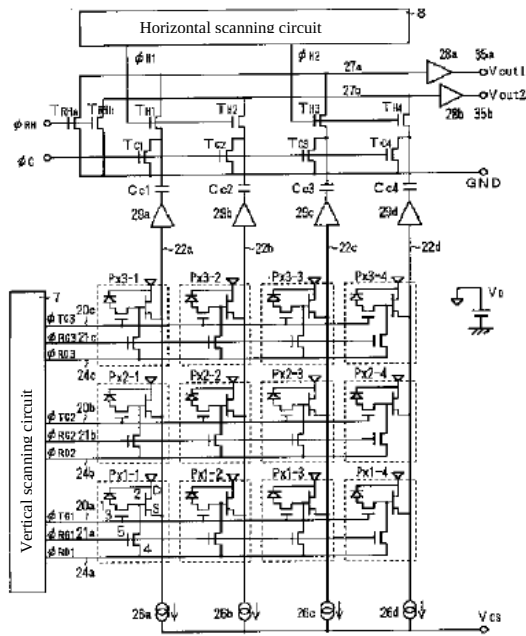


FIG. 25

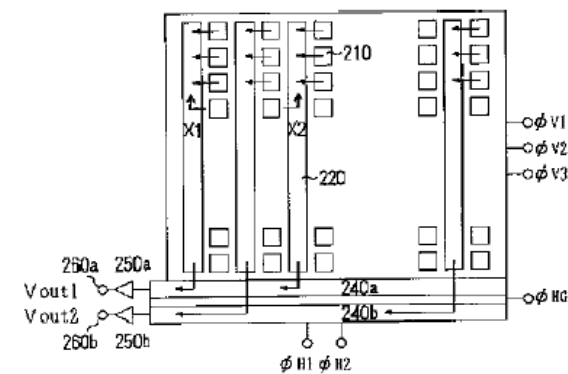


FIG. 24

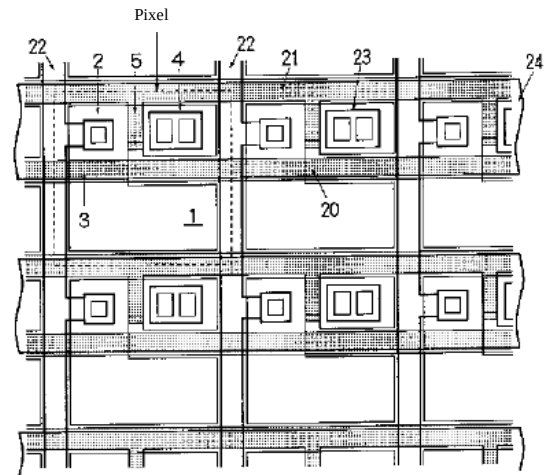


FIG. 26

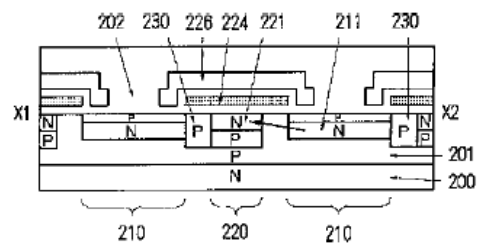


FIG. 27

G	B	G	R	G	B
G	R	G	B	G	R
G	B	G	R	G	B
G	R	G	B	G	R
G	B	G	R	G	B
G	R	G	B	G	R

FIG. 28

G	B	G	B	G	B
R	G	R	G	R	G
G	B	G	B	G	B
R	G	R	G	R	G
G	B	G	B	G	B
R	G	R	G	R	G

Continued from the front page

F Term (Ref.) 4M118 AA01 AA02 AA05 AB01 BA10
CA04 DA02 FA07 FA13 FA14
FA36 FA50 GB03 GB07 GB11
GB20 GC08
5C024 AA01 CA06 DA01 EA08 FA01
FA11 FA12 GA01 GA11 GA31
GA52 JA09
5C065 AA00 BB22 CC01 DD02 DD09
DD15

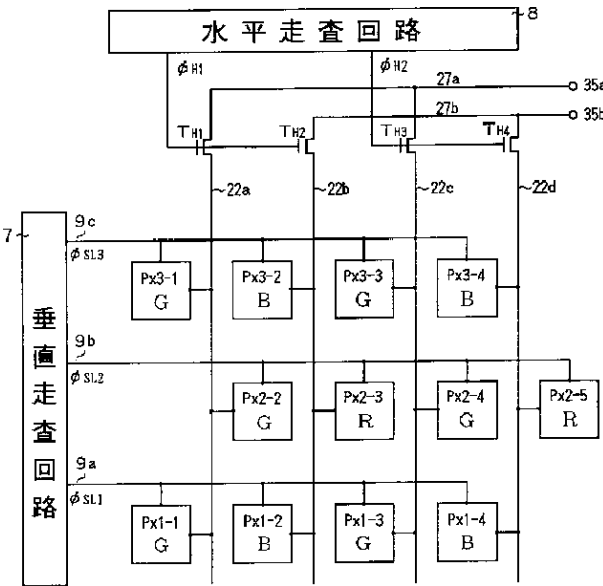
(51)Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L	27/146	H 0 1 L 27/14	A 4 M 1 1 8
	27/148	H 0 4 N 5/335	E 5 C 0 2 4
	27/14	9/07	A 5 C 0 6 5
H 0 4 N	5/335	H 0 1 L 27/14	B
	9/07		D
審査請求 未請求 請求項の数12 O L（全 17 頁）			
(21)出願番号	特願平10－169874	(71)出願人	000004112 株式会社ニコン 東京都千代田区丸の内3丁目2番3号
(22)出願日	平成10年6月17日 (1998.6.17)	(72)発明者	磯貝 忠男 東京都千代田区丸の内3丁目2番3号 株式会社ニコン内
		(72)発明者	壽圓 正博 東京都千代田区丸の内3丁目2番3号 株式会社ニコン内
		最終頁に続く	

(54)【発明の名称】 固体撮像素子

(57)【要約】

【課題】並列出力構成であって、且つ、市松状に配置された画素（又は光電変換部）の信号ばらつきが低減され、S／N比が高い固体撮像素子を提供する。

【解決手段】市松状に配置された特定画素の信号は、2つの水平信号線（又は水平転送レジスタ）の内の一方に出力され、または一つの出力端子から外部に出力される。本発明は、市松状に配置された色フィルタを使用してカラー撮像するのに好適である。



【特許請求の範囲】

【請求項 1】 2次元マトリクス状に配置された複数の画素と、前記画素の信号を出力する複数の出力端子とを備えたX-Yアドレス型固体撮像素子であって、前記画素のうち、市松状に配置された特定画素の信号が1つの出力端子から出力され、他の画素の信号が他の出力端子から出力されることを特徴とする固体撮像素子。

【請求項 2】 2次元マトリクス状に配置された複数の画素と、前記画素が接続された複数の垂直信号線と、スイッチを介して前記垂直信号線が接続された2つの水平信号線とを備えた固体撮像素子であって、前記垂直信号線のそれぞれには、隣り合う2列の画素列のうち一方の画素列の奇数行目の画素、及び、他方の画素列の偶数行目の画素が接続され、一方の前記水平信号線には奇数番目の前記垂直信号線が接続され、他方の前記水平信号線には偶数番目の前記垂直信号線が接続されていることを特徴とする固体撮像素子。

【請求項 3】 前記画素は、入射光に応じた電荷を生成する光電変換部と、前記電荷に応じた信号を垂直信号線に出力する出力部とを有することを特徴とする請求項 1 又は 2 に記載の固体撮像素子。

【請求項 4】 前記画素は前記電荷を前記光電変換部から前記出力部に転送する転送部と、前記出力部を制御する制御部とをさらに有することを特徴とする請求項 3 に記載の固体撮像素子。

【請求項 5】 前記画素の一部に遮光領域が形成され、奇数行目に配置された画素と偶数行目に配置された画素で、前記遮光領域の形状が同一であることを特徴とする請求項 1 から請求項 4 のいずれかに記載の固体撮像素子。

【請求項 6】 前記画素に対応して複数の種類の色フィルタが配置され、少なくとも一種類の前記色フィルタが市松状に配置されていることを特徴とする請求項 1 から請求項 5 のいずれかに記載の固体撮像素子。

【請求項 7】 前記画素に対応して、緑の色フィルタが市松状に配置され、その他の前記画素に対応して、赤と青の色フィルタが線順次に配置されていることを特徴とする請求項 1 から請求項 5 のいずれかに記載の固体撮像素子。

【請求項 8】 2次元マトリクス状に配置された複数の光電変換部と、前記光電変換部の信号を出力する複数の出力端子とを備えたCCD型固体撮像素子であって、前記光電変換部のうち、市松状に配置された特定の光電変換部の信号が1つの出力端子から出力され、他の光電変換部の信号が他の出力端子から出力されることを特徴とする固体撮像素子。

【請求項 9】 2次元マトリクス状に配置された複数の

光電変換部と、

前記光電変換部から信号電荷を受け取り列方向に転送する複数の垂直転送レジスタと、前記垂直転送レジスタから前記信号電荷を受け取り、行方向に転送する2つの水平転送レジスタとを備えた固体撮像素子であって、前記垂直転送レジスタのそれぞれは、隣り合う2列の光電変換部のうち一方の列の奇数行目の光電変換部、及び、他方の列の偶数行目の光電変換部から信号電荷を受け取り、一方の前記水平転送レジスタは奇数番目の前記垂直転送レジスタから信号電荷を受け取り、他方の前記水平転送レジスタは偶数番目の前記垂直転送レジスタから信号電荷を受け取ることを特徴とする固体撮像素子。

【請求項 10】 前記光電変換部の一部に遮光領域が形成され、奇数行目に配置された光電変換部と偶数行目に配置された光電変換部で、前記遮光領域の形状が同一であることを特徴とする請求項 8 または請求項 9 のいずれかに記載の固体撮像素子。

【請求項 11】 前記光電変換部に対応して複数の種類の色フィルタが配置され、少なくとも一種類の前記色フィルタが市松状に配置されていることを特徴とする請求項 8 から請求項 10 のいずれかに記載の固体撮像素子。

【請求項 12】 前記光電変換部に対応して、緑の色フィルタが市松状に配置され、その他の前記光電変換部に対応して、赤と青の色フィルタが線順次に配置されていることを特徴とする請求項 8 から請求項 10 のいずれかに記載の固体撮像素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、固体撮像素子に関するものであり、さらに詳しくは、並列出力構成の固体撮像素子に関するものである。本発明の固体撮像素子は、市松状に配置された色フィルタを使用してカラー撮像するのに好適である。

【0002】

【従来の技術】固体撮像素子は、これまでにX-Yアドレス型やCCD型など様々な方式が提案され、実用化に至っている。まず、従来のX-Yアドレス型固体撮像素子を図面を参照して説明する。図23は、従来のX-Yアドレス型固体撮像素子の主な構成を示す回路図である。従来のX-Yアドレス型固体撮像素子は、2次元マトリクス状に配置された複数の画素 $P_{x1-1} \sim P_{x3-4}$ と、上記画素が接続された垂直信号線 $22a \sim 22d$ と、列バッファアンプ $29a \sim 29d$ 、クランプ容量 $C_{c1} \sim C_{c4}$ 、列選択トランジスタ $TH1 \sim TH4$ を介して上記垂直信号線が接続された水平信号線 $27a$ 、 $27b$ と、水平信号線に接続された出力バッファアンプ $28a$ 、 $28b$ と、各画素 $P_{x1-1} \sim P_{x3-4}$ を駆動する垂直走査回路7と、各列選択トランジスタ $TH1$

～TH4を駆動する水平走査回路8から構成されている。

【0003】水平信号線は、図示されたように複数配置される。画素数が少ない固体撮像素子ならば、1系列の水平信号線でも良い。しかし、画素数が増大すると感度や動作速度が不足するという問題が生じるので、複数の水平信号線を形成し並列に出力するのがより好ましい。画素 $P \times 1 - 1 \sim P \times 3 - 4$ の信号は、JFET2のソース(S)から垂直信号線22a～22dに出力され、列バッファアンプ29a～29d、クランプ容量Cc1～Cc4、列選択トランジスタTH1～TH4を経由して水平信号線27a、27bに出力され、出力バッファアンプ28a、28bを経て出力端子35a、35bから出力(Vout1、Vout2)される。

【0004】なお、クランプ容量Cc1～Cc4と列選択トランジスタTH1～TH4の間にはクランプトランジスタTc1～Tc4が接続され、クランプ容量の一方の電極に一定電圧(図23では接地電位GND)を印加できるようになっている。これは、各画素で生ずるノイズを除去するために配置される。次に図23、図24を参照しながら画素構造を説明する。図24は、マトリクス状に配置された複数の画素の平面図である。各画素は、入射光に応じた電荷を生成して蓄積するフォトダイオード1と、ソースフォロウ動作により上記電荷に応じた信号をソース(S)から出力する接合型電界効果トランジスタ(以下、JFETという)2と、上記電荷をフォトダイオード1からJFET2に転送する転送ゲート3と、JFET2を制御するリセットドレイン4とリセットゲート5から構成されている。そして、各JFET2は、列毎に垂直信号線22a～22dに接続されている。なお、単位画素構造に関しては、特開平8-293591にその詳細が開示されている。

【0005】次に、従来のCCD型固体撮像素子を図面を参照して説明する。図25は、従来のCCD型固体撮像素子の概略構成図である。本素子は、2次元マトリクス状に配置された複数のフォトダイオード210と、フォトダイオード210から信号電荷を受け取り列方向に転送する複数の垂直転送レジスタ220と、垂直転送レジスタ220から信号電荷を受け取り行方向に転送する水平転送レジスタ240a、240bと、電荷検出部250a、250bから構成されている。

【0006】フォトダイオード210で生成された信号電荷は、垂直転送レジスタ220、水平転送レジスタ240a、240bを転送され、電荷検出部250a、250bで電圧信号に変換されて、出力端子260a、260bから出力(Vout1、Vout2)される。図26は、図25のX1-X2線に沿ったCCD型固体撮像素子の断面図である。N型半導体基板200上には、P型ウエル201が設けられる。フォトダイオード210は、このP型ウエル中に配置される。

【0007】フォトダイオード210で生成された信号電荷は、N型電荷蓄積領域211に蓄積される。N型電荷蓄積領域211に蓄積された上記信号電荷は、転送電極224の動作により、先ず垂直転送レジスタ220のN型転送チャネル領域221に転送され、次いで列方向に順次転送される。ところで、固体撮像素子をカラー撮像に使用する場合は、固体撮像素子の各フォトダイオードの上に赤(R)、緑(G)、青(B)のいずれかの色フィルタが配置される。各々の画素は、それぞれの画素に配置されたフィルタに対応する色信号を出力する。

【0008】上記のR、G、Bの各色フィルタの配列は、様々なものが提案されている。図27、図28は、カラー撮像の際固体撮像素子に配置させる代表的な色フィルタ配列を示している。図27に示す配列においては、緑(G)の色フィルタが画素に対応して1列おきにストライプ状に配置され、残されたその他の画素に対応して赤(R)及び青(B)の色フィルタが配置されている。

【0009】図28に示す配列においては、緑(G)の色フィルタが市松状に配置され、残されたその他の画素に対応して赤(R)及び青(B)の色フィルタが線順次に配置(一般にペイヤ配列と呼ぶ)されている。従来の固体撮像素子は、緑(G)の色フィルタが1列おきにストライプ状に配置された、図27に示す色フィルタ配列が好適である。それは、輝度信号の主成分となる緑

(G)の色フィルタを備えた画素の信号が、1つの水平信号線(図23の27aまたは27b)、または1つの水平転送レジスタ(図25の240a、または240b)を経由して、一つの出力端子(図23の35aまたは35b、図25の260aまたは260b)から出力されるため、後段の信号処理が容易になると同時に、固定パターンノイズが減少して、映像信号のS/N比が向上するためである。

【0010】

【発明が解決しようとする課題】しかしながら、従来の固体撮像素子は、例えば、緑(G)の色フィルタが市松状に配置された図28に示す色フィルタ配列を備えた時に、固定パターンノイズが発生し、S/N比が低下するという問題点があった。これは、市松状に配置された画素の信号が、2つの異なる経路(水平信号線または水平転送レジスタ)を経て、2つの異なる出力端子から出力されるためである。

【0011】本発明は、上記課題を鑑みてなされたものであり、並列出力構成であって、且つ、市松状に配置された画素(又は光電変換部)の信号ばらつきが低減され、S/N比が高い固体撮像素子を提供することを目的とする。

【0012】

【課題を解決するための手段】請求項1に記載の発明は、2次元マトリクス状に配置された複数の画素と、前

記画素の信号を出力する複数の出力端子とを備えたX-Yアドレス型固体撮像素子であって、前記画素のうち、市松状に配置された特定画素の信号が1つの出力端子から出力され、他の画素の信号が他の出力端子から出力されることを特徴とするものである。

【0013】市松状に配置された画素の信号が1つの出力端子から出力されるため、市松状に配置された画素から出力される信号の固定パターンノイズは減少し、S/N比が向上する。特に、市松状配列の色フィルタを備えたときに好適である。請求項2に記載の発明は、2次元マトリクス状に配置された複数の画素と、前記画素が接続された複数の垂直信号線と、スイッチを介して前記垂直信号線が接続された2つの水平信号線とを備えた固体撮像素子であって、前記垂直信号線のそれぞれには、隣り合う2列の画素列のうち一方の画素列の奇数行目の画素、及び、他方の画素列の偶数行目の画素が接続され、一方の前記水平信号線には奇数番目の前記垂直信号線が接続され、他方の前記水平信号線には偶数番目の前記垂直信号線が接続されていることを特徴とするものである。

【0014】この構成により、市松状に配置された画素の信号は、1つの水平信号線を経由して出力されるため、固定パターンノイズが減少し、S/N比が向上する。特に、市松状配列の色フィルタを備えたときに好適である。請求項3に記載の発明は、請求項1又は2に記載された固体撮像素子において、前記画素は、入射光に応じた電荷を生成する光電変換部と、前記電荷に応じた信号を垂直信号線に出力する出力部とを有することを特徴とするものである。また、請求項4に記載の発明は、請求項3に記載された固体撮像素子において、前記画素は前記電荷を前記光電変換部から前記出力部に転送する転送部と、前記出力部を制御する制御部とをさらに有することを特徴とするものである。

【0015】これらの構成により、入射光で生じた電荷そのものではなく、この電荷によって変換された信号（例えば電荷増幅された信号や電流増幅された信号）を出力することが可能となる。請求項5に記載の発明は、請求項1から請求項4のいずれかに記載の固体撮像素子であって、前記画素の一部に遮光領域が形成され、奇数行目に配置された画素と偶数行目に配置された画素で、前記遮光領域の形状が同一であることを特徴とするものである。

【0016】この構成により、各画素の受光特性が同一となり、固定パターンノイズが減少し、S/N比が向上する。請求項6に記載の発明は、請求項1から請求項5のいずれかに記載された固体撮像素子であって、前記画素に対応して複数の種類の色フィルタが配置され、少なくとも一種類の前記色フィルタが市松状に配置されていることを特徴とする。

【0017】カラー撮像する場合、固体撮像素子の各画

素には、色フィルタが配置される。色フィルタは、一般に複数の色の種類が有る。請求項7の発明は、この複数の色フィルタの内、少なくとも一色の色フィルタが市松状に配置される。このため、この色に対応する信号は固定パターンノイズが減少し、S/N比が向上する。請求項7に記載の発明は、請求項1から請求項5のいずれかに記載された固体撮像素子であって、前記画素に対応して、緑の色フィルタが市松状に配置され、その他の前記画素に対応して、赤と青の色フィルタが線順次に配置されていることを特徴とするものである。この請求項は、具体的な色フィルタの種類を示したものである。

【0018】請求項8に記載の発明は、2次元マトリクス状に配置された複数の光電変換部と、前記光電変換部の信号を出力する複数の出力端子とを備えたCCD型固体撮像素子であって、前記光電変換部のうち、市松状に配置された特定の光電変換部の信号が1つの出力端子から出力され、他の光電変換部の信号が他の出力端子から出力されることを特徴とするものである。

【0019】市松状に配置された光電変換部の信号が1つの出力端子から出力されるため、市松状に配置された光電変換部から出力される信号の固定パターンノイズは減少し、S/N比が向上する。特に、市松状配列の色フィルタを備えたときに好適である。請求項9に記載の発明は、2次元マトリクス状に配置された複数の光電変換部と、前記光電変換部から信号電荷を受け取り列方向に転送する複数の垂直転送レジスタと、前記垂直転送レジスタから前記信号電荷を受け取り、行方向に転送する2つの水平転送レジスタとを備えた固体撮像素子であって、前記垂直転送レジスタのそれぞれは、隣り合う2列の光電変換部のうち一方の列の奇数行目の光電変換部、及び、他方の列の偶数行目の光電変換部から信号電荷を受け取り、一方の前記水平転送レジスタは奇数番目の前記垂直転送レジスタから信号電荷を受け取り、他方の前記水平転送レジスタは偶数番目の前記垂直転送レジスタから信号電荷を受け取ることを特徴とするものである。

【0020】市松状に配置された光電変換部の信号は、1つの水平転送レジスタを経由して出力される。このため、固定パターンノイズが減少し、S/N比が向上する。市松状配列の色フィルタを備えたときに特に好適である。請求項10に記載の発明は、請求項8または請求項9のいずれかに記載の固体撮像素子であって、前記光電変換部の一部に遮光領域が形成され、奇数行目に配置された光電変換部と偶数行目に配置された光電変換部で、前記遮光領域の形状が同一であることを特徴とするものである。

【0021】この構成により、各光電変換部の受光特性が同一となり、固定パターンノイズが減少し、S/N比が向上する。請求項11に記載の発明は、請求項8から請求項10のいずれかに記載された固体撮像素子であって、前記光電変換部に対応して複数の種類の色フィルタ

が配置され、少なくとも一種類の前記色フィルタが市松状に配置されていることを特徴とする。

【００２２】カラー撮像する場合、固体撮像素子の各光電変換部には、色フィルタが配置される。色フィルタは、一般に複数の色の種類が有る。請求項１１の発明は、この複数の色フィルタの内、少なくとも一色の色フィルタが市松状に配置される。このため、この色に対応する信号は固定パターンノイズが減少し、 S/N 比が向上する。

【００２３】請求項１２に記載の発明は、請求項８から請求項１０のいずれかに記載された固体撮像素子であって、前記光電変換部に対応して、緑の色フィルタが市松状に配置され、その他の前記光電変換部に対応して、赤と青の色フィルタが線順次に配置されていることを特徴とする。この請求項は、具体的な色フィルタの種類を示したものである。

【００２４】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して説明する。なお、各図中、同一符号は同一または相当部分を示し、重複する説明は省略する。

〔実施形態１〕図１は、本発明の実施形態１による固体撮像素子の概略を示す回路図である。

【００２５】実施形態１による固体撮像素子は、 $X-Y$ アドレス型固体撮像素子であり、２次元マトリクス状に配置された複数の画素 $P \times 1-1 \sim P \times 3-4$ と、隣り合う２列の画素が１画素おきに交互に接続された垂直信号線 $22a \sim 22d$ と、列選択トランジスタ $TH1 \sim TH4$ を介して垂直信号線 $22a \sim 22d$ が交互に接続された水平信号線 $27a$ 、 $27b$ と、水平信号線 $27a$ 、 $27b$ に設けられた出力端子 $35a$ 、 $35b$ と、各画素 $P \times 1-1 \sim P \times 3-4$ を駆動する垂直走査回路 7 と、各列選択トランジスタ $TH1 \sim TH4$ を駆動する水平走査回路 8 から構成されている。

【００２６】なお、実際の本実施形態の固体撮像素子の画素は、行方向、列方向ともに１００以上配置される。図１（並びに別の実施形態を示す各回路図）は、便宜上その一部を示している。ここでは、画素数を上記のようにしたが、本発明は、これに限られるものではない。例えば、用途に応じて画素は、行方向、列方向とも１００以上配置させても良い。

【００２７】実施形態１の固体撮像素子は、垂直信号線 $22a \sim 22d$ のそれぞれに、隣り合う２列の画素列のうち一方の画素列の奇数行目の画素と他方の画素列の偶数行目の画素が接続され、また、２つの水平信号線を有している。即ち、垂直信号線 $22a$ は、一行目が図面において向かって左側の画素（ $P \times 1-1$ ）、二行目が右側の画素（ $P \times 2-2$ ）、三行目が左側の画素（ $P \times 3-1$ ）を接続している。そして、垂直信号線 $22a$ 、 $22c$ は、列選択トランジスタ $TH1$ 、 $TH3$ を介して一方の水平信号線 $27a$ に接続される。垂直信号線 22

b 、 $22d$ は列選択トランジスタ $TH2$ 、 $TH4$ を介して他方の水平信号線 $27b$ に接続される。

【００２８】このように接続すれば $P \times 1-1$ 、 $P \times 1-3$ 、 $P \times 2-2$ 、 $P \times 2-4$ 、 $P \times 3-1$ 、 $P \times 3-3$ の画素（市松状に配置された画素）から出力される信号は、同じ水平信号線を経由して固体撮像素子の外部に出力することが可能となる。同じ水平信号線を経由するので、固定パターンノイズは低減される。また、緑

（ G ）の色フィルタが市松状に設けられて、対応する画素（ $P \times 1-1$ 、 $P \times 1-3$ 、 $P \times 2-2$ 、 $P \times 2-4$ 、 $P \times 3-1$ 、 $P \times 3-3$ ）上に配置される。残されたその他の画素には、赤（ R ）と青（ B ）の色フィルタが線順次に配置（ペイヤ配列）される。

【００２９】この様に色フィルタを配置させると、緑（ G ）の信号が同じ水平信号線 $27a$ を経由して出力端子 $35a$ から出力される。また、赤（ R ）と青（ B ）の信号は、他方の水平信号線 $27b$ を経由して出力端子 $35b$ から出力される。以上のように、実施形態１の固体撮像素子は、市松状に配置された緑（ G ）の色フィルタを備えた画素の信号が、１つの水平信号線 $27a$ を経由して、１つの出力端子 $35a$ から出力される。従って、従来の $X-Y$ アドレス型固体撮像素子と比べて、後段の信号処理が容易になると同時に、固定パターンノイズが減少し、 S/N 比が向上する。

〔実施形態２〕図２は、本発明の実施形態２による固体撮像素子の概略を示す回路図である。

【００３０】実施形態２による固体撮像素子は、 $X-Y$ アドレス型固体撮像素子であり、１つの画素（例えば $P \times 1-1$ ）が入射光に応じた電荷を生成して蓄積するフォトダイオード 41 と、フォトダイオード 41 の電荷を垂直信号線 $22a$ に転送する行選択トランジスタ 42 から構成されている。各画素は、フォトダイオード 41 以外の領域を遮光性を有する膜（遮光膜）で被覆し、奇数行目の画素と偶数行目の画素で、遮光領域の形状を同一としても良い。このようにすれば、奇数行目の画素と偶数行目の画素は、受光部の面積、形状、光学的重心の位置が同一となり、受光特性のバラツキが低減される。その他の構成は、実施形態１の固体撮像素子と同一である。

【００３１】また、各画素 $P \times 1-1 \sim P \times 3-4$ のフォトダイオード 41 に対応して、実施形態１の固体撮像素子と同様に、赤（ R ）、緑（ G ）、青（ B ）の各色フィルタが配置されている。このため、緑（ G ）の信号は、すべて一方の水平信号線 $27a$ を経由して出力端子 $35a$ から出力される。また、赤（ R ）と青（ B ）の信号は、他方の水平信号線 $27b$ を経由して出力端子 $35b$ から出力される。

【００３２】従って、実施形態２の固体撮像素子は、実施形態１の固体撮像素子と同様、後段の信号処理が容易になると同時に、固定パターンノイズが減少し、 S/N

比が向上する。

〔実施形態３〕図３は、本発明の実施形態３による固体撮像素子の概略を示す回路図である。

【００３３】実施形態３による固体撮像素子は、 $X-Y$ アドレス型固体撮像素子であり、１つの画素（例えば $P \times 1-1$ ）が入射光に応じた電荷を生成して蓄積するフォトダイオード５１と、フォトダイオード５１の電位を検出しソースフォロワ動作によりソース（Ｓ）から出力するトランジスタ５２と、トランジスタ５２のソース

（Ｓ）と垂直信号線２２ａとを接続する行選択トランジスタ５４と、フォトダイオード５１とトランジスタ５２を初期化するリセットトランジスタ５３から構成されている。なお、フォトダイオード５１の電位は、蓄積された電荷の量に応じて変動する。

【００３４】画素 $P \times 1-1 \sim P \times 3-4$ の信号は、トランジスタ５２のソース（Ｓ）から行選択トランジスタ５４を介して垂直信号線２２ａ～２２ｄに出力され、列バッファアンプ２９ａ～２９ｄ、クランプ容量 $C_{c1} \sim C_{c4}$ 、列選択トランジスタ $TH1 \sim TH4$ を経由して水平信号線２７ａ、２７ｂに出力され、出力バッファアンプ２８ａ、２８ｂを経て、出力端子３５ａ、３５ｂから出力（ V_{out1} 、 V_{out2} ）される。

【００３５】ところで、各画素と垂直信号線２２ａ～２２ｄとの接続関係は実施形態１と同様であり、垂直信号線２２ａ～２２ｄのそれぞれに隣り合う２列の画素が１画素おきに交互に接続される。また、垂直信号線２２ａ～２２ｄは、垂直負荷容量 $C_{v1} \sim C_{v4}$ に接続されるとともに、列バッファアンプ２９ａ～２９ｄ、クランプ容量 $C_{c1} \sim C_{c4}$ を介してクランプトランジスタ $TC1 \sim TC4$ に接続され、さらに列選択トランジスタ $TH1 \sim TH4$ を経て、水平信号線２７ａ、２７ｂに交互に接続される。

【００３６】従って、実施形態３の固体撮像素子は、実施形態１の固体撮像素子と同様、後段の信号処理が容易になると同時に、固定パターンノイズが減少し、 S/N 比が向上する。また、実施形態３の固体撮像素子は、実施形態２の固体撮像素子と同様に各画素のフォトダイオード５１以外の領域を遮光膜で被覆し、奇数行目の画素と偶数行目の画素で遮光領域の形状を同一にしても良い。

【００３７】また、垂直負荷容量 $C_{v1} \sim C_{v4}$ によってトランジスタ５２のソースフォロワ動作の帯域が制限されるためノイズがさらに減少する。即ち、本実施形態の固体撮像素子は、フォトダイオード５１が信号電荷を蓄積した時のソースフォロワ出力と、フォトダイオード５１の信号電荷をリセットした後のソースフォロワ出力をクランプ容量 $C_{c1} \sim C_{c4}$ を介して減算処理する。この処理によって、トランジスタ５２のしきい値電圧のばらつきによる固定パターンノイズ、ソースフォロワ動作時の $1/f$ ノイズ、列バッファアンプ２９ａ～２９ｄ

のオフセット電圧のばらつきによる固定パターンノイズは減少し、 S/N 比がさらに向上する。

〔実施形態４〕図４は、本発明の実施形態４による固体撮像素子の構成を示す回路図である。実施形態４による固体撮像素子は $X-Y$ アドレス型固体撮像素子であり、実施形態３の固体撮像素子とは画素構成が異なっている。また、それに伴って、垂直走査回路やそれに接続される走査用の配線が異なる。

【００３８】実施形態４による固体撮像素子の１つの画素、例えば $P \times 1-3$ は、入射光に応じた電荷を生成して蓄積するフォトダイオード１と、ソースフォロワ動作により上記電荷に応じた信号をソースＳから出力する接合型電界効果トランジスタ（以下、 $JFET$ という）２と、上記電荷をフォトダイオード１から $JFET$ ２に転送する転送ゲート３と、 $JFET$ ２を制御するリセットドレイン４とリセットゲート５から構成されている。

【００３９】その他の構成は、実施形態３の固体撮像素子とほぼ同一である。図５は、本実施形態に係る固体撮像素子の複数の画素の平面図である。各画素は、フォトダイオード１、 $JFET$ ２、転送ゲート３、リセットドレイン４、リセットゲート５から構成されている。そして、奇数行目に配置された画素と偶数行目に配置された画素は、構造が反転しており、隣り合う２列の画素の $JFET$ ２が、１画素おきに交互に垂直信号線２２（図４の垂直信号線２２ａ～２２ｄに対応する）に接続されている。

【００４０】転送ゲート３は転送ゲート配線２０（図４の転送ゲート配線２０ａ～２０ｃに対応する）に、リセットゲート５はリセットゲート配線２１（図４のリセットゲート配線２１ａ～２１ｃに対応する）に、それぞれ接続されている。リセットドレイン４は、中継配線２３を介して、リセットドレイン配線２４（図４のリセットドレイン配線２４ａ～２４ｃに対応する）に接続されている（図７参照）。

【００４１】各画素のフォトダイオード１以外の領域は、アルミニウム等の遮光性を有する材料で形成されたリセットドレイン配線２４及び垂直信号線２２によって遮光されている。このことにより、奇数行目の画素と偶数行目の画素は、受光領域の面積、形状、光学的重心の位置が同一となる。このため、固定パターンノイズがさらに減少し、 S/N 比がさらに向上する。

【００４２】本実施形態の固体撮像素子では、上記のように走査用配線や垂直信号線を遮光膜として兼用した。従って、遮光膜として専用の膜を配置させるよりも製造工程が減少する。このため、歩留まりが向上し、製造コストが低減される。しかし、逆に、遮光膜専用にアルミニウム膜を形成し、受光領域が開くようにパターンニングしても良い。このようにすれば、配線を遮光膜に兼用する必要が無く、配線設計の自由度が向上する。

【００４３】また、本実施形態の固体撮像素子は、実施

形態１に係る固体撮像素子と同様に各画素のフォトダイオード１に赤（Ｒ）、緑（Ｇ）、青（Ｂ）の各色フィルタを配置している。このため、緑（Ｇ）の信号は、すべて一方の水平信号線２７ａを経由して出力端子３５ａから出力される。このため、後段の信号処理が容易になると同時に、固定パターンノイズが減少し、Ｓ／Ｎ比が向上する。

【００４４】以下、図６～図９を参照して実施形態４の固体撮像素子の画素構造をさらに詳細に説明する。図６は、本実施形態に係る固体撮像素子の１つの画素の平面図、図７は図６のＸ１－Ｘ２線に沿った断面図、図８は図６のＹ１－Ｙ２線に沿った断面図、図９は図６のＹ３－Ｙ４線に沿った断面図である。なお、これらの図において色フィルタは省略されている。

【００４５】フォトダイオード１は、図８、図９に示すように、Ｐ型半導体基板１０上に形成されたＮ型ウエル領域１１、Ｐ型電荷蓄積領域１２、高濃度のＮ型半導体領域１３によって構成される。これにより、ＮＰＮＰ型の縦型オーバーフロードレイン構造で埋込型のフォトダイオードが形成されている。即ち、埋め込み型のフォトダイオード（Ｎ，Ｐ，Ｎ）と縦型オーバーフロードレイン構造（Ｐ，Ｎ，Ｐ）の合わさった構造が形成されている。縦型オーバーフロードレイン構造で埋込型のフォトダイオードの構成は、暗電流、残像、リセットノイズ、ブルーミング、及びスミアを低減する効果を有する。

【００４６】ＪＦＥＴ２は、図７、図８に示すように、Ｎ型ソース領域１４、Ｐ型ゲート領域１５、Ｎ型ドレイン領域１６、Ｎ型チャネル領域１７から構成されている。転送ゲート３は、図８に示すようにフォトダイオード１とＪＦＥＴ２の境界領域上に絶縁膜３３を介して形成されている。リセットドレイン４は、図７、図９に示すようにＮ型ウエル領域１１中のＰ型電荷排出領域１８から構成されている。リセットゲート５は、図７に示すようにＪＦＥＴ２とリセットドレイン４の境界領域上に絶縁膜３３を介して形成されている。

【００４７】以上のように、実施形態４の固体撮像素子は、市松状に配置された緑（Ｇ）の色フィルタを備えた画素の信号が、１つの水平信号線２７ａ、１つの出力バッファアンプ２８ａを経由して、１つの出力端子３５ａから出力される。従って、実施形態１の固体撮像素子と同様、後段の信号処理が容易になると同時に、固定パターンノイズが減少し、Ｓ／Ｎ比が向上する。

【００４８】また、実施形態４の固体撮像素子は、各画素のフォトダイオード１以外の領域が、リセットドレイン配線２４及び垂直信号線２２によって遮光され、奇数行目の画素と偶数行目の画素で、遮光領域の形状が同一であるため、固定パターンノイズが減少し、さらにＳ／Ｎ比が向上する。また、縦型オーバーフロードレイン構造及び埋込型のフォトダイオード構造のため、暗電流、残像、リセットノイズ、及びブルーミング、スミアが低

減される。さらに、垂直負荷容量 $C_{v1} \sim C_{v4}$ によってＪＦＥＴ２のソースフォロウ動作の帯域が制限されるためノイズが減少し、さらにＳ／Ｎ比が向上する。

【００４９】更に、初期化後（信号電荷転送前）のＪＦＥＴ２のソースフォロウ出力と、フォトダイオード１からＪＦＥＴ２へ信号電荷転送後のＪＦＥＴ２のソースフォロウ出力を、クランプ容量 $C_{c1} \sim C_{c4}$ を介して減算処理（いわゆる相関二重サンプリング処理）することによって、ＪＦＥＴ２のしきい値電圧のばらつきによる固定パターンノイズ、ソースフォロウ動作時の $1/f$ ノイズ、列バッファアンプ２９ａ～２９ｂのオフセット電圧のばらつきによる固定パターンノイズが低減するばかりでなく、リセットゲート５を介してＪＦＥＴ２を初期化したときに発生するリセットノイズも低減される。このため、さらにＳ／Ｎ比が向上する。

〔実施形態５〕図１０は、本発明の実施形態５による固体撮像素子の構成を示す回路図であり、図１１は、そのマトリクス状に配置された複数の画素の平面図である。

【００５０】実施形態５による固体撮像素子はＸ－Ｙアドレス型固体撮像素子であり、実施形態４の固体撮像素子とは画素構成が異なっている。その他の構成は、実施形態４の固体撮像素子と同一であり、その説明は省略する。ここで、図面を参照して本実施形態に係る固体撮像素子の画素構造を説明する。図１２は、本実施形態に係る固体撮像素子の１つの画素の平面図であり、図１３は図１２のＸ１－Ｘ２線に沿った断面図、図１４は図１２のＹ１－Ｙ２線に沿った断面図、図１５は図１２のＹ３－Ｙ４線に沿った断面図である。

【００５１】１つの画素は、フォトダイオード１、ＪＦＥＴ２、転送ゲート３、リセットドレイン４、１画素当たり２つのリセットゲート５、１画素当たり２つのオーバーフロー制御領域６ａから構成されている（図１２参照）。上記フォトダイオード１、ＪＦＥＴ２、リセットドレイン４、オーバーフロー制御領域６ａは、高濃度のＮ型半導体基板１００上のＮ型半導体層１０１中に設けられる。転送ゲート３、リセットゲート５は、Ｎ型半導体層１０１上に絶縁膜３３を介して設けられる。

【００５２】フォトダイオード１は、図１４、図１５に示すように、高濃度のＮ型半導体基板１００上に形成されたＮ型半導体層１０１、Ｐ型電荷蓄積領域１２、高濃度のＮ型半導体領域１３によって構成される。即ち、ＮＰＮ型の埋込フォトダイオードが設けられている。ＪＦＥＴ２は、図１３、図１４に示すように、高濃度のＮ型半導体基板１００上のＮ型半導体層１０１中に設けられている。従って、ＪＦＥＴ２のドレイン領域１６は、Ｎ型半導体層１０１を介して高濃度のＮ型半導体基板１００と電気的に接続されている。従って、高濃度のＮ型半導体基板１００を経由してＪＦＥＴ２のドレイン領域１６にドレイン電圧 V_D （図１０参照）を供給することができる。高濃度のＮ型半導体基板１００は、電気抵抗が

小さいため、たとえ多数の画素を配列しても各JFET毎のドレイン電圧の変動を抑圧することができる。

【0053】このドレイン電圧VDは、画素領域（画素がマトリクス状に複数配置された領域）の周囲にコンタクトを設けて半導体基板100を経由して供給しても、又、半導体基板100の裏面にコンタクトを設けて供給しても良い。リセットドレイン4のP型電荷排出領域18は、図13に示すように、中継配線23を介して、リセットドレイン配線24に接続されている。

【0054】リセットゲート5は、図12、図13に示すように、1画素当たり2つの割合で形成されている。従って、JFET2のP型ゲート領域15とリセットドレイン4のP型電荷排出領域18はリセットゲート5を介して行方向に直列に接続されている。オーバーフロー制御領域6aは、オーバーフローのためにフォトダイオード1とリセットドレイン4の境界領域に配置される。一般に、過剰な光量がフォトダイオードに入射し、生成した電荷がフォトダイオードの容量（最大電荷蓄積量）を越えると、過剰電荷があふれ出しブルーミングを生ずる。オーバーフロー制御領域6aは、この過剰電荷をリセットドレイン4に排出するものであり、ブルーミングを防止するものである。オーバーフロー制御領域6aは、図12、図14、図15に示すように、フォトダイオード1と、これに隣接する2つのリセットドレイン4との間に配置される。即ち、オーバーフロー制御領域6aは、フォトダイオード1とリセットドレイン4の境界領域に1画素当たり2つの割合で配置される。

【0055】このように、本実施形態の固体撮像素子の画素構造は、NPN型の埋込フォトダイオード1、オーバーフロー制御領域6a、リセットドレイン4によって構成され、これにより、埋め込み型フォトダイオードと横型オーバーフロードレイン構造が形成されている。ここで、図10、11に戻って説明する。本実施形態の固体撮像素子は、上記の画素がマトリクス状に配置される。ところで、行方向（図10、11において横方向）に配置された各画素のJFET2のゲート領域とリセットドレイン4は、リセットゲート5を介して全て直列に接続されている。この構成により、リセットドレイン配線の断線による不良が低減される。即ち、ある画素において、リセットドレイン4とリセットドレイン配線24、24a～24cとの接続が不完全となる解放モードの不良が発生しても、他の画素のリセットドレイン4から上記画素のJFET2と接続される。このため、断線となる可能性が非常に小さくなる。

【0056】その他の構成は実施形態4の固体撮像素子と同一である。このため、実施形態5の固体撮像素子は、実施形態4の固体撮像素子と同様に固定パターンノイズが低減し、S/N比が向上する。また、実施形態5の固体撮像素子は、リセットドレイン4への接続が不完全となる解放モードの不良が発生してもJFET2が制

御可能なため、製造歩留まりが向上する。

【0057】また、高濃度（低抵抗）のN型半導体基板100を経由して、JFET2のドレイン領域16にドレイン電圧VDを供給するので、ドレイン電圧の画素毎の揺らぎが減少して、固定パターンノイズが減少する。また、フォトダイオード1のP型電荷蓄積領域12と、反対導電型のN型半導体基板100を使用している。このため、フォトダイオード1深部で発生した信号電荷（この場合は正孔）もフォトダイオード1に蓄積され感度が向上する。

〔実施形態6〕図16は、本発明の実施形態6に係る固体撮像素子のマトリクス状に配置された複数の画素の平面図である。

【0058】実施形態6の固体撮像素子はX-Yアドレス型固体撮像素子であり、画素に配置されたフォトダイオード1、JFET2、転送ゲート3、リセットドレイン4、リセットゲート5及びオーバーフロー制御領域6aの相対的な位置関係と配線部の形状が実施形態5の固体撮像素子と異なっている。即ち、実施形態6の固体撮像素子は、リセットドレイン配線24で覆われた遮光領域におけるリセットゲート5、垂直信号線22、及び中継配線23が、奇数行目の画素と偶数行目の画素で同一の形状及び配置となっている。従って、遮光領域の平面的な形状のみならず、配線や絶縁膜を含めた画素全体の断面形状まで同一である。このため、受光特性のばらつきがさらに減少する。

【0059】回路図を含むその他の構成は、実施形態5の固体撮像素子と同一である（図10参照）。従って、実施形態6の固体撮像素子は、実施形態5の固体撮像素子と同様に固定パターンノイズが低減し、S/N比、歩留まり、及び感度が向上する。また、実施形態6の固体撮像素子は、偶数行目の画素と奇数行目の画素で、配線や絶縁膜の断面形状も同一となるため、固定パターンノイズが減少し、さらにS/N比が向上する。

〔実施形態7〕図17は、本発明の実施形態7による固体撮像素子の概略を示す回路図である。実施形態7の固体撮像素子はX-Yアドレス型固体撮像素子であり、垂直信号線22a～22dから出力端子35a、35bまでの構成が、実施形態5の固体撮像素子と異なっている。

【0060】隣り合う2列の画素が1画素おきに交互に接続された垂直信号線22a～22dは、信号出力転送用トランジスタTS1～TS4を介して、信号出力蓄積容量CS1～CS4に接続されるとともに、列選択トランジスタTHS1～THS4を経て、水平信号線27aまたは27c（信号出力線）に接続されている。さらに、垂直信号線22a～22dは、暗出力転送用トランジスタTD1～TD4を介して、暗出力蓄積容量CD1～CD4に接続されるとともに、列選択トランジスタTHD1～THD4を経て、水平信号線27bまたは27

d（暗出力線）に接続されている。つまり、垂直信号線22a～22dは、1組の水平信号線（信号出力線27a、暗出力線27b）と他の組の水平信号線（信号出力線27c、暗出力線27d）に交互に接続されている。

【0061】水平信号線27a～27dは、出力バッファアンプ28a～28dを介して、差動アンプ34a、34bに接続されている。このように水平信号線27a～27dは、4本配置される。しかし、水平信号線27aと27b、及び水平信号線27cと27dは、対になっている。即ち、2組（2つ）の水平信号線が配置されている。

【0062】例えば、垂直信号線22aには画素 P_{x1-1} 、 P_{x2-2} 、 P_{x3-1} が接続される。垂直信号線22aは、ノイズ（暗出力）を含む光信号を蓄積して出力する経路（即ち、 $TS1-CS1-THS1-27a-28a$ ）と、ノイズ（暗出力）を蓄積して出力する経路（即ち、 $TD1-CD1-THD1-27b-28b$ ）が接続される。それぞれの経路に接続された出力バッファアンプ28a及び28bは、差動アンプ34aに接続される。そして、それぞれの経路から出力された信号は、減算処理されて一方の出力端子35aから出力される。

【0063】一方、垂直信号線22bには画素 P_{x1-2} 、 P_{x2-3} 、 P_{x3-2} が接続される。そして、垂直信号線22bは、暗出力を含む光信号を蓄積して出力する経路（即ち、 $TS2-CS2-THS2-27c-28c$ ）と、暗出力を蓄積して出力する経路（即ち、 $TD2-CD2-THD2-27d-28d$ ）が接続される。それぞれの経路に接続された出力バッファアンプ28c及び28dは差動アンプ34bに接続され、それぞれの経路から出力された信号は減算処理されて他方の出力端子35bから出力される。

【0064】ここで、本実施形態の固体撮像素子の動作を簡単に説明する。先ず、初期化後（信号電荷転送前）のJFET2のソースフォロワ出力（暗出力）をCD1～CD4に蓄積する。次に、フォトダイオード1からJFET2へ信号電荷転送後のJFET2のソースフォロワ出力（信号出力。暗出力成分を含む）をCS1～CS4に蓄積する。次いで、列選択トランジスタTHS1～THS4、THD1～THD4、水平信号線27a～27d、出力バッファアンプ28a～28dを介して、差動アンプ34a、34bにて、信号出力と暗出力を減算処理する。この動作によって、いわゆる相関二重サンプリング処理がなされ、暗出力成分が差し引かれた真の信号出力が得られる。

【0065】なお、ここに記載した暗出力には「JFET2のしきい値電圧のばらつきによる固定パターンノイズ」「列バッファアンプ29a～29dのオフセット電圧のばらつきによる固定パターンノイズ」「ソースフォロワ動作時の $1/f$ ノイズ」「JFET2を初期化した

ときのリセットノイズ」が含まれる。なお、外部のノイズの影響を避けるため、出力バッファアンプ28a～28dは、固体撮像素子の内部に設けることが好ましい。一方、差動アンプ34a、34bは、固体撮像素子の外部に設けても良い。

【0066】また、緑（G）の色フィルタを市松状に設けて対応する画素（ P_{x1-1} 、 P_{x1-3} 、 P_{x2-2} 、 P_{x2-4} 、 P_{x3-1} 、 P_{x3-3} ）上に配置しているため、緑（G）の信号は、すべて一方の組の水平信号線27a、27bを経由して出力端子35aから出力される。また、赤（R）と青（B）の信号は、他方の組の水平信号線27c、27dを経由して出力端子35bから出力される。このため、後段の信号処理が容易になると同時に、固定パターンノイズが減少し、S/N比が向上する。

〔実施形態8〕図18は、本発明の実施形態8による固体撮像素子の概略を示す構成図である。実施形態8による固体撮像素子は、CCD型固体撮像素子であり、2次元マトリクス状に配置された複数のフォトダイオード210と、隣り合う2列のフォトダイオード210から1つおきに交互に信号電荷を受け取り、列方向に転送する複数の垂直転送レジスタ220と、垂直転送レジスタ220から信号電荷を受け取り行方向に転送する2つの水平転送レジスタ240a、240bと、電荷検出部250a、250bを有している。

【0067】水平転送レジスタ240a、240bの間には振り分け転送電極（図示せず）が配置され、この電極によって信号電荷が水平転送レジスタ240aまたは水平転送レジスタ240bのいずれかに転送される。 $\phi V1 \sim \phi V3$ は垂直転送レジスタ220の転送電極（後述）に印加されるパルス電圧であり、 ϕHG は水平転送レジスタ240a、240b間の振り分け転送電極に印加されるパルス電圧である。

【0068】また、各フォトダイオード210には実施形態1と同様な配列で赤（R）、緑（G）、青（B）の色フィルタが配置される。フォトダイオード210で生成された信号電荷は、垂直転送レジスタ220、水平転送レジスタ240a、240bを転送され、電荷検出部250a、250bで電圧信号に変換されて、出力端子260a、260bから出力（Vout1、Vout2）される。

【0069】このように、実施形態8の固体撮像素子は、垂直転送レジスタ220のそれぞれが、隣り合う2列のフォトダイオード210から1つおきに交互に信号電荷を受け取っている。即ち、各々の垂直転送レジスタは、一行目が図面において向かって左側の画素、二行目が右側の画素、三行目が左側の画素から電荷信号を受け取る。

【0070】そして、垂直転送レジスタ220のそれぞれから出力される信号電荷は、交互に水平信号レジスタ

240a, 240bに転送される。このように接続すれば、市松状に配置された画素から出力される信号電荷は、同じ水平転送レジスタを経由して固体撮像素子の外部に出力される。同じ水平転送レジスタを経由するので、固定パターンノイズは低減される。

【0071】以下、図19～図21を参照して実施形態4の固体撮像素子の画素構造をさらに詳細に説明する。図19は図18の破線で囲まれた領域300の平面図、図20は図19のX1-X2線に沿った断面図、図21は図19のX3-X4線に沿った断面図である。なお、同図において色フィルタは省略されている。フォトダイオード210は、図20に示すように、N型半導体基板200上に形成されたP型ウエル領域201、N型電荷蓄積領域211、高濃度のP型半導体領域212によって構成される。これにより、PNPN型の縦型オーバーフローレイン構造で埋込型のフォトダイオードが形成されている。即ち、埋め込みフォトダイオード(P, N, P)と縦型オーバーフローレイン構造(N, P, N)の合わさった構造が形成されている。縦型オーバーフローレイン構造で埋め込み型のフォトダイオードの構成は、暗電流、残像、リセットノイズ、ブルーミング、及びスミアを低減する効果を有する。

【0072】垂直転送レジスタ220は、図19、図20に示すように、N型転送チャネル領域221、スミアノイズを抑圧するための第2のP型ウエル領域222、N型転送チャネル領域221上部に絶縁膜202を介して形成された転送電極223～225から構成されている。上記転送電極223～225は、列方向に3つの電極で1段分のレジスタ(3相駆動CCD)を構成しており、それぞれに駆動パルスφV1～φV3が印加されている。即ち、行方向に延在する転送電極223、225と、列方向に延在する転送電極224とが配置され、1つのフォトダイオード210に対して1段分の垂直転送レジスタが設けられる。従って、本固体撮像素子は、いわゆる全画素読み出し方式のCCD型固体撮像素子である。

【0073】P型チャネルストッパ230は、フォトダイオード210の周囲に形成され、フォトダイオード210と垂直転送レジスタ220間、及び、列方向に隣接するフォトダイオード210間を分離している。P型チャネルストッパ230は、図19に示すように、転送ゲートTGの下部には形成されない。従って、各フォトダイオード210で生成された信号電荷は、フォトダイオード210に蓄積され、転送ゲートTGがオンすることによって転送ゲートTGの下部の領域を経由して垂直転送レジスタ220に転送される。図19～図21では、信号電荷の移動する向きを矢印にて示してある。

【0074】また、遮光膜226が図19、図20に示すように垂直転送レジスタ上の転送電極223～225上部に絶縁膜202を介して形成される。転送ゲートT

Gの配置される位置は、奇数行目と偶数行目とで反転している。しかし、遮光膜226によって、受光部の形状が同一となり、受光特性が均一化される。なお、本実施形態において、垂直転送レジスタは、3相駆動CCDを用いた。しかし、これに限らず、4相駆動CCDでも構わない。

【0075】以上のように、実施形態8の固体撮像素子は、市松状に配置された緑(G)の色フィルタを備えたフォトダイオード210の信号電荷が、1つの水平転送レジスタ240aを転送され、1つの電荷検出部250aにて電圧信号に変換され、1つの出力端子260aから出力される。従って、後段の信号処理が容易になると同時に、固定パターンノイズが減少し、S/N比が向上する。

【0076】また、実施形態8の固体撮像素子は、奇数行目と偶数行目で、遮光膜226の平面的な形状と配線や絶縁膜を含めた断面形状が同一であるため、固定パターンノイズが減少し、さらにS/N比が向上する。また、縦型オーバーフローレイン構造で埋込型のフォトダイオード210を採用しているため、暗電流、残像、リセットノイズ、及びブルーミング、スミアが減少し、また、電荷検出部250a, 250bの後段で、いわゆる相関二重サンプリング処理をすることによって、電荷検出部250a, 250bで発生するリセットノイズ、及び、1/fノイズが減少する。従って、さらにS/N比が向上する。

【0077】次に、本発明に係る固体撮像素子から出力される信号を処理するシステムを説明する。図22は本発明に係る固体撮像素子から出力された信号を処理する信号処理装置の一例を示す構成図である。本発明に係る固体撮像素子は、上記の説明の如く市松状に配置された画素からの信号を一方の出力端子から、残りの画素からの信号を他方の信号端子より外部に出力する。そして、市松状に配置された画素に対応して緑(G)の色フィルタ、その他の画素に赤(R)と青(B)の色フィルタを線順次に配置(ベイヤ配列)させるカラー用の固体撮像素子として好適である。

【0078】本信号処理装置は、上記のように色フィルタが各画素に配置された本発明の固体撮像素子を用いてカラー撮像し、2つの端子に振り分けられて出力される信号を画素の位置に対応した時系列信号に戻すものである。実施形態1から実施形態8に示す本発明の固体撮像素子においては、2つの出力端子から得られる画素の信号(G信号およびR/B信号)は、同一の駆動クロックで出力される。従って駆動周波数は画素数で決まる走査クロック(PICK)の周波数の1/2の周波数になっている。そのため、第1のチャネルの走査先頭画素を基準に水平方向の出力タイミングを見ると、第1のチャネルでは画素に合ったタイミングで出力されて第2のチャネルでは1画素分早く出力されるラインと、第1の

チャンネルでは1画素分早く出力されて第2のチャンネルでは2画素分早く出力されるラインが交互に配置されていることになる。

【0079】本装置は、G信号が上記第1のチャンネル、R、Bの線順次信号が第2のチャンネルとして出力される。G信号は固体撮像素子の信号出力周波数と同一の周波数で、出力信号にタイミングに合わせてAD変換される。AD変換周波数はPIXCLKの1/2である。G信号は第1のチャンネル出力であるから、水平方向にタイミングをずらさない信号と1画素分DL82（実体はPIXCLKに同期したDFF）で遅らせた信号をMPX84において切換え信号HMPXでライン毎に切換え、どちらの信号も画素位置に対応したPIXCLKに同期したDFF86でタイミングをとり、信号処理部89に送られる。なお、信号処理の都合上、各G画素の信号は水平方向に2画素分の大きさとして信号処理部に送っている。これは、緑（G）の色フィルタが配置されていない画素に黒画素（Oレベル信号）を挿入して出力されるようにしてもよい。

【0080】B信号とR信号が線順次に出力される第2のチャンネルは、第1のチャンネル（G信号）と同様に信号処理された後、DFF88でもう1画素分遅らせて信号処理部89に送られる。信号処理部89はベイヤ配列用の信号処理部であり、R/Bの色分離、RGB各色の空格子点の画素補間、 γ 処理などの信号処理を施して、全画素にRGB全ての色信号があるRGB信号として出力される。

【0081】

【発明の効果】以上詳述したとおり、本発明による固体撮像素子は、市松状に配置された画素または光電変換部から出力される信号の固定パターンノイズを低減することができ、S/N比が向上するという効果がある。また、本発明の固体撮像素子に少なくとも一種類の色フィルタを市松状に配置してカラー映像信号を出力させれば、固定パターンノイズが低減されたカラー映像信号が得られ、良好な画質を得ることが可能となる。本発明の固体撮像素子は、このような配列の色フィルタを使用する際に特に好適である。

【0082】また、本発明の固体撮像素子を奇数行目の画素（又は光電変換部）と偶数行目の画素（又は光電変換部）で遮光領域の平面的な形状を同一とするなら、固定パターンノイズが減少し、S/N比が向上するという効果もある。さらに、配線や絶縁膜等を含む画素全体の断面形状も同一にすれば、固定パターンノイズがさらに減少し、S/N比がさらに向上する。

【0083】また、本発明の固体撮像素子の画素に出力部を配置させれば、光電変換部で生じた電荷によって変換された信号（例えば電荷増幅された信号や電流増幅された信号）を出力することが可能となる。出力部に蓄積された信号電荷は、初期化されるまで保持される。従っ

て、このような構成で複数回読み出すことも可能となる。

【図面の簡単な説明】

【図1】本発明の実施形態1による固体撮像素子の概略を示す回路図である。

【図2】本発明の実施形態2による固体撮像素子の概略を示す回路図である。

【図3】本発明の実施形態3による固体撮像素子の回路図である。

【図4】本発明の実施形態4による固体撮像素子の構成を示す回路図である。

【図5】実施形態4に係る固体撮像素子の複数の画素の平面図である。

【図6】実施形態4に係る固体撮像素子の1つの画素の平面図である。

【図7】図6のX1-X2線に沿った断面図である。

【図8】図6のY1-Y2線に沿った断面図である。

【図9】図6のY3-Y4線に沿った断面図である。

【図10】本発明の実施形態5による固体撮像素子の構成を示す回路図である。

【図11】実施形態5に係る固体撮像素子のマトリクス状に配置された複数の画素の平面図である。本発明の実施形態5による固体撮像素子の平面図である。

【図12】本発明の実施形態5に係る固体撮像素子の1つの画素の平面図である。

【図13】図12のX1-X2線に沿った断面図である。

【図14】図12のY1-Y2線に沿った断面図である。

【図15】図12のY3-Y4線に沿った断面図である。

【図16】本発明の実施形態6に係る固体撮像素子のマトリクス状に配置された複数の画素の平面図である。

【図17】本発明の実施形態7による固体撮像素子の概略を示す回路図である。

【図18】本発明の実施形態8による固体撮像素子の概略を示す構成図である。

【図19】図18の破線で囲まれた領域300の平面図である。

【図20】図19のX1-X2線に沿った断面図である。

【図21】図19のX3-X4線に沿った断面図である。

【図22】本発明に係る固体撮像素子から出力された信号を処理する信号処理装置の一例を示す構成図である。

【図23】従来のX-Yアドレス型固体撮像素子の主な構成を示す回路図である。

【図24】従来のX-Yアドレス型固体撮像素子のマトリクス状に配置された複数の画素の平面図である。

【図25】従来のCCD型固体撮像素子の概略構成図で

ある。

【図26】図25のX1-X2線に沿ったCCD型固体撮像素子の断面図である。

【図27】色フィルタ配列の一例を示す図である。

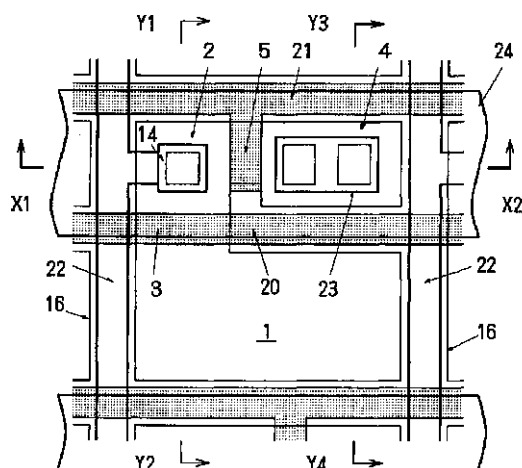
【図28】色フィルタ配列の他の例を示す図である。

【符号の説明】

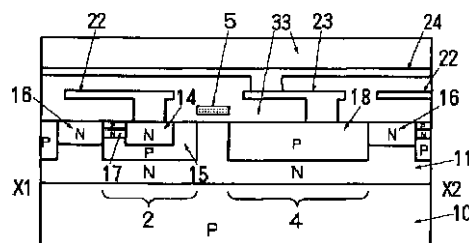
- 1 フォトダイオード
- 2 J F E T
- 3 転送ゲート
- 4 リセットドレイン
- 5 リセットゲート
- 6 a オーバーフロー制御領域
- 7 垂直走査回路
- 8 水平走査回路
- 9 a ~ 9 c 行選択線
- 10 P型半導体基板
- 11 N型ウエル領域
- 12 P型電荷蓄積領域
- 13 高濃度のN型半導体領域
- 14 N型ソース領域
- 15 P型ゲート領域
- 16 N型ドレイン領域
- 17 N型チャネル領域
- 18 P型電荷排出領域
- 20, 20 a ~ 20 c 転送ゲート配線
- 21, 21 a ~ 21 c リセットゲート配線
- 22, 22 a ~ 22 d 垂直信号線
- 23 中継配線
- 24, 24 a ~ 24 c リセットドレイン配線
- 26 a ~ 26 d 定電流源
- 27 a ~ 27 d 水平信号線
- 28 a ~ 28 d 出力バッファアンプ
- 29 a ~ 29 d 列バッファアンプ
- 33 絶縁膜

- 34 a, 34 b 差動アンプ
- 35 a, 35 b 出力端子
- 41 フォトダイオード
- 42 行選択トランジスタ
- 51 フォトダイオード
- 52 出力トランジスタ
- 53 リセットトランジスタ
- 54 行選択トランジスタ
- 55 a ~ 55 c リセットゲート配線
- 56 a ~ 56 c 行選択線
- 80, 81 A D変換器
- 82, 83 遅延素子
- 84, 85 マルチプレクサ
- 86, 87, 88 Dフリップフロップ
- 89 ベイヤ配列用信号処理部
- 100 高濃度のN型半導体基板
- 101 N型半導体層
- 200 N型半導体基板
- 201 P型ウエル領域
- 202 絶縁膜
- 210 フォトダイオード
- 211 N型電荷蓄積領域
- 212 高濃度のP型半導体領域
- 220 垂直転送レジスタ
- 221 N型転送チャネル領域
- 222 第2のP型ウエル領域
- 223, 224, 225 転送電極
- 226 遮光膜
- 230 P型チャネルストップパ
- 240 a, 240 b 水平転送レジスタ
- 250 a, 250 b 電荷検出部
- 260 a, 260 b 出力端子

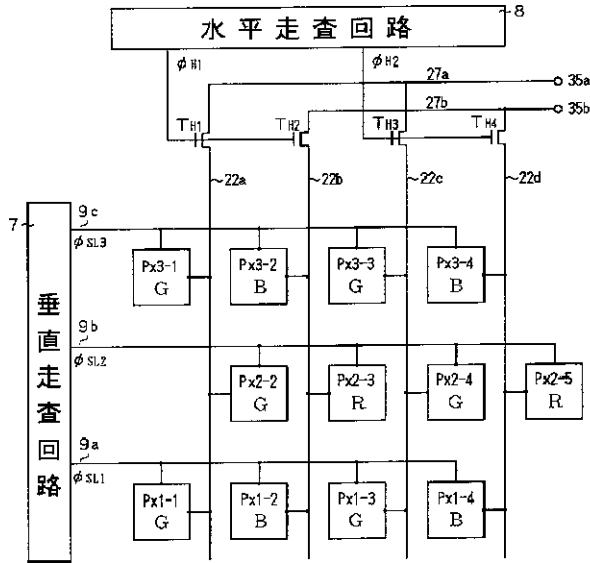
【図6】



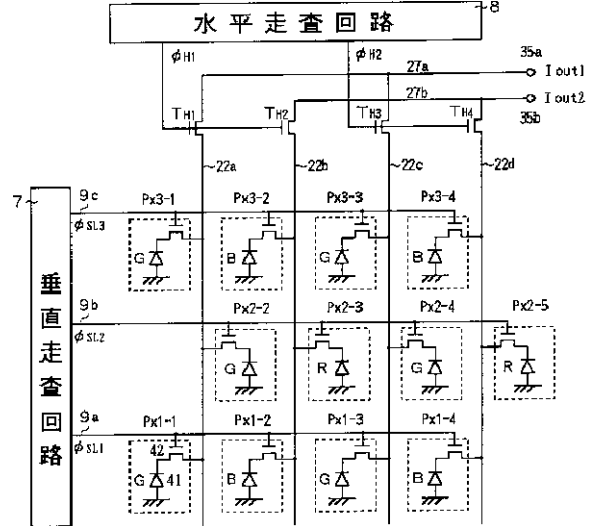
【図7】



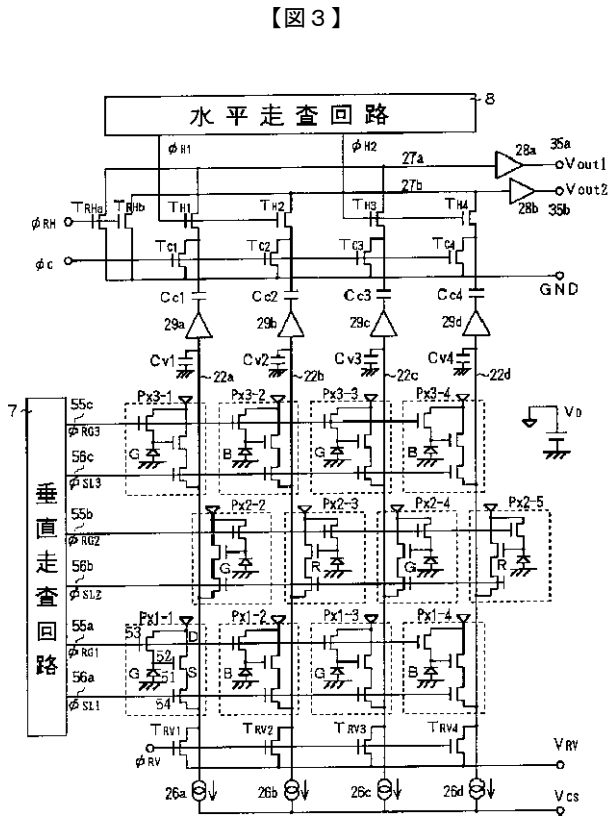
【图 1】



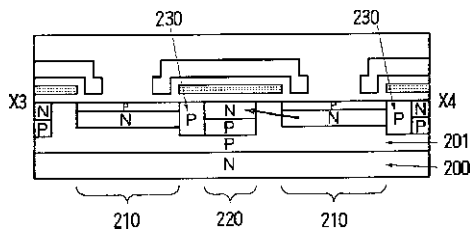
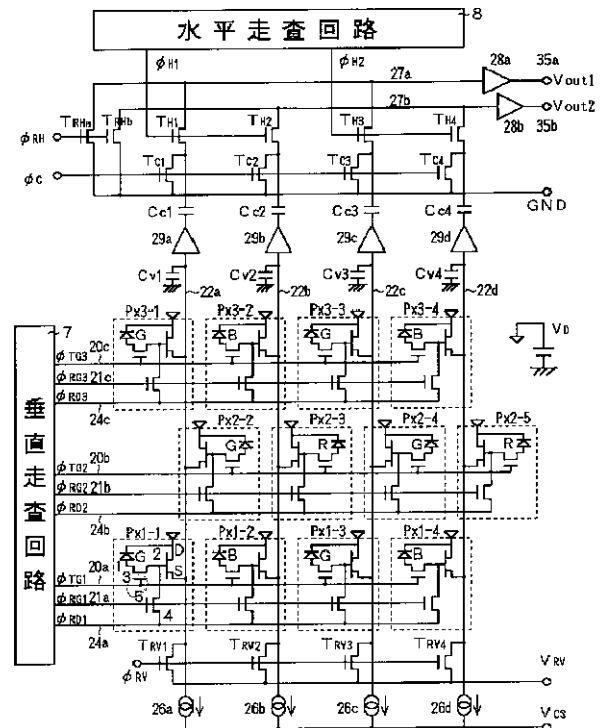
【图 2】



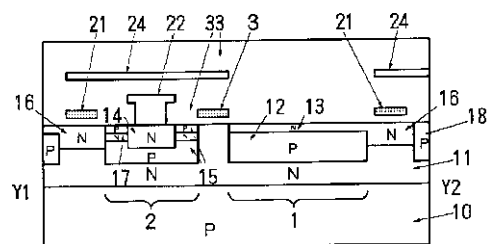
【图 4】



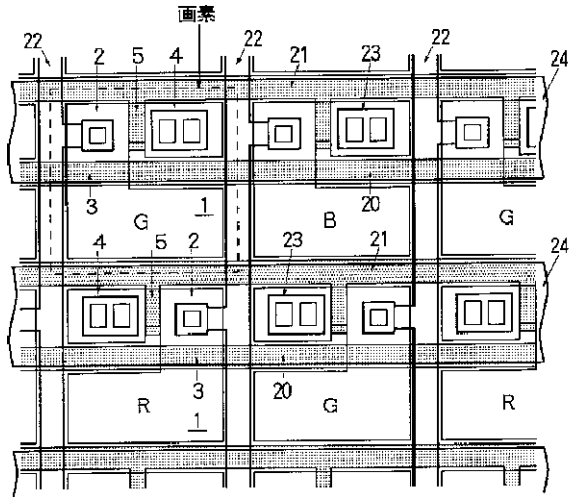
【图 2 1】



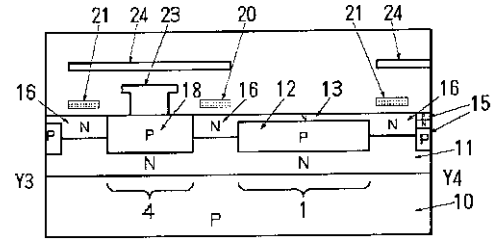
【图 8】



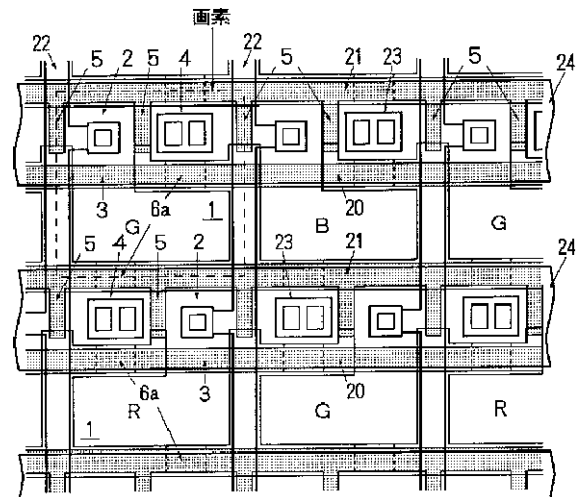
【図5】



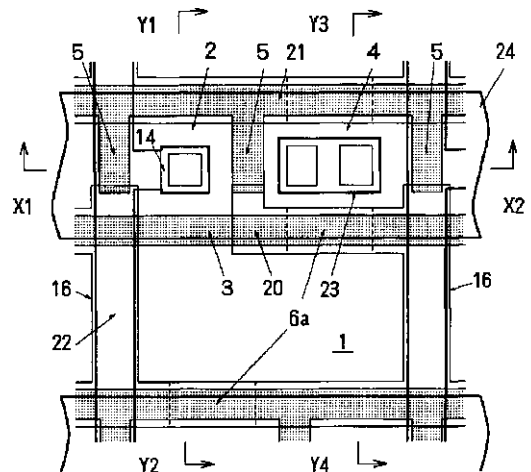
【図9】



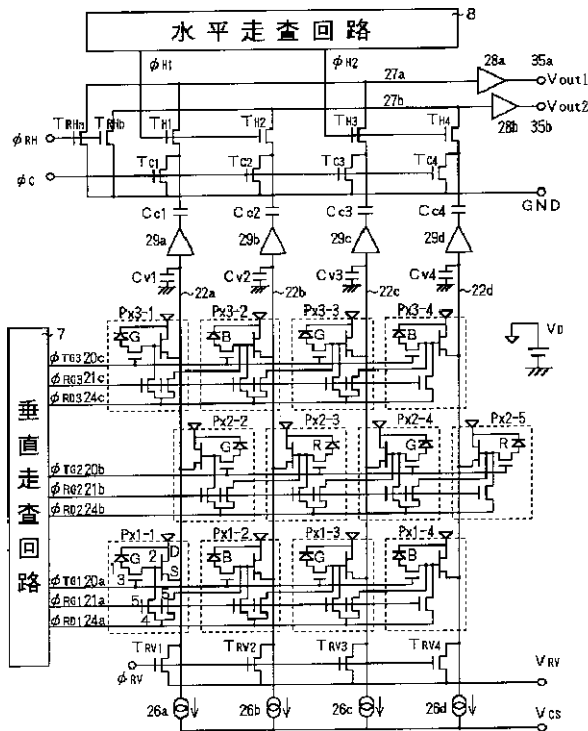
【図 1 1】



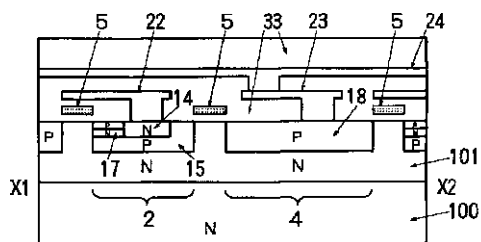
【図 12】



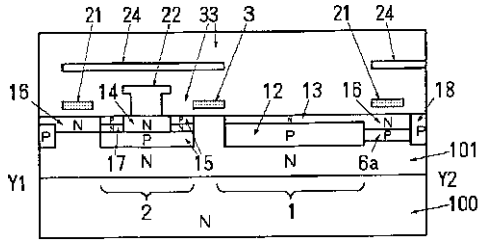
【图 10】



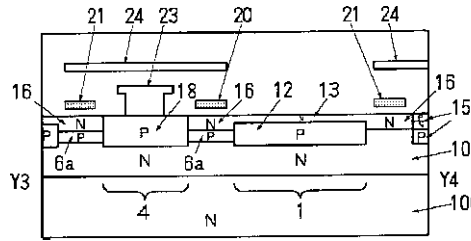
【図 13】



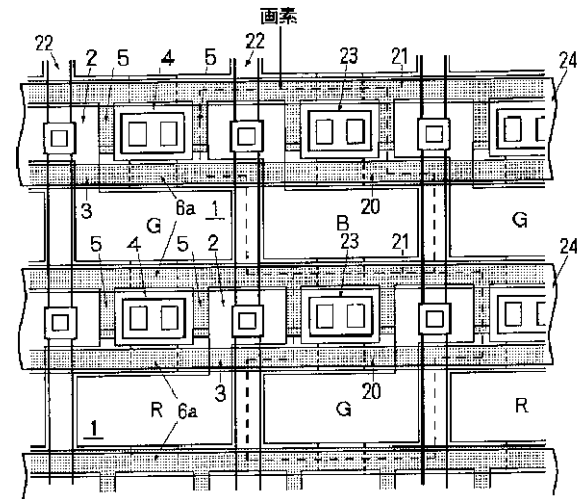
【圖 14】



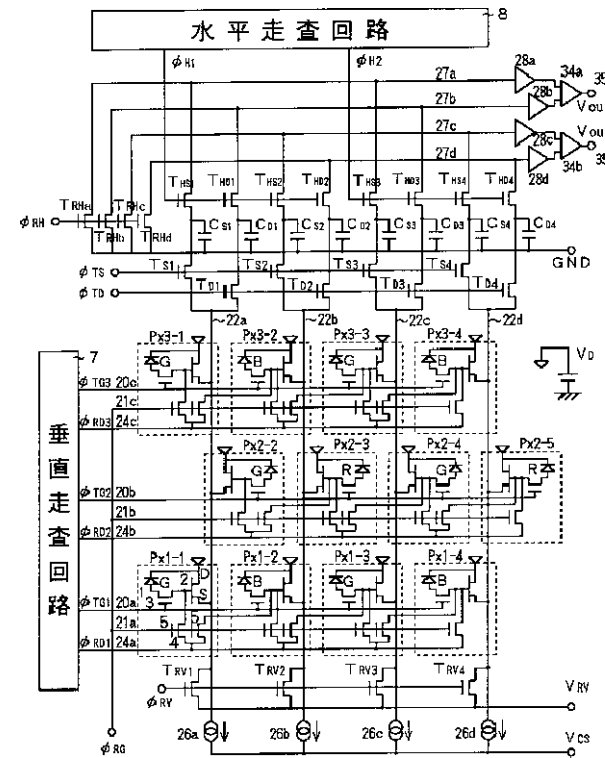
【圖 15】



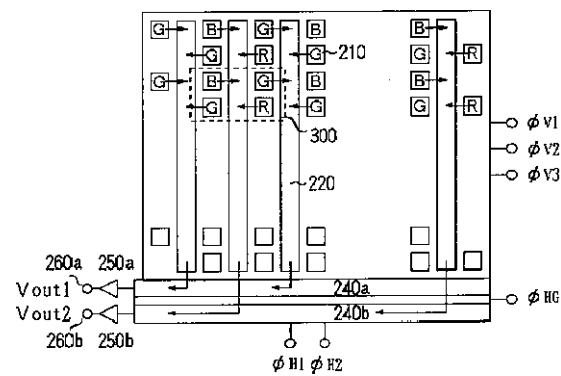
【圖 16】



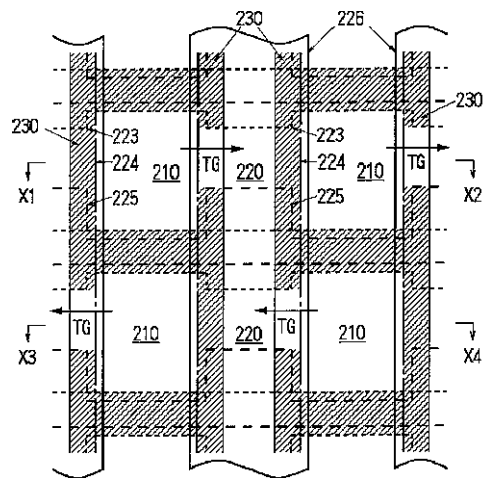
【圖 17】



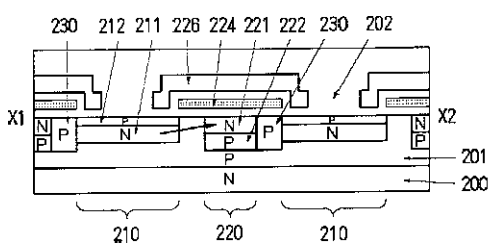
【圖 18】



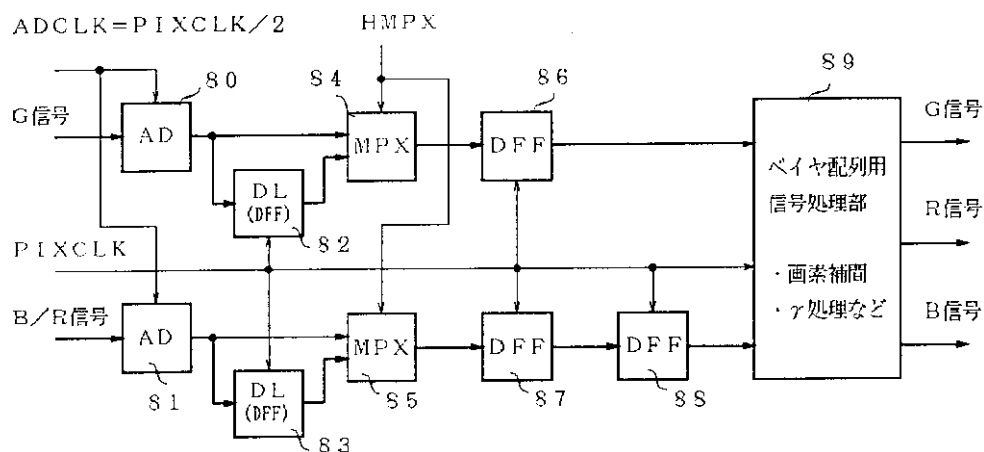
【圖 19】



【圖 20】

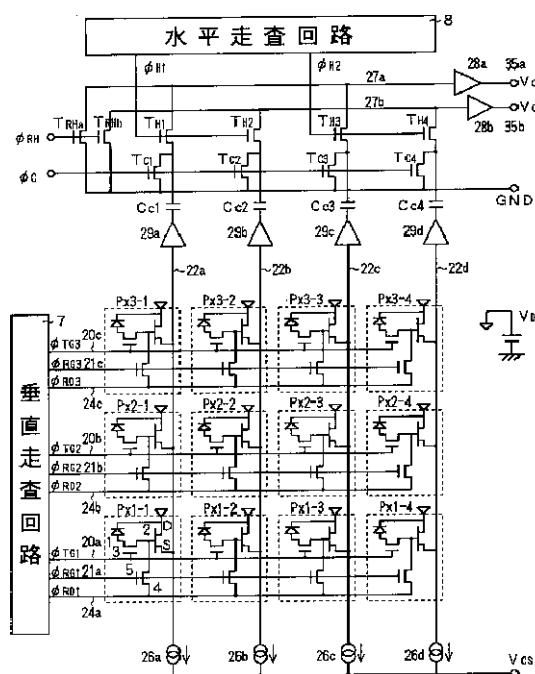


【图 22】

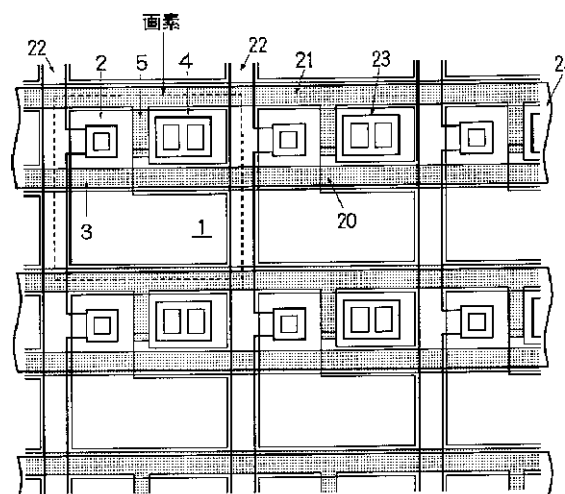


【图 23】

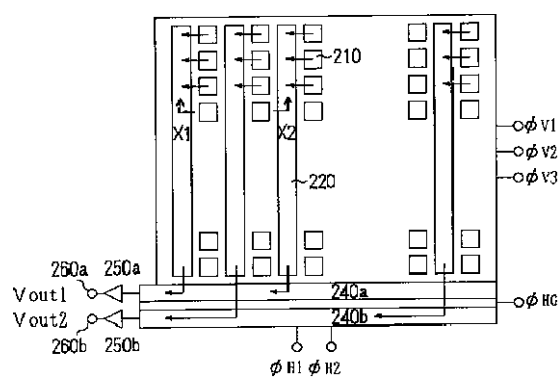
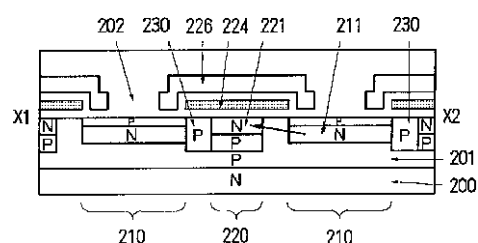
【图 24】



【图 25】



【図 26】



【図 27】

G	B	G	R	G	B
G	R	G	B	G	R
G	B	G	R	G	B
G	R	G	B	G	R
G	B	G	R	G	B
G	R	G	B	G	R

【図 28】

G	B	G	B	G	B
R	G	R	G	R	G
G	B	G	B	G	B
R	G	R	G	R	G
G	B	G	B	G	B
R	G	R	G	R	G

フロントページの続き

F ターム (参考) 4M118 AA01 AA02 AA05 AB01 BA10
CA04 DA02 FA07 FA13 FA14
FA36 FA50 GB03 GB07 GB11
GB20 GC08
5C024 AA01 CA06 DA01 EA08 FA01
FA11 FA12 GA01 GA11 GA31
GA52 JA09
5C065 AA00 BB22 CC01 DD02 DD09
DD15

VERIFIED STATEMENT OF TRANSLATION

I, Masaki, certify that I am competent in both Japanese and English languages and that the foregoing translation of the specification, claims, abstract, and drawings of the Japanese application number H10-169874 is an exact and accurate translation of the original. I understand that willful false statements and the like are punishable by fine or imprisonment, or both, pursuant to 18 U.S.C. § 1001.

I certify under penalty of perjury under the laws of the United States that the foregoing is true and correct.

伴 昌樹

Name of Translator

伴 昌樹

Signature of Translator

5-7, Higashiwaki 1-Chome, Toyohashi, Aichi, JAPAN

Address of Translator

+81-532-398-539

Telephone Number of Translator

Executed on 2020/11/17