Docket No.: 085393-0941

REQUEST FORM FOR CONTINUATION APPLICATION UNDER 35 USC 111(a)

Prior Application: **International Application No. PCT/JP2011/002868**
Art Unit: **(Unassigned)**
Examiner: **(Unassigned)**

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

This is a Request for filing a continuation application, entitled **SEMICONDUTOR DEVICE**, under 35 U.S.C. 111(a) of pending prior International Application No. **PCT/JP2011/002868**, filed on **May 24, 2011,** by the following named inventors:

INVENTOR	RESIDENCE	CITIZENSHIP	POST OFFICE ADDRESS
Satoru ITO	Hyogo, Japan	Japanese	1006, Oaza Kadoma, Kadoma-shi, Osaka, Japan 571-8501
Yoshiya MORIYAMA	Toyama, Japan	Japanese	1006, Oaza Kadoma, Kadoma-shi, Osaka, Japan 571-8501
Hiroshi OHKAWA	Toyama, Japan	Japanese	1006, Oaza Kadoma, Kadoma-shi, Osaka, Japan 571-8501
Susumu AKAMATSU	Toyama, Japan	Japanese	1006, Oaza Kadoma, Kadoma-shi, Osaka, Japan 571-8501

1. ☒ I hereby verify, to the best of my knowledge, that the enclosed copy of this prior application is a true copy of the above-identified prior application, including the oath or declaration as originally filed.

2. ☐ Preliminary Amendment is enclosed.

3. ☒ An Information Disclosure Statement and PTO1449 Form are submitted herewith.

4. ☐ Cancel claims

5. ☐ Applicant is entitled to claim Small Entity status.

UMC 1002
UMC v. AICP

6. The filing fee is calculated on the basis of the claims existing in the prior application as amended above:

	NO. OF CLAIMS		EXTRA CLAIMS	RATE	AMOUNT
Total Claims	16	-20	0	$60.00	$0.00
Independent Claims	1	-3	0	$250.00	$0.00
				Multiple Dependent Claim(s)	$0.00
				Sheets of specification and drawing ($310.00 for each 50 sheets in excess of 100)	$0.00
				Basic Filing Fee	$390.00
				Patent Search Fee	$620.00
				Patent Examination Fee	$250.00
				Total of Above Calculations	$1,260.00
				Less ½ for Small Entity	$0.00
				Assignment & Recording Fee	$0.00
				Total Fee	**$1,260.00**

1. ☒ The Commissioner is hereby authorized to charge fees under 37 CFR 1.16 and 1.17 which may be required, including any extension of time fees or credit any overpayment to Deposit Account No. 500417.

2. ☐ Amend the specification by inserting before the first line the sentence:

3. ☒ Priority of Japanese Application No. **2010-205599** filed **September 14, 2010,** in Japan and International Application No. **PCT/JP2011/002868** filed **May 24, 2011** designating the U.S. is claimed under 35 USC 119, 120 and/or 365.

4. ☒ The prior application is assigned of record to:

PANASONIC CORPORATION
Osaka, Japan

5. ☒ The power of attorney in the prior application is to:

MAEDA & PATNERS
Osaka, Japan

UMC 1002
UMC v. AICP

6. ☒ Also enclosed:

- Executed Declaration and Power of Attorney
- Front Page of International Publication
- PCT Request
- International Search Report
- PCT/IB/301,304
- PCT/ISA/220,237

7. ☐ A petition, fee and response has been filed to extend the term in the pending prior application until

8. ☒ Address all future communications to: (May only be completed by applicant, or attorney or agent of record)

	McDERMOTT WILL & EMERY LLP
	500 North Capitol Street, N.W.
	Washington, D. C. 20001

Respectfully submitted,

MCDERMOTT WILL & EMERY LLP

Michael E. Fogarty
Registration No. 36,139

Please recognize our Customer No. 53080 as our correspondence address.

500 North Capitol Street, N.W.
Washington, DC 20001
(202) 756-8000 MEF:gj
Facsimile: (202) 756-8087
Date: October 31, 2012

PTO/AIA/82B (07-12)
Approved for use through 11/30/2014. OMB 0651-0035
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FOR POWER OF ATTORNEY TO ONE OR MORE REGISTERED PRACTITIONERS

NOTE: This form is to be submitted with the Power of Attorney by Applicant form (PTO/AIA/82B or equivalent) to identify the application to which the Power of Attorney is directed, in accordance with 37 CFR 1.5. If the Power of Attorney by Applicant form is not accompanied by this transmittal form or an equivalent, the Power of Attorney will not be recognized in the application.

Application Number	Not Yet Assigned
Filing Date	October 31, 2012
First Named Inventor	Satoru ITOU
Title	SEMICONDUCTOR DEVICE
Art Unit	N/A
Examiner Name	Not Yet Assigned
Attorney Docket Number	085393-0941

SIGNATURE of Applicant or Patent Practitioner

Signature		Date	10/31/12
Name	Michael E. Fogarty	Telephone	(202) 756-8372
Registration Number	36,139		

NOTE: This form must be signed in accordance with 37 CFR 1.33. See 37 CFR 1.4(d) for signature requirements and certifications.

☐ *Total of 1 forms are submitted.

UMC 1002
UMC v. AICP

PTO/AIA/82B(07-12)
Approved for use through xx/xx/xxxx. OMB 0651-0035
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

POWER OF ATTORNEY BY APPLICANT

I hereby revoke all previous powers of attorney given in the application identified in the attached transmittal letter.

■ I hereby appoint Practitioner(s) associated with the following Customer Number as my/our attorney(s) or agent(s), and to transact all business in the United States Patent and Trademark Office connected therewith for the application referenced in the attached transmittal letter (form PTO/AIA/82A or equivalent):

53080

OR

☐ I hereby appoint Practitioner(s) named below as my/our attorney(s) or agent(s), and to transact all business in the United States Patent and Trademark Office connected therewith for the application referenced in the attached transmittal letter (form PTO/AIA/82A or equivalent):

Name Registration	Number		Name Registration	Number

Please recognize or change the correspondence address for the above-identified patent to:

■ The address associated with the above-mentioned Customer Number.

OR

☐ The address associated with Customer Number:

OR

☐ Firm or Individual Name					
Address					
City		State		Zip	
Country					
Telephone		Email			

I am the Applicant:

☐ Inventor or Joint Inventor

☐ Legal Representative of a Deceased or Legally Incapacitated Inventor

■ Assignee or Person to Whom the Inventor is Under an Obligation to Assign

☐ Person Who Otherwise Shows Sufficient *Proprietary* Interest (*e.g.*, a petition under 37 CFR 1.46(b)(2) was granted in the application or is concurrently being filed with this document)

SIGNATURE of Applicant for Patent

Signature		Date	Sep. 11, 2012
Name	HIROKI NAITO	Telephone	
Title and Company	**Director, Authorized Signing Officer for Applicant, Panasonic Corporation**		

NOTE: Signature - This form must be signed by the applicant or applicant's representative in accordance with 37 CFR 1.33. See 37 CFR 1.4 for signature requirements and certifications. Submit multiple forms for more than one signature, see below *.

■ *Total of 1 forms are submitted.

This collection of information is required by 37 CFR 1.31, 1.32 and 1.33. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 3 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

UMC 1002
UMC v. AICP

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	085393-0941
	Application Number	
Title of Invention	SEMICONDUCTOR DEVICE	

The application data sheet is part of the provisional or nonprovisional application for which it is being submitted. The following form contains the bibliographic data arranged in a format specified by the United States Patent and Trademark Office as outlined in 37 CFR 1.76.
This document may be completed electronically and submitted to the Office in electronic format using the Electronic Filing System (EFS) or the document may be printed and included in a paper filed application.

Secrecy Order 37 CFR 5.2

☐ Portions or all of the application associated with this Application Data Sheet may fall under a Secrecy Order pursuant to 37 CFR 5.2 (Paper filers only. Applications that fall under Secrecy Order may not be filed electronically.)

Inventor Information:

Inventor 1 Remove

Legal Name

Prefix	Given Name	Middle Name	Family Name	Suffix
	Satoru		ITO	

Residence Information (Select One) ○ US Residency ◉ Non US Residency ○ Active US Military Service

City	Hyogo	Country of Residence	JP

Mailing Address of Inventor:

Address 1	c/o Panasonic Corporation		
Address 2	1006, Oaza Kadoma, Kadoma-shi		
City	Osaka	**State/Province**	
Postal Code	571-8501	**Country**	JP

Inventor 2 Remove

Legal Name

Prefix	Given Name	Middle Name	Family Name	Suffix
	Yoshiya		MORIYAMA	

Residence Information (Select One) ○ US Residency ◉ Non US Residency ○ Active US Military Service

City	Toyama	Country of Residence	JP

Mailing Address of Inventor:

Address 1	c/o Panasonic Corporation		
Address 2	1006, Oaza Kadoma, Kadoma-shi		
City	Osaka	**State/Province**	
Postal Code	571-8501	**Country**	JP

Inventor 3 Remove

Legal Name

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	085393-0941
	Application Number	
Title of Invention	SEMICONDUCTOR DEVICE	

Prefix	Given Name	Middle Name	Family Name	Suffix
	Hiroshi		OHKAWA	

Residence Information (Select One) ◯ US Residency ◉ Non US Residency ◯ Active US Military Service

City	Toyama	Country of Residence	JP

Mailing Address of Inventor:

Address 1	c/o Panasonic Corporation		
Address 2	1006, Oaza Kadoma, Kadoma-shi		
City	Osaka	**State/Province**	
Postal Code	571-8501	**Country**	JP

Inventor 4 Remove

Legal Name

Prefix	Given Name	Middle Name	Family Name	Suffix
	Susumu		AKAMATSU	

Residence Information (Select One) ◯ US Residency ◉ Non US Residency ◯ Active US Military Service

City	Toyama	Country of Residence	JP

Mailing Address of Inventor:

Address 1	c/o Panasonic Corporation		
Address 2	1006, Oaza Kadoma, Kadoma-shi		
City	Osaka	**State/Province**	
Postal Code	571-8501	**Country**	JP

All Inventors Must Be Listed - Additional Inventor Information blocks may be generated within this form by selecting the **Add** button. Add

Correspondence Information:

Enter either Customer Number or complete the Correspondence Information section below.
For further information see 37 CFR 1.33(a).

☐ **An Address is being provided for the correspondence Information of this application.**

Customer Number	53080		
Email Address	Washington_IP_Docket@mwe.com	Add Email	Remove Email

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	085393-0941
	Application Number	
Title of Invention	SEMICONDUCTOR DEVICE	

Application Information:

Title of the Invention	SEMICONDUCTOR DEVICE		
Attorney Docket Number	085393-0941	**Small Entity Status Claimed** ☐	
Application Type	Nonprovisional		
Subject Matter	Utility		
Suggested Class (if any)		**Sub Class (if any)**	
Suggested Technology Center (if any)			
Total Number of Drawing Sheets (if any)	13	**Suggested Figure for Publication (if any)**	

Publication Information:

☐ Request Early Publication (Fee required at time of Request 37 CFR 1.219)

☐ **Request Not to Publish.** I hereby request that the attached application not be published under 35 U.S.C. 122(b) and certify that the invention disclosed in the attached application **has not and will not** be the subject of an application filed in another country, or under a multilateral international agreement, that requires publication at eighteen months after filing.

Representative Information:

Representative information should be provided for all practitioners having a power of attorney in the application. Providing this information in the Application Data Sheet does not constitute a power of attorney in the application (see 37 CFR 1.32).
Either enter Customer Number or complete the Representative Name section below. If both sections are completed the customer Number will be used for the Representative Information during processing.

Please Select One:	◉ Customer Number	○ US Patent Practitioner	○ Limited Recognition (37 CFR 11.9)
Customer Number	53080		

Domestic Benefit/National Stage Information:

This section allows for the applicant to either claim benefit under 35 U.S.C. 119(e), 120, 121, or 365(c) or indicate National Stage entry from a PCT application. Providing this information in the application data sheet constitutes the specific reference required by 35 U.S.C. 119(e) or 120, and 37 CFR 1.78.

Prior Application Status	Pending		Remove
Application Number	Continuity Type	Prior Application Number	Filing Date (YYYY-MM-DD)
	Continuation of	PCT/JP2011/002868	2011-05-24

Additional Domestic Benefit/National Stage Data may be generated within this form by selecting the **Add** button. Add

Foreign Priority Information:

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	085393-0941
	Application Number	
Title of Invention	SEMICONDUCTOR DEVICE	

This section allows for the applicant to claim benefit of foreign priority and to identify any prior foreign application for which priority is not claimed. Providing this information in the application data sheet constitutes the claim for priority as required by 35 U.S.C. 119(b) and 37 CFR 1.55(a).

Remove

Application Number	Country i	Filing Date (YYYY-MM-DD)	Priority Claimed
2010-205599	JP	2010-09-14	(•) Yes ( ) No

Additional Foreign Priority Data may be generated within this form by selecting the **Add** button. Add

Authorization to Permit Access:

☒ Authorization to Permit Access to the Instant Application by the Participating Offices

If checked, the undersigned hereby grants the USPTO authority to provide the European Patent Office (EPO), the Japan Patent Office (JPO), the Korean Intellectual Property Office (KIPO), the World Intellectual Property Office (WIPO), and any other intellectual property offices in which a foreign application claiming priority to the instant patent application is filed access to the instant patent application. See 37 CFR 1.14(c) and (h). This box should not be checked if the applicant does not wish the EPO, JPO, KIPO, WIPO, or other intellectual property office in which a foreign application claiming priority to the instant patent application is filed to have access to the instant patent application.

In accordance with 37 CFR 1.14(h)(3), access will be provided to a copy of the instant patent application with respect to: 1) the instant patent application-as-filed; 2) any foreign application to which the instant patent application claims priority under 35 U.S.C. 119(a)-(d) if a copy of the foreign application that satisfies the certified copy requirement of 37 CFR 1.55 has been filed in the instant patent application; and 3) any U.S. application-as-filed from which benefit is sought in the instant patent application.

In accordance with 37 CFR 1.14(c), access may be provided to information concerning the date of filing this Authorization.

Applicant Information:

Providing assignment information in this section does not substitute for compliance with any requirement of part 3 of Title 37 of CFR to have an assignment recorded by the Office.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	085393-0941
	Application Number	
Title of Invention	SEMICONDUCTOR DEVICE	

Applicant 1

If the applicant is the inventor (or the remaining joint inventor or inventors under 37 CFR 1.45), this section should not be completed. The information to be provided in this section is the name and address of the legal representative who is the applicant under 37 CFR 1.43; or the name and address of the assignee, person to whom the inventor is under an obligation to assign the invention, or person who otherwise shows sufficient proprietary interest in the matter who is the applicant under 37 CFR 1.46. If the applicant is an applicant under 37 CFR 1.46 (assignee, person to whom the inventor is obligated to assign, or person who otherwise shows sufficient proprietary interest) together with one or more joint inventors, then the joint inventor or inventors who are also the applicant should be identified in this section.

Remove

(•) Assignee	( ) Legal Representative under 35 U.S.C. 117
( ) Person to whom the inventor is obligated to assign.	( ) Person who shows sufficient proprietary interest

If applicant is the legal representative, indicate the authority to file the patent application, the inventor is:

Name of the Deceased or Legally Incapacitated Inventor :

If the Assignee is an Organization check here. [X]

Organization Name	PANASONIC CORPORATION		
Mailing Address Information:			
Address 1	1006, Oaza Kadoma, Kadoma-shi		
Address 2			
City	Osaka	**State/Province**	
Country [i]	JP	Postal Code	571-8501
Phone Number		Fax Number	
Email Address			

Additional Applicant Data may be generated within this form by selecting the Add button. Add

Signature:

Remove

NOTE: This form must be signed in accordance with 37 CFR 1.33. See 37 CFR 1.4 for signature requirements and certifications

Signature	/Michael E. Fogarty/			Date (YYYY-MM-DD)	2012-10-31
First Name	Michael	Last Name	Fogarty	Registration Number	36139

Additional Signature may be generated within this form by selecting the Add button. Add

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	085393-0941
	Application Number	
Title of Invention	SEMICONDUCTOR DEVICE	

This collection of information is required by 37 CFR 1.76. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 23 minutes to complete, including gathering, preparing, and submitting the completed application data sheet form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these records.

2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.

3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.

4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).

5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.

6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).

7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.

8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.

9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

PTO/AIA/01 (06-12)
Approved for use through 01/31/2014. OMB 0651-0032
U. S. Patent and Trademark Office; U. S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

DECLARATION (37 CFR 1.63) FOR UTILITY OR DESIGN APPLICATION USING AN APPLICATION DATA SHEET (37 CFR 1.76)

Title of Invention	**SEMICONDUCTOR DEVICE**

As the below named inventor, I hereby declare that:

This declaration is directed to:
☒ The attached application, or
☐ United States application or PCT international application number _____
filed on _____.

The above-identified application was made or authorized to be made by me.

I believe that I am the original inventor or an original joint inventor of a claimed invention in the application.

I hereby acknowledge that any willful false statement made in this declaration is punishable under 18 U.S.C. 1001 by fine or imprisonment of not more than five (5) years, or both.

WARNING:

Petitioner/applicant is cautioned to avoid submitting personal information in documents filed in a patent application that may contribute to identity theft. Personal information such as social security numbers, bank account numbers, or credit card numbers (other than a check or credit card authorization form PTO-2038 submitted for payment purposes) is never required by the USPTO to support a petition or an application. If this type of personal information is included in documents submitted to the USPTO, petitioners/applicants should consider redacting such personal information from the documents before submitting them to the USPTO. Petitioner/applicant is advised that the record of a patent application is available to the public after publication of the application (unless a non-publication request in compliance with 37 CFR 1.213(a) is made in the application) or issuance of a patent. Furthermore, the record from an abandoned application may also be available to the public if the application is referenced in a published application or an issued patent (see 37 CFR 1.14). Checks and credit card authorization forms PTO-2038 submitted for payment purposes are not retained in the application file and therefore are not publicly available.

LEGAL NAME OF INVENTOR

Inventor: **Satoru ITO** Date (Optional) : Oct. 9, 2012

Signature: Satoru Ito

Note: An application data sheet (PTO/SB/14 or equivalent), including naming the entire inventive entity, must accompany this form. Use an additional PTO/AIA/01 form for each additional inventor.

This collection of information is required by 35 U.S.C. 115 and 37 CFR 1.63. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 1 minute to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

UMC 1002
UMC v. AICP

PTO/AIA/01 (06-12)
Approved for use through 01/31/2014. OMB 0651-0032
U. S. Patent and Trademark Office; U. S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

DECLARATION (37 CFR 1.63) FOR UTILITY OR DESIGN APPLICATION USING AN APPLICATION DATA SHEET (37 CFR 1.76)

Title of Invention	**SEMICONDUCTOR DEVICE**

As the below named inventor, I hereby declare that:

This declaration is directed to:

☒ The attached application, or

☐ United States application or PCT international application number _____

filed on _____.

The above-identified application was made or authorized to be made by me.

I believe that I am the original inventor or an original joint inventor of a claimed invention in the application.

I hereby acknowledge that any willful false statement made in this declaration is punishable under 18 U.S.C. 1001 by fine or imprisonment of not more than five (5) years, or both.

WARNING:

Petitioner/applicant is cautioned to avoid submitting personal information in documents filed in a patent application that may contribute to identity theft. Personal information such as social security numbers, bank account numbers, or credit card numbers (other than a check or credit card authorization form PTO-2038 submitted for payment purposes) is never required by the USPTO to support a petition or an application. If this type of personal information is included in documents submitted to the USPTO, petitioners/applicants should consider redacting such personal information from the documents before submitting them to the USPTO. Petitioner/applicant is advised that the record of a patent application is available to the public after publication of the application (unless a non-publication request in compliance with 37 CFR 1.213(a) is made in the application) or issuance of a patent. Furthermore, the record from an abandoned application may also be available to the public if the application is referenced in a published application or an issued patent (see 37 CFR 1.14). Checks and credit card authorization forms PTO-2038 submitted for payment purposes are not retained in the application file and therefore are not publicly available.

LEGAL NAME OF INVENTOR

Inventor: **Yoshiya MORIYAMA** Date (Optional) : Oct. 2, 2012

Signature: Yoshiya Moriyama

Note: An application data sheet (PTO/SB/14 or equivalent), including naming the entire inventive entity, must accompany this form.
Use an additional PTO/AIA/01 form for each additional inventor.

This collection of information is required by 35 U.S.C. 115 and 37 CFR 1.63. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 1 minute to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

UMC 1002
UMC v. AICP

PTO/AIA/01 (06-12)
Approved for use through 01/31/2014. OMB 0651-0032
U. S. Patent and Trademark Office; U. S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

DECLARATION (37 CFR 1.63) FOR UTILITY OR DESIGN APPLICATION USING AN APPLICATION DATA SHEET (37 CFR 1.76)

Title of Invention	**SEMICONDUCTOR DEVICE**

As the below named inventor, I hereby declare that:

This declaration is directed to:

☒ The attached application, or

☐ United States application or PCT international application number _____

filed on _____.

The above-identified application was made or authorized to be made by me.

I believe that I am the original inventor or an original joint inventor of a claimed invention in the application.

I hereby acknowledge that any willful false statement made in this declaration is punishable under 18 U.S.C. 1001 by fine or imprisonment of not more than five (5) years, or both.

WARNING:

Petitioner/applicant is cautioned to avoid submitting personal information in documents filed in a patent application that may contribute to identity theft. Personal information such as social security numbers, bank account numbers, or credit card numbers (other than a check or credit card authorization form PTO-2038 submitted for payment purposes) is never required by the USPTO to support a petition or an application. If this type of personal information is included in documents submitted to the USPTO, petitioners/applicants should consider redacting such personal information from the documents before submitting them to the USPTO. Petitioner/applicant is advised that the record of a patent application is available to the public after publication of the application (unless a non-publication request in compliance with 37 CFR 1.213(a) is made in the application) or issuance of a patent. Furthermore, the record from an abandoned application may also be available to the public if the application is referenced in a published application or an issued patent (see 37 CFR 1.14). Checks and credit card authorization forms PTO-2038 submitted for payment purposes are not retained in the application file and therefore are not publicly available.

LEGAL NAME OF INVENTOR

Inventor: **Hiroshi OHKAWA** Date (Optional): Oct. 3. 2012

Signature: Hiroshi Ohkawa

Note: An application data sheet (PTO/SB/14 or equivalent), including naming the entire inventive entity, must accompany this form. Use an additional PTO/AIA/01 form for each additional inventor.

This collection of information is required by 35 U.S.C. 115 and 37 CFR 1.63. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 1 minute to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

UMC 1002
UMC v. AICP

PTO/AIA/01 (06-12)
Approved for use through 01/31/2014. OMB 0651-0032
U. S. Patent and Trademark Office; U. S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

DECLARATION (37 CFR 1.63) FOR UTILITY OR DESIGN APPLICATION USING AN APPLICATION DATA SHEET (37 CFR 1.76)

Title of Invention	**SEMICONDUCTOR DEVICE**

As the below named inventor, I hereby declare that:

This declaration is directed to:

☒ The attached application, or

☐ United States application or PCT international application number _____

filed on _____.

The above-identified application was made or authorized to be made by me.

I believe that I am the original inventor or an original joint inventor of a claimed invention in the application.

I hereby acknowledge that any willful false statement made in this declaration is punishable under 18 U.S.C. 1001 by fine or imprisonment of not more than five (5) years, or both.

WARNING:

Petitioner/applicant is cautioned to avoid submitting personal information in documents filed in a patent application that may contribute to identity theft. Personal information such as social security numbers, bank account numbers, or credit card numbers (other than a check or credit card authorization form PTO-2038 submitted for payment purposes) is never required by the USPTO to support a petition or an application. If this type of personal information is included in documents submitted to the USPTO, petitioners/applicants should consider redacting such personal information from the documents before submitting them to the USPTO. Petitioner/applicant is advised that the record of a patent application is available to the public after publication of the application (unless a non-publication request in compliance with 37 CFR 1.213(a) is made in the application) or issuance of a patent. Furthermore, the record from an abandoned application may also be available to the public if the application is referenced in a published application or an issued patent (see 37 CFR 1.14). Checks and credit card authorization forms PTO-2038 submitted for payment purposes are not retained in the application file and therefore are not publicly available.

LEGAL NAME OF INVENTOR

Inventor: **Susumu AKAMATSU** Date (Optional) : Oct. 3, 2012

Signature: Susumu Akamatsu

Note: An application data sheet (PTO/SB/14 or equivalent), including naming the entire inventive entity, must accompany this form. Use an additional PTO/AIA/01 form for each additional inventor.

This collection of information is required by 35 U.S.C. 115 and 37 CFR 1.63. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 1 minute to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

UMC 1002
UMC v. AICP

特許協力条約に基づく国際出願願書

紙面による写し（注意　電子データが原本となります）

0	受理官庁記入欄	
0-1	国際出願番号	
0-2	国際出願日	
0-3	(受付印)	

0-4	様式 PCT/RO/101 この特許協力条約に基づく国際出願願書は、	
0-4-1	右記によって作成された。	PCT-SAFE Version 3.51.041.217 MT/FOP 20090701/0.20.5.17
0-5	申立て 出願人は、この国際出願が特許協力条約に従って処理されることを請求する。	
0-6	出願人によって指定された受理官庁	日本国特許庁 (RO/JP)
0-7	出願人又は代理人の書類記号	P611097P0
I	発明の名称	半導体装置及びその製造方法
II	出願人	
II-1	この欄に記載した者は	出願人である (applicant only)
II-2	右の指定国についての出願人である。	米国を除く全ての指定国 (all designated States except US)
II-4ja	名称	パナソニック株式会社
II-4en	Name:	PANASONIC CORPORATION
II-5ja	あて名	5718501 日本国 大阪府門真市大字門真１００６番地
II-5en	Address:	1006, Oaza Kadoma, Kadoma-shi, Osaka 5718501 Japan
II-6	国籍(国名)	日本国 JP
II-7	住所(国名)	日本国 JP
II-8	電話番号	06-6908-1473
II-9	ファクシミリ番号	06-6909-0053
III-1	その他の出願人又は発明者	
III-1-1	この欄に記載した者は	出願人及び発明者である (applicant and inventor)
III-1-2	右の指定国についての出願人である。	米国のみ (US only)
III-1-4ja	氏名(姓名)	伊藤理
III-1-4en	Name (LAST, First):	ITO, Satoru
III-1-5ja	あて名	
III-1-5en	Address:	
III-1-6	国籍(国名)	
III-1-7	住所(国名)	

UMC 1002
UMC v. AICP

特許協力条約に基づく国際出願願書

紙面による写し（注意 電子データが原本となります）

III-2	その他の出願人又は発明者	
III-2-1	この欄に記載した者は	出願人及び発明者である（applicant and inventor）
III-2-2	右の指定国についての出願人である。	米国のみ（US only）
III-2-4ja	氏名(姓名)	守山善也
III-2-4en	Name (LAST, First):	MORIYAMA, Yoshiya
III-2-5ja	あて名	
III-2-5en	Address:	
III-2-6	国籍(国名)	
III-2-7	住所(国名)	
III-3	その他の出願人又は発明者	
III-3-1	この欄に記載した者は	出願人及び発明者である（applicant and inventor）
III-3-2	右の指定国についての出願人である。	米国のみ（US only）
III-3-4ja	氏名(姓名)	大川浩
III-3-4en	Name (LAST, First):	OHKAWA, Hiroshi
III-3-5ja	あて名	
III-3-5en	Address:	
III-3-6	国籍(国名)	
III-3-7	住所(国名)	
III-4	その他の出願人又は発明者	
III-4-1	この欄に記載した者は	出願人及び発明者である（applicant and inventor）
III-4-2	右の指定国についての出願人である。	米国のみ（US only）
III-4-4ja	氏名(姓名)	赤松晋
III-4-4en	Name (LAST, First):	AKAMATSU, Susumu
III-4-5ja	あて名	
III-4-5en	Address:	
III-4-6	国籍(国名)	
III-4-7	住所(国名)	
IV-1	代理人又は共通の代表者、通知のあて名 下記の者は国際機関において右記のごとく出願人のために行動する。	代理人（agent）
IV-1-1ja	氏名(姓名)	前田弘
IV-1-1en	Name (LAST, First):	MAEDA, Hiroshi
IV-1-2ja	あて名	5410053 日本国 大阪府大阪市中央区本町２丁目５番７号　大阪丸紅ビル
IV-1-2en	Address:	Osaka-Marubeni Bldg., 5-7, Hommachi 2-chome, Chuo-ku, Osaka-shi, Osaka 5410053 Japan
IV-1-3	電話番号	06-6125-2255
IV-1-4	ファクシミリ番号	06-6125-2288
IV-1-6	代理人登録番号	100077931
IV-2	その他の代理人	筆頭代理人と同じあて名を有する代理人 (additional agent(s) with the same address as first named agent)
IV-2-1ja	氏名	原田智雄(100117710)；前田亮(100143409)； 間脇八蔵(100157093)

UMC 1002
UMC v. AICP

特許協力条約に基づく国際出願願書

紙面による写し（注意 電子データが原本となります）

IV-2-1en	Name(s)	HARADA, Tomoo (100117710); MAEDA, Ryo (100143409); MAWAKI, Hachizo (100157093)
V	国の指定	
V-1	この願書を用いてされた国際出願は、規則4.9(a)に基づき、国際出願の時点で拘束される全てのPCT締約国を指定し、取得しうるあらゆる種類の保護を求め、及び該当する場合には広域と国内特許の両方を求める国際出願となる。	
V-2	V-2欄は、特定の国の指定を除外するときに使用することができ、この指定を除外することができるのは、出願の際若しくは規則26の2.1により上記の特定の国における先の国内出願を基礎とする優先権を国際出願の第VI欄で主張する結果、その国の国内法令に基づいてこの先の国内出願の効果が消滅するのを避けるのを目的とする場合に限る。しかし、いったん除外した指定は、それを変更することはできない。	JP
VI-1	先の国内出願に基づく優先権主張	
VI-1-1	出願日	2010年 09月 14日 (14.09.2010)
VI-1-2	出願番号	2010-205599
VI-1-3	国名	日本国 JP
VI-2	優先権証明書送付の請求 上記の先の出願のうち、右記の番号のものについては、出願書類の認証謄本を作成し国際事務局へ送付することを、受理官庁に対して請求している。	VI-1
VI-3	引用による補充： 条約第11条(1)(iii)(d)若しくは(e)に規定する国際出願の要素の全部、又は規則20.5(a)に規定する明細書、請求の範囲若しくは図面の一部がこの国際出願には含まれていないが、受理官庁が条約第11条(1)(iii)に規定する要素の1つ以上を最初に受領した日において優先権を主張する先の出願にそれが完全に含まれている場合には、規則20.6に基づく確認の手続を条件として、その要素又は部分を規則20.6の規定によりこの国際出願に引用して補充することを請求する。	
VII-1	特定された国際調査機関(ISA)	日本国特許庁 (ISA/JP)

VIII	申立て	申立て数	
VIII-1	発明者の特定に関する申立て	-	
VIII-2	出願し及び特許を与えられる国際出願日における出願人の資格に関する申立て	-	
VIII-3	先の出願の優先権を主張する国際出願日における出願人の資格に関する申立て	-	
VIII-4	発明者である旨の申立て(米国を指定国とする場合)	-	
VIII-5	不利にならない開示又は新規性喪失の例外に関する申立て	-	

UMC 1002
UMC v. AICP

特許協力条約に基づく国際出願願書

紙面による写し（注意　電子データが原本となります）

IX	照合欄	用紙の枚数	添付された電子データ
IX-1	願書（申立てを含む）	4	✓
IX-2	明細書	22	✓
IX-3	請求の範囲	5	✓
IX-4	要約	1	✓
IX-5	図面	13	✓
IX-7	合計	45	
	添付書類	添付	添付された電子データ
IX-8	手数料計算用紙	－	✓
IX-18	PCT-SAFE 電子出願	－	－
IX-20	要約とともに提示する図の番号	9	
IX-21	国際出願の使用言語名	日本語	
X-1	出願人、代理人又は代表者の記名押印	(PKCS7 デジタル署名)	
X-1-1	氏名（姓名）	前田弘	
X-1-2	署名者の氏名		
X-1-3	権限		

受理官庁記入欄

10-1	国際出願として提出された書類の実際の受理の日	
10-2	図面	
10-2-1	受理された	
10-2-2	不足図面がある	
10-3	国際出願として提出された書類を補完する書類又は図面であってその後期間内に提出されたものの実際の受理の日（訂正日）	
10-4	特許協力条約第11条(2)に基づく必要な補完の期間内の受理の日	
10-5	出願人により特定された国際調査機関	ISA/JP
10-6	調査手数料未払いにつき、国際調査機関に調査用写しを送付していない	

国際事務局記入欄

11-1	記録原本の受理の日	

UMC 1002
UMC v. AICP

From the INTERNATIONAL BUREAU

PCT

NOTIFICATION OF RECEIPT OF RECORD COPY

(PCT Rule 24.2(a))

To:

MAEDA, Hiroshi
Osaka-Marubeni Bldg.,5-7,Hommachi 2-chome,
Chuo-ku, Osaka-shi, Osaka
5410053
JAPON

Date of mailing *(day/month/year)*	IMPORTANT NOTIFICATION
21 June 2011 (21.06.2011)	
Applicant's or agent's file reference P611097P0 M11-182CT1-2	International application No. PCT/JP2011/002868

The applicant is hereby **notified** that the International Bureau has received the record copy of the international application as detailed below.

RECEIVED
JAPAN PATENT OFFICE

Name(s) of the applicant(s) and State(s) for which they are applicants:

PANASONIC CORPORATION (for all designated States except US)
ITO, Satoru et al (for US)

International filing date: 24 May 2011 (24.05.2011)
Priority date(s) claimed: 14 September 2010 (14.09.2010)
Date of receipt of the record copy by the International Bureau: 08 June 2011 (08.06.2011)
List of designated Offices:

AP: BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW
EA: AM, AZ, BY, KG, KZ, MD, RU, TJ, TM
EP: AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR
OA: BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG
National: AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

ATTENTION: The applicant should carefully check the data appearing in this Notification. In case of any discrepancy between these data and the indications in the international application, the applicant should immediately inform the International Bureau. **In addition, the applicant's attention is drawn to:**

- time limits for entry into the national phase (see www.wipo.int/pct/en/texts/time_limits.htmland *PCT Applicant's Guide*, National Phase, especially Chapters 3 and 4)
- requirements regarding priority documents (if applicable) (see *PCT Applicant's Guide*, International Phase, paragraph 5.070)

A copy of this notification is being sent to the receiving Office and to the International Searching Authority.

The International Bureau of WIPO
34, chemin des Colombettes
1211 Geneva 20, Switzerland

Facsimile No. +41 22 338 70 10

Authorized officer
Landicho Remedios
e-mail pt08.pct@wipo.int
Telephone No. +41 22 338 74 08

From the INTERNATIONAL BUREAU

PCT

NOTIFICATION CONCERNING SUBMISSION, OBTENTION OR TRANSMITTAL OF PRIORITY DOCUMENT

(PCT Administrative Instructions, Section 411)

To:

MAEDA, Hiroshi
Osaka-Marubeni Bldg.,5-7,Hommachi 2-chome,
Chuo-ku, Osaka-shi, Osaka
5410053
JAPON

Date of mailing *(day/month/year)* 04 July 2011 (04.07.2011)	
Applicant's or agent's file reference P611097P0 M11-185CT1-Z	**IMPORTANT NOTIFICATION**
International application No. PCT/JP2011/002868	International filing date *(day/month/year)* 24 May 2011 (24.05.2011)
International publication date *(day/month/year)* **Not yet published**	Priority date *(day/month/year)* 14 September 2010 (14.09.2010)
Applicant PANASONIC CORPORATION et al	

The applicant is hereby notified of the date of receipt (or of obtaining by the International Bureau) of the priority document(s) relating to all earlier application(s) whose priority is claimed. Unless otherwise indicated by the letters "NR", in the right-hand column or by an asterisk appearing next to the date of receipt, **the priority document concerned was submitted or transmitted to or obtained by the International Bureau in compliance with Rule 17.1(a), (b) or (b-*bis*)**. This Form replaces any previously issued notification concerning submission, transmittal or obtaining of priority documents.

Priority date	Priority application No.	Country or regional Office or PCT receiving Office	Date of receipt of priority document
14 September 2010 (14.09.2010)	2010-205599	JP	29 June 2011 (29.06.2011)

The letters "NR" denote a priority document which, on the date of mailing of this Form, had not yet been received or obtained by the International Bureau in compliance with Rule 17.1(a), (b) or (b-*bis*). Where the applicant has failed to either submit, request to prepare and transmit or obtain and transmit, or to request the International Bureau to obtain the priority document within the applicable time limit under that Rule, the attention of the applicant is directed to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.

An asterisk "*" next to a date of receipt, denotes a priority document submitted or transmitted to or obtained by the International Bureau but not in compliance with Rule 17.1(a), (b) or (b-*bis*) (the priority document was received after the time limit prescribed in Rule 17.1(a); the request to prepare and transmit the priority document was submitted to the receiving Office after the applicable time limit under Rule 17.1(b) or the request to the receiving Office or the International Bureau to obtain the priority document was made after the applicable time limit under Rule 17.1(b-*bis*)). Even though the priority document was not furnished in compliance with Rule 17.1(a), (b) or (b-*bis*), the International Bureau will nevertheless transmit a copy of the document to the designated Offices, for their consideration. In case such a copy is not accepted by the designated Office as the priority document, Rule 17.1(c) provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.

RECEIVED
JUL. 19. 2011
MAEDA PATENT OFFICE

The International Bureau of WIPO
34, chemin des Colombettes
1211 Geneva 20, Switzerland

Facsimile No. +41 22 338 70 10

Authorized officer
Masashi Honda
e-mail pt08.pct@wipo.int
Telephone No. +41 22 338 74 08

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 3 月 22 日(22.03.2012)

PCT

(10) 国際公開番号
WO 2012/035684 A1

(51) 国際特許分類:
H01L 21/8234 (2006.01) *H01L 27/092* (2006.01)
H01L 21/8238 (2006.01) *H01L 29/423* (2006.01)
H01L 27/088 (2006.01) *H01L 29/49* (2006.01)

(21) 国際出願番号: PCT/JP2011/002868

(22) 国際出願日: 2011 年 5 月 24 日(24.05.2011)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2010-205599 2010 年 9 月 14 日(14.09.2010) JP

(71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真１００６番地 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 伊藤理(ITO, Satoru). 守山善也(MORIYAMA, Yoshiya). 大川浩(OHKAWA, Hiroshi). 赤松晋(AKAMATSU, Susumu).

(74) 代理人: 前田弘, 外(MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町２丁目５番７号 大阪丸紅ビル Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

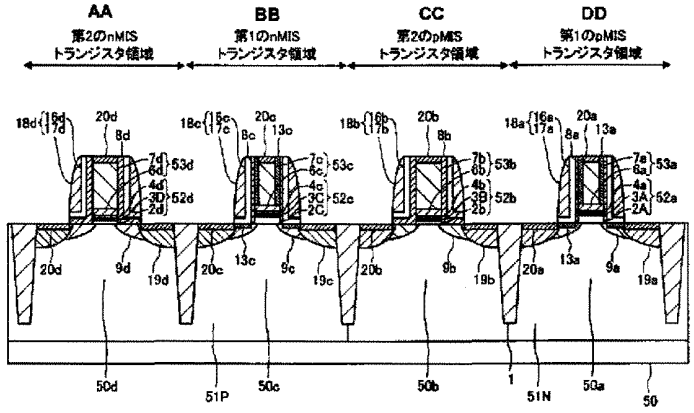
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND PRODUCTION METHOD FOR SAME

(54) 発明の名称 : 半導体装置及びその製造方法

[図9]



AA Second nMIS transistor area
BB First nMIS transistor area
CC Second pMIS transistor area
DD First pMIS transistor area

(57) Abstract: The present invention provides a first MIS transistor and a second MIS transistor of the same conductivity type disposed on top of the same semiconductor substrate (50). The thickness of an interface layer (2A) for a gate insulating film (52a) in the first MIS transistor is greater than the thickness of an interface layer (2b) for a gate insulating film (52b) in the second MIS transistor.

(57) 要約: 同じ導電型の第１のＭＩＳトランジスタ及び第２のＭＩＳトランジスタが同じ半導体基板（５０）上に設けられている。第１のＭＩＳトランジスタにおけるゲート絶縁膜（５２ａ）の界面層（２Ａ）の厚さは、第２のＭＩＳトランジスタにおけるゲート絶縁膜（５２ｂ）の界面層（２ｂ）の厚さよりも厚い。

WO 2012/035684 A1

UMC 1002
UMC v. AICP

GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

UMC 1002
UMC v. AICP

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/002868

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/8234(2006.01)i, *H01L21/8238*(2006.01)i, *H01L27/088*(2006.01)i, *H01L27/092*(2006.01)i, *H01L29/423*(2006.01)i, *H01L29/49*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/8234, H01L21/8238, H01L27/088, H01L27/092, H01L29/423, H01L29/49

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011
Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2003-100896 A (Toshiba Corp.), 04 April 2003 (04.04.2003), entire text; all drawings (Family: none)	1 2-19
X A	JP 2004-079606 A (Fujitsu Ltd.), 11 March 2004 (11.03.2004), entire text; all drawings (Family: none)	1 2-19
X A	JP 2004-140197 A (NEC Electronics Corp.), 13 May 2004 (13.05.2004), entire text; all drawings & US 2004/0082130 A1 entire text; all drawings	1 2-19

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
16 August, 2011 (16.08.11)	23 August, 2011 (23.08.11)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (July 2009)

UMC 1002
UMC v. AICP

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/002868

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 08-306797 A (Ricoh Co., Ltd.), 22 November 1996 (22.11.1996), entire text; all drawings (Family: none)	1-19
A	JP 2004-534401 A (Koninklijke Philips Electronics N.V.), 11 November 2004 (11.11.2004), entire text; all drawings & US 2003/0045058 A1 entire text; all drawings & EP 1459377 A & WO 2003/005439 A2 & TW 569339 B	1-19
A	JP 08-255881 A (Texas Instruments Inc.), 01 October 1996 (01.10.1996), entire text; all drawings & US 5595922 A entire text; all drawings & EP 713249 A1	1-19
A	JP 2010-161308 A (Toshiba Corp.), 22 July 2010 (22.07.2010), entire text; all drawings & US 2010/0176456 A1 entire text; all drawings	1-19
A	JP 2010-157641 A (Renesas Technology Corp.), 15 July 2010 (15.07.2010), entire text; all drawings & US 2010/0164007 A1 entire text; all drawings & CN 101771048 A & KR 10-2010-0080412 A	1-19
A	JP 2005-536053 A (Freescale Semiconductor Inc.), 24 November 2005 (24.11.2005), entire text; all drawings & US 2004/0032001 A1 entire text; all drawings & WO 2004/017403 A1 & KR 10-2005-0054920 A & CN 1675759 A	1-19

特許協力条約

PCT

国際調査報告

（法８条、法施行規則第40、41条）
［ＰＣＴ18条、ＰＣＴ規則43、44］

出願人又は代理人 M11-182CT1-2 の書類記号 P611097P0	今後の手続きについては、様式ＰＣＴ／ＩＳＡ／２２０ 及び下記５を参照すること。	
国際出願番号 ＰＣＴ／ＪＰ２０１１／００２８６８	国際出願日 (日.月.年) ２４．０５．２０１１	優先日 (日.月.年) １４．０９．２０１０
出願人（氏名又は名称） パナソニック株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条（ＰＣＴ18条）の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

１．国際調査報告の基礎
ａ．言語に関し、この国際調査は以下のものに基づき行った。
☑ 出願時の言語による国際出願
☐ 出願時の言語から国際調査のための言語である＿＿＿＿＿＿ 語に翻訳された、この国際出願の翻訳文（ＰＣＴ規則12.3(a)及び23.1(b)）

ｂ．☐ この国際調査報告は、ＰＣＴ規則91の規定により国際調査機関が認めた又は国際調査機関に通知された明らかな誤りの訂正を考慮して作成した（ＰＣＴ規則43.6の2(a)）。

ｃ．☐ この国際出願は、ヌクレオチド又はアミノ酸配列を含んでいる（第Ｉ欄参照）。

２．☐ 請求の範囲の一部の調査ができない（第Ⅱ欄参照）。

３．☐ 発明の単一性が欠如している（第Ⅲ欄参照）。

４．発明の名称は
☑ 出願人が提出したものを承認する。
☐ 次に示すように国際調査機関が作成した。

＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿

５．要約は
☑ 出願人が提出したものを承認する。
☐ 第Ⅳ欄に示されているように、法施行規則第47条第１項（ＰＣＴ規則38.2）の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から１月以内にこの国際調査機関に意見を提出することができる。

６．図面に関して
ａ．要約書とともに公表される図は、
第 9 図とする。 ☑ 出願人が示したとおりである。
☐ 出願人は図を示さなかったので、国際調査機関が選択した。
☐ 本図は発明の特徴を一層よく表しているので、国際調査機関が選択した。

ｂ．☐ 要約とともに公表される図はない。

様式ＰＣＴ／ＩＳＡ／２１０（第1ページ）（２００９年７月）（改訂）

UMC 1002
UMC v. AICP

国際調査報告

国際出願番号 PCT／JP2011／002868

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/8234(2006.01)i, H01L21/8238(2006.01)i, H01L27/088(2006.01)i, H01L27/092(2006.01)i, H01L29/423(2006.01)i, H01L29/49(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/8234, H01L21/8238, H01L27/088, H01L27/092, H01L29/423, H01L29/49

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922－1996年
日本国公開実用新案公報	1971－2011年
日本国実用新案登録公報	1996－2011年
日本国登録実用新案公報	1994－2011年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー＊	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X A	JP 2003-100896 A (株式会社東芝) 2003.04.04, 全文, 全図 (ファミリーなし)	1 2-19
X A	JP 2004-079606 A (富士通株式会社) 2004.03.11, 全文, 全図 (ファミリーなし)	1 2-19
X A	JP 2004-140197 A (NECエレクトロニクス株式会社) 2004.05.13, 全文, 全図 & US 2004/0082130 A1, 全文, 全図	1 2-19

☑ C欄の続きにも文献が列挙されている。　☐ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
16. 08. 2011	23. 08. 2011

国際調査機関の名称及びあて先
日本国特許庁（ISA／JP）
郵便番号100－8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員） 4L 3125
宇多川 勉
電話番号 03－3581－1101 内線 3498

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 08-306797 A（株式会社リコー）1996.11.22，全文，全図（ファミリーなし）	1-19
A	JP 2004-534401 A（コーニンクレッカ　フィリップス　エレクトロニクス　エヌ　ヴィ）2004.11.11，全文，全図 & US 2003/0045058 A1，全文，全図 & EP 1459377 A & WO 2003/005439 A2 & TW 569339 B	1-19
A	JP 08-255881 A（テキサス　インスツルメンツ　インコーポレイテッド）1996.10.01，全文，全図 & US 5595922 A，全文，全図 & EP 713249 A1	1-19
A	JP 2010-161308 A（株式会社東芝）2010.07.22，全文，全図 & US 2010/0176456 A1，全文，全図	1-19
A	JP 2010-157641 A（株式会社ルネサステクノロジ）2010.07.15，全文，全図 & US 2010/0164007 A1，全文，全図 & CN 101771048 A & KR 10-2010-0080412 A	1-19
A	JP 2005-536053 A（フリースケール　セミコンダクター　インコーポレイテッド）2005.11.24，全文，全図 & US 2004/0032001 A1，全文，全図 & WO 2004/017403 A1 & KR 10-2005-0054920 A & CN 1675759 A	1-19

UMC 1002
UMC v. AICP

特許協力条約



発信人　日本国特許庁（国際調査機関）

代理人
前田弘

様

あて名
〒541-0053
日本国大阪府大阪市中央区本町２丁目５番７号　大阪丸紅ビル

PCT
国際調査機関の見解書
（法施行規則第40条の2）
［PCT規則43の2.1］

発送日 （日.月.年）	23. 08. 2011
出願人又は代理人 の書類記号　P611097P0	今後の手続きについては、下記２を参照すること。

国際出願番号	国際出願日	優先日
PCT／JP2011／002868	（日.月.年）　24. 05. 2011	（日.月.年）　14. 09. 2010

国際特許分類（IPC）Int.Cl. H01L21/8234(2006.01)i, H01L21/8238(2006.01)i, H01L27/088(2006.01)i, H01L27/092(2006.01)i, H01L29/423(2006.01)i, H01L29/49(2006.01)i

出願人（氏名又は名称）
パナソニック株式会社

1．この見解書は次の内容を含む。

- ☑ 第Ⅰ欄　見解の基礎
- ☐ 第Ⅱ欄　優先権
- ☐ 第Ⅲ欄　新規性、進歩性又は産業上の利用可能性についての見解の不作成
- ☐ 第Ⅳ欄　発明の単一性の欠如
- ☑ 第Ⅴ欄　PCT規則43の2.1(a)(i)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
- ☐ 第Ⅵ欄　ある種の引用文献
- ☐ 第Ⅶ欄　国際出願の不備
- ☐ 第Ⅷ欄　国際出願に対する意見

2．今後の手続き
国際予備審査の請求がされた場合は、出願人がこの国際調査機関とは異なる国際予備審査機関を選択し、かつ、その国際予備審査機関がPCT規則66.1の2(b)の規定に基づいて国際調査機関の見解書を国際予備審査機関の見解書とみなさない旨を国際事務局に通知していた場合を除いて、この見解書は国際予備審査機関の最初の見解書とみなされる。

この見解書が上記のように国際予備審査機関の見解書とみなされる場合、様式PCT／ISA／220を送付した日から３月又は優先日から２２月のうちいずれか遅く満了する期限が経過するまでに、出願人は国際予備審査機関に、適当な場合は補正書とともに、答弁書を提出することができる。

さらなる選択肢は、様式PCT／ISA／220を参照すること。

3．さらなる詳細は、様式PCT／ISA／220の備考を参照すること。

見解書を作成した日
16. 08. 2011

名称及びあて先
日本国特許庁（ISA／JP）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　4L　3125
宇多川　勉
電話番号　03－3581－1101　内線　3498

様式PCT／ISA／237（表紙）（2009年7月）

UMC 1002
UMC v. AICP

国際調査機関の見解書

国際出願番号 PCT／JP2011／002868

第Ⅰ欄 見解の基礎

1．言語に関し、この見解書は以下のものに基づき作成した。

☑ 出願時の言語による国際出願

☐ 出願時の言語から国際調査のための言語である＿＿＿＿＿＿＿＿語に翻訳された、この国際出願の翻訳文
（ＰＣＴ規則12.3(a)及び23.1(b)）

2．☐ この見解書は、ＰＣＴ規則91の規定により国際調査機関が認めた又は国際調査機関に通知された明らかな誤りの訂正を考慮して作成した（ＰＣＴ規則43の2.1(b)）。

3．この国際出願で開示されたヌクレオチド又はアミノ酸配列に関して、提出された以下の配列表に基づき見解書を作成した。

a．提出手段 ☐ 紙形式

☐ 電子形式

b．提出時期 ☐ 出願時の国際出願に含まれていたもの

☐ この国際出願と共に電子形式により提出されたもの

☐ 出願後に、調査のために、この国際調査機関に提出されたもの

4．☐ さらに、複数の版の配列表又は配列表の写しを提出した場合、出願後に提出した配列の写し若しくは追加して提出した配列の写しが、出願時に提出した配列と同一である旨又は出願時の開示を超える事項を含まない旨の陳述書の提出があった。

5．補足意見：

国際調査機関の見解書

国際出願番号 PCT／JP2011／002868

第Ⅴ欄 新規性、進歩性又は産業上の利用可能性についてのＰＣＴ規則43の2.1(a)(i)に定める見解、それを裏付ける文献及び説明

1. 見解

新規性（N）	請求項	2-19	有
	請求項	1	無
進歩性（ＩＳ）	請求項	2-19	有
	請求項	1	無
産業上の利用可能性（ＩＡ）	請求項	1-19	有
	請求項		無

2. 文献及び説明

文献１：JP 2003-100896 A（株式会社東芝）2003.04.04，全文，全図
文献２：JP 2004-079606 A（富士通株式会社）2004.03.11，全文，全図
文献３：JP 2004-140197 A（ＮＥＣエレクトロニクス株式会社）2004.05.13，全文，全図

請求項１に係る発明は、国際調査報告で引用された文献１－３にそれぞれ記載されているので、新規性、進歩性を有さない。

請求項２－１９に係る発明は、国際調査報告に引用されたいずれの文献にも記載されておらず、当業者にとって自明なものでもない。

様式ＰＣＴ／ＩＳＡ／２３７（第Ⅴ欄）（２００９年７月）

UMC 1002
UMC v. AICP

Docket No.: 085393-0941
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of: Satoru ITOU et al.	Customer Number: 53080
Application No.: Not Yet Assigned	Confirmation No.: N/A
Filed: October 31, 2012	Art Unit: N/A
For: SEMICONDUCTOR DEVICE	Examiner: Not Yet Assigned

INFORMATION DISCLOSURE STATEMENT (IDS)

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Madam:

Pursuant to 37 CFR 1.56, 1.97 and 1.98, the attention of the Patent and Trademark Office is hereby directed to the references listed on the attached PTO/SB/08. It is respectfully requested that the information be expressly considered during the prosecution of this application, and that the references be made of record therein and appear among the "References Cited" on any patent to issue therefrom.

This Information Disclosure Statement accompanies the new patent application submitted herewith.

In accordance with 37 CFR 1.98(a)(2)(ii), Applicant has not submitted copies of U.S. patents and U.S. patent applications. Applicant submits herewith copies of foreign patents and non-patent literature in accordance with 37 CFR 1.98(a)(2).

UMC 1002
UMC v. AICP

A concise explanation of relevance of the items listed on form PTO/SB/08 is in the form of an English language copy of a Search Report from a foreign patent office, issued in a counterpart application, which refers to the relevant portions of the references.

The Director is hereby authorized to charge any deficiency in the fees filed, asserted to be filed or which should have been filed herewith (or with any paper hereafter filed in this application by this firm) to our Deposit Account No. 50-0417, under Order No. 085393-0941.

Respectfully submitted,

MCDERMOTT WILL & EMERY LLP

Michael E. Fogarty
Registration No. 36,139

Please recognize our Customer No. 53080 as our correspondence address.

500 North Capitol Street, N.W
Washington, DC 20001
Phone: (202) 756-8372 MEF:gj
Facsimile: (202) 756-8087
Date: October 31, 2012

PTO/SB/08a (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 2

Complete if Known	
Application Number	Not Yet Assigned
Filing Date	October 31, 2012
First Named Inventor	Satoru ITOU
Art Unit	N/A
Examiner Name	Not Yet Assigned
Attorney Docket Number	085393-0941

U.S. PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Document Number Number-Kind Code[2] (*if known*)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	A1*	US-2004/0082130	04-29-2004	Suzuki et al.	
	A2*	US-2003/0045058	03-06-2003	Druijf et al.	
	A3*	US-5,595,922	01-21-1997	Tigelaar et al.	
	A4*	US-2010/0164007	07-01-2010	ONISHI et al.	
	A5*	US-2004/0032001	02-19-2004	Gilmer et al.	
	A6*	US-2010/0176456	07-15-2010	Ikeno et al.	

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Foreign Patent Document Country Code[3]-Number[4]-Kind Code[5] (*if known*)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages Or Relevant Figures Appear	T[6]
	B1	JP-2004-079606-A	03-11-2004	Fujitsu Ltd	English abstract	
	B2	JP-2009-123944-A	06-04-2009	Panasonic Corp	English abstract	
	B3	JP-2003-100896-A	04-04-2003	Toshiba Corp	English abstract	
	B4	JP-08-306797-A	11-22-1996	Ricoh Kk	English abstract	

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. * CITE NO.: Those application(s) which are marked with an single asterisk (*) next to the Cite No. are not supplied (under 37 CFR 1.98(a)(2)(iii)) because that application was filed after June 30, 2003 or is available in the IFW. [1] Applicant's unique citation designation number (optional). [2] See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. [3] Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). [4] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [6] Applicant is to place a check mark here if English language Translation is attached.

PTO/SB/08b (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 2 of 2

Complete if Known	
Application Number	Not Yet Assigned
Filing Date	October 31, 2012
First Named Inventor	Satoru ITOU
Art Unit	N/A
Examiner Name	Not Yet Assigned
Attorney Docket Number	085393-0941

NON PATENT LITERATURE DOCUMENTS

Examiner Initials*	Cite No.[1]	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	T[2]
	C1	T. Schram et al., "Novel Process to Pattern Selectively Dual Dielectric Capping Layers Using Soft-Mask Only", Symposium on VLSI Technology Digest of Technical Papers, pp.44-45 (2008).	
	C2	International Search Report mailed August 23, 2011 issued in corresponding International Application No. PCT/JP2011/002868.	

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

[1]Applicant's unique citation designation number (optional). [2]Applicant is to place a check mark here if English language Translation is attached.

UMC 1002
UMC v. AICP

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2004-079606**
(43)Date of publication of application : **11.03.2004**

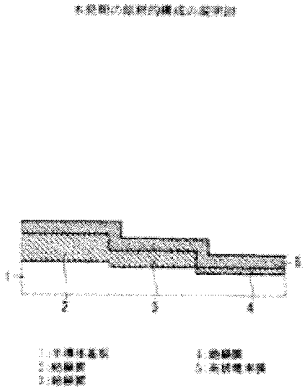
(51)Int.Cl. H01L 21/8234
H01L 21/316
H01L 21/76
H01L 21/822
H01L 21/8247
H01L 27/04
H01L 27/088
H01L 27/115
H01L 29/78
H01L 29/788
H01L 29/792

(21)Application number : **2002-234487**
(22)Date of filing : **12.08.2002**

(71)Applicant : **FUJITSU LTD**
(72)Inventor : **IRINO KIYOSHI**
MORIZAKI YUSUKE
SUGITA YOSHIHIRO

(54) SEMICONDUCTOR DEVICE HAVING HIGH DIELECTRIC CONSTANT FILM AND ITS MANUFACTURING METHOD

(57)Abstract:
PROBLEM TO BE SOLVED: To form a thin gate insulating film in terms of SiO2 thickness of different film thickness in a simple process concerning a semiconductor device having a high dielectric constant film and its manufacturing method.
SOLUTION: A device part having a plurality of insulating films mutually different in film thickness comprising a laminated structure having a high dielectric constant film 5 whose dielectric constant is 10-40 in uniform film thickness on the insulating films 2-4 of a plurality of the film thicknesses whose dielectric constant is less than 10 is provided.



(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2004-79606
(P2004-79606A)
(43)公開日　平成16年3月11日(2004.3.11)

(51)Int.Cl.[7]	F I		テーマコード（参考）
H01L 21/8234	H01L 27/08	102C	5F032
H01L 21/316	H01L 21/316	S	5F038
H01L 21/76	H01L 21/316	X	5F048
H01L 21/822	H01L 29/78	371	5F058
H01L 21/8247	H01L 27/10	434	5F083

審査請求 未請求　請求項の数 5　OL　（全 16 頁）　最終頁に続く

(21)出願番号　特願2002-234487(P2002-234487)
(22)出願日　平成14年8月12日(2002.8.12)

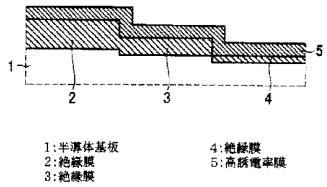
(71)出願人　000005223
富士通株式会社
神奈川県川崎市中原区上小田中４丁目１番１号
(74)代理人　100105337
弁理士　眞鍋　潔
(74)代理人　100072833
弁理士　柏谷　昭司
(74)代理人　100075890
弁理士　渡邊　弘一
(74)代理人　100110238
弁理士　伊藤　壽郎
(72)発明者　入野　清
神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内

最終頁に続く

(54)【発明の名称】高誘電率膜を有する半導体装置及びその製造方法

(57)【要約】
【課題】高誘電率膜を有する半導体装置及びその製造方法に関し、異なった膜厚で且つSiO_2　換算膜厚の薄いゲート絶縁膜を簡単な工程で形成する。
【解決手段】誘電率が１０未満で複数膜厚の絶縁膜２～４の上に均一な膜厚で誘電率が１０～４０の高誘電率膜５を有する積層構造からなる互いに膜厚が異なる複数の絶縁膜を有する素子部を設ける。
【選択図】　図１

本発明の原理的構成の説明図



1:半導体基板
2:絶縁膜
3:絶縁膜
4:絶縁膜
5:高誘電率膜

UMC 1002
UMC v. AICP

【特許請求の範囲】
【請求項１】
誘電率が１０未満で複数膜厚の絶縁膜の上に均一な膜厚で誘電率が１０～４０の高誘電率膜を有する積層構造からなる互いに膜厚の異なる複数の絶縁膜を有する素子部を設けたことを特徴とする高誘電率膜を有する半導体装置。
【請求項２】
上記高誘電率膜が、酸化ハフニウム、酸化ジルコニウム、酸化イットリウム、酸化ランタン及びそのシリケートやアルミネート、酸化アルミニウム、或いは、５酸化タンタルの中の少なくとも一つの膜を含むことを特徴とする請求項１記載の高誘電率膜を有する半導体装置。
【請求項３】
半導体基板上に誘電率が１０～４０の高誘電率膜を成膜した後、酸化によって前記半導体基板との界面に膜厚を部分的に制御して酸化膜を形成することを特徴とする高誘電率膜を有する半導体装置の製造方法。
【請求項４】
上記酸化工程において、上記高誘電率膜の上に形成した窒化シリコン膜パターンを選択酸化膜として用いることを特徴とする請求項３記載の高誘電率膜を有する半導体装置の製造方法。
【請求項５】
上記酸化工程を、２５０～６００℃の温度で行うことを特徴とする請求項３または４に記載の高誘電率膜を有する半導体装置の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は高誘電率膜を有する半導体装置及びその製造方法に関するものであり、特に、複数の薄く且つ異なった膜厚のゲート絶縁膜を同一基板に形成するための構成に特徴のある高誘電率膜を有する半導体装置及びその製造方法に関するものである。
【０００２】
【従来の技術】
一般の半導体集積回路装置（ＬＳＩ）においては、Ｌｏｇｉｃ等のコア部、周辺回路部、及び、Ｉ／Ｏ部等において必要とする特性が異なった素子が混在して形成されており、異なった素子特性に応じて異なった複数の電源電圧値を印加するようになっている。
【０００３】
この様な複数の異なった特性の半導体素子、例えば、ＭＯＳＦＥＴを形成する場合には、特性に応じて異なった膜厚のゲート絶縁膜を用いているので、ここで、図８及び図９を参照して従来のゲート絶縁膜の製造工程を説明する。
【０００４】
図８（ａ）参照
まず、シリコン基板６１を熱酸化して熱酸化膜６２を形成したのち、Ｉ／Ｏ部等の最も印加電圧の高い素子部を覆うようにレジストパターン６３を形成し、このレジストパターン６３をマスクとして露出する熱酸化膜６２を除去する。
【０００５】
図８（ｂ）参照
次いで、レジストパターン６３を除去したのち、再び熱酸化することによって、熱酸化膜６４を形成する。
この時、最初に形成した熱酸化膜６２の膜厚は増大する。
【０００６】
図８（ｃ）参照
次いで、最も印加電圧の高い素子部、及び、周辺回路部等の中間の電圧を印加する素子部を覆うようにレジストパターン６５を設け、露出する熱酸化膜６４を除去する。

UMC 1002
UMC v. AICP

【０００７】
図８（ｄ）参照
次いで、レジストパターン６５を除去したのち、再び熱酸化することによって、熱酸化膜６６を形成する。
この時、熱酸化膜６２及び熱酸化膜６４の膜厚は増大し、３種類の異なった熱酸化膜６２，６４，６６を同一基板上に形成する。
【０００８】
以降は、通常の素子形成工程を経ることによって、熱酸化膜６２を形成した領域にはＩ／Ｏ素子を、熱酸化膜６４を形成した領域には周辺回路素子を、また、熱酸化膜６６を形成した領域には論理素子等を形成することになる。
【０００９】
また、この様な熱酸化工程を一度にするために、イオン注入を用いて減速酸化及び増速酸化を組み合わせる方法も提案されている。
図９（ａ）参照
まず、シリコン基板７１の表面に最も印加電圧の高い素子部及び中間の電圧を印加する素子部を覆うようにレジストパターン７２を形成し、減速酸化元素であるＮイオン７３を露出表面に選択的にイオン注入してＮ注入領域７４を形成する。
【００１０】
図９（ｂ）参照
次いで、レジストパターン７２を除去したのち、シリコン基板７１の表面に最も印加電圧の高い素子部のみが露出されるように新たなレジストパターン７５を形成し、増速酸化元素であるＦイオン７６を露出表面に選択的にイオン注入してＦ注入領域７７を形成する。
【００１１】
図９（ｃ）参照
次いで、レジストパターン７５を除去したのちに、熱酸化することによって、熱酸化膜７８，７９，８０を一度に形成する。
この場合、減速酸化元素であるＮを注入したＮ注入領域７４に形成される熱酸化膜７８が一番薄く、また、増速酸化元素であるＦを注入したＦ注入領域７７に形成される熱酸化膜８０が一番厚くなる。
【００１２】
近年、半導体集積回路装置の加工技術の進歩に伴って個々の半導体素子は益々微細化されており、ＭＯＳＦＥＴにおいても、微細化されゲート絶縁膜は、～１ｎｍ程度にまでなってきており、この様な薄いゲート絶縁膜を熱酸化膜によって構成することが困難になってきている。
【００１３】
即ち、ゲート絶縁膜がここまで薄くなると量子効果が顕在化し、トンネル効果によりリーク電流が急増してしまいオフ電流が多くなって消費電力が多くなったり或いは回路動作しなくなったりするといった問題が起きてきている。
【００１４】
そこで、リーク電流を抑えることが必要になるが、プロセス的な対処は３つあり、第１はゲート膜中の有効質量を大きくする、第２はキャリアに対するバリアハイトを大きくする、第３には物理膜厚を厚くすることである。
【００１５】
この内、第１の対処方法は、ゲート膜中の有効質量は良くわかっていないことから対策とは考えにくい。
第２及び第３の対処方法については、バリアハイトから考えると誘電率が大きくなると小さくなる傾向にあり、１　ｅＶ以上のバリアハイトを確保しようとすると誘電率が～２０以下の材料ということになり誘電率を高くすれば良いというものでは無いことが分かっている。
【００１６】

UMC 1002
UMC v. AICP

以上のことから、誘電率が１０～２０くらいの材料が好適であるということで、Al_2O_3、ZrO_2、HfO_2、Ta_2O_5等がゲート絶縁膜の候補として挙がっている。

【００１７】

【発明が解決しようとする課題】

しかし、一般に、高誘電率膜はSiO_2膜に比べて選択的にエッチングすることが困難であるという問題があり、また、高電圧を印加する厚いゲート絶縁膜を有する素子は必ずしも高誘電率膜を用いる必要はない。

【００１８】

そこで、ゲート絶縁膜を薄くするために高誘電率膜がどうしても必要なトランジスタと、特別必要ないトランジスタが共存する半導体集積回路装置を構成することになるが、それぞれのトランジスタ用に別々にゲート絶縁膜を作ることが必要になり、工程が非常に複雑になり、歩留まりが悪く、コストが高くなり、且つ、納期もかかるという問題が生ずる。

【００１９】

したがって、本発明は、異なった膜厚で且つSiO_2換算膜厚の薄いゲート絶縁膜を簡単な工程で形成することを目的とする。

【００２０】

【課題を解決するための手段】

図１は本発明の原理的構成の説明図であり、この図１を参照して本発明における課題を解決するための手段を説明する。

図１参照

上記の目的を達成するため、本発明は、高誘電率膜を有する半導体装置において、誘電率が１０未満で複数膜厚の絶縁膜２～４の上に均一な膜厚で誘電率が１０～４０の高誘電率膜５を有する積層構造からなる互いに異なった膜厚の複数の絶縁膜を有する素子部を設けることを特徴とする。

【００２１】

この様に、全面に均一な膜厚で誘電率が１０～４０、より好適には１０～２０の高誘電率膜５を設けることによって、微細な素子を形成する際にも高誘電率膜５のエッチングが不要になり、製造工程を簡素化することができる。

なお、例えば、ゲート構造を形成する際には、高誘電率膜５のエッチングが必要になる。

【００２２】

また、高誘電率膜５の下層となる誘電率が１０未満の絶縁膜２～４の膜厚は、必ずしも異なった膜厚である必要はなく、積層構造からなる絶縁膜の膜厚は均一であっても良い。

【００２３】

この様な高誘電率膜５としては、酸化ハフニウム（HfO_2）、酸化ジルコニウム（ZrO_2）、酸化イットリウム（Y_2O_3）、酸化ランタン（La_2O_3）及びそのシリケートやアルミネート、酸化アルミニウム（Al_2O_3）、或いは、５酸化タンタル（Ta_2O_5）が好適である。

但し、Al_2O_3及びTa_2O_5には、低温酸化作用はない。

【００２４】

また、積層構造の絶縁膜はキャパシタの誘電体膜として用いても良いが、ＭＯＳＦＥＴのゲート絶縁膜が最も典型的なものである。

【００２５】

また、誘電率が１０未満の絶縁膜２～４は、SiO_2堆積膜、或いは、SiO_2堆積膜上に極薄いＳｉＮ膜を堆積した積層膜を用いても良いが、典型的には、半導体基板１の自己酸化膜であり、或いは、半導体基板１の自己酸化膜とその上に堆積させた極薄いＳｉＮ膜からなる積層膜でも良い。

なお、半導体基板１の表面がシリコンであればSiO_2膜となり、半導体基板１の表面がＳｉＧｅであればSiO_2－GeO_2混合膜となる。

【００２６】

UMC 1002
UMC v. AICP

上述の構造を形成する場合には、半導体基板１上に複数膜厚の誘電率が１０未満の絶縁膜２～４を形成するとともに、半導体基板１の一部を露出させたのち、全面に均一な膜厚で誘電率が１０～４０の高誘電率膜５を成膜し、前記誘電率が１０未満の絶縁膜２～４と誘電率が１０～４０の高誘電率膜５との積層構造からなる複数の膜厚の絶縁膜を形成すれば良い。

【００２７】

或いは、半導体基板１上に誘電率が１０～４０の高誘電率膜５を成膜した後、酸化によって半導体基板１との界面に膜厚を部分的に制御して酸化膜を形成すれば良い。

【００２８】

この場合の酸化工程において、高誘電率膜５の上に形成した窒化シリコン膜パターンを選択酸化膜として用いれば良い。

なお、窒化シリコン膜のパターニング工程において熱燐酸を用いることによってソフトエッチングが可能になり、それによって、下地の高誘電率膜５にダメージを与えることがない。

【００２９】

この酸化工程は、２５０～６００℃、より好適には３００～５００℃の低温で行うことが望ましく、それによって、チャネル・ドープ領域のドーピングプロファイルが影響を受けることがない。

【００３０】

また、高誘電率膜５の成膜方法としては、原子層－化学気相成長方法（ＡＬＣＶＤ法）が望ましく、それによって、成膜過程において高誘電率膜５と半導体基板１との界面に酸化膜を形成することができるので、界面準位を低減することができる。

【００３１】

【発明の実施の形態】

ここで、図２を参照して、本発明の第１の実施の形態の製造工程を説明するが、ここでは、説明を簡単にするためにゲート絶縁膜の製造工程のみを説明する。

図２（ａ）参照

まず、従来と同様に、シリコン基板１１を熱酸化して酸化膜１２を形成したのち、Ｉ／Ｏ部等の最も印加電圧の高い素子部を覆うようにレジストパターン１３を形成し、このレジストパターン１３をマスクとして露出する酸化膜１２を除去する。

【００３２】

図２（ｂ）参照

次いで、レジストパターン１３を除去したのち、再び熱酸化することによって、酸化膜１４を形成する。

この時、最初に形成した酸化膜１２の膜厚は増大する。

【００３３】

図２（ｃ）参照

次いで、最も印加電圧の高い素子部、及び、周辺回路部等の中間の電圧を印加する素子部を覆うようにレジストパターン１５を設け、露出する酸化膜１４を除去する。

【００３４】

図２（ｄ）参照

次いで、レジストパターン６５を除去したのち、ＨＣｌ＋H_2　O_2　を用いてＳＣ２洗浄を行い、次いで、$HfCl_4$　及びH_2　Ｏを交互に供給するＡＬＣＶＤ法（原子層－ＣＶＤ法）を用いて、例えば、１Ｔｏｒｒの圧力下で、３００℃においてHfO_2　膜１６を形成する。

なお、$HfCl_4$　及びH_2　Ｏを交互に供給する際のパージガスとしてはN_2　ガスを用いる。

【００３５】

この時、HfO_2　膜１６がシリコン基板１１と直接接する領域においては、界面に薄いSiO_2　膜、即ち、低温酸化膜１７が形成される。

UMC 1002
UMC v. AICP

これは、HfO_2 膜１６中においてO_2 の結合エネルギーが小さくなり、活性なＯ原子となりやすく、このＯ原子が界面で反応して３００℃程度の低温においてもSiO_2 膜を形成すると推測される。

【００３６】

以降は、厚い酸化膜１２を形成した領域において、HfO_2 ／SiO_2 構造の厚いゲート絶縁膜を有する素子を形成し、酸化膜１４を形成した領域において、HfO_2 ／SiO_2 構造の中間の厚さのゲート絶縁膜を有する素子を形成し、HfO_2 を直接堆積させた領域にHfO_2 （／SiO_2 ）構造の薄いゲート絶縁膜を有する素子を形成すれば良い。

【００３７】

この様に、本発明の第１の実施の形態においては、高誘電率膜であるHfO_2 膜を全面に形成したままであるので、HfO_2 膜のエッチング工程が不要であり、一番薄いゲート絶縁膜が必要な素子にHfO_2 を用いた場合にも製造工程を簡素化することができる。

【００３８】

また、HfO_2 膜の場合には、シリコン基板１１との界面に低温酸化膜１７が形成されるので、界面におけるダングリング・ボンドを終端させて界面特性を向上することができる。

【００３９】

次に、図３を参照して、本発明の第２の実施の形態の製造工程を説明するが、この場合も、説明を簡単にするためにゲート絶縁膜の製造工程のみを説明する。

図３（ａ）参照

まず、上記の第１の実施の形態における成膜工程と同様に、$HfCl_4$ 及びH_2O を交互に供給するＡＬＣＶＤ法を用いて、シリコン基板２１の全面にHfO_2 膜２２を形成する。

この場合も、HfO_2 膜２２とシリコン基板２１との界面に薄いSiO_2 膜、即ち、低温酸化膜２３が形成される。

【００４０】

次いで、ＣＶＤ法を用いてＳｉＮ膜２４及びSiO_2 膜２５を順次堆積したのち、一番印加電圧の高い素子を形成する領域を露出するようにレジストパターン２６を設け、このレジストパターン２６をマスクとしてSiO_2 膜２５及びＳｉＮ膜２４の露出部を順次エッチング除去する。

【００４１】

図３（ｂ）参照

次いで、レジストパターン２６を除去したのち、ＳｉＮ膜２４を選択酸化膜として用いて、２５０～６００℃、例えば、３００℃で、1×10^{-3} Ｔｏｒｒの酸化性雰囲気中において低温酸化することによって、露出しているHfO_2 膜２２の直下に低温酸化膜２７を形成する。

この場合も、酸化性雰囲気中のO_2 がHfO_2 膜２２中に進入した場合、HfO_2 膜２２中においてO_2 の結合エネルギーが小さくなり、活性なＯ原子となりやすく、このＯ原子が界面で反応して３００℃程度の低温においてもSiO_2 膜を形成すると推測される。

【００４２】

図３（ｃ）参照

次いで、一番印加電圧の低い素子を形成する領域を覆うようにレジストパターン２８を設け、このレジストパターン２８をマスクとしてSiO_2 膜２５及びＳｉＮ膜２４の露出部を順次エッチング除去する。

【００４３】

図３（ｄ）参照

次いで、レジストパターン２８を除去したのち、再び、ＳｉＮ膜２４を選択酸化膜として

UMC 1002
UMC v. AICP

用いて、２５０～６００℃、例えば、３００℃で低温酸化することによって、露出しているＨｆＯ$_2$　膜２２の直下に低温酸化膜２９を形成する。
この時、最初に形成した低温酸化膜２７の膜厚は増大している。
【００４４】
図３（ｅ）参照
最後に、残存するＳｉＯ$_2$　膜２５及びＳｉＮ膜２４を除去することによって、異なった３つの膜厚のゲート絶縁膜を有するＭＯＳＦＥＴを同一基板に形成すれば良い。
【００４５】
この様に、本発明の第２の実施の形態においても、高誘電率膜であるＨｆＯ$_2$　膜を全面に形成したままであるので、ＨｆＯ$_2$　膜のエッチング工程が不要であり、一番薄いゲート絶縁膜が必要な素子にＨｆＯ$_2$　を用いた場合にも製造工程を簡素化することができる。
【００４６】
また、本発明の第２の実施の形態における酸化工程は、６００℃以下の低温酸化工程であるので、チャネル・ドープ領域におけるドーピングプロファイルに与える影響が少ないため、素子特性の制御が容易になる。
【００４７】
次に、図４乃至図７を参照して、上記の第２の実施の形態の工程を具体的に半導体集積回路の製造工程に適用した本発明の第３の実施の形態を説明する。
但し、ここでは、図示を簡単にするために、Ｌｏｇｉｃ部と周辺回路部の２つの膜厚の異なったゲート絶縁膜を有するＭＯＳＦＥＴの製造工程として説明する。
【００４８】
図４（ａ）参照
まず、従来のＭＯＳＩＣの製造工程と同様に、例えば、８５０℃においてＨＣｌ酸化を行うことによって、ｎ型シリコン基板３１の表面に厚さが、例えば、１０ｎｍのＳｉＯ$_2$　膜３２を形成したのち、減圧化学気相成長法（ＬＰＣＶＤ法）を用いて厚さが、例えば、１００ｎｍのＳｉＮ膜３３を堆積させる。
【００４９】
図４（ｂ）参照
次いで、素子形成領域のみにＳｉＮ膜３３を残すレジストパターン（図示を省略）を設け、このレジストパターンをマスクとしてドライエッチングを施すことによって、深さが、例えば、２００ｎｍの素子分離溝３４を形成する。
【００５０】
図４（ｃ）参照
次いで、レジストパターンを除去したのち、再び、８５０℃においてＨＣｌ酸化を行うことによって素子分離溝３４の表面に厚さが、例えば、１０ｎｍのライナー酸化膜３５を形成する。
【００５１】
次いで、高密度プラズマＣＶＤ法（ＨＤＰ－ＣＶＤ法）を用いて、厚さが、例えば、５００ｎｍのＨＤＰ－ＳｉＯ$_2$　膜３６を堆積させたのち、ＣＭＰ（化学機械研磨）法を用いてＳｉＮ膜３３をストッパーとしＳｉＮ膜３３が露出するまでＨＤＰ－ＳｉＯ$_2$　膜３６を除去することによって、ＨＤＰ－ＳｉＯ$_2$　膜３６で素子分離溝３４を埋め込む。
この埋め込まれたＨＤＰ－ＳｉＯ$_2$　膜３６とライナー酸化膜３５とが埋込酸化膜３７となる。
【００５２】
図４（ｄ）参照
次いで、ＳｉＮ膜３３を熱燐酸を用いて除去したのち、ＨＦによってＳｉＯ$_2$　膜３２を除去する。
このＳｉＯ$_2$　膜３２の除去工程において、埋込酸化膜３７の表面もエッチングされるので、表面は平坦になる。

UMC 1002
UMC v. AICP

【００５３】
図５（ｅ）参照
次いで、ｎ型シリコン基板３１の表面に厚さが、例えば、１０ｎｍのイオン注入用のスルー酸化膜３８を形成したのち、Ｂイオンを高加速エネルギーでイオン注入することによって、深い位置にウエル形成用のイオン注入領域３９を形成するとともに、Ｂイオンを低加速エネルギーでイオン注入することによって、表面にチャネル・ドープ領域形成用のイオン注入領域４０を形成する。
【００５４】
図５（ｆ）参照
次いで、注入したイオンを活性化する熱処理を行ってｐ型ウエル領域４１を形成するとともに、表面にチャネル・ドープ領域４２を形成したのち、スルー酸化膜３８を除去する。
【００５５】
図５（ｇ）参照
次いで、ＨＣｌ＋H_2　O_2　を用いてＳＣ２洗浄処理を行ったのち、$HfCl_4$　及びH_2　Ｏを交互に供給するＡＬＣＶＤ法を用いて、全面に厚さが、例えば、３ｎｍのHfO_2　膜４３を形成する。
この場合も、HfO_2　膜４３とｐ型ウエル領域４１との界面に薄い低温酸化膜４４が形成される。
【００５６】
次いで、ＬＰＣＶＤ法を用いて、HfO_2　膜４３の全面に厚さが、例えば、２０ｎｍのＳｉＮ膜４５、及び、厚さが、例えば、２０ｎｍのSiO_2　膜４６を順次堆積させる。
【００５７】
図５（ｈ）参照
次いで、Ｌｏｇｉｃ部を覆うようにレジストパターン４７を設け、このレジストパターン４７をマスクとして露出するSiO_2　膜４６をエッチングし、次いで、SiO_2　膜４６をマスクとして熱燐酸、即ち、燐酸ボイルを用いてＳｉＮ膜４５をエッチング除去する。
この燐酸ボイルを用いたエッチングはソフトエッチングであるので、下地のHfO_2　膜４３にダメージを与えることがない。
【００５８】
図６（ｉ）参照
次いで、レジストパターン４７を除去したのち、ＳｉＮ膜４５を選択酸化マスクとし、1×10^{-3} Ｔｏｒｒの酸化性雰囲気中で、２５０～６００℃、例えば、３００℃で熱処理を行うことによってHfO_2　膜４３の露出部において、ｐ型ウエル領域４１との界面に厚さが、例えば、３ｎｍの低温酸化膜４８を形成する。この熱処理は３００℃という低温で行うので、チャネル・ドープ領域４２のドーピングプロファイルが影響を受けることがない。
【００５９】
図６（ｊ）参照
次いで、残存するSiO_2　膜４６及びＳｉＮ膜４５をフッ酸及び熱燐酸を用いて順次除去したのち、全面に、厚さが、例えば、１００ｎｍの多結晶シリコン膜４９を堆積させたのち、全面にＰイオンを注入してｎ型に変換する。
【００６０】
図６（ｋ）参照
次いで、多結晶シリコン膜４９、HfO_2　膜４３、及び、低温酸化膜４４，４８をパターニングすることによって、シリコンゲート電極５０、HfO_2　膜４３及び低温酸化膜４４，４８をゲート絶縁膜とするゲート構造を形成する。
次いで、ゲート構造をマスクとしてＡｓイオンを低加速エネルギーで注入することによってｎ型イクステンション領域５１を形成する。
【００６１】

UMC 1002
UMC v. AICP

図６（ｌ）参照
次いで、ＬＰＣＶＤ法を用いて全面に厚いSiO_2膜を堆積させたのち、異方性エッチングを施すことによってサイドウォール５２を形成し、次いで、ゲート構造及びサイドウォール５２をマスクとしてＡｓイオンを高加速エネルギーでイオン注入することによってｎ型ソース・ドレイン領域５３を形成する。
【００６２】
図７（ｍ）参照
次いで、スパッタリング法を用いて全面に、厚さが、例えば、３０ｎｍのＣｏ膜５４を堆積させる。
【００６３】
図７（ｎ）参照
次いで、N_2雰囲気中で、４００～６００℃、例えば、５００℃の温度で、１０～９００秒、例えば、３０秒間の急速熱処理（Ｒａｐｉｄ Ｔｈｅｒｍａｌ Ａｎｎｅａｌｉｎｇ：ＲＴＡ）を施すことによって、Ｃｏ膜５４とシリコンゲート電極５０の表面及びｎ型ソース・ドレイン領域５３の表面とを反応させてＣｏシリサイド層５５及びソース・ドレイン電極となるＣｏシリサイド層５６を形成する。
【００６４】
図７（ｏ）参照
次いで、H_2SO_4：H_2O_2＝３：１の混合液で２０分間エッチングを行うことによって未反応のＣｏ膜５４を除去したのち、全面にＢＰＳＧ膜を堆積させ、ＣＭＰ法で研磨して平坦化することによって層間絶縁膜５７を形成する。
以降は、必要とする配線構造を形成するために、ビアの形成工程、配線の形成工程、及び、層間絶縁膜の形成工程を繰り返すことによって最も印加電圧の低いＬｏｇｉｃ部において高誘電率膜であるHfO_2膜４３を有する最も膜厚の薄いゲート絶縁膜を有するＭＯＳＦＥＴを含む半導体集積回路装置が完成する。
【００６５】
この様に、本発明の第３の実施の形態においては、異なった膜厚のゲート絶縁膜を形成する場合に、高誘電率膜を用いるとともに、高誘電率膜をパターニングすることなく選択的低温酸化によって膜厚の異なるゲート絶縁膜を形成しているので、製造工程が大幅に簡素化される。
【００６６】
なお、上記の説明においては、Ｌｏｇｉｃ部と周辺回路部の製造工程としてしか説明していないが、Ｉ／Ｏ部を形成する場合には、最初に、Ｉ／Ｏ部を選択低温酸化し、次いで、図６（ｉ）の様に周辺回路部を選択低温酸化すれば良い。
【００６７】
以上、本発明の各実施の形態を説明してきたが、本発明は各実施の形態に記載した構成に限られるものではなく、各種の変更が可能である。
例えば、上記の各実施の形態の説明においては、基板としてシリコン基板を用いているが、シリコン基板に限られるものではなく、ＳｉＧｅ基板或いは、シリコン基板等の上にＳｉＧｅ層を成長させたエピタキシャル基板を用いても良いものであり、その場合には、酸化膜はSiO_2－GeO_2の混合膜となる。
【００６８】
上記の各実施の形態においては、高誘電率膜としてHfO_2を用いているが、HfO_2に限られるものではなく、１０～４０の誘電率を有する膜、例えば、酸化ジルコニウム（ZrO_2）、酸化イットリウム（Y_2O_3）、酸化ランタン（La_2O_3）及びそのシリケートやアルミネート、酸化アルミニウム（Al_2O_3）、或いは、５酸化タンタル（Ta_2O_5）を用いても良いものである。
但し、Al_2O_3及びTa_2O_5には、低温酸化作用はない。
【００６９】
上記の各実施の形態においては、高誘電率膜の成膜方法としてＡＬＣＶＤ法を用いている

が、ＡＬＣＶＤ法に限られるものではなく、例えば、スパッタリング法を用いても良いものである。

【００７０】

また、上記の第１の実施の形態においは、高誘電率膜の膜厚の異なる下地絶縁膜として熱酸化膜を用いているが、熱酸化膜に限られるものではなく、誘電率が１０未満の絶縁膜であれば堆積膜を用いても良く、また、この下地絶縁膜は単層膜に限られるものではなく、熱酸化膜或いは堆積膜上に薄い窒化膜を堆積させた積層膜を用いても良いものである。

【００７１】

また、上記の第１及び第２の実施の形態においては、３種類の異なる積層絶縁膜の形成工程として説明しているが、２種類の異なる積層絶縁膜の形成工程に用いても良いことは言うまでもなく、また、１チップ内に必要とする素子特性に応じて４種類以上の異なる積層絶縁膜を形成しても良いものであり、その場合には、酸化回数及びエッチング回数が増えるだけである。

【００７２】

また、上記の各実施の形態の形態においては、高誘電率膜を含む積層絶縁膜をゲート絶縁膜として用いているが、ゲート絶縁膜に限られるものではなく、異なった容量のキャパシタを形成する場合にも適用されるものであり、さらには、トンネル絶縁膜としても用いることができるものであり、各素子におけるトンネル特性を異なるように構成することができる。

【００７３】

また、上記の各実施の形態の形態においては、異なった膜厚の積層絶縁膜の形成工程として説明しているが、必ずしも異なった膜厚にする必要はなく、全体に均一な積層絶縁膜とする場合にも適用されるものであり、特に、上記の第２の実施の形態においては、３００℃程度の低温工程となるので、全工程を５００℃以下の低温プロセスで半導体集積回路装置を製造する場合に有望な方法となる。

【００７４】

ここで、再び、図１を参照して、改めて本発明の詳細な特徴を説明する。

再び、図１参照

（付記１）　誘電率が１０未満で複数膜厚の絶縁膜２～４の上に均一な膜厚で誘電率が１０～４０の高誘電率膜５を有する積層構造からなる互いに膜厚が異なる複数の絶縁膜を有する素子部を設けたことを特徴とする高誘電率膜を有する半導体装置。

（付記２）　誘電率が１０未満の絶縁膜２～４の上に均一な膜厚で誘電率が１０～４０の高誘電率膜５を有する積層構造からなる絶縁膜を有する素子部を有することを特徴とする高誘電率膜を有する半導体装置。

（付記３）　上記高誘電率膜５が、酸化ハフニウム、酸化ジルコニウム、酸化イットリウム、酸化ランタン及びそのシリケートやアルミネート、酸化アルミニウム、或いは、５酸化タンタルの中の少なくとも一つの膜を含むことを特徴とする付記１または２記載の高誘電率膜を有する半導体装置。

（付記４）　上記積層構造の絶縁膜がゲート絶縁膜であることを特徴とする付記１乃至３のいずれか１に記載の高誘電率膜を有する半導体装置。

（付記５）　上記誘電率が１０未満の絶縁膜２～４が、半導体基板１の自己酸化膜であることを特徴とする付記１乃至４のいずれか１に記載の高誘電率膜を有する半導体装置。

（付記６）　半導体基板１上に誘電率が１０未満で複数膜厚の絶縁膜２～４を形成するとともに、前記半導体基板１の一部を露出させたのち、全面に均一な膜厚で誘電率が１０～４０の高誘電率膜５を成膜し、前記誘電率が１０未満の絶縁膜２～４と誘電率が１０～４０の高誘電率膜５との積層構造からなる互いに膜厚が異なる複数の絶縁膜を各素子部に設けることを特徴とする高誘電率膜を有する半導体装置の製造方法。

（付記７）　半導体基板１上に誘電率が１０～４０の高誘電率膜５を成膜した後、酸化によって前記半導体基板１との界面に膜厚を部分的に制御して酸化膜を形成することを特徴とする高誘電率膜を有する半導体装置の製造方法。

UMC 1002
UMC v. AICP

（付記８）　上記酸化工程において、上記高誘電率膜５の上に形成した窒化シリコン膜パターンを選択酸化膜として用いることを特徴とする付記７記載の高誘電率膜を有する半導体装置の製造方法。
（付記９）　上記窒化シリコン膜のパターニング工程において、燐酸ボイルを用いることを特徴とする付記８記載の高誘電率膜を有する半導体装置の製造方法。
（付記１０）　上記酸化工程を、２５０～６００℃の温度で行うことを特徴とする付記７乃至９のいずれか１に記載の高誘電率膜を有する半導体装置の製造方法。
（付記１１）　上記高誘電率膜５の成膜方法として、原子層－化学気相成長方法を用いたことを特徴とする付記６乃至１０のいずれか１に記載の高誘電率膜を有する半導体装置の製造方法。

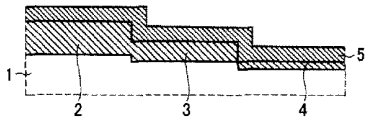
【００７５】
【発明の効果】
本発明によれば、複数の素子部において互いに膜厚の異なる積層絶縁膜を形成する場合に、少なくとも全面に誘電率が１０～４０の高誘電率膜を設け、その下地となる誘電率が１０未満の絶縁膜の膜厚を変えるだけでであるので、製造工程が簡素化され、ひいては、高集積度半導体集積回路装置の高スループット化、低コスト化に寄与するところが大きい。
【図面の簡単な説明】
【図１】本発明の原理的構成の説明図である。
【図２】本発明の第１の実施の形態の製造工程の説明図である。
【図３】本発明の第２の実施の形態の製造工程の説明図である。
【図４】本発明の第３の実施の形態の途中までの製造工程の説明図である。
【図５】本発明の第３の実施の形態の図４以降の途中までの製造工程の説明図である。
【図６】本発明の第３の実施の形態の図５以降の途中までの製造工程の説明図である。
【図７】本発明の第３の実施の形態の図６以降の製造工程の説明図である。
【図８】従来のゲート絶縁膜の形成工程の説明図である。
【図９】従来の減速酸化及び増速酸化を組み合わせたゲート絶縁膜の形成工程の説明図である。
【符号の説明】
１　半導体基板
２　絶縁膜
３　絶縁膜
４　絶縁膜
５　高誘電率膜
１１　シリコン基板
１２　酸化膜
１３　レジストパターン
１４　酸化膜
１５　レジストパターン
１６　HfO_2　膜
１７　低温酸化膜
２１　シリコン基板
２２　HfO_2　膜
２３　低温酸化膜
２４　ＳｉＮ膜
２５　SiO_2　膜
２６　レジストパターン
２７　低温酸化膜
２８　レジストパターン
２９　低温酸化膜
３１　ｎ型シリコン基板

３２　SiO_2　膜
３３　ＳｉＮ膜
３４　素子分離溝
３５　ライナー酸化膜
３６　ＨＤＰ－SiO_2　膜
３７　埋込酸化膜
３８　スルー酸化膜
３９　イオン注入領域
４０　イオン注入領域
４１　ｐ型ウエル領域
４２　チャネル・ドープ領域
４３　HfO_2　膜
４４　低温酸化膜
４５　ＳｉＮ膜
４６　SiO_2　膜
４７　レジストパターン
４８　低温酸化膜
４９　多結晶シリコン膜
５０　シリコンゲート電極
５１　ｎ型イクステンション領域
５２　サイドウォール
５３　ｎ型ソース・ドレイン領域
５４　Ｃｏ膜
５５　Ｃｏシリサイド層
５６　Ｃｏシリサイド層
５７　層間絶縁膜
６１　シリコン基板
６２　熱酸化膜
６３　レジストパターン
６４　熱酸化膜
６５　レジストパターン
６６　熱酸化膜
７１　シリコン基板
７２　レジストパターン
７３　Ｎイオン
７４　Ｎ注入領域
７５　レジストパターン
７６　Ｆイオン
７７　Ｆ注入領域
７８　熱酸化膜
７９　熱酸化膜
８０　熱酸化膜

UMC 1002
UMC v. AICP

【図１】

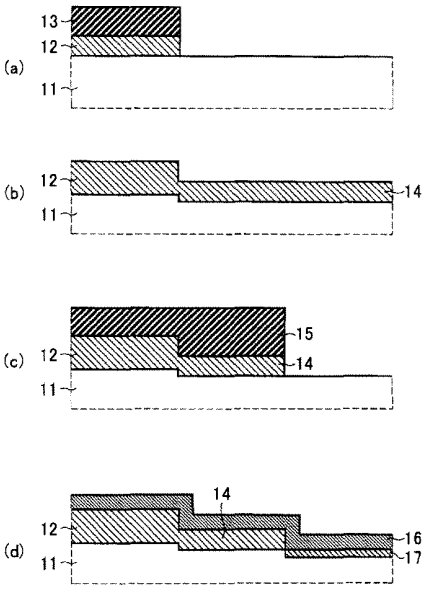
本発明の原理的構成の説明図



1:半導体基板
2:絶縁膜
3:絶縁膜
4:絶縁膜
5:高誘電率膜

【図２】

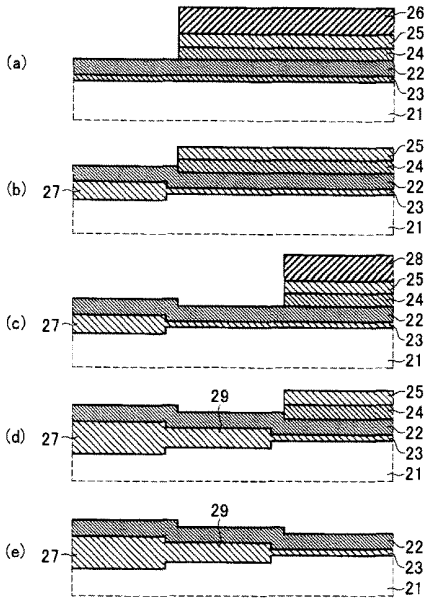
本発明の第１の実施の形態の製造工程の説明図



11:シリコン基板
12:酸化膜
13:レジストパターン
14:酸化膜
15:レジストパターン
16:HfO_2膜
17:低温酸化膜

【図３】

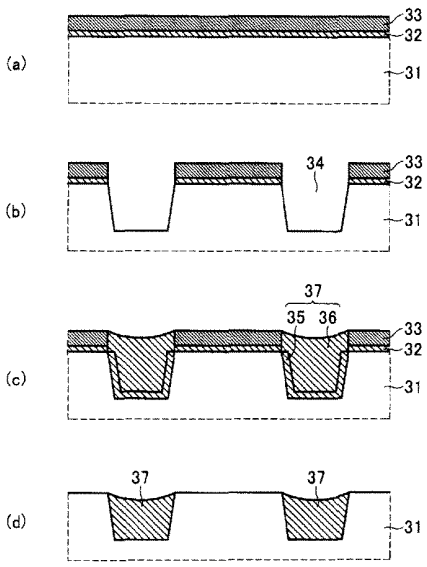
本発明の第２の実施の形態の製造工程の説明図



21:シリコン基板
22:HfO_2膜
23:低温酸化膜
24:SiN膜
25:SiO_2膜
26:レジストパターン
27:低温酸化膜
28:レジストパターン
29:低温酸化膜

【図４】

本発明の第３の実施の形態の途中までの製造工程の説明図

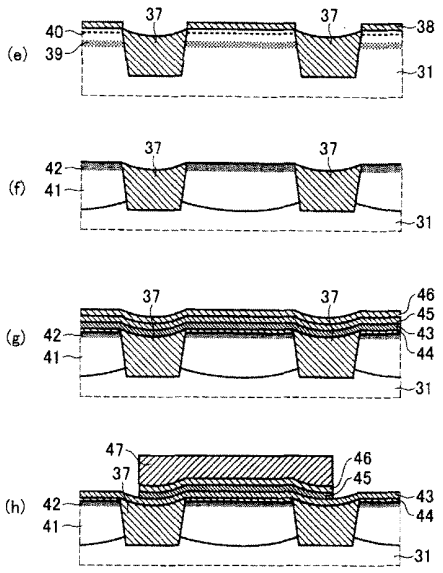


31:n型シリコン基板
32:SiO_2膜
33:SiN膜
34:素子分離溝
35:ライナー酸化膜
36:HDP-SiO_2膜
37:埋込酸化膜

UMC 1002
UMC v. AICP

【図５】

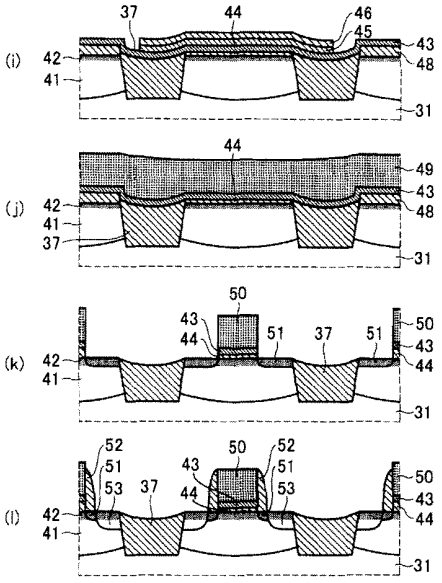
本発明の第３の実施の形態の図４以降の途中までの製造工程の説明図



31:n型シリコン基板
37:埋込酸化膜
38:スルー酸化膜
39:イオン注入領域
40:イオン注入領域
41:p型ウエル領域
42:チャネル・ドープ領域
43:HfO_2膜
44:低温酸化膜
45:SiN膜
46:SiO_2膜
47:レジストパターン

【図６】

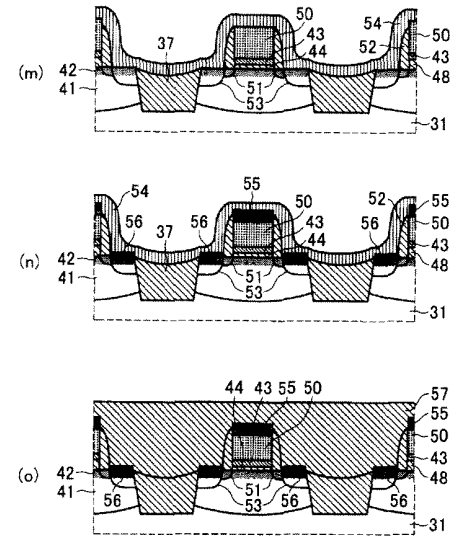
本発明の第３の実施の形態の図５以降の途中までの製造工程の説明図



31:n型シリコン基板
37:埋込酸化膜
41:p型ウエル領域
42:チャネル・ドープ領域
43:HfO_2膜
44:低温酸化膜
45:SiN膜
46:SiO_2膜
48:低温酸化膜
49:多結晶シリコン膜
50:シリコンゲート電極
51:n型イクステンション領域
52:サイドウォール
53:n型ソース・ドレイン領域

【図７】

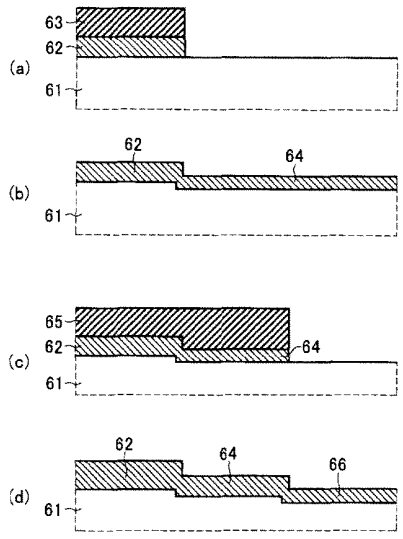
本発明の第３の実施の形態の図６以降の製造工程の説明図



31:n型シリコン基板
37:埋込酸化膜
41:p型ウエル領域
42:チャネル・ドープ領域
43:HfO_2膜
44:低温酸化膜
45:SiN膜
46:SiO_2膜
48:低温酸化膜
50:シリコンゲート電極
51:n型イクステンション領域
52:サイドウォール
53:n型ソース・ドレイン領域
54:Co膜
55:Coシリサイド層
56:Coシリサイド層
57:層間絶縁膜

【図８】

従来のゲート絶縁膜の形成工程の説明図

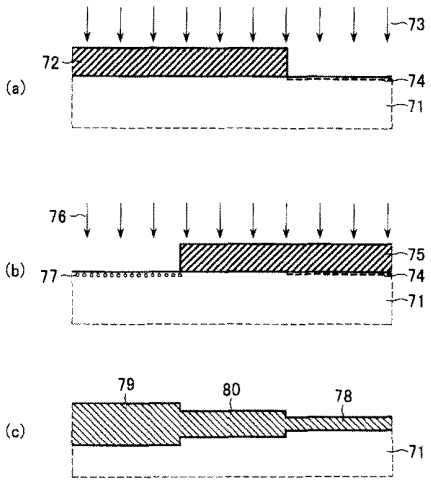


61:シリコン基板
62:熱酸化膜
63:レジストパターン
64:熱酸化膜
65:レジストパターン
66:熱酸化膜

UMC 1002
UMC v. AICP

【図９】

従来の減速酸化及び増速酸化を組み合わせたゲート絶縁膜の形成工程の説明図



71:シリコン基板
72:レジストパターン
73:Nイオン
74:N注入領域
75:レジストパターン
76:Fイオン
77:F注入領域
78:熱酸化膜
79:熱酸化膜
80:熱酸化膜

UMC 1002
UMC v. AICP

フロントページの続き

(51)Int.Cl.[7]	FI		テーマコード（参考）
H01L 27/04	H01L 29/78	301G	5F101
H01L 27/088	H01L 27/04	C	5F140
H01L 27/115	H01L 21/76	L	
H01L 29/78			
H01L 29/788			
H01L 29/792			

(72)発明者 森▲崎▼ 祐輔
神奈川県川崎市中原区上小田中４丁目１番１号 富士通株式会社内
(72)発明者 杉田 義博
神奈川県川崎市中原区上小田中４丁目１番１号 富士通株式会社内

Ｆターム(参考) 5F032 AA35 AA45 AA77 AA84 CA17 DA03 DA22
5F038 AC03 AC05 AC15 AC16 AC18 EZ02 EZ14 EZ16 EZ20
5F048 AC01 BA14 BB04 BB11 BB12 BB16 BC06 BD04 DA25
5F058 BA06 BD01 BD04 BD05 BF02 BF53 BJ10
5F083 EP43 EP44 EP45 GA27 JA02 JA03 JA06 PR14 PR21 PR40
5F101 BA23 BA26 BH03 BH04
5F140 AA19 AA40 BA01 BA05 BA16 BA17 BC06 BC17 BD01 BD06
BD07 BD11 BD12 BD13 BE07 BE09 BE10 BF04 BF11 BF18
BG08 BG12 BG27 BG30 BG32 BG34 BG35 BG52 BG53 BH15
BJ01 BJ08 BK02 BK13 BK29 BK34 BK35 CB04 CB08 CC07
CC11 CE07 CE18 CF04

UMC 1002
UMC v. AICP

【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第２区分
【発行日】平成17年10月27日(2005.10.27)

【公開番号】特開2004-79606(P2004-79606A)
【公開日】平成16年3月11日(2004.3.11)
【年通号数】公開・登録公報2004-010
【出願番号】特願2002-234487(P2002-234487)
【国際特許分類第７版】
ＨＯ１Ｌ　21/8234
ＨＯ１Ｌ　21/316
ＨＯ１Ｌ　21/76
ＨＯ１Ｌ　21/822
ＨＯ１Ｌ　21/8247
ＨＯ１Ｌ　27/04
ＨＯ１Ｌ　27/088
ＨＯ１Ｌ　27/115
ＨＯ１Ｌ　29/78
ＨＯ１Ｌ　29/788
ＨＯ１Ｌ　29/792
【ＦＩ】
ＨＯ１Ｌ　27/08　１０２Ｃ
ＨＯ１Ｌ　21/316　Ｓ
ＨＯ１Ｌ　21/316　Ｘ
ＨＯ１Ｌ　29/78　３７１
ＨＯ１Ｌ　27/10　４３４
ＨＯ１Ｌ　29/78　３０１Ｇ
ＨＯ１Ｌ　27/04　Ｃ
ＨＯ１Ｌ　21/76　Ｌ

【手続補正書】
【提出日】平成17年8月3日(2005.8.3)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】発明の名称
【補正方法】変更
【補正の内容】
【発明の名称】高誘電率膜を有する半導体装置の製造方法
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
半導体基板上に誘電率が１０未満で複数膜厚の絶縁膜を形成するとともに、前記半導体基板の一部を露出させたのち、全面に均一な膜厚で誘電率が１０～４０の高誘電率膜を成膜し、前記誘電率が１０未満の絶縁膜と誘電率が１０～４０の高誘電率膜との積層構造からなる互いに膜厚が異なる複数の絶縁膜を各素子部に設けることを特徴とする高誘電率膜を有する半導体装置の製造方法。

UMC 1002
UMC v. AICP

【請求項２】
半導体基板上に誘電率が１０～４０の高誘電率膜を成膜した後、酸化によって前記半導体基板との界面に膜厚を部分的に制御して酸化膜を形成することを特徴とする高誘電率膜を有する半導体装置の製造方法。
【請求項３】
上記酸化工程において、上記高誘電率膜の上に形成した窒化シリコン膜パターンを選択酸化膜として用いることを特徴とする請求項２記載の高誘電率膜を有する半導体装置の製造方法。
【請求項４】
上記窒化シリコン膜のパターニング工程において、燐酸ボイルを用いることを特徴とする請求項３記載の高誘電率膜を有する半導体装置の製造方法。
【請求項５】
上記酸化工程を、２５０～６００℃の温度で行うことを特徴とする請求項２乃至４のいずれか１項に記載の高誘電率膜を有する半導体装置の製造方法。
【請求項６】
上記高誘電率膜の成膜方法として、原子層－化学気相成長方法を用いたことを特徴とする請求項１乃至５のいずれか１項に記載の高誘電率膜を有する半導体装置の製造方法。
【手続補正３】
【補正対象書類名】明細書
【補正対象項目名】０００１
【補正方法】変更
【補正の内容】
【０００１】
【発明の属する技術分野】
本発明は高誘電率膜を有する半導体装置の製造方法に関するものであり、特に、複数の薄く且つ異なった膜厚のゲート絶縁膜を同一基板に形成するための構成に特徴のある高誘電率膜を有する半導体装置の製造方法に関するものである。
【手続補正４】
【補正対象書類名】明細書
【補正対象項目名】００２０
【補正方法】変更
【補正の内容】
【００２０】
【課題を解決するための手段】
図１は本発明の原理的構成の説明図であり、この図１を参照して本発明における課題を解決するための手段を説明する。
図１参照
上記の目的を達成するため、本発明は、高誘電率膜を有する半導体装置の製造方法において、半導体基板１上に複数膜厚の誘電率が１０未満の絶縁膜２～４を形成するとともに、半導体基板１の一部を露出させたのち、全面に均一な膜厚で誘電率が１０～４０の高誘電率膜５を成膜し、誘電率が１０未満の絶縁膜２～４と誘電率が１０～４０の高誘電率膜５との積層構造からなる互いに膜厚が異なる複数の絶縁膜を各素子部に設けることを特徴とする。
【手続補正５】
【補正対象書類名】明細書
【補正対象項目名】００２２
【補正方法】変更
【補正の内容】
【００２２】
また、高誘電率膜５の下層となる誘電率が１０未満の絶縁膜２～４の膜厚は、必ずしも

UMC 1002
UMC v. AICP

異なった膜厚である必要はなく、積層構造からなる絶縁膜の膜厚は均一であっても良く、例えば、半導体基板１上に誘電率が１０～４０の高誘電率膜５を成膜した後、酸化によって半導体基板１との界面に膜厚を部分的に制御して酸化膜を形成すれば良い。

【手続補正６】
【補正対象書類名】明細書
【補正対象項目名】００２６
【補正方法】削除
【補正の内容】

【手続補正７】
【補正対象書類名】明細書
【補正対象項目名】００２７
【補正方法】削除
【補正の内容】

UMC 1002
UMC v. AICP

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2009-123944**
(43)Date of publication of application : **04.06.2009**

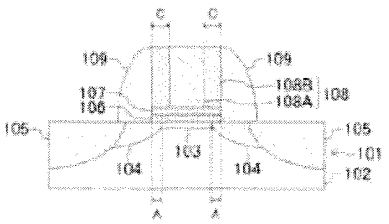
(51)Int.Cl. *H01L 29/78 (2006.01)*
H01L 21/28 (2006.01)
H01L 29/423 (2006.01)
H01L 29/49 (2006.01)

(21)Application number : **2007-296739**
(22)Date of filing : **15.11.2007**

(71)Applicant : **PANASONIC CORP**
(72)Inventor : **HIGUCHI YUICHI**

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:
PROBLEM TO BE SOLVED: To reduce GIDL which is caused by a high electric field in a semiconductor device without decreasing its driving capability.
SOLUTION: A gate electrode 108 includes a first conductive part 108A which is positioned in the center of the direction of channel length of the gate electrode 108 and contacts a high permittivity film 107, namely a gate insulating film and a second conductive parts 108B which are positioned at both ends of the direction of channel length of the gate electrode 108 and contacts the high permittivity film 107, namely the gate insulating film. A first work function of the first conductive part 108A and a second work function of the second conductive part 108B are different.



(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2009-123944
(P2009-123944A)
(43)公開日　平成21年6月4日(2009.6.4)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 29/78	***(2006.01)***	H01L	29/78	301G	4M104
H01L 21/28	***(2006.01)***	H01L	21/28	301A	5F140
H01L 29/423	***(2006.01)***	H01L	21/28	301R	
H01L 29/49	***(2006.01)***	H01L	29/58	G	

審査請求 未請求　請求項の数 20　OL　（全 28 頁）

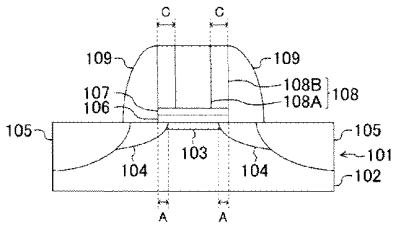
(21)出願番号　特願2007-296739 (P2007-296739)
(22)出願日　平成19年11月15日 (2007.11.15)

(71)出願人　000005821
パナソニック株式会社
大阪府門真市大字門真１００６番地
(74)代理人　100077931
弁理士　前田　弘
(74)代理人　100110939
弁理士　竹内　宏
(74)代理人　100110940
弁理士　嶋田　高久
(74)代理人　100113262
弁理士　竹内　祐二
(74)代理人　100115059
弁理士　今江　克実
(74)代理人　100115691
弁理士　藤田　篤史

最終頁に続く

(54)【発明の名称】半導体装置及びその製造方法

(57)【要約】
【課題】駆動能力を低下させることなく、半導体装置内部の高電界が与える影響によって生じるＧＩＤＬを低減する。
【解決手段】ゲート電極１０８は、ゲート電極１０８のチャネル長方向の中央部に位置し且つ高誘電率膜１０７つまりゲート絶縁膜と接する第１の導電部１０８Ａと、ゲート電極１０８のチャネル長方向の両端部に位置し且つ高誘電率膜１０７つまりゲート絶縁膜と接する第２の導電部１０８Ｂとを含む。第１の導電部１０８Ａの第１の仕事関数と第２の導電部１０８Ｂの第２の仕事関数とが異なっている。
【選択図】図１



UMC 1002
UMC v. AICP

【特許請求の範囲】
【請求項１】
半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、
前記半導体基板の表面部における前記ゲート電極の両側に形成された不純物領域とを備え、
前記ゲート電極は、前記ゲート電極のチャネル長方向の中央部に位置し且つ前記ゲート絶縁膜と接する第１の導電部と、前記ゲート電極の前記チャネル長方向の両端部に位置し且つ前記ゲート絶縁膜と接する第２の導電部とを含み、
前記第１の導電部の第１の仕事関数と前記第２の導電部の第２の仕事関数とが異なっていることを特徴とする半導体装置。
【請求項２】
請求項１に記載の半導体装置において、
前記不純物領域の第３の仕事関数と前記第１の導電部の前記第１の仕事関数との差と比べて、前記不純物領域の前記第３の仕事関数と前記第２の導電部の前記第２の仕事関数との差が小さいことを特徴とする半導体装置。
【請求項３】
請求項１又は２に記載の半導体装置において、
前記不純物領域及び前記第２の導電部はそれぞれｎ型シリコンからなり、
前記第１の導電部は金属又は金属化合物からなることを特徴とする半導体装置。
【請求項４】
請求項３に記載の半導体装置において、
前記金属はＭｏ、Ｔａ又はＷであることを特徴とする半導体装置。
【請求項５】
請求項３に記載の半導体装置において、
前記金属化合物はＴｉＮ、ＭｏＳｉＮ又はＬａＯであることを特徴とする半導体装置。
【請求項６】
請求項１又は２に記載の半導体装置において、
前記不純物領域及び前記第２の導電部はそれぞれｐ型シリコンからなり、
前記第１の導電部は金属又は金属化合物からなることを特徴とする半導体装置。
【請求項７】
請求項６に記載の半導体装置において、
前記金属はＴａ、Ｗ又はＰｔであることを特徴とする半導体装置。
【請求項８】
請求項６に記載の半導体装置において、
前記金属化合物はＴｉＮ、ＭｏＳｉＮ、RuO_2、ＴａＮ、ＴａＣ又はＰｔＷであることを特徴とする半導体装置。
【請求項９】
請求項１～８に記載の半導体装置において、
前記不純物領域はエクステンション領域であることを特徴とする半導体装置。
【請求項１０】
請求項９に記載の半導体装置において、
前記エクステンション領域の一部分が前記ゲート電極の前記チャネル長方向の両端部とオーバーラップしており、前記ゲート絶縁膜の両側面が前記エクステンション領域上に位置することを特徴とする半導体装置。
【請求項１１】
請求項９又は１０に記載の半導体装置において、
前記ゲート電極から見て前記エクステンション領域の外側の前記半導体基板の表面部に形成されたソース・ドレイン領域を備えていることを特徴とする半導体装置。
【請求項１２】
請求項９～１１のいずれか１項に記載の半導体装置において、

UMC 1002
UMC v. AICP

前記ゲート電極の両側面に形成された絶縁性サイドウォールスペーサを備えていることを特徴とする半導体装置。
【請求項１３】
請求項１～１２のいずれか１項に記載の半導体装置において、
前記ゲート絶縁膜は高誘電率膜を含むことを特徴とする半導体装置。
【請求項１４】
請求項１３に記載の半導体装置において、
前記ゲート絶縁膜は、前記半導体基板と前記高誘電率膜との間に形成された絶縁性界面層を含むことを特徴とする半導体装置。
【請求項１５】
請求項１～１４のいずれか１項に記載の半導体装置において、
前記第１の導電部と前記第２の導電部とは電気的に接続されていることを特徴とする半導体装置。
【請求項１６】
請求項１～１５のいずれか１項に記載の半導体装置において、
前記第１の導電部は前記第２の導電部上に乗りかかるように形成されていることを特徴とする半導体装置。
【請求項１７】
請求項１～１５のいずれか１項に記載の半導体装置において、
前記第２の導電部は前記第１の導電部を跨ぐように形成されていることを特徴とする半導体装置。
【請求項１８】
請求項１～１７のいずれか１項に記載の半導体装置において、
前記ゲート絶縁膜の側面と前記ゲート電極の側面とは面一であることを特徴とする半導体装置。
【請求項１９】
請求項１～１８のいずれか１項に記載の半導体装置を製造するための方法であって、
ダミーゲートを用いて形成した凹部の壁面に前記第２の導電部を形成した後、当該凹部が埋まるように前記第１の導電部を形成することにより、前記ゲート電極を形成することを特徴とする半導体装置の製造方法。
【請求項２０】
請求項１～１８のいずれか１項に記載の半導体装置を製造するための方法であって、
前記第１の導電部を形成した後、前記第１の導電部を覆うように導電膜を形成し、その後、当該導電膜に対してエッチバック又はパターニングを行って前記第１の導電部の側壁に前記第２の導電部を形成することにより、前記ゲート電極を形成することを特徴とする半導体装置の製造方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、半導体装置及びその製造方法に関し、特に、ＭＩＳＦＥＴ（Ｍｅｔａｌ Ｉｎｓｕｌａｔｏｒ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ Ｆｉｅｌｄ Ｅｆｆｅｃｔ Ｔｒａｎｓｉｓｔｏｒ）のゲート電極の構造に関する。
【背景技術】
【０００２】
図２２は従来の半導体装置、具体的にはＭＩＳＦＥＴの構造を示す断面図である。図２２に示すように、基板１１のウェル領域１２の表面部にチャネル領域１３が形成されており、チャネル領域１３の両側にエクステンション領域１４が形成されており、チャネル領域１３及び各エクステンション領域１４を挟むようにソース・ドレイン領域１５が形成されている。チャネル領域１３上にはゲート絶縁膜１６が形成されており、ゲート絶縁膜１６の上にゲート電極１７が形成されている。また、エクステンション領域１４上にはゲー

UMC 1002
UMC v. AICP

ト電極１７を挟むように絶縁性サイドウォールスペーサ１８が形成されている。ゲート絶縁膜１６は、SiO_2 等の低い比誘電率を有する単一種類の材料により形成されている。ゲート電極１７は、多結晶シリコン等の単一の仕事関数を有する材料により形成されている。絶縁性サイドウォールスペーサ１８はSiO_2 又はＳｉＮにより形成されている。尚、各エクステンション領域１４の一部分は領域Ａ（以下、オーバーラップ領域Ａという）においてゲート電極１７とオーバーラップするように形成されている。

【０００３】

以下、ＭＩＳＦＥＴの微細化に伴う半導体装置内部の電界強度の増大について述べる。

【０００４】

半導体装置の高速化及び高性能化が進み、半導体装置が微細化されるに伴い、エクステンション領域はより浅く形成される。これにより、エクステンション領域のシート抵抗が増大する。このため、ＭＩＳＦＥＴの電流駆動能力を維持するために電圧を下げにくくなり、電圧のスケーリングが困難になってくる。その結果、半導体装置の内部の電界強度が増大してしまう。

【０００５】

半導体装置内部の高電界の影響として、ゲート電圧により生じる電界に起因するドレイン電流リーク（ＧＩＤＬ：Ｇａｔｅ　Ｉｎｄｕｃｅｄ　Ｄｒａｉｎ　Ｌｅａｋａｇｅ）がある。

【０００６】

図２２に示す半導体装置において、前述のＧＩＤＬが生じるメカニズムについて説明する。

【０００７】

ソース・ドレイン領域１５のうちのドレイン領域にドレイン電圧が印加されると、ゲート絶縁膜１６との界面近傍に位置するエクステンション領域１４のオーバーラップ領域Ａにおいて、ドレイン電圧によりチャネル長方向に生じる電界と、ゲート電極１７に印加されるゲート電圧により垂直方向（基板１１の主面に対して垂直な方向）に生じる電界とが重畳され、オーバーラップ領域Ａにおいて高電界が生じてしまう。これにより、バンド間トンネルによりキャリアが発生し、それがリーク電流つまりＧＩＤＬの原因となる。尚、ＧＩＤＬは、ゲート絶縁膜１６が薄くなったり、或いは、ゲート絶縁膜１６の比誘電率が高くなると増大する。

【０００８】

このＧＩＤＬを抑制する方法として、特許文献１に、ゲート絶縁膜の側面がゲート電極の側面よりもゲート電極内部側に入り込んだ構造を有する半導体装置が提案されている。

【０００９】

以下、図２３を参照しながら、特許文献１に開示された従来の半導体装置について説明する。図２３に示すように、シリコン基板等の半導体基板２１のウェル領域２２の表面部にチャネル領域２３が形成されており、チャネル領域２３の両側にソース・ドレイン領域２４が形成されている。チャネル領域２３上には、高い比誘電率（ｋ＝４０）を有するゲート絶縁膜２５が形成されており、ゲート絶縁膜２５の上にゲート電極２６が形成されている。ゲート電極２６の両側面には絶縁性サイドウォールスペーサ２７が形成されている。尚、各ソース・ドレイン領域２４の一部分は領域Ａ（以下、オーバーラップ領域Ａという）においてゲート電極２６とオーバーラップするように形成されている。すなわち、チャネル領域２３とソース・ドレイン領域２４との境界がゲート電極２６の側面よりもゲート電極２６の内部側に位置している。また、ゲート絶縁膜２５の側面も、ゲート電極２６の側面よりもゲート電極２６の内部側に位置している。詳細には、ゲート絶縁膜２５の側面は、ゲート電極２６の側面からオフセット量Ｂだけゲート電極２６の内部側に入り込んでおり、オーバーラップ領域Ａ上に位置している。

【００１０】

特許文献１に開示された、図２３に示す構造を用いることによって、チャネル領域２３の一部分がゲート絶縁膜２５により覆われないことになり、当該部分においてゲート電圧

UMC 1002
UMC v. AICP

による電界が十分に作用しなくなるため、オーバーラップ領域Ａでの電界を弱めることができ、それによってＧＩＤＬを低減することができる。

【特許文献１】特開２００４－１８６２９５号公報

【発明の開示】

【発明が解決しようとする課題】

【００１１】

しかしながら、図２３に示す従来の半導体装置においては、以下のような問題が存在する。すなわち、ゲート絶縁膜２５の側面がゲート電極２６の側面よりもオフセット量Ｂだけゲート電極２６の内部側に入り込んだ構造を用いているため、オーバーラップ領域Ａの実質的な範囲がオフセット量Ｂだけ減少する。すなわち、オーバーラップ領域Ａのうちゲート絶縁膜２５が形成されていない部分のソース・ドレイン領域２４において、ゲート電圧による電界が十分に作用しないことにより寄生抵抗が増加するため、駆動能力が低下するという問題が生じる。

【００１２】

前記に鑑み、本発明は、駆動能力を低下させることなく、半導体装置内部の高電界が与える影響によって生じるＧＩＤＬを低減することを目的とする。

【課題を解決するための手段】

【００１３】

前記の目的を達成するため、本発明に係る半導体装置は、半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、前記半導体基板の表面部における前記ゲート電極の両側に形成された不純物領域とを備え、前記ゲート電極は、前記ゲート電極のチャネル長方向の中央部に位置し且つ前記ゲート絶縁膜と接する第１の導電部と、前記ゲート電極の前記チャネル長方向の両端部に位置し且つ前記ゲート絶縁膜と接する第２の導電部とを含み、前記第１の導電部の第１の仕事関数と前記第２の導電部の第２の仕事関数とが異なっている。

【００１４】

本発明の半導体装置によると、ゲート電極中央部（第１の導電部）の第１の仕事関数とゲート電極両端部（第２の導電部）の第２の仕事関数とが異なっているため、第２の仕事関数のみをゲート電極両側の不純物領域（例えばエクステンション領域）の第３の仕事関数に近づけてやることができる。このため、不純物領域の一部分とゲート電極両端部との実質的なオーバーラップ領域を確保しつつ、ゲート電圧に起因して基板主面に対して垂直な方向に生じる電界の強度を、ゲート電極両端部の第２の導電部の下側においてのみ低減することができる。従って、駆動能力を低下させることなく、半導体装置内部の高電界が与える影響によって生じるＧＩＤＬを低減することができる。また、ゲート電極両端部の下側の電界強度つまり半導体装置内部の最大電界強度を低下させることができるため、ホットキャリアの発生を抑制することができる。

【００１５】

すなわち、本発明の半導体装置において、前記不純物領域の第３の仕事関数と前記第１の導電部の前記第１の仕事関数との差と比べて、前記不純物領域の前記第３の仕事関数と前記第２の導電部の前記第２の仕事関数との差が小さい。

【００１６】

具体的には、本発明の半導体装置において、前記不純物領域及び前記第２の導電部はそれぞれｎ型シリコンから構成されており、前記第１の導電部は金属又は金属化合物から構成されていてもよい。この場合、前記金属はＭｏ、Ｔａ又はＷであってもよく、前記金属化合物はＴｉＮ、ＭｏＳｉＮ又はＬａＯであってもよい。ここで、金属化合物は合金であっても良い。

【００１７】

或いは、本発明の半導体装置において、前記不純物領域及び前記第２の導電部はそれぞれｐ型シリコンから構成されており、前記第１の導電部は金属又は金属化合物から構成されていてもよい。この場合、前記金属はＴａ、Ｗ又はＰｔであってもよく、前記金属化合

UMC 1002
UMC v. AICP

物はＴｉＮ、ＭｏＳｉＮ、RuO_2、ＴａＮ、ＴａＣ又はＰｔＷであってもよい。

【００１８】

尚、本発明の半導体装置において、前記不純物領域はエクステンション領域であってもよい。この場合、前記エクステンション領域の一部分が前記ゲート電極の前記チャネル長方向の両端部とオーバーラップしており、前記ゲート絶縁膜の両側面が前記エクステンション領域上に位置していてもよい。また、前記ゲート電極から見て前記エクステンション領域の外側の前記半導体基板の表面部に形成されたソース・ドレイン領域を備えていてもよいし、前記ゲート電極の両側面に形成された絶縁性サイドウォールスペーサを備えていてもよい。ここで、エクステンション領域はＬＤＤ（lightly doped drain ）領域であっても良い。

【００１９】

また、本発明の半導体装置において、前記ゲート絶縁膜が高誘電率膜を含むと、ゲート絶縁膜の酸化膜換算膜厚を小さくしつつ物理膜厚を大きくすることができるので、リーク電流を抑制しながら、トランジスタを高性能化することができる。ここで、高誘電率膜とは、シリコン酸化膜（比誘電率３．９）よりも高い比誘電率、望ましくは８以上の比誘電率を有する絶縁性酸化物膜である。また、この場合、前記ゲート絶縁膜が、前記半導体基板と前記高誘電率膜との間に形成された絶縁性界面層を含むと、界面特性を向上させることができる。

【００２０】

また、本発明の半導体装置において、前記第１の導電部と前記第２の導電部とは電気的に接続されていてもよいし、前記第１の導電部は前記第２の導電部上に乗りかかるように形成されていてもよいし、前記第２の導電部は前記第１の導電部を跨ぐように形成されていてもよい。

【００２１】

また、本発明の半導体装置において、前記ゲート絶縁膜の側面と前記ゲート電極の側面とが面一であると、ゲート絶縁膜の側面がゲート電極の側面よりもゲート電極内部側に入り込んだ構造のように不純物領域の一部分とゲート電極両端部との実質的なオーバーラップ領域が低減してしまう事態を回避することができる。

【００２２】

尚、本発明の半導体装置を製造する際には、ダミーゲートを用いて形成した凹部の壁面に前記第２の導電部を形成した後、当該凹部が埋まるように前記第１の導電部を形成することにより、前記ゲート電極を形成してもよい。或いは、前記第１の導電部を形成した後、前記第１の導電部を覆うように導電膜を形成し、その後、当該導電膜に対してエッチバック又はパターニングを行って前記第１の導電部の側壁に前記第２の導電部を形成することにより、前記ゲート電極を形成してもよい。

【発明の効果】

【００２３】

本発明によると、ゲート電極両端部の下側において生じる半導体装置内部の最大電界強度を選択的に低減させることができるため、駆動能力を低下させることなく、半導体装置内部の高電界が与える影響によって生じるＧＩＤＬを低減することができる。

【００２４】

また、本発明によると、半導体装置内部の最大電界強度を低減させることができるため、ホットキャリアの発生を抑制することができる。

【発明を実施するための最良の形態】

【００２５】

（第１の実施形態）

以下、本発明の第１の実施形態に係る半導体装置について、ｎ型のＭＩＳＦＥＴを例として、図面を参照しながら説明する。

【００２６】

図１は、第１の実施形態に係る半導体装置の構造を示す断面図である。図１に示すよう

UMC 1002
UMC v. AICP

に、例えばシリコン基板等の半導体基板１０１にｐ型のウェル領域１０２が形成されており、ウェル領域１０２の表面部にｐ型のチャネル領域１０３が形成されている。ウェル領域１０２の表面部におけるチャネル領域１０３の両側には例えばｎ型のエクステンション領域１０４が形成されていると共に、チャネル領域１０３及びエクステンション領域１０４を挟むように例えばn^+型のソース・ドレイン領域１０５が形成されている。チャネル領域１０３上には、例えば比誘電率ｋ＝３．９を有する絶縁性界面層１０６及び絶縁性界面層１０６よりも高い比誘電率（例えばｋ＝４０）を有する高誘電率膜１０７が順次形成され、ゲート絶縁膜を構成している。高誘電率膜１０７上にはゲート電極１０８が形成されており、ゲート電極１０８を挟むようにエクステンション領域１０４上に例えばSiO_2からなる絶縁性サイドウォールスペーサ１０９が形成されている。ここで、絶縁性界面層１０６は、例えばSiO_2膜、ＳｉＮ膜、$HfSiO_x$膜、$ZrSiO_x$膜又は$AlSiO_x$膜等である。また、エクステンション領域１０４の一部分は領域Ａ（以下、オーバーラップ領域Ａという）においてゲート電極１０８のチャネル長方向の両端部とオーバーラップするように形成されている。すなわち、チャネル領域１０３とエクステンション領域１０４との境界はゲート電極１０８の側面よりもゲート電極１０８の内部側に入り込んでいる。尚、絶縁性界面層１０６及び高誘電率膜１０７からなるゲート絶縁膜の側面とゲート電極１０８の側面とは面一であり、当該ゲート絶縁膜の両側面はエクステンション領域１０４上に位置する。

【００２７】

本実施形態の特徴は、ゲート電極１０８が、ゲート電極１０８のチャネル長方向の中央部に位置し且つ高誘電率膜１０７つまりゲート絶縁膜と接する第１の導電部１０８Ａと、ゲート電極１０８のチャネル長方向の両端部に位置し且つ高誘電率膜１０７つまりゲート絶縁膜と接する第２の導電部１０８Ｂとを含み、第１の導電部１０８Ａの第１の仕事関数と第２の導電部１０８Ｂの第２の仕事関数とが異なっていることである。尚、第１の導電部１０８Ａと第２の導電部１０８Ｂとは電気的に接続されている。

【００２８】

具体的には、第１の導電部１０８Ａは、例えば４．４ｅＶの仕事関数（第１の仕事関数）を有しており、例えば金属から構成されている。また、第２の導電部１０８Ｂは、第１の導電部１０８Ａと比べてエクステンション領域１０４つまりｎ型シリコンの仕事関数（第３の仕事関数）により近い例えば４．２ｅＶの仕事関数（第２の仕事関数）を有しており、第１の導電部１０８Ａを挟むように形成されている。ここで、第１の導電部１０８Ａの両側に設けられた第２の導電部１０８Ｂのそれぞれは幅（チャネル長方向の幅）Ｃを有する。すなわち、第１の導電部１０８Ａと第２の導電部１０８Ｂとの境界は、高誘電率膜１０７つまりゲート絶縁膜の側面からゲート電極１０８の内部側に幅Ｃだけ入り込んでいる。

【００２９】

尚、第２の導電部１０８Ｂの幅Ｃは０ｎｍよりも大きければ、後述する効果を得ることができる。また、第２の導電部１０８Ｂの幅Ｃはオーバーラップ領域Ａの長さよりも大きくてもよいが、トランジスタ特性を劣化させないためには、オーバーラップ領域Ａの長さに対する第２の導電部１０８Ｂの幅Ｃの超過分が５ｎｍを超えないことが好ましい。

【００３０】

以下、図１に示す本実施形態の半導体装置つまりｎ型のＭＩＳＦＥＴに正のドレイン電圧及び負のゲート電圧を印加した場合にオーバーラップ領域Ａに生じる垂直方向（半導体基板１０１の主面に対して垂直な方向を言う。以下同じ）の電界について説明する。本実施形態においては、オーバーラップ領域Ａ上に位置する部分のゲート電極１０８つまり第２の導電部１０８Ｂの第２の仕事関数は第１の導電部１０８Ａの第１の仕事関数よりもｎ型のエクステンション領域１０４つまりｎ型シリコンの第３の仕事関数に近い。このため、ｎ型のエクステンション領域１０４の第３の仕事関数と第２の導電部１０８Ｂの第２の仕事関数との差は、ｎ型のエクステンション領域１０４の第３の仕事関数と第１の導電部１０８Ａの第１の仕事関数との差よりも小さくなる。その結果、オーバーラップ領域Ａの

UMC 1002
UMC v. AICP

長さを一定に保ったまま、言い換えると、エクステンション領域１０４の一部分とゲート電極１０８の両端部との実質的なオーバーラップ領域を確保しつつ、ゲート電圧に起因して垂直方向に生じる電界の強度を、オーバーラップ領域Ａにおいて選択的に低減することができる。従って、駆動能力を低下させることなく、半導体装置内部の高電界が与える影響によって生じるＧＩＤＬを低減することができる。また、ゲート電極１０８の両端部の下側の電界強度つまり半導体装置内部の最大電界強度を低下させることができるため、ホットキャリアの発生を抑制することができる。

【００３１】

以下、ゲート電極１０８における第２の導電部１０８Ｂの第２の仕事関数をｎ型のエクステンション領域１０４つまりｎ型シリコンの第３の仕事関数に近づけてやることにより、オーバーラップ領域Ａにおける垂直方向の電界の強度を低減できる理由について詳述する。

【００３２】

図２（ａ）は一般的なｎ型ＭＩＳＦＥＴの断面図である。図２（ａ）に示すｎ型ＭＩＳＦＥＴは、ゲート電極とゲート絶縁膜とｐ$^-$型のウェル領域とｎ$^+$型のソース領域とｎ$^+$型のドレイン領域とからなる。尚、説明を簡略化するために、ゲート電極は単一の仕事関数を持つ材料によって構成されているものとする。図２（ｂ）及び図２（ｃ）はそれぞれ図２（ａ）中のＡ－Ａ’線に沿ったバンド構造の模式図であり、図２（ｂ）はゲート電極が４．１ｅＶの仕事関数（ｎ$^+$型のポリシリコンの仕事関数に相当）を持つ場合のバンド構造の模式図であり、図２（ｃ）はゲート電極が４．６ｅＶの仕事関数（大きい仕事関数）を持つ場合のバンド構造の模式図である。尚、図２（ｂ）及び図２（ｃ）において、ｎ$^+$型のドレイン領域の仕事関数は４．１ｅＶであるとしている。また、図２（ｂ）及び図２（ｃ）に示すバンド構造はいずれも、ゲート電圧Ｖｇ及びドレイン電圧ＶｄがともにＯＶである場合のものである。また、図２（ｂ）及び図２（ｃ）において、縦軸は電位の大きさ（下向きを正）を表し、横軸は位置を表し、バンドを示す線の傾きが電界強度を示す。図２（ｂ）に示すように、ゲート電極が４．１ｅＶの仕事関数を持つ場合、ドレイン領域の仕事関数とゲート電極の仕事関数との間に差がないため、ｎ$^+$型のドレイン領域とゲート絶縁膜との間においてバンドの曲がりは生じない。一方、図２（ｃ）に示すように、ゲート電極が大きい仕事関数（４．６ｅＶ）を持つ場合、ゲート電極の仕事関数がドレイン領域の仕事関数よりも大きくなるため、ゲート電圧Ｖｇ及びドレイン電圧ＶｄがともにＯＶであったとしても、その差に相当する正の電圧（およそ４．６－４．１＝０．５Ｖ）が見かけ上既に印加された状態にある。その結果、図２（ｃ）に示すように、ｎ$^+$型のドレイン領域とゲート絶縁膜との間においてバンドに曲がりが生じている。

【００３３】

図３（ａ）及び図３（ｂ）はそれぞれＧＩＤＬが顕著になる電圧条件でのバンド構造（図２（ａ）中のＡ－Ａ’線に沿ったバンド構造）の模式図であり、図３（ａ）はゲート電極が４．１ｅＶの仕事関数（ｎ$^+$型のポリシリコンの仕事関数に相当）を持つ場合のバンド構造の模式図であり、図３（ｂ）はゲート電極が４．６ｅＶの仕事関数（大きい仕事関数）を持つ場合のバンド構造の模式図である。尚、図３（ａ）及び図３（ｂ）において、ｎ$^+$型のドレイン領域の仕事関数は４．１ｅＶであるとしている。また、図３（ａ）及び図３（ｂ）に示すバンド構造はいずれも、ＧＩＤＬが顕著になる電圧条件を使用した場合、具体的にはゲート電圧ＶｇがＯＶ、ドレイン電圧Ｖｄが１．２Ｖである場合のものである。また、図３（ａ）及び図３（ｂ）において、縦軸は電位の大きさ（下向きを正）を表し、横軸は位置を表し、バンドを示す線の傾きが電界強度を示す。図３（ａ）に示すように、ゲート電極が４．１ｅＶの仕事関数を持つ場合、１．２Ｖのドレイン電圧Ｖｄが印加されることにより、ｎ$^+$型のドレイン領域とゲート絶縁膜との間において１．２Ｖのドレイン電圧Ｖｄの分だけバンドが曲がっている。一方、図３（ｂ）に示すように、ゲート電極が大きい仕事関数（４．６ｅＶ）を持つ場合、前述のように、ゲート電極の仕事関数とドレイン領域の仕事関数との差に相当する正の電圧（約０．５Ｖ）が既に見かけ上印加された状態において１．２Ｖのドレイン電圧Ｖｄが重畳的に印加されるため、ゲート電極と

UMC 1002
UMC v. AICP

ドレイン領域との間には、図３（ａ）に示す場合よりも大きな電圧が印加されていることになる。このため、n^+ 型のドレイン領域とゲート絶縁膜との間におけるバンドの曲がりも、図３（ａ）に示す場合よりも大きくなり、その結果、バンドを示す線の傾きに相当する電界強度も、図３（ａ）に示す場合と比べて大きくなる。

【００３４】

以上に説明したように、ｎ型ＭＩＳＦＥＴの場合、ゲート電極の仕事関数が大きくなるに従って垂直方向の電界の強度が大きくなる。従って、本実施形態のように、ゲート電極１０８の両端部に設けられた第２の導電部１０８Ｂの第２の仕事関数を小さくしてｎ型のエクステンション領域１０４つまりｎ型シリコンの第３の仕事関数に近づけてやることにより、オーバーラップ領域Ａにおける垂直方向の電界の強度を低減することができる。

【００３５】

尚、第１の実施形態において、ゲート電極１０８の第１の導電部１０８Ａの仕事関数（第１の仕事関数）をｐ型シリコンの仕事関数により近づけることによって、ＤＩＢＬ（Ｄｒａｉｎ　Ｉｎｄｕｃｅｄ　Ｂａｒｒｉｅｒ　Ｌｏｗｅｒｉｎｇ）を抑制することができる。

【００３６】

また、第１の実施形態において、絶縁性界面層１０６の比誘電率を３．９に設定したが、これに限らず、高誘電率膜１０７の比誘電率（４０）よりも小さい任意の値に設定することができる。また、絶縁性界面層１０６の厚さは少なくとも０よりも大きければ、界面特性を向上させることができる。また、高誘電率膜１０７の比誘電率を４０に設定したが、これに限らず、絶縁性界面層（シリコン酸化膜）１０６の比誘電率（３．９）よりも大きい任意の値に設定することができる。尚、高誘電率膜１０７としては、８以上の比誘電率を有する絶縁性酸化物膜を用いることが望ましく、例えば、Al_2O_3 膜、ZrO_2 膜、HfO_2 膜、$HfSiO_x$ 膜、$ZrSiO_x$ 膜、Y_2O_3 膜、La_2O_3 膜、PrO_x 膜などを用いることができる。

【００３７】

また、第１の実施形態において、ゲート電極１０８の第１の導電部１０８Ａの仕事関数を４．４ｅＶに設定したが、これに限らず、第２の導電部１０８Ｂの仕事関数よりもｐ型シリコンの仕事関数に近い任意の値に設定することができる。このとき、第１の導電部１０８Ａの構成材料は半導体であっても金属であってもよい。また、ゲート電極１０８の第２の導電部１０８Ｂの仕事関数を４．２ｅＶに設定したが、これに限らず、第１の導電部１０８Ａの仕事関数よりもｎ型シリコンの仕事関数に近い任意の値に設定することができる。このとき、第２の導電部１０８Ｂの構成材料は半導体であっても金属であってもよい。例えば、第１の導電部１０８Ａの構成材料として、ＴｉＮ、Ｍｏ、ＭｏＳｉＮ、Ｔａ、Ｗ又はＬａＯなど用いることができ、第２の導電部１０８Ｂの構成材料としては、ｎ型ポリシリコンを用いることができる。

【００３８】

また、第１の実施形態において、ｎ型のＭＩＳＦＥＴのゲート構造を対象として説明したが、本発明はｐ型のＭＩＳＦＥＴのゲート構造にも適用可能である。この場合、ゲート電極１０８の第１の導電部１０８Ａの構成材料には、第２の導電部１０８Ｂよりもｎ型シリコンの仕事関数に近い仕事関数を有する半導体又は金属等を用い、ゲート電極１０８の第２の導電部１０８Ｂの構成材料には、第１の導電部１０８Ａよりもｐ型シリコンの仕事関数に近い仕事関数を有する半導体又は金属等を用いる。例えば、第１の導電部１０８Ａの構成材料として、ＴｉＮ、ＭｏＳｉＮ、RuO_2、Ｔａ、ＴａＮ、ＴａＣ、Ｗ、ＰｔＷ又はＰｔなど用いることができ、第２の導電部１０８Ｂの構成材料としては、ｐ型ポリシリコンを用いることができる。ｐ型のＭＩＳＦＥＴのゲート構造を対象とする場合、チャネル領域１０３はｎ型シリコンから構成され、エクステンション領域１０４はｐ型シリコンから構成され、ソース・ドレイン領域１０５は p^+ 型シリコンから構成される。

【００３９】

以下、図１に示す本実施形態の半導体装置がｐ型のＭＩＳＦＥＴであるとして、負のド

UMC 1002
UMC v. AICP

レイン電圧及び負のゲート電圧を印加した場合にオーバーラップ領域Ａに生じる垂直方向の電界について、特に、ゲート電極１０８における第２の導電部１０８Ｂの第２の仕事関数をエクステンション領域１０４つまりｐ型シリコンの第３の仕事関数に近づけてやることにより、オーバーラップ領域Ａにおける垂直方向の電界の強度を低減できる理由について説明する。

【００４０】

図４（ａ）は一般的なｐ型ＭＩＳＦＥＴの断面図である。図４（ａ）に示すｐ型ＭＩＳＦＥＴは、ゲート電極とゲート絶縁膜とｎ$^-$型のウェル領域とｐ$^+$型のソース領域とｐ$^+$型のドレイン領域とからなる。尚、説明を簡略化するために、ゲート電極は単一の仕事関数を持つ材料によって構成されているものとする。図４（ｂ）及び図４（ｃ）はそれぞれ図４（ａ）中のＡ－Ａ’線に沿ったバンド構造の模式図であり、図４（ｂ）はゲート電極が５．２ｅＶの仕事関数（ｐ$^+$型のポリシリコンの仕事関数に相当）を持つ場合のバンド構造の模式図であり、図４（ｃ）はゲート電極が４．６ｅＶの仕事関数（小さい仕事関数）を持つ場合のバンド構造の模式図である。尚、図４（ｂ）及び図４（ｃ）において、ｐ$^+$型のドレイン領域の仕事関数は５．２ｅＶであるとしている。また、図４（ｂ）及び図４（ｃ）に示すバンド構造はいずれも、ゲート電圧Ｖｇ及びドレイン電圧Ｖｄがともに０Ｖである場合のものである。また、図４（ｂ）及び図４（ｃ）において、縦軸は電位の大きさ（下向きを正）を表し、横軸は位置を表し、バンドを示す線の傾きが電界強度を示す。図４（ｂ）に示すように、ゲート電極が５．２ｅＶの仕事関数を持つ場合、ドレイン領域の仕事関数とゲート電極の仕事関数との間に差がないため、ｐ$^+$型のドレイン領域とゲート絶縁膜との間においてバンドの曲がりは生じない。一方、図４（ｃ）に示すように、ゲート電極が小さい仕事関数（４．６ｅＶ）を持つ場合、ゲート電極の仕事関数がドレイン領域の仕事関数よりも小さくなるため、ゲート電圧Ｖｇ及びドレイン電圧Ｖｄがともに０Ｖであったとしても、その差に相当する負の電圧（およそ４．６－５．２＝－０．６Ｖ）が既に見かけ上印加された状態にある。その結果、図４（ｃ）に示すように、ｐ$^+$型のドレイン領域とゲート絶縁膜との間においてバンドに曲がりが生じている。

【００４１】

図５（ａ）及び図５（ｂ）はそれぞれＧＩＤＬが顕著になる電圧条件でのバンド構造（図４（ａ）中のＡ－Ａ’線に沿ったバンド構造）の模式図であり、図５（ａ）はゲート電極が５．２ｅＶの仕事関数（ｐ$^+$型のポリシリコンの仕事関数に相当）を持つ場合のバンド構造の模式図であり、図５（ｂ）はゲート電極が４．６ｅＶの仕事関数（小さい仕事関数）を持つ場合のバンド構造の模式図である。尚、図５（ａ）及び図５（ｂ）において、ｐ$^+$型のドレイン領域の仕事関数は５．２ｅＶであるとしている。また、図５（ａ）及び図５（ｂ）に示すバンド構造はいずれも、ＧＩＤＬが顕著になる電圧条件を使用した場合、具体的にはゲート電圧Ｖｇが０Ｖ、ドレイン電圧Ｖｄが－１．２Ｖである場合のものである。また、図５（ａ）及び図５（ｂ）において、縦軸は電位の大きさ（下向きを正）を表し、横軸は位置を表し、バンドを示す線の傾きが電界強度を示す。図５（ａ）に示すように、ゲート電極が５．２ｅＶの仕事関数を持つ場合、－１．２Ｖのドレイン電圧Ｖｄが印加されることにより、ｐ$^+$型のドレイン領域とゲート絶縁膜との間において－１．２Ｖのドレイン電圧Ｖｄの分だけバンドが曲がっている。一方、図５（ｂ）に示すように、ゲート電極が小さい仕事関数（４．６ｅＶ）を持つ場合、前述のように、ゲート電極の仕事関数とドレイン領域の仕事関数との差に相当する負の電圧（約－０．６Ｖ）が既に見かけ上印加された状態において－１．２Ｖのドレイン電圧Ｖｄが重畳的に印加されるため、ゲート電極とドレイン領域との間には、図５（ａ）に示す場合よりも大きな電圧が印加されていることになる。このため、ｐ$^+$型のドレイン領域とゲート絶縁膜との間におけるバンドの曲がりも、図５（ａ）に示す場合よりも大きくなり、その結果、バンドを示す線の傾きに相当する電界強度も、図５（ａ）に示す場合と比べて大きくなる。

【００４２】

以上に説明したように、ｐ型ＭＩＳＦＥＴの場合、ゲート電極の仕事関数が小さくなるに従って垂直方向の電界の強度が大きくなる。従って、ゲート電極１０８の両端部に設け

UMC 1002
UMC v. AICP

られた第２の導電部１０８Ｂの第２の仕事関数を大きくしてｐ型のエクステンション領域１０４つまりｐ型シリコンの第３の仕事関数に近づけてやることにより、オーバーラップ領域Ａにおける垂直方向の電界の強度を低減することができる。

【００４３】

また、第１の実施形態において、ゲート電極１０８における第１の導電部１０８Ａの仕事関数（４．４ｅＶ）と第２の導電部１０８Ｂの仕事関数（４．２ｅＶ）との差（以下、単に仕事関数差と称する）を０．２ｅＶに設定したが、これに限らず、当該差を１０ｍｅＶ程度から５００ｍｅＶ程度までの範囲の任意の値に適宜設定することができる。以下、ｎ型ＭＩＳＦＥＴを例として、仕事関数差が１０ｍｅＶ程度以上あれば、本発明のＧＩＤＬ低減効果を得ることができることについて説明する。本願発明者は、図１に示す本実施形態の半導体装置の構造を対象として閾値電圧とＧＩＤＬの指標となる基板リーク電流（ＧＩＤＬが大きいほど基板リーク電流が増加する）との関係についてデバイスシミュレーションを行った。デバイスシミュレーションにおいては、ドレイン電圧Ｖｄを１．２Ｖ、ゲート電圧Ｖｇを０Ｖ、基板電圧（ソース電圧）を０Ｖ、オーバーラップ領域Ａの長さを２ｎｍ、第２の導電部１０８Ｂの幅Ｃを５ｎｍ、仕事関数差を２００ｍｅＶ、１５０ｍｅＶ、１００ｍｅＶ、５０ｍｅＶ、３０ｍｅＶ、２０ｍｅＶ、１０ｍｅＶ、０ｍｅＶに設定した。図６は、デバイスシミュレーションの結果を示している。図６に示すように、同一の閾値電圧で比較した場合、第１の導電部１０８Ａの仕事関数（第１の仕事関数）と比較して第２の導電部１０８Ｂの仕事関数（第２の仕事関数）が小さくなるに従って、つまり、仕事関数差が大きくなるに従って、基板リーク電流が小さくなっている。ここで、仕事関数差が１０ｍｅＶの場合でも、仕事関数差がない場合と比較して基板リーク電流が小さくなっていることから、ｎ型ＭＩＳＦＥＴにおいては、仕事関数差が１０ｍｅＶ以上あれば、本発明の目的とするＧＩＤＬ低減効果を得ることができることが分かる。

【００４４】

図７は、ゲート電極用の各種材料と仕事関数との関係を示す。図７に示すように、ｎ型ＭＩＳＦＥＴのゲート構造に本発明を適用する場合、ゲート電極１０８の第１の導電部１０８Ａの構成材料として、ＴｉＮ、Ｍｏ、ＭｏＳｉＮ、Ｔａ、Ｗ、ＬａＯなど用いることができ、第２の導電部１０８Ｂの構成材料としては、ｎ型ポリシリコンを用いることができる。また、図７に示すように、ｐ型ＭＩＳＦＥＴのゲート構造に本発明を適用する場合、ゲート電極１０８の第２の導電部１０８Ｂの構成材料として、ＴｉＮ、ＭｏＳｉＮ、RuO_2、Ｔａ、ＴａＮ、ＴａＣ、Ｗ、ＰｔＷ、Ｐｔなど用いることができ、第２の導電部１０８Ｂの構成材料としては、ｐ型ポリシリコンを用いることができる。

【００４５】

以下、図１に示す本実施形態の半導体装置を製造するための方法の一例について説明する。図８（ａ）～（ｃ）、図９（ａ）～（ｃ）及び図１０（ａ）～（ｃ）は本実施形態の半導体装置の製造方法の各工程を示す断面図である。

【００４６】

まず、図８（ａ）に示すように、例えばシリコン基板などの半導体基板１０１にイオン注入法を用いてウェル領域１０２を形成した後、半導体基板１０１の表面部にイオン注入を用いてチャネル領域１０３を形成する。ｎ型ＭＩＳＦＥＴのウェル領域１０２及びチャネル領域１０３を形成する場合には、例えばボロンなどのｐ型不純物のイオン注入を行う。また、ｐ型ＭＩＳＦＥＴのウェル領域１０２及びチャネル領域１０３を形成する場合には、例えばリンなどのｎ型不純物のイオン注入を行う。

【００４７】

次に、図８（ｂ）に示すように、半導体基板１０１上に、例えば熱酸化法により厚さ０．１～５．０ｎｍの酸化シリコン膜からなる絶縁性界面層１０６を形成した後、絶縁性界面層１０６上に、例えばHfO_2膜からなる高誘電率膜１０７を形成する。HfO_2膜の形成は、例えば$HfCl_2$とNH_3とを用いたＣＶＤ（chemical vapor deposition）法、又は有機系のＨｆガスを用いたＣＶＤ法により行う。或いは、ハフニウム窒化物のターゲットを用いたスパッタリング法により、窒化ハフニウム膜を形成した後、当該窒化ハフ

UMC 1002
UMC v. AICP

ニウム膜を酸化することにより、HfO_2 膜を形成してもよい。その後、高誘電率膜１０７上に、例えばＣＶＤ法によりポリシリコン又はアモルファスシリコンからなる厚さ２００ｎｍ程度までの導電膜１４０を形成する。

【００４８】

次に、図８（ｃ）に示すように、導電膜１４０をゲート電極形状にパターニングすることによって、ダミーゲート電極１５０を形成する。このとき、ダミーゲート電極１５０の外側の高誘電率膜１０７及び絶縁性界面層１０６を除去しても良い。

【００４９】

次に、図９（ａ）に示すように、ダミーゲート電極１５０をマスクとしてイオン注入を行うことにより、ダミーゲート電極１５０の両側の半導体基板１０１の表面部にエクステンション領域１０４を形成する。ｎ型ＭＩＳＦＥＴのエクステンション領域１０４を形成する場合には、例えば砒素又はリンなどのｎ型不純物のイオン注入を行う。また、ｐ型ＭＩＳＦＥＴのエクステンション領域１０４を形成する場合には、例えばボロンなどのｐ型不純物のイオン注入を行う。尚、エクステンション領域１０４の一部分は領域Ａ（以下、オーバーラップ領域Ａという）においてダミーゲート電極１５０のチャネル長方向の両端部とオーバーラップするように形成されている。

【００５０】

次に、図９（ｂ）に示すように、ダミーゲート電極１５０の両側面に絶縁性サイドウォールスペーサ１０９を形成する。具体的には、まず、例えばＣＶＤ法によりダミーゲート電極１５０を被覆するように基板全面に酸化シリコン膜を堆積した後、当該酸化シリコン膜をエッチバックすることにより、ダミーゲート電極１５０の両側面に絶縁性サイドウォールスペーサ１０９を形成する。次に、絶縁性サイドウォールスペーサ１０９及びダミーゲート電極１５０をマスクとしてイオン注入を行うことにより、ダミーゲート電極１５０から見て絶縁性サイドウォールスペーサ１０９の外側に位置する半導体基板１０１の表面部に、エクステンション領域１０４よりも深い接合を有するソース・ドレイン領域１０５を形成した後、注入された不純物イオンを活性化するためのアニール処理を施す。ｎ型ＭＩＳＦＥＴのソース・ドレイン領域１０５を形成する場合には、例えば砒素又はリンなどのｎ型不純物のイオン注入を行う。また、ｐ型ＭＩＳＦＥＴのソース・ドレイン領域１０５を形成する場合には、例えばボロンなどのｐ型不純物のイオン注入を行う。

【００５１】

次に、図９（ｃ）に示すように、ダミーゲート電極１５０を覆うように半導体基板１０１上に、例えばＣＶＤ法により酸化シリコンからなる層間絶縁膜１１０を形成する。続いて、例えばＣＭＰ（chemical mechanical polishing）法によりダミーゲート電極１５０の上面が露出するまで層間絶縁膜１１０を除去する。次に、図１０（ａ）に示すように、層間絶縁膜１１０から露出したダミーゲート電極１５０をエッチングにより除去して、高誘電率膜１０７つまりゲート絶縁膜を露出させる。

【００５２】

次に、図１０（ｂ）に示すように、ダミーゲート電極１５０の除去により形成された凹部（以下、ゲート電極形成用凹部という）を含む基板全面に、例えばＣＶＤ法により厚さ２～２０ｎｍのポリシリコン膜１５１を堆積する。ここで、ｎ型ＭＩＳＦＥＴを形成する場合には、ポリシリコン膜１５１にｎ型不純物をドープし、ｐ型ＭＩＳＦＥＴを形成する場合には、ポリシリコン膜１５１にｐ型不純物をドープする。

【００５３】

次に、図１０（ｃ）に示すように、ポリシリコン膜１５１に対してエッチバックを行うことにより、ゲート電極形成用凹部の壁面に形成されている部分を除いてポリシリコン膜１５１を除去する。これにより、ゲート電極形成用凹部の壁面に、図１に示すゲート電極１０８の第２の導電部１０８Ｂが形成される。

【００５４】

次に、図１に示すゲート電極１０８の第１の導電部１０８Ａとなる導電膜によってゲート電極形成用凹部を埋め込んだ後、当該凹部からはみ出た当該導電膜を例えばＣＭＰ法に

UMC 1002
UMC v. AICP

よって除去することにより、図１に示すゲート電極構造が完成する。ここで、第１の導電部１０８Ａとなる導電膜の材料としては、純金属、合金又は金属化合物等を用いることができる。具体的は、例えばスパッタリング法により、第１の導電部１０８Ａとなる導電膜として、ｎ型ＭＩＳＦＥＴを形成する場合には、ＴｉＮ膜、Ｍｏ膜、ＭｏＳｉＮ膜、Ｔａ膜、Ｗ膜又はＬａＯ膜などを形成し、ｐ型ＭＩＳＦＥＴを形成する場合には、ＴｉＮ膜、ＭｏＳｉＮ膜、RuO_2膜、Ｔａ膜、ＴａＮ膜、ＴａＣ膜、Ｗ膜、ＰｔＷ膜又はＰｔ膜などを形成する。

【００５５】

以上に説明した、本実施形態に係る半導体装置の製造方法は、ゲート電極１０８の第２の導電部１０８Ｂの形成後に第１の導電部１０８Ａを形成することを特徴とするものであり、以下のような効果を奏する。すなわち、ダミーゲート電極１５０をエッチングにより除去してゲート電極形成用凹部を形成し、当該凹部内にゲート絶縁膜（高誘電率膜１０７）を露出させた後、第２の導電部１０８Ｂとなるポリシリコン膜１５１をゲート電極形成用凹部内に堆積して当該ポリシリコン膜１５１をエッチバックすることにより第２の導電部１０８Ｂを形成している。そして、第１の導電部１０８Ａとなる導電膜によってゲート電極形成用凹部を埋め込み、その不要部分をＣＭＰ法によって除去することにより、第１の導電部１０８Ａを形成している。このように形成されたゲート電極１０８は、ゲート電極１０８のチャネル長方向の中央部に位置し且つ第１の仕事関数を有する第１の導電部１０８Ａと、ゲート電極１０８のチャネル長方向の両端部に位置し且つ第１の仕事関数とは異なる第２の仕事関数を有する第２の導電部１０８Ｂとから構成される。従って、図１に示す本実施形態の半導体装置による効果、つまり、ゲート電圧に起因して垂直方向に生じる電界の強度を、オーバーラップ領域Ａにおいて選択的に低減することによってＧＩＤＬを低減できるという効果が得られる。

【００５６】

また、本実施形態に係る半導体装置の製造方法によると、ダミーゲート電極１５０の除去により形成したゲート電極形成用凹部に第２の導電部１０８Ｂ及び第１の導電部１０８Ａを順次埋め込むため、本発明のゲート電極構造をパターニングによって形成する場合のように合わせズレが生じることを防止することができる。

【００５７】

また、本実施形態に係る半導体装置の製造方法において、図８（ｂ）に示す工程でゲート絶縁膜となる絶縁性界面層１０６及び高誘電率膜１０７を形成したが、これに代えて、例えば熱酸化法により厚さ０．１～５．０ｎｍの酸化シリコン膜からなるダミーゲート絶縁膜を形成し、図１０（ａ）に示す工程で当該ダミーゲート絶縁膜をダミーゲート電極１５０と共に除去した後、ゲート電極形成用凹部の底部に、例えば絶縁性界面層及び高誘電率膜からなるゲート絶縁膜を形成しても良い。

【００５８】

（第１の実施形態の変形例）

以下、本発明の第１の実施形態の変形例に係る半導体装置について、ｎ型のＭＩＳＦＥＴを例として、図面を参照しながら説明する。

【００５９】

図１１は、第１の実施形態の変形例に係る半導体装置の構造を示す断面図である。尚、図１１において、図１に示す第１の実施形態と同一の構成要素には同一の符号を付すことにより、重複する説明を省略する。

【００６０】

図１１に示すように、本変形例に係る半導体装置が図１に示す第１の実施形態と異なっている点は、次の通りである。すなわち、第１の実施形態では、ゲート電極１０８のチャネル長方向の両端部に位置する第２の導電部１０８Ｂが、ゲート電極１０８のチャネル長方向の中央部に位置する第１の導電部１０８Ａを挟むように形成されていた。言い換えると、第２の導電部１０８Ｂはゲート電極１０８の側壁部全体に（ゲート電極１０８の上面から下面まで）形成されていた。それに対して、本変形例では、ゲート電極１０８のチャ

UMC 1002
UMC v. AICP

ネル長方向の両端部に位置する第２の導電部１０８Ｂが高誘電率膜１０７つまりゲート絶縁膜と接するように形成されている点は、第１の実施形態と同じであるが、第２の導電部１０８Ｂがゲート電極１０８の上部には形成されておらず、第１の導電部１０８Ａが第２の導電部１０８Ｂ上に乗りかかるように形成されている点が、第１の実施形態と異なっている。

【００６１】

すなわち、第１の実施形態で述べた本発明による効果は、ゲート電極中央の第１の導電部１０８Ａとゲート電極端部の第２の導電部１０８Ｂとがそれぞれゲート絶縁膜と接していれば、得られるのであって、ゲート電極上部において各導電部がどのように形成されているかは関係ないのである。

【００６２】

図１１に示す本変形例に係る半導体装置を製造する場合、第１の実施形態の図１０（ｃ）に示す工程で、ゲート電極形成用凹部の壁面上部に形成されているポリシリコン膜１５１も除去してしまえばよい。これにより、図１２に示すように、ゲート電極形成用凹部の壁面のうち上部を除いて、ゲート電極１０８の第２の導電部１０８Ｂが形成される。

【００６３】

本変形例に係る半導体装置の製造方法によると、ダミーゲート電極１５０をエッチングにより除去してゲート電極形成用凹部を形成し、当該凹部内にゲート絶縁膜（高誘電率膜１０７）を露出させた後、第２の導電部１０８Ｂとなるポリシリコン膜１５１をゲート電極形成用凹部内に堆積して当該ポリシリコン膜１５１をエッチバックすることにより第２の導電部１０８Ｂを形成した後において、ゲート電極形成用凹部の幅をその開口面近傍で広くすることができる。従って、当該凹部を第１の導電部１０８Ａとなる導電膜によって埋め込む際に、当該導電膜の埋め込み性を改善することができる。この結果、スパッタリング法などのカバレッジの悪い成膜方法を用いて第１の導電部１０８Ａとなる導電膜を形成する場合にも、ボイドを発生させることなく、ゲート電極形成用凹部に第１の導電部１０８Ａとなる導電膜を埋め込むことができる。

【００６４】

（第２の実施形態）

以下、本発明の第２の実施形態に係る半導体装置について、ｎ型のＭＩＳＦＥＴを例として、図面を参照しながら説明する。

【００６５】

図１３は、第２の実施形態に係る半導体装置の構造を示す断面図である。尚、図１３において、図１に示す第１の実施形態と同一の構成要素には同一の符号を付すことにより、重複する説明を省略する。

【００６６】

図１３に示すように、本実施形態に係る半導体装置が図１に示す第１の実施形態と異なっている点は、次の通りである。すなわち、第１の実施形態では、ゲート電極１０８のチャネル長方向の両端部に位置する第２の導電部１０８Ｂは矩形状断面を有していた。それに対して、本実施形態では、第２の導電部１０８Ｂがゲート電極１０８のチャネル長方向の両端部に位置している点は、第１の実施形態と同じであるが、第２の導電部１０８Ｂがゲート電極１０８の上部コーナーにおいて丸められている点が、第１の実施形態と異なっている。尚、第２の導電部１０８Ｂの形状の違いに起因して、絶縁性サイドウォールスペーサ１０９の形状も第１の実施形態と若干異なっている。

【００６７】

図１３に示す本実施形態の半導体装置によっても第１の実施形態と同様の効果を得ることができる。

【００６８】

以下、図１３に示す本実施形態の半導体装置を製造するための方法の一例について説明する。図１４（ａ）～（ｃ）及び図１５（ａ）～（ｃ）は本実施形態の半導体装置の製造方法の各工程を示す断面図である。

UMC 1002
UMC v. AICP

【００６９】
まず、図１４（ａ）に示すように、例えばシリコン基板などの半導体基板１０１にイオン注入法を用いてウェル領域１０２を形成した後、半導体基板１０１の表面部にイオン注入を用いてチャネル領域１０３を形成する。ｎ型ＭＩＳＦＥＴのウェル領域１０２及びチャネル領域１０３を形成する場合には、例えばボロンなどのｐ型不純物のイオン注入を行う。また、ｐ型ＭＩＳＦＥＴのウェル領域１０２及びチャネル領域１０３を形成する場合には、例えばリンなどのｎ型不純物のイオン注入を行う。
【００７０】
次に、図１４（ｂ）に示すように、半導体基板１０１上に、例えば熱酸化法により厚さ０．１～５．０ｎｍの酸化シリコン膜からなる絶縁性界面層１０６を形成した後、絶縁性界面層１０６上に、例えばHfO_2膜からなる高誘電率膜１０７を形成する。HfO_2膜の形成は、例えば$HfCl_2$とNH_3とを用いたＣＶＤ法、又は有機系のＨｆガスを用いたＣＶＤ法により行う。或いは、ハフニウム窒化物のターゲットを用いたスパッタリング法により、窒化ハフニウム膜を形成した後、当該窒化ハフニウム膜を酸化することにより、HfO_2膜を形成してもよい。その後、高誘電率膜１０７上に、図１３に示すゲート電極１０８の第１の導電部１０８Ａとなる厚さ２００ｎｍ程度までの導電膜１６０を形成する。ここで、導電膜１６０の材料としては、純金属、合金又は金属化合物等を用いることができる。具体的は、例えばスパッタリング法により、導電膜１６０として、ｎ型ＭＩＳＦＥＴを形成する場合には、ＴｉＮ膜、Ｍｏ膜、ＭｏＳｉＮ膜、Ｔａ膜、Ｗ膜又はＬａＯ膜などを形成し、ｐ型ＭＩＳＦＥＴを形成する場合には、ＴｉＮ膜、ＭｏＳｉＮ膜、RuO_2膜、Ｔａ膜、ＴａＮ膜、ＴａＣ膜、Ｗ膜、ＰｔＷ膜又はＰｔ膜などを形成する。
【００７１】
次に、図１４（ｃ）に示すように、導電膜１６０をパターニングして第１の導電部１０８Ａを形成した後、図１５（ａ）に示すように、第１の導電部１０８Ａを覆うように基板全面に、例えばＣＶＤ法により厚さ２～２０ｎｍのポリシリコン膜１６１を堆積する。ここで、ｎ型ＭＩＳＦＥＴを形成する場合には、ポリシリコン膜１６１にｎ型不純物をドープし、ｐ型ＭＩＳＦＥＴを形成する場合には、ポリシリコン膜１６１にｐ型不純物をドープする。
【００７２】
次に、図１５（ｂ）に示すように、ポリシリコン膜１６１に対してエッチバックを行って第１の導電部１０８Ａの両側面に、ポリシリコン膜１６１からなる第２の導電部１０８Ｂを形成する。これにより、第１の導電部１０８Ａと第２の導電部１０８Ｂとからなるゲート電極１０８が形成される。このとき、ゲート電極１０８の外側の高誘電率膜１０７及び絶縁性界面層１０６を除去しても良い。
【００７３】
次に、図１５（ｃ）に示すように、ゲート電極１０８をマスクとしてイオン注入を行うことにより、ゲート電極１０８の両側の半導体基板１０１の表面部にエクステンション領域１０４を形成する。ｎ型ＭＩＳＦＥＴのエクステンション領域１０４を形成する場合には、例えば砒素又はリンなどのｎ型不純物のイオン注入を行う。また、ｐ型ＭＩＳＦＥＴのエクステンション領域１０４を形成する場合には、例えばボロンなどのｐ型不純物のイオン注入を行う。尚、エクステンション領域１０４の一部分は領域Ａ（以下、オーバーラップ領域Ａという）においてゲート電極１０８のチャネル長方向の両端部とオーバーラップするように形成されている。
【００７４】
最後に、図１３に示す構造を得るために、ゲート電極１０８の両側面に絶縁性サイドウォールスペーサ１０９を形成する。具体的には、まず、例えばＣＶＤ法によりゲート電極１０８を被覆するように基板全面に酸化シリコン膜を堆積した後、当該酸化シリコン膜をエッチバックすることにより、ゲート電極１０８の両側面に絶縁性サイドウォールスペーサ１０９を形成する。次に、絶縁性サイドウォールスペーサ１０９及びゲート電極１０８をマスクとしてイオン注入を行うことにより、ゲート電極１０８から見て絶縁性サイドウ

UMC 1002
UMC v. AICP

ォールスペーサ１０９の外側に位置する半導体基板１０１の表面部に、エクステンション領域１０４よりも深い接合を有するソース・ドレイン領域１０５を形成した後、注入された不純物イオンを活性化するためのアニール処理を施す。ｎ型ＭＩＳＦＥＴのソース・ドレイン領域１０５を形成する場合には、例えば砒素又はリンなどのｎ型不純物のイオン注入を行う。また、ｐ型ＭＩＳＦＥＴのソース・ドレイン領域１０５を形成する場合には、例えばボロンなどのｐ型不純物のイオン注入を行う。

【００７５】

以上に説明した、本実施形態に係る半導体装置の製造方法は、ゲート電極１０８の第１の導電部１０８Ａの形成後に第２の導電部１０８Ｂを形成することを特徴とするものであるが、エッチバックを用いることにより、第１の導電部１０８Ａに対して自己整合的に第２の導電部１０８Ｂを形成するため、第２の導電部１０８Ｂをパターニングによって形成する場合のように合わせズレが生じることを防止することができる。

【００７６】

（第３の実施形態）

以下、本発明の第３の実施形態に係る半導体装置について、ｎ型のＭＩＳＦＥＴを例として、図面を参照しながら説明する。

【００７７】

図１６は、第３の実施形態に係る半導体装置の構造を示す断面図である。尚、図１６において、図１に示す第１の実施形態と同一の構成要素には同一の符号を付すことにより、重複する説明を省略する。

【００７８】

図１６に示すように、本実施形態に係る半導体装置が図１に示す第１の実施形態と異なっている点は、次の通りである。すなわち、第１の実施形態では、ゲート電極１０８のチャネル長方向の中央部に位置する第１の導電部１０８Ａが、ゲート電極１０８のチャネル長方向の両端部に位置する第２の導電部１０８Ｂによって挟まれるように形成されていた。言い換えると、第１の導電部１０８Ａはゲート電極１０８の中央部全体に（ゲート電極１０８の上面から下面まで）形成されていた。それに対して、本実施形態では、ゲート電極１０８のチャネル長方向の中央部に位置する第１の導電部１０８Ａが高誘電率膜１０７つまりゲート絶縁膜と接するように形成されている点は、第１の実施形態と同じであるが、第１の導電部１０８Ａがゲート電極１０８の下部以外には形成されておらず、第２の導電部１０８Ｂが第１の導電部１０８Ａを跨ぐように形成されている点が、第１の実施形態と異なっている。

【００７９】

すなわち、第１の実施形態で述べた本発明による効果は、ゲート電極中央の第１の導電部１０８Ａとゲート電極端部の第２の導電部１０８Ｂとがそれぞれゲート絶縁膜と接していれば、得られるのであって、ゲート電極上部において各導電部がどのように形成されているかは関係ないのである。

【００８０】

以下、図１６に示す本実施形態の半導体装置を製造するための方法の一例について説明する。図１７（ａ）～（ｃ）及び図１８（ａ）～（ｃ）は本実施形態の半導体装置の製造方法の各工程を示す断面図である。

【００８１】

まず、図１７（ａ）に示すように、例えばシリコン基板などの半導体基板１０１にイオン注入法を用いてウェル領域１０２を形成した後、半導体基板１０１の表面部にイオン注入を用いてチャネル領域１０３を形成する。ｎ型ＭＩＳＦＥＴのウェル領域１０２及びチャネル領域１０３を形成する場合には、例えばボロンなどのｐ型不純物のイオン注入を行う。また、ｐ型ＭＩＳＦＥＴのウェル領域１０２及びチャネル領域１０３を形成する場合には、例えばリンなどのｎ型不純物のイオン注入を行う。

【００８２】

次に、図１７（ｂ）に示すように、半導体基板１０１上に、例えば熱酸化法により厚さ

UMC 1002
UMC v. AICP

０．１～５．０ｎｍの酸化シリコン膜からなる絶縁性界面層１０６を形成した後、絶縁性界面層１０６上に、例えばHfO_2膜からなる高誘電率膜１０７を形成する。HfO_2膜の形成は、例えば$HfCl_2$とNH_3とを用いたＣＶＤ法、又は有機系のＨｆガスを用いたＣＶＤ法により行う。或いは、ハフニウム窒化物のターゲットを用いたスパッタリング法により、窒化ハフニウム膜を形成した後、当該窒化ハフニウム膜を酸化することにより、HfO_2膜を形成してもよい。その後、高誘電率膜１０７上に、図１６に示すゲート電極１０８の第１の導電部１０８Ａとなる例えば厚さ１０～５０ｎｍ程度の導電膜１７０を形成する。ここで、導電膜１７０の材料としては、純金属、合金又は金属化合物等を用いることができる。具体的は、例えばスパッタリング法により、導電膜１７０として、ｎ型ＭＩＳＦＥＴを形成する場合には、ＴｉＮ膜、Ｍｏ膜、ＭｏＳｉＮ膜、Ｔａ膜、Ｗ膜又はＬａＯ膜などを形成し、ｐ型ＭＩＳＦＥＴを形成する場合には、ＴｉＮ膜、ＭｏＳｉＮ膜、RuO_2膜、Ｔａ膜、ＴａＮ膜、ＴａＣ膜、Ｗ膜、ＰｔＷ膜又はＰｔ膜などを形成する。

【００８３】

次に、図１７（ｃ）に示すように、導電膜１７０をパターニングして第１の導電部１０８Ａを形成した後、図１８（ａ）に示すように、第１の導電部１０８Ａを覆うように基板全面に、例えばＣＶＤ法により厚さ２００ｎｍ程度までのポリシリコン膜１７１を堆積する。ここで、ｎ型ＭＩＳＦＥＴを形成する場合には、ポリシリコン膜１７１にｎ型不純物をドープし、ｐ型ＭＩＳＦＥＴを形成する場合には、ポリシリコン膜１７１にｐ型不純物をドープする。

【００８４】

次に、図１８（ｂ）に示すように、ゲート電極形成領域を覆うレジストパターン（図示省略）をマスクとして、ポリシリコン膜１７１に対してドライエッチングを行うことにより、第１の導電部１０８Ａを覆うようにポリシリコン膜１７１からなる第２の導電部１０８Ｂを形成する。これにより、第１の導電部１０８Ａと第２の導電部１０８Ｂとからなるゲート電極１０８が形成される。このとき、ゲート電極１０８の外側の高誘電率膜１０７及び絶縁性界面層１０６を除去しても良い。

【００８５】

次に、図１８（ｃ）に示すように、ゲート電極１０８をマスクとしてイオン注入を行うことにより、ゲート電極１０８の両側の半導体基板１０１の表面部にエクステンション領域１０４を形成する。ｎ型ＭＩＳＦＥＴのエクステンション領域１０４を形成する場合には、例えば砒素又はリンなどのｎ型不純物のイオン注入を行う。また、ｐ型ＭＩＳＦＥＴのエクステンション領域１０４を形成する場合には、例えばボロンなどのｐ型不純物のイオン注入を行う。尚、エクステンション領域１０４の一部分は領域Ａ（以下、オーバーラップ領域Ａという）においてゲート電極１０８のチャネル長方向の両端部とオーバーラップするように形成されている。

【００８６】

最後に、図１６に示す構造を得るために、ゲート電極１０８の両側面に絶縁性サイドウォールスペーサ１０９を形成する。具体的には、まず、例えばＣＶＤ法によりゲート電極１０８を被覆するように基板全面に酸化シリコン膜を堆積した後、当該酸化シリコン膜をエッチバックすることにより、ゲート電極１０８の両側面に絶縁性サイドウォールスペーサ１０９を形成する。次に、絶縁性サイドウォールスペーサ１０９及びゲート電極１０８をマスクとしてイオン注入を行うことにより、ゲート電極１０８から見て絶縁性サイドウォールスペーサ１０９の外側に位置する半導体基板１０１の表面部に、エクステンション領域１０４よりも深い接合を有するソース・ドレイン領域１０５を形成した後、注入された不純物イオンを活性化するためのアニール処理を施す。ｎ型ＭＩＳＦＥＴのソース・ドレイン領域１０５を形成する場合には、例えば砒素又はリンなどのｎ型不純物のイオン注入を行う。また、ｐ型ＭＩＳＦＥＴのソース・ドレイン領域１０５を形成する場合には、例えばボロンなどのｐ型不純物のイオン注入を行う。

【００８７】

UMC 1002
UMC v. AICP

以上に説明した、本実施形態に係る半導体装置の製造方法は、ゲート電極１０８の第１の導電部１０８Ａの形成後に第２の導電部１０８Ｂを形成することを特徴とするものであり、以下のような効果を奏する。すなわち、ゲート絶縁膜（高誘電率膜１０７）上にゲート電極１０８の第１の導電部１０８Ａとなる導電膜１７０を形成し、導電膜１７０をパターニングして第１の導電部１０８Ａを形成した後、第１の導電部１０８Ａの仕事関数とは異なる仕事関数を有するポリシリコン膜１７１を第１の導電部１０８Ａを覆うように形成し、ポリシリコン膜１７１をエッチングすることにより第２の導電部１０８Ｂを形成している。このように形成されたゲート電極１０８は、ゲート電極１０８のチャネル長方向の中央部に位置し且つ第１の仕事関数を有する第１の導電部１０８Ａと、ゲート電極１０８のチャネル長方向の両端部に位置し且つ第１の仕事関数とは異なる第２の仕事関数を有する第２の導電部１０８Ｂとから構成される。従って、図１に示す第１の実施形態の半導体装置と同様の効果、つまり、ゲート電圧に起因して垂直方向に生じる電界の強度を、オーバーラップ領域Ａにおいて選択的に低減することによってＧＩＤＬを低減できるという効果が得られる。

【００８８】

（第３の実施形態の変形例）

以下、本発明の第３の実施形態の変形例に係る半導体装置について、ｎ型のＭＩＳＦＥＴを例として、図面を参照しながら説明する。

【００８９】

図１９は、第３の実施形態の変形例に係る半導体装置の構造を示す断面図である。尚、図１９において、図１に示す第１の実施形態又は図１６に示す第３の実施形態と同一の構成要素には同一の符号を付すことにより、重複する説明を省略する。

【００９０】

図１９に示すように、本変形例に係る半導体装置が図１に示す第１の実施形態と異なっている点は、次の通りである。すなわち、第１の実施形態では、ゲート電極１０８のチャネル長方向の中央部に位置する第１の導電部１０８Ａが、ゲート電極１０８のチャネル長方向の両端部に位置する第２の導電部１０８Ｂによって挟まれるように形成されていた。言い換えると、第１の導電部１０８Ａはゲート電極１０８の中央部全体に（ゲート電極１０８の上面から下面まで）形成されていた。それに対して、本実施形態では、ゲート電極１０８のチャネル長方向の中央部に位置する第１の導電部１０８Ａが高誘電率膜１０７つまりゲート絶縁膜と接するように形成されている点は、第１の実施形態と同じであるが、第１の導電部１０８Ａがゲート電極１０８の上部には形成されておらず、第２の導電部１０８Ｂが第１の導電部１０８Ａを跨ぐように形成されている点が、第１の実施形態と異なっている。

【００９１】

すなわち、第１の実施形態で述べた本発明による効果は、ゲート電極中央の第１の導電部１０８Ａとゲート電極端部の第２の導電部１０８Ｂとがそれぞれゲート絶縁膜と接していれば、得られるのであって、ゲート電極上部において各導電部がどのように形成されているかは関係ないのである。

【００９２】

また、本変形例に係る半導体装置が図１６に示す第３の実施形態と異なっている点は、次の通りである。すなわち、第３の実施形態では、第１の導電部１０８Ａが単一の仕事関数を有する単一の材料（例えば金属）から構成されていたのに対して、本変形例では、第１の導電部１０８Ａは、下層の（高誘電率膜１０７つまりゲート絶縁膜と接する）金属含有層１１１と上層のシリコン層１１２との積層構造を有している。

【００９３】

その他、本変形例に係る半導体装置においては、図１９に示すように、第１又は第３の実施形態と異なり、ゲート電極１０８及びソース・ドレイン領域１０５のそれぞれの表面部にシリサイド層１１３が形成されている。

【００９４】

UMC 1002
UMC v. AICP

以下、図１９に示す本変形例の半導体装置を製造するための方法の一例について説明する。図２０（ａ）～（ｃ）及び図２１（ａ）～（ｃ）は本変形例の半導体装置の製造方法の各工程を示す断面図である。

【００９５】

まず、図２０（ａ）に示すように、例えばシリコン基板などの半導体基板１０１にイオン注入法を用いてウェル領域１０２を形成した後、半導体基板１０１の表面部にイオン注入を用いてチャネル領域１０３を形成する。ｎ型ＭＩＳＦＥＴのウェル領域１０２及びチャネル領域１０３を形成する場合には、例えばボロンなどのｐ型不純物のイオン注入を行う。また、ｐ型ＭＩＳＦＥＴのウェル領域１０２及びチャネル領域１０３を形成する場合には、例えばリンなどのｎ型不純物のイオン注入を行う。

【００９６】

次に、図２０（ｂ）に示すように、半導体基板１０１上に、例えば熱酸化法により厚さ０．１～５．０ｎｍの酸化シリコン膜からなる絶縁性界面層１０６を形成した後、絶縁性界面層１０６上に、例えばHfO_2膜からなる高誘電率膜１０７を形成する。HfO_2膜の形成は、例えば$HfCl_2$とNH_3とを用いたＣＶＤ法、又は有機系のＨｆガスを用いたＣＶＤ法により行う。或いは、ハフニウム窒化物のターゲットを用いたスパッタリング法により、窒化ハフニウム膜を形成した後、当該窒化ハフニウム膜を酸化することにより、HfO_2膜を形成してもよい。その後、高誘電率膜１０７上に、図１９に示すゲート電極１０８の第１の導電部１０８Ａの一部となる例えば厚さ１０～５０ｎｍ程度の金属含有層１１１を形成する。ここで、金属含有層１１１の材料としては、純金属、合金又は金属化合物等を用いることができる。具体的は、例えばスパッタリング法により、金属含有層１１１として、ｎ型ＭＩＳＦＥＴを形成する場合には、ＴｉＮ膜、Ｍｏ膜、ＭｏＳｉＮ膜、Ｔａ膜、Ｗ膜又はＬａＯ膜などを形成し、ｐ型ＭＩＳＦＥＴを形成する場合には、ＴｉＮ膜、ＭｏＳｉＮ膜、RuO_2膜、Ｔａ膜、ＴａＮ膜、ＴａＣ膜、Ｗ膜、ＰｔＷ膜又はＰｔ膜などを形成する。続いて、金属含有層１１１上に、図１９に示すゲート電極１０８の第１の導電部１０８Ａの一部となる厚さ２００ｎｍ程度までのシリコン層１１２を例えばＣＶＤ法を用いて堆積する。ここで、シリコン層１１２の材料としては、ポリシリコン又はアモルファスシリコンのいずれを用いても良い。

【００９７】

次に、図２０（ｃ）に示すように、リソグラフィ技術により第１の導電部１０８Ａの形成領域を覆うように形成したレジストパターン（図示省略）をマスクとして、シリコン層１１２及び金属含有層１１１に対してドライエッチングを行って、金属含有層１１１及びシリコン層１１２からなる第１の導電部１０８Ａを形成する。このとき、レジストパターンに代えて、SiO_2膜又は窒化シリコン膜等をマスクとして用いてもよい。続いて、図２１（ａ）に示すように、第１の導電部１０８Ａを被覆するように基板全面に、図１９に示すゲート電極１０８の第２の導電部１０８Ｂとなる厚さ５０～２００ｎｍ程度のポリシリコン膜１８１を例えばＣＶＤ法により堆積する。ここで、ｎ型ＭＩＳＦＥＴを形成する場合には、ポリシリコン膜１８１にｎ型不純物をドープし、ｐ型ＭＩＳＦＥＴを形成する場合には、ポリシリコン膜１８１にｐ型不純物をドープする。また、このとき、シリコン層１１２からなる第１の導電部１０８Ａにも、ポリシリコン膜１８１にドープした不純物と同じ不純物をドープする。また、ポリシリコン膜１８１に代えて、アモルファスシリコン膜を形成しても良い。

【００９８】

次に、図２１（ｂ）に示すように、リソグラフィ技術によりゲート電極形成領域を覆うように形成したレジストパターン（図示省略）をマスクとして、ポリシリコン膜１８１に対してドライエッチングを行うことにより、第１の導電部１０８Ａを覆うようにポリシリコン膜１８１からなる第２の導電部１０８Ｂを形成する。これにより、第１の導電部１０８Ａと第２の導電部１０８Ｂとからなるゲート電極１０８が形成される。このとき、ゲート電極１０８の外側の高誘電率膜１０７及び絶縁性界面層１０６を除去しても良い。また、レジストパターンに代えて、SiO_2膜又は窒化シリコン膜等をマスクとして用いても

UMC 1002
UMC v. AICP

よい。

【００９９】

次に、図２１（ｃ）に示すように、ゲート電極１０８をマスクとしてイオン注入を行うことにより、ゲート電極１０８の両側の半導体基板１０１の表面部にエクステンション領域１０４を形成する。ｎ型ＭＩＳＦＥＴのエクステンション領域１０４を形成する場合には、例えば砒素又はリンなどのｎ型不純物のイオン注入を行う。また、ｐ型ＭＩＳＦＥＴのエクステンション領域１０４を形成する場合には、例えばボロンなどのｐ型不純物のイオン注入を行う。尚、エクステンション領域１０４の一部分は領域Ａ（以下、オーバーラップ領域Ａという）においてゲート電極１０８のチャネル長方向の両端部とオーバーラップするように形成されている。

【０１００】

次に、図１９に示す構造を得るために、ゲート電極１０８の両側面に絶縁性サイドウォールスペーサ１０９を形成する。具体的には、まず、例えばＣＶＤ法によりゲート電極１０８を被覆するように基板全面に酸化シリコン膜を堆積した後、当該酸化シリコン膜をエッチバックすることにより、ゲート電極１０８の両側面に絶縁性サイドウォールスペーサ１０９を形成する。次に、絶縁性サイドウォールスペーサ１０９及びゲート電極１０８をマスクとしてイオン注入を行うことにより、ゲート電極１０８から見て絶縁性サイドウォールスペーサ１０９の外側に位置する半導体基板１０１の表面部に、エクステンション領域１０４よりも深い接合を有するソース・ドレイン領域１０５を形成した後、注入された不純物イオンを活性化するためのアニール処理を施す。ｎ型ＭＩＳＦＥＴのソース・ドレイン領域１０５を形成する場合には、例えば砒素又はリンなどのｎ型不純物のイオン注入を行う。また、ｐ型ＭＩＳＦＥＴのソース・ドレイン領域１０５を形成する場合には、例えばボロンなどのｐ型不純物のイオン注入を行う。

【０１０１】

最後に、ゲート電極１０８及びソース・ドレイン領域１０５のそれぞれの表面部（絶縁性サイドウォールスペーサ１０９に覆われていない部分）にシリサイド層１１３を形成する。シリサイド層１１３の形成においては、まず、ゲート電極１０８及びソース・ドレイン領域１０５を覆うように基板全面に、例えばニッケル、コバルト又は白金からなる金属膜を形成する。続いて、熱処理を行って、ゲート電極１０８及びソース・ドレイン領域１０５のそれぞれの表面部を構成するシリコンと金属膜とを反応させることによって、シリサイド層１１３を形成する。その後、未反応の金属膜を除去する。

【０１０２】

以上に説明した、本変形例に係る半導体装置の製造方法は、ゲート電極１０８の第１の導電部１０８Ａの形成後に第２の導電部１０８Ｂを形成することを特徴とするものであり、以下のような効果を奏する。すなわち、ゲート絶縁膜（高誘電率膜１０７）上にゲート電極１０８の第１の導電部１０８Ａとなる金属含有層１１１及びシリコン層１１２を形成し、金属含有層１１１及びシリコン層１１２をパターニングして第１の導電部１０８Ａを形成した後、第１の導電部１０８Ａ（正確には金属含有層１１１）の仕事関数とは異なる仕事関数を有するポリシリコン膜１８１を第１の導電部１０８Ａを覆うように形成し、ポリシリコン膜１８１をエッチングすることにより第２の導電部１０８Ｂを形成している。このように形成されたゲート電極１０８は、ゲート電極１０８のチャネル長方向の中央部に位置し且つ第１の仕事関数を有する第１の導電部１０８Ａと、ゲート電極１０８のチャネル長方向の両端部に位置し且つ第１の仕事関数とは異なる第２の仕事関数を有する第２の導電部１０８Ｂとから構成される。従って、図１に示す第１の実施形態の半導体装置と同様の効果、つまり、ゲート電圧に起因して垂直方向に生じる電界の強度を、オーバーラップ領域Ａにおいて選択的に低減することによってＧＩＤＬを低減できるという効果が得られる。

【産業上の利用可能性】

【０１０３】

本発明は、半導体装置及びその製造方法に関し、特に、ＭＩＳＦＥＴのゲート電極の構

UMC 1002
UMC v. AICP

造に本発明を適用した場合には、リーク電流を抑制できるという効果が得られ、有用である。

【図面の簡単な説明】

【０１０４】

【図１】図１は本発明の第１の実施形態に係る半導体装置の構造を示す断面図である。

【図２】図２（ａ）～（ｃ）は、本発明の第１の実施形態に係る半導体装置によって得られる効果を説明するための図である。

【図３】図３（ａ）及び（ｂ）は、本発明の第１の実施形態に係る半導体装置によって得られる効果を説明するための図である。

【図４】図４（ａ）～（ｃ）は、本発明の第１の実施形態に係る半導体装置によって得られる効果を説明するための図である。

【図５】図５（ａ）及び（ｂ）は、本発明の第１の実施形態に係る半導体装置によって得られる効果を説明するための図である。

【図６】図６は、本発明の第１の実施形態に係る半導体装置によって得られる効果を説明するための図である。

【図７】図７は、本発明の第１の実施形態に係る半導体装置において使用可能なゲート電極用の各種材料と仕事関数との関係を示す図である。

【図８】図８（ａ）～（ｃ）は、本発明の第１の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図９】図９（ａ）～（ｃ）は、本発明の第１の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図１０】図１０（ａ）～（ｃ）は、本発明の第１の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図１１】図１１は本発明の第１の実施形態の変形例に係る半導体装置の構造を示す断面図である。

【図１２】図１２は、本発明の第１の実施形態の変形例に係る半導体装置の製造方法の一工程を示す断面図である。

【図１３】図１３は本発明の第２の実施形態に係る半導体装置の構造を示す断面図である。

【図１４】図１４（ａ）～（ｃ）は、本発明の第２の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図１５】図１５（ａ）～（ｃ）は、本発明の第２の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図１６】図１６は本発明の第３の実施形態に係る半導体装置の構造を示す断面図である。

【図１７】図１７（ａ）～（ｃ）は、本発明の第３の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図１８】図１８（ａ）～（ｃ）は、本発明の第３の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図１９】図１９は本発明の第３の実施形態の変形例に係る半導体装置の構造を示す断面図である。

【図２０】図２０（ａ）～（ｃ）は、本発明の第３の実施形態の変形例に係る半導体装置の製造方法の各工程を示す断面図である。

【図２１】図２１（ａ）～（ｃ）は、本発明の第３の実施形態の変形例に係る半導体装置の製造方法の各工程を示す断面図である。

【図２２】図２２は従来の半導体装置を示す断面図である。

【図２３】図２３は従来の半導体装置を示す断面図である。

【符号の説明】

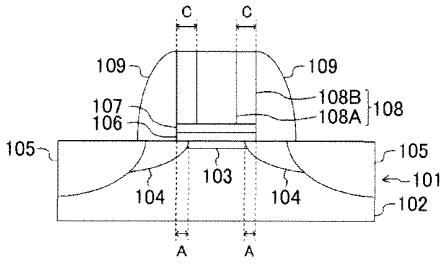
【０１０５】

１０１　　半導体基板

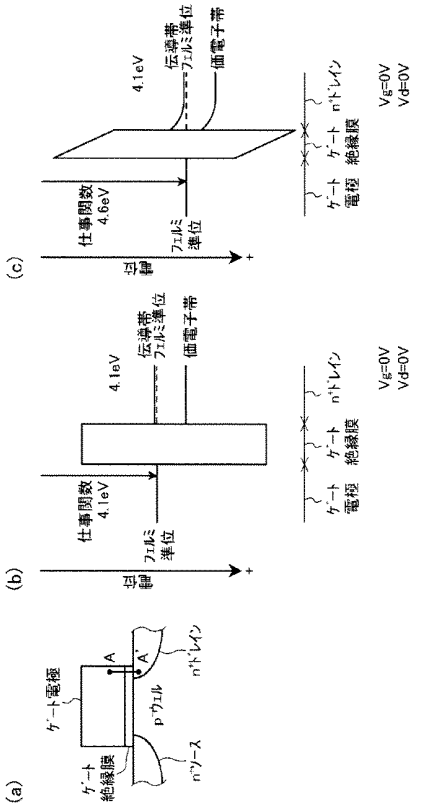
UMC 1002
UMC v. AICP

１０２　ウェル領域
１０３　チャネル領域
１０４　エクステンション領域
１０５　ソース・ドレイン領域
１０６　絶縁性界面層
１０７　高誘電率膜
１０８　ゲート電極
１０８Ａ　第１の導電部
１０８Ｂ　第２の導電部
１０９　絶縁性サイドウォールスペーサ
１１０　層間絶縁膜
１１１　金属含有層
１１２　シリコン層
１１３　シリサイド層
１４０　導電膜
１５０　ダミーゲート電極
１５１　ポリシリコン膜
１６０　導電膜
１６１　ポリシリコン膜
１７０　導電膜
１７１　ポリシリコン膜
１８１　ポリシリコン膜

【図１】

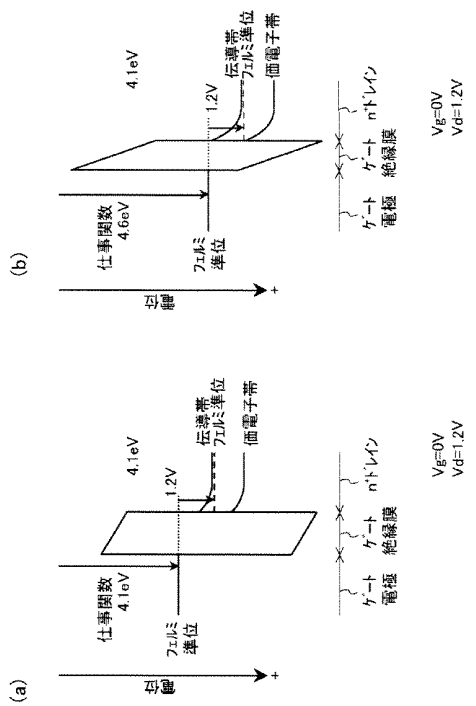


【図２】

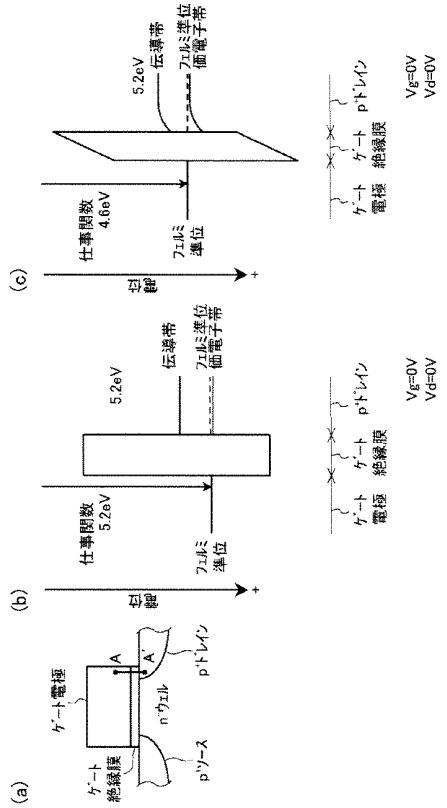


UMC 1002
UMC v. AICP

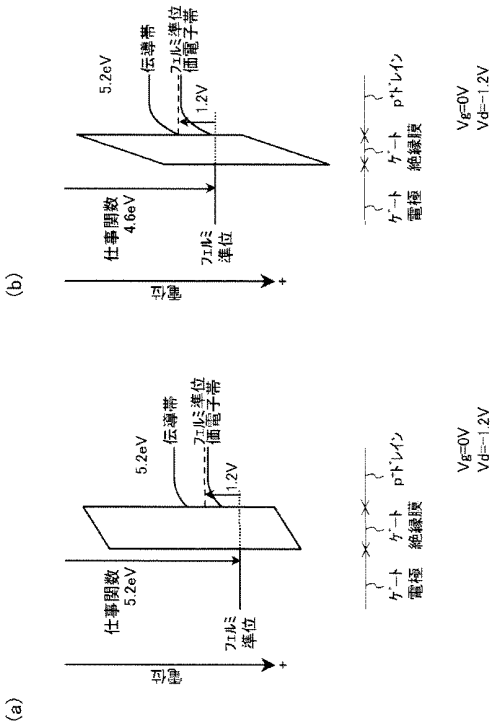
【図３】



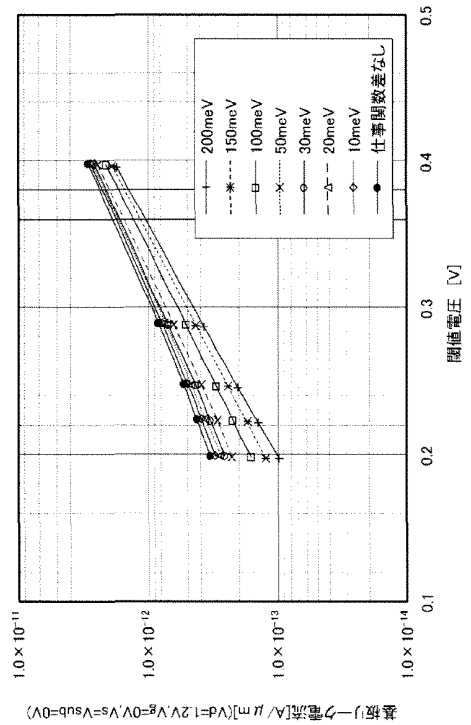
【図４】



【図５】

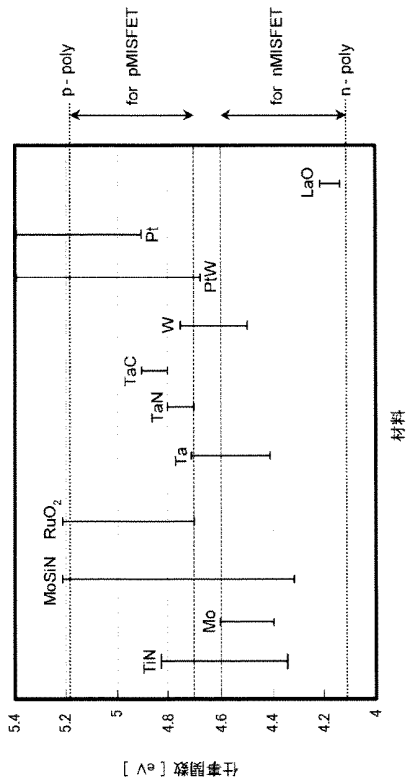


【図６】

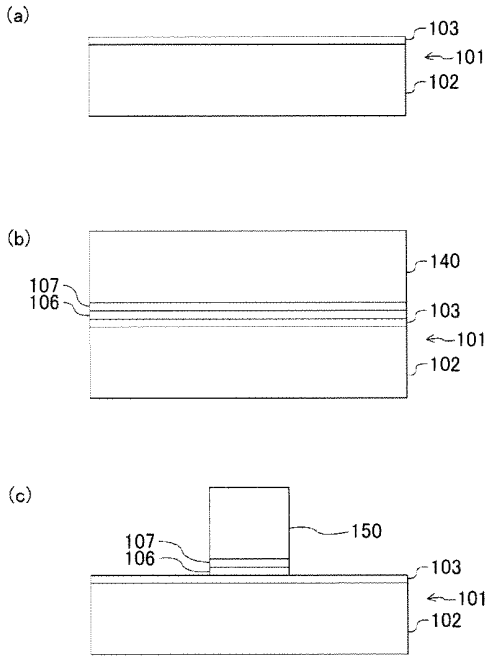


UMC 1002
UMC v. AICP

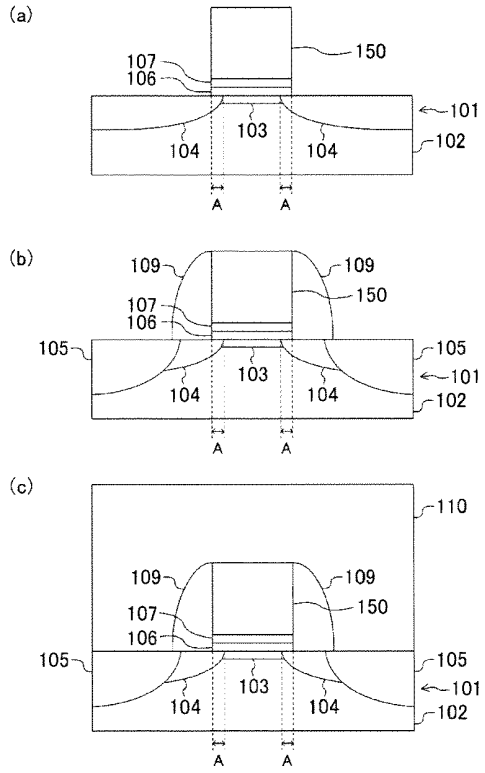
【図７】



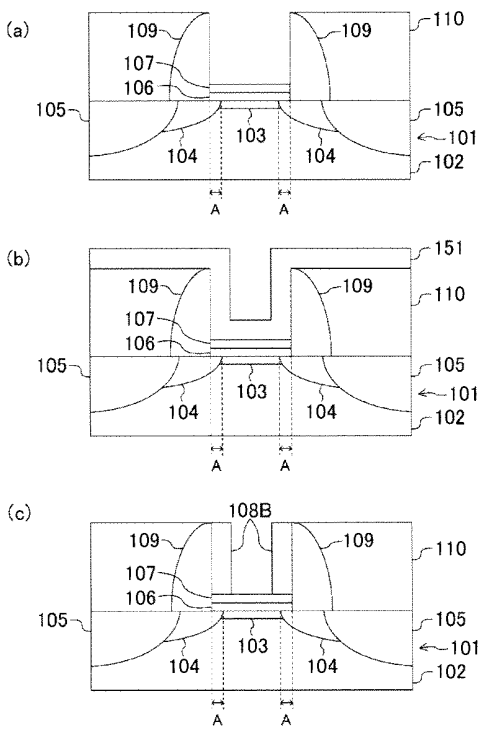
【図８】



【図９】

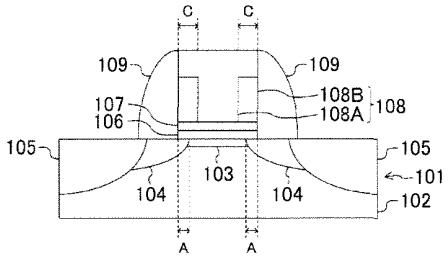


【図１０】

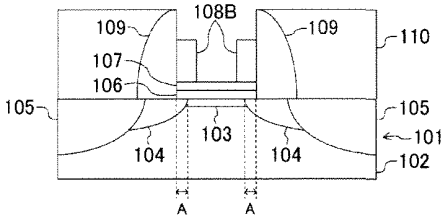


UMC 1002
UMC v. AICP

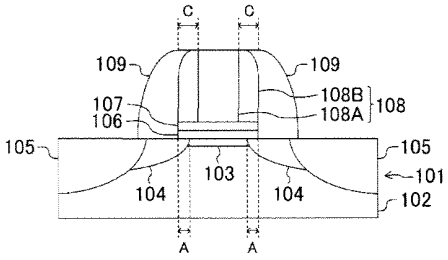
【図１１】



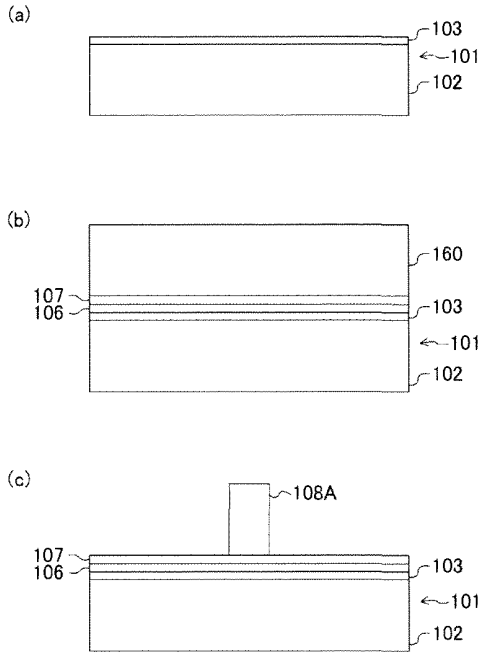
【図１２】



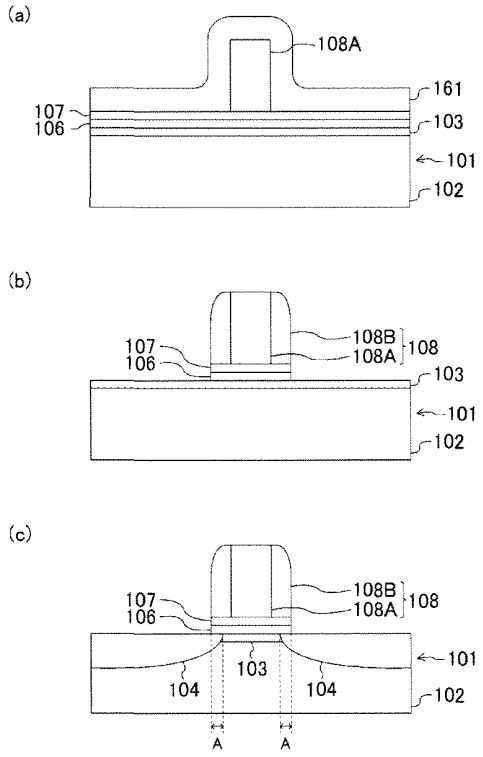
【図１３】



【図１４】

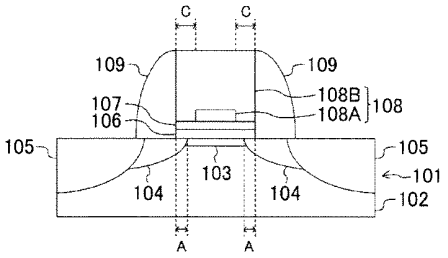


【図１５】

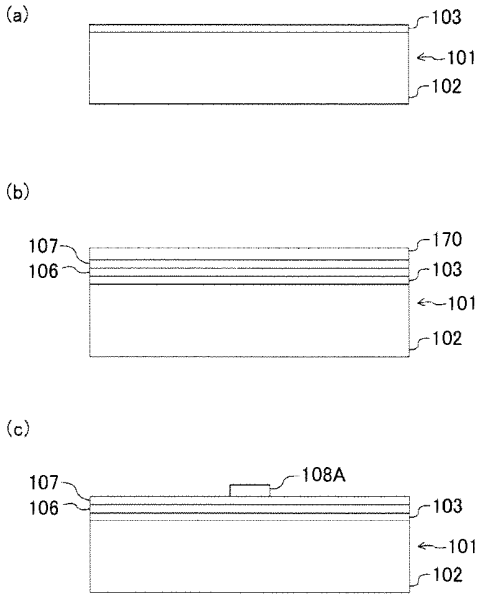


UMC 1002
UMC v. AICP

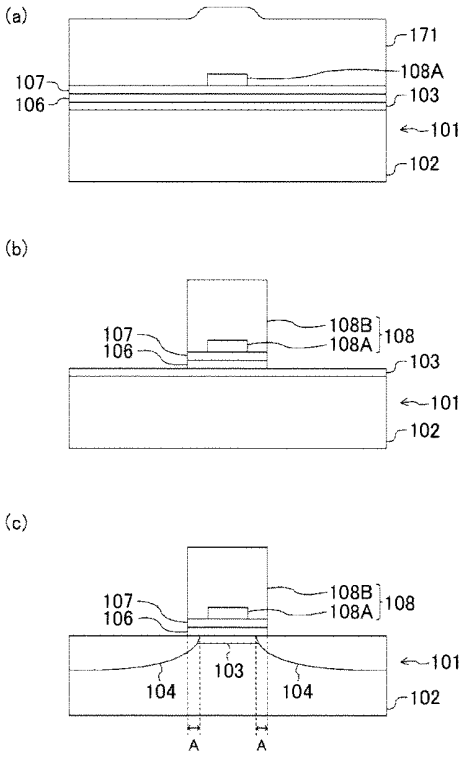
【図１６】



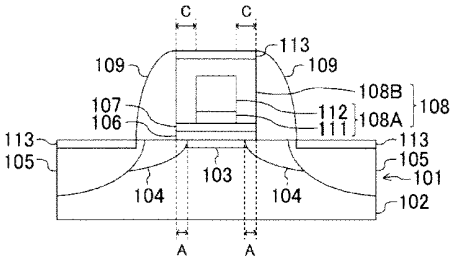
【図１７】



【図１８】

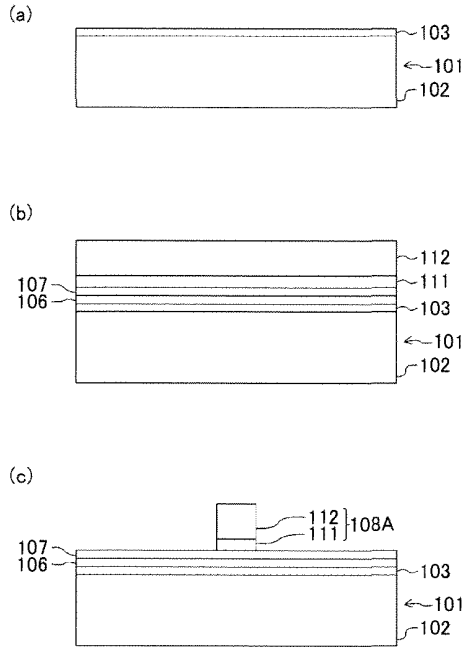


【図１９】

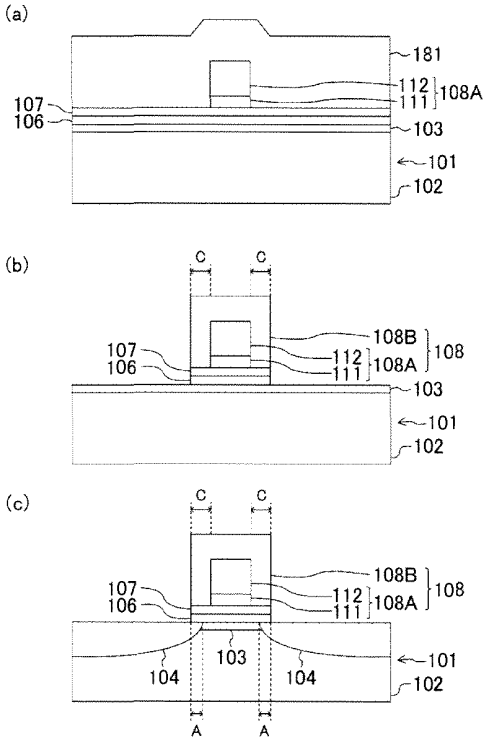


UMC 1002
UMC v. AICP

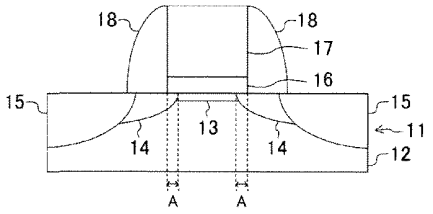
【図２０】



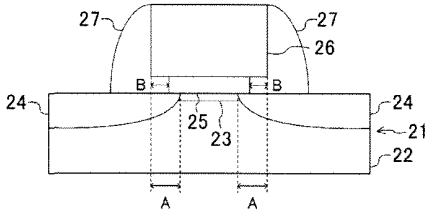
【図２１】



【図２２】



【図２３】



UMC 1002
UMC v. AICP

フロントページの続き

(74)代理人 100117581
弁理士 二宮 克也
(74)代理人 100117710
弁理士 原田 智雄
(74)代理人 100121728
弁理士 井関 勝守
(74)代理人 100124671
弁理士 関 啓
(74)代理人 100131060
弁理士 杉浦 靖也
(72)発明者 樋口 裕一
大阪府門真市大字門真１００６番地 松下電器産業株式会社内

Ｆターム(参考) 4M104 AA01 BB01 BB06 BB16 BB17 BB18 BB20 BB21 BB22 BB30
BB32 BB34 BB36 BB40 CC05 DD03 DD04 DD37 DD43 DD55
DD65 DD75 DD84 EE03 EE16 EE17 FF06 FF13 FF14 GG09
GG10 GG14
5F140 AA23 AA24 AA30 BA01 BC06 BD01 BD05 BD07 BD11 BD13
BE07 BE09 BE10 BF01 BF03 BF04 BF05 BF07 BF10 BF11
BF13 BF14 BF15 BF16 BF17 BF20 BF21 BF22 BF24 BF28
BF40 BF42 BG04 BG08 BG09 BG12 BG16 BG28 BG30 BG34
BG36 BG37 BG38 BG39 BG40 BG52 BG53 BH14 BH15 BJ01
BJ08 BK02 BK05 BK13 BK34 CB08 CC03 CE20

UMC 1002
UMC v. AICP

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-100896
(43)Date of publication of application : 04.04.2003

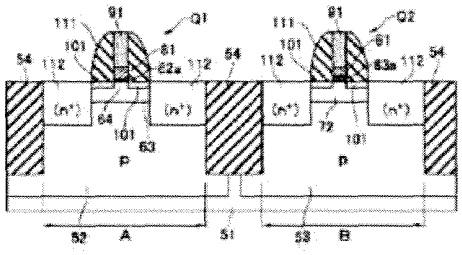
(51)Int.Cl. H01L 21/8234
H01L 21/8242
H01L 27/088
H01L 27/10
H01L 27/108

(21)Application number : 2001-291768
(22)Date of filing : 25.09.2001

(71)Applicant : TOSHIBA CORP
(72)Inventor : FUJIWARA IKUO
NISHIYAMA AKIRA

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:
PROBLEM TO BE SOLVED: To provide a semiconductor device which mounts a plurality of transistors in which gate insulating films having different characteristics are formed differently formed according to the characteristics without using a complicated process.
SOLUTION: A method for manufacturing the semiconductor device comprises a step of respectively forming transistors Q1, Q2 of different gate insulating film structures on regions A, B of a silicon substrate 51. The gate insulating films of the transistors Q1, Q2 have a highly dielectric film 81, and interface layers 82a, 83a formed by a reaction of the film 81 with the substrate 51. The method further comprises a step of forming a nitrogen ion implanting layer 64 on the surface of the region A of the substrate before the film 81 is formed. Thus, the growth of the layer 82a is suppressed so as to be thinned as compared with the layer 83a of the region B side.



(19)日本国特許庁（ＪＰ）　(12) **公開特許公報（Ａ）**　(11)特許出願公開番号
特開2003－100896
（P2003－100896A）
(43)公開日　平成15年４月４日(2003.4.4)

(51)Int.Cl.⁷	識別記号	ＦＩ		テーマコード（参考）
Ｈ０１Ｌ 21/8234		Ｈ０１Ｌ 27/10	４６１	５Ｆ０４８
21/8242		27/08	１０２Ｃ	５Ｆ０８３
27/088		27/10	６８１Ｆ	
27/10	４６１			
27/108				

審査請求　未請求　請求項の数11　ＯＬ　（全 16 頁）

(21)出願番号　特願2001－291768(P2001－291768)

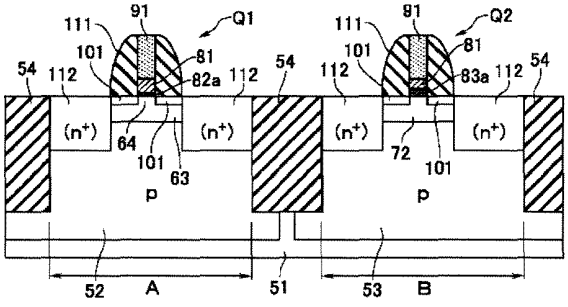
(22)出願日　平成13年９月25日(2001.9.25)

(71)出願人　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(72)発明者　藤原　郁夫
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝研究開発センター内
(72)発明者　西山　彰
神奈川県横浜市磯子区新杉田町８番地　株式会社東芝横浜事業所内
(74)代理人　100092820
弁理士　伊丹　勝

最終頁に続く

(54)【発明の名称】　半導体装置及びその製造方法

(57)【要約】
【課題】　複雑なプロセスを用いることなく、異なる特性のゲート絶縁膜を作り分けた複数のトランジスタを搭載した半導体装置を提供する。
【解決手段】　シリコン基板５１の領域Ａ，Ｂに異なるゲート絶縁膜構造のトランジスタＱ１，Ｑ２を形成する。トランジスタＱ１，Ｑ２のゲート絶縁膜は、高誘電体膜８１と、これと基板５１との反応により形成される界面層８２ａ，８３ａにより構成される。領域Ａの基板表面には、高誘電体膜８１の形成前に窒素イオン注入層６４を形成することにより、界面層８２ａは成長が抑制されて、領域Ｂ側の界面層８３ａより薄くなる。



UMC 1002
UMC v. AICP

【特許請求の範囲】
【請求項１】　半導体基板と、
前記半導体基板に区画された第１の領域に形成された、第１の絶縁膜と第２の絶縁膜が前記半導体基板からこの順に積層された構造の第１のゲート絶縁膜を有する第１のトランジスタと、
前記半導体基板に区画された第２の領域に形成された、第３の絶縁膜と第４の絶縁膜が前記半導体基板からこの順に積層された構造であって且つ、前記第１のゲート絶縁膜に比べてシリコン酸化膜換算膜厚が厚い第２のゲート絶縁膜を有する第２のトランジスタとを有し、
前記第２及び第４の絶縁膜は、同時に形成された高誘電体膜であり、
前記第１及び第３の絶縁膜は、互いに組成又は膜厚が異なる界面層であることを特徴とする半導体装置。
【請求項２】　前記第１の絶縁膜を構成する界面層は、前記半導体基板の第１の領域表面に選択的に形成された窒素イオン注入層と前記高誘電体膜との反応により形成された窒素を含む酸化膜であり、
前記第３の絶縁膜を構成する界面層は、前記半導体基板の第２の領域表面と前記高誘電体膜との反応により形成された酸化膜であることを特徴とする請求項１記載の半導体装置。
【請求項３】　前記第１の絶縁膜を構成する界面層は、前記半導体基板の第１の領域表面に選択的にラジカル窒化により形成された窒化膜又は酸窒化膜であり、
前記第３の絶縁膜を構成する界面層は、前記半導体基板の第２の領域表面と前記高誘電体膜との反応により形成された酸化膜であることを特徴とする請求項１記載の半導体装置。
【請求項４】　前記第１の絶縁膜は、ゲート電極直下以外の領域では除去され、前記第３の絶縁膜は、ゲート電極直下以外の領域に少なくとも一部残されることを特徴とする請求項１記載の半導体装置。
【請求項５】　前記半導体装置がＤＲＡＭであって、
前記第１の領域には、前記第１のトランジスタを構成素子としてＤＲＡＭ周辺回路が形成され、
前記第２の領域には、前記第２のトランジスタをセルトランジスタとして、ＤＲＡＭセルアレイが形成されていることを特徴とする請求項１記載の半導体装置。
【請求項６】　前記半導体装置は、論理ＬＳＩであって、
前記第１の領域には、前記第１のトランジスタを構成素子としてロジック回路が形成され、
前記第２の領域には、前記第２のトランジスタを構成素子としてＩ／Ｏ回路が形成されていることを特徴とする請求項１記載の半導体装置。
【請求項７】　前記半導体装置は、ＤＲＡＭ混載ＬＳＩであって、
前記第１の領域には、前記第１のトランジスタを構成素子としてロジック回路が形成され、
前記第２の領域には、前記第２のトランジスタをセルトランジスタとして、ＤＲＡＭセルアレイが形成されていることを特徴とする請求項１記載の半導体装置。
【請求項８】　前記半導体基板に区画された第３の領域に形成された、第５の絶縁膜と第６の絶縁膜がこの順に積層された構造であって且つ、シリコン酸化膜換算膜厚が前記第１のゲート絶縁膜より厚く前記第２のゲート絶縁膜より薄いゲート絶縁膜を有する第３のトランジスタを有し、
前記第１の領域には、前記第１のトランジスタを構成素子としてロジック回路が形成され、
前記第２の領域には、前記第２のトランジスタを構成素子としてＤＲＡＭセルアレイが形成され、
前記第３の領域には、前記第３のトランジスタを構成素子としてＩ／Ｏ回路が形成されていることを特徴とする請求項７記載の半導体装置。
【請求項９】　前記第１のトランジスタはｎチャネルトランジスタであり、前記第２のトランジスタはｐチャネルトランジスタであることを特徴とする請求項１記載の半導体装置。
【請求項１０】　異なるゲート絶縁膜構造を有するトランジスタを含む半導体装置の製造方法であって、
半導体基板の第１の領域の表面に選択的に、酸素バリア層を形成する工程と、
前記半導体基板に高誘電体絶縁膜を形成して、前記第１の領域では前記酸素バリア層又はこれと前記高誘電体膜との反応層からなる界面層を含み、第２の領域では前記半導体基板と前記高誘電体膜の反応による界面層を含むゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上にゲート電極をパターン形成する工程と、を有することを特徴とする半導体装置の製造方法。
【請求項１１】　異なるゲート絶縁膜構造を有するトランジスタを含む半導体装置の製造方法であって、
半導体基板に高誘電体絶縁膜を形成する工程と、
前記高誘電体絶縁膜上に選択的に耐酸化性の低い材料膜を形成する工程と、
前記高誘電体絶縁膜の結晶化熱処理を行って、前記材料膜で覆われた第１の領域では前記高誘電体絶縁膜と前記半導体基板の間に成長が抑制された界面層を含み、前記材料膜で覆われていない第２の領域では前記高誘電体絶縁膜と前記半導体基板の反応により成長した界面層を含むゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上にゲート電極をパターン形成する工程と、を有することを特徴とする半導体装置の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】この発明は、高誘電体からな

UMC 1002
UMC v. AICP

るゲート絶縁膜を持つＭＩＳ型電界効果トランジスタ（以下、単にトランジスタという）を有する半導体装置に関する。

【０００２】

【従来の技術】近年、半導体集積回路では、より速い動作速度を得る為に、トランジスタの微細化スケーリングが押し進められている。特にゲート絶縁膜厚５ｎｍを切るトランジスタの開発がなされている。しかし、ゲート絶縁膜厚が３ｎｍを切ると、従来見られなかったゲート絶縁膜のダイレクトトンネリング電流が流れ、消費電力が増加するという問題が生じる。

【０００３】ゲート絶縁膜のダイレクトトンネリング電流を抑制する手法として、シリコン酸化膜よりも誘電率の高いTa_2O_5、TiO_2などの高誘電体膜をゲート絶縁膜として使用する試みがなされている。高誘電体膜をゲート絶縁膜として用いると、電気的な膜厚（シリコン酸化膜換算膜厚）を一定として、物理膜厚を増加させることができる。

【０００４】ゲート絶縁膜としてTa_2O_5を用いたトランジスタの従来の製造方法について、図面を参照して説明する。先ず、図１に示すように、シリコン単結晶基板１１にＰウエル領域１２を形成し、ＬＯＣＯＳ法等を用いて素子分離領域にフィールド酸化膜１３を形成する。これにより、トランジスタを形成する活性領域１４が区画される。

【０００５】次に、図２に示すように、１５ｎｍの熱酸化膜２１を犠牲酸化膜として形成した後、活性領域１４以外をレジストマスク２２で覆い、しきい値電圧を調整するためのボロンをイオン注入して、チャネルイオン注入層２３を形成する。そして、レジスト２２を除去した後、チャネルイオン注入層２３内のボロンを活性化させるための熱処理を、１０００℃、１０秒のＲＴＡ（Ｒａｐｉｄ　Ｔｈｅｒｍａｌ　Ａｎｎｅａｌ）にて行なう。

【０００６】次に、熱酸化膜２１をフッ酸により除去し、基板表面の汚染を除去する為の洗浄処理を行う。その後、図３に示すように、ゲート絶縁膜３１として物理膜厚５ｎｍのTa_2O_5膜を成膜し、オゾン雰囲気にて熱処理温度８００℃、熱処理時間３０分の熱処理により後酸化を行う。Ta_2O_5の誘電率は約２５であるので、５ｎｍのTa_2O_5膜はシリコン酸化膜換算膜厚０．８ｎｍとなる。この後、２００ｎｍのポリシリコン膜をＣＶＤ法により成膜し、パターンニングを行って、ゲート電極３２を形成する。

【０００７】この後の側壁工程、ソース／ドレイン形成工程、配線工程等は、従来と同様であるので、説明を省略する。

【０００８】一般に、金属酸化物系の高誘電体膜をシリコン基板上に形成した場合、高誘電体膜とシリコン基板との界面には、高誘電体膜とシリコン基板の反応により薄いシリコン酸化膜が界面層として形成される。これは、高誘電体膜成膜時の酸素プラズマ雰囲気、その後の熱処理時の酸素の拡散により、シリコン基板が酸化される為である。上記従来例においても、ゲート電極３２形成後およそ２．１ｎｍの界面層３３が形成されることが確認されている。この様な界面層の存在により、ゲート絶縁膜の実質的なシリコン酸化膜換算膜厚は２．９ｎｍに増大する。このように、界面層３３はシリコン酸化膜であり、金属酸化物中のメタルが微量に混入されるとはいえ、低誘電率であることから、ゲート絶縁膜全体の誘電率を低下させ、シリコン酸化膜換算膜厚の増大を招く。

【０００９】これに対して、界面層を成長させない方法も提案されている。その一つは、チャネルイオン注入時に窒素イオン注入を行ない、基板中に窒素を導入して酸素バリアとすることにより、界面層の成長を抑制する方法である（特開２０００－１０６４３２号公報参照）。具体的には、図２に示したチャネルイオン注入層２３の形成後、図４に示すように、チャネルイオン注入用レジストマスク２２をそのまま用いて、窒素を注入加速電圧５ｋｅＶ、注入ドーズ量5×10^{14}／cm^2の条件でイオン注入し、基板表面に窒素導入領域４１を形成する。

【００１０】この様なチャネル領域への窒素イオン注入による基板表面への窒素導入の結果、酸素の拡散が抑制される。これにより、Ta_2O_5膜／シリコン基板界面の界面層厚は０．７ｎｍに抑えられ、窒素イオン注入を行なわない場合に比べて、酸化膜換算膜厚で１．４ｎｍの薄膜化が達成できる。

【００１１】

【発明が解決しようとする課題】現在、多くの集積回路チップでは、異なる目的を持った複数種のトランジスタが混載されている。例えば０．２５μｍＤＲＡＭ混載ＣＭＯＳロジックＬＳＩチップの場合には、ＤＲＡＭセルアレイ用トランジスタ、ロジック回路用トランジスタ、Ｉ／Ｏ回路用トランジスタが、信頼性、駆動力、耐圧といった異なる仕様で搭載されている。これらの異なる仕様を満たす為に、それぞれのトランジスタに対して異なる膜厚のゲート絶縁膜を形成しており、これがプロセスの複雑さ、製造コストの上昇を招いている。上述の０．２５μｍｍＤＲＡＭ混載ＣＭＯＳロジックＬＳＩチップの場合では、ＤＲＡＭセル用トランジスタのゲート絶縁膜厚は８ｎｍ、ロジック回路用トランジスタは同５ｎｍ、Ｉ／Ｏ回路用トランジスタは同７ｎｍである。

【００１２】この発明は、上記事情を考慮してなされたもので、複雑なプロセスを用いることなく、異なるゲート絶縁膜構造を作り分けた複数のトランジスタを搭載した半導体装置を提供することを目的とする。

【００１３】

【課題を解決するための手段】この発明に係る半導体装置は、半導体基板と、前記半導体基板に区画された第１

UMC 1002
UMC v. AICP

の領域に形成された、第１の絶縁膜と第２の絶縁膜が前記半導体基板からこの順に積層された構造の第１のゲート絶縁膜を有する第１のトランジスタと、前記半導体基板に区画された第２の領域に形成された、第３の絶縁膜と第４の絶縁膜が前記半導体基板からこの順に積層された構造であって且つ、前記第１のゲート絶縁膜に比べてシリコン酸化膜換算膜厚が厚い第２のゲート絶縁膜を有する第２のトランジスタと、を有し、前記第２及び第４の絶縁膜は、同時に形成された高誘電体膜であり、第１及び第３の絶縁膜は、互いに組成又は膜厚が異なる界面層であることを特徴とする。特に好ましくは、第１及び第３の絶縁膜は、それぞれ第２及び第３の絶縁膜と半導体基板又はその表面に形成された薄膜との反応により形成された、互いに異なる組成の界面層であるものとする。

【００１４】この発明はまた、異なるゲート絶縁膜構造を有するトランジスタを含む半導体装置の製造方法であって、半導体基板の第１の領域の表面に選択的に、酸素バリア層を形成する工程と、前記半導体基板に高誘電体絶縁膜を形成して、前記第１の領域では前記酸素バリア層又はこれと前記高誘電体膜との反応層からなる界面層を含み、第２の領域では前記半導体基板と前記高誘電体膜の反応による界面層を含むゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極をパターン形成する工程と、を有することを特徴とする。

【００１５】この発明においては、ゲート絶縁膜としての高誘電体膜（金属酸化物或いはそのシリケート）の成膜時、或いは、その後の結晶化アニールの際に、基板もしくは、基板上に形成された薄膜との間に形成される界面層について、基板表面への窒素導入、薄膜窒化膜の挿入などの方法で、界面層の電気的膜厚、膜質をコントロールする事により、異なる特性、構造を有するゲート絶縁膜を同一基板上に形成する。言い換えれば、これまで高誘電体膜と一体であった界面層を独立に機能を持たせた積層構造と捉え、ダイレクトトンネリングを抑止するに十分な厚さの高誘電体膜を成膜することにより、ゲートリーク電流を抑制するとともに、基板界面の状態をトランジスタ領域に応じて異ならせることにより、異なる仕様を要求されるトランジスタ毎にゲート絶縁膜を使い分けることができる。

【００１６】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態を説明する。

［実施の形態１］本実施の形態１では、高誘電体膜をゲート絶縁膜に用い、かつ高誘電体膜と基板との間の反応により形成される界面層の膜厚を選択的に、窒素イオン注入を用いた基板表面への窒素導入にてコントロールして、異なった用途のトランジスタを同一基板上に形成せしめる。

【００１７】図５～図１２は、この実施の形態の製造工程を示している。まず、図５に示すように、シリコン単結晶基板５１上に、シリコン酸化膜換算膜厚の薄いゲート絶縁膜を必要とするトランジスタ領域Ａと、この領域Ａに比べてシリコン酸化膜換算膜厚の厚いゲート絶縁膜を必要とするトランジスタ領域Ｂを区画する。具体的に、それぞれの領域Ａ，Ｂに必要なＰウエル５２，５３を形成し、ＳＴＩ（Ｓｈａｌｌｏｗ　Ｔｒｅｎｃｈ　Ｉｓｏｌａｔｉｏｎ）法により、素子分離絶縁膜５４を埋め込むことにより、領域Ａ，Ｂが区画される。

【００１８】次に、図６に示すように、２５ｎｍの犠牲酸化膜６１を熱処理温度９００℃、O_2雰囲気による熱処理で形成する。その後、領域Ｂ上に厚さ１μｍのレジストマスク６２を形成し、領域Ａにしきい値電圧を調整するためのボロンを注入加速電圧１０ｋｅＶ～３０ｋｅｖ、注入ドーズ量５×１０^{12}／ｃｍ^2～１×１０^{13}／ｃｍ^{2}の条件でイオン注入する。引き続き、同じレジストマスク６２を用いて、窒素を注入加速電圧５ｋｅＶ、注入ドーズ量５×１０^{14}／ｃｍ^{2}の条件でイオン注入する。これにより領域Ａに薄いチャネルイオン注入層６３及び、酸素バリア層となる窒素導入領域６４が形成される。

【００１９】この後、レジストマスク６２を剥離した後、図７に示すように、領域Ａを覆うレジストマスク７１を形成し、領域Ｂにしきい値電圧を調整するためのボロンを注入加速電圧１０ｋｅＶ～３０ｋｅｖ、注入ドーズ量５×１０^{12}／ｃｍ^2～１×１０^{13}／ｃｍ^{2}の条件でイオン注入する。これにより領域Ｂに薄いチャネルイオン注入層７２が形成される。

【００２０】この後、レジスト７１を除去し、基板表面の汚染を除去する前処理を施した後、チャネルイオン注入層６３、窒素導入領域６４、チャネルイオン注入層７２の不純物を活性化させるアニールを、処理温度１０００℃、処理時間１０秒のＲＴＡにより行う。

【００２１】次に、希フッ酸処理により犠牲酸化膜６１を除去し、シリコン基板５１表面の水素終端処理を行なった後、図８に示すように、高誘電体膜であるTiO_2膜８１を形成する。具体的には、TiO_2焼結ターゲットを用いたＤＣスパッタ法により、電力３００Ｗ、圧力１Ｐａ、Ａｒ／O_2流量２２／１．２ｓｃｃｍのスパッタ条件で、厚さ５ｎｍのTiO_2膜８１を形成する。この時、TiO_2膜スパッタ時の酸素プラズマ雰囲気により、領域Ａ，Ｂのシリコン基板表面は酸化され、界面層８２、８３が形成される。領域Ａの界面層８２は、窒素導入領域６４が酸素の基板中への拡散を抑制する結果、薄いシリコン酸化膜となり、領域Ｂの界面層８３はこれより厚いシリコン酸化膜となる。

【００２２】次に、図９に示すように、TiO_2膜８１上に、ＣＶＤ法により多結晶シリコン膜を厚さ１７５ｎｍ成膜して、パターニングすることによってゲート電極９１を形成する。ゲート電極９１と共に、その下のゲー

UMC 1002
UMC v. AICP

ト絶縁膜となるTiO_2膜８１及び界面層８２，８３もパターニングする。この後、TiO_2膜８１の結晶化の為に、熱処理温度９００℃、熱処理時間３０秒のＲＴＡを行なう。この時、ＲＴＡによるTiO_2膜８１からシリコン基板５１への酸素の拡散により、領域Ｂのシリコン基板表面は酸化され、界面層８３は成長して、最終的に２ｎｍ程度の界面層８３ａとなる。領域Ａでは、窒素導入領域６４により酸素の基板中への拡散が抑制され、界面層８２の成長は抑制されて、最終的におよそ０．７ｎｍの界面層８２ａとなる。

【００２３】TiO_2膜８１は、ＲＴＡ処理により微結晶状態になり、その誘電率はおよそ２０程度、従ってこの部分の酸化膜換算膜厚は約１ｎｍである。また、TiO_2膜８１のスパッタによる基板へのＴｉの物理的混入と、後工程にて行なわれる活性化アニールによって、界面層８２ａ，８３ａは微量のＴｉが混入したシリコン酸化膜となり、その誘電率は５程度になる。

【００２４】従って、領域Ａのゲート絶縁膜は、界面層８２ａとTiO_2膜８１の積層構造となり、領域Ｂのゲート絶縁膜は、界面層８３ａとTiO_2膜８１の積層構造となる。これらのゲート絶縁膜は、物理膜厚としては５ｎｍ以上の膜厚を有し、ダイレクトトンネリング電流を十分に抑制できる。一方、界面層８２ａ，８３ｂの膜厚の違いにより、領域Ａでは、酸化膜換算膜厚１．６ｎｍのゲート絶縁膜が、領域Ｂでは酸化膜換算膜厚２．６ｎｍのゲート絶縁膜が形成されたことになる。

【００２５】次に、図１０に示すように、シリコン単結晶基板５１に対してほぼ垂直にＮ型不純物をイオン注入し、浅いソース／ドレインのｎ型拡散層１０１を形成する。具体的に例えば、砒素を加速電圧５ｋｅＶ～１０ｋｅＶ、ドーズ量5×10^{14}／cm^2～1×10^{15}／cm^2にて注入する。

【００２６】次に、ＣＶＤ法によって、１０ｎｍ～５０ｎｍの膜厚のSi_3N_4膜を堆積し、異方性エッチングを用いてエッチバックすることにより、図１１に示すように、ゲート電極９１の側面にゲート側壁１１１を形成する。続いて、シリコン単結晶基板５１に対してほぼ垂直にＮ型不純物を、例えば、砒素を加速電圧５０ｋｅＶ～７０ｋｅＶ、ドーズ量5×10^{15}／cm^2でイオン注入し、深いソース／ドレイン領域となるn^+型拡散層１１２を形成する。次に、ソース／ドレイン不純物活性化のため、温度１０３５℃、時間１０秒のＲＴＡによる熱処理工程を行う。以上により、領域Ａ，Ｂに、シリコン酸化膜換算膜厚の異なるゲート絶縁膜を持つトランジスタＱ１，Ｑ２が形成される。

【００２７】次に、フッ酸によりシリコン単結晶基板５１及びゲート電極９１上部の酸化膜を除去した後、Ｃｏをスパッタによりウエハ全体に成膜して、ＲＴＡによる熱処理によって、図１２に示すように、ソース／ドレイン領域及びゲート電極９１上部にコバルトシリサイド膜１２１を形成する。余分なＣｏ膜は剥離する。更に、ＣＶＤ法によりシリコン酸化膜からなる層間絶縁膜１２２を成膜し、異方性エッチングによりコンタクトホール１２３を形成した後、アルミニウムをスパッタ法により成膜し、パターニングして配線１２４を形成する。

【００２８】以上のようにして、この実施の形態によれば、領域Ａ，Ｂに形成されるトランジスタＱ１，Ｑ２は、共にダイレクトトンネリング電流を抑止するに十分な厚さの物理膜厚を有しながら、シリコン酸化膜換算膜厚の異なるゲート絶縁膜をもって形成される。ゲート絶縁膜構造の相違から、領域Ａのトランジスタ Ｑ１は、領域Ｂのトランジスタ Ｑ２と比べて相対的に、ゲート耐圧や信頼性に劣るが、電流駆動能力が高いという特性の相違を持つ。

【００２９】ゲート絶縁膜は、高誘電体膜と、これと基板との間の反応層として形成される界面層の積層構造となっているが、これは予め領域Ａ，Ｂの基板表面状態を変化させることで、両者の界面層が異なる状態を実現している。しかも、基板表面状態を変化させるための処理は、領域Ａ，Ｂのチャネルイオン注入のためのマスクをそのまま用いて行うことができる。従って、トランジスタＱ１，Ｑ２が異種のゲート絶縁膜構造を持つとはいえ、製造プロセスは、イオン注入工程が１工程増えるだけであり、簡単である。

【００３０】この実施の形態での窒素イオン注入は、シリコン基板への窒素導入による酸化抑止効果を狙ったものであり、その必要とされる抑止効果の程度により注入加速電圧・ドーズ量は変更が可能である。図１３は、窒素ドーズ量と界面層厚の関係を示している。高誘電体絶縁膜の場合、絶縁膜の耐圧、信頼性は界面層の膜厚が厚いほど改善され、反面トランジスタの電流駆動力は、界面層の誘電率が低い事から、界面層厚が厚いほど低下するというトレードオフの関係にある。すなわち、窒素ドーズ量は、各トランジスタの必要とされる仕様を勘案して、任意に決定する事ができる。

【００３１】また、窒素の導入方法は、イオン注入に限られず、例えば窒素ラジカルによる基板窒化などでも構わない。

【００３２】また、実施の形態では、高誘電体膜８１としてTiO_2膜を用いたが、これに限らず、Al_2O_3、Ta_2O_3、ZrO_2、HfO_2、Y_2O_3、La_2O_3、CeO_2、PrO_2、Gd_2O_3、Sc_2O_3、$LaAlO_3$、$ZrTiO_4$、（Ｚｒ，Ｓｎ）TiO_4、$SrZrO_4$、$LaAl_3O_4$、$SrTiO_3$、$BaSrTiO_3$等の金属酸化膜或いは、これらのシリケート、もしくは、上述の金属酸化物とシリコン酸化膜、シリコン窒化膜及びAl_2O_3のなかから選ばれた少なくとも一種との混晶の形態でもよい。

【００３３】本実施の形態では、高誘電体膜形成にＤＣスパッタ法を用いているが、成膜法はこれに限るわけで

UMC 1002
UMC v. AICP

はなく、界面層を伴う高誘電体膜の成膜法であればよい。例えば、$TiCl_4$とO_2を用いたプラズマＣＶＤ法などでもよい。更に本実施の形態では、ゲート電極９１としてノンドープの多結晶シリコンを用いているが、これに限るわけではなく、不純物ドープの多結晶リシリコン、アモルファスシリコン、ＳｉＧｅ或いは金属等、他の導電性材料膜を用いうる。更に、Ｎ型不純物をＰ型不純物に、Ｐ型不純物をＮ型不純物に置き換えることにより、ＰチャネルＭＯＳトランジスタも同様に作成できる。

【００３４】［実施の形態２］この実施の形態では、高誘電体と基板との間に形成される界面層の膜質を、窒素ラジカルを用いた基板表面窒化にてコントロールし、異なった用途のトランジスタが所望とするゲート絶縁膜をより簡易に、同一基板上にて形成することに主眼を置いている。先の実施の形態１の図６に示した犠牲酸化膜６１の形成までは、実施の形態１と同じである。

【００３５】この後、図１４に示すように、領域Ｂ上に厚さ１μｍのレジストマスク１４１を形成し、領域Ａにしきい値電圧を調整するためのボロンを加速電圧１０ｋｅＶ～３０ｋｅｖ、ドーズ量5×10^{12}／cm^2～1×10^{13}／cm^2の条件でイオン注入する。次に、希フッ酸処理にて領域Ａの犠牲酸化膜６１を除去し、ラジカル窒素処理をN_2流量２００ｓｃｃｍ、圧力０．２５Ｔｏｒｒ、ＲＦ電力１００Ｗにて行う。これにより領域Ａに、薄いチャネルイオン注入層１４２及び物理膜厚１ｎｍのシリコン窒化膜１４３が形成される。

【００３６】次に、レジスト１４１を除去し、図１５に示すように、領域Ａを覆うレジストマスク１５１を形成して、領域Ｂにしきい値電圧を調整するためのボロンを加速電圧１０ｋｅＶ～３０ｋｅｖ、ドーズ量5×10^{12}／cm^2～1×10^{13}／cm^2の条件でイオン注入する。これにより領域Ｂに薄いチャネルイオン注入層１５２が形成される。

【００３７】この後、レジスト１５１を除去し、基板表面の汚染を除去する前処理を施した後、チャネルイオン注入層１４２、１５２の不純物を活性化させるアニールを、温度１０００℃、時間１０秒のＲＴＡにより行う。そして、希フッ酸処理により犠牲酸化膜６１を除去し、シリコン基板５１表面の水素終端処理を行なった後、図１６に示すように、高誘電体膜として厚さ５ｎｍのTiO_2膜１６１を成膜する。以後のプロセスは、実施の形態１と同じであるので、説明は省略する。

【００３８】この実施の形態においても、TiO_2膜スパッタ時の酸素プラズマ雰囲気、及び、ＲＴＡによるTiO_2からシリコン基板５１への酸素の拡散により、領域Ｂではシリコン基板表面が酸化され、２ｎｍ程度のシリコン酸化膜からなる界面層１６３が形成される。しかし、領域Ａではシリコン基板表面は、窒素ラジカル処理により形成された膜厚１ｎｍのシリコン窒化膜１４３がバリアとなり、新たな界面層成長は抑制され、シリコン窒化膜（又は酸窒化膜）１４３がそのまま界面層となる。また、シリコン窒化膜１４３及び界面層１６３は、TiO_2膜スパッタによる基板へのＴｉの物理的混入と、この後に行なわれる活性化アニールによって、それぞれ微量のＴｉが混入したシリコン窒化膜及びシリコン酸化膜となり、その誘電率はそれぞれ１０及び５程度になる。

【００３９】これにより、領域Ａ，Ｂのゲート絶縁膜は、物理膜厚としては５ｎｍ以上の膜厚を有しダイレクトトンネリング電流を十分に抑制できる。また、領域Ａ上にはシリコン窒化膜１４３を界面層に持つ酸化膜換算膜厚１．４ｎｍのゲート絶縁膜が、領域Ｂ上にはシリコン酸化膜を界面層にもつ酸化膜換算膜厚２．６ｎｍのゲート絶縁膜が、それぞれ形成される。

【００４０】この様に、領域Ａについて界面層としてシリコン窒化膜を用いると、酸化膜換算膜厚をさらに薄くできるため、トランジスタの駆動電流を増大させる事ができる反面、シリコン窒化膜のバンドギャップはシリコン酸化膜に比べ狭い為に、領域Ｂのそれに比べるとゲート絶縁膜の信頼性、耐圧は劣ることになる。

【００４１】この実施の形態における窒素ラジカル処理は、上述の条件に限られるわけではなく、ゲート絶縁膜が必要とする誘電率、耐圧の仕様により任意に決定する事ができる。またこの実施の形態でも、実施の形態１と同様に、高誘電体ゲート絶縁膜種類とその成膜法、ゲート電極の種類等に関して、他の形態を選択しても同様の効果が得られ。更に、Ｎ型不純物をＰ型不純物に、Ｐ型不純物をＮ型不純物に置き換えることにより、ＰＭＯＳトランジスタも同様に作成できる。

【００４２】［実施の形態３］この実施の形態では、高誘電体ゲート絶縁膜を有するトランジスタを形成するにあたり、ゲート電極加工時の界面層のエッチング量の制御により、より高速動作が可能なトランジスタと、より信頼性の高いトランジスタを同一基板上に形成する。

【００４３】この実施の形態の工程は、図５～図８までの工程が実施の形態１と同じである。図１７は、図８の工程の後、TiO_2膜８１上に、スパッタ法によりＴｉＮ膜を１００ｎｍ成膜し、これをパターニングしてゲート電極１７１を形成した状態を示している。ＴｉＮ膜の成膜の工程で、領域Ａ，Ｂには、それぞれ膜厚０．７ｎｍ、２ｎｍ程度の界面層１７２、１７３が形成される。この時、TiO_2膜スパッタによる基板へのＴｉの物理的混入と、後工程にて行なわれる活性化アニールによって、界面層１７２，１７３は微量のＴｉが混入したシリコン酸化膜となり、その誘電率は５程度になる。

【００４４】ゲート電極１７１は、電力１００Ｗ、圧力２０ｍＴｏｒｒの条件で、BCL_3，Cl_2及びN_2の混合ガスでＴｉＮ膜１７１及びＴｉＯ２膜８１をＲＩＥ（Ｒａｃｔｉｖｅ　Ｉｏｎ　Ｅｔｃｈｉｎｇ）によりエ

UMC 1002
UMC v. AICP

ッチングすることでパターン形成する。この時、ＴｉＮ膜１００ｎｍに対して４０％のオーバーエッチングを行うと、図１７に示したように、領域Ａではゲート電極１７１の領域以外の界面層１７２が完全に除去され、領域Ｂでは、界面層１７３が一部残された状態を得ることができる。これは、シリコン酸化膜系の界面層１７２，１７３とＴｉＮ膜のエッチング選択比が５０以上と大きいことと、界面層１７２の物理膜厚が界面層１７３の物理膜厚の１／３であることを利用して、制御可能である。

【００４５】この後のプロセスは、活性化アニール条件が８００℃、３０秒のＲＴＡである事以外は、実施の形態１と同様である。この実施の形態により、領域Ａのトランジスタは、ゲート電極脇のソース／ドレイン領域上に誘電率の高い界面層１７２が残らない構造となり、ソース／ドレインとゲート電極との間の寄生容量が低減されて、高速動作が可能となる。領域Ｂのトランジスタは、ゲート脇の領域に界面層１７３を残した構造とする事で、ゲート電極ＲＩＥ時のダメージが基板に入ることがなく、より信頼性が高いものとなる。

【００４６】この実施の形態でも、実施の形態１と同様に、高誘電体ゲート絶縁膜種類とその成膜法、ゲート電極の種類等に関して、他の態様を選択しても同様の効果が得られる。また、Ｎ型不純物をＰ型不純物に、Ｐ型不純物をＮ型不純物に置き換えることにより、ＰＭＯＳトランジスタも同様に作成できる。

【００４７】［実施の形態４］この実施の形態では、実施の形態２と実施の形態３を組み合わせる。図１６のTiO_2膜１６１を高誘電体ゲート絶縁膜として領域Ａ，Ｂ上に形成するまでは実施の形態２と同じである。

【００４８】図１８は、その後ゲート電極を形成した状態を示している。即ちTiO_2膜１６１上にスパッタ法によりゲート電極１８１となるＴｉＮ膜を１００ｎｍ成膜し、電力１００Ｗ、圧力２０ｍＴｏｒｒの条件で、BCL_3及びCl_2及びN_2の混合ガスでＴｉＮ膜１８１及びTiO_2膜１６１をＲＩＥ（Ｒａｃｔｉｖｅ　Ｉｏｎ　Ｅｔｃｈｉｎｇ）し、ゲート電極パターニングを行う。この時、シリコン酸・窒化膜系の界面層とＴｉＮ膜のエッチング選択比が５０以上と大きい事と、界面層１８２の膜厚が界面層１８３の膜厚の１／２である事を利用し、ＴｉＮ膜１００ｎｍに対して５０％のオーバーエッチングを施し、領域Ａでは界面層１８２は完全に除去し、領域Ｂでは界面層１８３が部分的に除去された状態を得る。この後のプロセスは、活性化アニール条件が８００℃、３０秒のＲＴＡである事以外は、実施の形態２と同様である。

【００４９】この実施の形態により、領域Ａのトランジスタは、ゲート脇の領域に誘電率の高い界面層１８２のない構造とする事でソース・ドレインとゲート電極の寄生容量を低減し、より高速動作が可能となる。また、領域Ｂのトランジスタは、ゲート脇の領域に界面層１８３を残した構造とする事で、ゲート電極ＲＩＥ時のダメージが基板に到達しないようにでき、より信頼性を高める事が可能となる。

【００５０】この実施の形態でも、実施の形態１と同様に、高誘電体ゲート絶縁膜種類とその成膜法、ゲート電極の種類等に関して、他の形態を選択しても同様の効果が得られる。また、Ｎ型不純物をＰ型不純物に、Ｐ型不純物をＮ型不純物に置き換えることにより、ＰＭＯＳトランジスタも同様に作成できる。

【００５１】［実施の形態５］次にこの発明をＤＲＡＭに適用した実施の形態を説明する。図１９は、ＤＲＡＭチップ１９０の概略ブロック構成を示している。ＤＲＡＭチップ１９０は、ＤＲＡＭセルアレイ１９１と、センスアンプ、デコーダ及びそれらの制御回路を含む周辺回路１９２と、外部とのデータ入出力を行う入出力回路とその制御回路及びチップ全体の制御回路を含むＩ／Ｏ回路部１９３と、電源電圧を供給する電源回路部１９４とから構成される。

【００５２】ＤＲＡＭセルアレイ１９１は、メモリ保持特性の向上及び高集積化の点から、リークが少なく信頼性の高いゲート酸化膜及び低いサブスレッショルド係数が要求される。サブスレッショルド係数の低減にはしきい値電圧を高くとる事が必要であり、十分な駆動電流を確保する為には高い電源電圧が必要となる。すなわち、ＤＲＡＭセルアレイ１９１のゲート絶縁膜としては、先の特性に加え高耐圧であることも要求される。

【００５３】電源回路部１９４は、外部から高電圧が入力される為、そのゲート絶縁膜には高耐圧性が要求される。ＤＲＡＭ周辺回路１９２及びＩ／Ｏ回路部１９３では、増幅特性の向上、高速動作の必要から、高駆動力である事が要求される。

【００５４】以上を考慮してこの実施の形態では、ＤＲＡＭセルアレイ１９１は、実施の形態１における領域ＢのトランジスタQ_2をセルトランジスタとして構成し、周辺回路１９２は、実施の形態１における領域ＡのトランジスタQ_1を構成素子として構成する。更に好ましくは、Ｉ／Ｏ回路部１９３は、周辺回路１９２と同じ領域Ａのトランジスタ構成を用い、電源回路部１９４はセルアレイ１９１と同じ領域Ｂのトランジスタ構成を用いる。

【００５５】この結果、ＤＡＲＭセルアレイ１９１及び電源回路部１９４のゲート絶縁膜の信頼性、リーク特性、及び耐圧を犠牲にすることなく、ＤＲＡＭ周辺回路１９２及びＩ／Ｏ回路部１９３の増幅特性、高速動作性の向上が可能となる。また、ＤＲＡＭ周辺回路１９２及びＩ／Ｏ回路部１９３に、実施の形態３における領域Ａのトランジスタ構成を適用し、ＤＲＡＭセルアレイ１９１及び電源回路部１９４に、領域Ｂのトランジスタ構成を適用することも可能である。これによると、領域Ｂのトランジスタにおいては、ゲートエッジのＲＩＥダメー

UMC 1002
UMC v. AICP

ジが入らない事により、ドレイン耐圧が向上し、信頼性の高いＤＲＡＭセルアレイを得ることができる。

【００５６】更に、実施の形態２，４の領域Ａのトランジスタ構成を、周辺回路１９２、Ｉ／Ｏ回路１９３に適用し、領域Ｂのトランジスタ構成を、セルアレイ１９１及び電源回路部１９４に適用しても同様に、各回路部の好ましい性能が得られる。

【００５７】［実施の形態６］次にこの発明を論理ＬＳＩに適用した実施の形態を説明する。図２０は、ＣＭＯＳ論理ＬＳＩのブロック構成を示している。ＬＳＩチップ２００は、ＣＭＯＳロジック回路部２０１と、これと外部との入出力回路、その制御回路及びチップ全体の制御回路を含むＩ／Ｏ回路部２０２と、電源電圧を供給する電源回路部２０３とから構成される。

【００５８】ロジック回路部２０１を構成するトランジスタは、動作周波数向上の観点から、最も高駆動力を必要とされる為、ここで用いられるゲート絶縁膜は酸化膜換算膜厚の薄膜化を最も強く要求される。そこで、実施の形態２を適用して、その領域Ａのトランジスタ構成を用いてロジック回路部２０１を形成し、領域Ｂのトランジスタ構成を用いて、Ｉ／Ｏ回路部２０２及び電源回路部２０３を形成する。

【００５９】この結果、電源回路部２０３及びＩ／Ｏ回路部２０２のゲート絶縁膜の信頼性、リーク特性、及び耐圧を犠牲にすることなく、ロジック回路部２０１の高速動作性の向上が得られる。更に、実施の形態４の領域Ａのトランジスタ構成を用いてロジック回路部２０１を、領域Ｂのトランジスタ構成を用いてＩ／Ｏ回路部２０２及び電源回路部２０３を形成するのも好ましい。この場合、領域Ａのトランジスタは、ゲートとソース・ドレイン間の寄生容量が低減されるから、ロジック回路部２０２は、更に高駆動力のトランジスタにより高性能を得ることができる。

【００６０】更に、実施の形態１，３の領域Ａのトランジスタ構成を、ロジック回路部２０１に適用し、領域Ｂのトランジスタ構成を、Ｉ／Ｏ回路部２０２及び電源回路部２０３に適用しても同様に、各回路部の好ましい性能が得られる。

【００６１】［実施の形態７］次に、ＤＲＡＭ混載ロジックＬＳＩにこの発明を適用した実施の形態を説明する。この実施の形態の場合には、高誘電体ゲート絶縁膜を３つの回路領域で作り分ける。より具体的には、ロジック回路部のゲート絶縁膜の界面層としては、駆動力の向上を目的に薄膜シリコン窒化膜を、Ｉ／Ｏ回路部の界面層としては、駆動力と信頼性を兼ね備えた特性を得る目的で薄いシリコン酸化膜を、ＤＲＡＭセルアレイ及び電源回路部の界面層としては、信頼性と耐圧の向上を目的に厚いシリコン酸化膜を用いる。また好ましくは、ＤＲＡＭセルアレイ及び電源回路部では、ゲートエッジ部に界面層が残る構造を用いる。

【００６２】図２１は、この実施の形態のＤＲＡＭ混載ロジックＬＳＩのブロック構成を示している。ＬＳＩチップ２１０に、ロジック回路２１６、ＤＲＡＭセルアレイ２１７、Ｉ／Ｏ回路２１５及び電源回路部２１９が形成される。これらの回路部が、ゲート絶縁膜の構成によって、図示のように領域Ａ１，Ａ２，Ｂの３つに分けられる。

【００６３】具体的に、各領域のトランジスタ形成工程を図２２～図２７を参照して説明する。図２２に示すように、シリコン単結晶基板２１１上に、ロジック回路部２１６を構成するトランジスタ領域Ａ１、Ｉ／Ｏ回路部２１５を構成するトランジスタ領域Ａ２、及びＤＲＡＭセルアレイ２１７と電源回路部２１９のトランジスタ領域Ｂに、それぞれＰウエル２２２，２２１，２２３を形成する。そして、ＳＴＩ（Ｓｈａｌｌｏｗ　Ｔｒｅｎｃｈ　Ｉｓｏｌａｔｉｏｎ）法により、素子分離領域２２４を形成し、領域Ａ１，Ａ２，Ｂを区画する。

【００６４】次に、図２３に示すように、２５ｎｍの犠牲酸化膜２３１を熱処理温度９００℃、Ｏ２雰囲気による熱処理で形成し、その後、領域Ａ１，Ｂ上に厚さ１μｍのレジストマスク２３２を形成して、領域Ａ１にしきい値電圧を調整するためのボロンを注入加速電圧１０ｋｅＶ～３０ｋｅｖ、注入ドーズ量５×10^{12}／ｃｍ^2～１×10^{13}／ｃｍ^{2}の条件でイオン注入し、しかる後に、同一マスクにて連続して窒素を注入加速電圧５ｋｅＶ、注入ドーズ量５×10^{14}／ｃｍ^{2}の条件でイオン注入する。これにより領域Ａ１に、薄いチャネルイオン注入層２３４及び窒素導入領域２３３が形成される。

【００６５】この後レジスト２３２を剥離した後、図２４に示すように、領域Ａ１，Ｂにレジストマスク２４１を形成し、領域Ａ２にしきい値電圧を調整するためのボロンを注入加速電圧１０ｋｅＶ～３０ｋｅｖ、注入ドーズ量５×10^{12}／ｃｍ^2～１×10^{13}／ｃｍ^{2}の条件でイオン注入する。これにより領域Ａ２に薄いチャネルイオン注入層２４２が形成される。次に、希フッ酸処理にて領域Ａ２の犠牲酸化膜２３１を除去し、この領域Ａ２にラジカル窒素処理をN_2流量２００ｓｃｃｍ、圧力０．２５Ｔｏｒｒ、ＲＦ電力１００Ｗにて行なう。これにより領域Ａ２に物理膜厚１ｎｍのシリコン窒化膜２４３が形成される。

【００６６】この後、レジスト２４１を除去した後、図２５に示すように、領域Ａ１，Ａ２を覆うレジストマスク２５１を形成し、領域Ｂにしきい値電圧を調整するためのボロンを注入加速電圧１０ｋｅＶ～３０ｋｅｖ、注入ドーズ量５×10^{12}／ｃｍ^2～１×10^{13}／ｃｍ^{2}の条件でイオン注入する。これにより領域Ｂに薄いチャネルイオン注入層２５２が形成される。

【００６７】この後、レジスト２５１を除去し、基板表面の汚染を除去する前処理を施した後、チャネルイオン注入層２３４，２４２，２５２、窒素導入領域２３３の

UMC 1002
UMC v. AICP

不純物を活性化させるアニールを、熱処理温度１０００℃、熱処理時間１０秒のＲＴＡにより行なう。そして、希フッ酸処理により犠牲酸化膜２３１の除去、及び、シリコン基板２２１表面の水素終端処理を行なった後、TiO_2焼結ターゲットを用いたＤＣスパッタ法により厚さ５ｎｍのTiO_2膜２６１を高誘電体ゲート絶縁膜として形成する。この時のスパッタ条件は、電力＝３００Ｗ、圧力＝１Ｐａ、Ａｒ／O_2流量＝２２／１．２ｓｃｍである。

【００６８】この時、領域Ａ１，Ｂには、それぞれ膜厚０．７ｎｍ、２ｎｍ程度の界面層２６２、２６３が形成される。領域Ａ２のシリコン基板表面は、窒素ラジカル処理により形成された膜厚１ｎｍのシリコン窒化膜２４３により界面層の成長は殆ど抑制される。また、窒化膜２４３及び界面層２６２、２６３は、TiO_2膜スパッタによる基板へのＴｉの物理的混入と、この後に行なわれる活性化アニールによって、それぞれ微量のＴｉが混入したシリコン窒化膜及びシリコン酸化膜となり、その誘電率はそれぞれ１０及び５程度に増加する。

【００６９】次に、図２７に示すように、ＴｉＯ２膜２６１上にスパッタ法によりゲート電極２７１としてＴｉＮ膜を１００ｎｍ成膜する。そして、電力１００Ｗ、圧力２０ｍＴｏｒｒの条件で、BCL_3，Cl_2及びN_2の混合ガスでＴｉＮ膜２７１及びＴｉＯ２膜２６１をＲＩＥ（Ｒａｃｔｉｖｅ　Ｉｏｎ　Ｅｔｃｈｉｎｇ）によりエッチングして、ゲート電極をパターニングする。この時、シリコン酸・窒化膜系の界面層とＴｉＮ膜のエッチング選択比が５０以上と大きい事と、窒化膜２４３、界面層２６２、２６３の膜厚が異なる事を利用し、ＴｉＮ膜１００ｎｍに対して５０％のオーバーエッチングを施して、領域Ａ２及びＡ１の窒化膜２４３及び界面層２６２はゲート電極２７１の外側では完全に除去され、領域Ｂの界面層２６３は部分的に残る状態を得る。この後のプロセスは、活性化アニール条件が８００℃、３０秒のＲＴＡである事以外は、実施の形態２と同様とする。

【００７０】この結果、ＤＡＲＭセルアレイ２１７及び電源回路部２１９のトランジスタは、シリコン酸化膜換算膜厚が最も厚いゲート絶縁膜となり、高い信頼性、良好なリーク特性、及び、高い耐圧が実現できる。Ｉ／Ｏ回路部２１５のトランジスタは、セルアレイよりシリコン酸化膜換算膜厚が薄いが、ロジック回路部２１６よりは厚く、信頼性、リーク特性を犠牲にすることなく高駆動力性が得られる。ロジック回路部２１６では、シリコン酸化膜換算膜厚の最も薄いゲート絶縁膜となり、高速動作性を得る事が可能になる。

【００７１】なお、高周波アナログ回路等のように、高耐圧と共に高速動作性も要求されるトランジスタに関しては、この実施の形態７の領域Ｂのゲート絶縁膜構造を基本として、その界面層２６３が、ゲート電極以外の部分で完全に除去されたものとして、ゲートとドレイン・ソース電極間の寄生容量を低減することが望ましい。

【００７２】［実施の形態８］次に、ｐチャネルＭＯＳトランジスタ（以下、ＰＭＯＳトランジスタ）とｎチャネルＭＯＳトランジスタ（以下、ＮＭＯＳトランジスタ）により構成されるＣＭＯＳ回路でのＰＭＯＳトランジスタとＮＭＯＳトランジスタのゲート幅アンバランスを解消する実施の形態を説明する。従来のように、同一ゲート絶縁膜を用いてＰＭＯＳトランジスタとＮＭＯＳトランジスタを含むＣＭＯＳ回路を形成した場合、ＰＭＯＳトランジスタは電流駆動力がＮＭＯＳトランジスタのそれの半分であるため、両者の駆動電流を揃えるためには、ＰＭＯＳトランジスタのゲート幅をＮＭＯＳトランジスタのそれの２倍程度にすること必要である。これはＣＭＯＳ回路の設計を不自由にしていた。

【００７３】これに対してこの実施の形態では、高誘電体膜をゲート絶縁膜に用い、且つ高誘電体膜と基板との間に形成される界面層の膜厚を、ＮＭＯＳトランジスタ側で厚く、ＰＭＯＳトランジスタ側で薄くなるようにして、両者の電流駆動力を揃える。図２８～図３１を参照してその製造工程を説明する。

【００７４】図２８に示すように、シリコン基板２８０のＰＭＯＳトランジスタを形成する領域Ａにｎ型ウェル２８１を形成し、ＮＭＯＳトランジスタを形成する領域にｐ型ウェル２８２を形成する。そして、ＳＴＩにより素子分離絶縁膜２８３を形成して、領域Ａ，Ｂを区画する。

【００７５】次に、２５ｎｍの犠牲酸化膜２８４を、処理温度９００℃、Ｏ２雰囲気での熱処理により形成する。そして、領域Ｂをレジストマスク（図示せず）で覆い、領域Ａにしきい値調整のためのイオン注入を行う。例えば、リンを加速電圧１０ｋｅＶ～３０ｋｅＶ、ドーズ量5×10^{12}～1×10^{13}／cm^2の条件でイオン注入する。続いて同じレジストマスクを用いて、窒素を、加速電圧５ｋｅＶ、ドーズ量$5\times10^{14}$$cm^2$の条件でイオン注入する。これにより、領域Ａには、薄いチャネルイオン注入層２８５と窒素導入領域２８６が形成される。

【００７６】この後、レジストを剥離して改めて、領域Ａを覆うレジストマスクを形成し、領域Ｂにイオン注入を行う。具体的に、ボロンを加速電圧１０ｋｅＶ～３０ｋｅＶ、ドーズ量5×10^{12}～1×10^{13}／cm^2の条件でイオン注入する。これにより、領域Ｂに、薄いチャネルイオン注入層２８７が形成される。

【００７７】この後、レジストを除去し、基板表面の汚染を除去する前処理を施した後、チャネルイオン注入層２８５，２８７及び窒素導入領域２８６の不純物を活性化するアニールを、温度１０００℃、処理時間１０秒のＲＴＡにより行う。以下、実施の形態１と同様の工程でゲート絶縁膜、ゲート電極形成を行う。

【００７８】これにより、図２９に示すように、領域Ａ

UMC 1002
UMC v. AICP

では、TiO_2膜２８８と界面層２８９の積層構造のゲート絶縁膜上にゲート電極２９１が形成され、領域Ｂでは、TiO_2膜２８８と界面層２９０の積層構造のゲート絶縁膜上にゲート電極２９１が形成される。領域Ｂの界面層２９０は成長して、最終的に２ｎｍ程度となり、領域Ａでは、窒素導入領域２８６により酸素の基板中への拡散が抑制される結果、界面層２８９の成長は抑制されて、最終的におよそ０．７ｎｍとなる。

【００７９】以上により、ＰＭＯＳトランジスタ領域Ａでは、酸化膜換算膜厚１．６ｎｍのゲート絶縁膜が、ＮＭＯＳトランジスタ領域Ｂでは、酸化膜換算膜厚２．６ｎｍのゲート絶縁膜が得られる。この結果、ＰＭＯＳトランジスタとＮＭＯＳトランジスタのゲート幅の比Ｗｐ／Ｗｎを、１／０．８として、電流駆動力を揃えることができる。

【００８０】この実施の形態において、窒素イオン注入に代えて、実施の形態２におけるように窒素ラジカル処理を行うこともできる。これにより、ＰＭＯＳトランジスタの領域Ａには、シリコン窒化膜を界面層として持つ酸化膜換算膜厚１．４ｎｍのゲート絶縁膜が得られ、ＮＭＯＳトランジスタの領域Ｂには、シリコン酸化膜を界面層として持つ酸化膜換算膜厚２．６ｎｍのゲート絶縁膜が得られる。この場合、ＰＭＯＳトランジスタとＮＭＯＳトランジスタのゲート幅の比Ｗｐ／Ｗｎを、１／０．９として、電流駆動力を揃えることができる。

【００８１】［実施の形態９］次に、界面層形成のための窒素イオン注入を、ゲート電極膜形成後にゲート電極膜を通して行う実施の形態を説明する。ゲート絶縁膜形成前に基板の窒化処理を行った場合、高誘電体絶縁膜堆積後の高温結晶化アニール時に、雰囲気中の巻き込み酸素や高誘電体絶縁膜に含まれる余剰酸素が基板に拡散して基板を酸化し、界面層の成長を促進する。また、ゲート電極に多結晶シリコンのような酸化されやすい膜を用いると、ゲート電極とゲート絶縁膜の界面にも界面層が形成され、酸化膜換算膜厚の増加を招く。

【００８２】そこでこの実施の形態では、基板／高誘電体絶縁膜界面に形成される界面層を、窒素イオン注入による基板表面の窒化によりコントロールする場合に、ゲート電極膜が形成された後に窒素イオン注入を行い、ゲート電極及び高誘電体絶縁膜にも窒素を導入する。これにより、酸素に対するバリア性を高めて、界面層の成長を効果的に抑制する。

【００８３】具体的に、図３０～図３３を参照して製造工程を説明する。図３０に示すように、シリコン基板３００のトランジスタ形成領域Ａ，Ｂにそれぞれｐ型ウェル３０１，３０２を形成する。そして、ＳＴＩにより素子分離絶縁膜３０３を埋め込んで、領域Ａ，Ｂを区画する。

【００８４】次に、図３１に示すように、２５ｎｍの犠牲酸化膜３０４を、処理温度９００℃、Ｏ２雰囲気での熱処理により形成する。そして、領域Ａ，Ｂに、しきい値調整のためのイオン注入を行う。例えば、ボロンを加速電圧１０ｋｅＶ～３０ｋｅＶ、ドーズ量5×10^{12}～1×10^{13}／cm^2の条件でイオン注入してチャネルイオン注入層３０５，３０６を形成する。

【００８５】この後、犠牲酸化膜３０４を除去して、図３２に示すように、高誘電体絶縁膜であるTiO_2膜３２２を形成し、その上に多結晶シリコン膜３２１を堆積する。そして、領域Ｂをレジストマスク３２０で覆って、窒素イオン注入を行い、領域Ａに窒素イオン注入領域３２３を形成する。このときTiO_2膜３２２にも窒素が導入されて、これがＴｉＯｘＮｙ膜となる。

【００８６】その後、レジストマスクを除去し、図３３に示すように、多結晶シリコン膜３２１とＴｉＯｘＮｙ膜３２２をエッチングしてゲート電極を形成する。そして、ＴｉＯｘＮｙ膜３２２の結晶化のために、温度９００℃、時間３０秒のＲＴＡ処理を行う。これにより、領域Ｂでは、ＴｉＯｘＮｙ膜３２２からの酸素の拡散によりシリコン酸化膜からなる界面層３２５が形成される。領域Ａでは、窒素イオン注入による基板の耐酸化性向上と、高誘電体絶縁膜の窒化による、基板への拡散バリア性の向上により、領域Ｂに比べて薄い界面層３２４が形成される。

【００８７】この実施の形態によると、高誘電体絶縁膜への窒素導入により、領域Ａでの界面層３２４の成長をより抑制することができる。また、高誘電体膜は窒素の導入により誘電率が上がり、領域Ａではゲート絶縁膜の酸化膜換算膜厚をより薄くすることができる。

【００８８】［実施の形態１０］次に、高誘電体絶縁膜の決結晶化アニールの際に、アニール雰囲気に含まれる巻き込み酸素等の微量酸素や高誘電体絶縁膜に含まれる余剰酸素を、選択的に耐酸化性の低い材料膜に吸収させることによって、基板／高誘電体絶縁膜界面の界面層成長をコントロールする実施の形態を説明する。この実施の形態では基板の窒化は行わない。

【００８９】図３４に示すように、シリコン基板３４０のトランジスタ形成領域Ａ，Ｂにそれぞれｐ型ウェル３４１，３４２を形成する。そして、ＳＴＩにより素子分離絶縁膜３４３を埋め込んで、領域Ａ，Ｂを区画する。次に、２５ｎｍの犠牲酸化膜３４４を、処理温度９００℃、Ｏ２雰囲気での熱処理により形成する。そして、領域Ａ，Ｂに、しきい値調整のためのイオン注入を行う。例えば、ボロンを加速電圧１０ｋｅＶ～３０ｋｅＶ、ドーズ量5×10^{12}～1×10^{13}／cm^2の条件でイオン注入してチャネルイオン注入層３４５，３４６を形成する。

【００９０】この後、図３５に示すように、高誘電体絶縁膜であるTiO_2膜３５１を形成し、その上に多結晶シリコン膜３５２を堆積する。そして、多結晶シリコン膜３５２を領域Ａには残し、領域Ｂではエッチングして

UMC 1002
UMC v. AICP

除去する。この状態で、高誘電体絶縁膜の結晶化熱処理を、９００℃，３０秒のＲＴＡにより行う。このとき、領域Ｂでは、TiO_2膜３５１からの酸素拡散により、基板表面は酸化されて界面層３５４が形成される。領域Ａでは、TiO_2膜中の余剰酸素はその上の多結晶シリコン膜３５２に吸収されて消費される結果、基板界面の酸化は抑制され、領域Ｂに比べて薄い界面層３５３が形成される。

【００９１】この後、多結晶シリコン膜３５０は燐酸処理により除去し、更にフッ酸処理により酸化物を除去した後、改めて多結晶シリコン膜を堆積してゲート電極を形成する。

【００９２】この実施の形態によっても、ダイレクトトンネリング電流を十分に抑制できる物理膜厚を有し、且つ同一基板上で酸化膜換算膜厚の異なるゲート絶縁膜を持つトランジスタを形成することができる。

【００９３】

【発明の効果】以上述べたようにこの発明によれば、高誘電体膜によりゲート絶縁膜を形成する際に、その界面状態を制御することにより、ゲート絶縁膜構造の異なる複数のトランジスタをそれぞれ最適特性を持って作り分けることができる。

【図面の簡単な説明】

【図１】第１の従来例の高誘電体ゲート絶縁膜を持つトランジスタの製造工程における素子分離工程を示す断面図である。

【図２】同トランジスタの製造工程におけるチャネルイオン注入工程を示す断面図である。

【図３】同トランジスタのゲート電極形成工程を示す断面図である。

【図４】第２の従来例の高誘電体ゲート絶縁膜を持つトランジスタの製造工程における図２対応の工程を示す断面図である。

【図５】この発明の実施の形態１に係るトランジスタの製造方法における素子分離工程を示す断面図である。

【図６】同実施の形態１の領域Ａに対するチャネルイオン注入及び窒素イオン注入の工程における断面図である。

【図７】同実施の形態１の領域Ｂに対するチャネルイオン注入工程における断面図である。

【図８】同実施の形態１の高誘電体ゲート絶縁膜形成工程の断面図である。

【図９】同実施の形態１のゲート電極形成工程の断面図である。

【図１０】同実施の形態１のソース、ドレイン領域へのイオン注入工程の断面図である。

【図１１】同実施の形態１のゲート側壁形成及びソース、ドレイン領域へのイオン注入工程の断面図である。

【図１２】同実施の形態１の層間絶縁膜形成及び配線形成工程を示す断面図である。

【図１３】同実施の形態１における窒素イオン注入による基板の酸化抑止効果を示す図である。

【図１４】この発明の実施の形態２による領域Ａに対するチャネルイオン注入及びラジカル窒化工程を示す断面図である。

【図１５】同実施の形態２の領域Ｂに対するチャネルイオン注入工程を示す断面図である。

【図１６】同実施の形態２の高誘電体ゲート絶縁膜形成工程を示す断面図である。

【図１７】この発明の実施の形態３によるゲート電極パターニング工程を示す断面図である。

【図１８】この発明の実施の形態４によるゲート電極パターニング工程を示す断面図である。

【図１９】この発明を適用したＤＲＡＭチップのブロック構成を示す図である。

【図２０】この発明を適用したＣＭＯＳロジックＬＳＩのブロック構成を示す図である。

【図２１】この発明を適用したＤＲＡＭ混載ロジックＬＳＩのブロック構成を示す図である。

【図２２】この発明の実施の形態７の素子分離工程を示す断面図である。

【図２３】同実施の形態７の領域Ａ１に対するチャネルイオン注入及び窒素イオン注入の工程を示す断面図である。

【図２４】同実施の形態７の領域Ａ２に対するチャネルイオン注入及びラジカル窒化の工程を示す断面図である。

【図２５】同実施の形態７の領域Ｂに対するチャネルイオン注入工程を示す断面図である。

【図２６】同実施の形態７の高誘電体ゲート絶縁膜形成工程を示す断面図である。

【図２７】同実施の形態７のゲート電極パターニング工程を示す断面図である。

【図２８】他の実施の形態８のチャネルイオン注入及び窒素イオン注入の工程を示す図である。

【図２９】同実施の形態８のゲート電極形成工程を示す図である。

【図３０】他の実施の形態９のウェル形成と素子分離工程を示す図である。

【図３１】同実施の形態９のチャネルイオン注入工程を示す図である。

【図３２】同実施の形態９のゲート電極膜形成後の窒素イオン注入工程を示す図である。

【図３３】同実施の形態９のゲート電極形成工程を示す図である。

【図３４】他の実施の形態１０のチャネルイオン注入工程を示す図である。

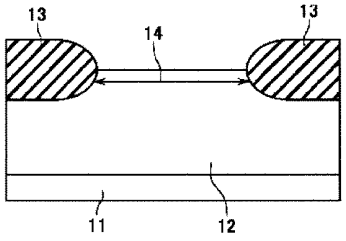
【図３５】同実施の形態１０の高誘電体ゲート絶縁膜形成工程を示す図である。

【符号の説明】

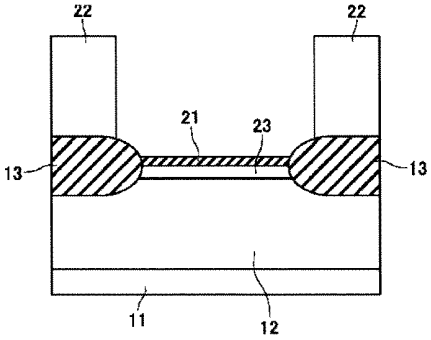
UMC 1002
UMC v. AICP

５１…シリコン単結晶基板、５２，５３…Ｐウェル、５４…素子分離領域、６１…熱酸化膜、６２…レジストマスク、６３…チャネルイオン注入領域、６４…窒素イオン注入領域、７１…レジストマスク、７２…チャネルイオン注入領域、８１…高誘電体膜、８２，８２ａ，８３，８３ａ…界面層、９１…ゲート電極、１０１…浅いソース、ドレイン拡散層、１１２…深いソース、ドレイン拡散層、１２１…シリサイド膜、１２２…層間絶縁膜、１２３…配線、１４１…レジストマスク、１４２…チャネルイオン注入層、１４３…窒化膜（界面層）、１５１…レジストマスク、１５２…チャネルイオン注入層、１６１…高誘電体膜、１６３…界面層、１７１…ゲート電極、１７２，１７３…界面層、１８１…ゲート電極、１８２，１８３…界面層、１９０…ＤＲＡＭチップ、１９１…ＤＲＡＭセルアレイ、１９２…周辺回路、１９３…Ｉ／Ｏ回路、１９４…電源回路、２００…ロジックＬＳＩチップ、２０１…ロジック回路、２０２…Ｉ／Ｏ回路、２０３…電源回路、２１０…ＤＲＡＭ混載ロジックＬＳＩチップ、２１５…Ｉ／Ｏ回路、２１６…ロジック回路、２１７…ＤＲＡＭセルアレイ、２１９…電源回路、２１１…シリコン単結晶基板、２２１，２２２，２２３…Ｐウェル、２２４…素子分離領域、２３１…熱酸化膜、２３２…レジスタマスク、２３３…窒素導入領域、２３４…チャネルイオン注入領域、２４１…レジスタマスク、２４２…チャネルイオン注入領域、２４３…窒化膜、２５２…チャネルイオン注入領域、２６１…高誘電体膜、２６２，２６３…界面層、２７１…ゲート電極、２８０…シリコン単結晶基板、２８１…ｎ型ウェル、２８２…ｐ型ウェル、２８３…素子分離絶縁膜、２８４…犠牲酸化膜、２８６…窒素導入領域、２８７…チャネルイオン注入層、２８８…ＴｉＯ２膜、２８９…界面層、２９０…界面層、３００…シリコン単結晶基板、３０１…ｐ型ウェル、３０２…ｎ型ウェル、３０３…素子分離絶縁膜、３０４…犠牲酸化膜、３０５…チャネルイオン注入層、３０６…チャネルイオン注入層、３２０…レジストマスク、３２１…多結晶シリコン膜、３２２…ＴｉＯ２膜、３２３…窒素イオン注入領域、３２４…界面層、３２５…界面層、３４０…シリコン単結晶基板、３４１…ｐ型ウェル、３４２…ｐ型ウェル、３４３…素子分離絶縁膜、３４４…犠牲酸化膜、３４５…チャネルイオン注入層、３４６…チャネルイオン注入層、３５１…ＴｉＯ２膜、３５２…多結晶シリコン膜、３５３…界面層、３５４…界面層。

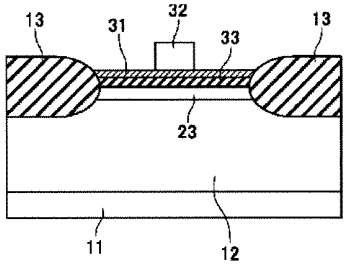
【図１】



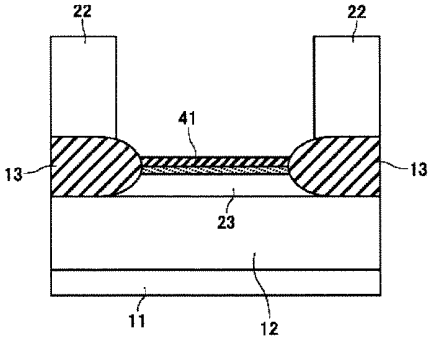
【図２】



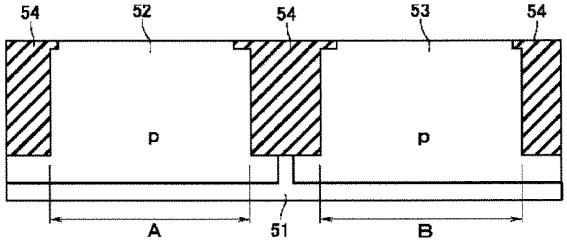
【図３】



【図４】

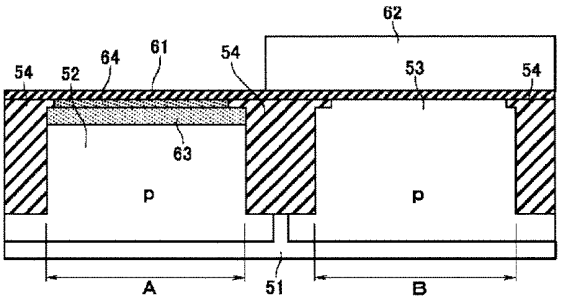


【図５】

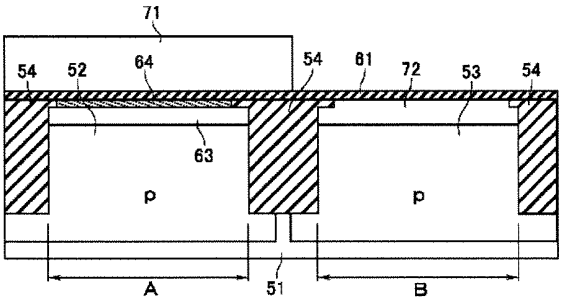


UMC 1002
UMC v. AICP

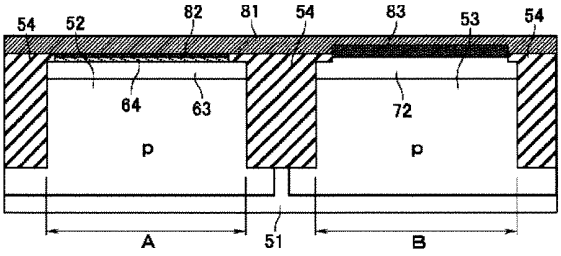
【図６】



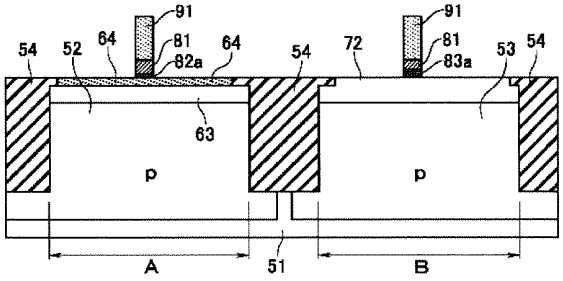
【図７】



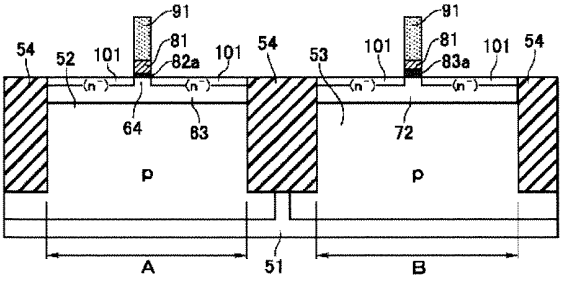
【図８】



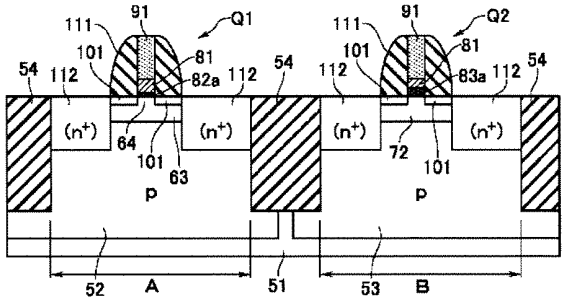
【図９】



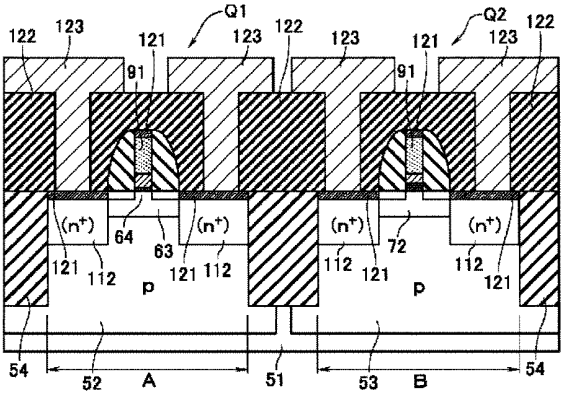
【図１０】



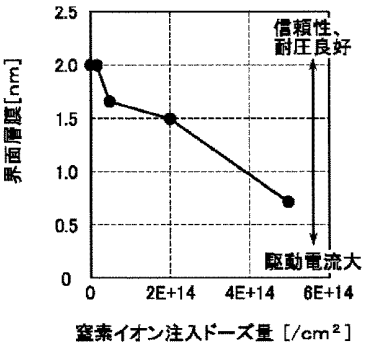
【図１１】



【図１２】

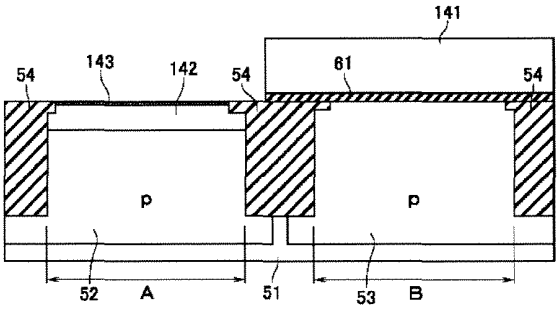


【図１３】

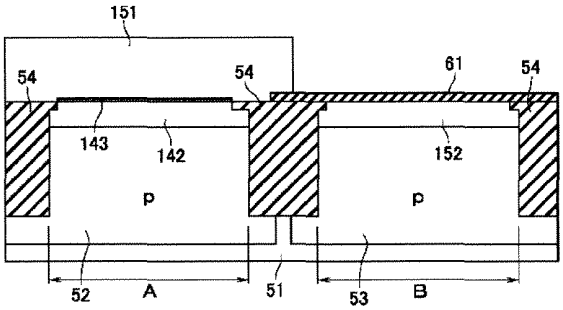


UMC 1002
UMC v. AICP

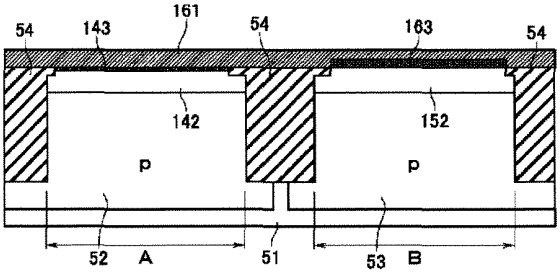
【図１４】



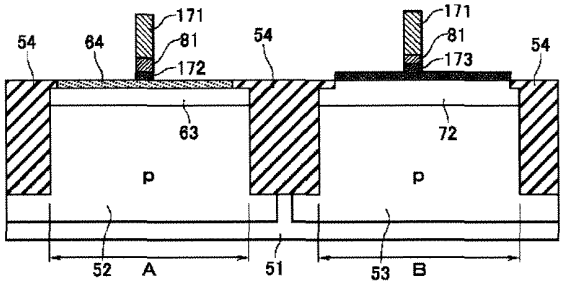
【図１５】



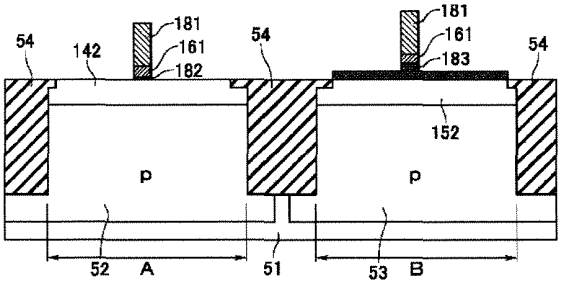
【図１６】



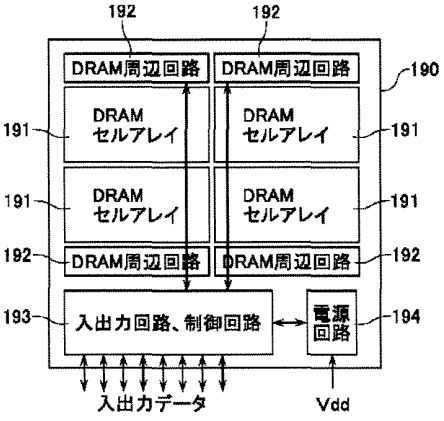
【図１７】



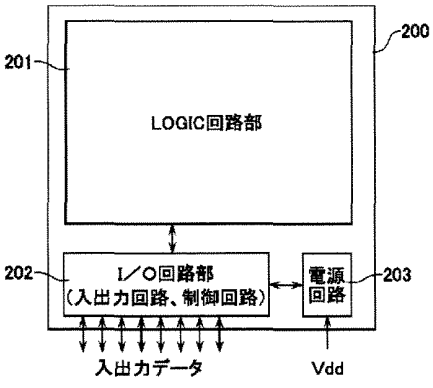
【図１８】



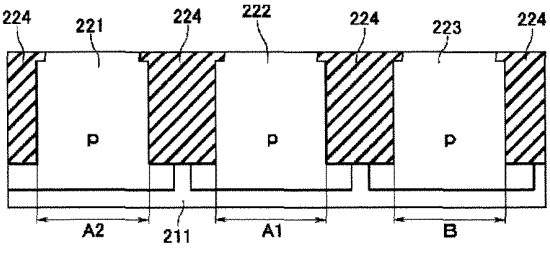
【図１９】



【図２０】

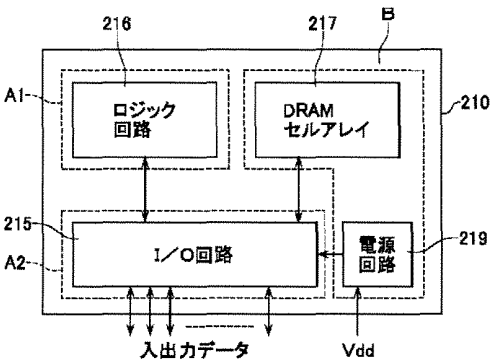


【図２２】

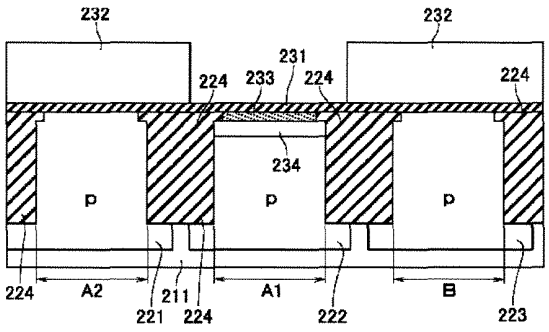


UMC 1002
UMC v. AICP

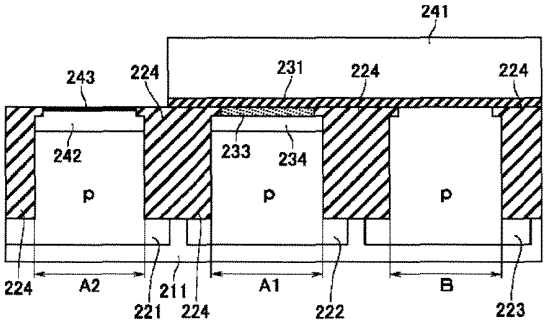
【図２１】



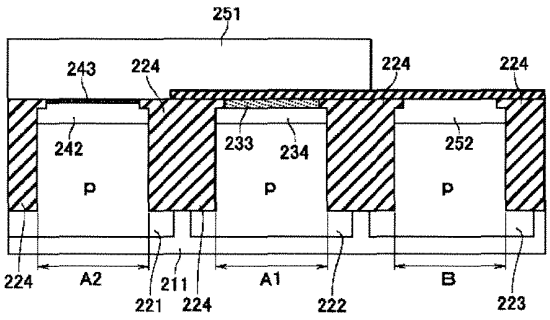
【図２３】



【図２４】

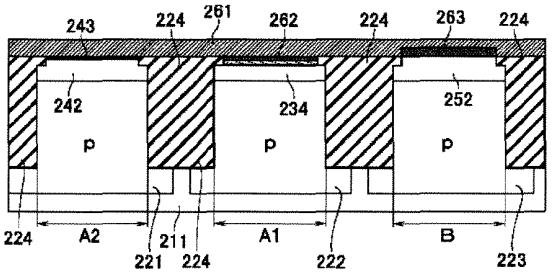


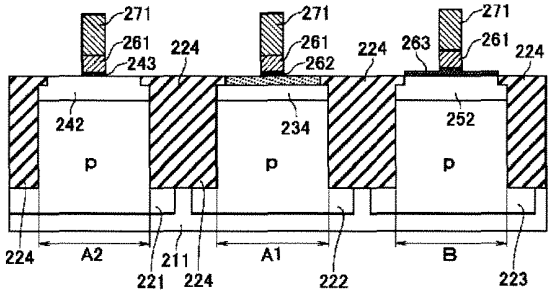
【図２５】



【図２６】

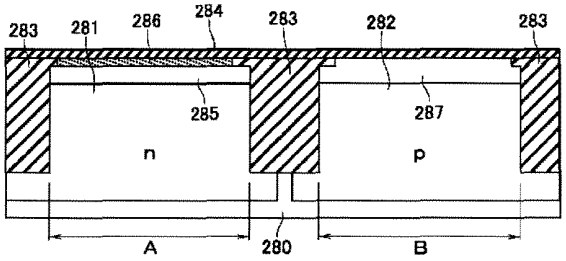
【図２７】

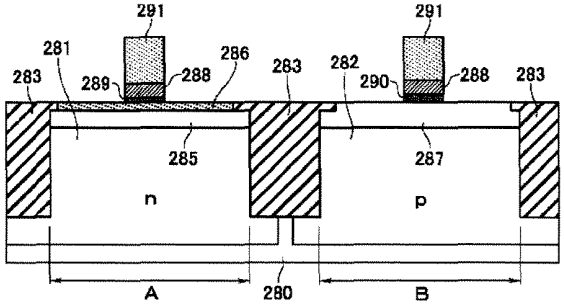




【図２８】

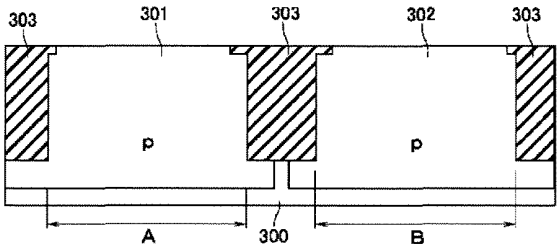
【図２９】



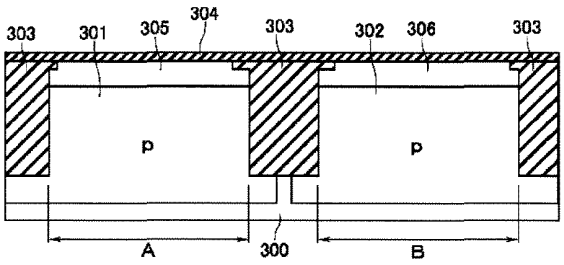


UMC 1002
UMC v. AICP

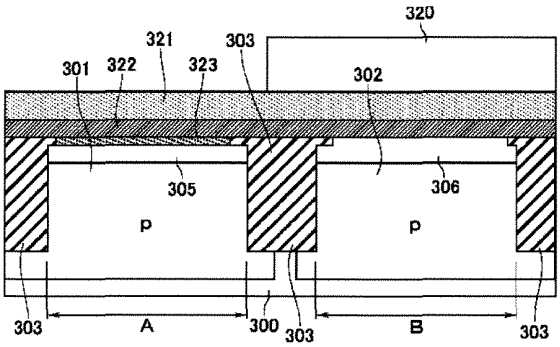
【図３０】



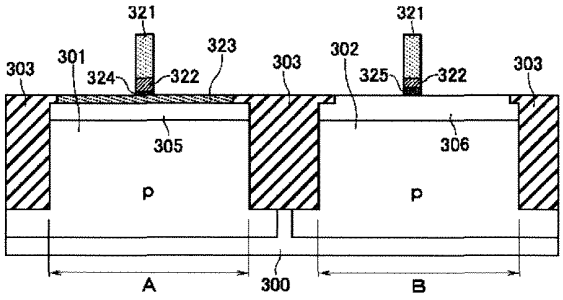
【図３１】



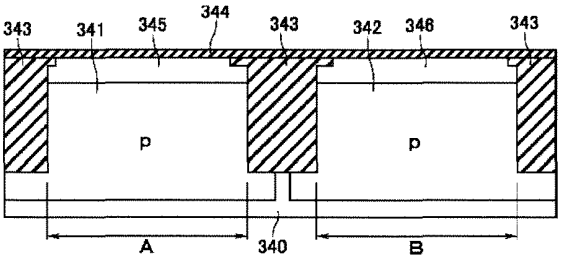
【図３２】



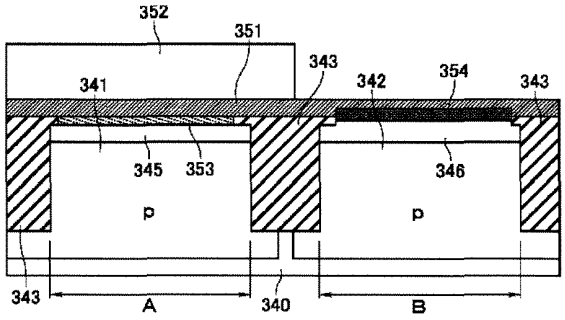
【図３３】



【図３４】



【図３５】



フロントページの続き

Ｆターム(参考) 5F048 AB01 AC01 BA01 BB05 BB11
BB12 BB16 BB17 BB18 BE03
BG01 BG13 DA27
5F083 JA02 JA14 JA15 JA35 JA40
NA01 PR34 PR36 PR39 ZA12

UMC 1002
UMC v. AICP

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **08-306797**
(43)Date of publication of application : **22.11.1996**

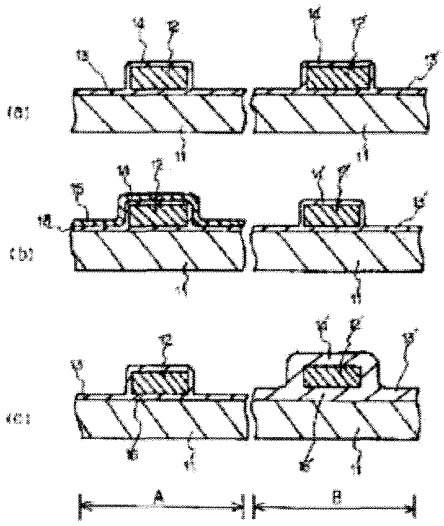
(51)Int.Cl. H01L 21/8234
H01L 27/088
H01L 21/32

(21)Application number : **07-137259**
(22)Date of filing : **11.05.1995**

(71)Applicant : **RICOH CO LTD**
(72)Inventor : **FUKUSHIMA YASUSHI**

(54) FABRICATION OF SEMICONDUCTOR DEVICE

(57)Abstract:
PURPOSE: To deposit a gate oxide having two kinds of thickness by forming an anti-oxidation layer covering only a semiconductor substrate in a first forming region and a gate electrode and forming a bird's beak between a second forming region and the gate electrode by wet oxidation.
CONSTITUTION: Gate electrodes 12, 12' are formed in regions A, B. Insulating oxide layers 14, 14' are also formed around the gate electrodes 12, 12'. After depositing nitride 15 by about 100nm as an anti-oxidation layer, the nitride is removed selectively from the region B. Silicon oxide is then deposited on a semiconductor substrate 11 in the region B by wet oxidation. Consequently, the insulating oxide layer 14' becomes thick on the surface and side face of the gate electrode 12' but a bird's beak is formed between the gate electrode 12' and the semiconductor substrate 11 and thereby a gate oxide layer 16' has a thickness of 12-16nm. With such method, semiconductor elements having gate oxide layer of different thickness can be fabricated on a same semiconductor substrate.



(19)日本国特許庁（ＪＰ）　(12)**公開特許公報**（Ａ）　(11)特許出願公開番号

特開平8－306797

(43)公開日　平成８年(1996)11月22日

(51)Int.Cl.[6]	識別記号	庁内整理番号	ＦＩ		技術表示箇所
Ｈ０１Ｌ 21/8234			Ｈ０１Ｌ 27/08	１０２Ｃ	
27/088			21/32		
21/32					

審査請求　未請求　請求項の数２　ＦＤ　（全　４　頁）

(21)出願番号　特願平7－137259

(22)出願日　平成７年(1995)５月11日

(71)出願人　000006747
株式会社リコー
東京都大田区中馬込１丁目３番６号

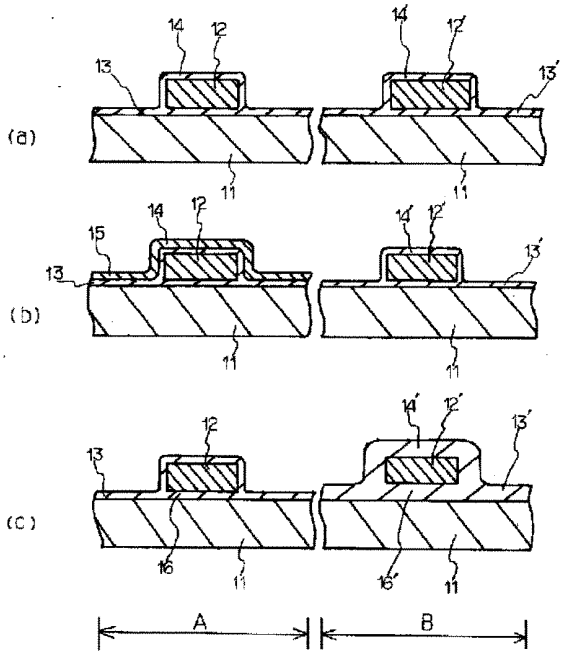
(72)発明者　福島　康
東京都大田区中馬込１丁目３番６号　株式会社リコー内

(54)【発明の名称】　半導体装置の製造方法

(57)【要約】

【目的】　ゲート酸化膜の初期耐圧劣化や長期的信頼性の劣化等の不具合を伴うことなく、２種類の膜厚のゲート酸化膜を有する半導体装置を製造する。

【構成】　半導体基板１１に膜厚１１ｎｍの絶縁膜を形成し、その上にポリシリコン膜を膜厚３５０ｎｍ程度形成後、リンをドープし、これをパターニングしてゲート電極１２，１２′を形成する。次にドライ酸化を行い、半導体基板１１上にさらに膜厚１１ｎｍのシリコン酸化膜を形成する。このとき、ゲート電極１２，１２′の周りにも絶縁酸化膜１４，１４′が形成される（図１（ａ））。次に、領域Ａにのみを窒化膜１５で覆い（図１（ｂ））、ウェット酸化処理を行う。このとき、領域Ｂではゲート電極１２′の周りの絶縁酸化膜１４′が厚膜化すると共に、ゲート電極１２′の下にバーズビークが生じ、結局ゲート酸化膜１６′の膜厚は１２～１６ｎｍ程度となる。一方、領域Ａでは窒化膜１５の存在によりゲート酸化膜１６の膜厚は最初の１１ｎｍのままとなる。



UMC 1002
UMC v. AICP

【特許請求の範囲】
【請求項１】　同一の半導体基板上に異なる膜厚のゲート酸化膜を有する半導体装置を製造する方法であって、
半導体基板の全面に、ゲート酸化膜となる絶縁層を形成する工程と、
この絶縁層上の全面に、ゲート電極となる導電層を形成する工程と、
この導電層をパターニングして、第１の形成領域および第２の形成領域にそれぞれゲート電極を形成する工程と、
ドライ酸化によって、第１および第２の形成領域のゲート電極ならびに半導体基板を覆うように絶縁膜を形成する工程と、
第１の形成領域の半導体基板とゲート電極とを覆うように耐酸化性膜を形成する工程と、
全面に酸化絶縁膜を形成するためのウェット酸化処理工程と、
第１の形成領域の耐酸化性膜を除去する工程とを含み、
前記ウェット酸化処理工程によって第２の形成領域のゲート電極と半導体基板との間にバーズビークを発生させることで、この第２の形成領域のゲート酸化膜の膜厚を厚膜化したことを特徴とする半導体装置の製造方法。
【請求項２】　前記耐酸化性膜は窒化膜であることを特徴とする請求項１記載の半導体装置の製造方法。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】本発明はゲート酸化膜を有する半導体素子を含む半導体装置の製造方法に係り、特に同一の半導体基板上に異なる膜厚のゲート酸化膜をもつ素子を有する半導体装置の製造方法に関する。
【０００２】
【従来の技術】従来、この種の半導体の製造方法としては、例えば特開平４－１０３１６２号公報あるいは特開平３－５５８７６号公報に開示されているようないくつかの方法がある。
【０００３】第１の方法は、特開平４－１０３１６２号公報に従来技術（第４図）として記載されたものであり、図２に示すような工程で構成される。まず、図２（ａ）に示すように、ＮまたはＰ型の半導体基板２１の主面を熱酸化させ、膜厚ｔ１の絶縁膜（シリコン酸化膜）２２を全面（領域ＡおよびＢ）に形成する。次に、図２（ｂ）に示すように、絶縁膜２２上にマスクとしてのレジスト２３を選択的に領域Ａにのみ形成した後、ウェットエッチングを行い、レジスト２３に覆われていない領域Ｂの絶縁膜２２を除去する。次に、領域Ａのレジスト２３を除去した後、図２（ｃ）に示すように、再び熱酸化により膜厚ｔ２の絶縁膜２４を全面に形成する。これにより、領域Ａには膜厚（ｔ１＋ｔ２）、領域Ｂには膜厚ｔ２のゲート酸化膜が形成される。これ以降は通常のＭＯＳ製造工程による。すなわち、図２（ｄ）に示すように、絶縁膜２４上にポリシリコン（多結晶シリコン）膜２５を形成した後、このポリシリコン膜２５をパターニングしてゲート電極とし、このゲート電極と自己整合的に半導体基板２１表面近傍に不純物拡散領域を形成してソース／ドレイン領域とする。
【０００４】第２の方法は、上記特開平４－１０３１６２号公報の第１図に示された方法である。すなわち、膜厚ｔ１のゲート酸化膜の上にゲート電極となるポリシリコン膜を形成し、マスクとしてのレジストを形成後、レジストに覆われていないポリシリコン膜およびゲート酸化膜を除去する。次に、熱酸化により膜厚ｔ２のゲート酸化膜を形成し、その上にポリシリコンを形成する。膜厚ｔ１のゲート酸化膜領域の上層のポリシリコンと酸化膜とを除去する。これにより、膜厚ｔ１とｔ２のゲート酸化膜をもつＭＯＳトランジスタが形成できる。
【０００５】第３の方法は、特開平３－５５８７６号公報に示された方法である。すなわち、ゲート酸化を行う前にトランジスタ形成領域の一部に窒化膜を形成しておく。酸化により窒化膜と半導体基板との間に酸化膜のバーズビークが入る。窒化膜の除去後、そのバーズビーク状の酸化膜上にゲート酸化膜電極を形成すると、薄いゲート酸化膜をもつＭＯＳトランジスタが形成される。また、窒化膜を形成しなかった領域にゲート酸化膜電極を形成すると、厚いゲート酸化膜をもつＭＯＳトランジスタが形成される。
【０００６】
【発明が解決しようとする課題】上記第１の方法では、絶縁膜を選択的に除去する際に、この絶縁膜上にマスクとしてのレジストを直接形成している。しかし、レジストは一般にアルカリ金属や重金属等を多く含有しているため、レジストが直接的に接する絶縁膜は、初期耐圧の劣化という影響を与える。また、レジストの除去は、酸素（O_2）プラズマを利用した灰化処理によって行われ、絶縁膜がプラズマに直接曝されるので、この場合にも初期耐圧の劣化という影響を受ける。したがって、長期的にみた場合に、デバイスとしての信頼性が劣化するという問題があった。
【０００７】本発明はかかる問題点に鑑みてなされたもので、その目的は、ゲート酸化膜の初期耐圧劣化や長期的信頼性の劣化等の不具合を伴うことなく、２種類の膜厚のゲート酸化膜を有する半導体装置を製造できる半導体装置の製造方法を提供することにある。
【０００８】
【課題を解決するための手段】請求項１記載の半導体装置の製造方法では、同一の半導体基板上に異なる膜厚のゲート酸化膜を有する半導体装置を製造する方法において、半導体基板の全面に、ゲート酸化膜となる絶縁層を形成する工程と、この絶縁層上の全面に、ゲート電極となる導電層を形成する工程と、この導電層をパターニングして、第１の形成領域および第２の形成領域にそれぞ

れゲート電極を形成する工程と、ドライ酸化によって、第１および第２の形成領域のゲート電極ならびに半導体基板を覆うように絶縁膜を形成する工程と、第１の形成領域の半導体基板とゲート電極とを覆うように耐酸化性膜を形成する工程と、全面に酸化絶縁膜を形成するためのウェット酸化処理工程と、第１の形成領域の耐酸化性膜を除去する工程とを含ませ、前記ウェット酸化処理工程によって第２の形成領域のゲート電極と半導体基板との間にバーズビークを発生させ、この第２の形成領域のゲート酸化膜の膜厚を厚膜化させることで前記目的を達成する。

【０００９】請求項２記載の半導体装置の製造方法では、前記耐酸化性膜を窒化膜で構成することで前記目的を達成する。

【００１０】

【作用】本発明に係る半導体装置の製造方法では、半導体基板上に形成した絶縁膜上の第１および第２の形成領域にそれぞれゲート電極を形成し、これらをすべて覆うように絶縁膜を形成すると共に、第１の形成領域の半導体基板およびゲート電極のみを覆うように耐酸化性膜（窒化膜）を形成し、さらにウェット酸化処理を行って第２の形成領域のゲート電極と半導体基板との間にバーズビークを生じさせることにより、第２の形成領域のゲート酸化膜の膜厚を厚膜化させることができる。一方、第１の形成領域のゲート酸化膜は、窒化膜の存在により元の膜厚が維持される。

【００１１】

【実施例】以下、本発明の好適な実施例を図１を参照して詳細に説明する。図１は、本発明の一実施例に係る半導体装置の製造方法を表すものである。まず、図１（ａ）に示すように、熱酸化処理によりＮまたはＰ型の半導体基板（シリコン基板）１１上の全面（領域ＡおよびＢ）に、膜厚が１１ｎｍのシリコン酸化膜を形成したのち、その上にゲート電極となるポリシリコン膜をＣＶＤ等によって膜厚３５０ｎｍ程度形成し、このポリシリコン膜にリン等の不純物をドープする。

【００１２】そして、ポリシリコン膜を写真製版によってパターニングし、領域Ａと領域Ｂにそれぞれゲート電極１２，１２′を形成する。その後、ドライ酸化処理を行い、半導体基板１１上にゲート酸化膜厚と同じ膜厚１１ｎｍのシリコン酸化膜１３，１３′（絶縁酸化膜）を形成する。このとき、ゲート電極１２，１２′の周り（上面および側面）にもそれぞれ絶縁酸化膜１４，１４が形成される。

【００１３】次に、図１（ｂ）に示すように、全面に、耐酸化性膜としての窒化膜（例えばSi_3N_4）１５を１００ｎｍ程度堆積した後、選択的に領域Ｂの窒化膜のみを除去する。

【００１４】次に、ウェット酸化処理により、領域Ｂの半導体基板１１上にさらに３０ｎｍのシリコン酸化膜を形成する。このとき、領域Ｂでは、図１（ｃ）に示すように、ウェット酸化処理によって、ゲート電極１２′の上および側面の絶縁酸化膜１４′が厚膜化するが、ゲート電極１２′と半導体基板１１との間にはバーズビークが生じるため、結局、半導体基板１１とゲート電極１２′とによって挟まれたゲート酸化膜１６′の膜厚は１２～１６ｎｍ程度となる。一方、領域Ａの絶縁酸化膜１３とゲート電極１２とは耐酸化性膜である窒化膜１５によって覆われているので、領域Ａの半導体基板１１とゲート電極１２とは酸化されず、窒化膜１５上に酸化膜は形成されない。もちろん、ゲート酸化膜１６の膜厚は、最初の工程で形成された１１ｎｍのままである。

【００１５】次に、領域Ａにおける窒化膜１５を除去することによって図１（ｃ）に示す状態となる。それ以降は、通常のＭＯＳトランジスタの形成工程を行う。すなわち、ゲート電極１２，１２′に接する半導体基板１１の表面近傍の所定範囲に、これらのゲート電極と自己整合的に不純物拡散領域をドープしてソース／ドレイン領域を形成し、さらに層間絶縁膜を形成後、コンタクト形成、金属配線層の形成およびそのパターニング等の工程を経てＭＯＳトランジスタが完成する。なお、領域Ｂの厚いゲート酸化膜をもつＭＯＳトランジスタのゲート長（すなわちソース／ドレイン間の距離）は０．８μｍ以下であることが好適である。

【００１６】このように、本実施例の製造方法では、ゲート酸化膜となるシリコン酸化膜に直接レジストを塗布することがないので、レジスト中に含まれるアルカリ金属や重金属等の影響を受けることなく、異なるゲート酸化膜をもつＭＯＳトランジスタを同一半導体基板上に形成することが可能となる。

【００１７】

【発明の効果】以上説明したように、本発明に係る半導体装置の製造方法によれば、半導体基板上に形成した絶縁膜上の第１および第２の形成領域にそれぞれゲート電極を形成し、これらをすべて覆うように絶縁膜を形成すると共に、第１の形成領域の半導体基板およびゲート電極のみを覆うように耐酸化性膜（窒化膜）を形成し、さらにウェット酸化処理を行って第２の形成領域のゲート電極と半導体基板との間にバーズビークを生じさせるようにしたので、第２の形成領域のゲート酸化膜の膜厚のみを厚膜化させることができる。これらの工程では、ゲート酸化膜にレジストが直接接触することがないので、レジスト中のアルカリ金属や重金属等の影響を受けることがなく、また、ゲート酸化膜がプラズマに直接曝されることもない。したがって、初期耐圧の劣化および長期的にみたデバイスの信頼性の劣化という問題を排除しつつ、異なる膜厚のゲート酸化膜をもつ半導体素子を同一半導体基板上に形成することが可能となる。

【図面の簡単な説明】

【図１】本発明の一実施例に係る半導体装置の製造方法

UMC 1002
UMC v. AICP

を表す工程図である。

【図２】従来の半導体装置の製造方法を表す工程図である。

【符号の説明】

１１　半導体基板

１２，１２′　ゲート電極

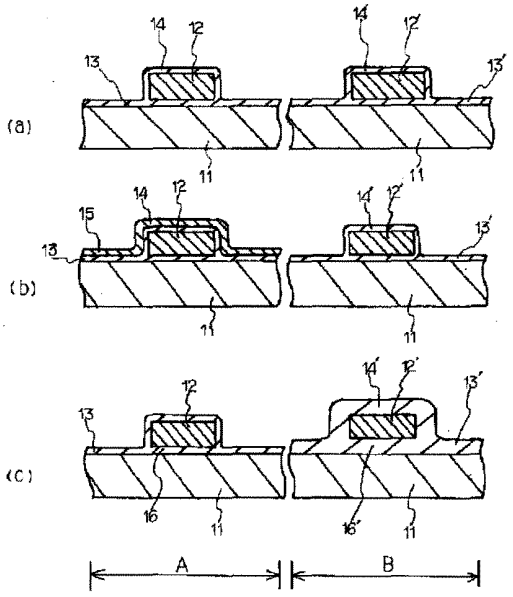
１３，１３′　絶縁酸化膜

１４，１４′　絶縁酸化膜

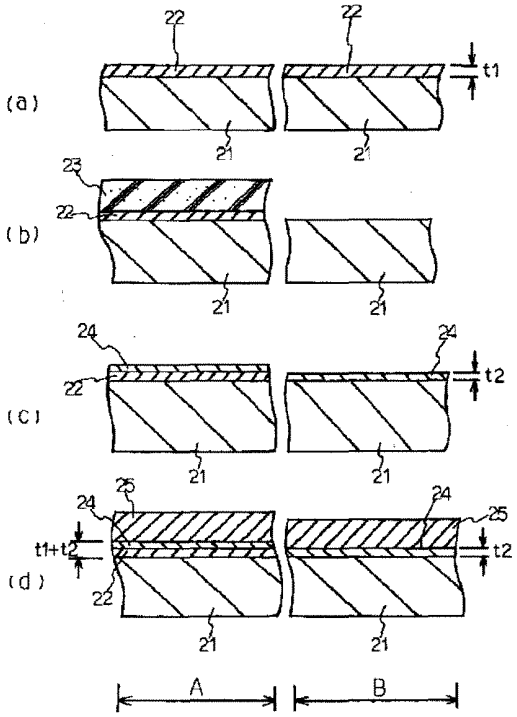
１５　窒化膜（耐酸化性膜）

１６，１６′　ゲート酸化膜

【図１】



【図２】



UMC 1002
UMC v. AICP

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/002868

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/8234(2006.01)i, *H01L21/8238*(2006.01)i, *H01L27/088*(2006.01)i, *H01L27/092*(2006.01)i, *H01L29/423*(2006.01)i, *H01L29/49*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/8234, H01L21/8238, H01L27/088, H01L27/092, H01L29/423, H01L29/49

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011
Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2003-100896 A (Toshiba Corp.), 04 April 2003 (04.04.2003), entire text; all drawings (Family: none)	1 2-19
X A	JP 2004-079606 A (Fujitsu Ltd.), 11 March 2004 (11.03.2004), entire text; all drawings (Family: none)	1 2-19
X A	JP 2004-140197 A (NEC Electronics Corp.), 13 May 2004 (13.05.2004), entire text; all drawings & US 2004/0082130 A1 entire text; all drawings	1 2-19

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
16 August, 2011 (16.08.11)	23 August, 2011 (23.08.11)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (July 2009)

UMC 1002
UMC v. AICP

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/002868

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 08-306797 A (Ricoh Co., Ltd.), 22 November 1996 (22.11.1996), entire text; all drawings (Family: none)	1-19
A	JP 2004-534401 A (Koninklijke Philips Electronics N.V.), 11 November 2004 (11.11.2004), entire text; all drawings & US 2003/0045058 A1 entire text; all drawings & EP 1459377 A & WO 2003/005439 A2 & TW 569339 B	1-19
A	JP 08-255881 A (Texas Instruments Inc.), 01 October 1996 (01.10.1996), entire text; all drawings & US 5595922 A entire text; all drawings & EP 713249 A1	1-19
A	JP 2010-161308 A (Toshiba Corp.), 22 July 2010 (22.07.2010), entire text; all drawings & US 2010/0176456 A1 entire text; all drawings	1-19
A	JP 2010-157641 A (Renesas Technology Corp.), 15 July 2010 (15.07.2010), entire text; all drawings & US 2010/0164007 A1 entire text; all drawings & CN 101771048 A & KR 10-2010-0080412 A	1-19
A	JP 2005-536053 A (Freescale Semiconductor Inc.), 24 November 2005 (24.11.2005), entire text; all drawings & US 2004/0032001 A1 entire text; all drawings & WO 2004/017403 A1 & KR 10-2005-0054920 A & CN 1675759 A	1-19

Form PCT/ISA/210 (continuation of second sheet) (July 2009)

UMC 1002
UMC v. AICP

特許協力条約

PCT

国際調査報告

（法８条、法施行規則第40、41条）
［ＰＣＴ18条、ＰＣＴ規則43、44］

出願人又は代理人 M11-182CT1-2 の書類記号 P611097P0	今後の手続きについては、様式ＰＣＴ／ＩＳＡ／２２０ 及び下記５を参照すること。	
国際出願番号 ＰＣＴ／ＪＰ２０１１／００２８６８	国際出願日 (日.月.年) ２４．０５．２０１１	優先日 (日.月.年) １４．０９．２０１０
出願人（氏名又は名称） パナソニック株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条（ＰＣＴ18条）の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

１．国際調査報告の基礎
ａ．言語に関し、この国際調査は以下のものに基づき行った。
☑ 出願時の言語による国際出願
☐ 出願時の言語から国際調査のための言語である＿＿＿＿＿＿ 語に翻訳された、この国際出願の翻訳文（ＰＣＴ規則12.3(a)及び23.1(b)）

ｂ．☐ この国際調査報告は、ＰＣＴ規則91の規定により国際調査機関が認めた又は国際調査機関に通知された明らかな誤りの訂正を考慮して作成した（ＰＣＴ規則43.6の2(a)）。

ｃ．☐ この国際出願は、ヌクレオチド又はアミノ酸配列を含んでいる（第Ｉ欄参照）。

２．☐ 請求の範囲の一部の調査ができない（第Ⅱ欄参照）。

３．☐ 発明の単一性が欠如している（第Ⅲ欄参照）。

４．発明の名称は
☑ 出願人が提出したものを承認する。
☐ 次に示すように国際調査機関が作成した。

＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿

５．要約は
☑ 出願人が提出したものを承認する。
☐ 第Ⅳ欄に示されているように、法施行規則第47条第１項（ＰＣＴ規則38.2）の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から１月以内にこの国際調査機関に意見を提出することができる。

６．図面に関して
ａ．要約書とともに公表される図は、
第 9 図とする。
☑ 出願人が示したとおりである。
☐ 出願人は図を示さなかったので、国際調査機関が選択した。
☐ 本図は発明の特徴を一層よく表しているので、国際調査機関が選択した。

ｂ．☐ 要約とともに公表される図はない。

UMC 1002
Page 110 of 339
UMC v. AICP

国際調査報告

国際出願番号 PCT／JP2011／002868

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/8234(2006.01)i, H01L21/8238(2006.01)i, H01L27/088(2006.01)i, H01L27/092(2006.01)i, H01L29/423(2006.01)i, H01L29/49(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/8234, H01L21/8238, H01L27/088, H01L27/092, H01L29/423, H01L29/49

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922－1996年
日本国公開実用新案公報	1971－2011年
日本国実用新案登録公報	1996－2011年
日本国登録実用新案公報	1994－2011年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー＊	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X A	JP 2003-100896 A (株式会社東芝) 2003.04.04, 全文, 全図 (ファミリーなし)	1 2-19
X A	JP 2004-079606 A (富士通株式会社) 2004.03.11, 全文, 全図 (ファミリーなし)	1 2-19
X A	JP 2004-140197 A (NECエレクトロニクス株式会社) 2004.05.13, 全文, 全図 & US 2004/0082130 A1, 全文, 全図	1 2-19

☑ C欄の続きにも文献が列挙されている。　☐ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
16. 08. 2011	23. 08. 2011

国際調査機関の名称及びあて先	特許庁審査官（権限のある職員）	4L	3125
日本国特許庁（ISA／JP） 郵便番号100－8915 東京都千代田区霞が関三丁目4番3号	宇多川 勉 電話番号 03－3581－1101 内線 3498		

様式PCT／ISA／210（第2ページ）（2009年7月）

UMC 1002
UMC v. AICP

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 08-306797 A（株式会社リコー）1996.11.22，全文，全図（ファミリーなし）	1-19
A	JP 2004-534401 A（コーニンクレッカ　フィリップス　エレクトロニクス　エヌ　ヴィ）2004.11.11，全文，全図 & US 2003/0045058 A1，全文，全図 & EP 1459377 A & WO 2003/005439 A2 & TW 569339 B	1-19
A	JP 08-255881 A（テキサス　インスツルメンツ　インコーポレイテッド）1996.10.01，全文，全図 & US 5595922 A，全文，全図 & EP 713249 A1	1-19
A	JP 2010-161308 A（株式会社東芝）2010.07.22，全文，全図 & US 2010/0176456 A1，全文，全図	1-19
A	JP 2010-157641 A（株式会社ルネサステクノロジ）2010.07.15，全文，全図 & US 2010/0164007 A1，全文，全図 & CN 101771048 A & KR 10-2010-0080412 A	1-19
A	JP 2005-536053 A（フリースケール　セミコンダクター　インコーポレイテッド）2005.11.24，全文，全図 & US 2004/0032001 A1，全文，全図 & WO 2004/017403 A1 & KR 10-2005-0054920 A & CN 1675759 A	1-19

UMC 1002
UMC v. AICP

Electronic Patent Application Fee Transmittal

Application Number:	
Filing Date:	
Title of Invention:	SEMICONDUCTOR DEVICE
First Named Inventor/Applicant Name:	Satoru ITO
Filer:	Michael E. Fogarty/Grace Jamison
Attorney Docket Number:	085393-0941

Filed as Large Entity

Utility under 35 USC 111(a) Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Utility application filing	1011	1	390	390
Utility Search Fee	1111	1	620	620
Utility Examination Fee	1311	1	250	250
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				

UMC 1002
UMC v. AICP

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				
Miscellaneous:				
		Total in USD ($)		**1260**

Electronic Acknowledgement Receipt

EFS ID:	14117925
Application Number:	13665305
International Application Number:	
Confirmation Number:	6981
Title of Invention:	SEMICONDUCTOR DEVICE
First Named Inventor/Applicant Name:	Satoru ITO
Customer Number:	53080
Filer:	Michael E. Fogarty/Grace Jamison
Filer Authorized By:	Michael E. Fogarty
Attorney Docket Number:	085393-0941
Receipt Date:	31-OCT-2012
Filing Date:	
Time Stamp:	16:51:16
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Deposit Account
Payment was successfully received in RAM	$1260
RAM confirmation Number	4262
Deposit Account	500417
Authorized User	
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows: Charge any Additional Fees required under 37 C.F.R. Section 1.17 (Patent application and reexamination processing fees)	

UMC 1002
UMC v. AICP

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		SPEC_085393-0941.pdf	254125 93c48bbd738d2a48ad24cfaf0d076a43d478d44c	yes	29

Multipart Description/PDF files in .zip description

Document Description	Start	End
Specification	1	24
Claims	25	28
Abstract	29	29

Warnings:

Information:

2	Drawings-only black and white line drawings	DRW_085393-0941.pdf	240182 5e149850a107d507ac5196529f5035f631275d23	no	13

Warnings:

Information:

3	Transmittal of New Application	TRN_085393-0941.pdf	61660 9e5886e4591dde7d30f97c067a0ccea7d626127a	no	3

Warnings:

Information:

4	Power of Attorney	POA_085393-0941.pdf	90792 f4b7f7307ea9c57f70a7f4e529d45b80f6a4b7c8	no	2

Warnings:

Information:

5	Application Data Sheet	ADS.pdf	874563 12113e046cd5d81c132a4fff74a5f1a12c4e7586	no	7

Warnings:

Information:

6	Oath or Declaration filed	DEC_085393-0941.pdf	290940 1af0489a9907bc70b2454856cd22914218a0ff97	no	4

Warnings:

Information:

7	Miscellaneous Incoming Letter	371docs.pdf	750839 d97c9ecef5d7379ce9117b6424fdeb1cdbf563d3	no	16

UMC 1002
UMC v. AICP

Warnings:					
Information:					
8		IDS_085393-0941.pdf	108380 4dc7efc464095ea43085f2f6cab2ddf20947ba11	yes	4
	Multipart Description/PDF files in .zip description				
	Document Description		**Start**	**End**	
	Transmittal Letter		1	2	
	Information Disclosure Statement (IDS) Form (SB08)		3	4	
Warnings:					
Information:					
9	Foreign Reference	JP2004079606.pdf	637539 447b8e00551052ee4fe91e4250b1b48f446e4bcd	no	20
Warnings:					
Information:					
10	Foreign Reference	JP2009123944.pdf	1051782 39fea8e86cd1306f0f2f9f4628bd08d26d8b0020	no	29
Warnings:					
Information:					
11	Foreign Reference	JP2003100896.pdf	914329 1a85af2b99dbc8f99de38922d5c814c4d3f9526b	no	17
Warnings:					
Information:					
12	Foreign Reference	JP08306797.pdf	241941 f0b9cdccffa73178efff4d4a728dfec1dc0754c1	no	5
Warnings:					
Information:					
13	Non Patent Literature	SchramNPL.pdf	207876 d5dab3454b1475fff92af408448f72e8b8d70852	no	2
Warnings:					
Information:					
14	Non Patent Literature	ISR.pdf	264617 c8eb3c7bf66d9545a62c398afed71ba170d736ef	no	5
Warnings:					
Information:					

15	Fee Worksheet (SB06)	fee-info.pdf	32957 fbb95a3e43a4b5e19e6ad17f44822089ee502c5b	no	2
Warnings:					
Information:					
			Total Files Size (in bytes):	6022522	

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UMC 1002
UMC v. AICP

SEMICONDUCTOR DEVICE

CROSS-REFERENCE TO RELATED APPLICATION

This is a continuation of PCT International Application PCT/JP2011/002868 filed on May 24, 2011, which claims priority to Japanese Patent Application No. 2010-205599 filed on September 14, 2010. The disclosures of these applications including the specifications, the drawings, and the claims are hereby incorporated by reference in their entirety.

BACKGROUND

The present disclosure relates to semiconductor devices and methods for fabricating the same, and more particularly, to a metal insulator semiconductor (MIS) device including a gate insulating film formed on a semiconductor substrate and a gate electrode formed on the gate insulating film, and a method for fabricating the MIS device.

In order to meet the demands for increased speed and reduced power consumption of semiconductor integrated circuit devices, in respect of metal insulator semiconductor field-effect transistors (MISFET, hereinafter referred to as MIS transistors), progress has been made in reducing the thicknesses of gate insulating films. When silicon dioxide which has been conventionally used is formed into a thin film for the purpose of reducing the thickness of a gate insulating film, a gate leakage current caused by a tunnel current increases. Consequently, an attempt to prevent depletion of a gate electrode has been made. Specifically, the attempt has been carried out by reducing an equivalent oxide thickness (EOT) by means of use of, instead of the silicon dioxide film, a so-called high dielectric constant insulating film such as an HfO_2 film as the gate insulating film, and by employing a so-called metal inserted poly silicon (MIPS) structure in which a polysilicon film serving as a gate electrode and a gate insulating film sandwich a metal-containing film as part of the gate

UMC 1002
UMC v. AICP

electrode (see, for example, T. Schram, et al., Novel Process To Pattern Selectively Dual Dielectric Capping Layers Using Soft-Mask Only, Symp. On VLSI technology, 44 (2008)). Note that the high dielectric constant insulating film refers to an insulating film having a relative dielectric constant of, for example, 8 or more, which is higher than that of a silicon nitride film.

A method for fabricating a conventional semiconductor device will be described below with reference to FIGS. 11-13. This conventional semiconductor device includes a complementary metal insulator semiconductor (CMIS) device composed of an n-type MIS transistor and a p-type MIS transistor which are provided on an identical substrate. In this device, a gate insulating film is made of an HfO_2 film, and a gate electrode has a MIPS structure. FIGS. 11-13 are cross-sectional views (taken along a gate length direction) illustrating sequential steps of the method for fabricating the conventional semiconductor device. In FIGS. 11-13, "nMIS transistor region" shown at the left refers to a region where the n-type MIS transistor is formed, and "pMIS transistor region" shown at the right refers to a region where the p-type MIS transistor is formed.

First, as shown in FIG. 11, a pMIS transistor region and an nMIS transistor region are defined by selectively forming a shallow trench isolation 101 in an upper portion of a semiconductor substrate 100 of p-type silicon. Here, a portion of the semiconductor substrate 100 surrounded by the shallow trench isolation 101 and located in the pMIS transistor region serves as an active region 100a, and a portion of the semiconductor substrate 100 surrounded by the shallow trench isolation 101 and located in the nMIS transistor region serves as an active region 100b.

Next, an n-type well region 121N is formed in the pMIS transistor region of the semiconductor substrate 100, and a p-type well region 121P is formed in the nMIS transistor region of the semiconductor substrate 100. Thereafter, photolithography and dry etching are

UMC 1002
Page 120 of 339
UMC v. AICP

performed to form a gate electrode 123a on the active region 100a in the pMIS transistor region with a gate insulating film 122a interposed between the gate electrode 123a and the active region 100a. The photolithography and the dry etching also form a gate electrode 123b on the active region 100b in the nMIS transistor region with a gate insulating film 122b interposed between the gate electrode 123b and the active region 100b.

The gate insulating film 122a includes an interface layer 102a made of a silicon dioxide film, a high dielectric constant insulating film (hereinafter, referred to as a high-k film) 103a formed on the interface layer 102a and made of an HfO_2 film, and a pMIS cap film 104a formed on the high-k film 103a. The gate insulating film 122b includes an interface layer 102b made of a silicon dioxide film, a high-k film 103b formed on the interface layer 102b and made of an HfO_2 film, and an nMIS cap film 104b formed on the high-k film 103b. The pMIS cap film 104a and the nMIS cap film 104b enable control of a work function of each of the gate electrodes 123a and 123b.

The gate electrode 123a includes a metal film 106a and a polysilicon film 107a formed on the metal film 106a. The gate electrode 123b includes a metal film 106b and a polysilicon film 107b formed on the metal film 106b.

Next, as shown in FIG. 12, extension regions 108a are formed at both sides of the gate electrode 123a by introducing a p-type impurity into the pMIS transistor region of the semiconductor substrate 100, and extension regions 108b are formed at both sides of the gate electrode 123b by introducing an n-type impurity into the nMIS transistor region of the semiconductor substrate 100.

After a silicon dioxide film and a silicon nitride film are sequentially deposited on the entire surface of the semiconductor substrate 100, the deposited silicon nitride film and the deposited silicon dioxide film are subjected to anisotropic etching. Consequently, as shown in FIG. 13, sidewall spacers 111a including a silicon dioxide film 109a and a silicon

UMC 1002
Page 121 of 339
UMC v. AICP

nitride film 110a are formed on both side surfaces of the gate electrode 123a, and sidewall spacers 111b including a silicon dioxide film 109b and a silicon nitride film 110b are formed on both side surfaces of the gate electrode 123b. Thereafter, source/drain regions 112a are formed at both sides of the gate electrode 123a sandwiched between the sidewall pacers 111a by introducing a p-type impurity into the pMIS transistor region of the semiconductor substrate 100, and source/drain regions 112b are formed at both sides of the gate electrode 123b sandwiched between the sidewall pacers 111b by introducing an n-type impurity into the nMIS transistor region of the semiconductor substrate 100. In this manner, the CMIS device is formed through the foregoing steps.

SUMMARY

Using the above CMIS device, transistors different in threshold voltage (Vth) can be formed in a semiconductor integrated circuit, and a semiconductor integrated circuit device with improved performance can be produced by employing a low-Vth transistor in a circuit requiring high-speed performance and a high-Vth transistor in a circuit requiring a reduced standby leakage current.

FIG. 14 shows a relationship between an effective work function and a saturation current in transistors. Specifically, in each transistor, an impurity in a transistor channel is adjusted to allow the saturation current to be maximized at each value of the effective work function which is varied. In FIG. 14, the dashed lines indicate the saturation currents of the transistors corresponding to each of two different source off leakage currents.

As shown in FIG. 14, the effective work function value at which a maximum saturation current is obtained in the nMIS transistor is different from the effective work function value at which a maximum saturation current is obtained in the pMIS transistor. FIG. 14 also shows that, even between transistors of the same conductivity type, a difference in the source off leakage current causes the saturation currents to be maximized at different

UMC 1002
Page 122 of 339
UMC v. AICP

effective work function values.

Note that the "effective work function" is a work function obtained from electrical characteristics of a MIS transistor. Specifically, the effective work function is obtained by incorporating influence such as a level in an insulating film into a work function related to physical properties and representing a difference between a vacuum level and an energy level of a metal. The "saturation current" shown in FIG. 14 corresponds to a driving current per gate width unit, and represents a driving force of each transistor.

Meanwhile, when an effective work function of an nMIS transistor is too low and an effective work function of a pMIS transistor is too high relative to desired source off leakage current and threshold voltage (Vth), a concentration of an impurity in a channel needs to be increased, and accordingly, a saturation current decreases. When an effective work function of an nMIS transistor is too high and an effective work function of a pMIS transistor is too low relative to desired source off leakage current and Vth, an insufficient amount of an impurity for regulating the Vth can be introduced into a channel. In such a case, subthreshold characteristic deteriorates, and accordingly, a saturation current decreases under conditions with a constant source off leakage current.

Accordingly, in a semiconductor integrated circuit device requiring two or more threshold voltages, gate structures having different work functions need to be formed in a single chip in order to maximize a transistor driving force at each threshold voltage.

However, the above-discussed method for fabricating the conventional semiconductor device allows nMIS transistors to have only one work function and pMIS transistors to have only one work function.

It is therefore an object of the present disclosure to enable formation of a plurality of transistors of the same conductivity type having different work functions in a semiconductor device having a MIS structure in which a high-k film is used as a gate

insulating film.

To achieve the object, the inventors of the present application studied methods for forming gate structures (a gate structure includes a stack of a gate insulating film and a gate electrode) having different work functions. Specifically, the inventors studied a method in which the thicknesses of an nMIS cap film and pMIS cap film are changed, and a method in which transistors were designed to have metal electrodes of different types. However, these methods were found not to be practical because they consisted of significantly increased number of steps.

As a result of further studies, the inventors have found the following. Thus, gate structures are allowed to have different work functions by increasing the thickness of an interface layer constituting the lowest layer of a gate insulating film by means of selective oxidation which is performed after formation of the gate structures.

Specifically, a semiconductor device of the present disclosure includes a first MIS transistor and a second MIS transistor of an identical conductivity type provided on an identical semiconductor substrate, wherein the first MIS transistor includes a first gate insulating film formed on a first active region in the semiconductor substrate and a first gate electrode formed on the first gate insulating film, the second MIS transistor includes a second gate insulating film formed on a second active region in the semiconductor substrate and a second gate electrode formed on the second gate insulating film, the first gate insulating film includes a first interface layer being in contact with the semiconductor substrate and a first high dielectric constant insulating film formed on the first interface layer, the second gate insulating film includes a second interface layer being in contact with the semiconductor substrate and a second high dielectric constant insulating film formed on the second interface layer, and the first interface layer has a thickness larger than that of the second interface layer.

In the semiconductor device of the present disclosure, the interface layer included in the gate insulating film of the first MIS transistor has a thickness larger than that of the interface layer included in the gate insulating film of the second MIS transistor which is of the same conductivity type as the first MIS transistor. Accordingly, since an EOT of the gate insulating film of the first MIS transistor increases, an effective work function of the first MIS transistor increases. Therefore, according to the present disclosure, a plurality of transistors of an identical conductivity type having different effective work functions can be formed in a semiconductor device having a MIS structure in which a high-k film is used as a gate insulating film.

In the semiconductor device of the present disclosure, the first gate electrode may include first sidewall spacers formed on side surfaces thereof and first insulating spacers interposed between the first gate electrode and the first sidewall spacers, the second gate electrode may include second sidewall spacers formed on side surfaces thereof and second insulating spacers interposed between the second gate electrode and the second sidewall spacers, and the first insulating spacers may be thinner than the second insulating spacers. In this structure, after formation of the gate structures and before formation of the side spacers, the thickness of the interface layer included in the gate insulating film of the first MIS transistor can be increased by performing selective oxidation. In such a case, the first insulating spacers may be offset spacers each having an I-shaped cross section, and the second insulating spacers may be underlying spacers each having an L-shaped cross section. In addition, the first gate electrode may include a first metal-containing film formed on the first high dielectric constant insulating film and a first silicon film formed on the first metal-containing film, the second gate electrode may include a second metal-containing film formed on the second high dielectric constant insulating film and a second silicon film formed on the second

UMC 1002
Page 125 of 339
UMC v. AICP

metal-containing film, a silicon dioxide film may be interposed between the first silicon film and the first insulating spacers, and the second silicon film may be in contact with the second insulating spacers. Here, a first metal silicide layer may be formed on the first silicon film, and a second metal silicide layer may be formed on the second silicon film. Further, a silicon dioxide film may also be interposed between the first active region and the first sidewall spacers. Furthermore, each of the first insulating spacers and the second insulating spacers may be made of a silicon nitride film.

In the semiconductor device of the present disclosure, the first and second MIS transistors may be pMIS transistors, and the first and second high dielectric constant insulating films may contain aluminum. In such a case, the first gate insulating film may further include a first cap film formed on the first high dielectric constant insulating film and containing aluminum, and the second gate insulating film may further include a second cap film formed on the second high dielectric constant insulating film and containing aluminum.

In the semiconductor device of the present disclosure, the first and second MIS transistors may be nMIS transistors, and the first and second high dielectric constant insulating films may contain lanthanum. In such a case, the first gate insulating film may further include a first cap film formed on the first high dielectric constant insulating film and containing lanthanum, and the second gate insulating film may further include a second cap film formed on the second high dielectric constant insulating film and containing lanthanum. The first and second high dielectric constant insulating films and the first and second cap films may contain, instead of lanthanum, dysprosium (Dy), scandium (Sc), or gadolinium (Gd).

In the semiconductor device of the present disclosure, each of the first and second

UMC 1002
Page 126 of 339
UMC v. AICP

high dielectric constant insulating films may contain hafnium or zirconium.

In the semiconductor device of the present disclosure, each of the first and second interface layers may be made of a silicon dioxide film.

In the semiconductor device of the present disclosure, the first and second high dielectric constant insulating films may be substantially equal in thickness. The first and second gate electrodes may be made of a substantially identical material. Thus, in the semiconductor device of the present disclosure, the first and second MIS transistors may have a substantially identical gate structure except for the thicknesses of the interface layers.

In the semiconductor device of the present disclosure, an effective work function of the first MIS transistor may be higher than an effective work function of the second MIS transistor.

A method for fabricating the semiconductor device of the present disclosure includes: a step (a) of forming an interface layer, a high dielectric constant insulating film, and a gate electrode material film in a sequential manner on a semiconductor substrate including a first active region and a second active region; a step (b) of patterning the gate electrode material film, the high dielectric constant insulating film, and the interface layer to form a first gate electrode of the gate electrode material film on the first active region with a first gate insulating film including the interface layer and the high dielectric constant insulating film and interposed between the first gate electrode and the first active region, and to form a second gate electrode of the gate electrode material film on the second active region with a second gate insulating film including the interface layer and the high dielectric constant insulating film and interposed between the second gate electrode and the second active region; and the step (c) of increasing the thickness of the interface layer of the first gate insulating film in a selective manner, after the step (b).

According to the method for fabricating the semiconductor device of the present disclosure, the thickness of the interface layer of the first MIS transistor is selectively increased. Consequently, the EOT of the gate insulating film of the first MIS transistor increases, and the effective work function of the first MIS transistor increases. Therefore, a plurality of transistors of an identical conductivity type and different from each other in effective work function can be formed in a semiconductor device having a MIS structure in which a high-k film is used as a gate insulating film.

In the method for fabricating the semiconductor device of the present disclosure, the step (c) may include a step where, after covering the first and second gate electrodes with an insulating film, a portion of the insulating film covering the first gate electrode is selectively etched, and then, the interface layer of the first gate insulating film is selectively oxidized to increase in thickness. This step ensures that the thickness of the interface layer included in the gate insulating film of the first MIS transistor is selectively increased. In such a case, the insulating film covering the first and second gate electrodes may be a silicon nitride film, for example. A heat treatment or a plasma treatment may be performed in an oxygen-containing atmosphere to increase the thickness of the interface layer included in the gate insulating film of the first MIS transistor in a selective manner. In addition, the gate electrode material film may include a metal-containing film formed on the high dielectric constant insulating film and a silicon film formed on the metal-containing film. In the step (c), a silicon dioxide film may be formed to be interposed between the insulating film remaining on the side surfaces of the first gate electrode and the silicon film of the first gate electrode.

The method for fabricating the semiconductor device of the present disclosure may include a step of forming a cap film containing a metal for adjusting a threshold voltage (Vth) on the high dielectric constant insulating film between formation of the high dielectric constant insulating film and formation of the gate electrode material film.

As described above, the present disclosure enables formation of a plurality of transistors of the same conductivity type and different from each other in work function in a semiconductor device having a MIS structure in which a high-k film is used as a gate insulating film. Therefore, the present disclosure is useful as a semiconductor device having a CMIS structure including a plurality of MIS transistors different in threshold voltage (Vth), and for fabricating the semiconductor device.

BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 is a cross-sectional view (taken along a gate length direction) illustrating a step of a method for fabricating a semiconductor device according to an embodiment of the present disclosure.

FIG. 2 is a cross-sectional view (taken along a gate length direction) illustrating a step of the method for fabricating the semiconductor device according to the embodiment of the present disclosure.

FIG. 3 is a cross-sectional view (taken along a gate length direction) illustrating a step of the method for fabricating the semiconductor device according to the embodiment of the present disclosure.

FIG. 4 is a cross-sectional view (taken along a gate length direction) illustrating a step of the method for fabricating the semiconductor device according to the embodiment of the present disclosure.

FIG. 5 is a cross-sectional view (taken along a gate length direction) illustrating a step of the method for fabricating the semiconductor device according to the embodiment of the present disclosure.

FIG. 6 is a cross-sectional view (taken along a gate length direction) illustrating a step of the method for fabricating the semiconductor device according to the embodiment of the present disclosure.

UMC 1002
UMC v. AICP

FIG. 7 is a cross-sectional view (taken along a gate length direction) illustrating a step of the method for fabricating the semiconductor device according to the embodiment of the present disclosure.

FIG. 8 is a cross-sectional view (taken along a gate length direction) illustrating a step of the method for fabricating the semiconductor device according to the embodiment of the present disclosure.

FIG. 9 is a cross-sectional view (taken along a gate length direction) illustrating a step of the method for fabricating the semiconductor device according to the embodiment of the present disclosure.

FIG. 10 is a graph showing a relationship between an equivalent oxide thickness (EOT) and a transistor effective work function of a semiconductor device of an embodiment.

FIG. 11 shows a cross-sectional view (taken along a gate length direction) illustrating a steps of a method for fabricating a conventional semiconductor device.

FIG. 12 shows a cross-sectional view (taken along a gate length direction) illustrating a steps of the method for fabricating the conventional semiconductor device.

FIG. 13 shows a cross-sectional view (taken along a gate length direction) illustrating a steps of the method for fabricating the conventional semiconductor device.

FIG. 14 is a graph showing a relationship between an effective work function and a saturation current of a transistor in which a channel dose is changed whereas a source off leakage current is kept constant.

DETAILED DESCRIPTION

A semiconductor device according to an embodiment of the present disclosure and a method for fabricating the same are described with reference to the drawings.

FIGS. 1-9 are cross-sectional views (taken along a gate length direction) illustrating steps of the method for fabricating a semiconductor device of this embodiment. Note that

each of FIGS. 1-9 shows, in the order from right to left, the following regions: "First pMIS transistor region" referring to a region where a first pMIS transistor is to be formed, "Second pMIS transistor region," referring to a region where a second pMIS transistor is to be formed, "First nMIS transistor region" referring to a region where a first nMIS transistor is to be formed, and "Second nMIS transistor region" referring to a region where a second nMIS transistor is to be formed.

In this embodiment, for example, the first pMIS transistor and the second nMIS transistor are used as low-Vth (e.g., 0.1-0.25 V) transistors which are required for high-speed performance, and the second pMIS transistor and the first nMIS transistor are used as high-Vth (e.g., 0.35-0.5 V) transistors which are required for reducing a standby leakage current.

First, as shown in FIG. 1, pMIS transistor regions and nMIS transistor regions are defined by selectively forming an isolation region 1 made of, for example, a shallow trench filled with a silicon dioxide film in an upper portion of a semiconductor substrate 50 of, for example, p-type silicon. Here, a portion of the semiconductor substrate 50 surrounded by the isolation region 1 and located in the first pMIS transistor region serves as an active region 50a, and a portion of the semiconductor substrate 50 surrounded by the isolation region 1 and located in the second pMIS transistor region serves as an active region 50b. A portion of the semiconductor substrate 50 surrounded by the isolation region 1 and located in the first nMIS transistor region serves as an active region 50c, and a portion of the semiconductor substrate 50 surrounded by the isolation region 1 and located in the second nMIS transistor region serves as an active region 50d.

Next, an n-type well region 51N is formed by introducing an n-type impurity such as arsenic into the first and second pMIS transistor regions of the semiconductor substrate 50 by means of ion implantation. A p-type well region 51P is formed by introducing a p-type

impurity such as boron into the first and second nMIS transistor regions of the semiconductor substrate 50 by means of ion implantation. The concentrations of the n-type impurity may be different between the pMIS transistor region and the second pMIS transistor region. The concentration of the p-type impurity may be different between the first nMIS transistor region and the second nMIS transistor region.

Thereafter, an interface layer 2 with a thickness of about 0.8 nm of, for example, a silicon dioxide film and a high dielectric constant insulating film (a high-k film) 3 with a thickness of about 1.2 nm including, for example, Hf or Zr and O are sequentially formed on the semiconductor substrate 50 including the MIS transistor regions.

A pMIS cap film 4 including, for example, aluminum (Al) and oxygen (O) is formed on the high-k film 3, and then, a portion of the pMIS cap film 4 covering the first and second nMIS transistor regions is removed. Subsequently, an nMIS cap film 4' including, for example, lanthanum (La) and O is formed on the high-k film 3 and the pMIS cap film 4, and then, a portion of the nMIS cap film 4' covering the first and second pMIS transistor region is removed. The pMIS cap film 4 includes, for example, Al as a regulator metal capable of increasing effective work functions of the pMIS transistors. The nMIS cap film 4' includes, for example, La as a regulator metal capable of increasing effective work functions of the nMIS transistors.

A metal-containing film 6 with a thickness of about 5 nm including, for example, N and a metal such as Ti, Ta or Ru, and a silicon film 7 with a thickness of about 60 nm of, for example, polysilicon are sequentially formed on the pMIS cap film 4 and the nMIS cap film 4'.

Next, the silicon film 7, the metal-containing film 6, the pMIS cap film 4, the nMIS cap film 4', the high-k film 3, and the interface layer 2 are subjected to photolithography and dry etching to be patterned. The photolithography and dry etching form the structure shown

in FIG. 2. Specifically, a gate electrode 53a is formed on the active region 50a in the first pMIS transistor region with a gate insulating film 52a interposed between the gate electrode 53a and the active region 50a. A gate electrode 53b is formed on the active region 50b in the second pMIS transistor region with a gate insulating film 52b interposed between the gate electrode 53b and the active region 50b. A gate electrode 53c is formed on the active region 50c in the first nMIS transistor region with a gate insulating film 52c interposed between the gate electrode 53c and the active region 50c. A gate electrode 53d is formed on the active region 50d in the second nMIS transistor region with a gate insulating film 52d interposed between the gate electrode 53d and the active region 50d.

The gate insulating film 52a includes an interface layer 2a, a high-k film 3a, and a pMIS cap film 4a. The gate insulating film 52b includes an interface layer 2b, a high-k film 3b, and a pMIS cap film 4b. The gate insulating film 52c includes an interface layer 2c, a high-k film 3c, and an nMIS cap film 4c. The gate insulating film 52d includes an interface layer 2d, a high-k film 3d, and an nMIS cap film 4d.

The gate electrode 53a includes a metal-containing film 6a and a silicon film 7a. The gate electrode 53b includes a metal-containing film 6b and a silicon film 7b. The gate electrode 53c includes a metal-containing film 6c and a silicon film 7c. The gate electrode 53d includes a metal-containing film 6d and a silicon film 7d.

Next, as shown in FIG. 3, an insulating film 8 with a thickness of about 6 nm of, for example, a silicon nitride film is formed on the entire surface of the semiconductor substrate 50 inclusive of the upper surfaces of the gate electrodes 53a, 53b, 53c and 53d.

Using a resist pattern (not shown) which exposes the second pMIS transistor region, a p-type impurity such as boron is introduced into the semiconductor substrate 50 by means of ion implantation. Consequently, as shown in FIG. 4, p-type extension regions 9b are formed under both sides of the gate electrode 53b in the active region 50b. The resist pattern is

removed after formation of the p-type extension regions 9b. Here, concerning conditions of the ion implantation, an implantation energy is 0.8 keV and a dose is 1×10^{15} cm^{-2}, for example. Germanium (Ge) and carbon (C) may be implanted in the second pMIS transistor region of the semiconductor substrate 50 before the ion implantation of the p-type impurity such as boron. In such a case, Ge may be implanted, for example, at an implantation energy of 5 keV and a dose of 5×10^{14} cm^{-2}, and C may be implanted, for example, at an implantation energy of 2 keV and a dose of 5×10^{14} cm^{-2}.

Next, using a resist pattern (not shown) which exposes the second nMIS transistor region, an n-type impurity such as arsenic is introduced into the semiconductor substrate 50 by means of ion implantation. Consequently, n-type extension regions 9d are formed under both sides of the gate electrode 53d in the active region 50d. The resist pattern is removed after formation of the n-type extension regions 9d. Here, concerning conditions of the ion implantation, an implantation energy is 1.2 keV and a dose is 1×10^{15} cm^{-2}, for example. Ge and C may be implanted in the second nMIS transistor region of the semiconductor substrate 50 before the ion implantation of the n-type impurity such as arsenic. In such a case, Ge may be implanted, for example, at an implantation energy of 5 keV and a dose of 5×10^{14} cm^{-2}, and C may be implanted, for example, at an implantation energy of 2 keV and a dose of 5×10^{14} cm^{-2}.

As shown in FIG. 5, after forming a resist pattern 11 covering the second pMIS transistor region and the second nMIS transistor region by photolithography, the insulting film 8 is subjected to dry etching with the resist pattern 11 used as a mask. This dry etching forms offset spacers 8a each having an I-shaped cross-section on the side surfaces of the gate electrode 53a located in the first pMIS transistor region, and offset spacers 8c each having an I-shaped cross-section on the side surfaces of the gate electrode 53c located in the first nMIS transistor region. In this step, each of the offset spacers 8a and 8c has a thickness of about

2.5 nm, which is smaller than the original thickness (e.g., about 6 nm) of the insulating film 8.

After removing the resist pattern 11, the semiconductor substrate 50 is subjected to an oxidation treatment in, for example, plasma composed of a gas containing oxygen and at, for example, about 400°C. Consequently, as shown in FIG. 6, the thickness of the interface layer 2a of the gate insulating film 52a in the first pMIS transistor region increases, from both sides thereof, by about 0.3 nm, and the thickness of the interface layer 2c of the gate insulating film 52c in the first nMIS transistor region increases, from both sides thereof, by about 0.3 nm. These interface layers with the increased thickness are denoted by reference characters 2A and 2C, respectively. Even after the thick interface layers 2A and 2C are formed, the thicknesses of the high-k films 3a and 3c remain substantially unchanged. Thus, each of the high-k films 3a, 3b, 3c, and 3d continues to have substantially the same thickness after the thick interface layers 2A and 2C are formed.

Further, in the step shown in FIG. 6, a silicon dioxide film 13a with a thickness of about 0.3 nm is formed on the upper surface and the side surfaces of the silicon film 7a of the gate electrode 53a located in the first pMIS transistor region. A silicon dioxide film 13c with a thickness of about 0.3 nm is also formed on the upper surface and the side surfaces of the silicon film 7c of the gate electrode 53c located in the first nMIS transistor region. Specifically, the resultant silicon dioxide film 13a is interposed between the silicon film 7a of the gate electrode 53a located in the first pMIS transistor region and the offset spacers 8a, and the resultant silicon dioxide film 13c is interposed between the silicon film 7c of the gate electrode 53c located in the first nMIS transistor region and the offset spacers 8c. In addition, a silicon dioxide film 13a with a thickness of about 0.3 nm is also formed on the surfaces of portions of the active region 50a located at both sides of the gate electrode 53a, and a silicon dioxide film 13c with a thickness of about 0.3 nm is also formed on the surfaces of portions of the active region 50c located at both sides of the gate electrode 53c.

The interface layer 2a of the gate insulating film 52a and side portions of the silicon film 7a of the gate electrode 53a are oxidized by oxygen having passed through the offset spacers 8a, and the interface layer 2c of the gate insulating film 52c and side portions of the silicon film 7c of the gate electrode 53c are oxidized by oxygen having passed through the offset spacers 8c.

On the other hand, in the step shown in FIG. 6, since the gate structures of the second pMIS transistor region and the second nMIS transistor region are covered by the insulating film 8 having a thickness of about 6 nm, the interface layer 2b of the gate insulating film 52b located in the second pMIS transistor region and the interface layer 2d of the gate insulating film 52d located in the second nMIS transistor region do not increase in thickness.

The interface layers 2a and 2c are oxidized through the treatment carried out using plasma in an oxygen-containing atmosphere in this embodiment. Alternatively, a heat treatment at about 600°C in an oxygen-containing atmosphere may be performed.

Using a resist pattern (not shown) which exposes the first pMIS transistor region, a p-type impurity such as boron is introduced into the semiconductor substrate 50 by means of ion implantation. Consequently, as shown in FIG. 7, p-type extension regions 9a are formed under both sides of the gate electrode 53a in the active region 50a. The resist pattern is removed after formation of the p-type extension regions 9a. Here, concerning conditions of the ion implantation, an implantation energy is 0.8 keV and a dose is 1×10^{15} cm^{-2}, for example. Ge and C may be implanted in the first pMIS transistor region of the semiconductor substrate 50 before the ion implantation of the p-type impurity such as boron. In such a case, Ge may be implanted, for example, at an implantation energy of 5 keV and a dose of 5×10^{14} cm^{-2}, and C may be implanted, for example, at an implantation energy of 2 keV and a dose of 5×10^{14} cm^{-2}.

Next, using a resist pattern (not shown) which exposes the first nMIS transistor

UMC 1002
Page 136 of 339
UMC v. AICP

region, an n-type impurity such as arsenic is introduced into the semiconductor substrate 50 by means of ion implantation. Consequently, n-type extension regions 9c are formed under both sides of the gate electrode 53c in the active region 50c. The resist pattern is removed after formation of the n-type extension regions 9c. Here, concerning conditions of the ion implantation, an implantation energy is 1.2 keV and a dose is 1×10^{15} cm^{-2}, for example. Ge and C may be implanted in the first nMIS transistor region of the semiconductor substrate 50 before the ion implantation of the n-type impurity such as arsenic. In such a case, Ge may be implanted, for example, at an implantation energy of 5 keV and a dose of 5×10^{14} cm^{-2}, and C may be implanted, for example, at an implantation energy of 2 keV and a dose of 5×10^{14} cm^{-2}.

A silicon dioxide film and a silicon nitride film are sequentially deposited on the entire surface of the semiconductor substrate 50, and then, the deposited silicon nitride film and the deposited silicon dioxide film are etched back. Consequently, as shown in FIG. 8, sidewall spacers 18a, 18b, 18c, and 18d are formed on both sides of the gate electrodes 53a, 53b, 53c, and 53d, respectively. Each of the sidewall spacers 18a includes an inner sidewall spacer 16a of a silicon dioxide film with an L-shaped cross section and an outer sidewall spacer 17a of a silicon nitride film formed on the inner sidewall spacer 16a. Each of the sidewall spacers 18b includes an inner sidewall spacer 16b of a silicon dioxide film with an L-shaped cross section and an outer sidewall spacer 17b of a silicon nitride film formed on the inner sidewall spacer 16b. Each of the sidewall spacers 18c includes an inner sidewall spacer 16c of a silicon dioxide film with an L-shaped cross section and an outer sidewall spacer 17c of a silicon nitride film formed on the inner sidewall spacer 16c. Each of the sidewall spacers 18d includes an inner sidewall spacer 16d of a silicon dioxide film with an L-shaped cross section and an outer sidewall spacer 17d of a silicon nitride film formed on the inner sidewall spacer 16a

UMC 1002
Page 137 of 339
UMC v. AICP

In the step shown in FIG. 8, the insulating film 8 remaining in the second pMIS transistor region and the second nMIS transistor region is also etched back. Consequently, an underlying spacer 8b with an L-shaped cross section is formed between the gate electrode 53b and an associated one of the sidewall spacers 18b (the inner sidewall spacers 16b). At the same time, an underlying spacer 8d with an L-shaped cross section is formed between the gate electrode 53d and an associated one of the sidewall spacers 18d (the inner sidewall spacers 16d). The underlying spacers 8b are in contact with the silicon film 7b of the gate electrode 53b. The underlying spacers 8d are in contact with the silicon film 7d of the gate electrode 53d. The thicknesses of the underlying spacers 8b and 8d are approximately the same as the original thickness (e.g., about 6 nm) of the insulating film 8, and larger than the thicknesses (e.g., about 2.5 nm) of the offset spacers 8a and 8c.

In the step shown in FIG. 8, the silicon dioxide film 13a present on the upper face of the gate electrode 53a and on the active region 50a and the silicon dioxide film 13c present on the upper face of the gate electrode 53c and on the active region 50c are also etched back. Consequently, the offset spacers 8a and the remaining silicon dioxide film 13a are interposed between the side surfaces of the gate electrode 53a and the sidewall spacers 18a, and the remaining silicon dioxide film 13a is also interposed between the active region 50a (the p-type extension regions 9a) and the sidewall spacers 18a. The offset spacers 8c and the remaining silicon dioxide film 13c are interposed between the side surfaces of the gate electrode 53c and the sidewall spacers 18c, and the remaining silicon dioxide film 13c is also interposed between the active region 50c (p-type extension regions 9c) and the sidewall spacers 18c.

Using a resist pattern (not shown) which exposes the first and second pMIS transistor regions, a p-type impurity such as boron is introduced into the semiconductor substrate 50 by means of ion implantation. Consequently, as shown in FIG. 9, p-type

source/drain regions 19a are formed under the outer sides of the sidewall spacers 18a in the active region 50a, and p-type source/drain regions 19b are formed under the outer sides of the sidewall spacers 18b in the active region 50b. The resist pattern is removed after formation of the p-type source/drain regions 19a and 19b. Here, concerning conditions of the ion implantation, an implantation energy is 1.6 keV and a dose is 1×10^{15} cm^{-2}, for example. Ge may be implanted in the first and second pMIS transistor regions of the semiconductor substrate 50 before the ion implantation of the p-type impurity such as boron. In such a case, Ge may be implanted, for example, at an implantation energy of 10 keV and a dose of 5×10^{15} cm^{-2}.

Next, using a resist pattern (not shown) which exposes the first and second nMIS transistor regions, an n-type impurity such as arsenic is introduced into the semiconductor substrate 50 by means of ion implantation. Consequently, n-type source/drain regions 19c are formed under the outer sides of the sidewall spacers 18c in the active region 50c, and n-type source/drain regions 19d are formed under the outer sides of the sidewall spacers 18d in the active region 50d. The resist pattern is removed after formation of the n-type source/drain regions 19c and 19d. Here, concerning conditions of the ion implantation, an implantation energy is 10 keV and a dose is 1×10^{15} cm^{-2}, for example.

Thereafter, annealing is performed at about 1000°C, thereby activating the impurities which have been introduced by means of ion implantation. In this step, Al contained in the pMIS cap films 4a and 4b diffuses into the high-k films 3a and 3b. These Al-containing high-k films are denoted by reference characters 3A and 3C, respectively. At the same time, La contained in the nMIS cap films 4c and 4d diffuses into the high-k films 3c and 3d. These La-containing high-k films are denoted by reference characters 3C and 3D, respectively.

After a metal film of, for example, Ni is deposited on the entire surface of the

semiconductor substrate 50, annealing is performed at about, for example, 260°C. The surface portions of the silicon films 7a, 7b, 7c, and 7c of the gate electrodes 53a, 53b, 53c, and 53d, the surface portions of the p-type source/drain regions 19a and 19b, and the surface portions of the n-type source/drain regions 19c and 19d are caused to react with the deposited metal film to form metal silicide layers 20a, 20b, 20c, and 20d. Thereafter, unreacted portions of the metal film are removed. A CMIS structure is formed through the above steps.

FIG. 10 shows the relationship between an equivalent oxide thickness (EOT) and an effective work function of each of the transistors of this embodiment. As shown in FIG. 10, the first pMIS transistor and the first nMIS transistor, because of the thick interface layers 2A and 2C, show an increase in equivalent oxide thickness and an increase in effective work function, compared to the second pMIS transistor and the second nMIS transistor. Reason for the increases in equivalent oxide thickness and effective work function will be discussed below.

For example, a heat treatment performed in a step causes oxygen contained in a high-k film including, for example, HfO_2 to diffuse and escape from the high-k film. Accordingly, an interface dipole is formed between the high-k film and an interface layer. Formation of the dipole is considered to cause effective work functions to decrease in the both of a pMIS transistor and an nMIS transistor.

On the other hand, as described in the step shown in FIG. 6, in respect of the first pMIS transistor and the first nMIS transistor, the gate electrodes 53a and 53c are exposed to an oxidation atmosphere with both sides surfaces covered with the thin offset spacers 8a and 8c. Accordingly, the interface layers 2a and 2c increase in thickness to be denoted by reference characters 2A and 2C. The interface layers 2A and 2C containing sufficient oxygen supply a sufficient amount of oxygen to the high-k films 3a and 3c (in which the

UMC 1002
Page 140 of 339
UMC v. AICP

metal have not yet diffused from the cap films), thereby reducing detachment of oxygen from the high-k films 3a and 3c. As a result, the dipole is unlikely to be formed, and the effective work function of each of the first pMIS transistor and the first nMIS transistor can be set high.

In the first nMIS transistor with a high effective work function, a source off leakage current is reduced since a threshold voltage (Vth) increases. Thus, the first nMIS transistor can be used for reducing a leakage current. In the first pMIS transistor with a high effective work function, a driving force increases since a threshold voltage (Vth) decreases. Thus, the first pMIS transistor can be used for increasing the driving force.

As described above, in this embodiment, the interface layer 2a included in the gate insulating film 52a of the first pMIS transistor and the interface layer 2c included in the gate insulating film 52c of the first nMIS transistor are selectively increased in thickness. Accordingly, the EOT of the gate insulating film 52a of the first pMIS transistor and that of the gate insulating film 52c of the first nMIS transistor increase, thereby causing the effective work functions of the first pMIS transistor and the first nMIS transistor to increase. As a result, a plurality of MIS transistors of the same conductivity type and different from each other in work function can be provided in a semiconductor device with a MIS structure in which a high-k film is used as a gate insulating film. In an integrated circuit which is thus allowed to include a plurality of MIS transistors having different work functions, a driving force can be maximized in each of the low-Vth MIS transistors and the high-Vth transistors, thereby enabling the integrated circuit to operate at a high speed with a low leakage current.

In this embodiment, a silicon dioxide film is formed as the interface layer 2a (2A), 2b, 2c (2C), and 2d. Alternatively, a silicon oxynitride film may be formed.

In this embodiment, the pMIS cap films 4a and 4b and the nMIS cap films 4c and 4d are allowed to remain in the final structure of the semiconductor device. However, the Al-containing high-k films 3A and 3B and the La-containing high-k films 3C and 3D are

essential for the final structure, and it is not always necessary to allow the pMIS cap films 4a and 4b and the nMIS cap films 4c and 4d to remain in the final structure. For example, if an Al-containing film and a La-containing film are formed before formation of the metal-containing film 6 in the step shown in FIG. 1, the pMIS cap film 4 and the nMIS cap film 4′ do not need to remain when the metal-containing film 6 is formed.

In this embodiment, a cap film containing La is used as the nMIS cap film 4′. Alternatively, a cap film containing, for example, dysprosium (Dy), scandium (Sc), or gadolinium (Gd) may be used.

The MIS transistors of this embodiment have substantially the same gate structure (except for the thicknesses of the interface layers). Alternatively, the MIS transistors may have cap films with different thicknesses or gate electrodes made of different materials, for example.

CLAIMS

What is claimed is:

1. A semiconductor device comprising:

a first MIS transistor and a second MIS transistor of an identical conductivity type provided on an identical semiconductor substrate,

wherein

the first MIS transistor includes a first gate insulating film formed on a first active region in the semiconductor substrate and a first gate electrode formed on the first gate insulating film,

the second MIS transistor includes a second gate insulating film formed on a second active region in the semiconductor substrate and a second gate electrode formed on the second gate insulating film,

the first gate insulating film includes a first interface layer being in contact with the semiconductor substrate and a first high dielectric constant insulating film formed on the first interface layer,

the second gate insulating film includes a second interface layer being in contact with the semiconductor substrate and a second high dielectric constant insulating film formed on the second interface layer, and

the first interface layer has a thickness larger than that of the second interface layer.

2. The semiconductor device of claim 1, wherein

the first gate electrode includes first sidewall spacers formed on side surfaces thereof and first insulating spacers interposed between the first gate electrode and the first sidewall spacers,

the second gate electrode includes second sidewall spacers formed on side

surfaces thereof and second insulating spacers interposed between the second gate electrode and the second sidewall spacers, and

the first insulating spacers are thinner than the second insulating spacers.

3. The semiconductor device of claim 2,

the first insulting spacers are offset spacers each having an I-shaped cross section, and

the second insulating spacers are underlying spacers each having an L-shaped cross section.

4. The semiconductor device of claim 2, wherein

the first gate electrode includes a first metal-containing film formed on the first high dielectric constant insulating film and a first silicon film formed on the first metal-containing film,

the second gate electrode includes a second metal-containing film formed on the second high dielectric constant insulating film and a second silicon film formed on the second metal-containing film,

a silicon dioxide film is interposed between the first silicon film and the first insulating spacers, and

the second silicon film is in contact with the second insulating spacers.

5. The semiconductor device of claim 4, wherein

a first metal silicide layer is formed on the first silicon film, and

a second metal silicide layer is formed on the second silicon film.

UMC 1002
Page 144 of 339
UMC v. AICP

6. The semiconductor device of claim 4, wherein

a silicon dioxide film is also interposed between the first active region and the first sidewall spacers.

7. The semiconductor device of claim 2, wherein

each of the first insulating spacers and the second insulating spacers is made of a silicon nitride film.

8. The semiconductor device of claim 1, wherein

the first and second MIS transistors are pMIS transistors, and

the first and second high dielectric constant insulating films contain aluminum.

9. The semiconductor device of claim 8, wherein

the first gate insulating film further includes a first cap film formed on the first high dielectric constant insulating film and containing aluminum, and

the second gate insulating film further includes a second cap film formed on the second high dielectric constant insulating film and containing aluminum.

10. The semiconductor device of claim 1, wherein

the first and second MIS transistors are nMIS transistors, and

the first and second high dielectric constant insulating films contain lanthanum.

11. The semiconductor device of claim 10, wherein

the first gate insulating film further includes a first cap film formed on the first high dielectric constant insulating film and containing lanthanum, and

the second gate insulating film further includes a second cap film formed on the second high dielectric constant insulating film and containing lanthanum.

12. The semiconductor device of claim 1, wherein

each of the first and second high dielectric constant insulating films contains hafnium or zirconium.

13. The semiconductor device of claim 1, wherein

each of the first and second interface layers is made of a silicon dioxide film.

14. The semiconductor device of claim 1, wherein

the first and second high dielectric constant insulating films are substantially equal in thickness.

15. The semiconductor device of claim 1, wherein

the first and second gate electrodes are made of a substantially identical material.

16. The semiconductor device of claim 1, wherein

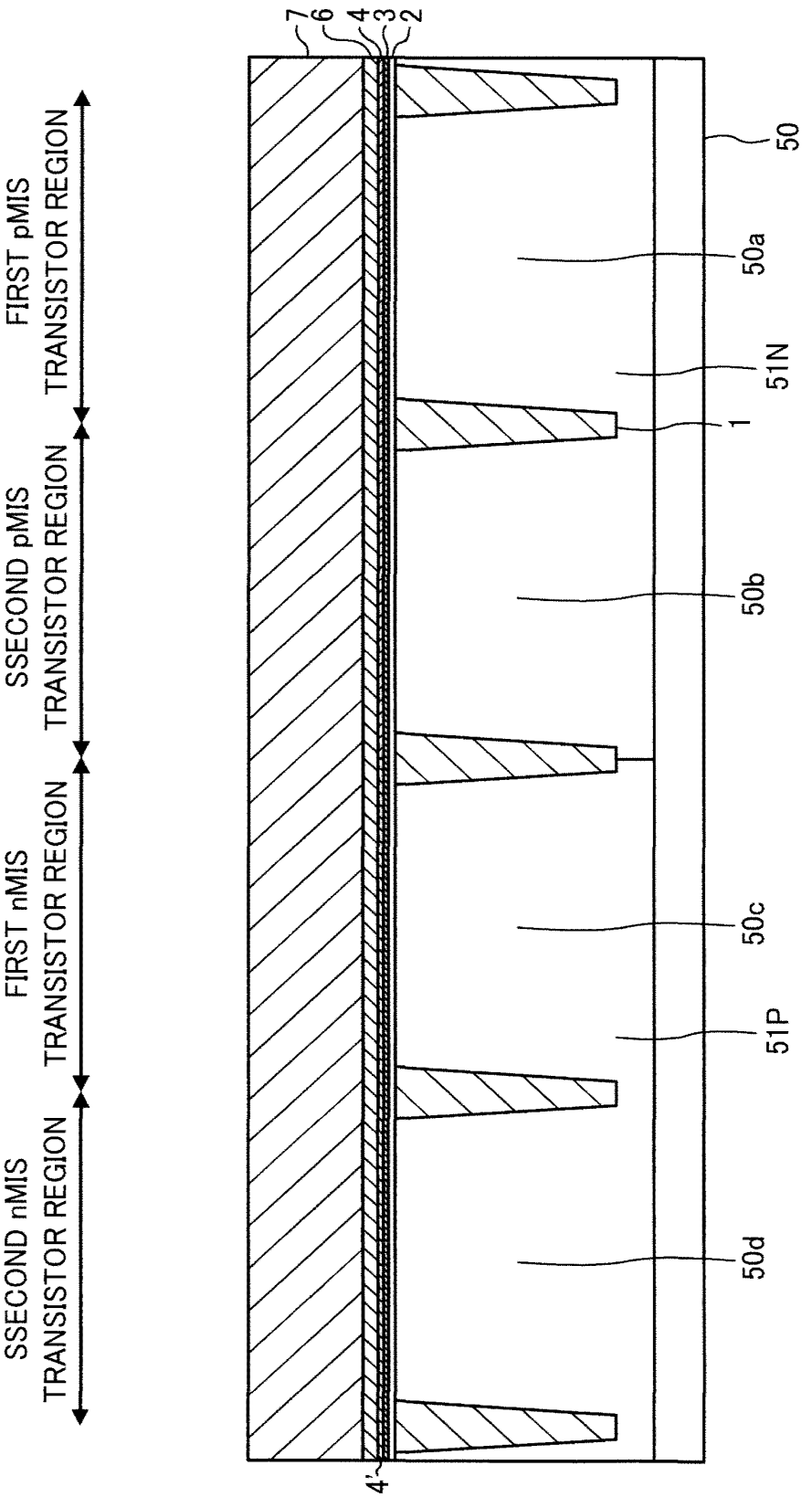
an effective work function of the first MIS transistor is higher than an effective work function of the second MIS transistor.

ABSTRACT

A first MIS transistor and a second MIS transistor of the same conductivity type are formed on an identical semiconductor substrate. An interface layer included in a gate insulating film of the first MIS transistor has a thickness larger than that of an interface layer included in a gate insulating film of the second MIS transistor.

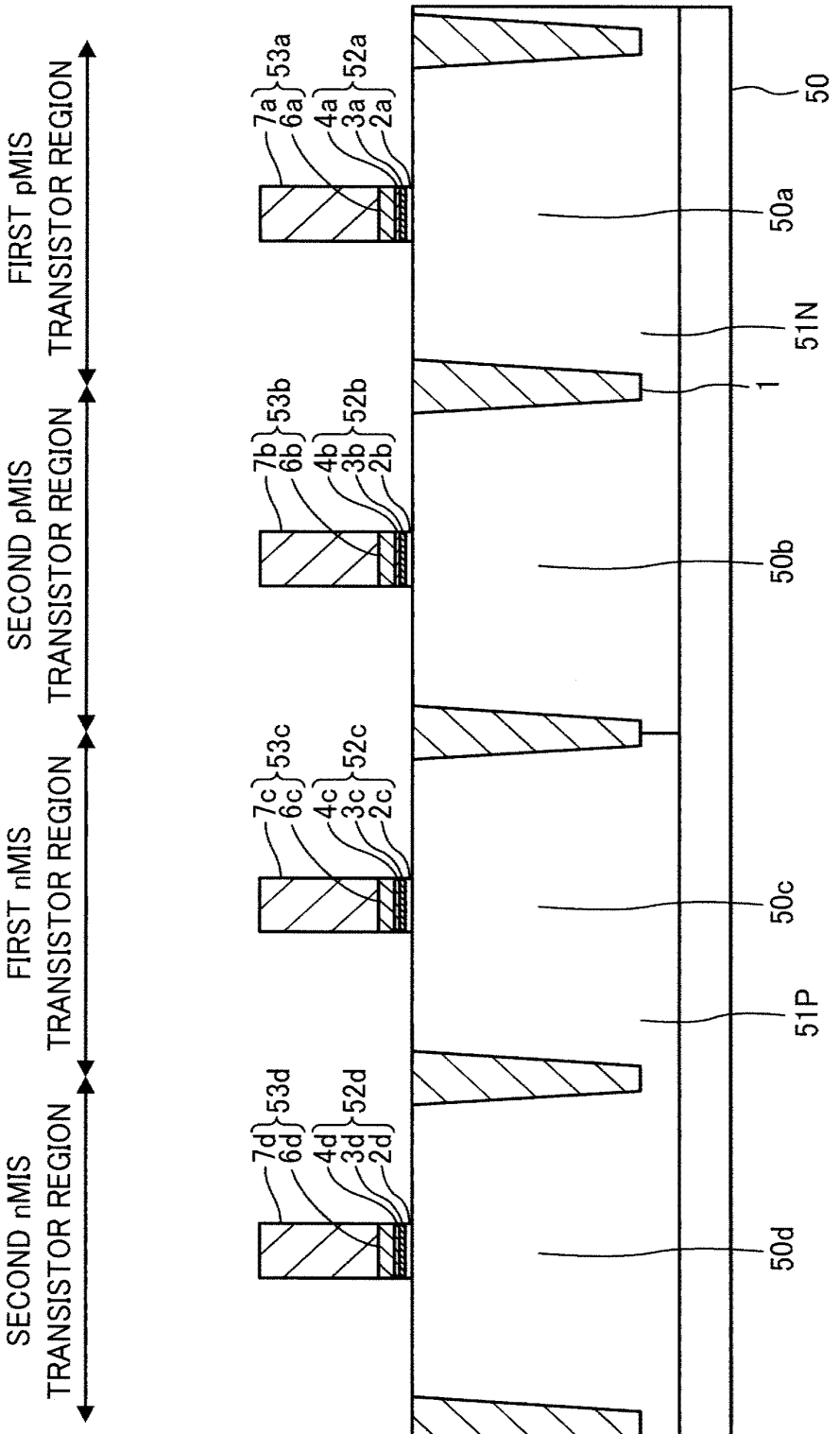
UMC 1002
UMC v. AICP

FIG.1



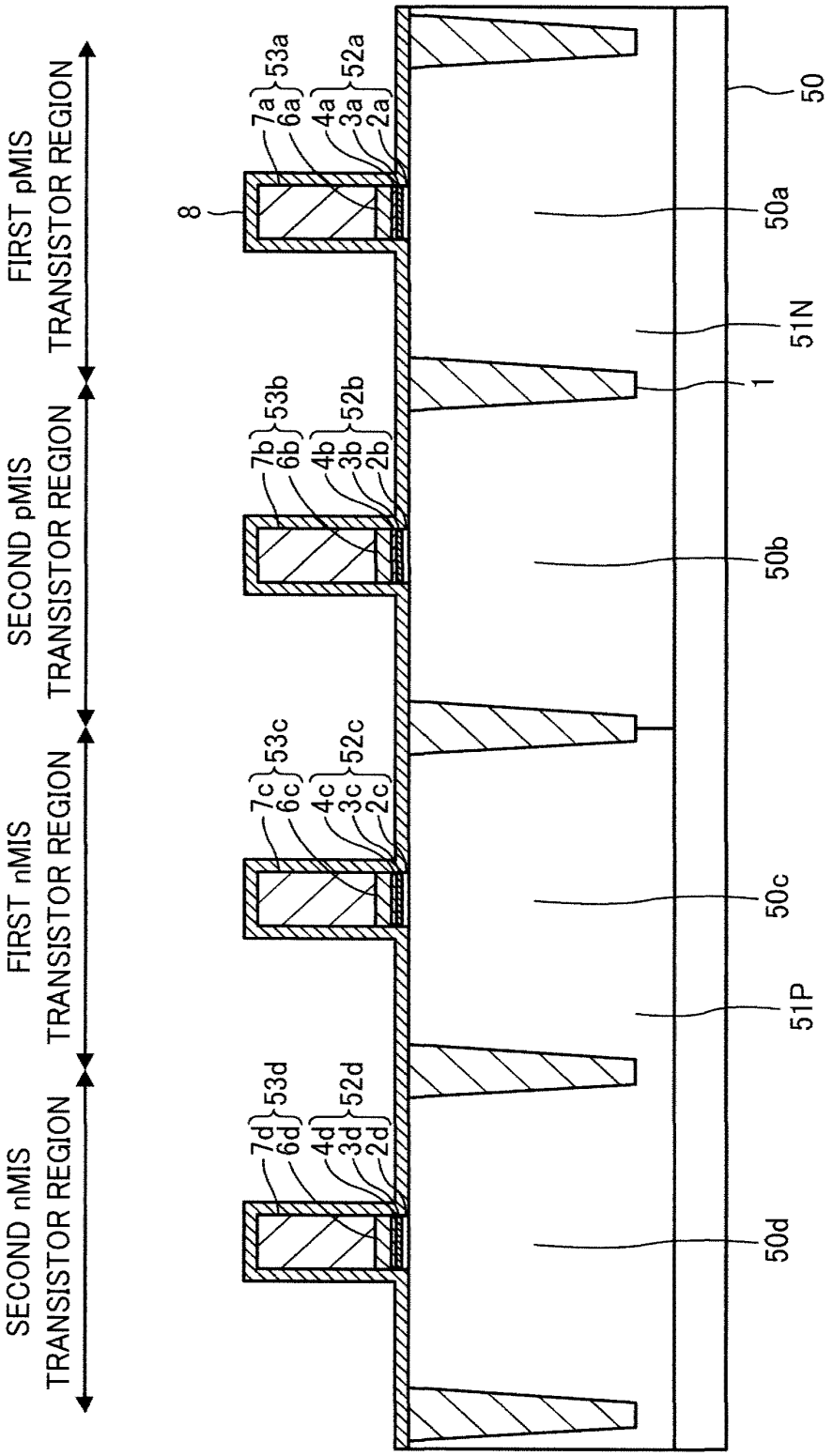
UMC 1002
UMC v. AICP

FIG.2



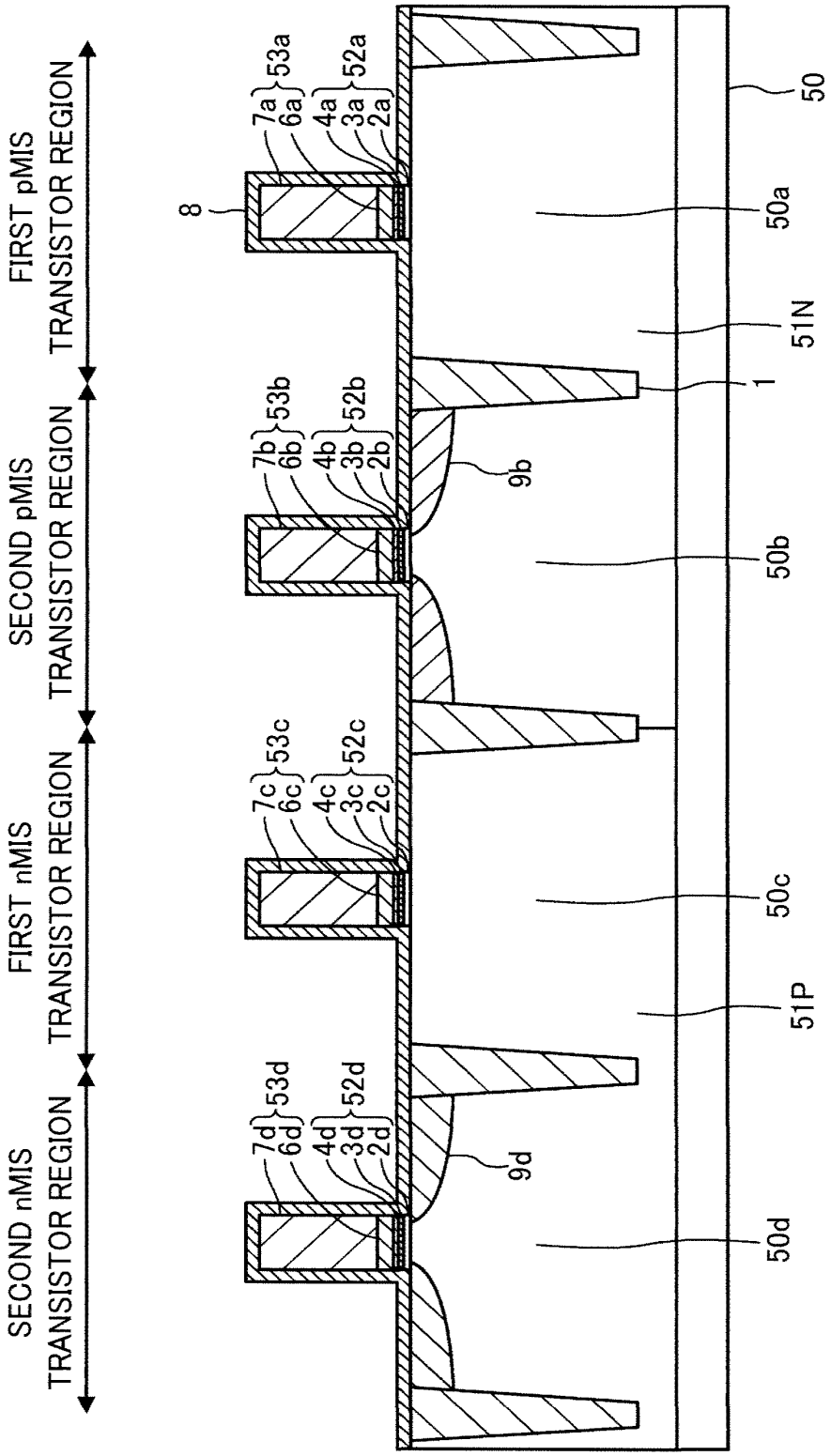
UMC 1002
UMC v. AICP

FIG.3



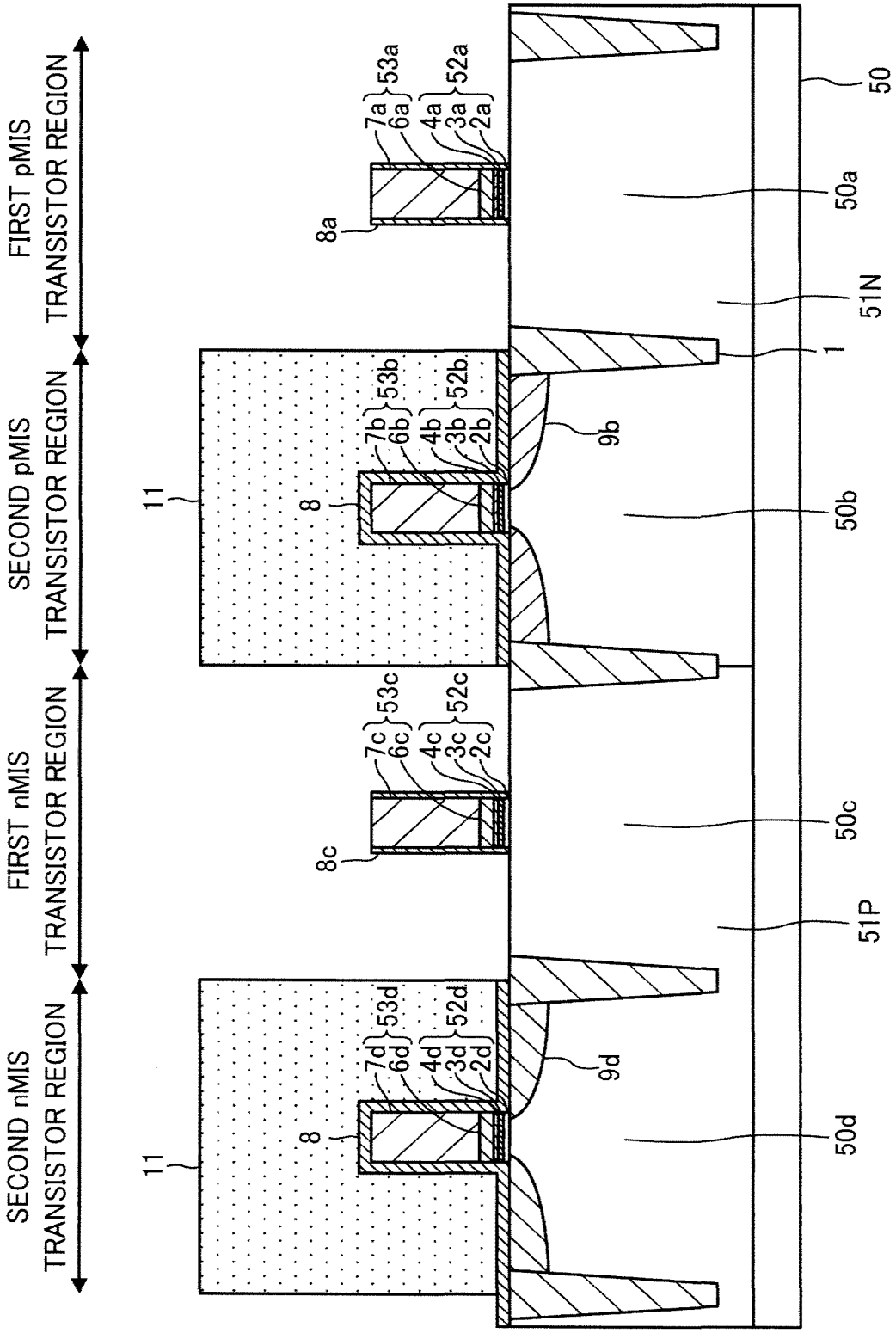
UMC 1002
UMC v. AICP

FIG.4



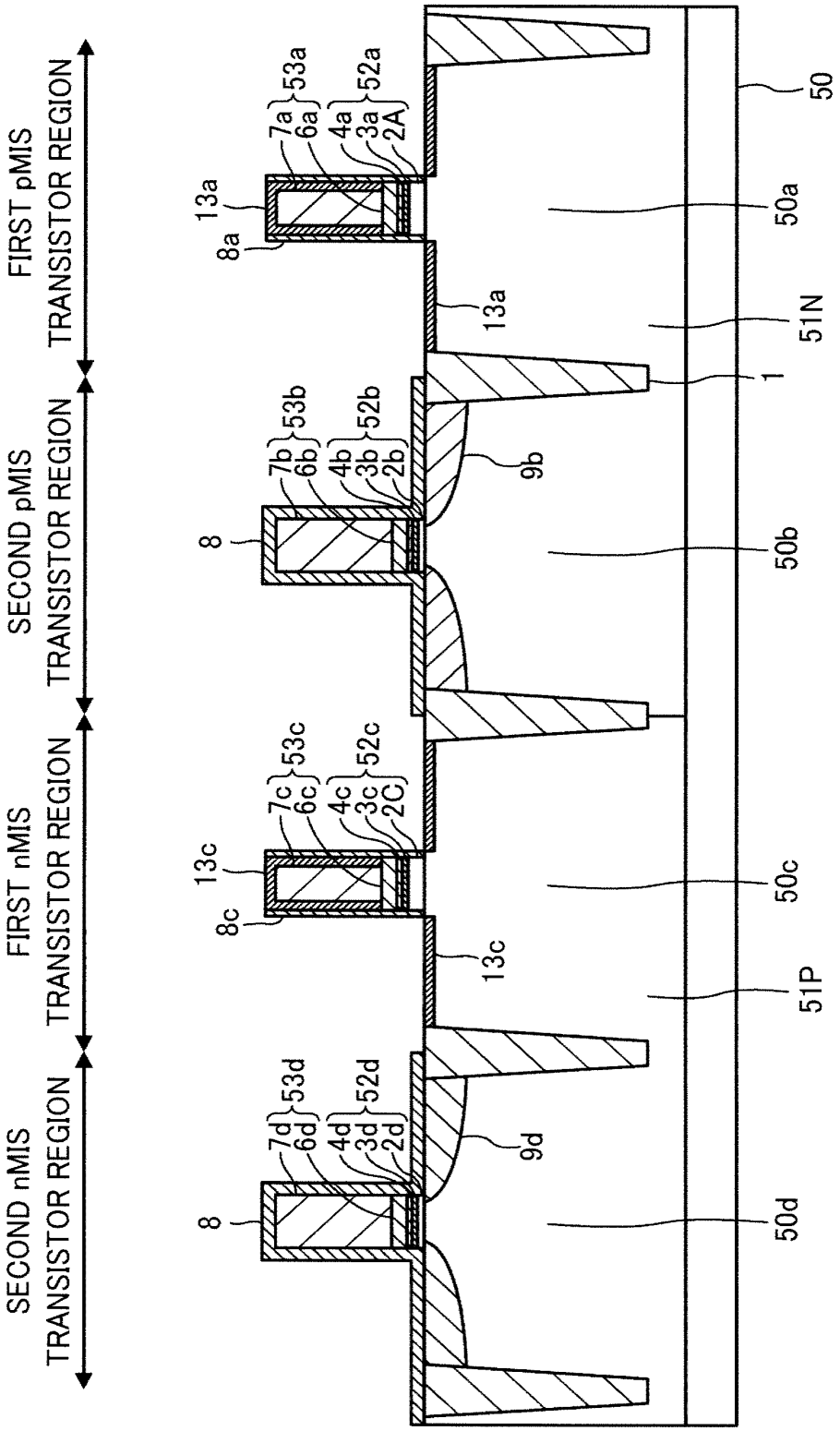
UMC 1002
UMC v. AICP

FIG.5



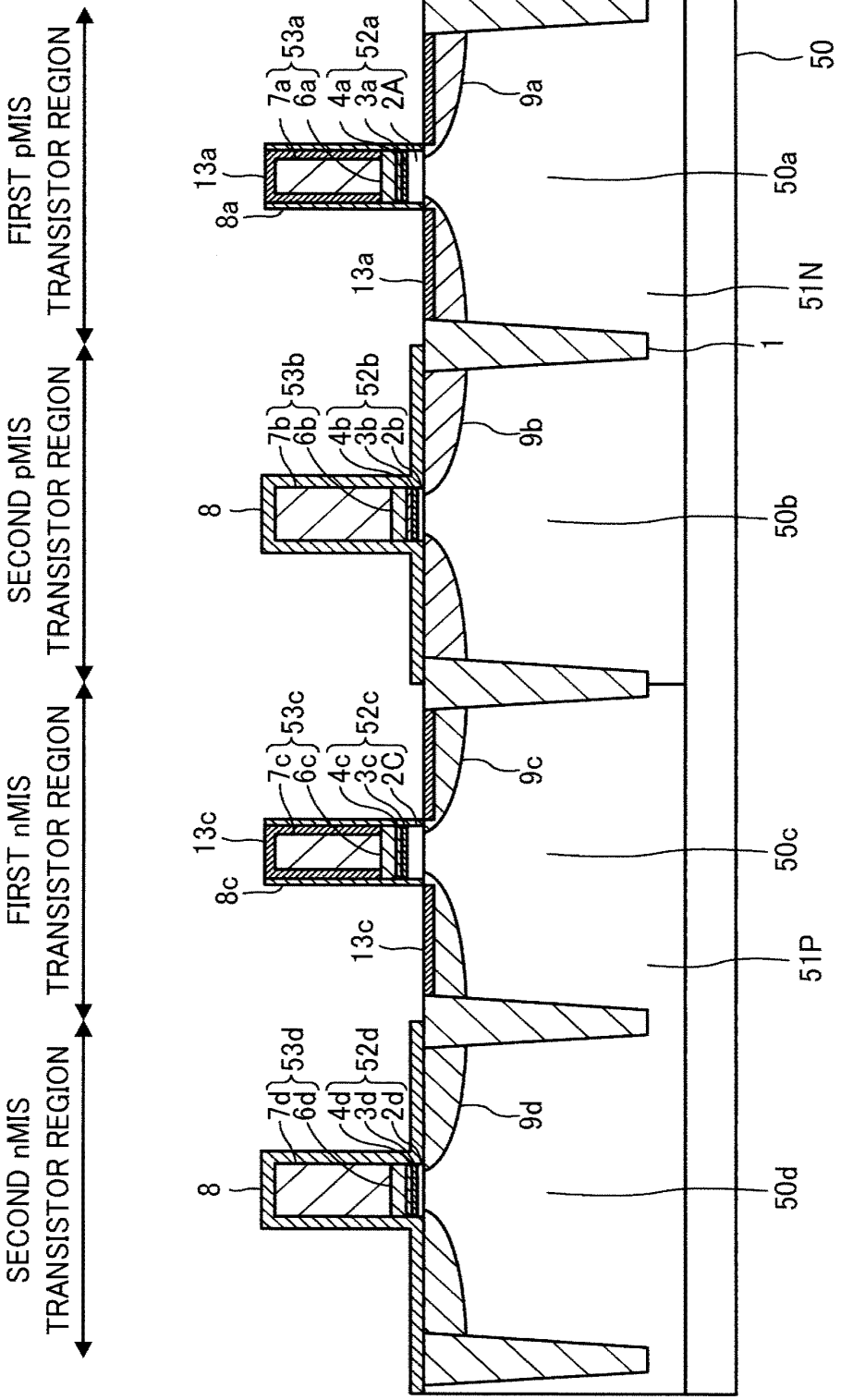
UMC 1002
UMC v. AICP

FIG.6



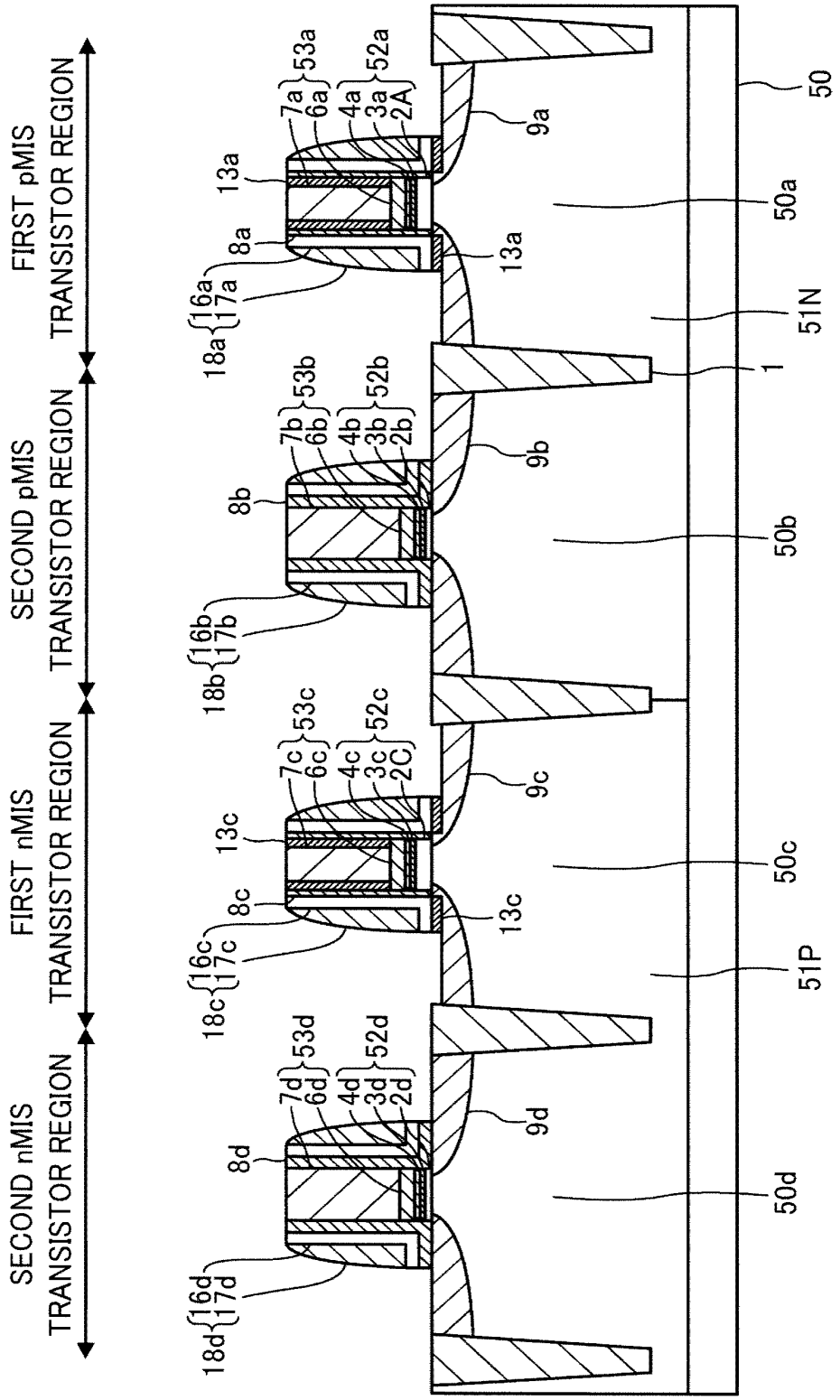
UMC 1002
UMC v. AICP

FIG.7



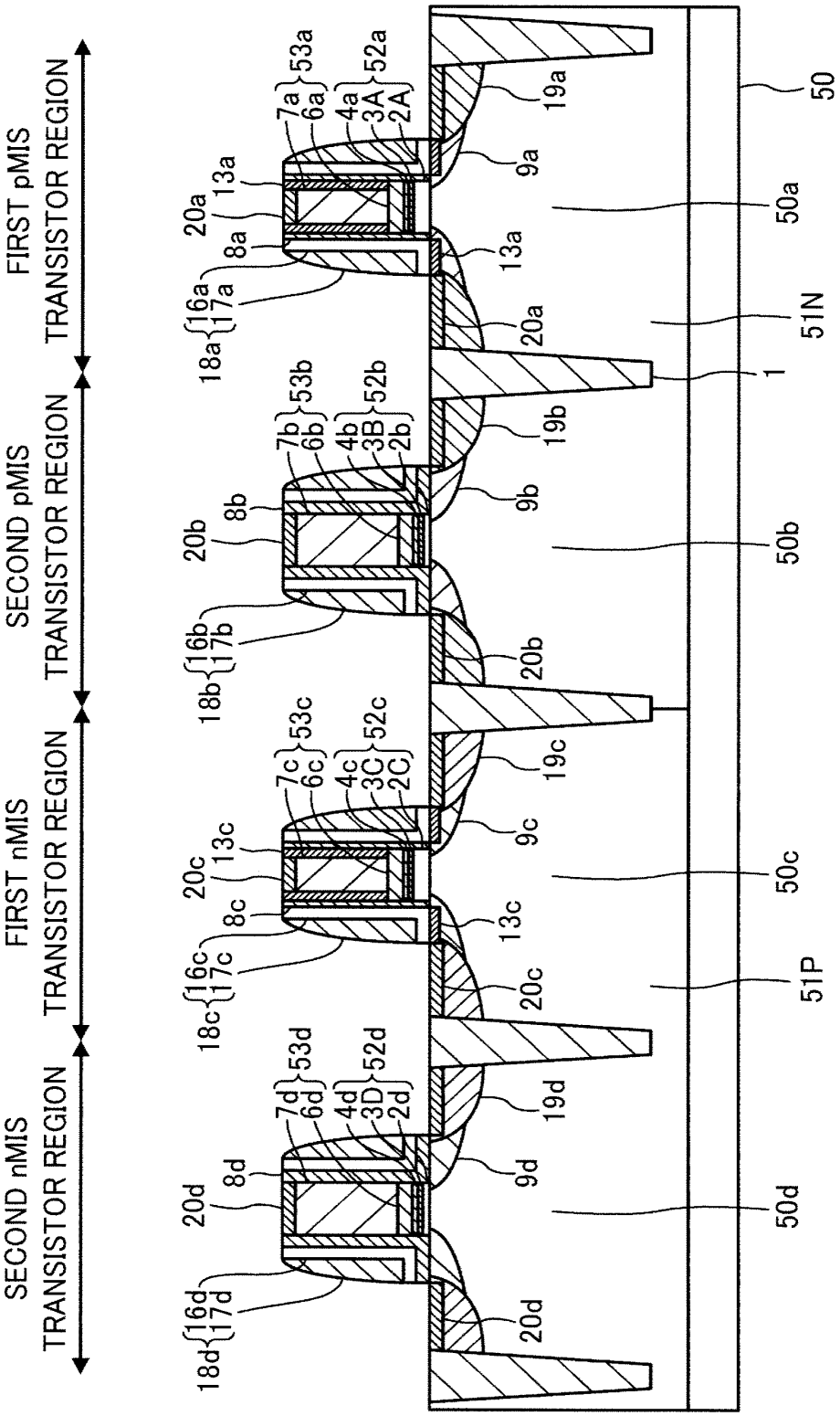
UMC 1002
UMC v. AICP

FIG.8



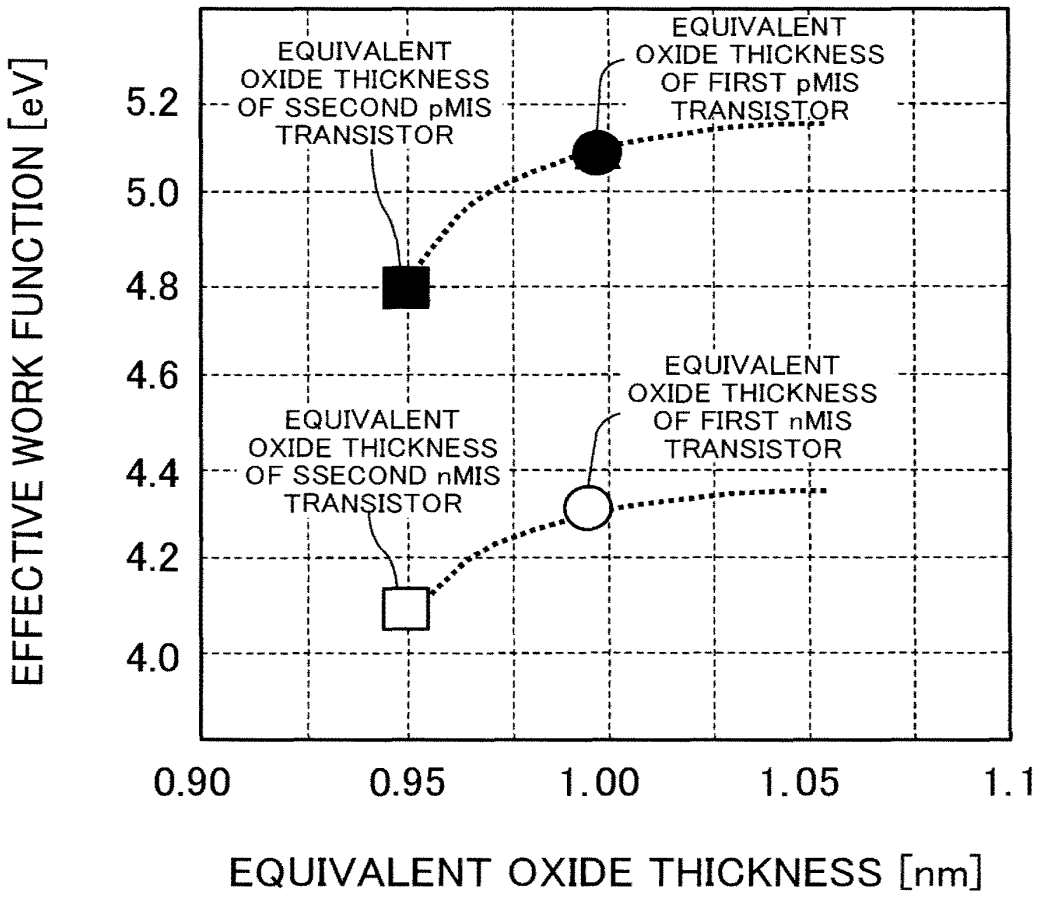
UMC 1002
UMC v. AICP

FIG.9



UMC 1002
UMC v. AICP

FIG.10



UMC 1002
UMC v. AICP

FIG.11
PRIOR ART

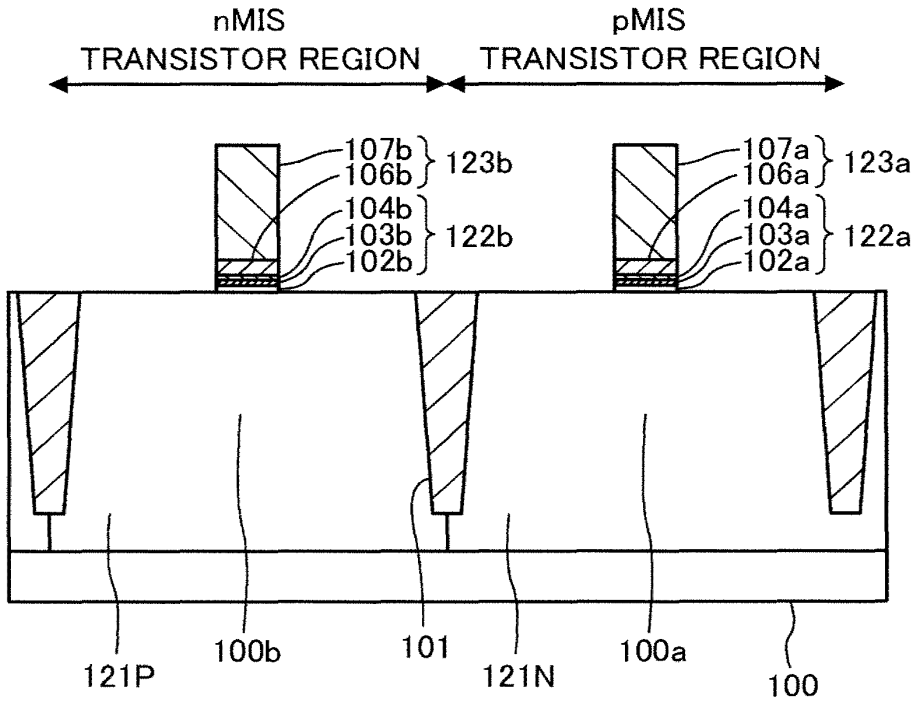
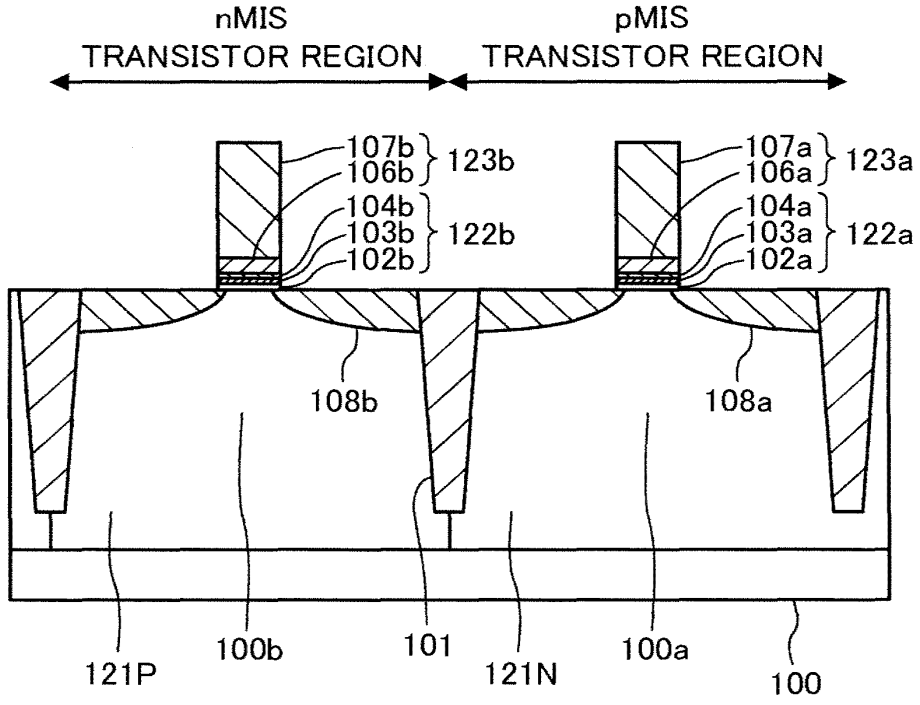
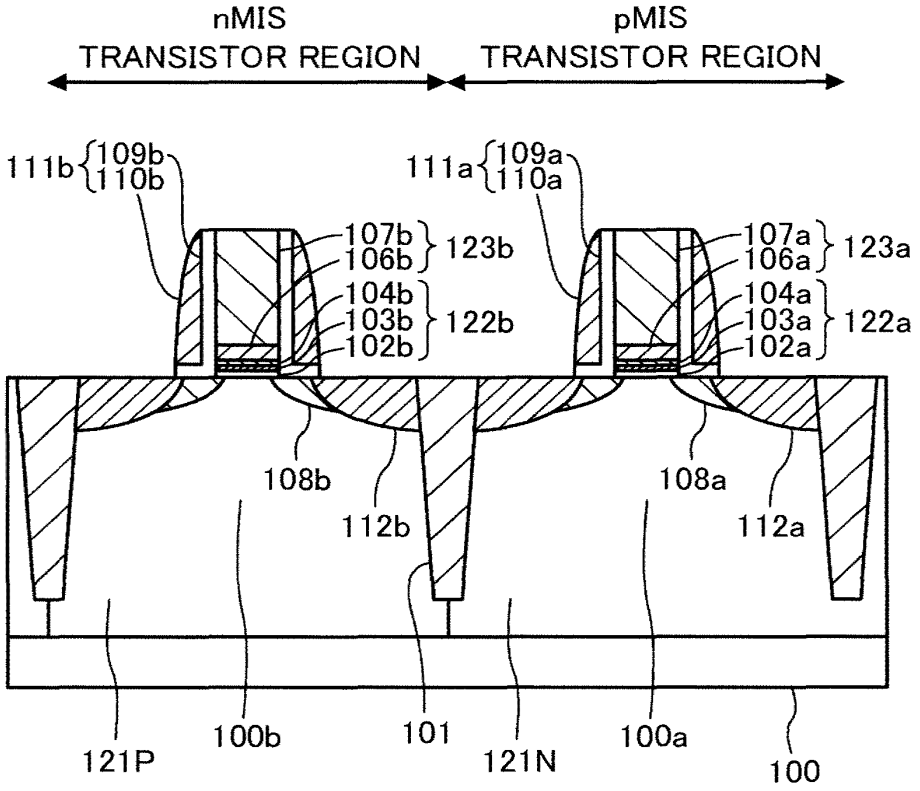


FIG.12
PRIOR ART



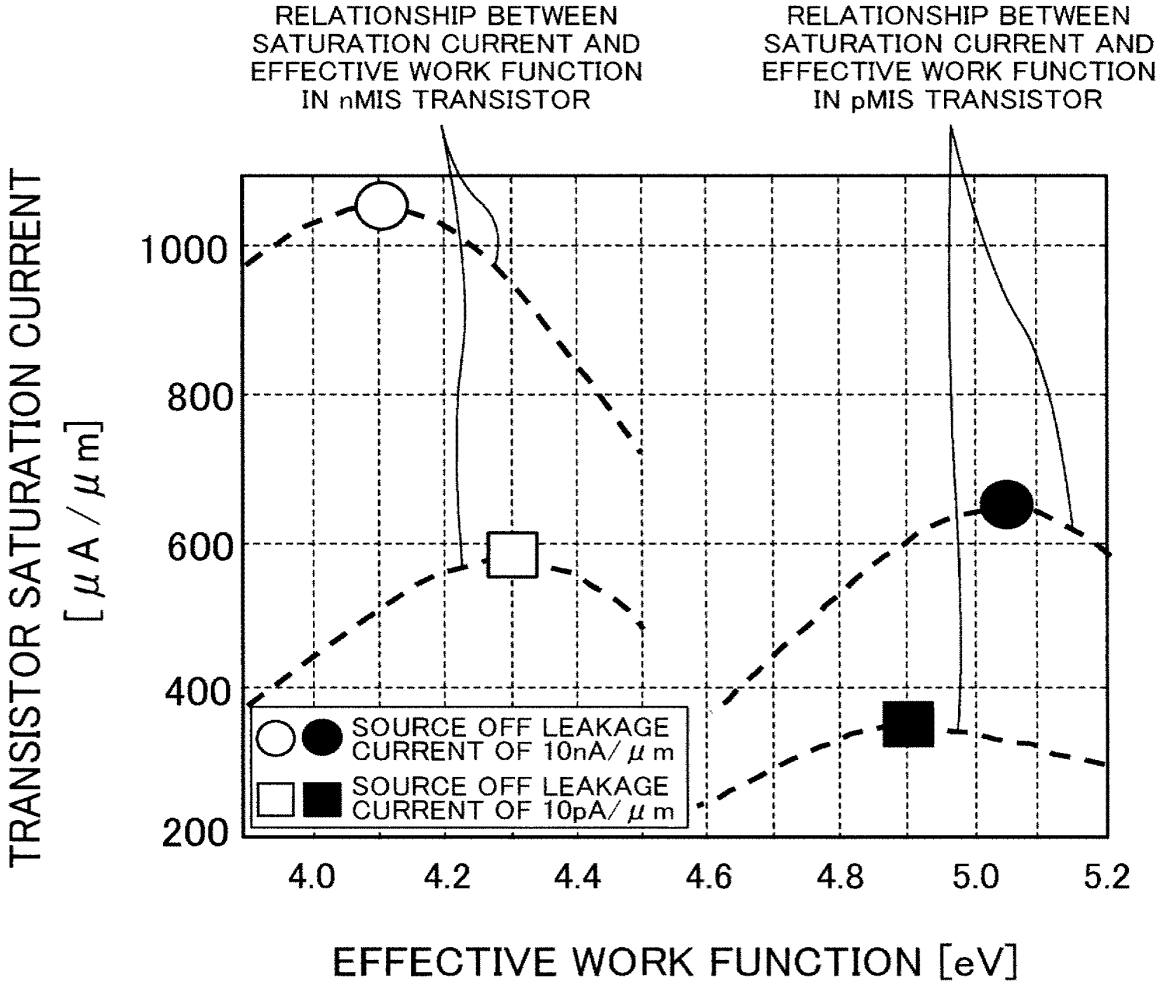
UMC 1002
UMC v. AICP

FIG.13
PRIOR ART



UMC 1002
UMC v. AICP

FIG.14



UMC 1002
UMC v. AICP

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING or 371(c) DATE	GRP ART UNIT	FIL FEE REC'D	ATTY.DOCKET.NO	TOT CLAIMS	IND CLAIMS
13/665,305	10/31/2012	2811	1260	085393-0941	16	1

CONFIRMATION NO. 6981

53080
MCDERMOTT WILL & EMERY LLP
The McDermott Building
500 North Capitol Street, N.W.
WASHINGTON, DC 20001

FILING RECEIPT

OC000000057727993

Date Mailed: 11/27/2012

Receipt is acknowledged of this non-provisional patent application. The application will be taken up for examination in due course. Applicant will be notified as to the results of the examination. Any correspondence concerning the application must include the following identification information: the U.S. APPLICATION NUMBER, FILING DATE, NAME OF APPLICANT, and TITLE OF INVENTION. Fees transmitted by check or draft are subject to collection. Please verify the accuracy of the data presented on this receipt. **If an error is noted on this Filing Receipt, please submit a written request for a Filing Receipt Correction. Please provide a copy of this Filing Receipt with the changes noted thereon. If you received a "Notice to File Missing Parts" for this application, please submit any corrections to this Filing Receipt with your reply to the Notice. When the USPTO processes the reply to the Notice, the USPTO will generate another Filing Receipt incorporating the requested corrections**

Inventor(s)

Satoru ITO, Hyogo, JAPAN;
Yoshiya MORIYAMA, Toyama, JAPAN;
Hiroshi OHKAWA, Toyama, JAPAN;
Susumu AKAMATSU, Toyama, JAPAN;

Applicant(s)

Panasonic Corporation, Osaka, JAPAN

Assignment For Published Patent Application

PANASONIC CORPORATION, Osaka, JAPAN

Power of Attorney: The patent practitioners associated with Customer Number 53080

Domestic Priority data as claimed by applicant

This application is a CON of PCT/JP2011/002868 05/24/2011

Foreign Applications (You may be eligible to benefit from the **Patent Prosecution Highway** program at the USPTO. Please see http://www.uspto.gov for more information.)
JAPAN 2010-205599 09/14/2010

Permission to Access - A proper **Authorization to Permit Access to Application by Participating Offices** (PTO/SB/39 or its equivalent) has been received by the USPTO.

Request to Retrieve - This application either claims priority to one or more applications filed in an intellectual property Office that participates in the Priority Document Exchange (PDX) program or contains a proper **Request to**

Retrieve Electronic Priority Application(s) (PTO/SB/38 or its equivalent). Consequently, the USPTO will attempt to electronically retrieve these priority documents.

If Required, Foreign Filing License Granted: 11/20/2012

The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is **US 13/665,305**

Projected Publication Date: 03/07/2013

Non-Publication Request: No

Early Publication Request: No

Title

SEMICONDUCTOR DEVICE

Preliminary Class

257

PROTECTING YOUR INVENTION OUTSIDE THE UNITED STATES

Since the rights granted by a U.S. patent extend only throughout the territory of the United States and have no effect in a foreign country, an inventor who wishes patent protection in another country must apply for a patent in a specific country or in regional patent offices. Applicants may wish to consider the filing of an international application under the Patent Cooperation Treaty (PCT). An international (PCT) application generally has the same effect as a regular national patent application in each PCT-member country. The PCT process **simplifies** the filing of patent applications on the same invention in member countries, but **does not result** in a grant of "an international patent" and does not eliminate the need of applicants to file additional documents and fees in countries where patent protection is desired.

Almost every country has its own patent law, and a person desiring a patent in a particular country must make an application for patent in that country in accordance with its particular laws. Since the laws of many countries differ in various respects from the patent law of the United States, applicants are advised to seek guidance from specific foreign countries to ensure that patent rights are not lost prematurely.

Applicants also are advised that in the case of inventions made in the United States, the Director of the USPTO must issue a license before applicants can apply for a patent in a foreign country. The filing of a U.S. patent application serves as a request for a foreign filing license. The application's filing receipt contains further information and guidance as to the status of applicant's license for foreign filing.

Applicants may wish to consult the USPTO booklet, "General Information Concerning Patents" (specifically, the section entitled "Treaties and Foreign Patents") for more information on timeframes and deadlines for filing foreign patent applications. The guide is available either by contacting the USPTO Contact Center at 800-786-9199, or it can be viewed on the USPTO website at http://www.uspto.gov/web/offices/pac/doc/general/index.html.

For information on preventing theft of your intellectual property (patents, trademarks and copyrights), you may wish to consult the U.S. Government website, http://www.stopfakes.gov. Part of a Department of Commerce initiative, this website includes self-help "toolkits" giving innovators guidance on how to protect intellectual property in specific countries such as China, Korea and Mexico. For questions regarding patent enforcement issues, applicants may call the U.S. Government hotline at 1-866-999-HALT (1-866-999-4158).

LICENSE FOR FOREIGN FILING UNDER

Title 35, United States Code, Section 184

Title 37, Code of Federal Regulations, 5.11 & 5.15

GRANTED

The applicant has been granted a license under 35 U.S.C. 184, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" followed by a date appears on this form. Such licenses are issued in all applications where the conditions for issuance of a license have been met, regardless of whether or not a license may be required as set forth in 37 CFR 5.15. The scope and limitations of this license are set forth in 37 CFR 5.15(a) unless an earlier license has been issued under 37 CFR 5.15(b). The license is subject to revocation upon written notification. The date indicated is the effective date of the license, unless an earlier license of similar scope has been granted under 37 CFR 5.13 or 5.14.

This license is to be retained by the licensee and may be used at any time on or after the effective date thereof unless it is revoked. This license is automatically transferred to any related applications(s) filed under 37 CFR 1.53(d). This license is not retroactive.

The grant of a license does not in any way lessen the responsibility of a licensee for the security of the subject matter as imposed by any Government contract or the provisions of existing laws relating to espionage and the national security or the export of technical data. Licensees should apprise themselves of current regulations especially with respect to certain countries, of other agencies, particularly the Office of Defense Trade Controls, Department of State (with respect to Arms, Munitions and Implements of War (22 CFR 121-128)); the Bureau of Industry and Security, Department of Commerce (15 CFR parts 730-774); the Office of Foreign AssetsControl, Department of Treasury (31 CFR Parts 500+) and the Department of Energy.

NOT GRANTED

No license under 35 U.S.C. 184 has been granted at this time, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" DOES NOT appear on this form. Applicant may still petition for a license under 37 CFR 5.12, if a license is desired before the expiration of 6 months from the filing date of the application. If 6 months has lapsed from the filing date of this application and the licensee has not received any indication of a secrecy order under 35 U.S.C. 181, the licensee may foreign file the application pursuant to 37 CFR 5.15(b).

SelectUSA

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation and commercialization of new technologies. The USA offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to encourage, facilitate, and accelerate business investment. To learn more about why the USA is the best country in the world to develop technology, manufacture products, and grow your business, visit SelectUSA.gov.

PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875

Application or Docket Number: 13/665,305

APPLICATION AS FILED - PART I

FOR	(Column 1) NUMBER FILED	(Column 2) NUMBER EXTRA	SMALL ENTITY RATE($)	SMALL ENTITY FEE($)	OR	OTHER THAN SMALL ENTITY RATE($)	OTHER THAN SMALL ENTITY FEE($)
BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A	390
SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A			N/A	620
EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A	250
TOTAL CLAIMS (37 CFR 1.16(i))	16 minus 20 =	*			OR	x 62 =	0.00
INDEPENDENT CLAIMS (37 CFR 1.16(h))	1 minus 3 =	*				x 250 =	0.00
APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $310 ($155 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).						0.00
MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))							0.00
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL	1260

APPLICATION AS AMENDED - PART II

		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE($)	SMALL ENTITY ADDITIONAL FEE($)	OR	OTHER THAN SMALL ENTITY RATE($)	OTHER THAN SMALL ENTITY ADDITIONAL FEE($)
AMENDMENT A	Total (37 CFR 1.16(i))	*	Minus	**	=	x =		OR	x =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	x =		OR	x =	
	Application Size Fee (37 CFR 1.16(s))									
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE($)	SMALL ENTITY ADDITIONAL FEE($)	OR	OTHER THAN SMALL ENTITY RATE($)	OTHER THAN SMALL ENTITY ADDITIONAL FEE($)
AMENDMENT B	Total (37 CFR 1.16(i))	*	Minus	**	=	x =		OR	x =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	x =		OR	x =	
	Application Size Fee (37 CFR 1.16(s))									
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".
The "Highest Number Previously Paid For" (Total or Independent) is the highest found in the appropriate box in column 1.

UMC 1002
UMC v. AICP

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
13/665,305	10/31/2012	Satoru ITO	085393-0941

CONFIRMATION NO. 6981

53080
MCDERMOTT WILL & EMERY LLP
The McDermott Building
500 North Capitol Street, N.W.
WASHINGTON, DC 20001

POA ACCEPTANCE LETTER

OC000000057727883

Date Mailed: 11/27/2012

NOTICE OF ACCEPTANCE OF POWER OF ATTORNEY

This is in response to the Power of Attorney filed 10/31/2012.

The Power of Attorney in this application is accepted. Correspondence in this application will be mailed to the above address as provided by 37 CFR 1.33.

/bto/

Office of Data Management, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101

日　本　国　特　許　庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出　願　年　月　日
Date of Application:　２０１０年　９月１４日

出　願　番　号
Application Number:　特願２０１０－２０５５９９

パリ条約による外国への出願に用いる優先権の主張の基礎となる出願の国コードと出願番号
The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is　ＪＰ２０１０－２０５５９９

出　願　人
Applicant(s):　パナソニック株式会社

２０１２年１２月２０日

特許庁長官
Commissioner,
Japan Patent Office　深野弘行

UMC 1002
UMC v. AICP

【書類名】　特許願
【整理番号】　P59642201
【あて先】　特許庁長官　殿
【国際特許分類】　H01L 29/78
【発明者】
　【住所又は居所】　大阪府門真市大字門真１００６番地　パナソニック株式会社内
　【氏名】　伊藤　理
【発明者】
　【住所又は居所】　大阪府門真市大字門真１００６番地　パナソニック株式会社内
　【氏名】　守山　善也
【発明者】
　【住所又は居所】　大阪府門真市大字門真１００６番地　パナソニック株式会社内
　【氏名】　大川　浩
【発明者】
　【住所又は居所】　大阪府門真市大字門真１００６番地　パナソニック株式会社内
　【氏名】　赤松　晋
【特許出願人】
　【識別番号】　000005821
　【氏名又は名称】　パナソニック株式会社
【代理人】
　【識別番号】　100077931
　【弁理士】
　【氏名又は名称】　前田　弘
【選任した代理人】
　【識別番号】　100110939
　【弁理士】
　【氏名又は名称】　竹内　宏
【選任した代理人】
　【識別番号】　100110940
　【弁理士】
　【氏名又は名称】　嶋田　高久
【選任した代理人】
　【識別番号】　100113262
　【弁理士】
　【氏名又は名称】　竹内　祐二
【選任した代理人】
　【識別番号】　100115059
　【弁理士】
　【氏名又は名称】　今江　克実
【選任した代理人】
　【識別番号】　100117581
　【弁理士】
　【氏名又は名称】　二宮　克也
【選任した代理人】
　【識別番号】　100117710
　【弁理士】
　【氏名又は名称】　原田　智雄

【選任した代理人】
【識別番号】　100121728
【弁理士】
【氏名又は名称】　井関　勝守
【選任した代理人】
【識別番号】　100124671
【弁理士】
【氏名又は名称】　関　啓
【選任した代理人】
【識別番号】　100131060
【弁理士】
【氏名又は名称】　杉浦　靖也
【選任した代理人】
【識別番号】　100131200
【弁理士】
【氏名又は名称】　河部　大輔
【選任した代理人】
【識別番号】　100131901
【弁理士】
【氏名又は名称】　長谷川　雅典
【選任した代理人】
【識別番号】　100132012
【弁理士】
【氏名又は名称】　岩下　嗣也
【選任した代理人】
【識別番号】　100141276
【弁理士】
【氏名又は名称】　福本　康二
【選任した代理人】
【識別番号】　100143409
【弁理士】
【氏名又は名称】　前田　亮
【選任した代理人】
【識別番号】　100157093
【弁理士】
【氏名又は名称】　間脇　八蔵
【電話番号】　06-6125-2255
【連絡先】　担当
【選任した代理人】
【識別番号】　100163186
【弁理士】
【氏名又は名称】　松永　裕吉
【選任した代理人】
【識別番号】　100163197
【弁理士】
【氏名又は名称】　川北　憲司
【選任した代理人】
【識別番号】　100163588
【弁理士】
【氏名又は名称】　岡澤　祥平

【手数料の表示】
　【予納台帳番号】　014409
　【納付金額】　15,000円
【提出物件の目録】
　【物件名】　明細書　1
　【物件名】　特許請求の範囲　1
　【物件名】　要約書　1
　【物件名】　図面　1
　【包括委任状番号】　1003292

UMC 1002
UMC v. AICP

【書類名】明細書
【発明の名称】半導体装置及びその製造方法
【技術分野】
【０００１】
本発明は、半導体装置及び半導体装置の製造方法に関し、特に、半導体基板上に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極とを有するＭＩＳ（metal insulator semiconductor ）型の半導体装置及び半導体装置の製造方法に関する。
【背景技術】
【０００２】
半導体集積回路装置の高速化及び低消費電力化の要求に応じる為、ＭＩＳＦＥＴ（metal insulator semiconductor field-effect transitor：以下、ＭＩＳトランジスタと称する）では、ゲート絶縁膜の薄膜化が行われている。このようなゲート絶縁膜の薄膜化において、従来から使用されているシリコン酸化膜を薄膜化した場合、トンネル電流に起因するゲートリーク電流が増大する。そこで、シリコン酸化膜に代えて、HfO_2 膜等のいわゆる高誘電率絶縁膜をゲート絶縁膜に用いることによって、等価酸化膜厚（Equivalent oxide thickness：ＥＯＴ）を薄膜化すると共に、ゲート電極となるポリシリコン膜とゲート絶縁膜との間に、ゲート電極の一部として金属含有膜を挟み込む所謂ＭＩＰＳ（Metal Inserted Poly Silicon ）構造を用いることによって、ゲート電極の空乏化を防止することが試みられている（例えば非特許文献１参照）。尚、高誘電率絶縁膜とは、シリコン窒化膜の比誘電率よりも高い比誘電率を持つ絶縁膜、例えば比誘電率が８以上の絶縁膜を意味する。
【０００３】
以下、同一基板上に設けられたｎ型ＭＩＳトランジスタとｐ型ＭＩＳトランジスタとから構成されたＣＭＩＳ（Complementary metal insulator semiconductor ）素子を備え、ゲート絶縁膜にはHfO_2 膜を、ゲート電極にはＭＩＰＳ構造をそれぞれ用いた従来の半導体装置の製造方法について、図１１～図１３を参照しながら説明する。図１１～図１３は、従来の半導体装置の製造方法を工程順に示す断面図（ゲート長方向の断面図）である。尚、図１１～図１３において、左側に示す「ｎＭＩＳトランジスタ領域」とは、Ｎ型ＭＩＳトランジスタが形成される領域を示し、右側に示す「ｐＭＩＳトランジスタ領域」とは、Ｐ型ＭＩＳトランジスタが形成される領域を示す。
【０００４】
まず、図１１に示すように、ｐ型シリコンからなる半導体基板１００の上部に、シャロートレンチ分離１０１を選択的に形成することによって、ｐＭＩＳトランジスタ領域とｎＭＩＳトランジスタ領域とを区画する。ここで、ｐＭＩＳトランジスタ領域の半導体基板１００におけるシャロートレンチ分離１０１に囲まれた部分が活性領域１００ａとなり、ｎＭＩＳトランジスタ領域の半導体基板１００におけるシャロートレンチ分離１０１に囲まれた部分が活性領域１００ｂとなる。
【０００５】
次に、ｐＭＩＳトランジスタ領域の半導体基板１００にｎ型ウェル領域１２１Ｎを形成し、ｎＭＩＳトランジスタ領域の半導体基板１００にｐ型ウェル領域１２１Ｐを形成する。その後、フォトリソグラフィ法及びドライエッチング法により、ｐＭＩＳトランジスタ領域の活性領域１００ａ上にゲート絶縁膜１２２ａを介してゲート電極１２３ａを形成すると共に、ｎＭＩＳトランジスタ領域の活性領域１００ｂ上にゲート絶縁膜１２２ｂを介してゲート電極１２３ｂを形成する。
【０００６】
ここで、ゲート絶縁膜１２２ａは、シリコン酸化膜からなる界面層１０２ａと、界面層１０２ａ上に形成され且つHfO_2 膜からなる高誘電率絶縁膜（以下、ｈｉｇｈ－ｋ膜と称する）１０３ａと、ｈｉｇｈ－ｋ膜１０３ａ上に形成されたｐＭＩＳ用キャップ膜１０４ａとからなる。また、ゲート絶縁膜１２２ｂは、シリコン酸化膜からなる界面層１０２ｂと、界面層１０２ｂ上に形成され且つHfO_2 膜からなるｈｉｇｈ－ｋ膜１０３ｂと、

ｈｉｇｈ－ｋ膜１０３ｂ上に形成されたｎＭＩＳ用キャップ膜１０４ｂとからなる。ｐＭＩＳ用キャップ膜１０４ａ及びｎＭＩＳ用キャップ膜１０４ｂによって各ゲート電極１２３ａ及び１２３ｂの仕事関数の制御が可能となる。

【０００７】

また、ゲート電極１２３ａは、メタル膜１０６ａと、メタル膜１０６ａ上に形成されたポリシリコン膜１０７ａとからなり、ゲート電極１２３ｂは、メタル膜１０６ｂと、メタル膜１０６ｂ上に形成されたポリシリコン膜１０７ｂとからなる。

【０００８】

次に、図１２に示すように、ｐＭＩＳトランジスタ領域の半導体基板１００にｐ型不純物を導入することによって、ゲート電極１２３ａの両側にエクステンション領域１０８ａを形成し、ｎＭＩＳトランジスタ領域の半導体基板１００にｎ型不純物を導入することによって、ゲート電極１２３ｂの両側にエクステンション領域１０８ｂを形成する。

【０００９】

次に、半導体基板１００上の全面にシリコン酸化膜及びシリコン窒化膜を順次堆積した後、シリコン窒化膜及びシリコン酸化膜に対して異方性エッチングを行う。これにより、図１３に示すように、ゲート電極１２３ａの両側面上に、シリコン酸化膜１０９ａ及びシリコン窒化膜１１０ａからなるサイドウォールスペーサ１１１ａが形成されると共に、ゲート電極１２３ｂの両側面上に、シリコン酸化膜１０９ｂ及びシリコン窒化膜１１０ｂからなるサイドウォールスペーサ１１１ｂが形成される。その後、ｐＭＩＳトランジスタ領域の半導体基板１００にｐ型不純物を導入することによって、ゲート電極１２３ａ及びサイドウォールスペーサ１１１ａの両側にソースドレイン領域１１２ａを形成し、ｎＭＩＳトランジスタ領域の半導体基板１００にｎ型不純物を導入することによって、ゲート電極１２３ｂ及びサイドウォールスペーサ１１１ｂの両側にソースドレイン領域１１２ｂを形成する。以上の工程によって、ＣＭＩＳ素子が形成される。

【先行技術文献】

【非特許文献】

【００１０】

【非特許文献１】T. Schram 他、Novel Process To Pattern Selectively Dual Dielectric Capping Layers Using Soft-Mask Only、2008. Symp. On VLSI techonology、p.44

【発明の概要】

【発明が解決しようとする課題】

【００１１】

前述のようなＣＭＩＳ素子を使用して、異なる閾値電圧（Ｖｔｈ）を有する複数のトランジスタを半導体集積回路内に形成すると共に、高速動作が要求される回路では低Ｖｔｈトランジスタを、低スタンバイリークが要求される回路では高Ｖｔｈトランジスタを使用することによって、より高性能な半導体集積回路装置を形成することが可能となる。

【００１２】

図１４は、トランジスタにおける実効仕事関数と飽和電流との関係を示している。図１４においては、実効仕事関数値を変化させながら、それぞれの実効仕事関数値で最も高い飽和電流が得られるようにトランジスタチャンネル内不純物を設定した場合のトランジスタ飽和電流を異なる２種類のソースオフリークについて破線で示している。

【００１３】

図１４に示すように、ｎＭＩＳトランジスタ及びｐＭＩＳトランジスタのそれぞれにおいて、実効仕事関数に対して飽和電流が最大となる点が異なっていること、及び、同じ導電型のトランジスタであっても、ソースオフリークが異なるトランジスタの間では、飽和電流が最大となる実効仕事関数が異なっていることがわかる。

【００１４】

尚、「実効仕事関数」とは、ＭＩＳトランジスタの電気特性から求められる仕事関数であって、真空準位と金属のエネルギー準位との差を示す物性的な仕事関数に絶縁膜中の準

位などの影響を加味することによって得られる。また、図１４に示す「飽和電流」は、単位ゲート幅当たりの駆動電流であって、トランジスタの駆動力を表している。

【００１５】

ところで、所望のソースオフリーク電流及びＶｔｈ（閾値電圧）に対して実効仕事関数がｎＭＩＳトランジスタにおいては低すぎ、ｐＭＩＳトランジスタにおいては高すぎる場合、チャンネル内不純物濃度を高く設定しなければならないので、トランジスタ飽和電流は低下する。また、所望のソースオフリーク電流及びＶｔｈに対して実効仕事関数がｎＭＩＳトランジスタにおいては高すぎ、ｐＭＩＳトランジスタにおいては低すぎる場合、Ｖｔｈ調整のためのチャンネル内不純物を十分に導入できないため、サブスレッショルド特性が悪化するので、オフリーク電流一定条件下でのトランジスタ飽和電流は低下する。

【００１６】

従って、複数のＶｔｈを必要とする半導体集積回路装置において、それぞれのＶｔｈでのトランジスタ駆動電流を極大にするためには、異なる仕事関数を有する複数のゲート構造を１チップ内に形成することが必要となる。

【００１７】

しかしながら、前述の従来の半導体装置の製造方法においては、ｎＭＩＳトランジスタ及びｐＭＩＳトランジスタのそれぞれにおいて一種類の仕事関数しか設定できない。

【００１８】

前記に鑑み、本発明は、ゲート絶縁膜にｈｉｇｈ－ｋ膜を使用したＭＩＳ構造の半導体装置において、互いに異なる仕事関数を有する複数の同一導電型トランジスタを設けることを可能にすることを目的とする。

【課題を解決するための手段】

【００１９】

前記の目的を達成するために、本願発明者らは、異なる仕事関数を有するゲート構造（ゲート絶縁膜とゲート電極とのスタック構造）を作り分ける方法として、ｎＭＩＳ用キャップ膜やｐＭＩＳ用キャップ膜の膜厚を変える方法、及び、トランジスタ毎にメタル電極を作り分ける方法等を検討してみたが、こられの方法はいずれも製造工程の大幅な増加を招くので、実用的ではない。

【００２０】

そこで、本願発明者らは、さらなる検討を行った結果、ゲート構造の形成後に、ゲート絶縁膜の最下層を構成する界面層の厚さを選択的酸化により増大させることによって、異なる仕事関数を有するゲート構造を作り分けることに想到した。

【００２１】

具体的には、本発明に係る半導体装置は、同じ導電型の第１のＭＩＳトランジスタ及び第２のＭＩＳトランジスタを同じ半導体基板上に有する半導体装置であって、前記第１のＭＩＳトランジスタは、前記半導体基板における第１の活性領域上に形成された第１のゲート絶縁膜と、前記第１のゲート絶縁膜上に形成された第１のゲート電極とを備え、前記第２のＭＩＳトランジスタは、前記半導体基板における第２の活性領域上に形成された第２のゲート絶縁膜と、前記第２のゲート絶縁膜上に形成された第２のゲート電極とを備え、前記第１のゲート絶縁膜は、前記半導体基板と接する第１の界面層と、前記第１の界面層上に形成された第１の高誘電率絶縁膜とを含み、前記第２のゲート絶縁膜は、前記半導体基板と接する第２の界面層と、前記第２の界面層上に形成された第２の高誘電率絶縁膜とを含み、前記第１の界面層の厚さは、前記第２の界面層の厚さよりも厚い。

【００２２】

本発明に係る半導体装置によると、第１のＭＩＳトランジスタにおけるゲート絶縁膜の界面層の厚さは、第１のＭＩＳトランジスタと同じ導電型の第２のＭＩＳトランジスタにおけるゲート絶縁膜の界面層の厚さよりも厚い。このため、第１のＭＩＳトランジスタのゲート絶縁膜のＥＯＴが増大するので、第１のＭＩＳトランジスタの実効仕事関数が増大する。従って、ゲート絶縁膜にｈｉｇｈ－ｋ膜を使用したＭＩＳ構造の半導体装置において、互いに異なる仕事関数を有する複数の同一導電型トランジスタを設けることが可能と

なる。
【００２３】
本発明に係る半導体装置において、前記第１のゲート電極の側面上には第１の絶縁性スペーサを介して第１のサイドウォールスペーサが形成されており、前記第２のゲート電極の側面上には第２の絶縁性スペーサを介して第２のサイドウォールスペーサが形成されており、前記第１の絶縁性スペーサの厚さは、前記第２の絶縁性スペーサの厚さよりも薄くてもよい。このようにすると、ゲート構造の形成後、サイドウォールスペーサの形成前に、選択酸化を行うことによって、第１のＭＩＳトランジスタにおけるゲート絶縁膜の界面層を厚くすることができる。この場合、前記第１の絶縁性スペーサは、Ｉ字状の断面形状を持つオフセットスペーサであり、前記第２の絶縁性スペーサは、Ｌ字状の断面形状を持つ下地スペーサであってもよい。また、前記第１のゲート電極は、前記第１の高誘電率絶縁膜上に形成された第１の金属含有膜と、前記第１の金属含有膜上に形成された第１のシリコン膜とを含み、前記第２のゲート電極は、前記第２の高誘電率絶縁膜上に形成された第２の金属含有膜と、前記第２の金属含有膜上に形成された第２のシリコン膜とを含み、前記第１のシリコン膜と前記第１の絶縁性スペーサとの間にはシリコン酸化膜が介在しており、前記第２のシリコン膜と前記第２の絶縁性スペーサと接していてもよい。ここで、前記第１のシリコン膜上には第１の金属シリサイド層が形成されており、前記第２のシリコン膜上には第２の金属シリサイド層が形成されていてもよいし、或いは、前記第１の活性領域と前記第１のサイドウォールスペーサとの間にもシリコン酸化膜が介在していてもよい。また、前記第１の絶縁性スペーサ及び前記第２の絶縁性スペーサはシリコン窒化膜から構成されていてもよい。
【００２４】
本発明に係る半導体装置において、前記第１のＭＩＳトランジスタ及び前記第２のＭＩＳトランジスタはｐＭＩＳトランジスタであり、前記第１の高誘電率絶縁膜及び前記第２の高誘電率絶縁膜はアルミニウムを含有していてもよい。この場合、前記第１のゲート絶縁膜は、前記第１の高誘電率絶縁膜上に形成され且つアルミニウムを含有する第１のキャップ膜をさらに含み、前記第２のゲート絶縁膜は、前記第２の高誘電率絶縁膜上に形成され且つアルミニウムを含有する第２のキャップ膜をさらに含んでいてもよい。
【００２５】
本発明に係る半導体装置において、前記第１のＭＩＳトランジスタ及び前記第２のＭＩＳトランジスタはｎＭＩＳトランジスタであり、前記第１の高誘電率絶縁膜及び前記第２の高誘電率絶縁膜はランタンを含有していてもよい。この場合、前記第１のゲート絶縁膜は、前記第１の高誘電率絶縁膜上に形成され且つランタンを含有する第１のキャップ膜をさらに含み、前記第２のゲート絶縁膜は、前記第２の高誘電率絶縁膜上に形成され且つランタンを含有する第２のキャップ膜をさらに含んでいてもよい。尚、第１の高誘電率絶縁膜、第２の高誘電率絶縁膜、第１のキャップ膜、第２のキャップ膜が、ランタンに代えて、Ｄｙ（ジスプロシウム）、Ｓｃ（スカンジウム）、Ｇｄ（ガドリニウム）を含有していてもよい。
【００２６】
本発明に係る半導体装置において、前記第１の高誘電率絶縁膜及び前記第２の高誘電率絶縁膜はハフニウム又はジルコニウムを含んでいてもよい。
【００２７】
本発明に係る半導体装置において、前記第１の界面層及び前記第２の界面層はシリコン酸化膜から構成されていてもよい。
【００２８】
本発明に係る半導体装置において、前記第１の高誘電率絶縁膜の厚さと、前記第２の高誘電率絶縁膜の厚さとは実質的に同じであってもよいし、或いは、前記第１のゲート電極の材料と、前記第２のゲート電極の材料とは実質的に同じであってもよい。すなわち、本発明に係る半導体装置において、第１のＭＩＳトランジスタ及び第２のＭＩＳトランジスタは、界面層の厚さを除いて、実質的に同じゲート構造を有していてもよい。

【００２９】
本発明に係る半導体装置において、前記第１のＭＩＳトランジスタの実効仕事関数は、前記第２のＭＩＳトランジスタの実効仕事関数よりも高くてもよい。
【００３０】
また、本発明に係る半導体装置の製造方法は、第１の活性領域及び第２の活性領域を有する半導体基板上に、界面層、高誘電率絶縁膜及びゲート電極材料膜を順次形成する工程（ａ）と、前記ゲート電極材料膜、前記高誘電率絶縁膜及び前記界面層をパターニングすることによって、前記第１の活性領域上に、前記界面層及び前記高誘電率絶縁膜を含む第１のゲート絶縁膜を介して、前記ゲート電極材料膜からなる第１のゲート電極を形成すると共に、前記第２の活性領域上に、前記界面層及び前記高誘電率絶縁膜を含む第２のゲート絶縁膜を介して、前記ゲート電極材料膜からなる第２のゲート電極を形成する工程（ｂ）と、前記工程（ｂ）の後に、前記第１のゲート絶縁膜における前記界面層の厚さを選択的に厚くする工程（ｃ）とを備えている。
【００３１】
本発明に係る半導体装置の製造方法によると、第１のＭＩＳトランジスタにおけるゲート絶縁膜の界面層の厚さを選択的に厚くするため、第１のＭＩＳトランジスタのゲート絶縁膜のＥＯＴが増大するので、第１のＭＩＳトランジスタの実効仕事関数が増大する。従って、ゲート絶縁膜にｈｉｇｈ－ｋ膜を使用したＭＩＳ構造の半導体装置において、互いに異なる仕事関数を有する複数の同一導電型トランジスタを設けることが可能となる。
【００３２】
本発明に係る半導体装置の製造方法において、前記工程（ｃ）は、前記第１のゲート電極及び前記第２のゲート電極を絶縁膜によって覆った後、前記第１のゲート電極を覆う前記絶縁膜に対して選択的にエッチングを行い、その後、酸化処理によって前記第１のゲート絶縁膜における前記界面層を厚くする工程を含んでいてもよい。このようにすると、第１のＭＩＳトランジスタにおけるゲート絶縁膜の界面層の厚さを確実に選択的に厚くすることができる。この場合、第１のゲート電極及び第２のゲート電極を覆う絶縁膜は、例えばシリコン窒化膜であってもよい。また、第１のＭＩＳトランジスタにおけるゲート絶縁膜の界面層の厚さを選択的に厚くするための酸化処理は、例えば、酸素含有雰囲気中での熱処理又はプラズマ処理であってもよい。また、前記ゲート電極材料膜は、前記高誘電率絶縁膜上に形成された金属含有膜と、前記金属含有膜上に形成されたシリコン膜とを含み、前記工程（ｃ）において、前記第１のゲート電極の側面上に残存する前記絶縁膜と、前記第１のゲート電極における前記シリコン膜との間に、シリコン酸化膜が形成されてもよい。
【００３３】
尚、本発明に係る半導体装置の製造方法において、高誘電率絶縁膜を形成する工程と、ゲート電極材料膜を形成する工程との間に、高誘電率絶縁膜上に、閾値電圧（Ｖｔｈ）調整用金属を含むキャップ膜を形成する工程を含んでいてもよい。
【発明の効果】
【００３４】
本発明によると、ゲート絶縁膜にｈｉｇｈ－ｋ膜を使用したＭＩＳ構造の半導体装置において、互いに異なる仕事関数を有する複数の同一導電型トランジスタを設けることが可能となる。
【図面の簡単な説明】
【００３５】
【図１】図１は、一実施形態に係る半導体装置の製造方法の一工程を示す断面図（ゲート長方向の断面図）である。
【図２】図２は、一実施形態に係る半導体装置の製造方法の一工程を示す断面図（ゲート長方向の断面図）である。
【図３】図３は、一実施形態に係る半導体装置の製造方法の一工程を示す断面図（ゲート長方向の断面図）である。

【図４】図４は、一実施形態に係る半導体装置の製造方法の一工程を示す断面図（ゲート長方向の断面図）である。
【図５】図５は、一実施形態に係る半導体装置の製造方法の一工程を示す断面図（ゲート長方向の断面図）である。
【図６】図６は、一実施形態に係る半導体装置の製造方法の一工程を示す断面図（ゲート長方向の断面図）である。
【図７】図７は、一実施形態に係る半導体装置の製造方法の一工程を示す断面図（ゲート長方向の断面図）である。
【図８】図８は、一実施形態に係る半導体装置の製造方法の一工程を示す断面図（ゲート長方向の断面図）である。
【図９】図９は、一実施形態に係る半導体装置の製造方法の一工程を示す断面図（ゲート長方向の断面図）である。
【図１０】図１０は、一実施形態に係る半導体装置における等価酸化膜厚（ＥＯＴ）とトランジスタの実効仕事関数との関係を示す図である。
【図１１】図１１は、従来の半導体装置の製造方法の一工程を示す断面図（ゲート長方向の断面図）である。
【図１２】図１２は、従来の半導体装置の製造方法の一工程を示す断面図（ゲート長方向の断面図）である。
【図１３】図１３は、従来の半導体装置の製造方法の一工程を示す断面図（ゲート長方向の断面図）である。
【図１４】図１４は、チャネルドーズを変化させてソースオフリークを一定に設定したトランジスタにおける実効仕事関数と飽和電流との関係を示す図である。

【発明を実施するための形態】

【００３６】

以下、本発明の一実施形態に係る半導体装置及びその製造方法について、図面を参照しながら説明する。

【００３７】

図１～図９は、本実施形態に係る半導体装置の製造方法の各工程を示す断面図（ゲート長方向の断面図）である。尚、図１～図９において、一番右側の「第１のｐＭＩＳトランジスタ領域」とは、第１のｐＭＩＳトランジスタが形成される領域を示し、右側から２番目の「第２のｐＭＩＳトランジスタ領域」とは、第２のｐＭＩＳトランジスタが形成される領域を示し、右側から３番目の「第１のｎＭＩＳトランジスタ領域」とは、第１のｎＭＩＳトランジスタが形成される領域を示し、一番左側の「第２のｎＭＩＳトランジスタ領域」とは、第２のｎＭＩＳトランジスタが形成される領域を示す。

【００３８】

尚、本実施形態においては、第１のｐＭＩＳトランジスタ及び第２のｎＭＩＳトランジスタは、例えば、高速動作が必要な低Ｖｔｈ（例えば０．１～０．２５Ｖ）トランジスタとして用いられる。また、第２のｐＭＩＳトランジスタ及び第１のｎＭＩＳトランジスタは、例えば、低スタンバイリークが必要な高Ｖｔｈ（例えば０．３５～０．５Ｖ）トランジスタとして用いられる。

【００３９】

まず、図１に示すように、例えばｐ型シリコンからなる半導体基板５０の上部に、例えばシリコン酸化膜が充填されたシャロートレンチからなる素子分離領域１を選択的に形成することによって、ｐＭＩＳトランジスタ領域とｎＭＩＳトランジスタ領域とを区画する。ここで、第１のｐＭＩＳトランジスタ領域の半導体基板５０における素子分離領域１に囲まれた部分が活性領域５０ａとなり、第２のｐＭＩＳトランジスタ領域の半導体基板５０における素子分離領域１に囲まれた部分が活性領域５０ｂとなり、第１のｎＭＩＳトランジスタ領域の半導体基板５０における素子分離領域１に囲まれた部分が活性領域５０ｃとなり、第２のｎＭＩＳトランジスタ領域の半導体基板５０における素子分離領域１に囲まれた部分が活性領域５０ｄとなる。

UMC 1002
UMC v. AICP

【００４０】
次に、第１及び第２のｐＭＩＳトランジスタ領域の半導体基板５０に、例えば砒素等のｎ型不純物をイオン注入により導入することによって、ｎ型ウェル領域５１Ｎを形成する。また、第１及び第２のｎＭＩＳトランジスタ領域の半導体基板５０に、例えばボロン等のｐ型不純物をイオン注入により導入することによって、ｐ型ウェル領域５１Ｐを形成する。尚、第１のｐＭＩＳトランジスタ領域に導入されるｎ型不純物の濃度と、第２のｐＭＩＳトランジスタ領域に導入されるｎ型不純物の濃度とが異なっていてもよいし、第１のｎＭＩＳトランジスタ領域に導入されるｐ型不純物の濃度と、第２のｎＭＩＳトランジスタ領域に導入されるｐ型不純物の濃度とが異なっていてもよい。
【００４１】
次に、各ＭＩＳトランジスタ領域を含む半導体基板５０上に、例えばシリコン酸化膜からなる厚さ０．８ｎｍ程度の界面層２、及び、例えばＨｆ又はＺｒとＯとを含む厚さ１．２ｎｍ程度の高誘電率絶縁膜（ｈｉｇｈ－ｋ膜）３を順次形成する。
【００４２】
次に、ｈｉｇｈ－ｋ膜３上に、例えばＡｌ及びＯを含むｐＭＩＳ用キャップ膜４を形成した後、第１及び第２のｎＭＩＳトランジスタ領域からｐＭＩＳ用キャップ膜４を除去し、その後、ｈｉｇｈ－ｋ膜３上及びｐＭＩＳ用キャップ膜４上に、例えばＬａ及びＯを含むｎＭＩＳ用キャップ膜４’を形成した後、第１及び第２のｐＭＩＳトランジスタ領域からｎＭＩＳ用キャップ膜４’を除去する。ここで、ｐＭＩＳ用キャップ膜４は、ｐＭＩＳトランジスタの実効仕事関数を高くすることができる調整用金属として、例えばＡｌ（アルミニウム）を含有している。また、ｎＭＩＳ用キャップ膜４’は、ｎＭＩＳトランジスタの実効仕事関数を高くすることができる調整用金属として、例えばＬａ（ランタン）を含有している。
【００４３】
次に、ｐＭＩＳ用キャップ膜４上及びｎＭＩＳ用キャップ膜４’上に、例えばＴｉ、ＴａまたはＲｕ等とＮとを含む厚さ５ｎｍ程度の金属含有膜６、及び例えばポリシリコンからなる厚さ６０ｎｍ程度のシリコン膜７を順次形成する。
【００４４】
次に、フォトリソグラフィ法及びドライエッチング法により、シリコン膜７、金属含有膜６、ｐＭＩＳ用キャップ膜４、ｎＭＩＳ用キャップ膜４’、ｈｉｇｈ－ｋ膜３及び界面層２をパターニングする。これにより、図２に示すように、第１のｐＭＩＳトランジスタ領域の活性領域５０ａ上にゲート絶縁膜５２ａを介してゲート電極５３ａを形成し、第２のｐＭＩＳトランジスタ領域の活性領域５０ｂ上にゲート絶縁膜５２ｂを介してゲート電極５３ｂを形成し、第１のｎＭＩＳトランジスタ領域の活性領域５０ｃ上にゲート絶縁膜５２ｃを介してゲート電極５３ｃを形成し、第２のｎＭＩＳトランジスタ領域の活性領域５０ｄ上にゲート絶縁膜５２ｄを介してゲート電極５３ｄを形成する。
【００４５】
ここで、ゲート絶縁膜５２ａは、界面層２ａとｈｉｇｈ－ｋ膜３ａとｐＭＩＳ用キャップ膜４ａとからなり、ゲート絶縁膜５２ｂは、界面層２ｂとｈｉｇｈ－ｋ膜３ｂとｐＭＩＳ用キャップ膜４ｂとからなり、ゲート絶縁膜５２ｃは、界面層２ｃとｈｉｇｈ－ｋ膜３ｃとｎＭＩＳ用キャップ膜４ｃとからなり、ゲート絶縁膜５２ｄは、界面層２ｄとｈｉｇｈ－ｋ膜３ｄとｎＭＩＳ用キャップ膜４ｄとからなる。
【００４６】
また、ゲート電極５３ａは、金属含有膜６ａとシリコン膜７ａとからなり、ゲート電極５３ｂは、金属含有膜６ｂとシリコン膜７ｂとからなり、ゲート電極５３ｃは、金属含有膜６ｃとシリコン膜７ｃとからなり、ゲート電極５３ｄは、金属含有膜６ｄとシリコン膜７ｄとからなる。
【００４７】
次に、図３に示すように、ゲート電極５３ａ、５３ｂ、５３ｃ、５３ｄの上を含む半導体基板５０上の全面に、例えばシリコン窒化膜からなる厚さ６ｎｍ程度の絶縁膜８を形成

UMC 1002
UMC v. AICP

する。

【００４８】

次に、第２のｐＭＩＳトランジスタ領域に開口を有するレジストパターン（図示省略）を用いて、例えばボロン等のｐ型不純物を半導体基板５０にイオン注入により導入することによって、図４に示すように、活性領域５０ｂにおけるゲート電極５３ｂの側方下に位置する領域にｐ型エクステンション領域９ｂを形成した後、前記レジストパターンを除去する。ここで、イオン注入条件は、例えば、注入エネルギーが０．８ｋｅＶ、ドーズ量が$１\times１０^{15}ｃｍ^{-2}$である。尚、ボロン等のｐ型不純物のイオン注入の前に、ゲルマニウム（Ｇｅ）及び炭素（Ｃ）を第２のｐＭＩＳトランジスタ領域の半導体基板５０に注入してもよい。この場合、Ｇｅの注入条件は、例えば、注入エネルギーが５ｋｅＶ、ドーズ量が$５\times１０^{14}ｃｍ^{-2}$であり、Ｃの注入条件は、例えば、注入エネルギーが２ｋｅＶ、ドーズ量が$５\times１０^{14}ｃｍ^{-2}$である。

【００４９】

次に、第２のｎＭＩＳトランジスタ領域に開口を有するレジストパターン（図示省略）を用いて、例えば砒素等のｎ型不純物を半導体基板５０にイオン注入により導入することによって、活性領域５０ｄにおけるゲート電極５３ｄの側方下に位置する領域にｎ型エクステンション領域９ｄを形成した後、前記レジストパターンを除去する。ここで、イオン注入条件は、例えば、注入エネルギーが１．２ｋｅＶ、ドーズ量が$１\times１０^{15}ｃｍ^{-2}$である。尚、砒素等のｎ型不純物のイオン注入の前に、ゲルマニウム（Ｇｅ）及び炭素（Ｃ）を第２のｎＭＩＳトランジスタ領域の半導体基板５０に注入してもよい。この場合、Ｇｅの注入条件は、例えば、注入エネルギーが５ｋｅＶ、ドーズ量が$５\times１０^{14}ｃｍ^{-2}$であり、Ｃの注入条件は、例えば、注入エネルギーが２ｋｅＶ、ドーズ量が$５\times１０^{14}ｃｍ^{-2}$である。

【００５０】

次に、図５に示すように、フォトリソグラフィ法により、第２のｐＭＩＳトランジスタ領域及び第２のｎＭＩＳトランジスタ領域を覆うレジストパターン１１を形成した後、レジストパターン１１をマスクとして、ドライエッチング法により、絶縁膜８に対してエッチングを行う。これにより、第１のｐＭＩＳトランジスタ領域のゲート電極５３ａの側面上に、Ｉ字状の断面形状を持つオフセットスペーサ８ａが形成されると共に、第１のｎＭＩＳトランジスタ領域のゲート電極５３ｃの側面上に、Ｉ字状の断面形状を持つオフセットスペーサ８ｃが形成される。このとき、オフセットスペーサ８ａ及び８ｃの幅は、元の絶縁膜８の厚さ（例えば６ｎｍ程度）と比較して、例えば２．５ｎｍ程度まで薄くなる。

【００５１】

次に、レジストパターン１１を除去した後、例えば酸素を含むガスからなるプラズマ中において、半導体基板５０に対して、例えば４００℃程度で酸化処理を行う。これにより、図６に示すように、第１のｐＭＩＳトランジスタ領域におけるゲート絶縁膜５２ａの界面層２ａがそのエッジ側から０．３ｎｍ程度厚くなって界面層２Ａとなると共に、第１のｎＭＩＳトランジスタ領域におけるゲート絶縁膜５２ｃの界面層２ｃがそのエッジ側から０．３ｎｍ程度厚くなって界面層２Ｃとなる。ここで、厚い界面層２Ａ及び界面層２Ｃの形成後においても、ｈｉｇｈ－ｋ膜３ａ及び３ｃの厚さには実質的な変化はない。すなわち、厚い界面層２Ａ及び界面層２Ｃの形成後においても、ｈｉｇｈ－ｋ膜３ａ、３ｂ、３ｃ、３ｄは実質的に同じ厚さを有している。

【００５２】

また、図６に示す工程においては、第１のｐＭＩＳトランジスタ領域におけるゲート電極５３ａのシリコン膜７ａの上部及び両側部に厚さ０．３ｎｍ程度のシリコン酸化膜１３ａが形成されると共に、第１のｎＭＩＳトランジスタ領域におけるゲート電極５３ｃのシリコン膜７ｃの上部及び両側部に厚さ０．３ｎｍ程度のシリコン酸化膜１３ｃが形成される。すなわち、第１のｐＭＩＳトランジスタ領域におけるゲート電極５３ａのシリコン膜７ａとオフセットスペーサ８ａとの間に介在するようにシリコン酸化膜１３ａが形成されると共に、第１のｎＭＩＳトランジスタ領域におけるゲート電極５３ｃのシリコン膜７ｃ

とオフセットスペーサ８ｃとの間に介在するようにシリコン酸化膜１３ｃが形成される。また、ゲート電極５３ａの両側に位置する部分の活性領域５０ａの表面部にも厚さ０．３ｎｍ程度のシリコン酸化膜１３ａが形成されると共に、ゲート電極５３ｃの両側に位置する部分の活性領域５０ｃの表面部にも厚さ０．３ｎｍ程度のシリコン酸化膜１３ｃが形成される。

【００５３】

尚、ゲート絶縁膜５２ａの界面層２ａ及びゲート電極５３ａのシリコン膜７ａ側部は、オフセットスペーサ８ａを透過した酸素によって酸化されており、ゲート絶縁膜５２ｃの界面層２ｃ及びゲート電極５３ｃのシリコン膜７ｃ側部は、オフセットスペーサ８ｃを透過した酸素によって酸化されている。

【００５４】

一方、図６に示す工程において、第２のｐＭＩＳトランジスタ領域及び第２のｎＭＩＳトランジスタ領域のそれぞれのゲート構造は厚さ６ｎｍ程度の絶縁膜８により覆われているため、第２のｐＭＩＳトランジスタ領域のゲート絶縁膜５２ｂの界面層２ｂ、及び第２のｎＭＩＳトランジスタ領域のゲート絶縁膜５２ｄの界面層２ｄが厚くなることはない。

【００５５】

尚、本実施形態において、界面層２ａ及び２ｃを酸化させるために、酸素含有雰囲気中でプラズマ処理を行ったが、これに代えて、酸素含有雰囲気中で例えば６００℃程度の熱処理を行ってもよい。

【００５６】

次に、第１のｐＭＩＳトランジスタ領域に開口を有するレジストパターン（図示省略）を用いて、例えばボロン等のｐ型不純物を半導体基板５０にイオン注入により導入することによって、図７に示すように、活性領域５０ａにおけるゲート電極５３ａの側方下に位置する領域にｐ型エクステンション領域９ａを形成した後、前記レジストパターンを除去する。ここで、イオン注入条件は、例えば、注入エネルギーが０．８ｋｅＶ、ドーズ量が$１\times１０^{15}ｃｍ^{-2}$である。尚、ボロン等のｐ型不純物のイオン注入の前に、ゲルマニウム（Ｇｅ）及び炭素（Ｃ）を第１のｐＭＩＳトランジスタ領域の半導体基板５０に注入してもよい。この場合、Ｇｅの注入条件は、例えば、注入エネルギーが５ｋｅＶ、ドーズ量が$５\times１０^{14}ｃｍ^{-2}$であり、Ｃの注入条件は、例えば、注入エネルギーが２ｋｅＶ、ドーズ量が$５\times１０^{14}ｃｍ^{-2}$である。

【００５７】

次に、第１のｎＭＩＳトランジスタ領域に開口を有するレジストパターン（図示省略）を用いて、例えば砒素等のｎ型不純物を半導体基板５０にイオン注入により導入することによって、活性領域５０ｃにおけるゲート電極５３ｃの側方下に位置する領域にｎ型エクステンション領域９ｃを形成した後、前記レジストパターンを除去する。ここで、イオン注入条件は、例えば、注入エネルギーが１．２ｋｅＶ、ドーズ量が$１\times１０^{15}ｃｍ^{-2}$である。尚、砒素等のｎ型不純物のイオン注入の前に、ゲルマニウム（Ｇｅ）及び炭素（Ｃ）を第１のｎＭＩＳトランジスタ領域の半導体基板５０に注入してもよい。この場合、Ｇｅの注入条件は、例えば、注入エネルギーが５ｋｅＶ、ドーズ量が$５\times１０^{14}ｃｍ^{-2}$であり、Ｃの注入条件は、例えば、注入エネルギーが２ｋｅＶ、ドーズ量が$５\times１０^{14}ｃｍ^{-2}$である。

【００５８】

次に、半導体基板５０上の全面にシリコン酸化膜及びシリコン窒化膜を順次堆積した後、当該シリコン窒化膜及び当該シリコン酸化膜に対してエッチバックを行う。これにより、図８に示すように、ゲート電極５３ａ、５３ｂ、５３ｃ及び５３ｄの両側面上にサイドウォールスペーサ１８ａ、１８ｂ、１８ｃ、１８ｄが形成される。ここで、サイドウォールスペーサ１８ａ、１８ｂ、１８ｃ、１８ｄは、Ｌ字状の断面形状を持ち且つシリコン酸化膜からなる内側サイドウォールスペーサ１６ａ、１６ｂ、１６ｃ、１６ｄと、内側サイドウォールスペーサ１６ａ、１６ｂ、１６ｃ、１６ｄ上に形成され且つシリコン窒化膜からなる外側サイドウォールスペーサ１７ａ、１７ｂ、１７ｃ、１７ｄとからなる。

【００５９】
尚、図８に示す工程においては、第２のｐＭＩＳトランジスタ領域及び第２のｎＭＩＳトランジスタ領域のそれぞれに残存していた絶縁膜８もエッチバックされる。その結果、ゲート電極５３ｂとサイドウォールスペーサ１８ｂ（内側サイドウォールスペーサ１６ｂ）との間に、Ｌ字状の断面形状を持つ下地スペーサ８ｂが形成されると共に、ゲート電極５３ｄとサイドウォールスペーサ１８ｄ（内側サイドウォールスペーサ１６ｄ）との間に、Ｌ字状の断面形状を持つ下地スペーサ８ｄが形成される。ここで、下地スペーサ８ｂはゲート電極５３ｂのシリコン膜７ｂと接していると共に、下地スペーサ８ｄはゲート電極５３ｄのシリコン膜７ｄと接している。また、下地スペーサ８ｂ及び８ｄの幅は、元の絶縁膜８の厚さ（例えば６ｎｍ程度）と同程度であって、オフセットスペーサ８ａ及び８ｃの幅（例えば２．５ｎｍ程度）よりも厚い。
【００６０】
また、図８に示す工程においては、ゲート電極５３ａ上及び活性領域５０ａ上のシリコン酸化膜１３ａ、並びにゲート電極５３ｃ上及び活性領域５０ｃ上のシリコン酸化膜１３ｃもエッチバックされる。その結果、ゲート電極５３ａの側面とサイドウォールスペーサ１８ａとの間にはオフセットスペーサ８ａ及び残存するシリコン酸化膜１３ａが介在すると共に、活性領域５０ａ（ｐ型エクステンション領域９ａ）とサイドウォールスペーサ１８ａとの間には残存するシリコン酸化膜１３ａが介在する。また、ゲート電極５３ｃの側面とサイドウォールスペーサ１８ｃとの間にはオフセットスペーサ８ｃ及び残存するシリコン酸化膜１３ｃが介在すると共に、活性領域５０ｃ（ｐ型エクステンション領域９ｃ）とサイドウォールスペーサ１８ｃとの間には残存するシリコン酸化膜１３ｃが介在する。
【００６１】
次に、第１及び第２のｐ型ＭＩＳトランジスタ領域に開口を有するレジストパターン（図示省略）を用いて、例えばボロン等のｐ型不純物を半導体基板５０にイオン注入により導入することによって、図９に示すように、活性領域５０ａにおけるサイドウォールスペーサ１８ａの外側方下に位置する領域にをｐ型ソースドレイン領域１９ａ形成する一方、活性領域５０ｂにおけるサイドウォールスペーサ１８ｂの外側方下に位置する領域にｐ型ソースドレイン領域１９ｂを形成した後、前記レジストパターンを除去する。ここで、イオン注入条件は、例えば、注入エネルギーが１．６ｋｅＶ、ドーズ量が$1\times10^{15}cm^{-2}$である。尚、ボロン等のｐ型不純物のイオン注入の前に、ゲルマニウム（Ｇｅ）を第１及び第２のｐＭＩＳトランジスタ領域の半導体基板５０に注入してもよい。この場合、Ｇｅの注入条件は、例えば、注入エネルギーが１０ｋｅＶ、ドーズ量が$5\times10^{15}cm^{-2}$である。
【００６２】
次に、第１及び第２のｎＭＩＳトランジスタ領域に開口を有するレジストパターン（図示省略）を用いて、例えば砒素等のｎ型不純物を半導体基板５０にイオン注入により導入することによって、活性領域５０ｃにおけるサイドウォールスペーサ１８ｃの外側方下に位置する領域にｎ型ソースドレイン領域１９ｃを形成する一方、活性領域５０ｄにおけるサイドウォールスペーサ１８ｄの外側方下に位置する領域にｎ型ソースドレイン領域１９ｄを形成した後、前記レジストパターンを除去する。ここで、イオン注入条件は、例えば、注入エネルギーが１０ｋｅＶ、ドーズ量が$5\times10^{15}cm^{-2}$である。
【００６３】
その後、例えば１０００℃程度でアニールを行うことによって、イオン注入により導入された不純物を活性化する。このとき、ｈｉｇｈ－ｋ膜３ａ及び３ｂ中にｐＭＩＳ用キャップ膜４ａ及び４ｂ中のＡｌが拡散して、Ａｌ含有ｈｉｇｈ－ｋ膜３Ａ及び３Ｂとなると共に、ｈｉｇｈ－ｋ膜３ｃ及び３ｄ中にｎＭＩＳ用キャップ膜４ｃ及び４ｄ中のＬａが拡散して、Ｌａ含有ｈｉｇｈ－ｋ膜３Ｃ及び３Ｄとなる。
【００６４】
その後、半導体基板５０上の全面に、例えばＮｉ等からなる金属膜を堆積した後、例えば２６０℃程度でアニール処理を行い、ゲート電極５３ａ、５３ｂ、５３ｃ、５３ｄのシ

リコン膜７ａ、７ｂ、７ｃ、７ｄの表面部、ｐ型ソースドレイン領域１９ａ及び１９ｂの表面部、並びにｎ型ソースドレイン領域１９ｃ及び１９ｄの表面部のそれぞれと、前記金属膜とを反応させて金属シリサイド層２０ａ、２０ｂ、２０ｃ、２０ｄを形成し、その後、未反応の金属膜を除去する。以上の工程によって、ＣＭＩＳ構造が形成される。

【００６５】

図１０は、本実施形態のトランジスタにおける等価酸化膜厚（ＥＯＴ）と実効仕事関数との関係を示す。図１０に示すように、第２のｐＭＩＳトランジスタ及び第２のｎＭＩＳトランジスタと比較して、第１のｐＭＩＳトランジスタ及び第１のｎＭＩＳトランジスタでは、厚い界面層２Ａ及び２Ｃによって等価酸化膜厚が厚膜化すると同時に、実効仕事関数が上昇している。以下、その理由について述べる。

【００６６】

例えばHfO_2からなるｈｉｇｈ－ｋ膜では、工程中の熱処理により、ｈｉｇｈ－ｋ膜中の酸素が拡散してｈｉｇｈ－ｋ膜中から抜け出るため、ｈｉｇｈ－ｋ膜と界面層との間に界面ダイポールが形成されるので、ｐＭＩＳトランジスタにおいてもｎＭＩＳトランジスタにおいても実効仕事関数が低くシフトしてしまうと考えられている。

【００６７】

一方、図６に示す工程で説明したように、第１のｐＭＩＳトランジスタ及び第１のｎＭＩＳトランジスタでは、ゲート電極５３ａ及び５３ｃのそれぞれの側面に薄いオフセットスペーサ８ａ及び８ｃを形成した状態で酸化雰囲気に晒すことによって、界面層２ａ及び界面層２ｃが厚くなって界面層２Ａ及び界面層２Ｃとなる。このため、十分な酸素が含まれている界面層２Ａ及び界面層２Ｃからｈｉｇｈ－ｋ膜（キャップ膜中の金属が拡散する前）３ａ及び３ｃに十分に酸素が供給されるので、ｈｉｇｈ－ｋ膜３ａ及び３ｃからの酸素脱離が抑制される。これにより、前述の界面ダイポールが形成されにくくなる結果、各ＭＩＳトランジスタにおいて実効仕事関数を高く設定することができる。

【００６８】

実効仕事関数が高く設定された第１のｎＭＩＳトランジスタでは、閾値電圧（Ｖｔｈ）が上昇するので、ソースオフリーク電流が低減される。すなわち、第１のｎＭＩＳトランジスタは、低リーク用途に使用可能である。また、実効仕事関数が高く設定された第１のｐＭＩＳトランジスタでは、閾値電圧（Ｖｔｈ）が低下するので、駆動力が向上する。すなわち、第１のｐＭＩＳトランジスタは、高駆動力用途に使用可能である。

【００６９】

以上に説明したように、本実施形態によると、第１のｐＭＩＳトランジスタ及び第１のｎＭＩＳトランジスタにおけるゲート絶縁膜５２ａ及び５２ｃの界面層２ａ及び２ｃの厚さを選択的に厚くする。このため、第１のｐＭＩＳトランジスタ及び第１のｎＭＩＳトランジスタにおけるゲート絶縁膜５２ａ及び５２ｃのＥＯＴが増大するので、第１のｐＭＩＳトランジスタ及び第１のｎＭＩＳトランジスタの実効仕事関数が増大する。従って、ゲート絶縁膜にｈｉｇｈ－ｋ膜を使用したＭＩＳ構造の半導体装置において、互いに異なる仕事関数を有する複数の同一導電型トランジスタを設けることが可能となる。このように、複数の仕事関数を持つＭＩＳトランジスタを集積回路内に混載させることが可能となると、低ＶｔｈのＭＩＳトランジスタ及び高ＶｔｈのＭＩＳトランジスタのそれぞれにおいてトランジスタ駆動電流を極大化することができる結果、高速且つ低リークの集積回路を実現することができる。

【００７０】

尚、本実施形態において、界面層２ａ（２Ａ）、２ｂ、２ｃ（２Ｃ）、２ｄとして、シリコン酸化膜を形成したが、これに代えて、例えばシリコン酸窒化膜を形成してもよい。

【００７１】

また、本実施形態では、半導体装置の最終構造においてもｐＭＩＳ用キャップ膜４ａ及び４ｂ並びにｎＭＩＳ用キャップ膜４ｃ及び４ｄを残存させている。しかし、半導体装置の最終構造としては、Ａｌ含有ｈｉｇｈ－ｋ膜３Ａ及び３Ｂ並びにＬａ含有ｈｉｇｈ－ｋ膜３Ｃ及び３Ｄが形成されていれば良く、ｐＭＩＳ用キャップ膜４ａ及び４ｂ並びにｎＭ

ＩＳ用キャップ膜４ｃ及び４ｄについては必ずしも残存させる必要はない。例えば、図１に示す工程において、金属含有膜６を形成する前に、Ａｌ含有ｈｉｇｈ－ｋ膜及びＬａ含有ｈｉｇｈ－ｋ膜を形成すれば、金属含有膜６を形成する際に、ｐＭＩＳ用キャップ膜４及びｎＭＩＳ用キャップ膜４’を残存させておく必要はない。

【００７２】

また、本実施形態において、ｎＭＩＳ用キャップ膜４’として、Ｌａ（ランタン）を含有するキャップ膜を用いたが、これに代えて、Ｄｙ（ジスプロシウム）、Ｓｃ（スカンジウム）又はＧｄ（ガドリニウム）等を含有するキャップ膜を用いてもよい。

【００７３】

また、本実施形態においては、各ＭＩＳトランジスタにおけるゲート構造（界面層厚さを除く）を実質的に同じにしたが、これに代えて、例えば、キャップ膜厚さやゲート電極材料をトランジスタ毎に変えてもよい。

【産業上の利用可能性】

【００７４】

以上に説明したように、本発明は、異なる閾値電圧（Ｖｔｈ）を持つ複数のＭＩＳトランジスタを備えたＣＭＩＳ構造の半導体装置及びその製造方法として有用である。

【符号の説明】

【００７５】

１　素子分離領域
２、２ａ、２ｂ、２ｃ、２ｄ　界面層
２Ａ、２Ｃ　厚い界面層
３、３ａ、３ｂ、３ｃ、３ｄ　ｈｉｇｈ－ｋ膜
３Ａ、３Ｂ　Ａｌ含有ｈｉｇｈ－ｋ膜
３Ｃ、３Ｄ　Ｌａ含有ｈｉｇｈ－ｋ膜
４、４ａ、４ｂ　ｐＭＩＳ用キャップ膜
４’、４ｃ、４ｄ　ｎＭＩＳ用キャップ膜
６、６ａ、６ｂ、６ｃ、６ｄ　金属含有膜
７、７ａ、７ｂ、７ｃ、７ｄ　シリコン膜
８　絶縁膜
８ａ、８ｃ　オフセットスペーサ
８ｂ、８ｄ　下地スペーサ
９ａ、９ｂ　ｐ型エクステンション領域
９ｃ、９ｄ　ｎ型エクステンション領域
１１　レジストパターン
１３ａ、１３ｃ　シリコン酸化膜
１６ａ、１６ｂ、１６ｃ、１６ｄ　内側サイドウォールスペーサ
１７ａ、１７ｂ、１７ｃ、１７ｄ　外側サイドウォールスペーサ
１８ａ、１８ｂ、１８ｃ、１８ｄ　サイドウォールスペーサ
１９ａ、１９ｂ　ｐ型ソースドレイン領域
１９ｃ、１９ｄ　ｎ型ソースドレイン領域
２０ａ、２０ｂ、２０ｃ、２０ｄ　金属シリサイド層
５０　半導体基板
５０ａ、５０ｂ、５０ｃ、５０ｄ　活性領域
５１Ｎ　ｎ型ウェル領域
５１Ｐ　ｐ型ウェル領域
５２ａ、５２ｂ、５２ｃ、５２ｄ　ゲート絶縁膜
５３ａ、５３ｂ、５３ｃ、５３ｄ　ゲート電極

UMC 1002
UMC v. AICP

【書類名】特許請求の範囲
【請求項１】
同じ導電型の第１のＭＩＳトランジスタ及び第２のＭＩＳトランジスタを同じ半導体基板上に有する半導体装置であって、
前記第１のＭＩＳトランジスタは、前記半導体基板における第１の活性領域上に形成された第１のゲート絶縁膜と、前記第１のゲート絶縁膜上に形成された第１のゲート電極とを備え、
前記第２のＭＩＳトランジスタは、前記半導体基板における第２の活性領域上に形成された第２のゲート絶縁膜と、前記第２のゲート絶縁膜上に形成された第２のゲート電極とを備え、
前記第１のゲート絶縁膜は、前記半導体基板と接する第１の界面層と、前記第１の界面層上に形成された第１の高誘電率絶縁膜とを含み、
前記第２のゲート絶縁膜は、前記半導体基板と接する第２の界面層と、前記第２の界面層上に形成された第２の高誘電率絶縁膜とを含み、
前記第１の界面層の厚さは、前記第２の界面層の厚さよりも厚いことを特徴とする半導体装置。
【請求項２】
請求項１に記載の半導体装置において、
前記第１のゲート電極の側面上には第１の絶縁性スペーサを介して第１のサイドウォールスペーサが形成されており、
前記第２のゲート電極の側面上には第２の絶縁性スペーサを介して第２のサイドウォールスペーサが形成されており、
前記第１の絶縁性スペーサの厚さは、前記第２の絶縁性スペーサの厚さよりも薄いことを特徴とする半導体装置。
【請求項３】
請求項２に記載の半導体装置において、
前記第１の絶縁性スペーサは、Ｉ字状の断面形状を持つオフセットスペーサであり、
前記第２の絶縁性スペーサは、Ｌ字状の断面形状を持つ下地スペーサであることを特徴とする半導体装置。
【請求項４】
請求項２又は３に記載の半導体装置において、
前記第１のゲート電極は、前記第１の高誘電率絶縁膜上に形成された第１の金属含有膜と、前記第１の金属含有膜上に形成された第１のシリコン膜とを含み、
前記第２のゲート電極は、前記第２の高誘電率絶縁膜上に形成された第２の金属含有膜と、前記第２の金属含有膜上に形成された第２のシリコン膜とを含み、
前記第１のシリコン膜と前記第１の絶縁性スペーサとの間にはシリコン酸化膜が介在しており、
前記第２のシリコン膜と前記第２の絶縁性スペーサと接していることを特徴とする半導体装置。
【請求項５】
請求項４に記載の半導体装置において、
前記第１のシリコン膜上には第１の金属シリサイド層が形成されており、
前記第２のシリコン膜上には第２の金属シリサイド層が形成されていることを特徴とする半導体装置。
【請求項６】
請求項４又は５に記載の半導体装置において、
前記第１の活性領域と前記第１のサイドウォールスペーサとの間にもシリコン酸化膜が介在していることを特徴とする半導体装置。
【請求項７】
請求項２～６のいずれか１項に記載の半導体装置において、

前記第１の絶縁性スペーサ及び前記第２の絶縁性スペーサはシリコン窒化膜からなることを特徴とする半導体装置。
【請求項８】
請求項１～７のいずれか１項に記載の半導体装置において、
前記第１のＭＩＳトランジスタ及び前記第２のＭＩＳトランジスタはｐＭＩＳトランジスタであり、
前記第１の高誘電率絶縁膜及び前記第２の高誘電率絶縁膜はアルミニウムを含有することを特徴とする半導体装置。
【請求項９】
請求項８に記載の半導体装置において、
前記第１のゲート絶縁膜は、前記第１の高誘電率絶縁膜上に形成され且つアルミニウムを含有する第１のキャップ膜をさらに含み、
前記第２のゲート絶縁膜は、前記第２の高誘電率絶縁膜上に形成され且つアルミニウムを含有する第２のキャップ膜をさらに含むことを特徴とする半導体装置。
【請求項１０】
請求項１～７のいずれか１項に記載の半導体装置において、
前記第１のＭＩＳトランジスタ及び前記第２のＭＩＳトランジスタはｎＭＩＳトランジスタであり、
前記第１の高誘電率絶縁膜及び前記第２の高誘電率絶縁膜はランタンを含有することを特徴とする半導体装置。
【請求項１１】
請求項１０に記載の半導体装置において、
前記第１のゲート絶縁膜は、前記第１の高誘電率絶縁膜上に形成され且つランタンを含有する第１のキャップ膜をさらに含み、
前記第２のゲート絶縁膜は、前記第２の高誘電率絶縁膜上に形成され且つランタンを含有する第２のキャップ膜をさらに含むことを特徴とする半導体装置。
【請求項１２】
請求項１～１１のいずれか１項に記載の半導体装置において、
前記第１の高誘電率絶縁膜及び前記第２の高誘電率絶縁膜はハフニウム又はジルコニウムを含むことを特徴とする半導体装置。
【請求項１３】
請求項１～１２のいずれか１項に記載の半導体装置において、
前記第１の界面層及び前記第２の界面層はシリコン酸化膜からなることを特徴とする半導体装置。
【請求項１４】
請求項１～１３のいずれか１項に記載の半導体装置において、
前記第１の高誘電率絶縁膜の厚さと、前記第２の高誘電率絶縁膜の厚さとは実質的に同じであることを特徴とする半導体装置。
【請求項１５】
請求項１～１４のいずれか１項に記載の半導体装置において、
前記第１のゲート電極の材料と、前記第２のゲート電極の材料とは実質的に同じであることを特徴とする半導体装置。
【請求項１６】
請求項１～１５のいずれか１項に記載の半導体装置において、
前記第１のＭＩＳトランジスタの実効仕事関数は、前記第２のＭＩＳトランジスタの実効仕事関数よりも高いことを特徴とする半導体装置。
【請求項１７】
第１の活性領域及び第２の活性領域を有する半導体基板上に、界面層、高誘電率絶縁膜及びゲート電極材料膜を順次形成する工程（ａ）と、
前記ゲート電極材料膜、前記高誘電率絶縁膜及び前記界面層をパターニングすることに

よって、前記第１の活性領域上に、前記界面層及び前記高誘電率絶縁膜を含む第１のゲート絶縁膜を介して、前記ゲート電極材料膜からなる第１のゲート電極を形成すると共に、前記第２の活性領域上に、前記界面層及び前記高誘電率絶縁膜を含む第２のゲート絶縁膜を介して、前記ゲート電極材料膜からなる第２のゲート電極を形成する工程（ｂ）と、

前記工程（ｂ）の後に、前記第１のゲート絶縁膜における前記界面層の厚さを選択的に厚くする工程（ｃ）とを備えていることを特徴とする半導体装置の製造方法。

【請求項１８】

請求項１７に記載の半導体装置の製造方法において、

前記工程（ｃ）は、前記第１のゲート電極及び前記第２のゲート電極を絶縁膜によって覆った後、前記第１のゲート電極を覆う前記絶縁膜に対して選択的にエッチングを行い、その後、酸化処理によって前記第１のゲート絶縁膜における前記界面層を厚くする工程を含むことを特徴とする半導体装置の製造方法。

【請求項１９】

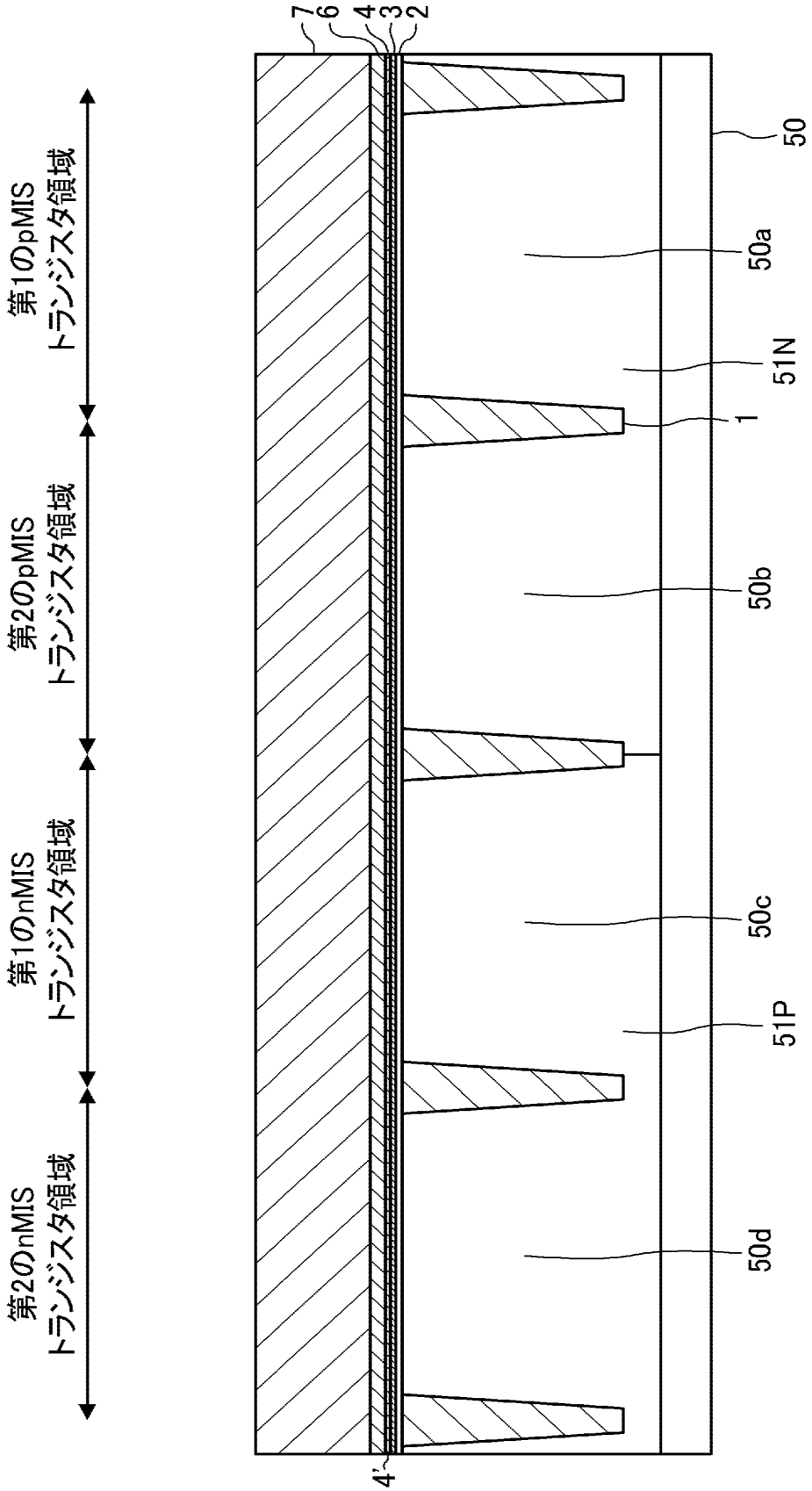
請求項１８に記載の半導体装置の製造方法において、

前記ゲート電極材料膜は、前記高誘電率絶縁膜上に形成された金属含有膜と、前記金属含有膜上に形成されたシリコン膜とを含み、

前記工程（ｃ）において、前記第１のゲート電極の側面上に残存する前記絶縁膜と、前記第１のゲート電極における前記シリコン膜との間に、シリコン酸化膜が形成されることを特徴とする半導体装置の製造方法。

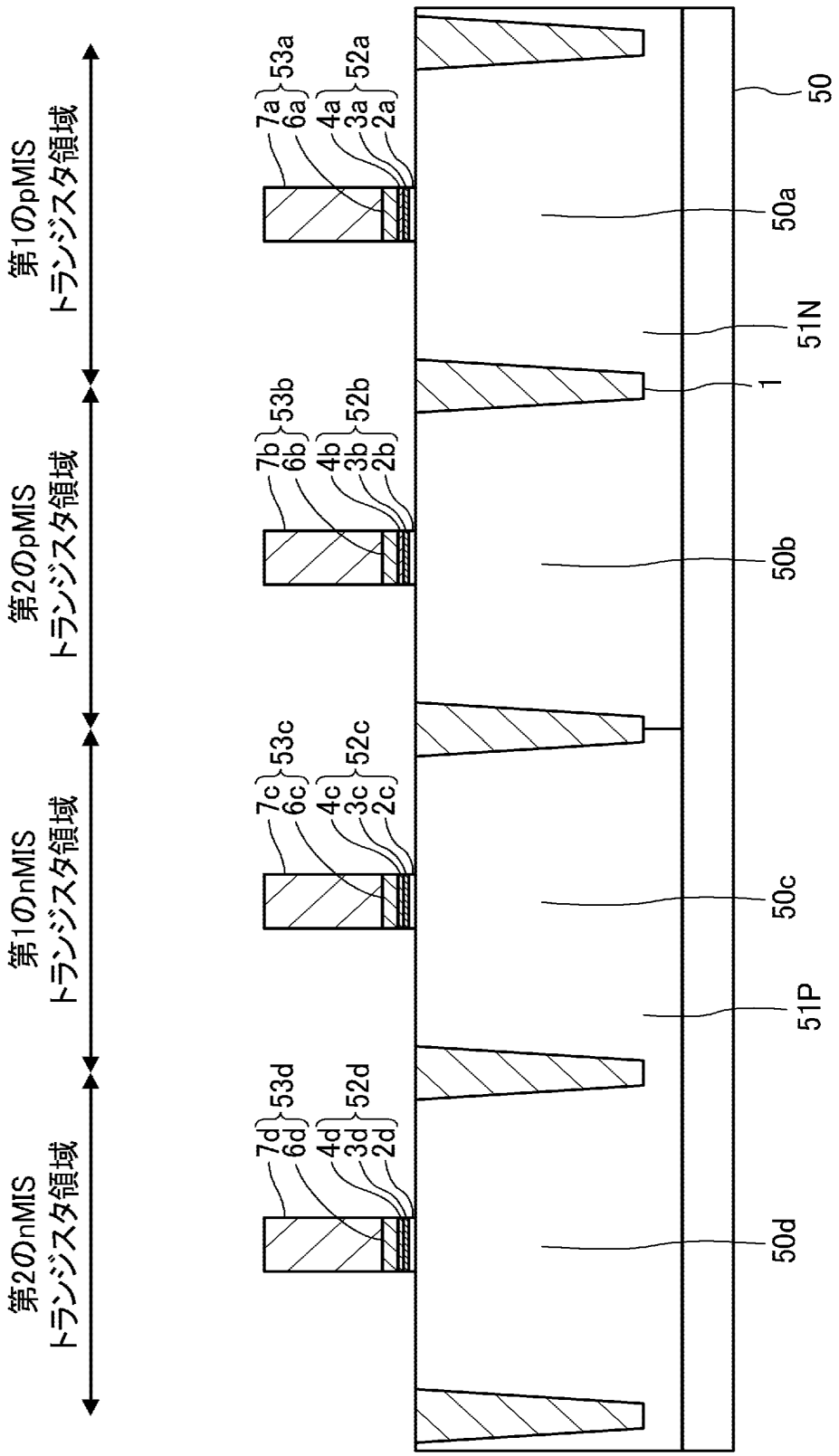
【書類名】要約書
【要約】
【課題】ゲート絶縁膜にｈｉｇｈ－ｋ膜を使用したＭＩＳ構造の半導体装置において、互いに異なる仕事関数を有する複数の同一導電型トランジスタを設けることを可能にする。
【解決手段】同じ導電型の第１のＭＩＳトランジスタ及び第２のＭＩＳトランジスタが同じ半導体基板５０上に設けられている。第１のＭＩＳトランジスタにおけるゲート絶縁膜５２ａの界面層２Ａの厚さは、第２のＭＩＳトランジスタにおけるゲート絶縁膜５２ｂの界面層２ｂの厚さよりも厚い。
【選択図】図９

【書類名】図面
【図１】



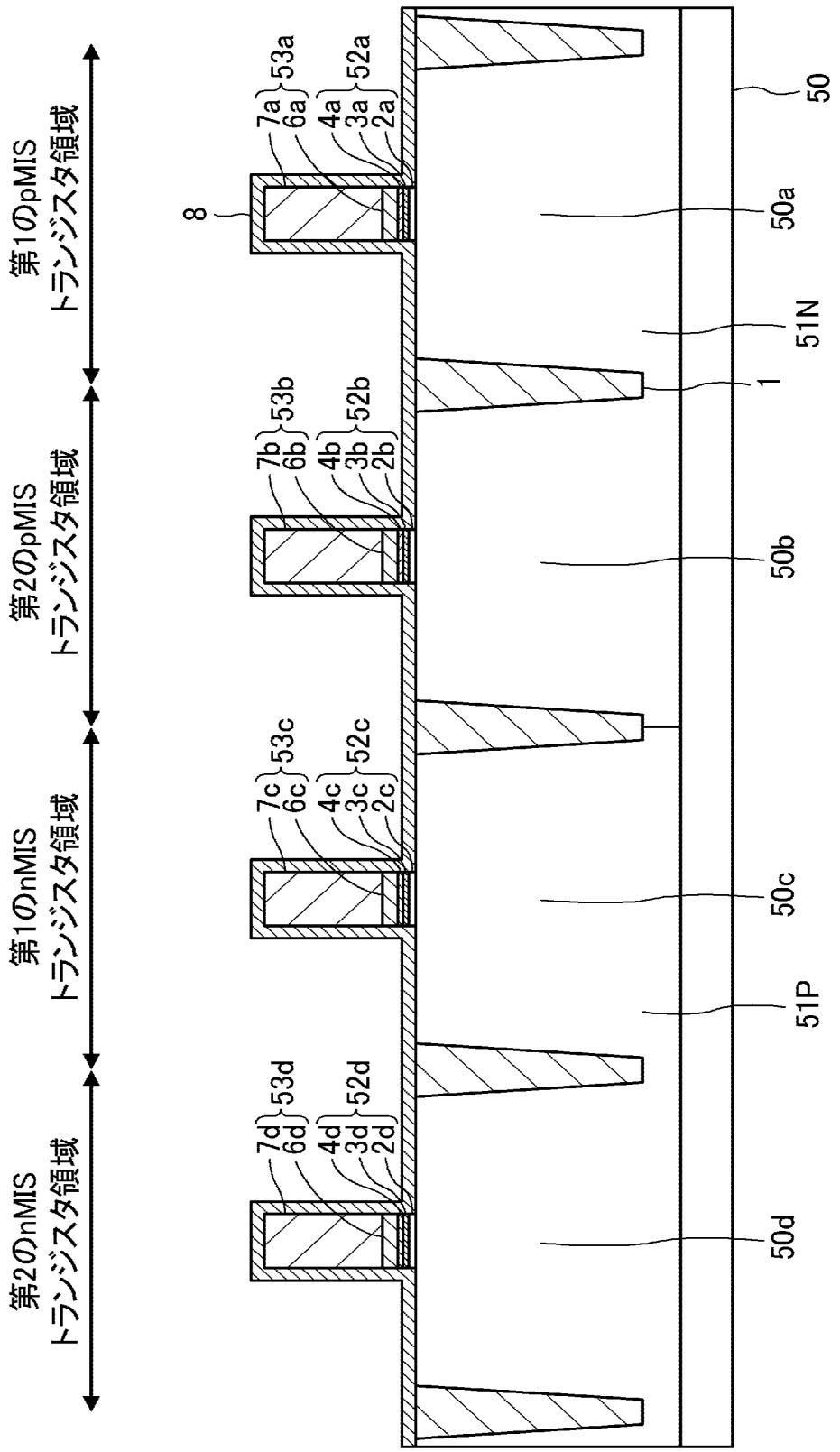
UMC 1002
UMC v. AICP

【図２】



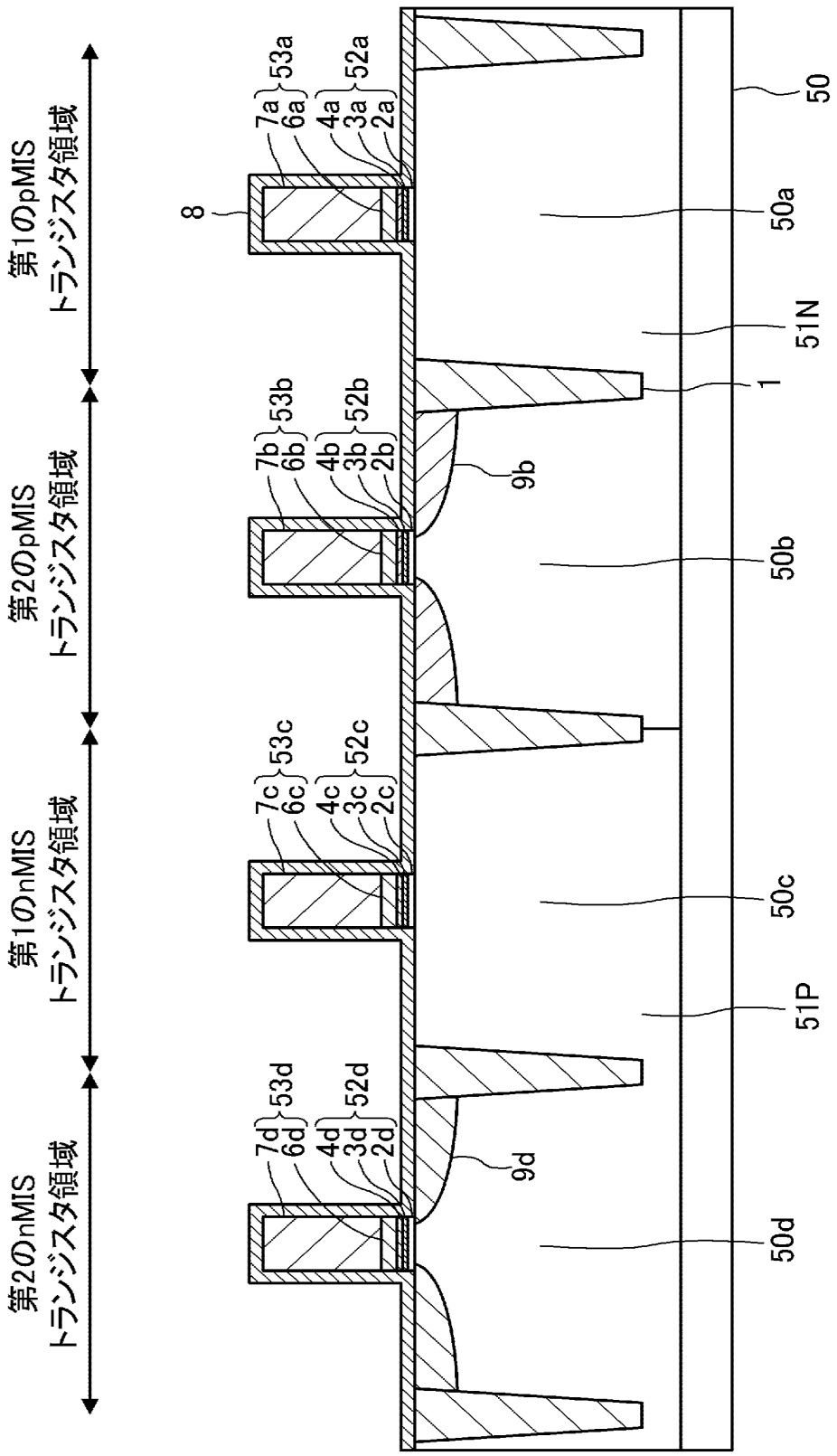
UMC 1002
UMC v. AICP

【図３】



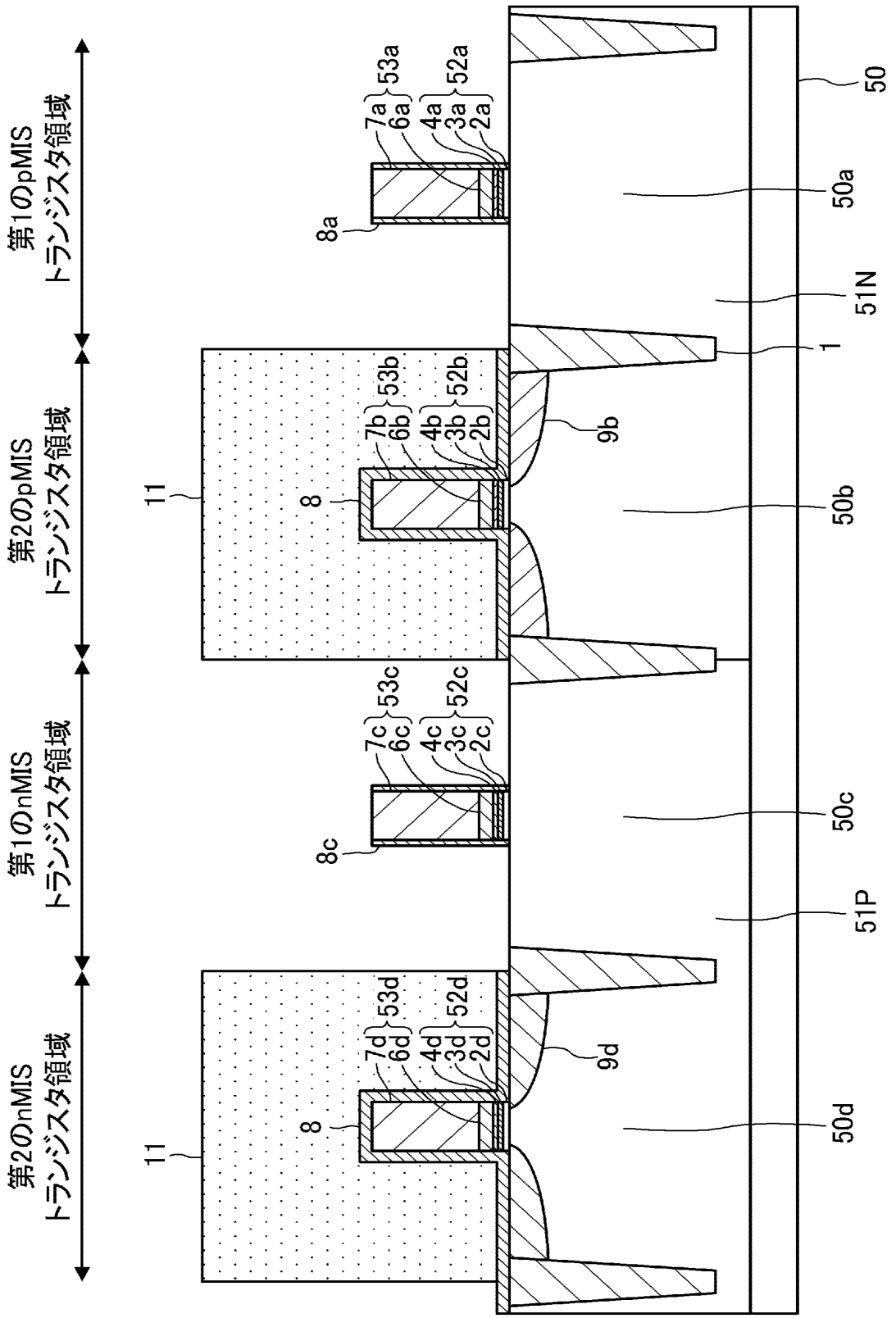
UMC 1002
UMC v. AICP

【図４】



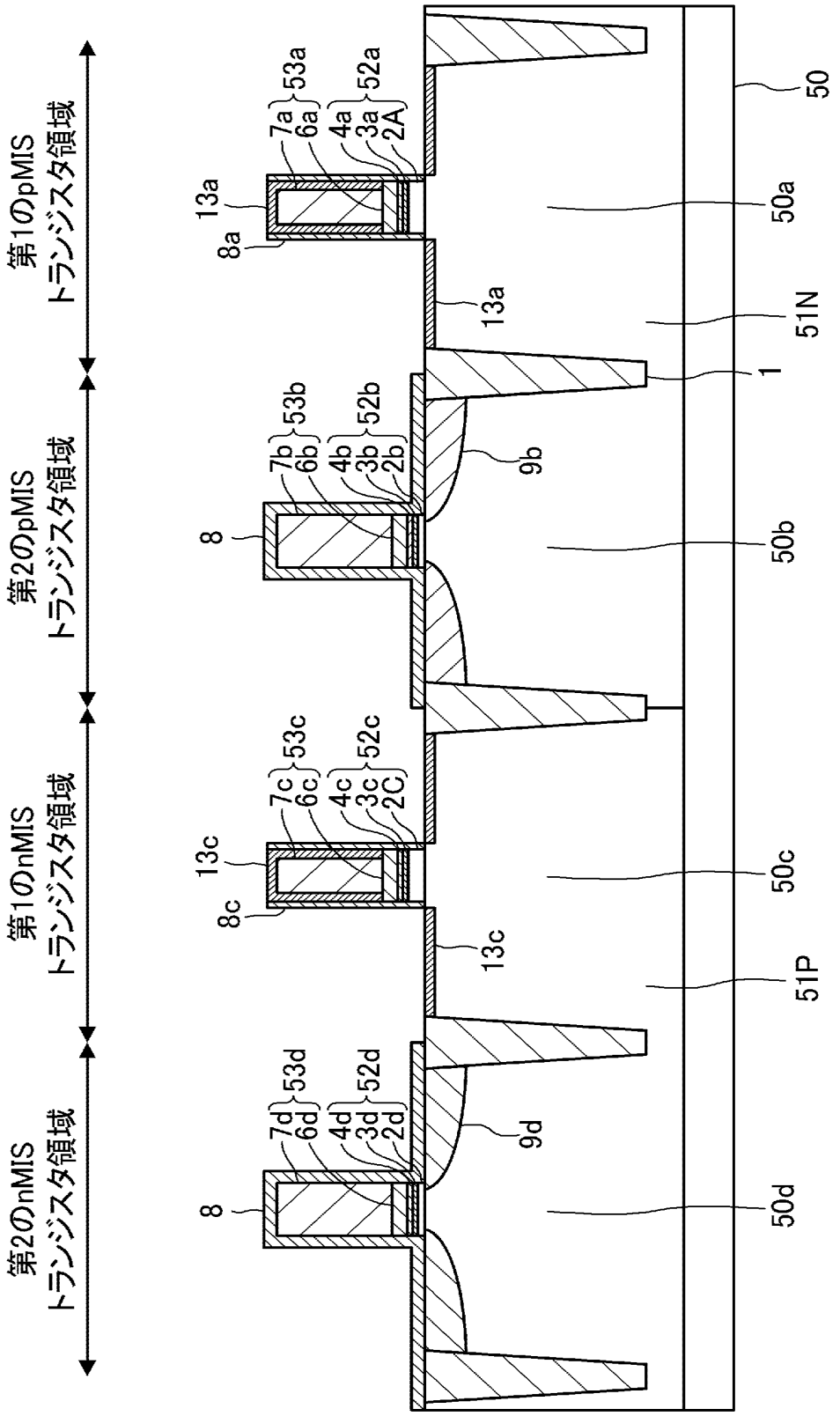
UMC 1002
UMC v. AICP

【図５】



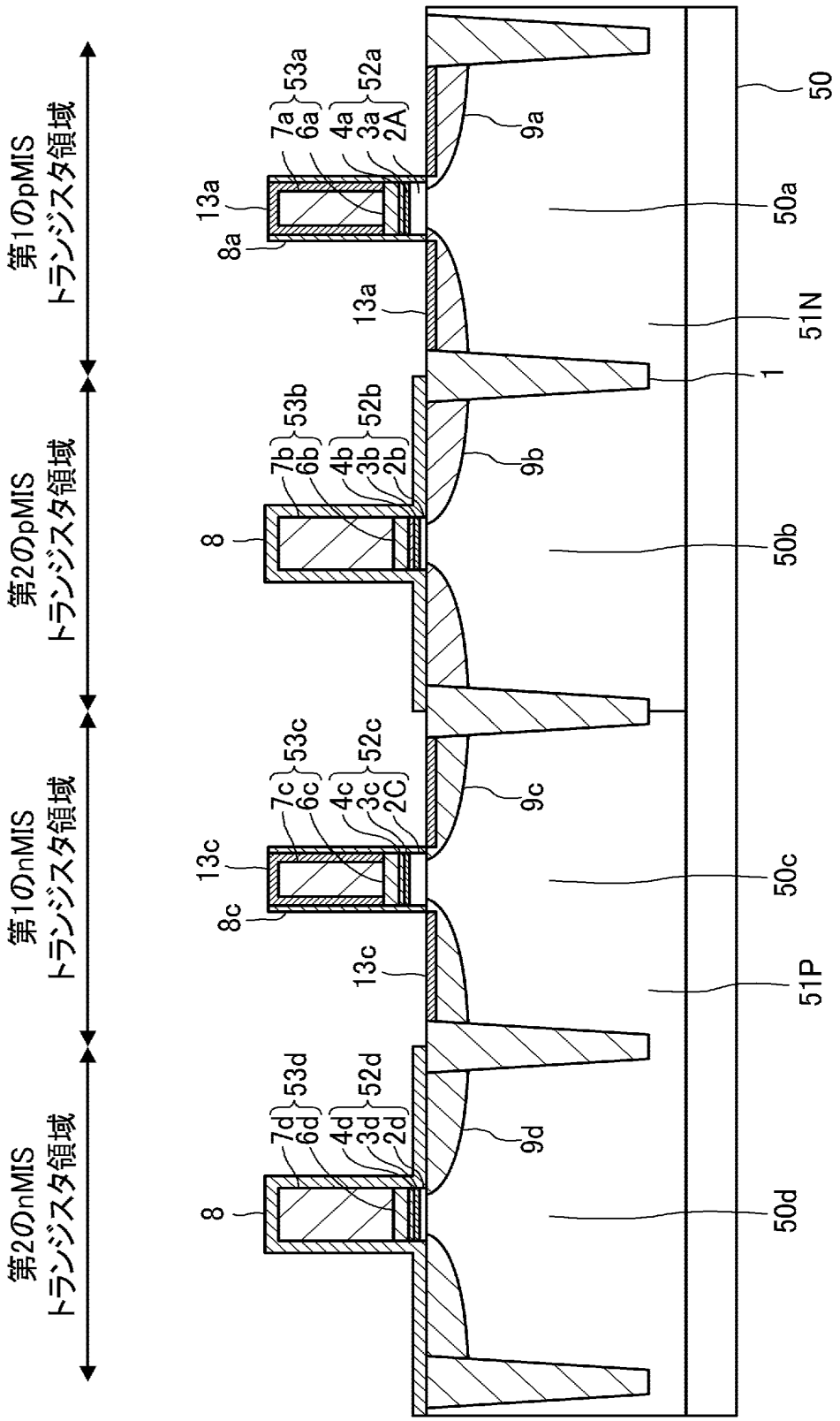
UMC 1002
UMC v. AICP

【図６】



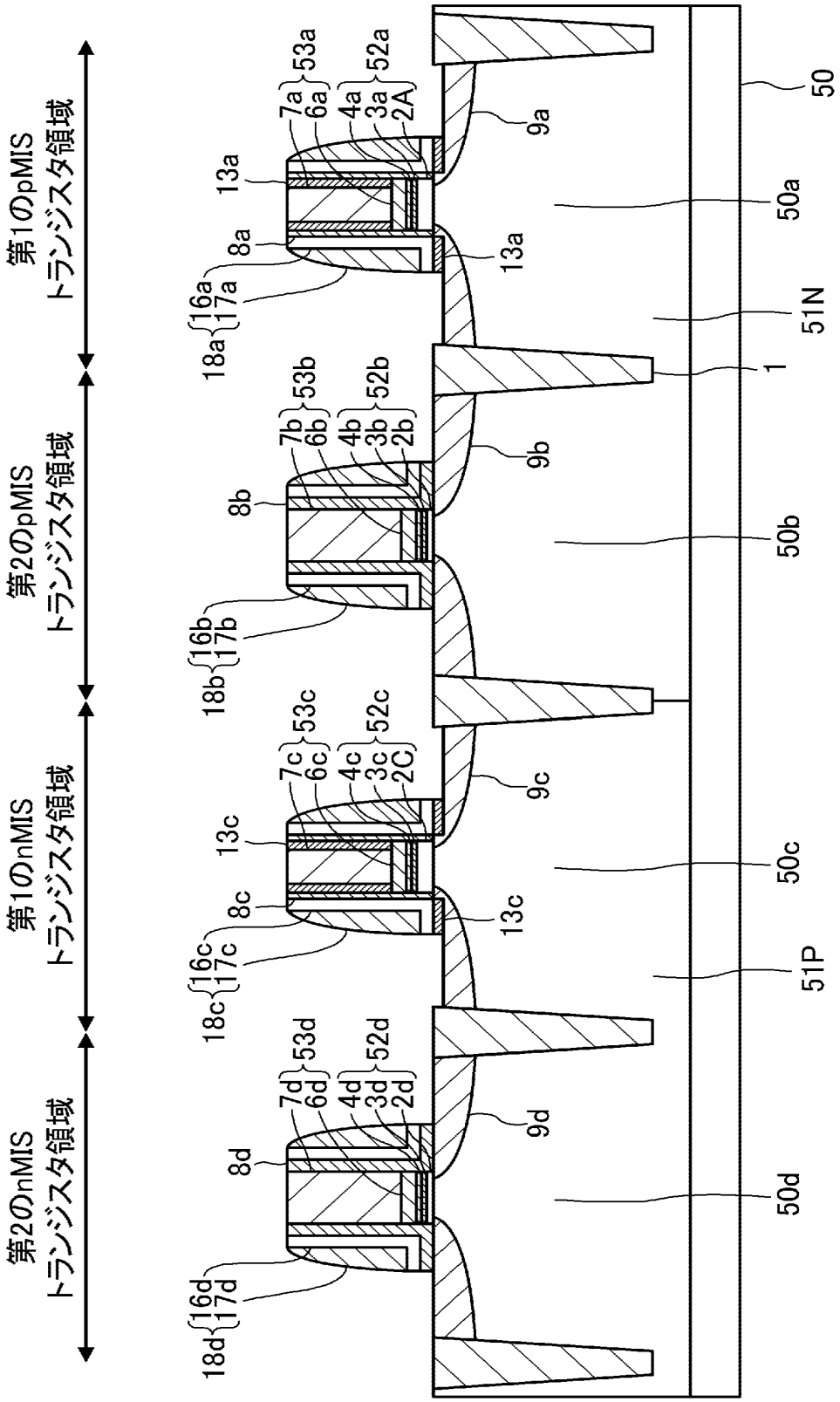
UMC 1002
UMC v. AICP

【図７】



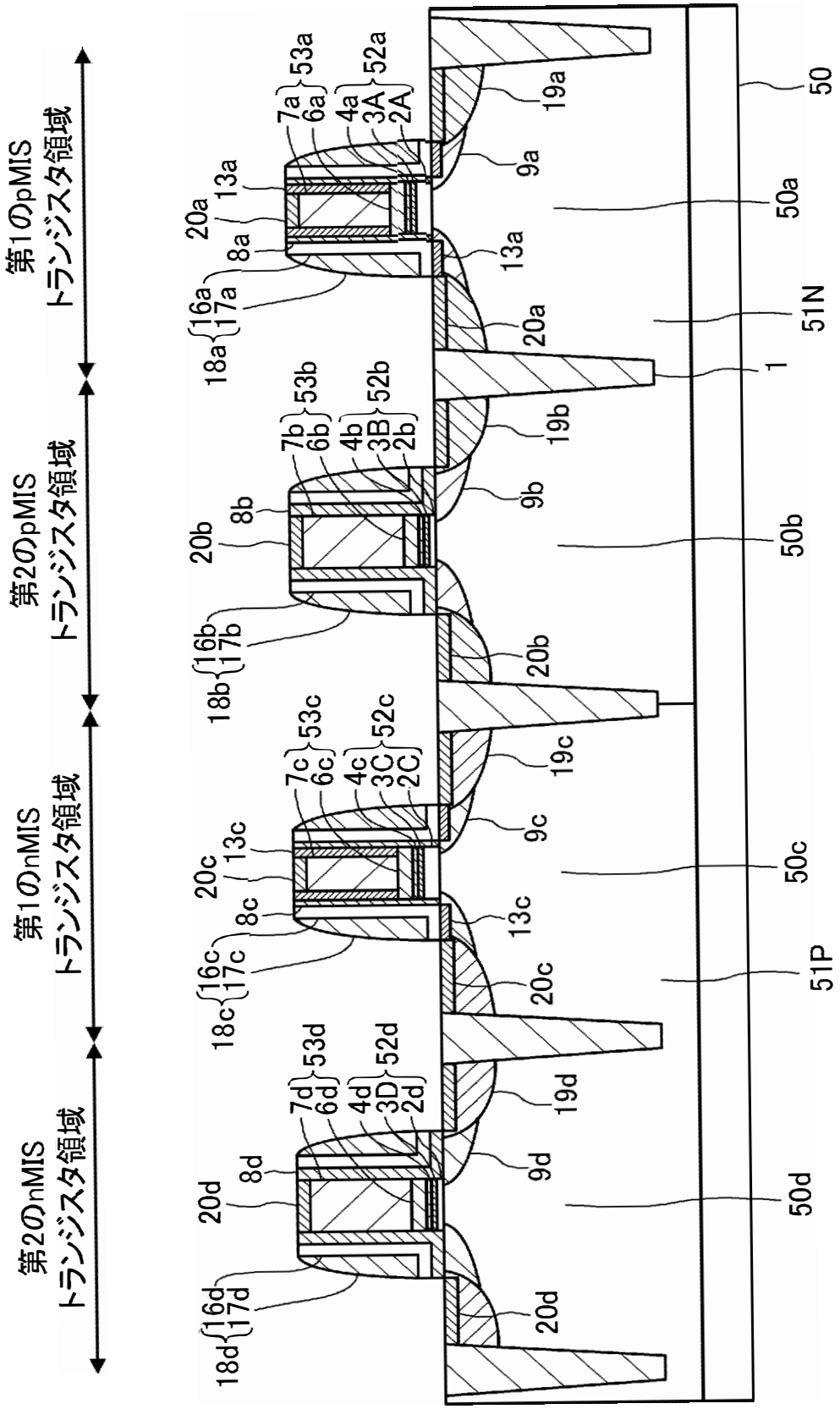
UMC 1002
UMC v. AICP

【図８】



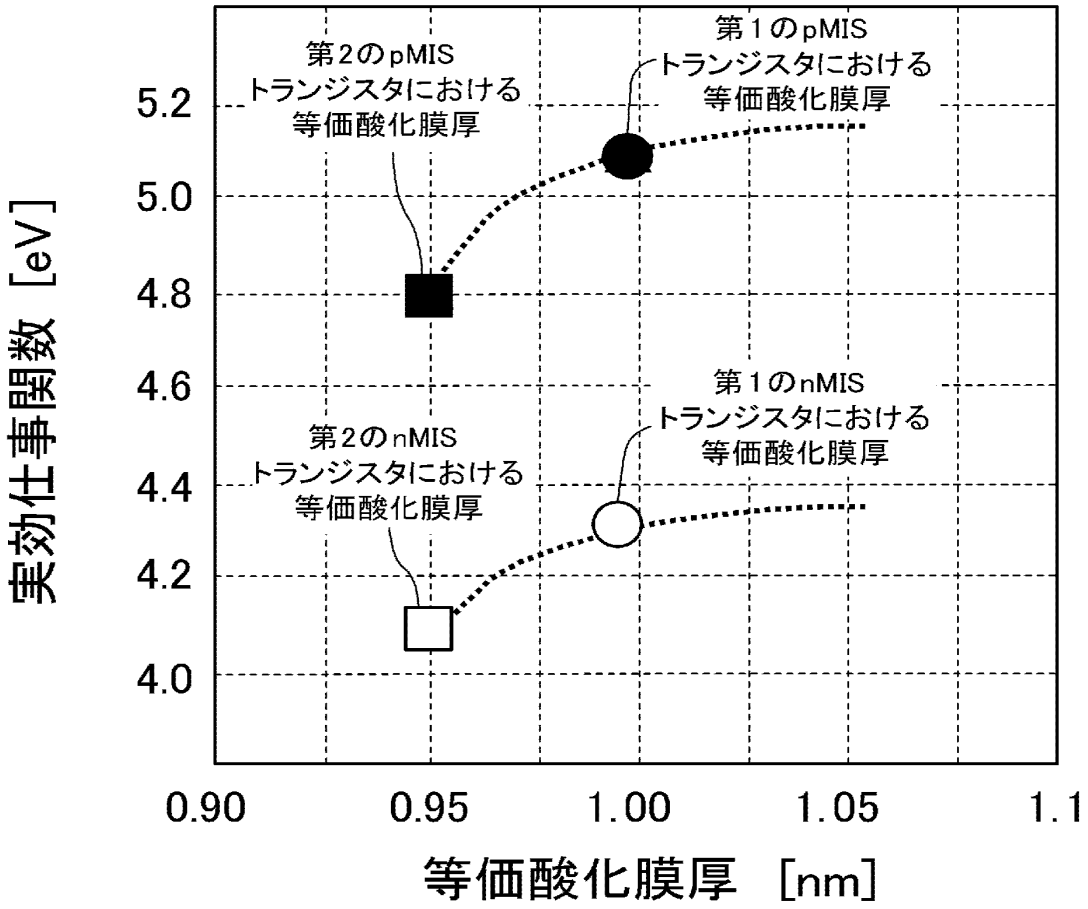
UMC 1002
UMC v. AICP

【図９】



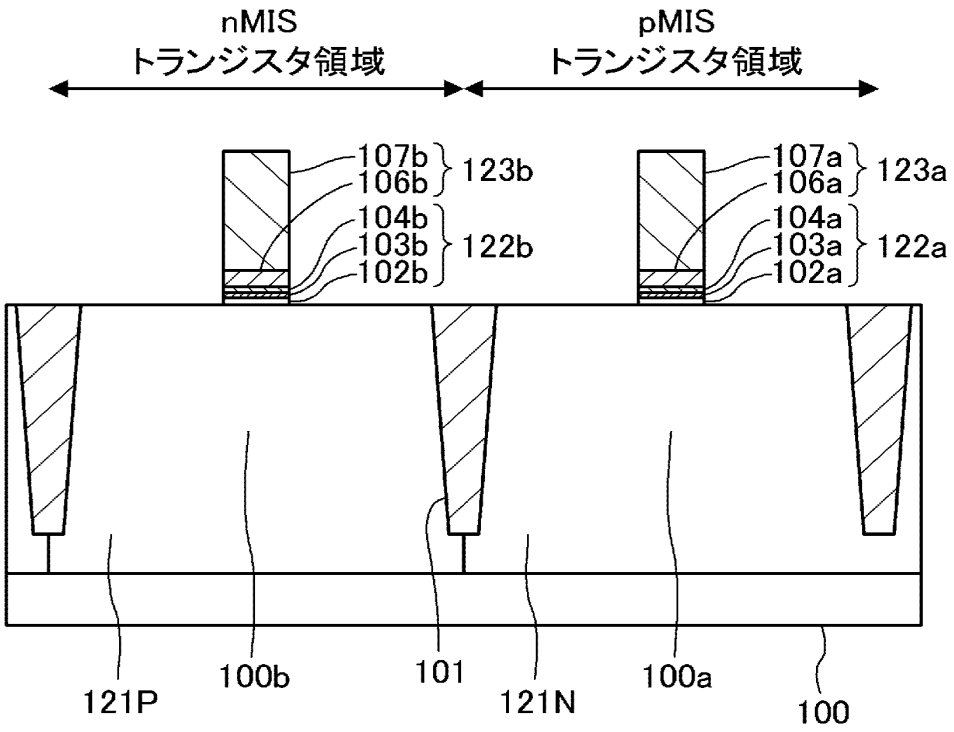
UMC 1002
UMC v. AICP

【図１０】

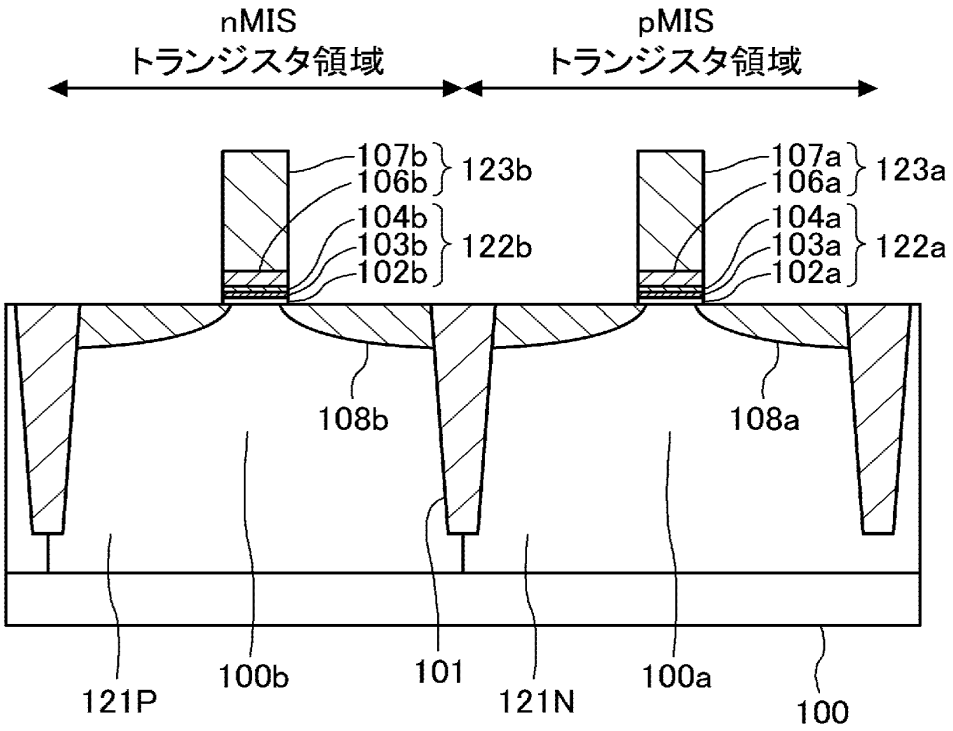


UMC 1002
UMC v. AICP

【図１１】

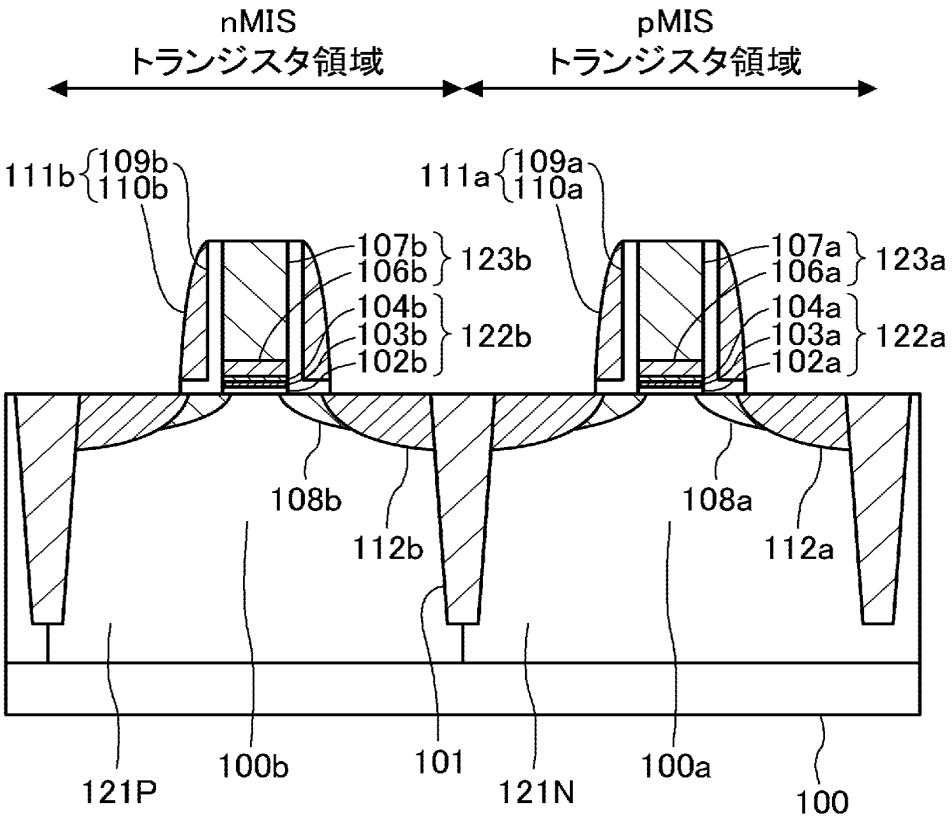


【図１２】



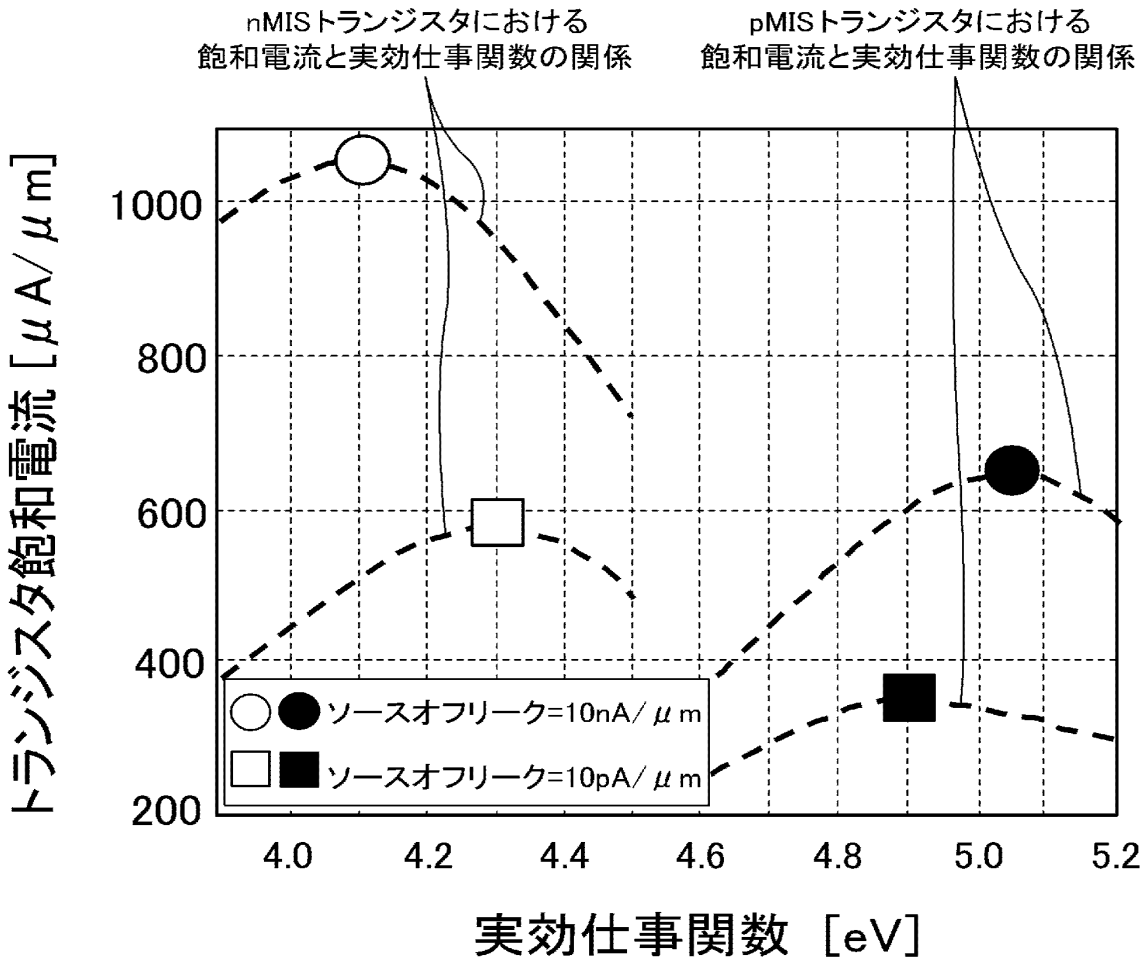
UMC 1002
UMC v. AICP

【図１３】



UMC 1002
UMC v. AICP

【図１４】



UMC 1002
UMC v. AICP

出願人履歴

０００００５８２１

20081001

名称変更

５０６１７８４４９

大阪府門真市大字門真１００６番地

パナソニック株式会社

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
13/665,305	10/31/2012	Satoru ITO	085393-0941

CONFIRMATION NO. 6981

53080
MCDERMOTT WILL & EMERY LLP
The McDermott Building
500 North Capitol Street, N.W.
WASHINGTON, DC 20001

PUBLICATION NOTICE

OC00000059713832

Title:SEMICONDUCTOR DEVICE

Publication No.US-2013-0056831-A1
Publication Date:03/07/2013

NOTICE OF PUBLICATION OF APPLICATION

The above-identified application will be electronically published as a patent application publication pursuant to 37 CFR 1.211, et seq. The patent application publication number and publication date are set forth above.

The publication may be accessed through the USPTO's publically available Searchable Databases via the Internet at www.uspto.gov. The direct link to access the publication is currently http://www.uspto.gov/patft/.

The publication process established by the Office does not provide for mailing a copy of the publication to applicant. A copy of the publication may be obtained from the Office upon payment of the appropriate fee set forth in 37 CFR 1.19(a)(1). Orders for copies of patent application publications are handled by the USPTO's Office of Public Records. The Office of Public Records can be reached by telephone at (703) 308-9726 or (800) 972-6382, by facsimile at (703) 305-8759, by mail addressed to the United States Patent and Trademark Office, Office of Public Records, Alexandria, VA 22313-1450 or via the Internet.

In addition, information on the status of the application, including the mailing date of Office actions and the dates of receipt of correspondence filed in the Office, may also be accessed via the Internet through the Patent Electronic Business Center at www.uspto.gov using the public side of the Patent Application Information and Retrieval (PAIR) system. The direct link to access this status information is currently http://pair.uspto.gov/. Prior to publication, such status information is confidential and may only be obtained by applicant using the private side of PAIR.

Further assistance in electronically accessing the publication, or about PAIR, is available by calling the Patent Electronic Business Center at 1-866-217-9197.

Office of Data Managment, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
13/665,305	10/31/2012	Satoru ITO	085393-0941	6981

53080 7590 08/29/2013

McDermott Will and Emery LLP
The McDermott Building
500 North Capitol Street, N.W.
WASHINGTON, DC 20001

EXAMINER	
NGUYEN, LAWRENCE-LIN T	
ART UNIT	PAPER NUMBER
2897	

NOTIFICATION DATE	DELIVERY MODE
08/29/2013	ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

mweipdocket@mwe.com

Office Action Summary	Application No. 13/665,305	Applicant(s) ITO ET AL.	
	Examiner LAWRENCE-LINH T. NGUYEN	Art Unit 2897	AIA (First Inventor to File) Status No

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE *3* MONTH(S) OR THIRTY (30) DAYS, WHICHEVER IS LONGER, FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

1)☐ Responsive to communication(s) filed on _____.

☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on _____.

2a)☐ This action is **FINAL**. 2b)☒ This action is non-final.

3)☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.

4)☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims

5)☐ Claim(s) _____ is/are pending in the application.

5a) Of the above claim(s) _____ is/are withdrawn from consideration.

6)☐ Claim(s) _____ is/are allowed.

7)☒ Claim(s) *1-16* is/are rejected.

8)☐ Claim(s) _____ is/are objected to.

9)☐ Claim(s) _____ are subject to restriction and/or election requirement.

* If any claims have been determined allowable, you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see http://www.uspto.gov/patents/init_events/pph/index.jsp or send an inquiry to PPHfeedback@uspto.gov.

Application Papers

10)☐ The specification is objected to by the Examiner.

11)☐ The drawing(s) filed on _____ is/are: a)☐ accepted or b)☐ objected to by the Examiner.

Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).

Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).

Priority under 35 U.S.C. § 119

12)☐ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

Certified copies:

a)☐ All b)☐ Some * c)☐ None of the:

1.☒ Certified copies of the priority documents have been received.

2.☐ Certified copies of the priority documents have been received in Application No. _____.

3.☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

* See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

1) ☒ Notice of References Cited (PTO-892)

2) ☒ Information Disclosure Statement(s) (PTO/SB/08) Paper No(s)/Mail Date *10/31/2012*.

3) ☐ Interview Summary (PTO-413) Paper No(s)/Mail Date. _____ .

4) ☐ Other: _____.

Detailed Action

1. This non-final Office action is responsive to Applicants' application filed **10/31/2012**. Claims **1-16** are presented for examination and claims **1-16** are rejected for the reasons indicated herein below.

Claim Rejections - 35 USC § 112

2. The following is a quotation of 35 U.S.C. 112(b):

> *(B) CONCLUSION.— The specification shall conclude with one or more claims particularly pointing out and distinctly claiming the subject matter which the inventor or a joint inventor regards as the invention.*
>
> *The following is a quotation of 35 U.S.C. 112 (pre-AIA), second paragraph:*
>
> *The specification shall conclude with one or more claims particularly pointing out and distinctly claiming the subject matter which the applicant regards as his invention.*

3. Claims **14 & 15** are rejected under 35 U.S.C. 112(b) or 35 U.S.C. 112 (pre-AIA), second paragraph, as being indefinite for failing to particularly point out and distinctly claim the subject matter which the inventor or a joint inventor, or for pre-AIA the applicant regards as the invention.

4. The term "**substantially**" in claims **14 & 15** is a relative term which renders the claims indefinite. The term "**substantially**" is not defined by the claims, the specification does not provide a standard for ascertaining the requisite degree, and one of ordinary skill in the art would not be reasonably apprised of the scope of the

UMC 1002
UMC v. AICP

invention. At what degree will it counts as "**substantially identical material**"?

Claim Rejections - 35 USC § 102(b)

5. The following is a quotation of the appropriate paragraphs of 35 U.S.C. 102 that form the basis for the rejections under this section made in this Office action:

> A person shall be entitled to a patent unless –
>
> (b) the invention was patented or described in a printed publication in this or a foreign country or in public use or on sale in this country, more than one year prior to the date of application for patent in the United States.

6. Claims **1-12 & 14-16** are rejected under 35 U.S.C. 102(b), as being anticipated by **Ishikawa** et al., (**8492230 B2**, hereinafter **Ishikawa).**

7. In reclaim **1**, in FIG. 3, Ishikawa teaches a semiconductor device comprising:

a. a first MIS transistor(**Bulk Type MISFET**) and a second MIS transistor(**Partial-Depletion MISFET**) of an identical conductivity type provided on an identical semiconductor substrate(**1S**), wherein

i. the first MIS transistor(**Bulk Type MISFET**) includes a first gate insulating film(**GOX3 & BOX**) formed on a first active region in the semiconductor substrate(**1S**) and a first gate electrode(**G3**) formed on the first gate insulating film,

ii. the second MIS transistor(**Partial-Depletion MISFET**) includes a second gate insulating film(**GOX2 & BOX**) formed on a second active

UMC 1002
UMC v. AICP

region in the semiconductor substrate(**1S**) and a second gate electrode(**G2**) formed on the second gate insulating film(**GOX2 & BOX**),

iii. the first gate insulating film(**GOX3 & BOX**) includes a first interface layer(**GOX3 & BOX**) being in contact with the semiconductor substrate(**1S**) and a first high dielectric constant insulating film formed on the first interface layer(**GOX3 & BOX**),

iv. the second gate insulating film(**GOX2 & BOX**) includes a second interface layer(**GOX2 & BOX**) being in contact with the semiconductor substrate(**1S**) and a second high dielectric constant insulating film formed on the second interface layer(**GOX2 & BOX**), and

v. the first interface layer(**GOX3 & BOX**) has a thickness larger than that of the second interface layer(**GOX2 & BOX**) (See *Col **13** lines **50-63***).

8. In reclaim **2**, in FIG. 3, Ishikawa teaches a semiconductor device of claim 1, wherein the first gate electrode includes first sidewall spacers formed on side surfaces thereof and first insulating spacers interposed between the first gate electrode and the first sidewall spacers, the second gate electrode includes second sidewall spacers formed on side surfaces thereof and second insulating spacers interposed between the second gate electrode and the second sidewall spacers, and the first insulating spacers are thinner than the second insulating spacers (See *Col **13** lines **50-63***).

9. In reclaim **3**, in FIG. 3, Ishikawa teaches a semiconductor device of claim 2, the

UMC 1002
UMC v. AICP

first insulting spacers are offset spacers(**OX2**) each having an I-shaped cross section, and the second insulating spacers(**OX1**) are underlying spacers each having an L-shaped cross section (See *Col **13** lines **10-16***).

10. In reclaim **4**, in FIG. 3, Ishikawa teaches a semiconductor device of claim 2, wherein the first gate electrode includes a first metal-containing film formed on the first high dielectric constant insulating film and a first silicon film formed on the first metal-containing film, the second gate electrode includes a second metal-containing film formed on the second high dielectric constant insulating film and a second silicon film formed on the second metal-containing film, a silicon dioxide film is interposed between the first silicon film and the first insulating spacers, and the second silicon film is in contact with the second insulating spacers (See *Col **16** lines **22-36***).

11. In reclaim **5**, in FIG. 3, Ishikawa teaches a semiconductor device of claim 4, wherein a first metal silicide layer is formed on the first silicon film, and a second metal silicide layer is formed on the second silicon film (See *Col **25** lines **30-42***).

12. In reclaim **6**, in FIG. 3, Ishikawa teaches a semiconductor device of claim 4, wherein a silicon dioxide film is also interposed between the first active region and the first sidewall spacers (See *Col **13** lines **10-16***).

13. In reclaim **7**, in FIG. 32, Ishikawa teaches a semiconductor device of claim 2, wherein each of the first insulating spacers and the second insulating spacers is made of a silicon nitride film (See *Col **28** lines **1-5***).

UMC 1002
UMC v. AICP

14. In reclaim **8**, in FIG. 3, Ishikawa teaches a semiconductor device of claim 1, wherein the first and second MIS transistors are pMIS transistors, and the first and second high dielectric constant insulating films contain aluminum (See *Col **27** lines **31-44***).

15. In reclaim **9**, in FIG. 3, Ishikawa teaches a semiconductor device of claim 8, wherein the first gate insulating film further includes a first cap film(**IL1**) formed on the first high dielectric constant insulating film and containing aluminum, and the second gate insulating film further includes a second cap film(**IL1**) formed on the second high dielectric constant insulating film and containing aluminum (See *Col **27** lines **31-44***).

16. In reclaim **10**, in FIG. 3, Ishikawa teaches a semiconductor device of claim 1, wherein the first and second MIS transistors are nMIS transistors, and the first and second high dielectric constant insulating films contain lanthanum (See *Col **18** lines **44-63***).

17. In reclaim **11**, in FIG. 3, Ishikawa teaches a semiconductor device of claim 10, wherein the first gate insulating film further includes a first cap film formed on the first high dielectric constant insulating film and containing lanthanum, and the second gate insulating film further includes a second cap film formed on the second high dielectric constant insulating film and containing lanthanum (See *Col **18** lines **44-60***).

18. In reclaim **12**. in FIG. 3, Ishikawa teaches a semiconductor device of claim 1, wherein each of the first and second high dielectric constant insulating films contains hafnium or zirconium (See *Col **18** lines **44-60***).

UMC 1002
UMC v. AICP

19. In reclaim **14**, in FIG. 3, Ishikawa teaches a semiconductor device of claim 1, wherein the first and second high dielectric constant insulating films are substantially equal in thickness (See *Col **13** lines **50-63***).

20. In reclaim **15**, in FIG. 3, Ishikawa teaches a semiconductor device of claim 1, wherein the first(**G3**) and second(**G2**) gate electrodes are made of a substantially identical material (See *Col **19** lines **56-67** Col **20** lines **1-12***).

21. In reclaim **16**, in FIG. 3, Ishikawa teaches a semiconductor device of claim 1, wherein an effective work function of the first MIS transistor is higher than an effective work function of the second MIS transistor (See *Col **24** lines **18-24** & Col **28** lines **27-37***).

Claim Rejections - 35 USC § 103

22. The following is a quotation of 35 U.S.C. 103(a) which forms the basis for all obviousness rejections set forth in this Office action:

> *(a) A patent may not be obtained though the invention is not identically disclosed or described as set forth in section 102 of this title, if the differences between the subject matter sought to be patented and the prior art are such that the subject matter as a whole would have been obvious at the time the invention was made to a person having ordinary skill in the art to which said subject matter pertains. Patentability shall not be negatived by the manner in which the invention was made.*
>
> *The factual inquiries set forth in Graham v. John Deere Co., 383 U.S. 1, 148 USPQ 459 (1966), that are applied for establishing a background for determining obviousness under 35 U.S.C. 103(a) are summarized as follows: (See MPEP Ch. 2141)*
>
> *Determining the scope and contents of the prior art;*

UMC 1002
UMC v. AICP

Ascertaining the differences between the prior art and the claims in issue; Resolving the level of ordinary skill in the pertinent art; and Evaluating evidence of secondary considerations for indicating obviousness or nonobviousness

23. Claims **13** is rejected under 35 U.S.C. 103(a) as being unpatentable by **Ishikawa** in view of **Forbes** et al., (**US20090294924 A1**, hereinafter **Forbes**).

24. In reclaim **13**, Ishikawa fails to teach a semiconductor device of claim 1, wherein each of the first and second interface layers is made of a silicon dioxide film.

25. But in the same field of endeavor of invention, Forbes teaches a semiconductor device of claim 1, wherein each of the first and second interface layers is made of a silicon dioxide film.

26. Forbes is evidence that ordinary workers skilled in the art would find reasons, suggestions or motivations to modify the device of Forbes with Ishikawa. Therefore, at the time the invention was made, it would have been obvious to use the teaching of Forbes in the device of Ishikawa since the electrical isolation is due to the relatively large band gap of SiO.sub.2, making it a good insulator from electrical conduction. Significant reductions in its band gap may eliminate it as a material for a dielectric region in an electronic device (*See **§ [0026]***).

UMC 1002
UMC v. AICP

Conclusion

27. Any inquiry concerning this communication or earlier communications from the examiner should be directed to LAWRENCE-LINH T. NGUYEN whose telephone number is (571) 272-6267. The examiner can be reached on M-F (8AM - 4PM EST).

28. If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Fernando Toledo can be reached on (571) 272-1867. The fax phone number for the organization where this application or proceeding is assigned is (571) 272-8300.

29. Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at (866) 217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call (800) 786-9199 (in USA or CANADA) or (571) 272-1000.

/**Lawrence-Linh T Nguyen**/
Examiner, Art Unit 2897

/Fernando L. Toledo/
Supervisory Patent Examiner, Art Unit 2897

UMC 1002
UMC v. AICP

Notice of References Cited	Application/Control No. 13/665,305	Applicant(s)/Patent Under Reexamination ITO ET AL.	
	Examiner LAWRENCE-LINH T. NGUYEN	Art Unit 2897	Page 1 of 1

U.S. PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	Classification
*	A	US-8,492,230	07-2013	Ishikawa et al.	438/283
*	B	US-2009/0294924	12-2009	Forbes et al.	257/635
	C	US-			
	D	US-			
	E	US-			
	F	US-			
	G	US-			
	H	US-			
	I	US-			
	J	US-			
	K	US-			
	L	US-			
	M	US-			

FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
	N					
	O					
	P					
	Q					
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

EAST Search History

EAST Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L1	6667	MIS near transistor	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2013/08/22 11:23
L2	44	L1 and ((high near k) or "high k") near (gate near (dielectric or insulat$4))	USPAT	OR	ON	2013/08/22 11:23
L3	1	"20110049629"	USPAT	OR	ON	2013/08/22 11:28
L4	10	(US-20120146154-$ or US-20120056271-$ or US-20110073954-$ or US-20100248438-$ or US-20080258229-$ or US-20080036014-$ or US-20130056831-$ or US-20100176456-$ or US-20100164007-$).did. or (US-8492230-$).did.	US-PGPUB; USPAT	OR	ON	2013/08/22 13:11
S1	1	"13665305"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2013/08/13 09:07
S2	155	((SATORU) near2 (ITO)).INV.	US-PGPUB; USPAT; USOCR	OR	ON	2013/08/13 09:08
S3	11	((YOSHIYA) near2 (MORIYAMA)).INV.	US-PGPUB; USPAT; USOCR	OR	ON	2013/08/13 09:08
S4	23	((HIROSHI) near2 (OHKAWA)).INV.	US-PGPUB; USPAT; USOCR	OR	ON	2013/08/13 09:09
S5	32	((SUSUMU) near2 (AKAMATSU)).INV.	US-PGPUB; USPAT; USOCR	OR	ON	2013/08/13 09:09
S6	12	("20030045058" | "20040032001" | "20040082130" | "20100164007" | "20100176456" | "5595922").PN.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2013/08/13 09:09
S7	1	S2 and S3 and S4 and S5	US-PGPUB; USPAT; USOCR	OR	ON	2013/08/13 09:25
S8	216	S2 S3 S4 S5	US-PGPUB; USPAT; USOCR	OR	ON	2013/08/13 09:26

S9	3	("2010/0176456").URPN.	USPAT	OR	ON	2013/08/13 11:07
S10	5	("20100120227" | "20100321544" | "20120153476" | "6028348" | "7138295" | "7518240" | "7674689" | "8039314").PN.	USPAT	OR	ON	2013/08/13 11:08
S11	5	"2009123944"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2013/08/13 16:28
S13	1	("2010/0164007").URPN.	USPAT	OR	ON	2013/08/13 17:01
S14	24	(first second third multipl$3) adj3 NMIS adj transistor	USPAT	OR	ON	2013/08/13 17:22
S15	18452	panasonic	USPAT	OR	ON	2013/08/13 17:25
S16	12	(first second third multipl$3) adj transistor near (high adj (k -k dielectric))	USPAT	OR	ON	2013/08/13 17:27
S17	0	S15 and ((first second third multipl$3) adj transistor near (high adj (k -k dielectric)))	USPAT	OR	ON	2013/08/13 17:27
S18	0	S15 and ((first second third multipl$3) adj NMIS adj transistor same (high adj (k -k dielectric)))	USPAT	OR	ON	2013/08/13 17:29
S19	0	S15 and ((first second third multipl$3) adj NMIS adj transistor with (high adj (k -k dielectric)))	USPAT	OR	ON	2013/08/13 17:29
S20	4	S15 and ((first second third multipl$3) adj NMIS)	USPAT	OR	ON	2013/08/13 17:30
S23	6663	MIS near transistor	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2013/08/13 17:31
S24	0	S15 and ((first second third multipl$3) adj transistor near (high adj (k -k dielectric)))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2013/08/13 17:31
S25	111810	panasonic	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2013/08/13 17:32
S27	96	S23 and ((high near k) or "high k") near (gate near (dielectric or insulat$4))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2013/08/13 17:33

8/22/2013 1:13:26 PM

C:\Users\lnguyen16\Documents\EAST\Workspaces\13665305.wsp

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	13665305	ITO ET AL.
	Examiner	Art Unit
	LAWRENCE-LINH T NGUYEN	2897

CPC- SEARCHED		
Symbol	Date	Examiner

CPC COMBINATION SETS - SEARCHED		
Symbol	Date	Examiner

US CLASSIFICATION SEARCHED			
Class	Subclass	Date	Examiner
257	632,635, E21.409,E21.645,E29.001	0823/2013	LTN

SEARCH NOTES		
Search Notes	Date	Examiner
Consulted with Cuong B. Nguyen	08/16/2013	LTN

INTERFERENCE SEARCH			
US Class/ CPC Symbol	US Subclass / CPC Group	Date	Examiner

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

BIB DATA SHEET

CONFIRMATION NO. 6981

SERIAL NUMBER	FILING or 371(c) DATE RULE	CLASS	GROUP ART UNIT	ATTORNEY DOCKET NO.
13/665,305	10/31/2012	257	2897	085393-0941

APPLICANTS

Satoru ITO, Hyogo, JAPAN;
Yoshiya MORIYAMA, Toyama, JAPAN;
Hiroshi OHKAWA, Toyama, JAPAN;
Susumu AKAMATSU, Toyama, JAPAN;
PANASONIC CORPORATION, Osaka, JAPAN

**** CONTINUING DATA ***************************

This application is a CON of PCT/JP2011/002868 05/24/2011

**** FOREIGN APPLICATIONS ***************************

JAPAN 2010-205599 09/14/2010

**** IF REQUIRED, FOREIGN FILING LICENSE GRANTED ****

11/20/2012

Foreign Priority claimed ☑ Yes ☐ No 35 USC 119(a-d) conditions met ☑ Yes ☐ No Verified and Acknowledged /LAWRENCE-LINH T NGUYEN/ Examiner's Signature	☐ Met after Allowance Initials	STATE OR COUNTRY	SHEETS DRAWINGS	TOTAL CLAIMS	INDEPENDENT CLAIMS
		JAPAN	13	16	1

ADDRESS

McDermott Will and Emery LLP
The McDermott Building
500 North Capitol Street, N.W.
WASHINGTON, DC 20001
UNITED STATES

TITLE

SEMICONDUCTOR DEVICE

FILING FEE RECEIVED		
1260	FEES: Authority has been given in Paper No._____ to charge/credit DEPOSIT ACCOUNT No._____ for following:	☐ All Fees ☐ 1.16 Fees (Filing) ☐ 1.17 Fees (Processing Ext. of time) ☐ 1.18 Fees (Issue) ☐ Other _____ ☐ Credit

BIB (Rev. 05/07).

UMC 1002
UMC v. AICP

PTO/SB/08a (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 2

Complete if Known	
Application Number	Not Yet Assigned
Filing Date	October 31, 2012
First Named Inventor	Satoru ITOU
Art Unit	N/A
Examiner Name	Not Yet Assigned
Attorney Docket Number	085393-0941

U.S. PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Document Number Number-Kind Code[2] (*if known*)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	A1*	US-2004/0082130	04-29-2004	Suzuki et al.	
	A2*	US-2003/0045058	03-06-2003	Druijf et al.	
	A3*	US-5,595,922	01-21-1997	Tigelaar et al.	
	A4*	US-2010/0164007	07-01-2010	ONISHI et al.	
	A5*	US-2004/0032001	02-19-2004	Gilmer et al.	
	A6*	US-2010/0176456	07-15-2010	Ikeno et al.	

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Foreign Patent Document Country Code[3]-Number[4]-Kind Code[5] (*if known*)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages Or Relevant Figures Appear	T[6]
	B1	JP-2004-079606-A	03-11-2004	Fujitsu Ltd	English abstract	
	B2	JP-2009-123944-A	06-04-2009	Panasonic Corp	English abstract	
	B3	JP-2003-100896-A	04-04-2003	Toshiba Corp	English abstract	
	B4	JP-08-306797-A	11-22-1996	Ricoh Kk	English abstract	

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. * CITE NO.: Those application(s) which are marked with an single asterisk (*) next to the Cite No. are not supplied (under 37 CFR 1.98(a)(2)(iii)) because that application was filed after June 30, 2003 or is available in the IFW. [1] Applicant's unique citation designation number (optional). [2] See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. [3] Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). [4] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [6] Applicant is to place a check mark here if English language Translation is attached.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /L.N./

UMC 1002
UMC v. AICP

PTO/SB/08b (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 2 of 2

Complete if Known	
Application Number	Not Yet Assigned
Filing Date	October 31, 2012
First Named Inventor	Satoru ITOU
Art Unit	N/A
Examiner Name	Not Yet Assigned
Attorney Docket Number	085393-0941

NON PATENT LITERATURE DOCUMENTS

Examiner Initials*	Cite No.[1]	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	T[2]
	C1	T. Schram et al., "Novel Process to Pattern Selectively Dual Dielectric Capping Layers Using Soft-Mask Only", Symposium on VLSI Technology Digest of Technical Papers, pp.44-45 (2008).	
	C2	International Search Report mailed August 23, 2011 issued in corresponding International Application No. PCT/JP2011/002868.	

Examiner Signature	/Lawrence-Linh Nguyen/	Date Considered	08/13/2013

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

[1]Applicant's unique citation designation number (optional). [2]Applicant is to place a check mark here if English language Translation is attached.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /L.N./

UMC 1002
UMC v. AICP

Index of Claims	Application/Control No.	Applicant(s)/Patent Under Reexamination
	13665305	ITO ET AL.
	Examiner	**Art Unit**
	LAWRENCE-LINH T NGUYEN	2897

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

☐ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

CLAIM		DATE								
Final	Original	08/13/2013								
	1	✓								
	2	✓								
	3	✓								
	4	✓								
	5	✓								
	6	✓								
	7	✓								
	8	✓								
	9	✓								
	10	✓								
	11	✓								
	12	✓								
	13	✓								
	14	✓								
	15	✓								
	16	✓								

PTO/SB/08a (01-10)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	13665305
	Filing Date	2012-10-31
	First Named Inventor	Satoru ITOU
	Art Unit	2897
	Examiner Name	L. T. Nguyen
	Attorney Docket Number	085393-0941

U.S.PATENTS						Remove
Examiner Initial*	Cite No	Patent Number	Kind Code[1]	Issue Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1					
If you wish to add additional U.S. Patent citation information please click the Add button.						Add

U.S.PATENT APPLICATION PUBLICATIONS						Remove
Examiner Initial*	Cite No	Publication Number	Kind Code[1]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1					
If you wish to add additional U.S. Published Application citation information please click the Add button.						Add

FOREIGN PATENT DOCUMENTS								Remove
Examiner Initial*	Cite No	Foreign Document Number[3]	Country Code[2] ¡	Kind Code[4]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear	T[5]
	1	2003-100896	JP	A	2003-04-04	Toshiba corp	w/Full English Translation	☒
	2	2004-79606	JP	A	2004-03-11	Fujitsu Ltd	w/Full English Translation	☒
	3	08-306797	JP	A	1996-11-22	Ricoh Kk	w/Full English Translation	☒

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	13665305
	Filing Date	2012-10-31
	First Named Inventor	Satoru ITOU
	Art Unit	2897
	Examiner Name	L. T. Nguyen
	Attorney Docket Number	085393-0941

If you wish to add additional Foreign Patent Document citation information please click the Add button Add

NON-PATENT LITERATURE DOCUMENTS Remove

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc), date, pages(s), volume-issue number(s), publisher, city and/or country where published.	T[5]
	1		☐

If you wish to add additional non-patent literature document citation information please click the Add button Add

EXAMINER SIGNATURE

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

[1] See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. [2] Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). [3] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [4] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [5] Applicant is to place a check mark here if English language translation is attached.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	13665305
	Filing Date	2012-10-31
	First Named Inventor	Satoru ITOU
	Art Unit	2897
	Examiner Name	L. T. Nguyen
	Attorney Docket Number	085393-0941

CERTIFICATION STATEMENT

Please see 37 CFR 1.97 and 1.98 to make the appropriate selection(s):

☒ That each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(1).

OR

☐ That no item of information contained in the information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the information disclosure statement was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(2).

☐ See attached certification statement.

☐ The fee set forth in 37 CFR 1.17 (p) has been submitted herewith.

☐ A certification statement is not submitted herewith.

SIGNATURE

A signature of the applicant or representative is required in accordance with CFR 1.33, 10.18. Please see CFR 1.4(d) for the form of the signature.

Signature	/Michael E. Fogarty/	Date (YYYY-MM-DD)	2013-09-24
Name/Print	Michael E. Fogarty	Registration Number	36139

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 1 hour to complete, including gathering, preparing and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these record s.

2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.

3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.

4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).

5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.

6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).

7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.

8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.

9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Machine Translation of

Japanese Patent Publication No. 2003-100896

* NOTICES *

JPO and INPIT are not responsible for any
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]A semiconductor device, wherein it has a second transistor characterized by comprising the following, said 2nd and 4th insulator layers are high dielectric films formed simultaneously and said 1st and 3rd insulator layers are volume phases from which composition or thickness differs mutually.

A semiconductor substrate.

A first transistor to which a first insulator layer formed in a first region partitioned by the aforementioned semiconductor substrate and a second insulator layer have first gate dielectric film of structure where it laminated sequentially from [this] the aforementioned semiconductor substrate.

Second gate dielectric film with silicon oxide conversion thickness thick compared with said first gate dielectric film which is the structure formed in a second region partitioned by the aforementioned semiconductor substrate where

UMC 1002
UMC v. AICP

the 3rd insulator layer and 4th insulator layer were laminated sequentially from [this] the aforementioned semiconductor substrate.

[Claim 2]A volume phase which constitutes said first insulator layer is an oxide film containing nitrogen formed by reaction of a nitrogen ion injection layer and the aforementioned high dielectric film which were selectively formed in the first region surface of the aforementioned semiconductor substrate, The semiconductor device according to claim 1, wherein a volume phase which constitutes said 3rd insulator layer is the oxide film formed by reaction of the second region surface and the aforementioned high dielectric film of the aforementioned semiconductor substrate.

[Claim 3]A volume phase which constitutes said first insulator layer is a nitride or a oxynitriding film selectively formed in the first region surface of the aforementioned semiconductor substrate by radical nitriding, The semiconductor device according to claim 1, wherein a volume phase which constitutes said 3rd insulator layer is the oxide film formed by reaction of the second region surface and the aforementioned high dielectric film of the aforementioned semiconductor substrate.

[Claim 4]The semiconductor device according to claim 1, wherein said first insulator layer is removed in regions other than directly under [gate electrode] and at least one copy of said 3rd insulator layer is left behind to regions other than directly under [gate electrode].

[Claim 5]The aforementioned semiconductor device is DRAM and in said first region, The semiconductor device according to claim 1, wherein a DRAM peripheral circuit is formed by making said first transistor into a constituent child and a DRAM cell array is formed in said second region by using said second transistor as a cell transistor.

[Claim 6]The semiconductor device according to claim 1, wherein the aforementioned semiconductor device is logic LSI, a logical circuit is formed in

UMC 1002
UMC v. AICP

said first region by making said first transistor into a constituent child and an I/O circuit is formed in said second region by making said second transistor into a constituent child.

[Claim 7]The aforementioned semiconductor device is DRAM mixed-loading LSI, and in said first region, The semiconductor device according to claim 1, wherein a logical circuit is formed by making said first transistor into a constituent child and a DRAM cell array is formed in said second region by using said second transistor as a cell transistor.

[Claim 8]it being the structure formed in the 3rd region partitioned by the aforementioned semiconductor substrate where a fifth insulator layer and a sixth insulator layer were laminated by this order, and. Silicon oxide conversion thickness has the 3rd transistor that has gate dielectric film thinner than said second gate dielectric film thicker than said first gate dielectric film, and it in said first region, It is formed by logical circuit by making said first transistor into a constituent child, and in said second region, The semiconductor device according to claim 7, wherein a DRAM cell array is formed by making said second transistor into a constituent child and an I/O circuit is formed in said 3rd region by making said 3rd transistor into a constituent child.

[Claim 9]The semiconductor device according to claim 1, wherein said first transistor is a n-channel transistor and said second transistor is a p channel transistor.

[Claim 10]In a manufacturing method of a semiconductor device containing a transistor which has a different gate-dielectric-film structure,

A manufacturing method of a semiconductor device characterized by comprising the following.

A process of forming an oxygen barrier layer in the surface of a first region of a semiconductor substrate selectively.

Form a high dielectric insulator layer in the aforementioned semiconductor substrate, and a volume phase which consists of the aforementioned oxygen

UMC 1002
UMC v. AICP

barrier layer or a reaction layer of this and the aforementioned high dielectric film in said first region is included, A process of carrying out pattern formation of the gate electrode to the aforementioned semiconductor substrate and a process of forming gate dielectric film containing a volume phase by a reaction of the aforementioned high dielectric film, on the aforementioned gate dielectric film in a second region.

[Claim 11]In a manufacturing method of a semiconductor device containing a transistor which has a different gate-dielectric-film structure,
A manufacturing method of a semiconductor device characterized by comprising the following.
A process of forming a high dielectric insulator layer in a semiconductor substrate.
A process of forming an oxidation-resistant low material film selectively on the aforementioned high dielectric insulator layer, Perform crystallization heat treatment of the aforementioned high dielectric insulator layer, and a volume phase by which growth was inhibited between the aforementioned high dielectric insulator layer and the aforementioned semiconductor substrate in a first region covered by the aforementioned material film is included, A process of forming the aforementioned high dielectric insulator layer and gate dielectric film containing a volume phase grown-up by the reaction of the aforementioned semiconductor substrate in a second region which is not covered by the aforementioned material film, and a process of carrying out pattern formation of the gate electrode on the aforementioned gate dielectric film.

DETAILED DESCRIPTION

[Detailed Description of the Invention]
[0001]

UMC 1002
UMC v. AICP

[Field of the Invention]This invention relates to the semiconductor device which has an MIS type field effect transistor (only henceforth a transistor) with the gate dielectric film consisting of a high dielectric.

[0002]

[Description of the Prior Art]In recent years, in the semiconductor integrated circuit, in order to obtain quicker working speed, micronized scaling of the transistor is pushed. Development of the transistor which cuts 5 nm of especially gate-dielectric-film thickness is made. However, if gate-dielectric-film thickness cuts 3 nm, the direct tunneling current of the gate dielectric film which was not seen conventionally will flow, and the problem that power consumption increases will arise.

[0003]As the technique of inhibiting the direct tunneling current of gate dielectric film, the trial which uses high dielectric films, such as Ta_2O_5 whose dielectric constant is higher than silicon oxide, and TiO_2, as gate dielectric film is made. If a high dielectric film is used as gate dielectric film, electric thickness (silicon oxide conversion thickness) can be set constant, and physical thickness can be made to increase.

[0004]About the conventional manufacturing method of a transistor using Ta_2O_5 as gate dielectric film, it describes with reference to Drawings. First, as shown in Fig.1, the P well area 12 is formed in the silicon single crystal substrate 11, and the field oxide 13 is formed in an isolation region using LOCOS process etc. Thereby, the active region 14 which forms a transistor is partitioned.

[0005]Next, as shown in Fig.2, after forming the 15-nm oxidizing film 21 as a sacrificing oxide film, it covers except active region 14 with the resist mask 22, the ion implantation of the boron for adjusting threshold value voltage is carried out, and the channel ion implantation layer 23 is formed. And after removing the resist 22, heat treatment for activating boron in the channel ion implantation layer 23 is performed in 1000 degrees C and RTA for 10 seconds (Rapid Thermal Anneal).

UMC 1002
Page 229 of 339
UMC v. AICP

[0006]Next, washing processing for fluoric acid removing the oxidizing film 21 and removing contamination of a substrate surface is performed. Then, as shown in Fig.3, the Ta_2O_5 film of 5 nm of physical thickness is formed as the gate dielectric film 31, and heat treatment for heat-treatment-temperature [of 800 degrees C] and heat-treating-time 30 minutes performs post-oxidation in ozone atmosphere. Since the dielectric constant of Ta_2O_5 is about 25, a 5-nm Ta_2O_5 film serves as 0.8 nm of silicon oxide conversion thickness. Then, a 200-nm polysilicon film is formed with a CVD method, a patterning is performed, and the gate electrode 32 is formed.

[0007]Since the next side wall process, the source / drain formation process, the wiring process, etc. are the same as usual, a description is omitted.

[0008]Generally, when the high dielectric film of a metallic-oxide system is formed on a silicon substrate, thin silicon oxide is formed in the interface of a high dielectric film and a silicon substrate by the reaction of a high dielectric film and a silicon substrate as a volume phase. This is for a silicon substrate to oxidize by diffusion of the oxygen plasma atmosphere at the time of high dielectric film film formation, and oxygen at the time of subsequent heat treatment. Also in the above-mentioned conventional example, it is checked that about 2.1-nm volume phase 33 is formed after gate electrode 32 formation. By such existence of a volume phase, the substantial silicon oxide conversion thickness of gate dielectric film increases to 2.9 nm. Thus, the volume phase 33 is silicon oxide, although the metal in a metallic oxide is mixed in a minute amount, since it is a lower dielectric constant, makes the dielectric constant of the whole gate dielectric film be deteriorated, and causes increase of silicon oxide conversion thickness.

[0009]On the other hand, the method of not growing up a volume phase is also proposed. One of them is the method of inhibiting growth of a volume phase by performing a nitrogen ion injection at the time of channel ion implantation, introducing nitrogen into a substrate, and considering it as the oxygen barrier

UMC 1002
UMC v. AICP

(refer to JP,2000-106432,A). As specifically shown in Fig.4 after formation of the channel ion implantation layer 23 shown in Fig.2.Using the resist mask 22 for channel ion implantation as it is, the ion implantation of the nitrogen is carried out on condition of injection dose $5x10^{14}$/injection accelerating voltage 5keV and cm^2, and the nitrogen introduction region 41 is formed in a substrate surface.

[0010]Diffusion of oxygen is inhibited as a result of the nitrogen introduction to the substrate surface by the nitrogen ion injection to such channel regions. Thereby, the volume phase thickness of a Ta_2O_5 film / silicon substrate interface is suppressed to 0.7 nm, and can attain 1.4-nm reduction in thickness by oxide film conversion thickness compared with the case where a nitrogen ion injection is not performed.

[0011]

[Problem to be solved by the invention]Now, in many integrated circuit chips, two or more type of transistors with the purpose of differing are loaded together. For example, in the case of the 0.25-micrometerDRAM mixed-loading CMOS logic LSI chip, the transistor for DRAM cell arrays, the transistor for logical circuits, and the transistor for I/O circuits are mounted by different specifications, such as reliability, driving force, and pressure-proofing. In order to fill such different specifications, the gate dielectric film of different thickness to each transistor is formed, and this has caused the complexity of a process, and the rise of the manufacturing cost. In the case of an above-mentioned 0.25-micrometermDRAM mixed-loading CMOS logic LSI chip, as for the gate-dielectric-film thickness of the transistor for DRAM cells, said 5nm and the transistor for I/O circuits of 8 nm and the transistor for logical circuits are said 7nm.

[0012]An object of this invention is to provide the semiconductor device which mounted two or more transistors which made and divided a different gate-dielectric-film structure, without having been made in consideration of the above-mentioned situation, and using a complicated process.

UMC 1002
UMC v. AICP

[0013]

[Means for solving problem]The semiconductor device concerning this invention was formed in the first region partitioned by the semiconductor substrate and the aforementioned semiconductor substrate, The first transistor to which a first insulator layer and second insulator layer have first gate dielectric film of the structure laminated sequentially from [this] the aforementioned semiconductor substrate, it being the structure formed in the second region partitioned by the aforementioned semiconductor substrate where the 3rd insulator layer and 4th insulator layer were laminated sequentially from [this] the aforementioned semiconductor substrate, and. Compared with the above-mentioned first gate dielectric film, silicon oxide conversion thickness has a second transistor which has thick second gate dielectric film, and it the 2nd and 4th above-mentioned insulator layers, It is the high dielectric film formed simultaneously, and the 1st and 3rd insulator layers are characterized by being a volume phase from which composition or thickness differs mutually. The 1st and 3rd insulator layers shall be the volume phases of mutually different composition formed by the reaction with the thin film formed in the 2nd and 3rd insulator layers, a semiconductor substrate, or its surface, respectively especially preferably.

[0014]The process of this invention being a manufacturing method of the semiconductor device containing the transistor which has a different gate-dielectric-film structure again, and forming an oxygen barrier layer in the surface of the first region of a semiconductor substrate selectively, Form a high dielectric insulator layer in the aforementioned semiconductor substrate, and the volume phase which consists of the aforementioned oxygen barrier layer or a reaction layer of this and the aforementioned high dielectric film in the above-mentioned first region is included, In a second region, it has the aforementioned semiconductor substrate, the process of forming the gate dielectric film containing the volume phase by the reaction of the aforementioned high dielectric film, and the process of carrying out pattern formation of the gate

UMC 1002
UMC v. AICP

electrode on the aforementioned gate dielectric film.

[0015]in this invention -- the film-forming time of the high dielectric film (a metallic oxide or its silicate) as gate dielectric film -- or, the time of a subsequent crystallization annealing -- a substrate -- or, About the volume phase formed between the thin films formed on the substrate, the different characteristic and the gate dielectric film which has structure are formed on the same substrate by controlling the electric thickness of a volume phase, and membraneous quality by methods, such as nitrogen introduction to a substrate surface, and insertion of a thin film nitride. By in other words, realizing the volume phase which were a high dielectric film and one until now to be the laminated structure which gave the function independently, and forming the high dielectric film of sufficient thickness to prevent direct tunneling, While inhibiting gate leakage current, gate dielectric film can be properly used by changing the state of a substrate interface according to a transistor region for every transistor of which different specification is required.

[0016]

[Mode for carrying out the invention]Hereafter, this embodiment of the invention is described with reference to Drawings.

[Embodiment 1] A high dielectric film is used for gate dielectric film in this embodiment 1, And the thickness of the volume phase formed by the reaction between a high dielectric film and a substrate is selectively controlled by the nitrogen introduction to the substrate surface using a nitrogen ion injection, and the transistor of a different use is made to form on the same substrate.

[0017]Fig.5 - Fig.12 show the manufacturing process of this embodiment.First, as shown in Fig.5, transistor region A which needs the thin gate dielectric film of silicon oxide conversion thickness on the silicon single crystal substrate 51, and transistor region B which needs the thick gate dielectric film of silicon oxide conversion thickness compared with this region A are partitioned. The regions A and B are partitioned by forming the P wells 52 and 53 required for each region A

UMC 1002
UMC v. AICP

and B, and embedding the element isolation insulation film 54 by the STI (Shallow Trench Isolation) method specifically.

[0018]Next, as shown in Fig.6, the 25-nm sacrificing oxide film 61 is formed by heat treatment by the heat treatment temperature of 900 degrees C, and O_2 atmosphere. Then, the 1-micrometer-thick resist mask 62 is formed on the region B, and the ion implantation of the boron for adjusting threshold value voltage to the region A is carried out on condition of injection accelerating voltage 10keV - 30kev, and injection dose $5x10^{12}/cm^2$ - $1x10^{13}/cm^2$. Then, the ion implantation of the nitrogen is carried out on condition of injection dose $5x10^{14}$/injection accelerating voltage 5keV and cm^2 using the same resist mask 62. Thereby, the nitrogen introduction region 64 used as the thin channel ion implantation layer 63 and oxygen barrier layer is formed in the region A.

[0019]Then, after exfoliating the resist mask 62, as shown in Fig.7, the wrap resist mask 71 is formed for the region A, The ion implantation of the boron for adjusting threshold value voltage to the region B is carried out on condition of injection accelerating voltage 10keV - 30kev, and injection dose $5x10^{12}/cm^2$ - $1x10^{13}/cm^2$. Thereby, the thin channel ion implantation layer 72 is formed in the region B.

[0020]Then, after performing pretreatment which removes the resist 71 and removes contamination of a substrate surface, RTA for treatment temperature [of 1000 degrees C] and processing time 10 seconds performs the channel ion implantation layer 63, the nitrogen introduction region 64, and the annealing that activates the impurity of the channel ion implantation layer 72.

[0021]Next, after rare-fluoric-acid processing removing the sacrificing oxide film 61 and performing hydrogen termination processing of the silicon substrate 51 surface, as shown in Fig.8, the TiO_2 film 81 which is a high dielectric film is formed. Specifically, by DC sputtering method using a TiO_2 sintering target, it is the sputtering conditions of the electric power 300W, the pressure of 1 Pa, and Ar/O_2 flow rate 22 / 1.2sccm, and the 5-nm-thick TiO_2 film 81 is formed. At this

UMC 1002
UMC v. AICP

time, of the oxygen plasma atmosphere at the time of a TiO_2 film sputtering, the silicon substrate surface of the regions A and B oxidizes, and the volume phases 82 and 83 are formed. The volume phase 82 of the region A serves as thin silicon oxide, as a result of the nitrogen introduction region 64 inhibiting diffusion into the substrate of oxygen, and the volume phase 83 of the region B serves as silicon oxide thicker than this.

[0022]Next, as shown in Fig.9, on the TiO_2 film 81, a polycrystalline silicon film is formed 175 nm in thickness with a CVD method, and the gate electrode 91 is formed by patterning. The TiO_2 film 81 and the volume phases 82 and 83 which serve as gate dielectric film under it with the gate electrode 91 are also patterned. Then, RTA for heat-treatment-temperature [of 900 degrees C] and heat-treating-time 30 seconds is performed for crystallization of the TiO_2 film 81. At this time, by diffusion of oxygen from the TiO_2 film 81 by RTA to the silicon substrate 51, the silicon substrate surface of the region B oxidizes, and the volume phase 83 grows and turns into the about 2-nm volume phase 83a eventually. In the region A, diffusion into the substrate of oxygen is inhibited by the nitrogen introduction region 64, and growth of the volume phase 82 is inhibited and serves as about 0.7-nm volume phase 82a eventually.

[0023]The TiO_2 film 81 will be in a micro crystallite state by RTA processing, and about [therefore] about 20 and the oxide film conversion thickness of this portion of that dielectric constant are about 1 nm. By physical mixing of Ti to the substrate by the sputtering of the TiO_2 film 81, and the activation annealing performed in a post process, the volume phases 82a and 83a serve as silicon oxide which a little Ti mixed, and the dielectric constant becomes about five.

[0024]Therefore, the gate dielectric film of the region A serves as the volume phase 82a and a laminated structure of the TiO_2 film 81, and the gate dielectric film of the region B serves as the volume phase 83a and a laminated structure of the TiO_2 film 81. These gate dielectric film has not less than 5-nm thickness as physical thickness, and can inhibit direct tunneling current sufficiently. In the

UMC 1002
UMC v. AICP

region A, the gate dielectric film of 1.6 nm of oxide film conversion thickness was formed, and it means that the gate dielectric film of 2.6 nm of oxide film conversion thickness was formed in the region B of the difference in the thickness of the volume phases 82a and 83b on the other hand.

[0025]Next, as shown in Fig.10, the ion implantation of the N type impurity is carried out substantially vertically to the silicon single crystal substrate 51, and the n type diffused layers 101 of shallow source/drain are formed. Arsenic is specifically injected in dose $5x10^{14}$/accelerating voltage 5keV - 10keV, and cm^2 - $1x10^{15}/cm^2$.

[0026]Next, by depositing the Si_3N_4 film of thickness (10 nm - 50 nm), and carrying out etchback with a CVD method, using anisotropic etching, as shown in Fig.11, the gate side wall 111 is formed in the side surface of the gate electrode 91. Then, the n^+ type diffusion layer 112 which carries out the ion implantation of the arsenic by dose $5x10^{15}$/accelerating voltage 50keV - 70keV, and cm^2, for example, and serves as deep source/drain area in an N type impurity is formed substantially vertically to the silicon single crystal substrate 51. Next, the temperature of 1035 degrees C and the heat treatment process by RTA for time 10 seconds are performed for a source / drain impurities activation. The transistor Q1 which has gate dielectric film in which silicon oxide conversion thickness differs in the regions A and B by the above, and Q2 are formed.

[0027]By next, heat treatment according [after fluoric acid removes the oxide film of the silicon single crystal substrate 51 and the gate electrode 91 upper part, form Co to the whole wafer by a sputtering, and] to RTA, As shown in Fig.12, the cobalt silicide film 121 is formed in a source / drain area, and the gate electrode 91 upper part. An excessive Co film exfoliates. After forming the interlayer insulation film 122 which consists of silicon oxide with a CVD method and forming the contact hole 123 by anisotropic etching, membranes are formed by a sputtering method, aluminum is patterned, and the wiring 124 is formed.

[0028]According to this embodiment as mentioned above, the transistor Q1 and

UMC 1002
UMC v. AICP

Q2 which are formed in the regions A and B are formed with the gate dielectric film in which silicon oxide conversion thickness differs, having the physical thickness of sufficient thickness to prevent both direct tunneling current. From a difference of gate-dielectric-film structure, although the transistor Q1 of the region A is inferior to gate pressure-proofing or reliability relatively compared with the transistor Q2 of the region B, it has a difference of the characteristic that current driving capacity is high.

[0029]Although gate dielectric film has a laminated structure of the volume phase formed as a reaction layer between a high dielectric film, and this and a substrate, this is changing the substrate surface state of the regions A and B previously, and has realized the state where both volume phases differ. And processing for changing a substrate surface state can be performed, using the mask for the channel ion implantation of the regions A and B as it is. Therefore, although the transistor Q1 and Q2 have a gate-dielectric-film structure of a different kind, an ion implantation step only increases as 1 **, and a manufacturing process is simple for it.

[0030]The nitrogen ion injection by this embodiment can aim at the oxidation deterrent effect by the nitrogen introduction to a silicon substrate, and injection accelerating voltage and a dose can be changed by the degree of that deterrent effect needed. Fig.13 shows the nitrogen dose and the relation of volume phase thickness. In the case of a high dielectric insulator layer, pressure-proofing of an insulator layer and reliability improve, so that the thickness of a volume phase is thick, and since the dielectric constant of a volume phase is low, the current driving power of an opposite side transistor has a relation of trade-off of being deteriorated, so that volume phase thickness is thick. Namely, the nitrogen dose can take into consideration the specification for which each transistor is needed, and can determine it arbitrarily.

[0031]The introducing method of nitrogen may not be restricted to an ion implantation, for example, the substrate nitriding by nitrogen radicals, etc. may

UMC 1002
UMC v. AICP

be sufficient as it.

[0032]Although the TiO_2 film was used as the high dielectric film 81 in the embodiment, Not only this but aluminum$_2O_3$, Ta_2O_3, ZrO_2, HfO_2, Y_2O_3, La_2O_3, CeO_2, PrO_2, Gd_2O_3, Sc_2O_3, $LaAlO_3$, metallic oxide films, such as $ZrTiO_4$, TiO(Zr, Sn) $_4$, $SrZrO_4$, $LaAl_3O_4$, $SrTiO_3$, and $BaSrTiO_3$, -- or, The form of at least 1 type selected from these silicate or above-mentioned metallic-oxide and silicon oxide, silicon nitride film, and aluminum$_2O_3$ of mix crystals may be sufficient.

[0033]In this embodiment, although DC sputtering method is used for high dielectric film formation, a film-forming method is not necessarily restricted to this, and should just be a film-forming method of the high dielectric film accompanied by a volume phase. For example, the plasma CVD method using $TiCl_4$ and O_2, etc. may be used. Although non-doped polycrystalline silicon is used as the gate electrode 91 in this embodiment, it does not necessarily restrict to this and polycrystal RISHIRIKON, an amorphous silicon, SiGe, or metal of an impurity dope, etc. can use other conductive material films. A P channel MOS transistor can be similarly created by replacing an N type impurity to a P type impurity, and replacing a P type impurity to an N type impurity.

[0034][Embodiment 2] In this embodiment, the membraneous quality of the volume phase formed between a high dielectric and a substrate was controlled by the substrate surface nitriding using nitrogen radicals, and the transistor of a different use has put the chief aim on forming more simply the gate dielectric film considered as a request on the same substrate. Formation of the sacrificing oxide film 61 shown in the Fig.6 of previous embodiment 1 is the same as embodiment 1.

[0035]Then, as shown in Fig.14, the 1-micrometer-thick resist mask 141 is formed on the region B, and the ion implantation of the boron for adjusting threshold value voltage to the region A is carried out on condition of dose $5x10^{12}$/accelerating voltage 10keV - 30kev, and cm^2 - $1x10^{13}/cm^2$. Next, the sacrificing oxide film 61 of the region A is removed by rare-fluoric-acid

UMC 1002
UMC v. AICP

processing, and N_2 flow rate 200sccm, pressure 0.25Torr, and RF power 100W perform radical nitrification. Thereby, the thin channel ion implantation layer 142 and the silicon nitride film 143 of 1 nm of physical thickness are formed in the region A.

[0036]Next, as the resist 141 is removed and it is shown in Fig.15, the wrap resist mask 151 is formed for the region A, The ion implantation of the boron for adjusting threshold value voltage to the region B is carried out on condition of dose $5x10^{12}$/accelerating voltage 10keV - 30kev, and cm^2 - $1x10^{13}/cm^2$. Thereby, the thin channel ion implantation layer 152 is formed in the region B.

[0037]Then, after performing pretreatment which removes the resist 151 and removes contamination of a substrate surface, RTA for temperature [of 1000 degrees C] and time 10 seconds performs the annealing which activates the impurity of the channel ion implantation layers 142 and 152. And after rare-fluoric-acid processing removing the sacrificing oxide film 61 and performing hydrogen termination processing of the silicon substrate 51 surface, as shown in Fig.16, the 5-nm-thick TiO_2 film 161 is formed as a high dielectric film. Since future processes are the same as embodiment 1, a description is omitted.

[0038]Also in this embodiment, the volume phase 163 which a silicon substrate surface oxidizes in the region B, and consists of silicon oxide which is about 2 nm by diffusion of the oxygen plasma atmosphere at the time of a TiO_2 film sputtering and oxygen from TiO_2 by RTA to the silicon substrate 51 is formed. However, in the region A, the silicon nitride film 143 of 1 nm of thickness in which the silicon substrate surface was formed by nitrogen-radicals processing serves as barrier, and, as for new volume phase growth, is inhibited, and the silicon nitride film (or oxynitriding film) 143 serves as a volume phase as it is. The silicon nitride film 143 and the volume phase 163, By physical mixing of Ti to the substrate by a TiO_2 film sputtering, and the activation annealing performed next, it becomes the silicon nitride film and silicon oxide which a little Ti mixed,

UMC 1002
UMC v. AICP

respectively, and that dielectric constant becomes 10 and about 5, respectively.

[0039]Thereby, the gate dielectric film of the regions A and B has not less than 5-nm thickness as physical thickness, and can inhibit direct tunneling current sufficiently. On the region A, the gate dielectric film of 2.6 nm of oxide film conversion thickness in which the gate dielectric film of 1.4 nm of oxide film conversion thickness which has the silicon nitride film 143 in a volume phase has silicon oxide on the region B at a volume phase is formed, respectively.

[0040]Thus, since oxide film conversion thickness can be made still thinner if a silicon nitride film is used as a volume phase about the region A, While the driving current of a transistor can be increased, since it is narrow, the band gap of a silicon nitride film will be inferior in the reliability of gate dielectric film, and pressure-proofing compared with it of the region B compared with silicon oxide.

[0041]The nitrogen-radicals processing in this embodiment is not necessarily restricted to above-mentioned conditions, and can be arbitrarily determined with the dielectric constant which gate dielectric film needs, and pressure-proof specification. Like [this embodiment] embodiment 1, about a high dielectric gate-dielectric-film kind, the kind of that film-forming method and gate electrode, etc., even if it chooses other forms, the same effect is acquired. A PMOS transistor can be similarly created by replacing an N type impurity to a P type impurity, and replacing a P type impurity to an N type impurity.

[0042][Embodiment 3] In forming the transistor which has high dielectric gate dielectric film, in this embodiment, the transistor in which high-speed operation is more possible, and a more reliable transistor are formed on the same substrate by control of the etching quantity of the volume phase at the time of gate electrode processing.

[0043]The process to Fig.5 - Fig.8 of the process of this embodiment is the same as that of embodiment 1.Fig.17 shows the state where formed 100 nm of TiN films by the sputtering method, patterned this, and the gate electrode 171 was formed on the TiO_2 film 81, after the process of Fig.8.At the process of film

UMC 1002
UMC v. AICP

formation of a TiN film, 0.7 nm of thickness and the about 2-nm volume phases 172 and 173 are formed in the regions A and B, respectively. At this time, by physical mixing of Ti to the substrate by a TiO_2 film sputtering, and the activation annealing performed in a post process, the volume phase 172,173 serves as silicon oxide which a little Ti mixed, and that dielectric constant becomes about five.

[0044]The gate electrodes 171 are the conditions of the electric power 100W and pressure 20mTorr, and pattern formation is carried out by etching TiN film 171 and the TiO2 film 81 by RIE (Ractive Ion Etching) with the mixed gas of BCL_3, Cl_2, and N_2. If 40% of over etching is performed to 100 nm of TiN films at this time, as shown in Fig.17, in the region A, the volume phases 172 other than the region of the gate electrode 171 are removed completely, and the state where the volume phase 173 was left behind in part can be acquired in the region B. This is controllable using being the volume phase 172,173 of a silicon oxidation membrane system, that the etch selectivity of a TiN film is as large as 50 or more, and the physical thickness of the volume phase 172 being 1/3 of the physical thickness of the volume phase 173.

[0045]The next process is the same as that of embodiment 1 except activation annealing conditions being 800 degrees C and RTA for 30 seconds. By this embodiment, the transistor of the region A serves as the structure where the volume phase 172 with a high dielectric constant does not remain on the source/drain area of the gate electrode side, the parasitic capacitance between a source/drain, and a gate electrode is reduced, and high-speed operation becomes possible. The transistor of the region B is considering it as the structure which left the volume phase 173 to the region of the gate side, and the damage at the time of gate electrode RIE does not go into a substrate, and it becomes what has higher reliability.

[0046]Like [this embodiment] embodiment 1, about a high dielectric gate-dielectric-film kind, the kind of that film-forming method and gate electrode,

UMC 1002
UMC v. AICP

etc., even if it chooses other modes, the same effect is acquired. A PMOS transistor can be similarly created by replacing an N type impurity to a P type impurity, and replacing a P type impurity to an N type impurity.

[0047][Embodiment 4] Embodiment 2 and embodiment 3 are combined in this embodiment. It is the same as embodiment 2 until it forms on the regions A and B by using the TiO_2 film 161 of Fig.16 as high dielectric gate dielectric film.

[0048]Fig.18 shows the state where the rear gate electrode was formed. Namely, 100 nm forms membranes on the TiO_2 film 161, and the TiN film which serves as the gate electrode 181 by a sputtering method on condition of the electric power 100W and pressure 20mTorr, RIE (Ractive Ion Etching) of TiN film 181 and the TiO_2 film 161 is carried out with the mixed gas of BCL_3, Cl_2, and N_2, and gate electrode patterning is performed. At this time, the volume phase of silicon acid and a nitriding membrane system and the etch selectivity of a TiN film are as large as 50 or more, It uses that the thickness of the volume phase 182 is 1/2 of the thickness of the volume phase 183, and 50% of over etching is given to 100 nm of TiN films, in the region A, the volume phase 182 is removed completely and the state where the volume phase 183 was removed partially is acquired in the region B. The next process is the same as that of embodiment 2 except activation annealing conditions being 800 degrees C and RTA for 30 seconds.

[0049]By this embodiment, the transistor of the region A reduces the parasitic capacitance of a source drain and a gate electrode by considering it as the structure which does not have the volume phase 182 with a high dielectric constant in the region of the gate side, and the high-speed operation of it becomes more possible. The transistor of the region B is considering it as the structure which left the volume phase 183 to the region of the gate side, and the damage at the time of gate electrode RIE can be prevented from reaching a substrate, and it becomes possible to improve reliability more.

[0050]Like [this embodiment] embodiment 1, about a high dielectric gate-dielectric-film kind, the kind of that film-forming method and gate electrode,

UMC 1002
UMC v. AICP

etc., even if it chooses other forms, the same effect is acquired. A PMOS transistor can be similarly created by replacing an N type impurity to a P type impurity, and replacing a P type impurity to an N type impurity.

[0051][Embodiment 5] The embodiment which applied this invention to DRAM next is described. Fig.19 shows the outline block configuration of DRAM chip 190. The peripheral circuit 192 where DRAM chip 190 includes DRAM cell array 191, sense amplifiers and decoders, and those control circuits, It comprises the I/O circuit part 193 including the input output circuit which performs a data input/output with outside, its control circuit, and the control circuit of the whole chip, and the power circuit part 194 which supplies power supply voltage.

[0052]Reliable gate oxide with the improvement in memory holding property and the point of high integration to leak [little] to DRAM cell array 191 and a low sub threshold coefficient are required. It is required for reduction of a sub threshold coefficient to take high threshold value voltage, and in order to secure sufficient driving current, high power supply voltage is needed. That is, in addition to the previous characteristic, to be high withstand pressure is also demanded as gate dielectric film of DRAM cell array 191.

[0053]As for the power circuit part 194, since high tension is input from outside, high-withstand-pressure nature is required of the gate dielectric film. In DRAM peripheral circuit 192 and the I/O circuit part 193, to be high driving force is demanded from improvement in an amplification characteristic, and the necessity for high-speed operation.

[0054]In consideration of the above, DRAM cell array 191 constitutes the transistor Q2 of the region B in embodiment 1 as a cell transistor, and the peripheral circuit 192 constitutes the transistor Q1 of the region A in embodiment 1 from this embodiment as a constituent child. The transistor composition of the region B as the cell array 191 where the power circuit part 194 is the same is preferably used for the I/O circuit part 193 using the transistor composition of the same region A as the peripheral circuit 192.

UMC 1002
UMC v. AICP

[0055]As a result, improvement in the amplification characteristic of DRAM peripheral circuit 192 and the I/O circuit part 193 and high-speed operation nature is attained, without sacrificing the reliability of the gate dielectric film of the DARM cell array 191 and the power circuit part 194, a leakage characteristic, and pressure-proofing. It is also possible to apply the transistor composition of the region A in embodiment 3 to DRAM peripheral circuit 192 and the I/O circuit part 193, and to apply the transistor composition of the region B to them at DRAM cell array 191 and the power circuit part 194. According to this, in the transistor of the region B, when the RIE damage of gate edge does not enter, drain pressure-proofing can improve and a reliable DRAM cell array can be obtained.

[0056]Even if the transistor composition of embodiment 2 and the region A of 4 is applied to the peripheral circuit 192 and the I/O circuit 193 and it applies the transistor composition of the region B to the cell array 191 and the power circuit part 194, the preferable performance of each circuit part is obtained similarly.

[0057][Embodiment 6] The embodiment which applied this invention to logic LSI next is described. Fig.20 shows the block configuration of CMOS logic LSI. LSI chip 200 comprises the I/O circuit part 202 including the input output circuit of the CMOS logic circuit unit 201, and this and outside, its control circuit, and the control circuit of the whole chip, and the power circuit part 203 which supplies power supply voltage.

[0058]Since high driving force is most needed for the transistor which constitutes the logical-circuit unit 201 in view of the improvement in clock frequency, reduction in thickness of oxide film conversion thickness is most strongly required of the gate dielectric film used here. Then, embodiment 2 is applied, the logical-circuit unit 201 is formed using the transistor composition of the region A, and the I/O circuit part 202 and the power circuit part 203 are formed using the transistor composition of the region B.

[0059]As a result, improvement in the high-speed operation nature of the

UMC 1002
Page 244 of 339
UMC v. AICP

logical-circuit unit 201 is obtained, without sacrificing the reliability of the gate dielectric film of the power circuit part 203 and the I/O circuit part 202, a leakage characteristic, and pressure-proofing. It is also preferable to form the I/O circuit part 202 and the power circuit part 203 for the logical-circuit unit 201 using the transistor composition of the region B using the transistor composition of the region A of embodiment 4. In this case, since the parasitic capacitance between a gate and a source drain is reduced, the transistor of the region A can obtain high performance with the transistor of further high driving force [unit / 202 / logical-circuit].

[0060]Even if the transistor composition of embodiment 1 and the region A of 3 is applied to the logical-circuit unit 201 and it applies the transistor composition of the region B to the I/O circuit part 202 and the power circuit part 203, the preferable performance of each circuit part is obtained similarly.

[0061][Embodiment 7] Next, the embodiment which applied this invention to DRAM mixed-loading logic LSI is described. In the case of this embodiment, high dielectric gate dielectric film is made and divided in three circuit areas. More specifically as a volume phase of the gate dielectric film of the logical-circuit unit, Thick silicon oxide is used for the purpose of improvement in the reliability and pressure-proofing of thin silicon oxide as a volume phase of a DRAM cell array and a power circuit part in order to obtain the characteristic which combines driving force and reliability for a thin-film-silicon nitride as a volume phase of an I/O circuit part for the purpose of improvement in driving force. By the DRAM cell array and a power circuit part, the structure where a volume phase remains in a gate edge part is used preferably.

[0062]Fig.21 shows the block configuration of the DRAM mixed-loading logic LSI of this embodiment. The logical circuit 216, DRAM cell array 217, the I/O circuit 215, and the power circuit part 219 are formed in LSI chip 210. These circuit parts are divided into three, the region A1, A2, and B, by the composition of gate dielectric film like a graphic display.

UMC 1002
Page 245 of 339
UMC v. AICP

[0063]Specifically, the transistor formation process of each region is described with reference to Fig.22 - Fig.27.As shown in Fig.22, to transistor region B of the transistor region A1 which constitutes the logical-circuit unit 216 on the silicon single crystal substrate 211, the transistor region A2 which constitutes the I/O circuit part 215 and DRAM cell array 217, and the power circuit part 219, The P wells 222,221,223 are formed, respectively. and STI (Shallow Trench Isolation) -- by law, the isolation region 224 is formed and the region A1, A2, and B are partitioned.

[0064]Next, as shown in Fig.23, form the 25-nm sacrificing oxide film 231 by heat treatment by the heat treatment temperature of 900 degrees C, and O2 atmosphere, and the 1-micrometer-thick resist mask 232 is formed on the region A1 and B after that, Boron for adjusting threshold value voltage to the region A1 Injection accelerating voltage 10keV - 30kev, An ion implantation is carried out on condition of injection dose $5x10^{12}/cm^2$ - $1x10^{13}/cm^2$, and the ion implantation of the nitrogen is continuously carried out to after an appropriate time with the same mask on condition of injection dose $5x10^{14}$/injection accelerating voltage 5keV and cm^2. Thereby, the thin channel ion implantation layer 234 and the nitrogen introduction region 233 are formed in the region A1.

[0065]After exfoliating the resist 232 after this, as shown in Fig.24, the resist mask 241 is formed in the region A1 and B, The ion implantation of the boron for adjusting threshold value voltage to the region A2 is carried out on condition of injection accelerating voltage 10keV - 30kev, and injection dose $5x10^{12}/cm^2$ - $1x10^{13}/cm^2$. Thereby, the thin channel ion implantation layer 242 is formed in the region A2. Next, the sacrificing oxide film 231 of the region A2 is removed by rare-fluoric-acid processing, and N_2 flow rate 200sccm, pressure 0.25Torr, and RF power 100W perform radical nitrification to this region A2. Thereby, the silicon nitride film 243 of 1 nm of physical thickness is formed in the region A2.

[0066]Then, after removing the resist 241, as shown in Fig.25, the wrap resist mask 251 is formed for the region A1 and A2, The ion implantation of the boron

UMC 1002
Page 246 of 339
UMC v. AICP

for adjusting threshold value voltage to the region B is carried out on condition of injection accelerating voltage 10keV - 30kev, and injection dose $5x10^{12}/cm^2$ - $1x10^{13}/cm^2$. Thereby, the thin channel ion implantation layer 252 is formed in the region B.

[0067]Then, after performing pretreatment which removes the resist 251 and removes contamination of a substrate surface, RTA for heat-treatment-temperature [of 1000 degrees C] and heat-treating-time 10 seconds performs the annealing which activates the impurity of the channel ion implantation layer 234,242,252 and the nitrogen introduction region 233. And after rare-fluoric-acid processing performs removal of the sacrificing oxide film 231, and hydrogen termination processing of the silicon substrate 221 surface, the 5-nm-thick TiO_2 film 261 is formed as high dielectric gate dielectric film by DC sputtering method using a TiO_2 sintering target. The sputtering conditions at this time are electric power =300W, pressure =1Pa, and Ar/O_2 flow rate =22/1.2sccm.

[0068]At this time, 0.7 nm of thickness and the about 2-nm volume phases 262 and 263 are formed in the region A1 and B, respectively. Most growth of a volume phase is inhibited with the silicon nitride film 243 of 1 nm of thickness in which the silicon substrate surface of the region A2 was formed by nitrogen-radicals processing. The nitride 243 and the volume phases 262 and 263, By physical mixing of Ti to the substrate by a TiO_2 film sputtering, and the activation annealing performed next, it becomes the silicon nitride film and silicon oxide which a little Ti mixed, respectively, and that dielectric constant increases to 10 and about 5, respectively.

[0069]Next, as shown in Fig.27, 100 nm of TiN films are formed as the gate electrode 271 by a sputtering method on the TiO2 film 261. And on condition of the electric power 100W and pressure 20mTorr, TiN film 271 and the TiO2 film 261 are etched by RIE (Ractive Ion Etching) with the mixed gas of BCL_3, Cl_2, and N_2, and a gate electrode is patterned. At this time, the volume phase of

UMC 1002
UMC v. AICP

silicon acid and a nitriding membrane system and the etch selectivity of a TiN film are as large as 50 or more, Use that the thickness of the nitride 243 and the volume phases 262 and 263 differs, and 50% of over etching is given to 100 nm of TiN films, The nitride 243 and the volume phase 262 of the regions A2 and A1 are completely removed on the outside of the gate electrode 271, and the volume phase 263 of the region B acquires the state of remaining partially. A next process presupposes that it is the same as that of embodiment 2 except activation annealing conditions being 800 degrees C and RTA for 30 seconds.

[0070]As a result, silicon oxide conversion thickness serves as the thickest gate dielectric film, and the transistor of the DARM cell array 217 and the power circuit part 219 can realize high reliability, a good leakage characteristic, and high pressure-proofing. Although the transistor of the I/O circuit part 215 has silicon oxide conversion thickness thinner than a cell array, it is thicker than the logical-circuit unit 216, and high driving force nature is obtained, without sacrificing reliability and a leakage characteristic. In the logical-circuit unit 216, it becomes the thinnest gate dielectric film of silicon oxide conversion thickness, and it becomes possible to obtain high-speed operation nature.

[0071]About the transistor as which high-speed operation nature is also required with high withstand pressure like a high frequency analog circuit, It is desirable for that volume phase 263 to reduce the parasitic capacitance between a gate and a drain source electrode as what was completely removed in portions other than a gate electrode on the basis of the gate-dielectric-film structure of the region B of this embodiment 7.

[0072][Embodiment 8] Next, a p channel MOS transistor (the following, PMOS transistor) and a n channel MOS transistor. The embodiment which eliminates the gate width imbalance of the PMOS transistor in a CMOS circuit and an NMOS transistor constituted by (the following and the NMOS transistor) is described. Since current driving power of a PMOS transistor is a half of that of an NMOS transistor when the CMOS circuit which contains a PMOS transistor and an

UMC 1002
UMC v. AICP

NMOS transistor using the same gate dielectric film is formed like before, In order to arrange both driving current, it is making [into about 2 times of that of an NMOS transistor]-gate width of PMOS transistor necessity. This made the design of the CMOS circuit inconvenient.

[0073]On the other hand, according to this embodiment, as it is thick at the NMOS transistor side and becomes thin by the PMOS transistor side about the thickness of the volume phase which uses a high dielectric film for gate dielectric film, and is formed between a high dielectric film and a substrate, both current driving power is arranged. The manufacturing process is described with reference to Fig.28 - Fig.31.

[0074]As shown in Fig.28, the p type well 282 is formed in the region which forms the n type well 281 in the region A which forms the PMOS transistor of the silicon substrate 280, and forms an NMOS transistor. And the element isolation insulation film 283 is formed by STI, and the regions A and B are partitioned.

[0075]Next, the 25-nm sacrificing oxide film 284 is formed by heat treatment in the treatment temperature of 900 degrees C, and O2 atmosphere. And the region B is covered with a resist mask (not shown), and the ion implantation for threshold value adjustment is performed to the region A. For example, the ion implantation of the phosphorus is carried out on condition of accelerating voltage 10keV - 30keV, and dose $5x10^{12}$ - $1x10^{13}/cm^2$. Then, the ion implantation of the nitrogen is carried out on condition of accelerating voltage 5keV and dose $5x10^{14}cm^2$ using the same resist mask. Thereby, the thin channel ion implantation layer 285 and the nitrogen introduction region 286 are formed in the region A.

[0076]Then, a resist is exfoliated, anew, a wrap resist mask is formed for the region A, and an ion implantation is performed to the region B. Specifically, the ion implantation of the boron is carried out on condition of accelerating voltage 10keV - 30keV, and dose $5x10^{12}$ - $1x10^{13}/cm^2$. Thereby, the thin channel ion implantation layer 287 is formed in the region B.

[0077]Then, after performing pretreatment which removes a resist and removes

UMC 1002
UMC v. AICP

contamination of a substrate surface, RTA for temperature [of 1000 degrees C] and processing time 10 seconds performs the annealing which activates the impurity of the channel ion implantation layer 285,287 and the nitrogen introduction region 286. Hereafter, gate dielectric film and gate electrode formation are performed at the same process as embodiment 1.

[0078]Thereby, as shown in Fig.29, in the region A, the gate electrode 291 is formed on the TiO_2 film 288 and the gate dielectric film of the laminated structure of the volume phase 289, and the gate electrode 291 is formed in the region B on the TiO_2 film 288 and the gate dielectric film of the laminated structure of the volume phase 290. The volume phase 290 of the region B grows and is eventually set to about 2 nm, and in the region A, as a result of diffusion into the substrate of oxygen being inhibited by the nitrogen introduction region 286, growth of the volume phase 289 will be inhibited and will be about 0.7 nm eventually.

[0079]In PMOS transistor regionA, the gate dielectric film of 1.6 nm of oxide film conversion thickness is obtained, and the gate dielectric film of 2.6 nm of oxide film conversion thickness is obtained in NMOS transistor regionB by the above. as a result, the ratio of the gate width of a PMOS transistor and an NMOS transistor -- current driving power can be arranged for Wp/Wn as 1/0.8.

[0080]In this embodiment, it can replace with a nitrogen ion injection and nitrogen-radicals processing can also be performed as in embodiment 2. The gate dielectric film of 1.4 nm of oxide film conversion thickness which has a silicon nitride film in the region A of a PMOS transistor as a volume phase is obtained by this, and the gate dielectric film of 2.6 nm of oxide film conversion thickness which has silicon oxide in the region B of an NMOS transistor as a volume phase is obtained. in this case, the ratio of the gate width of a PMOS transistor and an NMOS transistor -- current driving power can be arranged for Wp/Wn as 1/0.9.

[0081][Embodiment 9] Next, the embodiment which performs the nitrogen ion injection for volume phase formation through a gate electrode film after gate

UMC 1002
UMC v. AICP

electrode film formation is described. When nitriding treatment of a substrate is performed before gate-dielectric-film formation, at the time of the elevated-temperature crystallization annealing after high dielectric insulator layer deposition, the excess acid matter contained in contamination oxygen and the high dielectric insulator layer in atmosphere diffuses to a substrate, oxidizes a substrate, and promotes growth of a volume phase. If a film like polycrystalline silicon which oxidizes easily is used for a gate electrode, a volume phase will be formed also in the interface of a gate electrode and gate dielectric film, and the increase in oxide film conversion thickness will be caused.

[0082]So, according to this embodiment, when controlling the volume phase formed in a substrate / high dielectric insulator layer interface by nitriding of the substrate surface by nitrogen ion injection, after a gate electrode film is formed, a nitrogen ion injection is performed, and nitrogen is introduced also into a gate electrode and a high dielectric insulator layer. Thereby, the barrier property to oxygen is improved and growth of a volume phase is inhibited effectively.

[0083]Specifically, a manufacturing process is described with reference to Fig.30 - Fig.33.As shown in Fig.30, the p type well 301,302 is formed in transistor formation region [of the silicon substrate 300] A, and B, respectively. And the element isolation insulation film 303 is embedded by STI, and the regions A and B are partitioned.

[0084]Next, as shown in Fig.31, the 25-nm sacrificing oxide film 304 is formed by heat treatment in the treatment temperature of 900 degrees C, and O2 atmosphere. And the ion implantation for threshold value adjustment to the regions A and B is performed. For example, the ion implantation of the boron is carried out on condition of accelerating voltage 10keV - 30keV, and dose $5x10^{12}$ - $1x10^{13}/cm^2$, and the channel ion implantation layer 305,306 is formed.

[0085]Then, as the sacrificing oxide film 304 is removed and it is shown in Fig.32, the TiO_2 film 322 which is a high dielectric insulator layer is formed, and the polycrystalline silicon film 321 is deposited on it. And the region B is

UMC 1002
UMC v. AICP

covered with the resist mask 320, a nitrogen ion injection is performed, and the nitrogen ion injection region 323 is formed in the region A. Nitrogen is introduced also into the TiO_2 film 322 at this time, and this serves as a TiOxNy film.

[0086]Then, as a resist mask is removed and it is shown in Fig.33, the polycrystalline silicon film 321 and the TiOxNy film 322 are etched, and a gate electrode is formed. And RTA processing for temperature [of 900 degrees C] and time 30 seconds is performed for crystallization of the TiOxNy film 322. Thereby, in the region B, the volume phase 325 which consists of silicon oxide by diffusion of oxygen from the TiOxNy film 322 is formed. In the region A, the thin volume phase 324 is formed by the oxidation-resistant improvement in the substrate by nitrogen ion injection, and improvement in the diffusion barrier nature to the substrate by nitriding of a high dielectric insulator layer compared with the region B.

[0087]According to this embodiment, growth of the volume phase 324 in the region A can be inhibited more by nitrogen introduction to a high dielectric insulator layer. A dielectric constant can go up a high dielectric film by introducing nitrogen, and oxide film conversion thickness of gate dielectric film can be made thinner in the region A.

[0088][Embodiment 10] In next, the case of the decision crystallization annealing of a high dielectric insulator layer, The embodiment which controls volume phase growth of a substrate / high dielectric insulator layer interface is described by making an oxidation-resistant low material film absorb selectively the excess acid matter contained in minute amount oxygen and high dielectric insulator layers, such as contamination oxygen contained in annealing atmosphere. Nitriding of a substrate is not performed in this embodiment.

[0089]As shown in Fig.34, the p type well 341,342 is formed in transistor formation region [of the silicon substrate 340] A, and B, respectively. And the element isolation insulation film 343 is embedded by STI, and the regions A and

UMC 1002
UMC v. AICP

B are partitioned. Next, the 25-nm sacrificing oxide film 344 is formed by heat treatment in the treatment temperature of 900 degrees C, and O2 atmosphere. And the ion implantation for threshold value adjustment to the regions A and B is performed. For example, the ion implantation of the boron is carried out on condition of accelerating voltage 10keV - 30keV, and dose $5x10^{12}$ - $1x10^{13}/cm^2$, and the channel ion implantation layer 345,346 is formed.

[0090]Then, as shown in Fig.35, the TiO_2 film 351 which is a high dielectric insulator layer is formed, and the polycrystalline silicon film 352 is deposited on it. And it leaves the polycrystalline silicon film 352 to the region A, and etches and removes in the region B. In this state, 900 degrees C and RTA for 30 seconds perform crystallization heat treatment of a high dielectric insulator layer. At this time, in the region B, a substrate surface oxidizes and the volume phase 354 is formed of the oxygen diffusion from the TiO_2 film 351. In the region A, as a result of absorbing the excess acid matter in a TiO_2 film into the polycrystalline silicon film 352 on it and being consumed, oxidation of a substrate interface is inhibited and the thin volume phase 353 is formed compared with the region B.

[0091]Then, after phosphating removes the polycrystalline silicon film 350 and also it removes an oxide by fluoric acid processing, it deposits a polycrystalline silicon film anew and forms a gate electrode.

[0092]A transistor with the gate dielectric film which has the physical thickness which can inhibit direct tunneling current sufficiently and from which oxide film conversion thickness differs on the same substrate also by this embodiment can be formed.

[0093]

[Effect of the Invention]As stated above, when forming gate dielectric film with a high dielectric film according to this invention, several transistors from which gate-dielectric-film structure differs can be made and divided with optimal characteristics by controlling that interface state, respectively.

UMC 1002
UMC v. AICP

Machine Translation of

Japanese Patent Publication No. 2004-079606

* NOTICES *

JPO and INPIT are not responsible for any
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]

A semiconductor device which has a high dielectric constant film in which a dielectric constant is characterized by providing an element part which has several insulator layers which consist of a laminated structure which has a high dielectric constant film of 10-40, and in which thickness differs mutually by thickness whose dielectric constant is uniform on an insulator layer of two or more thickness at less than ten.

[Claim 2]

A semiconductor device with which the above-mentioned high dielectric constant film has oxidation hafnium, zirconium oxide, yttrium oxide, a lanthanum trioxide and its silicate, aluminate and an aluminum oxide, or the high dielectric constant film according to claim 1 in which it is characterized by including at least one

UMC 1002
UMC v. AICP

film in 5 tantalum oxide.

[Claim 3]

A manufacturing method of a semiconductor device which has a high dielectric constant film controlling thickness by oxidation partially to an interface with the aforementioned semiconductor substrate, and forming an oxide film after a dielectric constant forms a high dielectric constant film of 10-40 on a semiconductor substrate.

[Claim 4]

A manufacturing method of a semiconductor device which has the high dielectric constant film according to claim 3 using a silicon nitride film pattern formed on the above-mentioned high dielectric constant film as a selective oxidation film in the above-mentioned oxidation process.

[Claim 5]

A manufacturing method of a semiconductor device which has the high dielectric constant film according to claim 3 or 4 performing the above-mentioned oxidation process at temperature of 250-600 degrees C.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]

The present invention relates to a semiconductor device which has a high dielectric constant film, and a manufacturing method for the same, and relates to a semiconductor device which has a high dielectric constant film which has the characteristics in the composition for forming in the same board the gate dielectric film of thickness which plurality is thin and is different especially, and a manufacturing method for the same.

[0002]

UMC 1002
UMC v. AICP

[Description of the Prior Art]

In a common semiconductor integrated circuit device (LSI), the element from which the characteristic needed in a core part, a peripheral circuit part, I/O parts, etc., such as Logic, differed is intermingled, and is formed, and several different supply voltage values according to a different element characteristic are applied.

[0003]

Since it uses the gate dielectric film of different thickness according to the characteristic in forming the semiconductor device of such several different characteristics, for example, MOSFET, with reference to Fig.8 and Fig.9, the manufacturing process of conventional gate dielectric film is described here.

[0004]

Refer to Fig.8 (a).

First, after oxidizing the silicon substrate 61 thermally and forming the oxidizing film 62, the resist pattern 63 is formed so that element parts with the highest impressed electromotive force, such as an I/O part, may be covered, and the oxidizing film 62 which exposes this resist pattern 63 as a mask is removed.

[0005]

Refer to Fig.8 (b).

Subsequently, after removing the resist pattern 63, the oxidizing film 64 is formed by oxidizing thermally again.

At this time, the thickness of the oxidizing film 62 formed first increases.

[0006]

Refer to Fig.8 (c).

Subsequently, the resist pattern 65 is provided and the oxidizing film 64 to expose is removed so that the element part which applies middle voltage, such as an element part with the highest impressed electromotive force and a peripheral circuit part, may be covered.

[0007]

Refer to Fig.8 (d).

UMC 1002
UMC v. AICP

Subsequently, after removing the resist pattern 65, the oxidizing film 66 is formed by oxidizing thermally again.

At this time, the thickness of the oxidizing film 62 and the oxidizing film 64 increases, and forms three kinds of different oxidizing films 62, 64, and 66 on the same board.

[0008]

A logic element etc. will be formed in the region which formed the oxidizing film 66 in the region which formed the oxidizing film 64 in the region in which the oxidizing film 62 was formed for the I/O element for the peripheral circuit element again by passing through the usual element formation process henceforth.

[0009]

In order to carry out such a thermal oxidation process at once, the method of using an ion implantation and combining slowdown oxidation and accelerating oxidation is also proposed.

Refer to Fig.9 (a).

First, the resist pattern 72 is formed so that the element part which applies an element part and middle voltage with the highest impressed electromotive force to the surface of the silicon substrate 71 may be covered, the ion implantation of the N ion 73 which is a slowdown oxidation element is selectively carried out to an exposed surface, and the N injection region 74 is formed.

[0010]

Refer to Fig.9 (b).

Subsequently, after removing the resist pattern 72, the new resist pattern 75 is formed so that only an element part with the highest impressed electromotive force may be exposed to the surface of the silicon substrate 71, the ion implantation of the F ion 76 which is an accelerating oxidation element is selectively carried out to an exposed surface, and the F injection region 77 is formed.

[0011]

UMC 1002
UMC v. AICP

Refer to Fig.9 (c).

Subsequently, after removing the resist pattern 75, the oxidizing films 78, 79, and 80 are formed at once by oxidizing thermally.

In this case, the oxidizing film 78 formed in the N injection region 74 which injected N which is a slowdown oxidation element is the thinnest, and the oxidizing film 80 formed in the F injection region 77 which injected F which is an accelerating oxidation element becomes the thickest.

[0012]

In recent years, each semiconductor device is increasingly micronized with progress of processing technology of a semiconductor integrated circuit device, also in MOSFET, it will micronize and gate dielectric film will be even about -1nm.

It is becoming difficult to constitute such thin gate dielectric film with an oxidizing film.

[0013]

That is, if gate dielectric film becomes thin so far, a quantum effect will actualize, leakage current increases rapidly according to the tunnel effect, and the problem that the OFF state current will increase, and power consumption will not increase, or circuit operation will not be carried out is occurring.

[0014]

Then, although it is necessary to suppress leakage current, the 2nd is thickening physical thickness the 3rd in which the barrier heights to a carrier to which process management enlarges those with three and the effective mass in a gate film is enlarged the 1st are enlarged.

[0015]

Among this, since the first solution is not known well, it cannot consider the effective mass in a gate film to be a measure easily.

About the 2nd and 3rd solutions, if it is in the tendency which becomes small

UMC 1002
UMC v. AICP

when a dielectric constant will become largely, if it thinks from barrier heights, and it is going to secure the barrier heights more than 1 eV, it turns out that a dielectric constant will call it the material not more than -20, and should not just make a dielectric constant high necessarily.

[0016]

I hear that a dielectric constant is [about ten to 20 material] preferable, and aluminum$_2O_3$, ZrO_2, HfO_2, Ta_2O_5, etc. have gone up from the above thing as a candidate of gate dielectric film.

[0017]

[Problem to be solved by the invention]

However, the element which has thick gate dielectric film which a high dielectric constant film generally has the problem that it is difficult to etch selectively compared with a SiO_2 film, and applies high tension does not necessarily need to use a high dielectric constant film.

[0018]

Then, in order to make gate dielectric film thin, the semiconductor integrated circuit device with which the transistor which surely needs a high dielectric constant film, and an extraordinarily unnecessary transistor live together will be constituted, but. It is necessary for each transistors to make gate dielectric film independently, and a process becomes very complicated, the yield is bad, and cost becomes high, and the problem of also taking a delivery date arises.

[0019]

Therefore, the present invention is different thickness and an object of the present invention is to form the thin gate dielectric film of SiO_2 conversion thickness at an easy process.

[0020]

[Means for solving problem]

Fig.1 is an explanatory view of the theoretic composition of the present invention, and describes The means for solving a technical problem in the present invention

UMC 1002
UMC v. AICP

with reference to this Fig.1.

Refer to Fig.1.

In the semiconductor device with which the present invention has a high dielectric constant film in order to attain the above-mentioned purpose, A dielectric constant provides the element part which has two or more insulator layers of mutually different thickness which consists of a laminated structure which has the high dielectric constant film 5 of 10-40 by the thickness whose dielectric constant is uniform on the insulator layers 2-4 of two or more thickness at less than ten.

[0021]

Thus, also when a dielectric constant forms a minute element in the whole surface by uniform thickness 10-40, and by providing the high dielectric constant film 5 of 10-20 more preferably, etching of the high dielectric constant film 5 becomes unnecessary, and a manufacturing process can be simplified.

For example, when forming gate structure, etching of the high dielectric constant film 5 is needed.

[0022]

The thickness of the less than ten insulator layers 2-4 does not need to be not necessarily different thickness, and the thickness of the insulator layer which consists of laminated structures may have a uniform dielectric constant used as the lower layer of the high dielectric constant film 5.

[0023]

As such a high dielectric constant film 5, oxidation hafnium (HfO_2), Zirconium oxide (ZrO_2), yttrium oxide (Y_2O_3), A lanthanum trioxide (La_2O_3) and its silicate, aluminate and an aluminum oxide (aluminum$_2O_3$), or 5 tantalum oxide (Ta_2O_5) is preferable.

However, there is no low-temperature-oxidation operation in aluminum$_2O_3$ and Ta_2O_5.

[0024]

UMC 1002
UMC v. AICP

Although the insulator layer of a laminated structure may be used as a dielectric film of a capacitor, the gate dielectric film of MOSFET is the most typical.

[0025]

a dielectric constant -- the less than ten insulator layers 2-4 -- a SiO_2 deposited film -- or, the pole which is an autooxidation film of the semiconductor substrate 1, or was made to deposit the autooxidation film of the semiconductor substrate 1, and on it typically although the cascade screen which deposited the very thin SiN film on the SiO_2 deposited film may be used -- the cascade screen which consists of a thin SiN film may be sufficient.

If the surface of the semiconductor substrate 1 is silicon, it will become a SiO_2 film, and if the surface of the semiconductor substrate 1 is SiGe, it will become SiO_2-GeO_2 film mixture.

[0026]

In forming an above-mentioned structure, while the dielectric constant of two or more thickness forms the less than ten insulator layers 2-4 on the semiconductor substrate 1, After exposing a part of semiconductor substrate 1, a dielectric constant forms the high dielectric constant film 5 of 10-40 on the whole surface by uniform thickness, and the aforementioned dielectric constant should just form in it the insulator layer of two or more thickness in which the less than ten insulator layers 2-4 and a dielectric constant consist of a laminated structure with the high dielectric constant film 5 of 10-40.

[0027]

Or what is necessary is to control thickness by oxidation partially to an interface with the semiconductor substrate 1, and just to form an oxide film, after a dielectric constant forms the high dielectric constant film 5 of 10-40 on the semiconductor substrate 1.

[0028]

What is necessary is just to use the silicon nitride film pattern formed on the high dielectric constant film 5 as a selective oxidation film in the oxidation process in

UMC 1002
UMC v. AICP

this case.

By using heat phosphoric acid in the pattern process of a silicon nitride film, soft etching becomes possible and a damage is not given to the high dielectric constant film 5 of a ground by it.

[0029]

As for this oxidation process, it is more preferably desirable to carry out at 300-500 degrees C low temperature 250-600 degrees C, and the doping profile of channel doped regions is not affected by influence by it.

[0030]

As a method for film deposition of the high dielectric constant film 5, the atomic layer-chemical-vapor-deposition method (the ALCVD method) is desirable, and since an oxide film can be formed in the interface of the high dielectric constant film 5 and the semiconductor substrate 1 in a film-forming process by it, interface state density can be reduced.

[0031]

[Mode for carrying out the invention]

Although the manufacturing process of the first embodiment of the present invention is described with reference to Fig.2, in order to describe simply, only the manufacturing process of gate dielectric film is described here.

Refer to Fig.2 (a).

First, after oxidizing the silicon substrate 11 thermally and forming the oxide film 12 as usual, the resist pattern 13 is formed so that element parts with the highest impressed electromotive force, such as an I/O part, may be covered, and the oxide film 12 which exposes this resist pattern 13 as a mask is removed.

[0032]

Refer to Fig.2 (b).

Subsequently, after removing the resist pattern 13, the oxide film 14 is formed by oxidizing thermally again.

At this time, the thickness of the oxide film 12 formed first increases.

UMC 1002
UMC v. AICP

[0033]

Refer to Fig.2 (c).

Subsequently, the resist pattern 15 is provided and the oxide film 14 to expose is removed so that the element part which applies middle voltage, such as an element part with the highest impressed electromotive force and a peripheral circuit part, may be covered.

[0034]

Refer to Fig.2 (d).

Subsequently, after removing the resist pattern 65, using $HCl+H_2O_2$, perform SC2 washing and it ranks second, In 300 degrees C, the HfO_2 film 16 is formed under the pressure of 1Torr, using the ALCVD method (atomic layer-CVD method) which supplies $HfCl_4$ and H_2O alternately.

N_2 gas is used as purge gas at the time of supplying $HfCl_4$ and H_2O alternately.

[0035]

At this time, the thin SiO_2 film 17, i.e., a low-temperature-oxidation film, is formed in an interface in the region to which the HfO_2 film 16 touches the silicon substrate 11 directly.

This is conjectured for the binding energy of O_2 to become small, to be easy to become active O atom, and for this O atom to react by an interface, and to form a SiO_2 film also in about 300 degrees C low temperature into the HfO_2 film 16.

[0036]

In the region which formed henceforth the element which has thick gate dielectric film of HfO_2/SiO_2 structure in the region in which the thick oxide film 12 was formed, and formed the oxide film 14, What is necessary is to form the element which has gate dielectric film of the middle thickness of HfO_2/SiO_2 structure, and just to form the element which has thin gate dielectric film of HfO_2 ($/SiO_2$) structure in the region on which HfO_2 was made to deposit directly.

[0037]

Thus, in the first embodiment of the present invention, Since the HfO_2 film

UMC 1002
UMC v. AICP

which is a high dielectric constant film has been formed in the whole surface, a manufacturing process can be simplified also when HfO_2 is used for the element which the etching step of a HfO_2 film is unnecessary and needs the thinnest gate dielectric film.

[0038]

Since the low-temperature-oxidation film 17 is formed in an interface with the silicon substrate 11, in the case of a HfO_2 film, the termination of the dangling bond in an interface can be carried out, and an interfacial characteristic can be improved to it.

[0039]

Next, although the manufacturing process of the second embodiment of the present invention is described with reference to Fig.3, in order to describe simply also in this case, only the manufacturing process of gate dielectric film is described.

Refer to Fig.3 (a).

First, the HfO_2 film 22 is formed all over the silicon substrate 21 like the stage film formation in the above-mentioned first embodiment using the ALCVD method which supplies $HfCl_4$ and H_2O alternately.

Also in this case, the thin SiO_2 film 23, i.e., a low-temperature-oxidation film, is formed in the interface of the HfO_2 film 22 and the silicon substrate 21.

[0040]

Subsequently, after depositing sequentially SiN film 24 and the SiO_2 film 25 using a CVD method, The resist pattern 26 is provided so that the region which forms an element with the highest impressed electromotive force may be exposed, and etching removal of the exposed part of the SiO_2 film 25 and SiN film 24 is sequentially carried out by using this resist pattern 26 as a mask.

[0041]

Refer to Fig.3 (b).

Subsequently, after removing the resist pattern 26, using SiN film 24 as a

UMC 1002
Page 264 of 339
UMC v. AICP

selective oxidation film at 250-600 degrees C, for example, 300 degrees C, By carrying out low temperature oxidation into the oxidizing atmosphere of $1x10^{-3}$Torr, the low-temperature-oxidation film 27 is formed directly under the exposed HfO_2 film 22.

When O_2 in an oxidizing atmosphere advances into the HfO_2 film 22 also in this case, It is surmised that the binding energy of O_2 becomes small, are easy to become active O atom, this O atom reacts by an interface, and a SiO_2 film is formed also in about 300 degrees C low temperature into the HfO_2 film 22.

[0042]

Refer to Fig.3 (c).

Subsequently, the resist pattern 28 is provided so that the region which forms an element with the lowest impressed electromotive force may be covered, and etching removal of the exposed part of the SiO_2 film 25 and SiN film 24 is sequentially carried out by using this resist pattern 28 as a mask.

[0043]

Refer to Fig.3 (d).

Subsequently, after removing the resist pattern 28, the low-temperature-oxidation film 29 is again formed directly under the exposed HfO_2 film 22 by carrying out low temperature oxidation at 250-600 degrees C, for example, 300 degrees C, using SiN film 24 as a selective oxidation film.

At this time, the thickness of the low-temperature-oxidation film 27 formed first is increasing.

[0044]

Refer to Fig.3 (e).

What is necessary is just to form in the same substrate MOSFET which has gate dielectric film of three different thickness by removing the SiO_2 film 25 and SiN film 24 which remain at the end.

[0045]

Thus, also in the second embodiment of the present invention, since the HfO_2

UMC 1002
UMC v. AICP

film which is a high dielectric constant film has been formed in the whole surface, A manufacturing process can be simplified also when HfO_2 is used for the element which the etching step of a HfO_2 film is unnecessary and needs the thinnest gate dielectric film.

[0046]

Since the oxidation process in the second embodiment of the present invention is a low-temperature-oxidation process of 600 degrees C or less and there is little influence which it has on the doping profile in channel doped regions, control of an element characteristic becomes easy.

[0047]

Next, with reference to Fig.4 thru/or Fig.7, a 3rd embodiment of the present invention which applied the process of the above-mentioned second embodiment to the manufacturing process of the semiconductor integrated circuit specifically is described.

However, in order to illustrate simply, it describes here as a manufacturing process of MOSFET which has the gate dielectric film in which two thickness, the Logic section and a peripheral circuit part, differed.

[0048]

Refer to Fig.4 (a).

First, by performing HCl oxidation in 850 degrees C like the manufacturing process of the conventional MOSIC, for example, After thickness forms the 10-nm SiO_2 film 32 in the surface of the n type silicon substrate 31, for example, for example, thickness makes 100-nm SiN film 33 deposit on it using a decompression chemical-vapor-deposition method (LPCVD method).

[0049]

Refer to Fig.4 (b).

Subsequently, the depth forms the 200-nm isolation groove 34, for example by providing the resist pattern (a graphic display is omitted) which leaves SiN film 33 only to an element formation region, and performing dry etching by using this

UMC 1002
UMC v. AICP

resist pattern as a mask.

[0050]

Refer to Fig.4 (c).

Subsequently, after removing a resist pattern, thickness forms the 10-nm liner oxide film 35 in the surface of the isolation groove 34 by performing HCl oxidation in 850 degrees C again, for example.

[0051]

Subsequently, using a high-density-plasma CVD method (HDP-CVD method) thickness, For example, after making the 500-nm HDP-SiO_2 film 36 deposit, CMP (chemical machinery polish) -- by removing the HDP-SiO_2 film 36, the isolation groove 34 is embedded by the HDP-SiO_2 film 36 until it uses SiN film 33 as a stopper using law and SiN film 33 is exposed.

This HDP-SiO_2 film 36 and liner oxide film 35 that were embedded turn into the embedded oxide film 37.

[0052]

Refer to Fig.4 (d).

Subsequently, after removing SiN film 33 using heat phosphoric acid, HF removes the SiO_2 film 32.

In the removal process of this SiO_2 film 32, since the surface of the embedded oxide film 37 is also etched, the surface becomes flat.

[0053]

Refer to Fig.5 (e).

Subsequently, after forming the 10-nm through oxide film 38 for ion implantations in the surface of the n type silicon substrate 31, for example, when thickness carries out the ion implantation of the B ion to it with high acceleration energy, a deep position -- a well -- while forming the ion implantation region 39 for formation, the ion implantation region 40 for channel-doped-regions formation is formed in the surface by carrying out the ion implantation of the B ion with low accelerating energy.

UMC 1002
UMC v. AICP

[0054]

Refer to Fig.5 (f).

Subsequently, while performing heat treatment which activates the injected ion and forming the p type well region 41, after forming the channel doped regions 42 in the surface, the through oxide film 38 is removed.

[0055]

Refer to Fig.5 (g).

Subsequently, after performing SC2 washing processing using $HCl+H_2O_2$, thickness forms the 3-nm HfO_2 film 43 in the whole surface using the ALCVD method which supplies $HfCl_4$ and H_2O alternately, for example.

Also in this case, the thin low-temperature-oxidation film 44 is formed in the interface of the HfO_2 film 43 and the p type well region 41.

[0056]

Subsequently, for example, 20-nm SiN film 45 and thickness make the 20-nm SiO_2 film 46 deposit [thickness] sequentially all over the HfO_2 film 43 using an LPCVD method.

[0057]

Refer to Fig.5 (h).

Subsequently, provide the resist pattern 47 so that the Logic section may be covered, and etch the SiO_2 film 46 which exposes this resist pattern 47 as a mask, and it ranks second, Etching removal of SiN film 45 is carried out using heat phosphoric acid, i.e., phosphoric acid voile, by using the SiO_2 film 46 as a mask.

Since etching using this phosphoric acid voile is soft etching, a damage is not given to the HfO_2 film 43 of a ground.

[0058]

Refer to Fig.6 (i).

Subsequently, after removing the resist pattern 47, use SiN film 45 as a selective oxidation mask, and in the oxidizing atmosphere of $1x10^{-3}$Torr, In the exposed part of the HfO_2 film 43, thickness forms the 3-nm low-temperature-oxidation

UMC 1002
UMC v. AICP

film 48 in an interface with the p type well region 41, for example by heat-treating at 250-600 degrees C, for example, 300 degrees C. Since this heat treatment is performed at the low temperature of 300 degrees C, the doping profile of the channel doped regions 42 is not affected by influence.

[0059]

Refer to Fig.6 (j).

Subsequently, after removing sequentially the SiO_2 film 46 and SiN film 45 which remain using fluoric acid and heat phosphoric acid, after thickness makes the 100-nm polycrystalline silicon film 49 deposit on the whole surface, it injects P ion into the whole surface, and converts to a n type on it, for example.

[0060]

Refer to Fig.6 (k).

Subsequently, the gate structure which uses the silicon gate electrode 50, the HfO_2 film 43, and the low-temperature-oxidation films 44 and 48 as gate dielectric film is formed by patterning the polycrystalline silicon film 49, the HfO_2 film 43, and the low-temperature-oxidation films 44 and 48.

Subsequently, the n type extension region 51 is formed by injecting As ion with low accelerating energy by using gate structure as a mask.

[0061]

Refer to Fig.6 (l).

Subsequently, after making a thick SiO_2 film deposit on the whole surface using an LPCVD method, by performing anisotropic etching, form the sidewall 52 and it ranks second, The n type source drain area 53 is formed by carrying out the ion implantation of the As ion with high acceleration energy by using gate structure and the sidewall 52 as a mask.

[0062]

Refer to Fig.7 (m).

Subsequently, for example, thickness makes 30-nm Co film 54 deposit on the whole surface using sputtering process.

UMC 1002
Page 269 of 339
UMC v. AICP

[0063]

Refer to Fig.7 (n).

Subsequently, in N_2 atmosphere at the temperature of 400-600 degrees C, for example, 500 degrees C, By performing rapid heat treatment (Rapid Thermal Annealing:RTA) for 10 to 900 seconds, for example, 30 seconds, The Co silicide layer 56 which makes the surface of Co film 54 and the silicon gate electrode 50 and the surface of the n type source drain area 53 react, and serves as the Co silicide layer 55 and a source drain electrode is formed.

[0064]

Refer to Fig.7 (o).

Subsequently, after removing unreacted Co film 54 by performing etching for 20 minutes with the mixed liquor of H_2SO_4:H_2O_2=3:1, a BPSG film is made to deposit on the whole surface, and the interlayer insulation film 57 is formed by grinding and flattening by the CMP method.

In order to form the wiring structure to need henceforth, the formation process of a via, the formation process of wiring, And the semiconductor integrated circuit device containing MOSFET which has gate dielectric film with the thinnest thickness which has the HfO_2 film 43 which is a high dielectric constant film in the Logic section with the lowest impressed electromotive force is completed by repeating the formation process of an interlayer insulation film.

[0065]

Thus, in a 3rd embodiment of the present invention, Since the gate dielectric film in which thickness differs is formed by alternative low temperature oxidation, without patterning a high dielectric constant film while using a high dielectric constant film when forming the gate dielectric film of different thickness, a manufacturing process is simplified substantially.

[0066]

What is necessary is to carry out selection low temperature oxidation of the I/O part, to rank second and just to carry out selection low temperature oxidation of

UMC 1002
UMC v. AICP

the peripheral circuit part like Fig.6 (i) first, in the above-mentioned description, in forming an I/O part although described only as a manufacturing process of the Logic section and a peripheral circuit part.

[0067]

As mentioned above, although each embodiment of the present invention has been described, the present invention is not limited to the composition described in each embodiment, and various kinds of change is possible for it.

For example, in the description of each of above-mentioned embodiments, although the silicon substrate is used as a substrate, It is not restricted to a silicon substrate, the epitaxial substrate which grew up the SiGe layer on a SiGe board or a silicon substrate may be used, and an oxide film turns into film mixture of SiO_2-GeO_2 in that case.

[0068]

In each of above-mentioned embodiments, although HfO_2 is used as a high dielectric constant film, Not the thing restricted to HfO_2 but the film which has a dielectric constant of 10-40, For example, zirconium oxide (ZrO_2), yttrium oxide (Y_2O_3), A lanthanum trioxide (La_2O_3) and its silicate, aluminate and an aluminum oxide (aluminum$_2O_3$), or 5 tantalum oxide (Ta_2O_5) may be used.

However, there is no low-temperature-oxidation operation in aluminum$_2O_3$ and Ta_2O_5.

[0069]

In each of above-mentioned embodiments, although the ALCVD method is used as a method for film deposition of a high dielectric constant film, it is not restricted to the ALCVD method and sputtering process may be used, for example.

[0070]

Although the oxidizing film is used as a ground insulator layer in which the thickness of a high dielectric constant film differs, the above-mentioned first embodiment smell, As long as not the thing restricted to an oxidizing film but a

UMC 1002
UMC v. AICP

dielectric constant is less than ten insulator layer, a deposited film may be used, and this ground insulator layer is not restricted to monolayer, and may use the cascade screen which made the thin nitride deposit on an oxidizing film or a deposited film.

[0071]

In the above-mentioned 1st and second embodiment, although described as a formation process of three kinds of different lamination insulator layers, To say nothing of using for the formation process of two kinds of different lamination insulator layers, according to the element characteristic needed in 1 chip, four or more kinds of different lamination insulator layers may be formed, and the number of times of oxidation and the number of times of etching only increase in that case.

[0072]

Although the lamination insulator layer containing a high dielectric constant film is used as gate dielectric film in the form of each of above-mentioned embodiments, It is not restricted to gate dielectric film, also when forming the capacitor of different capacity, it is applied, and further, it can use also as a tunnel insulating film, and it can constitute so that the tunnel characteristic in each element may be differed.

[0073]

Although it is describing as a formation process of the lamination insulator layer of different thickness in the form of each of above-mentioned embodiments, In [it is not necessary to necessarily make it different thickness, also when considering it as a uniform lamination insulator layer at the whole, are applied, and] the especially above-mentioned second embodiment, Since it becomes an about 300 degrees C low temperature process, when manufacturing a semiconductor integrated circuit device by a low temperature process of 500 degrees C or less, it becomes a promising method about a whole process.

[0074]

UMC 1002
UMC v. AICP

Here, with reference to Fig.1, the detailed characteristics of the present invention are described anew again.

Again, it is referring to the Fig.1.

(Additional remark 1) Semiconductor device which has a high dielectric constant film in which a dielectric constant is characterized by providing the element part which has several insulator layers which consist of a laminated structure which has the high dielectric constant film 5 of 10-40, and in which thickness differs mutually by the thickness whose dielectric constant is uniform on the insulator layers 2-4 of two or more thickness at less than ten.

(Additional remark 2) Semiconductor device which has a high dielectric constant film in which a dielectric constant is characterized by having an element part which has an insulator layer which consists of a laminated structure which has the high dielectric constant film 5 of 10-40 by thickness with a dielectric constant uniform on the less than ten insulator layers 2-4.

(Additional remark 3) the above-mentioned high dielectric constant film 5 -- oxidation hafnium, zirconium oxide, yttrium oxide, a lanthanum trioxide and its silicate, and aluminate and an aluminum oxide -- or, A semiconductor device which has a high dielectric constant film of the additional remark 1 containing at least one film in 5 tantalum oxide, or 2 descriptions.

(Additional remark 4) Semiconductor device which has a high dielectric constant film of the description to any 1 of the additional remarks 1 thru/or 3, wherein the insulator layer of the above-mentioned laminated structure is gate dielectric film.

(Additional remark 5) Semiconductor device which has a high dielectric constant film of the description to any 1 of the additional remarks 1 thru/or 4 to which the above-mentioned dielectric constant is characterized by the less than ten insulator layers 2-4 being autooxidation films of the semiconductor substrate 1.

(Additional remark 6) While a dielectric constant forms the insulator layers 2-4 of two or more thickness by less than ten on the semiconductor substrate 1, After exposing a part of aforementioned semiconductor substrate 1, a dielectric

UMC 1002
UMC v. AICP

constant forms the high dielectric constant film 5 of 10-40 by uniform thickness on the whole surface, A manufacturing method of the semiconductor device with which the aforementioned dielectric constant has a high dielectric constant film providing the less than ten insulator layers 2-4 and several insulator layers in which a dielectric constant consists of a laminated structure with the high dielectric constant film 5 of 10-40, and in which thickness differs mutually to each element part.

(Additional remark 7) Manufacturing method of the semiconductor device which has a high dielectric constant film controlling thickness by oxidation partially to an interface with the aforementioned semiconductor substrate 1, and forming an oxide film after a dielectric constant forms the high dielectric constant film 5 of 10-40 on the semiconductor substrate 1.

(Additional remark 8) Manufacturing method of the semiconductor device which has a high dielectric constant film of the additional remark 7 description using the silicon nitride film pattern formed on the above-mentioned high dielectric constant film 5 as a selective oxidation film in the above-mentioned oxidation process.

(Additional remark 9) Manufacturing method of the semiconductor device which has a high dielectric constant film of the additional remark 8 description using phosphoric acid voile in the pattern process of the above-mentioned silicon nitride film.

(Additional remark 10) Manufacturing method of the semiconductor device which has a high dielectric constant film of the description to any 1 of the additional remarks 7 thru/or 9 performing the above-mentioned oxidation process at the temperature of 250-600 degrees C.

(Additional remark 11) Manufacturing method of the semiconductor device which has a high dielectric constant film of the description to any 1 of the additional remarks 6 thru/or 10 characterized by using the atomic layer-chemical-vapor-deposition method as a method for film deposition of the

UMC 1002
UMC v. AICP

above-mentioned high dielectric constant film 5.

[0075]

[Effect of the Invention]

When forming the lamination insulator layer in which thickness differs mutually in two or more element parts according to the present invention, Since the dielectric constant which a dielectric constant provides the high dielectric constant film of 10-40 on the whole surface at least, and serves as the ground is only by changing the thickness of less than ten insulator layer, the place which a manufacturing process is simplified and contributes to high-throughput-izing of a highly-integrated semiconductor integrated circuit device and low cost-ization by extension is large.

[Brief Description of the Drawings]

[Drawing 1]It is an explanatory view of the theoretic composition of the present invention.

[Drawing 2]It is an explanatory view of the manufacturing process of the first embodiment of the present invention.

[Drawing 3]It is an explanatory view of the manufacturing process of the second embodiment of the present invention.

[Drawing 4]It is an explanatory view of the manufacturing process to the middle of a 3rd embodiment of the present invention.

[Drawing 5]It is an explanatory view of the manufacturing process to the middle after the Fig.4 of a 3rd embodiment of the present invention.

[Drawing 6]It is an explanatory view of the manufacturing process to the middle after the Fig.5 of a 3rd embodiment of the present invention.

[Drawing 7]It is an explanatory view of the manufacturing process after the Fig.6 of a 3rd embodiment of the present invention.

[Drawing 8]It is an explanatory view of the formation process of conventional gate dielectric film.

[Drawing 9]It is an explanatory view of the formation process of the gate

UMC 1002
UMC v. AICP

dielectric film which combined the conventional slowdown oxidation and accelerating oxidation.

[Explanations of letters or numerals]

1 Semiconductor substrate

2 Insulator layer

3 Insulator layer

4 Insulator layer

5 High dielectric constant film

11 Silicon substrate

12 Oxide film

13 Resist pattern

14 Oxide film

15 Resist pattern

16 HfO_2 film

17 Low-temperature-oxidation film

21 Silicon substrate

22 HfO_2 film

23 Low-temperature-oxidation film

24 SiN film

25 SiO_2 film

26 Resist pattern

27 Low-temperature-oxidation film

28 Resist pattern

29 Low-temperature-oxidation film

31 N type silicon substrate

32 SiO_2 film

33 SiN film

34 Isolation groove

35 Liner oxide film

UMC 1002
UMC v. AICP

36 HDP-SiO_2 film

37 Embedded oxide film

38 Through oxide film

39 Ion implantation region

40 Ion implantation region

41 P type well region

42 Channel doped regions

43 HfO_2 film

44 Low-temperature-oxidation film

45 SiN film

46 SiO_2 film

47 Resist pattern

48 Low-temperature-oxidation film

49 Polycrystalline silicon film

50 Silicon gate electrode

51 N type extension region

52 Sidewall

53 N type source drain area

54 Co film

55 Co silicide layer

56 Co silicide layer

57 Interlayer insulation film

61 Silicon substrate

62 Oxidizing film

63 Resist pattern

64 Oxidizing film

65 Resist pattern

66 Oxidizing film

71 Silicon substrate

UMC 1002
UMC v. AICP

72 Resist pattern

73 N ion

74 N injection region

75 Resist pattern

76 F ion

77 F injection region

78 Oxidizing film

79 Oxidizing film

80 Oxidizing film

CORRECTION OR AMENDMENT

[Kind of official gazette]Printing of correction by regulation of Patent Law Article 17bis

[Section Type] The 2nd Type of the part VII gate

[Publication date]Heisei 17(2005) October 27 (2005.10.27)

[Publication No.]JP,2004-79606,A (P2004-79606A)

[Date of Publication]Heisei 16(2004) March 11 (2004.3.11)

[Annual volume number] Public presentation / registration gazette 2004-010

[Application number]Application for patent 2002-234487 (P2002-234487)

[The 7th edition of International Patent Classification]

H01L 21/8234

H01L 21/316

H01L 21/76

H01L 21/822

H01L 21/8247

H01L 27/04

UMC 1002
UMC v. AICP

H01L 27/088

H01L 27/115

H01L 29/78

H01L 29/788

H01L 29/792

[FI]

H01L 27/08 102 C

H01L 21/316 S

H01L 21/316 X

H01L 29/78 371

H01L 27/10 434

H01L 29/78 301 G

H01L 27/04 C

H01L 21/76 L

[Written Amendment]

[Filing date]Heisei 17(2005) August 3 (2005.8.3)

[Amendment 1]

[Document to be Amended]Description

[Item(s) to be Amended]Title of invention

[Method of Amendment]Change

[The contents of correction]

[Title of the Invention]A manufacturing method of a semiconductor device which has a high dielectric constant film

[Amendment 2]

[Document to be Amended]Description

[Item(s) to be Amended]Claims

[Method of Amendment]Change

[The contents of correction]

[Claim(s)]

[Claim 1]

While a dielectric constant forms an insulator layer of two or more thickness by less than ten on a semiconductor substrate, After exposing a part of aforementioned semiconductor substrate, a dielectric constant forms a high dielectric constant film of 10-40 by uniform thickness on the whole surface, A manufacturing method of a semiconductor device with which the aforementioned dielectric constant has a high dielectric constant film providing less than ten insulator layer and several insulator layers in which a dielectric constant consists of a laminated structure with a high dielectric constant film of 10-40, and in which thickness differs mutually to each element part.

[Claim 2]

A manufacturing method of a semiconductor device which has a high dielectric constant film controlling thickness by oxidation partially to an interface with the aforementioned semiconductor substrate, and forming an oxide film after a dielectric constant forms a high dielectric constant film of 10-40 on a semiconductor substrate.

[Claim 3]

A manufacturing method of a semiconductor device which has the high dielectric constant film according to claim 2 using a silicon nitride film pattern formed on the above-mentioned high dielectric constant film as a selective oxidation film in the above-mentioned oxidation process.

[Claim 4]

A manufacturing method of a semiconductor device which has the high dielectric constant film according to claim 3 using phosphoric acid voile in a pattern process of the above-mentioned silicon nitride film.

[Claim 5]

A manufacturing method of a semiconductor device which has a high dielectric constant film of a description in any 1 item of Claims 2-4 performing the above-mentioned oxidation process at temperature of 250-600 degrees C.

UMC 1002
UMC v. AICP

[Claim 6]

A manufacturing method of a semiconductor device which has a high dielectric constant film of a description in any 1 item of Claims 1-5 characterized by using an atomic layer-chemical-vapor-deposition method as a method for film deposition of the above-mentioned high dielectric constant film.

[Amendment 3]

[Document to be Amended]Description

[Item(s) to be Amended]0001

[Method of Amendment]Change

[The contents of correction]

[0001]

[Field of the Invention]

The present invention relates to the manufacturing method of the semiconductor device which has a high dielectric constant film, and relates to the manufacturing method of the semiconductor device which has a high dielectric constant film which has the characteristics in the composition for forming in the same board the gate dielectric film of thickness which plurality is thin and is different especially.

[Amendment 4]

[Document to be Amended]Description

[Item(s) to be Amended]0020

[Method of Amendment]Change

[The contents of correction]

[0020]

[Means for solving problem]

Fig.1 is an explanatory view of the theoretic composition of the present invention, and describes The means for solving a technical problem in the present invention with reference to this Fig.1.

Refer to Fig.1.

UMC 1002
UMC v. AICP

In order to attain the above-mentioned purpose, while the dielectric constant of two or more thickness forms the less than ten insulator layers 2-4 on the semiconductor substrate 1, in the manufacturing method of the semiconductor device which has a high dielectric constant film, the present invention, After exposing a part of semiconductor substrate 1, a dielectric constant forms the high dielectric constant film 5 of 10-40 by uniform thickness on the whole surface, and a dielectric constant provides the less than ten insulator layers 2-4 and several insulator layers in which a dielectric constant consists of a laminated structure with the high dielectric constant film 5 of 10-40 and in which thickness differs mutually to each element part.

[Amendment 5]

[Document to be Amended]Description

[Item(s) to be Amended]0022

[Method of Amendment]Change

[The contents of correction]

[0022]

The dielectric constant used as the lower layer of the high dielectric constant film 5 the thickness of the less than ten insulator layers 2-4, It is not necessary to be necessarily different thickness, and the thickness of the insulator layer which consists of laminated structures may be uniform, for example, after a dielectric constant forms the high dielectric constant film 5 of 10-40 on the semiconductor substrate 1, it controls thickness by oxidation partially to an interface with the semiconductor substrate 1, and should just form an oxide film.

[Amendment 6]

[Document to be Amended]Description

[Item(s) to be Amended]0026

[Method of Amendment]Deletion

[The contents of correction]

[Amendment 7]

UMC 1002
UMC v. AICP

[Document to be Amended]Description

[Item(s) to be Amended]0027

[Method of Amendment]Deletion

[The contents of correction]

UMC 1002
UMC v. AICP

Machine Translation of

Japanese Patent Publication No. 08-306797

* NOTICES *

JPO and INPIT are not responsible for any
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]A process of being the method of manufacturing a semiconductor device which has gate oxide of different thickness on the same semiconductor substrate, and forming an insulating layer used as gate oxide all over a semiconductor substrate, By process of forming a conductive layer used as a gate electrode the whole surface on this insulating layer, a process of patterning this conductive layer and forming a gate electrode in a first formation area and a second formation area, respectively, and dry oxidation, A process of forming an insulator layer so that a gate electrode and a semiconductor substrate of the 1st and a second formation area may be covered, A process of forming an oxidation-resistant film so that a semiconductor substrate and a gate electrode of a first formation area may be covered, A wet oxidation treatment process for forming an oxidation insulator layer in the whole surface and a process of

UMC 1002
Page 284 of 339
UMC v. AICP

removing an oxidation-resistant film of a first formation area are included, A manufacturing method of a semiconductor device characterized by thick-film-izing thickness of gate oxide of this second formation area by generating a parsing beak between a gate electrode of a second formation area, and a semiconductor substrate according to said wet oxidation treatment process.

[Claim 2]A manufacturing method of the semiconductor device according to claim 1, wherein the aforementioned oxidation-resistant film is a nitride.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application]The present invention relates to the manufacturing method of the semiconductor device which has an element with the gate oxide of thickness which starts the manufacturing method of the semiconductor device containing the semiconductor device which has gate oxide, especially is different on the same semiconductor substrate.

[0002]

[Description of the Prior Art]Conventionally, manufacturing methods of this kind of semiconductor include some methods [like] currently disclosed, for example in JP,H4-103162,A or JP,H3-55876,A.

[0003]A first method is described in JP,H4-103162,A as a prior art (Fig. 4), and comprises a process as shown in Fig.2. First, as shown in Fig.2 (a), thermal oxidation of the main surface of the semiconductor substrate 21 of N or P type is carried out, and the insulator layer (silicon oxide) 22 of the thickness t1 is formed in the whole surface (regions A and B). Next, as shown in Fig.2 (b), after forming the resist 23 as a mask to the region A selectively on the insulator layer 22, wet etching is performed and the insulator layer 22 of the region B which is not covered with the resist 23 is removed. Next, after removing the resist 23 of the

UMC 1002
UMC v. AICP

region A, as shown in Fig.2 (c), the insulator layer 24 of the thickness t2 is again formed in the whole surface by thermal oxidation. Thereby, the gate oxide of the thickness t2 is formed in thickness (t1+t2) and the region B in the region A. It is based on the usual MOS manufacturing process after this. Namely, as shown in Fig.2 (d), after forming the polysilicon (polycrystalline silicon) film 25 on the insulator layer 24, This polysilicon film 25 is patterned, it is considered as a gate electrode, an impurity diffusion region is formed near the semiconductor substrate 21 surface self-consistently with this gate electrode, and it is considered as a source/drain area.

[0004]A second method is a method shown in Fig. 1 of above-mentioned JP,H4-103162,A. That is, the polysilicon film used as a gate electrode is formed on the gate oxide of the thickness t1, and the polysilicon film and gate oxide which are not covered with a resist are removed after forming the resist as a mask. Next, the gate oxide of the thickness t2 is formed by thermal oxidation, and polysilicon is formed on it. Upper polysilicon and oxide film of a gate oxide region of the thickness t1 are removed. Thereby, a MOS transistor with the gate oxide of the thickness t1 and t2 can be formed.

[0005]The 3rd method is a method shown in JP,H3-55876,A. That is, the nitride is formed in a part of transistor formation region before performing gate oxidation. The bird's beak of an oxide film enters between a nitride and a semiconductor substrate by oxidation. After removal of a nitride, if a gate oxide electrode is formed on the oxide film of the shape of the bird's beak, a MOS transistor with thin gate oxide will be formed. If a gate oxide electrode is formed in the region which did not form a nitride, a MOS transistor with thick gate oxide will be formed.

[0006]

[Problem to be solved by the invention]In the 1st method of the above, when removing an insulator layer selectively, the resist as a mask is directly formed on this insulator layer. However, since the resist generally contains many alkaline

UMC 1002
UMC v. AICP

metals, heavy metals, etc., the insulator layer in which a resist touches directly has influence called degradation of initial pressure-proofing. the incineration for which removal of the resist used oxygen (O_2) plasma -- since it is performed by processing and an insulator layer is directly exposed to plasma, it is affected also in this case by influence called degradation of initial pressure-proofing. Therefore, when it saw in the long run, there was a problem that the reliability as a device deteriorated.

[0007]The present invention was made in view of this problem, and the purpose is to provide the manufacturing method of the semiconductor device which can manufacture the semiconductor device which has gate oxide of two kinds of thickness without being accompanied by faults, such as initial resisting pressure degradation of gate oxide, and degradation of long-term reliability.

[0008]

[Means for solving problem]In the method of manufacturing the semiconductor device which has gate oxide of thickness which is different on the same semiconductor substrate in the manufacturing method of the semiconductor device according to claim 1, The process of forming the insulating layer used as gate oxide all over a semiconductor substrate, By the process of forming the conductive layer used as a gate electrode the whole surface on this insulating layer, the process of patterning this conductive layer and forming a gate electrode in a first formation area and second formation area, respectively, and dry oxidation, The process of forming an insulator layer so that the gate electrode and semiconductor substrate of the 1st and a second formation area may be covered, The process of forming an oxidation-resistant film so that the semiconductor substrate and gate electrode of a first formation area may be covered, The wet oxidation treatment process for forming an oxidation insulator layer in the whole surface and the process of removing the oxidation-resistant film of a first formation area are included, The aforementioned purpose is attained by generating a parsing beak between the gate electrode of a second formation area,

UMC 1002
UMC v. AICP

and a semiconductor substrate, and making the thickness of the gate oxide of this second formation area thick-film-ize according to the above-mentioned wet oxidation treatment process.

[0009]In the manufacturing method of the semiconductor device according to claim 2, constituting the aforementioned oxidation-resistant film from a nitride attains the aforementioned purpose.

[0010]

[Function]In the manufacturing method of the semiconductor device concerning the present invention, form a gate electrode in the 1st and the second formation area on the insulator layer formed on the semiconductor substrate, respectively, form an insulator layer so that these may all be covered, and. By forming an oxidation-resistant film (nitride) so that only the semiconductor substrate and gate electrode of a first formation area may be covered, performing wet oxidation treatment further, and producing a parsing beak between the gate electrode of a second formation area, and a semiconductor substrate, The thickness of the gate oxide of a second formation area can be made to thick-film-ize. On the other hand, as for the gate oxide of a first formation area, the original thickness is maintained by existence of a nitride.

[0011]

[Working example]Hereafter, the preferable working example of the present invention is described in detail with reference to Fig.1. Fig.1 expresses the manufacturing method of the semiconductor device concerning one working example of the present invention. First, as shown in Fig.1 (a), by thermal oxidation processing the whole surface (regions A and B) on N or the semiconductor substrate (silicon substrate) 11 of P type, After thickness forms the silicon oxide which is 11 nm, about 350 nm of thickness forms the polysilicon film used as a gate electrode by CVD etc. on it, and impurities, such as a phosphorus, are doped to this polysilicon film.

[0012]And a polysilicon film is patterned by phototype process and the gate

UMC 1002
UMC v. AICP

electrode 12 and 12' are formed in the region A and the region B, respectively. Then, dry oxidation processing is performed and the same silicon oxide 13 of 11 nm of thickness as gate oxide thickness and 13' (insulating oxide film) are formed on the semiconductor substrate 11. At this time, the insulating oxide films 14 and 14 are formed also in the surroundings (the upper surface and side surface) of the gate electrode 12 and 12', respectively.

[0013]Next, as shown in Fig.1 (b), after depositing about 100 nm of nitrides (for example, Si_3N_4) 15 as an oxidation-resistant film on the whole surface, only the nitride of the region B is removed selectively.

[0014]Next, 30 more-nm silicon oxide is formed on the semiconductor substrate 11 of the region B by wet oxidation treatment. At this time, in the region B, as shown in Fig.1 (c), insulating oxide film 14' of a gate electrode 12' top and a side surface thick-film-izes by wet oxidation treatment, but. Since a bird's beak arises between gate electrode 12' and the semiconductor substrate 11, the thickness of gate oxide 16' put between the semiconductor substrate 11 and gate electrode 12' is set to about 12-16 nm after all. On the other hand, since the insulating oxide film 13 and the gate electrode 12 of the region A are covered with the nitride 15 which is an oxidation-resistant film, the semiconductor substrate 11 and the gate electrode 12 of the region A do not oxidize, and an oxide film is not formed on the nitride 15. Of course, the thickness of the gate oxide 16 is still 11 nm formed at the first process.

[0015]Next, it will be in the state which shows in Fig.1 (c) by removing the nitride 15 in the region A. The formation process of the usual MOS transistor is performed after it. To namely, the prescribed range the gate electrode 12 and near the surface of the semiconductor substrate 11 which touches 12', An impurity diffusion region is doped self-consistently with these gate electrodes, a source/drain area is formed, and a MOS transistor is further completed after forming an interlayer insulation film through processes, such as contact formation, formation of a metallic wiring layer, and its patterning. It is preferable

UMC 1002
UMC v. AICP

that the gate length (namely, distance between a source/drain) of a MOS transistor with thick gate oxide of the region B is 0.8 micrometer or less.

[0016]Thus, since a resist is not directly applied to the silicon oxide used as gate oxide in the manufacturing method of this example, It becomes possible to form a MOS transistor with different gate oxide on the same semiconductor substrate, without being affected by the influence of an alkaline metal, a heavy metal, etc. which are contained in a resist.

[0017]

[Effect of the Invention]Form a gate electrode in the 1st and the second formation area on the insulator layer formed on the semiconductor substrate, respectively, according to the manufacturing method of the semiconductor device concerning the present invention, as described above, form an insulator layer so that these may all be covered, and. An oxidation-resistant film (nitride) is formed so that only the semiconductor substrate and gate electrode of a first formation area may be covered, Since wet oxidation treatment is furthermore performed and it was made to produce a parsing beak between the gate electrode of a second formation area, and a semiconductor substrate, only the thickness of the gate oxide of a second formation area can be made to thick-film-ize. In these processes, since a resist does not carry out direct contact to gate oxide, it is not affected by the influence of the alkaline metal in a resist, a heavy metal, etc., and gate oxide is not directly exposed to plasma. Therefore, it becomes possible to form a semiconductor device with the gate oxide of different thickness on the same semiconductor substrate, eliminating the problem of degradation of initial pressure-proofing, and degradation of the reliability of the device seen in the long run.

Electronic Acknowledgement Receipt

EFS ID:	16945410
Application Number:	13665305
International Application Number:	
Confirmation Number:	6981
Title of Invention:	SEMICONDUCTOR DEVICE
First Named Inventor/Applicant Name:	Satoru ITO
Customer Number:	53080
Filer:	Michael E. Fogarty/3328/Matilda Mason
Filer Authorized By:	Michael E. Fogarty
Attorney Docket Number:	085393-0941
Receipt Date:	24-SEP-2013
Filing Date:	31-OCT-2012
Time Stamp:	20:28:57
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Information Disclosure Statement (IDS) Form (SB08)	P61109701_IDS_085393-0941.pdf	612249 1ffc20f9ea2039c751e8a9465809bc7f14b94404	no	4

Warnings:	
Information:	

UMC 1002
UMC v. AICP

A U.S. Patent Number Citation or a U.S. Publication Number Citation is required in the Information Disclosure Statement (IDS) form for autoloading of data into USPTO systems. You may remove the form to add the required data in order to correct the Informational Message if you are citing U.S. References. If you chose not to include U.S. References, the image of the form will be processed and be made available within the Image File Wrapper (IFW) system. However, no data will be extracted from this form. Any additional data such as Foreign Patent Documents or Non Patent Literature will be manually reviewed and keyed into USPTO systems.

2	Foreign Reference	JP2003100896.pdf	155867 53b1e0457fc517e3ee925dc026796e51af7e1a25	no	29
Warnings:					
Information:					
3	Foreign Reference	JP2004079606.pdf	119746 146b3e2e77e36806d088ca639385a978dcfaa550	no	30
Warnings:					
Information:					
4	Foreign Reference	JP08306797.pdf	44189 faa64fe73ec8b430f05b91ad7d815f5c94d1af81	no	7
Warnings:					
Information:					
		Total Files Size (in bytes):	932051		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UMC 1002
UMC v. AICP

Docket No.: 085393-0941
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of: Satoru ITO et al.	Customer Number: 53080
Application No.: 13/665,305	Confirmation No.: 6981
Filed: October 31, 2012	Art Unit: 2897
For: SEMICONDUCTOR DEVICE	Examiner: Lawrence-Lin NGUYEN

AMENDMENT UNDER 37 C.F.R. § 1.111

Mail Stop Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Madam:

In response to the Office Action dated August 29, 2013, having a three-month shortened statutory period for response set to expire on November 29, 2013, please amend the above-identified application as follows:

UMC 1002
UMC v. AICP

IN THE CLAIMS:

Please amend the claims as follows:

1. (Currently amended) A semiconductor device comprising:

a first MIS transistor and a second MIS transistor of an identical conductivity type provided on an identical semiconductor substrate,

wherein the first MIS transistor includes a first gate insulating film formed on a first active region in the semiconductor substrate and a first gate electrode formed on the first gate insulating film,

the second MIS transistor includes a second gate insulating film formed on a second active region in the semiconductor substrate and a second gate electrode formed on the second gate insulating film,

the first gate insulating film includes a first interface layer being in contact with the semiconductor substrate and a first high dielectric constant insulating film formed on the first interface layer,

the second gate insulating film includes a second interface layer being in contact with the semiconductor substrate and a second high dielectric constant insulating film formed on the second interface layer, [[and]]

the first interface layer has a thickness larger than that of the second interface layer, and

each of the first interface layer and the second interface layer is made of a silicon dioxide film or a silicon oxynitride film.

2. (Original) The semiconductor device of claim 1, wherein

the first gate electrode includes first sidewall spacers formed on side surfaces

UMC 1002
UMC v. AICP

thereof and first insulating spacers interposed between the first gate electrode and the first sidewall spacers,

the second gate electrode includes second sidewall spacers formed on side surfaces thereof and second insulating spacers interposed between the second gate electrode and the second sidewall spacers, and

the first insulating spacers are thinner than the second insulating spacers.

3. (Original) The semiconductor device of claim 2,

the first insulting spacers are offset spacers each having an I-shaped cross section, and

the second insulating spacers are underlying spacers each having an L-shaped cross section.

4. (Original) The semiconductor device of claim 2, wherein

the first gate electrode includes a first metal-containing film formed on the first high dielectric constant insulating film and a first silicon film formed on the first metal-containing film,

the second gate electrode includes a second metal-containing film formed on the second high dielectric constant insulating film and a second silicon film formed on the second metal-containing film,

a silicon dioxide film is interposed between the first silicon film and the first insulating spacers, and

the second silicon film is in contact with the second insulating spacers.

5. (Original) The semiconductor device of claim 4, wherein

UMC 1002
UMC v. AICP

a first metal silicide layer is formed on the first silicon film, and

a second metal silicide layer is formed on the second silicon film.

6. (Original) The semiconductor device of claim 4, wherein a silicon dioxide film is also interposed between the first active region and the first sidewall spacers.

7. (Original) The semiconductor device of claim 2, wherein each of the first insulating spacers and the second insulating spacers is made of a silicon nitride film.

8. (Original) The semiconductor device of claim 1, wherein

the first and second MIS transistors are pMIS transistors, and

the first and second high dielectric constant insulating films contain aluminum.

9. (Original) The semiconductor device of claim 8, wherein

the first gate insulating film further includes a first cap film formed on the first high dielectric constant insulating film and containing aluminum, and

the second gate insulating film further includes a second cap film formed on the second high dielectric constant insulating film and containing aluminum.

10. (Original) The semiconductor device of claim 1, wherein

the first and second MIS transistors are nMIS transistors, and

the first and second high dielectric constant insulating films contain lanthanum.

11. (Original) The semiconductor device of claim 10, wherein

the first gate insulating film further includes a first cap film formed on the first high dielectric constant insulating film and containing lanthanum, and

the second gate insulating film further includes a second cap film formed on the second high dielectric constant insulating film and containing lanthanum.

12. (Original) The semiconductor device of claim 1, wherein each of the first and second high dielectric constant insulating films contains hafnium or zirconium.

13. (Cancelled)

14. (Currently amended) The semiconductor device of claim 1, wherein the first and second high dielectric constant insulating films are ~~substantially~~ equal in thickness.

15. (Currently amended) The semiconductor device of claim 1, wherein the first and second gate electrodes are made of ~~a substantially~~ an identical material.

16. (Original) The semiconductor device of claim 1, wherein an effective work function of the first MIS transistor is higher than an effective work function of the second MIS transistor.

UMC 1002
UMC v. AICP

REMARKS

I. Introduction

In response to the pending Office Action, Applicants have amended claim 1 to further clarify the intended subject matter of the present disclosure. Support for the amendment to claim 1 can be found, for example, in paragraph [0082] of the published application (*see*, USP Pub. No. 2013/0056831). In addition, claim 13 has been cancelled, and claims 14 and 15 have been amended to address the rejection thereof under 35 U.S.C. § 112. No new matter has been added.

For at least the reasons set forth below, it is respectfully submitted that the pending claims are patentable over the cited prior art references.

II. The Rejection Of The Claims Under 35 U.S.C. § 112, Second Paragraph

Claims 14 and 15 were rejected under 35 U.S.C. § 112, second paragraph, as being indefinite on the basis of the use of the term "substantially" in the claims. In response, the term "substantially" has been deleted from both claims 14 and 15. As such, it is respectfully submitted that the pending rejection under 35 U.S.C. § 112, second paragraph, has been overcome.

III. The Rejection Of The Claims Under 35 U.S.C. § 102

Claims 1-12 and 14-16 were rejected under 35 U.S.C. § 102 as being anticipated by USP No. 8,492,230 to Ishikawa. For at least the following reasons it is respectfully submitted that claim 1 is not anticipated by Ishikawa.

Claim 1 relates to a semiconductor device, and recites that the device includes a first MIS transistor and a second MIS transistor *of an identical conductivity type provided on an identical*

semiconductor substrate, where the first MIS transistor includes a first gate insulating film formed on a first active region in the semiconductor substrate and a first gate electrode formed on the first gate insulating film, and the second MIS transistor includes a second gate insulating film formed on a second active region in the semiconductor substrate and a second gate electrode formed on the second gate insulating film.

Claim 1 further recites in-part *that the first gate insulating film includes a first interface layer being in contact with the semiconductor substrate and a first high dielectric constant insulating film formed on the first interface layer; that the second gate insulating film includes a second interface layer being in contact with the semiconductor substrate and a second high dielectric constant insulating film formed on the second interface layer, and that the first interface layer has a thickness larger than that of the second interface layer*.

For example, referring to the exemplary embodiment shown in Fig. 7 of the Applicants' specification, it is shown that a first **p**MIS transistor and a second **p**MIS transistor are provided on the same substrate 50. The first pMIS transistor includes a first gate insulating film 52a having a first interface layer 2A in contact with the substrate 50a and a first high dielectric constant insulating film 3a formed on the first interface layer 2a. The second pMIS transistor includes a second gate insulating film 52b having a second interface layer 2b in contact with the substrate 50b and a second high dielectric constant insulating film 3b formed on the second interface layer 2b.

Further, as shown for example in Fig. 7 and described in the specification, the first interface layer 2A has a thickness larger than that of the second interface layer 2b.

Turning to the pending rejection and the cited prior art reference, it is asserted in the pending rejection that the Bulk Type MISFET and the Partial-Depletion MISFET of Ishikawa correspond to

UMC 1002
UMC v. AICP

the first MIS transistor and the second MIS transistor, respectively, of claim 1. Further, it is asserted that the buried insulating layer BOX and the gate insulating film GOX3 correspond to the recited first gate insulating film having the first interface layer and the first high dielectric constant insulating film, and that the buried insulating layer BOX and the gate insulating film GOX2 correspond to the recited second gate insulating film having the second interface layer and the second high dielectric constant insulating film. However, for the following reasons, it is clear that, at a minimum, the buried insulating layer BOX of Ishikawa does not correspond to the recited first or second insulating layer.

Referring to Fig. 3 of Ishikawa, the buried insulating layer BOX is an insulating layer which is formed between the semiconductor substrate 1S and the semiconductor layer (*i.e.*, the body region (BD)) to form the SOI substrate. *See, e.g.,* col. 6, lines 51-57 of Ishikawa.

More specifically, the Partial-Depletion MISFET, which is asserted as corresponding to the second MIS transistor, includes the semiconductor layer (the body region (BD)) between the GOX2 and BOX. ***Importantly, however, as shown in Fig. 3, the Bulk Type MISFET, which is asserted as corresponding to the first MIS transistor, DOES NOT include the BOX layer in the completed transistor***. *See, e.g.,* col. 12, line 66 – col. 13, line 10 of Ishikawa.

Thus, as the BOX layer is not even present in the Bulk Type MISFET, it is clear that the GOX3 and the BOX of Ishikawa CANNOT be equivalent to the first gate insulating film or the first interface layer of the first MIS transistor, as recited by claim 1.

A further distinction between claim 1 and Ishikawa is that the first and second gate insulating films of claim 1 are formed on the active regions in the ***identical*** semiconductor substrate whereas the gate insulating films, GOX3 and GOX2, of Ishikawa are formed above different base

substrates. Specifically, the gate insulating film GOX3 is formed on the active region in the semiconductor substrate 1S whereas the gate insulating film GOX2 is formed on the body region BD that is another semiconductor layer, which is different from the semiconductor substrate 1S.

Accordingly, as it is well known that the factual determination of lack of novelty under 35 U.S.C. § 102 requires the identical disclosure in a single reference of each element of a claimed invention, such that the identically claimed invention is placed into the possession of one having ordinary skill in the art, *Halifax Ltd. v. Blok-Look, Ltd.*, 208 F.3d 1339, 54 USPQ2d 1299 (Fed. Cir. 2000); *Electro Medical Systems S.A. v. Cooper Life Sciences, Inc.*, 34 F.3d 1048, 32 USPQ2d 1017 (Fed. Cir. 1994), and Ishikawa fails to do so for at least the foregoing reasons, it is clear that Ishikawa does not anticipate claim 1.

IV. The Rejection Of Claim 13 Under 35 U.S.C. § 103

Claim 13 was rejected under 35 U.S.C. § 103 as being obvious over USP No. 8,492,230 to Ishikawa in view of USP Pub. No. 2009/0294924 to Forbes. For at least the following reasons it is respectfully submitted that claim 1 is NOT obvious in view of Ishikawa and Forbes, taken alone or in combination with one another.

It is noted that the rejection of claim 13 is being addressed herein so as to fully respond to all pending rejections, as claim 1 has been amended to include the subject matter of claim 13, which has been cancelled.

First, it is noted that Forbes does not cure the deficiencies of Ishikawa noted above, nor is it relied upon as doing so. As such, for this reason alone, it is clear that the combination of Ishikawa and Forbes does not render claim 1 unpatentable.

However, in addition to the foregoing, it is also noted that claim 1 also recites that "the first interface layer has a thickness larger than that of the second interface layer." In addition to the elements of claim 1 noted above, which are not disclosed by the cited prior art, the combination of Ishikawa and Forbes also fails to disclose or suggest this element of claim 1.

More specifically, Forbes fails to disclose or suggest a device in which the first interface layer has a thickness larger than that of the second interface layer. Ishikawa also fails to do so. Specifically, Ishikawa describes, in connection with the gate insulating films GOX2 and GOX3 made of high dielectric constant films, that the gate insulating film GOX2 is thinner than the gate insulating film GOX3. However, Ishikawa fails to disclose or suggest a device in which the first interface layer has a thickness larger than that of the second interface layer, as recited by claim 1. Thus, this element of claim 1 is also NOT disclosed or suggested by the combination of Ishikawa and Forbes.

Accordingly, as each and every element of the claim must be disclosed or suggested by the cited prior art references in order to establish a *prima facie* case of obviousness (*see*, M.P.E.P. § 2143.03), and the combination of Ishikawa and Forbes fails to do so for at least the foregoing reasons, it is clear that claim 1 is patentable over Ishikawa and Forbes.

V. Dependent Claims

Under Federal Circuit guidelines, a dependent claim is nonobvious if the independent claim upon which it depends is allowable because all the limitations of the independent claim are contained in the dependent claims, *Hartness International Inc. v. Simplimatic Engineering Co.,* 819 F.2d at 1100, 1108 (Fed. Cir. 1987). Accordingly, as the pending independent claim is patentable

for at least the reasons set forth above, it is respectfully submitted that all claims dependent thereon are also patentable.

VI. Summary

Applicants submit that all of the claims are now in condition for allowance, an indication of which is respectfully solicited.

Please charge any shortage in fees due in connection with the filing of this paper, including extension of time fees, to Deposit Account 500417 and please credit any excess fees to such deposit account.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP

/Michael E. Fogarty/

Michael E. Fogarty
Registration No. 36,139

500 North Capitol Street, N.W.
Washington, DC 20001
Phone: 202.756.8000 MEF
Facsimile: 202.756.8087
Date: November 13, 2013

Please recognize our Customer No. 53080 as our correspondence address.

DM_US 46634678-1.085393.0941

UMC 1002
UMC v. AICP

Electronic Acknowledgement Receipt

EFS ID:	17392880
Application Number:	13665305
International Application Number:	
Confirmation Number:	6981
Title of Invention:	SEMICONDUCTOR DEVICE
First Named Inventor/Applicant Name:	Satoru ITO
Customer Number:	53080
Filer:	Michael E. Fogarty/Natherine Ordanza
Filer Authorized By:	Michael E. Fogarty
Attorney Docket Number:	085393-0941
Receipt Date:	13-NOV-2013
Filing Date:	31-OCT-2012
Time Stamp:	17:13:56
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		085393-0941_Amendment.pdf	98684 749f620a148bc811f420458924d6a6b3eababbb9	yes	11

UMC 1002
UMC v. AICP

	Multipart Description/PDF files in .zip description		
	Document Description	**Start**	**End**
	Amendment/Req. Reconsideration-After Non-Final Reject	1	1
	Claims	2	5
	Applicant Arguments/Remarks Made in an Amendment	6	11

Warnings:	
Information:	
Total Files Size (in bytes):	98684

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UMC 1002
UMC v. AICP

PTO/SB/06 (09-11)
Approved for use through 1/31/2014. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD Substitute for Form PTO-875	Application or Docket Number 13/665,305	Filing Date 10/31/2012	☐ To be Mailed

ENTITY: ☒ LARGE ☐ SMALL ☐ MICRO

APPLICATION AS FILED – PART I

FOR	(Column 1) NUMBER FILED	(Column 2) NUMBER EXTRA	RATE ($)	FEE ($)
☐ BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A	
☐ SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A	
☐ EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A	
TOTAL CLAIMS (37 CFR 1.16(i))	minus 20 =	*	X $ =	
INDEPENDENT CLAIMS (37 CFR 1.16(h))	minus 3 =	*	X $ =	
☐ APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $310 ($155 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).			
☐ MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))				
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL	

APPLICATION AS AMENDED – PART II

AMENDMENT **11/13/2013**

	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	RATE ($)	ADDITIONAL FEE ($)
Total (37 CFR 1.16(i))	* 15	Minus	** 20	= 0	X $80 =	0
Independent (37 CFR 1.16(h))	* 1	Minus	***3	= 0	X $420 =	0
☐ Application Size Fee (37 CFR 1.16(s))						
☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))						
					TOTAL ADD'L FEE	0

AMENDMENT

	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	RATE ($)	ADDITIONAL FEE ($)
Total (37 CFR 1.16(i))	*	Minus	**	=	X $ =	
Independent (37 CFR 1.16(h))	*	Minus	***	=	X $ =	
☐ Application Size Fee (37 CFR 1.16(s))						
☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))						
					TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".
The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

LIE
/LASHAWN MORGAN/

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**
If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

53080 7590 05/20/2014

McDermott Will and Emery LLP
The McDermott Building
500 North Capitol Street, N.W.
WASHINGTON, DC 20001

EXAMINER	
NGUYEN, LAWRENCE-LIN T	
ART UNIT	PAPER NUMBER
2897	

DATE MAILED: 05/20/2014

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
13/665,305	10/31/2012	Satoru ITO	085393-0941	6981

TITLE OF INVENTION: SEMICONDUCTOR DEVICE

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	$960	$0	$0	$960	08/20/2014

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE DOES NOT REFLECT A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE IN THIS APPLICATION. IF AN ISSUE FEE HAS PREVIOUSLY BEEN PAID IN THIS APPLICATION (AS SHOWN ABOVE), THE RETURN OF PART B OF THIS FORM WILL BE CONSIDERED A REQUEST TO REAPPLY THE PREVIOUSLY PAID ISSUE FEE TOWARD THE ISSUE FEE NOW DUE.

HOW TO REPLY TO THIS NOTICE:

I. Review the ENTITY STATUS shown above. If the ENTITY STATUS is shown as SMALL or MICRO, verify whether entitlement to that entity status still applies.

If the ENTITY STATUS is the same as shown above, pay the TOTAL FEE(S) DUE shown above.

If the ENTITY STATUS is changed from that shown above, on PART B - FEE(S) TRANSMITTAL, complete section number 5 titled "Change in Entity Status (from status indicated above)".

For purposes of this notice, small entity fees are 1/2 the amount of undiscounted fees, and micro entity fees are 1/2 the amount of small entity fees.

II. PART B - FEE(S) TRANSMITTAL, or its equivalent, must be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed and an extra copy of the form should be submitted. If an equivalent of Part B is filed, a request to reapply a previously paid issue fee must be clearly made, and delays in processing may occur due to the difficulty in recognizing the paper as an equivalent of Part B.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Utility patents issuing on applications filed on or after Dec. 12, 1980 may require payment of maintenance fees. It is patentee's responsibility to ensure timely payment of maintenance fees when due.

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: Mail **Mail Stop ISSUE FEE**
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or Fax (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

53080 7590 05/20/2014
McDermott Will and Emery LLP
The McDermott Building
500 North Capitol Street, N.W.
WASHINGTON, DC 20001

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission
I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
13/665,305	10/31/2012	Satoru ITO	085393-0941	6981

TITLE OF INVENTION: SEMICONDUCTOR DEVICE

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	$960	$0	$0	$960	08/20/2014

EXAMINER	ART UNIT	CLASS-SUBCLASS
NGUYEN, LAWRENCE-LIN T	2897	257-368000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).
- ❑ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.
- ❑ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list
(1) The names of up to 3 registered patent attorneys or agents OR, alternatively,
(2) The name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.
1 _____
2 _____
3 _____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE (B) RESIDENCE: (CITY and STATE OR COUNTRY)

Please check the appropriate assignee category or categories (will not be printed on the patent) : ❑ Individual ❑ Corporation or other private group entity ❑ Government

4a. The following fee(s) are submitted:
- ❑ Issue Fee
- ❑ Publication Fee (No small entity discount permitted)
- ❑ Advance Order - # of Copies _____

4b. Payment of Fee(s): **(Please first reapply any previously paid issue fee shown above)**
- ❑ A check is enclosed.
- ❑ Payment by credit card. Form PTO-2038 is attached.
- ❑ The Director is hereby authorized to charge the required fee(s), any deficiency, or credits any overpayment, to Deposit Account Number _____ (enclose an extra copy of this form).

5. **Change in Entity Status** (from status indicated above)
- ❑ Applicant certifying micro entity status. See 37 CFR 1.29 — NOTE: Absent a valid certification of Micro Entity Status (see forms PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.
- ❑ Applicant asserting small entity status. See 37 CFR 1.27 — NOTE: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.
- ❑ Applicant changing to regular undiscounted fee status. — NOTE: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: This form must be signed in accordance with 37 CFR 1.31 and 1.33. See 37 CFR 1.4 for signature requirements and certifications.

Authorized Signature _____ Date _____

Typed or printed name _____ Registration No. _____

PTOL-85 Part B (10-13) Approved for use through 10/31/2013. OMB 0651-0033 U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

UMC 1002
UMC v. AICP

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
13/665,305	10/31/2012	Satoru ITO	085393-0941	6981

53080 7590 05/20/2014

McDermott Will and Emery LLP
The McDermott Building
500 North Capitol Street, N.W.
WASHINGTON, DC 20001

EXAMINER	
NGUYEN, LAWRENCE-LIN T	
ART UNIT	PAPER NUMBER
2897	

DATE MAILED: 05/20/2014

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(Applications filed on or after May 29, 2000)

The Office has discontinued providing a Patent Term Adjustment (PTA) calculation with the Notice of Allowance.

Section 1(h)(2) of the AIA Technical Corrections Act amended 35 U.S.C. 154(b)(3)(B)(i) to eliminate the requirement that the Office provide a patent term adjustment determination with the notice of allowance. See Revisions to Patent Term Adjustment, 78 Fed. Reg. 19416, 19417 (Apr. 1, 2013). Therefore, the Office is no longer providing an initial patent term adjustment determination with the notice of allowance. The Office will continue to provide a patent term adjustment determination with the Issue Notification Letter that is mailed to applicant approximately three weeks prior to the issue date of the patent, and will include the patent term adjustment on the patent. Any request for reconsideration of the patent term adjustment determination (or reinstatement of patent term adjustment) should follow the process outlined in 37 CFR 1.705.

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at 1-(888)-786-0101 or (571)-272-4200.

OMB Clearance and PRA Burden Statement for PTOL-85 Part B

The Paperwork Reduction Act (PRA) of 1995 requires Federal agencies to obtain Office of Management and Budget approval before requesting most types of information from the public. When OMB approves an agency request to collect information from the public, OMB (i) provides a valid OMB Control Number and expiration date for the agency to display on the instrument that will be used to collect the information and (ii) requires the agency to inform the public about the OMB Control Number's legal significance in accordance with 5 CFR 1320.5(b).

The information collected by PTOL-85 Part B is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450. Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

UMC 1002
UMC v. AICP

Notice of Allowability	Application No. 13/665,305	Applicant(s) ITO ET AL.	
	Examiner LAWRENCE-LINH T. NGUYEN	Art Unit 2897	AIA (First Inventor to File) Status No

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☒ This communication is responsive to *11/13/2013*.
   ☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on_____.
2. ☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.
3. ☐ The allowed claim(s) is/are _____. As a result of the allowed claim(s), you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see http://www.uspto.gov/patents/init_events/pph/index.jsp or send an inquiry to PPHfeedback@uspto.gov .
4. ☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

   Certified copies:

   a) ☒ All b) ☐ Some *c) ☐ None of the:
   1. ☒ Certified copies of the priority documents have been received.
   2. ☐ Certified copies of the priority documents have been received in Application No. _____ .
   3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

   * Certified copies not received: _____.

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

5. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
   ☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____.

   Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).
6. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

1. ☒ Notice of References Cited (PTO-892)
2. ☒ Information Disclosure Statements (PTO/SB/08), Paper No./Mail Date 10/31/2012 & 09/24/2013.
3. ☐ Examiner's Comment Regarding Requirement for Deposit of Biological Material
4. ☐ Interview Summary (PTO-413), Paper No./Mail Date _____ .
5. ☐ Examiner's Amendment/Comment
6. ☒ Examiner's Statement of Reasons for Allowance
7. ☐ Other _____.

/LAWRENCE-LINH T NGUYEN/
Examiner, Art Unit 2897

REASONS FOR ALLOWANCE

Allowable Subject Matter

1. The present application is being examined under the pre-AIA first to invent provisions.

2. This Office action is responsive to Applicants' application filed **11/13/2013**. Independent claim **1** is allowed.

3. The 35 USC § 112 rejection of claims **14-15** is withdrawn.

4. The following is an examiner's statement of reasons for allowance:

a. With respect to independent claim **1**, the prior arts of record do not teach or fairly suggest a limitation of " a semiconductor device comprising:

i. a first MIS transistor and a second MIS transistor of an identical conductivity type provided on an identical semiconductor substrate,

ii. the first gate insulating film includes a first interface layer being in contact with the semiconductor substrate and a first high dielectric constant insulating film formed on the first interface layer,

iii. the second gate insulating film includes a second interface layer being in contact with the semiconductor substrate and a second high dielectric constant insulating film formed on the second interface layer, and

UMC 1002
UMC v. AICP

iv. the first interface layer has a thickness larger than that of the second interface layer.

v. **Each of the first interface layer and the second interface layer is made of a silicon dioxide film or a silicon oxynitride film**. This feature allows the gate structures to have different work functions by increasing the thickness of an interface layer constituting the lowest layer of a gate insulating film by means of selective oxidation which is performed after formation of the gate structures.

b. Also claims **2-12 & 14-16** are depended on claim **1**.

5. Any comments considered necessary by applicant must be submitted no later than the payment of the issue fee and, to avoid processing delays, should preferably accompany the issue fee. Such submissions should be clearly labeled “Comments on Statement of Reasons for Allowance.”

UMC 1002
UMC v. AICP

Conclusion

6. Any inquiry concerning this communication or earlier communications from the examiner should be directed to **LAWRENCE-LINH T. NGUYEN** whose telephone number is **(571)272-6267**. The examiner can normally be reached on M-F (Flex hours).

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, **Fernando Toledo** can be reached on **571-272-1867**. The fax phone number for the organization where this application or proceeding is assigned is **571-273-8300**.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/Fernando L. Toledo/
Supervisory Patent Examiner, Art Unit 2897

/**LAWRENCE-LINH T NGUYEN**/
Examiner, Art Unit 2897

UMC 1002
UMC v. AICP

Notice of References Cited	Application/Control No. 13/665,305	Applicant(s)/Patent Under Reexamination ITO ET AL.	
	Examiner LAWRENCE-LINH T. NGUYEN	Art Unit 2897	Page 1 of 1

U.S. PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	Classification
*	A	US-8,492,230	07-2013	Ishikawa et al.	438/283
*	B	US-2009/0294924	12-2009	Forbes et al.	257/635
	C	US-			
	D	US-			
	E	US-			
	F	US-			
	G	US-			
	H	US-			
	I	US-			
	J	US-			
	K	US-			
	L	US-			
	M	US-			

FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
	N	JP2003100896	09-2001	Japan	Fujiwara Ikuo	
	O					
	P					
	Q					
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

EAST Search History

EAST Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L6	6	((first second third multipl$3) adj transistor near (high adj (k -k dielectric))).clm.	USPAT	OR	ON	2014/03/10 14:23
L7	6	((first second third multipl$3) adj transistor near (high adj (k -k dielectric))).clm.	USPAT	OR	ON	2014/03/10 14:24
L9	6862	((silicon adj1 (oxynitride $2oxide)) same (thick$3 thin$3 (more less$2 larg$3 small$3 great$3) near5 (thickness height dimension width))).clm.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2014/03/10 14:24
L13	4419	"12" and (MIS near transistor)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2014/03/10 14:26
S1	1	"13665305"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2013/08/13 09:07
S2	155	((SATORU) near2 (ITO)).INV.	US-PGPUB; USPAT; USOCR	OR	ON	2013/08/13 09:08
S3	11	((YOSHIYA) near2 (MORIYAMA)).INV.	US-PGPUB; USPAT; USOCR	OR	ON	2013/08/13 09:08
S4	23	((HIROSHI) near2 (OHKAWA)).INV.	US-PGPUB; USPAT; USOCR	OR	ON	2013/08/13 09:09
S5	32	((SUSUMU) near2 (AKAMATSU)).INV.	US-PGPUB; USPAT; USOCR	OR	ON	2013/08/13 09:09
S6	12	("20030045058" | "20040032001" | "20040082130" | "20100164007" | "20100176456" | "5595922").PN.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2013/08/13 09:09
S7	1	S2 and S3 and S4 and S5	US-PGPUB; USPAT;	OR	ON	2013/08/13 09:25

			USOCR			
S8	216	S2 S3 S4 S5	US-PGPUB; USPAT; USOCR	OR	ON	2013/08/13 09:26
S9	3	("2010/0176456").URPN.	USPAT	OR	ON	2013/08/13 11:07
S10	5	("20100120227" | "20100321544" | "20120153476" | "6028348" | "7138295" | "7518240" | "7674689" | "8039314").PN.	USPAT	OR	ON	2013/08/13 11:08
S11	5	"2009123944"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2013/08/13 16:28
S13	1	("2010/0164007").URPN.	USPAT	OR	ON	2013/08/13 17:01
S14	24	(first second third multipl$3) adj3 NMIS adj transistor	USPAT	OR	ON	2013/08/13 17:22
S15	18452	panasonic	USPAT	OR	ON	2013/08/13 17:25
S16	12	(first second third multipl$3) adj transistor near (high adj (k -k dielectric))	USPAT	OR	ON	2013/08/13 17:27
S17	0	S15 and ((first second third multipl$3) adj transistor near (high adj (k -k dielectric)))	USPAT	OR	ON	2013/08/13 17:27
S18	0	S15 and ((first second third multipl$3) adj NMIS adj transistor same (high adj (k -k dielectric)))	USPAT	OR	ON	2013/08/13 17:29
S19	0	S15 and ((first second third multipl$3) adj NMIS adj transistor with (high adj (k -k dielectric)))	USPAT	OR	ON	2013/08/13 17:29
S20	4	S15 and ((first second third multipl$3) adj NMIS)	USPAT	OR	ON	2013/08/13 17:30
S23	6663	MIS near transistor	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2013/08/13 17:31
S24	0	S15 and ((first second third multipl$3) adj transistor near (high adj (k -k dielectric)))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2013/08/13 17:31
S25	111810	panasonic	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2013/08/13 17:32

S27	96	S23 and ((high near k) or "high k") near (gate near (dielectric or insulat$4))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2013/08/13 17:33
S28	6667	MIS near transistor	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2013/08/22 11:23
S29	44	S28 and ((high near k) or "high k") near (gate near (dielectric or insulat$4))	USPAT	OR	ON	2013/08/22 11:23
S30	1	"20110049629"	USPAT	OR	ON	2013/08/22 11:28
S31	10	(US-20120146154-$ or US-20120056271-$ or US-20110073954-$ or US-20100248438-$ or US-20080258229-$ or US-20080036014-$ or US-20130056831-$ or US-20100176456-$ or US-20100164007-$).did. or (US-8492230-$).did.	US-PGPUB; USPAT	OR	ON	2013/08/22 13:11
S32	1	"13665170"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2013/08/22 14:53
S33	0	"13655545"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2013/08/22 14:58
S34	10	(US-20120146154-$ or US-20120056271-$ or US-20110073954-$ or US-20100248438-$ or US-20080258229-$ or US-20080036014-$ or US-20130056831-$ or US-20100176456-$ or US-20100164007-$).did. or (US-8492230-$).did.	US-PGPUB; USPAT	OR	ON	2013/08/23 18:28
S35	10	(US-20120146154-$ or US-20120056271-$ or US-20110073954-$ or US-20100248438-$ or US-20080258229-$ or US-20080036014-$ or US-20130056831-$ or US-20100176456-$ or US-20100164007-$).did. or (US-8492230-$).did.	US-PGPUB; USPAT	OR	ON	2013/08/26 08:15
S36	1	S35 and dioxide	US-PGPUB; USPAT	OR	ON	2013/08/26 08:15
S37	6667	MIS near transistor	US-PGPUB; USPAT; USOCR; FPRS; EPO;	OR	ON	2013/08/26 08:15

			JPO; DERWENT; IBM_TDB			
S38	96	S37 and ((high near k) or "high k") near (gate near (dielectric or insulat$4))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2013/08/26 08:15
S39	19	S38 and dioxide	US-PGPUB; USPAT	OR	ON	2013/08/26 08:15
S40	7558	257/632,635,E21.409,E21.645,E29.001.ccls.	US-PGPUB; USPAT	OR	ON	2013/08/26 08:35
S41	15	("20030045058" | "20040032001" | "20040082130" | "20100164007" | "20100176456" | "5595922").PN.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2014/03/08 09:12
S42	1	S41 and ((single monolithic uniform$3) adj (substrate submount))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2014/03/08 09:12
S43	5	"20110049629"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2014/03/08 09:18
S44	7330	MIS near transistor	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2014/03/08 10:58
S45	101	S44 and ((high near k) or "high k") near (gate near (dielectric or insulat$4))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2014/03/08 10:58
S46	43	S45 and (dioxide lanthanum oxynitrid$3)	US-PGPUB; USPAT	OR	ON	2014/03/08 10:58
S47	10	("20090026557" | "20090179281" | "20090212371" | "20090242970" | "20100044804" | "20110193180" | "20120049297" | "7781848" | "7791149" | "7952118").PN.	US-PGPUB; USPAT	OR	ON	2014/03/08 11:02

S48	1	"13665305"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2014/03/08 11:11
S49	34212	257/18-20,55,63-70,178,192,213,272-274,368-369,E21.43-E21.434,E21.619,E21.634,E27.059-E27.067,E29.193,E31.049.ccls.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2014/03/08 11:16
S50	2608	438/153-154,203,938,933.ccls.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2014/03/08 11:17
S52	65385	(high adj3 (k -k dielectric constant))	USPAT	OR	ON	2014/03/08 11:18
S55	1860	(first second third plurality array multipl$3) near2 ((NMIS PMIS MIS) near2 (transistor gate))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2014/03/08 11:20
S56	2878	(gate) with ((first second third multiple plurality) near3 (insulat$3 dielectric oxide oxynitride)) with (silicon adj1 $2oxide) same (thick$3 thin$3 (more less$2 larg$3 small$3 great$3) near5 (thickness height dimension width))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2014/03/08 13:01
S57	0	S49 and S50 and S51 and S52 and S55 and S56	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2014/03/08 13:03
S58	0	S49 and S50 and S52 and S55 and S56	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2014/03/08 13:03
S59	560	S49 and S50	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT;	OR	ON	2014/03/08 13:03

			IBM_TDB			
S60	67	S49 and S50 and S52	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2014/03/08 13:03
S61	21	S55 and S56	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2014/03/08 13:03
S64	2956	(gate) with ((first second third multiple plurality) near3 (insulat$3 dielectric oxide)) with (silicon adj1 (oxynitride $2oxide)) same (thick$3 thin$3 (more less$2 larg$3 small$3 great$3) near5 (thickness height dimension width))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2014/03/08 13:18
S65	1	S52 and S55 and S64	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2014/03/08 13:19
S66	344	S52 and S56	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2014/03/08 13:20
S67	344	S66 and (silicon adj1 (oxynitride $2oxide)) same (thick$3 thin$3 (more less$2 larg$3 small$3 great$3) near5 (thickness height dimension width))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2014/03/08 13:23
S68	344	S66 and (silicon adj1 (oxynitride $2oxide))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2014/03/08 13:23
S69	209	S66 and (oxynitride)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2014/03/08 13:23

S70	1738	((first second third multiple plurality) adj3 gate) with ((insulat$3 dielectric oxide) with (silicon adj1 (oxynitride $2oxide))) same (thick$3 thin$3 (more less$2 larg$3 small$3 great$3) near5 (thickness height dimension width))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2014/03/08 13:40
S71	45	S55 and S70	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2014/03/08 13:41
S72	46742	Renesas.as.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2014/03/08 14:37
S73	82	S72 and (((first second third multiple plurality) adj3 gate) with ((insulat$3 dielectric oxide) with (silicon adj1 (oxynitride $2oxide))) same (thick$3 thin$3 (more less$2 larg$3 small$3 great$3) near5 (thickness height dimension width)))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2014/03/08 14:38
S74	0	Renesas adj electron.as.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2014/03/08 14:38
S75	21242	Renesas adj electronics.as.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2014/03/08 14:38
S76	7330	MIS near transistor	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2014/03/08 15:06
S77	101	S76 and ((high near k) or "high k") near (gate near (dielectric or insulat$4))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2014/03/08 15:06
S78	14851	panasonic.as.	USPAT	OR	ON	2014/03/08

						20:20
S102	7	"11806882"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2014/03/10 11:03

3/10/2014 2:28:19 PM
C:\Users\lnguyen16\Documents\EAST\Workspaces\13665305.wsp

INFORMATION DISCLOSURE STATEMENT BY APPLICANT
(Not for submission under 37 CFR 1.99)

Application Number	13665305
Filing Date	2012-10-31
First Named Inventor	Satoru ITOU
Art Unit	2897
Examiner Name	L. T. Nguyen
Attorney Docket Number	085393-0941

U.S.PATENTS Remove

Examiner Initial*	Cite No	Patent Number	Kind Code[1]	Issue Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1					

If you wish to add additional U.S. Patent citation information please click the Add button. Add

U.S.PATENT APPLICATION PUBLICATIONS Remove

Examiner Initial*	Cite No	Publication Number	Kind Code[1]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1					

If you wish to add additional U.S. Published Application citation information please click the Add button. Add

FOREIGN PATENT DOCUMENTS Remove

Examiner Initial*	Cite No	Foreign Document Number[3]	Country Code[2] i	Kind Code[4]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear	T[5]
	1	2003-100896	JP	A	2003-04-04	Toshiba corp	w/Full English Translation	☒
	2	2004-79606	JP	A	2004-03-11	Fujitsu Ltd	w/Full English Translation	☒
	3	08-306797	JP	A	1996-11-22	Ricoh Kk	w/Full English Translation	☒

EFS Web 2.1.17

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /L.N./

UMC 1002
UMC v. AICP

Receipt date: 09/24/2013	Application Number	13665305 13665305 - GAU: 2897
INFORMATION DISCLOSURE STATEMENT BY APPLICANT (**Not for submission under 37 CFR 1.99)**	Filing Date	2012-10-31
	First Named Inventor	Satoru ITOU
	Art Unit	2897
	Examiner Name	L. T. Nguyen
	Attorney Docket Number	085393-0941

If you wish to add additional Foreign Patent Document citation information please click the Add button **Add**

NON-PATENT LITERATURE DOCUMENTS Remove

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc), date, pages(s), volume-issue number(s), publisher, city and/or country where published.	T[5]
	1		☐

If you wish to add additional non-patent literature document citation information please click the Add button **Add**

EXAMINER SIGNATURE

Examiner Signature	/Lawrence-Linh Nguyen/	Date Considered	03/08/2014

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

[1] See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. [2] Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). [3] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [4] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [5] Applicant is to place a check mark here if English language translation is attached.

Receipt date: 09/24/2013	Application Number	13665305	13665305 - GAU: 2897
INFORMATION DISCLOSURE STATEMENT BY APPLICANT (**Not for submission under 37 CFR 1.99)**	Filing Date	2012-10-31	
	First Named Inventor	Satoru ITOU	
	Art Unit	2897	
	Examiner Name	L. T. Nguyen	
	Attorney Docket Number	085393-0941	

CERTIFICATION STATEMENT

Please see 37 CFR 1.97 and 1.98 to make the appropriate selection(s):

☒ That each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(1).

OR

☐ That no item of information contained in the information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the information disclosure statement was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(2).

☐ See attached certification statement.

☐ The fee set forth in 37 CFR 1.17 (p) has been submitted herewith.

☐ A certification statement is not submitted herewith.

SIGNATURE

A signature of the applicant or representative is required in accordance with CFR 1.33, 10.18. Please see CFR 1.4(d) for the form of the signature.

Signature	/Michael E. Fogarty/	Date (YYYY-MM-DD)	2013-09-24
Name/Print	Michael E. Fogarty	Registration Number	36139

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 1 hour to complete, including gathering, preparing and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /L.N./

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these record s.

2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.

3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.

4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).

5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.

6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).

7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.

8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.

9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /L.N./

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

BIB DATA SHEET

CONFIRMATION NO. 6981

SERIAL NUMBER	FILING or 371(c) DATE RULE	CLASS	GROUP ART UNIT	ATTORNEY DOCKET NO.
13/665,305	10/31/2012	257	2897	085393-0941

APPLICANTS
PANASONIC CORPORATION, Osaka, JAPAN

INVENTORS
Satoru ITO, Hyogo, JAPAN;
Yoshiya MORIYAMA, Toyama, JAPAN;
Hiroshi OHKAWA, Toyama, JAPAN;
Susumu AKAMATSU, Toyama, JAPAN;

**** CONTINUING DATA ***************************
This application is a CON of PCT/JP2011/002868 05/24/2011

**** FOREIGN APPLICATIONS ***************************
JAPAN 2010-205599 09/14/2010

**** IF REQUIRED, FOREIGN FILING LICENSE GRANTED ****
11/20/2012

Foreign Priority claimed ☑ Yes ☐ No 35 USC 119(a-d) conditions met ☐ Yes ☑ No Verified and Acknowledged /LAWRENCE-LINH T NGUYEN/ Examiner's Signature	☐ Met after Allowance Initials	STATE OR COUNTRY	SHEETS DRAWINGS	TOTAL CLAIMS	INDEPENDENT CLAIMS
		JAPAN	13	16	1

ADDRESS
McDermott Will and Emery LLP
The McDermott Building
500 North Capitol Street, N.W.
WASHINGTON, DC 20001
UNITED STATES

TITLE
SEMICONDUCTOR DEVICE

FILING FEE RECEIVED		
1260	FEES: Authority has been given in Paper No._____ to charge/credit DEPOSIT ACCOUNT No._____ for following:	☐ All Fees ☐ 1.16 Fees (Filing) ☐ 1.17 Fees (Processing Ext. of time) ☐ 1.18 Fees (Issue) ☐ Other _____ ☐ Credit

BIB (Rev. 05/07).

UMC 1002
UMC v. AICP

Index of Claims	Application/Control No.	Applicant(s)/Patent Under Reexamination
	13665305	ITO ET AL.
	Examiner	Art Unit
	LAWRENCE-LINH T NGUYEN	2897

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

☐ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

CLAIM		DATE								
Final	Original	08/13/2013	03/08/2014							
1	1	✓	✓							
2	2	✓	✓							
3	3	✓	✓							
4	4	✓	✓							
5	5	✓	✓							
6	6	✓	✓							
7	7	✓	✓							
8	8	✓	✓							
9	9	✓	✓							
10	10	✓	✓							
11	11	✓	✓							
12	12	✓	✓							
-	13	✓	-							
13	14	✓	✓							
14	15	✓	✓							
15	16	✓	✓							

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	13665305	ITO ET AL.
	Examiner	Art Unit
	LAWRENCE-LINH T NGUYEN	2897

CPC- SEARCHED		
Symbol	Date	Examiner

CPC COMBINATION SETS - SEARCHED		
Symbol	Date	Examiner

US CLASSIFICATION SEARCHED			
Class	Subclass	Date	Examiner
257	18-20,55,63-70,178,192,213,272-274,368-369,E21.43-E21.434,E21.619,E21.634,E27.059-E27.067,E29.193,E31.049	03/08/2014	LTN
438	153-154,203,938,933	03/08/2014	LTN

SEARCH NOTES		
Search Notes	Date	Examiner
Consulted with Cuong B. Nguyen	08/16/2013	LTN

INTERFERENCE SEARCH			
US Class/ CPC Symbol	US Subclass / CPC Group	Date	Examiner

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	13665305	ITO ET AL.
	Examiner	**Art Unit**
	LAWRENCE-LINH T NGUYEN	2897

CPC		
Symbol	**Type**	**Version**

CPC Combination Sets				
Symbol	**Type**	**Set**	**Ranking**	**Version**

/LAWRENCE-LINH T NGUYEN/ Examiner.Art Unit 2897	03/08/2014	**Total Claims Allowed:**	
(Assistant Examiner)	(Date)	15	
/FERNANDO L TOLEDO/ Supervisory Patent Examiner.Art Unit 2897	03/21/2014	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	9

U.S. Patent and Trademark Office

Part of Paper No. 20140307

UMC 1002
UMC v. AICP

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	13665305	ITO ET AL.
	Examiner	**Art Unit**
	LAWRENCE-LINH T NGUYEN	2897

US ORIGINAL CLASSIFICATION		INTERNATIONAL CLASSIFICATION										
CLASS	SUBCLASS	CLAIMED					NON-CLAIMED					
257	368	H	0	1	L	27 / 088 (2006.0)						

CROSS REFERENCE(S)					
CLASS	SUBCLASS (ONE SUBCLASS PER BLOCK)				

/LAWRENCE-LINH T NGUYEN/ Examiner.Art Unit 2897	03/08/2014	**Total Claims Allowed:**	
(Assistant Examiner)	(Date)	15	
/FERNANDO L TOLEDO/ Supervisory Patent Examiner.Art Unit 2897	03/21/2014	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	9

U.S. Patent and Trademark Office

Part of Paper No. 20140307

UMC 1002
UMC v. AICP

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	13665305	ITO ET AL.
	Examiner	**Art Unit**
	LAWRENCE-LINH T NGUYEN	2897

☐ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original
1	1														
2	2														
3	3														
4	4														
5	5														
6	6														
7	7														
8	8														
9	9														
10	10														
11	11														
12	12														
-	13														
13	14														
14	15														
15	16														

/LAWRENCE-LINH T NGUYEN/ Examiner.Art Unit 2897	03/08/2014	**Total Claims Allowed:**	
(Assistant Examiner)	(Date)	15	
/FERNANDO L TOLEDO/ Supervisory Patent Examiner.Art Unit 2897	03/21/2014	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	9

U.S. Patent and Trademark Office

Part of Paper No. 20140307

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: Mail **Mail Stop ISSUE FEE**
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or Fax (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

53080 7590 05/20/2014
McDermott Will and Emery LLP
The McDermott Building
500 North Capitol Street, N.W.
WASHINGTON, DC 20001

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission
I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
13/665,305	10/31/2012	Satoru ITO	085393-0941	6981

TITLE OF INVENTION: SEMICONDUCTOR DEVICE

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	$960	$0	$0	$960	08/20/2014

EXAMINER	ART UNIT	CLASS-SUBCLASS
NGUYEN, LAWRENCE-LIN T	2897	257-368000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).
- ☐ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.
- ☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list
(1) The names of up to 3 registered patent attorneys or agents OR, alternatively,
(2) The name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 McDermott Will & Emery LLP
2
3

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE: PANASONIC CORPORATION
(B) RESIDENCE: (CITY and STATE OR COUNTRY): OSAKA, JAPAN

Please check the appropriate assignee category or categories (will not be printed on the patent) : ☐ Individual ☒ Corporation or other private group entity ☐ Government

4a. The following fee(s) are submitted:
- ☒ Issue Fee
- ☐ Publication Fee (No small entity discount permitted)
- ☐ Advance Order - # of Copies _____

4b. Payment of Fee(s): **(Please first reapply any previously paid issue fee shown above)**
- ☐ A check is enclosed.
- ☐ Payment by credit card. Form PTO-2038 is attached.
- ☒ The Director is hereby authorized to charge the required fee(s), any deficiency, or credits any overpayment, to Deposit Account Number 500417 (enclose an extra copy of this form).

5. **Change in Entity Status** (from status indicated above)
- ☐ Applicant certifying micro entity status. See 37 CFR 1.29
  NOTE: Absent a valid certification of Micro Entity Status (see forms PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.
- ☐ Applicant asserting small entity status. See 37 CFR 1.27
  NOTE: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.
- ☐ Applicant changing to regular undiscounted fee status.
  NOTE: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: This form must be signed in accordance with 37 CFR 1.31 and 1.33. See 37 CFR 1.4 for signature requirements and certifications.

Authorized Signature /Michael E. Fogarty/ Date June 25, 2014
Typed or printed name Michael E. Fogarty Registration No. 36,139

PTOL-85 Part B (10-13) Approved for use through 10/31/2013. OMB 0651-0033 U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

UMC 1002
UMC v. AICP

Electronic Patent Application Fee Transmittal

Application Number:	13665305
Filing Date:	31-Oct-2012
Title of Invention:	SEMICONDUCTOR DEVICE
First Named Inventor/Applicant Name:	Satoru ITO
Filer:	Michael E. Fogarty/Cathy FitzGerald
Attorney Docket Number:	085393-0941

Filed as Large Entity

Utility under 35 USC 111(a) Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Utility Appl Issue Fee	1501	1	960	960
Extension-of-Time:				

UMC 1002
UMC v. AICP

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Miscellaneous:				
			Total in USD ($)	**960**

Electronic Acknowledgement Receipt

EFS ID:	19409579
Application Number:	13665305
International Application Number:	
Confirmation Number:	6981
Title of Invention:	SEMICONDUCTOR DEVICE
First Named Inventor/Applicant Name:	Satoru ITO
Customer Number:	53080
Filer:	Michael E. Fogarty
Filer Authorized By:	
Attorney Docket Number:	085393-0941
Receipt Date:	25-JUN-2014
Filing Date:	31-OCT-2012
Time Stamp:	16:47:19
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Deposit Account
Payment was successfully received in RAM	$960
RAM confirmation Number	5622
Deposit Account	500417
Authorized User	
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows: Charge any Additional Fees required under 37 C.F.R. Section 1.21 (Miscellaneous fees and charges)	

UMC 1002
UMC v. AICP

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Issue Fee Payment (PTO-85B)	P61109701_FEE_085393-0941.pdf	188477 ff66bc4399c218868b4b40faa616e4f94da7c354	no	1
Warnings:					
Information:					
2	Fee Worksheet (SB06)	fee-info.pdf	30126 31cac6b60b67b952f5dac70760bfa2fad3b75716	no	2
Warnings:					
Information:					
		Total Files Size (in bytes):	218603		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UMC 1002
UMC v. AICP

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	ISSUE DATE	PATENT NO.	ATTORNEY DOCKET NO.	CONFIRMATION NO.
13/665,305	08/05/2014	8796779	085393-0941	6981

53080 7590 07/16/2014

McDermott Will and Emery LLP
The McDermott Building
500 North Capitol Street, N.W.
WASHINGTON, DC 20001

ISSUE NOTIFICATION

The projected patent number and issue date are specified above.

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment is 68 day(s). Any patent to issue from the above-identified application will include an indication of the adjustment on the front page.

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Application Assistance Unit (AAU) of the Office of Data Management (ODM) at (571)-272-4200.

APPLICANT(s) (Please see PAIR WEB site http://pair.uspto.gov for additional applicants):

Satoru ITO, Hyogo, JAPAN;
Yoshiya MORIYAMA, Toyama, JAPAN;
Hiroshi OHKAWA, Toyama, JAPAN;
Susumu AKAMATSU, Toyama, JAPAN;
PANASONIC CORPORATION, Osaka, JAPAN

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation, and commercialization of new technologies. The USA offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to encourage and facilitate business investment. To learn more about why the USA is the best country in the world to develop technology, manufacture products, and grow your business, visit SelectUSA.gov.