[Document Name] Scope of patent claims

[Claim 1]

A semiconductor device, comprising

a high dielectric constant gate insulating film formed on an active region of the substrate,

a gate electrode formed on the aforementioned high dielectric constant gate insulating film,

and an insulating side wall formed on the side of the aforementioned gate electrode,

wherein the high dielectric constant gate insulating film is continuously formed from below the gate electrode to below the lower side of the insulating side wall,

and at least a portion of the thickness of the lower side region of the insulating side wall in the high dielectric constant gate insulating film is smaller than the thickness of the lower side region of the gate electrode in the high dielectric constant gate insulating film.

[Claim 2]

The semiconductor device as described in Claim 1, the insulating side wall is composed of a first insulating side wall formed on the side surface of the gate electrode and a second insulating side wall formed on the side surface of the gate electrode via the first insulating side wall,

wherein the high dielectric constant gate insulating film is continuously formed from below the gate electrode to below the first insulating side wall,

and the thickness of the lower side region of the first insulating side wall in the high dielectric constant gate insulating film is smaller than the thickness of the lower side region of the gate electrode in the high dielectric constant gate insulating film.

[Claim 3]

The semiconductor device as described in Claim 2,

wherein the high dielectric constant gate insulating film is not formed below the second insulating side wall.

[Claim 4]

The semiconductor device as described in Claim 2,

wherein the high dielectric constant gate insulating film is continuously formed up to below the second insulating side wall,

and the thickness of the lower side region of the second insulating side wall in the high dielectric constant gate insulating film is equal to the thickness of the lower side region of the first insulating side wall in the high dielectric constant gate insulating film.

[Claim 5]

The semiconductor device as described in Claim 2,

wherein the high dielectric constant gate insulating film is continuously formed from below the gate electrode to below the second insulating side wall,

and the thickness of the lower side region of the second insulating side wall in the high dielectric constant gate insulating film is smaller than the thickness of the lower side region of the first insulating side wall in the high dielectric constant gate insulating film.

[Claim 6]

The semiconductor device as described in Claim 1,

wherein the insulating side wall is composed of a first insulating side wall formed on the side surface of the gate electrode and a second insulating side wall formed on the side surface of the gate electrode via the first insulating side wall,

the high dielectric constant gate insulating film is continuously formed from below the gate electrode to below the second insulating side wall,

the thickness of the lower side region of the first insulating side wall in the high dielectric constant gate insulating film is equal to the thickness of the lower side region of the gate electrode in the high dielectric constant gate insulating film, and the thickness of the lower side region of the second insulating side wall in the high dielectric constant gate insulating film is smaller than the thickness of the lower side region of the gate electrode in the high dielectric constant gate insulating film.

[Claim 7]
The semiconductor device as described in any one of Claims 1 to 6,
wherein a notch is provided at the side edge of the high dielectric constant gate insulating film.

[Claim 8]
The semiconductor device as described in any one of Claims 1 to 7,
wherein a buffer insulating film is provided between the substrate and the high dielectric constant gate insulating film.

[Claim 9]
The semiconductor device as described in Claim 8,
the buffer insulating film is a silicon oxide film or a silicon oxynitride film.

[Claim 10]
The semiconductor device as described in any one of Claims 1 to 9,
wherein the gate electrode is a fully silicided gate electrode where the entire region is silicided.

[Claim 11]
A method for manufacturing a semiconductor device, comprising
a step (a) of forming a high dielectric constant gate insulating film on an active region of a substrate,
a step (b) of forming a gate electrode on the high dielectric constant gate insulating film,
a step (c) after step (b) of etching the high dielectric constant gate insulating film located outside the gate electrode to thin it,
and a step (d) after step (c) of forming insulating side walls on the side surfaces of the gate electrode.

[Claim 12]
The method for manufacturing a semiconductor device as described in Claim 11, further comprising a step of removing the high dielectric constant gate insulating film located outside the insulating side walls after step (d).

[Claim 13]
The method for manufacturing a semiconductor device as described in Claim 11,
wherein the insulating side walls consist of a first insulating side wall and a second insulating side wall,
and step (d) includes a step (d1) of forming the first insulating side wall on the side surface of the gate electrode and a step (d2) of forming the second insulating side wall via the first insulating side wall on the side surface of the gate electrode.

[Claim 14]
The method for manufacturing a semiconductor device as described in Claim 13, further comprising a step of removing the high dielectric constant gate insulating film located outside the first insulating side wall between step (d1) and step (d2).

[Claim 15]
The method for manufacturing a semiconductor device as described in Claim 13, including a step of etching the high dielectric constant gate insulating film located outside the first insulating side wall to further thin it between step (d1) and step (d2),
and further comprising a step of removing the high dielectric constant gate insulating film located outside the second insulating side wall after step (d2).

[Claim 16]
The method for manufacturing a semiconductor device as described in any one of Claims 12, 14, or 15,
wherein the removal of the high dielectric constant gate insulating film is selectively performed using wet etching.

[Claim 17]
The method for manufacturing a semiconductor device as described in any one of Claims 11 to 16,
wherein step (b) includes a step of forming a protective film covering the top surface of the gate electrode,
and it further includes a step after step (d) of fully siliciding the gate electrode by siliciding the surface of the active region located outside the insulating side walls and removing the protective film.

[Claim 18]
The method for manufacturing a semiconductor device as described in any one of Claims 11 to 17, further comprising a step of forming a buffer insulating film on the active region before step (a),
wherein in step (a), the high dielectric constant gate insulating film is formed on the active region via the buffer insulating film.

UMC 1305
UMC v. AICP

Notice of Reasons for Refusal

Patent Application Number:	Patent Application 2005-227457
Date of Drafting:	Sep. 16, 2011
Patent Office Examiner:	Hirosuke ▲Tsuji▼ 3239 4L00
Agent for the Patent Applicant:	Hiroshi Maeda (and 11 other persons)
Applicable Articles:	Article 29, Paragraph 1; Article 29, Paragraph 2; Article 37

This application should be refused for the following reasons. If you have any opinions on this matter, please submit a written opinion within 60 days from the date of issuance of this notification.

Reasons

1. This application does not meet the requirements stipulated in Article 37 of the Patent Act for the following reasons:
The invention according to Claim 1 does not possess any special technical features in light of the disclosures of Reference 1 and Reference 2. Therefore, it is not possible to identify the same or corresponding special technical features between the invention of Claim 1 and the inventions of Claims 2 ~ 18.
However, regarding the inventions of Claims 2, 3, and 7 ~ 10, based on examination standards, an exception is made not to question the requirement of unity of invention (Refer to "Examination Standards for Patents and Utility Models" Part I Chapter 2.4.2).
As such, the invention of Claim 1 and the inventions of Claims 4 ~ 6, 11 ~ 18 do not fall under a group of inventions meeting the requirement of unity of invention. Therefore, this application does not meet the requirements stipulated in Article 37 of the Patent Act.
Moreover, since this application violates the provisions of Article 37 of the Patent Act, the examination regarding the requirements other than those of Article 37 has not been conducted for the inventions of Claims 4 ~ 6, 11 ~18.

UMC 1305
UMC v. AICP

2. The invention related to the claims in this application falls under Article 29, Paragraph 1, Subparagraph 3 of the Patent Act, as it was disclosed in the following publications distributed in Japan or abroad before the filing of the application or made publicly available through an electronic communication network, hence rendering it ineligible for patent protection.
3. The invention related to the claims in this application falls under Article 29, Paragraph 2 of the Patent Act because a person with ordinary skill in this technical field to which the invention pertains could have easily made the invention based on the publications listed below that were distributed in Japan or abroad or made publicly available through an electronic communication network before the filing date of the application, therefore disqualifying it from receiving a patent.

Note (refer to the reference document list for References):

<About Claim 1>

- Reasons: 2, 3
- References: 1
- Remarks:

Refer to the full text and all figures of Reference 1, especially Embodiment 2 and Embodiment 4.

<About Claims 2, 3, 7 ~ 10>

- Reasons: 3
- References: 1
- Remarks:

(Claims 2, 3)
The mere fact of having a multi-layer structure for the side wall is common knowledge, and providing a "second insulating side wall" outside the gate-side wall 10, as specifically described in Embodiment 2 of Reference 1, is within the scope of what a person skilled in this technical field could have done.

(Claim 7)
Paragraph [0084] of Reference 1 describes positioning the side walls of the gate insulating film 5 inside the outer surface of the gate-side wall 10. Based on this description, adding a "notch" to the side edge of the gate insulating film is something that a person skilled in this technical field could have done.

(Claims 8 ~ 10)
It is common knowledge to provide a buffer insulating film such as a silicon oxide film between the substrate and the high dielectric constant gate insulating film.
In addition, constructing the gate electrode with full silicide is also common knowledge.

<About Claims 1, 8, 9>
- Reasons: 2, 3
- References: 2
- Remarks:

Refer to the full text and all figures of Reference 2, especially Embodiment 1.

<About Claims 2, 3, 7, 10>
- Reasons: 3
- References: 2, 1
- Remarks:

(Claim 2, 3) The fact of having a multi-layer structure for the side wall is common knowledge, and in the invention described in Reference 2, providing a "second insulating side wall" outside the side wall 18 is within the scope of what a person skilled in this technical field could have done.
(Claim 7)
Paragraph [0084] of Reference 1 describes positioning the side walls of the gate insulating film 5 inside the outer surface of the gate-side wall 10. Based on this description, in the invention described in Reference 2, adding a "notch" to the side edge of the gate insulating film is something that a person skilled in this technical field could have done.

(Claim 10)
Constructing the gate electrode with full silicide is common knowledge.

List of References

1. Japanese Unexamined Patent Application Publication No. 2005-064190
2. International Publication No. 2004/017418

Record of Investigation Results on Existing Technology Documents
- Field of Investigated: IPC H01L29/78
  H01L21/336
- Existing Technology Document: Japanese Unexamined Patent Application Publication No. 2004-172178

As stated in the reasons for refusal, examinations regarding requirements other than those under Article 37 of the Patent Act have not been conducted for inventions related to Claims 4 ~ 6 and 11 ~ 18. However, it is believed that the above existing technology document (especially Fig. 7 and related sections) is particularly relevant to the patentability of the invention related to Claim 4.

Therefore, when responding to this reason for refusal, please consider the disclosure content of the aforementioned existing technology document along with the indication of the reason for refusal for the violation of Article 37.
The record of investigation results on this existing technology document does not constitute part of the reason for refusal.
If you have any inquiries regarding the contents of this notice of refusal, please contact:
Examination Division III, Semiconductor Integrated Circuit
Hirosuke Tsuji
TEL. 03(3581) 1101 ext. 3496
FAX. 03(3501) 0673

Moreover, when making inquiries, please follow "5. Guidelines for communication via phone, fax, etc.", as outlined in the "Interview Guidelines [Patent Examination Edition]" available at the following URL:
http://www.jpo.go.jp/shiryou/kijun/kijun2/pdf/mensetu_guide/tokkyo.pdf

Department Head / Proxy	Supervisory Examiner / Proxy	Examiner	Assistant Examiner
	Hiroaki Suhara	Hirosuke ▲Tsuji▼	
	9057	3239	

[Document Name] Procedural Written Amendment
[Reference No.] P53042401
[Recipient] Commissioner of the Japan Patent Office
[Event Information]
[Application Number] Patent Application 2005-227457
[Amending Party]
[Identification Number] 000005821
[Person Name or Company Name] Panasonic Corporation
[Agent]
[Identification Number] 100077931
[Patent Attorney]
[Person Name or Company Name] Hiroshi Maeda
[Dispatch Number] 641602
[Procedure Amendment 1]
[Name of Document to be Amended] Scope of patent claims
[Name of Section to be Amended] Full Text
[Amendment Method] Change
[Amendment Content]
[Document Name] Scope of patent claims
[Claim 1]
A semiconductor device, comprising
a high dielectric constant gate insulating film formed on an active region of the substrate,
a gate electrode formed on the aforementioned high dielectric constant gate insulating film,
and an insulating side wall formed on the side of the aforementioned gate electrode,
wherein the high dielectric constant gate insulating film is continuously formed from below the gate electrode to below the lower side of the insulating side wall,
the insulating side wall consists of a first insulating side wall formed on the side of the gate electrode and a second insulating side wall formed on the side of the gate electrode through the first insulating side wall,
the thickness of the region below the first insulating side wall in the high dielectric gate insulating film is smaller than the thickness of the region below the gate electrode in the high dielectric gate insulating film.
the high dielectric constant gate insulating film is continuously formed from below the gate electrode to below the first insulating side wall,
the extension regions are formed below the first insulating side wall and the second insulating side wall in the active region, and starting from the gate electrode, the source-drain region is formed outside the extension region in the active region.

[Claim 2]
The semiconductor device as described in Claim 1,
wherein the high dielectric constant gate insulating film is not formed below the second insulating side wall.

[Claim 3]
The semiconductor device as described in Claim 1,
wherein the high dielectric constant gate insulating film is continuously formed up to below the second insulating side wall, and the thickness of the lower side region of the second insulating side wall in the high dielectric constant gate insulating film is equal to the thickness of the lower side region of the first insulating side wall in the high dielectric constant gate insulating film.

[Claim 4]
The semiconductor device as described in Claim 1,
wherein the high dielectric constant gate insulating film is continuously formed from below the gate electrode to below the second insulating side wall,
and the thickness of the lower side region of the second insulating side wall in the high dielectric constant gate insulating film is smaller than the thickness of the lower side region of the first insulating side wall in the high dielectric constant gate insulating film.

UMC 1305
UMC v. AICP

[Claim 5]
The semiconductor device as described in any one of Claims 1 to 4,
wherein a notch is provided at the side edge of the high dielectric constant gate insulating film.

[Claim 6]
The semiconductor device as described in any one of Claims 1 to 5,
wherein a buffer insulating film is provided between the substrate and the high dielectric constant gate insulating film.

[Claim 7]
The semiconductor device as described in Claim 6, the buffer insulating film is a silicon oxide film or a silicon oxynitride film.

[Claim 8]
The semiconductor device as described in any one of Claims 1 to 7,
wherein the gate electrode is a fully silicided gate electrode where the entire region is silicided.

[Claim 9]
The semiconductor device as described in any one of Claims 1 ~ 8,
wherein the thickness of the region below the first insulating side wall in the high dielectric gate insulating film is 2nm or less.

[Claim 10]
The semiconductor device as described in any one of Claims 1 ~ 9,
wherein the high dielectric gate insulating film is composed of Hf-based oxide.

[Procedure Amendment 2]

[Name of Document to be Amended]	Detailed Explanation
[Name of Section to be Amended]	Title of Invention
[Amendment Method]	Change

[Amendment Content]

[Title of Invention] semiconductor device

[Document Name] Written Opinion
[Reference No.] P53042401
[Recipient] Patent Office Examiner: Hirosuke ▲Tsuji▲
[Event Information]
[Application Number] Patent Application 2005-227457
[Patent Applicant]
[Identification Number] 000005821
[Person Name or Company Name] Panasonic Corporation
[Agent]
[Identification Number] 100077931
[Patent Attorney]
[Person Name or Company Name] Hiroshi Maeda
[Dispatch Number] 641602
[Contents of Opinion]

1. Contents of reasons for refusal
On September 27, 2011 (date of dispatch), the following reasons for refusal were notified regarding this application:
(Reason 1) This application does not meet the requirements of Article 37 of the Patent Act because the invention related to Claim 1 and the inventions related to Claims 4 ~ 6, 11 ~ 18 do not fall within a group of inventions that satisfy the requirement of unity of invention.
(Reason 2) The inventions related to Claim 1, 8, and 9 of this application are inventions described in Japanese Unexamined Patent Application Publication No. 2005-064190 (hereinafter referred to as Reference 1) and International Publication No. 2004/017418 (hereinafter referred to as Reference 2), therefore falling under Article 29, Paragraph 1, Subparagraph 3 of the Patent Act and cannot be granted a patent.
(Reason 3) The inventions related to Claims 1 ~ 3 and 7 ~ 10 of this application could have been easily made by those skilled in this technical field based on the inventions described in References 1 and 2, therefore, unable to receive a patent under Article 29, Paragraph 2 of the Patent Act.

2. Reasons why the invention in this application should be patented
(1) Content of the amendments
The applicant of this application made the following amendments through a Procedural Written Amendment on the same day as this Written Opinion:
a) In Claim 1, the content of the original Claim 2 was added, and based on the description in paragraph 0042 of the Detailed Explanation, the technical feature "the extension regions are formed below the first insulating side wall and the second insulating side wall in the active region, and starting from the gate electrode, the source-drain region is formed outside the extension region in the active region." was added.
b) The original Claim 2 was deleted, and the original Claims 3 ~ 5 were moved up to Claims 2 ~ 4 along with correcting the citation claim.
c) The original Claim 6 was deleted, and the original Claims 7 ~ 10 were moved up to Claims 5 ~ 8 along with correcting the citation claim.
d) A new Claim 9 was added based on the description in paragraph 0102 of the Detailed Explanation.
e) A new Claim 10 was added based on the descriptions in paragraphs 0002 and 0094 of the Detailed Explanation.
f) The original Claims 11 ~ 18 were deleted, and accordingly, the "Title of Invention" was corrected to "Semiconductor Device."

(2) Reasons for resolution of reason 1 for refusal
As mentioned later, the invention related to the amended Claim 1 now has specific technical features in light of the disclosures in Reference 1 and Reference 2.
As a result, the invention related to Claim 1 and the inventions related to Claims 2 ~ 10 citing Claim 1 now correspond to a group of inventions satisfying the requirement of unity of invention, making this application meet the requirements stipulated in Article 37 of the Patent Act.

UMC 1305
UMC v. AICP

(3) Reasons for resolution of reasons 2 and 3 for refusal
A. Explanation of the invention if this application
The semiconductor device according to Claim 1 after correction of this application comprises:
a) a high dielectric constant gate insulating film formed on an active region of the substrate,
b) a gate electrode formed on the aforementioned high dielectric constant gate insulating film,
c) and an insulating side wall formed on the side of the aforementioned gate electrode,
d) wherein the high dielectric constant gate insulating film is continuously formed from below the gate electrode to below the lower side of the insulating side wall,
e) the insulating side wall consists of a first insulating side wall formed on the side of the gate electrode and a second insulating side wall formed on the side of the gate electrode through the first insulating side wall,
f) the high dielectric constant gate insulating film is continuously formed from below the gate electrode to below the first insulating side wall,
g) the thickness of the region below the first insulating side wall in the high dielectric gate insulating film is smaller than the thickness of the region below the gate electrode in the high dielectric gate insulating film.
h) the extension regions are formed below the first insulating side wall and the second insulating side wall in the active region,
i) and starting from the gate electrode, the source-drain region is formed outside the extension region in the active region.
According to the invention of this application, since the high dielectric constant gate insulating film is continuously formed from below the gate electrode to below the first insulating side wall, the continuity of the high dielectric constant gate insulating film at the gate edge is maintained. Therefore, it is possible to suppress the decrease in dielectric constant and insulation properties of the high dielectric constant gate insulating film at the gate edge caused by direct contact of the side edge of the high dielectric constant gate insulating film with the first insulating side wall. In addition, by forming the high dielectric constant gate insulating film below the first insulating side wall thinner than the high dielectric constant gate insulating film below the gate electrode, it is possible to reduce the increase in capacitance between the gate and drain, thus reducing the adverse effects on circuit speed. Furthermore, by reducing the thickness of the high dielectric constant film interposed during extension implantation, the increase in implant acceleration energy can be suppressed. Therefore, it becomes easier to form shallow junctions in the extension region, leading to improved device characteristics (refer to Detailed Explanation, paragraph 0029).

B. Explanation of References
Reference 1 discloses a field-effect transistor shown on Fig. 23, comprising a gate insulating film 5 made of a high dielectric constant material formed on a semiconductor substrate 1, a gate electrode 6 formed on the gate insulating film 5, and gate-side wall 10 formed on the side of the gate electrode 6, wherein the thickness of the lower region of the gate-side wall 10 in the gate insulating film 5 is smaller than the thickness of the lower region of the gate electrode 6 in the gate insulating film 5.
Reference 2 discloses an n-channel MISFET shown on Fig. 32, comprising a high dielectric insulating film (gate insulating film 10) formed on a semiconductor substrate 1 (p-well 8), a gate electrode 13n formed on the gate insulating film 10, and a side wall 18 formed on the side of the gate electrode 13n, wherein the thickness of the lower region of the side wall 18 in the gate insulating film 10 is smaller than the thickness of the lower region of the gate electrode 13n in the gate insulating film 10.

C. Comparison between the invention of this application and References
a) Difference between the invention of this application and Reference 1
Reference 1 does not disclose a configuration equivalent to the second insulating sidewall in the invention of this application. Therefore, there is a difference between Reference 1 and the invention of this application.
In response, the examiner pointed out regarding the original Claim 2 of the invention of this application that "The concept of multiple layers of sidewalls is well-known in this technical field, and providing a 'second insulating sidewall' outside the gate-side wall 10, as specifically described in Embodiment 2 of Reference 1, would have been an obvious matter for a person skilled in this technical field."

However, in the semiconductor device disclosed in Fig. 23 of Reference 1, it includes source-drain regions 7 formed on the side of the gate electrode 6 in the semiconductor substrate 1, and a silicide layer 15 formed on the side region of the gate-side wall 10 in the source-drain region 7. In such a well-established structure, it is believed that there is no technical necessity or motivation whatsoever to provide a "second insulating sidewall" outside the gate-side wall 10.
In addition, even if a "second insulating sidewall" were to be introduced outside the gate-side wall 10 in the semiconductor device depicted in Fig. 23 of Reference 1, below this "second insulating sidewall," a configuration with the source-drain region 7 would be formed. In other words, adding a "second insulating sidewall" outside the gate-side wall 10 would not result in a configuration where an extension region is formed beneath it. Therefore, based on the disclosure of Reference 1, it is considered difficult for a person skilled in this technical field to envision one of the main features of the invention of this application, which states that "the extension regions are formed below the first insulating side wall and the second insulating side wall in the active region."

b) Difference between the invention of this application and Reference 2
Reference 2 does not disclose a configuration equivalent to the second insulating sidewall in the invention of this application, so there is a difference between Reference 2 and the invention of this application.
In response to this, the examiner pointed out regarding the original Claim 2 of the present application that "the concept of having multiple layers of sidewalls is common knowledge, and adding a 'second insulating sidewall' outside sidewall 18 as described in Reference 2 is merely a matter that a person skilled in this technical field could have easily come up with."
However, the semiconductor device disclosed in Fig. 32 of Reference 2 includes an extension region 17b formed on the side of gate electrode 13n in the semiconductor substrate 1, a source-drain region 19 formed outside the extension region 17b in the semiconductor substrate 1, and a silicide layer 21b formed on the side region of sidewall 18 in the source-drain region 19. In this completed structure, it is believed that there is no technical necessity or motivation whatsoever to provide a "second insulating sidewall" outside sidewall 18.
In addition, even if a "second insulating sidewall" were to be added outside sidewall 18 in the semiconductor device depicted in Fig. 32 of Reference 2, it would result in a configuration where the source-drain region 19 is formed beneath this "second insulating sidewall." In other words, incorporating a "second insulating sidewall" outside sidewall 18 would not lead to a configuration where an extension region 17b is formed beneath it. Therefore, based on the disclosure of Reference 2, it is considered difficult for a person skilled in this technical field to envision one of the main features of the invention of this application, which states that "the extension regions are formed below the first insulating side wall and the second insulating side wall in the active region."

c) Conclusion
As discussed above, the invention according to Claim 1 of the invention of this application is not disclosed in References 1 and 2, and therefore does not fall under Article 29, Paragraph 1, Subparagraph 3 of Patent Act. The inventions corresponding to Claims 2 ~ 10, which are based on Claim 1, are also similarly not disclosed or suggested in References 1 and 2.
In addition, neither Reference 1 nor Reference 2 discloses or suggests the feature of the invention of this application that "the extension regions are formed below the first insulating side wall and the second insulating side wall in the active region."
Therefore, it is considered difficult for a person skilled in this technical field to conceive of the invention of this application based on the disclosures of References 1 and 2. Hence, the invention according to Claim 1 of the invention of this application does not fall under the provisions of Article 29, Paragraph 2 of Patent Act. The same conclusion applies to the inventions corresponding to Claims 2 ~ 10, which are based on Claim 1.

Moreover, the examiner has cited Japanese Unexamined Patent Application Publication No. 2004-172178 (referred to as Reference 1) as a document related to the patentability of the invention according to original Claim 4. However, the semiconductor device disclosed in Reference 1 differs significantly from the invention of this application due to the absence of a configuration equivalent to one of the extension region and the source-drain regions in the invention of this application.
In addition, in the semiconductor device described in Reference 1, for example, as shown in Fig. 7(b), N+ type diffusion layers 67 are formed beneath the silicon oxide film 57 (equivalent to the "first insulating sidewall" in the invention of this application) and the sidewall silicon nitride film 59 (equivalent to the "second insulating sidewall" in the invention of this application) on the substrate 40 of the N-type MOSFET formation region.
However, if we consider this N+ type diffusion layer 67 as equivalent to the "extension region" in the invention of this application, then the configuration equivalent to the "source-drain region" in the invention of this application is not formed outside the N+ type diffusion layer 67 on the substrate 40 in the semiconductor device described in Reference 1.
On the other hand, if we consider this N+ type diffusion layer 67 as equivalent to the "source-drain region" in the invention of this application, then the configuration equivalent to the "extension region" in the invention of this application is not formed beneath the silicon oxide film 57 and the sidewall silicon nitride film 59 on the substrate 40 in the semiconductor device described in Reference 1.
Therefore, it is considered difficult for a person skilled in this technical field to conceive of the invention of this application based on Reference 1, as the basic structure of the transistor differs significantly between the two.

3. Conclusion
Based on the above explanation, it is believed that all grounds for refusal against the invention of this application have been resolved. Therefore, we kindly request that you accept the Procedural Written Amendment submitted on the same day and reconsider the examination of the invention of this application, and make a decision to the effect that a patent is to be granted.

Notice of Reasons for Refusal

Patent Application Number:	Patent Application 2005-227457
Date of Drafting:	December 2, 2011
Patent Office Examiner:	Hirosuke ▲Tsuji▼ 3239 4L00
Agent for the Patent Applicant:	Hiroshi Maeda (and 11 other persons)
Applicable Articles:	Article 29, Paragraph 1; Article 29, Paragraph 2

< < < < Final > > > >

This application should be refused for the following reasons. If you have any opinions on this matter, please submit a written opinion within 60 days from the date of issuance of this notification.

Reasons

1. The invention related to the claims in this application falls under Article 29, Paragraph 1, Subparagraph 3 of the Patent Act, as it was disclosed in the following publications distributed in Japan or abroad before the filing of the application or made publicly available through an electronic communication network, hence rendering it ineligible for patent protection.
2. The invention related to the claims in this application falls under Article 29, Paragraph 2 of the Patent Act because a person with ordinary skill in this technical field to which the invention pertains could have easily made the invention based on the publications listed below that were distributed in Japan or abroad or made publicly available through an electronic communication network before the filing date of the application, therefore disqualifying it from receiving a patent.

Note (refer to the reference document list for References):

<About Claims 1, 2, and 6 ~ 10>

- Reasons: 1, 2
- References, etc.: 1
- Remarks:

Please refer to the full text and all figures of Reference 1.
The inventions related to Claims 1, 2, and 6 ~ 10 are inventions described in Citation 1, or even if they are not, a person skilled in this technical field could easily create the invention based on what is described in Reference 1.

<About Claims 1, 2, 6 ~ 10>

UMC 1305
UMC v. AICP

- Reasons: 1, 2
- References, etc.: 2
- Remarks:

Refer specifically to paragraphs [0088], [0013], Figs. 32, 33, and related sections of Reference 2.
The inventions related to Claims 1, 2, and 6 ~ 10 are inventions described in Reference 2 or, even if they are not, a person skilled in this technical field could easily create the invention based on what is described in Reference 2.

<About Claim 5>

- Reasons: 2
- References: 1, 2, 3
- Remarks:

Reference 3, paragraph [0084], describes positioning the gate insulating film's side wall more inside than the outer side wall of the gate, so based on this description, it would have been obvious for those skilled in this technical field to provide a "notch" at the side edge of the gate insulating film in the inventions described in References 1 and 2.

<About Claims 1, 3, and 6 ~ 10>

- Reasons: 2
- References, etc.: 4
- Remarks:

Refer specifically to Fig. 7 and related sections of Reference 4.
MISFET with an extension region is a well-known technology, and it is also common knowledge to perform the step of ion implantation with the gate electrode as a mask to form it.
Therefore, at the stage of Fig. 4(a) in Reference 4, carrying out ion implantation to form the extension region with the gate electrode as a mask and providing the extension region below side walls 57 and 59 would have been easily achievable by those skilled in this technical field. As a result, the MISFET obtained in this way cannot be distinguished from Claims 1 and 3.
Hence, the inventions related to Claims 1 and 3 could have been easily made by those skilled in this technical field based on Reference 4.
Similarly, concerning Claims 6 ~ 10, inventions related to these claims could have been easily made by those skilled in this technical field based on Reference 4.

List of References

1. Japanese Unexamined Patent Application Publication No. 2003-258241
2. Japanese Unexamined Patent Application Publication No. 2004-241755
3. Japanese Unexamined Patent Application Publication No. 2005-064190
4. Japanese Unexamined Patent Application Publication No. 2004-172178

<Claims for which no reason for refusal is found>
As of the current point, no reason for refusal has been found regarding the invention related to Claim 4. If new reasons for refusal are discovered in the future, the reasons for refusal will be notified.

<Notes for correction>
(1) When making corrections to the sections of Detailed Explanation and Scope of Patent Claims, underline the changed parts due to corrections (Patent Act Enforcement Regulations Form 13 Notes 6, 7).
(2) Corrections must be made within the scope of the matters originally described in the sections of Detailed Explanation and Scope of Patent Claims, or drawings in the initial application. When correcting the claims, it is limited to deletion of claims, specific narrowing or reduction of the scope of claims, correction of errors, or clarification of unclear descriptions (limited to issues indicated in the reasons for refusal). In addition, in the Written Opinion, for each correction item, it is recommended to clearly indicate the reason why the correction is lawful based on the contents originally described in the sections of Detailed Explanation, etc., in the initial application.

Reason for the final notice of refusal

This notice of refusal includes only the reasons for refusal that became necessary to notify due to corrections made in response to the initial notice of refusal.

For inquiries regarding the content of this notice of refusal, please contact:
Examination Division III, Semiconductor Integrated Circuit
Hirosuke Tsuji
TEL. 03(3581) 1101 ext. 3496
FAX. 03(3501) 0673

Moreover, when making inquiries, please follow "5. Guidelines for communication via phone, fax, etc.", as outlined in the "Interview Guidelines [Patent Examination Edition]" available at the following URL:
http://www.jpo.go.jp/shiryou/kijun/kijun2/pdf/mensetu_guide/tokkyo.pdf

UMC 1305
UMC v. AICP

Department Head / Proxy	Supervisory Examiner / Proxy	Examiner	Assistant Examiner
	Hiroaki Suhara	Hirosuke ▲Tsuji▼	
	9057	3239	

[Document Name] Procedural Written Amendment
[Reference No.] P53042401
[Recipient] Commissioner of the Japan Patent Office
[Event Information]
[Application Number] Patent Application 2005-227457
[Amending Party]
[Identification Number] 000005821
[Person Name or Company Name] Panasonic Corporation
[Agent]
[Identification Number] 110001427
[Person Name or Company Name] Maeda Patent Office
[Representative] Hiroshi Maeda
[Phone Number] 06-6125-2255
[Dispatch Number] 833248
[Procedure Amendment 1]
[Name of Document to be Amended] Scope of patent claims
[Name of Section to be Amended] Full Text
[Amendment Method] Change
[Amendment Content]
[Document Name] Scope of patent claims
[Claim 1]
A semiconductor device, comprising
a high dielectric constant gate insulating film formed on an active region of the substrate,
a gate electrode formed on the aforementioned high dielectric constant gate insulating film,
and an insulating side wall formed on the side of the aforementioned gate electrode,
wherein the high dielectric constant gate insulating film is continuously formed from below the gate electrode to below the lower side of the insulating side wall,
the insulating side wall consists of a first insulating side wall formed on the side of the gate electrode and a second insulating side wall formed on the side of the gate electrode through the first insulating side wall,
the thickness of the region below the first insulating side wall in the high dielectric gate insulating film is smaller than the thickness of the region below the gate electrode in the high dielectric gate insulating film,
the high dielectric constant gate insulating film is continuously formed from below the gate electrode to below the first insulating side wall,
the extension regions are formed below the first insulating side wall and the second insulating side wall in the active region,
and starting from the gate electrode, the source-drain region is formed outside the extension region in the active region,
the high dielectric constant gate insulating film is continuously formed from below the gate electrode to below the second insulating side wall,
and the thickness of the lower side region of the second insulating side wall in the high dielectric constant gate insulating film is smaller than the thickness of the lower side region of the first insulating side wall in the high dielectric constant gate insulating film.

[Claim 2]
The semiconductor device as described in Claim 1,
wherein a notch is provided at the side edge of the high dielectric constant gate insulating film.

[Claim 3]
The semiconductor device as described in Claims 1 or 2,
wherein a buffer insulating film is provided between the substrate and the high dielectric constant gate insulating film.

[Claim 4]
The semiconductor device as described in Claim 3, the buffer insulating film is a silicon oxide film or a silicon oxynitride film.

[Claim 5]
The semiconductor device as described in any one of Claims 1 to 4,
wherein the gate electrode is a fully silicided gate electrode where the entire region is silicided.

[Claim 6]
The semiconductor device as described in any one of Claims 1 ~ 5,
wherein the thickness of the region below the first insulating side wall in the high dielectric gate insulating film is 2nm or less.

[Claim 7]
The semiconductor device as described in any one of Claims 1 ~ 6,
wherein the high dielectric gate insulating film is composed of Hf-based oxide.

[Document Name] Written Opinion
[Reference No.] P53042401
[Recipient] Patent Office Examiner: Hirosuke ▲Tsuji▲
[Event Information]
[Application Number] Patent Application 2005-227457
[Patent Applicant]
[Identification Number] 000005821
[Person Name or Company Name] Panasonic Corporation
[Agent]
[Identification Number] 110001427
[Person Name or Company Name] Maeda Patent Office
[Representative] Hiroshi Maeda
[Phone Number] 06-6125-2255
[Dispatch Number] 833248
[Contents of Opinion]

1. Contents of reasons for refusal
Regarding this application, a Notice of reasons for refusal was issued on December 6, 2011 (date of dispatch) with the following content:
(Reason 1) The inventions related to Claims 1, 2, and 6 ~ 10 of this application are inventions described in Japanese Unexamined Patent Application Publication No. 2003-25824 and Japanese Unexamined Patent Application Publication No. 2004-241755, falling under Article 29, Paragraph 1, Subparagraph 3 of the Patent Act, and thus cannot be granted a patent.
(Reason 2) The inventions related to Claims 1 ~ 3, 5 ~ 10 of this application could have easily been invented by a person skilled in this technical field based on Reference 1, Reference 2, Japanese Unexamined Patent Application Publication No. 2005-064190, and Japanese Unexamined Patent Application Publication No. 2004-172178, therefore, the patent cannot be granted under the provision of Article 29, Paragraph 2 of the Patent Act.

2. Reasons why the invention in this application should be patented
(1) Content of the amendments
The applicant has made the following amendments through a procedural written amendment filed on the same date as this opinion:
a) Added the content of original Claim 4 to Claim 1.
b) Deleted original Claims 2 to 4.
c) Formally amended original Claims 5 to 10 to new Claims 2 to 7.

(2) Reasons for resolution of reasons 1 and 2 for refusal
In this instance, the applicant has clarified the main idea by adding the content of original Claim 4 to Claim 1 and deleted original Claims 2 to 4 through the concurrently submitted procedural written amendment. As a result, it is believed that the invention in this application is no longer something that could be easily conceived by those skilled in this technical field.
In other words, the examiner stated in the refusal notification that they did not find grounds for refusing the invention related to Claim (original Claim) 4. Therefore, it is believed that the invention related to Claim 1 after the addition of the content of original Claim 4 in the amended Claim does not fall under the provisions of Article 29, Paragraph 1, Subparagraph 3 and Article 29, Paragraph 2 of the Patent Act. Furthermore, since Claims 2 to 7 after the amendment are dependent Claims of amended Claim 1, if the invention related to amended Claim 1 does not fall under the provisions of Article 29, Paragraph 1, Subparagraph 3 and Article 29, Paragraph 2 of the Patent Act, it is believed that the inventions related to Claims 2 to 7 after the amendment also do not fall under these provisions.

3. Conclusion
Based on the above explanation, it is believed that all reasons for refusing this application have been resolved. Therefore, we kindly request that you reconsider the application and make a decision to the effects that the invention in this application should be granted a patent upon adopting the procedural written amendment submitted on the same day.

【書類名】特許請求の範囲
【請求項１】
基板の活性領域上に形成された高誘電率ゲート絶縁膜と、
前記高誘電率ゲート絶縁膜上に形成されたゲート電極と、
前記ゲート電極の側面に形成された絶縁性サイドウォールとを備え、
前記高誘電率ゲート絶縁膜は前記ゲート電極の下側から前記絶縁性サイドウォールの下側まで連続的に形成されており、
前記高誘電率ゲート絶縁膜における前記絶縁性サイドウォールの下側領域の少なくとも一部分の厚さは、前記高誘電率ゲート絶縁膜における前記ゲート電極の下側領域の厚さよりも小さいことを特徴とする半導体装置。
【請求項２】
請求項１に記載の半導体装置において、
前記絶縁性サイドウォールは、前記ゲート電極の側面に形成された第１の絶縁性サイドウォールと、前記ゲート電極の側面に前記第１の絶縁性サイドウォールを介して形成された第２の絶縁性サイドウォールとからなり、
前記高誘電率ゲート絶縁膜は前記ゲート電極の下側から前記第１の絶縁性サイドウォールの下側まで連続的に形成されており、
前記高誘電率ゲート絶縁膜における前記第１の絶縁性サイドウォールの下側領域の厚さは、前記高誘電率ゲート絶縁膜における前記ゲート電極の下側領域の厚さよりも小さいことを特徴とする半導体装置。
【請求項３】
請求項２に記載の半導体装置において、
前記高誘電率ゲート絶縁膜は前記第２の絶縁性サイドウォールの下側には形成されていないことを特徴とする半導体装置。
【請求項４】
請求項２に記載の半導体装置において、
前記高誘電率ゲート絶縁膜は前記第２の絶縁性サイドウォールの下側まで連続的に形成されており、
前記高誘電率ゲート絶縁膜における前記第２の絶縁性サイドウォールの下側領域の厚さは、前記高誘電率ゲート絶縁膜における前記第１の絶縁性サイドウォールの下側領域の厚さと同等であることを特徴とする半導体装置。
【請求項５】
請求項２に記載の半導体装置において、
前記高誘電率ゲート絶縁膜は前記ゲート電極の下側から前記第２の絶縁性サイドウォールの下側まで連続的に形成されており、
前記高誘電率ゲート絶縁膜における前記第２の絶縁性サイドウォールの下側領域の厚さは、前記高誘電率ゲート絶縁膜における前記第１の絶縁性サイドウォールの下側領域の厚さよりも小さいことを特徴とする半導体装置。
【請求項６】
請求項１に記載の半導体装置において、
前記絶縁性サイドウォールは、前記ゲート電極の側面に形成された第１の絶縁性サイドウォールと、前記ゲート電極の側面に前記第１の絶縁性サイドウォールを介して形成された第２の絶縁性サイドウォールとからなり、
前記高誘電率ゲート絶縁膜は前記ゲート電極の下側から前記第２の絶縁性サイドウォールの下側まで連続的に形成されており、
前記高誘電率ゲート絶縁膜における前記第１の絶縁性サイドウォールの下側領域の厚さは、前記高誘電率ゲート絶縁膜における前記ゲート電極の下側領域の厚さと同等であり、
前記高誘電率ゲート絶縁膜における前記第２の絶縁性サイドウォールの下側領域の厚さは、前記高誘電率ゲート絶縁膜における前記ゲート電極の下側領域の厚さよりも小さいことを特徴とする半導体装置。

【請求項７】
請求項１～６のいずれか１項に記載の半導体装置において、
前記高誘電率ゲート絶縁膜の側端部にノッチが設けられていることを特徴とする半導体装置。
【請求項８】
請求項１～７のいずれか１項に記載の半導体装置において、
前記基板と前記高誘電率ゲート絶縁膜との間にバッファー絶縁膜が設けられていることを特徴とする半導体装置。
【請求項９】
請求項８に記載の半導体装置において、
前記バッファー絶縁膜はシリコン酸化膜又はシリコン酸窒化膜であることを特徴とする半導体装置。
【請求項１０】
請求項１～９のいずれか１項に記載の半導体装置において、
前記ゲート電極は、全領域がシリサイド化されたフルシリサイドゲート電極であることを特徴とする半導体装置。
【請求項１１】
基板の活性領域上に高誘電率ゲート絶縁膜を形成する工程（ａ）と、
前記高誘電率ゲート絶縁膜上にゲート電極を形成する工程（ｂ）と、
前記工程（ｂ）の後に、前記ゲート電極の外側に位置する前記高誘電率ゲート絶縁膜をエッチングして薄膜化する工程（ｃ）と、
前記工程（ｃ）の後に、前記ゲート電極の側面に絶縁性サイドウォールを形成する工程（ｄ）とを備えていることを特徴とする半導体装置の製造方法。
【請求項１２】
請求項１１に記載の半導体装置の製造方法において、
前記工程（ｄ）の後に、前記絶縁性サイドウォールの外側に位置する前記高誘電率ゲート絶縁膜を除去する工程を備えていることを特徴とする半導体装置の製造方法。
【請求項１３】
請求項１１に記載の半導体装置の製造方法において、
前記絶縁性サイドウォールは第１の絶縁性サイドウォールと第２の絶縁性サイドウォールとからなり、
前記工程（ｄ）は、前記ゲート電極の側面に前記第１の絶縁性サイドウォールを形成する工程（ｄ１）と、前記ゲート電極の側面に前記第１の絶縁性サイドウォールを介して前記第２の絶縁性サイドウォールを形成する工程（ｄ２）とを含むことを特徴とする半導体装置の製造方法。
【請求項１４】
請求項１３に記載の半導体装置の製造方法において、
前記工程（ｄ１）と前記工程（ｄ２）との間に、前記第１の絶縁性サイドウォールの外側に位置する前記高誘電率ゲート絶縁膜を除去する工程をさらに備えていることを特徴とする半導体装置の製造方法。
【請求項１５】
請求項１３に記載の半導体装置の製造方法において、
前記工程（ｄ１）と前記工程（ｄ２）との間に、前記第１の絶縁性サイドウォールの外側に位置する前記高誘電率ゲート絶縁膜をエッチングしてさらに薄膜化する工程を備え、
前記工程（ｄ２）よりも後に、前記第２の絶縁性サイドウォールの外側に位置する前記高誘電率ゲート絶縁膜を除去する工程をさらに備えていることを特徴とする半導体装置の製造方法。
【請求項１６】
請求項１２、１４又は１５のいずれか１項に記載の半導体装置の製造方法において、
前記高誘電率ゲート絶縁膜の除去は、ウェットエッチングを用いて選択的に行われるこ

とを特徴とする半導体装置の製造方法。
【請求項１７】
　請求項１１～１６のいずれか１項に記載の半導体装置の製造方法において、
　前記工程（ｂ）は、前記ゲート電極の上面を覆う保護膜を形成する工程を含み、
　前記工程（ｄ）よりも後に、前記絶縁性サイドウォールの外側に位置する前記活性領域の表面をシリサイド化した後、前記保護膜を除去し、その後、前記ゲート電極をフルシリサイド化する工程をさらに備えていることを特徴とする半導体装置の製造方法。
【請求項１８】
　請求項１１～１７のいずれか１項に記載の半導体装置の製造方法において、
　前記工程（ａ）よりも前に、前記活性領域上にバッファー絶縁膜を形成する工程をさらに備え、
　前記工程（ａ）では前記活性領域上に前記バッファー絶縁膜を介して前記高誘電率ゲート絶縁膜を形成することを特徴とする半導体装置の製造方法。

拒絶理由通知書

特許出願の番号	特願２００５−２２７４５７
起案日	平成２３年　９月１６日
特許庁審査官	▲辻▼　弘輔　　３２３９　４Ｌ００
特許出願人代理人	前田　弘（外１１名）　様
適用条文	第２９条第１項、第２９条第２項、第３７条

この出願は、次の理由によって拒絶をすべきものです。これについて意見がありましたら、この通知書の発送の日から６０日以内に意見書を提出してください。

理　由

１．この出願は、下記の点で特許法第３７条に規定する要件を満たしていない。

記

請求項１に係る発明は、引用文献１、引用文献２の開示内容に照らして、特別な技術的特徴を有しない。

よって、請求項１に係る発明と請求項２〜１８に係る発明との間で同一の又は対応する特別な技術的特徴を見出すことができない。

ただし、請求項２、３、７〜１０に係る発明については、審査基準に基づき、例外的に発明の単一性の要件を問わないこととする（「特許・実用新案　審査基準」第Ｉ部第２章４．２を参照）。

以上のように、請求項１に係る発明と請求項４〜６、１１〜１８に係る発明とは、発明の単一性の要件を満たす一群の発明に該当しないから、この出願は特許法第３７条に規定する要件を満たさない。

なお、この出願は特許法第３７条の規定に違反しているので、請求項４〜６、１１〜１８に係る発明については特許法第３７条以外の要件についての審査を行っていない。

２．この出願の下記の請求項に係る発明は、その出願前に日本国内又は外国にお

いて、頒布された下記の刊行物に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明であるから、特許法第２９条第１項第３号に該当し、特許を受けることができない。
３．この出願の下記の請求項に係る発明は、その出願前に日本国内又は外国において、頒布された下記の刊行物に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第２９条第２項の規定により特許を受けることができない。

記　　（引用文献等については引用文献等一覧参照）
＜請求項１について＞
・理由　２、３
・引用文献等　１
・備考
　引用文献１の全文、全図（特に実施の形態２、実施の形態４）を参照。

＜請求項２、３、７～１０について＞
・理由　３
・引用文献等　１
・備考
（請求項２、３）
　サイドウォールを複数層の構造とすること自体は周知技術に過ぎず、引用文献１の特に実施の形態２において、ゲート側壁１０の外側に「第２の絶縁性サイドウォール」を設けることは、当業者が適宜なし得た程度の事項に過ぎない。

（請求項７）
　引用文献１の段落【００８４】には、ゲート絶縁膜５の側壁を、ゲート側壁１０の外側面より内側に位置させることが記載されており、この記載に基づき、ゲート絶縁膜の側端部に「ノッチ」を設けることは、当業者が適宜なし得たことである。

（請求項８～１０）
　基板と高誘電率ゲート絶縁膜との間に、シリコン酸化膜等のバッファー絶縁膜を設けることは周知技術に過ぎない。
　また、ゲート電極をフルシリサイドで構成することは周知技術に過ぎない。

＜請求項１、８、９について＞
・理由　２、３
・引用文献等　２
・備考
　引用文献２の全文、全図（特に実施の形態１）を参照。

＜請求項２、３、７、１０について＞
・理由　３
・引用文献等　２、１
・備考
（請求項２、３）
　サイドウォールを複数層の構造とすること自体は周知技術に過ぎず、引用文献２に記載された発明において、サイドウォール１８の外側に「第２の絶縁性サイドウォール」を設けることは、当業者が適宜なし得た程度の事項に過ぎない。

（請求項７）
　引用文献１の段落【００８４】には、ゲート絶縁膜５の側壁を、ゲート側壁１０の外側面より内側に位置させることが記載されており、この記載に基づき、引用文献２に記載された発明において、ゲート絶縁膜の側端部に「ノッチ」を設けることは、当業者が適宜なし得たことである。

（請求項１０）
　ゲート電極をフルシリサイドで構成することは周知技術に過ぎない。

引　用　文　献　等　一　覧

１．特開２００５-０６４１９０号公報
２．国際公開第２００４／０１７４１８号

先行技術文献調査結果の記録

・調査した分野　ＩＰＣ H01L29/78
　　H01L21/336

・先行技術文献　特開２００４-１７２１７８号公報

　拒絶理由に記載したとおり、請求項４～６、１１～１８に係る発明については、特許法第３７条以外の要件についての審査を行っていません。しかし、上記先行技術文献（特に図７及びその関連箇所）は、請求項４に係る発明の特許性に特

に関連すると考えられます。したがって、この拒絶理由に対応する際には、上記の第３７条違反の拒絶理由の指摘内容とともに、当該先行技術文献の開示内容を考慮してください。

この先行技術文献調査結果の記録は、拒絶理由を構成するものではありません。

　この拒絶理由通知の内容に関するお問い合わせがございましたら下記までご連絡下さい。

特許審査第三部　半導体集積回路
辻　弘輔
ＴＥＬ．０３（３５８１）１１０１　内線　３４９６
ＦＡＸ．０３（３５０１）０６７３

なお、問い合わせに際しては、下記ＵＲＬに掲載の『面接ガイドライン【特許審査編】』「５．電話ファクシミリ等による連絡」に沿って対応して下さい。
http://www.jpo.go.jp/shiryou/kijun/kijun2/pdf/mensetu_guide/tokkyo.pdf

部長／代理	審査長／代理	審査官	審査官補
	須原　宏光	▲辻▼　弘輔	
	９０５７	３２３９	

UMC 1305
UMC v. AICP

【書類名】　手続補正書
【整理番号】　P53042401
【あて先】　特許庁長官　殿
【事件の表示】
　【出願番号】　特願2005-227457
【補正をする者】
　【識別番号】　000005821
　【氏名又は名称】　パナソニック株式会社
【代理人】
　【識別番号】　100077931
　【弁理士】
　【氏名又は名称】　前田　弘
【発送番号】　641602
【手続補正1】
　【補正対象書類名】　特許請求の範囲
　【補正対象項目名】　全文
　【補正方法】　変更
　【補正の内容】
　　【書類名】特許請求の範囲
　　【請求項１】
　基板の活性領域上に形成された高誘電率ゲート絶縁膜と、
　前記高誘電率ゲート絶縁膜上に形成されたゲート電極と、
　前記ゲート電極の側面に形成された絶縁性サイドウォールとを備え、
　前記高誘電率ゲート絶縁膜は前記ゲート電極の下側から前記絶縁性サイドウォールの下側まで連続的に形成されており、
　前記絶縁性サイドウォールは、前記ゲート電極の側面に形成された第１の絶縁性サイドウォールと、前記ゲート電極の側面に前記第１の絶縁性サイドウォールを介して形成された第２の絶縁性サイドウォールとからなり、
　前記高誘電率ゲート絶縁膜は前記ゲート電極の下側から前記第１の絶縁性サイドウォールの下側まで連続的に形成されており、
　前記高誘電率ゲート絶縁膜における前記第１の絶縁性サイドウォールの下側領域の厚さは、前記高誘電率ゲート絶縁膜における前記ゲート電極の下側領域の厚さよりも小さく、
　前記活性領域における前記第１の絶縁性サイドウォール及び前記第２の絶縁性サイドウォールのそれぞれの下側にエクステンション領域が形成されており、
　前記活性領域における前記ゲート電極からみて前記エクステンション領域の外側にソース・ドレイン領域が形成されていることを特徴とする半導体装置。
　　【請求項２】
　請求項１に記載の半導体装置において、
　前記高誘電率ゲート絶縁膜は前記第２の絶縁性サイドウォールの下側には形成されていないことを特徴とする半導体装置。
　　【請求項３】
　請求項１に記載の半導体装置において、
　前記高誘電率ゲート絶縁膜は前記第２の絶縁性サイドウォールの下側まで連続的に形成されており、
　前記高誘電率ゲート絶縁膜における前記第２の絶縁性サイドウォールの下側領域の厚さは、前記高誘電率ゲート絶縁膜における前記第１の絶縁性サイドウォールの下側領域の厚さと同等であることを特徴とする半導体装置。
　　【請求項４】
　請求項１に記載の半導体装置において、
　前記高誘電率ゲート絶縁膜は前記ゲート電極の下側から前記第２の絶縁性サイドウォー

ルの下側まで連続的に形成されており、
　前記高誘電率ゲート絶縁膜における前記第２の絶縁性サイドウォールの下側領域の厚さは、前記高誘電率ゲート絶縁膜における前記第１の絶縁性サイドウォールの下側領域の厚さよりも小さいことを特徴とする半導体装置。
　　【請求項５】
　請求項１～４のいずれか１項に記載の半導体装置において、
　前記高誘電率ゲート絶縁膜の側端部にノッチが設けられていることを特徴とする半導体装置。
　　【請求項６】
　請求項１～５のいずれか１項に記載の半導体装置において、
　前記基板と前記高誘電率ゲート絶縁膜との間にバッファー絶縁膜が設けられていることを特徴とする半導体装置。
　　【請求項７】
　請求項６に記載の半導体装置において、
　前記バッファー絶縁膜はシリコン酸化膜又はシリコン酸窒化膜であることを特徴とする半導体装置。
　　【請求項８】
　請求項１～７のいずれか１項に記載の半導体装置において、
　前記ゲート電極は、全領域がシリサイド化されたフルシリサイドゲート電極であることを特徴とする半導体装置。
　　【請求項９】
　請求項１～８のいずれか１項に記載の半導体装置において、
　前記高誘電率ゲート絶縁膜における前記第１の絶縁性サイドウォールの下側領域の厚さは、２ｎｍ以下であることを特徴とする半導体装置。
　　【請求項１０】
　請求項１～９のいずれか１項に記載の半導体装置において、
　前記高誘電率ゲート絶縁膜は、Ｈｆ系酸化物からなることを特徴とする半導体装置。

【手続補正2】
　【補正対象書類名】　明細書
　【補正対象項目名】　発明の名称
　【補正方法】　変更
　【補正の内容】
　　【発明の名称】半導体装置

【書類名】　意見書
【整理番号】　P53042401
【あて先】　特許庁審査官　▲辻▼　弘輔　殿
【事件の表示】
　【出願番号】　特願2005-227457
【特許出願人】
　【識別番号】　000005821
　【氏名又は名称】　パナソニック株式会社
【代理人】
　【識別番号】　100077931
　【弁理士】
　【氏名又は名称】　前田　弘
【発送番号】　641602
【意見の内容】
１．拒絶理由の内容
　本願に対し、平成２３年９月２７日（発送日）付けにて、以下のような拒絶理由通知がありました。
（理由１）この出願は、請求項１に係る発明と請求項４～６、１１～１８に係る発明とが発明の単一性の要件を満たす一群の発明に該当しないから、特許法第３７条に規定する要件を満たさない。
（理由２）この出願の請求項１、８、９に係る発明は、特開２００５-０６４１９０号公報（以下、引用文献１という）及び国際公開第２００４／０１７４１８号（以下、引用文献２という）に記載された発明であるから、特許法第２９条第１項第３号に該当し、特許を受けることができない。
（理由３）この出願の請求項１～３、７～１０に係る発明は、引用文献１及び２に記載された発明に基いて、当業者が容易に発明をすることができたものであるから、特許法第２９条第２項の規定により特許を受けることができない。

２．本願発明が特許されるべき理由
（１）補正の内容
　本願出願人は、本意見書と同日付の手続補正書により、以下の補正を行いました。
　ａ）請求項１において、元の請求項２の内容を付加しますと共に、明細書の段落００４２の記載に基づき、「前記活性領域における前記第１の絶縁性サイドウォール及び前記第２の絶縁性サイドウォールのそれぞれの下側にエクステンション領域が形成されており、前記活性領域における前記ゲート電極からみて前記エクステンション領域の外側にソース・ドレイン領域が形成されている」という技術的特徴を付加しました。
　ｂ）元の請求項２を削除し、元の請求項３～５を請求項２～４に繰り上げますと共に引用請求項を補正しました。
　ｃ）元の請求項６を削除し、元の請求項７～１０を請求項５～８に繰り上げますと共に引用請求項を補正しました。
　ｄ）明細書の段落０１０２の記載に基づき、新請求項９を追加しました。
　ｅ）明細書の段落０００２、００９４の記載に基づき、新請求項１０を追加しました。
　ｆ）元の請求項１１～１８を削除し、それに伴い、「発明の名称」を「半導体装置」に補正しました。
（２）拒絶理由１が解消する理由
　後述しますように、補正後の請求項１に係る発明は、引用文献１、引用文献２の開示内容に照らして、特別な技術的特徴を有するものとなりました。これにより、請求項１に係る発明と、請求項１を引用しております請求項２～１０に係る発明とは、発明の単一性の要件を満たす一群の発明に該当し、この出願は特許法第３７条に規定する要件を満たすものとなりました。

（３）拒絶理由２及び３が解消する理由

Ａ．本願発明の説明

本願の補正後の請求項１に係る半導体装置（以下、本願発明という）は、

ａ）基板の活性領域上に形成された高誘電率ゲート絶縁膜と、

ｂ）前記高誘電率ゲート絶縁膜上に形成されたゲート電極と、

ｃ）前記ゲート電極の側面に形成された絶縁性サイドウォールとを備え、

ｄ）前記高誘電率ゲート絶縁膜は前記ゲート電極の下側から前記絶縁性サイドウォールの下側まで連続的に形成されており、

ｅ）前記絶縁性サイドウォールは、前記ゲート電極の側面に形成された第１の絶縁性サイドウォールと、前記ゲート電極の側面に前記第１の絶縁性サイドウォールを介して形成された第２の絶縁性サイドウォールとからなり、

ｆ）前記高誘電率ゲート絶縁膜は前記ゲート電極の下側から前記第１の絶縁性サイドウォールの下側まで連続的に形成されており、

ｇ）前記高誘電率ゲート絶縁膜における前記第１の絶縁性サイドウォールの下側領域の厚さは、前記高誘電率ゲート絶縁膜における前記ゲート電極の下側領域の厚さよりも小さく、

ｈ）前記活性領域における前記第１の絶縁性サイドウォール及び前記第２の絶縁性サイドウォールのそれぞれの下側にエクステンション領域が形成されており

ｉ）前記活性領域における前記ゲート電極からみて前記エクステンション領域の外側にソース・ドレイン領域が形成されている

ことを特徴としております。

このような本願発明によりますと、ゲート電極の下側から第１の絶縁性サイドウォールの下側まで高誘電率ゲート絶縁膜が連続的に形成されておりますため、言い換えますと、ゲート端部での高誘電率ゲート絶縁膜の連続性が維持されておりますため、高誘電率ゲート絶縁膜の側端部が第１の絶縁性サイドウォールと直接接することに起因する、ゲート端部での高誘電率ゲート絶縁膜の誘電率低下及び絶縁性低下を抑制することができます。また、第１の絶縁性サイドウォール下側の高誘電率ゲート絶縁膜をゲート電極下側の高誘電率ゲート絶縁膜よりも薄く形成しておりますため、ゲート・ドレイン間の容量の上昇を抑制して回路速度への悪影響を低減することができます。さらに、エクステンション注入を実施する際に介在する高誘電率膜の膜厚が薄くなりますため、注入加速エネルギーの増大を抑制できます。従って、エクステンション領域において浅い接合を容易に形成できますので、デバイス特性の向上を図りやすくなります（明細書の段落００２９参照）。

Ｂ．引用文献の説明

引用文献１には、図２３に示されておりますように、半導体基板１上に形成された高誘電率材料からなるゲート絶縁膜５と、ゲート絶縁膜５上に形成されたゲート電極６と、ゲート電極６の側面に形成されたゲート側壁１０とを備え、ゲート絶縁膜５におけるゲート側壁１０の下側領域の厚さがゲート絶縁膜５におけるゲート電極６の下側領域の厚さよりも小さい電界効果トランジスタが開示されております。

引用文献２には、図３２に示されておりますように、半導体基板１（ｐウェル８）上に形成された高誘電率絶縁膜（ゲート絶縁膜）１０と、ゲート絶縁膜１０上に形成されたゲート電極１３ｎと、ゲート電極１３ｎの側面に形成されたサイドウォール１８とを備え、ゲート絶縁膜１０におけるサイドウォール１８の下側領域の厚さがゲート絶縁膜１０におけるゲート電極１３ｎの下側領域の厚さよりも小さいｎチャネル型ＭＩＳＦＥＴＱｎが開示されております。

Ｃ．本願発明と引用文献との対比

ａ）本願発明と引用文献１との相違点

引用文献１には、本願発明における第２の絶縁性サイドウォールに相当する構成が開示されておりませんので、引用文献１と本願発明とは相違しております。

これに対して、審査官殿は、本願の補正前の請求項２に対して『サイドウォールを複数層の構造とすること自体は周知技術に過ぎず、引用文献１の特に実施の形態２において、

ゲート側壁１０の外側に「第２の絶縁性サイドウォール」を設けることは、当業者が適宜なし得た程度の事項に過ぎない。』と指摘されています。
しかしながら、引用文献１の図２３に開示されております半導体装置は、半導体基板１におけるゲート電極６の側方に形成されたソース・ドレイン領域７と、ソース・ドレイン領域７におけるゲート側壁１０の側方領域上に形成されたシリサイド層１５とを備えておりますが、このように完成された構造において、ゲート側壁１０の外側に「第２の絶縁性サイドウォール」を設ける技術的な必要性も動機付けも全く存在していないものと思料致します。
また、仮に、引用文献１の図２３に開示されております半導体装置において、ゲート側壁１０の外側に「第２の絶縁性サイドウォール」を設けました場合、「第２の絶縁性サイドウォール」の下側にはソース・ドレイン領域７が形成された構成となります。言い換えますと、ゲート側壁１０の外側に設けた「第２の絶縁性サイドウォール」の下側にエクステンション領域が形成された構成にはなりません。従いまして、引用文献１の開示内容から、本願発明の主たる特徴の１つ「前記活性領域における前記第１の絶縁性サイドウォール及び前記第２の絶縁性サイドウォールのそれぞれの下側にエクステンション領域が形成されている」ことを当業者が想到しますことは困難であるものと思料致します。
ｂ）本願発明と引用文献２との相違点
引用文献２には、本願発明における第２の絶縁性サイドウォールに相当する構成が開示されておりませんので、引用文献２と本願発明とは相違しております。
これに対して、審査官殿は、本願の補正前の請求項２に対して『サイドウォールを複数層の構造とすること自体は周知技術に過ぎず、引用文献２に記載された発明において、サイドウォール１８の外側に「第２の絶縁性サイドウォール」を設けることは、当業者が適宜なし得た程度の事項に過ぎない。』と指摘されています。
しかしながら、引用文献２の図３２に開示されております半導体装置は、半導体基板１におけるゲート電極１３ｎの側方に形成されたエクステンション領域１７ｂと、半導体基板１におけるエクステンション領域１７ｂの外側に形成されたソース・ドレイン領域１９と、ソース・ドレイン領域１９におけるサイドウォール１８の側方領域上に形成されたシリサイド層２１ｂとを備えておりますが、このように完成された構造において、サイドウォール１８の外側に「第２の絶縁性サイドウォール」を設ける技術的な必要性も動機付けも全く存在していないものと思料致します。
また、仮に、引用文献２の図３２に開示されております半導体装置において、サイドウォール１８の外側に「第２の絶縁性サイドウォール」を設けました場合、「第２の絶縁性サイドウォール」の下側にはソース・ドレイン領域１９が形成された構成となります。言い換えますと、サイドウォール１８の外側に設けた「第２の絶縁性サイドウォール」の下側にエクステンション領域１７ｂが形成された構成にはなりません。従いまして、引用文献２の開示内容から、本願発明の主たる特徴の１つ「前記活性領域における前記第１の絶縁性サイドウォール及び前記第２の絶縁性サイドウォールのそれぞれの下側にエクステンション領域が形成されている」ことを当業者が想到しますことは困難であるものと思料致します。
ｃ）結論
以上のように、本願発明つまり請求項１に係る発明は、引用文献１及び２に記載された発明ではございませんから、特許法第２９条第１項第３号には該当いたしません。請求項１を引用しております請求項２～１０に係る発明についても同様であります。
また、引用文献１及び２のいずれも、「前記ゲート電極の側面に前記第１の絶縁性サイドウォールを介して形成された第２の絶縁性サイドウォールを有し、前記活性領域における前記第１の絶縁性サイドウォール及び前記第２の絶縁性サイドウォールのそれぞれの下側にエクステンション領域が形成されている」という本願発明の特徴を開示も示唆もしておりませんので、引用文献１及び２に記載された発明に基いて、当業者が本願発明に想到しますことは困難であるものと思料致します。従いまして、本願発明つまり請求項１に係る発明は、特許法第２９条第２項の規定に該当いたしません。請求項１を引用しておりま

す請求項２～１０に係る発明についても同様であります。

尚、審査官殿は、引用文献１及び２とは別に、補正前の請求項４に係る発明の特許性に関連する先行技術文献として、特開２００４-１７２１７８号公報（以下、先行文献１という）を挙げておられます。しかしながら、当該先行文献１に記載された半導体装置は、以下に述べます理由により、本願発明におけるエクステンション領域及びソース・ドレイン領域の一方に相当する構成を持たない点で、本願発明とは基本構成が大きく相違するものと思料致します。

すなわち、先行文献１に記載された半導体装置におきましては、図７（ｂ）に示されておりますように、例えばＮ型ＭＯＳＦＥＴ形成領域の基板４０におけるシリコン酸化物膜５７（本願発明の「第１の絶縁性サイドウォール」に相当）及び側壁シリコン窒化物膜５９（本願発明の「第２の絶縁性サイドウォール」に相当）のそれぞれの下側には、N^+ 型拡散層６７が形成されております。

しかしながら、このN^+ 型拡散層６７が本願発明における「エクステンション領域」に相当するものとした場合、先行文献１に記載された半導体装置においては、本願発明における「ソース・ドレイン領域」に相当する構成が、基板４０におけるN^+ 型拡散層６７の外側に形成されていないことになります。

一方、このN^+ 型拡散層６７が本願発明における「ソース・ドレイン領域」に相当するものとした場合、先行文献１に記載された半導体装置においては、本願発明における「エクステンション領域」に相当する構成が、基板４０におけるシリコン酸化物膜５７及び側壁シリコン窒化物膜５９のそれぞれの下側に形成されていないことになります。

以上のように、本願発明とはトランジスタの基本構成が大きく異なります先行文献１に基づいて、当業者が本願発明に想到しますことは困難であるものと思料致します。

３．結び

以上のとおり、本願に対する拒絶理由は全て解消したものと思料します。従いまして、同日提出の手続補正書をご採用の上、再度ご審査を賜り、本願について特許すべきものであるとの査定を賜りますようお願い申し上げます。

拒絶理由通知書

特許出願の番号	特願２００５−２２７４５７
起案日	平成２３年１２月　２日
特許庁審査官	▲辻▼　弘輔　　３２３９　４Ｌ００
特許出願人代理人	前田　弘（外１１名）　様
適用条文	第２９条第１項、第２９条第２項

＜＜＜＜　　最　　後　　＞＞＞＞

この出願は、次の理由によって拒絶をすべきものです。これについて意見がありましたら、この通知書の発送の日から６０日以内に意見書を提出してください。

理　由

１．この出願の下記の請求項に係る発明は、その出願前に日本国内又は外国において、頒布された下記の刊行物に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明であるから、特許法第２９条第１項第３号に該当し、特許を受けることができない。
２．この出願の下記の請求項に係る発明は、その出願前に日本国内又は外国において、頒布された下記の刊行物に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第２９条第２項の規定により特許を受けることができない。

記　　（引用文献等については引用文献等一覧参照）
＜請求項１、２、６～１０について＞
・理由　１、２
・引用文献等　１
・備考
引用文献１の全文、全図を参照。
請求項１、２、６～１０に係る発明は、引用文献１に記載された発明であるか、仮にそうでないとしても、引用文献１に記載された発明に基づいて当業者が容易に発明をすることができたものである。

＜請求項１、２、６～１０について＞

・理由　１、２
・引用文献等　２
・備考
　引用文献２の特に段落【００８８】、【００１３】、図３２、３３、及びそれらの関連箇所を参照。
　請求項１、２、６～１０に係る発明は、引用文献２に記載された発明であるか、仮にそうでないとしても、引用文献２に記載された発明に基づいて当業者が容易に発明をすることができたものである。

＜請求項５について＞
・理由　２
・引用文献等　１、２、３
・備考
　引用文献３の段落【００８４】には、ゲート絶縁膜の側壁を、ゲート側壁の外側面よりも内側に位置させることが記載されているから、この記載に基づき、引用文献１、２に記載された発明において、ゲート絶縁膜の側端部に「ノッチ」を設けることは、当業者が適宜なし得たことである。

＜請求項１、３、６～１０について＞
・理由　２
・引用文献等　４
・備考
　引用文献４の特に図７及びその関連箇所を参照。
　エクステンション領域をもつＭＩＳＦＥＴは周知技術であり、それを形成するために、ゲート電極をマスクにしてイオン注入する工程を行うことも周知である。
　よって、引用文献４の図４（ａ）の段階において、ゲート電極をマスクにしてエクステンション領域を形成するためのイオン注入を実施して、側壁５７及び側壁５９の下側にエクステンション領域を設けるようにすることは、当業者が容易になし得たことであり、その結果得られるＭＩＳＦＥＴは、請求項１、３と区別をつけることができない。
　したがって、請求項１、３に係る発明は、引用文献４に基づいて当業者が容易に発明をすることができたものである。
　請求項６～１０についても同様に、引用文献４に基づいて当業者が容易に発明をすることができたものである。

引　用　文　献　等　一　覧

１．特開２００３-２５８２４１号公報
２．特開２００４-２４１７５５号公報
３．特開２００５-０６４１９０号公報
４．特開２００４-１７２１７８号公報

＜拒絶の理由を発見しない請求項＞
　請求項４に係る発明については、現時点では、拒絶の理由を発見しない。拒絶の理由が新たに発見された場合には拒絶の理由が通知される。

＜補正をする際の注意＞
（１）明細書、特許請求の範囲について補正をする場合は、補正により記載を変更した個所に下線を引くこと（特許法施行規則様式第１３備考６、７）。
（２）補正は、この出願の出願当初の明細書、特許請求の範囲又は図面に記載した事項の範囲内で行わなければならない。さらに、特許請求の範囲について補正をする際には、請求項の削除、特許請求の範囲の限定的減縮、誤記の訂正又は明瞭でない記載の釈明（拒絶の理由に示す事項についてするものに限る）を目的とする補正に限られる。また、意見書で、各補正事項について補正が適法なものである理由を、根拠となる出願当初の明細書等の記載箇所を明確に示したうえで主張されたい。

最後の拒絶理由通知とする理由
　この拒絶理由通知は、最初の拒絶理由通知に対する応答時の補正によって通知することが必要になった拒絶理由のみを通知するものである。

　この拒絶理由通知の内容に関するお問い合わせがございましたら下記までご連絡下さい。
特許審査第三部　半導体集積回路
辻　弘輔
ＴＥＬ．０３（３５８１）１１０１　内線　３４９６
ＦＡＸ．０３（３５０１）０６７３

なお、問い合わせに際しては、下記ＵＲＬに掲載の『面接ガイドライン【特許審査編】』「５．電話ファクシミリ等による連絡」に沿って対応して下さい。
http://www.jpo.go.jp/shiryou/kijun/kijun2/pdf/mensetu_guide/tokkyo.pdf

UMC 1305
UMC v. AICP

部長／代理	審査長／代理	審査官	審査官補
	須原　宏光	▲辻▼　弘輔	
	９０５７	３２３９	

【書類名】　手続補正書
【整理番号】　P53042401
【あて先】　特許庁長官　殿
【事件の表示】
　【出願番号】　特願2005-227457
【補正をする者】
　【識別番号】　000005821
　【氏名又は名称】　パナソニック株式会社
【代理人】
　【識別番号】　110001427
　【氏名又は名称】　特許業務法人前田特許事務所
　【代表者】　前田　弘
　【電話番号】　06-6125-2255
【発送番号】　833248
【手続補正1】
　【補正対象書類名】　特許請求の範囲
　【補正対象項目名】　全文
　【補正方法】　変更
　【補正の内容】
　　【書類名】特許請求の範囲
　　【請求項１】
基板の活性領域上に形成された高誘電率ゲート絶縁膜と、
前記高誘電率ゲート絶縁膜上に形成されたゲート電極と、
前記ゲート電極の側面に形成された絶縁性サイドウォールとを備え、
前記高誘電率ゲート絶縁膜は前記ゲート電極の下側から前記絶縁性サイドウォールの下側まで連続的に形成されており、
前記絶縁性サイドウォールは、前記ゲート電極の側面に形成された第１の絶縁性サイドウォールと、前記ゲート電極の側面に前記第１の絶縁性サイドウォールを介して形成された第２の絶縁性サイドウォールとからなり、
前記高誘電率ゲート絶縁膜は前記ゲート電極の下側から前記第１の絶縁性サイドウォールの下側まで連続的に形成されており、
前記高誘電率ゲート絶縁膜における前記第１の絶縁性サイドウォールの下側領域の厚さは、前記高誘電率ゲート絶縁膜における前記ゲート電極の下側領域の厚さよりも小さく、
前記活性領域における前記第１の絶縁性サイドウォール及び前記第２の絶縁性サイドウォールのそれぞれの下側にエクステンション領域が形成されており、
前記活性領域における前記ゲート電極からみて前記エクステンション領域の外側にソース・ドレイン領域が形成されており、
前記高誘電率ゲート絶縁膜は前記ゲート電極の下側から前記第２の絶縁性サイドウォールの下側まで連続的に形成されており、
前記高誘電率ゲート絶縁膜における前記第２の絶縁性サイドウォールの下側領域の厚さは、前記高誘電率ゲート絶縁膜における前記第１の絶縁性サイドウォールの下側領域の厚さよりも小さいことを特徴とする半導体装置。
　　【請求項２】
請求項１に記載の半導体装置において、
前記高誘電率ゲート絶縁膜の側端部にノッチが設けられていることを特徴とする半導体装置。
　　【請求項３】
請求項１又は２に記載の半導体装置において、
前記基板と前記高誘電率ゲート絶縁膜との間にバッファー絶縁膜が設けられていることを特徴とする半導体装置。

【請求項４】

請求項３に記載の半導体装置において、

前記バッファー絶縁膜はシリコン酸化膜又はシリコン酸窒化膜であることを特徴とする半導体装置。

【請求項５】

請求項１～４のいずれか１項に記載の半導体装置において、

前記ゲート電極は、全領域がシリサイド化されたフルシリサイドゲート電極であることを特徴とする半導体装置。

【請求項６】

請求項１～５のいずれか１項に記載の半導体装置において、

前記高誘電率ゲート絶縁膜における前記第１の絶縁性サイドウォールの下側領域の厚さは、２ｎｍ以下であることを特徴とする半導体装置。

【請求項７】

請求項１～６のいずれか１項に記載の半導体装置において、

前記高誘電率ゲート絶縁膜は、Ｈｆ系酸化物からなることを特徴とする半導体装置。

【書類名】　意見書
【整理番号】　P53042401
【あて先】　特許庁審査官　▲辻▼　弘輔　殿
【事件の表示】
　【出願番号】　特願2005-227457
【特許出願人】
　【識別番号】　000005821
　【氏名又は名称】　パナソニック株式会社
【代理人】
　【識別番号】　110001427
　【氏名又は名称】　特許業務法人前田特許事務所
　【代表者】　前田　弘
　【電話番号】　06-6125-2255
【発送番号】　833248
【意見の内容】
１．拒絶理由の内容
　本願に対し、平成２３年１２月６日（発送日）付けにて、以下のような拒絶理由通知がありました。
（理由１）この出願の請求項１、２、６～１０に係る発明は、特開２００３-２５８２４１号公報及び特開２００４-２４１７５５号公報に記載された発明であるから、特許法第２９条第１項第３号に該当し、特許を受けることができない。
（理由２）この出願の請求項１～３、５～１０に係る発明は、引用文献１、引用文献２、特開２００５-０６４１９０号公報及び特開２００４-１７２１７８号公報に記載された発明に基いて、当業者が容易に発明をすることができたものであるから、特許法第２９条第２項の規定により特許を受けることができない。

２．本願発明が特許されるべき理由
（１）補正の内容
　本願出願人は、本意見書と同日付の手続補正書により、以下の補正を行いました。
　ａ）請求項１に元の請求項４の内容を付加する補正をしました。
　ｂ）元の請求項２～４を削除しました。
　ｃ）元の請求項５～１０を請求項２～７に繰り上げる形式的な補正をしました。
（２）拒絶理由１及び２が解消する理由
　今般、本件出願人は、同時提出の手続補正書により、請求項１に元の請求項４の内容を付加して、その要旨を明確にする補正を行いますと共に、元の請求項２～４を削除しました。これにより、本願発明は、当業者が容易に想到できる発明ではなくなったものと思料いたします。
　すなわち、審査官殿は、拒絶理由通知書におきまして、請求項（元の請求項）４に係る発明については拒絶の理由を発見しないと述べておられます。このため、元の請求項４の内容が付加された補正後の請求項１に係る発明は、特許法第２９条第１項第３号及び特許法第２９条第２項の規定には該当しないものと思料いたします。また、補正後の請求項２～７は、補正後の請求項１の従属項でありますから、補正後の請求項１に係る発明が特許法第２９条第１項第３号及び特許法第２９条第２項の規定に該当しない以上、補正後の請求項２～７に係る発明も、特許法第２９条第１項第３号及び特許法第２９条第２項の規定には該当しないものと思料いたします。

３．結び
　以上のとおり、本願に対する拒絶理由は全て解消したものと思料いたします。従いまして、同日提出の手続補正書をご採用の上、再度ご審査を賜り、本願について特許すべきものであるとの査定を賜りますようお願い申し上げます。

CERTIFICATE OF TRANSLATION ACCURACY

April 3, 2025

I, the undersigned, Steve Ni, hereby certify:

I am a professional translator. I work as an independent contractor. I was contracted by Divergent Language Solutions, LLC to provide document translation from Japanese into English for this matter.

I am fluent in both Japanese and English. My qualifications include 15 years of full-time professional translation experience from Japanese into English.

I am familiar and competent with both the Japanese and English languages.

I received and reviewed the Japanese-language document "JP2005064190A" and provided an English-language translation. The Japanese-language and English-language versions of "JP2005064190A" are submitted as TSMC-1040.

I also received and reviewed the following Japanese-language documents and provided English-language translations:

- Hirase_JP_asfiled_claims.pdf;
- Hirase_JP_Notice of Refusal Dec 2011.pdf;
- Hirase_JP_Notice of Refusal Sept 2011.pdf;
- Hirase_JP_Written Amendment_Nov 2011.pdf;
- Hirase_JP_Written Opinion Nov 2011.pdf;
- Hirase_JP_Written_Amendment_Jan 2012.pdf;
- Hirase_JP_Written_Opinion_Jan 2012.pdf

The Japanese-language and English-language versions of these documents are submitted as TSMC-1005.

I hereby attest that the above-referenced English translations are complete and accurate renditions of the Japanese originals to the best of my knowledge and belief.

UMC 1305
UMC v. AICP

I declare under penalty of perjury under the laws of the United States of America that the foregoing is true and correct. Executed on April 3, 2025.

Steve Ni

UMC 1305
UMC v. AICP