【書類名】　出願審査請求書
【整理番号】　2926460258
【提出日】　平成16年10月19日
【あて先】　特許庁長官　殿
【出願の表示】
　【出願番号】　特願2004-304019
【請求項の数】　30
【請求人】
　【識別番号】　000005821
　【氏名又は名称】　松下電器産業株式会社
【代理人】
　【識別番号】　100077931
　【弁理士】
　【氏名又は名称】　前田　弘
【手数料の表示】
　【予納台帳番号】　014409
　【納付金額】　288,600円

【書類名】　特許願
【整理番号】　2926460258
【提出日】　平成16年10月19日
【あて先】　特許庁長官　殿
【国際特許分類】　H01L 21/768
H01L 21/312
H01L 21/314
【発明者】
【住所又は居所】　（省略）
【氏名】　原田　剛史
【特許出願人】
【識別番号】　000005821
【氏名又は名称】　松下電器産業株式会社
【代理人】
【識別番号】　100077931
【弁理士】
【氏名又は名称】　前田　弘
【選任した代理人】
【識別番号】　100094134
【弁理士】
【氏名又は名称】　小山　廣毅
【電話番号】　06-6125-2255
【連絡先】　担当
【選任した代理人】
【識別番号】　100110939
【弁理士】
【氏名又は名称】　竹内　宏
【選任した代理人】
【識別番号】　100110940
【弁理士】
【氏名又は名称】　嶋田　高久
【選任した代理人】
【識別番号】　100113262
【弁理士】
【氏名又は名称】　竹内　祐二
【選任した代理人】
【識別番号】　100115059
【弁理士】
【氏名又は名称】　今江　克実
【選任した代理人】
【識別番号】　100115691
【弁理士】
【氏名又は名称】　藤田　篤史
【選任した代理人】
【識別番号】　100117581
【弁理士】
【氏名又は名称】　二宮　克也

【選任した代理人】
　【識別番号】　100117710
　【弁理士】
　【氏名又は名称】　原田　智雄
【選任した代理人】
　【識別番号】　100121728
　【弁理士】
　【氏名又は名称】　井関　勝守
【先の出願に基づく優先権主張】
　【出願番号】　特願2003-404437
　【出願日】　平成15年12月 3日
【手数料の表示】
　【予納台帳番号】　014409
　【納付金額】　16,000円
【提出物件の目録】
　【物件名】　特許請求の範囲　1
　【物件名】　明細書　1
　【物件名】　図面　1
　【物件名】　要約書　1
　【包括委任状番号】　0217869

【書類名】特許請求の範囲
【請求項１】
　下層配線と上層配線との間に第１の絶縁膜が設けられ、且つ前記下層配線と前記上層配線とが前記第１の絶縁膜中に形成されたビアを介して接続されている配線構造であって、
　前記上層配線における前記ビアの接続部分の近傍に少なくとも１つのダミービアが接続されており、
　前記下層配線は、前記第１の絶縁膜の下側の第２の絶縁膜中に形成されており、
　前記ダミービアの底部は前記第２の絶縁膜中に形成されていることを特徴とする配線構造。
【請求項２】
　前記ダミービアは、その頂部が前記上層配線と接続されるように前記第１の絶縁膜中に形成されていることを特徴とする請求項１に記載の配線構造。
【請求項３】
　前記ダミービアの底部は、前記第２の絶縁膜中に形成されたダミー配線と接続されていることを特徴とする請求項１に記載の配線構造。
【請求項４】
　前記上層配線の上に第３の絶縁膜が形成されており、
　前記ダミービアは、その底部が前記上層配線と接続されるように前記第３の絶縁膜中に形成されていることを特徴とする請求項１に記載の配線構造。
【請求項５】
　前記ダミービアの直径は前記ビアの直径よりも小さいことを特徴とする請求項１～４のいずれか１項に記載の配線構造。
【請求項６】
　前記ダミービアの平面形状は方形であり、
　前記ダミービアの平面形状における長辺方向が前記上層配線の短辺方向と同じであることを特徴とする請求項１～４のいずれか１項に記載の配線構造。
【請求項７】
　前記ビアの平面形状は円形であり、
　前記ダミービアは、前記ビアとは異なる平面形状を有することを特徴とする請求項１～４のいずれか１項に記載の配線構造。
【請求項８】
　前記ダミービアは前記ビアよりも前記上層配線の中央に近い位置に設けられていることを特徴とする請求項１～４のいずれか１項に記載の配線構造。
【請求項９】
　前記ビアと前記ダミービアとの間隔は１μｍ以下であることを特徴とする請求項１～８のいずれか１項に記載の配線構造。
【請求項１０】
　下層配線と上層配線との間に第１の絶縁膜が設けられ、且つ前記下層配線と前記上層配線とが前記第１の絶縁膜中に形成されたビアを介して接続されている配線構造であって、
　前記上層配線の内部における前記ビアの接続部分の近傍に少なくとも１つの絶縁性スリットが形成されていることを特徴とする配線構造。
【請求項１１】
　前記絶縁性スリットは、前記上層配線における前記ビアの接続部分と接するように形成されていることを特徴とする請求項１０に記載の配線構造。
【請求項１２】
　前記絶縁性スリットの平面形状は方形であり、
　前記絶縁性スリットの平面形状における長辺は、前記ビアの直径の２倍以上で且つ４倍以下の長さを持ち、
　前記絶縁性スリットの平面形状における長辺側が、前記上層配線における前記ビアの接続部分と接していることを特徴とする請求項１１に記載の配線構造。

【請求項１３】
　前記絶縁性スリットの平面形状は方形であり、
　前記絶縁性スリットの平面形状における長辺は、前記ビアの直径の２倍以上で且つ１０倍以下の長さを持ち、
　前記絶縁性スリットの平面形状における長辺方向が前記上層配線の短辺方向と同じであり、
　前記絶縁性スリットは前記ビアよりも前記上層配線の中央に近い位置に設けられていることを特徴とする請求項１０に記載の配線構造。
【請求項１４】
　前記ビアと前記絶縁性スリットとの間隔は１μｍ以下であることを特徴とする請求項１０に記載の配線構造。
【請求項１５】
　下層配線と上層配線との間に第１の絶縁膜が設けられ、且つ前記下層配線と前記上層配線とが前記第１の絶縁膜中に形成されたビアを介して接続されている配線構造であって、
　前記上層配線は、配線幅が相対的に太い第１の配線部分と、配線幅が相対的に細い第２の配線部分とに枝分かれしており、
　前記ビアは前記第２の配線部分に接続されており、
　前記第１の配線部分と前記第２の配線部分との分岐点近傍の前記第１の絶縁膜に、前記上層配線と接続する少なくとも１つのダミー部が配置されていることを特徴とする配線構造。
【請求項１６】
　前記ダミー部は前記分岐点近傍の前記第２の配線部分に接続されていることを特徴とする請求項１５に記載の配線構造。
【請求項１７】
　前記ダミー部は前記分岐点近傍の前記第１の配線部分に接続されていることを特徴とする請求項１５に記載の配線構造。
【請求項１８】
　前記ダミー部の平面形状は前記ビアと同様の形状又は方形状であることを特徴とする請求項１５に記載の配線構造。
【請求項１９】
　前記第２の配線部分の配線幅が０．２０μｍ以下であることを特徴とする請求項１５に記載の配線構造。
【請求項２０】
　下層配線上に第１の絶縁膜を堆積する工程と、
　前記第１の絶縁膜に、前記下層配線に達するビアホールと、前記ビアホールの近傍に位置する少なくとも１つのダミーホールと、前記ビアホール及び前記ダミーホールのそれぞれの開口部と接続する上層配線溝とを形成する工程と、
　前記上層配線溝、前記ビアホール及び前記ダミーホールに導電材料を埋め込むことによって、上層配線と、前記下層配線と前記上層配線とを接続するビアと、前記上層配線と接続され且つ前記下層配線とは接続されないダミービアとを形成する工程とを備え、
　前記下層配線は、前記第１の絶縁膜の下側の第２の絶縁膜中に形成されており、
　前記ダミーホールは、その底部が前記第２の絶縁膜中に位置するように形成されていることを特徴とする配線構造の製造方法。
【請求項２１】
　下層配線上に第１の絶縁膜を堆積する工程と、
　前記第１の絶縁膜に、前記下層配線に達するビアホールと、前記ビアホールの開口部と接続する上層配線溝とを形成する工程と、
　前記上層配線溝及び前記ビアホールに導電材料を埋め込むことによって、上層配線と、前記下層配線と前記上層配線とを接続するビアとを形成する工程と、
　前記上層配線上に第２の絶縁膜を堆積する工程と、

前記第２の絶縁膜に、前記上層配線に達し且つ前記ビアの近傍に位置するダミーホールを形成する工程と、
前記ダミーホールに他の導電材料を埋め込むことによって、少なくとも１つのダミービアを形成する工程とを備えていることを特徴とする配線構造の製造方法。
【請求項２２】
前記ビアホールと前記ダミーホールとの間隔は１μｍ以下であることを特徴とする請求項２０又は２１に記載の配線構造の製造方法。
【請求項２３】
下層配線上に第１の絶縁膜を堆積する工程と、
前記第１の絶縁膜に、前記下層配線に達するビアホールと、前記ビアホールの開口部と接続する上層配線溝とを形成する工程と、
前記上層配線溝及び前記ビアホールに導電材料を埋め込むことによって、上層配線と、前記下層配線と前記上層配線とを接続するビアとを形成する工程とを備え、
前記ビアホール及び前記上層配線溝を形成する工程は、前記上層配線溝における前記ビアホールの接続部分の近傍に前記第１の絶縁膜の一部分を残存させ、それによって絶縁性スリットを設ける工程を含むことを特徴とする配線構造の製造方法。
【請求項２４】
前記絶縁性スリットは、前記上層配線における前記ビアの接続部分と接するように設けられることを特徴とする請求項２３に記載の配線構造の製造方法。
【請求項２５】
前記絶縁性スリットの平面形状は方形であり、
前記絶縁性スリットの平面形状における長辺は、前記ビアホールの直径の２倍以上で且つ４倍以下の長さを持ち、
前記絶縁性スリットの平面形状における長辺側が、前記上層配線における前記ビアの接続部分と接していることを特徴とする請求項２４に記載の配線構造の製造方法。
【請求項２６】
前記絶縁性スリットの平面形状は方形であり、
前記絶縁性スリットの平面形状における長辺は、前記ビアホールの直径の２倍以上で且つ１０倍以下の長さを持ち、
前記絶縁性スリットの平面形状における長辺方向が前記上層配線の短辺方向と同じであり、
前記絶縁性スリットは前記ビアよりも前記上層配線の中央に近い位置に設けられていることを特徴とする請求項２３に記載の配線構造の製造方法。
【請求項２７】
下層配線上に第１の絶縁膜を堆積する工程と、
前記第１の絶縁膜に、前記下層配線に達するビアホールと、前記ビアホールの開口部と接続し且つ幅が相対的に太い第１の溝と幅が相対的に細い第２の溝とに枝分かれした上層配線溝と、前記第１の溝と前記第２の溝との分岐点近傍に配置された凹部とを形成する工程と、
前記上層配線溝、前記ビアホール及び前記凹部に導電材料を埋め込むことによって、上層配線と、前記下層配線と前記上層配線とを接続するビアと、前記上層配線と接続され且つ前記下層配線とは接続されないダミー部とを形成する工程とを備えていることを特徴とする配線構造の製造方法。
【請求項２８】
前記ダミー部は前記分岐点近傍の前記第１の配線部分又は前記第２の配線部分に接続されることを特徴とする請求項２７に記載の配線構造の製造方法。
【請求項２９】
前記ダミー部の平面形状は前記ビアと同様の形状又は方形状であることを特徴とする請求項２７に記載の配線構造の製造方法。
【請求項３０】

前記第２の配線部分の配線幅が０．２０μｍ以下であることを特徴とする請求項２７に記載の配線構造の製造方法。

検索報告書

書誌事項

登録調査機関名	財団法人工業所有権協力センター
登録調査機関コード	001

指導者名	飛鳥井　春雄	指導者コード	L059
検索者名	山路　哲男	検索者コード	K744
レコード種別	161		
テーマコード	5F033		
特許出願の番号	特願2004-304019		
外注管理番号	2006189830		
納品種別	2	１：納品型　２：対話型（内国）　３：対話型（外国）	
対話実施日	2007年 1月26日		
初期評価指定	1	１：通常　２：初期評価	
検索日	2007年 1月10日		
検索報告書作成日	2007年 1月10日		
まとめ種別	無し		

１．本願発明の特徴

【本願発明の特徴を表す図面番号】：2　　図

<<本願発明の特徴>>

本願【特許請求の範囲】参照

２．検索論理式

年月範囲：　　年　月　日～2003年12月 3日

【No.】	【クレームNo.】	【テーマコード】	【検索論理式】	【件数】
1	1-30	5F033	JJ00*$VV01 ＊（２次[ダミービア+ダミーホール+擬似ビア+擬似ホール]+全文[ダミービア+ダミーホール+擬似ビア+擬似ホール]）	21
2		5F033	JJ00*MM22 -\1	85
3		5F033	JJ00*[??ダミービア+??ダミーホール+??擬似ビア+??擬似ホール+(ダミービア+ダミーホール+擬似ビア+擬似ホール)/TX] -\1,2	13

スクリーニング件数合計： 119

３．スクリーニングサーチの結果（提示文献毎の表示）

【No.】	【提示文献の種類】	【対話型追加文献の種別】	【提示文献】	【代表カテゴリ】	【式No.】
1	特許文献		特開２００３-１９７６２３号公報	X	1
2	特許文献		特開２００２-０３３３８４号公報	X	2
3	特許文献		特開２０００-０１２６８８号公報	Y	1
4	特許文献		特開２００４-２７３５２３号公報	EX	2
5	特許文献		特開２００４-３２７６６６号公報	EA	

【提示文献数】：　5

４．スクリーニングサーチの結果（クレーム別形式）

【クレームNo.】	【文献No.】	【カテゴリー】	【関連個所】	【本願発明との対比相違点及び発見できなかった構成について】
1	1	X	p4,5,6	A1 A2 A3 A4○ ○ ○ ○
	3	Y	p3	A1 A2 A3 A4 ”第１、第２絶縁膜”は同一△ ○ △ ×
2	1	X	p4,5	A5○
3	1	X	p6	A6○
4	1	X	p7,9	A7○
5	3	Y	p3	A8○
6,7,8				なし
9	1	X	p4	A12○
10	2	X	p3	B1 B2○ ○
	4	EA	p8,9	B1 B2 ”スリット”は下層配線に設ける○ △
	5	EA	p5,6	B1 B2 ”スリット”は下層配線に設ける○ △
11	2	X	p3	B3○
12,13,14				なし
15	4	EX	p10	C1 C2 C3 C4○ ○ ○ ○
16,17	4	EX	p10	C5 C6○ ○
18,19				なし
20	1	X	p8,9,10	D1 D2 D3 D4 D5 ”底部”は第２絶縁膜に接している○ ○ ○ ○ △
21	1	Y	p8,9,10,11	E1 E2 E3 E4 E5 E6 下層配線に達していない○ ○ ○ ○ △ △ ”他の導電材料”ではない
22	1	X	p8,9,10,11	E7○
23	2	X	p3	F1 F2 F3 F4○ ○ ○ ○
	5	EX	p6	F1 F2 F3 F4○ ○ ○ ○
24	2	X	p3	F5○
25	2	X	p3	F6 F7 F8○ × ○
26				なし
27				なし
28,29,30				なし

５．備考（検索者用）

拒絶理由通知書

特許出願の番号	特願２００４-３０４０１９
起案日	平成１９年　１月３０日
特許庁審査官	小野田　誠　　８４２７　４Ｌ００
特許出願人代理人	前田　弘（外　９名）　様
適用条文	第２９条第１項、第２９条第２項、第３６条

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から６０日以内に意見書を提出して下さい。

理　由

１．この出願の下記の請求項に係る発明は、その出願前に日本国内において、頒布された下記の刊行物に記載された発明であるから、特許法第２９条第１項第３号に該当し、特許を受けることができない。
２．この出願の下記の請求項に係る発明は、その出願前に日本国内において、頒布された下記の刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第２９条第２項の規定により特許を受けることができない。
３．この出願は、特許請求の範囲の記載が下記の点で、特許法第３６条第６項第２号に規定する要件を満たしていない。

記　　（引用文献等については引用文献等一覧参照）

新規性・進歩性について

【請求項１０】、【請求項１１】、【請求項２３】、【請求項２４】
・理由　　１、　２
・引用文献　　１
・備考
引用文献１：例えば、図５～図８及び関連する記載を参照

【請求項１２】～【請求項１４】、【請求項２５】、【請求項２６】
・理由　　２
・引用文献　　１
・備考
当該請求項における限定事項は、引用文献１に記載されたものに基づき、当業

者が必要に応じて、適宜なし得る、単なる設計的事項に過ぎない。

記載不備について

【請求項３】
・理由　　３
・備考
　当該請求項における限定事項は、当該請求項が引用する【請求項１】における「前記下層配線は、前記第１の絶縁膜の下側の第２の絶縁膜中に形成されており、前記ダミービアの底部は前記第２の絶縁膜中に形成されている」点と矛盾している。
　なお、当該請求項を引用する請求項についても同様である。

【請求項４】
・理由　　３
・備考
　当該請求項における限定事項は、当該請求項が引用する【請求項１】における「前記下層配線は、前記第１の絶縁膜の下側の第２の絶縁膜中に形成されており、前記ダミービアの底部は前記第２の絶縁膜中に形成されている」点と矛盾している。
　なお、当該請求項を引用する請求項についても同様である。

＜拒絶の理由を発見しない請求項＞
　請求項２、１５～２２、２７～３０に係る発明については、現時点では、拒絶の理由を発見しない。拒絶の理由が新たに発見された場合には拒絶の理由が通知される。

引　用　文　献　等　一　覧

１.特開２００２-０３３３８４号公報

先行技術文献調査結果の記録

・調査した分野　　ＩＰＣ　Ｈ０１Ｌ２１／３２０５
　　Ｈ０１Ｌ２１／７６８
　　Ｈ０１Ｌ２１／８２２
　　Ｈ０１Ｌ２７／０４

ＤＢ名

・先行技術文献

この先行技術文献調査結果の記録は拒絶理由を構成するものではありません。

部長／代理	審査長／代理	審査官	審査官補
	河口　雅英	小野田　誠	
	８４２１	８４２７	

【書類名】　手続補正書
【整理番号】　2926460258
【提出日】　平成19年 4月 4日
【あて先】　特許庁長官殿
【事件の表示】
　【出願番号】　特願2004-304019
【補正をする者】
　【識別番号】　000005821
　【氏名又は名称】　松下電器産業株式会社
【代理人】
　【識別番号】　100077931
　【弁理士】
　【氏名又は名称】　前田　弘
【発送番号】　047674
【補正により増加する請求項の数】　12
【手続補正1】
　【補正対象書類名】　特許請求の範囲
　【補正対象項目名】　全文
　【補正方法】　変更
　【補正の内容】
　　【書類名】特許請求の範囲
　　【請求項１】
　半導体基板と、
　前記半導体基板上に形成された第１の配線と、
　前記第１の配線上に形成された第１の絶縁膜と、
　前記第１の絶縁膜上に形成された第２の配線と、
　前記第１の絶縁膜を貫通し、前記第１の配線と前記第２の配線とを接続するビアと、
　前記第２の配線に接続されたダミービアとを備えていることを特徴とする半導体装置。
　　【請求項２】
　前記半導体基板上に形成された第２の絶縁膜をさらに備え、
　前記第１の配線は、前記第２の絶縁膜上に形成されており、
　前記ダミービアは、前記第２の絶縁膜上に形成された第１のダミー配線と接続されていることを特徴とする請求項１に記載の半導体装置。
　　【請求項３】
　前記第１のダミー配線の幅は前記第２の配線の幅よりも小さいことを特徴とする請求項２に記載の半導体装置。
　　【請求項４】
　前記第１のダミー配線の幅と前記第１の配線の幅とは実質的に等しいことを特徴とする請求項２又は３に記載の半導体装置。
　　【請求項５】
　前記ダミービアの底面は前記ビアの底面よりも下側に位置することを特徴とする請求項１に記載の半導体装置。
　　【請求項６】
　前記半導体基板上に形成された第２の絶縁膜をさらに備え、
　前記第１の配線は、前記第２の絶縁膜上に形成されており、
　前記ダミービアの底部は前記第２の絶縁膜中に位置することを特徴とする請求項５に記載の半導体装置。
　　【請求項７】
　前記第２の配線と前記ビアとはデュアルダマシン構造を構成することを特徴とする請求項１～６のいずれか１項に記載の半導体装置。

【請求項８】
前記第２の配線と前記ダミービアとはデュアルダマシン構造を構成することを特徴とする請求項１～７のいずれか１項に記載の半導体装置。
【請求項９】
前記ダミービアは第２の配線の上面に接続されていることを特徴とする請求項１に記載の半導体装置。
【請求項１０】
前記ダミービアは、前記第２の配線上に形成された第３の絶縁膜中に形成されていることを特徴とする請求項９に記載の半導体装置。
【請求項１１】
前記第３の絶縁膜は、ＳｉＮ膜とSiO_2膜とを含む積層構造を有することを特徴とする請求項１０に記載の半導体装置。
【請求項１２】
前記ダミービアは第２のバリア膜と第２の導電膜とからなることを特徴とする請求項９～１１のいずれか１項に記載の半導体装置。
【請求項１３】
前記第２の導電膜は銅を含むことを特徴とする請求項１２に記載の半導体装置。
【請求項１４】
前記ダミービア上に、前記ダミービアの頂部と接するように第２のダミー配線が設けられていることを特徴とする請求項９～１３のいずれか１項に記載の半導体装置。
【請求項１５】
前記第１の絶縁膜は、ＳｉＮ膜とSiO_2膜とを含む積層構造を有することを特徴とする請求項１～１４のいずれか１項に記載の半導体装置。
【請求項１６】
前記第１の配線は、第１のバリア膜と第１の導電膜とからなることを特徴とする請求項１～１５のいずれか１項に記載の半導体装置。
【請求項１７】
前記第１の導電膜は銅を含むことを特徴とする請求項１６に記載の半導体装置。
【請求項１８】
前記第１の配線及び前記第２の配線はそれぞれ、他の素子又は外部電極に接続されていることを特徴とする請求項１～１７のいずれか１項に記載の半導体装置。
【請求項１９】
前記第１の配線、前記第２の配線及び前記ビアはそれぞれ閉回路の一部を構成し、
前記ダミービアは閉回路を構成しないことを特徴とする請求項１～１８のいずれか１項に記載の半導体装置。
【請求項２０】
前記第１の配線の幅は前記第２の配線の幅よりも小さいことを特徴とする請求項１～１９のいずれか１項に記載の半導体装置。
【請求項２１】
前記ビア及び前記ダミービアの平面形状は実質的に円形であることを特徴とする請求項１～２０のいずれか１項に記載の半導体装置。
【請求項２２】
前記ビアの直径と前記ダミービアの直径とは実質的に等しいことを特徴とする請求項２１に記載の半導体装置。
【請求項２３】
前記ダミービアの直径は前記ビアの直径よりも小さいことを特徴とする請求項２１に記載の半導体装置。
【請求項２４】
前記ビア及び前記ダミービアの平面形状は実質的に正方形であることを特徴とする請求項１～２０のいずれか１項に記載の半導体装置。

【請求項２５】
前記ビアの一辺の長さと前記ダミービアの一辺の長さとは実質的に等しいことを特徴とする請求項２４に記載の半導体装置。
【請求項２６】
前記ダミービアの一辺の長さは、前記ビアの一辺の長さよりも小さいことを特徴とする請求項２４に記載の半導体装置。
【請求項２７】
前記ダミービアの平面形状は実質的に長方形であることを特徴とする請求項１～２０のいずれか１項に記載の半導体装置。
【請求項２８】
前記ダミービアの平面形状における長辺方向は前記第２の配線の短辺方向と同じであることを特徴とする請求項２７に記載の半導体装置。
【請求項２９】
前記ビアと前記ダミービアとの間隔は２５μｍ以下であることを特徴とする請求項１～２８のいずれか１項に記載の半導体装置。
【請求項３０】
前記ビアと前記ダミービアとの間隔は１μｍ以下であることを特徴とする請求項２９に記載の半導体装置。
【請求項３１】
前記ビアと前記ダミービアとの間隔は最小配線幅と実質的に等しいことを特徴とする請求項１～２８のいずれか１項に記載の半導体装置。
【請求項３２】
前記ダミービアは複数設けられていることを特徴とする請求項１～３１のいずれか１項に記載の半導体装置。
【請求項３３】
前記ビアと前記第２の配線の一端との距離は、前記ダミービアと当該一端との距離よりも短く、且つ前記ビアと前記第２の配線の他端との距離よりも短いことを特徴とする請求項１～３２のいずれか１項に記載の半導体装置。
【請求項３４】
前記第２の配線は、第１の配線部分と、前記第１の配線部分よりも配線幅が狭く且つ前記第１の配線部分から分岐した第２の配線部分とからなり、
前記ビアは前記第２の配線部分に接続されていることを特徴とする請求項１～３３のいずれか１項に記載の半導体装置。
【請求項３５】
前記ダミービアは、前記第１の配線部分と前記第２の配線部分との分岐点又は当該分岐点の近傍に形成されていることを特徴とする請求項３４に記載の半導体装置。
【請求項３６】
前記第２の配線部分の幅は０．２μｍ以下であることを特徴とする請求項３４又は３５に記載の半導体装置。
【請求項３７】
前記ダミービアの平面形状は実質的に方形であり、
前記ダミービアの長辺方向と前記第１の配線部分の長辺方向とが同じであることを特徴とする請求項３４～３６のいずれか１項に記載の半導体装置。
【請求項３８】
半導体基板上に第１の配線を形成する工程（ａ）と、
前記第１の配線上に第１の絶縁膜を形成する工程（ｂ）と、
前記第１の絶縁膜に、前記第１の配線と接続するビアホールと、前記第１の配線とは接続しないダミーホールと、前記ビアホール及び前記ダミーホールと接続する配線溝とを形成する工程（ｃ）と、
前記ビアホールと前記ダミーホールと前記配線溝とに導電材料を埋め込み、それによっ

てビアとダミービアと第２の配線とを形成する工程（ｄ）とを備えていることを特徴とする半導体装置の製造方法。

【請求項３９】

前記工程（ａ）において、前記半導体基板上に第１のダミー配線を同時に形成し、

前記工程（ｃ）において、前記ダミーホールを前記第１のダミー配線と接続させることを特徴とする請求項３８に記載の半導体装置の製造方法。

【請求項４０】

半導体基板上に第１の配線を形成する工程（ａ）と、

前記第１の配線上に第１の絶縁膜を形成する工程（ｂ）と、

前記第１の絶縁膜に、前記第１の配線と接続するビアホールと、前記ビアホールと接続する配線溝とを形成する工程（ｃ）と、

前記ビアホールと前記配線溝とに導電材料を埋め込み、それによってビアと第２の配線とを形成する工程（ｄ）と、

前記第２の配線上に第２の絶縁膜を形成する工程（ｅ）と、

前記第２の絶縁膜に、前記第２の配線と接続するダミーホールを形成する工程（ｆ）と、

前記ダミーホールに導電材料を埋め込み、それによってダミービアを形成する工程（ｇ）とを備えていることを特徴とする半導体装置の製造方法。

【請求項４１】

前記工程（ｃ）において、前記配線溝は、第１の配線溝部分と、前記第１の配線溝部分よりも幅が狭く且つ前記第１の配線溝部分から分岐した第２の配線溝部分とからなると共に、前記ビアホールと前記第２の配線溝部分とが接続していることを特徴とする請求項３８～４０のいずれか１項に記載の半導体装置の製造方法。

【請求項４２】

前記工程（ｃ）において、前記ダミーホールは、前記第１の配線溝部分と前記第２の配線溝部分との分岐点又は当該分岐点の近傍に位置する前記配線溝と接続していることを特徴とする請求項４１に記載の半導体装置の製造方法。

【手続補正2】

【補正対象書類名】　明細書

【補正対象項目名】　発明の名称

【補正方法】　変更

【補正の内容】

【発明の名称】半導体装置及びその製造方法

【手数料の表示】

【予納台帳番号】　014409

【納付金額】　48,000円

【書類名】　意見書
【整理番号】　2926460258
【提出日】　平成19年 4月 4日
【あて先】　特許庁審査官　小野田　誠　殿
【事件の表示】
　【出願番号】　特願2004-304019
【特許出願人】
　【識別番号】　000005821
　【氏名又は名称】　松下電器産業株式会社
【代理人】
　【識別番号】　100077931
　【弁理士】
　【氏名又は名称】　前田　弘
【発送番号】　047674
【意見の内容】
（１）拒絶理由の要点
　本願に対し、平成１９年２月６日（発送日）付けにて、
　請求項１０，１１，２３，２４に係る発明は、特開２００２−０３３３８４号公報（以下、引用文献１という）に記載された発明であるから、特許法第２９条第１項第３号に該当し、特許を受けることができない旨（以下、拒絶理由１という）、
　請求項１０−１４，２３−２６に係る発明は、引用文献１に記載された発明に基いて、その出願前に当業者が容易に発明をすることができたものであるから、特許法第２９条第２項の規定により特許を受けることができない旨（以下、拒絶理由２という）、並びに
　請求項３，４及びこれらの請求項を引用する請求項（請求項５−９）に係る発明は、当該請求項が引用する請求項１と矛盾しており、特許法第３６条第６項第２号に規定する要件を満たしていない旨（以下、拒絶理由３という）の拒絶理由通知がございました。
（２）本願発明が特許されるべき理由
　上記拒絶理由に対し、本願出願人は、別途提出の手続補正書により、本願発明の要旨を明確にする補正を行いました。
　また、今般の補正において旧請求項１０−１４，２３−２６を削除することにより、拒絶理由１，２が解消したことは明らかであります。
　また、旧請求項１において「前記下層配線は、前記第１の絶縁膜の下側の第２の絶縁膜中に形成されており、前記ダミービアの底部は前記第２の絶縁膜中に形成されている」との構成要件を削除して新たに独立請求項１としたことによりまして、旧請求項３，４及びこれらの請求項を引用する請求項に係る発明との矛盾を解消しましたので、拒絶理由３が解消したことも明らかであります。
　尚、今般の補正において、特許請求の範囲の「下層配線」及び「上層配線」を明細書に合わせて「第１の配線」及び「第２の配線」に修正しておりますと共に、これらの配線が絶縁膜と共に半導体基板上に形成されたものであることを明確にし、発明のカテゴリーを「配線構造」、「配線構造の製造方法」から「半導体装置」、「半導体装置の製造方法」に修正しております。また、独立請求項でありました旧請求項１５に係る発明を新請求項１に従属する発明とし、方法の請求項についても同様の変更を行っております他、新たな従属項の追加も行っておりますが、いずれも新規事項を追加するものではありません。新請求項と旧請求項との対応関係及び補正の根拠は以下の通りであります。

新請求項	旧請求項	補正の根拠
1	1	旧請求項１の構成要件の一部削除
2	3	段落0064及び図2(b)
3	-	段落0066及び図2(c)
4	-	段落0066及び図2(c)
5	-	段落0090及び図7(b),7(c)

６	－	段落0090及び図7(b),7(c)
７	－	段落0064及び図2(b)
８	－	段落0064及び図2(b)
９	４	段落0142及び図13(b),13(c)
１０	４	段落0142及び図13(b),13(c)
１１	－	段落0142
１２	－	段落0142,0153及び図13(a)
１３	－	段落0142
１４	－	段落0158
１５	－	段落0064
１６	－	段落0064,0071及び図2(a)
１７	－	段落0064
１８	－	段落0065
１９	－	段落0065
２０	－	段落0066
２１	－	段落0066
２２	－	段落0066
２３	５	段落0107
２４	－	段落0066
２５	－	段落0066
２６	５	段落0107（段落0066）
２７	６	段落0121及び図9(a),9(b)
２８	６	段落0121及び図9(a),9(b)
２９	－	段落0075
３０	９	段落0075
３１	－	段落0075
３２	－	段落0078
３３	８	段落0121及び図99(b)
３４	１５	段落0081及び図4
３５	１５～１７	段落0081及び図4
３６	１９	段落0087
３７	－	段落0135及び図10
３８	２０	旧請求項２０の構成要件の一部削除
３９	－	段落0068,0069及び図1(a),1(b)
４０	２１	形式的補正のみ
４１	２７	段落0081,0082,0135,0136及び図4,10
４２	－	段落0081,0082,0135,0136及び図4,10

（３）むすび

以上のように、本願に対する全ての拒絶理由は解消したものと思料致しますので、同時提出の手続補正書に基づき再度ご審査を頂きまして、特許査定を賜りますようお願い申し上げます。

特許査定

特許出願の番号	特願２００４-３０４０１９
起案日	平成１９年１０月２２日
特許庁審査官	小野田　誠　　８４２７　４Ｌ００
発明の名称	半導体装置及びその製造方法
請求項の数	４２
特許出願人	松下電器産業株式会社
代理人	前田　弘（外　９名）

この出願については、拒絶の理由を発見しないから、特許査定をします。

部長／代理	審査長／代理	審査官	審査官補	分類確定官
	恩田　春香	小野田　誠		恩田　春香
	８９３４	８４２７		８９３４

１．出願種別　　通常
２．参考文献　　有
３．特許法第３０条適用　　無
４．発明の名称の変更　　無

５．国際特許分類（ＩＰＣ）

Ｈ０１Ｌ　２１／８８　　Ｓ，
Ｈ０１Ｌ　２１／９０　　Ａ，
Ｈ０１Ｌ　２７／０４　　Ｄ

６．菌寄託

７．出願日の遡及を認めない旨の表示

参考情報

特許出願の番号　　特願２００４-３０４０１９

１．調査した分野（ＩＰＣ，ＤＢ名）

Ｈ０１Ｌ　　２１／３２０５
Ｈ０１Ｌ　　２１／７６８
Ｈ０１Ｌ　　２１／８２２
Ｈ０１Ｌ　　２３／５２
Ｈ０１Ｌ　　２７／０４

２．参考特許文献

特開２００２-０３３３８４　　（ＪＰ，Ａ）

３．参考図書雑誌

[Document Title] Request for Examination of Application
[Reference Number] 2926460258
[Date of Submittal] October 19, Heisei 16 (2004)
[Addressed to] Commissioner of the Japan Patent Office
[Indication of Application]
[Application Filing Number] *Tokugan* 2004-304019
[Number of Claims] 30
[Requested by]
[Identification Number] 000005821
[Name] Matsushita Electric Industrial Co., Ltd.
[Agent]
[Identification Number] 100077931
[Patent Attorney]
[Name or Designation] Hiroshi Maeda
[Indication of Handling Fees]
[Prepayment ledger number] 014409
[Amount Paid] 288,600 yen

[Document Title] Patent Application
[Reference Number] 2926460258
[Date of Submittal] October 19, Heisei 16 (2004)
[Addressed to] Commissioner of the Japan Patent Office
[International Patent Classification] H01L 21/768
H01L 21/312
H01L 21/314
[Inventor]
[Domicile or Residence] (Omitted)
[Name] Takeshi Harada
[Agent of the Patent Applicant]
[Identification Number] 000005821
[Name] Matsushita Electric Industrial Co., Ltd.
[Agent]
[Identification Number] 100077931
[Patent Attorney]
[Name or Designation] Hiroshi Maeda
[Appointed Agent]
[Identification Number] 100094134
[Patent Attorney]
[Name] Hiroki Koyama
[Telephone Number] 06-6125-2255
[Contact Information] Assigned personnel
[Appointed Agent]
[Identification Number] 100110939
[Patent Attorney]
[Name] Hiroshi Takeuchi
[Appointed Agent]
[Identification Number] 100110940
[Patent Attorney]
[Name] Takahisa Shimada
[Appointed Agent]
[Identification Number] 100113262
[Patent Attorney]
[Name] Yuji Takeuchi
[Appointed Agent]
[Identification Number] 100115059
[Patent Attorney]
[Name] Katsumi Imae
[Appointed Agent]
[Identification Number] 100115691
[Patent Attorney]
[Name] Atsushi Fujita
[Appointed Agent]
[Identification Number] 100117581
[Patent Attorney]
[Name] Katsuya Ninomiya

[Appointed Agent]
[Identification Number] 100117710
[Patent Attorney]
[Name] Tomoo Harada
[Appointed Agent]
[Identification Number] 100121728
[Patent Attorney]
[Name] Katsumori Iseki
[Priority claim based on earlier application]
[Application Filing Number] *Tokugan* 2003-404437
[Application Filing Date] December 3, 2003
[Indication of Handling Fees]
[Prepayment ledger number] 014409
[Amount Paid] 16,000 yen
[List of Articles Submitted]
[Name of Article] **CLAIMS x1**
[Name of Article] **SPECIFICATION x1**
[Name of Article] **DRAWINGS x1**
[Name of Article] **ABSTRACT x1**
[General Power of Attorney Number] 0217869

[Document Title] CLAIMS

CLAIM 1

An interconnect structure in which a first insulating film is provided between a lower-layer interconnect and an upper-layer interconnect, and the lower-layer interconnect and the upper-layer interconnect are connected to each other through a via formed in the first insulating film, wherein:

at least one dummy via is connected in the vicinity of a connection portion of the aforementioned via in the aforementioned upper-layer interconnect,

the aforementioned lower-layer interconnect is formed in a second insulating film provided beneath the aforementioned first insulating film, and

the bottom portion of the aforementioned dummy via is formed within the aforementioned second insulating film.

CLAIM 2

The interconnect structure according to Claim 1, wherein the aforementioned dummy via is formed in the aforementioned first insulating film in such a way that the top portion of said dummy via is connected to the aforementioned upper-layer interconnect.

CLAIM 3

The interconnect structure according to Claim 1, wherein the bottom portion of the aforementioned dummy via is connected to a dummy interconnect formed within the aforementioned second insulating film.

CLAIM 4

The interconnect structure according to Claim 1, wherein

a third insulating film is formed on the aforementioned upper-layer interconnect, and

the aforementioned dummy via is formed in the aforementioned third insulating film in such a way that the bottom portion of said dummy via is connected to the aforementioned upper-layer interconnect.

CLAIM 5

The interconnect structure according to any one of claims 1 to 4, wherein the diameter of the aforementioned dummy via is smaller than the diameter of the aforementioned via.

CLAIM 6

The interconnect structure according to any one of Claims 1 to 4, wherein:

the planar shape of the aforementioned dummy via is a quadrilateral with its four sides placed at right angles, and

the direction along the long side of the planar shape of the aforementioned dummy via is the same as the direction along the short side of the aforementioned upper-layer interconnect.

CLAIM 7

The interconnect structure according to any one of claims 1 to 4, wherein:

the planar shape of the aforementioned via is circular, and

the aforementioned dummy via has a planar shape different from that of the aforementioned via.

CLAIM 8

The interconnect structure according to any one of claims 1 to 4, wherein the aforementioned dummy via is provided at a position closer to the center of the aforementioned upper-layer interconnect than the aforementioned via.

CLAIM 9

The interconnect structure according to any one of claims 1 to 8, wherein the distance between the aforementioned via and the aforementioned dummy via is 1 μm or less.

CLAIM 10

An interconnect structure in which a first insulating film is provided between a lower-layer interconnect and an upper-layer interconnect, and the aforementioned lower-layer interconnect and the aforementioned upper-layer interconnect are connected to each other through a via formed in the aforementioned first insulating film, wherein at least one insulating slit is formed in the vicinity of a connection portion of the aforementioned via within the aforementioned upper-layer interconnect.

CLAIM 11

The interconnect structure according to Claim 10, wherein the aforementioned insulating slit is formed so as to be in contact with the connection portion of the aforementioned via in the aforementioned upper-layer interconnect.

CLAIM 12

The interconnect structure according to Claim 11, wherein:

the planar shape of the aforementioned insulating slit is a quadrilateral with its four sides placed at right angles,

the long side of the planar shape of the aforementioned insulating slit has a length that is not less than twice but not more than four times the diameter of the aforementioned via, and

the long-side portion of the planar shape of the aforementioned insulating slit is in contact with the connection portion of the aforementioned via in the aforementioned upper-layer interconnect.

CLAIM 13

The interconnect structure according to Claim 10, wherein:

the planar shape of the aforementioned insulating slit is a quadrilateral with its four sides placed at right angles,

the long side of the planar shape of the aforementioned insulating slit has a length that is not less than twice and not more than ten times the diameter of the aforementioned via,

the direction along the long side of the planar shape of the aforementioned insulating slit is the same as the direction along the short side of the aforementioned upper-layer interconnect, and

the aforementioned insulating slit is provided at a position closer to the center of the aforementioned upper-layer interconnect than the aforementioned via.

CLAIM 14

The interconnect structure according to Claim 10, wherein the distance between the aforementioned via and the aforementioned insulating slit is 1 μm or less.

CLAIM 15

An interconnect structure in which a first insulating film is provided between a lower-layer interconnect and an upper-layer interconnect, and the aforementioned lower-layer interconnect and the aforementioned upper-layer interconnect are connected to each other through a via formed in the aforementioned first insulating film, wherein:

the aforementioned upper-layer interconnect branches into a first interconnect portion having a relatively wide interconnect width and a second interconnect portion having a relatively narrow interconnect width,

the aforementioned via is connected to the aforementioned second interconnect portion, and

at least one dummy portion that is connected to the aforementioned upper-layer interconnect is disposed in the aforementioned first insulating film in the vicinity of a branching point between the aforementioned first interconnect portion and the aforementioned second interconnect portion.

CLAIM 16

The interconnect structure according to Claim 15, wherein the aforementioned dummy portion is connected to the aforementioned second interconnect portion in the vicinity of the aforementioned branching point.

CLAIM 17

The interconnect structure according to Claim 15, wherein the aforementioned dummy portion is connected to the aforementioned first interconnect portion in the vicinity of the aforementioned branching point.

CLAIM 18

The interconnect structure according to Claim 15, wherein the planar shape of the aforementioned dummy portion is the same as that of the aforementioned via or is a quadrilateral with its four sides placed at right angles.

CLAIM 19

The interconnect structure according to Claim 15, wherein the interconnect width of the aforementioned second interconnect portion is 0.20 μm or less.

CLAIM 20

A method for the production of an interconnect structure, comprising:

a step for depositing a first insulating film on a lower-layer interconnect,

a step for forming, in the aforementioned first insulating film, a via hole reaching the aforementioned lower-layer interconnect, at least one dummy hole located in the vicinity of the aforementioned via hole, and an upper-layer interconnect trench connected to respective openings of the aforementioned via hole and the aforementioned dummy hole; and

a step for embedding a conductive material in the aforementioned upper-layer interconnect trench, the aforementioned via hole, and the aforementioned dummy hole to form an upper-layer interconnect, a via that connects the aforementioned lower-layer interconnect and the aforementioned upper-layer interconnect, and a dummy via that is connected to the aforementioned upper-layer interconnect but not to the aforementioned lower-layer interconnect,

wherein the aforementioned lower-layer interconnect is formed in a second insulating film provided beneath the aforementioned first insulating film, and

wherein the aforementioned dummy hole is formed such that the bottom portion thereof is positioned in the aforementioned second insulating film.

CLAIM 21

A method for the production of an interconnect structure, comprising:

a step for depositing a first insulating film on a lower-layer interconnect,

a step for forming, in the aforementioned first insulating film, a via hole reaching the aforementioned lower-layer interconnect and an upper-layer interconnect trench connected to the opening of the aforementioned via hole,

a step for embedding a conductive material in the aforementioned upper-layer interconnect trench and the aforementioned via hole to form an upper-layer interconnect and a via that connects the aforementioned lower-layer interconnect and the aforementioned upper-layer interconnect,

a step for depositing a second insulating film on the aforementioned upper-layer interconnect;

a step for forming, in the aforementioned second insulating film, a dummy hole that reaches the aforementioned upper-layer interconnect and is located in the vicinity of the aforementioned via, and

a step for embedding another conductive material in the aforementioned dummy hole to form at least one dummy via.

CLAIM 22

The method for the production of an interconnect structure according to Claim 20 or Claim 21, wherein the distance between the aforementioned via hole and the aforementioned dummy hole is 1 μm or less.

CLAIM 23

A method for the production of an interconnect structure, comprising:

a step for depositing a first insulating film on a lower-layer interconnect,

a step for forming, in the aforementioned first insulating film, a via hole reaching the aforementioned lower-layer interconnect and an upper-layer interconnect trench connected to the opening of the aforementioned via hole; and

a step for embedding a conductive material in the aforementioned upper-layer interconnect trench and the aforementioned via hole to form an upper-layer interconnect and a via that connects the aforementioned lower-layer interconnect and the aforementioned upper-layer interconnect;

wherein the step for forming the aforementioned via hole and the aforementioned upper-layer interconnect trench includes a step for keeping a portion of the aforementioned first insulating film remaining in the vicinity of a connection portion of the aforementioned via hole in the aforementioned upper-layer interconnect trench, thereby providing an insulating slit.

CLAIM 24

The method for the production of an interconnect structure according to Claim 23, wherein the aforementioned insulating slit is provided so as to be in contact with the connection portion of the aforementioned via in the aforementioned upper-layer interconnect.

CLAIM 25

The method for the production of an interconnect structure according to Claim 24, said interconnect structure being characterized by:

the planar shape of the aforementioned insulating slit being a quadrilateral with its four sides placed at right angles,

the long side of the planar shape of the aforementioned insulating slit having a length that is not less than twice but not more than four times the diameter of the aforementioned via hole, and

the long-side portion of the planar shape of the aforementioned insulating slit being in contact with the connection portion of the aforementioned via in the aforementioned upper-layer interconnect.

CLAIM 26

The method for the production of an interconnect structure according to Claim 23, said interconnect structure being characterized by:

the planar shape of the aforementioned insulating slit being a quadrilateral with its four sides placed at right angles,

the long side of the planar shape of the aforementioned insulating slit having a length that is not less than twice and not more than ten times the diameter of the aforementioned via hole,

the direction along the long side of the planar shape of the aforementioned insulating slit being the same as the direction along the short side of the aforementioned upper-layer interconnect, and

the aforementioned insulating slit being provided at a position closer to the center of the aforementioned upper-layer interconnect than the aforementioned via.

CLAIM 27

A method for the production of an interconnect structure, comprising:

a step for depositing a first insulating film on a lower-layer interconnect,

a step for forming, in the aforementioned first insulating film, a via hole reaching the aforementioned lower-layer interconnect, an upper-layer interconnect trench connected to the opening of the aforementioned via hole and branched into a first trench having a relatively wide width and a second trench having a relatively narrow width, and a recess disposed in the vicinity of a branching point between the aforementioned first trench and the aforementioned second trench, and

a step for embedding a conductive material in the aforementioned upper-layer interconnect trench, the aforementioned via hole, and the aforementioned recess to form an upper-layer interconnect, a via that connects the aforementioned lower-layer interconnect and the aforementioned upper-layer interconnect, and a dummy portion that is connected to the aforementioned upper-layer interconnect but not connected to the aforementioned lower-layer interconnect.

CLAIM 28

The method for the production of an interconnect structure according to Claim 27, wherein the aforementioned dummy portion is connected to either the aforementioned first interconnect portion or the aforementioned second interconnect portion in the vicinity of the aforementioned branching point.

CLAIM 29

The method for the production of an interconnect structure according to Claim 27, wherein the planar shape of the aforementioned dummy portion is the same as that of the aforementioned via or is a quadrilateral with its four sides placed at right angles.

CLAIM 30

The method for the production of an interconnect structure according to Claim 27, wherein the interconnect width of the aforementioned second interconnect portion is 0.20 μm or less.

Search Report

Bibliographic Information

Name of Registered Search Organization	Industrial Property Cooperation Center
Registered Search Organization Code	001

Supervisor Name	Haruo Asukai	Supervisor Code	L059
Searcher Name	Tetsuo Yamaji	Searcher Code	K744
Record Type	161		
Theme Code	5F033		
Patent Application Filing Number:	*Tokugan* 2004-304019		
Outsourcing Control Number	2006189830		
Delivery Type	2	1: Delivery Mode 2: Interactive Mode (Domestic) 3: Interactive Mode (Foreign)	
Date of Interactive Session	January 26, 2007		
Initial Assessment Designation	1	1: Standard 2: Initial assessment	
Search Date	January 10, 2007		
Search Report Created on	January 10, 2007		
Summary Type	None		

1. Features of the invention claimed in the subject application

[Drawing number representing the features of the inventions claimed in the subject application]: FIG. 2

<<Features of the invention claimed in the subject application>>

Refer to the [CLAIMS] section of the subject application

2. Search Logic Formula

Date (Month/Year) Range: __ (month) __ (date), ____ (year) to December 3, 2003

[No.]	[Claim No.]	[Theme Code]	[Search Logic Formula]	[Number of Cases]
1	1-30	5F033	JJ00*$VV01 * (secondary [dummy via + dummy hole + pseudo via + pseudo hole] + full text [dummy via + dummy hole + pseudo via + pseudo hole])	21
2		5F033	JJ00*MM22 -\1	85
3		5F033	JJ00*[??dummy via + ??dummy hole + ??pseudo via + ??pseudo hole + (dummy via + dummy hole + pseudo via + pseudo hole)/TX]] -\1,2	13

Total Number of Screened Cases 119

3. Results of Screening Search (Indicated for Each Reference Presented)

[No.]	[Type of Reference	[Type of Additional	[References Presented]	[Representative Category]	[Formula No.]
1	Patent Literature		JP, 2003-197623, A	X	1
2	Patent Literature		JP, 2002-033384, A	X	2
3	Patent Literature		JP, 2000-012688, A	Y	1
4	Patent Literature		JP, 2004-273523, A	EX	2
5	Patent Literature		JP, 2004-327666, A	EA	

[Number of References Presented]: 5

4. Results of Screening Search (Presented by Claim)

[Claim No.]	[Reference No.]	[Category]	[Relevant Section]	[Differences and Undiscovered Elements in Comparison with the Invention Claimed in the Subject Application]
1	1	X	p 4, 5, 6	A1 A2 A3 A4 ○ ○ ○ ○
	3	Y	p3	A1 A2 A3 A4 “The first and second insulating films” are identical △ ○ △ ×
2	1	X	p 4, 5	A5 ○
3	1	X	p 6	A6 ○
4	1	X	p 7, 9	A7 ○
5	3	Y	p 3	A8 ○
6, 7, 8				None
9	1	X	p 4	A12 ○
10	2	X	p3	B1 B2 ○ ○
	4	EA	p 8, 9	B1 B2 “The slit” is provided in the lower-layer interconnect ○ △
	5	EA	p 5, 6	B1 B2 “The slit” is provided in the lower-layer interconnect ○ △
11	2	X	p3	B3 ○
12, 13, 14				None
15	4	EX	p10	C1 C2 C3 C4 ○ ○ ○ ○
16, 17	4	EX	p10	C5 C6 ○ ○
18, 19				None
20	1	X	p 8, 9, 10	D1 D2 D3 D4 D5 “The bottom portion” is in contact with the second insulating film ○ ○ ○ ○ △
21	1	Y	p 8, 9, 10, 11	E1 E2 E3 E4 E5 E6 Does not reach the lower-layer interconnect ○ ○ ○ ○ △ △ / Not “another conductive material.”
22	1	X	p 8, 9, 10, 11	E7 ○
23	2	X	p3	F1 F2 F3 F4 ○ ○ ○ ○
	5	EX	p6	F1 F2 F3 F4 ○ ○ ○ ○
24	2	X	p3	F5 ○
25	2	X	p3	F6 F7 F8 ○ × ○
26				None
27				None
28, 29, 30				None

5. Remarks (for searchers)

Office Action
(Notification of Reasons for Rejection)

Patent Application Filing Number:	*Tokugan* 2004-304019
Date Drafted:	January 30, Heisei 19 (2007)
Examiner of the Japan Patent Office:	Mr. Makoto Onoda 8427 4L00 Agent of the
Patent Applicant:	Mr. Hiroshi Maeda (plus 9 others)
Applicable Provisions:	Article 29(i), Article 29(ii), and Article 36

This application should be rejected for the reasons described below. If there is any objection to this action, please submit a written argument within sixty (60) days following the dispatch date of this communication.

REASON

1. A patent cannot be granted to the invention as claimed in the following claims of the subject application in accordance with the provision in Article 29(1)(iii) of the Patent Act, because such an invention is described in the publications listed in a later section, such publications having already been distributed in Japan prior to the filing of the subject application.
2. A patent cannot be granted to the invention as claimed in the following claims of the subject application in accordance with the provisions in Article 29(ii) of the Patent Act because a person having ordinary knowledge in the technical field of the art could have easily arrived at the invention prior to the filing of the application based on the inventions disclosed in the publications listed in a later section, which have already been distributed in Japan prior to the filing of the subject application.
3. The descriptions in the "Scope of Claims" section of the subject application do not satisfy the requirement stipulated in Article 36(6)(ii) of the Patent Act in terms of the points described in a later section.

RECITALS
(See the List of Cited Literature, Etc., for the cited documents and the like)

<u>Concerning Novelty / Non-obviousness</u>
[Claim 10], [Claim 11], [Claim 23], and [Claim 24]
・ Reasons 1 and 2
・ Cited Document 1
・ Remarks
Cited document 1: For example, see Figures 5 to 8 and related descriptions

[Claims 12] through [Claims 14], [Claims 25], and [Claims 26]
・ Reason 2
・ Cited Document 1
・ Remarks
The limitations recited in these claims are merely obvious matters of design choice that could have been made, as appropriate, by a person skilled in the art based on what is described in Cited Document 1.

<u>Concerning Insufficient Description</u>
CLAIM 3
・ Reason 3
・ Remarks
The limitations recited in this claim contradict the statement in Claim 1, which is cited by this claim, namely, “the aforementioned lower-layer interconnect is formed in a second insulating film provided beneath the aforementioned first insulating film, and the bottom portion of the aforementioned dummy via is formed in the aforementioned second insulating film.”
Incidentally, the same inconsistency applies to the claims that make reference to this claim.

CLAIM 4
・ Reason 3
・ Remarks
The limitations recited in this claim contradict the statement in Claim 1, which is cited by this claim, namely, “the aforementioned lower-layer interconnect is formed in a second insulating film provided beneath the aforementioned first insulating film, and the bottom portion of the aforementioned dummy via is formed in the aforementioned second insulating film.”
Incidentally, the same inconsistency applies to the claims that make reference to this claim.

<Claims that appear to have no reasons for rejection>
At present, no grounds for rejection have been found in the invention claimed in claims 2, 15 through 22, and 27 through 30. If and when any grounds for rejection are found in these claims in the future, a further Office Action (Notice of Reasons for Rejection) will be issued.

List of Cited Documents, etc.

1. JP, 2002-033384, A

– –

Record of Prior Art Search Result

・ **Searched Fields** IPC H01L 21/3205,
H01L 21/768,
H01L 21/822,
H01L 27/04

DB Names

- **Prior Art Documents**

The above record of the prior art search does not constitute the reasons for rejection.

Director / Deputy	Chief Examiner / Deputy	Examiner	Assistant Examiner
	Masahide Kawaguchi	Makoto Onoda	
	8421	8427	

[Document Title] Written Amendment
[Reference Number] 2926460258
[Date of Submittal] April 4, Heisei 19 (2007)
[Addressed to] Commissioner of the Japan Patent Office
[Indication of Case]
[Application Filing Number] *Tokugan* 2004-304019
[Amended by]
[Identification Number] 000005821
[Name] Matsushita Electric Industrial Co., Ltd.
[Agent]
[Identification Number] 100077931
[Patent Attorney]
[Name or Designation] Hiroshi Maeda
[Dispatch Number] 047674
[Number of Claims Added by the Amendment] 12
[Amendment 1]
[Document Subject to the Amendment] Claims
[Item Subject to Amendment] Full text
[Method of Amendment] Change
[Content of the Amendment]
[Document Title] CLAIMS
CLAIM 1
A semiconductor device comprising:

a semiconductor substrate,

a first interconnect formed on the aforementioned semiconductor substrate,

a first insulating film formed on the aforementioned first interconnect,

a second interconnect formed on the aforementioned first insulating film,

a via that penetrates the aforementioned first insulating film and connects the aforementioned first interconnect and the aforementioned second interconnect, and

a dummy via connected to the aforementioned second interconnect.

CLAIM 2
The semiconductor device according to Claim 1, further comprising a second insulating film formed on the aforementioned semiconductor substrate,
wherein:

the aforementioned first interconnect is formed on the aforementioned second insulating film, and

the aforementioned dummy via is connected to a first dummy interconnect formed on the aforementioned second insulating film.

CLAIM 3
The semiconductor device according to Claim 2, wherein the width of the aforementioned first dummy interconnect is smaller than the width of the aforementioned second interconnect.

CLAIM 4
The semiconductor device according to Claim 2 or Claim 3, wherein the width of the aforementioned first dummy interconnect is substantially equal to the width of the aforementioned first interconnect.

CLAIM 5
The semiconductor device according to Claim 1, wherein the bottom surface of the aforementioned dummy via is positioned lower than the bottom surface of the aforementioned via.

CLAIM 6
The semiconductor device according to Claim 5, further comprising a second insulating film formed on the aforementioned semiconductor substrate, wherein:

the aforementioned first interconnect is formed on the aforementioned second insulating film, and

the bottom portion of the aforementioned dummy via is positioned in the aforementioned second insulating film.

CLAIM 7
The semiconductor device according to any one of claims 1 to 6, wherein the aforementioned second interconnect and the aforementioned via constitute a dual damascene structure.

CLAIM 8
The semiconductor device according to any one of claims 1 to 7, wherein the aforementioned second interconnect and the aforementioned dummy via constitute a dual damascene structure.

CLAIM 9
The semiconductor device according to Claim 1, wherein the aforementioned dummy via is connected to the upper surface of the aforementioned second interconnect.

CLAIM 10
The semiconductor device according to Claim 9, wherein the aforementioned dummy via is formed in a third insulating film formed on the aforementioned second interconnect.

CLAIM 11
The semiconductor device according to Claim 10, wherein the aforementioned third insulating film has a laminated structure including a SiN film and a SiO_2 film.

CLAIM 12
The semiconductor device according to any one of claims 9 to 11, wherein the aforementioned dummy via comprises a second barrier film and a second conductive film.

CLAIM 13
The semiconductor device according to Claim 12, wherein the aforementioned second conductive film contains copper.

CLAIM 14
The semiconductor device according to any one of claims 9 to 13, wherein a second dummy interconnect is provided on the aforementioned dummy via so as to be in contact with the top portion of the aforementioned dummy via.

CLAIM 15
The semiconductor device according to any one of claims 1 to 14, wherein the aforementioned first insulating film has a laminated structure including a SiN film and a SiO_2 film.

CLAIM 16
The semiconductor device according to any one of claims 1 to 15, wherein the aforementioned first interconnect comprises a first barrier film and a first conductive film.

CLAIM 17
The semiconductor device according to Claim 16, wherein the aforementioned first conductive film contains copper.

CLAIM 18
The semiconductor device according to any one of claims 1 to 17, wherein the aforementioned first interconnect and the aforementioned second interconnect are each connected to another element or an external electrode.

CLAIM 19
The semiconductor device according to any one of claims 1 to 18, wherein:

the aforementioned first interconnect, the aforementioned second interconnect, and the aforementioned via each constitute a part of a closed circuit, but

the aforementioned dummy via does not constitute a closed circuit.

CLAIM 20
The semiconductor device according to any one of claims 1 to 19, wherein the width of the aforementioned first interconnect is smaller than the width of the aforementioned second interconnect.

CLAIM 21
The semiconductor device according to any one of claims 1 to 20, wherein the planar shapes of the aforementioned via and the aforementioned dummy via are substantially circular.

CLAIM 22
The semiconductor device according to Claim 21, wherein the diameter of the aforementioned via is substantially equal to the diameter of the aforementioned dummy via.

CLAIM 23
The semiconductor device according to Claim 21, wherein the diameter of the aforementioned dummy via is smaller than the diameter of the aforementioned via.

CLAIM 24
The semiconductor device according to any one of claims 1 to 20, wherein the planar shapes of the aforementioned via and the aforementioned dummy via are substantially square.

CLAIM 25
The semiconductor device according to Claim 24, wherein the length of one side of the aforementioned via is substantially equal to the length of one side of the aforementioned dummy via.

CLAIM 26
The semiconductor device according to Claim 24, wherein the length of one side of the aforementioned dummy via is smaller than the length of one side of the aforementioned via.

CLAIM 27
The semiconductor device according to any one of claims 1 to 20, wherein the planar shape of the aforementioned dummy via is substantially rectangular.

CLAIM 28
The semiconductor device according to Claim 27, wherein the direction along the long side of the planar shape of the aforementioned dummy via is the same as the direction along the short side of the aforementioned second interconnect.

CLAIM 29
The semiconductor device according to any one of claims 1 to 28, wherein the distance between the aforementioned via and the aforementioned dummy via is 25 μm or less.

CLAIM 30
The semiconductor device according to Claim 29, wherein the distance between the aforementioned via and the aforementioned dummy via is 1 μm or less.

CLAIM 31
The semiconductor device according to any one of claims 1 to 28, wherein the distance between the aforementioned via and the aforementioned dummy via is substantially equal to the minimum interconnect width.

CLAIM 32
The semiconductor device according to any one of claims 1 to 31, wherein a plurality of the aforementioned dummy vias is provided.

CLAIM 33
The semiconductor device according to any one of claims 1 to 32, wherein the distance between the aforementioned via and one end of the aforementioned second interconnect is shorter than the distance between the aforementioned dummy via and said one end, and is also shorter than the distance between the aforementioned via and the other end of the aforementioned second interconnect.

CLAIM 34
The semiconductor device according to any one of claims 1 to 33, wherein:

the aforementioned second interconnect comprises a first interconnect portion and a second interconnect portion that has a narrower interconnect width than the aforementioned first interconnect portion and branches from the aforementioned first interconnect portion, and

the aforementioned via is connected to the aforementioned second interconnect portion.

CLAIM 35
The semiconductor device according to Claim 34, wherein the aforementioned dummy via is formed at, or in the vicinity of, a branching point between the aforementioned first interconnect portion and the aforementioned second interconnect portion.

CLAIM 36
The semiconductor device according to Claim 34 or Claim 35, wherein the width of the aforementioned second interconnect portion is 0.20 μm or less.

CLAIM 37
The semiconductor device according to any one of claims 34 to 36, wherein:

the planar shape of the aforementioned dummy via is substantially a quadrilateral with its four sides placed at right angles, and

the direction along the long side of the aforementioned dummy via is the same as the direction along the long side of the aforementioned first interconnect portion.

CLAIM 38

A method for the production of a semiconductor device, said method comprising:

(a) a step for forming a first interconnect on a semiconductor substrate,

(b) a step for forming a first insulating film on the aforementioned first interconnect,

(c) a step for forming, in the aforementioned first insulating film, a via hole that connects to the aforementioned first interconnect, a dummy hole that does not connect to the aforementioned first interconnect, and an interconnect trench that connects to the aforementioned via hole and the aforementioned dummy hole, and

(d) a step for embedding a conductive material in the aforementioned via hole, the aforementioned dummy hole, and the aforementioned interconnect trench to thereby form a via, a dummy via, and a second interconnect.

CLAIM 39

The method for the production of a semiconductor device according to Claim 38, wherein:

in the aforementioned step (a), a first dummy interconnect is concurrently formed on the aforementioned semiconductor substrate, and

in the aforementioned step (c), the aforementioned dummy hole is connected to the aforementioned first dummy interconnect.

CLAIM 40

A method for the production of a semiconductor device, said method comprising:

(a) a step for forming a first interconnect on a semiconductor substrate,

(b) a step for forming a first insulating film on the aforementioned first interconnect,

(c) a step for forming, in the aforementioned first insulating film, a via hole that connects to the aforementioned first interconnect and an interconnect trench that connects to the aforementioned via hole,

(d) a step for embedding a conductive material in the aforementioned via hole and the aforementioned interconnect trench to thereby form a via and a second interconnect,

(e) a step for forming a second insulating film on the aforementioned second interconnect,

(f) a step for forming, in the aforementioned second insulating film, a dummy hole that connects to the aforementioned second interconnect, and

(g) a step for embedding a conductive material in the aforementioned dummy hole to thereby form a dummy via.

CLAIM 41

The method for the production of a semiconductor device according to any one of claims 38 to 40, wherein:

in the aforementioned step (c), the aforementioned interconnect trench comprises a first interconnect trench portion and a second interconnect trench portion that has a narrower width than the aforementioned first interconnect trench portion and branches from the aforementioned first interconnect trench portion, and

the aforementioned via hole is connected to the aforementioned second interconnect trench portion.

CLAIM 42

The method for the production of a semiconductor device according to Claim 41, wherein, in the aforementioned step (c), the aforementioned dummy hole is connected to the aforementioned interconnect trench at, or in the vicinity of, a branching point between the aforementioned first interconnect trench portion and the aforementioned second interconnect trench portion.

[Amendment 2]

[Document Subject to the Amendment] SPECIFICATION
[Item Subject to Amendment] Title of the Invention
[Method of Amendment] Change
[Content of the Amendment]
[Title of the Invention] Semiconductor Device and the Production Method Thereof
[Indication of Handling Fees]
[Prepayment ledger number] 014409
[Amount Paid] 48,000 yen

[Document Title] Written Argument
[Reference Number] 2926460258
[Date of Submittal] April 4, Heisei 19 (2007)
[Addressed to] Mr. Makoto Onoda, Examiner of the Japan Patent Office
[Indication of Case]
[Application Filing Number] *Tokugan* 2004-304019
[Agent of the Patent Applicant]
[Identification Number] 000005821
[Name] Matsushita Electric Industrial Co., Ltd.
[Agent]
[Identification Number] 100077931
[Patent Attorney]
[Name or Designation] Hiroshi Maeda
[Dispatch Number] 047674
[Content of the Argument]

(1) Essential Point of Reason for the Decision of Rejection

With respect to the present application, a Notice of Reasons for Rejection was issued on February 6, 2007 (date of dispatch), stating as follows:

That the invention as claimed in claims 10, 11, 23, and 24 falls under Article 29(1)(iii) of the Patent Act, since it is the same as the invention described in Japanese Patent Application Laid-open No. 2002-033384 (hereinafter referred to as Cited Document 1); therefore, a patent cannot be granted (Reason for Rejection 1);

That the invention as claimed in claims 10 to 14 and 23 to 26 falls under Article 29(ii) of the Patent Act, since it could have been easily conceived, prior to the filing of the present application, by a person having ordinary skill in the art based on the invention described in Cited Document 1; therefore, a patent cannot be granted (Reason for Rejection 2); and

That the invention as claimed in claims 3, 4, and the claims depending thereon (claims 5–9) does not satisfy the requirements prescribed in Article 36(6)(ii) of the Patent Act, as it is inconsistent with claim 1, which is cited by said claims (Reason for Rejection 3).

(2) Reasons Why a Patent Should Be Granted to the Invention Claimed in the Subject Application

In response to the above-mentioned Office Action, the applicant of the subject application has made amendments by means of a separately filed Written Amendment in order to clarify the gist of the present invention.

Additionally, it is apparent that Reasons for Rejection 1 and 2 have been resolved through the deletion of former claims 10 to 14 and 23 to 26 in the present amendment.

Furthermore, it is also apparent that Reason for Rejection 3 has been resolved, as the constituent element, “the aforementioned lower-layer interconnect is formed in a second insulating film provided beneath the aforementioned first insulating film, and the bottom portion of the aforementioned dummy via is formed in the aforementioned second insulating film,” has been deleted from former Claim 1, thereby establishing a new independent Claim 1 and resolving the inconsistency with the invention as claimed in former claims 3 and 4 and the claims depending thereon.

Moreover, in the present amendment, the terms “lower-layer interconnect” and “upper-layer interconnect” in the Scope of Claims have been revised to “first interconnect” and “second interconnect,” respectively, to conform with the terminology used in the specification. It has also been clarified that these interconnects, together with the insulating film, are formed on a semiconductor substrate, and the category of the invention has been changed from “interconnect structure” and “method for the production of interconnect structure” to “semiconductor device” and “method for the production of a semiconductor device.” Additionally, the invention claimed in former Claim 15 (formerly an independent claim) has been made dependent on new Claim 1, and similar changes have been made to the method claims. Although new dependent claims have also been added, none of these amendments introduce new matter. The correspondence between the new claims and the former claims, as well as the basis for the amendments, are as follows:

New Claim	Old Claim	Basis for Amendment
1	1	Partial deletion of the constituent elements of former Claim 1
2	3	Paragraph 0064 and Figure 2 (b)
3	—	Paragraph 0066 and Figure 2 (c)
4	—	Paragraph 0066 and Figure 2 (c)
5	—	Paragraph 0090 and Figure 7(b), 7(c)
6	—	Paragraph 0090 and Figure 7(b), 7(c)
7	—	Paragraph 0064 and Figure 2 (b)
8	—	Paragraph 0064 and Figure 2 (b)
9	4	Paragraph 0142 and Figure 13(b), 13(c)
10	4	Paragraph 0142 and Figure 13(b), 13(c)
11	—	Paragraph 0142
12	—	Paragraphs 0142, 0153 and Figure 13(a)
13	—	Paragraph 0142
14	—	Paragraph 0158
15	—	Paragraph 0064
16	—	Paragraphs 0064, 0071 and Figure 2(a)
17	—	Paragraph 0064
18	—	Paragraph 0065
19	—	Paragraph 0065
20	—	Paragraph 0066
21	—	Paragraph 0066
22	—	Paragraph 0066
23	5	Paragraph 0107
24	—	Paragraph 0066
25	—	Paragraph 0066
26	5	Paragraph 0107 (paragraph 0066)
27	6	Paragraphs 0121 and Figures 9(a), 9(b)
28	6	Paragraphs 0121 and Figures 9(a), 9(b)
29	—	Paragraph 0075
30	9	Paragraph 0075
31	—	Paragraph 0075
32	—	Paragraph 0078
33	8	Paragraph 0121 and Figure 99(b)
34	15	Paragraph 0081 and Figure 4
35	15 to 17	Paragraph 0081 and Figure 4
36	19	Paragraph 0087
37	—	Paragraph 0135 and Figure 10
38	20	Partial deletion of the constituent elements of former Claim 20
39	—	Paragraphs 0068, 0069 and Figures 1(a), 1(b)
40	21	Formal amendment only
41	27	Paragraph 0081, 0082, 0135, 0136, figures 4 and 10
42	—	Paragraph 0081, 0082, 0135, 0136, figures 4 and 10

(3) Conclusion

As described above, it is our belief that all the Reasons for Rejection against the present application have been resolved. Accordingly, we respectfully request that you re-examine the subject application based on the concurrently submitted Written Amendment and render a decision to grant a patent.

Decision to Grant a Patent

Patent Application Filing Number:	*Tokugan* 2004-304019	
Date Drafted:	October 22, Heisei 19 (2007)	
Examiner of the Japan Patent Office:	Makoto Onoda	8427 4L00
Title of the Invention	Semiconductor Device and the Production Method Thereof	
Number of Claims	42	
Patent Applicant:	Matsushita Electric Industrial Co., Ltd.	
Agent:	Hiroshi Maeda (plus 9 others)	

I hereby certify that the content described above is a true and correct representation of the matters recorded on file.

Director / Deputy	Chief Examiner / Deputy	Examiner	Assistant Examiner	Classifier
	Haruka Onda	Makoto Onoda		Haruka Onda
	8934	8427		8934

1. Application Type Standard
2. Cited References Yes
3. Application of Article 30 of the Patent Act None
4. Change in the title of the invention: None

5. International Patent Classification (IPC)

H01L	21/88,	S,
H01L	21/90,	A,
H01L	27/04	D

6. Deposition of microorganism

7. Indication that the retroaction of the filing date is not permitted

Reference Information

Patent Application Filing No. *Tokugan* 2004-304019

1. Searched Fields (IPC, DB name)

H01L 21/3205
H01L 21/768
H01L 21/822
H01L 23/52
H01L 27/04

2. Referenced Patent Documents

Japanese Patent Unexamined Application Laid-Open Disclosure No. 2002-033384 (JP, A)

3. Reference Books / Journals

Legaltranslations.biz

(A Division of Nelles Translations)

3 Grant Square Ste. 336 • Hinsdale, IL 60521 • 630-539-8082 • www.nellestranslations.com

Certification

This is to certify that the foregoing translation of the document entitled "**Document Title: CLAIMS** (JP4047324)" was made from Japanese to English by a competent professional translator that is proficient in both languages. This work, to the best of our knowledge and belief, is a true and complete rendering into English of the original document.

Date: October 15, 2025

Donald W. Hanley, CEO