13281 U.S.PTO 120204

22278 U.S.PTO 11/000904 120204

Case Docket Number: 71971-064 **Customer Number: 20277**

UTILITY PATENT APPLICATION
UNDER 37 CFR 1.53(b)

Mail Stop New Utility Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450
Sir:

Transmitted herewith for filing is the patent application of:

INVENTOR: **Takeshi HARADA**
FOR: INTERCONNECTION STRUCTURE AND METHOD FOR FORMING THE SAME

Enclosed are:

- ☒ 64 pages of specification, claims, abstract.
- ☒ Declaration and Power of Attorney.
- ☒ Priority Claimed.
- ☒ Certified copy of **Japanese Patent Application No. JP 2003-404437**
- ☒ 18 sheets of formal drawing.
- ☒ An assignment of the invention to **MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.** and the assignment recordation fee.
- ☐ An associate power of attorney.
- ☐ A verified statement to establish small entity status under 37 CFR 1.9 and 37 CFR 1.27.
- ☒ Information Disclosure Statement, Form PTO-1449 and reference.
- ☒ Return Receipt Postcard

The filing fee has been calculated as shown below:

	NO. OF CLAIMS		EXTRA CLAIMS	RATE	AMOUNT
Total Claims	26	-20	6	$18.00	$108.00
Independent Claims	7	-3	4	$88.00	$352.00
				Multiple Dependent Claim(s)	$0.00
				Basic Fee	$790.00
				Total of Above Calculations	$1,250.00
				Less ½ for Small Entity	$0.00
				Assignment & Recording Fee	$40.00
				Total Fee	$1,290.00

Case Docket Number: 71971-064

☒ Please charge my Deposit Account No. 500417 in the amount of $1,290.00. A duplicate copy of this sheet is enclosed.

☒ The Commissioner is hereby authorized to charge payment of the following fees associated with this communication or credit any overpayment to Deposit Account No. 500417 . A duplicate copy is enclosed.

☒ Any additional filing fees required under 37 CFR 1.16.

☒ The Commissioner is hereby authorized to charge payment of the following fees during the pendency of this application or credit any overpayment to Deposit Account No. 500417. A duplicate copy of this sheet is enclosed.

☒ Any patent application processing fees under 37 CFR 1.17.

☒ Any filing fees under 37 CFR 1.16 for presentation of extra claims.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP

Michael E. Fogarty
Registration No. 36,139

Please recognize our Customer No. 20277 as our correspondence address.

600 13th Street, N.W.
Washington, DC 20005-3096
Phone: 202.756.8000 MEF:aph
Facsimile: 202.756.8087
Date: December 2, 2004

INTERCONNECTION STRUCTURE AND METHOD FOR FORMING THE SAME

CROSS-REFERENCE TO RELATED APPLICATION

The disclosure of Japanese Patent Application No. 2003-404437 filed on December 3, 2003 including specification, drawings and claims is incorporated herein by reference in its entirety.

BACKGROUND OF THE INVENTION

The present invention relates to interconnection structures and methods for forming the structures.

To meet recent increase in the speed and integration density of electronic devices such as semiconductor devices, copper (Cu) having low resistance has been more frequently used as an interconnect material.

FIG. **19B** is a cross-sectional view showing an example of a conventional multilevel interconnection structure formed by using Cu. As shown in FIG. **19B**, a first interconnect **2** is buried in an insulating film **1** formed on a semiconductor substrate (not shown), and a SiN film **3**, a SiO_2 film **4** and a FSG (fluorine-doped silicate glass, i.e., fluorine-doped silicon oxide) film **5** are formed in this order over the insulating film **1** and the first interconnect **2**. A via hole **6** is formed through the SiO_2 film **4** and the SiN film **3** to reach the first interconnect **2**. An interconnect trench **7** is formed in the FSG film **5** to reach the via hole **6**. A barrier film **8** and a Cu film **9** are buried in this order in the via hole **6** and the interconnect trench **7**, thereby forming a via **10** and a second interconnect **11** in the via hole **6** and the interconnect trench **7**, respectively. A SiN film **12** is formed on the FSG film **5** and the second interconnect **11**.

As shown in FIG. **19B**, the first interconnect **2** and the second interconnect **11** are electrically connected to each other by way of the via **10**. Each of the first interconnect **2** and the second interconnect **11** is electrically connected to another element (now shown) or an external electrode (not shown.) In this manner, the first interconnect **2**, the via **10** and the second interconnect **11** constitute part of a closed circuit in actual use.

FIG. **19C** is a plan view showing the multilevel interconnection structure shown in FIG. **19B** when viewed above. As shown in FIG. **19C**, the first interconnect **2** has a width smaller than that of the second interconnect **11**. Specifically, the width of the first interconnect **2** is 0.2 μm, the diameter of the via **10** (the via hole **6**) is 0.20 μm, and the width of the second interconnect **11** is 10 μm.

FIGS. **18A** through **18C** and **19A** are cross-sectional views showing respective process steps of a conventional method for forming the multilevel interconnection structure shown in FIG. **19B** (see Japanese Unexamined Patent Publication (Kokai) No. 2000-331991.)

First, as shown in FIG. **18A**, an insulating film **1** is formed on the surface of a semiconductor substrate (not shown), and then a first interconnect **2** is formed in the insulating film **1**.

Next, as shown in FIG. **18B**, a SiN film **3**, a SiO_2 film **4** and a FSG film **5** are formed in this order over the insulating film **1** and the first interconnect **2** by a plasma chemical vapor deposition (plasma CVD) process. Thereafter, lithography and dry etching are alternately performed twice (i.e., lithography and dry etching are each performed twice), thereby forming a via hole **6** through the SiO_2 film **4** and the SiN film **3** to reach the first interconnect **2** and also forming an interconnect trench **7** in the FSG film **5** to reach the via hole **6**.

Then, as shown in FIG. **18C**, a barrier film **8** is deposited by a physical vapor

deposition (PVD) process to fill the via hole **6** and the interconnect trench **7**. Then, a Cu film **9** is formed by a plating process on the barrier film **8** to completely fill the via hole **6** and the interconnect trench **7**.

Thereafter, as shown in FIG. **19A**, parts of the barrier film **8** and the Cu film **9** extending off the interconnect trench **7** are removed by a chemical/mechanical polishing (CMP) process. In this manner, a second interconnect **11** is formed in the interconnect trench **7**, and a via **10** connecting the first interconnect **2** and the second interconnect **11** to each other is formed in the via hole **6**.

Lastly, a SiN film **12** is deposited over the FSG film **5** and the second interconnect **11** (the Cu film **9**), thus completing the multilevel interconnection structure shown in FIG. **19B**.

SUMMARY OF THE INVENTION

However, this conventional multilevel interconnection structure has the following drawbacks. A large number of vacancies are present in the Cu film **9** deposited by plating. When the multilevel interconnection structure is held at high temperature, these vacancies move along the gradient of stress. Specifically, if compressive stress inside the via **10** is higher than compressive stress inside the second interconnect **11**, i.e., if tensile stress inside the via **10** is lower than tensile stress inside the second interconnect **11**, vacancies flow from the second interconnect **11** into the via **10**. In particular, in a multilevel interconnection structure as shown in FIGS. **19B** and **19C**, the volume of the second interconnect **11** is much greater than that of the via **10**, so that a large number of vacancies flow from the second interconnect **11** into the via **10**. As a result, as shown in FIG. **20A**, plastic deformation occurs in a part of the Cu film **9** constituting the via **10**, so that a void **13** is created in the via hole **6**. If the electrical connection between the first interconnect **2**

and the second interconnect **11** is broken by this void **13**, the device malfunctions.

It is therefore an object of the present invention to achieve a highly-reliable multilevel interconnection structure which does not cause malfunction even when the structure is held at high temperature.

To achieve the object, a first interconnection structure according to the present invention includes: a lower interconnect; an upper interconnect; a first insulating film provided between the lower interconnect and the upper interconnect; and a second insulating film provided under the first insulating film, wherein the lower interconnect and the upper interconnect are connected to each other by way of a via formed in the first insulating film, at least one dummy via is connected to the upper interconnect, the lower interconnect is formed in the second insulating film, and the bottom of the dummy via is located in the second insulating film.

In the first interconnection structure, the dummy via is provided on the upper interconnect near the via, so that vacancies in a part of a conductive film constituting the upper interconnect are divided and respectively flow into the via and the dummy via. That is, the dummy via reduces the stress gradient from the upper interconnect to the via. Accordingly, even when the interconnection structure is held at high temperature, flowing of vacancies from the upper interconnect to the via is suppressed. As a result, plastic deformation of a part of the conductive film constituting the via, i.e., occurrence of a void inside the via hole, is suppressed, so that a highly-reliable multilevel interconnection structure which does not cause malfunction even when held at high temperature is implemented.

In addition, in the first interconnection structure, the bottom of the dummy via is located in the second insulating film below the first insulating film. Therefore, a hole for forming the dummy via is deeper than a hole for forming the via (i.e., a via hole.)

Accordingly, the stress gradient between the upper interconnect and the dummy via is steeper than that between the upper interconnect and the via. As a result, flowing of vacancies from the part of the conductive film constituting the upper interconnect into the dummy via precedes that into the via. This more effectively suppresses plastic deformation of the part of the conductive film constituting the via, i.e., occurrence of a void in the via hole. As a result, the reliability of the multilevel interconnection structure is further enhanced.

A dummy via and a dummy interconnect herein means a pseudo via or a pseudo interconnect which do not constitute a closed circuit in actual use of a device with an interconnection structure including these via and interconnect (i.e., no current flows therein during actual use of the device.)

In the first interconnection structure, the bottom of the dummy via may be connected to a dummy interconnect formed in the second insulating film. Then, a hole for forming a dummy via is easily formed by etching the first insulating film with the dummy interconnect used as an etching stopper.

In the first interconnection structure, a third insulating film may be formed on the upper interconnect, and the dummy via may be formed in the third insulating film such that the bottom of the dummy via is connected to the upper interconnect.

In the first interconnection structure, the dummy via preferably has a diameter smaller than that of the via.

Then, the diameter of the hole for the dummy via is smaller than that of the hole for the via (i.e., the via hole). In other words, the volume of the dummy via is smaller than that of the via. Accordingly, the stress gradient between the upper interconnect and the dummy via is steeper than that between the upper interconnect and the via. As a result, flowing of vacancies from a part of the conductive film constituting the upper interconnect

into the dummy via precedes that into the via. This more effectively suppresses plastic deformation of a part of the conductive film constituting the via, i.e., occurrence of a void in the via hole. As a result, the reliability of the multilevel interconnection structure is further enhanced.

In the first interconnection structure, the dummy via is preferably substantially rectangular in a plan view, and the length of the dummy via and the width of the upper interconnect are provided along the same direction in the plan view.

Then, vacancies which are present in a part of the conductive film constituting the upper interconnect opposite the via with respect to the dummy via flow into the dummy via, so that it is possible to prevent these vacancies from reaching the via. This more effectively suppresses plastic deformation of a part of the conductive film constituting the via, i.e., occurrence of a void in the via hole. As a result, the reliability of the multilevel interconnection structure is further enhanced.

In the first interconnection structure, the via may be substantially circular in a plan view, and the dummy via may have a shape different from that of the via in the plan view.

In the first interconnection structure, the dummy via is preferably closer to a center of the upper interconnect than the via is. In other words, the distance between the via and the end of the upper interconnect opposite the via with respect to the dummy via (which will be also referred to as the end of the upper interconnect toward the dummy via) is preferably longer than the distance between the via and the other end of the upper interconnect, i.e., the end of the upper interconnect toward the via.

Then, the distance between the via and the end of the upper interconnect toward the dummy via is longer than the distance between the via and the other end of the upper interconnect. In other words, a first region in the upper interconnect between the end thereof toward the dummy via and the via is larger than a second region in the upper

interconnect between the other end thereof and the via. Therefore, the first region contains a larger number of vacancies than the second region. In addition, the dummy via is provided in this first region, so that vacancies more effectively flow into the dummy via. This more effectively suppresses plastic deformation of a part of the conductive film constituting the via, i.e., occurrence of a void in the via hole. As a result, the reliability of the multilevel interconnection structure is further enhanced.

In the first interconnection structure, the via and the dummy via are preferably spaced at a distance of 1 μm or less.

Then, the effect of making part of vacancies which are to flow into the via flow into the dummy via is ensured. The space between a via (a via hole) and a dummy via (a dummy hole) herein means the space between the edge of the via toward the dummy via and the edge of the dummy via toward the via. The minimum space is set in accordance with the minimum isolation width between interconnects or vias defined by the design rule, for example.

A second interconnection structure according to the present invention includes: a lower interconnect; an upper interconnect; and a first insulating film provided between the lower interconnect and the upper interconnect, wherein the lower interconnect and the upper interconnect are connected to each other by way of a via formed in the first insulating film, and at least one insulating slit is formed in the upper interconnect.

In the second interconnection structure, the insulating slit is provided in the upper interconnect near the via, so that the tensile stress on a part of the upper interconnect near the via is lower than that on the other part of the upper interconnect. That is, the insulating slit reduces the stress gradient from the upper interconnect to the via. Accordingly, even when the interconnection structure is held at high temperature, flowing of vacancies from the upper interconnect toward the via is suppressed. In addition, the insulating slit is made

of a material different from that for a conductive film constituting the upper interconnect and the via, so that the insulating slit acts as a barrier against movement of atoms or vacancies in the conductive film. This prevents convection of atoms inside the upper interconnect and the via or accumulation of vacancies on the bottom of the via. As a result, plastic deformation of a part of the conductive film constituting the via, i.e., occurrence of a void inside the via hole, is suppressed, so that a highly-reliable multilevel interconnection structure which does not cause malfunction even when held at high temperature is implemented.

In the second interconnection structure, the insulating slit may be a part of the first insulating film provided between the lower interconnect and the upper interconnect, for example.

In the second interconnection structure, the insulating slit may be in contact with a portion of the upper interconnect connected to the via. In such a case, if the insulating slit is substantially rectangular in a plan view, the length of the insulating slit is greater than or equal to twice and less than or equal to four times as large as the diameter of the via in the plan view, and a longer side of the insulating slit in the plan view is in contact with the portion of the upper interconnect connected to the via, the foregoing advantages are obtained.

In the second interconnection structure, it is preferable that the insulating slit is substantially rectangular in a plan view, the length of the insulating slit is greater than or equal to twice and less than or equal to ten times as large as the diameter of the via in the plan view, and the length of the insulating slit and the width of the upper interconnect are provided along the same direction in the plan view.

Then, even in a case where the insulating slit is apart from a portion of the upper interconnect connected to the via, the following advantage is obtained. Flowing of

vacancies which are present in a part of a conductive film constituting the upper interconnect opposite the via with respect to the insulating slit is blocked by the insulating slit, so that these vacancies do not reach the via. In addition, the insulating slit is closer to the center of the upper interconnect than the via is. In other words, the distance between the via and the end of the upper interconnect opposite the via with respect to the insulating slit (which will be also referred to as the end of the upper interconnect toward the insulating slit) is longer than the distance between the via and the other end of the upper interconnect, i.e., the end of the upper interconnect toward the via, so that a first region in the upper interconnect between the end thereof toward the insulating slit and the via is larger than a second region in the upper interconnect between the other end thereof and the via. Therefore, the first region contains a larger number of vacancies than the second region. In addition, the insulating slit is provided in this first region, so that movement of vacancies is more effectively prevented by the insulating slit. This more effectively suppresses plastic deformation of a part of the conductive film constituting the via, i.e., occurrence of a void in the via hole. As a result, the reliability of the multilevel interconnection structure is further enhanced.

In the second interconnection structure, the insulating slit is preferably closer to a center of the upper interconnect than the via is.

In the second interconnection structure, the via and the insulating slit are preferably spaced at a distance of 1 μm or less.

Then, the effect of preventing movement of vacancies which are to flow into the via by using the insulating slit is obtained. The space between a via (a via hole) and an insulating slit herein means the space between the edge of the via toward the insulating slit and the edge of the insulating slit toward the via. As described above, the insulating slit may be in contact with the portion of the upper interconnect connected to the via. In this

case, the space between the via and the insulating slit is zero.

A third interconnection structure according to the present invention includes: a lower interconnect; an upper interconnect; and a first insulating film provided between the lower interconnect and the upper interconnect, wherein the lower interconnect and the upper interconnect are connected to each other by way of a via formed in the first insulating film, the upper interconnect is divided into a first interconnect portion having a relatively large interconnect width and a second interconnect portion having a relatively small interconnect width, the via is connected to the second interconnect portion, at least one dummy portion connected to the upper interconnect is provided on the first insulating film, and a distance between the dummy portion and a branch point between the first interconnect portion and the second interconnect portion is smaller than a distance between the dummy portion and an edge of the second interconnect portion opposite to the branch point.

In the third interconnection structure, not only advantages similar to those obtained by the first interconnection structure but also the following advantage is obtained. Vacancies which are to enter a second interconnect portion (a narrow interconnect portion) from a first interconnect portion (a wide interconnect portion) and flow into the via are effectively captured in the dummy portion. As a result, the number of devices malfunctioning when being held at high temperature is further reduced.

In the third interconnection structure, the dummy portion may be connected to the first interconnect portion or the second interconnect portion, and a distance between the dummy portion and the branch point may be smaller than a distance between the dummy portion and an edge of the second interconnect portion opposite to the branch point. The distance between the dummy portion and the branch point may be 1 μm or less. The dummy portion may have a shape similar to that of the via or be substantially rectangular

in a plan view.

In the third interconnection structure, if the second interconnect portion has an interconnect width of 0.20 μm or less, the foregoing advantages are more remarkable than those in a conventional interconnection structure.

A first method for forming an interconnection structure according to the present invention includes the steps of: depositing a first insulating film on a lower interconnect; forming, in the first insulating film, a via hole reaching the lower interconnect, at least one dummy hole located near the via hole, and an upper interconnect trench connected to the via hole and the dummy hole; and depositing a conductive material in the upper interconnect trench, the via hole and the dummy hole, thereby forming an upper interconnect, a via for connecting the lower interconnect and the upper interconnect to each other, and a dummy via connected to the upper interconnect and insulated from the lower interconnect, wherein the lower interconnect is formed in a second insulating film under the first insulating film, and the dummy hole is formed such that the bottom of the dummy hole is located in the second insulating film.

With the first method, the first interconnection structure according to the present invention is formed, so that advantages similar to those obtained by the first interconnection structure are obtained. To form a via or an upper interconnect, a damascene process such as a dual damascene process or other processes may be used.

A second method for forming an interconnection structure according to the present invention includes the steps of: depositing a first insulating film on a lower interconnect; forming, in the first insulating film, a via hole reaching the lower interconnect and an upper interconnect trench connected to the via hole; depositing a conductive material in the upper interconnect trench and the via hole, thereby forming an upper interconnect and a via for connecting the lower interconnect and the upper interconnect to each other;

depositing a second insulating film on the upper interconnect; forming, in the second insulating film, a dummy hole reaching the upper interconnect and located near the via; and depositing a conductive material in the dummy hole, thereby forming at least one dummy via.

With the second method, the first interconnection structure according to the present invention is formed, so that advantages similar to those obtained by the first interconnection structure are obtained. To form a via or an upper interconnect, a damascene process such as a dual damascene process or other processes may be used.

In the first or second method, the via hole and the dummy hole are preferably spaced at a distance of 1 μm or less.

Then, part of vacancies which are to flow into the via flow into the dummy via.

A third method for forming an interconnection structure according to the present invention includes the steps of: depositing a first insulating film on a lower interconnect; forming, in the first insulating film, a via hole reaching the lower interconnect and an upper interconnect trench connected to the via hole; and depositing a conductive material in the upper interconnect trench and the via hole, thereby forming an upper interconnect and a via for connecting the lower interconnect and the upper interconnect to each other, wherein the step of forming the via hole and the upper interconnect trench includes the step of leaving part of the first insulating film in the upper interconnect trench near the via hole, thereby forming an insulating slit.

With the third method, the second interconnection structure according to the present invention is formed, so that advantages similar to those obtained by the second interconnection structure are obtained. To form a via or an upper interconnect, a damascene process such as a dual damascene process or other processes may be used.

A fourth method for forming an interconnection structure according to the present

invention includes the steps of: depositing a first insulating film on a lower interconnect; forming, in the first insulating film, a via hole reaching the lower interconnect, an upper interconnect trench connected to the via hole and divided into a first trench with a relatively large width and a second trench with a relatively small width, and a recess provided near a branch point between the first trench and the second trench; and depositing a conductive material in the upper interconnect trench, the via hole and the recess, thereby forming an upper interconnect, a via for connecting the lower interconnect and the upper interconnect to each other and a dummy portion connected to the upper interconnect and insulated from the lower interconnect, wherein a first interconnect portion constituting the upper interconnect is formed in the first trench and a second interconnect portion constituting the upper interconnect is formed in the second trench.

With the fourth method, the third interconnection structure according to the present invention is formed, so that advantages similar to those obtained by the third interconnection structure are obtained. To form a via or an upper interconnect, a damascene process such as a dual damascene process or other processes may be used.

As described above, according to the present invention, a dummy via or an insulating slit is provided on/in the upper interconnect near via, so that it is possible to prevent flowing of vacancies from an upper interconnect toward a via constituting a closed circuit together with the upper interconnect in actual use. Accordingly, plastic deformation of a part of a conductive film constituting the via, i.e., occurrence of a void in a via hole, is suppressed, resulting in a highly-reliable multilevel interconnection structure. The present invention relates to interconnection structures and methods for forming the structures, and is useful especially when applied to electronic devices such as semiconductor devices.

BRIEF DESCRIPTION OF THE DRAWINGS

FIGS. **1A** through **1C** are cross-sectional views showing respective process steps of a method for forming an interconnection structure according to a first embodiment of the present invention.

FIGS. **2A** and **2B** are cross-sectional views showing respective process steps of the method for forming the interconnection structure of the first embodiment, and FIG. **2C** is a plan view showing the interconnection structure of the first embodiment.

FIG. **3** is a graph showing how an effect achieved by the first embodiment (i.e., the effect of suppressing malfunction after a device has been held at high temperature) depends on a via-to-dummy via space.

FIG. **4** is a plan view showing an interconnection structure according to a modified example of the first embodiment.

FIG. **5** is a graph showing how an effect achieved by the modified example of the first embodiment (i.e., the effect of suppressing malfunction after a device has been held at high temperature) depends on an interconnect width (i.e., the width of a narrow interconnect on which a via is formed.)

FIGS. **6A** through **6C** are cross-sectional views showing respective process steps of a method for forming an interconnection structure according to a second embodiment of the present invention.

FIGS. **7A** and **7B** are cross-sectional views showing respective process steps of the method for forming the interconnection structure of the second embodiment, and FIG. **7C** is a plan view showing the interconnection structure of the second embodiment.

FIG. **8A** is a cross-sectional view showing an interconnection structure according to a third embodiment of the present invention, and FIG. **8B** is a plan view showing the interconnection structure of the third embodiment.

FIG. **9A** is a cross-sectional view showing an interconnection structure according to

a fourth embodiment of the present invention, and FIG. **9B** is a plan view showing the interconnection structure of the fourth embodiment.

FIG. **10** is a plan view showing an interconnection structure according to a modified example of the fourth embodiment.

FIGS. **11A** through **11C** are cross-sectional views showing respective process steps of a method for forming an interconnection structure according to a fifth embodiment of the present invention.

FIGS. **12A** through **12C** are cross-sectional views showing respective process steps of the method for forming the interconnection structure of the fifth embodiment.

FIGS. **13A** and **13B** are cross-sectional views showing respective process steps of the method for forming the interconnection structure of the fifth embodiment, and FIG. **13C** is a plan view showing the interconnection structure of the fifth embodiment.

FIGS. **14A** through **14C** are cross-sectional views showing respective process steps of a method for forming an interconnection structure according to a sixth embodiment of the present invention.

FIGS. **15A** and **15B** are cross-sectional views showing respective process steps of the method for forming the interconnection structure of the sixth embodiment, and FIG. **15C** is a plan view showing the interconnection structure of the sixth embodiment.

FIG. **16** is a graph showing an effect achieved by the sixth embodiment (i.e., the effect of suppressing malfunction after a device has been held at high temperature).

FIG. **17A** is a cross-sectional view showing an interconnection structure according to a seventh embodiment of the present invention, and FIG. **17B** is a plan view showing the interconnection structure of the seventh embodiment.

FIGS. **18A** through **18C** are cross-sectional views showing respective process steps of a conventional method for forming an interconnection structure.

FIGS. **19A** and **19B** are cross-sectional views showing respective process steps of the conventional method for forming an interconnection structure, and FIG. **19C** is a plan view showing the conventional interconnection structure.

FIG. **20A** is a view for explaining problems in the conventional interconnection structure, and FIG. **20B** is an illustration for explaining a result of an examination carried out by the present inventor on problems in the conventional interconnection structure.

DESCRIPTION OF THE PREFERRED EMBODIMENTS

(Principle of the present invention)

First, for a phenomenon in which a void occurs in a via hole in a conventional multilevel interconnection structure, a result of an examination carried out by the present inventor (i.e., a mechanism of this phenomenon) will be described.

A metal film is affected by its surrounding films depending on an interconnection structure including the metal film. For example, as shown in FIG. **20B**, a metal film (e.g., a Cu film) formed in part of an interconnect trench with a narrow interconnect width provided in an insulating film is slightly stretched by its surrounding insulating films. That is, this Cu film is under relatively low tensile stress. On the other hand, a Cu film formed in part of the interconnect trench with a wide interconnect width in the insulating film is strongly stretched by its surrounding insulating films. That is, this Cu film is under relatively high tensile stress. Such tensile stress occurs mainly because of the difference in a thermal expansion coefficient between a metal film and an insulating film or because of shrinkage of the metal film resulting from thermal load in a subsequent step. The tensile stress greatly changes depending on the shapes of the interconnect trench and the via hole, the placement density and others.

A metal film made of Cu or another metal generally has a crystal structure in which

atoms are relatively regularly arranged immediately after formation of the film. To form a Cu film, which is mainly used as an interconnect material, is generally formed by electroplating. The Cu film formed by electroplating contains a large number of vacancies. In addition, in the interconnection structure shown in FIG. **20B**, vacancies contained in the Cu film are more likely to gather in a portion of the Cu film where tensile stress is low than in a portion thereof where tensile stress is high. This is because stress applied from the neighboring insulating films to the crystal structure of the Cu film is relaxed by entering of vacancies into the portion of the Cu film with low tensile stress, i.e., entering of Cu atoms into the portion of the Cu film with high tensile stress.

Accordingly, when the flexibility of Cu atoms and vacancies is enhanced by, for example, application of heat to the interconnection structure, vacancies move along the stress gradient in the Cu film, i.e., move from the portion of the Cu film with high tensile stress to the portion of the Cu film with low tensile stress (where the direction of movement of Cu atoms is opposite to that of vacancies.) As a result, vacancies readily gather in part of the interconnection structure with a narrow interconnect width or the bottom or corners of the interconnect, and thus voids readily occur.

Based on the foregoing finding, the following embodiments of the present invention are made to implement a technical idea in which the stress gradient in a conductive film serving as an interconnect is reduced so as to suppress the movement of vacancies in the conductive film and thereby to avoid occurrence of a void in the interconnect after formation thereof.

EMBODIMENT 1: A case where a via and a dummy via are provided in the same layer (basic structure)

Hereinafter, an interconnection structure and a method for forming the structure according to a first embodiment of the present invention will be described with reference to

the drawings.

FIG. **2B** is a cross-sectional view showing the interconnection structure of the first embodiment. As shown in FIG. **2B**, a first interconnect **102A** and a dummy interconnect **102B** are buried in an insulating film **101** formed on the semiconductor substrate (not shown). A SiN film **103**, a SiO_2 film **104** and an FSG film **105** are stacked over the insulating film **101**, the first interconnect **102A** and the dummy interconnect **102B**. A via hole **106A** and a dummy via hole (dummy hole) **106B** are formed in the SiO_2 film **104** and the SiN film **103** to reach the first interconnect **102A** and the dummy interconnect **102B**, respectively. An interconnect trench **107** is formed in the FSG film **105** to be connected to the via hole **106A** and the dummy hole **106B**. A barrier film **108** and a Cu film **109** are buried in this order in the via hole **106A**, the dummy hole **106B** and the interconnect trench **107**, thereby forming a via **110A**, a dummy via **110B**, and a second interconnect **111** in the via hole **106A**, the dummy hole **106B** and the interconnect trench **107**, respectively. The dummy via **110B** is connected to the second interconnect **111** near the via **110A**. A SiN film **112** is formed on the FSG film **105** and the second interconnect **111**.

As shown in FIG. **2B**, the first interconnect **102A** and the second interconnect **111** are electrically connected to each other by way of the via **110A**. Each of the first interconnect **102A** and the second interconnect **111** is electrically connected to another element (now shown) or an external electrode (not shown.) In this manner, the first interconnect **102A**, the via **110A** and the second interconnect **111** constitute part of a closed circuit in actual use. On the other hand, neither the dummy interconnect **102B** nor the dummy via **110B** constitutes a closed circuit in actual use. That is, even if the dummy interconnect **102B** and the dummy via **110B** are omitted in the interconnection structure shown in FIG. **2B**, a device with this interconnection structure is operable at least immediately after fabrication.

FIG. **2C** is a plan view showing the multilevel interconnection structure shown in FIG. **2B** when viewed above. As shown in FIG. **2C**, in this embodiment, each of the first interconnect **102A** and the dummy interconnect **102B** has a width smaller than that of the second interconnect **111**. Specifically, the width of each of the first interconnect **102A** and the dummy interconnect **102B** is, for example, 0.2 μm, the diameter of each of the via **110A** (the via hole **106A**) and the dummy via **110B** (the dummy hole **106B**) is, for example, 0.20 μm, and the width of the second interconnect **111** is, for example, 10 μm. The space between the via **110A** and the dummy via **110B**, more specifically, the space between the edge of the via **110A** toward the dummy via **110B** and the edge of the dummy via **110B** toward the via **110A** is 0.2 μm, for example. In the present invention, if the planar shape (the shape in plan view) of a via (via hole) is a circle, the diameter of the via (via hole) is the diameter of this circle whereas if the planar shape of the via (via hole) is a square, the diameter of the via (via hole) is the length of a side of this square.

FIGS. **1A** through **1C** and FIG. **2A** are cross-sectional views showing respective process steps of a method for forming the multilevel interconnection structure shown in FIG. **2B** according to the first embodiment.

First, as shown in FIG. **1A**, an insulating film **101** is formed on the surface of a semiconductor substrate (not shown), and then a first interconnect **102A** and a dummy interconnect **102B** are formed in the insulating film **101**.

Next, as shown in FIG. **1B**, a SiN film **103**, a SiO_2 film **104** and a FSG film **105** are formed in this order over the insulating film **101**, the first interconnect **102A** and the dummy interconnect **102B** by a plasma CVD process, for example. Thereafter, lithography and dry etching are alternately performed twice (i.e., lithography and dry etching are each performed twice), thereby forming a via hole **106A** and a dummy hole **106B** in the SiO_2 film **104** and the SiN film **103** to reach the first interconnect **102A** and

the dummy interconnect **102B**, respectively, and also forming an interconnect trench **107** in the FSG film **105** to reach the via hole **106A** and the dummy hole **106B**.

Then, as shown in FIG. **1C**, a barrier film **108** is deposited by a PVD process, for example, to partly fill the via hole **106A**, the dummy hole **106B** and the interconnect trench **107**. Then, a Cu film **109** is formed by a plating process, for example, on the barrier film **108** to completely fill the via hole **106A**, the dummy hole **106B** and the interconnect trench **107**.

Thereafter, as shown in FIG. **2A**, parts of the barrier film **108** and the Cu film **109** extending off the interconnect trench **107** are removed by a CMP process, for example. In this manner, a second interconnect **111** is formed in the interconnect trench **107**. In addition, a via **110A** is formed in the via hole **106A** to connect the first interconnect **102A** and the second interconnect **111** to each other, and a dummy via **110B** is formed in the dummy hole **106B** to connect the dummy interconnect **102B** and the second interconnect **111** to each other. The dummy via **110B** is not connected to the first interconnect **102A**.

Lastly, a SiN film **112** is deposited over the FSG film **105** and the second interconnect **111** (the Cu film **109**), thus completing the multilevel interconnection structure shown in FIG. **2B**.

With the foregoing interconnection structure and the method for forming the structure according to the first embodiment, a highly-reliable multilevel interconnection structure which does not cause malfunction even when held at high temperature is implemented. This is because of the following reasons. The dummy via **110B** is provided on the second interconnect **111** near the via **110A**, so that vacancies in a part of the conductive film (the Cu film **109**) constituting the second interconnect **111** are divided and respectively flow into the via **110A** and the dummy via **110B**. That is, the dummy via **110B** reduces the number of vacancies flowing into each via so that the stress gradient

from the second interconnect **111** to the via **110A** is reduced. Accordingly, even when the interconnection structure is held at high temperature, flowing of vacancies from the second interconnect **111** into the via **110A** is suppressed. As a result, plastic deformation of a part of the conductive film (the Cu film **109**) constituting the via **110A**, i.e., occurrence of a void inside the via hole **106A**, is suppressed, so that a highly-reliable multilevel interconnection structure which does not cause malfunction even when held at high temperature is implemented.

In the first embodiment, the dummy interconnect **102B** is provided under the dummy via **110B** (the dummy hole **106B**). Accordingly, the dummy hole **106B** is easily formed by etching the SiO_2 film **104** and the SiN film **103** with the dummy interconnect **102B** used as an etching stopper.

In the first embodiment, the space between the via **110A** and the dummy via **110B** (i.e., the space between the via hole **106A** and the dummy hole **106B**: hereinafter referred to as a via-to-dummy via space) is preferably as small as possible. To obtain the effect of reducing the number of vacancies flowing into the via **110A** by using the dummy via **110B**, the via-to-dummy via space is preferably 25 μm or less and is more preferably 1 μm or less. The minimum via-to-dummy via space can be set in accordance with the minimum isolation width (e.g., 0.2 μm) between interconnects or vias defined by the design rule, for example. If the minimum isolation width between interconnects is set substantially equal to the minimum interconnect width, the minimum via-to-dummy via space may be set in accordance with the minimum interconnect width.

FIG. **3** shows how an effect achieved by the present invention (i.e., the effect of suppressing malfunction after a device has been held at high temperature) depends on a via-to-dummy via space. In FIG. **3**, the ordinate indicates "the number of devices malfunctioning after being held at high temperature" and the abscissa indicates "via-to-

dummy via space (μm)". The "without dummy via" in the abscissa corresponds to a case where the via-to-dummy via space is unlimited. As shown in FIG. **3**, as the via-to-dummy via space decreases, the number of malfunctioning devices decreases. In other words, the effect of the present invention becomes remarkable. This is because as the via-to-dummy via space decreases, vacancies which are to gather in the via are more likely to be absorbed in the dummy via.

However, as shown in FIG. **3**, when the via-to-dummy via space is 30 μm or more, it is difficult to effectively suppress occurrence of a void in the via by using the dummy via. This is because of the following reason. Vacancies moves within a limited range and therefore it is difficult for the dummy via to absorb vacancies which are to enter the via when the via-to-dummy via space is large. Accordingly, when the via-to-dummy via space is large, especially when the via-to-dummy via space greatly exceeds 30 μm, the incidence of voids is substantially equal to that in the case of "without dummy via". As a result, the number of devices malfunctioning after being held at high temperature is not sufficiently reduced.

In the first embodiment, the number of dummy vias **110B** provided for one via **110A** is preferably as large as possible. Specifically, it is preferable to provide dummy vias **110B** as many as possible on a part of the second interconnect **111** where the dummy vias **110B** do not affect circuit operation.

MODIFIED EXAMPLE OF EMBODIMENT 1

Hereinafter, an interconnection structure and a method for forming the structure according to a modified example of the first embodiment will be described with reference to the drawings.

FIG. **4** is a plan view showing the interconnection structure of the modified example of the first embodiment.

As shown in FIG. **4**, this modified example is different from the first embodiment (see FIG. **2C**) in the following ways. First, the second interconnect **111** includes: a wide interconnect portion **111a** having a width of 10 μm, for example; and a narrow interconnect portion **111b** having a width of 0.20 μm, for example, and branching off from the wide interconnect portion **111a**. Second, the via **110A** (the via hole **106A**) is connected to the narrow interconnect portion **111b**. Third, a plurality of dummy vias **110B** (the dummy holes **106B**) are connected to the branch point between the wide interconnect portion **111a** and the narrow interconnect portion **111b** and to portions of the wide interconnect portion **111a** near the branch point.

That is, the method for forming the interconnection structure according to this modified example is different from that of the first embodiment in that in the process step shown in FIG. **1B**, the interconnect trench **107** divided into a first trench with a relatively large width is formed and a second trench with a relatively small width and the dummy holes **106B** are also formed near the branch point between the first trench and the second trench.

In this modified example, not only the advantages obtained by the first embodiment but also the following advantage is obtained. Vacancies which are to enter the narrow interconnect portion **111b** from the wide interconnect portion **111a** and flow into the via **110A** are effectively captured in the dummy vias **110B**. As a result, the number of devices malfunctioning when being held at high temperature is further reduced.

In this modified example, one or more dummy vias **110B** (dummy holes **106B**) may be connected to the branch point between the wide interconnect portion **111a** and the narrow interconnect portion **111b** or portions of the wide interconnect portion **111a** near the branch point. However, the dummy vias **110B** are not necessarily provided only at the branch point or its neighboring portions. For example, if a dummy via **110B** is located in

part of the narrow interconnect portion **111b** relatively near the wide interconnect portion **111a**, most of vacancies which are to enter the via **110A** are captured in the dummy via **110B** before reaching the via **110A**. Accordingly, it is possible to prevent occurrence of a void in the via **110A**.

In this modified example, the distance between the branch point and each of the dummy vias **110B** is preferably smaller than the distance between an edge of the wide interconnect portion **111a** opposite to the branch point and each of the dummy vias **110B**.

In this modified example, dummy vias **110B** each having substantially the same shape as that of the via **110A** in plan view are provided. Alternatively, dummy portions each having a shape (e.g., a rectangle) different from that of the via **110A** in plan view may be provided.

FIG. **5** shows how an effect achieved by the dummy via **110B** of this modified example (i.e., a dummy portion formed in part of the wide interconnect portion **111a** near the branch point, for example) depends on a via-formed interconnect width (i.e., the width of the narrow interconnect portion **111b** where the via **110A** is formed.) In FIG. **5**, the ordinate indicates "the number of devices malfunctioning after being held at high temperature" and the abscissa indicates "via-formed interconnect width (μm)". The "without dummy via" in the abscissa corresponds to a case where no dummy via **110B** is provided on the wide interconnect portion **111a** near the branch point. As shown in FIG. **5**, in a case where the width of the interconnect portion **111b** on which the via **110A** is formed is about 10 μm, i.e., the width of the interconnect portion **111b** is substantially equal to that of the interconnect portion **111a** to which the interconnect portion **111b** is connected, even if a dummy via (dummy portion) is formed near the branch point between these interconnect portions, the number of malfunctioning devices does not change greatly. That is, if the width of the interconnect portion **111b** on which the via **110A** is formed is

relatively large, the interconnect portion **111b** contains a large amount of metal. Accordingly, this interconnect portion **111b** is likely to contain a large number of defects such as voids caused by the presence of metal. As a result, the number of malfunctioning devices is relatively large depending on the amount of metal contained in the interconnect portion **111b**.

On the other hand, as the width of the interconnect portion **111b** on which the via **110A** is formed decreases, the amount of metal contained in the interconnect portion **111b** decreases. Accordingly, the number of defects occurring in the interconnect portion **111b** due to the presence of metal slightly decreases. However, as the interconnect portion **111b** becomes narrower, the diameter of the via **110A** provided on the interconnect portion **111b** decreases, so that defects such as voids are more likely to concentrate in the via **110A**. In view of this, as shown in FIG. **4**, the dummy via (dummy portion) **110B** is formed near the branch point between the narrow interconnect portion **111b** on which the via **110A** is formed and the wide interconnect portion **111a**. In this manner, the incidence of malfunction is reduced in accordance with reduction of the interconnect width of the narrow interconnect portion **111b**, as shown in FIG. **5**. This is because the number of defects occurring in the metal film decreases with reduction of the interconnect width and, in addition, defects which are to concentrate in the via are absorbed in the dummy vias in advance. Specifically, as the width of the interconnect portion **111b** on which the via **110A** is formed decreases, i.e., the diameter of the via **110A** decreases, a larger number of defects are absorbed in the dummy vias **110B**. This absorbing effect is remarkable especially when the width of the narrow interconnect portion **111b** is about 0.20 μm or less, as shown in FIG. **5**.

EMBODIMENT 2: A case where a via and a dummy via are provided in the same layer (without a dummy interconnect)

Hereinafter, an interconnection structure and a method for forming the structure according to a second embodiment of the present invention will be described with reference to the drawings.

FIG. **7B** is a cross-sectional view showing the interconnection structure of the second embodiment. FIG. **7C** is a plan view showing the multilevel interconnection structure shown in FIG. **7B** when viewed from above. In FIGS. **7B** and **7C**, components already described in the first embodiment with reference to FIGS. **1A** through **1C** and **2A** through **2C** are denoted by the same reference numerals, and detailed description thereof will be omitted.

As shown in FIGS. **7B** and **7C**, the second embodiment is different from the first embodiment in the following ways. The dummy interconnect **102B** is not provided, a dummy hole **106C** deeper than the dummy hole **106B** is provided instead of the dummy hole **106B**, and a dummy via **110C** is formed in the dummy hole **106C** instead of the dummy via **110B**. That is, the bottom of the dummy via **110C** (the dummy hole **106C**) is located in an insulating film **101**, and the dummy hole **106C** is deeper than a via hole **106A**.

In this embodiment, the dummy via **110C** is also connected to a second interconnect **111** near the via **110A**.

As shown in FIG. **7B**, the dummy via **110C** does not constitute a closed circuit in actual use. In other words, even if the dummy hole **106C** is omitted in the interconnection structure shown in FIG. **7B**, a device with this interconnection structure is operable at least immediately after fabrication.

In addition, in this embodiment, a first interconnect **102A** has a width smaller than that of the second interconnect **111**, as shown in FIG. **7C**. Specifically, the width of the first interconnect **102A** is, for example, 0.2 μm, the diameter of each of the via **110A** (the

via hole **106A**) and the dummy via **110C** (the dummy hole **106C**) is, for example, 0.20 μm, and the width of the second interconnect **111** is, for example, 10 μm. The space between the via **110A** and the dummy via **110C**, more specifically, the space between the edge of the via **110A** toward the dummy via **110C** and the edge of the dummy via **110C** toward the via **110A** is 0.2 μm, for example.

FIGS. **6A** through **6C** and **7A** are cross-sectional views showing respective process steps of a method for forming the multilevel interconnection structure shown in FIG. **7B** according to the second embodiment.

First, as shown in FIG. **6A**, an insulating film **101** is formed on the surface of a semiconductor substrate (not shown), and then a first interconnect **102A** is formed in the insulating film **101**.

Next, as shown in FIG. **6B**, a SiN film **103**, a SiO_2 film **104** and a FSG film **105** are formed in this order over the insulating film **101** and the first interconnect **102A** by a plasma CVD process, for example. Thereafter, lithography and dry etching are alternately performed twice (i.e., lithography and dry etching are each performed twice), thereby forming a via hole **106A** in the SiO_2 film **104** and the SiN film **103** to reach the first interconnect **102A** and also forming a dummy hole **106C** in the SiO_2 film **104**, the SiN film **103** and the insulating film **101**. In addition, an interconnect trench **107** is formed in the FSG film **105** to reach the via hole **106A** and the dummy hole **106C**.

Then, as shown in FIG. **6C**, a barrier film **108** is deposited by a PVD process, for example, to partly fill the via hole **106A**, the dummy hole **106C** and the interconnect trench **107**. Then, a Cu film **109** is formed by a plating process, for example, on the barrier film **108** to completely fill the via hole **106A**, the dummy hole **106C** and the interconnect trench **107**.

Thereafter, as shown in FIG. **7A**, parts of the barrier film **108** and the Cu film **109**

extending off the interconnect trench **107** are removed by a CMP process, for example. In this manner, a second interconnect **111** is formed in the interconnect trench **107**. In addition, a via **110A** is formed in the via hole **106A** to connect the first interconnect **102A** and the second interconnect **111** to each other. A dummy via **110C** connected only to the second interconnect **111** is formed in the dummy hole **106C**. In other words, the dummy via **110C** is not connected to the first interconnect **102A**.

Lastly, a SiN film **112** is deposited over the FSG film **105** and the second interconnect **111** (the Cu film **109**), thus completing the multilevel interconnection structure shown in FIG. **7B**.

With the foregoing interconnection structure and the method for forming the structure according to the second embodiment, a highly-reliable multilevel interconnection structure which does not cause malfunction even when held at high temperature is implemented. This is because of the following reasons. The dummy via **110C** is provided on the second interconnect **111** near the via **110A**, so that vacancies in a part of the conductive film (the Cu film **109**) constituting the second interconnect **111** are divided and respectively flow into the via **110A** and the dummy via **110C**. That is, the dummy via **110C** reduces the number of vacancies flowing into each via so that the stress gradient from the second interconnect **111** to the via **110A** is reduced. Accordingly, even when the interconnection structure is held at high temperature, flowing of vacancies from the second interconnect **111** into the via **110A** is suppressed. As a result, plastic deformation of a part of the conductive film (the Cu film **109**) constituting the via **110A**, i.e., occurrence of a void inside the via hole **106A**, is suppressed, so that a highly-reliable multilevel interconnection structure which does not cause malfunction even when held at high temperature is implemented.

In the second embodiment, the resultant multilevel interconnection structure is

more reliable than that obtained in the first embodiment. This is because of the following reasons. In this embodiment, the dummy hole **106C** is deeper than the via hole **106A**. Accordingly, the stress gradient between the second interconnect **111** and the dummy via **110C** is steeper than that between the second interconnect **111** and the via **110A**, so that flowing of vacancies from the part of the conductive film (the Cu film **109**) constituting the second interconnect **111** into the dummy via **110C** precedes that into the via **110A**. This more effectively suppresses plastic deformation of the part of the conductive film (the Cu film **109**) constituting the via **110A**, i.e., occurrence of a void in the via hole **106A**. As a result, the resultant multilevel interconnection structure is more reliable than that obtained in the first embodiment.

In the second embodiment, the space between the via **110A** and the dummy via **110C** (i.e., the space between the via hole **106A** and the dummy hole **106C**: hereinafter referred to as a via-to-dummy via space) is preferably as small as possible. To obtain the effect of reducing the number of vacancies flowing into the via **110A** by using the dummy via **110C**, the via-to-dummy via space is preferably 25 μm or less and is more preferably 1 μm or less. Then, the effect of making part of vacancies which are to flow into the via **110A** flow into the dummy via **110C** is ensured. The minimum via-to-dummy via space can be set in accordance with the minimum isolation width (e.g., 0.2 μm) between interconnects or vias defined by the design rule, for example. If the minimum isolation width between interconnects is set substantially equal to the minimum interconnect width, the minimum via-to-dummy via space may be set in accordance with the minimum interconnect width.

In the second embodiment, the number of dummy vias **110C** provided for one via **110A** is preferably as large as possible. Specifically, it is preferable to provide dummy vias **110C** as many as possible on a part of the second interconnect **111** where the dummy

vias **110C** do not affect circuit operation.

In addition, in the second embodiment, if the second interconnect **111** includes a wide interconnect portion having a width of, for example, about 10 μm and a narrow interconnect portion having a width of, for example, about 0.20 μm or less and branching off from the wide interconnect portion and if the via **110A** (the via hole **106A**) is connected to the narrow interconnect portion, one or more dummy vias **110C** (dummy holes **106C**) are preferably connected to the branch point between the wide interconnect portion and the narrow interconnect portion or to part of the wide interconnect portion near the branch point. Then, vacancies which are to enter the narrow interconnect portion from the wide interconnect portion and flow into the via **110A** are effectively captured in the dummy vias **110C**. The dummy vias **110C** are not necessarily provided only at the branch point or its neighboring portions. For example, if a dummy via **110C** is located in part of the narrow interconnect portion relatively near the wide interconnect portion, most of vacancies which are to enter the via **110A** are captured in the dummy via **110C** before reaching the via **110A**. Accordingly, it is possible to prevent occurrence of a void in the via **110A**. As a result, the number of devices malfunctioning when held at high temperature is further reduced.

EMBODIMENT 3: A case where a via and a dummy via are provided in the same layer (with a smaller dummy via)

Hereinafter, an interconnection structure and a method for forming the structure according to a third embodiment of the present invention will be described with reference to the drawings.

FIG. **8A** is a cross-sectional view showing the interconnection structure of the third embodiment. FIG. **8B** is a plan view showing the multilevel interconnection structure shown in FIG. **8A** when viewed from above. In FIGS. **8A** and **8B**, components already

described in the first embodiment with reference to FIGS. **1A** through **1C** and **2A** through **2C** are denoted by the same reference numerals, and detailed description thereof will be omitted.

As shown in FIGS. **8A** and **8B**, the third embodiment is different from the first embodiment in the following ways. Instead of the dummy hole **106B**, a dummy hole **106D** with a diameter smaller than that of the dummy hole **106B** is provided and a dummy via **110D** is provided in the dummy hole **106D** instead of the dummy via **110B**. That is, in this embodiment, the diameter of the dummy hole **106D** (the dummy via **110D**) is smaller that of a via hole **106A** (a via **110A**).

In this embodiment, the dummy via **110D** is connected to a second interconnect **111** near the via **110A**.

As shown in FIG. **8A**, neither a dummy interconnect **102B** nor the dummy via **110D** constitutes a closed circuit in actual use. In other words, even if the dummy via **110D** is omitted in the interconnection structure shown in FIG. **8A**, a device with this interconnection structure is operable at least immediately after fabrication.

In addition, in this embodiment, the width of each of a first interconnect **102A** and the dummy interconnect **102B** is smaller than that of the second interconnect **111**, as shown in FIG. **8B**. Specifically, the width of each of the first interconnect **102A** and the dummy interconnect **102B** is, for example, 0.2 μm, the diameter of the via **110A** (the via hole **106A**) is, for example, 0.20 μm, the diameter of the dummy via **110D** (the dummy hole **106D**) is, for example, 0.16 μm, and the width of the second interconnect **111** is, for example, 10 μm. The space between the via **110A** and the dummy via **110D**, more specifically, the space between the edge of the via **110A** toward the dummy via **110D** and the edge of the dummy via **110D** toward the via **110A** is 0.24 μm, for example.

A method for forming the multilevel interconnection structure shown in FIG. **8A**

according to the third embodiment is different from that of the first embodiment (shown in FIGS. **1A** through **1C**, **2A** and **2B**) only in that the dummy hole **106D** reaching the dummy interconnect **102B** and having a diameter smaller than that of the dummy hole **106B** is formed instead of the dummy hole **106B** in the process step shown in FIG. **1B**. That is, the layout of a mask pattern for forming the dummy hole only needs to be changed.

With the foregoing interconnection structure and the method for forming the structure according to the third embodiment, a highly-reliable multilevel interconnection structure which hardly causes malfunction even when held at high temperature is implemented. This is because of the following reasons. The dummy via **110D** is provided on the second interconnect **111** near the via **110A**, so that vacancies in a part of the conductive film (the Cu film **109**) constituting the second interconnect **111** are divided and respectively flow into the via **110A** and the dummy via **110D**. That is, the dummy via **110D** reduces the number of vacancies flowing into each via so that the stress gradient from the second interconnect **111** to the via **110A** is reduced. Accordingly, even when the interconnection structure is held at high temperature, flowing of vacancies from the second interconnect **111** into the via **110A** is suppressed. As a result, plastic deformation of a part of the conductive film (the Cu film **109**) constituting the via **110A**, i.e., occurrence of a void inside the via hole **106A**, is suppressed, so that a highly-reliable multilevel interconnection structure which hardly causes malfunction even when held at high temperature is implemented.

In the third embodiment, the resultant multilevel interconnection structure is more reliable than that obtained in the first embodiment. This is because of the following reasons. In this embodiment, the diameter of the dummy hole **106D** (the dummy via **110D**) is smaller than that of the via hole **106A** (the via **110A**). In other words, the volume of the dummy via **110D** is smaller than that of the via **110A**. Accordingly, the stress

gradient between the second interconnect **111** and the dummy via **110D** is steeper than that between the second interconnect **111** and the via **110A**, so that flowing of vacancies from the part of the conductive film (the Cu film **109**) constituting the second interconnect **111** into the dummy via **110D** precedes that into the via **110A**. This more effectively suppresses plastic deformation of the part of the conductive film (the Cu film **109**) constituting the via **110A**, i.e., occurrence of a void in the via hole **106A**. As a result, the resultant multilevel interconnection structure is more reliable than that obtained in the first embodiment.

In addition, in the third embodiment, the dummy interconnect **102B** is provided under the dummy via **110D** (the dummy hole **106D**). Accordingly, the dummy hole **106D** is easily formed by etching the SiO_2 film **104** and the SiN film **103** with the dummy interconnect **102B** used as an etching stopper.

In the third embodiment, the space between the via **110A** and the dummy via **110D** (i.e., the space between the via hole **106A** and the dummy hole **106D**: hereinafter referred to as a via-to-dummy via space) is preferably as small as possible. To obtain the effect of reducing the number of vacancies flowing into the via **110A** by using the dummy via **110D**, the via-to-dummy via space is preferably 25 μm or less and is more preferably 1 μm or less. Then, part of vacancies which are to flow into the via **110A** flow into the dummy via **110D**. The minimum via-to-dummy via space can be set in accordance with the minimum isolation width (e.g., 0.2 μm) between interconnects or vias defined by the design rule, for example. If the minimum isolation width between interconnects is set substantially equal to the minimum interconnect width, the minimum via-to-dummy via space may be set in accordance with the minimum interconnect width.

In the third embodiment, the number of dummy vias **110D** provided for one via **110A** is preferably as large as possible. Specifically, it is preferable to provide dummy

vias **110D** as many as possible on a part of the second interconnect **111** where the dummy vias **110D** do not affect circuit operation.

In addition, in the third embodiment, if the second interconnect **111** includes a wide interconnect portion having a width of, for example, about 10 μm and a narrow interconnect portion having a width of, for example, about0.20 μm or less and branching off from the wide interconnect portion and if the via **110A** (the via hole **106A**) is connected to the narrow interconnect portion, one or more dummy vias **110D** (dummy holes **106D**) are preferably connected to the branch point between the wide interconnect portion and the narrow interconnect portion or to part of the wide interconnect portion near the branch point. Then, vacancies which are to enter the narrow interconnect portion from the wide interconnect portion and flow into the via **110A** are effectively captured in the dummy via **110D**. The dummy vias **110D** are not necessarily provided only at the branch point or its neighboring portions. For example, if a dummy via **110D** is located on the narrow interconnect portion relatively near the wide interconnect portion, most of vacancies which are to enter the via **110A** are captured in the dummy via **110D** before reaching the via **110A**. Accordingly, it is possible to prevent occurrence of a void in the via **110A**. As a result, the number of devices malfunctioning when held at high temperature is further reduced.

Moreover, in the third embodiment, instead of the dummy interconnect **102B**, the dummy via **110D** (the dummy hole **106D**) may be formed such that the bottom of the dummy via **110D** is located in the insulating film **101**. Then, the dummy hole **106D** is deeper than the via hole **106A**. This makes the stress gradient between the second interconnect **111** and the dummy via **110D** much steeper than that between the second interconnect **111** and the via **110A** as compared to the first embodiment. Accordingly, flowing of vacancies from the part of the conductive film (the Cu film **109**) constituting the

second interconnect **111** into the dummy via **110D** precedes that into the via **110A**. This more effectively suppresses plastic deformation of the part of the conductive film (the Cu film **109**) constituting the via **110A**, i.e., occurrence of a void in the via hole **106A**. As a result, the reliability of the resultant multilevel interconnection structure is further enhanced.

EMBODIMENT 4: A case where a via and a dummy via are provided in the same layer (where the shape of a dummy via is changed)

Hereinafter, an interconnection structure and a method for forming the structure according to a fourth embodiment of the present invention will be described with reference to the drawings.

FIG. **9A** is a cross-sectional view showing the interconnection structure of the fourth embodiment. FIG. **9B** is a plan view showing the multilevel interconnection structure shown in FIG. **9A** when viewed from above. In FIGS. **9A** and **9B**, components already described in the first embodiment with reference to FIGS. **1A** through **1C** and **2A** through **2C** are denoted by the same reference numerals, and detailed description thereof will be omitted.

As shown in FIGS. **9A** and **9B**, the fourth embodiment is different from the first embodiment in the following ways. Instead of the dummy hole **106B**, a dummy trench **106E** which has a shape different from that of the dummy hole **106B** (i.e., the via hole **106A**), more specifically, which is longer than the via hole **106A** in a plan view, is provided. In addition, instead of the dummy via **110B**, a dummy portion **110E** is provided in the dummy trench **106E**. The dummy trench **106E** (the dummy portion **110E**) is rectangular, for example, in the plan view. The length (i.e., the longer sides) of the dummy portion **110E** and the width (i.e., the shorter sides) of a second interconnect **111** are provided along the same direction in the plan view. The dummy portion **110E** is

connected to the second interconnect **111** near a via **110A** (the via hole **106A**). The dummy portion **110E** is closer to the center of the second interconnect **111** than the via **110A** is. In other words, the distance between the via **110A** and the end of the second interconnect **111** opposite the via **110A** with respect to the dummy portion **110E** is longer than the distance between the via **110A** and the other end of the second interconnect **111**, i.e., the end of the second interconnect **111** toward the via **110A**.

As shown in FIG. **9A**, neither the dummy interconnect **102B** nor the dummy portion **110E** constitutes a closed circuit in actual use. In other words, even if the dummy portion **110E** is omitted in the interconnection structure shown in FIG. **9A**, a device with this interconnection structure is operable at least immediately after fabrication.

In addition, in this embodiment, the width of each of a first interconnect **102A** and a dummy interconnect **102B** is smaller than that of the second interconnect **111**, as shown in FIG. **9B**. Specifically, the width of each of the first interconnect **102A** and the dummy interconnect **102B** is, for example, 0.2 μm, the diameter of the via **110A** (the via hole **106A**) is, for example, 0.20 μm, the length and width of the rectangular dummy portion **110E** (the dummy trench **106E**) are, for example, 0.8 μm and 0.20 μm, respectively, and the width of the second interconnect **111** is, for example, 10 μm. The space between the via **110A** and the dummy portion **110E**, more specifically, the space between the edge of the via **110A** toward the dummy portion **110E** and the edge of the dummy portion **110E** toward the via **110A** is 0.2 μm, for example.

A method for forming the multilevel interconnection structure shown in FIG. **9A** according to the fourth embodiment is different from that of the first embodiment (shown in FIGS. **1A** through **1C**, **2A** and **2B**) only in that the dummy trench **106E** reaching the dummy interconnect **102B** and having a rectangular shape in a plan view is formed instead of the dummy hole **106B** in the process step shown in FIG. **1B**. That is, the layout of a

mask pattern for forming the dummy hole only needs to be changed.

With the foregoing interconnection structure and the method for forming the structure according to the fourth embodiment, a highly-reliable multilevel interconnection structure which does not cause malfunction even when held at high temperature is implemented. This is because of the following reasons. The dummy portion **110E** is provided on the second interconnect **111** near the via **110A**, so that vacancies in a part of a conductive film (a Cu film **109**) constituting the second interconnect **111** are divided and respectively flow into the via **110A** and the dummy portion **110E**. That is, the dummy portion **110E** reduces the number of vacancies flowing into each via so that the stress gradient from the second interconnect **111** to the via **110A** is reduced. Accordingly, even when the interconnection structure is held at high temperature, flowing of vacancies from the second interconnect **111** into the via **110A** is suppressed. As a result, plastic deformation of a part of the conductive film (the Cu film **109**) constituting the via **110A**, i.e., occurrence of a void inside the via hole **106A**, is suppressed, so that a highly-reliable multilevel interconnection structure which hardly causes malfunction even when held at high temperature is implemented.

In the fourth embodiment, the resultant multilevel interconnection structure is more reliable than that obtained in the first embodiment. This is because of the following reasons. In this embodiment, the dummy trench **106E** (the dummy portion **110E**) is longer than the via hole **106A** (the via **110A**) in a plan view and the length of the dummy portion **110E** and the width of the second interconnect **111** are provided along the same direction in the plan view. Accordingly, vacancies which are present in a part of the conductive film (the Cu film **109**) constituting the second interconnect **111** opposite the via **110A** with respect to the dummy portion **110E** flow into the dummy portion **110E**, so that it is possible to prevent these vacancies from reaching the via **110A**. This more effectively

suppresses plastic deformation of the part of the conductive film (the Cu film **109**) constituting the via **110A**, i.e., occurrence of a void in the via hole **106A**. As a result, the resultant multilevel interconnection structure is more reliable than that obtained in the first embodiment.

In addition, in the fourth embodiment, the dummy portion **110E** is closer to the center of the second interconnect **111** than the via **110A** is. In other words, the distance between the via **110A** and the end of the second interconnect **111** opposite the via **110A** with respect to the dummy portion **110E** is longer than the distance between the via **110A** and the other end of the second interconnect **111**, i.e., the end of the second interconnect **111** toward the via **110A**. Accordingly, the following advantage is obtained. A first region in the second interconnect **111** between the via **110A** and the end of the second interconnect **111** toward the dummy portion **110E** is larger than a second region in the second interconnect **111** between the other end thereof and the via **110A**, so that the first region contains a larger number of vacancies than the second region. The dummy portion **110E** is provided on this first region in the second interconnect **111**, and thus vacancies more effectively flow into the dummy portion **110E**. This more effectively suppresses plastic deformation of the part of the conductive film (the Cu film **109**) constituting the via **110A**, i.e., occurrence of a void in the via hole **106A**. As a result, the reliability of the resultant multilevel interconnection structure is further enhanced.

In addition, in the fourth embodiment, the dummy interconnect **102B** is provided under the dummy portion **110E** (the dummy trench **106E**). Accordingly, the dummy trench **106E** is easily formed by etching the SiO_2 film **104** and the SiN film **103** with the dummy interconnect **102B** used as an etching stopper.

In the fourth embodiment, the space between the via **110A** and the dummy portion **110E** (i.e., the space between the via hole **106A** and the dummy trench **106E**: hereinafter

referred to as a via-to-dummy via space) is preferably as small as possible. To obtain the effect of reducing the number of vacancies flowing into the via **110A** by using the dummy portion **110E**, the via-to-dummy via space is preferably 25 μm or less and is more preferably 1 μm or less. Then, the effect of making part of vacancies which are to flow into the via **110A** flow into the dummy portion **110E** is ensured. The minimum via-to-dummy via space can be set in accordance with the minimum isolation width (e.g., 0.2 μm) between interconnects or vias defined by the design rule, for example. If the minimum isolation width between interconnects is set substantially equal to the minimum interconnect width, the minimum via-to-dummy via space may be set in accordance with the minimum interconnect width.

In the fourth embodiment, the number of dummy portions **110E** provided for one via **110A** is preferably as large as possible. Specifically, it is preferable to provide dummy portions **110E** as many as possible on a part of the second interconnect **111** where the dummy portions **110E** do not affect circuit operation.

In the fourth embodiment, the dummy interconnect **102B** is not necessarily provided, and the dummy portion **110E** (the dummy trench **106E**) may be formed instead such that the bottom thereof is located in the insulating film **101**.

In the fourth embodiment, the planar shape of the via hole **106A** (the via **110A**) different from that of the dummy trench **106E** (the dummy portion **110E**) is not limited specifically, and may be a circle or a square, for example.

MODIFIED EXAMPLE OF EMBODIMENT 4

Hereinafter, an interconnection structure and a method for forming the structure according to a modified example of the fourth embodiment will be described with reference to the drawings.

FIG. **10** is a plan view showing the interconnection structure according to the

modified example of the fourth embodiment.

As shown in FIG. **10**, this modified example is different from the fourth embodiment (see FIG. **9B**) in the following ways. First, the second interconnect **111** includes: a wide interconnect portion **111a** having a width of 10 μm, for example; and a narrow interconnect portion **111b** having a width of 0.20 μm, for example, and branching off from the wide interconnect portion **111a**. Second, the via **110A** (the via hole **106A**) is connected to the narrow interconnect portion **111b**. Third, the dummy portion **110E** (the dummy trench **106E**) is connected to the wide interconnect portion **111a** near the branch point between the wide interconnect portion **111a** and the narrow interconnect portion **111b**. In a case where the narrow interconnect portion **111b** extends from a longer side of the wide interconnect portion **111a** as in this modified example, the length of the dummy portion **110E** and the length of the wide interconnect portion **111a** are provided along the same direction in the plan view, as shown in FIG. **10**.

That is, the method for forming the interconnection structure according to this modified example is different from that of the fourth embodiment in that in the process step shown in FIG. **1B**, the interconnect trench **107** divided into a first trench with a relatively large width and a second trench with a relatively small width is formed and the dummy trench **106E** is also formed near the branch point between the first trench and the second trench.

In this modified example, not only the advantages obtained by the fourth embodiment but also the following advantage is obtained. Vacancies which are to enter the narrow interconnect portion **111b** from the wide interconnect portion **111a** and flow into the via **110A** are effectively captured in the dummy portion **110E**. As a result, the number of devices malfunctioning when being held at high temperature is further reduced.

In addition, the advantage of this modified example obtained by using the dummy

portion **110E** (i.e., suppression of malfunction after a device has been held at high temperature) is remarkable especially when the width of the narrow interconnect portion **111b** is about 0.20 μm or less, as in the modified example of the first embodiment.

EMBODIMENT 5: A case where a via and a dummy via are provided in different layers

Hereinafter, an interconnection structure and a method for forming the structure according to a fifth embodiment of the present invention will be described with reference to the drawings.

FIG. **13B** is a cross-sectional view showing the interconnection structure of the fifth embodiment. FIG. **13C** is a plan view showing the multilevel interconnection structure shown in FIG. **13B** when viewed from above. In FIGS. **13B** and **13C**, components already described in the first embodiment with reference to FIGS. **1A** through **1C** and **2A** through **2C** or the second embodiment with reference to FIGS. **6A** through **6C** and **7A** through **7C**, for example, are denoted by the same reference numerals, and detailed description thereof will be omitted.

As shown in FIGS. **13B** and **13C**, a first interconnect **102A** is buried in an insulating film **101** formed on a semiconductor substrate (not shown), and a SiN film **103**, a SiO_2 film **104** and an FSG film **105** are formed in this order over the insulating film **101** and the first interconnect **102A**. A via hole **106A** is formed through the SiO_2 film **104** and the SiN film **103** to reach the first interconnect **102A**. An interconnect trench **107** is formed through the FSG film **105** to reach the via hole **106A**. A barrier film **108** and a Cu film **109** are buried in this order in the via hole **106A** and the interconnect trench **107**, thereby forming a via **100A** and a second interconnect **111** in the via hole **106A** and the interconnect trench **107**, respectively.

A SiN film **112**, a SiO_2 film **113** and an FSG film **114** are formed over the FSG

film **105** and the second interconnect **111**. A dummy via hole (dummy hole) **115** is formed through the FSG film **114**, the SiO_2 film **113** and the SiN film **112** to reach the second interconnect **111**. A barrier film **116** and a Cu film **117** are buried in this order in the dummy hole **115**, thereby forming a dummy via **118** in the dummy hole **115**. The dummy via **118** is connected to the second interconnect **111** near the via **110A**. A SiN film **119** is formed over the FSG film **114** and the dummy via **118**.

As described above, this embodiment is greatly different from the first through fourth embodiments in that the dummy hole **115** (the dummy via **118**) is not provided under the second interconnect **111** but is provided above the second interconnect **111**.

As shown in FIG. **13B**, the dummy via **118** does not constitute any closed circuit in actual use. In other words, even if the dummy via **118** is omitted in the interconnection structure shown in FIG. **13B**, a device with this interconnection structure is operable at least immediately after fabrication.

In addition, as shown in FIG. **13C**, in this embodiment, the first interconnect **102A** has a width smaller than that of the second interconnect **111**. Specifically, the width of the first interconnect **102A** is, for example, 0.2 μm, the diameter of each of the via **110A** (the via hole **106A**) and the dummy via **118** (the dummy hole **115**) is, for example, 0.20 μm, and the width of the second interconnect **111** is, for example, 10 μm. The space between the via **110A** and the dummy via **118**, more specifically, the space between the edge of the via **110A** toward the dummy via **118** and the edge of the dummy via **118** toward the via **110A** is 0.2 μm, for example.

FIGS. **11A** through **11C**, **12A** through **12C** and **13A** are cross-sectional views showing respective process steps of a method for forming the multilevel interconnection structure shown in FIG. **13B** according to the fifth embodiment.

First, as shown in FIG. **11A**, an insulating film **101** is formed on the surface of a

semiconductor substrate (not shown), and then a first interconnect **102A** is formed in the insulating film **101**.

Next, as shown in FIG. **11B**, a SiN film **103**, a SiO_2 film **104** and a FSG film **105** are formed in this order over the insulating film **101** and the first interconnect **102A** by a plasma CVD process, for example. Thereafter, lithography and dry etching are alternately performed twice (i.e., lithography and dry etching are each performed twice), thereby forming a via hole **106A** in the SiO_2 film **104** and the SiN film **103** to reach the first interconnect **102A** and also forming an interconnect trench **107** in the FSG film **105** to reach the via hole **106A**.

Then, as shown in FIG. **11C**, a barrier film **108** is deposited by a PVD process, for example, to partly fill the via hole **106A** and the interconnect trench **107**. Then, a Cu film **109** is formed by a plating process, for example, on the barrier film **108** to completely fill the via hole **106A** and the interconnect trench **107**.

Thereafter, as shown in FIG. **12A**, parts of the barrier film **108** and the Cu film **109** extending off the interconnect trench **107** are removed by a CMP process, for example. In this manner, a second interconnect **111** is formed in the interconnect trench **107**. In addition, a via **110A** is formed in the via hole **106A** to connect the first interconnect **102A** and the second interconnect **111** to each other.

Subsequently, as shown in FIG. **12B**, a SiN film **112**, a SiO_2 film **113** and an FSG film **114** are formed in this order by, for example, a plasma CVD process over the FSG film **105** and the second interconnect **111**. Thereafter, lithography and dry etching are performed, and thereby a dummy hole **115** is formed through the FSG film **114**, the SiO_2 film **113** and the SiN film **112** to reach the second interconnect **111**.

Then, as shown in FIG. **12C**, a barrier film **116** is formed by, for example, a PVD process to partly fill the dummy hole **115**. Thereafter, a Cu film **117** is formed by, for

example, a plating process on the barrier film **116** to completely fill the dummy hole **115**.

Subsequently, as shown in FIG. **13A**, parts of the barrier film **116** and the Cu film **117** extending off the dummy hole **115** are removed by, for example, a CMP process. In this manner, a dummy via **118** connected to the second interconnect **111** is formed in the dummy hole **115**.

Lastly, a SiN film **119** is deposited over the FSG film **114** and the dummy via **118** (the Cu film **117**), thus completing the multilevel interconnection structure shown in FIG. **13B**.

With the foregoing interconnection structure and the method for forming the structure according to the fifth embodiment, a highly-reliable multilevel interconnection structure which does not cause malfunction even when held at high temperature is implemented. This is because of the following reasons. The dummy via **118** is provided on the second interconnect **111** near the via **110A**, so that vacancies in a part of the conductive film (the Cu film **109**) constituting the second interconnect **111** are divided and respectively attracted to the via **110A** and the dummy via **118**. Specifically, in a portion of the second interconnect **111** connected to the dummy via **118**, tensile stress on a part of the Cu film **109** constituting the second interconnect **111** is lower than that on its surrounding portions. Accordingly, vacancies inside the Cu film **109** are attracted to the dummy via **118**, so that even when the interconnection structure is held at high temperature, flowing of vacancies from the second interconnect **111** into the via **110A** is suppressed. As a result, plastic deformation of a part of the conductive film (the Cu film **109**) constituting the via **110A**, i.e., occurrence of a void inside the via hole **106A**, is suppressed, so that a highly-reliable multilevel interconnection structure which does not cause malfunction even when held at high temperature is implemented.

In the fifth embodiment, the space between the via **110A** and the dummy via **118**

(i.e., the space between the via hole **106A** and the dummy hole **115**: hereinafter referred to as a via-to-dummy via space) is preferably as small as possible. To obtain the effect of reducing the number of vacancies flowing into the via **110A** by using the dummy via **118**, the via-to-dummy via space is preferably 25 μm or less and is more preferably 1 μm or less. The minimum via-to-dummy via space can be set in accordance with the minimum isolation width (e.g., 0.2 μm) between interconnects or vias defined by the design rule, for example. If the minimum isolation width between interconnects is set substantially equal to the minimum interconnect width, the minimum via-to-dummy via space may be set in accordance with the minimum interconnect width.

In the fifth embodiment, the number of dummy vias **118** provided for one via **110A** is preferably as large as possible. Specifically, it is preferable to provide dummy vias **118** as many as possible on a part of the second interconnect **111** where the dummy vias **118** do not affect circuit operation.

In the fifth embodiment, the top of the dummy via **118** is located in the insulating films. Alternatively, the top of the dummy via **118** may be connected to a dummy interconnect. In such a structure, after a hole for forming the dummy via **118** has been formed by etching, etching for forming a dummy interconnect trench is performed, thus ensuring removal of residues of the insulating film remaining on the bottom of the hole. Accordingly, connection of the dummy via **118** to the second interconnect **111** is ensured, resulting in that advantages of this embodiment are also obtained in this case.

In the fifth embodiment, if the diameter of the dummy via **118** (the dummy hole **115**) is smaller than that of the via **110A** (the via hole **106A**), advantages similar to those of the third embodiment are obtained.

In addition, in the fifth embodiment, if the dummy via **118** is rectangular in a plan view and the length of this dummy via **118** and the width of the second interconnect **111**

are provided along the same direction in the plan view, advantages similar to those of the fourth embodiment are obtained. In such a case, the dummy via **118** is preferably closer to the center of the second interconnect **111** than the via **110A** is. In other words, if the distance between the via **110A** and the end of the second interconnect **111** opposite the via **110A** with respect to the dummy via **118** is longer than the distance between the via **110A** and the other end of the second interconnect **111**, i.e., the end of the second interconnect **111** toward the via **110A**, the foregoing advantages become more remarkable. In such a case, the planar shape of the via hole **106A** (the via **110A**) is not specifically limited, and may be a circle or a square, for example.

EMBODIMENT 6: Insulating slit 1

Hereinafter, an interconnection structure and a method for forming the structure according to a sixth embodiment of the present invention will be described with reference to the drawings.

FIG. **15B** is a cross-sectional view showing the interconnection structure of the sixth embodiment. FIG. **15C** is a plan view showing the multilevel interconnection structure shown in FIG. **15B** when viewed from above. In FIGS. **15B** and **15C**, components already described in the first embodiment with reference to FIGS. **1A** through **1C** and **2A** through **2C** or the second embodiment with reference to FIGS. **6A** through **6C** and **7A** through **7C**, for example, are denoted by the same reference numerals, and detailed description thereof will be omitted.

As shown in FIGS. **15B** and **15C**, a first interconnect **102A** is buried in an insulating film **101** formed on a semiconductor substrate (not shown), and a SiN film **103**, a SiO_2 film **104** and an FSG film **105** are formed in this order over the insulating film **101** and the first interconnect **102A**. A via hole **106A** is formed through the SiO_2 film **104** and the SiN film **103** to reach the first interconnect **102A**. An interconnect trench **107** is

formed through the FSG film **105** to reach the via hole **106A**. A barrier film **108** and a Cu film **109** are buried in this order in the via hole **106A** and the interconnect trench **107**, thereby forming a via **110A** and a second interconnect **111** in the via hole **106A** and the interconnect trench **107**, respectively.

A characteristic of this embodiment is that a pair of insulating slits **120** is provided in the second interconnect **111** to sandwich a portion of the second interconnect **111** connected to the via **110A** (a portion of the second interconnect **111** on the via **110A**.) In this embodiment, the insulating slits **120** are made of part of the FSG film **105** as an interlayer dielectric film. A SiN film **112** is formed over the FSG film **105** including the insulating slits **120** and the second interconnect **111**.

As shown in FIG. **15C**, in this embodiment, the first interconnect **102A** has a width smaller than that of the second interconnect **111**. Specifically, the width of the first interconnect **102A** is, for example, 0.2 μm, the diameter of the via **110A** (the via hole **106A**) is, for example, 0.20 μm, and the width of the second interconnect **111** is, for example, 10 μm. The shape of each of the insulating slits **120** is rectangular in a plan view, and the length of each of the insulating slits **120** is greater than or equal to twice and less than or equal to four times as large as the diameter of the via **110A** in the plan view. For example, the length and width of each of the insulating slits **120** in the plan view is 0.4 μm and 0.2 μm, respectively. In this embodiment, a longer side of each of the insulating slits **120** is in contact with the portion of the second interconnect **111** connected to the via **110A**.

FIGS. **14A** through **14C** and FIG. **15A** are cross-sectional views showing respective process steps of a method for forming the multilevel interconnection structure shown in FIG. **15B** according to the sixth embodiment.

First, as shown in FIG. **14A**, an insulating film **101** is formed on the surface of a

semiconductor substrate (not shown), and then a first interconnect **102A** is formed in the insulating film **101**.

Next, as shown in FIG. **14B**, a SiN film **103**, a SiO_2 film **104** and a FSG film **105** are formed in this order over the insulating film **101** and the first interconnect **102A** by a plasma CVD process, for example. Thereafter, lithography and dry etching are alternately performed twice (i.e., lithography and dry etching are each performed twice), thereby forming a via hole **106A** in the SiO_2 film **104** and the SiN film **103** to reach the first interconnect **102A** and also forming an interconnect trench **107** in contact with the via hole **106A** in the FSG film **105**. In this embodiment, in forming the interconnect trench **107**, part of the FSG film **105** is left in the interconnect trench **107** to surround the via hole **106A**, thereby forming insulating slits **120**. Specifically, in a lithography process for forming the interconnect trench **107**, a resist pattern covering not only the part of the FSG film **105** except for a region where the interconnect trench **107** is to be formed but also a part of the FSG film **105** to be the insulating slits **120** is used. Then, the FSG film **105** is etched using the resist pattern as a mask.

Then, as shown in FIG. **14C**, a barrier film **108** is deposited by a PVD process, for example, to partly fill the via hole **106A** and the interconnect trench **107**. Then, a Cu film **109** is formed by a plating process, for example, on the barrier film **108** to completely fill the via hole **106A** and the interconnect trench **107**.

Thereafter, as shown in FIG. **15A**, parts of the barrier film **108** and the Cu film **109** extending off the interconnect trench **107** are removed by a CMP process, for example. In this manner, a second interconnect **111** is formed in the interconnect trench **107**. In addition, a via **110A** is formed in the via hole **106A** to connect the first interconnect **102A** and the second interconnect **111** to each other.

Lastly, a SiN film **112** is deposited over the FSG film **105** including the insulating

slits **120** and the second interconnect **111** (the Cu film **109**), thus completing the multilevel interconnection structure shown in FIG. **15B**.

With the foregoing interconnection structure and the method for forming the structure according to the sixth embodiment, a highly-reliable multilevel interconnection structure which hardly causes malfunction even when held at high temperature is implemented. This is because of the following reasons. The insulating slits **120** are provided near a portion of the second interconnect **111** connected to the via **110A**. This portion of the second interconnect **111** will be also referred to as a via-connected portion. Specifically, the insulating slits **120** are provided in the second interconnect **111** to be in contact with the via-connected portion of the second interconnect **111**. Accordingly, tensile stress on a part of the second interconnect **111** near the via-connected portion is lower than that on the other part of the second interconnect **111**. The insulating slits **120** reduce the number of vacancies flowing into each via, so that the stress gradient from the second interconnect **111** to the via **110A** is reduced, so that even when the interconnection structure is held at high temperature, flowing of vacancies from the second interconnect **111** into the via **110A** is suppressed. In addition, the insulating slits **120** are made of a material different from that for the conductive film (the Cu film **109**) constituting the second interconnect **111** and the via **110A**, so that the insulating slits **120** act as barriers against movement of atoms or vacancies in the conductive film. This prevents convection of atoms inside the second interconnect **111** and the via **110A** or accumulation of vacancies on the bottom of the via **110A**. As a result, plastic deformation of a part of the conductive film (the Cu film **109**) constituting the via **110A**, i.e., occurrence of a void inside the via hole **106A**, is suppressed, so that a highly-reliable multilevel interconnection structure which hardly causes malfunction even when held at high temperature is implemented.

FIG. **16** is a graph for explaining effects of this embodiment. In FIG. **16**, the

ordinate indicates "the number of devices malfunctioning after being held at high temperature" and the abscissa indicates "the presence of an insulating slit". The case of "with slit" corresponds to this embodiment and the case of "without slit" corresponds to a conventional example. As shown in FIG. **16**, in the case of "with insulating slit" in this embodiment, "the number of devices malfunctioning when being held at high temperature" is reduced to about one-eighth of that in the case of "without slit". This is because a slit made of an insulating film prevents a phenomenon in which atoms in a conductive film for interconnection move and vacancies in the conductive film gather in a via. Specifically, if a slit made of an insulating material different from a material for an interconnect is present in an conductive film for interconnection, this slit acts as a barrier against movement of atoms in the conductive film and also suppresses formation of a void resulting from gathering of vacancies from the conductive film in a via. Accordingly, in the case of "with insulating slit" in this embodiment, the number of devices malfunctioning when being held at high temperature" is reduced.

In addition, in the sixth embodiment, each of the insulating slits **120** is rectangular in a plan view. The length of each of the insulating slits **120** is greater than or equal to twice and less than or equal to four times as large as the diameter of the via **110A** in the plan view. A longer side of each of the respective insulating slits **120** in the plan view is in contact with a portion of the second interconnect **111** connected to the via **110A**. Accordingly, the foregoing advantages are ensured.

In the sixth embodiment, the shape and the number of the insulating slits **120** (the number of the insulating slits **120** provided for one via **110A**) are not specifically limited.

In the sixth embodiment, part of the FSG film **105** is used as the insulating slits **120**. Alternatively, other insulating materials may be used instead. The insulating slits **120** may be replaced with slits made of another conductive material different from a

conductive material constituting the second interconnect **111** and the via **110A**.

Further, in the sixth embodiment, the insulating slits **120** are not necessarily in contact with the portion of the second interconnect **111** connected to the via **110A**. However, in a case where the insulating slits **120** and the via-connected portion of the second interconnect **111** are apart from each other, the space between each of the insulating slits **120** and the via-connected portion of the second interconnect **111**, i.e., the space between each of the insulating slits **120** and the via **110A**, is preferably 1 μm or less in order to ensure the foregoing advantages.

Furthermore, in the sixth embodiment, in a case where the second interconnect **111** includes: a wide interconnect portion having a width of about 10 μm, for example; and a narrow interconnect portion having a width of about 0.20 μm or less, for example, and branching off from the wide interconnect portion and if the via **110A** (the via hole **106A**) is connected to the narrow interconnect portion, one or more insulating slits **120** are preferably connected to the branch point between the wide interconnect portion and the narrow interconnect portion or a part of the wide interconnect portion near the branch point. Then, vacancies which are to enter the narrow interconnect portion from the wide interconnect portion and flow into the via **110A** are effectively captured in the insulating slits **120**. As a result, the number of devices malfunctioning when being held at high temperature is further reduced.

EMBODIMENT 7: Insulating slit 2

Hereinafter, an interconnection structure and a method for forming the structure according to a seventh embodiment of the present invention will be described with reference to the drawings.

FIG. **17A** is a cross-sectional view showing the interconnection structure of the seventh embodiment. FIG. **17B** is a plan view showing the multilevel interconnection

structure shown in FIG. **17A** when viewed from above. In FIGS. **17A** and **17B**, components already described in the first embodiment with reference to FIGS. **1A** through **1C** and **2A** through **2C** or the sixth embodiment with reference to FIGS. **14A** through **14C** and **15A** through **15C**, for example, are denoted by the same reference numerals, and detailed description thereof will be omitted.

As shown in FIGS. **17A** and **17B**, the seventh embodiment is different from the sixth embodiment in the following ways. Instead of the insulating slits **120** in contact with a portion of the second interconnect **111** connected to the via **110A**, an insulating slit **121** longer than the insulating slits **120** is provided in the second interconnect **111** near the via-connected portion of the second interconnect **111**. In other words, the insulating slit **121** of this embodiment is not in contact with the via-connected portion of the second interconnect **111**. Specifically, the insulating slit **121** is rectangular, for example, in a plan view and the length of the insulating slit **121** and the width of the second interconnect **111** are provided along the same direction in the plan view. The insulating slit **121** is provided in the second interconnect **111** near a portion of the second interconnect **111** connected to the via **110A** (the via hole **106A**) and is closer to the center of the second interconnect **111** than the via **110A** is. In other words, the distance between the via **110A** and the end of the second interconnect **111** opposite the via **110A** with respect to the insulating slit **121** is longer than the distance between the via **110A** and the other end of the second interconnect **111**, i.e., the end of the second interconnect **111** toward the via **110A**.

As shown in FIG. **17B**, in this embodiment, the first interconnect **102A** has a width smaller than that of the second interconnect **111**. Specifically, the width of the first interconnect **102A** is, for example, 0.2 μm, the diameter of the via **110A** (the via hole **106A**) is, for example, 0.20 μm, and the width of the second interconnect **111** is, for example, 10 μm. The length of the insulating slit **121** is greater than or equal to twice and

less than or equal to ten times as large as the diameter of the via **110A** in a plan view. For example, the length and width of the insulating slit **121** in the plan view is 0.8 μm and 0.2 μm, respectively. The space between the via **110A** and the insulating slit **121**, more specifically, the space between the edge of the via **110A** toward the insulating slit **121** and the edge of the insulating slit **121** toward the via **110A** is 0.2 μm, for example.

A method for forming the multilevel interconnection structure shown in FIG. **17A** according to the seventh embodiment is different from that of the sixth embodiment (see FIGS. **14A** through **14C**, **15A** and **15B**) in the following ways. In the process step shown in FIG. **14B**, more specifically, in forming the interconnect trench **107**, part of the FSG film **105** is left in the interconnect trench **107** to be slightly apart from the via hole **106A**, thereby forming the insulating slit **121** longer than the insulating slit **120**, instead of the insulating slit **120**. Specifically, in a lithography process for forming the interconnect trench **107**, the layout of a mask pattern for forming the insulating silt only needs to be changed.

With the foregoing interconnection structure and the method for forming the structure according to the seventh embodiment, a highly-reliable multilevel interconnection structure which does not cause malfunction even when held at high temperature is implemented. This is because of the following reasons. The insulating slit **121** is provided near a portion of the second interconnect **111** connected to the via **110A**, so that tensile stress on a portion near the via-connected portion of the second interconnect **111** is lower than that on the other part of the second interconnect **111**. The insulating slit **121** reduces the number of vacancies flowing into each via, so that the stress gradient from the second interconnect **111** to the via **110A** is reduced. Accordingly, even when the interconnection structure is held at high temperature, flowing of vacancies from the second interconnect **111** into the via **110A** is suppressed. In addition, the insulating slit **121** is made of a

material different from that for the conductive film (the Cu film **109**) constituting the second interconnect **111** and the via **110A**, so that the insulating slit **121** acts as a barrier against movement of atoms or vacancies in the conductive film. This prevents convection of atoms inside the second interconnect **111** and the via **110A** or accumulation of vacancies on the bottom of the via **110A**. As a result, plastic deformation of a part of the conductive film (the Cu film **109**) constituting the via **110A**, i.e., occurrence of a void inside the via hole **106A**, is suppressed, so that a highly-reliable multilevel interconnection structure which hardly causes malfunction even when held at high temperature is implemented.

In the seventh embodiment, the reliability of the multilevel interconnection structure is further enhanced because of the following reasons. In this embodiment, the insulating slit **121** is rectangular in a plan view and the length of the insulating slit **121** and the width of the second interconnect **111** are provided along the same direction in the plan view. The insulating slit **121** is located near the portion of the second interconnect **111** connected to the via **110A**. Accordingly, flowing of vacancies which are present in a part of the conductive film (the Cu film **109**) constituting the second interconnect **111** opposite the via **110A** with respect to the insulating slit **121** is blocked by the insulating slit **121**, so that these vacancies do not reach the via **110A**. In addition, in this embodiment, the insulating slit **121** is closer to the center of the second interconnect **111** than the via **110A** is. In other words, a first region in the second interconnect **111** between the via **110A** and the end of the second interconnect **111** opposite the via **110A** with respect to the insulating slit **121** is larger than a second region in the second interconnect **111** between the via **110A** and the other end of the second interconnect **111**, i.e., the end of the second interconnect **111** toward the via **110A**. Therefore, the first region contains a larger number of vacancies than the second region. In addition, the insulating slit **121** is provided in this first region, so that movement of vacancies is more effectively prevented. This more effectively

suppresses plastic deformation of the part of the conductive film (the Cu film **109**) constituting the via **110A**, i.e., occurrence of a void in the via hole **106A**. As a result, the reliability of the resultant multilevel interconnection structure is further enhanced.

In the seventh embodiment, the space between the via **110A** (the via hole **106A**) and the insulating slit **121** is preferably as small as possible. To obtain the effect of reducing the number of vacancies flowing into the via **110A** by using the insulating slit **121**, this space is preferably 1 μm or less. The insulating slit **121** may be in contact with a portion of the second interconnect **111** connected to the via **110A**.

In the seventh embodiment, the shape and the number of the insulating slit **121** (the number of insulating slits **121** provided for one via **110A**) are not specifically limited.

In the seventh embodiment, part of the FSG film **105** is used as the insulating slit **121**. Alternatively, other insulating materials may be used. The insulating slit **121** may be replaced with a slit made of another conductive material different from a conductive material constituting the second interconnect **111** and the via **110A**.

Moreover, in the seventh embodiment, if the second interconnect **111** includes a wide interconnect portion having a width of, for example, about 10 μm and a narrow interconnect portion having a width of, for example, about 0.20 μm or less and branching off from the wide interconnect portion and if the via **110A** (the via hole **106A**) is connected to the narrow interconnect portion, the insulating slit **121** is preferably connected to the wide interconnect portion near the branch point between the wide interconnect portion and the narrow interconnect portion. In such a case, if the narrow interconnect portion extends from a longer side of the wide interconnect portion, the length of the insulating slit **121** and the length of the wide interconnect portion are provided along the same direction in the plan view. Then, vacancies which are to enter the narrow interconnect portion from the wide interconnect portion and flow into the via **110A** are effectively captured in the

insulating slit **121**. As a result, the number of devices malfunctioning when held at high temperature is further reduced.

In the first through seventh embodiments, a SiO_2 film (e.g., the SiO_2 film **104**) and an FSG film (e.g., the FSG film **105**) are used as interlayer dielectric films between interconnects. However, the types of the interlayer dielectric films are not specifically limited.

In the first through seventh embodiments, a Cu film (e.g., the Cu film **109**) is used as an interconnect material. However, the type of the interconnect material is not specifically limited. A material for a barrier film (e.g., the barrier film **108**) is not specifically limited, either.

In the first through seventh embodiments, a SiN film (e.g., the SiN film **112**) is formed as a protective film over a damascene interconnect (e.g., the first interconnect **102A** or the second interconnect **111**). However, this SiN film may not be formed.

The dummy vias and the insulating slits of the first through seventh embodiments may be, of course, combined in various manners in order to achieve a technical idea of the present invention, "movement of vacancies in a conductive film for an interconnect is suppressed so that occurrence of a void in the interconnect after formation thereof is prevented."

WHAT IS CLAIMED IS:

1. An interconnection structure comprising:

a lower interconnect;

an upper interconnect;

a first insulating film provided between the lower interconnect and the upper interconnect; and

a second insulating film provided under the first insulating film,

wherein the lower interconnect and the upper interconnect are connected to each other by way of a via formed in the first insulating film,

at least one dummy via is connected to the upper interconnect,

the lower interconnect is formed in the second insulating film, and

the bottom of the dummy via is located in the second insulating film.

2. The interconnection structure of claim 1, wherein the bottom of the dummy via is connected to a dummy interconnect formed in the second insulating film.

3. The interconnection structure of claim 1, wherein a third insulating film is formed on the upper interconnect, and

the dummy via is formed in the third insulating film such that the bottom of the dummy via is connected to the upper interconnect.

4. The interconnection structure of claim 1, wherein the dummy via has a diameter smaller than that of the via.

5. The interconnection structure of claim 1, wherein the dummy via is substantially

rectangular in a plan view, and

the length of the dummy via and the width of the upper interconnect are provided along the same direction in the plan view.

6. The interconnection structure of claim 1, wherein the via is substantially circular in a plan view, and

the dummy via has a shape different from that of the via in the plan view.

7. The interconnection structure of claim 1, wherein the dummy via is closer to a center of the upper interconnect than the via is.

8. The interconnection structure of claim 3, wherein the dummy via is closer to a center of the upper interconnect than the via is.

9. The interconnection structure of claim 1, wherein the via and the dummy via are spaced at a distance of 1 μm or less.

10. An interconnection structure comprising:

a lower interconnect;

an upper interconnect; and

a first insulating film provided between the lower interconnect and the upper interconnect,

wherein the lower interconnect and the upper interconnect are connected to each other by way of a via formed in the first insulating film, and

at least one insulating slit is formed in the upper interconnect.

11. The interconnection structure of claim 10, wherein the insulating slit is in contact with a portion of the upper interconnect connected to the via.

12. The interconnection structure of claim 11, wherein the insulating slit is substantially rectangular in a plan view,

the length of the insulating slit is greater than or equal to twice and less than or equal to four times as large as the diameter of the via in the plan view, and

a longer side of the insulating slit in the plan view is in contact with the portion of the upper interconnect connected to the via.

13. The interconnection structure of claim 10, wherein the insulating slit is substantially rectangular in a plan view,

the length of the insulating slit is greater than or equal to twice and less than or equal to ten times as large as the diameter of the via in the plan view, and

the length of the insulating slit and the width of the upper interconnect are provided along the same direction in the plan view.

14. The interconnection structure of claim 10, wherein the insulating slit is closer to a center of the upper interconnect than the via is.

15. The interconnection structure of claim 10, wherein the via and the insulating slit are spaced at a distance of 1 μm or less.

16. An interconnection structure comprising:

a lower interconnect;

an upper interconnect; and

a first insulating film provided between the lower interconnect and the upper interconnect,

wherein the lower interconnect and the upper interconnect are connected to each other by way of a via formed in the first insulating film,

the upper interconnect is divided into a first interconnect portion having a relatively large interconnect width and a second interconnect portion having a relatively small interconnect width,

the via is connected to the second interconnect portion,

at least one dummy portion connected to the upper interconnect is provided on the first insulating film, and

a distance between the dummy portion and a branch point between the first interconnect portion and the second interconnect portion is smaller than a distance between the dummy portion and an edge of the second interconnect portion opposite to the branch point.

17. The interconnection structure of claim 16, wherein the dummy portion is connected to the second interconnect portion, and

a distance between the dummy portion and the branch point is smaller than a distance between the dummy portion and an edge of the second interconnect portion opposite to the branch point.

18. The interconnection structure of claim 16, wherein the dummy portion is connected to the first interconnect portion, and

a distance between the dummy portion and the branch point is smaller than a distance between the dummy portion and an edge of the second interconnect portion opposite to the branch point.

19. The interconnection structure of claim 16, wherein the distance between the dummy portion and the branch point is 1 μm or less.

20. The interconnection structure of claim 16, wherein the dummy portion has a shape similar to that of the via or is substantially rectangular in a plan view.

21. The interconnection structure of claim 16, wherein the second interconnect portion has an interconnect width of 0.20 μm or less.

22. A method for forming an interconnection structure, the method comprising the steps of:

depositing a first insulating film on a lower interconnect;

forming, in the first insulating film, a via hole reaching the lower interconnect, at least one dummy hole located near the via hole, and an upper interconnect trench connected to the via hole and the dummy hole; and

depositing a conductive material in the upper interconnect trench, the via hole and the dummy hole, thereby forming an upper interconnect, a via for connecting the lower interconnect and the upper interconnect to each other, and a dummy via connected to the upper interconnect and insulated from the lower interconnect,

wherein the lower interconnect is formed in a second insulating film under the first insulating film, and

the dummy hole is formed such that the bottom of the dummy hole is located in the second insulating film.

23. The method of claim 22, wherein the via hole and the dummy hole are spaced at a distance of 1 μm or less.

24. A method for forming an interconnection structure, the method comprising the steps of:

depositing a first insulating film on a lower interconnect;

forming, in the first insulating film, a via hole reaching the lower interconnect and an upper interconnect trench connected to the via hole;

depositing a conductive material in the upper interconnect trench and the via hole, thereby forming an upper interconnect and a via for connecting the lower interconnect and the upper interconnect to each other;

depositing a second insulating film on the upper interconnect;

forming, in the second insulating film, a dummy hole reaching the upper interconnect and located near the via; and

depositing a conductive material in the dummy hole, thereby forming at least one dummy via.

25. A method for forming an interconnection structure, the method comprising the steps of:

depositing a first insulating film on a lower interconnect;

forming, in the first insulating film, a via hole reaching the lower interconnect and an upper interconnect trench connected to the via hole; and

depositing a conductive material in the upper interconnect trench and the via hole, thereby forming an upper interconnect and a via for connecting the lower interconnect and the upper interconnect to each other,

wherein the step of forming the via hole and the upper interconnect trench includes the step of leaving part of the first insulating film in the upper interconnect trench near the via hole, thereby forming an insulating slit.

26. A method for forming an interconnection structure, the method comprising the steps of:

depositing a first insulating film on a lower interconnect;

forming, in the first insulating film, a via hole reaching the lower interconnect, an upper interconnect trench connected to the via hole and divided into a first trench with a relatively large width and a second trench with a relatively small width, and a recess provided near a branch point between the first trench and the second trench; and

depositing a conductive material in the upper interconnect trench, the via hole and the recess, thereby forming an upper interconnect, a via for connecting the lower interconnect and the upper interconnect to each other and a dummy portion connected to the upper interconnect and insulated from the lower interconnect,

wherein a first interconnect portion constituting the upper interconnect is formed in the first trench and a second interconnect portion constituting the upper interconnect is formed in the second trench.

ABSTRACT OF THE DISCLOSURE

A first insulating film is provided between a lower interconnect and an upper interconnect. The lower interconnect and the upper interconnect are connected to each other by way of a via formed in the first insulating film. A dummy via or an insulating slit is formed on/in the upper interconnect near the via.

FIG. 1A

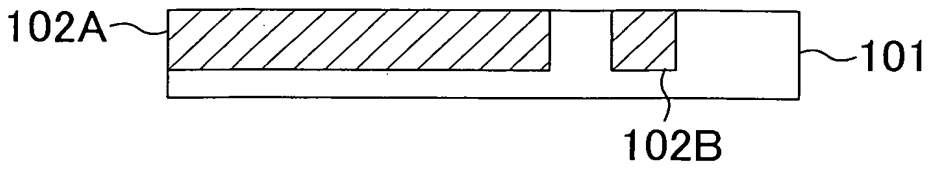


FIG. 1B

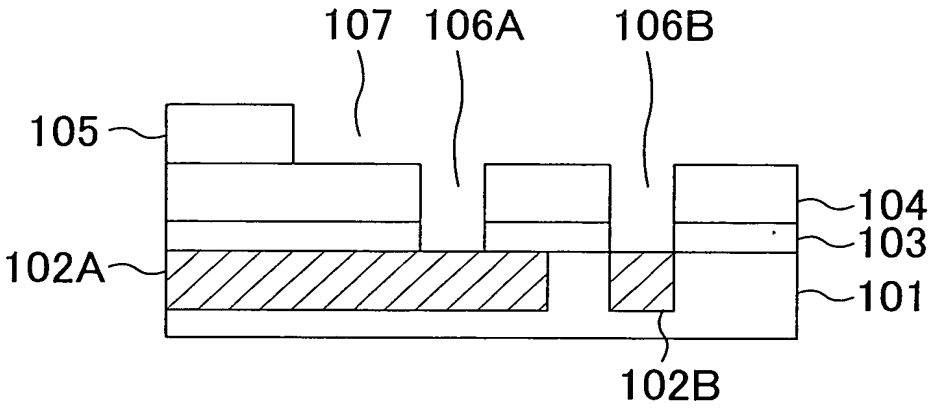


FIG. 1C

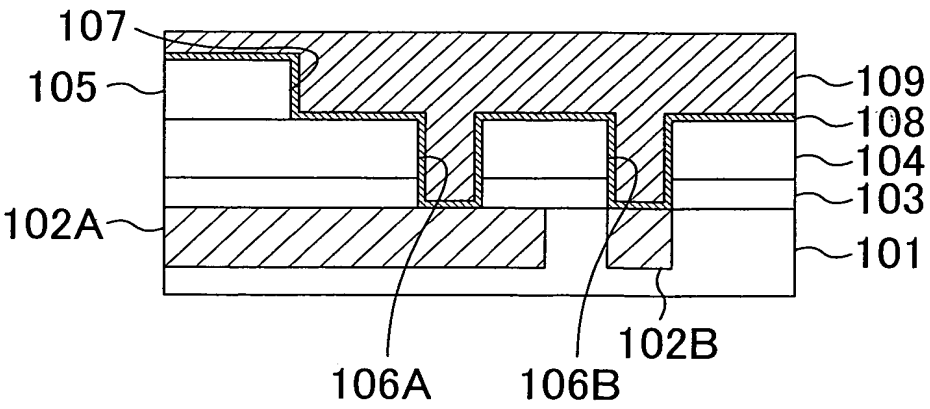


FIG. 2A

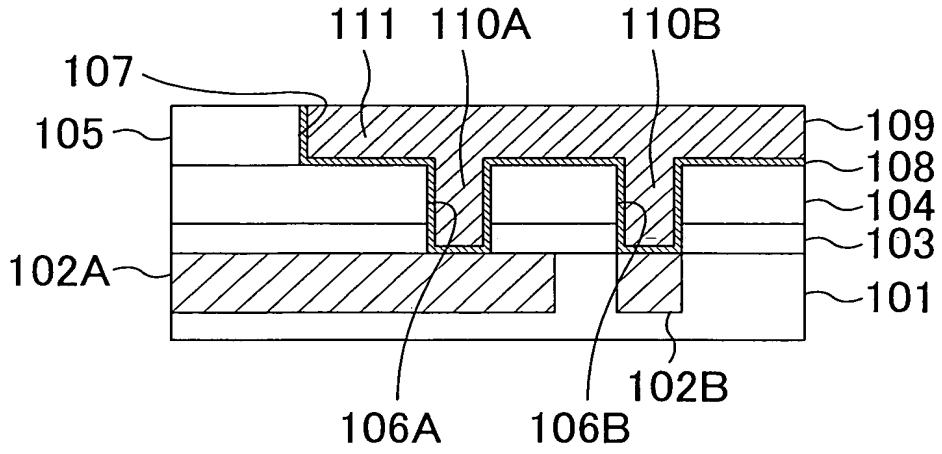


FIG. 2B

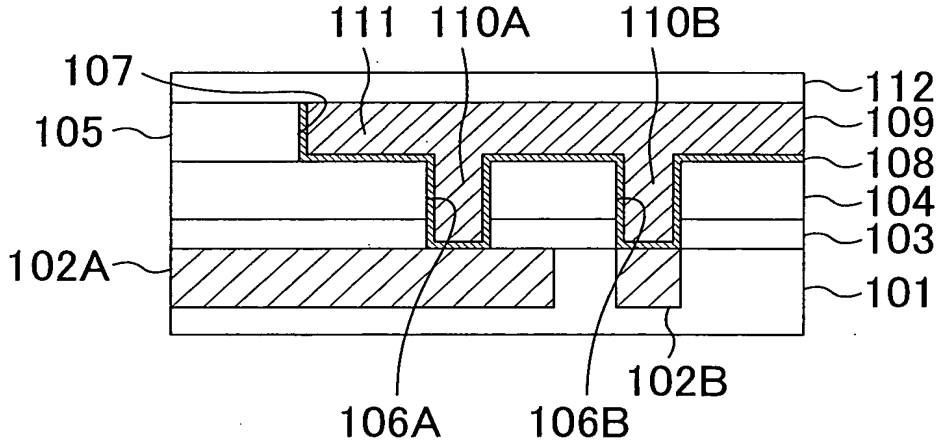


FIG. 2C

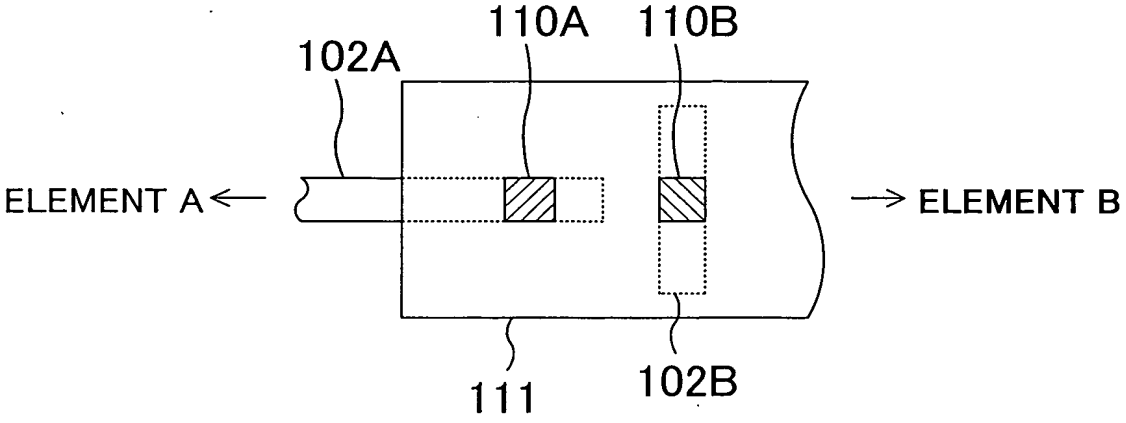


FIG. 3

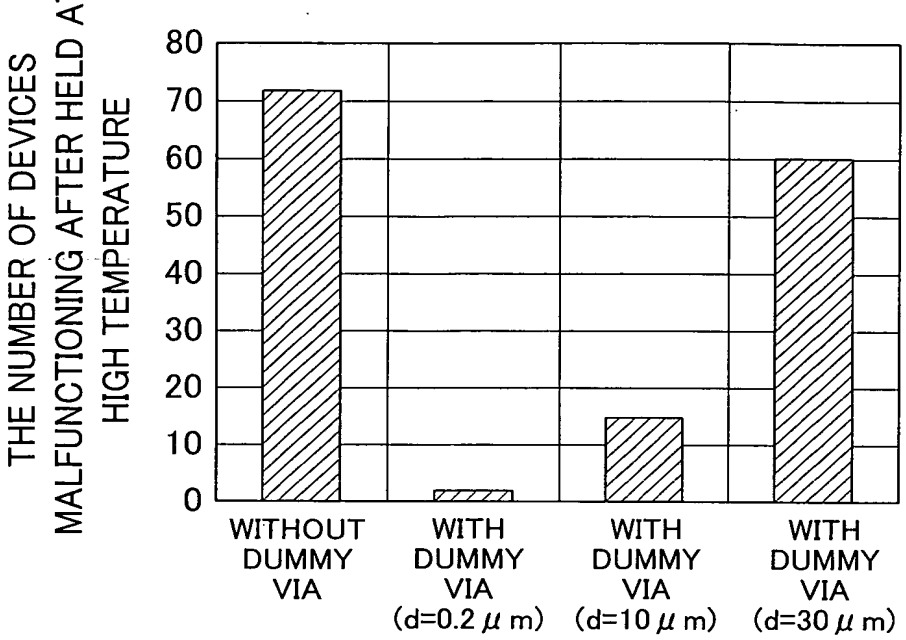

THE NUMBER OF DEVICES MALFUNCTIONING AFTER HELD AT HIGH TEMPERATURE
80
70
60
50
40
30
20
10
0
WITHOUT DUMMY VIA
WITH DUMMY VIA (d=0.2 μm)
WITH DUMMY VIA (d=10 μm)
WITH DUMMY VIA (d=30 μm)
(d:SPACE BETWEEN VIA AND DUMMY VIA)

FIG. 4

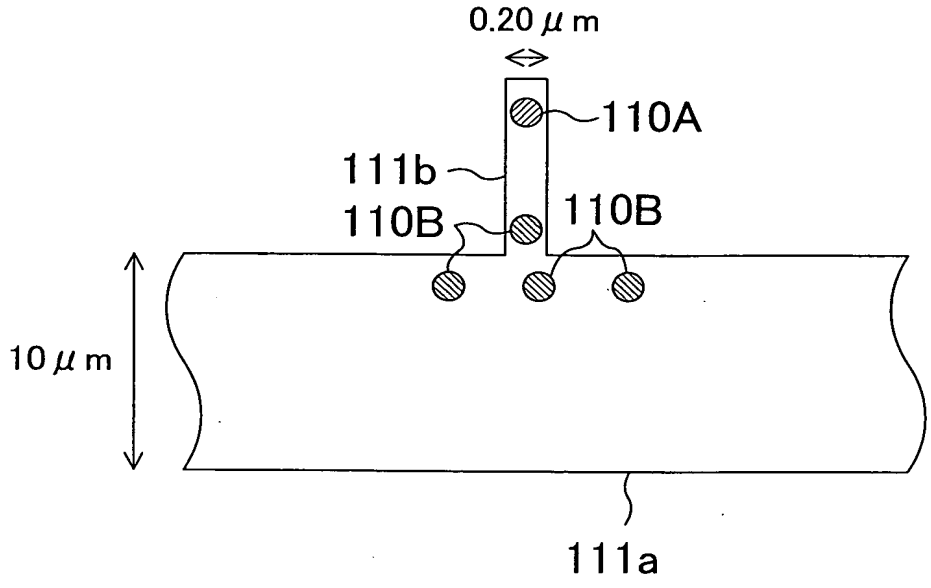
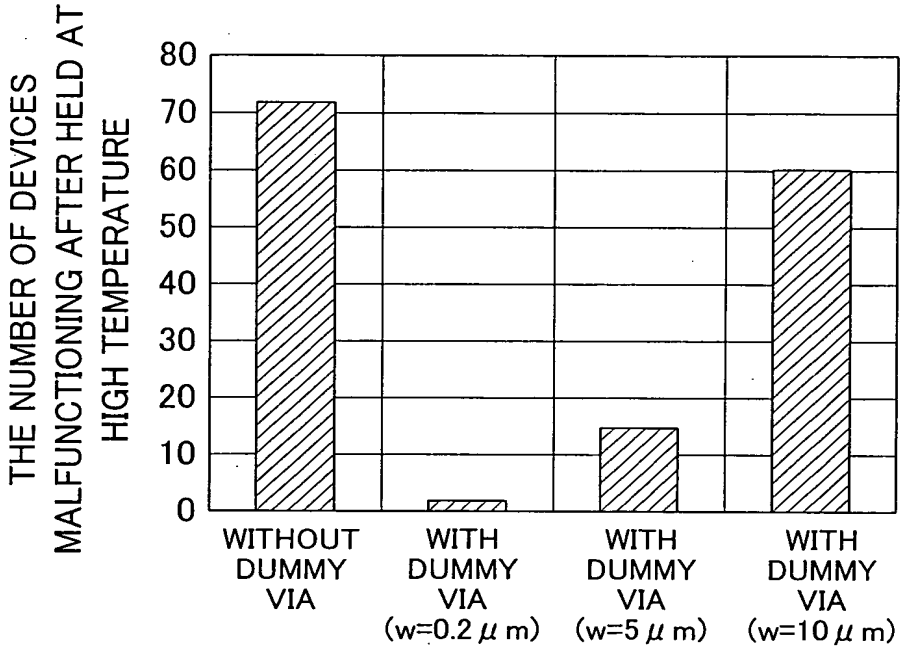

0.20 μm
110A
111b
110B
110B
10 μm
111a

FIG. 5



(w:WIDTH OF INTERCONNECT WHERE VIA IS FORMED)

FIG. 6A

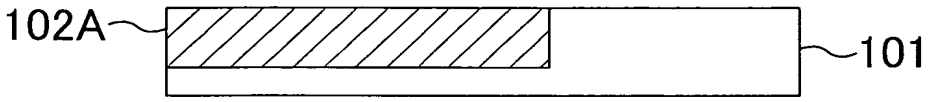


FIG. 6B

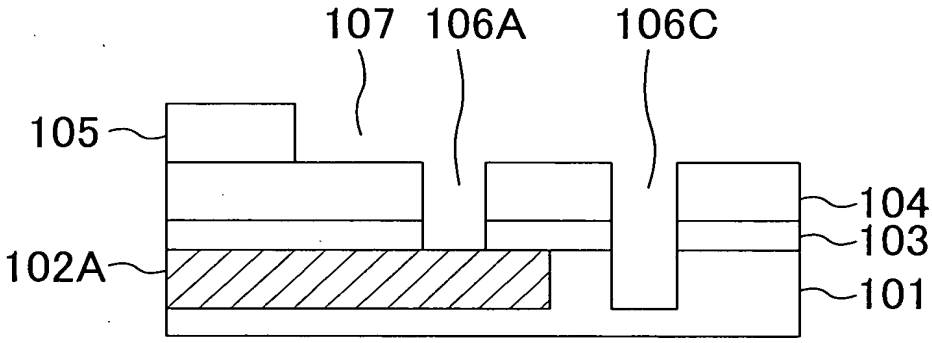


FIG. 6C

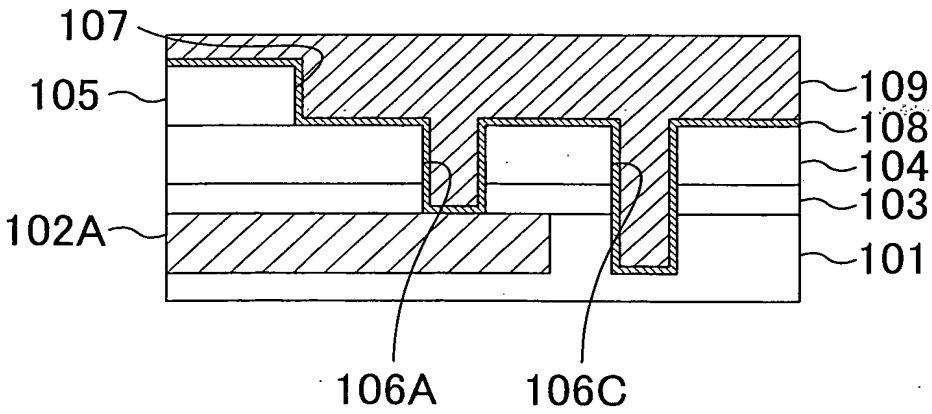


FIG. 7A

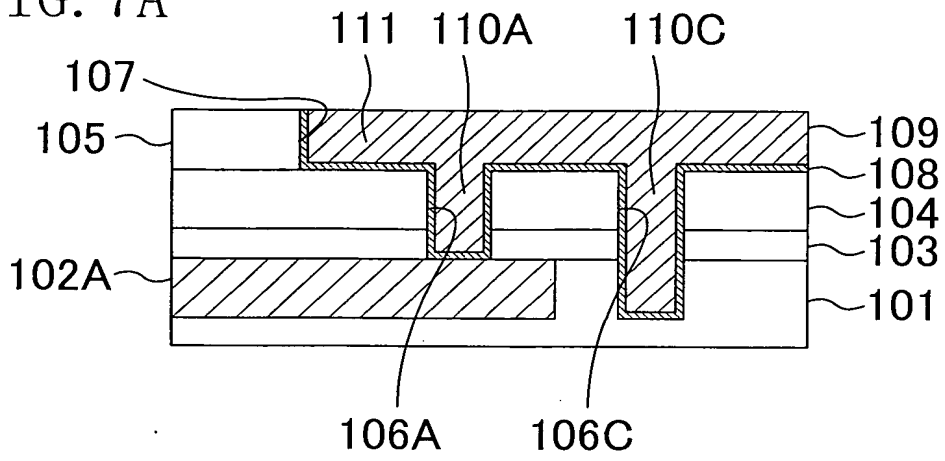


FIG. 7B

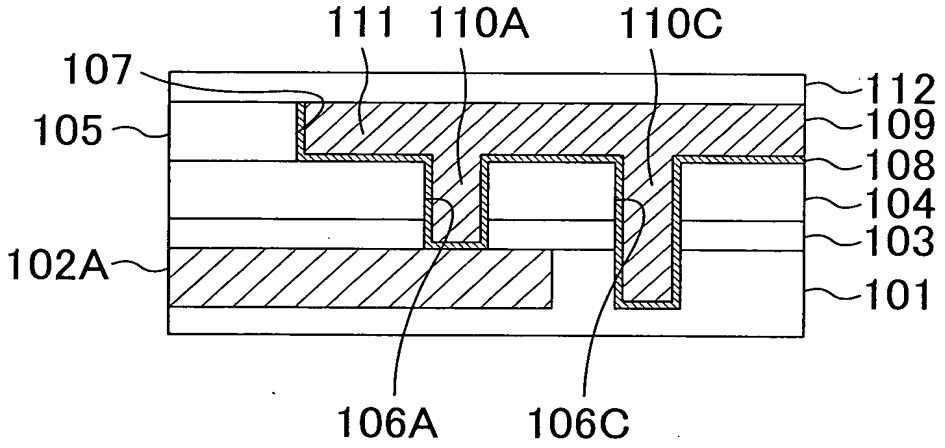


FIG. 7C

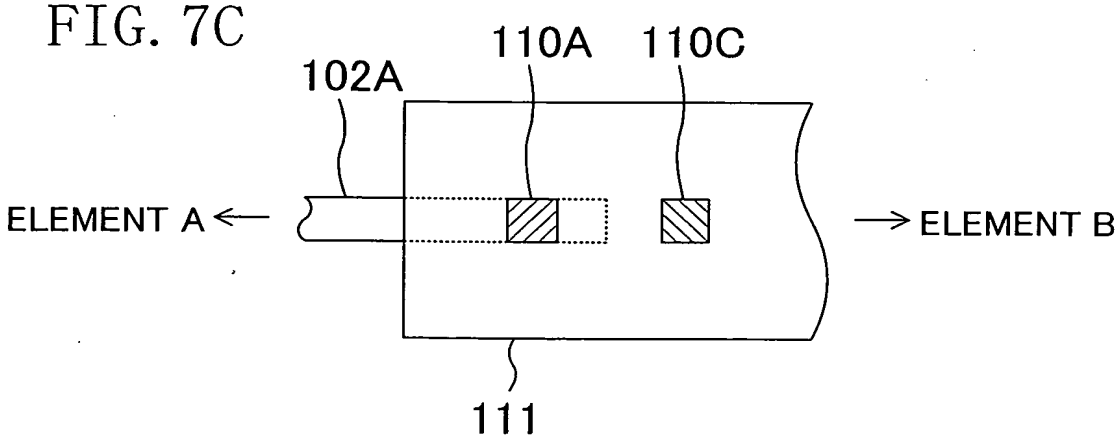


FIG. 8A

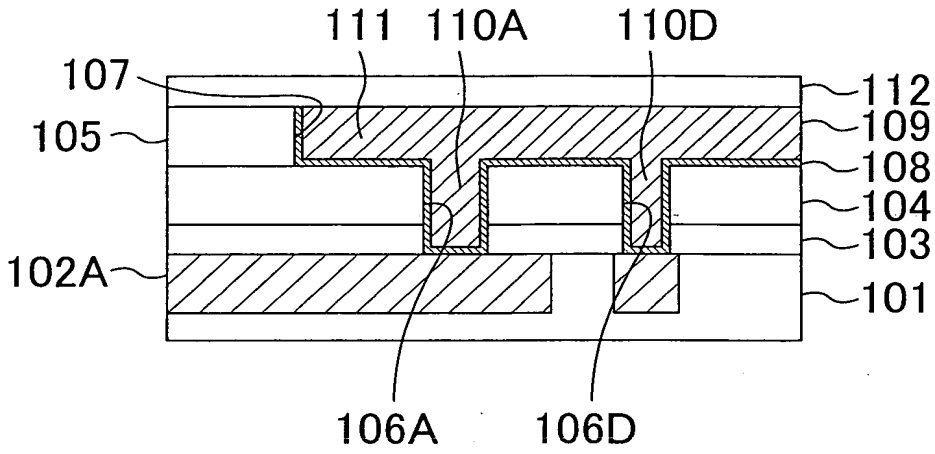

111
110A
110D
107
105
102A
112
109
108
104
103
101
106A
106D

FIG. 8B

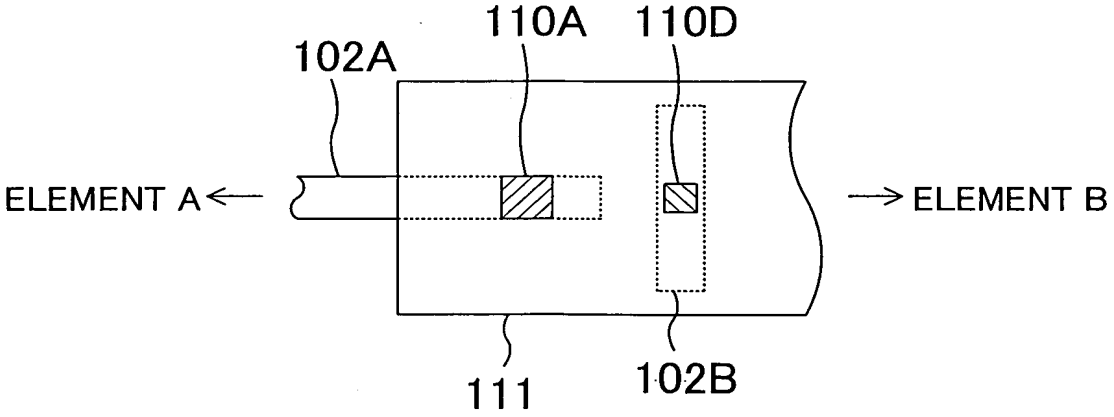

110A
110D
102A
ELEMENT A
ELEMENT B
111
102B

FIG. 9A

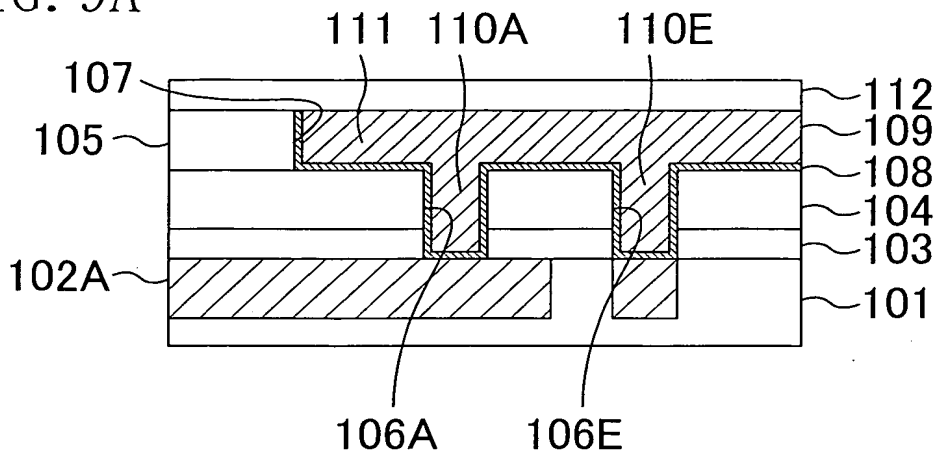


FIG. 9B

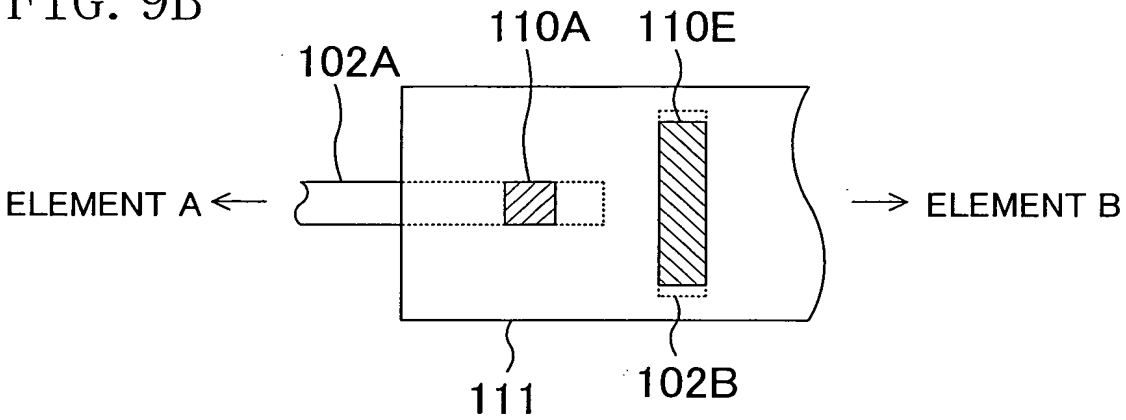


FIG. 10

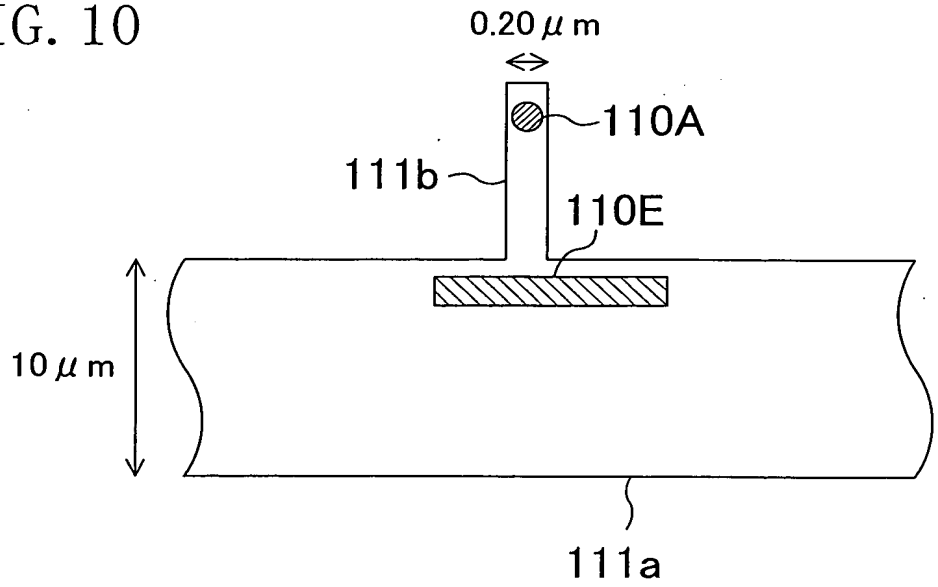


FIG. 11A

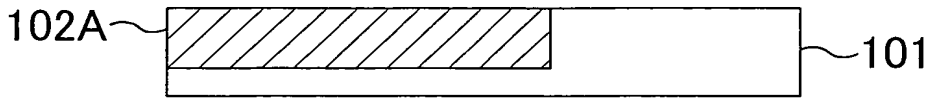


FIG. 11B

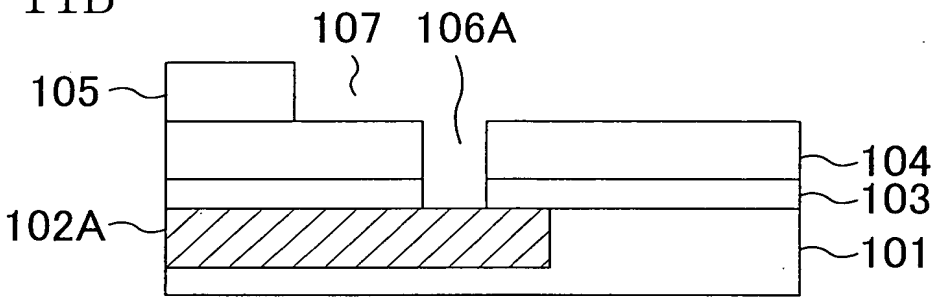


FIG. 11C

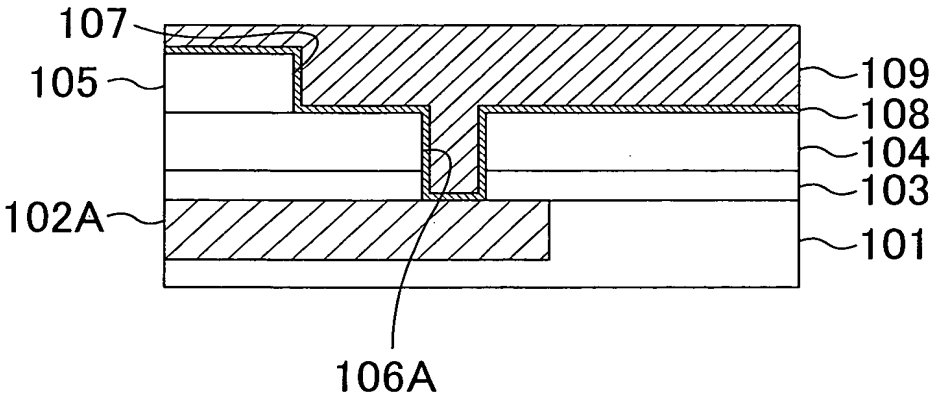


FIG. 12A

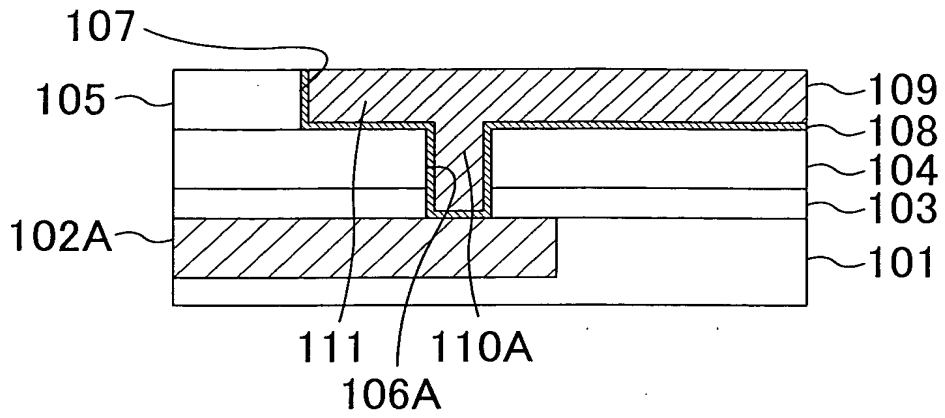


FIG. 12B

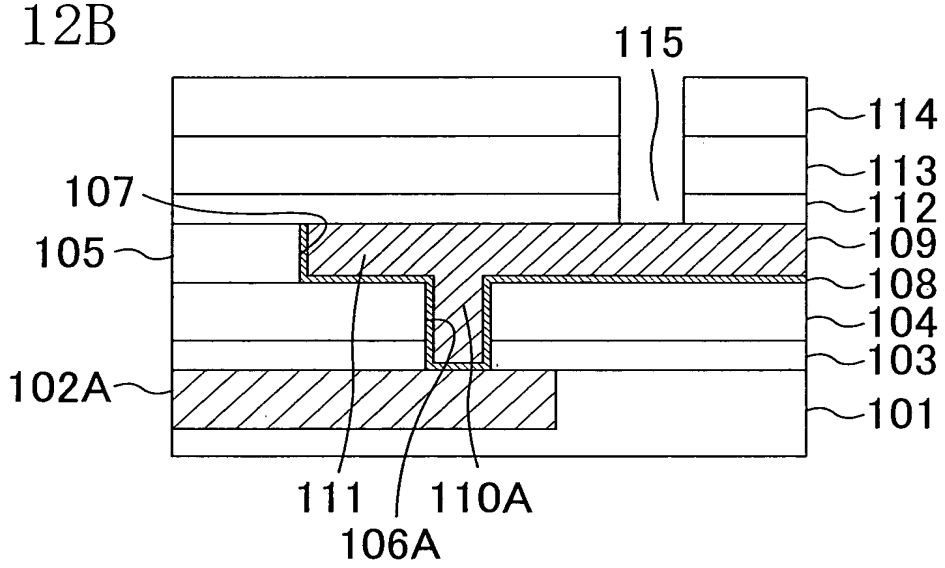


FIG. 12C

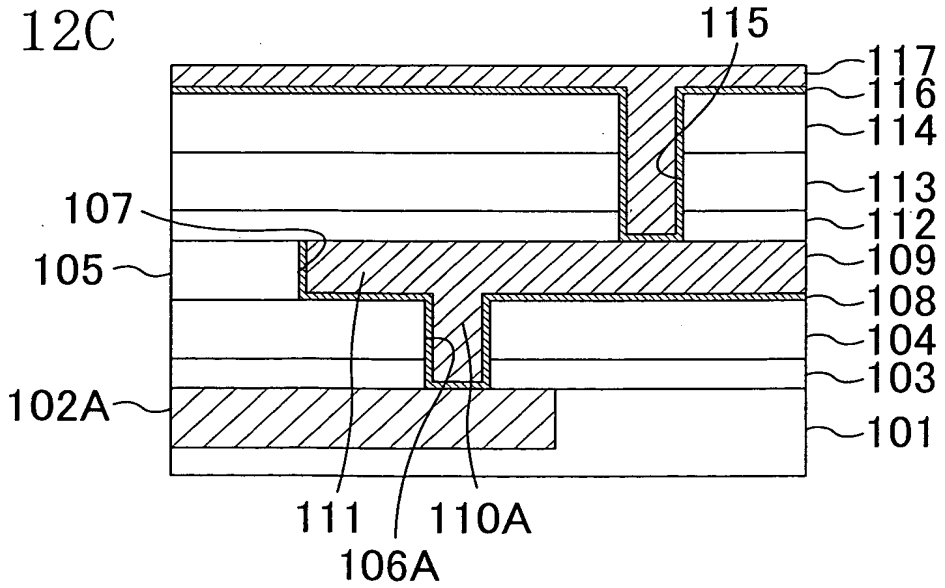


FIG. 13A

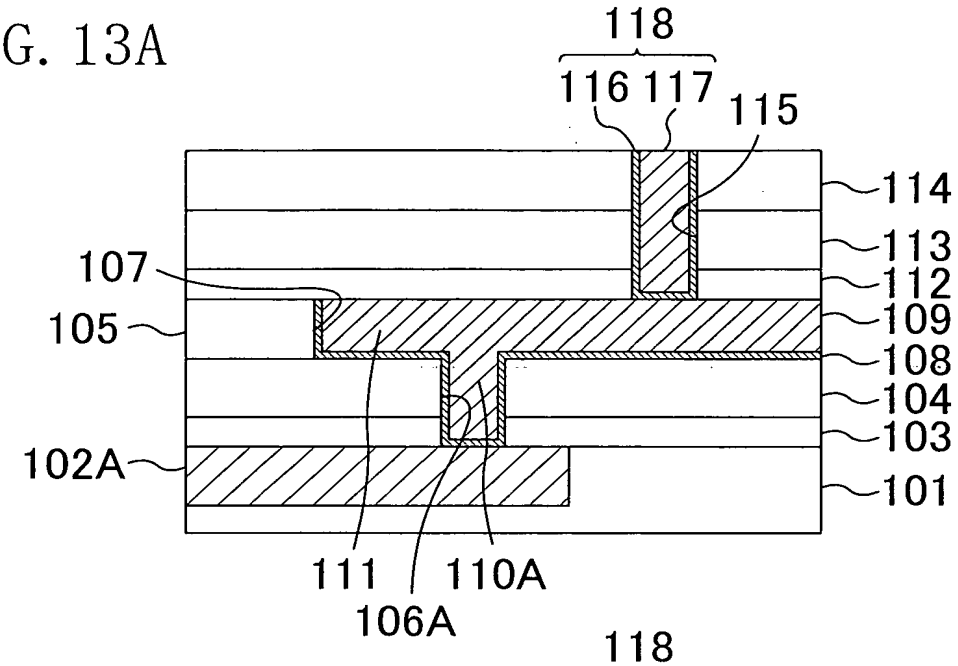


FIG. 13B

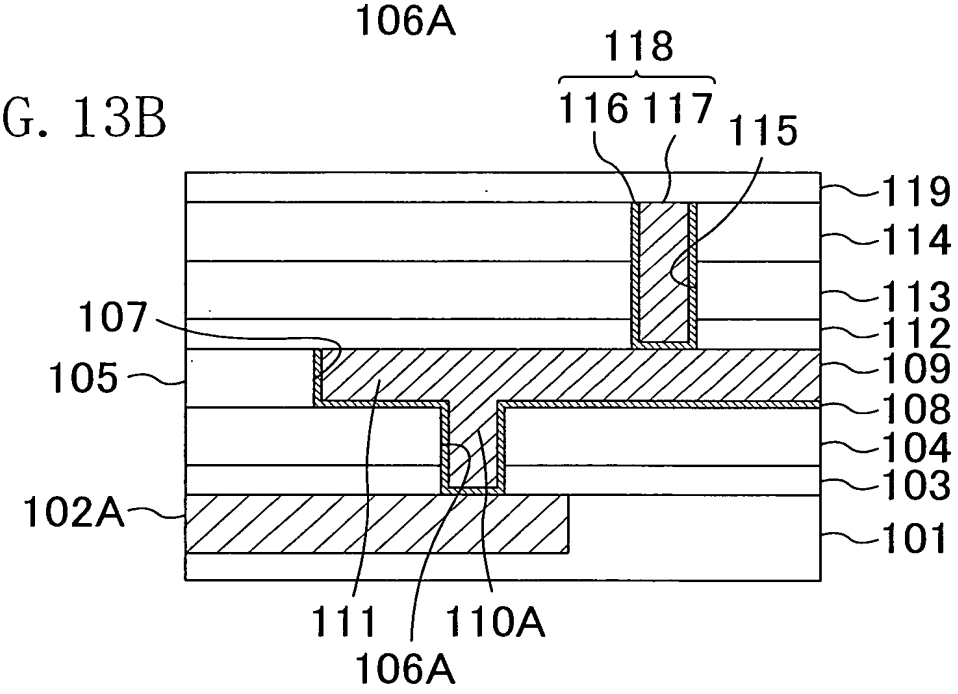


FIG. 13C

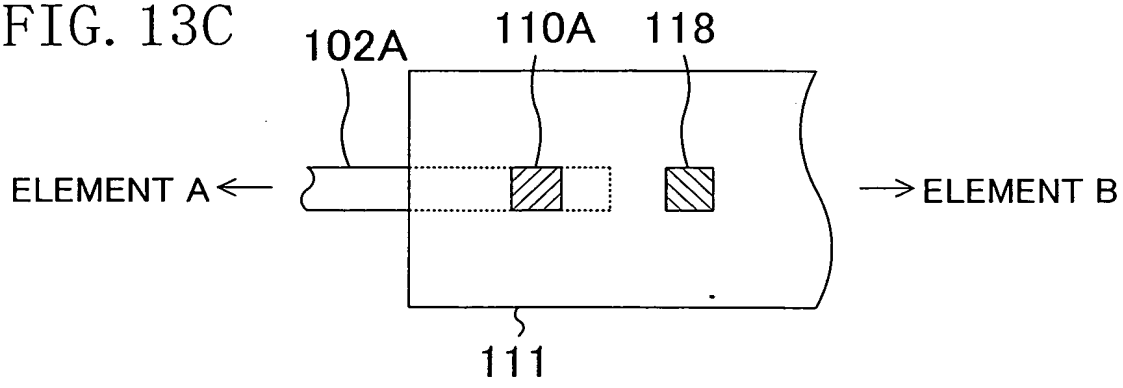


FIG. 14A

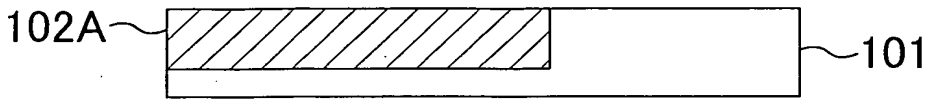


FIG. 14B

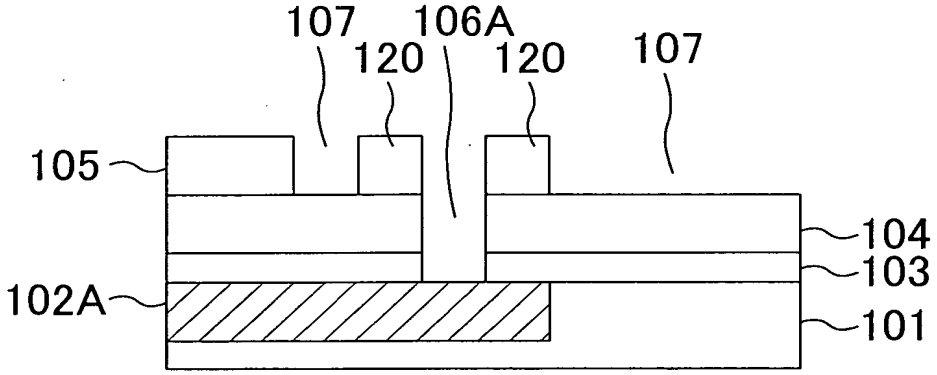


FIG. 14C

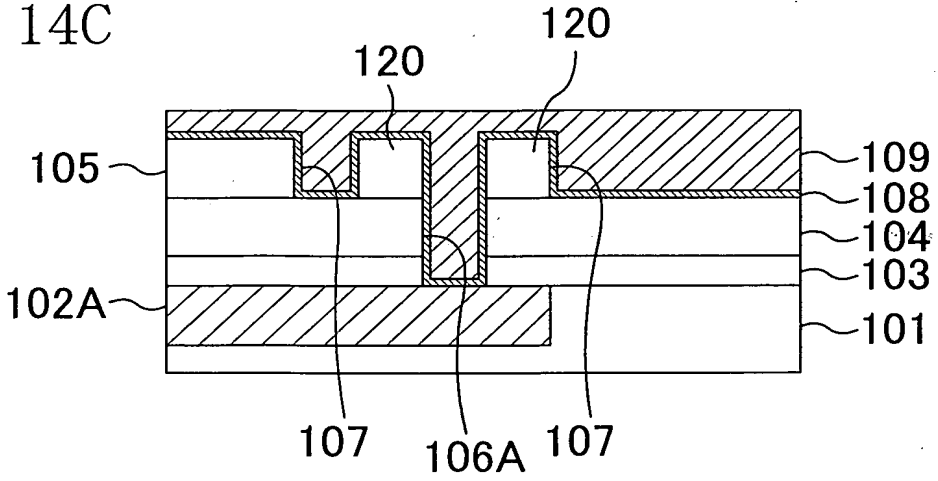


FIG. 15A

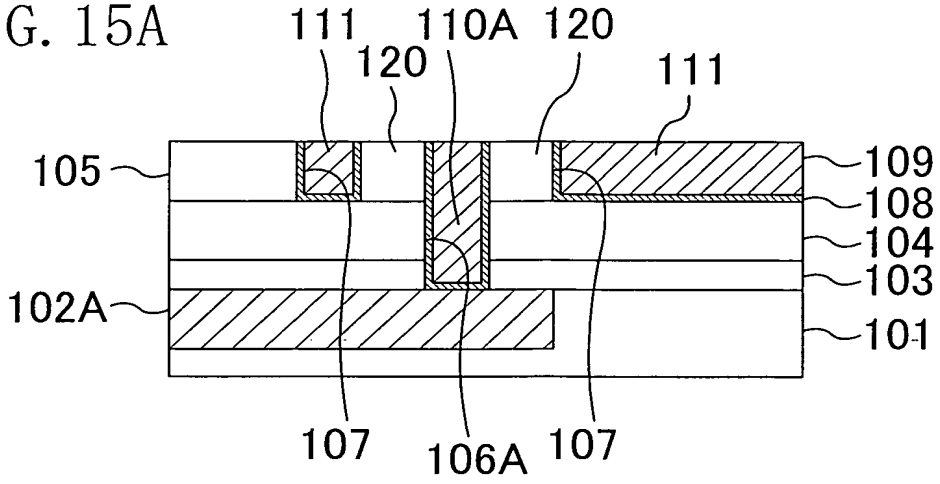


FIG. 15B

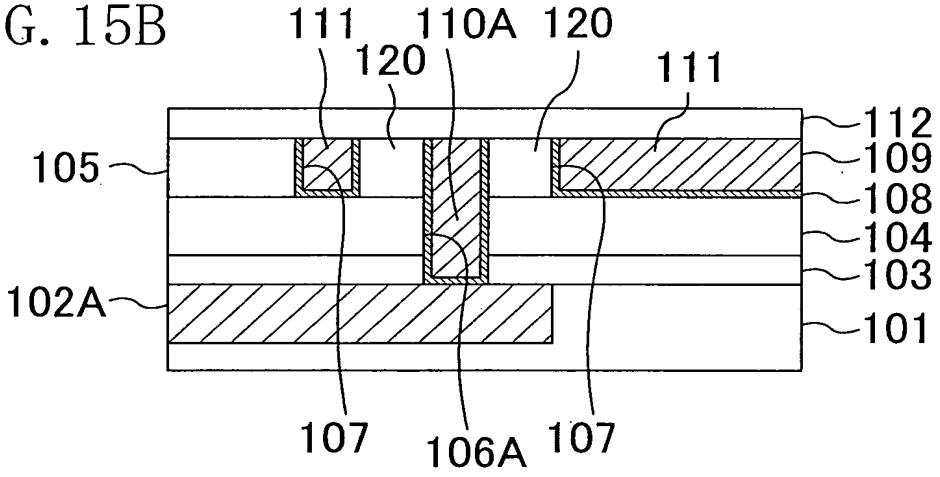


FIG. 15C

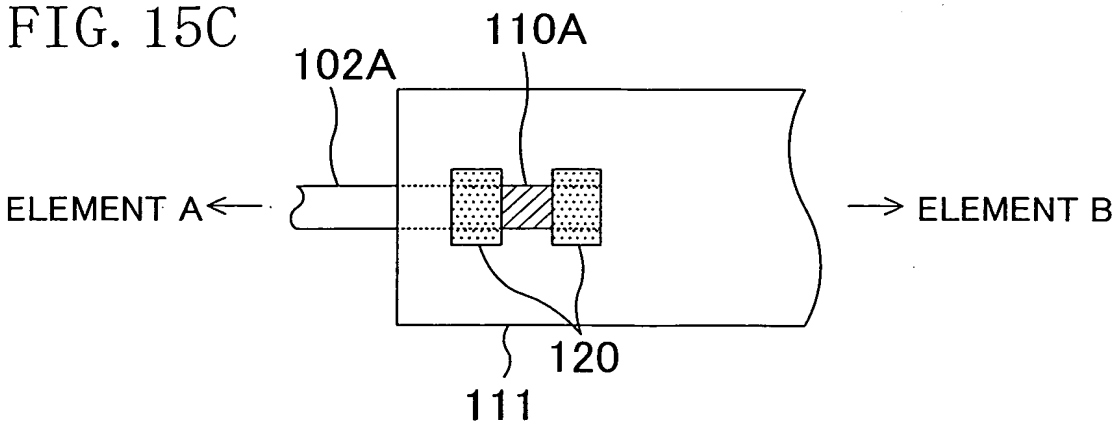


FIG. 16

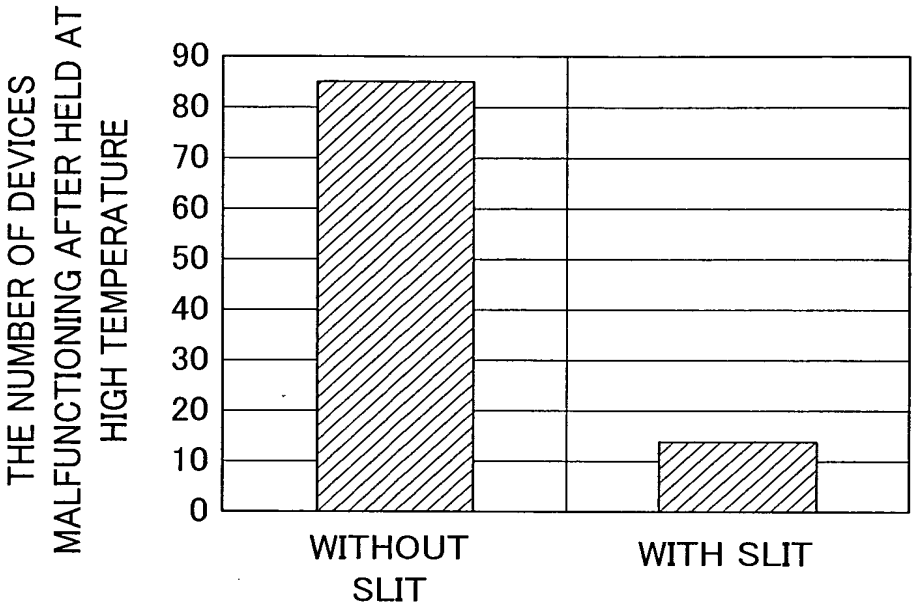

THE NUMBER OF DEVICES MALFUNCTIONING AFTER HELD AT HIGH TEMPERATURE
90
80
70
60
50
40
30
20
10
0
WITHOUT SLIT
WITH SLIT

FIG. 17A

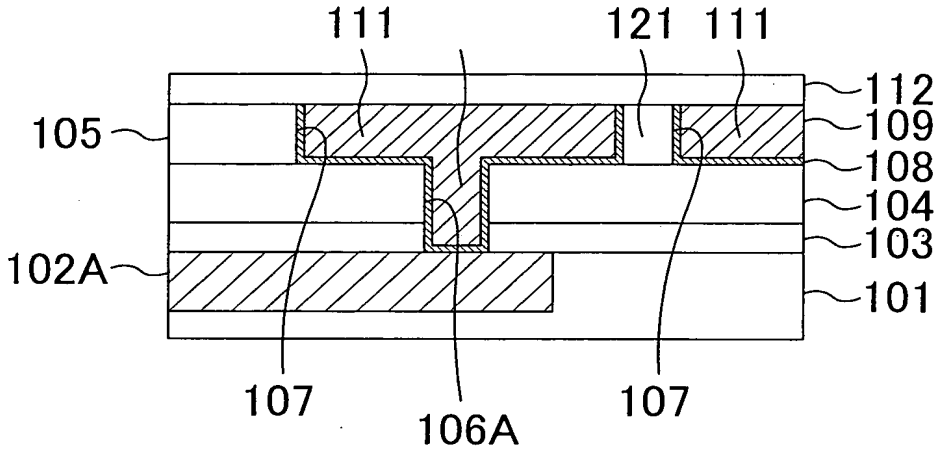


FIG. 17B

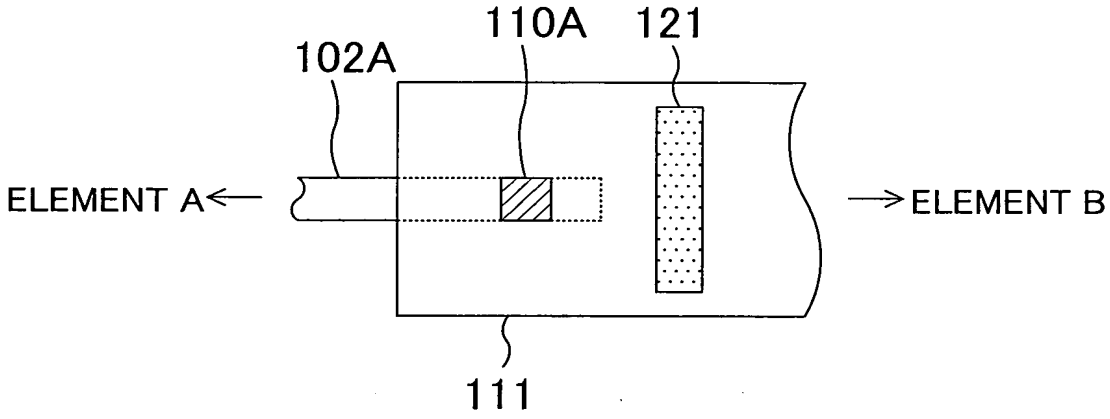


FIG. 18A
PRIOR ART

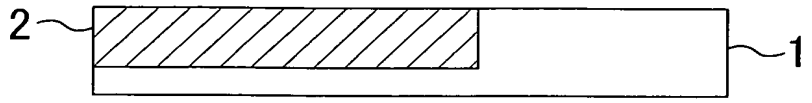


FIG. 18B
PRIOR ART

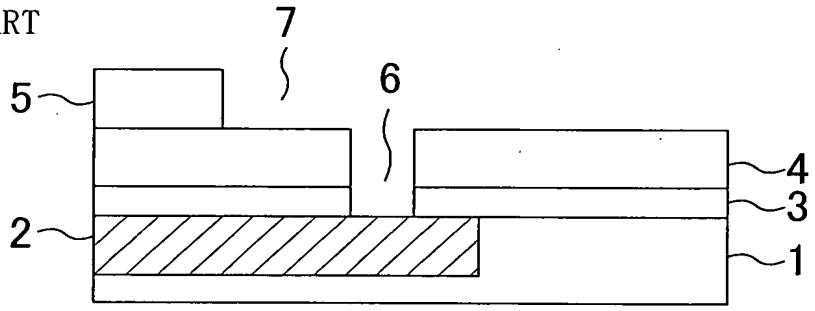


FIG. 18C
PRIOR ART

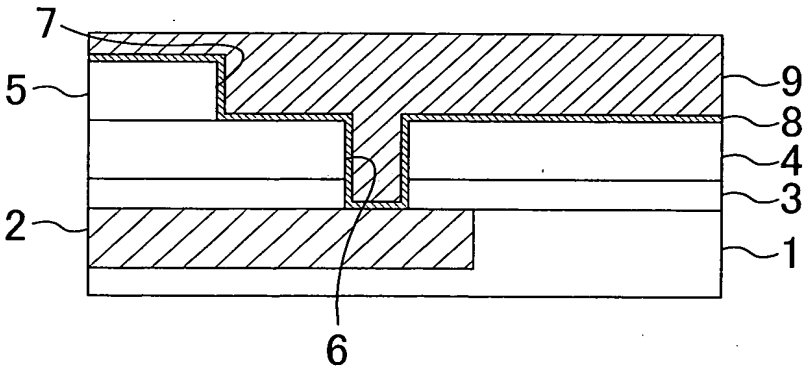


FIG. 19A
PRIOR ART

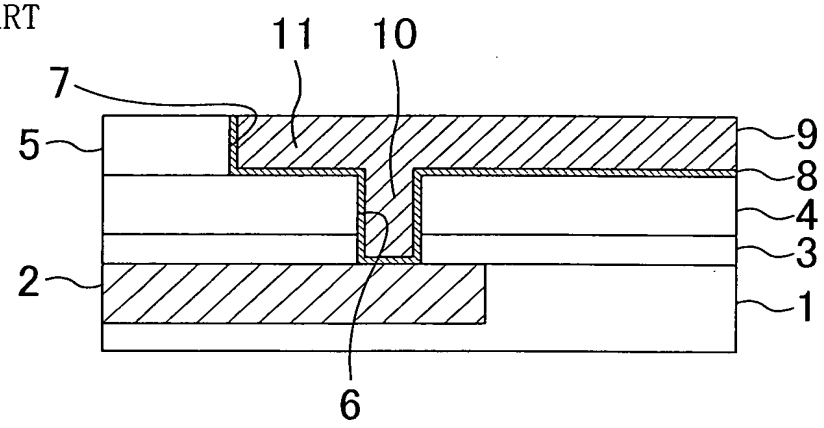


FIG. 19B
PRIOR ART

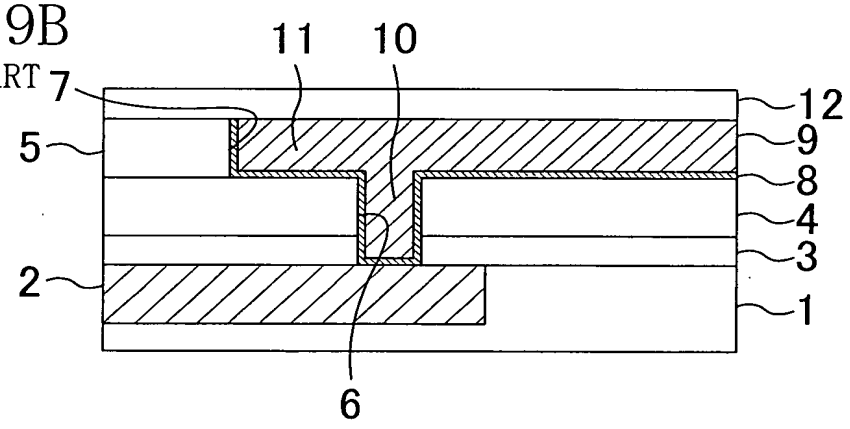


FIG. 19C
PRIOR ART

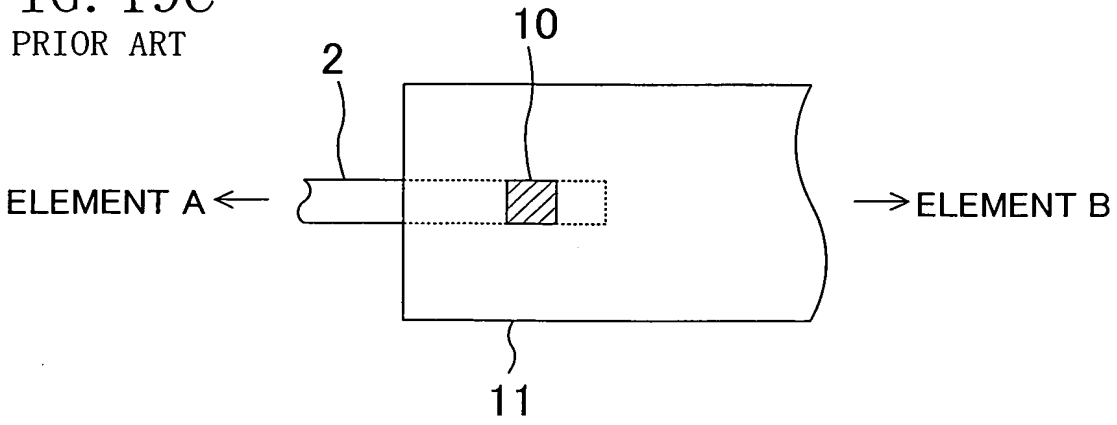


FIG. 20A
PRIOR ART

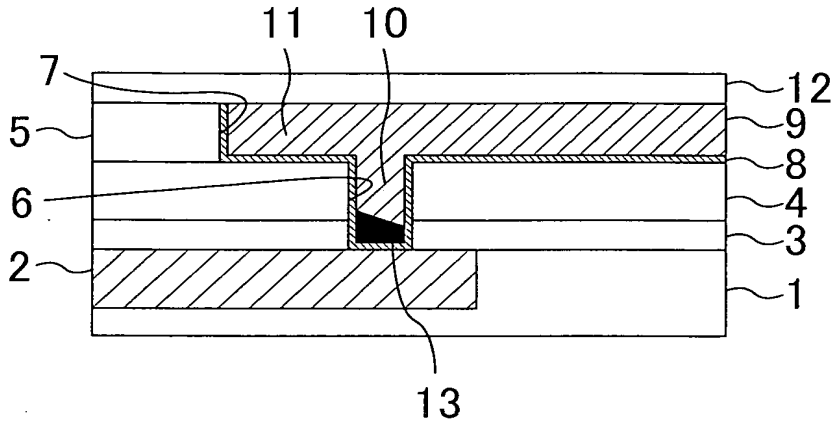
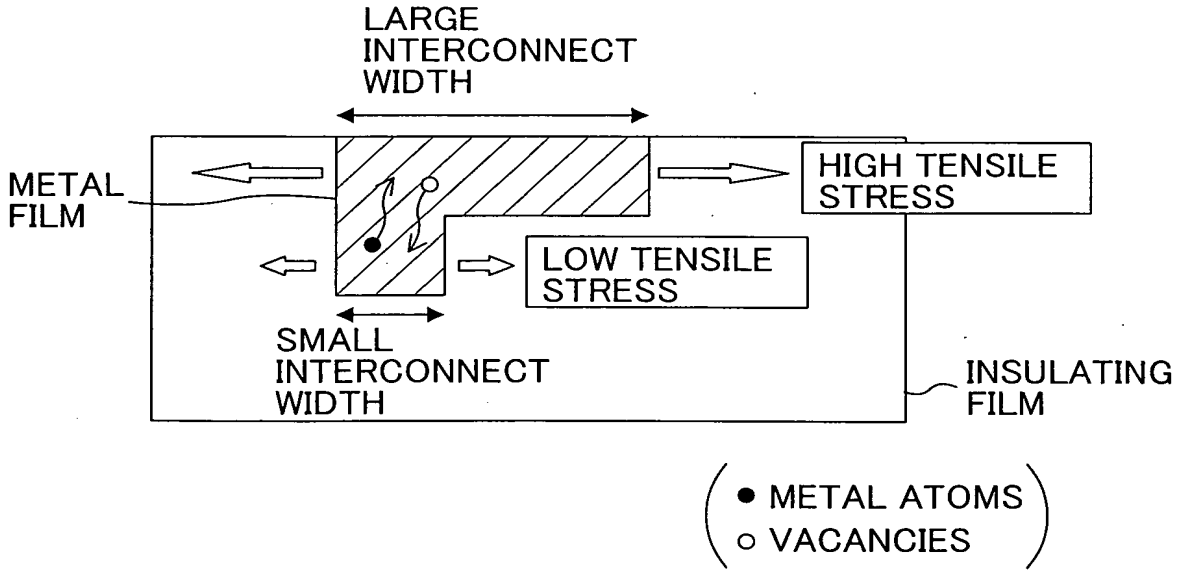


FIG. 20B



Docket No.:

DECLARATION AND POWER OF ATTORNEY

As a below named inventor, I hereby declare that:

My residence, mailing address and citizenship are as stated below next to my name,

I believe I am the original, first and sole inventor (if only one name is listed below) or an original, first and joint inventor (if plural names are listed below) of the subject matter claimed and for which a patent is sought on the invention entitled **INTERCONNECTION STRUCTURE AND METHOD FOR FORMING THE SAME**, the specification of which

- ☒ is attached hereto.
- ☐ was filed on as United States Application Number , or PCT International Application Number and was amended on (if applicable), or
- ☐ is a Continuation-In-Part (CIP) of Application Number , filed

I hereby state that I have reviewed and understand the contents of the above identified specification, including the claims, as amended by any amendment referred to above.

I acknowledge the duty to disclose information which is known to me to be material to patentability in accordance with Title 37, Code of Federal Regulations, Section 1.56 including for continuation-in-part applications, material information which became available between the filing date of the prior application and the national or PCT international filing date of the continuation-in-part application.

I hereby claim foreign priority benefits under 35, United States Code, Section 119(a)-(d) or (f), or 365(b) of any foreign application(s) for patent or inventor's or plant breeder's right certificate, or 365(a) of any PCT international application which designated at least one country other than the United States of America, listed below and have also identified below any foreign application for patent or inventor's, or plant breeder's rights certificate, or any PCT international application having a filing date before that of the application on which priority is claimed:

Prior Foreign Applications(s):

Number	Country	Day/Month/Year filed	**Priority Claimed**
2003-404437	Japan	03/12/2003	☒
			☐

I hereby claim the benefit under 35 United States Code, Section 119(e) of any United States provisional application(s) listed below.

Prior Provisional Application(s):

Application Number	Filing Date

I hereby claim the benefit under 35, United States Code, Section 120 of any United States application(s) or 365(c) of any PCT international application designating the United States, listed below and, insofar as the subject matter of each of the claims of this application is not disclosed in the prior United States or PCT international application in the manner provided by the first paragraph of 35, United States Code, Section 112. I acknowledge the duty to disclose information which is material to patentability as defined in 37, Code of Federal Regulations, Section 1.56 which occurred between the filing date of the prior application and the national or PCT international filing date of this application:

Prior U.S. Application(s):

Serial No.	Filing Date	Status: Patented, Pending, Abandoned

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.

POWER OF ATTORNEY:

As a named inventor, I hereby appoint the registered practitioners of McDermott Will & Emery LLP, included in the Customer Number provided below, with full power of substitution and revocation, to prosecute this application and to transact all business in the Patent and Trademark Office connected therewith.

CUSTOMER NUMBER 20277

Send correspondence to the address associated with Customer Number 20277

McDERMOTT WILL & EMERY LLP
600 13th Street, N.W.
Washington, D. C. 20005-3096

Direct Telephone Calls to: Telephone (202) 756-8000

Full name of sole or first inventor: Takeshi HARADA	
Inventor's signature: Takeshi Harada	Date: November 24, 2004
Residence: Niigata, Japan	
Citizenship: Japan	
Post Office Address: 2-2-24-1102, Hon-cho, Joetsu-shi, Niigata 943-0832, Japan	

PATENT APPLICATION SERIAL NO. _____

U.S. DEPARTMENT OF COMMERCE
PATENT AND TRADEMARK OFFICE
FEE RECORD SHEET

12/03/2004 HLE333 00000001 500417 11000904

01 FC:1001 790.00 DA
02 FC:1201 352.00 DA
03 FC:1202 108.00 DA

PTO-1556
(5/87)

*U.S. Government Printing Office: 2002 — 489-267/69033

PATENT APPLICATION FEE DETERMINATION RECORD
Effective October 1, 2004

Application or Docket Number: 11000904

CLAIMS AS FILED - PART I

	(Column 1)	(Column 2)
TOTAL CLAIMS	26	
FOR	NUMBER FILED	NUMBER EXTRA
TOTAL CHARGEABLE CLAIMS	26 minus 20=	* 6
INDEPENDENT CLAIMS	7 minus 3 =	* 4
MULTIPLE DEPENDENT CLAIM PRESENT		☐

* If the difference in column 1 is less than zero, enter "0" in column 2

SMALL ENTITY TYPE ☐		OR	OTHER THAN SMALL ENTITY	
RATE	FEE		RATE	FEE
BASIC FEE	395.00	OR	BASIC FEE	790.00
X$ 9=		OR	X$18=	108
X44=		OR	X88=	352
+150=		OR	+300=	
TOTAL		OR	TOTAL	1250

CLAIMS AS AMENDED - PART II

AMENDMENT A	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA
Total	*	Minus	**	=
Independent	*	Minus	***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM				☐

SMALL ENTITY		OR	OTHER THAN SMALL ENTITY	
RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
X$ 9=		OR	X$18=	
X44=		OR	X88=	
+150=		OR	+300=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

AMENDMENT B	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA
Total	*	Minus	**	=
Independent	*	Minus	***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM				☐

RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
X$ 9=		OR	X$18=	
X44=		OR	X88=	
+150=		OR	+300=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

AMENDMENT C	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA
Total	*	Minus	**	=
Independent	*	Minus	***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM				☐

RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
X$ 9=		OR	X$18=	
X44=		OR	X88=	
+150=		OR	+300=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20."
***If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3."
The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

Docket No.: 71971-064 **PATENT**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
Takeshi HARADA	:	Confirmation Number: Not yet assigned
Application No.: Not yet assigned	:	Group Art Unit: Not yet assigned
Filed: December 02, 2004	:	Examiner: Not yet assigned

For: INTERCONNECTION STRUCTURE AND METHOD FOR FORMING THE SAME

INFORMATION DISCLOSURE STATEMENT

Mail Stop Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

In accordance with the provisions of 37 C.F.R. 1.56, 1.97 and 1.98, the attention of the Patent and Trademark Office is hereby directed to the documents listed on the attached form PTO-1449. It is respectfully requested that the documents be expressly considered during the prosecution of this application, and that the documents be made of record therein and appear among the "References Cited" on any patent to issue therefrom.

This Information Disclosure Statement is being filed within three months of the U.S. filing date OR before the mailing date of a first Office Action on the merits. No certification or fee is required.

The relevance of **JP 2000-331991** is discussed in the present specification.

Not yet assigned

Please charge any shortage in fees due in connection with the filing of this paper, including extension of time fees, to Deposit Account 500417 and please credit any excess fees to such deposit account.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP

Michael E. Fogarty
Registration No. 36,139

Please recognize our Customer No. 20277 as our correspondence address.

600 13th Street, N.W.
Washington, DC 20005-3096
Phone: 202.756.8000 MEF:aph
Facsimile: 202.756.8087
Date: December 2, 2004

INFORMATION DISCLOSURE CITATION IN AN APPLICATION

(PTO-1449)

ATTY. DOCKET NO.	SERIAL NO.
71971-064	**Not yet assigned**
APPLICANT: **Takeshi HARADA**	
FILING DATE: **December 02, 2004**	GROUP: **Not yet assigned**

U.S. PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Document Number Number-Kind Code2 (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			

FOREIGN PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Foreign Patent Document Country Code3-Number4-Kind Codes (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines Where Relevant Figures Appear	Translation Yes	Translation No
		JP 2000-331991	11-30-2000	SONY CORP		JAPAN (w/English Abstract)	
		JP 2002-299437	10-11-2002	TOSHIBA CORP		JAPAN (w/English Abstract)	
		JP 2000-012688	1-14-2000	SHARP CORP		JAPAN (w/English Abstract)	

OTHER ART (Including Author, Title, Date, Pertinent Pages, Etc.)

EXAMINER'S INITIALS	CITE NO.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	

EXAMINER	DATE CONSIDERED

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

1 Applicant's unique citation designation number (optional). 2 Applicant is to place a check mark here if English language Translation is attached.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-331991
(43)Date of publication of application : 30.11.2000

(51)Int.Cl. H01L 21/3065
H01L 21/28
H01L 21/768

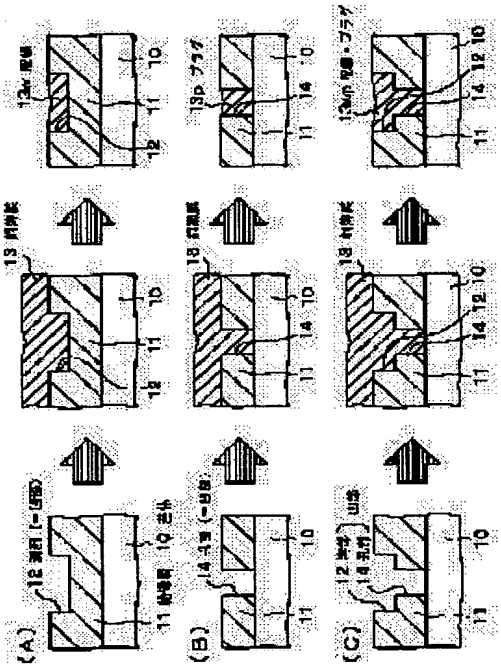
(21)Application number : 11-137519
(22)Date of filing : 18.05.1999

(71)Applicant : SONY CORP
(72)Inventor : KADOMURA SHINGO
HIRANO SHINSUKE
TAKATSU MEGUMI

(30)Priority
Priority number : 11068385 Priority date : 15.03.1999 Priority country : JP

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:
PROBLEM TO BE SOLVED: To provide a method for manufacturing a semiconductor device by which the reliability of a process as well as the product yield can be improved when forming a wiring and/or a plug using a copper thin film or a silver thin film, in a single damascene process, a dual damascene process, or an embedding plug process.
SOLUTION: This manufacturing method includes a step to form a recessed part in an insulation layer 11 after the insulation layer 11 is formed on a substrate 10, a step to form a nearly flat metallic thin film on the insulation layer 11 containing the recessed part, and a step to leave the metallic thin film only inside the recessed part by etchbacking the metallic thin film, and a copper thin film 13 or a silver thin film is used as a metallic film.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報（Ａ）**　(11)特許出願公開番号
特開2000－331991
（P2000－331991A）
(43)公開日　平成12年11月30日(2000.11.30)

(51)Int.Cl.⁷	識別記号	ＦＩ		テーマコード（参考）
Ｈ０１Ｌ 21/3065		Ｈ０１Ｌ 21/302	Ｂ	４Ｍ１０４
21/28		21/28	Ｌ	５Ｆ００４
21/768		21/90	Ｃ	５Ｆ０３３

審査請求　未請求　請求項の数34　ＯＬ　（全 36 頁）

(21)出願番号　特願平11－137519

(22)出願日　平成11年５月18日(1999.5.18)

(31)優先権主張番号　特願平11－68385
(32)優先日　平成11年３月15日(1999.3.15)
(33)優先権主張国　日本（ＪＰ）

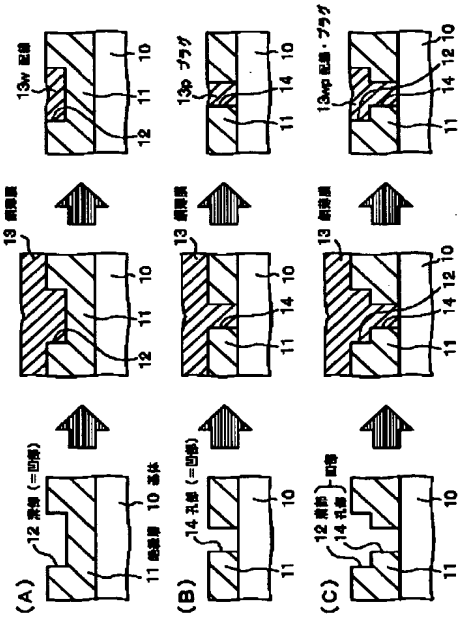
(71)出願人　000002185
ソニー株式会社
東京都品川区北品川６丁目７番35号
(72)発明者　門村　新吾
東京都品川区北品川６丁目７番35号　ソニー株式会社内
(72)発明者　平野　信介
東京都品川区北品川６丁目７番35号　ソニー株式会社内
(74)代理人　100094363
弁理士　山本　孝久

最終頁に続く

(54)【発明の名称】　半導体装置の製造方法

(57)【要約】
【課題】シングルダマシン・プロセス、デュアルダマシン・プロセス、あるいは埋込みプラグ・プロセスにおいて、銅薄膜又は銀薄膜を用いた配線及び／又はプラグを形成する場合のプロセス信頼性、及び製品歩留まりを改善することが可能な半導体装置の製造方法を提供する。
【解決手段】（イ）基体１０上に絶縁層１１を形成した後、該絶縁層１１に凹部を形成する工程と、（ロ）凹部内を含む絶縁層１１上に、上面の略平坦な金属薄膜を形成する工程と、（ハ）金属薄膜をエッチバックすることにより、凹部の内部のみに金属薄膜を残す工程を有し、金属薄膜として銅薄膜１３又は銀薄膜を用いる。

【図１】



1

【特許請求の範囲】

【請求項１】（イ）基体上に絶縁層を形成した後、該絶縁層に凹部を形成する工程と、

（ロ）凹部内を含む絶縁層上に、上面が略平坦な金属薄膜を形成する工程と、

（ハ）金属薄膜をエッチバックすることにより、凹部の内部のみに金属薄膜を残す工程、を有し、

金属薄膜は、銅薄膜又は銀薄膜であることを特徴とする半導体装置の製造方法。

【請求項２】絶縁層は、低誘電率材料から成ることを特徴とする請求項１に記載の半導体装置の製造方法。

【請求項３】工程（イ）を終了後、凹部の内部を含む絶縁層上にバリヤ層を形成し、

工程（ハ）では、金属薄膜のエッチバックに引き続き、バリヤ層をエッチバックすることを特徴とする請求項１に記載の半導体装置の製造方法。

【請求項４】凹部は、配線形成用の溝部及び／又はプラグ形成用の孔部であることを特徴とする請求項１に記載の半導体装置の製造方法。

【請求項５】セラミックス部材の組織中にアルミニウム系材料が充填された母材と、該母材の表面に設けられたセラミックス層とから成る複合部材から構成され、静電チャック機能を有し、且つ、温度制御手段を備えた基体載置ステージを使用し、基体載置ステージ上に基体を載置して、金属薄膜のエッチバックを行うことを特徴とする請求項１に記載の半導体装置の製造方法。

【請求項６】温度制御手段はヒータから構成されていることを特徴とする請求項５に記載の半導体装置の製造方法。

【請求項７】ヒータは母材の内部に配設されており、母材の線膨張率をα_1［単位：10^{-6}／K］としたとき、ヒータを構成する材料の線膨張率α_H［単位：10^{-6}／K］は（α_1-4）≦α_H≦（α_1+4）を満足することを特徴とする請求項６に記載の半導体装置の製造方法。

【請求項８】温度制御手段は、母材の内部に配設された温度制御用熱媒体を流す配管から構成されており、母材の線膨張率をα_1［単位：10^{-6}／K］としたとき、配管の線膨張率α_P［単位：10^{-6}／K］は（α_1-4）≦α_P≦（α_1+4）を満足することを特徴とする請求項５に記載の半導体装置の製造方法。

【請求項９】母材の線膨張率をα_1［単位：10^{-6}／K］としたとき、セラミックス層の線膨張率α_2［単位：10^{-6}／K］は（α_1-4）≦α_2≦（α_1+4）を満足することを特徴とする請求項５に記載の半導体装置の製造方法。

【請求項１０】母材を構成するセラミックス部材の組成はコージエライトセラミックスであり、母材を構成するアルミニウム系材料の組成はアルミニウムとケイ素であり、セラミックス層を構成する材料は酸化アルミニウム

2

であることを特徴とする請求項９に記載の半導体装置の製造方法。

【請求項１１】母材を構成するセラミックス部材の組成は窒化アルミニウムであり、母材を構成するアルミニウム系材料の組成はアルミニウム又はアルミニウムとケイ素であり、セラミックス層を構成する材料は酸化アルミニウム又は窒化アルミニウムであることを特徴とする請求項９に記載の半導体装置の製造方法。

【請求項１２】母材を構成するセラミックス部材の組成は炭化ケイ素であり、母材を構成するアルミニウム系材料の組成はアルミニウム又はアルミニウムとケイ素であり、セラミックス層を構成する材料は酸化アルミニウム又は窒化アルミニウムであることを特徴とする請求項９に記載の半導体装置の製造方法。

【請求項１３】母材を構成するセラミックス部材の組成は酸化アルミニウムであり、母材を構成するアルミニウム系材料の組成はアルミニウム又はアルミニウムとケイ素であり、セラミックス層を構成する材料は酸化アルミニウムであることを特徴とする請求項９に記載の半導体装置の製造方法。

【請求項１４】セラミックス層は、溶射法にて母材の表面に形成されていることを特徴とする請求項５に記載の半導体装置の製造方法。

【請求項１５】セラミックス層は、ロウ付け法にて母材の表面に取り付けられていることを特徴とする請求項５に記載の半導体装置の製造方法。

【請求項１６】（イ）基体上に絶縁層を形成した後、該絶縁層に複数の凹部を形成する工程と、

（ロ）凹部内を含む絶縁層上に、少なくともめっき法を用いて金属薄膜を形成する工程と、

（ハ）金属薄膜の表面段差を吸収し、上面が略平坦な平坦化層を該金属薄膜上に形成する工程と、

（ニ）平坦化層のエッチング速度と金属薄膜のエッチング速度とが略等しくなる条件下で該平坦化層と該金属薄膜とをエッチバックすることにより、凹部の内部のみに金属薄膜を残す工程、を有し、

金属薄膜は、銅薄膜又は銀薄膜であることを特徴とする半導体装置の製造方法。

【請求項１７】絶縁層は、低誘電率材料から成ることを特徴とする請求項１６に記載の半導体装置の製造方法。

【請求項１８】工程（イ）を終了後、凹部の内部を含む絶縁層上にバリヤ層を形成し、

工程（ニ）では、金属薄膜のエッチバックに引き続き、バリヤ層をエッチバックすることを特徴とする請求項１６に記載の半導体装置の製造方法。

【請求項１９】凹部は、配線形成用の溝部及び／又はプラグ形成用の孔部であることを特徴とする請求項１６に記載の半導体装置の製造方法。

【請求項２０】複数の凹部の少なくとも一部は開口面積が相異し、金属薄膜の表面段差は、開口面積の相異する

凹部間の領域に形成されることを特徴とする請求項１６に記載の半導体装置の製造方法。

【請求項２１】金属薄膜と平坦化層とが同一の材料から成ることを特徴とする請求項１６に記載の半導体装置の製造方法。

【請求項２２】平坦化層は、スパッタ法により製膜されることを特徴とする請求項１６に記載の半導体装置の製造方法。

【請求項２３】平坦化層は、スパッタ法により製膜された後に、熱処理により上面を平坦化されることを特徴とする請求項２２に記載の半導体装置の製造方法。

【請求項２４】セラミックス部材の組織中にアルミニウム系材料が充填された母材と、該母材の表面に設けられたセラミックス層とから成る複合部材から構成され、静電チャック機能を有し、且つ、温度制御手段を備えた基体載置ステージを使用し、基体載置ステージ上に基体を載置して、金属薄膜のエッチバックを行うことを特徴とする請求項１６に記載の半導体装置の製造方法。

【請求項２５】温度制御手段はヒータから構成されていることを特徴とする請求項２４に記載の半導体装置の製造方法。

【請求項２６】ヒータは母材の内部に配設されており、母材の線膨張率をα_1［単位：10^{-6}／Ｋ］としたとき、ヒータを構成する材料の線膨張率α_H［単位：10^{-6}／Ｋ］は$(\alpha_1-4) \leqq \alpha_H \leqq (\alpha_1+4)$を満足することを特徴とする請求項２５に記載の半導体装置の製造方法。

【請求項２７】温度制御手段は、母材の内部に配設された温度制御用熱媒体を流す配管から構成されており、母材の線膨張率をα_1［単位：10^{-6}／Ｋ］としたとき、配管の線膨張率α_P［単位：10^{-6}／Ｋ］は$(\alpha_1-4) \leqq \alpha_P \leqq (\alpha_1+4)$を満足することを特徴とする請求項２４に記載の半導体装置の製造方法。

【請求項２８】母材の線膨張率をα_1［単位：10^{-6}／Ｋ］としたとき、セラミックス層の線膨張率α_2［単位：10^{-6}／Ｋ］は$(\alpha_1-4) \leqq \alpha_2 \leqq (\alpha_1+4)$を満足することを特徴とする請求項２４に記載の半導体装置の製造方法。

【請求項２９】母材を構成するセラミックス部材の組成はコージエライトセラミックスであり、母材を構成するアルミニウム系材料の組成はアルミニウムとケイ素であり、セラミックス層を構成する材料は酸化アルミニウムであることを特徴とする請求項２８に記載の半導体装置の製造方法。

【請求項３０】母材を構成するセラミックス部材の組成は窒化アルミニウムであり、母材を構成するアルミニウム系材料の組成はアルミニウム又はアルミニウムとケイ素であり、セラミックス層を構成する材料は酸化アルミニウム又は窒化アルミニウムであることを特徴とする請求項２８に記載の半導体装置の製造方法。

【請求項３１】母材を構成するセラミックス部材の組成は炭化ケイ素であり、母材を構成するアルミニウム系材料の組成はアルミニウム又はアルミニウムとケイ素であり、セラミックス層を構成する材料は酸化アルミニウム又は窒化アルミニウムであることを特徴とする請求項２８に記載の半導体装置の製造方法。

【請求項３２】母材を構成するセラミックス部材の組成は酸化アルミニウムであり、母材を構成するアルミニウム系材料の組成はアルミニウム又はアルミニウムとケイ素であり、セラミックス層を構成する材料は酸化アルミニウムであることを特徴とする請求項２８に記載の半導体装置の製造方法。

【請求項３３】セラミックス層は、溶射法にて母材の表面に形成されていることを特徴とする請求項２４に記載の半導体装置の製造方法。

【請求項３４】セラミックス層は、ロウ付け法にて母材の表面に取り付けられていることを特徴とする請求項２４に記載の半導体装置の製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、更に詳しくは、所謂シングルダマシン・プロセス、デュアルダマシン・プロセス、あるいは埋込みプラグ・プロセスにおいて、誘電率の低い絶縁層に銅薄膜又は銀薄膜を埋め込んで配線及び／又はプラグを形成する場合のプロセス信頼性を高める方法に関する。

【０００２】

【従来の技術】近年のＵＬＳＩのように、数ミリ角のチップに数百万個以上もの素子が形成された高集積化半導体装置においては、集積度の上昇に伴うチップ面積の増大を抑制するために、基体上に絶縁層と配線とを交互に積み重ねる多層配線技術が不可欠とされている。また、チップ面積に占める配線の面積の割合が増大し、且つ、絶縁層の厚さの減少に伴い寄生容量が増大している状況下では、信号遅延や消費電力の増大が深刻化するため、配線については低抵抗化、絶縁層については低誘電率化が強く求められている。

【０００３】従来、半導体装置の配線用材料としては、アルミニウム系合金（例えば、Ａｌ－０．５％Ｃｕ、Ａｌ－１％Ｓｉ－０．５％Ｃｕ）が広く用いられているが、半導体装置の動作を更に高速化するためには、より比抵抗の低い銅（Ｃｕ）や銀（Ａｇ）等を用いる必要がある。銅の比抵抗は約１．７μΩ・ｃｍ、銀の比抵抗は約１．６μΩ・ｃｍと低く、いずれもエレクトロマイグレーション耐性がアルミニウム系合金に比べて１桁程度高いため、アルミニウム系合金に替わる次世代の配線用材料として期待されている。

【０００４】一方、半導体装置の絶縁層材料としては、従来より酸化シリコン系材料や窒化シリコン系材料が単独で、あるいは適宜組み合わせて使用されてきた。しか

し、誘電率ｋ（＝ε／ε$_0$）の値をみると、酸化シリコン（ＳｉO$_2$）は約３．９、酸化フッ化シリコン（ＳｉＯＦ）は３．４～３．６、窒化シリコン（ＳｉＮ）は約７と、いずれも高い。近年、誘電率ｋの値が３よりも低い有機系及び無機系の低誘電率材料を絶縁層材料として用いる技術が提案されている。有機系の低誘電率材料としては、非フッ素系ポリマーやフッ素系ポリマーが知られており、無機系の低誘電率材料としては、気泡を含有する酸化シリコン系のキセロゲルやナノポーラスシリカ等が知られている。

【０００５】ところで、銅については、上述のような利点により半導体装置の配線用材料として有望である反面、例えば、エッチング反応生成物の蒸気圧が低く、通常のドライエッチング法ではパターニングが困難であるといった理由から、実用化が遅れていた。しかし、絶縁層に予め形成された凹部に金属薄膜を略平坦に埋め込むだけであれば、ドライエッチング法によるパターニングが不要となり、銅のようにエッチングし難い金属についても配線用材料としての実用化が促進されると期待されている。このように、絶縁層に予め凹部を形成しておき、この凹部を金属薄膜で略平坦に埋め込むプロセスは、ダマシン・プロセスと呼ばれている。特に、凹部として配線形成用の溝部のみを形成し、配線を形成するプロセスを、シングルダマシン・プロセスと称する。また、配線形成用の溝部に加え、この溝部の底部に接続するプラグ形成用の孔部を凹部として形成し、プラグと配線の双方を形成するプロセスを、デュアルダマシン・プロセスと称する。尚、プラグのみを形成するプロセスは、埋込みプラグ・プロセスと称されており、タングステン等の高融点金属を用いたプロセスが既に実用化されている。

【０００６】シングルダマシン・プロセス又はデュアルダマシン・プロセスにおける一般的なプロセス・フローでは、先ず、凹部の内部を含む絶縁層の全面に例えばめっき法により金属薄膜を形成し、次に、化学機械研磨（ＣＭＰ）法により絶縁層上の金属薄膜を除去することにより、凹部の内部のみに金属薄膜を残す（即ち、凹部を埋め込む）。埋込みプラグ・プロセスのプロセス・フローは、シングルダマシン・プロセスにおける配線形成用の溝部をプラグ形成用の孔部に置き換えて考えれば、基本的にはシングルダマシン・プロセスのフローと同じである。

【０００７】

【発明が解決しようとする課題】しかしながら、絶縁層上の金属薄膜をＣＭＰ法により除去する場合、絶縁層の構成材料によっては、金属薄膜が絶縁層から剥離したり、絶縁層そのものに損傷を生ずるといった問題が多発している。特に、上述した低誘電率材料の多くは、金属薄膜に対する密着性に劣る上に、機械強度も不足しており、このような問題を生じ易い。

【０００８】そこで本発明は、シングルダマシン・プロセス、デュアルダマシン・プロセス、あるいは埋込みプラグ・プロセスにおいて、配線用材料として銅薄膜又は銀薄膜を用いた配線及び／又はプラグを形成する場合のプロセス信頼性、及び製品歩留まりを改善することが可能な半導体装置の製造方法を提供することを目的とする。

【０００９】

【課題を解決するための手段】上記の目的を達成するための本発明の第１の態様に係る半導体装置の製造方法（以下、第１の態様に係る製造方法と称する）は、

（イ）基体上に絶縁層を形成した後、該絶縁層に凹部を形成する工程と、（ロ）凹部内を含む絶縁層上に、上面が略平坦な金属薄膜を形成する工程と、（ハ）金属薄膜をエッチバックすることにより、凹部の内部のみに金属薄膜を残す工程、を有し、金属薄膜は、銅薄膜又は銀薄膜であることを特徴とする。

【００１０】金属薄膜のエッチバックは、通常の半導体プロセスで採用されているプラズマエッチングの手法により行われる。つまり、本発明によれば、ＣＭＰ法と異なり、絶縁層に機械的な圧力を加えることなく絶縁層上の金属薄膜を除去することができるため、絶縁層からの金属薄膜の剥離や絶縁層の損傷を回避することができる。尚、以下の説明においては、凹部の内部のみに金属薄膜を残すこと、又は金属薄膜が残された状態を、それぞれ「埋め込む」又は「埋込み」と表現することがある。

【００１１】金属薄膜のエッチバックに用いられるエッチングガスとしては、ＨＦ、ＳＦ$_6$、ＮＦ$_3$等のフッ素系ガス；Ｃｌ$_2$、ＨＣｌ、ＢＣｌ$_3$等の塩素系ガス；ＨＢｒ、Ｂｒ$_2$等の臭素系ガス（但し、Ｂｒ$_2$は気化器によりガス化して使用）；及び、ＨＩ等のヨウ素系ガスを挙げることができる。本発明において金属薄膜として用いられる銅薄膜又は銀薄膜は、使用されるガスの種類に応じた銅ハロゲン化物又は銀ハロゲン化物の形で除去される。但し、これら銅ハロゲン化物又は銀ハロゲン化物は一般に蒸気圧が低いため、基体の温度を２００～３００°Ｃ程度に保持した状態でエッチバックを行うことにより、銅ハロゲン化物又は銀ハロゲン化物の脱離を促進することが好適である。エッチバックは、平行平板型ＲＩＥ（反応性イオンエッチング）装置、有磁場マイクロ波プラズマエッチング装置、ヘリコン波プラズマエッチング装置、誘導結合プラズマエッチング装置等、公知のプラズマ装置を用いて行うことができる。

【００１２】銅薄膜又は銀薄膜は、電解めっき法、無電解めっき法、スパッタ法、ＣＶＤ法を単独で行うか、あるいは適宜組み合わせて行うことにより形成することができる。複数の方法を組み合わせて行う場合とは、例えば無電解めっき法、スパッタ法、又はＣＶＤ法によりシード層を薄く形成し、その後、電解めっき法により銅薄

膜又は銀薄膜を厚く形成する場合である。シード層とは、電解めっき法で必要となる電流供給用の導電層であり、その構成材料としては、Ｃｕ、Ｎｉ、Ｎｉ系合金（例えば、Ｎｉ－Ｃｏ、Ｎｉ－Ｃｏ－Ｂ、Ｎｉ－Ｃｏ－Ｐ、Ｎｉ－Ｆｅ－Ｐ、Ｎｉ－Ｗ－Ｐ）、Ｐｔ、Ｔｉ、Ｃｒ、Ｃｏ、Ｃｏ系合金（例えば、Ｃｏ－Ｆｅ－Ｐ、Ｃｏ－Ｗ－Ｐ、Ｃｏ－Ｓｎ－Ｐ、Ｃｏ－Ｚｎ－Ｐ、Ｃｏ－Ｍｎ－Ｐ）、Ｐｄ、Ａｇ、Ａｕ、Ｚｎ、Ｓｎ、Ｒｈ、ＴｉＮ／Ｔｉ、ＴｉＮ／Ｒｈ、ＴｉＮ／Ｐｔ、Ｚｒ、Ｈｆ、Ｔａ、Ｍｏ、Ｗ、Ｉｎ、Ｇｅ及びＰｂを例示することができる。

【００１３】上記の目的を達成するための本発明の第２の態様に係る半導体装置の製造方法（以下、第２の態様に係る製造方法と称する）は、銅薄膜又は銀薄膜の形成方法として、特にめっき法を選択した場合に好適な製造方法である。即ち、（イ）基体上に絶縁層を形成した後、該絶縁層に複数の凹部を形成する工程と、（ロ）凹部内を含む絶縁層上に、少なくともめっき法を用いて金属薄膜を形成する工程と、（ハ）金属薄膜の表面段差を吸収し、上面が略平坦な平坦化層を該金属薄膜上に形成する工程と、（ニ）平坦化層のエッチング速度と金属薄膜のエッチング速度とが略等しくなる条件下で該平坦化層と該金属薄膜とをエッチバックすることにより、凹部の内部のみに金属薄膜を残す工程、を有し、金属薄膜は、銅薄膜又は銀薄膜であることを特徴とする。

【００１４】第２の態様に係る製造方法において、複数の凹部の少なくとも一部で開口面積が相異していると、開口面積の相異する凹部間の領域において、金属薄膜の表面段差が形成され易い。より具体的には、金属薄膜の厚さは、開口面積の小さい凹部の上方で厚く、開口面積の大きい凹部の上方で薄くなる傾向がある。このため、仮に、金属薄膜上に平坦化層を形成せずに該金属薄膜のエッチバックを行うと、開口面積の小さい凹部が金属薄膜で過不足無く埋め込まれた時点で、開口面積の大きい凹部内では金属薄膜の残膜厚が減少する場合がある。凹部内に残る金属薄膜は半導体装置のプラグ及び／又は配線であるから、係る残膜厚の減少はプラグ及び／又は配線の電気抵抗値を増大させ、ひいては半導体装置の動作特性を変動させる原因となる。然るに、第２の態様に係る製造方法によれば、かかる残膜厚の減少を抑制することができ、すべての凹部をその開口面積の大小に拘わらず、金属薄膜で過不足無く埋め込むことが可能となる。

【００１５】第２の態様に係る製造方法におけるエッチバックは、第１の態様に係る製造方法と同様、プラズマエッチングの手法により行うことができる。従って、平坦化層の構成材料としては、対下地選択比を実用上十分なレベルに保ちつつ銅薄膜又は銀薄膜のエッチング速度と略等しいエッチング速度でエッチングすることができ、且つ、エッチング反応系にパーティクル源と成り得る反応生成物をできるだけ生成しない材料を適宜選択することが望ましい。かかる材料としては、銅や銀を例示することができる。無論、平坦化層と金属薄膜とが同一の材料から成る場合には、製膜方法により若干の差違が生ずる可能性はあるものの、平坦化層のエッチング速度と金属薄膜のエッチング速度とは実質的に等しくなる。

【００１６】平坦化層は、スパッタ法により製膜されることが特に好適である。スパッタ法としては、公知のあらゆる方法を用いることができる。即ち、衝突粒子の生成方式に基づく分類によれば、直流スパッタ法、高周波スパッタ法、マグネトロン・スパッタ、ＥＣＲ（電子サイクロトロン共鳴）スパッタ法等の方式が存在し、これら各種のスパッタ方式に組み合わせられる種々の工夫に応じて、バイアススパッタ法、コリメータスパッタ法、イオンビームスパッタ法、高圧スパッタ法、高温スパッタ法等の方式が存在する。特に、バイアススパッタ法やイオンビームスパッタ法のように、製膜過程と平坦化過程とを協奏的に進行させるスパッタ法によれば、めっき法により形成された金属薄膜の表面段差を緩和する平坦化層を形成することができる。このような平坦化層は、スパッタ法による製膜後に熱処理を行うことによって、上面がより高度に平坦化される。尚、高温スパッタ法では、被製膜体を高温加熱して製膜種のマイグレーションを促進しながら製膜を行うので、製膜後の熱処理を省略することが可能である。

【００１７】本発明の第１の態様及び第２の態様に係る製造方法において、基体としては、下層配線として不純物拡散領域が形成された半導体基板、パターニングされた下層配線が表面に形成された下層絶縁層、下層配線の一部を露出させた孔部を有する下層絶縁層、プラグで埋め込まれた孔部を有する下層絶縁層等、通常の半導体プロセスのあらゆる段階における構成を有するものを使用することができる。

【００１８】本発明の第１の態様及び第２の態様に係る製造方法において、絶縁層は、従来広く用いられている酸化シリコン系材料や窒化シリコン系材料であっても構わないが、所謂低誘電率材料を用いて構成した場合に、本発明の実用上の効果が特に顕著となる。従って、低誘電率材料の「低誘電率」の目安は、おおよそｋ≦３．５、より好ましくはｋ≦３となる。かかる低誘電率材料としては、ＢＣＢ（ベンゾシクロブテン：ｋ＝２．６）、ポリアリールエーテル（ｋ＝２．６～２．８）、ポリイミド（ｋ＝２．９）等の非フッ素系ポリマー；フッ素添加ポリイミド（ｋ＝２．７）、テトラフルオロエチレン（ｋ＝２．１～１．９）、シクロパーフルオロカーボン（ｋ＝２．１）、フッ化ポリアリールエーテル（ｋ＝２．６）、フッ素添加パリレン（ｋ＝２．４）等のフッ素系ポリマー；有機ＳＯＧ（ｋ＝２．７）、酸化シリコン系のキセロゲル（ｋ＝２．０）、アモルファス・カーボン（ｋ＝２．５）が例示される。

【００１９】本発明の第１の態様及び第２の態様に係る

製造方法において、絶縁層と金属薄膜との密着性を高めたり、あるいは絶縁層中へ金属薄膜の構成元素である銅又は銀が拡散することを防止するために、工程（イ）を終了後、凹部の内部を含む絶縁層上にバリヤ層を形成してもよい。絶縁層が気泡を多く含有する材料から成る場合には、バリヤ層はほぼ必須である。バリヤ層の構成としては、Ｔｉ、ＴｉＮ、ＴｉＷ、ＴｉＳｉＮ、Ｗ、ＷＮ、ＷＳｉＮ、Ｒｈ、Ｐｔ、Ｔａ、ＴａＮ、ＴａＳｉＮの単層構成、ＴｉＮ／Ｔｉ、ＴｉＮ／Ｒｈ、ＴｉＮ／Ｐｔ、ＴａＮ／Ｔａの２層構成、あるいはＴａ／ＴａＮ／Ｔａの３層構成が例示されるが、中でも、ＴｉＮ、ＴｉＮ／Ｔｉ、Ｔａ、ＴａＮ、ＴａＮ／Ｔａ及びＴａ／ＴａＮ／Ｔａから成る群から選択された材料から構成されていることが好ましい。尚、「／」を含む表記は、複数の種類の材料層の積層系に対して用い、「／」の手前は先に形成される材料層、「／」の後ろは後から形成される材料層をそれぞれ表す。バリヤ層は、例えばスパッタ法やＣＶＤ法にて形成することができる。

【００２０】バリヤ層を用いた場合には、金属薄膜のエッチバックに引き続き、バリヤ層をエッチバックする必要がある。このエッチバックは、第１の態様に係る製造方法においては工程（ハ）において、また、第２の態様に係る製造方法においては工程（ニ）において行う。バリヤ層のエッチバックは、その構成材料に応じ、金属薄膜のエッチバック時と同じエッチング種を用いて行っても、異なるエッチング種を用いて行ってもよい。また、バリヤ層のエッチング反応生成物の蒸気圧の大きさに応じ、金属薄膜のエッチバック時とバリヤ層のエッチバック時とで基体の保持温度を同じとしても、あるいは異なる温度としてもよい。

【００２１】本発明の第１の態様及び第２の態様に係る製造方法において、凹部は、（ａ）配線形成用の溝部であっても、（ｂ）プラグ形成用の孔部であっても、あるいは（ｃ）溝部と孔部の両方であってもよい。ケース（ａ）は、所謂シングルダマシン・プロセスに相当する。ケース（ｂ）は、慣用的には、所謂埋込みプラグと称されているプロセスであるが、原理はシングルダマシン・プロセスと同じである。ケース（ｃ）は、更に、（ｃ－１）溝部と孔部とに一気に銅薄膜又は銀薄膜を埋め込むケース、及び、（ｃ－２）孔部の埋込みと溝部の埋込みとを別工程にて行い、少なくともいずれかの埋込みに銅薄膜又は銀薄膜を用いるケースに大別することができる。

【００２２】上記ケース（ｃ－１）は、所謂デュアルダマシン・プロセスに相当し、凹部のアスペクト比が概ね４未満までの場合に可能である。ここで、凹部のアスペクト比とは、（溝部と孔部の深さの合計）／（孔部の直径）と定義される。しかし、凹部のアスペクト比が４以上となると、銅薄膜又は銀薄膜により溝部と孔部とを一気に埋め込むことは一般に困難となり、ケース（ｃ－２）が有効となる。ケース（ｃ－２）は、ケース（ｂ）の埋込みプラグ・プロセスと、ケース（ｃ）のシングルダマシン・プロセスを連続して行うプロセスに相当する。ケース（ｃ－２）では、孔部の埋込みと溝部の埋込みの双方に銅薄膜及び／又は銀薄膜を用いてもよいが、孔部と溝部のいずれか一方に銅薄膜又は銀薄膜を使用し、他方の埋込みには銅と銀とを除く導電材料から成る導電膜を使用してもよい。尚、ケース（ｃ－２）においては、孔部の埋込みを行う前、又は溝部の埋込みを行う前の少なくともいずれかにおいて、バリヤ層を設けることができる。

【００２３】ところで、金属薄膜として銅薄膜又は銀薄膜をエッチバックする場合、基体の温度を２００～３００°Ｃ程度に保持すると好ましいことを前述したが、かかる温度に基体を保持するには、通常、エッチング装置のチャンバー内に配置された基体載置ステージ（ウェハステージと呼ばれる場合がある）上に基体を載置・固定し、基体載置ステージに内蔵されたヒータから基体を経由して熱を伝導させる。一方、基体を冷却するには、基体載置ステージ中を循環する熱媒体（冷媒）を用い、基体を経由して熱を奪うことによって行われる。従って、基体載置ステージと基体との密着性が、基体の面内温度分布を大きく左右する。近年の半導体基板のような大口径の基体を取り扱う場合、面内温度分布の均一性はエッチバック・プロセスの成否を左右する要因となる。

【００２４】そこで、近年のプラズマエッチング装置の基体載置ステージは、静電チャック機能をほぼ標準的に備えている。静電チャック機能とは、誘電体部材中に埋設された内部電極に直流電圧を印加し、この誘電体部材と基体との間に発現するクーロン力を利用して基体を密着させる機能である。通常は、基体載置ステージの基体載置面が誘電体部材にて構成され、静電チャック機能を発揮する。ところが、従来の静電チャックを備えた基体載置ステージを高温に加熱すると、基体載置ステージの線膨張率と誘電体部材の線膨張率との相異に起因して誘電体部材にクラックが発生し易くなり、静電チャックとしての機能が失われてしまう虞れが大きかった。また、金属薄膜とバリヤ層のエッチバックの最適温度が大きく異っている場合は、スループットを考慮してエッチバック工程間で基体載置ステージの温度を急激（１００°Ｃ／分程度）に変化させようとすると、やはり誘電体部材にクラックが発生する虞れが大きい。従って、単一のエッチングチャンバー内で基体載置ステージ上に基体を載置したまま、これらのエッチバック工程を連続的に行うことには、困難が予想される。しかし、これらのエッチバック工程をそれぞれ独立のエッチングチャンバー内で行うことは、コストやスループットの観点から好ましくない。

【００２５】本発明の第１の態様及び第２の態様に係る製造方法では、以下の基体載置ステージを使用すること

で、この問題を解決することができる。即ち、セラミックス部材の組織中にアルミニウム系材料が充填された母材と、該母材の表面に設けられたセラミックス層とから成る複合部材から構成され、静電チャック機能を有し、且つ、温度制御手段を備えた基体載置ステージを使用する。この基体載置ステージは、急激に昇降温させてもセラミックス層に損傷を発生することがなく、基体、更には、基体上に形成された被加工層を高温に加熱し、又は低温に冷却することが可能となる。ここで、被加工層とは、銅薄膜とバリヤ層、並びに、銀薄膜とバリヤ層とを総称する語である。その結果、反応生成物の気化を促進することができ、被加工層のエッチバックを速やかに、且つ、精度良く行うことができる。しかも、基体載置ステージは静電チャック機能を有しているので、基体を基体載置ステージに確実に密着させることができ、基体、更には、基体上に形成された被加工層を、優れた温度制御の下、効果的に高温に加熱、又は低温に冷却することができる。

【００２６】尚、基体載置ステージを構成する母材それ自体を電極としてもよいし、セラミックス層内部に電極を形成してもよく、かかる電極に直流電圧を印加することによって、基体載置ステージに静電チャック機能を付与することができる。

【００２７】基体載置ステージに配設された温度制御手段を、ヒータから構成することができる。ヒータを複合部材の外部に配設してもよいし、母材の内部に配設してもよく、後者の場合、母材の線膨張率をα_1［単位：10^{-6}／Ｋ］としたとき、ヒータを構成する材料の線膨張率α_H［単位：10^{-6}／Ｋ］は$(\alpha_1-4) \leqq \alpha_H \leqq (\alpha_1+4)$の関係を満足することが好ましい。ここで、ヒータを構成する材料とは、母材と接するヒータの部分（例えば鞘管）を構成する材料を意味する。以下においても同様である。尚、一般に、線膨張率αは、物体の長さをＬ、０°Ｃにおける物体の長さをL_0、θを温度としたとき、$\alpha = (dL/d\theta)/L_0$で表すことができ、単位は$K^{-1}$（１／Ｋ）であるが、本明細書では、$10^{-6}$／Ｋを単位として線膨張率を表現している。以下、線膨張率を説明するとき、単位を省略して説明する場合もある。

【００２８】あるいは又、基体載置ステージに配設された温度制御手段を、母材の内部に配設された温度制御用熱媒体（以下、単に熱媒体と称する）を流す配管から構成することもできる。この場合、母材の線膨張率をα_1［単位：10^{-6}／Ｋ］としたとき、配管の線膨張率α_P［単位：10^{-6}／Ｋ］は$(\alpha_1-4) \leqq \alpha_P \leqq (\alpha_1+4)$の関係を満足することが好ましい。この配管は、前述のヒータと併設することが特に好適である。

【００２９】母材の線膨張率α_1とヒータを構成する材料や配管の線膨張率α_H，α_Pとがこれらの関係を満足することによって、セラミックス層に損傷が発生することを効果的に防止することができる。

【００３０】また、母材の線膨張率をα_1［単位：10^{-6}／Ｋ］としたとき、セラミックス層の線膨張率α_2［単位：10^{-6}／Ｋ］は$(\alpha_1-4) \leqq \alpha_2 \leqq (\alpha_1+4)$の関係を満足することが好ましい。これによって、温度の異なるエッチバック・プロセス間で基体載置ステージを急激に昇降温させても、母材の線膨張率α_1とセラミックス層の線膨張率α_2の差に起因したセラミックス層の損傷発生を確実に防止することが可能となる。

【００３１】尚、このような母材は、例えば、（Ａ）セラミックス部材の組織中にアルミニウム系材料を充填し、以て、セラミックス部材の組織中にアルミニウム系材料が充填された母材を作製する工程と、（Ｂ）この母材の表面にセラミックス層を設ける工程に基づき作製することができる。

【００３２】この場合、母材を構成するセラミックス部材の組成をコージエライトセラミックスとし、母材を構成するアルミニウム系材料の組成をアルミニウム（Ａｌ）及びケイ素（Ｓｉ）とし、セラミックス層を構成する材料を酸化アルミニウム（Al_2O_3）や窒化アルミニウム（ＡｌＮ）とすることができる。尚、セラミックス層を構成する材料には、セラミックス層の線膨張率や電気特性を調整するために、例えば、TiO_2を添加してもよい。$(\alpha_1-4) \leqq \alpha_2 \leqq (\alpha_1+4)$の関係を満足するように、コージエライトセラミックスとアルミニウム系材料との容積比を決定することが望ましい。あるいは又、コージエライトセラミックス／アルミニウム系材料の容積比を、２５／７５乃至７５／２５、好ましくは２５／７５乃至５０／５０とすることが望ましい。このような容積比にすることによって、母材の線膨張率の制御だけでなく、母材は、純粋なセラミックスの電気伝導度や熱伝導度よりも金属に近づいた値を有するようになる。その結果、このような母材には、電圧の印加は勿論のこと、バイアスの印加も可能となり、反応生成物の気化の促進を図ることができる。更には、アルミニウム系材料を基準としたとき、アルミニウム系材料には、ケイ素が１２乃至３５体積%、好ましくは１６乃至３５体積%、一層好ましくは２０乃至３５体積%含まれていることが、$(\alpha_1-4) \leqq \alpha_2 \leqq (\alpha_1+4)$の関係を満足する上で望ましい。尚、実際には、コージエライトセラミックスから成るセラミックス部材の組織中に、アルミニウム（Ａｌ）及びケイ素（Ｓｉ）が充填され、アルミニウム（Ａｌ）中にケイ素（Ｓｉ）が含まれているわけではないが、アルミニウム系材料におけるアルミニウム（Ａｌ）とケイ素（Ｓｉ）の容積比を表すために、アルミニウム系材料にはケイ素が含まれているという表現を用いる。以下においても同様である。

【００３３】母材を構成するセラミックス部材の組成をコージエライトセラミックスとし、母材を構成するアルミニウム系材料の組成をアルミニウム（Ａｌ）及びケイ

素（Ｓｉ）とする場合、上記の工程（Ａ）は、容器の中に多孔質のコージエライトセラミックスを組成としたセラミックス部材を配し、容器内に溶融したアルミニウムとケイ素とを組成としたアルミニウム系材料を流し込み、高圧鋳造法にてセラミックス部材中にアルミニウム系材料を充填する工程から成ることが好ましい。この場合、セラミックス部材は、例えば、金型プレス成形法、静水圧成形法（ＣＩＰ法あるいはラバープレス成形法とも呼ばれる）、鋳込み成形法（スリップキャスティング法とも呼ばれる）、あるいは泥漿鋳込み成形法によってコージエライトセラミックスを成形した後、焼成（焼結）を行うことによって得ることができる。

【００３４】尚、セラミックス部材を、コージエライトセラミックス粉末を成形した後、焼成することにより作製することができるが、コージエライトセラミックス粉末とコージエライトセラミックス繊維との混合物を焼成（焼結）することにより作製することが、多孔質のセラミックス部材を得る上で、また、母材作製の際にセラミックス部材に損傷が発生することを防ぐ上で、好ましい。後者の場合、焼成体（焼結体）におけるコージエライトセラミックス繊維の割合は、１乃至２０体積%、好ましくは１乃至１０体積%、一層好ましくは１乃至５体積%であることが望ましい。また、コージエライトセラミックス粉末の平均粒径は１乃至１００μｍ、好ましくは５乃至５０μｍ、一層好ましくは５乃至１０μｍであり、コージエライトセラミックス繊維の平均直径は２乃至１０μｍ、好ましくは３乃至５μｍであり、平均長さは０．１乃至１０ｍｍ、好ましくは１乃至２ｍｍであることが望ましい。更には、コージエライトセラミックス粉末とコージエライトセラミックス繊維との混合物を８００乃至１２００°Ｃ、好ましくは８００乃至１１００°Ｃにて焼成（焼結）することが望ましい。また、セラミックス部材の空孔率は２５乃至７５%、好ましくは５０乃至７５%であることが望ましい。

【００３５】また、容器内に溶融したアルミニウム系材料を流し込む際のセラミックス部材の温度を５００乃至１０００°Ｃ、好ましくは７００乃至８００°Ｃとし、容器内に溶融したアルミニウム系材料を流し込む際のアルミニウム系材料の温度を７００乃至１０００°Ｃ、好ましくは７５０乃至９００°Ｃとし、高圧鋳造法にてセラミックス部材中にアルミニウム系材料を充填する際に加える絶対圧を２００乃至１５００ｋｇｆ／ｃｍ²、好ましくは８００乃至１０００ｋｇｆ／ｃｍ²とすることが望ましい。

【００３６】あるいは又、母材を構成するセラミックス部材の組成を窒化アルミニウム（ＡｌＮ）とし、母材を構成するアルミニウム系材料の組成をアルミニウム（Ａｌ）あるいはアルミニウム（Ａｌ）とケイ素（Ｓｉ）とし、セラミックス層を構成する材料を酸化アルミニウム（Al_2O_3）や窒化アルミニウム（ＡｌＮ）とすることができる。尚、セラミックス層を構成する材料には、セラミックス層の線膨張率や電気特性を調整するために、例えば、TiO_2やY_xO_yを添加してもよい。この場合、（α_1-4）≦α_2≦（α_1+4）の関係を満足するように、窒化アルミニウムとアルミニウム系材料との容積比を決定することが好ましい。あるいは又、窒化アルミニウム／アルミニウム系材料の容積比を、４０／６０乃至８０／２０、好ましくは６０／４０乃至７０／３０とすることが望ましい。このような容積比にすることによって、母材の線膨張率の制御だけでなく、母材は、純粋なセラミックスの電気伝導度や熱伝導度よりも金属に近づいた値を有するようになり、このような母材には電圧の印加は勿論のこと、バイアスの印加も可能となり、反応生成物の気化の促進を図ることができる。尚、母材を構成するアルミニウム系材料の組成をアルミニウム及びケイ素とする場合、アルミニウム系材料にはケイ素が１２乃至３５体積%、好ましくは１６乃至３５体積%、一層好ましくは２０乃至３５体積%含まれていることが、（α_1-4）≦α_2≦（α_1+4）を満足する上で望ましい。

【００３７】母材を構成するセラミックス部材の組成を窒化アルミニウム（ＡｌＮ）とし、母材を構成するアルミニウム系材料の組成をアルミニウム（Ａｌ）とした場合、前述の工程（Ａ）は、非加圧金属浸透法に基づき、窒化アルミニウム粒子から成形されたセラミックス部材に溶融したアルミニウムを組成としたアルミニウム系材料を非加圧状態にて浸透させる工程から成ることが好ましい。尚、セラミックス部材は、例えば、金型プレス成形法、静水圧成形法、鋳込み成形法、あるいは泥漿鋳込み成形法によって成形した後、５００乃至１０００°Ｃ、好ましくは８００乃至１０００°Ｃの温度で焼成（焼結）を行うことによって得ることができる。この場合、窒化アルミニウム粒子の平均粒径は１０乃至１００μｍ、好ましくは１０乃至５０μｍ、一層好ましくは１０乃至２０μｍであることが望ましい。

【００３８】あるいは又、母材を構成するセラミックス部材の組成を炭化ケイ素（ＳｉＣ）とし、母材を構成するアルミニウム系材料の組成をアルミニウム（Ａｌ）又はアルミニウム（Ａｌ）とケイ素（Ｓｉ）とし、セラミックス層を構成する材料を酸化アルミニウム（Al_2O_3）や窒化アルミニウム（ＡｌＮ）とすることができる。尚、セラミックス層を構成する材料には、セラミックス層の線膨張率や電気特性を調整するために、例えば、TiO_2を添加してもよい。この場合、母材の線膨張率をα_1［単位：10^{-6}／Ｋ］としたとき、セラミックス層の線膨張率α_2［単位：10^{-6}／Ｋ］が（α_1-4）≦α_2≦（α_1+4）を満足するように、炭化ケイ素粒子とアルミニウム系材料との容積比を決定することが望ましい。若しくは、炭化ケイ素粒子／アルミニウム系材料の容積比は、４０／６０乃至８０／２０、好ましく

は６０／４０乃至７０／３０であることが望ましい。このような容積比にすることによって、母材の線膨張率の制御だけでなく、母材は、純粋なセラミックスの電気伝導度や熱伝導度よりも金属に近づいた値を有するようになり、このような母材には電圧の印加は勿論のこと、バイアスの印加も可能となり、反応生成物の気化の促進を図ることができる。尚、母材を構成するアルミニウム系材料の組成をアルミニウム及びケイ素とする場合、アルミニウム系材料にはケイ素が１２乃至３５体積%、好ましくは１６乃至３５体積%、一層好ましくは２０乃至３５体積%含まれていることが、（α_1-4）≦α_2≦（α_1+4）を満足する上で望ましい。

【００３９】この場合、工程（Ａ）は、非加圧金属浸透法に基づき、炭化ケイ素粒子から成形されたセラミックス部材に溶融したアルミニウム又はアルミニウムとケイ素とを組成としたアルミニウム系材料を非加圧状態にて浸透させる工程から成ることが好ましい。あるいは、工程（Ａ）は、容器の中に炭化ケイ素を組成としたセラミックス部材を配し、該容器内に溶融したアルミニウム又はアルミニウムとケイ素とを組成としたアルミニウム系材料を流し込み、高圧鋳造法にてセラミックス部材中にアルミニウム系材料を充填する工程から成ることが好ましく、この場合、容器内に溶融したアルミニウム系材料を流し込む際のセラミックス部材の温度を５００乃至１０００゜Ｃとし、高圧鋳造法にてセラミックス部材中にアルミニウム系材料を充填する際に加える絶対圧を２００乃至１５００ｋｇｆ／ｃｍ²とすることが望ましい。セラミックス部材は、例えば、金型プレス成形法、静水圧成形法、鋳込み成形法、あるいは泥漿鋳込み成形法によって成形した後、５００乃至１０００゜Ｃ、好ましくは８００乃至１０００゜Ｃの温度で焼成を行うことによって得ることができる。炭化ケイ素粒子の平均粒径は１乃至１００μｍ、好ましくは１０乃至８０μｍ、一層好ましくは１５乃至６０μｍであることが望ましい。

【００４０】あるいは又、母材を構成するセラミックス部材の組成は酸化アルミニウム（Al_2O_3）であり、母材を構成するアルミニウム系材料の組成はアルミニウム（Ａｌ）又はアルミニウム（Ａｌ）とケイ素（Ｓｉ）であり、セラミックス層を構成する材料は酸化アルミニウム（Al_2O_3）とすることができる。尚、セラミックス層を構成する材料には、セラミックス層の線膨張率や電気特性を調整するために、例えば、TiO_2を添加してもよい。この場合、（α_1-4）≦α_2≦（α_1+4）を満足するように、酸化アルミニウムとアルミニウム系材料との容積比を決定することが好ましい。あるいは又、酸化アルミニウム／アルミニウム系材料の容積比を、５０／５０乃至９０／１０、好ましくは７０／３０乃至８５／１５とすることが望ましい。このような容積比にすることによって、母材の線膨張率の制御だけでなく、母材は、純粋なセラミックスの電気伝導度や熱伝導度よりも金属に近づいた値を有するようになり、このような母材には電圧の印加は勿論のこと、バイアスの印加も可能となり、反応生成物の気化の促進を図ることができる。尚、母材を構成するアルミニウム系材料の組成をアルミニウム及びケイ素とする場合、アルミニウム系材料にはケイ素が１２乃至３５体積%、好ましくは１６乃至３５体積%、一層好ましくは２０乃至３５体積%含まれていることが、（α_1-4）≦α_2≦（α_1+4）を満足する上で望ましい。酸化アルミニウムの平均粒径は１乃至１００μｍ、好ましくは１０乃至８０μｍ、一層好ましくは１０乃至６０μｍであることが望ましい。

【００４１】母材を構成するセラミックス部材の組成を酸化アルミニウムとし、母材を構成するアルミニウム系材料の組成をアルミニウム（Ａｌ）及びケイ素（Ｓｉ）とする場合、上記の工程（Ａ）は、容器の中に多孔質の酸化アルミニウムを組成としたセラミックス部材を配し、容器内に溶融したアルミニウムとケイ素とを組成としたアルミニウム系材料を流し込み、高圧鋳造法にてセラミックス部材中にアルミニウム系材料を充填する工程から成ることが好ましく、この場合、容器内に溶融したアルミニウム系材料を流し込む際のセラミックス部材の温度を５００乃至１０００゜Ｃとし、高圧鋳造法にてセラミックス部材中にアルミニウム系材料を充填する際に加える絶対圧を２００乃至１５００ｋｇｆ／ｃｍ²とすることが望ましい。あるいは又、前述の工程（Ａ）は、非加圧金属浸透法に基づき、酸化アルミニウム粒子から成形されたセラミックス部材に溶融したアルミニウムとケイ素を組成としたアルミニウム系材料を非加圧状態にて浸透させる工程から成ることが好ましい。尚、セラミックス部材は、例えば、金型プレス成形法、静水圧成形法、鋳込み成形法、あるいは泥漿鋳込み成形法によって成形した後、焼成（焼結）を行うことによって得ることができる。

【００４２】セラミックス層は、溶射法にて母材の表面に形成されていることが好ましい。これによって、母材とセラミックス層との間の応力緩和が図れると共に、母材からセラミックス層への熱伝導が速やかとなり、基体載置ステージを構成するセラミックス層に保持・固定された基体の温度制御を迅速に且つ確実に行うことが可能となる。あるいは又、セラミックス層は、ロウ付け法にて母材の表面に取り付けられていることが好ましい。ここで、ロウ材の線膨張率［単位：10^{-6}／Ｋ］も、母材の線膨張率をα_1［単位：10^{-6}／Ｋ］としたとき、（α_1-4）以上、（α_1+4）以下の範囲内にあることが望ましい。

【００４３】基体載置ステージの温度の制御は、最終的には基体を経由した熱伝導により被加工層の温度制御に反映されるが、基体載置ステージの温度そのものは、被加工層の温度と必ずしも同一ではない。それは、被加工層の温度が、プラズマ輻射熱やエッチング反応熱の影響

により時々刻々と変化するからである。そこで、例えば蛍光ファイバ温度計を用い、温度の測定値に基づいたフィードバック制御やフィードフォワード制御によって、基体載置ステージの温度をリアルタイムに制御することが好ましい。

【００４４】本発明の半導体装置の製造方法におけるエッチバックの過程では、反応生成物（エッチング生成物）の堆積物がエッチング装置のチャンバーの側壁や天板に過剰に堆積し、その結果、この堆積物がパーティクル源となってしまい、被加工層の加工を損なう原因となる虞がある。即ち、反応生成物が、エッチング装置に設けられた排気部に到達する以前に、チャンバー側壁や天板に堆積してしまう。そのため、エッチングを繰り返すと、チャンバー側壁や天板に堆積した反応生成物が剥がれ落ち、パーティクル源となる結果、パーティクルレベルが悪化するといった問題が生じる虞がある。

【００４５】このような場合には、エッチング装置のチャンバー側壁や天板の温度を被加工層の温度以上に保持した状態で、銅薄膜又は銀薄膜のエッチバックを行うことが好ましく、銅薄膜又は銀薄膜の温度をT_1゜Ｃ、チャンバー側壁や天板の温度をT_2゜Ｃとしたとき、$T_1 \leqq T_2 \leqq (T_1+300)$、好ましくは$(T_1+50) \leqq T_2 \leqq (T_1+300)$、一層好ましくは$(T_1+100) \leqq T_2 \leqq (T_1+300)$の関係を満足することが望ましい。

【００４６】そして、チャンバー側壁や天板は、セラミックス部材の組織中にアルミニウム系材料が充填された母材と、この母材の表面に設けられたセラミックス層とから成る複合部材から作製されていることが好ましい。このような複合部材は、基体載置ステージを構成する複合部材と実質的に同じ構成することができるし、かかる複合部材と実質的に同じ作製方法にて作製することができる。尚、複合部材には温度制御手段が配設され、この温度制御手段はヒータあるいは配管から構成されていることが好ましい。ヒータを複合部材の外部に配設してもよいし、母材の内部に配設してもよく、後者の場合、母材の線膨張率をα'_1［単位：10^{-6}／Ｋ］としたとき、ヒータを構成する材料の線膨張率α'_H［単位：10^{-6}／Ｋ］は$(\alpha'_1-4) \leqq \alpha'_H \leqq (\alpha'_1+4)$の関係を満足することが好ましい。また、配管の線膨張率α'_P［単位：10^{-6}／Ｋ］は$(\alpha'_1-4) \leqq \alpha'_P \leqq (\alpha'_1+4)$を満足することが好ましい。更には、セラミックス層の線膨張率α'_2［単位：10^{-6}／Ｋ］は$(\alpha'_1-4) \leqq \alpha'_2 \leqq (\alpha'_1+4)$を満足することが望ましい。

【００４７】このような複合部材からチャンバー側壁、天板を作製することによって、母材はセラミックス部材とアルミニウム系材料との中間的な性質を有するものとなり、例えば線膨張率に関してもこれらの中間的な値に調整することが可能となる。それ故、母材とセラミックス層との熱膨張に起因したセラミックス層の損傷発生を回避でき、複合部材から作製されたチャンバー側壁、天板を高温又は低温で確実に使用することが可能となる。その結果、反応生成物がチャンバー側壁や天板に堆積することを防止する十分に高い温度にチャンバー側壁や天板を保持しても、セラミックス層に損傷が生じること無く、チャンバー側壁や天板を確実に所望の温度に加熱することができる。更には、セラミックス層が設けられているので、金属汚染の発生防止や、例えばハロゲン系ガスから成るエッチングガスによる複合部材の腐蝕発生を防止することができる。

【００４８】尚、従来のエッチング装置においては、チャンバー側壁は、通常、ステンレススチールやアルミニウムから作製されている。そして、例えばエッチバック中に、これらがプラズマに直接曝されることに起因した金属汚染の発生防止や、ハロゲン系ガスによるチャンバー側壁の腐蝕の発生防止のために、アルミニウムから作製されたチャンバー側壁の表面にAl_2O_3層（アルマイト層）を形成している。また、ステンレススチールからチャンバー側壁が作製されている場合には、Al_2O_3製のリフレクターをエッチング装置の内部のチャンバー側壁近傍に配設している。このような状態でチャンバー側壁の高温加熱又は低温冷却を行うと、チャンバー側壁がアルミニウムから作製されている場合、アルミニウムとAl_2O_3の線膨張率の差に起因して、チャンバー側壁の表面に形成されたAl_2O_3層に割れ等が生じ易い。また、Al_2O_3製のリフレクターをエッチング装置の内部のチャンバー側壁近傍に配設した場合、エッチング装置の外側からリフレクターを十分に加熱することは困難である。即ち、リフレクターに入射した反応生成物をリフレクターから全て離脱させるような温度までリフレクターを加熱することは難しく、高々１００゜Ｃ程度までしかリフレクターを加熱することができない。

【００４９】あるいは又、エッチング装置に平行平板の上部対向電極が備えられている場合、かかる上部対向電極を、セラミックス部材の組織中にアルミニウム系材料が充填された母材と、この母材の表面に設けられたセラミックス層とから成る複合部材から作製することが好ましい。このような複合部材は、基体載置ステージを構成する複合部材と実質的に同じ構成することができるし、かかる複合部材と実質的に同じ作製方法にて作製することができる。尚、母材の線膨張率をα''_1［単位：10^{-6}／Ｋ］としたとき、セラミックス層の線膨張率α''_2［単位：10^{-6}／Ｋ］は、$(\alpha''_1-4) \leqq \alpha''_2 \leqq (\alpha''_1+4)$を満足することが好ましい。この場合、上部対向電極には温度制御手段が配設されていることが好ましく、更には、この温度制御手段はヒータから構成されていることが好ましい。これによって、例えば、上部対向電極の表面に入射したブリカーサーを上部対向電極から離脱させるような温度まで、上部対向電極を加熱

することが可能となる。ヒータを複合部材の外部に配設してもよいし、母材の内部に配設してもよく、後者の場合、母材の線膨張率をα''_1［単位：10^{-6}／Ｋ］としたとき、ヒータを構成する材料の線膨張率α''_H［単位：10^{-6}／Ｋ］は（α''_1-4）≦α''_H≦（α''_1+4）を満足することが好ましい。母材の線膨張率α''_1とヒータを構成する材料の線膨張率α''_Hとがこの関係を満足することによって、セラミックス層に損傷が発生することを効果的に防止することができる。尚、セラミックス層を溶射法にて母材の表面に形成すれば、上部対向電極の寸法が大きくとも、上部対向電極を容易に作製することができる。場合によっては、板状のセラミックス層をロウ付け法にて母材の表面に取り付けてもよい。エッチバックを行う際の上部対向電極の温度は、２５０°Ｃ至７００°Ｃ、好ましくは３００°Ｃ乃至７００°Ｃ、一層好ましくは４００°Ｃ乃至５００°Ｃに制御されていることが望ましい。

【００５０】

【発明の実施の形態】以下、図面を参照して、発明の実施の形態（以下、実施の形態と略称する）に基づき本発明を説明する。

【００５１】（実施の形態１）実施の形態１では、先ず、本発明の第１に態様に係る製造方法の基本的なバターンについて図１を参照しながら説明し、次に代表的バターンとして、バリヤ層を併用したデュアルダマシン・プロセスの具体的なプロセス・フローについて図２を参照しながら説明する。

【００５２】図１は、本発明の第１の態様に係る半導体装置の製造方法の基本的なバターンを示す模式的断面図であり、図１の（Ａ）はシングルダマシン・プロセス、図１の（Ｂ）は埋込みプラグ・プロセス、図１の（Ｃ）はデュアルダマシン・プロセスにそれぞれ対応する。いずれのプロセスにおいても、左端の図は、基体１０上に絶縁層１１を形成した後、該絶縁層１１に凹部を形成する工程を示し、中央の図は、凹部内を含む絶縁層１１上に、上面が略平坦な金属薄膜として銅薄膜１３を形成する工程を示し、右端の図は、銅薄膜１３をエッチバックすることにより、凹部の内部のみに銅薄膜１３を残す工程を示す。図１の（Ａ）のシングルダマシン・プロセスでは、凹部が溝部１２であり、該溝部１２に埋め込まれた銅薄膜１３は配線１３ｗとなる。図１の（Ｂ）の埋込みプラグ・プロセスでは、凹部が孔部１４であり、該孔部１４に埋め込まれた銅薄膜１３はプラグ１３ｐとなる。更に、図１の（Ｃ）のデュアルダマシン・プロセスでは、凹部は孔部１４と溝部１２とから成り、該凹部に埋め込まれた銅薄膜１３は配線・プラグ１３ｗｐ、即ち、配線とプラグの双方を兼ねる部材となる。

【００５３】ここで、絶縁層１１を低誘電率材料を用いて構成した場合、絶縁層１１と銅薄膜１３との密着性の不足が顕著となる。本発明では、凹部の内部のみに銅薄膜１３を残す手法として、従来のＣＭＰに替えてエッチバックを採用しているので、絶縁層１１と銅薄膜１３の剥離は抑制される。しかし、実用上は、絶縁層１１中への銅の拡散防止や、絶縁層１１と銅薄膜１３との密着性の更なる向上を目的として、銅薄膜１３を形成する前に、凹部の内部を含む絶縁層１１上にバリヤ層を形成することが一層好適である。図１の（Ｃ）のデュアルダマシン・プロセスにかかるバリヤ層を適用した例を、図２を参照して説明する。

【００５４】［工程－１００］先ず、図２の（Ａ）に示すように、基体１０上に絶縁層１１を形成し、この絶縁層１１に孔部１４と溝部１２とから成る凹部を形成し、更にこの凹部内を含む絶縁層１１上に、コンフォーマルなバリヤ層１５を形成する。上記基体１０は、通常の半導体プロセスのあらゆる段階における構成を有していてよい。例えば、基体１０がシリコン等から成る半導体基板である場合には、孔部１４の直下には不純物拡散層が下層配線として存在する。又、基体１０が任意の素子（図示せず）を被覆する下層絶縁層である場合には、孔部１４の直下には例えばその素子の電極が下層配線として存在する。以下の説明では、基体１０と該基体１０の上に形成される全ての部材を、シリコン半導体基板１００と総称することがある。

【００５５】絶縁層１１は、例えばシクロパーフルオロカーボン・ポリマーとシロキサン・ポリマーの共重合体（旭硝子社製，商品名ＳＴ－Ｆ，ｋ＝２．４）をスピンコート法により基体１０上に約１．０μｍの厚さに塗布し、約４００°Ｃにてキュアを行うことにより形成する。凹部を形成するには、例えば先ず、レジストマスクを用いて絶縁層１１をエッチングすることにより、該絶縁層１１を貫通する直径約０．１７μｍの孔部１４を形成し、次に、孔部１４を含む領域に開口を有する別のレジストマスクを用いて絶縁層１１の厚さの一部（０．５μｍ）をエッチングすることにより、幅約０．３４μｍの溝部１２を形成する。尚、絶縁層の厚さ方向の中途部に、上記共重合体とはエッチング特性の異なる層を予め形成しておき、溝部を形成するためのエッチングがこの層の表面で停止するようにしておいてもよい。その後、例えばスパッタ法に基づき、凹部内を含む絶縁層１１上に、厚さが例えば５０ｎｍのＴｉＮから成るバリヤ層１５を形成する。バリヤ層１５の形成条件の一例を、以下の表１に示す。

【００５６】［表１］

ターゲット　：Ｔｉ
プロセスガス：Ａｒ／N_2＝６０／１２０ ＳＣＣＭ
圧力　　：０．６７Ｐａ
ＤＣ電力　：８ｋＷ
スパッタ温度：２００°Ｃ

【００５７】［工程－１１０］次に、図２の（Ｂ）に示すように、凹部内を含む絶縁層１１上、より具体的には

バリヤ層１５上に、銅薄膜１３を形成する。銅薄膜１３の形成に際しては、先ず、無電解めっき法によってシード層（図示せず）を約５０ｎｍの厚さに形成する。このシード層は、ステップカバレッジ及び厚さ均一性が良好である。又、このシード層は通常、最稠密原子面の（１１１）面配向を示し、優れたエレクトロマイグレーショ＊ン耐性に寄与する。続いて、電解めっき法により銅薄膜１３を約１．２μｍの厚さに形成する。無電解めっきの条件例を下記の表２に示し、電解めっきの条件例を下記の表３に示す。

【００５８】

［表２］

めっき液	：硫酸銅（$CuSO_4 \cdot 5H_2O$）	７ｇ／リットル
	ホルマリン（３７%HCHO）	２０ｍｌ／リットル
	水酸化ナトリウム（NaOH）	１０ｇ／リットル
	酒石酸ナトリウムカリウム	２０ｇ／リットル
めっき浴温度：５０° Ｃ		

【００５９】［表３］

めっき液	：$CuSO_4 \cdot 5H_2O$
めっき液温度	：３０° Ｃ
電圧	：１０ボルト
電流密度	：２０Ａ／ｄｍ²
陽極板	：Ｃｕ板

【００６０】［工程－１３０］次に、図２の（Ｄ）に示すように、銅薄膜１３とバリヤ層１５をエッチバックする。このエッチバックに際しては、シリコン半導体基板※※１００を後述の実施の形態６で述べるプラズマエッチング装置４０（図６参照）内の基体載置ステージ３０上に載置し、一例として下記の表４に示す条件を採用する。この条件によれば、銅薄膜１３とバリヤ層１５とはほぼ等しい速度でエッチバックされるので、図２の（Ｃ）に示す状態を経ずに、図２の（Ｄ）に示す配線・プラグ１３ｗｐが得られる。このエッチバック中、銅薄膜１３が絶縁層１１から剥離することはない。

【００６１】

［表４］

エッチングガス	：Cl_2＝１０ＳＣＣＭ
圧力	：０．１Ｐａ
ＲＦパワー（シングルループ・アンテナ）	：１．５ｋＷ（１３．５６ＭＨｚ）
ＲＦパワー（ダブルループ・アンテナ）	：１ｋＷ（１３．５６ＭＨｚ）
ＲＦバイアスパワー	：０．３ｋＷ（４００ｋＨｚ）
エッチバック温度	：２３０° Ｃ

【００６２】（実施の形態２）実施の形態２は、実施の形態１の変形例であり、絶縁層１１の構成材料として酸化シリコン系材料から成るキセロゲル膜（ｋ＝２．０）を絶縁層１１として使用し、銅薄膜１３のエッチバックとバリヤ層１５のエッチバックを別条件で行う。実施の形態２のプロセスを、図２を参照しながら、実施の形態１と異なる部分を中心に説明する。

【００６３】先ず、例えば酸化シリコン系のキセロゲル膜（アライド・シグナル社製，商品名 Nanoglass，ｋ＝２．０）をスピンコート法により基体１０上に約１．０μｍの厚さに塗布し、約４００° Ｃにてキュアを行うことにより、絶縁層１１を形成する。凹部としては、実施の形態１と同様に、孔部１４と溝部１２を形成する。バリヤ層１５としては、例えばスパッタ法に基づき、厚さが例えば５０ｎｍのＴｉＮから成るＴａＮ層を形成する。このバリヤ層１５の形成条件の一例を、以下の表５に示す。更に、実施の形態１と同様に銅薄膜１３を形成する。

【００６４】［表５］

ターゲット	：Ｔａ
プロセスガス	：Ａｒ／N_2＝２０／７０ ＳＣＣＭ
圧力	：０．３Ｐａ
ＤＣ電力	：１２ｋＷ
スパッタ温度	：２００° Ｃ

【００６５】［工程－１２０］次に、前述の表４と同じ条件で銅薄膜１３をエッチバックし、配線・プラグ１３ｗｐを形成する。このエッチバックは、図２の（Ｃ）に示すように、絶縁層１１の上面においてバリヤ層１５が露出した時点で終了する。

【００６６】［工程－１３０］次に、一例として下記の表６に示す条件に従い、バリヤ層１５のエッチバックを行う。このエッチバックは、絶縁層１１の上面が露出した時点で終了する。尚、このエッチバック条件は、銅薄膜１３のエッチバック条件と基体載置ステージの温度が２００° Ｃ余りも異なるので、従来であれば別々のエッチングチャンバー内で行う必要があったが、実施の形態５で後述するプラズマエッチング装置４０（図６参照）内の基体載置ステージ３０上に基体１０を載置して行えば、基体１０を移載することなく、これらのエッチバックを連続して行うことが可能である。

【００６７】

［表６］

エッチングガス	：NF_3／Ａｒ＝３０／２０ＳＣＣＭ
圧力	：１Ｐａ
ＲＦパワー	
（シングルループ・アンテナ）	：１．５ｋＷ（１３．５６ＭＨｚ）
ＲＦパワー	
（ダブルループ・アンテナ）	：１ｋＷ（１３．５６ＭＨｚ）
ＲＦバイアスパワー	：０．３ｋＷ（４００ｋＨｚ）
エッチバック温度	：－２０°Ｃ

【００６８】（実施の形態３）実施の形態３は、実施の形態１の変形例であり、金属薄膜として銅薄膜１３の代わりに、銀薄膜を使用する。図面を用いた説明は省略するが、図１及び図２における銅薄膜１３を銀薄膜と考えればよい。

【００６９】絶縁層１１、凹部、バリヤ層１５の形成は、全て実施の形態１と同様に行う。次に、ニッケルから成る厚さ１０ｎｍのシード層を形成する。このシード層は、例えばキャタリスト（シプレー社製：商品名キャタリスト９Ｆ）を用いた処理、アクセレレータ（シプレー社製：商品名アクセレレータ２４０）を用いた処理を行った後、例えば、無電解ニッケルめっき液（ソニー株式会社製；商品名ＣＰ１、ＣＰ２、ＣＰ３、ＣＰ４及びＣＰ５の混合液）を使用し、めっき浴の温度を５０°Ｃとして、超音波を併用して基体を無電解ニッケルめっき浴に１分間浸漬することによって形成することができる。続いて、電解めっき法により銀薄膜を約１．２μｍの厚さに形成する。電解めっきの条件例を下記の表７に示す。

＊【００７０】

［表７］

めっき液	：硝酸銀 炭酸ナトリウム リン酸ナトリウム
めっき浴温度	：３０°Ｃ
電圧	：１０ボルト
電流密度	：３０ｍＡ／ｄｍ²

【００７１】次に、銀薄膜とバリヤ層１５をエッチバックする。このエッチバックに際しては、シリコン半導体基板１００を後述の実施の形態５で述べるプラズマエッチング装置４０（図６参照）内の基体載置ステージ３０上に載置し、一例として下記の表８に示す条件を採用する。この条件によれば、銀薄膜とバリヤ層１５とはほぼ等しい速度でエッチバックすることができる。このエッチバック中、銀薄膜が絶縁層１１から剥離することはない。

【００７２】

＊

［表８］

エッチングガス	：Cl_2／O_2＝５０／１０ＳＣＣＭ
圧力	：０．３Ｐａ
ＲＦパワー	
（シングルループ・アンテナ）	：１．５ｋＷ（１３．５６ＭＨｚ）
ＲＦパワー	
（ダブルループ・アンテナ）	：０．６ｋＷ（１３．５６ＭＨｚ）
ＲＦバイアスパワー	：０．２ｋＷ（４００ｋＨｚ）
エッチバック温度	：２５０°Ｃ

【００７３】（実施の形態４）実施の形態４は、本発明の第２の態様に係る製造方法に関する。先ず、第２の態様に係る製造方法を提案するに至った技術的背景について図３を参照して説明し、続いて第２の態様に係る製造方法を図４を参照して説明する。尚、これらの図面で用いる参照符号は図２と一部共通であり、共通部分については詳しい説明を省略する。

【００７４】図３の（Ａ）は、シングルダマシン・プロセスにおいて、銅薄膜１３の形成までのプロセスが終了した時点で生じ得る状態を示している。但し、絶縁層１１に形成されている複数の溝部の少なくとも一部は、開口面積が相異している。即ち、開口面積の小さい溝部１２Ａと開口面積の大きい溝部１２Ｂとが混在している。このような被製膜体上にめっき法により銅薄膜１３を形成すると、銅薄膜１３の厚さは、開口面積の小さい溝部１２Ａの上方で厚く、開口面積の大きい溝部１２Ｂの上方で薄くなり易く、その結果、開口面積の相異する溝部１２Ａ，１２Ｂ間の領域において銅薄膜１３に表面段差が発生することがある。このような表面段差を有する銅薄膜１３をそのままエッチバックすると、図３の（Ｂ）に示すように、開口面積の小さい溝部１２Ａが銅薄膜１３から成る配線１３ｗで過不足無く埋め込まれた時点で、開口面積の大きい溝部１２Ｂ内では配線１３ｗとなる残膜厚が減少してしまう。図３の（Ｃ）は、バリヤ層

１５をエッチバックしてシングルダマシン・プロセスを終了した状態を示している。このような残膜厚の減少は、シリコン半導体基板に新たな表面段差を発生させる原因となり、以降のプロセスの信頼性に悪影響を与える虞れが大きい。

【００７５】実施の形態４の製造方法では、銅薄膜１３の表面段差を吸収し、上面が略平坦な平坦化層を該銅薄膜１３上に形成することにより、上記の問題に対処可能である。以下、実施の形態４の製造方法を図４を参照して説明する。

【００７６】［工程－２００］先ず、実施の形態１と同様に、基体１０上に厚さ約１．０μｍの絶縁層１１を形成し、次に、絶縁層１１に凹部として溝部１２Ａ，１２Ｂを形成し、更にこの凹部内を含む絶縁層１１上に、コンフォーマルなバリヤ層１５を実施の形態１と同様に形成する。ここで、溝部１２Ａの幅を０．３４μｍ、溝部１２Ｂの幅を５μｍとし、深さは共に０．５μｍとする。次に、実施の形態１と同様に、無電解めっき法によるシード層の形成を経て、電解めっき法により銅薄膜１３を形成する。この時、開口面積の相異する溝部１２Ａ，１２Ｂ間の領域において、銅薄膜１３に表面段差が発生する。図４の（Ａ）には、ここまでのプロセスを終了した状態を示す。

【００７７】［工程－２１０］次に、銅薄膜１３上に、一例としてイオンビームスパッタ法により銅層を形成し、続いて４００°Ｃ，３０分間の熱処理を行い、平坦化層１６を形成する。このようにして形成される平坦化層１６は、図４の（Ｂ）に示すように、銅薄膜１３の表面段差を吸収し、上面が略平坦となっている。イオンビームスパッタ法の条件の一例を、下記の表９に示す。

【００７８】［表９］

ターゲット　：Ｃｕ
プロセスガス：Ａｒ＝１００ＳＣＣＭ
圧力　　：０．３Ｐａ
ＤＣ電力　：１２ｋＷ
スパッタ温度：２００°Ｃ

【００７９】［工程－２３０］次に、平坦化層１６のエッチング速度と銅薄膜１３とのエッチング速度とが略等しくなる条件下で、平坦化層１６と銅薄膜１３とをエッチバックする。このエッチバックは、実施の形態１と同様に、即ち、表４に示した条件で行うことができる。この条件によれば、平坦化層１６と銅薄膜１３のみならず、バリヤ層１５もほぼ等しい速度でエッチバックされるので、図４の（Ｃ）に示した状態を経ずに、図４の（Ｄ）に示す配線１３ｗが得られる。この配線１３ｗによる溝部１２Ａ，１２Ｂの埋込み状態は、開口面積の大小に拘わらず均一である。

【００８０】以上述べた実施の形態４では、実施の形態１と共通するプロセスを多用したが、実施の形態２で述べたプロセスを適宜採用してもよい。例えば、絶縁層１１やバリヤ層１５の構成材料や形成方法を、実施の形態２で述べたと同様とすることができる。また、平坦化層１６と銅薄膜１３とバリヤ層１５とのエッチバックを表４に示した条件に従って１段階で行う代わりに、実施の形態２で前述したような２段階プロセスで行ってもよい。即ち、［工程－２１０］と［工程－２３０］の間に［工程－２２０］（図４の（Ｃ）を参照）を設け、表４の条件でエッチバックを行って平坦化層１６と銅薄膜１３とをバリヤ層１５が露出するまで除去し、続く［工程－２３０］において、表６に示した条件でバリヤ層１５を除去することができる。

【００８１】更に、銅薄膜１３の代わりに銀薄膜を形成し、且つ、銅層から成る平坦化層１６の代わりにスパッタ法で形成された銀層から成る平坦化層１６を用いてもよい。めっき法による銀薄膜の形成は実施の形態３で述べたと同様に行い、スパッタ法による銀層の形成は、表９に示した条件中、ターゲットをＡｇに替えて行い、銀層から成る平坦化層１６と銀薄膜とバリヤ層１５のエッチバックは、実施の形態３で述べたと同様に行うことができる。

【００８２】（実施の形態５）実施の形態５では、本発明の半導体装置の製造方法に用いる基体載置ステージについて図５を参照しながら説明し、この基体載置ステージを備えたプラズマエッチング装置について図６を参照しながら説明する。

【００８３】複合部材によって構成される基体載置ステージ３０の模式的な断面図を、図５の（Ａ）に示す。この基体載置ステージ３０は複合部材３１から構成されている。複合部材３１は、セラミックス部材の組織中にアルミニウム系材料が充填された母材３２（温度調節ジャケットに相当する）と、この母材３２の表面に設けられたセラミックス層３３とから成る。母材３２の形状は円盤である。この基体載置ステージ３０は、静電チャック機能を有し、且つ、温度制御手段を備えている。具体的には、誘電体層であるセラミックス層３３は静電チャック機能を有する。また、母材３２の内部には温度制御手段が配設され（埋め込まれ）、この温度制御手段は、ヒータ３４及び熱媒体を流す配管３５から構成されている。

【００８４】実施の形態５においては、母材３２を構成するセラミックス部材の組成をコージエライトセラミックスとした。ここで、コージエライトセラミックスとは、ＭｇＯが約１３重量％、SiO_2が約５２重量％、Al_2O_3が約３５重量％となる組成比に調整されたセラミックスである。コージエライトセラミックスの線膨張率は０．１×10^{-6}／Ｋである。

【００８５】また、母材３２を構成するアルミニウム系材料の組成はアルミニウム（Ａｌ）及びケイ素（Ｓｉ）である。実施の形態５においては、アルミニウム系材料を基準として、アルミニウム系材料にはケイ素が２０体

積%含まれている。尚、セラミックス部材は、コージエライトセラミックス粉末とコージエライトセラミックス繊維との混合物の焼成体であり、この焼成体におけるコージエライトセラミックス繊維の割合を５体積%とした。ここで、コージエライトセラミックス粉末の平均粒径は１０μｍであり、コージエライトセラミックス繊維の平均直径は３μｍであり、平均長さは１ｍｍである。セラミックス部材の空孔率は約５０%であり、空孔径は約1乃至２μｍである。従って、コージエライトセラミックス／アルミニウム系材料の容積比は約１／１である。このような構成の母材３２の線膨張率は、１００～３００°Ｃにおける平均値で、約１０．６×10^{-6}／Ｋである。即ち、α_1＝１０．６である。コージエライトセラミックス／アルミニウム系材料の容積比が約１／１であるが故に、母材３２は、純粋なセラミックスの電気伝導度や熱伝導度よりも金属に近づいた値を有する。従って、このような母材３２から作製された基体載置ステージ３０には、電圧の印加は勿論のこと、バイアスの印加も可能である。

【００８６】セラミックス層３３を構成する材料を、TiO_2が約２．５重量%添加されたAl_2O_3とした。厚さ約０．２ｍｍのセラミックス層３３は、溶射法にて母材３２の表面に形成されている。このような組成のセラミックス層３３の線膨張率は、１００～３００°Ｃにおける平均値で、約９×10^{-6}／Ｋである。従って、α_2は約９であり、セラミックス層３３の線膨張率α_2は$(\alpha_1-4) \leqq \alpha_2 \leqq (\alpha_1+4)$を満足している。尚、$Al_2O_3$それ自体の線膨張率は約８×$10^{-6}$／Ｋである。また、$Al_2O_3$に$TiO_2$を約２．５重量%添加することによって、セラミックス層３３の体積固有抵抗値を10^{11}Ω／□オーダーに調整することができる。これによって、セラミックス層３３は誘電体として作用し、静電チャックとしての機能を発揮することができる。このように体積固有抵抗値を調整する理由は、セラミックス層３３が10^{11}Ω／□オーダーを越えると、静電チャックとして用いた場合にセラミックス層３３の吸着力が弱くなりすぎ、基体をセラミックス層３３に充分吸着させることが困難となる虞れがあるからである。一方、セラミックス層３３が10^{11}Ω／□オーダーを下回ると、基体載置ステージ３０を高温で用いた際、セラミックス層３３の抵抗値が更に低くなり、基体とセラミックス層３３との界面で電流が生じる虞がある。尚、使用条件によるが、一般的には、セラミックス層３３の体積固有抵抗値を10^{11}～10^{15}Ω／□とすることが望ましい。

【００８７】尚、図５の（Ｂ）の模式的な断面図に示すように、セラミックス層を溶射法でなくロウ付け法によって母材３２の表面に設けてもよい。この場合には、焼結法にて作製されたAl_2O_3製セラミックス板から成るセラミックス層３６を、例えば、約６００°Ｃの温度にてＡｌ－Ｍｇ－Ｇｅ系のロウ材３７を用いたロウ付け法にて母材３２の表面に取り付ければよい。尚、ロウ材３７としては、その他、チタン、錫、アンチモン、マグネシウムから成る合金を挙げることができる。ロウ材３７の線膨張率［単位：10^{-6}／Ｋ］も、母材３２の線膨張率をα_1［単位：10^{-6}／Ｋ］としたとき、(α_1-4)以上、(α_1+4)以下の範囲内にあることが望ましい。必要に応じて、基体載置ステージ３０の側面にセラミックス材料から成る環状のカバーを取り付けてもよい。

【００８８】ヒータ３４として、母材３２の面積（底面積）に応じた大型で大容量のシーズヒータを使用した。ヒータ３４は、ヒータ本体（図示せず）と、ヒータ本体の外側に配設されそしてヒータ本体を保護する鞘管（図示せず）から構成された公知のヒータである。ヒータ３４は、図示しない配線を介して電源に接続されている。ヒータ３４の熱膨張は、基体載置ステージ３０に影響を与える。従って、母材３２やセラミックス層３３の線膨張率α_1，α_2に近い値を有する材料を用いることが好ましい。具体的には、チタンやステンレススチール等、線膨張率が９×10^{-6}／Ｋ～１２×10^{-6}／Ｋの材料から作製された鞘管を用いることが好ましい。即ち、ヒータ３４を構成する材料（母材３２と接する鞘管の材料）の線膨張率α_H［単位：10^{-6}／Ｋ］は、$(\alpha_1-4) \leqq \alpha_H \leqq (\alpha_1+4)$を満足することが好ましい。尚、ヒータ３４の本体の線膨張率は、基体載置ステージ３０に影響を与えることがないので、特に制限されない。

【００８９】配管３５は、熱媒体供給装置（図６の符号６０）に接続されており、金属あるいは合金から作製されている。熱媒体供給装置６０から供給された熱媒体を基体載置ステージ３０内の配管３５に流すことによって、基体載置ステージ３０の温度制御を行うことができる。配管３５の熱膨張も、基体載置ステージ３０に影響を与える。従って、母材３２やセラミックス層３３の線膨張率α_1，α_2に近い値を有する材料を用いることが好ましい。具体的には、チタンやステンレススチール等、線膨張率が９×10^{-6}／Ｋ～１２×10^{-6}／Ｋの材料から作製された配管３５を用いることが好ましい。即ち、配管３５を構成する材料の線膨張率α_P［単位：10^{-6}／Ｋ］は、$(\alpha_1-4) \leqq \alpha_P \leqq (\alpha_1+4)$を満足することが好ましい。

【００９０】このような構成の基体載置ステージ３０（より具体的には母材３２）には、配線（図示せず）を介して直流電圧が印加される。従って、基体載置ステージ３０を電極として用いることにより、セラミックス層３３が静電チャックとして機能する。尚、この基体載置ステージ３０には、セラミックス層３３上に載置、保持された基体（例えばシリコン半導体基板）を押し上げるためのプッシャーピン（図示せず）が埋設されている。また、このプッシャーピンには、プッシャーピンをセラミックス層３３の頂面上に突出させあるいは頂面下に埋

没させる機構（図示せず）が取り付けられている。

【００９１】上述した基体載置ステージは、例えば図６に示すプラズマエッチング装置４０に組み込んで使用することができる。このプラズマエッチング装置４０は、２系統のＲＦアンテナを用いてヘリコン波プラズマを生成させるプラズマ生成部と、生成されたヘリコン波プラズマを利用してプラズマエッチングを行う処理部とに大別される。

【００９２】プラズマ生成部は、例えば直径３５ｃｍの円筒状の石英管から成るプラズマ容器４１、プラズマ容器４１を周回して設けられ、ＲＦパワーをプラズマへカップリングさせるための２個のループを有するダブルループ・アンテナ４２、このダブルループ・アンテナ４２の更に外側においてプラズマ容器４１を周回するソレノイドコイル・アセンブリ４３、プラズマ容器４１の上端を閉鎖する非導電材料からなる天板４４、プラズマ容器４１の外部において天板４４に平行な面内で単一ループを成すシングルループ・アンテナ４５を備える。ソレノイドコイル・アセンブリ４３は、プラズマ容器４１の軸方向に沿った磁界を生成させ、主としてヘリコン波の伝搬に寄与する内周側コイル４３Ａと、主としてヘリコン波プラズマの輸送に寄与する外周側コイル４３Ｂから成る。

【００９３】ダブルループ・アンテナ４２の２個のループは、伝搬させるヘリコン波の波長の約１／２に相当する距離だけ離間され、且つ、プラズマ容器４１に対する巻回方向を互いに逆とされている。ダブルループ・アンテナ４２には、第１ＲＦ電源４７からインピーダンス整合用のマッチング・ネットワーク４６を経由してＲＦパワーが供給され、これによってプラズマ容器４１の内部にｍ＝０モードのヘリコン波プラズマが励起される。

又、シングルループ・アンテナ４５には、第２ＲＦ電源４９からマッチング・ネットワーク４８を経由してＲＦパワーが供給され、これによってプラズマ容器４１の内部にｍ＝０モードのヘリコン波プラズマが励起される。これら２系統のアンテナにより、プラズマ容器４１内における飽和イオン電流密度分布が若干異なる２種類のヘリコン波プラズマが生成する。

【００９４】上述のように、シングルループ・アンテナ４５とダブルループ・アンテナ４２とをそれぞれ独立に第１ＲＦ電源４７と第２ＲＦ電源４９とに接続すると、２種類のヘリコン波プラズマを同時に励起させたり、あるいは一方を連続励起、他方を間歇励起とすることにより、プラズマ容器４１内に所望の飽和イオン電流密度分布を創出することができる。あるいは、シングルループ・アンテナ４５とダブルループ・アンテナ４２とを共通のＲＦ電源に接続し、且つ、いずれか一方のアンテナとＲＦ電源との間に位相を２／πだけシフトさせるためのリレー回路を介在させておけば、２種類のプラズマを干渉を避けながら交互に励起することができる。さらに、ダブルループ・アンテナ４２に替えてプラズマ容器４１を半周だけ周回するハーフターン・アンテナを配設すれば、ｍ＝１モードのヘリコン波プラズマを励起させることができる。ｍ＝１モードとｍ＝０モードのヘリコン波プラズマの併用によっても、所望の飽和イオン電流密度分布を創出することができる。

【００９５】一方、処理部は、プラズマ容器４１の下端に接続された処理チャンバー５０、処理チャンバー５０の壁面から電気的に絶縁された基体載置ステージ３０、処理チャンバー５０をその外部において周回する多極磁石５１を備える。この多極磁石５１は、基体載置ステージ３０近傍における発散磁界を収束させ、又、チャンバー壁によるプラズマ中の電子や活性種の消滅を抑制するために、マルチカスプ磁場を生成してプラズマを閉じこめる機能を有する。尚、多極磁石５１の配設位置は、図示される例に限られず、例えば基体載置ステージ３０の支柱の周囲等の他の場所であってもよい。あるいは、これをミラー磁場形成用のソレノイドコイルに置き換えてもよい。処理チャンバー５０は排気口５２を有し、この排気口５２は真空ポンプ等の負圧手段（図示せず）に接続されている。尚、図６において、エッチングガス導入部、ゲートバルブ等のエッチング装置の細部については、その図示を省略した。

【００９６】基体載置ステージ３０を構成する母材３２には、バイアス電源５４がマッチング・ネットワーク５３を介して接続されている。このバイアス電源５４は、プラズマ中から入射するイオンのエネルギーを制御するために、シリコン半導体基板１００に基板バイアスを印加する機能を有する。尚、基板バイアスに対する対向アース電極の役目は、天板４４が果たしている。更に、誘電体部材であるセラミックス層３３に静電吸着力を発揮させるための直流電源５５が接続されている。又、基体載置ステージ３０のヒータ３４は、電源５６に接続されている。基体載置ステージ３０の中央部には、シリコン半導体基板５０の温度を計測するための蛍光ファイバ温度計５７が挿通されている。蛍光ファイバ温度計５７で検出された温度に基づいて、制御装置（ＰＩＤコントローラ）５８がヒータ３４への通電量を決定し、出力制御信号を電源５６に送ることによって、基体載置ステージ３０の温度制御が行われる。

【００９７】基体載置ステージ３０の母材３２内に配設された配管３５は、配管５９Ａ，５９Ｂを介して温度制御用の熱媒体供給装置６０に接続されている。熱媒体供給装置６０は、シリコンオイル、フルオロカーボン系等の熱媒体を、配管５９Ａを介して基体載置ステージ３０の配管３５に供給し、配管５９Ｂを介して配管３５から送り出された熱媒体を受け入れ、更に、この熱媒体を所定温度に加熱あるいは冷却する。場合によっては、熱媒体供給装置６０にチラーを組み込み、配管５９Ａ，３５，５９Ｂ内に低温（例えば0° Ｃ以下）の熱媒体（冷

媒）を流してもよい。このように、熱媒体を配管３５内に循環させることによって、基体載置ステージ３０上に保持・固定された基体であるシリコン半導体基板１００の温度制御を行う。熱媒体供給装置６０に接続された配管５９Ａには、高温あるいは低温での動作が可能な制御バルブ６１が配設されている。一方、配管５９Ａと配管５９Ｂとの間のバイパス配管５９Ｃにも制御バルブ６１が配設されている。そして、このような構成のもと、制御バルブ６１の開閉度を制御することによって、配管３５への熱媒体の供給量を制御する。また、蛍光ファイバ温度計５７で検知された温度を制御装置（ＰＩＤコントローラ）５８で検出し、予め設定されたシリコン半導体基板１００の温度との差から、予め実験や計算によって決定された供給量となるように、熱媒体の供給量が制御装置５８によって決定される。

【００９８】尚、図５の（Ａ）に示した基体載置ステージ３０においては、基体であるシリコン半導体基板１００の設定温度に応じて、ヒータ３４への通電又は配管３５に高温の熱媒体を流すことによる加熱、若しくは、配管３５に低温の熱媒体（冷媒）を流すことによる冷却を通じて、主たる温度制御がなされる。エッチバック・プロセス間で急激な昇降温を行う際は、加熱又は冷却の一方のみを行う。エッチバック中に基体載置ステージ３０の温度を維持する際は、加熱又は冷却の一方のみを行ってもよいし、加熱と冷却を併用してもよい。エッチバック中の設定温度の維持は、フィードバック制御やフィードフォワード制御によって、リアルタイムに制御することが好ましい。

【００９９】かかるプラズマエッチング装置４０を用い、前述の実施の形態１の［工程－１３０］において銅薄膜１３とバリヤ層１５をエッチバックする場合、又は実施の形態２の［工程－１２０］において銅薄膜１３エッチバックする場合、又は実施の形態３において銀薄膜をエッチバックする場合、更にあるいは実施の形態４の［工程－２３０］において平坦化層１６と銅薄膜１３とバリヤ層１５をエッチバックする場合、シリコン半導体基板１００を基体載置ステージ３０上に載置し、セラミックス層３３に静電吸着力を発揮させてシリコン半導体基板１００を基体載置ステージ３０上に保持・固定する。基体載置ステージ３０の昇温はヒータ３４を用いて行うが、エッチバック中の温度を２３０°Ｃに維持するための微調節は、ヒータ３４への通電のオン／オフによって行ってもよいし、配管３５への熱媒体の循環を併用して行ってもよい。上述の基体載置ステージ３０においては、かかる高温下でもセラミックス層３３にクラックが生ずることがなく、よって静電チャック機能が良好に維持される。

【０１００】また、かかるプラズマエッチング装置４０を用い、実施の形態２の［工程－１３０］及び実施の形態４の［工程－２３０］においてバリヤ層１５をエッチバックする場合は、基体載置ステージ３０の温度を２０°Ｃまで降下させる必要があるが、この際の降温は、ヒータ３４への通電を停止した上で配管３５に熱媒体（冷媒）を循環させることにより、１００°Ｃ／分程度の高速にて行うことができる。又、エッチバック中の基体載置ステージ３０を温度温度を２０°Ｃに維持するための微調節は、配管３５への熱媒体（冷媒）の循環によって行ってもよいし、ヒータ３４への通電のオン／オフを併用して行ってもよい。上述の基体載置ステージ３０においては、かかる急激な温度変化を与えてもセラミックス層３３にクラックが生ずることがなく、よって静電チャック機能が良好に維持されることは勿論、温度差の大きいエッチバック・プロセスを連続的に行うことが可能となる。

【０１０１】（実施の形態６）以下、実施の形態５で述べた基体載置ステージ３０（図５の（Ａ）参照）の作製方法の概要を説明する。

【０１０２】複合部材３１は、（Ａ）セラミックス部材の組織中にアルミニウム系材料を充填し、以て、セラミックス部材の組織中にアルミニウム系材料が充填された母材を作製する工程と、（Ｂ）母材の表面にセラミックス層を設ける工程から作製される。実施の形態６においては、この工程（Ａ）は、容器（鋳型）の中に多孔質のコージエライトセラミックスを組成としたセラミックス部材を配し、容器（鋳型）内に溶融したアルミニウムとケイ素とを組成としたアルミニウム系材料を流し込み、高圧鋳造法にてセラミックス部材中にアルミニウム系材料を充填する工程から成る。

【０１０３】多孔質のコージエライトセラミックスを組成としたセラミックス部材は、セラミックス部材を作製する際の焼結過程において多孔質化される。実施の形態６においては、多孔質のコージエライトセラミックスとして、コージエライトセラミックス粉末とコージエライトセラミックス繊維とを焼結して得られる焼結体である多孔質のコージエライトセラミックス・ファイバーボード（以下、ファイバーボードと略称する）を用いた。一般的な粉体焼結セラミックスが約１２００°Ｃで高温焼結されるのに対して、ファイバーボードは約８００°Ｃで低温焼結されたものであり、コージエライトセラミックス繊維の周りにコージエライトセラミックス粉末がバインダーを介して密着するように焼結され、多孔質化されている。従って、例えば、コージエライトセラミックス粉末とコージエライトセラミックス繊維との容積比を変えることによって、得られる多孔質のコージエライトセラミックスを組成としたセラミックス部材の空孔率や空孔径を調整することが可能である。

【０１０４】基体載置ステージ３０を作製するには、先ず、所定の円盤形状に成形された第１のファイバーボードを用意する。尚、第１のファイバーボードには、ヒータ３４を配設するための溝を加工しておく。また、第１

のファイバーボードとは別の第２のファイバーボードを用意する。この第２のファイバーボードには、配管３５を配設するための溝を加工しておく。そして、容器（鋳型）の底部に第１のファイバーボードを配し、更に、第１のファイバーボードに設けられた溝内にヒータ３４を配置する。次に、第１のファイバーボード上に第２のファイバーボードを乗せ、第２のファイバーボードに設けられた溝内に配管３５を配置する。そして、更に、この第２のファイバーボード上に第３のファイバーボードを乗せる。尚、これらのファイバーボードには、ブッシャーピン等を埋設するための孔を予め加工しておく。

【０１０５】次いで、これらのファイバーボードから成るセラミックス部材を約８００°Ｃに予備加熱しておき、続いて、容器（鋳型）内に約８００°Ｃに加熱して溶融状態としたアルミニウム系材料（Ａ１８０体積%－Ｓｉ２０体積%）を流し込む。そして、容器（鋳型）内に約１トン／ｃｍ²の高圧を加える高圧鋳造法を実行する。その結果、多孔質のファイバーボードには、即ち、セラミックス部材の組織中には、アルミニウム系材料が充填される。そして、アルミニウム系材料を冷却・固化させることによって、母材３２が作製される。

【０１０６】次いで、母材３２の頂面、即ち、ヒータ側の面を研磨する。その後、この研磨面に、Al_2O_3にTiO_2を約２．５重量%混合した粒径が約１０μｍの混合粉末を真空溶射法によって溶融状態で吹き付け、固化させる。これによって、体積固有抵抗値が$10^{11}\Omega$／□オーダーの厚さ約０．２ｍｍのセラミックス層３３を溶射法にて形成することができる。尚、セラミックス層３３の形成の前に、溶射下地層として例えばアルミニウムを約５重量%含んだニッケル（Ｎｉ－５重量%Ａｌ）を溶射しておき、この溶射下地層上にセラミックス層３３を溶射法にて形成してもよい。

【０１０７】このようにして得られた基体載置ステージ３０のセラミックス層３３の割れ防止効果を確認するために、温風循環式のオーブンを用い、以下のようにして基体載置ステージ３０の熱サイクルテストを行った。

【０１０８】（１）基体載置ステージ３０をオーブン内に入れ、オーブン内を３０分間かけて３００°Ｃに昇温する。

（２）オーブン内を、３００°Ｃの温度で２０分間保持する。

（３）オーブン内を、４０分間かけて降温し、常温に戻す。

（４）オーブン内から基体載置ステージ３０を取り出し、外観を観察する。

【０１０９】このような（１）～（４）の操作を１０回繰り返したところ、１０回終了後においても基体載置ステージ３０の外観には変化が認められず、セラミックス層３３に割れ等の破損は生じていないことが確認された。

【０１１０】このようにして得られた基体載置ステージ３０は、多孔質のコージエライトセラミックス・ファイバーボードから成るセラミックス部材にＡ１８０体積%－Ｓｉ２０体積%のアルミニウム系材料を充填して得られた母材（温度調節ジャケット）３２によって構成されており、母材３２の線膨張率α_1はセラミックス層１３の線膨張率α_2に近い値となっている。従って、基体載置ステージ３０の加熱・冷却による母材３２とセラミックス層３３の伸縮の度合いは殆ど同じである。それ故、これらの材料間の線膨張率α_1，α_2の差に起因して、高温加熱時や、基体載置ステージ３０を急激に昇降温させた場合にセラミックス層３３に割れ等の損傷が発生することを確実に回避することができる。

【０１１１】また、実施の形態６にあっては、特に、多孔質のコージエライトセラミックス・ファイバーボードを用いているが、高圧鋳造時にアルミニウム系材料がその空孔内に入り込む際の衝撃にファイバーボードは耐え得る。その結果、ファイバーボードに割れが生じることを抑制することができる。即ち、通常の粉末焼結法によって得られる多孔質のコージエライトセラミックスから成るセラミックス部材においては、高圧鋳造時に割れが起こり易い。然るに、多孔質のコージエライトセラミックス・ファイバーボードを用いることによって、高圧鋳造時におけるセラミックス部材の割れ発生を抑えることができる。

【０１１２】そして、高圧鋳造時にファイバーボードに割れ等が発生することを回避できるので、母材３２の表面に設けられたセラミックス層３３にクラック等の損傷が生じることを一層確実に防止することができる。即ち、ファイバーボードに割れが発生したとしても、ファイバーボードから成るセラミックス部材の組織中にアルミニウム系材料を充填したとき、アルミニウム系材料が一種の接着材として働く結果、母材３２を得ることはできる。しかしながら、このようにして得られた母材３２においては、ファイバーボードに発生した割れ等の隙間にアルミニウム系材料から成る層が形成されてしまう。その結果、母材３２の表面に設けられたセラミックス層３３が、基体載置ステージ３０の使用時、温度変化に追従できなくなり、セラミックス層３３に割れが生じ易くなる。つまり、セラミックス層３３は、粒径が約１０μｍの混合粉末が溶射されそして母材３２と同化されているので、ファイバーボードにおける１～２μｍの空孔内に充填されたアルミニウム系材料そのものの熱膨張からは殆ど影響を受けない。しかしながら、ファイバーボードの割れた部分の隙間に存在するアルミニウム系材料から成る層は、セラミックス層３３を形成する粒子の径より大きい長さや幅を有する。従って、アルミニウム系材料から成るかかる層の熱膨張によるセラミックス層３３への影響は無視できないものとなり、セラミックス層３３に割れが発生する確率が高くなる。

【０１１３】また、セラミックス層３３を母材３２上に溶射法にて形成するので、母材３２とセラミックス層３３とがより一層一体化する。これによって、母材３２とセラミックス層３３との間の応力緩和が図れると共に、母材３２からセラミックス層３３への熱伝導が速やかとなり、セラミックス層３３に保持・固定された基体（例えばシリコン半導体基板）の温度制御を迅速に且つ確実に行うことが可能となる。

【０１１４】（実施の形態７）実施の形態７は、実施の形態６の変形である。実施の形態７が実施の形態６と相異する点は、複合部材における母材を構成するセラミックス部材の組成を窒化アルミニウム（ＴｉＮ）とし、母材を構成するアルミニウム系材料の組成をアルミニウム（Ａｌ）とした点にある。尚、実施の形態７における基体載置ステージ３０Ａの構造を、図７の（Ａ）に模式的な断面図で示す。

【０１１５】実施の形態７においては、母材３２を構成するセラミックス部材の組成を窒化アルミニウム（ＡｌＮ）とした。尚、窒化アルミニウムの線膨張率は５．１×１０$^{-6}$／Ｋであり、熱伝導率は０．２３５ｃａｌ／ｃｍ・秒・Ｋである。また、母材を構成するアルミニウム系材料の組成をアルミニウム（Ａｌ）とした。（α_1-4）≦α_2≦（α_1+4）の関係を満足するように窒化アルミニウムとアルミニウムとの容積比は決定されており、具体的には、窒化アルミニウム／アルミニウムの容積比は７０／３０である。尚、母材３２の線膨張率は、１００～３００゜Ｃにおける平均値で８．７×１０$^{-6}$／Ｋである。即ち、α_1は８．７である。セラミックス層３３を構成する材料を、TiO_2が約２．５重量%添加されたAl_2O_3とした。セラミックス層３３は、溶射法にて母材３２の表面に形成されている。Al_2O_3にTiO_2を添加することによって、その線膨張率は、１００～３００゜Ｃにおける平均値で約９×１０$^{-6}$／Ｋ（α_2＝約９）となり、母材３２の線膨張率α_1とほぼ同じ値となる。これによって、母材３２の高温加熱などによる温度変化によってもセラミックス層３３に割れ等の損傷が発生することを効果的に防止し得る。また、Al_2O_3にTiO_2を添加することにより、セラミックス層３３の体積固有抵抗値を10^{11}Ω／□のオーダーに調整することができる。これによって、セラミックス層３３が静電チャックとしての機能を効果的に発揮する。即ち、基体載置ステージ３０Ａの母材３２に配線（図示せず）を介して直流電圧を電源から印加すれば、母材３２を電極として用いることができ、セラミックス層３３が静電チャックとして機能する。尚、この基体載置ステージ３０Ａには、セラミックス層３３上に載置・保持された例えばシリコン半導体基板を押し上げるためのプッシャーピン（図示せず）が埋設されている。また、このプッシャーピンには、プッシャーピンをセラミックス層３３の頂面上に突出させあるいは頂面下に埋没させる機構（図示せず）が取り付けられている。

【０１１６】実施の形態７におけるヒータ３４Ａは、約５００゜Ｃまでの加熱が可能なＰＢＮヒータ（パイロリティック・ボロン・ナイトライド・パイロリティック・グラファイト・ヒータ）である。ヒータ３４Ａを母材３２の外側表面に取り付けることにより、母材３２を常温から約５００゜Ｃまでの範囲内で温度制御することが可能である。

【０１１７】複合部材３１によって構成される基体載置ステージ３０Ａの作製方法を、以下、説明する。複合部材３１は、基本的には、（Ａ）セラミックス部材の組織中にアルミニウム系材料を充填し、以て、セラミックス部材の組織中にアルミニウム系材料が充填された母材を作製する工程と、（Ｂ）母材の表面にセラミックス層を設ける工程から作製される。実施の形態７においては、この工程（Ａ）は、非加圧金属浸透法に基づき、窒化アルミニウム粒子から成形されたセラミックス部材に溶融したアルミニウムを組成としたアルミニウム系材料を非加圧状態にて浸透させる工程から成る。

【０１１８】具体的には、平均粒径１０μｍのＡｌＮ粒子を泥漿鋳込み成形法にて成形した後、約１０００゜Ｃの温度で焼成（焼結）を行うことによって、ＡｌＮ粒子を成形したプリフォームであるセラミックス部材を作製した。そして、このセラミックス部材を約８００゜Ｃに予備加熱しておき、約８００゜Ｃに加熱して溶融したアルミニウムを非加圧でセラミックス部材に浸透させる。これによって、ＡｌＮ７０体積%－Ａｌ３０体積%の構成の母材３２を作製することができる。次いで、母材３２を成形加工して円盤状とする。次いで、このようにして得られた母材３２の頂面及び側面を研磨する。その後、この研磨面に、Al_2O_3にTiO_2を約２．５重量%混合した粒径が約１０μｍの混合粉末を真空溶射法によって溶融状態で吹き付け、固化させる。その後、母材３２の下面、即ちセラミックス層３３が設けられた面と反対側の面にＰＢＮヒータから成るヒータ３４Ａを取り付け、基体載置ステージ３０Ａを得る。尚、セラミックス層３３の形成の前に、溶射下地層として例えばアルミニウムを約５重量%含んだニッケル（Ｎｉ－５重量%Ａｌ）を溶射しておき、この溶射下地層上にセラミックス層３３を溶射法にて形成してもよい。

【０１１９】このようにして作製された基体載置ステージ３０Ａにあっては、セラミックス層３３の線膨張率α_2が母材３２の線膨張率α_1とほぼ同じ値となっている。それ故、母材３２の高温加熱などによる温度変化によっても、セラミックス層３３に割れ等の損傷は発生しない。また、窒化アルミニウムとアルミニウムとの容積比を調整することによって、更には、必要に応じて、Al_2O_3から成るセラミックス層３３におけるTiO_2の添加率を調整することによって、母材３２の線膨張率α_1とセラミックス層３３の線膨張率α_2を、（α_1-4）≦

$\alpha_2 \leqq (\alpha_1 + 4)$の関係を満足する関係とすることができる。その結果、基体載置ステージ３０Ａの温度変化に起因するセラミックス層３３の割れ等の損傷発生を、効果的に防止することができる。

【０１２０】また、セラミックス層３３を母材３２上に溶射法にて形成すれば、大面積の複合部材を作製することができ、基体の大面積化に容易に対処することができる。しかも、母材３２とセラミックス層３３とがより一層一体化する。これによって、母材３２とセラミックス層３３との間の応力緩和が図れると共に、母材３２からセラミックス層３３への熱伝導が速やかとなる。尚、図７の（Ｂ）に示すように、必要に応じて、母材３２の側面にセラミックス層を形成してもよい。

【０１２１】図５の（Ｂ）の模式的な断面図に示したと同様に、セラミックス層を溶射法でなくロウ付け法によって母材３２の表面（必要に応じて、更に側面）に設けてもよい（図７の（Ｃ）参照）。この場合には、焼結法にて作製されたAl_2O_3製セラミックス板から成るセラミックス層３６を、例えば、約６００°Ｃの温度にてＡｌ－Ｍｇ－Ｇｅ系のロウ材３７を用いたロウ付け法にて母材３２の表面に取り付ければよい。必要に応じて、母材３２の側面にセラミックス材料から成る環状のカバー（図示せず）を取り付けてもよい。また、実施の形態６における基体載置ステージ３０と同様の温度制御手段とすることもできる。

【０１２２】尚、母材を構成するアルミニウム系材料の組成をアルミニウムとしたが、その代わりに、母材を構成するアルミニウム系材料の組成をアルミニウム及びケイ素（例えば、Ａｌ８０体積%－Ｓｉ２０体積%）とすることができる。アルミニウム系材料の組成をアルミニウム及びケイ素とすることによって、母材の線膨張率をα_1を制御することが可能となり、一層セラミックス層の線膨張率α_2との差を小さくすることが可能となる。また、セラミックス層をAl_2O_3から構成する代わりに、窒化アルミニウム（ＡｌＮ）から構成してもよい。

【０１２３】また、実施の形態７にて説明した基体載置ステージの構造を実施の形態６にて説明した基体載置ステージに適用することもできるし、実施の形態６にて説明した基体載置ステージの構造を実施の形態７にて説明した基体載置ステージに適用することもできる。

【０１２４】（実施の形態８）実施の形態８は実施の形態７の変形である。実施の形態８が実施の形態７と相異する点は、複合部材における母材を構成するセラミックス部材の組成を炭化ケイ素（ＳｉＣ）とし、母材を構成するアルミニウム系材料の組成をアルミニウム（Ａｌ）とした点にある。実施の形態８における基体載置ステージ３０Ａの構造は、図７の（Ａ）に模式的な断面図を示したと同様である。

【０１２５】実施の形態８においては、母材３２を構成するセラミックス部材の組成を炭化ケイ素（ＳｉＣ）とした。尚、炭化ケイ素の線膨張率は4×10^{-6}／Ｋであり、熱伝導率は０．３５８ｃａｌ／ｃｍ・秒・Ｋ（１５０Ｗ／ｍ・Ｋ）である。また、母材を構成するアルミニウム系材料の組成をアルミニウム（Ａｌ）とした。$(\alpha_1 - 4) \leqq \alpha_2 \leqq (\alpha_1 + 4)$を満足するように炭化ケイ素とアルミニウムとの容積比は決定されており、具体的には、炭化ケイ素／アルミニウムの容積比は７０／３０である。尚、母材３２の線膨張率は、１００～３００°Ｃにおける平均値で、6.2×10^{-6}／Ｋである。即ち、$\alpha_1 = 6.2$である。セラミックス層３３を構成する材料を、TiO_2が約１．５重量%添加されたAl_2O_3とした。セラミックス層３３は、溶射法にて母材３２の頂面及び側面に形成されている。Al_2O_3は本来その線膨張率が約8×10^{-6}／Ｋであるが、Al_2O_3にTiO_2を添加することによって、その線膨張率は、１００～３００°Ｃにおける平均値で、約$8 \sim 9 \times 10^{-6}$／Ｋ（α_2は約８～９）となり、母材３２の線膨張率α_1とセラミックス層３３の線膨張率α_2の関係は、$(\alpha_1 - 4) \leqq \alpha_2 \leqq (\alpha_1 + 4)$を満足する。これによって、母材３２の高温加熱などによる温度変化によってもセラミックス層３３に割れ等の損傷が発生することを効果的に防止し得る。また、Al_2O_3にTiO_2を添加することにより、セラミックス層３３の体積固有抵抗値を$10^{11}\Omega$／□のオーダーに調整することができる。これによって、セラミックス層３３が静電チャックとしての機能を効果的に発揮する。

【０１２６】ヒータ３４Ａは、実施の形態７と同様に、ＰＢＮヒータである。ヒータ３４Ａを母材３２である温度調節ジャケットの裏面に取り付けることにより、母材３２を常温から約５００°Ｃまでの範囲内で温度制御することが可能である。あるいは又、実施の形態６における基体載置ステージと同様の温度制御手段とすることもできる。そして、基体載置ステージ３０Ａの母材３２に配線（図示せず）を介して直流電圧を印加すれば、母材３２を電極として用いることができ、セラミックス層３３が静電チャックとして機能する。尚、この基体載置ステージ３０Ａには、セラミックス層３３上に載置、保持された例えばシリコン半導体基板を押し上げるためのプッシャーピン（図示せず）が埋設されている。また、このプッシャーピンには、プッシャーピンをセラミックス層３３の頂面上に突出させあるいは頂面下に埋没させる機構（図示せず）が取り付けられている。

【０１２７】基体載置ステージ３０Ａの作製方法を、以下、説明する。複合部材３１は、基本的には、（Ａ）セラミックス部材の組織中にアルミニウム系材料を充填し、以て、セラミックス部材の組織中にアルミニウム系材料が充填された母材を作製する工程と、（Ｂ）母材の表面にセラミックス層を設ける工程から作製される。実施の形態８においては、この工程（Ａ）は、非加圧金属浸透法に基づき、炭化ケイ素粒子から成形されたセラミ

ックス部材に溶融したアルミニウムを組成としたアルミニウム系材料を非加圧状態にて浸透させる工程から成る。

【０１２８】具体的には、平均粒径１５μｍのＳｉＣ粒子と平均粒径６０μｍのＳｉＣ粒子とを容積比で１：４にて混合したものを鋳込み泥漿成形法にて成形した後、約８００°Ｃの温度で焼成を行うことによって、ＳｉＣ粒子を成形したブリフォームであるセラミックス部材を作製した。そして、このセラミックス部材を約８００°Ｃに予備加熱しておき、約８００°Ｃに加熱して溶融したアルミニウムを非加圧でセラミックス部材に浸透させる。これによって、ＳｉＣ７０体積%－Ａｌ３０体積%の構成の母材３２を作製することができる。次いで、母材３２を成形加工して円盤状の温度調節ジャケットの形状とする。尚、この母材３２には、ブッシャーピン等を埋設するための孔も予め加工しておく。次いで、このようにして得られた母材３２の頂面を研磨する。その後、この研磨面に、Al_2O_3にTiO_2を約１．５重量%混合した粒径が約１０μｍの混合粉末を真空溶射法によって溶融状態で吹き付け、固化させる。これによって、体積固有抵抗値が10^{11}Ω／□オーダーの厚さ約０．２ｍｍのセラミックス層３３を形成することができる。その後、母材３２の底面、即ちセラミックス層３３が設けられた頂面と反対側の面にＰＢＮヒータから成るヒータ３４Ａを取り付け、基体載置ステージ３０Ａを得る。尚、セラミックス層３３の形成の前に、溶射下地層として例えばアルミニウムを約５重量%含んだニッケル（Ｎｉ－５重量%Ａｌ）を溶射しておき、この溶射下地層上にセラミックス層３３を溶射法にて形成してもよい。

【０１２９】尚、基体載置ステージ３０Ａの作製方法は、上述の方法に限定されない。上述の工程（Ａ）を、実施の形態６と同様に、容器（鋳型）の中に炭化ケイ素を組成としたセラミックス部材を配し、この容器（鋳型）内に溶融したアルミニウムを組成としたアルミニウム系材料を流し込み、高圧鋳造法にてセラミックス部材中にアルミニウム系材料を充填する工程から構成することもできる。即ち、基体載置ステージ３０Ａを作製するには、先ず、所定の円盤形状に成形されたＳｉＣから成るブリフォームを用意する。尚、ブリフォームには、ブッシャーピン等を埋設するための孔を予め加工しておく。次いで、ブリフォームから成るセラミックス部材を約８００°Ｃに予備加熱しておき、続いて、容器（鋳型）内に約８００°Ｃに加熱して溶融状態としたアルミニウムを流し込む。そして、容器（鋳型）内に約１トン／cm^2の高圧を加える高圧鋳造法を実行する。その結果、セラミックス部材の組織中には、アルミニウムが充填される。そして、アルミニウムを冷却・固化させることによって、母材３２が作製される。以下、先に述べたと同様の方法で基体載置ステージ３０Ａを作製すればよい。

【０１３０】このようにして作製された基体載置ステージ３０Ａにあっては、母材３２の高温加熱などによる温度変化によっても、セラミックス層３３に割れ等の損傷は発生しない。また、炭化ケイ素とアルミニウム系材料との容積比を調整することによって、更には、必要に応じて、Al_2O_3から成るセラミックス層３３におけるTiO_2の添加率を調整することによって、母材３２の線膨張率α_1とセラミックス層３３の線膨張率α_2を、$(\alpha_1-4) \leq \alpha_2 \leq (\alpha_1+4)$を満足する関係とすることができる。その結果、基体載置ステージ３０Ａの温度変化に起因するセラミックス層３３の割れ等の損傷発生を、効果的に防止することができる。

【０１３１】また、セラミックス層３３を母材３２上に溶射法にて形成すれば、大面積の複合部材を作製することができ、基体の大面積化に容易に対処することができる。しかも、母材３２とセラミックス層３３とがより一層一体化する。これによって、母材３２とセラミックス層３３との間の応力緩和が図れると共に、母材３２からセラミックス層３３への熱伝導が速やかとなり、セラミックス層３３に保持・固定された基体（例えばシリコン半導体基板）の温度制御を迅速に且つ確実に行うことが可能となる。

【０１３２】図５の（Ｃ）の模式的な断面図に示したと同様に、セラミックス層を溶射法でなくロウ付け法によって母材３２の頂面（必要に応じて、更に側面）に設けてもよい。この場合には、焼結法にて作製されたAl_2O_3製セラミックス板から成るセラミックス層３６を、例えば、約６００°Ｃの温度にてＡｌ－Ｍｇ－Ｇｅ系のロウ材３７を用いたロウ付け法にて母材の頂面に取り付ければよい。

【０１３３】尚、母材を構成するアルミニウム系材料の組成をアルミニウムとしたが、その代わりに、母材を構成するアルミニウム系材料の組成をアルミニウム及びケイ素（例えば、Ａｌ８０体積%－Ｓｉ２０体積%）とすることができる。アルミニウム系材料の組成をアルミニウム及びケイ素とすることによって、母材の線膨張率α_1を制御することが可能となり、一層セラミックス層の線膨張率α_2との差を小さくすることが可能となる。また、セラミックス層をAl_2O_3から構成する代わりに、窒化アルミニウム（ＡｌＮ）から構成してもよい。

【０１３４】また、実施の形態８にて説明した基体載置ステージの構造を実施の形態６にて説明した基体載置ステージに適用することもできるし、実施の形態６にて説明した基体載置ステージの構造を実施の形態８にて説明した基体載置ステージに適用することもできる。

【０１３５】（実施の形態９）実施の形態９も実施の形態７の変形である。実施の形態９が実施の形態７と相異する点は、複合部材における母材を構成するセラミックス部材の組成を酸化アルミニウム（Al_2O_3）とし、母材を構成するアルミニウム系材料の組成をアルミニウム

（Ａｌ）とした点にある。実施の形態９における基体載置ステージ３０Ａの構造は、図７の（Ａ）に模式的な断面図を示したと同様である。

【０１３６】実施の形態９においては、母材３２を構成するセラミックス部材の組成を酸化アルミニウム（Al_2O_3）とした。尚、酸化アルミニウムの線膨張率は７．８×10^{-6}／Ｋであり、熱伝導率は０．０６９ｃａｌ／ｃｍ・秒・Ｋ（２９Ｗ／ｍ・Ｋ）である。また、母材を構成するアルミニウム系材料の組成をアルミニウム（Ａｌ）とした。$(\alpha_1-4) \leqq \alpha_2 \leqq (\alpha_1+4)$を満足するように酸化アルミニウム／アルミニウムとの容積比は決定されており、具体的には、酸化アルミニウム／アルミニウムの容積比は８０／２０である。尚、母材３２の線膨張率は、１００～３００°Ｃにおける平均値で、１１×10^{-6}／Ｋである。即ち、$\alpha_1=11$である。セラミックス層３３を構成する材料を、TiO_2が約１．５重量%添加されたAl_2O_3とした。セラミックス層３３は、溶射法にて母材３２の頂面及び側面に形成されている。そして、母材３２の線膨張率α_1とセラミックス層３３の線膨張率α_2の関係は、$(\alpha_1-4) \leqq \alpha_2 \leqq (\alpha_1+4)$を満足する。これによって、母材３２の高温加熱などによる温度変化によってもセラミックス層３３に割れ等の損傷が発生することを効果的に防止し得る。また、Al_2O_3にTiO_2を添加することにより、セラミックス層３３の体積固有抵抗値を$10^{11}\Omega$／□のオーダーに調整することができる。これによって、セラミックス層３３が静電チャックとしての機能を効果的に発揮する。

【０１３７】実施の形態９の基体載置ステージ３０Ａの作製方法を、以下、説明する。複合部材３１は、基本的には、（Ａ）セラミックス部材の組織中にアルミニウム系材料を充填し、以て、セラミックス部材の組織中にアルミニウム系材料が充填された母材を作製する工程と、（Ｂ）母材の表面に溶射法にてセラミックス層を設ける工程から作製される。実施の形態９においては、この工程（Ａ）は、非加圧金属浸透法に基づき、酸化アルミニウムから成形されたセラミックス部材に溶融したアルミニウムを組成としたアルミニウム系材料を非加圧状態にて浸透させる工程から成る。

【０１３８】具体的には、平均粒径２０μｍのAl_2O_3粒子と平均粒径８０μｍのAl_2O_3粒子とを容積比で１：４にて混合したものを鋳込み泥漿成形法にて成形した後、約８００°Ｃの温度で焼成を行うことによって、Al_2O_3粒子を成形したブリフォームであるセラミックス部材を作製した。そして、このセラミックス部材を約８００°Ｃに予備加熱しておき、約８００°Ｃに加熱して溶融したアルミニウムを非加圧でセラミックス部材に浸透させる。これによって、$Al_2O_3$８０体積%－Ａｌ２０体積%の構成の母材３２を作製することができる。次いで、母材３２を成形加工して円盤状の温度調節ジャケットの形状とする。尚、この母材３２には、ブッシャーピン等を埋設するための孔も予め加工しておく。次いで、このようにして得られた母材３２の頂面及び側面を研磨する。

【０１３９】その後、この研磨面に、Al_2O_3にTiO_2を約１．５重量%混合した粒径が約１０μｍの混合粉末を真空溶射法によって溶融状態で吹き付け、固化させる。これによって、体積固有抵抗値が$10^{11}\Omega$／□オーダーのセラミックス層を溶射法にて形成することができる。尚、セラミックス層の形成の前に、溶射下地層として例えばアルミニウムを約５重量%含んだニッケル（Ｎｉ－５重量%Ａｌ）を溶射しておき、この溶射下地層上にセラミックス層を溶射法にて形成してもよい。その後、母材３２の底面、即ちセラミックス層３３が設けられた頂面と反対側の面にＰＢＮヒータから成るヒータ３４Ａを取り付け、基体載置ステージ３０Ａを得る。

【０１４０】尚、基体載置ステージ３０Ａの作製方法は、上述の方法に限定されない。上述の工程（Ａ）を、実施の形態５と同様に、容器（鋳型）の中に酸化アルミニウムを組成としたセラミックス部材を配し、この容器（鋳型）内に溶融したアルミニウムを組成としたアルミニウム系材料を流し込み、高圧鋳造法にてセラミックス部材中にアルミニウム系材料を充填する工程から構成することもできる。即ち、基体載置ステージ３０Ａを作製するには、先ず、所定の円盤形状に成形されたAl_2O_3から成るブリフォームを用意する。尚、ブリフォームには、ブッシャーピン等を埋設するための孔を予め加工しておく。次いで、ブリフォームから成るセラミックス部材を約８００°Ｃに予備加熱しておき、続いて、容器（鋳型）内に約８００°Ｃに加熱して溶融状態としたアルミニウムを流し込む。そして、容器（鋳型）内に約１トン／cm^2の高圧を加える高圧鋳造法を実行する。その結果、セラミックス部材の組織中には、アルミニウムが充填される。そして、アルミニウムを冷却・固化させることによって、母材３２が作製される。以下、先に述べたと同様の方法で基体載置ステージ３０Ａを作製すればよい。

【０１４１】このようにして作製された基体載置ステージ３０Ａにあっては、母材３２の高温加熱などによる温度変化によっても、セラミックス層３３に割れ等の損傷は発生しない。また、実施の形態９における基体載置ステージにあっては、酸化アルミニウムとアルミニウム系材料との容積比を調整することによって、更には、必要に応じて、Al_2O_3から成るセラミックス層３３におけるTiO_2の添加率を調整することによって、母材３２の線膨張率α_1とセラミックス層３３の線膨張率α_2を、$(\alpha_1-4) \leqq \alpha_2 \leqq (\alpha_1+4)$を満足する関係とすることができる。その結果、基体載置ステージ３０Ａの温度変化に起因するセラミックス層３３の割れ等の損傷発生を、効果的に防止することができる。

【０１４２】また、セラミックス層３３を母材３２上に溶射法にて形成すれば、大面積の複合部材を作製することができ、基体の大面積化に容易に対処することができる。しかも、母材３２とセラミックス層３３とがより一層一体化するので、母材３２とセラミックス層３３との間の応力緩和が図れると共に、母材３２からセラミックス層３３への熱伝導が速やかとなり、セラミックス層３３に保持・固定された基体の温度制御を迅速に且つ確実に行うことが可能となる。

【０１４３】尚、母材を構成するアルミニウム系材料の組成をアルミニウムとしたが、その代わりに、母材を構成するアルミニウム系材料の組成をアルミニウム及びケイ素（例えば、Ａｌ８０体積％－Ｓｉ２０体積％）とすることができる。アルミニウム系材料の組成をアルミニウム及びケイ素とすることによって、母材の線膨張率α_1を制御することが可能となり、一層セラミックス層の線膨張率α_2との差を小さくすることが可能となる。また、セラミックス層をAl_2O_3から構成する代わりに、窒化アルミニウム（ＡｌＮ）から構成してもよい。

【０１４４】図５の（Ｃ）の模式的な断面図に示したと同様に、セラミックス層を溶射法でなくロウ付け法によって母材３２の頂面（必要に応じて、更に側面）に設けてもよい。この場合には、焼結法にて作製されたAl_2O_3製セラミックス板から成るセラミックス層３６を、例えば、約６００°Ｃの温度にてＡｌ－Ｍｇ－Ｇｅ系のロウ材３７を用いたロウ付け法にて母材の頂面に取り付ければよい。

【０１４５】また、実施の形態９にて説明した基体載置ステージの構造を実施の形態６にて説明した基体載置ステージに適用することもできるし、実施の形態６にて説明した基体載置ステージの構造を実施の形態９にて説明した基体載置ステージに適用することもできる。

【０１４６】以上、本発明を、発明の実施の形態に基づき説明したが、本発明はこれらに限定されるものではない。例えば、孔部の埋込みによるプラグの形成段階と、溝部の埋め込みによる配線の形成段階は２段階に分けて行うことができる。かかる２段階プロセスのフローを、図８に示す。尚、図８では、金属薄膜として銅薄膜を例示するが、銅薄膜に替えて銀薄膜を使用することもできる。図８の（Ａ）は、銅薄膜１３（図１を参照）を用いたプラグ１３ｐと、別の銅薄膜２３を用いた配線２３ｗを形成するプロセスを示し、図８の（Ｂ）は、銅と銀とを除く導電材料から成る導電膜２４を用いたプラグ１７ｐと、銅薄膜２３を用いた配線２３ｗを形成するプロセスを示し、図８の（Ｃ）は、銅薄膜１３を用いたプラグ１３ｐと、銅と銀とを除く導電材料から成る導電膜２４を用いた配線２４ｗを形成するプロセスを示す。いずれのプロセスにおいても、左端の図は、基体１０上に絶縁層１１を形成し、絶縁層１１に形成された孔部１４をプラグ１３ｐ，１７ｐで埋め込み、絶縁層１１上に第２絶縁層２１を形成し、この第２絶縁層２１に底部にプラグ１３ｐ，１７ｐを露出した溝部１２を形成した状態を示す。又、中央の図は、溝部１２内を含む第２絶縁層２１上に、上面の略平坦な銅薄膜１３又は導電膜２４を形成する工程を示し、更に右端の図は、銅薄膜１３又は導電膜２４をエッチバックすることにより、凹部の内部のみに銅薄膜１３又は導電膜２４を残して配線２３ｗ，２４ｗを形成する工程を示す。尚、絶縁層１１と第２絶縁層２１の構成材料は異なっていてもよい。又、絶縁層１１と第２絶縁層２１は共に低誘電率材料から構成されることが最も好ましいが、いずれか一方が従来の酸化シリコン系や窒化シリコン系の材料から構成されていてもよい。

【０１４７】図８の（Ａ）に示すプロセスでは、プラグ１３ｐの形成と配線２３ｗの形成の両方の段階においてエッチバックを行う。図８の（Ｂ）に示すプロセスでは、配線２３ｗの形成はエッチバックにより行うが、銅と銀とを除く導電材料から成る導電膜を用いたプラグ１７ｐの形成は、エッチバック又はＣＭＰのいずれにより行ってもよい。図８の（Ｃ）に示すプロセスでは、プラグ１３ｐの形成はエッチバックにより行うが、銅と銀とを除く導電材料から成る導電膜２４を用いた配線２４ｗの形成は、エッチバック又はＣＭＰのいずれにより行ってもよい。但し、絶縁層１１を低誘電率材料を用いて構成する場合、かかる絶縁層１１は、銅と銀とを除く導電材料から成る導電膜に対しても十分な密着性を発揮し得ない場合が多い。従って、銅と銀とを除く導電材料から成る導電膜を用いてプラグ１７ｐや配線２４ｗを形成する場合にも、ＣＭＰではなくエッチバックを行うことが特に好ましい。

【０１４８】図９は、図８の（Ａ）に示したプロセスにおいて、更にバリヤ層を設ける場合の基本的なパターンを示す。図９の（Ａ）は孔部１４の内部にバリヤ層１５を形成する例を示し、図９の（Ｂ）は溝部１２の内部に第２バリヤ層２５を形成する例を示し、図９の（Ｃ）は孔部１４と溝部１２の内部にそれぞれバリヤ層１５及び第２バリヤ層２５を形成する例を示す。図８の（Ｂ）及び図８の（Ｃ）に示したプロセスについても、同様のパターンにてバリヤ層１５及び／又は第２バリヤ層２５を設けることができる。いずれのパターンでバリヤ層１５及び／又は第２バリヤ層２５を形成するかは、銅薄膜１３と絶縁層１１、又は、銅と銀とを除く導電材料から成る導電膜と絶縁層１１との密着性の良否、並びに、銅薄膜２３と第２絶縁層２１、又は、銅と銀とを除く導電材料から成る導電膜２４と第２絶縁層２１との密着性の良否に応じて適宜選択すればよい。絶縁層１１と第２絶縁層２１が共に低誘電率材料から構成される場合には、孔部１４と溝部１２の内部にそれぞれバリヤ層１５及び第２バリヤ層２５を形成することが最も好適である。

【０１４９】更に、発明の実施の形態にて説明した基体

載置ステージの構造の変形例の模式的な断面図を、図１０～図１５に示す。図１０の（Ａ）に示す例においては、図５の（Ａ）に示した構造と異なり、ヒータ３４が省略されている。また、図１０の（Ｂ）に示す例においては、図５の（Ａ）に示した構造と異なり、配管３５が省略されている。尚、図１０の（Ａ）及び（Ｂ）に示した構造を、図５の（Ｂ）に示した基体載置ステージに適用することもできる。

【０１５０】発明の実施の形態においては、専ら、一体的に形成された母材から基体載置ステージを作製したが、基体載置ステージは、例えば金属材料と母材との組み合わせから作製することもできる。このような基体載置ステージの模式的な断面図を図１１及び図１２に示す。基体載置ステージ３０Ｂは、アルミニウム製あるいはステンレススチール製の円盤状部材３８に複合部材３１をロウ付け法又はビス止めにて固定して作製されている。尚、ロウ材あるいはビスは図１１、図１２及び後述する図１５、図１９、図２２、図２３及び図２４には図示していない。

【０１５１】図１１に示す構造においては、基体載置ステージ３０Ｂの頂面及び基体載置ステージ３０Ｂの側面はセラミックス層３３にて被覆されている。尚、必要に応じて、基体載置ステージ３０Ｂの側面をセラミックス層３３にて被覆しなくともよい。一方、図１２に示す構造においては、基体載置ステージ３０Ｂの頂面には、例えばAl_2O_3製セラミックス板から成るセラミックス層３６がロウ材３７によって取り付けられている。図１１の（Ａ）あるいは図１２の（Ａ）においては、アルミニウム製の円盤状部材３８の内部に配管３５Ｂが配設されている。また、母材３２が円盤状部材３８の上面及び下面に固定されている。円盤状部材３８の上面に固定された複合部材３１の構造、及び円盤状部材３８の下面に固定された母材３２の構成は、実施の形態６～実施の形態９にて説明した複合部材の構造、母材の構成と同様とすることができる。図１１の（Ｂ）あるいは図１２の（Ｂ）においては、アルミニウム製の円盤状部材３８の下面には母材が省略されている。図１１の（Ｃ）あるいは図１２の（Ｃ）においては、アルミニウム製の円盤状部材３８の下面にＰＢＮヒータ３４Ｂが取り付けられている。そして、複合部材３１が円盤状部材３８の上面に固定されている。

【０１５２】発明の実施の形態においては、基体載置ステージの母材を電極として用いることによってセラミックス層が静電チャック機能を有する形態（単極形式）としたが、セラミックス層の内部に電極を形成することによってセラミックス層が静電チャック機能を有する形態（双極形式）とすることもできる。この場合には、母材の表面に溶射法によってセラミックス層を設けるとき、母材の表面に溶射法にて第１のセラミックス層を形成し、この第１のセラミックス層上に溶射法、ロウ付け法、めっき法あるいは、導電性ペーストを印刷、硬化させる印刷法等によって電極を形成し、次いで、溶射法に基づき第２のセラミックス層にて全面を被覆することが好ましい。このような構造を有する基体載置ステージ３０Ｃの模式的な断面図を図１３の（Ａ）に示し、複合部材の頂面端部の拡大断面図を図１３の（Ｂ）に示す。

【０１５３】具体的には、例えば、実施の形態６において、母材３２を作製した後、母材３２の頂面を研磨する。その後、この研磨面に、Al_2O_3にTiO_2を約２．５重量%混合した粒径が約１０μｍの混合粉末を真空溶射法によって溶融状態で吹き付け、固化させる。これによって、体積固有抵抗値が10^{11}Ω／□オーダーの第１のセラミックス層１３０Ａを溶射法にて形成することができる。尚、第１のセラミックス層１３０Ａの形成の前に、溶射下地層として例えばアルミニウムを約５重量%含んだニッケル（Ｎｉ－５重量%Ａｌ）を溶射しておき、この溶射下地層上に第１のセラミックス層１３０Ａを溶射法にて形成してもよい。その後、ロウ材を用いて電極３９を第１のセラミックス層１３０Ａ上に形成する。電極３９の平面形状を模式的に図１３の（Ｃ）に示すが、電極３９は、所謂櫛型電極形状を有し、双極形式である。図１３の（Ｃ）において、電極３９を明確化するために、電極３９に斜線を付した。尚、ロウ材として、例えば、Ａｌ－Ｍｇ－Ｇｅ系、チタン、錫、アンチモンあるいはマグネシウムから成る合金を挙げることができるが、これらに限定するものではない。電極３９を構成するロウ材の線膨張率［単位：10^{-6}／Ｋ］も、母材の線膨張率をα_1［単位：10^{-6}／Ｋ］としたとき、（α_1－４）以上、（α_1＋４）以下の範囲内にあることが望ましいが、電極３９の厚さが薄ければ、ロウ材の線膨張率はこのような範囲から外れていても、問題は生じ難い。その後、全面に、Al_2O_3にTiO_2を約２．５重量%混合した粒径が約１０μｍの混合粉末を真空溶射法によって溶融状態で吹き付け、固化させることによって、第２のセラミックス層１３０Ｂを溶射法にて形成する。こうして、内部に電極３９が形成されたセラミックス層３３Ｃ（第１のセラミックス層１３０Ａ及び第２のセラミックス層１３０Ｂ）を形成することができる。

【０１５４】このような構成の基体載置ステージ３０Ｃの電極３９に配線（図示せず）を介して直流電圧を直流電源５５から印加することによって、セラミックス層３３Ｃが静電チャックとして機能する。尚、図１３の（Ａ）、図１４及び図１５においては、セラミックス層３３Ｃを１層で表した。図１４の（Ｂ）に模式的な断面図を示すように、セラミックス層３３Ｃを母材３２の側面に形成してもよい。更には、電極３９は、実施の形態７～実施の形態９にて説明した基体載置ステージにも適用することができる。例えば、図９の（Ａ）、図９の（Ｂ）及び図１０の（Ｂ）を参照して説明した基体載置ステージに電極３９を設けた基体載置ステージ３０Ｃの

模式的な断面図を図１４の（Ａ）、（Ｂ）及び（Ｃ）に示す。また、図１１の（Ａ）、（Ｂ）及び（Ｃ）を参照して説明した基体載置ステージと略同じ構造を有する基体載置ステージに電極３９を設けた基体載置ステージ３０Ｄの模式的な断面図を図１５の（Ａ）、（Ｂ）及び（Ｃ）に示す。電極３９の平面形状は、所謂櫛型電極形状に限定されず、例えば、円を２分割した２つの半円形状等、任意の一対の形状とすることができる。

【０１５５】プラズマエッチング装置も図６に示した構造に限定されない。ＩＣＰ型のプラズマエッチング装置（以下、単にエッチング装置４０Ａと略称する）の概念図を図１６に示す。図１６の参照符号は、図６と一部共通である。エッチング装置４０Ａには、チャンバー側壁７２と天板７３から構成されたチャンバー７１と、天板７３を加熱するためのヒータ７４と、チャンバー側壁７２の外側に配設された誘導結合コイル７５が備えられている。誘導結合コイル７５には、ＲＦ電源７７が接続されている。尚、チャンバー側壁７２は石英製であり、天板７３は後述するように複合部材から作製されている。チャンバー７１内には、シリコン半導体基板１００を保持・固定するための基体載置ステージ３０（図５の（Ａ）参照）が配設されている。更に、チャンバー７１内のガスを排気するための排気口７６が、真空ポンプ等の負圧手段（図示せず）に接続されている。基体載置ステージ３０には、シリコン半導体基板１００への入射イオンエネルギーを制御するためのバイアス電源５４がマッチング・ネットワーク５３を介して接続され、更には、母材３２に相当する温度調節ジャケットにはセラミックス層３３に静電吸着力を発揮させるための直流電源５５が接続されている。また、基体載置ステージ３０の母材３２に配設されたヒータ３４は、電源５６に接続されている。基体載置ステージを、図５の（Ｂ）に示した構造とすることもできる。尚、図１６において、エッチングガス導入部、ゲートバルブ等のエッチング装置の細部については、その図示を省略した。

【０１５６】複合部材によって構成された上部対向電極８０を備えた平行平板型プラズマエッチング装置（以下、単にエッチング装置４０Ｂと略称する）の概念図を図１７に示す。また、上部対向電極８０の模式的な断面図を図１８の（Ａ）に示す。

【０１５７】このエッチング装置４０Ｂにおいては、下部電極に相当する基体載置ステージ３０と対向して、チャンバー８４内の上方に平行平板の上部対向電極８０が配置されている。この上部対向電極８０は、マッチング・ネットワーク８１を介してＲＦ電源８２に接続されている。ここで、参照番号８５はチャンバー側壁、参照番号８６は天板、参照番号８７はチャンバー８４内のガスを排気するための排気口である。尚、エッチング装置４０Ｂにおいて、図６に示したエッチング装置４０と同じ参照番号を付した構成要素、部品は、図６に示したエッチング装置４０と同じ構成要素、部品である。

【０１５８】上部対向電極８０を構成する複合部材においては、実施の形態６と同様に、母材１１２を構成するセラミックス部材の組成をコージエライトセラミックスとした。また、母材を構成するアルミニウム系材料の組成はアルミニウム（Ａｌ）及びケイ素（Ｓｉ）であり、アルミニウム系材料を基準として、アルミニウム系材料にはケイ素が２０体積%含まれている。母材１１２は、純粋なセラミックスの電気伝導度や熱伝導度よりも金属に近づいた値を有する。従って、このような母材１１２から作製された上部対向電極８０には、高周波も問題なく印加することができる。セラミックス層１１３を構成する材料を、TiO_2が約２．５重量%添加されたAl_2O_3とする。厚さ約０．２mmのセラミックス層１１３は、溶射法にて母材１１２の表面に形成されている。このような組成のセラミックス層１１３の線膨張率は、１００～３００°Ｃにおける平均値で、約9×10^{-6}／Ｋである。従って、α''_2は約９であり、セラミックス層１１３の線膨張率α''_2は$(\alpha''_1-4)\leqq\alpha''_2\leqq(\alpha''_1+4)$を満足している。尚、$Al_2O_3$それ自体の線膨張率は約$8\times10^{-6}$／Ｋである。尚、$\alpha''_1$は母材１１２の線膨張率である。

【０１５９】上部対向電極８０の内部には、公知のシーズヒータから成るヒータ１１４が配設されている。ヒータ１１４は、ヒータ本体（図示せず）と、ヒータ本体の外側に配設されそしてヒータ本体を保護する鞘管（図示せず）から構成されている。そして、ヒータ１１４は、図示しない配線を介して電源８３（図１７参照）に接続されている。ヒータ１１４の熱膨張は、上部対向電極８０に影響を与える。従って、セラミックス層１１３や母材１１２の線膨張率に近い値を有する材料を用いることが好ましい。具体的には、チタンやステンレススチール等、線膨張率が9×10^{-6}／Ｋ～12×10^{-6}／Ｋの材料から作製された鞘管を用いることが好ましい。即ち、ヒータ１１４を構成する材料（母材１１２と接する鞘管の材料）の線膨張率α''_H［単位：10^{-6}／Ｋ］は、$(\alpha''_1-4)\leqq\alpha''_H\leqq(\alpha''_1+4)$を満足することが好ましい。尚、ヒータ１１４の本体の線膨張率は、上部対向電極８０に影響を与えることがないので、特に制限されない。

【０１６０】複合部材によって構成される上部対向電極８０の作製方法は、実質的には、実施の形態６にて説明した複合部材の製造方法と同様の方法で作製することができるので、詳細な説明は省略する。また、上部対向電極８０を実施の形態７～実施の形態９にて説明した複合部材の製造方法と同様の方法で作製することもできる。更には、図１８の（Ｂ）に示すように、セラミックス層１１６をロウ付け法に基づきロウ材１１７にて母材１１２の表面に取り付けてもよい。

【０１６１】更には、図１９に示すように、ステンレス

スチール製あるいはアルミニウム製の円盤状部材１１８に複合部材１１１をロウ付け法又はビス止めにて固定して作製された上部対向電極８０Ａとすることもできる。円盤状部材１１８の内部にヒータ１１４Ａが配設されている。複合部材１１１は円盤状部材１１８の上面及び下面に固定されている（図１９の（Ａ）参照）。この複合部材１１１の構造は、実施の形態６～実施の形態９にて説明した複合部材３１と同様の構造を有する。図１９の（Ｂ）に示す構造においては、セラミックス層１１６がロウ材１１７により母材１１２の表面に取り付けられている。また、図１９の（Ｃ）においては、円盤状部材１１８の上面には複合部材が省略されている。

【０１６２】プラズマエッチング装置のチャンバー側壁あるいは天板は、複合部材から作製されていることが好ましい。図１７に示したプラズマエッチング装置４０Ｂにおけるチャンバー側壁８５の模式的な一部断面図を、図２０～図２４に示す。このチャンバー側壁８５は、セラミックス部材の組織中にアルミニウム系材料が充填された母材２１２と、この母材２１２の表面に設けられたセラミックス層２１３とから成る複合部材２１１から作製されている。

【０１６３】チャンバー側壁８５の内部には、公知のシーズヒータから成るヒータ２１４が配設されている（図２０の（Ａ）及び（Ｂ）参照）。ヒータ２１４は、ヒータ本体（図示せず）と、ヒータ本体の外側に配設されそしてヒータ本体を保護する鞘管（図示せず）から構成されている。そして、ヒータ２１４は、配線を介して電源（図示せず）に接続されている。ヒータ２１４の熱膨張は、チャンバー側壁８５に影響を与える。従って、母材２１２やセラミックス層２１３の線膨張率α'_1，α'_2に近い値を有する材料を用いることが好ましい。具体的には、チタンやステンレススチール等、線膨張率が９×１０$^{-6}$／Ｋ～１２×１０$^{-6}$／Ｋの材料から作製された鞘管を用いることが好ましい。即ち、ヒータ２１４を構成する材料（母材２１２と接する鞘管の材料）の線膨張率α'_m［単位：１０$^{-6}$／Ｋ］は、$(\alpha'_1-4) \leqq \alpha'_m \leqq (\alpha'_1+4)$の関係を満足することが好ましい。ヒータ２１４の本体の線膨張率は、チャンバー側壁８５に影響を与えることがないので、特に制限されない。場合によっては、ヒータ２１４を配設すると同時に、先に説明した配管３５と同様の構造の配管をチャンバー側壁８５の内部に配設してもよいし、ヒータ２１４を配設する代わりに、配管をチャンバー側壁８５の内部に配設してもよい。

【０１６４】あるいは又、図２０の（Ｂ）の模式的な断面図に示すように、セラミックス層２１６を溶射法でなくロウ付け法によって母材２１２の表面に設けてもよい。この場合には、焼結法にて作製されたＡｌ$_2$Ｏ$_3$製セラミックス環状部材から成るセラミックス層２１６を、例えば、約６００°Ｃの温度にてＡｌ－Ｍｇ－Ｇｅ系のロウ材２１７を用いたロウ付け法にて母材２１２の表面（内面）に取り付ければよい。尚、ロウ材としては、その他、チタン、錫、アンチモン、マグネシウムから成る合金を挙げることができる。

【０１６５】あるいは又、図２１の（Ａ）や（Ｂ）の模式的な断面図に示すように、ヒータを母材２１２に埋設する代わりに、チャンバー側壁８５の外面（チャンバー８４と面する面とは反対側の面）に、例えば、ＰＢＮヒータから成るヒータ２１４Ａを取り付けてもよい。

【０１６６】図２２～図２４には、ステンレススチール製あるいはアルミニウム製の中空円筒部材２１８に複合部材２１１をロウ付け法又はビス止めにて固定して作製されたプラズマエッチング装置の側壁の模式的な断面図を示す。図２２の（Ａ）あるいは（Ｂ）においては、中空円筒部材２１８の内部にヒータ２１４Ｂ（配管であってもよい）が配設されている。母材２１２は中空円筒部材２１８の内面及び外面に固定されている。中空円筒部材２１８の内面（チャンバー８４側）に固定された複合部材２１１の構造は、実施の形態にて説明した複合部材と同様の構造を有する。図２３の（Ａ）あるいは（Ｂ）においては、中空円筒部材２１８の外面の母材２１２が省略されている。図２４の（Ａ）あるいは（Ｂ）においては、中空円筒部材２１８の外面にＰＢＮヒータ２１４Ｃが取り付けられている。そして、複合部材２１１が中空円筒部材２１８の内面に固定されている。

【０１６７】プラズマエッチング装置の天板４４，７３，８６も同様の構造とすればよい。尚、これらのプラズマエッチング装置のチャンバー側壁あるいは天板は、実施の形態６～実施の形態９にて説明した複合部材の製造方法と同様の方法に基づき作製することができるので、詳細な説明は省略する。

【０１６８】

【発明の効果】以上の説明からも明らかなように、本発明の第１の態様及び第２の態様に係る半導体装置の製造方法においては、配線形成用の溝部及び／又はプラグ形成用の孔部を銅薄膜又は銀薄膜で埋め込む際の手法としてエッチバックを採用するので、銅薄膜又は銀薄膜との密着性に劣る低誘電率材料を絶縁層の構成材料として用いた場合にも、絶縁層からの銅薄膜又は銀薄膜の剥離を防止することができる。従って、シングルダマシン・プロセス、埋込みプラグ・プロセス、及びデュアルダマシン・プロセスにおけるプロセス信頼性、及び半導体装置の製品歩留まりを大幅に改善することが可能となる。更に、このエッチバックを行う際に、構成材料の線膨張率が所定の範囲に規定された基体載置ステージを用いた場合には、高温加熱、あるいは急激な昇降温に対しても基体載置ステージに損傷が生じず、よって、静電チャック機能を有効に働かせながら高温下におけるエッチバックを行ったり、あるいは温度の異なるエッチバック・プロセスを、単一のエッチングチャンバー内で連続して行う

ことが可能となり、スループットや経済性を大幅に改善することができる。また、本発明の第２の態様に係る半導体装置の製造方法によれば、開口面積の異なる複数の凹部上に銅薄膜又は銀薄膜をめっき法により形成した場合にも、凹部の埋込み状態を均一化することができる。

【図面の簡単な説明】

【図１】本発明の第１の態様に係る製造方法の基本的なパターンを示す模式的断面図であり、（Ａ）はシングルダマシン・プロセス、（Ｂ）は埋込みプラグ・プロセス、（Ｃ）はデュアルダマシン・プロセスをそれぞれ表す。

【図２】デュアルダマシン・プロセスにバリヤ層を適用した例を示す工程図である。

【図３】本発明の第２の態様に係る製造方法を提案するに至った技術的背景を説明する工程図である。

【図４】本発明の第２の態様に係る製造方法を示す工程図である。

【図５】複合部材によって構成される基体載置ステージを示す模式的な断面図である。

【図６】本発明の半導体装置の製造方法に使用するヘリコン波プラズマ型のプラズマエッチング装置の概念図である。

【図７】基体載置ステージを構成する複合部材の変形例を示す模式的な断面図である。

【図８】孔部の埋込みと溝部の埋込みを別工程で行う場合の基本的なパターンを示す模式的断面図である。

【図９】孔部の埋込みと溝部の埋込みを別工程で行う場合のバリヤ層の形成パターンを示す模式的断面図である。

【図１０】基体載置ステージを構成する複合部材の変形例を示す模式的な断面図である。

【図１１】基体載置ステージを構成する複合部材の変形例を示す模式的な断面図である。

【図１２】基体載置ステージを構成する複合部材の変形例を示す模式的な断面図である。

【図１３】複合部材によって構成される基体載置ステージの変形例を示す模式的な断面図である。

【図１４】図１３に示した基体載置ステージを構成する複合部材の変形例を示す模式的な断面図である。

【図１５】図１３に示した基体載置ステージを構成する複合部材の変形例を示す模式的な断面図である。

【図１６】ＩＣＰ型のプラズマエッチング装置の概念図である。

【図１７】上部対向電極を備えた平行平板型のプラズマエッチング装置の概念図である。

【図１８】上部対向電極を構成する複合部材を示す模式的な断面図である。

【図１９】上部対向電極を構成する複合部材の変形例を示す模式的な断面図である。

【図２０】プラズマエッチング装置の側壁を構成する複合部材を示す模式的な一部断面図である。

【図２１】プラズマエッチング装置の側壁を構成する複合部材の変形例を示す模式的な一部断面図である。

【図２２】プラズマエッチング装置の側壁を構成する複合部材の変形例を示す模式的な一部断面図である。

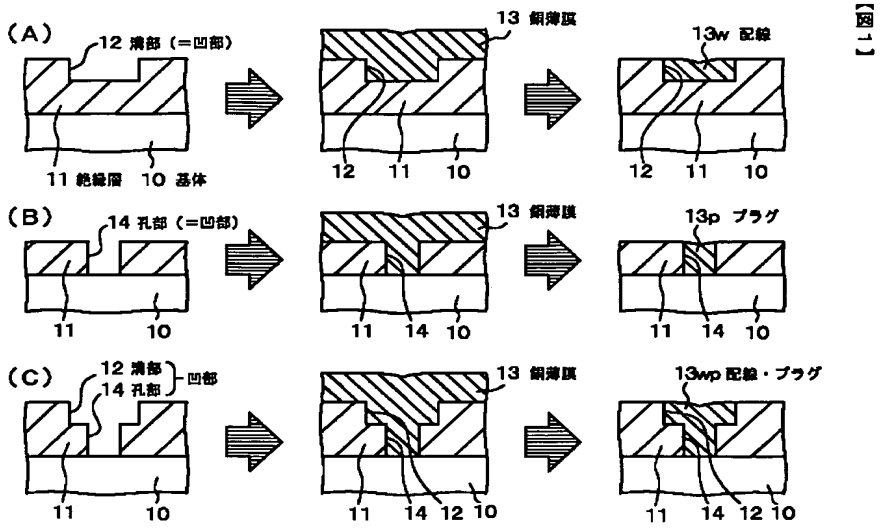
【図２３】プラズマエッチング装置の側壁を構成する複合部材の変形例を示す模式的な一部断面図である。

【図２４】プラズマエッチング装置の側壁を構成する複合部材の変形例を示す模式的な一部断面図である。

【符号の説明】

１０・・・基体、１１・・・絶縁層、１２，１２Ａ，１２Ｂ・・・溝部、１３，２３・・・銅薄膜、１３ｐ・・・プラグ（銅）、１３ｗ，２３ｗ・・・配線（銅）、１３ｗｐ・・・配線・プラグ（銅）、１４・・・孔部、１５・・・バリヤ層、１６・・・平坦化層、１７ｐ・・・プラグ（銅と銀とを除く）、２１・・・第２絶縁層、２４・・・導電膜、２４ｗ・・・配線（銅と銀とを除く）、２５・・・第２バリヤ層、３０，３０Ａ，３０Ｂ，３０Ｃ・・・基体載置ステージ、３１，１１１，２１１・・・複合部材、３２，１１２，２１２・・・母材、３３，３３Ｃ，１１３，２１３・・・セラミックス層、３４，３４Ａ，３４Ｂ，１１４・・・ヒータ、３５・・・配管、３６，１１６，２１６・・・セラミックス層、３７，１１７，２１７・・・ロウ材、３８，１１８，２１８・・・円盤状部材、３９・・・電極、４０，４０Ａ，４０Ｂ・・・プラズマエッチング装置、４１・・・プラズマ容器、４２・・・ダブルループ・アンテナ、４３・・・ソレノイドコイル・アセンブリ、４５・・・シングルループ・アンテナ、４７・・・第１ＲＦ電源、４９・・・第２ＲＦ電源、５０・・・処理チャンバー、５１・・・多極磁石、５４・・・バイアス電源、５５・・・直流電源（静電チャック用）、５６・・・電源（ヒータ用）、５７・・・蛍光ファイバ温度計、５８・・・制御装置、５９Ａ，５９Ｂ・・・配管、５９Ｃ・・・バイパス配管、６０・・・熱媒体供給装置、７１・・・チャンバー、７５・・・誘導結合コイル、７７，８２・・・ＲＦ電源、８０・・・上部対向電極、８２・・・ＲＦ電源、８４・・・チャンバー、８５・・・チャンバー側壁、１００・・・シリコン半導体基板

【図１】

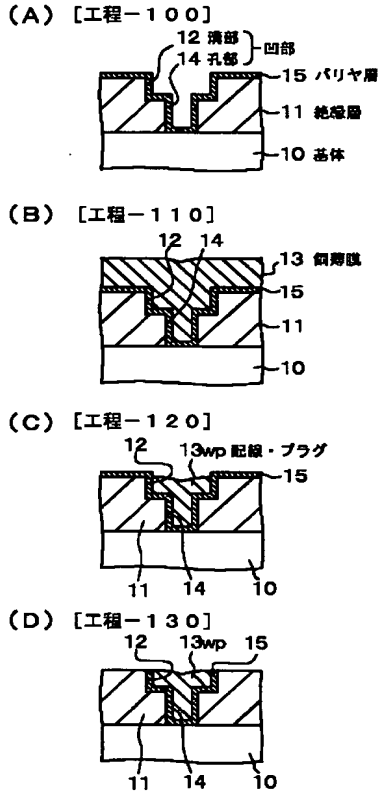


【図１】

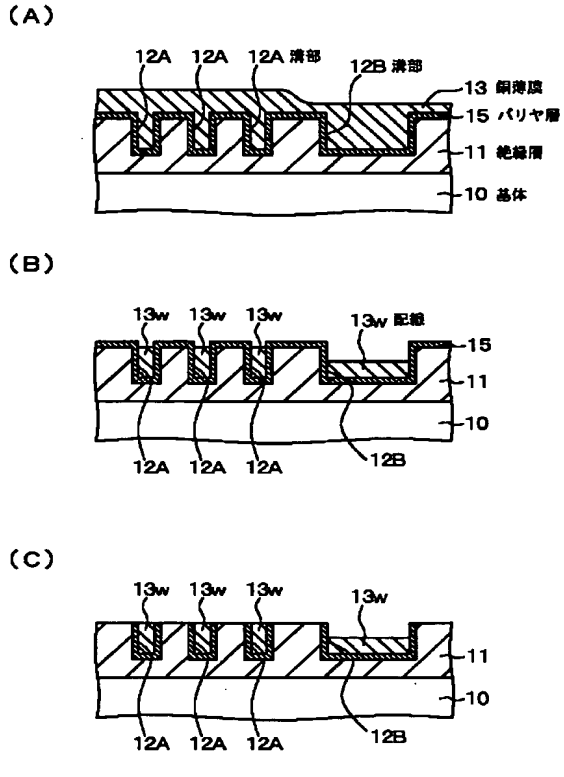
【図２】

【図３】

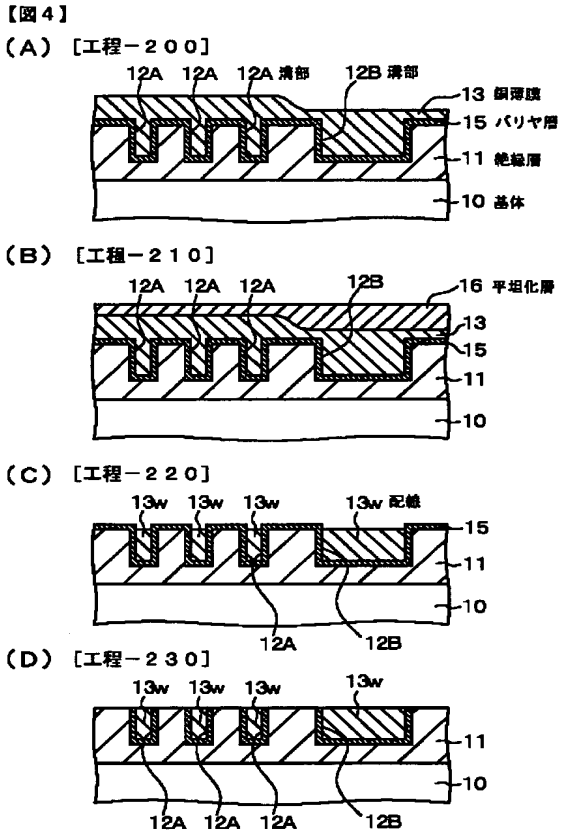
【図２】



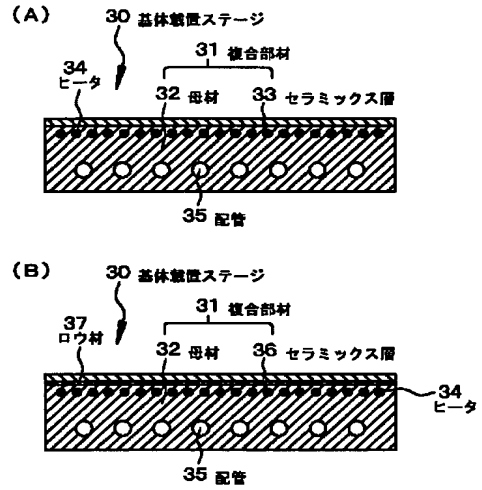
【図３】



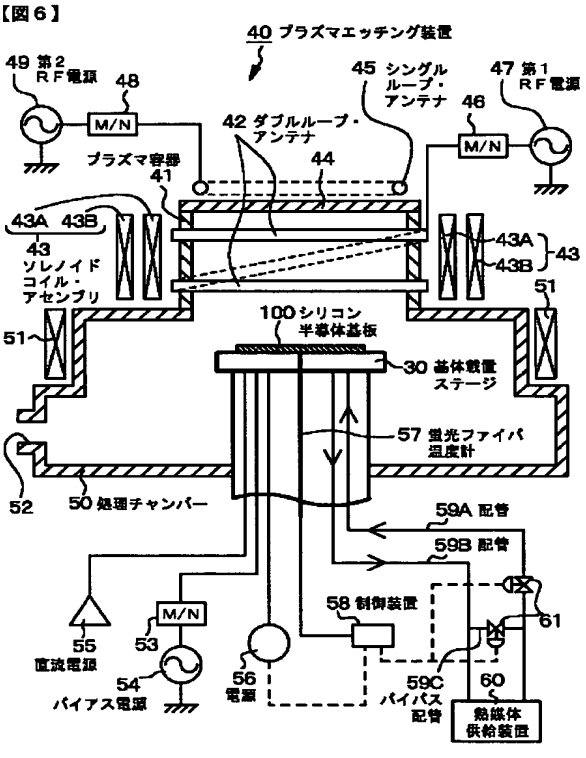
【図４】


【図４】
（Ａ）［工程－２００］
12A 12A 12A 境部 12B 溝部
13 銅薄膜
15 バリヤ層
11 絶縁層
10 基体
（Ｂ）［工程－２１０］
12A 12A 12A 12B
16 平坦化層
13
15
11
10
（Ｃ）［工程－２２０］
13w 13w 13w 13w 配線
15
11
10
12A
12B
（Ｄ）［工程－２３０］
13w 13w 13w 13w
11
10
12A 12A 12A
12B

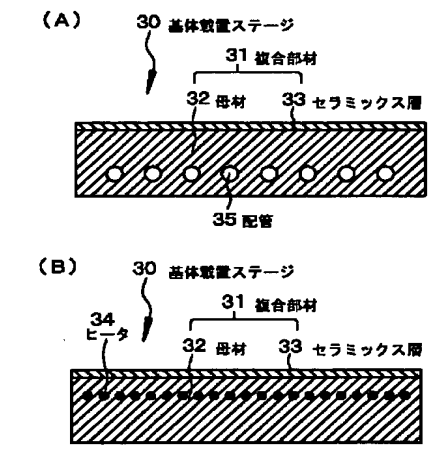
【図５】


【図５】
（Ａ）
30 基体載置ステージ
31 複合部材
34 ヒータ
32 母材
33 セラミックス層
35 配管
（Ｂ）
30 基体載置ステージ
31 複合部材
37 ロウ材
32 母材
36 セラミックス層
34 ヒータ
35 配管

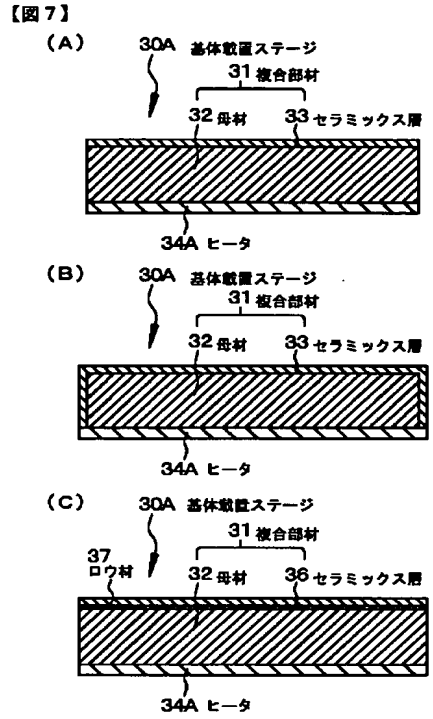
【図６】


【図６】
40 プラズマエッチング装置
49 第2 RF電源
48
M/N
プラズマ容器
41
42 ダブルループ・アンテナ
45 シングルループ・アンテナ
47 第1 RF電源
46
M/N
44
43A 43B
43
ソレノイドコイル・アセンブリ
51
100 シリコン半導体基板
30 基体載置ステージ
57 蛍光ファイバ温度計
52
50 処理チャンバー
59A 配管
59B 配管
58 制御装置
61
55 直流電源
M/N
53
54 バイアス電源
56 電源
59C バイパス配管
60
熱媒体供給装置

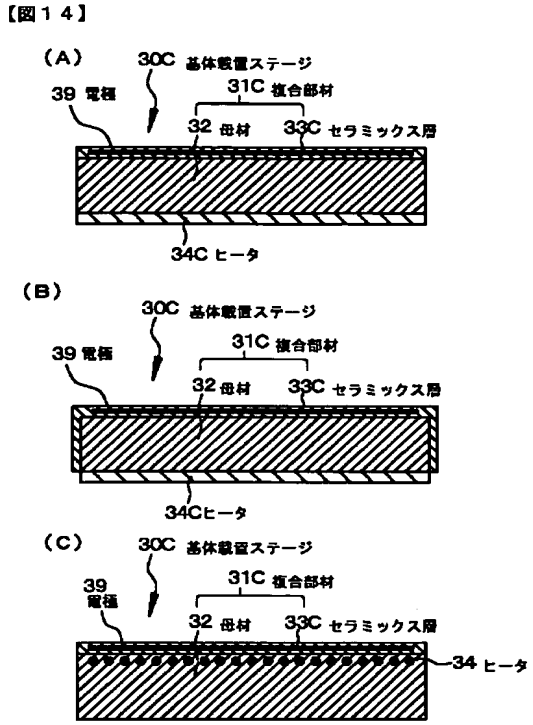
【図１０】


【図１０】
（Ａ）
30 基体載置ステージ
31 複合部材
32 母材
33 セラミックス層
35 配管
（Ｂ）
30 基体載置ステージ
34 ヒータ
31 複合部材
32 母材
33 セラミックス層

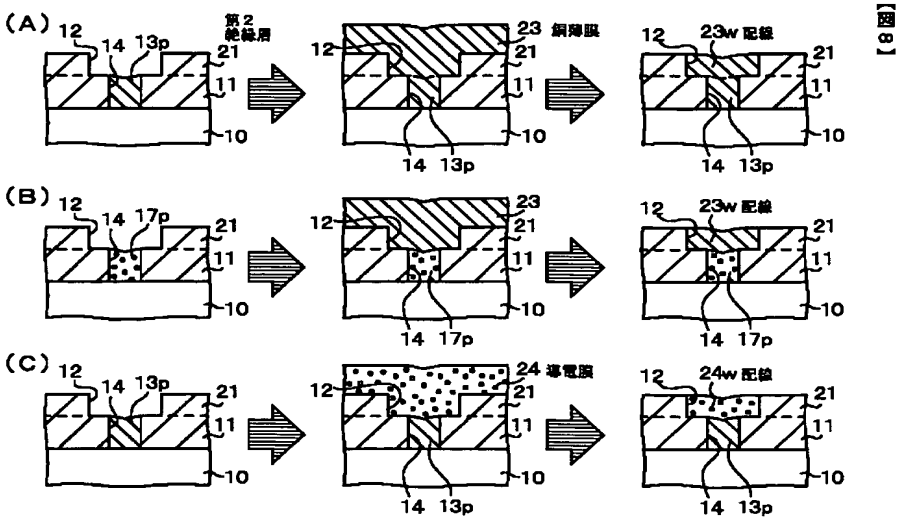
【図７】


【図7】
(A)
30A 基体載置ステージ
31 複合部材
32 母材
33 セラミックス層
34A ヒータ
(B)
30A 基体載置ステージ
31 複合部材
32 母材
33 セラミックス層
34A ヒータ
(C)
30A 基体載置ステージ
31 複合部材
37 ロウ材
32 母材
36 セラミックス層
34A ヒータ

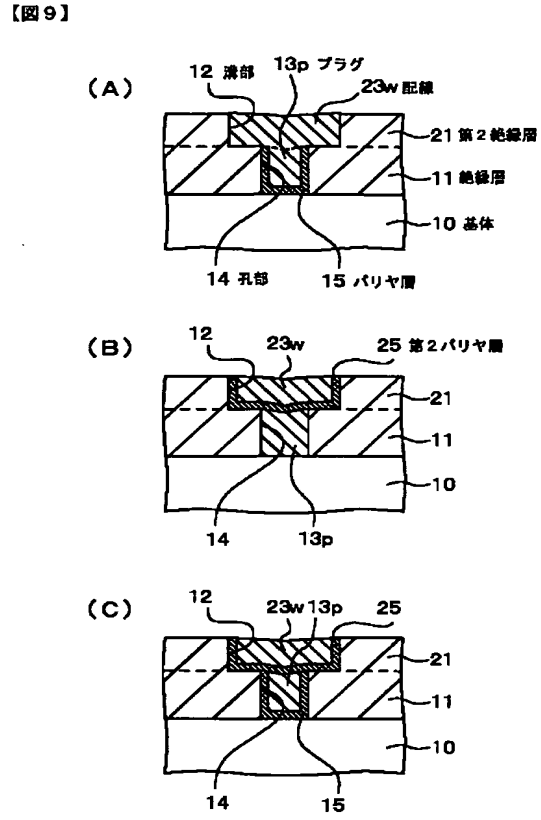
【図１４】


【図14】
(A)
30C 基体載置ステージ
39 電極
31C 複合部材
32 母材
33C セラミックス層
34C ヒータ
(B)
30C 基体載置ステージ
39 電極
31C 複合部材
32 母材
33C セラミックス層
34Cヒータ
(C)
30C 基体載置ステージ
39 電極
31C 複合部材
32 母材
33C セラミックス層
34 ヒータ

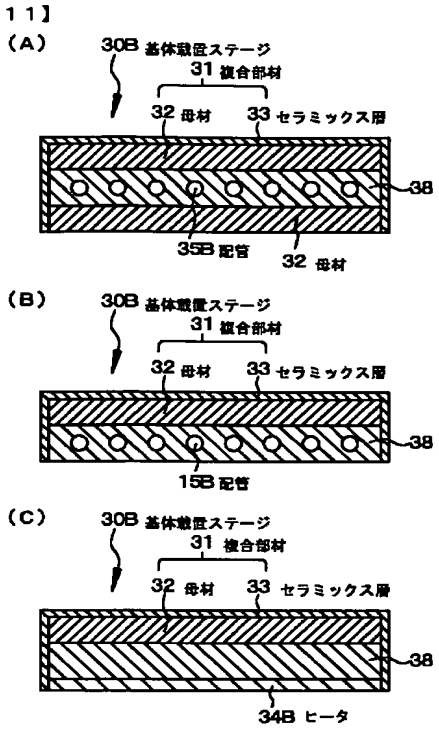
【図８】


【図8】
(A)
12
14
13p
第2絶縁層
21
11
10
23 銅薄膜
23w 配線
(B)
17p
(C)
24 導電膜
24w 配線

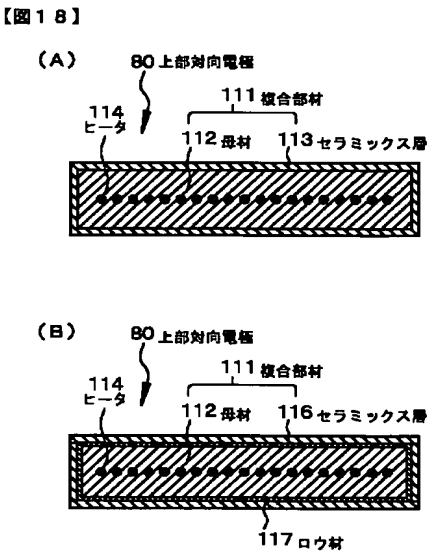
【図９】



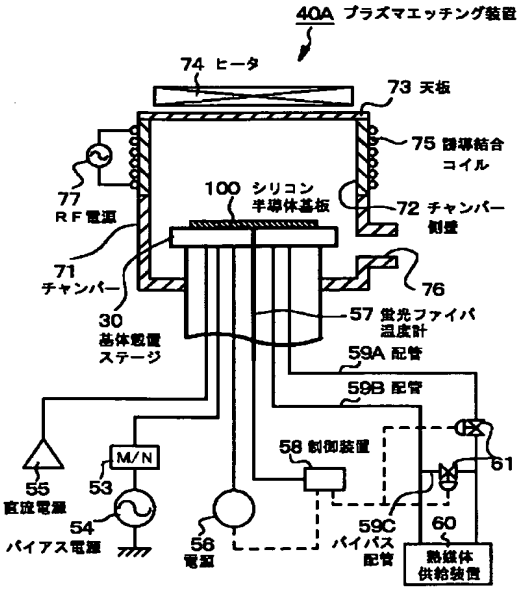
【図１１】



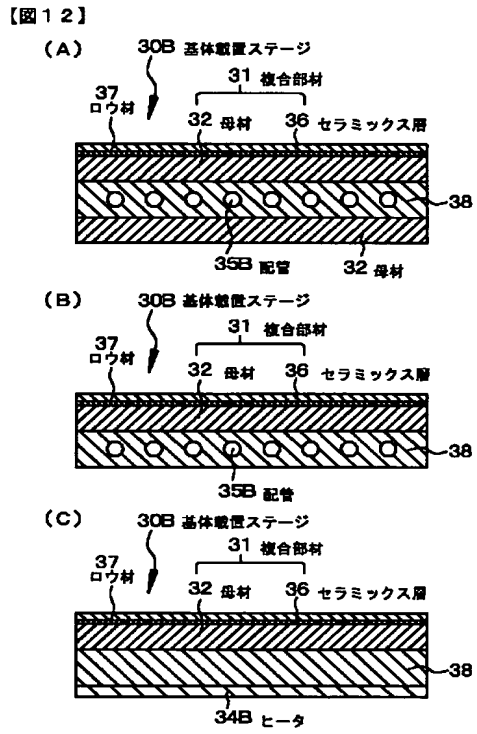
【図１８】



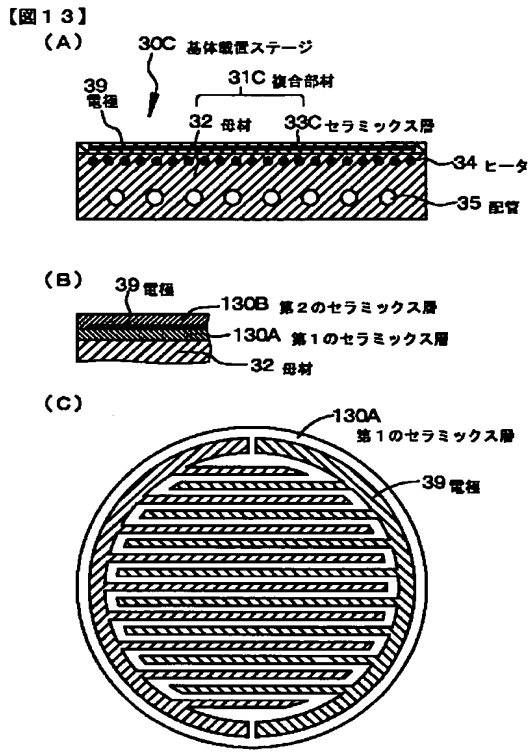
【図１６】



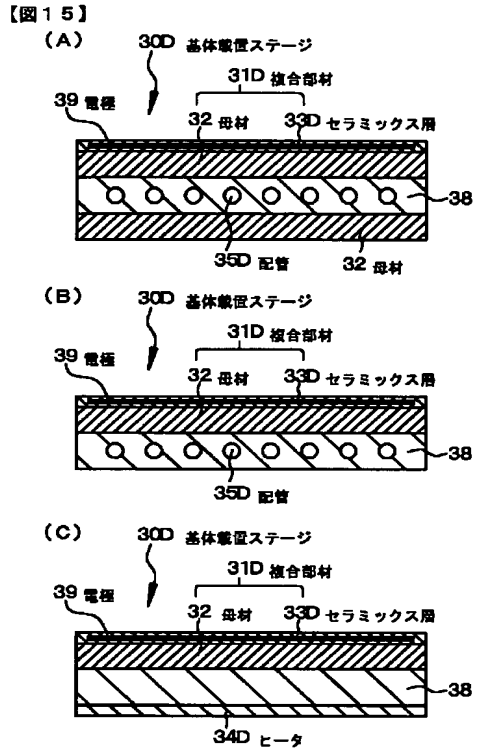
【図１２】


【図１２】
(A)
30B 基体載置ステージ
31 複合部材
37 ロウ材
32 母材
36 セラミックス層
38
35B 配管
32 母材
(B)
30B 基体載置ステージ
31 複合部材
37 ロウ材
32 母材
36 セラミックス層
38
35B 配管
(C)
30B 基体載置ステージ
31 複合部材
37 ロウ材
32 母材
36 セラミックス層
38
34B ヒータ

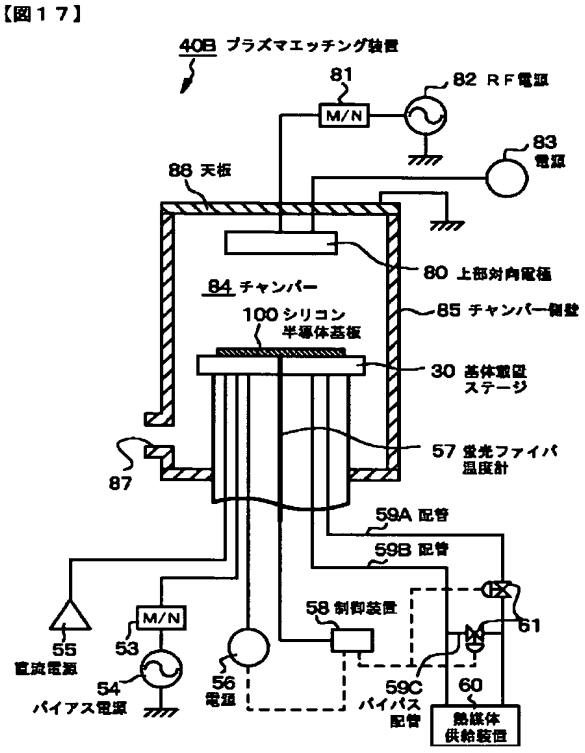
【図１３】


【図１３】
(A)
30C 基体載置ステージ
39 電極
31C 複合部材
32 母材
33C セラミックス層
34 ヒータ
35 配管
(B)
39 電極
130B 第２のセラミックス層
130A 第１のセラミックス層
32 母材
(C)
130A
第１のセラミックス層
39 電極

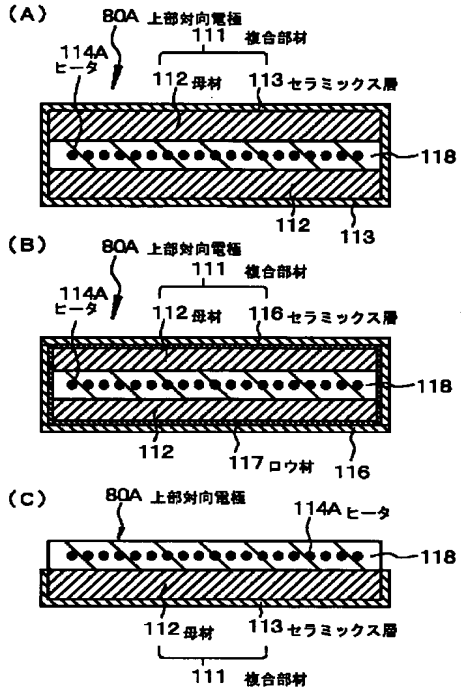
【図１５】


【図１５】
(A)
30D 基体載置ステージ
31D 複合部材
39 電極
32 母材
33D セラミックス層
38
35D 配管
32 母材
(B)
30D 基体載置ステージ
31D 複合部材
39 電極
32 母材
33D セラミックス層
38
35D 配管
(C)
30D 基体載置ステージ
31D 複合部材
39 電極
32 母材
33D セラミックス層
38
34D ヒータ

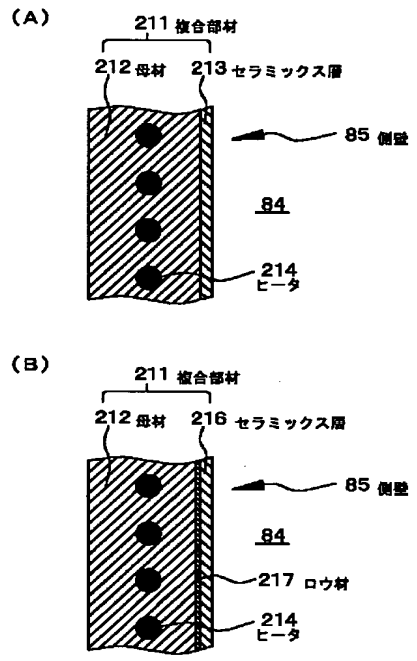
【図１７】


【図１７】
40B プラズマエッチング装置
81
82 RF電源
M/N
83
電源
86 天板
80 上部対向電極
84 チャンバー
85 チャンバー側壁
100 シリコン
半導体基板
30 基体載置
ステージ
57 蛍光ファイバ
温度計
87
59A 配管
59B 配管
58 制御装置
61
M/N
55
直流電源
53
54
バイアス電源
56
電源
59C
バイパス
配管
60
熱媒体
供給装置

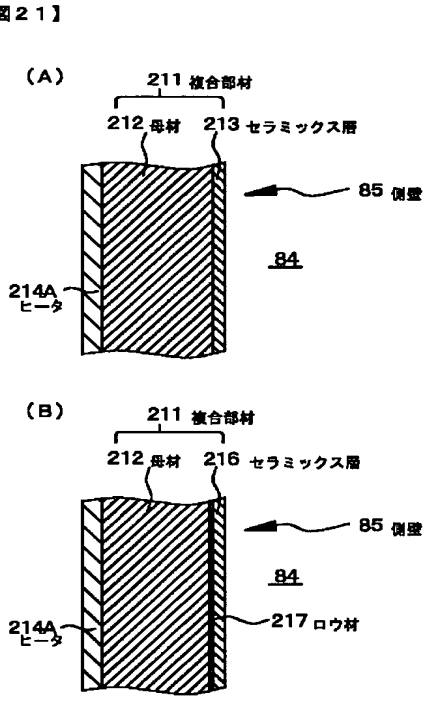
【図１９】


【図１９】
(A)
80A 上部対向電極
111 複合部材
114A ヒータ
112 母材
113 セラミックス層
118
112
113
(B)
80A 上部対向電極
111 複合部材
114A ヒータ
112 母材
116 セラミックス層
118
112
117 ロウ材
116
(C)
80A 上部対向電極
114A ヒータ
118
112 母材
113 セラミックス層
111 複合部材

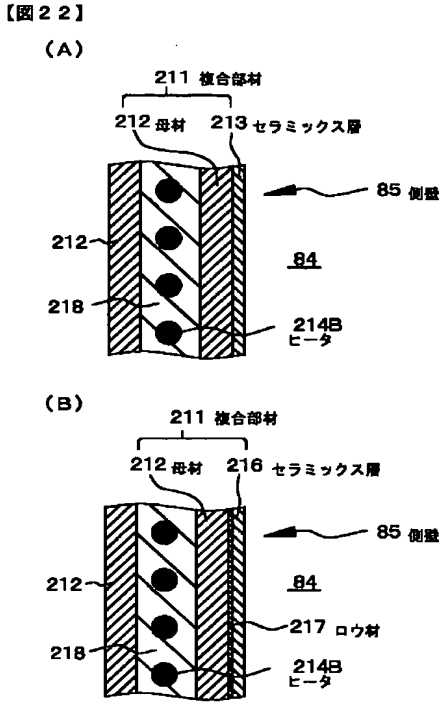
【図２０】


【図２０】
(A)
211 複合部材
212 母材
213 セラミックス層
85 側壁
84
214 ヒータ
(B)
211 複合部材
212 母材
216 セラミックス層
85 側壁
84
217 ロウ材
214 ヒータ

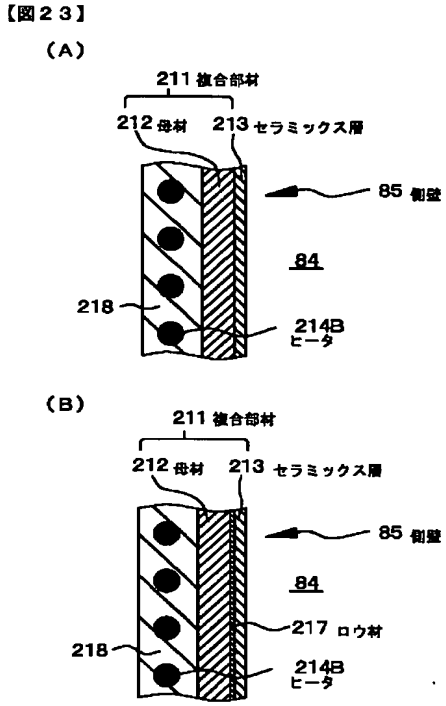
【図２１】


【図２１】
(A)
211 複合部材
212 母材
213 セラミックス層
85 側壁
84
214A ヒータ
(B)
211 複合部材
212 母材
216 セラミックス層
85 側壁
84
214A ヒータ
217 ロウ材

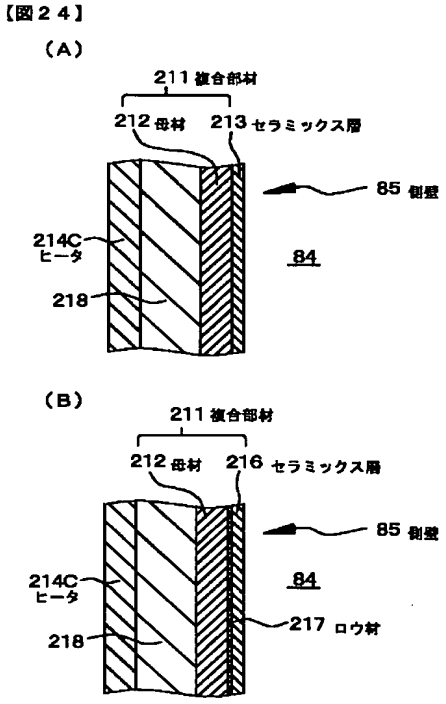
【図２２】


【図２２】
(A)
211 複合部材
212 母材
213 セラミックス層
85 側壁
212
84
218
214B ヒータ
(B)
211 複合部材
212 母材
216 セラミックス層
85 側壁
212
84
217 ロウ材
218
214B ヒータ

【図２３】


【図２３】
(A)
211 複合部材
212 母材
213 セラミックス層
85 側壁
84
218
214B ヒータ
(B)
211 複合部材
212 母材
213 セラミックス層
85 側壁
84
217 ロウ材
218
214B ヒータ

【図２４】


【図２４】
(A)
211 複合部材
212 母材
213 セラミックス層
85 側壁
214C ヒータ
84
218
(B)
211 複合部材
212 母材
216 セラミックス層
85 側壁
214C ヒータ
84
217 ロウ材
218

フロントページの続き

(72)発明者　高津　恵
東京都品川区北品川６丁目７番35号　ソニー株式会社内

Ｆターム(参考)
4M104 BB06 BB14 BB17 BB18 BB30 BB32 BB33 CC01 DD16 DD19 DD20 DD42 DD52 DD53 DD77 FF18 FF22
5F004 AA00 BA04 BA13 BA14 BA20 BB11 BB12 BB18 BB22 BB25 BB26 BB29 BB30 BC08 BD05 DA00 DA04 DA11 DA17 DA18 DA20 DA23 DA25 DB00 DB03 DB07 DB08 DB23 DB24 DB25 EB02 EB03 FA01
5F033 HH03 HH07 HH12 HH13 HH14 HH15 HH17 HH18 HH19 HH20 HH21 HH23 HH32 HH33 HH34 JJ03 JJ07 JJ12 JJ13 JJ14 JJ15 JJ17 JJ18 JJ19 JJ20 JJ21 JJ23 JJ32 JJ33 JJ34 MM01 MM02 MM12 MM13 NN06 NN07 PP15 PP16 PP27 PP28 PP33 QQ08 QQ09 QQ12 QQ13 QQ31 QQ37 RR09 RR23 RR24 SS22 WW00 XX00

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-299437
(43)Date of publication of application : 11.10.2002

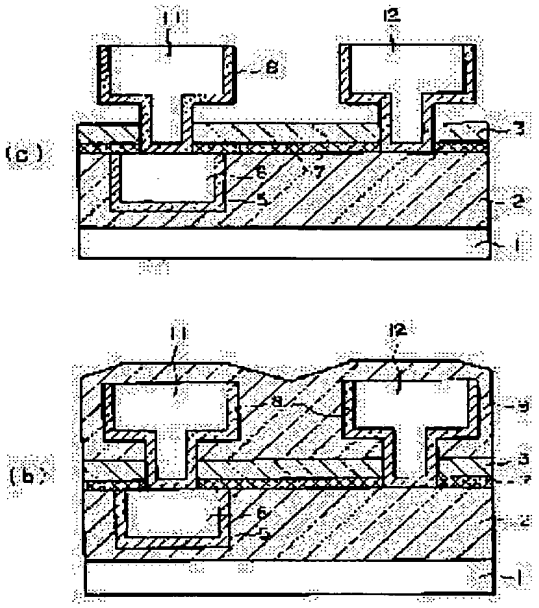
(51)Int.Cl. H01L 21/768
H01L 21/312
H01L 21/314

(21)Application number : 2001-096641
(22)Date of filing : 29.03.2001

(71)Applicant : TOSHIBA CORP
(72)Inventor : FUKAZAWA YUJI

(54) METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:
PROBLEM TO BE SOLVED: To provide a method of manufacturing semiconductor device by which the influence of damages given to a low-k film by a dry etching plasma used for forming via holes or wiring grooves or ashing performed for peeling a photoresist can be eliminated at the time of forming metallic wiring of Cu, etc., by burying the wiring in the low-k film.
SOLUTION: After an insulating film 3 is formed on a semiconductor substrate 1, Cu wiring 11 and 12 having contacts 13 and dummy contacts 14 are formed on the insulating film 3. Then the insulating film 3 is removed and the low-k film 9 is formed. Since the insulating film 3 is finally removed, the influence of damages given to the low-k film 9 by the plasma or ashing can be eliminated. In addition, the dummy contacts 14 are formed to support the wiring 11 and 12 so as to prevent the tilting or peeling of the wiring 11 and 12 until the low-k film 9 is formed when the insulating film 3 is removed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁（ＪＰ）　(12)**公開特許公報（Ａ）**　(11)特許出願公開番号
特開2002－299437
（P2002－299437A）
(43)公開日　平成14年10月11日(2002.10.11)

(51)Int.Cl.'	識別記号	ＦＩ		テーマコード'（参考）
Ｈ０１Ｌ　21/768		Ｈ０１Ｌ　21/312	Ｚ	５Ｆ０３３
21/312		21/314	Ｍ	５Ｆ０５８
21/314		21/90	Ｊ	

審査請求　未請求　請求項の数５　ＯＬ　（全８頁）

(21)出願番号　特願2001－96641(P2001－96641)

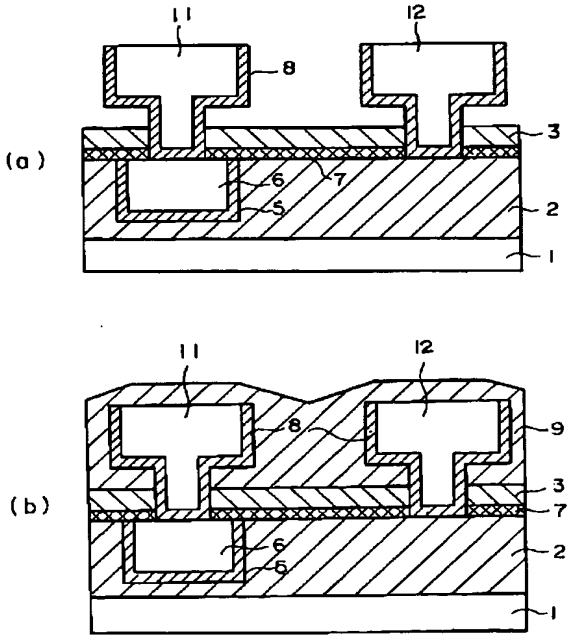
(22)出願日　平成13年３月29日(2001.3.29)

(71)出願人　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(72)発明者　深澤　雄二
神奈川県横浜市磯子区新杉田町８番地　株式会社東芝横浜事業所内
(74)代理人　100097629
弁理士　竹村　壽

最終頁に続く

(54)【発明の名称】　半導体装置の製造方法

(57)【要約】
【課題】　Ｌｏｗ－ｋ膜にＣｕなどの金属配線を埋め込み形成する際に、ビアホールや配線溝を形成するためのドライエッチング用プラズマあるいはフォトレジストを剥離するためのアッシングによって受けるＬｏｗ－ｋ膜に対するダメージの影響をなくした半導体装置の製造方法を提供する。
【解決手段】　半導体基板１上に絶縁膜３を形成し、この絶縁膜３にコンタクト１３及びダミーコンタクト１４を有するＣｕ配線１１、１２を形成する。その後絶縁膜３を除去し、その後にＬｏｗ－ｋ膜９を形成する。絶縁膜３は最終的に除去されてしまうので、プラズマあるいはアッシングによって受けるＬｏｗ－ｋ膜に対するダメージの影響をなくせる。また、ダミーコンタクトは、絶縁膜を除去した時にＬｏｗ－ｋ膜が形成されるまで配線が倒れたり剥離しないように支持するものである。



1

【特許請求の範囲】

【請求項１】　半導体素子が形成された半導体基板上に下層の第１の配線が埋め込み形成された第１の絶縁膜を形成する工程と、

前記第１の絶縁膜上に第２の絶縁膜を形成する工程と、

前記第２の絶縁膜をパターニングされたフォトレジストをマスクにしエッチングして配線溝及びこの配線溝にビアホールを形成してこのビアホール内に前記下層配線を露出させ、同時にダミービアホールを形成してこのダミービアホール内に前記第１の絶縁膜を露出させる工程と、

前記配線溝内部、前記ダミービアホール内部及び前記ビアホール内部を含む第２の絶縁膜上に配線材料を堆積させる工程と、

前記堆積された配線材料の表面を研磨して前記配線溝に第２の配線を形成し、前記ダミービアホールにダミーコンタクトを形成し、前記ビアホールに前記第１の配線と前記第２の配線とを接続するコンタクトを形成する工程と、

前記第２の絶縁膜一部もしくは全部を除去して少なくとも前記ダミーコンタクトの一部もしくは前記コンタクトの一部を露出させる工程と、

前記第２の配線、前記ダミーコンタクト及び前記コンタクトを被覆するように低誘電率絶縁膜からなる第３の絶縁膜を形成する工程と、

前記第３の絶縁膜表面を平坦化して第２の配線の表面を露出させる工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項２】　前記ダミーコンタクトは、前記下層にある第１の配線の直上には形成しないことを特徴とする請求項１に記載の半導体装置の製造方法。

【請求項３】　不純物拡散領域を有する半導体素子が形成された半導体基板上に第１の絶縁膜を形成する工程と、

前記第１の絶縁膜上に第２の絶縁膜を形成する工程と、

前記第１の絶縁膜及び前記第２の絶縁膜をパターニングされたフォトレジストをマスクにしエッチングして配線溝及びこの配線溝内にビアホールを形成してこのビアホール内に前記前記不純物拡散領域を露出させ、同時に前記第２の絶縁膜を前記フォトレジストをマスクにしエッチングして前記配線溝内にダミービアホールを形成し、その後このダミービアホール内に前記第１の絶縁膜を露出させる工程と、

前記配線溝内部、前記ダミービアホール内部及び前記ビアホール内部を含む第２の絶縁膜上に配線材料を堆積させる工程と、

前記堆積された配線材料の表面を平坦化して前記配線溝に配線を形成し、前記ダミービアホールにダミーコンタクトを形成し、前記ビアホールに前記配線と前記不純物拡散領域とを接続するコンタクトを形成する工程と、

2

前記第２の絶縁膜一部もしくは全部を除去して少なくとも前記ダミーコンタクトの一部もしくは前記コンタクトの一部を露出させる工程と、

前記配線、前記ダミーコンタクト及び前記コンタクトを被覆するように低誘電率絶縁膜からなる第３の絶縁膜を形成する工程と、

前記第３の絶縁膜表面を平坦化して前記配線の表面を露出させる工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項４】　前記低誘電率絶縁膜は、シリコン酸化膜より、比誘電率が小さいことを特徴とする請求項１乃至請求項３のいずれかに記載の半導体装置の製造方法。

【請求項５】　前記低誘電率絶縁膜は、有機絶縁膜、シラン系絶縁膜、フッ素化カーボン系絶縁膜から選択された１つであることを特徴とする請求項１乃至請求項４のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】半導体装置の製造方法に係り、とくに低誘電率絶縁膜（以下、Ｌｏｗ－ｋ膜という）に埋め込まれるＣｕ配線の形成方法に関するものである。

【０００２】

【従来の技術】従来のＬｏｗ－ｋ膜材料を用いたＣｕ配線の形成方法としては、図８及び図９に示す方法がある。まず、シリコンなどの半導体基板１０上にシリコン酸化膜などの下地絶縁膜１００を形成する。下地絶縁膜１００の表面は、平坦化され、Ｃｕシングルダマシン法により下層配線が形成されている。下層配線は、下層Ｃｕ配線１０２とこの下層Ｃｕ配線を包み込むＴａやＴａＮなどのバリアメタル層１０１から構成されている。次に、下層配線を被覆するように下地絶縁膜１００上にビアホールを形成するためのＲＩＥ(Reactive Ion Etching)などの異方性エッチングのオーバーエッチングを阻止するシリコン窒化膜（ＳｉＮ）ストッパー１０３を形成する。そして、さらに、その上にＬｏｗ－ｋ膜材料を塗布してＬｏｗ－ｋ膜１０７を形成する（図８（ａ））。その後、所定のパターンが形成されたフォトレジスト１０９をＬｏｗ－ｋ膜１０７上に形成し、リソグラフィによって下層Ｃｕ配線１０２とコンタクトをとるためのビアホール１１０のパターンを形成する（図８（ｂ））。

【０００３】さらに、リソグラフィによってこのビアホール１１０に接続する上部配線パターン用の配線溝１１１を形成する（図９（ａ））。この後ＴａあるいはＴａＮなどのバリアメタル層１１２を形成し、その上にＣｕをプラズマ法などによって堆積させた後にメッキ法によってビアホール及び配線溝を含んだＬｏｗ－ｋ膜１０７の全面にＣｕを成膜する。その後、化学的機械的研磨（ＣＭＰ(Chemical Mechanical Polishing)）法によって配線溝及びビアホールを含んだ配線溝部にのみＣｕを

残す方法、いわゆるＣｕデュアルダマシン法により、ビアホールが形成された配線溝には下層Ｃｕ配線と接続されたコンタクトを有する上層配線１０４が形成され、ビアホールが形成されていない配線溝には上層配線１０５が形成される（図９（ｂ））。

【０００４】

【発明が解決しようとする課題】Ｌｏｗ－ｋ膜材料としてはフッ素化カーボン系、シラン系や有機系など様々な種類が提案されているが、いずれの材料も従来の絶縁膜である酸化膜に比較すると機械的強度や対プラズマ耐性が弱いことが特徴である。このようなＬｏｗ－ｋ膜を用いて前述のようにフォトレジストをマスクにビアホールや配線溝を加工するプラズマを用いたドライエッチングやこの後のレジスト剥離のアッシングを行うと、Ｌｏｗ－ｋ膜そのものがプラズマダメージを受け、膜自身が変質を起こしたりする。つまり、プラズマやアッシングなどに曝らされた配線溝やビアホールなどの表面にはＬｏｗ－ｋ膜のダメージ層１０８が形成される。その結果、配線のはがれの原因になったり、実質の絶縁容量が増加してしまうなどの問題があった。これらプラズマによって受けるダメージ層は、ＨＦ液などによって除去できるが、この場合は加工寸法が変化してしまい結果として配線間ショートなどの問題を引き起こすことになる。本発明は、このような事情によりなされたものであり、Ｌｏｗ－ｋ膜にＣｕなどの金属配線を埋め込み形成する際に、ビアホールや配線溝を形成するためのドライエッチング用プラズマあるいはフォトレジストを剥離するためのアッシングによって受けるＬｏｗ－ｋ膜に対するダメージの影響をなくした半導体装置の製造方法を提供する。

【０００５】

【課題を解決するための手段】本発明は、半導体基板上に絶縁膜を形成し、この絶縁膜にコンタクト及びダミーコンタクトを有するＣｕなどの金属配線を形成してからこの絶縁膜を除去し、この絶縁膜を除去した後にＬｏｗ－ｋ膜を形成して、この金属配線、コンタクト及びダミーコンタクトをＬｏｗ－ｋ膜に埋め込むことを特徴としている。Ｌｏｗ－ｋ膜にＣｕなどの金属配線を埋め込み形成する絶縁膜は最終的に除去されてしまうので、ビアホールや配線溝を形成するためのドライエッチング用プラズマあるいはフォトレジストを剥離するためのアッシングによって受けるＬｏｗ－ｋ膜に対するダメージの影響をなくすことができる。また、ダミーコンタクトは、絶縁膜を除去した時にＬｏｗ－ｋ膜が形成されるまで配線が倒れたり剥離しないように支持するものであり、配線を支持するコンタクトがないか、あっても十分配線を支持することができない数しかない場合に付設される。つまり、コンタクト及びダミーコンタクトは、その１本が支持できる所定長さの単位配線長を有している。したがって、コンタクト及びダミーコンタクトは、前記所定長さの単位配線長ごとに設ける必要がある。

【０００６】本発明の半導体装置の製造方法は、半導体素子が形成された半導体基板上に下層の第１の配線が埋め込み形成された第１の絶縁膜を形成する工程と、前記第１の絶縁膜上に第２の絶縁膜を形成する工程と、前記第２の絶縁膜をパターニングされたフォトレジストをマスクにしてエッチングして配線溝及びこの配線溝にビアホールを形成してこのビアホール内に前記下層配線を露出させ、同時にダミービアホールを形成してこのダミービアホール内に前記第１の絶縁膜を露出させる工程と、前記配線溝内部、前記ダミービアホール内部及び前記ビアホール内部を含む第２の絶縁膜上に配線材料を堆積させる工程と、前記堆積された配線材料の表面を研磨して前記配線溝に第２の配線を形成し、前記ダミービアホールにダミーコンタクトを形成し、前記ビアホールに前記第１の配線と前記第２の配線とを接続するコンタクトを形成する工程と、前記第２の絶縁膜一部もしくは全部を除去して少なくとも前記ダミーコンタクトの一部もしくは前記コンタクトの一部を露出させる工程と、前記第２の配線、前記ダミーコンタクト及び前記コンタクトを被覆するように低誘電率絶縁膜からなる第３の絶縁膜を形成する工程と、前記第３の絶縁膜表面を平坦化して第２の配線の表面を露出させる工程とを備えたことを特徴としている。前記ダミーコンタクトは、前記下層にある第１の配線の直上には形成しないようにしても良い。

【０００７】本発明の半導体装置の製造方法は、不純物拡散領域を有する半導体素子が形成された半導体基板上に第１の絶縁膜を形成する工程と、前記第１の絶縁膜上に第２の絶縁膜を形成する工程と、前記第１の絶縁膜及び前記第２の絶縁膜をパターニングされたフォトレジストをマスクにしてエッチングして配線溝及びこの配線溝内にビアホールを形成してこのビアホール内に前記前記不純物拡散領域を露出させ、同時に前記第２の絶縁膜を前記フォトレジストをマスクにしてエッチングして前記配線溝内にダミービアホールを形成しこのダミービアホール内に前記第１の絶縁膜を露出させる工程と、前記配線溝内部、前記ダミービアホール内部及び前記ビアホール内部を含む第２の絶縁膜上に配線材料を堆積させる工程と、前記堆積された配線材料の表面を平坦化して前記配線溝に配線を形成し、前記ダミービアホールにダミーコンタクトを形成し、前記ビアホールに前記配線と前記不純物拡散領域とを接続するコンタクトを形成する工程と、前記第２の絶縁膜一部もしくは全部を除去して少なくとも前記ダミーコンタクトの一部もしくは前記コンタクトの一部を露出させる工程と、前記配線、前記ダミーコンタクト及び前記コンタクトを被覆するように低誘電率絶縁膜からなる第３の絶縁膜を形成する工程と、前記第３の絶縁膜表面を平坦化して前記配線の表面を露出させる工程とを備えたことを特徴としている。前記低誘電率絶縁膜は、シリコン酸化膜より、比誘電率が小さいよ

うにしても良い。前記低誘電率絶縁膜は、有機絶縁膜、シラン系絶縁膜、フッ素化カーボン系絶縁膜から選択された１つであるようにしても良い。

【０００８】

【発明の実施の形態】以下、図面を参照して発明の実施の形態を説明する。まず、図１乃至図４を参照して第１の実施例を説明する。図は、いずれも半導体装置の製造工程断面図である。半導体素子が形成されたシリコンなどの半導体基板１上に膜厚が約８００ｎｍであるシリコン酸化膜などの第１の絶縁膜２をＣＶＤ法などにより形成する。第１の絶縁膜２の表面は、平坦化され、深さ約４００ｎｍの配線溝が形成されている。そして、この配線溝にはＣｕシングルダマシン法などにより下層配線が埋め込まれている。下層配線は、下層Ｃｕ配線６とこの下層Ｃｕ配線を包み込むように形成されたＴａやＴａＮなどのバリアメタル層５から構成されている。次に、この下層配線を被覆するように第１の絶縁膜２上に第２の絶縁膜としてビアホールを形成するためのＲＩＥなどの異方性エッチングのオーバーエッチングを阻止する膜厚約５０ｎｍのシリコン窒化膜（ＳｉＮ）ストッパー７を形成する。そして、さらに、その上に膜厚が約８００ｎｍのシリコン酸化膜などからなる第３の絶縁膜３をＣＶＤ法などによりを形成する（図１（ａ））。

【０００９】その後、所定のパターンが形成されたフォトレジスト１５を第３の絶縁膜３上に形成し、リソグラフィによって下層Ｃｕ配線６とコンタクトをとるためのビアホール１６のパターン及び他の導電層とは電気的に接続しないダミービアホール１７のパターンを形成する（図１（ｂ））。さらにリソグラフィによってビアホール１６に接続する上層配線パターン用の配線溝１８を形成し、ダミービアホール１７に接続する上層配線パターン用の配線溝１９を形成する（図２（ａ））。その後配線溝１８、１９、ビアホール１６及びダミービアホール１７の内部を含む第３の絶縁膜３上にＴａあるいはＴａＮなどのバリアメタル層８を形成し、その上にＣｕをプラズマ法などによって形成した後にメッキ法によってダミービアホール１７、ビアホール１６及び配線溝１８、１９内部を含む第３の絶縁膜３の全面にＣｕを成膜する。その後、ＣＭＰ法によって配線溝１８、１９及びダミービアホール１７、ビアホール１６のみＣｕを残す方法、いわゆるＣｕデュアルダマシン法により、ビアホール１６を含んだ配線溝１８には、Ｃｕからなる上層Ｃｕ配線１１及び下層Ｃｕ配線６と接続されたコンタクト１３を形成し、ダミービアホール１７を含んだ配線溝１９には、上層Ｃｕ配線１２及びダミーコンタクト１４が形成される（図２（ｂ））。

【００１０】次に、第３の絶縁膜３の一部を、例えば、ＨＦを含むエッチング液によって除去し、コンタクト１３及びダミーコンタクト１４の側面の一部を露出させる（図３（ａ））。この時、シリコン酸化膜である第３の絶縁膜３のエッチング量のコントロールによって上層Ｃｕ配線の露出度が調整され、第３の絶縁膜３のエッチング量が上層Ｃｕ配線の深さより多くなると、上層Ｃｕ配線下の絶縁膜が除去されることによって上層Ｃｕ配線は、宙に浮いた状態になり、結果として配線不良を引き起こす。したがって、先に形成したダミーコンタクトはエッチングによる配線不良を防ぐ役目を果たす。次に、上層Ｃｕ配線１１、１２の一部をエッチングによって露出させた後に、メチルシロキサン系もしくはポリアリレン系などのＬｏｗ－ｋ膜である第４の絶縁膜９を塗布法によって上層Ｃｕ配線膜１１、１２が被覆されるように半導体基板１の全面に形成させる（図３（ｂ））。この後、第４の絶縁膜９であるＬｏｗ－ｋ膜の表面をＣＭＰ処理して平坦化する。この平坦化処理を行うことにより、配線溝上のＬｏｗ－ｋ膜は、除去されて上層Ｃｕ配線１１、１２が露出する（図４）。

【００１１】下層Ｃｕ配線６とバリアメタル層５から構成された下層配線は、更に下層の金属配線と接続されるか或いは、下層Ｃｕ配線６と接続されたタングステンなどのコンタクトを設け、このコンタクトにより半導体基板に形成されたＭＯＳトランジスタのソース／ドレイン領域の１つである不純物拡散領域と電気的に接続されるようにすることができる。この実施例のようにダミービアホール、ビアホールや配線溝を形成するためのドライエッチング用プラズマあるいはフォトレジストを剥離するためのアッシングによってダメージを受ける絶縁膜は剥離してしまうので、Ｌｏｗ－ｋ膜に対するダメージはなくなり、安定した配線構造が得られる。また、ダミーコンタクトは、絶縁膜を除去した時にＬｏｗ－ｋ膜が形成されるまで配線が倒れたり剥離しないように支持するものであり、機械的強度の高い配線が得られる。

【００１２】次に、図５及び図６を参照して第２の実施例を説明する。図５及び図６は、半導体装置の製造工程断面図である。半導体素子、例えば、ＭＯＳトランジスタが形成されたシリコンなどの半導体基板２１上にシリコン酸化膜などの第１の絶縁膜２３をＣＶＤ法などにより形成する。半導体基板２１の表面領域にはＭＯＳトランジスタのソース／ドレイン領域として用いられる不純物拡散領域２２が形成されている。そして、前記第１の絶縁膜２３の上に膜厚が約８００ｎｍのシリコン酸化膜などからなる第２の絶縁膜２９をＣＶＤ法などによりを形成する。その後、所定のパターンが形成されたフォトレジストを第２の絶縁膜２９上に形成し、リソグラフィによって不純物拡散領域２２とコンタクトをとるためのビアホールのパターン及び他の導電層とは電気的に接続しないダミービアホールのパターンを形成する。さらに、リソグラフィによってビアホールに接続する配線パターン用の配線溝を形成し、また、ダミービアホールに接続する配線パターン用の配線溝を形成する。

【００１３】その後、これら配線溝、ビアホール及びダ

ミービアホールの内部を含んで第２の絶縁膜２９上にＴａあるいはＴａＮなどのバリアメタル層２８を形成し、その上にＣｕをプラズマ法などによって形成した後にメッキ法によってダミービアホール、ビアホール及び配線溝内部を含む第２の絶縁膜２９の全面にＣｕを成膜する。その後、ＣＭＰ法によって配線溝及びダミービアホール、ビアホールのみＣｕを残す方法、いわゆるＣｕデュアルダマシン法により、ビアホールを含んだ配線溝にはＣｕからなる配線２４及び不純物拡散領域２２と接続されたコンタクト２６を形成し、ダミービアホールを含んだ配線溝にはＣｕ配線２５及び底面が第１の絶縁膜２３に接するダミーコンタクト２７が形成される（図５（ａ））。

【００１４】次に、第２の絶縁膜２９を、例えば、ＨＦを含んだエッチング液によって除去して、配線２４、２５、コンタクト２６及びダミーコンタクト２７を露出させる（図５（ｂ））。この時、シリコン酸化膜である第２の絶縁膜２９のエッチング量のコントロールによってＣｕ配線の露出度が調整され、第２の絶縁膜２９のエッチング量がＣｕ配線の深さより多くなると、Ｃｕ配線下の絶縁膜が除去されることによってＣｕ配線は、宙に浮いた状態になり、結果として配線不良を引き起こす。したがって、先に形成したダミーコンタクトは、エッチングによる配線不良を防ぐ役目を果たす。次に、Ｃｕ配線２４、２５をエッチングによって露出させた後に、Ｌｏｗ－ｋ膜である第３の絶縁膜２０を塗布法によってＣｕ配線膜２４、２５が被覆されるように半導体基板２１の全面に形成させる（図６（ａ））。この後、第３の絶縁膜２０であるＬｏｗ－ｋ膜の表面をＣＭＰ処理して平坦化する。この平坦化処理を行うことにより、配線溝上のＬｏｗ－ｋ膜は、除去されてＣｕ配線２４、２５が露出してこの半導体装置の配線構造が形成される（図６（ｂ））。

【００１５】この実施例のようにダミービアホール、ビアホールや配線溝を形成するためのドライエッチング用プラズマあるいはフォトレジストを剥離するためのアッシングによってダメージを受ける絶縁膜は剥離してしまうので、Ｌｏｗ－ｋ膜に対するダメージはなくなり、安定した配線構造が得られる。また、ダミーコンタクトは、絶縁膜を除去した時にＬｏｗ－ｋ膜が形成されるまで配線が倒れたり剥離しないように支持するものであり、機械的強度の高い配線が得られる。

【００１６】次に、図７を参照して第３の実施例を説明する。図７は、半導体装置の平面図及びこの平面図のＡ－Ａ′線に沿う部分の断面図である。半導体素子が形成されたシリコンなどの半導体基板３１上に膜厚が約８００ｎｍであるシリコン酸化膜などの第１の絶縁膜２２が形成されている。第１の絶縁膜２の表面は平坦化され、深さ約４００ｎｍの配線溝が形成されている。この配線溝には下層配線が埋め込まれている。下層配線は、下層Ｃｕ配線３６とこの下層Ｃｕ配線３６を包み込むように形成されたＴａやＴａＮなどのバリアメタル層３５から構成されている。この下層配線を被覆するように第１の絶縁膜３２上に第２の絶縁膜としてビアホールを形成するためのＲＩＥなどの異方性エッチングのオーバーエッチングを阻止する膜厚約５０ｎｍのシリコン窒化膜（ＳｉＮ）ストッパー３７が形成されている。さらに、その上にシリコン酸化膜などからなる第３の絶縁膜３３が形成されている。

【００１７】第３の絶縁膜３３の上にはＬｏｗ－ｋ膜である第４の絶縁膜３９が形成されている。そして、上層配線及びコンタクトなどは、第３及び第４の絶縁膜３３、３９に埋め込まれている。第３及び第４の絶縁膜３３、３９にはビアホールを有する配線溝及びダミービアホールを有する配線溝が形成されている。ビアホールを含んだ配線溝には、上層Ｃｕ配線４０及び下層Ｃｕ配線３６と接続されたコンタクト４２を形成し、ダミービアホールを含んだ配線溝には、上層Ｃｕ配線４１及び底面が第１の絶縁膜３２に接するダミーコンタクト４３が形成されている。前述した実施例ではダミーコンタクトは、コンタクトと同様に柱状であったが、ダミーコンタクトは、下層の配線や半導体基板に接続されるものではなく、したがって、配線間あるいは配線－不純物拡散領域間を接続するために存在するコンタクトが形状的にも制限が加えられるのとは異なり、下に配線や不純物拡散領域がない限り自由な形状が許される。

【００１８】この実施例では、コンタクトが柱状であるのに対して、柱状体が連続的につながった状態の板状体である。このような構造であるので、絶縁膜を剥離するときでも機械的強度が十分確保されるので配線構造の強度が向上する。また、ダミーコンタクトは、下層の配線と接続する分けではないので、必ずしも、コンタクトと同じ柱状体などのような形状に一致させる必要はない。例えば、この実施例に示されているように、複数のダミーコンタクトを連続させて連続体とすることが可能である。これは下地の絶縁膜の状態に依存する。

【００１９】

【発明の効果】Ｌｏｗ－ｋ膜を層間絶縁膜を用いた場合に、従来のＣｕ配線においては、Ｌｏｗ－ｋ膜にビアホールパターンや配線パターンを形成する際にプラズマダメージを与えやすく、結果として配線剥がれや実質の絶縁容量の増加を招いていた。このダメージ層を除去する工程の追加も可能であるが、この場合はビア径や配線寸法の増加を招いていた。これに対して本発明ではＬｏｗ－ｋ膜は、プラズマにさらされることがないので、このような問題は回避される。また、ダミーコンタクトは、絶縁膜を除去した時にＬｏｗ－ｋ膜が形成されるまで配線が倒れたり剥離しないように支持するものであり、本発明の絶縁膜を除去する方法を十分支持することができる。

9

【図面の簡単な説明】

【図１】本発明の第１の実施例の半導体装置の製造工程断面図。

【図２】本発明の第１の実施例の半導体装置の製造工程断面図。

【図３】本発明の第１の実施例の半導体装置の製造工程断面図。

【図４】本発明の第１の実施例の半導体装置の製造工程断面図。

【図５】本発明の第２の実施例の半導体装置の製造工程断面図。

【図６】本発明の第２の実施例の半導体装置の製造工程断面図。

【図７】本発明の第３の実施例の半導体装置の製造工程断面図。

【図８】従来の半導体装置の製造工程断面図。

＊

10

＊【図９】従来の半導体装置の製造工程断面図。

【符号の説明】

１、１０、２１、３１・・・半導体基板、

２、３、２１、２３、２９、１０７・・・絶縁膜、

５、８、２８、３５、３８、１０１、１１２・・・バリアメタル層、

６、１１、１２、２４、２５、３６、４０、４１、１０２、１０４、１０５・・・Ｃｕ配線、

７、３７、１０３・・・窒化シリコンストッパー、

９、２０、３９、１０７・・・絶縁膜（Ｌｏｗ－ｋ膜）、

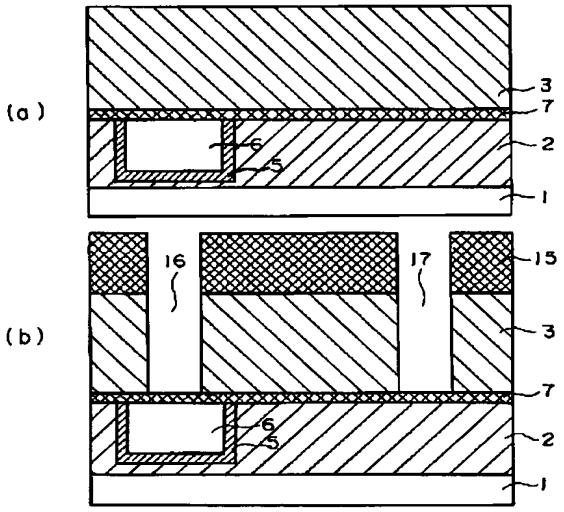
１３、２６、４２、１１３・・・コンタクト、

１４、２７、４３・・・ダミーコンタクト、

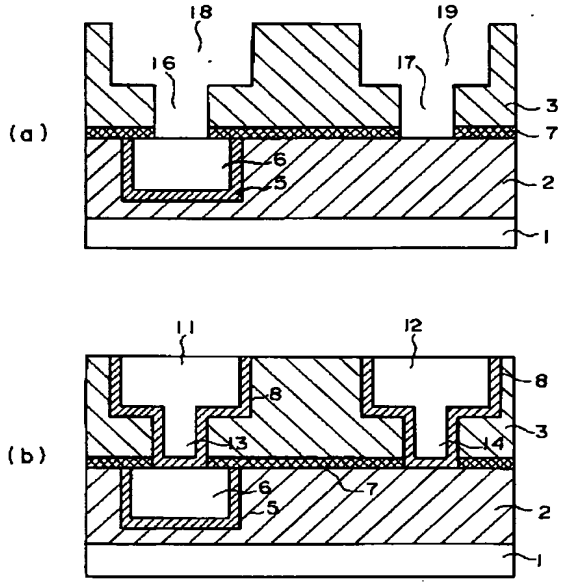
１６、１１０・・・ビアホール、　１７・・ダミービアホール、

１８、１９、１１１・・・配線溝。

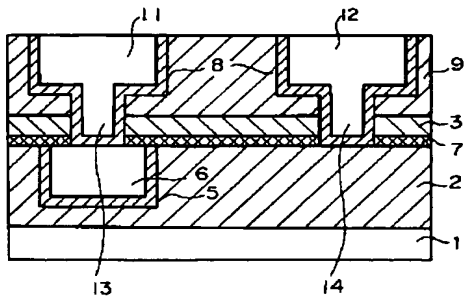
【図１】



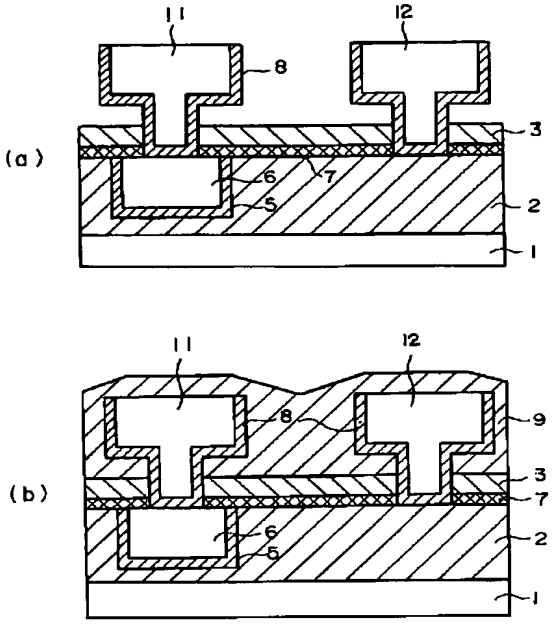
【図２】



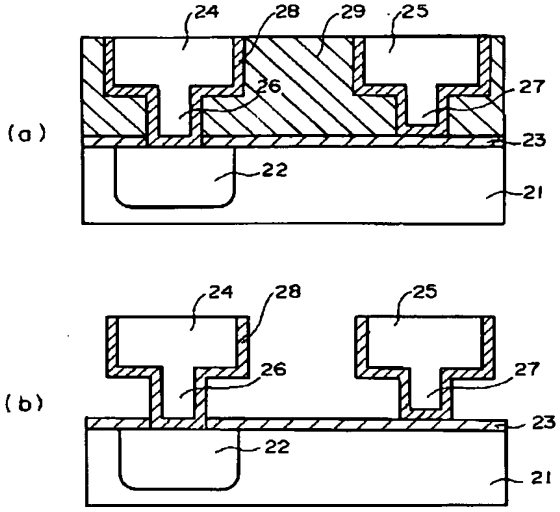
【図４】



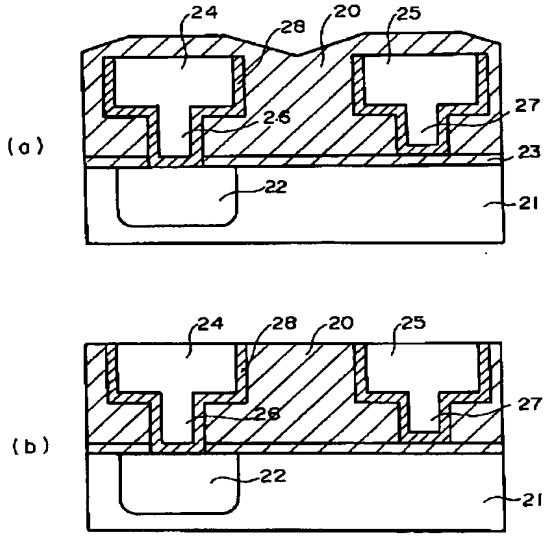
【図３】


(a)
11
12
8
3
6
7
5
2
1
(b)
11
12
8
9
3
7
6
5
2
1

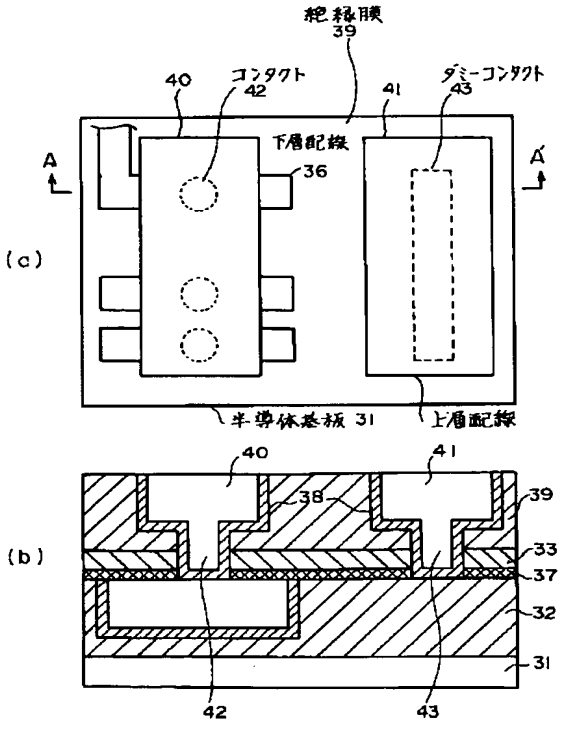
【図５】


(a)
24
28
29
25
26
27
23
22
21
(b)
24
28
25
26
27
23
22
21

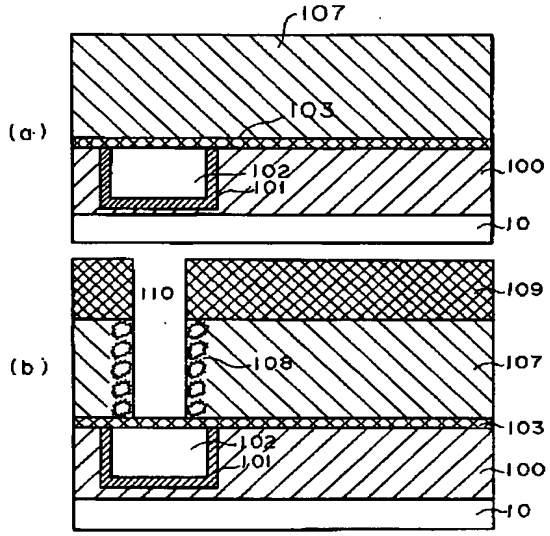
【図６】


(a)
24
28
20
25
26
27
23
22
21
(b)
24
28
20
25
26
27
22
21

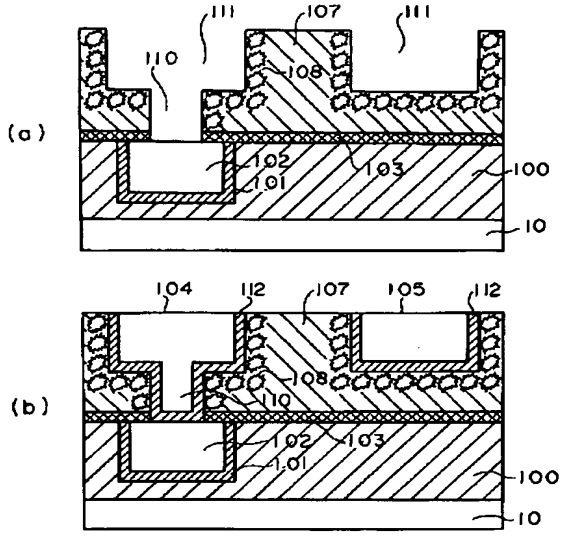
【図７】


絶縁膜
39
40
コンタクト
42
41
ダミーコンタクト
43
A
A'
下層配線
36
(c)
半導体基板 31
上層配線
(b)
40
41
38
39
33
37
32
31
42
43

【図８】



【図９】



フロントページの続き

Ｆターム(参考) 5F033 HH11 HH21 HH32 JJ01 JJ11
JJ21 JJ32 KK11 KK21 KK32
MM01 MM02 MM12 MM13 PP26
QQ09 QQ10 QQ13 QQ16 QQ19
QQ25 QQ37 QQ48 RR04 RR06
RR21 SS11 VV01 XX00 XX14
XX23
5F058 AA10 AC03 AC05 AE01 AE10
AF04 AG10 AH02 BD01 BD02
BD04 BD09 BF02 BH20 BJ02

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-012688
(43)Date of publication of application : 14.01.2000

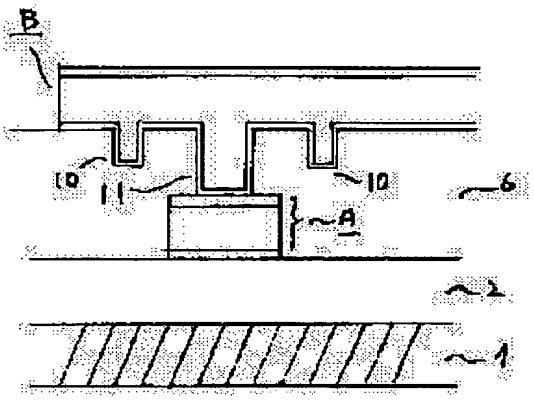
(51)Int.Cl. H01L 21/768
H01L 21/3205

(21)Application number : 10-176769
(22)Date of filing : 24.06.1998

(71)Applicant : SHARP CORP
(72)Inventor : NASU MASAAKI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:
PROBLEM TO BE SOLVED: To suppress electromigration(EM) known as a phenomenon of wire breaking caused by an actually flowing current to raise the reliability of the wiring with elevation of the integration degree of a device.
SOLUTION: In a semiconductor device having a multilayer wiring involving a lower layer wiring and an upper layer wiring B connected through vias provided on a layer insulation film overlying the lower layer wiring, one or a plurality of dummy holes 10 are formed near actual vias 11 along a pattern of the upper layer wiring B at a depth not reaching the lower layer wiring A, and a part of the upper layer wiring B is buried in the holes 10 to form the upper layer wiring B.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報（Ａ）**　(11)特許出願公開番号
特開2000－12688
（P2000－12688A）
(43)公開日　平成12年１月14日(2000.1.14)

(51)Int.Cl.'	識別記号	ＦＩ		テーマコード'（参考）
Ｈ０１Ｌ　21/768		Ｈ０１Ｌ　21/90	Ｂ	５Ｆ０３３
21/3205		21/88	Ｎ	
			Ｒ	

審査請求　未請求　請求項の数５　ＯＬ　（全６頁）

(21)出願番号　特願平10－176769

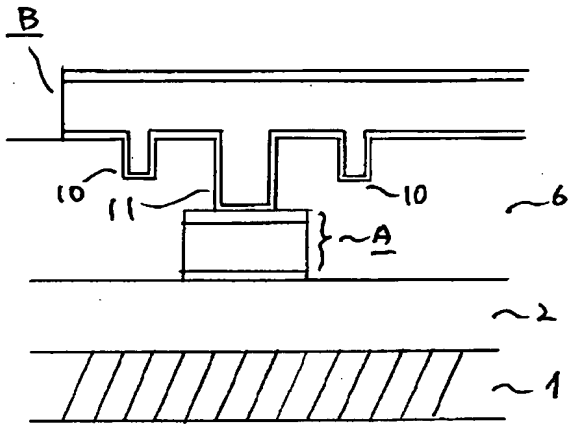
(22)出願日　平成10年６月24日(1998.6.24)

(71)出願人　000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号
(72)発明者　那須　雅明
大阪府大阪市阿倍野区長池町22番22号　シャープ株式会社内
(74)代理人　100103296
弁理士　小池　隆彌

Ｆターム(参考)　5F033 AA04 AA13 AA29 BA12 BA15
BA17 BA25 BA38 BA43 CA09
DA06 DA08 DA15 DA35 DA36
DA38 EA03 EA19 EA25 EA27

(54)【発明の名称】　半導体装置及びその製造方法

(57)【要約】
【課題】　デバイスの高集積化に伴い配線の信頼性が大きな問題となっており、本発明は実際に電流が流れることにより断線を引き起こす現象として知られているＥＭ（エレクトロマイグレーション）を解決するものである。
【解決手段】　本発明は、下層配線層とその上の層間絶縁膜に設けられたビアホールで接続された上層配線Ｂを含む多層配線の半導体装置において、実際のビアホール１１付近に上層配線Ｂのパターンに沿って、深さが下層配線Ａに届かない程度に１個もしくは複数個のダミーのホール１０を形成し、上層配線Ｂの一部を上記ダミーのホール１０に埋め込んで上層配線Ｂを形成してなることを特徴とする半導体装置である。



1

【特許請求の範囲】

【請求項１】　下層配線層とその上の層間絶縁膜に設けられたビアホールで接続された上層配線を含む多層配線の半導体装置において、実際のビアホール付近に上層配線のパターンに沿って、深さが下層配線に届かない程度に１個もしくは複数個のダミーのホールを形成し、上層配線の一部を上記ダミーのホールに埋め込んで上層配線を形成してなることを特徴とする半導体装置。

【請求項２】　上記上層配線は、Ａｌあるいはａｌ系合金膜を含んでなることを特徴とする請求項１記載の半導体装置。

【請求項３】　上記上層配線は、Ｃｕあるいはｃｕ系合金膜を含んでなることを特徴とする請求項１記載の半導体装置。

【請求項４】　下層配線層とその上の層間絶縁膜に設けられたビアホールで接続された上層配線を含む多層配線の半導体装置製造方法において、実際のビアホールと、該ビアホールの付近に上層配線のパターンに沿って、深さが下層配線に届かない程度に１個もしくは複数個のダミーのホールとを同時に形成する工程、上層配線の一部を実際のビアホールとダミーのホールに同時に埋め込んで上層配線を形成する工程とを有してなることを特徴とする半導体装置の製造方法。

【請求項５】　フォトレジストに、実際のビアホールに対応するパターンと、ビアホールパターンより径の小さいダミーのホールパターンを形成し、ドライエッチングによりビアホール及びダミーホールを同時に形成することを特徴とする請求項４記載の半導体装置の製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、特にＥＭ（エレクトロマイグレーション）耐性のある配線構造の半導体装置及びその製造方法に関する。

【０００２】

【従来の技術】デバイスの高集積化に伴い配線の信頼性が大きな問題となっている。配線の信頼性の問題としては、ＳＭ（ストレスマイグレーション）やＥＭ（エレクトロマイグレーション）がある。ＳＭは、主に配線とそれを囲む絶縁膜との熱膨張係数の違いから生じる応力により、配線が断線する現象であるが、現在、通常は、Ａｌ系配線層の下に高融点金属の層（例えば、ＴｉＮ／Ｔｉ、ＴｉＮ、Ｔｉ、ＴｉＷ、Ｗ等）を形成することにより、完全にＳＭにより断線することがないようにしている。

【０００３】他方、ＥＭは実際に電流が流れることにより断線を引き起こす現象であり、電子流の流れに対してＡｌ原子の移動が引き起こるが、Ａｌ原子の移動が不連続である箇所、特に、ビアホール付近のＷプラグと、それに接続されている上層および下層配線付近がＥＭ耐性が小さい所である。これに対応して、「ＪＳＴフォーラム　第１３期　第３回　最適なＶｉａ構造と形成プロセス　ボーダーレスＶｉａの特性」では、ビアホール近傍にリザーバーを設置してＡｌ体積を大きくることにより、ＥＭによるボイドの発生する時間が長くなるという報告がされている。

2

【０００４】図１０、図１１はリザーバーの構造例を示す断面図及び平面図である。

【０００５】図において、１はＳｉ基板、２はＳｉ基板１上に形成されたＢＰＳＧ膜等の絶縁膜、３は高融点金属層（例えば、ＴｉＮ／Ｔｉ）４はＡｌ系合金層、５は高融点金属層（例えば、ＴｉＮ）で、３、４、５により下層配線Ａを形成する。６はＰ－ＴＥＯＳ膜等からなる層間絶縁膜、２２は層間絶縁膜６に形成されたビアホールで、１５はこのビアホール２２に充填されたタングステン（Ｗ）である。１２は高融点金属（例えば、ＴｉＮ／Ｔｉ）、１３はＡｌ系合金層、１４は高融点金属（例えば、ＴｉＮ）で、１２、１３、１４により上層配線Ｂを形成する。この上層配線層をビアホール２２部より延長して形成することによりリザーバーＣとする。

【０００６】上記よりＥＭによるボイドの発生する時間を長くできるのは、リザーバーＣにはＥＭを引き起こす電流が流れず、Ｗプラグとの接続部からＥＭによりＡｌ原子が移動するとともに、リザーバーＣからＡｌ原子が移動するため接続部で移動したＡｌ原子の不足分を補うためである。

【０００７】このほかのＡｌ体積を増加させる方法として、特開平４－３４８５４７号公報の技術がある。

【０００８】図１２から図１５はこの製造方法の工程を示す断面図である。

【０００９】図１２は、Ｓｉ基板１６上に絶縁膜１７を形成した後、Ａｌ系合金膜１９を堆積させてから配線として加工し、次にＰ－ＣＶＤ法により酸化膜１８を堆積した後、続いてＳＯＧ膜２０を形成したものである。

【００１０】次に、図１３に示すように、深さ２００ｎｍの窪み２１を形成した後、その底部にホール２２を形成し、選択ＣＶＤ法によりタングステンシリサイド２３を必要な厚さに堆積し、窪み２１の底部が露出するまでエッチバックすることにより、ホール２２内のみにタングステンシリサイド２３を埋め込む。

【００１１】さらに、Ａｌ系合金膜２４をバイアススパッタ法により窪み２１が充分に埋まるまで堆積し、余剰分を等方性ドライエッチ等で除去した後、図１４に示すように、窪み２１をＡｌ系合金膜２４のみで埋め込む。続いて、図１５に示すように、スパッタ法によりＡｌ系合金膜２５を堆積させ、加工することにより配線を形成する。

【００１２】

【発明が解決しようとする課題】しかしながら、前者のリザーバーＣを設置するものは、エレクトロマイグレーションを抑制するため、リザーバーＣとして０．５μｍ

の長さが必要であり、チップ面積の縮小化に障害を来す。後者の方法では、窪み２１を形成するために、プロセスの工程数が増えるという問題がある。また、窪み２１の位置も直接ビアホール２２の上にあるため、窪み２１によりＡｌの体積が大きくなっているものの、エレクトロマイグレーションによる電流が直接流れるため、Ａｌ原子の移動はおこり、リザーバーのようにＡｌ原子の供給源がなければ断線に至ってしまう問題がある。これは、上層配線Ｂの第１導電膜のＡｌあるいはＡｌ系合金膜をＣｕあるいはＣｕ系合金膜に変える場合も同様である。

【００１３】本発明は、実際のビアホールの付近に上層配線のパターンに沿って下層配線に届かない程度の深さのダミーのホールを形成することにより、上記問題を解決するものである。

【００１４】

【課題を解決する手段】請求項１に記載の発明は、下層配線層とその上の層間絶縁膜に設けられたビアホールで接続された上層配線を含む多層配線の半導体装置において、実際のビアホール付近に上層配線のパターンに沿って、深さが下層配線に届かない程度に１個もしくは複数個のダミーのホールを形成し、上層配線の一部を上記ダミーのホールに埋め込んで上層配線を形成してなることを特徴とする半導体装置である。

【００１５】請求項２に記載の発明は、上記上層配線は、Ａｌあるいはａｌ系合金膜を含んでなることを特徴とする請求項１記載の半導体装置である。

【００１６】請求項３に記載の発明は、上記上層配線は、ＣｕあるいはＣｕ系合金膜を含んでなることを特徴とする請求項１記載の半導体装置である。

【００１７】請求項４に記載の発明は、下層配線層とその上の層間絶縁膜に設けられたビアホールで接続された上層配線を含む多層配線の半導体装置製造方法において、実際のビアホールと、該ビアホールの付近に上層配線のパターンに沿って、深さが下層配線に届かない程度に１個もしくは複数個のダミーのホールとを同時に形成する工程、上層配線の一部を実際のビアホールとダミーのホールに同時に埋め込んで上層配線を形成する工程とを有してなることを特徴とする半導体装置の製造方法である。

【００１８】請求項５に記載の発明は、フォトレジストに、実際のビアホールに対応するパターンと、ビアホールパターンより径の小さいダミーのホールパターンを形成し、ドライエッチングによりビアホール及びダミーホールを同時に形成することを特徴とする請求項４記載の半導体装置の製造方法である。

【００１９】

【発明の実施の形態】以下、図面にしたがって、本発明の実施例を詳細に説明する。

【００２０】（実施例１）図１から図５は実施例１の工程例を示す断面図、図６は平面図である。

【００２１】図１から図６に示される実施例１において、図１２から図１５で説明した従来例と同一機能を有するものは同一符号を付して示している。

【００２２】図１において、１はＳｉ基板、２はＳｉ基板１上に形成されたＢＰＳＧ膜等の絶縁膜、３は高融点金属層（例えば、ＴｉＮ／Ｔｉ）、４はＡｌ系合金層、５は高融点金属層（例えば、ＴｉＮ）で、３、４、５により下層配線Ａを形成している。６は下層配線Ａ上に層間絶縁膜として堆積されたＰ－ＴＥＯＳ膜（例えば１．２μｍ）等からなる絶縁膜である。

【００２３】図２において、７は層間絶縁膜６上に形成されたフォトレジストで、このフォトレジスト７に下層配線（３から５）部に対応するビアホールパターン１１と、該ビアホールパターン１１の付近に上層配線パターンに沿ってダミーのホールパターン８を複数個形成する。ただし、ダミーのホールパターン８の径はビアホールパターン９の径よりも小さく形成しており、例えば、ビアホールパターン９の径が０．４５μｍに対してダミーのビアーホールパターン８の径は０．３０μｍ以下である。

【００２４】次に、図３に示すように、ビアホール１１、ダミーホール１０を加工するため、層間絶縁膜６をドライエッチング処理を行う。ドライエッチングの条件は圧力：２５０ｍＴｏｒｒ、ＲＦパワー：１５００Ｗ、CF_4／C_4F_8／ＣＯ／Ａｒ／N_2：５／３／２００／３００／４０ｓｃｃｍである。ダミーホール１０はビアホール９より径が小さいため、マイクロローディング効果より、下層配線Ａまで届かず、深さ０．４μｍ程度のホールとなる。

【００２５】さらに、図４に示すように、上層配線膜として、高融点金属膜（例えば、ＴｉＮ／Ｔｉ）１２をスパッタ装置等により堆積した後、Ａｌ系合金１３を高温スパッタ法等により埋め込み、反射防止膜として高融点金属膜（例えば、ＴｉＮ）１４を堆積させる。

【００２６】その後、図５及び図６の断面図、平面図に示すように、ダミーホール１０部をも含む上層配線Ｂの形状に加工する。

【００２７】このように、実際のビアホール１１の形成の際、ビアホール１１付近に上層配線（１２から１４）のパターンに沿って、下層配線（３から５）に届かない程度の深さのダミーのホール１０を形成する。その後、上層配線（１２から１４）を埋め込むことにより、プロセス工程数を増加させることなく、Ａｌ原子の供給源（ダミーのホール）を形成することができ、しかも、通常のリザーバーと併用すれば、さらに、Ａｌ原子の体積を大きくできるため、ＥＭ耐性をさらに高めることが可能となる。

【００２８】また、ダミーホール１０の形成においては、実際のビアホール１１形成用のフォトマスクにビア

ホール付近に上層配線のパターンに沿って、１個もしくは複数個のダミーのホールパターンもいれておく。このとき、ダミーのホール１０の径は実際のビアホール１１の径よりは小さくすると、ビアホール１１とダミーホール１０９が同時に形成でき、しかもダミーホール１０を、マイクロローディング効果により下層配線Ａまで届かないように形成できる利点がある。

【００２９】（実施例２）図７から図９は実施例２の要部工程を説明する断面図、図１０は同平面図である。ビアーホール１１、ダミーホール１０の形成までの工程は実施例１の図１から図３で説明した工程と同様である。

【００３０】実施例２は、実施例１の場合と違って、図７に示すように、ビアホール１１及びダミーのホール１０をブランケットＷ－ＣＶＤ法により、タングステン（Ｗ）１５で埋め込んでいる点で異なっている。

【００３１】次に図８のように、、タングステン（Ｗ）１５のエッチバックを行うが、この時、層間絶縁膜６の膜表面が露出し、さらにＷのリセス量が大きくなるように処理を行う。そして、上層配線膜として、高融点金属膜（例えば、ＴｉＮ／Ｔｉ）１２をスパッタ装置等により堆積した後、Ａｌ系合金１３を高温スパッタ法等により埋め込み、反射防止膜として高融点金属膜（例えば、ＴｉＮ）１４を堆積させる。

【００３２】その後、図９及び図１０の断面図、平面図に示すように、ダミーホール１０部をも含む上層配線の形状に加工する。

【００３３】以上の実施例１、２では、上層配線Ｂの第１導電膜としてＡｌあるいはＡｌ系合金膜からなるものを説明したが、上層配線Ｂの第１導電膜として、ＣｕあるいはＣｕ系合金膜からなるものでも全く同様である。

【００３４】

【発明の効果】以上のように、本発明によれば、工程数を増やすことなく、Ａｌ供給源としてのダミーのホールを形成することが可能である。また、従来のリザーバーと同時に形成すれば、さらにＡｌ、Ｃｕ等の堆積が増加するため、エレクトロマイグレーション耐性をさらに高めることができる。

【図面の簡単な説明】

【図１】本発明の実施例１における工程を示す断面図である。

【図２】本発明の実施例１における工程を示す断面図である。

【図３】本発明の実施例１における工程を示す断面図である。

【図４】本発明の実施例１における工程を示す断面図である。

【図５】本発明の実施例１における工程を示す断面図である。

【図６】本発明の実施例１における工程を示す平面図である。

【図７】本発明の実施例２における工程を示す断面図である。

【図８】本発明の実施例２における工程を示す断面図である。

【図９】本発明の実施例２における工程を示す断面図である。

【図１０】従来技術における工程を示す断面図である。

【図１１】従来技術における工程を示す平面図である。

【図１２】他の従来技術における工程を示す断面図である。

【図１３】他の従来技術における工程を示す断面図である。

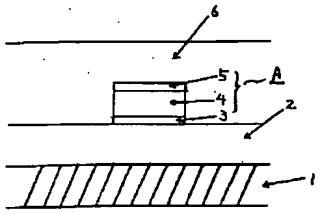
【図１４】他の従来技術における工程を示す断面図である。

【図１５】他の従来技術における工程を示す断面図である。

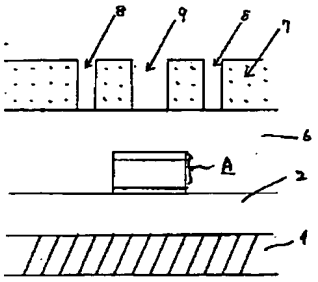
【符号の説明】

１　Ｓｉ基板
２　絶縁膜（ＢＰＳＧ膜）
Ａ　下層配線
Ｂ　上層配線
６　絶縁膜（Ｐ－ＴＥＯＳ膜）
７　フォトレジスト
８　ダミーのホールパターン
９　ビアホールパターン
１０　ダミーのホール
１１　ビアホール
１２　高融点金属（ＴｉＮ／Ｔｉ）
１３　高温スパッタで堆積したＡｌ系合金
１４　高融点金属（ＴｉＮ）
１５　Ｗ膜

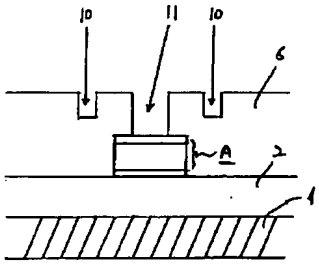
【図１】



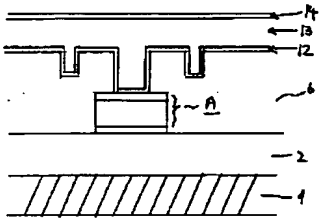
【図２】



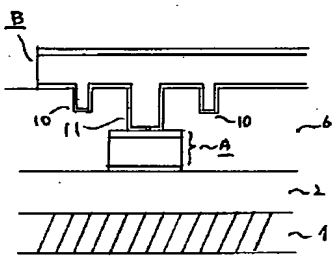
【図３】



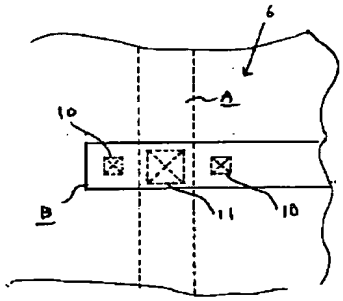
【図４】



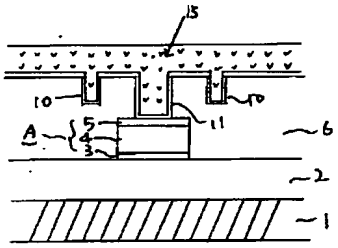
【図５】



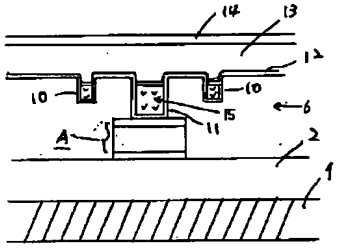
【図６】



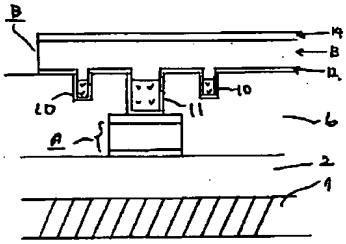
【図７】



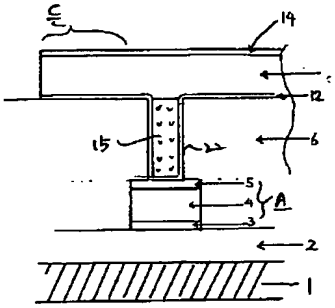
【図８】



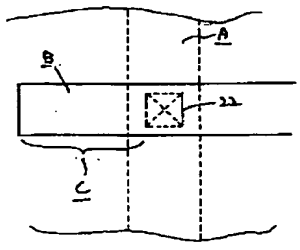
【図９】



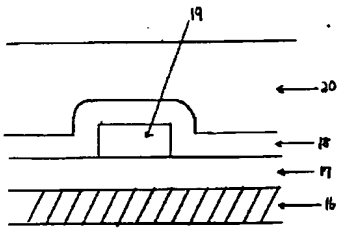
【図１０】



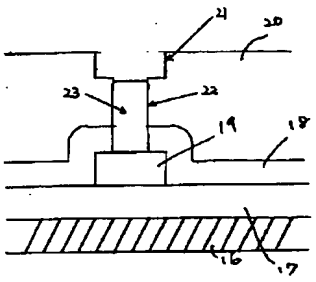
【図１１】



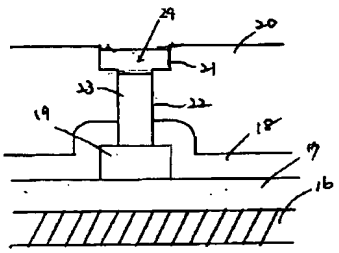
【図１２】



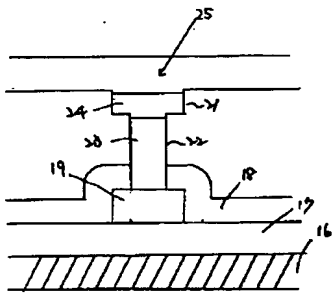
【図１３】


21
20
23
22
19
18
16
17

【図１４】


29
30
31
33
22
19
18
17
16

【図１５】


25
34
31
30
32
19
18
17
16

Docket No.: 71971-064 **PATENT**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
Takeshi HARADA	:	Confirmation Number: Not yet assigned
Application No.: Not yet assigned	:	Group Art Unit: Not yet assigned
Filed: December 02, 2004	:	Examiner: Not yet assigned

For: INTERCONNECTION STRUCTURE AND METHOD FOR FORMING THE SAME

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. JP 2003-404437, filed December 3, 2003.

cited in the Declaration of the present application. Certified copy is submitted herewith.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP

Michael E. Fogarty
Registration No. 36,139

Please recognize our Customer No. 20277 as our correspondence address.

600 13th Street, N.W.
Washington, DC 20005-3096
Phone: 202.756.8000 MEF:aph
Facsimile: 202.756.8087
Date: December 2, 2004

Takeshi [illegible]

日 本 国 特 許 庁 December 2, 2004
JAPAN PATENT OFFICE

McDermott Will & Emery LLP

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: ２００３年１２月 ３日

出 願 番 号
Application Number: 特願２００３－４０４４３７
[ST. 10/C]: [ＪＰ２００３－４０４４３７]

願 人
Applicant(s): 松下電器産業株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

２００４年１０月１９日

特許庁長官
Commissioner,
Japan Patent Office

小 川

出証番号 出証特２００４－３０９４２２７

【書類名】　特許願
【整理番号】　2926450195
【提出日】　平成15年12月 3日
【あて先】　特許庁長官　殿
【国際特許分類】　H01L 21/768
H01L 21/312
H01L 21/314
【発明者】
【住所又は居所】　大阪府門真市大字門真１００６番地　松下電器産業株式会社内
【氏名】　原田　剛史
【特許出願人】
【識別番号】　000005821
【氏名又は名称】　松下電器産業株式会社
【代理人】
【識別番号】　100077931
【弁理士】
【氏名又は名称】　前田　弘
【選任した代理人】
【識別番号】　100094134
【弁理士】
【氏名又は名称】　小山　廣毅
【選任した代理人】
【識別番号】　100110939
【弁理士】
【氏名又は名称】　竹内　宏
【選任した代理人】
【識別番号】　100113262
【弁理士】
【氏名又は名称】　竹内　祐二
【選任した代理人】
【識別番号】　100115059
【弁理士】
【氏名又は名称】　今江　克実
【選任した代理人】
【識別番号】　100117710
【弁理士】
【氏名又は名称】　原田　智雄
【手数料の表示】
【予納台帳番号】　014409
【納付金額】　21,000円
【提出物件の目録】
【物件名】　特許請求の範囲　1
【物件名】　明細書　1
【物件名】　図面　1
【物件名】　要約書　1
【包括委任状番号】　0217869

【書類名】特許請求の範囲
【請求項１】
下層配線と上層配線との間に層間絶縁膜が設けられ、且つ前記下層配線と前記上層配線とが前記層間絶縁膜中に形成されたビアを介して接続されている配線構造であって、
前記上層配線における前記ビアの接続部分の近傍に少なくとも１つのダミービアが接続されていることを特徴とする配線構造。
【請求項２】
前記ダミービアは、その頂部が前記上層配線と接続されるように前記層間絶縁膜中に形成されていることを特徴とする請求項１に記載の配線構造。
【請求項３】
前記下層配線は、前記層間絶縁膜の下側の絶縁膜中に形成されており、
前記ダミービアの底部は、前記絶縁膜中に形成されたダミー配線と接続されていることを特徴とする請求項２に記載の配線構造。
【請求項４】
前記下層配線は、前記層間絶縁膜の下側の絶縁膜中に形成されており、
前記ダミービアの底部は前記絶縁膜中に形成されていることを特徴とする請求項２に記載の配線構造。
【請求項５】
前記上層配線の上に他の層間絶縁膜が形成されており、
前記ダミービアは、その底部が前記上層配線と接続されるように前記他の層間絶縁膜中に形成されていることを特徴とする請求項１に記載の配線構造。
【請求項６】
前記ダミービアの直径は前記ビアの直径よりも小さいことを特徴とする請求項１～５のいずれか１項に記載の配線構造。
【請求項７】
前記ダミービアの平面形状は方形であり、
前記ダミービアの平面形状における長辺方向が前記上層配線の短辺方向と同じであることを特徴とする請求項１～５のいずれか１項に記載の配線構造。
【請求項８】
前記ビアの平面形状は円形であり、
前記ダミービアは、前記ビアとは異なる平面形状を有することを特徴とする請求項１～５のいずれか１項に記載の配線構造。
【請求項９】
前記上層配線における前記ビアから見て前記ダミービアのある側の一端と前記ビアとの間の距離は、前記上層配線における前記ビアから見て前記ダミービアのない側の他端と前記ビアとの間の距離よりも長いことを特徴とする請求項１～５のいずれか１項に記載の配線構造。
【請求項１０】
前記ビアと前記ダミービアとの間隔は１μｍ以下であることを特徴とする請求項１～９のいずれか１項に記載の配線構造。
【請求項１１】
下層配線と上層配線との間に層間絶縁膜が設けられ、且つ前記下層配線と前記上層配線とが前記層間絶縁膜中に形成されたビアを介して接続されている配線構造であって、
前記上層配線における前記ビアの接続部分の近傍に少なくとも１つの絶縁性スリットが形成されていることを特徴とする配線構造。
【請求項１２】
前記絶縁性スリットは、前記上層配線における前記ビアの接続部分と接するように形成されていることを特徴とする請求項１１に記載の配線構造。
【請求項１３】
前記絶縁性スリットの平面形状は方形であり、

前記絶縁性スリットの平面形状における長辺は、前記ビアの直径の２倍以上で且つ４倍以下の長さを持ち、

前記絶縁性スリットの平面形状における長辺側が、前記上層配線における前記ビアの接続部分と接していることを特徴とする請求項１２に記載の配線構造。

【請求項１４】

前記絶縁性スリットの平面形状は方形であり、

前記絶縁性スリットの平面形状における長辺は、前記ビアの直径の２倍以上で且つ１０倍以下の長さを持ち、

前記絶縁性スリットの平面形状における長辺方向が前記上層配線の短辺方向と同じであり、

前記上層配線における前記ビアから見て前記絶縁性スリットのある側の一端と前記ビアとの間の距離は、前記上層配線における前記ビアから見て前記絶縁性スリットのない側の他端と前記ビアとの間の距離よりも長いことを特徴とする請求項１１に記載の配線構造。

【請求項１５】

前記ビアと前記絶縁性スリットとの間隔は１μｍ以下であることを特徴とする請求項１１に記載の配線構造。

【請求項１６】

下層配線上に層間絶縁膜を堆積する工程と、

前記層間絶縁膜に、前記下層配線に達するビアホールと、前記ビアホールの近傍に位置する少なくとも１つのダミーホールと、前記ビアホール及び前記ダミーホールのそれぞれの開口部と接続する上層配線溝とを形成する工程と、

前記上層配線溝、前記ビアホール及び前記ダミーホールに導電材料を埋め込むことによって、上層配線と、前記下層配線と前記上層配線とを接続するビアと、前記上層配線と接続され且つ前記下層配線とは接続されないダミービアとを形成する工程とを備えていることを特徴とする配線構造の製造方法。

【請求項１７】

前記下層配線は、前記層間絶縁膜の下側の絶縁膜中に形成されており、

前記ダミーホールを形成する工程は、前記ダミーホールを、その底部が前記絶縁膜中に位置するように形成する工程を含むことを特徴とする請求項１６に記載の配線構造の製造方法。

【請求項１８】

下層配線上に第１の層間絶縁膜を堆積する工程と、

前記第１の層間絶縁膜に、前記下層配線に達するビアホールと、前記ビアホールの開口部と接続する上層配線溝とを形成する工程と、

前記上層配線溝及び前記ビアホールに導電材料を埋め込むことによって、上層配線と、前記下層配線と前記上層配線とを接続するビアとを形成する工程と、

前記上層配線上に第２の層間絶縁膜を堆積する工程と、

前記第２の層間絶縁膜に、前記上層配線に達し且つ前記ビアの近傍に位置するダミーホールを形成する工程と、

前記ダミーホールに他の導電材料を埋め込むことによって、少なくとも１つのダミービアを形成する工程とを備えていることを特徴とする配線構造の製造方法。

【請求項１９】

前記ビアホールと前記ダミーホールとの間隔は１μｍ以下であることを特徴とする請求項１６～１８のいずれか１項に記載の配線構造。

【請求項２０】

下層配線上に層間絶縁膜を堆積する工程と、

前記層間絶縁膜に、前記下層配線に達するビアホールと、前記ビアホールの開口部と接続する上層配線溝とを形成する工程と、

前記上層配線溝及び前記ビアホールに導電材料を埋め込むことによって、上層配線と、前記下層配線と前記上層配線とを接続するビアとを形成する工程とを備え、

前記ビアホール及び前記上層配線溝を形成する工程は、前記上層配線溝における前記ビアホールの接続部分の近傍に前記層間絶縁膜の一部分を残存させ、それによって絶縁性スリットを設ける工程を含むことを特徴とする配線構造の製造方法。

【請求項２１】

前記絶縁性スリットは、前記上層配線における前記ビアの接続部分と接するように設けられることを特徴とする請求項２０に記載の配線構造の製造方法。

【請求項２２】

前記絶縁性スリットの平面形状は方形であり、

前記絶縁性スリットの平面形状における長辺は、前記ビアホールの直径の２倍以上で且つ４倍以下の長さを持ち、

前記絶縁性スリットの平面形状における長辺側が、前記上層配線における前記ビアの接続部分と接していることを特徴とする請求項２１に記載の配線構造の製造方法。

【請求項２３】

前記絶縁性スリットの平面形状は方形であり、

前記絶縁性スリットの平面形状における長辺は、前記ビアホールの直径の２倍以上で且つ１０倍以下の長さを持ち、

前記絶縁性スリットの平面形状における長辺方向が前記上層配線の短辺方向と同じであり、

前記上層配線における前記ビアから見て前記絶縁性スリットのある側の一端と前記ビアとの間の距離は、前記上層配線における前記ビアから見て前記絶縁性スリットのない側の他端と前記ビアとの間の距離よりも長いことを特徴とする請求項２０に記載の配線構造の製造方法。

【書類名】明細書
【発明の名称】配線構造及びその製造方法
【技術分野】
【０００１】
本発明は、配線構造及びその製造方法に関するものである。
【背景技術】
【０００２】
近年、半導体装置等の電子デバイスに対する高速化及び高集積化の要請に対応して、配線材料として低抵抗の銅（Ｃｕ）を用いる場合が増加している。
【０００３】
図１６（ｂ）は、Ｃｕを用いて形成した従来の多層配線構造の一例を示す断面図である。図１６（ｂ）に示すように、半導体基板（図示省略）上の絶縁膜１に第１配線２が埋め込まれていると共に、絶縁膜１の上及び第１配線２の上にＳｉＮ膜３、SiO_2 膜４及びＦＳＧ膜（フッ素添加シリコン酸化膜）５が順次形成されている。ＳｉＮ膜３及びSiO_2 膜４には、第１配線２に達するビアホール６が形成されていると共に、ＦＳＧ膜５には、ビアホール６に達する配線溝７が形成されている。ビアホール６及び配線溝７にはバリア膜８及びＣｕ膜９が順次埋め込まれており、それによってビアホール６及び配線溝７にそれぞれビア１０及び第２配線１１が形成されている。ＦＳＧ膜５の上及び第２配線１１の上にＳｉＮ膜１２が形成されている。
【０００４】
尚、図１６（ｂ）に示すように、第１配線２と第２配線１１とは、ビア１０を介して電気的に接続されている。また、第１配線２及び第２配線１１のそれぞれは他の素子（図示省略）や外部電極（図示省略）と電気的に接続されている。これにより、第１配線２、ビア１０及び第２配線１１は、実使用時において、ある閉回路の一部分を構成する。
【０００５】
図１６（ｃ）は、図１６（ｂ）に示す多層配線構造を上から見た平面図である。図１６（ｃ）に示すように、第１配線２の幅は第２配線１１の幅よりも小さく、具体的には、第１配線２の幅は０．２μｍであり、ビア１０（ビアホール６）の直径は０．２０μｍであり、第２配線１１の幅は１０μｍである。
【０００６】
図１５（ａ）～図１６（ａ）は、図１６（ｂ）に示す多層配線構造を形成するための従来の方法の各工程を示す断面図である（特許文献１参照）。
【０００７】
まず、図１５（ａ）に示すように、半導体基板（図示省略）の表面に絶縁膜１を成膜した後、絶縁膜１中に第１配線２を形成する。
【０００８】
次に、図１５（ｂ）に示すように、絶縁膜１の上及び第１配線２の上に、プラズマＣＶＤ（chemical vapor deposition ）法により、ＳｉＮ膜３、SiO_2 膜４及びＦＳＧ膜５を順次成膜する。その後、リソグラフィー及びドライエッチングを２回ずつ交互に適用することによって、ＳｉＮ膜３及びSiO_2 膜４に、第１配線２に達するビアホール６を形成すると共に、ＦＳＧ膜５に、ビアホール６に達する配線溝７を形成する。
【０００９】
次に、図１５（ｃ）に示すように、ビアホール６及び配線溝７が途中まで埋まるようにＰＶＤ（physical vapor deposition ）法によりバリア膜８を成膜した後、ビアホール６及び配線溝７が完全に埋まるように、バリア膜８の上にメッキ法によりＣｕ膜９を成膜する。
【００１０】
次に、図１６（ａ）に示すように、ＣＭＰ（chemical mechanical polishing ）法により、配線溝７の外側のバリア膜８及びＣｕ膜９を除去する。これにより、配線溝７に第２配線１１が形成されると共に、ビアホール６に、第１配線２と第２配線１１とを接続する

ビア１０が形成される。

【００１１】

最後に、ＦＳＧ膜５の上及び第２配線１１（Ｃｕ膜９）の上にＳｉＮ膜１２を堆積することにより、図１６（ｂ）に示す多層配線構造が完成する。

【特許文献１】特開２０００－３３１９９１号公報

【特許文献２】特開２００２－２９９４３７号公報

【発明の開示】

【発明が解決しようとする課題】

【００１２】

しかしながら、前述のような従来の多層配線構造には次のような問題点がある。すなわち、メッキにより堆積したＣｕ膜９の内部には多数の空孔が存在する。また、多層配線構造が高温で保持されると、これらの空孔は応力の勾配に従って移動する。具体的には、ビア１０の内部の圧縮応力が第２配線１１の内部の圧縮応力よりも大きい場合には、言い換えると、ビア１０の内部の引っ張り応力が第２配線１１の内部の引っ張り応力よりも小さい場合には、第２配線１１からビア１０に向かって空孔が流入することになる。特に、図１６（ｂ）及び（ｃ）に示すような多層配線構造では、ビア１０の体積と比べて第２配線１１の体積が著しく大きくなっているため、多量の空孔が第２配線１１からビア１０に向かって流入する。その結果、図１７（ａ）に示すように、ビア１０を構成するＣｕ膜９の塑性変形が起こって、ビアホール６の内部にボイド１３が発生する。このボイド１３によって、第１配線２と第２配線１１との電気的な接続が断たれた場合、デバイスの動作不良が引き起こされる。

【００１３】

本発明は、前記の課題を鑑みてなされたものであり、その目的は、高温で保持されても動作不良を起こさない、信頼性の高い多層配線構造を実現することにある。

【課題を解決するための手段】

【００１４】

前記の目的を達成するために、本発明に係る第１の配線構造は、下層配線と上層配線との間に層間絶縁膜が設けられ、且つ下層配線と上層配線とが層間絶縁膜中に形成されたビアを介して接続されている配線構造であって、上層配線におけるビアの接続部分の近傍に少なくとも１つのダミービアが接続されている。

【００１５】

第１の配線構造によると、上層配線のビア接続部分の近傍にダミービアが設けられているため、上層配線を構成する導電膜内の空孔はビアとダミービアとに分散して流入する。すなわち、ダミービアによって、上層配線からビアまでの応力の勾配を緩和することができるので、配線構造が高温で保持される場合にも、上層配線からビアに向かって空孔が流入する現象を抑制することができる。従って、ビアを構成する導電膜の塑性変形、つまりビアホール内におけるボイドの発生を抑制することができるため、高温で保持されても動作不良を起こさない、信頼性の高い多層配線構造を実現することができる。

【００１６】

尚、本願において、ダミービア及びダミー配線とは、それらを含む配線構造を持つデバイスの実使用時に閉回路を構成しない（つまり該デバイスの実使用時に電流が流れない）擬似ビア又は擬似配線を意味する。

【００１７】

第１の配線構造において、ダミービアは、その頂部が上層配線と接続されるように層間絶縁膜中に形成されていてもよい。

【００１８】

この場合、下層配線は、層間絶縁膜の下側の絶縁膜中に形成されており、ダミービアの底部は、絶縁膜中に形成されたダミー配線と接続されていることが好ましい。このようにすると、ダミー配線をエッチングストッパーとして前記層間絶縁膜に対してエッチングを行なうことにより、ダミービア用のホールを簡単に形成することができる。

【００１９】
また、この場合、下層配線は、層間絶縁膜の下側の絶縁膜中に形成されており、ダミービアの底部は絶縁膜中に形成されていることが好ましい。このようにすると、ビア用のホール（ビアホール）と比較してダミービア用のホールの方が深くなるため、上層配線とビアとの間における応力の勾配よりも、上層配線とダミービアとの間における応力の勾配の方が大きくなる。このため、上層配線を構成する導電膜内の空孔はダミービアの方に優先的に流入するため、ビアを構成する導電膜の塑性変形、つまりビアホール内におけるボイドの発生をより効果的に抑制することができる。従って、多層配線構造の信頼性をより向上させることができる。
【００２０】
第１の配線構造において、上層配線の上に他の層間絶縁膜が形成され、ダミービアは、その底部が上層配線と接続されるように他の層間絶縁膜中に形成されていてもよい。
【００２１】
第１の配線構造において、ダミービアの直径は、ビアの直径よりも小さいことが好ましい。
【００２２】
このようにすると、ビア用のホール（ビアホール）の直径と比較してダミービア用のホールの直径の方が小さくなるため、言い換えると、ビアの体積と比較してダミービアの体積の方が小さくなるため、上層配線とビアとの間における応力の勾配よりも、上層配線とダミービアとの間における応力の勾配の方が大きくなる。このため、上層配線を構成する導電膜内の空孔はダミービアの方に優先的に流入するため、ビアを構成する導電膜の塑性変形、つまりビアホール内におけるボイドの発生をより効果的に抑制することができる。従って、多層配線構造の信頼性をより向上させることができる。
【００２３】
第１の配線構造において、ダミービアの平面形状は方形であり、ダミービアの平面形状における長辺方向が上層配線の短辺方向と同じであることが好ましい。
【００２４】
このようにすると、上層配線を構成する導電膜内の空孔のうち、ビアから見てダミービアの方向においてダミービアよりも遠くに存在する空孔を、ダミービアに流入させ、それによって該空孔がビアに到達することを防止できる。このため、ビアを構成する導電膜の塑性変形、つまりビアホール内におけるボイドの発生をより効果的に抑制することができるので、多層配線構造の信頼性をより向上させることができる。
【００２５】
第１の配線構造において、ビアの平面形状は円形であり、ダミービアは、ビアとは異なる平面形状を有していてもよい。
【００２６】
第１の配線構造において、上層配線におけるビアから見てダミービアのある側の一端とビアとの間の距離は、上層配線におけるビアから見てダミービアのない側の他端とビアとの間の距離よりも長いことが好ましい。
【００２７】
このようにすると、上層配線における前記の一端とビアとの間の距離が、上層配線における前記の他端とビアとの間の距離よりも長くなる。すなわち、上層配線における前記の一端とビアとの間の一領域は、上層配線における前記の他端とビアとの間の他領域よりも大きくなるので、上層配線の一領域の方が上層配線の他領域よりも多くの空孔を含む。そして、より多くの空孔を含むこの上層配線の一領域にダミービアが設けられているため、ダミービアに空孔をより効率的に流入させることができる。このため、ビアを構成する導電膜の塑性変形、つまりビアホール内におけるボイドの発生をより効果的に抑制することができるので、多層配線構造の信頼性をより向上させることができる。
【００２８】
第１の配線構造において、ビアとダミービアとの間隔は１μｍ以下であることが好まし

い。

【００２９】

このようにすると、本来ビアに流入しようとする空孔を、ダミービアにも分散して流入させるという効果が確実に得られる。尚、本願において、ビア（ビアホール）とダミービア（ダミーホール）との間隔とは、ビアにおけるダミービア側のエッジと、ダミービアにおけるビア側のエッジとの間隔を意味する。また、この間隔の下限は、例えばデザインルールにおける配線間又はビア間の最小分離幅に合わせて設定される。

【００３０】

本発明に係る第２の配線構造は、下層配線と上層配線との間に層間絶縁膜が設けられ、且つ下層配線と上層配線とが層間絶縁膜中に形成されたビアを介して接続されている配線構造であって、上層配線におけるビアの接続部分の近傍に少なくとも１つの絶縁性スリットが形成されている。

【００３１】

第２の配線構造によると、上層配線のビア接続部分の近傍に絶縁性スリットが設けられているため、上層配線のビア接続部分の近傍における引っ張り応力を、上層配線の他の部分と比べて小さくすることができる。すなわち、絶縁性スリットによって、上層配線からビアまでの応力の勾配を緩和することができるので、配線構造が高温で保持される場合にも、上層配線からビアに向かって空孔が流入する現象を抑制することができる。また、上層配線やビアを構成する導電膜とは異なる材料からなる絶縁性スリットは、該導電膜中の原子又は空孔が移動する際の障壁として機能する。このため、該原子が上層配線及びビアの内部で対流したり又は空孔がビアの底部に集積したりすることを防止することができる。従って、ビアを構成する導電膜の塑性変形、つまりビアホール内におけるボイドの発生を抑制することができるため、高温で保持されても動作不良を起こさない、信頼性の高い多層配線構造を実現することができる。

【００３２】

尚、第２の配線構造において、絶縁性スリットは、例えば下層配線と上層配線との間に設けられる層間絶縁膜の一部であってもよい。

【００３３】

また、第２の配線構造において、絶縁性スリットは、上層配線におけるビアの接続部分と接するように形成されていてもよい。この場合、絶縁性スリットの平面形状は方形であり、絶縁性スリットの平面形状における長辺は、ビアの直径の２倍以上で且つ４倍以下の長さを持ち、絶縁性スリットの平面形状における長辺側が、上層配線におけるビアの接続部分と接していると、前述の効果が得られる。

【００３４】

また、第２の配線構造において、絶縁性スリットの平面形状は方形であり、絶縁性スリットの平面形状における長辺は、ビアの直径の２倍以上で且つ１０倍以下の長さを持ち、絶縁性スリットの平面形状における長辺方向が上層配線の短辺方向と同じであり、上層配線におけるビアから見て絶縁性スリットのある側の一端とビアとの間の距離は、上層配線におけるビアから見て絶縁性スリットのない側の他端とビアとの間の距離よりも長いことが好ましい。

【００３５】

このようにすると、絶縁性スリットと上層配線のビア接続部分とが離間している場合にも次のような効果が得られる。すなわち、上層配線を構成する導電膜内の空孔のうち、ビアから見て絶縁性スリットの方向において絶縁性スリットよりも遠くに存在する空孔が、絶縁性スリットにより妨げられてビアに到達することを防止できる。また、上層配線における前記の一端とビアとの間の一領域が、上層配線における前記の他端とビアとの間の他領域よりも大きくなるため、上層配線の一領域の方が上層配線の他領域よりも多くの空孔を含み、この上層配線の一領域に絶縁性スリットが設けられている結果、絶縁性スリットによって空孔の移動をより効果的に阻止することができる。このため、ビアを構成する導電膜の塑性変形、つまりビアホール内におけるボイドの発生をより効果的に抑制すること

ができるので、多層配線構造の信頼性をより向上させることができる。

【００３６】

第２の配線構造において、ビアと絶縁性スリットとの間隔は１μｍ以下であることが好ましい。

【００３７】

このようにすると、本来ビアに流入しようとする空孔の動きを絶縁性スリットによって阻止するという効果が得られる。尚、本願において、ビア（ビアホール）と絶縁性スリットとの間隔とは、ビアにおける絶縁性スリット側のエッジと、絶縁性スリットにおけるビア側のエッジとの間隔を意味する。また、前述のように、絶縁性スリットは上層配線における前記ビアの接続部分と接するように形成されていてもよく、この場合、ビアと絶縁性スリットとの間隔は０である。

【００３８】

本発明に係る第１の配線構造の製造方法は、下層配線上に層間絶縁膜を堆積する工程と、層間絶縁膜に、下層配線に達するビアホールと、ビアホールの近傍に位置する少なくとも１つのダミーホールと、ビアホール及びダミーホールのそれぞれの開口部と接続する上層配線溝とを形成する工程と、上層配線溝、ビアホール及びダミーホールに導電材料を埋め込むことによって、上層配線と、下層配線と上層配線とを接続するビアと、上層配線と接続され且つ下層配線とは接続されないダミービアとを形成する工程とを備えている。

【００３９】

第１の配線構造の製造方法によると、本発明に係る第１の配線構造を製造することができるので、本発明に係る第１の配線構造と同様の効果が得られる。尚、ビア及び上層配線の形成には、デュアルダマシン法等のダマシン法を用いてもよいし、それ以外の方法を用いてもよい。

【００４０】

第１の配線構造の製造方法において、下層配線は、層間絶縁膜の下側の絶縁膜中に形成されており、ダミーホールを形成する工程は、ダミーホールを、その底部が絶縁膜中に位置するように形成する工程を含むことが好ましい。このようにすると、ビアホールと比較してダミーホールの方が深くなるため、上層配線とビアとの間における応力の勾配よりも、上層配線とダミービアとの間における応力の勾配の方が大きくなる。このため、上層配線を構成する導電膜内の空孔はダミービアの方に優先的に流入するため、ビアを構成する導電膜の塑性変形、つまりビアホール内におけるボイドの発生をより効果的に抑制することができる。従って、多層配線構造の信頼性をより向上させることができる。

【００４１】

本発明に係る第２の配線構造の製造方法は、下層配線上に第１の層間絶縁膜を堆積する工程と、第１の層間絶縁膜に、下層配線に達するビアホールと、ビアホールの開口部と接続する上層配線溝とを形成する工程と、上層配線溝及びビアホールに導電材料を埋め込むことによって、上層配線と、下層配線と上層配線とを接続するビアとを形成する工程と、上層配線上に第２の層間絶縁膜を堆積する工程と、第２の層間絶縁膜に、上層配線に達し且つビアの近傍に位置するダミーホールを形成する工程と、ダミーホールに他の導電材料を埋め込むことによって、少なくとも１つのダミービアを形成する工程とを備えている。

【００４２】

第２の配線構造の製造方法によると、本発明に係る第１の配線構造を製造することができるので、本発明に係る第１の配線構造と同様の効果が得られる。尚、ビア及び上層配線の形成には、デュアルダマシン法等のダマシン法を用いてもよいし、それ以外の方法を用いてもよい。

【００４３】

第１又は第２の配線構造の製造方法において、ビアホールとダミーホールとの間隔は１μｍ以下であることが好ましい。

【００４４】

このようにすると、本来ビアに流入しようとする空孔を、ダミービアにも分散して流入

させるという効果が得られる。

【００４５】

本発明に係る第３の配線構造の製造方法は、下層配線上に層間絶縁膜を堆積する工程と、層間絶縁膜に、下層配線に達するビアホールと、ビアホールの開口部と接続する上層配線溝とを形成する工程と、上層配線溝及びビアホールに導電材料を埋め込むことによって、上層配線と、下層配線と上層配線とを接続するビアとを形成する工程とを備え、ビアホール及び上層配線溝を形成する工程は、上層配線溝におけるビアホールの接続部分の近傍に層間絶縁膜の一部分を残存させ、それによって絶縁性スリットを設ける工程を含む。

【００４６】

第３の配線構造の製造方法によると、本発明に係る第２の配線構造を製造することができるので、本発明に係る第２の配線構造と同様の効果が得られる。尚、ビア及び上層配線の形成には、デュアルダマシン法等のダマシン法を用いてもよいし、それ以外の方法を用いてもよい。

【００４７】

第３の配線構造の製造方法において、絶縁性スリットは、上層配線におけるビアの接続部分と接するように設けられてもよい。この場合、絶縁性スリットの平面形状は方形であり、絶縁性スリットの平面形状における長辺は、ビアホールの直径の２倍以上で且つ４倍以下の長さを持ち、絶縁性スリットの平面形状における長辺側が上層配線におけるビアの接続部分と接していると、本発明に係る第２の配線構造と同様の効果が確実に得られる。

【００４８】

また、第３の配線構造の製造方法において、絶縁性スリットの平面形状は方形であり、絶縁性スリットの平面形状における長辺は、ビアホールの直径の２倍以上で且つ１０倍以下の長さを持ち、絶縁性スリットの平面形状における長辺方向が上層配線の短辺方向と同じであり、上層配線におけるビアから見て絶縁性スリットのある側の一端とビアとの間の距離は、上層配線におけるビアから見て絶縁性スリットのない側の他端とビアとの間の距離よりも長いことが好ましい。

【００４９】

このようにすると、絶縁性スリットと上層配線のビア接続部分とが離間している場合にも次のような効果が得られる。すなわち、上層配線を構成する導電膜内の空孔のうち、ビアから見て絶縁性スリットの方向において絶縁性スリットよりも遠くに存在する空孔がビアに到達することを防止できる。また、上層配線における前記の一端とビアとの間の一領域が、上層配線における前記の他端とビアとの間の他領域よりも大きくなるため、上層配線の一領域の方が上層配線の他領域よりも多くの空孔を含み、この上層配線の一領域に絶縁性スリットが設けられている結果、絶縁性スリットによって空孔の移動をより効果的に阻止することができる。このため、ビアを構成する導電膜の塑性変形、つまりビアホール内におけるボイドの発生をより効果的に抑制することができるので、多層配線構造の信頼性をより向上させることができる。

【発明の効果】

【００５０】

本発明によると、上層配線におけるビア接続部分の近傍にダミービア又は絶縁性スリットを設けることによって、実使用時において上層配線と共に閉回路を構成するビアに向かって上層配線から空孔が流入する現象を防止することができる。このため、ビアを構成する導電膜の塑性変形、つまりビアホール内におけるボイドの発生を抑制することができるので、信頼性の高い多層配線構造を実現することができる。

【発明を実施するための最良の形態】

【００５１】

（発明の原理）

まず、従来の多層配線構造におけるビアホールの内部にボイドが発生するという現象について、本願発明者が検討した結果（前記の現象のメカニズム）について説明する。

【００５２】

金属膜は、それが用いられる配線構造に応じて、周辺の膜から影響を受ける。例えば図１７（ｂ）に示すように、絶縁膜に設けられた配線溝のうち、配線幅が狭い箇所に成膜された金属膜（例えばＣｕ膜）は、周りの絶縁膜から弱く引っ張られる状態にある。すなわち、該Ｃｕ膜に対しては比較的小さい引っ張り応力が作用する。それに対して、絶縁膜に設けられた配線溝のうち、配線幅が広い箇所に成膜されたＣｕ膜は、周りの絶縁膜から強く引っ張られる状態にある。すなわち、該Ｃｕ膜に対しては比較的大きい引っ張り応力が作用する。この引っ張り応力は、主として、金属膜と絶縁膜との間の熱膨張率の違い、又は後工程での熱負荷に起因する金属膜の収縮によって発生する。また、引っ張り応力は、配線溝及びビアホールの形状及び配置密度等によって大きく変化する。

【００５３】

一般に、Ｃｕ等からなる金属膜は、成膜された時点では原子が比較的規則正しく配列された結晶構造を有している。配線材料として主に利用されているＣｕの成膜には、一般的に電解メッキ法が利用されている。また、電解メッキ法によって成膜した銅膜は、その内部に多数の空孔を含むという特徴を持つ。さらに、図１７（ｂ）に示す配線構造において、Ｃｕ膜に含まれる空孔は、引っ張り応力の大きいＣｕ膜領域よりも、引っ張り応力の小さいＣｕ膜領域に集まりやすい。それは、空孔が引っ張り応力の小さいＣｕ膜領域中に入ることによって、言い換えると、Ｃｕ原子が引っ張り応力の大きいＣｕ膜領域中に入ることによって、Ｃｕ膜の結晶構造に周りの絶縁膜から加えられる圧力が緩和されるためである。

【００５４】

従って、配線構造に熱が加わるなどしてＣｕ原子や空孔の自由度が高くなると、Ｃｕ膜における応力の勾配に沿って、つまり、大きい引っ張り応力を有するＣｕ膜領域から小さい引っ張り応力を有するＣｕ膜領域へ向けて空孔が移動する（Ｃｕ原子の移動の向きは空孔の移動の向きと逆になる）。その結果、配線構造における配線幅の狭い箇所、又は配線の底部若しくは角部には空孔が集まりやすくなるので、ボイドが発生しやすくなる。

【００５５】

以上の知見に基づき、以下に説明する本発明の各実施形態は、配線となる導電膜における応力の勾配を緩和することによって、導電膜内での空孔の移動を抑制し、それにより配線形成後に配線内にボイドが発生することを防止するという技術的思想を実現するものである。

【００５６】

（第１の実施形態：ビアとダミービアとを同じ層に設ける場合（基本形））

以下、本発明の第１の実施形態に係る配線構造及びその製造方法について図面を参照しながら説明する。

【００５７】

図２（ｂ）は、第１の実施形態に係る配線構造を示す断面図である。図２（ｂ）に示すように、半導体基板（図示省略）上の絶縁膜１０１に第１配線１０２Ａ及び擬似配線（ダミー配線）１０２Ｂが埋め込まれていると共に、絶縁膜１０１、第１配線１０２Ａ及びダミー配線１０２Ｂのそれぞれの上にＳｉＮ膜１０３、SiO_2 膜１０４及びＦＳＧ膜１０５が順次形成されている。ＳｉＮ膜１０３及びSiO_2 膜１０４には、第１配線１０２Ａに達するビアホール１０６Ａと、ダミー配線１０２Ｂに達する擬似ビアホール（ダミーホール）１０６Ｂとが形成されている。ＦＳＧ膜１０５には、ビアホール１０６Ａ及びダミーホール１０６Ｂのそれぞれの開口部と接続する配線溝１０７が形成されている。ビアホール１０６Ａ、ダミーホール１０６Ｂ及び配線溝１０７にはバリア膜１０８及びＣｕ膜１０９が順次埋め込まれており、それによってビアホール１０６Ａ、ダミーホール１０６Ｂ及び配線溝１０７にそれぞれビア１１０Ａ、擬似ビア（ダミービア）１１０Ｂ及び第２配線１１１が形成されている。ダミービア１１０Ｂは、第２配線１１１におけるビア１１０Ａの接続部分の近傍に接続される。ＦＳＧ膜１０５の上及び第２配線１１１の上にはＳｉＮ膜１１２が形成されている。

【００５８】

尚、図２（ｂ）に示すように、第１配線１０２Ａと第２配線１１１とは、ビア１１０Ａを介して電気的に接続されている。また、第１配線１０２Ａ及び第２配線１１１のそれぞれは他の素子（図示省略）や外部電極（図示省略）と電気的に接続されている。これにより、第１配線１０２Ａ、ビア１１０Ａ及び第２配線１１１は、実使用時において、ある閉回路の一部分を構成する。一方、ダミー配線１０２Ｂ及びダミービア１１０Ｂのそれぞれは、実使用時において、いかなる閉回路の構成要素にもならない。言い換えると、図２（ｂ）に示す配線構造においてダミー配線１０２Ｂ及びダミービア１１０Ｂを省略したとしても、該配線構造を持つデバイスは、少なくとも製造直後においては動作可能である。

【００５９】

図２（ｃ）は、図２（ｂ）に示す多層配線構造を上から見た平面図である。図２（ｃ）に示すように、本実施形態では、第１配線１０２Ａ及びダミー配線１０２Ｂのそれぞれの幅は第２配線１１１の幅よりも小さい。具体的には、第１配線１０２Ａ及びダミー配線１０２Ｂのそれぞれの幅は例えば０．２μｍであり、ビア１１０Ａ（ビアホール１０６Ａ）及びダミービア１１０Ｂ（ダミーホール１０６Ｂ）のそれぞれの直径は例えば０．２０μｍであり、第２配線１１１の幅は例えば１０μｍである。また、ビア１１０Ａとダミービア１１０Ｂとの間隔、正確には、ビア１１０Ａにおけるダミービア１１０Ｂ側のエッジと、ダミービア１１０Ｂにおけるビア１１０Ａ側のエッジとの間隔は例えば０．２μｍである。尚、本願において、ビア（ビアホール）の直径とは、ビア（ビアホール）の平面形状（つまり平面図における形状）が円形である場合には該円形の直径を意味し、ビア（ビアホール）の平面形状が正方形である場合には該正方形の一辺の長さを意味する。

【００６０】

図１（ａ）～（ｃ）及び図２（ａ）は、図２（ｂ）に示す多層配線構造を形成するための、第１の実施形態に係る配線構造の製造方法の各工程を示す断面図である。

【００６１】

まず、図１（ａ）に示すように、半導体基板（図示省略）の表面に絶縁膜１０１を成膜した後、絶縁膜１０１中に第１配線１０２Ａ及びダミー配線１０２Ｂを形成する。

【００６２】

次に、図１（ｂ）に示すように、絶縁膜１０１、第１配線１０２Ａ及びダミー配線１０２Ｂのそれぞれの上に、例えばプラズマＣＶＤ法によりＳｉＮ膜１０３、SiO_2 膜１０４及びＦＳＧ膜１０５を順に成膜する。その後、リソグラフィー及びドライエッチングを２回ずつ交互に適用することによって、ＳｉＮ膜１０３及びSiO_2 膜１０４に、第１配線１０２Ａに達するビアホール１０６Ａと、ダミー配線１０２Ｂに達するダミーホール１０６Ｂとを形成すると共に、ＦＳＧ膜１０５に、ビアホール１０６Ａ及びダミーホール１０６Ｂのそれぞれの開口部と接続する配線溝１０７を形成する。

【００６３】

次に、図１（ｃ）に示すように、ビアホール１０６Ａ、ダミーホール１０６Ｂ及び配線溝１０７が途中まで埋まるように、例えばＰＶＤ法によりバリア膜１０８を成膜した後、ビアホール１０６Ａ、ダミーホール１０６Ｂ及び配線溝１０７が完全に埋まるように、バリア膜１０８の上に例えばメッキ法によりＣｕ膜１０９を成膜する。

【００６４】

次に、図２（ａ）に示すように、例えばＣＭＰ法により、配線溝１０７の外側のバリア膜１０８及びＣｕ膜１０９を除去する。これにより、配線溝１０７に第２配線１１１が形成される。また、ビアホール１０６Ａに、第１配線１０２Ａと第２配線１１１とを接続するビア１１０Ａが形成されると共に、ダミーホール１０６Ｂに、ダミー配線１０２Ｂと第２配線１１１とを接続するダミービア１１０Ｂが形成される。尚、ダミービア１１０Ｂは第１配線１０２Ａとは接続されない。

【００６５】

最後に、ＦＳＧ膜１０５の上及び第２配線１１１（Ｃｕ膜１０９）の上にＳｉＮ膜１１２を堆積することにより、図２（ｂ）に示す多層配線構造が完成する。

【００６６】

以上に説明した第１の実施形態の配線構造及びその製造方法によると、高温で保持されても動作不良を起こさない、信頼性の高い多層配線構造を実現することができる。その理由は次の通りである。すなわち、第２配線１１１におけるビア１１０Ａの接続部分の近傍にダミービア１１０Ｂが設けられているため、第２配線１１１を構成する導電膜（Ｃｕ膜１０９）内の空孔はビア１１０Ａとダミービア１１０Ｂとに分散して流入する。言い換えると、ダミービア１１０Ｂによって、ビア１個当たりに流入する空孔の数が減少するため、第２配線１１１からビア１１０Ａまでの応力の勾配を緩和することができるので、配線構造が高温で保持される場合にも、第２配線１１１からビア１１０Ａに向かって空孔が流入する現象を抑制することができる。従って、ビア１１０Ａを構成する導電膜（Ｃｕ膜１０９）の塑性変形、つまりビアホール１０６Ａ内におけるボイドの発生を抑制することができるため、高温で保持されても動作不良を起こさない、信頼性の高い多層配線構造を実現することができる。

【００６７】

また、第１の実施形態によると、ダミービア１１０Ｂ（ダミーホール１０６Ｂ）の下にダミー配線１０２Ｂが設けられているため、ダミー配線１０２ＢをエッチングストッパーとしてSiN膜１０３及びSiO_2膜１０４に対してエッチングを行なうことにより、ダミーホール１０６Ｂを簡単に形成することができる。

【００６８】

尚、第１の実施形態において、ビア１１０Ａとダミービア１１０Ｂとの間隔（ビアホール１０６Ａとダミーホール１０６Ｂとの間隔：以下、ビア・ダミービア間隔と称する）は小さければ小さいほど好ましいが、ビア１１０Ａに流入する空孔をダミービア１１０Ｂによって低減させる効果を得るためには、ビア・ダミービア間隔は少なくとも２５μｍ以下であることが好ましく、１μｍ以下であることがより好ましい。また、ビア・ダミービア間隔の下限は、例えばデザインルールにおける配線間又はビア間の最小分離幅（例えば０．２μｍ）に合わせて設定することができる。また、配線間最小分離幅が最小配線幅と同程度に設定されている場合には、ビア・ダミービア間隔の下限を最小配線幅に合わせて設定してもよい。

【００６９】

図３（ａ）は、本実施形態の効果（高温保持後における動作不良の抑制効果）のビア・ダミービア間隔に対する依存性を示している。図３（ａ）において、縦軸に「デバイスの高温保持後における動作不良数（個）」を示すと共に、横軸に「ビア・ダミービア間隔（μｍ）」を示す。尚、横軸の「ダミービアなし」はビア・ダミービア間隔が無限大の場合に相当する。図３（ａ）に示すように、ビア・ダミービア間隔が小さくなるに従って、動作不良の発生数が減少する。すなわち、本実施形態の効果が顕著になる。これは、ビア・ダミービア間隔が小さい程、ビアに集まろうとする空孔をダミービアによって吸収しやすくなるからである。

【００７０】

但し、図３（ａ）に示すように、ビア・ダミービア間隔が３０μｍ以上になると、ビアに発生するボイドをダミービアによって効果的に抑制することが困難になる。その理由は次の通りである。すなわち、空孔が移動できる範囲には限りがあるため、ビア・ダミービア間隔が大きくなると、ビアに入り込もうとする空孔をダミービアに十分に吸収させることが困難になる。その結果、ビア・ダミービア間隔が大きい場合、特にビア・ダミービア間隔が３０μｍを大きく越える場合、ボイドの発生率が「ダミービアなし」の場合と同程度になってしまうため、デバイスの高温保持後における動作不良数を十分に低減することはできなくなる。

【００７１】

また、第１の実施形態において、１つのビア１１０Ａに対して設けられるダミービア１１０Ｂの数は形成可能な限り、多ければ多いほどよい。具体的には、第２配線１１１における回路動作に影響を及ぼさない領域に、できるだけ多くのダミービア１１０Ｂを設けることが好ましい。

【００７２】
（第１の実施形態の変形例）
以下、本発明の第１の実施形態の変形例に係る配線構造及びその製造方法について図面を参照しながら説明する。
【００７３】
図３（ｂ）は、第１の実施形態の変形例に係る配線構造を示す平面図である。
【００７４】
図３（ｂ）に示すように、本変形例が第１の実施形態（図２（ｃ）参照）と異なっている点は次の通りである。すなわち、第１点は、第２配線１１１が、例えば幅１０μｍの太い配線部分１１１ａと、該太い配線部分１１１ａから分岐した、例えば幅０．２０μｍの細い配線部分１１１ｂとを有していることである。また、第２点は、ビア１１０Ａ（ビアホール１０６Ａ）が細い配線部分１１１ｂに接続されていることである。さらに、第３点は、複数のダミービア１１０Ｂ（複数のダミーホール１０６Ｂ）が、太い配線部分１１１ａと細い配線部分１１１ｂとの分岐点、及び太い配線部分１１１ａにおける前記分岐点の近傍に接続されていることである。
【００７５】
本変形例によると、第１の実施形態の効果に加えて次のような効果が得られる。すなわち、太い配線部分１１１ａから細い配線部分１１１ｂに侵入してビア１１０Ａに流入しようとする空孔を、ダミービア１１０Ｂによって効果的に捕獲することができる。その結果、デバイスを高温で保持した際に発生する動作不良数をより一層低減することができる。
【００７６】
尚、本変形例において、１つ又は複数のダミービア１１０Ｂ（ダミーホール１０６Ｂ）が、太い配線部分１１１ａと細い配線部分１１１ｂとの分岐点に接続されていてもよいし又は太い配線部分１１１ａにおける前記分岐点の近傍に接続されていてもよい。ここで、ダミービア１１０Ｂの配置場所は前記分岐点又はその近傍のみに限られるものではない。例えば、細い配線部分１１１ｂにおける太い配線部分１１１ａに比較的近い部分にダミービア１１０Ｂが配置されていれば、ビア１１０Ａに侵入しようとする空孔の大多数はビア１１０Ａにたどり着く前に該ダミービア１１０Ｂによって捕獲されるため、ビア１１０Ａにボイドが発生することを防ぐことができる。
【００７７】
（第２の実施形態：ビアとダミービアとを同じ層に設ける場合（ダミー配線なし））
以下、本発明の第２の実施形態に係る配線構造及びその製造方法について図面を参照しながら説明する。
【００７８】
図５（ｂ）は、第２の実施形態に係る配線構造を示す断面図であり、図５（ｃ）は、図５（ｂ）に示す多層配線構造を上から見た平面図である。尚、図５（ｂ）及び（ｃ）において、図１（ａ）～（ｃ）及び図２（ａ）～（ｃ）に示す第１の実施形態と同一の構成要素には同一の符号を付すことにより、詳細な説明を省略する。
【００７９】
図５（ｂ）及び（ｃ）に示すように、本実施形態が第１の実施形態と異なっている点は次の通りである。すなわち、ダミー配線１０２Ｂが設けられていないこと、ダミーホール１０６Ｂに代えてダミーホール１０６Ｂよりも深いダミーホール１０６Ｃが設けられていること、及びダミーホール１０６Ｃにダミービア１１０Ｂに代えてダミービア１１０Ｃが設けられていることである。すなわち、ダミービア１１０Ｃ（ダミーホール１０６Ｃ）の底部は絶縁膜１０１中に形成されており、ダミーホール１０６Ｃの方がビアホール１０６Ａよりも深い。
【００８０】
尚、本実施形態でも、ダミービア１１０Ｃは、第２配線１１１におけるビア１１０Ａの接続部分の近傍に接続される。
【００８１】

また、図５（ｂ）に示すように、ダミービア１１０Ｃは、実使用時において、いかなる閉回路の構成要素にもならない。言い換えると、図５（ｂ）に示す配線構造においてダミービア１１０Ｃを省略したとしても、該配線構造を持つデバイスは、少なくとも製造直後においては動作可能である。

【００８２】

また、図５（ｃ）に示すように、本実施形態では、第１配線１０２Ａの幅は第２配線１１１の幅よりも小さい。具体的には、第１配線１０２Ａの幅は例えば０．２μｍであり、ビア１１０Ａ（ビアホール１０６Ａ）及びダミービア１１０Ｃ（ダミーホール１０６Ｃ）のそれぞれの直径は例えば０．２０μｍであり、第２配線１１１の幅は例えば１０μｍである。また、ビア１１０Ａとダミービア１１０Ｃとの間隔、正確には、ビア１１０Ａにおけるダミービア１１０Ｃ側のエッジと、ダミービア１１０Ｃにおけるビア１１０Ａ側のエッジとの間隔は例えば０．２μｍである。

【００８３】

図４（ａ）～（ｃ）及び図５（ａ）は、図５（ｂ）に示す多層配線構造を形成するための、第２の実施形態に係る配線構造の製造方法の各工程を示す断面図である。

【００８４】

まず、図４（ａ）に示すように、半導体基板（図示省略）の表面に絶縁膜１０１を成膜した後、絶縁膜１０１中に第１配線１０２Ａを形成する。

【００８５】

次に、図４（ｂ）に示すように、絶縁膜１０１及び第１配線１０２Ａのそれぞれの上に、例えばプラズマＣＶＤ法によりＳｉＮ膜１０３、SiO_2 膜１０４及びＦＳＧ膜１０５を順に成膜する。その後、リソグラフィー及びドライエッチングを２回ずつ交互に適用することによって、ＳｉＮ膜１０３及びSiO_2 膜１０４に、第１配線１０２Ａに達するビアホール１０６Ａを形成すると共に、絶縁膜１０１、ＳｉＮ膜１０３及びSiO_2 膜１０４にダミーホール１０６Ｃを形成する。また、ＦＳＧ膜１０５に、ビアホール１０６Ａ及びダミーホール１０６Ｃのそれぞれの開口部と接続する配線溝１０７を形成する。

【００８６】

次に、図４（ｃ）に示すように、ビアホール１０６Ａ、ダミーホール１０６Ｃ及び配線溝１０７が途中まで埋まるように、例えばＰＶＤ法によりバリア膜１０８を成膜した後、ビアホール１０６Ａ、ダミーホール１０６Ｃ及び配線溝１０７が完全に埋まるように、バリア膜１０８の上に例えばメッキ法によりＣｕ膜１０９を成膜する。

【００８７】

次に、図５（ａ）に示すように、例えばＣＭＰ法により、配線溝１０７の外側のバリア膜１０８及びＣｕ膜１０９を除去する。これにより、配線溝１０７に第２配線１１１が形成される。また、ビアホール１０６Ａに、第１配線１０２Ａと第２配線１１１とを接続するビア１１０Ａが形成されると共に、ダミーホール１０６Ｃに、第２配線１１１のみと接続するダミービア１１０Ｃが形成される。すなわち、ダミービア１１０Ｃは第１配線１０２Ａとは接続されない。

【００８８】

最後に、ＦＳＧ膜１０５の上及び第２配線１１１（Ｃｕ膜１０９）の上にＳｉＮ膜１１２を堆積することにより、図５（ｂ）に示す多層配線構造が完成する。

【００８９】

以上に説明した第２の実施形態の配線構造及びその製造方法によると、高温で保持されても動作不良を起こさない、信頼性の高い多層配線構造を実現することができる。その理由は次の通りである。すなわち、第２配線１１１におけるビア１１０Ａの接続部分の近傍にダミービア１１０Ｃが設けられているため、第２配線１１１を構成する導電膜（Ｃｕ膜１０９）内の空孔はビア１１０Ａとダミービア１１０Ｃとに分散して流入する。言い換えると、ダミービア１１０Ｃによって、ビア１個当たりに流入する空孔の数が減少するため、第２配線１１１からビア１１０Ａまでの応力の勾配を緩和することができるので、配線構造が高温で保持される場合にも、第２配線１１１からビア１１０Ａに向かって空孔が流

入する現象を抑制することができる。従って、ビア１１０Ａを構成する導電膜（Ｃｕ膜１０９）の塑性変形、つまりビアホール１０６Ａ内におけるボイドの発生を抑制することができるため、高温で保持されても動作不良を起こさない、信頼性の高い多層配線構造を実現することができる。

【００９０】

また、第２の実施形態によると、第１の実施形態と比較して、より信頼性の高い多層配線構造を実現することができる。その理由は次の通りである。すなわち、本実施形態では、ダミーホール１０６Ｃが、ビアホール１０６Ａと比較して、より深く形成されている。このため、第２配線１１１とビア１１０Ａとの間における応力の勾配よりも、第２配線１１１とダミービア１１０Ｃとの間における応力の勾配の方が大きくなるので、第２配線１１１を構成する導電膜（Ｃｕ膜１０９）内の空孔はダミービア１１０Ｃの方に優先的に流入する。従って、ビア１１０Ａを構成する導電膜（Ｃｕ膜１０９）の塑性変形、つまりビアホール１０６Ａ内におけるボイドの発生をより効果的に抑制することができるので、第１の実施形態と比較して、多層配線構造の信頼性をより向上させることができる。

【００９１】

尚、第２の実施形態において、ビア１１０Ａとダミービア１１０Ｃとの間隔（ビアホール１０６Ａとダミーホール１０６Ｃとの間隔：以下、ビア・ダミービア間隔と称する）は小さければ小さいほど好ましいが、ビア１１０Ａに流入する空孔をダミービア１１０Ｃによって低減させる効果を得るためには、ビア・ダミービア間隔は少なくとも２５μｍ以下であることが好ましく、１μｍ以下であることがより好ましい。このようにすると、本来ビア１１０Ａに流入しようとする空孔を、ダミービア１１０Ｃにも分散して流入させるという効果が確実に得られる。また、ビア・ダミービア間隔の下限は、例えばデザインルールにおける配線間又はビア間の最小分離幅（例えば０．２μｍ）に合わせて設定することができる。また、配線間最小分離幅が最小配線幅と同程度に設定されている場合には、ビア・ダミービア間隔の下限を最小配線幅に合わせて設定してもよい。

【００９２】

また、第２の実施形態において、１つのビア１１０Ａに対して設けられるダミービア１１０Ｃの数は形成可能な限り、多ければ多いほどよい。具体的には、第２配線１１１における回路動作に影響を及ぼさない領域に、できるだけ多くのダミービア１１０Ｃを設けることが好ましい。

【００９３】

また、第２の実施形態において、第２配線１１１が、例えば幅１０μｍの太い配線部分と、該太い配線部分から分岐した、例えば幅０．２０μｍの細い配線部分とを有しており、ビア１１０Ａ（ビアホール１０６Ａ）が細い配線部分に接続されている場合には、１つ又は複数のダミービア１１０Ｃ（複数のダミーホール１０６Ｃ）が、太い配線部分と細い配線部分との分岐点に接続されているか、又は太い配線部分における前記分岐点の近傍に接続されていることが好ましい。このようにすると、太い配線部分から細い配線部分に侵入してビア１１０Ａに流入しようとする空孔を、ダミービア１１０Ｃによって効果的に捕獲することができる。ここで、ダミービア１１０Ｃの配置場所は前記分岐点又はその近傍のみに限られるものではない。例えば、細い配線部分における太い配線部分に比較的近い部分にダミービア１１０Ｃが配置されていれば、ビア１１０Ａに侵入しようとする空孔の大多数はビア１１０Ａにたどり着く前に該ダミービア１１０Ｃによって捕獲されるため、ビア１１０Ａにボイドが発生することを防ぐことができる。その結果、デバイスを高温で保持した際に発生する動作不良数をより一層低減することができる。

【００９４】

（第３の実施形態：ビアとダミービアとを同じ層に設ける場合（ダミービア縮小））

以下、本発明の第３の実施形態に係る配線構造及びその製造方法について図面を参照しながら説明する。

【００９５】

図６（ａ）は、第３の実施形態に係る配線構造を示す断面図であり、図６（ｂ）は、図

６（ａ）に示す多層配線構造を上から見た平面図である。尚、図６（ａ）及び（ｂ）において、図１（ａ）～（ｃ）及び図２（ａ）～（ｃ）に示す第１の実施形態と同一の構成要素には同一の符号を付すことにより、詳細な説明を省略する。

【００９６】

図６（ａ）及び（ｂ）に示すように、本実施形態が第１の実施形態と異なっている点は次の通りである。すなわち、ダミーホール１０６Ｂに代えてダミーホール１０６Ｂよりも直径が小さいダミーホール１０６Ｄが設けられていること、及びダミーホール１０６Ｄにダミービア１１０Ｂに代えてダミービア１１０Ｄが設けられていることである。すなわち、本実施形態では、ダミーホール１０６Ｄ（ダミービア１１０Ｄ）の直径を、ビアホール１０６Ａ（ビア１１０Ａ）の直径と比較して小さく設定している。

【００９７】

尚、本実施形態においても、ダミービア１１０Ｄは、第２配線１１１におけるビア１１０Ａの接続部分の近傍に接続される。

【００９８】

また、図６（ａ）に示すように、ダミー配線１０２Ｂ及びダミービア１１０Ｄのそれぞれは、実使用時において、いかなる閉回路の構成要素にもならない。言い換えると、図６（ａ）に示す配線構造においてダミービア１１０Ｄを省略したとしても、該配線構造を持つデバイスは、少なくとも製造直後においては動作可能である。

【００９９】

また、図６（ｂ）に示すように、本実施形態では、第１配線１０２Ａ及びダミー配線１０２Ｂのそれぞれの幅は第２配線１１１の幅よりも小さい。具体的には、第１配線１０２Ａ及びダミー配線１０２Ｂのそれぞれの幅は例えば０．２μｍであり、ビア１１０Ａ（ビアホール１０６Ａ）の直径は例えば０．２０μｍであり、ダミービア１１０Ｄ（ダミーホール１０６Ｄ）の直径は例えば０．１６μｍであり、第２配線１１１の幅は例えば１０μｍである。また、ビア１１０Ａとダミービア１１０Ｄとの間隔、正確には、ビア１１０Ａにおけるダミービア１１０Ｄ側のエッジと、ダミービア１１０Ｄにおけるビア１１０Ａ側のエッジとの間隔は例えば０．２４μｍである。

【０１００】

また、図６（ａ）に示す多層配線構造を形成するための、第３の実施形態に係る配線構造の製造方法が、第１の実施形態に係る配線構造の製造方法（図１（ａ）～（ｃ）及び図２（ａ）、（ｂ）参照）と異なっている点は、図１（ｂ）に示す工程で、ダミーホール１０６Ｂに代えて、ダミー配線１０２Ｂに達し且つダミーホール１０６Ｂよりも直径が小さいダミーホール１０６Ｄを形成することだけである。すなわち、ダミーホール形成用のマスクパターンレイアウトを変更すればよい。

【０１０１】

以上に説明した第３の実施形態の配線構造及びその製造方法によると、高温で保持されても動作不良を発生しにくい、信頼性の高い多層配線構造を実現することができる。その理由は次の通りである。すなわち、第２配線１１１におけるビア１１０Ａの接続部分の近傍にダミービア１１０Ｄが設けられているため、第２配線１１１を構成する導電膜（Ｃｕ膜１０９）内の空孔はビア１１０Ａとダミービア１１０Ｄとに分散して流入する。言い換えると、ダミービア１１０Ｄによって、ビア１個当たりに流入する空孔の数が減少するため、第２配線１１１からビア１１０Ａまでの応力の勾配を緩和することができるので、配線構造が高温で保持される場合にも、第２配線１１１からビア１１０Ａに向かって空孔が流入する現象を抑制することができる。従って、ビア１１０Ａを構成する導電膜（Ｃｕ膜１０９）の塑性変形、つまりビアホール１０６Ａ内におけるボイドの発生を抑制することができるため、高温で保持されても動作不良を発生しにくい、信頼性の高い多層配線構造を実現することができる。

【０１０２】

また、第３の実施形態によると、第１の実施形態と比較して、より信頼性の高い多層配線構造を実現することができる。その理由は次の通りである。すなわち、本実施形態では

、ビアホール１０６Ａ（ビア１１０Ａ）の直径と比較してダミーホール１０６Ｄ（ダミービア１１０Ｄ）の直径の方が小さくなるため、言い換えると、ビア１１０Ａの体積と比較してダミービア１１０Ｄの体積の方が小さくなるため、第２配線１１１とビア１１０Ａとの間における応力の勾配よりも、第２配線１１１とダミービア１１０Ｄとの間における応力の勾配の方が大きくなる。このため、第２配線１１１を構成する導電膜（Ｃｕ膜１０９）内の空孔はダミービア１１０Ｄの方に優先的に流入する。従って、ビア１１０Ａを構成する導電膜（Ｃｕ膜１０９）の塑性変形、つまりビアホール１０６Ａ内におけるボイドの発生をより効果的に抑制することができるので、第１の実施形態と比較して、多層配線構造の信頼性をより向上させることができる。

【０１０３】

また、第３の実施形態によると、ダミービア１１０Ｄ（ダミーホール１０６Ｄ）の下にダミー配線１０２Ｂが設けられているため、ダミー配線１０２ＢをエッチングストッパーとしてＳｉＮ膜１０３及びSiO_2膜１０４に対してエッチングを行なうことにより、ダミーホール１０６Ｄを簡単に形成することができる。

【０１０４】

尚、第３の実施形態において、ビア１１０Ａとダミービア１１０Ｄとの間隔（ビアホール１０６Ａとダミーホール１０６Ｄとの間隔：以下、ビア・ダミービア間隔と称する）は小さければ小さいほど好ましいが、ビア１１０Ａに流入する空孔をダミービア１１０Ｄによって低減させる効果を得るためには、ビア・ダミービア間隔は少なくとも２５μｍ以下であることが好ましく、１μｍ以下であることがより好ましい。このようにすると、本来ビア１１０Ａに流入しようとする空孔を、ダミービア１１０Ｄにも分散して流入させるという効果が得られる。また、ビア・ダミービア間隔の下限は、例えばデザインルールにおける配線間又はビア間の最小分離幅（例えば０．２μｍ）に合わせて設定することができる。また、配線間最小分離幅が最小配線幅と同程度に設定されている場合には、ビア・ダミービア間隔の下限を最小配線幅に合わせて設定してもよい。

【０１０５】

また、第３の実施形態において、１つのビア１１０Ａに対して設けられるダミービア１１０Ｄの数は形成可能な限り、多ければ多いほどよい。具体的には、第２配線１１１における回路動作に影響を及ぼさない領域に、できるだけ多くのダミービア１１０Ｄを設けることが好ましい。

【０１０６】

また、第３の実施形態において、第２配線１１１が、例えば幅１０μｍの太い配線部分と、該太い配線部分から分岐した、例えば幅０．２０μｍの細い配線部分とを有しており、ビア１１０Ａ（ビアホール１０６Ａ）が細い配線部分に接続されている場合には、１つ又は複数のダミービア１１０Ｄ（複数のダミーホール１０６Ｄ）が、太い配線部分と細い配線部分との分岐点に接続されているか、又は太い配線部分における前記分岐点の近傍に接続されていることが好ましい。このようにすると、太い配線部分から細い配線部分に侵入してビア１１０Ａに流入しようとする空孔を、ダミービア１１０Ｄによって効果的に捕獲することができる。ここで、ダミービア１１０Ｄの配置場所は前記分岐点又はその近傍のみに限られるものではない。例えば、細い配線部分における太い配線部分に比較的近い部分にダミービア１１０Ｄが配置されていれば、ビア１１０Ａに侵入しようとする空孔の大多数はビア１１０Ａにたどり着く前に該ダミービア１１０Ｄによって捕獲されるため、ビア１１０Ａにボイドが発生することを防ぐことができる。その結果、デバイスを高温で保持した際に発生する動作不良数をより一層低減することができる。

【０１０７】

また、第３の実施形態において、ダミー配線１０２Ｂを設けずに、ダミービア１１０Ｄ（ダミーホール１０６Ｄ）の底部を絶縁膜１０１中に形成してもよい。このようにすると、ビアホール１０６Ａと比較してダミーホール１０６Ｄの方が深くなるため、第２配線１１１とビア１１０Ａとの間における応力の勾配よりも、第２配線１１１とダミービア１１０Ｄとの間における応力の勾配の方がより一層大きくなるので、第２配線１１１を構成す

る導電膜（Ｃｕ膜１０９）内の空孔はダミービア１１０Ｄの方により一層優先的に流入する。従って、ビア１１０Ａを構成する導電膜（Ｃｕ膜１０９）の塑性変形、つまりビアホール１０６Ａ内におけるボイドの発生をより一層効果的に抑制することができるので、多層配線構造の信頼性をより一層向上させることができる。

【０１０８】

（第４の実施形態：ビアとダミービアとを同じ層に設ける場合（ダミービア変形））

以下、本発明の第４の実施形態に係る配線構造及びその製造方法について図面を参照しながら説明する。

【０１０９】

図７（ａ）は、第４の実施形態に係る配線構造を示す断面図であり、図７（ｂ）は、図７（ａ）に示す多層配線構造を上から見た平面図である。尚、図７（ａ）及び（ｂ）において、図１（ａ）～（ｃ）及び図２（ａ）～（ｃ）に示す第１の実施形態と同一の構成要素には同一の符号を付すことにより、詳細な説明を省略する。

【０１１０】

図７（ａ）及び（ｂ）に示すように、本実施形態が第１の実施形態と異なっている点は次の通りである。すなわち、ダミーホール１０６Ｂに代えて、ダミーホール１０６Ｂ（つまりビアホール１０６Ａ）とは形状が異なるダミーホール１０６Ｅ、具体的にはビアホール１０６Ａよりも縦長の平面形状を有するダミーホール１０６Ｅが設けられていること、及びダミーホール１０６Ｅにダミービア１１０Ｂに代えてダミービア１１０Ｅが設けられていることである。ここで、ダミーホール１０６Ｅ（ダミービア１１０Ｅ）の平面形状は例えば方形であり、該ダミービア１１０Ｅの平面形状における長辺方向が第２配線１１１の短辺方向と一致している。また、ダミービア１１０Ｅは、第２配線１１１におけるビア１１０Ａ（ビアホール１０６Ａ）の接続部分の近傍に接続されると共に、ダミービア１１０Ｅは、ビア１１０Ａよりも第２配線１１１の中央に近い位置に設けられる。言い換えると、第２配線１１１におけるビア１１０Ａから見てダミービア１１０Ｅのある側の一端とビア１１０Ａとの間の距離は、第２配線１１１におけるビア１１０Ａから見てダミービア１１０Ｅのない側の他端とビア１１０Ａとの間の距離よりも長い。

【０１１１】

尚、図７（ａ）に示すように、ダミー配線１０２Ｂ及びダミービア１１０Ｅのそれぞれは、実使用時において、いかなる閉回路の構成要素にもならない。言い換えると、図７（ａ）に示す配線構造においてダミービア１１０Ｅを省略したとしても、該配線構造を持つデバイスは、少なくとも製造直後においては動作可能である。

【０１１２】

また、図７（ｂ）に示すように、本実施形態では、第１配線１０２Ａ及びダミー配線１０２Ｂのそれぞれの幅は第２配線１１１の幅よりも小さい。具体的には、第１配線１０２Ａ及びダミー配線１０２Ｂのそれぞれの幅は例えば０．２μｍであり、ビア１１０Ａ（ビアホール１０６Ａ）の直径は例えば０．２０μｍであり、方形状のダミービア１１０Ｅ（ダミーホール１０６Ｅ）の長辺の長さ及び短辺の長さはそれぞれ例えば０．８μｍ及び０．２０μｍであり、第２配線１１１の幅は例えば１０μｍである。また、ビア１１０Ａとダミービア１１０Ｅとの間隔、正確には、ビア１１０Ａにおけるダミービア１１０Ｅ側のエッジと、ダミービア１１０Ｅにおけるビア１１０Ａ側のエッジとの間隔は例えば０．２μｍである。

【０１１３】

また、図７（ａ）に示す多層配線構造を形成するための、第４の実施形態に係る配線構造の製造方法が、第１の実施形態に係る配線構造の製造方法（図１（ａ）～（ｃ）及び図２（ａ）、（ｂ）参照）と異なっている点は、図１（ｂ）に示す工程で、ダミーホール１０６Ｂに代えて、ダミー配線１０２Ｂに達し且つ平面形状が方形のダミーホール１０６Ｅを形成することだけである。すなわち、ダミーホール形成用のマスクパターンレイアウトを変更すればよい。

【０１１４】

以上に説明した第４の実施形態の配線構造及びその製造方法によると、高温で保持されても動作不良を起こさない、信頼性の高い多層配線構造を実現することができる。その理由は次の通りである。すなわち、第２配線１１１におけるビア１１０Ａの接続部分の近傍にダミービア１１０Ｅが設けられているため、第２配線１１１を構成する導電膜（Ｃｕ膜１０９）内の空孔はビア１１０Ａとダミービア１１０Ｅとに分散して流入する。言い換えると、ダミービア１１０Ｅによって、ビア１個当たりに流入する空孔の数が減少するため、第２配線１１１からビア１１０Ａまでの応力の勾配を緩和することができるので、配線構造が高温で保持される場合にも、第２配線１１１からビア１１０Ａに向かって空孔が流入する現象を抑制することができる。従って、ビア１１０Ａを構成する導電膜（Ｃｕ膜１０９）の塑性変形、つまりビアホール１０６Ａ内におけるボイドの発生を抑制することができるため、高温で保持されても動作不良を発生しにくい、信頼性の高い多層配線構造を実現することができる。

【０１１５】

また、第４の実施形態によると、第１の実施形態と比較して、より信頼性の高い多層配線構造を実現することができる。その理由は次の通りである。すなわち、本実施形態では、ダミーホール１０６Ｅ（ダミービア１１０Ｅ）の平面形状は、ビアホール１０６Ａ（ビア１１０Ａ）の平面形状よりも縦長であり、ダミービア１１０Ｅの平面形状における長辺方向が第２配線１１１の短辺方向と一致している。このため、第２配線１１１を構成する導電膜（Ｃｕ膜１０９）内の空孔のうち、ビア１１０Ａから見てダミービア１１０Ｅの方向においてダミービア１１０Ｅよりも遠くに存在する空孔を、ダミービア１１０Ｅに流入させ、それによって該空孔がビア１１０Ａに到達することを防止できる。このため、ビア１１０Ａを構成する導電膜（Ｃｕ膜１０９）の塑性変形、つまりビアホール１０６Ａ内におけるボイドの発生をより効果的に抑制することができるので、第１の実施形態と比較して、多層配線構造の信頼性をより向上させることができる。

【０１１６】

また、第４の実施形態によると、ダミービア１１０Ｅがビア１１０Ａよりも第２配線１１１の中央に近い位置に設けられているため、言い換えると、第２配線１１１におけるビア１１０Ａから見てダミービア１１０Ｅのある側の一端とビア１１０Ａとの間の距離が、第２配線１１１におけるビア１１０Ａから見てダミービア１１０Ｅのない側の他端とビア１１０Ａとの間の距離よりも長いため、次のような効果が得られる。すなわち、第２配線１１１における前記の一端とビア１１０Ａとの間の一領域は、第２配線１１１における前記の他端とビア１１０Ａとの間の他領域よりも大きくなるので、第２配線１１１の一領域の方が第２配線１１１の他領域よりも多くの空孔を含む。そして、より多くの空孔を含むこの第２配線１１１の一領域にダミービア１１０Ｅが設けられているため、ダミービア１１０Ｅに空孔をより効率的に流入させることができる。このため、ビア１１０Ａを構成する導電膜（Ｃｕ膜１０９）の塑性変形、つまりビアホール１０６Ａ内におけるボイドの発生をより効果的に抑制することができるので、多層配線構造の信頼性をより向上させることができる。

【０１１７】

また、第４の実施形態によると、ダミービア１１０Ｅ（ダミーホール１０６Ｅ）の下にダミー配線１０２Ｂが設けられているため、ダミー配線１０２ＢをエッチングストッパーとしてＳｉＮ膜１０３及びSiO_2膜１０４に対してエッチングを行なうことにより、ダミーホール１０６Ｅを簡単に形成することができる。

【０１１８】

尚、第４の実施形態において、ビア１１０Ａとダミービア１１０Ｅとの間隔（ビアホール１０６Ａとダミーホール１０６Ｅとの間隔：以下、ビア・ダミービア間隔と称する）は小さければ小さいほど好ましいが、ビア１１０Ａに流入する空孔をダミービア１１０Ｅによって低減させる効果を得るためには、ビア・ダミービア間隔は少なくとも２５μｍ以下であることが好ましく、１μｍ以下であることがより好ましい。このようにすると、本来ビア１１０Ａに流入しようとする空孔を、ダミービア１１０Ｅにも分散して流入させると

いう効果が確実に得られる。また、ビア・ダミービア間隔の下限は、例えばデザインルールにおける配線間又はビア間の最小分離幅（例えば０．２μｍ）に合わせて設定することができる。また、配線間最小分離幅が最小配線幅と同程度に設定されている場合には、ビア・ダミービア間隔の下限を最小配線幅に合わせて設定してもよい。

【０１１９】

また、第４の実施形態において、１つのビア１１０Ａに対して設けられるダミービア１１０Ｅの数は形成可能な限り、多ければ多いほどよい。具体的には、第２配線１１１における回路動作に影響を及ぼさない領域に、できるだけ多くのダミービア１１０Ｅを設けることが好ましい。

【０１２０】

また、第４の実施形態において、ダミー配線１０２Ｂを設けずに、ダミービア１１０Ｅ（ダミーホール１０６Ｅ）の底部を絶縁膜１０１中に形成してもよい。

【０１２１】

また、第４の実施形態において、ダミーホール１０６Ｅ（ダミービア１１０Ｅ）と異なる平面形状を持つビアホール１０６Ａ（ビア１１０Ａ）の該平面形状は、特に限定されるものではないが、例えば円形や正方形であってもよい。

【０１２２】

（第４の実施形態の変形例）

以下、本発明の第４の実施形態の変形例に係る配線構造及びその製造方法について図面を参照しながら説明する。

【０１２３】

図７（ｃ）は、第４の実施形態の変形例に係る配線構造を示す平面図である。

【０１２４】

図７（ｃ）に示すように、本変形例が第１の実施形態（図２（ｃ）参照）と異なっている点は次の通りである。すなわち、第１点は、第２配線１１１が、例えば幅１０μｍの太い配線部分１１１ａと、該太い配線部分１１１ａから分岐した、例えば幅０．２０μｍの細い配線部分１１１ｂとを有していることである。また、第２点は、ビア１１０Ａ（ビアホール１０６Ａ）が細い配線部分１１１ｂに接続されていることである。さらに、第３点は、ダミービア１１０Ｅ（ダミーホール１０６Ｅ）が、太い配線部分１１１ａにおける細い配線部分１１１ｂとの分岐点の近傍に接続されていることである。ここで、本変形例のように、細い配線部分１１１ｂが太い配線部分１１１ａの長辺側から分岐している場合、図７（ｃ）に示すように、ダミービア１１０Ｅの平面形状における長辺方向を太い配線部分１１１ａの長辺方向と一致させる。

【０１２５】

本変形例によると、第４の実施形態の効果に加えて次のような効果が得られる。すなわち、太い配線部分１１１ａから細い配線部分１１１ｂに侵入してビア１１０Ａに流入しようとする空孔を、ダミービア１１０Ｅによって効果的に捕獲することができる。その結果、デバイスを高温で保持した際に発生する動作不良数をより一層低減することができる。

【０１２６】

（第５の実施形態：ビアとダミービアとを異なる層に設ける場合）

以下、本発明の第５の実施形態に係る配線構造及びその製造方法について図面を参照しながら説明する。

【０１２７】

図１０（ｂ）は、第５の実施形態に係る配線構造を示す断面図であり、図１０（ｃ）は、図１０（ｂ）に示す多層配線構造を上から見た平面図である。尚、図１０（ｂ）及び（ｃ）において、図１（ａ）～（ｃ）及び図２（ａ）～（ｃ）に示す第１の実施形態又は図４（ａ）～（ｃ）及び図５（ａ）～（ｃ）に示す第２の実施形態等と同一の構成要素には同一の符号を付すことにより、詳細な説明を省略する。

【０１２８】

図１０（ｂ）及び（ｃ）に示すように、半導体基板（図示省略）上の絶縁膜１０１に第

１配線１０２Ａが埋め込まれていると共に、絶縁膜１０１及び第１配線１０２Ａのそれぞれの上にＳｉＮ膜１０３、SiO_2 膜１０４及びＦＳＧ膜１０５が順次形成されている。ＳｉＮ膜１０３及びSiO_2 膜１０４には、第１配線１０２Ａに達するビアホール１０６Ａが形成されている。ＦＳＧ膜１０５には、ビアホール１０６Ａの開口部と接続する配線溝１０７が形成されている。ビアホール１０６Ａ及び配線溝１０７にはバリア膜１０８及びＣｕ膜１０９が順次埋め込まれており、それによってビアホール１０６Ａ及び配線溝１０７にそれぞれビア１１０Ａ及び第２配線１１１が形成されている。

【０１２９】

また、ＦＳＧ膜１０５の上及び第２配線１１１の上にはＳｉＮ膜１１２、SiO_2 膜１１３及びＦＳＧ膜１１４が形成されている。ＳｉＮ膜１１２、SiO_2 膜１１３及びＦＳＧ膜１１４には、第２配線１１１に達する擬似ビアホール（ダミーホール）１１５が形成されている。ダミーホール１１５にはバリア膜１１６及びＣｕ膜１１７が順次埋め込まれており、それによってダミーホール１１５にダミービア１１８が形成されている。ダミービア１１８は、第２配線１１１におけるビア１１０Ａの接続部分の近傍に接続される。ＦＳＧ膜１１４の上及びダミービア１１８の上にはＳｉＮ膜１１９が形成されている。

【０１３０】

以上に説明したように、本実施形態が第１～第４の実施形態と大きく異なっている点は、ダミーホール１１５（ダミービア１１８）が、第２配線１１１の下側ではなく第２配線１１１の上側に設けられていることである。

【０１３１】

尚、図１０（ｂ）に示すように、ダミービア１１８は、実使用時において、いかなる閉回路の構成要素にもならない。言い換えると、図１０（ｂ）に示す配線構造においてダミービア１１８を省略したとしても、該配線構造を持つデバイスは、少なくとも製造直後においては動作可能である。

【０１３２】

また、図１０（ｃ）に示すように、本実施形態では、第１配線１０２Ａの幅は第２配線１１１の幅よりも小さい。具体的には、第１配線１０２Ａの幅は例えば０．２μｍであり、ビア１１０Ａ（ビアホール１０６Ａ）及びダミービア１１８（ダミーホール１１５）のそれぞれの直径は例えば０．２０μｍであり、第２配線１１１の幅は例えば１０μｍである。また、ビア１１０Ａとダミービア１１８との間隔、正確には、ビア１１０Ａにおけるダミービア１１８側のエッジと、ダミービア１１８におけるビア１１０Ａ側のエッジとの間隔は例えば０．２μｍである。

【０１３３】

図８（ａ）～（ｃ）、図９（ａ）～（ｃ）及び図１０（ａ）は、図１０（ｂ）に示す多層配線構造を形成するための、第５の実施形態に係る配線構造の製造方法の各工程を示す断面図である。

【０１３４】

まず、図８（ａ）に示すように、半導体基板（図示省略）の表面に絶縁膜１０１を成膜した後、絶縁膜１０１中に第１配線１０２Ａを形成する。

【０１３５】

次に、図８（ｂ）に示すように、絶縁膜１０１及び第１配線１０２Ａのそれぞれの上に、例えばプラズマＣＶＤ法によりＳｉＮ膜１０３、SiO_2 膜１０４及びＦＳＧ膜１０５を順に成膜する。その後、リソグラフィー及びドライエッチングを２回ずつ交互に適用することによって、ＳｉＮ膜１０３及びSiO_2 膜１０４に、第１配線１０２Ａに達するビアホール１０６Ａを形成すると共に、ＦＳＧ膜１０５に、ビアホール１０６Ａの開口部と接続する配線溝１０７を形成する。

【０１３６】

次に、図８（ｃ）に示すように、ビアホール１０６Ａ及び配線溝１０７が途中まで埋まるように、例えばＰＶＤ法によりバリア膜１０８を成膜した後、ビアホール１０６Ａ及び配線溝１０７が完全に埋まるように、バリア膜１０８の上に例えばメッキ法によりＣｕ膜

１０９を成膜する。

【０１３７】

次に、図９（ａ）に示すように、例えばＣＭＰ法により、配線溝１０７の外側のバリア膜１０８及びＣｕ膜１０９を除去する。これにより、配線溝１０７に第２配線１１１が形成される。また、ビアホール１０６Ａに、第１配線１０２Ａと第２配線１１１とを接続するビア１１０Ａが形成される。

【０１３８】

次に、図９（ｂ）に示すように、ＦＳＧ膜１０５及び第２配線１１１のそれぞれの上に、例えばプラズマＣＶＤ法によりＳｉＮ膜１１２、SiO_2 膜１１３及びＦＳＧ膜１１４を順に成膜する。その後、リソグラフィー及びドライエッチングを適用することによって、ＳｉＮ膜１１２、SiO_2 膜１１３及びＦＳＧ膜１１４に、第２配線１１１に達するダミーホール１１５を形成する。

【０１３９】

次に、図９（ｃ）に示すように、ダミーホール１１５が途中まで埋まるように、例えばＰＶＤ法によりバリア膜１１６を成膜した後、ダミーホール１１５が完全に埋まるように、バリア膜１１６の上に例えばメッキ法によりＣｕ膜１１７を成膜する。

【０１４０】

次に、図１０（ａ）に示すように、例えばＣＭＰ法により、ダミーホール１１５の外側のバリア膜１１６及びＣｕ膜１１７を除去する。これにより、ダミーホール１１５に、第２配線１１１と接続されたダミービア１１８が形成される。

【０１４１】

最後に、ＦＳＧ膜１１４の上及びダミービア１１８（Ｃｕ膜１１７）の上にＳｉＮ膜１１９を堆積することにより、図１０（ｂ）に示す多層配線構造が完成する。

【０１４２】

以上に説明した第５の実施形態の配線構造及びその製造方法によると、高温で保持されても動作不良を起こさない、信頼性の高い多層配線構造を実現することができる。その理由は次の通りである。すなわち、第２配線１１１におけるビア１１０Ａの接続部分の近傍にダミービア１１８が設けられているため、第２配線１１１を構成する導電膜（Ｃｕ膜１０９）内の空孔はビア１１０Ａとダミービア１１８とに分散して引き寄せられる。具体的には、第２配線１１１におけるダミービア１１８が接続されている部分では、その周辺と比較して、第２配線１１１を構成するＣｕ膜１０９に作用する引っ張り応力が小さくなる。このため、該Ｃｕ膜１０９の内部の空孔はダミービア１１８に引き寄せられるので、配線構造が高温で保持される場合にも、第２配線１１１からビア１１０Ａに向かって空孔が流入する現象を抑制することができる。従って、ビア１１０Ａを構成する導電膜（Ｃｕ膜１０９）の塑性変形、つまりビアホール１０６Ａ内におけるボイドの発生を抑制することができるため、高温で保持されても動作不良を起こさない、信頼性の高い多層配線構造を実現することができる。

【０１４３】

尚、第５の実施形態において、ビア１１０Ａとダミービア１１８との間隔（ビアホール１０６Ａとダミーホール１１５との間隔：以下、ビア・ダミービア間隔と称する）は小さければ小さいほど好ましいが、ビア１１０Ａに流入する空孔をダミービア１１８によって低減させる効果を得るためには、ビア・ダミービア間隔は少なくとも２５μｍ以下であることが好ましく、１μｍ以下であることがより好ましい。また、ビア・ダミービア間隔の下限は、例えばデザインルールにおける配線間又はビア間の最小分離幅（例えば０．２μｍ）に合わせて設定することができる。また、配線間最小分離幅が最小配線幅と同程度に設定されている場合には、ビア・ダミービア間隔の下限を最小配線幅に合わせて設定してもよい。

【０１４４】

また、第５の実施形態において、１つのビア１１０Ａに対して設けられるダミービア１１８の数は形成可能な限り、多ければ多いほどよい。具体的には、第２配線１１１におけ

る回路動作に影響を及ぼさない領域に、できるだけ多くのダミービア１１８を設けることが好ましい。

【０１４５】

また、第５の実施形態において、ダミービア１１８の頂部を絶縁膜中で終端させたが、これに代えて、ダミービア１１８の頂部がダミー配線と接続されていてもよい。このようにすると、ダミービア１１８を形成するためのホールをエッチングにより一旦形成した後に、ダミー配線溝を形成するためのエッチングによって、該ホール底部の絶縁膜残りを確実に除去することができる。従って、ダミービア１１８を第２配線１１１に確実に接続させることができるので、本実施形態の効果が得られる。

【０１４６】

また、第５の実施形態において、ダミービア１１８（ダミーホール１１５）の直径をビア１１０Ａ（ビアホール１０６）の直径よりも小さくすると、第３の実施形態と同様の効果が得られる。

【０１４７】

また、第５の実施形態において、ダミービア１１８の平面形状を方形に設定すると共に、該ダミービア１１８の平面形状における長辺方向を第２配線１１１の短辺方向に一致させると、第４の実施形態と同様の効果が得られる。この場合、ダミービア１１８は、ビア１１０Ａよりも第２配線１１１の中央に近い位置に設けられることが好ましい。言い換えると、第２配線１１１におけるビア１１０Ａから見てダミービア１１８のある側の一端とビア１１０Ａとの間の距離が、第２配線１１１におけるビア１１０Ａから見てダミービア１１８のない側の他端とビア１１０Ａとの間の距離よりも長いと、前記の効果がより顕著に得られる。また、この場合、ビアホール１０６Ａ（ビア１１０Ａ）の平面形状は、特に限定されるものではないが、例えば円形や正方形であってもよい。

【０１４８】

（第６の実施形態：絶縁性スリット１）

以下、本発明の第６の実施形態に係る配線構造及びその製造方法について図面を参照しながら説明する。

【０１４９】

図１２（ｂ）は、第６の実施形態に係る配線構造を示す断面図であり、図１２（ｃ）は、図１２（ｂ）に示す多層配線構造を上から見た平面図である。尚、図１２（ｂ）及び（ｃ）において、図１（ａ）～（ｃ）及び図２（ａ）～（ｃ）に示す第１の実施形態又は図図４（ａ）～（ｃ）及び図５（ａ）～（ｃ）に示す第２の実施形態等と同一の構成要素には同一の符号を付すことにより、詳細な説明を省略する。

【０１５０】

図１２（ｂ）及び（ｃ）に示すように、半導体基板（図示省略）上の絶縁膜１０１に第１配線１０２Ａが埋め込まれていると共に、絶縁膜１０１及び第１配線１０２Ａのそれぞれの上にＳｉＮ膜１０３、SiO_2 膜１０４及びＦＳＧ膜１０５が順次形成されている。ＳｉＮ膜１０３及びSiO_2 膜１０４には、第１配線１０２Ａに達するビアホール１０６Ａが形成されている。ＦＳＧ膜１０５には、ビアホール１０６Ａの開口部と接続する配線溝１０７が形成されている。ビアホール１０６Ａ及び配線溝１０７にはバリア膜１０８及びＣｕ膜１０９が順次埋め込まれており、それによってビアホール１０６Ａ及び配線溝１０７にそれぞれビア１１０Ａ及び第２配線１１１が形成されている。

【０１５１】

本実施形態の特徴は、第２配線１１１におけるビア１１０Ａの接続部分（上側部分）を挟むように、一対の絶縁性スリット１２０が第２配線１１１の内部に設けられていることである。尚、本実施形態では、絶縁性スリット１２０は、層間絶縁膜であるＦＳＧ膜１０５の一部分よりなる。また、絶縁性スリット１２０を含むＦＳＧ膜１０５の上及び第２配線１１１の上にはＳｉＮ膜１１２が形成されている。

【０１５２】

また、図１２（ｃ）に示すように、本実施形態では、第１配線１０２Ａの幅は第２配線

１１１の幅よりも小さい。具体的には、第１配線１０２Ａの幅は例えば０．２μｍであり、ビア１１０Ａ（ビアホール１０６Ａ）の直径は例えば０．２０μｍであり、第２配線１１１の幅は例えば１０μｍである。また、各絶縁性スリット１２０の平面形状は方形であり、該絶縁性スリット１２０の平面形状における長辺は、ビア１１０Ａの直径の２倍以上で且つ４倍以下の長さを持つ。例示するならば、絶縁性スリット１２０の平面形状における長辺の長さ及び短辺の長さはそれぞれ０．４μｍ及び０．２μｍである。尚、本実施形態では、絶縁性スリット１２０の平面形状における長辺側が、第２配線１１１におけるビア１１０Ａの接続部分と接している。

【０１５３】

図１１（ａ）～（ｃ）及び図１２（ａ）は、図１２（ｂ）に示す多層配線構造を形成するための、第６の実施形態に係る配線構造の製造方法の各工程を示す断面図である。

【０１５４】

まず、図１１（ａ）に示すように、半導体基板（図示省略）の表面に絶縁膜１０１を成膜した後、絶縁膜１０１中に第１配線１０２Ａを形成する。

【０１５５】

次に、図１１（ｂ）に示すように、絶縁膜１０１及び第１配線１０２Ａのそれぞれの上に、例えばプラズマＣＶＤ法によりＳｉＮ膜１０３、SiO_2 膜１０４及びＦＳＧ膜１０５を順に成膜する。その後、リソグラフィー及びドライエッチングを２回ずつ交互に適用することによって、ＳｉＮ膜１０３及びSiO_2 膜１０４に、第１配線１０２Ａに達するビアホール１０６Ａを形成すると共に、ＦＳＧ膜１０５に、ビアホール１０６Ａの開口部と接続する配線溝１０７を形成する。尚、本実施形態では、配線溝１０７を形成する際に、配線溝１０７におけるビアホール１０６Ａの接続部分の周辺にＦＳＧ膜１０５の一部分を残存させ、それによって絶縁性スリット１２０を設ける。具体的には、配線溝１０７を形成するためのリソグラフィ工程で、配線溝１０７の形成領域以外の他の領域に加えてＦＳＧ膜１０５における絶縁性スリット１２０となる領域を覆うレジストパターンを形成した後、該レジストパターンをマスクとしてＦＳＧ膜１０５に対してエッチングを行なう。

【０１５６】

次に、図１１（ｃ）に示すように、ビアホール１０６Ａ及び配線溝１０７が途中まで埋まるように、例えばＰＶＤ法によりバリア膜１０８を成膜した後、ビアホール１０６Ａ及び配線溝１０７が完全に埋まるように、バリア膜１０８の上に例えばメッキ法によりＣｕ膜１０９を成膜する。

【０１５７】

次に、図１２（ａ）に示すように、例えばＣＭＰ法により、配線溝１０７の外側のバリア膜１０８及びＣｕ膜１０９を除去する。これにより、配線溝１０７に第２配線１１１が形成される。また、ビアホール１０６Ａに、第１配線１０２Ａと第２配線１１１とを接続するビア１１０Ａが形成される。

【０１５８】

最後に、絶縁性スリット１２０を含むＦＳＧ膜１０５の上及び第２配線１１１（Ｃｕ膜１０９）の上にＳｉＮ膜１１２を堆積することにより、図１２（ｂ）に示す多層配線構造が完成する。

【０１５９】

以上に説明した第６の実施形態の配線構造及びその製造方法によると、高温で保持されても動作不良を発生しにくい、信頼性の高い多層配線構造を実現することができる。その理由は次の通りである。すなわち、第２配線１１１におけるビア１１０Ａの接続部分の近傍に絶縁性スリット１２０が設けられているため、具体的には、第２配線１１１のビア接続部分と接するように、第２配線１１１の内部に絶縁性スリット１２０が設けられているため、第２配線１１１のビア接続部分の近傍における引っ張り応力を、第２配線１１１の他の部分と比べて小さくすることができる。このため、絶縁性スリット１２０によって、ビア１個当たりに流入する空孔の数が減少するため、第２配線１１１からビア１１０Ａまでの応力の勾配を緩和することができるので、配線構造が高温で保持される場合にも、第

２配線１１１からビア１１０Ａに向かって空孔が流入する現象を抑制することができる。また、第２配線１１１やビア１１０Ａを構成する導電膜（Ｃｕ膜１０９）とは異なる材料からなる絶縁性スリット１２０は、該導電膜中の原子又は空孔が移動する際の障壁として機能する。このため、該原子が第２配線１１１及びビア１１０Ａの内部で対流したり又は空孔がビア１１０Ａの底部に集積したりすることを防止することができる。従って、ビア１１０Ａを構成する導電膜（Ｃｕ膜１０９）の塑性変形、つまりビアホール１０６Ａ内におけるボイドの発生を抑制することができるため、高温で保持されても動作不良を発生しにくい、信頼性の高い多層配線構造を実現することができる。

【０１６０】

図１３は、本実施形態の効果を説明するための図である。尚、図１３において、縦軸に「デバイスの高温保持後における動作不良数（個）」を示すと共に、横軸に「絶縁性スリットの有無」を示す。すなわち、「スリットあり」が本実施形態に相当し、「スリットなし」が従来例に相当する。図１３に示すように、本実施形態の「絶縁性スリット」により、「スリットなし」の場合と比べて、「デバイスの高温保持後における動作不良数」を８分の１程度まで低減することができる。これは、絶縁膜からなるスリットが存在することによって、配線用導電膜中の原子が移動し且つ該導電膜中の空孔がビアに集まる現象を防止できるためである。すなわち、配線材料とは異なる絶縁性材料からなるスリットが配線用導電膜中に存在すると、該スリットは、配線用導電膜中の原子の移動に対する障壁となると共に、配線用導電膜中の空孔がビアに集まることに起因するボイド形成を抑制する。従って、本実施形態の「絶縁性スリット」により、デバイスを高温で保持した際に発生する動作不良数を低減することができる。

【０１６１】

また、第６の実施形態によると、絶縁性スリット１２０の平面形状は方形であり、該絶縁性スリット１２０の平面形状における長辺は、ビア１１０Ａの直径の２倍以上で且つ４倍以下の長さを持ち、絶縁性スリット１２０の平面形状における長辺側が、第２配線１１１におけるビア１１０Ａの接続部分と接しているため、前述の効果が確実に得られる。

【０１６２】

尚、第６の実施形態において、絶縁性スリット１２０の形状や数（１つのビア１１０Ａに対して設けられる数）は特に限定されるものではない。

【０１６３】

また、第６の実施形態において、絶縁性スリット１２０として、ＦＳＧ膜１０５の一部分を用いたが、これに代えて、他の絶縁材料を用いてもよい。また、絶縁性スリット１２０に代えて、第２配線１１１やビア１１０Ａを構成する導電材料と異なる他の導電材料からなるスリットを用いてもよい。

【０１６４】

また、第６の実施形態において、絶縁性スリット１２０は、第２配線１１１におけるビア１１０Ａの接続部分と必ずしも接している必要はない。しかし、絶縁性スリット１２０と第２配線１１１のビア接続部分とが離間している場合、前述の効果を確実に得るためには、絶縁性スリット１２０と第２配線１１１のビア接続部分との間隔、つまり絶縁性スリット１２０とビア１１０Ａとの間隔は１μｍ以下であることが好ましい。

【０１６５】

また、第６の実施形態において、第２配線１１１が、例えば幅１０μｍの太い配線部分と、該太い配線部分から分岐した、例えば幅０．２０μｍの細い配線部分とを有しており、ビア１１０Ａ（ビアホール１０６Ａ）が細い配線部分に接続されている場合には、１つ又は複数の絶縁性スリット１２０が、太い配線部分と細い配線部分との分岐点に接続されているか、又は太い配線部分における前記分岐点の近傍に接続されていることが好ましい。このようにすると、太い配線部分から細い配線部分に侵入してビア１１０Ａに流入しようとする空孔を、絶縁性スリット１２０によって効果的に捕獲できる。その結果、デバイスを高温で保持した際に発生する動作不良数をより一層低減することができる。

【０１６６】

（第７の実施形態：絶縁性スリット２）

以下、本発明の第７の実施形態に係る配線構造及びその製造方法について図面を参照しながら説明する。

【０１６７】

図１４（ａ）は、第７の実施形態に係る配線構造を示す断面図であり、図１４（ｂ）は、図１４（ａ）に示す多層配線構造を上から見た平面図である。尚、図１４（ａ）及び（ｂ）において、図１（ａ）～（ｃ）及び図２（ａ）～（ｃ）に示す第１の実施形態又は図１１（ａ）～（ｃ）及び図１２（ａ）～（ｃ）に示す第６の実施形態等と同一の構成要素には同一の符号を付すことにより、詳細な説明を省略する。

【０１６８】

図１４（ａ）及び（ｂ）に示すように、本実施形態が第６の実施形態と異なっている点は次の通りである。すなわち、第２配線１１１におけるビア１１０Ａの接続部分と接していた絶縁性スリット１２０に代えて、絶縁性スリット１２０よりもさらに縦長の絶縁性スリット１２１が、第２配線１１１のビア接続部分の近傍に設けられていることである。言い換えると、本実施形態の絶縁性スリット１２１は、第２配線１１１のビア接続部分と直接には接していない。具体的には、絶縁性スリット１２１の平面形状は例えば方形であり、該絶縁性スリット１２１の平面形状における長辺方向が第２配線１１１の短辺方向と一致している。また、絶縁性スリット１２１は、第２配線１１１におけるビア１１０Ａ（ビアホール１０６Ａ）の接続部分の近傍であってビア１１０Ａよりも第２配線１１１の中央に近い位置に設けられる。言い換えると、第２配線１１１におけるビア１１０Ａから見て絶縁性スリット１２１のある側の一端とビア１１０Ａとの間の距離は、第２配線１１１におけるビア１１０Ａから見て絶縁性スリット１２１のない側の他端とビア１１０Ａとの間の距離よりも長い。

【０１６９】

また、図１４（ｂ）に示すように、本実施形態では、第１配線１０２Ａの幅は第２配線１１１の幅よりも小さい。具体的には、第１配線１０２Ａの幅は例えば０．２μｍであり、ビア１１０Ａ（ビアホール１０６Ａ）の直径は例えば０．２０μｍであり、第２配線１１１の幅は例えば１０μｍである。また、絶縁性スリット１２１の平面形状における長辺は、ビア１１０Ａの直径の２倍以上で且つ１０倍以下の長さを持つ。例示するならば、絶縁性スリット１２１の平面形状における長辺の長さ及び短辺の長さはそれぞれ０．８μｍ及び０．２μｍである。また、ビア１１０Ａと絶縁性スリット１２１との間隔、正確には、ビア１１０Ａにおける絶縁性スリット１２１側のエッジと、絶縁性スリット１２１におけるビア１１０Ａ側のエッジとの間隔は例えば０．２μｍである。

【０１７０】

また、図１４（ａ）に示す多層配線構造を形成するための、第７の実施形態に係る配線構造の製造方法が、第６の実施形態に係る配線構造の製造方法（図１１（ａ）～（ｃ）及び図１２（ａ）、（ｂ）参照）と異なっている点は次の通りである。すなわち、図１１（ｂ）に示す工程で、具体的には、配線溝１０７を形成する際に、配線溝１０７におけるビアホール１０６Ａの接続部分から少し離れた位置にＦＳＧ膜１０５の一部分を残存させ、それによって絶縁性スリット１２０に代えて、より縦長の絶縁性スリット１２１を形成することである。具体的には、配線溝１０７を形成するためのリソグラフィ工程で、絶縁性スリット形成用のマスクパターンレイアウトを変更すればよい。

【０１７１】

以上に説明した第７の実施形態の配線構造及びその製造方法によると、高温で保持されても動作不良を起こさない、信頼性の高い多層配線構造を実現することができる。その理由は次の通りである。すなわち、第２配線１１１におけるビア１１０Ａの接続部分の近傍に絶縁性スリット１２１が設けられているため、第２配線１１１のビア接続部分の近傍における引っ張り応力を、第２配線１１１の他の部分と比べて小さくすることができる。このため、絶縁性スリット１２１によって、ビア１個当たりに流入する空孔の数が減少するため、第２配線１１１からビア１１０Ａまでの応力の勾配を緩和することができるので、

配線構造が高温で保持される場合にも、第２配線１１１からビア１１０Ａに向かって空孔が流入する現象を抑制することができる。また、第２配線１１１やビア１１０Ａを構成する導電膜（Ｃｕ膜１０９）とは異なる材料からなる絶縁性スリット１２１は、該導電膜中の原子又は空孔が移動する際の障壁として機能する。このため、該原子が第２配線１１１及びビア１１０Ａの内部で対流したり又は空孔がビア１１０Ａの底部に集積したりすることを防止することができる。従って、ビア１１０Ａを構成する導電膜（Ｃｕ膜１０９）の塑性変形、つまりビアホール１０６Ａ内におけるボイドの発生を抑制することができるため、高温で保持されても動作不良を発生しにくい、信頼性の高い多層配線構造を実現することができる。

【０１７２】

また、第７の実施形態によると、以下に説明するような理由によって、多層配線構造の信頼性をより一層向上させることができる。すなわち、本実施形態では、絶縁性スリット１２１の平面形状は長方形であり、絶縁性スリット１２１の平面形状における長辺方向が第２配線１１１の短辺方向と一致しており、このような絶縁性スリット１２１が、第２配線１１１におけるビア１１０Ａの接続部分の近傍に設けられている。このため、第２配線１１１を構成する導電膜（Ｃｕ膜１０９）内の空孔のうち、ビア１１０Ａから見て絶縁性スリット１２１の方向において絶縁性スリット１２１よりも遠くに存在する空孔が、絶縁性スリット１２１により妨げられてビア１１０Ａに到達することができない。また、本実施形態においては、絶縁性スリット１２１は、ビア１１０Ａよりも第２配線１１１の中央に近い位置に設けられている。すなわち、第２配線１１１におけるビア１１０Ａから見て絶縁性スリット１２１のある側の一端とビア１１０Ａとの間の一領域が、第２配線１１１におけるビア１１０Ａから見て絶縁性スリット１２１のない側の他端とビア１１０Ａとの間の他領域よりも大きくなるため、第２配線１１１の一領域の方が他領域よりも多くの空孔を含み、この一領域に絶縁性スリット１２１が設けられている結果、空孔の移動をより効果的に阻止できる。このため、ビア１１０Ａを構成する導電膜（Ｃｕ膜１０９）の塑性変形、つまりビアホール１０６Ａ内におけるボイドの発生をより効果的に抑制することができるので、多層配線構造の信頼性をより向上させることができる。

【０１７３】

尚、第７の実施形態において、ビア１１０Ａ（ビアホール１０６Ａ）と絶縁性スリット１２１との間隔は小さければ小さいほど好ましいが、ビア１１０Ａに流入する空孔を絶縁性スリット１２１によって低減させる効果を得るためには、前記の間隔は１μｍ以下であることが好ましい。また、絶縁性スリット１２１が、第２配線１１１におけるビア１１０Ａの接続部分と接するように設けられていてもよい。

【０１７４】

また、第７の実施形態において、絶縁性スリット１２１の形状や数（１つのビア１１０Ａに対して設けられる数）は特に限定されるものではない。

【０１７５】

また、第７の実施形態において、絶縁性スリット１２１として、ＦＳＧ膜１０５の一部分を用いたが、これに代えて、他の絶縁材料を用いてもよい。また、絶縁性スリット１２１に代えて、第２配線１１１やビア１１０Ａを構成する導電材料と異なる他の導電材料からなるスリットを用いてもよい。

【０１７６】

また、第７の実施形態において、第２配線１１１が、例えば幅１０μｍの太い配線部分と、該太い配線部分から分岐した、例えば幅０．２０μｍの細い配線部分とを有しており、ビア１１０Ａ（ビアホール１０６Ａ）が細い配線部分に接続されている場合には、絶縁性スリット１２１が、太い配線部分における細い配線部分との分岐点の近傍に接続されていることが好ましい。ここで、細い配線部分が太い配線部分の長辺側から分岐している場合、絶縁性スリット１２１の平面形状における長辺方向を太い配線部分の長辺方向と一致させる。このようにすると、太い配線部分から細い配線部分に侵入してビア１１０Ａに流入しようとする空孔を、絶縁性スリット１２１によって効果的に捕獲できる。その結果、

デバイスを高温で保持した際に発生する動作不良数をより一層低減することができる。

【０１７７】

また、第１～第７の実施形態において、配線間の層間絶縁膜として、SiO_2膜（SiO_2膜１０４等）及びＦＳＧ膜（ＦＳＧ膜１０５等）を用いたが、層間絶縁膜の種類は特に限定されるものではない。

【０１７８】

また、第１～第７の実施形態において、配線材料として、Ｃｕ膜（Ｃｕ膜１０９等）を用いたが、配線材料の種類は特に限定されるものではない。バリア膜（バリア膜１０８等）の材料についても同様である。

【０１７９】

また、第１～第７の実施形態において、ダマシン配線（第１配線１０２Ａ又は第２配線１１１等）の上に、保護膜としてＳｉＮ膜（ＳｉＮ膜１１２等）を形成したが、該ＳｉＮ膜を形成しなくてもよい。

【０１８０】

また、「配線用導電膜内での空孔の移動を抑制し、それにより配線形成後に配線内にボイドが発生することを防止する」という本発明の技術的思想を実現するために、第１～第７の実施形態のダミービア及び絶縁性スリットを色々組み合わせてもよいことは言うまでもない。

【産業上の利用可能性】

【０１８１】

本発明は、配線構造及びその製造方法に関し、半導体装置等の電子デバイスに適用した場合に特に有用である。

【図面の簡単な説明】

【０１８２】

【図１】（ａ）～（ｃ）は本発明の第１の実施形態に係る配線構造の製造方法の各工程を示す断面図である。

【図２】（ａ）及び（ｂ）は本発明の第１の実施形態に係る配線構造の製造方法の各工程を示す断面図であり、（ｃ）は本発明の第１の実施形態に係る配線構造を示す平面図である。

【図３】（ａ）は本発明の第１の実施形態の効果（高温保持後における動作不良の抑制効果）のビア・ダミービア間隔に対する依存性を示す図であり、（ｂ）は本発明の第１の実施形態の変形例に係る配線構造を示す平面図である。

【図４】（ａ）～（ｃ）は本発明の第２の実施形態に係る配線構造の製造方法の各工程を示す断面図である。

【図５】（ａ）及び（ｂ）は本発明の第２の実施形態に係る配線構造の製造方法の各工程を示す断面図であり、（ｃ）は本発明の第２の実施形態に係る配線構造を示す平面図である。

【図６】（ａ）は本発明の第３の実施形態に係る配線構造を示す断面図であり、（ｂ）は本発明の第３の実施形態に係る配線構造を示す平面図である。

【図７】（ａ）は本発明の第４の実施形態に係る配線構造を示す断面図であり、（ｂ）は本発明の第４の実施形態に係る配線構造を示す平面図であり、（ｃ）は本発明の第４の実施形態の変形例に係る配線構造を示す平面図である。

【図８】（ａ）～（ｃ）は本発明の第５の実施形態に係る配線構造の製造方法の各工程を示す断面図である。

【図９】（ａ）～（ｃ）は本発明の第５の実施形態に係る配線構造の製造方法の各工程を示す断面図である。

【図１０】（ａ）及び（ｂ）は本発明の第５の実施形態に係る配線構造の製造方法の各工程を示す断面図であり、（ｃ）は本発明の第５の実施形態に係る配線構造を示す平面図である。

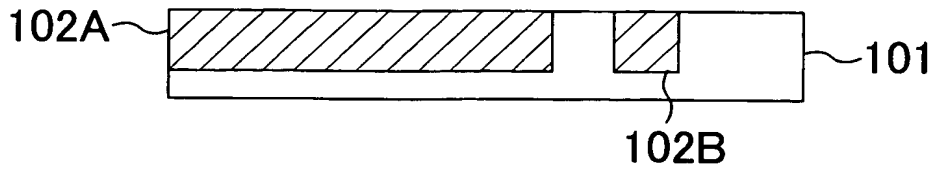
【図１１】（ａ）～（ｃ）は本発明の第６の実施形態に係る配線構造の製造方法の各

工程を示す断面図である。
【図１２】（ａ）及び（ｂ）は本発明の第６の実施形態に係る配線構造の製造方法の一工程を示す断面図であり、（ｃ）は本発明の第６の実施形態に係る配線構造を示す平面図である。
【図１３】本発明の第６の実施形態の効果（高温保持後における動作不良の抑制効果）を説明するための図である。
【図１４】（ａ）は本発明の第７の実施形態に係る配線構造を示す断面図であり、（ｂ）は本発明の第７の実施形態に係る配線構造を示す平面図である。
【図１５】（ａ）～（ｃ）は従来の配線構造の製造方法の各工程を示す断面図である。
【図１６】（ａ）及び（ｂ）は従来の配線構造の製造方法の各工程を示す断面図であり、（ｃ）は従来の配線構造を示す平面図である。
【図１７】（ａ）は従来の配線構造における問題点を説明するための図であり、（ｂ）は従来の配線構造における問題点を本願発明者が検討した結果を説明するための図である。

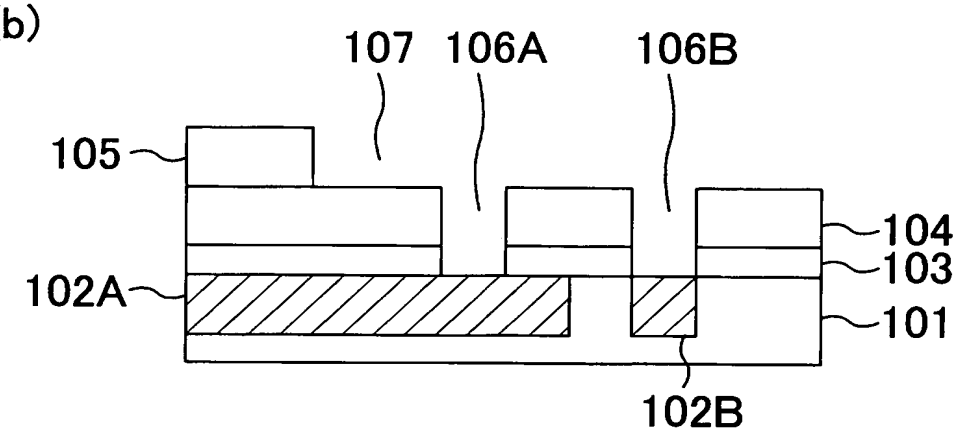
【符号の説明】
【０１８３】
１０１　絶縁膜
１０２Ａ　第１配線
１０２Ｂ　ダミー配線
１０３　ＳｉＮ膜
１０４　SiO_2 膜
１０５　ＦＳＧ膜
１０６Ａ　ビアホール
１０６Ｂ　ダミーホール
１０７　配線溝
１０８　バリア膜
１０９　Ｃｕ膜
１１０Ａ　ビア
１１０Ｂ　ダミービア
１１０Ｃ　ダミービア
１１０Ｄ　ダミービア
１１０Ｅ　ダミービア
１１１　第２配線
１１１ａ　太い配線部分
１１１ｂ　細い配線部分
１１２　ＳｉＮ膜
１１３　SiO_2 膜
１１４　ＦＳＧ膜
１１５　ダミーホール
１１６　バリア膜
１１７　Ｃｕ膜
１１８　ダミービア
１１９　ＳｉＮ膜
１２０　絶縁性スリット
１２１　絶縁性スリット

【書類名】図面
【図１】

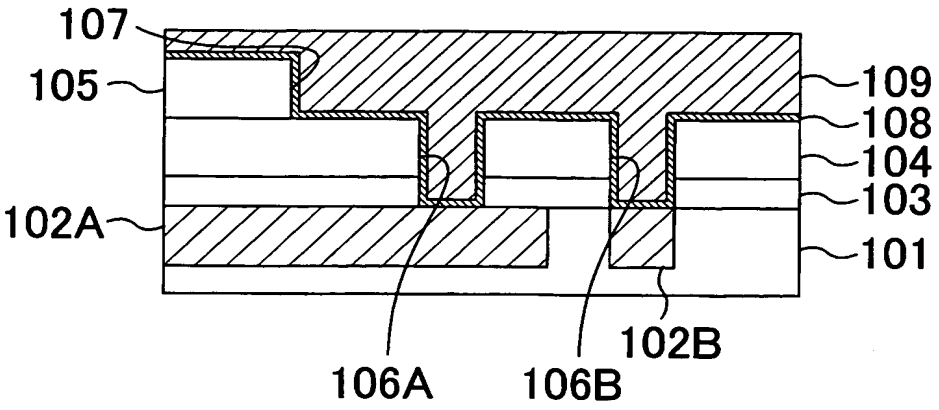
(a)


102A
101
102B

(b)

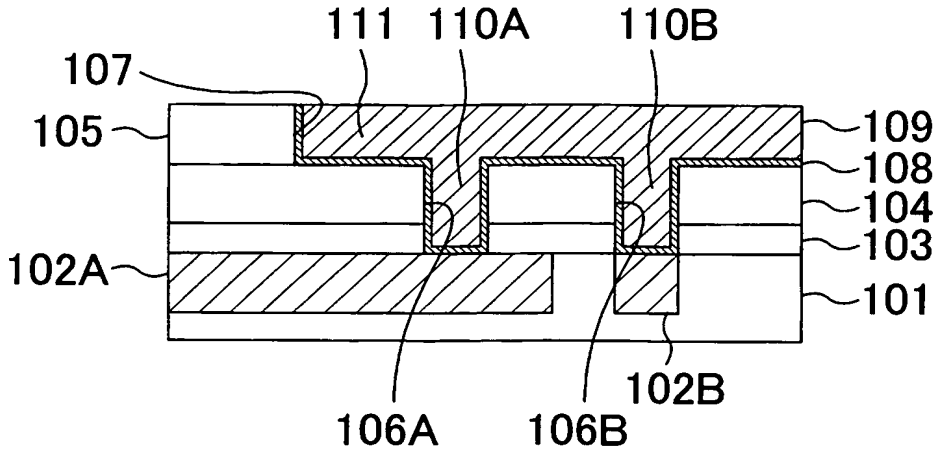

107
106A
106B
105
104
103
102A
101
102B

(c)

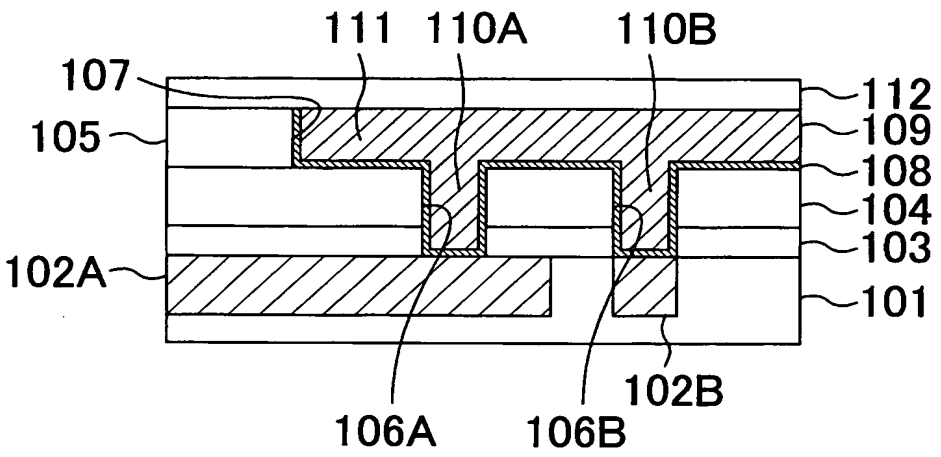

107
105
109
108
104
103
102A
101
102B
106A
106B

【図２】

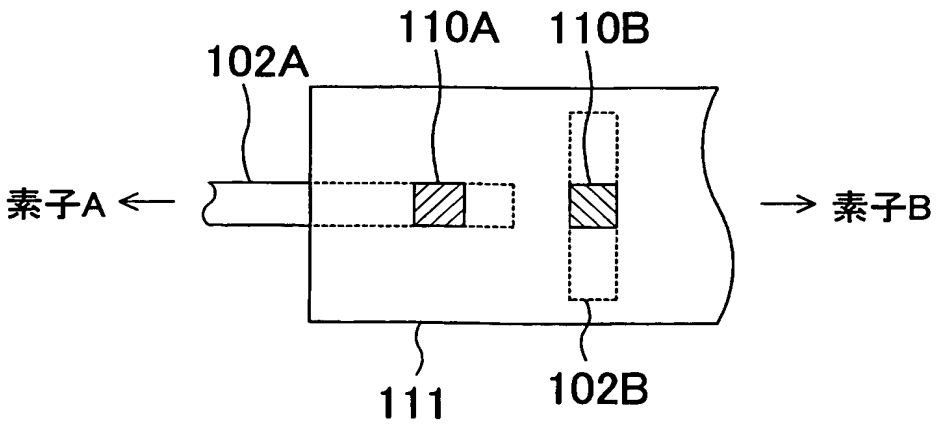
(a)


111
110A
110B
107
105
109
108
104
103
102A
101
102B
106A
106B

(b)

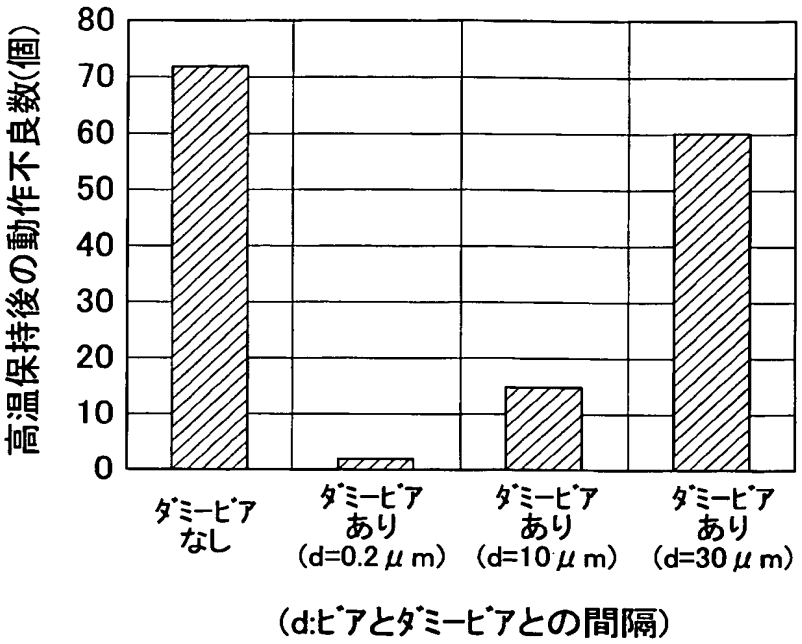

111
110A
110B
107
112
105
109
108
104
103
102A
101
102B
106A
106B

(c)

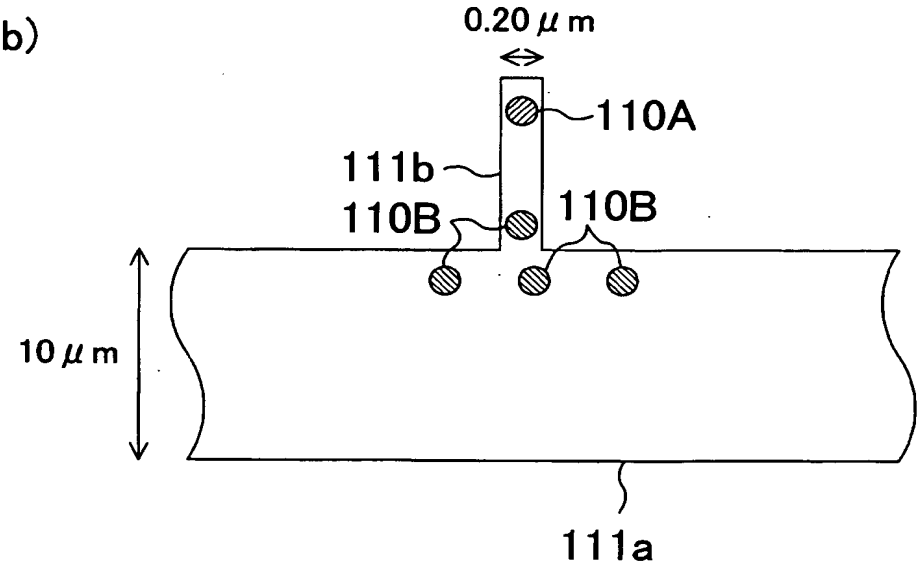

110A
110B
102A
素子A ←
→ 素子B
111
102B

【図３】

(a)

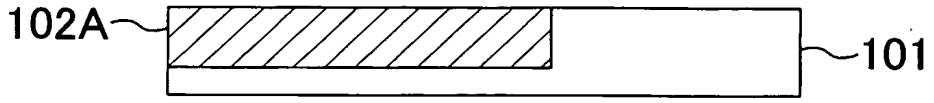

高温保持後の動作不良数(個)
80
70
60
50
40
30
20
10
0
ﾀﾞﾐｰﾋﾞｱ なし
ﾀﾞﾐｰﾋﾞｱ あり (d=0.2μm)
ﾀﾞﾐｰﾋﾞｱ あり (d=10μm)
ﾀﾞﾐｰﾋﾞｱ あり (d=30μm)
(d:ﾋﾞｱとﾀﾞﾐｰﾋﾞｱとの間隔)

(b)

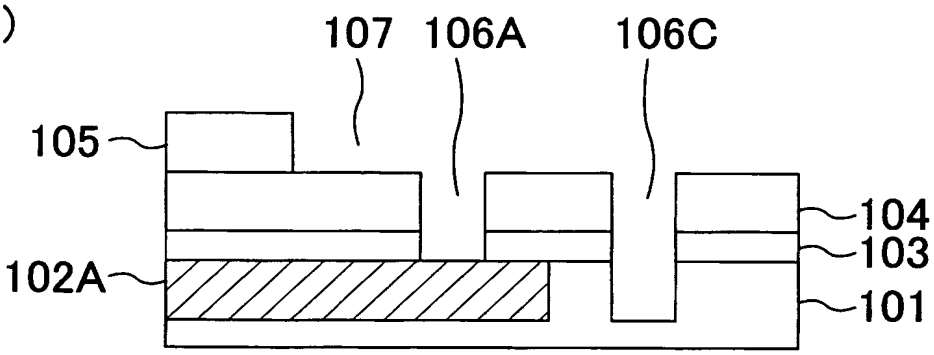

0.20μm
110A
111b
110B
110B
10μm
111a

【図４】

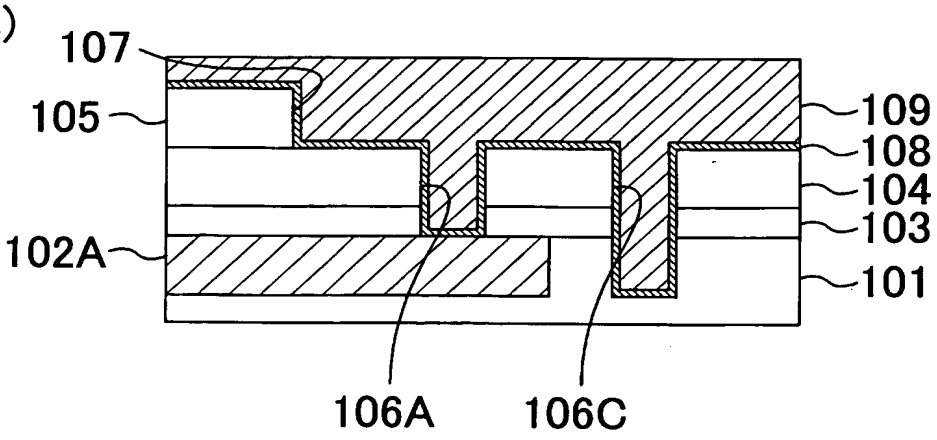
(a)


102A
101

(b)

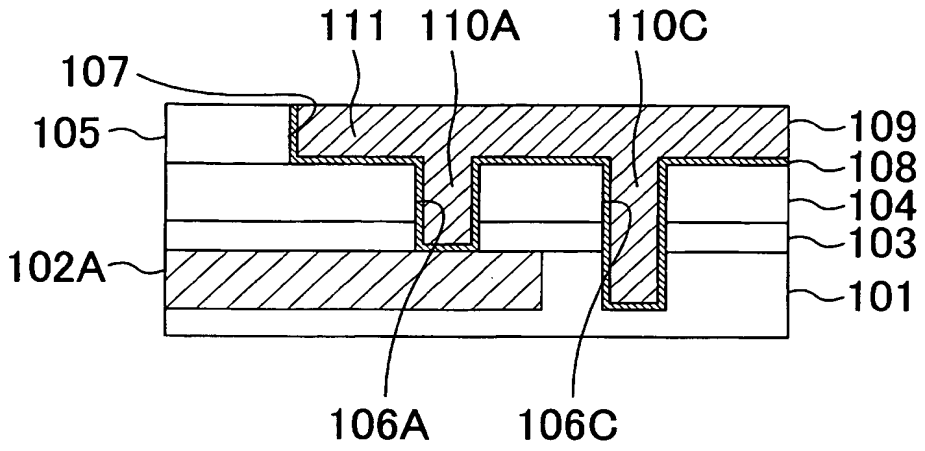

107
106A
106C
105
104
103
102A
101

(c)

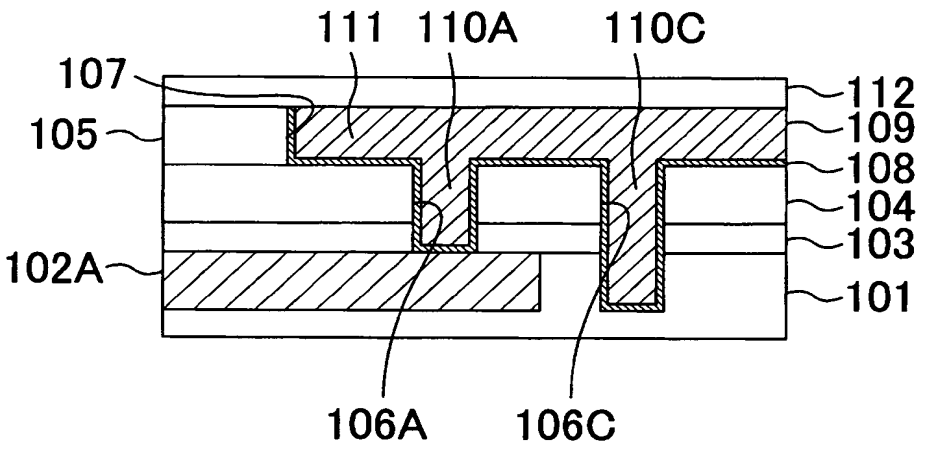

107
105
109
108
104
103
102A
101
106A
106C

【図５】

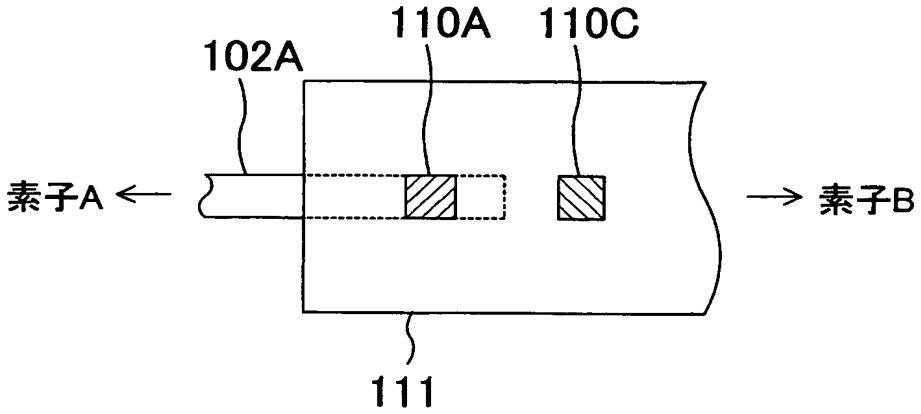
(a)


111
110A
110C
107
105
109
108
104
103
102A
101
106A
106C

(b)

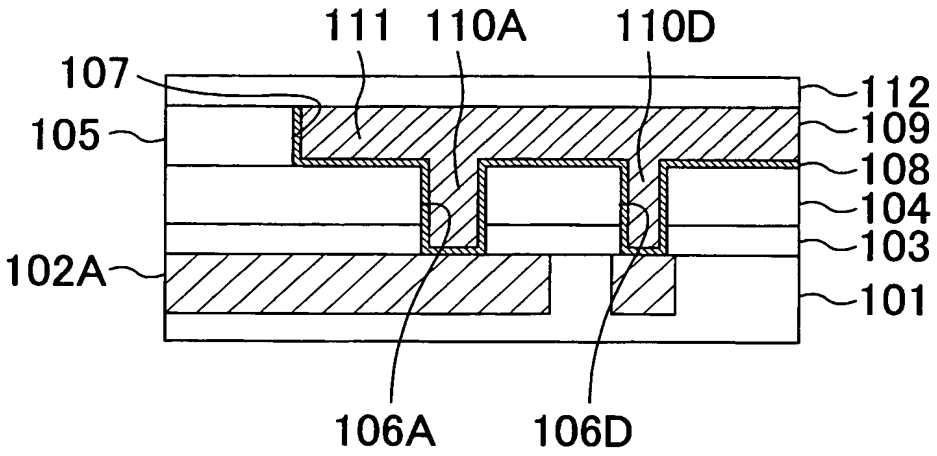

111
110A
110C
107
112
105
109
108
104
103
102A
101
106A
106C

(c)

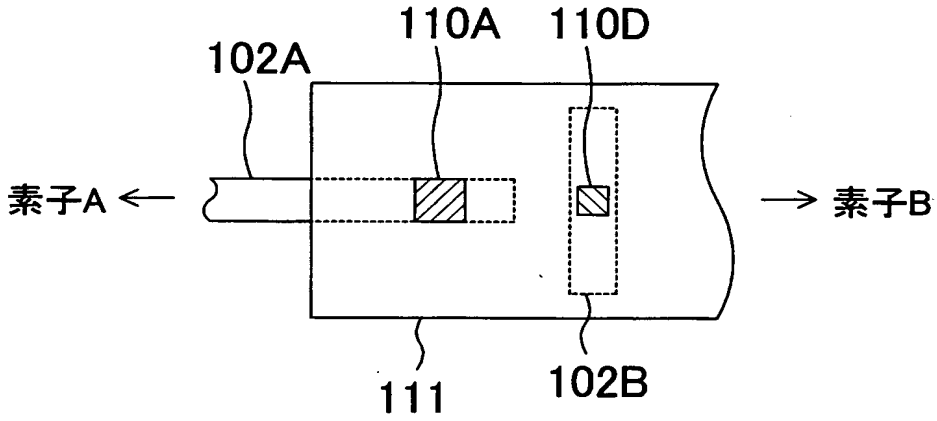

110A
110C
102A
素子A
素子B
111

【図６】

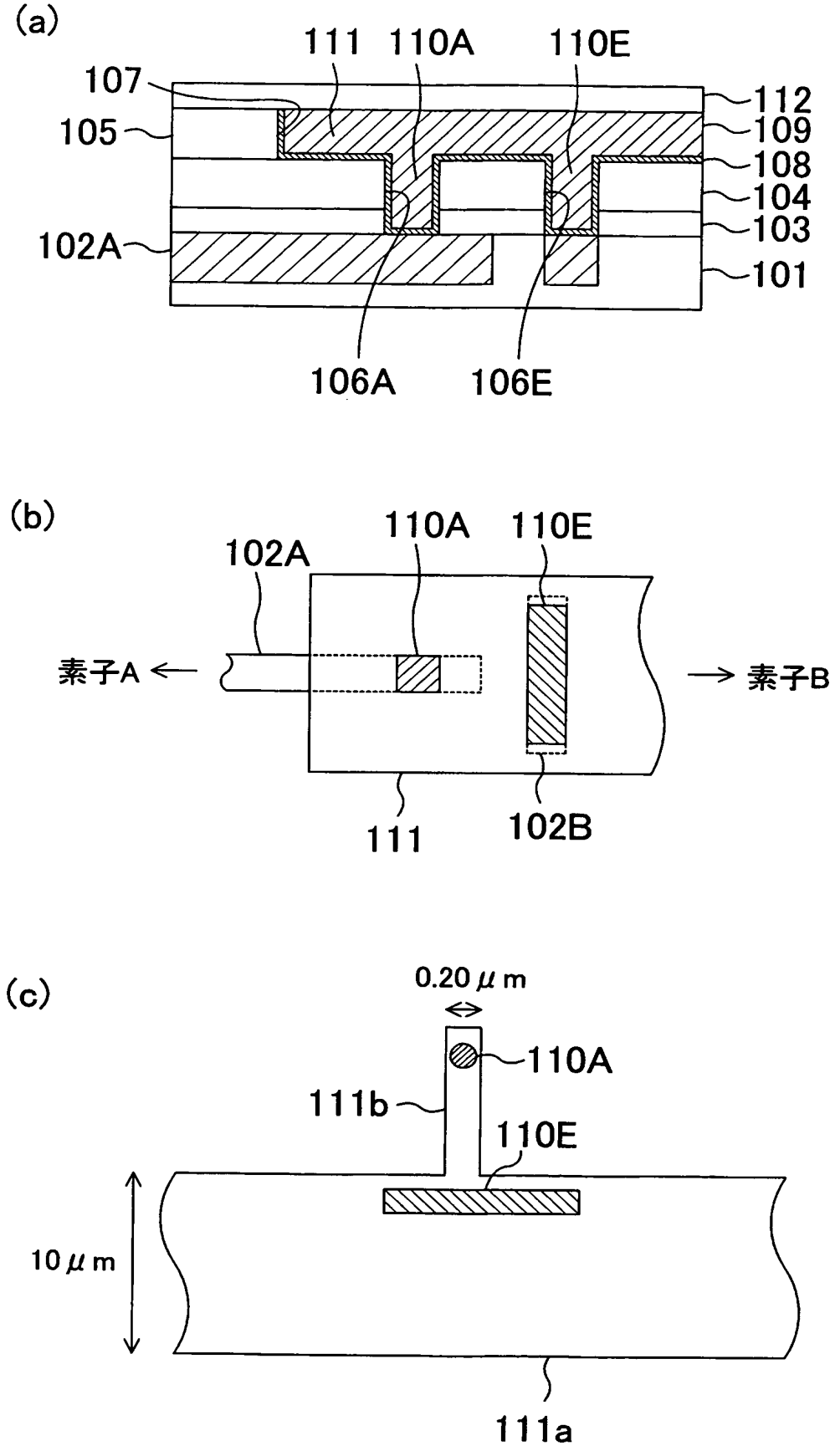
(a)


111
110A
110D
107
105
102A
112
109
108
104
103
101
106A
106D

(b)

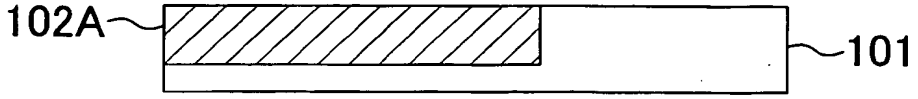

110A
110D
102A
素子A
素子B
111
102B

【図７】

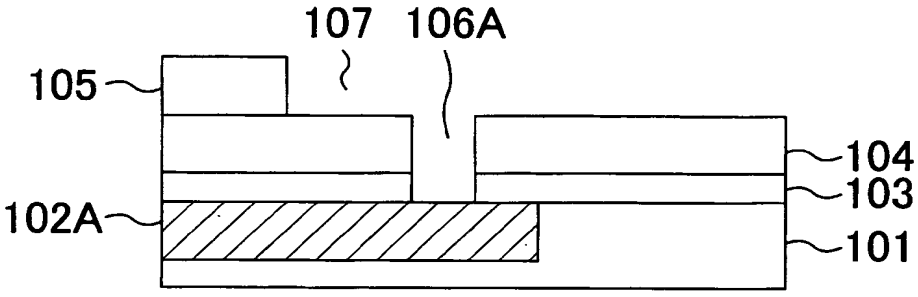

(a)
111
110A
110E
107
112
105
109
108
104
103
102A
101
106A
106E
(b)
110A
110E
102A
素子A
素子B
111
102B
(c)
0.20μm
110A
111b
110E
10μm
111a

【図８】

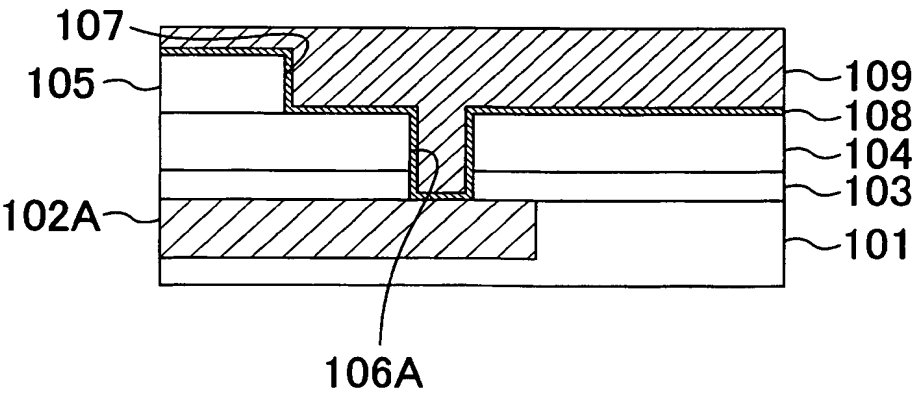
(a)


102A
101

(b)

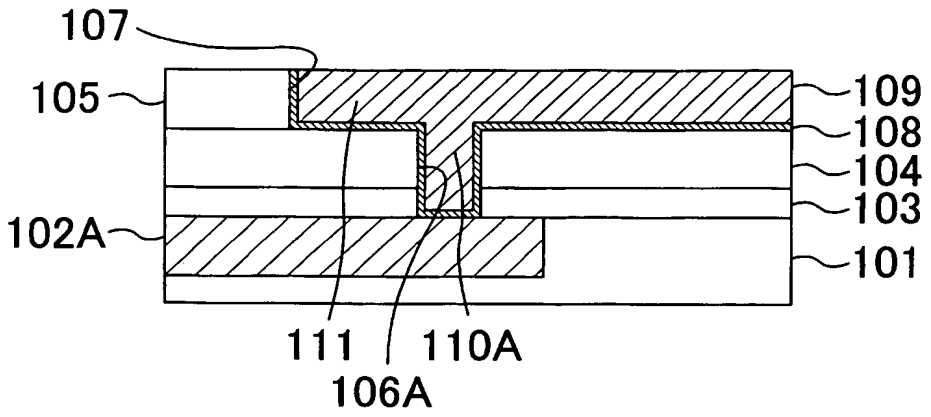

107
106A
105
104
103
102A
101

(c)

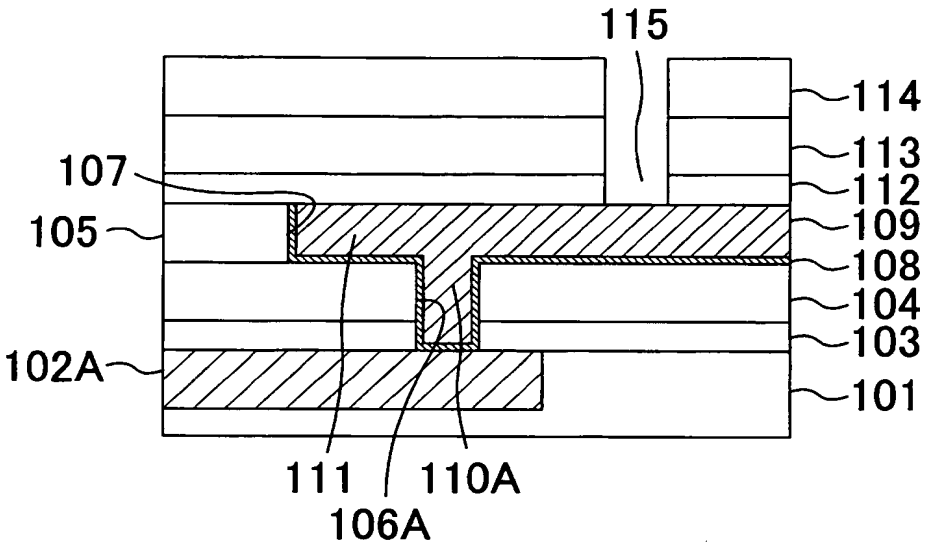

107
105
109
108
104
103
102A
101
106A

【図９】

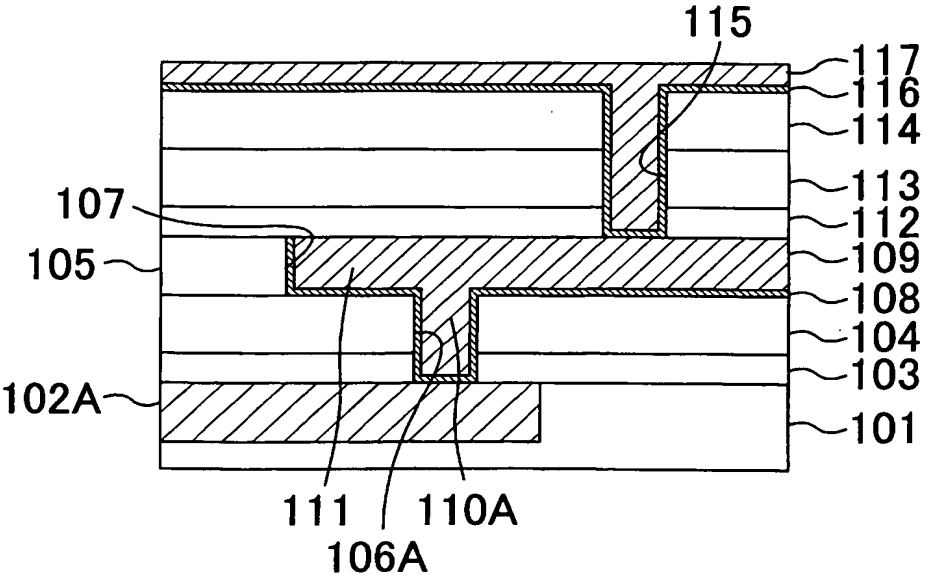
(a)


107
105
109
108
104
103
102A
101
111
110A
106A

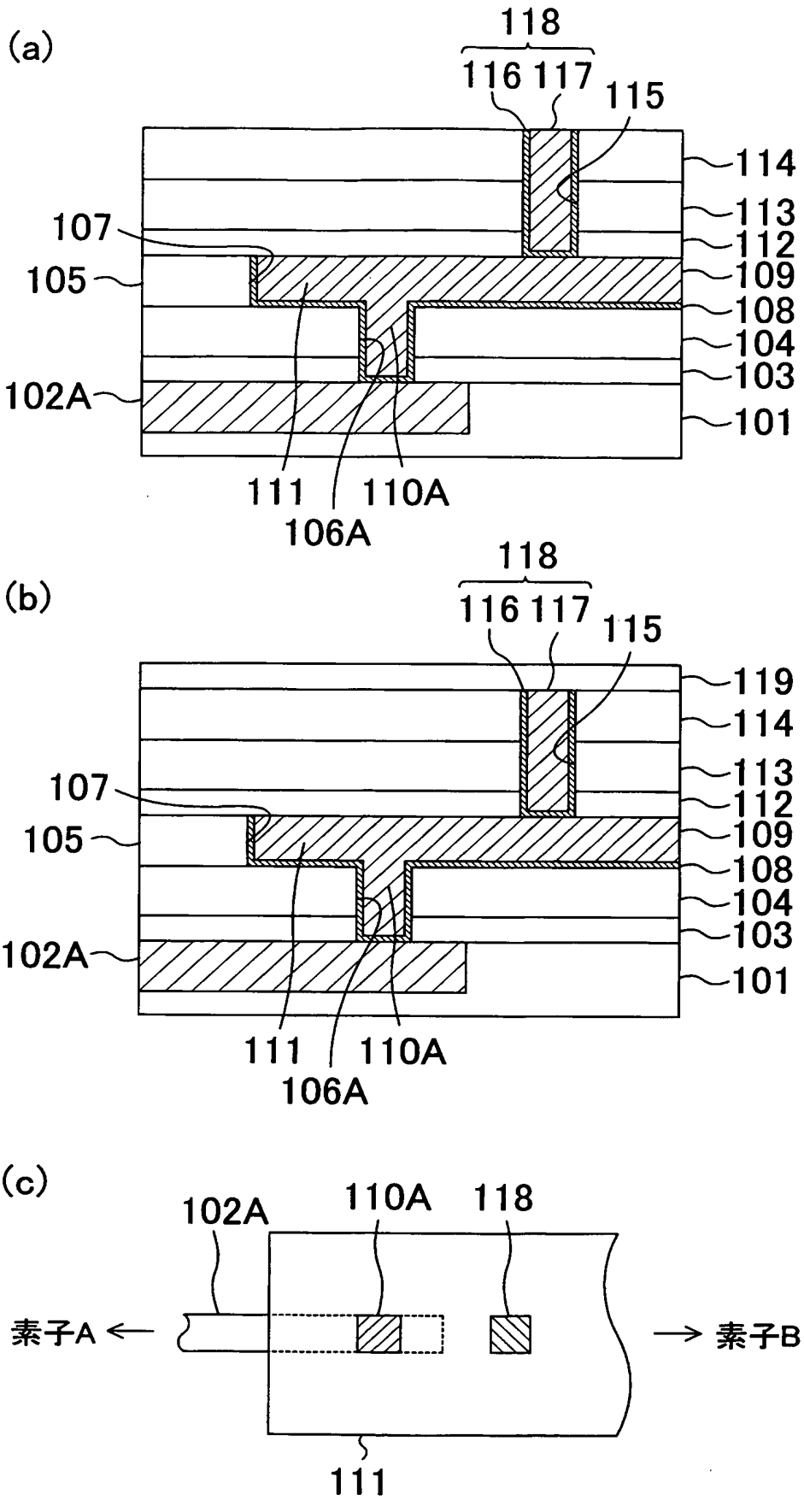
(b)


115
114
113
107
112
105
109
108
104
103
102A
101
111
110A
106A

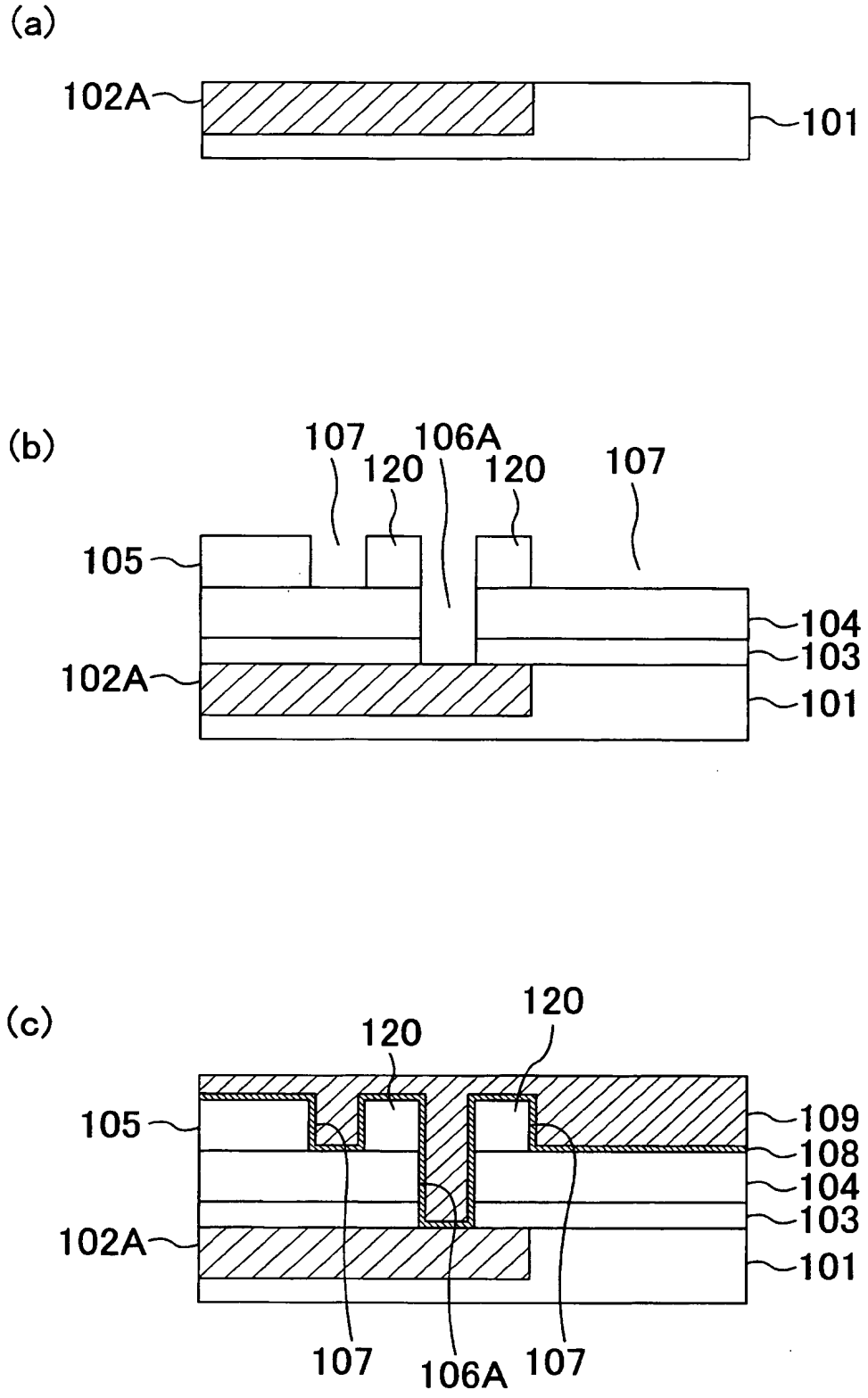
(c)


115
117
116
114
113
107
112
105
109
108
104
103
102A
101
111
110A
106A

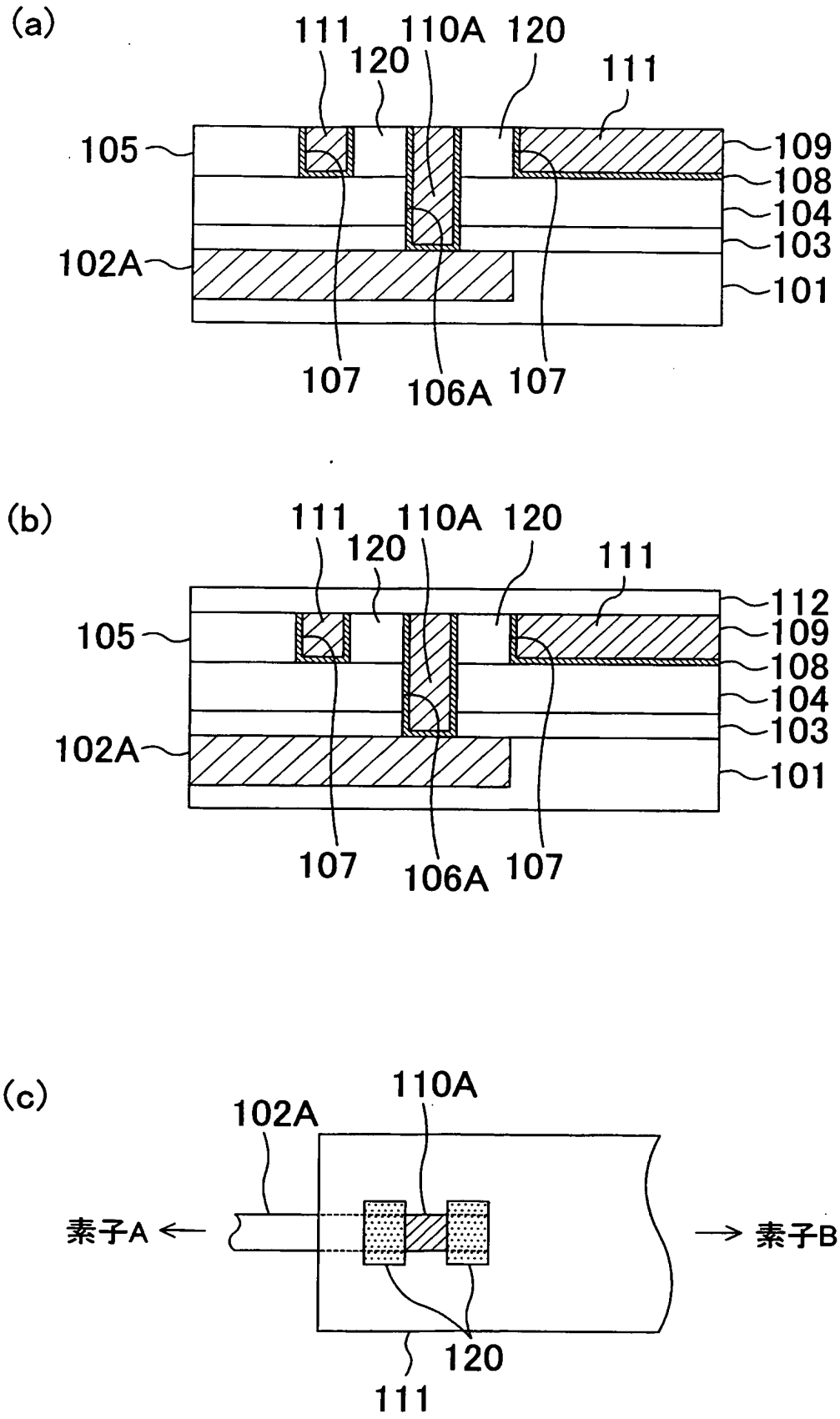
【図１０】


(a)
118
116 117
115
114
113
112
107
105
109
108
104
103
102A
101
111
110A
106A
(b)
118
116 117
115
119
114
113
112
107
105
109
108
104
103
102A
101
111
110A
106A
(c)
102A
110A
118
素子A
素子B
111

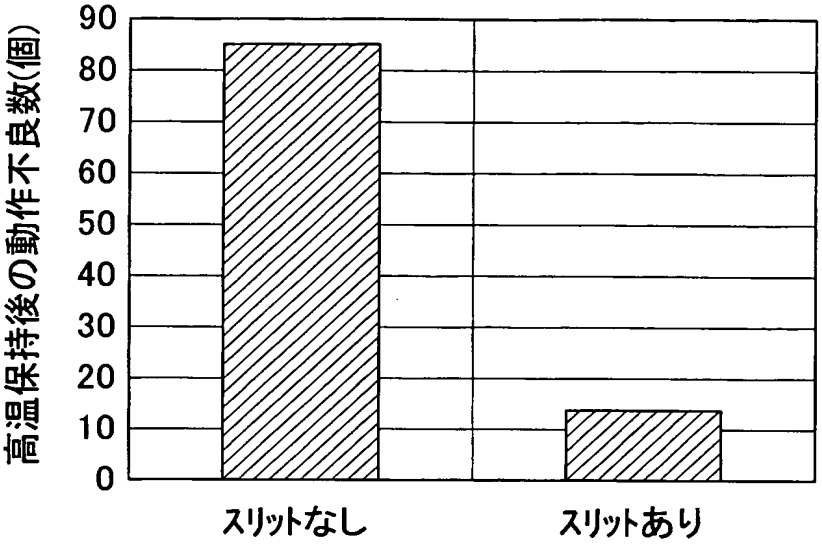
【図１１】


(a)
102A
101
(b)
107
106A
120
120
107
105
104
103
102A
101
(c)
120
120
105
109
108
104
103
102A
101
107
106A
107

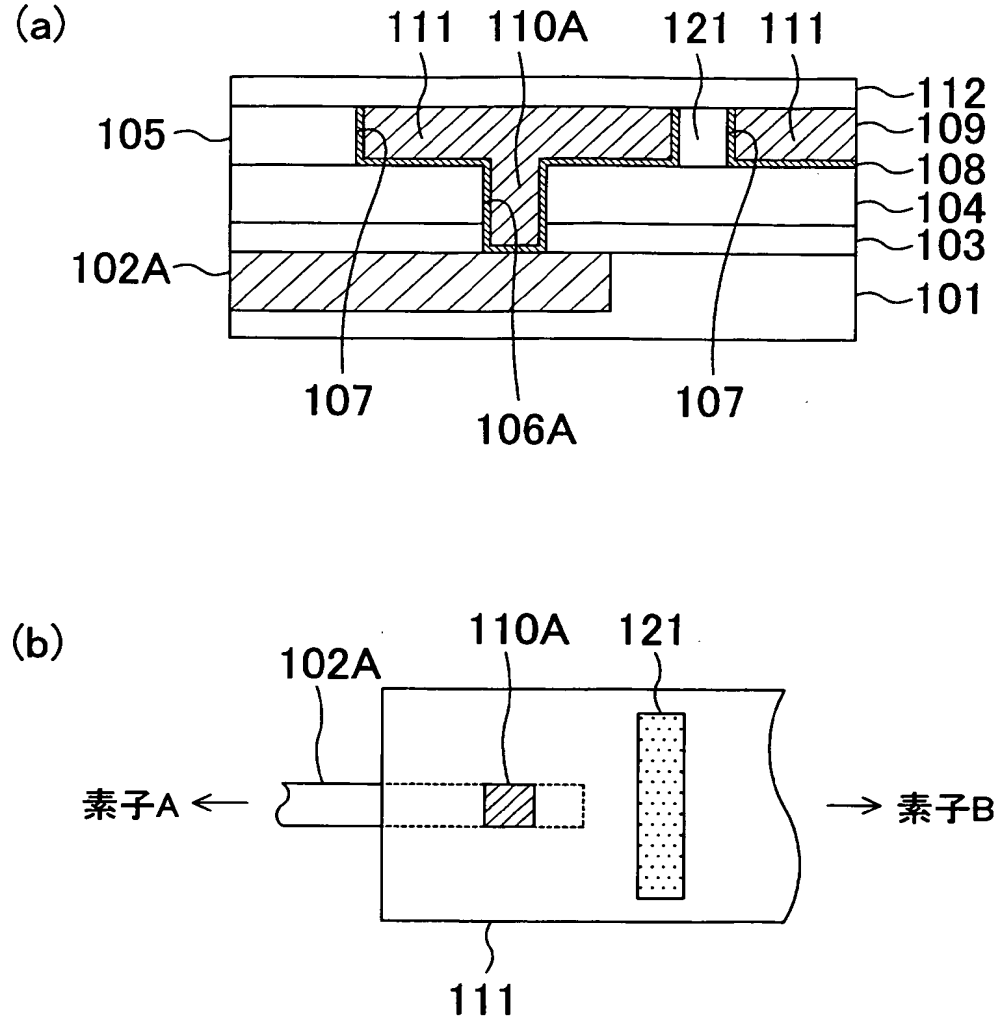
【図１２】


(a)
111
110A
120
120
111
105
109
108
104
103
102A
101
107
106A
107
(b)
111
110A
120
120
111
112
105
109
108
104
103
102A
101
107
106A
107
(c)
110A
102A
素子A
素子B
120
111

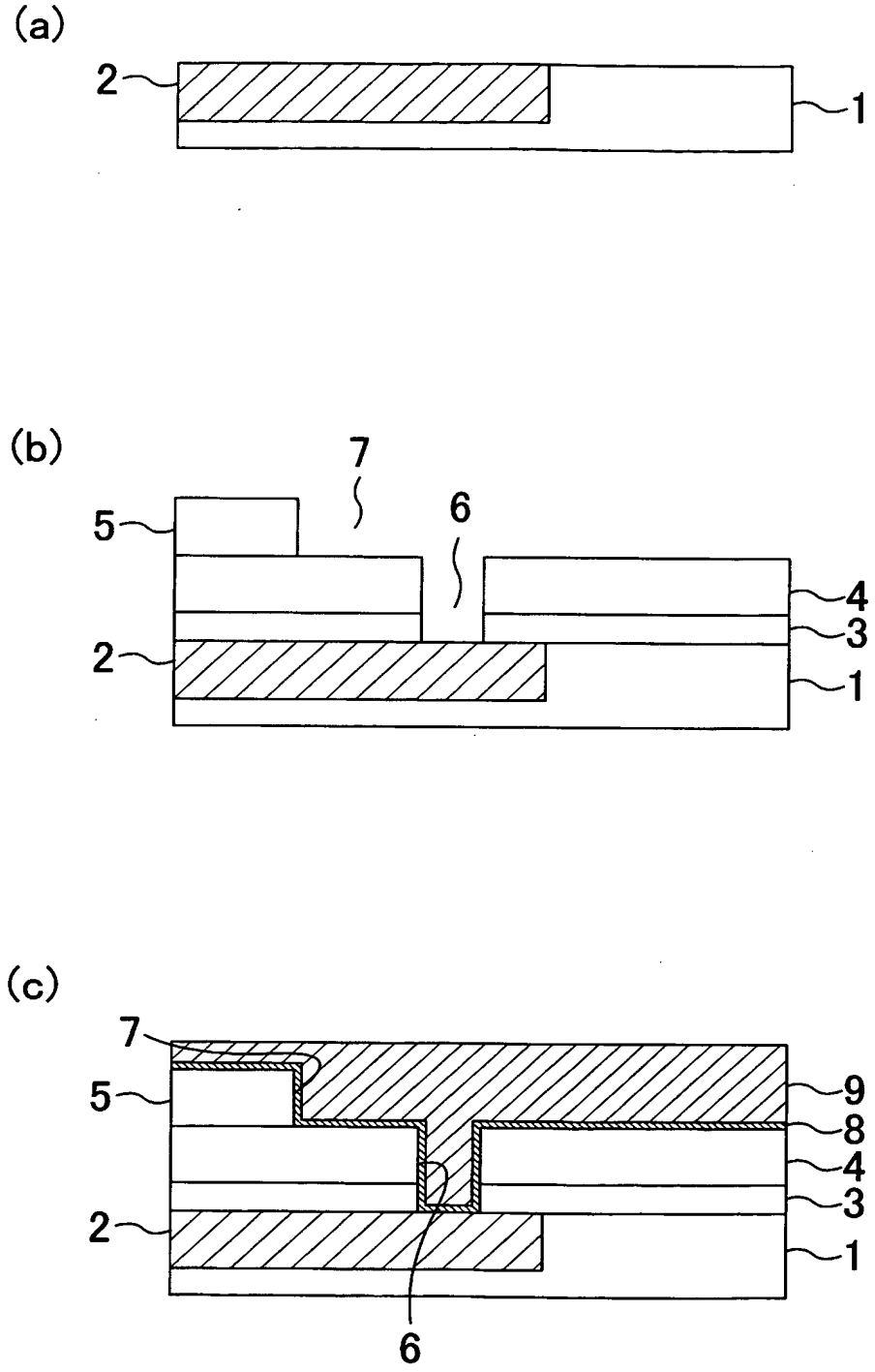
【図１３】



【図１４】

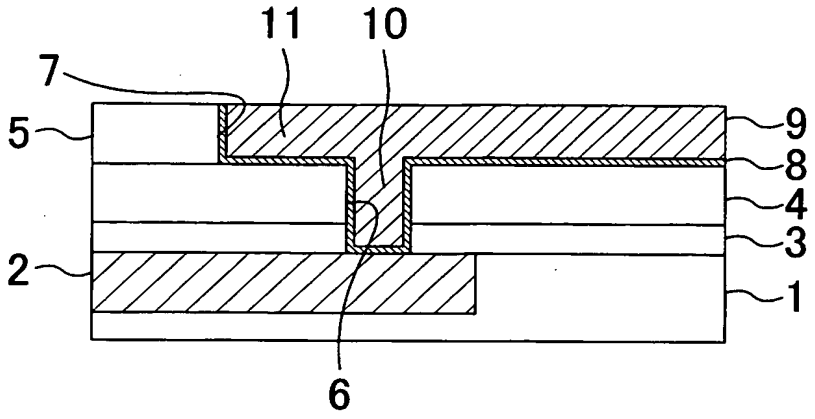

(a)
111
110A
121
111
112
109
108
104
103
101
105
102A
107
106A
107
(b)
102A
110A
121
素子A
素子B
111

【図１５】

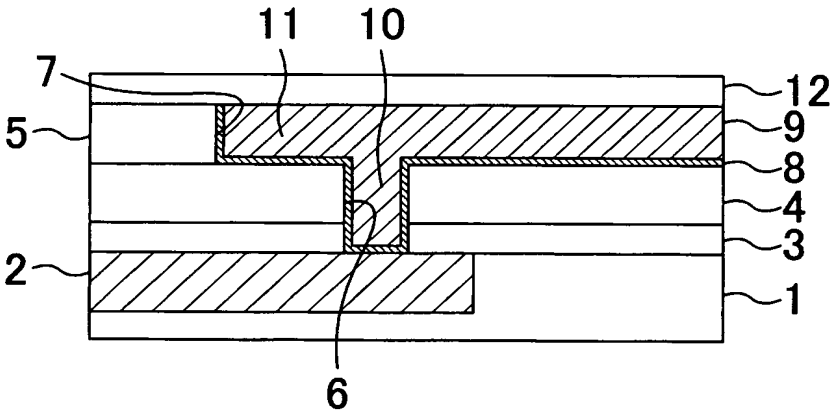


【図１６】

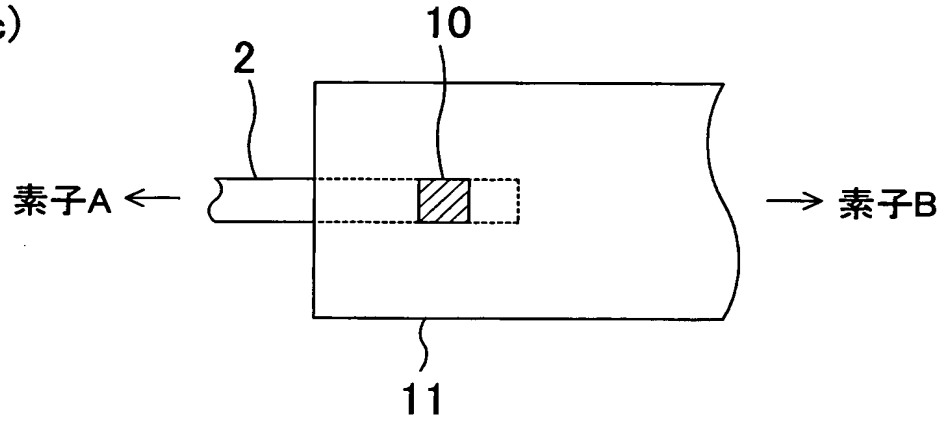
(a)



(b)

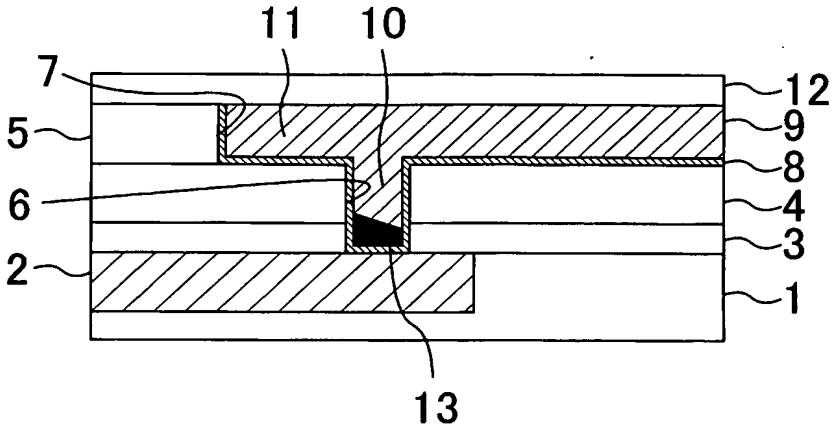


(c)

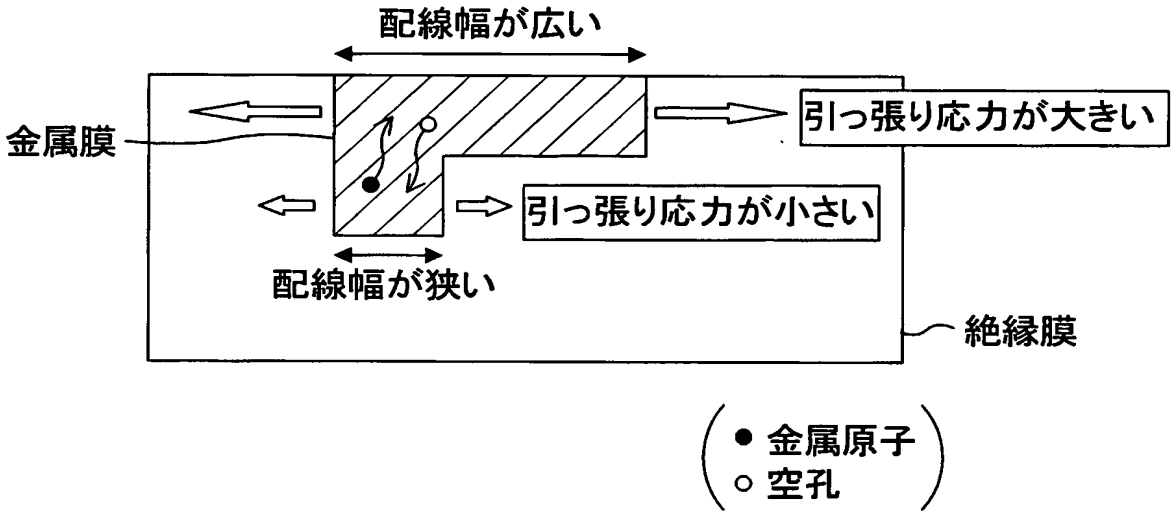


【図１７】

(a)


11
10
7
12
5
9
8
6
4
3
2
1
13

(b)


配線幅が広い
金属膜
引っ張り応力が大きい
引っ張り応力が小さい
配線幅が狭い
絶縁膜
● 金属原子
○ 空孔

【書類名】要約書
【要約】
【課題】　高温で保持されても動作不良を起こさない、信頼性の高い多層配線構造を実現する。
【解決手段】　第１配線１０２Ａと第２配線１１１とは、層間絶縁膜（SiO_2 膜１０４及びＦＳＧ膜１０５）中に形成されたビア１１０Ａを介して接続されている。第２配線１１１におけるビア１１０Ａの接続部分の近傍にダミービア１１０Ｂが接続されている。ダミービア１１０Ｂは、実使用時において閉回路の一部分とはならない。
【選択図】　図２

特願２００３－４０４４３７

出　願　人　履　歴　情　報

識別番号　［０００００５８２１］

１．変更年月日　１９９０年　８月２８日
［変更理由］　新規登録
住　所　大阪府門真市大字門真１００６番地
氏　名　松下電器産業株式会社

13281 U.S.PTO 120204

22278 U.S.PTO 11/000904 120204

Case Docket Number: 71971-064 **Customer Number: 20277**

UTILITY PATENT APPLICATION
UNDER 37 CFR 1.53(b)

Mail Stop New Utility Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450
Sir:

Transmitted herewith for filing is the patent application of:

INVENTOR: **Takeshi HARADA**
FOR: INTERCONNECTION STRUCTURE AND METHOD FOR FORMING THE SAME

Enclosed are:

- ☒ 64 pages of specification, claims, abstract.
- ☒ Declaration and Power of Attorney.
- ☒ Priority Claimed.
- ☒ Certified copy of **Japanese Patent Application No. JP 2003-404437**
- ☒ 18 sheets of formal drawing.
- ☒ An assignment of the invention to **MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.** and the assignment recordation fee.
- ☐ An associate power of attorney.
- ☐ A verified statement to establish small entity status under 37 CFR 1.9 and 37 CFR 1.27.
- ☒ Information Disclosure Statement, Form PTO-1449 and reference.
- ☒ Return Receipt Postcard

The filing fee has been calculated as shown below:

	NO. OF CLAIMS		EXTRA CLAIMS	RATE	AMOUNT
Total Claims	26	-20	6	$18.00	$108.00
Independent Claims	7	-3	4	$88.00	$352.00
				Multiple Dependent Claim(s)	$0.00
				Basic Fee	$790.00
				Total of Above Calculations	$1,250.00
				Less ½ for Small Entity	$0.00
				Assignment & Recording Fee	$40.00
				Total Fee	$1,290.00

Case Docket Number: 71971-064

☒ Please charge my Deposit Account No. 500417 in the amount of $1,290.00. A duplicate copy of this sheet is enclosed.

☒ The Commissioner is hereby authorized to charge payment of the following fees associated with this communication or credit any overpayment to Deposit Account No. 500417 . A duplicate copy is enclosed.

☒ Any additional filing fees required under 37 CFR 1.16.

☒ The Commissioner is hereby authorized to charge payment of the following fees during the pendency of this application or credit any overpayment to Deposit Account No. 500417. A duplicate copy of this sheet is enclosed.

☒ Any patent application processing fees under 37 CFR 1.17.

☒ Any filing fees under 37 CFR 1.16 for presentation of extra claims.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP

Michael E. Fogarty
Registration No. 36,139

Please recognize our Customer No. 20277 as our correspondence address.

600 13th Street, N.W.
Washington, DC 20005-3096
Phone: 202.756.8000 MEF:aph
Facsimile: 202.756.8087
Date: December 2, 2004

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/000,904	12/02/2004	Takeshi Harada	71971-064	7270

20277 7590 01/05/2007
MCDERMOTT WILL & EMERY LLP
600 13TH STREET, N.W.
WASHINGTON, DC 20005-3096

EXAMINER	
PHAM, THANH V	
ART UNIT	**PAPER NUMBER**
2823	

SHORTENED STATUTORY PERIOD OF RESPONSE	MAIL DATE	DELIVERY MODE
31 DAYS	01/05/2007	PAPER

Please find below and/or attached an Office communication concerning this application or proceeding.

If NO period for reply is specified above, the maximum statutory period will apply and will expire 6 MONTHS from the mailing date of this communication.

Office Action Summary	Application No.	Applicant(s)	
	11/000,904	HARADA, TAKESHI	
	Examiner	Art Unit	
	Thanh V. Pham	2823	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 1 MONTH(S) OR THIRTY (30) DAYS, WHICHEVER IS LONGER, FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

1)☐ Responsive to communication(s) filed on _____.

2a)☐ This action is **FINAL**. 2b)☐ This action is non-final.

3)☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims

4)☒ Claim(s) 1-26 is/are pending in the application.

4a) Of the above claim(s) _____ is/are withdrawn from consideration.

5)☐ Claim(s) _____ is/are allowed.

6)☐ Claim(s) _____ is/are rejected.

7)☐ Claim(s) _____ is/are objected to.

8)☒ Claim(s) 1-26 are subject to restriction and/or election requirement.

Application Papers

9)☐ The specification is objected to by the Examiner.

10)☐ The drawing(s) filed on _____ is/are: a)☐ accepted or b)☐ objected to by the Examiner.

Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).

Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).

11)☐ The oath or declaration is objected to by the Examiner. Note the attached Office Action or form PTO-152.

Priority under 35 U.S.C. § 119

12)☐ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

a)☐ All b)☐ Some * c)☐ None of:

1.☐ Certified copies of the priority documents have been received.

2.☐ Certified copies of the priority documents have been received in Application No. _____.

3.☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

* See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

1) ☐ Notice of References Cited (PTO-892)
2) ☐ Notice of Draftsperson's Patent Drawing Review (PTO-948)
3) ☐ Information Disclosure Statement(s) (PTO/SB/08) Paper No(s)/Mail Date _____.
4) ☐ Interview Summary (PTO-413) Paper No(s)/Mail Date. _____ .
5) ☐ Notice of Informal Patent Application
6) ☐ Other: _____.

Election/Restrictions

1. Restriction to one of the following inventions is required under 35 U.S.C. 121:

I. Claims 1-21, drawn to devices, classified in class 257, subclass 758.

II. Claims 22-26, drawn to methods, classified in class 438, subclass 597.

The inventions are distinct, each from the other because of the following reasons:

2. Inventions II and I are related as process of making and product made. The inventions are distinct if either or both of the following can be shown: (1) that the process as claimed can be used to make another and materially different product or (2) that the product as claimed can be made by another and materially different process (MPEP § 806.05(f)). In the instant case the processes as claimed can be used to make another and materially different product wherein a via is formed in the second insulating film and/or the dummy via is made connected to the upper interconnect with non-conductive material.

3. Because these inventions are independent or distinct for the reasons given above and there would be a serious burden on the examiner if restriction is not required because the inventions have acquired a separate status in the art due to their recognized divergent subject matter, restriction for examination purposes as indicated is proper.

4. *If applicant elects Group I*, this group contains claims directed to the following patentably distinct species: the first species belong to figure 2B, the second species belongs to figure 15B and the third species belongs to figure 8A. The species are independent or distinct because the first species has two insulating films and at least

one dummy via; the second species has no dummy via, no second insulating film and has insulating slit formed; the third species has no second insulating film, has large upper interconnect width in a portion relatively to small interconnect width in another portion and different distance from the dummy portion to the branch point and the edge point.

If applicant elects Group II, this group contains claims directed to the following patentably distinct species: the first species belong to figures 1, the second species belongs to figures 12; the third species belongs to figures 14; and the fourth species belongs to figures 9. The species are independent or distinct because the first species has via and dummy via; the second species has two interconnecting level with no dummy in the first level; the third species has no dummy via, and has slit; and the fourth species has large upper interconnect width in a portion relatively to small interconnect width in another portion and different distance from the dummy portion to the branch point and the edge point.

Applicant is required under 35 U.S.C. 121 to elect a single disclosed species for prosecution on the merits to which the claims shall be restricted if no generic claim is finally held to be allowable. Currently, no claim is generic.

Applicant is advised that a reply to this requirement must include an identification of the species that is elected consonant with this requirement, and a listing of all claims readable thereon, including any claims subsequently added. An argument that a claim is allowable or that all claims are generic is considered nonresponsive unless accompanied by an election.

Upon the allowance of a generic claim, applicant will be entitled to consideration of claims to additional species which depend from or otherwise require all the limitations of an allowable generic claim as provided by 37 CFR 1.141. If claims are added after the election, applicant must indicate which are readable upon the elected species. MPEP § 809.02(a).

5. A telephone call was made to Mr. Michael E. Fogarty on 12/28/2006 to request an oral election to the above restriction requirement, but did not result in an election being made.

Applicant is advised that the reply to this requirement to be complete must include (i) an election of a species or invention to be examined even though the requirement be traversed (37 CFR 1.143) and (ii) identification of the claims encompassing the elected invention.

The election of an invention or species may be made with or without traverse. To reserve a right to petition, the election must be made with traverse. If the reply does not distinctly and specifically point out supposed errors in the restriction requirement, the election shall be treated as an election without traverse.

Should applicant traverse on the ground that the inventions or species are not patentably distinct, applicant should submit evidence or identify such evidence now of record showing the inventions or species to be obvious variants or clearly admit on the record that this is the case. In either instance, if the examiner finds one of the inventions unpatentable over the prior art, the evidence or admission may be used in a rejection under 35 U.S.C.103(a) of the other invention.

6. Any inquiry concerning this communication or earlier communications from the examiner should be directed to Thanh V. Pham whose telephone number is 703-308-2543. The examiner can normally be reached on M-T (6:30-5:00).

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Olik Chaudhuri can be reached on 703-306-2794. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

12/28/2006

AU2823

OIPE IAP44
MAR 05 2007
PATENT & TRADEMARK OFFICE

Docket No.: 071971-0064 **PATENT**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 53080
Takeshi HARADA	:	Confirmation Number: 7270
Application No.: 11/000,904	:	Group Art Unit: 2823
Filed: December 02, 2004	:	Examiner: Thanh V. PHAM

For: INTERCONNECTION STRUCTURE AND METHOD FOR FORMING THE SAME

RESPONSE TO RESTRICTION REQUIREMENT

Mail Stop Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Noting the Office Action of January 5, 2007 wherein restriction has been required, a petition for a one month extension of time up to and including March 5, 2007 being filed concurrently herewith, Applicant is filing concurrently herewith a Preliminary Amendment which cancels original claims 1-26, without prejudice, and submits claims 27-86 for consideration.

In response to the restriction requirement, Applicant elects Group I and Species 1 (Fig. 2B) for prosecution on the merits and identify claims 27-68 as reading on the elected species. It is further noted that with regard to the Species 3 of Group I as noted in the Office Action, Applicant respectfully submits that Figs. 4 and 10 correspond to Species 3 of Group, and not Fig. 8A as suggested in the Office Action.

To the extent necessary, an additional petition for an extension of time under 37 C.F.R. 1.136 is hereby made. Please charge any shortage in fees due in connection with the filing of

this paper, including extension of time fees, to Deposit Account 500417 and please credit any excess fees to such deposit account.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP

Michael E. Fogarty
Registration No. 36,139

Please recognize our Customer No. 53080 as our correspondence address.

600 13th Street, N.W.
Washington, DC 20005-3096
Phone: 202.756.8000 MEF:mjb
Facsimile: 202.756.8087
Date: **March 5, 2007**

WDC99 1343632-1.071971.0064

OIPE IAP44
MAR 05 2007
PATENT & TRADEMARK OFFICE

Docket No.: 071971-0064 **PATENT**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 53080
Takeshi HARADA	:	Confirmation Number: 7270
Application No.: 11/000,904	:	Group Art Unit: 2823
Filed: December 02, 2004	:	Examiner: Thanh V. PHAM

For: INTERCONNECTION STRUCTURE AND METHOD FOR FORMING THE SAME

AMENDMENT

Mail Stop Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Concurrently with the filing of the response to a restriction requirement, please amend the application as follows:

03/06/2007 SZEWDIE1 00000132 500417 11000904
02 FC:1201 400.00 DA
03 FC:1202 1700.00 DA

IN THE CLAIMS:

Please amend the claims as follows:

1-26. (Cancelled)

27. (New) A semiconductor device comprising:

a semiconductor substrate;

a first interconnect formed on the semiconductor substrate;

a first insulating film formed on the first interconnect;

a second interconnect formed on the first insulating film;

a via formed through the first insulating film and connecting between the first and second interconnects; and

a dummy via connected to the second interconnect.

28. (New) The semiconductor device of claim 27 further comprising a second insulating film formed on the semiconductor substrate,

wherein the first interconnect is formed on the second insulating film, and

the dummy via is connected to a first dummy interconnect formed on the second insulating film.

29. (New) The semiconductor device of claim 27, wherein the second interconnect and the via form a dual damascene structure.

30. (New) The semiconductor device of claim 27, wherein the second interconnect and the dummy via form a dual damascene structure.

31. (New) The semiconductor device of claim 27, wherein the first insulating film has a multilayer structure including a SiN film and a SiO_2 film.

32. (New) The semiconductor device of claim 27, wherein the second interconnect includes a first barrier film and a first conductive film.

33. (New) The semiconductor device of claim 32, wherein the first conductive film includes copper.

34. (New) The semiconductor device of claim 27, wherein each of the first and second interconnects is connected to another element or an external electrode.

35. (New) The semiconductor device of claim 27, wherein the first interconnect, the second interconnect and the via constitute part of a closed circuit, and

the dummy via does not constitute a closed circuit.

36. (New) The semiconductor device of claim 27, wherein the first interconnect has a width smaller than that of the second interconnect.

37. (New) The semiconductor device of claim 28, wherein the first dummy interconnect has a width smaller than that of the second interconnect.

38. (New) The semiconductor device of claim 28, wherein a width of the first dummy interconnect and a width of the first interconnect are substantially equal to each other.

39. (New) The semiconductor device of claim 27, wherein the via and the dummy via are substantially circular in a plan view.

40. (New) The semiconductor device of claim 39, wherein a diameter of the via and a diameter of the dummy via are substantially equal to each other.

41. (New) The semiconductor device of claim 27, wherein a planar shape of each of the via and the dummy via is substantially a square.

42. (New) The semiconductor device of claim 41, wherein a length of a side of the via and a length of a side of the dummy via are substantially equal to each other.

43. (New) The semiconductor device of claim 27, wherein the first interconnect and the second interconnect extend in a same direction.

44. (New) The semiconductor device of claim 27, wherein the dummy via is provided on an extended line along which the first interconnect extends.

45. (New) The semiconductor device of claim 27, wherein the via is substantially circular in a plan view, and

a diameter of the via is substantially equal to a width of the first interconnect.

46. (New) The semiconductor device of claim 27, wherein a planar shape of the via is substantially a square, and

a side of the via is substantially equal to a width of the first interconnect.

47. (New) The semiconductor device of claim 28, wherein the dummy via is substantially circular in a plan view, and

a diameter of the dummy via is substantially equal to a width of the first dummy interconnect.

48. (New) The semiconductor device of claim 28, wherein a planar shape of the dummy via is substantially a square, and

a side of the dummy via is substantially equal to a width of the first dummy interconnect.

49. (New) The semiconductor device of claim 28, wherein each of the first interconnect and the first dummy interconnect is buried in an upper portion of the second insulating film.

50. (New) The semiconductor device of claim 28, wherein a longer side of the first interconnect and a longer side of the first dummy interconnect form substantially a right angle.

51. (New) The semiconductor device of claim 27, wherein the via and the dummy via are spaced at a distance of 25 μm or less.

52. (New) The semiconductor device of claim 27, wherein the via and the dummy via are spaced at a distance of 1 μm or less.

53. (New) The semiconductor device of claim 27, wherein the distance between the via and the dummy via is substantially equal to a minimum interconnect width.

54. (New) The semiconductor device of claim 27, wherein the dummy via is provided in plural.

55. (New) The semiconductor device of claim 27, wherein a bottom of the dummy via is located deeper than a bottom of the via.

56. (New) The semiconductor device of claim 27 further comprising a second insulating film formed on the semiconductor substrate,

wherein the first interconnect is formed on the second insulating film, and

a bottom of the dummy via is located in the second insulating film.

57. (New) The semiconductor device of claim 27, wherein the via and the dummy via are substantially circular in a plan view, and

a diameter of the dummy via is smaller than a diameter of the via.

58. (New) The semiconductor device of claim 27, wherein a planar shape of each of the via and the dummy via is substantially a square, and

a side of the dummy via is smaller than a side of the via.

59. (New) The semiconductor device of claim 28, wherein the dummy via is substantially circular in a plan view, and

a diameter of the dummy via is smaller than a width of the first dummy interconnect.

60. (New) The semiconductor device of claim 28, wherein a planar shape of the dummy via is substantially a square, and

a side of the dummy via is smaller than a width of the first dummy interconnect.

61. (New) The semiconductor device of claim 27, wherein the dummy via is substantially rectangular in a plan view, and

a longer side of the dummy via in a plan view and a shorter side of the second interconnect are provided along a same direction.

62. (New) The semiconductor device of claim 27, wherein a distance between the via and one end of the second interconnect is shorter than a distance between the dummy via and the one end of the second interconnect and shorter than a distance between the via and the other end of the second interconnect.

63. (New) The semiconductor device of claim 27, wherein the dummy via is connected to the upper surface of the second interconnect.

64. (New) The semiconductor device of claim 63, wherein the dummy via is formed in a third insulating film formed on the second interconnect.

65. (New) The semiconductor device of claim 64, wherein the third insulating film has a multilayer structure including a SiN film and a SiO_2 film.

66. (New) The semiconductor device of claim 63, wherein the dummy via includes a second barrier film and a second conductive film.

67. (New) The semiconductor device of claim 66, wherein the second conductive film includes copper.

68. (New) The semiconductor device of claim 63, wherein a second dummy interconnect is provided on the dummy via so as to come in contact with a top of the dummy via.

69. (New) The semiconductor device of claim 27, wherein the second interconnect is comprised of a first interconnect portion and a second interconnect portion whose interconnect

width is smaller than that of the first interconnect portion and which branches from the first interconnect portion, and

the via is connected to the second interconnect portion.

70. (New) The semiconductor device of claim 69, wherein the dummy via is formed at or near the branch point between the first and second interconnect portions.

71. (New) The semiconductor device of claim 69, wherein a width of the second interconnect portion is 0.2 μm or less.

72. (New) The semiconductor device of claim 69, wherein the dummy via is substantially rectangular in a plan view, and

a longer side of the dummy via and a longer side of the first interconnect portion are provided along a same direction.

73. (New) A semiconductor device comprising:

a semiconductor substrate;

a first interconnect formed on the semiconductor substrate;

a first insulating film formed on the first interconnect;

a second interconnect formed on the first insulating film;

a via formed through the first insulating film and connecting between the first and second interconnects; and

an insulating slit formed in the second interconnect.

74. (New) The semiconductor device of claim 73, wherein the insulating slit is in contact with a portion of the second interconnect connected to the via.

75. (New) The semiconductor device of claim 73, wherein the insulating slit is substantially rectangular in a plan view, and

a longer side of the insulating slit is in contact with a portion of the second interconnect connected to the via.

76. (New) The semiconductor device of claim 73, wherein the insulating slit is substantially rectangular in a plan view,

a planar shape of the via is substantially a square, and

a length of a longer side of the insulating slit is equal to or greater than twice a length of a side of the via and less than or equal to four times the length of the side of the via.

77. (New) The semiconductor device of claim 73, wherein the insulating slit is substantially rectangular in a plan view,

the via is substantially circular in a plan view, and

a length of a longer side of the insulating slit is equal to or greater than twice a diameter of the via and less than or equal to four times the diameter of the via.

78. (New) The semiconductor device of claim 73, wherein the insulating slit and the via are spaced at a distance of 1 μm or less.

79. (New) The semiconductor device of claim 73, wherein the insulating slit is substantially rectangular in a plan view, and

a longer side of the insulating slit in a plan view and a shorter side of the second interconnect are provided along a same direction.

80. (New) The semiconductor device of claim 73, wherein a distance between the via and one end of the second interconnect is shorter than a distance between the insulating slit and the one end of the second interconnect and shorter than a distance between the via and the other end of the second interconnect.

81. (New) A method for fabricating a semiconductor device comprising the steps of:

(a) forming a first interconnect on a semiconductor substrate;

(b) forming a first insulating film on the first interconnect;

(c) forming in the first insulating film, a via hole connected to the first interconnect, a dummy hole which is not connected to the first interconnect, and an interconnect trench connected to the via hole and the dummy hole; and

(d) depositing a conductive material in the via hole, the dummy hole and the interconnect trench, thereby forming a via, a dummy via and a second interconnect.

82. (New) The method of claim 81, wherein in the step (a) a first dummy interconnect is simultaneously formed on the semiconductor substrate, and

in the step (c) the dummy hole is connected to the first dummy interconnect.

83. (New) A method of fabricating a semiconductor device comprising the steps of:

(a) forming a first interconnect on a semiconductor substrate;

(b) forming a first insulating film on the first interconnect;

(c) forming in the first insulating film, a via hole connected to the first interconnect and an interconnect trench connected to the via hole;

(d) depositing a conductive material in the via hole and the interconnect trench, thereby forming a via and a second interconnect;

(e) forming a second insulating film on the second interconnect;

(f) forming in the second insulating film a dummy hole connected to the second interconnect; and

(g) depositing a conductive material in the dummy hole, thereby forming a dummy via.

84. (New) A method of fabricating a semiconductor device comprising the steps of:

(a) forming a first interconnect on a semiconductor substrate;

(b) forming a first insulating film on the first interconnect;

(c) forming in the first interconnect, a via hole connected to the first interconnect and an interconnect trench connected to the via hole; and

(d) depositing a conductive material in the via hole and the interconnect trench, thereby forming a via and a second interconnect,

wherein the step (c) includes a step of leaving part of the first insulating film in the interconnect trench, thereby forming an insulating slit.

85. (New) The method of claim 81, wherein in the step (c) the interconnect trench is comprised of a first interconnect trench portion and a second interconnect trench portion whose width is smaller than that of the first interconnect trench portion and which branches from the first interconnect trench portion, and

the via hole and the second interconnect trench portion are connected to the interconnect trench.

86. (New) The method of claim 85, wherein in the step (c) the dummy hole is connected to the branch point between the first and second interconnect trench portions or to the interconnect trench near the branch point.

REMARKS

Concurrently with the filing of a response to a restriction requirement, Applicants have presented the foregoing preliminary amendment which cancels original claims 1-26, without prejudice, and submits new claims 27-86 for consideration. An indication of how the new claims read on the species as defined by the Examiner is set forth in the restriction requirement. Entry of the foregoing preliminary amendment is respectfully requested.

Please charge any shortage in fees due in connection with the filing of this paper, including extension of time fees, to Deposit Account 500417 and please credit any excess fees to such deposit account.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP

Michael E. Fogarty
Registration No. 36,139

Please recognize our Customer No. 53080 as our correspondence address.

600 13th Street, N.W.
Washington, DC 20005-3096
Phone: 202.756.8000 MEF:mjb
Facsimile: 202.756.8087
Date: March 5, 2007

WDC99 1343604-1.071971.0064

OIPE IAP44
MAR 05 2007
PATENT & TRADEMARK OFFICE

Docket No.: 071971-0064 **PATENT**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 53080
Takeshi HARADA	:	Confirmation Number: 7270
Application No.: 11/000,904	:	Group Art Unit: 2823
Filed: December 02, 2004	:	Examiner: Thanh V. PHAM

For: INTERCONNECTION STRUCTURE AND METHOD FOR FORMING THE SAME

PETITION FOR EXTENSION OF TIME

Mail Stop Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

It is respectfully requested that the time for response to the Office Action dated January 5, 2007, now due to expire February 5, 2007, be extended for one month(s) and set to expire on March 5, 2007.

Please charge the extension fee of $120.00 to Deposit Account No. 500417. Please charge any additional fees or credit any overpayment to Deposit Account No. 500417.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP

Michael E. Fogarty
Registration No. 36,139

Please recognize our Customer No. 53080 as our correspondence address.

600 13th Street, N.W.
Washington, DC 20005-3096
Phone: 202.756.8000 MEF:mjb
Facsimile: 202.756.8087
Date: March 5, 2007

03/06/2007 SZEWDIE1 00000132 500417 11000904
01 FC:1251 120.00 DA

MAR 05 2007
PATENT & TRADEMARK OFFICE

Docket No.: 071971-0064

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 53080
Takeshi HARADA	:	Confirmation Number: 7270
Application No.: 11/000,904	:	Group Art Unit: 2823
Filed: December 02, 2004	:	Examiner: Thanh V. PHAM

For: INTERCONNECTION STRUCTURE AND METHOD FOR FORMING THE SAME

Mail Stop Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Transmitted herewith is an Amendment in the above-identified application.

☐ No additional fee is required.
☐ Applicant is entitled to small entity status under 37 CFR 1.27
☒ Also attached: Petition for one-month Extension of Time Response to Restriction Requirement and Information Disclosure Statement

The fee has been calculated as shown below:

	NO. OF CLAIMS	HIGHEST PREVIOUSLY PAID FOR	EXTRA CLAIMS	RATE	FEE
Total Claims	60	26	34	$50.00 =	$1700.00
Independent Claims	5	3	2	$200.00 =	$400.00
		Multiple dependent claims newly presented			$0.00
		Fee for extension of time			$120.00
		Information Disclosure Statement			$0.00
		Total of Above Calculations			$2220.00

☒ Please charge my Deposit Account No. 500417 in the amount of $2220.00. An additional copy of this transmittal sheet is submitted herewith.

☒ The Commissioner is hereby authorized to charge payment of any fees associated with this communication or credit any overpayment, to Deposit Account No. 500417, including any filing fees under 37 CFR 1.16 for presentation of extra claims and any patent application processing fees under 37 CFR 1.17.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP

Michael E. Fogarty
Registration No. 36,139
Please recognize our Customer No. 53080 as our correspondence address.

600 13th Street, N.W.
Washington, DC 20005-3096
Phone: 202.756.8000 MEF:mjb
Facsimile: 202.756.8087

OIPE IAP44
MAR 05 2007
PATENT & TRADEMARK OFFICE

Docket No.: 071971-0064 **PATENT**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 53080
Takeshi HARADA	:	Confirmation Number: 7270
Application No.: 11/000,904	:	Group Art Unit: 2823
Filed: December 02, 2004	:	Examiner: Thanh V. PHAM

For: INTERCONNECTION STRUCTURE AND METHOD FOR FORMING THE SAME

INFORMATION DISCLOSURE STATEMENT

Mail Stop Information Disclosure Statement
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

In accordance with the provisions of 37 C.F.R. 1.56, 1.97 and 1.98, the attention of the Patent and Trademark Office is hereby directed to the documents listed on the attached form PTO-1449. It is respectfully requested that the documents be expressly considered during the prosecution of this application, and that the documents be made of record therein and appear among the "References Cited" on any patent to issue therefrom.

This Information Disclosure Statement is being filed more than three months after the U.S. filing date but before the mailing date of the first Office Action on the merits.

In accordance with the provisions of 37 C.F.R. 1.56, 1.97 and 1.98, the attention of the Patent and Trademark Office is hereby directed to the documents listed on the attached form PTO-1449. It is respectfully requested that the documents be expressly considered during the prosecution of this application, and that the documents be made of record therein and appear among the "References Cited" on any patent to issue therefrom.

Each English language reference was cited in a corresponding foreign application search report or office action and its relevance discussed therein. A copy of the foreign search report or office action is attached for the Examiner's information.

Please charge any shortage in fees due in connection with the filing of this paper, including extension of time fees, to Deposit Account 500417 and please credit any excess fees to such deposit account.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP

Michael E. Fogarty
Registration No. 36,139

Please recognize our Customer No. 53080 as our correspondence address.

600 13th Street, N.W.
Washington, DC 20005-3096
Phone: 202.756.8000 MEF:mjb
Facsimile: 202.756.8087
Date: March 5, 2007
WDC99 1357636-1.071971.0064

INFORMATION DISCLOSURE CITATION IN AN APPLICATION

(PTO-1449)

OIPE IAP44 MAR 05 2007 PATENT & TRADEMARK OFFICE

ATTY. DOCKET NO.	SERIAL NO.
071971-0064	**11/000,904**
APPLICANT: **Takeshi HARADA**	
FILING DATE: **December 02, 2004**	GROUP: **2823**

U.S. PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Document Number Number-Kind Code2 (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			

FOREIGN PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Foreign Patent Document Country Codes3-Number 4-Kind Codes (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines Where Relevant Figures Appear	Translation Yes	Translation No
	AA	2002-033384	01-31-2002	KENJI et al.		X	

OTHER ART (Including Author, Title, Date, Pertinent Pages, Etc.)

EXAMINER'S INITIALS	CITE NO.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	
		Translation of Notice of Reasons of Rejection	

EXAMINER	DATE CONSIDERED

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

1 Applicant's unique citation designation number (optional). 2 Applicant is to place a check mark here if English language Translation is attached.

WDC99 1357645-1.071971.0064

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-033384
(43)Date of publication of application : 31.01.2002

(51)Int.Cl. H01L 21/768

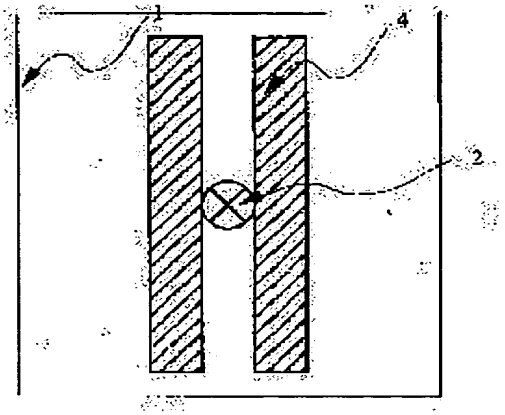
(21)Application number : 2000-217215
(22)Date of filing : 13.07.2000

(71)Applicant : HITACHI LTD
(72)Inventor : HINODE KENJI
OSHIMA TAKAFUMI
TAKEDA KENICHI

(54) WIRING STRUCTURE AND SEMICONDUCTOR DEVICE HAVING THE SAME

(57)Abstract:
PROBLEM TO BE SOLVED: To provide drastic via wiring connection structure that has superior heat-resistance property, will not depend on the kinds of an insulating film, and can form a reliable wiring system and semiconductor device.
SOLUTION: To make a via connected to wide wiring equivalent to connection for narrow wiring near a connection part, and the island of the insulating film is provided near the via in the wide wiring, and the width of wiring connected to the via is narrowed.

図14



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号
特開2002－33384
（P2002－33384A）
(43)公開日　平成14年１月31日(2002.1.31)

(51)Int.Cl.⁷	識別記号	ＦＩ	ﾃｰﾏｺｰﾄﾞ(参考)
Ｈ０１Ｌ　21/768		Ｈ０１Ｌ　21/90	Ｂ　５Ｆ０３３

審査請求　未請求　請求項の数９　ＯＬ　（全９頁）

(21)出願番号　特願2000－217215(P2000－217215)

(22)出願日　平成12年７月13日(2000.7.13)

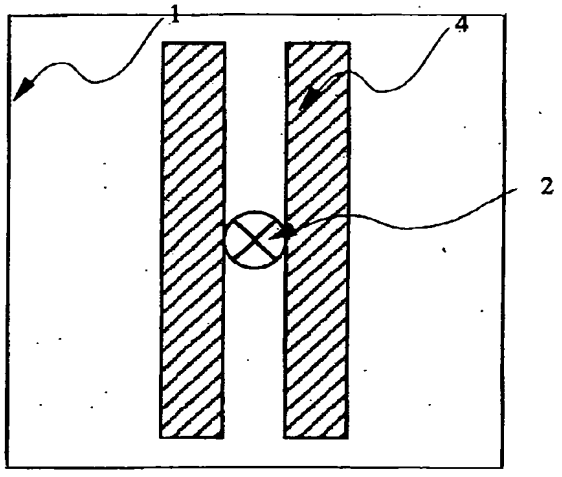
(71)出願人　000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目６番地
(72)発明者　日野出　憲治
東京都国分寺市東恋ケ窪一丁目280番地
株式会社日立製作所中央研究所内
(72)発明者　大島　隆文
東京都青梅市新町六丁目16番地の３　株式会社日立製作所デバイス開発センタ内
(74)代理人　100075096
弁理士　作田　康夫

最終頁に続く

(54)【発明の名称】　配線構造およびそれを有する半導体装置

(57)【要約】
【課題】耐熱性が高く、絶縁膜の種類によらない、高信頼度の配線系および半導体素子を形成できる抜本的なヴィア配線接続構造を提供する。
【解決手段】幅広配線に接続したヴィアも接続部近傍では細い配線に接続しているのと同等になるよう、幅広配線内のヴィア近傍に絶縁膜の島を設け、ヴィアに接続する配線幅を狭くする。

図14



【特許請求の範囲】
【請求項１】ヴィアに接続し、ヴィア径よりも幅の広い銅もしくはアルミニウムを主成分とする配線で、ヴィア近傍の配線内部に絶縁膜で埋め込んだ領域（以下単に島という）があることを特徴とする配線構造。
【請求項２】バリア等導電性物質の境界なしにヴィアに接続し、ヴィア径よりも幅の広い銅もしくはアルミニウムを主成分とする配線で、ヴィア近傍の配線内部に島があることを特徴とする配線構造。
【請求項３】デユアルダマシン構造のヴィアに接続し、ヴィア径よりも幅の広い銅もしくはアルミニウムを主成分とする配線で、ヴィア近傍の配線内部に島があることを特徴とする配線構造。
【請求項４】平面図上で、実質的にヴィアに接した（重なりがあるか、間隔がリソグラフィーの最小寸法以下で近接する）島があることを特徴とする請求項１ないし３のいずれかに記載の配線構造。
【請求項５】平面図上で、実質的にヴィアの半分以上の方向に島があることを特徴とする請求項１ないし請求項４のいずれかに記載の配線構造。
【請求項６】平面図上で、実質的にヴィアの半分以上の方向に島、もしくは配線端部があることを特徴とする請求項１ないし請求項５のいずれかに記載の配線構造。
【請求項７】ヴィアに接続し、ヴィア径の１０倍より幅の広い銅もしくはアルミニウムを主成分とする配線で、ヴィア近傍の配線内部に島があることを特徴とする請求項１ないし請求項６のいずれかに記載の配線構造。
【請求項８】請求項１ないし請求項７のいずれか記載の配線構造を有すること特徴とする半導体装置。
【請求項９】４層以上の配線層を有し、少なくともその一部に請求項１ないし請求項７のいずれか記載の配線構造を有することを特徴とする半導体装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は配線構造および半導体装置に係わり、特に高速動作・低消費電力化に好適な配線構造およびそれを有する半導体装置に関する。
【０００２】
【従来の技術】半導体素子の微細化・高速化のために配線材料として銅の導入、層間絶縁膜として低誘電率材料の導入が盛んに検討されている。さらに多層化に際しての平坦化のために、ＣＭＰ（Chemical Mechanical Polishing；化学機械的研磨法）を使ったダマシン法で配線を形成する方法が広まりつつある。
【０００３】図１ないし図４は、従来検討されてきた銅もしくはアルミニウムダマシン配線の形状を示す平面図と鳥瞰図である。実素子ではこの配線が絶縁膜に埋め込まれているが、この図では周囲の絶縁膜を描いてない。図において、１は上層配線、２は上下配線層接続部（ヴィア）、３は下層配線である。
【０００４】
【発明が解決しようとする課題】配線の多層化が３～４層以下あるいは配線寸法があまり微細化されていない状態（ヴィア径０．５μｍ程度以上）では、上記図１ないし図４のような配線構造でも十分な特性が得られていた。しかし多層化、微細化がすすむにつれて問題があることが分かってきた。すなわち配線抵抗、電流密度の都合で太い（幅広の）配線に微細なヴィアが接続する図３、図４のような構造があると、配線を多層化していく過程で上記のような接続領域が優先的に劣化する（高抵抗化）するという問題が生じることが分かった。同じ形状のヴィアでも、図１、図２のような細い配線に接続したヴィアではそのような劣化が起きにくい。
【０００５】上記の配線構造で、熱処理法または絶縁膜の形成方法あるいは形成条件を変えると、定量的な不良率等の変動はみられるが、確かな信頼性を得る十分なマージンを得られるプロセスにはなり難かった。また微細化がさらに進めば、そのマージンは狭まってくる。
【０００６】本発明の目的は、上述のようなプロセス条件とは別の、高信頼度の配線構造およびそれを有する半導体素子を形成できる抜本的な改善策を提供することにある。
【０００７】
【課題を解決するための手段】本発明は、ヴィア近傍の配線パターンを最適化することにより、上記課題を解決したものである。すなわち、先に述べた劣化現象の原因は十分解明されてはいないものの、以下のようないくつかの可能性をあげることができる。
【０００８】（１）幅広配線内の銅の収縮により、ヴィア内の銅が吸い上げられ、ヴィア内に空洞が発生し、接続部が高抵抗化する。すなわち銅の収縮は、高温で熱処理される際、成膜時にできた格子欠陥（原子空孔・粒界）が集合して大きな欠損・空隙を作るために起こる薄膜金属に一般的な現象であるが、このとき作られる空隙の割合は配線の幅によらず一定であるが、幅の広い配線では空隙の絶対量が大きくなるため、接続しているヴィアへの影響が激しいものと考えられる。
【０００９】（２）熱処理時に配線の周囲の絶縁膜が銅配線を取り囲んでいる体積（容積）を増加させるように変形し、それに追随して配線内の銅も移動し、ヴィア内に空隙を形成する。ここで、絶縁膜の変形現象は、高い応力を持った膜の場合に特に顕著であり、アルミニウム配線ではこのメカニズムによるボイド形成が報告されている（文献１；Y.Sugano他，プロシーディングズ　オブ　インタナショナル　リライアビリティ　フィジクス（Proc. International Reliability Physics）pp.34－38（1988），文献２；K.Hinode他，アイイーイーイー　トランザクションズ　オン　エレクトロンデバイシズ（IEEE Trans. On ED），vol.36,pp.1050－1055（1989））。さらに、幅広配線では上記変形が著しくなる、

あるいは同じ変形量でも電気特性に及ぼす影響が著しくなる場合がある。

【００１０】（３）幅広配線、もしくはそこに接続しているヴィア内の銅の膜質が悪い（格子欠陥が多い）ため、そのような場所での劣化が著しくなる。

【００１１】以上に考えられる３つの場合を説明したが、細い配線に接続しているヴィアは十分な特性であるので、幅広配線に接続したヴィアにおいても、ヴィアとの接続部近傍では細い配線に接続しているのと同等の構造にしてやれば、上記３つの可能性のどれであっても対策できる。その方法として、本発明においては、幅広配線内のヴィア近傍に絶縁膜の島を設け、ヴィアに接続する配線の幅を狭くしてやることで、幅広配線に特有の劣化現象を克服したものである。

【００１２】

【発明の実施の形態】＜実施例１＞図５ないし図８は１層目銅配線（図示略）上にヴィア２と上層（２層目）配線１とを同時に形成（溝・孔埋め込みおよびＣＭＰ）する、いわゆるデュアルダマシン法を採用した配線構造の平面図を示している。

【００１３】層間の絶縁膜（図示略）は代表的なｐ－ＣＶＤ－SiO_2膜（Plasma Enhanced Chemical Vapor Deposition）であるＴＥＯＳ（Tetra－Ethoxy Silane）膜を用い、エッチングストップ（図示略）としてｐ－ＣＶＤ－ＳｉＮ（SiliconNitride；窒化シリコン）膜を積層した。膜厚はヴィア深さ０．５μm、配線厚さ０．３μmとなるようにした。

【００１４】本実施例では、ヴィア２に接して（フォト工程による合わせずれのため僅かな隙間ができる場合も含む）各図に示すような絶縁膜の島４を設けた。島の形状についての制約はないが、配線抵抗への影響が少なく電流経路をできるだけ妨げないように、できるだけ小さく、平面図上の長手方向が配線の長手方向に平行になるよう形成するのが望ましい。

【００１５】図９ないし図１２の実施例は、ヴィア２に接してはいないものの、ヴィア２の近傍に前記実施例と同様形状の絶縁膜の島４を設けたものである。この実施例ではヴィア２に接して島４を設けた実施例に比べて相対的に高信頼化の程度は劣るが、島４を設けたことによる配線抵抗等への影響は前記実施例よりも減らすことができるので、要求に応じて使い分ければよい。

【００１６】上層配線１の幅を５μmとし、ヴィア２の径を３μmおよび０．２μmとしてそれぞれ１００００個、直列に接続したＴＥＧ（Test Element Group；特性評価用のパターン）を形成し、本発明の効果を評価した結果を表１に示す。

【００１７】

【表１】

表１　歩留まり（％）

追加熱処理	無し		400℃-30min		450℃-30min	
ヴィア径	0.3μm	0.2μm	0.3μm	0.2μm	0.3μm	0.2μm
従来構造(図3、4)	99.0	98.0	97.0	63.5	44.5	12.5
図5の構造	100	99.5	98.0	97.0	78.5	65.0
図6の構造	100	99.5	100	99.5	100	99.5
図7の構造	100	98.0	100	98.0	100	98.5
図8の構造	100	100	100	100	100	99.5
図9の構造	99.5	97.5	95.5	87.5	76.5	60.0
図10の構造	100	99.0	100	99.0	100	99.0
図11の構造	99.0	98.5	98.5	97.0	89.5	90.5
図12の構造	100	99.5	100	99.5	100	99.5

【００１８】上記の結果は次のようにまとめられる。配線形成初期はあまり構造によらず、ほとんど１００％の歩留まりが得られている。しかし、追加熱処理を施すと構造の差が見えてくる。まず熱処理温度が高いほど、そしてヴィア径が小さいほど劣化が著しい。島の設け方による差も見られる。図５の構造でも従来構造に比べると大きな改善効果があるが、今回の熱処理に対しては必ずしも充分ではない。できるだけヴィアの近くに置いた大面積のものほど効果が大きくなっている。

【００１９】今回の熱処理に対しては、図６ないし図８の構造を採れば十分な耐性が確保できる。より熱処理条件の軽いものに対しては他の構造でも対応できる場合がある。

【００２０】＜実施例２＞　繰り返し熱処理による劣化の実施例

高温での熱処理が短時間であったり、１、２回ですむ場合は上記の構造で対処できる。しかし、配線が５層以上に多層化される場合も少なくない。実施例１で述べた配線構造は１層分であるが、これを５回積層して、５層配線を形成した。すなわち最下層の配線は少なくとも５回の熱処理を経ることになる。

【００２１】この熱処理に対しては、実施例１で述べた図６ないし図８の構造でも劣化が著しく、実際の素子ではさらに耐性を向上させる必要がある。そのため、図１３ないし図２０のようにヴィアの２方向以上に絶縁膜の島４を設けた構造の配線を５層積層したＴＥＧを形成し、前実施例と同様にして１層目のヴィアチェーンの歩留まりを測定した。ここで、各図は前記実施例と同様に１層目配線（図示略）上にヴィア２と２層目配線１を形成した場合の平面図を示している。

【００２２】この場合もヴィアと上層配線とを同時に形成（溝・孔埋め込みおよびＣＭＰ）する、いわゆるデュアルダマシン法を採用している。層間の絶縁膜は実施例１と同様に、ＴＥＯＳ膜を用い、エッチングストップとしてＳｉＮ膜を積層した。１層分の膜厚はヴィア深さ０．５μｍ、配線厚さ０．３μｍとなるようにした。また、このＴＥＧでは１層形成するために、４００℃以下で総計約１５分間、４２５℃で約１０分間の熱処理が施されている。歩留まり測定前に熱処理は施していない。

【００２３】図１３ないし図１６ではヴィア２に接して図に示すような絶縁膜の島４を設けた。また、図１７ないし図２０はヴィアから若干の距離を置いてヴィア２の近傍に同様の絶縁膜４の島を設けたものである。図１７ないし図２０の例ではヴィアに接して島を設けたものに比べて、高信頼化の程度は劣るが、島を設けたことによる配線抵抗等への影響をより減らすことができるので、実施に当たっては、要求に応じて使い分ければよいことは前述と同様である。実施例１と同様に上層配線の幅を５μｍとし、ヴィア径として０．３μｍおよび０．２μｍのものをそれぞれ１００００個直列に接続したＴＥＧを形成して評価した結果を表２に示す。

【００２４】

【表２】

表2　歩留まり（%）

ヴィア径	0.3μm	0.2μm
図6の構造	83.5	74.5
図13の構造	92.5	86.0
図14の構造	99.5	100
図15の構造	98.0	96.0
図16の構造	100	100
図17の構造	78.5	67.5
図18の構造	84.0	89.5
図19の構造	88.0	78.5
図20の構造	97.0	89.0

【００２５】上記の結果は次のようにまとめられる。ヴィア径が小さいほど劣化が著しく初期歩留まりが低い。島の設け方による差も見られ、図１３の構造では図６の構造と大差なく、このプロセスで十分な耐性を持っていない。図１４ないし図１６のように、できるだけヴィアの近くに置いた大面積の島ほど効果が大きくなっている。今回の熱処理に対しては、図１４、図１６の構造を採れば十分な耐性が確保できる。層数の少ないものに対しては他の構造でも対応できる場合がある。

【００２６】＜実施例３＞図２１ないし図２４も前記実施例と同様に１層目配線（図示略）上にヴィア２と２層目配線１を形成した場合の平面図を示している。本実施例は、複数のヴィアがある場合に、できるだけヴィアの多数の方向に島を設け、かつ配線への影響が少なくなるように島を配置した例である。

【００２７】図２１ないし図２４の構造で配線を５層積層したＴＥＧを形成し、前の実施例と同様にして１層目のヴィアチェーンの歩留まりを測定した。このＴＥＧでは一層形成するための熱処理として、４００℃以下の熱処理が総計約１５分間、４２５℃で約１０分間の熱処理が施されている。歩留まり測定前に熱処理は施していない。

【００２８】この場合もヴィアと上層配線とを同時に形成（溝・孔埋め込みおよびＣＭＰ）する、いわゆるデュアルダマシン法を採用している。層間の絶縁膜（図示略）は実施例１と同様にＴＥＯＳ膜を用い、エッチングストップ（図示略）としてＳｉＮ膜を積層した。１層分の膜厚はヴィア深さ０．５μｍ、配線厚さ０．３μｍとなるようにした。

【００２９】上層配線１の幅は５μｍとし、ヴィア２の径として０．３μｍおよび０．２μｍのものをそれぞれ１００００個直列に接続したＴＥＧを形成して評価した。この結果、図２０から２４の構造でほぼ９８％以上の歩留まりが得られ、このようなヴィア近傍の島の配置が高信頼化に有効であることを確認した。

【００３０】＜実施例４＞図２５ないし図２６は、複数のヴィア２がある場合に、島の形成による電気特性の劣化ができるだけ少なくなるように島を配置した例である。前記実施例と同様に１層目配線（図示略）上にヴィア２と２層目配線１を形成した場合の平面図を示している。また、図２７ないし図２８はヴィアの２方向以上に絶縁膜を設ける際、一方向を島ではなく、配線端で兼用させた場合の島の配置例である。

【００３１】図２５ないし図２８の構造で配線を５層積層したＴＥＧを形成し、前の実施例と同様にして１層目のヴィアチェーンの歩留まりを測定した。このＴＥＧでは１層形成するたびに、４００℃以下で総計約１５分間、４２５℃で約１０分間の熱処理が施されている。歩留まり測定前に熱処理は施していない。

【００３２】この場合もヴィアと上層配線とを同時に形成（溝・孔埋め込みおよびＣＭＰ）する、いわゆるデュアルダマシン法を採用している。層間の絶縁膜は実施例１と同様に、ＴＥＯＳ膜を用い、エッチングストップとしてＳｉＮ膜を積層した。１層分の膜厚はヴィア深さ０．５μｍ、配線厚さ０．３μｍとなるようにした。上層配線の幅は５μｍとし、ヴィア径として０．３μｍおよび０．２μｍのものをそれぞれ１００００個直列に接続したＴＥＧを形成して評価した。

【００３３】その結果、図２５から２８の構造でほぼ９８％以上の歩留まりが得られ、島を設けないもの（歩留まりは３０％以下）に比べて極めて高く、本実施例のようなヴィア近傍の島の配置が高信頼化に有効であることを確認した。

【００３４】また、図２９ないし３２に示すように、島を設けるのではなく、配線の側面を変形させても本発明の効果を得ることができるのは言うまでもない。

【００３５】＜実施例５＞実施例１と同様のＴＥＧで、上層配線の幅を変えたものを作成し、歩留まりを測定し比較した結果を表３に示す。

【００３６】
【表３】

表3　歩留まり（%）

追加熱処理	450℃-30min							
上層配線幅	0.5μm		2μm		3μm		5μm	
ヴィア径	0.3μm	0.2μm	0.3μm	0.2μm	0.3μm	0.2μm	0.3μm	0.2μm
従来構造(図3、4)	100	100	100	91.0	88.5	67.5	44.5	12.5
図5の構造	100	100	100	100	99.0	92.5	78.5	65
図6の構造	100	100	100	99.5	99.0	100	100	99.5
図10の構造	100	100	100	100	97.0	98.5	100	99
図14の構造	100	100	100	100	100	100	100	99.5

【００３７】本実施例の結果、ヴィアの径に比べて上層配線の幅が狭い場合、劣化が生じにくいが、配線幅がヴィア径の１０倍程度を超えると熱処理による劣化が著しくなることがわかる。配線やヴィアの寸法が変化したときもこのような傾向は保たれるが、今回得られたヴィア径の１０倍程度という比率は普遍的なものとは考えにくい。配線材料と絶縁膜材料の取り合わせでは数倍程度から影響が顕著になる場合もあると思われる。

【００３８】＜実施例６＞　島の大きさ（長さ）依存性実施例１の図６と同様のＴＥＧで、島の長さを変えたものを作成し、歩留まりを測定し比較した結果を表４に示す。

【００３９】
【表４】

表4　歩留まり（%）

追加熱処理	450℃-30min			
島の幅	0.25μm			
ヴィア径	0.2μm			
上層配線幅	5μm			
従来構造(図3、4)	(12.5%)			
島の長さ	0.5μm	3μm	5μm	10μm
図6の構造	56.5	83.0	99.5	99.5
図10の構造	41.0	72.0	99.0	98.5
図14の構造	96.5	100	100	99.5

【００４０】上記の結果はヴィアの径に比べて上層配線中の島の長さが短いと劣化しやすいものの、島を十分長くし、ヴィア径の１０倍程度を超えると高い信頼度が得られることを示している。配線寸法やヴィアの寸法が変化したときもこのような傾向は保たれるが、今回得られた１０倍程度というこの比率は必ずしも普遍的なものとは考えにくい。配線と絶縁膜の取り合わせでは数倍程度で十分な信頼性が得られる場合もあると思われる。表４では島の長さについてのみ検討した結果を示したが、島の幅等にも依存すると考えられる。配線の電気特性に対する悪影響が最小で効果が最大の形状については、個々の場合について求めて最適化すればよい。

【００４１】＜実施例７＞本発明の実施例はすべてダマシン法で形成した配線について説明している。その方法では溝と孔を形成した絶縁膜に金属（この実施例では銅）を埋め込み、ＣＭＰ法で不要部分の銅を除去し、残したところを配線とする。銅を埋め込む際、シードと呼ばれる下地層として銅をスパッタ法で薄く形成（最終配線厚さの１／１０程度）したものに、電解めっき法で厚い銅を形成している。

【００４２】しかし、上記の工程で、比較的深いヴィア孔を埋め込むための条件と浅い配線溝を埋め込む条件では、最適条件が異なる場合が多い。これについては、印加電流条件をめっき成膜の途中で変化させる手法が一般に用いられているが、必ずしも十分な効果をあげていない。それはヴィアに接続している配線の幅が異なり、デュアルダマシン法の埋め込みの際に、孔と溝が一体となって形成されている形状（アスペクト）が広い分布をもつからである。

【００４３】今回のヴィア近傍に絶縁膜の島を設ける方法を採用すると、全てのヴィア部のアスペクトを狭い範囲に収められるため、その形状（アスペクト）に最適なめっき条件を選択することができる。

【００４４】このような考え方に基づき、硫酸銅を主成分とするめっき液を用いる銅めっきチャンバを２つ用意し、表５のような組成のめっき液を調整作成した。

【００４５】
【表５】

表5

	主成分	ポリマ	ブライトナ
Aチャンバ	硫酸銅	7.5mL/L	5mL/L
Bチャンバ	硫酸銅	2.0mL/L	2mL/L

【００４６】めっきを（１）Ａチャンバのみで最終膜厚まで形成、（２）Ｂチャンバで最終膜厚まで形成、（３）最初Ａチャンバで１／５の膜厚を形成後、ウェハをＢチャンバに設置し直して残りの膜厚を形成の３通りの場合について膜厚均一性、埋め込み性について評価し比較した結果を表６に示す。

【００４７】
【表６】

表6

膜形成フロー	膜厚均一性	埋め込み性
(1)Aチャンバのみ	23%	良好
(2)Bチャンバのみ	5%	ヴィア部にボイド多発
(3)A→Bチャンバ	9%	良好

【００４８】プロセスが複雑化する欠点があるが、埋め込み性と膜厚均一性を同時に実現できるという点では表６の（３）の方法が（１）または（２）に比べて優れていることが明らかである。ヴィアの見かけの形状（アスペクト）を統一することで、このような２段階埋め込みが可能になり、ＬＳＩ配線製造に好適な成膜ができるようになることも、本発明の優れた効果といえる。

【００４９】

【発明の効果】本発明のヴィア近傍の配線に絶縁膜の島を設けることで、多層配線の歩留まり、信頼性を向上することができ、高性能のＬＳＩを実現することが可能になる。

【図面の簡単な説明】

【図１】従来の多層配線のヴィア接続方法の一例を示す平面図。

【図２】従来の多層配線のヴィア接続方法の一例を示す鳥瞰図。

【図３】従来の多層配線のヴィア接続方法の一例を示す平面図。

【図４】従来の多層配線のヴィア接続方法の一例を示す鳥瞰図。

【図５】本発明の多層配線のヴィア接続方法の一例を示す平面図。

【図６】本発明の多層配線のヴィア接続方法の一例を示す平面図。

【図７】本発明の多層配線のヴィア接続方法の一例を示す平面図。

【図８】本発明の多層配線のヴィア接続方法の一例を示す平面図。

【図９】本発明の多層配線のヴィア接続方法の一例を示す平面図。

【図１０】本発明の多層配線のヴィア接続方法の一例を示す平面図。

【図１１】本発明の多層配線のヴィア接続方法の一例を示す平面図。

【図１２】本発明の多層配線のヴィア接続方法の一例を示す平面図。

【図１３】本発明の多層配線のヴィア接続方法の一例を示す平面図。

【図１４】本発明の多層配線のヴィア接続方法の一例を示す平面図。

【図１５】本発明の多層配線のヴィア接続方法の一例を示す平面図。

【図１６】本発明の多層配線のヴィア接続方法の一例を示す平面図。

【図１７】本発明の多層配線のヴィア接続方法の一例を示す平面図。

【図１８】本発明の多層配線のヴィア接続方法の一例を示す平面図。

【図１９】本発明の多層配線のヴィア接続方法の一例を示す平面図。

【図２０】本発明の多層配線のヴィア接続方法の一例を示す平面図。

【図２１】本発明の多層配線のヴィア接続方法の一例を示す平面図。

【図２２】本発明の多層配線のヴィア接続方法の一例を示す平面図。

【図２３】本発明の多層配線のヴィア接続方法の一例を示す平面図。

【図２４】本発明の多層配線のヴィア接続方法の一例を示す平面図。

【図２５】本発明の多層配線のヴィア接続方法の一例を示す平面図。

【図２６】本発明の多層配線のヴィア接続方法の一例を示す平面図。

【図２７】本発明の多層配線のヴィア接続方法の一例を示す平面図。

【図２８】本発明の多層配線のヴィア接続方法の一例を示す平面図。

【図２９】本発明の多層配線のヴィア接続方法の一例を示す平面図。

【図３０】本発明の多層配線のヴィア接続方法の一例を示す平面図。

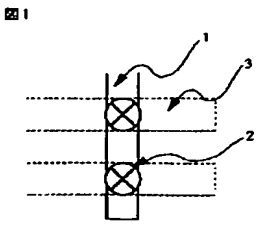
【図３１】本発明の多層配線のヴィア接続方法の一例を示す平面図。

【図３２】本発明の多層配線のヴィア接続方法の一例を示す平面図。

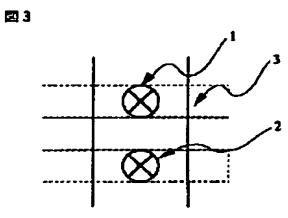
【符号の説明】

１…上層配線、２…上下配線層接続孔、３…下層配線、４…配線中に設けた絶縁膜の島。

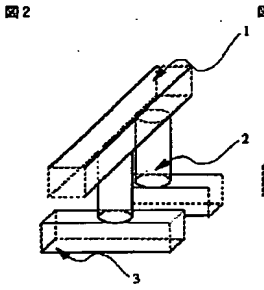
【図１】



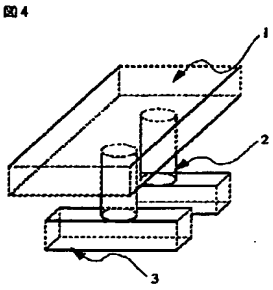
【図３】



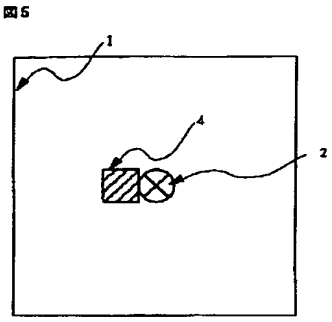
【図２】



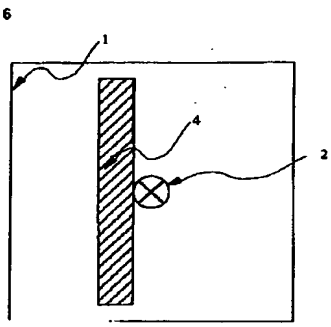
【図４】



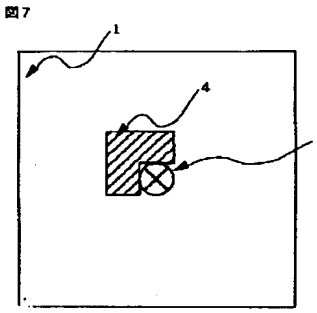
【図５】



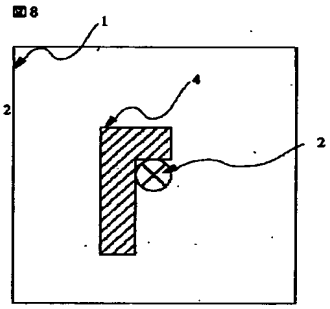
【図６】



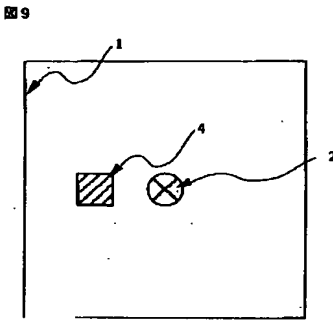
【図７】



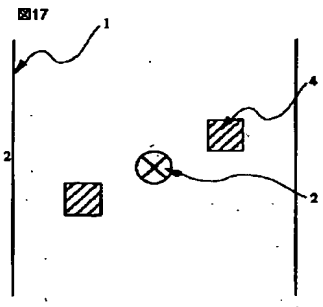
【図８】



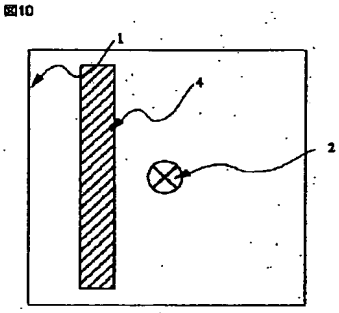
【図９】



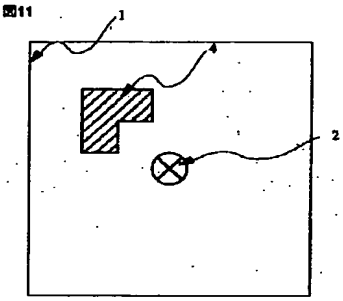
【図１７】



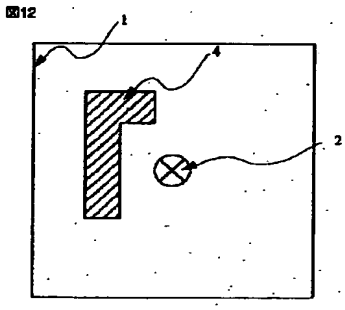
【図１０】



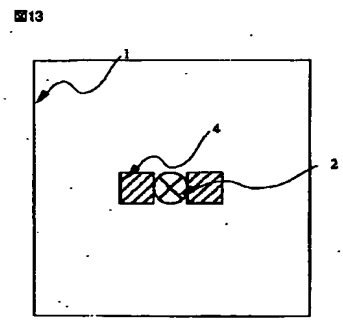
【図１１】



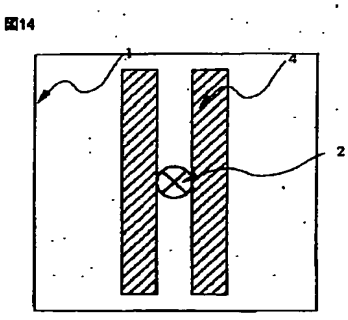
【図１２】



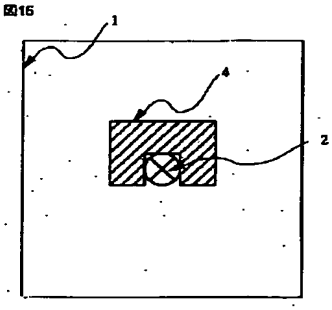
【図１３】



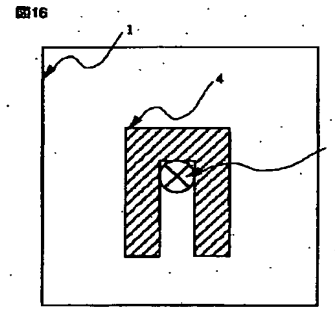
【図１４】



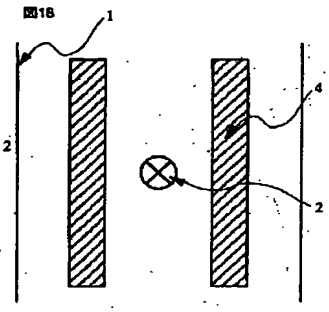
【図１５】



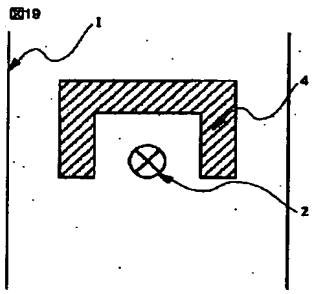
【図１６】



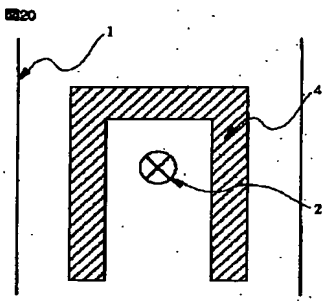
【図１８】



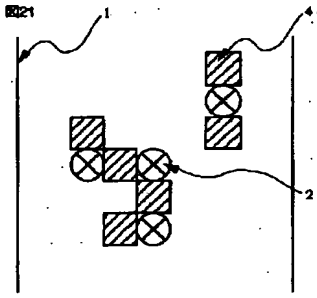
【図１９】



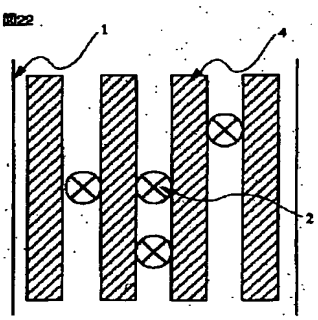
【図２０】



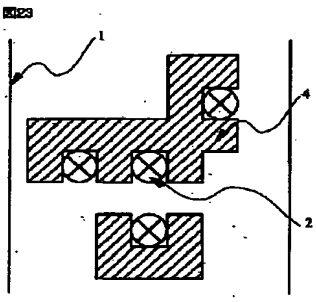
【図２１】



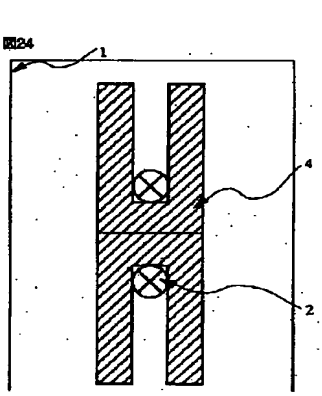
【図２２】



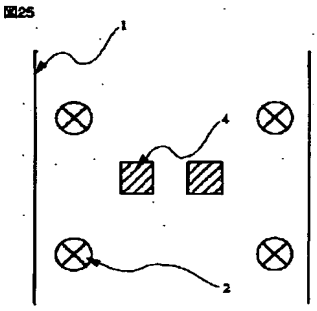
【図２３】



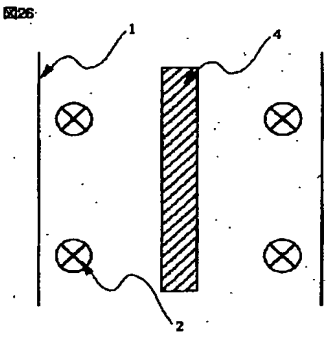
【図２４】



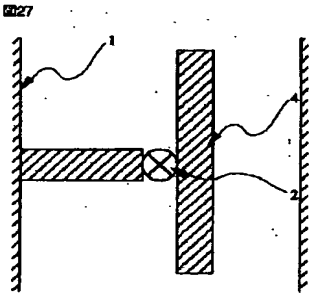
【図２５】



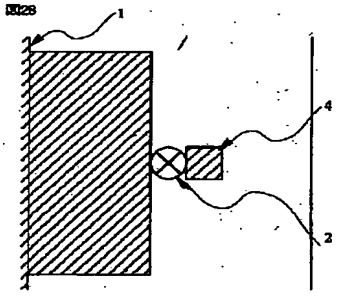
【図２６】



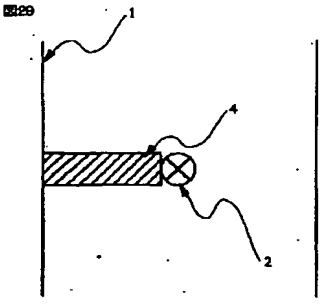
【図２７】



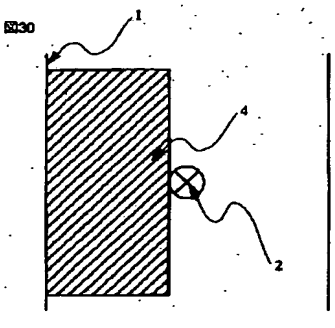
【図２８】



【図２９】

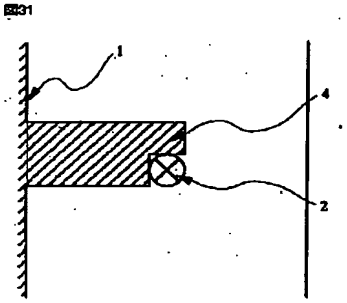


【図３０】

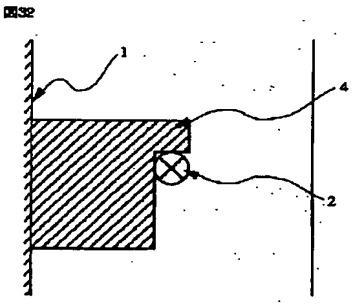


BEST AVAILABLE COPY

【図３１】



【図３２】



フロントページの続き

(72)発明者　武田　健一
東京都国分寺市東恋ケ窪一丁目280番地
株式会社日立製作所中央研究所内

Ｆターム(参考)　5F033 HH08 HH11 JJ01 JJ08 JJ11
MM01 MM02 MM21 MM22 PP15
PP27 QQ25 RR04 RR06 SS04
SS15 XX00

BEST AVAILABLE COPY

PATENT APPLICATION FEE DETERMINATION RECORD
Effective October 1, 2004

Application or Docket Number: 11000904

CLAIMS AS FILED - PART I

	(Column 1)	(Column 2)
TOTAL CLAIMS	26	
FOR	NUMBER FILED	NUMBER EXTRA
TOTAL CHARGEABLE CLAIMS	26 minus 20=	* 6
INDEPENDENT CLAIMS	7 minus 3 =	* 4
MULTIPLE DEPENDENT CLAIM PRESENT		☐

* If the difference in column 1 is less than zero, enter "0" in column 2

SMALL ENTITY TYPE ☐			OR	OTHER THAN SMALL ENTITY	
RATE	FEE			RATE	FEE
BASIC FEE	395.00		OR	BASIC FEE	790.00
X$ 9=			OR	X$18=	108
X44=			OR	X88=	352
+150=			OR	+300=	
TOTAL			OR	TOTAL	1250

CLAIMS AS AMENDED - PART II

AMENDMENT A	(Column 1)		(Column 2)	(Column 3)
	CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA
Total	* 60	Minus	** 26	= 34
Independent	* 3	Minus	*** 7	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM				☐

SMALL ENTITY			OR	OTHER THAN SMALL ENTITY	
RATE	ADDITIONAL FEE			RATE	ADDITIONAL FEE
X$ 9=			OR	X$18= 50	1700
X44=			OR	X88=	
+150=			OR	+300=	
TOTAL ADDIT. FEE			OR	TOTAL ADDIT. FEE	1700

Pd

AMENDMENT B	(Column 1)		(Column 2)	(Column 3)
	CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA
Total	*	Minus	**	=
Independent	*	Minus	***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM				☐

RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
X$ 9=		OR	X$18=	
X44=		OR	X88=	
+150=		OR	+300=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

AMENDMENT C	(Column 1)		(Column 2)	(Column 3)
	CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA
Total	*	Minus	**	=
Independent	*	Minus	***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM				☐

RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
X$ 9=		OR	X$18=	
X44=		OR	X88=	
+150=		OR	+300=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20."
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3."
The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/000,904	12/02/2004	Takeshi Harada	71971-064	7270

20277 7590 05/22/2007
MCDERMOTT WILL & EMERY LLP
600 13TH STREET, N.W.
WASHINGTON, DC 20005-3096

EXAMINER	
PHAM, THANH V	
ART UNIT	**PAPER NUMBER**
2823	

MAIL DATE	DELIVERY MODE
05/22/2007	PAPER

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Office Action Summary	Application No.	Applicant(s)	
	11/000,904	HARADA, TAKESHI	
	Examiner	Art Unit	
	Thanh V. Pham	2823	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 3 MONTH(S) OR THIRTY (30) DAYS, WHICHEVER IS LONGER, FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

1)☒ Responsive to communication(s) filed on *05 March 2007*.

2a)☐ This action is **FINAL**. 2b)☒ This action is non-final.

3)☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims

4)☒ Claim(s) *27-86* is/are pending in the application.

4a) Of the above claim(s) *55,56 and 69-86* is/are withdrawn from consideration.

5)☐ Claim(s) _____ is/are allowed.

6)☒ Claim(s) *27-54 and 57-68* is/are rejected.

7)☐ Claim(s) _____ is/are objected to.

8)☐ Claim(s) _____ are subject to restriction and/or election requirement.

Application Papers

9)☐ The specification is objected to by the Examiner.

10)☐ The drawing(s) filed on _____ is/are: a)☐ accepted or b)☐ objected to by the Examiner.

Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).

Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).

11)☐ The oath or declaration is objected to by the Examiner. Note the attached Office Action or form PTO-152.

Priority under 35 U.S.C. § 119

12)☐ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

a)☒ All b)☐ Some * c)☐ None of:

1.☒ Certified copies of the priority documents have been received.

2.☐ Certified copies of the priority documents have been received in Application No. _____.

3.☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

* See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

1) ☒ Notice of References Cited (PTO-892)
2) ☐ Notice of Draftsperson's Patent Drawing Review (PTO-948)
3) ☒ Information Disclosure Statement(s) (PTO/SB/08) Paper No(s)/Mail Date *12/04 and 03/07*.
4) ☐ Interview Summary (PTO-413) Paper No(s)/Mail Date. _____ .
5) ☐ Notice of Informal Patent Application
6) ☐ Other: _____.

DETAILED ACTION

Election/Restrictions

1. Applicant's election of Group I, species I, in the reply filed on 03/05/2007 is acknowledged. Because applicant did not distinctly and specifically point out the supposed errors in the restriction requirement, the election has been treated as an election without traverse (MPEP § 818.03(a)). Further, newly added claims 55-56 are not considered as belong to another species of fig. 6C and not claimed previously.

Note: The argument on the figure belongs to species 3 is not found persuasive because fig. 8A is clearly representing the differences among those species stated in the Restriction Requirement mailed 01/05/2007.

Specification

2. The title of the invention is not descriptive. A new title is required that is clearly indicative of the invention to which the claims are directed.

3. The lengthy specification has not been checked to the extent necessary to determine the presence of all possible minor errors. Applicant's cooperation is requested in correcting any errors of which applicant may become aware in the specification.

Claim Rejections - 35 USC § 102

4. The following is a quotation of the appropriate paragraphs of 35 U.S.C. 102 that form the basis for the rejections under this section made in this Office action:

> A person shall be entitled to a patent unless –
>
> (a) the invention was known or used by others in this country, or patented or described in a printed publication in this or a foreign country, before the invention thereof by the applicant for a patent.

5. Claims 27-36, 38, 41-42, 44, 49-50, 53-54, 58, 60 and 62-68 are rejected under 35 U.S.C. 102(a) as being anticipated by He et al. US 6,919,637 B2.

Re claim **27**, the He et al. reference discloses "interconnect structures, particularly those formed above a substrate in an integrated circuit" (col. 1, lines 6-8), the device (figs. 2-6) comprises:

a semiconductor substrate (not shown);

a first interconnect 50 formed on the semiconductor substrate;

a first insulating film 52 formed on the first interconnect 50;

a second interconnect 61/62 formed on the first insulating film 52;

a via 60 formed through the first insulating film 52 and connecting between the first interconnect 50 and second interconnect 62; and

a dummy via 55 connected to the second interconnect 61.

Re claim 28, the device further comprises a second insulating film same as ILD-a or ILD-b formed on the semiconductor substrate (col. 2, lines 45-47: "*In FIG. 1, conductors are shown at only two levels n and n+1. It will be appreciated that in an integrated circuit, conductors may be used on many levels, for instance, five or six levels or more*"),

therefore the first interconnect 50 is formed on that second insulating film same as ILD-a or ILD-b, and

the dummy via 55 is connected to a first dummy interconnect formed on the second insulating film (considering the first interconnect 50 as "broken line" 37 in fig. 2 and col. 2, lines 42-45: "In some cases some of the lines are broken as indicated by

break 22. This is done to provide the desired electrical paths to complete the circuit *or to isolate a line segment*", the isolated line segment is considered as the dummy interconnect).

Re claim 38(of 28), wherein a width of the first dummy interconnect and the width of the first interconnect are substantially equal to each other ("in some cases some of the lines are broken as indicated by break 22. This is done to provide the desired electrical paths to complete the circuits or to isolated a line segment" [col. 2, lines 42-44], this passage implies that the broken line provides "isolated a line segment" considered as "the dummy interconnect" having equal width to the longer segment of the same line that connected to "desired electrical paths").

Re claim 50(of 28), wherein a long side of the first interconnect and a longer side of the first dummy interconnect form substantially a right angle (considering segment of line 37 and one of lines 33-35 in fig. 2).

Re claim 49(of 28), wherein each of the first interconnect and the first dummy interconnect is buried in an upper portion of the second insulating film (considering the first interconnect 50 has a "broken line" and form in an insulating film).

Re claim 29, the second interconnect 62 and the via 60 form a damascene structure (col. 1, line 18; col. 3, line 51).

Re claim 30, the second interconnect 62 and the dummy via 55 form a dual damascene structure (explanation of "dummy' vias, col. 1, lines 35-40, and the application of 'broken line' in col. 2, line 45).

Re claim 31, wherein the first insulating film has a multilayer structure including a SiN film and a SiO_2 film (col. 3, lines 29-30, 54-64).

Re claim 32, the second interconnect includes a first barrier film and a first conductive film (col. 4, lines 32-37).

Re claim 33, wherein the first conductive film includes copper (col. 2, line 62).

Re claims 34-35, wherein each of the first and second interconnects is connected to another element or an external electrode; *and* wherein the first interconnect, the second interconnect and the via constitute part of a closed circuit and the dummy via does not constitute a closed circuit (col. 1, lines 7-8: "interconnect structures formed above a substrate in an integrated circuit" "to provide the desired electrical paths to complete the circuit or to isolate a line segment" (col. 2, lines 44-45), imply these limitations).

Re claim 36, wherein the first interconnect has a width smaller than that of the second interconnect (comparing lower ends of wires 33/34/35 compared to wires 36/37/38 in fig. 2).

Re claims 41-42, a planar shape of each of the via and the dummy via is substantially a square wherein a length of a side of the via and a length of a side of the dummy via are substantially equal to each other (comparing via 34 with dummy via 42 in fig. 2).

Re claim 44, the dummy via (42, e.g.) is provided on an extended line along which the first interconnect extends (col. 1, lines 7-8 and col. 2, lines 44-45).

Re claim 53, the distance between the via and the dummy via is substantially equal to a minimum interconnect width (fig. 2).

Re claim 54, the dummy via is provided in plural (fig. 2).

Re claim 58, wherein a planar shape of each of the via and the dummy via is substantially square, and a side of the dummy via is smaller than a side of the via (comparing lower end of 42 to upper end of 34, e.g.).

Re claim 60, a planar shape of the dummy via is substantially a square, and a side of the dummy via is smaller than a width of the first dummy interconnect (comparing lower end of 42 to segment of 37, e.g.).

Re claim 62, a distance between the via (40, e.g.) and one end of the second interconnect (right-hand side of 33) is shorter than a distance between the dummy via 942) and the one end of the second interconnect (left-hand side of 33) and shorter than a distance between the via and the other end of the second interconnect (left-hand side of 33).

Re claim 63, the dummy via is connected to the upper surface of the second interconnect (considering 42 on 30).

Re claim 64(of 63), wherein the dummy via is formed in a third insulating film formed on the second interconnect (col. 2, lines 45-47).

Re claim 65(of 64), the third insulating film has a multi structure including a SiN film and a SiO_2 film (col. 3, lines 29-30, 54-64).

Re claim 66(of 63), the dummy via includes a second barrier film and a second conductive film (col. 2, lines 44-45 and col. 4, lines 32-37).

Re claim 67(of 66), the second conductive film includes copper.

Re claim 68(of 63), a second dummy interconnect is provided on the dummy via so as to come in contact with a top of the dummy via (considering the right-hand segment of 37 and the 'dummy via' underneath).

6. Claim 37, 39-40, 45-48, 51-52, 57 and 59 are rejected under 35 U.S.C. 102(a) as anticipated by or, in the alternative, under 35 U.S.C. 103(a) as obvious over He et al.

The He et al. reference discloses interconnect structures, particularly those formed above a substrate in an integrated circuit as in the above. Considering the steps of figs. 3-5 are repeated such that another fig. 6 lying on top of the same fig. 6.

The He et al. reference discloses neither different shape nor size nor dimension such as "the first dummy interconnect has a width smaller than that of the second interconnect (re claim 37); "the dummy via is substantially circular in a plan view and a diameter of the dummy via is substantially equal to a width of the first dummy interconnect" (re claim 47); "a side of the dummy via is substantially equal to a width of the first dummy interconnect" (re claim 48); "the via and the dummy via are substantially circular in a plan view wherein a diameter of the via and a diameter of the dummy via are substantially equal to each other" (re claims 39-40) or "a diameter of the dummy via is smaller than a diameter of the via" (re claim 57) or "a diameter of the dummy via is smaller than a width of the first dummy interconnect" (re claim 59); "the via is substantially circular in a plan view and a diameter of the via is substantially equal to a width of the first interconnect" (re claim 45); "a side of the via is substantially equal to a

width of the first interconnect" (re claim 46); "the via and the dummy via are space apart at a distance of 25 microns or 1 micron or less" (re claims 51-52).

However, one of ordinary skill in the art would have been led to the recited shapes, sizes and dimensions through routine experimentation and optimization. Applicant has not disclosed that the shapes, sizes and dimensions are for a particular unobvious purpose, produce an unexpected result, or are otherwise critical, and it appears prima facie that the process would possess utility using another shape, size and dimension. Indeed, it has been held that mere dimensional limitations are prima facie obvious absent a disclosure that the limitations are for a particular unobvious purpose, produce an unexpected result, or are otherwise critical. See, for example, In re Rose, 220 F.2d 459, 105 USPQ 237 (CCPA 1955); In re Rinehart, 531 F.2d 1048, 189 USPQ 143 (CCPA 1976); Gardner v. TEC Systems, Inc., 725 F.2d 1338, 220 USPQ 777 (Fed. Cir. 1984), cert. denied, 469 U.S. 830, 225 USPQ 232 (1984); In re Dailey, 357 F.2d 669, 149 USPQ 47 (CCPA 1966). See also MPEP 2144.04(IV)(B).

Claim Rejections - 35 USC § 103

7. The following is a quotation of 35 U.S.C. 103(a) which forms the basis for all obviousness rejections set forth in this Office action:

> (a) A patent may not be obtained though the invention is not identically disclosed or described as set forth in section 102 of this title, if the differences between the subject matter sought to be patented and the prior art are such that the subject matter as a whole would have been obvious at the time the invention was made to a person having ordinary skill in the art to which said subject matter pertains. Patentability shall not be negatived by the manner in which the invention was made.

8. Claims 43 and 61 rejected under 35 U.S.C. 103(a) as being unpatentable over He et al. as applied to claims 27-36, 38, 41-42, 44, 49-50, 53-54, 58, 60 and 62-68 above, and further in view of Armbrust et al. US Pub. 2002/0145201 A1.

The He et al. reference discloses interconnect structures, particularly those formed above a substrate in an integrated circuit as in the above.

The He et al. reference does not disclose "the first interconnect and the second interconnect extend in a same direction" as in claim 43 and "a longer side of the dummy via in a plan view and a shorter side of the second interconnect are provided along a same direction" as in claim 61. However, *two levels n and n+1* in a interconnect structure could be formed parallel or in a same direction as in Armbrust et al.'s fig. 1.

It would have been obvious to one of ordinary skill in the art at the time of the invention to provide the structure of He et al. with two levels n and n+1 formed in a same direction because such parallel wires are known in the art for forming interconnect structure of "wires, support structures, and sacrificial structures" being "constructed from vias and trenches" (Armbrust et al.'s abstract)

Conclusion

9. The prior art made of record and not relied upon is considered pertinent to applicant's disclosure.

10. Any inquiry concerning this communication or earlier communications from the examiner should be directed to Thanh V. Pham whose telephone number is 571-272-1866. The examiner can normally be reached on M-T (6:30-5:00).

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Matthew Smith can be reached on 571-272-1907. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

Thanh V. Pham
AU 2823

05/15/2007

INFORMATION DISCLOSURE CITATION IN AN APPLICATION

(PTO-1449)

ATTY. DOCKET NO.	SERIAL NO.
71971-064	~~Not yet assigned~~ 11/000 904
APPLICANT: Takeshi HARADA	
FILING DATE: December 02, 2004	GROUP: 2823 ~~Not yet assigned~~

U.S. PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Document Number Number-Kind Code2 (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			

FOREIGN PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Foreign Patent Document Country Codes-Number-Kind Codes (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines Where Relevant Figures Appear	Translation Yes	Translation No
WP		JP 2000-331991	11-30-2000	SONY CORP		JAPAN (w/English Abstract)	
WP		JP 2002-299437	10-11-2002	TOSHIBA CORP		JAPAN (w/English Abstract)	
WP		JP 2000-012688	1-14-2000	SHARP CORP		JAPAN (w/English Abstract)	

OTHER ART (Including Author, Title, Date, Pertinent Pages, Etc.)

EXAMINER'S INITIALS	CITE NO.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	

EXAMINER	DATE CONSIDERED
[signature]	04/26/07

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

1 Applicant's unique citation designation number (optional). 2 Applicant is to place a check mark here if English language Translation is attached.

SHEET 1 OF 1

INFORMATION DISCLOSURE CITATION IN AN APPLICATION

(PTO-1449)

OIPE IAP44 MAR 05 2007 PATENT & TRADEMARK OFFICE

ATTY. DOCKET NO.	SERIAL NO.
071971-0064	11/000,904
APPLICANT: Takeshi HARADA	
FILING DATE: December 02, 2004	GROUP: 2823

U.S. PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Document Number Number-Kind Code2 (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			

FOREIGN PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Foreign Patent Document Country Code3 -Number 4 -Kind Codes (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines Where Relevant Figures Appear	Translation Yes	Translation No
TWP	AA	2002-033384	01-31-2002	KENJI et al.		X	

OTHER ART (Including Author, Title, Date, Pertinent Pages, Etc.)

EXAMINER'S INITIALS	CITE NO.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	
		Translation of Notice of Reasons of Rejection	

EXAMINER	DATE CONSIDERED
[signature]	04/26/2007

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

1 Applicant's unique citation designation number (optional). 2 Applicant is to place a check mark here if English language Translation is attached.

WDC99 1357645-1.071971.0064

Notice of References Cited	Application/Control No. 11/000,904	Applicant(s)/Patent Under Reexamination HARADA, TAKESHI	
	Examiner Thanh V. Pham	Art Unit 2823	Page 1 of 1

U.S. PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	Classification
*	A	US-6,919,637	07-2005	He et al.	257/758
*	B	US-2002/0145201	10-2002	Armbrust et al.	257/776
	C	US-			
	D	US-			
	E	US-			
	F	US-			
	G	US-			
	H	US-			
	I	US-			
	J	US-			
	K	US-			
	L	US-			
	M	US-			

FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
	N					
	O					
	P					
	Q					
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

AUG 22 2007
PATENT & TRADEMARK OFFICE

Docket No.: 071971-0064 **PATENT**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 53080
Takeshi HARADA	:	Confirmation Number: 7270
Application No.: 11/000,904	:	Group Art Unit: 2823
Filed: December 02, 2004	:	Examiner: Thanh V. Pham

For: SEMICONDUCTOR DEVICE HAVING VIA CONNECTING BETWEEN INTERCONNECTS (AS AMENDED)

INFORMATION DISCLOSURE STATEMENT

Mail Stop Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

In accordance with the provisions of 37 C.F.R. 1.56, 1.97 and 1.98, the attention of the Patent and Trademark Office is hereby directed to the documents listed on the attached form PTO-1449. It is respectfully requested that the documents be expressly considered during the prosecution of this application, and that the documents be made of record therein and appear among the "References Cited" on any patent to issue therefrom.

This Information Disclosure Statement is being filed more than three months after the U.S. filing date AND after the mailing date of the first Office Action on the merits, but before the mailing date of a Final Rejection or Notice of Allowance.

CERTIFICATION PARAGRAPH

The undersigned certifies that each item of information contained in this Information Disclosure Statement was first cited in a communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this Information Disclosure Statement as described in 37 CFR 1.97(e)(1).

References CN 1304175 and US 6,717,267 B1 were cited in a Chinese office action and their relevance discussed therein. A copy of the Chinese office action is attached for the Examiner's information.

Reference US 2002/0145201 A1, noted in the Chinese Office Action, was already cited by the Examiner in this application in the U.S. Office Action dated May 22, 2007.

Please charge any shortage in fees due in connection with the filing of this paper, including extension of time fees, to Deposit Account 500417 and please credit any excess fees to such deposit account.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP

Michael E. Fogarty
Registration No. 36,139

Please recognize our Customer No. 53080 as our correspondence address.

600 13th Street, N.W.
Washington, DC 20005-3096
Phone: 202.756.8000 MEF:jwp
Facsimile: 202.756.8087
Date: August 22, 2007

OIPE IAP97
AUG 22 2007
PATENT & TRADEMARK OFFICE

INFORMATION DISCLOSURE CITATION IN AN APPLICATION

(PTO-1449)

ATTY. DOCKET NO.	SERIAL NO.
071971-0064	**11/000,904**
APPLICANT: **Takeshi HARADA**	
FILING DATE: **December 02, 2004**	GROUP: **2823**

U.S. PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Document Number Number-Kind Code2 (if known)		Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		US	**6,717,267 B1**	**04-06-2004**	**Kunikiyo**	**Corresponds with CN 1304175**
		US				
		US				
		US				
		US				
		US				
		US				
		US				
		US				
		US				
		US				
		US				
		US				
		US				

FOREIGN PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Foreign Patent Document Country Codes-Number 4-Kind Codes (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines Where Relevant Figures Appear	Translation Yes	Translation No
		CN 1304175	**07-18-2001**	**MITSUBISHI ELECTRIC MACHINERY**	**Corresponds with US 6,717,267 B1**		**X**

OTHER ART (Including Author, Title, Date, Pertinent Pages, Etc.)

EXAMINER'S INITIALS	CITE NO.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	
		Chinese Office Action issued in Chinese Patent Application No. CN 200410096561.2, dated July 13, 2007.	

EXAMINER	DATE CONSIDERED

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.
1 Applicant's unique citation designation number (optional). 2 Applicant is to place a check mark here if English language Translation is attached.

[19]中华人民共和国国家知识产权局

[51]Int. Cl[7]
H01L 23/52
H01L 29/40

[12]发明专利申请公开说明书

[21]申请号 00131436.X

[43]公开日 2001年7月18日

[11]公开号 CN 1304175A

[22]申请日 2000.10.18 [21]申请号 00131436.X
[30]优先权
[32]2000.1.13 [33]JP [31]4266/2000
[71]申请人 三菱电机株式会社
地址 日本东京都
[72]发明人 国清辰也

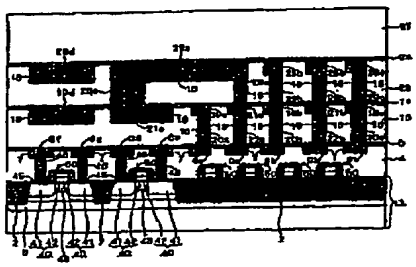
[74]专利代理机构 中国专利代理(香港)有限公司
代理人 刘宗杰 叶恺东

权利要求书3页 说明书29页 附图页数33页

[54]发明名称 半导体器件

[57]摘要

降低在布线传送的信号中重叠的噪声或串扰。在与多层的布线8、19、28相同的层中，分别形成虚设布线9、21、25。虚设布线9、21、25之间用虚设栓塞22、26来连接。至少虚设布线9a、21a、21c、25a和虚设栓塞22a、26a、26c被固定为接地电位。



ISSN1008-4274

知识产权出版社出版

通过栅极绝缘膜 56 与沟道区 43 对置。而且，栅极 6 通过氮氧化硅膜 52 被侧壁 51 覆盖。把侧壁 51 和包括其内部的结构体 50 暂时称为栅极结构体。如图 1 所示，栅极结构体 50 也作为栅极布线被配置在 STI2 上。

在形成 MOSFET 和 STI2 后，在半导体衬底 1 的主表面上方，堆积层间绝缘膜 4，以便可覆盖侧壁 51。在层间绝缘膜 4 的材料中，为了降低布线间电容，例如，期望使用 SiOF 等介质常数在 3.5 以下的绝缘体。

然后，通过使用镶嵌法，形成作为 MOSFET 的源和漏电极的铜栓塞 46、铜布线 8（8a~8g）以及虚设铜布线 9（9a、9b）。在这些导体和层间绝缘膜 4 之间，插入阻挡金属 7。作为阻挡金属 7 的材料，可使用 WN、TiN、TaN 等的氮化金属膜。接着，为了防止露出的铜布线 8、9 氧化，把氮化硅膜作为层间绝缘膜 5 来堆积。其中，由于执行镶嵌法的步骤与图 30~图 33 所述的步骤相同，所以省略详细说明。

在随后的图 3 的工序中，首先堆积层间绝缘膜 10。然后，通过经过以往的众所周知的复印工序，形成抗蚀剂掩模，使用该抗蚀剂掩模，通过实施各向异性腐蚀，在层间绝缘膜 10 中，有选择地形成通孔 12。其中，特征在于，不仅在铜布线 8a~8c 上，而且在虚设铜布线 9a、9b 上，都形成通孔 12。接着，在通孔 12 的下部，填充有机栓塞 13。

在随后的图 4 的工序中，首先经过复印工序，形成抗蚀剂掩模，使用该抗蚀剂掩模，通过在层间绝缘膜 10 上实施各向异性腐蚀，在通孔 12 的上部形成布线沟 14 和虚设布线沟 15。如在图 4 的左端附近描述的那样，在通孔 12 的非层间绝缘膜 10 的上表面部分上形成布线沟 14 和虚设布线沟 15 也可以。

抗蚀剂栓塞 13（图 3）在执行该各向异性腐蚀时，起到防止通孔 12 的底面或侧面位置的铜布线或层间绝缘膜受到腐蚀损坏的作用。此外，有目的地形成虚设布线沟 15，抑制 CMP 工序后的平坦性因布线密度的不均匀而降低。

在随后的图 5 的工序中，首先在布线沟 14、虚设布线沟 15、通孔 12 的底面和侧面、以及层间绝缘膜 10 的上表面上形成阻挡金属

16. 作为阻挡金属 16 的材料，例如可使用氮化钛（TiN）、氮化钨（WN）、氮化钽（TaN）等的金属氮化膜. 形成阻挡金属 16 的目的在于，防止作为布线材料的铜原子向层间绝缘膜 10 的扩散.

接着，通过使用 CVD、PVD 或电解电镀装置，堆积铜 17，以便填充通孔 12、布线沟 14、及虚设布线沟 15，而且还覆盖层间绝缘膜 10 的上表面。如上所述，在使用 CVD 或 PVD 来堆积铜 17 的情况下，由于虚设布线沟 15，所以铜 17 表面上呈现的台阶 18 大致均匀地减小抑制. 在使用电解电镀法堆积铜 17 的情况下，布线密度的不均匀造成的台阶 18 进一步减小.

在随后的图 6 的工序中，使用 CMP 装置，通过化学-机械地除去剩余的铜，层间绝缘膜 10 的上表面和铜 17 的上表面可彼此大致一致地平坦化。在该工序中，除去覆盖层间绝缘膜 10 上表面的阻挡金属 16，层间绝缘膜 10 具有作为塞（stopper）的功能. 通过该工序，用铜 17 形成填充通孔 12 的铜栓塞 20a~20c 和铜的虚设栓塞 22a、22b、填充布线沟 14 的铜布线 19a~19d 及填充虚设布线沟 15 的虚设铜布线 21a~21c.

由于虚设铜布线 21a~21c 使铜布线 19a 至 19d 的密度不均匀性造成的研磨率的偏差降低，所以 CMP 工序后的平坦性提高. 通过以上工序，在层间绝缘膜 10 中形成布线沟 14、15 和通孔 12，然后，进行阻挡金属 16 的形成和铜填入堆积，而且进行用于除去剩余铜的 CMP 处理，执行双镶嵌法.

通过执行随后的图 7 所示的工序，完成半导体器件。就是说，图 7 是表示制造工序图同时也是表示完成的半导体器件结构的剖面图.

在图 7 的工序中，通过再次执行双镶嵌法（dual damascene method），在上层的层间绝缘膜 23 中形成上层布线 25（25a、25b）、28（28a~28d）和栓塞 26（26a~26c）、29（29 a~29c）. 最上层的布线由层间绝缘膜 24 和钝化膜 27 覆盖. 其中，特征在于，第 1，在与 MOSFET 的动作即与半导体器件的电路功能有关的传送信号的布线 8a、8b、8c 之间、布线 19a~19d 之间、布线 28b~28d 之间，分别配置接地的（即与传送半导体器件的接地电位的布线连接）虚设布线 9a、9b、接地的虚设布线 21b~21c、接地的虚设布线 25a、25b.

说 明 书 附 图

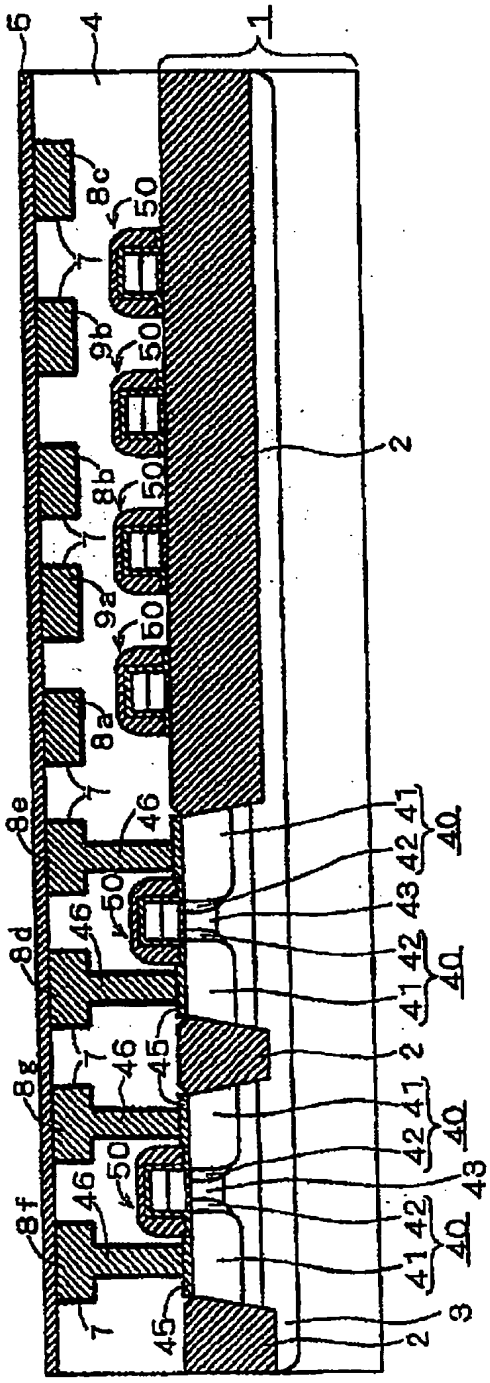

5
4
1
8c
50
9b
50
2
8b
50
9a
60
8a
46
8e
41
40
42
43
50
46
8d
42
40
41
46
45
2
8g
41
40
42
46
50
43
8f
42
40
41
7
45
3
2

图 1

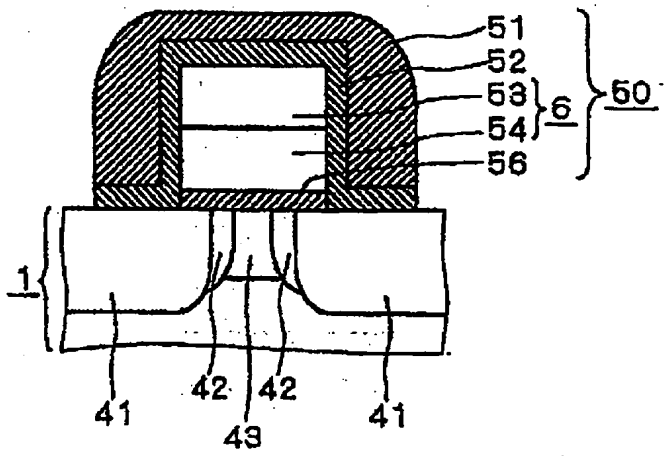


图 2

00-10-18

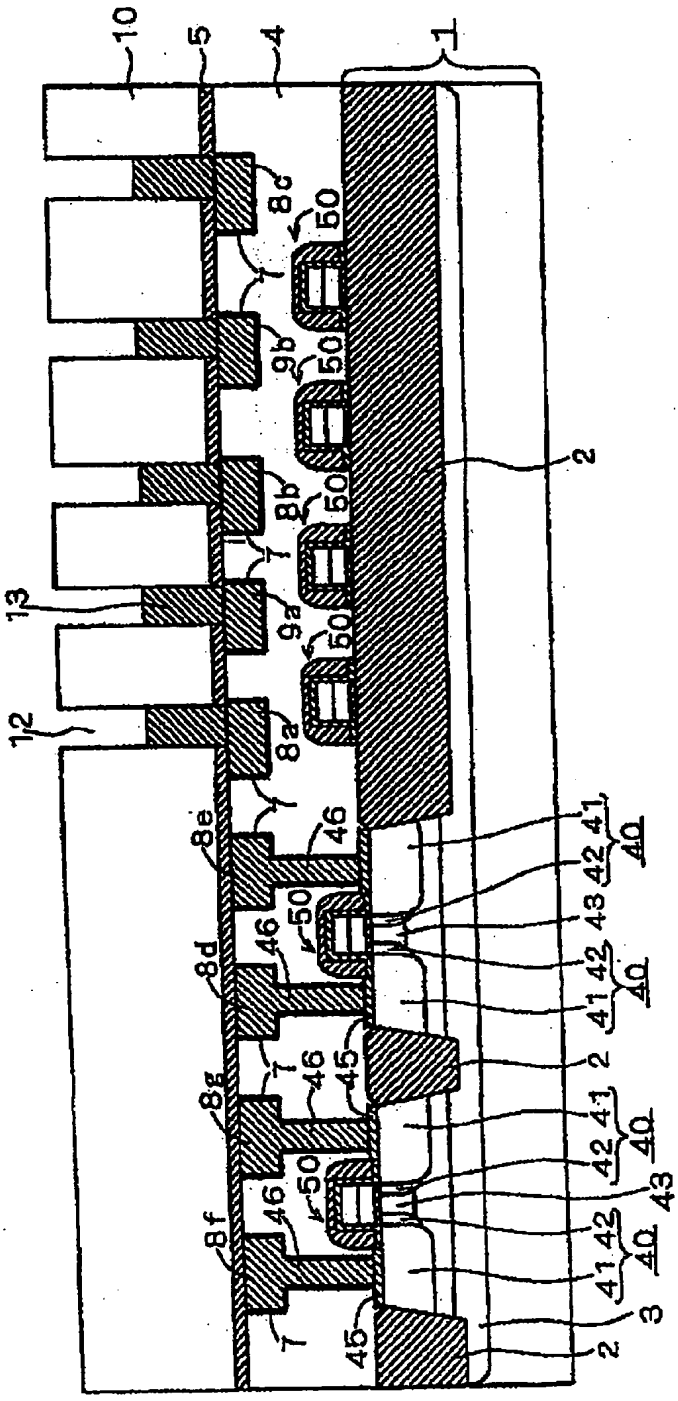

10
5
4
1
8c
50
9b
50
2
8b
50
7
13
9a
50
12
8a
8e
46
41
42
40
43
50
46
8d
42
41
40
7
46
45
2
8g
41
42
40
50
46
43
8f
42
41
40
7
45
3
2

图 3

00-10-18

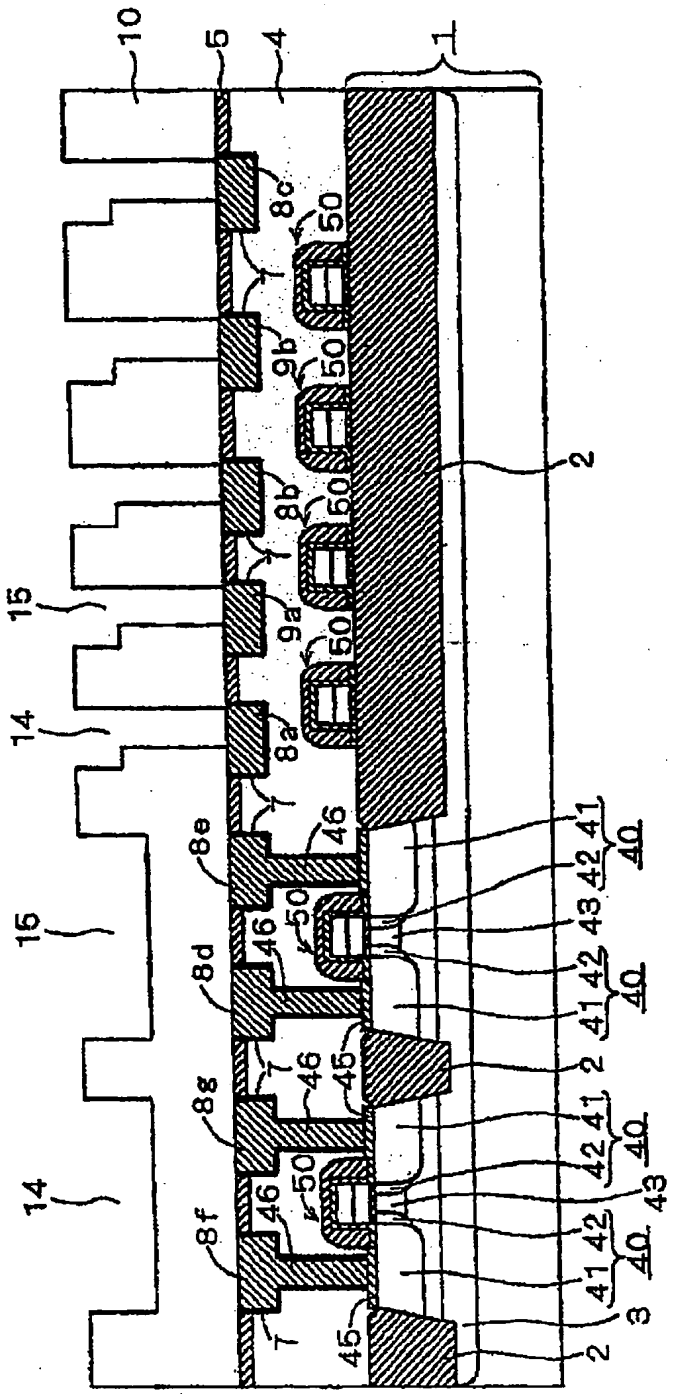

10
5
4
1
8c
50
9b
50
2
8b
60
15
9a
60
14
8a
46
8e
41
42
40
43
15
50
46
8d
42
40
41
2
46
45
8g
41
42
40
43
14
50
46
8f
42
40
41
3
45
2

图 4

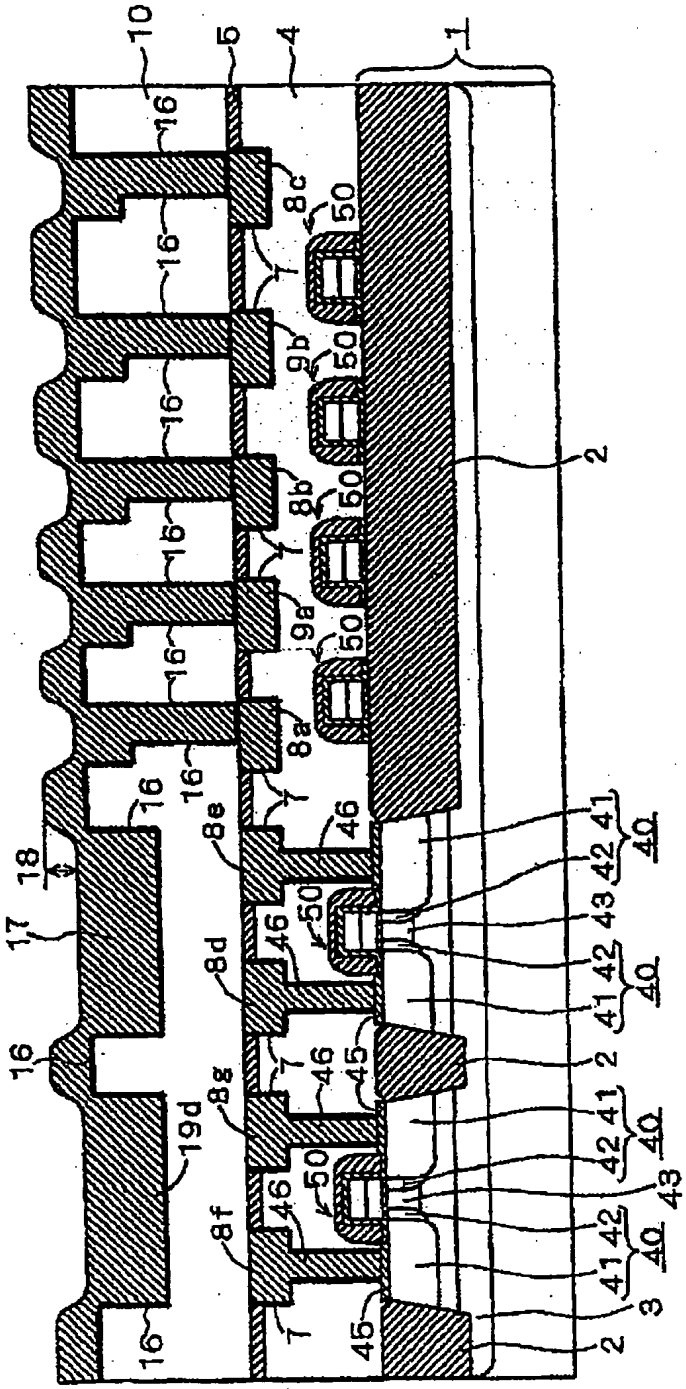


图 5

00-10-18

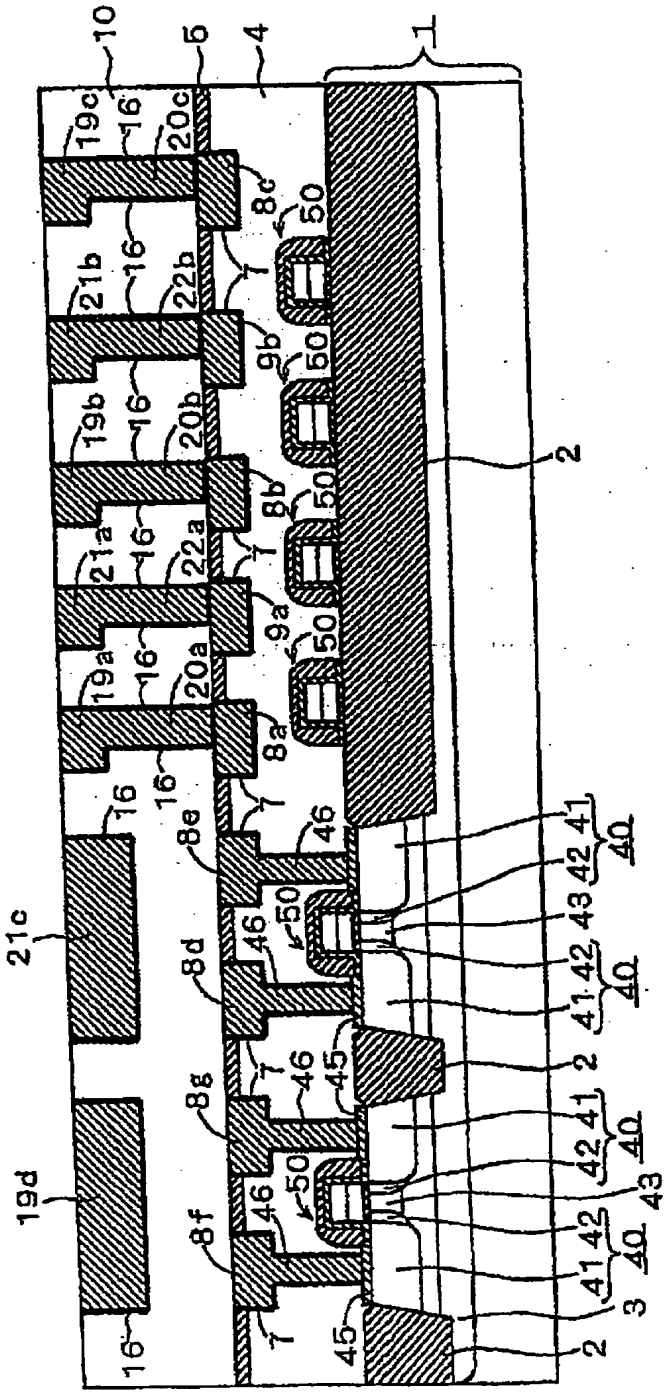

10
5
4
1
19c
16
20c
8c
50
21b
22b
9b
19b
20b
8b
21a
22a
9a
19a
20a
8a
16
8e
46
21c
8d
45
8g
19d
8f
2
3
40
41
42
43

图 6

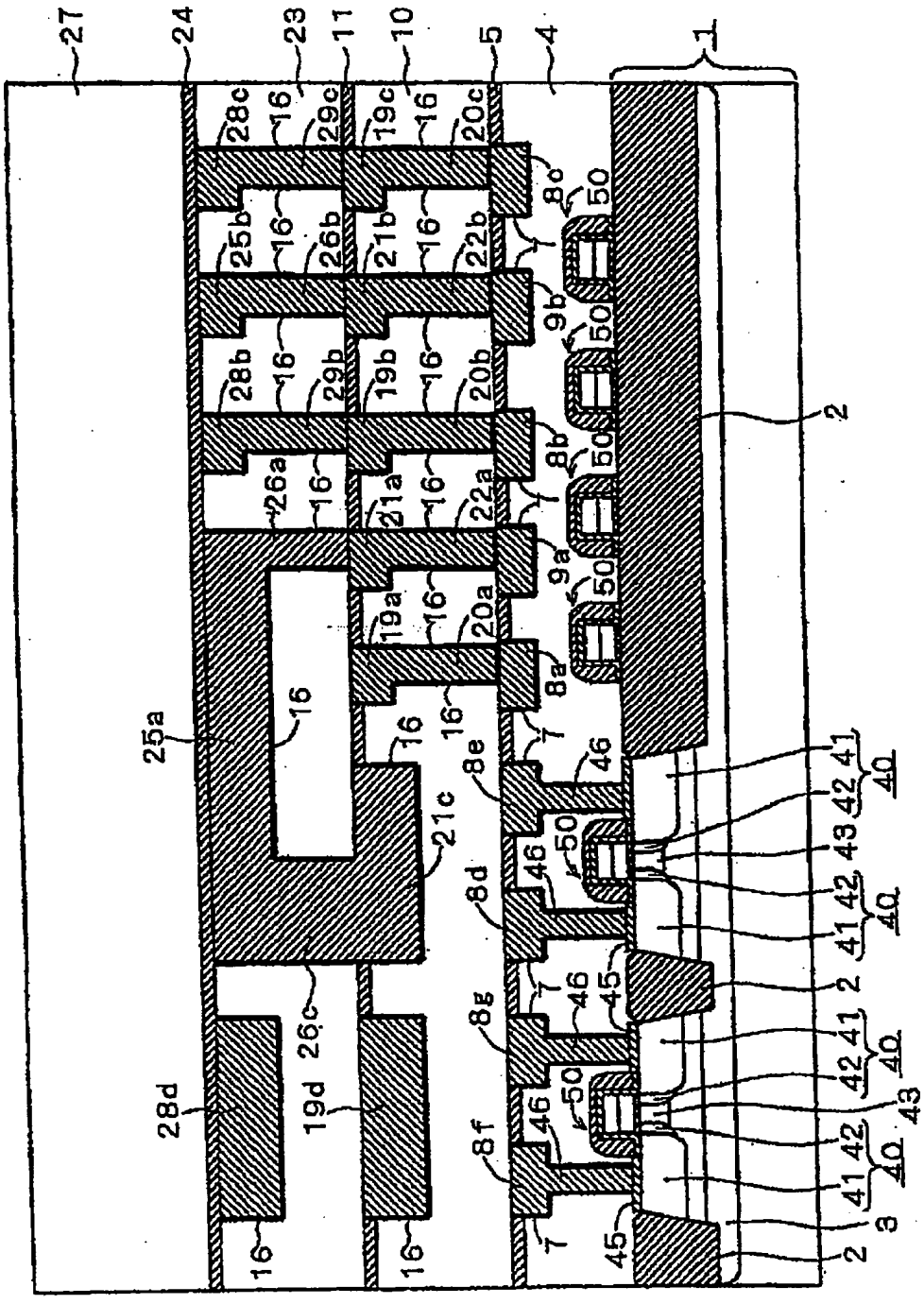

27
24
23
11
10
5
4
1
2
3
16
25a
25b
25c
26a
26b
26c
28b
28c
28d
19a
19b
19c
19d
21a
21b
21c
22a
22b
20a
20b
20c
29b
29c
8a
8b
8c
8d
8e
8f
8g
9a
9b
50
46
45
40
41
42
43

图 7



Docket No.: 071971-0064 **PATENT**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 53080
Takeshi HARADA	:	Confirmation Number: 7270
Application No.: 11/000,904	:	Group Art Unit: 2823
Filed: December 02, 2004	:	Examiner: Thanh V. Pham

For: SEMICONDUCTOR DEVICE HAVING VIA CONNECTING BETWEEN INTERCONNECTS (AS AMENDED)

AMENDMENT

Mail Stop Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The following Amendment and Remarks are submitted in response to the Office Action dated May 22, 2007.

Amendments to the specification begin on page 2 of this paper.

Amendments to the Claims begin on page 3 of this paper.

Remarks begin on page 15 of this paper.

08/23/2007 MAHMED1 00000065 500417 11000904
01 FC:1202 100.00 DA

IN THE SPECIFICATION:

Please amend the Title of the Invention as follows:

~~INTERCONNECTION STRUCTURE AND METHOD FOR FORMING THE SAME~~

SEMICONDUCTOR DEVICE HAVING VIA CONNECTING BETWEEN INTERCONNECTS

IN THE CLAIMS

Please amend the claims as follows:

1-26. (Cancelled)

27. (Currently Amended) A semiconductor device comprising:

a semiconductor substrate;

a first interconnect formed on the semiconductor substrate;

a first insulating film formed on the first interconnect;

a second interconnect formed on the first insulating film;

a via formed through the first insulating film and connecting between the first and second interconnects; and

a dummy via connected to the second interconnect,

wherein the dummy via is made of a conductive film.

28. (Previously Presented) The semiconductor device of claim 27 further comprising a second insulating film formed on the semiconductor substrate,

wherein the first interconnect is formed on the second insulating film, and

the dummy via is connected to a first dummy interconnect formed on the second insulating film.

29. (Previously Presented) The semiconductor device of claim 27, wherein the second interconnect and the via form a dual damascene structure.

30. (Previously Presented) The semiconductor device of claim 27, wherein the second interconnect and the dummy via form a dual damascene structure.

31. (Previously Presented) The semiconductor device of claim 27, wherein the first insulating film has a multilayer structure including a SiN film and a SiO_2 film.

32. (Previously Presented) The semiconductor device of claim 27, wherein the second interconnect includes a first barrier film and a first conductive film.

33. (Previously Presented) The semiconductor device of claim 32, wherein the first conductive film includes copper.

34. (Previously Presented) The semiconductor device of claim 27, wherein each of the first and second interconnects is connected to another element or an external electrode.

35. (Previously Presented) The semiconductor device of claim 27, wherein the first interconnect, the second interconnect and the via constitute part of a closed circuit, and

the dummy via does not constitute a closed circuit.

36. (Previously Presented) The semiconductor device of claim 27, wherein the first interconnect has a width smaller than that of the second interconnect.

37. (Previously Presented) The semiconductor device of claim 28, wherein the first dummy interconnect has a width smaller than that of the second interconnect.

38. (Previously Presented) The semiconductor device of claim 28, wherein a width of the first dummy interconnect and a width of the first interconnect are substantially equal to each other.

39. (Previously Presented) The semiconductor device of claim 27, wherein the via and the dummy via are substantially circular in a plan view.

40. (Previously Presented) The semiconductor device of claim 39, wherein a diameter of the via and a diameter of the dummy via are substantially equal to each other.

41. (Previously Presented) The semiconductor device of claim 27, wherein a planar shape of each of the via and the dummy via is substantially a square.

42. (Previously Presented) The semiconductor device of claim 41, wherein a length of a side of the via and a length of a side of the dummy via are substantially equal to each other.

43. (Previously Presented) The semiconductor device of claim 27, wherein the first interconnect and the second interconnect extend in a same direction.

44. (Previously Presented) The semiconductor device of claim 27, wherein the dummy via is provided on an extended line along which the first interconnect extends.

45. (Previously Presented) The semiconductor device of claim 27, wherein the via is substantially circular in a plan view, and

a diameter of the via is substantially equal to a width of the first interconnect.

46. (Previously Presented) The semiconductor device of claim 27, wherein a planar shape of the via is substantially a square, and

a side of the via is substantially equal to a width of the first interconnect.

47. (Previously Presented) The semiconductor device of claim 28, wherein the dummy via is substantially circular in a plan view, and

a diameter of the dummy via is substantially equal to a width of the first dummy interconnect.

48. (Previously Presented) The semiconductor device of claim 28, wherein a planar shape of the dummy via is substantially a square, and

a side of the dummy via is substantially equal to a width of the first dummy interconnect.

49. (Previously Presented) The semiconductor device of claim 28, wherein each of the first interconnect and the first dummy interconnect is buried in an upper portion of the second insulating film.

50. (Previously Presented) The semiconductor device of claim 28, wherein a longer side of the first interconnect and a longer side of the first dummy interconnect form substantially a right angle.

51. (Previously Presented) The semiconductor device of claim 27, wherein the via and the dummy via are spaced at a distance of 25 μm or less.

52. (Previously Presented) The semiconductor device of claim 27, wherein the via and the dummy via are spaced at a distance of 1μm or less.

53. (Previously Presented) The semiconductor device of claim 27, wherein the distance between the via and the dummy via is substantially equal to a minimum interconnect width.

54. (Previously Presented) The semiconductor device of claim 27, wherein the dummy via is provided in plural.

55. (Withdrawn) The semiconductor device of claim 27, wherein a bottom of the dummy via is located deeper than a bottom of the via.

56. (Withdrawn) The semiconductor device of claim 27 further comprising a second insulating film formed on the semiconductor substrate,

wherein the first interconnect is formed on the second insulating film, and

a bottom of the dummy via is located in the second insulating film.

57. (Previously Presented) The semiconductor device of claim 27, wherein the via and the dummy via are substantially circular in a plan view, and

a diameter of the dummy via is smaller than a diameter of the via.

58. (Previously Presented) The semiconductor device of claim 27, wherein a planar shape of each of the via and the dummy via is substantially a square, and

a side of the dummy via is smaller than a side of the via.

59. (Previously Presented) The semiconductor device of claim 28, wherein the dummy via is substantially circular in a plan view, and

a diameter of the dummy via is smaller than a width of the first dummy interconnect.

60. (Previously Presented) The semiconductor device of claim 28, wherein a planar shape of the dummy via is substantially a square, and

a side of the dummy via is smaller than a width of the first dummy interconnect.

61. (Previously Presented) The semiconductor device of claim 27, wherein the dummy via is substantially rectangular in a plan view, and

a longer side of the dummy via in a plan view and a shorter side of the second interconnect are provided along a same direction.

62. (Previously Presented) The semiconductor device of claim 27, wherein a distance between the via and one end of the second interconnect is shorter than a distance between the dummy via and the one end of the second interconnect and shorter than a distance between the via and the other end of the second interconnect.

63. (Previously Presented) The semiconductor device of claim 27, wherein the dummy via is connected to the upper surface of the second interconnect.

64. (Previously Presented) The semiconductor device of claim 63, wherein the dummy via is formed in a third insulating film formed on the second interconnect.

65. (Previously Presented) The semiconductor device of claim 64, wherein the third insulating film has a multilayer structure including a SiN film and a SiO_2 film.

66. (Previously Presented) The semiconductor device of claim 63, wherein the dummy via includes a second barrier film and a second conductive film.

67. (Previously Presented) The semiconductor device of claim 66, wherein the second conductive film includes copper.

68. (Previously Presented) The semiconductor device of claim 63, wherein a second dummy interconnect is provided on the dummy via so as to come in contact with a top of the dummy via.

69. (Withdrawn) The semiconductor device of claim 27, wherein the second interconnect is comprised of a first interconnect portion and a second interconnect portion whose interconnect width is smaller than that of the first interconnect portion and which branches from the first interconnect portion, and

the via is connected to the second interconnect portion.

70. (Withdrawn) The semiconductor device of claim 69, wherein the dummy via is formed at or near the branch point between the first and second interconnect portions.

71. (Withdrawn) The semiconductor device of claim 69, wherein a width of the second interconnect portion is 0.2 μm or less.

72. (Withdrawn) The semiconductor device of claim 69, wherein the dummy via is substantially rectangular in a plan view, and

a longer side of the dummy via and a longer side of the first interconnect portion are provided along a same direction.

73. (Withdrawn) A semiconductor device comprising:

a semiconductor substrate;

a first interconnect formed on the semiconductor substrate;

a first insulating film formed on the first interconnect;

a second interconnect formed on the first insulating film;

a via formed through the first insulating film and connecting between the first and second interconnects; and

an insulating slit formed in the second interconnect.

74. (Withdrawn) The semiconductor device of claim 73, wherein the insulating slit is in contact with a portion of the second interconnect connected to the via.

75. (Withdrawn) The semiconductor device of claim 73, wherein the insulating slit is substantially rectangular in a plan view, and

a longer side of the insulating slit is in contact with a portion of the second interconnect connected to the via.

76. (Withdrawn) The semiconductor device of claim 73, wherein the insulating slit is substantially rectangular in a plan view,

a planar shape of the via is substantially a square, and

a length of a longer side of the insulating slit is equal to or greater than twice a length of a side of the via and less than or equal to four times the length of the side of the via.

77. (Withdrawn) The semiconductor device of claim 73, wherein the insulating slit is substantially rectangular in a plan view,

the via is substantially circular in a plan view, and

a length of a longer side of the insulating slit is equal to or greater than twice a diameter of the via and less than or equal to four times the diameter of the via.

78. (Withdrawn) The semiconductor device of claim 73, wherein the insulating slit and the via are spaced at a distance of 1 μm or less.

79. (Withdrawn) The semiconductor device of claim 73, wherein the insulating slit is substantially rectangular in a plan view, and

a longer side of the insulating slit in a plan view and a shorter side of the second interconnect are provided along a same direction.

80. (Withdrawn) The semiconductor device of claim 73, wherein a distance between the via and one end of the second interconnect is shorter than a distance between the insulating slit and the one end of the second interconnect and shorter than a distance between the via and the other end of the second interconnect.

81. (Withdrawn) A method for fabricating a semiconductor device comprising the steps of:

(a) forming a first interconnect on a semiconductor substrate;

(b) forming a first insulating film on the first interconnect;

(c) forming in the first insulating film, a via hole connected to the first interconnect, a dummy hole which is not connected to the first interconnect, and an interconnect trench connected to the via hole and the dummy hole; and

(d) depositing a conductive material in the via hole, the dummy hole and the interconnect trench, thereby forming a via, a dummy via and a second interconnect.

82. (Withdrawn) The method of claim 81, wherein in the step (a) a first dummy interconnect is simultaneously formed on the semiconductor substrate, and

in the step (c) the dummy hole is connected to the first dummy interconnect.

83. (Withdrawn) A method of fabricating a semiconductor device comprising the steps of:

(a) forming a first interconnect on a semiconductor substrate;

(b) forming a first insulating film on the first interconnect;

(c) forming in the first insulating film, a via hole connected to the first interconnect and an interconnect trench connected to the via hole;

(d) depositing a conductive material in the via hole and the interconnect trench, thereby forming a via and a second interconnect;

(e) forming a second insulating film on the second interconnect;

(f) forming in the second insulating film a dummy hole connected to the second interconnect; and

(g) depositing a conductive material in the dummy hole, thereby forming a dummy via.

84. (Withdrawn) A method of fabricating a semiconductor device comprising the steps of:

(a) forming a first interconnect on a semiconductor substrate;

(b) forming a first insulating film on the first interconnect;

(c) forming in the first interconnect, a via hole connected to the first interconnect and an interconnect trench connected to the via hole; and

(d) depositing a conductive material in the via hole and the interconnect trench, thereby forming a via and a second interconnect,

wherein the step (c) includes a step of leaving part of the first insulating film in the interconnect trench, thereby forming an insulating slit.

85. (Withdrawn) The method of claim 81, wherein in the step (c) the interconnect trench is comprised of a first interconnect trench portion and a second interconnect trench portion whose width is smaller than that of the first interconnect trench portion and which branches from the first interconnect trench portion, and

the via hole and the second interconnect trench portion are connected to the interconnect trench.

86. (Withdrawn) The method of claim 85, wherein in the step (c) the dummy hole is connected to the branch point between the first and second interconnect trench portions or to the interconnect trench near the branch point.

87. (New) The semiconductor device of claim 27, wherein the dummy via and the second interconnect are made of the same conductive film.

88. (New) The semiconductor device of claim 27, wherein the dummy via and the second interconnect include a Cu film.

REMARKS

Introduction

In response to the Office Action dated May 22, 2007, Applicants have amended the title and claim 27. Claims 87 and 88 have been added. Support for newly added dependent claims 87 and 88 is found in, for example, pg. 18, lines 10-13 of the originally filed specification. Care has been taken to avoid the introduction of new matter. Claims 55, 56, and 69-86 are withdrawn. In view of the foregoing amendments and the following remarks, Applicants respectfully submit that all pending claims are in condition for allowance.

Specification

The Office Action asserts that the Title is not descriptive and required a new Title. In response, the Applicants have amended the title of the invention, as suggested by the Examiner.

Accordingly, withdrawal of the objection to the specification is respectfully solicited.

Claim Rejection Under 35 U.S.C. § 102

Claims 27-36, 38, 41, 42, 44, 49, 50, 53, 54, 58, 60 and 62-68 were rejected under 35 U.S.C. § 102(a) as being anticipated by U.S. Patent No. 6,919,637 to He et al. (hereinafter He).

Amended claim 27 recites, in part, "...wherein the dummy via is made of a conductive film."

The Office Action asserts that He discloses a dummy via 55 connected to the second interconnect 61.

Turning to the prior art, the dummy via 55 of He is made of a dielectric material (Figs. 4 & 5; col. 4, lines 8-16). He is *silent* regarding forming a dummy via that is made of a conductive film.

According to the claimed subject matter per amended claim 27, the dummy via made of a conductive film is provided on the second interconnect near the via, so that vacancies in part of the second interconnect are divided and respectively flow into the via and the dummy via. Thereby as taught in the instant specification, the dummy via reduces the number of vacancies flowing into each via so that the stress gradient from the second interconnect to the via is reduced (*see, e.g.,* pg. 20, line 21 – pg. 21, line 1). However, He does not disclose or suggest this, and apparently is unaware of the unexpected improvement in preventing malfunction at a high temperature and suppressing the occurrence of a void inside the via hole provided by the claimed semiconductor device.

Assuming *arguendo* that vacancies occur in the second interconnect of He, the vacancies do not flow to the dummy via because the dummy via in He is made of a dielectric material. Thus, even if there are dummy vias, the number of the vacancies flowing from the second interconnect to the via cannot be reduced. Indeed, such a reduction is not viable in the device disclosed by He.

The foregoing makes clear that He fails to disclose or suggest, "...wherein the dummy via is made of a conductive film," as recited in amended claim 27.

Claim Rejection Under 35 U.S.C. § 102/103

Claims 37, 39, 40, 45-48, 51, 52, 57 and 59 were rejected under 35 U.S.C. § 102(a) as being anticipated by or, in the alternative, under 35 U.S.C. 35 U.S.C. § 103(a) as obvious over

He. The Office Action acknowledges that He does not disclose the different shapes, sizes, or dimensions claimed. The Office Action asserts that one of ordinary skill in the art would have been led to the recited shapes, sizes, and dimensions through routine experimentation and optimization.

The Examiner is directed to MPEP § 2144.05(II)(B) under the heading "Only Result-Effective Variables Can Be Optimized," which sets forth the applicable standard for determining result-effective variables:

> A particular parameter must first ***be recognized*** as a result-effective variable, i.e., a variable which achieves a recognized result, before the determination of the optimum or workable ranges of said variable might be characterized as routine experimentation. (citing *In re Antonie*, 195 USPQ 6 (CCPA 1977)) (emphasis added).

In the instant case, the cited reference is *silent* regarding the claimed width of the first dummy interconnect, the shape of the via and the dummy via, the diameter of the via and the dummy via, etc.; so that there is no basis for alleging obviousness thereof based on discovering an optimum value of a result effective variable. Accordingly, it is respectfully submitted that the claimed features would not have been obvious in view of He because the cited reference does not appear to recognize the claimed parameters, **in the particular combination set forth in the claims**, as achieving a recognized result.

In rejecting a claim under 35 U.S.C. § 103, the Examiner is required to discharge the initial burden by, *inter alia*, making **"clear and particular"** factual findings as to a **specific understanding** or **specific technological principle** which would have **realistically** impelled one having ordinary skill in the art to modify an applied reference to arrive at the claimed invention based upon facts, -- not generalizations. *Ruiz v. A.B. Chance Co.*, 234 F.3d 654, 57 USPQ2d 1161 (Fed. Cir. 2000); *Ecolochem Inc. v. Southern California Edison, Co.*, 227 F.3d 1361, 56

USPQ2d 1065 (Fed. Cir. 2000); *In re Kotzab*, *supra*; *In re Dembiczak*, 175 F.3d 994, 50 USPQ2d 1614 (Fed. Cir. 1999). That burden has not been discharged, as the Examiner has provided no factual basis for modifying the diameter of the dummy via or the diameter of the via, as required by claim 57, for example.

The only teaching of the **claimed diameter of the dummy via being smaller than the diameter of the via** is found in Applicants' disclosure. However, the teaching or suggestion to make a claimed combination and the reasonable expectation of success must both be found in the cited reference, and not based on the Applicant's disclosure. *In re Vaeck*, 947 F.2d 488, 20 USPQ2d 1438 (Fed. Cir. 1991). The Examiner's retrospective assessment of the claimed invention and use of unsupported conclusory statements are not legally sufficient to generate a case of *prima facie* obviousness. The motivation for modifying the prior art must come from the prior art and must be based on facts. The Examiner is not free to ignore the judicial requirement for **facts**. To do so is legal error. *In re Lee,* 277 F.3d 1338 (Fed. Cir. 2002). Apparently, the Examiner has relied on improper hindsight reasoning in reaching the conclusion of obviousness.

Claim Rejection Under 35 U.S.C. § 103

Claims 43 and 61 were rejected under 35 U.S.C. § 103(a) as being unpatentable over He, and further in view of Armbrust et al. (US Pub. 2002/0145201). Claims 43 and 61 depend from claim 27 and include all of the features of that claim plus additional features, which are not taught or suggested by the cited references. Therefore, for at least these reasons, it is respectfully submitted that claims 43 and 61 are also patentably distinguishable over cited references.

New Claim

New claim 87 recites, "...wherein the dummy via and the second interconnect are made of the same conductive film." Nothing in the cited reference teaches or suggests the described subject matter. Additionally, dependent claim 88 recites patentably distinguishing features of their own. It is submitted that these new claims are distinguishable over the cited references.

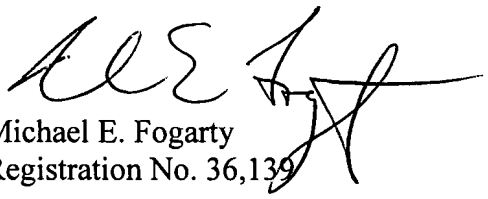
Conclusion

In view of the above amendments and remarks, Applicants submit that this application should be allowed and the case passed to issue. If there are any questions regarding this Amendment or the application in general, a telephone call to the undersigned would be appreciated to expedite the prosecution of the application.

To the extent necessary, a petition for an extension of time under 37 C.F.R. 1.136 is hereby made. Please charge any shortage in fees due in connection with the filing of this paper, including extension of time fees, to Deposit Account 500417 and please credit any excess fees to such deposit account.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP



Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
Phone: 202.756.8000 MEF/LAK:lnm
Facsimile: 202.756.8087
Date: August 22, 2007

Please recognize our Customer No. 53080 as our correspondence address.

WDC99 1434439-1.071971.0064

AUG 22 2007
PATENT & TRADEMARK OFFICE

Docket No.: 071971-0064 **PATENT**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 53080
Takeshi HARADA	:	Confirmation Number: 7270
Application No.: 11/000,904	:	Group Art Unit: 2823
Filed: December 02, 2004	:	Examiner: Thanh V. Pham

For: SEMICONDUCTOR DEVICE HAVING VIA CONNECTING BETWEEN INTERCONNECTS (AS AMENDED)

Mail Stop Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Transmitted herewith is an Amendment in the above-identified application.

☐ No additional fee is required.
☐ Applicant is entitled to small entity status under 37 CFR 1.27
☐ Also attached:

The fee has been calculated as shown below:

	NO. OF CLAIMS	HIGHEST PREVIOUSLY PAID FOR	EXTRA CLAIMS	RATE	FEE
Total Claims	62	60	2	$50.00 =	$100.00
Independent Claims	5	7	0	$200.00 =	$0.00
		Multiple dependent claims newly presented			$0.00
		Fee for extension of time			$0.00
					$0.00
		Total of Above Calculations			$100.00

☒ Please charge my Deposit Account No. 500417 in the amount of $100.00. An additional copy of this transmittal sheet is submitted herewith.

☒ The Commissioner is hereby authorized to charge payment of any fees associated with this communication or credit any overpayment, to Deposit Account No. 500417, including any filing fees under 37 CFR 1.16 for presentation of extra claims and any patent application processing fees under 37 CFR 1.17.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP

Michael E. Fogarty
Registration No. 36,139
Please recognize our Customer No. 53080 as our correspondence address.

600 13th Street, N.W.
Washington, DC 20005-3096
Phone: 202.756.8000 MEF:LAK:lnm
Facsimile: 202.756.8087
Date: August 22, 2007
WDC99 1440920-1.071971.0064

PATENT APPLICATION FEE DETERMINATION RECORD
Effective December 8, 2004

Application or Docket Number: 11-000904

CLAIMS AS FILED - PART I

8/22/05

AMENDMENT	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA
Total	* 62	Minus	** 60	= 2
Independent	* 5	Minus	*** 5	= —
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM				☐

SMALL ENTITY TYPE ☐ — OR — OTHER THAN SMALL ENTITY

RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
X$ 25=		OR	X$50=	100
X100=		OR	X200=	
+180=		OR	+360=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	100

AMENDMENT	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA
Total	*	Minus	**	=
Independent	*	Minus	***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM				☐

RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
X$ 25=		OR	X$50=	
X100=		OR	X200=	
+180=		OR	+360=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

AMENDMENT	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA
Total	*	Minus	**	=
Independent	*	Minus	***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM				☐

RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
X$ 25=		OR	X$50=	
X100=		OR	X200=	
+180=		OR	+360=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

AMENDMENT	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA
Total	*	Minus	**	=
Independent	*	Minus	***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM				☐

RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
X$ 25=		OR	X$50=	
X100=		OR	X200=	
+180=		OR	+360=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20."
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3."
The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/000,904	12/02/2004	Takeshi Harada	71971-064	7270

20277 7590 10/12/2007

MCDERMOTT WILL & EMERY LLP
600 13TH STREET, N.W.
WASHINGTON, DC 20005-3096

EXAMINER	
PHAM, THANH V	
ART UNIT	**PAPER NUMBER**
2823	

MAIL DATE	DELIVERY MODE
10/12/2007	PAPER

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Office Action Summary	Application No.	Applicant(s)	
	11/000,904	HARADA, TAKESHI	
	Examiner	Art Unit	
	Thanh V. Pham	2823	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 3 MONTH(S) OR THIRTY (30) DAYS, WHICHEVER IS LONGER, FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

1)☒ Responsive to communication(s) filed on *22 August 2007*.

2a)☒ This action is **FINAL**. 2b)☐ This action is non-final.

3)☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims

4)☒ Claim(s) *27-88* is/are pending in the application.

4a) Of the above claim(s) *69-86* is/are withdrawn from consideration.

5)☐ Claim(s) _____ is/are allowed.

6)☒ Claim(s) *27-68,87 and 88* is/are rejected.

7)☐ Claim(s) _____ is/are objected to.

8)☐ Claim(s) _____ are subject to restriction and/or election requirement.

Application Papers

9)☐ The specification is objected to by the Examiner.

10)☐ The drawing(s) filed on _____ is/are: a)☐ accepted or b)☐ objected to by the Examiner.

Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).

Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).

11)☐ The oath or declaration is objected to by the Examiner. Note the attached Office Action or form PTO-152.

Priority under 35 U.S.C. § 119

12)☐ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

a)☐ All b)☐ Some * c)☐ None of:

1.☐ Certified copies of the priority documents have been received.

2.☐ Certified copies of the priority documents have been received in Application No. _____.

3.☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

* See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

1) ☐ Notice of References Cited (PTO-892)
2) ☐ Notice of Draftsperson's Patent Drawing Review (PTO-948)
3) ☒ Information Disclosure Statement(s) (PTO/SB/08) Paper No(s)/Mail Date *8/07*.
4) ☐ Interview Summary (PTO-413) Paper No(s)/Mail Date. _____ .
5) ☐ Notice of Informal Patent Application
6) ☐ Other: _____.

DETAILED ACTION

Claim Rejections - 35 USC § 102

1. The text of those sections of Title 35, U.S. Code not included in this action can be found in a prior Office action.

2. Claims **27**-36, 38, 41-42, 44, 49-50, 53-54, 58, 60, 62-68 and 87-88 are rejected under 35 U.S.C. 102(a) as being anticipated by He et al. US 6,919,637 B2.

Re claim **27**, the He et al. reference discloses, "interconnect structures, particularly those formed above a substrate in an integrated circuit" (col. 1, lines 6-8), the device (figs. 1-7) comprises:

a semiconductor substrate (not shown);

a first interconnect 50 formed on the semiconductor substrate;

a first insulating film 52 formed on the first interconnect 50;

a second interconnect 61/62 and/or 64/66 formed on the first insulating film 52;

a via 60 formed through the first insulating film 52 *to form the copper via 68* and connecting between the first interconnect 50 and second interconnect 62/66 (*another via 53 also formed through the first insulating film 52 to form the dielectric pillar 55 and also connecting between the first interconnect 50 and second interconnect 61/64)*; and

a 'dummy' via 68 connected to the second interconnect 62/66 *wherein the dummy via 68 is made of a conductive via (considering second interconnect 61/62* and/or 64/66 *as element 36/37 in fig. 2 looked from the left-handed side of the figure, the left broken line of interconnect 37 is the conductive* dummy interconnect connecting

to the far left copper pillar under it, *this considering is in view of col. 1, lines 36-41 and/or col. 2, lines 42-45).*

Re claim 28, the device further comprises a second insulating film same as ILD-a or ILD-b formed on the semiconductor substrate (col. 2, lines 45-47: "*In FIG. 1, conductors are shown at only two levels n and n+1. It will be appreciated that in an integrated circuit, conductors may be used on many levels, for instance, five or six levels or more*"),

therefore the first interconnect 50 is formed on that second insulating film same as ILD-a or ILD-b, and

the dummy via 68 is connected to a first dummy interconnect formed on the second insulating film (considering from the left of the page to the left of fig. 2, the first interconnect 50 as *element 33, the dielectric pillar 55 (of figs 3-7) is the dielectric pillar on the left-handed side under conductor 36 (which being considered as conductive line 64 of fig. 7), then the left-handed side of* "broken line" 37 in fig. 2 *is considered as the dummy interconnect or as conductive segment 66 of fig. 7.*

Re claim 38(of 28), wherein a width of the first dummy interconnect and the width of the first interconnect are substantially equal to each other ("in some cases some of the lines are broken as indicated by break 22. This is done to provide the desired electrical paths to complete the circuits or to isolated a line segment" [col. 2, lines 42-44], this passage implies that the broken line provides "isolated a line segment" considered as "the dummy interconnect" having equal width to the other segment of the same line that connected to "desired electrical paths").

Re claim 49(of 28), wherein each of the first interconnect and the first dummy interconnect is buried in an upper portion of the second insulating film (considering the first interconnect 50 has a "broken line" and form in an insulating film).

Re claim 50(of 28), wherein a long side of the first interconnect and a longer side of the first dummy interconnect form substantially a right angle (considering segment of line 37 and one of lines 33-35 in fig. 2).

Re claim 29, the second interconnect 62 and the via 60 form a damascene structure (col. 1, line 18; col. 3, line 51).

Re claim 30, the second interconnect 66 and the dummy via 68 form a dual damascene structure (explanation of "dummy' vias, col. 1, lines 35-40, and the application of 'broken line' in col. 2, line 45).

Re claim 31, wherein the first insulating film has a multilayer structure including a SiN film and a SiO_2 film (col. 3, lines 29-30, 54-64).

Re claim 32, the second interconnect includes a first barrier film and a first conductive film (col. 4, lines 32-37).

Re claim 33, wherein the first conductive film includes copper (col. 2, line 62).

Re claims 34-35, wherein each of the first and second interconnects is connected to another element or an external electrode; *and* wherein the first interconnect, the second interconnect and the via constitute part of a closed circuit and the dummy via does not constitute a closed circuit (col. 1, lines 7-8: "interconnect structures formed above a substrate in an integrated circuit" "to provide the desired electrical paths to

complete the circuit or to isolate a line segment" (col. 2, lines 44-45), imply these limitations).

Re claim 36, wherein the first interconnect has a width smaller than that of the second interconnect (comparing lower ends of wires 33/34/35 compared to wires 36/37/38 in fig. 2).

Re claims 41-42, a planar shape of each of the via and the dummy via is substantially a square wherein a length of a side of the via and a length of a side of the dummy via are substantially equal to each other (comparing via 34 with dummy via 42 in fig. 2).

Re claim 44, the dummy via (element 40, e.g. if line 33 being a broken line) is provided on an extended line along which the first interconnect extends (col. 1, lines 7-8 and col. 2, lines 44-45).

Re claim 53, the distance between the via and the dummy via is substantially equal to a minimum interconnect width (fig. 2).

Re claim 54, the dummy via is provided in plural (fig. 2).

Re claim 58, wherein a planar shape of each of the via and the dummy via is substantially square, and a side of the dummy via is smaller than a side of the via (comparing lower end of 40 to upper end of 33, e.g.).

Re claim 60, a planar shape of the dummy via is substantially a square, and a side of the dummy via is smaller than a width of the first dummy interconnect (comparing lower end of 44 to segment of 37, e.g.).

Re claim 62, a distance between the via (40, e.g.) and one end of the second interconnect (right-hand side of 33) is shorter than a distance between the dummy via 942) and the one end of the second interconnect (left-hand side of 33) and shorter than a distance between the via and the other end of the second interconnect (left-hand side of 33).

Re claim 63, the dummy via is connected to the upper surface of the second interconnect (considering 40 on 30).

Re claim 64(of 63), wherein the dummy via is formed in a third insulating film formed on the second interconnect (col. 2, lines 45-47).

Re claim 65(of 64), the third insulating film has a multi structure including a SiN film and a SiO_2 film (col. 3, lines 29-30, 54-64).

Re claim 66(of 63), the dummy via includes a second barrier film and a second conductive film (col. 2, lines 44-45 and col. 4, lines 32-37).

Re claim 67(of 66), the second conductive film includes copper.

Re claim 68(of 63), a second dummy interconnect is provided on the dummy via so as to come in contact with a top of the dummy via (considering the right-hand segment of 37 and the 'dummy via' underneath).

Re (new) claims 87-88, the dummy via 68 and the second interconnect (as indicated above) are made of the same conductive film of copper (figs. 6-7 and associated passages).

3. Claim 37, 39-40, 45-48, 51-52, 57 and 59 are rejected under 35 U.S.C. 102(a) as anticipated by or, in the alternative, under 35 U.S.C. 103(a) as obvious over He et al.

The He et al. reference discloses interconnect structures, particularly those formed above a substrate in an integrated circuit as in the above. Considering the steps of figs. 3-5 are repeated such that another fig. 6 lying on top of the same fig. 6.

The He et al. reference discloses neither different shape nor size nor dimension such as "the first dummy interconnect has a width smaller than that of the second interconnect (re claim 37); "the dummy via is substantially circular in a plan view and a diameter of the dummy via is substantially equal to a width of the first dummy interconnect" (re claim 47); "a side of the dummy via is substantially equal to a width of the first dummy interconnect" (re claim 48); "the via and the dummy via are substantially circular in a plan view wherein a diameter of the via and a diameter of the dummy via are substantially equal to each other" (re claims 39-40) or "a diameter of the dummy via is smaller than a diameter of the via" (re claim 57) or "a diameter of the dummy via is smaller than a width of the first dummy interconnect" (re claim 59); "the via is substantially circular in a plan view and a diameter of the via is substantially equal to a width of the first interconnect" (re claim 45); "a side of the via is substantially equal to a width of the first interconnect" (re claim 46); "the via and the dummy via are space apart at a distance of 25 microns or 1 micron or less" (re claims 51-52).

However, one of ordinary skill in the art would have been led to the recited shapes, sizes and dimensions through routine experimentation and optimization. Applicant has not disclosed that the shapes, sizes and dimensions are for a particular unobvious purpose, produce an unexpected result, or are otherwise critical, and it appears prima facie that the process would possess utility using another shape, size

and dimension. Indeed, it has been held that mere dimensional limitations are prima facie obvious absent a disclosure that the limitations are for a particular unobvious purpose, produce an unexpected result, or are otherwise critical. See, for example, In re Rose, 220 F.2d 459, 105 USPQ 237 (CCPA 1955); In re Rinehart, 531 F.2d 1048, 189 USPQ 143 (CCPA 1976); Gardner v. TEC Systems, Inc., 725 F.2d 1338, 220 USPQ 777 (Fed. Cir. 1984), cert. denied, 469 U.S. 830, 225 USPQ 232 (1984); In re Dailey, 357 F.2d 669, 149 USPQ 47 (CCPA 1966). See also MPEP 2144.04(IV)(B).

Furthermore, He et al. discloses, in figs. 11-14, barrier layer 78 being formed before formation of copper lines and copper vias. With this further layer applied around and before forming copper via 68, e.g., in a circular shape of the optimization, the diameter of the dummy via 68 would be smaller than the diameter of the via 55 by the thickness of the barrier layer; or substantially the same because the thickness of the barrier is so thin or when the barrier is not applied.

Claim Rejections - 35 USC § 103

4. The text of those sections of Title 35, U.S. Code not included in this action can be found in a prior Office action.

5. Claims 43 and 61 rejected under 35 U.S.C. 103(a) as being unpatentable over He et al. as applied to claims 27-36, 38, 41-42, 44, 49-50, 53-54, 58, 60, 62-68 and 87-88 above, and further in view of Armbrust et al. US Pub. 2002/0145201 A1.

The He et al. reference discloses interconnect structures, particularly those formed above a substrate in an integrated circuit as in the above.

The He et al. reference does not disclose "the first interconnect and the second interconnect extend in a same direction" as in claim 43 and "a longer side of the dummy via in a plan view and a shorter side of the second interconnect are provided along a same direction" as in claim 61. However, *two levels n and n+1* in a interconnect structure could be formed parallel or in a same direction as in Armbrust et al.'s fig. 1.

It would have been obvious to one of ordinary skill in the art at the time of the invention to provide the structure of He et al. with two levels n and n+1 formed in a same direction because such parallel wires are known in the art for forming interconnect structure of "wires, support structures, and sacrificial structures" being "constructed from vias and trenches" (Armbrust et al.'s abstract)

Response to Arguments

6. Applicant's arguments filed 08/22/2007 with respect to amended claim 27, and its dependents, have been considered but are moot in view of the new ground(s) of rejection.

7. The He et al. not only discloses dielectric pillar but also copper via that can be used as dummy via as indicated at col. 1, lines 36-42 and col. 2, lines 43-45 and the rejections above; and not that "He is silent regarding forming a dummy via that is made of a conductive film" as alleged in the arguments in Remark's pages 15-16. He et al.'s copper via would do the function of "number of vacancies flowing into each via so that the stress gradient from the second interconnect to the via is reduced" "improvement in preventing malfunction at a high temperature and suppressing the occurrence of a void inside the via hole" because He et al.'s dummy copper via is the conductive pillar as claimed.

8. On pages 17-18 of the remark, the pointed to MPEP 2144.05(II) is about the Optimization of Ranges with the highlighted of "A particular parameter must first ***be recognized*** as a result-effective variable, i.e., a variable which achieves a recognized result, before the determination of the optimum or workable ranges of said variable might be characterized as routine experimentation" (emphasized by the applicant). The examiner did check instant specification for "a result-effective variable ... recognized result, before the determination of the optimum" and find none. When instant invention does not provide any unexpected result of a particular element, it is a matter of choice and open to optimization to one of ordinary skill in the art. In the rejection, the examiner directs the applicant to MPEP 2144.04(IV) that provides "examples directed to various common practices which the court has held normally require only ordinary skill in the art and hence are considered routine expedients are discussed". The rejection was made based on *In re Rose* , 220 F.2d 459, 105 USPQ 237 (CCPA 1955) "limitations relating to the size of the package were not sufficient to patentably distinguish over the prior art."; *In re Rinehart*, 531 F.2d 1048, 189 USPQ 143 (CCPA 1976) "mere scaling up of a prior art process capable of being scaled up, if such were the case, would not establish patentability in a claim to an old process so scaled." 531 F.2d at 1053,189 USPQ at 148.) Further, in *Gardner v. TEC Systems*, Inc., 725 F.2d 1338, 220 USPQ 777 (Fed. Cir. 1984), cert. denied, 469 U.S. 830, 225 USPQ 232 (1984), the Federal Circuit held that, where the only difference between the prior art and the claims was a recitation of relative dimensions of the claimed device and a device having the claimed relative dimensions would not perform differently than the prior art device, the claimed device

was not patentably distinct from the prior art device. Furthermore, *In re Dailey*, 357 F.2d 669, 149 USPQ 47 (CCPA 1966) (The court held that the configuration of the claimed disposable plastic nursing container was a matter of choice which a person of ordinary skill in the art would have found obvious absent persuasive evidence that the particular configuration of the claimed container was significant) (emphasized with underlined by the examiner). Therefore, "absent a disclosure that the limitations are for a particular unobvious purpose, produce an unexpected result or are otherwise critical", the rejection is maintained with the added explanation of the diameters of circular shape formed for the circular dielectric pillar and copper via as in above rejections.

9. The above arguments are also the response to last paragraph of page 19 and first paragraph of page 20.

Conclusion

10. The prior art made of record and not relied upon is considered pertinent to applicant's disclosure.

11. Applicant's amendment necessitated the new ground(s) of rejection presented in this Office action. Accordingly, **THIS ACTION IS MADE FINAL**. See MPEP § 706.07(a). Applicant is reminded of the extension of time policy as set forth in 37 CFR 1.136(a).

A shortened statutory period for reply to this final action is set to expire THREE MONTHS from the mailing date of this action. In the event a first reply is filed within TWO MONTHS of the mailing date of this final action and the advisory action is not mailed until after the end of the THREE-MONTH shortened statutory period, then the

shortened statutory period will expire on the date the advisory action is mailed, and any extension fee pursuant to 37 CFR 1.136(a) will be calculated from the mailing date of the advisory action. In no event, however, will the statutory period for reply expire later than SIX MONTHS from the date of this final action.

12. Any inquiry concerning this communication or earlier communications from the examiner should be directed to Thanh V. Pham whose telephone number is 571-272-1866. The examiner can normally be reached on M-T (6:30-5:00).

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Matthew Smith can be reached on 571-272-1907. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

10/02/2007

Thanh Van Pham
AU 2823

OIPE IAP97 AUG 22 2007 PATENT & TRADEMARK OFFICE

INFORMATION DISCLOSURE CITATION IN AN APPLICATION

(PTO-1449)

ATTY. DOCKET NO.	SERIAL NO.
071971-0064	11/000,904
APPLICANT: Takeshi HARADA	
FILING DATE: December 02, 2004	GROUP: 2823

U.S. PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Document Number Number-Kind Code[2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
WP		US 6,717,267 B1	04-06-2004	Kunikiyo	Corresponds with CN 1304175
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			

FOREIGN PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Foreign Patent Document Country Code[3]-Number[4]-Kind Code (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines Where Relevant Figures Appear	Translation Yes	Translation No
WP		CN 1304175	07-18-2001	MITSUBISHI ELECTRIC MACHINERY	Corresponds with US 6,717,267 B1		X

OTHER ART (Including Author, Title, Date, Pertinent Pages, Etc.)

EXAMINER'S INITIALS	CITE NO.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	
WP		Chinese Office Action issued in Chinese Patent Application No. CN 200410096561.2, dated July 13, 2007.	

EXAMINER	DATE CONSIDERED
/Khanh Nguyen/	10/01/2007

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

1 Applicant's unique citation designation number (optional). 2 Applicant is to place a check mark here if English language Translation is attached.

OIPE IAP97
JAN 11 2008
PATENT & TRADEMARK OFFICE

Request for Continued Examination (RCE) Transmittal

Address to:
Mail Stop RCE
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Application Number	11/000,904
Filing Date	December 02, 2004
First Named Inventor	Takeshi HARADA
Art Unit	2823
Examiner Name	Thanh V. Pham
Attorney Docket Number	071971-0064

This is a Request for Continued Examination (RCE) under 37 CFR 1.114 of the above-identified application.
Request for Continued Education (RCE) practice under 37 CFR 1.114 does not apply to any utility or plant application filed prior to June 8, 1995, or to any design application. See Instruction Sheet for RCEs (not to be submitted to the USPTO) on page 2.

1. Submission required under 37 CFR 1.114 Note: If the RCE is proper, any previously filed unentered amendments and amendments enclosed with the RCE will be entered in which they were filed unless applicant instructs otherwise. If applicant does not wish to have any previously filed unentered amendment(s) entered, applicant must request non-entry of such amendment(s).

   a. ☐ Previously submitted If a final Office action is outstanding, any amendments filed after the final Office action may be considered as a submission even if this box is not checked.

      i. ☐ Consider the arguments in the Appeal Brief or Reply Brief previously filed on _____

      ii. ☐ Other _____

   b. ☒ Enclosed

      i. ☒ Amendment/Reply

      ii. ☐ Affidavit(s)/Declaration(s)

      iii. ☐ Information Disclosure Statement (IDS)

      iv. ☐ Other _____

2. Miscellaneous

   a. ☐ Suspension of action of the above-identified application is requested under 37 CFR 1.103(c) for a period of _____ months. (Period of suspension shall not exceed 3 months; Fee under 37 CFR 1.17(i) required)

   b. ☐ Other _____

3. Fees The RCE fee under 37 CFR 1.17(e) is required by 37 CFR 1.114 when the RCE is filed.

   a. ☒ The Director is hereby authorized to charge the following fees, or credit any overpayments, to Deposit Account No. 500417. I have enclosed a duplicate copy of this sheet.

      i. ☒ RCE fee required under 37 CFR 1.17(e) $810

      ii. ☐ Extension of time fee (37 CFR 1.136 and 1.17)

      iii. ☐ Other _____

   b. ☐ Check in the amount of $ _____ enclosed

   c. ☐ Payment by credit card (Form PTO-2038 enclosed)

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT REQUIRED

Signature		Date	January 11, 2008
Name (Print/Type)	Michael E. Fogarty	Registration No.	36,139

CERTIFICATE OF MAILING OR TRANSMISSION

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Mail Stop RCE, Commissioner for Patents, P. O. Box 1450, Alexandria, VA 22313-1450 or facsimile transmitted to the U.S. Patent and Trademark Office on the date shown below.

Signature			
Name(Print/Type)		Date	

This collection of information is required by 37 CFR 1.114. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Mail Stop RCE, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

01/14/2008 SZEWDIE1 00000046 500417 11000984

01 FC:1801 810.00 DA

OIPE IAP97 JAN 11 2008 PATENT & TRADEMARK OFFICE

Docket No.: 071971-0064 **PATENT**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 53080
Takeshi HARADA	:	Confirmation Number: 7270
Application No.: 11/000,904	:	Group Art Unit: 2823
Filed: December 02, 2004	:	Examiner: Thanh V. Pham

For: SEMICONDUCTOR DEVICE HAVING VIA CONNECTING BETWEEN INTERCONNECTS (AS AMENDED)

AMENDMENT TO ACCOMPANY REQUEST FOR CONTINUED EXAMINATION

Mail Stop Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The following Amendment and Remarks are submitted in response to the final Office Action dated October 12, 2007.

Amendments to the Claims begin on page 2 of this paper.

Remarks begin on page 14 of this paper.

IN THE CLAIMS

Please amend the claims as follows:

1-26. (Cancelled)

27. (Currently Amended) A semiconductor device comprising:

a semiconductor substrate;

a first interconnect formed on the semiconductor substrate;

a first insulating film formed on the first interconnect;

a second interconnect formed on the first insulating film;

a via formed through the first insulating film and connecting between the first and second interconnects; and

a dummy via connected to the second interconnect,

wherein the dummy via is made of a conductive film,

the second interconnect and the via form a dual damascene structure, and

the second interconnect and the dummy via form a dual damascene structure.

28. (Previously Presented) The semiconductor device of claim 27 further comprising a second insulating film formed on the semiconductor substrate,

wherein the first interconnect is formed on the second insulating film, and

the dummy via is connected to a first dummy interconnect formed on the second insulating film.

29. (Cancelled)

30. (Cancelled)

31. (Previously Presented) The semiconductor device of claim 27, wherein the first insulating film has a multilayer structure including a SiN film and a SiO_2 film.

32. (Previously Presented) The semiconductor device of claim 27, wherein the second interconnect includes a first barrier film and a first conductive film.

33. (Previously Presented) The semiconductor device of claim 32, wherein the first conductive film includes copper.

34. (Previously Presented) The semiconductor device of claim 27, wherein each of the first and second interconnects is connected to another element or an external electrode.

35. (Previously Presented) The semiconductor device of claim 27, wherein the first interconnect, the second interconnect and the via constitute part of a closed circuit, and

the dummy via does not constitute a closed circuit.

36. (Previously Presented) The semiconductor device of claim 27, wherein the first interconnect has a width smaller than that of the second interconnect.

37. (Previously Presented) The semiconductor device of claim 28, wherein the first dummy interconnect has a width smaller than that of the second interconnect.

38. (Previously Presented) The semiconductor device of claim 28, wherein a width of the first dummy interconnect and a width of the first interconnect are substantially equal to each other.

39. (Previously Presented) The semiconductor device of claim 27, wherein the via and the dummy via are substantially circular in a plan view.

40. (Previously Presented) The semiconductor device of claim 39, wherein a diameter of the via and a diameter of the dummy via are substantially equal to each other.

41. (Previously Presented) The semiconductor device of claim 27, wherein a planar shape of each of the via and the dummy via is substantially a square.

42. (Previously Presented) The semiconductor device of claim 41, wherein a length of a side of the via and a length of a side of the dummy via are substantially equal to each other.

43. (Previously Presented) The semiconductor device of claim 27, wherein the first interconnect and the second interconnect extend in a same direction.

44. (Previously Presented) The semiconductor device of claim 27, wherein the dummy via is provided on an extended line along which the first interconnect extends.

45. (Previously Presented) The semiconductor device of claim 27, wherein the via is substantially circular in a plan view, and

a diameter of the via is substantially equal to a width of the first interconnect.

46. (Previously Presented) The semiconductor device of claim 27, wherein a planar shape of the via is substantially a square, and

a side of the via is substantially equal to a width of the first interconnect.

47. (Previously Presented) The semiconductor device of claim 28, wherein the dummy via is substantially circular in a plan view, and

a diameter of the dummy via is substantially equal to a width of the first dummy interconnect.

48. (Previously Presented) The semiconductor device of claim 28, wherein a planar shape of the dummy via is substantially a square, and

a side of the dummy via is substantially equal to a width of the first dummy interconnect.

49. (Previously Presented) The semiconductor device of claim 28, wherein each of the first interconnect and the first dummy interconnect is buried in an upper portion of the second insulating film.

50. (Previously Presented) The semiconductor device of claim 28, wherein a longer side of the first interconnect and a longer side of the first dummy interconnect form substantially a right angle.

51. (Previously Presented) The semiconductor device of claim 27, wherein the via and the dummy via are spaced at a distance of 25 μm or less.

52. (Previously Presented) The semiconductor device of claim 27, wherein the via and the dummy via are spaced at a distance of 1μm or less.

53. (Previously Presented) The semiconductor device of claim 27, wherein the distance between the via and the dummy via is substantially equal to a minimum interconnect width.

54. (Previously Presented) The semiconductor device of claim 27, wherein the dummy via is provided in plural.

55. (Withdrawn) The semiconductor device of claim 27, wherein a bottom of the dummy via is located deeper than a bottom of the via.

56. (Withdrawn) The semiconductor device of claim 27 further comprising a second insulating film formed on the semiconductor substrate,

wherein the first interconnect is formed on the second insulating film, and

a bottom of the dummy via is located in the second insulating film.

57. (Previously Presented) The semiconductor device of claim 27, wherein the via and the dummy via are substantially circular in a plan view, and

a diameter of the dummy via is smaller than a diameter of the via.

58. (Previously Presented) The semiconductor device of claim 27, wherein a planar shape of each of the via and the dummy via is substantially a square, and

a side of the dummy via is smaller than a side of the via.

59. (Previously Presented) The semiconductor device of claim 28, wherein the dummy via is substantially circular in a plan view, and

a diameter of the dummy via is smaller than a width of the first dummy interconnect.

60. (Previously Presented) The semiconductor device of claim 28, wherein a planar shape of the dummy via is substantially a square, and

a side of the dummy via is smaller than a width of the first dummy interconnect.

61. (Previously Presented) The semiconductor device of claim 27, wherein the dummy via is substantially rectangular in a plan view, and

a longer side of the dummy via in a plan view and a shorter side of the second interconnect are provided along a same direction.

62. (Previously Presented) The semiconductor device of claim 27, wherein a distance between the via and one end of the second interconnect is shorter than a distance between the dummy via and the one end of the second interconnect and shorter than a distance between the via and the other end of the second interconnect.

63. (Previously Presented) The semiconductor device of claim 27, wherein the dummy via is connected to the upper surface of the second interconnect.

64. (Previously Presented) The semiconductor device of claim 63, wherein the dummy via is formed in a third insulating film formed on the second interconnect.

65. (Previously Presented) The semiconductor device of claim 64, wherein the third insulating film has a multilayer structure including a SiN film and a SiO_2 film.

66. (Previously Presented) The semiconductor device of claim 63, wherein the dummy via includes a second barrier film and a second conductive film.

67. (Previously Presented) The semiconductor device of claim 66, wherein the second conductive film includes copper.

68. (Previously Presented) The semiconductor device of claim 63, wherein a second dummy interconnect is provided on the dummy via so as to come in contact with a top of the dummy via.

69. (Withdrawn) The semiconductor device of claim 27, wherein the second interconnect is comprised of a first interconnect portion and a second interconnect portion whose interconnect width is smaller than that of the first interconnect portion and which branches from the first interconnect portion, and

the via is connected to the second interconnect portion.

70. (Withdrawn) The semiconductor device of claim 69, wherein the dummy via is formed at or near the branch point between the first and second interconnect portions.

71. (Withdrawn) The semiconductor device of claim 69, wherein a width of the second interconnect portion is 0.2 μm or less.

72. (Withdrawn) The semiconductor device of claim 69, wherein the dummy via is substantially rectangular in a plan view, and

a longer side of the dummy via and a longer side of the first interconnect portion are provided along a same direction.

73. (Withdrawn) A semiconductor device comprising:

a semiconductor substrate;

a first interconnect formed on the semiconductor substrate;

a first insulating film formed on the first interconnect;

a second interconnect formed on the first insulating film;

a via formed through the first insulating film and connecting between the first and second interconnects; and

an insulating slit formed in the second interconnect.

74. (Withdrawn) The semiconductor device of claim 73, wherein the insulating slit is in contact with a portion of the second interconnect connected to the via.

75. (Withdrawn) The semiconductor device of claim 73, wherein the insulating slit is substantially rectangular in a plan view, and

a longer side of the insulating slit is in contact with a portion of the second interconnect connected to the via.

76. (Withdrawn) The semiconductor device of claim 73, wherein the insulating slit is substantially rectangular in a plan view,

a planar shape of the via is substantially a square, and

a length of a longer side of the insulating slit is equal to or greater than twice a length of a side of the via and less than or equal to four times the length of the side of the via.

77. (Withdrawn) The semiconductor device of claim 73, wherein the insulating slit is substantially rectangular in a plan view,

the via is substantially circular in a plan view, and

a length of a longer side of the insulating slit is equal to or greater than twice a diameter of the via and less than or equal to four times the diameter of the via.

78. (Withdrawn) The semiconductor device of claim 73, wherein the insulating slit and the via are spaced at a distance of 1 μm or less.

79. (Withdrawn) The semiconductor device of claim 73, wherein the insulating slit is substantially rectangular in a plan view, and

a longer side of the insulating slit in a plan view and a shorter side of the second interconnect are provided along a same direction.

80. (Withdrawn) The semiconductor device of claim 73, wherein a distance between the via and one end of the second interconnect is shorter than a distance between the insulating slit and the one end of the second interconnect and shorter than a distance between the via and the other end of the second interconnect.

81. (Withdrawn) A method for fabricating a semiconductor device comprising the steps of:

(a) forming a first interconnect on a semiconductor substrate;

(b) forming a first insulating film on the first interconnect;

(c) forming in the first insulating film, a via hole connected to the first interconnect, a dummy hole which is not connected to the first interconnect, and an interconnect trench connected to the via hole and the dummy hole; and

(d) depositing a conductive material in the via hole, the dummy hole and the interconnect trench, thereby forming a via, a dummy via and a second interconnect.

82. (Withdrawn) The method of claim 81, wherein in the step (a) a first dummy interconnect is simultaneously formed on the semiconductor substrate, and

in the step (c) the dummy hole is connected to the first dummy interconnect.

83. (Withdrawn) A method of fabricating a semiconductor device comprising the steps of:

(a) forming a first interconnect on a semiconductor substrate;

(b) forming a first insulating film on the first interconnect;

(c) forming in the first insulating film, a via hole connected to the first interconnect and an interconnect trench connected to the via hole;

(d) depositing a conductive material in the via hole and the interconnect trench, thereby forming a via and a second interconnect;

(e) forming a second insulating film on the second interconnect;

(f) forming in the second insulating film a dummy hole connected to the second interconnect; and

(g) depositing a conductive material in the dummy hole, thereby forming a dummy via.

84. (Withdrawn) A method of fabricating a semiconductor device comprising the steps of:

(a) forming a first interconnect on a semiconductor substrate;

(b) forming a first insulating film on the first interconnect;

(c) forming in the first interconnect, a via hole connected to the first interconnect and an interconnect trench connected to the via hole; and

(d) depositing a conductive material in the via hole and the interconnect trench, thereby forming a via and a second interconnect,

wherein the step (c) includes a step of leaving part of the first insulating film in the interconnect trench, thereby forming an insulating slit.

85. (Withdrawn) The method of claim 81, wherein in the step (c) the interconnect trench is comprised of a first interconnect trench portion and a second interconnect trench portion whose width is smaller than that of the first interconnect trench portion and which branches from the first interconnect trench portion, and

the via hole and the second interconnect trench portion are connected to the interconnect trench.

86. (Withdrawn) The method of claim 85, wherein in the step (c) the dummy hole is connected to the branch point between the first and second interconnect trench portions or to the interconnect trench near the branch point.

87. (Previously Presented) The semiconductor device of claim 27, wherein the dummy via and the second interconnect are made of the same conductive film.

88. (Previously Presented) The semiconductor device of claim 27, wherein the dummy via and the second interconnect include a Cu film.

REMARKS

Introduction

In response to the final Office Action dated October 12, 2007, Applicants have amended claim 27. The limitations of claims 29 and 30, previously dependent upon claim 27, have been incorporated into claim 27, and claims 29 and 30 cancelled. Applicants submit that the present Amendment does not generate any new matter issue. Claims 55, 56, and 69-86 are withdrawn. In view of the foregoing amendments and the following remarks, Applicants respectfully submit that all pending claims are in condition for allowance.

Claim Rejection Under 35 U.S.C. § 102

Claims 27-36, 38, 41, 42, 44, 49, 50, 53, 54, 58, 60, 62-68, and 87-88 were rejected under 35 U.S.C. § 102(a) as being anticipated by U.S. Patent No. 6,919,637 to He et al. (hereinafter He).

Amended claim 27 recites, in part, "...the second interconnect and the via form a dual damascene structure, and the second interconnect and the dummy via form a dual damascene structure."

The Office Action asserts that He discloses a second interconnect 62 and via 60 to form a damascene structure. The Office Action states that a second interconnect 66 and a dummy via 8 form a dual damascene structure in He.

Turning to the prior art, He fails to disclose or suggest that the second interconnect and the via form a dual damascene structure, the second interconnect and the dummy via form a dual damascene structure, and that the second interconnect, the via and the dummy via are unified. It is well known by persons skilled in the art that a dual damascene has a structure in which the

filling of holes and the formation of interconnects are simultaneously carried out. He forms a dielectric pillar in the same layer in which a via and a conductive dummy via are formed. The dielectric pillar of He is considerably different from the claimed dual damascene structure in both structure and function. Accordingly, the rejection of claims 27-36, 38, 41, 42, 44, 49, 50, 53, 54, 58, 60, 62-68, and 87-88 predicated on He should be withdrawn.

According to the claimed subject matter per amended claim 27, the second interconnect and the dummy via form a dual damascene structure. As a result, even if vacancies occur in the conductive film constituting the second interconnect, the vacancies are divided and flow into the via and the dummy via, respectively. Thus, the number of vacancies flowing from the second interconnect to the via can be further reduced. Accordingly, it is possible to solve the problem of the occurrence of a void inside the via hole. (*see, e.g.*, pg. 21, line 8-pg. 22, line 19 and pg. 23, lines 16-20). However, He does not disclose or suggest this, and apparently is unaware of the unexpected improvement in suppressing the occurrence of a void inside the via hole made possible by the claimed semiconductor device.

Thus, He fails to disclose or suggest, at a minimum, "...the second interconnect and the via form **a dual damascene structure**, and the second interconnect and the dummy via form **a dual damascene structure**," as recited in amended claim 27.

As anticipation under 35 U.S.C. § 102 requires that each and every element of the claim be disclosed, either expressly or inherently (noting that "inherency may not be established by probabilities or possibilities," *Scaltech Inc. v. Retec/Tetra*, 178 F.3d 1378 (Fed. Cir. 1999)), in a single prior art reference, *Akzo N.V. v. U.S. Int'l Trade Commission*, 808 F.2d 1471 (Fed. Cir. 1986), based on the forgoing, it is submitted that He does not anticipate amended claim 27, nor

any claim dependent thereon. The dependent claims are allowable for at least the same reasons as claim 27.

Claim Rejection Under 35 U.S.C. § 102/103

Claims 37, 39, 40, 45-48, 51, 52, 57 and 59 are rejected under 35 U.S.C. §102 (a) as anticipated by or, in the alternative, under 35 U.S.C. § 103 (a) as obvious over He. Dependent claims 37, 39, 40, 45-48, 51, 52, 57 and 59 are allowable for at least for the same reasons as independent claim 27, and further distinguish the claimed semiconductor device. Therefore, for at least these reasons, it is respectfully submitted that claims 37, 39, 40, 45-48, 51, 52, 57 and 59 are also patentably distinguishable over He.

Claim Rejection Under 35 U.S.C. § 103

Claims 43 and 61 were rejected under 35 U.S.C. § 103(a) as being unpatentable over He, and further in view of Armbrust et al. (US Pub. 2002/0145201). Claims 43 and 61 depend from claim 27 and include all of the features of that claim plus additional features, which are not taught or suggested by the cited references. Therefore, for at least these reasons, it is respectfully submitted that claims 43 and 61 are also patentably distinguishable over cited references.

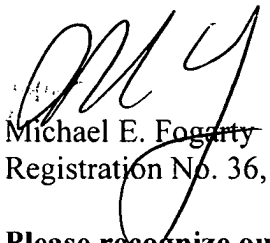
Conclusion

In view of the above amendments and remarks, Applicants submit that this application should be allowed and the case passed to issue. If there are any questions regarding this Amendment or the application in general, a telephone call to the undersigned would be appreciated to expedite the prosecution of the application.

To the extent necessary, a petition for an extension of time under 37 C.F.R. 1.136 is hereby made. Please charge any shortage in fees due in connection with the filing of this paper, including extension of time fees, to Deposit Account 500417 and please credit any excess fees to such deposit account.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP



Michael E. Fogarty
Registration No. 36,139

Please recognize our Customer No. 53080 as our correspondence address.

600 13th Street, N.W.
Washington, DC 20005-3096
Phone: 202.756.8000 MEF/LAK:lnm
Facsimile: 202.756.8087
Date: January 11, 2008

WDC99 1502188-1.071971.0064

PTO/SB/06 (07-06)
Approved for use through 1/31/2007. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875

Application or Docket Number	Filing Date	☐ To be Mailed
11/000,904	12/02/2004	

APPLICATION AS FILED – PART I

FOR	(Column 1) NUMBER FILED	(Column 2) NUMBER EXTRA	SMALL ENTITY ☐ RATE ($)	SMALL ENTITY ☐ FEE ($)	OR	OTHER THAN SMALL ENTITY RATE ($)	OTHER THAN SMALL ENTITY FEE ($)
☐ BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A	
☐ SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A			N/A	
☐ EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A	
TOTAL CLAIMS (37 CFR 1.16(i))	minus 20 =	*	X $ =		OR	X $ =	
INDEPENDENT CLAIMS (37 CFR 1.16(h))	minus 3 =	*	X $ =			X $ =	
☐ APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $250 ($125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).						
☐ MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))							
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL	

APPLICATION AS AMENDED – PART II

AMENDMENT 01/11/2008	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE ($)	SMALL ENTITY ADDITIONAL FEE ($)	OR	OTHER THAN SMALL ENTITY RATE ($)	OTHER THAN SMALL ENTITY ADDITIONAL FEE ($)
Total (37 CFR 1.16(i))	* 60	Minus	** 62	= 0	X $ =		OR	X $50=	0
Independent (37 CFR 1.16(h))	* 5	Minus	***5	= 0	X $ =		OR	X $210=	0
☐ Application Size Fee (37 CFR 1.16(s))									
☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
					TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	0

AMENDMENT	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	RATE ($)	ADDITIONAL FEE ($)		RATE ($)	ADDITIONAL FEE ($)
Total (37 CFR 1.16(i))	*	Minus	**	=	X $ =		OR	X $ =	
Independent (37 CFR 1.16(h))	*	Minus	***	=	X $ =		OR	X $ =	
☐ Application Size Fee (37 CFR 1.16(s))									
☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
					TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.

** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".

*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".

The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

Legal Instrument Examiner:
/THERESA DAWKINS/

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/000,904	12/02/2004	Takeshi Harada	71971-064	7270

20277 7590 02/11/2008
MCDERMOTT WILL & EMERY LLP
600 13TH STREET, N.W.
WASHINGTON, DC 20005-3096

EXAMINER	
PHAM, THANH V	
ART UNIT	PAPER NUMBER
2823	
MAIL DATE	DELIVERY MODE
02/11/2008	PAPER

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Office Action Summary	Application No.	Applicant(s)	
	11/000,904	HARADA, TAKESHI	
	Examiner	Art Unit	
	THANH V. PHAM	2823	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE *3* MONTH(S) OR THIRTY (30) DAYS, WHICHEVER IS LONGER, FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

1)☒ Responsive to communication(s) filed on *11 January 2008*.

2a)☐ This action is **FINAL**. 2b)☒ This action is non-final.

3)☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims

4)☒ Claim(s) *27,28 and 31-88* is/are pending in the application.

4a) Of the above claim(s) *55,56 and 69-86* is/are withdrawn from consideration.

5)☐ Claim(s) _____ is/are allowed.

6)☒ Claim(s) *27-28, 31-54, 57-68 and 87-88* is/are rejected.

7)☐ Claim(s) _____ is/are objected to.

8)☐ Claim(s) _____ are subject to restriction and/or election requirement.

Application Papers

9)☐ The specification is objected to by the Examiner.

10)☐ The drawing(s) filed on _____ is/are: a)☐ accepted or b)☐ objected to by the Examiner.

Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).

Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).

11)☐ The oath or declaration is objected to by the Examiner. Note the attached Office Action or form PTO-152.

Priority under 35 U.S.C. § 119

12)☐ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

a)☐ All b)☐ Some * c)☐ None of:

1.☐ Certified copies of the priority documents have been received.

2.☐ Certified copies of the priority documents have been received in Application No. _____.

3.☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

* See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

1) ☐ Notice of References Cited (PTO-892)
2) ☐ Notice of Draftsperson's Patent Drawing Review (PTO-948)
3) ☐ Information Disclosure Statement(s) (PTO/SB/08) Paper No(s)/Mail Date _____.
4) ☐ Interview Summary (PTO-413) Paper No(s)/Mail Date. _____ .
5) ☐ Notice of Informal Patent Application
6) ☐ Other: _____.

DETAILED ACTION

Continued Examination Under 37 CFR 1.114

1. A request for continued examination under 37 CFR 1.114, including the fee set forth in 37 CFR 1.17(e), was filed in this application after final rejection. Since this application is eligible for continued examination under 37 CFR 1.114, and the fee set forth in 37 CFR 1.17(e) has been timely paid, the finality of the previous Office action has been withdrawn pursuant to 37 CFR 1.114. Applicant's submission filed on 01/11/2008 has been entered.

Response to Amendment

Claim Rejections - 35 USC § 102 and § 103

2. The text of those sections of Title 35, U.S. Code not included in this action can be found in a prior Office action.

3. Claims **27**-28, 31-36, 38, 41-42, 44, 49-50, 53-54, 58, 60, 62-68 and 87-88 are rejected under 35 U.S.C. 102(a) as being anticipated by He et al. US 6,919,637 B2.

Re claim **27**, the He et al. reference discloses "interconnect structures, particularly those formed above a substrate in an integrated circuit" (col. 1, lines 6-8), the device (figs. 1-7) comprises:

a semiconductor substrate (not shown);

a first interconnect 50 and/or 33/34/35 formed on the semiconductor substrate;

a first insulating film 52 (and/or the ILD's) formed on the first interconnect 50 and/or 33/34/35;

a second interconnect 61/62 and/or 64/66 and/or 36/37/38 formed on the first insulating film 52 (and/or the ILD's);

a via 60 formed through the first insulating film 52 (and/or the ILD's) *to form the copper via 68 [and/or the via underneath and at the right-handed position of element 37 in fig. 2]* and connecting between the first interconnect 50 and/or 33/34/35 and second interconnect 62/66 and/or 36/37/38 (*another via also formed through the first insulating film 52* (and/or the ILD's) *to form the dielectric pillar 55 and also connecting between the first interconnect 50 and second interconnect 61/64 [and/or the vias underneath and at the middle positions of elements 37, 38 or at the left-handed position of element 36 in fig. 2])*; and

a 'dummy' via 68 (and/or the vias underneath element 37 in fig. 2) connected to the second interconnect 62/66 and/or 36/37/38 *wherein the dummy via 68* and/or one of the vias underneath element 37 in fig. 2 *is made of a conductive via (considering second interconnect 61/62* and/or 64/66 *as element 36/37 in fig. 2 looked from the left-handed side of the figure, the left broken line of interconnect 37 is the conductive* dummy interconnect connecting to the far left copper pillar under it*, this considering is in view of col. 1, lines 36-41 and/or col. 2, lines 42-45),*

the second interconnect 37 and the via [underneath and at the left-handed position of element 37 in fig. 2] form a dual damascene structure or the second interconnect 62 and the via 60 form a damascene structure (col. 1, line 18; col. 3, line 51)*, and*

the second interconnect 37 and the dummy via [underneath and at the right-handed position of element 37 in fig. 2] form a dual damascene structure or the second interconnect 66 and the dummy via 68 form a dual damascene structure (explanation of "dummy' vias, col. 1, lines 35-40, and the application of 'broken line' in col. 2, line 45).

Re claim 28, the device further comprises a second insulating film same as ILD-a or ILD-b formed on the semiconductor substrate (col. 2, lines 45-47: "*In FIG. 1, conductors are shown at only two levels n and n+1. It will be appreciated that in an integrated circuit, conductors may be used on many levels, for instance, five or six levels or more*"),

therefore the first interconnect 50 is formed on that second insulating film same as ILD-a or ILD-b, and

the dummy via 68 is connected to a first dummy interconnect formed on the second insulating film (considering from the left of the page to the left of fig. 2, the first interconnect 50 as *element 33, the dielectric pillar 55 (of figs 3-7) is the dielectric pillar on the left-handed side under conductor 36 (which being considered as conductive line 64 of fig. 7), then the left-handed side of* "broken line" 37 in fig. 2 *is considered as the dummy interconnect or as conductive segment 66 of fig. 7*.

Re claim 38(of 28), wherein a width of the first dummy interconnect and the width of the first interconnect are substantially equal to each other ("in some cases some of the lines are broken as indicated by break 22. This is done to provide the desired electrical paths to complete the circuits or to isolated a line segment" [col. 2, lines 42-44], this passage implies that the broken line provides "isolated a line segment"

considered as "the dummy interconnect" having equal width to the other segment of the same line that connected to "desired electrical paths").

Re claim 49(of 28), wherein each of the first interconnect and the first dummy interconnect is buried in an upper portion of the second insulating film (considering the first interconnect 50 has a "broken line" and form in an insulating film).

Re claim 50(of 28), wherein a long side of the first interconnect and a longer side of the first dummy interconnect form substantially a right angle (considering segment of line 37 and one of lines 33-35 in fig. 2).

Re claim 31, wherein the first insulating film has a multilayer structure including a SiN film and a SiO_2 film (col. 3, lines 29-30, 54-64).

Re claim 32, the second interconnect includes a first barrier film and a first conductive film (col. 4, lines 32-37).

Re claim 33, wherein the first conductive film includes copper (col. 2, line 62).

Re claims 34-35, wherein each of the first and second interconnects is connected to another element or an external electrode; *and* wherein the first interconnect, the second interconnect and the via constitute part of a closed circuit and the dummy via does not constitute a closed circuit (col. 1, lines 7-8: "interconnect structures formed above a substrate in an integrated circuit" "to provide the desired electrical paths to complete the circuit or to isolate a line segment" (col. 2, lines 44-45), imply these limitations).

Re claim 36, wherein the first interconnect has a width smaller than that of the second interconnect (comparing lower ends of wires 33/34/35 compared to wires 36/37/38 in fig. 2).

Re claims 41-42, a planar shape of each of the via and the dummy via is substantially a square wherein a length of a side of the via and a length of a side of the dummy via are substantially equal to each other (comparing via 34 with dummy via 42 in fig. 2).

Re claim 44, the dummy via (element 40, e.g. if line 33 being a broken line) is provided on an extended line along which the first interconnect extends (col. 1, lines 7-8 and col. 2, lines 44-45).

Re claim 53, the distance between the via and the dummy via is substantially equal to a minimum interconnect width (fig. 2).

Re claim 54, the dummy via is provided in plural (fig. 2).

Re claim 58, wherein a planar shape of each of the via and the dummy via is substantially square, and a side of the dummy via is smaller than a side of the via (comparing lower end of 40 to upper end of 33, e.g.).

Re claim 60, a planar shape of the dummy via is substantially a square, and a side of the dummy via is smaller than a width of the first dummy interconnect (comparing lower end of 44 to segment of 37, e.g.).

Re claim 62, a distance between the via (40, e.g.) and one end of the second interconnect (right-hand side of 33) is shorter than a distance between the dummy via 942) and the one end of the second interconnect (left-hand side of 33) and shorter than

a distance between the via and the other end of the second interconnect (left-hand side of 33).

Re claim 63, the dummy via is connected to the upper surface of the second interconnect (considering 40 on 30).

Re claim 64(of 63), wherein the dummy via is formed in a third insulating film formed on the second interconnect (col. 2, lines 45-47).

Re claim 65(of 64), the third insulating film has a multi structure including a SiN film and a SiO_2 film (col. 3, lines 29-30, 54-64).

Re claim 66(of 63), the dummy via includes a second barrier film and a second conductive film (col. 2, lines 44-45 and col. 4, lines 32-37).

Re claim 67(of 66), the second conductive film includes copper.

Re claim 68(of 63), a second dummy interconnect is provided on the dummy via so as to come in contact with a top of the dummy via (considering the right-hand segment of 37 and the 'dummy via' underneath).

Re claims 87-88, the dummy via 68 and the second interconnect (as indicated above) are made of the same conductive film of copper (figs. 6-7 and associated passages).

4. Claim 37, 39-40, 45-48, 51-52, 57 and 59 are rejected under 35 U.S.C. 102(a) as anticipated by or, in the alternative, under 35 U.S.C. 103(a) as obvious over He et al.

The He et al. reference discloses interconnect structures, particularly those formed above a substrate in an integrated circuit as in the above. Considering the steps of figs. 3-5 are repeated such that another fig. 6 lying on top of the same fig. 6.

The He et al. reference discloses neither different shape nor size nor dimension such as "the first dummy interconnect has a width smaller than that of the second interconnect (re claim 37); "the dummy via is substantially circular in a plan view and a diameter of the dummy via is substantially equal to a width of the first dummy interconnect" (re claim 47); "a side of the dummy via is substantially equal to a width of the first dummy interconnect" (re claim 48); "the via and the dummy via are substantially circular in a plan view wherein a diameter of the via and a diameter of the dummy via are substantially equal to each other" (re claims 39-40) or "a diameter of the dummy via is smaller than a diameter of the via" (re claim 57) or "a diameter of the dummy via is smaller than a width of the first dummy interconnect" (re claim 59); "the via is substantially circular in a plan view and a diameter of the via is substantially equal to a width of the first interconnect" (re claim 45); "a side of the via is substantially equal to a width of the first interconnect" (re claim 46); "the via and the dummy via are space apart at a distance of 25 microns or 1 micron or less" (re claims 51-52).

However, one of ordinary skill in the art would have been led to the recited shapes, sizes and dimensions through routine experimentation and optimization. Applicant has not disclosed that the shapes, sizes and dimensions are for a particular unobvious purpose, produce an unexpected result, or are otherwise critical, and it appears prima facie that the process would possess utility using another shape, size and dimension. Indeed, it has been held that mere dimensional limitations are prima facie obvious absent a disclosure that the limitations are for a particular unobvious purpose, produce an unexpected result, or are otherwise critical. See, for example, In

re Rose, 220 F.2d 459, 105 USPQ 237 (CCPA 1955); In re Rinehart, 531 F.2d 1048, 189 USPQ 143 (CCPA 1976); Gardner v. TEC Systems, Inc., 725 F.2d 1338, 220 USPQ 777 (Fed. Cir. 1984), cert. denied, 469 U.S. 830, 225 USPQ 232 (1984); In re Dailey, 357 F.2d 669, 149 USPQ 47 (CCPA 1966). See also MPEP 2144.04(IV)(B).

Furthermore, He et al. discloses, in figs. 11-14, barrier layer 78 being formed before formation of copper lines and copper vias. With this further layer applied around and before forming copper via 68, e.g., in a circular shape of the optimization, the diameter of the dummy via 68 would be smaller than the diameter of the via 55 by the thickness of the barrier layer; or substantially the same because the thickness of the barrier is so thin or when the barrier is not applied.

5. Claims 43 and 61 rejected under 35 U.S.C. 103(a) as being unpatentable over He et al. as applied to claims 27-36, 38, 41-42, 44, 49-50, 53-54, 58, 60, 62-68 and 87-88 above, and further in view of Armbrust et al. US Pub. 2002/0145201 A1.

The He et al. reference discloses interconnect structures, particularly those formed above a substrate in an integrated circuit as in the above.

The He et al. reference does not disclose "the first interconnect and the second interconnect extend in a same direction" as in claim 43 and "a longer side of the dummy via in a plan view and a shorter side of the second interconnect are provided along a same direction" as in claim 61. However, *two levels n and n+1* in a interconnect structure could be formed parallel or in a same direction as in Armbrust et al.'s fig. 1.

It would have been obvious to one of ordinary skill in the art at the time of the invention to provide the structure of He et al. with two levels n and n+1 formed in a same direction because such parallel wires are known in the art for forming interconnect structure of "wires, support structures, and sacrificial structures" being "constructed from vias and trenches" (Armbrust et al.'s abstract)

Response to Arguments

6. Applicant's arguments filed 01/11/2008 have been fully considered but they are not persuasive.

7. With the added limitations from now canceled claims 29-30 into claim 27, applicant argues that He et al. "fails to disclose or suggest that the second interconnect and the via form a dual damascene structure, the second interconnect and the dummy via form a dual damascene structure and that the second interconnect, the via and the dummy via are unified". The claims are not so limited. He et al.'s second interconnect 37 and the via clearly form a dual damascene structure and also second interconnect 37 and the dummy via form a dual damascene structure in fig. 2.

Conclusion

8. The prior art made of record and not relied upon is considered pertinent to applicant's disclosure.

9. Any inquiry concerning this communication or earlier communications from the examiner should be directed to THANH V. PHAM whose telephone number is (571)272-1866. The examiner can normally be reached on M-T (6:30-5:00).

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Matthew Smith can be reached on 571-272-1907. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

02/02/2008

/Thanh V Pham/
Examiner, Art Unit 2823

Docket No.: 071971-0064 **PATENT**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 53080
Takeshi HARADA	:	Confirmation Number: 7270
Application No.: 11/000,904	:	Group Art Unit: 2823
Filed: December 02, 2004	:	Examiner: Thanh V. Pham

For: SEMICONDUCTOR DEVICE HAVING VIA CONNECTING BETWEEN INTERCONNECTS (AS AMENDED)

AMENDMENT

Mail Stop Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In response to the Office Action dated February 11, 2008, having a three-month shortened statutory period for response set to expire on May 11, 2008, and the petition for a one-month extension of time up to and including June 11, 2008 being filed concurrently herewith, reconsideration of the above-identified application is respectfully requested in view of the following amendment and remarks.

IN THE CLAIMS

1-26. (Cancelled)

27. (Currently Amended) A semiconductor device comprising:

a semiconductor substrate;

a first interconnect formed on the semiconductor substrate;

a first insulating film formed on the first interconnect;

a second interconnect formed on the first insulating film;

a via formed through the first insulating film and connecting between the first and second interconnects; and

a dummy via connected to the second interconnect,

wherein the dummy via is made of a conductive film and is arranged so as to be incapable of having current flow therethrough~~,~~

~~the second interconnect and the via form a dual damascene structure, and~~

~~the second interconnect and the dummy via form a dual damascene structure~~.

28. (Previously Presented) The semiconductor device of claim 27 further comprising a second insulating film formed on the semiconductor substrate,

wherein the first interconnect is formed on the second insulating film, and

the dummy via is connected to a first dummy interconnect formed on the second insulating film.

29-30. (Cancelled)

31. (Previously Presented) The semiconductor device of claim 27, wherein the first insulating film has a multilayer structure including a SiN film and a SiO_2 film.

32. (Previously Presented) The semiconductor device of claim 27, wherein the second interconnect includes a first barrier film and a first conductive film.

33. (Previously Presented) The semiconductor device of claim 32, wherein the first conductive film includes copper.

34. (Previously Presented) The semiconductor device of claim 27, wherein each of the first and second interconnects is connected to another element or an external electrode.

35. (Previously Presented) The semiconductor device of claim 27, wherein the first interconnect, the second interconnect and the via constitute part of a closed circuit, and

the dummy via does not constitute a closed circuit.

36. (Previously Presented) The semiconductor device of claim 27, wherein the first interconnect has a width smaller than that of the second interconnect.

37. (Previously Presented) The semiconductor device of claim 28, wherein the first dummy interconnect has a width smaller than that of the second interconnect.

38. (Previously Presented) The semiconductor device of claim 28, wherein a width of the first dummy interconnect and a width of the first interconnect are substantially equal to each other.

39. (Previously Presented) The semiconductor device of claim 27, wherein the via and the dummy via are substantially circular in a plan view.

40. (Previously Presented) The semiconductor device of claim 39, wherein a diameter of the via and a diameter of the dummy via are substantially equal to each other.

41. (Previously Presented) The semiconductor device of claim 27, wherein a planar shape of each of the via and the dummy via is substantially a square.

42. (Previously Presented) The semiconductor device of claim 41, wherein a length of a side of the via and a length of a side of the dummy via are substantially equal to each other.

43. (Previously Presented) The semiconductor device of claim 27, wherein the first interconnect and the second interconnect extend in a same direction.

44. (Previously Presented) The semiconductor device of claim 27, wherein the dummy via is provided on an extended line along which the first interconnect extends.

45. (Previously Presented) The semiconductor device of claim 27, wherein the via is substantially circular in a plan view, and

a diameter of the via is substantially equal to a width of the first interconnect.

46. (Previously Presented) The semiconductor device of claim 27, wherein a planar shape of the via is substantially a square, and

a side of the via is substantially equal to a width of the first interconnect.

47. (Previously Presented) The semiconductor device of claim 28, wherein the dummy via is substantially circular in a plan view, and

a diameter of the dummy via is substantially equal to a width of the first dummy interconnect.

48. (Previously Presented) The semiconductor device of claim 28, wherein a planar shape of the dummy via is substantially a square, and

a side of the dummy via is substantially equal to a width of the first dummy interconnect.

49. (Previously Presented) The semiconductor device of claim 28, wherein each of the first interconnect and the first dummy interconnect is buried in an upper portion of the second insulating film.

50. (Previously Presented) The semiconductor device of claim 28, wherein a longer side of the first interconnect and a longer side of the first dummy interconnect form substantially a right angle.

51. (Previously Presented) The semiconductor device of claim 27, wherein the via and the dummy via are spaced at a distance of 25 μm or less.

52. (Previously Presented) The semiconductor device of claim 27, wherein the via and the dummy via are spaced at a distance of 1μm or less.

53. (Previously Presented) The semiconductor device of claim 27, wherein the distance between the via and the dummy via is substantially equal to a minimum interconnect width.

54. (Previously Presented) The semiconductor device of claim 27, wherein the dummy via is provided in plural.

55. (Withdrawn) The semiconductor device of claim 27, wherein a bottom of the dummy via is located deeper than a bottom of the via.

56. (Withdrawn) The semiconductor device of claim 27 further comprising a second insulating film formed on the semiconductor substrate,

wherein the first interconnect is formed on the second insulating film, and

a bottom of the dummy via is located in the second insulating film.

57. (Previously Presented) The semiconductor device of claim 27, wherein the via and the dummy via are substantially circular in a plan view, and

a diameter of the dummy via is smaller than a diameter of the via.

58. (Previously Presented) The semiconductor device of claim 27, wherein a planar shape of each of the via and the dummy via is substantially a square, and

a side of the dummy via is smaller than a side of the via.

59. (Previously Presented) The semiconductor device of claim 28, wherein the dummy via is substantially circular in a plan view, and

a diameter of the dummy via is smaller than a width of the first dummy interconnect.

60. (Previously Presented) The semiconductor device of claim 28, wherein a planar shape of the dummy via is substantially a square, and

a side of the dummy via is smaller than a width of the first dummy interconnect.

61. (Previously Presented) The semiconductor device of claim 27, wherein the dummy via is substantially rectangular in a plan view, and

a longer side of the dummy via in a plan view and a shorter side of the second interconnect are provided along a same direction.

62. (Previously Presented) The semiconductor device of claim 27, wherein a distance between the via and one end of the second interconnect is shorter than a distance between the dummy via and the one end of the second interconnect and shorter than a distance between the via and the other end of the second interconnect.

63. (Previously Presented) The semiconductor device of claim 27, wherein the dummy via is connected to the upper surface of the second interconnect.

64. (Previously Presented) The semiconductor device of claim 63, wherein the dummy via is formed in a third insulating film formed on the second interconnect.

65. (Previously Presented) The semiconductor device of claim 64, wherein the third insulating film has a multilayer structure including a SiN film and a SiO_2 film.

66. (Previously Presented) The semiconductor device of claim 63, wherein the dummy via includes a second barrier film and a second conductive film.

67. (Previously Presented) The semiconductor device of claim 66, wherein the second conductive film includes copper.

68. (Previously Presented) The semiconductor device of claim 63, wherein a second dummy interconnect is provided on the dummy via so as to come in contact with a top of the dummy via.

69. (Withdrawn) The semiconductor device of claim 27, wherein the second interconnect is comprised of a first interconnect portion and a second interconnect portion whose interconnect width is smaller than that of the first interconnect portion and which branches from the first interconnect portion, and

the via is connected to the second interconnect portion.

70. (Withdrawn) The semiconductor device of claim 69, wherein the dummy via is formed at or near the branch point between the first and second interconnect portions.

71. (Withdrawn) The semiconductor device of claim 69, wherein a width of the second interconnect portion is 0.2 μm or less.

72. (Withdrawn) The semiconductor device of claim 69, wherein the dummy via is substantially rectangular in a plan view, and

a longer side of the dummy via and a longer side of the first interconnect portion are provided along a same direction.

73-86. (Cancelled)

87. (Previously Presented) The semiconductor device of claim 27, wherein the dummy via and the second interconnect are made of the same conductive film.

88. (Previously Presented) The semiconductor device of claim 27, wherein the dummy via and the second interconnect include a Cu film.

89. (New) The semiconductor device of claim 27, wherein the second interconnect and the via form a dual damascene structure.

90. (New) The semiconductor device of claim 27, wherein the second interconnect and the dummy via form a dual damascene structure.

91. (New) The semiconductor device of claim 27, wherein the dummy via includes a first and second end, the first end connected to the second interconnect and the second end surrounded by a second insulating film.

92. (New) The semiconductor device of claim 27, wherein the dummy via includes a first and second end, the first end connected to the second interconnect and the second end connected to a first dummy interconnect, the first dummy interconnect being surrounded by a second insulating film.

REMARKS

Claim 27 is independent and stands rejected under 35 U.S.C. § 102 as being anticipated by He et al. '637 ("He"). This rejection is respectfully traversed for the following reasons.

Claim 27 recites in pertinent part, "wherein the dummy via is made of a conductive film and is arranged so as to be ***incapable*** of having current flow therethrough" (emphasis added). The Examiner broadly interprets the copper via 68 of He shown in Figure 7 thereof as the claimed "dummy via." However, via 68 of He is arranged to allow current to flow therethrough as part of a closed circuit. Via 68 is not a ***dummy*** via. In order to expedite prosecution, a telephone interview with Examiner Pham was conducted. Applicant and Applicant's representative would like to thank Examiner Pham for his courtesy in conducting the interview and for his assistance in resolving issues.

During the interview, Examiner Pham indicated that He discloses that the via 68 may not be used during operation based on a selected electrical path, by which via 68 allegedly would not have current flow therethrough. Based on this assertion, Examiner Pham indicated that in the instance when via 68 is not used, it can be interpreted as a dummy via because current is not flowing therethrough. Even assuming *arguendo* that the Examiner is correct in alleging that He discloses that via 68 may or may not have current flow therethrough, it is respectfully submitted that the Examiner's interpretation of a "dummy" via is not reasonable relative to the plain, ordinary meaning afforded a "dummy" via as understood in the art. Indeed, a "dummy" via would *never* constitute a closed-circuit during actual use and is therefore incapable of having current flow therethrough (as defined on page 5, lines 8-11 of Applicants' specification). In this regard, even the mere capability to have current flow through via 68 of He precludes via 68 from being a "dummy via."

Claim 27 has been amended to clarify the aforementioned distinction between the claimed "dummy via" and the via 68 of He. Specifically, claim 27 recites in pertinent part, "wherein the dummy via is made of a conductive film and is arranged so as to be ***incapable*** of having current flow therethrough" (emphasis added). In direct contrast, via 68 of He is arranged to be fully capable of having current flow therethrough.

As anticipation under 35 U.S.C. § 102 requires that each and every element of the claim be disclosed, either expressly or inherently (noting that "inherency may not be established by probabilities or possibilities", *Scaltech Inc. v. Retec/Tetra*, 178 F.3d 1378 (Fed. Cir. 1999)), in a single prior art reference, *Akzo N.V. v. U.S. Int'l Trade Commission*, 808 F.2d 1471 (Fed. Cir. 1986), based on the forgoing, it is submitted that He does not anticipate claim 27, nor any claim dependent thereon.

Under Federal Circuit guidelines, a dependent claim is nonobvious if the independent claim upon which it depends is allowable because all the limitations of the independent claim are contained in the dependent claims, *Hartness International Inc. v. Simplimatic Engineering Co.*, 819 F.2d at 1100, 1108 (Fed. Cir. 1987). Accordingly, as claim 27 is patentable for the reasons set forth above, it is respectfully submitted that all claims dependent thereon are also patentable. In addition, it is respectfully submitted that the dependent claims are patentable based on their own merits by adding novel and non-obvious features to the combination.

In this regard, it is respectfully requested that the non-elected withdrawn claims be rejoined as being dependent on an allowable claim.

Based on the foregoing, it is respectfully submitted that all pending claims are patentable over the cited prior art. Accordingly, it is respectfully requested that the rejections under 35 U.S.C. § 102/103 be withdrawn.

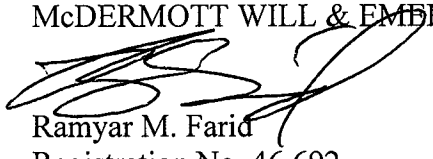
CONCLUSION

Having fully responded to all matters raised in the Office Action, Applicants submit that all claims are in condition for allowance, an indication for which is respectfully solicited. If there are any outstanding issues that might be resolved by an interview or an Examiner's amendment, the Examiner is requested to call Applicants' attorney at the telephone number shown below.

To the extent necessary, a petition for an extension of time under 37 C.F.R. 1.136 is hereby made. Please charge any shortage in fees due in connection with the filing of this paper, including extension of time fees, to Deposit Account 500417 and please credit any excess fees to such deposit account.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP



Ramyar M. Farid
Registration No. 46,692

Please recognize our Customer No. 53080 as our correspondence address.

600 13th Street, N.W.
Washington, DC 20005-3096
Phone: 202.756.8000 RMF:MaM
Facsimile: 202.756.8087
Date: June 11, 2008

Electronic Patent Application Fee Transmittal

Application Number:	11000904
Filing Date:	02-Dec-2004
Title of Invention:	SEMICONDUCTOR DEVICE HAVING VIA CONNECTING BETWEEN INTERCONNECTS
First Named Inventor/Applicant Name:	Takeshi Harada
Filer:	Michael E. Fogarty/Lynn Cruz-Boyden
Attorney Docket Number:	71971-064

Filed as Large Entity

Utility Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				
Extension - 1 month with $0 paid	1251	1	120	120

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Miscellaneous:				
			Total in USD ($)	**120**

Electronic Acknowledgement Receipt

EFS ID:	3441533
Application Number:	11000904
International Application Number:	
Confirmation Number:	7270
Title of Invention:	SEMICONDUCTOR DEVICE HAVING VIA CONNECTING BETWEEN INTERCONNECTS
First Named Inventor/Applicant Name:	Takeshi Harada
Customer Number:	20277
Filer:	Michael E. Fogarty/Lynn Cruz-Boyden
Filer Authorized By:	Michael E. Fogarty
Attorney Docket Number:	71971-064
Receipt Date:	11-JUN-2008
Filing Date:	02-DEC-2004
Time Stamp:	18:15:31
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Deposit Account
Payment was successfully received in RAM	$120
RAM confirmation Number	3759
Deposit Account	500417
Authorized User	

The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:

Charge any Additional Fees required under 37 C.F.R. Section 1.16 (National application filing, search, and examination fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.17 (Patent application and reexamination processing fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.19 (Document supply fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.20 (Post Issuance fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.21 (Miscellaneous fees and charges)

File Listing:

Document Number	Document Description	File Name	File Size(Bytes) /Message Digest	Multi Part /.zip	Pages (if appl.)
1		Amendment.pdf	416055 350ba32e573b72d08d8eae199f3efa0a8743533d	yes	14

Multipart Description/PDF files in .zip description

Document Description	Start	End
Extension of Time	1	1
Amendment - After Non-Final Rejection	2	2
Claims	3	11
Applicant Arguments/Remarks Made in an Amendment	12	14

Warnings:

Information:

2	Fee Worksheet (PTO-06)	fee-info.pdf	8183 477b06c99086e0d6b81c1634fc1c4a90da46aae2	no	2

Warnings:

Information:

Total Files Size (in bytes):	424238

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Docket No.: 071971-0064 **PATENT**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 53080
Takeshi HARADA	:	Confirmation Number: 7270
Application No.: 11/000,904	:	Group Art Unit: 2823
Filed: December 02, 2004	:	Examiner: Thanh V. Pham

For: SEMICONDUCTOR DEVICE HAVING VIA CONNECTING BETWEEN INTERCONNECTS (AS AMENDED)

PETITION FOR EXTENSION OF TIME

Mail Stop Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

It is respectfully requested that the time for response to the Office Action dated February 11, 2008, now due to expire May 11, 2008, be extended for one month and set to expire on June 11, 2008.

Please charge the extension fee of $120.00 to Deposit Account No. 500417. Please charge any additional fees or credit any overpayment to Deposit Account No. 500417.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP

Ramyar M. Farid
Registration No. 46,692

600 13th Street, N.W.
Washington, DC 20005-3096
Phone: 202.756.8000 RMF:lcb
Facsimile: 202.756.8087

Please recognize our Customer No. 53080 as our correspondence address.

Date: June 11, 2008

WDC99 1578766-1.071971.0064

PTO/SB/06 (07-06)
Approved for use through 1/31/2007. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875

Application or Docket Number	Filing Date	☐ To be Mailed
11/000,904	12/02/2004	

APPLICATION AS FILED – PART I

FOR	(Column 1) NUMBER FILED	(Column 2) NUMBER EXTRA	SMALL ENTITY ☐ RATE ($)	SMALL ENTITY FEE ($)	OR	OTHER THAN SMALL ENTITY RATE ($)	OTHER THAN SMALL ENTITY FEE ($)
☐ BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A	
☐ SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A			N/A	
☐ EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A	
TOTAL CLAIMS (37 CFR 1.16(i))	minus 20 =	*	X $ =		OR	X $ =	
INDEPENDENT CLAIMS (37 CFR 1.16(h))	minus 3 =	*	X $ =			X $ =	
☐ APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $250 ($125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).						
☐ MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))							
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL	

APPLICATION AS AMENDED – PART II

AMENDMENT 06/11/2008	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE ($)	SMALL ENTITY ADDITIONAL FEE ($)	OR	OTHER THAN SMALL ENTITY RATE ($)	OTHER THAN SMALL ENTITY ADDITIONAL FEE ($)
Total (37 CFR 1.16(i))	* 50	Minus	** 62	= 0	X $ =		OR	X $50=	0
Independent (37 CFR 1.16(h))	* 1	Minus	***7	= 0	X $ =		OR	X $210=	0
☐ Application Size Fee (37 CFR 1.16(s))									
☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
					TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	0

AMENDMENT	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	RATE ($)	ADDITIONAL FEE ($)		RATE ($)	ADDITIONAL FEE ($)
Total (37 CFR 1.16(i))	*	Minus	**	=	X $ =		OR	X $ =	
Independent (37 CFR 1.16(h))	*	Minus	***	=	X $ =		OR	X $ =	
☐ Application Size Fee (37 CFR 1.16(s))									
☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
					TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.

** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".

*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".

The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

Legal Instrument Examiner:
/CORALIA BETANCOURT/

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

20277 7590 08/01/2008

MCDERMOTT WILL & EMERY LLP
600 13TH STREET, N.W.
WASHINGTON, DC 20005-3096

EXAMINER	
PHAM, THANH V	
ART UNIT	PAPER NUMBER
2894	

DATE MAILED: 08/01/2008

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/000,904	12/02/2004	Takeshi Harada	71971-064	7270

TITLE OF INVENTION: SEMICONDUCTOR DEVICE HAVING VIA CONNECTING BETWEEN INTERCONNECTS

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	$1440	$300	$0	$1740	11/03/2008

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE DOES NOT REFLECT A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE IN THIS APPLICATION. IF AN ISSUE FEE HAS PREVIOUSLY BEEN PAID IN THIS APPLICATION (AS SHOWN ABOVE), THE RETURN OF PART B OF THIS FORM WILL BE CONSIDERED A REQUEST TO REAPPLY THE PREVIOUSLY PAID ISSUE FEE TOWARD THE ISSUE FEE NOW DUE.

HOW TO REPLY TO THIS NOTICE:

I. Review the SMALL ENTITY status shown above.

If the SMALL ENTITY is shown as YES, verify your current SMALL ENTITY status:

A. If the status is the same, pay the TOTAL FEE(S) DUE shown above.

B. If the status above is to be removed, check box 5b on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and twice the amount of the ISSUE FEE shown above, or

If the SMALL ENTITY is shown as NO:

A. Pay TOTAL FEE(S) DUE shown above, or

B. If applicant claimed SMALL ENTITY status before, or is now claiming SMALL ENTITY status, check box 5a on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and 1/2 the ISSUE FEE shown above.

II. PART B - FEE(S) TRANSMITTAL, or its equivalent, must be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed and an extra copy of the form should be submitted. If an equivalent of Part B is filed, a request to reapply a previously paid issue fee must be clearly made, and delays in processing may occur due to the difficulty in recognizing the paper as an equivalent of Part B.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Utility patents issuing on applications filed on or after Dec. 12, 1980 may require payment of maintenance fees. It is patentee's responsibility to ensure timely payment of maintenance fees when due.

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: Mail **Mail Stop ISSUE FEE**
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or Fax (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

20277 7590 08/01/2008

MCDERMOTT WILL & EMERY LLP
600 13TH STREET, N.W.
WASHINGTON, DC 20005-3096

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/000,904	12/02/2004	Takeshi Harada	71971-064	7270

TITLE OF INVENTION: SEMICONDUCTOR DEVICE HAVING VIA CONNECTING BETWEEN INTERCONNECTS

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	$1440	$300	$0	$1740	11/03/2008

EXAMINER	ART UNIT	CLASS-SUBCLASS
PHAM, THANH V	2894	257-758000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

❑ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.

❑ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list

(1) the names of up to 3 registered patent attorneys or agents OR, alternatively,

(2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 _____

2 _____

3 _____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE (B) RESIDENCE: (CITY and STATE OR COUNTRY)

Please check the appropriate assignee category or categories (will not be printed on the patent) : ❑ Individual ❑ Corporation or other private group entity ❑ Government

4a. The following fee(s) are submitted:

❑ Issue Fee

❑ Publication Fee (No small entity discount permitted)

❑ Advance Order - # of Copies _____

4b. Payment of Fee(s): **(Please first reapply any previously paid issue fee shown above)**

❑ A check is enclosed.

❑ Payment by credit card. Form PTO-2038 is attached.

❑ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment, to Deposit Account Number _____ (enclose an extra copy of this form).

5. **Change in Entity Status** (from status indicated above)

❑ a. Applicant claims SMALL ENTITY status. See 37 CFR 1.27.

❑ b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature _____ Date _____

Typed or printed name _____ Registration No. _____

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/000,904	12/02/2004	Takeshi Harada	71971-064	7270

20277 7590 08/01/2008

MCDERMOTT WILL & EMERY LLP
600 13TH STREET, N.W.
WASHINGTON, DC 20005-3096

EXAMINER	
PHAM, THANH V	
ART UNIT	PAPER NUMBER
2894	

DATE MAILED: 08/01/2008

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment to date is 306 day(s). If the issue fee is paid on the date that is three months after the mailing date of this notice and the patent issues on the Tuesday before the date that is 28 weeks (six and a half months) after the mailing date of this notice, the Patent Term Adjustment will be 306 day(s).

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at 1-(888)-786-0101 or (571)-272-4200.

Notice of Allowability	Application No.	Applicant(s)	
	11/000,904	HARADA, TAKESHI	
	Examiner	Art Unit	
	THANH Van PHAM	2894	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☒ This communication is responsive to *Amendment filed 06/11/2008*.

2. ☒ The allowed claim(s) is/are *27,28,31-72,87,88,91 and 92*.

3. ☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
   a) ☒ All b) ☐ Some* c) ☐ None of the:
      1. ☒ Certified copies of the priority documents have been received.
      2. ☐ Certified copies of the priority documents have been received in Application No. _____ .
      3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

   * Certified copies not received: _____.

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

4. ☐ A SUBSTITUTE OATH OR DECLARATION must be submitted. Note the attached EXAMINER'S AMENDMENT or NOTICE OF INFORMAL PATENT APPLICATION (PTO-152) which gives reason(s) why the oath or declaration is deficient.

5. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
   (a) ☐ including changes required by the Notice of Draftsperson's Patent Drawing Review (PTO-948) attached
      1) ☐ hereto or 2) ☐ to Paper No./Mail Date _____.
   (b) ☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____.

   Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).

6. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

1. ☐ Notice of References Cited (PTO-892)
2. ☐ Notice of Draftperson's Patent Drawing Review (PTO-948)
3. ☐ Information Disclosure Statements (PTO/SB/08), Paper No./Mail Date _____
4. ☐ Examiner's Comment Regarding Requirement for Deposit of Biological Material
5. ☐ Notice of Informal Patent Application
6. ☐ Interview Summary (PTO-413), Paper No./Mail Date _____ .
7. ☒ Examiner's Amendment/Comment
8. ☒ Examiner's Statement of Reasons for Allowance
9. ☐ Other _____.

EXAMINER'S AMENDMENT

1. An examiner's amendment to the record appears below. Should the changes and/or additions be unacceptable to applicant, an amendment may be filed as provided by 37 CFR 1.312. To ensure consideration of such an amendment, it MUST be submitted no later than the payment of the issue fee.

Authorization for this examiner's amendment was given in a telephone interview with Ramyar M. Farid on 07/29/2008.

The application has been amended as follows: based on the amendment filed 06/11/2008, in claim 1, line 10, after "therethrough", insert back the deleted limitations of

--;

the second interconnect and the via form a dual damascene structure, and

the second interconnect and the dummy via from a dual damascene structure--;

Cancel claims 89 and 90;

2. Claims 27-28, 31-54, 57-68, 87-88 and 91-92 are allowable. Claims 55-56 and 69-72 are, previously withdrawn from consideration as a result of a restriction requirement, require all the limitations of an allowable claim. Pursuant to the procedures set forth in MPEP § 821.04(a), **the restriction requirement amongst inventions species, as set forth in the Office action mailed on 01/05/2007, is hereby withdrawn** and claims 55-56 and 69-72 are hereby rejoined and fully examined for patentability under 37 CFR 1.104. In view of the withdrawal of the restriction requirement, applicant(s) are advised that if any claim presented in a continuation or divisional application is anticipated by, or includes all the limitations of, a claim that is

allowable in the present application, such claim may be subject to provisional statutory and/or nonstatutory double patenting rejections over the claims of the instant application. Once the restriction requirement is withdrawn, the provisions of 35 U.S.C. 121 are no longer applicable. See *In re Ziegler*, 443 F.2d 1211, 1215, 170 USPQ 129, 131-32 (CCPA 1971). See also MPEP § 804.01.

3. **Claims 27-28, 31-72, 87-88 and 91-92 are allowed**.

4. The following is an examiner's statement of reasons for allowance: the cited prior art, individually or in combination, does not disclose or suggest all of the claimed elements in the present application wherein, amongst other limitations, the formed dummy via made of a conductive film and being arranged as in the context of claim 27.

Any comments considered necessary by applicant must be submitted no later than the payment of the issue fee and, to avoid processing delays, should preferably accompany the issue fee. Such submissions should be clearly labeled "Comments on Statement of Reasons for Allowance."

5. Any inquiry concerning this communication or earlier communications from the examiner should be directed to THANH Van PHAM whose telephone number is (571) 272-1866. The examiner can normally be reached on M-T (6:30-5:00).

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Sue A. Purvis can be reached on 571-272-1236. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

07/29/2008 /THANH Van PHAM/
Primary Examiner, Art Unit 2894

Index of Claims	Application/Control No.	Applicant(s)/Patent Under Reexamination
	11000904	HARADA, TAKESHI
	Examiner	Art Unit
	THANH V PHAM	2894

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

☐ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

CLAIM		DATE								
Final	Original	07/30/2008								
	1	-								
	2	-								
	3	-								
	4	-								
	5	-								
	6	-								
	7	-								
	8	-								
	9	-								
	10	-								
	11	-								
	12	-								
	13	-								
	14	-								
	15	-								
	16	-								
	17	-								
	18	-								
	19	-								
	20	-								
	21	-								
	22	-								
	23	-								
	24	-								
	25	-								
	26	-								
1	27	=								
2	28	=								
	29	-								
	30	-								
11	31	=								
12	32	=								
13	33	=								
14	34	=								
15	35	=								
16	36	=								

Index of Claims	Application/Control No.	Applicant(s)/Patent Under Reexamination
	11000904	HARADA, TAKESHI
	Examiner	Art Unit
	THANH V PHAM	2894

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

☐ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

CLAIM		DATE								
Final	Original	07/30/2008								
3	37	=								
4	38	=								
17	39	=								
18	40	=								
19	41	=								
20	42	=								
21	43	=								
22	44	=								
23	45	=								
24	46	=								
5	47	=								
6	48	=								
7	49	=								
8	50	=								
25	51	=								
26	52	=								
27	53	=								
28	54	=								
43	55	=								
44	56	=								
29	57	=								
30	58	=								
9	59	=								
10	60	=								
31	61	=								
32	62	=								
33	63	=								
34	64	=								
35	65	=								
36	66	=								
37	67	=								
38	68	=								
45	69	=								
46	70	=								
47	71	=								
48	72	=								

Index of Claims	Application/Control No.	Applicant(s)/Patent Under Reexamination
	11000904	HARADA, TAKESHI
	Examiner	Art Unit
	THANH V PHAM	2894

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

☐ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

CLAIM		DATE								
Final	Original	07/30/2008								
	73	-								
	74	-								
	75	-								
	76	-								
	77	-								
	78	-								
	79	-								
	80	-								
	81	-								
	82	-								
	83	-								
	84	-								
	85	-								
	86	-								
39	87	=								
40	88	=								
	89	-								
	90	-								
41	91	=								
42	92	=								

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

BIB DATA SHEET

CONFIRMATION NO. 7270

SERIAL NUMBER	FILING or 371(c) DATE RULE	CLASS	GROUP ART UNIT	ATTORNEY DOCKET NO.
11/000,904	12/02/2004	438	2894	71971-064

APPLICANTS
Takeshi Harada, Niigata, JAPAN;

**** CONTINUING DATA ***************************

**** FOREIGN APPLICATIONS ***************************
JAPAN 2003-404437 12/03/2003

**** IF REQUIRED, FOREIGN FILING LICENSE GRANTED ****
02/18/2005

Foreign Priority claimed ☑ Yes ☐ No 35 USC 119(a-d) conditions met ☑ Yes ☐ No Verified and Acknowledged /THANH V PHAM/ Examiner's Signature	☐ Met after Allowance Initials	STATE OR COUNTRY	SHEETS DRAWINGS	TOTAL CLAIMS	INDEPENDENT CLAIMS
		JAPAN	18	26	7

ADDRESS

MCDERMOTT WILL & EMERY LLP
600 13TH STREET, N.W.
WASHINGTON, DC 20005-3096
UNITED STATES

TITLE

SEMICONDUCTOR DEVICE HAVING VIA CONNECTING BETWEEN INTERCONNECTS

FILING FEE RECEIVED		
3450	FEES: Authority has been given in Paper No._____ to charge/credit DEPOSIT ACCOUNT No._____ for following:	☐ All Fees ☐ 1.16 Fees (Filing) ☐ 1.17 Fees (Processing Ext. of time) ☐ 1.18 Fees (Issue) ☐ Other _____ ☐ Credit

EAST Search History

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
S2	2	("20020145201" | "5783864").PN.	US-PGPUB; USPAT	OR	OFF	2007/04/26 14:43
S3	2	("20020145201" | "5783864").PN.	US-PGPUB; USPAT	OR	OFF	2007/04/27 11:30
S4	1	"4899439".PN.	USPAT; USOCR	OR	OFF	2007/04/27 09:27
S5	1	"4920639".PN.	USPAT; USOCR	OR	OFF	2007/04/27 09:27
S6	1	"5117276".PN.	USPAT; USOCR	OR	OFF	2007/05/14 15:19
S7	1	"5386142".PN.	USPAT; USOCR	OR	OFF	2007/04/27 09:28
S8	1	"5567982".PN.	USPAT; USOCR	OR	OFF	2007/04/27 09:28
S9	1	"6977224".PN.	US-PGPUB; USPAT	OR	OFF	2007/04/27 11:30
S10	81496	(circular cicle) same (square rectangular) same (plug connect$3)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/04/27 13:42
S11	7358	interconnect same damascene	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/04/27 13:43
S12	27	S10 and S11	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/04/27 13:53
S13	4	("6211063" | "6461955" | "6482733" | "6689684").PN.	USPAT	OR	OFF	2007/04/27 13:53
S14	1	"6919637".PN.	USPAT; USOCR	OR	OFF	2007/05/14 15:19
S15	5	("20020027286" | "20020189763" | "6265315" | "6280640" | "6426299").PN.	US-PGPUB; USPAT	OR	OFF	2007/05/15 08:50

7/30/08 7:27:58 AM
C:\Documents and Settings\tpham8\My Documents\EAST\Workspaces\11000904.wsp

Issue Classification

Application/Control No.	Applicant(s)/Patent Under Reexamination
11000904	HARADA, TAKESHI
Examiner	**Art Unit**
THANH V PHAM	2894

ORIGINAL		INTERNATIONAL CLASSIFICATION	
CLASS	SUBCLASS	CLAIMED	NON-CLAIMED
257	758	H 0 1 L 29 / 40 (2006.01)	

CROSS REFERENCE(S)

CLASS	SUBCLASS (ONE SUBCLASS PER BLOCK)				
257	750	752	758	773	774
257	775	776	E23.145	E29.119	
438	598	601	623		

NONE (Assistant Examiner) (Date)		Total Claims Allowed: 42	
/THANH V PHAM/ (Primary Examiner)	07/30/2008 (Date)	O.G. Print Claim(s) 1	O.G. Print Figure 2B,8A,15B

U.S. Patent and Trademark Office

Part of Paper No. 20080729

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	11000904	HARADA, TAKESHI
	Examiner	Art Unit
	THANH V PHAM	2894

SEARCHED			
Class	Subclass	Date	Examiner
257	750, 752, 758, 773, 774, 775, 776, E23.145, E29.119	07/23/2008	TvP

SEARCH NOTES		
Search Notes	Date	Examiner
EAST	7/08	TvP

INTERFERENCE SEARCH			
Class	Subclass	Date	Examiner
257	758, 774	07/30/200/	TvP

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: Mail Mail Stop ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or Fax (571)-273-2885

OIPE JAP69 SEP 15 2008 PATENT & TRADEMARK OFFICE

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

20277 7590 08/01/2008

MCDERMOTT WILL & EMERY LLP
600 13TH STREET, N.W.
WASHINGTON, DC 20005-3096

Customer No.: 53080

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission
I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/000,904	12/02/2004	Takeshi Harada	71971-064	7270

TITLE OF INVENTION: SEMICONDUCTOR DEVICE HAVING VIA CONNECTING BETWEEN INTERCONNECTS

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	$1440	$300	$0	$1740	11/03/2008

09/16/2008 WABDELR3 00000030 500417 11000904
01 FC:1501 1440.00 DA
02 FC:1504 300.00 DA
03 FC:8001 12.00 DA

EXAMINER	ART UNIT	CLASS-SUBCLASS
PHAM, THANH V	2894	257-758000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).
☐ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.
☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list
(1) the names of up to 3 registered patent attorneys or agents OR, alternatively,
(2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 McDERMOTT WILL &
EMERY LLP
2
3

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE (B) RESIDENCE: (CITY and STATE OR COUNTRY)

MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. Osaka JAPAN

Please check the appropriate assignee category or categories (will not be printed on the patent) : ☐ Individual ☒ Corporation or other private group entity ☐ Government

4a. The following fee(s) are submitted:
☒ Issue Fee
☒ Publication Fee (No small entity discount permitted)
☒ Advance Order - # of Copies Four (4)

4b. Payment of Fee(s): **(Please first reapply any previously paid issue fee shown above)**
☐ A check is enclosed.
☐ Payment by credit card. Form PTO-2038 is attached.
☒ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment, to Deposit Account Number 500417 (enclose an extra copy of this form).

5. **Change in Entity Status** (from status indicated above)
☐ a. Applicant claims SMALL ENTITY status. See 37 CFR 1.27.
☐ b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature _____ Date September 15, 2008

Typed or printed name Michael E. Fogarty Registration No. 36,139

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PART B - FEE(S) TRANSMITTAL

U.S.P.T.O. SEP 15 2008 PATENT & TRADEMARK OFFICE

Complete and send this form, together with applicable fee(s), to: Mail Mail Stop ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or Fax (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

20277 7590 08/01/2008

MCDERMOTT WILL & EMERY LLP
600 13TH STREET, N.W.
WASHINGTON, DC 20005-3096

Customer No.: 53080

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/000,904	12/02/2004	Takeshi Harada	71971-064	7270

TITLE OF INVENTION: SEMICONDUCTOR DEVICE HAVING VIA CONNECTING BETWEEN INTERCONNECTS

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	$1440	$300	$0	$1740	11/03/2008

EXAMINER	ART UNIT	CLASS-SUBCLASS
PHAM, THANH V	2894	257-758000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).
   - ☐ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.
   - ☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list
   (1) the names of up to 3 registered patent attorneys or agents OR, alternatively,
   (2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.
   1 McDERMOTT WILL & EMERY LLP
   2
   3

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE (B) RESIDENCE: (CITY and STATE OR COUNTRY)

MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. Osaka JAPAN

Please check the appropriate assignee category or categories (will not be printed on the patent) : ☐ Individual ☒ Corporation or other private group entity ☐ Government

4a. The following fee(s) are submitted:
- ☒ Issue Fee
- ☒ Publication Fee (No small entity discount permitted)
- ☒ Advance Order - # of Copies Four (4)

4b. Payment of Fee(s): **(Please first reapply any previously paid issue fee shown above)**
- ☐ A check is enclosed.
- ☐ Payment by credit card. Form PTO-2038 is attached.
- ☒ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment, to Deposit Account Number 500417 (enclose an extra copy of this form).

5. **Change in Entity Status** (from status indicated above)
- ☐ a. Applicant claims SMALL ENTITY status. See 37 CFR 1.27.
- ☐ b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature _____ Date September 15, 2008

Typed or printed name Michael E. Fogarty Registration No. 36,139

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

Bib Data Sheet

CONFIRMATION NO. 7270

SERIAL NUMBER	FILING OR 371(c) DATE	CLASS	GROUP ART UNIT	ATTORNEY DOCKET NO.
11/000,904	12/02/2004 RULE	257	2894	71971-064

APPLICANTS
Takeshi Harada, Niigata, JAPAN;

** CONTINUING DATA **********

** FOREIGN APPLICATIONS **********
JAPAN 2003-404437 12/03/2003

IF REQUIRED, FOREIGN FILING LICENSE GRANTED
** 02/18/2005

		STATE OR COUNTRY	SHEETS DRAWING	TOTAL CLAIMS	INDEPENDENT CLAIMS
Foreign Priority claimed	☐ yes ☐ no	JAPAN	18	26	7
35 USC 119 (a-d) conditions met	☐ yes ☐ no ☐ Met after Allowance				
Verified and Acknowledged	Examiner's Signature Initials				

ADDRESS
53080

TITLE
SEMICONDUCTOR DEVICE HAVING VIA CONNECTING BETWEEN INTERCONNECTS

FILING FEE RECEIVED		
3750	FEES: Authority has been given in Paper No. _____ to charge/credit DEPOSIT ACCOUNT No. _____ for following:	☐ All Fees ☐ 1.16 Fees (Filing) ☐ 1.17 Fees (Processing Ext. of time) ☐ 1.18 Fees (Issue) ☐ Other _____ ☐ Credit

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	ISSUE DATE	PATENT NO.	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/000,904	10/21/2008	7439623	71971-064	7270

53080 7590 10/01/2008

MCDERMOTT WILL & EMERY LLP
600 13TH STREET, NW
WASHINGTON, DC 20005-3096

ISSUE NOTIFICATION

The projected patent number and issue date are specified above.

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment is 306 day(s). Any patent to issue from the above-identified application will include an indication of the adjustment on the front page.

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at (571)-272-4200.

APPLICANT(s) (Please see PAIR WEB site http://pair.uspto.gov for additional applicants):

Takeshi Harada, Niigata, JAPAN;

PTO/AIA/81A (02-15)
Approved for use through 03/31/2021. OMB 0651-0035
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995 no persons are required to respond to a collection of information unless it displays a valid OMB control number

PATENT - POWER OF ATTORNEY OR REVOCATION OF POWER OF ATTORNEY WITH A NEW POWER OF ATTORNEY AND CHANGE OF CORRESPONDENCE ADDRESS

Patent Number	7439623
Issue Date	October 21, 2008
First Named Inventor	Takeshi Harada
Title	SEMICONDUCTOR DEVICE HAVING VIA CONNECTING BETWEEN INTERCONNECTS
Attorney Docket No.	0889-04193

I hereby revoke all previous powers of attorney given in the above-identified patent.

☐ A Power of Attorney is submitted herewith.

OR

☒ I hereby appoint Practitioner(s) associated with the Customer Number identified in the box at right as my/our attorney(s) or agent(s) with respect to the patent identified above, and to transact all business in the United States Patent and Trademark Office connected therewith: 27197

OR

☐ I hereby appoint Practitioner(s) named below as my/our attorney(s) or agent(s) with respect to the patent identified above, and to transact all business in the United States Patent and Trademark Office connected therewith:

Practitioner(s) Name	Registration Number

Please recognize or change the correspondence address for the above-identified patent to:

☒ The address associated with the above-identified Customer Number.

OR

☐ The address associated with the Customer Number identified in the box at right:

OR

☐ Firm or Individual Name					
Address					
City		State		Zip	
Country					
Telephone		Email			

I am the:

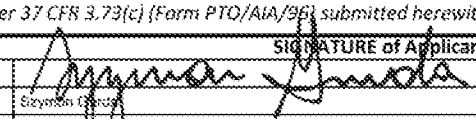
☐ Applicant.

OR

☒ Patent owner.

Statement under 37 CFR 3.73(c) (Form PTO/AIA/96) submitted herewith or filed on _____.

SIGNATURE of Applicant or Patent Owner

Signature		Date	November 18, 2024
Name	Szymon Gerc	Telephone	
Title and Company	Authorized Signatory, ADVANCED INTEGRATED CIRCUIT PROCESS LLC		

NOTE: Signatures of all the applicants or patent owners of the entire interest or their representative(s) are required. If more than one signature is required, submit multiple forms, check the box below, and identify the total number of forms submitted in the blank below.

☐ A total of _____ forms are submitted.

This collection of information is required by 37 CFR 1.31, 1.32, and 1.33. The information is required to obtain or retain a benefit by the public, which is to update (and by the USPTO to process) the file of a patent or reexamination proceeding. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 3 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Privacy Act Statement

The **Privacy Act of 1974 (P.L. 93-579)** requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (*i.e.*, GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

UNITED STATES
PATENT AND TRADEMARK OFFICE

P.O. Box 1450
Alexandria, VA 22313 - 1450
www.uspto.gov

ELECTRONIC ACKNOWLEDGEMENT RECEIPT

APPLICATION #	RECEIPT DATE / TIME	ATTORNEY DOCKET #
11/000,904	**11/18/2024 06:59:20 PM Z ET**	**71971-064**

Title of Invention

SEMICONDUCTOR DEVICE HAVING VIA CONNECTING BETWEEN INTERCONNECTS

Application Information

APPLICATION TYPE	Utility - Nonprovisional Application under 35 USC 111(a)	PATENT #	7439623
CONFIRMATION #	7270	FILED BY	Yi Lu
PATENT CENTER #	68011925	FILING DATE	12/02/2004
CUSTOMER #	53080	FIRST NAMED INVENTOR	Takeshi Harada
CORRESPONDENCE ADDRESS	-	AUTHORIZED BY	Szymon Gurda

Documents

TOTAL DOCUMENTS: 2

DOCUMENT	PAGES	DESCRIPTION	SIZE (KB)
POA.pdf	2	Power of Attorney	1167 KB
aia0096-7439623.pdf	3	Assignee showing of ownership per 37 CFR 3.73	121 KB

Digest

DOCUMENT	MESSAGE DIGEST(SHA-512)
POA.pdf	A892831912DB61D02909980587B7AC6C6146DF524E9E902579 7EEA73DD8E792EFA7B804D7C0D51653035B725DFD8E5FA4A 5C42ED1E4F2530369BF0FAEF42863C
aia0096-7439623.pdf	2714C7831085BB3732ACBA58E57B6C27BA000FBE359ECC891 1AD6B8DF43E4E23F8D5351CFA1FBD028449BD705E48719A2

C12FACE07158A1D7FBA5494F2CE4FD2

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

PTO/AIA/96 (08-12)
Approved for use through 01/31/2013. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

STATEMENT UNDER 37 CFR 3.73(c)

Applicant/Patent Owner: ADVANCED INTEGRATED CIRCUIT PROCESS LLC

Application No./Patent No.: 7439623 Filed/Issue Date: October 21, 2008

Titled: SEMICONDUCTOR DEVICE HAVING VIA CONNECTING BETWEEN INTERCONNECTS

ADVANCED INTEGRATED CIRCUIT PROCESS LLC, a corporation

(Name of Assignee) (Type of Assignee, e.g., corporation, partnership, university, government agency, etc.)

states that, for the patent application/patent identified above, it is (choose **one** of options 1, 2, 3 or 4 below):

1. ☑ The assignee of the entire right, title, and interest.

2. ☐ An assignee of less than the entire right, title, and interest (check applicable box):

   ☐ The extent (by percentage) of its ownership interest is _____%. Additional Statement(s) by the owners holding the balance of the interest must be submitted to account for 100% of the ownership interest.

   ☐ There are unspecified percentages of ownership. The other parties, including inventors, who together own the entire right, title and interest are:

   Additional Statement(s) by the owner(s) holding the balance of the interest must be submitted to account for the entire right, title, and interest.

3. ☐ The assignee of an undivided interest in the entirety (a complete assignment from one of the joint inventors was made). The other parties, including inventors, who together own the entire right, title, and interest are:

   Additional Statement(s) by the owner(s) holding the balance of the interest must be submitted to account for the entire right, title, and interest.

4. ☐ The recipient, via a court proceeding or the like (*e.g.*, bankruptcy, probate), of an undivided interest in the entirety (a complete transfer of ownership interest was made). The certified document(s) showing the transfer is attached.

The interest identified in option 1, 2 or 3 above (not option 4) is evidenced by either (choose **one** of options A or B below):

A. ☐ An assignment from the inventor(s) of the patent application/patent identified above. The assignment was recorded in the United States Patent and Trademark Office at Reel _____, Frame _____, or for which a copy thereof is attached.

B. ☑ A chain of title from the inventor(s), of the patent application/patent identified above, to the current assignee as follows:

1. From: the inventor(s) To: MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.

   The document was recorded in the United States Patent and Trademark Office at

   Reel 016067, Frame 0624, or for which a copy thereof is attached.

2. From: MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. To: PANASONIC CORPORATION

   The document was recorded in the United States Patent and Trademark Office at

   Reel 022434, Frame 0348, or for which a copy thereof is attached.

This collection of information is required by 37 CFR 3.73(b). The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450**.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

STATEMENT UNDER 37 CFR 3.73(c)

3. From: PANASONIC CORPORATION To: PANASONIC SEMICONDUCTOR SOLUTIONS CO., LTD.

The document was recorded in the United States Patent and Trademark Office at
Reel 052755, Frame 0917, or for which a copy thereof is attached.

4. From: PANASONIC SEMICONDUCTOR SOLUTIONS CO., LTD. To: NUVOTON TECHNOLOGY CORPORATION JAPAN

The document was recorded in the United States Patent and Trademark Office at
Reel 067711, Frame 0965, or for which a copy thereof is attached.

5. From: NUVOTON TECHNOLOGY CORPORATION JAPAN To: ADVANCED INTEGRATED CIRCUIT PROCESS LLC

The document was recorded in the United States Patent and Trademark Office at
Reel 068118, Frame 0314, or for which a copy thereof is attached.

6. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at
Reel _____, Frame _____, or for which a copy thereof is attached.

☐ Additional documents in the chain of title are listed on a supplemental sheet(s).

☐ As required by 37 CFR 3.73(c)(1)(i), the documentary evidence of the chain of title from the original owner to the assignee was, or concurrently is being, submitted for recordation pursuant to 37 CFR 3.11.

[NOTE: A separate copy (i.e., a true copy of the original assignment document(s)) must be submitted to Assignment Division in accordance with 37 CFR Part 3, to record the assignment in the records of the USPTO. See MPEP 302.08]

The undersigned (whose title is supplied below) is authorized to act on behalf of the assignee.

/Szymon M. Gurda/	November 18, 2024
Signature	Date
Szymon M. Gurda	58451
Printed or Typed Name	Title or Registration Number

Privacy Act Statement

The **Privacy Act of 1974 (P.L. 93-579)** requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (*i.e.*, GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
11/000,904	12/02/2004	Takeshi Harada	71971-064

CONFIRMATION NO. 7270

27197
MICHAEL J. CHERSKOV
SZYMON M. GURDA
903 COMMERCE DR
SUITE 310
OAK BROOK, IL 60523

POA ACCEPTANCE LETTER

OC000000080936492

Date Mailed: 11/22/2024

NOTICE OF ACCEPTANCE OF POWER OF ATTORNEY

This is in response to the Power of Attorney filed 11/18/2024.

The Power of Attorney in this application is accepted. Correspondence in this application will be mailed to the above address as provided by 37 CFR 1.33.

Questions about the contents of this notice and the requirements it sets forth should be directed to the Office of Data Management, Application Assistance Unit, at **(571) 272-4000** or **(571) 272-4200** or **1-888-786-0101**.

/sltorres/

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
11/000,904	12/02/2004	Takeshi Harada	71971-064

CONFIRMATION NO. 7270

53080
Rimon PC - Panasonic Corporation
8300 Greensboro Dr.
Suite 500
McLean, VA 22102

POWER OF ATTORNEY NOTICE

OC000000080936463

Date Mailed: 11/22/2024

NOTICE REGARDING CHANGE OF POWER OF ATTORNEY

This is in response to the Power of Attorney filed 11/18/2024.

- The Power of Attorney to you in this application has been revoked by the applicant. Future correspondence will be mailed to the new address of record(37 CFR 1.33).

Questions about the contents of this notice and the requirements it sets forth should be directed to the Office of Data Management, Application Assistance Unit, at **(571) 272-4000** or **(571) 272-4200** or **1-888-786-0101**.

/sltorres/