

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-277609
(P2000-277609A)

(43) 公開日 平成12年10月6日 (2000. 10. 6)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
H 0 1 L 21/768		H 0 1 L 21/90	A 5 F 0 0 4
21/3065		21/302	M 5 F 0 3 3

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願平11-83090

(22) 出願日 平成11年3月26日 (1999. 3. 26)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 成田 雅貴

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74) 代理人 100083161

弁理士 外川 英明

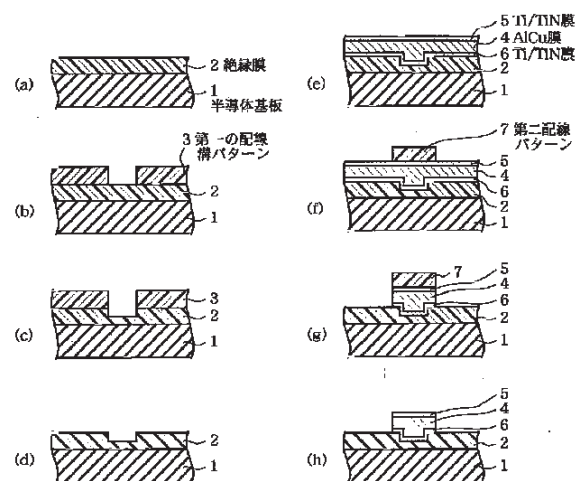
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 微細でかつ膜厚の厚い金属配線膜が得られる半導体の製造方法を提供する。

【解決手段】 半導体基板1上に形成された絶縁膜2上に第1の配線溝パターン形成に必要な第1のレジストマスクパターン3を形成し、絶縁膜2にR I E法等で配線溝のパターンを形成後、不要となったレジストパターンを除去し、溝パターンが形成された絶縁膜上に配線材料金属膜(4、5、6)を成膜し、該金属層上に第2の配線パターン形成に必要な第2のレジストマスクパターン7を形成し、R I E法で配線形成を行うことを特徴としたものである。



【特許請求の範囲】

【請求項1】半導体基板上に絶縁膜を形成した後、該絶縁膜上にレジストにより第一の配線溝パターンを形成する工程と、該第一の配線溝パターンをマスクとして絶縁膜に配線溝を形成する工程と、該配線溝パターン除去後、配線溝を形成した絶縁膜上に配線材料の金属層を形成する工程と、該金属層上に第二の配線パターンを形成する工程と、該第二の配線パターンをマスクとしてR I Eにより配線を形成する工程を具備したことを特徴とする半導体装置の製造方法。

【請求項2】前記第一の配線溝パターンの幅より第二の配線パターンの幅が大きいことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】前記配線溝に形成された配線が他の金属配線、半導体配線、接続孔に設けられた導電部と接続されていることを特徴とする請求項1および請求項2のいずれかに記載の半導体装置の製造方法。

【請求項4】前記配線溝に形成された配線が接続されている他の金属配線、半導体配線、接続孔に設けられた導電部との接続部の形状が、配線の長手方向に長い長円、長方形、多角形であることを特徴とする請求項1および請求項2のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法係り、特に金属配線膜を形成する方法に関する。

【0002】

【従来の技術】半導体装置の製造プロセスにおいて、従来、配線層のパターンは、以下のようにして形成される。まず、半導体基板上に絶縁膜層を形成し、この絶縁膜層上に配線として用いられる金属の積層膜をスパッタリング法、蒸着法あるいはCVD法等により形成する。通常、配線膜として銅を0.3ないし1.0%程度含有させたアルミニウム、あるいは銅を0.3ないし1.0%、シリコンを0.5ないし2.0%程度含有させたアルミニウム膜が用いられる。配線層として、上記アルミニウム合金を単層で用いることは殆どなく、通常バリア層としてTi、TiN等の膜との積層膜で配線として用いられる。この積層金属膜上にレジストにより、所望の配線パターンを形成する。この際、所望の配線間隔が0.35μm以上の場合、1線レジストを、それ以下の場合にはDeep-UVレジストが用いられる。Deep-UVレジストを用いる場合、下地からの露光の反射を防ぐため、塗布型の有機反射防止膜を使用するのが一般的である。

【0003】所望のパターニングを行った金属積層膜の配線加工は、通常R I E法が用いられる。R I E法とは、減圧チャンバー内に設置された電極上にパターニングしたウェハを設置し、反応性のガスを導入するとともにウェハを設置した電極に高周波を印加し、放電プ

ラズマを形成し、それにより生成された中性活性種あるいはイオンによって、マスクパターンの無い部分をエッチングする方法で、現在、半導体の配線加工には、最も一般的に用いられている。

【0004】一般に半導体デバイスに用いられているアルミニウム合金の場合、このエッチングガスに塩素を主体としたガスが用いられ、AlCl₃等の蒸気圧の高い化合物としてエッチングを行うが、マスクとして用いられるレジストは、炭素を主体としたポリマーであり、塩素系のガスにより、やはり蒸気圧の高いCCl₄等になり、エッチングされてしまい、いわゆるエッチング選択比は、高く無い。そのため、充分マスク性を確保するには、レジストマスクの厚さを厚くする必要がある。

【0005】ところが、近年、半導体デバイスの集積化に伴い、要求される配線幅、配線間隔も非常に微細になりつつある。そのため、レジストマスクパターンも微細化が必要である。

【0006】微細なレジストパターンを形成する場合、適切な露光が可能な焦点深度が小さくなり、僅かな条件の揺らぎ、下地の起伏などにより、良好なパターンが形成されなくなる。この問題を解決するには、レジスト膜厚を薄くするのが一般的である。

【0007】レジストを薄くすると、上記述べたように、アルミニウム合金のR I E法による加工の場合、エッチング選択比が充分取れないことより、レジストマスクでの加工が困難になる。

【0008】さらに、配線パターンが微細になる場合、配線抵抗を確保するために、アルミニウム合金膜の膜厚が厚くなり、ますますレジストマスクによる加工が困難になる。

【0009】上記述べたように、半導体デバイスの集積化により、アルミニウム合金膜をレジストをマスクにしてR I E法で配線加工するのは困難であり、近年、絶縁膜に溝を形成し、その溝に配線となる金属膜を埋め込むいわゆるダマシンプロセスが用いられている。

【0010】ダマシンプロセスとは、絶縁膜に所望の配線溝パターンを形成し、溝加工された絶縁膜上に配線として用いられる金属膜を形成する。この金属膜も通常、アルミニウム合金が用いられることが多いが、配線溝への埋め込み性を上げるため、あるいは配線の信頼性を上げるなど種々の目的でTi、TiN、Nbなどの金属と積層で用いられることが一般的である。この金属膜の成膜方法は、通常スパッタリング法が用いられるが、近年CVD法も用いられつつある。金属膜を形成後、絶縁膜に形成した配線溝に埋め込まれた部分以外の金属膜は、CMP法(Chemical Mechanical Polishing法)によって除去することで、絶縁膜に形成された配線溝部分にのみ配線金属膜が残り、配線が形成される。

【0011】現在、アルミニウム合金を主体とする配線

形成は、R I E法による加工から、このダマシン法による形成が主体となりつつある。しかし、このダマシン法の、半導体デバイスの集積化により種々の問題がある。

【0012】通常、絶縁膜に形成する配線溝の加工は、レジストをマスクにR I E法によって行うが、所望の深さまで加工を停止する必要があるが、均一な膜の加工中に加工を停止する必要があるため、いわゆるエッチングストッパー膜がなく、均一に同じ深さの溝を形成するのが困難である。

【0013】また、溝の幅によりエッチング速度が違う場合、いわゆるマイクロローディング効果がある場合、溝幅が広い部分は、溝が深く、溝幅が狭い部分は、溝が浅くなる。

【0014】これらの問題は、近年のように配線パターンが微細になり、かつ配線の抵抗を下げるために深い溝が必要な場合に顕著になる。溝を加工する絶縁膜中、所望の深さの所に異種絶縁膜、例えばS i n膜等を形成し、層間の絶縁膜とのエッチング速度の差を利用し、エッチングストッパー膜として用いることも可能であるが、その場合、絶縁膜形成の工程数が増え、またさらに層間に誘電率の高い絶縁膜を挟むことになり、デバイスの性能に対し、不利になる。

【0015】また、さらに今年要求される低抵抗でかつ微細な配線では、溝幅が狭く、深い溝に金属を埋め込む必要があり、埋め込みそのものが困難となりつつある。このように、現在の微細な配線の形成は、R I E法による形成、ダマシン法による形成とも困難になりつつある。

【0016】

【発明が解決しようとする課題】本発明の目的は、微細でかつ膜厚の厚い金属配線膜を容易かつ高品質で得ることのできる半導体装置の製造方法を提供することにある、特にアルミニウムを主体とする合金の配線層に適したものである。

【0017】

【課題を解決するための手段】本発明は半導体基板上に絶縁膜を形成した後、該絶縁膜上にレジストにより第一の配線溝パターンを形成する工程と、該第一の配線溝パターンをマスクとして絶縁膜に配線溝を形成する工程と、該配線溝パターン除去後、配線溝を形成した絶縁膜上に配線材料の金属層を形成する工程と、該金属層上に第二の配線パターンを形成する工程と、該第二の配線パターンをマスクとしてR I Eにより配線を形成する工程を具備したことを特徴とする半導体装置の製造方法であり、前記第一の配線溝パターンの幅より第二の配線パターンの幅を大きくこと、前記配線溝に形成された配線を他の金属配線、半導体配線、接続孔に設けられた導電部と接続すること、前記配線溝に形成された配線が接続されている他の金属配線、半導体配線、接続孔に設けられた導電部との接続部の形状を、配線の長手方向に長い長

円、長方形、多角形とすることを特徴とする半導体装置の製造方法である。

【0018】つまり本発明の半導体装置の製造方法における第一の配線の形成方法は、半導体基板上に形成された絶縁膜上に第1の配線溝パターン形成に必要な第一のレジストマスクパターンを形成し、絶縁膜にR I E法等で配線溝のパターンを形成後、不要となったレジストパターンを除去し、溝パターンが形成された絶縁膜上に配線材料金属膜を成膜し、該金属層上に第2の配線パターン形成に必要な第二のレジストマスクパターンを形成し、R I E法で配線形成を行うことを特徴としたものである。

【0019】本発明方法における第二の配線の形成方法は、前記第一のレジストマスクパターンによって絶縁膜に形成される配線溝よりも第二のレジストマスクパターンによって形成される配線幅の方が大きいことを特徴としたものである。

【0020】本発明方法における第三の配線の形成方法は、絶縁膜に形成された配線が、配線溝形成前にあらかじめ半導体基板に形成された他の金属配線、半導体配線、あるいは接続孔（コンタクトホール）に設けられた導電部と接続されたものである。なお、絶縁膜上に配線溝を形成した後に、下層にある金属配線、半導体配線、あるいは基板等と導通をとるコンタクトホールを形成することもできる。この場合は、絶縁膜上に配線材料の金属層を成膜する際に同時にコンタクトホールを埋め込むと良い。

【0021】本発明方法における第四の配線の形成方法は、前記配線溝に形成された配線と、他の金属配線、半導体配線、あるいは接続孔に設けられた導電部との接続部の形状が、配線の長手方向に長い長円、長方形、あるいは多角形であることを特徴としたものである。

【0022】なお、本発明方法に用いられる配線用の金属材料としては二種類以上の膜を用いることが好ましく、例えば埋め込みのアスペクトが高い場合、埋め込み性を上げるためにアルミニウム合金との濡れ性が良い材料や、コンタクトホールに埋め込まれている金属表面の自然酸化膜を還元する材料などを必要に応じて選択すれば良い。

【0023】

【発明の実施の形態】本発明者らは、0.175 μ m程度のルールが必要されるデバイスを想定し、従来のR I E方によるアルミニウム配線形成、ダマシン法による配線形成を行い、本発明との比較を行い、その優位性を確認した。

【0024】0.175 μ m程度のルールを持つデバイスが必要とする配線のシート抵抗を0.1 Ω 程度と見積もると、A1Cu合金の場合約4000A程度の膜厚が必要となる。

【0025】（比較例1）図3にA1Cu4000Aの

配線膜に種々のライン幅、スペース幅をもつマスクパターンをパターンニングし、そのAlCu膜を従来のRIE法にて加工した時のOpen-Short Yieldを示す。詳細な配線膜構造は、上からTiN/Ti/AlCu/TiN/Ti=400Å/50Å/4000Å/100Å/200Åである。レジストには、Deep-UVレジストを用い、レジスト膜厚は、6000Åである。露光の際、配線膜からの光の反射を抑えるため、有機反射防止膜600Åを用いている。配線膜加工の前、この有機反射防止膜を加工する必要がある、その際、レジストが約700Å程度エッチングされる。配線膜のRIEには、誘導結合型RIEを用い、圧力12mTorr、プラズマ誘起出力450W、バイアス出力180W、ガスは、 $\text{Cl}_2/\text{BCl}_3/\text{CHF}_3=80/30/5$ SCCM、エッチング時間は、装置が検知するエンドポイントの時間から70%のオーバーエッチングの条件で、加工を行った。その結果、図3に示す様に、スペース幅が0.2µm以下で急激なYieldの低下が見られた。

【0026】次に、0.175µmのスペースのパターンのYieldとオーバーエッチング時間の関係を図4に示す。オーバーエッチング時間を延ばすと、Yieldは、上昇する傾向をしめすが、120%以上のオーバーエッチングで、レジストが無くなり、配線の肩がエッチングされ始めた。

【0027】不良解析の結果より、配線のショート部分には、エッチング残さが見られ、これによりショートしたと思われる。この残さは、本来、オーバーエッチング時間を延ばせば、除去できるが、レジストが厚くできないこと、スペース狭くAlのエッチング速度自体も遅いことから、充分にオーバーエッチングを行えないためである。

【0028】(比較例2)次に、従来のダマシンの評価を行った。酸化膜に0.175µm幅で配線溝で、深さを変えて作成した試料に、AlCuを埋め込み、CMPにより配線溝以外のAlCuを除去した。その後、それぞれの配線の抵抗値を測定した結果を図5に示す。深さが3500Å以上では、配線抵抗のばらつきが見られた。その配線抵抗がばらついた試料の配線の断面を観察したところ、配線中央部にスリット状のボイドが見られた。恐らく溝の深さが深くなり、アスペクト比は大きくなることで、成膜中に間口が閉じ、AlCuが埋め込まれなかったものと考えられる。

【0029】(実施例1)次に本発明方法を用いた実験結果を示す。サンプル作成フローを図1に示す。まず、半導体基板1上に設けられた絶縁膜としての酸化膜2上に配線溝加工を行うための第一の配線溝パターン3を形成(b)し、RIE法により浅い配線溝を形成(c)、レジストパターン3を除去(d)、その後配線材料の金属層としてTi/TiN 6、AlCu 4、Ti/TiN 5をスパッタリング法により成膜した(e)。その後、配線形成するため、第二の配線パターン7を形成(f)し、金属層5、4、6をRIE法にて加工(g)した後、第二の配線パターン7を除去(h)して所望の配線を作成した。

【0030】配線のシート抵抗を0.1Ωにするため、図1(c)で加工する溝幅を0.15µm、深さを2000Å、図1(f)のレジスト幅を0.175µm(e)で成膜する金属層を上からTiN/Ti/AlCu/TiN/Ti=400/50/2500/100/200Åとした。また、レジストマスク3の膜厚は、4000Å、反射防止に有機反射防止膜600Å、レジストマスク7の膜厚は、6000Å、反射防止に有機反射防止膜600Åを用いた。金属層5、4、6のRIEには、誘導結合型RIEを用い、圧力12mTorr、プラズマ誘起出力450W、バイアス出力180W、ガスは、 $\text{Cl}_2/\text{BCl}_3/\text{CHF}_3=80/30/5$ SCCM、エッチング時間は、装置が検知するエンドポイントの時間から100%から200%のオーバーエッチングの条件で、加工を行った。

【0031】図2にオーバーエッチング時間とOpen-Short Yield並びに配線抵抗の測定結果を示す。Open-Short Yield、配線抵抗のばらつきとも従来の比較例に比べ良好な結果が得られた。

【0032】次に本発明方法を具体的な半導体素子に用いた際の実施例を説明する。(実施例2)図6に本発明方法を0.175µmルールのDRAMに用いた際のプロセスフローを示す。10は、層間絶縁膜、11は、WBitライン、12は、コンタクトホールで、Wが埋め込まれている(a)。次に、13に示す層間絶縁膜を2000Å堆積し(b)、層間絶縁膜13上に配線溝加工を行うための第一の配線溝パターン14を形成する(c)。この配線パターン14のレジスト膜厚は、3000Åで、下地からの反射防止に有機反射防止膜が用いられ、その膜厚は、600Åである。また、レジストパターンのスペースは、0.15µmである。層間絶縁膜13の加工は、マグネトロンRIE装置を用い、反射防止膜を一括で加工を行い配線溝を形成した。層間絶縁膜13の加工の際、コンタクトホール12が存在する場所では、コンタクトホールに埋め込まれたWが露出するが、Wに対する選択比が大きいため、特に問題無い。層間絶縁膜13加工後、レジストパターン14は、ドライアッシングによって除去した(d)。次に、配線としての金属層を高温(350度)スパッタリング法にて成膜した(e)。膜構造は、TiN/Ti/AlCu/TiN/Ti=400Å/50Å/3000Å/100Å/200Å(16-19)である。成膜後、配線の上部を形成するため、第二の配線パターンとしてレジストマスクパターン20を形成する(f)。この配線パターン14のレジ

スト膜厚は、6000Åで、下地からの反射防止に有機反射防止膜が用いられ、その膜厚は、600Åである。また、レジストパターンスペースは、0.22μmである。反射防止膜の加工は、マグネトロンRIE装置を用い、反射防止膜加工後、A1 RIE装置にて金属層16-19を加工した(g)。金属層16-19の加工には、誘導結合型RIEを用い、圧力12mTorr、プラズマ誘起出力450W、バイアス出力180W、ガスは、 $C_1_2/BC_1_3/CHF_3=80/30/5$ SCCM、エッチング時間は、装置が検知するエンドポイントの時間から150%のオーバーエッチングの条件で、加工を行い、配線が形成される。

【0033】この際、層間絶縁膜13に形成される配線溝と配線上部を形成するための第二の配線パターンの位置関係がずれた場合には金属層16-19を加工する際に配線溝中の配線膜もエッチングされてしまうため、13に形成される配線溝幅よりも、配線上部を形成するための第二の配線パターン20の幅を大きくすることが望ましい。また、本来、所望のA1膜厚は、4000Åであり、層間絶縁膜上2300Åの膜で充分であるが、配線溝上の配線膜が窪むため本実施例では、3000Å程度成膜する必要がある。望ましくは、リフロースパッタあるいはCVD法を用いるほうが良い。

【0034】さらに、コンタクト12と本発明方法により形成される配線の接触面積を大きくするために、図7に示すよう、コンタクトホール形状は、配線の長手方向に長い長円、長方形あるいは、多角形であることが望ましい。

【0035】(実施例3)次に、本発明方法を0.25μmルールをもつLogicデバイスの最上層電源配線の厚膜配線に用いた例を図8により説明する。

【0036】21は層間絶縁膜、22は下層A1配線である(a)。層間絶縁膜21の厚さは、下層A1配線上、2μmである。配線下部を形成する配線溝を形成するため、層間絶縁膜21に第一の配線溝パターンとしてレジストマスクパターン23を形成する(b)。層間絶縁膜を深さ1μmまで溝加工(c)し、レジストマスク23を除去する(d)。次にビアコンタクトホールを形成するため、レジストマスク25を形成する(e)。次に層間絶縁膜21をRIE法により、開口し(f)、加工後レジストマスク25を除去する(g)。続いて最上層配線(金属層)27を高温スパッタ法により、1.3

μm成膜し(h)、成膜後、配線の上部を形成するため、第二の配線パターンとしてレジストマスクパターン28を形成する(i)。続いて、A1 RIE装置にて金属層27を加工し(j)、レジストマスク28を除去する(k)ことで厚膜の形成ができる。

【0037】本来、所望のA1膜厚は、20000Åであり、層間絶縁膜上100000Åの膜で充分であるが、配線溝上の配線膜が窪むため本実施例では、13000Å程度成膜する必要がある。望ましくは、リフロースパッタあるいはCVD法を用いるほうが良い。

【0038】

【発明の効果】以上、説明したように、本発明の方法を用いれば、微細かつ膜厚の厚いA1を主成分とする配線の形成が、従来方法に比べ、容易に達成出来る。

【図面の簡単な説明】

【図1】本発明方法による配線形成プロセスフローを示す図。

【図2】本発明方法により、形成された配線のYield及び、配線抵抗を示す図。

【図3】従来のRIE法により形成した配線のスペースとYieldの関係を示す図。

【図4】従来のRIE法により形成した配線のオーバーエッチ量とYieldの関係を示す図。

【図5】従来のダマシン法によって形成した配線のダマシン溝深さと配線抵抗の関係を示す図。

【図6】本発明方法の実施例を示す図。

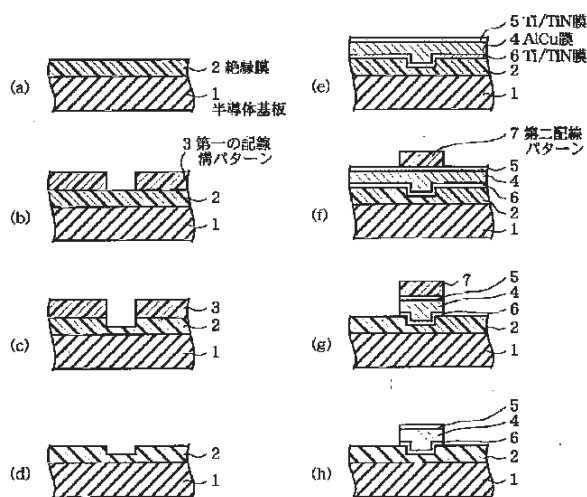
【図7】本発明方法の実施例を示す図。

【図8】本発明方法の実施例を示す図。

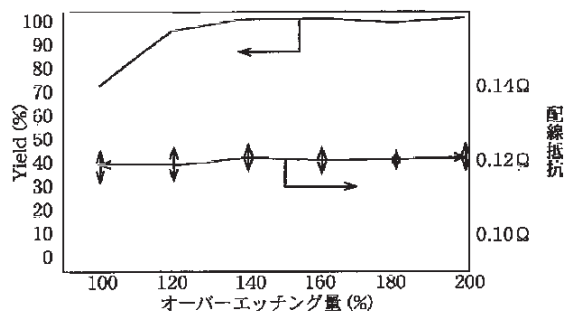
【符号の説明】

1…半導体基板、2…絶縁膜、3…第一の配線溝パターン、4…AlCu膜、5…Ti/TiN膜、6…Ti/TiN膜、7…第二の配線パターン、10…層間絶縁膜、11…下層タングステン配線、12…コンタクトホールに埋め込まれたタングステン、13…層間絶縁膜、14…第一の配線溝パターン、15…AlCu膜、16…TiN膜、17…Ti膜、18…TiN膜、19…Ti膜、20…第二の配線パターン、21…層間絶縁膜、22…下層A1配線、23…第一の配線溝パターン、24…配線溝、25…ビアコンタクト形成のためのレジストパターン、26…ビアコンタクトホール、27…最上層電源配線(金属層)、28…第二の配線パターン

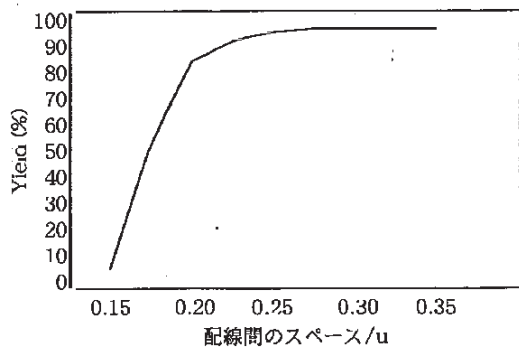
【図1】



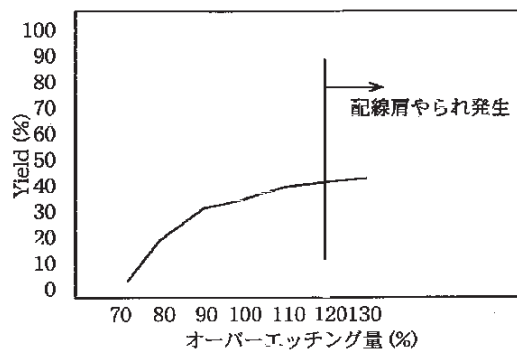
【図2】



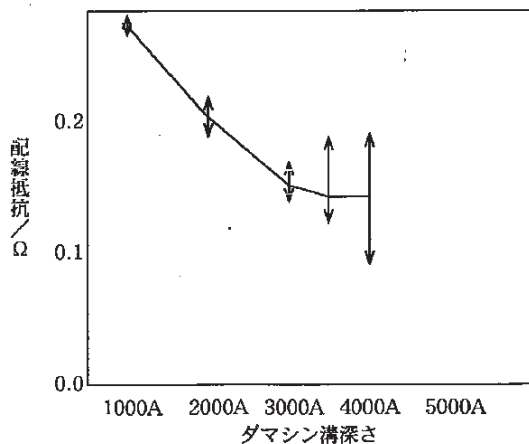
【図3】



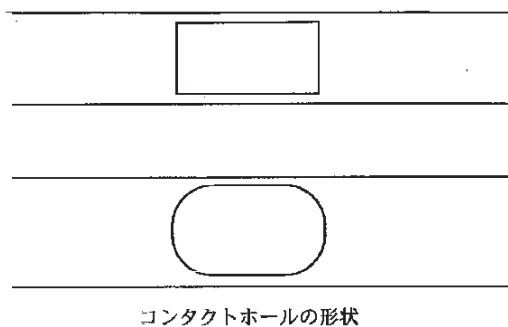
【図4】



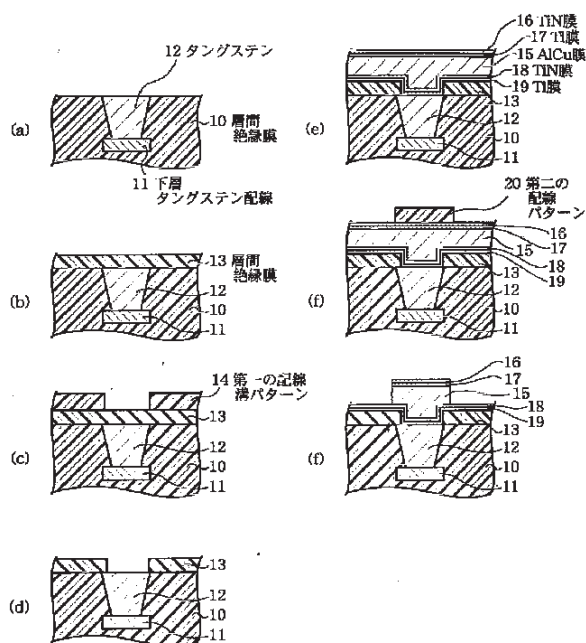
【図5】



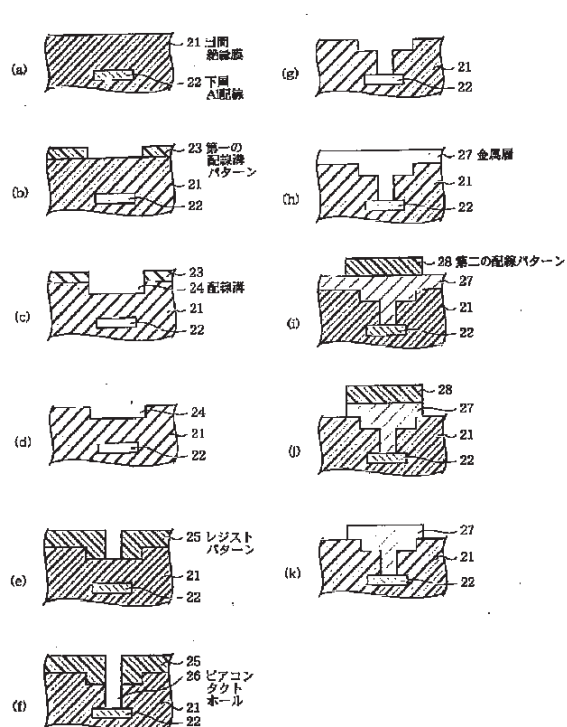
【図7】



【図6】



【図8】



フロントページの続き

Fターム(参考) 5F004 BA04 BA13 BA20 DA04 DA11
DA16 DB03 DB09 DB10 DB12
EA22 EB01 EB02 EB03
5F033 HH09 HH18 HH33 JJ09 JJ18
JJ19 JJ33 KK08 KK09 KK18
KK19 KK33 MM01 MM08 MM12
MM13 MM29 NN06 NN07 NN31
NN33 PP15 QQ04 QQ08 QQ09
QQ13 QQ37 VV16

(19) Japanese Patent Office (JP)

(12) Laid-open Disclosure Public Patent Bulletin (A)

(11) Publication number

2000-277609

(P2000-277609A)

(43) Publication Date: October 6, Heisei 12 (2000.10.6)

(51) Int. Cl.⁷

H01L 21/768
21/3065

FI

H01L 21/90
21/302

Theme Code (Reference)

A 5F004
M 5F033

Request for Examination: Not Requested

Number of Claims: 4 OL (7 pages total)

(21) Application Filing Number:

Tokugan H11-83090

(22) Application Filing Date:

March 26, Heisei 11 (1998. 3. 26)

(71) Applicant: 000003078

Toshiba Corporation

72 Horikawacho, Saiwai-Ku, Kawasaki City,
Kanagawa Prefecture

(72) Inventor: **Masataka Narita**

c/o: Toshiba Corporation Yokohama Division
8 Shinsugitacho, Isogo-Ku, Yokohama City,
Kanagawa Prefecture

(74) Agent: 100083161

Hideaki Togawa, Patent Attorney

Cont'd to the last page. . .

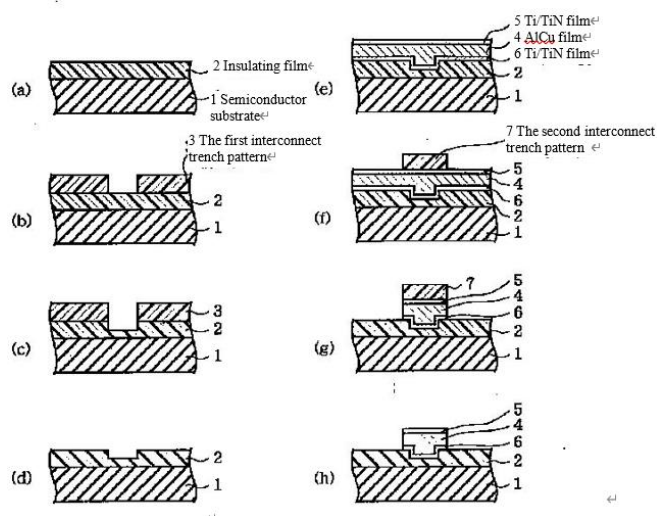
(54) TITLE OF THE INVENTION: Method for the Production of Semiconductor Devices

(57) ABSTRACT

OBJECTIVE: To provide a method for the production of semiconductors, such a method making it possible to obtain fine-pitch, thick metallic interconnect films.

MEANS FOR ACHIEVING THE OBJECTIVE:

The present invention is characterized by forming the interconnect using the RIE method, doing so by forming a first resist mask pattern necessary for the formation of the first interconnect trench pattern on insulating film 2 formed on semiconductor substrate 1, forming an interconnect trench pattern on insulating film 2 through the RIE method, etc., and then removing the unnecessary portion of the resist pattern, forming films (4, 5, and 6) made of metals that serve as interconnect materials, doing so on the insulating film where the trench pattern has been formed, and forming a second resist mask pattern 7 necessary for the formation of a second interconnect pattern, doing so on said metallic layer.



WHAT IS CLAIMED IS:

CLAIM 1

A method for the production of semiconductor devices, said method comprising the following steps:

A step for forming an insulating film on a semiconductor substrate and then forming a first interconnect trench pattern on said insulating film, doing so by using a resist,

A step for forming interconnect trenches on the insulating film, doing so by using the first interconnect trench pattern as a mask,

A step for removing the interconnect trench pattern and then forming a metallic layer of interconnect material on the insulating film that includes the interconnect trenches formed thereon,

A step for forming a second interconnect pattern on said metallic layer, and

A step for forming interconnects through RIE, doing so by using the second interconnect pattern as a mask.

CLAIM 2

The method for the production of semiconductor devices according to Claim 1, wherein the width of the second interconnect pattern is greater than that of the aforementioned first interconnect trench pattern.

CLAIM 3

The method for the production of semiconductor devices according to Claim 1 or Claim 2, wherein the interconnects formed in the aforementioned interconnect trenches are connected to other metal interconnects, semiconductor interconnects, or conductive parts provided in connection holes.

CLAIM 4

The method for the production of semiconductor devices according to Claim 1 or Claim 2, wherein the shape of the parts enabling connection between the interconnects formed in the aforementioned interconnect trenches and other metallic interconnects, semiconductor

interconnects, or conductive part provided in the connection holes is oval, rectangular, or polygonal that is elongated in the longitudinal direction of the interconnects.

DETAILED DESCRIPTION OF THE INVENTION

[0001]

TECHNOLOGICAL FIELD OF THE INVENTION

The present invention relates to a method for the production of semiconductor devices. Particularly, it pertains to a method for forming metallic interconnect films.

[0002]

PRIOR ART

In the conventional process of producing semiconductor devices, the pattern of an interconnection layer is formed as follows: First, an insulating film layer is formed on a semiconductor substrate. Then, a metallic laminate film used as the interconnect is formed on said insulating film layer through a sputtering method, vapor deposition method, CVD method, or the like. Typically, aluminum containing about 0.3% to 1.0% copper, or an aluminum film containing about 0.3% to 1.0% copper and about 0.5% to 2.0% silicon, is used as the interconnection film. In terms of the interconnection layer, the above-mentioned aluminum alloys are rarely used in the form of a single layer, but are typically used as an interconnect in the form of a laminate film laminated with a barrier layer consisting of a Ti film, TiN film, etc. A resist is used to form the desired interconnect pattern on said laminated metal film. In this case, an I-line resist will be used if the desired spacing between interconnects is 0.35 μm or more, but a deep-UV resist will be used if the desired spacing is less than that. When a deep-UV resist is used, a coated-type organic anti-reflective film is commonly used to prevent reflection of exposure light from the underlying substrate.

[0003] The RIE method is typically used for the interconnect fabrication for laminated metallic films that have been patterned as desired. According to the RIE method, a patterned wafer is placed on an electrode installed in a reduced-pressure chamber; high-frequency waves are applied to the electrode, on which the wafer has been placed, doing so while introducing a reactive gas, thereby creating plasma discharge; and the neutral activated species or ions thus generated are used to etch the areas unprotected by the mask pattern. Currently, this method is most commonly used to fabricate semiconductor interconnects.

[0004] For the etching of aluminum alloys commonly used in semiconductor devices, a gas mainly composed of chlorine serves as the etching gas to create compounds with high vapor pressure, such as AlCl_3 . However, because the resist used as a mask is a polymer primarily made of carbon, the chlorine-based gas transforms it into CCl_4 or similar compounds, which also possess high vapor pressure and will be affected by the etching. Consequently, the so-called “etching selectivity ratio” is not high. Therefore, increasing the thickness of the resist mask is necessary to ensure adequate maskability.

[0005] However, the integration of semiconductor devices in recent years has demanded an extremely fine pitch for the interconnect width and the spacing between interconnects. This necessitates finer pitch patterns for resist masks.

[0006] To form a fine-pitch resist pattern, the focal depth that allows for proper exposure must be reduced. This reduction can hinder the formation of a satisfactory pattern due to slight fluctuations in conditions and undulation, etc., of the underlying substrate. The thickness of the resist film is commonly reduced to resolve this issue.

[0007] When the resist is thinner, a sufficient etching selectivity ratio is not achieved when an aluminum alloy is used for fabrication through the RIE method, as mentioned above, making it difficult to use a resist mask for fabrication.

[0008] Furthermore, when the interconnect pattern has a finer pitch, the thickness of the aluminum alloy film must increase to ensure interconnect resistance, making it increasingly difficult to process an aluminum alloy film with a resist mask.

[0009] As mentioned above, the advancement of integration of semiconductor devices makes it difficult to process an aluminum alloy film to fabricate interconnects through the RIE method using a resist as a mask. A process that has been used in recent years is called a “damascene process,” whereby trenches are formed on an insulating film so that a metallic film is embedded in those trenches.

[0010] In the damascene process, the desired interconnect-trench pattern is formed on an insulating film, and a metallic film is created to serve as the interconnect on the trenched insulating film. While this metallic film is typically made of an aluminum alloy, it is commonly used as a laminate with metals such as Ti, TiN, and Nb for various purposes, including improving embeddability in interconnect trenches or increasing the reliability of the interconnect. Although a sputtering method is usually employed for the formation of this metallic film, the CVD method has also started to gain popularity in recent years. Once formed, the metallic film is removed through the CMP (Chemical Mechanical Polishing) method, except for the portion embedded in the interconnect trenches on the insulating film. This ensures that the metallic interconnect film remains only in the interconnect trenches formed on the insulating film, thus forming the interconnect.

[0011] Currently, the primary method used for forming interconnects primarily made of aluminum alloys has shifted from the RIE method to the damascene method. However, this damascene method presents various challenges due to the integration of semiconductor devices.

[0012] Although the interconnect trenches are typically grooved on an insulating film using the RIE method with a resist as the mask, this approach requires stopping the grooving at the desired depth. However, since it is necessary to halt the grooving during the fabrication of a uniform film, there will be no so-called etching stopper film, which makes it difficult to form trenches of uniform depth.

[0013] Additionally, when the etching speed varies with the width of the trench, i.e., in the case of a so-called micro-loading effect, the trench depth is deeper for wide trenches but shallower for narrow ones.

[0014] These problems have become more significant in recent years because the interconnect patterns have finer pitches, requiring deeper trenches to reduce the resistance of the interconnects. The insulating film processed for grooving trenches may include a dissimilar insulating film, such as SiN film, in a manner that allows the dissimilar film to be formed at a desired depth and used as an etching stopper film by leveraging the difference in etching speeds between the interlayer insulating films. In this case, the number of steps required to form the insulating film will increase, and an insulating film with a high dielectric constant will be sandwiched between the layers, negatively affecting device performance.

[0015] Additionally, for the low-resistance, fine-pitch interconnect that is further required this year, a metal must be embedded in narrow, deep trenches, making the embedding process increasingly difficult. As a result, the current methods for forming fine-pitch interconnects, whether through the RIE method or the damascene method, are becoming more challenging.

[0016]

OBJECTIVE TO BE ACHIEVED BY THE INVENTION

The purpose of the present invention is to provide a method for the production of semiconductor devices, such a method making it possible to readily obtain fine-pitch, thick metallic interconnect films of high quality. The present invention is especially suited for interconnection layers made from alloys primarily consisting of aluminum.

[0017]

MEANS FOR ACHIEVING THE OBJECTIVE

The present invention is a method for the production of semiconductor devices, said method comprising the following steps:

A step for forming an insulating film on a semiconductor substrate and then forming a first interconnect trench pattern on said insulating film, doing so by using a resist,

A step for forming interconnect trenches on the insulating film, doing so by using the first interconnect trench pattern as a mask,

A step for removing the interconnect trench pattern and then forming a metallic layer of interconnect material on the insulating film that includes the interconnect trenches formed thereon,

A step for forming a second interconnect pattern on said metallic layer, and

A step for forming interconnects through RIE, doing so by using the second interconnect pattern as a mask, wherein:

The width of the second interconnect pattern exceeds that of the aforementioned first interconnect trench pattern;

The interconnect formed in the aforementioned interconnect trenches connects to another metallic interconnect, semiconductor interconnect, or conductive part provided in a connection hole; and

The shape of the parts enabling connection between the interconnects formed in the aforementioned interconnect trenches and other metallic interconnects, semiconductor interconnects, or conductive part provided in the connection holes is oval, rectangular, or polygonal that is elongated in the longitudinal direction of the interconnects.

[0018] In other words, the first interconnect formation process in the method for the production of semiconductor devices according to the present invention is characterized by forming the interconnect using the RIE method, doing so by:

Forming a first resist mask pattern necessary for the formation of the first interconnect trench pattern on the insulating film formed on a semiconductor substrate,

Forming an interconnect trench pattern on the insulating film through the RIE method, etc., and then removing the unnecessary portion of the resist pattern,

Forming films made of metals that serve as interconnect materials, doing so on the insulating film where the trench pattern has been formed, and

Forming a second resist mask pattern necessary for the formation of a second interconnect pattern, doing so on said metallic layer.

[0019] The second interconnect formation process in the method according to the present invention is characterized by the width of the interconnect formed through the use of the second resist mask pattern exceeding that of the interconnect trenches formed on the insulating film through the use of the first resist mask pattern.

[0020] The third interconnect formation process in the method according to the present invention allows the interconnect formed on the insulating film to connect with other metallic interconnects, semiconductor interconnects, or conductive parts located in connection holes (contact holes) pre-formed on the semiconductor substrate before the formation of interconnect trenches. It should be noted that, after the formation of the interconnect trenches on the insulating film, contact holes may be formed for conduction with metallic interconnects, semiconductor interconnects, or substrate in the lower level. In this case, it is preferable to embed contact holes concurrently with the formation of the layer made of metal that serves as the interconnect material on the insulating film.

[0021] The fourth interconnect formation process in the method according to the present invention is characterized by the shape of the connection part between the interconnect formed in the aforementioned interconnect trenches and other metal interconnects, semiconductor interconnects, or conductive parts provided in connection holes being oval, rectangular, or polygonal that is elongated in the longitudinal direction of the interconnect.

[0022] Incidentally, it is preferable to use two or more types of films as the metallic materials for interconnects employed in the method according to the present invention. For instance, if the embedment aspect is high, one may select materials that exhibit good wettability concerning aluminum alloys or materials that diminish the native oxide on the metal surface embedded in the contact holes on an as-needed basis.

[0023]

EMBODIMENT OF THE INVENTION

On the premise of a device that requires a rule of about 0.175 μm , the inventors of the present invention formed aluminum interconnects using both the conventional RIE method and the damascene method, comparing these with the present invention, through which they confirmed the superiority of the present invention.

[0024] Suppose the sheet resistance of the interconnect required for a device with a rule of about 0.175 μm is estimated to be around 0.1 Ω . In this case, a film thickness of about 4000 Å is necessary for an AlCu alloy.

[0025] (COMPARATIVE EXAMPLE 1)

Figure 3 shows the open-short yield as measured when mask patterns with various line widths and space widths are patterned on the 4000Å AlCu interconnect films, which are then processed through the conventional RIE method. The detailed structure of the interconnect films consists of TiN / Ti / AlCu / TiN / Ti = 400 Å / 50 Å / 4000 Å / 100 Å / 200 Å, from top to bottom. A deep-UV resist is used for the resist, and the thickness of the resist film is 6000 Å. An organic anti-reflective film of 600 Å is utilized to inhibit light reflection from the interconnect film during exposure. Before the interconnect film is fabricated, such an organic anti-reflective film must be fabricated, during which about 700 Å of the resist is etched. The fabrication process was conducted using inductively coupled RIE for the interconnect film's RIE, doing so under the following over-etching conditions: pressure = 12 m Torr, plasma induced output = 450 W, bias output = 180 W, gas = $\text{C}_{12}/\text{BCl}_3/\text{CHF}_3 = 80/30/5$ SCCM, and etching time = 70% as measured from the time of the endpoint detected by the device. The results indicate a sharp drop in yield when the space width is 0.2 μm or less, as illustrated in Figure 3.

[0026] Next, Figure 4 illustrates the relationship between yield and over-etching time for a pattern with a 0.175- μm space. The yield increased as the over-etching time was extended. However, the resist disappeared at 120% or more over-etching, after which etching of the shoulders of interconnect began.

[0027] According to the results of the failure analysis, etching residues were identified in a short section of the interconnect, which is suspected to have caused a short circuit. This residue can be removed by extending the over-etching time. However, this approach cannot achieve sufficient over-etching because the thickness of the resist cannot be increased, and the etching rate of Al itself is slow due to the narrow space.

[0028] (COMPARATIVE EXAMPLE 2)

Next, the inventors evaluated the conventional damascene method. Samples were prepared by creating interconnect trenches on oxide films, with these trenches having a width

of 0.175 μm but varying in depth. Then, AlCu was embedded in the samples and subsequently removed from areas outside the interconnect trenches through CMP. Following this, the resistance of each interconnect was measured. The results are shown in Figure 5. Variation in interconnect resistance was observed at depths exceeding 3500 Å. An examination of the cross-sections of the interconnects on the samples, which indicated a variation in interconnect resistance, revealed slit-like voids in the center of the interconnects. The inference is that the increased depth of the trenches and the greater aspect ratio likely caused the gap openings to close, preventing AlCu from being embedded during the formation of the AlCu coating.

[0029] (WORKING EXAMPLE 1)

The following is an explanation of the results of the experiment conducted using the method according to the present invention:

The flow of sample creation is illustrated in Figure 1. First, (b) a first interconnect trench pattern 3 used to groove interconnect trenches was formed on oxide film 2 acting as an insulating film on semiconductor substrate 1, (c) shallow interconnect trenches were formed through the RIE method, followed by (d) the removal of resist pattern 3. After that, (e) the interconnect-material metallic layers Ti/TiN 6, AlCu 4, and Ti/TiN 5 were deposited through sputtering. Subsequently, in order to form the interconnect, (f) a second interconnect pattern 7 was formed, (g) metallic layers 5, 4, and 6 were fabricated using the RIE method, and then (h) the second interconnect pattern 7 was removed to create the desired interconnect.

[0030] To ensure that the interconnect's sheet resistance is 0.1 Ω , the width and depth of the trenches grooved in Figure 1(c) were 0.15 μm and 2000 Å, respectively. The metallic layers depicted in (e) were TiN/Ti/AlCu/TiN/Ti=400/50/2500/100/200 Å from the top, with the resist width in Figure 1(f) measuring 0.175 μm . Additionally, the film thickness of resist mask 3 was 4000 Å. The thickness of the organic anti-reflective film was 600 Å for anti-reflective purpose. The thickness of resist mask 7 was 6000 Å. An organic anti-reflective film 600 Å was utilized for anti-reflective purpose. The fabrication was conducted using inductively coupled RIE for the RIE of metallic layers 5, 4, and 6, doing so under the following over-etching conditions: pressure = 12 m Torr, plasma induced output = 450 W, bias output = 180 W, gas = C12/BC13/CHF3 = 80/30/5 SCCM, and etching time = 100% to 200% as measured from the time the endpoint was detected by the device.

[0031] Figure 2 shows the measurement results of the over-etching time, open-short yield, and interconnect resistance. The results for the open-short yield and the variation in interconnect resistance were satisfactory compared to the conventional comparative examples.

[0032] The following is an explanation of a working example of applying the method according to the present invention to a specific semiconductor device.

(WORKING EXAMPLE 2)

Figure 6 illustrates a process flow when the method according to the present invention is applied to a 0.175 μ m-rule DRAM. In diagram (a), reference code 10 represents an interlayer insulator. Reference code 11 represents a WBit line. Reference code 12 represents a contact hole in which W is embedded. Next, in diagram (b), the interlayer insulating film with reference code 13 is deposited to a thickness of 2000 Å. In diagram (c), a first interconnect trench pattern 14 is formed so as to groove interconnect trenches on interlayer insulating film 13. The resist film thickness of this interconnect pattern is 3000 Å, and an organic anti-reflective film is used to prevent reflection from the substrate. Its film thickness is 600 Å. Additionally, the resist pattern space is 0.15 μ m. A magnetron RIE device was used for the fabrication of interlayer insulating film 13 in order to form interconnect trenches together with the anti-reflective film. During the fabrication of interlayer insulating film 13, the W embedded in contact holes 12 is exposed where the contact holes exist; however, this does not present any particular issue due to the high selection ratio for W. After the fabrication of interlayer insulating film 13, the resist pattern 14 was removed through dry ashing, as shown in diagram (d). Next, the metallic layer for interconnects was formed using the high-temperature (350 degrees) sputtering method, as illustrated in diagram (e). The film structure is TiN/Ti/AlCu/TiN/Ti = 400 Å/50 Å/3000 Å/100 Å/200 Å (reference codes 16 through 19). Following the formation of the films, the resist mask pattern 20 is formed as a second interconnect pattern in order to form the upper section of the interconnect, as shown in diagram (f). The resist film thickness of this interconnect pattern is 6000 Å, and an organic anti-reflective film is used to block reflection from the substrate. Its film thickness is 600 Å. Additionally, the resist pattern space is 0.22 μ m. A magnetron RIE device was employed to fabricate the anti-reflective film. After the fabrication of the anti-reflective film, an Al RIE device was used to fabricate metallic layers 16 through 19, as illustrated in diagram (g). Metallic layers 16 through 19 are fabricated using inductively coupled RIE under the following over-etching conditions: pressure = 12 m Torr, plasma induced output = 450 W, bias output = 180 W, gas = C12/BC13/CHF3 = 80/30/5 SCCM, and etching time = 150% as measured from the time of endpoint detection by the device. Thus, the interconnect is formed.

[0033] In this case, if the positional relationship between the interconnect trenches formed on interlayer insulating film 13 and the second interconnect pattern used to form the upper section of the interconnect is misaligned, the interconnect film in the interconnect trenches will also be etched during the fabrication of metallic layers 16 through 19. Accordingly, the

width of the second interconnect pattern 20 for the formation of the upper section of the interconnect is preferably greater than the width of the interconnect trenches formed in 13. It should also be noted that, essentially, the desired Al film thickness is 4000 Å, with a 2300 Å film being sufficient on the interlayer insulation film. However, in the present working example, the film must have a thickness of about 3000 Å because the interconnect film on the interconnect trenches is recessed. It is preferable to use the reflow sputter or CVD method. [0034] Furthermore, in order to increase the contact area between contact 12 and the interconnect formed through the method according to the present invention, the shape of the contact holes is preferably oval, rectangular, or polygonal that is long in the longitudinal direction of the interconnect, as shown in Figure 7.

[0035] (WORKING EXAMPLE 3)

The following is an explanation of the method according to the present invention, with reference to Figure 8, which illustrates an example of its application to thick-film interconnects for the top-level power-supply interconnection of a 25 µm-rule logic device.

[0036] In diagram (a), reference code 21 represents an interlayer insulation film, and reference code 22 represents a lower-level Al interconnect. The thickness of the interlayer insulating film 21 is 2 µm above the lower-level Al interconnect. In order to form the interconnect trenches that make up the lower section of the interconnect, resist mask pattern 23 is formed as the first interconnect trench pattern on interlayer insulating film 21, as depicted in diagram (b). The interlayer insulating film is processed to create a trench to the depth of 1 µm, as shown in diagram (c), and then resist mask 23 is removed, as illustrated in diagram (d). Following this, resist mask 25 is formed to form a via contact hole, as displayed in diagram (e). Subsequently, a hole is formed in interlayer insulating film 21 using the RIE method, as shown in diagram (f). After the fabrication process, resist mask 25 is removed, as shown in diagram (g). Next, the top-level interconnect (metallic layer) 27 is formed to a thickness of 1.3 µm using the high-temperature sputtering method, as illustrated in diagram (h). After the formation of the film, resist mask pattern 28 is formed as a second interconnect pattern in order to form the upper section of the interconnect, as shown in diagram (i). Subsequently, metallic layer 27 is fabricated with an Al RIE apparatus, as shown in diagram (j), and resist mask 28 is removed, as shown in diagram (k) to form a thick film.

[0037] Essentially, the desired Al film thickness is 20000 Å, and a 100000-Å film is adequate for the interlayer insulation film. However, in the present working example, the film must have a thickness of about 13000 Å because the interconnect film in the interconnect trenches is recessed. Preferably, it is better to use either the reflow sputter or CVD method.

[0038]

EFFECTS OF THE INVENTION

As described above, by utilizing the method of the present invention, it becomes easier to form fine-pitch, thick interconnects primarily composed of Al compared to the conventional method.

BRIEF EXPLANATION OF THE DRAWINGS

Figure 1 shows a diagram that illustrates the flow of the interconnect formation process using the method according to the present invention.

Figure 2 shows a diagram that illustrates the yield and resistance of the interconnect formed through the method according to the present invention.

Figure 3 shows a diagram that illustrates the relationship between the space and the yield of the interconnect formed using the conventional RIE method.

Figure 4 shows a diagram that illustrates the relationship between the amount of over-etching and the yield of the interconnect formed using the conventional RIE method.

Figure 5 shows a diagram that illustrates the relationship between the damascene trench depth and the resistance of the interconnect formed using the conventional damascene method.

Figure 6 shows a diagram that illustrates a working example of the method according to the present invention.

Figure 7 shows a diagram that illustrates a working example of the method according to the present invention.

Figure 8 shows a diagram that illustrates a working example of the method according to the present invention.

EXPLANATION OF REFERENCE CODING

- 1...Semiconductor substrate
- 2...Insulating film
- 3...The first interconnect trench pattern
- 4...AlCu film
- 5...Ti/TiN film
- 6...Ti/TiN film
- 7...The second interconnect pattern
- 10...Interlayer insulating film
- 11...Lower-level tungsten interconnect

- 12...Tungsten embedded in contact hole
- 13...Interlayer insulating film
- 14...The first interconnect trench pattern
- 15...AlCu film
- 16...TiN film
- 17...Ti film
- 18...TiN film
- 19...Ti film
- 20...The second interconnect pattern
- 21...interlayer insulating film
- 22...lower Al interconnect
- 23...first interconnect trench pattern
- 24...Interconnect trench
- 25...Resist pattern used to form via contact
- 26...Via contact hole
- 27...Top-level power-supply interconnect (metallic layer)
- 28...The second interconnect pattern

Figure 1

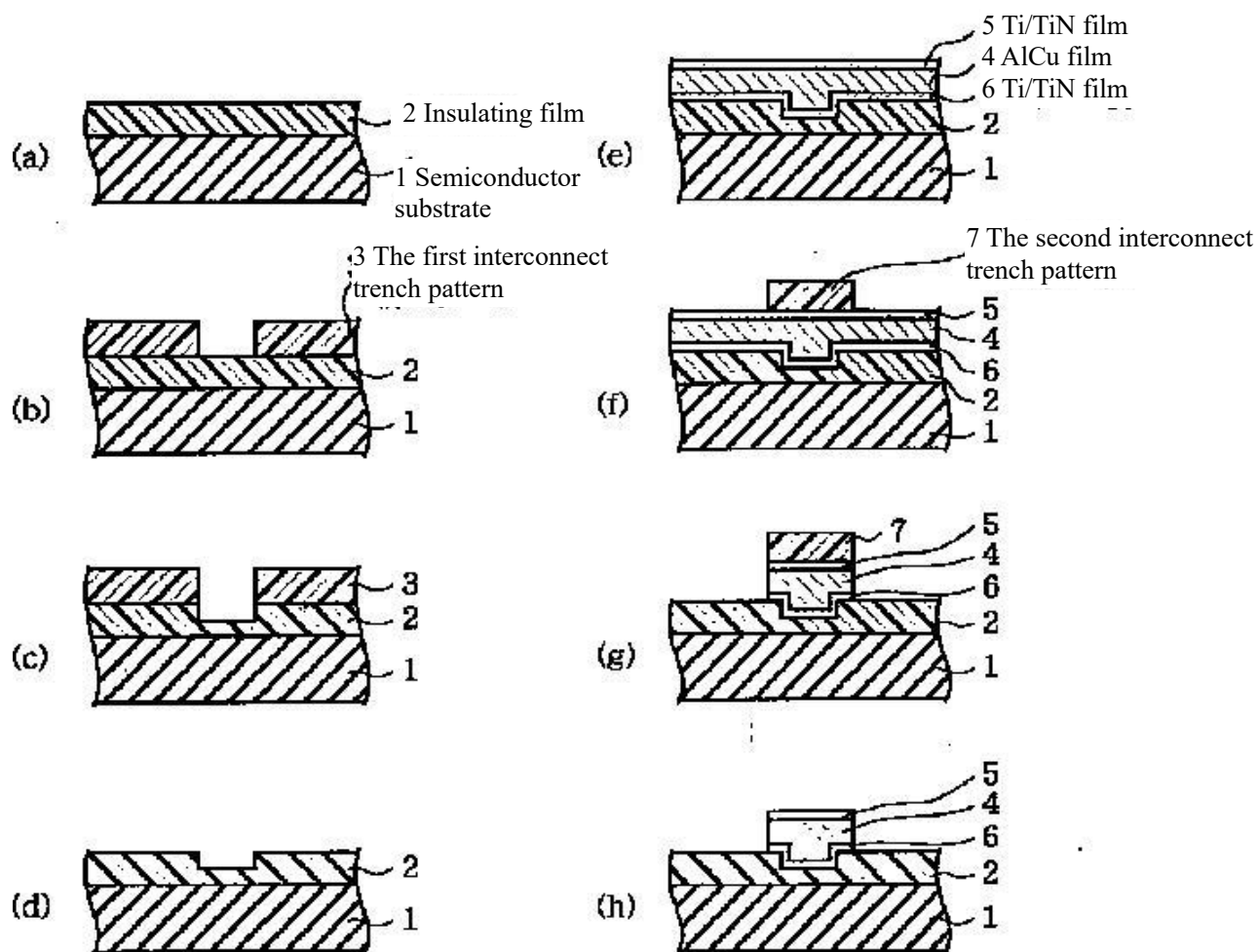


Figure 2

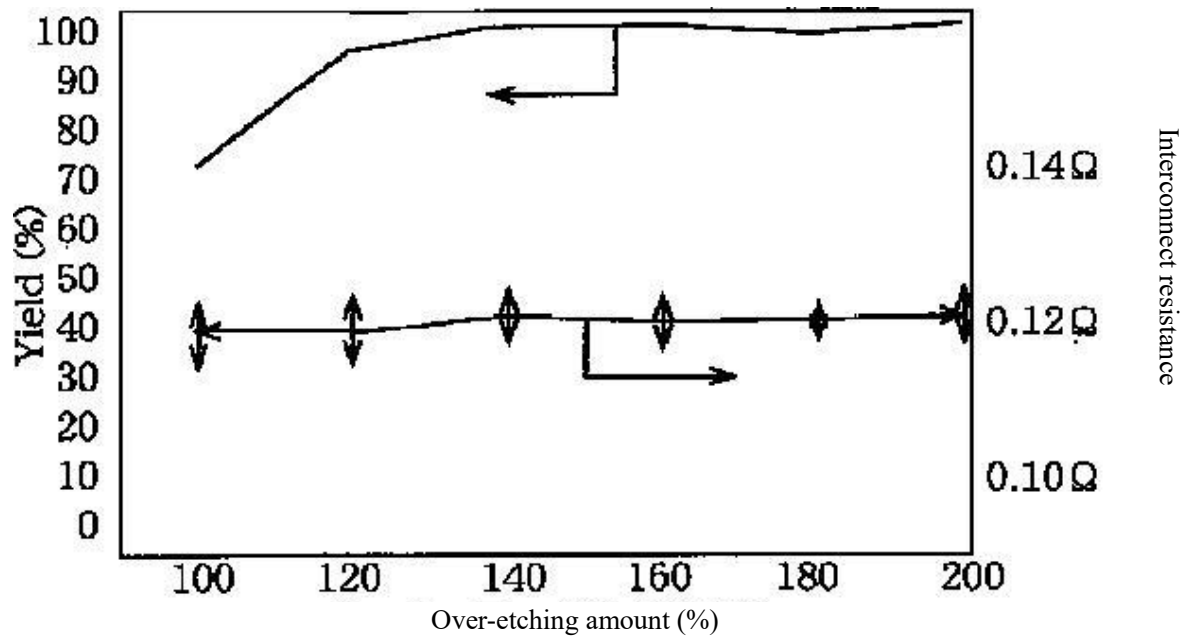


Figure 3

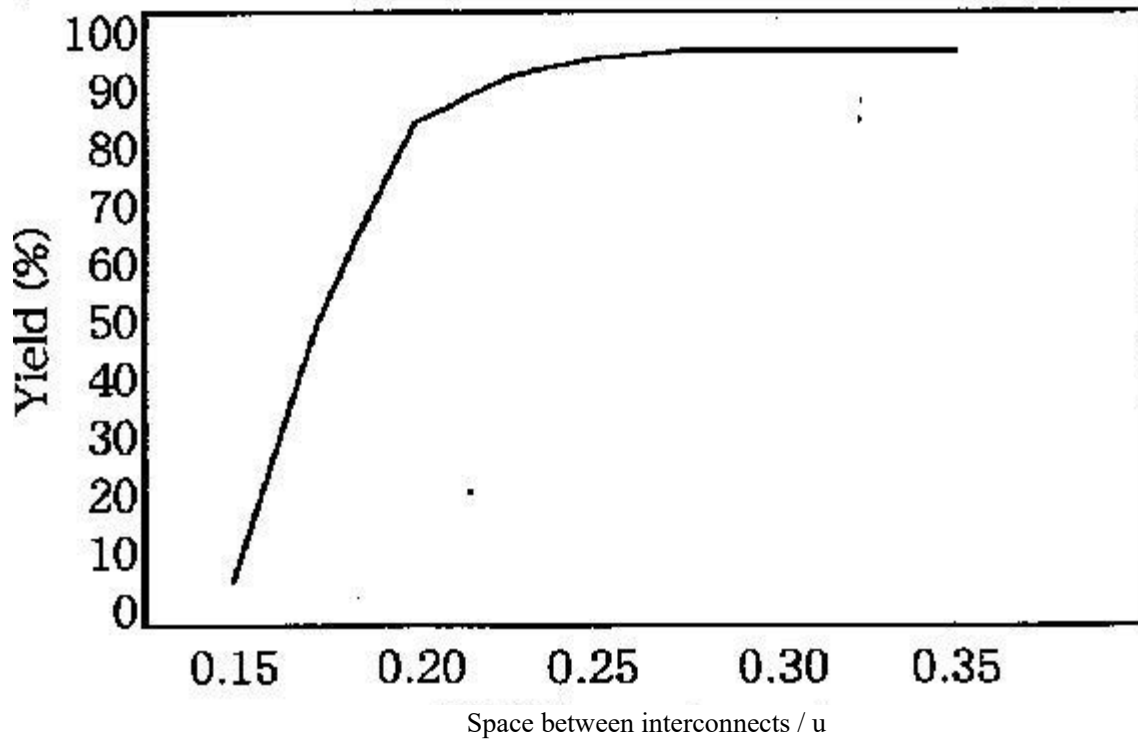


Figure 4

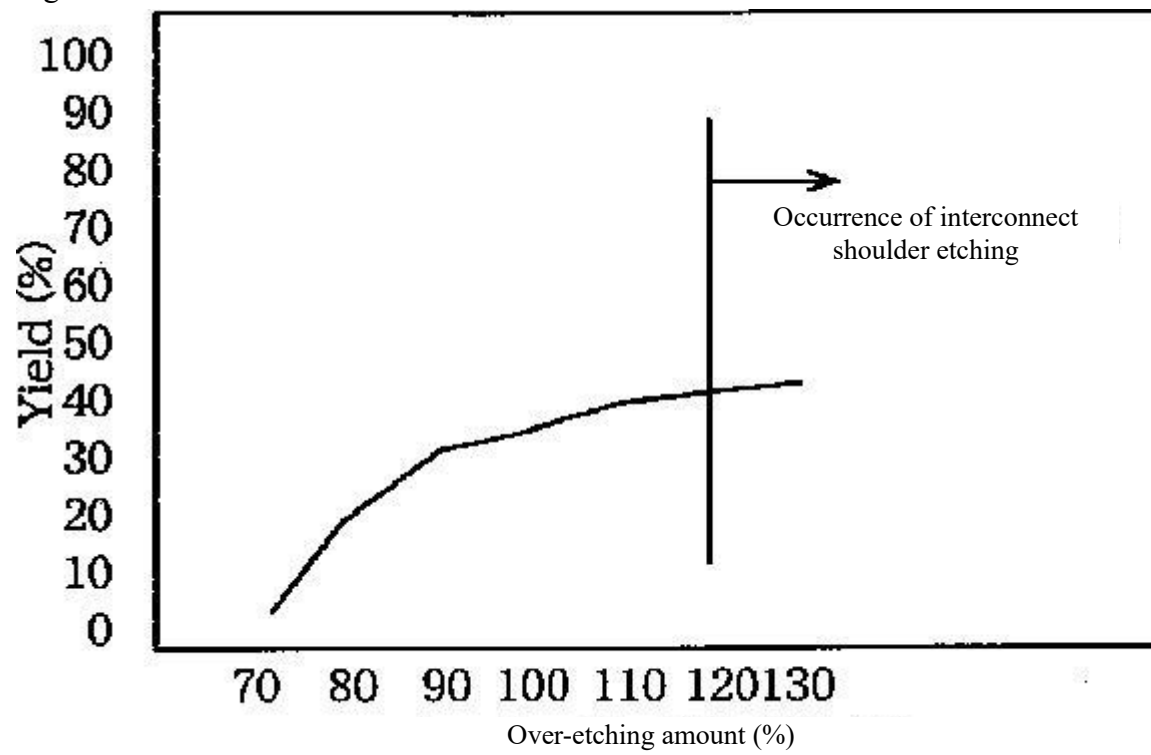


Figure 5

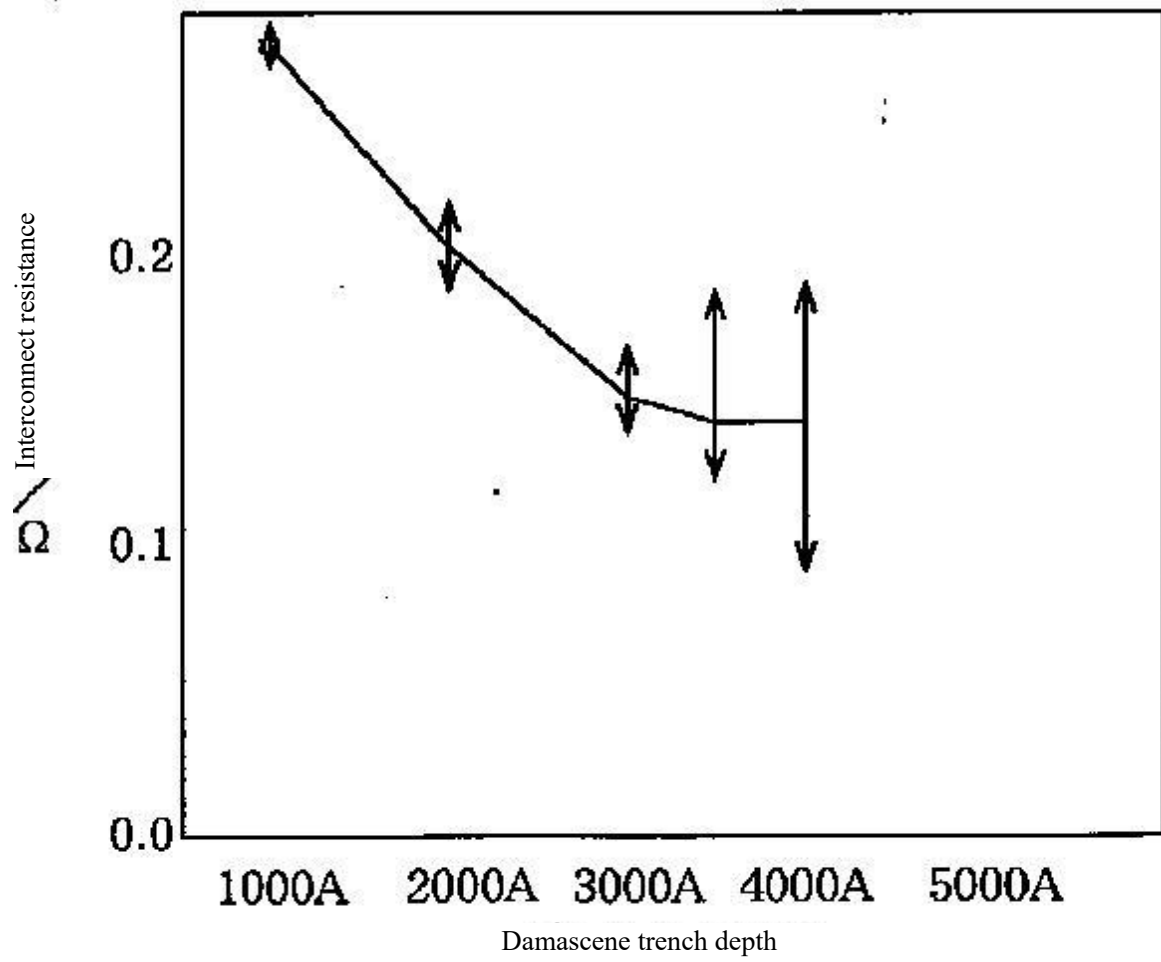


Figure 6

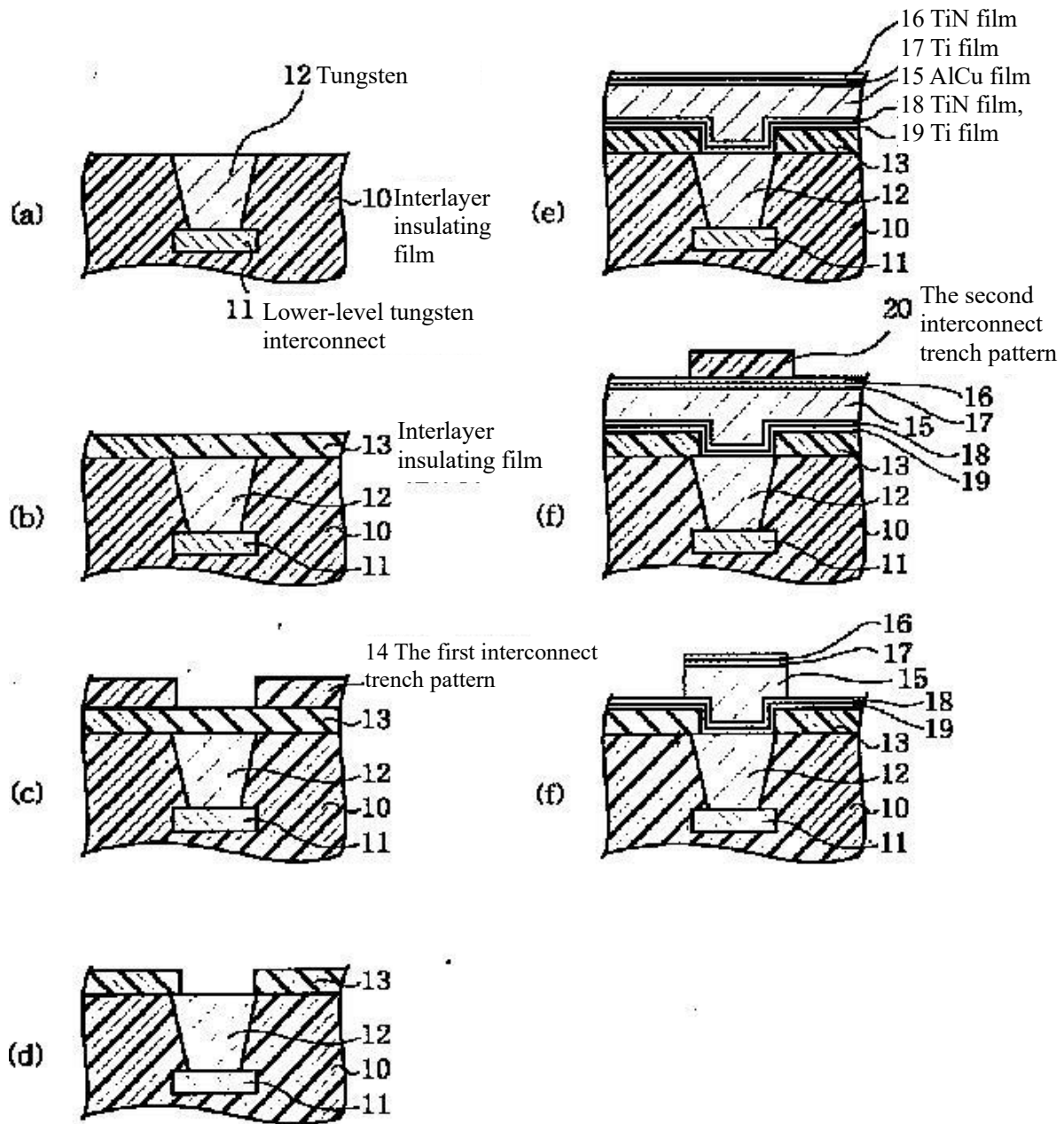
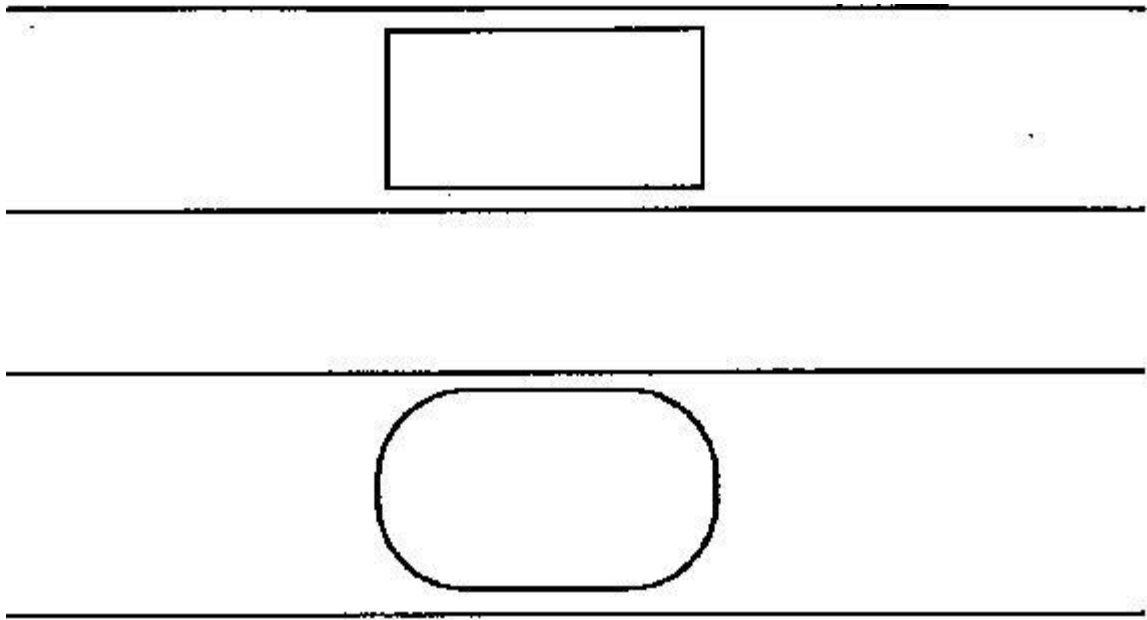
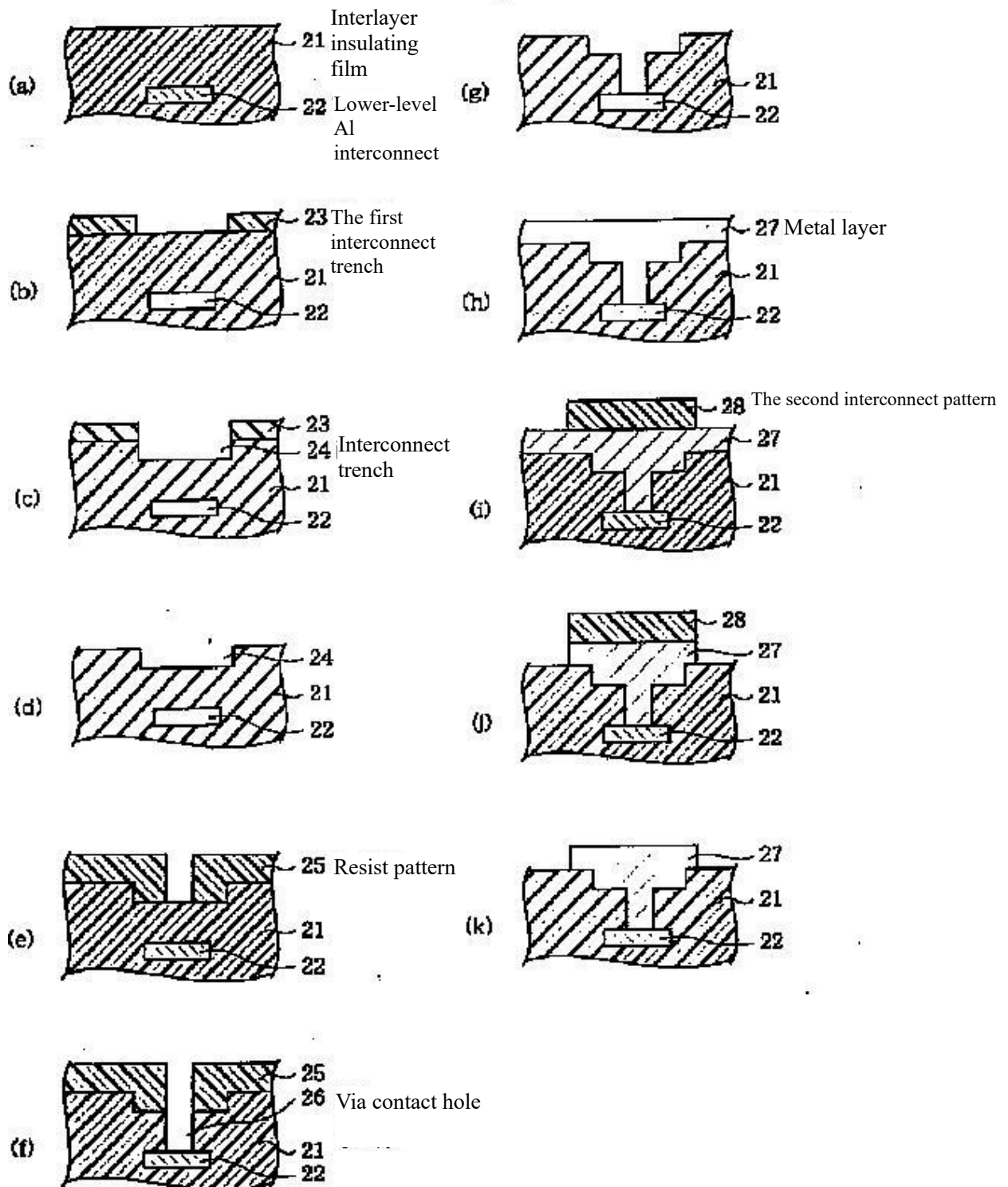


Figure 7



Shape of contact hole

Figure 8



Continuation from the front page . . .

F-term (reference): 5F004 BA04 BA13 BA20 DA04 DA11
DA16 DB03 DB09 DB10 DB12
EA22 EB01 EB02 EB03
5F033 HH09 HH18 HH33 JJ09 JJ18
JJ19 JJ33 KK08 KK09 KK18
KK19 KK33 MM01 MM08 MM12
MM13 MM29 NN06 NN07 NN31
NN33 PP15 QQ04 QQ08 QQ09
QQ13 QQ37 VV16



Legaltranslations.biz

(A Division of Nelles Translations)

3 Grant Square Ste. 336 • Hinsdale, IL 60521 • 630-539-8082 • www.nellestranslations.com

Certification

This is to certify that the foregoing translation of the document entitled " **Method for the Production of Semiconductor Devices (JP2000277609)**" was made from Japanese to English by a competent professional translator that is proficient in both languages. This work, to the best of our knowledge and belief, is a true and complete rendering into English of the original document.

Date: May 27, 2025

Donald W. Hanley, CEO

www.nellestranslations.com