

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2000-12688

(P 2 0 0 0 - 1 2 6 8 8 A)

(43)公開日 平成12年1月14日(2000.1.14)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
H01L 21/768		H01L 21/90	B 5F033
21/3205		21/88	N
			R

審査請求 未請求 請求項の数 5 O L (全 6 頁)

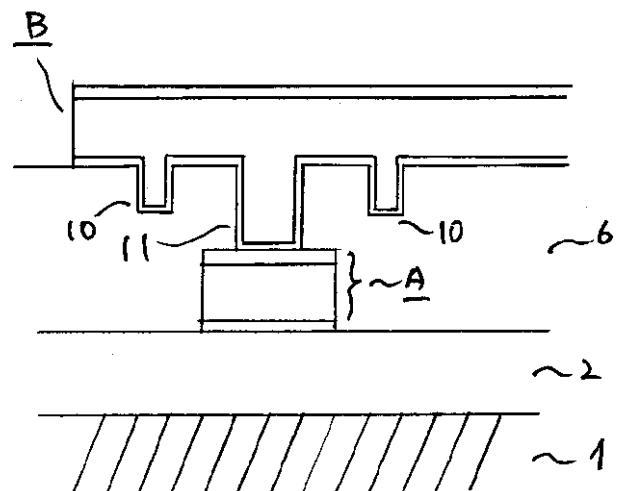
(21)出願番号	特願平10-176769	(71)出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22)出願日	平成10年6月24日(1998.6.24)	(72)発明者	那須 雅明 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		(74)代理人	100103296 弁理士 小池 隆彌
		Fターム(参考)	5F033 AA04 AA13 AA29 BA12 BA15 BA17 BA25 BA38 BA43 CA09 DA06 DA08 DA15 DA35 DA36 DA38 EA03 EA19 EA25 EA27

(54)【発明の名称】半導体装置及びその製造方法

(57)【要約】

【課題】 デバイスの高集積化に伴い配線の信頼性が大きな問題となっており、本発明は実際に電流が流れることにより断線を引き起こす現象として知られているEM（エレクトロマイグレーション）を解決するものである。

【解決手段】 本発明は、下層配線層とその上の層間絶縁膜に設けられたビアホールで接続された上層配線Bを含む多層配線の半導体装置において、実際のビアホール11付近に上層配線Bのパターンに沿って、深さが下層配線Aに届かない程度に1個もしくは複数個のダミーのホール10を形成し、上層配線Bの一部を上記ダミーのホール10に埋め込んで上層配線Bを形成してなることを特徴とする半導体装置である。



【特許請求の範囲】

【請求項 1】 下層配線層とその上の層間絶縁膜に設けられたビアホールで接続された上層配線を含む多層配線の半導体装置において、実際のビアホール付近に上層配線のパターンに沿って、深さが下層配線に届かない程度に 1 個もしくは複数個のダミーのホールを形成し、上層配線の一部を上記ダミーのホールに埋め込んで上層配線を形成してなることを特徴とする半導体装置。

【請求項 2】 上記上層配線は、Al あるいは Al 系合金膜を含んでなることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 上記上層配線は、Cu あるいは Cu 系合金膜を含んでなることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 下層配線層とその上の層間絶縁膜に設けられたビアホールで接続された上層配線を含む多層配線の半導体装置製造方法において、実際のビアホールと、該ビアホールの付近に上層配線のパターンに沿って、深さが下層配線に届かない程度に 1 個もしくは複数個のダミーのホールとを同時に形成する工程、上層配線の一部を実際のビアホールとダミーのホールに同時に埋め込んで上層配線を形成する工程とを有してなることを特徴とする半導体装置の製造方法。

【請求項 5】 フォトレジストに、実際のビアホールに対応するパターンと、ビアホールパターンより径の小さいダミーのホールパターンを形成し、ドライエッチングによりビアホール及びダミーホールを同時に形成することを特徴とする請求項 4 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、特に EM（エレクトロマイグレーション）耐性のある配線構造の半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 デバイスの高集積化に伴い配線の信頼性が大きな問題となっている。配線の信頼性の問題としては、SM（ストレスマイグレーション）や EM（エレクトロマイグレーション）がある。SM は、主に配線とそれを囲む絶縁膜との熱膨張係数の違いから生じる応力により、配線が断線する現象であるが、現在、通常は、Al 系配線層の下に高融点金属の層（例えば、TiN/Ti、TiN、Ti、TiW、W 等）を形成することにより、完全に SM により断線することがないようにしている。

【0003】 他方、EM は実際に電流が流れることにより断線を引き起こす現象であり、電子流の流れに対して Al 原子の移動が引き起こるが、Al 原子の移動が不連続である箇所、特に、ビアホール付近の W プラグと、それに接続されている上層および下層配線付近が EM 耐性が小さい所である。これに対応して、「JST フォーラ

ム 第 13 期 第 3 回 最適な Via 構造と形成プロセス ボーダーレス Via の特性」では、ビアホール近傍にリザーバーを設置して Al 体積を大きくすることにより、EM によるボイドの発生する時間が長くなるという報告がされている。

【0004】 図 10、図 11 はリザーバーの構造例を示す断面図及び平面図である。

【0005】 図において、1 は Si 基板、2 は Si 基板 1 上に形成された BPSG 膜等の絶縁膜、3 は高融点金属層（例えば、TiN/Ti）4 は Al 系合金層、5 は高融点金属層（例えば、TiN）で、3、4、5 により下層配線 A を形成する。6 は P-TEOS 膜等からなる層間絶縁膜、22 は層間絶縁膜 6 に形成されたビアホールで、15 はこのビアホール 22 に充填されたタングステン（W）である。12 は高融点金属（例えば、TiN/Ti）、13 は Al 系合金層、14 は高融点金属（例えば、TiN）で、12、13、14 により上層配線 B を形成する。この上層配線層をビアホール 22 部より延長して形成することによりリザーバー C とする。

【0006】 上記より EM によるボイドの発生する時間を長くできるのは、リザーバー C には EM を引き起こす電流が流れず、W プラグとの接続部から EM により Al 原子が移動するとともに、リザーバー C から Al 原子が移動するため接続部で移動した Al 原子の不足分を補うためである。

【0007】 このほかの Al 体積を増加させる方法として、特開平 4-348547 号公報の技術がある。

【0008】 図 12 から図 15 はこの製造方法の工程を示す断面図である。

【0009】 図 12 は、Si 基板 16 上に絶縁膜 17 を形成した後、Al 系合金膜 19 を堆積させてから配線として加工し、次に P-CVD 法により酸化膜 18 を堆積した後、続いて SOG 膜 20 を形成したものである。

【0010】 次に、図 13 に示すように、深さ 200 nm の窪み 21 を形成した後、その底部にホール 22 を形成し、選択 CVD 法によりタングステンシリサイド 23 を必要な厚さに堆積し、窪み 21 の底部が露出するまでエッチバックすることにより、ホール 22 内のみにタングステンシリサイド 23 を埋め込む。

【0011】 さらに、Al 系合金膜 24 をバイアスパッタ法により窪み 21 が充分に埋まるまで堆積し、余剰分を等方性ドライエッチ等で除去した後、図 14 に示すように、窪み 21 を Al 系合金膜 24 のみで埋め込む。続いて、図 15 に示すように、スパッタ法により Al 系合金膜 25 を堆積させ、加工することにより配線を形成する。

【0012】

【発明が解決しようとする課題】 しかしながら、前者のリザーバー C を設置するものは、エレクトロマイグレーションを抑制するため、リザーバー C として 0.5 μm

の長さが必要であり、チップ面積の縮小化に障害を来す。後者の方法では、窪み 21 を形成するために、プロセスの工程数が増えるという問題がある。また、窪み 21 の位置も直接ビアホール 22 の上にあるため、窪み 21 により A1 の体積が大きくなっているものの、エレクトロマイグレーションによる電流が直接流れるため、A1 原子の移動は起こり、リザーバーのように A1 原子の供給源がなければ断線に至ってしまう問題がある。これは、上層配線 B の第 1 導電膜の A1 あるいは A1 系合金膜を Cu あるいは Cu 系合金膜に変える場合も同様である。

【0013】本発明は、実際のビアホールの付近に上層配線のパターンに沿って下層配線に届かない程度の深さのダミーのホールを形成することにより、上記問題を解決するものである。

【0014】

【課題を解決する手段】請求項 1 に記載の発明は、下層配線層とその上の層間絶縁膜に設けられたビアホールで接続された上層配線を含む多層配線の半導体装置において、実際のビアホール付近に上層配線のパターンに沿って、深さが下層配線に届かない程度に 1 個もしくは複数個のダミーのホールを形成し、上層配線の一部を上記ダミーのホールに埋め込んで上層配線を形成してなることを特徴とする半導体装置である。

【0015】請求項 2 に記載の発明は、上記上層配線は、A1 あるいは A1 系合金膜を含んでなることを特徴とする請求項 1 記載の半導体装置である。

【0016】請求項 3 に記載の発明は、上記上層配線は、Cu あるいは Cu 系合金膜を含んでなることを特徴とする請求項 1 記載の半導体装置である。

【0017】請求項 4 に記載の発明は、下層配線層とその上の層間絶縁膜に設けられたビアホールで接続された上層配線を含む多層配線の半導体装置製造方法において、実際のビアホールと、該ビアホールの付近に上層配線のパターンに沿って、深さが下層配線に届かない程度に 1 個もしくは複数個のダミーのホールとを同時に形成する工程、上層配線の一部を実際のビアホールとダミーのホールに同時に埋め込んで上層配線を形成する工程とを有してなることを特徴とする半導体装置の製造方法である。

【0018】請求項 5 に記載の発明は、フォトレジストに、実際のビアホールに対応するパターンと、ビアホールパターンより径の小さいダミーのホールパターンを形成し、ドライエッチングによりビアホール及びダミーホールを同時に形成することを特徴とする請求項 4 記載の半導体装置の製造方法である。

【0019】

【発明の実施の形態】以下、図面にしたがって、本発明の実施例を詳細に説明する。

【0020】（実施例 1）図 1 から図 5 は実施例 1 の工

程例を示す断面図、図 6 は平面図である。

【0021】図 1 から図 6 に示される実施例 1 において、図 12 から図 15 で説明した従来例と同一機能を有するものは同一符号を付して示している。

【0022】図 1 において、1 は Si 基板、2 は Si 基板 1 上に形成された BPSG 膜等の絶縁膜、3 は高融点金属層（例えば、TiN/Ti）、4 は A1 系合金層、5 は高融点金属層（例えば、TiN）で、3、4、5 により下層配線 A を形成している。6 は下層配線 A 上に層間絶縁膜として堆積された P-TEOS 膜（例えば、1.2 μm）等からなる絶縁膜である。

【0023】図 2 において、7 は層間絶縁膜 6 上に形成されたフォトレジストで、このフォトレジスト 7 に下層配線（3 から 5）部に対応するビアホールパターン 11 と、該ビアホールパターン 11 の付近に上層配線パターンに沿ってダミーのホールパターン 8 を複数個形成する。ただし、ダミーのホールパターン 8 の径はビアホールパターン 9 の径よりも小さく形成しており、例えば、ビアホールパターン 9 の径が 0.45 μm に対してダミーのビアホールパターン 8 の径は 0.30 μm 以下である。

【0024】次に、図 3 に示すように、ビアホール 11、ダミーホール 10 を加工するため、層間絶縁膜 6 をドライエッチング処理を行う。ドライエッチングの条件は圧力：250 mTorr、RF パワー：1500 W、CF₄/C₄F₈/CO/Ar/N₂：5/3/200/300/40 sccm である。ダミーホール 10 はビアホール 9 より径が小さいため、マイクロローディング効果より、下層配線 A まで届かず、深さ 0.4 μm 程度のホールとなる。

【0025】さらに、図 4 に示すように、上層配線膜として、高融点金属膜（例えば、TiN/Ti）12 をスパッタ装置等により堆積した後、A1 系合金 13 を高温スパッタ法等により埋め込み、反射防止膜として高融点金属膜（例えば、TiN）14 を堆積させる。

【0026】その後、図 5 及び図 6 の断面図、平面図に示すように、ダミーホール 10 部をも含む上層配線 B の形状に加工する。

【0027】このように、実際のビアホール 11 の形成の際、ビアホール 11 付近に上層配線（12 から 14）のパターンに沿って、下層配線（3 から 5）に届かない程度の深さのダミーのホール 10 を形成する。その後、上層配線（12 から 14）を埋め込むことにより、プロセス工程数を増加させることなく、A1 原子の供給源（ダミーのホール）を形成することができ、しかも、通常のリザーバーと併用すれば、さらに、A1 原子の体積を大きくできるため、EM 耐性をさらに高めることが可能となる。

【0028】また、ダミーホール 10 の形成においては、実際のビアホール 11 形成用のフォトマスクにビア

ホール付近に上層配線のパターンに沿って、1個もしくは複数のダミーのホールパターンもいれておく。このとき、ダミーのホール10の径は実際のビアホール11の径よりは小さくすると、ビアホール11とダミーホール109が同時に形成でき、しかもダミーホール10を、マイクロローディング効果により下層配線Aまで届かないように形成できる利点がある。

【0029】(実施例2)図7から図9は実施例2の要部工程を説明する断面図、図10は同平面図である。ビアホール11、ダミーホール10の形成までの工程は

【0030】実施例2は、実施例1の場合と違って、図7に示すように、ビアホール11及びダミーのホール10をブランケットW-CVD法により、タングステン(W)15で埋め込んでいる点で異なっている。

【0031】次に図8のように、タングステン(W)15のエッチバックを行うが、この時、層間絶縁膜6の膜表面が露出し、さらにWのリセス量が大きくなるように処理を行う。そして、上層配線膜として、高融点金属膜(例えば、TiN/Ti)12をスパッタ装置等により堆積した後、Al系合金13を高温スパッタ法等により埋め込み、反射防止膜として高融点金属膜(例えば、TiN)14を堆積させる。

【0032】その後、図9及び図10の断面図、平面図に示すように、ダミーホール10部をも含む上層配線の形状に加工する。

【0033】以上の実施例1、2では、上層配線Bの第1導電膜としてAlあるいはAl系合金膜からなるものを説明したが、上層配線Bの第1導電膜として、CuあるいはCu系合金膜からなるものでも全く同様である。

【0034】

【発明の効果】以上のように、本発明によれば、工程数を増やすことなく、Al供給源としてのダミーのホールを形成することが可能である。また、従来のリザーバーと同時に形成すれば、さらにAl、Cu等の堆積が増加するため、エレクトロマイグレーション耐性をさらに高めることができる。

【図面の簡単な説明】

【図1】本発明の実施例1における工程を示す断面図である。

【図2】本発明の実施例1における工程を示す断面図で

ある。

【図3】本発明の実施例1における工程を示す断面図である。

【図4】本発明の実施例1における工程を示す断面図である。

【図5】本発明の実施例1における工程を示す断面図である。

【図6】本発明の実施例1における工程を示す平面図である。

【図7】本発明の実施例2における工程を示す断面図である。

【図8】本発明の実施例2における工程を示す断面図である。

【図9】本発明の実施例2における工程を示す断面図である。

【図10】従来技術における工程を示す断面図である。

【図11】従来技術における工程を示す平面図である。

【図12】他の従来技術における工程を示す断面図である。

【図13】他の従来技術における工程を示す断面図である。

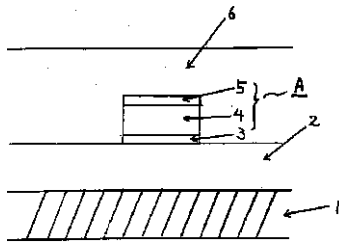
【図14】他の従来技術における工程を示す断面図である。

【図15】他の従来技術における工程を示す断面図である。

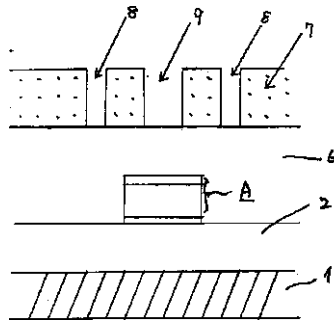
【符号の説明】

- 1 Si基板
- 2 絶縁膜(BPSG膜)
- A 下層配線
- B 上層配線
- 6 絶縁膜(P-TEOS膜)
- 7 フォトリジスト
- 8 ダミーのホールパターン
- 9 ビアホールパターン
- 10 ダミーのホール
- 11 ビアホール
- 12 高融点金属(TiN/Ti)
- 13 高温スパッタで堆積したAl系合金
- 14 高融点金属(TiN)
- 15 W膜

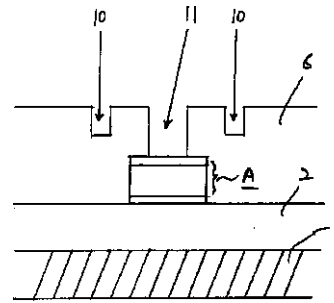
【図1】



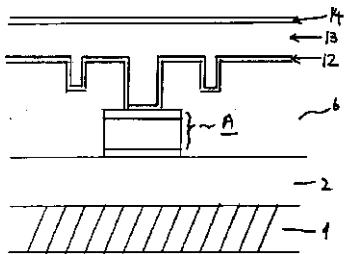
【図2】



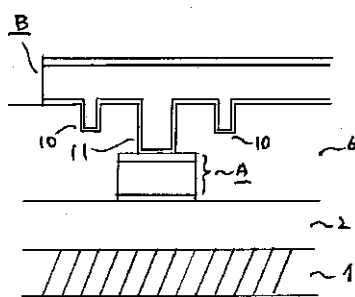
【図3】



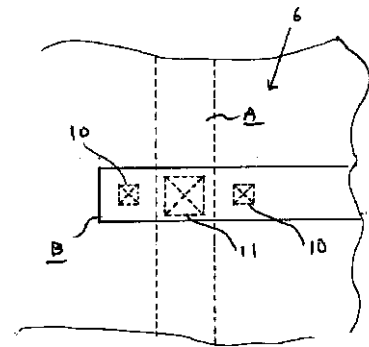
【図4】



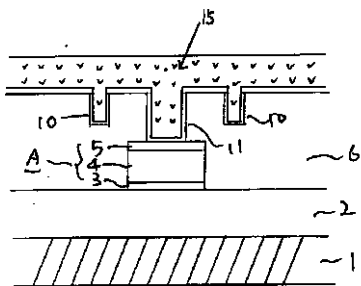
【図5】



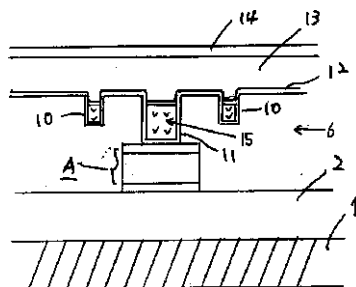
【図6】



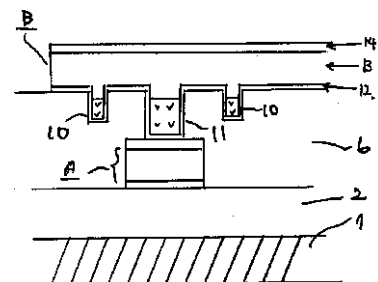
【図7】



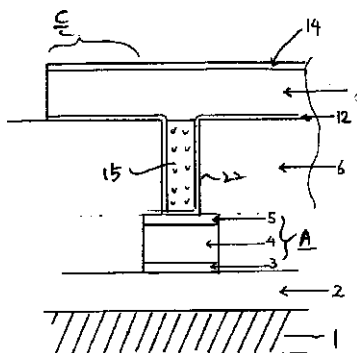
【図8】



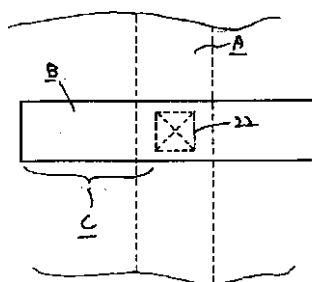
【図9】



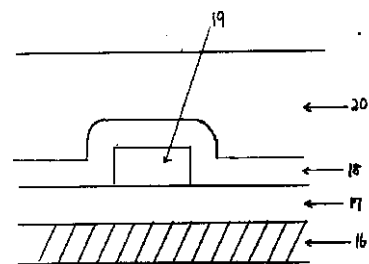
【図10】



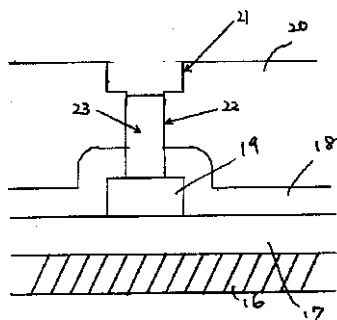
【図11】



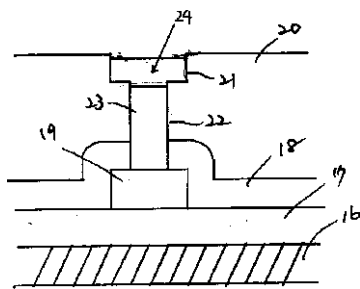
【図12】



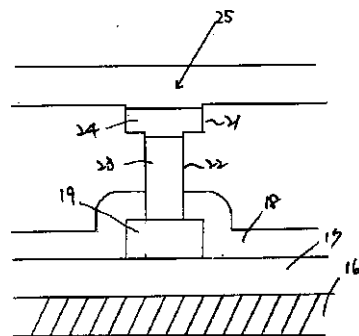
【図13】



【図14】



【図15】



(19) Japanese Patent Office (JP)

(12) Published Patent Gazette (A)

(11) Japanese Patent Application
Publication No.
Japanese Unexamined Patent Application
Publication Official Gazette No. 2000-
12688
(P2000-12688A)
(43) [Publication date] January 14, 2000
(1.14.2000)

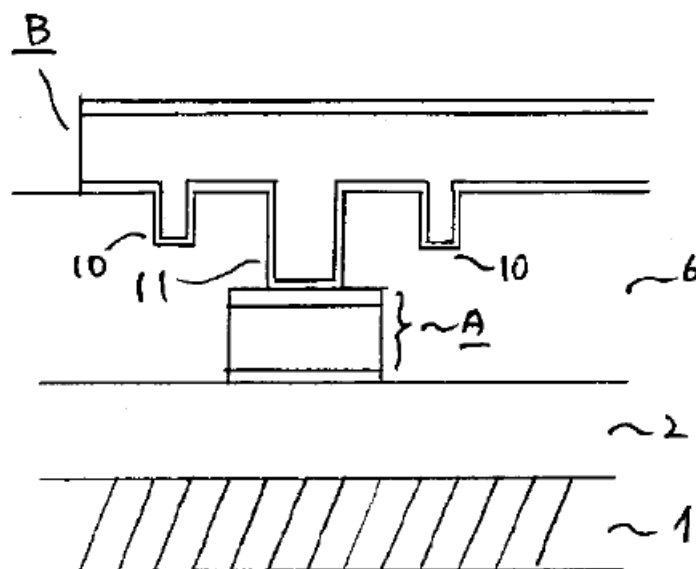
(51) Int. Cl. ⁷ H01L 21/768 21/3205	Identification Code JPO Reference No. FI H01L 21/90 B 21/88 N R	Technical Display Location 5F033
Examination Request: Not yet made; Number of Claims: 5 OL (Total 6 pages)		
(21) Application No.: (22) Application Date:	Patent Application No. H10-176769 June 24, 1998 (6.24.1998)	(71) Applicant: 000005049 Sharp Corporation 22-22 Nagaiike-cho, Abeno Ward, Osaka City, Osaka Prefecture, Japan (72) Inventor: Nasu Masaaki 22-22 Nagaiike-cho, Abeno Ward, Osaka City, Osaka Prefecture, Japan Inside Sharp Corporation (74) Agent: 100103296 Patent Attorney: Koike Takanori F-term (Reference): 5F033 AA04 AA13 AA29 BA12 BA15 BA17 BA25 BA38 BA43 CA09 DA06 DA08 DA15 DA35 DA36 DA38 EA03 EA19 EA25 EA27

(54) [Title of Invention] Semiconductor Device and Its Manufacturing Method

(57) [Abstract]

[Problem to be Solved] With the high integration of devices, the reliability of wiring has become a significant issue, and this invention aims to solve the problem known as EM (Electromigration), which is a phenomenon causing disconnection due to actual current flow.

[Means for Solving the Problem] This invention relates to a semiconductor device comprising a multilayer wiring that includes an upper layer wiring B connected through a via hole provided in a lower wiring layer and an interlayer insulating film above it, wherein one or more dummy holes 10 are formed along the pattern of the upper layer wiring B near the actual via hole 11, with a depth not reaching the lower wiring A, and part of the upper layer wiring B is embedded in the dummy hole 10 to form the upper layer wiring B.



[Scope of patent claims]

[Claim 1]

A semiconductor device with a multilayer wiring that includes an upper layer wiring connected through a via hole provided in a lower wiring layer and an interlayer insulating film above it, wherein one or more dummy holes are formed near the actual via hole, along the pattern of the upper layer wiring, with a depth that does not reach the lower wiring, and part of the upper layer wiring is embedded in the dummy hole to form the upper layer wiring.

[Claim 2]

The semiconductor device according to Claim 1, wherein the upper layer wiring includes an Al or Al-based alloy film.

[Claim 3]

The semiconductor device according to Claim 1, wherein the upper layer wiring includes a Cu or Cu-based alloy film.

[Claim 4]

A manufacturing method of semiconductor device, which includes a multilayer wiring that includes an upper layer wiring connected through a via hole provided in a lower wiring layer and an interlayer insulating film above it, wherein this method includes: a step of simultaneously forming the actual via hole and one or more dummy holes near the via hole, along the pattern of the upper layer wiring, with a depth that does not reach the lower wiring; and a step of embedding part of the upper layer wiring simultaneously in the actual via hole and the dummy holes to form the upper layer wiring.

[Claim 5]

The manufacturing method of semiconductor device according to Claim 4, wherein a pattern corresponding to the actual via hole and a pattern for dummy holes with smaller diameters than the via hole pattern are formed on a photoresist, and the via holes and dummy holes are simultaneously formed by dry etching.

[Detailed explanation of the invention]

[0001]

[Technical Field to which the Invention Belongs]

This invention relates to a semiconductor device with a wiring structure that is particularly resistant to electro-migration (EM), and a method for manufacturing such a device.

[0002]

[Conventional Technology]

With the increasing integration of devices, the reliability of wiring has become a major issue. Issues concerning wiring reliability include stress migration (SM) and electro-migration (EM).

SM is a phenomenon where wiring breaks due to stress arising from differences in the thermal expansion coefficients between the wiring and the surrounding insulating film. Currently, to prevent wiring from breaking due to SM, a high-melting-point metal layer (such as TiN/Ti, TiN, Ti, TiW, W, etc.) is typically formed below an Al-based wiring layer.

[0003]

On the other hand, EM is a phenomenon where current flow causes wiring to break, due to the movement of Al atoms in response to the flow of electronic current. The movement of Al atoms is discontinuous, especially near the W plug around the via hole, and at the points where the upper and lower layer wirings are connected. These locations have low EM resistance. In response to this, the "JST Forum, 13th Term, 3rd Meeting, Optimal Via Structure and Formation Process, Borderless Via Characteristics" report indicates that by installing a reservoir near the via hole and increasing the volume of Al, the time for void formation due to EM can be lengthened.

[0004]

Fig. 10 and Fig. 11 show cross-sectional and planar diagrams of an example structure of a reservoir.

[0005]

In the diagram, 1 is the Si substrate, 2 is an insulating film such as a BPSG film formed on the Si substrate 1, 3 is a high-melting-point metal layer (e.g., TiN/Ti), 4 is an Al-based alloy layer, and 5 is a high-melting-point metal layer (e.g., TiN), and 3, 4 and 5 together form the lower wiring A.

6 is an interlayer insulating film made of a material such as P-TEOS, 22 is the via hole formed in the interlayer insulating film 6, and 15 is the tungsten (W) filled in the via hole 22.

12 is a high-melting-point metal (e.g., TiN/Ti), 13 is an Al-based alloy layer, 14 is a high-melting-point metal (e.g., TiN), and 12, 13, and 14 form the upper layer wiring B.

By extending this upper layer wiring layer from the via hole 22, a reservoir C is formed.

[0006]

As mentioned above, the time for void formation due to EM can be extended because no current causing EM flows through the reservoir C, and as Al atoms move from the connection point with the W plug due to EM, Al atoms also move from the reservoir C. This compensates for the lack of Al atoms that moved at the connection point.

[0007]

Another method for increasing the Al volume is the technology disclosed in Japanese Patent Application No. H4 (1992)-348547.

[0008]

Fig. 12 through Fig.15 show cross-sectional diagrams of the steps in this manufacturing method.

[0009]

Fig. 12 shows the process of forming an insulating film 17 on the Si substrate 16, then depositing an Al-based alloy film 19, processing it as wiring, and then depositing an oxidation film 18 by P-CVD, followed by forming an SOG film 20.

[0010]

Next, as shown in Fig. 13, after forming a recess 21 with a depth of 200 nm, a hole 22 is formed at the bottom of the recess. Tungsten silicide 23 is deposited to the required thickness using selective CVD, and then etch-back is performed until the bottom of the recess 21 is exposed, embedding tungsten silicide 23 only in the hole 22.

[0011]

Furthermore, an Al-based alloy film 24 is deposited by a bias sputtering method until the recess 21 is sufficiently filled, excess material is removed by isotropic dry etching, and as shown in Fig. 14, the recess 21 is filled only with the Al-based alloy film 24.

Next, as shown in Fig. 15, an Al-based alloy film 25 is deposited by sputtering and processed to form the wiring.

[0012]

[Problems to be solved by the invention]

However, the former method that installs the reservoir C requires a length of 0.5 μm for the reservoir C to suppress electro-migration, which hinders the reduction of chip area. The latter method has the problem of increasing the number of process steps to form the recess 21. In addition, since the position of the recess 21 is directly above the via hole 22, while the volume of Al increases due to the recess 21, current flows directly through the recess, causing the movement of Al atoms. Without a source of Al atoms like a reservoir, this leads to disconnection. This issue also applies when changing the first conductive film of the upper layer wiring B from Al or an Al-based alloy film to Cu or a Cu-based alloy film.

[0013]

This invention aims to solve the aforementioned problems by forming dummy holes along the pattern of the upper layer wiring at a depth that does not reach the lower wiring, near the actual via hole.

[0014]

[Means for Solving the Problem]

The invention described in Claim 1 is a semiconductor device with a multilayer wiring that includes an upper layer wiring connected through a via hole provided in a lower wiring layer and an interlayer insulating film above it, wherein one or more dummy holes are formed near the actual via hole, along the pattern of the upper layer wiring, with a depth that does not reach the lower wiring, and part of the upper layer wiring is embedded in the dummy hole to form the upper layer wiring.

[0015]

The invention described in Claim 2 is the semiconductor device according to Claim 1, wherein the upper layer wiring includes an Al or Al-based alloy film.

[0016]

The invention described in Claim 3 is the semiconductor device according to Claim 1, wherein the upper layer wiring includes a Cu or Cu-based alloy film.

[0017]

The invention described in Claim 4 is a manufacturing method of semiconductor device, which includes a multilayer wiring that includes an upper layer wiring connected through a via hole provided in a lower wiring layer and an interlayer insulating film above it, wherein this method includes: a step of simultaneously forming the actual via hole and one or more dummy holes near the via hole, along the pattern of the upper layer wiring, with a depth that does not reach the lower wiring; and a step of embedding part of the upper layer wiring simultaneously in the actual via hole and the dummy holes to form the upper layer wiring.

[0018]

The invention described in Claim 5 is a manufacturing method of semiconductor device according to Claim 4, wherein a pattern corresponding to the actual via hole and a pattern for dummy holes with smaller diameters than the via hole pattern are formed on a photoresist, and the via holes and dummy holes are simultaneously formed by dry etching.

[0019]

[Embodiments of the Invention]

The following is a detailed explanation of the embodiments of the invention, based on the figures.

[0020] (Embodiment 1)

Fig. 1 to Fig. 5 are cross-sectional views illustrating the process steps of Embodiment 1, and Fig. 6 is a plan diagram.

[0021]

In Embodiment 1 shown in Fig. 1 to Fig. 6, the same functions as those in the conventional examples explained in Fig. 12 to Fig. 15 are denoted by the same reference numerals.

[0022]

In Fig. 1, 1 represents a Si substrate, 2 represents an insulating film such as a BPSG film formed on the Si substrate 1, 3 represents a high-melting-point metal layer (for example, TiN/Ti), 4 represents an Al-based alloy layer, and 5 represents a high-melting-point metal layer (for example, TiN). Layers 3, 4, and 5 form the lower wiring A. 6 is an interlayer insulating film, such as a P-TEOS film (for example, 1.2 μm), deposited over the lower wiring A.

[0023]

In Fig. 2, 7 represents a photoresist formed on the interlayer insulating film 6. In this photoresist 7, a via hole pattern 11 corresponding to the lower wiring (3 to 5) and a dummy hole pattern 8 along the upper wiring pattern near the via hole pattern 11 are formed.

The diameter of the dummy hole pattern 8 is smaller than the diameter of the via hole pattern 9, for example, when the diameter of the via hole pattern 9 is 0.45 μm , the diameter of the dummy via hole pattern 8 is 0.30 μm or less.

[0024]

Next, as shown in Fig. 3, dry etching is performed on the interlayer insulating film 6 to process the via hole 11 and the dummy hole 10.

The dry etching conditions are as follows:

Pressure: 250 mTorr

RF Power: 1500 W

CF₄/C₄F₈/CO/Ar/N₂: 5/3/200/300/40 sccm

Since the diameter of the dummy hole 10 is smaller than that of the via hole 9, it does not reach the lower wiring A due to the micro-loading effect, and the depth of the hole becomes about 0.4 μm .

[0025]

Furthermore, as shown in Fig. 4, a high-melting-point metal film (for example, TiN/Ti) 12 is deposited as an upper wiring film, and an Al-based alloy 13 is embedded by high-temperature sputtering. A high-melting-point metal film (for example, TiN) 14 is then deposited as a reflection prevention film.

[0026]

Afterward, as shown in the cross-sectional view of Fig. 5 and the plan view of Fig. 6, the shape of the upper wiring B, which includes the dummy hole 10, is processed.

[0027]

In this way, when forming the actual via hole 11, dummy holes 10 are formed along the pattern of the upper wiring (12 to 14) near the via hole 11. The depth of these dummy holes 10 does not reach the lower wiring (3 to 5).

By embedding the upper wiring (12 to 14) afterward, dummy holes can be formed without increasing the number of process steps, and by using a normal reservoir in combination, the volume of Al atoms can be increased, further enhancing EM resistance.

[0028]

In addition, in the formation of the dummy hole 10, one or more dummy hole patterns are included in the photomask for the formation of the actual via hole 11, along the upper wiring pattern near the via hole.

In this case, the diameter of the dummy hole 10 is smaller than the diameter of the actual via hole 11, allowing the via hole 11 and the dummy hole 10 to be formed simultaneously. Moreover, the dummy hole 10 can be formed in such a way that it does not reach the lower wiring A due to the micro-loading effect, which is advantageous.

[0029] (Embodiment 2)

Fig. 7 to Fig. 9 are cross-sectional views illustrating the key process steps of Embodiment 2, and Fig. 10 is a plan diagram. The process up to the formation of the via hole 11 and dummy hole 10 is the same as the steps explained in Embodiment 1 in Fig. 1 to Fig. 3.

[0030]

Embodiment 2 differs from Embodiment 1 in that, as shown in Fig. 7, the via hole 11 and dummy hole 10 are filled with tungsten (W) 15 by the blanket W-CVD method.

[0031]

Next, as shown in Fig. 8, etching-back of the tungsten (W) 15 is performed. During this process, the surface of the interlayer insulating film 6 is exposed, and the recess amount of the W film is increased.

Afterward, a high-melting-point metal film (e.g., TiN/Ti) 12 is deposited by sputtering, followed by embedding an Al-based alloy 13 by high-temperature sputtering, and then depositing a reflection prevention film, a high-melting-point metal film (e.g., TiN) 14.

[0032]

Finally, as shown in the cross-sectional view of Fig. 9 and the plan view of Fig. 10, the shape of the upper wiring, including the dummy hole 10, is processed.

[0033]

In both Embodiment 1 and Embodiment 2, the first conductive film of the upper wiring B is described as being made of Al or Al-based alloy film. However, it can also be made of Cu or Cu-based alloy film in the same way.

[0034]

[Effects of the Invention]

As described above, according to this invention, dummy holes serving as an Al supply source can be formed without increasing the number of process steps. Moreover, by forming these simultaneously with a conventional reservoir, the deposition of Al, Cu, and other materials increases, further improving electro-migration resistance.

[Brief Description of the Figures]

[Fig. 1] It is a cross-sectional diagram showing the step in Embodiment 1.

[Fig. 2] It is a cross-sectional diagram showing the step in Embodiment 1.

[Fig. 3] It is a cross-sectional diagram showing the step in Embodiment 1.

[Fig. 4] It is a cross-sectional diagram showing the step in Embodiment 1.

[Fig. 5] It is a cross-sectional diagram showing the step in Embodiment 1.

[Fig. 6] It is a plan diagram showing the step in Embodiment 1.

[Fig. 7] It is a cross-sectional diagram showing the step in Embodiment 2.

[Fig. 8] It is a cross-sectional diagram showing the step in Embodiment 2.

[Fig. 9] It is a cross-sectional diagram showing the step in Embodiment 2.

[Fig. 10] It is a cross-sectional diagram showing the step of conventional technology.

[Fig. 11] It is a plan diagram showing the step of conventional technology.

[Fig. 12] It is a cross-sectional diagram showing the step of another conventional technology.

[Fig. 13] It is a cross-sectional diagram showing the step of another conventional technology.

[Fig. 14] It is a cross-sectional diagram showing the step of another conventional technology.

[Fig. 15] It is a cross-sectional diagram showing the step of another conventional technology.

[Description of the Reference Numerals]

1: Si substrate

2: Insulating film (BPSG film)

A: Lower wiring

B: Upper wiring

6: Insulating film (P-TEOS film)

7: Photoresist

8: Dummy hole pattern

9: Via hole pattern

10: Dummy hole

11: Via hole

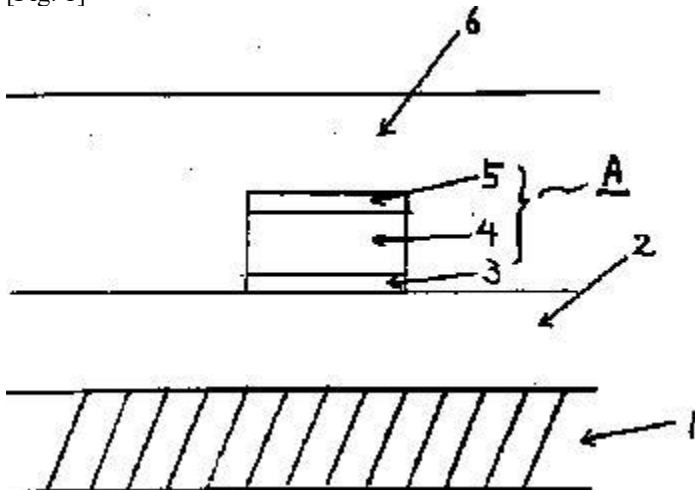
12: High-melting-point metal (TiN/Ti)

13: Al-based alloy deposited by high-temperature sputtering

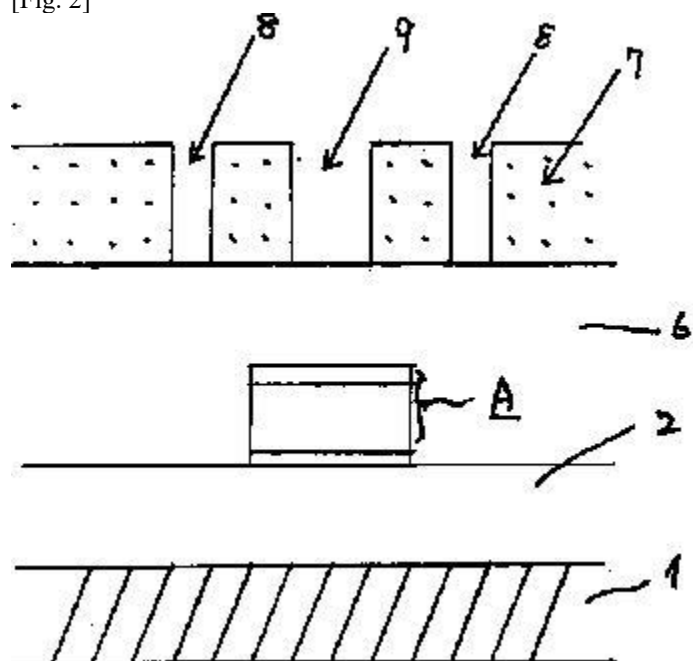
14: High-melting-point metal (TiN)

15: W film

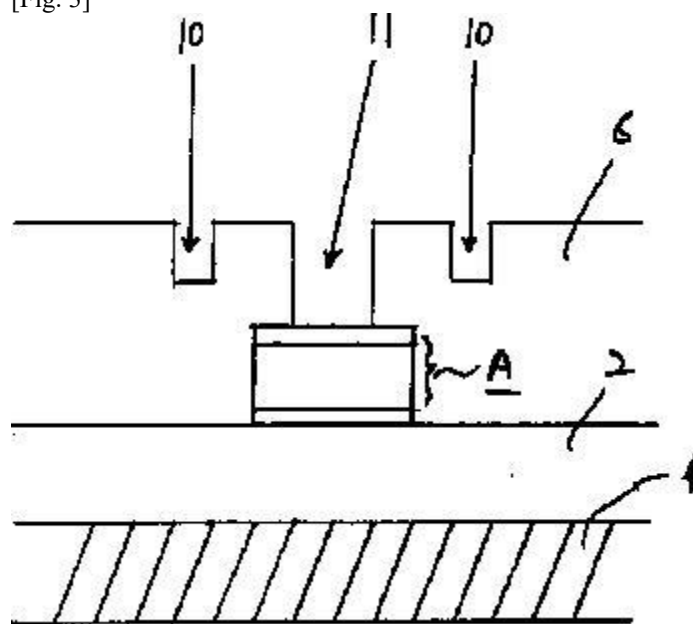
[Fig. 1]



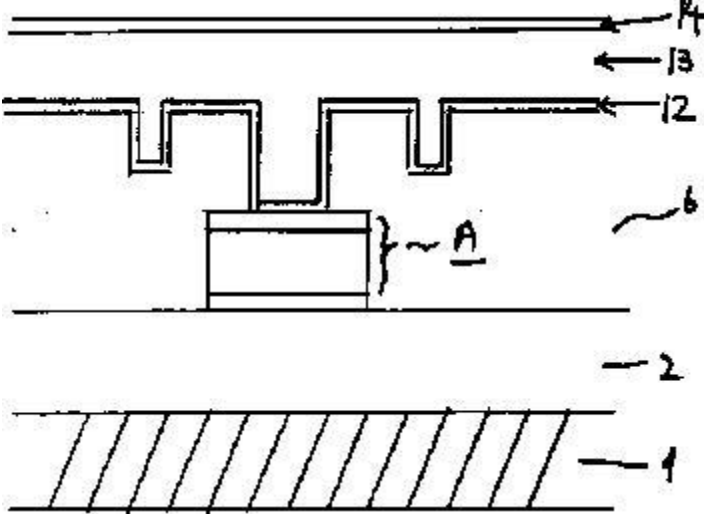
[Fig. 2]



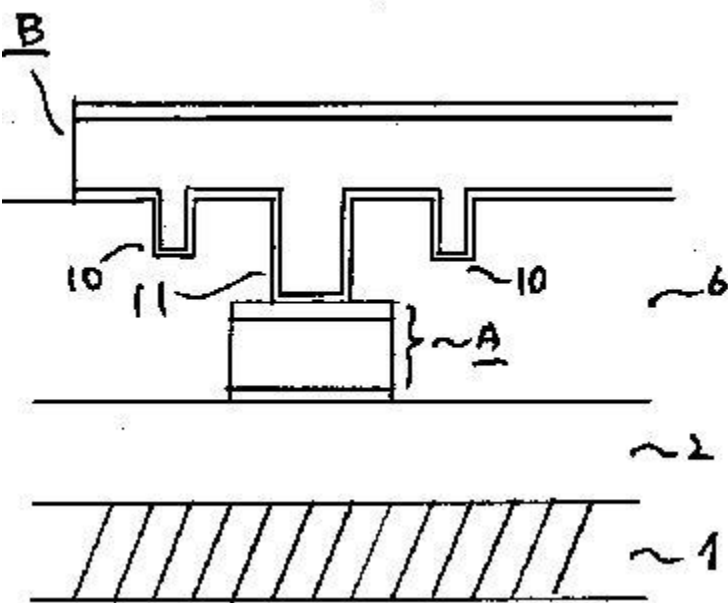
[Fig. 3]



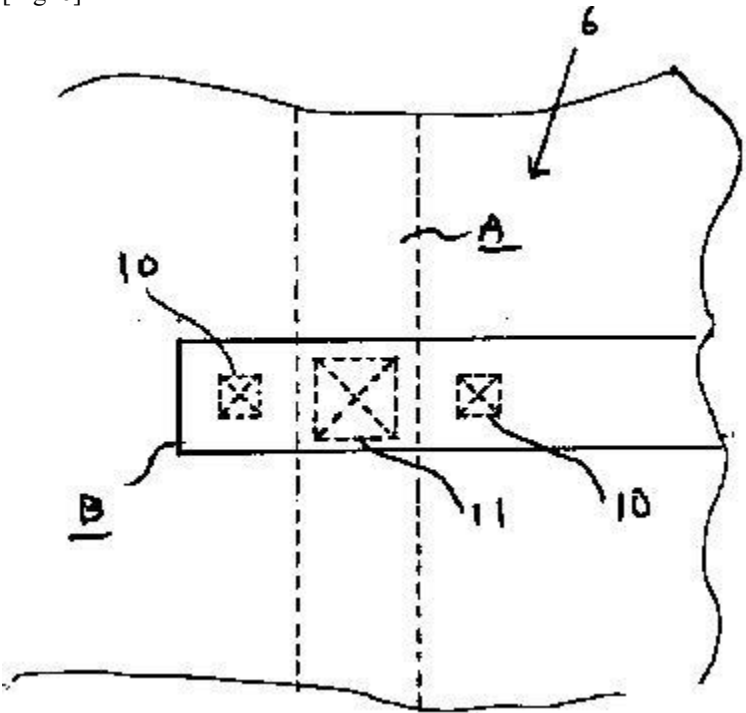
[Fig. 4]



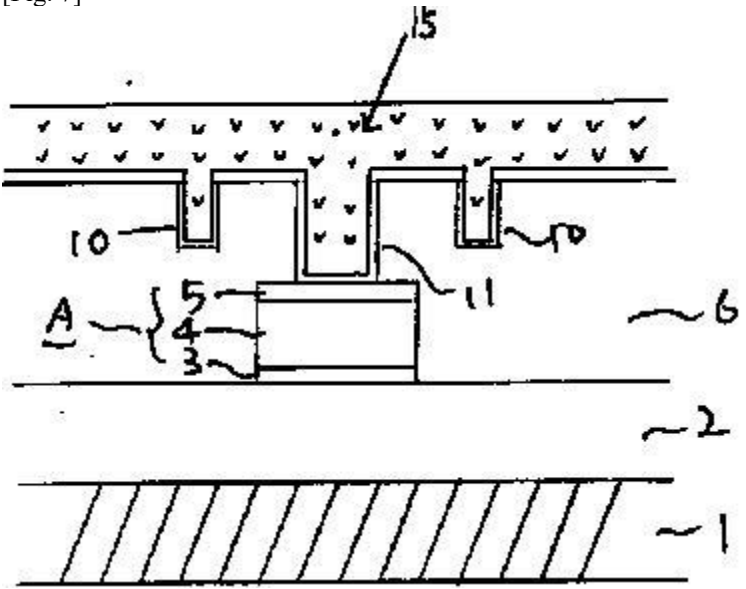
[Fig. 5]



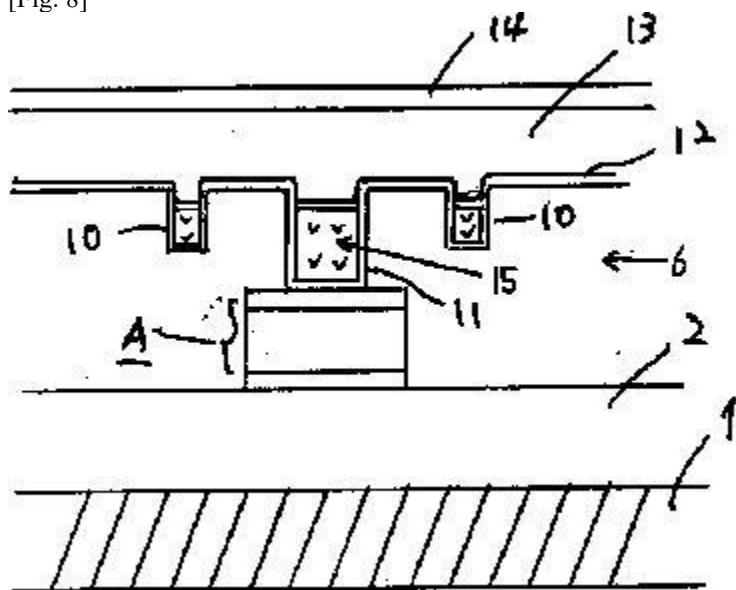
[Fig. 6]



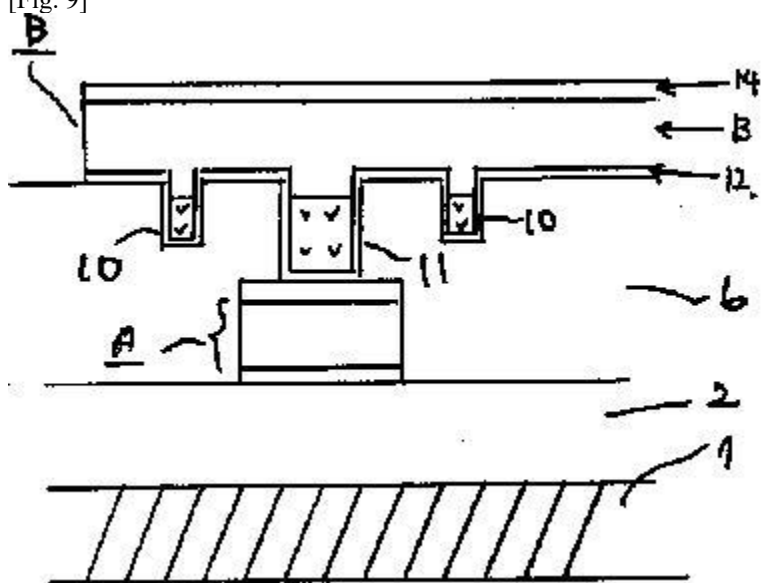
[Fig. 7]



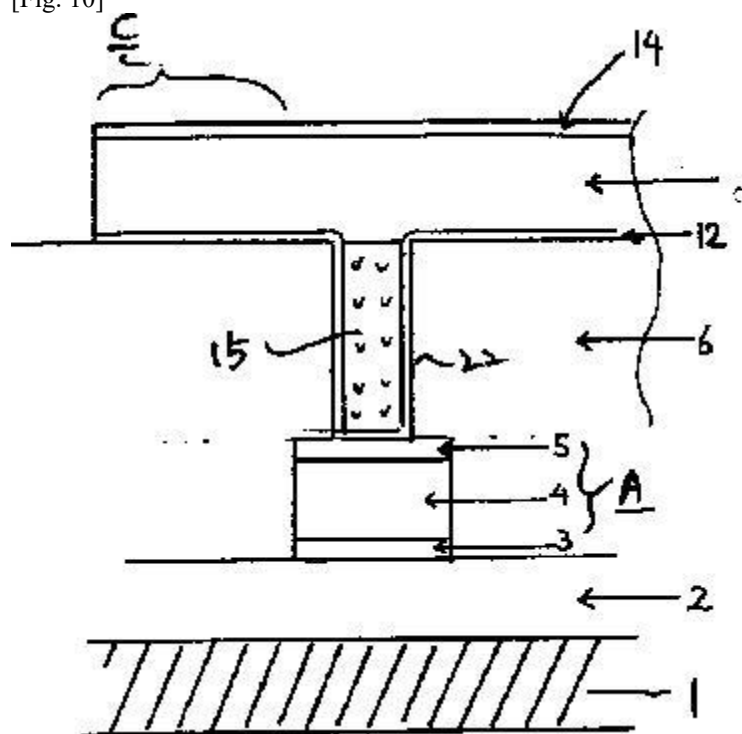
[Fig. 8]



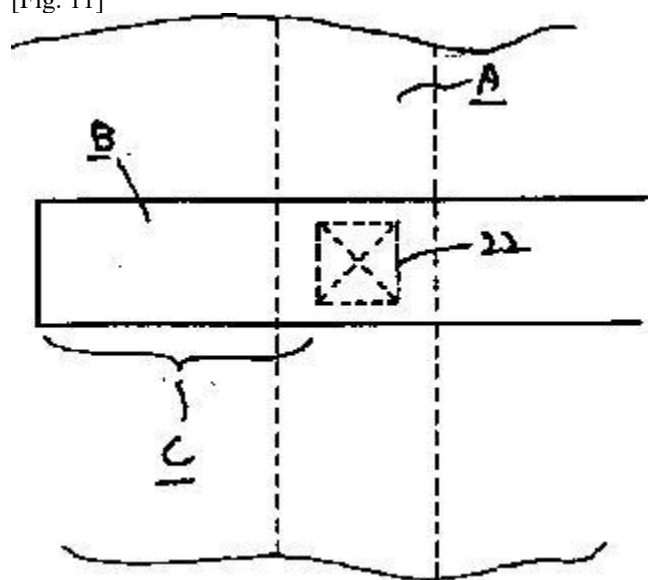
[Fig. 9]



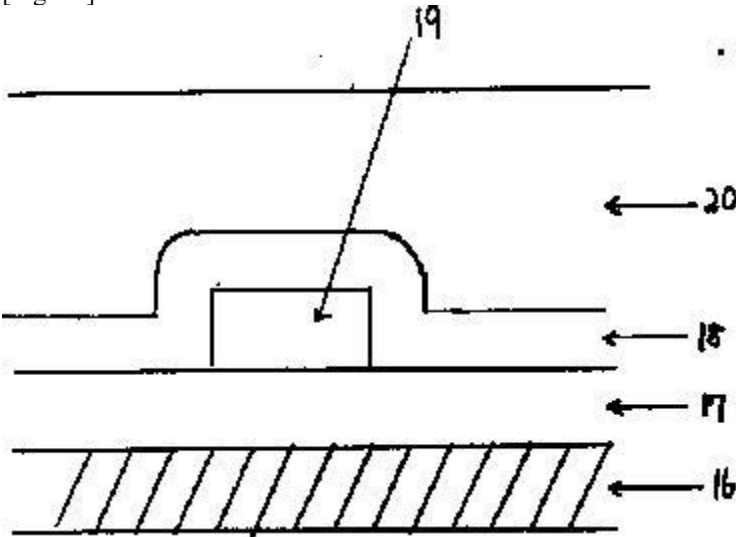
[Fig. 10]



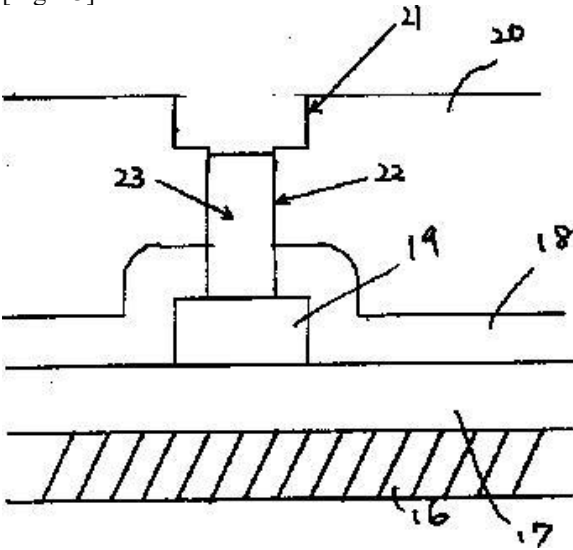
[Fig. 11]



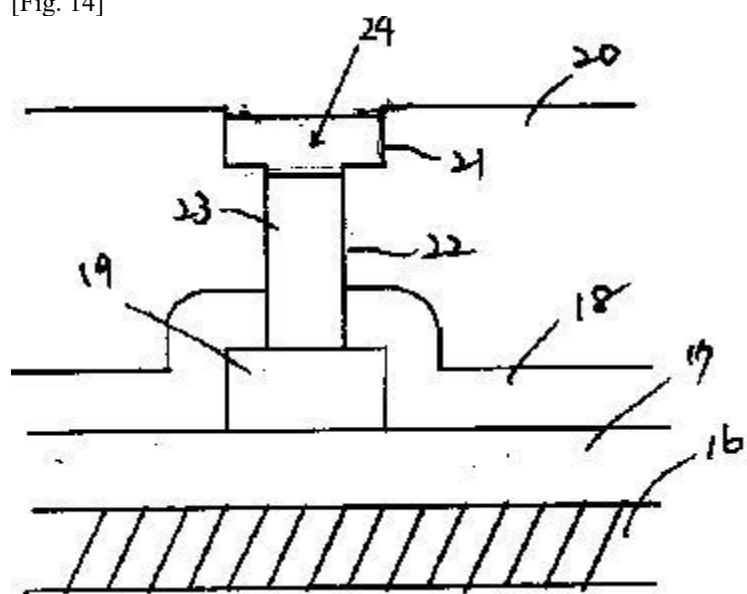
[Fig. 12]



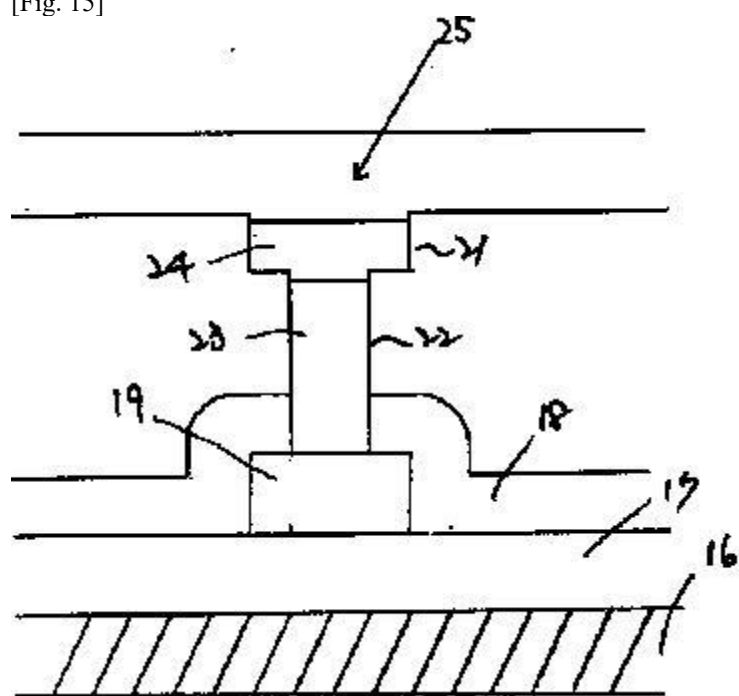
[Fig. 13]



[Fig. 14]



[Fig. 15]





Legaltranslations.biz

(A Division of Nelles Translations)

3 Grant Square Ste. 336 • Hinsdale, IL 60521 • 630-539-8082 • www.nellestranslations.com

Certification

This is to certify that the foregoing translation of the document entitled “**Semiconductor Device and Its Manufacturing Method** (JPA 2000012688)” was made from Japanese to English by a competent professional translator that is proficient in both languages. This work, to the best of our knowledge and belief, is a true and complete rendering into English of the original document.

Date: May 12, 2025

Donald W. Hanley, CEO

www.nellestranslations.com