



**(19) Korean Intellectual  
Property Office (KR)  
(12) Patent Laid-open  
Gazette(A)**

**(11) Laid-open number. 10-2011-0118961**  
**(43) Date of Publication November 2, 2011**

(51) Int. Cl.  
**H01L 27/115** (January 2006) **H01L 21/8247** (January 2006)  
(21) Application number **10-2010-0038387**  
(22) Application date **April 26, 2010**  
Date of request for examination **None**

(71) Applicant  
**Hynix Semiconductor Inc.**  
San136-1 Ami-ri, Bubal-eup, Icheon-si, Gyeonggi-do,  
Republic of Korea  
(72) Inventor  
**Gi Hong Lee**  
307, 170-7 Maetan-dong, Yeongtong-gu, Suwon-si,  
Gyeonggi-do (Artville)  
**Jae Hyung Koo**  
554-1603, Jukjeon 1-dong, Suji-gu, Yongin-si,  
Gyeonggi-do, Republic of Korea (Hyundai HomeTown  
4-cha Complex 4 Apt.)  
**Beom Yong Kim**  
211-1803, Yeongtong 1-dong, Yeongtong-gu, Suwon-si,  
Gyeonggi-do, Republic of Korea (Hwanggol Maeul  
Complex 2 Apt.)  
(74) Agent  
**Shinsung Patent Firm, LLC**

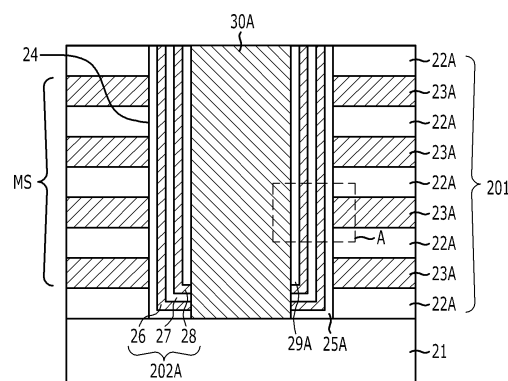
Total Number of Claims: 12 Claims in Total

**(54) Non-volatile memory devices and methods of making them**

**(57) Abstract**

The present invention is for providing a non-volatile memory device and a method of manufacturing the same that may prevent a degradation of charge retention properties caused by lateral spreading of a charge in the non-volatile memory device of a three-dimensional structure, wherein the method of manufacturing the non-volatile memory device of the present invention comprises: a step of forming a memory cell stack with insulating layer and conductive film stacked alternately on the substrate; a step of etching the memory cell stack to form a hole; a step of forming a blocking film on the entire surface including the hole; a step of forming a charge trap layer comprising a trap layer and an interlayer on the block film; a step of forming a tunnel insulating layer on the charge trap layer; a step of selectively etching the tunnel insulating layer, charge trap layer and blocking film to expose the surface of the substrate; and a step of forming a channel film to fill the hole, and the present invention described above is effective in improving the data retention characteristics of non-volatile memory device by applying a charge trap layer of multilayered structure comprising a plurality of trap layers and interlayers.

**Master Drawing** - FIG. 2a



***Scope of Patent Claims***

**Claim 1,**

A non-volatile memory device comprising a memory cell string in which insulating layer and control gate electrode are alternately stacked, and a hole is formed;

a channel film filling the hole;

a multi-layer charge trap layer formed between the channel film and the control gate electrode and comprising an interlayer and a trap layer;

a blocking film formed between the charge trap layer and the control gate electrode; and

a tunnel insulating layer formed between the channel film and the charge trap layer.

**Claim 2**

The non-volatile memory device of Claim 1,

wherein the charge trap layer comprises

a structure alternately stacked with the trap layer and the interlayer.

**Claim 3**

The non-volatile memory device of Claim 1,

wherein the charge trap layer has

a triple structure with the interlayer inserted between the two layers of trap layer.

**Claim 4**

The non-volatile memory device of Claim 1,

wherein the trap layer includes a nitride film and the interlayer includes an oxide film or an oxynitride film.

**Claim 5**

The non-volatile memory device of Claim 1,

wherein the trap layer includes a silicon nitride film and the interlayer includes a silicon oxide film or a silicon oxynitride film.

**Claim 6**

The non-volatile memory device of Claim 1,

wherein the interlayer has a thickness of 5-20Å.

**Claim 7**

A method of manufacturing non-volatile memory devices comprising: a step of forming a memory cell stack with an insulating layer and a conductive film stacked alternately on the substrate;

a step of etching the memory cell stack to form a hole;

a step of forming a blocking film on the front including the hole;

a step of forming a charge trap layer comprising a trap layer and an interlayer on the block film;

a step of forming a tunnel insulating layer on the charge trap layer;

a step of selectively etching the tunnel insulating layer, charge trap layer and blocking film to expose the surface of the substrate; and

a step of forming a channel film to fill the hole.

#### **Claim 8**

The method of manufacturing non-volatile memory devices of Claim 7,

wherein the step of forming the charge trap layer

forms it by alternately stacking the trap layer and the interlayer.

#### **Claim 9**

The method of manufacturing non-volatile memory devices of Claim 7,

wherein the step of forming the charge trap

forms it in a triple structure forming the interlayer between the two layers of trap layer.

#### **Claim 10**

The method of manufacturing non-volatile memory devices of Claim 7,

wherein at the step of forming the charge trap,

the trap layer includes a nitride film and the interlayer includes an oxide film or an oxynitride film.

#### **Claim 11**

The method of manufacturing non-volatile memory devices of Claim 7,

wherein at the step of forming the charge trap,

the trap layer includes a silicon nitride film and the interlayer includes a silicon oxide film or a silicon oxynitride film.

#### **Claim 12**

The method of manufacturing non-volatile memory devices of Claim 7,

wherein the interlayer is formed at a thickness of 5-20Å.

#### ***Specifications***

***Technical Field***

[0001] The present invention relates to non-volatile memory devices, particularly to non-volatile memory devices of three-dimensional structures and methods of manufacturing the same.

***Background Art***

[0002] Recently, three-dimensional structures such as Silicon oxide nitride oxide silicon (SONOS) or metal oxide nitride oxide silicon (MONOS) have been extensively studied for non-volatile memory devices such as NAND flash memory devices of 20 nm or less. A non-volatile memory device employing a SONOS or MONOS structure is called a charge trap type non-volatile memory device.

[0003] FIG. 1 is a diagram illustrating a non-volatile memory device of charge trap type according to the prior art.

[0004] Referring to FIG. 1, a memory cell string (MS) is formed on the substrate (11). A memory cell string (MS) includes an insulating layer (12) and a control gate electrode (13) which have been alternately stacked, and includes a channel (17), a blocking film (14), a charge trap layer (15), and a tunnel insulating layer (16). The channel (17) and any one of the control gate electrodes (13) make up one memory cell, whereby the memory cell string (MS) becomes a three-dimensional structure in which a plurality of memory cells are stacked.

[0005] In the prior art of FIG. 1, a silicon nitride film is mainly used as a charge trap layer (15).

[0006] In the case of a non-volatile memory device of a three-dimensional charge trap type shown in FIG. 1, unlike a two-dimensional structure, the charge trap layer (15) in which the charge is trapped is not disconnected between memory cells in a vertical direction and must have a continuous layer. In this case, the charge retention characteristic, which is one of the important characteristics of a nonvolatile memory device, is deteriorated by lateral spreading of the charge trapped in the silicon nitride film.

***Contents of the Invention******Problems to be Solved***

[0007] The present invention has been proposed to address the problems caused by the prior art described above and is intended to provide a non-volatile memory device and method of manufacturing the same that can prevent the degradation of charge retention properties caused by lateral spreading of the charge in a charge trap type non-volatile memory device of a three-dimensional structure.

***Means to Solve the Problems***

[0008] The non-volatile memory devices of the present invention for achieving the above purpose comprise: a memory cell string in which an insulating layer and a control gate electrode are alternately stacked and which has a hole; a channel film to fill the hole; a multi-layer charge trap layer formed between the channel film and the control gate electrode, comprising an interlayer and a trap layer; a blocking film formed between the multi-layer charge trap layer and the control gate electrode; and a tunnel insulating layer formed between the channel film and the multi-layer charge trap layer.

[0009] In addition, the method of manufacturing a non-volatile memory device of the present invention comprises: a step of forming a memory cell stack with an insulating layer and a conductive film stacked alternately on the substrate; a step of etching the memory cell stack to form a hole; a step of forming a blocking film on the front including the hole; a step of forming a charge trap layer comprising a trap layer and an interlayer on the block film; a step of forming a tunnel insulating layer on the charge trap layer; a step of selectively etching the tunnel insulating layer, multi-layer charge trap layer and blocking film to expose the surface of the substrate; and a step of forming a channel film to fill the hole.

***Effects of the Invention***

[0010] The present invention described above has the effect of improving the data retention properties of non-volatile memory devices by applying a multilayered charge trap layer comprising a plurality of trap layers and interlayers.

***Brief Description of the Drawings***

- [0011] FIG. 1 is a diagram illustrating a non-volatile memory device of a charge trap type according to the prior art.
- FIG. 2a is a diagram illustrating a non-volatile memory device of a charge trap type in accordance with an embodiment of the present invention.
- FIG. 2b is a detailed view showing an example of a charge trap layer.
- FIGS. 3a - 3f are process cross-sectional views illustrating methods of manufacturing non-volatile memory devices of a charge trap type in accordance with an embodiment of the present invention.

***Concrete Contents for the Implementation of the Invention***

- [0012] Hereinafter, in order to explain in detail in such a way that those of ordinary skill in the art to which the present invention belongs can readily practice the technical idea of the present invention, the most preferred embodiments of the present invention will be described with reference to the accompanying drawings.
- [0013] The present invention relates to a Silicon-Oxide-Nitride-Oxide-Silicon (SONOS) structure or a Metal-Oxide-Nitride-Oxide-Silicon (MONOS) structure used in a non-volatile memory device of a three-dimensional structure, in particular a highly integrated NAND flash memory device. It relates to a method of improving the charge retention characteristics of a non-volatile memory device of a three-dimensional structure by applying a charge trap layer in which interlayers and trap layers are alternately stacked.
- [0014] The charge retention characteristics of the NAND flash memory device of a three-dimensional structure are influenced by the trap level is of the charge trap layer. In this case, the retention characteristics are influenced most by the composition of the silicon nitride film, which is mainly used as a charge trap layer.
- [0015] In the present invention, a multi-layer charge trap layer, in which interlayers and trap layers are alternately stacked, is applied as the charge trap layer. For example, the charge trap layer comprises a triple structure of NON (Nitride Oxide Nitride) structure including a nitride film, an oxide film and a nitride film. The charge trap layer may comprise a triple structure consisting of a silicon nitride film, a silicon oxide film and a silicon nitride film, or may comprise a triple structure of a silicon nitride film, a silicon oxynitride film and a silicon nitride film.
- [0016] FIG. 2a is a diagram illustrating a non-volatile memory device of a charge trap type according to an embodiment of the present invention, and FIG. 2b is a detailed diagram illustrating an example of a charge trap layer.
- [0017] As shown in FIG. 2a, a memory cell string (MS) is formed on the substrate (21). The memory cell string (MS) comprises an insulating layer (22A), a control gate electrode (23A), a blocking film (25A), a multilayered charge trap layer (202A), a tunnel insulating layer (29A), and a channel film (30A). The memory cell string has a hole (24), within which a blocking film (25A), a multilayered charge trap layer (202A), a tunnel insulating layer (29A), and a channel film (30A) are filled.
- [0018] The substrate (21) includes a silicon substrate, and the insulating layer (22A) and the control gate electrode (23A) are stacked alternately several times to form a memory cell stack (201). The insulating layer (22A) includes a silicon oxide film. The control gate electrode (23A) includes a polysilicon film, particularly a doped polysilicon film doped with N-type impurities or P-type impurities. The insulating layer (22A) and the control gate electrode (23A) are stacked vertically on the substrate (21) to provide a three-dimensional structure. In the hole (24), a channel film (30A), a blocking film (25A), a charge trap layer (202A), and a tunnel insulating layer (29A) are filled. It is a structure in which the blocking film (25A), the charge trap layer (202A) and the tunnel insulating layer (29A) enclose the channel film (30A). The channel film (30A) is a vertical type.
- [0019] The tunnel insulating layer (29A) and the blocking film (25A) include a silicon oxide film. The channel film (30A) comprises a polysilicon film, in particular a doped polysilicon film doped with N-type impurities. The channel film (30A) becomes a vertical channel.
- [0020] The charge trap layer (202A) has a multilayer structure in which the interlayers and the trap layers are repeatedly stacked. In embodiments, the charge trap layer (202A) has a structure in which one interlayer (27) is inserted between the first trap layer (26) and the second trap layer (28). This structure is called a triple structure. The interlayer (27) comprises an oxide film, and the first and second trap layers (26, 28) comprise a nitride film such that the charge trap layer (202A) forms an ONO (Oxide-Nitride-Oxide) [*sic*: NON (Nitride-Oxide-Nitride)] structure. Preferably, the interlayer (27) includes a silicon oxide film and the first and second trap layers (26, 28) include a silicon nitride film. The interlayer (27) may include a silicon oxynitride film. Thus, the charge trap layer (202A) of triple structure is a NON structure consisting of a silicon nitride film, a silicon oxide film and a silicon nitride film (see FIG. 2b, which has an enlarged view of the A portion of FIG. 2a). In addition, the charge trap layer (202A) of the triple

structure comprises a silicon nitride film, a silicon oxynitride film, and a silicon nitride film. In another embodiment, the charge trap layer (202A) includes a multilayer structure in which the trap layer is stacked at least three times. For example, a five-layer structure may be used, which comprises a trap layer, interlayer, trap layer, interlayer, and trap layer.

[0021] As described above, the charge trap layer (202A) of the multilayer structure has a plurality of trap areas due to the interlayer, whereby charge trapping is separated. In this case, the electric field generated by the trapped charges is dispersed. In addition, by applying a charge trap layer of a multilayered structure, the trapped charges are separated, which disperses the electric field and can weaken the driving force by which the charge is spread in the lateral direction.

[0022] FIGS. 3a - 3f are process cross-sectional views illustrating methods of manufacturing non-volatile memory devices of charge trap type in accordance with an embodiment of the present invention.

[0023] As shown in FIG. 3a, an insulating layer (22) and a conductive film (23) are alternately stacked several times on a substrate (21), such as a silicon substrate. This stacked structure shall be abbreviated as memory cell stack (200).

[0024] The insulating layer (22) is for mutually separating a plurality of memory cells stacked in a vertical direction, preferably consisting of an oxide film. In addition, the conductive film (23) is for forming a control gate electrode of a memory cell, and it preferably consists of a polysilicon film doped with P-type impurities or N-type impurities. An insulating layer (22) and a conductive film (23) are formed repeatedly depending on the number of memory cells to be stacked, but in this embodiment, an example of stacking four memory cells is shown for the convenience of description.

[0025] As shown in FIG. 3b, a memory cell stack (200) is etched to form a hole (24) exposing the surface of the substrate (21). By way of the hole (24), the memory cell stack (201) becomes a structure in which a plurality of insulating layers (22A) and control gate electrodes (23A) are stacked several times. The upper and lower control gate electrodes (23A) are insulated by the insulating layer (22A). On the other hand, the end of the control gate electrode (23A) can be pre-formed in the form of stairways by using a slimming etching before forming the hole (24).

[0026] As shown in FIG. 3c, a blocking film (25), a multilayered charge trap layer (202), and a tunnel insulating layer (29) are sequentially stacked onto a memory cell stack (201) including a hole (24).

[0027] The blocking film (25) acts as a shield that prevents the charges that have passed through the tunnel insulating layer (27) from moving to the control gate electrode (23A) in the process of being trapped in the charge trap layer (202). The blocking film (27 [sic: 25]) includes an oxide film such as silicon oxide film. In addition, the blocking film (25) may comprise a high-k dielectric film that blocks charge movement while lowering the equivalent oxide film thickness.

[0028] The tunnel insulating layer (29) includes a material having a larger energy band gap than the charge trap layer (202). Preferably, the tunnel insulating layer (29) may comprise an oxide film or an oxide film with a mixture of nitrogen, so it may comprise a silicon oxide film (SiO<sub>2</sub>) or a silicon oxynitride film (SiON), for example. As such, when the tunnel insulating layer (29) has a large energy band gap, the charge trapped in the charge trap layer (202) cannot move easily.

[0029] The charge trap layer (202) is a layer with the function of trapping electrons or holes injected through the tunnel insulating layer (29). The charge trap layer (202) includes a material mixed with nitrogen such that the trap site density is high, so it may include a silicon nitride film, for example. The silicon nitride film includes Si<sub>3</sub>N<sub>4</sub>.

[0030] In the present invention, the charge trap layer (202) has a multi-layer structure. Preferably, the charge trap layer (202) comprises a multilayer structure in which the trap layers and the interlayers are alternately stacked. In an embodiment, the charge trap layer (202) comprises a triple structure with one interlayer (27) inserted between the first trap layer (26) and the second trap layer (28). The first trap layer (26) and the second trap layer (28) may be of the same material, and the interlayer (27) may be of a different material from that of the first and second trap layers (26, 28). The first and second trap layers (26, 28) comprise a nitride film, and the interlayer (27) comprises an oxide film. In particular, the first and second trap layers (26, 28) comprise a silicon nitride film, and the interlayer (27) comprises a silicon oxide film or a silicon oxynitride film. Thus, the charge trap layer (202) may consist of a first silicon nitride film, a silicon oxide film and a second silicon nitride film or may consist of a first silicon nitride film, a silicon oxynitride film and a second silicon nitride film.

[0031] As described above, when the charge trap layer (202) is formed in a multilayer structure, data retention properties are improved.

[0032] In the area where trap sites are most prevalent in a typical SONOS structure, charges are mainly trapped in deep traps in the interface region of the blocking film and charge trap layer. This is called "trap interface."

[0033] In the case of a multilayer charge trap layer (202) in which the interlayer is located between the plurality of trap layers, the trap

area, in which the charges are mainly trapped, becomes separated, while the trap concentration of charges increases further as the trap area is increased by the plurality of trap layers. In this case, the electric field will be dispersed by the trapped charge. In the case of the three-dimensional SONOS structure, it becomes difficult to structurally isolate the charge trap layer. In this case, charge loss caused by lateral spreading is inevitable, and the data retention characteristics must depend on the unique trap characteristics of the charge trap layer. On the other hand, by applying a multilayered charge trap layer (202), the charges are separated by a plurality of trap layers, which disperses the electric field and can weaken the driving force by which the charge is spread in the lateral direction.

- [0034] In conclusion, according to an embodiment of the present invention, the data retention characteristics of the 3-dimensional non-volatile memory device of charge trap type is enhanced.
- [0035] As shown in FIG. 3d, the blocking film (25), the charge trap layer (202) and the tunnel insulating layer (29) are selectively removed to expose the surface of the substrate (21). Accordingly, the blocking film (25A), the charge trap layer (202A) and the tunnel insulating layer (29A) remain only on the two side walls of the hole.
- [0036] As shown in FIG. 3e, a channel film (30) is formed on the front to fill a hole (24). The channel film (30) includes a silicon film. In particular, the channel film (30) includes a polysilicon film. The polysilicon film used as the channel film (30) is formed into polycrystalline by the chemical vapor deposition (CVD) method. It can be deposited in amorphous form by the CVD method and conducted with a method that crystallizes by heat treatment in order to form polycrystalline.
- [0037] As shown in FIG. 3f, the channel film (30) is selectively removed using chemical mechanical polishing (CMP) or dry etching. Accordingly, the channel film (30A) remains inside the hole (24).
- [0038] Because the channel film (30A) is a polysilicon film and the control gate electrode (23A) is a polysilicon film, the non-volatile memory device according to an embodiment of the present invention has a SONOS structure. In another embodiment, when the gate is a metallic film, it has a MONOS structure.
- [0039] Although the embodiments stated above describe a charge trap layer of a triple structure, in other embodiments of the present invention, a multilayer charge trap layer having at least three layers of trap layer can be applied. For example, a multi-layer charge trap layer includes a structure in which the trap layer has been used at least twice. As an example, a five-layer structure consisting of a silicon nitride film, a silicon oxide film, a silicon nitride film, a silicon oxide film, and a silicon nitride film is also applicable.
- [0040] It will be apparent to those of ordinary skill in the art to which the invention belongs that the invention described above is not limited by the foregoing embodiments and the accompanying drawings but is capable of various substitutions, modifications, and variations within the extent not exceeding the technical idea of the invention.

### *Description of the Codes*

- [0041] 21: Substrate                      22A: Insulating layer  
 23A: Control gate electrode    24: Hole  
 25A: Blocking film                26: First trap layer  
 27: Interlayer                      28: Second trap layer  
 29A: Tunnel insulating layer    30A: Channel film

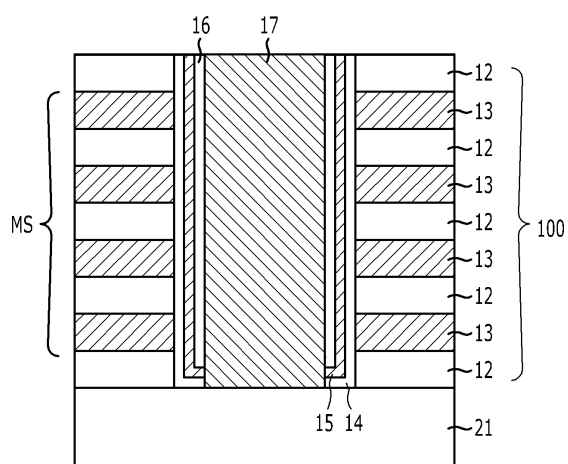
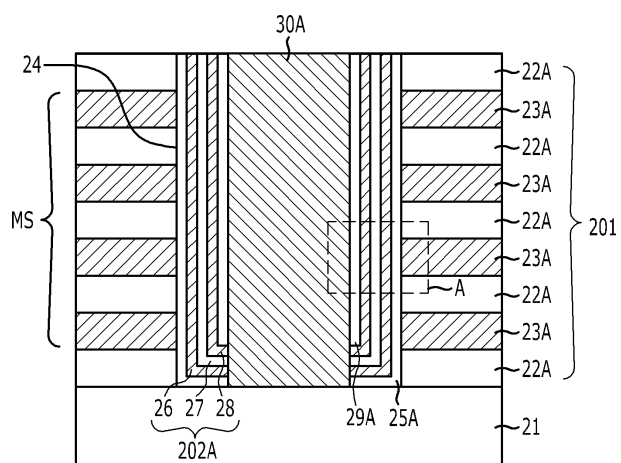
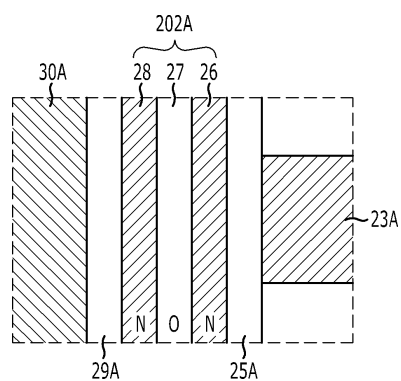
**Drawings****FIG. 1****FIG. 2a****FIG. 2b**

FIG. 3a

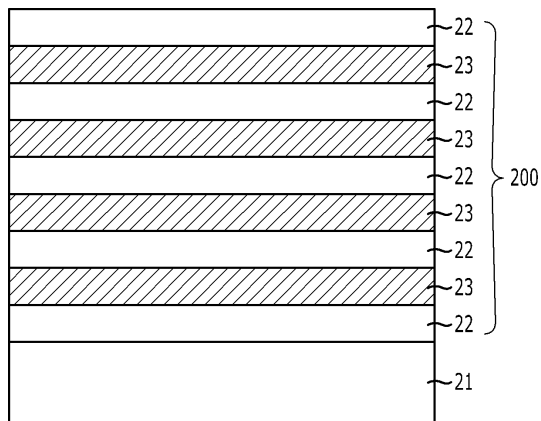


FIG. 3b

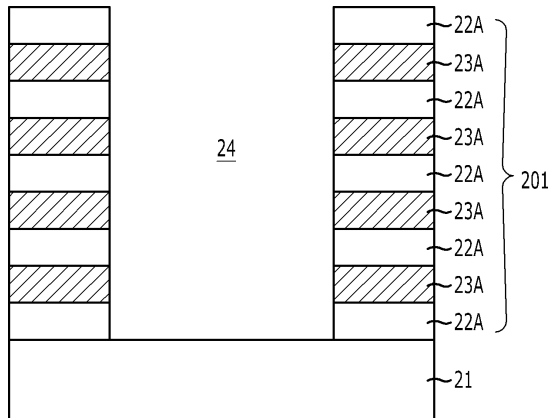


FIG. 3c

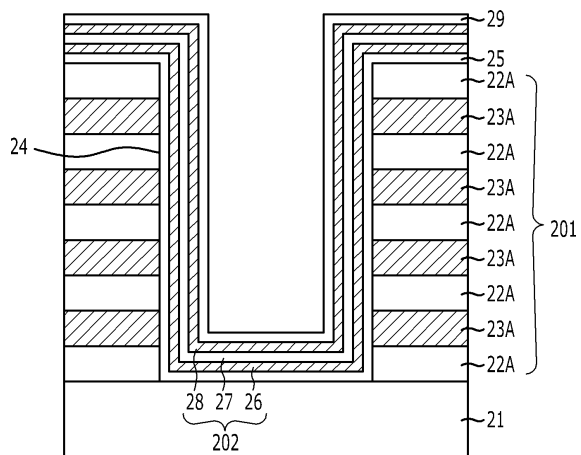


**FIG. 3d**

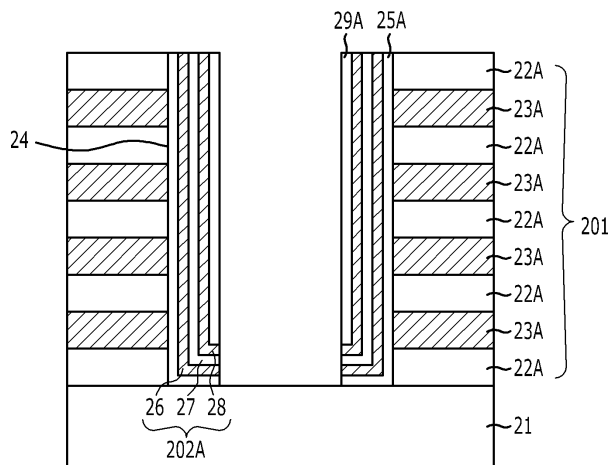


**FIG. 3e**

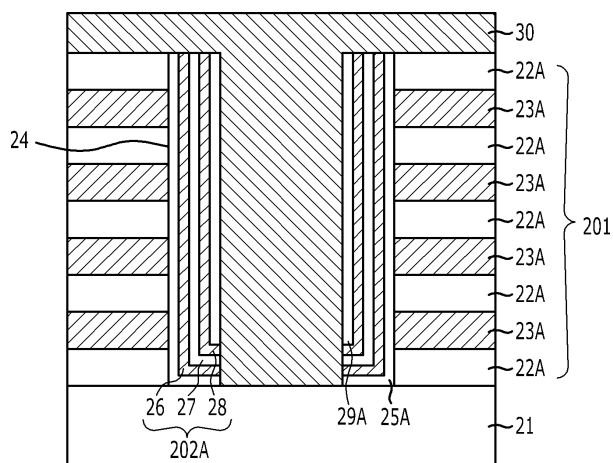
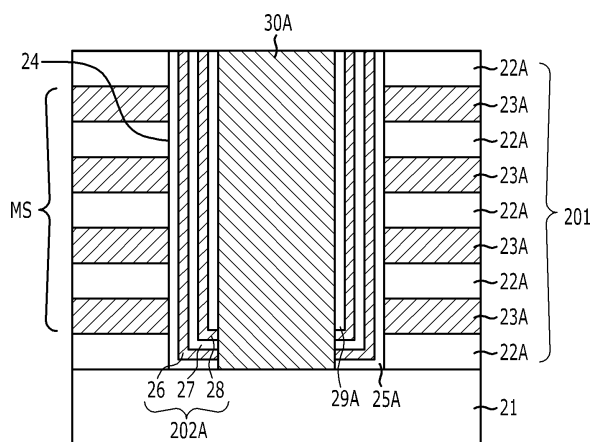


**FIG. 3f**



**DECLARATION OF James Choi**

I, James Choi, pursuant to 28 U.S.C. § 1746 and 37 C.F.R. § 1.68, hereby declare as follows:

1. I am a Translator at TransPerfect, Inc.
2. I submit this declaration to certify the accuracy of the English translation of KR20110118961A.
3. I am qualified to perform Korean to English translations and certify the accuracy of Korean to English translations.
4. My statements are based on personal knowledge and my review of KR20110118961A and its Korean to English translation. If called as a witness about the facts contained in these statements, I could testify competently based on such personal knowledge and the investigation I have conducted.
5. Attached as Exhibit A is a true and accurate copy of KR20110118961A.
6. Attached as Exhibit B is a true and accurate copy of an English translation of KR20110118961A ("the KR20110118961A Translation").
7. The KR20110118961A Translation is a true and accurate translation of KR20110118961A from Korean to English.
8. All statements made herein of my own knowledge are true, and all statements made on information and belief are believed to be true. Further, I am aware that these statements are made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under 18 U.S.C. § 1001.

I declare under penalty of perjury under the laws of the United States of America that the foregoing is true and correct. Executed on August 22, 2025, at New York, New York.

  
\_\_\_\_\_  
James Choi



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0118961  
(43) 공개일자 2011년11월02일

(51) Int. Cl.

H01L 27/115 (2006.01) H01L 21/8247 (2006.01)

(21) 출원번호 10-2010-0038387

(22) 출원일자 2010년04월26일

심사청구일자 없음

(71) 출원인

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

이기홍

경기도 수원시 영통구 매탄동 170-7 아트빌 307호

구재형

경기도 용인시 수지구 죽전1동 현대홈타운4차4단지아파트 554-1603

김범용

경기도 수원시 영통구 영통1동 황골마을2단지아파트 211-1803

(74) 대리인

특허법인 신성

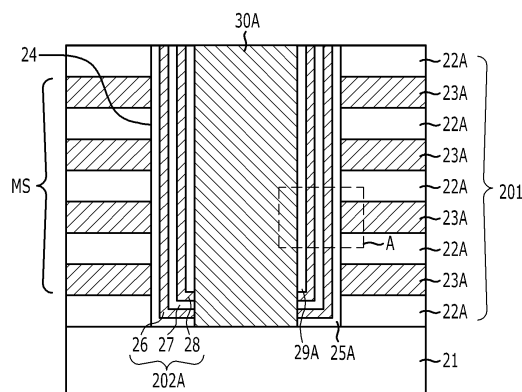
전체 청구항 수 : 총 12 항

(54) 비휘발성 메모리 장치 및 그 제조 방법

(57) 요약

본 발명은 3차원 구조의 비휘발성메모리장치에서 전하의 측면스프레딩에 의한 전하 유지 특성 저하를 방지할 수 있는 비휘발성메모리장치 및 그 제조 방법을 제공하기 위한 것으로, 본 발명의 비휘발성메모리장치 제조 방법은 기판 상에 절연막과 도전막이 번갈아 적층된 메모리셀스택을 형성하는 단계; 상기 메모리셀스택을 식각하여 홀을 형성하는 단계; 상기 홀을 포함한 전면에 블록킹막을 형성하는 단계; 상기 블록킹막 상에 트랩막과 층간막을 포함하는 전하트랩막을 형성하는 단계; 상기 전하트랩막 상에 터널절연막을 형성하는 단계; 상기 터널절연막, 전하트랩막 및 블록킹막을 선택적으로 식각하여 상기 기판의 표면을 노출시키는 단계; 및 상기 홀을 매립하는 채널막을 형성하는 단계를 포함하고, 상술한 본 발명은 복수의 트랩막과 층간막을 포함하는 다층 구조의 전하트랩막을 적용하므로써 비휘발성메모리장치의 데이터유지 특성을 향상시킬 수 있는 효과가 있다.

대표도 - 도2a



## 특허청구의 범위

### 청구항 1

절연막과 제어게이트전극이 번갈아 적층되고 홀을 갖는 메모리셀스트링;  
상기 홀을 매립하는 채널막;  
상기 채널막과 제어게이트전극 사이에 형성되며 층간막과 트랩막을 포함하는다층의 전하트랩막;  
상기 전하트랩막과 제어게이트전극 사이에 형성된 블록킹막; 및  
상기 채널막과 전하트랩막 사이에 형성된 터널절연막  
을 포함하는 비휘발성 메모리 장치.

### 청구항 2

제1항에 있어서,  
상기 전하트랩막은,  
상기 트랩막과 층간막이 번갈아 적층된 구조를 포함하는 비휘발성 메모리 장치.

### 청구항 3

제1항에 있어서,  
상기 전하트랩막은,  
두 층의 상기 트랩막 사이에 상기 층간막이 삽입된 트리플 구조를 포함하는 비휘발성 메모리 장치.

### 청구항 4

제1항에 있어서,  
상기 트랩막은 질화막을 포함하고, 상기 층간막은 산화막 또는 산화질화막을 포함하는 비휘발성 메모리 장치.

### 청구항 5

제1항에 있어서,  
상기 트랩막은 실리콘질화막을 포함하고, 상기 층간막은 실리콘산화막 또는 실리콘산화질화막을 포함하는 비휘발성 메모리 장치.

### 청구항 6

제1항에 있어서,  
상기 층간막은 5~20Å의 두께를 갖는 비휘발성 메모리 장치.

### 청구항 7

기관 상에 절연막과 도전막이 번갈아 적층된 메모리셀스택을 형성하는 단계;  
 상기 메모리셀스택을 식각하여 홀을 형성하는 단계;  
 상기 홀을 포함한 전면에 블록킹막을 형성하는 단계;  
 상기 블록킹막 상에 트랩막과 층간막을 포함하는 전하트랩막을 형성하는 단계;  
 상기 전하트랩막 상에 터널절연막을 형성하는 단계;  
 상기 터널절연막, 전하트랩막 및 블록킹막을 선택적으로 식각하여 상기 기관의 표면을 노출시키는 단계; 및  
 상기 홀을 매립하는 채널막을 형성하는 단계  
 를 포함하는 비휘발성 메모리장치 제조 방법.

#### 청구항 8

제7항에 있어서,  
 상기 전하트랩막을 형성하는 단계는,  
 상기 트랩막과 층간막을 번갈아 적층하여 형성하는 비휘발성 메모리 장치 제조 방법.

#### 청구항 9

제7항에 있어서,  
 상기 전하트랩막을 형성하는 단계는,  
 두 층의 상기 트랩막 사이에 상기 층간막을 형성하는 트리플 구조로 형성하는 비휘발성 메모리 장치 제조 방법.

#### 청구항 10

제7항에 있어서,  
 상기 전하트랩막을 형성하는 단계에서,  
 상기 트랩막은 질화막을 포함하고, 상기 층간막은 산화막 또는 산화질화막을 포함하는 비휘발성 메모리 장치 제조 방법.

#### 청구항 11

제7항에 있어서,  
 상기 전하트랩막을 형성하는 단계에서,  
 상기 트랩막은 실리콘질화막을 포함하고, 상기 층간막은 실리콘산화막 또는 실리콘산화질화막을 포함하는 비휘발성 메모리 장치 제조 방법.

#### 청구항 12

제7항에 있어서,  
 상기 층간막은 5~20Å의 두께로 형성하는 비휘발성 메모리 장치 제조 방법.

명세서

## 기술 분야

[0001] 본 발명은 비휘발성메모리장치에 관한 것으로서, 특히 3차원 구조의 비휘발성메모리장치 및 그 제조 방법에 관한 것이다.

## 배경 기술

[0002] 20nm 이하 낸드 플래시메모리장치(NAND Flash Memory device) 등의 비휘발성메모리장치를 위해 3차원 구조의 SONOS(Silicon Oxide Nitride Oxide Silicon) 또는 MONOS(Metal Oxide Nitride Oxide Silicon) 구조가 최근 많이 연구되고 있다. SONOS 또는 MONOS 구조를 적용하는 비휘발성메모리장치는 전하트랩형(charge trap type) 비휘발성메모리장치라 한다.

[0003] 도 1은 종래기술에 따른 전하트랩형 비휘발성메모리장치를 도시한 도면이다.

[0004] 도 1을 참조하면, 기판(11) 상에 메모리셀스트링(memory cell string, MS)이 형성된다. 메모리셀스트링(MS)은 번갈아 적층된 절연막(12)과 제어게이트전극(13)을 포함하고, 채널(17), 블록킹막(14), 전하트랩막(15) 및 터널 절연막(16)을 포함한다. 채널(17)과 어느 하나의 제어게이트전극(13)은 하나의 메모리셀을 이루며, 이에 따라 메모리셀스트링(MS)은 복수의 메모리셀이 적층된 3차원 구조가 된다.

[0005] 도 1의 종래기술은 전하트랩막(15)으로서 실리콘질화막(silicon nitride)이 주로 사용되고 있다.

[0006] 도 1과 같은 3차원 전하트랩형 비휘발성메모리장치의 경우 2차원 구조와 달리 전하(charge)가 트랩(trap)되는 전하트랩막(15)이 수직방향의 메모리셀간에 단절되지 않고 연속막(continuous layer)을 가질 수 밖에 없다. 이러한 경우 비휘발성메모리장치의 중요한 특성 중 하나인 전하 유지(charge retention) 특성은 실리콘질화막 내에 트랩된 전하의 측면스프레딩(lateral spreading)에 의해 나빠지게 된다.

## 발명의 내용

### 해결하려는 과제

[0007] 본 발명은 상기한 종래기술에 따른 문제점을 해결하기 위해 제안된 것으로서, 3차원 구조의 전하트랩형 비휘발성메모리장치에서 전하의 측면스프레딩에 의한 전하 유지 특성 저하를 방지할 수 있는 비휘발성메모리장치 및 그 제조 방법을 제공하는데 그 목적이 있다.

### 과제의 해결 수단

[0008] 상기 목적을 달성하기 위한 본 발명의 비휘발성메모리장치는 절연막과 제어게이트전극이 번갈아 적층되고 홀을 갖는 메모리셀스트링; 상기 홀을 매립하는 채널막; 상기 채널막과 제어게이트전극 사이에 형성되며 층간막과 트랩막을 포함하는 다층의 전하트랩막; 상기 전하트랩막과 제어게이트전극 사이에 형성된 블록킹막; 및 상기 채널막과 전하트랩막 사이에 형성된 터널절연막을 포함하는 것을 특징으로 한다.

[0009] 그리고, 본 발명의 비휘발성메모리장치 제조 방법은 기판 상에 절연막과 도전막이 번갈아 적층된 메모리셀스택을 형성하는 단계; 상기 메모리셀스택을 식각하여 홀을 형성하는 단계; 상기 홀을 포함한 전면에 블록킹막을 형성하는 단계; 상기 블록킹막 상에 트랩막과 층간막을 포함하는 전하트랩막을 형성하는 단계; 상기 전하트랩막 상에 터널절연막을 형성하는 단계; 상기 터널절연막, 전하트랩막 및 블록킹막을 선택적으로 식각하여 상기 기판의 표면을 노출시키는 단계; 및 상기 홀을 매립하는 채널막을 형성하는 단계를 포함하는 것을 특징으로 한다.

## 발명의 효과

[0010] 상술한 본 발명은 복수의 트랩막과 층간막을 포함하는 다층 구조의 전하트랩막을 적용함으로써 비휘발성메모리장치의 데이터유지 특성을 향상시킬 수 있는 효과가 있다.

## 도면의 간단한 설명

- [0011] 도 1은 종래기술에 따른 전하트랩형 비휘발성메모리장치를 도시한 도면.  
 도 2a는 본 발명의 실시예에 따른 전하트랩형 비휘발성메모리장치를 도시한 도면.  
 도 2b는 전하트랩막의 일예를 도시한 상세도.  
 도 3a 내지 도 3f는 본 발명의 실시예에 따른 전하트랩형 비휘발성메모리장치 제조 방법을 도시한 공정 단면도.

## 발명을 실시하기 위한 구체적인 내용

- [0012] 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.
- [0013] 본 발명은 3차원 구조의 비휘발성메모리장치, 특히 고집적 낸드 플래시메모리장치에 사용되는 SONOS(Silicon-Oxide-Nitride-Oxide-Silicon) 구조 또는 MONOS(Metal-Oxide-Nitride-Oxide-Silicon) 구조에 관한 것이다. 층간막(Inter layer)과 트랩막(Trap layer)이 번갈아 적층된 전하트랩막을 적용함으로써 3차원 구조의 비휘발성메모리장치의 전하 유지(charge retention) 특성을 향상시키는 방법에 관한 것이다.
- [0014] 3차원 구조의 낸드 플래시메모리장치의 전하 유지(charge retention) 특성은 전하트랩막의 트랩 레벨(trap level)에 의해 영향을 받게 된다. 이 경우 전하트랩막으로 주로 사용되는 실리콘질화막의 구성에 따라 유지 특성에 가장 큰 영향을 미치게 된다.
- [0015] 본 발명에서는 전하트랩막으로서 층간막과 트랩막이 번갈아 적층된 다층의 전하트랩막(Multi charge trap layer)을 적용한다. 예컨대, 전하트랩막은 질화막, 산화막 및 질화막을 포함하는 NON(Nitride Oxide Nitride) 구조의 트리플 구조를 포함한다. 전하트랩막은 실리콘질화막(Silicon nitride), 실리콘산화막(Silicon oxide) 및 실리콘질화막(Silicon nitride)로 이루어진 트리플 구조를 포함하거나, 또는 실리콘질화막, 실리콘산화질화막(Silicon oxy nitride) 및 실리콘질화막의 트리플 구조를 포함한다.
- [0016] 도 2a는 본 발명의 실시예에 따른 전하트랩형 비휘발성메모리장치를 도시한 도면이고, 도 2b는 전하트랩막의 일예를 도시한 상세도이다.
- [0017] 도 2a에 도시된 바와 같이, 기판(21) 상에 메모리셀스트링(MS)이 형성된다. 메모리셀스트링(MS)은 절연막(22A), 제어게이트전극(23A), 블록킹막(25A), 다층의 전하트랩막(202A), 터널절연막(29A) 및 채널막(30A)을 포함한다. 메모리셀스트링은 홀(24)을 갖고 홀 내부에 블록킹막(25A), 다층의 전하트랩막(202A), 터널절연막(29A) 및 채널막(30A)이 매립된다.
- [0018] 기판(21)은 실리콘기판을 포함하고, 절연막(22A)과 제어게이트전극(23A)은 수회 번갈아 적층되어 메모리셀스택(201)이 된다. 절연막(22A)은 실리콘산화막을 포함한다. 제어게이트전극(23A)은 폴리실리콘막을 포함하는데, 특히, N형 불순물이 도핑된 도우프트 폴리실리콘막을 포함한다. 절연막(22A)과 제어게이트전극(23A)은 기판(21) 상에서 수직방향으로 적층되므로써 3차원 구조를 제공한다. 홀(24)에는 채널막(30A), 블록킹막(25A), 전하트랩막(202A) 및 터널절연막(29A)이 매립된다. 블록킹막(25A), 전하트랩막(202A) 및 터널절연막(29A)이 채널막(30A)을 에워싸는 구조이다. 채널막(30A)은 수직형(Vertical type)이다.
- [0019] 터널절연막(29A)과 블록킹막(25A)은 실리콘산화막을 포함한다. 채널막(30A)은 폴리실리콘막을 포함하며, 특히 N형 불순물이 도핑된 도우프트 폴리실리콘막을 포함한다. 채널막(30A)은 수직형 채널이 된다.
- [0020] 전하트랩막(202A)은 층간막과 트랩막이 반복하여 적층된 다층 구조를 갖는다. 실시예에서, 전하트랩막(202A)은 제1트랩막(26)과 제2트랩막(28) 사이에 하나의 층간막(27)이 삽입된 구조를 갖는다. 이 구조를 트리플 구조라 한다. 층간막(27)은 산화막을 포함하고, 제1 및 제2트랩막(26, 28)은 질화막을 포함하여 전하트랩막(202A)은 ONO(Oxide-Nitride-Oxide) 구조가 된다. 바람직하게, 층간막(27)은 실리콘산화막을 포함하고, 제1 및 제2트랩막(26, 28)은 실리콘질화막을 포함한다. 층간막(27)은 실리콘산화질화막을 포함할 수도 있다. 따라서, 트리플 구조의 전하트랩막(202A)은 실리콘질화막, 실리콘산화막 및 실리콘질화막으로 이루어진 NON 구조이다(도 2a의 A 부분을 확대시킨 도 2b 참조). 또한, 트리플 구조의 전하트랩막(202A)은 실리콘질화막, 실리콘산화질화막 및 실리콘질화막으로 이루어진다. 다른 실시예에서, 전하트랩막(202A)은 트랩막이 적어도 3회 이상 적층된 다층 구조

를 포함한다. 예컨대, 트랩막, 층간막, 트랩막, 층간막 및 트랩막을 포함하는 5층 구조가 사용될 수 있다.

- [0021] 상술한 바와 같이, 다층 구조의 전하트랩막(202A)은 층간막에 의해 복수의 트랩영역을 갖게 되고, 이에 따라, 전하의 트랩이 분리된다. 이 경우 트랩된 전하에 의한 전기장(electric field)이 분산되는 효과를 지니게 된다. 또한, 다층 구조의 전하트랩막을 적용하면, 트랩된 전하가 분리됨에 따라 전기장이 분산되어 전하가 측면(lateral) 방향으로 스프레딩되는 구동력(driving force)을 약화시킬 수 있다.
- [0022] 도 3a 내지 도 3f는 본 발명의 실시예에 따른 전하트랩형 비휘발성메모리장치 제조 방법을 도시한 공정 단면도이다.
- [0023] 도 3a에 도시된 바와 같이, 실리콘기판 등의 기판(21) 상에 절연막(22)과 도전막(23)을 번갈아 수회 적층한다. 이와 같은 적층구조를 메모리셀스택(200)이라 약칭하기로 한다.
- [0024] 절연막(22)은 수직방향으로 적층된 복수의 메모리셀을 상호 분리시키기 위한 것으로서, 산화막으로 이루어지는 것이 바람직하다. 또한, 도전막(23)은 메모리셀의 제어게이트전극(Control gate electrode)을 형성하기 위한 것으로서, P형 불순물 또는 N형 불순물이 도핑된 폴리실리콘막으로 이루어지는 것이 바람직하다. 적층하고자 하는 메모리 셀의 갯수에 따라 절연막(22) 및 도전막(23)을 반복 형성하는데, 본 실시예에서는, 설명의 편의를 위하여 4개의 메모리 셀이 적층되는 경우에 대해 도시하고 있다.
- [0025] 도 3b에 도시된 바와 같이, 메모리셀스택(200)을 식각하여 기판(21)의 표면을 노출시키는 홀(24)을 형성한다. 홀(24)에 의해 메모리셀스택(201)은 복수의 절연막(22A)과 제어게이트전극(23A)이 수회 적층된 구조가 된다. 상부와 하부의 제어게이트전극(23A)은 절연막(22A)에 의해 절연된다. 한편, 홀(24) 형성전에 슬리밍식각을 이용하여 제어게이트전극(23A)의 끝단을 계단 형태(Stairway)로 미리 형성할 수 있다.
- [0026] 도 3c에 도시된 바와 같이, 홀(24)을 포함한 메모리셀스택(201) 상에 블록킹막(25), 다층의 전하트랩막(202), 터널절연막(29)을 순차적으로 적층한다.
- [0027] 블록킹막(25)은 터널절연막(27)을 통과한 전하들이 전하트랩막(202)에 트랩되는 과정에서 제어게이트전극(23A)으로 이동하는 것을 차단하는 차단막의 역할을 하는 것이다. 블록킹막(27)은 실리콘산화막 등의 산화막을 포함한다. 또한, 블록킹막(25)은 전하이동을 차단하면서도 등가산화막두께를 낮추도록 높은 유전율(High-k)을 갖는 고유전체막을 포함할 수 있다.
- [0028] 터널절연막(29)은 전하트랩막(202)보다 에너지밴드갭이 큰 물질을 포함한다. 바람직하게, 터널절연막(29)은 산화막 또는 질소가 혼합된 산화막을 포함할 수 있는데, 예를 들어, 실리콘산화막( $\text{SiO}_2$ ) 또는 실리콘산화질화막( $\text{SiON}$ )을 포함한다. 이와 같이, 터널절연막(29)이 에너지밴드갭이 크면 전하트랩막(202)에 트랩되어 있는 전하가 쉽게 이동하지 못한다.
- [0029] 전하트랩막(202)은 터널절연막(29)을 통해 주입된 전자(Electron)나 정공(Hole)을 트랩(trap)하는 기능을 갖는 막이다. 전하트랩막(202)은 트랩사이트 밀도(Trap site density)가 높도록 질소가 혼합된 물질을 포함하는데, 예를 들어, 실리콘질화막(Silicon nitride)을 포함할 수 있다. 실리콘질화막은  $\text{Si}_3\text{N}_4$ 를 포함한다.
- [0030] 본 발명은 전하트랩막(202)이 다층 구조를 갖는다. 바람직하게, 전하트랩막(202)은 트랩막과 층간막이 번갈아 적층된 다층 구조를 포함한다. 실시예에서, 전하트랩막(202)은 제1트랩막(26)과 제2트랩막(28) 사이에 하나의 층간막(Inter layer, 27)이 삽입된 트리플 구조(Trippl structure)를 포함한다. 제1트랩막(26)과 제2트랩막(28)은 동일 물질일 수 있고, 층간막(27)은 제1,2트랩막(26, 28)과는 다른 물질일 수 있다. 제1 및 제2트랩막(26, 28)은 질화막을 포함하고, 층간막(27)은 산화막을 포함한다. 특히, 제1 및 제2트랩막(26, 28)은 실리콘질화막을 포함하고, 층간막(27)은 실리콘산화막(Silicon oxide) 또는 실리콘산화질화막(Silicon oxynitride)을 포함한다. 따라서, 전하트랩막(202)은 제1실리콘질화막, 실리콘산화막 및 제2실리콘질화막으로 이루어지거나 또는 제1실리콘질화막, 실리콘산화질화막 및 제2실리콘질화막으로 이루어질 수 있다.
- [0031] 상술한 바와 같이, 다층 구조로 전하트랩막(202)을 형성하면, 데이터유지 특성이 향상된다.
- [0032] 일반적인 SONOS 구조에서 트랩사이트(trap site)가 가장 많이 존재하는 영역은 블록킹막과 전하트랩막의 계면영역(interface region)의 깊은 트랩(deep trap)에 주로 전하가 트랩된다. 이를 '트랩계면'이라 한다.
- [0033] 복수의 트랩막 사이에 층간막이 위치하는 다층 전하트랩막(202)의 경우 복수의 트랩막에 의해 트랩영역이 더 증가하면서 전하의 트랩농도(trap concentration)가 증가할 뿐만 아니라, 전하의 트랩이 주로 트랩되는 트랩영역이 분리된다. 이 경우 트랩된 전하에 의한 전기장(electric field)이 분산되는 효과를 지니게 된다. 3차원

SONOS 구조의 경우 구조적으로 전하트랩막을 고립(isolated) 시키는 것이 힘들게 된다. 이 경우 측면스프레딩(lateral spreading)에 의한 전하손실(charge loss)은 불가피하며, 데이터유지 특성은 전하트랩막의 고유 트랩 특성에 의존할 수 밖에 없다. 이에 반해, 다층의 전하트랩막(202)을 적용하면, 복수의 트랩막에 의해 전하가 분리됨에 따라 전기장이 분산되어 전하가 측면(lateral) 방향으로 스프레딩되는 구동력(driving force)을 약화시킬 수 있다.

[0034] 결론적으로 본 발명의 실시예에 따르면, 전하트랩 방식의 3차원 비휘발성메모리장치의 데이터유지 특성을 향상시킨다.

[0035] 도 3d에 도시된 바와 같이, 블록킹막(25), 전하트랩막(202) 및 터널절연막(29)을 선택적으로 제거하여 기판(21)의 표면을 노출시킨다. 이에 따라, 홀의 양쪽 측벽에만 블록킹막(25A), 전하트랩막(202A) 및 터널절연막(29A)이 잔류한다.

[0036] 도 3e에 도시된 바와 같이, 홀(24)을 매립하도록 전면에서 채널막(30)을 형성한다. 채널막(30)은 실리콘막을 포함한다. 특히, 채널막(30)은 폴리실리콘막을 포함한다. 채널막(30)으로 사용된 폴리실리콘막은 CVD(Chemical Vapor Deposition) 방법에 의해 다결정질로 형성한다. 다결정질로 형성하기 위해 CVD 방법에 의해 비정질(amorphous) 형태로 증착하고 열처리에 의해 결정화시키는 방법으로 진행할 수 있다.

[0037] 도 3f에 도시된 바와 같이, CMP(Chemical Mechanical Polishing) 또는 건식식각(dry etch)을 이용하여 채널막(30)을 선택적으로 제거한다. 이에 따라, 홀(24)의 내부에 채널막(30A)이 잔류한다.

[0038] 채널막(30A)이 폴리실리콘막이고, 게이트이트전극(23A)이 폴리실리콘막이므로, 본 발명의 실시예에 따른 비휘발성메모리장치는 SONOS 구조를 갖는다. 다른 실시예에서, 게이트가 금속막인 경우, MONOS 구조를 갖는다.

[0039] 상술한 실시예에서는 트리플 구조의 전하트랩막에 대해 설명하였으나, 본 발명의 다른 실시예에서는 적어도 3층 이상의 트랩막을 갖는 다층의 전하트랩막을 적용할 수 있다. 예컨대, 다층(Multi-layer)의 전하트랩막은 적어도 트랩막이 2회 이상 사용된 구조를 포함한다. 일례로, 실리콘질화막, 실리콘산화막, 실리콘질화막, 실리콘산화막 및 실리콘질화막으로 이루어진 5층 구조도 적용가능하다.

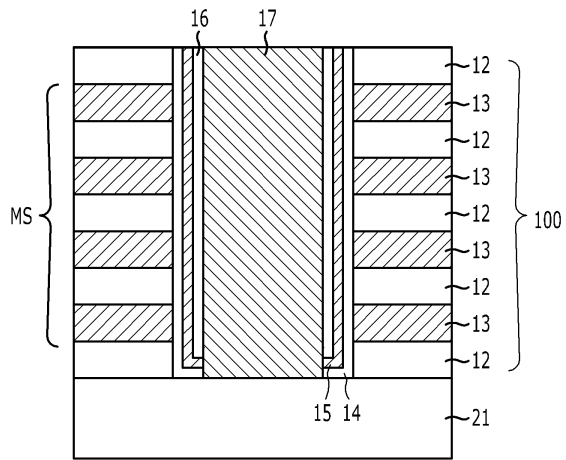
[0040] 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

## 부호의 설명

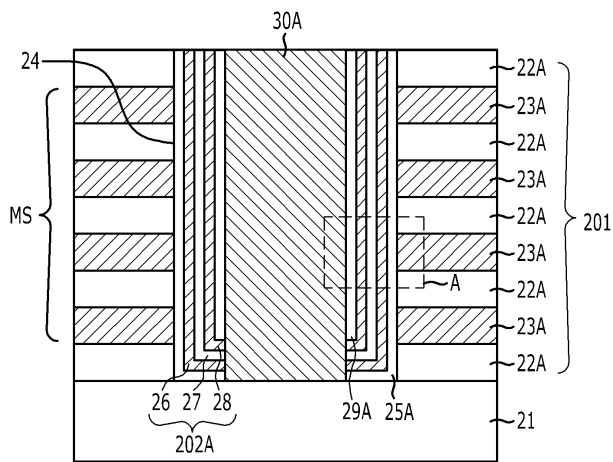
|        |               |            |
|--------|---------------|------------|
| [0041] | 21 : 기관       | 22A : 절연막  |
|        | 23A : 제어게이트전극 | 24 : 홀     |
|        | 25A : 블록킹막    | 26 : 제1트랩막 |
|        | 27 : 층간막      | 28 : 제2트랩막 |
|        | 29A : 터널절연막   | 30A : 채널막  |

도면

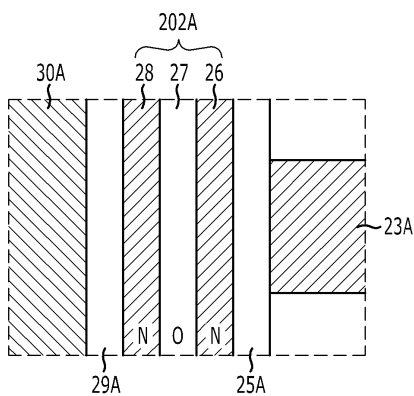
도면1



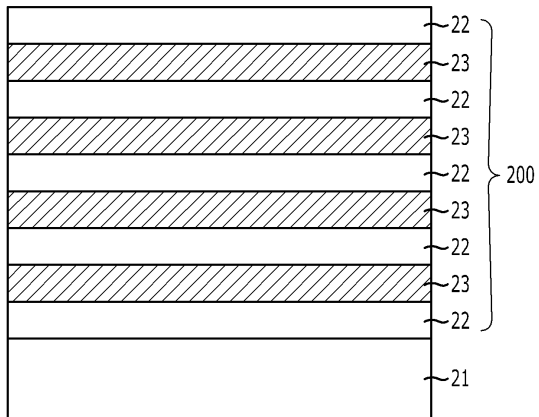
도면2a



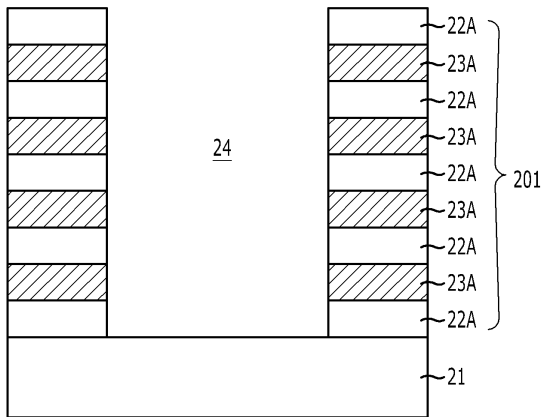
도면2b



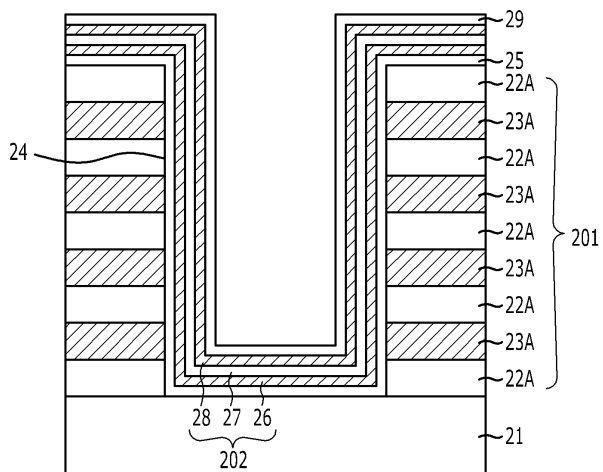
도면3a



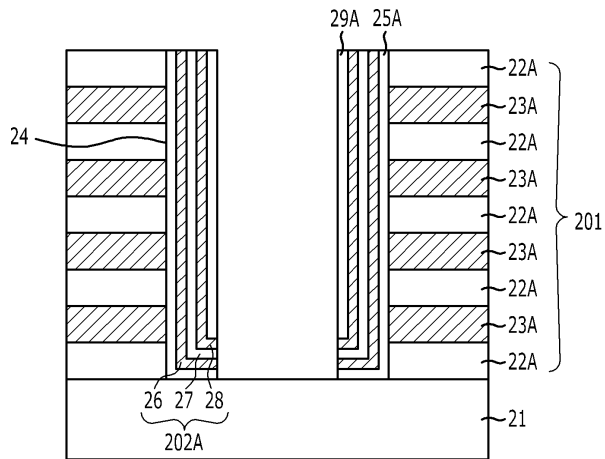
도면3b



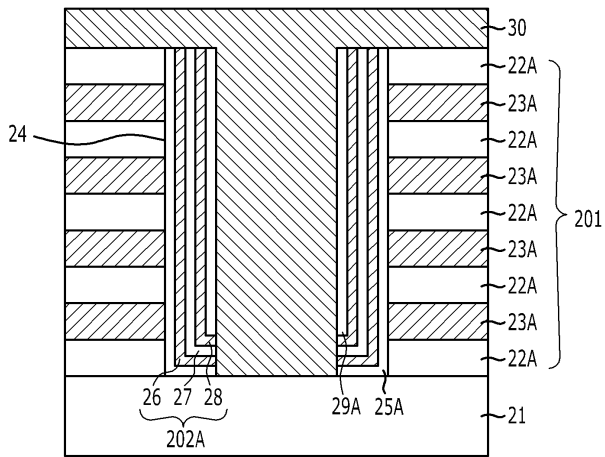
도면3c



도면3d



도면3e



도면3f

