力損失。然而，當根據本發明之一實施例改變電荷捕獲層之化學計量時，可在仍然維持良好資料保存能力的同時按比例減小電荷捕獲層之厚度。

在一特定實施例中，底部氮氧化物層518A提供在具有相對較低捕獲狀態密度之電荷捕獲層內的局部區域，由此減小在穿隧氧化物介面處之陷阱密度以減少經縮放之SONOS元件中之陷阱輔助穿隧。對於給定電荷捕獲層厚度而言，此舉使所儲存電荷之損失減少從而允許縮放用於縮放ONO堆疊EOT之電荷捕獲層。在一此類實施例中，底部氮氧化物518A具有具備高矽濃度、高氧濃度及低氮濃度之第一組成從而提供富氧氮氧化物。此第一氮氧化物可具有在2.5 nm與4.0 nm之間的實際厚度，其對應於在1.5 nm與5.0 nm之間的EOT。在一特定實施例中，底部氮氧化物層518A具有大約為6之有效介電常數(ε)。

在另一實施例中，頂部氮氧化物層518B提供在具有相對較高捕獲狀態密度之電荷捕獲層內的局部區域。相對較高之捕獲狀態密度允許電荷捕獲層厚度減少從而提供使經縮放之ONO堆疊中保持適當記憶體視窗之足夠捕獲電荷。因此，對於特定電荷捕獲層厚度而言，高捕獲狀態密度具有增加記憶體元件的程式化電壓與擦除電壓之間的差異之效果，從而允許電荷捕獲層厚度減小且由此減小經縮放之SONOS元件中的ONO堆疊之EOT。在一特定實施例中，頂部氮氧化物層之組成具有高矽濃度及高氮濃度以及低氧濃度從而產生富矽、貧氧之氮氧化物。通常，頂部氮氧化物

Sandisk Technologies, Inc. - Ex. 1002, Page 000590

之含矽量愈高，由頂部氮氧化物提供之捕獲狀態密度愈高且可減小之頂部氮氧化物層厚度愈多(由此減少電荷捕獲層厚度從而允許較低電壓操作)。另外，對於頂部氮氧化物層而言，含矽量愈高，電容率愈大且EOT愈低。對於該電荷捕獲層相對於具有大體上均勻組成之習知氮氧化物電荷捕獲層的EOT淨減小，此EOT減小可遠遠抵銷富氧底部氮氧化物之EOT增大。在一此類實施例中，頂部氮氧化物具有大約為7之有效介電常數。

圖7B描繪例示性二次離子質譜(SIMS)分布，其指示在沈積穿隧層、電荷捕獲層及阻擋層之後(初沈積時(as-deposited))的矽(Si)、氮(N)、氧(O)及氫(H)之濃度(以原子/立方公分為單位)。覆蓋基線條件("BL")及如圖5中所描繪之雙層氮氧化物條件("雙層")。基線條件具有組成均勻之習知電荷捕獲層。X軸表示深度，其中0 nm處於阻擋層之暴露頂面且自頂部繼續向下穿過堆疊，終止於基板中。如圖所示，對於雙層條件而言，在深度介於大約5 nm與10 nm之間的區域(對應於電荷捕獲層之一部分)內，氧濃度遠低於1.0×10^{22}個原子/立方公分。相比之下，在此同一區域內，基線條件顯示大於1.0×10^{22}個原子/立方公分之大體上較高之氧濃度。如圖進一步展示，在6 nm與10 nm標記之間，基線條件具有大體上恆定之氧濃度，而雙層條件展示在靠近10 nm標記處之氧大體上多於6 nm標記處之氧。此氧濃度不均勻性表示在雙層條件下貧氧頂部氮氧化物與富氧底部氮氧化物之間的轉變。

Sandisk Technologies, Inc. - Ex. 1002, Page 000591

在某些實施例中，底部氮氧化物層厚度與頂部氮氧化物層厚度之比率在1:6與6:1之間，且更佳地底部氮氧化物厚度與頂部氮氧化物厚度之比率為至少1:4。在第一氮氧化物具有在2.5 nm與4.0 nm之間的實際厚度之例示性實施例中，對於淨實際厚度在7.5 nm與10.0 nm之間的電荷捕獲層518而言，第二氮氧化物518B具有在5.0 nm與6.0 nm之間的實際厚度。在一採用實際厚度為30 Å之底部氮氧化物之特定實施例中，對於淨實際厚度為90 Å之經縮放之電荷捕獲層而言，頂部氮氧化物具有60 Å之實際厚度。

在此等特定實施例中，利用組成不均勻性將陷阱定位且限制於電荷捕獲層(亦即使陷阱聚集)距穿隧層介面一定距離之嵌入位置。圖8A進一步說明在根據本發明之一實施例的經縮放之SONOS元件之保存期間的能帶圖，該經縮放之SONOS元件包括介於一基板812與控制閘極814之間的一氮化穿隧氧化物816、一多層電荷捕獲氮氧化物818及一增密阻擋層820。如圖所描繪，電荷捕獲層818之組成不均勻性影響該電荷捕獲層之富矽頂部氮氧化物818B與富氧底部氮氧化物818A之間的原子價與導電帶二者。如圖8B中所示，根據本發明之一實施例的電荷捕獲層提供在電荷捕獲層818內之富氧氮氧化物層與富矽氮氧化物層的介面處之能帶調變。對於給定電荷捕獲層厚度而言，此能帶隙調變用於將捕獲電荷重心定位在頂部氮氧化物層內，從而更遠離基板。氮氧化物層之間的導電帶調變亦可用於減小回流。

Sandisk Technologies, Inc. - Ex. 1002, Page 000592

如圖8A進一步展示，在一特定實施例中，富矽頂部氮氧化物818B之一部分經氧化或再氧化。此富矽頂部區域之氧化可產生鄰近阻擋層820，相對於圖8A中出於說明之目的描繪為虛線的氧化前能帶隙的分級能帶隙。在一實施例中，大約一半之頂部氮氧化物層818B經再氧化從而具有朝向與阻擋層820的介面愈高之氧濃度。在另一實施例中，大體上整個頂部氮氧化物層818B經再氧化從而具有較初沈積時之氧濃度高之氧濃度。在一實施例中，再氧化作用使頂部氮氧化物層818B中之氧濃度增加大約0.25×10^{21}-0.35×10^{21}個原子/立方公分。此等採用經再氧化之電荷捕獲層之實施例可防止陷阱向電荷捕獲層與阻擋層之間的介面遷移，由此允許在不招致與使具有大體上均勻組成之電荷捕獲層變薄相關的電荷保存能力損失之情況下減小電荷捕獲層厚度。防止電荷向阻擋氧化層遷移亦降低在擦除期間跨過阻擋氧化物之電場，其減小電子的回流或允許按比例縮小阻擋氧化物同時維持相同電子回流位準。此由電荷捕獲層中具有不同化學計量之區域及進一步與在特定實施例中電荷捕獲層之一部分之再氧化組合所提供的陷阱定位及限制可使根據本發明之經縮放之SONOS元件能在降低之電壓下或以更短程式化時間及擦除時間操作，同時維持記憶保存能力。

儘管如圖中所描繪及在本文其他地方所描述僅具有兩個氮氧化物層(亦即，一頂層及一底層)，但本發明不限於此，且多層電荷儲存層可包括任何數目(n)個氮氧化物層，

Sandisk Technologies, Inc. - Ex. 1002, Page 000593

該等層中之任何或所有者具有不同的氧、氮及/或矽組成。詳言之，已製造並試驗具有多達5個不同組成之氮氧化物層之多層電荷儲存層。

如圖5中進一步描繪，ONO堆疊504之阻擋層520包括一在約30 Å與約50 Å之間的二氧化矽層。SONOS型元件之ONO堆疊中阻擋層520之縮放並非無關緊要的，因為若不適當地進行縮放，則在某些偏壓條件下可有害地增加自控制閘極之載流子回流。在一包括經部分再氧化之電荷捕獲層之實施例中，阻擋層520為密度大於初沈積時之密度之高溫氧化物(HTO)。經增密之氧化物具有較低分率之末端氫鍵或羥鍵。舉例而言，自HTO氧化物移除氫或水具有增加薄膜密度且改良HTO氧化物品質之效果。較高品質氧化物使層能進行厚度上之縮放。在一實施例中，初沈積時氫濃度大於2.5×10^{20}個原子/立方公分且在經增密之薄膜中減少為8.0×10^{19}個原子/立方公分以下。在一例示性實施例中，初沈積時，HTO氧化物之厚度在2.5 nm與10.0 nm之間且在增密後變薄約10%至30%。

在一替代實施例中，進一步改變阻擋氧化層以併入氮。在一此類實施例中，以跨過阻擋氧化層之厚度的ONO堆疊之形式併入氮。此替代習知純氧阻擋層之夾層結構有利地降低通道與控制閘極之間的整個堆疊之EOT且允許能帶偏移之調整以減少載流子之往回注入。ONO阻擋層可因此與經氮化之穿隧氧化物及包含底部氮氧化物層及頂部氮氧化物層之電荷捕獲層合併。

Sandisk Technologies, Inc. - Ex. 1002, Page 000594

ONO堆疊504之上為一閘極層514。閘極層514可為任何導體或半導體材料。在一此類實施例中，閘極層514為多晶矽(poly-silicon/poly)。在另一實施例中，閘極層514含有諸如(但不限於)鉿、鋯、鈦、鉭、鋁、釕、鈀、鉑、鈷及鎳之金屬，其矽化物，其氮化物及其碳化物。在一特定實施例中，閘極層514為具有在70 nm與250 nm之間的實際厚度之多晶矽。

如圖5中進一步展示，SONOS型元件500包括與閘極層514緊密相鄰之閘極頂蓋層525且具有與閘極層514及ONO堆疊504大致相同之關鍵尺寸。在某些實施例中，閘極頂蓋層525形成閘極堆疊502之頂層且在閘極層514及ONO堆疊504圖案化期間提供堅硬遮罩。在一些實施例中，閘極頂蓋層525促進與SONOS元件自我對準接觸(SAC)之形成。閘極頂蓋層525可包含能夠提供對隨後之蝕刻製程之必要選擇性的任何材料，諸如(但不限於)二氧化矽、氮化矽及氮氧化矽。

在一特定實施例中，一SONOS型元件採用一ONO堆疊，該ONO堆疊包括一具有14 Å之EOT(對應於大約18 Å之實際厚度)的氮化穿隧氧化物，一包含一具有20 Å之EOT(對應於大約25 Å之實際厚度)的底部氮氧化物層及一具有30 Å之EOT(對應於大約60 Å之實際厚度)的頂部氮氧化物層之電荷捕獲層，及一沈積為40 Å且增密為30 Å之阻擋氧化層。此SONOS型元件可在大約9 V之電壓範圍下操作以在1 ms至10 ms脈衝之後提供2 V之初始擦除電壓臨限值位準

Sandisk Technologies, Inc. - Ex. 1002, Page 000595

(VTE)。

圖9描繪用於製造諸如圖5中所描繪之經縮放之SONOS的方法之流程圖，如上文所述，該經縮放之SONOS包括一經氮化之氧化物穿隧層、一已經部分再氧化之多層電荷捕獲氮氧化物及一經增密之阻擋氧化層。圖9之製造方法以在操作901中在一基板之一含矽表面之上形成一經氮化之氧化物穿隧層開始。圖10描繪用於圖9中操作900之形成經氮化之氧化物的特定方法之流程圖。

在圖10中描繪之實施例中，SONOS型元件之經氮化之穿隧氧化物中的氮分布之修整係藉由多步驟氮化及氧化方法來實現。在操作1001中，由一在一諸如圖5之基板508的基板之一表面上面之含矽層形成一薄熱氧化物。因為需要與基板之良好介面，所以化學氧化物之形成可作為熱氧化之開始。因此在一特定實施例中，在熱氧化期間存在化學氧化物(與執行習知"HF最後"預清潔成對比)。在一此類實施例中，化學氧化物係由臭氧化水產生以形成具有大約1.0 nm厚度之化學氧化物層。

熱氧化物係形成至大約1.0 nm與1.8 nm之間的厚度。在一特定實施例中，熱氧化物係形成至1.0 nm與1.2 nm之間的厚度。因此，在操作1001之熱氧化期間存在1.0 nm化學氧化物之實施例中，表面氧化物之厚度並不實質性增加，然而氧化物之品質得以改良。在另一實施例中，氧化物具有相對較低之密度以促進隨後顯著重量%之氮之併入。然而過低之薄膜密度將在矽基板介面上產生過多氮。操作

Sandisk Technologies, Inc. - Ex. 1002, Page 000596

1001中之二氧化矽層之形成進一步充當在隨後之熱處理期間阻止額外基板氧化物形成之方法，此在下文中作進一步論述。在一實施例中，採用大氣壓垂直熱反應器(VTR)在680℃與800℃之間的溫度下在諸如氧氣(O_2)、氧化亞氮(N_2O)、氧化氮(NO)、臭氧(O_3)及蒸汽(H_2O)之氧化性氣體之存在下產生熱氧化物。視所選之氧化劑而定，操作1001之氧化可持續3.5分鐘至20分鐘。在一大氣壓實施例中，採用在700℃與750℃之間的溫度下之O_2氣體，7分鐘與20分鐘之間的製程時間形成大約1.0 nm之二氧化矽薄膜。

在另一實施例中，由諸如可購自AVIZA technology (Scotts Valley, California)之高級垂直處理器(Advanced Vertical Processor, AVP)之次大氣壓處理器執行氧化操作1001。AVP可在如上文對於VTR實施例所述之溫度範圍內且在1托(T)與大氣壓之間的壓力下操作。視操作壓力而定，如可由一般熟習此項技術者確定，用以形成厚度在大約1.0 nm與1.8 nm之間的熱二氧化矽薄膜之氧化時間可延長至接近一小時。

接著，在圖10中所描繪之多個氧化氮化方法之實施例中之操作1002中，氮化操作1001中所形成之熱氧化物。通常，在操作1002中，執行氮退火以增大介電常數(κ)且減少熱氧化物層之固定電荷。在一實施例中，氮退火採用氮(N_2)或諸如氨(NH_3)之氫化氮源。在另一實施例中，氮退火採用諸如氘化氨(ND_3)之氘化氮源。在一特定實施例中，氮退火係在700℃與850℃之間的溫度下執行3.5分鐘與30分

Sandisk Technologies, Inc. - Ex. 1002, Page 000597

鐘之間的時間。在另一特定實施例中，氮退火係在725℃與775℃之間的溫度下執行3.5分鐘與30分鐘之間的時間。在一此類實施例中，在大氣壓下於725℃與775℃之間的溫度下引入NH_3，歷時3.5分鐘與30分鐘之間。在一替代實施例中，次大氣壓NH_3退火係在諸如AVP之處理器中於800℃至900℃下執行5分鐘至30分鐘。在又一實施例中，執行通常已知之氮電漿與熱退火組合。

操作1002之後，在操作1004中執行再氧化。在一實施例中，在再氧化製程期間，氧化性氣體經熱裂解以在接近於薄膜表面處提供氧基團。氧基團消除氮及氫捕獲電荷。再氧化操作1004亦在基板介面上產生額外氧化物以提供基板與穿隧層內氮濃度之間的實際偏移。舉例而言，再參看圖5，再氧化有助於將基板介面513與穿隧層516內之氮濃度分隔。如圖6中特別展示，對於一實施例而言，在基板介面613上，穿隧層616中之氮濃度614顯著低於5×10^{21}個原子/立方公分且可為約5×10^{20}個原子/立方公分。此自基板介面之氮偏移改良SONOS型元件之保存能力。在一實施例中，產生於基板介面613上之氧化物之厚度限於1.2 nm與3.0 nm之間。在操作1004中，選擇再氧化製程條件以使得操作1001所形成之熱氧化物之厚度防止氧化超過大約3.0 nm厚度，若超過則可使穿隧層缺乏任何有利之氮濃度。再氧化製程可採用諸如(但不限於)NO、N_2O、O_2、O_3及蒸汽之通常已知之氧化劑。可由在800℃及850℃之間的溫度下操作之已知熱處理器引入任何該等氧化劑。視操作參數而

Sandisk Technologies, Inc. - Ex. 1002, Page 000598

定，再氧化時間可為約5分鐘至40分鐘。在一特定實施例中，在一於800℃與850℃之間的溫度下操作之大氣壓爐中採用NO歷時大約15分鐘之處理時間從而在矽基板上面形成大約2.2 nm厚度之氮化氧化物膜。在一此類實施例中，2.2 nm厚度之再氧化薄膜在鄰近與矽基板之介面處形成在0.5 nm與0.8 nm之間的區域，該區域具有低於5×10^{21}個原子/立方公分之氮濃度。

在操作1004之再氧化之後，在操作1006中執行第二次氮退火以再氮化穿隧層。在不向基板介面上有害地引入大量氫或氮陷阱之情況下採用第二次氮退火以進一步增大穿隧層之介電常數。在一實施例中，在與操作1002中所執行之退火相同之條件下執行操作1006之第二次氮退火。在另一實施例中，在較操作1002之第一次氮退火更高之溫度下執行操作1006之第二次氮退火以向穿隧層中引入額外之氮。在一實施例中，氮退火採用諸如NH_3之氫化氮源。在另一實施例中，氮退火採用諸如ND_3之氘化氮源。在一特定實施例中，操作1006之氮退火採用NH_3在大氣壓下及在750℃與950℃之間的溫度下執行，處理時間在3.5分鐘與30分鐘之間。在另一特定實施例中，NH_3退火係在大氣壓下於800℃與850℃之間的溫度下執行歷時5分鐘與10分鐘之間。

如所述，圖10中所描繪之操作1001至操作1006提供兩個氧化操作及兩個氮化操作。所描繪之反覆氧化、氮化流程允許穿隧層中氮濃度之特定修整從而達成程式化電壓之降

Sandisk Technologies, Inc. - Ex. 1002, Page 000599

低(或程式化速度之增大)與SONOS型元件之記憶保存能力之提高二者。氧化、氮化、再氧化、再氮化之操作1001至1006之連續性允許厚度小於3.0 nm之穿隧層中可感測之氮濃度同時在穿隧層與基板之間提供具有極少氮及氫陷阱之介面。獨立之氧化、氮化、再氧化、再氮化操作1001至1006使第一次氧化及第二次氧化與第一次氮化及第二次氮化能夠在經獨立設計之條件下執行從而提供穿隧層中氮濃度分布之修整之較大自由度。在一有利實施例中，在操作之間不將基板自處理器移除之情況下，在一單個熱處理器中連續執行操作1001、1002、1004及1006。在一此類實施例中，操作1001至1006之製程壓力保持在大氣壓下。首先，在700℃與750℃之間的溫度下執行氧化操作1001。隨後如指定改變氣流以在725℃與775℃之間的溫度下執行操作1002之氮退火。隨後使爐溫斜線上升至800℃與850℃之間且再次改變氣流以執行操作1004之再氧化。最終，在保持爐在800℃與850℃之間的同時，再次改變氣流以執行操作1006之第二次氮退火。

隨著圖5之經氮化之氧化物穿隧層516大體上完成，可藉由重新再次採用圖9中描繪之方法來繼續ONO堆疊之製造。在一實施例中，在操作902及904中以低壓CVD製程形成多個氮化物或氮氧化物電荷捕獲層，該CVD製程使用諸如矽烷(SiH_4)、二氯矽烷(SiH_2Cl_2)、四氯矽烷($SiCl_4$)或雙-第三丁胺基矽烷(BTBAS)之矽源，諸如N_2、NH_3、N_2O或三氧化氮(NO_3)之氮源，及諸如O_2或N_2O之含氧氣體。或

Sandisk Technologies, Inc. - Ex. 1002, Page 000600

者，可使用氫已由氘置換之氣體，包括(例如)ND_3取代NH_3。以氘取代氫有利地鈍化在基板介面上之矽懸空鍵，由此延長SONOS型元件之NBTI(負偏壓溫度不穩定性)使用壽命。

在一例示性實施例中，在操作902中可藉由將基板置放於沈積室中且引入包括N_2O、NH_3及DCS之製程氣體，同時將該室維持在約5毫托(mT)至約500 mT之間的壓力下，且將基板維持在約700℃至約850℃(且較佳至少約780℃)之溫度下歷時約2.5分鐘至約20分鐘之時段，從而將氮氧化物電荷捕獲層沈積於穿隧層之上。在另一實施例中，製程氣體可包括以約8:1至約1:8之比率混合的N_2O與NH_3之第一氣體混合物及以約1:7至約7:1之比率混合的SiH_2Cl_2與NH_3之第二氣體混合物，且其可以約5至約200標準立方公分/分鐘(sccm)之流動速率引入。已發現在此等條件下產生或沈積之氮氧化物層產生諸如圖5中所描繪之電荷捕獲層518A之富矽富氧氮氧化物層。電荷捕獲層之形成可進一步涉及在操作904中之CVD製程，該CVD製程採用以約8:1至約1:8之比率混合的N_2O與NH_3之第一氣體混合物及以約1:7至約7:1之比率混合的SiH_2Cl_2與NH_3之第二氣體混合物，該等氣體混合物係以約5 sccm至約20 sccm之流動速率引入以產生諸如圖5中所描繪之電荷捕獲層518B的富矽富氮且貧氧之氮氧化物層。

在一實施例中，在操作901與904之間不將基板自沈積室卸除之情況下，在用以形成穿隧層之同一處理工具中依序

Sandisk Technologies, Inc. - Ex. 1002, Page 000601

執行操作902及904中電荷捕獲層之形成。在一特定實施例中，在不改變圖10之操作1006的第二次氮退火期間加熱基板之溫度的情況下沈積電荷捕獲層。在一實施例中，在操作901中之穿隧層氮化之後依序且立即藉由改變NH_3氣體之流動速率且引入N_2O及SiH_2Cl_2以提供所要氣體比率從而產生富矽且富氧層，富矽且富氮之氮氧化物層或雙層實施例中之上述兩個層來沈積電荷捕獲層。

操作904之後，在操作906中可藉由包括例如熱氧化或使用CVD技術沈積的任何適宜方法形成阻擋層。在一較佳實施例中，使用高溫CVD製程形成阻擋層。通常，沈積製程涉及在一沈積室中於約50 mT至約1000 mT之壓力下提供諸如SiH_4、SiH_2Cl_2或$SiCl_4$之矽源及諸如O_2或N_2O之含氧氣體，歷時約10分鐘至約120分鐘之時段，同時將基板維持在約650℃至約850℃之溫度下。較佳地，在操作902及904中形成電荷捕獲層所採用之同一處理工具中依序沈積阻擋層。更佳地，在操作之間不移除基板之情況下，在與電荷捕獲層及穿隧層二者所採用之同一處理工具中形成阻擋層。

在圖9中描繪之實施例中，在操作908中使操作906中所沈積之阻擋層再氧化以增密阻擋層氧化物。如本文中其他地方所論述，操作908可進一步氧化或再氧化一部分或整個電荷捕獲層(諸如圖5中所展示之一部分或整個電荷捕獲層518B)以達成諸如圖8A中所描繪之分級能帶隙。通常，可在諸如氧氣(O_2)、氧化亞氮(N_2O)、氧化氮(NO)、臭氧

Sandisk Technologies, Inc. - Ex. 1002, Page 000602

(O_3)及蒸汽(H_2O)之氧化性氣體之存在下執行再氧化。在一實施例中，可在較沈積阻擋層之溫度更高之溫度下執行再氧化製程。沈積阻擋氧化物之後的再氧化使氧化劑能以更為受控的方式擴散以便可控地氧化或再氧化薄電荷捕獲層。在一特別有利之實施例中，採用稀釋濕式氧化。稀釋濕式氧化與濕式氧化之區別在於H_2:O_2之比率在1與1.3之間。在一特定實施例中，H_2:O_2之比率為大約1.2之稀釋氧化係在800℃與900℃之間的溫度下執行。在另一實施例中，稀釋氧化可持續足夠時間以便在矽基板上面產生5.0 nm與12.5 nm之間的二氧化矽。在一此類實施例中，持續足夠時間以便在矽基板上面產生大約10 nm至1.1 nm之二氧化矽層。此稀釋氧化製程用以再氧化所沈積之阻擋層氧化物且可進一步氧化或再氧化一部分電荷捕獲層以給予如圖8A或8B中所描繪之能帶結構。在另一實施例中，操作908之再氧化可進一步用以在與SONOS型元件相同之基板上面之非SONOS型元件區域(諸如對於互補金屬氧化物矽(CMOS)場效電晶體(FET)而言)中形成閘極氧化物。在另一實施例中，操作908之再氧化可進一步用以使氘擴散至SONOS型元件的電荷捕獲層或阻擋層之部分中。

如圖9中所描繪，接著該方法可在操作910中隨著諸如圖5之閘極層514的閘極層之形成而完成。在某些實施例中，操作910可進一步包括諸如圖5中所描繪之閘極頂蓋層525的閘極頂蓋層之形成。隨著閘極堆疊製造之完成，可進行此項技術中已知之進一步處理以結束SONOS型元件300之

Sandisk Technologies, Inc. - Ex. 1002, Page 000603

製造。

儘管已用特定用於結構特徵及/或方法行為之語言來描述本發明，但應瞭解隨附申請專利範圍中定義之本發明不必限於所述特定特徵或行為。應將所揭示之特定特徵及行為理解為所主張的發明之特別合適之實施例，其致力於說明而非限制本發明。

【圖式簡單說明】

圖1說明習知SONOS元件之中間結構之橫截面圖。

圖2描繪習知SONOS元件在程式化期間之能帶圖、捕獲電荷分布及陷阱密度分布。

圖3描繪習知SONOS元件在擦除期間之能帶圖。

圖4描繪採用習知ONO堆疊之習知SONOS元件之程式化時間及擦除時間。

圖5說明經縮放之非揮發性捕獲電荷記憶體元件的一部分之橫截面側視圖，該記憶體元件具有根據本發明實施例之經縮放之ONO結構，該結構包括一經氮化之氧化物穿隧層、一多層氮氧化物電荷捕獲層及一經增密之阻擋層。

圖6說明根據本發明之一實施例的經氮化之氧化物穿隧層之近似氮濃度分布。

圖7A說明描繪展示可歸因於根據本發明之一實施例的經氮化之氧化物穿隧層的程式化電壓降低之模擬的圖表。

圖7B說明在兩個不同SONOS型元件的阻擋層、電荷捕獲層及穿隧層中兩種氫、氮、氧及矽濃度分布的比較。

圖8A描繪根據本發明之一實施例的經縮放之SONOS型

Sandisk Technologies, Inc. - Ex. 1002, Page 000604

元件之保存模式能帶圖。

圖8B描繪根據本發明之一實施例的經縮放之SONOS型元件在程式化期間之能帶圖、捕獲電荷分布及陷阱密度分布。

圖9為製造根據本發明之一實施例的經縮放之ONO結構的SONOS縮放方法之流程圖，該經縮放之ONO結構包括一經氮化之氧化物穿隧層、一多層電荷捕獲層及一經再氧化之阻擋層。

圖10為形成經氮化之氧化物穿隧層之SONOS縮放方法之流程圖。

【主要元件符號說明】

100	半導體元件
102	SONOS閘極堆疊
104	ONO堆疊
106	表面
108	半導體基板
110	擴散區域
112	通道區域
114	多晶矽閘極層
116	二氧化矽穿隧層
118	氮化矽電荷捕獲層
120	二氧化矽阻擋層
212	通道
214	控制閘極

Sandisk Technologies, Inc. - Ex. 1002, Page 000605

216	氧化物穿隧層
218	氮化物記憶層
220	氧化物阻擋層
312	通道
314	控制閘極
316	氧化物穿隧層
318	氮化物記憶層
320	氧化物阻擋層
500	SONOS型元件
502	SONOS閘極堆疊
504	ONO堆疊
508	基板
510	源極及汲極區域
512	通道區域
514	閘極層
516	穿隧層
518A	底部氮氧化物層/底部氮氧化物/電荷捕獲層
518B	頂部氮氧化物層/第二氮氧化物/電荷捕獲層
520	阻擋層
525	閘極頂蓋層
612	基板
613	基板介面
614	氮濃度
616	穿隧層

Sandisk Technologies, Inc. - Ex. 1002, Page 000606

617	中心線
618	電荷捕獲層
812	基板
814	控制閘極
816	經氮化之氧化物穿隧層/經氮化之穿隧氧化物
818	多層電荷捕獲氮氧化物/電荷捕獲層
818A	富氧底部氮氧化物
818B	富矽頂部氮氧化物/頂部氮氧化物層
820	阻擋層
V_{CG}	電壓

Sandisk Technologies, Inc. - Ex. 1002, Page 000607

五、中文發明摘要：

本發明係關於縮放非揮發性捕獲電荷記憶體元件及由此製造之物品。在一實施例中，縮放包括多個氧化及氮化操作以提供介電常數高於純二氧化矽穿隧層，但氫及氮陷阱少於在基板介面上具有氮之穿隧層的穿隧層。在一實施例中，縮放包括以非均勻氮氧化物化學計量形成電荷捕獲層。在一實施例中，電荷捕獲層包括富矽、富氧層及在該富矽、富氧層上面之富矽、貧氧氮氧化物層。在一實施例中，縮放方法包括用以增密所沈積之阻擋氧化物且氧化該富矽、貧氧氮氧化物層之一部分之稀釋濕式氧化。

六、英文發明摘要：

Scaling a nonvolatile trapped-charge memory device and the article made thereby. In an embodiment, scaling includes multiple oxidation and nitridation operations to provide a tunneling layer with a dielectric constant higher than that of a pure silicon dioxide tunneling layer but with a fewer hydrogen and nitrogen traps than a tunneling layer having nitrogen at the substrate interface. In an embodiment, scaling includes forming a charge trapping layer with a non-homogenous oxynitride stoichiometry. In one embodiment the charge trapping layer includes a silicon-rich, oxygen-rich layer and a silicon-rich, oxygen-lean oxynitride layer on the silicon-rich, oxygen-rich layer. In an embodiment, the method for scaling includes a dilute wet oxidation to densify a deposited blocking oxide and to oxidize a portion of the silicon-rich, oxygen-lean oxynitride layer.

Sandisk Technologies, Inc. - Ex. 1002, Page 000608

十、申請專利範圍：

1. 一種製造一非揮發性捕獲電荷記憶體元件之方法，其包含：

在一基板上面形成一穿隧層；

在該穿隧層上面形成一氮氧化物電荷捕獲層；

在該電荷捕獲層上面沈積一阻擋層；

使用一氧化退火來增密該阻擋層，其中該氧化退火氧化該氮氧化物電荷捕獲層之至少一部分，該經氧化之部分鄰近於該阻擋層；及

在該經增密之阻擋氧化物上面形成一閘極層。

2. 如請求項1之方法，其中增密該阻擋氧化物進一步包含使該阻擋氧化物暴露於一具有一在大約1與1.3之間的$H_2:O_2$比率之稀釋濕式氧化中。

3. 如請求項2之方法，其中該稀釋濕式氧化係在一大約800℃與大約900℃之間的溫度下執行。

4. 如請求項1之方法，其中形成該氮氧化物電荷捕獲層進一步包含沈積至少一個富矽、貧氧氮氧化物層且其中增密該阻擋層氧化少於該富矽、貧氧氮氧化物層之整個厚度。

5. 如請求項1之方法，其中形成該氮氧化物電荷捕獲層進一步包含：

沈積至少一個富氧氮氧化物層；及

在該至少一個富氧氮氧化物層上面沈積至少一個富矽、貧氧氮氧化物層。

Sandisk Technologies, Inc. - Ex. 1002, Page 000609

6. 如請求項5之方法，其中增密該阻擋層氧化少於該富矽、貧氧氮氧化物之整個厚度。

7. 如請求項5之方法，其中該富矽、貧氧氮氧化物係在一大約700℃至大約850℃之間的溫度下使用一製程氣體沈積，該製程氣體包含一至少以一約8:1至約1:8之比率混合的N_2O與NH_3之第一混合物及一至少以一約1:7至約7:1之比率混合的SiH_2Cl_2與NH_3之第二氣體混合物，該製程氣體係以一大約5 sccm至大約20 sccm之流動速率引入。

8. 如請求項1之方法，其中形成該穿隧層進一步包含：

氧化該基板以形成一氧化物薄膜；

氮化該氧化物薄膜；

再氧化該經氮化之氧化物薄膜；及

再氮化該經再氧化之經氮化之氧化物薄膜。

9. 如請求項8之方法，其中氧化該基板包括使該基板暴露於O_2中且其中再氧化包括使該基板該經氮化之氧化物薄膜暴露於NO中。

10. 如請求項8之方法，其中該穿隧層、該電荷捕獲層及該阻擋層係各自於同一處理工具中在一大約700℃與大約850℃之間的溫度下連續形成。

11. 一種製造一非揮發性捕獲電荷記憶體元件之方法，其包含：

將一基板裝載至一熱處理工具中；

在該基板上面形成一ONO堆疊；

自該熱處理工具卸除該基板；

Sandisk Technologies, Inc. - Ex. 1002, Page 000610

暴露該基板之一矽表面；

增密該ONO堆疊之一氧化物阻擋層及藉由一具有一在大約1與大約1.3之間的H_2:O_2比率之稀釋濕式氧化在該基板之該暴露部分上面形成一閘極氧化物層；及

在該經增密之阻擋氧化物及該閘極氧化物上面沈積一閘極層。

12. 如請求項11之方法，其中該穿隧層厚度不大於3.0 nm，該阻擋層厚度不大於7.5 nm且該閘極氧化物厚度不大於12.5 nm。

13. 如請求項11之方法，其中該稀釋濕式氧化之製程溫度高於形成該ONO堆疊所採用之最高製程溫度。

14. 一種非揮發性捕獲電荷記憶體元件，其包含：

一在一基板上面之穿隧層，

一在該穿隧層上面之電荷捕獲層，其中該電荷捕獲層進一步包含：

一富氧氮氧化物層；

一在該富氧氮氧化物層上面之富矽、貧氧氮氧化物層；及

一在該電荷捕獲層上面之阻擋層。

15. 如請求項14之非揮發性捕獲電荷記憶體元件，其中該富矽、貧氧氮氧化物層包含一小於大約1.0×10^{22}個原子/立方公分之氧濃度。

16. 如請求項15之非揮發性捕獲電荷記憶體元件，其中該富矽、貧氧氮氧化物層包含一大於2.5×10^{22}個原子/立方公

Sandisk Technologies, Inc. - Ex. 1002, Page 000611

分之矽濃度及一大於2.5×10^{22}個原子/立方公分之氮濃度。

17. 如請求項14之非揮發性捕獲電荷記憶體元件，其中該富矽、貧氧氮氧化物層包含一小於大約7.0×10^{21}個原子/立方公分之氧濃度且該富氧氮氧化物層包含一大於1.0×10^{22}個原子/立方公分之氧濃度。

18. 如請求項14之非揮發性捕獲電荷記憶體元件，其中該阻擋層係以一低於1.0×10^{20}個原子/立方公分之氫濃度增密。

19. 如請求項14之非揮發性捕獲電荷記憶體元件，其中該穿隧層厚度不大於3.0 nm且進一步包含一第一區域，該第一區域包含鄰近於該基板之該穿隧層厚度之大約25%，其具有一低於一第二區域之氮濃度，該第二區域包含鄰近於該電荷捕獲層之該穿隧層厚度之大約25%。

20. 如請求項14之非揮發性捕獲電荷記憶體元件，其中該第一區域具有一比該第二區域低至少半個數量級之氮濃度，且該第二區域具有一至少5×10^{21}個原子/立方公分之氮濃度。

Sandisk Technologies, Inc. - Ex. 1002, Page 000612

十一、圖式：

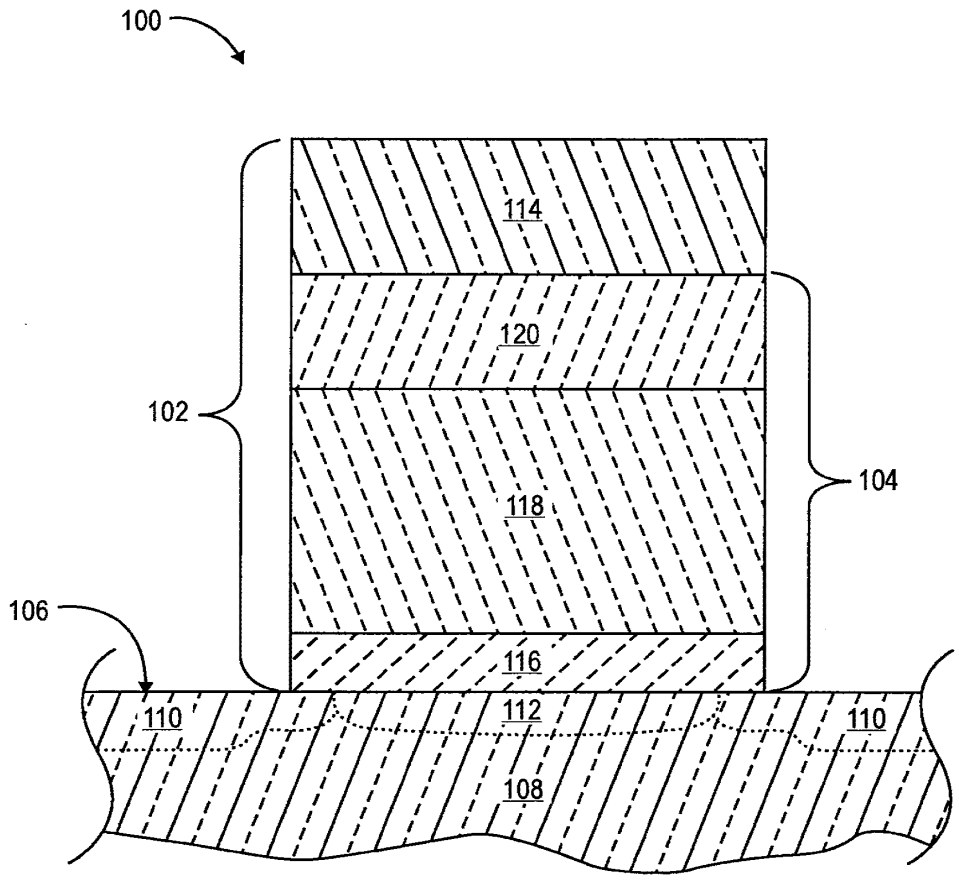


圖1

Sandisk Technologies, Inc. - Ex. 1002, Page 000613

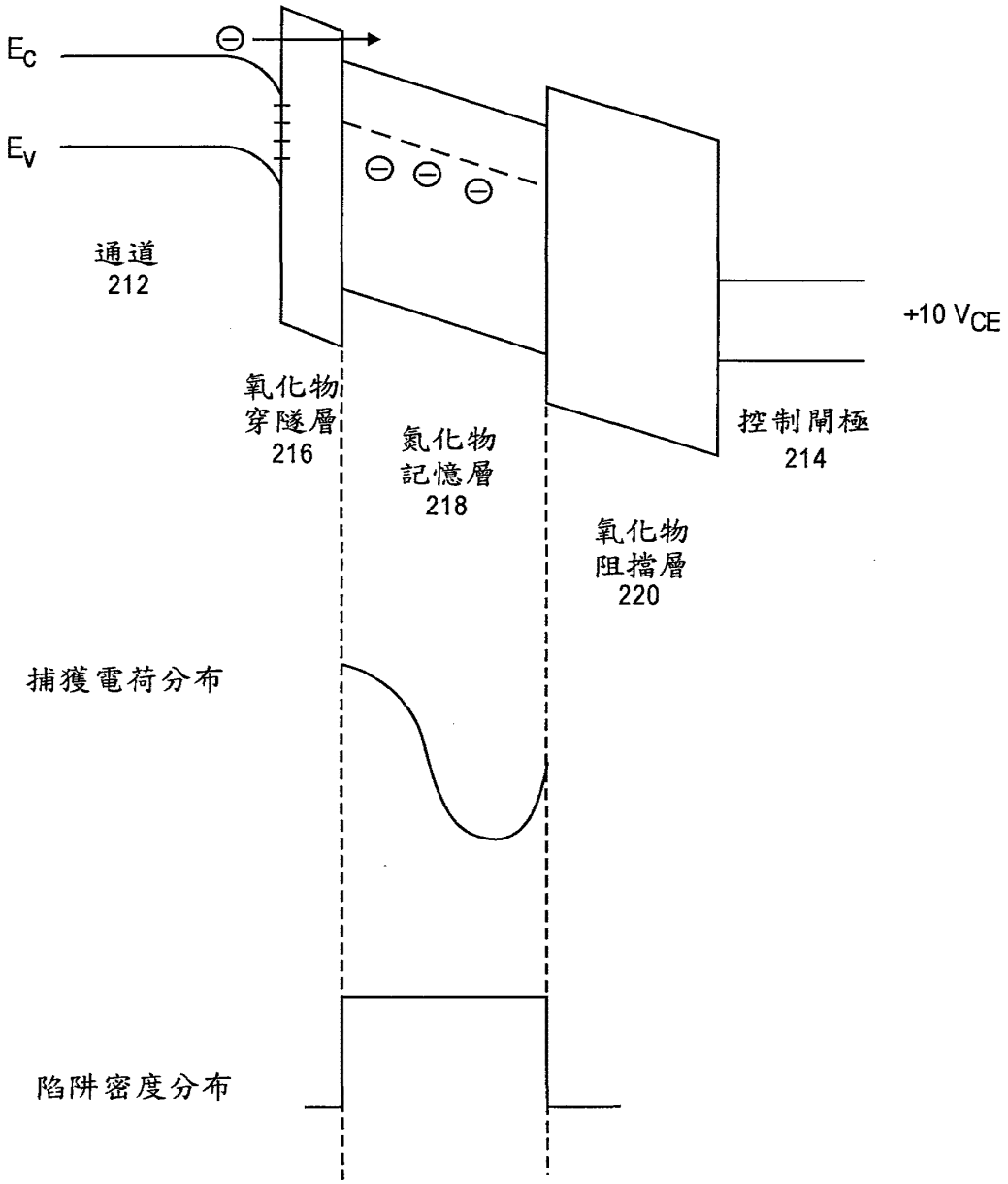


圖2

Sandisk Technologies, Inc. - Ex. 1002, Page 000614

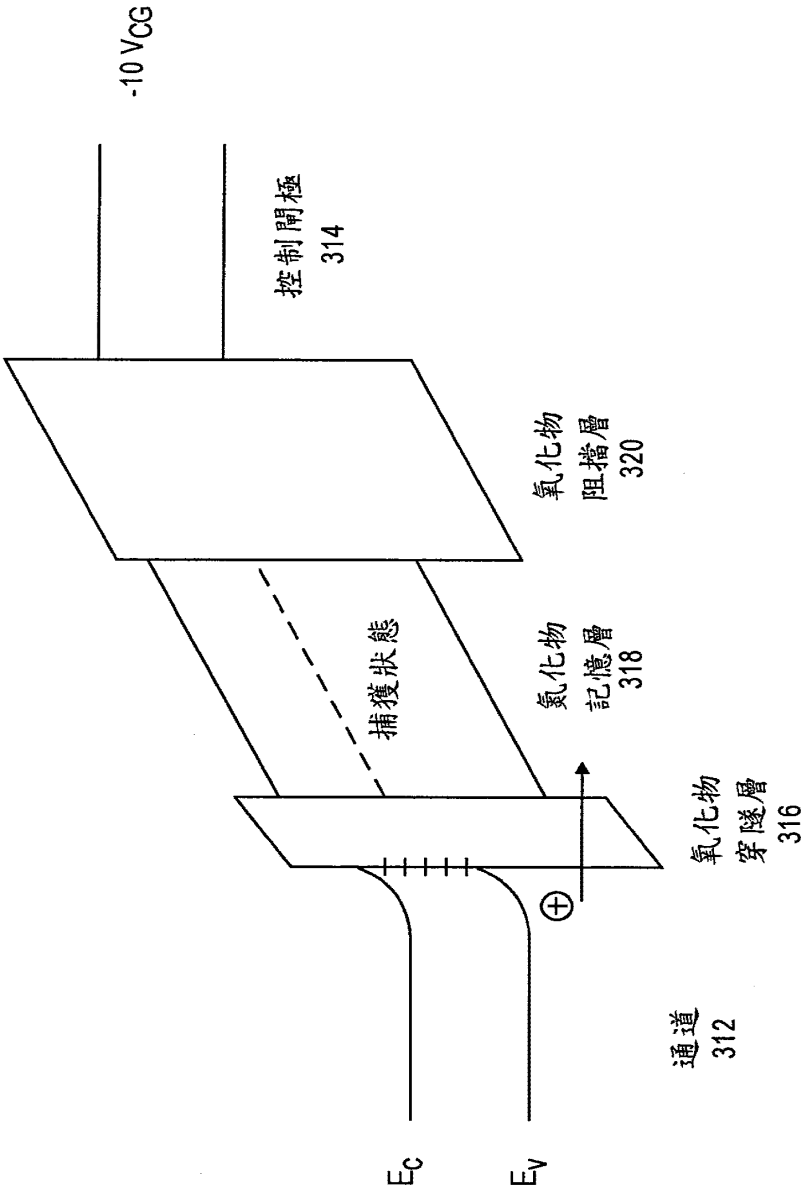


圖3

Sandisk Technologies, Inc. - Ex. 1002, Page 000615

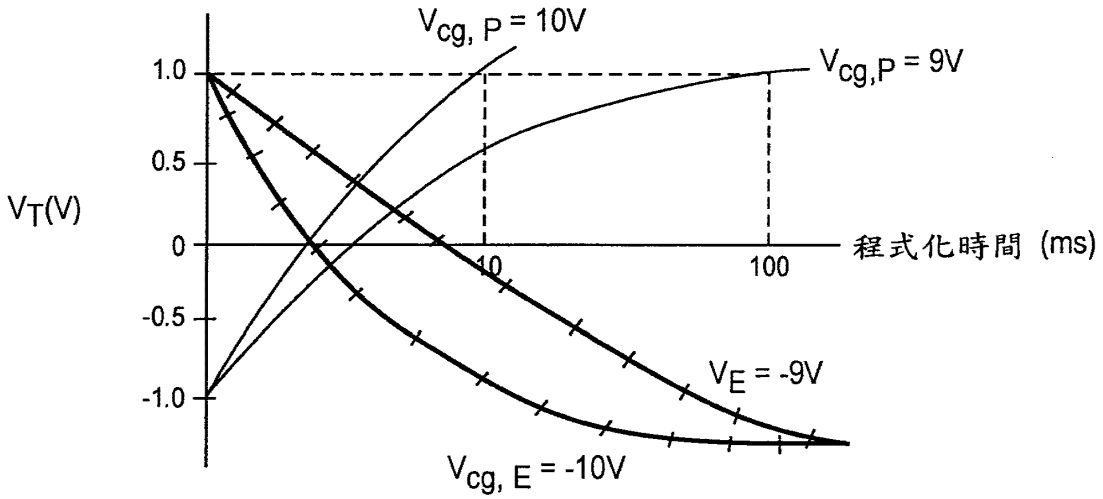


圖4

Sandisk Technologies, Inc. - Ex. 1002, Page 000616

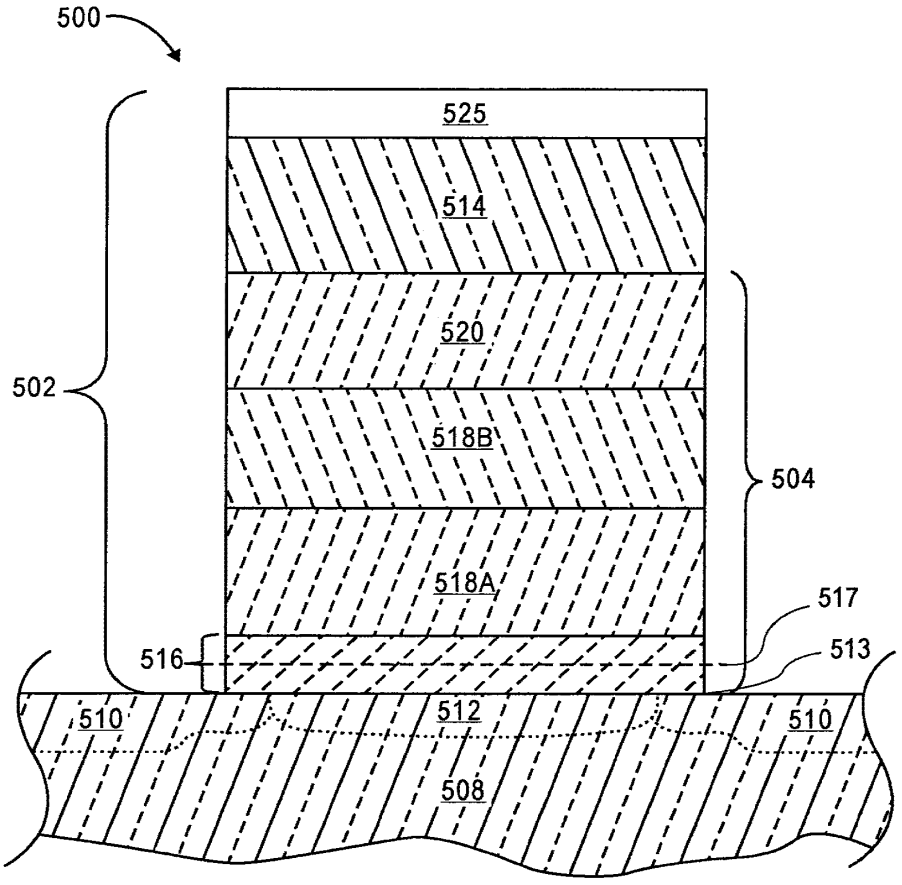


圖5

Sandisk Technologies, Inc. - Ex. 1002, Page 000617

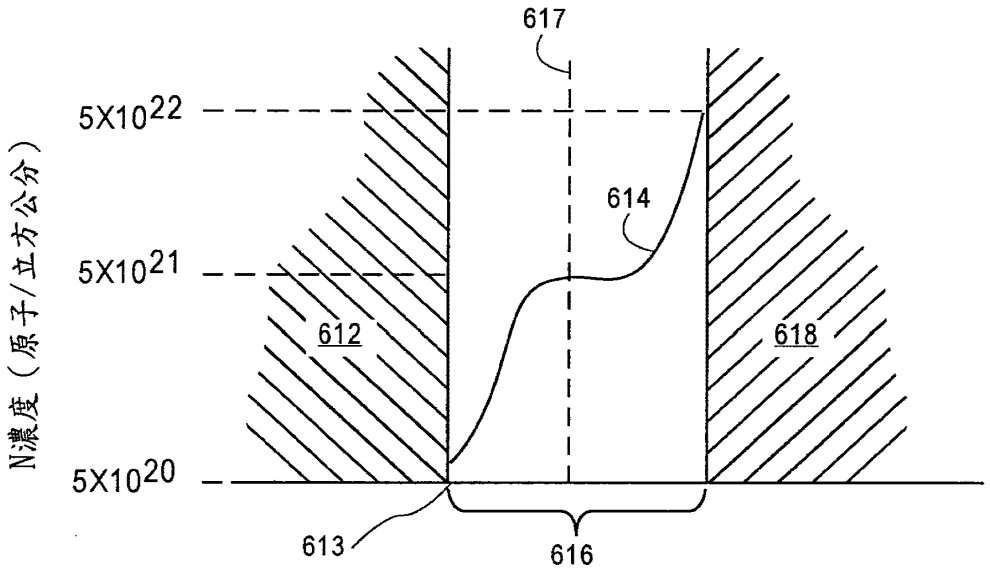


圖6

Sandisk Technologies, Inc. - Ex. 1002, Page 000618

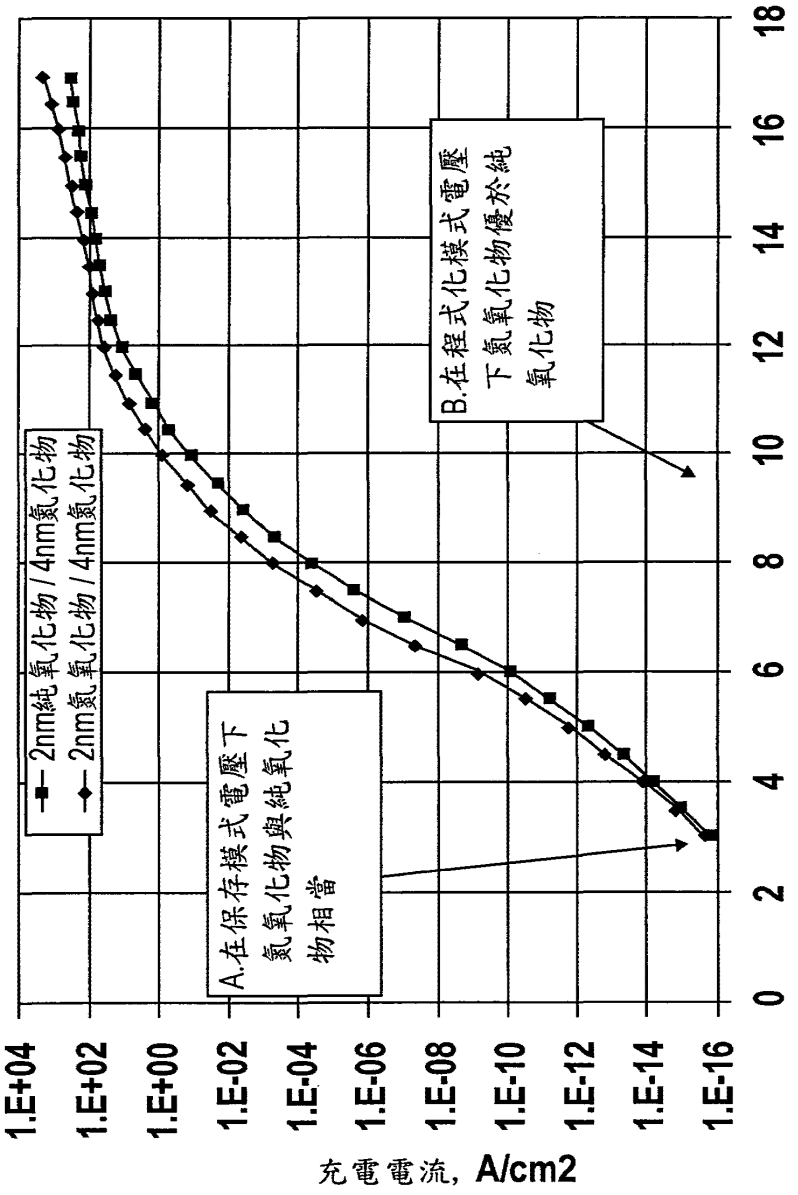


圖7A

Sandisk Technologies, Inc. - Ex. 1002, Page 000619

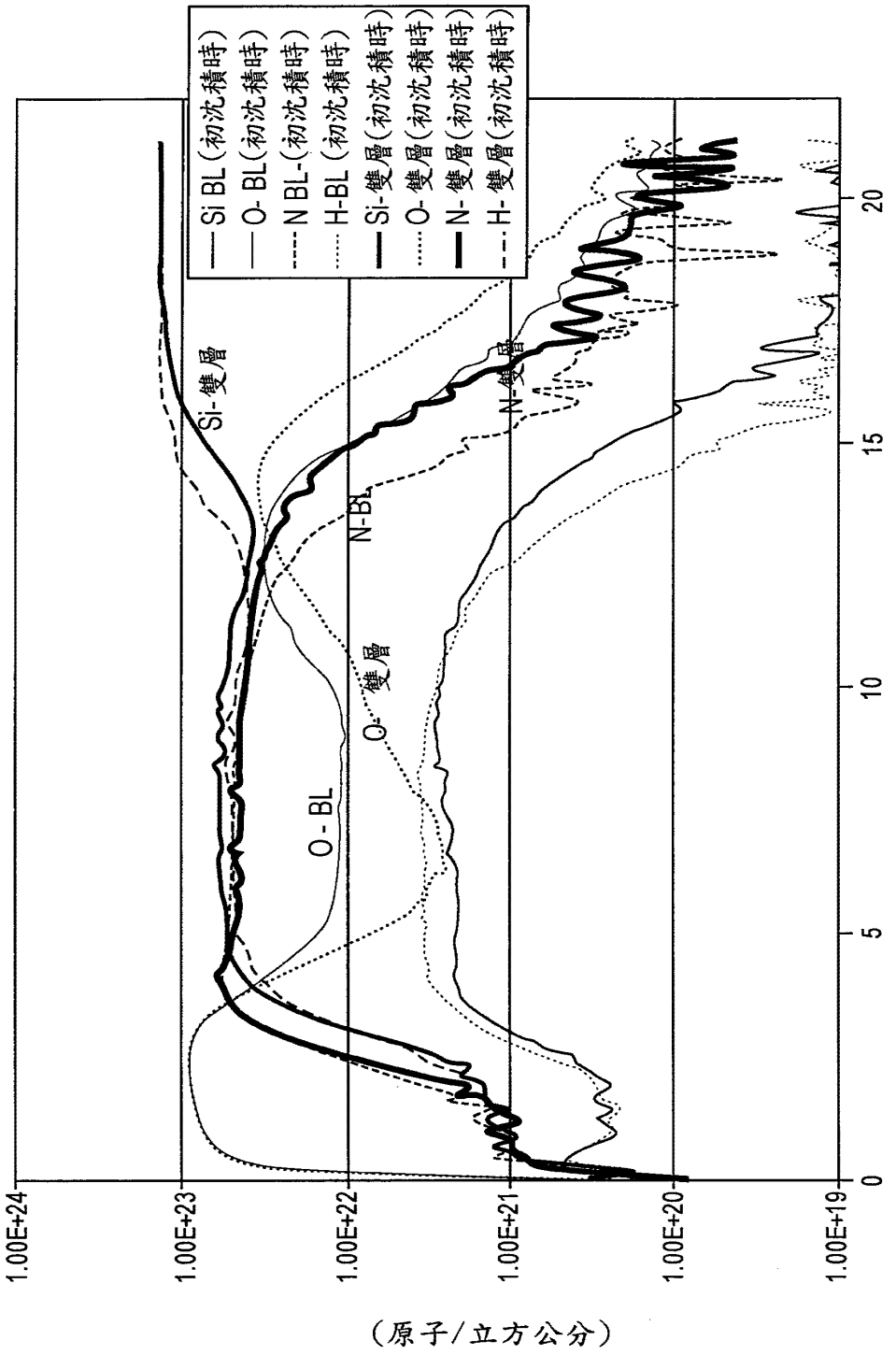


圖 7B

Sandisk Technologies, Inc. - Ex. 1002, Page 000620

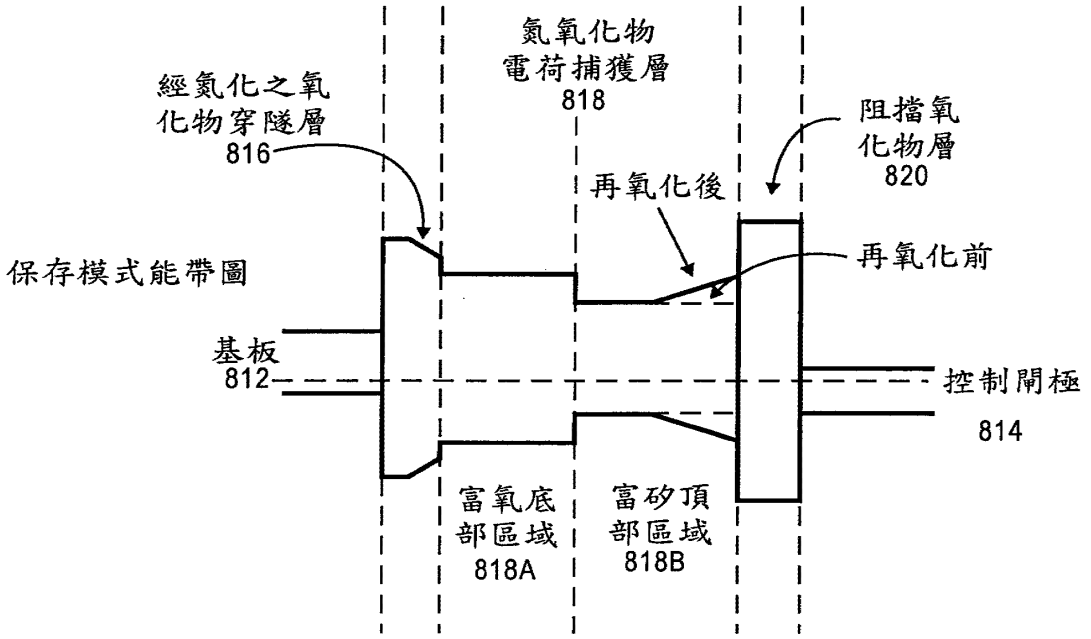


圖8A

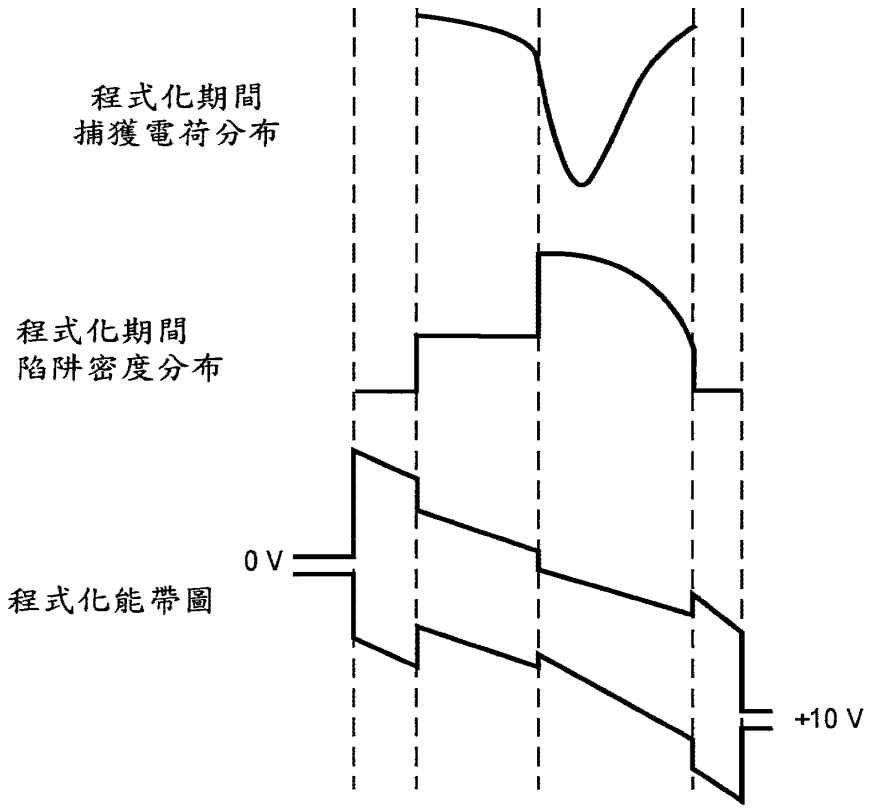


圖8B

Sandisk Technologies, Inc. - Ex. 1002, Page 000621

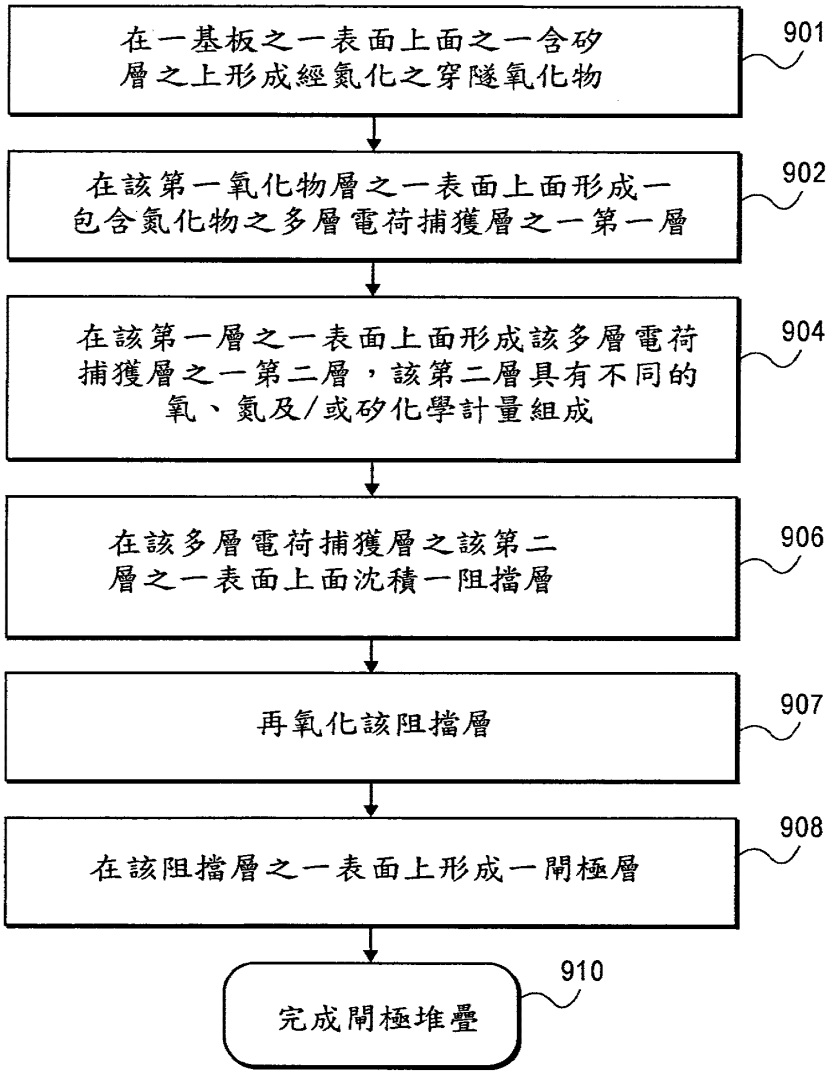


圖9

Sandisk Technologies, Inc. - Ex. 1002, Page 000622

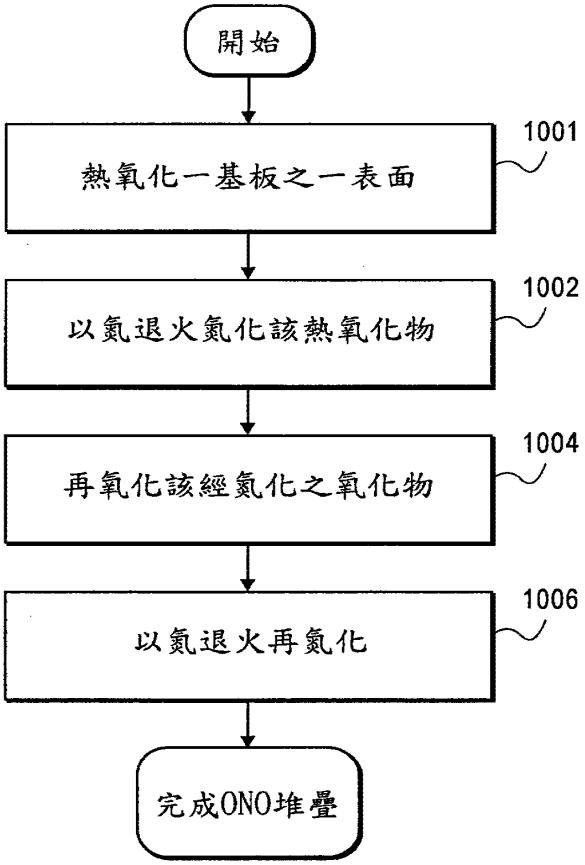


圖10

Sandisk Technologies, Inc. - Ex. 1002, Page 000623

七、指定代表圖：

(一)本案指定代表圖為：第（5）圖。

(二)本代表圖之元件符號簡單說明：

500	SONOS型元件
502	SONOS閘極堆疊
504	ONO堆疊
508	基板
510	源極及汲極區域
512	通道區域
513	基板介面
514	閘極層
516	穿隧層
517	中心線
518A	底部氮氧化物層/底部氮氧化物/電荷捕獲層
518B	頂部氮氧化物層/第二氮氧化物/電荷捕獲層
520	阻擋層
525	閘極頂蓋層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

Sandisk Technologies, Inc. - Ex. 1002, Page 000624

Espacenet

TW200703671A High density NAND non-volatile memory device

Applicants: MICRON TECHNOLOGY INC [US]

Inventors: BHATTACHARYYA ARUP [US]

Classifications:
IPC ***H01L29/788;***

CPC **G11C16/0483 (EP,KR); H01L27/115 (EP); H01L27/11521 (EP,KR); H01L27/11524 (EP,KR); H01L27/11568 (EP,KR); H01L29/40114 (EP); H01L29/4232 (EP,KR); H01L29/42336 (EP,KR); H01L29/513 (EP,KR); H01L29/7881 (EP,KR); H01L29/792 (EP,KR);** G11C16/0475 (EP);

Priorities: US18134505A 2005-07-14

Application: TW200703671A·2006-07-07

Publication: TW200703671A·2007-01-16

Published as: **CN101223640A; CN101223640B; EP1908108A2; JP2009501449A; JP5246549B2; KR100979842B1; KR20080027946A;** TW200703671A;**TWI314361B; US2007012988A1; US2011273931A1; US7829938B2; US8462557B2; WO2007011582A2; WO2007011582A3**

High density NAND non-volatile memory device

Abstract

Non-volatile memory devices and arrays are described that utilize dual gate (or back-side gate) non-volatile memory cells with band engineered gate-stacks that are placed above or below the channel region in front-side or back-side charge trapping gate-stack configurations in NAND memory array architectures. The band-gap engineered gate-stacks with asymmetric or direct tunnel barriers of the floating node memory cells of embodiments of the present invention allow for low voltage tunneling programming and efficient erase with electrons and holes, while maintaining high charge blocking barriers and deep carrier trapping sites for good charge retention. The memory cell architecture also allows for improved high density memory devices or arrays with the utilization of reduced feature word lines and vertical select gates.

Sandisk Technologies, Inc. - Ex. 1002, Page 000625

200703671

發明專利說明書

（本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※ 申請案號：95124840

※ 申請日期：95.7.7　　※IPC 分類：H01L 29/788

一、發明名稱：（中文/英文）

高密度 NAND 型非依電性記憶體元件

HIGH DENSITY NAND NON-VOLATILE MEMORY DEVICE

二、申請人：（共 1 人）

姓名或名稱：（中文/英文）

麥克隆科技公司

MICRON TECHNOLOGY, INC.

代表人：（中文/英文）

魯塞爾 D.　史利佛 / SLIFER, RUSSELL D.

住居所或營業所地址：（中文/英文）

美國愛達華州 83716 波思市,南聯邦路 8000 號

8000 South Federal Way, Boise, Idaho 83716, U.S.A.

國　籍：（中文/英文）

美國 / USA

三、發明人：（共 1 人）

姓　名：（中文/英文）

俄魯　哈塔查亞

BHATTACHARYYA, ARUP

國　籍：（中文/英文）

美國 / USA

Sandisk Technologies, Inc. - Ex. 1002, Page 000626

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，

其事實發生日期為：　年　月　日。

☑ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號　順序註記】

☑ 有主張專利法第二十七條第一項國際優先權：

美國、 2005.7.14、 11/181,345

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號　順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼　順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼　順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

Sandisk Technologies, Inc. - Ex. 1002, Page 000627

五、中文發明摘要：

本發明說明的是使用具能帶工程化閘極堆疊之雙閘極(或背面閘極)非依電性記憶胞的非依電性記憶體元件與陣列，該等能帶工程化閘極堆疊係於 NAND 型記憶體陣列架構中被放置在正面或背面電荷陷捕閘極堆疊配置中的通道區的上方或下方。本發明實施例之浮動節點記憶胞中該等具有不對稱或直接穿隧屏障的能隙工程化閘極堆疊可利用電子與電洞進行低電壓穿隧程式化與有效的抹除，同時又可維持極高的電荷阻隔屏障與極深的載子陷捕部位，而達到良好的電荷保存能力。該記憶胞架構還可運用縮小特徵的字線與垂直選擇閘來產生改良的高密度記憶體元件或陣列。

六、英文發明摘要：

Non-volatile memory devices and arrays are described that utilize dual gate (or back-side gate) non-volatile memory cells with band engineered gate-stacks that are placed above or below the channel region in front-side or back-side charge trapping gate-stack configurations in NAND memory array architectures. The band-gap engineered gate-stacks with asymmetric or direct tunnel barriers of the floating node memory cells of embodiments of the present invention allow for low voltage tunneling programming and

Sandisk Technologies, Inc. - Ex. 1002, Page 000628

efficient erase with electrons and holes, while maintaining high charge blocking barriers and deep carrier trapping sites for good charge retention. The memory cell architecture also allows for improved high density memory devices or arrays with the utilization of reduced feature word lines and vertical select gates.

Sandisk Technologies, Inc. - Ex. 1002, Page 000629

七、指定代表圖：

(一)本案指定代表圖為：第（ 1A ）圖。

(二)本代表圖之元件符號簡單說明:

100 記憶胞

102 基板

104 第一源極/汲極區

106 第二源極/汲極區

108 本體通道區

110 閘極堆疊

112 閘極堆疊

114 控制閘極或存取閘極

116 閘極絕緣體層

118 穿隧絕緣體層

120 閘極-絕緣體堆疊

122 控制閘極或存取閘極

124 電荷阻隔層

126 陷捕層/浮動閘極

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

（無）

Sandisk Technologies, Inc. - Ex. 1002, Page 000630

九、發明說明：

【發明所屬之技術領域】

本發明係大致和積體電路有關，且更明確地說，本發明係關於非依電性記憶體元件。

【先前技術】

記憶體元件通常係被設置為電腦中的內部儲存區。記憶體一詞所指的是具有積體電路晶片型式的資料儲存體。於現代的電子裝置中用到數種不同類型的記憶體，其中一種常用的類型便係 RAM(隨機存取記憶體)。RAM 的特徵為於電腦環境中當作主記憶體。RAM 可充當讀取與寫入記憶體；也就是，您能夠將資料寫入 RAM 之中且能夠從 RAM 之中讀取資料。這和唯讀記憶體(ROM)不同，唯讀記憶體僅允許您讀取資料。大部份的 RAM 都係依電性的 RAM，其意謂著需要有一穩定的電流來保持其內容。當電力被關閉之後，RAM 之中的所有資料便會喪失。

電腦大部份都含有一小量的 ROM，用以保留啟動該部電腦的指令。和 RAM 不同的係，ROM 並無法被寫入。EEPROM(可電抹除程式化唯讀記憶體)係一種特殊類型的非依電性 ROM，只要曝露在一電荷中便可被抹除。EEPROM 包括一記憶體陣列，其包含具有電隔離的閘極的大量記憶胞。資料係以該等浮動閘極上的電荷或和該等閘極相關聯之浮動節點上的電荷的形式被儲存在該等記憶胞之中。一 EEPROM 記憶體陣列內的每一個記憶胞均可藉由充電該浮動節點而以隨機方式來被電程式化。該電荷亦可藉由一抹

Sandisk Technologies, Inc. - Ex. 1002, Page 000631

除作業而從該浮動節點中被隨機移除。電荷會藉由專屬的程式化作業與抹除作業而分別被傳輸至該等個別的浮動節點或從該等個別的浮動節點中被移除。

另一種類型的非依電性記憶體則係快閃記憶體。快閃記憶體係一種通常以區塊為基礎來進行抹除與再程式化的EEPROM類型，而非一次僅針對單一位元或一位元組(8或9個位元)來進行抹除與再程式化。一典型的快閃記憶體包括一記憶體陣列，其包含大量的記憶胞。該等記憶胞中每一者均包含一能夠保留一電荷的浮動閘極場效電晶體。一記憶胞中的資料係取決於該浮動閘極/電荷陷捕層中是否有電荷存在。該等記憶胞經常會被分組成複數個區段，稱之為「抹除區塊」。一抹除區塊內的每一個記憶胞均可藉由充電該浮動閘極而以隨機方式來被電程式化。該電荷可藉由一區塊抹除作業而從該浮動閘極中被移除，其中該抹除區塊中的所有浮動閘極記憶胞係在單一作業中抹除。

EEPROM記憶體陣列與快閃記憶體陣列兩者中的記憶胞通常會被配置成一「NOR」架構(每一個記憶胞均直接被耦接至一位元線)或一「NAND」架構(複數個記憶胞會被耦接成記憶胞「串」，使得每一個記憶胞均間接被耦接至一位元線且需要啟動該記憶胞串中的其它記憶胞方能進行存取)。為防止一NAND串中的浮動閘極電晶體因其它相鄰記憶胞串上的讀取作業與寫入作業或共享位元線上的電流而受到影響，從而可能破壞該記憶胞串上所保留的資料，每一條記憶胞串通常會藉由選擇閘電晶體(亦稱為導通電晶

Sandisk Technologies, Inc. - Ex. 1002, Page 000632

體或隔離電晶體)來與其位元線及/或源極線產生隔離，該選擇閘電晶體必須被導通方能存取該 NAND 記憶胞串且將電壓信號與電流信號傳送至該 NAND 記憶胞串以及自該 NAND 記憶胞串傳送電壓信號與電流信號。該些選擇電晶體還會將未被存取的 NAND 記憶胞串與該等共享的位元線及/或源極線產生隔離，俾使它們不可能破壞讀取自該被存取的記憶胞串之記憶胞中的資料，尤其是經由源自浮動閘極記憶胞的電流洩漏而造成破壞，其中該等浮動閘極記憶胞已從它們的浮動節點或閘極中移除過多的電荷，所以處於一過度抹除狀態之中且具有一低臨界電壓。

浮動閘極記憶胞通常係藉由通道熱載子注入法(CHE)將電子注入該浮動閘極之中而被程式化，該方法通常係讓該記憶胞處於高臨界電壓狀態之中。浮動閘極記憶胞還能夠藉由讓熱電洞自該基板中注入而被抹除。或者，浮動閘極記憶胞亦可藉由 Fowler-Nordheim 穿隧效應讓電子穿隧至該基板或讓電子自該基板中穿隧出來，使得該記憶胞處於程式化臨界狀態或抹除臨界狀態而被程式化與抹除。兩種機制均需要於該記憶體元件中產生很高的正電壓與負電壓，且可能會於閘極絕緣層上跨置極高的電場，進而對元件特徵與可靠度造成負面的影響。

CHE、熱電洞注入、以及 Fowler-Nordheim 穿隧效應的其中一項問題係，它們運作所需的高能量會破壞介接矽基板的氧化物，降低記憶胞的保存能力與耐久性，並且使得該 FET 的跨導(transconductance)劣化。明確地說，該穿

Sandisk Technologies, Inc. - Ex. 1002, Page 000633

隧絕緣層(其係被放置在該通道與該浮動節點/電荷陷捕層之間)通常會因該程式化過程中熱載子注入或穿透而過的關係而遭到破壞。因為在藉由於該記憶胞的控制閘極上施加電壓而於透過該穿隧絕緣層進行寫入與抹除期間通常亦會在該通道上產生極高的控制電場，所以，因該熱載子注入或高流量穿隧過程而對該穿隧絕緣體所造成的破壞便可能會嚴重地影響元件的特徵。除了會影響電荷保存能力與讀取干擾以外，熱載子注入還可能會產生各種介面狀態、使得元件的跨導劣化、並且提高透過增強的短通道效應所造成的元件漏電。熱電洞注入可能會於該等穿隧絕緣體中產生許多固定的電荷陷捕中心並且於該陷捕層中產生許多相關的缺陷，從而便會打斷穩定的結合鍵並且最後會使得該元件的絕緣體/介電特性劣化。對一習知的快閃或 SONOS 非依電性記憶體元件來說，於一讀取作業期間，同樣會使用該相同的控制閘極作為一 FET，用以讀取該記憶胞的狀態。當該穿隧絕緣體(亦稱為穿隧氧化物)劣化時，該記憶胞的讀取特徵便同樣會因跨導劣化以及漏電提高的關係而劣化。如此便會影響該記憶胞的讀取速度。

快閃與 SONOS 記憶胞陣列中的其中一項問題係，電壓的可調性(scalability)會影響最小記憶胞的尺寸，結果，便會影響任何最終陣列的總記憶體密度。但是由於高程式化電壓需求的關係，鄰近的記憶胞必須被充份地隔開(隔開的距離要遠大於最小特徵尺寸)，方能不會於該主動記憶胞的程式化期間受到電容性耦合效應的干擾。此問題會隨著

Sandisk Technologies, Inc. - Ex. 1002, Page 000634

影響到記憶胞密度的特徵尺寸的縮小而愈加嚴重。隨著積體電路製程技術的改良，廠商便試圖縮小所生產的元件的特徵尺寸且從而提高該等 IC 電路與記憶體陣列的密度。除此之外，尤其是在浮動閘極記憶體陣列中，構成該記憶體陣列的該等浮動閘極記憶胞的最小幾何尺寸以及該等串中的各記憶胞之間的間隔會嚴重地影響可被放置在一特定面積中的記憶胞數量，從而便會直接衝擊到該陣列的密度以及最終記憶體元件的尺寸。

基於上述理由以及熟習本技術的人士於閱讀且理解本說明書之後便會明白的下文中所述之其它理由，本技術中需要一種元件、方法、以及架構來產生一允許縮小特徵與電壓之更緊密與更高密度的 NAND 型浮動節點記憶胞串與陣列，防止發生讀取劣化的情形，同時可提高更好的保存能力、更高的速度、更佳的耐久性，並且呈現更優的元件完整性。

【發明內容】

本發明可解決上面所述和產生一非依電性記憶胞串有關的問題，容許在低電壓程式化之下提高元件特徵縮小的功能、進行有效地抹除、提高電荷保存能力、增快速度、以及提高可靠度，本發明亦可解決其它問題。閱讀與研究下文的說明書之後便可瞭解本發明。

根據本發明實施例的快閃與 EEPROM 記憶體元件與陣列係運用具能帶工程化閘極堆疊之雙閘極(或背面閘極)非依電性記憶胞，該等能帶工程化閘極堆疊係被放置於正面

Sandisk Technologies, Inc. - Ex. 1002, Page 000635

或背面電荷陷捕閘極堆疊配置中的通道區的上方或下方，以供進行低電壓程式化/抹除，用以形成高密度 NAND 型架構的記憶胞串、區段、以及陣列。本發明實施例之浮動節點記憶胞中該等具有不對稱或直接穿隧屏障的能隙工程化閘極堆疊可利用電子與電洞進行低電壓穿隧程式化與有效的抹除，同時又可維持極高的電荷阻隔屏障與極深的載子陷捕部位，而達到良好的電荷保存能力。該直接穿隧程式化與有效抹除功能可降低高能量載子對該閘極堆疊與晶格的破壞，從而降低寫入疲勞與漏電等問題並且提高元件使用壽命，同時又可讓記憶胞能夠具有先進微影與特徵尺寸縮小的優點。於其中一實施例中，該記憶胞架構可運用縮小特徵的字線與垂直選擇閘來產生改良的高密度記憶體元件或陣列。本發明中的記憶胞實施例還允許於單一記憶胞中產生多層位元儲存層，並且利用來自正面或背面控制閘極的電洞注入來進行抹除。

就其中一實施例來說，本發明提供一種 NAND 型架構的記憶胞串，其包括：複數個雙閘極非依電性記憶胞，形成於一基板之上，其中該等複數個雙閘極非依電性記憶胞係被耦接在一串聯記憶胞串之中；以及其中該等複數個雙閘極非依電性記憶胞中一或更多者的一電荷陷捕閘極堆疊包括一不對稱的能隙穿隧絕緣體層，其含有形成於一通道區旁邊的一或多個子層，其中該等一或多個子層包括具有遞增導通能帶偏移量的複數層；一陷捕層，形成於該穿隧絕緣體層的旁邊；一電荷阻隔層，形成於該陷捕層的旁邊；

Sandisk Technologies, Inc. - Ex. 1002, Page 000636

以及一控制閘極，形成於該電荷阻隔層的旁邊。

本發明還說明且主張其它實施例。

【實施方式】

於本發明較佳實施例的下文詳細說明中將會參考構成本發明較佳實施例一部份的附圖，且圖中藉由範例來顯示可施行本發明的特定較佳實施例。該些實施例會進行非常詳細的說明，以便讓熟習本技術的人士來實行本發明，且應該瞭解的係，亦可運用其它實施例，且可進行各種邏輯、機械、以及電氣變化，而不會脫離本發明的精神與範疇。前文以及下文說明中所使用的晶圓以及基板等詞語係包含任何基部半導體結構。應該瞭解的係，兩者均包含矽晶塊、藍寶石上矽(SOS)技術、絕緣體上矽(SOI)技術、矽架空(silicon-on-nothing)、薄膜電晶體(TFT)技術、摻雜以及未摻雜半導體、由一基部半導體來支撐的磊晶矽層、以及熟習本技術的人士所熟知的其它半導體結構。再者，當於下文說明中提及晶圓或基板時，可能已經運用先前的製程步驟在該基部半導體結構中形成各區域/接面。所以，下文的詳細說明並不具任何限制意義，且本發明的範疇僅由本發明的申請專利範圍及其等效範圍來界定。

根據本發明實施例的非依電性記憶體元件與陣列有助於運用雙閘極(或背面閘極)記憶胞，其會於 EEPROM 與可區塊抹除記憶體元件(例如快閃記憶體元件)中的 NAND 型記憶體陣列架構中的正面或背面電荷陷捕閘極堆疊配置中的一薄體通道區的上方或下方放置許多能帶工程化閘極堆

Sandisk Technologies, Inc. - Ex. 1002, Page 000637

疊。本發明的實施例可讓一分離的讀取/存取控制閘極-絕緣體堆疊(運用正面或背面閘極)作為讀取之用，並且讓一分離的閘極-絕緣體堆疊(運用非存取控制閘極的正面或背面閘極)作為程式化(寫入與抹除)與電荷儲存之用。除此之外，本發明的實施例還可於矽晶塊與 SOI 或 SON 基板上設計該非依電性記憶體元件，在該等正面與背面閘極-絕緣體堆疊(亦稱為頂端或底部閘極-絕緣體堆疊)之間形成厚通道區/浮動體以及薄通道區/浮動體。本發明實施例之浮動節點記憶胞中該等具有不對稱或直接穿隧屏障的能隙工程化閘極堆疊可利用電子與電洞進行低電壓穿隧程式化與有效的抹除，同時又可維持極高的電荷阻隔屏障與極深的載子陷捕部位，而達到良好的電荷保存能力。該直接穿隧程式化與有效抹除功能可降低高能量載子對該閘極堆疊與晶格的破壞，從而降低寫入疲勞與漏電等問題並且提高元件使用壽命，同時又可讓記憶胞能夠利用先進微影與特徵尺寸縮小。於其中一實施例中，該記憶胞架構可運用縮小特徵的字線與垂直選擇閘來產生改良的高密度記憶體元件或陣列，其可利用半導體製程通常能夠做的特徵尺寸，且允許針對運作考量來進行適當元件大小設計。本發明中的記憶胞實施例還允許於單一記憶胞中產生多位準的位元儲存，並且利用來自正面或背面控制閘極的電洞注入來進行抹除。

於雙閘極或背面閘極非依電性記憶胞 FET 中，會形成被一薄或厚體通道區隔開的源極區與汲極區，其中會在該

Sandisk Technologies, Inc. - Ex. 1002, Page 000638

通道區及/或該等源極區與汲極區的一部份的上方形成一第一閘極堆疊(亦稱為前面閘極堆疊、正面閘極堆疊、或頂端閘極堆疊)並且會在該通道區的下方形成一第二閘極-絕緣體堆疊(亦稱為背面閘極堆疊或底部閘極堆疊)。於一正面陷捕雙閘極或背面閘極非依電性記憶胞之中，該正面閘極堆疊係充當該電荷陷捕閘極堆疊且含有一用於儲存電荷的陷捕層，而該背面閘極則係充當一存取閘極。於一背面陷捕雙閘極或背面閘極非依電性記憶胞(亦稱為背面陷捕非依電性記憶胞)之中，該背面閘極堆疊係充當該電荷陷捕閘極堆疊且含有一用於儲存電荷的陷捕層，而該正面閘極則係充當一存取閘極。

於本發明的實施例中，該存取閘極堆疊(雙閘極非依電性記憶胞的非電荷陷捕閘極堆疊)包括一無陷捕絕緣層以及一控制閘極(該存取閘極)，其會形成一 FET 元件而於該通道之中形成少數載子並且透過施加在該存取閘極之上的電壓來控制該載子從該源極穿過該通道移至該汲極。此存取閘極 FET 通常係專門用來感測(讀取)該記憶胞的狀態。該電荷儲存陷捕層閘極堆疊係用於電荷儲存與程式化(寫入與抹除)。此裝置元件通常包括複數層連續的穿隧絕緣層、一浮動節點陷捕層(或一導體浮動閘極)、一電荷阻隔絕緣層、以及一控制閘極。此電荷陷捕閘極堆疊，連同其被電隔離的陷捕層，會讓電荷於該通道區附近被捕捉，並且影響該非依電性記憶胞的臨界電壓位準。

該正面控制閘極可由鋁、鎢、多晶矽、或是其它導體

Sandisk Technologies, Inc. - Ex. 1002, Page 000639

材料所構成，且通常會被耦接至一字線或控制線。該背面控制閘極可由鋁、鎢、多晶矽、或是其它導體材料所構成，且會獨立地被耦接至一控制線，或是如同 SOI 或矽晶體設計方式的情況而由該基板所構成。此等雙閘極或背面非依電性記憶胞 FET 亦稱為垂直整合「雙閘極電晶體非依電性記憶體元件」。

習知的 SONOS 記憶胞元件通常係運用連續的氧化物/氮化物/氧化物(ONO)層作為該矽基板與該重度摻雜多晶矽控制閘極(或金屬閘極)之間的絕緣體堆疊。位於該矽基板旁邊的氧化物通常會比較薄並且充當一穿隧絕緣層(亦稱為穿隧氧化物)，而位於該控制閘極旁邊比較厚的氧化物則係充當該電荷阻隔氧化物。該元件中所儲存的陷捕電荷通常會被保存在該穿隧氧化物-氮化物介面處以及保存在該氮化物層中的複數個矽晶體陷捕中心處。該 SONOS 記憶胞的閘極-絕緣體堆疊的等效氧化物厚度(EOT)通常會決定該元件的程式化電壓位準與抹除電壓位準。程式化/抹除速度(尤其是抹除速度)以及電荷保存能力會強烈地受到該穿隧氧化物厚度的影響。介於邏輯「1」記憶體狀態與邏輯「0」記憶體狀態之間的邏輯視窗(Vt「1」-Vt「0」)通常會相依於該介面處與該氮化物本體中被陷捕電荷的密度，且因而會隨著該氮化物的厚度增加而擴大。由於穿過該穿隧氧化物之電荷傳輸的高電場需求以及該氮化物中之深能量陷捕部位的密度非常低的關係，所以當業界標準需要最少十年的電荷保存能力時，就 SONOS 的元件 ONO 絕緣體堆疊來說，

Sandisk Technologies, Inc. - Ex. 1002, Page 000640

下面功能通常會受到限制：a)電壓的可調性、b)程式化/抹除速度、以及 c)邏輯視窗的大小。

不論運用的係何種電荷傳輸機制(CHE、熱電洞、或 Fowler-Nordheim 穿隧)，相較於 SONOS，浮動閘極記憶胞於電壓的可調性以及速度方面均受到更大限制。這係因為此等元件閘極-絕緣體堆疊的 EOT 必須接近一 SONOS 元件的兩倍，而穿隧氧化物厚度則必須係該 SONOS 元件的穿隧氧化物厚度的兩倍至四倍，方能確保具有十年的電荷保存能力。浮動閘極快閃元件通常會運用氧化物作為該穿隧層媒體，並且運用該多晶矽浮動閘極之頂端上一較厚的 ONO 堆疊作為該電荷阻隔層。

對浮動閘極類型或 SONOS 類型的單一電晶體的記憶胞來說，該控制閘極係同時充當「讀取」或「定址」閘極以及控制程式化與抹除作業的閘極。於「讀取」作業期間，該記憶胞 FET 的導電性會決定該元件的讀取速度，而其通常係相依於該元件的跨導以及通道寬度/長度比(W/L)。於穩態期間，元件漏電會相依於短通道效應與該等記憶體狀態的穩定性。高電壓需求以及熱載子誘發的穿隧氧化物劣化則會對讀取速度造成負面影響，產生讀取干擾以及元件漏電，即如上面所述者。

當習知的場效電晶體與浮動閘極/節點記憶胞中的通道長度縮短時，該等元件便會開始受到所謂的短通道長度效應的負面影響。在該短通道長度效應之下，當該通道的長度縮短時，該等源極區與汲極區之間的距離便會縮小，而

Sandisk Technologies, Inc. - Ex. 1002, Page 000641

構成該等源極區與汲極區的雜質擴散便會開始於該通道區之中，在該元件的下方進行合併。其效應係會將該元件變成一空乏模式元件，其中會於該元件中的該通道區下方形成一少數載子通道，而且不需要於該控制閘極之上施加電壓，該元件便會導通電流。該流過未被選擇的元件的漏電流可能會破壞該等共用位元線上的資料讀取，除非該元件被隔離或是受到一電壓的驅動而使其被強制關斷。最後，隨著通道越來越短，該短通道效應便會發展成讓該元件無法被關斷，破壞該控制閘極調制該元件之導電性的能力(其越來越如同是電阻器)並且破壞該元件充當非線性元件的能力。於雙閘控電晶體或記憶胞 FET 之中通常不會看見該短通道效應，這係因為該元件的通道本體非常薄以及伴隨的頂端與底部電場的關係。

如上所述，和快閃技術之電流生成的程式化(寫入/抹除)相關聯的高電壓需求以及較高的漏電流已經對最終元件的耐久性、可靠度、電力、以及運作速度造成負面影響，並且限制其縮小的能力。該高程式化與抹除電壓會跨越該閘極-絕緣體堆疊施加極高的電場，其通常會使得閘極絕緣體氧化物劣化。此閘極絕緣體氧化物劣化會衝擊到元件的非依電性(電荷保存能力)並且限制整體的元件耐久性(於故障以前可能的程式化/抹除循環次數)。該等高電場還會嚴重地限制超過因記憶胞到記憶胞的隔離與設計需求所產生的電流生成以外所能夠縮小的元件特徵幾何形狀的數額。另外，已經知道的係，該等高程式化電壓還會於一選定位

Sandisk Technologies, Inc. - Ex. 1002, Page 000642

元與同一條字線(或位元線)中相鄰之未被選擇的位元之間或是於相鄰的字線或位元線之間誘發一強烈的電容性交叉耦合效應。此交叉耦合效應已經成為整體記憶體元件速度與縮小中的一項嚴重問題。交叉耦合問題通常會隨著電壓位準提高或是隨著該等記憶體元件特徵變小而變得更嚴重，而電壓位準卻沒有對等的下降。

如上所述，和浮動閘極元件不同的係，典型的 SONOS 浮動節點記憶胞元件係將電荷保存在和一氮化物陷捕層相關聯的分離陷捕部位之中。此等元件的中央 ONO 絕緣體堆疊的等效 EOT 可能非常低，僅約該浮動閘極元件的等效 EOT 的一半，所以，一 SONOS 元件的程式化電壓位準僅約一等效浮動閘極元件的程式化電壓位準的一半。不過，SONOS 元件的電壓下降與特徵的進一步縮小卻會受到限制，且會對電荷保存能力(因為漏電與背面穿隧作用)以及速度(其通常係和穿隧氧化物厚度有關)以及邏輯視窗(其通常係和氮化物陷捕層厚度有關)造成負面影響。即使 SONOS 元件的運作可藉由穿隧來進行寫入與抹除，跨越該穿隧氧化物的尖峰電場仍可能是非常地高(通常為 10MV/cm)，從而會造成該穿隧氧化物相關的高電場劣化作用，進而對耐久性與可靠度造成負面影響。

因為上述的理由，氧化物型非依電性記憶胞元件(例如傳統的快閃記憶胞、SONOS 記憶胞、或奈米晶體記憶胞)在電壓、電力、速度、以及特徵縮小能力等方面均受到限制。除此之外，因為跨越該等氧化物絕緣層(如氧化物型元

Sandisk Technologies, Inc. - Ex. 1002, Page 000643

件)的必要高電場的關係，在可靠度與耐久性方面同樣會受到限制。

由於雙閘極與背面閘極元件的結構的關係，它們會於兩個閘極堆疊(頂端閘極堆疊與底部閘極堆疊)之間夾設一(通常非常薄的)本體區。此薄的本體電晶體結構會藉由限制通道本體厚度與可用的本體電荷來防止出現短通道效應。此外，雙閘極元件已被使用於快速邏輯元件之中，因為它們具有改良的通道導電性(由於形成於該通道本體之頂端與底部處的兩個少數通道載子區域的關係)以及很低的電容，從而可強化切換特徵。由於該些特性的關係，雙閘極/背面閘極元件通常能夠被進一步縮小，同時可呈現出優於單閘極元件的效能特徵。

本發明的背面閘極記憶胞實施例運用能隙工程化閘極堆疊，其可透過載子直接穿隧至或直接穿隧自該電荷陷捕閘極堆疊中之該通道的上方或下方的陷捕層來進行該等記憶胞的低電壓程式化與抹除。本發明之實施例的能隙工程化電荷陷捕閘極堆疊含有複數穿隧絕緣體層，其具有不對稱穿隧屏障以及具有遞增導通能帶偏移量(後面穿隧層的導通能帶能量位準高於前一層)與遞增 K 值(介電常數)的一或多層直接穿隧絕緣體層，以便在該等直接穿隧層上具有低電壓降處進行程式化期間會產生非常高的電子電流密度。深電荷陷捕中心結合具有遞增能帶偏移量的不對稱穿隧屏障便可提供極大的逆向穿隧屏障，以提升所需的電荷保存能力。於本發明的實施例中，適當地選擇電荷陷捕材料以

Sandisk Technologies, Inc. - Ex. 1002, Page 000644

及被埋植的奈米晶體有助於達成最小合宜邏輯狀態/邏輯視窗之所希的 Vt 偏移。除此之外，於本發明的實施例中，該等閘極堆疊層的介電常數值有助於最小化該閘極-絕緣體堆疊的 EOT。如此便促使介於 2nm 至 6nm 範圍之中的閘極堆疊 EOT 具有低電壓運作與速度的能力。此等運用能隙工程化不對稱穿隧層來進行直接穿隧程式化與抹除的方法於下面的美國專利申請案中有詳細說明：2005 年 5 月 17 日提申的美國專利申請案第 11/131,006 號，其標題為「新穎的低功率非依電性記憶體與閘極堆疊」；2005 年 5 月 12 日提申的美國專利申請案第 11/127,618 號，其標題為「具有增強的特性之能帶工程化的多閘極非依電性記憶體元件」；以及 2005 年 6 月 21 日提申的美國專利申請案第 11/157,361 號，其標題為「背面陷捕的非依電性記憶體元件」。前述申請案均已共同受讓。

如上所述，於載子的直接穿隧中，該等載子會以量子機械的方式穿隧進入低能量狀態以下的陷捕層。為克服逆向直接穿隧運作(視為該元件的電荷洩漏)的限制，本發明實施例的閘極堆疊運用具有遞增能隙偏移量以及高 K 值之經過能隙工程化的一或多層材料層來形成一不對稱的能隙穿隧絕緣體層。此不對稱的能隙穿隧絕緣體層可非常有效地於其中一個方向進行電荷傳輸，但是於逆向傳輸方向中則會受到非常大的阻礙，此係呈現出一大型屏障。當運用該等不對稱的能隙穿隧絕緣體層中該等一或多個能隙的步階內部電場而於其上跨越施加一程式化電場時，該不對稱

Sandisk Technologies, Inc. - Ex. 1002, Page 000645

的能隙穿隧絕緣體層便允許低電壓直接穿隧至該元件的陷捕層，同時，相同的步階能隙偏移量與高 K 介電係數會呈現一極大的能隙，因此便會為該等被捕捉到的電荷提供非常大的能量屏障，以便防止出現反穿隧的現象，並且維持所需要的長時間電荷保存能力。

因為此直接穿隧程式化與抹除的關係，本發明的實施例提供一種非依電性記憶胞，其具有一低的總 EOT 的電荷陷捕閘極-絕緣體堆疊，使其可運作於非常低電力與低程式化電壓處。本發明實施例中的該等低電壓程式化作業及/或抹除作業還會降低因載子穿隧/注入通過該等絕緣體層而對該元件中的材料所造成的破壞(該等被注入的載子均為「冷載子」且絕不會獲得足夠的能量而影響該晶格或材料鍵)。除此之外，本發明的實施例還允許藉由讓該記憶體於所產生的記憶體元件的陣列與支援電路系統中運用較小的有效氧化物厚度(EOT)以及低電壓佈局與設計，而達到改良縮小能力的目的。本發明實施例的能隙工程化穿隧媒體係由具有遞增導通能隙偏移量(後面穿隧層的導通能帶能量位準高於前一層)與遞增 K 值(介電常數)的一或多層直接穿隧層所組成，以便在該等直接穿隧層上具有低電壓降處進行程式化期間會產生非常高的電子電流密度，從而允許進行高速、低電力程式化。

對一雙閘極或背面閘極非依電性記憶胞來說，該阻隔層以及穿隧層佈置係被放置在該電荷陷捕的閘極-絕緣體堆疊之中，俾使該穿隧絕緣體被放置在該通道本體的旁邊，

Sandisk Technologies, Inc. - Ex. 1002, Page 000646

並且係位於其與該浮動節點/陷捕層之間，而該電荷阻隔層則係位於該閘極/基板與該陷捕層之間。於此種配置中，電荷傳輸主要係於程式化以及抹除期間發生在該通道與該電荷陷捕閘極堆疊的陷捕層(浮動節點)之間。於程式化作業中，該步階能隙的配置有助於利用一低外加電場便從該通道至該陷捕層逐層地進行電子直接穿隧。於穿隧至該陷捕層之後，該等不對稱步階能量屏障、長的背通道距離、以及非必要的深位準電荷陷捕部位於結合之後便可降低洩漏至該基板的電荷並且提供足夠的電荷保存能力以供非依電性使用。就本發明的一實施例來說，還會將一高 K 的電荷阻隔層整合於該陷捕層與該控制閘極之間的電荷陷捕閘極堆疊之中，以便保持從該陷捕層洩漏至該控制閘極的電荷非常低，且同時為該閘極-絕緣體堆疊提供很低的 EOT。

於本發明的另一實施例中，會於一含有複數個極深之高密度陷捕部位的陷捕層中埋植許多奈米晶體以提供極大的陷捕電荷密度，此係強化邏輯位準的分離距離並且提高所儲存的電荷，同時又可最小化庫侖堵塞以及量子侷限等負面效應。使用深陷捕部位及/或奈米晶體會藉由於該陷捕層處提供許多極深的量子井而進一步提高電荷保存能力，從而會進一步提高電位屏障，使得該等被捕捉的電荷必須克服該電位屏障方能從該陷捕層逃出或發生反穿隧貫穿作用。

於一正面或背面電荷陷捕雙閘極非依電性記憶胞中的讀取作業期間，該非電荷陷捕閘極堆疊或存取閘極通常係

Sandisk Technologies, Inc. - Ex. 1002, Page 000647

主動閘極且會維持一電場以便於該通道本體區之中產生一少數載子通道，讓該存取閘極堆疊如同一習知 FET 般地運作。除了該通道中該等載子上由被陷捕於該陷捕層上的電荷所維持的電場以外，該(正面或背面)電荷陷捕閘極堆疊於讀取期間通常係非主動閘極。

根據本發明實施例，程式化一正面或背面電荷陷捕雙閘極非依電性記憶胞係藉由下面的方式而達成：從該通道至該電荷陷捕閘極堆疊跨越提供一電壓，以便跨越該等一或多層穿隧層施加一電場，並且誘發出從該通道至該底部閘極堆疊的陷捕層的電子直接穿隧作用。

於多重位元記憶胞程式化中，通常會藉由該陷捕層中所儲存的多個電荷質心(charge centroid)或是藉由調制該臨界電壓位準來編碼該等被儲存的資料位元以便將多位資料位元編碼於一記憶胞之中。於經過臨界電壓調制的多位元儲存體(亦稱為多位準胞(MLC)儲存體)中，會利用不同的臨界電壓位準來編碼該記憶胞之中所儲存該等資料數值，從而於該記憶胞中造成極大的邏輯視窗分離距離的優勢。接著，便可藉由感測該記憶胞啟動的臨界電壓來讀取該記憶胞。於電荷質心多位元儲存體之中，其係於一選定源極/汲極區(其中該正面或背面陷捕記憶胞於運作時係將該選定的源極/汲極區充當一源極並且將第二源極/汲極區充當該汲極)與該背面閘極/基板之間施加該電壓，以便讓電子穿隧至剛好位於該選定源極/汲極區旁邊的陷捕層。接著，藉由逆轉該等第一與第二源極/汲極區(該選定源極/汲極區係

Sandisk Technologies, Inc. - Ex. 1002, Page 000648

充當該汲極而該第二源極/汲極區則係充當該源極)的運作功能便可讀取該記憶胞。

本發明記憶胞實施例中的抹除亦可藉由電洞的直接穿隧以及藉由來自該等陷捕部位的電子的增強 Fowler-Nordhiem 穿隧而達成。一抹除電壓會被跨越施加於從該通道至該電荷陷捕閘極堆疊之控制閘極的該等穿隧層之上，從而會跨越該等一或多層穿隧層施加一電場，並且誘發來自該通道本體的電洞的直接穿隧作用以及從該閘極堆疊的陷捕層至該通道的電子的 Fowler-Nordhiem 穿隧作用，以便抹除該記憶胞。由於該不對稱穿隧屏障及/或電洞的較高有效質量的關係，該抹除作業會比對應的直接穿隧寫入作業還慢。不過，運用區塊抹除作業便可補償該較慢的抹除，其中可平行地抹除一大型的位元區塊。

還必須注意的係，本發明實施例的雙閘極或背面閘極記憶胞抹除的抹除速度亦可藉由結合習知的熱電洞注入、增強 Fowler-Nordhiem 電子穿隧作用來達成或提高，或者可藉由來自該電荷陷捕層控制閘極/基板之電洞的增強 Fowler-Nordhiem 穿隧作用來提高。進一步必須注意的係，亦可利用其它方式來操作正面與背面陷捕雙閘極非依電性記憶胞以進行讀取、程式化、以及抹除，且熟習本技術的人士借助於本文的揭示內容便可明白。

還必須注意的係，適當地選擇控制閘極鈍化層以及能帶工程化電荷阻隔層與穿隧層可於抹除作業期間經由來自該控制閘極的同步電洞注入以提高抹除速度。此種經由電

Sandisk Technologies, Inc. - Ex. 1002, Page 000649

洞注入來進行記憶胞抹除的方法於下面的美國專利申請案中有詳細說明：2005 年 5 月 12 日提申的美國專利申請案第 11/127,618 號，其標題為「具有增強的特性之能帶工程化的多閘極非依電性記憶體元件」；以及 2004 年 8 月 31 日獲頒的美國專利第 6,784,480 號，其標題為「非對稱的能隙工程化的非依電性記憶體元件」。前述兩案均已共同受讓。此種藉由直接穿隧利用電子與電洞的傳輸來進行程式化與抹除可讓本發明的實施例所消耗的電力大小低於習知的快閃記憶胞與元件幾個數量級。當電子與電洞從其中一直接穿隧層穿過連續的低屏障能量層直接穿隧至下一層之中便可大幅地提高寫入與抹除速度。

如上所述，本發明實施例的穿隧絕緣層區可能係由具有遞增導通能帶偏移量及/或遞增介面常數 K 值的一或多層介電材料所組成，允許穿過該穿隧層的載子具有方向不對稱性的直接穿隧效率。該等介電材料層可從任何常用的絕緣體材料(氧化物、混合氧化物、氮化物、或矽酸鹽)之中選出，只要它們係以遞增能隙偏移量的方式來排列即可，且較佳的係高 K 的介電材料，以便幫助降低最終記憶胞的 EOT。該些絕緣體材料的範例包含，但不限於，二氧化矽(SiO_2)、二氧化鈦(TiO_2)、二氧化鉿(HfO_2)、氧化鋯、三氧化二鐠(Pr_2O_3)、三氧化二鋁(Al_2O_3)、鉿與鋁的混合氧化物、鉿與鈦的混合氧化物、氮氧化矽(SiON)、SiN、AlN、HfN、...等。該些具有遞增能隙偏移量的介電材料層通常係在製程期間運用原子層沉積法(ALD)或是其它適當的沉

Sandisk Technologies, Inc. - Ex. 1002, Page 000650

積法來進行沉積。

舉例來說，該穿隧層區可能係由下面所組成之三層穿隧層結構的複合材料：形成在該通道區之上的一或多個SiO_2(能隙為 9eV，K=3.9)單層；接著係一或多個氮化矽(SiN，能帶偏移量為 1.03eV，K=7)或三氧化二鋁(Al_2O_3，能隙為 4.5eV，K=10)單層；接著則係一或多個 HfO_2(能帶偏移量為 1.65eV，K=24)或 Pr_2O_3(能帶偏移量為 1.9eV，能隙為 3.9eV，K=30)或 TiO_2(能帶偏移量為 3.15eV，K=60)單層。一雙層穿隧結構則可能係由 SiO_2/Pr_2O_3 或 SiO_2/TiO_2、SiO_2/HfO_2、...等所構成。必須注意的係，本發明的實施例亦可使用其它雙層、三層、或更多層不對稱能隙穿隧區，且熟習本技術的人士借助於本文的揭示內容便可明白，且就此來說，上面的範例不應視為限制本發明。

還必須注意的係，於本發明的一實施例中，該等連續的不對稱能隙穿隧層不僅具有遞增能隙偏移量，還具有高 K 值的材料以及增大的直接穿隧厚度，用以最小化該穿隧層複合體的有效 EOT 與最佳化跨越該等穿隧層中每一者的電壓降。於本發明的實施例中，較佳的係，該複合穿隧層的實體厚度可被設計成約等於 3nm 或更小，而 EOT 則約等於 1.5nm 或更小，以供進行低電壓作業。舉例來說，一典型的穿隧層可能係由下面所組成：0.8nm 的 SiO_2+1nm 的 SiN+1nm 的 HfO_2(EOT=1.6nm)；或 0.8nm 的 SiO_2+1nm 的 HfO_2+1.5nm 的 Pr_2O_3(EOT=1.3nm)；或 0.8nm 的 SiO_2+1nm 的 HfO_2+2nm 的 TiO_2(EOT=~1.2nm)。

Sandisk Technologies, Inc. - Ex. 1002, Page 000651

為改良保存能力與電荷密度，已經有人運用到金屬奈米晶體記憶體元件，其含有複數個特定的金屬或半導體奈米點或奈米晶體，其包含，但不限於，鎢、矽、鍺、鈷、鉑、金、以及鈀，用以於金屬-絕緣體介面處提供因極大的功函數差異所造成的極深能量陷捕部位。不過，此等元件需要有足夠的點大小以及點分離距離，方能確保有效保存因量子侷限效應而被捕捉的電荷(用以防止電子在該陷捕層內的相鄰陷捕部位之間發生穿隧作用或是防止電子反向穿隧回到矽之中)。除此之外，庫侖堵塞(相同的電荷彼此排斥)亦可能會進一步使得電荷保存能力劣化，使得於設計中應該避免於每一個奈米點出現多次電荷陷捕作用。

倘若將庫侖堵塞作用最小化而使得於每一個可用的奈米點陷捕部位僅有效地捕捉到單一電子且奈米點大小以及分離距離亦經過選擇以降低量子侷限的負面效應的話，那麼，不論實際的奈米點密度為何，奈米點陷捕層的有效電荷陷捕密度均可限制在約 1E12/cm^2 至 2E12/cm^2 之間。結果，習知奈米點或奈米晶體元件的有效電荷陷捕密度便會受到限制。倘若於亦含有高密度之自然發生的深陷捕部位(如 SiN、AlN、或 SiON)的絕緣陷捕層中埋入具有合宜幾何與分佈的奈米晶體的話便可克服此有效電荷陷捕密度限制。倘若此陷捕層同樣係由高 K 材料所構成的話，那麼整個閘極堆疊的 EOT 便同樣會下降。

於本發明一實施例中的陷捕媒體便運用到上面的概念。於此方式中，該陷捕媒體可能係由一具有大量自然發

Sandisk Technologies, Inc. - Ex. 1002, Page 000652

生陷捕部位且具有適當厚度的絕緣體所組成，例如氮氧化矽(SiON，陷捕深度：Et>1.2eV，折射率~1.8，K=7)或 HfO_2(陷捕深度：Et=1.5eV，K=24)、氮化矽(Si_3N_4，陷捕深度：Et=1.0eV，折射率=2.0，K=7)、富矽氮化矽、氮化鋁(陷捕深度>1.0eV)或 TiO_2(陷捕深度：Et=0.9eV，K=60)。接著，便可利用奈米晶體/奈米點來埋植該陷捕媒體，該等奈米晶體/奈米點包含(但不限於)鎢、矽、鍺、鈷、鉑、金、或是鈀，其大小範圍從 1.5nm 至 4nm，分離距離從 3.5nm 至 5nm，以便進一步提高陷捕部位的數量。

如上所述，上面範例中所運用的氮氧化矽(SiON)會提供複數個額外的電荷陷捕部位。富氮的 SiON 的原子矽濃度約 38%至 40%，原子氧濃度約 20%，而原子氮濃度約 40%，從而所產生的陷捕層的介電常數約 7，折射率約 γ=1.8，能隙約 5.5eV 至 5.7eV，電荷陷捕密度為 8E12 至 1E13/cm^2，陷捕深度約 1.7eV。於上面的 SiON 中，深能量陷捕部位和氮氧化矽中較大濃度的 Si-O-N 鍵「缺陷」相關聯。本發明的一實施例中的此陷捕層會提供一介於 5E12/cm^2 至 1E13/cm^2 所希範圍之間的有效電荷密度，但卻不會因庫侖堵塞或量子侷限而對保存能力造成任何負面效應。必須注意的係，於本發明的實施例中亦可運用其它電荷陷捕絕緣體材料作為該電荷陷捕層。此富氮的 SiON 陷捕層還可結合一富氧的氮氧化矽(SiON，折射率約 γ=1.55，能隙 7.3eV，而 K=5)穿隧層，用以於單一層之中提供一不對稱的穿隧屏障。該富氧的氮氧化矽(SiON，折射率約 γ

Sandisk Technologies, Inc. - Ex. 1002, Page 000653

=1.55)的原子氧濃度>=46%，而其原子矽濃度則<=33%。

對本發明的一實施例來說，該等電荷阻隔層較佳的係由具有大 K 介電材料層(如 Al_2O_3(K=10)或 HfSiON(K=17)或 Pr_2O_3(K=30)或 TiO_2(K=60))的單一層或複合層所構成，其厚度大於 6nm，用以提供一大電子能量屏障且防止已被捕捉的電荷直接穿隧至該控制閘極，同時有助於最小化該等閘極堆疊的總 EOT。如上所述，本文已經揭示電荷阻隔層，其可藉由讓來自該控制閘極的電洞或電子載子穿隧或注入通過該電荷阻隔層來抹除該記憶胞之陷捕層上被捕捉的電荷之中所儲存的資料。不過，必須注意的係，本發明實施例的電荷阻隔層中可運用的絕緣體包含(但不限於)選自下面的絕緣體：氧化物、混合氧化物、氮化物、以及矽酸鹽系列。

本發明實施例的存取閘極以及背面閘極/基板通常會於該閘極上方具有一由 HfN、TiN、或 TaN 所組成的薄鈍化導電下層(為了製程整合的目的)。該存取閘極以及背面閘極/基板(倘若係一分離的材料且非由該基板所構成者)通常會於該閘極堆疊的電荷阻隔層的上方形成一多晶矽閘極或是任何其它適當的金屬閘極(例如鋁或鎢)。

由上面材料以及規格所製成的本發明之一實施例的一閘極堆疊的總 EOT 的範圍通常係介於 EOT=2.5nm 至 EOT=6.5nm 之間，而其實體厚度(排除該控制閘極電極厚度)範圍則係大於或等於 10nm，其程式化電壓非常低，僅有 1.5V，而平均電場亦非常低，僅有 1.0E6V/cm^2。如此便

Sandisk Technologies, Inc. - Ex. 1002, Page 000654

可讓本發明實施例的記憶胞與元件提供其它目前記憶體元件中無法達成的電壓降低能力以及低電力消耗位準。

圖 1A 至 1C 詳細地圖解根據本發明實施例的雙閘極或背面閘極非依電性元件結構的矽晶體施行方式 100、130 以及絕緣體上矽(SOI)設計與矽架空(SON)施行方式 140 的實體剖面圖，其具有正面電荷陷捕設計 100 以及背面電荷陷捕設計 130、140。圖 1F 與 1G 圖解的係本發明實施例的電荷陷捕閘極-絕緣體堆疊 120、152 的閘極-絕緣體堆疊範例。圖 1D 與 1E 圖解的係根據本發明實施例的正面陷捕雙閘極記憶胞 100 以及背面陷捕雙閘極記憶胞 130、140 的對應能隙圖。

於圖 1A 中顯示出，在一基板 102 之上形成一矽晶體正面陷捕雙閘極 NFET 記憶胞 100。該記憶胞 100 具有一第一源極/汲極區 104 與一第二源極/汲極區 106，其會接觸到一薄或厚的本體通道區 108。於該矽質本體通道區 108 的上方會形成一頂端或正面閘極堆疊 110，而於該通道區 108 的下方則會形成一底部或背面閘極堆疊 112。於背面閘極堆疊 112 之中，會利用該基板 102(其可能係一矽晶體基板或絕緣體上矽(SOI)基板)來形成該背面控制閘極或存取閘極 122，作為一體背面控制閘極。該背面閘極堆疊的存取閘極區 122 會藉由一形成於該背面閘極 122 與該通道區 108 之間的閘極絕緣體層 116 而與該通道區 108 隔離。該正面閘極堆疊 110 的絕緣體堆疊 120 含有一形成於該通道區 108 上方的穿隧絕緣體層 118、一形成於該穿隧層 118

Sandisk Technologies, Inc. - Ex. 1002, Page 000655

上方的陷捕層 126、一形成於該穿隧層 118 上方的電荷阻隔層 124、以及一形成於該電荷阻隔層 124 上方的控制閘極 114。該穿隧絕緣體層 118 包含一或多層材料層，分層以便讓該通道 108 以及該陷捕層 126 具備一不對稱的步階能隙輪廓。視情況，該陷捕層 126 可能還具備複數個深陷捕部位以及複數個埋植的金屬奈米晶體。該正面閘極堆疊 110 與背面閘極堆疊 112 可能還含有分別形成於該控制閘極 114 與該電荷阻隔層 124 之間或是該背面控制閘極 122 與該絕緣體層 116 之間的可選配的鈍化層。

於圖 1B 中顯示出，在一基板 102 之上形成一矽晶體背面陷捕雙閘極 NFET 記憶胞 130。該記憶胞 130 具有一第一源極/汲極區 104 與一第二源極/汲極區 106，其會接觸到一薄或厚的本體通道區 108。於該本體通道區 108 的上方會形成一頂端或正面閘極堆疊 110，其含有一存取閘極 114，該存取閘極會藉由一閘極絕緣體層 116 而與該本體通道 108 隔離。於該通道區 108 的下方則會形成一底部或背面閘極堆疊 112。於背面閘極堆疊 112 之中，會利用該基板 102(其可能係一矽晶體基板或絕緣體上矽(SOI)基板)來形成該背面控制閘極 122，作為一體背面閘極。該底部閘極堆疊 112 的絕緣體堆疊 120 含有一形成於該基板 102 上方的電荷阻隔層 124，作為一體背面控制閘極 122；一形成於該電荷阻隔層 124 上方的陷捕層/浮動閘極 126；以及一形成於該陷捕層 126 上方的穿隧絕緣體層 118，其就位於該通道區 108 的正下方。該穿隧絕緣體層 118 包含一

Sandisk Technologies, Inc. - Ex. 1002, Page 000656

或多層材料層，分層以便讓該通道 108 以及該陷捕層 126 具備一不對稱的步階能隙輪廓。視情況，該陷捕層 126 可能還具備複數個深陷捕部位以及複數個埋植的金屬奈米晶體。該正面閘極堆疊 110 與背面閘極堆疊 112 可能還含有分別形成於該存取閘極 114 與該絕緣體層 116 之間或是該背面控制閘極/基板 122 與該電荷阻隔層 124 之間的可選配的鈍化層。

由單晶體半導體膜所組成的複數層可沉積在矽晶體基板的上方，且可沉積在 SOI 基板的上方。舉例來說，可於一矽基板的上方沉積一層具有適當厚度的鍺，後面則係另一磊晶成長矽層。藉由對下方的鍺膜進行微影圖案化以及選擇性蝕刻，便可於該頂端矽膜的下方形成選擇性局部空隙。此項技術係由 M Jurezak 等人在 1999 年 VLSI Tech. Digest 第 29 頁中所開發的技術，且稱為矽架空(silicon-on-nothing)或 SON。近年來，R. Ranica 等人則藉由在 SON 上沉積 ONO 層來建構並具備 PMOS 背面陷捕 SONOS 記憶體的特徵(R. Ranica 等人於 2004 年在 IEEE Silicon nanoelectronic workshop 第 99 頁所發表者)。本發明則於矽晶體與 SOI 中應用雷同的技術來創造新穎的矽架空(SON)雙閘極非依電性記憶胞。

對本發明的另一實施例來說，一雙閘極正面或背面陷捕非依電性記憶胞包括一第一源極/汲極區與一第二源極/汲極區，兩者係形成於一 SOI 基板的埋植氧化物(BOX)區的上方。該非陷捕閘極堆疊的控制閘極與下方無陷捕絕緣

Sandisk Technologies, Inc. - Ex. 1002, Page 000657

體係形成在本體 p 型矽的旁邊，和完全空乏的 SOI NFET 元件雷同。於該薄的浮動本體通道的相反面上，會形成一 ONO 置換電荷陷捕閘極-絕緣體堆疊與控制閘極。該背面閘極可能係由重度摻雜的 N+或 P+多晶矽或金屬所組成。該電荷陷捕 ONO 置換層係由下面所組成：一形成於該電荷陷捕閘極堆疊之控制閘極旁邊的電荷阻隔層；一形成於該電荷阻隔層旁邊的陷捕層；以及一或多層穿隧絕緣體子層，它們係形成於該陷捕層的旁邊並且介接該薄的浮動本體通道區。該背面閘極與背面閘極-絕緣體堆疊的構成方式和 R. Ranica 等人的引證文獻中所描述的矽架空(SON)施行方式雷同。該穿隧絕緣體層可能係由具有遞增導通能帶偏移量的一或多層介電材料所組成。上述的薄本體施行方式不會受到短通道效應的影響，並且有助於進一步縮小特徵尺寸。

於圖 1C 中顯示的係利用矽架空(SON)設計在一基板 142 與箱體 170 之上所形成的一絕緣體上矽(SOI)的矽架空(SON)背面閘極 NFET 記憶胞 140。矽架空(SON)設計會於元件 172 的浮動本體(P 型矽/鍺)的一部份內形成一空隙 164，用以降低最終電路元件上的基板寄生效應。該記憶胞 140 具有一第一源極/汲極區 144 與一第二源極/汲極區 146，其會接觸到一浮動本體通道區 148(其為 172 的一部份)。於該通道區 148 的上方會形成一頂端閘極堆疊 150，其含有一存取閘極 154，該存取閘極會藉由一絕緣體層 156 而與該通道隔離。該頂端閘極堆疊 150 可能還會在該存取

Sandisk Technologies, Inc. - Ex. 1002, Page 000658

閘極 154 與該絕緣體層 156 之間形成一可選配的鈍化層(圖中未顯示)。於該通道浮動本體區 148 的下方則會形成一底部閘極-絕緣體堆疊 152。該底部閘極-絕緣體堆疊 152 含有一形成於一背面閘極 166 上方的電荷阻隔層 162 以及一形成於該電荷阻隔層 162 上方的陷捕層/浮動閘極 160。於該陷捕層 160 的上方則會形成一或多層不對稱的能隙穿隧絕緣體 158，就位於該通道區 148 的正下方。該穿隧絕緣體層 158 包含一或多層材料層，分層以便提供一不對稱的步階能隙輪廓。視情況，該陷捕層 160 可能還具備複數個深陷捕部位以及複數個埋植的金屬奈米晶體。必須注意的係，本發明的實施例亦可運用其它型式的設計與積體電路處理來降低最終電路元件上的基板寄生效應，該等設計與積體電路處理包含，但不限於，絕緣體上矽(SOI)與藍寶石上矽(SOS)，該等設計與積體電路處理均係已知技術，且熟習本技術的人士借助於本文的揭示內容便可明白。還必須注意的係，亦可採用圖 1C 的矽架空(SON)雙閘極非依電性記憶胞的正面陷捕型式，且熟習本技術的人士借助於本文的揭示內容便可明白。

圖 1D 詳細圖解的係根據本發明實施例圖 1B 與 1C 中的背面陷捕記憶胞 130、140 的能隙圖 170。於圖 1D 中，存取閘極 114、154 藉由存取閘極絕緣體層 116、156 而與該本體/通道 108、148 隔離。陷捕層 126、160 藉由該等一或多層的不對稱能隙穿隧層 118、158 而與該通道 108、148 隔離，並且藉由電荷阻隔層 124、162 而與該背面閘極 166/

Sandisk Technologies, Inc. - Ex. 1002, Page 000659

基板 102 隔離。

圖 1E 詳細圖解的係根據本發明實施例圖 1A 中的正面陷捕記憶胞 100 的能隙圖 180。於圖 1E 中，背面閘極/基板 102 藉由背面閘極絕緣體層 116 而與該本體/通道 108 隔離。陷捕層 126 藉由該等一或多層的不對稱能隙穿隧層 118 而與該通道 108 隔離，並且藉由電荷阻隔層 124 而與字線/存取閘極 114 隔離。

圖 1F 圖解的係本發明一實施例的電荷陷捕閘極-絕緣體堆疊 120、168 的一 ONO 置換閘極-絕緣體堆疊的範例。單一富氧氮氧化矽 118、158(氧的原子百分比>46，氮的原子百分比為 20，折射率 γ =1.55，K=5)已置換該穿隧氧化物，其屏障高度為 2.8eV，不同於 SiO_2 的 3.2eV，從而可於程式化期間增強直接穿隧電子流量。陷捕介電質 126、160 係一層富氮的氮氧化矽(氮的原子百分比約為 40，氧的原子百分比為 26，折射率約為 γ =1.8，K=7)，其可提供更高密度(約為 1E13/cm^2)更深的陷捕部位(陷捕深度約為 1.7eV，不同於氮化物的陷捕深度約為 1eV)。該電荷阻隔層則被五氧化三鋁(Al_3O_5)124、162 置換，其電子與電洞的屏障和 SiO_2 相當，同時其 K 值約為 10，相較於 SiO_2 的 K 值(K~=4)，其因而可降低最終閘極-絕緣體堆疊的總 EOT。該穿隧富氧氮氧化物(γ =1.55)具有和 SiO_2 雷同之非常低陷捕部位密度的特徵，而漏電則遠低於 SiO_2，因而相較於一等效的 ONO 閘極-絕緣體堆疊，其便可提供改良的保存能力，上面的堆疊可將 EOT 縮小為三分之二(2/3X)，因此可

Sandisk Technologies, Inc. - Ex. 1002, Page 000660

降低寫入/抹除電壓位準，同時又可改良速度、保存能力、以及耐久性。

圖 1G 圖解的係本發明一實施例的電荷陷捕閘極-絕緣體堆疊 120、168 的一更複雜範例的細節，其含有：一較複雜的穿隧介電媒體 118、158；一較複雜的陷捕媒體 126、160；以及一高 K 的電荷阻隔媒體 124、162。穿隧媒體 118、158 係由具有遞增導通能帶偏移量與高 K 值的二或多個介電層，致使直接穿隧「屏障薄化」(當跨越該穿隧絕緣體層施加電場時會有較短的有效穿隧距離)，從而於低電場處大幅提昇電子傳輸跨越該等層的能力。陷捕媒體 126、160 係由一具有複數個高陷捕部位密度之本質深陷捕部位的高 K 介電層所組成，輔以因複數個埋植高功函數奈米點而提高的陷捕作用。高 K 電荷阻隔層 124、162 係五氧化三鋁(Al_3O_5)124、162，其電子與電洞的屏障和 SiO_2 相當，同時其 K 值約為 10，相較於 SiO_2 的 K 值(K~=4)，其因而可降低最終閘極-絕緣體堆疊的總 EOT。相較於一 ONO 閘極-堆疊，一等效的閘極-絕緣體堆疊的 EOT 可縮小 30%或甚至更多，因此可降低程式化電壓位準。

該電荷陷捕閘極-絕緣體堆疊 120、168 的 ONO 置換有複數個選項可供考慮，以達下面目的：(a)讓該絕緣體堆疊具有較低的 EOT，從而達到電壓下降的目的；(b)電子與電洞的能帶工程化不對稱直接穿隧，以達到以低電壓、低能量、高速地將載子傳輸至該等陷捕部位，並且降低載子的反向穿隧作用；(c)高密度的深能量陷捕材料，以達保存能

Sandisk Technologies, Inc. - Ex. 1002, Page 000661

力與邏輯視窗；以及(d)具有電子與電洞高屏障能量的高K、大能隙電荷阻隔絕緣體，以便防止發生反向注入與電荷損失。就(a)、(c)、以及(d)來說，會希望使用高 K 絕緣體以降低伴隨的電場，從而改良堆疊可靠度。就所希方向中的高速載子傳輸來說(第(b)項)，則必須增強直接穿隧作用或 Fowler-Nordhiem 穿隧作用。直接穿隧作用會藉由降低穿隧距離(「屏障薄化」)與藉由降低屏障能量而被增強，同時後者還會增強 Fowler-Nordhiem 穿隧作用。本文會於本發明的各實施例中來詳細說明它們的特定範例。

明確地說，於一實施例中，該穿隧絕緣體層 118、158 含有下面的三層材料。第一層為 0.5nm 的 SiO_2(K=4)，能隙約為 9eV，其旁邊為能隙 1.1eV 的通道區 108、148。第二層為 1nm 的 SiN(能帶偏移量為 1.03eV，K=7)或是 Al_2O_3(能隙為 8.8eV，K=10)，其係形成於該第一層 SiO_2 的旁邊。第三層為 1nm 的 HfO_2(能隙為 4.5eV，K=24)，其係形成於該第二層的旁邊。

陷捕層 120、160 係由於一 5 至 7nm 的 SiO_2 層(能隙約為 3.15eV，K=60)之中埋植 3.5 至 4.0nm 的鈷奈米點所構成，最終的 EOT 接近 0.3nm。或者，該陷捕層亦可能含有複數個深陷捕部位(Et>1.0eV)，具適當厚度的一氮化鋁單層(AlN，K=15)或富氮的 SiON(折射率約 γ=1.8 且 K=7)單層。電荷阻隔層 122、162 係由 10nm 的 Al_2O_3(能隙為 8.8eV，K=10)、HfSiON(能隙為 6.9eV，K=17)、Pr_2O_3(能隙為 3.9eV，K=30)、TiO_2(能隙為 3.15eV，K=60)所構成，其 EOT 非常

Sandisk Technologies, Inc. - Ex. 1002, Page 000662

低，僅有 0.67nm。(於具有分離背面閘極的實施例中)正面閘極 114、154，以及背面閘極 166 通常係由多晶矽、鎢、鉭、或是鋁所組成，且可能包含一初始鈍化層，如一 HfN、TaN、TiN、或是 IrO_2 薄層。

於另一實施例中，該穿隧絕緣體層 118、158 還包含下面的三層材料。第一層為 0.5nm 的 SiO_2(K=4)，能隙約為 9eV，其係形成於能隙為 1.1eV 的通道區 108 的旁邊。第二層為 1nm 的 SiN(能帶偏移量為 1.03eV，K=7)或是富氧的氮氧化矽，SiON，(折射率約 γ =1.55，能隙為 7.3eV，K=5)或是 Al_2O_3(能隙為 8.8eV，K=10)，其係形成於該第一層 SiO_2 的旁邊。第三層為 1.5nm 的 HfO_2(能隙為 4.5eV，K=24)，其係形成於該第二層的旁邊。前述三層的有效氧化物厚度(EOT)非常低，僅有 1.32nm。該富氧的氮氧化矽(SiON，折射率約 γ =1.55)的氧原子濃度>=46%，而其矽原子濃度<=33%。對應之富氮的氮氧化矽(SiON，折射率約 γ =1.8)的氧原子濃度<=25%，而其氮原子濃度則約為 40%。

陷捕層 120、160 係由於一 6nm 的 HfO_2 層之中埋植 3.5 至 4.0nm 的鈷奈米點所構成，最終的 EOT 為 0.3nm。電荷阻隔層 122、162 係由 10nm 的 TiO_2(K=60)所構成，其 EOT 為 0.67nm。而正面閘極電極 114、154 及/或背面閘極電極 166 則係由作為鈍化層之 10nm 的 TiN 與摻雜的多晶矽所組成。

必須注意的係，如上面的詳細說明，於本發明實施例的穿隧層中可運用多種絕緣體，其包含，但不限於選自下

Sandisk Technologies, Inc. - Ex. 1002, Page 000663

面的絕緣體：氧化物、混合氧化物、氮化物、以及矽酸鹽系列。

如先前所提，兩種常用的 EEPROM 與快閃記憶體陣列架構係「NAND」架構與「NOR」架構，如此稱呼是因為每一種基本的記憶胞組態均類似於對應的邏輯閘極設計。於 NOR 型陣列架構中，該記憶體陣列中的該等浮動閘極記憶胞係被排列在一矩陣之中，和 RAM 或 ROM 雷同。該陣列矩陣中每一個浮動閘極記憶胞的該等閘極會透過各列被耦接至複數條字選擇線(字線)，而它們的汲極則會被耦接至複數條行位元線。每一個浮動閘極記憶胞的源極通常會被耦接至一共用源極線。該 NOR 架構浮動閘極記憶體陣列係由一列解碼器來存取，其會藉由選擇被耦接至它們之閘極的字線來啟動一列浮動閘極記憶胞。接著，該列被選定的記憶胞便會依據它們已程式化的狀態而讓不同的電流從該被耦接的源極線流至該等被耦接的行位元線而將它們所儲存的資料值放置在該等行位元線之上。會有一行頁的位元線被選擇與感測，並且會從該行頁中該等被感測到的資料字中選出個別的資料字並且從該記憶體之中送出。

一 EEPROM 或快閃 NAND 陣列架構同樣會將其浮動閘極記憶胞陣列排列在一矩陣之中，使得該陣列中的每一個浮動閘極記憶胞的該等閘極均會藉由各列被耦接至複數條字線。不過，每一個記憶胞並不會直接被耦接至一源極線與一行位元線。取而代之的係，該陣列中的該等記憶胞會共同被排列在複數條記憶胞串之中，通常係 8 個、16 個、

Sandisk Technologies, Inc. - Ex. 1002, Page 000664

32 個、甚至更多記憶胞，每一條記憶胞串中的該等記憶胞會以源極連接汲極的方式，於一共用源極線與一行位元線之間被串聯耦接在一起。如此便可讓一 NAND 陣列架構具有較高的記憶胞密度，高於一相當的 NOR 陣列，不過其代價則係存取速率通常會比較慢且程式化複雜度會比較高。

一 NAND 架構浮動閘極記憶體陣列係由一列解碼器來存取，其會藉由選擇被耦接至它們之閘極的字線來啟動一列浮動閘極記憶胞。除此以外，被耦接至每一條記憶胞串中未被選擇的記憶胞的閘極亦會被驅動。不過，每一條記憶胞串中該等未被選擇的記憶胞通常係由一較高的閘極電壓來驅動，以便將它們當作傳導電晶體來操作，並且讓它們以不受它們所儲存之資料值限制的方式來傳導電流。接著，電流便會經由該串聯耦接的記憶胞串中的每一個浮動閘極記憶胞從該源極線流到該行位元線，僅受限於每一條記憶胞串中被選擇要進行讀取的該等記憶胞。如此便會將該列選定記憶胞中目前的已編碼儲存的資料值放置在該等行位元線之上。會有一行頁的位元線被選擇與感測，並且會從該行頁中該等被感測到的資料字中選出個別的資料字並且從該記憶體元件之中送出。

圖 2A 為本發明實施例的一 EEPROM 或快閃記憶體元件的簡化 NAND 型架構浮動節點或陷捕層記憶體陣列 200 的概略示意圖，其運用的係複數個本發明實施例的正面陷捕雙閘極記憶胞 202。必須注意的係，圖 2A 的 NAND 型

Sandisk Technologies, Inc. - Ex. 1002, Page 000665

架構記憶體陣列 200 僅供作解釋之用，而不應視為具有限制意義，而且亦可使用一運用複數個本發明實施例的背面陷捕雙閘極記憶胞的 NAND 型架構記憶體陣列，且熟習本技術的人士借助於本文的揭示內容便可明白。

於圖 2A 中，有一系列 NAND 型記憶體串 220 被排列在一陣列 200 之中，且被耦接至複數條位元線 212 與複數條源極線 214。如圖 2B 中的詳細圖示，於每一條 NAND 型記憶體串 220 中，均有一系列本發明實施例的正面陷捕雙閘極記憶胞 202 以源極連接汲極的方式被耦接在一起，用以形成該 NAND 串 220(通常具有 8 個、16 個、32 個、甚至更多個記憶胞)。如上所述，每一個雙閘極記憶胞 FET 202 均會於該通道區的上方形成一頂端或正面閘極-絕緣體堆疊並且於該通道區的下方形成一底部或背面閘極-絕緣體堆疊。該正面閘極-絕緣體堆疊係由下面所製成：一位於該薄本體通道區頂端之上的複合不對稱能隙穿隧絕緣體層；一形成於該穿隧絕緣體層之上的浮動節點/陷捕層；形成於該陷捕層之上的電荷阻隔絕緣體層；以及一形成於該電荷阻隔層上方的控制閘極。該背面閘極-絕緣體堆疊則係由一形成於該基板頂端之上的薄本體通道區下方的絕緣體層所製成，其佔據該背面閘極的位置並且具有其功能。為進一步致動此運作模式，於本發明的一實施例中，記憶體的每一條 NAND 型架構記憶體串 220 均係形成於一隔離溝槽之中，用以讓每一條隔離溝槽的基板能夠個別地受到偏壓，以進行程式化與抹除。必須注意的係，於本發明的另一實

Sandisk Technologies, Inc. - Ex. 1002, Page 000666

施例中，一個別的背面閘極可形成於該電荷阻隔絕緣體的下方且被耦接至一背面閘極控制線。該等字線 206 會耦接跨越該等 NAND 串 220，用以耦接相鄰記憶胞 202 的控制閘極，以便致動每一條記憶體串 220 中要被選擇的單一記憶胞 202。於每一條 NAND 型記憶體串 220 之中，會有複數個 N+摻雜區形成於每一個閘極-絕緣體堆疊之間，用以形成該等相鄰記憶胞 202 的源極區與汲極區，此外，它們還可當作連接器，用於將該 NAND 串 220 中的該等記憶胞耦接在一起。於本發明的一實施例中則省略該等 N+摻雜區並且於該 NAND 型記憶體串 220 的下方形成單一通道區，用於耦接該等個別的記憶胞 202。每一條 NAND 型記憶體串 220 均會被耦接至複數個選擇閘 204，該等選擇閘 204 係形成於每一條 NAND 型浮動節點串 220 的任一端處，並且將每一條 NAND 型浮動節點串 220 的相反端選擇性地耦接至一位元線 212 與一源極線 214。該等選擇閘 204 會各自被耦接至複數條閘選擇線、選擇閘汲極{SG(D)}210、以及選擇閘源極{SG(S)}208，用以透過該等選擇閘 204 來控制該等 NAND 串 220 分別被耦接至該等位元線 212 與源極線 214。於圖 2A 與 2B 中，圖中所示的背面閘極/基板連接線 222 係被耦接至每一條 NAND 串 220 的該等背面閘極，用以讓每一條 NAND 串 220 中的該等記憶胞 202 被存取、程式化、以及抹除。必須注意的係，如上所述，除了運用該基板連接線 222 以外，取而代之的係，亦可形成個別的背面閘極控制線，並且用來將程式化電壓與抹除電壓施加

Sandisk Technologies, Inc. - Ex. 1002, Page 000667

至一已成形的背面閘極之上。

圖 2C 詳細地圖解本發明一實施例的一背面閘極陷捕 NAND 型記憶體串 220。於圖 2C 中，有一系列本發明實施例的背面陷捕雙閘極記憶胞 202 以源極連接汲極的方式被耦接在一起，用以形成該 NAND 串 220。每一個雙閘極記憶胞 FET 202 均會於該通道區的上方形成一頂端或正面閘極-絕緣體堆疊並且於該通道區的下方形成一底部或背面閘極-絕緣體堆疊。如上所述，該背面閘極-絕緣體堆疊係由下面所製成：一位於該通道區下方具有一或多層的不對稱能隙穿隧絕緣體層；一形成於該穿隧絕緣體下方的浮動節點/陷捕層；形成於該基板頂端之上而在該陷捕層下方的電荷阻隔絕緣體層，其佔據該背面閘極的位置並且具有其功能。於其中一實施例中，記憶體的每一條 NAND 型架構記憶體串 220 均係形成於一隔離溝槽之中，用以讓每一條隔離溝槽的基板個別地受到偏壓，以進行程式化與抹除。必須注意的係，於本發明的另一實施例中，一個別的背面閘極可形成於該電荷阻隔絕緣體的下方且被耦接至一背面閘極控制線。該正面閘極-絕緣體堆疊係由一形成於該通道區頂端之上的絕緣體層以及一形成於該絕緣體上方的存取閘極 206(通常和字線 206 一體成形，亦稱為控制閘極線)所製成。於圖 2C 中，圖中所示的基板連接線 222 係被耦接至每一條 NAND 串 220 的該等背面閘極，用以讓每一條 NAND 串 220 中的該等記憶胞被程式化以及抹除。必須注意的係，如上所述，除了運用該基板連接線 222 以外，取

Sandisk Technologies, Inc. - Ex. 1002, Page 000668

而代之的係，亦可形成個別的背面閘極控制線，並且用來將存取電壓、程式化電壓、以及抹除電壓施加至一已成形的背面閘極之上。

於本發明的一實施例中，為寫入一特定記憶胞，該條被耦接至該選定 NAND 型記憶胞串的位元線通常會被固定在一低電壓處，且該源極會被連接至接地電位。該要被程式化之被選定的 NAND 型記憶胞串係透過啟動它的複數個選擇閘而被選擇。該非電荷陷捕閘極堆疊的基板/控制閘極(一背面陷捕雙閘極非依電性記憶胞 NAND 串中的正面閘極或是一正面陷捕雙閘極非依電性記憶胞 NAND 串中的背面閘極)會被提昇至適當的電位，以便將其閘極氧化物介面處的薄本體通道區反向，從而形成一導電通道。要被寫入之記憶胞的電荷陷捕閘極堆疊的控制閘極會被提昇至程式化電壓，而所有其它電荷陷捕閘極堆疊控制閘極則會被固定在接地或一適當的電壓位準處，以防止發生干擾。電子會從該薄本體通道區被注入該電荷陷捕層之中，從而會提高該選定記憶胞的臨界電壓。必須注意的係，於具有由該基板所形成的複數個背面控制閘極或是具有一用於耦接跨越該 NAND 型記憶胞串中所有記憶胞的背面控制閘極的背面陷捕雙閘極非依電性記憶胞之中，該選定記憶胞中的非電荷陷捕(正面)控制閘極可被提昇至程式化電壓並且用以跨越該(背面)電荷陷捕閘極堆疊來施加一有差異的程式化電壓。

讀取一選定雙閘極非依電性記憶胞可單獨提昇被施加

Sandisk Technologies, Inc. - Ex. 1002, Page 000669

至該非電荷陷捕閘極(一背面陷捕雙閘極非依電性記憶胞NAND串中的正面閘極或是一正面陷捕雙閘極非依電性記憶胞NAND串中的背面閘極)上的相對電壓電位或是一起提昇該電荷陷捕閘極堆疊之控制閘極上的電壓電位。每一條記憶體串中未被選定的記憶胞的該等電荷陷捕閘極堆疊及/或非電荷陷捕閘極堆疊的控制閘極通常也會被驅動，不過會被驅動至一較高的閘極電壓處，以便將它們當作傳導電晶體來操作，並且讓它們以不受它們所儲存之資料值限制的方式來傳導電流。接著，電流便會經由該串聯耦接記憶胞串中的每一個雙閘極非依電性記憶胞從該源極線流到該行位元線，僅受限於每一條記憶胞串中被選擇要進行讀取的該等記憶胞。

為進行抹除，該記憶體串中的電荷陷捕閘極堆疊(一背面陷捕雙閘極非依電性記憶胞NAND串中的背面閘極或是一正面陷捕雙閘極非依電性記憶胞NAND串中的正面閘極)中的所有控制閘極均會被連接至接地或一低電壓，而該通道本體則會被提昇至該抹除電壓，以便讓電洞穿隧至該陷捕層並且抹除該NAND型記憶胞串中的記憶胞。

必須注意的係，亦可採用用於讀取、寫入、以及抹除本發明NAND型記憶胞串實施例中的正面與背面陷捕雙閘極非依電性記憶胞，且熟習本技術的人士借助於本文的揭示內容便可明白。

圖3A與3B詳細圖解的係先前技術之一NAND型浮動閘極記憶體陣列的簡化俯視圖與側視圖。圖3A詳細圖

Sandisk Technologies, Inc. - Ex. 1002, Page 000670

解的係一 NAND 型架構記憶體陣列 300 的俯視圖，其具有一系列的 NAND 型記憶體串 320。圖 3B 所示的係該 NAND 型陣列 300 的側視圖，圖中詳細圖解一 NAND 型記憶體串 320。於圖 3A 與 3B 中，有一系列的浮動閘極記憶胞 302 一起被耦接在一串聯 NAND 串 320 之中(通常具有 8 個、16 個、32 個、甚至更多個記憶胞)。每一個記憶胞 302 均具有：一位於基板 322 之上由一穿隧絕緣體所製成的閘極-絕緣體堆疊；一形成於該穿隧絕緣體之上的浮動閘極；一形成於該浮動閘極之上的一體絕緣體；以及一形成於該一體絕緣體上方的控制閘極 306(通常係形成一控制閘極線，亦稱為一字線)。有複數個 N+摻雜區形成於每一個閘極-絕緣體堆疊之間，用以形成該等相鄰浮動閘極記憶胞的源極/汲極區，此外，它們還可當作連接器，用於將該 NAND 串 320 中的該等記憶胞耦接在一起。於該 NAND 串 320 的任一端處會形成複數個選擇閘 304，該等選擇閘 304 會被耦接至閘選擇線 308、310，並且會將該 NAND 串 320 的相反端選擇性地耦接至位元線 312 與源極線 314。

圖 4A 與 4B 詳細圖解的係本發明的一實施例之一 NAND 型陣列的簡化俯視圖與側視圖。圖 4A 詳細圖解的係一 NAND 型架構記憶體陣列 400 的俯視圖，其具有本發明實施例的一系列 NAND 型記憶體串 420。圖 4B 詳細圖解的係該 NAND 型陣列 400 的側剖面圖，圖中詳細圖解一 NAND 型記憶體串 420。於圖 4A 與 4B 中，有一系列的正面陷捕雙閘極非依電性記憶胞 402 一起被耦接在一串聯

Sandisk Technologies, Inc. - Ex. 1002, Page 000671

NAND 串 420 之中(通常具有 8 個、16 個、32 個、甚至更多個記憶胞)。如上所述，每一個雙閘極記憶胞 FET 402 均會於該通道區 430 的上方形成一頂端或正面閘極-絕緣體堆疊 438 並且於該通道區 430 的下方形成一底部或背面閘極-絕緣體堆疊。該正面閘極-絕緣體堆疊 438 係由下面所製成：一位於該薄本體通道區 430 頂端之上的複合不對稱能隙穿隧絕緣體層；一形成於該穿隧絕緣體層之上的浮動節點/陷捕層；形成於該陷捕層之上的電荷阻隔絕緣體層；以及一形成於該電荷阻隔層上方的控制閘極。該背面閘極-絕緣體堆疊則係由一形成於該基板 422 頂端之上的薄本體通道區 430 下方的絕緣體層 432 所製成，其佔據該背面閘極 436 的位置並且具有其功能。於本發明的一實施例中，記憶體的每一條 NAND 型架構記憶體串 420 均係形成於一隔離溝槽之中，用以讓每一條隔離溝槽的基板 422 能夠個別地受到偏壓，以進行程式化與抹除。一字線控制閘極 406 會形成於該正面閘極-絕緣體堆疊 438 的上方。該薄本體通道區 430 會運作用以將該等 NAND 記憶體串 420 中相鄰的記憶胞 402 耦接在一起。於其中一實施例中，會有複數個可選配的 N+摻雜區 434 形成於每一個記憶胞 402 之間的該薄本體通道區 430 之中，用以於相鄰記憶胞之間形成一低阻值的串聯導通路徑。於該 NAND 串 420 的任一端處會形成複數個選擇閘 404，該等選擇閘 404 會被耦接至閘選擇線 408、410，並且會將該 NAND 串 420 的相反端選擇性地耦接至位元線 412 與源極線 414。必須注意的係，該薄本

Sandisk Technologies, Inc. - Ex. 1002, Page 000672

體通道區 430 會接觸該等選擇閘 404 的源極區與汲極區 440，以方便於該薄本體通道區 430 中形成一載子通道。還必須注意的係，於本發明的另一實施例中，可於該背面閘極絕緣體 432 的下方形成個別的背面閘極 436，且該等背面閘極 436 會被耦接至一背面閘極控制線。進一步必須注意的係，圖 4A 與 4B 的 NAND 型架構記憶體陣列 400 僅供解釋之用，而且亦可採用運用本發明實施例之背面陷捕雙閘極記憶胞的 NAND 型架構記憶體陣列 400，且熟習本技術的人士借助於本文的揭示內容便可明白。還必須注意的係，本發明所揭示的方法可於記憶體陣列中形成子特徵細節，從而可有縮小特徵的字線 406、記憶胞 402 並且分開圖 4A 與 4B 之 NAND 型記憶體陣列 400 中的 N+擴散區 434。此等用於形成對稱次特徵元件的方法詳述在於 1988 年 10 月 11 日獲頒的美國專利案第 4,776,922 號之中，其標題為「可變寬度的側壁結構之形成」。

還必須注意的係，亦可於 NAND 型架構記憶胞串 420 之間使用複數個隔離區(通常係由一氧化物絕緣體所構成)來將每一條記憶胞串 420 與其旁邊記憶胞串進行隔離。該些隔離區可延伸至基板 422 之中，以便形成複數個 P 井，其中每一個 P 井均含有單一 NAND 型架構記憶胞串 420，其可以與該陣列 400 中其它串或列隔離的方式被偏壓。還必須注意的係，該等控制閘極/字位址線 406 與選擇線 408、410 可與該些隔離區交叉，使得每一條控制閘極/字位址線 406 與選擇線 408、410 會分別控制數列 NAND 型架構記憶

Sandisk Technologies, Inc. - Ex. 1002, Page 000673

胞串 420 上之記憶胞 402 與選擇閘 404 的運作。

圖 5A 至 5C 詳細圖解的係本發明另一實施例之正面陷捕 NAND 型陣列與背面陷捕 NAND 型陣列的簡化俯視圖與剖面側視圖。圖 5A 詳細圖解的係一 NAND 型架構記憶體陣列 500 的俯視圖，其具有本發明實施例的一系列 NAND 型記憶體串 520。圖 5B 詳細圖解的係該 NAND 型陣列 500 的剖面側視圖，圖中詳細圖解一 NAND 型記憶體串 520，其具有一系列耦接在一起的背面陷捕雙閘極非依電性記憶胞 502。圖 5C 詳細圖解的係該 NAND 型陣列 500 的剖面側視圖，其具有複數條正面陷捕雙閘極非依電性記憶胞 502 的 NAND 型記憶體串 520。

於圖 5B 中，有一系列的背面陷捕雙閘極非依電性記憶胞 502 一起被耦接在一串聯 NAND 串 520 之中(通常具有 8 個、16 個、32 個、甚至更多個記憶胞)。如上所述，每一個雙閘極記憶胞 FET 502 均會於該通道區 530 的上方形成一頂端或正面閘極-絕緣體堆疊並且於該通道區 530 的下方形成一底部或背面閘極-絕緣體堆疊 538。該背面閘極-絕緣體堆疊 538 係由下面所製成：一形成於該薄本體通道區 530 下方的複合不對稱能隙穿隧絕緣體層；一形成於該穿隧絕緣體下方的浮動節點/陷捕層；一形成於該基板 522 之上而在該陷捕層下方的電荷阻隔絕緣體層，用以當作該背面閘極 536 來運作。該正面閘極-絕緣體堆疊則係由一形成於該薄本體通道區 530 上方的絕緣體層 532 所製成。一字線控制閘極 506 會形成於該正面閘極-絕緣體堆疊的上

Sandisk Technologies, Inc. - Ex. 1002, Page 000674

方。於圖 5A 至 5C 中，該等字線 506 係被形成一交錯的「T」圖案，其中每隔一條字線 506 便會形成一與相鄰字線 506 重疊的「T」形狀，以便讓陣列間隔縮小並且降低該等「T」形字線 506 的總阻值。該薄本體通道區 530 會運作用以將該等 NAND 記憶體串 520 中相鄰的記憶胞 502 耦接在一起。於該 NAND 串 520 的任一端處的複數溝槽之中會形成複數個垂直選擇閘 504，該等選擇閘 504 會被耦接至閘選擇線 508、510，並且會將該 NAND 串 520 的相反端選擇性地耦接至位元線 512 與源極線 514。該等垂直選擇閘 504 具有一閘極-絕緣體堆疊，其係由一形成於該溝槽之一側壁上的絕緣體所製成，於該絕緣體上方則會形成一控制閘極。必須注意的係，每一個垂直選擇閘 504 的通道長度係取決於該等溝槽的深度，而非取決於該最小特徵尺寸，從而該等垂直選擇閘 504 能夠被設計來避免發生短通道長度問題。該等選擇閘 504 的閘極-絕緣體堆疊係藉由對該等溝槽上方的該等閘極-絕緣體堆疊的材料中之每一種材料進行連續分層以及各向異性蝕刻而構成的。必須注意的係，該薄本體通道區 530 會接觸該等選擇閘 504 的源極區與汲極區 540，以方便於該薄本體通道區 530 中形成一載子通道。該些源極區與汲極區 540 係形成於該等選擇閘溝槽的底部且會接觸該背面閘極-絕緣體堆疊 538 與該通道本體 530。該等源極線 514 與位元線 512 接點會耦接至該等選擇閘溝槽底部中的該等選擇閘 504 源極/汲極區 540，以便進一步縮減陣列的大小。必須注意的係，於本發明的另一實施例中，可

Sandisk Technologies, Inc. - Ex. 1002, Page 000675

於該背面閘極-絕緣體堆疊 538 的下方形成個別的背面閘極 536，並且讓該等背面閘極 536 耦接至一背面閘極控制線。

於圖 5C 中，有一系列的正面陷捕雙閘極非依電性記憶胞 502 一起被耦接在一串聯 NAND 串 520 之中(通常具有 8 個、16 個、32 個、甚至更多個記憶胞)。如上所述，每一個雙閘極記憶胞 FET 502 均會於該通道區 530 的上方形成一頂端或正面閘極-絕緣體堆疊 538 並且於該通道區 530 的下方形成一底部或背面閘極-絕緣體堆疊。該正面閘極-絕緣體堆疊 538 係由下面所製成：一形成於該薄本體通道區 530 頂端之上的複合不對稱能隙穿隧絕緣體層；一形成於該穿隧絕緣體層之上的浮動節點/陷捕層；形成於該陷捕層上方的電荷阻隔絕緣體層；以及一形成於該電荷阻隔層上方的控制閘極。該背面閘極-絕緣體堆疊則係由一形成於該基板 522 頂端之上的該薄本體通道區 530 下方的絕緣體層 532 所製成，其會佔據該背面閘極 536 的位置並且具有其功能。於本發明的其中一實施例中，記憶體的每一條 NAND 型架構記憶體串 520 均係形成於一隔離溝槽之中，用以讓每一條隔離溝槽的基板 522 個別地受到偏壓，以進行程式化與抹除。一交錯「T」的字線控制閘極 506 會形成於該正面閘極-絕緣體堆疊 538 的上方。該薄本體通道區 530 會運作用以將該等 NAND 記憶體串 520 中相鄰的記憶胞 502 耦接在一起。於該 NAND 串 520 的任一端處的複數溝槽之中會形成複數個垂直選擇閘 504，該等選擇閘 504 會被耦接至閘選擇線 508、510，並且會將該 NAND 串 520

Sandisk Technologies, Inc. - Ex. 1002, Page 000676

的相反端選擇性地耦接至位元線 512 與源極線 514。必須注意的係，該薄本體通道區 530 會接觸該等選擇閘 504 的源極區與汲極區 540，以方便於該薄本體通道區 530 中形成一載子通道。還必須注意的係，於本發明的另一實施例中，可於該背面閘極-絕緣體 532 的下方形成個別的背面閘極 536，並且讓該等背面閘極 536 耦接至一背面閘極控制線。

從圖 4A 至 4B 以及 5A 至 5C 中可以看出，於一 NAND 型架構記憶體串 420、520 中，每一個平面記憶胞電晶體 402、502 所佔據的面積為 2F 平方。其中，「F」為該特定製程技術中的最小可解析微影尺寸。該等兩個垂直成形的選擇電晶體與位元線或源極線接點所佔據的面積為單一平面選擇電晶體所佔據的面積(從上面看去時該面積為 4F 平方，每一個電晶體的面積為 2F 平方)。因為每一個記憶胞電晶體能夠儲存高達兩位元的資料，所以，該資料儲存密度便接近每 2F 平方單位面積有一位元。因此，舉例來說，倘若 F=0.1 微米的話，那麼，儲存密度便高達每平方公分為 5.0 個十億位元。

圖 6 所示的係一系統 628 的簡化示意圖，其含有本發明之一非依電性 NAND 型架構正面或背面陷捕記憶體元件 600，該記憶體元件 600 被耦接至一主元件 602，其中該主元件 602 通常係一處理元件或記憶體控制器。該非依電性記憶體元件 600 具有一介面 630，該介面含有一位址介面 604、控制介面 606、以及資料介面 608。前述每一種介面

Sandisk Technologies, Inc. - Ex. 1002, Page 000677

均被耦接至該處理元件 602，以便進行記憶體讀取存取與寫入存取。必須注意的係，本發明的實施例仍可使用其它的記憶體介面 630，如組合式位址/資料匯流排，且熟習本技術的人士借助於本文的揭示內容便可明白。於本發明的一實施例中，該介面 630 係一同步記憶體介面，如 SDRAM 或 DDR-SDRAM 介面。於該非依電性記憶體元件的內部，一內部記憶體控制器 610 會指導內部運作；管理該非依電性記憶體陣列 612 以及更新 RAM 控制暫存器與非依電性抹除區塊管理暫存器 614。於該非依電性記憶體元件 600 的運作期間，該內部記憶體控制器 610 會運用到該等 RAM 控制暫存器與表格 614。該非依電性記憶體陣列 612 含有一系列的記憶庫(bank)或區段 616。每一個記憶庫 616 均於邏輯上被配置成一連串的抹除區塊(圖中未顯示)。於該非依電性記憶體元件 600 的位址介面 604 上會收到複數個記憶體存取位址，且該等記憶體存取位址會被分成複數個列位址部份與行位址部份。於本發明的其中一實施例中，該主元件 602 係將該非依電性記憶體元件 600 當作一全域或理想的記憶體，進而取代該系統 628 中的 RAM 與 ROM 兩者。

於一讀取存取中，列解碼電路 620 會鎖存與解碼該列位址，該列解碼電路 620 會選擇與啟動一選定記憶庫上的一列/頁(圖中未顯示)記憶胞。被編碼於該選定記憶胞列之輸出中的該等位元值會被耦接至一局部位元線(圖中未顯示)與一全域位元線(圖中未顯示)，且由被和該記憶庫相關聯

Sandisk Technologies, Inc. - Ex. 1002, Page 000678

的感測放大器 622 偵測到。行解碼電路 624 會鎖存與解碼該該存取的行位址。該行解碼電路 624 的輸出會從被耦接至該等個別讀取感測放大器 622 之輸出的內部資料匯流排(圖中未顯示)中選擇所希的行資料，並且將它們耦接至一 I/O 緩衝器 626，以便經由該資料介面 608 自該記憶體元件 600 進行傳輸。

於一寫入存取中，列解碼電路 620 會選擇該列頁，而行解碼電路 624 則會選擇寫入感測放大器 622。要被寫入的資料值會透過該內部資料匯流排從該 I/O 緩衝器 626 被耦接至被該行解碼電路 624 所選到的寫入感測放大器 622 並且被寫入該記憶體陣列 612 中該等選定的非依電性記憶胞(圖中未顯示)。接著，列解碼電路 620、行解碼電路 624、以及該等感測放大器 622 便會重新選擇該等被寫入的記憶胞，讓它們能夠被讀取用以確認已經將正確的數值程式化至該等選定的記憶胞之中。

必須注意的係，亦可使用根據本發明實施例的其它記憶胞、記憶體串、陣列、以及記憶體元件，且熟習本技術的人士借助於本文的揭示內容便應該會明白。

結論

本文已經說明使用具能帶工程化閘極堆疊之雙閘極(或背面閘極)非依電性記憶胞的非依電性記憶體元件與陣列，該等能帶工程化閘極堆疊係於 NAND 型記憶體陣列架構中被放置在正面或背面電荷陷捕閘極堆疊配置中的通道區的

Sandisk Technologies, Inc. - Ex. 1002, Page 000679

上方或下方。本發明實施例之浮動節點記憶胞中該等具有不對稱或直接穿隧屏障的能隙工程化閘極堆疊可利用電子與電洞進行低電壓穿隧程式化與有效的抹除，同時又可維持極高的電荷阻隔屏障與極深的載子陷捕部位，而達到良好的電荷保存能力。該直接穿隧程式化與有效抹除功能可降低高能量載子對該閘極堆疊與晶格的破壞，從而降低寫入疲勞與漏電等問題並且提高元件使用壽命，同時又可讓記憶胞能夠具有先進微影與特徵尺寸縮小的優點。於其中一實施例中，該記憶胞架構可運用縮小特徵的字線與整合的垂直選擇閘來產生改良的高密度記憶體元件或陣列。本發明中的記憶胞實施例還允許於單一記憶胞中有多位準的位元儲存處，並且利用來自正面或背面控制閘極的電洞注入來進行抹除。

雖然本文已經圖解且說明特定的實施例，不過，熟習本技術的人士將會明白，可達成相同目的的任何裝置均可用來置換本文中所示的特定實施例。本申請案希望涵蓋本發明的任何改變或變更。所以，顯而易知的係，本發明僅由申請專利範圍及其等效範圍來限制。

【圖式簡單說明】

圖 1A 至 1G 詳細地圖解根據本發明實施例的記憶胞與能帶圖。

圖 2A 至 2C 詳細地圖解根據本發明實施例的一 NAND 型架構記憶體陣列與記憶胞串。

圖 3A 與 3B 詳細地圖解先前技術的一 NAND 型架構

Sandisk Technologies, Inc. - Ex. 1002, Page 000680

浮動閘極記憶體陣列。

圖 4A 與 4B 詳細地圖解根據本發明實施例的一 NAND 型架構記憶體陣列與記憶胞串。

圖 5A 至 5C 詳細地圖解根據本發明另一實施例的 NAND 型架構記憶體陣列與記憶胞串。

圖 6 詳細地圖解一具有根據本發明實施例之一記憶體元件的系統。

【主要元件符號說明】

100	記憶胞
102	基板
104	第一源極/汲極區
106	第二源極/汲極區
108	本體通道區
110	閘極堆疊
112	閘極堆疊
114	控制閘極或存取閘極
116	閘極絕緣體層
118	穿隧絕緣體層
120	閘極-絕緣體堆疊
122	控制閘極或存取閘極
124	電荷阻隔層
126	陷捕層/浮動閘極
130	記憶胞
140	記憶胞

Sandisk Technologies, Inc. - Ex. 1002, Page 000681

142	基板
144	第一源極/汲極區
146	第二源極/汲極區
148	浮動本體通道區
150	閘極堆疊
152	閘極-絕緣體堆疊
154	存取閘極
156	絕緣體層
158	穿隧絕緣體層
160	陷捕層/浮動閘極
162	電荷阻隔層
164	空隙
166	閘極
168	閘極-絕緣體堆疊
170(FIG. 1C)	箱體
170(FIG. 1D)	能隙圖
172	元件
180	能隙圖
200	記憶體陣列
202	記憶胞
204	選擇閘
206	字線
208	選擇閘源極
210	選擇閘汲極

Sandisk Technologies, Inc. - Ex. 1002, Page 000682

212	位元線
214	源極線
220	記憶體串
222	連接線
300	記憶體陣列
302	記憶胞
304	選擇閘
306	控制閘極
308	閘選擇線
310	閘選擇線
312	位元線
314	源極線
320	記憶體串
322	基板
400	記憶體陣列
402	記憶胞
404	選擇閘
406	字線控制閘極
408	閘選擇線
410	閘選擇線
412	位元線
414	源極線
420	記憶體串
422	基板

Sandisk Technologies, Inc. - Ex. 1002, Page 000683

430	通道區
432	絕緣體層
434	N+摻雜區
436	閘極

Sandisk Technologies, Inc. - Ex. 1002, Page 000684

十、申請專利範圍：

1.一種 NAND 型架構記憶胞串，其係包括：

複數個雙閘極非依電性記憶胞，其係形成於一基板之上，其中該等複數個雙閘極非依電性記憶胞係被耦接在一串聯記憶胞串之中；以及

其中該等複數個雙閘極非依電性記憶胞中之一或多個的一電荷陷捕閘極堆疊係包括

一不對稱的能隙穿隧絕緣體層，其含有形成於一通道區旁邊的一或多個子層，其中該等一或多個子層包括具有遞增導通能帶偏移量的複數層，

一陷捕層，其係形成於該穿隧絕緣體層的旁邊，

一電荷阻隔層，其係形成於該陷捕層的旁邊，以及

一控制閘極，其係形成於該電荷阻隔層的旁邊。

2.如申請專利範圍第 1 項之 NAND 型架構記憶胞串，其中每一條 NAND 型架構記憶體串中的該等雙閘極非依電性記憶胞進一步包括一背面閘極-絕緣體堆疊，其係形成於該基板之上與該通道區的下方，以及一正面閘極-絕緣體堆疊，其係形成於該通道區的上方。

3.如申請專利範圍第 2 項之 NAND 型架構記憶胞串，其中該雙閘極非依電性記憶胞係背面陷捕雙閘極非依電性記憶胞，且該背面閘極-絕緣體堆疊係該電荷陷捕閘極堆疊而該正面閘極則係一非電荷陷捕存取閘極堆疊。

4.如申請專利範圍第 2 項之 NAND 型架構記憶胞串，

Sandisk Technologies, Inc. - Ex. 1002, Page 000685

其中該雙閘極非依電性記憶胞係正面陷捕雙閘極非依電性記憶胞，且該正面閘極-絕緣體堆疊係該電荷陷捕閘極堆疊而該背面閘極則係一非電荷陷捕存取閘極堆疊。

5.如申請專利範圍第 1 項之 NAND 型架構記憶胞串，其中該穿隧絕緣體層中的該等一或多個子層包括一富氧的 SiON 層(折射率約為 1.5)，而該陷捕層包括一富氮的 SiON 層(折射率約為 1.8)。

6.如申請專利範圍第 1 項之 NAND 型架構記憶胞串，其中該穿隧絕緣體層中的該等一或多個子層包括具有遞增導通能帶偏移量的二或多層介電材料，其中該等二或多層介電材料中的每一層均係選自下面其中之一者：氧化物、混合氧化物、氮化物、以及矽酸鹽。

7.如申請專利範圍第 6 項之 NAND 型架構記憶胞串，其中該穿隧絕緣體層中的該等二或多個子層係選自下面其中之一者：Al_2O_3、Pr_2O_3、TiO_2、SiO_2、HfO_2、ZrO_2、SiN、AlN、HfN、富氧的 SiON(折射率約為 1.5)、富氮的 SiON(折射率約為 1.8)、Hf 與 Al 的混合氧化物、以及 Hf 與 Ti 的混合氧化物。

8.如申請專利範圍第 6 項之 NAND 型架構記憶胞串，其中該穿隧絕緣體層中的該等二或多個子層包括兩層子層，其中第一子層與第二子層係下面其中之一者：SiO_2 與 Pr_2O_3、SiO_2 與 TiO_2、以及 SiO_2 與 HfO_2。

9.如申請專利範圍第 6 項之 NAND 型架構記憶胞串，其中該穿隧絕緣體層中的該等二或多個子層包括三層子

Sandisk Technologies, Inc. - Ex. 1002, Page 000686

層，其中第一子層、第二子層、以及第三子層係下面其中之一者：SiO_2、SiN、與 HfO_2；SiO_2、HfO_2、與 Pr_2O_3；SiO_2、HfO_2、與 TiO_2；SiO_2、富氧的 SiON(折射率約為 1.5)、與 HfO_2；以及 SiO_2、Al_2O_3、與 HfO_2。

10.如申請專利範圍第 6 項之 NAND 型架構記憶胞串，其中該穿隧絕緣體層中的該等二或多個子層中的每一者均被排列在該通道本體區的旁邊，從該通道本體開始會具有遞增的介電常數值(K)。

11.如申請專利範圍第 1 項之 NAND 型架構記憶胞串，其中該陷捕層進一步包括下面其中之一者：富氧的氮氧化矽(SiON)、富氮的氮氧化矽(SiON)、氮化鋁(AlN)、氮化矽(SiN)、富矽氮化物(SRN)、二氧化鉿(HfO_2)、以及二氧化鈦(TiO_2)。

12.如申請專利範圍第 1 項之 NAND 型架構記憶胞串，其中該陷捕層進一步包括複數個電荷陷捕深電位井。

13.如申請專利範圍第 1 項之 NAND 型架構記憶胞串，其中該陷捕層進一步包括複數個金屬奈米晶體或奈米點、半導體、矽、氮化物、複數個誘發的介面狀態、或是複數個電荷陷捕雜質。

14.如申請專利範圍第 13 項之 NAND 型架構記憶胞串，其中該等深電位井進一步包括下面其中之一者：矽質奈米點或奈米晶體、鍺質奈米點或奈米晶體、金質奈米點或奈米晶體、鎢質奈米點或奈米晶體、鈦質奈米點或奈米晶體、鈷質奈米點或奈米晶體、鉑質奈米點或奈米晶體、

Sandisk Technologies, Inc. - Ex. 1002, Page 000687

以及鈀質奈米點或奈米晶體。

15.如申請專利範圍第 1 項之 NAND 型架構記憶胞串，其中該電荷阻隔層包括一或多層高 K 介電子層。

16.如申請專利範圍第 15 項之 NAND 型架構記憶胞串，其中該等一或多個子層中的每一者均係下面其中之一者：氧化物、混合氧化物、氮化物、以及矽酸鹽系列。

17.如申請專利範圍第 16 項之 NAND 型架構記憶胞串，其中該等一或多個子層中的每一者均係下面其中之一者：二氧化鉿(HfO_2)、三氧化二鋁(Al_2O_3)、氮氧化鉿矽(HfSiON)、三氧化二鐠(Pr_2O_3)、以及二氧化鈦(TiO_2)。

18.如申請專利範圍第 3 或 4 項之 NAND 型架構記憶胞串，其中該 NAND 型架構記憶胞串係構成一 NAND 型架構記憶體陣列的一部份，其係包括：

複數條 NAND 型架構記憶胞串，每一條 NAND 型架構記憶胞串均具有複數個雙閘極非依電性記憶胞且每一個雙閘極非依電性記憶胞中的一電荷陷捕閘極-絕緣體堆疊係包括：

一不對稱的能隙穿隧絕緣體層，其含有形成於一薄本體通道區旁邊的一或多個子層，其中該等一或多個子層包括具有遞增導通能帶偏移量的複數層，

一陷捕層，其係形成於該穿隧絕緣體層的旁邊，

一電荷阻隔層，其係形成於該陷捕層的旁邊，以及

一控制閘極，其係形成於該電荷阻隔層的旁邊；

Sandisk Technologies, Inc. - Ex. 1002, Page 000688

以及

複數條字線，其中每一條字線均係被耦接至一或多個雙閘極非依電性記憶胞的一或多個控制閘極，其中該等一或多個雙閘極非依電性記憶胞中每一者係來自該等複數條NAND型架構記憶體串中的一不同串。

19.如申請專利範圍第18項之NAND型架構記憶胞串，其中於該等複數個NAND型架構記憶體串中的相鄰串之間形成一隔離區。

20.如申請專利範圍第18項之NAND型架構記憶胞串，其中該等複數條字線為交錯「T」形的字線。

21.如申請專利範圍第18項之NAND型架構記憶胞串，其中該等雙閘極非依電性記憶胞與字線係對稱的次特徵元件。

22.如申請專利範圍第18項之NAND型架構記憶胞串，其進一步包括：

至少一位元線，其中該至少一位元線係被耦接至一第一溝槽之底部中所形成的一源極/汲極擴散區且被耦接至該等複數條NAND型架構記憶體串中的每一條NAND型架構記憶體串的一第一垂直選擇閘的一汲極，其中該第一垂直選擇閘係形成於該第一溝槽的一側壁之上；以及

至少一源極線，其中該至少一源極線係被耦接至一第二溝槽之底部中所形成的一源極/汲極擴散區且被耦接至該等複數條NAND型架構記憶體串中的每一條NAND型架構記憶體串的一第二垂直選擇閘的一源極，其中該第二垂直

Sandisk Technologies, Inc. - Ex. 1002, Page 000689

選擇閘係形成於該第二溝槽的一側壁之上。

23.如申請專利範圍第 18 項之 NAND 型架構記憶胞串，其中該 NAND 型架構記憶體陣列會構成一記憶體元件的一部份，該記憶體元件係包括：

該 NAND 型架構記憶體陣列，其係形成於一基板之上；

一控制電路；以及

一列解碼器，其中該等複數條字線會被耦接至該列解碼器。

24.如申請專利範圍第 23 項之 NAND 型架構記憶胞串，其中該記憶體元件係下面其中之一者：一 EEPROM 記憶體元件與一快閃記憶體元件。

25.如申請專利範圍第 23 項之 NAND 型架構記憶胞串，其中該記憶體元件係構成一系統的一部份，該系統包括：

一處理器，其係被耦接到至少一記憶體元件。

26.一種形成一 NAND 型架構雙閘極非依電性記憶胞串的方法，其係包括：

於一基板上形成複數個雙閘極非依電性記憶胞，其中形成該等雙閘極非依電性記憶胞係包括，

形成一薄本體通道區，

形成一電荷陷捕閘極-絕緣體堆疊，以及

形成一非電荷陷捕閘極-絕緣體堆疊，

其中形成該電荷陷捕閘極-絕緣體堆疊係包括，

於一薄本體通道區旁邊形成一由一或多個子層所

Sandisk Technologies, Inc. - Ex. 1002, Page 000690

組成的穿隧絕緣體層，其中該等一或多個子層具有遞增導通能帶偏移量，

於該穿隧絕緣體層旁邊形成一陷捕層，

於該陷捕層旁邊形成一電荷阻隔層，以及

於該電荷阻隔層旁邊形成一控制閘極；以及

將該等複數個雙閘極非依電性記憶胞耦接在一 NAND 型架構記憶胞串之中。

27.如申請專利範圍第 26 項之方法，其中形成一電荷陷捕閘極-絕緣體堆疊與形成一非電荷陷捕閘極-絕緣體堆疊進一步包括於該薄本體通道區的下方形成一背面閘極-絕緣體堆疊且於該薄本體通道區的上方形成一正面閘極-絕緣體堆疊。

28.如申請專利範圍第 27 項之方法，其中形成一電荷陷捕閘極-絕緣體堆疊進一步包括形成該背面閘極-絕緣體堆疊。

29.如申請專利範圍第 27 項之方法，其中形成一電荷陷捕閘極-絕緣體堆疊進一步包括形成該正面閘極-絕緣體堆疊。

30.如申請專利範圍第 26 項之方法，其中將該等複數個雙閘極非依電性記憶胞耦接在一 NAND 型架構記憶胞串之中進一步包括於每一個雙閘極非依電性記憶胞之間形成一或多個源極/汲極區。

31.如申請專利範圍第 26 項之方法，其中將該等複數個雙閘極非依電性記憶胞耦接在一 NAND 型架構記憶胞串

Sandisk Technologies, Inc. - Ex. 1002, Page 000691

之中進一步包括形成單一薄本體通道區，貫穿該 NAND 型架構記憶胞串中的該等雙閘極非依電性記憶胞。

32.如申請專利範圍第 26 項之方法，其進一步包括：

於該基板之上形成一或多條溝槽，該等溝槽係界定複數個相關聯的中間隆起區；

於該等隆起區之上形成該等複數個雙閘極非依電性記憶胞；

於一第一溝槽的側壁之上形成一第一垂直選擇閘，其中該第一垂直選擇閘係被耦接至該 NAND 型架構記憶體串中的一第一雙閘極非依電性記憶胞；

於該第一溝槽的底部處形成該垂直選擇閘的一源極/汲極區；

於一第二溝槽的側壁之上形成一第二垂直選擇閘，其中該第二垂直選擇閘係被耦接至該 NAND 型架構記憶體串中的一最末雙閘極非依電性記憶胞；以及

於該第二溝槽的底部處形成該第二選擇閘的一源極/汲極區。

33.如申請專利範圍第 26 項之方法，其進一步包括以交錯「T」的形式形成複數條字線。

34.如申請專利範圍第 26 項之方法，其進一步包括將該等雙閘極非依電性記憶胞形成對稱的子特徵圖形元件。

35.如申請專利範圍第 26 項之方法，其中形成一由一或多個子層所組成的穿隧絕緣體層進一步包括形成一由一富氧的 SiON(折射率約為 1.5)層所組成的穿隧絕緣體層，

Sandisk Technologies, Inc. - Ex. 1002, Page 000692

而形成該陷捕層則包括一富氮的 SiON(折射率約為 1.8)層。

36.如申請專利範圍第 26 項之方法，其中形成一由一或多個子層所組成的穿隧絕緣體層進一步包括利用該穿隧絕緣體層與電荷陷捕層來形成具有遞增導通能帶偏移量的一或多層，其中該等一或多層材料子層中的每一者均係選自下面其中之一者：氧化物、混合氧化物、氮化物、以及矽酸鹽。

37.如申請專利範圍第 26 項之方法，其中形成一由一或多個子層所組成的穿隧絕緣體層進一步包括形成具有遞增導通能帶偏移量的二或多層介電材料子層，其中該等二或多層介電材料子層中的每一者均係選自下面其中之一者：氧化物、混合氧化物、氮化物、以及矽酸鹽。

38.如申請專利範圍第 37 項之方法，其中形成一由二或多個子層所組成的穿隧絕緣體層進一步包括形成兩層子層，其中第一子層與第二子層係下面其中之一者：SiO_2 與 Pr_2O_3、SiO_2 與 TiO_2、以及 SiO_2 與 HfO_2。

39.如申請專利範圍第 37 項之方法，其中形成一由二或多個子層所組成的穿隧絕緣體層進一步包括形成三層子層，其中第一子層、第二子層、以及第三子層係下面其中之一者：SiO_2、SiN 與 HfO_2；SiO_2、HfO_2 與 Pr_2O_3；以及 SiO_2、HfO_2 與 TiO_2。

40.如申請專利範圍第 26 項之方法，其中形成一陷捕層進一步包括形成下面其中之一者：一浮動閘極、一浮動

Sandisk Technologies, Inc. - Ex. 1002, Page 000693

節點、以及一埋植陷捕層。

41.如申請專利範圍第 40 項之方法，其中形成一陷捕層進一步包括形成複數個電荷陷捕深電位井。

42.如申請專利範圍第 40 項之方法，其中形成一陷捕層進一步包括形成一由下面其中之一者所組成的陷捕層：富氧的氮氧化矽(SiON)、富氮的氮氧化矽(SiON)、氮化鋁(AlN)、氮化矽(SiN)、富矽氮化物(SRN)、二氧化鉿(HfO_2)、以及二氧化鈦(TiO_2)。

43.如申請專利範圍第 26 項之方法，其中形成一電荷阻隔層進一步包括形成一由一或多層高 K 介電子層所組成的電荷阻隔層。

44.如申請專利範圍第 43 項之方法，其中形成一由一或多層高 K 介電子層所組成的電荷阻隔層進一步包括利用由下面其中之一者所組成的絕緣體來形成該等一或多個子層：氧化物、混合氧化物、氮化物、以及矽酸鹽系列。

45.如申請專利範圍第 44 項之方法，其中形成一由一或多層高 K 介電子層所組成的電荷阻隔層進一步包括形成由下面其中之一者所組成的該等一或多個子層：二氧化鉿(HfO_2)、三氧化二鋁(Al_2O_3)、氮氧化鉿矽(HfSiON)、三氧化二鐠(Pr_2O_3)、以及二氧化鈦(TiO_2)。

46.一種操作一 NAND 型架構雙閘極非依電性記憶胞串的方法，其係包括：

透過載子直接穿隧穿過一穿隧絕緣體層來程式化複數個雙閘極非依電性記憶胞中一選定的雙閘極非依電性記憶

Sandisk Technologies, Inc. - Ex. 1002, Page 000694

胞，其中該穿隧絕緣體層係一不對稱的能隙穿隧絕緣體層，其具有形成於一雙閘極非依電性記憶胞之一薄本體通道區旁邊的一或多個子層，其中該等一或多個子層包括具有遞增導通能帶偏移量的複數層；以及

讓該等載子被陷捕於該穿隧絕緣體層下方所形成的一陷捕層之中。

47.如申請專利範圍第 46 項之方法，其進一步包括透過複數個垂直選擇閘來將該 NAND 型架構雙閘極非依電性記憶胞串耦接至一位元線與一源極線，以便選擇該雙閘極非依電性記憶胞串。

48.如申請專利範圍第 46 項之方法，其中讓該等載子被陷捕於該穿隧絕緣體層下方所形成的一陷捕層之中進一步包括陷捕位於該用於多重位元儲存之背面陷捕雙閘極非依電性記憶胞之一源極/汲極區附近的局部電荷。

49.如申請專利範圍第 46 項之方法，其進一步包括透過下面其中一種效應來移除被陷捕於該等複數個非依電性記憶胞之該等陷捕層上的載子來抹除該 NAND 型架構雙閘極非依電性記憶胞串：直接穿隧、Fowler-Nordheim 穿隧、通道熱電子(CHE)注入、以及來自該通道區的熱電洞注入。

50.如申請專利範圍第 46 項之方法，其進一步包括穿過一形成於該陷捕層旁邊的電荷阻隔層將載子傳輸至該陷捕層或自該陷捕層中傳輸來移除被陷捕於該等複數個非依電性記憶胞之該等陷捕層上的載子來抹除該 NAND 型架構雙閘極非依電性記憶胞串。

Sandisk Technologies, Inc. - Ex. 1002, Page 000695

十一、圖式：

如次頁

Sandisk Technologies, Inc. - Ex. 1002, Page 000696

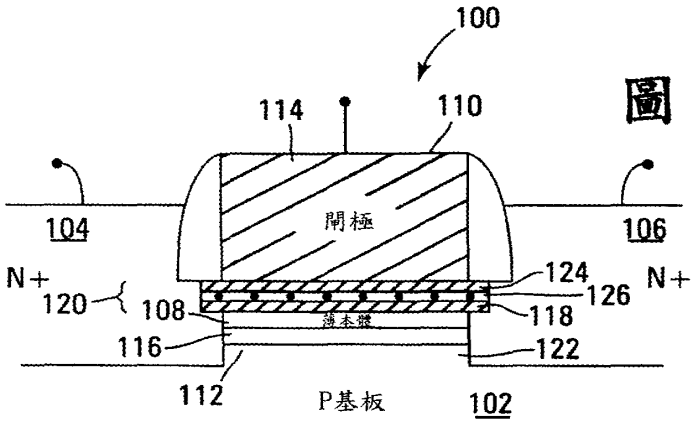

100
114
110
104
106
閘極
N+
120
108
124
126
N+
118
薄本體
116
122
112
P基板
102

圖 1A

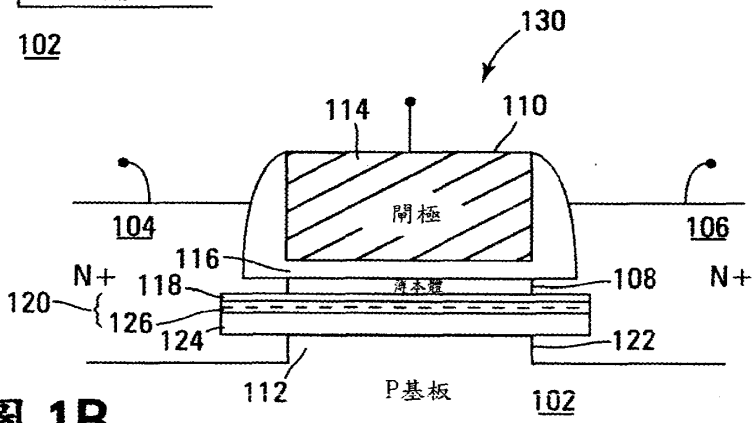

130
114
110
104
106
閘極
116
N+
118
薄本體
108
N+
120
126
124
122
112
P基板
102

圖 1B

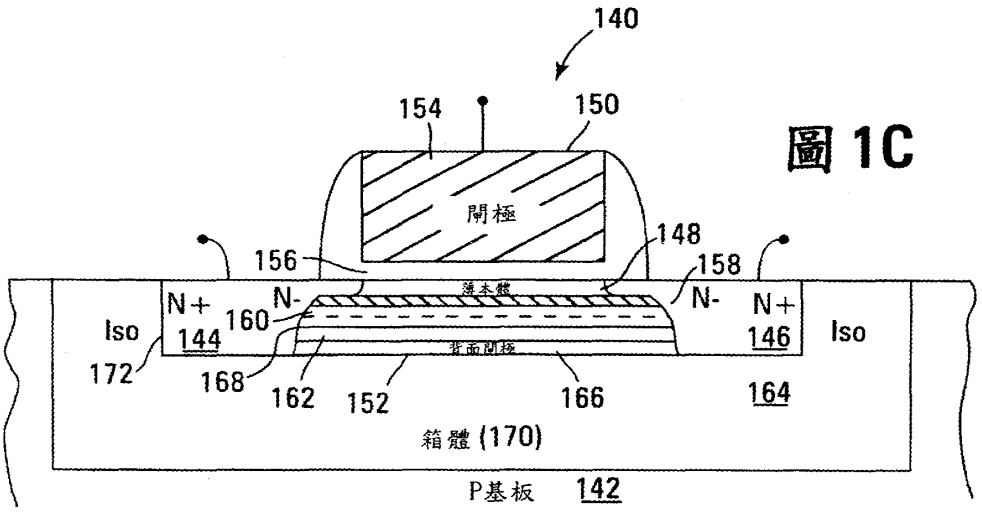

140
154
150
閘極
156
148
158
薄本體
N+
N-
160
N-
N+
Iso
144
146
Iso
背面閘極
172
168
162
152
166
164
箱體 (170)
P基板
142

圖 1C

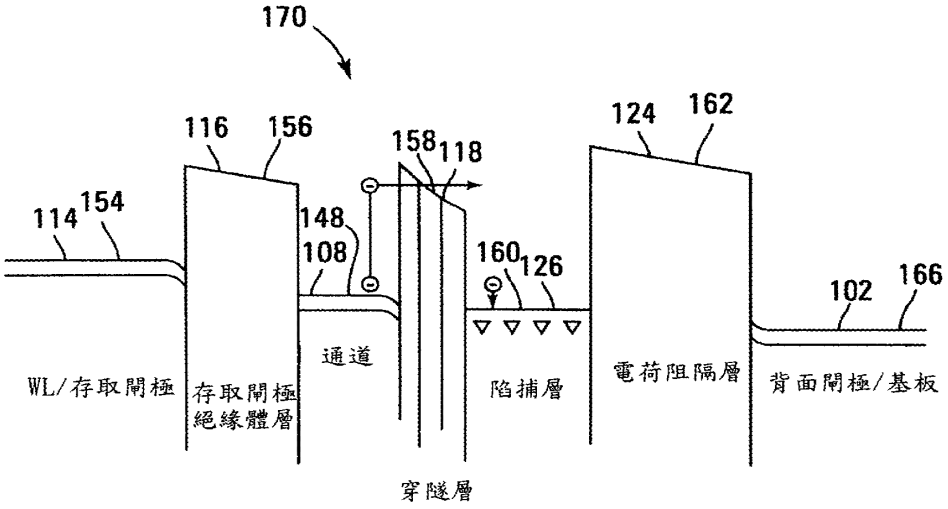

170
116
156
158
118
124
162
114
154
148
108
160
126
102
166
WL/存取閘極
存取閘極
絕緣體層
通道
陷捕層
電荷阻隔層
背面閘極/基板
穿隧層

圖 1D

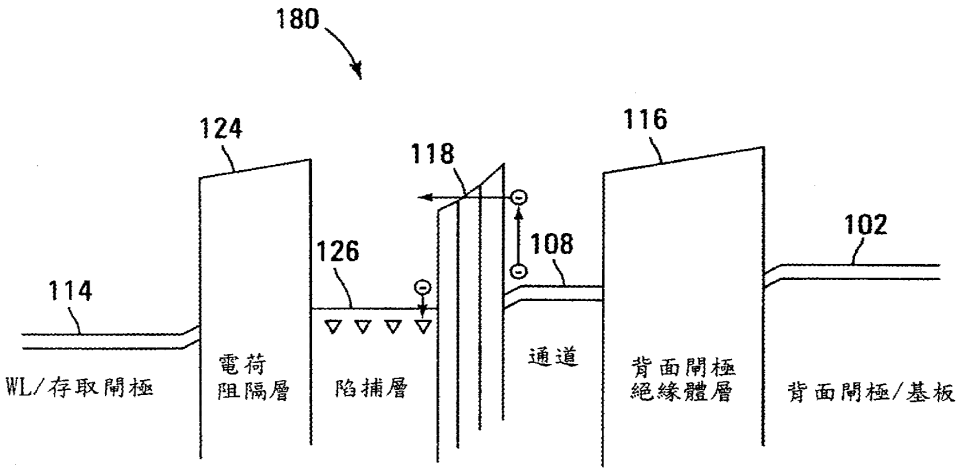

180
124
116
118
102
126
108
114
WL/存取閘極
電荷
阻隔層
陷捕層
通道
背面閘極
絕緣體層
背面閘極/基板

圖 1E

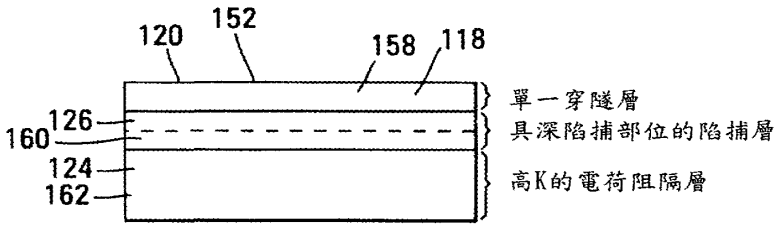

120
152
158
118
126
160
124
162
單一穿隧層
具深陷捕部位的陷捕層
高K的電荷阻隔層

圖 1F

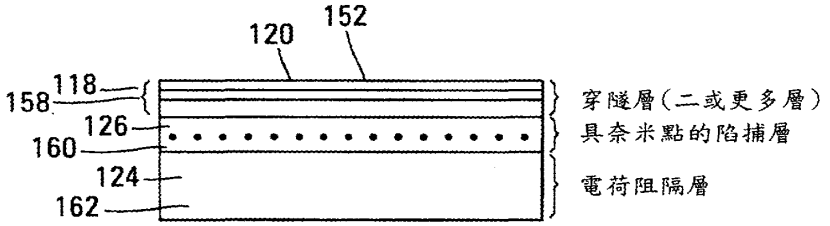

120
152
158
118
126
160
124
162
穿隧層(二或更多層)
具奈米點的陷捕層
電荷阻隔層

圖 1G

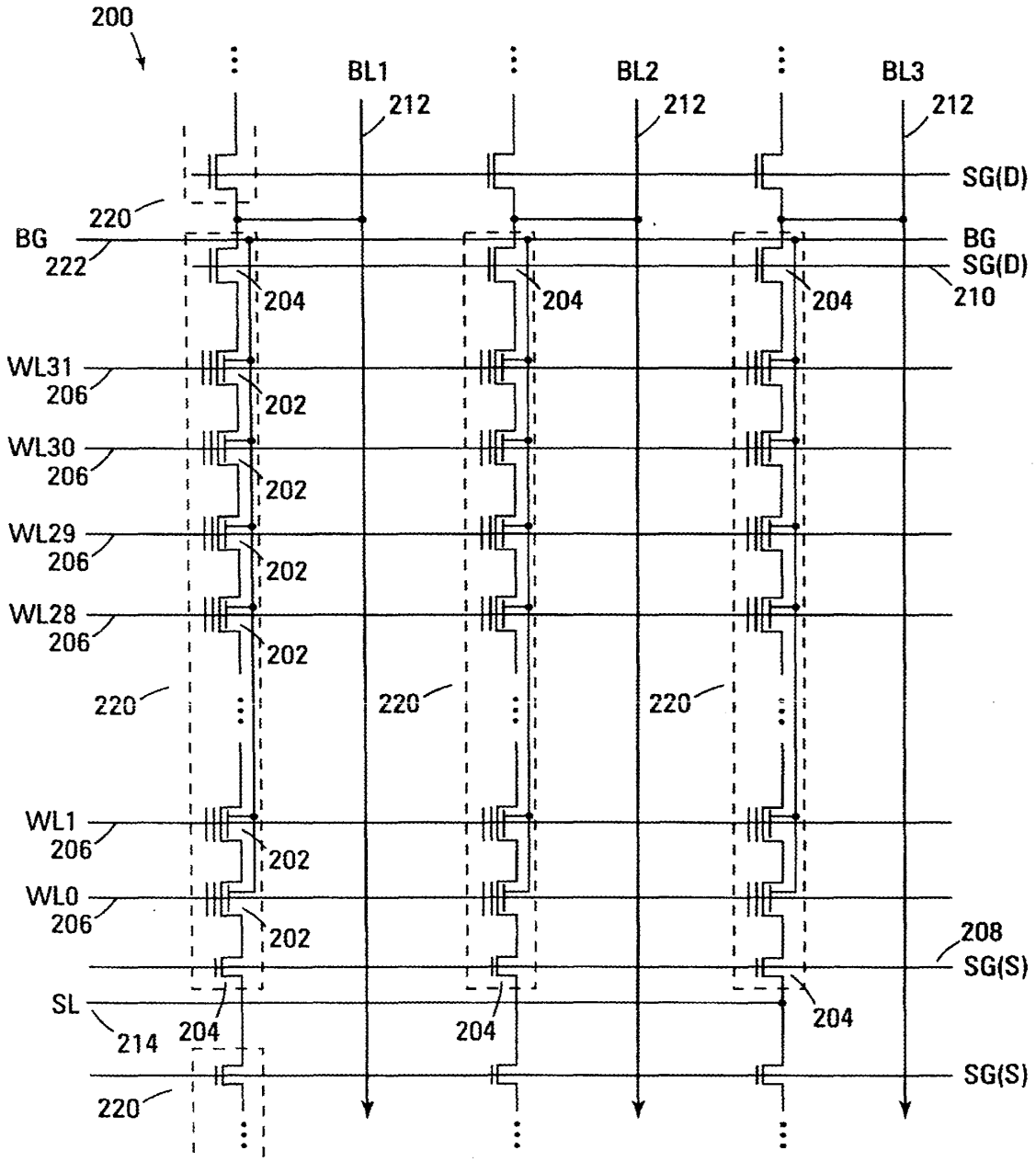

200
BL1
212
BL2
212
BL3
212
SG(D)
220
BG
222
BG
SG(D)
210
204
204
204
WL31
206
202
WL30
206
202
WL29
206
202
WL28
206
202
220
220
220
WL1
206
202
WL0
206
202
208
SG(S)
SL
214
204
204
204
SG(S)
220

圖 2A

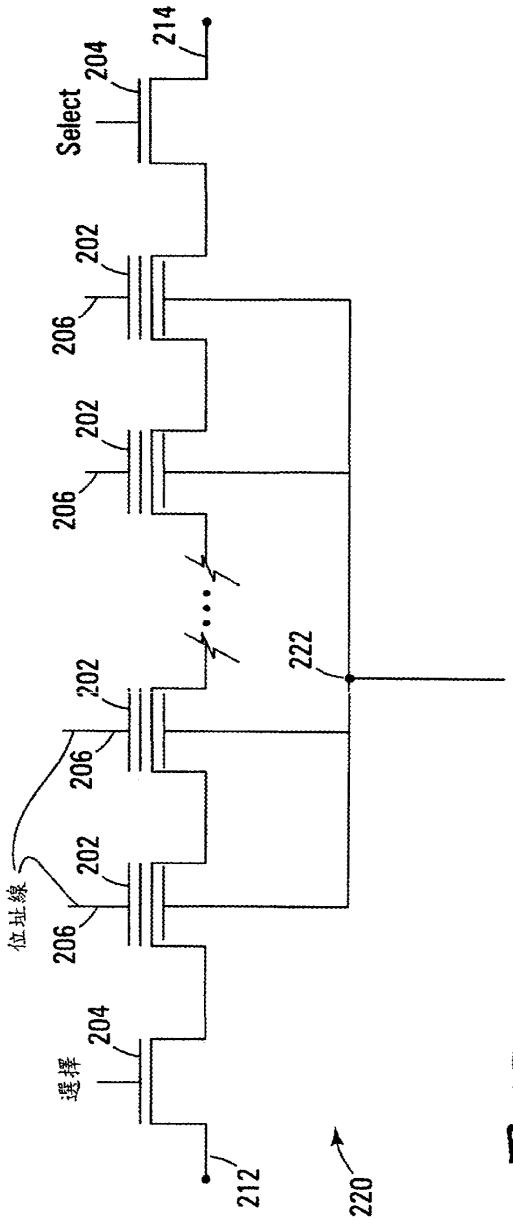

214
Select
204
202
206
202
206
202
206
222
202
206
位址線
202
206
204
選擇
212
220

圖 2B

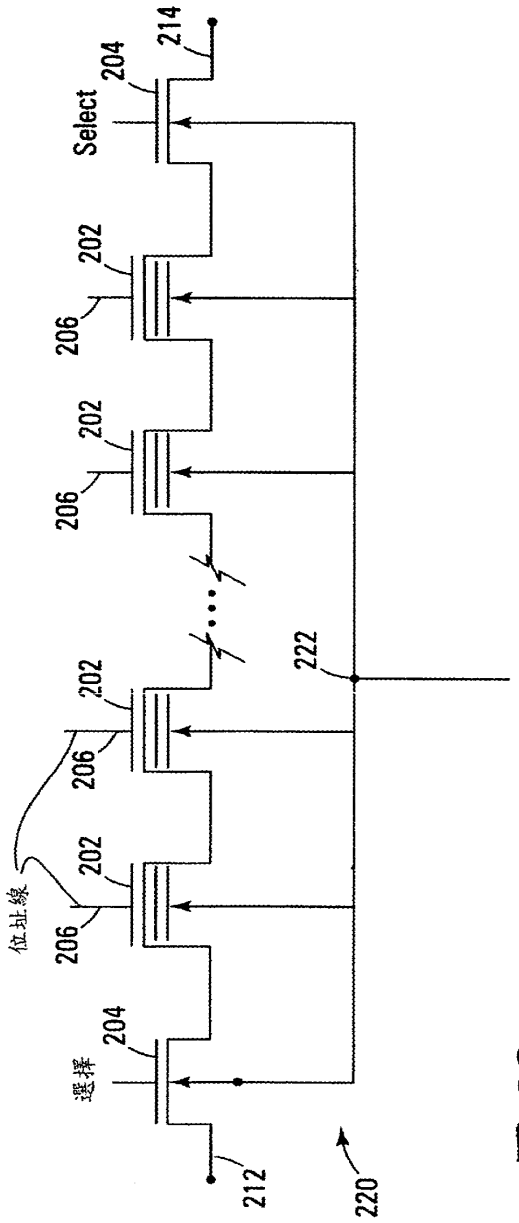

214
Select
204
202
206
202
206
202
206
222
202
206
位址線
202
206
選擇
204
212
220

圖 2C

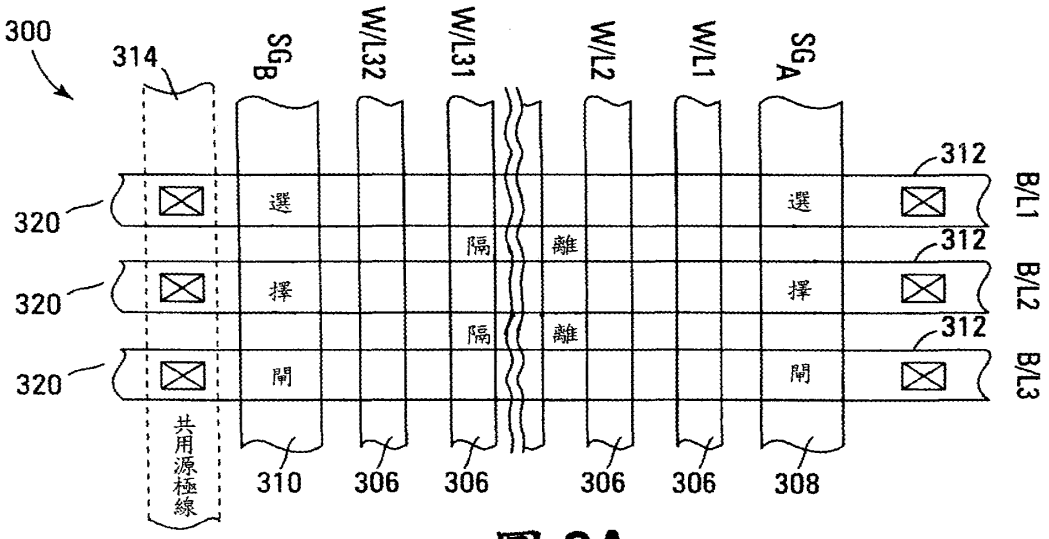


圖 3A

先前技術

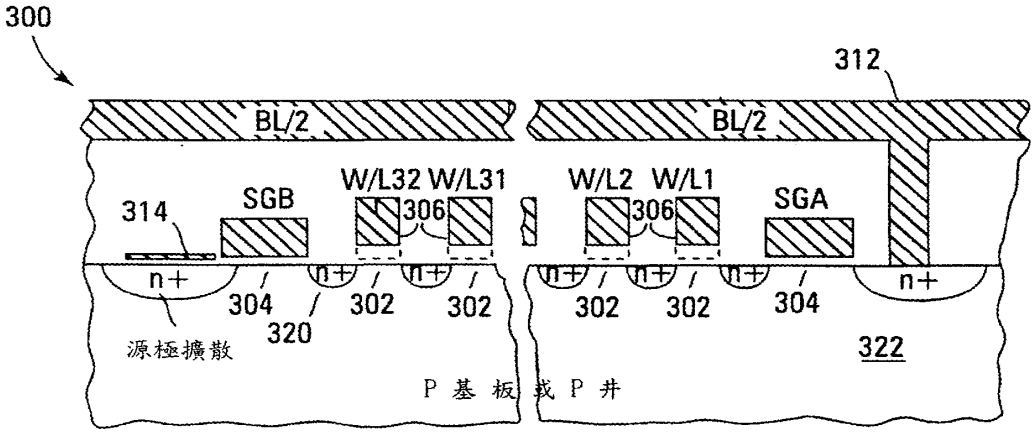


圖 3B

先前技術

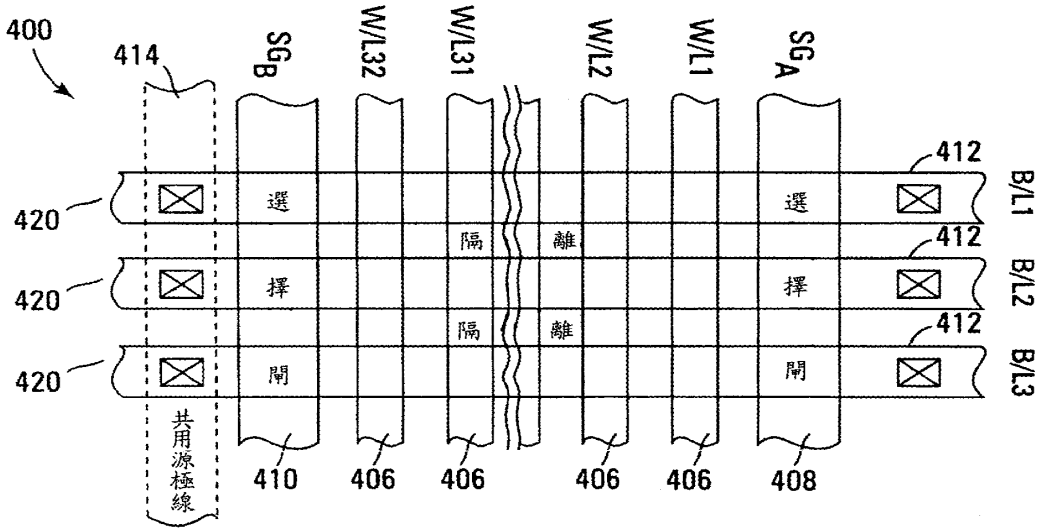

400
414
SGB
W/L32
W/L31
W/L2
W/L1
SGA
412
B/L1
B/L2
B/L3
420
選
隔
離
擇
閘
共用源極線
410
406
408

圖 4A

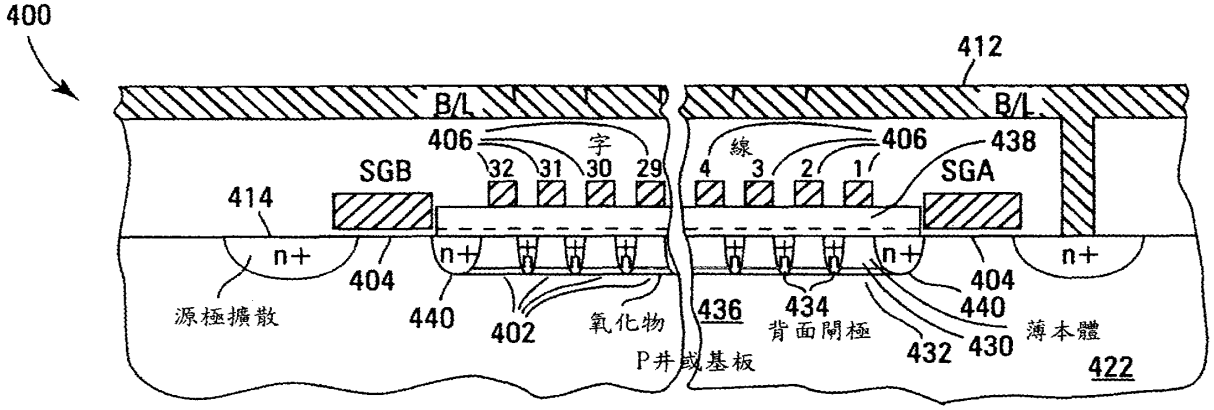

400
412
B/L
B/L
406
字
線
406
438
SGB
32
31
30
29
4
3
2
1
SGA
414
n+
n+
n+
n+
404
404
源極擴散
440
402
氧化物
436
434
背面閘極
440
薄本體
432
430
P井或基板
422

圖 4B

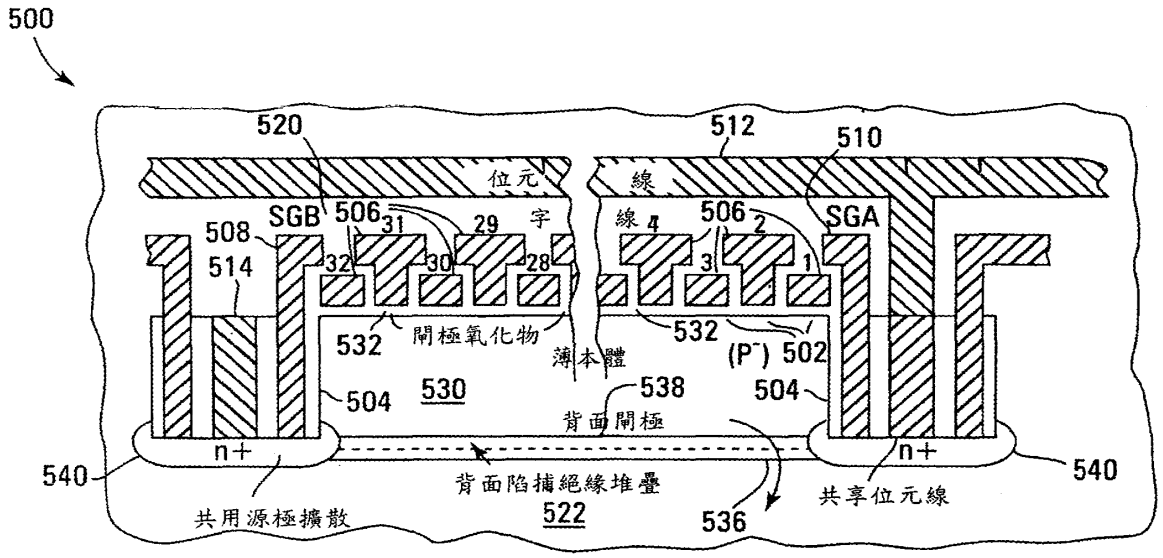

500
520
512
510
位元
線
SGB
506
31
29
字
線
4
506
2
SGA
508
514
32
30
28
3
1
532
閘極氧化物
薄本體
532
(P⁻) 502
504
530
538
504
背面閘極
n+
n+
540
540
背面陷捕絕緣堆疊
522
536
共用源極擴散
共享位元線

圖 5B

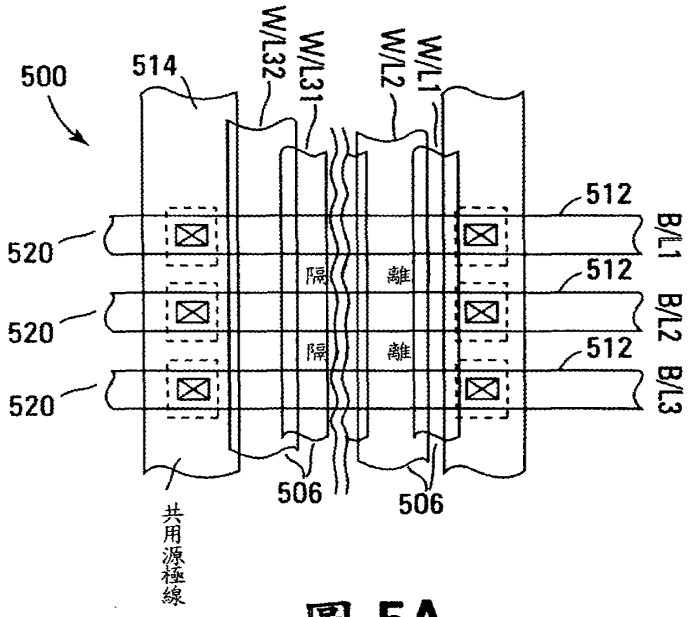

500
514
W/L32
W/L31
W/L2
W/L1
512
B/L1
B/L2
B/L3
520
隔離
隔離
506
506
共用源極線

圖 5A

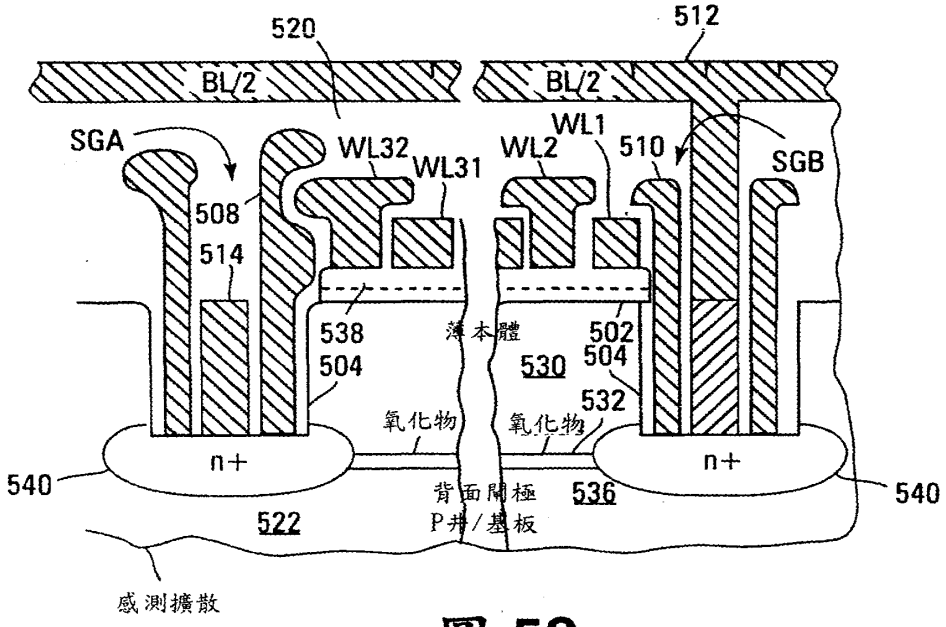

520
512
BL/2
BL/2
SGA
WL32
WL31
WL2
WL1
510
SGB
508
514
538
504
薄本體
502
504
530
532
氧化物
氧化物
n+
n+
540
540
536
522
背面閘極
P井/基板
感測擴散

圖 5C

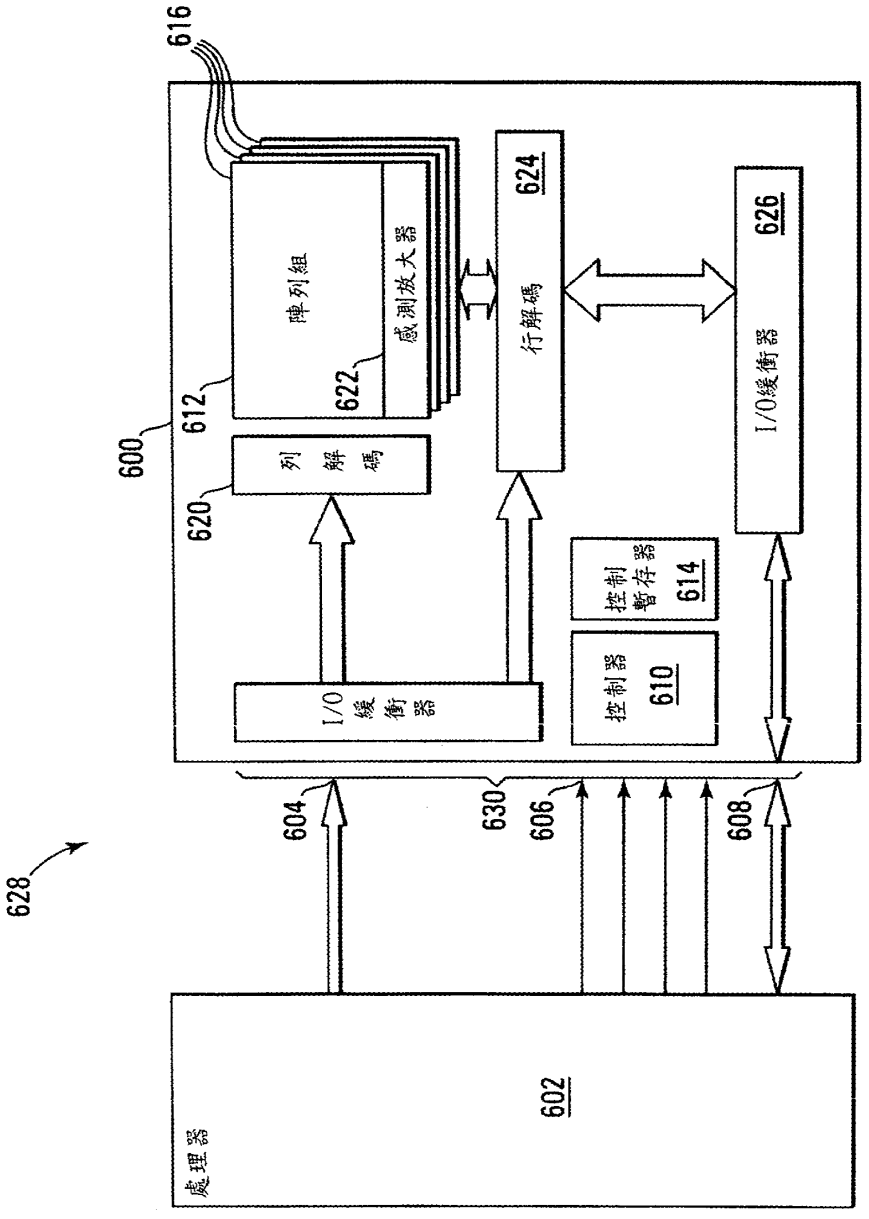

616
600
612
陣列組
感測放大器
622
624
行解碼
626
I/O緩衝器
列解碼
620
控制暫存器
614
控制器
610
I/O緩衝器
628
604
630
606
608
處理器
602

圖 6

Espacenet

KR20110093746A DEVICE FOR 4 BIT PER CELL NON-VOLATILE FUSION MEMORY OF MULTI-FUNCTION AND METHOD FOR FABRICATING THEREOF

Applicants: UNIV KOREA RES & BUS FOUND [KR]

Inventors: AN HO MYOUNG [KR],KIM TAE GEUN [KR]

Classifications:
IPC ***H01L27/115;***

CPC **H01L27/11582 (KR); H01L29/40117 (KR); H01L45/04 (KR); H01L45/144 (KR); H01L45/147 (KR);**

Priorities: KR20110065626A 2011-07-01

Application: KR20110093746A·2011-07-01

Publication: KR20110093746A·2011-08-18

Published as: KR20110093746A

DEVICE FOR 4 BIT PER CELL NON-VOLATILE FUSION MEMORY OF MULTI-FUNCTION AND METHOD FOR FABRICATING THEREOF

Abstract

PURPOSE: A device for 4 bit per cell non-volatile fusion memory of multi-function and a method for fabricating thereof is provided to store four bits in one cell through a charge trapping domain having three steps and a resistance change area. CONSTITUTION: A first tunneling oxide(111) and a second tunneling oxide(112) are formed on a semiconductor(100) and are separated from each other. A third tunneling oxide(131) and a fourth tunneling oxide(132) are formed on the top side of a second charge trapping area and a first charge trapping area. A fifth tunneling oxide(151) and a sixth tunneling oxide(152) are formed on the top side of the fourth charge trapping area and the third charge trapping area.

Sandisk Technologies, Inc. - Ex. 1002, Page 000708

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0093746
(43) 공개일자 2011년08월18일

(51) Int. Cl.
H01L 27/115 (2006.01)
(21) 출원번호 10-2011-0065626(분할)
(22) 출원일자 2011년07월01일
심사청구일자 없음
(62) 원출원 특허 10-2009-0089387
원출원일자 2009년09월22일
심사청구일자 2009년09월22일

(71) 출원인
고려대학교 산학협력단
서울 성북구 안암동5가 1
(72) 발명자
김태근
경기도 성남시 분당구 이매동 122 금강아파트 103-1301
안호명
서울특별시 송파구 풍납동 277-5번지 202호
(74) 대리인
전종일

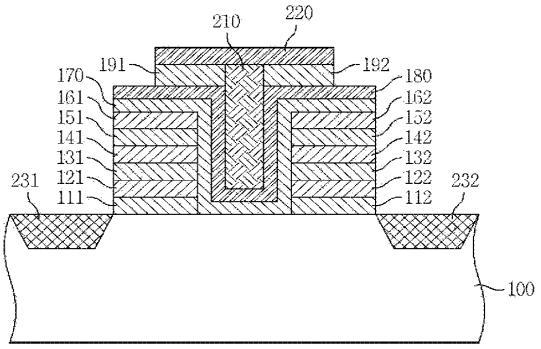
전체 청구항 수 : 총 7 항

(54) 멀티 평션 4 비트/1 셀 비휘발성 퓨전 메모리 소자 및 그의 제조 방법

(57) 요 약

본 발명의 일 실시예에 따른 멀티 평션 4 비트/1셀 비휘발성 퓨전 메모리 소자는 반도체 기판, 제 1 터널링 옥사이드와 제 2 터널링 옥사이드, 제 1 전하 포획 영역과 제 2 전하 포획 영역, 제 3 터널링 옥사이드와 제 4 터널링 옥사이드, 제 3 전하 포획 영역과 제 4 전하 포획 영역, 제 5 터널링 옥사이드와 제 6 터널링 옥사이드, 제 5 전하 포획 영역과 제 6 전하 포획 영역, 블로킹 옥사이드, 제 1 게이트, 제 1 절연 옥사이드와 제 2 절연 옥사이드, 저항 변화 영역, 제 2 게이트 및 소오스와 드레인을 포함한다.

대 표 도 - 도1



Sandisk Technologies, Inc. - Ex. 1002, Page 000709

특허청구의 범위

청구항 1

반도체 기판;

상기 반도체 기판 상에 형성되며 서로 이격되어 형성된 제 1 터널링 옥사이드와 제 2 터널링 옥사이드;

상기 제 1 터널링 옥사이드와 상기 제 2 터널링 옥사이드의 상면 각각에 형성된 제 1 전하 포획 영역과 제 2 전하 포획 영역;

상기 제 1 전하 포획 영역과 상기 제 2 전하 포획 영역의 상면 각각에 형성된 제 3 터널링 옥사이드와 제 4 터널링 옥사이드;

상기 제 3 터널링 옥사이드와 상기 제 4 터널링 옥사이드의 상면 각각에 형성된 제 3 전하 포획 영역과 제 4 전하 포획 영역;

상기 제 3 전하 포획 영역과 상기 제 4 전하 포획 영역의 상면 각각에 형성된 제 5 터널링 옥사이드와 제 6 터널링 옥사이드;

상기 제 5 터널링 옥사이드와 상기 제 6 터널링 옥사이드의 상면 각각에 형성된 제 5 전하 포획 영역과 제 6 전하 포획 영역;

상기 제 5 전하 포획 영역의 상면과 측면, 상기 제 5 터널링 옥사이드의 측면, 상기 제 3 전하 포획 영역의 측면, 상기 제 3 터널링 옥사이드의 측면, 상기 제 1 전하 포획 영역의 측면, 상기 제 1 터널링 옥사이드의 측면, 상기 제 1 터널링 옥사이드와 상기 제 2 터널링 옥사이드 사이의 반도체 기판의 상면, 상기 제 2 터널링 옥사이드의 측면, 상기 2 전하 포획 영역의 측면, 상기 제 4 터널링 옥사이드의 측면, 상기 제 4 전하 포획 영역의 측면, 상기 제 6 터널링 옥사이드의 측면 및 상기 제 6 전하 포획 영역의 측면과 상면에 형성되며, 중심에 단면이 U 형상으로 형성된 블로킹 옥사이드;

상기 블로킹 옥사이드의 상면에 형성되며 중심에 단면이 U 형상으로 형성된 제 1 게이트;

상기 U 형상이 형성되지 않은 상기 제 1 게이트의 상면에 서로 이격되어 형성된 제 1 절연 옥사이드와 제 2 절연 옥사이드;

상기 제 1 게이트의 U 형상 사이 및 상기 제 1 절연 옥사이드와 상기 제 2 절연 옥사이드 사이에 형성된 저항 변화 영역;

상기 저항 변화 영역의 상면, 제 1 절연 옥사이드의 상면 및 상기 제 2 절연 옥사이드의 상면에 형성된 제 2 게이트; 및

상기 제 1 터널링 옥사이드 및 상기 제 2 터널링 옥사이드의 각 외측의 상기 반도체 기판 내에 서로 분리되어 형성된 소오스와 드레인을 포함하는 멀티 평선 4 비트/1 셀 비휘발성 퓨전 메모리 소자.

청구항 2

제 1 항에 있어서,

상기 저항 변화 영역은 페로브스카이트계 산화물로 형성된 것을 특징으로 하는 멀티 평선 4 비트/1 셀 비휘발성 퓨전 메모리 소자.

청구항 3

제 2 항에 있어서,

상기 저항 변화 영역은 $PbZrTiO_3$, $PrCaMnO_3$, $BaTiO_3$, $SrTiO_3$, 또는 $SrZrO_3$로 형성된 것을 특징으로 하는 멀티 평

Sandisk Technologies, Inc. - Ex. 1002, Page 000710

선 4 비트/1 셀 비휘발성 퓨전 메모리 소자.

청구항 4

제 1 항에 있어서,

상기 저항 변화 영역은 MgO, TiO_2, NiO, ZrO_2, HfO_2 또는 CeO_2로 형성된 것을 특징으로 하는 멀티 평선 4 비트/1 셀 비휘발성 퓨전 메모리 소자.

청구항 5

제 1 항에 있어서,

상기 저항 변화 영역은 상변화물질로 형성된 것을 특징으로 하는 멀티 평선 4 비트/1 셀 비휘발성 퓨전 메모리 소자.

청구항 6

제 5 항에 있어서,

상기 저항 변화 영역은 GeSbTe로 형성된 것을 특징으로 하는 멀티 평선 4 비트/1 셀 비휘발성 퓨전 메모리 소자.

청구항 7

반도체 기판 상에 서로 이격되게 제 1 터널링 옥사이드와 제 2 터널링 옥사이드, 제 1 전하 포획 영역과 제 2 전하 포획 영역, 제 3 터널링 옥사이드와 제 4 터널링 옥사이드, 제 3 전하 포획 영역과 제 4 전하 포획 영역, 제 5 터널링 옥사이드와 제 6 터널링 옥사이드 및 제 5 전하 포획 영역과 제 6 전하 포획 영역을 형성하는 단계;

상기 제 5 전하 포획 영역의 상면과 측면, 상기 제 5 터널링 옥사이드의 측면, 상기 제 3 전하 포획 영역의 측면, 상기 제 3 터널링 옥사이드의 측면, 상기 제 1 전하 포획 영역의 측면, 상기 제 1 터널링 옥사이드의 측면, 상기 제 1 터널링 옥사이드와 상기 제 2 터널링 옥사이드 사이의 반도체 기판의 상면, 상기 제 2 터널링 옥사이드의 측면, 상기 2 전하 포획 영역의 측면, 상기 제 4 터널링 옥사이드의 측면, 상기 제 4 전하 포획 영역의 측면, 상기 제 6 터널링 옥사이드의 측면 및 상기 제 6 전하 포획 영역의 측면과 상면에 형성하며, 중심에 단면이 U 형상인 블로킹 옥사이드를 형성하는 단계;

상기 블로킹 옥사이드의 상면에 형성하며, 중심에 단면이 U 형상인 제 1 게이트를 형성하는 단계;

상기 제 1 터널링 옥사이드 및 제 2 터널링 옥사이드의 각 외측의 반도체 기판 내에 서로 분리하여 소오스와 드레인을 형성하는 단계;

상기 U 형상이 형성되지 않은 상기 제 1 게이트의 상면에 서로 이격하여 제 1 절연 옥사이드와 제 2 절연 옥사이드를 형성하는 단계;

상기 제 1 게이트의 U 형상 사이 및 상기 제 1 절연 옥사이드와 상기 제 2 절연 옥사이드 사이에 저항 변화 영역을 형성하는 단계; 및

상기 저항 변화 영역의 상면, 제 1 절연 옥사이드의 상면 및 상기 제 2 절연 옥사이드의 상면에 제 2 게이트를 형성하는 단계를 포함하는 멀티 평선 4 비트/1 셀 비휘발성 퓨전 메모리 소자의 제조 방법.

명 세 서

기 술 분 야

Sandisk Technologies, Inc. - Ex. 1002, Page 000711

SanDisk Technologies, Inc. - Ex. 1002, Page 00712

[0001] 본 발명은 멀티 평선 4 비트/1 셀 비휘발성 퓨전 메모리 소자 및 그의 제조 방법에 관한 것으로서, 보다 상세하게는 전하 포획 영역을 3 단계로 형성하고, 저항 변화 영역을 형성함으로써, 하나의 셀에서 4 비트의 저장 능력을 가지면서도 고속 저장 동작이 가능한 멀티 평선 4 비트/1 셀 비휘발성 퓨전 메모리 소자 및 그의 제조 방법에 관한 것이다.

배 경 기 술

[0002] 언제 어디서나 하고 싶은 일을 할 수 있는 유비쿼터스(Ubiquitous) 시대가 도래함에 따라, 다양한 기능을 동시에 구현할 수 있는 디지털 정보 기기에 대한 수요가 폭발적으로 증가되고 있다.

[0003] 이러한 디지털 정보 기기에 이용되는 메모리 또한 다양한 기능을 구현하도록 우수한 저장 능력과 고속 저장 동작이 요구되고 있다.

[0004] 그런데, 종래의 메모리는 우수한 저장 능력을 가지는 경우에는 저장 동작 속도가 느리거나, 고속 저장 동작이 가능한 경우에는 저장 능력이 저하되는 문제점이 있었다.

발명의 내용

해결하려는 과제

[0005] 따라서 본 발명은 종래 기술의 문제점을 해결하기 위하여 안출된 것으로, 본 발명이 이루고자 하는 기술적 과제는, 전하 포획 영역을 3 단계로 형성하고, 저항 변화 영역을 형성함으로써, 하나의 셀에서 4 비트의 저장 능력을 가지면서도 고속 저장 동작이 가능한 멀티 평선 4 비트/1 셀 비휘발성 퓨전 메모리 소자를 제공하는 것이다.

[0006] 본 발명이 이루고자 하는 다른 기술적 과제는 상술한 멀티 평선 4 비트/1 셀 비휘발성 퓨전 메모리 소자의 제조 방법을 제공하는 것이다.

[0007] 본 발명이 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0008] 상기와 같은 목적을 달성하기 위하여 본 발명의 일 실시예에 따른 멀티 평선 4 비트/1 셀 비휘발성 퓨전 메모리 소자는 반도체 기판, 상기 반도체 기판 상에 형성되며 서로 이격되어 형성된 제 1 터널링 옥사이드와 제 2 터널링 옥사이드, 상기 제 1 터널링 옥사이드와 상기 제 2 터널링 옥사이드의 상면 각각에 형성된 제 1 전하 포획 영역과 제 2 전하 포획 영역, 상기 제 1 전하 포획 영역과 상기 제 2 전하 포획 영역의 상면 각각에 형성된 제 3 터널링 옥사이드와 제 4 터널링 옥사이드, 상기 제 3 터널링 옥사이드와 상기 제 4 터널링 옥사이드의 상면 각각에 형성된 제 3 전하 포획 영역과 제 4 전하 포획 영역, 상기 제 3 전하 포획 영역과 상기 제 4 전하 포획 영역의 상면 각각에 형성된 제 5 터널링 옥사이드와 제 6 터널링 옥사이드, 상기 제 5 터널링 옥사이드와 상기 제 6 터널링 옥사이드의 상면 각각에 형성된 제 5 전하 포획 영역과 제 6 전하 포획 영역, 상기 제 5 전하 포획 영역의 상면과 측면, 상기 제 5 터널링 옥사이드의 측면, 상기 제 3 전하 포획 영역의 측면, 상기 제 3 터널링 옥사이드의 측면, 상기 제 1 전하 포획 영역의 측면, 상기 제 1 터널링 옥사이드의 측면, 상기 제 1 터널링 옥사이드와 상기 제 2 터널링 옥사이드 사이의 반도체 기판의 상면, 상기 제 2 터널링 옥사이드의 측면, 상기 2 전하 포획 영역의 측면, 상기 제 4 터널링 옥사이드의 측면, 상기 제 4 전하 포획 영역의 측면, 상기 제 6 터널링 옥사이드의 측면 및 상기 제 6 전하 포획 영역의 측면과 상면에 형성되며, 중심에 단면이 U 형상으로 형성된 블로킹 옥사이드, 상기 블로킹 옥사이드의 상면에 형성되며 중심에 단면이 U 형상으로 형성된 제 1 게이트, 상기 U 형상이 형성되지 않은 상기 제 1 게이트의 상면에 서로 이격되어 형성된 제 1 절연 옥사이드와 제 2 절연 옥사이드, 상기 제 1 게이트의 U 형상 사이 및 상기 제 1 절연 옥사이드와 상기 제 2 절연 옥사이드 사이에 형성된 저항 변화 영역, 상기 저항 변화 영역의 상면, 제 1 절연 옥사이드의 상면 및 상기 제 2 절연 옥

사이드의 상면에 형성된 제 2 게이트 및 상기 제 1 터널링 옥사이드 및 상기 제 2 터널링 옥사이드의 각 외측의 상기 반도체 기판 내에 서로 분리되어 형성된 소오스와 드레인을 포함한다.

[0009] 본 발명의 일 실시예에 따른 멀티 평션 4 비트/1 셀 비휘발성 퓨전 메모리 소자는 상기 저항 변화 영역이 페로브스카이트계 산화물로 형성된 것이 바람직하다.

[0010] 본 발명의 일 실시예에 따른 멀티 평션 4 비트/1 셀 비휘발성 퓨전 메모리 소자는 상기 저항 변화 영역이 $PbZrTiO_3$, $PrCaMnO_3$, $BaTiO_3$, $SrTiO_3$, 또는 $SrZrO_3$로 형성된 것이 바람직하다.

[0011] 본 발명의 일 실시예에 따른 멀티 평션 4 비트/1 셀 비휘발성 퓨전 메모리 소자는 상기 저항 변화 영역이 MgO, TiO_2, NiO, ZrO_2, HfO_2 또는 CeO_2로 형성된 것이 바람직하다.

[0012] 본 발명의 일 실시예에 따른 멀티 평션 4 비트/1 셀 비휘발성 퓨전 메모리 소자는 상기 저항 변화 영역이 상변화물질로 형성된 것이 바람직하다.

[0013] 본 발명의 일 실시예에 따른 멀티 평션 4 비트/1 셀 비휘발성 퓨전 메모리 소자는 상기 저항 변화 영역이 GeSbTe로 형성된 것이 바람직하다.

[0014] 상기와 같은 다른 목적을 달성하기 위하여 본 발명의 일 실시예에 따른 멀티 평션 4 비트/1 셀 비휘발성 퓨전 메모리 소자의 제조 방법은 반도체 기판 상에 서로 이격되게 제 1 터널링 옥사이드와 제 2 터널링 옥사이드, 제 1 전하 포획 영역과 제 2 전하 포획 영역, 제 3 터널링 옥사이드와 제 4 터널링 옥사이드, 제 3 전하 포획 영역과 제 4 전하 포획 영역, 제 5 터널링 옥사이드와 제 6 터널링 옥사이드 및 제 5 전하 포획 영역과 제 6 전하 포획 영역을 형성하는 단계, 상기 제 5 전하 포획 영역의 상면과 측면, 상기 제 5 터널링 옥사이드의 측면, 상기 제 3 전하 포획 영역의 측면, 상기 제 3 터널링 옥사이드의 측면, 상기 제 1 전하 포획 영역의 측면, 상기 제 1 터널링 옥사이드의 측면, 상기 제 1 터널링 옥사이드와 상기 제 2 터널링 옥사이드 사이의 반도체 기판의 상면, 상기 제 2 터널링 옥사이드의 측면, 상기 2 전하 포획 영역의 측면, 상기 제 4 터널링 옥사이드의 측면, 상기 제 4 전하 포획 영역의 측면, 상기 제 6 터널링 옥사이드의 측면 및 상기 제 6 전하 포획 영역의 측면과 상면에 형성하며, 중심에 단면이 U 형상인 블로킹 옥사이드를 형성하는 단계, 상기 블로킹 옥사이드의 상면에 형성하며, 중심에 단면이 U 형상인 제 1 게이트를 형성하는 단계, 상기 제 1 터널링 옥사이드 및 제 2 터널링 옥사이드의 각 외측의 반도체 기판 내에 서로 분리하여 소오스와 드레인을 형성하는 단계, 상기 U 형상이 형성되지 않은 상기 제 1 게이트의 상면에 서로 이격하여 제 1 절연 옥사이드와 제 2 절연 옥사이드를 형성하는 단계, 상기 제 1 게이트의 U 형상 사이 및 상기 제 1 절연 옥사이드와 상기 제 2 절연 옥사이드 사이에 저항 변화 영역을 형성하는 단계 및 상기 저항 변화 영역의 상면, 제 1 절연 옥사이드의 상면 및 상기 제 2 절연 옥사이드의 상면에 제 2 게이트를 형성하는 단계를 포함한다.

발명의 효과

[0015] 본 발명의 실시예들에 따른 멀티 평션 4 비트/1 셀 비휘발성 퓨전 메모리 소자는 전하 포획 영역을 3 단계로 형성하고, 저항 변화 영역을 형성함으로써, 3 단계의 전하 포획 영역을 통해서 하나의 셀에서 4 비트를 저장할 수 있으면서도 저항 변화 영역을 통해서 고속 저장 동작이 가능하다.

[0016] 본 발명의 실시예들에 따른 멀티 평션 4 비트/1 셀 비휘발성 퓨전 메모리 소자의 제조 방법은 상술한 멀티 평션 4 비트/1 셀 비휘발성 퓨전 메모리 소자를 용이하게 제조할 수 있다.

도면의 간단한 설명

[0017] 도 1은 본 발명의 일 실시예에 따른 멀티 평션 4 비트/1 셀 비휘발성 퓨전 메모리 소자의 단면도.

도 2a 내지 도 2g는 도 1의 멀티 평션 4 비트/1 셀 비휘발성 퓨전 메모리 소자의 제조 공정 단면도들.

발명을 실시하기 위한 구체적인 내용

[0018] 이하 첨부된 도면을 참조로 본 발명의 바람직한 실시 예를 상세히 설명하기로 한다. 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다. 본 발명의 장점 및 특징, 그리고 그것들을 달성하는 방법은

Sandisk Technologies, Inc. - Ex. 1002, Page 000713

첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0019] 도 1은 본 발명의 일 실시예에 따른 멀티 평선 4 비트/1 셀 비휘발성 퓨전 메모리 소자의 단면도이다.

[0020] 본 발명의 일 실시예에 따른 멀티 평선 4 비트/1 셀 비휘발성 퓨전 메모리 소자는 도 1에 도시된 것처럼, 반도체 기판(100), 제 1 터널링 옥사이드(111)와 제 2 터널링 옥사이드(112), 제 1 전하 포획 영역(121)과 제 2 전하 포획 영역(122), 제 3 터널링 옥사이드(131)와 제 4 터널링 옥사이드(132), 제 3 전하 포획 영역(141)과 제 4 전하 포획 영역(142), 제 5 터널링 옥사이드(151)와 제 6 터널링 옥사이드(152), 제 5 전하 포획 영역(161)과 제 6 전하 포획 영역(162), 블로킹 옥사이드(170), 제 1 게이트(180), 제 1 절연 옥사이드(191)와 제 2 절연 옥사이드(192), 저항 변화 영역(210), 제 2 게이트(220) 및 소오스(231)와 드레인(232)을 포함하여 구성될 수 있다.

[0021] 제 1 터널링 옥사이드(111)와 제 2 터널링 옥사이드(112)는 반도체 기판(100) 상에 형성되며 서로 이격되어 형성되며, 구체적으로 실리콘산화막(SiO_2)으로 형성될 수 있다.

[0022] 제 1 전하 포획 영역(121)과 제 2 전하 포획 영역(122)은 제 1 터널링 옥사이드(111)와 제 2 터널링 옥사이드(112)의 상면 각각에 이격되어 형성되며, 구체적으로 금속 나노 크리스탈 또는 반도체 나노 크리스탈로 형성되거나, 실리콘질화막 또는 비정질 폴리 실리콘으로 형성될 수 있다.

[0023] 제 3 터널링 옥사이드(131)와 제 4 터널링 옥사이드(132)는 제 1 전하 포획 영역(121)과 제 2 전하 포획 영역(122)의 상면 각각에 이격되어 형성되며, 구체적으로 실리콘산화막(SiO_2)으로 형성될 수 있다.

[0024] 제 3 전하 포획 영역(141)과 제 4 전하 포획 영역(142)은 제 3 터널링 옥사이드(131)와 제 4 터널링 옥사이드(132)의 상면 각각에 이격되어 형성되며, 구체적으로 금속 나노 크리스탈 또는 반도체 나노 크리스탈로 형성되거나, 실리콘질화막 또는 비정질 폴리 실리콘으로 형성될 수 있다.

[0025] 제 5 터널링 옥사이드(151)와 제 6 터널링 옥사이드(152)는 제 3 전하 포획 영역(141)과 제 4 전하 포획 영역(142)의 상면 각각에 이격되어 형성되며, 구체적으로 실리콘산화막(SiO_2)으로 형성될 수 있다.

[0026] 제 5 전하 포획 영역(161)과 제 6 전하 포획 영역(162)은 제 5 터널링 옥사이드(151)와 제 6 터널링 옥사이드(152)의 상면 각각에 이격되어 형성되며, 구체적으로 금속 나노 크리스탈 또는 반도체 나노 크리스탈로 형성되거나, 실리콘질화막 또는 비정질 폴리 실리콘으로 형성될 수 있다.

[0027] 한편, 블로킹 옥사이드(170)는 제 5 전하 포획 영역(161)의 상면과 측면, 상기 제 5 터널링 옥사이드(151)의 측면, 상기 제 3 전하 포획 영역(141)의 측면, 상기 제 3 터널링 옥사이드(131)의 측면, 상기 제 1 전하 포획 영역(121)의 측면, 상기 제 1 터널링 옥사이드(111)의 측면, 상기 제 1 터널링 옥사이드(111)와 상기 제 2 터널링 옥사이드(112) 사이의 반도체 기판(100)의 상면, 상기 제 2 터널링 옥사이드(112)의 측면, 상기 2 전하 포획 영역(122)의 측면, 상기 제 4 터널링 옥사이드(132)의 측면, 상기 제 4 전하 포획 영역(142)의 측면, 상기 제 6 터널링 옥사이드(152)의 측면 및 상기 제 6 전하 포획 영역(162)의 측면과 상면에 형성되며, 중심에 단면이 U 형상으로 형성되고, 구체적으로 실리콘산화막(SiO_2)으로 형성될 수 있다.

[0028] 또한, 제 1 게이트(180)는 블로킹 옥사이드(170)의 상면에 형성되며 중심에 단면이 U 형상으로 형성되고, 구체적으로 비정질 폴리 실리콘이나 알루미늄 등의 금속 물질로 형성될 수 있다.

[0029] 제 1 절연 옥사이드(191)와 제 2 절연 옥사이드(192)는 U 형상이 형성되지 않은 제 1 게이트(180)의 상면에 서로 이격되어 형성되며, 구체적으로 실리콘산화막(SiO_2)으로 형성될 수 있다.

[0030] 한편, 저항 변화 영역(210)은 제 1 게이트(180)의 U 형상 사이 및 제 1 절연 옥사이드(191)와 제 2 절연 옥사이드(192) 사이에 형성된다.

[0031] 여기에서, 저항 변화 영역(210)은 페로브스카이트계 산화물로 형성될 수 있으며, 구체적으로 $PbZrTiO_3$, $PrCaMnO_3$, $BaTiO_3$, $SrTiO_3$, 또는 $SrZrO_3$로 형성될 수 있다.

[0032] 한편, 저항 변화 영역(210)은 MgO, TiO_2, NiO, ZrO_2, HfO_2 또는 CeO_2로 형성될 수 있으며, 다른 방법으로는 상변화 물질로도 형성될 수 있으며, 구체적으로 GeSbTe로 형성될 수 있다.

Sandisk Technologies, Inc. - Ex. 1002, Page 000714

[0033] 제 2 게이트(220)는 저항 변화 영역(210)의 상면, 제 1 절연 옥사이드(191)의 상면 및 제 2 절연 옥사이드(192)의 상면에 형성되며, 구체적으로 비정질 폴리 실리콘이나 알루미늄 등의 금속 물질로 형성될 수 있다.

[0034] 소오스(231)와 드레인(232)은 제 1 터널링 옥사이드(111) 및 제 2 터널링 옥사이드(112)의 각 외측의 반도체 기판(100) 내에 서로 분리되어 이온 임플란트 공정으로 형성된다.

[0035] 도 2a 내지 도 2g를 참조하여, 본 발명의 일 실시예에 따른 멀티 평선4 비트/1 셀 비휘발성 퓨전 메모리 소자의 제조 방법에 대해서 설명한다.

[0036] 먼저 도 2a에 도시된 것처럼, 반도체 기판(100) 상에 서로 이격되게 제 1 터널링 옥사이드(111)와 제 2 터널링 옥사이드(112), 제 1 전하 포획 영역(121)과 제 2 전하 포획 영역(122), 제 3 터널링 옥사이드(131)와 제 4 터널링 옥사이드(132), 제 3 전하 포획 영역(141)과 제 4 전하 포획 영역(142), 제 5 터널링 옥사이드(151)와 제 6 터널링 옥사이드(152) 및 제 5 전하 포획 영역(161)과 제 6 전하 포획 영역(162)을 형성한다.

[0037] 여기에서, 제 1 터널링 옥사이드 내지 제 6 터널링 옥사이드(111, 112, 131, 132, 151, 152)는 실리콘산화막(SiO_2)으로 형성될 수 있으며, 제 1 전하 포획 영역 내지 제 6 전하 포획 영역(121, 122, 141, 142, 161, 162)은 금속 나노 크리스탈 또는 반도체 나노 크리스탈로 형성되거나, 실리콘질화막 또는 비정질 폴리 실리콘으로 형성될 수 있다.

[0038] 다음으로 도 2b에 도시된 것처럼, 제 5 전하 포획 영역(161)의 상면과 측면, 제 5 터널링 옥사이드(151)의 측면, 제 3 전하 포획 영역(141)의 측면, 제 3 터널링 옥사이드(131)의 측면, 상기 제 1 전하 포획 영역(121)의 측면, 상기 제 1 터널링 옥사이드(111)의 측면, 상기 제 1 터널링 옥사이드(111)와 상기 제 2 터널링 옥사이드(112) 사이의 반도체 기판(100)의 상면, 상기 제 2 터널링 옥사이드(112)의 측면, 상기 2 전하 포획 영역(122)의 측면, 상기 제 4 터널링 옥사이드(132)의 측면, 상기 제 4 전하 포획 영역(142)의 측면, 상기 제 6 터널링 옥사이드(152)의 측면 및 상기 제 6 전하 포획 영역(162)의 측면과 상면에 형성하며, 중심에 단면이 U 형상인 블로킹 옥사이드(170)를 형성하며, 구체적으로 블로킹 옥사이드(170)는 실리콘산화막(SiO_2)으로 형성될 수 있다.

[0039] 다음으로, 도 2c에 도시된 것처럼, 블로킹 옥사이드(170)의 상면에 형성하며, 중심에 단면이 U 형상인 제 1 게이트(180)를 형성하며, 구체적으로 제 1 게이트(180)는 비정질 폴리 실리콘이나 알루미늄 등의 금속 물질로 형성될 수 있다.

[0040] 다음으로, 도 2d에 도시된 것처럼, 제 1 터널링 옥사이드(111) 및 제 2 터널링 옥사이드(112)의 각 외측의 반도체 기판(100) 내에 서로 분리하여 이온 임플란트 공정으로 소오스(231)와 드레인(232)을 형성한다.

[0041] 다음으로, 도 2e에 도시된 것처럼, U 형상이 형성되지 않은 상기 제 1 게이트(180)의 상면에 서로 이격하여 제 1 절연 옥사이드(191)와 제 2 절연 옥사이드(192)를 형성하며, 구체적으로 제 1 절연 옥사이드(191)와 제 2 절연 옥사이드(192)는 실리콘산화막(SiO_2)으로 형성될 수 있다.

[0042] 다음으로, 도 2f에 도시된 것처럼, 제 1 게이트(180)의 U 형상 사이 및 상기 제 1 절연 옥사이드(191)와 상기 제 2 절연 옥사이드(192) 사이에 저항 변화 영역(210)을 형성한다.

[0043] 여기에서, 저항 변화 영역(210)은 페로브스카이트계 산화물로 형성될 수 있으며, 구체적으로 $PbZrTiO_3$, $PrCaMnO_3$, $BaTiO_3$, $SrTiO_3$, 또는 $SrZrO_3$로 형성될 수 있다.

[0044] 한편, 저항 변화 영역(210)은 MgO, TiO_2, NiO, ZrO_2, HfO_2 또는 CeO_2로 형성될 수 있으며, 다른 방법으로는 상변화 물질로도 형성될 수 있으며, 구체적으로 GeSbTe로 형성될 수 있다.

[0045] 제 2 게이트(220)는 저항 변화 영역(210)의 상면, 제 1 절연 옥사이드(191)의 상면 및 제 2 절연 옥사이드(192)의 상면에 형성되며, 구체적으로 비정질 폴리 실리콘이나 알루미늄 등의 금속 물질로 형성될 수 있다.

[0046] 다음으로, 도 2g에 도시된 것처럼, 저항 변화 영역(210)의 상면, 제 1 절연 옥사이드(191)의 상면 및 상기 제 2 절연 옥사이드(192)의 상면에 제 2 게이트(220)를 형성하며, 구체적으로 제 2 게이트(220)는 비정질 폴리 실리콘이나 알루미늄 등의 금속 물질로 형성될 수 있다.

[0047] 이상, 본 발명을 본 발명의 원리를 예시하기 위한 바람직한 실시예와 관련하여 설명하고 도시하였지만, 본 발명

Sandisk Technologies, Inc. - Ex. 1002, Page 000715

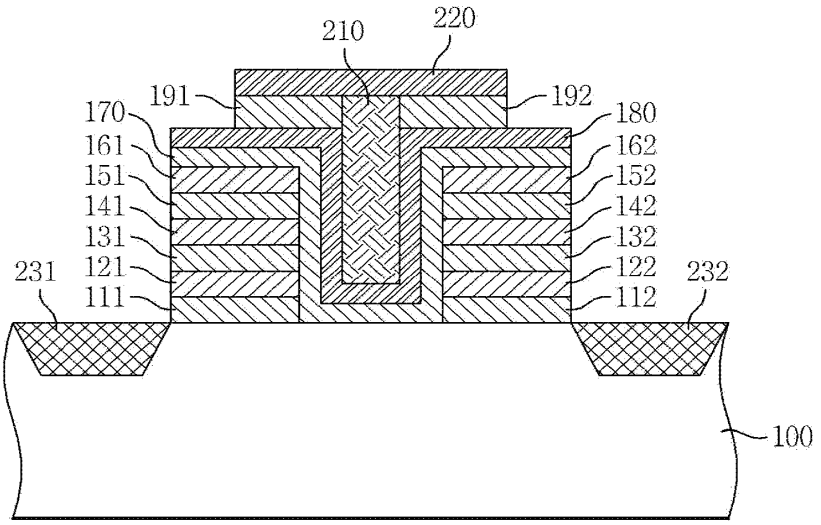
은 그와 같이 도시되고 설명된 그대로의 구성 및 작용으로 한정되는 것이 아니다.

[0048] 오히려, 첨부된 청구범위의 사상 및 범주를 일탈함이 없이 본 발명에 대한 다수의 변경 및 수정이 가능함을 당업자들은 잘 이해할 수 있을 것이다.

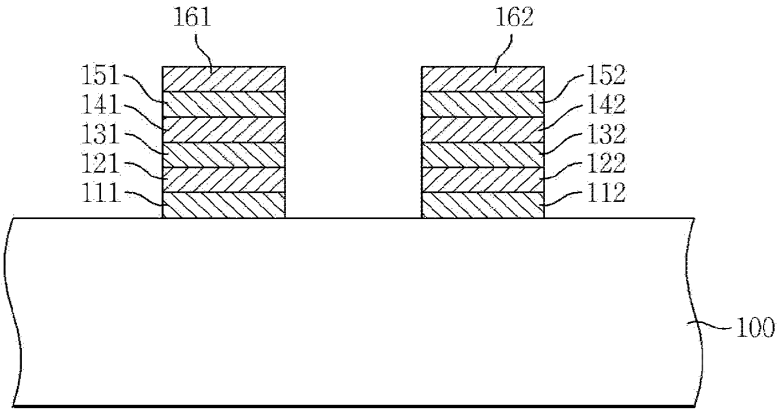
[0049] 따라서, 그러한 모든 적절한 변경 및 수정과 균등물들도 본 발명의 범위에 속하는 것으로 간주되어야 할 것이다.

도면

도면1

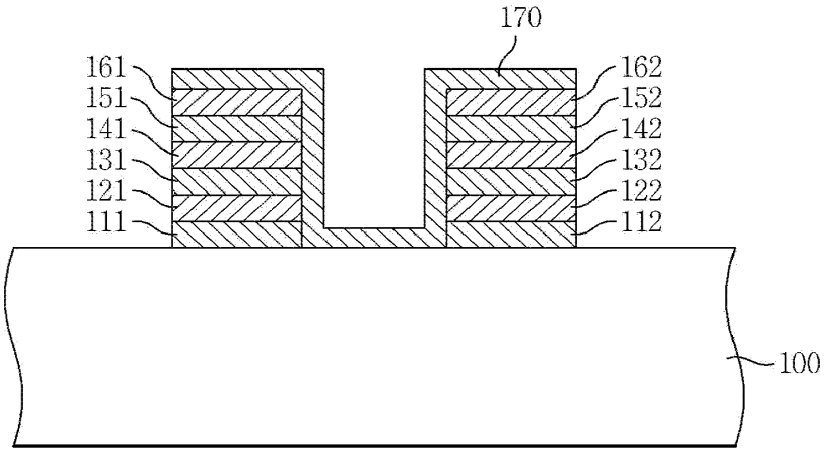


도면2a

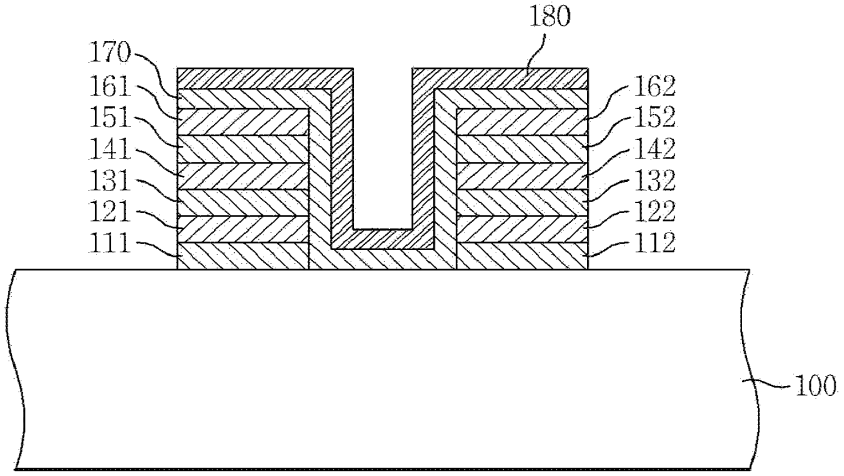


Sandisk Technologies, Inc. - Ex. 1002, Page 000716

도면2b

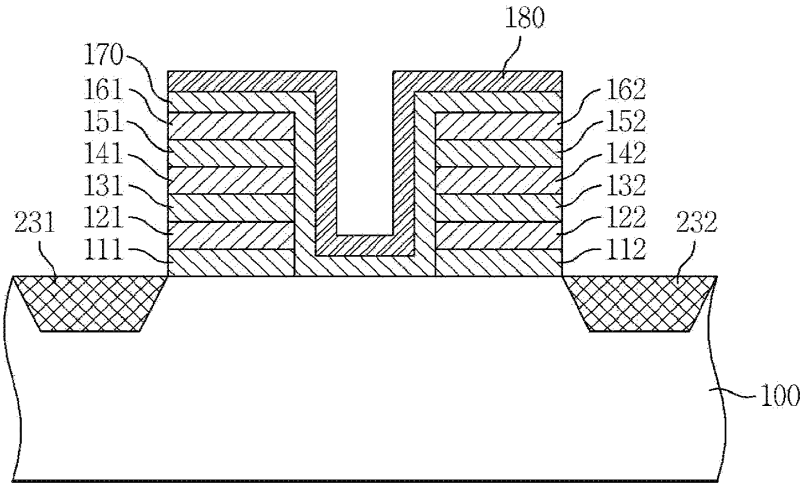


도면2c

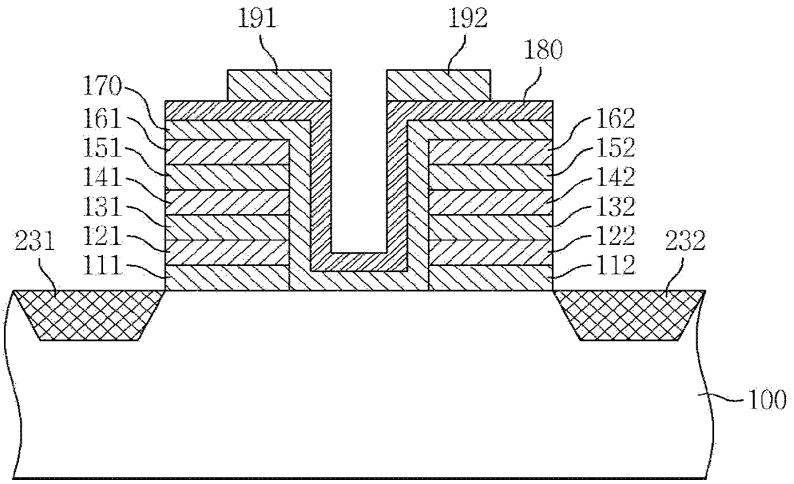


Sandisk Technologies, Inc. - Ex. 1002, Page 000717

도면2d

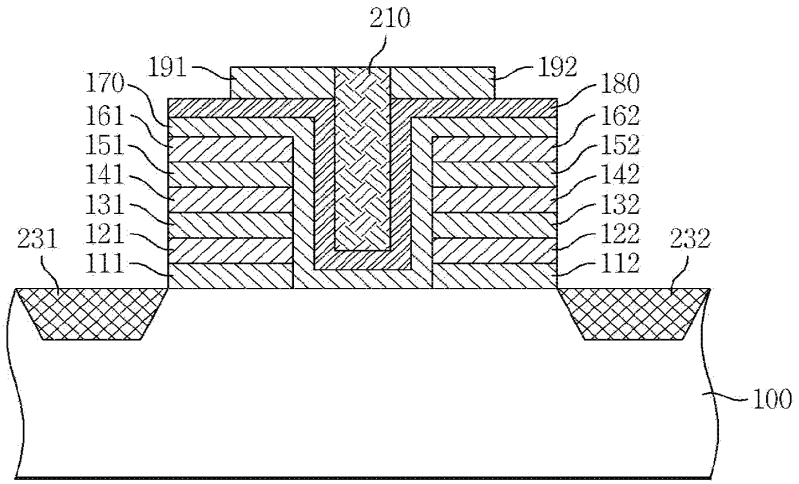


도면2e

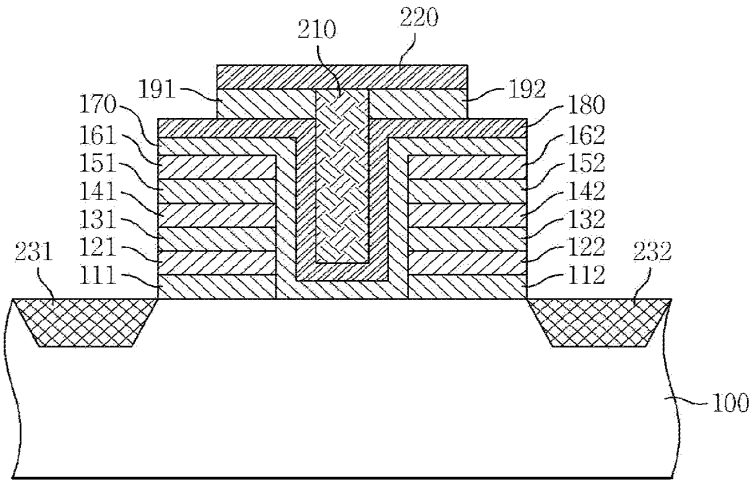


Sandisk Technologies, Inc. - Ex. 1002, Page 000718

도면2f



도면2g



Sandisk Technologies, Inc. - Ex. 1002, Page 000719

Espacenet

KR20060100092A METHOD FOR MANUFACTURING A SEMICONDUCTOR DEVICE

Applicants: SAMSUNG ELECTRONICS CO LTD [KR]

Inventors: LEE CHANG WON [KR],SOHN WOONG HEE [KR],YOUN SUN PIL [KR]

Classifications:

IPC ***H01L21/8247;***

CPC **H02P1/10 (KR); H02P1/54 (KR); H02P3/02 (KR);**

Priorities: KR20050021739A 2005-03-16

Application: KR20060100092A·2005-03-16

Publication: KR20060100092A·2006-09-20

Published as: KR20060100092A

METHOD FOR MANUFACTURING A SEMICONDUCTOR DEVICE

Abstract

게이트 구조물을 포함하는 반도체 장치의 제조에서, 먼저 기판 상에 게이트 산화막 패턴, 폴리실리콘막 패턴 및 금속막 패턴이 적층된 게이트 구조물을 형성한다. 상기 게이트 구조물 상에 산소 라디칼을 플라즈마 산화 공정을 통해 블록킹 산화막을 형성하고, 후속하여 질화 처리를 수행함으로써 상기 블록킹 산화막 상에 블록킹 산질화막을 형성한다. 상기 블록킹 산화막 및 블록킹 산질화막은 후속하여 수행되는 산화막 증착 공정 또는 산소 분위기에서 수행되는 열처리 공정에서 상기 게이트 산화막 패턴으로 산화제가 확산되는 것을 억제한다.

Sandisk Technologies, Inc. - Ex. 1002, Page 000720

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.
H01L 21/8247 (2006.01)

(11) 공개번호 10-2006-0100092
(43) 공개일자 2006년09월20일

(21) 출원번호 10-2005-0021739
(22) 출원일자 2005년03월16일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 이창원
경기도 과천시 별양동 3번지 주공아파트 708동308호
손웅희
서울 서초구 반포동 30-2 삼호가든맨션 11동 1009호
윤선필
서울 관악구 신림11동 대우푸르지오아파트 113동 1503호

(74) 대리인 박영우

심사청구 : 없음

(54) 반도체 장치의 제조 방법

요약

게이트 구조물을 포함하는 반도체 장치의 제조에서, 먼저 기판 상에 게이트 산화막 패턴, 폴리실리콘막 패턴 및 금속막 패턴이 적층된 게이트 구조물을 형성한다. 상기 게이트 구조물 상에 산소 라디칼을 플라즈마 산화 공정을 통해 블록킹 산화막을 형성하고, 후속하여 질화 처리를 수행함으로써 상기 블록킹 산화막 상에 블록킹 산질화막을 형성한다. 상기 블록킹 산화막 및 블록킹 산질화막은 후속하여 수행되는 산화막 증착 공정 또는 산소 분위기에서 수행되는 열처리 공정에서 상기 게이트 산화막 패턴으로 산화제가 확산되는 것을 억제한다.

대표도

도 4

명세서

도면의 간단한 설명

도 1 내지 도 8은 본 발명의 일 실시예에 따른 셀 트랜지스터를 제조하는 방법을 설명하기 위한 단면도들이다.

도 9 내지 도 12는 본 발명의 다른 실시예에 따른 불휘발성 메모리 셀을 제조하는 방법을 설명하기 위한 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

100 : 반도체 기판 106 : 게이트 절연막

Sandisk Technologies, Inc. - Ex. 1002, Page 000721

SanDisk Technologies, Inc. - Ex. 1002, Page 000722

108 : 도전막 110 : 폴리실리콘막

112 : 금속 질화막 114 : 금속막

116 : 게이트 구조물 118 : 게이트 절연막 패턴

120 : 폴리실리콘막 패턴 122 : 금속 질화막 패턴

124 : 금속막 패턴 126 : 블록킹 산화막

128 : 블록킹 산질화막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치의 제조 방법에 관한 것이다. 보다 상세하게는, 재산화 처리된 게이트 구조물을 갖는 셀 트랜지스터 또는 불휘발성 메모리 셀과 같은 반도체 장치의 제조 방법에 관한 것이다.

반도체 디자인 룰이 점점 미세화 됨에 따라 다층 및 복잡한 구조의 반도체 소자들이 제조되고 있다. 또한, 반도체 소자가 고집적화됨에 따라 배선 또는 게이트 전극과 같은 도전성 패턴들의 저항을 감소시킬 것이 요구되고 있다.

특히, 상기 게이트 전극의 경우 폴리실리콘막 패턴이 사용되었으나, 최근에는 저항 감소를 위해 상기 폴리실리콘 패턴 상에 금속 실리사이드 패턴이 적층된 구조를 주로 사용하고 있다. 또한, 상기 게이트 전극의 저항을 더욱 감소시키기 위해, 상기 폴리실리콘 패턴 상에 상기 금속 실리사이드 패턴 대신 금속막 패턴을 사용하고 있다. 상기 게이트 전극으로 주로 사용되는 금속막 패턴으로는 텅스텐 패턴을 들 수 있다.

그런데, 상기 폴리실리콘막 패턴 상에 텅스텐 패턴이 적층된 형태로 게이트 전극을 구현할 경우에는 상기 텅스텐 패턴의 특성에 맞추어 이 후 공정 조건들을 적절하게 조절하여야 한다. 예를 들면, 상기 텅스텐 패턴의 경우에는 특정 산화 분위기에서 빠르게 산화되기 때문에 산화 공정을 수행할 시에 상기 텅스텐 패턴들 간에 서로 브릿지되는 불량이 발생되기 쉽다. 때문에, 상기 게이트 패터닝 공정을 수행한 이후의 산화 공정 시에 공정 조건들을 변경시켜, 상기 텅스텐 패턴의 표면 산화를 억제시켜야 한다.

상기 텅스텐 패턴의 표면 산화를 억제하면서 게이트 재산화 공정을 수행하는 경우에는, 상기 산화제가 폴리실리콘막 패턴과 게이트 산화막 계면으로 더욱 빠르게 확산된다. 그러므로, 게이트 산화막이 재산화되어 상기 게이트 산화막이 불균일하게 두꺼워지고, 이로 인해, 트랜지스터의 문턱 전압이 변화하게 된다. 특히, 불휘발성 메모리 장치의 경우 셀 트랜지스터의 문턱 전압이 변화하게 되면, 셀 산포가 커지게 되어 동작 불량이 발생하게 된다. 최근의 고집적화된 트랜지스터의 경우 게이트 길이가 매우 짧아짐에 따라, 상기 게이트 산화막이 재산화됨에 따른 게이트 산화막의 두께 변화가 더욱 뚜렷하게 나타나게 된다.

상기 게이트 산화막의 두께 변화를 감소시키기 위해 저온에서 게이트 재산화 공정을 수행하는 경우에는 게이트 전극의 식각 손상 치유 효과가 저감되어, 누설 전류가 발생하게 된다. 이로 인해, 트랜지스터의 특성이 열화되고 신뢰성에 문제를 일으키게 된다.

상기와 같은 문제점들을 해결하기 위하여 본 출원인에 의해 2004년 5월 29일자로 출원된 대한민국특허출원 제2004-0038809호 및 2004년 9월 4일자로 출원된 대한민국특허출원 제2004-0070636호에는 게이트 구조물의 표면 부위를 산소 라디칼을 이용한 산화 처리를 통해 산화막으로 형성하는 방법이 개시되어 있다. 그러나, 상기 산소 라디칼을 이용한 산화 처리는 게이트 산화막, 터널 산화막, 게이트 유전막 등으로 사용되는 실리콘 산화막의 두께 변화를 억제할 수는 있으나, 후속하는 산화막 증착 공정 또는 산소 분위기에서 수행되는 열처리 공정에서 상기 실리콘 산화막으로의 산화제 확산에 의해 상기 실리콘 산화막의 두께가 증가되는 문제점이 발생될 수 있다.

발명이 이루고자 하는 기술적 과제

상술한 바와 같은 문제점들을 해결하기 위한 본 발명의 목적은 누설 전류 특성 및 동작 특성이 개선된 게이트 구조물을 형성할 수 있으며, 또한 상기 게이트 구조물의 형성 이후에 수행되는 산화막 증착 공정 또는 산소를 포함하는 가스 분위기에서 수행되는 열처리 공정에서 산화제의 확산을 억제할 수 있는 반도체 장치의 제조 방법을 제공하는데 있다.

발명의 구성 및 작용

상술한 바와 같은 목적을 달성하기 위한 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법은, 기판 상에 산화막 패턴 및 도전막 패턴을 포함하는 게이트 구조물을 형성하는 단계와, 상기 게이트 구조물을 산소 라디칼 분위기에서 플라즈마 산화 처리하여 상기 게이트 구조물 상에 블록킹 산화막을 형성하는 단계와, 상기 블록킹 산화막을 질화 처리하여 상기 블록킹 산화막 상에 블록킹 산질화막을 형성하는 단계를 포함할 수 있다.

상기 도전막 패턴은 불순물 도프된 폴리실리콘으로 이루어질 수 있으며, 이와는 다르게, 불순물 도프된 폴리실리콘막 패턴과, 금속 질화막 패턴 및 금속막 패턴을 포함할 수도 있다. 여기서, 상기 금속 질화막 패턴 및 상기 금속막 패턴은 텅스텐을 포함할 수 있다.

상기 도전막 패턴이 폴리실리콘막 패턴, 금속 질화막 패턴 및 금속막 패턴을 포함하는 경우, 상기 블록킹 산화막은 상기 산화막 패턴 및 상기 폴리실리콘막 패턴 상에 선택적으로 형성될 수 있다.

상기 블록킹 산화막은 플라즈마 질화 처리 또는 열 질화 처리될 수 있으며, 상기 플라즈마 질화 처리는 질소 라디칼(N^*)을 포함하는 질소 플라즈마를 이용하여 수행될 수 있으며, 열 질화 처리는 질소를 포함하는 가스를 이용하여 약 600℃ 내지 950℃ 정도의 온도에서 수행될 수 있다.

한편, 상기 질화 처리 이전에 상기 블록킹 산화막이 형성된 게이트 구조물을 재산화 처리하여 상기 블록킹 산화막 상에 제2블록킹 산화막을 형성할 수도 있다. 상기 재산화 처리는 게이트 구조물을 형성하기 위한 식각 공정에서 발생된 식각 손상을 치유하기 위하여 수행된다. 그러나, 상기 블록킹 산화막을 열 질화 처리하는 경우에는 상기 재산화 공정이 생략될 수도 있다.

상기 목적을 달성하기 위한 본 발명의 다른 실시예에 따른 반도체 장치의 제조 방법은, 기판 상에 산화막 패턴, 제1도전막 패턴, 유전막 패턴 및 제2도전막 패턴을 포함하는 게이트 구조물을 형성하는 단계와, 상기 게이트 구조물을 산소 라디칼 분위기에서 플라즈마 산화 처리하여 상기 게이트 구조물 상에 블록킹 산화막을 형성하는 단계와, 상기 블록킹 산화막을 질화 처리하여 상기 블록킹 산화막 상에 블록킹 산질화막을 형성하는 단계를 포함할 수 있다.

상기와 같은 본 발명의 실시예들에 따른 방법들에 의하면, 상기와 같이 플라즈마 산화 처리를 수행함으로써 상기 폴리실리콘막 패턴의 에지 부위를 산화시켜 전계 집중 효과를 방지할 수 있으며, 후속하는 재산화 공정에서의 산화제 확산을 억제할 수 있다. 또한, 상기 질화 처리를 수행함으로써 후속하는 산화막 증착 공정 또는 산소를 포함하는 가스 분위기에서 수행되는 열처리 공정에서 상기 산화막 패턴으로의 산화제 확산을 억제할 수 있다. 결과적으로, 상기 본 발명의 실시예들에 따른 방법들에 의해 제조된 반도체 장치의 누설 전류 및 문턱 전압의 변화가 감소될 수 있으며, 또한 반도체 장치의 동작 특성이 개선될 수 있다.

이하, 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명하면 다음과 같다.

도 1 내지 도 8은 본 발명의 일 실시예에 따른 셀 트랜지스터를 제조하는 방법을 설명하기 위한 단면도들이다.

도 1을 참조하면, 실리콘웨이퍼와 같은 반도체 기판(100)의 표면 부위에 소자 분리 공정을 통해 액티브 영역과 필드 영역을 정의한다. 구체적으로, 실리콘 부분 산화(Local oxidation of silicon; LOCOS) 공정 또는 셸로우 트렌치 소자분리(shallow trench isolation; STI) 공정을 통해 반도체 기판(100)의 표면 부위에 소자 분리막(104)에 의해 한정된 액티브 패턴(102)을 형성한다.

이어서, 상기 반도체 기판(100) 상에 게이트 절연막(106)을 형성한다. 상기 게이트 절연막(106)의 예로는 실리콘 산화물(SiO_2)로 이루어진 실리콘 산화막, 고 유전율 물질로 이루어지는 고 유전율 물질막 등이 있다.

Sandisk Technologies, Inc. - Ex. 1002, Page 000723

구체적으로, 상기 실리콘 산화막은 급속 열산화(rapid thermal oxidation), 퍼니스 열산화(furnace thermal oxidation) 또는 플라즈마 산화(plasma oxidation)에 의해 형성될 수 있다. 예를 들면, 급속 열산화 방법에 의하면, 상기 실리콘 산화막은 반도체 기판(100)을 약 800℃ 내지 950℃ 정도로 가열하고 상기 반도체 기판(100) 상으로 산소를 포함하는 반응 가스를 공급함으로써 형성될 수 있다. 또한, 상기 실리콘 산화막을 질화 처리하여 상기 실리콘 산화막의 표면 부위를 실리콘 산질화막(SiON)으로 형성할 수도 있다.

상기 고 유전율 물질의 예로는 HfO_2, HfAlO, $HfSi_xO_y$, $HfSi_xO_yN_z$, ZrO_2, $ZrSi_xO_y$, $ZrSi_xO_yN_z$, Al_2O_3, TiO_2, Y_2O_3, Ta_2O_5, Nb_2O_5, $BaTiO_3$, $SrTiO_3$ 등이 있으며, 상기 고 유전율 물질막은 열 화학 기상 증착(thermal chemical vapor deposition; thermal CVD), 플라즈마 강화 화학 기상 증착(plasma enhanced chemical vapor deposition; PECVD), 물리 기상 증착(physical vapor deposition; PVD) 또는 원자층 증착(atomic layer deposition; ALD)을 통해 형성될 수 있다. 상기 고 유전율 물질막들은 단독으로 사용될 수도 있으며, 이들의 복합막으로도 사용될 수 있다.

이어서, 상기 게이트 절연막(106) 상에 도전막(108)을 형성한다. 구체적으로, 불순물 도프된 폴리실리콘막(110)을 상기 게이트 절연막(106) 상에 형성한다. 상기 폴리실리콘막(110)은 실란 가스와 같은 실리콘 소스 가스를 이용하는 저압 화학 기상 증착(low pressure chemical vapor deposition; LPCVD) 공정을 통해 형성될 수 있으며, 통상의 도핑 방법, 예를 들면 불순물 확산, 이온 주입 또는 인-시튜 도핑을 통해 불순물 도핑된다.

상기 폴리실리콘막(110) 상에 금속 장벽막으로서 기능하는 금속 질화막(112)을 형성한 후, 상기 금속 질화막(112) 상에 금속막(114)을 형성하여 상기 도전막(108)을 완성한다. 본 실시예에서는 상기 금속 질화막(112)으로 텅스텐 질화막이 사용될 수 있으며, 상기 금속막(114)으로 텅스텐막이 사용될 수 있다. 그러나, 이밖에도 다양한 금속 질화막 및 금속막이 사용될 수 있다.

한편, 상기 도전막(108)으로 도프트 폴리실리콘막(110)이 단독으로 사용될 수도 있으며, 상기 폴리실리콘막(110) 상에 상기 금속 질화막(112) 및 금속막(114)을 대신하여 금속 실리사이드막이 형성될 수도 있다. 상기 금속 실리사이드막으로는 텅스텐 실리사이드막(WSi_x), 티타늄 실리사이드막($TiSi_x$), 코발트 실리사이드막($CoSi_x$), 탄탈륨 실리사이드막($TaSi_x$) 등이 채용될 수 있다.

상기 도전막(108) 상에 마스크막(미도시)을 형성한다. 상기 마스크막은 실리콘 질화물로 형성될 수 있으며, SiH_2Cl_2 가스 또는 SiH_4 가스와 같은 실리콘 소스 가스와 NH_3 가스와 같은 질화 가스를 이용하는 LPCVD 공정 또는 PECVD 공정을 통해 형성될 수 있다.

도 2를 참조하면, 상기 마스크막 상에 포토리소그래피 공정을 통해 포토레지스트 패턴(미도시)을 형성하고, 상기 포토레지스트 패턴을 식각 마스크로 이용하는 이방성 식각 공정을 수행함으로써 상기 도전막(108) 상에 마스크 패턴을 형성한다. 이어서, 상기 마스크 패턴을 식각 마스크로 이용하는 이방성 식각 공정을 수행함으로써 반도체 기판(100) 상에 게이트 구조물(116)을 형성한다.

구체적으로, 플라즈마 이온 에너지를 이용하는 이방성 식각 공정을 통해 상기 마스크 패턴에 의해 노출된 상기 도전막(108) 및 게이트 절연막(106)을 부분적으로 제거함으로써 게이트 절연막 패턴(118) 폴리실리콘막 패턴(120), 금속 질화막 패턴(122) 및 금속막 패턴(124)을 포함하는 게이트 구조물(116)을 형성한다. 여기서, 상기 금속막 패턴(124), 금속 질화막 패턴(122) 및 폴리실리콘막 패턴(120)은 게이트 전극으로서 기능한다.

도 3을 참조하면, 상기 게이트 구조물(116)을 산소 라디칼을 이용하는 플라즈마 산화 처리하여 상기 게이트 구조물(116) 상에 블록킹 산화막(126)을 형성한다. 상기 산화 처리는 폴리실리콘막 패턴(120)의 에지 부위에서의 전계 집중 현상을 방지하기 위하여 수행되며, 또한 후속하는 재산화 공정에서의 산화제 확산을 억제하기 위하여 수행된다. 특히, 상기 블록킹 산화막(126)은 상기 게이트 절연막 패턴(118) 및 폴리실리콘막 패턴(120) 상에만 선택적으로 형성된다.

구체적으로, 상기 플라즈마 산화 처리는 챔버 내에 산소(O_2), 수소(H_2) 및 아르곤(Ar) 가스를 유입한 후 상기 산소 라디칼(O*) 및 수산화 라디칼(OH*) 등을 형성함으로서, 상기 게이트 구조물(116)의 폴리실리콘막 패턴(120) 및 게이트 절연막 패턴(118)의 표면 상에 상기 블록킹 산화막(126)을 형성한다. 상기 아르곤 가스는 플라즈마 점화 가스로서 선택적으로 사

Sandisk Technologies, Inc. - Ex. 1002, Page 000724

용될 수 있으며, 상기 산소 가스에 대한 수소 가스의 공급 유량은 1% 내지 1000% 정도일 수 있다. 상기 플라즈마 산화 처리를 수행하는 동안, 챔버 내의 압력은 약 1torr 내지 10torr의 범위 내에서 유지될 수 있으며, 플라즈마 발생 파워는 1000W 내지 5000W의 범위에서 조절될 수 있다.

상기 블록킹 산화막(126)은 상기 폴리실리콘막 패턴(120)의 표면 상에 5Å이상의 두께로 성장되도록 한다. 이는 상기 블록킹 산화막(126)의 두께가 5Å에 비해 낮게 형성되는 경우 확산 방지막으로서의 기능을 수행하기가 어렵기 때문이다. 특히, 상기 블록킹 산화막(126)은 약 10Å 내지 100Å 정도의 두께로 성장되도록 한다.

상기 플라즈마 산화 처리는 약 200℃ 내지 600℃의 온도하에서 수행될 수 있다. 특히, 약 250℃ 내지 300℃의 온도하에서 수행될 수 있다. 상기와 같이, 통상의 습식 또는 건식 열산화 처리에 비해 현저히 낮은 온도로 산화 처리가 수행될 수 있기 때문에, 폴리실리콘막 패턴(120), 게이트 절연막 패턴(118) 및 반도체 기판(100) 사이의 계면들로의 산화제 확산이 억제될 수 있으며, 이에 따라 게이트 절연막 패턴(118)의 두께가 증가되는 현상은 거의 발생되지 않는다. 그러나, 상기와 같이 저온에서 산화 공정이 수행되기 때문에 게이트 구조물(116)에 발생된 식각 손상의 치유 효과는 저감될 수 있다.

도 4를 참조하면, 상기 게이트 구조물(116) 상의 블록킹 산화막(126) 상에 블록킹 산질화막(128)을 형성한다. 상기 블록킹 산화막(126) 및 블록킹 산질화막(128)은 후속하는 산화막 증착 공정 또는 열처리 공정에서 산화제의 확산을 방지하기 위하여 형성된다.

구체적으로, 상기 블록킹 산화막(126)의 표면 부위를 질화 처리하여 상기 표면 부위를 실리콘 산질화막(128)으로 형성한다. 예를 들면, 상기 블록킹 산질화막(128)은 플라즈마 질화 처리 또는 열 질화 처리에 의해 형성될 수 있다.

상기 플라즈마 질화 처리는 질소 라디칼(N^*)을 포함하는 질소 플라즈마를 이용하여 수행될 수 있다. 구체적으로, 상기 플라즈마 질화 처리는 N_2 가스, NH_3 가스, NO 가스, N_2O 가스 등과 같은 질화 가스와, Ar 가스와 He 가스 등과 같은 캐리어 가스를 이용하여 약 1mtorr 내지 10torr의 압력 및 상온 내지 약 600℃의 온도하에서 수행될 수 있다. 구체적으로, 상기 플라즈마 질화 처리는 리모트 플라즈마 발생기를 이용한 리모트 플라즈마 방식 또는 상기 챔버 내에서 직접적으로 플라즈마를 형성하는 다이렉트 플라즈마 방식으로 수행될 수 있다. 일 예로서, 마이크로파 에너지 소스 또는 RF 파워 소스를 사용하는 리모트 플라즈마 발생기 또는 MMT(modified-magnetron typed) 플라즈마 발생기 등이 사용될 수 있다.

상기 열 질화 공정은 N_2 가스, NH_3 가스, NO 가스, N_2O 가스 등과 같은 질화 가스를 이용하여 약 1mtorr 내지 10torr 정도의 압력 및 약 600℃ 내지 950℃ 정도의 온도에서 수행될 수 있다.

상기 블록킹 산질화막(128)은 초기의 블록킹 산화막(126) 두께에 대하여 약 10 내지 30% 정도의 두께를 갖도록 형성될 수 있으며, 특히 약 15% 내지 20% 정도의 두께를 갖도록 형성될 수 있다.

한편, 상기 블록킹 산화막(126)을 형성하기 위한 플라즈마 산화 처리와 블록킹 산질화막(128)을 형성하기 위한 플라즈마 질화 처리는 동일한 챔버 내에서 산소 라디칼 및 질소 라디칼을 이용하여 인-시튜(in-situ)로 수행될 수 있다.

상기와 같이 열 질화 처리를 수행하는 경우, 상기 게이트 구조물(116) 및 반도체 기판(100)에 가해진 식각 손상은 충분히 치유될 수 있다. 그러나, 플라즈마 질화 처리를 수행하는 경우, 상기 식각 손상에 대한 치유 효과가 충분하지 못하므로, 추가적인 열처리가 요구된다.

상기 열처리는 상기 식각 손상을 충분히 치유하기 위하여 수초 내지 2시간 동안 수행된다. 일 예로서, 급속 열처리(rapid thermal process; RTP) 장치를 이용하여 상기 열처리를 수행하는 경우, 상기 열처리는 수초 내지 수십초 동안 수행될 수 있으며, 퍼니스(furnace) 타입의 열처리 장치를 사용하는 경우, 상기 열처리는 약 5분 내지 2시간 동안 수행될 수 있다.

상기 열처리는 산소(O_2), 오존(O_3), 수증기(H_2O) 등과 같은 산화 가스 분위기에서 약 700℃ 내지 950℃의 온도 및 1mtorr 내지 10torr 정도의 압력 하에서 수행될 수 있다.

상기와 같은 열처리를 수행하는 동안 열처리 장치 내부에서는 산소 라디칼(O^*) 또는 수산화 라디칼(OH^*) 등과 같은 산화제가 생성된다. 그러나, 반도체 기판(100)과 게이트 절연막 패턴(118) 및 폴리실리콘막 패턴(120) 사이의 계면들로의 상기 산화제 확산은 게이트 구조물(116) 상의 블록킹 산화막(126) 및 블록킹 산질화막(128)에 의해 억제될 수 있다. 따라서, 상기 산화제 확산에 의한 게이트 절연막 패턴(118)의 두께 증가 또는 추가적인 실리콘 산화막의 생성 등이 억제될 수 있다.

Sandisk Technologies, Inc. - Ex. 1002, Page 000725

한편, 도 5 및 도 6을 참조하면, 상기와는 다르게, 상기 게이트 구조물(116) 상에 산소 라디칼을 이용하는 플라즈마 산화 처리를 통해 제1블록킹 산화막(130)을 형성한 후, 상기 게이트 구조물(116)의 금속막 패턴(124)의 표면 산화가 억제되도록 재산화 처리를 수행하여 상기 제1블록킹 산화막(130) 상에 제2블록킹 산화막(132)을 형성할 수도 있다. 이어서, 순차적으로 상기 제2블록킹 산화막(132) 상에 플라즈마 질화 처리 또는 열 질화 처리를 통해 블록킹 산질화막(134)을 형성한다.

구체적으로, 상기 금속막 패턴(124)으로서 사용되는 텅스텐막 패턴의 표면 산화가 억제되는 재산화 처리를 수행하기 위해서 산소가스(O_2) 또는 산소 원자를 포함하는 가스와 수소 가스(H_2)가 제공될 수 있다. 예를 들면, 상기 재산화 처리에는 산소 가스(O_2) 및 수소가스(H_2)가 사용되거나 수증기(H_20) 및 수소가스(H_2)가 사용될 수 있다.

이때, 상기 텅스텐 패턴(124)의 산화를 방지하기 위해 상기 산소 가스 또는 수증기보다 수소 가스의 공급 유량을 더 크게 하는 것이 바람직하며, 상기 게이트 구조물(116)의 식각 손상을 치유하기 위하여 상기 재산화 처리는 약 700 내지 950℃의 온도하에서 수행될 수 있다. 상기와 같이 고온에서 재산화 처리를 수행하면, 상기 게이트 구조물(116) 및 반도체 기판(100)에 가해진 식각 손상이 충분히 치유될 수 있다. 따라서, 상기 블록킹 산질화막(134)을 형성한 이후에 별도의 열처리를 생략할 수 있다.

또한, 상기 재산화 처리는 제1블록킹 산화막(130)을 형성한 후에 수행되므로, 산화제의 확산이 충분히 억제될 수 있다. 즉, 상기 재산화 처리를 수행하는 동안 상기 제1블록킹 산화막(130)이 상기 산화제에 대한 확산 방지막으로서 기능하므로 게이트 절연막(118)의 두께 증가를 억제할 수 있다.

또한, 도 7 및 도 8을 참조하면, 상기 게이트 구조물(116) 상에 플라즈마 질화 처리 또는 열 질화 처리를 통해 블록킹 질화막(136)을 형성한 후, 상기 블록킹 질화막(136) 상에 플라즈마 산화 처리를 통해 블록킹 산화막(138)을 형성할 수 있다. 구체적으로, 상기 블록킹 질화막(136)은 폴리실리콘막 패턴(120) 상에 형성되는 블록킹 실리콘 질화막(136a)과 상기 텅스텐 질화막 패턴(122) 및 상기 텅스텐막 패턴(124) 상에 형성되는 블록킹 텅스텐 질화막(136b)을 포함할 수 있다. 후속하여 형성되는 블록킹 산화막(138)은 블록킹 실리콘 질화막(136a) 상에 형성되며, 소량의 질소 성분을 포함할 수도 있으며, 상기 블록킹 산화막(138)을 형성하는 동안 블록킹 실리콘 질화막(136a)은 산화제의 확산에 의해 제1블록킹 산질화막(140)으로 변환된다.

이어서, 상기 블록킹 산화막(138) 상에 플라즈마 질화 처리 또는 열 질화 처리를 통해 제2블록킹 산질화막(142)을 형성한다. 한편, 도시되지는 않았으나, 상기 블록킹 산화막(138) 상에 재산화 처리를 통해 제2블록킹 산화막이 더 형성될 수도 있으며, 이 경우 상기 제2블록킹 산질화막(142)은 상기 제2블록킹 산화막 상에 형성될 수 있다.

도시되지는 않았으나, 상기 게이트 구조물(116)과 인접하는 반도체 기판(100)의 표면 부위에 소스/드레인 영역들을 형성하여 셀 트랜지스터를 완성한다. 이때, 상기 게이트 구조물(116)의 측벽들 상에 각각 게이트 스페이서를 더 형성할 수도 있다.

도 9 내지 도 12는 본 발명의 다른 실시예에 따른 불휘발성 메모리 셀을 제조하는 방법을 설명하기 위한 단면도들이다.

도 9를 참조하면, 셀로우 트렌치 소자분리(shallow trench isolation; STI)와 같은 소자분리 공정을 통해 실리콘웨이퍼와 같은 반도체 기판(200)을 액티브 영역과 필드 영역으로 구분한다. 이와는 다르게, 상기 필드 영역은 통상의 실리콘 부분 산화(Local oxidation of silicon; LOCOS) 공정으로 형성할 수도 있고, 플로팅 게이트와 액티브 영역을 동시에 형성하는 자기정렬된 셀로우 트렌치 소자분리(self-aligned shallow trench isolation; SA-STI) 공정으로 형성할 수도 있다.

이어서, 상기 기판(200) 상에 열산화 공정을 통해 약 50Å 내지 100Å 정도의 두께를 갖는 터널 산화막(202)을 형성한다. 추가적으로 상기 터널 산화막(202)의 표면 부위를 질화 처리할 수도 있다.

상기 터널 산화막(202) 상에 불순물 도프트 폴리실리콘으로 이루어진 제1도전막(204)을 형성한다. 상기 제1도전막(204)을 형성하는 방법에 대한 상세 설명은 도 1을 참조하여 기 설명된 바와 실질적으로 동일하므로 생략한다.

이어서, 이웃하는 메모리 셀들을 서로 절연시키기 위해 사진식각 공정을 통해 상기 필드 영역 상의 제1도전막(204) 부분을 제거한다.

Sandisk Technologies, Inc. - Ex. 1002, Page 000726

도 10을 참조하면, 상기 제1도전막(204) 상에 게이트 유전막(206)을 형성한다. 상기 게이트 유전막(206)으로는 산화물-질화물-산화물로 이루어진 ONO막이 사용될 수 있다. 이와는 다르게, 상기 게이트 유전막(206)으로 고유전율 물질막이 채용될 수도 있다. 상기 고유전율 물질막에 대한 상세 설명은 도 1을 참조하여 기 설명된 바와 실질적으로 동일하므로 생략한다.

상기 게이트 유전막(206) 상에 제2도전막(208)을 형성한다. 상기 제2도전막(208)으로는 불순물 도프된 폴리실리콘막이 단독으로 사용될 수도 있으며, 도시된 바와 같이, 상기 금속 질화막(210)과 금속막(212)이 사용될 수도 있다. 또한, 상기 불순물 도프된 폴리실리콘막이 제2도전막(208)으로 사용되는 경우, 상기 불순물 도프된 폴리실리콘막 상에 금속 실리사이드막이 더 형성될 수도 있다.

도 11을 참조하면, 상기 제2도전막(208), 게이트 유전막(206), 제1도전막(204) 및 터널 산화막(202)을 순차적으로 패터닝하여 터널 산화막 패턴(214), 제1도전막 패턴(216), 게이트 유전막 패턴(218) 및 제2도전막 패턴(220)을 포함하는 게이트 구조물(222)을 형성한다. 이때, 상기 제1도전막 패턴(216)은 플로팅 게이트 전극으로서 기능하며, 상기 제2도전막 패턴(220)은 금속 질화막 패턴(224)과 금속막 패턴(226)을 포함하며, 컨트롤 게이트 전극으로서 기능한다. 상기 게이트 구조물(222)을 형성하기 위한 패터닝 공정은 도 2를 참조하여 기 설명된 방법과 실질적으로 동일한 방법으로 수행될 수 있다.

도 12를 참조하면, 상기 게이트 구조물(222)에 대하여 산소 라디칼을 이용하는 플라즈마 산화 처리 및 질화 처리를 순차적으로 수행하여 상기 게이트 구조물(222) 상에 블록킹 산화막(228)과 블록킹 산질화막(230)을 형성한다. 구체적으로, 상기 블록킹 산화막(228) 및 블록킹 산질화막(230)은 터널 산화막 패턴(214), 제1도전막 패턴(216) 및 게이트 유전막 패턴(218) 상에 형성될 수 있다. 이와는 다르게, 상기 게이트 구조물(222) 상에 제1블록킹 산화막과 제2블록킹 산화막 및 블록킹 산질화막을 형성할 수도 있으며, 제1블록킹 산질화막, 블록킹 산화막 및 제2블록킹 산질화막을 형성할 수도 있다.

상기와 같은 방법들은 도 3 내지 도 8을 참조하여 기 설명된 방법들과 실질적으로 동일하므로 이들에 대한 추가적인 상세 설명은 생략한다.

이어서, 도시되지는 않았지만, 상기와 게이트 구조물(222)과 인접한 기판(200)의 표면 부위에 소스/드레인 영역들(도시되지 않음)을 형성하여 상기 불휘발성 메모리 셀을 완성할 수 있다.

발명의 효과

상술한 바와 같이 본 발명의 실시예들에 의하면, 게이트 구조물이 가해진 식각 손상은 다양한 방법으로 치유될 수 있으며, 산화제의 확산에 의한 게이트 절연막, 터널 산화막, 게이트 유전막과 같은 산화막의 이상 성장이 억제될 수 있다.

구체적으로, 상기와 같이 플라즈마 산화 처리를 수행함으로써 상기 폴리실리콘막 패턴의 에지 부위를 산화시켜 전계 집중 효과를 방지할 수 있으며, 후속하여 재산화 공정을 수행하는 경우, 상기 산화막으로의 산화제 확산을 억제하여 상기 산화막의 두께 증가를 억제할 수 있으며, 상기 식각 손상을 충분하게 치유할 수 있다. 또한, 상기 질화 처리를 수행함으로써 후속하는 산화막 증착 공정 또는 산소를 포함하는 가스 분위기에서 수행되는 열처리 공정에서 상기 산화막 패턴으로의 산화제 확산을 억제할 수 있다. 결과적으로, 상기 본 발명의 실시예들에 따른 방법들에 의해 제조된 반도체 장치의 누설 전류 및 문턱 전압의 변화가 감소될 수 있으며, 또한 반도체 장치의 동작 특성이 개선될 수 있다.

상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.

기판 상에 산화막 패턴 및 도전막 패턴을 포함하는 게이트 구조물을 형성하는 단계;

Sandisk Technologies, Inc. - Ex. 1002, Page 000727

상기 게이트 구조물을 산소 라디칼 분위기에서 플라즈마 산화 처리하여 상기 게이트 구조물 상에 블록킹 산화막을 형성하는 단계; 및

상기 블록킹 산화막을 질화 처리하여 상기 블록킹 산화막 상에 블록킹 산질화막을 형성하는 단계를 포함하는 반도체 장치의 제조 방법.

청구항 2.

제1항에 있어서, 상기 도전막 패턴은 불순물 도프된 폴리실리콘을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 3.

제1항에 있어서, 상기 게이트 구조물을 형성하는 단계는,

상기 기판 상에 산화막을 형성하는 단계;

상기 산화막 상에 불순물 도프된 폴리실리콘막, 금속 질화막 및 금속막을 포함하는 도전막을 순차적으로 형성하는 단계; 및

상기 산화막 및 상기 도전막을 패터닝하여 상기 산화막 패턴과, 폴리실리콘막 패턴, 금속 질화막 패턴 및 금속막 패턴으로 구성된 상기 도전막 패턴을 포함하는 상기 게이트 구조물을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 4.

제3항에 있어서, 상기 블록킹 산화막은 상기 산화막 패턴 및 상기 폴리실리콘막 패턴 상에 선택적으로 형성되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 5.

제3항에 있어서, 상기 플라즈마 산화 처리를 수행하기 전에 상기 게이트 구조물을 질화 처리하여 상기 게이트 구조물 상에 블록킹 실리콘 질화막 및 블록킹 금속 질화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 6.

제1항에 있어서, 상기 블록킹 산질화막은 열 질화 처리 또는 플라즈마 질화 처리에 의해 형성되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 7.

제1항에 있어서, 상기 블록킹 산화막이 형성된 게이트 구조물을 재산화 처리하여 상기 블록킹 산화막 상에 제2블록킹 산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

Sandisk Technologies, Inc. - Ex. 1002, Page 000728

청구항 8.

기판 상에 산화막 패턴, 제1도전막 패턴, 유전막 패턴 및 제2도전막 패턴을 포함하는 게이트 구조물을 형성하는 단계;

상기 게이트 구조물을 산소 라디칼 분위기에서 플라즈마 산화 처리하여 상기 게이트 구조물 상에 블록킹 산화막을 형성하는 단계; 및

상기 블록킹 산화막을 질화 처리하여 상기 블록킹 산화막 상에 블록킹 산질화막을 형성하는 단계를 포함하는 반도체 장치의 제조 방법.

청구항 9.

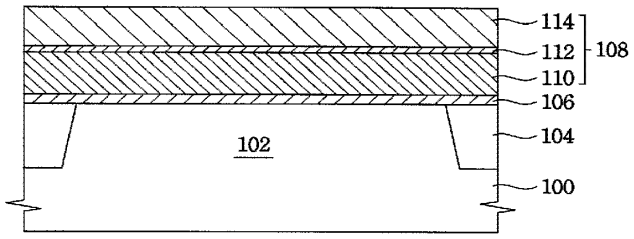
제8항에 있어서, 상기 게이트 구조물을 형성하는 단계는,

상기 기판 상에 산화막, 불순물 도프된 폴리실리콘막, 유전막, 금속 질화막 및 금속막을 순차적으로 형성하는 단계; 및

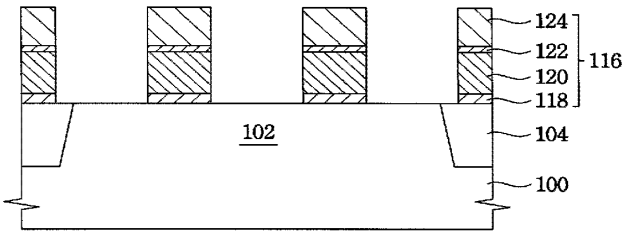
상기 산화막, 불순물 도프된 폴리실리콘막, 유전막, 금속 질화막 및 금속막을 패터닝하여 상기 게이트 구조물을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

도면

도면1

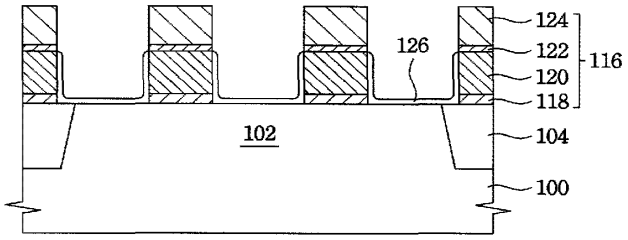


도면2

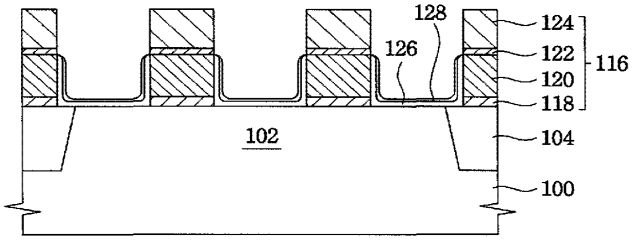


Sandisk Technologies, Inc. - Ex. 1002, Page 000729

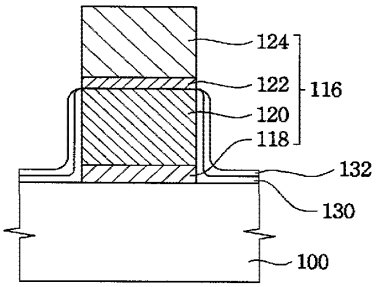
도면3



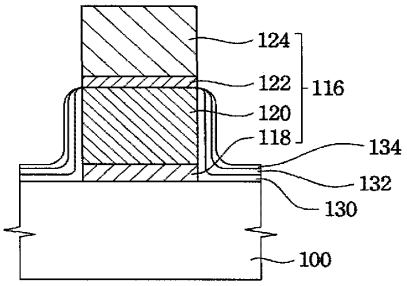
도면4



도면5

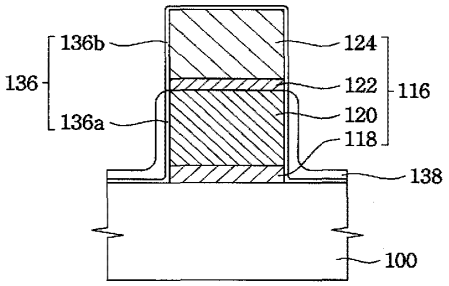


도면6

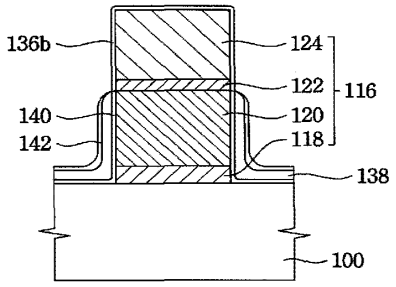


Sandisk Technologies, Inc. - Ex. 1002, Page 000730

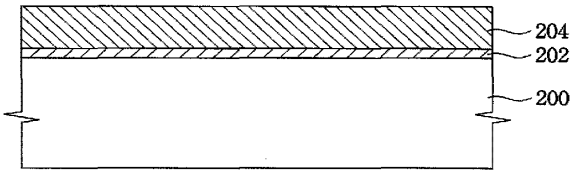
도면7



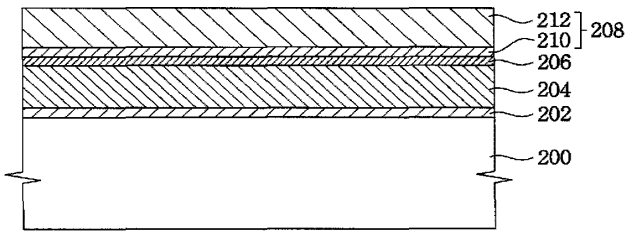
도면8



도면9

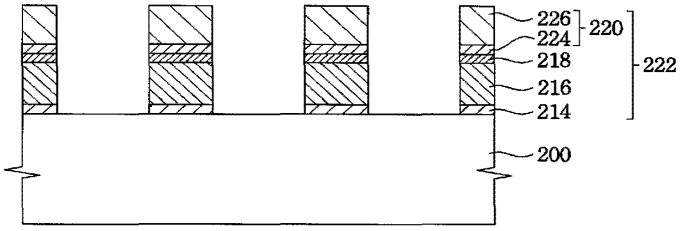


도면10

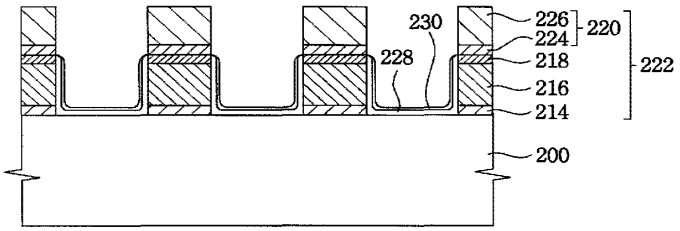


Sandisk Technologies, Inc. - Ex. 1002, Page 000731

도면11



도면12



Sandisk Technologies, Inc. - Ex. 1002, Page 000732

Espacenet

KR20040070669A METHOD FOR IMPROVING RETENTION CHARACTERISTIC OF SONONOS ELEMENT OF QUANTUM TRAP DEVICE

Applicants: ANAM SEMICONDUCTOR LTD

Inventors: JUNG JIN HYO

Classifications:
IPC ***H01L27/115;*** (IPC1-7): H01L27/115;

CPC **H01L27/11563 (KR); H01L29/40117 (KR); H01L29/792 (KR);**

Priorities: KR20030006848A 2003-02-04

Application: KR20040070669A·2003-02-04

Publication: KR20040070669A·2004-08-11

Published as: **KR100501457B1**; KR20040070669A

METHOD FOR IMPROVING RETENTION CHARACTERISTIC OF SONONOS ELEMENT OF QUANTUM TRAP DEVICE

Abstract

본 발명은 양자 트랩 디바이스의 SONONOS 소자 리텐션 특성 개선방법에 관한 것으로, 실리콘 기판 측면에 위치한 터널 산화막(tunnel oxide) 층과 터널 산화막 층 옆에 완충 질화막을 삽입하고, 완충 질화막 옆에 완충 산화막을 삽입시키며, 삽입된 완충 산화막 옆에 블록 산화막으로 이루어져 있으며, 터널 산화막의 터널링에 의해 프로그램/소거의 특성을 개선시키며, 완충 산화막의 터널링에 좌우되도록 분리시켜 리텐션 특성을 개선시킨다. 따라서, 프로그램/소거 특성과 리텐션 특성을 동시에 개선시킬 수 있으며, 또한, 완충 산화막에 의해 리텐션 특성이 좌우되기 때문에 사이클링에 거의 무관하게 리텐션 특성을 얻을 수 있어 비휘발성 양자 트랩 소자를 만들 수 있는 효과가 있다.레텐션, 양자 트랩 디바이스, SONOS, SONONOS

Sandisk Technologies, Inc. - Ex. 1002, Page 000733

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
H01L 27/115

(11) 공개번호 10-2004-0070669
(43) 공개일자 2004년08월11일

(21) 출원번호 10-2003-0006848
(22) 출원일자 2003년02월04일

(71) 출원인 아남반도체 주식회사
서울특별시 강남구 삼성동 154-17

(72) 발명자 정진효
경기도부천시원미구도당동222

(74) 대리인 장성구
김원준

심사청구 : 있음

(54) 양자 트랩 디바이스의 에스오엔오엔오에스 소자 리텐션특성 개선방법

요약

본 발명은 양자 트랩 디바이스의 SONONOS 소자 리텐션 특성 개선방법에 관한 것으로, 실리콘 기판 측면에 위치한 터널 산화막(tunnel oxide) 층과 터널 산화막 층 옆에 완충 질화막을 삽입하고, 완충 질화막 옆에 완충 산화막을 삽입시키며, 삽입된 완충 산화막 옆에 블록 산화막으로 이루어져 있으며, 터널 산화막의 터널링에 의해 프로그램/소거의 특성을 개선시키며, 완충 산화막의 터널링에 좌우되도록 분리시켜 리텐션 특성을 개선시킨다. 따라서, 프로그램/소거 특성과 리텐션 특성을 동시에 개선시킬 수 있으며, 또한, 완충 산화막에 의해 리텐션 특성이 좌우되기 때문에 사이클링에 거의 무관하게 리텐션 특성을 얻을 수 있어 비휘발성 양자 트랩 소자를 만들 수 있는 효과가 있다.

대표도

도 1

색인어

레텐션, 양자 트랩 디바이스, SONOS, SONONOS

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 SONONOS 소자의 밴드 다이어그램을 도시한 도면이고,

도 2는 본 발명에 따른 프로그램 시 SONONOS 밴드 다이어그램을 나타낸 도면이며,

도 3은 본 발명에 따른 프로그램 완료 후, 리텐션 모드에서의 SONONOS 밴드 다이어그램을 나타낸 도면이다.

<도면의 주요부분에 대한 부호의 설명>

Sandisk Technologies, Inc. - Ex. 1002, Page 000734

102 : 터널 산화막 103 : 완충 질화막

104 : 완충 산화막 105 : 트랩 질화막

106 : 블록 산화막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 양자 트랩 디바이스의 에스오엔오엔오에스(poly Silicon Oxide Nitride Oxide Nitride Oxide Silicon, SONONOS) 소자 리텐션 특성 개선방법에 관 한 것으로, 특히 SONONOS 구조를 사용함에 있어서, 터널 산화막의 터널링에 의해 프로그램/소거의 특성을 개선하며, 완충 산화막의 터널링에 좌우되도록 분리시켜 리텐션 특성을 개선시킬 수 있도록 하는 방법에 관한 것이다.

통상적으로, 양자 트랩 디바이스는 nvSRAM 또는 차세대 플래쉬 메모리 소자로 주목을 받고 있으며, 그 구조는 에스오엔오에스(poly Silicon Oxide Nitride Oxide Silicon, SONOS), MNOS(Metal Nitride Oxide Silicon) 구조를 많이 사용하고 있다.

이중, SONOS 구조는 현재에도 많이 사용하고 있는데, 이는 게이트 쪽에 높은 전압을 걸어주어 실리콘 기판에 있는 전자나 정공을 터널링시켜 질화막 내에 존재하는 무수히 많은 트랩 사이트에 트랩핑(trapping)시키거나 디트랩핑(De-trapping)시킴으로써 SONOS 트랜지스터의 문턱전압을 변화시켜 데이터를 저장하게 된다.

이러한 SONOS 소자의 특성은 소노드 소자의 동작 속도를 좌우하는 프로그램/소거 특성과 얼마나 오랫동안 데이터를 보관할 수 있는지를 나타내는 리텐션 특성에 의해 결정적인 요소가 된다.

즉, 소노드 소자의 동작속도를 좌우하는 프로그램/소거 특성을 개선시키기 위해 터널링 옥사이드의 두께를 줄여 리텐션 특성을 열화시키거나, 또는 터널링 옥사이드의 두께를 증가시켜 리텐션 특성을 열화시키게 된다.

이와 같이, 프로그램/소거 특성과 리텐션 특성이 서로 트레이드 오프(trade-off) 지점에 있어 프로그램/소거 특성과 리텐션 특성을 동시에 개선시킬 수는 없는 상황임에 따라 프로그램/소거 특성과 리텐션 특성의 적절한 트레이드 오프 지점을 찾아 SONOS 소자의 ONO 두께를 최적화시키고 있는 것이다.

그러나, 소노드 소자는 프로그램 속도가 매우 느리기 때문에 그 속도를 플로팅 게이트 소자 수준으로 맞추기 위해서는 터널 옥사이드의 두께를 줄일 수밖에 없어 리텐션 특성을 개선시켜야 할 필요성이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상술한 필요성에 의해 안출된 것으로, 그 목적은 SONONOS 구조를 사용함에 있어서, 터널 산화막의 터널링에 의해 프로그램/소거의 특성을 개선하며, 완충 산화막의 터널링에 좌우되도록 분리시켜 리텐션 특성을 개선시킬 수 있도록 하는 양자 트랩 디바이스의 SONONOS 소자 리텐션 특성 개선방법을 제공함에 있다.

이러한 목적을 달성하기 위한 본 발명에서 양자 트랩 디바이스의 SONONOS 소자 리텐션 특성 개선방법은 실리콘 기판 측면에 위치한 터널 산화막(tunnel oxide) 층과 터널 산화막 층 옆에 완충 질화막을 삽입하고, 완충 질화막 옆에 완충 산화막을 삽입시키며, 삽입된 완충 산화막 옆에 블록 산화막으로 이루어져 있으며, 터널 산화막의 터널링에 의해 프로그램/소거의 특성을 개선시키며, 완충 산화막의 터널링에 좌우되도록 분리시켜 리텐션 특성을 개선시키는 것을 특징으로 한다.

발명의 구성 및 작용

이하, 첨부된 도면을 참조하여 본 발명의 구성 및 동작에 대하여 상세히 설명한다.

Sandisk Technologies, Inc. - Ex. 1002, Page 000735

도 1은 본 발명에 따른 SONONOS 소자의 밴드 다이어그램을 도시한 도면이다.

즉, 도 1을 참조하면, SONONOS 소자의 각 층에 대하여 설명하면, 실리콘 기판 측면에 위치한 터널 산화막(tunnel oxide)(102) 층은 전자나 정공이 터널링되기 때문에 그 두께를 최대한 얇게하여 터널링 전류를 증가시켜 최대한 많은 캐리어가 완충 질화막(103)의 컨덕션 밴드로 주입하도록 한다.

완충 질화막(103)은 그 두께를 최대한 얇게하여 터널 산화막(102)을 통해 터널링된 캐리어가 내부의 트랩에 트랩핑되는 양을 최대한 줄여야 한다. 즉, 완충 질화막(103)은 터널 산화막(102)과 완충 산화막(104) 사이에 존재하면서 컨덕션 밴드의 차이, 즉 완충 질화막(103)의 컨덕션 밴드와 완충 산화막(104)의 컨덕션 밴드의 차이를 1.05eV(또는, 1.85eV)로 유지시킴으로써 게이트 쪽에 일정 전압 이상만 걸어주면 완충 질화막(103)에 주입된 캐리어가 완충 산화막(104)을 F/N 터널링(Fowler-Nordheim Tunneling)하도록 함으로써 완충 산화막(104) 두께를 증가시키더라도 F/N 터널링하는 전류는 거의 동일하게 유지된다.

완충 산화막(104)은 양측면, 즉 완충 질화막(103)과 트랩 질화막(105)으로 접해있기 때문에 컨덕션 밴드의 차이는 양측면 모두 1.05eV(또는, 1.85eV)로 일정하게 유지됨에 따라 게이트 쪽에 일정 전압 이상만 걸어주면 완충 산화막(104)내의 전계에 의해 전압 강하가 컨덕션 밴드 차이 이상이 되어 F/N 터널링이 발생하게 된다.

즉, F/N 터널링 전류의 경우, 완충 산화막(104)내에 걸려 있는 전계에 의해 좌우되고 완충 산화막(104) 두께와는 거의 무관하기 때문에 전계만 일정하게 유지시킨다면 완충 산화막(104) 두께를 증가시키더라도 프로그램 속도는 거의 일정하게 유지시킬 수 있다. 또한, 리텐션 모드에서는 증가시킨 완충 산화막(104) 두께가 그대로 터널링 길이로 작용하기 때문에 리텐션 특성을 급격하게 개선시키게 된다.

그리고, 완충 산화막(104)으로 산화 실리콘(SiO_2), 산화 알루미늄(Al_2O_3) 막질을 사용하며, 완충 산화막(104) 막질 양측면에 존재하는 완충 질화막(103)과 트랩 질화막(105) 간의 낮은 밴드갭 차이를 이용하여 프로그램 소거 시, F/N 터널링이 발생되며, 리텐션 모드에서는 다이렉트 터널링이 발생한다.

다음으로, 트랩 질화막(105)은 터널링된 캐리어를 내부적으로 존재하는 트랩 사이트에 트랩핑시켜 문턱전압(threshold voltage)을 변화시키게 되며, 기존 전계를 얻기 위해서는 트랩 질화막(105)의 두께를 스케일링(scaling) 시킨다.

블록 산화막(block oxide)(106)은 기존 SONOS 구조에서의 블록 산화막과 동일한 역할을 수행한다.

도 2는 본 발명에 따른 프로그램 시 SONONOS 밴드 다이어그램을 나타낸 도면으로서, 완충 산화막(104) 터널링 길이는 완충 산화막(104) 두께와 상관없이 대략 10Å 정도로 일정하게 유지되기 때문에 완충 산화막(104) 두께를 증가시켜 프로그램 특성은 거의 동일하게 유지시키면서 리텐션 특성을 급격하게 개선시킬 수 있다.

도 3은 본 발명에 따른 프로그램 완료 후, 리텐션 모드에서의 SONONOS 밴드 다이어그램을 나타낸 도면으로서, 우선 완충 질화막(103)에 트랩된 전자는 수초이내에 반도체 기판으로 터널링되어 빠져나가기 때문에 완충 질화막(103)에 트랩된 전자는 장시간 리텐션(long-time retention) 특성에는 영향을 주지 않는다.

즉, 완충 질화막(103)에 트랩된 전자는 수초이내에 빠져나감으로, 실제 문턱 전압 변경에 기여하지 못하기 때문에 이러한 효과를 최소화시키기 위해 완충 질화막(103)의 두께를 최대한 작게 제어하여야 한다.

그리고, 트랩 질화막(105)에 트랩핑된 전자는 다이렉트 터널링(direct tunneling), 트랩 보조 터널링(trap assisted tunneling), poole-frenkel emission amp; band-to-band 터널링 등이 발생되는데, 이때 터널링 길이는 완충 산화막(104)의 두께가 됨으로 완충 산화막(104)의 두께를 두껍게 하여 리텐션 특성을 급격히 개선시킬 수 있다.

또한, SONONOS 구조에 있어서, 리텐션 특성을 개선시키기 위해 실질적으로 꼭 필요한 것은 완충 산화막이므로, 사이클링에 상관없이 거의 동일한 리텐션 특성을 얻을 수 있다. 그리고, 소거 경우도 앞에서 언급된 프로그램 경우와 동일한 메커니즘에 의해서 소거 특성과 리텐션 특성을 동시에 개선시킬 수 있다.

발명의 효과

상기와 같이 설명한 본 발명은 SONONOS 구조를 사용함에 있어서, 터널 산화막의 터널링에 의해 프로그램/소거의 특성을 개선하며, 완충 산화막의 터널링에 좌우되도록 분리시켜 리텐션 특성을 개선시킴으로써, 프로그램/소거 특성과 리텐션 특성을 동시에 개선시킬 수 있다.

Sandisk Technologies, Inc. - Ex. 1002, Page 000736

또한, 완충 산화막에 의해 리텐션 특성이 좌우되기 때문에 사이클링에 거의 무관하게 리텐션 특성을 얻을 수 있어 비휘발성 양자 트랩 소자를 만들 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.
양자 트랩 디바이스의 에스오엔오에스(poly Silicon Oxide Nitride Oxide Silicon, SONOS) 소자 리텐션 특성 개선방법에 있어서,

실리콘 기판 측면에 위치한 터널 산화막(tunnel oxide) 층과 상기 터널 산화막 층 옆에 완충 질화막을 삽입하고, 상기 완충 질화막 옆에 완충 산화막을 삽입시키며, 상기 삽입된 완충 산화막 옆에 블록 산화막으로 이루어져 있으며,

상기 터널 산화막의 터널링에 의해 프로그램/소거의 특성을 개선시키며, 상기 완충 산화막의 터널링에 좌우되도록 분리시켜 리텐션 특성을 개선시키는 것을 특징으로 하는 양자 트랩 디바이스의 에스오엔오엔오에스(poly Silicon Oxide Nitride Oxide Nitride Oxide Silicon, SONONOS) 소자 리텐션 특성 개선방법.

청구항 2.
제 1 항에 있어서,

상기 완충 질화막에 트랩된 캐리어에 의해 문턱 전압이 변하는 현상을 최소화시키기 위해 상기 완충 질화막의 두께를 20Å 이하로 얇게 증착하는 것을 특징으로 하는 양자 트랩 디바이스의 SONONOS 소자 리텐션 특성 개선방법.

청구항 3.
제 1 항에 있어서,

상기 완충 산화막의 두께는 20~ 35Å 으로 두껍게 증착하는 것을 특징으로 하는 양자 트랩 디바이스의 SONONOS 소자 리텐션 특성 개선방법.

청구항 4.
제 1 항에 있어서,

상기 완충 산화막으로 산화 실리콘(SiO2), 산화 알루미늄(Al2O3) 막질을 사용하며, 상기 완충 산화막 막질 양측면에 존재하는 완충 질화막과 트랩 질화막 간의 낮은 밴드갭 차이를 이용하여 프로그램 소거 시, F/N 터널링이 발생되며, 리텐션 모드에서는 다이렉트 터널링이 발생하는 것을 특징으로 하는 양자 트랩 디바이스의 SONONOS 소자 리텐션 특성 개선방법.

청구항 5.
제 1 항에 있어서,

상기 터널 산화막의 두께를 20Å 이하로 얇게 증착하여 프로그램 소거 시, 터널링 전류를 최대로 증가시키는 것을 특징으로 하는 양자 트랩 디바이스의 SONONOS 소자 리텐션 특성 개선방법.

청구항 6.
제 1 항에 있어서,

상기 터널 산화막의 두께에 따라 프로그램 소거 특성이 좌우되며, 상기 완충 산화막의 두께에 따라 리텐션 특성이 좌우되는 것을 특징으로 하는 양자 트랩 디바이스의 SONONOS 소자 리텐션 특성 개선방법.

청구항 7.
제 1 항에 있어서,

상기 완충 질화막과 트랩 질화막 사이에 완충 산화막을 삽입함에 따라 사이 클링과 무관한 리텐션 특성을 얻을 수 있는 것을 특징으로 하는 양자 트랩 디바이스의 SONONOS 소자 리텐션 특성 개선방법.

청구항 8.
제 7 항에 있어서,

Sandisk Technologies, Inc. - Ex. 1002, Page 000737

상기 완충 질화막과 트랩 질화막 사이에 완충 산화막을 삽입된 SONONOS 구조를 통해 프로그램 소거 특성과 리텐션 특성을 동시에 개선시킬 수 있는 것을 특징으로 하는 양자 트랩 디바이스의 SONONOS 소자 리텐션 특성 개선방법.

청구항 9.
제 8 항에 있어서,

상기 SONONOS 구조에서 블록 산화막을 제거하고, 상기 제거된 블록 산화막 층에 상기 트랩 질화막의 두께를 증가시켜 새로운 층을 형성시키는 것을 특징으로 하는 양자 트랩 디바이스의 SONONOS 소자 리텐션 특성 개선방법.

청구항 10.
제 9 항에 있어서,

상기 SONONOS 구조에서 산화막과 질화막을 추가로 더 증착시켜 프로그램 소거 특성과 리텐션 특성을 동시에 개선시킬 수 있는 것을 특징으로 하는 양자 트랩 디바이스의 SONONOS 소자 리텐션 특성 개선방법.

청구항 11.
제 1 항에 있어서,

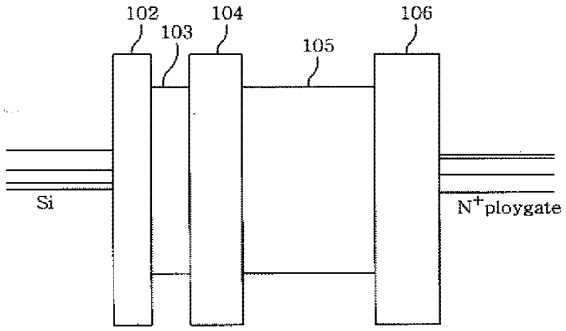
상기 완충 산화막과 상기 블록 산화막 사이에 옥시 질화막(oxy nitride)을 사용하는 것을 특징으로 하는 양자 트랩 디바이스의 SONONOS 소자 리텐션 특성 개선방법.

청구항 12.
제 1 항에 있어서,

상기 트랩 질화막을 스케일링(scaling)시켜 상기 SONOS 구조와 동일한 전계를 얻을 수 있는 것을 특징으로 하는 양자 트랩 디바이스의 SONONOS 소자 리텐션 특성 개선방법.

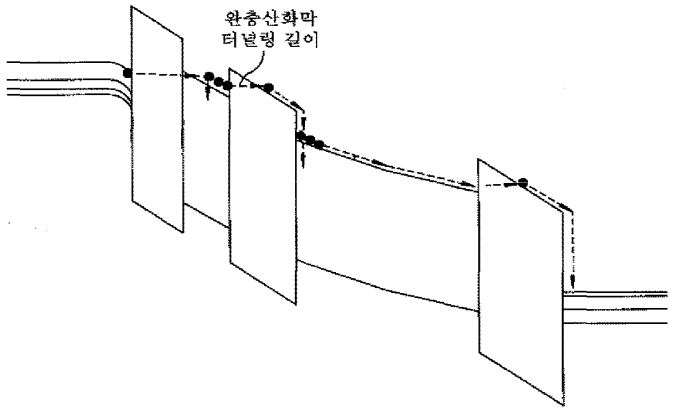
도면

도면1

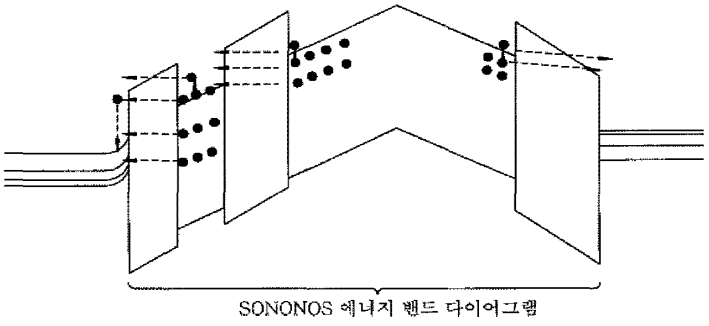


Sandisk Technologies, Inc. - Ex. 1002, Page 000738

도면2



도면3



Sandisk Technologies, Inc. - Ex. 1002, Page 000739

Espacenet

JP2012004249A SEMICONDUCTOR MEMORY AND METHOD OF MANUFACTURING THE SAME

Applicants: TOSHIBA CORP

Inventors: FUJITSUKA RYOTA,KAI TETSUYA,OZAWA YOSHIO,TSUNASHIMA YOSHITAKA

Classifications:
IPC ***H01L21/8247; H01L27/115; H01L29/788; H01L29/792;***

CPC **H01L27/11578 (EP,US); H01L27/11582 (EP,US); H01L29/66666 (US); H01L29/66833 (EP,US); H01L29/7926 (EP,US);**

Priorities: JP2010136532A 2010-06-15

Application: JP2012004249A·2010-06-15

Publication: JP2012004249A·2012-01-05

Published as: JP2012004249A;**JP5514004B2; US2011303969A1; US2014308789A1; US8796757B2; US9293563B2**

SEMICONDUCTOR MEMORY AND METHOD OF MANUFACTURING THE SAME

Abstract

PROBLEM TO BE SOLVED: To provide a semiconductor memory capable of preventing movement of electric charges between adjacent memory cells and capable of improving charge retention characteristics of memory cells, and to provide a method of manufacturing the same.SOLUTION: The semiconductor memory comprises: a silicon layer 70 formed in a columnar shape on a silicon substrate 10; a gate insulating film formed by a tunnel insulating film 60, a charge storage layer 50, and a block insulating layer 40 so as to surround the silicon layer 70; and laminate structure that is formed so as to surround the gate insulating film, and in which a plurality of interlayer dielectric films 20 and a plurality of control gate electrode layers 30 are alternately laminated on the substrate 10. In the semiconductor memory, memory cells are configured by vertical transistors composed of the silicon layer 70, the tunnel insulating film 60, the charge storage layer 50, the block insulating film 40, and the control gate electrode layers 30. The charge storage layer 50 includes regions having a lower trap level than portions adjacent to the memory cells therein, in between the memory cells vertically adjacent to each other.

Sandisk Technologies, Inc. - Ex. 1002, Page 000740

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2012-4249
(P2012-4249A)
(43)公開日　平成24年1月5日(2012.1.5)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 27/115	(2006.01)	H01L	27/10	434	5F083
H01L 21/8247	(2006.01)	H01L	29/78	371	5F101
H01L 29/788	(2006.01)				
H01L 29/792	(2006.01)				

審査請求 未請求　請求項の数 10　OL　（全 12 頁）

(21)出願番号　特願2010-136532 (P2010-136532)
(22)出願日　平成22年6月15日 (2010.6.15)

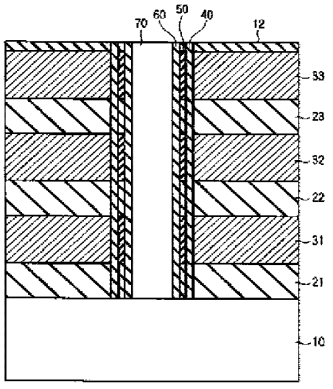
(71)出願人　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100108855
弁理士　蔵田　昌俊
(74)代理人　100091351
弁理士　河野　哲
(74)代理人　100088683
弁理士　中村　誠
(74)代理人　100109830
弁理士　福原　淑弘
(74)代理人　100075672
弁理士　峰　隆司
(74)代理人　100095441
弁理士　白根　俊郎

最終頁に続く

(54)【発明の名称】半導体記憶装置及びその製造方法

(57)【要約】
【課題】　隣接メモリセル間の電荷の移動を抑制することができ、メモリセルの電荷保持特性の向上をはかる。
【解決手段】　シリコン基板１０上に柱状に形成されたシリコン層７０と、シリコン層７０を囲むようにトンネル絶縁膜６０，電荷蓄積層５０，及びブロック絶縁膜４０が形成されたゲート絶縁膜部と、ゲート絶縁膜部を囲むように形成され、且つ基板１０上に複数の層間絶縁膜２０と複数の制御ゲート電極層３０が交互に積層された積層構造部とを有し、シリコン層７０，トンネル絶縁膜６０，電荷蓄積層５０，ブロック絶縁膜４０，及び制御ゲート電極層３０からなる縦型トランジスタでメモリセルを構成した半導体記憶装置であって、電荷蓄積層５０は、縦方向に隣接するメモリセル間に電荷蓄積層５０のメモリセルに隣接する部分よりもトラップ準位の低い領域を有する。
【選択図】　図１

図1



【特許請求の範囲】
【請求項１】
シリコン基板上に柱状に形成されたシリコン層と、
前記シリコン層の側壁面を囲むようにトンネル絶縁膜，電荷蓄積層，及びブロック絶縁膜が形成されたゲート絶縁膜部と、
前記ゲート絶縁膜部の側壁面を囲むように形成され、且つ前記基板上に複数の層間絶縁膜と複数の制御ゲート電極層が交互に積層された積層構造部と、
を有し、前記シリコン層，トンネル絶縁膜，電荷蓄積層，ブロック絶縁膜，及び制御ゲート電極層からなる縦型トランジスタでメモリセルを構成した半導体記憶装置であって、
前記電荷蓄積層は、縦方向に隣接するメモリセル間に前記電荷蓄積層の前記メモリセルに隣接する部分よりもトラップ準位の低い領域を有することを特徴とする半導体記憶装置。
【請求項２】
前記電荷蓄積層はシリコン窒化膜であり、前記トンネル絶縁膜及び前記ブロック絶縁膜はシリコン酸化膜であり、前記電荷蓄積層の隣接するメモリセル間は、前記電荷蓄積層の前記メモリセルに隣接する部分よりも窒素濃度が低い領域を有することを特徴とする請求項１記載の半導体記憶装置。
【請求項３】
前記シリコン層は一方向及びこれと交差する方向に二次元配置され、前記シリコン層に隣接して前記積層構造部に、前記一方向に隣接するメモリセルを分離する素子分離用トレンチが形成されていることを特徴とする請求項１記載の半導体記憶装置。
【請求項４】
シリコン基板上に、複数の層間絶縁膜と複数の制御ゲート電極層とを交互に積層した積層構造部を形成する工程と、
前記積層構造部に、前記基板の表面に対し垂直方向に沿ってセル用トレンチを形成する工程と、
前記セル用トレンチの側壁に沿って、ブロック絶縁膜，電荷蓄積層，及びトンネル絶縁膜を上記順に形成する工程と、
前記セル用トレンチ内に、前記トンネル絶縁膜に接してシリコン層を埋め込み形成する工程と、
前記セル用トレンチの近傍で前記電荷蓄積層及び前記層間絶縁膜に素子分離用トレンチを形成した後、酸化性雰囲気で熱処理することによって、前記電荷蓄積層の前記層間絶縁膜に対向する部分を酸化する工程と、
を含むことを特徴とする半導体記憶装置の製造方法。
【請求項５】
前記層間絶縁膜として、ＣＶＤ法によるシリコン酸化膜、又はポリシラザンの塗布膜を用いたことを特徴とする請求項４記載の半導体装置の製造方法。
【請求項６】
前記電荷蓄積層を酸化するための酸化性雰囲気での熱処理として、水蒸気酸化を行うことを特徴とする請求項４又は５に記載の半導体装置の製造方法。
【請求項７】
シリコン基板上に、複数の層間絶縁膜と複数の制御ゲート電極層を交互に積層した積層構造部を形成する工程と、
前記積層構造部に、前記基板の表面に対し垂直方向に沿ってセル用トレンチを形成する工程と、
前記セル用トレンチの側壁に沿って、ブロック絶縁膜，電荷蓄積層，及びトンネル絶縁膜を上記順に形成する工程と、
前記セル用トレンチ内に、前記トンネル絶縁膜に接してシリコン層を埋め込み形成する工程と、
前記セル用トレンチの近傍で前記電荷蓄積層及び前記層間絶縁膜に素子分離用トレンチ

Sandisk Technologies, Inc. - Ex. 1002, Page 000742

を形成した後、水洗処理を施すことによって前記層間絶縁膜に水分を含浸させる工程と、
前記層間絶縁膜への水分の含浸工程後に熱処理を施すことによって、前記電荷蓄積層の前記層間絶縁膜に対向する部分を酸化する工程と、
を含むことを特徴とする半導体記憶装置の製造方法。
【請求項８】
前記層間絶縁膜として、シリコン酸化膜、又は吸湿性の高いＬａＯｘ，ＢＳＧ，ＢＰＳＧ，ＦＳＧを用いることを特徴とする請求項７記載の半導体装置の製造方法。
【請求項９】
シリコン基板上に、複数の層間絶縁膜と複数の制御ゲート電極層を交互に積層した積層構造部を形成する工程と、
前記積層構造部に、前記基板の表面に対し垂直方向に沿ってセル用トレンチを形成する工程と、
前記セル用トレンチの側壁に沿って、ブロック絶縁膜，電荷蓄積層，及びトンネル絶縁膜を上記順に形成する工程と、
前記セル用トレンチ内に、前記トンネル絶縁膜に接してシリコン層を埋め込み形成する工程と、
前記セル用トレンチの近傍で前記電荷蓄積層及び前記層間絶縁膜に素子分離用トレンチを形成した後、前記制御ゲート電極層をマスクに前記層間絶縁膜，前記ブロック絶縁膜，前記電荷蓄積層，及び前記トンネル絶縁膜をエッチングすることにより、前記電荷蓄積層を前記基板の表面に対し垂直方向に分離する工程と、
前記層間絶縁膜，前記ブロック絶縁膜，前記電荷蓄積層，及び前記トンネル絶縁膜をエッチングした部分に新たに層間絶縁膜を埋め込み形成する工程と、
を含むことを特徴とする半導体記憶装置の製造方法。
【請求項１０】
前記セル用トレンチを一方向及びこれと交差する方向にマトリックス状に形成し、前記素子分離用トレンチを方向前記一方向に隣接する前記セル用トレンチ間に形成することを特徴とする請求項４～９の何れかに記載の半導体記憶装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明の一実施形態は、縦型トランジスタからなる不揮発性メモリセルを用いた半導体記憶装置及びその製造方法に関する。
【背景技術】
【０００２】
近年、縦型トランジスタからなる不揮発性メモリセルを用いた半導体記憶装置が提案されている。この装置では、シリコン基板表面上に、制御ゲート電極層（ワードライン電極層）と層間絶縁膜（ワードライン間絶縁膜層）が交互に水平に堆積される。これらの積層構造部にシリコン基板表面に対して垂直方向にトレンチが形成され、トレンチ内に電気的に絶縁された電荷蓄積層を有する縦型トランジスタが形成される。これにより、高密度なメモリセル構造を実現することができる。
【０００３】
しかしながら、この種の装置にあっては次のような問題があった。即ち、縦方向に隣接するメモリセル間で電荷蓄積層が繋がっており、セル蓄積電荷が隣接セルへ移動して電荷保持特性が悪化するという問題があった。通常のメモリセル構造とは異なり、縦型トランジスタを用いたメモリセル構造では、電荷蓄積層を隣接セル間で分離するのは極めて困難である。
【先行技術文献】
【特許文献】
【０００４】
【特許文献１】特開２００６－０８６６７４号公報

Sandisk Technologies, Inc. - Ex. 1002, Page 000743

【特許文献２】特開２００９－１４６９５４号公報
【発明の概要】
【発明が解決しようとする課題】
【０００５】
本発明は、隣接セル間の電荷の移動を抑制することができ、メモリセルの電荷保持特性の向上をはかり得る半導体記憶装置及びその製造方法を提供することを目的とする。
【課題を解決するための手段】
【０００６】
本発明の一形態は、シリコン基板上に柱状に形成されたシリコン層と、前記シリコン層の側壁面を囲むようにトンネル絶縁膜，電荷蓄積層，及びブロック絶縁膜が形成されたゲート絶縁膜部と、前記ゲート絶縁膜部の側壁面を囲むように形成され、且つ前記基板上に複数の層間絶縁膜と複数の制御ゲート電極層が交互に積層された積層構造部と、を有し、前記シリコン層，トンネル絶縁膜，電荷蓄積層，ブロック絶縁膜，及び制御ゲート電極層からなる縦型トランジスタでメモリセルを構成した半導体記憶装置であって、前記電荷蓄積層は、縦方向に隣接するメモリセル間の領域に前記電荷蓄積層の前記メモリセルに隣接する部分よりもトラップ準位の低い領域を有することを特徴とする。
【０００７】
また、本発明の別の一態様に係わる半導体記憶装置の製造方法は、シリコン基板上に、複数の層間絶縁膜と複数の制御ゲート電極層とを交互に積層した積層構造部を形成する工程と、前記積層構造部に、前記基板の表面に対し垂直方向に沿ってセル用トレンチを形成する工程と、前記セル用トレンチの側壁に沿って、ブロック絶縁膜，電荷蓄積層，及びトンネル絶縁膜を上記順に形成する工程と、前記セル用トレンチ内に、前記トンネル絶縁膜に接してシリコン層を埋め込み形成する工程と、前記セル用トレンチの近傍で前記電荷蓄積層及び前記層間絶縁膜に素子分離用トレンチを形成した後、酸化性雰囲気で熱処理することによって、前記電荷蓄積層の前記層間絶縁膜に対向する部分を酸化する工程と、を含むことを特徴とする。
【図面の簡単な説明】
【０００８】
【図１】第１の実施形態に係わる不揮発性半導体記憶装置の素子構造を示す断面図。
【図２】第１の実施形態に係わる不揮発性半導体記憶装置の製造工程を示す断面図。
【図３】第１の実施形態に係わる不揮発性半導体記憶装置の製造工程を示す断面図。
【図４】第１の実施形態に係わる不揮発性半導体記憶装置の製造工程を示す平面図。
【図５】第３の実施形態に係わる不揮発性半導体記憶装置の製造工程を示す断面図。
【発明を実施するための形態】
【０００９】
以下、本発明の詳細を図示の実施形態によって説明する。
【００１０】
（第１の実施形態）
図１は、本発明の第１の実施形態に係わる不揮発性半導体記憶装置の素子構造を示す断面図である。
【００１１】
シリコン基板１０上に、柱状のシリコン層７０が基板１０の表面と垂直方向に形成されている。図１では１つのシリコン層７０のみを示すが、実際には基板１０上にＸ方向及びこれに直交するＹ方向にマトリックス状に複数個形成されている。
【００１２】
シリコン層７０を囲むようにゲート絶縁膜部が形成されている。即ち、シリコン層７０の側壁面に沿ってシリコン酸化膜からなるトンネル絶縁膜６０，シリコン窒化膜からなる電荷蓄積層５０，及びシリコン酸化膜からなるブロック絶縁膜４０が上記順に形成されている。
【００１３】

Sandisk Technologies, Inc. - Ex. 1002, Page 000744

ゲート絶縁膜部を囲むように、基板１０上に複数の層間絶縁膜２０（２１，２２，２３）と複数の制御ゲート電極層３０（３１，３２，３３）が交互に積層された積層構造部が形成されている。即ち、制御ゲート電極３１，３２，３３がシリコン基板１０上に基板表面に対して水平に形成されて、それぞれの制御ゲート電極３１，３２，３３間には、これらを電気的に分離するために層間絶縁膜２１，２２，２３が形成されている。ここで、層間絶縁膜２０はシリコン酸化膜であり、制御ゲート電極３０はポリシリコン膜である。また、制御ゲート電極層５０はメモリセルアレイのワードラインとなるものである。

【００１４】

ここまでの基本構成は、ＢｉＣＳ（Bit Cost Scalable）と称される不揮発性半導体記憶装置の一般的構成と同様であり、電荷蓄積層５０を有する複数の縦型トランジスタ（不揮発性メモリセル）が形成されている。そして、縦方向に隣接するトランジスタでソース／ドレインが共有されて、ＮＡＮＤセルユニットを構成している。このような構成においては、電荷蓄積層５０が縦方向に隣接するメモリセル間でつながっており、セル蓄積電荷が隣接セルへ移動して電荷保持特性が悪化するという問題がある。

【００１５】

そこで、本実施形態では上記構成に加えて、電荷蓄積層５０が隣接するセルトランジスタ間で分離されている。即ち、縦方向に隣接するメモリセル間で電荷蓄積層５０は分断され、この部分にはブロック絶縁膜４０やトンネル絶縁膜６０と同じシリコン酸化膜が形成されている。

【００１６】

このような構成であれば、縦方向に隣接するメモリセル間で電荷蓄積層５０が連続することなく、メモリセル間がシリコン酸化膜で分離されているため、電荷蓄積層領域において隣接セル間でトラップ準位を無くす（若しくは低減）することができる。従って、メモリセルに書き込まれた電荷が、隣接セルへ移動するのを未然に防止することができ、電荷保持特性の向上をはかることができる。

【００１７】

次に、本実施形態の不揮発性半導体記憶装置の製造方法について、図２乃至図４を参照して説明する。

【００１８】

まず、図２（ａ）に示すように、シリコン基板１０上に、層間絶縁膜２０（２１，２２，２３）及び制御ゲート電極層３０（３１，３２，３３）を交互に積層した積層構造部を形成する。即ち、基板１０上に、層間絶縁膜２１、制御ゲート電極層３１、層間絶縁膜２２、制御ゲート電極層３２、層間絶縁膜２３、制御ゲート電極層３３という順番で積層する。図では制御ゲート電極層３０の３層構造を示しているが、４層以上であっても良いのは勿論のことである。層間絶縁膜２０及び制御ゲート電極層３０の膜厚は、例えば数十ｎｍである。

【００１９】

制御ゲート電極層３０としては、４５０℃～６５０℃とした反応炉内にモノシラン（SiH_4）とフォスフィン（PH_3）を導入し、０．１～１Torr圧力に維持することによるＣＶＤ法により、Ｐ添加シリコン膜を形成すればよい。また、層間絶縁膜２０としては、６００℃～８００℃とした反応炉内にジクロルシラン（SiH_2Cl_2）と亜酸化窒素（N_2O）を導入し、０．１～５Torr圧力に維持することによるＣＶＤ法により、シリコン酸化膜を形成すればよい。

【００２０】

ここで、層間絶縁膜２０として、密度が低い絶縁膜を形成することにより、後述する層間絶縁膜２０を通しての電荷蓄積層４０への酸素の導入効率を高めるようにしても良い。密度が低い絶縁膜の形成方法としては、ＴＥＯＳガスを用いたＣＶＤ法でシリコン酸化膜を形成する、又はポリシラザン等の塗布膜を形成すればよい。

【００２１】

次いで、図２（ｂ）に示すように、トレンチ加工用のハードマスクとして、６００℃～

Sandisk Technologies, Inc. - Ex. 1002, Page 000745

８００℃とした反応炉内にジクロルシラン（SiH_2Cl_2）とアンモニア（NH_3）を導入し、０．１～１Torr圧力に維持することによるＣＶＤ法によりシリコン窒化膜１２を堆積する。そして、シリコン窒化膜１２上にフォトレジスト膜１３を形成する。

【００２２】

次いで、図２（ｃ）に示すように、フォトリソグラフィーによって、トレンチを形成する場所のみフォトレジスト膜１３を開口する。続いて、ドライエッチングによってフォトレジスト膜１３が開口された下部のシリコン窒化膜１２を除去した後、フォトレジスト膜１３を除去する。

【００２３】

次いで、図２（ｄ）に示すように、シリコン窒化膜１２をハードマスクとしてＲＩＥにより層間絶縁膜２０と制御ゲート電極層３０の積層膜を選択エッチングすることにより、セル用トレンチ１５を形成する。図４（ａ）はこの状態を示す平面図であり、図２（ｄ）は図４（ａ）の矢視Ａ－Ａ’断面に相当している。図４（ａ）に示すように、セル用トレンチ１５は、紙面左右方向（Ｘ方向）及びこれに直交する紙面上下方向（Ｙ方向）にマトリックス状に配置されている。

【００２４】

次いで、ハードマスクであるシリコン窒化膜１２をウエットエッチングにより除去した後、図３（ｅ）に示すように、セル用トレンチ１５の側壁面に、ブロック絶縁膜４０，電荷蓄積層５０，及びトンネル絶縁膜６０を順に形成する。ここで、ブロック絶縁膜４０の膜厚は例えば１０ｎｍ、電荷蓄積層５０の膜厚は例えば５ｎｍ、トンネル絶縁膜６０の膜厚は例えば８ｎｍである。

【００２５】

具体的には、まずブロック絶縁膜４０として、６００℃～８００℃とした反応炉内にジクロルシラン（SiH_2Cl_2）と亜酸化窒素（N_2O）を導入し、０．１～５Torr圧力に維持することにより、ＣＶＤシリコン酸化膜をトレンチ１５の側壁面に堆積する。続いて、電荷蓄積層５０として、６００～８００℃とした反応炉内にジクロルシラン（SiH_2Cl_2）とアンモニア（NH_3）を導入し、０．１～１Torr圧力に維持することにより、ＣＶＤシリコン窒化膜をブロック絶縁膜４０の側壁面に形成する。その後、トンネル絶縁膜６０として、例えば６００℃～８００℃とした反応炉内にジクロルシラン（SiH_2Cl_2）と亜酸化窒素（N_2O）を導入し、０．１～５Torr圧力に維持することにより、ＣＶＤシリコン酸化膜を電荷蓄積層５０の側壁面に形成する。

【００２６】

なお、ハードマスクとしてのシリコン窒化膜１２は、必ずしもゲート絶縁膜部の形成の前に除去する必要はなく、保護絶縁膜として残しておいても良い。

【００２７】

次いで、図３（ｆ）に示すように、４５０℃～６５０℃とした反応炉内にモノシラン（SiH_4）を導入し、０．１～１Torr圧力に維持することによるＣＶＤ法により、シリコン層７０をセル用トレンチ１５内に埋め込み形成する。図４（ｂ）はこの状態を示す平面図であり、図３（ｆ）は図４（ｂ）の矢視Ｂ－Ｂ’断面に相当している。

【００２８】

ここまでの工程により、柱状のシリコン層７０を囲むようにトンネル絶縁膜６０，電荷蓄積層５０，ブロック絶縁膜４０，及び制御ゲート電極層３０を有する縦型トランジスタからなる複数の不揮発性メモリセルが形成されることになる。

【００２９】

次いで、本実施形態では更に図３（ｇ）に示すように、セル用トレンチ１５に隣接した領域に素子分離用トレンチ１７を形成する。図４（ｃ）はこの状態を示す平面図であり、図３（ｇ）は図４（ｃ）の矢視Ｃ－Ｃ’断面に相当している。トレンチ１５を挟んで両側に素子分離用トレンチ１７が形成される。即ち、Ｘ方向に隣接するセル用トレンチ１５間に素子分離用トレンチ１７が形成されることになる。

【００３０】

Sandisk Technologies, Inc. - Ex. 1002, Page 000746

次いで、酸化性雰囲気による熱処理、例えば７００℃以上の温度で水蒸気酸化を行うことにより、図３（ｈ）に示すように、電荷蓄積層５０の隣接セル領域を酸化する。即ち、層間絶縁膜２０を通してシリコン窒化膜からなる電荷蓄積層５０に酸素が供給され、電荷蓄積層５０の層間絶縁膜２０に対向する部分が酸化膜若しくは酸窒化膜となる。これにより、電荷蓄積層５０は縦方向に隣接するメモリセル間でシリコン酸化膜若しくはシリコン酸窒化膜により分離されることになる。

【００３１】

ここで、電荷蓄積層５０は必ずしもメモリセル間で完全にシリコン酸化膜若しくはシリコン酸窒化膜になっている必要はなく、部分的に酸化膜若しくは酸窒化膜になっていれば良く、窒化膜のまま残っている部分があっても構わない。つまり、電荷蓄積層５０は、必ずしも隣接セル間で完全に分離されている必要はなく、隣接セル間にトラップ順位の低い領域を有するものであればよい。

【００３２】

このように本実施形態によれば、縦方向に隣接するメモリセル間領域の電荷蓄積層５０は酸化されシリコン酸化膜若しくはシリコン酸窒化膜となり、電荷蓄積層５０が隣接セル間で分離されることになる。従って、メモリセル部の電荷蓄積層５０の蓄積電荷が隣接セルに移動するのを防ぐことができ、電荷保持特性の向上をはかることができる。しかも、特殊なプロセスや材料等を要することなく、通常のエッチング処理及び酸化処理を付加するだけで実現することができる。

【００３３】

また、層間絶縁膜２０として、通常のシリコン酸化膜よりも密度の低い絶縁膜を用いることにより、層間絶縁膜２０を通しての電荷蓄積層５０への酸素の導入効率を高めることもできる。この場合、隣接セル間における電荷蓄積層５０の酸化をより確実に行うことが可能となる。

【００３４】

（第２の実施形態）

次に、前記図１の不揮発性半導体記憶装置の別の製造方法を説明する。

【００３５】

本実施形態では、層間絶縁膜２０中の水分で側壁部の蓄積層領域でシリコン窒化膜を酸化して電荷蓄積層の分離を行う。

【００３６】

まず、前記図２（ａ）～（ｄ）に示すように、層間絶縁膜２０と制御ゲート電極層３０を積層し、最後にトレンチ加工用のハードマスクとしてシリコン窒化膜１２、フォトレジスト膜１３を形成する。各膜の材料及び形成方法は第１の実施形態と同じである。続いて、フォトレジスト膜１３を開口し、フォトレジスト膜１３が開口された下部のシリコン窒化膜１２を除去した後、フォトレジスト膜１３を除去する。その後、シリコン窒化膜１２をハードマスクとしてＲＩＥにより、層間絶縁膜２０と制御ゲート電極３０の積層膜をトレンチ加工する。

【００３７】

次いで、前記図３（ｅ）～（ｇ）に示すように、セル用トレンチ１５の内壁面にブロック絶縁膜４０，電荷蓄積層５０，及びトンネル絶縁膜６０を堆積する。さらに、トレンチ１５を埋め込むようにシリコン層７０を形成する。続いて、セル用トレンチ１５に隣接した領域に素子分離用トレンチ１７を形成する。ここまでの工程は、第１の実施形態と同様である。

【００３８】

次いで本実施形態では、ウェット洗浄装置等を用いて水洗処理を施すことにより、素子分離用トレンチ１７を介して層間絶縁膜２０に水分を含ませて吸湿させる。ここで、吸湿させる別の方法として、水蒸気を含む雰囲気に晒すことにより吸湿させてもよい。続いて、４００～１１００℃とした反応炉内に入れることによる熱処理によって、層間絶縁膜２０に吸湿した水分を蒸発させ、この蒸気により層間絶縁膜２０に隣接した電荷蓄積層５０

Sandisk Technologies, Inc. - Ex. 1002, Page 000747

を酸化する。これにより、電荷蓄積層５０のセル間領域はシリコン酸化膜又はシリコン酸窒化膜となる。

【００３９】

ここで、電荷蓄積層５０のセル間領域は完全にシリコン酸化膜シリコン酸窒化膜になっている必要はなく、部分的に酸化膜若しくは酸窒化膜になっていれば良く、窒化膜のまま残っている部分があっても構わない。つまり、電荷蓄積層５０は、必ずしも隣接セル間で完全に分離されている必要はなく、隣接セル間にトラップ順位の低い領域を有するものであればよい。

【００４０】

このように本実施形態では、セル間領域の電荷蓄積層５０はシリコン酸化膜又はシリコン酸窒化膜となるため、セル間領域においてトラップ密度が低下する。従って、先に説明した第１の実施形態と同様に、セル間領域での電荷横抜けを低減でき、電荷保持特性を向上させることができる。

【００４１】

ここで、層間絶縁膜２０として、吸湿性の高いランタン酸化膜（ＬａＯｘ），ボロン・シリケートガラス（ＢＳＧ），ボロン・リン・シリケートガラス（ＢＰＳＧ），フルオロ・シリケートガラス（ＦＳＧ）、更にはＳＯＧのような塗布型有機系シリコン酸化膜，ポーラスシリコン酸化膜等を用いることにより、層間絶縁膜２０への水分の吸湿をより高めるようにしても良い。この場合、熱処理による水分蒸発量が多くなり、隣接セル間における電荷蓄積層５０の酸化をより確実に行うことが可能となる。

【００４２】

（第３の実施形態）

次に、図５を参照して、前記図１の不揮発性半導体記憶装置の更に別の製造方法を説明する。

【００４３】

本実施形態では、隣接セル間で電荷蓄積層５０を酸化するのではなく、電荷蓄積層５０を含むゲート絶縁膜部を隣接セル間でエッチングすることにより電荷蓄積層５０の分離を行う。

【００４４】

まず、前記図２（ａ）～（ｄ）に示すように、層間絶縁膜２０と制御ゲート電極層３０を積層し、最後にトレンチ加工用のハードマスクとしてシリコン窒化膜１２、フォトレジスト膜１３を形成する。各膜の材料及び形成方法は第１の実施形態と同じである。続いて、フォトレジスト膜１３を開口し、フォトレジスト膜１３が開口された下部のシリコン窒化膜１２を除去した後、フォトレジスト膜１３を除去する。その後、シリコン窒化膜１２をハードマスクとしてＲＩＥにより、層間絶縁膜２０と制御ゲート電極３０の積層膜をトレンチ加工する。

【００４５】

次いで、前記図３（ｅ）～（ｇ）に示すように、セル用トレンチ１５の内壁面にブロック絶縁膜４０，電荷蓄積層５０，及びトンネル絶縁膜６０を堆積する。さらに、トレンチ１５を埋め込むようにシリコン層７０を形成する。続いて、セル用トレンチ１５に隣接した領域に素子分離用トレンチ１７を形成する。ここまでの工程は、第１及び第２の実施形態と同様である。

【００４６】

次いで、本実施形態では図５（ａ）に示すように、ウエットエッチングを行うことによって、セル間領域の層間絶縁膜２０、ブロック絶縁膜４０、電荷蓄積層５０、及びトンネル絶縁膜６０を除去する。即ち、ポリシリコンとシリコン酸化膜及びシリコン窒化膜とのエッチング選択比の大きなエッチャントを用いることにより、制御ゲート電極層３０をマスクに層間絶縁膜２０，ブロック絶縁膜４０，電荷蓄積層５０，及びトンネル絶縁膜６０を選択的にエッチングすることができる。

【００４７】

Sandisk Technologies, Inc. - Ex. 1002, Page 000748

次いで、図５（ｂ）に示すように、ウエットエッチングで除去した領域をシリコン酸化膜からなる層間絶縁膜８０（８１，８２，８３）で埋め込むことにより、電荷蓄積層５０のセル間領域はシリコン酸化膜となる。この層間絶縁膜８０の埋め込み形成は、先に説明した層間絶縁膜２０の形成と同様にＣＶＤ法で実現可能である。

【００４８】

このように本実施形態によれば、上下に隣接する制御ゲート電極３０間の層間絶縁膜２０を除去すると共に、これと同じ位置にあるブロック絶縁膜４０、電荷蓄積層５０、及びトンネル絶縁膜６０を除去した後に、層間絶縁膜８０を再度形成することにより、電荷蓄積層５０が隣接セル間で分離されることになる。従って、メモリセル部の電荷蓄積層５０の蓄積電荷が隣接セルに移動するのを防ぐことができ、第１の実施形態と同様の効果が得られる。

【００４９】

なお、前記図５（ａ）のウエットエッチングで、層間絶縁膜２０、ブロック絶縁膜４０、電荷蓄積層５０、及びトンネル絶縁膜６０が完全には除去できず、これらの一部が残ってしまう可能性もある。しかし、電荷蓄積層２０の一部が除去できていれば、隣接セルへの蓄積電荷の移動抑制は可能である。即ち、層間絶縁膜２０、ブロック絶縁膜４０、電荷蓄積層５０、及びトンネル絶縁膜６０の選択エッチングが必ずしも完全でなくても、第１の実施形態と同様の効果が得られる。

【００５０】

また、層間絶縁膜２０を通してのシリコン窒化膜の酸化ではなく、隣接セル間でゲート絶縁膜部を除去した部分に新たにシリコン酸化膜を形成するために、電荷蓄積層５０の分離をより確実に行うことが可能となる。

【００５１】

（変形例）

なお、本発明は上述した各実施形態に限定されるものではない。実施形態では、セル用トレンチを円形にしたが、必ずしも円形に限らず楕円形であっても良いし、矩形にすることも可能である。さらに、素子分離用トレンチは、必ずしもセル用トレンチの両側にある必要はなく、少なくとも一方側にあればよい。

【００５２】

また、実施形態においてはメモリセル部分のみを示すが、ＮＡＮＤセルユニットを構成するために、最上層に選択トランジスタを形成しても良い。さらに、隣接するシリコン層の底部間を拡散層等によって電気的に接続することにより、ＮＡＮＤセルユニットを構成するメモリセルの数を増やすようにしても良い。

【００５３】

また、層間絶縁膜の材料はシリコン酸化膜に限らず適宜変更可能である。第１の実施形態のように層間絶縁膜を通して電荷蓄積層を酸化する場合は、酸素が通過しやすい低密度の絶縁膜であればよい。第２の実施形態のように層間絶縁膜中の水分を利用して電荷蓄積層を酸化する場合は、吸湿性の高い絶縁膜であればよい。第３の実施形態のようにエッチングした後に埋め戻す場合は、ポリシリコン等の制御ゲート電極材料と大きなエッチング選択比を確保できる絶縁膜であればよい。

【００５４】

また、各部の材料及び膜厚等は、仕様に応じて適宜変更可能である。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【符号の説明】

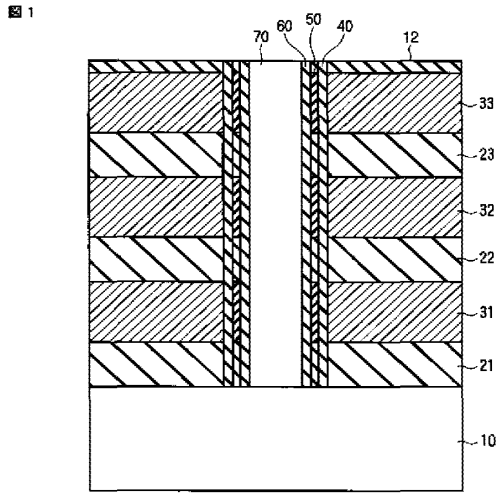
【００５５】

１０…シリコン基板
１２…シリコン窒化膜
１３…フォトレジスト膜
１５…セル用トレンチ
１７…素子分離用トレンチ

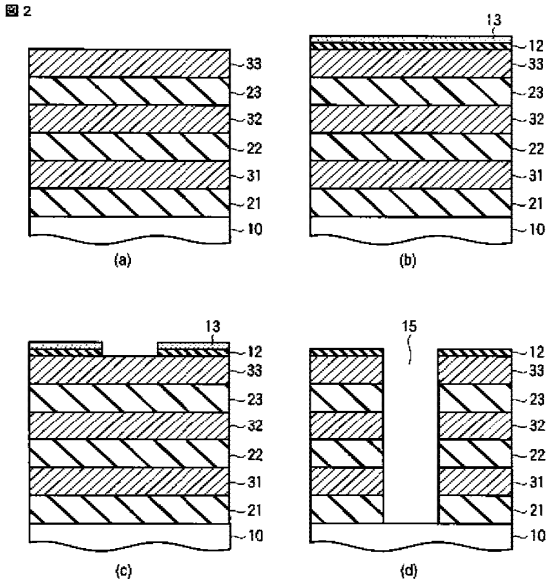
Sandisk Technologies, Inc. - Ex. 1002, Page 000749

２０（２１，２２，２３）…層間絶縁膜
３０（３１，３２，３３）…制御ゲート電極層
４０…ブロック絶縁膜
５０…電荷蓄積層
６０…トンネル絶縁膜
７０…シリコン層
８０（８１，８２．８３）…層間絶縁膜

【図１】

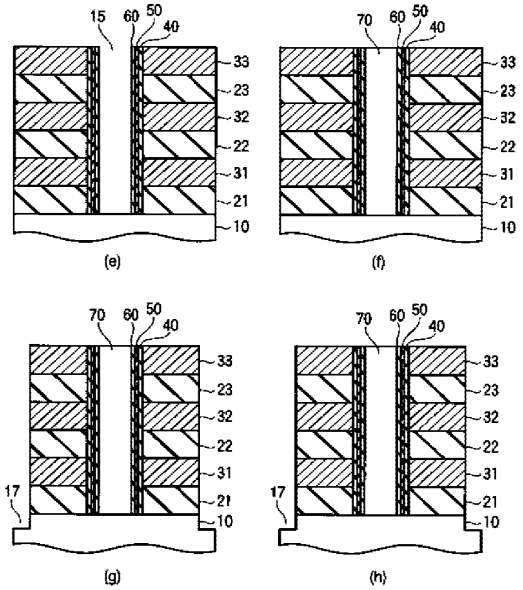


【図２】



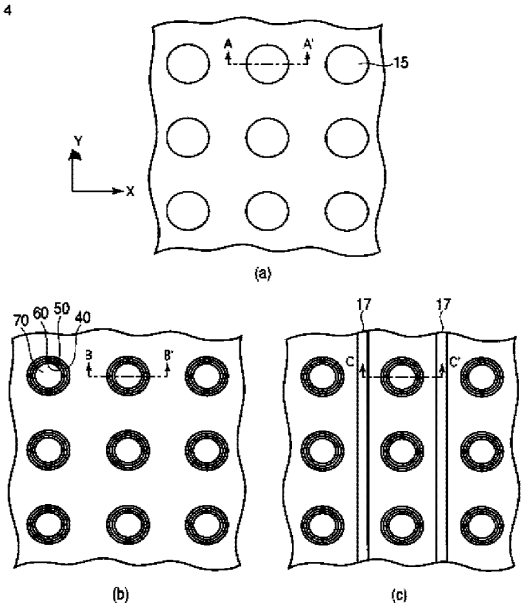
【図３】

図3



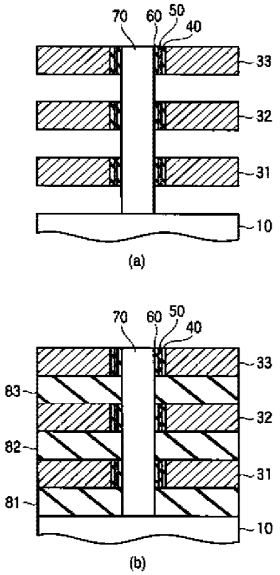
【図４】

図4



【図５】

図5



フロントページの続き

(74)代理人 100084618
弁理士 村松 貞男
(74)代理人 100103034
弁理士 野河 信久
(74)代理人 100119976
弁理士 幸長 保次郎
(74)代理人 100153051
弁理士 河野 直樹
(74)代理人 100140176
弁理士 砂川 克
(74)代理人 100101812
弁理士 勝村 紘
(74)代理人 100124394
弁理士 佐藤 立志
(74)代理人 100112807
弁理士 岡田 貴志
(74)代理人 100111073
弁理士 堀内 美保子
(74)代理人 100134290
弁理士 竹内 将訓
(74)代理人 100127144
弁理士 市原 卓三
(74)代理人 100141933
弁理士 山下 元
(72)発明者 甲斐 徹哉
東京都港区芝浦一丁目１番１号 株式会社東芝内
(72)発明者 小澤 良夫
東京都港区芝浦一丁目１番１号 株式会社東芝内
(72)発明者 藤塚 良太
東京都港区芝浦一丁目１番１号 株式会社東芝内
(72)発明者 綱島 祥隆
東京都港区芝浦一丁目１番１号 株式会社東芝内

Ｆターム(参考) 5F083 EP18 EP23 EP32 EP76 GA10 GA21 GA27 JA56 JA58 PR21
5F101 BA45 BB05 BD16 BD22 BD34 BF02

Espacenet

JP2011527824A null

Applicants:

Inventors:

Classifications:

IPC ***H01L21/8247; H01L27/115; H01L29/06; H01L29/788; H01L29/792;***

CPC **B82Y10/00 (EP); H01L29/0665 (EP); H01L29/0673 (EP); H01L29/0676 (EP); H01L29/42332 (EP); H01L29/66825 (EP); H01L29/7881 (EP); H01L29/803 (EP);** Y10S977/938 (EP);

Priorities: SE0801648A 2008-07-09; SE2009050857W 2009-07-02

Application: JP2011527824A 2009-07-02

Publication: JP2011527824A 2011-11-04

Published as: **CN102099913A; EP2297782A1;** JP2011527824A;**KR20110042178A; US2011140086A1; US8212237B2; WO2010005380A1**

null

Abstract

No abstract found. Please consult other publications of this patent family in "Available in", if displayed above.

Sandisk Technologies, Inc. - Ex. 1002, Page 000753

(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)特許出願公表番号
特表2011-527824
(P2011-527824A)
(43)公表日　平成23年11月4日(2011.11.4)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 21/8247	(2006.01)	H01L	29/78	371	5F083
H01L 29/788	(2006.01)	H01L	29/06	601N	5F101
H01L 29/792	(2006.01)	H01L	27/10	434	
H01L 29/06	(2006.01)				
H01L 27/115	(2006.01)				

審査請求 未請求　予備審査請求 未請求　（全 17 頁）

(21)出願番号　特願2011-517382 (P2011-517382)
(86)(22)出願日　平成21年7月2日 (2009.7.2)
(85)翻訳文提出日　平成23年2月28日 (2011.2.28)
(86)国際出願番号　PCT/SE2009/050857
(87)国際公開番号　WO2010/005380
(87)国際公開日　平成22年1月14日 (2010.1.14)
(31)優先権主張番号　0801648-7
(32)優先日　平成20年7月9日 (2008.7.9)
(33)優先権主張国　スウェーデン(SE)

(71)出願人　506177590
クナノ　アーベー
ＱｕＮａｎｏ　ＡＢ
スウェーデン国　ルント　エスイー－２２３　７０，イデオン　パーク（番地無し）
Ｉｄｅｏｎ　Ｐａｒｋ，ＳＥ－２２３　７０　Ｌｕｎｄ，Ｓｗｅｄｅｎ
(74)代理人　100076428
弁理士　大塚　康徳
(74)代理人　100112508
弁理士　高柳　司郎
(74)代理人　100115071
弁理士　大塚　康弘
(74)代理人　100116894
弁理士　木村　秀二

最終頁に続く

(54)【発明の名称】ナノ構造メモリデバイス

(57)【要約】
本発明は、電流輸送チャネルを形成する少なくとも１つの半導体ナノワイヤ（３）と、前記ナノワイヤ（３）の少なくとも一部の周りに配置された１つ以上のシェル層（４）と、前記１つ以上のシェル層（４）に埋め込まれたナノサイズの電荷捕獲中心（１０）と、前記１つ以上のシェル層（４）の少なくとも一部のそれぞれの周りに配置された１つ以上のゲート電極（１４）とを備えるナノ構造メモリデバイスを提供する。好ましくは、前記１つ以上のシェル層（４）は、ワイドバンドギャップ材料又は絶縁体で構成される。前記電荷捕獲中心（１０）は、前記１つ以上のゲート電極を用いることによってチャージされてもよく／書き込まれてもよく、１つ以上の前記電荷捕獲中心（１０）に蓄積された電荷量の変化は、前記ナノワイヤ（３）の導電率を変更する。
【選択図】図１

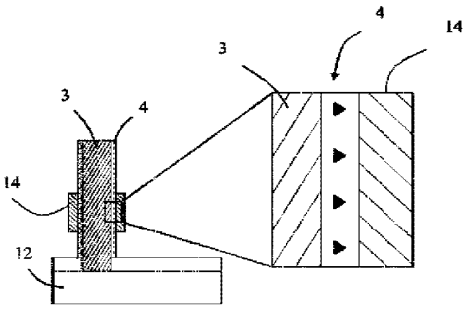


Fig. 1

【特許請求の範囲】
【請求項１】
電流輸送チャネルを形成する少なくとも１つの半導体ナノワイヤ（３）と、
前記ナノワイヤ（３）の少なくとも一部の周りに配置された１つ以上のシェル層（４）と、
前記１つ以上のシェル層（４）に埋め込まれたナノサイズの電荷捕獲中心（ｎａｎｏ－ｓｉｚｅｄ　ｃｈａｒｇｅ　ｔｒａｐｐｉｎｇ　ｃｅｎｔｒｅｓ）（１０）と、
ゲート電極（１４）の下の前記電荷捕獲中心（１０）に蓄積された電荷量を制御するために、前記１つ以上のシェル層（４）の少なくとも一部の周りに配置された第１のゲート電極（１４）と、
を有し、
１つ以上の前記電荷捕獲中心（１０）に蓄積された電荷量の変化は、前記ナノワイヤ（３）の導電率を変更することを特徴とするナノ構造メモリデバイス。
【請求項２】
前記電荷捕獲中心は、ワイドバンドギャップ半導体材料又は絶縁体に埋め込まれていることを特徴とする請求項１に記載のナノ構造メモリデバイス。
【請求項３】
前記電荷捕獲中心（１０）は、半導体ナノ結晶（ｓｅｍｉｃｏｎｄｕｃｔｏｒ　ｎａｎｏ　ｃｒｙｓｔａｌｓ）であることを特徴とする請求項１又は２に記載のナノ構造メモリデバイス。
【請求項４】
前記１つ以上のシェル層（４）は、グレーデッド（ｇｒａｄｅｄ）又はクレステッド（ｃｒｅｓｔｅｄ）なバンドプロファイルを与えるために、異なるバンドギャップを有する材料で構成されていることを特徴とする請求項１乃至３のうちいずれか１項に記載のナノ構造メモリデバイス。
【請求項５】
前記グレーデッド又はクレステッドなバンドプロファイルは、前記電荷捕獲中心への書き込み速度、又は、前記電荷捕獲中心（１０）からの書き込み速度を増加させるために、一方の領域（ｏｎｅ－ｓｉｄｅｄ）であることを特徴とする請求項４に記載のナノ構造メモリデバイス。
【請求項６】
前記グレーデッド又はクレステッドなバンドプロファイルは、前記電荷捕獲中心への書き込み速度、又は、前記電荷捕獲中心（１０）からの書き込み速度を増加させるために、両方の領域（ｄｏｕｂｌｅ－ｓｉｄｅｄ）であることを特徴とする請求項４に記載のナノ構造メモリデバイス。
【請求項７】
前記グレーデッド又はクレステッドなバンドプロファイルは、前記電荷捕獲中心（１０）と前記ナノワイヤ（３）との間及び前記電荷捕獲中心（１０）と前記ゲート電極（１４）との間の少なくとも一方のバリア構造を提供することを特徴とする請求項４乃至６のうちいずれか１項に記載のナノ構造メモリデバイス。
【請求項８】
前記電荷捕獲中心（１０）は、エピタキシーによって成長される半導体ナノ結晶、液体、ガス又は真空から蒸着させた金属ナノ粒子、又は、複数の電荷捕獲を備えた蒸着薄膜であることを特徴とする請求項１乃至７のうちいずれか１項に記載のナノ構造メモリデバイス。
【請求項９】
複数のゲート電極（１４）を有し、前記複数のゲート電極のそれぞれは、前記電荷捕獲中心（１０）に蓄積された電荷量を制御するために、前記ナノワイヤ（３）のそれぞれの部分の周りに配置されていることを特徴とする請求項１乃至８のうちいずれか１項に記載のナノ構造メモリデバイス。

Sandisk Technologies, Inc. - Ex. 1002, Page 000755

【請求項１０】
ゲート電極（１４）のそれぞれの下の前記電荷捕獲中心（１０）は、グループで又は別々にチャージされるように構成され、前記ナノワイヤ（３）の抵抗は、前記ゲート電極（１４）によってチャージされた電荷捕獲中心（１０）の数に依存して階段的に増加又は減少することを特徴とする請求項９に記載のナノ構造メモリデバイス。
【請求項１１】
ゲート電極（１４）のそれぞれによって移動される電荷の数は制御可能であることを特徴とする請求項９又は１０に記載のナノ構造メモリデバイス。
【請求項１２】
ナノワイヤの端部のそれぞれに平行に接続されたナノワイヤ（３）のグループを有し、前記ナノワイヤ（３）は、１つ以上のゲート電極（１４）によって別々にゲート（ｇａｔｅｄ）され、ナノワイヤ（３）のそれぞれは、読み出し電流の１つ以上のレベルに寄与することを特徴とする請求項１乃至１１のうちいずれか１項に記載のナノ構造メモリデバイス。
【請求項１３】
電荷は、電界支援トンネル（ｆｉｅｌｄ－ａｓｓｉｓｔｅｄ　ｔｕｎｎｅｌｌｉｎｇ）によって、前記電荷捕獲中心（１０）から、又は、前記電荷捕獲中心（１０）に移動されることを特徴とする請求項１に記載のナノ構造メモリデバイス。
【請求項１４】
電荷は、前記ナノワイヤ（３）からの電荷注入によって、前記電荷捕獲中心（１０）から、又は、前記電荷捕獲中心（１０）に移動されることを特徴とする請求項１に記載のナノ構造メモリデバイス。
【請求項１５】
前記ナノワイヤ（３）は、基板（１２）からエピタキシャルに成長されることを特徴とする請求項１乃至１４のうちいずれか１項に記載のナノ構造メモリデバイス。
【請求項１６】
前記１つ以上のシェル層（４）は、前記ナノワイヤ（３）からエピタキシャルに成長されることを特徴とする請求項１乃至１５のうちいずれか１項に記載のナノ構造メモリデバイス。
【請求項１７】
前記ナノワイヤ（３）は、ＩＶ族、ＩＩＩ－Ｖ族又はＩＩ－ＶＩ族半導体材料のいずれか、又は、それらの組み合わせであることを特徴とする請求項１乃至１６のうちいずれか１項に記載のナノ構造メモリデバイス。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、メモリデバイスに関し、特に、構造要素としてナノワイヤを備える半導体メモリデバイスに関する。
【背景技術】
【０００２】
半導体デバイスは、最近まで、小型化に関して制約を与えるプレーナ技術に基づいていた。ナノテクノロジーの発展、及び、特に、ナノワイヤを生成する技術により、プレーナ技術では不可能であった、改善された特性を有する半導体デバイスを設計し、且つ、新規のデバイスを作成するための新たな可能性が得られた。
【０００３】
データ記憶アプリケーションのためのメモリ回路に対する関心は、過去数年にわたって著しい増加を示している。かかる関心は、主に、ナノテクノロジーに基づいたメモリ回路が技術的に実現可能であることを示す最近の報告と組み合わせて、より高速、且つ、より密にパッケージされたメモリの常に増加している要求から生じている。今日最も使用されている携帯型装置用の不揮発性メモリと、フラッシュメモリ、ナノテクノロジーに基づい

たメモリデバイスなどの単電子デバイスとの比較は、ナノスケール寸法により、非常に密なメモリを提供する可能性がある。別の利点は、非常に制限された数の電子だけが基本動作に関係するという事実による極めて低い電力消費である。非常に制限された数の電子は、高速動作を与えることもできる。プレーナ技術に基づいたメモリデバイスのサイズは、接触部の縮小されたサイズによる接触抵抗の増加、或いは、縮小されたチャネル幅による不十分な電子制御などの様々な問題なしに容易に縮小することはできない。

【０００４】

欧州特許出願公開第１４２０４１４号は、最小プレーナメモリデバイスのレンジのフットプリントを備えたナノテクノロジーに基づいたメモリデバイスの一例を開示している。このメモリデバイスは、基板上で成長したナノチューブを含む。ナノチューブは、その一端が基板のソース領域に接触し、他端がドレイン領域に接触する。これにより、ナノチューブは、メモリデバイスの電子輸送チャネルを形成する。絶縁層の間に挟まれた電子蓄積層を備えるメモリセルは、ナノチューブの周りに形成される。電子蓄積層は、均一層（ｈｏｍｏｇｅｎｏｕｓ　ｌａｙｅｒ）、或いは、化学的気相成長（ＣＶＤ）又はスパッタリングを使用して電子蓄積材料で満たされたナノドットを含む多孔質層である。ナノチューブによる電子のフローは、メモリセルの周りに形成された制御ゲートによって制御される。

【先行技術文献】

【特許文献】

【０００５】

【特許文献１】欧州特許出願公開第１４２０４１４号

【発明の概要】

【課題を解決するための手段】

【０００６】

先行技術は、メモリデバイスにおける速度、低揮発性、小フットプリントを両立することに関して欠点を有する。

【０００７】

本発明の目的は、従来技術の欠点を克服することである。これは、独立請求項で定義されるようなナノ構造メモリデバイスによって実現される。

【０００８】

本発明におけるナノ構造メモリデバイスは、電流輸送チャネルを形成する少なくとも１つの半導体ナノワイヤと、埋め込まれた電荷捕獲中心を備え、前記ナノワイヤの少なくとも一部の周りに配置された１つ以上のシェル層と、前記１つ以上のシェル層の少なくとも一部の周りに配置された少なくとも第１のゲート電極と、を備える。前記電荷捕獲中心に蓄積された電荷量は、前記ゲート電極によって制御される。前記電荷捕獲中心は、前記ゲート電極に所定の電圧を印加することによって書き込まれる／消去される。１つ以上の前記電荷捕獲中心に蓄積された電荷量のあらゆる変化は、前記ナノワイヤの導電率を変更する。好ましくは、前記電荷捕獲中心は、ワイドバンドギャップ材料又は絶縁体に埋め込まれる。

【０００９】

本発明の１つの実施形態において、前記電荷捕獲中心は、好ましくは、エピタキシーによって成長された半導体ナノ結晶である。

【００１０】

本発明の別の実施形態において、ナノ構造メモリデバイスは、複数のゲート電極を備える。前記複数のゲート電極のそれぞれは、前記ナノワイヤ（３）のそれぞれの部分の周りに配置される。その結果、前記ナノワイヤ３の抵抗は、活性化されたゲート電極の数に依存して階段的に増加／減少される。

【００１１】

発明におけるナノ構造メモリデバイスの更に別の実施形態において、前記１つ以上のシェル層は、グレーデッド又はクレステッドなバンドプロファイルを与えるために、異なる

バンドギャップを有する材料で構成される。１つの実施形態において、前記グレーデッド又はクレステッドなバンドプロファイルは、前記電荷捕獲中心のチャージが所定のバイアス状態を遂行するように、前記電荷捕獲中心と前記ナノワイヤとの間、及び／又は、前記電荷捕獲中心と前記ゲート電極との間のバリア構造を提供する。

【００１２】

本発明によれば、高い書き込み速度及び低揮発性を有するメモリデバイスを提供することが可能である。

【００１３】

従来のデバイスと比較して、縮小されたフットプリントを有するメモリデバイスを提供することが本発明の利点である。

【００１４】

マルチゲートメモリデバイスの垂直積層の可能性を提供すること、及び、メモリデバイスの記録密度（ｐａｃｋｉｎｇ　ｄｅｎｓｉｔｙ）を更に増加させることが本発明の更なる利点である。

【００１５】

本発明の実施形態は、従属請求項で定義される。添付の図面及び請求項を考慮して、本発明の他の目的、利点及び新しい特徴は、本発明の以下の詳細な説明で明らかとなるだろう。

【図面の簡単な説明】

【００１６】

添付の図面を参照して、本発明の好適な実施形態を説明する。

【図１】図１は、本発明の１つの実施形態におけるメモリデバイス及び活性領域の拡大を概略的に示す。

【図２】図２は、本発明における３つのシェル層を備えるメモリデバイス及び活性領域の拡大を概略的に示す。

【図３】図３（ａ）及び図３（ｂ）は、ナノワイヤの周りに配置された複数のゲート電極を備える本発明の別の実施形態を概略的に示す。

【図４】図４（ａ）及び図４（ｂ）は、（ａ）デプレッション（空乏）モード及び（ｂ）エンハンスメントモードでのナノワイヤにおける電流を概略的に示す。

【図５】図５（ａ）、図５（ｂ）及び図５（ｃ）は、本発明におけるメモリデバイスの書き込み／チャージを概略的に示す。

【発明を実施するための形態】

【００１７】

基本的に、本発明は、ナノワイヤの導電率を制御するための半導体ナノワイヤの周りに配置されたナノサイズの電荷捕獲中心の使用に基づいている。

【００１８】

図１を参照するに、本発明におけるナノ構造メモリデバイスは、メモリデバイスの電流輸送チャネルを形成する少なくとも１つの半導体ナノワイヤ３を備える。好ましくは、ナノワイヤ３は、基板から突出している。１つ以上のシェル層は、ナノワイヤ３の少なくとも一部の周りに配置される。ナノサイズの電荷捕獲中心１０は、１つ以上のシェル層に埋め込まれ、１つ以上のシェル層によってナノワイヤコアから分離される。ナノ結晶の形態でもよいナノサイズの電荷捕獲中心は、陽的（ｐｏｓｉｔｉｖｅｌｙ）又は負的（ｎｅｇａｔｉｖｅｌｙ）にチャージされ、これにより、ナノワイヤコアの導電率に影響を及ぼす。従って、１つ以上の電荷捕獲中心１０に蓄積された電荷量の変化は、ナノワイヤ３の導電率を変更する。電荷捕獲中心１０に蓄積された電荷量は、１つ以上のシェル層４の少なくとも一部の周りに配置された少なくとも第１のゲート電極によって制御される。ナノワイヤ３は、ｎ型又はｐ型の半導体材料で構成され、電荷捕獲中心におけるチャージは、デバイスの動作に依存して、ナノワイヤの抵抗を増加又は低下することができる。

【００１９】

粒子支援成長又は米国特許第７，３３５，９０８号に開示された、所謂、ＶＬＳ（気相

Sandisk Technologies, Inc. - Ex. 1002, Page 000758

－液相－固相）機構によって基板上にナノワイヤを形成する基本的な処理、種々の化学ビームエピタキシー法及び気相エピタキシー法が知られている。但し、国際公開第２００７／１０４７８４号に示されているように、ナノワイヤは、触媒として粒子を使用することなく成長させてもよい。このことから、ナノワイヤは、好ましくは、基板１２からエピタキシャルに成長され、即ち、ナノワイヤ３は、好ましくは、基板１２にエピタキシャル接触する。ナノ構造メモリデバイスの放射状の構造は、ナノワイヤ成長を促進する第１の成長モードにおけるナノワイヤの第１の成長、及び、放射状の成長を促進する第２の成長モードにおける１つ以上のシェル層４の第２の選択的な成長によって実施されてもよい。このように、ナノワイヤ３及び随意の隣接するシェル層にエピタキシャル接触するシェル層が形成される。従って、ナノワイヤ及び１つ以上のシェル層の周囲を含む放射状の構造は、ナノコア及び１つ以上の放射状の層を備えるナノワイヤ自体とみなしてもよい。

【００２０】

ナノワイヤは、一般に、その直径においてナノスケール寸法のナノ構造として解釈される。用語としてのナノワイヤは、横サイズがナノスケールであることを意味し、縦サイズは制約されない。このようなナノ構造は、一般に、ナノウィスカー、１次元ナノ素子、ナノロッドなどとも呼ばれる。これらの用語は長方形形状を意味するが、ナノワイヤはピラミッド状又は棒状であってもよい。また、ナノワイヤは様々な断面形状を有してもよいため、本出願では、直径は有効径を表すものとする。一般に、ナノワイヤは、少なくとも、それぞれが３００ｎｍ以上でない２次元を有すると考えられるが、ナノワイヤは、少なくとも幾つかの固有な特性を維持するために、約１μｍまでの直径又は幅を有することができる。ナノワイヤの１次元的特徴は、固有な物理的、光学的及び電子的特性を提供する。これらの特性は、例えば、量子力学的効果を利用するデバイスを形成するために、又は、大きな格子不整合により通常組み合わせることができない組成的に異なる材料のヘテロ構造を形成するために使用される。１つの例は、縮小された格子整合制約を備えた半導体材料の統合である。かかる統合は、例えば、Ｓｉ基板上のＩＩＩ－Ｖ族半導体ナノワイヤの成長を許可する。

【００２１】

本発明の１つの実施形態において、ナノサイズの電荷捕獲中心を埋め込む１つ以上のシェル層４は、ナノ構造メモリデバイスの書き込み／消去に対応するバイアス状態のための電荷移動を促進するために、ワイドバンドギャップ材料又は絶縁体で構成される。

【００２２】

電荷は、ゲート電極１４に電圧を印加することによって、ナノサイズの電荷捕獲中心１０に移動される。ナノサイズの電荷捕獲中心１０の位置及び電荷捕獲中心１０の周囲の材料の特性に依存して、電荷はゲート電極１４又はナノワイヤ３から移動される。

【００２３】

図２を参照するに、本発明の別の実施形態において、メモリデバイスは、少なくとも、第１のシェル層４ａ、第２のシェル層４ｂ及び第３のシェル層４ｃによって部分的に囲まれるナノワイヤ１を備える。第２のシェル層４ｂは、電荷捕獲中心１０を埋め込み、第１のシェル層４ａは、ナノワイヤ３から電荷捕獲中心１０を分離し、第３のシェル層４ｃは、第３のシェル層４ｃの周りに配置されたゲート電極１４から電荷捕獲中心１０を分離する。

【００２４】

図３（ａ）及び図３（ｂ）は、本発明の１つの実施形態におけるメモリデバイスを概略的に示す。メモリデバイスは、複数のゲート電極１４を備え、複数のゲート電極１４のそれぞれは、電界支援トンネルによって電荷捕獲中心１０に電荷を移動するために／電荷捕獲中心１０から電荷を移動するために、ナノワイヤ３のそれぞれの部分の周りに配置される。それぞれのゲート電極１４の下の電荷捕獲中心１０は、別々にチャージされ、その結果、ナノワイヤ３の抵抗は、活性化されたゲート電極の数に依存して階段的に増加／減少される。

【００２５】

Sandisk Technologies, Inc. - Ex. 1002, Page 000759

本発明の別の実施形態において、電荷捕獲中心１０の書き込みは、高温ナノワイヤ（ｈｏｔ　ｎａｎｏｗａｉｒｅ）３からの高温電荷キャリア注入（ｈｏｔ　ｃｈａｒｇｅ　ｃａｒｒｉｅｒ　ｉｎｊｅｃｔｉｏｎ）によって実行される。電荷捕獲中心１０への／電荷捕獲中心１０からの電荷の熱的支援移動（トンネル）（ｔｈｅｒｍａｌｌｙ　ａｓｓｉｓｔｅｄ　ｔｒａｎｓｆｅｒ（ｔｕｎｎｅｌｌｉｎｇ））は、上述した電界支援トンネルに必要な電圧よりも低いラップゲート電圧で行うことができる。

【００２６】

電荷捕獲中心１０が埋め込まれた１つ以上のシェル層４は、電荷捕獲中心１０が埋め込まれているシェル層１０のエネルギーバンドプロファイルがグレーデッド又はクレステッドであるのと同様に、１つ以上の材料で構成されてもよい。１つの実施形態において、ナノワイヤ３及び／又はゲート電極１４から電荷捕獲中心を分離するシェル層は、スロープ状又は階段状に変化するバンドプロファイルを有する。かかるバンドプロファイルは、あるバイアス状態のための電荷移動を促進するために、電荷捕獲中心とナノワイヤとの間及び／又は電荷捕獲中心とゲート電極との間のバリア構造を提供する。グレーデッド又はクレステッドなバンドプロファイルは、電荷捕獲中心１０からの、或いは、電荷捕獲中心１０への書き込み速度を増加させるために一方の領域であってもよいし、電荷捕獲中心１０への書き込み速度を増加させるために両方の領域であってもよい。非バイアス状態において、捕獲された電荷は、メモリの不揮発性に重要であるバリア構造の最大の幅を経験するが、バイアスをかけること（書き込むこと／消去すること）で、有効トンネル幅がかなり縮小される。従って、本発明におけるメモリデバイスは、低揮発性と高速な書き込み速度とを両立する。

【００２７】

電荷捕獲中心１０は、好ましくは、エピタキシーによって成長された、ＩｎＡｓなどの半導体ナノ結晶である。エピタキシーは、所望の書き込み／消去及び揮発性特性を満たすために、バンドプロファイルの適切なデザインを促進する。しかしながら、電荷捕獲中心は、液体、ガス又は真空から蒸着させた金属ナノ粒子、多くの電荷捕獲を備えた、Si_3N_4 又はHfO_2 などの酸化物などの蒸着薄膜（ｄｅｐｏｓｉｔｅｄ　ｔｈｉｎ　ｆｉｌｍ）であってもよい。特定の材料は一例であって、これらに限定されるものではない。

【００２８】

１つの実施形態において、ナノ構造メモリデバイスは、ナノワイヤ３の反対側の端部に接続するトップ及びボトムコンタクトを備える。従来技術のこの種のメモリデバイスにおいて、これらのコンタクトは、それぞれ、典型的に、ソース及びドレインコンタクトと呼ばれる。ボトムコンタクトは、例えば、ナノワイヤの基部、或いは、バッファ層及び／又は基板１２を介したナノワイヤの基部への接続でのラップ周りの配置でもよい。

【００２９】

電荷捕獲中心１０に蓄積された電荷量は、複数の離散電荷レベルによって定義されてもよい。これにより、ゲート電極１４ごとに蓄積される情報量が増加する。これは、電荷が異なるバイアス状態で移動される電荷捕獲中心を有することによってなされる。例えば、各ゲート電極（１４）の下の電荷捕獲中心（１０）は、グループで又は別々にチャージされるように構成されてもよい。その結果、ナノワイヤ３の抵抗は、ゲート電極１４によってチャージされた電荷捕獲中心１０の数に依存して、階段的に増加／減少する。

【００３０】

本発明におけるメモリデバイスの実施形態において、電気的に平行に接続しているが、各ナノワイヤ３に沿って配置された１つ以上のゲート電極１４によって別々にゲートされた（ｇａｔｅｄ）ナノワイヤのグループを備える。これにより、ナノワイヤのグループの各ナノワイヤ３は、読み出し電流の１つ以上のレベルに寄与する。

【００３１】

図３（ａ）及び図３（ｂ）は、本発明におけるナノ構造メモリデバイスの１つの実施形態を概略的に示す。ナノ構造メモリデバイスは、ナノワイヤ３と、少なくともナノワイヤ３を部分的に取り囲む１つ以上のシェル層４とを備える。１つ以上のシェル層は、ワイド

バンドギャップ材料又は絶縁体で構成される。電荷捕獲中心１０は、例えば、ナノ結晶の形態で、１つ以上のシェル層４に埋め込まれる。複数のゲート電極は、１つ以上のシェル層４のそれぞれの部分の周りに配置される。ナノワイヤ３及びゲート電極１４は、絶縁体９によって取り囲まれてもよい。好ましくは、トップコンタクト１３は、基板１２と反対のナノワイヤ３の１つの端部に配置される。図２（ａ）に示すように、ナノワイヤの他方の端部は、基板及び又はバッファ層（不図示）を介してボトムコンタクトに接続される。シェル層４から基板を分離するために、ナノ構造メモリデバイスは、ワイドバンドギャップ材料、又は、基板１２をカバーし、ナノワイヤ３の他方の端部を取り囲む絶縁体の層８を備えてもよい。図３（ｂ）は、別の実施形態を概略的に示す。ナノワイヤ１の他方の端部は、ラップ周りの配置における電極１５を介して、ボトムコンタクトに接続される。基板１２は、本実施形態では、絶縁体でもよい。

【００３２】

図４（ａ）及び図４（ｂ）は、本発明の１つの実施形態におけるナノ構造メモリデバイスの動作を概略的に示す。ナノ構造メモリデバイスは、ナノワイヤ３の周りに配置された複数（１・・・ｎ）のゲート電極１４を備える。このように、ナノワイヤ３の導電率は、多数の導電率レベルの間において、段階的に変更することができる。図４（ａ）は、デプレッションモードにおけるナノ構造メモリデバイスの動作を概略的に示し、図４（ｂ）は、エンハンスメントモードにおけるナノ構造メモリデバイスの動作を概略的に示す。デプレッションモードにおいて、書き込まれたゲート電極の数が増加する場合、ナノワイヤにおける電流は減少する。エンハンスメントモードにおいて、書き込まれたゲート電極の数が増加する場合、ナノワイヤにおける電流は増加する。

【００３３】

図５（ａ）及び図５（ｂ）は、電荷捕獲中心１０とナノワイヤとの間のシェル層４の３つの異なるバンドギャッププロファイル、及び、電荷捕獲中心１０をチャージしたときのバンドギャッププロファイルの変化を概略的に示す。（ａ）において、バリア又はシェル層は、両方の領域で階段的なグレーディング（ｇｒａｄｉｎｇ）を有し（ｂ）において、グレーディングは、両方の領域であるが、スロープ状プロファイルであり、（ｃ）において、バンドギャッププロファイルのグレーディングは、スロープ状部分及び階段状部分を備える。

【００３４】

本発明におけるナノ構造メモリデバイスのナノワイヤの直径は、好ましくは、３～２００ｎｍのレンジ、更に好ましくは、３～５０ｎｍのレンジ、最も好ましくは、３～２０ｎｍのレンジである。１つ以上のシェル層４の厚さは、ナノワイヤ３の直径及び電荷捕獲中心のサイズに依存する。電荷捕獲中心と、ナノワイヤ３と、ゲート電極１４との間の距離は、それぞれ、好ましくは、１０ｎｍ未満、更に好ましくは、５ｎｍ未満である。ナノサイズの捕獲中心のそれぞれの直径は、好ましくは、２０ｎｍ未満である。ナノワイヤの長さは、広いレンジにおいて、異なっていてもよい。約２０ｎｍから数μｍまでの長さが考えられる。これにより、本発明が従来のメモリデバイスよりも小さいフットプリントを備えた高性能メモリデバイスを提供することが理解されるであろう。

【００３５】

ナノワイヤが均一な直径を有するように図示されているが、当業者には、ナノワイヤは先細り、面（ｆａｃｅｔｔｅｄ）又は不規則な形状であってもよいことが理解されるであろう。電荷捕獲中心も同様である。

【００３６】

ナノ構造メモリデバイスの基板１２に適した材料は、Ｓｉ、ＧａＡｓ、ＧａＰ、ＧａＰ：Ｚｎ、ＧａＡｓ、ＩｎＡｓ、ＩｎＰ、ＧａＮ、Al_2O_3、ＳｉＣ、Ｇｅ、ＧａＳｂ、ＺｎＯ、ＩｎＳｂ、ＳＯＩ（シリコン－オン－絶縁体）を含むが、これに限定されない。ナノワイヤに適した材料は、ＧａＡｓ、ＩｎＡｓ、Ｇｅ、ＺｎＯ、ＩｎＮ、ＧａＩｎＮ、ＧａＮ、ＡｌＧａＩｎＮ、Ｂｎ、ＩｎＰ、ＩｎＡｓＰ、ＧａＩｎＰ、ＩｎＧａＰ：Ｓｉ、ＩｎＧａＰ：Ｚｎ、ＧａＩｎＡｓ、ＡｌＩｎＰ、ＧａＡｌＩｎＡｓＰ、ＧａＩｎＳｂ、Ｉ

Sandisk Technologies, Inc. - Ex. 1002, Page 000761

ｎＳｂ及びＳｉ、又は、それらの組み合わせなどのＩＶ族、ＩＩＩ－Ｖ族、ＩＩ－ＶＩ族半導体を含むが、これに限定されない。可能なドナードーパントは、Ｓｉ、Ｓｎ、Ｔｅ、Ｓｅ、Ｓなどであるが、これに限定されない。アセプタドーパントは、Ｚｎ、Ｆｅ、Ｍｇ、Ｂｅ、Ｃｄなどである。電荷捕獲中心が埋め込まれるシェル層に適した材料は、ナノワイヤに適した材料としての上述した半導体材料を含むが、ナノワイヤよりも広いバンドギャップ（＞２ｅＶ）を有し、SiO_2、HfO_2、Al_2O_3などの絶縁体を含む。

【００３７】

現時点で最も実用的で好適な実施形態であると考えられるものに関連して本発明を説明したが、本発明は、開示した実施形態に限定されることを意図せず、添付の請求項の範囲内の種々の変形及び同等な構成を範囲に含むことを意図する。

【図１】

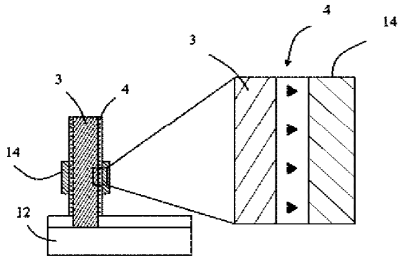


Fig. 1

【図２】

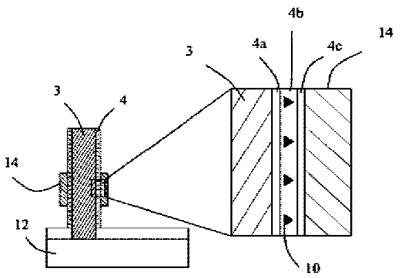


Fig. 2

【図３】

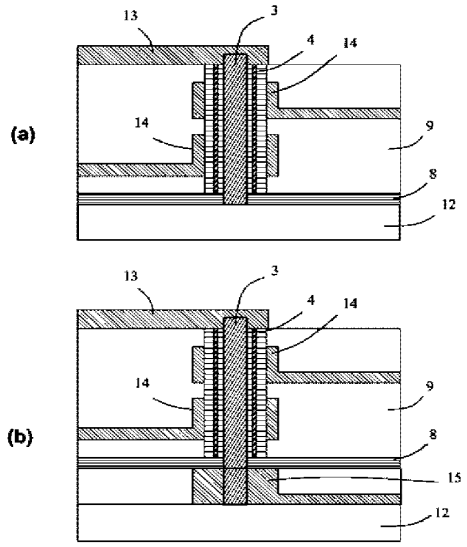


Fig. 3

【図４】

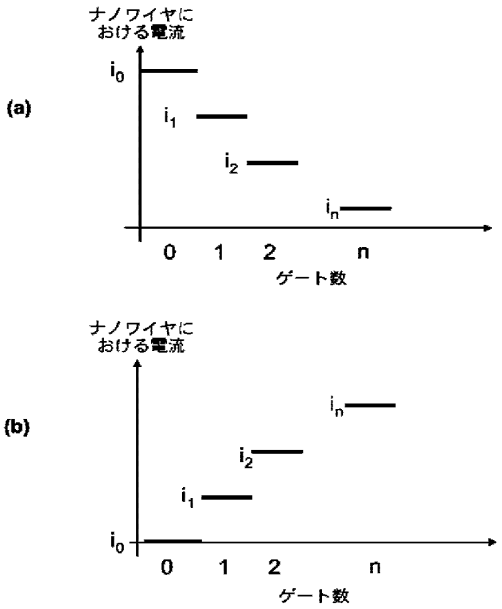


Fig. 4

【図５】

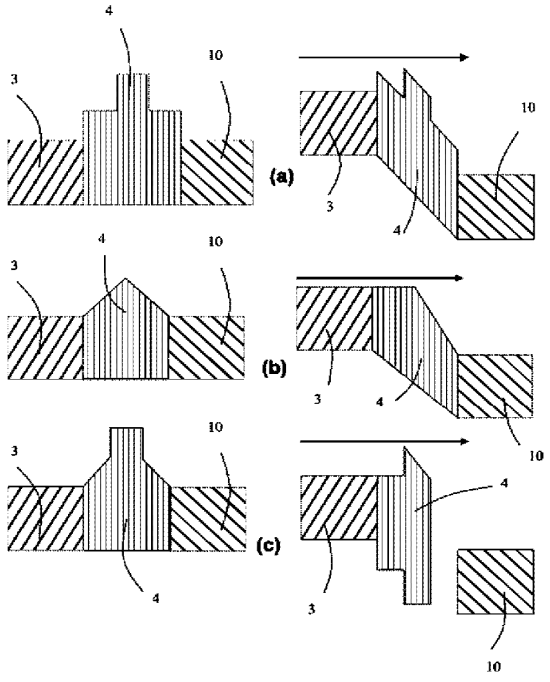


Fig. 5

【手続補正書】
【提出日】平成23年3月8日(2011.3.8)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
電流輸送チャネルを形成する少なくとも１つの半導体ナノワイヤ（３）と、
前記ナノワイヤ（３）の少なくとも一部の周りに配置された１つ以上のシェル層（４）と、
前記１つ以上のシェル層（４）に埋め込まれたナノサイズの電荷捕獲中心（ｎａｎｏ－ｓｉｚｅｄ　ｃｈａｒｇｅ　ｔｒａｐｐｉｎｇ　ｃｅｎｔｒｅｓ）（１０）と、
ゲート電極（１４）の下の前記電荷捕獲中心（１０）に蓄積された電荷量を制御するために、前記１つ以上のシェル層（４）の少なくとも一部の周りに配置された第１のゲート電極（１４）と、
を有し、
１つ以上の前記電荷捕獲中心（１０）に蓄積された電荷量の変化は、前記ナノワイヤ（３）の導電率を変更することを特徴とするナノ構造メモリデバイス。
【請求項２】
前記電荷捕獲中心は、ワイドバンドギャップ半導体材料又は絶縁体に埋め込まれていることを特徴とする請求項１に記載のナノ構造メモリデバイス。
【請求項３】
前記電荷捕獲中心（１０）は、半導体ナノ結晶（ｓｅｍｉｃｏｎｄｕｃｔｏｒ　ｎａｎｏ　ｃｒｙｓｔａｌｓ）であることを特徴とする請求項１又は２に記載のナノ構造メモリデバイス。
【請求項４】
前記１つ以上のシェル層（４）は、グレーデッド（ｇｒａｄｅｄ）又はクレステッド（ｃｒｅｓｔｅｄ）なバンドプロファイルを与えるために、異なるバンドギャップを有する材料で構成されていることを特徴とする請求項１乃至３のうちいずれか１項に記載のナノ構造メモリデバイス。
【請求項５】
前記グレーデッド又はクレステッドなバンドプロファイルは、前記電荷捕獲中心への書き込み速度、又は、前記電荷捕獲中心（１０）からの書き込み速度を増加させるために、一方の領域（ｏｎｅ－ｓｉｄｅｄ）であることを特徴とする請求項４に記載のナノ構造メモリデバイス。
【請求項６】
前記グレーデッド又はクレステッドなバンドプロファイルは、前記電荷捕獲中心への書き込み速度、又は、前記電荷捕獲中心（１０）からの書き込み速度を増加させるために、両方の領域（ｄｏｕｂｌｅ－ｓｉｄｅｄ）であることを特徴とする請求項４に記載のナノ構造メモリデバイス。
【請求項７】
前記グレーデッド又はクレステッドなバンドプロファイルは、前記電荷捕獲中心（１０）と前記ナノワイヤ（３）との間及び前記電荷捕獲中心（１０）と前記ゲート電極（１４）との間の少なくとも一方のバリア構造を提供することを特徴とする請求項４乃至６のうちいずれか１項に記載のナノ構造メモリデバイス。
【請求項８】
前記電荷捕獲中心（１０）は、エピタキシーによって成長されるように構成された半導体ナノ結晶、液体、ガス又は真空から蒸着させた金属ナノ粒子、又は、複数の電荷捕獲を

備えた蒸着薄膜であることを特徴とする請求項１乃至７のうちいずれか１項に記載のナノ構造メモリデバイス。
【請求項９】
複数のゲート電極（１４）を有し、前記複数のゲート電極のそれぞれは、前記電荷捕獲中心（１０）に蓄積された電荷量を制御するために、前記ナノワイヤ（３）のそれぞれの部分の周りに配置されていることを特徴とする請求項１乃至８のうちいずれか１項に記載のナノ構造メモリデバイス。
【請求項１０】
ゲート電極（１４）のそれぞれの下の前記電荷捕獲中心（１０）は、グループで又は別々にチャージされるように構成され、前記ナノワイヤ（３）の抵抗は、前記ゲート電極（１４）によってチャージされた電荷捕獲中心（１０）の数に依存して階段的に増加又は減少することを特徴とする請求項９に記載のナノ構造メモリデバイス。
【請求項１１】
ゲート電極（１４）のそれぞれによって移動される電荷の数は制御可能であることを特徴とする請求項９又は１０に記載のナノ構造メモリデバイス。
【請求項１２】
ナノワイヤの端部のそれぞれに平行に接続されたナノワイヤ（３）のグループを有し、前記ナノワイヤ（３）は、１つ以上のゲート電極（１４）によって別々にゲート（ｇａｔｅｄ）され、ナノワイヤ（３）のそれぞれは、読み出し電流の１つ以上のレベルに寄与することを特徴とする請求項１乃至１１のうちいずれか１項に記載のナノ構造メモリデバイス。
【請求項１３】
電荷は、電界支援トンネル（ｆｉｅｌｄ－ａｓｓｉｓｔｅｄ　ｔｕｎｎｅｌｌｉｎｇ）によって、前記電荷捕獲中心（１０）から、又は、前記電荷捕獲中心（１０）に移動されることを特徴とする請求項１に記載のナノ構造メモリデバイス。
【請求項１４】
電荷は、前記ナノワイヤ（３）からの電荷注入によって、前記電荷捕獲中心（１０）から、又は、前記電荷捕獲中心（１０）に移動されることを特徴とする請求項１に記載のナノ構造メモリデバイス。
【請求項１５】
前記ナノワイヤ（３）は、基板（１２）からエピタキシャルに成長されるように構成されたことを特徴とする請求項１乃至１４のうちいずれか１項に記載のナノ構造メモリデバイス。
【請求項１６】
前記１つ以上のシェル層（４）は、前記ナノワイヤ（３）からエピタキシャルに成長されるように構成されたことを特徴とする請求項１乃至１５のうちいずれか１項に記載のナノ構造メモリデバイス。
【請求項１７】
前記ナノワイヤ（３）は、ＩＶ族、ＩＩＩ－Ｖ族又はＩＩ－ＶＩ族半導体材料のいずれか、又は、それらの組み合わせを有することを特徴とする請求項１乃至１６のうちいずれか１項に記載のナノ構造メモリデバイス。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/SE2009/050857

A. CLASSIFICATION OF SUBJECT MATTER

IPC: see extra sheet
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

SE,DK,FI,NO classes as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-INTERNAL, WPI DATA, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 1420414 A1 (SAMSUNG ELECTRONICS CO., LTD.), 19 May 2004 (19.05.2004), figure 2, abstract, paragraphs (0006), (0009)-(0016), (0022)-(0024), (0026)	1-3,8,12-17
Y	--	9-11
Y	US 20060244361 A1 (K.-N. KIM ET AL), 2 November 2006 (02.11.2006), figure 12, abstract, paragraphs (0006), (0010)	9-11
	--	
A	US 20040031975 A1 (K. KERN ET AL), 19 February 2004 (19.02.2004), figure 1, abstract, paragraphs (0004), (0010), (0049)	1-17
	--	

[X] Further documents are listed in the continuation of Box C. [X] See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
23 October 2009	26 -10- 2009
Name and mailing address of the ISA/ Swedish Patent Office Box 5055, S-102 42 STOCKHOLM Facsimile No. +46 8 666 02 86	Authorized officer Cecilia Håkansson / MRo Telephone No. +46 8 782 25 00

Form PCT/ISA/210 (second sheet) (July 2009)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/SE2009/050857

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 20070014151 A1 (Y. ZHANG ET AL), 18 January 2007 (18.01.2007), figures 1-2, abstract, paragraphs (0022), (0024)-(0026)	1-17
A	US 20080031034 A1 (A. JALABERT), 7 February 2008 (07.02.2008), figure 4, abstract, paragraphs (0010)-(0012), (0050)	1-17

--

Form PCT/ISA/210 (continuation of second sheet) (July 2009)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/SE2009/050857

International patent classification (IPC)

H01L 27/105 (2006.01)
H01L 29/02 (2006.01)
H01L 29/06 (2006.01)
H01L 29/12 (2006.01)
H01L 29/80 (2006.01)

Download your patent documents at www.prv.se
The cited patent documents can be downloaded:
- From "Cited documents" found under our online services at www.prv.se (English version)
- From "Anförda dokument" found under "e-tjänster" at www.prv.se (Swedish version)

Use the application number as username. The password is **FENXQUUWKO**.

Paper copies can be ordered at a cost of 50 SEK per copy from PRV InterPat (telephone number 08-782 28 85).

Cited literature, if any, will be enclosed in paper form.

Form PCT/ISA/210 (extra sheet) (July 2008)

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/SE2009/050857

EP	1420414	A1	19/05/2004	CN	1317768	C	23/05/2007
				CN	1501503	A	02/06/2004
				DE	60300477	D,T	23/02/2006
				JP	4047797	B	13/02/2008
				JP	2004172616	A	17/06/2004
				JP	2007329500	A	20/12/2007
				KR	20040043043	A	22/05/2004
				US	6930343	B	16/08/2005
				US	20040095837	A	20/05/2004
US	20060244361	A1	02/11/2006	NONE			
US	20040031975	A1	19/02/2004	NONE			
US	20070014151	A1	18/01/2007	NONE			
US	20080031034	A1	07/02/2008	NONE			

Form PCT/ISA/210 (patent family annex) (April 2005)

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PE,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(74)代理人 100130409
弁理士 下山 治
(72)発明者 サミュエルソン, ラーシュ
スウェーデン国 マルメ エス－２１１ １９, イスベルイスガタン ２８
(72)発明者 テランデル, クラエス
スウェーデン国 ルンド エス－２２４ ６８, エストラトルンスヴェーゲン ２７
(72)発明者 オールソン, ヨナス
スウェーデン国 マルメ エス－２１２ １３, クングスガタン ３３
(72)発明者 ミッケレセン, アンデシュ
スウェーデン国 アルレフ エス－２３２ ３５, ピレヴァレン ２１

Ｆターム(参考) 5F083 EP17 EP22 GA09 GA10 ZA21
5F101 BA54 BB02 BD12 BD16 BF05

Espacenet

JP2011507231A null

Applicants:

Inventors:

Classifications:

IPC ***H01L21/8247; H01L27/115; H01L29/06; H01L29/161; H01L29/786; H01L29/788; H01L29/792;***

CPC **B82Y10/00 (EP); H01L21/02532 (EP); H01L21/02603 (EP); H01L21/02639 (EP); H01L29/0665 (EP); H01L29/0673 (EP); H01L29/068 (EP); H01L29/40117 (EP); H01L29/4234 (EP); H01L29/7831 (EP); H01L29/792 (EP)**; H01L21/02381 (EP); H01L29/1608 (EP); H01L29/20 (EP);

Priorities: SG2007000422W 2007-12-07

Application: JP2011507231A·2007-12-07

Publication: JP2011507231A·2011-03-03

Published as: JP2011507231A;**US2011012090A1; WO2009072984A1**

null

Abstract

No abstract found. Please consult other publications of this patent family in "Available in", if displayed above.

Sandisk Technologies, Inc. - Ex. 1002, Page 000771

(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)特許出願公表番号
特表2011-507231
(P2011-507231A)
(43)公表日　平成23年3月3日(2011.3.3)

(51)Int.Cl.		F I		テーマコード（参考）
H01L 29/786	(2006.01)	H01L 29/78	618B	5F083
H01L 29/06	(2006.01)	H01L 29/06	601N	5F101
H01L 29/161	(2006.01)	H01L 29/78	617U	5F110
H01L 27/115	(2006.01)	H01L 29/78	617T	
H01L 21/8247	(2006.01)	H01L 29/163		

審査請求 有　予備審査請求 有　（全 41 頁）　最終頁に続く

(21)出願番号　特願2010-536892 (P2010-536892)
(86)(22)出願日　平成19年12月7日 (2007.12.7)
(85)翻訳文提出日　平成22年7月30日 (2010.7.30)
(86)国際出願番号　PCT/SG2007/000422
(87)国際公開番号　WO2009/072984
(87)国際公開日　平成21年6月11日 (2009.6.11)

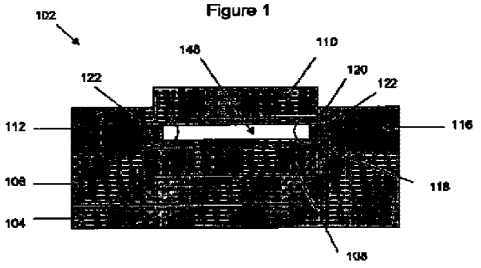
(71)出願人　503231882
エージェンシー　フォー　サイエンス，テクノロジー　アンド　リサーチ
シンガポール，　シンガポール　１３８６３２，　ナンバー２０－１０　コネクシス，　フージョノポリス　ウェイ　１
(74)代理人　110000877
龍華国際特許業務法人
(72)発明者　シング、ナバブ
シンガポール，　シンガポール　１３８６３２，　ナンバー２０－１０　コネクシス，　フージョノポリス　ウェイ　１　エージェンシー　フォー　サイエンス，テクノロジー　アンド　リサーチ内

最終頁に続く

(54)【発明の名称】シリコン－ゲルマニウムナノワイヤ構造およびその形成方法

(57)【要約】
【解決手段】　支持基板上に配設されるシリコン－ゲルマニウムナノワイヤ構造が提供される。当該シリコンゲルマニウムナノワイヤ構造は、支持基板上に配設されている少なくとも１つのゲルマニウム含有支持部と、支持基板の上方に設けられており、少なくとも１つのゲルマニウム含有支持部に隣接して配設されている少なくとも１つのゲルマニウム含有ナノワイヤとを備え、少なくとも１つのゲルマニウム含有ナノワイヤは、ゲルマニウム濃度が少なくとも１つのゲルマニウム含有支持部よりも高い。さらに、支持基板上に配設されているシリコン－ゲルマニウムナノワイヤ構造を備えるトランジスタが提供される。さらに、支持基板上に配設されているシリコン－ゲルマニウムナノワイヤ構造を形成する方法、および、支持基板上に配設されているシリコン－ゲルマニウムナノワイヤ構造を形成する方法を備えるトランジスタを形成する方法が提供される。
【選択図】　図１

Figure 1



【特許請求の範囲】
【請求項１】
支持基板上に配設されているシリコン－ゲルマニウムナノワイヤ構造であって、
前記支持基板上に配設されている少なくとも１つのゲルマニウム含有支持部と、
前記支持基板の上方に設けられており、前記少なくとも１つのゲルマニウム含有支持部に隣接して配設されている少なくとも１つのゲルマニウム含有ナノワイヤと
を備え、
前記少なくとも１つのゲルマニウム含有ナノワイヤは、ゲルマニウム濃度が前記少なくとも１つのゲルマニウム含有支持部よりも高く、
前記少なくとも１つのゲルマニウム含有ナノワイヤと前記少なくとも１つのゲルマニウム含有支持部との間の界面には、ヘテロ接合が形成されているナノワイヤ構造。
【請求項２】
前記少なくとも１つのゲルマニウム含有支持部の幅と、前記少なくとも１つのゲルマニウム含有ナノワイヤの直径との比は、２より大きい請求項１に記載のシリコン－ゲルマニウムナノワイヤ構造。
【請求項３】
前記支持基板と前記少なくとも１つのゲルマニウム含有支持部との間に配設されている絶縁層をさらに備える請求項１に記載のシリコン－ゲルマニウムナノワイヤ構造。
【請求項４】
請求項１から請求項３のうちいずれか一項に記載されている支持基板上に配設されているシリコン－ゲルマニウムナノワイヤ構造を備えるトランジスタであって、
前記少なくとも１つのゲルマニウム含有ナノワイヤの周囲に設けられているトンネル層と、
前記トンネル層を被覆するように配置されているゲート領域と
をさらに備えるトランジスタ。
【請求項５】
前記トンネル層の周囲を取り囲んでいる電荷トラップ構造をさらに備える請求項４に記載のトランジスタ。
【請求項６】
前記電荷トラップ構造と前記ゲート領域との間に設けられているブロック層をさらに備える請求項５に記載のトランジスタ。
【請求項７】
前記トンネル層は、誘電材料を含む請求項４に記載のトランジスタ。
【請求項８】
前記ブロック層は、誘電材料を含む請求項６に記載のトランジスタ。
【請求項９】
前記誘電層は、酸化シリコン、窒化シリコン、酸化マグネシウム、酸化スカンジウム、二酸化ハフニウムという複数の誘電材料を含む群のうち任意の１以上を含む請求項７または請求項８に記載のトランジスタ。
【請求項１０】
前記電荷トラップ構造は、窒化シリコン、二酸化ハフニウム、および酸化アルミニウムという複数の高誘電材料を含む群のうち任意の１以上を含む請求項５に記載のトランジスタ。
【請求項１１】
前記少なくとも１つのゲルマニウム含有支持部は、ｐ型ドーパントまたはｎ型ドーパントでドーピングされている請求項４に記載のトランジスタ。
【請求項１２】
前記ｐ型ドーパントは、ホウ素、アルミニウム、ガリウム、およびインジウムから成る群から選択される１以上の元素である請求項１１に記載のトランジスタ。
【請求項１３】

Sandisk Technologies, Inc. - Ex. 1002, Page 000773

前記ｎ型ドーパントは、リンおよびヒ素から成る群から選択される１以上の元素である請求項１１に記載のトランジスタ。
【請求項１４】
前記ゲート領域は、ドーピングされているとしてもよいし、ドーピングされていないとしてもよい請求項１１に記載のトランジスタ。
【請求項１５】
前記ゲート領域は、前記少なくとも１つのゲルマニウム含有支持部のドーパントの導電型とは逆の導電型のドーパントでドーピングされている請求項１４に記載のトランジスタ。
【請求項１６】
支持基板上に配設されているシリコン－ゲルマニウムナノワイヤ構造を形成する方法であって、
前記支持基板上に少なくとも１つのゲルマニウム含有支持部を形成する段階と、
前記支持基板の上方に、前記少なくとも１つのゲルマニウム含有支持部に隣接させて、少なくとも１つのゲルマニウム含有ナノワイヤを形成する段階と、
前記少なくとも１つのゲルマニウム含有ナノワイヤと前記少なくとも１つのゲルマニウム含有支持部との間の界面にヘテロ接合を形成する段階と
を備え、
前記少なくとも１つのゲルマニウム含有ナノワイヤは、ゲルマニウム濃度が前記少なくとも１つのゲルマニウム含有支持部よりも高い方法。
【請求項１７】
前記少なくとも１つのゲルマニウム含有支持部の幅と、前記少なくとも１つのゲルマニウム含有ナノワイヤの直径との比は、２より大きい請求項１６に記載の方法。
【請求項１８】
前記支持基板と前記少なくとも１つのゲルマニウム含有支持部との間に絶縁層を形成する段階をさらに備える請求項１６に記載の方法。
【請求項１９】
前記支持基板上に少なくとも１つのゲルマニウム含有支持部を形成する段階は、
前記支持基板上に半導体デバイス層を成膜する段階と、
前記半導体デバイス層上に開始ゲルマニウム含有層を成膜する段階と、
前記開始ゲルマニウム含有層および前記半導体デバイス層を酸化して、第１の酸化物層およびゲルマニウム含有層を形成し、前記支持基板上に前記少なくとも１つのゲルマニウム含有支持部を形成する段階と
を有する請求項１６に記載の方法。
【請求項２０】
前記支持基板上に少なくとも１つのゲルマニウム含有支持部を形成する段階はさらに、
エッチング処理によって前記第１の酸化物層を除去する段階を有する請求項１９に記載の方法。
【請求項２１】
前記支持基板上に少なくとも１つのゲルマニウム含有支持部を形成する段階はさらに、
前記開始ゲルマニウム含有層上にキャップ層を成膜する段階を有する請求項１９に記載の方法。
【請求項２２】
前記開始ゲルマニウム含有層および前記半導体デバイス層は、ゲルマニウム濃縮処理によって酸化される請求項１９に記載の方法。
【請求項２３】
前記支持基板の上方に、前記少なくとも１つのゲルマニウム含有支持部に隣接させて、少なくとも１つのゲルマニウム含有ナノワイヤを形成する段階は、
前記支持基板上に半導体デバイス層を成膜する段階と、
前記半導体デバイス層上に開始ゲルマニウム含有層を成膜する段階と、

Sandisk Technologies, Inc. - Ex. 1002, Page 000774

前記開始ゲルマニウム含有層および前記半導体デバイス層を酸化して、第１の酸化物層およびゲルマニウム含有層を形成する段階と、
前記支持基板上に配設されている前記少なくとも１つのゲルマニウム含有支持部と、前記支持基板の上方に設けられており、前記少なくとも１つのゲルマニウム含有支持部に隣接して配設されている前記少なくとも１つのゲルマニウム含有ナノワイヤとを含むフィン構造を形成するように、前記ゲルマニウム含有層をパターニングする段階と、
さらに少なくとも前記フィン部を酸化して、第２の酸化物層に周囲を取り囲まれた前記少なくとも１つのゲルマニウム含有ナノワイヤを形成する段階と
を有する請求項１６に記載の方法。
【請求項２４】
前記支持基板の上方に、前記少なくとも１つのゲルマニウム含有支持部に隣接させて、少なくとも１つのゲルマニウム含有ナノワイヤを形成する段階はさらに、エッチング処理によって前記第１の酸化物層および前記第２の酸化物層を除去する段階を有する請求項２３に記載の方法。
【請求項２５】
前記支持基板の上方に、前記少なくとも１つのゲルマニウム含有支持部に隣接させて、少なくとも１つのゲルマニウム含有ナノワイヤを形成する段階はさらに、前記開始ゲルマニウム含有層上にキャップ層を成膜する段階を有する請求項２３に記載の方法。
【請求項２６】
少なくとも前記フィン部は、ゲルマニウム濃縮処理によって酸化される請求項２３に記載の方法。
【請求項２７】
前記半導体デバイス層は、シリコン層を含む請求項１９または請求項２３に記載の方法。
【請求項２８】
前記開始ゲルマニウム含有層は、シリコンゲルマニウム層を含む請求項１９または請求項２３に記載の方法。
【請求項２９】
前記ゲルマニウム含有層は、シリコンゲルマニウム層を含む請求項１９または請求項２３に記載の方法。
【請求項３０】
前記第１の酸化物層は、酸化シリコン層を含む請求項１９または請求項２３に記載の方法。
【請求項３１】
前記第２の酸化物層は、酸化シリコン層を含む請求項２３に記載の方法。
【請求項３２】
請求項１６から請求項３１のうちいずれか一項に記載の支持基板上に配設されているシリコン－ゲルマニウムナノワイヤ構造を形成する方法を備えるトランジスタを形成する方法であって、
前記少なくとも１つのゲルマニウム含有ナノワイヤの周囲にトンネル層を形成する段階と、
前記トンネル層を被覆するゲート領域を形成する段階と
をさらに備える方法。
【請求項３３】
前記トンネル層の周囲を取り囲む電荷トラップ構造を形成する段階をさらに備える請求項３３に記載の方法。
【請求項３４】
前記電荷トラップ構造と前記ゲート領域との間にブロック層を形成する段階をさらに備える請求項３３に記載の方法。
【請求項３５】

Sandisk Technologies, Inc. - Ex. 1002, Page 000775

前記トンネル層は、誘電材料を含む請求項３２に記載の方法。
【請求項３６】
前記ブロック層は、誘電材料を含む請求項３４に記載の方法。
【請求項３７】
前記誘電層は、酸化シリコン、窒化シリコン、酸化マグネシウム、酸化スカンジウム、二酸化ハフニウムという複数の誘電材料を含む群のうち任意の１以上を含む請求項３５または請求項３６に記載の方法。
【請求項３８】
前記電荷トラップ構造は、窒化シリコン、二酸化ハフニウム、および酸化アルミニウムという複数の高誘電材料を含む群のうち任意の１以上を含む請求項３３に記載の方法。
【請求項３９】
前記少なくとも１つのゲルマニウム含有支持部を、ｐ型ドーパントまたはｎ型ドーパントでドーピングする段階をさらに備える請求項１６に記載の方法。
【請求項４０】
前記ｐ型ドーパントは、ホウ素、アルミニウム、ガリウム、およびインジウムから成る群から選択される１以上の元素である請求項３９に記載の方法。
【請求項４１】
前記ｎ型ドーパントは、リンおよびヒ素から成る群から選択される１以上の元素である請求項３９に記載の方法。
【請求項４２】
前記ゲート領域を、前記少なくとも１つのゲルマニウム含有支持部のドーパントの導電型とは逆の導電型のドーパントでドーピングする段階をさらに備える請求項３９に記載の方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明の実施形態は、ナノワイヤ構造に関する。一例として、本発明の実施形態は、支持基板上に配設されているシリコン－ゲルマニウム（ＳｉＧｅ）ナノワイヤ構造およびその形成方法に関する。
【背景技術】
【０００２】
ゲートがチャネル本体の周囲を全周にわたって取り囲む構造のナノワイヤトランジスタが、ＣＭＯＳ技術ロードマップの最終目標のスケーリングを達成する上で、有望なＣＭＯＳデバイス構造となっている。一例を挙げると、完全ＣＭＯＳ（相補型金属酸化膜半導体）準拠型シリコンナノワイヤ（ＳｉＮＷ）ゲートオールアラウンド（ＧＡＡ）型のＮＭＯＳＦＥＴ（ｎチャネル金属酸化膜半導体電界効果トランジスタ）およびＰＭＯＳＦＥＴ（ｐチャネル金属酸化膜半導体電界効果トランジスタ）があり、さまざまな異なる結晶配向を持ち、最低５Ｋまでのさまざまな温度で特徴を持つナノワイヤチャネルを備えるように製造されている。ＳｉＮＷの幅は、１ｎｍ刻みで制御され、３ｎｍから６ｎｍの間で変動する。デバイスは、駆動電流が高く（ＮＭＯＳＦＥＴの場合２．４ｍＡ／μｍ、ＰＭＯＳＦＥＴの場合１．３ｍＡ／μｍ）、ゲート制御が良好で、温度によって受ける影響が小さい。キャリア閉じ込めについては、Ｉｄ－Ｖｇの変動（ｏｓｃｉｌｌａｔｉｏｎ）およびＳｉＮＷ直径に応じたスレッショルド電圧のシフトを参照すると、明確に証明されている。配向の影響についても調査が行われている。
【０００３】
別の例を挙げると、ＧＡＡおよびバルクデバイスがあり、共に同一チップ上で動作することが分かっている。これまでに実現されているＧＡＡトランジスタは、最低ゲート長が５０ｎｍで、伝導チャネルの厚みが２０ｎｍで、酸化物の厚みが２０Ａで、ゲート材料としてインサイチュドーピングされたアモルファスＳｉを用いている。このようなトランジスタでは、ポケット注入を行わずとも、短チャネル効果（ＳＣＥ）／ドレインに起因する

障壁低下（ＤＩＢＬ）効果が完全に抑制される。同一チップ上で測定されるバルクデバイスは、動作可能（９０ｎｍデバイス上で６００ｐＮｐｍよりも高い駆動電流を実現する）だが、ＳＣＥ／ＤＩＢＬ効果が大きく、９０ｎｍデバイスおよび５０ｎｍデバイスではそれぞれ最高６００ｍＶおよび最高１０００ｍＶになる。

【０００４】

さらに別の例を挙げると、サブ１０ｎｍレベルのスケーリングのＣＭＯＳデバイスのために開発されたナノワイヤフィンＦＥＴ構造がある。物理ゲート長が５ｎｍおよび１０ｎｍである蓄積モードＰ－ＦＥＴおよび反転モードＮ－ＦＥＴが製造される。Ｎ－ＦＥＴのゲート遅延（ＣＶ／Ｉ）は０．２２ｐｓで、Ｐ－ＦＥＴのゲート遅延は０．４８ｐｓとなると共に、サブスレッショルド特性が優れており、どちらもオフリーク電流は１０ｎＡ／μｍ未満という非常に小さい値となる。ナノワイヤフィンＦＥＴデバイスの動作はさらに、３Ｄ完全量子論的機械的シミュレーションを用いて調査される。

【０００５】

ナノワイヤは、トップダウン方式またはボトムアップ方式で製造または合成される。ボトムアップ製造方式には制御性、配置、およびＳｉ－ＣＭＯＳ標準製造方式との適合性が悪い点などの問題があるので、今後のＳｉ－ＣＭＯＳ分野の技術解決策としてはトップダウン方式が主流になっている。

【０００６】

トップダウン方式の一例を挙げると、ゲート長が１５ｎｍでナノワイヤの半径が４ｎｍであるＧＡＡ　ＴＳＮＷＦＥＴ（ツイン・シリコン・ナノワイヤＭＯＳＦＥＴ）がある。ＧＡＡ　ＴＳＮＷＦＥＴは、短チャネル効果を良好に抑制する。Ｐ－ＴＳＮＷＦＥＴは、駆動電流が１．９４ｍＡ／μｍと高く、ｎ－ＴＳＮＷＦＥＴは、オン電流が１．４４ｍＡ／μｍとなる。ＴＳＮＷＦＥＴの利点およびｐ－ＴＳＮＷＦＥＴの性能向上については、３Ｄ量子論的シミュレーションを用いて調査されている。

【０００７】

トップダウン方式の別の例を挙げると、完全ＳｉＣＭＯＳ準拠型プロセスを用いて、横方向に延伸しているナノワイヤを垂直方向に積層した構造のナノワイヤアレイを形成する方法がある。このようなナノワイヤアレイを用いているＧＡＡ　ＭＯＳＦＥＴデバイスは、サブスレッショルド傾斜が略理想的で（＜７０ｍＶ／ｄｅｃ）、Ｉオン／Ｉオフ比が高く（約１０７）、リーク電流が小さいという点で、性能が良好である。垂直方向に積層することで、シリコン面積が効率的に利用されると同時にオン状態のＩＤＳＡＴが改善する。ｎ－ＦＥＴデバイスおよびｐ－ＦＥＴデバイスが共に示されている。

【０００８】

高速ＣＭＯＳ回路については、ナノワイヤトランジスタに加えて、ヘテロ構造トランジスタも提案されている。一例を挙げると、修正ＭＯＤＦＥＴ（変調ドープ電界効果トランジスタ）に準拠している新世代の高速ヘテロ構造デバイスがある。このようなデバイスは、ｐ－チャネルが埋め込まれている修正ＭＯＤＦＥＴ、スレッショルド電圧が可変であるＭＯＤＦＥＴ、横方向ｎ－ｐ－ｎバイポーラトランジスタ、および３端子平面光検出器を含む。このようなデバイスは、まとめて集積化することが可能で、光導波路を備える。ＭＯＤＦＥＴは、高速且つ高収集効率のトランジスタで、低ノイズのｐ－ｉ－ｎモードまたは高ゲインのアバランシェモードで動作し得る。ゲート端子によって、光検出器の出力を変調することができる。

【０００９】

また、注入速度が高速であるヘテロ接合バイポーラトランジスタ（ＨＢＴ）の原理に基づいて、ヘテロ接合のソース平面ＭＯＳＦＥＴ構造が提案されている。これには、準バリスティック型または完全バリスティック型のトランジスタのための緩和ＳｉＧｅ／歪みＳｉから構成されるヘテロ接合ソース構造を備える新型の高速ＭＯＳＦＥＴであるソースヘテロ接合ＭＯＳトランジスタ（ＳＨＯＴ）が含まれる。ソースのＳｉＧｅ／歪みＳｉヘテロ接合におけるバンドオフセットエネルギーを用いることによって、ＳｉＧｅソース領域から歪みＳｉチャネルに高速の電子を注入することができる。出版物によれば、ＳＨＯＴ

では、印加するドレイン電圧を高くすると、従来の歪みシリコン・オン・インシュレータ（ＳＯＩ）ＭＯＳＦＥＴよりも、相互コンダクタンスが高くなることが実験によって証明されている。出版物では、ＳＨＯＴの相互コンダクタンスの向上は、ゲート駆動およびドレインバイアスの両方に左右されることも示されている。

【００１０】

しかし、チャネル移動度が良好で電流が大きいトランジスタが依然として望まれている。

【発明の概要】

【課題を解決するための手段】

【００１１】

本発明の一実施形態によると、支持基板上に配設されるシリコン－ゲルマニウムナノワイヤ構造が提供される。当該方法は、支持基板上に配設されている少なくとも１つのゲルマニウム含有支持部と、支持基板の上方に設けられており、少なくとも１つのゲルマニウム含有支持部に隣接して配設されている少なくとも１つのゲルマニウム含有ナノワイヤとを備え、少なくとも１つのゲルマニウム含有ナノワイヤは、ゲルマニウム濃度が少なくとも１つのゲルマニウム含有支持部よりも高い。

【００１２】

本発明の別の実施形態によると、支持基板上に配設されているシリコン－ゲルマニウムナノワイヤ構造を備えるトランジスタが提供される。当該トランジスタはさらに、少なくとも１つのゲルマニウム含有ナノワイヤの周囲に設けられているトンネル層と、トンネル層を被覆するように配置されているゲート領域とをさらに備える。

【００１３】

本発明の別の実施形態によると、支持基板上に配設されているシリコン－ゲルマニウムナノワイヤ構造を形成する方法が開示される。当該方法は、支持基板上に少なくとも１つのゲルマニウム含有支持部を形成する段階と、支持基板の上方に、少なくとも１つのゲルマニウム含有支持部に隣接させて、少なくとも１つのゲルマニウム含有ナノワイヤを形成する段階とを備え、少なくとも１つのゲルマニウム含有ナノワイヤは、ゲルマニウム濃度が少なくとも１つのゲルマニウム含有支持部よりも高い。

【００１４】

本発明の他の実施形態によると、支持基板上に配設されているシリコン－ゲルマニウムナノワイヤ構造を形成する方法を備えるトランジスタを形成する方法が提供される。当該方法は、少なくとも１つのゲルマニウム含有ナノワイヤの周囲にトンネル層を形成する段階と、トンネル層を被覆するゲート領域を形成する段階とをさらに備える。

【図面の簡単な説明】

【００１５】

添付図面では、複数の異なる図面にわたって、同一の構成要素には概して同様の参照符号を付与するものとする。図面は必ずしも実寸に即したものではなく、概して、本発明の原理を説明することに重点を置いて作成されている。以下に記載する説明では、以下の添付図面を参照しつつ本発明のさまざまな実施形態を説明する。添付図面は以下の通りである。

【００１６】

【図１】本発明の実施形態に係るシリコン－ゲルマニウムナノワイヤ（ＳＧＮＷ）トランジスタを示す断面図である。

【００１７】

【図２】本発明の実施形態に係るＳＧＮＷトランジスタの断面図に対応するバンド図である。

【００１８】

【図３Ａ】本発明の実施形態に係るＳＧＮＷトランジスタを形成する方法の工程を示す図である。

【図３Ｂ】本発明の実施形態に係るＳＧＮＷトランジスタを形成する方法の工程を示す図

Sandisk Technologies, Inc. - Ex. 1002, Page 000778

である。
【図３Ｃ】本発明の実施形態に係るＳＧＮＷトランジスタを形成する方法の工程を示す図である。
【図３Ｄ】本発明の実施形態に係るＳＧＮＷトランジスタを形成する方法の工程を示す図である。
【図３Ｅ】本発明の実施形態に係るＳＧＮＷトランジスタを形成する方法の工程を示す図である。
【図３Ｆ】本発明の実施形態に係るＳＧＮＷトランジスタを形成する方法の工程を示す図である。
【図３Ｇ】本発明の実施形態に係るＳＧＮＷトランジスタを形成する方法の工程を示す図である。
【図３Ｈ】本発明の実施形態に係るＳＧＮＷトランジスタを形成する方法の工程を示す図である。
【００１９】
【図４Ａ】本発明の実施形態に係る、フィンパターニングの後、且つ、第２のＧｅ濃縮の前の時点の図３ＥのＳＧＮＷトランジスタを示す、ＡＡ´面に沿った断面図である。
【図４Ｂ】本発明の実施形態に係る、フィンパターニングの後、且つ、第２のＧｅ濃縮の後の時点の図３ＥのＳＧＮＷトランジスタを示す、ＡＡ´面に沿った断面図である。
【００２０】
【図５Ａ】本発明の実施形態に係る、図３ＦのＳＧＮＷトランジスタを示す、ＡＡ´面に沿った断面図である。
【図５Ｂ】本発明の実施形態に係る、図３ＦのＳＧＮＷトランジスタを示す、ＢＢ´面に沿った断面図である。
【００２１】
【図６Ａ】本発明の実施形態に係る、得られた構造がＭＯＳＦＥＴである図３ＧのＳＧＮＷトランジスタをＡＡ´面に沿って示す断面図である。
【図６Ｂ】本発明の実施形態に係る、得られた構造がＳＯＮＯＳ（シリコン－酸化物－窒化物－酸化物－シリコン）メモリデバイスである図３ＧのＳＧＮＷトランジスタをＡＡ´面に沿って示す断面図である。
【００２２】
【図７】本発明の実施形態に係るＳＧＮＷトランジスタを形成する方法を示すフローチャートである。
【００２３】
【図８Ａ】本発明の実施形態に係る、第２のＧｅ濃縮処理が行われた後に撮られたＳＧＮＷ構造を示す走査型電子顕微鏡（ＳＥＭ）画像である。
【図８Ｂ】本発明の実施形態に係る、ゲートパターン転写が行われた後に撮られたＳＧＮＷ構造のＳＥＭ画像である。
【図８Ｃ】本発明の実施形態に係るＳＧＮＷの断面を示す高分解能透過型電子顕微鏡（ＨＲＴＥＭ）画像である。
【００２４】
【図９Ａ】本発明の実施形態に係る、ナノワイヤ露出後のＳＧＮＷ構造を示すＳＥＭ画像である。
【図９Ｂ】本発明の実施形態に係る、約４５度回転させて撮られたナノワイヤ露出後のＳＧＮＷ構造を示すＳＥＭ画像である。
【００２５】
【図１０Ａ】本発明の実施形態に係る、HfO_2／ＴａＮゲートを備えるＳＧＮＷ　ＧＡＡ　ＦＥＴのＴＥＭ画像である。
【図１０Ｂ】本発明の実施形態に係る、略円形のＳＧＮＷの拡大図である。
【図１０Ｃ】本発明の実施形態に係るＳＧＮＷ内の格子構造を示す逆格子空間回折図である。

Sandisk Technologies, Inc. - Ex. 1002, Page 000779

【００２６】
【図１１】本発明の実施形態に係る、ゲート長（Ｌｇ）が約３５０ｎｍであるＳＧＮＷ ＰＭＯＳＦＥＴおよびＳｉ$_{0.7}$Ｇｅ$_{0.3}$ホモ平面デバイスのＩ$_{D}$－Ｖ$_{d}$特性を正規化して示すグラフである。
【００２７】
【図１２】本発明の実施形態に係る、Ｌｇが約３５０ｎｍであるＳＧＮＷ ＰＭＯＳＦＥＴおよびＳｉ$_{0.7}$Ｇｅ$_{0.3}$ホモ平面デバイスの相互コンダクタンス（ｇ$_{M}$）－ゲート電圧（Ｖ$_{G}$）特性を示すグラフである。
【００２８】
【図１３】本発明の実施形態に係る、Ｌｇが約３５０ｎｍであるＳＧＮＷ ＰＭＯＳＦＥＴおよびＳｉ$_{0.7}$Ｇｅ$_{0.3}$ホモ平面デバイスの駆動電流（Ｉ$_{Dsat}$）－温度特性を示すグラフである。
【００２９】
【図１４】本発明の実施形態に係る、Ｌｇが約３５０ｎｍであるＳＧＮＷ ＰＭＯＳＦＥＴおよびＳｉ$_{0.7}$Ｇｅ$_{0.3}$ホモ平面デバイスのスレッショルド電圧（Ｖ$_{T}$）－温度特性を示すグラフである。
【００３０】
【図１５】本発明の実施形態に係る、Ｌｇが５００ｎｍであるＳＧＮＷ ＰＭＯＳＦＥＴのＩ$_{D}$－Ｖ$_{G}$特性を示すグラフである。
【００３１】
【図１６】本発明の実施形態に係る、Ｌｇが５００ｎｍであるＳＧＮＷ ＰＭＯＳＦＥＴのＩ$_{D}$－Ｖ$_{D}$特性を示すグラフである。
【００３２】
【図１７】本発明の実施形態に係る、Ｌｇが５００ｎｍであるＳＧＮＷ ＰＭＯＳＦＥＴのｇ$_{M}$－Ｖ$_{G}$特性を示すグラフである。
【００３３】
【図１８】本発明の実施形態に係る、Ｖ$_{D}$を小さくして反転を強くした場合のＳＧＮＷ ＰＭＯＳＦＥＴの抵抗－Ｖ$_{G}$特性を示すグラフである。
【００３４】
【図１９】本発明の実施形態に係る、それぞれゲート長が３５０ｎｍ、４００ｎｍ、および５００ｎｍであるＳＧＮＷ ＰＭＯＳＦＥＴのＶ$_{T}$－温度特性を示すグラフである。
【００３５】
【図２０】本発明の実施形態に係る、それぞれゲート長が３５０ｎｍ、４００ｎｍ、および５００ｎｍであるＳＧＮＷ ＰＭＯＳＦＥＴの線形ｇ$_{M}$ピーク－温度特性を示すグラフである。
【００３６】
【図２１】本発明の実施形態に係る、それぞれ半径が６ｎｍおよび８ｎｍであるＳＧＮＷ ＰＭＯＳＦＥＴのＩ$_{ON}$－Ｉ$_{OFF}$特性を示すグラフである。
【００３７】
【図２２】本発明の実施形態に係る、チャネル方向が＜１００＞であるＳＧＮＷ ＰＭＯＳＦＥＴのＩ$_{D}$－Ｖ$_{G}$特性を示すグラフである。
【００３８】
【図２３】本発明の実施形態に係る、チャネル方向が＜１００＞であるＳＧＮＷ ＰＭＯＳＦＥＴのＩ$_{D}$－Ｖ$_{D}$特性を示すグラフである。
【００３９】
【図２４】本発明の実施形態に係る、パッシベーションが施されていないＳＧＮＷ ＮＭＯＳＦＥＴのＩ$_{D}$－Ｖ$_{G}$特性を示すグラフである。
【００４０】
【図２５】本発明の実施形態に係る、パッシベーションが施されていないＳＧＮＷ ＮＭＯＳＦＥＴのＩ$_{D}$－Ｖ$_{D}$特性を示すグラフである。

Sandisk Technologies, Inc. - Ex. 1002, Page 000780

【００４１】
【図２６】本発明の実施形態に係るＳＧＮＷ構造を含むＣＭＯＳインバータのV_{OUT}－V_{IN}特性を示すグラフである。
【発明を実施するための形態】
【００４２】
実施形態例に係る支持基板上に形成されるシリコンゲルマニウムナノワイヤ構造およびその形成方法を、添付図面を参照しつつ以下で詳細に記載する。また、以下に記載する実施形態例は、本発明の核となる部分を変更することなく、さまざまな点で変形可能である。
【００４３】
図１は、本発明の実施形態に係るＳＧＮＷトランジスタ１０２を示す断面図である。ＳＧＮＷトランジスタ１０２は、支持基板１０４と、埋め込み酸化膜（ＢＯＸ）層１０６と、下側ゲート電極１０８と、上側ゲート電極１１０と、ソース領域１１２と、ナノワイヤチャネル領域１４８と、ドレイン領域１１６とを備える。下側ゲート電極１０８は、下側ゲート誘電層１１８によって、ソース領域１１２、ナノワイヤチャネル領域１４８、およびドレイン領域１１６から分離されており、上側ゲート電極１１０は、上側ゲート誘電層１２０によって、ソース領域１１２、ナノワイヤチャネル領域１４８、およびドレイン領域１１６から分離されている。下側ゲート電極１０８および上側ゲート電極１１０は、別々の電極として形成されてもよいし、または、ナノワイヤチャネル領域１４８を取り囲むように形成される１つの電極であってもよい。同様に、下側ゲート誘電層１１８および上側ゲート誘電層１２０は、別々の誘電層として形成されてもよいし、または、ナノワイヤチャネル領域１４８を取り囲むように形成される１つの誘電層であってもよい。
【００４４】
支持基板１０４は、任意の適切な半導体材料から形成されるとしてよく、そのような半導体材料は、これらに限定されないが、Ｓｉ、サファイア、ポリシリコン、酸化シリコン（SiO_2）、または窒化シリコン（Si_3N_4）を含む。ＢＯＸ層１０６は通常、絶縁層である。ＢＯＸ層１０６は通常、酸化シリコン（SiO_2）であるが、任意の適切な絶縁材料から形成されるとしてよく、そのような絶縁材料は、これらに限定されないが、テトラエチルオルソシリケート（ＴＥＯＳ）、シラン（SiH_4）、窒化シリコン（Si_3N_4）、または炭化ケイ素（ＳｉＣ）を含むとしてよい。ＢＯＸ層１０６の厚みは、約１ｋＡから約数μｍの範囲内であってよいが、これに限定されない。上側ゲート誘電層１２０および下側ゲート誘電層１１８は、例えば窒化シリコン（Si_3N_4、SiN_x）、酸化マグネシウム（ＭｇＯ）、または酸化スカンジウム（Sc_2O_3）等の任意の適切な誘電体であってよく、通常はSiO_2であるがこれに限定されない。ソース領域１１２、ドレイン領域１１６、およびナノワイヤチャネル領域１４８は、ＳｉＧｅから形成されるとしてよい。下側ゲート電極１０８および上側ゲート電極１１０は、Ｓｉ、ポリシリコン（ｐｏｌｙ－Ｓｉ）、アモルファスシリコン、または、窒化タンタル（ＴａＮ）、窒化チタン（ＴｉＮ）、窒化ハフニウム（ＨｆＮ）、アルミニウム（Ａｌ）およびタングステン（Ｗ）といった金属であってよいが、これらに限定されない。
【００４５】
ナノワイヤチャネル領域１４８のＧｅ濃度は、ソース領域１１２またはドレイン領域１１６のＧｅ濃度よりも高い。このようにＧｅ濃度に差があるために、ソース領域１１２とナノワイヤチャネル領域１４８との間の界面、および、ドレイン領域１１６とナノワイヤチャネル領域１４８との間の界面にヘテロ接合１２２が形成される。ナノワイヤチャネル領域１４８のＧｅ濃度は通常、約５０％から９０％の範囲内であり、約７０％であることが好ましい。ソース領域１１２またはドレイン領域１１６のＧｅ濃度は通常、約１０％から５０％であり、約３０％であることが好ましい。ナノワイヤチャネル領域１４８のＧｅ濃度が高くなるほど、チャネル移動度が高くなる。ＳｉＧｅ基板の場合、Ｇｅ含有率が高くなるほど、チャネル内のキャリアのキャリア移動度が高くなる。これは、電子および正孔の双方に当てはまる。

Sandisk Technologies, Inc. - Ex. 1002, Page 000781

【００４６】
図２は、本発明の実施形態に係るＳＧＮＷトランジスタ１０２の断面図に対応するバンド図である。バンド図１２４は、ソース領域１１２、ＳＧＮＷチャネル領域１４８、およびドレイン領域１１６の価電子帯エネルギー値（E_V）および伝導帯エネルギー値（E_C）を示している。ソース領域１１２とＳＧＮＷチャネル領域１４８との間、および、ＳＧＮＷチャネル領域１４８とドレイン領域１１６との間において、E_VおよびE_Cについて差異が見られることから考えて、２つのヘテロ接合１２２が形成されているものと推測され得る。一方のヘテロ接合１２２は、ソース領域１１２とＳＧＮＷチャネル領域１４８との間の界面に形成されており、他方のヘテロ接合１２２は、ドレイン領域１１６とＳＧＮＷチャネル領域１４８との間の界面に形成されている。

【００４７】
ＳＧＮＷチャネル領域１４８のＧｅ濃度が高くなるにつれて、ＳＧＮＷチャネル領域１４８のバンドギャップは、大幅に小さくなる。これは、ｘがＳＧＮＷチャネル領域１４８におけるＧｅの割合を表し、E_{g1}およびE_{g2}がＧｅおよびＳｉのバンドギャップを表す場合に、Ｅｇ（合金）＝ｘE_{g1}＋（１－ｘ）E_{g2}の式が成立することから分かる。一例を挙げて説明すると、ソース領域１１２およびドレイン領域１１６のＧｅ濃度が約３０％で、チャネル領域１４８のＧｅ濃度が約７０％である場合、ソース領域１１２およびドレイン領域１１６のバンドギャップＥｇ、つまり、E_CとE_Vとの間のエネルギー差は、約０．９９電子ボルト（ｅＶ）で、ＳＧＮＷチャネル１４８の歪み効果を考慮に入れない場合、チャネル領域１４８のバンドギャップは、約０．８１ｅＶとなる。このため、価電子帯オフセットΔE_V、つまり、チャネル領域１４８とソース領域１１２との間の価電子帯E_V値のエネルギー差は、約０．１５ｅＶとなる。正孔注入速度は、価電子帯オフセットΔE_Vが大きくなるにつれて、速くなるとしてよい。

【００４８】
図３Ａから図３Ｈは、本発明の実施形態に係るＳＧＮＷトランジスタを形成する方法の工程を示す図である。当該方法は、図３Ａに示す開始基板１２６から開始される。開始基板１２６は、シリコン・オン・インシュレータ（ＳＯＩ）基板、バルクシリコン基板、または、用途に応じたその他の関連する基板であってよい。図３Ａでは、一例としてＳＯＩ基板１２６を利用する。ＳＯＩ基板１２６は、絶縁層または埋め込み酸化膜（ＢＯＸ）層１０６によって、支持基板１０４から垂直方向に分離されている半導体デバイス層１２８を含む。ＢＯＸ層１０６は、支持基板１０４から半導体デバイス層１２８を電気的に絶縁している。ＳＯＩ基板１２６は、ウェハ接合方式またはＳＩＭＯＸ（酸素注入分離）方式等、任意の標準技術によって製造するとしてよい。

【００４９】
図３Ａに図示した本発明の実施形態によると、半導体デバイス層１２８は通常、Ｓｉであるが、任意の適切な半導体材料から形成されるとしてよく、そのような半導体材料は、これらに限定されないが、ポリシリコン（ｐｏｌｙ－Ｓｉ）、ガリウムヒ素（ＧａＡｓ）、ゲルマニウム（Ｇｅ）、またはシリコン－ゲルマニウム（ＳｉＧｅ）を含む。半導体デバイス層１２８の厚みは、約５０ｎｍから約９０ｎｍの範囲内にあるとしてよく、通常は約７０ｎｍであるがこれに限定されない。支持基板１０４は通常、Ｓｉであるが、任意の適切な半導体材料から形成されるとしてよく、そのような半導体材料は、これらに限定されないが、サファイア、ポリシリコン、酸化シリコン（SiO_2）、または窒化シリコン（Si_3N_4）。ここで、支持基板１０４もまた、ＳＯＩ基板であるとしてよい。ＢＯＸ層１０６は、絶縁層であることが多い。ＢＯＸ層１０６は通常、SiO_2であるが、任意の適切な絶縁材料から形成されるとしてよく、そのような絶縁材料は、これらに限定されないが、テトラエチルオルソシリケート（ＴＥＯＳ）、シラン（SiH_4）、窒化シリコン（Si_3N_4）、または炭化ケイ素（ＳｉＣ）を含むとしてよい。ＢＯＸ層１０６の厚みは、約１ｋＡから約数μｍの範囲内であるとしてよいが、これに限定されない。

【００５０】
図３Ａを参照しつつ説明すると、いずれの成膜よりも前に、Ｓｉデバイス層１２８の厚

Sandisk Technologies, Inc. - Ex. 1002, Page 000782

みを、酸化によって、約１０ｎｍから約４０ｎｍの範囲内になるまで、通常は約２５ｎｍまで薄くするとしてよい。この酸化処理は、湿式酸化（H_2O蒸気内で行われる）ものであってもよいし、または、乾式酸化（O_2ガス内で行われる）であってもよいし、または、任意のその他の適切な技術を用いて行うとしてもよい。Ｓｉデバイス層１２８の厚みを薄くする工程は、実行が任意の工程であり、その目的はＳｉデバイス層１２８の厚みとＳｉＧｅ層の厚みとの合計に等しい、結果として得られるＦｉｎＦＥＴの高さを維持することにある。結果として得られるＦｉｎＦＥＴの高さを所望の高さの範囲内に留めておくべく、続いて成膜するＳｉＧｅ層の厚みを大きくできるようにＳｉデバイス層１２８の厚みを薄くして、形成された膜のＧｅ含有率を高くするとしてよい。ＳｉＧｅ層の厚みを大きくしてＳｉデバイス層１２８の厚みを小さくすることによって、結果として得られる構造のＳＧＮＷのＧｅ含有率が高くなる。

【００５１】

厚みを薄くする工程の後、ＲＣＡおよびフッ化水素（ＨＦ）を用いて表面洗浄工程を実行するとしてよい。当該表面洗浄工程は、性能および半導体デバイスの信頼性を高めること、および、処理設備、特に、高温酸化、拡散、および成膜用の管またはチャンバの汚染を防ぐことを目的として、処理開始時にＳｉデバイス層１２８の表面上に存在している汚染物質、または、処理中に蓄積した汚染物質を、特定の工程では除去する必要があるために行われる。ＲＣＡ洗浄は、基板またはウェハから汚染物質を除去するための業界標準技術である。通常のＲＣＡ洗浄処理は、順に行われる３つの主な工程から成る。３つの工程は、有機洗浄（例えば、５：１：１のH_2O：H_2O_2：NH_4OH溶液で不溶性有機汚染物質を除去）、酸化物剥離（例えば、希釈された５０：１の脱イオン水H_2O：ＨＦ溶液を用いて、二酸化シリコン薄層を除去）、および金属イオン洗浄（例えば、６：１：１のH_2O：H_2O_2：ＨＣｌ溶液を用いて、金属原子汚染物質を除去）である。硫酸（H_2SO_4）と過酸化水素（H_2O_2）との混合物による洗浄も利用するとしてよい。その他の種類の洗浄溶液または洗浄工程をさらに利用するとしてもよい。

【００５２】

表面洗浄工程の後、Ｇｅ含有率が約１５％から約２５％の範囲内で一定である開始ＳｉＧｅエピタキシャル層１３０を、図３Ｂに示すように、Ｓｉデバイス層１２８上に成長させるとしてよい。ＳｉＧｅ層１３０は、コールドウォール型超高真空化学気相成長法（ＵＨＶＣＶＤ）反応器を用いて、約摂氏５００度から約摂氏６００度の範囲内の温度、これには限定されないが、通常は約摂氏５８０度の温度で、SiH_4ガスおよびゲルマン（GeH_4）ガスの混合気体を利用して、成長させるとしてよい。ＳｉＧｅ層１３０の厚みは、約３０ｎｍから約６０ｎｍの範囲内であるが、これに限定されない。これに代えて、Ｓｉデバイス層１２８上に、複数のＳｉＧｅ層およびＳｉ層を交互に成長させて、積層ナノワイヤ構造を形成するとしてもよい。本例において、Ｓｉを成膜する場合にはSiH_4ガスのみを利用する。成膜サイクルが変わるとGeH_4をオフまたはオンに制御して、Ｓｉ層およびＳｉＧｅ層を形成するとしてよい。また、GeH_4、SiH_4の流量比を変えることによって、複数のＳｉＧｅ膜を互いに異ならせるとしてよい。このようなＵＨＶＣＶＤ構成では、温度の範囲は約摂氏５００度から約摂氏６００度としてよい。

【００５３】

ＳｉＧｅ層１３０上には、任意でＳｉキャップ層（不図示）を成膜するとしてもよい。Ｓｉキャップ層は、ゲート誘電層またはゲート酸化膜層を形成している間の犠牲層として機能し、Ｇｅの露光を防ぐべくＳｉＧｅに対するパッシベーションとして機能する。酸化プロセスは、上側のＳｉキャップ層を酸化（ｃｏｎｓｕｍｅ）するが、ＳｉＧｅ層は酸化しない。これは、ＳｉＧｅ面での酸化物品質が通常、Ｓｉとの間で界面を形成する酸化物の品質に比べて低いためである。

【００５４】

ＳｉＧｅエピタキシャル層１３０を成長させ、任意でＳｉキャップ層を成膜させた後、第１のＧｅ濃縮処理および周期的アニーリング工程を実行するとしてよい。Ｇｅ濃縮処理は、ＳｉＧｅ層の熱酸化によって行われるとしてよい。具体的には、ＳｉはＧｅよりも高

速に酸化して、Ｇｅ原子がSiO_2層から排除されてその下のＳｉＧｅ層に入る。このようにＧｅが拡散および蓄積するが、その様子は熱環境に応じて変わり、ガスの流動および温度に応じて変化する。酸化期間を長くすると、ＳｉＧｅ層のＧｅ含有率を高くすることができる。

【００５５】

図３Ｃは、第１のＧｅ濃縮処理および周期的アニーリング工程の後の構造１３６を示す図である。構造１３６は、ＳｉＧｅ層１３４上に形成された酸化層（SiO_2層１３２）を有し、ＳｉＧｅ層１３４はＢＯＸ層１０６上に配設されている。SiO_2層１３２からＧｅ原子が排除されて、その下のＳｉＧｅ層１３４に入る。周期的アニーリング工程は、約摂氏７５０度から約摂氏９５０度の間の温度で実行されるとしてよいが、これに限定されない。周期的アニーリング工程は、欠陥を低減すると共に動的にＧｅをＳｉＧｅ層１３４全体に均一に分配するべく実行される。

【００５６】

第１のＧｅ濃縮処理の後、適切なエッチング液、例えば、希釈フッ化水素酸（ＤＨＦ）（１：２００）を用いて、SiO_2層１３２をエッチングで除去するとしてよい。図３Ｄは、エッチング処理後の様子を示しており、ＢＯＸ層１０６上にＳｉＧｅ層１３４が形成されている。つまり、ＳｉＧｅ・オン・インシュレータ（ＳＧＯＩ）１３８と呼ばれる構造が形成されている。ＳｉＧｅ層１３４の厚みは、約２０ｎｍから３０ｎｍであるが、これに限定されない。Ｇｅの割合およびＳｉＧｅ層１３４の厚みは、例えば、Ｓｉデバイス層１２８の厚み、開始ＳｉＧｅ層１３０の厚み、およびＧｅ濃縮時間によって決まる。

【００５７】

続いて、比較的厚みが小さく直線状の酸化物層またはパッド酸化膜層（不図示）を、ＳｉＧｅ層１３４上に成膜する。このように厚みが小さく直線状の酸化物層を形成するのは、これ以降に成膜される層（例えば、窒化シリコン（ＳｉＮ）ハードマスク層）からＳｉＧｅ層１３４を保護するためである。例えば、直線状の酸化物層によって、ＳｉＧｅ層１３４に対する露光が阻止されて、表面の酸化が容易に且つ不均一に実行され得る。この後、ＳｉＮハードマスク層（不図示）を厚みの小さい直線状の酸化物層の上に成膜する。ハードマスクのその他の例を挙げると、ＳｉＮとSiO_2とを積層させて組み合わせる例がある。続いて、ＳｉＮハードマスク層の上面に、フォトレジスト層（不図示）が塗布またはコーティングされる。その後、標準的なフォトリソグラフィー技術、例えば、２４８ｎｍのフッ化クリプトン（ＫｒＦ）によるリソグラフィーを用いて、フォトレジスト層をパターニングして、２つの支持部の間に１つのフィン部が配置されているフィン構造を形成する。フィン部は幅が狭く、これに限定されないが、約４０ｎｍから約２００ｎｍであって、このような幅狭のフィン部をパターニングするべく、交互型位相シフトマスク（Ａｌｔ－ＰＳＭ）を用いるとしてよい。この後、パターニングされたフォトレジスト層をマスクとして利用して、ＳｉＮ層、直線状の酸化物層、およびＳｉＧｅ層１３４の当該マスクによって被覆されていない部分を、例えば、六フッ化硫黄（SF_6）内での反応性イオンエッチング（ＲＩＥ）等のドライエッチング処理を始めとする適切なエッチング処理で、除去するとしてよい。

【００５８】

図３Ｅに示すように、支持部１４４の間にフィン部１４２が配置され、フィン部１４２の各端部が支持部１４４に接続されているフィン構造１４０がＢＯＸ層１０６上に形成されている。フィン部１４２は、支持部１４４をつなぐ橋として機能する。支持部１４４は通常、フィン部１４２に比べて幅が広いブロック部である。図３Ｅは、２つの支持部１４４の間の中央にフィン部１４２が配置されている様子を示している。これに代えて、フィン部１４２は、２つの支持部１４４のうち片方の側に寄せて配置されるとしてもよい。フィン部１４４の幅（「ｗ」で表す）は、約４０ｎｍから約２００ｎｍであるが、これに限定されない。フィン部１４２は、高さ（「ｈ」で表す）が通常約１ｋＡから約２ｋＡであり、高さと幅との間の比は５：１から１：２の範囲内にあるとしてよいが、これに限定されない。

Sandisk Technologies, Inc. - Ex. 1002, Page 000784

【００５９】
フォトレジスト層は、フィン構造１４０を形成した後、フォトレジスト剥離装置（ＰＲＳ）によって除去または剥離される。フォトレジスト剥離、または単に「レジスト剥離」は、不要なフォトレジスト層を除去する処理である。レジスト剥離の目的は、フォトレジストの下方の表面材料が、剥離処理で利用する化学物質によって損傷されることなく、フォトレジスト材料を出来る限り短時間で除去することにある。ここで、任意のその他の適切な技術または処理を用いて、２つの支持部の間にフィン部が配置されたフィン構造をＢＯＸ層上に形成する処理をより柔軟に行うとしてもよい。

【００６０】
続いて、フィン構造１４０に対して、第２のＧｅ濃縮処理を、約８７５度の温度で、約１０分間にわたって実行するとしてよいが、これに限定されない。図３Ｆにおいて示すように、第２のＧｅ濃縮工程を実行した結果、酸化膜で封止され、且つ、Ｇｅ含有率が高いＳＧＮＷチャネル１４８の両側がＧｅ含有率が低い支持部１５０に接続されているＳＧＮＷ構造１４６が形成されている。ＳＧＮＷチャネル１４８の直径は、７ｎｍから１３ｎｍであるが、これに限定されない。

【００６１】
第２のＧｅ濃縮処理を実行する際には、パターンのサイズおよび形状に依存したＧｅ濃縮処理が実行される。第２のＧｅ濃縮は、フィン構造１４０を同質（ホモ）構造からヘテロ構造へと変換するための処理である。第２の濃縮処理は、幅が狭いフィン部１４２では２次元状に（４つの辺の略全てから）進むが、これより寸法が大きい支持部１４４では１次元に（上側からのみ）進む。フィン部１４２の側面および上面からフィン部１４２の中心部へとＧｅ原子が拡散することによって、Ｇｅ濃度がさらに高くなると共に、フィン部１４２の断面積が小さくなる。この結果、ＳＧＮＷチャネル１４８内のＧｅ含有率は高くなり、フィン部１４２のサイズは約４０ｎｍから約２００ｎｍという範囲であったが、結果として得られるＳＧＮＷチャネル１４８の直径は約７ｎｍから約１３ｎｍまで小さくなる。支持部１４４は、第１のＧｅ濃縮で得られたＧｅ濃度と略同様のＧｅ濃度を維持する。

【００６２】
この後、リン酸（例えば、H_3PO_4）によってＳｉＮマスク層を洗浄で除去する前に、周期的アニーリングを実行する。酸化膜除去の前に周期的アニーリングを実行することによって、ＳＧＮＷ１４８内での応力の緩和または再分配に起因するＳＧＮＷ１４８内での破損が発生しないようにする。この後、ハードマスクをエッチングで除去する。ＳＧＮＷ１４８の周囲を取り囲む厚みの小さい直線状の酸化物層およびSiO_2層１５３もまた、希釈フッ化水素酸（ＤＨＦ）（１：２００）を用いてエッチングして、ＳＧＮＷ１４８を露出させる。任意のその他の適切なエッチング液を用いて、ＳＧＮＷ１２０を露出させることもできる。各ＳＧＮＷ１４８の寸法は、約７ｎｍから１３ｎｍであるが、これに限定されない。各ＳＧＮＷ１４８の直径は、最初の成膜および酸化サイクルによって決まる。結果として、図３Ｆに示すように、第２のＧｅ濃縮処理を実行することによって、ＢＯＸ層１０６上に、支持部１５０に各端部が支持されているＳＧＮＷチャネル１４８が得られる。支持部１５０の幅とＳＧＮＷ１４８の直径との比は、約２から約２０の範囲内にあり、通常は約１０である。

【００６３】
この後、ナノワイヤの露出が完了した後、表面パッシベーション工程を行って、ＳＧＮＷ１４８の表面に、エピタキシャルＳｉ層（不図示）のパッシベーションを施すとしてよい。当該エピタキシャルＳｉ層は、約２ｎｍであるが、これに限定されない。パッシベーション層は、犠牲層として機能する。酸化処理では、酸化物がチャネル表面、つまり、ＳＧＮＷ１４８に到達する前に、パッシベーション層を酸化する。このため、酸化物とチャネルとの間の界面は、Ｓｉパッシベーション層内に維持され、ＳＧＮＷ１４８内には入らない。この後、酸化物を成長させ（不図示）、ゲート誘電体を形成する。当該酸化物の厚みは、約４ｎｍから８ｎｍであるが、これに限定されない。当該酸化物は、温度を約８０

Sandisk Technologies, Inc. - Ex. 1002, Page 000785

０度から約９００度に設定して乾式酸化処理によって成長させられるとしてもよいし、または、ＣＶＤ処理によって成長させられるとしてもよい。ゲート誘電体は、任意の適切な誘電体であってよく、例えば、SiO_2、SiN_x、ＭｇＯ、またはSc_2O_3であってよい。

【００６４】

続いて図３Ｇに示すように、厚みが約１３００オングストロームの導電層（不図示）を、低電力物理気相成長法（ＰＶＤ）を用いて、酸化物層を被覆するように成膜する。当該導電層は、シリコン、ポリシリコン、アモルファスシリコン、または、窒化タンタル（ＴａＮ）、窒化チタン（ＴｉＮ）、窒化ハフニウム（ＨｆＮ）、アルミニウム（Ａｌ）、およびタングステン（Ｗ）等の金属であってよいが、これに限定されない。この後、当該導電層をパターニングおよびエッチングして、ゲート電極１５２を形成する。ゲート長は約７５ｎｍであるが、これに限定されない。ゲート電極１５２は、本質的にはドーピングされておらずドーピング方法に応じてドーピングが異なるものとして成膜されるとしてもよいし、または、金属ゲートとして成膜されるとしてもよい。

【００６５】

続いて図３Ｈに示すように、フィン構造１４０の支持領域１４４に、ｐ型ドーパントまたはｎ型ドーパントを注入して、ソース領域１１２およびドレイン領域１１６を形成し、ゲート電極１５２には、フィン構造１４０の支持部１４４に注入したドーパントとは逆の導電性のドーパントを注入するとしてよい。ＳＧＮＷ　ＰＭＯＳＦＥＴを製造する場合には、ｐ型ドーパント、例えば、BF_2を、ドーズ量を約$4X10^{15}cm^{-2}$に設定して、約３５ｋｅＶで、支持領域１４４に注入して、ソース領域１１２およびドレイン領域１１６を形成するとしてよい。アルミニウム、ガリウム、およびインジウム等、任意のその他の適切なｐ型ドーパントを利用するとしてもよい。ヒ素（Ａｓ）等のＮ型ドーパントを、ドーズ量を約$4X10^{15}cm^{-2}$に設定して、約３０ｋｅＶで、ゲート電極１５２に注入するとしてもよい。ゲート１５２に対する注入と、ソース１１２またはドレイン１１６に対する注入とは、同時に実行されるとしてよい。リン（Ｐ）、アンチモン（Ｓｂ）、ビスマス（Ｂｉ）等、任意のその他の適切なｎ型ドーパントを利用するとしてもよい。参照までに、ナノワイヤには特定の目的を意図したドーピングは行われず、ゲート電極１５２の導電型と、ソース１１２またはドレイン１１６に対して注入するドーパントとの組み合わせとによって、トランジスタがｐチャネルＭＯＳＦＥＴ（ＰＭＯＳＦＥＴ）になるか、ｎチャネルＭＯＳＦＥＴ（ＮＭＯＳＦＥＴ）になるかが決まる。

【００６６】

各ドーパント注入が完了した後、ソース１１２、ドレイン１１６、およびゲート１５２を活性化するためのアニーリング工程が、温度を約８７５度に設定して、１５分間にわたって実行され、ソース領域１１２、ドレイン領域１１６、およびゲート領域１５２内でドーパントを確実に均一に拡散させる。ＳＧＮＷ　ＭＯＳＦＥＴ１０２の形成は、標準的な金属コンタクト形成工程および焼結工程を実行することで、完了するとしてよい。

【００６７】

図４Ａは、本発明の実施形態に係る、フィンパターニングの後、且つ、第２のＧｅ濃縮の前の時点の図３ＥのＳＧＮＷトランジスタを示す、ＡＡ´面に沿った断面図である。図４Ａは、ＢＯＸ層１０６上に配設されているＳｉＧｅフィン部１４２を示す。ＢＯＸ層１０６は、支持基板１０４上に配置されている。

【００６８】

図４Ｂは、本発明の実施形態に係る、フィンパターニングの後、且つ、第２のＧｅ濃縮の後の時点の図３ＥのＳＧＮＷトランジスタを示す、ＡＡ´面に沿った断面図である。図４Ｂにおいて、ＳｉＧｅフィン部１４２が酸化されており、この結果、SiO_2層１５３によって周囲を取り囲まれたＳＧＮＷ１４８が形成されている。SiO_2層１５３によって周囲を取り囲まれたＳＧＮＷ１４８は、ＢＯＸ層１０６上に配設されており、ＢＯＸ層１０６は、支持基板１０４上に配置されている。

【００６９】

Sandisk Technologies, Inc. - Ex. 1002, Page 000786

図５Ａおよび図５Ｂは、本発明の実施形態に係る、図３ＦのＳＧＮＷトランジスタ１０２を示す、ＡＡ´面およびＢＢ´面に沿った断面図である。図５Ａでは、ＳＧＮＷ１４８のＧｅ濃度が約７０％であり、ＳＧＮＷ１４８の直径（「ｄ」で表す）は約７ｎｍから約１３ｎｍの範囲内であってよいことを示している。図５Ｂでは、ＳｉＧｅのソース領域１１２またはドレイン領域１１６のＧｅ濃度が約３０％で、ＳｉＧｅのソース領域１１２またはドレイン領域１１６の幅（「ｗ」で示す）は約１μｍであることを示しているが、これに限定されない。ＳｉＧｅのソース領域１１２またはドレイン領域１１６の幅は、ＳＧＮＷ１４８の直径よりもはるかに大きいので、酸化は主にフィン部１４２で進行する。

【００７０】

図６Ａおよび図６Ｂは、本発明の実施形態に係る、得られた構造がＭＯＳＦＥＴまたはＳＯＮＯＳメモリデバイスである図３ＧのＳＧＮＷトランジスタをＡＡ´面に沿って示す断面図である。図６Ａは、得られた構造がＭＯＳＦＥＴである場合の断面図である。ＭＯＳＦＥＴを形成する場合には、ＳＧＮＷチャネル１４８の周囲を取り囲むようにトンネル酸化物層１５４を形成し、続いてその周囲を取り囲むようにゲート領域１５２を形成する。トンネル酸化物層１５４は誘電層であり、当該誘電層１５４は、SiO_2、HfO_2、SiN_x、ＭｇＯ、またはSc_2O_3であってよいが、これに限定されない。ゲート領域またはゲート層１５２は、窒化タンタル（ＴａＮ）、窒化チタン（ＴｉＮ）、通常はポリシリコンであってよいが、これらに限定されない。ゲート領域１５２の厚みは、約１ｋＡから約２ｋＡであってよく、誘電層１５４の厚みは約４５Ａである。

【００７１】

図６Ｂは、得られた構造がＳＯＮＯＳメモリデバイスである場合の断面図である。ＳＯＮＯＳを形成する場合には、ＳＧＮＷ１４８の周囲を取り囲むようにトンネル酸化物層１５４を形成して、トンネル酸化物層１５４を被覆するように電荷トラップ構造１５８を形成する。さらに、電荷トラップ構造１５８を被覆するようにブロック酸化物層１６０を形成し、ブロック酸化物層１６０の周囲を取り囲むようにゲート領域１５２を形成する。ＳＯＮＯＳの場合、ＳＧＮＷチャネル１４８の周囲を取り囲むトンネル酸化物層１５４は、誘電層であり、電荷トラップ構造１５８の周囲を取り囲むブロック酸化物層１６０もまた、誘電層である。誘電層は、通常SiO_2であるがこれに限定されない。電荷トラップ構造１５８は、例えば、窒化シリコン（Si_3N_4）、二酸化ハフニウム（HfO_2）、酸化アルミニウム（Al_2O_3）等の高誘電性材料から成る一群のうち任意の１以上の材料を含むとしてよいが、これに限定されない。トンネル酸化物層１５４の厚みは通常約４５Ａであり、電荷トラップ構造１５８の厚みは通常約４５Ａであり、ブロック酸化物層１６０の厚みは通常約８０Ａであるが、これに限定されない。ＳＧＮＷチャネル１４８は、不揮発性アプリケーションで利用されるとしてよい。

【００７２】

図７は、本発明の実施形態に係るＳＧＮＷトランジスタを形成する方法を示すフローチャートである。当該方法７００は、ＢＯＸ層１０６によって支持基板１０４から垂直方向にＳｉデバイス層１２８が分離されている開始ＳＯＩ基板１２６を用意するステップ７０２から開始される。続いて、ステップ７０４において、ＳＯＩ基板１２６のＳｉデバイス層１２８上にＳｉＧｅ層１３０を成長させる。ＳｉＧｅ層１３０上には、任意でＳｉキャップ層を成膜するとしてもよい。ステップ７０６では、第１のＧｅ濃縮工程が実行され、Ｓｉデバイス層１２８上にＳｉＧｅ層１３０が形成されている状態を、ＳｉＧｅ層１３４上にSiO_2層１３２が形成されている状態に変えて、ＳＧＯＩ１３８を形成する。この後、周期的アニーリングを行う。続いてステップ７０８において、適切なエッチング液を用いてSiO_2層１３２を剥離する。ステップ７１０において、ＳｉＧｅ層１３４上に、任意でパッド酸化膜層を成膜する。この後、パッド酸化膜層上にＳｉＮハードマスクを成膜する。そして、ＳｉＮハードマスク層上にフォトレジスト層をコーティングする。この後、標準的なフォトリソグラフィー技術を用いて、フォトレジスト層をパターニングして、２つの支持部の間にフィン部が配置されているフィン構造を形成する。フィン構造に合わせてパターニングされたフォトレジスト層をマスクとして利用して、ＳｉＮ層、パッド

Sandisk Technologies, Inc. - Ex. 1002, Page 000787

酸化膜層、およびＳｉＧｅ層１３４のうち当該マスクが被覆していない部分をエッチングで除去して、２つの支持部１４４の間にフィン部１４２が配置されているフィン構造１４０をＢＯＸ層１０６上に実現する。ステップ７１２において、フィン構造１４０にはさらに第２のＧｅ濃縮処理を施して、ＳＧＮＷ１４８の周囲を取り囲むように酸化物層１５３が形成されているナノワイヤ構造１４６を得る。この後、ナノワイヤ構造１４６には、アニーリング処理を施して、結晶欠陥を修復する。続いて、ＳｉＧｅ支持部１４４の周囲を取り囲む酸化物層１５０およびＳＧＮＷ１４８の周囲を取り囲む酸化物層１５３にエッチングを行う。ＳｉＧｅコア１４８の周囲を取り囲むSiO_2層１５３を除去することで、ＳＧＮＷ１４８が露出して、ＳｉＧｅナノワイヤ構造が形成される。ステップ７１４では、ＳＧＮＷ１４８上にＳｉパッシベーション層を成長させた後、Ｓｉパッシベーション層上にゲート誘電層を成膜する。ステップ７１６において、導電層を成膜した後、ゲートのパターニングおよびエッチングを行って、ゲート電極１５２を形成する。ステップ７１８において、支持部１４４にドーピングを行い、ＳＧＮＷ　ＭＯＳＦＥＴ１０２のソース領域１１２およびドレイン領域１１６を形成する。ソース領域１１２およびドレイン領域１１６を形成したドーパントとは異なるドーパントで、ゲート電極１５２にもドーピングを行うとしてよい。この後、アニーリング処理を行って、ソース領域１１２、ゲート領域１５２、およびドレイン領域１１６においてドーパントを確実に均一に拡散させる。ステップ７２０において、ＳＧＮＷ　ＭＯＳＦＥＴ１０２を形成する方法は、標準的な金属形成前誘電体成膜処理、金属コンタクト形成処理、および焼結処理を行って完了するとしてよい。

【００７３】

＜結果＞

図８Ａは、本発明の実施形態に係る、第２のＧｅ濃縮処理が行われた後に撮られたＳＧＮＷ構造を示すＳＥＭ画像である。図８Ａでは、ＳＧＮＷチャネル１４８がソース拡張パッド１１２とドレイン拡張パッド１１６との間に配置されている様子が示されている。ＳＧＮＷチャネル領域１４８のＧｅ濃度は約７０％で、ソース拡張パッド１１２またはドレイン拡張パッド１１６のＧｅ濃度は約３０％であるので、ヘテロ接合１２２が形成される。図８Ａにおいて、ゲート端縁は、より幅が広いナノワイヤの曲線状延長部分に位置している（リソグラフィーのために角が丸くなっている）。幅が広いので、曲線状延長部分は、ナノワイヤチャネル１４８に比べて、Ｇｅ濃度がはるかに低い。ヘテロ接合１２２は、ゲート領域１５２の下方に形成されるので、ヘテロ接合ＭＯＳＦＥＴの形成要件が満たされる。パターン依存性Ｇｅ濃縮を行うので、ヘテロ接合１２２は急峻な接合にはならない。形成されるヘテロ接合が急峻ではないので、キャリア注入速度が高くなり、ソースヘテロ接合１２２におけるエネルギーキャリアの急増を抑制することができる。パターン依存性Ｇｅ濃縮の場合、パターンの急峻さ（曲線状延長部分の曲率半径）に基づいて、ヘテロ接合１２２の急峻さを調整することができ、設計内容に応じてヘテロ接合の急峻さを最適化することができる。

【００７４】

図８Ｂは、本発明の実施形態に係る、ゲートパターン転写が行われた後に撮られたＳＧＮＷ構造のＳＥＭ画像である。図８Ｂは、ソース領域１１２とドレイン領域１１６との間にＳＧＮＷ１４８が配置されている様子を示している。ゲート領域１５２は、ＳＧＮＷ１４８と重なっている。ゲートパターンを良好に位置合わせすることで、ゲートエッチング後にナノワイヤが破損する事態を避けることができる。

【００７５】

図８Ｃは、本発明の実施形態に係るＳＧＮＷの断面を示すＨＲＴＥＭ画像である。ＳＧＮＷチャネル１４８は、略円形で、直径が約７ｎｍから約１３ｎｍの範囲内にある。ＳＧＮＷ１４８は、Ｇｅ濃度が約７０％である。ＳＧＮＷ１４８は、上面および側面がHfO_2誘電層１５４によって被覆されており、底面で埋め込み$SiO_2$１０６によって支持されており、オメガゲートチャネルが形成されている。高速フーリエ変換をベースとするＨＲＴＥＭ歪み分析方法を用いると、ＳＧＮＷ１４８には圧縮歪みがかかっていることが分

Sandisk Technologies, Inc. - Ex. 1002, Page 000788

かる（約－０．６％）。

【００７６】

図９Ａは、本発明の実施形態に係る、ナノワイヤ露出後のＳＧＮＷ構造を示すＳＥＭ画像である。Ｇｅ濃縮時において、ＳＧＮＷ１４８にかかる圧縮応力が高くなった。Ｇｅ濃度が約８５％である露出した状態のＳＧＮＷ１４８は、同じ寸法のＳｉナノワイヤよりももろいことが分かっており、酸化物除去を行うと屈曲または破損してしまう可能性がある。酸化物除去を行う前に周期的アニーリングを行うと、ナノワイヤにおける応力の緩和または再分配に起因する破損を回避できる場合がある。図９Ａにおいて、屈曲してしまったナノワイヤ、または、ナノワイヤ１４８の屈曲を見ることができる。Ｇｅ濃度が高いナノワイヤはもろい可能性がある。図中の挿入図は、複数の破損したナノワイヤ１４８を示している。

【００７７】

図９Ｂは、本発明の実施形態に係る、約４５度回転させて撮られたナノワイヤ露出後のＳＧＮＷ構造を示すＳＥＭ画像である。応力緩和温度サイクルを実行した後では、露出させられたナノワイヤは略真っ直ぐのままである。酸化物剥離後に、略真っ直ぐなＳＧＮＷ１４８が、ソースパッド１１２またはドレインパッド１１６をつないでいる様子が示されている。図中の挿入図は、Ｇｅ濃度が約８５％で直径が約２０ｎｍであるＳＧＮＷ１４８の断面を示すＴＥＭである。

【００７８】

図１０Ａは、本発明の実施形態に係る、HfO_2／ＴａＮゲートを備えるＳＧＮＷ　ＧＡＡ　ＦＥＴのＴＥＭ画像である。HfO_2 １５４およびＴａＮ１５２から成るゲートは、ＳＧＮＷチャネル１４８を略全周にわたって取り囲んでいる。HfO_2 １５４は、物理気相成長（ＰＶＤ）法は非コンフォーマルであるために、側壁よりも上部において厚くなっている。ナノワイヤ１４８の下方に白っぽく見えるアモルファス層は、露出プロセスに置いて完全には除去されなかったSiO_2 １５３である。

【００７９】

図１０Ｂは、本発明の実施形態に係る、略円形のＳＧＮＷの拡大図である。周縁上の明るい層は、Ｓｉパッシベーション層を形成した様子である。同様に、ナノワイヤ１４８の下方に白っぽく見えるアモルファス層は、露出プロセスに置いて完全には除去されなかったSiO_2層１５３である。ＨＲＴＥＭをベースとする方法を用いて、ナノワイヤ内の歪みを推定した。基板からのＳｉ（１１１）格子面間隔を基準として用いると、ＳＧＮＷ１４８にかかっている横方向の圧縮歪みは約－０．６％であることが分かった。

【００８０】

図１０Ｃは、本発明の実施形態に係るＳＧＮＷ１４８内の格子構造を示す逆格子空間回折図である。ナノワイヤ１４８内の歪みは約－０．６％の圧縮と算出されている。回折図に明確ではっきりとした点があることは、ＳＧＮＷ１４８内に欠陥がなく結晶化度が良好であることを示している。

【００８１】

図１１および図１２に、製造されたヘテロ接合ＳＧＮＷ　ＰＭＯＳＦＥＴ（ｐチャネル金属酸化膜半導体電界効果トランジスタ）の電気特性が示されている。図１１は、本発明の実施形態に係る、ゲート長（Ｌｇ）が約３５０ｎｍであるＳＧＮＷ　ＰＭＯＳＦＥＴおよび$Si_{0.7}Ge_{0.3}$ホモ平面デバイスのI_D-V_D特性を正規化して示すグラフである。ＳＧＮＷ　ＰＭＯＳＦＥＴの正規化I_D-V_D特性は、曲線１７０で示し、$Si_{0.7}Ge_{0.3}$ホモ平面デバイスの正規化I_D-V_D特性は、曲線１７２で示す。ＳＧＮＷ１４８のドレイン電流は、周囲長で正規化されているとしてよく（表面が反転しているＧＡＡチャネルを想定）、平面デバイスのドレイン電流は、チャネル幅で正規化されているとしてよい。ＳＧＮＷ１４８の駆動電流は、平面デバイスに比べて、約４．５倍も大きいとしてよい。ＳＧＮＷ１４８の駆動電流が大きいということは、横方向のヘテロ接合構造を持つ、Ｇｅ濃度が高い、歪みナノワイヤＭＯＳＦＥＴ１０２において、実効移動度が高いことを意味している。

Sandisk Technologies, Inc. - Ex. 1002, Page 000789

【００８２】
図１２は、本発明の実施形態に係る、Ｌｇが約３５０ｎｍであるＳＧＮＷ　ＰＭＯＳＦＥＴおよびＳｉ$_{0.7}$Ｇｅ$_{0.3}$ホモ平面デバイスの相互コンダクタンス（g_M）－ゲート電圧（V_G）特性を示すグラフである。ＳＧＮＷ　ＰＭＯＳＦＥＴの相互コンダクタンス（g_M）－ゲート電圧（V_G）特性は、曲線１７４で表し、Ｓｉ$_{0.7}$Ｇｅ$_{0.3}$ホモ平面デバイスの相互コンダクタンス（g_M）－ゲート電圧（V_G）特性は、曲線１７６で表す。駆動電流と同様の傾向が、g_m値についても見られた。飽和領域および線形領域のピークg_m値は、ＳＧＮＷデバイスにおいて平面デバイスよりも約４．５倍大きい。飽和時のg_mはピーク後に減少するが、この減少はそれほど急激なものではない。これは、ゲートオーバードライブ電圧が低い場合の寄生直列抵抗に比べて、オン状態のチャネル抵抗が支配的であることを示唆している。

【００８３】
正規化された電流およびg_mが高くなる主な理由としては、以下の要因が考えられる。第一に、ＳＧＮＷ１４８がヘテロ接合構造という新たな特徴を持つために、ソース－チャネル価電子帯オフセットΔE_Vに起因して運動エネルギーが過剰になるために正孔速度が高くなる。第二に、ＳＧＮＷチャネル１４８のＧｅ濃度は７０％であり、Ｇｅ含有率がこれより低い平面チャネルに比べて正孔移動度が高くなる。第三に、ＳＧＮＷチャネル１４８内の横方向の圧縮歪み（約－０．６％）によってさらに、正孔移動度が高くなる。第四に、ナノワイヤ１４８には、ＰＶＤによる誘電体の成膜は非コンフォーマルであるために、側壁の酸化物換算膜厚（Ｅｑｕｉｖａｌｅｎｔ　Ｏｘｉｄｅ　ｔｈｉｃｋｎｅｓｓ：ＥＯＴ）が小さくなっているという利点がある。しかし、SiO_2埋め込み酸化物層１０６のために、下側ではＥＯＴがより厚くなっている。最後に、ＳＧＮＷトランジスタ１０２は、漏斗形状の拡張領域を持つために、アクセス抵抗が低くなっている。

【００８４】
ヘテロ接合１２２構造を持つＳＧＮＷ１４８の場合、ソース領域１１２からチャネル領域１４８における価電子帯オフセットのために、正孔注入が大きくなるものと予測される。この点を評価するべく、ＳＧＮＷ１４８および平面デバイスを異なる温度で特徴付けて、後方散乱係数を温度依存性分析モデルを用いて抽出する。

【数１】

後方散乱係数 $$r_{sat}=\frac{1}{1+\frac{\lambda_0}{l_0}},\ \text{ここで}\ \frac{\lambda_0}{l_0}=\frac{4}{0.5-(\alpha+\frac{\eta}{V_G-V_{T,sat}})}-2,$$

式中 $$\alpha=\frac{\Delta I_{Dsat}}{I_{Dsat}\Delta T},\ \text{および}\ \eta=\frac{\Delta V_T}{\Delta T}$$

【００８５】
図１３は、本発明の実施形態に係る、Ｌｇが約３５０ｎｍであるＳＧＮＷ　ＰＭＯＳＦＥＴおよびＳｉ$_{0.7}$Ｇｅ$_{0.3}$ホモ平面デバイスの駆動電流（I_{Dsat}）－温度特性を示すグラフである。ＳＧＮＷ　ＰＭＯＳＦＥＴの駆動電流（I_{Dsat}）－温度特性は、曲線１７８で表し、Ｓｉ$_{0.7}$Ｇｅ$_{0.3}$ホモ平面デバイスの駆動電流（I_{Dsat}）－温度特性は、曲線１８０で表す。ＳＧＮＷ１４８の値αは、I_{Dsat}の温度勾配から求められる。図１３に示すように、ＳＧＮＷ１４８のαは、平面デバイスに比べて、約３２％小さい。$V_G-V_{T,sat}=-2$Ｖの場合、ヘテロナノワイヤデバイスおよび平面デバイスについて算出された後方散乱係数「r_{sat}」の値はそれぞれ、０．３７７および０．４４６である。平面デバイスに比べて１９％低減されているので、ヘテロ接合ＳＧＮＷデバイスでは、バリスティック効率が高くなっていることが確認される。

【００８６】
図１４は、本発明の実施形態に係る、Ｌｇが約３５０ｎｍであるＳＧＮＷ　ＰＭＯＳＦＥＴ１０２およびＳｉ$_{0.7}$Ｇｅ$_{0.3}$ホモ平面デバイスのスレッショルド電圧（V_T）

Sandisk Technologies, Inc. - Ex. 1002, Page 000790

－温度特性を示すグラフである。ＳＧＮＷ　ＰＭＯＳＦＥＴ１０２のスレッショルド電圧（V_T）－温度特性は、曲線１７９で表されており、$Si_{0.7}Ge_{0.3}$ホモ平面デバイスのスレッショルド電圧（V_T）－温度特性は、曲線１８１に表されている。図１４から分かるように、これら２つのデバイス間のV_T－温度特性のオフセットは一定である。このため、Ｇｅ含有率を変えることによってバンドギャップが変更されるものと考えられる。

【００８７】

図１５は、本発明の実施形態に係る、Ｌｇが５００ｎｍであるＳＧＮＷ　ＰＭＯＳＦＥＴ１０２のI_D－V_G特性を示すグラフである。V_D＝－１Ｖの場合のＳＧＮＷ　ＰＭＯＳＦＥＴのI_D－V_G特性は、曲線１８２によって表されており、V_D＝－０．１Ｖの場合のＳＧＮＷ　ＰＭＯＳＦＥＴのI_D－V_G特性は、曲線１８４によって表されている。ＳＧＮＷ　ＰＭＯＳＦＥＴ１０２は、HfO_2／ＴａＮゲートを備えており、Ｇｅ濃度は約７０％で、半径は約６ｎｍである。I_Dはワイヤ直径で正規化され、V_Tは約０．２Ｖである。サブスレッショルドスイング（当該グラフの傾きから求められる）は、約２００ｍＶ／ｄｅｃとなる。これは、Ｓｉパッシベーション後の熱プロセスにおいてゲート誘電界面にＧｅが拡散したことに起因する界面状態のためと考えられる。

【００８８】

図１６は、本発明の実施形態に係る、Ｌｇが５００ｎｍであるＳＧＮＷ　ＰＭＯＳＦＥＴ１０２のI_D－V_D特性を示すグラフである。Ｌｇが５００ｎｍであるＳＧＮＷ　ＰＭＯＳＦＥＴ１０２のI_D－V_D特性は、曲線１８５で示す。ＳＧＮＷ　ＰＭＯＳＦＥＴ１０２は、HfO_2／ＴａＮゲートを備えており、Ｇｅ濃度は約７０％で、半径は約６ｎｍである。V_G－V_T＝－１．２Ｖである場合、I_Dは約９７０μＡ／μｍと良好な値を示した。これは、同様のゲート長のｐチャネルデバイスとしては、並外れて高い値である。

【００８９】

図１７は、本発明の実施形態に係る、Ｌｇが５００ｎｍであるＳＧＮＷ　ＰＭＯＳＦＥＴ１０２のg_M－V_G特性を示すグラフである。V_D＝－１Ｖの場合のＳＧＮＷ　ＰＭＯＳＦＥＴのg_M－V_G特性は、曲線１８６で表されており、V_D＝－０．１Ｖの場合のＳＧＮＷ　ＰＭＯＳＦＥＴのg_M－V_G特性は、曲線１８８で表されている。ＳＧＮＷ　ＰＭＯＳＦＥＴ１０２は、HfO_2／ＴａＮゲートを備えており、Ｇｅ濃度は約７０％で、半径は約６ｎｍであり、V_Tは約０．２である。飽和時のg_mのピークは、ゲートオーバードライブが大きい場合に見られる。これは、ＧＡＡ構造のためにＳＧＮＷチャネル１４８では電界が低くなっていることを示唆している。

【００９０】

図１８は、本発明の実施形態に係る、V_Dを小さくして反転を強くした場合のＳＧＮＷ　ＰＭＯＳＦＥＴ１０２の抵抗－V_G特性を示すグラフである。V_Dを小さくして反転を強くした場合のＳＧＮＷ　ＰＭＯＳＦＥＴ１０２の抵抗－V_G特性は、曲線１９０で表される。ソースまたはドレインの直列抵抗は約３５ｋΩまたは４２０Ω－μｍであり、比較的低い値となっている。

【００９１】

ゲート長（Ｌｇ）を約３５０ｎｍ、４００ｎｍ、および５００ｎｍと変化させた場合のＳＧＮＷ　ＰＭＯＳＦＥＴ１０２の劣化を調べるべく、温度がデバイスパラメータに与える影響について考察する。図１９は、本発明の実施形態に係る、それぞれゲート長が３５０ｎｍ、４００ｎｍ、および５００ｎｍであるＳＧＮＷ　ＰＭＯＳＦＥＴ１０２のV_T－温度特性を示すグラフである。温度が高くなるにつれて、スレッショルド電圧が正の方向にシフトしている。

【００９２】

図２０は、本発明の実施形態に係る、それぞれゲート長が３５０ｎｍ、４００ｎｍ、および５００ｎｍであるＳＧＮＷ　ＰＭＯＳＦＥＴ１０２の線形g_Mピーク－温度特性を示すグラフである。それぞれゲート長が３５０ｎｍ、４００ｎｍ、および５００ｎｍであるＳＧＮＷの線形g_Mピーク－温度特性は、曲線１９２、１９４、および１９６で表される

Sandisk Technologies, Inc. - Ex. 1002, Page 000791

。３４０ｋ未満の温度では、温度が高くなるにつれてg_mが低くなっている。温度が３４０ｋを超えると、温度が変動してもg_mには大きな影響がない。これは、温度が３４０ｋを超えると移動度の劣化が飽和したことを示唆している。

【００９３】

図２１は、本発明の実施形態に係る、それぞれ半径が６ｎｍおよび８ｎｍであるＳＧＮＷ ＰＭＯＳＦＥＴ１０２の$I_{ON}-I_{OFF}$特性を示すグラフである。それぞれ半径が６ｎｍおよび８ｎｍであるＳＧＮＷ ＭＯＳＦＥＴ１０２の$I_{ON}-I_{OFF}$特性は、曲線２０４および２０６によって示されている。名目半径が小さいＳＧＮＷ１４８の方が、性能が高い。ＮＷデバイスが小型になるほど（または、ＳＧＮＷの名目半径が小さくなるほど）、Ｇｅ含有率が高くなる傾向がある。この結果、Ｇｅは本質的にＳｉよりも移動度が高いので、移動度が高くなると共に、ＳｉＧｅの移動度を劣化させ得る合金散乱効果が大幅に抑制される。この結果、$I_{ON}-I_{OFF}$特性が大きく改善したものと考えられる。

【００９４】

図２２は、本発明の実施形態に係る、チャネル方向が＜１００＞であるＳＧＮＷ ＰＭＯＳＦＥＴ１０２のI_D-V_G特性を示すグラフである。$V_D=-1$Ｖの場合のチャネル方向が＜１００＞であるＳＧＮＷ ＰＭＯＳＦＥＴ１０２のI_D-V_G特性は、曲線２０８で表されており、$V_D=-0.1$Ｖの場合のチャネル方向が＜１００＞であるＳＧＮＷ ＰＭＯＳＦＥＴ１０２のI_D-V_G特性は、曲線２１０で表されている。ＳＧＮＷ ＰＭＯＳＦＥＴは、HfO_2／ＴａＮゲートを備えており、Ｇｅ濃度は約７０％で、半径は約６ｎｍである。ゲート長L_gは約３００ｎｍである。曲線－はV_D値が－１Ｖの場合を表し、曲線－はV_D値が－０．１Ｖの場合である。

【００９５】

図２３は、本発明の実施形態に係る、チャネル方向が＜１００＞であるＳＧＮＷ ＰＭＯＳＦＥＴ１０２のI_D-V_D特性を示すグラフである。チャネル方向が＜１００＞であるＳＧＮＷ ＰＭＯＳＦＥＴ１０２のI_D-V_D特性は、曲線２１２で表されている。ＳＧＮＷ ＰＭＯＳＦＥＴ１０２は、HfO_2／ＴａＮゲートを備えており、Ｇｅ濃度は約７０％で、半径は約６ｎｍである。ゲート長L_gは約３００ｎｍである。同図は、挙動が良好なトランジスタ特性を示している。

【００９６】

図２４は、本発明の実施形態に係る、パッシベーションが施されていないＳＧＮＷ ＮＭＯＳＦＥＴ（ｎチャネル金属酸化膜半導体電界効果トランジスタ）のI_D-V_G特性を示すグラフである。$V_D=1$Ｖの場合のパッシベーションが施されていないＳＧＮＷ ＮＭＯＳＦＥＴのI_D-V_G特性は、曲線２１４によって表されており、$V_D=0.1$Ｖの場合のパッシベーションが施されていないＳＧＮＷ ＮＭＯＳＦＥＴのI_D-V_G特性は、曲線２１６によって表されている。Ｓｉパッシベーションが設けられない場合、ＳＧＮＷ１４８のＧｅ含有率が低いにも関わらず、ゲート漏れが大きくなる。

【００９７】

図２５は、本発明の実施形態に係る、パッシベーションが施されていないＳＧＮＷ ＮＭＯＳＦＥＴのI_D-V_D特性を示すグラフである。パッシベーションが施されていないＳＧＮＷ ＮＭＯＳＦＥＴのI_D-V_D特性は、曲線２１８で表されている。

【００９８】

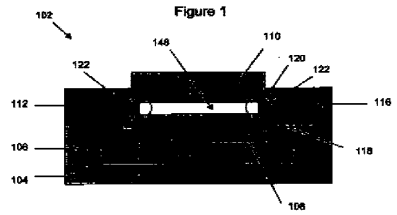
図２６は、本発明の実施形態に係るＳＧＮＷ構造を含むＣＭＯＳインバータの$V_{OUT}-V_{IN}$特性を示すグラフである。V_{DD}を変化させた場合のＳＧＮＷ構造を含むＣＭＯＳインバータの$V_{OUT}-V_{IN}$特性は、曲線２２０で表されている。図２６には、Ｇｅ含有率が３０％であるＳＧＮＷ ＮＭＯＳＦＥＴおよびＰＭＯＳＦＥＴを用いているインバータの特性が示されている。ＴａＮの仕事関数に起因してＮＭＯＳＦＥＴのV_Tが高いために、遷移は明確だが非対称的である。反転は、V_{DD}が最低約０．２Ｖになるまで実現可能であり、これらのデバイスが低電圧動作に適していることが分かる。

【００９９】

Sandisk Technologies, Inc. - Ex. 1002, Page 000792

具体的な実施形態を参照しつつ本発明の実施形態を詳しく図示および説明したが、当業者におかれては、本願特許請求の範囲に定義されている本発明の精神および範囲から逸脱することなく、本明細書に記載した事項の形態および詳細な内容をさまざまな点で変更し得るものと理解されたい。本発明の範囲は本願特許請求の範囲に示されており、特許請求の範囲と同様の意味を持ち、同様の範囲に含まれる変更はすべて本発明の範囲に含まれるものとする。

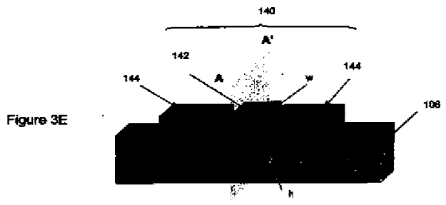
【図１】



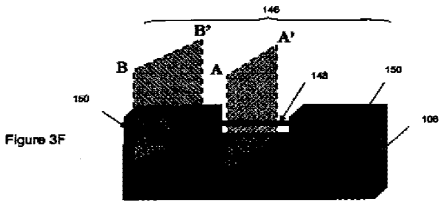
【図３Ａ】



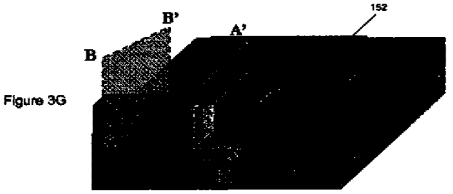
【図３Ｅ】



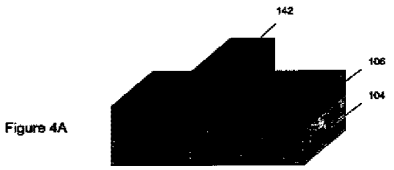
【図３Ｆ】



【図３Ｇ】



【図４Ａ】



【図５Ａ】

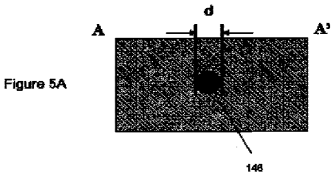


Figure 5A

【図５Ｂ】

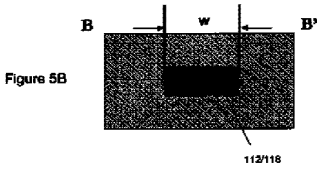


Figure 5B

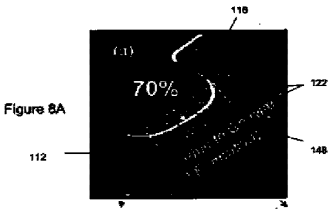


Figure 8A

【図８Ｂ】

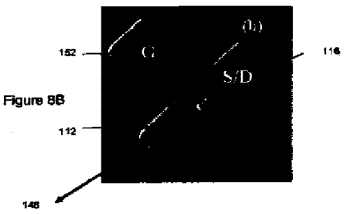


Figure 8B

【図８Ｃ】

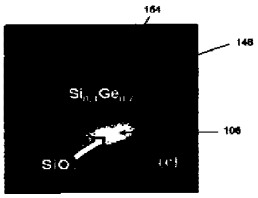


Figure 8C

【図９Ｂ】



Figure 9B

【図１０Ａ】

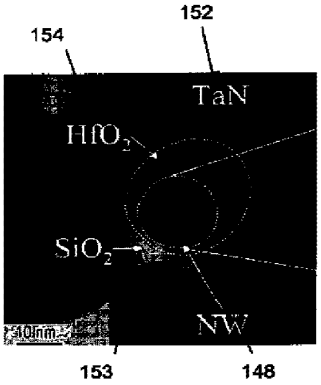


Figure 10A

【図１０Ｂ】

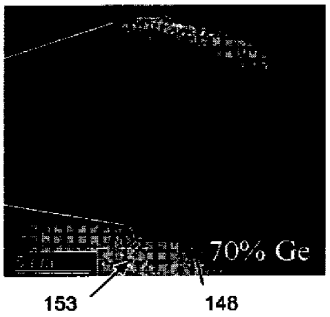


Figure 10B

【図１０Ｃ】

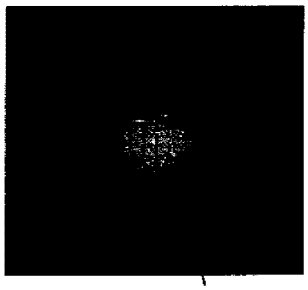


Figure 10C

【図２１】

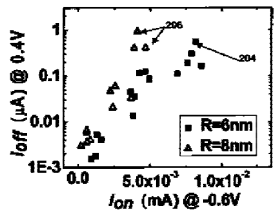
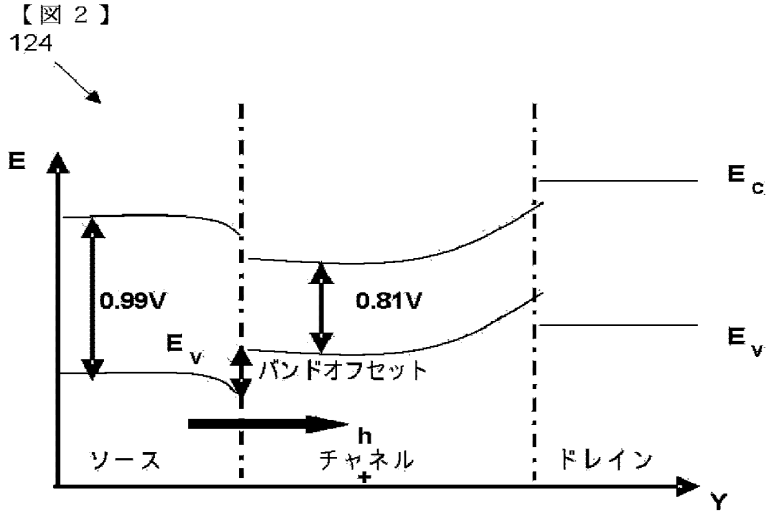


Figure 21

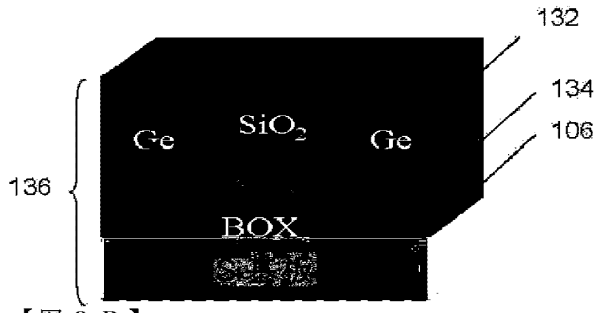
【図２】



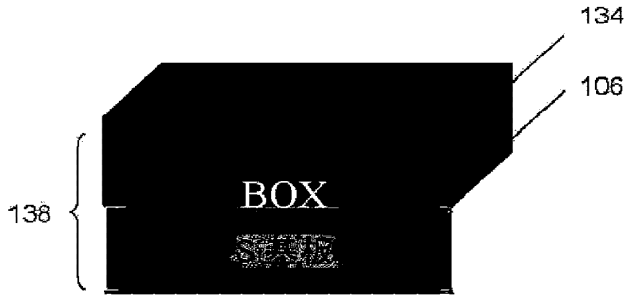
【図３Ｂ】



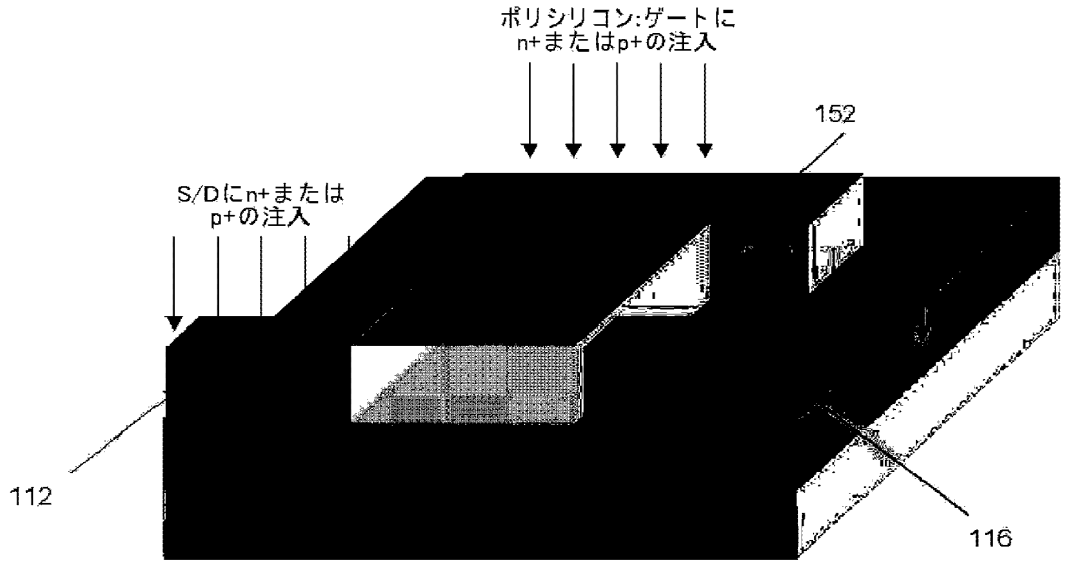
【図３Ｃ】



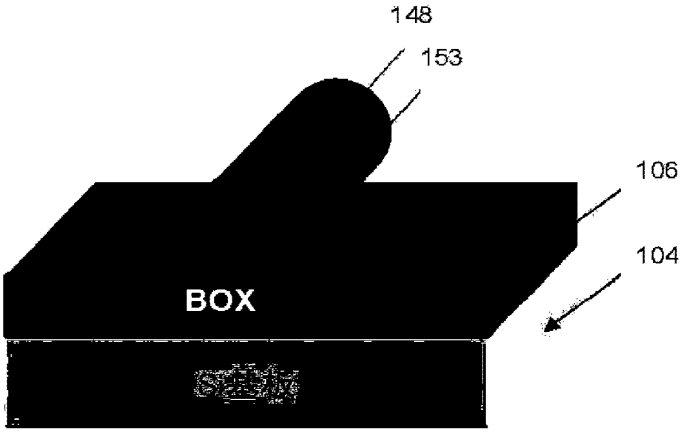
【図３Ｄ】



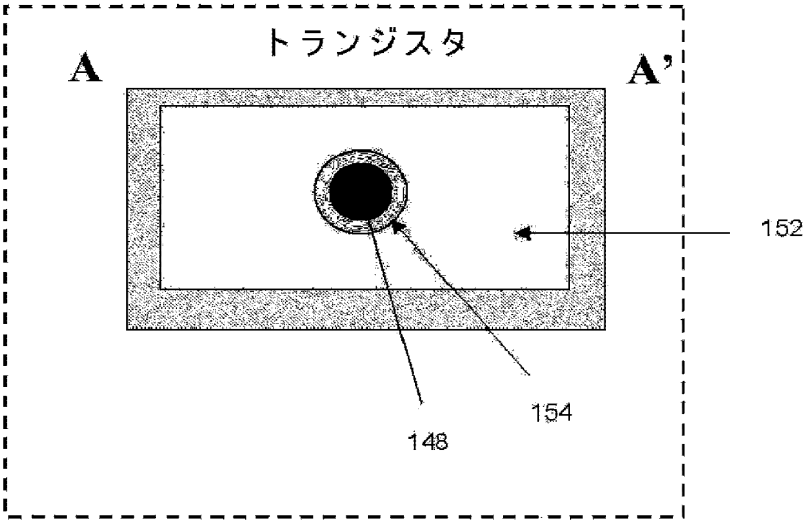
【図３Ｈ】



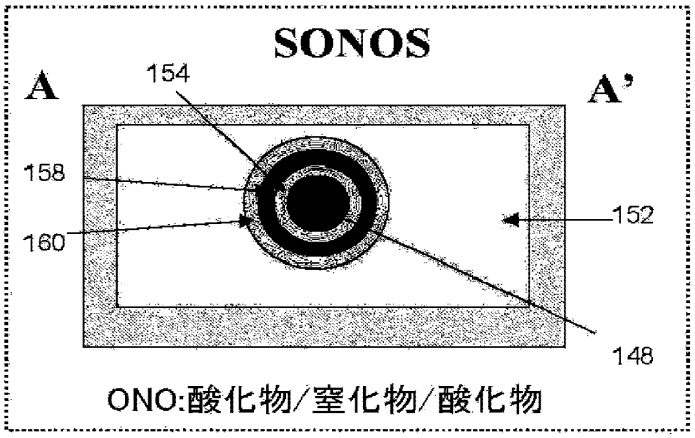
【図４Ｂ】


148
153
106
104
BOX

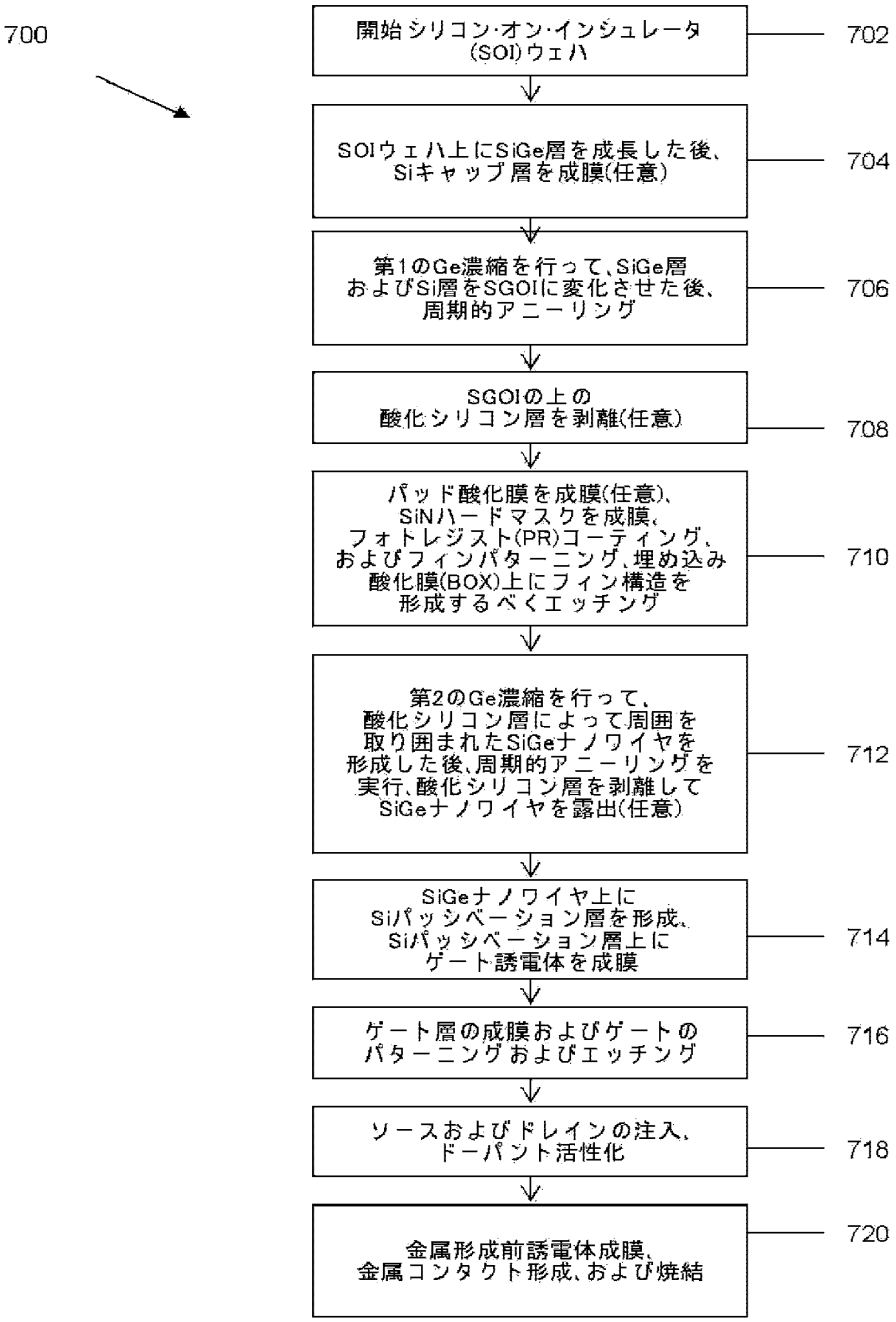
【図６Ａ】


トランジスタ
A
A'
152
154
148

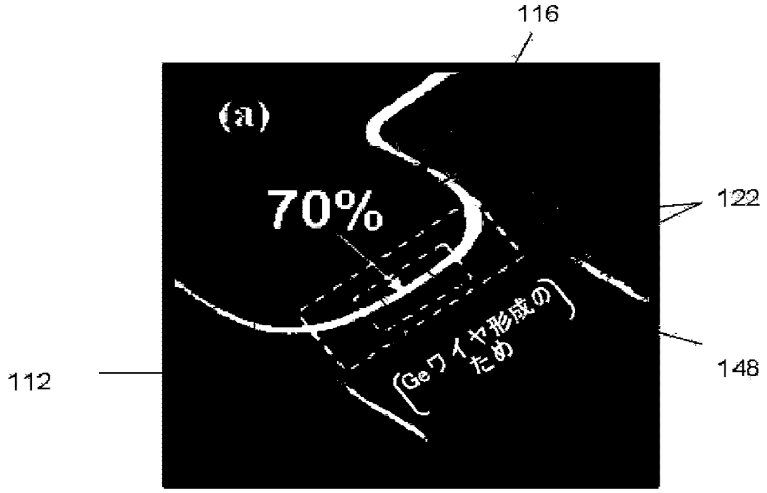
【図６Ｂ】


SONOS
A
A'
154
158
160
152
148
ONO:酸化物/窒化物/酸化物

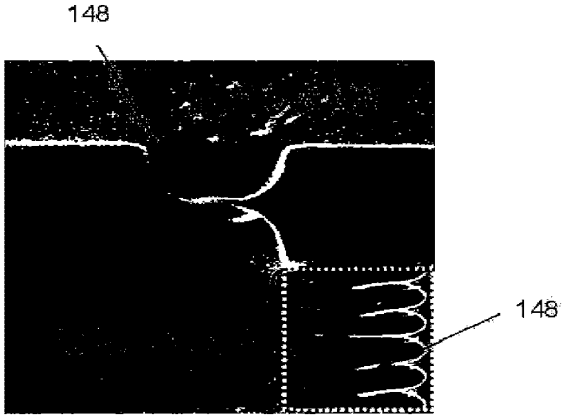
【図７】


700
開始シリコン･オン･インシュレータ(SOI)ウェハ
702
SOIウェハ上にSiGe層を成長した後、Siキャップ層を成膜(任意)
704
第1のGe濃縮を行って、SiGe層およびSi層をSGOIに変化させた後、周期的アニーリング
706
SGOIの上の酸化シリコン層を剥離(任意)
708
パッド酸化膜を成膜(任意)、SiNハードマスクを成膜、フォトレジスト(PR)コーティング、およびフィンパターニング、埋め込み酸化膜(BOX)上にフィン構造を形成するべくエッチング
710
第2のGe濃縮を行って、酸化シリコン層によって周囲を取り囲まれたSiGeナノワイヤを形成した後、周期的アニーリングを実行、酸化シリコン層を剥離してSiGeナノワイヤを露出(任意)
712
SiGeナノワイヤ上にSiパッシベーション層を形成、Siパッシベーション層上にゲート誘電体を成膜
714
ゲート層の成膜およびゲートのパターニングおよびエッチング
716
ソースおよびドレインの注入、ドーパント活性化
718
金属形成前誘電体成膜、金属コンタクト形成、および焼結
720

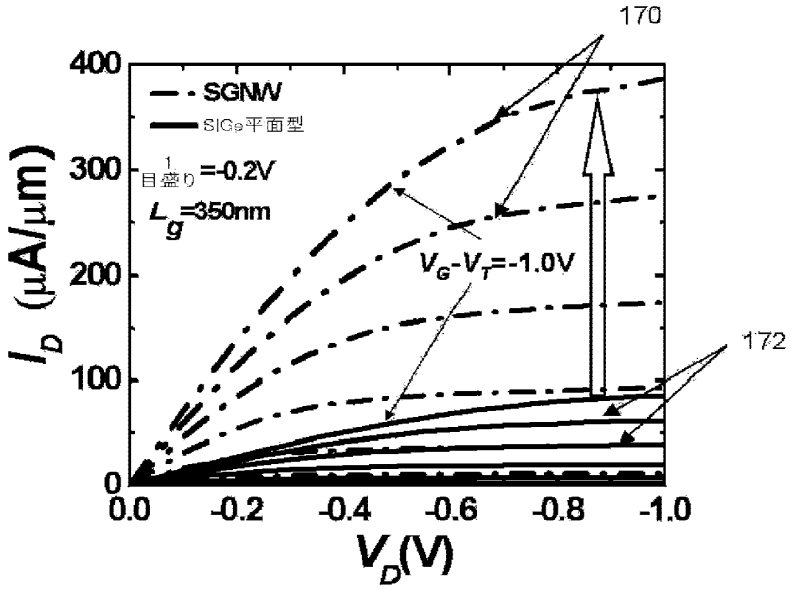
【図８Ａ】


116
(a)
70%
122
148
112
(Geワイヤ形成のため)

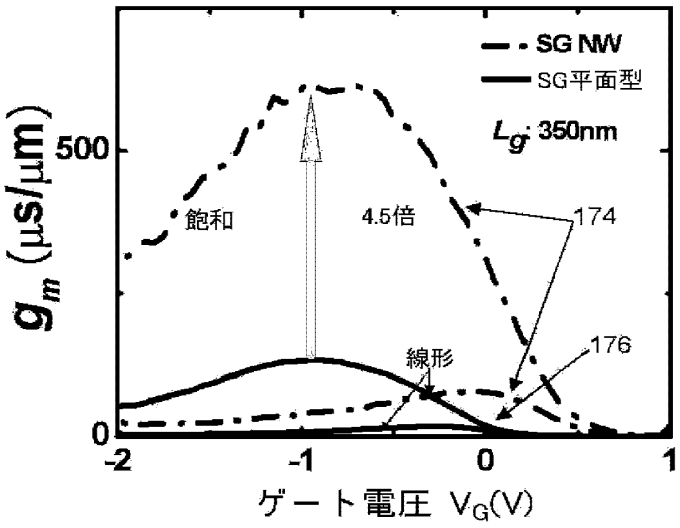
【図９Ａ】


148
148

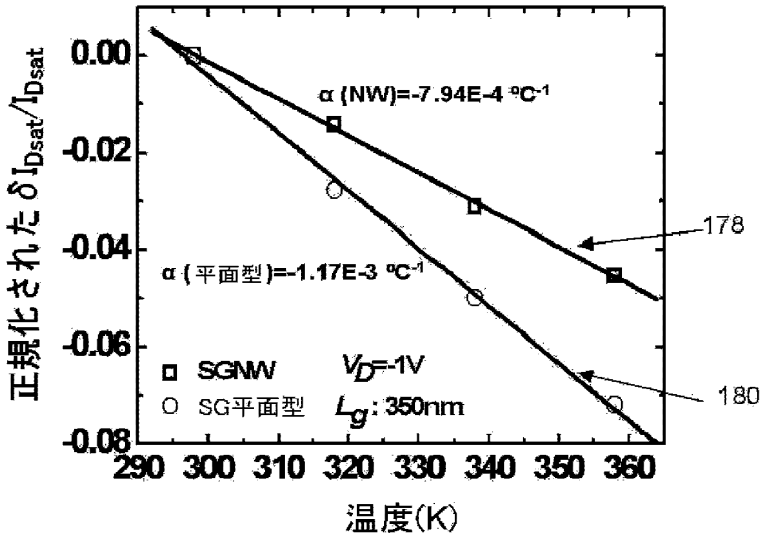
【図１１】


170
400
300
200
100
0
SGNW
SiGe平面型
目盛り=-0.2V
L_g=350nm
V_G-V_T=-1.0V
172
I_D (μA/μm)
0.0
-0.2
-0.4
-0.6
-0.8
-1.0
V_D(V)

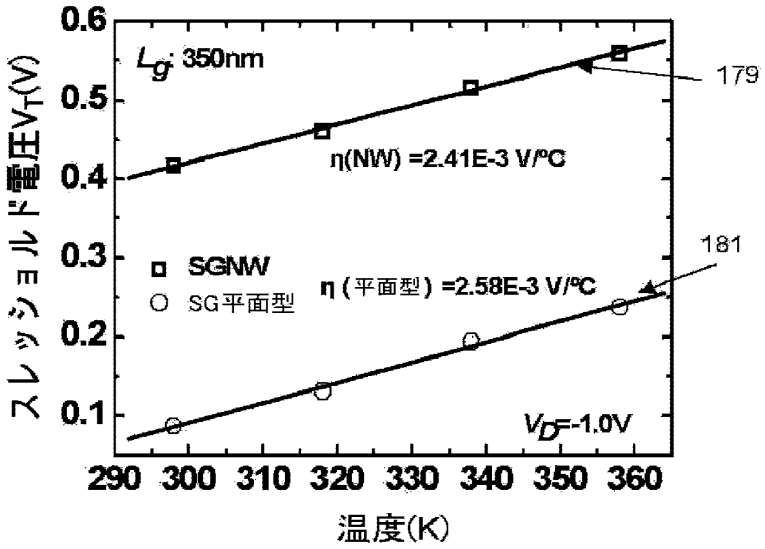
【図１２】


SG NW
SG平面型
L_g: 350nm
g_m (μS/μm)
500
0
飽和
4.5倍
174
176
線形
-2
-1
0
1
ゲート電圧 V_G(V)

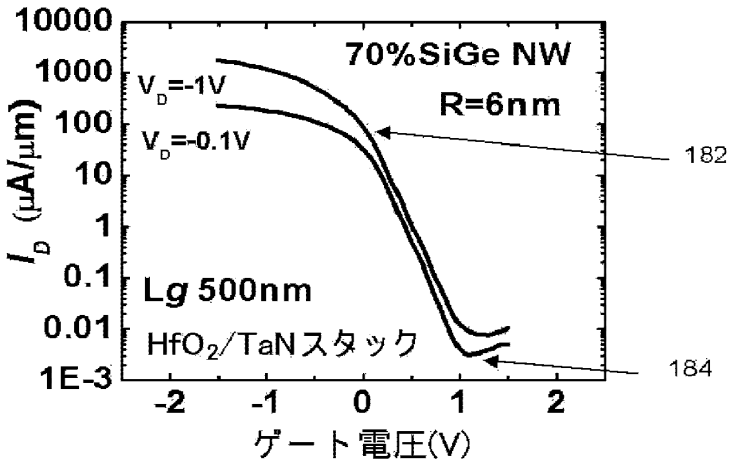
【図１３】


正規化されたδI_{Dsat}/I_{Dsat}
0.00
-0.02
-0.04
-0.06
-0.08
α (NW)=-7.94E-4 °C^{-1}
α (平面型)=-1.17E-3 °C^{-1}
SGNW
SG平面型
V_D=-1V
L_g: 350nm
178
180
290
300
310
320
330
340
350
360
温度(K)

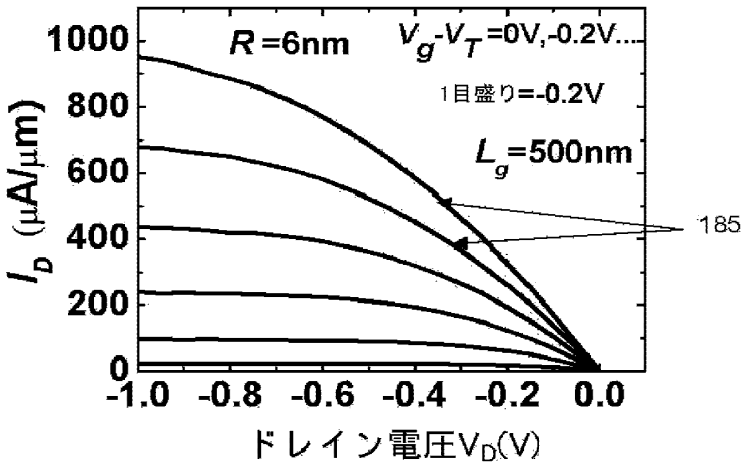
【図１４】


0.6
0.5
0.4
0.3
0.2
0.1
L_g: 350nm
η(NW) =2.41E-3 V/°C
SGNW
SG平面型
η (平面型) =2.58E-3 V/°C
V_D=-1.0V
179
181
290 300 310 320 330 340 350 360
温度(K)
スレッショルド電圧V_T(V)

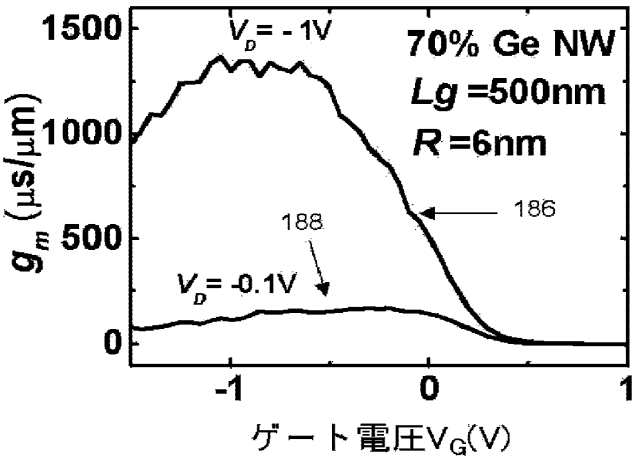
【図１５】


10000
1000
100
10
1
0.1
0.01
1E-3
70%SiGe NW
R=6nm
V_D=-1V
V_D=-0.1V
Lg 500nm
HfO_2/TaNスタック
182
184
-2 -1 0 1 2
ゲート電圧(V)
I_D (μA/μm)

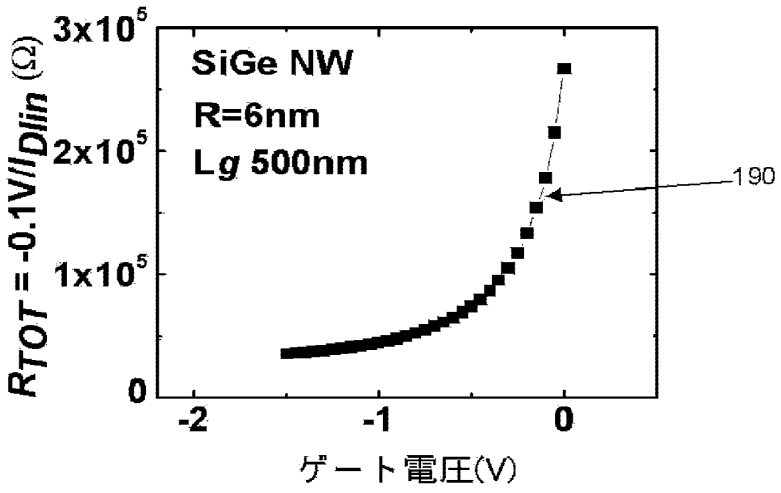
【図１６】


1000
800
600
400
200
0
R =6nm
V_g-V_T =0V,-0.2V...
1目盛り=-0.2V
L_g=500nm
185
-1.0 -0.8 -0.6 -0.4 -0.2 0.0
ドレイン電圧V_D(V)
I_D (μA/μm)

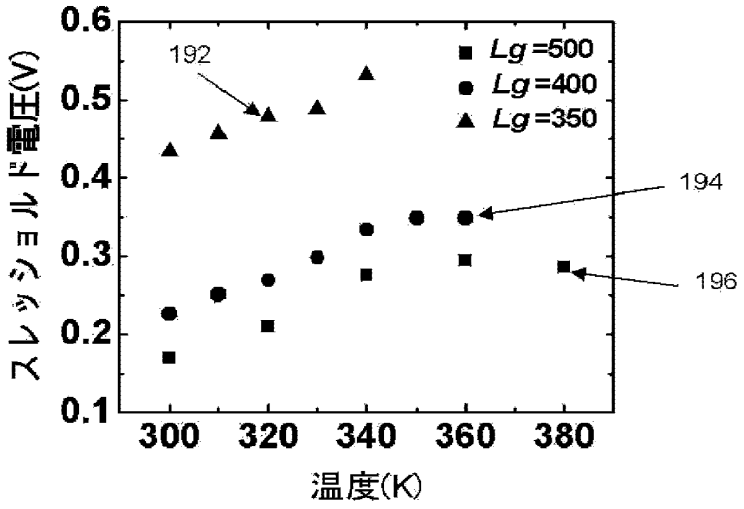
【図１７】


1500
1000
500
0
g_m (μs/μm)
V_D= - 1V
70% Ge NW
Lg =500nm
R =6nm
186
188
V_D= -0.1V
-1
0
1
ゲート電圧V_G(V)

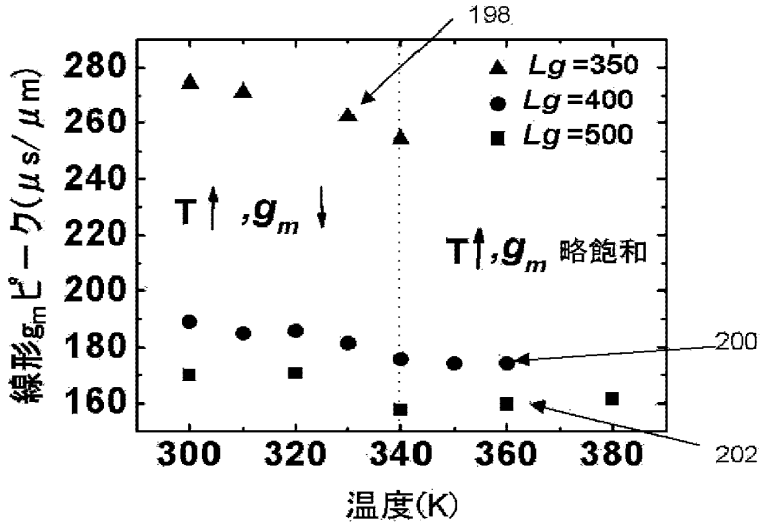
【図１８】


3x10^5
2x10^5
1x10^5
0
R_{TOT} = -0.1V/I_{Dlin} (Ω)
SiGe NW
R=6nm
Lg 500nm
190
-2
-1
0
ゲート電圧(V)

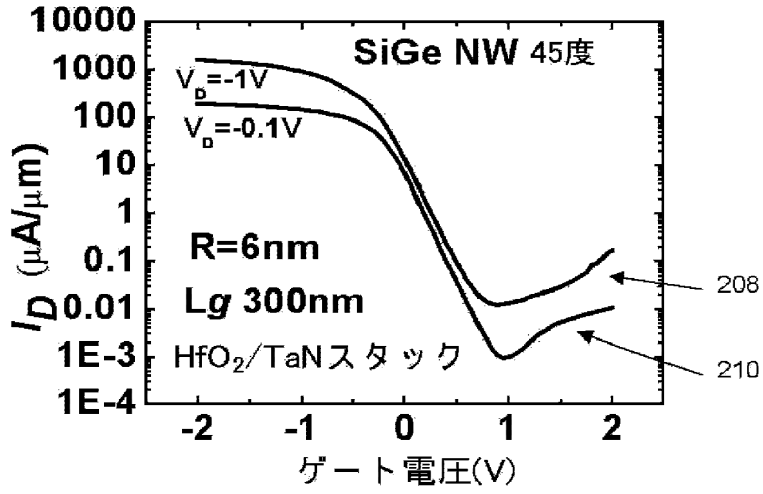
【図１９】


0.6
0.5
0.4
0.3
0.2
0.1
スレッショルド電圧(V)
192
Lg =500
Lg =400
Lg =350
194
196
300
320
340
360
380
温度(K)

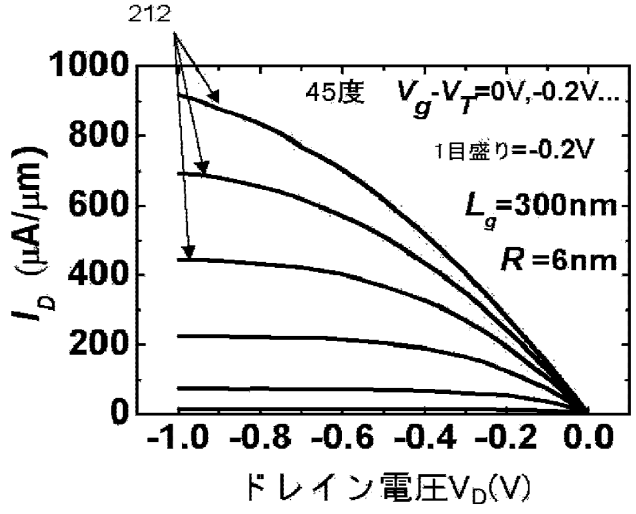
【図２０】


198
Lg=350
Lg=400
Lg=500
T↑,gm↓
T↑,gm 略飽和
200
202
線形gmピーク(μs/μm)
280
260
240
220
200
180
160
300
320
340
360
380
温度(K)

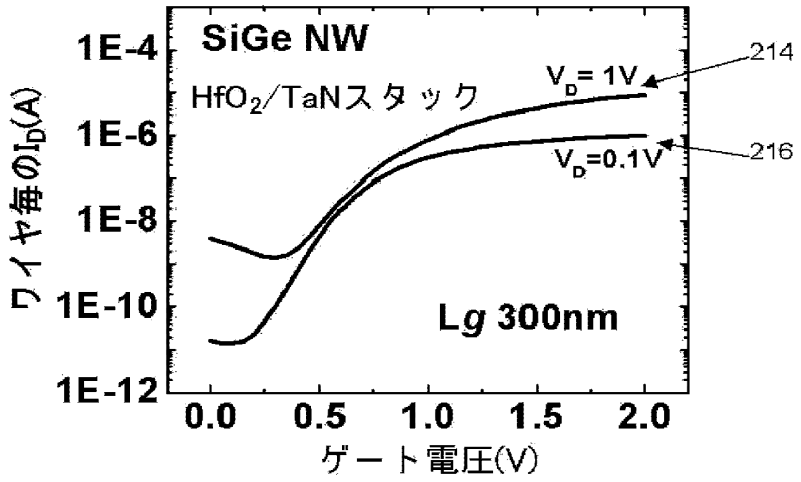
【図２２】


SiGe NW 45度
VD=-1V
VD=-0.1V
R=6nm
Lg 300nm
HfO2/TaNスタック
208
210
ID (μA/μm)
10000
1000
100
10
1
0.1
0.01
1E-3
1E-4
-2
-1
0
1
2
ゲート電圧(V)

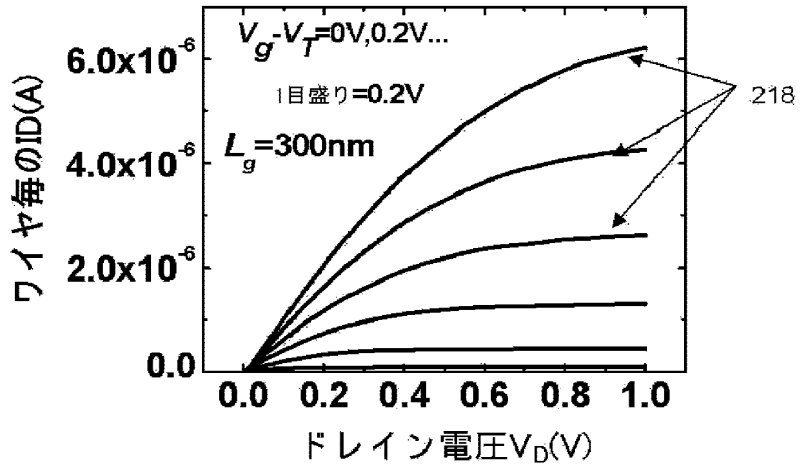
【図２３】


212
45度 Vg-VT=0V,-0.2V...
1目盛り=-0.2V
Lg=300nm
R=6nm
ID (μA/μm)
1000
800
600
400
200
0
-1.0
-0.8
-0.6
-0.4
-0.2
0.0
ドレイン電圧VD(V)

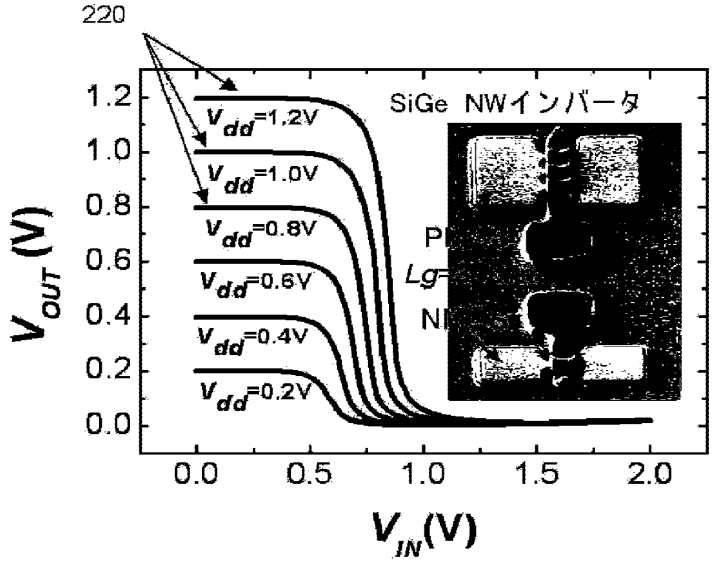
【図２４】



【図２５】



【図２６】



【手続補正書】

【提出日】平成22年11月16日(2010.11.16)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
支持基板上に配設されているシリコン－ゲルマニウムナノワイヤ構造であって、
前記支持基板上に配設されている少なくとも１つのゲルマニウム含有支持部と、
前記支持基板の上方に設けられており、前記少なくとも１つのゲルマニウム含有支持部に隣接して配設されている少なくとも１つのゲルマニウム含有ナノワイヤと
を備え、
前記少なくとも１つのゲルマニウム含有ナノワイヤは、ゲルマニウム濃度が前記少なくとも１つのゲルマニウム含有支持部よりも高く、
前記少なくとも１つのゲルマニウム含有ナノワイヤと前記少なくとも１つのゲルマニウム含有支持部との間の界面には、ヘテロ接合が形成されているナノワイヤ構造。
【請求項２】
前記少なくとも１つのゲルマニウム含有支持部の幅と、前記少なくとも１つのゲルマニウム含有ナノワイヤの直径との比は、２より大きい請求項１に記載のシリコン－ゲルマニウムナノワイヤ構造。
【請求項３】
前記支持基板と前記少なくとも１つのゲルマニウム含有支持部との間に配設されている絶縁層をさらに備える請求項１に記載のシリコン－ゲルマニウムナノワイヤ構造。
【請求項４】
請求項１から請求項３のうちいずれか一項に記載されている支持基板上に配設されているシリコン－ゲルマニウムナノワイヤ構造を備えるトランジスタであって、
前記少なくとも１つのゲルマニウム含有ナノワイヤの周囲に設けられているトンネル層と、
前記トンネル層を被覆するように配置されているゲート領域と
をさらに備えるトランジスタ。
【請求項５】
前記トンネル層の周囲を取り囲んでいる電荷トラップ構造をさらに備える請求項４に記載のトランジスタ。
【請求項６】
前記電荷トラップ構造と前記ゲート領域との間に設けられているブロック層をさらに備える請求項５に記載のトランジスタ。
【請求項７】
前記トンネル層は、誘電材料を含む請求項４に記載のトランジスタ。
【請求項８】
前記ブロック層は、誘電材料を含む請求項６に記載のトランジスタ。
【請求項９】
前記誘電材料は、酸化シリコン、窒化シリコン、酸化マグネシウム、酸化スカンジウム、二酸化ハフニウムという複数の誘電材料を含む群のうち任意の１以上を含む請求項７または請求項８に記載のトランジスタ。
【請求項１０】
前記電荷トラップ構造は、窒化シリコン、二酸化ハフニウム、および酸化アルミニウムという複数の高誘電材料を含む群のうち任意の１以上を含む請求項５に記載のトランジスタ。
【請求項１１】

前記少なくとも１つのゲルマニウム含有支持部は、ｐ型ドーパントまたはｎ型ドーパントでドーピングされている請求項４に記載のトランジスタ。
【請求項１２】
前記ｐ型ドーパントは、ホウ素、アルミニウム、ガリウム、およびインジウムから成る群から選択される１以上の元素である請求項１１に記載のトランジスタ。
【請求項１３】
前記ｎ型ドーパントは、リンおよびヒ素から成る群から選択される１以上の元素である請求項１１に記載のトランジスタ。
【請求項１４】
前記ゲート領域は、ドーピングされているとしてもよいし、ドーピングされていないとしてもよい請求項１１に記載のトランジスタ。
【請求項１５】
前記ゲート領域は、前記少なくとも１つのゲルマニウム含有支持部のドーパントの導電型とは逆の導電型のドーパントでドーピングされている請求項１４に記載のトランジスタ。
【請求項１６】
支持基板上に配設されているシリコンーゲルマニウムナノワイヤ構造を形成する方法であって、
前記支持基板上に少なくとも１つのゲルマニウム含有支持部を形成する段階と、
前記支持基板の上方に、前記少なくとも１つのゲルマニウム含有支持部に隣接させて、少なくとも１つのゲルマニウム含有ナノワイヤを形成する段階と、
前記少なくとも１つのゲルマニウム含有ナノワイヤと前記少なくとも１つのゲルマニウム含有支持部との間の界面にヘテロ接合を形成する段階と
を備え、
前記少なくとも１つのゲルマニウム含有ナノワイヤは、ゲルマニウム濃度が前記少なくとも１つのゲルマニウム含有支持部よりも高い方法。
【請求項１７】
前記少なくとも１つのゲルマニウム含有支持部の幅と、前記少なくとも１つのゲルマニウム含有ナノワイヤの直径との比は、２より大きい請求項１６に記載の方法。
【請求項１８】
前記支持基板と前記少なくとも１つのゲルマニウム含有支持部との間に絶縁層を形成する段階をさらに備える請求項１６に記載の方法。
【請求項１９】
前記支持基板上に少なくとも１つのゲルマニウム含有支持部を形成する段階は、
前記支持基板上に半導体デバイス層を成膜する段階と、
前記半導体デバイス層上に開始ゲルマニウム含有層を成膜する段階と、
前記開始ゲルマニウム含有層および前記半導体デバイス層を酸化して、第１の酸化物層およびゲルマニウム含有層を形成し、前記支持基板上に前記少なくとも１つのゲルマニウム含有支持部を形成する段階と
を有する請求項１６に記載の方法。
【請求項２０】
前記支持基板上に少なくとも１つのゲルマニウム含有支持部を形成する段階はさらに、
エッチング処理によって前記第１の酸化物層を除去する段階を有する請求項１９に記載の方法。
【請求項２１】
前記支持基板上に少なくとも１つのゲルマニウム含有支持部を形成する段階はさらに、
前記開始ゲルマニウム含有層上にキャップ層を成膜する段階を有する請求項１９に記載の方法。
【請求項２２】
前記開始ゲルマニウム含有層および前記半導体デバイス層は、ゲルマニウム濃縮処理に

Sandisk Technologies, Inc. - Ex. 1002, Page 000806

よって酸化される請求項１９に記載の方法。
【請求項２３】
前記支持基板の上方に、前記少なくとも１つのゲルマニウム含有支持部に隣接させて、少なくとも１つのゲルマニウム含有ナノワイヤを形成する段階は、
前記支持基板上に半導体デバイス層を成膜する段階と、
前記半導体デバイス層上に開始ゲルマニウム含有層を成膜する段階と、
前記開始ゲルマニウム含有層および前記半導体デバイス層を酸化して、第１の酸化物層およびゲルマニウム含有層を形成する段階と、
前記支持基板上に配設されている前記少なくとも１つのゲルマニウム含有支持部と、前記支持基板の上方に設けられており、前記少なくとも１つのゲルマニウム含有支持部に隣接して配設されている少なくとも１つのフィン部とを含むフィン構造を形成するように、前記ゲルマニウム含有層をパターニングする段階と、
さらに前記少なくとも１つのフィン部を酸化して、第２の酸化物層に周囲を取り囲まれた前記少なくとも１つのゲルマニウム含有ナノワイヤを形成する段階と
を有する請求項１６に記載の方法。
【請求項２４】
前記支持基板の上方に、前記少なくとも１つのゲルマニウム含有支持部に隣接させて、少なくとも１つのゲルマニウム含有ナノワイヤを形成する段階はさらに、エッチング処理によって前記第１の酸化物層および前記第２の酸化物層を除去する段階を有する請求項２３に記載の方法。
【請求項２５】
前記支持基板の上方に、前記少なくとも１つのゲルマニウム含有支持部に隣接させて、少なくとも１つのゲルマニウム含有ナノワイヤを形成する段階はさらに、前記開始ゲルマニウム含有層上にキャップ層を成膜する段階を有する請求項２３に記載の方法。
【請求項２６】
少なくとも前記フィン部は、ゲルマニウム濃縮処理によって酸化される請求項２３に記載の方法。
【請求項２７】
前記半導体デバイス層は、シリコン層を含む請求項１９または請求項２３に記載の方法。
【請求項２８】
前記開始ゲルマニウム含有層は、シリコンゲルマニウム層を含む請求項１９または請求項２３に記載の方法。
【請求項２９】
前記ゲルマニウム含有層は、シリコンゲルマニウム層を含む請求項１９または請求項２３に記載の方法。
【請求項３０】
前記第１の酸化物層は、酸化シリコン層を含む請求項１９または請求項２３に記載の方法。
【請求項３１】
前記第２の酸化物層は、酸化シリコン層を含む請求項２３に記載の方法。
【請求項３２】
請求項１６から請求項３１のうちいずれか一項に記載の支持基板上に配設されているシリコン－ゲルマニウムナノワイヤ構造を形成する方法を備えるトランジスタを形成する方法であって、
前記少なくとも１つのゲルマニウム含有ナノワイヤの周囲にトンネル層を形成する段階と、
前記トンネル層を被覆するゲート領域を形成する段階と
をさらに備える方法。
【請求項３３】

前記トンネル層の周囲を取り囲む電荷トラップ構造を形成する段階をさらに備える請求項３２に記載の方法。
【請求項３４】
前記電荷トラップ構造と前記ゲート領域との間にブロック層を形成する段階をさらに備える請求項３３に記載の方法。
【請求項３５】
前記トンネル層は、誘電材料を含む請求項３２に記載の方法。
【請求項３６】
前記ブロック層は、誘電材料を含む請求項３４に記載の方法。
【請求項３７】
前記誘電材料は、酸化シリコン、窒化シリコン、酸化マグネシウム、酸化スカンジウム、二酸化ハフニウムという複数の誘電材料を含む群のうち任意の１以上を含む請求項３５または請求項３６に記載の方法。
【請求項３８】
前記電荷トラップ構造は、窒化シリコン、二酸化ハフニウム、および酸化アルミニウムという複数の高誘電材料を含む群のうち任意の１以上を含む請求項３３に記載の方法。
【請求項３９】
前記少なくとも１つのゲルマニウム含有支持部を、ｐ型ドーパントまたはｎ型ドーパントでドーピングする段階をさらに備える請求項１６に記載の方法。
【請求項４０】
前記ｐ型ドーパントは、ホウ素、アルミニウム、ガリウム、およびインジウムから成る群から選択される１以上の元素である請求項３９に記載の方法。
【請求項４１】
前記ｎ型ドーパントは、リンおよびヒ素から成る群から選択される１以上の元素である請求項３９に記載の方法。
【請求項４２】
前記ゲート領域を、前記少なくとも１つのゲルマニウム含有支持部のドーパントの導電型とは逆の導電型のドーパントでドーピングする段階をさらに備える請求項３２に記載の方法。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/SG2007/000422

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl.

H01L 29/737 (2006.01) ***H01L 21/20*** (2006.01) ***H01L 27/095*** (2006.01)
B82B 3/00 (2006.01) ***H01L 21/223*** (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
B82B/IC

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
DWPI: NANOWIRE+ AND (SILICON OR SI OR SILANE) AND (GERMANIUM OR GE OR GERMANE) AND (CONCENTR+ OR DOP+ OR (GERMANIUM (W) RICH) OR (GERMANIUM (W) DOP+) OR STRENGTH OR LEVEL? OR AMOUNT) etc...

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	LIOW *et. al.* "Investigation of silicon-germanium fins fabricated using germanium condensation on vertical compliant structures" Applied Physics Letters 87, 262104, 19 December 2005 Whole document	1-44
X	WO 2007/086009 A (NXP B.V.) 2 August 2007 Whole document and in particular pages 5, 7-8 and Fig. 4	1-44
A	WO 2007/022359 A (THE REGENTS OF THE UNIVERSITY OF CALIFORNIA) 22 February 2007 Whole document and in particular [0085]-[0087]	1-44

[X] Further documents are listed in the continuation of Box C [X] See patent family annex

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
23 January 2008	11 FEB 2008
Name and mailing address of the ISA/AU AUSTRALIAN PATENT OFFICE PO BOX 200, WODEN ACT 2606, AUSTRALIA E-mail address: pct@ipaustralia.gov.au Facsimile No. +61 2 6283 7999	Authorized officer **FIROOZEH RABBANI** AUSTRALIAN PATENT OFFICE (ISO 9001 Quality Certified Service) Telephone No : (02) 6283 2287

Form PCT/ISA/210 (second sheet) (April 2007)

Sandisk Technologies, Inc. - Ex. 1002, Page 000809

INTERNATIONAL SEARCH REPORT

International application No.
PCT/SG2007/000422

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2006/132659 A (PRESIDENT AND FELLOWS OF HARVARD COLLEGE) 14 December 2006 Whole document and in particular page 6	1-44
A	US 6720637 B (VOLDMAN) 13 April 2004 Whole document and in particular col. 5, line 40+	1-44
A	US 6767793 B (CLARK *et. al.*) 27 July 2004 Whole document and in particular col. 4 lines 64 to col. 5 line 56	1-44
A	LU *et. al.* "Semiconductor nanowires" Journal of Physics D: Appl. Phys. 39, R387-R406, 20 October 2006 Whole document	1-44

Form PCT/ISA/210 (continuation of second sheet) (April 2007)

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.
PCT/SG2007/000422

This Annex lists the known "A" publication level patent family members relating to the patent documents cited in the above-mentioned international search report. The Australian Patent Office is in no way liable for these particulars which are merely given for the purpose of information.

Patent Document Cited in Search Report		Patent Family Member					
WO	2007086009	NONE					
WO	2007022359	NONE					
WO	2006132659	NONE					
US	6720637	CN	1347155	EP	1198009	KR	2002002681
		US	6552406	US	2003146484		
US	6767793	AU	2003223306	CN	1643697	EP	1488462
		US	6635909	US	6849884	US	2003178677
		US	2003178681	US	2003201458	WO	03081640

Due to data integration issues this family listing may not include 10 digit Australian applications filed since May 2001.

END OF ANNEX

Sandisk Technologies, Inc. - Ex. 1002, Page 000811

フロントページの続き

(51)Int.Cl.			F I			テーマコード（参考）
H01L	***29/792***	***(2006.01)***	H01L	29/78	616V	
H01L	***29/788***	***(2006.01)***	H01L	27/10	434	
			H01L	29/78	371	
			H01L	29/78	618C	

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,MT,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,SV,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(72)発明者 ジャン、ユー
シンガポール， シンガポール １３８６３２， ナンバー２０－１０ コネクシス， フージョノポリス ウェイ １ エージェンシー フォー サイエンス，テクノロジー アンド リサーチ内
(72)発明者 ロー、グオ チャン、パトリック
シンガポール， シンガポール １３８６３２， ナンバー２０－１０ コネクシス， フージョノポリス ウェイ １ エージェンシー フォー サイエンス，テクノロジー アンド リサーチ内

Fターム(参考) 5F083 EP18 EP43 EP44 EP48 EP49 HA02 JA02 JA19 JA51
5F101 BA45 BD30
5F110 AA01 AA07 BB05 DD01 DD04 DD05 DD12 DD13 DD14 EE01
EE03 EE04 EE08 EE09 EE22 EE30 EE42 EE43 EE44 FF01
FF02 FF03 FF10 FF12 FF29 GG01 GG02 GG03 GG04 GG07
GG13 GG17 GG22 GG25 GG28 GG32 GG44 HJ01 HJ04 HJ13
HJ23 QQ02 QQ04 QQ11 QQ17

Espacenet

JP2010182939A SEMICONDUCTOR DEVICE

Applicants: TOSHIBA CORP

Inventors: ENDO MASATO,FUTAYAMA TAKUYA,KAWABATA ITARU,NITTA HIROYUKI,WATANABE SHINICHI

Classifications:

IPC ***G11C16/04; H01L21/768; H01L21/8234; H01L21/8247; H01L23/522; H01L27/088; H01L27/10; H01L27/115; H01L29/417; H01L29/788; H01L29/792;***

CPC **G11C16/0466 (EP,KR); G11C16/26 (EP,KR); H01L21/76816 (EP,KR); H01L21/823871 (EP,KR); H01L27/11519 (EP,KR); H01L27/11521 (EP,KR); H01L27/2463 (KR); H01L29/41725 (EP,KR);**

Priorities: JP2009026263A 2009-02-06

Application: JP2010182939A·2009-02-06

Publication: JP2010182939A·2010-08-19

Published as: JP2010182939A;**JP5317742B2; KR101099803B1; KR20100090658A; US201020208A1; US8169824B2**

SEMICONDUCTOR DEVICE

Abstract

PROBLEM TO BE SOLVED: To provide a semiconductor device which can reduce contact resistance and improve operation reliability. SOLUTION: The semiconductor device includes a first conductive type first MOS transistor 5 formed on a semiconductor substrate 10, a pluraility of second conductive type second MOS transistor 6 formed on the semiconductor substrate 10, a first contact plug CP10-1 having a circular planar surface shape, and a second contact plug CP10-2 having an oval planar surface shape. The second contact plug CP10-2 is formed on the source or drain of any one 6-1 of the second MOS transistors 6. The first contact plug CP10-1 is formed on sources or drains in the remaining second MOS transistors 6-2 and the first MOS transistor 5. COPYRIGHT: (C)2010,JPO&INPIT

Sandisk Technologies, Inc. - Ex. 1002, Page 000813

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2010-182939
(P2010-182939A)
(43)公開日　平成22年8月19日(2010.8.19)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 21/8234	(2006.01)	H01L	27/08	102D	4M104
H01L 27/088	(2006.01)	H01L	27/10	434	5B125
H01L 21/8247	(2006.01)	H01L	29/78	371	5F033
H01L 27/115	(2006.01)	H01L	27/10	481	5F048
H01L 29/788	(2006.01)	H01L	29/50	M	5F083

審査請求 未請求　請求項の数 5　OL　（全 24 頁）　最終頁に続く

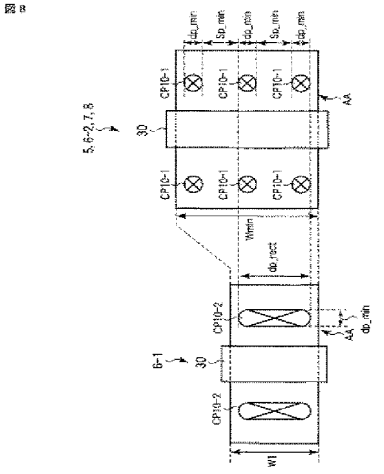
(21)出願番号　特願2009-26263 (P2009-26263)
(22)出願日　平成21年2月6日 (2009.2.6)

(71)出願人　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(74)代理人　100108855
弁理士　蔵田　昌俊
(74)代理人　100091351
弁理士　河野　哲
(74)代理人　100088683
弁理士　中村　誠
(74)代理人　100109830
弁理士　福原　淑弘
(74)代理人　100075672
弁理士　峰　隆司

最終頁に続く

(54)【発明の名称】半導体装置

(57)【要約】
【課題】コンタクト抵抗を低減し、動作信頼性を向上出来る半導体装置を提供すること。
【解決手段】半導体基板１０上に形成された、第１導電型の第１ＭＯＳトランジスタ５と、前記半導体基板１０上に形成された、第２導電型の複数の第２ＭＯＳトランジスタ６と、円形の平面形状を有する第１コンタクトプラグＣＰ１０－１と、楕円形の平面形状を有する第２コンタクトプラグＣＰ１０－２とを具備し、前記第２コンタクトプラグＣＰ１０－２は、前記第２ＭＯＳトランジスタ６のいずれか６－１の、ソースまたはドレイン上に形成され、前記第１コンタクトプラグＣＰ１０－１は、残りの前記第２ＭＯＳトランジスタ６－２、及び前記第１ＭＯＳトランジスタ５の、ソースまたはドレイン上に形成される。
【選択図】図８



Sandisk Technologies, Inc. - Ex. 1002, Page 000814

【特許請求の範囲】
【請求項1】
半導体基板上に形成された、第１導電型の第１ＭＯＳトランジスタと、
前記半導体基板上に形成された、第２導電型の複数の第２ＭＯＳトランジスタと、
円形の平面形状を有する第１コンタクトプラグと、
楕円形の平面形状を有する第２コンタクトプラグと
を具備し、前記第２コンタクトプラグは、前記第２ＭＯＳトランジスタのいずれかの、ソースまたはドレイン上に形成され、
前記第１コンタクトプラグは、残りの前記第２ＭＯＳトランジスタ、及び前記第１ＭＯＳトランジスタの、ソースまたはドレイン上に形成される
ことを特徴とする半導体装置。
【請求項2】
前記第２コンタクトプラグは、前記ソースまたはドレインにつき、１個、形成され、
前記第１コンタクトプラグは、前記ソースまたはドレインにつき、３個、形成され、
前記第２ＭＯＳトランジスタのゲート幅方向における前記ソースまたはドレインの幅は、前記第１ＭＯＳトランジスタのゲート幅方向における前記ソースまたはドレインの幅はよりも小さい
ことを特徴とする請求項１記載の半導体装置。
【請求項3】
前記第２コンタクトプラグは、前記ソースまたはドレインにつき、１個、形成され、
前記第１コンタクトプラグは、前記ソースまたはドレインにつき、１個、形成され、
前記第１コンタクトプラグが形成された前記第１ＭＯＳトランジスタの、ゲート幅方向における前記ソースまたはドレインの幅は、
前記第２コンタクトプラグが形成された前記第２ＭＯＳトランジスタの、ゲート幅方向における前記ソースまたはドレインの幅よりも小さい
ことを特徴とする請求項１記載の半導体装置。
【請求項4】
前記第１コンタクトプラグの隣接間隔は、前記第１コンタクトプラグの平面の直径よりも大きい
ことを特徴とする請求項１乃至３いずれか１項記載の半導体装置。
【請求項5】
前記第１導電型はＮ型であり、
前記第２導電型はＰ型であり、前記第２ＭＯＳトランジスタの前記ソース及び前記ドレインは、不純物としてボロンが注入されることにより形成されている。
ことを特徴とする請求項１乃至４いずれか１項記載の半導体装置。

【発明の詳細な説明】
【技術分野】
【0001】
この発明は、半導体装置に関する。例えば、ＮＡＮＤ型フラッシュメモリ等の半導体記憶装置に関する。
【背景技術】
【0002】
従来、不揮発性半導体メモリとしてＥＥＰＲＯＭ（Electrically Erasable and Programmable Read Only Memory）が知られている。また、高集積化が可能なＥＥＰＲＯＭとして、ＮＡＮＤ型フラッシュメモリが、広く用いられている。
【0003】
ＮＡＮＤ型フラッシュメモリは、メモリセルへのデータの書き込み、読み出し、及び消去を行うための、種々の回路（以下、これらをまとめて周辺回路と呼ぶ）を備えている。そして、近年のメモリセルの微細化に伴って、周辺回路に含まれるＭＯＳトランジスタのサイズも縮小化されている。その結果、ＭＯＳトランジスタに流せる電流量が小さくなる

など、ＮＡＮＤ型フラッシュメモリの動作信頼性が悪化する、という問題があった（例えば特許文献１参照）。

【図面の簡単な説明】

【0008】

【図1】この発明の第１の実施形態に係るフラッシュメモリのブロック図。

【図2】この発明の第１の実施形態に係るメモリセルアレイの平面図。

【図3】図２におけるＹ１－Ｙ１’線に沿った断面図。

【図4】この発明の第１の実施形態に係る周辺トランジスタの平面図。

【図5】この発明の第１の実施形態に係る周辺トランジスタの平面図。

【図6】この発明の第１の実施形態に係る周辺トランジスタの断面図。

【図7】この発明の第１の実施形態に係る周辺トランジスタの断面図。

【図8】この発明の第１の実施形態に係る周辺トランジスタの平面図。

【図9】この発明の第１の実施形態に係る第１コンタクトプラグ形成用マスクの模式図と、実際に形成されたコンタクトホールの断面写真。

【図10】この発明の第１の実施形態に係る第２コンタクトプラグ形成用マスクの模式図と、実際に形成されたコンタクトホールの断面写真。

【図11】ＭＯＳトランジスタのコンタクト抵抗の必要スペック、及び実際の値を示す表。

【図12】この発明の第２の実施形態に係るセンスアンプの回路図。

【図13】この発明の第２の実施形態に係るセンスアンプの平面図。

【図14】図１３におけるＸ１－Ｘ１’線に沿った断面図。

【図15】センスアンプの平面図。

【図16】この発明の第１、第２の実施形態の変形例に係る周辺トランジスタの断面図。

【図17】この発明の第１、第２の実施形態の変形例に係る周辺トランジスタの断面図。

【図18】この発明の第１、第２の実施形態の変形例に係る周辺トランジスタの断面図。

【図19】この発明の第１、第２の実施形態の変形例に係る周辺トランジスタの平面図。

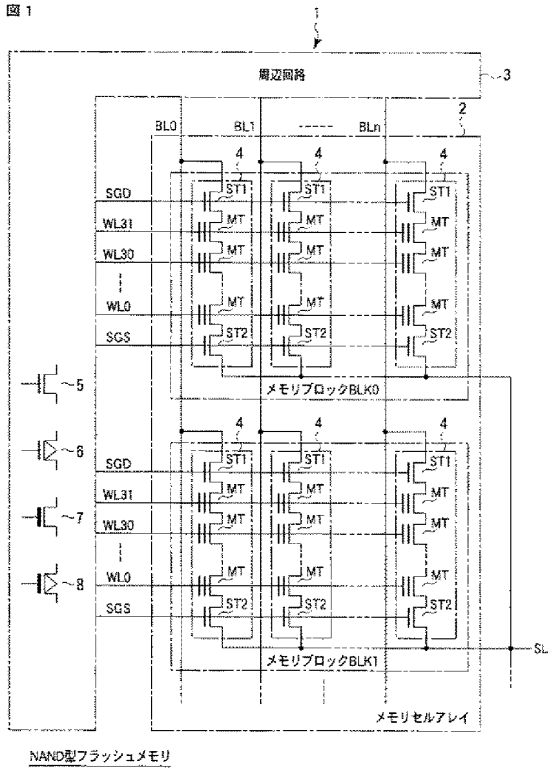
【図20】周辺トランジスタの平面図。

【符号の説明】

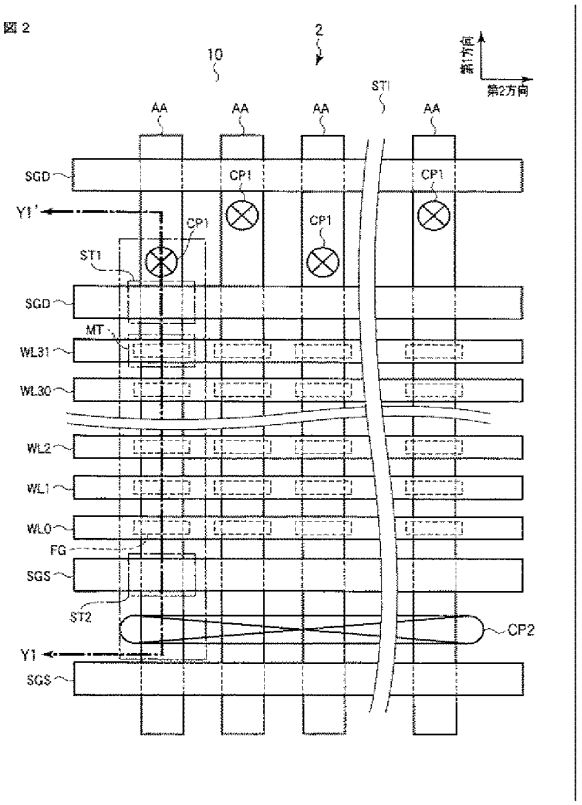
【0122】

１…ＮＡＮＤ型フラッシュメモリ、２…メモリセルアレイ、３…周辺回路、４…メモリセルユニット、５～８、６－１、６－２、６１～７２、７５～８０…周辺トランジスタ、１０…半導体基板、１１、１２、３１、９０…ウェル領域、１３、３４、４０…ゲート絶縁膜、１４、１６、５１、５３…導電層、１５、５２…ゲート間絶縁膜、１７、３２、３３、５０、９８…不純物拡散層、１８、２１、３５、９１、９９…絶縁膜、１９、２０、２２、３６、３７、１００～１０４…金属配線層、３０、９２～９７…ゲート電極、６０…センスアンプ、７３…キャパシタ素子、７４…ラッチ回路

【図1】

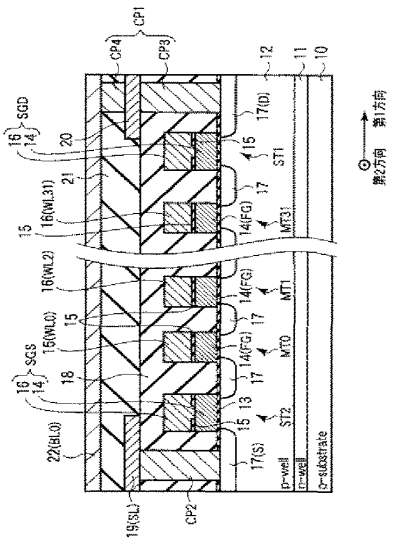

図１
1
周辺回路
3
2
BL0
BL1
BLn
4
SGD
WL31
WL30
WL0
SGS
ST1
MT
ST2
メモリブロックBLK0
メモリブロックBLK1
5
6
7
8
SL
メモリセルアレイ
NAND型フラッシュメモリ

【図2】


図２
10
2
第1方向
第2方向
STI
AA
AA
AA
AA
SGD
CP1
CP1
Y1'
CP1
CP1
ST1
SGD
MT
WL31
WL30
WL2
WL1
WL0
FG
SGS
ST2
CP2
Y1
SGS

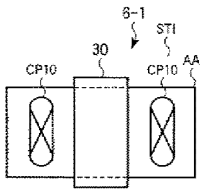
【図3】

図３


CP1
CP4
CP3
12
11
10
SGD
16
14
20
21
15
16(WL31)
16(WL2)
16(WL0)
15
SGS
18
22(BL0)
19(SL)
CP2
17(D)
ST1
MT31
14(FG)
MT1
MT0
ST2
17(S)
p-well
n-well
p-substrate
第2方向
第1方向

【図4】

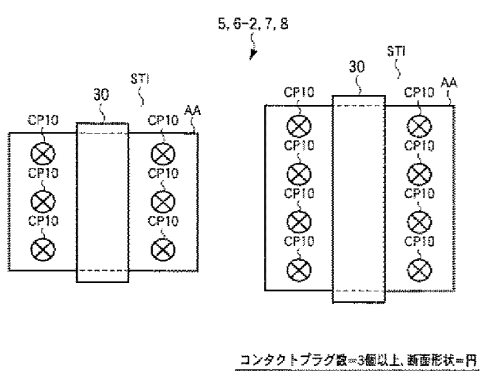
図４



コンタクトプラグ数＝1個，断面形状＝楕円

【図5】

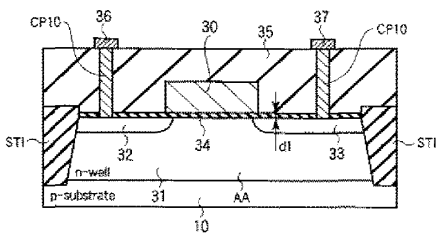
図5



コンタクトプラグ数=3個以上、断面形状=円

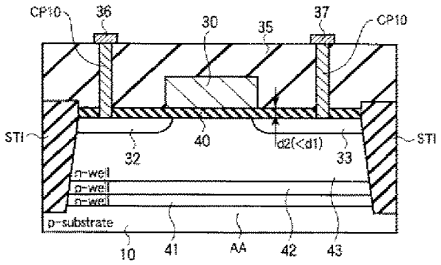
【図6】

図６


CP10
36
30
35
37
CP10
STI
32
34
d1
33
STI
n-well
p-substrate
31
AA
10

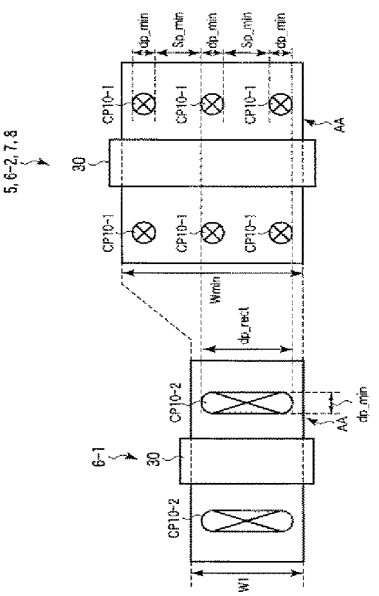
【図7】

図７

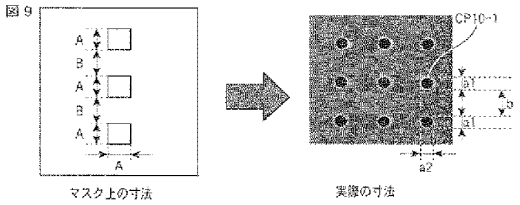

CP10
36
30
35
37
CP10
STI
32
40
d2(<d1)
33
STI
n-well
n-well
n-well
p-substrate
10
41
AA
42
43

【図8】

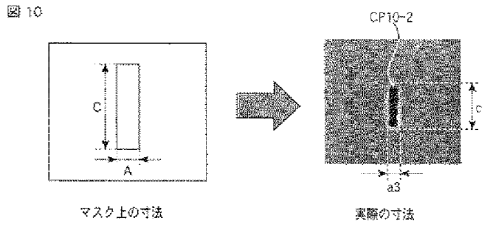
図８


dp_min
Sa_min
dp_min
Sa_min
dp_min
CP10-1
CP10-1
CP10-1
AA
5,6-2,7,8
30
CP10-1
CP10-1
CP10-1
Wmin
dp_rec1
CP10-2
AA1
dn_min
6-1
30
CP10-2
W1

【図9】



【図10】



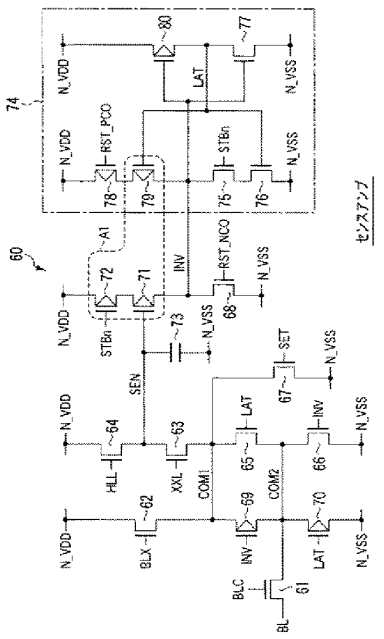
【図11】

図 11

	nチャネルMOSトランジスタ	pチャネルMOSトランジスタ
コンタクト抵抗の必要スペック	1～2 [kΩ]	3～5 [kΩ]
丸穴コンタクト抵抗	300～1000 [Ω]	10～100 [kΩ]
長穴コンタクト抵抗	―――	1～3 [kΩ]

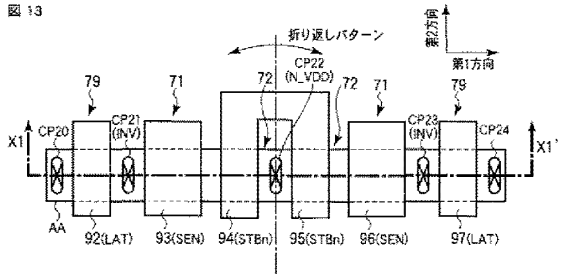
【図12】

図 12

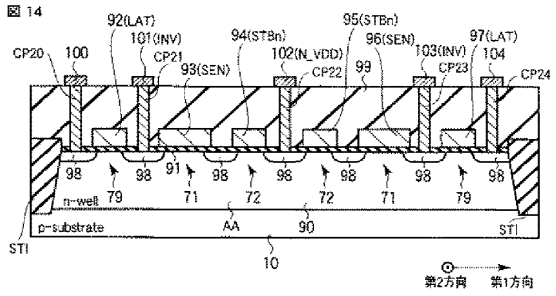

センスアンプ
74
60
N_VDD
N_VSS
RST_PCO
STBn
LAT
INV
RST_NCO
SET
SEN
HLL
XXL
BLX
BLC
BL
COM1
COM2
A1
61
62
63
64
65
66
67
68
69
70
71
72
73
75
76
77
78
79
80

【図13】

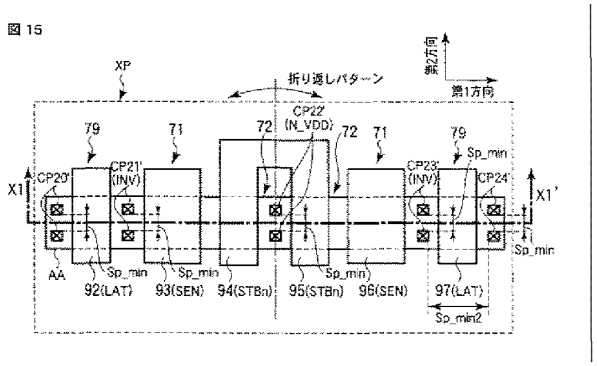
図 13


折り返しパターン
第2方向
第1方向
79
71
72
CP22
(N_VDD)
72
71
79
CP20
CP21
(INV)
CP23
(INV)
CP24
X1
X1'
AA
92(LAT)
93(SEN)
94(STBn)
95(STBn)
96(SEN)
97(LAT)

【図14】

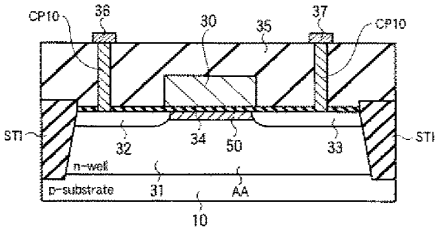

図 14
92(LAT)
101(INV)
94(STBn)
95(STBn)
96(SEN)
97(LAT)
CP20
100
CP21
93(SEN)
102(N_VDD)
CP22
99
103(INV)
CP23
104
CP24
98
91
79
71
72
n-well
p-substrate
AA
90
STI
10
第2方向
第1方向

【図15】


図15
XP
折り返しパターン
第2方向
第1方向
79
71
72
CP22'
(N_VDD)
72
71
79
Sp_min
X1
CP20'
CP21'
(INV)
CP23'
(INV)
CP24'
X1'
AA
Sp_min
Sp_min
Sp_min
Sp_min
92(LAT)
93(SEN)
94(STBn)
95(STBn)
96(SEN)
97(LAT)
Sp_min2

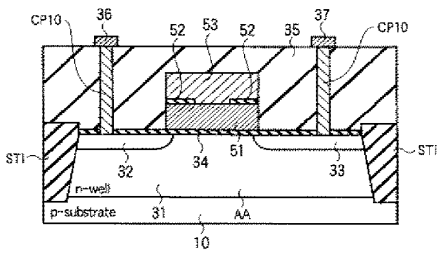
【図16】

図16


CP10
36
30
35
37
CP10
STI
32
34
50
33
STI
n-well
p-substrate
31
AA
10

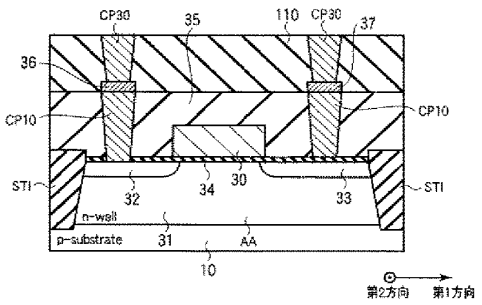
【図17】

図 17


CP10
36
52
53
52
35
37
CP10
STI
32
34
51
33
STI
n-well
p-substrate
31
AA
10

【図18】

図 18


CP30
35
110
CP30
37
36
CP10
CP10
STI
STI
32
34
30
33
n-well
p-substrate
31
AA
10
第2方向
第1方向

【図19】

【図20】

図 19

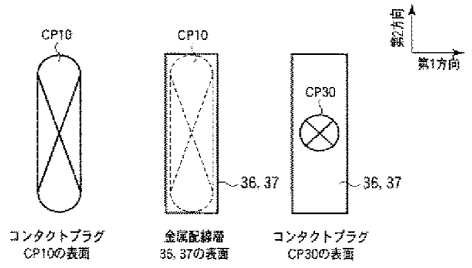
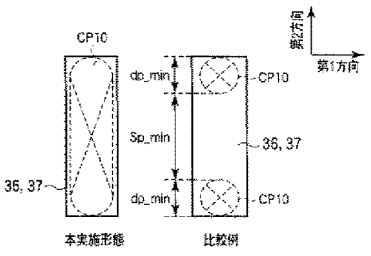


図 20



(51)Int.Cl.			FI			テーマコード（参考）
Ｈ０１Ｌ	29/792	(2006.01)	Ｈ０１Ｌ	21/90	Ｄ	５Ｆ１０１
Ｈ０１Ｌ	27/10	(2006.01)	Ｇ１１Ｃ	17/00	６２２Ｅ	
Ｈ０１Ｌ	29/417	(2006.01)				
Ｈ０１Ｌ	21/768	(2006.01)				
Ｈ０１Ｌ	23/522	(2006.01)				
Ｇ１１Ｃ	16/04	(2006.01)				

(74)代理人　100095441
弁理士　白根　俊郎
(74)代理人　100084618
弁理士　村松　貞男
(74)代理人　100103034
弁理士　野河　信久
(74)代理人　100119976
弁理士　幸長　保次郎
(74)代理人　100153051
弁理士　河野　直樹
(74)代理人　100140176
弁理士　砂川　克
(74)代理人　100100952
弁理士　風間　鉄也
(74)代理人　100101812
弁理士　勝村　紘
(74)代理人　100070437
弁理士　河井　将次
(74)代理人　100124394
弁理士　佐藤　立志
(74)代理人　100112807
弁理士　岡田　貴志
(74)代理人　100111073
弁理士　堀内　美保子
(74)代理人　100134290
弁理士　竹内　将訓
(74)代理人　100127144
弁理士　市原　卓三
(74)代理人　100141933
弁理士　山下　元
(72)発明者　遠藤　真人
東京都港区芝浦一丁目１番１号　株式会社東芝内
(72)発明者　川端　至
東京都港区芝浦一丁目１番１号　株式会社東芝内
(72)発明者　渡邉　伸一
東京都港区芝浦一丁目１番１号　株式会社東芝内
(72)発明者　二山　拓也
東京都港区芝浦一丁目１番１号　株式会社東芝内
(72)発明者　新田　博行

Sandisk Technologies, Inc. - Ex. 1002, Page 000836

東京都港区芝浦一丁目１番１号　株式会社東芝内

Ｆターム(参考)
4M104 AA01 BB01 CC01 CC05 DD08 EE03 EE16 FF11 GG09 GG10
GG14 GG16 HH15
5B125 BA02 CA11 CA30 DA01 DA09 DB12 DC03 DE13 EA05 ED07
ED09 EE04 EE12 EE15 EG02 EG04 FA07
5F033 HH00 HH08 HH11 HH18 HH19 HH25 HH27 HH28 HH29 HH30
HH33 JJ00 KK01 MM07 NN33 QQ09 QQ13 QQ16 QQ37 VV16
XX09
5F048 AA07 AB01 AB03 AB10 AC01 AC03 AC10 BA01 BA14 BB03
BB05 BB08 BB09 BB12 BB16 BC18 BD10 BF07 BF11 BF16
BG13
5F083 EP02 EP18 EP23 EP33 EP34 EP54 EP55 EP56 EP76 EP77
ER22 GA11 HA06 JA02 JA03 JA04 JA35 JA36 JA37 JA39
JA40 JA53 LA03 LA05 LA10 LA21 MA06 MA19 MA20 NA01
ZA01 ZA04
5F101 BA26 BA29 BA36 BA44 BA45 BB05 BB08 BD22 BD24 BD33
BD34 BD35 BD39 BE07

Sandisk Technologies, Inc. - Ex. 1002, Page 000837

Espacenet

JP2009535800A null

Applicants:

Inventors:

Classifications:

IPC ***H01L21/336; H01L21/8247; H01L27/115; H01L29/786; H01L29/788; H01L29/792;***

CPC **H01L29/40117 (EP); H01L29/4234 (EP); H01L29/66787 (EP); H01L29/66833 (EP); H01L29/792 (EP);**

Priorities: EP06113147A 2006-04-26; IB2007051417W 2007-04-19

Application: JP2009535800A 2007-04-19

Publication: JP2009535800A 2009-10-01

Published as: **CN101432852A; CN101432852B; EP2013900A1;** JP2009535800A;**TW200810109A; US2009242964A1; US8159018B2; WO2007122567A1**

null

Abstract

No abstract found. Please consult other publications of this patent family in "Available in", if displayed above.

Sandisk Technologies, Inc. - Ex. 1002, Page 000838

(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)特許出願公表番号
特表2009-535800
(P2009-535800A)
(43)公表日　平成21年10月1日(2009.10.1)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 21/8247	(2006.01)	H01L	29/78	371	5F083
H01L 29/788	(2006.01)	H01L	27/10	434	5F101
H01L 29/792	(2006.01)	H01L	29/78	613B	5F110
H01L 27/115	(2006.01)	H01L	29/78	618C	
H01L 29/786	(2006.01)	H01L	29/78	627F	

審査請求 有　予備審査請求 未請求　（全 24 頁）　最終頁に続く

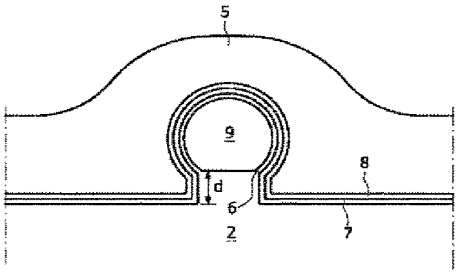
(21)出願番号　特願2009-507220 (P2009-507220)
(86)(22)出願日　平成19年4月19日 (2007.4.19)
(85)翻訳文提出日　平成20年12月2日 (2008.12.2)
(86)国際出願番号　PCT/IB2007/051417
(87)国際公開番号　WO2007/122567
(87)国際公開日　平成19年11月1日 (2007.11.1)
(31)優先権主張番号　06113147.0
(32)優先日　平成18年4月26日 (2006.4.26)
(33)優先権主張国　欧州特許庁 (EP)

(71)出願人　507219491
エヌエックスピー　ビー　ヴィ
ＮＸＰ　Ｂ．Ｖ．
オランダ国　５６５６エイジー　アインドーフェン　ハイ　テク　キャンパス　６０
Ｈｉｇｈ　Ｔｅｃｈ　Ｃａｍｐｕｓ　６０，　ＮＬ－５６５６　ＡＧ　Ｅｉｎｄｈｏｖｅｎ，　Ｎｅｔｈｅｒｌａｎｄｓ
(74)代理人　100147485
弁理士　杉村　憲司
(74)代理人　100134005
弁理士　澤田　達也
(74)代理人　100119530
弁理士　冨田　和幸

最終頁に続く

(54)【発明の名称】不揮発性メモリデバイス

(57)【要約】
ソース領域およびドレイン領域、フィン本体、電荷トラップ積層、およびゲートを有する、半導体基板上のｆｉｎＦＥＴベース不揮発性メモリデバイスである。フィン本体は、接触部としてソース領域とドレイン領域との間に延在する。電荷トラップ積層は、フィン本体の一部を被覆し、ゲートは、フィン本体のこの位置で電荷トラップ積層を被覆する。フィン本体は、明確な結晶質表面およびこの結晶質表面の間の遷移ゾーンが欠如するフィン本体の外周の少なくとも３／４にわたり角部のない形状を有する。



Sandisk Technologies, Inc. - Ex. 1002, Page 000839

【特許請求の範囲】
【請求項1】
半導体基板上のｆｉｎＦＥＴベース不揮発性メモリデバイスにおいて、ソースおよびドレイン領域と、フィン本体と、電荷トラップ積層とゲートとを有し、前記フィン本体は前記ソース領域とドレイン領域との間に延在し、前記フィン本体は前記ソース領域とドレイン領域とを接続し、電荷トラップ積層は前記フィン本体の少なくとも一部を被覆するように構成し、前記ゲートは前記フィン本体の位置で電荷トラップ積層を被覆するように構成し、前記フィン本体は角がない形状にしたことを特徴とする、ｆｉｎＦＥＴベース不揮発性メモリデバイス。
【請求項2】
請求項１に記載のｆｉｎＦＥＴベース不揮発性メモリデバイスにおいて、前記フィン本体の角のない形状を丸み付けした形状とする、ｆｉｎＦＥＴベース不揮発性メモリデバイス。
【請求項3】
請求項１または２に記載のｆｉｎＦＥＴベース不揮発性メモリデバイスにおいて、前記フィン本体は、楕円形状のうち少なくとも円形形状を有するものとする、ｆｉｎＦＥＴベース不揮発性メモリデバイス。
【請求項4】
請求項１に記載のｆｉｎＦＥＴベース不揮発性メモリデバイスにおいて、前記フィン本体を二酸化ケイ素層の上に構成し、フィン本体に隣接した二酸化ケイ素層の表面は陥凹レベル窪ませるものとする、ｆｉｎＦＥＴベース不揮発性メモリデバイス。
【請求項5】
請求項４に記載のｆｉｎＦＥＴベース不揮発性メモリデバイスにおいて、前記陥凹レベルは、電荷トラップ層および上部絶縁層の厚さと同じまたはそれ以上とする、ｆｉｎＦＥＴベース不揮発性メモリデバイス。
【請求項6】
請求項１に記載のｆｉｎＦＥＴベース不揮発性メモリデバイスにおいて、前記フィン本体は独立した状態にする、ｆｉｎＦＥＴベース不揮発性メモリデバイス。
【請求項7】
半導体基板上のｆｉｎＦＥＴベース不揮発性メモリデバイスであって、ソースおよびドレイン領域と、フィン本体と、電荷トラップ積層とゲートとを有し、前記フィン本体はソース領域とドレイン領域との間に延在し、前記フィンは前記ソース領域およびドレイン領域を接続し、前記電荷トラップ積層は前記フィン本体の少なくとも一部を被覆するように構成し、前記ゲートは前記フィン本体の位置で前記電荷トラップ積層を被覆するように構成した、該不揮発性メモリデバイスの製造方法において、
前記フィン本体（９）が角のない形状となるようにフィン本体を成形するステップを、有するものとしたことを特徴とする、ｆｉｎＦＥＴベース不揮発性メモリデバイスの製造方法。
【請求項8】
請求項７に記載のｆｉｎＦＥＴベース不揮発性メモリデバイスの製造方法において、前記フィン本体の成形は、約８５０～１０００°Ｃの高温で水素環境における焼きなましステップを有するものとする、ｆｉｎＦＥＴベース不揮発性メモリデバイスの製造方法。
【請求項9】
請求項７に記載のｆｉｎＦＥＴベース不揮発性メモリデバイスの製造方法において、前記基板は、単結晶シリコン層によって被覆した絶縁層を有し、ソースおよびドレイン領域およびフィン本体を、単結晶シリコン層において構成し、ソースおよびドレイン領域とフィン本体とに隣接した絶縁層をある陥凹レベルまで埋没するものとする、ｆｉｎＦＥＴベース不揮発性メモリデバイスの製造方法。
【請求項10】

請求項９に記載のｆｉｎＦＥＴベース不揮発性メモリデバイスの製造方法において、この方法は、陥凹レベルを電荷トラップ層および上部絶縁層の厚さと同じまたはそれ以上にするようにエッチングするステップを有するものとする、ｆｉｎＦＥＴベース不揮発性メモリデバイスの製造方法。

【請求項11】

請求項１０に記載のｆｉｎＦＥＴベース不揮発性メモリデバイスの製造方法において、エッチングは、フィン本体の下方の絶縁層が完全に被覆される高さまで行うものとする、ｆｉｎＦＥＴベース不揮発性メモリデバイスの製造方法。

【請求項12】

請求項１１に記載のｆｉｎＦＥＴベース不揮発性メモリデバイスの製造方法において、エッチングは、フィン本体の下方の絶縁層を部分的に埋没させる第１異方性ドライエッチングを、フィン本体の下の絶縁層を除去する第２等方性酸化物エッチングと組み合わせることによって達成するものとする、ｆｉｎＦＥＴベース不揮発性メモリデバイスの製造方法。

【請求項13】

請求項７に記載のｆｉｎＦＥＴベース不揮発性メモリデバイスの製造方法において、この方法は、

フィン本体が独立状態となるように、基板表面とフィン本体との間にギャップ領域を設けるステップを、

含むものとする、ｆｉｎＦＥＴベース不揮発性メモリデバイスの製造方法。

【請求項14】

請求項１３に記載のｆｉｎＦＥＴベース不揮発性メモリデバイスの製造方法において、基板は、エピタキシャルＳｉ－Ｇｅ層によって被覆した単結晶シリコンウエハを有し、ＳｉＧｅ層はエピタキシャルＳｉ層によって被覆し、ソースおよびドレイン領域とフィン本体とはエピタキシャルＳｉ層において構成し、ギャップ領域の形成は、フィン本体の下方におけるエピタキシャルＳｉＧｅ層の除去を有するものとする、ｆｉｎＦＥＴベース不揮発性メモリデバイスの製造方法。

【請求項15】

請求項１に記載のｆｉｎＦＥＴベース不揮発性メモリデバイスを少なくとも１個有するメモリアレイ。

【請求項16】

請求項１に記載のｆｉｎＦＥＴベース不揮発性メモリデバイスを少なくとも１個有する半導体デバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、不揮発性メモリ用途のデバイスに関するものである。同様に、本発明は、このデバイスの製造方法にも関するものである。さらに、本発明は、不揮発性メモリ用途のこのデバイスを有するメモリアレイに関するものであり、不揮発性メモリ用途のこのデバイスを有する半導体デバイスにも関するものである。

【背景技術】

【0002】

ＳＯＮＯＳ（二酸化ケイ素‐窒化ケイ素‐二酸化ケイ素‐シリコン）およびＳＨＩＮＯＳ（シリコン‐高誘電率膜‐窒化ケイ素‐二酸化ケイ素‐シリコン）メモリデバイス等の電荷トラップ不揮発性メモリデバイス（ＮＶＭデバイス）は、４５ｎｍノードおよびそれより小さいＣＭＯＳ生成デバイスにおいてフラッシュメモリデバイスを可能にする適切な対象と考えられている。ＳＯＮＯＳおよびＳＨＩＮＯＳメモリデバイスは、比較的減少したプログラミングおよび消去電圧を示す。さらに、これらのデバイスは、埋設ＮＶＭデバイスの場合ＣＭＯＳロジックを集積するのが比較的簡単である。

【0003】

概してＭＯＳＦＥＴデバイスに基づく平面ＮＶＭデバイスは、短チャネル効果により４

５ｎｍノードを超えて拡張可能であることはほとんどない。当業者には既知であるように、デバイス特性の改良は、ｆｉｎＦＥＴ構造の適用によって得られる。

【0004】

ｆｉｎＦＥＴにおいて、絶縁層の上部に、（比較的狭い）シリコンライン（フィン）を、ソース領域とドレイン領域との間に形成し、チャネルとして作用する。次に、直線形状の制御ゲートを、フィンを横切るように形成する。薄いゲート酸化物フィルムによってフィンから分離し、制御ゲートは、（断面図では）側壁とフィンの頂面との両方に囲まれ、フィンは、フィンチャネル上のゲートによって比較的大きい電界効果を有する。

【0005】

ｆｉｎＦＥＴベースＮＶＭデバイスは、例えばＯＮＯ積層（酸化シリコン‐窒化シリコン‐酸化シリコン）、または高誘電率材料から成る電荷トラップ積層、窒化シリコンから成る層、および二酸化シリコンから成る層のいずれかを有する。この電荷トラップ積層において、窒化シリコン層は、制御可能に電荷を保持するように構成する。

【0006】

概して、電荷トラップ積層は、側壁およびシリコンフィンの頂面の両方を覆う。

【0007】

ＳＯＮＯＳ不揮発性メモリおよび、概して電荷トラップ積層に基づく不揮発性メモリの品質は、チャネル領域に隣接した下部の酸化物層の厚さにより変化しやすい。下部の酸化物は通常、堆積により形成される酸化物層よりも良品質を有する成長酸化物である。概して、成長酸化物は、低密度欠陥、例えばピンホールがある。

【0008】

それにも関わらず、酸化物の厚さのわずかな変化が、下部の酸化物を通過するトンネル電子に大きく影響を与える。様々なトンネリング機構（例えば、直接トンネリング、Ｆｏｗｌｅｒ－Ｎｏｒｄｈｅｉｍ、修正Ｆｏｗｌｅｒ－Ｎｏｒｄｈｅｉｍ）のトンネル電流は、下部の酸化物厚さに指数関数的な依存性を示すことが知られている。下部の酸化物のわずかな変化は、結果として窒化物層に注入する電荷を大きく変化させ、したがって、（プログラミングまたは消去に対する）閾値電圧が変化する。

【0009】

電荷は、窒化物層において局在できるため、不揮発性メモリセル以外の下部酸化物の厚さ変化は、トラップ電荷の局所変化および閾値電圧の局所変化を導く。下部酸化物の厚さ変化が、チャネル領域上で均一でないとき、この結果、高い閾値電圧を有する部分的にプログラムされたセル面積および低い閾値電圧を有する残りの（プログラムされていない）セル面積となる。

【0010】

明らかに、これは、ｆｉｎＦＥＴ ＳＯＮＯＳメモリデバイスの特徴に望ましくない効果を与え、下部の酸化物は、フィンの形成後に成長し、このフィンは、異なる結晶方位を持つエッジ（遷移ゾーン）に面する多くの結晶を有する。この結果、局所的に異なる閾値電圧を有するプログラムされたチャネル領域ができる。すなわち、プログラムされた不揮発性メモリデバイスの準閾値電圧を下げ、大きく変化することがある（電気的な）プログラミングウィンドウ（窓）を作る。

【発明の開示】

【発明が解決しようとする課題】

【0011】

本発明の目的は、電子的特性変化を小さくするｆｉｎＦＥＴ不揮発性メモリデバイスを提供することである。

【課題を解決するための手段】

【0012】

この目的は、請求項１に規定したｆｉｎＦＥＴベース不揮発性メモリデバイスによって達成される。

【発明の効果】

【0013】
有利には、フィンの形、すなわち、コーナー（角）のない形状の結果として、フィン上に異なる結晶表層をほぼ持たない。基本的に、適合形状の結果、結晶面の間に端縁または遷移ゾーン等の不連続構造は起こらない。したがって、これらの遷移領域がないため、結晶配向性に対する下部酸化物の成長率依存性を排除できる。したがって、下部酸化物の成長率は、フィン表面上でほぼ均一になる。その結果、下部酸化物は、その厚さ変化（あるにしても）をほとんどなくし、したがって、電荷トラップ積層は、より均一なトンネリング特性を有することができる。
本発明の一態様において、フィン本体は二酸化ケイ素層の上に構成し、フィン本体に隣接する二酸化ケイ素層の表面を、陥凹レベルまで窪ませる。したがって、フィンに隣接した表面を窪ませることによって、電荷トラップ層により完全にフィン本体を覆うことが可能となる。
【0014】
本発明のさらなる態様において、陥凹レベルは、電荷トラップ層および上部絶縁層の厚さと同じまたはそれ以上とする。有利なことに、ゲートがフィン本体の周りの電荷トラップ積層を全て覆うため、不揮発性メモリデバイスのプログラミング能力は改良される。
【0015】
本発明はまた、請求項７において定義したｆｉｎＦＥＴ不揮発性メモリデバイスの製造方法にも関する。
【0016】
本発明の一態様において、フィン本体の成形は、約８５０～１０００°Ｃの高温での水素環境における焼きなますステップを有する。焼きなまし処理は、有利なことに、表面の再構築を達成し、フィン本体のコーナー（角）のない形状を形成する。すなわち、フィンの再構築された（適合した）形状は、異なる結晶質の表面およびこれらの結晶質表面の間にある遷移ゾーンをなくす。
【0017】
本発明のさらなる態様において、この方法は、フィン本体の下の絶縁層を完全に除去したレベルまで拡張したエッチングを行う。有利なことに、浮遊フィン本体が得られ、最高被覆率を提供する電荷トラップ積層材料によって完全にカプセル封入する。この実施形態において、電荷トラップ積層は、制御ゲートによって完全にカプセル封入し、その結果、続いて制御ゲートと電荷トラップ積層との間の最高カップリングが得られる。
【0018】
したがって、フィン本体が独立している、ｆｉｎＦＥＴ不揮発性メモリデバイスが得られる。
【0019】
有利なことに、この実施形態は、電荷トラップ積層によってチャネル領域の最高被覆率を提供する。
【0020】
同様に、この実施形態は、ゲートが電荷トラップ積層を包囲するため、電荷トラップ積層とゲートとの間に最高カップリングを生むことを可能にする。
【0021】
本発明はまた、上述したｆｉｎＦＥＴ不揮発性メモリデバイスを少なくとも1個有するメモリアレイに関する。
【0022】
さらに、本発明は、上述したｆｉｎＦＥＴ不揮発性メモリデバイスを少なくとも1個有する半導体デバイスに関する。
【発明を実施するための最良の形態】
【0023】
本発明の実施形態を、実施例により添付図面につき説明し、これら図面において対応する参照符号は対応する部分を示す。

【0024】
図１は、ｆｉｎＦＥＴベース不揮発性メモリデバイスの実施形態のレイアウトを示す斜視図である。
【0025】
ｆｉｎＦＥＴ構造Ｆは、絶縁層、例えば二酸化ケイ素層、またはＳＯＩ（silicon on insulator：絶縁体上シリコン）ウエハから成るＢＯＸ（埋没酸化物）層２上に設けた単結晶シリコン層１に配置する。
【0026】
ｆｉｎＦＥＴ構造Ｆは、ソース（Ｓ）およびドレイン（Ｄ）領域３と、（比較的狭い）ラインまたはフィン４とを有し、このフィン４はソース領域とドレイン領域との間に位置してこれら領域を接続する。ソース（Ｓ）およびドレイン（Ｄ）領域３ならびにフィン領域４は、シリコン半導体材料により構成する。フィン領域４は、側壁部分および頂面部分を備えたほぼ矩形の断面を有する。
【0027】
ゲート５を、ソースおよびドレイン領域３間で絶縁層２の上に配置し、フィン４の長さ方向Ｘにほぼ直交するＹ方向に、フィン４上に延在する。ゲート５は、メモリ素子として機能することができる電荷トラップ積層（図示せず）によってフィン４から分離する。
【0028】
ゲート５は、適切なマスクをリソグラフィーで画定する堆積処理によって形成することができる。
【0029】
ゲート材料は、ドープしたポリシリコンまたは金属のような任意の適切な材料とする。
【0030】
第１断面は、フィン４の長さ方向Ｘに直交する方向（第１方向に直交する方向）であり、ゲート５の下方における電荷トラップ積層範囲を横切る、ラインＡ－Ａによって画定する。第２断面は、フィン４の長手方向Ｘに直交し、一方のソース／ドレイン領域Ｓを横切る、ラインＢ－Ｂによって画定する。
【0031】
第３断面は、フィン４の長さ方向Ｘに平行で、一方のソース／ドレイン領域Ｓ、フィン４および他方のソース／ドレイン領域Ｄを横切る、ラインＣ－Ｃによって画定する。
【0032】
概して、ゲート５の下方におけるフィン４の長さは、３０～５０ｎｍであり、フィン４の幅は、概してその長さに等しいまたはそれより短い。
【0033】
この実施例において、ゲート５は、薄層の線形形状物体として描いているが、フィン４の高さと比較してその高さ（Ｚ方向）によって決まる、板状形状である。ゲートは、ラインＡ－Ａに沿う方向に連続したラインではない。単独のフィン４との組み合わせで機能するように単に構成しただけである。
【0034】
図２は、ゲートが位置する、図１に示すｆｉｎＦＥＴベース不揮発性メモリデバイスの従来技術のゲート部分における断面図である。
【0035】
フィン４は、下部酸化物層６、電荷保持窒化ケイ素層７および上部絶縁層８を有する電荷トラップ積層によって覆う。
【0036】
電荷トラップ積層６，７，８を、ゲート層５によって被覆する。
【0037】
概して、第１または下部酸化物層６は、酸化処理によってフィン４の表面上に成長させる。窒化ケイ素層７および上部絶縁層は、その後のステップにおいて堆積する。
【0038】

フィン４はほぼ矩形断面であり、比較的鋭い端縁およびコーナーを有する。概して、シリコンフィンに対して、上面は、配向性｛１００｝の結晶面および、配向性｛１１０｝の側壁面であるが、フィンのコーナー（フィン４の長手方向端縁として延在するコーナー）は、２個の隣接した結晶面の間の遷移として画定されない。

【0039】

フィンのシリコン表面における結晶配向性に下部酸化物層の成長率が依存することによって、下部酸化物がフィン上で成長するとき、異なる厚さに、上部および側壁面上で酸化物が成長し、したがって、下部酸化物層６の厚さ変化は、フィン４のコーナーで起こる。

【0040】

上述したように、下部酸化物層の厚さ変化の結果、トンネル効果の確率および窒化物層への電荷注入の局部的変動が起こり、したがって、（プログラミングまたは消去のための）閾値電圧の変化を生ずる。

【0041】

図３は、本発明による、ｆｉｎＦＥＴベース不揮発性メモリデバイスにおける、第１製造ステップ後のゲート部分の断面を示す。

【0042】

フィン４は、ＳＯＩ（シリコン・オン・インシュレータ：絶縁体上半導体）ウエハ上に形成する。従来技術と同様の方法により、矩形断面のフィン４を、ＳＯＩウエハの埋没酸化物２上に形成する。

【0043】

矩形断面のフィン４の高さは、約５０～約１００ｎｍとする。矩形断面のフィン４の幅は、約１０ｎｍ～３０ｎｍとする。

【0044】

オーバーエッチングにより、埋没酸化物２を、フィン４に対して窪ませる（陥凹レベルを矢印ｄで示す）ことに留意されたい。

【0045】

図４は、本発明による、ｆｉｎＦＥＴベース不揮発性メモリデバイスの次の製造ステップ後における断面を示す。

【0046】

下部酸化物の厚さ変化による悪影響を克服するため、本発明は、コーナー（角）のない形状である、フィン本体９を設ける、すなわち、少なくともフィン本体９にははっきりとした結晶面（表面層として現出する）およびこれら結晶面間の遷移ゾーンがほとんどないような適合形状をとる、フィン本体９を設ける。

【0047】

表面を再構築することにより、フィンの適合形状は、明確な結晶面およびこれら結晶面間の遷移ゾーンがないようにする。

【0048】

基本的に、この適合形状は、丸みのある幾何学的形状（ジオメトリ）であり、結晶面間における端縁およびコーナー（角）等の不連続性を生じない。

【0049】

フィン４の長さ方向Ｘに直交する断面において、丸みのあるフィン本体９は、円形または楕円形となる。

【0050】

ブロック形状または矩形形状のフィン４における表面を、適合フィン本体９（すなわち、フィン４の端縁またはコーナーを丸め、丸み付けしたフィン本体９を形成する）への再構築は、（約８５０～１０００°Ｃの）高温で水素環境において焼きなます（アニール処理）ステップによって実行する。例えば、ガス環境は、１００％水素、または窒素もしくはアルゴン等の不活性キャリアガスとの水素混合気とすることができる。５～５００ｔｏｒｒ（６６７～６６７００Ｐａ）の圧力を使用することができる。焼きなまし時間は、１０～６００ｓとすることができる。

【0051】
焼きなまし処理中、矩形断面のフィン４におけるシリコン原子は、再分布し、フィン本体９の丸みのある形状をなす。
【0052】
実際、コーナー（角）のない形状は、矩形断面のフィン４の寸法に基づいて、フィン本体の外周の少なくとも約２／３にわたる。（正方形断面であるフィン４に関しては、コーナー（角）のない形状は、外周の約３／４にわたる。）
【0053】
焼きなまし処理は、マスキングなしで行い、そのため、ソースおよびドレイン領域も丸くなることに留意されたい。ソース／ドレイン領域は、フィンの高さとほぼ同じまたは匹敵する厚さを有し、ソース／ドレイン領域の丸みに半径は、フィンのそれと同じである。しかし、ソース／ドレイン領域は、フィンよりも広い横幅を有し、ソースおよびドレイン領域の主領域は平坦性を維持する。この丸み付けは、これらのソース／ドレイン領域に接点を設けることに関して何ら影響を与えない。
【0054】
図５は、本発明による、ｆｉｎＦＥＴベース不揮発性メモリデバイス１０のさらなる製造ステップ後における断面を示す。
【0055】
次のステップにおいて、下部酸化物６を、フィン本体９上で成長させる。端縁およびコーナー（角）等の不連続領域がないため、フィン本体９の結晶配向性の関数としての下部酸化物６の成長率依存性は、排除される。したがって、下部酸化物６の成長率は、フィン本体９の表面にわたり均一になる。この結果、下部酸化物はその厚さ変化は（あるとしても）ほとんどなくなる。
【0056】
つぎに、電荷保持層７（概して窒化ケイ素）および上部絶縁層８を、丸み付けしたフィン本体９上に堆積する。
【0057】
上部絶縁層８は、二酸化ケイ素層または高誘電率材料層とすることができる。
【0058】
したがって、電荷トラップ積層６，７，８は、下部酸化物層６、電荷保持窒化ケイ素層７、および上部絶縁層８を有し、上部絶縁層は、二酸化ケイ素層および高誘電率材料層のうち少なくとも一方とする。
【0059】
高誘電率材料は、酸化ハフニウムHfO_2、ハフニウムケイ酸塩$Hf_xSi_{1-x}O_2$（$0 \leq x \leq 1$）、窒化ハフニウムケイ酸塩ＨｆＳｉＯＮ、酸化アルミニウムAl_2O_3、または酸化ジルコニウムZrO_2材とすることができる。
【0060】
さらに、窒化ケイ素層は、例えば、単結晶シリコンからなる層または適切な高誘電率材料層等の高誘電率トラップ材によって置換することができる。
【0061】
随意的に、下部酸化物の代わりに、高いシリコン含有量の$Hf_xSi_{1-x}O_2$のような堆積層等の、異なる下部絶縁層を用いることができる。
【0062】
第１または下部酸化物６は、厚さ約２ｎｍとする。窒化ケイ素層７は、厚さ約６ｎｍで、第２または上部絶縁層８は、厚さ約８ｎｍとする。続いて、ゲート５を、電荷トラップ積層６，７，８の上に形成する。ゲート５は、概して、ポリＳｉ層を有し、概して電荷トラップ積層６，７，８を包囲するように構成する。
【0063】
ゲートの幅（Ｘ方向）は、チャネル長さにほぼ等しい。ゲート層５の厚さは、約１０～約１００ｎｍとする。

Sandisk Technologies, Inc. - Ex. 1002, Page 000846

【0064】
図６は、本発明による、ｆｉｎＦＥＴベース不揮発性メモリデバイスの改善した実施形態における断面を示す。
【0065】
図５に示したｆｉｎＦＥＴベース不揮発性メモリデバイス１０は、ゲート５が埋没酸化物層２の表面近くの電荷トラップ積層６，７，８を十分に被覆しないため、最適ではないプログラミング能力を示すことに留意されたい。埋没酸化物層２の表面近くのこの位置におけるプログラミングは、端縁電界によって影響を受け、局部的な比較的低い閾値電圧を引き起こす。その結果、この位置で漏れを生ずる。
【0066】
この漏れを克服するため、ｆｉｎＦＥＴベース不揮発性メモリデバイス１０は、矩形断面のフィン４の形成中にオーバーエッチング時間を延長して、陥凹レベルｄを拡張するということにより、変更する。
【0067】
代案として、矩形断面にフィン４の形成後に、付加的なドライエッチング処理を行って埋没酸化物２をエッチングし、陥凹レベルｄを拡張する。
【0068】
当業者には既知であるように、オーバーエッチングは、エッチング処理の異方性および／または選択性に従って制限される。
【0069】
陥凹レベルｄを、窒化ケイ素層７および第２もしくは上部酸化物層８の厚さとほぼ同じ高さまで、またはそれ以上（言ってみれば約１２ｎｍまたはそれ以上）高くすることによって、ゲート５は、丸み付けしたフィン本体９および電荷トラップ積層６，７，８をより完全に包囲することができる。有利にも、プログラミング能力は、ゲート５がフィン本体９の周りの電荷トラップ積層６，７，８を完全に被覆するため、改善される。
【0070】
図７は、本発明による、ｆｉｎＦＥＴベース不揮発性メモリデバイスの第２実施形態の断面を示す。
【0071】
図７において、同一参照符号を有する部分は、先行する図面に示した部分に言及する。
【0072】
図７は、ｆｉｎＦＥＴベース不揮発性メモリデバイスのゲート部分を横切る、ラインＡ-Ａと同一ラインに沿う断面である。
【0073】
この第２実施形態において、ｆｉｎＦＥＴベース不揮発性メモリデバイスは、ＳＯＩ基板の単結晶表面層の上に構成する。
【0074】
丸み付けしたフィン本体９は、独立している。すなわち、丸み付けしたフィン本体の周囲は、絶縁層２と直接接触しない。したがって、丸み付けしたフィン本体９は、電荷トラップ積層６，７，８によって完全に包囲する。丸み付けしたフィン本体９の周囲は、電荷トラップ積層６，７，８によって取り囲む。電荷トラップ積層６，７，８積層自体は、ゲート５によって取り囲む。
【0075】
図７に示す浮遊フィンは、第一実施形態に関して上述した方法に大きく従うことによって得られる。それから、陥凹レベルｄが拡張したら（図６参照）、エッチングは、シリコンフィンの下の二酸化ケイ素を完全に除去でき、フィンが浮遊する高さまで続ける。
【0076】
このさらなるエッチング処理は、フィンと隣接した酸化物を部分的に埋め込む異方性ドライエッチングの第１ステップと、フィンの下の酸化物を除去する等方性ドライエッチングの第２ステップとを組み合わせることによって、達成される。代案として、第２ステッ

プは、ウエット酸化物エッチング処理（例えばＨＦ溶液により）である。
【0077】
基板から離れたＳｉフィンの解放を防ぐため、第３実施形態に従ったｆｉｎＦＥＴベース不揮発性メモリデバイスに関する以下の説明と同じ構築法を用いる。
【0078】
第１および第２実施形態によると、ｆｉｎＦＥＴベース不揮発性メモリデバイスは、ＳＯＩウエハの上に形成するが，第３実施形態においては、ｆｉｎＦＥＴベース不揮発性メモリデバイスは、埋没ＳｉＧｅ層を備えた単結晶シリコン基板の上に形成する。さらに、第３実施形態によると、フィンは、図７に示すように浮遊状態にある。第３実施形態によるｆｉｎＦＥＴベース不揮発性メモリデバイスの形成方法を以下に示す。
【0079】
図８は、第２実施形態に従った、ｆｉｎＦＥＴベース不揮発性メモリデバイスの第２断面図である。
【0080】
図８の断面は、ｆｉｎＦＥＴベース不揮発性メモリデバイスのソース（Ｓ）／ドレイン（Ｄ）領域３を横切る、ラインＢ-Ｂと同じラインに沿う断面である。
【0081】
ソース（Ｓ）／ドレイン（Ｄ）領域３は、ＳＯＩ基板の単結晶シリコン表面層において形成し、これら領域は、ブロック形状で、ゲート５の位置の丸み付けしたフィン本体９の幅よりも比較的広い（Ｗ２＞Ｗ）。
【0082】
ソース（Ｓ）／ドレイン（Ｄ）領域３の下方で、絶縁層２は、陥凹部２ａを示す。陥凹部２ａは、図７につき説明したようにさらなるエッチング処理の（部分的な）等方性のためにできる。
【0083】
図９は、第２実施形態に従った、ｆｉｎＦＥＴベース不揮発性メモリデバイスの第３断面図である。
【0084】
図９の断面は、一方のソース／ドレイン領域Ｓから他方のソースドレイン領域Ｄまで延在する、ラインＣ-Ｃと同一ラインに沿う断面である。
【0085】
丸み付けしたフィン本体９は、ソース／ドレイン領域Ｓ，Ｄを互いに接続する。ゲート５および電荷トラップ積層６，７，８が位置するこの領域の外側では、丸み付けしたフィン本体９は、隙間領域２４によって絶縁層２の表面から離す。
【0086】
図１０は、本発明による、ｆｉｎＦＥＴベース不揮発性メモリデバイスの第３実施形態の断面図である。
【0087】
図１０に、同一参照番号を有する部分は、先行する図面の部分に言及する。
【0088】
図１０の断面は、ｆｉｎＦＥＴベース不揮発性メモリデバイスのゲート部分を横切る、ラインＡ-Ａと同一ラインに沿う断面である。
【0089】
第３実施形態において、ｆｉｎＦＥＴベース不揮発性メモリデバイスは、半導体基板２０の単結晶表面層の上に構成する。
【0090】
丸み付けしたフィン本体９は、独立状態をとる。すなわち、丸み付けしたフィン本体の周囲は、基板２０に対して直接接触しない。したがって、丸み付けしたフィン本体９は、電荷トラップ積層６，７，８によって完全に包囲する。丸み付けしたフィン本体９の周囲は、電荷トラップ積層６，７，８によって取り囲む。電荷トラップ積層６，７，８積層自

体は、ゲート５によって取り囲む。
【0091】
ゲート５と基板２０との間に、第２電荷トラップ積層６，７，８が存在する。基板２０のシリコン表面層において、ブロック形状のチャネル領域２１を画定する。
【0092】
チャネル領域２１は、絶縁層領域２２に構成する。
【0093】
丸み付けしたフィン本体９およびブロック形状のチャネル領域２１はほぼ同じ幅Wを有する。
【0094】
図１１は、第３実施形態による、ｆｉｎＦＥＴベース不揮発性メモリデバイスの第２断面である。
【0095】
図１１の断面は、ｆｉｎＦＥＴメモリデバイスのソース（Ｓ）／ドレイン（Ｄ）領域３を横切る、ラインＢ－Ｂと同一ラインに沿う断面である。
【0096】
ブロック形状で、ゲート５および電荷トラップ積層６，７，８（断面Ａ－Ａ参照）の位置でチャネル領域２１よりも比較的広い（Ｗ２＞Ｗ）、半導体基板２０の単結晶シリコン表面層上で、残りのエピタキシャルＳｉＧｅ層２３をソース（Ｓ）／ドレイン（Ｄ）領域３において配置する（ＳｉＧｅ：シリコン‐ゲルマニウム）。
【0097】
エピタキシャルＳｉＧｅ層２３は、厚さ約５０ｎｍとする。
【0098】
ソース／ドレイン領域３は、残りのエピタキシャルＳｉＧｅ層２３の上に配置する。ソース／ドレイン領域３は、残りのエピタキシャルＳｉＧｅ層２３および半導体基板の単結晶シリコン表面層に関して、エピタキシャルである。
【0099】
断面Ｂ－Ｂにおいて、エピタキシャルソース／ドレイン領域３は、断面Ａ－Ａにおける丸み付けしたフィン本体４の幅よりも概して大きい。
【0100】
図１２は、第３実施形態による、ｆｉｎＦＥＴベース不揮発性メモリデバイスの第３断面図である。
【0101】
図９の断面は、一方のソース／ドレイン領域Ｓから他方のソース／ドレイン領域Ｄまで延在する、ラインＣ－Ｃと同一ラインに沿う断面である。
【0102】
丸み付けしたフィン本体９は、ソース／ドレイン領域Ｓ，Ｄを互いに接続する。ゲート５および電荷トラップ積層６，７，８が位置する領域の外側では、丸み付けしたフィン本体９は、ギャップ領域２４によって基板２０の表面層から離す。
【0103】
以下に、この第３実施形態に関連する製造プロセスを詳細に説明する。
【0104】
残りの図１３ａ，１３ｂ，１３ｃ～１７ａ，１７ｂ，１７ｃにおいて、付記文字‘ａ‘によって表す全ての図は、第１断面Ａ－Ａに関し、付記文字‘ｂ‘によって表す全ての図は、第２断面Ｂ－Ｂに関し、付記文字‘ｃ‘によって表す全ての図は、第３断面Ｃ－Ｃに関する。
【0105】
第２実施形態において、基板２０は概して、エピタキシャルＳｉＧｅ層２３がその上に堆積する単結晶シリコンウエハである。キャッピング層２６によって被覆するエピタキシャルＳｉ層２５を、ＳｉＧｅ層２３の上に形成する。キャッピング層２６は、代表的には

、窒化ケイ素層とする。
【0106】
キャッピング層２６は、概して厚さ約２０～３０ｎｍ～約１００ｎｍとする。
【0107】
図１３ａ，１３ｂ，１３ｃは、第３実施形態による、ｆｉｎＦＥＴベース不揮発性メモリデバイスの第１製造ステップ後における状態である。
【0108】
マスク（図示せず）を設けて、幅Wを有するフィン型構造を画定する。フィン型構造は、シリコン表面層２１、エピタキシャルＳｉＧｅ層２３、エピタキシャルシリコン層２５およびキャッピング層２６を有する。
【0109】
つぎに、フィン型構造は、フィン型構造の側面となるエッチング陥凹部Ｒによって形成する。陥凹部Ｒは、シリコン表面層２１の下方に半導体基板２０内へ拡張する。
【0110】
図１４ａ，１４ｂ，１４ｃは、第３実施形態による、ｆｉｎＦＥＴベース不揮発性メモリデバイスのつぎの製造ステップ後における状態を示す。
【0111】
この処理ステップにおいて、二酸化ケイ素を半導体基板２０上に堆積し、フィールド酸化膜２７として陥凹部Ｒを充填する。次に、化学的機械研磨（ＣＭＰ，chemical mechanical polishing）ステップを行い、ＣＭＰステップを停止する層として機能するキャッピング層２６と二酸化ケイ素を同じ高さにする。
【0112】
図１５ａ，１５ｂ，１５ｃは、第３実施形態による、ｆｉｎＦＥＴベース不揮発性メモリデバイスの後続製造ステップ後における状態を示す。
【0113】
この製造ステップにおいて、フィールド酸化膜２７のエッチバックを行う。エッチバックによって除去する二酸化ケイ素の量は、エッチングされた電界酸化物２２の表面高さがシリコン表面層２１の高さより下となるようにする。次に、キャッピング層２６を、選択的エッチングにより除去する。
【0114】
次に、エピタキシャルＳｉ－Ｇｅ層２３を、高選択性エッチング処理によって除去する。エッチング処理は、ドライエッチング処理またはウエットエッチング処理とする。
【0115】
エッチング処理を制御して、オーバーエッチングを避ける。エッチングは、エピタキシャルＳｉ－Ｇｅ層を、前に画定したフィン型構造の幅Wにほぼ等しいエッチング距離以上除去するだけである。この処理によって、エピタキシャルＳｉ層２５の下のエピタキシャルＳｉＧｅ層２３は、犠牲層として機能し、図１５ａの断面Ａ－Ａで示したように完全に除去する。この段階で、この断面におけるビーム形エピタキシャルＳｉ層２５は独立である。ビーム形エピタキシャルＳｉ層２５は、ギャップ領域２４によってシリコン表面層２１から切り離す。
【0116】
エッチング処理を制御して、残りのエピタキシャルＳｉＧｅ層２３がソース（Ｓ）／ドレイン（Ｄ）領域３に維持できるようにする。
【0117】
図１５ｂの断面Ｂ－Ｂにおいて示したように、この処理ステップにおけるエピタキシャルＳｉ－Ｇｅ層２３のエッチング制御は、残りのエピタキシャルＳｉＧｅ層２３がソース／ドレイン領域におけるエピタキシャルＳｉ層３の下方に存在するよう維持する。これは、ソース／ドレイン領域の幅Ｗ２が、上述した断面Ａ－Ａの位置でエピタキシャルＳｉ層２５の幅Wよりも広いからである。
【0118】

また、図１５ｃの断面Ｃ－Ｃにおいて示したように、残りのエピタキシャルＳｉＧｅ層２３は、ソース／ドレイン領域３におけるエピタキシャルＳｉ層の下方に存在するよう維持する。これは、ソース／ドレイン領域３の幅が、上述した断面Ａ－Ａの位置でエピタキシャルＳｉ層２５の幅Ｗよりも広いからである。

【0119】

概して、ＳｉＧｅを除去するドライエッチング処理は、フッ素ベースの化学物質を含むことに留意されたい。

【0120】

図１６ａ，１６ｂ，１６ｃは、第３実施形態による、ｆｉｎＦＥＴベース不揮発性メモリデバイスのさらなる製造ステップ後における状態を示す。

【0121】

この製造ステップにおいて、独立したビーム形エピタキシャルＳｉ層２５を、（約８５０～１０００°Ｃの）高温で水素環境において焼きなまし処理により丸み付けする。この焼きなまし処理中、独立したビーム形のエピタキシャルＳｉ層２５のシリコン原子は再分布して、丸み付けしたフィン本体９を形成する。原則として、図１３ｂのシリコンＳ／Ｄ領域の端縁も丸みが付く。

【0122】

丸み付けしたフィン本体９を生ずる焼きなまし処理後、電荷トラップ積層６，７，８を、第１または下部酸化物６の成長、その後窒化ケイ素層７の堆積、最後に第２または上部酸化物層８の堆積によって形成する。

【0123】

第１または下部酸化物層６は、熱的に成長させる。窒化ケイ素層および第２酸化物層８は、それぞれ化学蒸着プロセスにより形成する。

【0124】

第２電荷トラップ積層は、丸み付けしたフィン本体の下方におけるシリコン犠牲層２１の上に形成する。また、ソース／ドレイン領域３の位置でのエピタキシャルＳｉ層２５の表面は、電荷トラップ積層６，７，８によって被覆する。

【0125】

このように、電荷トラップ積層６，７，８の形成の間に露呈した残りのエピタキシャルＳｉＧｅ層２３の表面は、電荷トラップ積層６，７，８によって被覆する。

【0126】

図１７ａ，１７ｂ，１７ｃは、第３実施形態による、ｆｉｎＦＥＴベース不揮発性メモリデバイスのさらなる製造ステップ後における状態を示す。

【0127】

この製造ステップにおいて、ポリシリコン層５を、化学蒸着（ＣＶＤ）によって堆積する。

【0128】

化学蒸着は、ポリＳｉ層５を共形成長させることがわかる。ギャップ領域２４等の水平なギャップの輪郭形成（ファイリング）は、ポリＳｉのＣＶＤによって達成される。

【0129】

図１８ａ，１８ｂ，１８ｃは、それぞれ第１、第２および第３断面図におけるさらなる処理ステップ後のｆｉｎＦＥＴベース不揮発性メモリデバイスを示す。

【0130】

マスクＭ１をゲート領域に設け、この位置のポリシリコン層５を被覆する。次に、エッチングプロセスを行い、ゲート領域におけるポリシリコン層５が損なわれない状態に維持するように、ポリシリコン層５をパターン形成する。ソース（Ｓ）／ドレイン（Ｄ）領域３で、ポリＳｉ層５を、エッチング処理を用いて除去する。ソース／ドレイン領域で、またＯＮＯ積層８もポリＳｉエッチング処理によって除去することに留意されたい。

【0131】

さらに、丸み付けしたフィン本体９および単結晶シリコン表面２１の間のスペースにお

いて、すなわち、マスクＭ１によって画定したゲート領域の外側で、ポリＳｉ層５および電荷トラップ積層６，７，８をギャップ領域２４から除去することに留意されたい。

【0132】

ポリＳｉ層のエッチング後、（残りの）マスクＭ１を除去する。

【0133】

第２および第３実施形態は、ほぼ均一な厚さのＯＮＯ積層６，７，８によって被覆した浮上している丸み付けしたフィン本体と、ＯＮＯ積層および丸み付けしたフィン本体９の最適結合とを提供する。

【0134】

有利なことに、第２実施形態を形成する方法は、完全に被覆されたフィンを有する比較的簡易な処理で、第３実施形態を犠牲的なＳｉＧｅ層２３に適用する方法よりも簡易である。

【0135】

逆に、第３方法は、第２実施形態において用いたＳＯＩ基板よりも低いコストである埋没ＳｉＧｅ層を備えた有利な基板を有する。

【0136】

さらに、当業者には既知であるように、第１、第２および第３実施形態のそれぞれに対して、いくつかの付加的な処理ステップを行う。ソース／ドレイン領域３の電気特性は、注入処理を用いてこれらの領域のドーパントレベルを変化させることで変化させる。バックエンド処理の間、保護層を堆積してｆｉｎＦＥＴ構造を被覆する。すなわち、ソース／ドレイン領域３およびゲート５との接続ができ、相互接続する配線をいくつかの金属化処理によって提供する。

【0137】

当業者には明らかであるが、本発明の他の実施形態は、本発明の精神から逸脱することなく着想および変更することができ、本発明の範囲は、添付書類の、最終的に特許されるべき、特許請求の範囲によってのみ制限される。本明細書は、本発明を制限することを意図するものではない。

【図面の簡単な説明】

【0138】

【図1】ｆｉｎＦＥＴベース不揮発性メモリデバイスのレイアウトを示す斜視図である。

【図2】図１に示すｆｉｎＦＥＴベース不揮発性メモリデバイスの従来技術におけるゲート部分の断面図である。

【図3】本発明による、ｆｉｎＦＥＴベース不揮発性メモリデバイスの第１製造ステップ後における、ゲート部分の断面図である。

【図4】図３に示すｆｉｎＦＥＴベース不揮発性メモリデバイスのゲート部分の、つぎの製造ステップ後における、断面図である。

【図5】図４に示すｆｉｎＦＥＴベース不揮発性メモリデバイスの、さらに後続する製造ステップ後における、断面図である。

【図6】図５に示すｆｉｎＦＥＴベース不揮発性メモリデバイスの改善した実施形態における、断面図である。

【図7】ｆｉｎＦＥＴベース不揮発性メモリデバイスの第２実施形態の断面図。

【図8】第２実施形態による、ｆｉｎＦＥＴベース不揮発性メモリデバイスの第２断面図である。

【図9】第２実施形態に従った、ｆｉｎＦＥＴベース不揮発性メモリデバイスの第３断面図である。

【図10】ｆｉｎＦＥＴベース不揮発性メモリデバイスの第３実施形態の断面図である。

【図11】第３実施形態による、ｆｉｎＦＥＴベース不揮発性メモリデバイスの第２断面図である。

【図12】第３実施形態による、ｆｉｎＦＥＴベース不揮発性メモリデバイスの第３断面図である。

【図13a】第３実施形態による、第１製造ステップ後におけるｆｉｎＦＥＴベース不揮発性メモリデバイスを示す。
【図13b】第３実施形態による、第１製造ステップ後におけるｆｉｎＦＥＴベース不揮発性メモリデバイスを示す。
【図13c】第３実施形態による、第１製造ステップ後におけるｆｉｎＦＥＴベース不揮発性メモリデバイスを示す。
【図14a】第３実施形態による、次の製造ステップ後におけるｆｉｎＦＥＴベース不揮発性メモリデバイスを示す。
【図14b】第３実施形態による、次の製造ステップ後におけるｆｉｎＦＥＴベース不揮発性メモリデバイスを示す。
【図14c】第３実施形態による、次の製造ステップ後におけるｆｉｎＦＥＴベース不揮発性メモリデバイスを示す。
【図15a】第３実施形態による、後続製造ステップ後におけるｆｉｎＦＥＴベース不揮発性メモリデバイスを示す。
【図15b】第３実施形態による、後続製造ステップ後におけるｆｉｎＦＥＴベース不揮発性メモリデバイスを示す。
【図15c】第３実施形態による、後続製造ステップ後におけるｆｉｎＦＥＴベース不揮発性メモリデバイスを示す。
【図16a】第３実施形態による、さらなる製造ステップ後におけるｆｉｎＦＥＴベース不揮発性メモリデバイスを示す。
【図16b】第３実施形態による、さらなる製造ステップ後におけるｆｉｎＦＥＴベース不揮発性メモリデバイスを示す。
【図16c】第３実施形態による、さらなる製造ステップ後におけるｆｉｎＦＥＴベース不揮発性メモリデバイスを示す。
【図17a】第３実施形態による、さらなる製造ステップ後におけるｆｉｎＦＥＴベース不揮発性メモリデバイスを示す。
【図17b】第３実施形態による、さらなる製造ステップ後におけるｆｉｎＦＥＴベース不揮発性メモリデバイスを示す。
【図17c】第３実施形態による、さらなる製造ステップ後におけるｆｉｎＦＥＴベース不揮発性メモリデバイスを示す。
【図18a】第１断面図における、さらなる処理ステップ後のｆｉｎＦＥＴベース不揮発性メモリデバイスを示す。
【図18b】第２断面図における、さらなる処理ステップ後のｆｉｎＦＥＴベース不揮発性メモリデバイスを示す。
【図18c】第３断面図における、さらなる処理ステップ後のｆｉｎＦＥＴベース不揮発性メモリデバイスを示す。

【図1】

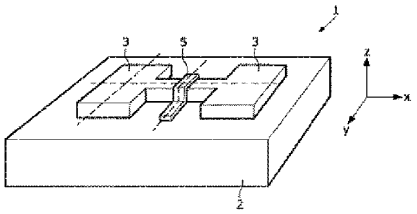


FIG. 1

【図2】

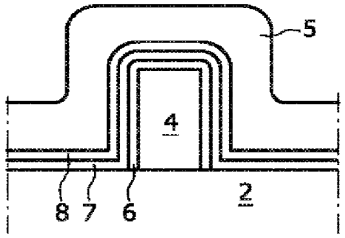


FIG. 2

【図3】

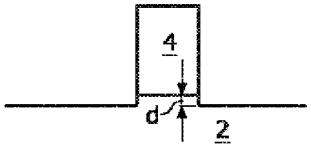


FIG. 3

【図4】

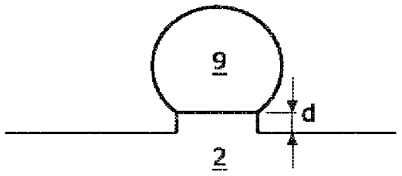


FIG. 4

【図5】

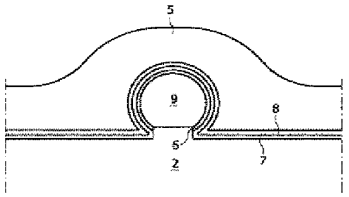


FIG. 5

【図6】

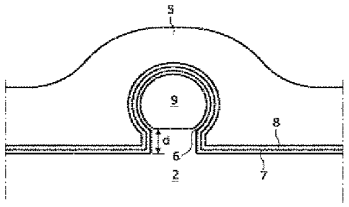


FIG. 6

【図7】

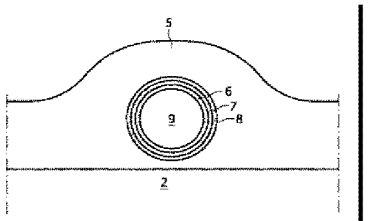


FIG. 7

【図8】

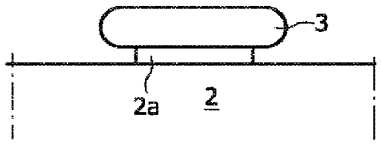


FIG. 8

【図9】

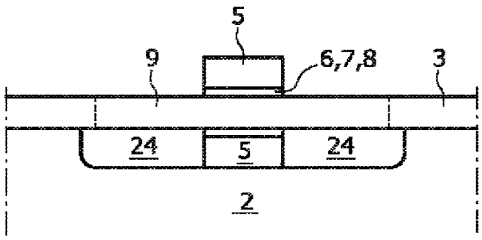


FIG. 9

【図10】

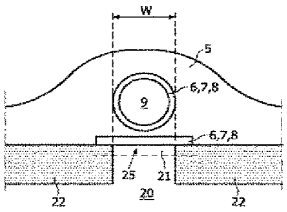


FIG. 10

【図11】

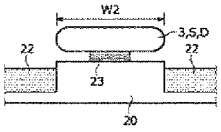


FIG. 11

【図12】

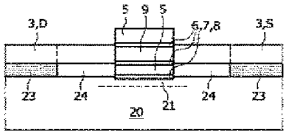


FIG. 12

【図13a】

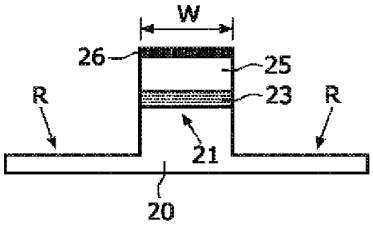


FIG. 13a

【図13b】

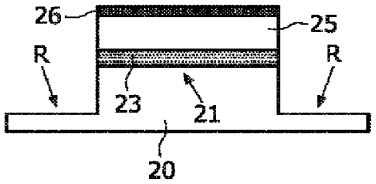


FIG. 13b

【図13c】

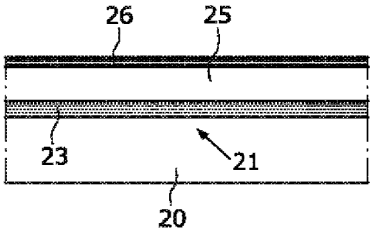


FIG. 13c

【図14a】

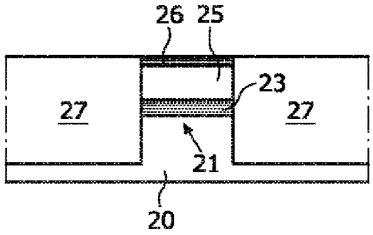


FIG. 14a

【図14b】

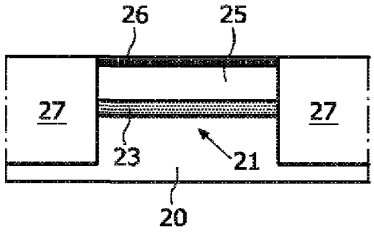


FIG. 14b

【図14c】

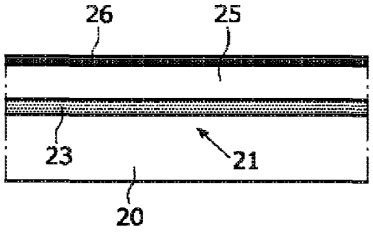


FIG. 14c

【図15a】

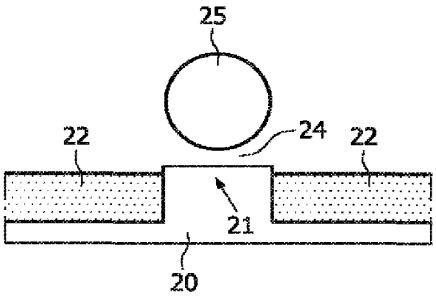


FIG. 15a

【図15b】

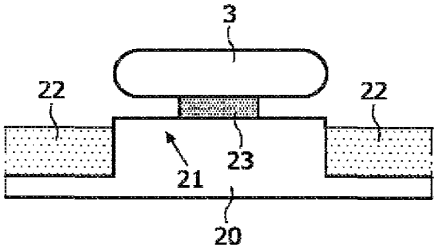


FIG. 15b

【図15c】

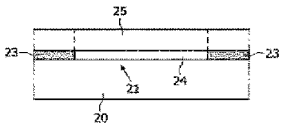


FIG. 15c

【図16a】

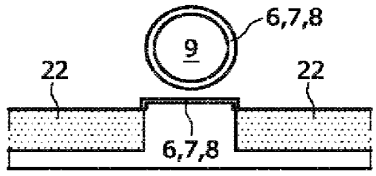


FIG. 16a

【図16b】

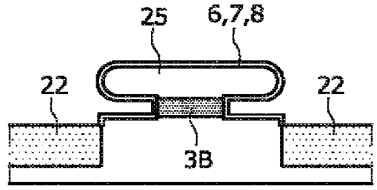


FIG. 16b

【図16c】

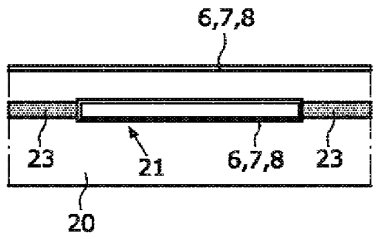


FIG. 16c

【図17a】

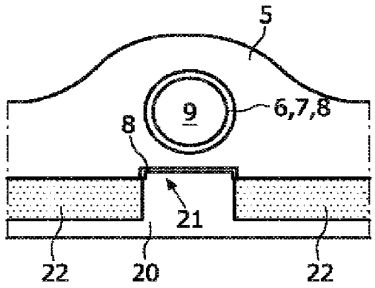


FIG. 17a

【図17b】

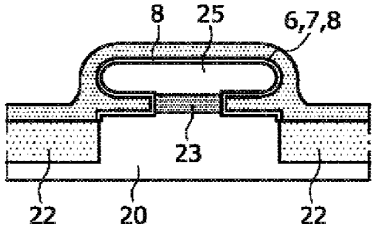


FIG. 17b

【図17c】

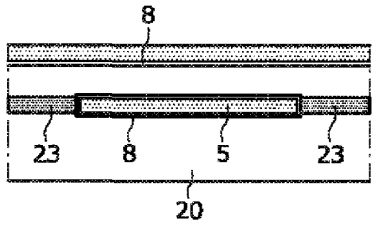


FIG. 17c

【図18a】

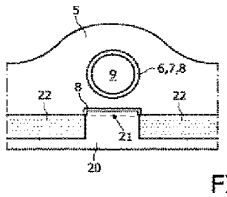


FIG. 18a

【図18b】

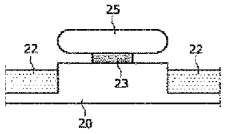


FIG. 18b

【図18c】

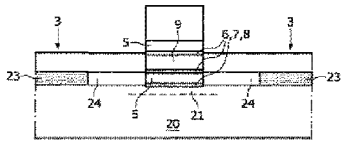


FIG. 18c

INTERNATIONAL SEARCH REPORT

International application No
PCT/IB2007/051417

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L21/28 H01L21/336 H01L29/792 H01L29/423

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)
EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	US 2005/266638 A1 (CHO EUN-SUK [KR] ET AL) 1 December 2005 (2005-12-01) paragraph [0042] - paragraph [0070]; figures 2-7B	1,2,6,7, 15,16 3-5,8-14
Y A	US 2004/166642 A1 (CHEN HAO-YU [TW] ET AL) 26 August 2004 (2004-08-26) paragraph [0018] - paragraph [0033]; figures 1A-6B	3-5,8-14 1,2,6,7, 15,16
A	US 2005/145926 A1 (LEE JONG H [KR] LEE JONG HO [KR]) 7 July 2005 (2005-07-07) paragraph [0080] - paragraph [0236]	1-16
A	US 2005/029603 A1 (YU BIN [US] ET AL) 10 February 2005 (2005-02-10) paragraphs [0024] - [0078]; figures 1-8C	1-16

-/--

[X] Further documents are listed in the continuation of Box C.

[X] See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
20 September 2007	27/09/2007

Name and mailing address of the ISA/	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Albrecht, Claus

Form PCT/ISA/210 (second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

International application No
PCT/IB2007/051417

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 1 508 926 A (HITACHI LTD [JP]) 23 February 2005 (2005-02-23) paragraph [0021] - paragraph [0032]; figures 2-22	1-16
A	WO 2005/060000 A (INFINEON TECHNOLOGIES AG [DE]; KRETZ JOHANNES [DE]; KREUPL FRANZ [DE];) 30 June 2005 (2005-06-30) page 19, line 1 - page 30, line 28; figures 1-9	1-16

Form PCT/ISA/210 (continuation of second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/IB2007/051417

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2005266638 A1	01-12-2005	KR 20050113887 A	05-12-2005
US 2004166642 A1	26-08-2004	TW 222222 B	11-10-2004
		US 2005121706 A1	09-06-2005
US 2005145926 A1	07-07-2005	NONE	
US 2005029603 A1	10-02-2005	CN 1826696 A	30-08-2006
		DE 112004001442 T5	08-06-2006
		GB 2419234 A	19-04-2006
		JP 2007501524 T	25-01-2007
		KR 20060054420 A	22-05-2006
		WO 2005034207 A2	14-04-2005
EP 1508926 A	23-02-2005	JP 2005064452 A	10-03-2005
		US 2005051805 A1	10-03-2005
WO 2005060000 A	30-06-2005	EP 1704595 A2	27-09-2006
		JP 2007517386 T	28-06-2007
		KR 20060103455 A	29-09-2006
		US 2007018218 A1	25-01-2007

Form PCT/ISA/210 (patent family annex) (April 2005)

(51)Int.Cl.　　Ｆ Ｉ　　テーマコード（参考）
　Ｈ０１Ｌ　21/336　(2006.01)　　Ｈ０１Ｌ　29/78　６２６Ｃ

(81)指定国　AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,MT,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,SV,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(72)発明者　ネーダー　アキル
オランダ国　５６５６　エイジー　アインドーフェン　プロフ　ホルストラーン　４　ハイ　テク　キャンパス　６０　１．３１　エヌエックスピー　セミコンダクターズ　アイピー　デパートメント内
(72)発明者　プラバット　アガワル
オランダ国　５６５６　エイジー　アインドーフェン　プロフ　ホルストラーン　４　ハイ　テク　キャンパス　６０　１．３１　エヌエックスピー　セミコンダクターズ　アイピー　デパートメント内
(72)発明者　ロベルタス　テー　エフ　ファン　シェイク
オランダ国　５６５６　エイジー　アインドーフェン　プロフ　ホルストラーン　４　ハイ　テク　キャンパス　６０　１．３１　エヌエックスピー　セミコンダクターズ　アイピー　デパートメント内

Ｆターム(参考)　5F083 EP18 EP23 EP48 GA11 HA02 PR25 PR33 PR40
5F101 BA43 BA44 BA45 BA46 BA47 BD03 BD05 BD13 BD30 BH11 BH16
5F110 AA30 BB08 CC10 DD13 DD21 EE02 EE09 EE22 EE45 FF01 FF02 FF03 FF10 FF22 FF27 GG02 GG12 GG17 GG22 GG25 GG29 GG42 GG58 HJ13 HK08 HM04 NN02 NN33

Sandisk Technologies, Inc. - Ex. 1002, Page 000862

Espacenet

JP2009272348A SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

Applicants: TOSHIBA CORP

Inventors: FUJITSUKA RYOTA,NAKAO TAKASHI,NATORI KATSUAKI,NISHIDA DAISUKE,OZAWA YOSHIO,SEKINE KATSUYUKI

Classifications:

IPC ***C23C16/42; H01L21/316; H01L21/318; H01L21/76; H01L21/8247; H01L27/115; H01L29/788; H01L29/792;***

CPC **H01L29/4234 (EP); H01L29/7887 (EP);**

Priorities: JP2008119296A 2008-04-30

Application: JP2009272348A·2008-04-30

Publication: JP2009272348A·2009-11-19

Published as: JP2009272348A;**US2009273021A1**

SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

Abstract

PROBLEM TO BE SOLVED: To provide a semiconductor device having both a memory window and charge holding characteristics which are enough to obtain a multi-level configuration. SOLUTION: The semiconductor device includes a semiconductor substrate 101, a tunnel insulating film 103 on the semiconductor substrate 101, a charge storage layer on the tunnel insulating film 103, a block insulating film 106 on the charge storage layer, and a control gate electrode 107 on the block insulating film 106, the charge storage layer including a plurality of layers including first and second charge storage layers 104, and 105, the second charge storage layer being provided on a nearest side of the block insulating film 106, the first charge storage layer 104 being provided between the tunnel insulating film 103 and the second charge storage layer 105, the second charge storage layer 105 having a higher trap density than the first charge storage layer104, the second charge storage layer 105 having a smaller band gap than the first charge storage layer 104, and the second charge storage layer 105 having a higher permittivity than the first charge storage layer 104 and a silicon nitride film. COPYRIGHT: (C)2010,JPO&INPIT

Sandisk Technologies, Inc. - Ex. 1002, Page 000863

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2009-272348
(P2009-272348A)
(43)公開日　平成21年11月19日(2009.11.19)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 21/8247	(2006.01)	H01L	29/78	371	4K030
H01L 29/788	(2006.01)	H01L	27/10	434	5F032
H01L 29/792	(2006.01)	H01L	21/76	L	5F058
H01L 27/115	(2006.01)	H01L	21/316	X	5F083
H01L 21/76	(2006.01)	H01L	21/316	M	5F101

審査請求 未請求　請求項の数 6　OL　（全 19 頁）　最終頁に続く

(21)出願番号　特願2008-119296 (P2008-119296)
(22)出願日　平成20年4月30日 (2008.4.30)

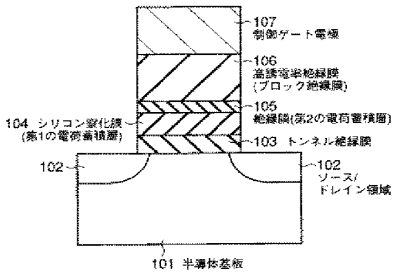
(71)出願人　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(74)代理人　100108855
弁理士　蔵田　昌俊
(74)代理人　100091351
弁理士　河野　哲
(74)代理人　100088683
弁理士　中村　誠
(74)代理人　100109830
弁理士　福原　淑弘
(74)代理人　100075672
弁理士　峰　隆司

最終頁に続く

(54)【発明の名称】半導体装置およびその製造方法

(57)【要約】
【課題】多値化を実現するのに十分なメモリーウインドウと電荷保持特性を両立できる半導体装置を提供すること。
【解決手段】半導体装置は、半導体基板１０１と、半導体基板１０１上に設けられたトンネル絶縁膜１０３と、トンネル絶縁膜１０３上に設けられ、第１および第２の電荷蓄積層１０４，１０５を含む電荷蓄積層と、電荷蓄積層上に設けられたブロック絶縁膜１０６と、ブロック絶縁膜１０６上に設けられた制御ゲート電極１０７とを備え、電荷蓄積層において、第２の電荷蓄積層１０５はブロック絶縁膜１０６側に最も近い側に設けられ、第１の電荷蓄積層１０４はトンネル絶縁膜１０３と第２の電荷蓄積層１０５の間に設けられ、第２の電荷蓄積層１０５は第１の電荷蓄積層１０４よりもトラップ密度が高く、第２の電荷蓄積層１０５は第１の電荷蓄積層１０４よりもバンドギャップが小さく、第２の電荷蓄積層１０５は第１の電荷蓄積層１０４、シリコン窒化膜よりも誘電率が高い。
【選択図】図１

図1



Sandisk Technologies, Inc. - Ex. 1002, Page 000864

【特許請求の範囲】
【請求項1】
半導体基板と、
　前記半導体基板上に設けられたトンネル絶縁膜と、
　前記トンネル絶縁膜上に設けられ、第１および第２の電荷蓄積層を含む複数層から構成された電荷蓄積層と、
　前記電荷蓄積層上に設けられたブロック絶縁膜と、
　前記ブロック絶縁膜上に設けられた制御ゲート電極とを具備してなり、
　前記第１および第２の電荷蓄積層を含む前記複数層から構成された前記電荷蓄積層において、前記第２の電荷蓄積層は前記ブロック絶縁膜側に最も近い側に設けられ、前記第１の電荷蓄積層は前記トンネル絶縁膜と前記第２の電荷蓄積層との間に設けられ、前記第２の電荷蓄積層は前記第１の電荷蓄積層よりもトラップ密度が高く、前記第２の電荷蓄積層は前記第１の電荷蓄積層よりもバンドギャップが小さく、かつ、前記第２の電荷蓄積層は前記第１の電荷蓄積層およびシリコン窒化膜よりも誘電率が高いことを特徴する半導体装置。
【請求項2】
前記第２の電荷蓄積層は、ＨｆまたはＺｒを含む絶縁膜であることを特徴する請求項１に記載の半導体装置。
【請求項3】
前記第１の電荷蓄積層はシリコン窒化膜であり、前記第１の電荷蓄積層と前記第２の電荷蓄積層との間にシリコン酸窒化膜で構成された第３の電荷蓄積層をさらに備えていることを特徴とする請求項１または２に記載の半導体装置。
【請求項4】
半導体基板と、
　前記半導体基板上に設けられたトンネル絶縁膜と、
　前記トンネル絶縁膜上に設けられ、第１および第２の電荷蓄積層を含む複数層から構成された電荷蓄積層と、
　前記電荷蓄積層上に設けられたブロック絶縁膜と、
　前記ブロック絶縁膜上に設けられた制御ゲート電極とを具備してなり、
　前記第１および第２の電荷蓄積層を含む前記複数層から構成された前記電荷蓄積層において、前記第２の電荷蓄積層は前記ブロック絶縁膜側に最も近い側に設けられ、前記第１の電荷蓄積層は前記トンネル絶縁膜と前記第２の電荷蓄積層との間に設けられ、前記第２の電荷蓄積層は前記第１の電荷蓄積層よりもトラップ密度が高く、前記第２の電荷蓄積層は前記第１の電荷蓄積層よりもバンドギャップが小さく、かつ、前記第２の電荷蓄積層は前記第１の電荷蓄積層およびシリコン窒化膜よりも誘電率が高いことを特徴する半導体装置の製造方法であって、
　前記半導体基板上に前記トンネル絶縁膜を形成する工程と、
　前記トンネル絶縁膜上に前記複数層から構成された電荷蓄積層を形成する工程と、
　前記複数層から構成された電荷蓄積層に対して塩素を含む雰囲気中での熱処理を施す工程と、
　前記熱処理を施した前記複数層から構成された電荷蓄積層上に前記ブロック絶縁膜を形成する工程と
　を含むことを特徴とする半導体装置の製造方法。
【請求項5】
半導体基板と、
　前記半導体基板上に設けられたトンネル絶縁膜と、
　前記トンネル絶縁膜上に設けられ、第１および第２の電荷蓄積層を含む複数層から構成された電荷蓄積層と、
　前記電荷蓄積層上に設けられたブロック絶縁膜と、

Sandisk Technologies, Inc. - Ex. 1002, Page 000865

前記ブロック絶縁膜上に設けられた制御ゲート電極とを具備してなり、
前記第１および第２の電荷蓄積層を含む前記複数層から構成された前記電荷蓄積層において、前記第２の電荷蓄積層は前記ブロック絶縁膜側に最も近い側に設けられ、前記第１の電荷蓄積層は前記トンネル絶縁膜と前記第２の電荷蓄積層との間に設けられ、前記第２の電荷蓄積層は前記第１の電荷蓄積層よりもトラップ密度が高く、前記第２の電荷蓄積層は前記第１の電荷蓄積層よりもバンドギャップが小さく、かつ、前記第２の電荷蓄積層は前記第１の電荷蓄積層およびシリコン窒化膜よりも誘電率が高いことを特徴する半導体装置の製造方法であって、
前記半導体基板上に前記トンネル絶縁膜を形成する工程と、
前記トンネル絶縁膜上に前記複数層から構成された電荷蓄積層を形成する工程と、
塩素を含む雰囲気中で、前記熱処理を施した前記複数層から構成された電荷蓄積層上に前記ブロック絶縁膜を形成する工程と
を含むことを特徴とする半導体装置の製造方法。
【請求項6】
前記トンネル絶縁膜、前記電荷蓄積層、前記ブロック絶縁膜および前記制御ゲート電極を形成した後、塩素を含むガスを用いて、前記電荷蓄積層、前記ブロック絶縁膜および前記制御ゲート電極の側壁を覆う絶縁膜を形成する工程をさらに含むことを特徴とする請求項４または５に記載の半導体装置の製造方法。
【発明の詳細な説明】
【技術分野】
【0001】
本発明は、電気的に書き換え可能な不揮発性半導体メモリを備えた半導体装置およびその製造方法に関する。
【背景技術】
【0002】
電気的に書き換え可能な不揮発性半導体メモリの一つとして、ＳＯＮＯＳメモリが知られている。ＳＯＮＯＳメモリは、ＭＯＮＯＳ（Metal-Oxide-Nitride-Oxide-Semiconductor）メモリのゲート電極の材料を金属から半導体に置き換えたものである。
【0003】
従来のＳＯＮＯＳメモリの一例としては、トンネル絶縁膜（SiO_2）／電荷蓄積層（SiN_x）／ブロック絶縁膜（SiO_2 またはAl_2O_3）を含むものが知られている。特許文献１には、電荷蓄積層（SiN_x）を２層にしてメモリーウインドウと電荷保持特性を両立させるという方法が提案されている。しかし、この方法を持ってしても、多値化を実現するのに十分なメモリーウインドウと電荷保持特性を両立することはできない。
【特許文献1】特開２００６－２２９２３３号公報
【発明の開示】
【発明が解決しようとする課題】
【0004】
本発明の目的は、多値化を実現するのに十分なメモリーウインドウと電荷保持特性を両立できる半導体装置およびその製造方法を提供することにある。
【課題を解決するための手段】
【0005】
本発明の一態様による半導体装置は、半導体基板と、前記半導体基板上に設けられたトンネル絶縁膜と、前記トンネル絶縁膜上に設けられ、第１および第２の電荷蓄積層を含む複数層から構成された電荷蓄積層と、前記電荷蓄積層上に設けられたブロック絶縁膜と、前記ブロック絶縁膜上に設けられた制御ゲート電極とを具備してなり、前記第１および第２の電荷蓄積層を含む前記複数層から構成された前記電荷蓄積層において、前記第２の電荷蓄積層は前記ブロック絶縁膜側に最も近い側に設けられ、前記第１の電荷蓄積層は前記トンネル絶縁膜と前記第２の電荷蓄積層との間に設けられ、前記第２の電荷蓄積層は前記第１の電荷蓄積層よりもトラップ密度が高く、前記第２の電荷蓄積層は前記第１の電荷蓄積層よりもバンドギャップが小さく、かつ、前記第２の電荷蓄積層は前記第１の電荷蓄積

Sandisk Technologies, Inc. - Ex. 1002, Page 000866

層およびシリコン窒化膜よりも誘電率が高いことを特徴する。
【0006】
本発明の一態様による半導体装置の製造方法は、半導体基板と、前記半導体基板上に設けられたトンネル絶縁膜と、前記トンネル絶縁膜上に設けられ、第１および第２の電荷蓄積層を含む複数層から構成された電荷蓄積層と、前記電荷蓄積層上に設けられたブロック絶縁膜と、前記ブロック絶縁膜上に設けられた制御ゲート電極とを具備してなり、前記第１および第２の電荷蓄積層を含む前記複数層から構成された前記電荷蓄積層において、前記第２の電荷蓄積層は前記ブロック絶縁膜側に最も近い側に設けられ、前記第１の電荷蓄積層は前記トンネル絶縁膜と前記第２の電荷蓄積層との間に設けられ、前記第２の電荷蓄積層は前記第１の電荷蓄積層よりもトラップ密度が高く、前記第２の電荷蓄積層は前記第１の電荷蓄積層よりもバンドギャップが小さく、かつ、前記第２の電荷蓄積層は前記第１の電荷蓄積層およびシリコン窒化膜よりも誘電率が高いことを特徴する半導体装置の製造方法であって、前記半導体基板上に前記トンネル絶縁膜を形成する工程と、前記トンネル絶縁膜上に前記複数層から構成された電荷蓄積層を形成する工程と、前記複数層から構成された電荷蓄積層に対して塩素を含む雰囲気中での熱処理を施す工程と、前記熱処理を施した前記複数層から構成された電荷蓄積層上に前記ブロック絶縁膜を形成する工程とを含むことを特徴とする。
【0007】
本発明の他態様による半導体装置の製造方法は、半導体基板と、前記半導体基板上に設けられたトンネル絶縁膜と、前記トンネル絶縁膜上に設けられ、第１および第２の電荷蓄積層を含む複数層から構成された電荷蓄積層と、前記電荷蓄積層上に設けられたブロック絶縁膜と、前記ブロック絶縁膜上に設けられた制御ゲート電極とを具備してなり、前記第１および第２の電荷蓄積層を含む前記複数層から構成された前記電荷蓄積層において、前記第２の電荷蓄積層は前記ブロック絶縁膜側に最も近い側に設けられ、前記第１の電荷蓄積層は前記トンネル絶縁膜と前記第２の電荷蓄積層との間に設けられ、前記第２の電荷蓄積層は前記第１の電荷蓄積層よりもトラップ密度が高く、前記第２の電荷蓄積層は前記第１の電荷蓄積層よりもバンドギャップが小さく、かつ、前記第２の電荷蓄積層は前記第１の電荷蓄積層およびシリコン窒化膜よりも誘電率が高いことを特徴する半導体装置の製造方法であって、前記半導体基板上に前記トンネル絶縁膜を形成する工程と、前記トンネル絶縁膜上に前記複数層から構成された電荷蓄積層を形成する工程と、塩素を含む雰囲気中で、前記熱処理を施した前記複数層から構成された電荷蓄積層上に前記ブロック絶縁膜を形成する工程とを含むことを特徴とする。
【発明の効果】
【0008】
本発明によれば、多値化を実現するのに十分なメモリーウインドウと電荷保持特性を両立できる半導体装置およびその製造方法を実現できるようになる。
【発明を実施するための最良の形態】
【0009】
以下、図面を参照しながら本発明の実施形態を説明する。
【0010】
（第１の実施形態）
図１は、第１の実施形態に係る半導体装置を示す断面図である。図１において、１０１は半導体基板を示しており、この半導体基板１０１の表面には一対のソース／ドレイン領域１０２が設けられている。ここでは、半導体基板１０１はシリコン基板とするが、ＳＯＩ基板、さらには、ＳｉＧｅ等のシリコン以外の半導体で構成された半導体基板を用いても構わない。半導体基板１０１の表面にソース／ドレイン領域１０２を設けずに、その代わりに、半導体基板１０１の表面に一様な拡散領域を設けデプレッション型で動作させるセルトランジスタとしてもかまわない。
【0011】
ソース／ドレイン領域１０２間の半導体基板１０１の表面（チャネル領域）上にはトン

ネル絶縁膜１０３が設けられている。トンネル絶縁膜１０３上には電荷蓄積層の一部を構成するシリコン窒化膜（第１の電荷蓄積層）１０４が設けられている。

【0012】

このシリコン窒化膜１０４上には電荷蓄積層の一部を構成するＨｆまたはＺｒを含有した絶縁膜（第２の電荷蓄積層）１０５が設けられている。このＨｆまたはＺｒを含有した絶縁膜（以下、Ｈｆ／Ｚｒ絶縁膜という。）１０５は、例えば、ＨｆＳｉＯＮ膜、ＨｆＡｌＯ膜、ＨｆＡｌＯＮ膜、HfO_2 膜、ＨｆＯＮ膜、ＺｒＳｉＯＮ膜、ＺｒＡｌＯ膜、ZrO_2 膜、ＺｒＯＮ膜である。

【0013】

Ｈｆ／Ｚｒ絶縁膜１０５上にはブロック絶縁膜としての高誘電率絶縁膜１０６が設けられている。高誘電率絶縁膜１０６上には制御ゲート電極１０７が設けられている。この制御ゲート電極１０７は、例えば、ポリシリコンまたはメタルで構成されている。ポリシリコンで構成されている場合にはＳＯＮＯＳ、メタルで構成されている場合にはＭＯＮＯＳとなる。以下、両者を区別せずにＳＯＮＯＳという。

【0014】

電荷蓄積層の一部を構成するシリコン窒化膜１０４については、その組成を窒素リッチにしても構わない。シリコン窒化膜１０４を窒素リッチにすると、電荷トラップ密度が減少してトラップ準位が深くなる。これは、トンネル絶縁膜１０３を介したシリコン窒化膜１０４から半導体基板１０１への電子抜けに起因する電荷保持特性の劣化防止に有効である。

【0015】

ただし、単に、シリコン窒化膜１０４の電荷トラップ密度を減少させると、十分な書き込みウインドウ特性が得られなくなる。特に、特許文献１に示されているような組成比の異なるシリコン窒化膜の積層構造を有する電荷蓄積層を用いた場合には、十分な書き込みウインドウ特性を得ることはできない。

【0016】

しかし、本実施形態の電荷蓄積層を用いた場合には、シリコン窒化膜１０４上に設けられた、Ｈｆ／Ｚｒ絶縁膜１０５が、シリコン窒化膜と比較して１０倍から１００倍程度の電荷トラップ能力があるために、ＳＯＮＯＳ構造全体としては、電荷トラップ密度はむしろ増加する方向となり、多値化を実現するのに十分なメモリーウインドウと電荷保持特性を同時に実現することが可能になる。

【0017】

また、電荷蓄積層の一部を構成するＨｆ／Ｚｒ絶縁膜１０５中に含まれた窒素や炭素などの不純物が、チャネルとなる半導体基板１０１の表面まで拡散すると、半導体基板１０１中で上記不純物が固定電荷となるため、ＳＯＮＯＳトランジスタの閾値電圧（Ｖth）が変動し、セル間の閾値電圧のばらつきが大きくなり、セル設計が困難になる。

【0018】

しかし、本実施形態の電荷蓄積層の構造の場合、シリコン窒化膜１０４により、Ｈｆ／Ｚｒ絶縁膜１０５中に含まれた窒素や炭素などの不純物が、ＳＯＮＯＳ構造作成の熱工程により、半導体基板１０１中に拡散することを防止できるという利点がある。この拡散防止の効果は窒素濃度が高いほど大きくなるので、不純物の拡散防止の観点からも、電荷蓄積層の一部を構成するシリコン窒化膜１０４については、窒素リッチにしたほうが望ましい。

【0019】

炭素や窒素の拡散防止能力を失わない範囲であれば、シリコン窒化膜１０４は酸素を多少含んでいても構わない。適度な量の酸素を含んだシリコン窒化膜１０４は、電荷トラップ密度の減少を実現するため、トンネル絶縁膜１０３を介したシリコン窒化膜１０４から半導体基板１０１への電子抜けに起因する電荷保持特性の劣化防止に有効である。

【0020】

また、Ｈｆ／Ｚｒ絶縁膜１０５は非常に高い電荷捕獲能力を持っているために、Ｈｆ／

Ｚｒ絶縁膜１０５をトンネル絶縁膜１０３の直上に形成すると、電荷捕獲により、トンネル絶縁膜１０３とＨｆ／Ｚｒ絶縁膜１０５との界面でポテンシャルがあがり、その結果として、トンネル絶縁膜１０３に電界がかからなくなるために、書き込み速度が劣化することが判明した。

【0021】

しかし、本実施形態の構造では、電荷捕獲能力の非常に高いＨｆ／Ｚｒ絶縁膜１０５とトンネル絶縁膜１０３とをシリコン窒化膜１０４で分断しているので、電荷捕獲能力の非常に高いＨｆ／Ｚｒ絶縁膜１０５を電荷蓄積層に用いても書き込み速度の劣化は十分に抑制される。

【0022】

また、特許文献１に示されているような組成比の異なるシリコン窒化膜の積層構造を有する電荷蓄積層を用いた場合には、ブロック絶縁膜との界面にシリコンリッチなシリコン窒化膜が存在するため、このシリコンリッチなシリコン窒化膜によってトラップ準位密度は増加するが、トラップ準位は浅くなるため、十分な電荷保持特性は得られない。

【0023】

これに対しては、本実施形態のＳＯＮＯＳ構造において、シリコン窒化膜１０４を窒素リッチとした場合、窒素リッチなシリコン窒化膜は、電子のトラップ準位が深いため、トラップ準位密度が増加しても、デトラップしにくく、シリコンリッチなシリコン窒化膜を用いた場合と比較して、電荷保持特性を大幅に改善することができる。

【0024】

本実施形態の電荷蓄積層の構造のように、第２の電荷蓄積層（Ｈｆ／Ｚｒ絶縁膜１０５）の材料の誘電率が、第１の電荷蓄積層（シリコン窒化膜１０４）の材料の誘電率よりも高いと、書き込み時や、電荷保持時にブロック絶縁膜近傍の電界が緩和され、書き込み特性や電荷保持特性を改善できる。

【0025】

つまり、本実施形態のように、トンネル絶縁膜上に形成される第１の電荷蓄積層のトラップ密度Ｄ１、バンドギャップΨ１、誘電率ε１、第１の電荷蓄積層上に形成される第２の電荷蓄積層のトラップ密度Ｄ２、バンドギャップΨ２、誘電率ε２とした場合に、

Ｄ１＜Ｄ２、Ψ１＞Ψ２、ε１＜ε２

となるように、第１および第２の電荷蓄積層として使用される二つの絶縁膜の組み合わせを選ぶと、十分な書き込み特性と電荷保持特性とを両立可能になる。

【0026】

ほとんどの場合、誘電率の高い材料ほどバンドギャップはより小さくなり、シリコンのコンダクションバンドから見たトラップ深さはより深くなる。すなわち、本実施形態の場合のように、ε１＜ε２であれば、φ１（第１の電荷蓄積層のトラップ深さ）＜φ２（第２の電荷蓄積層のトラップ深さ）となる。また、バンドギャップの異なる材料を積層すると、各々の材料でトラップアシストトンネル電流のパスとなる準位深さが異なるため、保持電荷のトラップアシストトンネル電流による電荷抜けが抑制できるため、電荷保持特性が改善する。

【0027】

トンネル絶縁膜１０３の膜厚は、代表的には、２－８ｎｍ程度である。

【0028】

シリコン窒化膜１０４の膜厚は、代表的には、２－８ｎｍ程度である。

【0029】

Ｈｆ／Ｚｒ絶縁膜１０５の膜厚は、代表的には、０．５－５ｎｍ程度である。Ｈｆ／Ｚｒ絶縁膜１０５は十分な電荷トラップ能力があるため、０．５－３ｎｍ程度の膜厚でも十分な書き込み特性を得られる。

【0030】

したがって、シリコン窒化膜１０４の膜厚をｄ１、Ｈｆ／Ｚｒ絶縁膜１０５の膜厚をｄ２とすると、ｄ１＞ｄ２になるように設計すると、半導体基板１０１中への不純物の拡散

抑制、トンネル絶縁膜１０３側への電荷抜けによる電荷保持特性の劣化防止、十分な書き込み特性が図られ、本実施形態の効果（多値化を実現するのに十分なメモリーウインドウと電荷保持特性の両立）を得やすくなる。

【0031】

Ｈｆ／Ｚｒ絶縁膜１０５については、上述したＨｆＳｉＯＮ膜、ＨｆＡｌＯ膜、ＨｆＡｌＯＮ膜、HfO_2 膜、ＨｆＯＮ膜、ＺｒＳｉＯＮ膜、ＺｒＡｌＯ膜、ZrO_2 膜、ＺｒＯＮ膜であれば、十分な書き込み特性と電荷保持特性を両立できる。さらに、ＨｆまたはＺｒを含有する絶縁膜１０５は、単層の膜に限らず、積層膜でも構わない。

【0032】

ブロック絶縁膜としてシリコン酸化膜を用いた場合でも上述の効果は得られるが、本実施形態のように高誘電率絶縁膜１０６を用いたほうが、ＳＯＮＯＳとしての電気膜厚薄膜化に有利である。ブロック絶縁膜の候補となる高誘電率絶縁膜は、バンドアライメントの観点からは、Al_2O_3 膜が好適であるが、ＨｆＡｌＯ膜、ＨｆＳｉＯ膜、Ta_2O_5 膜を用いても構わない。

【0033】

トンネル絶縁膜１０３については、８００－１０００℃の酸化膜雰囲気中で形成したシリコン酸化膜、または、このようにして形成したシリコン酸化膜をＮＯガス雰囲気、NH_3 雰囲気またはＮラジカル雰囲気で窒化して得られたシリコン酸窒化膜を用いても構わない。トンネル絶縁膜１０３にシリコン酸窒化膜を用いると、正孔に対する電位障壁が減少するため、消去スピードの高速化を図れるようになる。

【0034】

電荷蓄積層の一部を構成するシリコン窒化膜１０４は、例えば、ソースガスとしてＤＣＳ（SiH_2Cl_2）とNH_3 を用いたＬＰＣＶＤプロセスにより６００－８００℃の温度帯（成膜温度）で形成しても構わないし、あるいは、ソースガスとしてＤＣＳとNH_3 を用いたＡＬＤプロセスにより４００－６００℃の温度帯で形成しても構わない。

【0035】

ＬＰＣＶＤプロセスでシリコン窒化膜１０４を形成した場合には、堆積直後（Ａｓ　Ｄｅｐｏ）で密度が高く、炭素や窒素に関して拡散防止能力の高いシリコン窒化膜１０４を形成することが可能となる。

【0036】

一方、ＡＬＤプロセスでシリコン窒化膜１０４を形成した場には、薄膜領域での膜厚制御性がよくなるため、トンネル絶縁膜１０３上でモフォロジーがよいシリコン窒化膜１０４を形成できるなどの利点がある。ＡＬＤプロセスで形成した場合には、ＳｉＮの緻密化に別途熱処理が必要になる場合がある。

【0037】

ＬＰＣＶＤプロセスおよびＡＬＤプロセスのどちらを用いても、ＤＣＳとNH_3 のガス供給比を変えることで、通常のシリコン窒化膜および窒素リッチなシリコン窒化膜のどちらも形成することができる。

【0038】

また、ＡＬＤプロセスによりシリコン窒化膜１０４を形成する場合には、ソースガスとしてＢＴＢＡＳなどのアミノシランとNH_3 を用いても構わない。一方、ＬＰＣＶＤプロセスによりシリコン窒化膜１０４を形成する場合には、ソースガスとしてＨＣＤ（Si_2Cl_6）やＴＣＳ（$SiHCl_3$）を用いても構わない。

【0039】

Ｈｆ／Ｚｒ絶縁膜１０５は、ＡＬＤプロセスを用いて成膜温度２００－４００℃で形成しても構わないし、あるいは、ＭＯＣＶＤプロセスを用いて成膜温度５００－８００℃で形成しても構わない。

【0040】

シリコン窒化膜１０４、Ｈｆ／Ｚｒ絶縁膜１０５を形成する前駆体によらずに、上述の効果は得られる。

【0041】
ブロック絶縁膜１０６としてのAl_2O_3膜は、例えば、ＭＯＣＶＤプロセスを用いて成膜温度５００－８００℃で形成しても構わないし、あるいは、ＡＬＤプロセスを用いて成膜温度２００－４００℃で形成しても構わない。ブロック絶縁膜１０６としてのシリコン酸化膜は、例えば、ＬＰＣＶＤプロセスを用いて成膜温度６００－８００℃で形成する。
【0042】
（第２の実施形態）
図２は、第２の実施形態に係る半導体装置を示す断面図である。なお、図１において、既出の図と対応する部分には既出の図と同一符号を付してあり、詳細な説明は省略する（以下、同様）。
【0043】
本実施形態が第１の実施形態と異なる点は、シリコン窒化膜１０４とＨｆ／Ｚｒ絶縁膜１０５との間にシリコン酸窒化膜１０４ａが設けられていることにある。
【0044】
シリコン酸窒化膜１０４ａは電荷トラップ準位が少ないので、シリコン窒化膜１０４として窒素リッチなシリコン窒化膜を用いても、シリコン窒化膜１０４とＨｆ／Ｚｒ絶縁膜１０５との間における電子の移動が大幅に抑制され、電荷重心変動による閾値電圧シフトが抑制されるため、電荷保持特性は大幅に改善される。
【0045】
シリコン酸窒化膜１０４ａの形成方法としては、例えば、シリコン窒化膜１０４の表面を酸化剤に暴露して酸化する方法や、ＡＬＤプロセスを用いてシリコン酸化膜を形成する方法がある。前者の方法としては、例えば、シリコン酸窒化膜１０４ａを熱酸化法により形成する方法があり、この場合には、例えば、６００－１０００℃の酸化性雰囲気で酸化を行って形成する。後者の方法（ＡＬＤプロセス）の場合には、例えば、ソースガスとして、３ＤＭＡＳ、ＢＴＢＡＳとO_3を用いて形成する。
【0046】
シリコン窒化膜１０４の表面を酸化して形成したシリコン酸窒化膜のほうがよい特性が得られる。このようなシリコン酸窒化膜は、シリコン酸化膜を積極的に酸化する工程を行わなくても形成することが可能である。何故なら、シリコン窒化膜１０４上にＨｆ／Ｚｒ絶縁膜１０５を形成する工程の後に行う、Ｈｆ／Ｚｒ絶縁膜１０５をアニールする工程において、シリコン窒化膜１０４とＨｆ／Ｚｒ絶縁膜１０５との間に、シリコン酸窒化膜１０４ａを形成することが可能だからである。シリコン酸窒化膜１０４ａの膜厚は、１－３ｎｍが望ましい。
【0047】
本実施形態では、シリコン酸窒化膜１０４ａをシリコン窒化膜１０４上に形成した例について述べたが、図３に示すように、第１の電荷蓄積層として、Ｈｆ／Ｚｒ絶縁膜１０５側で酸素濃度が高く、トンネル絶縁膜１０３側で酸素濃度が低いシリコン酸窒化膜１０４’を用いても構わない。
【0048】
（第３の実施形態）
図４は、第３の実施形態に係る半導体装置を示す断面図である。
【0049】
本実施形態が第１の実施形態と異なる点は、第１の電荷蓄積層として、シリコン窒化膜１０４の代わりに、アルミナ膜１０４ｂを用いたことにある。
【0050】
アルミナ膜１０４ｂはシリコン窒化膜１０４よりも電荷トラップ密度が少なくい。そのため、シリコン窒化膜１０４を用いた場合よりも、トンネル絶縁膜１０３を介した電荷抜けによる閾値電圧の変動をさらに抑制できる。これにより、電荷保持特性はさらに改善される。

【0051】
また、シリコン窒化膜１０４をアルミナ膜１０４ｂに変更することにより、電荷保持特性を維持したまま、トンネル絶縁膜１０３を薄膜化できるため、書き込み速度を向上することが可能となる。
【0052】
さらに、アルミナ膜１０４ｂはシリコン窒化膜１０４よりも誘電率が高いために、ＳＯＮＯＳ全体としての電気膜厚薄膜化に有利である。
【0053】
トンネル絶縁膜１０３はシリコン酸窒化膜であることが望ましい。何故なら、アルミナ膜１０４ｂからの半導体基板１０１へ炭素、窒素、アルミが拡散することを防止することができるからである。
【0054】
トンネル酸窒化膜の形成方法としては、８００－１０００℃のシリコン酸化膜雰囲気でシリコン酸化膜を形成した後、ラジカル窒化法を用いて、シリコン酸化膜の表面に窒素を導入する方法がある。シリコン酸化膜の窒化に関しては、ラジカル窒化に限らず、７００－１０００℃の雰囲気でアンモニア雰囲気中での熱窒化でも構わない。
【0055】
アルミナ膜を第１の電荷蓄積層、HfO_2またはＨｆＡｌＯ膜を第２の電荷蓄積層、アルミナ膜をブロック絶縁膜として形成する場合には、成膜方法としてＡＬＤプロセスを用いると、第１の電荷蓄積層からブロック絶縁膜までを同一装置で一括して形成することができるので、工程数を削減することができ、さらに、各層間に発生する界面準位を低減できるので、電荷保持特性を改善できたり、書き込み消去ストレス後のセル特性の劣化を抑制することができる。
【0056】
（第４の実施形態）
図５は、第４の実施形態に係る半導体装置を示す断面図である。
【0057】
シリコン窒化膜１０４とＨｆ／Ｚｒ絶縁膜１０５との積層構造を有する電荷蓄積層は、ブロック絶縁膜１０６との界面側でのＨｆまたはＺｒの濃度が高いとともに、ブロック絶縁膜１０６との界面側にＨｆまたはＺｒの濃度のピークがあり、トンネル絶縁膜１０３との界面側でＨｆまたはＺｒの濃度が低くなるＨｆまたはＺｒの濃度分布（元素プロファイル）を有する。図５は、シリコン窒化膜１０４中のＨｆまたはＺｒの濃度がゼロ、または、シリコン窒化膜１０４はＨｆまたはＺｒを含んでいるが、トンネル絶縁膜１０３との界面側でのＨｆまたはＺｒの濃度がゼロの濃度分布を示している。これにより、ブロック絶縁膜１０６中の電荷トラップ密度が小さくなり、さらに、ブロック絶縁膜１０６中のトラップアシストトンネル電流を抑制できるため、電荷保持特性は改善される。
【0058】
また、図６に示すように、ブロック絶縁膜１０６側へのＨｆまたはＺｒの濃度変化が、トンネル絶縁膜１０３側のＨｆまたはＺｒの濃度変化よりも急峻な濃度分布とすることにより、シリコン窒化膜１０４とＨｆ／Ｚｒ絶縁膜１０５との界面がぼやけ、シリコン窒化膜１０４とＨｆ／Ｚｒ絶縁膜１０５との界面での準位生成が抑制されるため、電荷保持特性はさらに向上する。また、第１の電荷蓄積層として、シリコン窒化膜１０４の代わりにアルミナ膜１０４ｂを用いた場合も同様である。
【0059】
上述の濃度分布を作成するにはＡＬＤプロセスを用いるのが好適である。例えば、第１の電荷蓄積層がアルミナ膜、第２の電荷蓄積層がＨｆＡｌＯ膜、ブロック絶縁膜がアルミナ膜の場合、ＡＬＤプロセスを用いてアルミナとハフニアのサイクル比制御で、膜中のＨｆ濃度を正確にコントロールできる。
【0060】
別の作成方法としては、シリコン窒化物またはアルミナで形成された第１の電荷蓄積層

Sandisk Technologies, Inc. - Ex. 1002, Page 000872

とＨｆまたはＺｒを含有した第２の電荷蓄積層とを形成した後、高温の熱処理を行うと、第２の電荷蓄積層から第１の電荷蓄積層中へＨｆまたはＺｒの拡散が起こるので、上記高温の熱処理を制御することにより、所望のＨｆまたはＺｒの濃度分布を実現できるようになる。

【0061】

（第５の実施形態）

図７－図１６は、第５の実施形態に係る半導体装置の製造方法を示す断面図である。

【0062】

［図７］

シリコン熱酸化と熱窒化を組み合わせた方法により、半導体基板１０１上にシリコン酸窒化物からなるトンネル絶縁膜１０３を形成する。ここでは、半導体基板１０１はシリコン基板とする。

【0063】

トンネル絶縁膜１０３上に第１の電荷蓄積層としてのシリコン窒化膜１０４をＬＰＣＶＤプロセスにより形成し、その後、シリコン窒化膜１０４上に第２の電荷蓄積層としてのＨｆを含んだアルミナ膜（ＨｆＡｌＯ膜）１０５ｂをＡＬＤプロセスにより形成する。

【0064】

［図８］

ＰＤＡ（Post Deposition Anneal）プロセスとしての、塩素を含む酸化雰囲気中での熱処理を、ＨｆＡｌＯ膜１０５ｂに対して行う。塩素を含む酸化雰囲気としては、例えば、ＨＣｌを含む酸化性雰囲気がある。このＨＣｌを含む酸化性雰囲気は、例えば、以下のようにして生成する。ＨＣｌ、CH_3Cl、$C_2H_4Cl_2$などＨＣｌを含むガスまたは噴霧を、酸素または水蒸気を含む酸素による酸化性雰囲気に混入させることにより、ＨＣｌを含む酸化性雰囲気を生成する。

【0065】

ＨｆＡｌＯ膜１０５ｂに対して酸化雰囲気での熱処理（ＰＤＡプロセス）を施すことにより、ＨｆＡｌＯ膜１０５ｂの形成時にＡＬＤソースガスから混入する有機系の混入物を酸化させてＨｆＡｌＯ膜１０５ｂ中の有機物を除去する効果と、ＨｆＡｌＯ膜１０５ｂの構造を緻密化する効果が得られる。

【0066】

さらに、本実施形態では、酸化雰囲気として、ＨＣｌを含む酸化性雰囲気を用いていることにより、ＨｆＡｌＯ膜１０５ｂの電荷トラップ密度を高くでき、これにより、書き込み特性を向上できるという効果も得られる。

【0067】

ここで、ＨｆＡｌＯ膜１０５ｂの上側表面が特にＨＣｌを含む酸化性雰囲気に晒されるため、ＨｆＡｌＯ膜１０５ｂの電荷トラップ密度は、ＨｆＡｌＯ膜１０５ｂの表面付近において特に高くなる。すなわち、電荷トラップの密度が高くなる位置を、トンネル絶縁膜１０３から遠ざけることができる。

【0068】

図１６に、ＨｆＡｌＯ膜１０５ｂをＨＣｌを含む酸化性雰囲気に晒した場合（実施形態）のリテンション特性と、ＨｆＡｌＯ膜１０５ｂをＨＣｌを含む酸化性雰囲気に晒さない場合（従来）のリテンション特性を示す。図１６から、実施形態の方が従来よりもリテンション特性が向上することがわかる。これは、本実施形態によれば、リテンション特性の向上に有利な分布を有する電荷トラップ密度（ブロック絶縁膜側で電荷トラップ密度が高くなる）をＨｆＡｌＯ膜１０５ｂ中に形成できるからである。

【0069】

［図９］

ＨｆＡｌＯ膜１０５ｂ上に、ブロック絶縁膜としてのアルミナ膜106_1、シリコン酸化膜106_2を形成する。アルミナ膜106_1はＡＬＤプロセスにより形成し、シリコン酸化膜106_2はＬＰＣＶＤプロセスにより形成する。

【0070】
シリコン酸化膜１０６$_2$のソースガスとしては、例えば、ＳｉＨ$_2$Ｃｌ$_2$（ジクロロシラン）ガスとＮ$_2$Ｏガスを用いる。ＳｉＨ$_2$Ｃｌ$_2$ガスを用いた場合、シリコン酸化膜１０６$_2$の成膜雰囲気中に、ＳｉＨ$_2$Ｃｌ$_2$ガスの分解物であるＨＣｌなどＣｌを含むガスが発生し、そのＣｌによって、ＨｆＡｌＯ膜１０５ｂの電荷トラップ密度を高くできるという効果が得られる。この効果は、ＳｉＨ$_2$Ｃｌ$_2$ガスの代わりに、ＳｉＨＣｌ$_3$やＳｉＣｌ$_4$（シリコンテトラクロライド）など、Ｃｌをより多く含むソースガスを用いることで、より高くできる。図９において、Ｏ* は酸素ラジカルを示している。
【0071】
［図１０］
シリコン酸化膜１０６$_2$上にアルミナ膜１０６$_3$をＡＬＤプロセスにより形成する。このようにして３層構造のブロック絶縁膜１０６（１０６$_1$－１０６$_3$）がＨｆＡｌＯ膜１０５ｂ上に形成される。
【0072】
その後、アルミナ膜１０６$_1$，１０６$_3$に対して、ＰＤＡプロセスとしての、ＨＣｌを含んだ酸化性雰囲気中での熱処理を行う。このようなＣｌを含む雰囲気によるＰＤＡを行うことも、ＨｆＡｌＯ膜１０５ｂの電荷トラップ密度の増加につながる。
【0073】
上記のＣｌを含んだ雰囲気によるＰＤＡプロセスやＣｌを含むソースガスを用いたＣＶＤプロセスなどは、かならずしも全て実施する必要はなく、最終的にＨｆＡｌＯ膜１０５ｂ（電荷蓄積層）の電荷トラップ密度を過不足なく増加することができれば、適宜省くことが可能である。
【0074】
ただし、アルミナ膜１０６$_1$，１０６$_3$をＡＬＤプロセスで形成する際の雰囲気や、シリコン酸化膜１０６$_2$をＬＰＣＶＤプロセスで形成する際の雰囲気には、オゾンなどの強酸化性の雰囲気に結果的に晒されることがあり、この場合、強酸化性の雰囲気酸化によって、ＨｆＡＬＯ膜１０５ｂの増加した電荷トラップ密度が減少することが生じうる。ＰＤＡプロセスの酸化雰囲気によっても同様に電荷トラップの減少が生じうる。したがって、一度、Ｃｌを含んだ雰囲気に晒せばよいということではなく、随時、行うことが有効である。
【0075】
［図１１］
ブロック絶縁膜１０６上に、制御ゲート電極１０７$_1$となる導電性を有する膜（例えば、多結晶シリコン膜、金属膜、または、導体である金属窒化膜）を形成し、その上にシリコン窒化膜とシリコン酸化膜を含むマスク（ハードマスク）１０８を形成し、その後、ＲＩＥ（Reactive Ion Etching）プロセスにより、上記導電性を有する膜、ブロック絶縁膜１０６、ＨｆＡｌＯ膜１０５ｂ、シリコン窒化膜１０４、トンネル絶縁膜１０３、半導体基板１０１をエッチングし、制御ゲート電極１０７$_1$、素子分離（ＳＴＩ:Shallow Trench Isolation）用の溝１０９を形成する。
【0076】
［図１２］
通常、溝１０９の形成後には、ＴＥＯＳとオゾンをソースガスに用いた常圧近傍のＣＶＤプロセスなどにより、埋め込み性の高い酸化膜（素子分離絶縁膜）で溝１０９を埋める工程が続く。この工程で、ＨｆＡｌＯ膜１０５ｂ（第２の電荷蓄積層）は、比較的、高分圧のオゾンに晒され、さらに、オゾンから発生する酸素ラジカルにも晒される。その結果、ＨｆＡｌＯ膜１０５ｂ中のＨｆなどの金属による触媒作用によって、その下のシリコン窒化膜１０４（第１の電荷蓄積層）は酸化される。この酸化によってシリコン窒化膜１０４の電荷トラップ量が減少し、シリコン窒化膜１０４の電荷トラップ密度は低下する。
【0077】
また、先の図９の工程での塩素を含む雰囲気でＨｆＡｌＯ膜１０５ｂを熱処理すること

で増加を維持してきた、ＨｆＡｌＯ膜１０５ｂの電荷トラップ量も同じく減少し、ＨｆＡｌＯ膜１０５ｂの電荷トラップ密度は減少する。

【0078】

このような電荷トラップ密度の減少を抑制するために、本実施形態では、以下の工程を行う。すなわち、溝１０９の埋め込み時のオゾン雰囲気から、電荷蓄積層１０４，１０５ｂや制御ゲート電極107_1を保護するために、セル側壁に絶縁膜（スペーサ膜）１１０を形成する。

【0079】

具体的には、塩素を含む雰囲気で行え、さらに、カーボンフリーであるSiH_2Cl_2とN_2O、または、$SiCl_4$とN_2Oをソースガスに用いたＣＶＤプロセスおよびＲＩＥプロセス（異方性エッチング）により、セル側壁に絶縁膜（スペーサ膜）１１０を形成し、かつ、スペーサ膜１１０間の幅を、オゾンから発生する酸素ラジカルが、スペーサ膜１１０中の拡散の間に失活するのに足りる幅、例えば、３ｎｍ以上にする。スペーサ膜１１０の形成時、ＨｆＡｌＯ膜１０５ｂは塩素に晒される。そのため、スペーサ膜１１０の形成時に生じる得るオゾン等の強い酸化剤によるＨｆＡｌＯ膜１０５ｂのダメージは修復され、また、スペーサ膜１１０の形成時におけるＨｆＡｌＯ膜１０５ｂの電荷トラップ密度の減少も抑制される。

【0080】

［図１３］

溝１０９を埋め込むように、シリコン酸化物からなる素子分離絶縁膜１１１をソースガスとしてＴＥＯＳとオゾンを用いた常圧近傍でのＣＶＤプロセスにより全面に形成し、その後、ＣＭＰプロセスにより表面を平坦化する。このとき、上述したように、電荷蓄積層１０４，１０５ｂや制御ゲート電極107_1はスペーサ膜１１０により保護されているので、電荷トラップ密度の減少は抑制される。

【0081】

［図１４］

マスク１０８を除去し、制御ゲート電極107_1の上面を露出させる。制御ゲート電極107_1とコンタクトするように制御ゲート電極107_2を形成する。制御ゲート電極107_2の形成工程は、制御ゲート電極107_2となるポリシリコンまたはメタルで構成された導電膜を全面に形成する工程と、この導電膜上にマスク１１２を形成する工程と、このマスク１１２を用いて上記導電膜をＲＩＥプロセスにより加工する工程とを含む。

【0082】

［図１５］

半導体基板１０１の表面にソース／ドレイン領域１０２を形成する。なお、図１５はチャネル長方向の断面図である。図７－図１４はチャネル幅方向の断面図であるが、この断面図ではソース／ドレイン領域１０２は見られないので、図１５ではチャネル長方向の断面図を示してある。

【0083】

図１２の工程と同様に、カーボンフリーであるSiH_2Cl_2とN_2O、または、$SiCl_4$とN_2Oをソースガスに用いたＣＶＤプロセスおよびＲＩＥプロセスにより、チャネル長方向においてセル側壁に絶縁膜（スペーサ膜）１１３を形成し、かつ、スペーサ膜１１３の幅を、オゾンから発生する酸素ラジカルが、スペーサ膜１１３中の拡散の間に失活するのに足りる幅、例えば、３ｎｍ以上にする。

【0084】

ソースガスとしてＴＥＯＳガスとオゾンを用い、低温で、かつ、常圧または微減圧のＣＶＤプロセスにより、セル間をシリコン酸化膜で埋め込む。このとき、図１３の工程と同様に、電荷蓄積層１０４，１０５ｂや制御ゲート電極107_1はスペーサ膜１１３により保護されているので、トラップ密度の減少は抑制される。その後、周知の工程が続いて、ＳＯＮＯＳ構造を有するメモリセルで構成された不揮発性半導体メモリを備えた半導体装置が完成する。上記不揮発性半導体メモリは、例えば、ＮＡＮＤ型フラッシュメモリであ

る。

【0085】

なお、本発明は上記実施形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより、種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。さらに、異なる実施形態にわたる構成要素を適宜組み合わせてもよい。

【0086】

その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【図面の簡単な説明】

【0087】

【図1】第１の実施形態に係る半導体装置を示す断面図。

【図2】第２の実施形態に係る半導体装置を示す断面図。

【図3】第２の実施形態に係る半導体装置の変形例を説明するための図。

【図4】第３の実施形態に係る半導体装置を示す断面図。

【図5】第４の実施形態に係る半導体装置を示す断面図。

【図6】第４の実施形態に係る半導体装置の変形例を説明するための図。

【図7】第５の実施形態に係る半導体装置の製造方法を示す断面図。

【図8】図７に続く第５の実施形態の半導体装置の製造方法を説明するための断面図。

【図9】図８に続く第５の実施形態の半導体装置の製造方法を説明するための断面図。

【図10】図９に続く第５の実施形態の半導体装置の製造方法を説明するための断面図。

【図11】図１０に続く第５の実施形態の半導体装置の製造方法を説明するための断面図。

【図12】図１１に続く第５の実施形態の半導体装置の製造方法を説明するための断面図。

【図13】図１２に続く第５の実施形態の半導体装置の製造方法を説明するための断面図。

【図14】図１３に続く第５の実施形態の半導体装置の製造方法を説明するための断面図。

【図15】図１４に続く第５の実施形態の半導体装置の製造方法を説明するための断面図。

【図16】第５の実施形態の半導体装置の製造方法の効果を説明するための図。

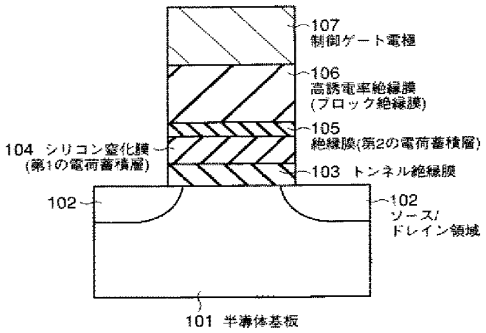
【符号の説明】

【0088】

１０１…半導体基板、１０２…ソース／ドレイン領域、１０３…トンネル絶縁膜、１０４…シリコン窒化膜（第１の電荷蓄積層）、１０４’…シリコン酸窒化膜（第１の電荷蓄積層）、１０４ａ…シリコン酸窒化膜（第１の電荷蓄積層）、１０４ｂ…アルミナ膜（第１の電荷蓄積層）、１０５…絶縁膜（第２の電荷蓄積層）、１０５ｂ…ＨｆＡｌＯ膜（第２の電荷蓄積層）、１０６…高誘電率絶縁膜（ブロック絶縁膜）、106_1…アルミナ膜（ブロック絶縁膜）、106_2…シリコン酸化膜（ブロック絶縁膜）、106_3…アルミナ膜（ブロック絶縁膜）、１０７…制御ゲート電極、１０８…ハードマスク、107_1…制御ゲート電極、107_2…制御ゲート電極、１０９…溝、１１０…スペーサ膜、１１１…素子分離絶縁膜、１１２…マスク、１１３…スペーサ膜。

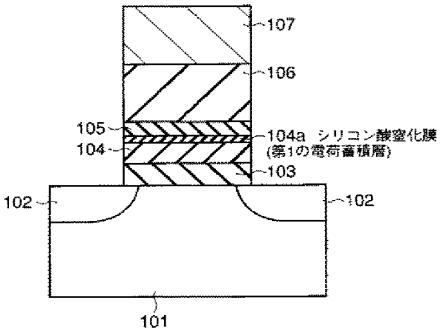
【図1】

図１



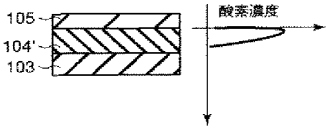
【図2】

図２



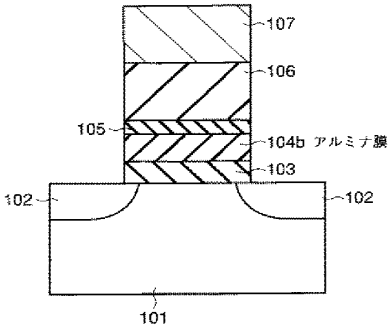
【図3】

図３



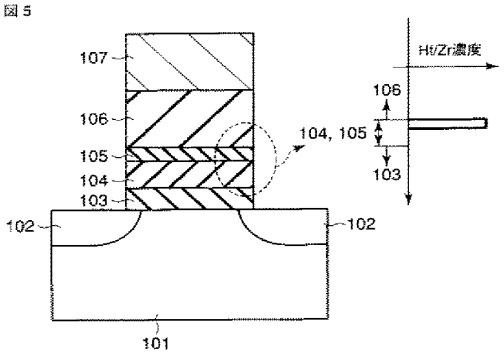
【図4】

図４



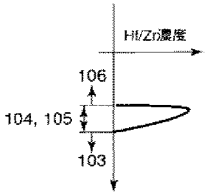
【図5】

図５



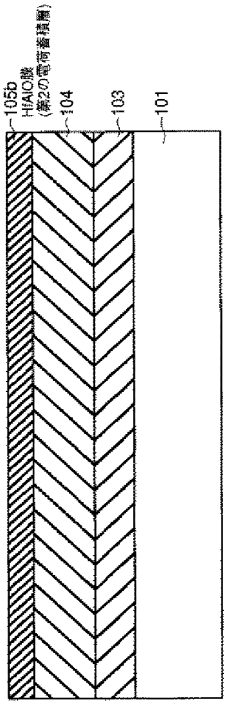
【図6】

図６



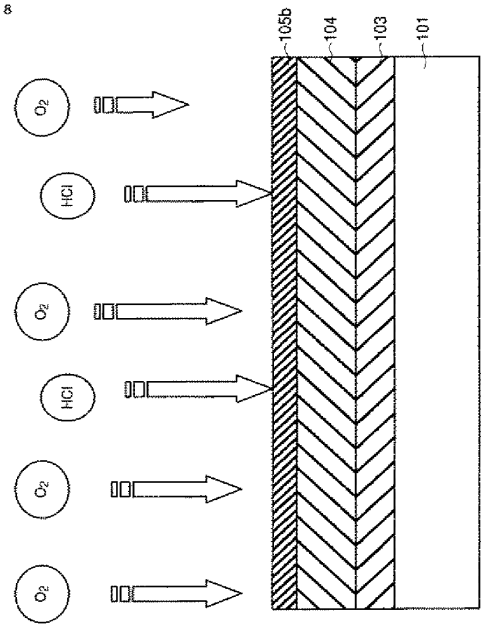
【図7】

図７



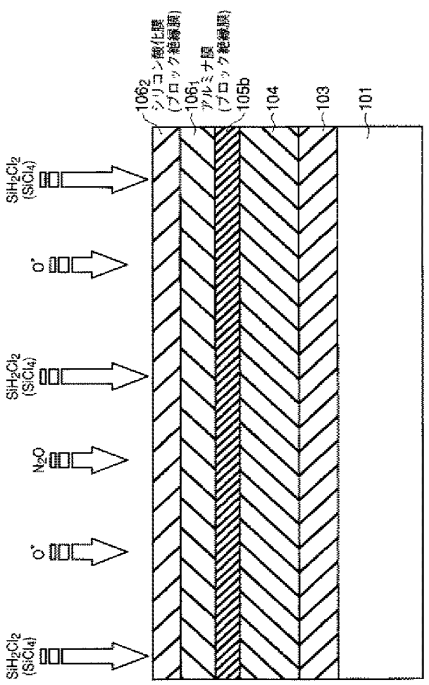
【図8】

図８



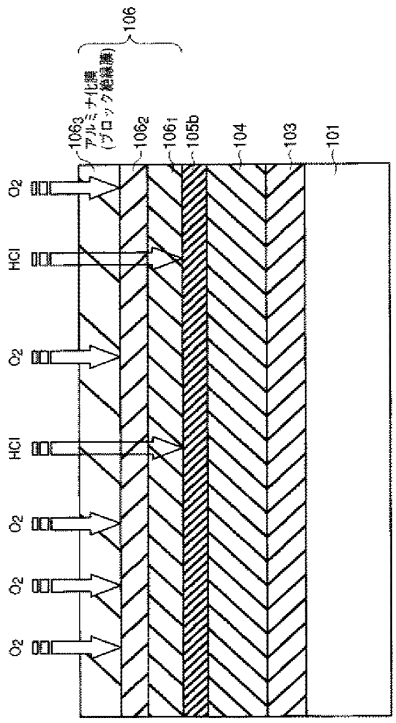
【図9】

図９



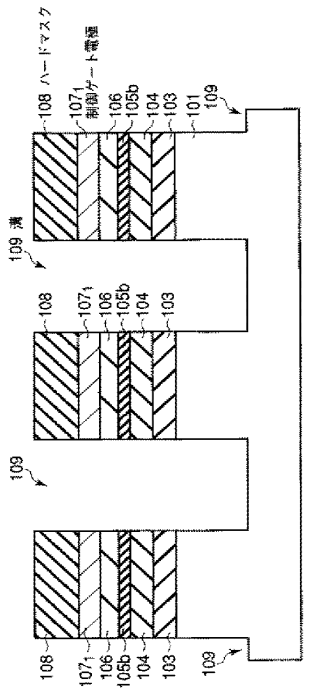
【図10】

図１０



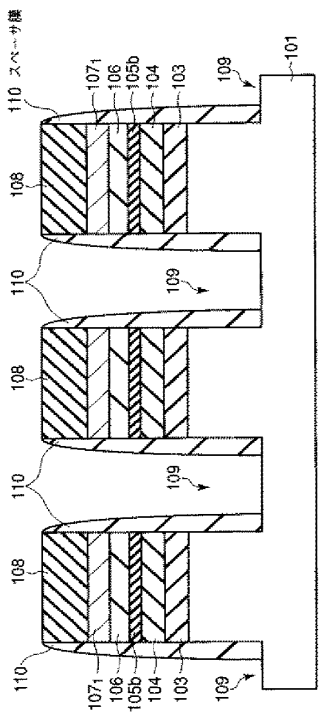
【図11】

図１１



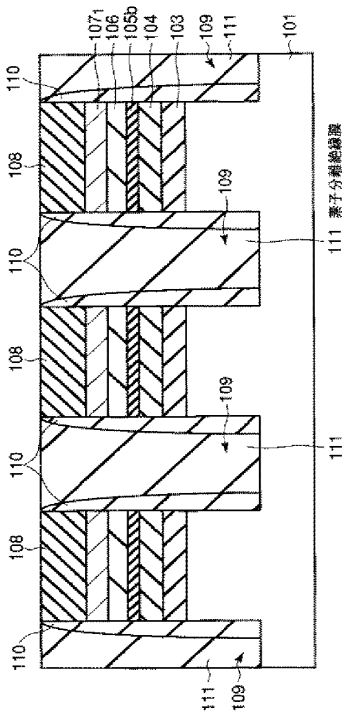
【図12】

図 12



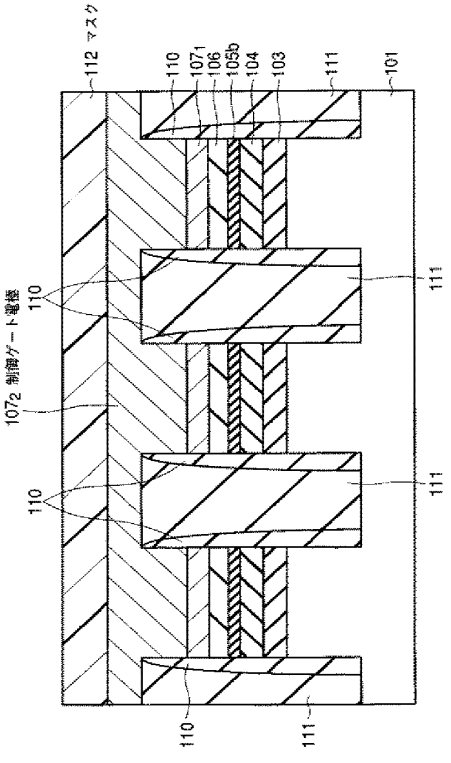
【図13】

図 13



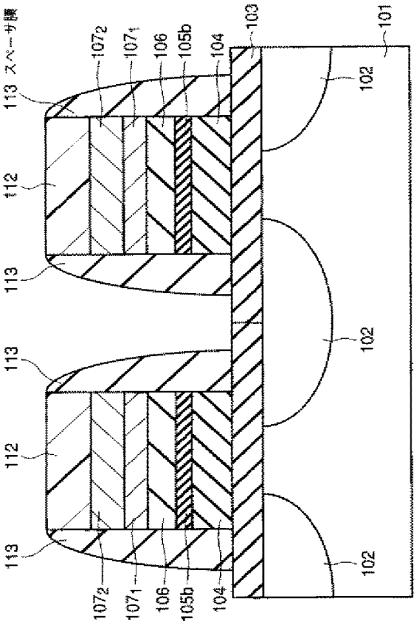
【図14】

図 14



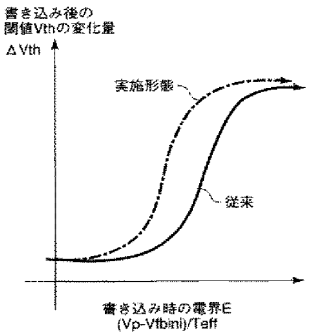
【図15】

図 15



【図16】

図 16



(51)Int.Cl.			FI			テーマコード（参考）
Ｈ０１Ｌ	21/316	(2006.01)	Ｈ０１Ｌ	21/318	Ｍ	
Ｈ０１Ｌ	21/318	(2006.01)	Ｈ０１Ｌ	21/318	Ｃ	
Ｃ２３Ｃ	16/42	(2006.01)	Ｈ０１Ｌ	21/318	Ｂ	
			Ｈ０１Ｌ	21/316	Ｓ	
			Ｃ２３Ｃ	16/42		

(74)代理人　100095441
弁理士　白根　俊郎
(74)代理人　100084618
弁理士　村松　貞男
(74)代理人　100103034
弁理士　野河　信久
(74)代理人　100119976
弁理士　幸長　保次郎
(74)代理人　100153051
弁理士　河野　直樹
(74)代理人　100140176
弁理士　砂川　克
(74)代理人　100101812
弁理士　勝村　紘
(74)代理人　100092196
弁理士　橋本　良郎
(74)代理人　100100952
弁理士　風間　鉄也
(74)代理人　100070437
弁理士　河井　将次
(74)代理人　100124394
弁理士　佐藤　立志
(74)代理人　100112807
弁理士　岡田　貴志
(74)代理人　100111073
弁理士　堀内　美保子
(74)代理人　100134290
弁理士　竹内　将訓
(74)代理人　100127144
弁理士　市原　卓三
(74)代理人　100141933
弁理士　山下　元
(72)発明者　関根　克行
東京都港区芝浦一丁目１番１号　株式会社東芝内
(72)発明者　中尾　隆
東京都港区芝浦一丁目１番１号　株式会社東芝内
(72)発明者　西田　大介
東京都港区芝浦一丁目１番１号　株式会社東芝内
(72)発明者　藤塚　良太
東京都港区芝浦一丁目１番１号　株式会社東芝内

Sandisk Technologies, Inc. - Ex. 1002, Page 000881

(72)発明者　小澤　良夫
東京都港区芝浦一丁目１番１号　株式会社東芝内
(72)発明者　名取　克晃
東京都港区芝浦一丁目１番１号　株式会社東芝内

Ｆターム(参考) 4K030 AA06 AA13 BA40 CA04 CA12 FA10 LA02 LA15
5F032 AA35 AA44 AA45 AA69 AA77 AA84 BB06 CA17 DA78
5F058 BA20 BC02 BC03 BC08 BC11 BD04 BD05 BD10 BD15 BF04
BF06 BF24 BF27 BF29 BF30 BF55 BF62 BF64 BF74 BH04
BJ01
5F083 EP18 EP48 EP49 EP76 ER21 ER22 GA11 JA03 JA04 NA01
PR10 PR21 PR33 PR40 ZA21
5F101 BA44 BA45 BA47 BB02 BD34 BD35 BE07 BF05 BH02 BH16

Sandisk Technologies, Inc. - Ex. 1002, Page 000882

Espacenet

JP2009260070A SEMICONDUCTOR DEVICE, AND METHOD OF MANUFACTURING THE SAME

Applicants: TOSHIBA CORP

Inventors: FUJITSUKA RYOTA,OZAWA YOSHIO

Classifications:
IPC ***H01L21/8247; H01L27/115; H01L29/788; H01L29/792;***

CPC **H01L27/11568 (EP,US); H01L29/513 (EP,US);** H01L29/78 (EP,US);

Priorities: JP2008108048A 2008-04-17

Application: JP2009260070A 2008-04-17

Publication: JP2009260070A 2009-11-05

Published as: JP2009260070A;**JP5238332B2; US2009261400A1; US8278696B2**

SEMICONDUCTOR DEVICE, AND METHOD OF MANUFACTURING THE SAME

Abstract

PROBLEM TO BE SOLVED: To provide a semiconductor device that can effectively prevent migration of charges between adjacent memory cells. SOLUTION: A semiconductor device includes a tunnel insulating film 21 formed on a semiconductor substrate 11, a charge storage insulating film 22 formed on the tunnel insulating film and including at least two separated low oxygen concentration portions 22a and a high oxygen concentration portion 22b positioned between the adjacent low oxygen concentration portions and having a higher oxygen concentration than the low oxygen concentration portions, a charge block insulating film 23 formed on the charge storage insulating film, and control gate electrodes 24 formed on the charge block insulating film and above the low oxygen concentration portions. COPYRIGHT: (C)2010,JPO&INPIT

Sandisk Technologies, Inc. - Ex. 1002, Page 000883

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2009-260070
(P2009-260070A)
(43)公開日　平成21年11月5日(2009.11.5)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 21/8247	(2006.01)	H01L	27/10	434	5F083
H01L 27/115	(2006.01)	H01L	29/78	371	5F101
H01L 29/788	(2006.01)				
H01L 29/792	(2006.01)				

審査請求 未請求　請求項の数 7　OL　（全 22 頁）

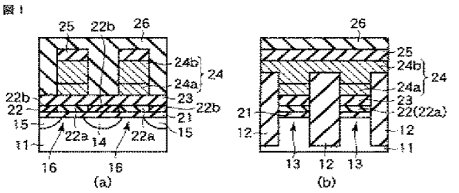
(21)出願番号　特願2008-108048 (P2008-108048)
(22)出願日　平成20年4月17日 (2008.4.17)

(71)出願人　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(74)代理人　100108855
弁理士　蔵田　昌俊
(74)代理人　100091351
弁理士　河野　哲
(74)代理人　100088683
弁理士　中村　誠
(74)代理人　100109830
弁理士　福原　淑弘
(74)代理人　100075672
弁理士　峰　隆司

最終頁に続く

(54)【発明の名称】半導体装置及びその製造方法

(57)【要約】
【課題】隣接するメモリセル間での電荷の移動を効果的に防止することが可能な半導体装置を提供する。
【解決手段】半導体基板１１上に形成されたトンネル絶縁膜２１と、トンネル絶縁膜上に形成され、少なくとも２つの互いに離隔された低酸素濃度部分２２ａと、隣接する低酸素濃度部分間に位置し且つ低酸素濃度部分よりも高い酸素濃度を有する高酸素濃度部分２２ｂとを含んだ電荷蓄積絶縁膜２２と、電荷蓄積絶縁膜上に形成された電荷ブロック絶縁膜２３と、電荷ブロック絶縁膜上であって且つ低酸素濃度部分の上方に形成された制御ゲート電極２４とを備える。
【選択図】図１



Sandisk Technologies, Inc. - Ex. 1002, Page 000884

【特許請求の範囲】
【請求項1】
半導体基板上に形成されたトンネル絶縁膜と、
前記トンネル絶縁膜上に形成され、少なくとも２つの互いに離隔された低酸素濃度部分と、隣接する前記低酸素濃度部分間に位置し且つ前記低酸素濃度部分よりも高い酸素濃度を有する高酸素濃度部分とを含んだ電荷蓄積絶縁膜と、
前記電荷蓄積絶縁膜上に形成された電荷ブロック絶縁膜と、
前記電荷ブロック絶縁膜上であって且つ前記低酸素濃度部分の上方に形成された制御ゲート電極と、
を備えたことを特徴とする半導体装置。
【請求項2】
半導体基板上に形成されたトンネル絶縁膜と、
前記トンネル絶縁膜上に形成され、少なくとも２つの互いに離隔された低フッ素濃度部分と、隣接する前記低フッ素濃度部分間に位置し且つ前記低フッ素濃度部分よりも高いフッ素濃度を有する高フッ素濃度部分とを含んだ電荷蓄積絶縁膜と、
前記電荷蓄積絶縁膜上に形成された電荷ブロック絶縁膜と、
前記電荷ブロック絶縁膜上であって且つ前記低フッ素濃度部分の上方に形成された制御ゲート電極と、
を備えたことを特徴とする半導体装置。
【請求項3】
半導体基板上に形成され、下層絶縁膜と、上層絶縁膜と、前記下層絶縁膜と前記上層絶縁膜との間の中間絶縁膜とを含み、前記中間絶縁膜が、少なくとも２つの互いに離隔された低酸素濃度部分と、隣接する前記低酸素濃度部分間に位置し且つ前記低酸素濃度部分よりも高い酸素濃度を有する高酸素濃度部分とを含んでいるトンネル絶縁膜と、
前記トンネル絶縁膜上に形成された電荷蓄積絶縁膜と、
前記電荷蓄積絶縁膜上に形成された電荷ブロック絶縁膜と、
前記電荷ブロック絶縁膜上であって且つ前記低酸素濃度部分の上方に形成された制御ゲート電極と、
を備えたことを特徴とする半導体装置。
【請求項4】
半導体基板上に形成され、下層絶縁膜と、上層絶縁膜と、前記下層絶縁膜と前記上層絶縁膜との間の中間絶縁膜とを含み、前記中間絶縁膜が、少なくとも２つの互いに離隔された低フッ素濃度部分と、隣接する前記低フッ素濃度部分間に位置し且つ前記低フッ素濃度部分よりも高いフッ素濃度を有する高フッ素濃度部分とを含んでいるトンネル絶縁膜と、
前記トンネル絶縁膜上に形成された電荷蓄積絶縁膜と、
前記電荷蓄積絶縁膜上に形成された電荷ブロック絶縁膜と、
前記電荷ブロック絶縁膜上であって且つ前記低フッ素濃度部分の上方に形成された制御ゲート電極と、
を備えたことを特徴とする半導体装置。
【請求項5】
半導体基板上にトンネル絶縁膜を形成する工程と、
前記トンネル絶縁膜上に電荷蓄積絶縁膜を形成する工程と、
前記電荷蓄積絶縁膜上に電荷ブロック絶縁膜を形成する工程と、
前記電荷ブロック絶縁膜上に少なくとも２つの互いに離隔された制御ゲート電極を形成する工程と、
隣接する前記制御ゲート電極間の領域から前記電荷ブロック絶縁膜を通して前記電荷蓄積絶縁膜に酸素ラジカル又はフッ素ラジカルを導入する工程と、
を備えたことを特徴とする半導体装置の製造方法。
【請求項6】

半導体基板上にトンネル絶縁膜を形成する工程と、
前記トンネル絶縁膜上に電荷蓄積絶縁膜を形成する工程と、
前記電荷蓄積絶縁膜上に電荷ブロック絶縁膜を形成する工程と、
前記電荷ブロック絶縁膜上に少なくとも２つの互いに離隔された制御ゲート電極を形成する工程と、
隣接する前記制御ゲート電極間の領域から前記電荷ブロック絶縁膜を通して前記電荷蓄積絶縁膜に酸化剤を導入する工程と、
を備え、
前記電荷蓄積絶縁膜に酸化剤を導入する前に、前記電荷蓄積絶縁膜の少なくとも前記酸化剤が導入される部分にはボロンが含有されている
ことを特徴とする半導体装置の製造方法。
【請求項7】
半導体基板上に、下層絶縁膜と、上層絶縁膜と、前記下層絶縁膜と前記上層絶縁膜との間の中間絶縁膜とを含んだトンネル絶縁膜を形成する工程と、
前記トンネル絶縁膜上に電荷蓄積絶縁膜を形成する工程と、
前記電荷蓄積絶縁膜上に電荷ブロック絶縁膜を形成する工程と、
前記電荷ブロック絶縁膜上に少なくとも２つの互いに離隔された制御ゲート電極を形成する工程と、
隣接する前記制御ゲート電極間の領域から前記中間絶縁膜に酸素ラジカル又はフッ素ラジカルを導入する工程と、
を備えたことを特徴とする半導体装置の製造方法。
【発明の詳細な説明】
【技術分野】
【0001】
本発明は、半導体装置及びその製造方法に関する。
【背景技術】
【0002】
電荷蓄積層に電荷トラップ用の電荷蓄積絶縁膜を用いた電荷トラップ型の不揮発性半導体メモリが提案されている（特許文献１参照）。この電荷トラップ型の不揮発性半導体メモリでは、トンネル絶縁膜を通して電荷蓄積絶縁膜に注入された電荷を、電荷蓄積絶縁膜中のトラップ準位にトラップさせることで、電荷蓄積絶縁膜に電荷が蓄積される。代表的な電荷トラップ型の不揮発性半導体メモリとしては、ＭＯＮＯＳ型或いはＳＯＮＯＳ型の不揮発性半導体メモリが知られており、電荷蓄積絶縁膜の材料としてはシリコン窒化膜などが用いられる。
【0003】
電荷トラップ型の不揮発性半導体メモリでは通常、隣接するメモリセル間の領域にも電荷蓄積絶縁膜が形成されている。電荷蓄積絶縁膜は高い電荷トラップ準位密度を有しているため、隣接するメモリセル間の距離が短くなると、電荷蓄積絶縁膜に蓄積された電荷が隣接メモリセル間を移動するという問題が生じる。その結果、半導体装置の特性や信頼性が悪化するという問題が生じる。
【0004】
また、電荷トラップ型の不揮発性半導体メモリにおいて、ＯＮＯ（シリコン酸化膜／シリコン窒化膜／シリコン酸化膜）構造を有するトンネル絶縁膜を用いたものが提案されている。しかしながら、シリコン窒化膜は高い電荷トラップ準位密度を有しているため、隣接するメモリセル間の距離が短くなると、シリコン窒化膜にトラップされた電荷が隣接メモリセル間を移動するという問題が生じる。その結果、半導体装置の特性や信頼性が悪化するという問題が生じる。このような問題は、電荷トラップ準位密度の低い絶縁膜間に電荷トラップ準位密度の高い絶縁膜を設けた積層構造のトンネル絶縁膜を用いた場合には、一般に生じ得るものである。
【0005】
このように、従来は、隣接するメモリセル間での電荷の移動によって半導体装置の特性

や信頼性が悪化するという問題があった。
【特許文献1】特開２００４－１５８８１０号公報
【発明の開示】
【発明が解決しようとする課題】
【0006】
本発明は、隣接するメモリセル間での電荷の移動を効果的に防止することが可能な半導体装置及びその製造方法を提供することを目的としている。
【課題を解決するための手段】
【0007】
本発明の第１の視点に係る半導体装置は、半導体基板上に形成されたトンネル絶縁膜と、前記トンネル絶縁膜上に形成され、少なくとも２つの互いに離隔された低酸素濃度部分と、隣接する前記低酸素濃度部分間に位置し且つ前記低酸素濃度部分よりも高い酸素濃度を有する高酸素濃度部分とを含んだ電荷蓄積絶縁膜と、前記電荷蓄積絶縁膜上に形成された電荷ブロック絶縁膜と、前記電荷ブロック絶縁膜上であって且つ前記低酸素濃度部分の上方に形成された制御ゲート電極と、を備える。
【0008】
本発明の第２の視点に係る半導体装置は、半導体基板上に形成されたトンネル絶縁膜と、前記トンネル絶縁膜上に形成され、少なくとも２つの互いに離隔された低フッ素濃度部分と、隣接する前記低フッ素濃度部分間に位置し且つ前記低フッ素濃度部分よりも高いフッ素濃度を有する高フッ素濃度部分とを含んだ電荷蓄積絶縁膜と、前記電荷蓄積絶縁膜上に形成された電荷ブロック絶縁膜と、前記電荷ブロック絶縁膜上であって且つ前記低フッ素濃度部分の上方に形成された制御ゲート電極と、を備える。
【0009】
本発明の第３の視点に係る半導体装置は、半導体基板上に形成され、下層絶縁膜と、上層絶縁膜と、前記下層絶縁膜と前記上層絶縁膜との間の中間絶縁膜とを含み、前記中間絶縁膜が、少なくとも２つの互いに離隔された低酸素濃度部分と、隣接する前記低酸素濃度部分間に位置し且つ前記低酸素濃度部分よりも高い酸素濃度を有する高酸素濃度部分とを含んでいるトンネル絶縁膜と、前記トンネル絶縁膜上に形成された電荷蓄積絶縁膜と、前記電荷蓄積絶縁膜上に形成された電荷ブロック絶縁膜と、前記電荷ブロック絶縁膜上であって且つ前記低酸素濃度部分の上方に形成された制御ゲート電極と、を備える。
【0010】
本発明の第４の視点に係る半導体装置は、半導体基板上に形成され、下層絶縁膜と、上層絶縁膜と、前記下層絶縁膜と前記上層絶縁膜との間の中間絶縁膜とを含み、前記中間絶縁膜が、少なくとも２つの互いに離隔された低フッ素濃度部分と、隣接する前記低フッ素濃度部分間に位置し且つ前記低フッ素濃度部分よりも高いフッ素濃度を有する高フッ素濃度部分とを含んでいるトンネル絶縁膜と、前記トンネル絶縁膜上に形成された電荷蓄積絶縁膜と、前記電荷蓄積絶縁膜上に形成された電荷ブロック絶縁膜と、前記電荷ブロック絶縁膜上であって且つ前記低フッ素濃度部分の上方に形成された制御ゲート電極と、を備える。
【0011】
本発明の第５の視点に係る半導体装置の製造方法は、半導体基板上にトンネル絶縁膜を形成する工程と、前記トンネル絶縁膜上に電荷蓄積絶縁膜を形成する工程と、前記電荷蓄積絶縁膜上に電荷ブロック絶縁膜を形成する工程と、前記電荷ブロック絶縁膜上に少なくとも２つの互いに離隔された制御ゲート電極を形成する工程と、隣接する前記制御ゲート電極間の領域から前記電荷ブロック絶縁膜を通して前記電荷蓄積絶縁膜に酸素ラジカル又はフッ素ラジカルを導入する工程と、を備える。
【0012】
本発明の第６の視点に係る半導体装置の製造方法は、半導体基板上にトンネル絶縁膜を形成する工程と、前記トンネル絶縁膜上に電荷蓄積絶縁膜を形成する工程と、前記電荷蓄積絶縁膜上に電荷ブロック絶縁膜を形成する工程と、前記電荷ブロック絶縁膜上に少なく

とも２つの互いに離隔された制御ゲート電極を形成する工程と、隣接する前記制御ゲート電極間の領域から前記電荷ブロック絶縁膜を通して前記電荷蓄積絶縁膜に酸化剤を導入する工程と、を備え、前記電荷蓄積絶縁膜に酸化剤を導入する前に、前記電荷蓄積絶縁膜の少なくとも前記酸化剤が導入される部分にはボロンが含有されている。

【0013】

本発明の第７の視点に係る半導体装置の製造方法は、半導体基板上に、下層絶縁膜と、上層絶縁膜と、前記下層絶縁膜と前記上層絶縁膜との間の中間絶縁膜とを含んだトンネル絶縁膜を形成する工程と、前記トンネル絶縁膜上に電荷蓄積絶縁膜を形成する工程と、前記電荷蓄積絶縁膜上に電荷ブロック絶縁膜を形成する工程と、前記電荷ブロック絶縁膜上に少なくとも２つの互いに離隔された制御ゲート電極を形成する工程と、隣接する前記制御ゲート電極間の領域から前記中間絶縁膜に酸素ラジカル又はフッ素ラジカルを導入する工程と、を備える。

【発明の効果】

【0014】

本発明によれば、隣接するメモリセル間での電荷の移動を効果的に防止することが可能となる。

【発明を実施するための最良の形態】

【0015】

以下、本発明の実施形態を図面を参照して説明する。なお、以下の各実施形態では、電荷蓄積層に電荷トラップ用の電荷蓄積絶縁膜を用いた電荷トラップ型のＮＡＮＤ型不揮発性半導体メモリについて説明する。

【0016】

（実施形態１）

図１は、本発明の第１の実施形態に係る半導体装置の構成を模式的に示した断面図である。図１（ａ）はチャネル長方向（ビット線方向）に沿った断面図であり、図１（ｂ）はチャネル幅方向（ワード線方向）に沿った断面図である。

【0017】

半導体基板（シリコン基板）１１には、素子分離領域（素子分離絶縁膜）１２で挟まれた素子領域（アクティブエリア）１３が設けられている。素子領域１３は、ソース領域１４と、ドレイン領域１５と、ソース領域１４とドレイン領域１５との間のチャネル領域１６とを有している。

【0018】

素子領域１３上には、シリコン酸化膜を用いたトンネル絶縁膜２１が形成されている。トンネル絶縁膜２１上には、シリコン窒化物を主成分とする電荷蓄積絶縁膜２２が形成されている。電荷蓄積絶縁膜２２は、少なくとも２つの互いに離隔された低酸素濃度部分２２ａと、隣接する低酸素濃度部分２２ａ間に位置する高酸素濃度部分２２ｂとを含んでいる。高酸素濃度部分２２ｂは、低酸素濃度部分２２ａよりも高い酸素濃度を有している。具体的には、低酸素濃度部分２２ａは酸素をほとんど含有しないシリコン窒化膜であり、高酸素濃度部分２２ｂはシリコン酸窒化膜である。そのため、高酸素濃度部分２２ｂのトラップ準位密度は、低酸素濃度部分２２ａのトラップ準位密度よりも低くなっている。

【0019】

電荷蓄積絶縁膜２２の低酸素濃度部分２２ａ及び高酸素濃度部分２２ｂ上には、電荷ブロック絶縁膜２３が形成されている。本実施形態では、電荷ブロック絶縁膜２３としてランタンアルミネート膜を用いている。電荷ブロック絶縁膜２３上であって且つ電荷蓄積絶縁膜２２の低酸素濃度部分２２ａの上方には、制御ゲート電極２４が形成されている。この制御ゲート電極２４は、ワード線となるものであり、多結晶シリコン膜で形成された下層制御ゲート電極膜２４ａ及びタングステンシリサイド膜で形成された上層制御ゲート電極膜２４ｂで構成されている。制御ゲート電極２４上には、マスク膜２５が形成されている。上述した電荷ブロック絶縁膜２３、制御ゲート電極２４及びマスク膜２５は、層間絶縁膜２６によって覆われている。

【0020】
上述した電荷トラップ型の不揮発性半導体メモリセルでは、制御ゲート電極２４と半導体基板１１との間に適当な電圧を印加することで、トンネル絶縁膜２１を介して半導体基板１１と電荷蓄積絶縁膜２２との間で電荷の充放電が行われる。具体的には、トンネル絶縁膜２１を通して電荷蓄積絶縁膜２２に注入された電荷を、電荷蓄積絶縁膜２２中のトラップ準位にトラップさせることで、電荷蓄積絶縁膜２２に電荷が蓄積される。
【0021】
以上のように、本実施形態の不揮発性半導体メモリでは、電荷蓄積絶縁膜２２の低酸素濃度部分２２ａ間に高酸素濃度部分２２ｂが形成されている。すなわち、隣接するメモリセル間の領域に、電荷蓄積絶縁膜２２の高酸素濃度部分２２ｂが形成されている。高酸素濃度部分２２ｂは低酸素濃度部分２２ａよりもトラップ準位密度が低いため、隣接する低酸素濃度部分２２ａ間での電荷の移動を高酸素濃度部分２２ｂによって抑制することができる。すなわち、隣接するメモリセル間での蓄積電荷の移動を抑制することができる。その結果、蓄積電荷の移動に起因したメモリセルの誤動作を防止することができ、特性及び信頼性に優れた不揮発性半導体メモリが得られる。
【0022】
また、本実施形態の不揮発性半導体メモリでは、隣接するメモリセル間の領域にも電荷ブロック絶縁膜２３が形成されている。そのため、制御ゲート電極２４による半導体基板１１表面の電気的ポテンシャルの制御性を向上させることができる。その結果、隣接セル間干渉を抑制することができ、メモリセルトランジスタの閾値変動に起因する誤動作を防止することができる。特に、メモリセルトランジスタが微細化されると（例えば、メモリセルトランジスタのチャネル長が５０ｎｍ程度以下）、隣接セル間干渉が大きくなるため、上述した効果は顕著なものとなる。
【0023】
なお、本実施形態における低酸素濃度部分２２ａの酸素濃度は、典型的には１原子％程度以下である。特に、０．１原子％以下に設定すれば、電荷トラップ密度が高くなりメモリ動作速度が向上するので好ましい。また、高酸素濃度部分２２ｂの酸素濃度は、典型的には１０～５０原子％程度である。ここで、高酸素濃度部分２２ｂの酸素濃度が高すぎると誘電率が低下して、制御ゲート電極２４による半導体基板１１表面の電気的ポテンシャルの制御性が低下する。特に、メモリセル寸法が５０ｎｍ程度以下の場合には、この電気的ポテンシャルの制御性低下はメモリ誤動作の要因となってくるので、１０～３０原子％程度が好ましい。ただし、このメモリ誤動作が回避可能な場合には、酸素濃度を高く設定したほうが蓄積電荷の移動抑制効果が顕著となるので好ましく、窒素をほとんど含有しないシリコン酸化膜でも良い。
【0024】
次に、本実施形態に係る半導体装置の製造方法を、図２～図６を参照して説明する。図２（ａ）～図６（ａ）はチャネル長方向（ビット線方向）に沿った断面図であり、図２（ｂ）～図６（ｂ）はチャネル幅方向（ワード線方向）に沿った断面図である。
【0025】
まず、図２に示すように、半導体基板（シリコン基板）１１上に、トンネル絶縁膜２１として、厚さ５ｎｍ程度のシリコン酸化膜を熱酸化法によって形成する。続いて、トンネル絶縁膜２１上に、電荷蓄積絶縁膜２２として、厚さ５ｎｍ程度のシリコン窒化膜をＣＶＤ（chemical vapor deposition）法で形成する。このシリコン窒化膜中の酸素濃度をＳＩＭＳ（Secondary Ion Mass Spectroscopy）法で分析したところ、０．１原子％程度であった。続いて、電荷蓄積絶縁膜２２上に、電荷ブロック絶縁膜２３として、厚さ３０ｎｍ程度のランタンアルミネート膜をスパッタリング法で形成する。さらに、電荷ブロック絶縁膜２３上に、下層制御ゲート電極膜２４ａとして、多結晶シリコン膜をＣＶＤ法で形成する。
【0026】
次に、図３に示すように、マスク膜３１として、シリコン窒化膜をＣＶＤ法で形成する

。続いて、ビット線方向に延伸したフォトレジストパターン（図示せず）をマスクとして用いて、マスク膜３１、下層制御ゲート電極膜２４ａ、電荷ブロック絶縁膜２３、電荷蓄積絶縁膜２２、トンネル絶縁膜２１及び半導体基板１１をＲＩＥ（reactive ion etching）法によってエッチングする。その結果、ビット線方向に延伸した素子分離溝が形成され、隣接する素子分離溝の間に素子領域（アクティブエリア）１３が形成される。素子分離溝の幅及び素子領域１３の幅はいずれも、５０ｎｍ程度である。続いて、素子分離絶縁膜１２としてシリコン酸化膜を全面に堆積する。続いて、ＣＭＰ（chemical mechanical polishing）法によって素子分離絶縁膜１２を平坦化する。これにより、素子分離溝が素子分離絶縁膜１２で埋められた構造が得られる。

【0027】

次に、図４に示すように、マスク膜３１をウェットエッチングによって選択的に除去すし、下層制御ゲート電極膜２４ａの上面を露出させる。続いて、下層制御ゲート電極膜２４ａ及び素子分離絶縁膜１２上に、上層制御ゲート電極膜２４ｂとして、タングステンシリサイド膜をＣＶＤ法で形成する。

【0028】

次に、図５に示すように、上層制御ゲート電極膜２４ｂ上に、マスク膜２５としてシリコン窒化膜をＣＶＤ法で形成する。続いて、ワード線方向に延伸したフォトレジストパターン（図示せず）をマスクとして用いて、マスク膜２５、上層制御ゲート電極膜２４ｂ及び下層制御ゲート電極膜２４ａをＲＩＥ法によってエッチングする。これにより、制御ゲート電極２４のパターンが形成される。制御ゲート電極２４の電極幅及び制御ゲート電極２４間のスペース幅は、いずれも５０ｎｍ程度である。なお、塩素ガスを用いたＲＩＥによってエッチングを行うと、電荷ブロック絶縁膜（ランタンアルミネート膜）２３をほとんどエッチングすることなく、下層制御ゲート電極膜（多結晶シリコン膜）２４ａをエッチングすることが可能である。

【0029】

次に、図６に示すように、加熱プラズマ酸化法により、隣接する制御ゲート電極２４間の領域から電荷ブロック絶縁膜２３を通して電荷蓄積絶縁膜２２に酸素ラジカルを導入する。具体的には、減圧チャンバー内に図５に示したような構造を有する被処理基板を設置し、被処理基板を４００～８００℃程度に加熱する。そして、酸素ガス或いは酸素含有ガスを減圧チャンバー内に供給する。酸素ガスと希ガスとの混合ガス、或いは酸素含有ガスと希ガスとの混合ガスを減圧チャンバー内に供給してもよい。さらに、高周波やマイクロ波によって上記供給ガスをプラズマ化することで減圧チャンバー内にて酸素ラジカルを生成し、生成された酸素ラジカルを電荷蓄積絶縁膜２２に導入する。このとき、制御ゲート電極２４及びマスク膜２５の積層構造がマスクとして機能するため、制御ゲート電極２４下の領域には酸素ラジカルはほとんど導入されない。その結果、電荷蓄積絶縁膜２２の制御ゲート電極２４下に位置する部分は酸素濃度が０．１原子％程度の低酸素濃度部分２２ａとなり、隣接する低酸素濃度部分２２ａに挟まれた部分は酸素濃度が２０原子％程度の高酸素濃度部分２２ｂとなった。すなわち、高酸素濃度部分２２ｂでは、シリコン窒化膜がシリコン酸窒化膜に変換された。

【0030】

次に、制御ゲート電極２４及びマスク膜２５の積層構造をマスクとして用いて、半導体基板１１の表面領域にヒ素等の不純物元素をイオン注入する。さらに、熱処理を行うことで、図１に示すようなソース領域１４及びドレイン領域１５が形成される。その後、層間絶縁膜２６を形成し、さらに配線（図示せず）等を形成する。このようにして、図１に示すような不揮発性半導体メモリが得られる。

【0031】

以上のように、本実施形態の不揮発性半導体メモリの製造方法では、制御ゲート電極２４をマスクとして用いて酸素ラジカルを電荷蓄積絶縁膜２２に導入し、電荷蓄積絶縁膜２２に高酸素濃度部分２２ｂを形成している。そのため、隣接するメモリセル間の領域に的確に高酸素濃度部分２２ｂを形成することができ、隣接するメモリセル間での電荷の移動

を高酸素濃度部分２２ｂによって的確に抑制することができる。したがって、隣接するメモリセル間での蓄積電荷の移動に起因したメモリセルの誤動作を効果的に防止することができる。

【0032】

また、電荷蓄積絶縁膜２２に高酸素濃度部分２２ｂを形成することにより、隣接するメモリセル間の電荷蓄積絶縁膜２２及び電荷ブロック絶縁膜２３をエッチング除去せずに、隣接するメモリセル間の電荷の移動を防止することができる。すなわち、隣接するメモリセル間の電荷蓄積絶縁膜２２及び電荷ブロック絶縁膜２３をエッチング除去する場合には、トンネル絶縁膜２１及び半導体基板１１もエッチングされてしまい、半導体基板１１の表面領域に窪みが生じるおそれがある。その結果、ソース及びドレイン用の不純物拡散層が低い位置に形成されてしまい、短チャネル効果によるメモリセルトランジスタの閾値低下が生じるおそれがある。特に、電荷蓄積絶縁膜２２や電荷ブロック絶縁膜２３にエッチングし難い材料（例えば、高誘電体膜等）を用いた場合や隣接メモリセルの間隔が５０ｎｍ程度以下と微細になった場合には、上記の問題はより深刻なものとなる。本実施形態では、隣接するメモリセル間の電荷蓄積絶縁膜２２に酸素ラジカルを導入して高酸素濃度部分２２ｂを形成し、高酸素濃度部分２２ｂによって隣接するメモリセル間の電荷の移動を防止するため、上述したような問題を確実に回避することが可能である。

【0033】

また、本実施形態では、プラズマによって生成された酸素ラジカルを用いて、電荷蓄積絶縁膜２２に高酸素濃度部分２２ｂを形成している。この場合、酸素ラジカルの運動エネルギーは１～１００ｅＶ程度と低い。そのため、半導体基板１１の表面領域の結晶性劣化や、トンネル絶縁膜２１の絶縁性の劣化を効果的に回避することができる。また、酸素ラジカルの運動エネルギー及び熱拡散によって、酸素ラジカルが電荷蓄積絶縁膜２２に到達するため、電荷蓄積絶縁膜２２に導入された酸素ラジカルの深さ方向の分布を十分に制御することが可能である。そのため、酸素ラジカルによる半導体基板１１の表面領域の酸化を防止することができ、メモリセルトランジスタの閾値変動を効果的に抑制することができる。

【0034】

なお、プラズマ酸化法を用いて電荷蓄積絶縁膜２２に酸素を導入する代わりに、イオン注入法によって電荷蓄積絶縁膜２２に酸素を導入することも可能である。ただし、イオン注入法を用いた場合、酸素イオンのエネルギーが１ｋｅＶ以上と高くなる。したがって、半導体基板の表面領域の結晶性劣化、トンネル絶縁膜の絶縁性の劣化、半導体基板１１の表面領域の酸化等の問題を効果的に防止する観点から、プラズマ酸化法を用いて酸素ラジカルを電荷蓄積絶縁膜２２に導入することが望ましい。また、１００ｅＶ程度以下のエネルギーを有する酸素ラジカルを電荷蓄積絶縁膜２２に導入することができれば、他の方法を用いるようにしてもよい。例えば、反応チャンバーの外部で発生させた酸素ラジカルを導入する、いわゆるリモートプラズマ法を用いることもできる。

【0035】

また、酸素ラジカルは、基底状態又は励起状態の酸素原子でもよいし、励起状態の酸素分子でもよい。ただし、酸素分子の場合には分子解離過程を伴うことになるため、酸化効率の観点からは酸素原子が望ましい。

【0036】

また、本実施形態では、酸素ラジカルを電荷蓄積絶縁膜２２に導入する際に加熱を行うようにしたが、加熱を行わないようにしてもよい。ただし、電荷ブロック絶縁膜２３に高誘電体絶縁膜を用いる場合など、電荷ブロック絶縁膜２３の物理膜厚が厚い場合には、酸素ラジカルが電荷蓄積絶縁膜２２に到達し難くなる。したがって、このような場合には、加熱を行うようすることが望ましい。加熱温度は必要な拡散長に応じて設定すればよい。電荷ブロック絶縁膜２３の膜厚が５～３０ｎｍ程度の場合には、加熱温度を４００～８００℃程度に設定すればよい。

【0037】

また、酸素ラジカルを電荷蓄積絶縁膜２２に導入する際に、半導体基板に１０～１００Ｖ程度のバイアス電圧を印加するようにしてもよい。このようにバイアスを印加することにより、電荷蓄積絶縁膜２２への酸素導入量を増大させることができ、シリコン窒化膜からシリコン酸窒化膜への変換をより効率的に行うことが可能である。特に、電荷ブロック絶縁膜２３に高誘電体絶縁膜を用いた場合など、電荷ブロック絶縁膜２３の物理膜厚が厚い場合に効果的である。通常は酸素プラズマ中の酸素ラジカルは正に帯電しているため、半導体基板には負のバイアス電圧を印加することが好ましい。また、バイアスを印加することにより酸素ラジカルの指向性が向上するため、制御ゲート電極２４の側壁への酸素ラジカルの供給量を抑制することができる。したがって、制御ゲート電極２４に多結晶シリコン膜等の酸化されやすい材料が含まれている場合には、側壁の酸化量が低減するため、制御ゲート電極２４の寸法制御性を向上させることができる。

【0038】

また、酸素ラジカルの飛程は、電荷ブロック絶縁膜２３の膜厚よりも大きく、電荷蓄積絶縁膜２２の膜厚と電荷ブロック絶縁膜２３の膜厚との和よりも小さいことが望ましい。電荷蓄積絶縁膜２２及び電荷ブロック絶縁膜２３の膜厚や、半導体基板へのバイアス電圧を調整することで、適切な飛程を設定することが可能である。ただし、酸素ラジカルによって電荷蓄積絶縁膜２２を適切に酸化することができれば、飛程が上述した範囲になくてもよい。

【0039】

また、上述した実施形態では、電荷蓄積絶縁膜２２に微量の酸素を含有するシリコン窒化膜を用いたが、シリコン窒化膜には炭素或いは水素といった他の元素が含有されていてもよい。また、電荷蓄積絶縁膜２２にはシリコン窒化膜以外の絶縁膜を用いることも可能である。具体的には、酸素欠損に起因した電荷トラップ準位を有する絶縁膜であって、酸化によって電荷トラップ準位密度が減少する絶縁膜を用いることが可能である。例えば、タンタル（Ｔａ）酸化物膜、ハフニウム（Ｈｆ）酸化物膜、ジルコニウム（Ｚｒ）酸化物膜等の高誘電体酸化物膜を用いることが可能である。

【0040】

また、上述した実施形態では、電荷ブロック絶縁膜２３にランタンアルミネート膜を用いたが、アルミナ膜やシリコン酸化膜等を用いることも可能である。

【0041】

また、上述した実施形態では、電荷蓄積絶縁膜２２に酸素ラジカルを導入してシリコン窒化膜をシリコン酸窒化膜に変換するようにしたが、シリコン窒化膜に十分に酸素ラジカルを導入することで、シリコン窒化膜を実質的にシリコン酸化膜に変換するようにしてもよい。また、上記シリコン酸窒化膜やシリコン酸化膜には、炭素や水素等の元素が含有されていてもよい。

【0042】

また、上述した実施形態では、電荷蓄積絶縁膜２２に酸素ラジカルを導入してシリコン窒化膜をシリコン酸窒化膜に変換した後にイオン注入法でソース領域１４及びドレイン領域１５を形成しているが、ソース領域１４及びドレイン領域１５を形成した後に酸素ラジカルを導入してシリコン窒化膜をシリコン酸窒化膜に変換しても良い。注入イオンは電荷ブロック絶縁膜２３、電荷蓄積絶縁膜２２及びトンネル絶縁膜２１を通してシリコン基板１１に導入されるため、電荷蓄積絶縁膜２２の高酸素濃度部分２２ｂは、物理的ダメージおよびコンタミネーションによる絶縁性劣化が生じる場合がある。この場合には、イオン注入後に酸素ラジカルによるシリコン酸窒化膜変換を行うことで、この絶縁性劣化を緩和できるので、蓄積電荷の隣接セル方向への移動を効果的に抑制することが可能となる。

【0043】

また、上述した実施形態では、電荷蓄積絶縁膜２２の高酸素濃度部分２２ｂの幅は、隣接する制御ゲート電極２４間のスペース幅と同等であったが、必ずしもスペース幅と同等である必要はない。図７に示すように、高酸素濃度部分２２ｂの幅が制御ゲート電極２４間のスペース幅より短くてもよい。この場合には、メモリセルの電荷蓄積量を十分に確保

できるので、メモリセルのしきい値ウィンドウを拡大することが可能である。また、図８に示すように、高酸素濃度部分２２ｂの幅が制御ゲート電極２４間のスペース幅より長くてもよい。この場合には、隣接するメモリセル間の電荷移動をより確実に抑制できるので、メモリセルの信頼性を向上させることが可能である。また、電荷蓄積絶縁膜２２の低酸素濃度部分２２ａと高酸素濃度部分２２ｂとは、明確に分離されていなくてもよい。例えば、チャネル長方向で、電荷蓄積絶縁膜２２の窒素組成比（或いは酸素組成比）が連続的に変化していてもよい。すなわち、図９に示すように、電荷蓄積絶縁膜２２の窒素組成比がメモリセル領域で高く、メモリセル間領域で低くなるように設定されていれば、上述した実施形態と同様の効果を得ることが可能である。

【0044】

また、上述した実施形態では、図１（ｂ）に示すように、素子分離領域１２によって電荷ブロック絶縁膜２３が分断されていたが、図１０に示すように、素子分離領域１２によって電荷蓄積絶縁膜２２が分断されていれば、電荷ブロック絶縁膜２３が分断されていない構造であってもよい。このような構造であっても、上述した実施形態と同様の効果を得ることが可能である。ただし、電荷ブロック絶縁膜２３を伝った電荷移動が回避できる点では、図１（ｂ）のセル構造が望ましい。

【0045】

また、上述した実施形態では、半導体基板１１として通常のシリコン基板を用いたが、ＳＯＩ基板を用いてもよい。図１１は、半導体基板としてＳＯＩ基板を用いた場合の構成を模式的に示した断面図である。シリコン基板４２、絶縁層４３及びシリコン層４４によってＳＯＩ基板（半導体基板）４１が構成されており、シリコン層４４上に図１と同様の構造が形成されている。

【0046】

図１１に示したメモリセルトランジスタはデプレッション型であり、シリコン層４４にはソース及びドレイン用の不純物拡散層は形成されていない。そのため、ソース及びドレイン用の不純物元素をイオン注入する必要がない。ソース及びドレイン用の不純物拡散層を形成する場合には、電荷ブロック絶縁膜２３、電荷蓄積絶縁膜２２及びトンネル絶縁膜２１を通してシリコン層４４に不純物元素をイオン注入する必要があるため、物理的ダメージおよびコンタミネーションによって、これらの絶縁膜の絶縁性が劣化する。この絶縁性劣化は、蓄積電荷の隣接セル方向への移動を助長する要因となる。図１１に示したデプレッション型のメモリセルトランジスタでは、ソース及びドレイン用の不純物拡散層を形成する必要がないため、上述したような電荷移動の助長要因は無く、本実施形態の効果を十分に得ることができてメモリの高信頼化実現が可能となる。

【0047】

また、上述した製造方法において、図５の工程の後に、電荷ブロック絶縁膜２３の表面領域に窪みを形成するようにしてもよい。図１２及び図１３は、電荷ブロック絶縁膜２３の表面領域に窪みを形成する場合の製造工程の一部を模式的に示した断面図である。すなわち、図５の工程の後、図１２に示すように、電荷ブロック絶縁膜２３の露出表面を選択的にエッチングし、電荷ブロック絶縁膜２３に窪み２３ａを形成する。その後、図１３に示すように、図６の工程と同様にして、電荷蓄積絶縁膜２２に酸素ラジカルを導入し、電荷蓄積絶縁膜２２に高酸素濃度部分２２ｂを形成する。

【0048】

このように、電荷ブロック絶縁膜２３に窪み２３ａを形成しておくことで、酸素ラジカルの飛程を短くすることができる。その結果、酸素ラジカルの深さ方向の分布制御が容易になり、電荷蓄積絶縁膜２２に十分な量の酸素ラジカルを容易に導入することが可能となる。また、半導体基板にバイアス電圧を印加する場合に、バイアス電圧を低くすることが可能である。その結果、電荷ブロック絶縁膜２３、電荷蓄積絶縁膜２２、トンネル絶縁膜２１及び半導体基板１１への物理的ダメージを低減することができ、半導体基板の結晶性劣化や絶縁膜の絶縁性の劣化を効果的に回避することが可能となる。

【0049】

Sandisk Technologies, Inc. - Ex. 1002, Page 000893

なお、言うまでもないが、上述した各種の変更は適宜組み合わせて実施することが可能である。

【0050】

（実施形態２）

次に、本発明の第２の実施形態について説明する。なお、基本的な構成及び基本的な製造方法は第１の実施形態と同様である。また、第１の実施形態で説明した各種の変更についても、本実施形態に対して同様に適用可能である。したがって、第１の実施形態で説明した事項及び第１の実施形態から容易に類推できる事項についての説明は省略する。

【0051】

図１４は、本実施形態に係る半導体装置の構成を模式的に示した断面図である。図１４（ａ）はチャネル長方向（ビット線方向）に沿った断面図であり、図１４（ｂ）はチャネル幅方向（ワード線方向）に沿った断面図である。

【0052】

本実施形態では、電荷蓄積絶縁膜２２が、少なくとも２つの互いに離隔された低フッ素濃度部分２２ｃと、隣接する低フッ素濃度部分２２ｃ間に位置する高フッ素濃度部分２２ｄとを含んでいる。高フッ素濃度部分２２ｄは、低フッ素濃度部分２２ｃよりも高いフッ素濃度を有している。具体的には、低フッ素濃度部分２２ｃはフッ素をほとんど含有しないシリコン窒化膜であり、高フッ素濃度部分２２ｄは高濃度のフッ素を含有したシリコン窒化膜である。電荷蓄積絶縁膜２２に含有されたフッ素は、電荷トラップ準位となる未結合手（ダングリングボンド）を終端する。そのため、高フッ素濃度部分２２ｄのトラップ準位密度は、低フッ素濃度部分２２ｃのトラップ準位密度よりも低くなっている。

【0053】

このように、本実施形態の不揮発性半導体メモリでは、電荷蓄積絶縁膜２２の低フッ素濃度部分２２ｃ間に高フッ素濃度部分２２ｄが形成されている。すなわち、隣接するメモリセル間の領域に、トラップ準位密度が低い高フッ素濃度部分２２ｄが形成されている。したがって、第１の実施形態と同様に、隣接するメモリセル間での蓄積電荷の移動を、高フッ素濃度部分２２ｄによって抑制することができる。その結果、蓄積電荷の移動に起因したメモリセルの誤動作を防止することができ、特性及び信頼性に優れた不揮発性半導体メモリが得られる。

【0054】

また、本実施形態の不揮発性半導体メモリも、第１の実施形態と同様、隣接するメモリセル間の領域にも電荷ブロック絶縁膜２３が形成されている。したがって、第１の実施形態と同様、制御ゲート電極２４による半導体基板１１表面の電気的ポテンシャルの制御性を向上させることができる。その結果、隣接セル間干渉を抑制することができ、メモリセルトランジスタの閾値変動に起因する誤動作を防止することができる。

【0055】

なお、本実施例における低フッ素濃度部分２２ｃのフッ素濃度は、典型的には０．１原子％程度以下である。また、高フッ素濃度部分２２ｄのフッ素濃度は、典型的には１～１０原子％程度である。ここで、高フッ素濃度部分２２ｄのフッ素濃度が１０原子％を超えると、膜密度の低下に起因する絶縁性劣化、および誘電率の低下に起因するメモリ誤動作が無視できなくなるので、１０原子％程度を超えないことが好ましい。

【0056】

本実施形態に係る半導体装置の基本的な製造方法は、第１の実施形態の図２～図６の工程と同様である。本実施形態では、図６の工程で、酸素ラジカルの代わりにフッ素ラジカルを電荷蓄積絶縁膜２２に導入する。すなわち、隣接する制御ゲート電極２４間の領域から電荷ブロック絶縁膜２３を通して電荷蓄積絶縁膜２２にフッ素ラジカルを導入する。フッ素ラジカルの基本的な導入方法は、第１の実施形態で述べた酸素ラジカルの導入方法と同様である。具体的には、減圧チャンバー内に図５に示したような構造を有する被処理基板を設置し、フッ素ガス或いはフッ素含有ガス（例えば、三フッ化窒素）を減圧チャンバー内に供給する。フッ素ガスと希ガスとの混合ガス、或いはフッ素含有ガスと希ガスとの

Sandisk Technologies, Inc. - Ex. 1002, Page 000894

混合ガスを減圧チャンバー内に供給してもよい。さらに、高周波やマイクロ波によって上記供給ガスをプラズマ化することで減圧チャンバー内にてフッ素ラジカルを生成し、生成されたフッ素ラジカルを電荷蓄積絶縁膜２２に導入する。このとき、制御ゲート電極２４及びマスク膜２５の積層構造がマスクとして機能するため、制御ゲート電極２４下の領域にはフッ素ラジカルはほとんど導入されない。その結果、図１４に示すように、電荷蓄積絶縁膜２２の制御ゲート電極２４下に位置する部分は低フッ素濃度部分２２ｃとなり、隣接する低フッ素濃度部分２２ｃに挟まれた部分は高フッ素濃度部分２２ｄとなる。

【0057】

このように、本実施形態の不揮発性半導体メモリの製造方法では、制御ゲート電極２４をマスクとして用いてフッ素ラジカルを電荷蓄積絶縁膜２２に導入し、電荷蓄積絶縁膜２２に高フッ素濃度部分２２ｄを形成している。そのため、隣接するメモリセル間の領域に的確に高フッ素濃度部分２２ｄを形成することができ、隣接するメモリセル間での電荷の移動を高フッ素濃度部分２２ｄによって的確に抑制することができる。したがって、第１の実施形態と同様、隣接するメモリセル間での蓄積電荷の移動を効果的に抑制することができ、メモリセルの誤動作を効果的に防止することができる。

【0058】

また、電荷蓄積絶縁膜２２に高フッ素濃度部分２２ｄを形成することにより、隣接するメモリセル間の電荷蓄積絶縁膜２２及び電荷ブロック絶縁膜２３をエッチング除去せずに、隣接するメモリセル間の電荷の移動を防止することができる。したがって、第１の実施形態と同様、半導体基板１１の表面領域がエッチングされて窪みが生じるといった問題を確実に回避することができる。

【0059】

また、本実施形態では、プラズマによって生成されたフッ素ラジカルを用いて、電荷蓄積絶縁膜２２に高フッ素濃度部分２２ｄを形成している。フッ素ラジカルの運動エネルギーは１～１００ｅＶ程度と低い。そのため、第１の実施形態と同様、半導体基板１１の表面領域の結晶性劣化や、トンネル絶縁膜２１の絶縁性の劣化を効果的に回避することができる。

【0060】

また、本実施形態では、酸素ラジカルではなくフッ素ラジカルを電荷蓄積絶縁膜２２に導入するので、半導体基板１１の表面領域が酸化されるという問題がない。そのため、多量のフッ素ラジカルを半導体基板１１の表面近傍まで導入することができ、電荷蓄積絶縁膜２２の電荷トラップ準位を効果的に低減することが可能である。

【0061】

なお、上述した実施形態では、電荷蓄積絶縁膜２２にシリコン窒化膜を用いたが、他の絶縁膜を用いることも可能である。具体的には、ダングリングボンドを電荷トラップ準位として用いる絶縁膜であって、フッ素ラジカルの導入によって電荷トラップ準位密度が減少する絶縁膜を用いることが可能である。例えば、タンタル（Ｔａ）酸化物膜、ハフニウム（Ｈｆ）酸化物膜、ジルコニウム（Ｚｒ）酸化物膜等の高誘電体酸化物膜を用いることが可能である。

【0062】

また、上述した製造方法において、電荷蓄積絶縁膜２２にフッ素ラジカルを導入した後、８００℃程度以上の温度で高温アニールを行うようにしてもよい。高温アニールを行うことにより、ダングリングボンドを容易に終端させることができ、電荷トラップ準位密度をより確実に減少させることができる。

【0063】

（実施形態３）

次に、本発明の第３の実施形態について説明する。なお、基本的な構成及び基本的な製造方法は第１の実施形態と同様である。また、第１の実施形態で説明した各種の変更についても、本実施形態に対して同様に適用可能である。したがって、第１の実施形態で説明した事項及び第１の実施形態から容易に類推できる事項についての説明は省略する。

Sandisk Technologies, Inc. - Ex. 1002, Page 000895

【0064】
図１５は、本実施形態に係る半導体装置の構成を模式的に示した断面図である。図１５（ａ）はチャネル長方向（ビット線方向）に沿った断面図であり、図１５（ｂ）はチャネル幅方向（ワード線方向）に沿った断面図である。
【0065】
本実施形態では、電荷蓄積絶縁膜２２が、少なくとも２つの互いに離隔された低酸素濃度部分２２ｅと、隣接する低酸素濃度部分２２ｅ間に位置する高酸素濃度部分２２ｆとを含んでいる。高酸素濃度部分２２ｆは、低酸素濃度部分２２ｅよりも高い酸素濃度を有している。また、高酸素濃度部分２２ｆは、低酸素濃度部分２２ｅよりも高いボロン濃度を有している。具体的には、低酸素濃度部分２２ｅは酸素及びボロン（Ｂ）をほとんど含有しないシリコン窒化膜であり、高酸素濃度部分２２ｆは高濃度のボロンを含有したシリコン酸窒化膜である。高酸素濃度部分２２ｆのトラップ準位密度は、低酸素濃度部分２２ｅのトラップ準位密度よりも低くなっている。
【0066】
このように、本実施形態の不揮発性半導体メモリでは、電荷蓄積絶縁膜２２の低酸素濃度部分２２ｅ間に高酸素濃度部分２２ｆが形成されている。すなわち、隣接するメモリセル間の領域に、トラップ準位密度が低い高酸素濃度部分２２ｆが形成されている。したがって、第１の実施形態と同様に、隣接するメモリセル間での蓄積電荷の移動を、高酸素濃度部分２２ｆによって抑制することができる。その結果、蓄積電荷の移動に起因したメモリセルの誤動作を防止することができ、特性及び信頼性に優れた不揮発性半導体メモリが得られる。
【0067】
また、本実施形態の不揮発性半導体メモリも、第１の実施形態と同様、隣接するメモリセル間の領域にも電荷ブロック絶縁膜２３が形成されている。したがって、第１の実施形態と同様、制御ゲート電極２４による半導体基板１１表面の電気的ポテンシャルの制御性を向上させることができる。その結果、隣接セル間干渉を抑制することができ、メモリセルトランジスタの閾値変動に起因する誤動作を防止することができる。
【0068】
本実施形態に係る半導体装置の基本的な製造方法は、第１の実施形態の図２～図６の工程と同様である。本実施形態では、図６の工程で、酸素ラジカルを電荷蓄積絶縁膜２２に導入する前に、ボロンを電荷蓄積絶縁膜２２に導入しておく。具体的には、まず、隣接する制御ゲート電極２４間の領域から電荷ブロック絶縁膜２３を通して電荷蓄積絶縁膜２２にボロンを導入する。ボロンの導入方法には、ボロンプラズマ法、イオン注入法、気相拡散法或いは固相拡散法等を用いることができる。ボロンを導入した後、隣接する制御ゲート電極２４間の領域から電荷ブロック絶縁膜２３を通して電荷蓄積絶縁膜２２に酸素ラジカルを導入する。酸素ラジカルの基本的な導入方法は、第１の実施形態で述べた酸素ラジカルの導入方法と同様である。
【0069】
ボロンを電荷蓄積絶縁膜２２に予め導入しておくことにより、酸素ラジカルによる電荷蓄積絶縁膜２２の酸化効率、すなわちシリコン窒化膜からシリコン酸窒化膜への変換効率を向上させることができる。なお、電荷蓄積絶縁膜２２に導入されたボロンの濃度が０．１原子％程度以上であれば、ボロン導入による酸化効率（シリコン窒化膜からシリコン酸窒化膜への変換効率）の向上効果を確実に得ることができる。また、ボロン濃度が１原子％程度以上であれば、ボロン導入による酸化効率の向上効果が顕著になる。ただし、電荷蓄積絶縁膜２２に導入されたボロンの濃度が３０原子％程度以上になると、電荷蓄積絶縁膜２２の膜質が劣化してしまうため、ボロン濃度は３０原子％程度以下であることが好ましい。
【0070】
このように、本実施形態の不揮発性半導体メモリの製造方法では、制御ゲート電極２４をマスクとして用いて、ボロン及び酸素ラジカルを電荷蓄積絶縁膜２２に導入し、電荷蓄

積絶縁膜２２に高酸素濃度部分２２ｆを形成している。そのため、隣接するメモリセル間の領域に的確に高酸素濃度部分２２ｆを形成することができ、隣接するメモリセル間での電荷の移動を高酸素濃度部分２２ｆによって的確に抑制することができる。したがって、第１の実施形態と同様、隣接するメモリセル間での蓄積電荷の移動を効果的に抑制することができ、メモリセルの誤動作を効果的に防止することができる。

【0071】

また、電荷蓄積絶縁膜２２に高酸素濃度部分２２ｆを形成することにより、隣接するメモリセル間の電荷蓄積絶縁膜２２及び電荷ブロック絶縁膜２３をエッチング除去せずに、隣接するメモリセル間の電荷の移動を防止することができる。したがって、第１の実施形態と同様、半導体基板１１の表面領域がエッチングされて窪みが生じるといった問題を確実に回避することができる。

【0072】

また、ボロンを電荷蓄積絶縁膜２２に予め導入しておくことにより、酸素ラジカルによる電荷蓄積絶縁膜２２の酸化効率を向上させることができる。したがって、電荷蓄積絶縁膜２２の電荷トラップ準位密度をより確実に低減させることができ、隣接するメモリセル間での蓄積電荷の移動をより確実に抑制することができる。

【0073】

なお、本実施形態では、酸化効率を向上させるボロンを予め電荷蓄積絶縁膜２２に導入しておくため、プラズマ酸化法以外の方法で電荷蓄積絶縁膜２２に酸素を導入してもよい。例えば、イオン注入法によって電荷蓄積絶縁膜２２に酸素を導入してもよい。また、水蒸気等の酸化剤を電荷蓄積絶縁膜２２に導入して熱酸化を行うようにしてもよい。これらの酸化方法を用いた場合にも、ボロンの酸化効率向上効果によって隣接するメモリセル間の領域を選択的に酸化することができるので、上述したメモリセル構造を容易に実現することが可能である。

【0074】

上述した実施形態では、隣接するメモリセル間の領域の電荷蓄積絶縁膜に選択的にボロンを導入し、さらに選択的に酸化剤を導入する場合を説明したが、これに限らない。例えば、トンネル絶縁膜上の全面に電荷蓄積絶縁膜を形成する際に同時に電荷蓄積膜中にボロンを含有させておく、あるいは、トンネル絶縁膜上の全面に電荷蓄積絶縁膜を形成した後に電荷蓄積絶縁膜の全面にボロンを導入することもできる。そして、制御ゲート電極のパターン形成後に、隣接するメモリセル間の領域に選択的に酸素ラジカルを導入すれば、ボロンの酸化効率向上効果によって、容易に高酸素濃度部分２２ｆを形成することが可能となる。

【0075】

（実施形態４）

次に、本発明の第４の実施形態について説明する。なお、基本的な構成及び基本的な製造方法は第１の実施形態と同様である。また、第１の実施形態で説明した各種の変更についても、本実施形態に対して同様に適用可能である。したがって、第１の実施形態で説明した事項及び第１の実施形態から容易に類推できる事項についての説明は省略する。

【0076】

図１６は、本実施形態に係る半導体装置の構成を模式的に示した断面図である。図１６（ａ）はチャネル長方向（ビット線方向）に沿った断面図であり、図１６（ｂ）はチャネル幅方向（ワード線方向）に沿った断面図である。

【0077】

半導体基板（シリコン基板）１１には、素子分離領域（素子分離絶縁膜）１２で挟まれた素子領域（アクティブエリア）１３が設けられている。素子領域１３は、ソース領域１４と、ドレイン領域１５と、ソース領域１４とドレイン領域１５との間のチャネル領域１６とを有している。

【0078】

素子領域１３上には、トンネル絶縁膜２１が形成されている。このトンネル絶縁膜２１

は、下層シリコン酸化膜（下層絶縁膜）２１１、中間シリコン窒化膜（中間絶縁膜）２１２及び上層シリコン酸化膜（上層絶縁膜）２１３で構成された、いわゆるＯＮＯ構造を有している。このＯＮＯ構造のトンネル絶縁膜は、電荷トラップ型の不揮発性メモリセルの消去速度を向上させる効果を有していることが知られている。中間シリコン窒化膜２１２は、少なくとも２つの互いに離隔された低酸素濃度部分２１２ａと、隣接する低酸素濃度部分２１２ａ間に位置する高酸素濃度部分２１２ｂとを含んでいる。高酸素濃度部分２１２ｂは、低酸素濃度部分２１２ａよりも高い酸素濃度を有している。具体的には、低酸素濃度部分２１２ａは酸素を微量に含有するシリコン窒化膜であり、高酸素濃度部分２１２ｂは酸素を多量に含有するシリコン酸窒化膜である。そのため、高酸素濃度部分２１２ｂのトラップ準位密度は、低酸素濃度部分２１２ａのトラップ準位密度よりも低くなっている。

【0079】

トンネル絶縁膜２１上であって且つシリコン窒化膜２１２の低酸素濃度部分２１２ａの上方には、ハフニウム酸化膜からなる電荷蓄積絶縁膜２２が形成されている。電荷蓄積絶縁膜２２上には、アルミナ膜からなる電荷ブロック絶縁膜２３が形成されている。電荷ブロック絶縁膜２３上には、制御ゲート電極２４が形成されている。すなわち、シリコン窒化膜２１２の低酸素濃度部分２１２ａの上方に、制御ゲート電極２４が形成されている。この制御ゲート電極２４は、ワード線となるものであり、多結晶シリコン膜で形成された下層制御ゲート電極膜及びタングステンシリサイド膜で形成された上層制御ゲート電極膜で構成されている。制御ゲート電極２４上には、マスク膜２５が形成されている。上述したトンネル絶縁膜２１、電荷蓄積膜２２、電荷ブロック絶縁膜２３、制御ゲート電極２４及びマスク膜２５は、層間絶縁膜２６によって覆われている。

【0080】

以上のように、本実施形態の不揮発性半導体メモリでは、トンネル絶縁膜２１の中間シリコン窒化膜２１２の低酸素濃度部分２１２ａ間に高酸素濃度部分２１２ｂが形成されている。すなわち、隣接するメモリセル間の領域に、中間シリコン窒化膜２１２の高酸素濃度部分２１２ｂが形成されている。高酸素濃度部分２１２ｂは低酸素濃度部分２１２ａよりもトラップ準位密度が低い。そのため、メモリセルの書込み／消去動作時に中間シリコン窒化膜２１２の低酸素濃度部分２１２ａに電荷がトラップされても、隣接する低酸素濃度部分２１２ａ間での電荷の移動を高酸素濃度部分２１２ｂによって抑制することができる。すなわち、隣接するメモリセル間での電荷の移動を抑制することができる。その結果、電荷の移動に起因したメモリセルの誤動作を防止することができ、特性及び信頼性に優れた不揮発性半導体メモリが得られる。

【0081】

なお、低酸素濃度部分２１２ａの酸素濃度は、典型的には１０原子％程度以下である。これにより、メモリセルの消去速度向上効果が十分に得られる。また、高酸素濃度部分２１２ｂの酸素濃度は、典型的には１０～５０原子％程度である。高酸素濃度部分２１２ｂは、酸素濃度を高く設定した方がトラップ電荷の移動抑制効果が顕著となるので好ましく、窒素をほとんど含有しないシリコン酸化膜であることがより望ましい。

【0082】

本実施形態に係る半導体装置の基本的な製造方法は、第１の実施形態の図２～図６の工程から容易に類推することができる。すなわち、制御ゲート電極２４、電荷ブロック絶縁膜２３及び電荷蓄積絶縁膜２２のパターンを形成した後、隣接する制御ゲート電極２４間の領域から上層シリコン酸化膜２１３を介して、中間シリコン窒化膜２１２に酸素ラジカルを導入する。酸素ラジカルの基本的な導入方法は、第１の実施形態と同様である。その結果、図１６に示すように、中間シリコン窒化膜２１２の制御ゲート電極２４下に位置する部分は低酸素濃度部分２１２ａとなり、隣接する低酸素濃度部分２１２ａに挟まれた部分は高酸素濃度部分２１２ｂとなる。

【0083】

このように、本実施形態の不揮発性半導体メモリの製造方法では、制御ゲート電極２４

をマスクとして用いて酸素ラジカルをトンネル絶縁膜２１の中間シリコン窒化膜２１２に導入し、中間シリコン窒化膜２１２に高酸素濃度部分２１２ｂを形成している。そのため、隣接するメモリセル間の領域に的確に高酸素濃度部分２１２ｂを形成することができ、隣接するメモリセル間での電荷の移動を高酸素濃度部分２１２ｂによって的確に抑制することができる。したがって、隣接するメモリセル間での電荷の移動を効果的に抑制することができ、メモリセルの誤動作を効果的に防止することができる。

【0084】

また、トンネル絶縁膜２１の中間シリコン窒化膜２１２に高酸素濃度部分２１２ｂを形成することにより、隣接するメモリセル間のトンネル絶縁膜２１をエッチング除去せずに、隣接するメモリセル間の電荷の移動を防止することができる。したがって、第１の実施形態と同様、半導体基板１１の表面領域がエッチングされて窪みが生じるといった問題を確実に回避することができる。

【0085】

また、本実施形態では、プラズマによって生成された酸素ラジカルを用いて、トンネル絶縁膜２１の中間シリコン窒化膜２１２に高酸素濃度部分２１２ｂを形成している。そのため、第１の実施形態と同様、半導体基板１１の表面領域の結晶性の劣化等を効果的に回避することが可能である。

【0086】

なお、本実施形態と第１の実施形態とを組み合わせることも可能である。すなわち、図６の工程において、制御ゲート電極２４及びマスク膜２５の積層構造をマスクとして用いて、隣接する制御ゲート電極２４間の領域から電荷ブロック絶縁膜２３を通して電荷蓄積絶縁膜２２に酸素ラジカルを導入し、且つ、隣接する制御ゲート電極２４間の領域から電荷ブロック絶縁膜２３及び電荷蓄積絶縁膜２２を通してトンネル絶縁膜２１の中間シリコン窒化膜２１２に酸素ラジカルを導入する。これにより、電荷蓄積絶縁膜２２には、第１の実施形態と同様に、低酸素濃度部分２２ａ及び高酸素濃度部分２２ｂが形成され、トンネル絶縁膜２１の中間シリコン窒化膜２１２には、本第４の実施形態と同様に、低酸素濃度部分２１２ａ及び高酸素濃度部分２１２ｂが形成される。

【0087】

また、上述した実施形態では、トンネル絶縁膜２１の下層絶縁膜２１１、中間絶縁膜２１２及び上層絶縁膜２１３にそれぞれ、シリコン酸化膜、シリコン窒化膜及びシリコン酸化膜を用いたが、他の絶縁膜を用いてもよい。一般的には、下層絶縁膜２１１及び上層絶縁膜２１３には電荷トラップ準位密度が低い絶縁膜を用い、中間絶縁膜２１２には下層絶縁膜２１１及び上層絶縁膜２１３よりも電荷トラップ準位密度が高い絶縁膜を用いることが可能である。より具体的には、中間絶縁膜２１２には、酸素欠損に起因した電荷トラップ準位を有する絶縁膜であって、酸化によって電荷トラップ準位密度が減少する絶縁膜を用いることが可能である。

【0088】

（実施形態５）

次に、本発明の第５の実施形態について説明する。なお、基本的な構成及び基本的な製造方法は主として第４の実施形態と同様である。また、第１及び第２の実施形態等で説明した基本的な事項についても本実施形態に対して適用可能である。さらに、第１の実施形態で説明した各種の変更についても、本実施形態に対して同様に適用可能である。したがって、上述した各実施形態で説明した事項及び上述した各実施形態から容易に類推できる事項についての説明は省略する。

【0089】

図１７は、本実施形態に係る半導体装置の構成を模式的に示した断面図である。図１７（ａ）はチャネル長方向（ビット線方向）に沿った断面図であり、図１７（ｂ）はチャネル幅方向（ワード線方向）に沿った断面図である。

【0090】

本実施形態も、第４の実施形態と同様に、トンネル絶縁膜２１が、下層シリコン酸化膜

（下層絶縁膜）２１１、中間シリコン窒化膜（中間絶縁膜）２１２及び上層シリコン酸化膜（上層絶縁膜）２１３で構成された、いわゆるＯＮＯ構造を有している。中間シリコン窒化膜２１２は、少なくとも２つの互いに離隔された低フッ素濃度部分２１２ｃと、隣接する低フッ素濃度部分２１２ｃ間に位置する高フッ素濃度部分２１２ｄとを含んでいる。高フッ素濃度部分２１２ｄは、低フッ素濃度部分２１２ｃよりも高いフッ素濃度を有している。具体的には、低フッ素濃度部分２１２ｃはフッ素をほとんど含有しないシリコン窒化膜であり、高フッ素濃度部分２１２ｄは高濃度のフッ素を含有したシリコン窒化膜である。トンネル絶縁膜２１の中間シリコン窒化膜２１２に含有されたフッ素は、電荷トラップ準位となる未結合手（ダングリングボンド）を終端する。そのため、高フッ素濃度部分２１２ｄのトラップ準位密度は、低フッ素濃度部分２１２ｃのトラップ準位密度よりも低くなっている。

【0091】

このように、本実施形態の不揮発性半導体メモリでは、トンネル絶縁膜２１の中間シリコン窒化膜２１２の低フッ素濃度部分２１２ｃ間に高フッ素濃度部分２１２ｄが形成されている。すなわち、隣接するメモリセル間の領域に、中間シリコン窒化膜２１２の高フッ素濃度部分２１２ｄが形成されている。高フッ素濃度部分２１２ｄは低フッ素濃度部分２１２ｃよりもトラップ準位密度が低い。そのため、メモリセルの書込み／消去動作時に中間シリコン窒化膜２１２の低フッ素濃度部分２１２ｃに電荷がトラップされても、隣接する低フッ素濃度部分２１２ｃ間での電荷の移動を高フッ素濃度部分２１２ｄによって抑制することができる。すなわち、隣接するメモリセル間での電荷の移動を抑制することができる。その結果、電荷の移動に起因したメモリセルの誤動作を防止することができ、特性及び信頼性に優れた不揮発性半導体メモリが得られる。

【0092】

なお、低フッ素濃度部分２１２ｃのフッ素濃度は、典型的には０．１原子％程度以下である。また、高フッ素濃度部分２１２ｄのフッ素濃度は、典型的には１～１０原子％程度である。ここで、高フッ素濃度部分２２ｄのフッ素濃度が１０原子％を超えると、膜密度の低下に起因する絶縁性劣化が無視できなくなるので、１０原子％程度を超えないことが好ましい。

【0093】

本実施形態に係る半導体装置の基本的な製造方法は、第１の実施形態の図２～図６の工程から容易に類推することができる。すなわち、制御ゲート電極２４、電荷ブロック絶縁膜２３及び電荷蓄積絶縁膜２２のパターンを形成した後、隣接する制御ゲート電極２４間の領域から上層シリコン酸化膜２１３を介して、中間シリコン窒化膜２１２にフッ素ラジカルを導入する。フッ素ラジカルの基本的な導入方法は、第２の実施形態と同様である。その結果、図１７に示すように、中間シリコン窒化膜２１２の制御ゲート電極２４下に位置する部分は低フッ素濃度部分２１２ｃとなり、隣接する低フッ素濃度部分２１２ｃに挟まれた部分は高フッ素濃度部分２１２ｄとなる。

【0094】

このように、本実施形態の不揮発性半導体メモリの製造方法では、制御ゲート電極２４をマスクとして用いてフッ素ラジカルをトンネル絶縁膜２１の中間シリコン窒化膜２１２に導入し、中間シリコン窒化膜２１２に高フッ素濃度部分２１２ｄを形成している。そのため、隣接するメモリセル間の領域に的確に高フッ素濃度部分２１２ｄを形成することができ、隣接するメモリセル間での電荷の移動を高フッ素濃度部分２１２ｄによって的確に抑制することができる。したがって、隣接するメモリセル間での電荷の移動を効果的に抑制することができ、メモリセルの誤動作を効果的に防止することができる。

【0095】

また、トンネル絶縁膜２１の中間シリコン窒化膜２１２に高フッ素濃度部分２１２ｄを形成することにより、隣接するメモリセル間のトンネル絶縁膜２１をエッチング除去せずに、隣接するメモリセル間の電荷の移動を防止することができる。したがって、第１の実施形態と同様、半導体基板１１の表面領域がエッチングされて窪みが生じるといった問題

Sandisk Technologies, Inc. - Ex. 1002, Page 000900

を確実に回避することができる。

【0096】

また、本実施形態では、プラズマによって生成されたフッ素ラジカルを用いて、トンネル絶縁膜２１の中間シリコン窒化膜２１２に高フッ素濃度部分２１２ｄを形成している。そのため、第１の実施形態と同様、半導体基板１１の表面領域の結晶性の劣化等を効果的に回避することが可能である。

【0097】

なお、本実施形態と第２の実施形態とを組み合わせることも可能である。すなわち、図５の工程の後、制御ゲート電極２４及びマスク膜２５の積層構造をマスクとして用いて、隣接する制御ゲート電極２４間の領域から電荷ブロック絶縁膜２３を通して電荷蓄積絶縁膜２２にフッ素ラジカルを導入し、且つ、隣接する制御ゲート電極２４間の領域から電荷ブロック絶縁膜２３及び電荷蓄積絶縁膜２２を通してトンネル絶縁膜２１の中間シリコン窒化膜２１２にフッ素ラジカルを導入する。これにより、電荷蓄積絶縁膜２２には、第２の実施形態と同様に、低フッ素濃度部分２２ｃ及び高フッ素濃度部分２２ｄが形成され、トンネル絶縁膜２１の中間シリコン窒化膜２１２には、本第５の実施形態と同様に、低フッ素濃度部分２１２ｃ及び高フッ素濃度部分２１２ｄが形成される。

【0098】

また、上述した実施形態では、トンネル絶縁膜２１の下層絶縁膜２１１、中間絶縁膜２１２及び上層絶縁膜２１３にそれぞれ、シリコン酸化膜、シリコン窒化膜及びシリコン酸化膜を用いたが、他の絶縁膜を用いてもよい。一般的には、下層絶縁膜２１１及び上層絶縁膜２１３には電荷トラップ準位密度が低い絶縁膜を用い、中間絶縁膜２１２には下層絶縁膜２１１及び上層絶縁膜２１３よりも電荷トラップ準位密度が高い絶縁膜を用いることが可能である。より具体的には、中間絶縁膜２１２には、ダングリングボンドに起因した電荷トラップ準位を有する絶縁膜であって、フッ素の導入によって電荷トラップ準位密度が減少する絶縁膜を用いることが可能である。

【0099】

以上、本発明の実施形態を説明したが、本発明は上記実施形態に限定されるものではなく、その趣旨を逸脱しない範囲内において種々変形して実施することが可能である。さらに、上記実施形態には種々の段階の発明が含まれており、開示された構成要件を適宜組み合わせることによって種々の発明が抽出され得る。例えば、開示された構成要件からいくつかの構成要件が削除されても、所定の効果が得られるものであれば発明として抽出され得る。

【図面の簡単な説明】

【0100】

【図1】本発明の第１の実施形態に係る半導体装置の構成を模式的に示した断面図である。

【図2】本発明の第１の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図3】本発明の第１の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図4】本発明の第１の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図5】本発明の第１の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図6】本発明の第１の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図7】本発明の第１の実施形態の変更例に係る半導体装置の構成を模式的に示した断面図である。

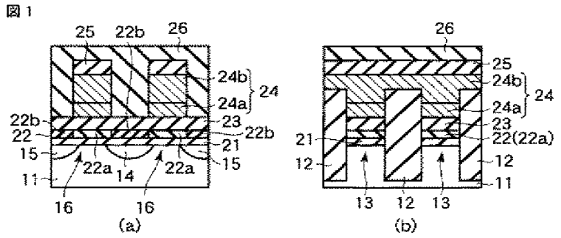
【図8】本発明の第１の実施形態の変更例に係る半導体装置の構成を模式的に示した断面図である。

【図9】本発明の第１の実施形態の変更例に係る半導体装置の構成を説明するための図である。
【図10】本発明の第１の実施形態の変更例に係る半導体装置の構成を模式的に示した断面図である。
【図11】本発明の第１の実施形態の変更例に係る半導体装置の構成を模式的に示した断面図である。
【図12】本発明の第１の実施形態の変更例に係る半導体装置の製造工程の一部を模式的に示した断面図である。
【図13】本発明の第１の実施形態の変更例に係る半導体装置の製造工程の一部を模式的に示した断面図である。
【図14】本発明の第２の実施形態に係る半導体装置の構成を模式的に示した断面図である。
【図15】本発明の第３の実施形態に係る半導体装置の構成を模式的に示した断面図である。
【図16】本発明の第４の実施形態に係る半導体装置の構成を模式的に示した断面図である。
【図17】本発明の第５の実施形態に係る半導体装置の構成を模式的に示した断面図である。
【符号の説明】
【0101】
１１…半導体基板　　１２…素子分離領域　　１３…素子領域
１４…ソース領域　　１５…ドレイン領域　　１６…チャネル領域
２１…トンネル絶縁膜　　２２…電荷蓄積絶縁膜
２２ａ…低酸素濃度部分　　２２ｂ…高酸素濃度部分
２２ｃ…低フッ素濃度部分　　２２ｄ…高フッ素濃度部分
２２ｅ…低酸素濃度部分　　２２ｆ…高酸素濃度部分
２３…電荷ブロック絶縁膜　　２３ａ…窪み
２４…制御ゲート電極
２４ａ…下層制御ゲート電極膜　　２４ｂ…上層制御ゲート電極膜
２５…マスク膜　　２６…層間絶縁膜
３１…マスク膜
４１…ＳＯＩ基板　　４２…シリコン基板
４３…絶縁層　　４４…シリコン層
２１１…下層シリコン酸化膜　　２１２…中間シリコン窒化膜
２１２ａ…低酸素濃度部分　　２１２ｂ…高酸素濃度部分
２１２ｃ…低フッ素濃度部分　　２１２ｄ…高フッ素濃度部分
２１３…上層シリコン酸化膜

Sandisk Technologies, Inc. - Ex. 1002, Page 000902

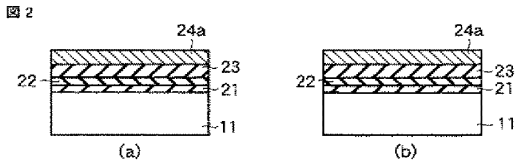
【図1】

図１



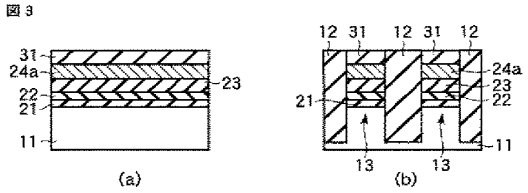
【図2】

図２



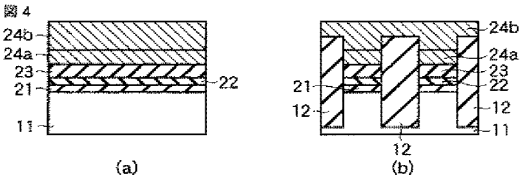
【図3】

図３



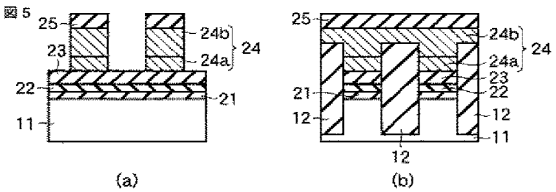
【図4】

図４



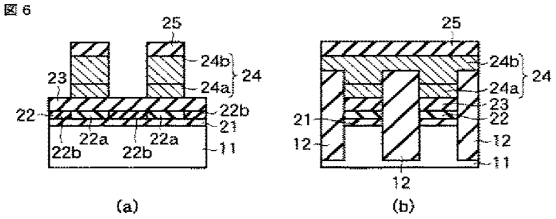
【図5】

図５



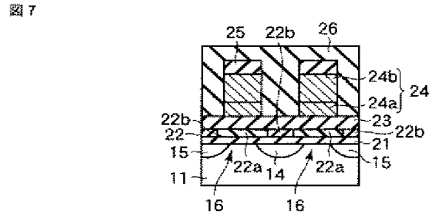
【図6】

図６



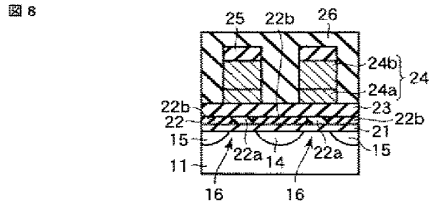
【図7】

図７



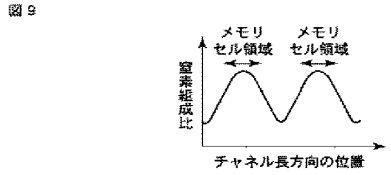
【図8】

図８



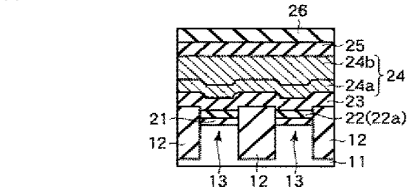
【図9】

図９



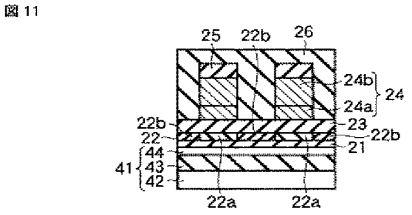
【図10】

図１０



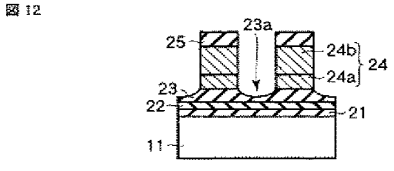
【図11】

図１１



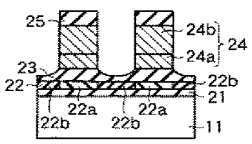
【図12】

図１２



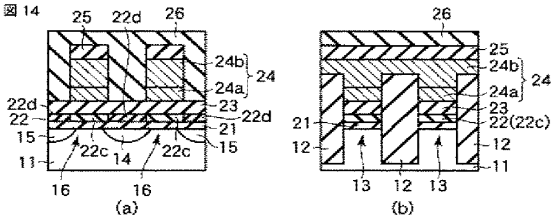
【図13】

図13



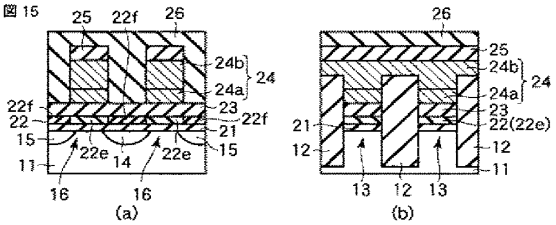
【図14】

図14



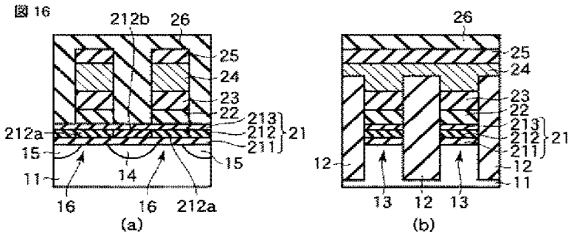
【図15】

図15



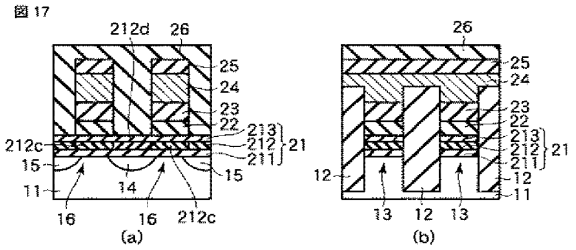
【図16】

図16



【図17】

図17



(74)代理人　100095441
弁理士　白根　俊郎
(74)代理人　100084618
弁理士　村松　貞男
(74)代理人　100103034
弁理士　野河　信久
(74)代理人　100119976
弁理士　幸長　保次郎
(74)代理人　100153051
弁理士　河野　直樹
(74)代理人　100140176
弁理士　砂川　克
(74)代理人　100101812
弁理士　勝村　紘
(74)代理人　100092196
弁理士　橋本　良郎
(74)代理人　100100952
弁理士　風間　鉄也
(74)代理人　100070437
弁理士　河井　将次
(74)代理人　100124394
弁理士　佐藤　立志
(74)代理人　100112807
弁理士　岡田　貴志
(74)代理人　100111073
弁理士　堀内　美保子
(74)代理人　100134290
弁理士　竹内　将訓
(74)代理人　100127144
弁理士　市原　卓三
(74)代理人　100141933
弁理士　山下　元
(72)発明者　小澤　良夫
東京都港区芝浦一丁目１番１号　株式会社東芝内
(72)発明者　藤塚　良太
東京都港区芝浦一丁目１番１号　株式会社東芝内
Ｆターム(参考)　5F083 EP18　EP22　EP76　HA02　JA02　JA05　JA06　JA35　JA53　NA06
PR33　PR40
5F101 BA45　BA52　BB02　BD34　BD35

Sandisk Technologies, Inc. - Ex. 1002, Page 000905

Espacenet

JP2007515060A null

Applicants:

Inventors:

Classifications:

IPC ***H01L21/318; C23C16/00; C23C16/34; C23C16/42; C23C16/44; C23C16/455; H01L21/31;***

CPC **C23C16/345 (EP); C23C16/4412 (EP); C23C16/45565 (EP); C23C16/4557 (EP);**

Priorities: US2004027584W 2004-08-25; US52524103P 2003-11-25; US91120804A 2004-08-04

Application: JP2007515060A 2004-08-25

Publication: JP2007515060A 2007-06-07

Published as: **CN102586757A; CN102586757B; CN1906326A; CN1906326B; EP1685272A1; EP1685272B1;** JP2007515060A; **JP4801591B2; KR101216202B1; KR101216203B1; KR101254115B1; KR20060113959A; KR20110139323A; KR20120008074A; US2005109276A1; US2006102076A1; WO2005059200A1**

null

Abstract

No abstract found. Please consult other publications of this patent family in "Available in", if displayed above.

Sandisk Technologies, Inc. - Ex. 1002, Page 000906

(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)特許出願公表番号
特表2007-515060
(P2007-515060A)
(43)公表日　平成19年6月7日(2007.6.7)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 21/31	(2006.01)	H01L	21/31	B	4K030
C23C 16/455	(2006.01)	C23C	16/455		5F045
C23C 16/42	(2006.01)	C23C	16/42		5F058
H01L 21/318	(2006.01)	H01L	21/31	E	
		H01L	21/318	B	

審査請求 未請求　予備審査請求 未請求　（全 23 頁）

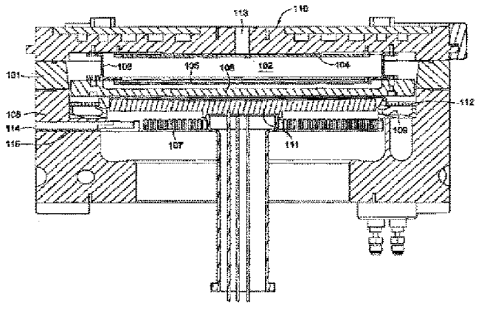
(21)出願番号　特願2006-541132 (P2006-541132)
(86)(22)出願日　平成16年8月25日 (2004.8.25)
(85)翻訳文提出日　平成18年6月28日 (2006.6.28)
(86)国際出願番号　PCT/US2004/027584
(87)国際公開番号　WO2005/059200
(87)国際公開日　平成17年6月30日 (2005.6.30)
(31)優先権主張番号　60/525,241
(32)優先日　平成15年11月25日 (2003.11.25)
(33)優先権主張国　米国 (US)
(31)優先権主張番号　10/911,208
(32)優先日　平成16年8月4日 (2004.8.4)
(33)優先権主張国　米国 (US)

(71)出願人　390040660
アプライド　マテリアルズ　インコーポレイテッド
ＡＰＰＬＩＥＤ　ＭＡＴＥＲＩＡＬＳ，ＩＮＣＯＲＰＯＲＡＴＥＤ
アメリカ合衆国　カリフォルニア州　９５０５４　サンタ　クララ　バウアーズ　アベニュー　３０５０
(74)代理人　100088155
弁理士　長谷川　芳樹
(74)代理人　100094318
弁理士　山田　行一

最終頁に続く

(54)【発明の名称】窒化ケイ素の熱化学気相堆積

(57)【要約】
処理領域と、基板支持体と、ガス分配システムと、ガス混合領域と、フェースプレートに固定されたアダプタリングを所望の温度に加熱するように配置された加熱素子と、温度制御排気システムとを備えた装置。また、ビス(第三級ブチルアミノ)シランを蒸発させ、ビス(第三級ブチルアミノ)シランとアンモニアを処理チャンバへ流し、アダプタリングと少なくとも２つのブロッカープレーで画成された追加の混合領域を有する２つの反応種を合わせ、アダプタリングを加熱し、ビス(第三級ブチルアミノ)シランをガス分配プレートを通って処理領域に流す方法と装置。
【選択図】　図１



Sandisk Technologies, Inc. - Ex. 1002, Page 000907

【特許請求の範囲】
【請求項1】
半導体基板上に膜を低温堆積するための装置であって、
処理領域を画成するチャンバ本体とチャンバリッドと、
該処理領域内に配置された基板支持体と、
該チャンバリッド上に取付けられたガス分配システムであって、ガス混合領域を画成するアダプタリングと２つのブロッカープレートと、該アダプタリングに固定されたフェースプレートとを備えている、前記ガス分配システムと、
該アダプタリングを加熱するために配置された加熱素子と、
を備えている、前記装置。
【請求項2】
該ブロッカープレートの一方が該チャンバリッドに固定され、もう一方のブロッカープレートが該アダプタリングに固定されている、請求項１記載の装置。
【請求項3】
該加熱素子が該アダプタリングと接触している、請求項１記載の装置。
【請求項4】
該フェースプレートが１５０-２５０℃に加熱される、請求項１記載の装置。
【請求項5】
該基板支持体が５５０-８００℃に加熱される、請求項１記載の装置。
【請求項6】
該リッドが６０-８０℃に加熱される、請求項１記載の装置。
【請求項7】
該チャンバ本体内のスリットバルブチャネル内に配置されたスリットバルブライナを更に備えている、請求項１記載の装置。
【請求項8】
該基板支持体を取り囲んでいる排気ポンププレートと該排気ポンププレート上にカバープレートを更に備え、該カバープレートが充分に分配された穴を有する、請求項１記載の装置。
【請求項9】
３０-２００℃に加熱された排気バルブアセンブリ構成成分を更に備えている、請求項１記載の装置。
【請求項10】
該混合領域と流体で連通している蒸発器を更に備えている、請求項１記載の装置。
【請求項11】
該蒸発器が、ビス(第三級ブチルアミノ)シラン源と流体で連通している、請求項１０記載の装置。
【請求項12】
該ガス分配システムが該基板支持体の上方にある、請求項１記載の装置。
【請求項13】
該基板支持体が該フェースプレートの下方にあり、該フェースプレートが該ブロッカープレートの下にある、請求項１２記載の装置。
【請求項14】
半導体基板上に膜を低温堆積するための装置であって、
処理領域を画成するチャンバ本体とチャンバリッドと、
該リッドに固定された第１ブロッカープレートと、
該リッドに固定されたアダプタリングと、
該アダプタリングと接触している加熱素子と、
該アダプタリングに固定された第２ブロッカープレートと、
該アダプタリングに固定されたフェースプレートと、

該処理領域内に配置された基板支持体と、
を備えている、前記装置。
【請求項15】
該基板支持体を取り囲んでいる排気ポンププレートと、該排気ポンププレート上のカバープレートとを更に備え、該カバープレートが充分に分配された穴を有する、請求項１４記載の装置。
【請求項16】
３０-２００℃に加熱された排気バルブアセンブリ構成成分を更に備えている、請求項１４記載の装置。
【請求項17】
該チャンバ本体内のスリットバルブ開口部内に配置されたスリットバルブライナを更に備えている、請求項１４記載の装置。
【請求項18】
該混合領域と流体で連通している蒸発器を更に備えている、請求項１４記載の装置。
【請求項19】
該蒸発器がビス(第三級ブチルアミノ)シラン源と流体で連通している、請求項１８記載の装置。
【請求項20】
該蒸発器がキャリヤガスシステムと流体で連通している、請求項１８記載の装置。
【請求項21】
該ガス分配システムがアンモニアとシランとの比を６０：１～１０００～１の比で示している、請求項２０記載の装置。
【請求項22】
該ガス分配システムが該基板支持体の上にある、請求項１４記載の装置。
【請求項23】
該基板支持体が該フェースプレートの下にあり、該フェースプレートが該ブロッカープレートの下にある、請求項２２記載の装置。
【請求項24】
基板上にシリコンと窒素を含む層を堆積させる方法であって、
ビス(第三級ブチルアミノ)シランを蒸発させるステップと、
リッド、アダプタリング、少なくとも１つのブロッカープレートで画成された混合領域を有する処理チャンバに該ビス(第三級ブチルアミノ)シランを流すステップと、
該アダプタリングを加熱するステップと、
該ビス(第三級ブチルアミノ)シランをガス分配プレートを通って基板の上の処理領域にシリコン、窒素、炭素を含む該層を堆積させるのに充分な条件で流すステップと、
を含む、前記方法。
【請求項25】
該窒化ケイ素層を５５０～８００℃の温度で堆積させるステップを更に含む、請求項２４記載の方法。
【請求項26】
該窒化ケイ素層を１０～３５０トールの圧力で堆積させるステップを更に含む、請求項２４記載の方法。
【請求項27】
排気ポンププレートと接触しているカバープレートを通ってガスを排気させるステップを更に含む、請求項２４記載の方法。
【請求項28】
スリットバルブライナを保持するスリットバルブ開口部を通って該処理領域に該基板を導入するステップを更に含む、請求項２４記載の方法。
【請求項29】
該混合領域に入る前に、該ビス(第三級ブチルアミノ)シランがアンモニアと混合される

、請求項２４記載の方法。
【請求項30】
アンモニアとビス(第三級ブチルアミノ)シランとの濃度比が０～１００である、請求項２９記載の方法。
【請求項31】
該混合領域に入る前に、該ビス(第三級ブチルアミノ)シランが亜酸化窒素と混合される、請求項２４記載の方法。
【請求項32】
該混合領域に入る前に、該ビス(第三級ブチルアミノ)シランがアンモニアと亜酸化窒素と混合される、請求項２４記載の方法。
【請求項33】
該混合領域に入る前に、該ビス(第三級ブチルアミノ)シランが窒素と混合される、請求項２４記載の方法。
【請求項34】
該混合領域に入る前に、該ビス(第三級ブチルアミノ)シランがヘリウムと混合される、請求項２４記載の方法。
【請求項35】
該ビス(第三級ブチルアミノ)シランが水素又はゲルマン希釈水素と混合される、請求項２４記載の方法。
【請求項36】
該窒化ケイ素層の引張応力が０．１～２．０ＧＰａである、請求項２４記載の方法。
【請求項37】
該窒化ケイ素層の炭素含量の変化が該基板の直径全体で１パーセント未満である、請求項２４記載の方法。
【請求項38】
基板上にシリコン、窒素、炭素を含む層を堆積させる方法であって、
ビス(第三級ブチルアミノ)シランを蒸発させるステップと、
リッドで画成された混合領域、アダプタリング、少なくとも１つのブロッカープレートを有する処理チャンバに該ビス(第三級ブチルアミノ)シランを流すステップと、
該アダプタリングを加熱するステップと、
ガス分配プレートを通って基板の上の処理領域にシリコン、窒素、炭素を含む該層を堆積させるのに充分な条件で該ビス(第三級ブチルアミノ)シランを流すステップと、
を含む、前記方法。
【請求項39】
該層の炭素含量が２～１８パーセントである、請求項３８記載の方法。
【請求項40】
該層が５５０～８００℃の温度で堆積される、請求項３８記載の方法。
【請求項41】
該層が１０～３５０トールの圧力で堆積される、請求項３８記載の方法。
【請求項42】
排気ポンププレートと接触しているカバープレートを通ってガスを排気させるステップを更に含む、請求項３８記載の方法。
【請求項43】
スリットバルブライナを保持するスリットバルブ開口部を通って該処理領域に基板を導入するステップを更に含む、請求項３８記載の方法。
【請求項44】
該混合領域に入る前に、該ビス(第三級ブチルアミノ)シランがアンモニアと混合される、請求項３８記載の方法。
【請求項45】
アンモニアと該ビス(第三級ブチルアミノ)シランとの濃度比が０：１００である、請求

項４４記載の方法。
【請求項46】
該混合領域に入る前に、該ビス(第三級ブチルアミノ)シランが亜酸化窒素と混合される、請求項３８記載の方法。
【請求項47】
該混合領域に入る前に、該ビス(第三級ブチルアミノ)シランがアンモニアと亜酸化窒素と混合される、請求項３８記載の方法。
【請求項48】
該混合領域に入る前に、該ビス(第三級ブチルアミノ)シランが窒素と混合される、請求項３８記載の方法。
【請求項49】
該混合領域に入る前に、該ビス(第三級ブチルアミノ)シランがヘリウムと混合される、請求項３８記載の方法。
【請求項50】
該ビス(第三級ブチルアミノ)シランが水素又はゲルマン希釈水素と混合される、請求項３８記載の方法。
【請求項51】
該層の引張応力が０．１～２．０ＧＰａである、請求項３８記載の方法。
【請求項52】
該層の炭素含量の変化が該基板の直径全体で１パーセント未満である、請求項３８記載の方法。
【発明の詳細な説明】
【発明の背景】
【0001】
発明の分野
〔0001〕本発明の実施形態は、一般的には、基板処理に関する。より詳細には、本発明は、化学気相堆積チャンバ及びプロセスに関する。
【0002】
発明の背景
〔0002〕熱化学気相堆積（ＣＶＤ）膜は、集積回路内で物質の層を形成するのに用いられる。熱ＣＶＤ膜は、絶縁体、拡散源、拡散マスク、注入マスク、スペーサ、最終パッシベーション層として用いられる。膜は、基板のような複数の回路キャリヤの表面全体に、物理的且つ化学的に均一な膜を堆積させることを最適化するために、特定の熱移動と物質移動特性をもって設計されたチャンバ内にしばしば堆積する。チャンバは、しばしば、基板表面上で複数の構成成分を製造する大きな統合ツールの一部である。チャンバは、１つの基板を一度に処理するように又は複数の基板を処理するように設計されている。
【0003】
〔0003〕より速い集積回路を可能にするためにデバイスの形状が小さくなるにつれて、高い生産性、新規な膜特性、且つ少ない不純物の増えている要求を満たしつつ、堆積した膜の熱量を減らすことが好ましい。従来、熱ＣＶＤは、数時間にわたる低い圧力条件で堆積が起こるバッチ内で７００℃以上の温度で行われた。より低い熱量は、低温前駆物質の使用を必要とする堆積温度を下げることによって又は堆積時間を短くすることによって達成され得る。熱ＣＶＤプロセスは、反応速度制御下での動作の場合には温度変化に、物質移動制御下での動作の場合には流れの不均一性に、又は反応速度と物質移動制御の混合下での動作の場合には双方に感受性がある。効果的なチャンバ設計は、基板上の均一な膜の堆積を促すために、温度変化の正確な制御と充分に分配された流れを必要とする。処理チャンバと排気ハードウェア設計は、前駆物質と反応副生成物の特性に基づいて調べられる。
【発明の概要】
【0004】
〔0004〕本発明は、単一ウエハ熱ＣＶＤチャンバの機械設計を変えることによって、均一な熱分配、均一なプロセス化学物質の分配、効率的な前駆物質の分配、効率的な残留物、

排気ガスの管理を与えるＣＶＤチャンバである。改良には、処理領域を画成するチャンバ本体とチャンバリッドを備えている処理チャンバと、処理領域内に配置された基板支持体と、ガス混合領域を画成するアダプタリングと２つのブロッカープレートを備えているチャンバリッド上に取り付けられたガス分配システムと、アダプタリングに固定されたフェースプレートと、アダプタリングを所望の温度に加熱するために配置された加熱素子と、温度制御された排気システムとが含まれる。

【0005】

〔0005〕改良には、窒化ケイ素層又は炭素をドープした又は炭素含有窒化ケイ素層を基板上に堆積させる方法であって、ビス(第三級ブチルアミノ)シラン（ＢＴＢＡＳ）又は他のシリコン前駆物質を蒸発させるステップと、ビス(第三級ブチルアミノ)シランを処理チャンバに流すステップと、アンモニア及び/又は他の窒素前駆物質を処理チャンバ内に流すステップと、２つの反応種をチャンバリッドのミキサで合わせるステップと、アダプタリングと少なくとも２つのブロッカープレートにより画成された追加の混合領域をもつステップと、アダプタリングを加熱するステップと、ビス(第三級ブチルアミノ)シランをガス分配プレートを通って基板上の処理領域に流すステップとを含む、前記方法が含まれている。改良は、基板の表面全体の欠点を減少し、製品の歩留まりを改善する。

【0006】

〔0006〕本発明の上記特徴が詳細に理解され得るように、上で簡単に纏めた本発明のより詳しい説明は実施形態によって参照することができ、その一部は添付の図面に示されている。しかしながら、添付の図面は、本発明の典型的な実施形態だけを示し、それ故、本発明の範囲を制限するものとみなされるべきでなく、本発明は、他の同等で有効な実施形態を許容することができる。

詳細な説明

〔0015〕本発明の実施形態は、基板上に層を堆積させるための装置及び基板上に層を堆積させるための方法を提供する。実施形態の説明的図面を含むハードウェアの検討がはじめに示される。ハードウェアの検討の後に、プロセス変更と試験結果の説明が続く。

【0007】

〔0016〕図１は、壁１０６とリッド１１０をもつ単一ウエハＣＶＤ処理チャンバの断面図である。チャンバの壁は、ほぼ円筒形である。壁の切断面は加熱することができる。スリットバルブ開口部１１４は、ウエハ又は他の基板の入り口の壁の中に配置されている。

【0008】

〔0017〕基板支持体１１１は、基板を支持し、チャンバに熱を供給することができる。その基板支持体に加えて、チャンバのベースは、基板支持アセンブリ、反射プレート又は他の熱移動を促進するために調整された他のメカニズム、チャンバ条件を測定するプローブ、排気アセンブリ、基板を支持し且つチャンバの環境を制御するための他の装置を含むことができる。

【0009】

〔0018〕フィードガスは、リッド１１０の中のミキサ１１３と第１ブロッカープレート１０４内の穴（図示せず）を通過した後に、ガス分配システムを通ってチャンバに入ることができる。フィードガスは、液体の蒸気やガスを含むことができる気体である。その後、ガスは、第１ブロッカープレート１０４と第２ブロッカープレート１０５の間に作られた混合領域１０２を通って進む。第２ブロッカープレート１０５は、構造上、アダプタリング１０３によって支持されている。ガスは、第２ブロッカープレート１０５内の穴（図示せず）を通過した後、フェースプレート１０８を通って流れ、その後、チャンバ壁１０６、フェースプレート１０８、基板支持体１１１で画成された主処理領域に入る。その後、ガスは、排気プレート１０９を通ってチャンバから出る。リッド１１０は、更に、ガスフィード注入口、ガスミキサ、プラズマ源、１つ以上のガス分配アセンブリを含むことができる。任意に、チャンバは、混合領域１０２とフェースプレート１０８を加熱するためにアダプタリング１０３に熱を供給するのに加熱される、チャンバ壁１０６とリッド１１０の間に挿入断片１０１を含んでいてもよい。図１で示された他のハードウェアオプション

は排気プレートカバー１１２であり、排気ポンププレート１０９の上に置かれている。最後に、スリットバルブライナ１１５は、スリットバルブ開口部１１４を通る熱損失を減少させるために任意に用いられてもよい。

【0010】

〔0019〕図２は、ガスフィードシステムの分解図である。図２は、ガスがチャンバの処理領域に入る前に、ガスを加熱し混合するために加熱された表面をもつ隙間を設けるように、リッド１１０、複数のブロッカープレート１０４、１０５、アダプタリング１０３、フェースプレート１０８がどのように構成することができるかを示している。

【0011】

〔0020〕図３は、フェースプレート１０８の図である。フェースプレート１０８は、アダプタリング１０３によって支持されている。フェースプレート１０８は、アダプタリング１０３とネジで接続され、チャンバの処理領域内で望ましいガス注入分配を生じる穴により構成されている。

【0012】

〔0021〕図４は、任意のスリットバルブライナ１１５の３次元図である。スリットバルブライナ１１５は、スリットバルブ開口部１１４を通る熱損失を減少させる。

【0013】

〔0022〕図５は、チャンバの処理領域から出る排気の流れを制御するための排気プレート１０９の３次元概略図である。概略図は、スリットバルブの存在によって引き起こされるチャンバ内での熱移動のゆがみに対して補償を援助するためにチャンバからの排気を変化させるのにプレートがどのように構成されるかを示している。

【0014】

〔0023〕図６は、排気プレート１０９の排気プレートカバー１１２の３次元概略図である。図は、チャンバ内での排気流のゆがみを補償するために、カバーがどのような特定の穴パターンで設計されるかを示している。

【0015】

〔0024〕図７は、代替的実施形態のリッドアセンブリの拡大図である。リッド２０９は、断熱素子２１２によって、チャンバの残りの部分から分離することができる。断熱素子２１２は、ヒータジャケット２０３の上面と下面にある。ヒータジャケット２０３は、ブロッカープレート２０５とフェースプレート２０８にも接続することができる。任意に、リッドのパーツ又はリッドの構成成分が所望の温度に加熱されてもよい。

【0016】

〔0025〕リッドアセンブリは、フィードガスを予め混合する最初のガス注入口２１３とリッド２０９、断熱素子２１２、ヒータジャケット２０３、ブロッカープレート２０４と２０５によって画成されたスペース２０２を形成するパーツとを含んでいる。スペース２０２は、反応ガスがチャンバの基板処理部分に入る前に混合するために滞留時間を増加させるものである。スペース２０２を画成する表面にヒータ２１０で加えることができる熱は、スペースの表面に添った原料、凝縮物、副生成物の蓄積の防止を援助する。いったんガスがフェースプレート２０８を出てチャンバの基板処理部分に入ると、加熱された表面は良好な熱移動や質量移動を促進するために反応ガスも予熱する。

【0017】

〔0026〕図７は、また、ＣＶＤチャンバにＢＴＢＡＳのようなアミノシリコン化合物を加えるためのガスフィードシステムの構成成分の図である。ＢＴＢＡＳは、バルクアンプル４０１に貯蔵される。ＢＴＢＡＳは、バルクアンプル４０１からプロセスアンプル４０２に流れる。ＢＴＢＡＳは、液体流量計４０３へ流れる。定量されたＢＴＢＡＳは、圧コントロールされた直接液体インジェクタのような蒸発器４０４に流れる。任意に、ＢＴＢＡＳは、蒸発器４０４で、ガス源４０５からの窒素のようなキャリヤガスと混合することができる。更に、キャリヤガスは、蒸発器に加えられる前に、予熱することができる。得られたガスは、次に、ＣＶＤチャンバのリッド２０９のガス注入口２１３に導入される。任意に、蒸発器４０４とミキサ１１３を接続する配管が加熱されてもよい。

【0018】
〔0027〕図８は、試料が基板の表面全体に集められた場所を示している基板の図である。
【0019】
〔0028〕フェースプレート１０８、２０８の下のチャンバの処理部分の中で、フェースプレート、チャンバの壁、排気プレート、基板支持体のような表面に熱を供給することによって、熱分配が制御される。熱分配は、また、排気プレートの設計、排気プレートカバーの任意の挿入、スリットバルブライナの任意の挿入によって制御される。チャンバの処理部分内での化学分配は、フェースプレート、排気プレート、任意の排気プレートカバーの設計によって影響を受ける。リッド内のガス注入口とフェースプレートの間にかなりのスペースがある場合やフェースプレートが加熱される場合に、プラズマクリーニングも改善される。
【0020】
〔0029〕第２ブロッカープレート１０５とフェースプレート１０８は、ブロッカープレートの表面上への化学堆積を防ぐために、チャンバ内でガスを予熱するために、また、リッドに対する熱損失を減少させるために加熱される。第２ブロッカープレートとフェースプレートをリッドに取り付けるアダプタリング１０３は、第２ブロッカープレートとフェースプレートをリッドから熱的に分離することを援助する。例えば、リッドは、約３０－７０℃の温度に維持することができ、第２ブロッカープレートとフェースプレートは、約１００－３５０℃の温度に維持することができる。アダプタリングは、リッドに対して熱損失を制限するために、一様でない厚さで設計することができ、熱チョークのように作用する。第２ブロッカープレートとフェースプレートのリッドからの熱分離によって、第２ブロッカープレートとフェースプレートがリッドの表面全体に存在することがある温度変化から防御される。従って、第２ブロッカープレートとフェースプレートは、従来のチャンバほどリッドを加熱せず、従来のチャンバのブロッカープレートとフェースプレートよりも高い温度で維持することができる。第２ブロッカープレートとフェースプレートによって得られたより均一なガス加熱により、チャンバ内の基板上により均一膜が堆積する。典型的には、第２ブロッカープレートとフェースプレートは、約１００～３５０℃以上、例えば、約１５０～３００℃の温度に加熱される。より高い温度の第２ブロッカープレートとフェースプレートの観測された１つの利点は、チャンバにおけるより高い膜堆積速度である。第２ブロッカープレートとフェースプレートのより高い温度が、チャンバ内の前駆物質の分離を加速することで堆積速度を高めると考えられる。第２ブロッカープレートとフェースプレートがより高い温度であることの他の利点は、第２ブロッカープレートとフェースプレート上でのＣＶＤ反応副生成物の堆積が減少することである。
【0021】
〔0030〕排気システムは、また、チャンバ内での熱分配や化学分配に貢献する。ポンププレート１０９は、スリットバルブによって引き起こされる熱分配の問題を補償するために、不均一に分配された開口部で構成されてもよい。ポンププレートは、プレートの表面上での排気化学や副生成物の堆積を防止するために、基板支持アセンブリによってチャンバの処理部分に供給された熱を保持する物質から作られてもよい。ポンププレートは、スリットバルブの放射率のゆがみを補償するためにも、戦略的に置かれた複数のスリットを特徴とする。排気システムは、チャンバ内での１０～３５０トール圧力の維持を援助する。排気システムは、スロットルバルブと分離バルブを用いて圧力を制御する。これらのバルブは、副生成物や未使用のガスや蒸気残留物の形成を防ぐために所望の温度に加熱することができる。
【0022】
〔0031〕基板支持アセンブリ１１１は、均一な膜分配を可能にするために、いくつかの設計メカニズムをもっている。基板と接触する支持体の表面は、基板の半径全体に可変の熱を分配する熱移動のための複数のゾーンを特徴としてもよい。例えば、基板支持アセンブリは、５００－８００℃、例えば、６００－７００℃のプロセス温度に維持することができる二重ゾーンセラミックヒータを含むことができる。基板温度は、典型的には、測定さ

れたヒータの温度より約２０－３０℃低い。支持体は、チャンバの処理部分の内部全体に熱変動や化学変動を補償するために回転させることができる。支持体は、手動又は機械的にチャンバ内で基板を中央にするために、チャンバ内での水平、垂直、又は回転の運動を特徴としてもよい。

【0023】

〔0032〕処理チャンバとその構成成分の表面は、陽極酸化アルミニウムから作ることができる。陽極酸化アルミニウムは、凝縮や固形物の堆積を妨げる。陽極酸化アルミニウムは、多くの物質よりも熱をよく保持するので、物質の表面は温かいままであり、従って、凝縮や生成物の堆積を妨げる。物質は、また、多くの従来のチャンバの表面より固形堆積が得られる化学反応を促進しない。リッド、壁、スペーサ断片、ブロッカープレート、フェースプレート、基板支持アセンブリ、スリットバルブ、スリットバルブライナ、排気アセンブリはすべて、固体の陽極酸化アルミニウムで被覆又は形成されてもよい。

【0024】

〔0033〕希釈剤又はキャリヤガスは、膜特性を調整するための他のメカニズムを与える。窒素又はヘリウムは、個別に又は組合わせて用いられる。水素又はアルゴンも用いることができる。より重いガスは、チャンバ内で熱の分配を援助する。より軽いガスは、前駆物質の液体がチャンバに加えられる前にその蒸発を援助する。プロセスガスの十分な希釈は、チャンバ表面や排気システム表面での凝縮又は固体の堆積の防止を援助する。

【0025】

〔0034〕再現性試験が行われた。従来のチャンバ内と上記の追加及び/又は変更された構成成分を特徴とする変更されたチャンバ内に堆積した膜の膜層の厚さを比較した。ウエハの均一性における著しい改善が変更されたチャンバで観測された。

【0026】

〔0035〕本明細書に記載されたＣＶＤチャンバ内に堆積することができる膜の例は、以下に示される。チャンバへのガスの流量全体は、２００～２０，０００ｓｃｃｍであってもよく、典型的なプロセスは、流量が４，０００ｓｃｃｍであってもよい。膜組成、特に、窒素とシリコンの含量の割合、屈折率、ウェットエッチ速度、水素含量、本明細書に示された膜のいずれかの応力が、いくつかのパラメータを調節することによって変更することができる。これらのパラメータは、全流量、チャンバ内での間隔、加熱時間を含んでいる。システムの圧力は１０～３５０トールに調節することができ、NH_3とＢＴＢＡＳとの濃度比は０～１００に調節することができる。

【0027】

窒化ケイ素膜

〔0036〕窒化ケイ素膜は、シリコン前駆物質と窒素前駆物質との反応によって、本明細書に記載されるチャンバ内で化学気相堆積させることができる。用いることができるシリコン前駆物質としては、ジクロロシラン（ＤＣＳ）、ヘキサクロロジシラン（ＨＣＤ）、ビス(第三級ブチルアミノ)シラン（ＢＴＢＡＳ）、シラン（SiH_4）、ジシラン（Si_2H_6）、多くのその他が含まれる。用いることができる窒素前駆物質としては、アンモニア（NH_3）、ヒドラジン（N_2H_4）その他が含まれる。例えば、SiH_4とNH_3化学を用いることができる。

【0028】

〔0037〕ＣＶＤ処理チャンバにおいては、SiH_4は、SiH_3、主にSiH_2に、おそらくＳｉＨに解離する。NH_3は、NH_2、ＮＨ、H_2に解離する。これらの中間体は、ガス境界層を通って拡散するSiH_2NH_2又はSiH_3NH_2又は同様のアミノシラン前駆物質を形成するために反応し、基板で又は基板の極近傍で反応して窒化ケイ素膜を形成する。より温かいチャンバの表面は、NH_2反応性を増大するチャンバに熱を供給すると考えられる。チャンバのリッド内のガス注入口と第２ブロッカープレートの間のスペースの容積が増加すると、フィードガスの滞留時間が長くなり、所望されるアミノシラン前駆物質を形成する可能性が増大する。形成された前駆物質の量が増加すると、パターンマイクロローディングの可能性が低下する。即ち、基板の密にパターン形成された領域にお

ける前駆物質の消耗が減少する。

【0029】

〔0038〕他の前駆物質の流量に相対してNH_3の流量を増加させると、膜の堆積が増大することもわかった。例えば、従来のシステムでは、NH_3とSiH_4の流量が６０：１で作動させることができる。試験結果は、リッドと第２ブロッカープレートの間の間隔が増大する場合、６０：１～１０００：１の従来の比が均一な膜を与えることを示している。フェースプレートと基板の間に７５０－８５０ミルの間隔を用いると、６５０ミルで堆積した膜と比べて膜の均一性が高められることが更にわかった。

【0030】

炭素をドープした窒化ケイ素膜

〔0039〕一実施形態においては、ＢＴＢＡＳは、本明細書に記載されたチャンバ内で炭素をドープした窒化ケイ素膜の堆積のシリコン含有前駆物質として用いることができる。以下は、続いてｔ－ブチルアミン副生成物による炭素をドープした窒化ケイ素膜を生成することができる一メカニズムである。ＢＴＢＡＳは、その後、ｔ－ブチルアミンと反応してイソブチレンを形成することができる。

【0031】

〔0040〕$3C_8H_{22}N_2Si+NH_3 \Rightarrow Si_3N_4+NH_2C_4H_8$

〔0041〕４つの実施例の条件が説明される。圧力、温度、間隔、流量、その他の条件を表１に示す。縦列１は、その他の例よりも低いＢＴＢＡＳ濃度での一組の操作条件を示している。縦列２は、低温度とウェットエッチ速度での操作を示している。縦列５は、最低ウェットエッチ速度と温度を示し、縦列６は、４つの実施例の中で最高の堆積速度と最低のパターンローディング効果の組み合わせの操作パラメータを示している。実施例において、ウエハのヒータ温度は６７５～７００℃であり、チャンバの圧力は５０～２７５トールであった。

【0032】

〔0042〕炭素をドープした窒化ケイ素膜を形成するためのＢＴＢＡＳ反応は、反応速度が制限されることがあり、物質移動が制限されることはない。パターン形成基板上に形成された膜は、パターン形成基板のさらされた表面を均一に被覆することができる。ＢＴＢＡＳは、例えば、SiH_4の従来のシリコン前駆物質ほど、パターンローディング効果（ＰＬＥ）をもつことができない。表１は、ＢＴＢＡＳとNH_3化学の側壁ＰＬＥを示し、同じチャンバ内でSiH_4とNH_3プロセスが１５％を上回るのに比べて、５％未満である。いくつかのシリコン含有前駆物質で経験したパターンローディング効果は、例えば、SiH_4とNH_3の前駆物質の間の反応の物質移動制限によるものであると考えられる。

【0033】

【表1】

表１．ＢＴＢＡＳ性能を試験するための操作条件

手法名	#1	#2	#5	#6
ウエハ温度(℃)	～670	～655	～660	～675
ヒータ温度(℃)	675	675	675	700
圧力(トール)	275	160	80	50
NH3(sccm)	80	80	80	80
BTBAS(グラム/分)	0.61	1.2	1.2	1.2
BTBAS(sccm)	78	154	154	154
N2-キャリア上部	4	4	4	4
N2-堆積上部	10	10	6	6
N2-下部	10	10	10	10
間隔(ミル)	700	700	700	700
堆積速度(A/分)	230	250	170	250
BTBAS 消費(グラム/100A 膜)	0.27	0.48	0.71	0.48
ウェットエッチ速度比(%)	25	16	11	12
応力(ダイン/sq.cm)-500A 膜	1.54	1.54	1.51	1.67
RI	1.865	1.885	1.935	1.985
厚さの不均一性１シグマ(%)	<1.5	<1.5	<1.5	<1.5
TEM による 90nmSRAM チップに対する PLE				
側壁 PLE(%)	7	9	3	3
下部 PLE(%)	7	3	3	3

【0034】

〔0043〕反応性ガスとしてＢＴＢＡＳを用いると、炭素含量の調整も可能になる。即ち、圧力や窒素含有前駆物質ガス濃度のような操作パラメータを選ぶことによって、結果として生じる膜の炭素含量が、基板の直径全体に、所望される炭素含量とより均一な炭素濃度を有する膜を生成するために変更させることができる。ＢＴＢＡＳは、０．０５～２．０ｇ/分の速度でシステムに加えることができ、典型的なシステムは、０．３－０．６ｇ/分を用いることができる。表２は、流量、濃度、３つの構造に対して得られた膜特性を示すものである。

【0035】

〔0044〕設計された実験データ分析に基づくＣ５－６％とＣ１２－１３％構造は、予想値である。Ｃ１０．５％の値は、実験結果である。ＶＲは、シリコン基板の熱源サセプタとして用いられた二重ゾーンセラミックヒータの外部ゾーンと内部ゾーンの電圧比を示す。ＲＩは屈折率を示す。ＷＥＲＲは、参考として用いられた熱的に成長した酸化ケイ素膜に相対する窒素膜のウェットエッチ速度比である。

【0036】

【表2】

表２．３つのＢＴＢＡＳ構造と得られた膜特性

		C5-6%（予想値）	C10.5%（試験値）	C12-13%（予想値）
堆積速度	(Ang/分)	315.4	266.9	399.4
堆積時間	(sec)	136	160	106
ターゲット厚さ	(Ang)	700	700	700
モニタ膜厚さ	(Ang)	714.97	711.715	705.545
モニタ N/U 1-シグマ	(%)	2.371	1.437	1.492
VR		0.98	0.98	0.98
RI		1.821	1.82	1.817
BTBAS 消費	(グラム/500Ang 膜)	0.897	0.571	0.782
応力	(Gpa)	-	1.2	-
WERR		-	0.5	-
ヒータ温度(℃)		675	675	675
チャンバ圧力	(トール)	162.5	275	160
BTBAS 流	(グラム/分)	0.566	0.305	0.625
	(sccm)	74.2	40	81.9
NH3 流	(sccm)	300	40	40
N2 キャリヤ流	(sim)	2	2	2
N2 流	(sim)	1.7	3	2
上部の全ガス流	(sim)	-4	-5	-4
N2 下部流	(sim)	3	3	3
間隔	(ミル)	700	700	700

【0037】

〔0045〕表３は、異なるプロセス条件に対して、基板全体の様々な点から取った試料の要素組成による要素を示すものである。試料の要素組成は、核反応分析とラザフォード後方散乱分光法によって測定した。

【0038】

【表3】

表３．基板表面全体の位置に基づく原子組成

		NRA/RBS による 300mmBTBAS 膜組成				
位置		SI	N	H	C	O
#	座標	(%)	(%)	(%)	(%)	(%)
1	(0mm.0deg)	31.7%	31.7%	22.2%	12.7%	1.6%
2	(7.5mm.0deg)	31.7%	31.7%	22.2%	12.7%	1.6%
3	(75mm.90deg)	31.7%	31.7%	22.2%	12.7%	1.6%
4	(75mm.180deg)	30.8%	30.8%	21.5%	15.4%	1.5%
5	(75mm.270deg)	31.7%	31.7%	22.2%	12.7%	1.6%
6	(145mm.45deg)	31.7%	31.7%	22.2%	12.7%	1.6%
7	(145mm.135deg)	31.7%	31.7%	22.2%	12.7%	1.6%
8	(145mm.225deg)	31.7%	31.7%	22.2%	12.7%	1.6%
9	(145mm.315deg)	31.7%	31.7%	22.2%	12.7%	1.6%
ウエハ内平均＝		31.6%	31.6%	22.1%	13.0%	1.6%
ウエハ内標準偏差＝		0.326%	0.326	0.228%	0.895%	0.016%

【0039】

〔0046〕表３は、基板の表面全体の炭素含量の変化が０．８９５％であることを示すもの

である。２～１８原子パーセントの炭素をもつ炭素をドープした窒化ケイ素膜が、本明細書に記載されたチャンバ内で高速度で堆積したことがわかった。

【0040】

〔0047〕シリコン含有前駆物質としてＢＴＢＡＳを用いると、得られたいくつかの膜特性の利点が提供される。膜の炭素含量を増大させると、ドーパントの保持や結合プロファイルを改善することができ、デバイスの正のチャネル金属酸化物半導体（ＰＭＯＳ）部分において改善された性能が得られる。プロセスパラメータは、また、改善された応力プロファイルを促進するためのＢＴＢＡＳの使用と合わせた場合に調整することができる。膜応力の増大は、デバイスの負のチャネル金属酸化物半導体（ＮＭＯＳ）部分に対するデバイス性能を改善する。膜応力特性は、チャンバ圧力、全体のフィードガス流、NH_3とＢＴＢＡＳのフィードガス比率、ＢＴＢＡＳの容積分率を調整することによって影響を受ける。

【0041】

〔0048〕追加の実験結果は、６７５℃における膜の不均一性に対する標準偏差が１．５パーセント未満であることを示している。６４５～６７５℃の温度範囲にわたる膜の不均一性の組成の標準偏差もまた１．５パーセント未満であった。粒子汚染は、０．１２μｍ以上で３０粒子未満であった。

【0042】

〔0049〕ウェットエッチ比は、低濃度NH_3と低い圧力が選ばれる場合により小さい。試験された圧力範囲は、５０～２７５トールであった。ウェットエッチ比は、０．３未満として測定された。膜のウェットエッチ比は、膜エッチングと熱酸化物を１００：１ＨＦと比較することによって算出した。４００オングストロームにおけるＲＭＳの粗さは、０．２５ｎｍであった。

【0043】

〔0050〕６２５℃～６７５℃についての膜堆積速度は、１２５～４２５オングストロームであった。堆積速度は、高濃度のＢＴＢＡＳ、低NH_3濃度、より高い圧力と温度が選ばれた場合により高かった。

【0044】

〔0051〕膜の水素濃度は、１５原子パーセント未満であった。水素は、膜内でＮ‐Ｈとしてほとんど結合されることが予想される。膜の炭素含量は、２～１８原子パーセントであった。

【0045】

〔0052〕観測された応力は、高ＮＭＯＳ１ドライブに対して、１Ｅ９～２Ｅ１０ダイン/ｃｍ^2（０．１～２ＧＰａ）であった。応力は、高濃度のNH_3、低濃度のＢＴＢＡＳ、低圧力においてより高かった。

【0046】

〔0053〕同じ温度範囲で測定された屈折率は、１．７５～１．９５であった。屈折率は、システムがより低い圧力とより低いＢＴＢＡＳ濃度で操作されたときに、より高かった。

【0047】

〔0054〕また、観測された又は予想された炭素濃度は、２～１８パーセントの範囲であった。NH_3濃度が低くＢＴＢＡＳ濃度が高いときに、最も高かった。

【0048】

〔0055〕表１の結果は、従来のシステムや類似したシステムと比較することができる。表１におけるウェットエッチ速度比の試験結果は、１００：１ＨＦ中に１分浸漬する従来の炉システム内で堆積した窒化ケイ素膜と比較することができる。表３の応力試験結果は、０．１～２．０ＧＰａの結果をもつ類似した操作条件の他の試験結果と似ている。

【0049】

〔0056〕典型的には、窒素は、ＢＴＢＡＳのガス源からのキャリヤガスと熱ＣＶＤ反応の希釈ガスの双方として用いられる。希釈ガスとして水素を用いると、ＢＴＢＡＳとNH_3熱ＣＶＤ反応の堆積速度を３０％まで増加させる。希釈ガスとして水素でドープしたゲル

マンを用いると、更に堆積速度を増加させることができる。
【0050】
〔0057〕ＢＴＢＡＳのような前駆物質はシリコンと炭素双方の供給源として作用し、単一ウエハ熱ＣＶＤチャンバ内で、シラン、ジシラン、ヘキサクロロジシランとジクロロシランのようなシリコン前駆物質と、エチレン、ブチレンと他のアルケン、又は、他の炭素源のような炭素前駆物質とを合わせ、２つの前駆物質とNH_3と反応させて炭素をドープした酸化ケイ素膜を形成することが可能である。
【0051】
炭素をドープした酸化ケイ素膜
〔0058〕ＢＴＢＡＳは、また、いくつかのプロセス化学の可撓性を与える。酸化物をＢＴＢＡＳをベースにしたＢＴＢＡＳの場合、NH_3は、N_2Oのような酸化剤によって置き換えられ得る。本発明に記載されたハードウェアにおける熱ＣＶＤは、酸化膜を堆積させるために使用し得る。
【0052】
〔0059〕ＢＴＢＡＳのような前駆物質はシリコンと炭素の双方の供給源として作用し、シラン、ジシラン、ヘキサクロロジシラン、ジクロロシランのようなシリコン前駆物質と、エチレン、ブチレン、他のアルケン又は他の炭素源のような炭素前駆物質と合わせ、単一のウエハ熱ＣＶＤチャンバ内で、２つの前駆物質をN_2Oと反応させて炭素ドープした酸化シリコンウエハ膜を形成した。
【0053】
炭素をドープした窒化酸化ケイ素膜
〔0060〕一般的には、炭素をドープした又は炭素を含有する窒化酸化ケイ素膜は、シリコン含有前駆物質、炭素含有前駆物質、酸素含有前駆物質、窒素含有前駆物質の組合わせを用いて堆積され得る。これらの膜は、炭素含量制御に加え、誘電率制御を可能にするために、次世代デバイスにおける使用の可能性を有する。このような熱的に堆積した低‐ｋＣＶＤ膜は、デバイスにおける潜在的利益になり得る。
【0054】
〔0061〕炭素をドープした又は炭素を含有する窒化酸化ケイ素膜を製造するために、ＢＴＢＡＳは、NH_3とN_2Oのような酸化剤と共に用いることができる。本発明に記載されたハードウェアにおける熱ＣＶＤは、酸化物窒化膜を堆積させるために使用し得る。
【0055】
〔0062〕ＢＴＢＡＳのような前駆物質はシリコンと炭素双方の供給源として作用し、単一ウエハ熱ＣＶＤチャンバ内で、シラン、ジシラン、ヘキサクロロジシラン、ジクロロシランのようなシリコン前駆物質と、エチレン、ブチレンと他のアルケン又は他の炭素源のような炭素前駆物質とを合わせ、２つの前駆物質とNH_3とN_2O双方とを反応させて、炭素をドープした窒化酸化ケイ素膜を形成することが可能である。
【0056】
〔0063〕トリメチルシランやテトラメチルシランのような多くの一般に用いられる低ｋ前駆物質は、シリコン、酸素、炭素を含有する。これらの前駆物質は、単一ウエハ熱ＣＶＤチャンバ内でNH_3のような窒素源と反応して炭素をドープした窒化酸化ケイ素膜を形成することができる。
【0057】
〔0064〕上記は本発明の実施形態に関するが、本発明の他の多くの実施形態が本発明の基本範囲から逸脱せずに構成されてもよく、本発明の範囲は以下の特許請求によって決定される。
【図面の簡単な説明】
【0058】
【図1】図１は、ガス分配アセンブリと基板支持アセンブリを含む処理チャンバの実施形態の断面図である。
【図2】図２は、処理チャンバとプロセスキットの種々の構成成分の分解図である。

【図3】図３は、フェースプレートガス注入口の図である。
【図4】図４は、スリットバルブライナの３次元図である。
【図5】図５は、排気ポンププレートの３次元図である。
【図6】図６は、排気ポンププレートのためのカバーの３次元図である。
【図7】図７は、単一のウエハ熱ＣＶＤプロセスチャンバの代替的プロセスキットとチャンバに対するプロセスガス分配のための液体分配システムの３次元概略図である。
【図8】図８は、試料が基板の表面全体に集められた場所を示している基板の表面の図である。
【符号の説明】
【0059】
１０２…混合領域、１０３…アダプタリング、１０４…第１ブロッカープレート、１０５…第２ブロッカープレート、１０６…壁、１０８…フェースプレート、１０９…排気ポンププレート、１１０…リッド、１１１…基板支持体、１１２…排気プレートカバー、１１３…ミキサ、１１４…スリットバルブ開口部、１１５…スリットバルブライナ、２０２…スペース、２０３…ヒータジャケット、２０５…ブロッカープレート、２０８…フェースプレート、２０９…リッド、２１２…断熱素子、２１３…最初のガス注入口、４０１…バルクアンプル、４０２…プロセスアンプル、４０３…液体流量計、４０４…蒸発器。

【図1】

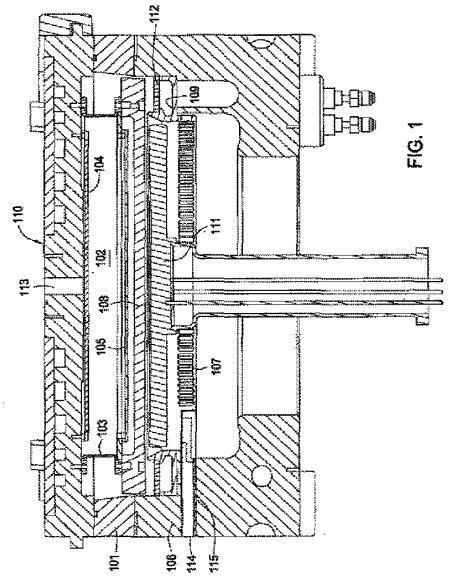


FIG. 1

【図2】

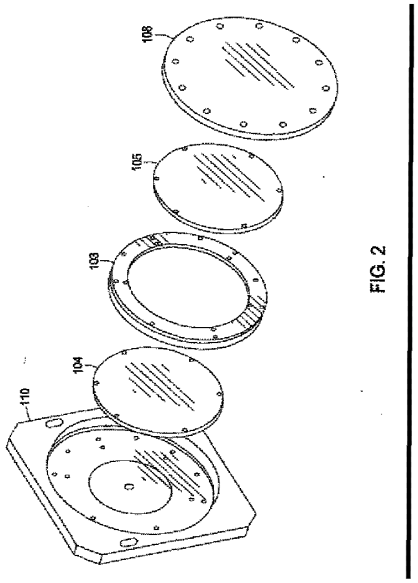


FIG. 2

【図3】

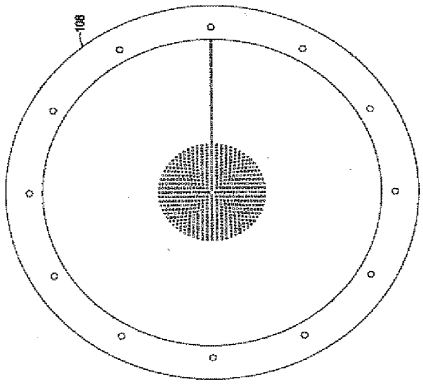


FIG. 3

【図4】

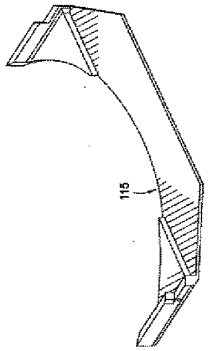


FIG. 4

【図5】

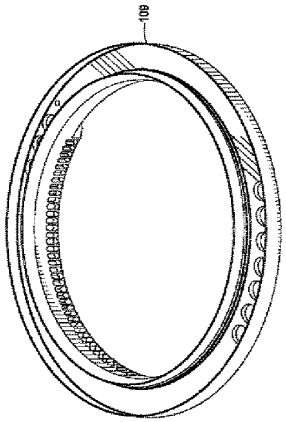


FIG. 5

【図6】

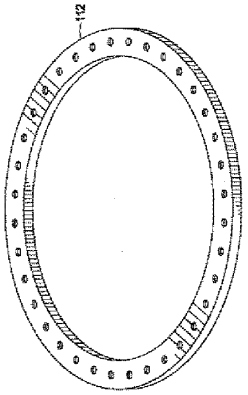


FIG. 6

【図7】

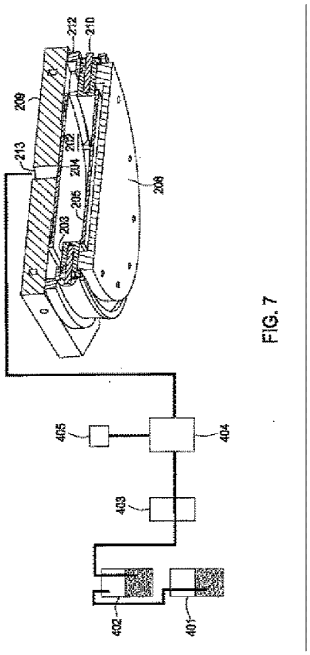
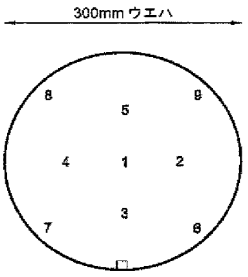

212
210
209
213
211
204
205
203
206
405
404
403
402
401

FIG. 7

【図8】


300mm ウエハ
8
9
5
4
1
2
3
7
6

INTERNATIONAL SEARCH REPORT

International Application No
PCT/US2004/027584

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 C23C16/34 C23C16/455

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 C23C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)
EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 245 192 B1 (LENZ ERIC ET AL) 12 June 2001 (2001-06-12) column 2, lines 23-65 - column 5, lines 7-12; claims 1,2; figure 2	1-23
Y	EP 0 835 950 A (EBARA CORP) 15 April 1998 (1998-04-15) column 2, line 18 - column 3, line 10 column 3, lines 31-36; figure 3	1-23
Y	US 2003/172872 A1 (GELATOS AVGERINOS V ET AL) 18 September 2003 (2003-09-18) figures 2,7	1-23
Y	US 2003/136520 A1 (UMOTOY SALVADOR P ET AL) 24 July 2003 (2003-07-24) figure 2	1-23

-/--

[X] Further documents are listed in the continuation of box C.　　[X] Patent family members are listed in annex.

° Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
4 January 2005	01.04.05

Name and mailing address of the ISA	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Boussard, N

Form PCT/ISA/210 (second sheet) (January 2004)

Sandisk Technologies, Inc. - Ex. 1002, Page 000924

INTERNATIONAL SEARCH REPORT

International Application No
PCT/US2004/027584

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2003/132319 A1 (GELATOS AVGERINOS ET AL) 17 July 2003 (2003-07-17) figure 6	1-23
Y	US 2003/010451 A1 (UMOTOY SALVADOR P ET AL) 16 January 2003 (2003-01-16) figure 6	1-23
A	US 6 379 466 B1 (ROSE RONALD LLOYD ET AL) 30 April 2002 (2002-04-30) figure 2	1-23

Form PCT/ISA/210 (continuation of second sheet) (January 2004)

Sandisk Technologies, Inc. - Ex. 1002, Page 000925

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US2004/027584

Box II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This International Search Report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the International Application that do not comply with the prescribed requirements to such an extent that no meaningful International Search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

see additional sheet

1. ☐ As all required additional search fees were timely paid by the applicant, this International Search Report covers all searchable claims.

2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.

3. ☐ As only some of the required additional search fees were timely paid by the applicant, this International Search Report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this International Search Report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

1-23

Remark on Protest

☐ The additional search fees were accompanied by the applicant's protest.

☐ No protest accompanied the payment of additional search fees.

Form PCT/ISA/210 (continuation of first sheet (2)) (January 2004)

International Application No. PCT/ US2004/ 027584

FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

1. claims: 1-23

Apparatus claims 1-23 disclose an apparatus for depositing a film on a semiconductor substrate comprising a chamber body and a chamber lid, a substrate support, a gas delivery system mounted on the chamber lid comprising an adapter ring and two blocker plates that define a mixing region and a face plate fastened to the adapter ring and a heating element positioned to heat the adapter ring.

---

2. claims: 24-52

Method claims 24-52 disclose a method of depositing a film comprising silicon and nitrogen on a substrate comprising the steps of vaporizing bis(tertiary-butylamino)silane, flowing said silane compound into a processing chamber having a mixing region defined by a mixing block, an adapter ring and at least two blocker plates, heating the adapter ring and flowing said silane compound through a gas distribution plate above a substrate.

INTERNATIONAL SEARCH REPORT

...rmation on patent family members

International Application No
PCT/US2004/027584

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 6245192 B1	12-06-2001	AU 5608700 A	22-01-2001
		CN 1359531 A	17-07-2002
		EP 1200981 A1	02-05-2002
		JP 2003504841 T	04-02-2003
		TW 460915 B	21-10-2001
		WO 0103159 A1	11-01-2001
		US 2001027026 A1	04-10-2001
EP 0835950 A	15-04-1998	DE 69706936 D1	31-10-2001
		DE 69706936 T2	13-06-2002
		EP 0835950 A1	15-04-1998
		JP 10168572 A	23-06-1998
		US 5950925 A	14-09-1999
US 2003172872 A1	18-09-2003	WO 03065424 A2	07-08-2003
US 2003136520 A1	24-07-2003	NONE	
US 2003132319 A1	17-07-2003	WO 03060188 A1	24-07-2003
US 2003010451 A1	16-01-2003	US 2003198754 A1	23-10-2003
US 6379466 B1	30-04-2002	NONE	

Form PCT/ISA/210 (patent family annex) (January 2004)

(81)指定国　　AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IT,LU,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NA,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM,ZW

(72)発明者　アイヤル，　アール．　スリヤナラヤナン
アメリカ合衆国，　カリフォルニア州，　サンタ　クララ，　レノックス　プレイス　２２８８
(72)発明者　スーター，　シーン，　エム．
アメリカ合衆国，　カリフォルニア州，　サン　ノゼ，　ハリスバーグ　プレイス　６２９
(72)発明者　スミス，　ジェイコブ，　ダブリュー．
アメリカ合衆国，　カリフォルニア州，　サンタ　クララ，　ラヴィツア　アヴェニュー　１７３９
(72)発明者　ディベロ，　グレゴリー，　ダブリュー．
アメリカ合衆国，　ニュー　ヨーク州，　マホパック，　ローガン　ロード　３４
(72)発明者　タム，　アレクサンダー
アメリカ合衆国，　カリフォルニア州，　ユニオン　シティ，　バルモラル　ストリート　２４５１
(72)発明者　トラン，　ビン
アメリカ合衆国，　カリフォルニア州，　サン　ノゼ，　スピンネイカー　ドライヴ　５５２８　ナンバー１
(72)発明者　タンドン，　サンジーヴ
アメリカ合衆国，　カリフォルニア州，　サニーヴェイル，　サウス　スニッカボッカ　ドライヴ　８２９

Ｆターム(参考)　4K030 AA06 AA13 BA40 CA04 CA12 EA03 EA05 FA10 JA06 JA09
JA10 LA15
5F045 AA06 AB32 AB33 AC07 AC12 AD09 AD10 AD11 AD12 AE23
AE25 BB02 DC65 DP03 EE12 EG02 EK07
5F058 BA06 BC02 BC04 BC08 BF04 BF27 BF29 BF30 BF38 BG03

Sandisk Technologies, Inc. - Ex. 1002, Page 000929

Espacenet

JP2007318112A SEMICONDUCTOR DEVICE, AND METHOD OF FABRICATING SEMICONDUCTOR DEVICE

Applicants: SEMICONDUCTOR ENERGY LAB

Inventors: ARAI YASUYUKI,ISOBE ATSUO,TAKANO TAMAE,TERASAWA IKUKO

Classifications:

IPC ***H01L21/336; H01L21/76; H01L21/762; H01L21/8247; H01L27/115; H01L29/786; H01L29/788; H01L29/792;***

Priorities: JP2006126636A 2006-04-28; JP2007116797A 2007-04-26

Application: JP2007318112A 2007-04-26

Publication: JP2007318112A 2007-12-06

Published as: JP2007318112A;**JP5285235B2**

SEMICONDUCTOR DEVICE, AND METHOD OF FABRICATING SEMICONDUCTOR DEVICE

Abstract

PROBLEM TO BE SOLVED: To reduce an influence that the characteristic of an end portion of a channel forming region of a semiconductor film affects on the characteristic of a transistor. SOLUTION: A semiconductor film, a gate insulating film, and a first conductive film are sequentially laminated on a substrate to form a laminate, and by removing the laminate, a plurality of laminates are provided in an island shape, then an insulating film is formed so as to cover the laminate provided in an island shape. Then, a part of the insulating film is removed so that its height is approximately equal to the height of the surface of the first conductive film to expose the surface of the first conductive film, and a second conductive film is formed on the first insulating film and on a remaining first insulating film. Then a resist is formed on the second conductive film, and the first conductive film and the second conductive film are selectively removed, with the resist as a mask. COPYRIGHT: (C)2008,JPO&INPIT

Sandisk Technologies, Inc. - Ex. 1002, Page 000930

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2007-318112
(P2007-318112A)
(43)公開日　平成19年12月6日(2007.12.6)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 29/786	(2006.01)	H01L	29/78	621	5F032
H01L 21/336	(2006.01)	H01L	29/78	617L	5F083
H01L 21/76	(2006.01)	H01L	29/78	613B	5F101
H01L 21/762	(2006.01)	H01L	29/78	616A	5F110
H01L 21/8247	(2006.01)	H01L	21/76	L	

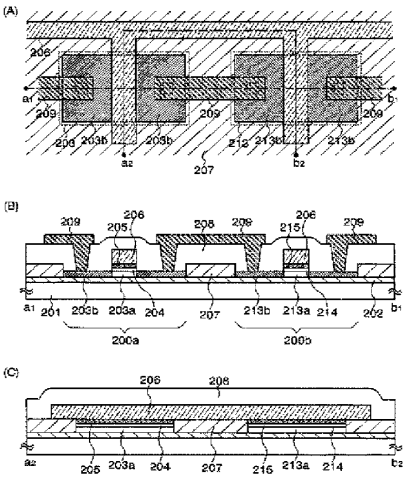
審査請求 未請求　請求項の数 13　OL　（全 36 頁）　最終頁に続く

(21)出願番号　特願2007-116797 (P2007-116797)
(22)出願日　平成19年4月26日 (2007.4.26)
(31)優先権主張番号　特願2006-126636 (P2006-126636)
(32)優先日　平成18年4月28日 (2006.4.28)
(33)優先権主張国　日本国 (JP)

(71)出願人　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　磯部　敦生
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　高野　圭恵
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　荒井　康行
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　寺澤　郁子
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
最終頁に続く

(54)【発明の名称】半導体装置及び半導体装置の作製方法

(57)【要約】
【課題】半導体膜のチャネル形成領域の端部の特性がトランジスタの特性へ及ぼす影響を低減することを課題とする。
【解決手段】基板上に半導体膜とゲート絶縁膜と第１の導電膜を順に積層した積層体を形成し、積層体を除去することによって、島状に設けられた複数の積層体とし、島状に設けられた積層体を覆うように絶縁膜を形成し、第１の導電膜の表面と高さが概略一致するように絶縁膜の一部を除去して第１の導電膜の表面を露出させ、第１の導電膜上及び残存した第１の絶縁膜上に第２の導電膜を形成し、第２の導電膜上にレジストを形成し、レジストをマスクとして、第１の導電膜及び第２の導電膜を選択的に除去する。
【選択図】図１



Sandisk Technologies, Inc. - Ex. 1002, Page 000931

【特許請求の範囲】
【請求項1】
基板上に島状に設けられた半導体膜と、
前記半導体膜の表面と接して設けられたゲート絶縁膜と、
前記半導体膜の側面と接して設けられた絶縁膜と、
前記ゲート絶縁膜の表面と接して設けられた第１の導電膜と、
前記第１の導電膜の表面及び前記絶縁膜の表面と接して設けられた第２の導電膜とを有し、
前記半導体膜の端部の一部と前記第１の導電膜の端部の一部の位置が一致することを特徴とする半導体装置。
【請求項2】
基板上に島状に設けられた半導体膜と、
前記半導体膜の表面と接して設けられたゲート絶縁膜と、
前記半導体膜の側面の一部と接して設けられた絶縁膜と、
前記ゲート絶縁膜の表面と接して設けられた第１の導電膜と、
前記第１の導電膜の表面及び前記絶縁膜の表面と接して設けられた第２の導電膜と、
前記第１の導電膜の側面及び前記第２の導電膜の側面に接して設けられたサイドウォールとを有し、
前記半導体膜の端部の一部と前記第１の導電膜の端部の一部の位置が一致することを特徴とする半導体装置。
【請求項3】
請求項２において、
前記絶縁膜の端部と前記サイドウォールの端部が一致することを特徴とする半導体装置。
【請求項4】
チャネル形成領域と、ソース領域と、ドレイン領域と、前記ソース領域及びドレイン領域と異なる導電型を有する不純物領域とを有する半導体膜と、
前記半導体膜の表面と接して設けられたゲート絶縁膜と、
前記半導体膜の側面と接して設けられた絶縁膜と、
前記ゲート絶縁膜の表面と接して設けられた第１の導電膜と、
前記第１の導電膜の表面及び前記絶縁膜の表面と接して設けられた第２の導電膜とを有し、
前記チャネル形成領域は、前記ソース領域と前記ドレイン領域の間に設けられており、
前記不純物領域は前記半導体膜の端部であって前記チャネル形成領域、前記ソース領域及び前記ドレイン領域と隣接して設けられており、
前記半導体膜の端部の一部と前記第１の導電膜の端部の一部の位置が一致することを特徴とする半導体装置。
【請求項5】
請求項１乃至請求項４のいずれか一項において、
前記絶縁膜の表面と前記第１の導電膜の表面が一致することを特徴とする半導体装置。
【請求項6】
請求項１乃至請求項５のいずれか一項において、
前記絶縁膜は前記半導体膜より膜厚が大きいことを特徴とする半導体装置。
【請求項7】
基板上に島状に設けられた半導体膜と、
前記半導体膜の側面に接して設けられた第１の絶縁膜と、
前記半導体膜の表面と接して設けられた第２の絶縁膜と、
前記第２の絶縁膜上に設けられた電荷蓄積層と、
前記電荷蓄積層の表面及び前記第１の絶縁膜の表面と接して設けられた第３の絶縁膜と

Sandisk Technologies, Inc. - Ex. 1002, Page 000932

、
前記第３の絶縁膜上に形成された導電膜とを有し、
前記半導体膜の端部の一部と前記電荷蓄積層の端部の一部の位置が一致することを特徴とする半導体装置。
【請求項8】
基板上に島状に設けられた半導体膜と、
前記半導体膜の側面の一部に接して設けられた第１の絶縁膜と、
前記半導体膜の表面と接して設けられた第２の絶縁膜と、
前記第２の絶縁膜上に設けられた電荷蓄積層と、
前記電荷蓄積層の表面及び前記第１の絶縁膜の表面と接して設けられた第３の絶縁膜と、
前記第３の絶縁膜上に形成された導電膜と、
前記電荷蓄積層と前記第２の絶縁膜と前記導電膜の側面に接して設けられたサイドウォールとを有し、
前記半導体膜の端部の一部と前記電荷蓄積層の端部の一部の位置が一致することを特徴とする半導体装置。
【請求項9】
請求項８において、
前記第１の絶縁膜の端部と前記第２の絶縁膜の端部と前記導電膜の端部が一致することを特徴とする半導体装置。
【請求項10】
請求項７乃至請求項９のいずれか一項において、
前記半導体膜の表面と前記第１の絶縁膜の表面が一致することを特徴とする半導体装置。
【請求項11】
基板上に半導体膜とゲート絶縁膜と第１の導電膜を順に積層した積層体を形成し、
前記積層体を選択的に除去することによって、島状に設けられた複数の積層体とし、
前記島状に設けられた積層体を覆うように絶縁膜を形成し、
前記第１の導電膜の表面と高さが概略一致するように前記絶縁膜の一部を除去して前記第１の導電膜の表面を露出させ、
前記第１の導電膜上及び残存した前記絶縁膜上に第２の導電膜を形成し、
前記第２の導電膜上にレジストを形成し、前記レジストをマスクとして、前記第１の導電膜及び前記第２の導電膜を選択的に除去することを特徴とする半導体装置の作製方法。
【請求項12】
基板上に半導体膜とゲート絶縁膜と第１の導電膜を順に積層した積層体を形成し、
前記積層体を選択的に除去することによって、島状に設けられた複数の積層体とし、
前記島状に設けられた積層体を覆うように絶縁膜を形成し、
前記第１の導電膜の表面と高さが概略一致するように前記絶縁膜の一部を除去して前記第１の導電膜の表面を露出させ、
前記第１の導電膜上及び残存した前記絶縁膜上に第２の導電膜を形成し、
前記第２の導電膜上にレジストを形成し、前記レジストをマスクとして、前記第１の導電膜及び前記第２の導電膜を選択的に除去し、
前記第１の導電膜及び前記第２の導電膜をマスクとして前記半導体膜に第１の不純物元素を選択的に導入することによって、前記半導体膜に第１の不純物領域を形成し、
前記第１の導電膜及び前記第２の導電膜の側面に接するようにサイドウォールを形成し、
前記第１の導電膜、前記第２の導電膜及び前記サイドウォールをマスクとして前記半導体膜に第２の不純物元素を選択的に導入することによって、前記半導体膜に第２の不純物領域を形成することを特徴とする半導体装置の作製方法。
【請求項13】

基板上に半導体膜と第１の絶縁膜と電荷蓄積層を順に積層した積層体を形成し、
前記積層体を選択的に除去することによって、島状に設けられた複数の積層体とし、
前記島状に設けられた積層体を覆うように第２絶縁膜を形成し、
前記半導体膜の表面と高さが概略一致するように前記第２絶縁膜の一部を除去して前記電荷蓄積層の表面を露出させ、
前記電荷蓄積層及び残存した前記第２の絶縁膜上に第３の絶縁膜を形成し、
前記第３の絶縁膜上に導電膜を形成し、
前記導電膜上にレジストを形成し、前記レジストをマスクとして、前記第１の絶縁膜、前記電荷蓄積層、前記第３の絶縁膜及び前記導電膜を選択的に除去することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及び半導体装置の作製方法に関する。

【背景技術】

【0002】

近年、ガラス等の絶縁表面を有する基板上に薄膜トランジスタ（ＴＦＴ）を形成し、当該薄膜トランジスタをスイッチング素子等として利用する半導体装置の作製が盛んに行われている。薄膜トランジスタは、絶縁表面を有する基板上にＣＶＤ法、フォトリソグラフィ工程等を用いて島状の半導体膜を形成し、当該島状の半導体膜の一部をチャネル形成領域として利用するように設けられている。（例えば、特許文献１）

【0003】

一般的な薄膜トランジスタの模式図を図１９に示す。薄膜トランジスタは、基板９０１上に下地膜として機能する絶縁膜９０２を介して島状の半導体膜９０３を有し、当該島状の半導体膜９０３を横断するようにゲート絶縁膜９０４を介してゲート電極として機能する導電膜９０５が設けられている。また、半導体膜９０３は、導電膜９０５と重なる領域に形成されたチャネル形成領域９０３ａとソース領域又はドレイン領域を形成する不純物領域９０３ｂを有している。また、当該不純物領域９０３ｂに電気的に接続されるようにソース電極又はドレイン電極を形成する導電膜９０７が設けられている。なお、図１９（Ｂ）、（Ｃ）は、それぞれ図１９（Ａ）におけるC_1－D_1間、C_2－D_2間の断面構造を示している。

【特許文献1】特開平０８－０１８０５５

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、半導体膜を島状に設けた場合、複数の素子同士の分離を行うことができるが当該半導体膜の端部に段差が生じるため、半導体膜の端部においてゲート絶縁膜による被覆が十分に行えない問題が生じる。さらに、近年、薄膜トランジスタの低消費電力化や動作速度の向上を図るため、ゲート絶縁膜の薄膜化が望まれており、ゲート絶縁膜を薄く設けた際には、半導体膜の端部におけるゲート絶縁膜の被覆不良の問題が顕著になる。半導体膜の端部におけるゲート絶縁膜の被覆が十分に行えない場合、半導体膜の端部においてゲート電極を形成する導電膜と半導体膜との間でショート等が生じる場合がある。特に、半導体膜のチャネル形成領域の端部におけるゲート絶縁膜の薄膜化によって、ゲート電極と半導体膜のチャネル領域の端部におけるリーク電流に起因して薄膜トランジスタの電気特性が劣化する等の問題が発生する。

【0005】

また、ゲート絶縁膜の破壊や作製プロセスの処理に起因して半導体膜の端部に固定電荷がトラップされた場合、半導体膜の中央部と比較して端部におけるチャネル形成領域の特性が変化し、薄膜トランジスタの電気的特性に影響が生じる等の問題が発生する。

【0006】

本発明は上記問題を鑑み、半導体膜のチャネル形成領域の端部の特性がトランジスタの

電気特性へ及ぼす影響を低減する半導体装置および当該半導体装置の作製方法の提供を課題とする。

【課題を解決するための手段】

【0007】

本発明の半導体装置は、基板上に島状に設けられた半導体膜と、半導体膜の側面に接して設けられた絶縁膜と、半導体膜の表面と接して設けられたゲート絶縁膜と、ゲート絶縁膜上に設けられた第１の導電膜と、第１の導電膜の表面及び絶縁膜の表面と接して設けられた第２の導電膜とを有しており、半導体膜の端部の一部と第１の導電膜の端部の一部の位置が一致するように設けられている。半導体膜の端部の一部と第１の導電膜の端部の一部の位置が一致するとは、半導体膜の側面と第１の導電膜の側面が少なくともある部分で概略そろっている状態をいう。また、ここでいう表面とは上面を指している。

【0008】

また、本発明の半導体装置は、基板上に島状に設けられた半導体膜と、半導体膜の側面の一部に接して設けられた絶縁膜と、半導体膜の表面と接して設けられたゲート絶縁膜と、ゲート絶縁膜上に設けられた第１の導電膜と、第１の導電膜の表面及び絶縁膜の表面と接して設けられた第２の導電膜と、第１の導電膜の側面と第２の導電膜の側面に接して設けられたサイドウォールとを有しており、半導体膜の端部の一部と第１の導電膜の端部の一部の位置が一致するように設けられている。また、上記構成において、絶縁膜の端部と第２の導電膜の端部が一致するように設けてもよい。

【0009】

また、本発明の半導体装置は、チャネル形成領域と、ソース領域と、ドレイン領域と、ソース領域及びドレイン領域と異なる導電型を有する不純物領域とを有する半導体膜と、半導体膜の側面に接して設けられた絶縁膜と、半導体膜の表面と接して設けられたゲート絶縁膜と、ゲート絶縁膜上に設けられた第１の導電膜と、第１の導電膜の表面及び絶縁膜の表面と接して設けられた第２の導電膜とを有しており、チャネル形成領域は、ソース領域とドレイン領域の間に設けられており、不純物領域は半導体膜の端部であってチャネル形成領域、ソース領域及びドレイン領域と隣接して設けられており、半導体膜の端部の一部と第１の導電膜の端部の一部の位置が一致するように設けられている。

【0010】

また、本発明の半導体装置は、基板上に島状に設けられた半導体膜と、半導体膜の側面に接して設けられた第１の絶縁膜と、半導体膜の表面と接して設けられたトンネル絶縁膜と、トンネル絶縁膜上に設けられた電荷蓄積層と、電荷蓄積層の表面及び第１の絶縁膜の表面と接して設けられた第２の絶縁膜と、第２の絶縁膜上に形成された導電膜とを有しており、半導体膜の端部の一部と電荷蓄積層の端部の一部の位置が一致するように設けられている。

【0011】

また、本発明の半導体装置は、基板上に島状に設けられた半導体膜と、半導体膜の側面の一部に接して設けられた第１の絶縁膜と、半導体膜の表面と接して設けられたトンネル絶縁膜と、トンネル絶縁膜上に設けられた電荷蓄積層と、電荷蓄積層の表面及び第１の絶縁膜の表面と接して設けられた第２の絶縁膜と、第２の絶縁膜上に形成された導電膜と、電荷蓄積層と第２の絶縁膜と導電膜の側面に接して設けられたサイドウォールとを有しており、半導体膜の端部の一部と電荷蓄積層の端部の一部の位置が一致するように設けられている。また、上記構成において、第１の絶縁膜の端部と第２の絶縁膜の端部と導電膜の端部の位置が一致するように設けてもよい。

【0012】

本発明の半導体装置の作製方法は、基板上に半導体膜とゲート絶縁膜と第１の導電膜を順に積層した積層体を形成し、積層体を選択的に除去することによって、島状に設けられた複数の積層体とし、島状に設けられた積層体を覆うように絶縁膜を形成し、第１の導電膜の表面と高さが概略一致するように絶縁膜の一部を除去して第１の導電膜の表面を露出させ、第１の導電膜上及び残存した絶縁膜上に第２の導電膜を形成し、第２の導電膜上に

Sandisk Technologies, Inc. - Ex. 1002, Page 000935

レジストを形成し、レジストをマスクとして、第１の導電膜及び第２の導電膜を選択的に除去する。

【0013】

また、本発明の半導体装置の作製方法は、基板上に半導体膜とゲート絶縁膜と第１の導電膜を順に積層した積層体を形成し、積層体を選択的に除去することによって、島状に設けられた複数の積層体とし、島状に設けられた積層体を覆うように絶縁膜を形成し、第１の導電膜の表面と高さが概略一致するように絶縁膜の一部を除去して第１の導電膜の表面を露出させ、第１の導電膜上及び残存した絶縁膜上に第２の導電膜を形成し、第２の導電膜上にレジストを形成し、レジストをマスクとして、第１の導電膜及び第２の導電膜を選択的に除去し、第１の導電膜及び第２の導電膜をマスクとして半導体膜に第１の不純物元素を選択的に導入することによって、半導体膜に第１の不純物領域を形成し、第１の導電膜及び第２の導電膜の側面に接するようにサイドウォールを形成し、第１の導電膜、第２の導電膜及びサイドウォールをマスクとして半導体膜に第２の不純物元素を選択的に導入することによって、半導体膜に第２の不純物領域を形成する。

【0014】

また、本発明の半導体装置の作製方法は、基板上に半導体膜と第１の絶縁膜と電荷蓄積層を順に積層した積層体を形成し、積層体を選択的に除去することによって、島状に設けられた複数の積層体とし、島状に設けられた積層体を覆うように第２絶縁膜を形成し、半導体膜の表面と高さが概略一致するように第２絶縁膜の一部を除去して電荷蓄積層の表面を露出させ、電荷蓄積層及び残存した第２の絶縁膜上に第３の絶縁膜を形成し、第３の絶縁膜上に導電膜を形成し、導電膜上にレジストを形成し、レジストをマスクとして、第１の絶縁膜、電荷蓄積層、第３の絶縁膜及び導電膜を選択的に除去する。

【発明の効果】

【0015】

ゲート電極及びゲート配線として機能する導電膜と重なる島状の半導体膜の端部において、半導体膜の側面に接するように絶縁膜を形成し、導電膜を絶縁膜上に設けることによって、半導体膜の端部において導電膜の段切れを防止し、半導体膜のチャネル領域端部の特性によるトランジスタに及ぼす影響を低減することができる。

【発明を実施するための最良の形態】

【0016】

本発明の実施の形態について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いる場合がある。

【0017】

（実施の形態１）

本実施の形態では、本発明の半導体装置及びその作製方法の一例に関して図面を参照して説明する。

【0018】

まず、本実施の形態で示す半導体装置を図１に示す。図１（Ａ）は本実施の形態で示す半導体装置の上面図を示し、図１（Ａ）のa_1-b_1における断面図を図１（Ｂ）に、a_2-b_2における断面図を図１（Ｃ）に示している。

【0019】

本実施の形態で示す半導体装置は、基板２０１上に絶縁膜２０２を介して島状に設けられた半導体膜２０３を含む薄膜トランジスタ２００ａと、半導体膜２１３を含む薄膜トランジスタ２００ｂとを有している。薄膜トランジスタ２００ａは、半導体膜２０３上にゲート絶縁膜２０４を介して形成された第１の導電膜２０５と第２の導電膜２０６とを有している。薄膜トランジスタ２００ｂは、半導体膜２１３上にゲート絶縁膜２１４を介して形成された第１の導電膜２１５と第２の導電膜２０６とを有している。

Sandisk Technologies, Inc. - Ex. 1002, Page 000936

【0020】
また、図１では、薄膜トランジスタ２００ａにおける半導体膜２０３は、第１の導電膜２０５と重なる領域にチャネル形成領域２０３ａを有し、当該チャネル形成領域２０３ａと隣接してソース領域又はドレイン領域として機能する第１の不純物領域２０３ｂとを有している。薄膜トランジスタ２００ｂにおける半導体膜２１３は、第１の導電膜２１５と重なる領域にチャネル形成領域２１３ａを有し、当該チャネル形成領域２１３ａと隣接してソース領域又はドレイン領域として機能する第１の不純物領域２１３ｂとを有している。なお、ソース領域又はドレイン領域として機能する第１の不純物領域２１３ｂは、チャネル形成領域２１３ａを介して離間して設けられている。
【0021】
また、本実施の形態で示す半導体装置は、薄膜トランジスタ２００ａと薄膜トランジスタ２００ｂとの間に絶縁膜２０７が設けられている。絶縁膜２０７は、少なくとも半導体膜２０３と半導体膜２１３の側面に接して設けられている。つまり、半導体膜２０３、半導体膜２１３は絶縁膜２０７に囲まれて設けられている。また、絶縁膜２０７は、ゲート絶縁膜２０４、２１４の側面の一部及び第１の導電膜２０５、２１５の側面の一部と接して設けられていてもよい。
【0022】
また、第２の導電膜２０６は、第１の導電膜２０５、２１５及び絶縁膜２０７の表面（上面）と接するように第１の導電膜２０５、２１５及び絶縁膜２０７上に設けられている。つまり、本実施の形態で示す半導体装置において、ゲート絶縁膜２０４、２１４と導電膜２０５、２１５は、側面の一部が絶縁膜２０７と接する場合があっても、絶縁膜２０７上には形成されない。
【0023】
絶縁膜２０７は、第１の導電膜２０５、２１５と表面の高さが概略一致するように設けられている。なお、表面の高さが概略一致するとは、絶縁膜２０７の表面と第１の導電膜２０５、２１５の表面の高さが完全に一致する場合はもちろん、完全に一致しない場合であっても含むものとする。第１の導電膜２０５、２１５の表面と絶縁膜２０７の表面との高さの差が、半導体膜２０３、ゲート絶縁膜２０４及び第１の導電膜２０５の積層構造又は半導体膜２１３、ゲート絶縁膜２１４及び第１の導電膜２１５の積層構造の高さの値より小さくなるように設けることによって、半導体膜２０３、２１３の端部における段差を緩和することが可能となる。
【0024】
その結果、ゲート絶縁膜を薄膜化した場合であっても、半導体膜のチャネル形成領域の端部においてゲート電極とのリーク電流に起因する薄膜トランジスタの電気特性の劣化を抑制することができる。
【0025】
また、薄膜トランジスタ２００ａ、２００ｂにおいて、第１の導電膜２０５、２１５はゲート電極として機能し、第２の導電膜２０６はゲート電極及びゲート配線として機能する。
【0026】
なお、ゲート電極とは、チャネル領域やＬＤＤ（Ｌｉｇｈｔｌｙ　Ｄｏｐｅｄ　Ｄｒａｉｎ）領域などを形成する半導体と、ゲート絶縁膜を介してオーバーラップしている部分の導電膜のことを言う。ゲート配線とは、他の薄膜トランジスタとのゲート電極の間の接続や、ゲート電極と別の配線との接続を行うための配線のことをいう。ただし、ゲート電極としても機能し、ゲート配線としても機能するような部分も存在する（例えば、本実施の形態における導電膜２０６）。そのような領域は、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。つまり、ゲート電極とゲート配線とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているゲート配線とオーバーラップしてチャネル領域がある場合、その領域はゲート配線として機能しているが、ゲート電極としても機能していることになる。よって、そのような領域は、ゲート電極と呼んでも良いし、

Sandisk Technologies, Inc. - Ex. 1002, Page 000937

ゲート配線と呼んでも良い。

【0027】

次に、上記図１で示した半導体装置の作製方法の一例に関して図２～図５を参照して説明する。なお、図２、図３は、図１（Ａ）のa_1－b_1の断面図を示し、図４、図５は、図１（Ａ）のa_2－b_2の断面図を示している。

【0028】

まず、基板２０１上に絶縁膜２０２を介して、半導体膜２２３、ゲート絶縁膜２２４及び第１の導電膜２２５を積層して形成する（図２（Ａ）、図４（Ａ））。

【0029】

基板２０１は、ガラス基板、石英基板、セラミック基板、金属基板（例えばステンレス基板など）、Ｓｉ基板等の半導体基板から選択されるものである。他にもプラスチック基板として、ポリエチレンテレフタレート（ＰＥＴ）、ポリエチレンナフタレート（ＰＥＮ）、ポリエーテルサルフォン（ＰＥＳ）、アクリルなどの基板を選択することもできる。

【0030】

絶縁膜２０２は、ＣＶＤ法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン（ＳｉＯｘＮｙ）（ｘ＞ｙ＞０）、窒化酸化シリコン（ＳｉＮｘＯｙ）（ｘ＞ｙ＞０）等の絶縁材料を用いて形成する。例えば、絶縁膜２０２を２層構造とする場合、第１層目の絶縁膜として窒化酸化シリコン膜を形成し、第２層目の絶縁膜として酸化窒化シリコン膜を形成するとよい。また、第１層目の絶縁膜として窒化シリコン膜を形成し、第２層目の絶縁膜として酸化シリコン膜を形成してもよい。このように、ブロッキング層として機能する絶縁膜２０２を形成することによって、基板２０１からＮａなどのアルカリ金属やアルカリ土類金属が、この上に形成する素子に悪影響を与えることを防ぐことができる。なお、基板２０１として石英を用いるような場合には絶縁膜２０２を省略してもよい。

【0031】

半導体膜２２３は、非晶質半導体膜又は結晶質半導体膜で形成する。結晶性半導体膜は、絶縁膜２０２上に形成した非晶質半導体膜を熱処理やレーザー光の照射によって結晶化させたもの、絶縁膜２０２上に形成した結晶性半導体膜を非晶質化した後、再結晶化させたものなどが含まれる。

【0032】

レーザー光の照射によって結晶化若しくは再結晶化を行う場合には、レーザー光の光源としてＬＤ励起の連続発振（ＣＷ）レーザー（YVO_4、第２高調波（波長５３２ｎｍ））を用いることができる。特に第２高調波に限定する必要はないが、第２高調波はエネルギー効率の点で、さらに高次の高調波より優れている。ＣＷレーザーを半導体膜に照射すると、連続的に半導体膜にエネルギーが与えられるため、一旦半導体膜を溶融状態にすると、溶融状態を継続させることができる。さらに、ＣＷレーザーを走査することによって半導体膜の固液界面を移動させ、この移動の方向に沿って一方向に長い結晶粒を形成することができる。また、固体レーザーを用いるのは、気体レーザー等と比較して、出力の安定性が高く、安定した処理が見込まれるためである。なお、ＣＷレーザーに限らず、繰り返し周波数が１０ＭＨｚ以上のパルスレーザを用いることも可能である。繰り返し周波数が高いパルスレーザを用いると、半導体膜が溶融してから固化するまでの時間よりもレーザーのパルス間隔が短ければ、常に半導体膜を溶融状態にとどめることができ、固液界面の移動により一方向に長い結晶粒で構成される半導体膜を形成することができる。その他のＣＷレーザー及び繰り返し周波数が１０ＭＨｚ以上のパルスレーザを使用することもできる。例えば、気体レーザーとしては、Ａｒレーザー、Ｋｒレーザー、CO_2レーザー等がある。固体レーザーとして、ＹＡＧレーザー、ＹＬＦレーザー、$YAlO_3$レーザー、$GdVO_4$レーザー、ＫＧＷレーザー、ＫＹＷレーザー、アレキサンドライトレーザー、Ｔｉ：サファイアレーザー、Y_2O_3レーザー、YVO_4レーザー等がある。ＹＡＧレーザー、Y_2O_3レーザー、$GdVO_4$レーザー、YVO_4レーザーなどをセラミックスレーザともいう。金属蒸気レーザーとしてはヘリウムカドミウムレーザ等が挙げられる。ま

た、レーザー発振器において、レーザー光をＴＥＭ$_{00}$（シングル横モード）で発振して射出すると、被照射面において得られる線状のビームスポットのエネルギー均一性を上げることができるので好ましい。その他にも、パルス発振のエキシマレーザーを用いても良い。

【0033】

ゲート絶縁膜２２４は、酸化シリコン、窒化シリコン、酸化窒化シリコン（ＳｉＯｘＮｙ）（ｘ＞ｙ＞０）、窒化酸化シリコン（ＳｉＮｘＯｙ）（ｘ＞ｙ＞０）等を適用する。このような絶縁膜は、気相成長法やスパッタリング法で形成する。また、半導体膜２２３に酸素を含む雰囲気下（例えば、酸素（O_2）と希ガス（Ｈｅ、Ｎｅ、Ａｒ、Ｋｒ、Ｘｅの少なくとも一つを含む）雰囲気下、または酸素と水素（H_2）と希ガス雰囲気下）または窒素を含む雰囲気下（例えば、窒素（N_2）と希ガス（Ｈｅ、Ｎｅ、Ａｒ、Ｋｒ、Ｘｅの少なくとも一つを含む）雰囲気下、または窒素と水素と希ガス雰囲気下またはNH_3と希ガス雰囲気下）で高密度プラズマ処理を行い半導体膜２２３の表面を酸化処理または窒化処理することによって、ゲート絶縁膜２２４を形成することもできる。

【0034】

高密度プラズマ処理は、上記ガスの雰囲気中において、電子密度が１×１０^{11}ｃｍ$^{-3}$以上であり、プラズマの電子温度が１．５ｅＶ以下で行う。より詳しくいうと、電子密度が１×１０^{11}ｃｍ$^{-3}$以上１×１０^{13}ｃｍ$^{-3}$以下で、プラズマの電子温度が０．５ｅＶ以上１．５ｅＶ以下で行う。プラズマの電子密度が高密度であり、基板２０１上に形成された被処理物（ここでは、半導体膜２２３）付近での電子温度が低いため、被処理物に対するプラズマによる損傷を防止することができる。また、プラズマの電子密度が１×１０^{11}ｃｍ$^{-3}$以上と高密度であるため、プラズマ処理を用いて、被照射物を酸化または窒化することよって形成される酸化膜または窒化膜は、ＣＶＤ法やスパッタリング法等により形成された膜と比較して膜厚等が均一性に優れ、且つ緻密な膜を形成することができる。また、プラズマの電子温度が１．５ｅＶ以下と低いため、従来のプラズマ処理や熱酸化法と比較して低温度で酸化または窒化処理を行うことができる。例えば、ガラス基板の歪点よりも１００度以上低い温度でプラズマ処理を行っても十分に酸化または窒化処理を行うことができる。プラズマを形成するための周波数としては、マイクロ波（２．４５ＧＨｚ）等の高周波を用いることができる。高密度プラズマ処理により半導体膜２２３の表面を酸化または窒化することによってゲート絶縁膜２２４を形成することにより、電子やホールのトラップとなる欠陥準位密度を低減することができる。また、半導体膜２２３の端部においても、ゲート絶縁膜２２４の段切れ等を低減することができる。

【0035】

なお、半導体膜２２３にしきい値等を制御するため、あらかじめ低濃度の不純物元素を導入しておいてもよい。この場合は、半導体膜２２３において、後にチャネル形成領域となる領域にも不純物元素が導入されることとなる。不純物元素としては、ｎ型を付与する不純物元素又はｐ型を付与する不純物元素を用いることができる。ｎ型を示す不純物元素としては、リン（Ｐ）やヒ素（Ａｓ）等を用いることができる。ｐ型を示す不純物元素としては、ボロン（Ｂ）やアルミニウム（Ａｌ）やガリウム（Ｇａ）等を用いることができる。ここでは、不純物元素として、ボロン（Ｂ）を５×１０^{15}～５×１０^{17}／ｃｍ^{3}の濃度で含まれるように半導体膜２２３の全面にあらかじめ導入する。

【0036】

第１の導電膜２２５は、タンタル（Ｔａ）、タングステン（Ｗ）、チタン（Ｔｉ）、モリブデン（Ｍｏ）、アルミニウム（Ａｌ）、銅（Ｃｕ）、クロム（Ｃｒ）、ニオブ（Ｎｂ）等から選択された元素またはこれらの元素を主成分とする合金材料若しくは化合物材料の単層又は積層構造で形成することができる。また、リン等の不純物元素をドーピングした多結晶珪素に代表される半導体材料により形成することもできる。また、窒化タンタル、窒化タングステン、窒化モリブデン等で形成してもよい。

【0037】

次に、半導体膜２２３、ゲート絶縁膜２２４及び導電膜２２５が順に積層されて設けら

Sandisk Technologies, Inc. - Ex. 1002, Page 000939

れた積層体２２０を選択的にエッチングして除去することによって、島状の積層体２３０ａ、２３０ｂとする（図２（Ｂ）、図４（Ｂ））。積層体２３０ａは、半導体膜２０３、ゲート絶縁膜２３４及び第１の導電膜２３５が順に積層された構造を有し、積層体２３０ｂは、半導体膜２１３、ゲート絶縁膜２４４及び第１の導電膜２４５が順に積層された構造を有している。

【0038】

次に、積層体２３０ａ、２３０ｂを覆うように絶縁膜２１７を形成する（図２（Ｃ）、図４（Ｃ））。

【0039】

絶縁膜２１７は、ＣＶＤ法やスパッタリング法等で形成した、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、ダイヤモンドライクカーボン（ＤＬＣ）などを用いることができる。また、スピンコート法や、液滴吐出法、スクリーン印刷法等で形成した、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル、エポキシ等の有機材料、またはシロキサン樹脂等のシロキサン材料、オキサゾール樹脂などからなる単層または積層構造で設けることができる。なお、シロキサン材料とは、Ｓｉ－Ｏ－Ｓｉ結合を含む材料に相当する。シロキサンは、シリコン（Ｓｉ）と酸素（Ｏ）との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。オキサゾール樹脂は、例えば、感光性ポリベンゾオキサゾール等である。感光性ポリベンゾオキサゾールは、誘電率が低く（常温１ＭＨｚで誘電率２．９）、耐熱性が高く（示差熱熱重量同時測定（ＴＧ／ＤＴＡ：Ｔｈｅｒｍｏｇｒａｖｉｍｅｔｒｙ－Ｄｉｆｆｅｒｅｎｔｉａｌ　Ｔｈｅｒｍａｌ　Ａｎａｌｙｓｉｓ）で昇温５℃／ｍｉｎで熱分解温度５５０℃）、吸水率が低い（常温２４時間で０．３％）材料である。オキサゾール樹脂は、ポリイミド等の比誘電率（３．２～３．４程度）と比較すると、比誘電率が低いため（２．９程度）、寄生容量の発生を抑制し、高速動作を行うことができる。ここでは、絶縁膜２１７として、ＣＶＤ法で形成した酸化シリコン、酸化窒化シリコン（ＳｉＯｘＮｙ）（ｘ＞ｙ＞０）又は窒化酸化シリコン（ＳｉＮｘＯｙ）（ｘ＞ｙ＞０）を単層又は積層して形成する。また、さらに、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル、エポキシ等の有機材料、シロキサン樹脂等のシロキサン材料、又はオキサゾール樹脂を積層して形成してもよい。

【0040】

次に、絶縁膜２１７を選択的に除去することによって一部を残存させ、第１の導電膜２３５、２４５の表面を露出させる（図２（Ｄ）、図４（Ｄ））。なお、ここでは、残存した絶縁膜２１７を絶縁膜２０７として表している。また、絶縁膜２１７は、第１の導電膜２３５、２４５の表面が露出するように除去し、好ましくは第１の導電膜２３５、２４５の表面と残存した絶縁膜２０７の表面の高さが一致するように設ける。このように設けた場合、後に形成される第２の導電膜２１６が積層体２３０ａ、２３０ｂを横断する際に、積層体２３０ａ、２３０ｂの端部における第２の導電膜２１６の段切れを抑制することができる。

【0041】

絶縁膜２１７の除去としては、ドライエッチングやウェットエッチングにより行うことができる。また、絶縁膜２１７の表面が凹凸である場合には、あらかじめ絶縁膜２１７の表面に、スピンコート法等によりレジスト、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル、エポキシ等の有機材料、またはシロキサン樹脂等のシロキサン材料、オキサゾール樹脂等を形成して表面を平坦にした後にエッチングを行うことによって、第１の導電膜２３５、２４５の表面の高さと絶縁膜２０７の表面の高さをそろえることが可能となる。この場合、絶縁膜２１７の表面に形成する材料は、用いるエッチング剤に対して、絶縁膜２１７とエッチングの選択比が同等の材料を用いることが好ましい。

Sandisk Technologies, Inc. - Ex. 1002, Page 000940

【0042】
また、研削処理、研磨処理、ＣＭＰ（Ｃｈｅｍｉｃａｌ　Ｍｅｃｈａｎｉｃａｌ　Ｐｏｌｉｓｈｉｎｇ）等により絶縁膜２１７の除去を行ってもよい。研削処理は、砥石の粒子を用いて被処理物の表面（ここでは、絶縁膜２１７）を削り取り第１の導電膜２３５、２４５の表面を露出させる。研磨処理は、研磨布紙や研磨砥粒等の研磨材を用いて被処理物の表面を塑性的平滑作用または摩擦的みがき作用によって削る。
【0043】
なお、絶縁膜２１７を除去する際には、第１の導電膜２３５、２４５がストッパとして機能するため、ゲート絶縁膜２３４、２４４がエッチングされるのを防ぐことができる。特に、ゲート絶縁膜２３４、２４４と絶縁膜２１７とを同じ材料で設けた場合には、第１の導電膜２３５、２４５がエッチング等のストッパとして効果的に機能する。
【0044】
また、絶縁膜２１７は、第１の導電膜２３５、２４５の表面が全面露出するように除去することが好ましいが、第１の導電膜２３５、２４５の表面の少なくとも一部が露出するように除去すればよい。少なくとも第１の導電膜２３５、２４５の一部が露出していれば、後に形成される第２の導電膜２１６と電気的に接続することが可能となるためである。
【0045】
なお、第１の導電膜２３５、２４５の表面と絶縁膜２０７の表面とを完全に一致させることが好ましいが、第１の導電膜２３５、２４５の表面と絶縁膜２０７の表面との高さの差が積層体２３０ａ、２３０ｂの高さの値より小さくなるのであれば、絶縁膜２０７の表面の高さを第１の導電膜２３５、２４５の表面の高さより低く設けてもよいし、高く設けてもよい。このように設けた場合であっても、積層体２３０ａ、２３０ｂの端部における段差を緩和することが可能となる。
【0046】
次に、第１の導電膜２３５、２４５及び絶縁膜２０７上に第２の導電膜２１６を形成する（図２（Ｅ）、図４（Ｅ））。
【0047】
第２の導電膜２１６は、タンタル（Ｔａ）、タングステン（Ｗ）、チタン（Ｔｉ）、モリブデン（Ｍｏ）、アルミニウム（Ａｌ）、銅（Ｃｕ）、クロム（Ｃｒ）、ニオブ（Ｎｂ）等から選択された元素またはこれらの元素を主成分とする合金材料若しくは化合物材料の単層又は積層構造で形成することができる。また、リン等の不純物元素をドーピングした多結晶珪素に代表される半導体材料により形成することもできる。また、第１の導電膜２３５、２４５と第２の導電膜２１６は、同一の材料で設けてもよいし、異なる材料で設けてもよい。例えば、第１の導電膜２３５、２４５として窒化タンタルを用い、第２の導電膜２１６としてタングステンを用いて設けることができる。また、第１の導電膜２３５、２４５としてチタンを用い、第２の導電膜２１６としてアルミニウムとチタンを順に積層した構造を用いてもよい。
【0048】
次に、第２の導電膜２１６上にレジスト２１１を選択的に形成し、当該レジスト２１１をマスクとして、第１の導電膜２３５、２４５の一部、第２の導電膜２１６の一部を選択的に除去することによって、第１の導電膜２０５、２１５、第２の導電膜２０６とする（図３（Ａ）、図５（Ａ））。なお、このときゲート絶縁膜２０４、２１４の一部（レジスト２１１に覆われていない部分）も第１の導電膜２３５、２４５、第２の導電膜２１６と同様に、レジスト２１１をマスクとして選択的に除去してもよい。
【0049】
次に、第１の導電膜２０５、２１５及び第２の導電膜２０６をマスクとして、半導体膜２０３、２１３に不純物元素を導入することによって、半導体膜２０３に不純物領域２０３ｂを形成し、半導体膜２１３に不純物領域２１３ｂを形成する（図３（Ｂ））。不純物領域２０３ｂは、薄膜トランジスタ２００ａにおいてソース領域又はドレイン領域として機能し、不純物領域２１３ｂは、薄膜トランジスタ２００ｂにおいてソース領域又はドレ

イン領域として機能する。

【0050】

不純物元素としては、ｎ型を付与する不純物元素又はｐ型を付与する不純物元素を用いることができる。ｎ型を示す不純物元素としては、リン（Ｐ）やヒ素（Ａｓ）等を用いることができる。ｐ型を示す不純物元素としては、ボロン（Ｂ）やアルミニウム（Ａｌ）やガリウム（Ｇａ）等を用いることができる。例えば、半導体膜２０３にリン（Ｐ）を１×１０^{19}～１×１０^{20}／ｃｍ^{3}の濃度で含まれるように導入することによりｎ型を示す不純物領域２０３ｂを形成し、半導体膜２１３にボロン（Ｂ）を１×１０^{19}～１×１０^{20}／ｃｍ^{3}の濃度で含まれるように導入することによりｐ型を示す不純物領域２１３ｂを形成することができる。

【0051】

次に、第２の導電膜２０６、ゲート絶縁膜２０４、２１４等を覆うように絶縁膜２０８を形成し、当該絶縁膜２０８上にソース電極又はドレイン電極として機能する導電膜２０９を選択的に形成する（図３（Ｃ）、図５（Ｂ））。導電膜２０９は、半導体膜２０３、２１３のソース領域又はドレイン領域として機能する不純物領域２０３ｂ、２１３ｂと電気的に接続されるように設ける。

【0052】

絶縁膜２０８は、ＣＶＤ法やスパッタリング法等で形成した、酸化シリコン、酸化窒化シリコン（ＳｉＯｘＮｙ）（ｘ＞ｙ＞０）、窒化酸化シリコン（ＳｉＮｘＯｙ）（ｘ＞ｙ＞０）などを用いることができる。また、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル、エポキシ等の有機材料、またはシロキサン樹脂等のシロキサン材料、オキサゾール樹脂などからなる単層または積層構造で設けることができる。ここでは、絶縁膜２０８として、ＣＶＤ法で形成した酸化シリコン、酸化窒化シリコン（ＳｉＯｘＮｙ）（ｘ＞ｙ＞０）又は窒化酸化シリコン（ＳｉＮｘＯｙ）（ｘ＞ｙ＞０）を単層又は積層して形成する。また、さらに、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル、エポキシ等の有機材料、シロキサン樹脂等のシロキサン材料、又はオキサゾール樹脂を積層して形成してもよい。

【0053】

導電膜２０９は、アルミニウム、タングステン、チタン、タンタル、モリブデン、ニッケル、ネオジウムから選ばれた一種の元素または当該元素を複数含む合金からなる単層構造または積層構造を用いることができる。例えば、当該元素を複数含む合金からなる導電膜として、チタンを含有したアルミニウム合金、ネオジウムを含有したアルミニウム合金などで形成することができる。また、積層構造で設ける場合、例えば、アルミニウム層若しくは前記したようなアルミニウム合金層を、チタン層で挟んで積層させた構造としても良い。

【0054】

以上の工程により、図１に示した半導体装置を作製することができる。なお、図１に示した半導体装置は、図３（Ａ）において、レジスト２１１をマスクとしてゲート絶縁膜２０４の一部を除去した場合を示している。

【0055】

なお、本実施の形態では、トランジスタとして薄膜トランジスタを用いた例を示したが、これに限られず様々な形態のトランジスタを適用させることが出来る。よって、適用可能なトランジスタの種類に限定はない。したがって、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ（ＴＦＴ）に限られず、半導体基板やＳＯＩ基板を用いて形成されるトランジスタ、ＭＯＳ型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、ＺｎＯ、ａ－ＩｎＧａＺｎＯなどの化合物半導体を用いたトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。なお、非単結晶半導体膜には水素またはハロゲンが含まれていてもよい。

【0056】

Sandisk Technologies, Inc. - Ex. 1002, Page 000942

また、トランジスタの構成は、様々な形態をとることができる。特定の構成に限定されない。例えば、ゲート本数が２本以上になっているマルチゲート構造を用いてもよい。マルチゲート構造にすることにより、オフ電流の低減や、トランジスタの耐圧の向上による信頼性の向上や、飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレインとソース間電流があまり変化せず、フラットな特性にすることができる。また、ＬＤＤ領域があってもよい。ＬＤＤ領域を設けることにより、オフ電流の低減や、トランジスタの耐圧の向上による信頼性の向上や、飽和領域で動作する時に、ドレインとソース間電圧が変化しても、ドレインとソース間電流があまり変化せず、フラットな特性にすることができる。

【0057】

なお、本実施の形態は、本明細書の他の実施の形態に示す半導体装置の構成と自由に組み合わせて行うことができる。

【0058】

（実施の形態２）

本実施の形態では、上記実施の形態と異なる半導体装置及びその作製方法に関して図面を参照して説明する。具体的には、上記実施の形態で示した半導体装置において、サイドウォールを設けた構造に関して説明する。

【0059】

上記実施の形態で示した薄膜トランジスタに絶縁膜（以下、「サイドウォール」と記す）を設ける場合の半導体装置の作製方法について図６を参照して説明する。なお、図６は上述した図１（Ａ）におけるa_1－b_1の断面図を示している。

【0060】

まず、上記図３（Ａ）、図５（Ａ）まで同様に形成した後、第２の導電膜２０６をマスクとして、半導体膜２０３、２１３に不純物元素を導入し、不純物領域２１２を形成する（図６（Ａ））。不純物元素としては、ｎ型を付与する不純物元素又はｐ型を付与する不純物元素を用いることができる。ｎ型を示す不純物元素としては、リン（Ｐ）やヒ素（Ａｓ）等を用いることができる。ｐ型を示す不純物元素としては、ボロン（Ｂ）やアルミニウム（Ａｌ）やガリウム（Ｇａ）等を用いることができる。ここでは、半導体膜２０３、２１３にリン（Ｐ）を1×10^{15}～1×10^{19}／cm^3の濃度で含まれるように導入することによりｎ型を示す不純物領域２１２を形成する。

【0061】

次に、半導体膜２０３を覆うようにレジスト２２１を形成し、半導体膜２１３に第２の導電膜２０６をマスクとして不純物元素を導入することにより不純物領域２１３ｂを形成する（図６（Ｂ））。不純物元素としては、図６（Ａ）で導入した不純物元素より高い濃度のｎ型を付与する不純物元素又はｐ型を付与する不純物元素を用いることができる。ここでは、半導体膜２１３にボロン（Ｂ）を1×10^{19}～1×10^{20}／cm^3の濃度で含まれるように導入することによって、ｐ型を示す不純物領域２１３ｂを形成することができる。その結果、半導体膜２１３に、チャネル形成領域２１３ａ、ソース領域又はドレイン領域として機能する不純物領域２１３ｂが形成される。

【0062】

次に、第１の導電膜２０５、２１５及び第２の導電膜２０６の側面に接するように絶縁膜（サイドウォール２１８）を形成する（図６（Ｃ））。

【0063】

サイドウォール２１８の作製方法としては、まず、ゲート絶縁膜２０４、２１４、第２の導電膜２０６を覆うように、プラズマＣＶＤ法やスパッタリング法等により、珪素、珪素の酸化物又は珪素の窒化物の無機材料を含む膜や、有機樹脂等の有機材料を含む膜を単層又は積層して形成する。次に、絶縁膜を、垂直方向を主体とした異方性エッチングにより選択的にエッチングすることによって、第１の導電膜２０５、２１５、第２の導電膜２０６の側面に接するサイドウォール２１８を形成する。なお、サイドウォール２１８の形成と同時に、ゲート絶縁膜２０４、２１４の一部や絶縁膜２０７の一部がエッチングされ

Sandisk Technologies, Inc. - Ex. 1002, Page 000943

て除去される場合がある（図６（Ｃ）参照）。ゲート絶縁膜２０４、２１４の一部が除去されることによって、残存するゲート絶縁膜２０４、２１４は、第１の導電膜２０５、２１５及びサイドウォール２１８の下方に形成される。また、絶縁膜２０７の一部が除去されることによって、残存する絶縁膜２０７は、第２の導電膜２０６の下方及びサイドウォール２１８の下方に形成される。

【0064】

次に、半導体膜２１３を覆うようにレジスト２３１を形成し、半導体膜２０３に第２の導電膜２０６及びサイドウォール２１８をマスクとして不純物元素を導入することにより不純物領域２０３ｂを形成する（図６（Ｄ））。不純物元素としては、図６（Ａ）で導入した不純物元素より高い濃度のｎ型を付与する不純物元素又はｐ型を付与する不純物元素を用いることができる。ここでは、半導体膜２０３にリン（Ｐ）を1×10^{19}～1×10^{20}／cm^3の濃度で含まれるように導入することによって、ｎ型を示す不純物領域２０３ｂを形成することができる。その結果、半導体膜２０３に、チャネル形成領域２０３ａ、ソース領域又はドレイン領域として機能する不純物領域２０３ｂ、ＬＤＤ領域として機能する不純物領域２０３ｃが形成される。

【0065】

次に、第２の導電膜２０６、ゲート絶縁膜２０４、２１４、サイドウォール２１８等を覆うように絶縁膜２０８を形成し、当該絶縁膜２０８上にソース電極又はドレイン電極として機能する導電膜２０９を選択的に形成する（図６（Ｅ））。導電膜２０９は、半導体膜２０３、２１３のソース領域又はドレイン領域として機能する不純物領域２０３ｂ、２１３ｂと電気的に接続されるように設ける。

【0066】

以上の工程により、サイドウォールを設けた半導体装置を作製することができる。

【0067】

なお、本実施の形態では、ｎ型の薄膜トランジスタ２００ａに含まれる半導体膜２０３にＬＤＤ領域を形成し、ｐ型の薄膜トランジスタ２００ｂに含まれる半導体膜２１３にＬＤＤ領域を意図的に設けない構造を示したが、もちろんこれに限られず、半導体膜２０３と半導体膜２１３の両方にＬＤＤ領域を形成してもよい。

【0068】

なお、本実施の形態は、本明細書の他の実施の形態と自由に組み合わせて行うことができる。

【0069】

（実施の形態３）

本実施の形態では、上記実施の形態と異なる半導体装置及びその作製方法に関して図面を参照して説明する。具体的には、上記実施の形態で示した半導体装置において、半導体膜にソース領域又はドレイン領域として機能する不純物領域に隣接して、ソース領域又はドレイン領域となる不純物領域と異なる導電型を有する不純物領域を設けた構成に関して説明する。

【0070】

本実施の形態で示す半導体装置の一例に関して図７を参照して説明する。図７（Ａ）は本実施の形態で示す半導体装置の上面図を示し、図７（Ａ）のa_1-b_1における断面図を図７（Ｂ）に、図７（Ａ）のa_2-b_2における断面図を図７（Ｃ）に示している。

【0071】

本実施の形態で示す半導体装置は、上述した図１に示す構造において、半導体膜２０３、２１３の端部に不純物領域２０３ｄ、２１３ｄを設けたものである。不純物領域２０３ｄ、２１３ｄは、ゲート電極及びゲート配線として機能する第２の導電膜２０６と重なる半導体膜２０３、２１３の端部及び／又はその近傍に設ければよい。また、不純物領域２０３ｄ、２１３ｄは、半導体膜２０３、２１３においてソース領域又はドレイン領域として機能する不純物領域２０３ｂ、２１３ｂと異なる導電型を有するように設ける。

【0072】

例えば、半導体膜２０３において、ソース領域又はドレイン領域として機能する不純物領域２０３ｂをｎ型の導電型を有するように設けた場合、半導体膜２０３の端部に設ける不純物領域２０３ｄはｐ型の導電型を有するように設ける。また、半導体膜２１３において、ソース領域又はドレイン領域として機能する不純物領域２１３ｂをｐ型の導電型を有するように設けた場合、半導体膜２１３の端部に設ける不純物領域２１３ｄはｎ型の導電型を有するように設ける。この場合、半導体膜２０３、２１３のいずれか一方に不純物領域２０３ｄ、２１３ｄを設けてもよいし、両方に設けてもよい。

【0073】

なお、第２の導電膜２０６と重なる半導体膜２０３、２１３の端部及び／又はその近傍とは、半導体膜２０３、２１３の端部であって第２の導電膜２０６と重なる領域及び重なる領域の近傍、又は半導体膜２０３、２１３の端部であって第２の導電膜２０６と重なる領域の近傍（第２の導電膜２０６と重なる領域は含まない）をいう。例えば、半導体膜２０３、２１３の端部であって第２の導電膜２０６と重なる領域及び重なる領域の近傍に不純物領域２０３ｄ、２１３ｄを形成する場合には、第１の導電膜２０５を形成する前に半導体膜２０３、２１３に不純物元素を導入しておくことが好ましい。一方、半導体膜２０３、２１３の端部であって第２の導電膜２０６と重なる領域の近傍に不純物領域２０３ｄ、２１３ｄを形成する場合には、第２の導電膜２０６を形成した後に半導体膜２０３、２１３に不純物元素を導入することができる。

【0074】

このように、第２の導電膜２０６と重なる半導体膜２０３、２１３の端部に不純物領域２０３ｂ、２１３ｂと導電型が異なる不純物領域２０３ｄ、２１３ｄを設けることにより、不純物領域２０３ｂ、２１３ｂと不純物領域２０３ｄ、２１３ｄの隣接する部分はｐｎ接合により抵抗が高くなる。その結果、第２の導電膜２０６と重なる半導体膜２０３、２１３の端部に形成されるチャネル形成領域の特性がトランジスタ全体の特性へ及ぼす影響を低減することが可能となる。

【0075】

従来の薄膜トランジスタでは、導電膜と重なる半導体膜の端部において、ゲート絶縁膜の被覆不良や作製プロセスに伴い、電荷の蓄積される場合がある。半導体膜２０３、２１３の端部をチャネル形成領域とするトランジスタ１５１（以下、「エッジトランジスタ１５１」とも記す）と半導体膜２０３、２１３の中央部をチャネル形成領域とするトランジスタ１５２（以下、「メイントランジスタ１５２」とも記す）が並列に接続された一つのトランジスタとみなすことができる。従って、等価回路は図８（Ａ）に示すようになり、トランジスタ全体（エッジトランジスタ１５１＋メイントランジスタ１５２）の特性はメイントランジスタ１５２の特性だけでなく、エッジトランジスタ１５１の特性も影響するおそれがある。

【0076】

一方、本実施の形態で示した構造でも、メイントランジスタ１５２及びエッジトランジスタ１５１が並列に接続された構造とみなすことができるが、不純物領域２０３ｄ、２１３ｄを設けることによって、等価回路は図８（Ｂ）に示すようになる。不純物領域２０３ｂ、２１３ｂと不純物領域２０３ｄ、２１３ｄの間の抵抗が高くなるため、エッジトランジスタ１５１の特性がトランジスタ全体の特性に及ぼす影響を低減することが可能となる。

【0077】

特に、本発明の半導体装置において、絶縁膜２１７の形成後に第１の導電膜２３５、２４５の表面を露出させるために当該絶縁膜２１７の一部を除去する際に、残存した絶縁膜２０７の表面の高さがゲート絶縁膜２０４、２１４の表面の高さより低く形成される場合がある。この場合、その後に形成される第２の導電膜２１６が第１の導電膜２０５、２１５、ゲート絶縁膜２０４、２１４の側面と接するため、半導体膜２０３、２１３と第２の導電膜２１６において、ショート等が生じやすくなるおそれがある。このような場合であっても、本実施の形態で示した構造とすることによって、半導体膜２０３、２１３の端部

におけるショート等の問題を抑制することが可能となる。

【0078】

なお、本実施の形態は、本明細書の他の実施の形態と自由に組み合わせて行うことができる。例えば、本実施の形態で示した構造に上記実施の形態２に示したサイドウォールを設けることも可能である。

【0079】

（実施の形態４）

本実施の形態では、上記実施の形態と異なる半導体装置及びその作製方法に関して図面を参照して説明する。具体的には、半導体装置において、メモリ部を構成する不揮発性メモリ素子と、当該メモリ素子の制御を行うトランジスタ等の素子に関して説明する。

【0080】

まず、半導体装置に設けられるメモリ部の一例を図９に示す。

【0081】

図９に示すメモリ部は、制御用トランジスタＳと不揮発性メモリ素子Ｍとを有するメモリセルが複数設けられている。図９では、制御用トランジスタＳ０１と不揮発性メモリ素子Ｍ０１により一つのメモリセルが形成されている。また、同様に、制御用トランジスタＳ０２と不揮発性メモリ素子Ｍ０２、制御用トランジスタＳ０３と不揮発性メモリ素子Ｍ０３、制御用トランジスタＳ１１と不揮発性メモリ素子Ｍ１１、制御用トランジスタＳ１２と不揮発性メモリ素子Ｍ１２、制御用トランジスタＳ１３と不揮発性メモリ素子Ｍ１３とによりそれぞれメモリセルが形成されている。

【0082】

制御用トランジスタＳ０１のゲート電極はワード線ＷＬ１に接続され、ソース又はドレインの一方はビット線ＢＬ０に接続され、他方は不揮発性メモリ素子Ｍ０１のソース又はドレインに接続されている。また、不揮発性メモリ素子Ｍ０１のゲート電極はワード線ＷＬ１１に接続され、ソース又はドレインの一方は制御用トランジスタＳ０１のソース又はドレインに接続され、他方はソース線ＳＬ０に接続されている。

【0083】

また、メモリ部に設ける不揮発性メモリ素子を図２２に示すようにＮＡＮＤ型として設けてもよい。

【0084】

図２２に示すＮＡＮＤ型メモリセルアレイの等価回路において、ビット線ＢＬには、複数の不揮発性メモリ素子を直列に接続したＮＡＮＤセルＮＳ１が接続されている。複数のＮＡＮＤセルが集まってブロックＢＬＫを構成している。図２２で示すブロックＢＬＫ１のワード線は３２本である（ワード線ＷＬ０～ＷＬ３１）。ブロックＢＬＫ１の同一行に位置する不揮発性メモリ素子には、この行に対応するワード線が共通接続されている。

【0085】

この場合、選択トランジスタＳ１、Ｓ２と不揮発性メモリ素子Ｍ０～Ｍ３１が直列に接続されているので、これらを一つのまとまりとして一つの半導体層３４で形成しても良い。それにより不揮発性メモリ素子を繋ぐ配線を省略することが出来るので、集積化を図ることができる。また、隣接するＮＡＮＤセルとの分離を容易に行うことができる。また、選択トランジスタＳ１、Ｓ２の半導体層３６とＮＡＮＤセルの半導体層３８を分離して形成しても良い。不揮発性メモリ素子Ｍ０～Ｍ３１の浮遊ゲートから電荷を引き抜く消去動作を行うときに、そのＮＡＮＤセルの単位で消去動作を行うことができる。また、一つのワード線に共通接続する不揮発性メモリ素子（例えばＭ３０の行）を一つの半導体層４０で形成しても良い。

【0086】

また、他にも、メモリ部に設ける不揮発性メモリ素子を図２３に示すようにＡＮＤ型として設けてもよい。

【0087】

図２３に示すＡＮＤ型メモリセルアレイの等価回路において、ビット線ＢＬには、複数

の不揮発性メモリ素子を並列に接続したＡＮＤセルＡＳ１が接続されている。複数のＡＮＤセルが集まってブロックＢＬＫを構成している。図２３で示すブロックＢＬＫ１のワード線は１２８本である（ワード線ＷＬ０～ＷＬ１２７）。ブロックＢＬＫ１の同一行に位置する不揮発性メモリ素子には、この行に対応するワード線が共通接続されている。

【0088】

この場合、選択トランジスタＳ１、Ｓ２と不揮発性メモリ素子Ｍ０～Ｍ１２８が並列に接続されている。具体的には、主ビット線ＢＬと副ビット線ＢＬ’が設けられており、各々の不揮発性メモリ素子を副ビット線ＢＬ’に並列に接続したアレイ構造とすることによって、ワード線ＷＬごとに消去が可能となっている。

【0089】

ＮＡＮＤ型の利点としてはメモリセルの微細化が挙げられ、ＡＮＤ型の利点としては多値技術の導入が容易にできることが挙げられる。もちろん本実施の形態で示すメモリ部に設ける不揮発性メモリ素子は、ＮＡＮＤ型に設けてもよいし、ＡＮＤ型で設けてもよい。

【0090】

次に、不揮発性メモリ素子と薄膜トランジスタを同時に形成する場合に関して図面を参照して説明する。なお、図１２～図１４は上面図を示し、図１０、図１１、図２０は図１２～図１４におけるＡ－Ｂ間、Ｃ－Ｄ間の断面図を示している。また、図２１は、図１４におけるＥ－Ｆ間、Ｇ－Ｈ間の断面図を示している。なお、本実施の形態では、Ａ－Ｂ間における不揮発性メモリ素子の電荷の蓄積を電子で行う場合を示し、Ｃ－Ｄ間に設けられる薄膜トランジスタをｎチャネル型とする場合に関して説明を行うが、これに限られるものでない。

【0091】

まず、基板３０１上に絶縁膜３０２を介して半導体膜３０３を形成し、当該半導体膜３０３上に第１の絶縁膜３０４、電荷蓄積層３０５を積層させて形成する（図１０（Ａ）参照）。

【0092】

基板３０１は、ガラス基板、石英基板、セラミック基板、金属基板（例えばステンレス基板など）、Ｓｉ基板等の半導体基板から選択されるものである。他にもプラスチック基板として、ポリエチレンテレフタレート（ＰＥＴ）、ポリエチレンナフタレート（ＰＥＮ）、ポリエーテルサルフォン（ＰＥＳ）、アクリルなどの基板を選択することもできる。

【0093】

絶縁膜３０２は、ＣＶＤ法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン（ＳｉＯｘＮｙ）（ｘ＞ｙ＞０）、窒化酸化シリコン（ＳｉＮｘＯｙ）（ｘ＞ｙ＞０）等の絶縁材料を用いて形成する。例えば、絶縁膜３０２を２層構造とする場合、第１層目の絶縁膜として窒化酸化シリコン膜を形成し、第２層目の絶縁膜として酸化窒化シリコン膜を形成するとよい。また、第１層目の絶縁膜として窒化シリコン膜を形成し、第２層目の絶縁膜として酸化シリコン膜を形成してもよい。このように、ブロッキング層として機能する絶縁膜３０２を形成することによって、基板３０１からＮａなどのアルカリ金属やアルカリ土類金属が、この上に形成する素子に悪影響を与えることを防ぐことができる。なお、基板３０１として石英を用いるような場合には絶縁膜３０２を省略してもよい。

【0094】

半導体膜３０３は、非晶質半導体膜又は結晶質半導体膜で形成する。結晶性半導体膜は、絶縁膜３０２上に形成した非晶質半導体膜を熱処理やレーザー光の照射によって結晶化させたもの、絶縁膜３０２上に形成した結晶性半導体膜を非晶質化した後、再結晶化させたものなどが含まれる。レーザー光の照射による結晶化は、上記実施の形態１で示したように行えばよい。

【0095】

第１の絶縁膜３０４は、半導体膜３０３に熱処理又はプラズマ処理等を行うことによって形成することができる。例えば、高密度プラズマ処理により当該半導体膜３０３に酸化

処理、窒化処理又は酸窒化処理を行うことによって、当該半導体膜３０３上にそれぞれ酸化膜、窒化膜又は酸窒化膜となる第１の絶縁膜３０４を形成する。なお、第１の絶縁膜３０４は、ＣＶＤ法やスパッタリング法により酸化シリコン、窒化シリコン、酸窒化シリコン、窒化酸化シリコン等で形成してもよいし、ＣＶＤ法やスパッタリング法で形成したこれらの膜に高密度プラズマ処理を行うことにより形成してもよい。

【0096】

例えば、半導体膜３０３としてＳｉを主成分とする材料を用いて高密度プラズマ処理により酸化処理又は窒化処理を行った場合、第１の絶縁膜３０４として酸化シリコン（ＳｉＯｘ）膜又は窒化シリコン（ＳｉＮｘ）膜が形成される。また、高密度プラズマ処理により半導体膜３０３に酸化処理を行った後に、再度高密度プラズマ処理を行うことによって窒化処理を行ってもよい。この場合、半導体膜３０３に接して酸化シリコン膜が形成され、当該酸化シリコン膜の表面又は表面近傍に窒素濃度の高い窒素プラズマ処理層が設けられる。

【0097】

ここでは、第１の絶縁膜３０４を１～１０ｎｍ、好ましくは１～５ｎｍで形成する。例えば、高密度プラズマ処理により半導体膜３０３に酸化処理を行い当該半導体膜３０３の表面に概略３ｎｍの酸化シリコン膜を形成した後、高密度プラズマ処理により窒化処理を行い酸化シリコン膜の表面又は表面近傍に窒素プラズマ処理層を形成する。半導体膜３０３に酸素雰囲気下及び窒素雰囲気下で順に高密度プラズマ処理を行うことによって、第１の絶縁膜３０４として、概略３ｎｍの酸化シリコン層であって表面から０．２５～０．７５ｎｍの深さに窒素を２０～５０原子％の割合で含有させた構造とすることができる。なお、窒素プラズマ処理層には、酸素と窒素を含有したシリコン（酸窒化シリコン）が含まれている。

【0098】

また、このとき、高密度プラズマ処理による酸化処理と窒化処理は大気に一度も曝されることなく連続して行うことが好ましい。高密度プラズマ処理を連続して行うことによって、汚染物の混入の防止や生産効率の向上を実現することができる。

【0099】

なお、高密度プラズマ処理により半導体膜を酸化する場合には、酸素を含む雰囲気下（例えば、酸素（O_2）又は一酸化二窒素（N_2O）と希ガス（Ｈｅ、Ｎｅ、Ａｒ、Ｋｒ、Ｘｅの少なくとも一つを含む）雰囲気下、若しくは酸素又は一酸化二窒素と水素（H_2）と希ガス雰囲気下）で高密度プラズマ処理を行う。一方、高密度プラズマ処理により半導体膜を窒化する場合には、窒素を含む雰囲気下（例えば、窒素（N_2）と希ガス（Ｈｅ、Ｎｅ、Ａｒ、Ｋｒ、Ｘｅの少なくとも一つを含む）雰囲気下、窒素と水素と希ガス雰囲気下、若しくはNH_3と希ガス雰囲気下）で高密度プラズマ処理を行う。

【0100】

希ガスとしては、例えばＡｒを用いることができる。また、ＡｒとＫｒを混合したガスを用いてもよい。高密度プラズマ処理を希ガス雰囲気中で行った場合、第１の絶縁膜３０４は、プラズマ処理に用いた希ガス（Ｈｅ、Ｎｅ、Ａｒ、Ｋｒ、Ｘｅの少なくとも一つを含む）を含んでいる場合があり、Ａｒを用いた場合には第１の絶縁膜３０４にＡｒが含まれている場合がある。

【0101】

また、高密度プラズマ処理の条件は、上記実施の形態で示した条件で行えばよい。本実施の形態では、高密度プラズマ処理により被処理物の酸化処理を行う場合、酸素（O_2）、水素（H_2）とアルゴン（Ａｒ）との混合ガスを導入する。ここで用いる混合ガスは、酸素を０．１～１００ｓｃｃｍ、水素を０．１～１００ｓｃｃｍ、アルゴンを１００～５０００ｓｃｃｍとして導入すればよい。なお、酸素：水素：アルゴン＝１：１：１００の比率で混合ガスを導入することが好ましい。例えば、酸素を５ｓｃｃｍ、水素を５ｓｃｃｍ、アルゴンを５００ｓｃｃｍとして導入すればよい。

【0102】

また、高密度プラズマ処理により窒化処理を行う場合、窒素（N_2）とアルゴン（Ａｒ）との混合ガスを導入する。ここで用いる混合ガスは、窒素を２０～２０００ｓｃｃｍ、アルゴンを１００～１００００ｓｃｃｍとして導入すればよい。例えば、窒素を２００ｓｃｃｍ、アルゴンを１０００ｓｃｃｍとして導入すればよい。

【0103】

本実施の形態において、メモリ部に設けられた半導体膜３０３上に形成される第１の絶縁膜３０４は、後に完成する不揮発性メモリ素子において、トンネル酸化膜として機能する。従って、第１の絶縁膜３０４の膜厚が薄いほど、トンネル電流が流れやすく、メモリ素子として高速動作が可能となる。また、第１の絶縁膜３０４の膜厚が薄いほど、電荷蓄積層３０５に低電圧で電荷を蓄積させることが可能となるため、半導体装置の消費電力を低減することができる。そのため、第１の絶縁膜３０４は、膜厚を薄く（例えば、１０ｎｍ以下）形成することが好ましい。

【0104】

また、一般的に、半導体膜上に絶縁膜を薄く形成する方法として熱酸化法があるが、基板３０１としてガラス基板等の融点が十分に高くない基板を用いる場合には、熱酸化法により第１の絶縁膜３０４を形成することは非常に困難である。また、ＣＶＤ法やスパッタリング法により形成した絶縁膜は、膜の内部に欠陥を含んでいるため膜質が十分でなく、膜厚を薄く形成した場合にはピンホール等の欠陥が生じる問題がある。また、ＣＶＤ法やスパッタリング法により絶縁膜を形成した場合には、半導体膜の端部の被覆が十分でなく、後に第１の絶縁膜３０４上に形成される導電膜等と半導体膜とがリークする場合がある。従って、本実施の形態で示すように、高密度プラズマ処理により第１の絶縁膜３０４を形成することによって、ＣＶＤ法やスパッタリング法等により形成した絶縁膜より緻密な絶縁膜を形成することができる。その結果、メモリとして高速動作や電荷保持特性を向上させることができる。なお、ＣＶＤ法やスパッタリング法により第１の絶縁膜３０４を形成した場合には、絶縁膜を形成した後に高密度プラズマ処理を行い当該絶縁膜の表面に酸化処理、窒化処理又は酸窒化処理を行うことが好ましく、例えば、ＣＶＤ法で酸化窒化シリコンを形成した後に高密度プラズマ処理を用いて酸化処理を行った後に窒化処理を行う。

【0105】

電荷蓄積層３０５は、導電膜、半導体膜、膜中に電荷をトラップする欠陥を有している絶縁膜、導電性粒子又はシリコン等の半導体粒子を含む絶縁膜で形成することができる。例えば、電荷蓄積層３０５としてシリコン（Ｓｉ）を主成分とする膜で形成することができる。また、ゲルマニウム（Ｇｅ）、シリコンゲルマニウム合金等のゲルマニウムを含む膜で形成することができる。ここでは、電荷蓄積層３０５として、ゲルマニウム元素を含む雰囲気中（例えば、GeH_4）でプラズマＣＶＤ法を行うことにより、ゲルマニウムを主成分とする膜を１～２０ｎｍ、好ましくは5～１０ｎｍで形成する。また、この場合、半導体膜３０３としてＳｉを主成分とする材料を用いて形成し、当該半導体膜３０３上にトンネル酸化膜として機能する第１の絶縁膜３０４を介してＳｉよりエネルギーギャップの小さいゲルマニウムを含む膜を電荷蓄積層３０５として設けた場合、半導体膜３０３の電荷に対する絶縁膜により形成される第１の障壁に対して電荷蓄積層３０５の電荷に対する絶縁膜により形成される第２の障壁がエネルギー的に高くなる。その結果、半導体膜３０３から電荷蓄積層３０５へ電荷を注入しやすくすることができ、電荷蓄積層３０５から電荷が消失することを防ぐことができる。つまり、メモリとして動作する場合に、低電圧で高効率な書き込みをすることが出来、且つ電荷保持特性を向上させることができる。また、メモリ部に設けられた半導体膜３０３上に形成される電荷蓄積層３０５は、後に完成する不揮発性メモリ素子において、浮遊ゲートとして機能する。

【0106】

また、電荷蓄積層３０５として、窒素元素を含む絶縁膜、例えば、窒化シリコン（ＳｉＮｘ）膜、窒化酸化シリコン（ＳｉＮｘＯｙ）（ｘ＞ｙ）膜、酸化窒化シリコン（ＳｉＯｘＮｙ）（ｘ＞ｙ）膜又はこれらの絶縁膜中に導電性粒子や半導体粒子が含まれた膜で形

Sandisk Technologies, Inc. - Ex. 1002, Page 000949

成してもよい。例えば、膜中に電荷をトラップする欠陥を有している窒化シリコン膜を１～２０ｎｍ、好ましくは１～１０ｎｍの厚さで形成することができる。

【0107】

次に、電荷蓄積層３０５を選択的に除去することによって、電荷蓄積層３０６とする（図１０（Ｂ）参照）。ここでは、後に完成する不揮発性メモリ素子に含まれる半導体膜３０３の上方に電荷蓄積層３０５が残存するように除去する。

【0108】

次に、第１の絶縁膜３０４、半導体膜３０３を選択的に除去することによって、半導体膜３０７ａ、第１の絶縁膜３０７ｂ及び電荷蓄積層３０７ｃが順に積層された積層体３０７と、島状の半導体膜３０８とを形成する（図１０（Ｃ）参照）。

【0109】

次に、積層体３０７と半導体膜３０８を覆うように第２の絶縁膜３０９を形成する（図１０（Ｄ）参照）。

【0110】

第２の絶縁膜３０９は、ＣＶＤ法やスパッタリング法等で形成した、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、ダイヤモンドライクカーボン（ＤＬＣ）などを用いることができる。また、スピンコート法や、液滴吐出法、スクリーン印刷法等で形成した、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル、エポキシ等の有機材料、またはシロキサン樹脂等のシロキサン材料、オキサゾール樹脂などからなる単層または積層構造で設けることができる。

【0111】

次に、第２の絶縁膜３０９を選択的に除去することによって一部を残存させ、電荷蓄積層３０７ｃと半導体膜３０８の表面を露出させる（図１０（Ｅ）、図１２）。なお、ここでは、残存した第２の絶縁膜３０９を第２の絶縁膜３１０として表している。第２の絶縁膜３０９の除去は、上記実施の形態で示したいずれかの方法を用いることができる。

【0112】

また、第２の絶縁膜３０９は、電荷蓄積層３０６、半導体膜３０８の表面が露出するように除去し、好ましくは半導体膜３０８の表面と残存した第２の絶縁膜３１０の表面の高さが一致するように設ける。このように設けた場合、後に形成される絶縁膜や導電膜が積層体３０７や半導体膜３０８を横断する際に、積層体３０７や半導体膜３０８の端部において段切れ等が生じるのを抑制することができる。

【0113】

また、電荷蓄積層３０７ｃ、半導体膜３０８の表面が全面露出するように第２の絶縁膜３０９を除去することが好ましいが、電荷蓄積層３０７ｃ、半導体膜３０８の表面の少なくとも一部が露出するように除去すればよい。

【0114】

なお、半導体膜３０８の表面と第２の絶縁膜３１０の表面とを完全に一致させることが好ましいが、半導体膜３０８の表面と第２の絶縁膜３１０の表面との高さの差が半導体膜３０８の高さの値より小さくなるのであれば、第２の絶縁膜３１０の表面の高さを半導体膜３０８の表面の高さより低く設けてもよいし、高く設けてもよい。なぜなら、このように設けた場合であっても、積層体３０７、半導体膜３０８の端部における段差を緩和することが可能であるためである。

【0115】

次に、電荷蓄積層３０７ｃ、半導体膜３０８及び第２の絶縁膜３１０上に第３の絶縁膜３１１を形成する（図１１（Ａ））。

【0116】

第３の絶縁膜３１１は、ＣＶＤ法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン等の絶縁材料を用いて単層又は積層して形成する。例えば、第３の絶縁膜３１１を単層で設ける場合には、ＣＶＤ法により酸化窒化シリコン膜又は窒化酸化シリコン膜を５～５０ｎｍの膜厚で形成する。また、第３の絶

縁膜３１１を３層構造で設ける場合には、第１層目の絶縁膜として酸化窒化シリコン膜を形成し、第２の絶縁膜として窒化シリコン膜を形成し、第３の絶縁膜として酸化窒化シリコン膜を形成する。また、他にも第３の絶縁膜３１１として、ゲルマニウムの酸化物又は窒化物を用いてもよい。

【0117】

また、第３の絶縁膜３１１として、上述した方法で用いて形成された絶縁膜に高密度プラズマ処理を行うことによって設けてもよい。例えば、ＣＶＤ法を用いて、酸化窒化シリコン膜又は窒化酸化シリコン膜を形成した後に高密度プラズマ処理を用いて酸化処理又は窒化処理を行うことによって第３の絶縁膜３１１を形成することができる。もちろん、上述したように酸化処理を行った後に窒化処理をおこなってもよい。ＣＶＤ法やスパッタリング法で形成した絶縁膜に高密度プラズマ処理を行うことによって、当該絶縁膜を緻密な膜にし、電子やホールのトラップとなる欠陥準位密度を低減することができる。

【0118】

なお、半導体膜３０７ａの上方に形成された第３の絶縁膜３１１は、後に完成する不揮発性メモリ素子においてコントロール絶縁膜として機能し、半導体膜３０８の上方に形成された第３の絶縁膜３１１は、後に完成するトランジスタにおいてゲート絶縁膜として機能する。

【0119】

次に、第３の絶縁膜３１１上に、導電膜３１２を形成する（図１１（Ｂ））。

【0120】

導電膜３１２は、タンタル（Ｔａ）、タングステン（Ｗ）、チタン（Ｔｉ）、モリブデン（Ｍｏ）、アルミニウム（Ａｌ）、銅（Ｃｕ）、クロム（Ｃｒ）、ニオブ（Ｎｂ）等から選択された元素またはこれらの元素を主成分とする合金材料若しくは化合物材料の単層又は積層構造で形成することができる。また、これらの元素を窒化した金属窒化膜で形成することもできる。他にも、リン等の不純物元素をドーピングした多結晶珪素に代表される半導体材料により形成することもできる。

【0121】

ここでは、導電膜３１２を窒化タンタルとタングステンが順に積層された構造で設ける。また、他にも、導電膜３１２として、金属窒化膜と金属膜を順に積層させた構造で設けることができる。

【0122】

次に、導電膜３１２上にレジスト３１３を選択的に形成し、当該レジスト３１３をマスクとして、導電膜３１２、第３の絶縁膜３１１、電荷蓄積層３０７ｃ、第１の絶縁膜３０７ｂを選択的にエッチングして除去する（図１１（Ｃ）、図１３）。ここでは、半導体膜３０７ａの上方の一部にトンネル絶縁膜として機能する第１の絶縁膜３１４、電荷蓄積層３１５、コントロール絶縁膜として機能する第３の絶縁膜３１６、ゲート電極として機能する導電膜３１７を残存させ、半導体膜３０８の上方の一部にゲート絶縁膜として機能する第３の絶縁膜３１８、ゲート電極として機能する導電膜３１９を残存させる。

【0123】

次に、半導体膜３０７ａ、３０８に導電膜３１７、３１９をマスクとして不純物元素を導入することによって、半導体膜３０７ａにチャネル形成領域３２０ａとソース領域又はドレイン領域として機能する不純物領域３２０ｂを形成し、半導体膜３０８にチャネル形成領域３２１ａとソース領域又はドレイン領域として機能する不純物領域３２１ｂを形成する。そして、導電膜３１７、３１９、半導体膜３０７ａ、３０８等を覆うように絶縁膜３２２を形成し、当該絶縁膜３２２上にソース電極又はドレイン電極として機能する導電膜３２３を選択的に形成する（図１１（Ｄ）、図２１（Ａ）、図１４）。

【0124】

絶縁膜３２２は、ＣＶＤ法やスパッタリング法等で形成した、酸化シリコン、酸化窒化シリコン、窒化酸化シリコンなどを用いることができる。また、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル、エポキシ等の有機材料、また

はシロキサン樹脂等のシロキサン材料、オキサゾール樹脂などからなる単層または積層構造で設けることができる。なお、シロキサン材料とは、Ｓｉ－Ｏ－Ｓｉ結合を含む材料に相当する。シロキサンは、シリコン（Ｓｉ）と酸素（Ｏ）との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。オキサゾール樹脂は、例えば、感光性ポリベンゾオキサゾール等である。感光性ポリベンゾオキサゾールは、誘電率が低く（常温１ＭＨｚで誘電率２．９）、耐熱性が高く（示差熱熱重量同時測定（ＴＧ／ＤＴＡ：Ｔｈｅｒｍｏｇｒａｖｉｍｅｔｒｙ－Ｄｉｆｆｅｒｅｎｔｉａｌ　Ｔｈｅｒｍａｌ　Ａｎａｌｙｓｉｓ）で昇温５℃／ｍｉｎで熱分解温度５５０℃）、吸水率が低い（常温２４時間で０．３％）材料である。オキサゾール樹脂は、ポリイミド等の比誘電率（３．２～３．４程度）と比較すると、比誘電率が低いため（２．９程度）、寄生容量の発生を抑制し、高速動作を行うことができる。ここでは、絶縁膜３２２として、ＣＶＤ法で形成した酸化シリコン、酸化窒化シリコン（ＳｉＯｘＮｙ）（ｘ＞ｙ＞０）又は窒化酸化シリコン（ＳｉＮｘＯｙ）（ｘ＞ｙ＞０）を単層又は積層して形成する。また、さらに、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル、エポキシ等の有機材料、シロキサン樹脂等のシロキサン材料、又はオキサゾール樹脂を積層して形成してもよい。

【0125】

導電膜３２３は、アルミニウム、タングステン、チタン、タンタル、モリブデン、ニッケル、ネオジウムから選ばれた一種の元素または当該元素を複数含む合金からなる単層構造または積層構造を用いることができる。例えば、当該元素を複数含む合金からなる導電膜として、チタンを含有したアルミニウム合金、ネオジウムを含有したアルミニウム合金などで形成することができる。また、積層構造で設ける場合、例えば、アルミニウム層若しくは前記したようなアルミニウム合金層を、チタン層で挟んで積層させた構造としても良い。

【0126】

以上の工程により、不揮発性メモリ素子を有する半導体装置を作製することができる。なお、上記実施の形態２に示したように、不揮発性メモリ素子において、導電膜３１７、第３の絶縁膜３１６、電荷蓄積層３１５等の側面に接するようにサイドウォールを設けた構造としてもよい。

【0127】

なお、上述した作製工程においては、絶縁膜３０９を形成した（図１０（Ｄ））後、半導体膜３０８の表面を露出するように絶縁膜３０９の一部を除去して絶縁膜３１０を残存させているが、図２０に示すように絶縁膜３０９の除去を行ってもよい。以下に、図２０を参照して説明する。

【0128】

まず、図１０（Ｄ）に示す構造まで上述した方法を用いて形成する（図２０（Ａ））。

【0129】

次に、絶縁膜３０９の一部を電荷蓄積層３０７ｃの表面が露出するように除去することによって、絶縁膜３１０ａを残存させる（図２０（Ｂ））。この際、半導体膜３０８の表面は露出しないように絶縁膜３０９の除去を行う。なお、この場合、電荷蓄積層３０７ｃと絶縁膜３１０ａの表面の高さが概略一致するように設けると、後に形成される第３の絶縁膜３１１や導電膜３１２の段切れを防止することができるため好ましい。

【0130】

次に、電荷蓄積層３０７ｃ及びその近傍に設けられた絶縁膜３１０ａ上にレジスト３２５を形成し、半導体膜３０８の表面が露出するように当該レジスト３２５に覆われていない絶縁膜３１０ａを除去することによって、絶縁膜３１０ｂを残存させる（図２０（Ｃ））。なお、この際、半導体膜３０８の表面と絶縁膜３１０ｂの表面の高さが概略一致するように設けると、後に形成される第３の絶縁膜３１１や導電膜３１２が半導体膜３０８と

絶縁膜３１０ｂの段差により生じる接続不良（段切れ）を防止することができるため好ましい。また、図２０（Ｂ）と図２０（Ｃ）におけるエッチング方法を変えることによって、絶縁膜３０９を除去する際に、半導体膜３０８の表面を露出させることによる半導体膜３０８へのダメージを低減することができる。例えば、図２０（Ｂ）においては、電荷蓄積層３０７ｃがストッパとして機能させてドライエッチングを用いて絶縁膜３０９の除去を行い、図２０（Ｃ）においては、半導体膜３０８の表面がダメージを受けにくいウェットエッチングを用いて絶縁膜３１０ａの除去を行うことができる。

【0131】

次に、絶縁膜３１０ａ、３１０ｂ、電荷蓄積層３０７ｃ、半導体膜３０８を覆うように第３の絶縁膜３１１、導電膜３１２を形成する（図２０（Ｄ））。その後、上述した方法を用いることによって、不揮発性メモリ素子を有する半導体装置を作製することができる（図２１（Ｂ））。

【0132】

このように、図２０に示した方法で形成することにより、不揮発性メモリ素子及び薄膜トランジスタにおいて、電荷蓄積層３１５の端部、半導体膜３０８の端部において、絶縁膜３１６、３１８に段切れ等が生じることを防止することができる。

【0133】

なお、本実施の形態は、本明細書の他の実施の形態と自由に組み合わせて行うことができる。

【0134】

（実施の形態５）

本実施の形態では、上記実施の形態で示した半導体装置の使用形態の一例について説明する。具体的には、非接触でデータの入出力が可能である半導体装置の適用例に関して図面を参照して以下に説明する。非接触でデータの入出力が可能である半導体装置は利用の形態によっては、ＲＦＩＤタグ、ＩＤタグ、ＩＣタグ、ＩＣチップ、ＲＦタグ、無線タグ、電子タグまたは無線チップともよばれる。

【0135】

まず、本実施の形態で示す半導体装置の上面構造の一例について、図１５（Ａ）を参照して説明する。図１５に示す半導体装置８０は、メモリ部やロジック部を構成する複数の薄膜トランジスタ等の素子が設けられた薄膜集積回路１３１と、アンテナとして機能する導電膜１３２を含んでいる。アンテナとして機能する導電膜１３２は、薄膜集積回路１３１に電気的に接続されている。

【0136】

また、薄膜集積回路１３１に薄膜トランジスタを設ける場合には、上記実施の形態で示した構造を適用することができる。

【0137】

また、図１５（Ｂ）、（Ｃ）に図１５（Ａ）の断面の模式図を示す。アンテナとして機能する導電膜１３２は、メモリ部及びロジック部を構成する素子の上方に設ければよく、例えば、上記実施の形態で示した構造の上方に、絶縁膜１３０を介してアンテナとして機能する導電膜１３２を設けることができる（図１５（Ｂ））。他にも、アンテナとして機能する導電膜１３２を基板１３３に別に設けた後、薄膜集積回路１３１と貼り合わせて設けることができる（図１５（Ｃ））。ここでは、絶縁膜１３０上に設けられた導電膜１３６とアンテナとして機能する導電膜１３２とが、接着性を有する樹脂１３５中に含まれる導電性粒子１３４を介して電気的に接続されている。

【0138】

なお、本実施の形態では、アンテナとして機能する導電膜１３２をコイル状に設け、電磁誘導方式または電磁結合方式を適用する例を示すが、本発明の半導体装置はこれに限られずマイクロ波方式を適用することも可能である。マイクロ波方式の場合は、用いる電磁波の波長によりアンテナとして機能する導電膜１３２の形状を適宜決めればよい。

【0139】

例えば、半導体装置８０における信号の伝送方式として、マイクロ波方式（例えば、ＵＨＦ帯（８６０～９６０ＭＨｚ帯）、２．４５ＧＨｚ帯等）を適用する場合には、信号の伝送に用いる電磁波の波長を考慮してアンテナとして機能する導電膜の長さ等の形状を適宜設定すればよく、アンテナとして機能する導電膜を線状（例えば、ダイポールアンテナ（図１６（Ａ））、平坦な形状（例えば、パッチアンテナ（図１６（Ｂ））またはリボン型の形状（図１６（Ｃ）、（Ｄ））等に形成することができる。また、アンテナとして機能する導電膜１３２の形状は線状に限られず、電磁波の波長を考慮して曲線状や蛇行形状またはこれらを組み合わせた形状で設けてもよい。

【0140】

アンテナとして機能する導電膜１３２は、ＣＶＤ法、スパッタリング法、スクリーン印刷やグラビア印刷等の印刷法、液滴吐出法、ディスペンサ法、メッキ法等を用いて、導電性材料により形成する。導電性材料は、アルミニウム（Ａｌ）、チタン（Ｔｉ）、銀（Ａｇ）、銅（Ｃｕ）、金（Ａｕ）、白金（Ｐｔ）ニッケル（Ｎｉ）、パラジウム（Ｐｄ）、タンタル（Ｔａ）、モリブデン（Ｍｏ）から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層構造又は積層構造で形成する。

【0141】

例えば、スクリーン印刷法を用いてアンテナとして機能する導電膜１３２を形成する場合には、粒径が数ｎｍから数十μｍの導電体粒子を有機樹脂に溶解または分散させた導電性のペーストを選択的に印刷することによって設けることができる。導電体粒子としては、銀（Ａｇ）、金（Ａｕ）、銅（Ｃｕ）、ニッケル（Ｎｉ）、白金（Ｐｔ）、パラジウム（Ｐｄ）、タンタル（Ｔａ）、モリブデン（Ｍｏ）およびチタン（Ｔｉ）等のいずれか一つ以上の金属粒子やハロゲン化銀の微粒子、または分散性ナノ粒子を用いることができる。また、導電性ペーストに含まれる有機樹脂は、金属粒子のバインダー、溶媒、分散剤および被覆材として機能する有機樹脂から選ばれた一つまたは複数を用いることができる。代表的には、エポキシ樹脂、珪素樹脂等の有機樹脂が挙げられる。また、導電膜の形成にあたり、導電性のペーストを押し出した後に焼成することが好ましい。例えば、導電性のペーストの材料として、銀を主成分とする微粒子（例えば粒径１ｎｍ以上１００ｎｍ以下）を用いる場合、１５０～３００℃の温度範囲で焼成することにより硬化させて導電膜を得ることができる。また、はんだや鉛フリーのはんだを主成分とする微粒子を用いてもよく、この場合は粒径２０μｍ以下の微粒子を用いることが好ましい。はんだや鉛フリーはんだは、低コストであるといった利点を有している。

【0142】

次に、本実施の形態で示す半導体装置の動作について説明する。

【0143】

半導体装置８０は、非接触でデータを交信する機能を有し、高周波回路８１、電源回路８２、リセット回路８３、クロック発生回路８４、データ復調回路８５、データ変調回路８６、他の回路の制御を行う制御回路８７、記憶回路８８およびアンテナ８９を有している（図１７（Ａ））。高周波回路８１はアンテナ８９より信号を受信して、データ変調回路８６より受信した信号をアンテナ８９から出力する回路であり、電源回路８２は受信信号から電源電位を生成する回路であり、リセット回路８３はリセット信号を生成する回路であり、クロック発生回路８４はアンテナ８９から入力された受信信号を基に各種クロック信号を生成する回路であり、データ復調回路８５は受信信号を復調して制御回路８７に出力する回路であり、データ変調回路８６は制御回路８７から受信した信号を変調する回路である。また、制御回路８７としては、例えばコード抽出回路９１、コード判定回路９２、ＣＲＣ判定回路９３および出力ユニット回路９４が設けられている。なお、コード抽出回路９１は制御回路８７に送られてきた命令に含まれる複数のコードをそれぞれ抽出する回路であり、コード判定回路９２は抽出されたコードとリファレンスに相当するコードとを比較して命令の内容を判定する回路であり、ＣＲＣ判定回路９３は判定されたコードに基づいて送信エラー等の有無を検出する回路である。

【0144】

Sandisk Technologies, Inc. - Ex. 1002, Page 000954

次に、上述した半導体装置の動作の一例について説明する。まず、アンテナ８９により無線信号が受信される。無線信号は高周波回路８１を介して電源回路８２に送られ、高電源電位（以下、ＶＤＤと記す）が生成される。ＶＤＤは半導体装置８０が有する各回路に供給される。また、高周波回路８１を介してデータ復調回路８５に送られた信号は復調される（以下、復調信号）。さらに、高周波回路８１を介してリセット回路８３およびクロック発生回路８４を通った信号及び復調信号は制御回路８７に送られる。制御回路８７に送られた信号は、コード抽出回路９１、コード判定回路９２およびＣＲＣ判定回路９３等によって解析される。そして、解析された信号にしたがって、記憶回路８８内に記憶されている半導体装置８０の情報が出力される。出力された半導体装置８０の情報は出力ユニット回路９４を通って符号化される。さらに、符号化された半導体装置８０の情報はデータ変調回路８６を通って、アンテナ８９により無線信号に載せて送信される。なお、半導体装置８０を構成する複数の回路においては、低電源電位（以下、ＶＳＳ）は共通であり、ＶＳＳはＧＮＤとすることができる。

【0145】

このように、リーダ／ライタから半導体装置８０に信号を送り、当該半導体装置８０から送られてきた信号をリーダ／ライタで受信することによって、半導体装置のデータを読み取ることが可能となる。

【0146】

また、半導体装置８０は、各回路への電源電圧の供給を電源（バッテリー）を搭載せず電磁波により行うタイプとしてもよいし、電源（バッテリー）を搭載して電磁波又は電源（バッテリー）により各回路に電源電圧を供給するタイプとしてもよい。

【0147】

次に、非接触でデータの入出力が可能な半導体装置の使用形態の一例について説明する。表示部３２１０を含む携帯端末の側面には、リーダ／ライタ３２００が設けられ、品物３２２０の側面には半導体装置３２３０が設けられる（図１７（Ｂ））。品物３２２０が含む半導体装置３２３０にリーダ／ライタ３２００をかざすと、表示部３２１０に品物の原材料や原産地、生産工程ごとの検査結果や流通過程の履歴等、更に商品の説明等の商品に関する情報が表示される。また、商品３２６０をベルトコンベアにより搬送する際に、リーダ／ライタ３２４０と、商品３２６０に設けられた半導体装置３２５０を用いて、該商品３２６０の検品を行うことができる（図１７（Ｃ））。このように、システムに半導体装置を活用することで、情報の取得を簡単に行うことができ、高機能化と高付加価値化を実現する。

【0148】

なお、上述した以外にも本発明の半導体装置の用途は広範にわたり、非接触で対象物の履歴等の情報を明確にし、生産・管理等に役立てる商品であればどのようなものにも適用することができる。例えば、紙幣、硬貨、有価証券類、証書類、無記名債券類、包装用容器類、書籍類、記録媒体、身の回り品、乗物類、食品類、衣類、保健用品類、生活用品類、薬品類及び電子機器等に設けて使用することができる。これらの例に関して図１８を用いて説明する。

【0149】

紙幣、硬貨とは、市場に流通する金銭であり、特定の地域で貨幣と同じように通用するもの（金券）、記念コイン等を含む。有価証券類とは、小切手、証券、約束手形等を指す（図１８（Ａ））。証書類とは、運転免許証、住民票等を指す（図１８（Ｂ））。無記名債券類とは、切手、おこめ券、各種ギフト券等を指す（図１８（Ｃ））。包装用容器類とは、お弁当等の包装紙、ペットボトル等を指す（図１８（Ｄ））。書籍類とは、書物、本等を指す（図１８（Ｅ））。記録媒体とは、ＤＶＤソフト、ビデオテープ等を指す（図１８（Ｆ））。乗物類とは、自転車等の車両、船舶等を指す（図１８（Ｇ））。身の回り品とは、鞄、眼鏡等を指す（図１８（Ｈ））。食品類とは、食料品、飲料等を指す。衣類とは、衣服、履物等を指す。保健用品類とは、医療器具、健康器具等を指す。生活用品類とは、家具、照明器具等を指す。薬品類とは、医薬品、農薬等を指す。電子機器とは、液晶

Sandisk Technologies, Inc. - Ex. 1002, Page 000955

表示装置、ＥＬ表示装置、テレビジョン装置（テレビ受像機、薄型テレビ受像機）、携帯電話機等を指す。

【0150】

紙幣、硬貨、有価証券類、証書類、無記名債券類等に半導体装置８０を設けることにより、偽造を防止することができる。また、包装用容器類、書籍類、記録媒体等、身の回り品、食品類、生活用品類、電子機器等に半導体装置８０を設けることにより、検品システムやレンタル店のシステムなどの効率化を図ることができる。乗物類、保健用品類、薬品類等に半導体装置８０を設けることにより、偽造や盗難の防止、薬品類ならば、薬の服用の間違いを防止することができる。半導体装置８０の設け方としては、物品の表面に貼ったり、物品に埋め込んだりして設ける。例えば、本ならば紙に埋め込んだり、有機樹脂からなるパッケージなら当該有機樹脂に埋め込んだりするとよい。

【0151】

このように、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、電子機器等に半導体装置を設けることにより、検品システムやレンタル店のシステムなどの効率化を図ることができる。また乗物類に半導体装置を設けることにより、偽造や盗難を防止することができる。また、動物等の生き物に埋め込むことによって、個々の生き物の識別を容易に行うことができる。例えば、家畜等の生き物にセンサーを備えた半導体装置を埋め込むことによって、生まれた年や性別または種類等はもちろん体温等の健康状態を容易に管理することが可能となる。

【0152】

なお、本実施の形態は、本明細書の他の実施の形態と自由に組み合わせて行うことができる。

【図面の簡単な説明】

【0153】

【図1】本発明の半導体装置の一例を示す図。
【図2】本発明の半導体装置の作製方法の一例を示す図。
【図3】本発明の半導体装置の作製方法の一例を示す図。
【図4】本発明の半導体装置の作製方法の一例を示す図。
【図5】本発明の半導体装置の作製方法の一例を示す図。
【図6】本発明の半導体装置の作製方法の一例を示す図。
【図7】本発明の半導体装置の一例を示す図。
【図8】本発明の半導体装置の一例を示す図。
【図9】本発明の半導体装置に含まれるメモリ部の一例を示す図。
【図10】本発明の半導体装置の作製方法の一例を示す図。
【図11】本発明の半導体装置の作製方法の一例を示す図。
【図12】本発明の半導体装置の作製方法の一例を示す図。
【図13】本発明の半導体装置の使用形態の一例を示す図。
【図14】本発明の半導体装置の使用形態の一例を示す図。
【図15】本発明の半導体装置の一例を示す図。
【図16】本発明の半導体装置の使用形態の一例を示す図。
【図17】本発明の半導体装置の一例を示す図。
【図18】本発明の半導体装置の一例を示す図。
【図19】従来の半導体装置の一例を説明する図。
【図20】本発明の半導体装置の作製方法の一例を示す図。
【図21】本発明の半導体装置の一例を示す図。
【図22】本発明の半導体装置に含まれるメモリ部の一例を示す図。
【図23】本発明の半導体装置に含まれるメモリ部の一例を示す図。

【符号の説明】

【0154】

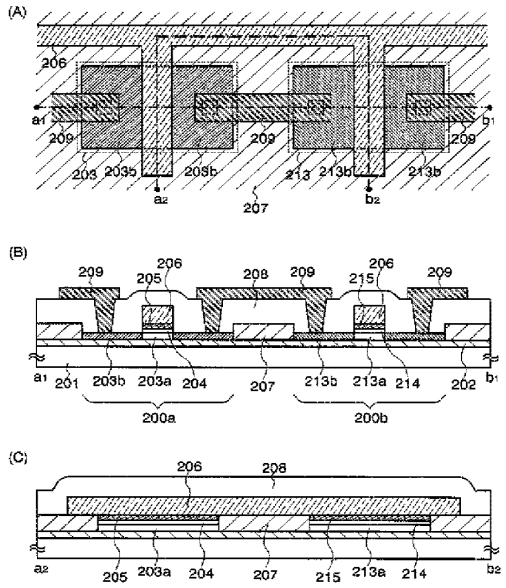
８０　　半導体装置

８１　高周波回路
８２　電源回路
８３　リセット回路
８４　クロック発生回路
８５　データ復調回路
８６　データ変調回路
８７　制御回路
８８　記憶回路
８９　アンテナ
９１　コード抽出回路
９２　コード判定回路
９３　ＣＲＣ判定回路
９４　出力ユニット回路
１０６　絶縁膜
１３０　絶縁膜
１３１　薄膜集積回路
１３２　導電膜
１３３　基板
１３４　導電性粒子
１３５　樹脂
１３６　導電膜
１５１　トランジスタ
１５２　トランジスタ
２０１　基板
２０２　絶縁膜
２０３　半導体膜
２０４　ゲート絶縁膜
２０５　導電膜
２０６　導電膜
２０７　絶縁膜
２０８　絶縁膜
２０９　導電膜
２１１　レジスト
２１２　不純物領域
２１３　半導体膜
２１４　ゲート絶縁膜
２１５　導電膜
２１６　導電膜
２１７　絶縁膜
２１８　サイドウォール
２２０　積層体
２２１　レジスト
２２３　半導体膜
２２４　ゲート絶縁膜
２２５　導電膜
２３１　レジスト
２３４　ゲート絶縁膜
２３５　導電膜
２４４　ゲート絶縁膜
２４５　導電膜

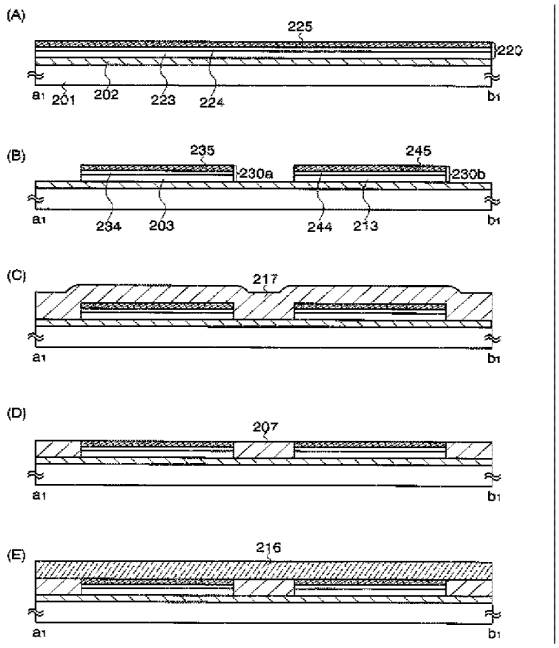
３０１　基板
３０２　絶縁膜
３０３　半導体膜
３０４　絶縁膜
３０５　電荷蓄積層
３０６　電荷蓄積層
３０７　積層体
３０８　半導体膜
３０９　絶縁膜
３１０　絶縁膜
３１１　絶縁膜
３１２　導電膜
３１３　レジスト
３１４　絶縁膜
３１５　電荷蓄積層
３１６　絶縁膜
３１７　導電膜
３１８　絶縁膜
３１９　導電膜
３２２　絶縁膜
３２３　導電膜
３２５　レジスト
９０１　基板
９０２　絶縁膜
９０３　半導体膜
９０４　ゲート絶縁膜
９０５　導電膜
９０７　導電膜
２００ａ　薄膜トランジスタ
２００ｂ　薄膜トランジスタ
２０３ａ　チャネル形成領域
２０３ｂ　不純物領域
２０３ｃ　不純物領域
２０３ｄ　不純物領域
２１３ａ　チャネル形成領域
２１３ｂ　不純物領域
２１３ｄ　不純物領域
２３０ａ　積層体
２３０ｂ　積層体
３０７ａ　半導体膜
３０７ｂ　絶縁膜
３０７ｃ　電荷蓄積層
３１０ａ　絶縁膜
３１０ｂ　絶縁膜
３２００　リーダ／ライタ
３２０ａ　チャネル形成領域
３２０ｂ　不純物領域
３２１０　表示部
３２１ａ　チャネル形成領域
３２１ｂ　不純物領域

３２２０　品物
３２３０　半導体装置
３２４０　リーダ／ライタ
３２５０　半導体装置
３２６０　商品
９０３ａ　チャネル形成領域
９０３ｂ　不純物領域
９５３ｂ　不純物領域

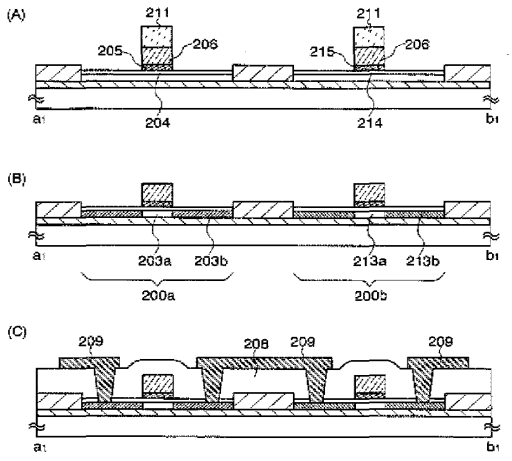
【図1】



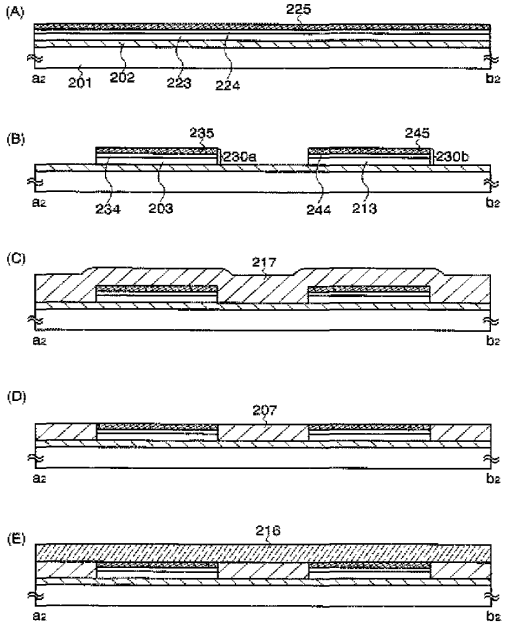
【図2】



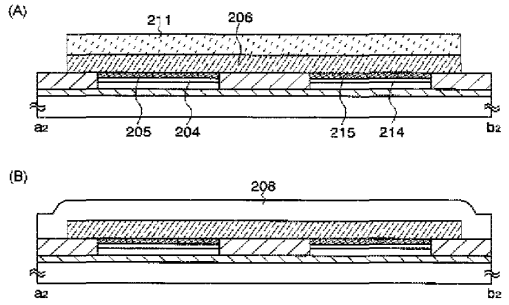
【図3】


(A)
211
211
205
206
215
206
204
214
a1
b1
(B)
203a
203b
213a
213b
200a
200b
(C)
209
208
209
209

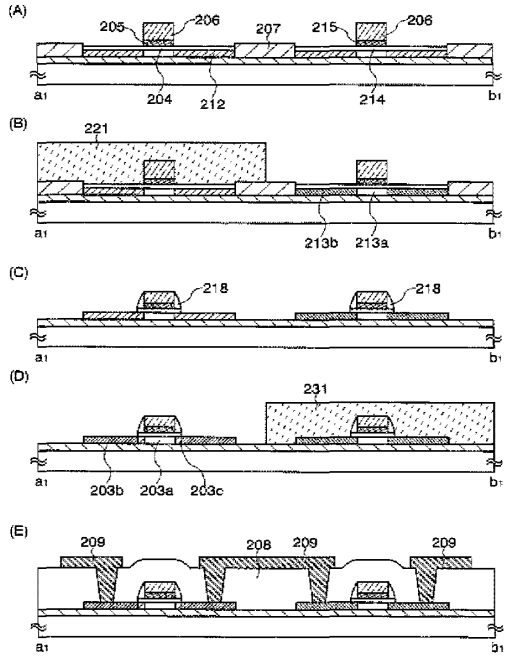
【図4】


(A)
225
a2
201
202
223
224
b2
(B)
235
230a
245
230b
234
203
244
213
(C)
217
(D)
207
(E)
216

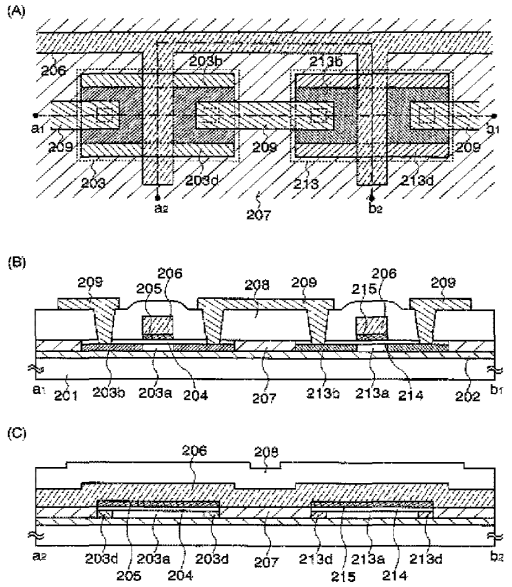
【図5】


(A)
211
206
205
204
215
214
a2
b2
(B)
208

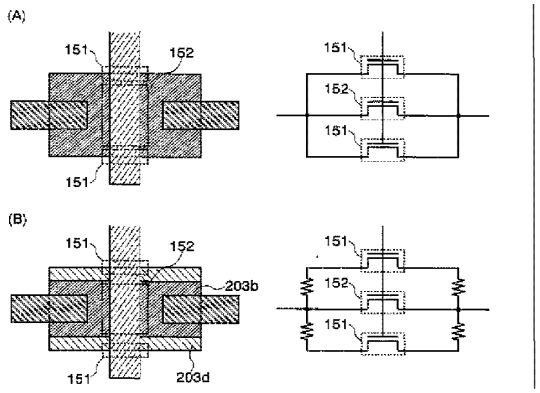
【図6】


(A)
205
206
207
215
206
204
212
214
a1
b1
(B)
221
213b
213a
(C)
218
218
(D)
231
203b
203a
203c
(E)
209
208
209
209

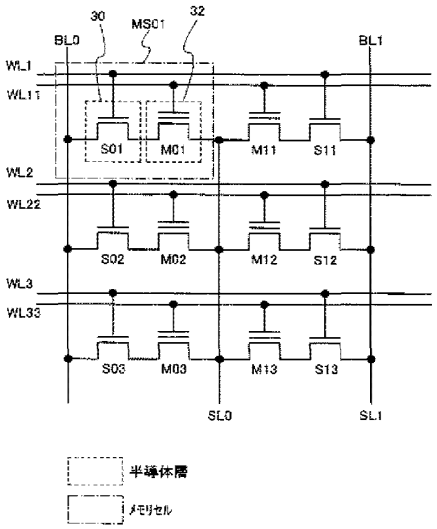
【図7】


(A)
206
203b
213b
a1
b1
209
209
209
203
203d
213
213d
a2
207
b2
(B)
209
206
205
208
209
215
206
209
a1
201
203b
203a
204
207
213c
213a
214
202
b1
(C)
206
208
a2
203d
203a
203d
207
213d
213a
213d
b2
205
204
215
214

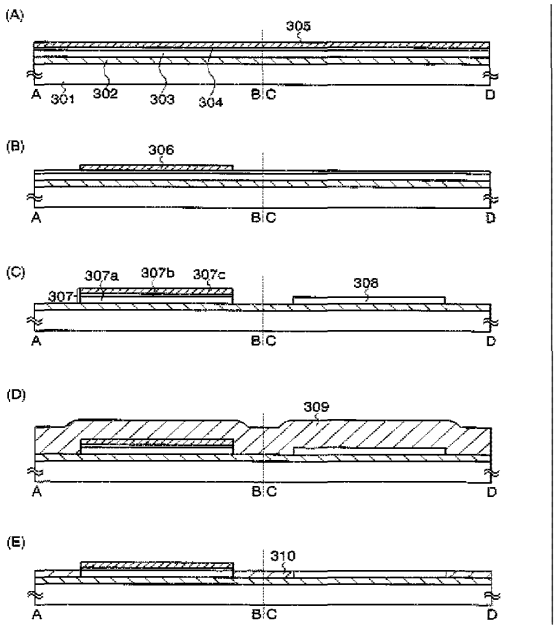
【図8】


(A)
151
152
151
152
151
151
(B)
151
152
203b
151
203d
151
152
151

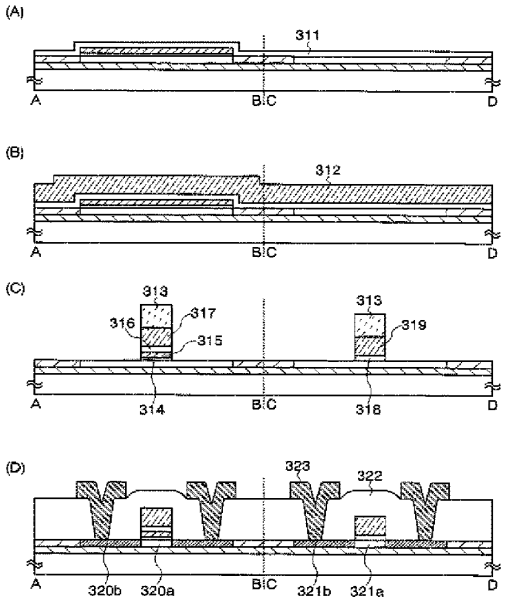
【図9】


30
MS01
32
BL0
BL1
WL1
WL11
S01
M01
M11
S11
WL2
WL22
S02
M02
M12
S12
WL3
WL33
S03
M03
M13
S13
SL0
SL1
半導体層
メモリセル

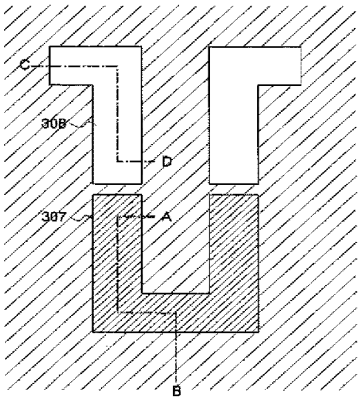
【図10】


(A)
305
A
301
302
303
304
B
C
D
(B)
306
A
B
C
D
(C)
307a
307b
307c
308
307
A
B
C
D
(D)
309
A
B
C
D
(E)
310
A
B
C
D

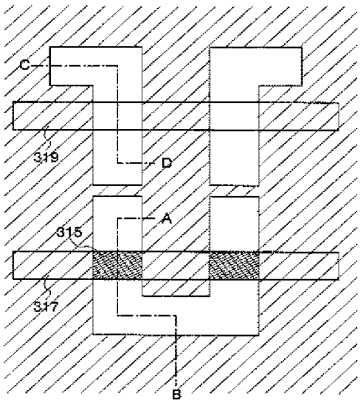
【図11】



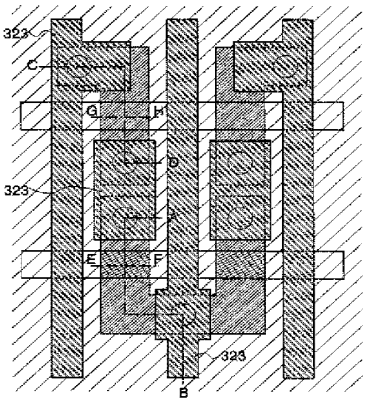
【図12】



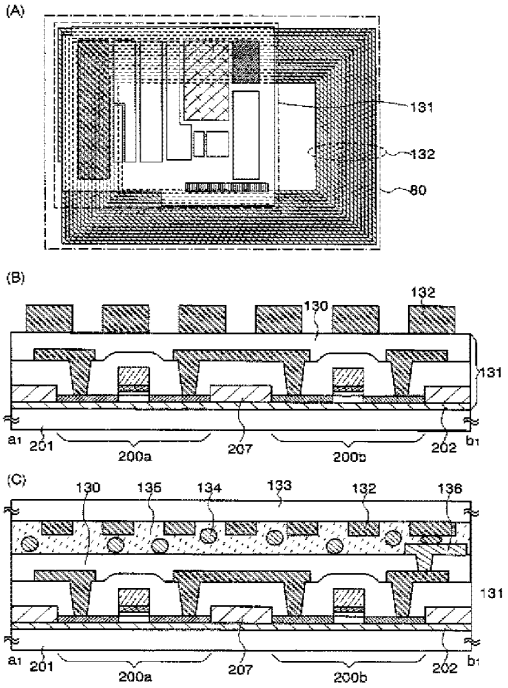
【図13】



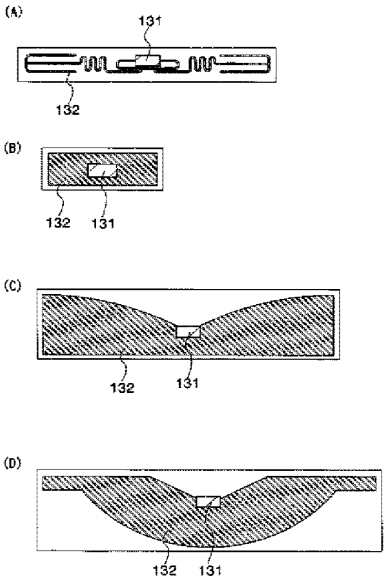
【図14】



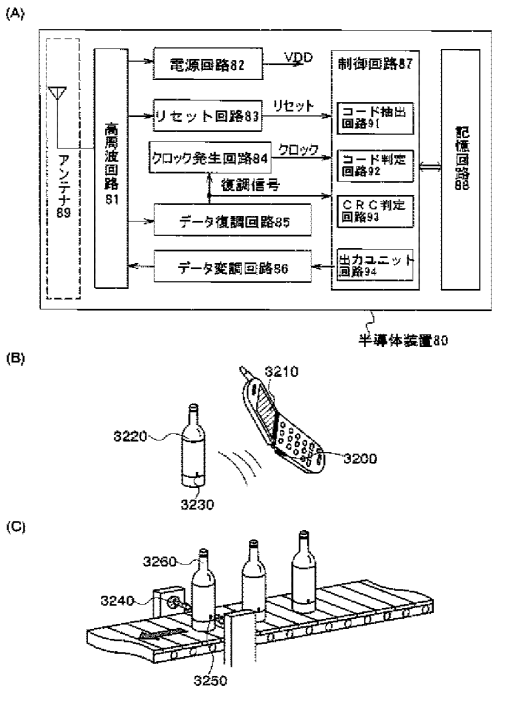
【図15】



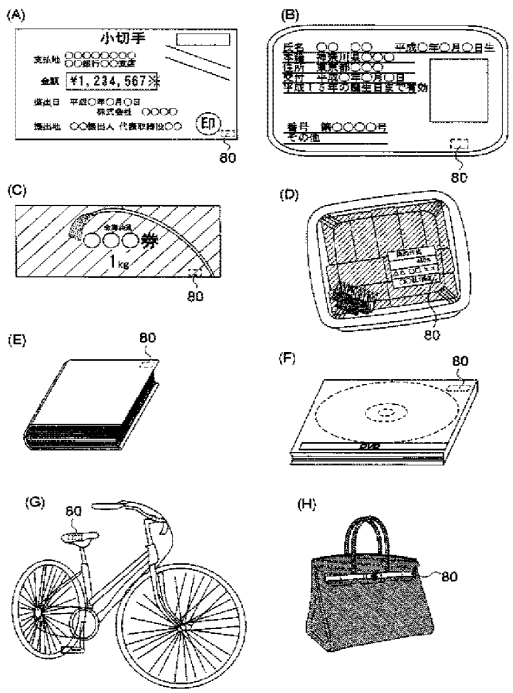
【図16】



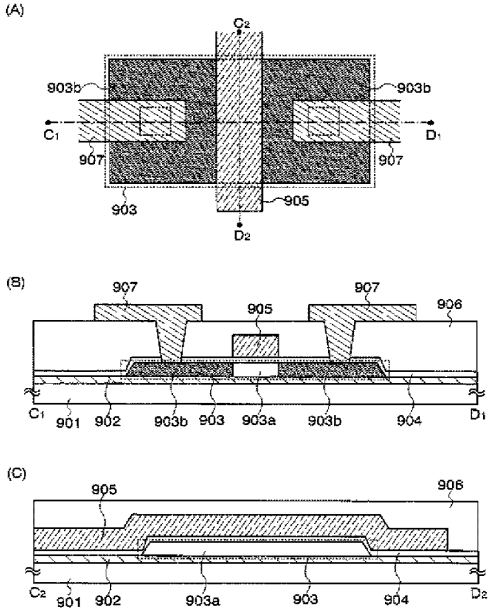
【図17】



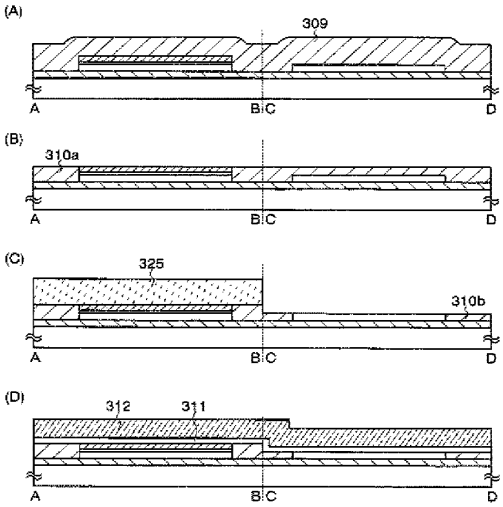
【図18】



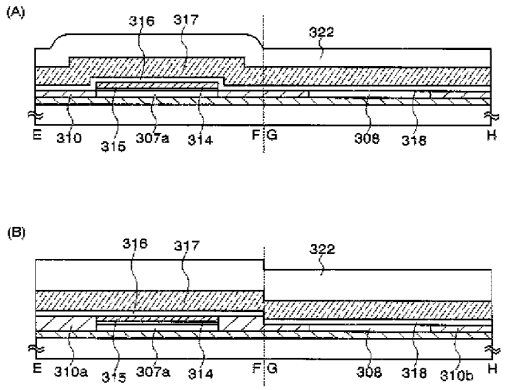
【図19】



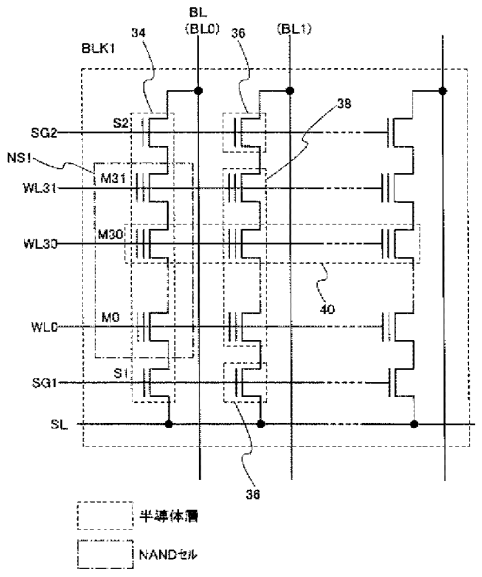
【図20】



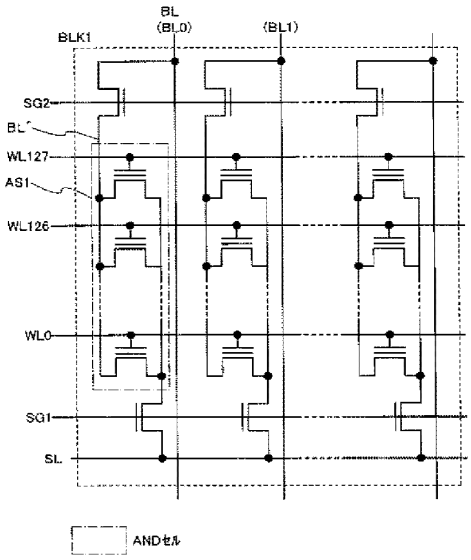
【図21】



【図22】



【図23】



(51)Int.Cl.			FI			テーマコード（参考）
Ｈ０１Ｌ	27/115	(2006.01)	Ｈ０１Ｌ	21/76	Ｄ	
Ｈ０１Ｌ	29/788	(2006.01)	Ｈ０１Ｌ	29/78	６１７Ｋ	
Ｈ０１Ｌ	29/792	(2006.01)	Ｈ０１Ｌ	27/10	４３４	
			Ｈ０１Ｌ	29/78	３７１	

Ｆターム(参考)	5F032	AA09	AA34	AA44	AA50	AA54	AA77	AA78	CA07	CA09	CA17
		CA18	DA02	DA07	DA23	DA24	DA33	DA34			
	5F083	EP02	EP17	EP23	EP32	EP33	EP34	EP44	EP45	EP49	EP50
		EP55	EP56	EP57	EP75	EP76	EP79	ER23	GA06	GA11	GA27
		HA02	HA06	HA10	JA04	JA05	JA19	JA36	JA37	JA38	JA39
		JA40	JA56	JA58	JA60	LA12	LA16	LA20	NA01	PR22	PR39
		PR40	PR43	PR44	PR45	PR53	PR54	PR55	ZA12	ZA30	
	5F101	BA02	BA19	BA23	BA26	BA29	BA35	BA36	BA43	BA45	BA54
		BB05	BB08	BD02	BD07	BD10	BD22	BD30	BD33	BD34	BD35
		BD39	BE07	BG10	BH05	BH21	BH30				
	5F110	AA12	BB04	BB08	BB20	CC02	DD01	DD02	DD03	DD05	DD13
		DD14	DD15	DD17	EE01	EE02	EE03	EE04	EE06	EE09	EE14
		EE27	EE32	EE44	EE45	FF02	FF03	FF04	FF07	FF09	FF22
		FF26	FF36	GG02	GG04	GG05	GG13	GG15	GG32	GG33	GG34
		GG37	HJ01	HJ04	HJ06	HJ30	HL02	HL03	HL04	HL06	HL12
		HM15	NN03	NN22	NN23	NN27	NN34	NN35	NN62	NN65	NN71
		PP01	PP03	PP04	QQ09						

Sandisk Technologies, Inc. - Ex. 1002, Page 000966

Espacenet

JP2006277082A VOLTAGE STEP-DOWN CIRCUIT

Applicants: SANYO ELECTRIC CO

Inventors: KAMEI KATSUYA

Classifications:
IPC ***G05F1/56;***

Priorities: JP2005092426A 2005-03-28

Application: JP2006277082A·2005-03-28

Publication: JP2006277082A·2006-10-12

Published as: JP2006277082A

VOLTAGE STEP-DOWN CIRCUIT

Abstract

PROBLEM TO BE SOLVED: To provide a voltage step-down circuit for stably generating internal source voltages. SOLUTION: The voltage step-down circuit 3 includes: a main circuit 4 having an operational amplifier 11 that generates a differential amplified voltage Vout1 matching a voltage difference between an internal source voltage Vint and a reference voltage Vref, and a drive transistor Dm under control of the differential amplified voltage Vout1, the main circuit 4 supplying the internal source voltage Vint to a load circuit 2; and a startup circuit 5 having an operational amplifier 12 that generates a differential amplified voltage Vout2 matching a voltage difference between the internal source voltage Vint and the reference voltage Vref, and a drive transistor Ds under control of the differential amplified voltage Vout2, the startup circuit 5 supplying the internal source voltage Vint to the load circuit 2. In the voltage step-down circuit 3, the drive transistor Dm of the main circuit 4 continuously supplies a load current Im and the drive transistor Ds of the startup circuit 5 temporarily supplies a load current Is depending on the level of the internal source voltage Vint. COPYRIGHT: (C)2007,JPO&INPIT

Sandisk Technologies, Inc. - Ex. 1002, Page 000967

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2006-277082
(P2006-277082A)
(43)公開日　平成18年10月12日(2006.10.12)

(51)Int.Cl.		F I			テーマコード（参考）
G05F 1/56 (2006.01)		G05F	1/56	310V	5H430
		G05F	1/56	310B	

審査請求 未請求　請求項の数 6　OL　（全 12 頁）

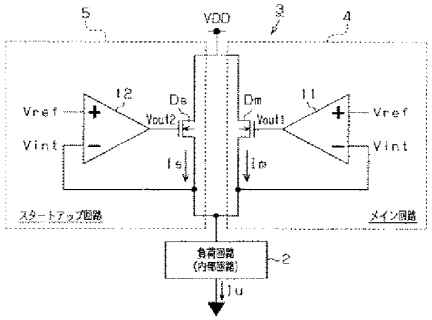
(21)出願番号　特願2005-92426(P2005-92426)
(22)出願日　平成17年3月28日(2005.3.28)

(71)出願人　000001889
三洋電機株式会社
大阪府守口市京阪本通２丁目５番５号
(74)代理人　100131071
弁理士　▲角▼谷　浩
(72)発明者　亀井　克哉
大阪府守口市京阪本通２丁目５番５号　三洋電機株式会社内

Fターム(参考)　5H430 BB01 BB09 BB11 CC06 EE06 EE13 EE18 FF01 FF13 HH03 KK03 LB06

(54)【発明の名称】降圧回路

(57)【要約】
【課題】内部電源電圧の安定した生成を目指した降圧回路を提供する。
【解決手段】降圧回路３は、内部電源電圧Ｖｉｎｔと基準電圧Ｖｒｅｆとの電圧差に応じた差動増幅電圧Ｖｏｕｔ１を生成するオペアンプ１１と、その差動増幅電圧Ｖｏｕｔ１の制御を受ける駆動トランジスタＤｍとを備え、負荷回路２に内部電源電圧Ｖｉｎｔを供給するメイン回路４と、内部電源電圧Ｖｉｎｔと基準電圧Ｖｒｅｆとの電圧差に応じた差動増幅電圧Ｖｏｕｔ２を生成するオペアンプ１２と、その差動増幅電圧Ｖｏｕｔ２の制御を受ける駆動トランジスタＤｓとを備え、負荷回路２に内部電源電圧Ｖｉｎｔを供給するスタートアップ回路５とを備える。この降圧回路３において、メイン回路４の駆動トランジスタＤｍは連続的に負荷電流Ｉｍを供給し、スタートアップ回路５の駆動トランジスタＤｓは内部電源電圧Ｖｉｎｔのレベルに応じて一時的に負荷電流Ｉｓを供給する。
【選択図】　図２



Sandisk Technologies, Inc. - Ex. 1002, Page 000968

【特許請求の範囲】
【請求項1】
外部電源電圧を所定の基準電圧に基づいた降圧レベルで内部電源電圧を生成し、負荷回路に前記内部電源電圧を供給する降圧回路において、
前記内部電源電圧と前記基準電圧との電圧差に応じた第１駆動電圧を生成する第１差動増幅回路と、前記第１駆動電圧の制御を受ける第１駆動トランジスタとを備え、前記負荷回路に前記内部電源電圧を供給するメイン回路と、
前記内部電源電圧と前記基準電圧との電圧差に応じた第２駆動電圧を生成する第２差動増幅回路と、前記第２駆動電圧の制御を受ける第２駆動トランジスタとを備え、前記負荷回路に前記内部電源電圧を供給するスタートアップ回路と、を備え、
前記第１駆動トランジスタは連続的に負荷電流を供給し、前記第２駆動トランジスタは前記内部電源電圧のレベルに応じて一時的に負荷電流を供給することを特徴とする降圧回路。
【請求項2】
前記第２駆動トランジスタは、前記内部電源電圧が前記基準電圧以下に設定される所定の電圧より小さいときに負荷電流を供給する、
請求項１記載の降圧回路。
【請求項3】
前記第１差動増幅回路を電気的特性が非対称になるように構成し、前記第２差動増幅回路を電気的特性が対称になるように構成した、
請求項１又は２記載の降圧回路。
【請求項4】
前記第１差動増幅回路のカレントミラー対を構成する入力側の素子サイズと出力側の素子サイズとの比を１：ｘ（但しｘ＞１）に設定した、
請求項３記載の降圧回路。
【請求項5】
前記第２駆動トランジスタを前記第１駆動トランジスタより小さな駆動能力に設定した、
請求項１乃至４のいずれか一項記載の降圧回路。
【請求項6】
前記第２差動増幅回路を構成する素子を前記第１差動増幅回路を構成する素子より小さなサイズで形成し、前記第２駆動トランジスタを前記第１駆動トランジスタより小さなサイズで形成した、
請求項１乃至５のいずれか一項記載の降圧回路。

【発明の詳細な説明】
【技術分野】
【0001】
この発明は、降圧回路にかかり、詳しくは、外部電源電圧を所定の電圧に降圧して内部回路用の電源電圧を生成する降圧回路に関する。
【背景技術】
【0002】
近年、ＳＯＣ（System On a Chip）等の半導体装置は、高集積化、低消費電力化及び高速化がますます要請されている。このような半導体装置には、消費電力を低減するため、あるいは内部回路を構成する素子を保護するために、外部から供給される電源電圧（外部電源電圧）を降圧して内部回路に供給する動作電圧（内部電源電圧）を生成する降圧回路が用いられている。従来、このような降圧回路としては、例えば、図５に示す構成のものが広く知られている。
【0003】
図５に示すように、降圧回路３０は半導体装置３１に備えられている。この降圧回路３０は、外部電源電圧ＶＤＤを所定のレベルに降圧した内部電源電圧Ｖｉｎｔを生成し、こ

の内部電源電圧Ｖｉｎｔを半導体装置３１の内部回路（例えばＳＲＡＭなど）である負荷回路３２に供給する。負荷回路３２には、該負荷回路３２の動作状態をスタンバイ状態とアクティブ状態との間で切り替え制御するための外部コントロール信号ＣＥが供給される。この外部コントロール信号ＣＥは降圧回路３０にも供給され、該降圧回路３０の動作が負荷回路３２のスタンバイ状態／アクティブ状態に応じて外部コントロール信号ＣＥにより切り替え制御されるようになっている。

【0004】

即ち、この降圧回路３０は、負荷回路３２がスタンバイ状態のときに活性化されるスタンバイ用降圧回路（以下、Ｓ－ＶＤＣという）と、負荷回路３２がアクティブ状態のときに活性化されるアクティブ用降圧回路（以下、Ａ－ＶＤＣという）とを備え、これらＳ－ＶＤＣとＡ－ＶＤＣとの動作が外部コントロール信号ＣＥにより切り替えられるようになっている。

【0005】

このようなＳ－ＶＤＣとＡ－ＶＤＣはそれぞれ、負荷回路３２のスタンバイ状態とアクティブ状態とにおいて半導体装置３１全体の消費電力に大きく影響を与えない程度の消費電力で動作するように設計されている。例えば、負荷回路３２がスタンバイ状態のときは、半導体装置３１全体の消費電力に影響を与えないように、Ｓ－ＶＤＣの消費電力も小さく抑えられる。一方、負荷回路３２がアクティブ状態のときは、降圧回路３０に許容される範囲内において同降圧回路３０の消費電力を上げ、Ａ－ＶＤＣの動作レスポンス（応答速度）を最適化する。これにより、スタンバイ時における消費電力の低減と、アクティブ時における動作レスポンスの高速化とを図っている。

【発明の開示】

【発明が解決しようとする課題】

【0006】

ところで、上記のような降圧回路３０では、スタンバイ状態とアクティブ状態との間でＳ－ＶＤＣとＡ－ＶＤＣの動作を切り替えた時に、降圧回路３０の出力レベル（内部電源電圧Ｖｉｎｔ）に過渡的な動作不安定現象（発振現象）が発生するという問題があった。即ち、Ｓ－ＶＤＣとＡ－ＶＤＣとはそれぞれ理論上は、設定電圧とする基準電圧に略一致するレベルで内部電源電圧Ｖｉｎｔが生成されるように設計されるが、実際には、両者により生成される各内部電源電圧Ｖｉｎｔのレベルは必ずしも一致するものとはならない。その結果、こうした出力レベルの異なる状態で、Ｓ－ＶＤＣとＡ－ＶＤＣとの動作を切り替えた時に、降圧回路３０の出力に発振が生じ、内部電源電圧Ｖｉｎｔが一時的に不安定なレベルになることがあった。

【0007】

この発明は、こうした従来の実情に鑑みてなされたものであり、その目的は、内部電源電圧の安定した生成を目指した降圧回路を提供することにある。

【課題を解決するための手段】

【0008】

以下、上記の目的を達成するための手段及びその作用について記載する。

【0009】

請求項１に記載の発明では、外部電源電圧を所定の基準電圧に基づいた降圧レベルで内部電源電圧を生成し、負荷回路に前記内部電源電圧を供給する降圧回路において、前記内部電源電圧と前記基準電圧との電圧差に応じた第１駆動電圧を生成する第１差動増幅回路と、前記第１駆動電圧の制御を受ける第１駆動トランジスタとを備え、前記負荷回路に前記内部電源電圧を供給するメイン回路と、前記内部電源電圧と前記基準電圧との電圧差に応じた第２駆動電圧を生成する第２差動増幅回路と、前記第２駆動電圧の制御を受ける第２駆動トランジスタとを備え、前記負荷回路に前記内部電源電圧を供給するスタートアップ回路と、を備え、前記第１駆動トランジスタは連続的に負荷電流を供給し、前記第２駆動トランジスタは前記内部電源電圧のレベルに応じて一時的に負荷電流を供給することを要旨とする。

【0010】
この構成によれば、メイン回路の第１駆動トランジスタは、連続的に負荷電流を供給する。これに対してスタートアップ回路の第２駆動トランジスタは、内部電源電圧のレベルに応じてオン／オフ制御され一時的に負荷電流を供給するものとなる。このように、常時はメイン回路から負荷電流を供給し、スタートアップ回路からは一時的に負荷電流を供給することで、降圧回路の出力である内部電源電圧のレベルが不安定になることを回避することができる。
【0011】
請求項２に記載の発明では、請求項１に記載の降圧回路において、前記第２駆動トランジスタは、前記内部電源電圧が前記基準電圧以下に設定される所定の電圧より小さいときに負荷電流を供給することを要旨とする。
【0012】
この構成によれば、スタートアップ回路は電源投入後など内部電源電圧が所定の電圧より低い期間だけ活性化され、その後内部電源電圧が所定の電圧以上となる期間は不活性に制御される。即ち、この構成では内部電源電圧が所定の電圧に達した後はスタートアップ回路を自己整合的に不活性化させることができる。また、本構成によれば、こうした電源投入後の期間だけでなく、メイン回路の出力レベルが所定の電圧より低いレベルのときには第２駆動トランジスタがオンされて再度スタートアップ回路が活性化される。これは、例えば負荷回路がアクティブ状態にあるときなど、負荷回路の消費電流が大きいときには、内部電源電圧に変動が生じてメイン回路の出力レベルが基準電圧よりも低下することが考えられる。こうした場合に、スタートアップ回路を活性化させる。
【0013】
請求項３に記載の発明では、請求項１又は２に記載の降圧回路において、前記第１差動増幅回路を電気的特性が非対称になるように構成し、前記第２差動増幅回路を電気的特性が対称になるように構成したことを要旨とする。
【0014】
この構成によれば、メイン回路における第１差動増幅回路の電気的な非対称性により、メイン回路の出力レベル、即ちメイン回路により生成される内部電源電圧は基準電圧よりも若干高いレベルまで引き上げられる。その結果、スタートアップ回路における第２差動増幅回路の電気的な対称性により、内部電源電圧を帰還入力して基準電圧との比較を行う同第２差動増幅回路からの第２駆動電圧は、第２駆動トランジスタの出力をカットオフさせるレベルまで低下する。これにより第２駆動トランジスタをメイン回路の出力レベルに基づき自己整合的にオフさせることができる。
【0015】
請求項４に記載の発明では、請求項３に記載の降圧回路において、前記第１差動増幅回路のカレントミラー対を構成する入力側の素子サイズと出力側の素子サイズとの比を１：ｘ（但しｘ＞１）に設定したことを要旨とする。
【0016】
第１差動増幅回路を電気的な非対称性を有する構成とするには、例えば、第１差動増幅回路のカレントミラー対を構成する入力側の素子サイズと出力側の素子サイズとの比を１：ｘ（但しｘ＞１）に設定するといった手法を採用するのが好適である。こうすればメイン回路の出力レベルをスタートアップ回路の出力レベルよりも高く設定することができ、が、第２駆動トランジスタを自己整合的にオフさせる構成を実現することができる。
【0017】
請求項５に記載の発明では、請求項１乃至４のいずれか一項に記載の降圧回路において、前記第２駆動トランジスタを前記第１駆動トランジスタより小さな駆動能力に設定したことを要旨とする。
【0018】
この構成によれば、スタートアップ回路における第２駆動トランジスタを、メイン回路における第１駆動トランジスタに比べて、小さなバイアス電流でも高いレスポンスで動作

させることができる。その結果、降圧回路においては、目標とする電圧レベルまで内部電源電圧を速やかに引き上げることができると共に、内部電源電圧が所定の電圧に達した後は、スタートアップ回路を自己整合的に不活性化させることができる。

【0019】

請求項６に記載の発明では、請求項１乃至５のいずれか一項に記載の降圧回路において、前記第２差動増幅回路を構成する素子を前記第１差動増幅回路を構成する素子より小さなサイズで形成し、前記第２駆動トランジスタを前記第１駆動トランジスタより小さなサイズで形成したことを要旨とする。

【0020】

この構成によれば、請求項５に記載の発明と同様の作用が得られると共に、第２駆動トランジスタが第１駆動トランジスタよりも小さな素子サイズで形成されるため、回路面積の縮小を図ることができる。

【発明の効果】

【0021】

上記したように、この発明によれば、内部電源電圧を安定的に生成し得る降圧回路を提供することができる。

【発明を実施するための最良の形態】

【0022】

以下、この発明を具体化した一実施の形態を図面に従って説明する。

【0023】

図１は、本実施の形態に係る降圧回路を備える半導体装置の概略構成を示す回路ブロック図である。この半導体装置１は、外部から供給される外部電源電圧ＶＤＤを所定のレベルに降圧した内部電源電圧Ｖｉｎｔを生成し、この内部電源電圧Ｖｉｎｔを、半導体装置１の内部回路である負荷回路２に供給する降圧回路３を備えている。なお、負荷回路２（内部回路）は、本実施の形態においてはＳＲＡＭ（Static-RAM）にて構成されており、この負荷回路２には、該負荷回路２の動作状態をスタンバイ状態とアクティブ状態との間で切り替え制御するための外部コントロール信号ＣＥが供給される。

【0024】

降圧回路３は、メイン回路４と、スタートアップ回路５とを備えている。メイン回路４は、実質的な降圧回路として動作するもので、外部電源電圧ＶＤＤの投入後、負荷回路２のスタンバイ状態とアクティブ状態とを問わず統一的に動作する。スタートアップ回路５は、所定の条件の下、専ら外部電源電圧ＶＤＤの投入初期（以下、電源投入初期という）の期間において動作する。なお、電源投入初期とは、外部電源電圧ＶＤＤが投入された後、数ｍｓ程度が経過する迄の極めて短い期間をいう。メイン回路４とスタートアップ回路５との出力は直接ワイヤード・オア（Wired-OR）接続され、それら互いの出力端の電位が内部電源電圧Ｖｉｎｔとして負荷回路２に供給されるようになっている。

【0025】

図２は、降圧回路３の構成を示す回路図である。

【0026】

まず、メイン回路４について説明する。

【0027】

メイン回路４は、オペアンプ１１と、該オペアンプ１１の出力信号に基づいて駆動される駆動トランジスタＤｍとを備えている。なお、本実施の形態においては、オペアンプ１１が第１差動増幅回路を構成し、駆動トランジスタＤｍが第１駆動トランジスタを構成している。

【0028】

オペアンプ１１は、非反転入力端子（＋）に入力される基準電圧Ｖｒｅｆと、反転入力端子（－）に入力される内部電源電圧Ｖｉｎｔとの電圧差を増幅した差動増幅電圧Ｖｏｕｔ１を第１駆動電圧として出力する。なお、基準電圧Ｖｒｅｆは、外部電源電圧ＶＤＤを降圧して内部電源電圧Ｖｉｎｔを生成する際の目標とする電圧、即ち内部電源電圧Ｖｉｎ

Sandisk Technologies, Inc. - Ex. 1002, Page 000972

ｔの設定電圧として与えられる電圧であり、この基準電圧Ｖｒｅｆは図示しない基準電圧発生回路にて発生される。

【0029】

駆動トランジスタＤｍは、本実施の形態においてはＮチャネル型ＭＯＳトランジスタ（以下、ＮＭＯＳトランジスタという）で構成されている。この駆動トランジスタＤｍは、そのドレインに外部電源電圧ＶＤＤが印加されるとともに、そのソースに負荷回路（内部回路）２の内部電源端子（内部電源電圧Ｖｉｎｔの供給端子）が接続され、そのゲートにオペアンプ１１からの差動増幅電圧Ｖｏｕｔ１が供給される。

【0030】

このメイン回路４においては、オペアンプ１１の出力を駆動トランジスタＤｍを経由して同オペアンプ１１に帰還入力する負帰還ループが構成され、オペアンプ１１から出力される差動増幅電圧Ｖｏｕｔ１により駆動トランジスタＤｍのゲートを制御することで、同駆動トランジスタＤｍの充電電流Ｉｍ（ソース電流）に基づく内部電源電圧Ｖｉｎｔを基準電圧Ｖｒｅｆに略一致する電圧とするように生成する。

【0031】

次に、スタートアップ回路５について説明する。

【0032】

スタートアップ回路５は、オペアンプ１２と、該オペアンプ１２の出力信号に基づいて駆動される駆動トランジスタＤｓとを備えている。なお、本実施の形態においては、オペアンプ１２が第２差動増幅回路を構成し、駆動トランジスタＤｓが第２駆動トランジスタを構成している。

【0033】

オペアンプ１２は、非反転入力端子（＋）に入力される基準電圧Ｖｒｅｆと、反転入力端子（－）に入力される内部電源電圧Ｖｉｎｔとの電圧差を増幅した差動増幅電圧Ｖｏｕｔ２を第２駆動電圧として出力する。駆動トランジスタＤｓは、本実施の形態においてはＮＭＯＳトランジスタで構成され、そのドレインに外部電源電圧ＶＤＤが印加されるとともに、そのソースに負荷回路２の内部電源端子が接続され、そのゲートにオペアンプ１２からの差動増幅電圧Ｖｏｕｔ２が供給される。

【0034】

このスタートアップ回路５においては、オペアンプ１２の出力を駆動トランジスタＤｓを経由して同オペアンプ１２に帰還入力する負帰還ループが構成され、オペアンプ１２から出力される差動増幅電圧Ｖｏｕｔ２により駆動トランジスタＤｓのゲートを制御することで、同駆動トランジスタＤｓの充電電流Ｉｓ（ソース電流）に基づく内部電源電圧Ｖｉｎｔを基準電圧Ｖｒｅｆに略一致する電圧とするように生成する。

【0035】

このように、メイン回路４とスタートアップ回路５とは、回路そのものは互いに同様な構成を有するものであるが、本実施の形態においては、スタートアップ回路５を構成する素子がメイン回路４を構成する素子よりも小さなサイズで形成されることが好適である。したがって、その動作性能の面では両者は大きく異なるものとなっている。

【0036】

具体的には、スタートアップ回路５の駆動トランジスタＤｓがメイン回路４の駆動トランジスタＤｍよりも小さな素子サイズで形成されている。これにより、スタートアップ回路５における駆動トランジスタＤｓのゲート制御性、つまりは、駆動トランジスタＤｓのスイッチング速度をメイン回路４における駆動トランジスタＤｍのゲート制御性よりも向上させるようにしている。また、スタートアップ回路５のオペアンプ１２がメイン回路４のオペアンプ１１よりも小さな素子サイズで形成されている。これにより、電源投入初期のスタートアップ回路５におけるオペアンプ１２の動作レスポンス（応答速度）を、メイン回路４におけるオペアンプ１１の動作レスポンスよりも向上させるようにしている。つまりは、スタートアップ回路５の負帰還ループにおけるフィードバック速度をメイン回路４のそれよりも向上させるようにしている。

Sandisk Technologies, Inc. - Ex. 1002, Page 000973

【0037】
言い換えれば、メイン回路４においては、負荷回路２のアクティブ時にも高いドライブ能力（電流駆動能力）が得られる十分な素子サイズにて駆動トランジスタＤｍやオペアンプ１１が形成されている一方、スタートアップ回路５においては、そうしたドライブ能力を抑える反面、小さなバイアス電流でも高い動作レスポンスが得られるよう駆動トランジスタＤｍやオペアンプ１１が極力小さな素子サイズで形成されている。
【0038】
次に、オペアンプ１１，１２の回路構成を説明する。
【0039】
まず、メイン回路４のオペアンプ１１について説明する。
【0040】
図３に示すように、メイン回路４のオペアンプ１１は、負荷としてのカレントミラーを構成する一対のＰチャネル型ＭＯＳトランジスタ（以下、ＰＭＯＳトランジスタという）ＴＰ１，ＴＰ２と、差動対トランジスタを構成するＮＭＯＳトランジスタＴＮ１，ＴＮ２と、電流源２１とを備えている。
【0041】
カレントミラーを構成するＰＭＯＳトランジスタＴＰ１，ＴＰ２の各ソースには、外部電源電圧ＶＤＤが印加されている。また、ＰＭＯＳトランジスタＴＰ１，ＴＰ２の各ゲートは互いに接続されるとともに、ＰＭＯＳトランジスタＴＰ１のドレインに接続されている。また、ＰＭＯＳトランジスタＴＰ１，ＴＰ２の各ドレインは、差動対トランジスタを構成するＮＭＯＳトランジスタＴＮ１，ＴＮ２の各ドレインにそれぞれ接続され、それらＮＭＯＳトランジスタＴＮ１，ＴＮ２の各ソースは電流源２１を介して接地電位に接続されている。そして、ＮＭＯＳトランジスタＴＮ１のゲートに基準電圧Ｖｒｅｆが入力されるとともに、ＮＭＯＳトランジスタＴＮ２のゲートに内部電源電圧Ｖｉｎｔが入力され、それら基準電圧Ｖｒｅｆと内部電源電圧Ｖｉｎｔとの電圧差を増幅した差動増幅電圧Ｖｏｕｔ１がＮＭＯＳトランジスタＴＮ２とＰＭＯＳトランジスタＴＰ２との接続点より第１駆動電圧として出力されるようになっている。
【0042】
ここで、本実施の形態においては、上記カレントミラーの入力側のＰＭＯＳトランジスタＴＰ１と出力側のＰＭＯＳトランジスタＴＰ２とが１：ｘ（ｘ＞１）のサイズ比で構成されている。即ち、オペアンプ１１は電気的な非対称性を有するように構成されている。因みに、ＮＭＯＳトランジスタＴＮ１，ＴＮ２は同一サイズで形成されている。
【0043】
このように構成されたオペアンプ１１では、ＰＭＯＳトランジスタＴＰ１，ＴＰ２の互いの電流駆動能力の差異により、ＮＭＯＳトランジスタＴＮ２のソース・ゲート間電圧（Ｖｇｓ２）がＮＭＯＳトランジスタＴＮ１のソース・ゲート間電圧（Ｖｇｓ１）よりも高くなる。その結果、メイン回路４では、オペアンプ１１から駆動トランジスタＤｍを通じて出力される内部電源電圧Ｖｉｎｔが上記ＰＭＯＳトランジスタＴＰ１，ＴＰ２のサイズ比（駆動能力差）に依存した電圧ΔＶ（＞０）分だけ基準電圧Ｖｒｅｆよりも高い電圧（Ｖｉｎｔ＝Ｖｒｅｆ＋ΔＶ）で生成されるようになる。詳しくは後述するが、オペアンプ１１の電気的な非対称性は、メイン回路４の出力レベルに基づいて、スタートアップ回路５における駆動トランジスタＤｓの出力を自己整合的にカットオフ（駆動トランジスタＤｓをオフ）するに足りる電圧ΔＶとなるように設計される。
【0044】
次に、スタートアップ回路５のオペアンプ１２について説明する。
【0045】
スタートアップ回路５のオペアンプ１２は、基本的にはメイン回路４のオペアンプ１１と同様な構成を有している。即ち、図３に括弧内に示すように、オペアンプ１２は、負荷としてのカレントミラーをなすＰＭＯＳトランジスタＴＰ３，ＴＰ４と、差動対トランジスタをなすＮＭＯＳトランジスタＴＮ３，ＴＮ４と、電流源２２とを備え、ＮＭＯＳトラ

ンジスタＴＮ３，ＴＮ４のゲートに入力される基準電圧Ｖｒｅｆと内部電源電圧Ｖｉｎｔとの電圧差を増幅した差動増幅電圧Ｖｏｕｔ２をＮＭＯＳトランジスタＴＮ４とＰＭＯＳトランジスタＴＰ４との接続点より第２駆動電圧として出力するものとなっている。

【0046】

このオペアンプ１２においては、上記カレントミラーをなすＰＭＯＳトランジスタＴＰ３，ＴＰ４、及び、入力差動対をなすＮＭＯＳトランジスタＴＮ３，ＴＮ４はそれぞれ同一サイズで形成されている。即ち、オペアンプ１２は電気的な対称性を有するように構成されている。このため、スタートアップ回路５では、オペアンプ１２から駆動トランジスタＤｓを通じて出力される内部電源電圧Ｖｉｎｔは基準電圧Ｖｒｅｆに略一致する電圧（Ｖｉｎｔ≒Ｖｒｅｆ）となるように生成される。

【0047】

次に、降圧回路３の動作を説明する。

【0048】

図４は、外部電源電圧ＶＤＤが投入されてからの降圧回路３の動作を示す波形図である。

【0049】

まず、電源投入初期における降圧回路３の動作について説明する。

【0050】

電源投入初期、負荷回路２には、スタートアップ回路５からの充電電流Ｉｓと、メイン回路４からの充電電流Ｉｍとが供給される。このとき負荷回路２での電流消費（消費電流Ｉｕ）は殆ど発生せず、Ｉｕ＜＜Ｉｓ＋Ｉｍとなる。

【0051】

このような電源投入初期においては、メイン回路４とスタートアップ回路５とに供給されるバイアス電流が小さなものであるため、メイン回路４では、駆動トランジスタＤｍを十分にドライブするだけのゲート電圧（差動増幅電圧Ｖｏｕｔ１）が得られない。このため、メイン回路４からの充電電流Ｉｍは微少であり、内部電源電圧Ｖｉｎｔの生成には殆ど寄与しないものとなる。一方、スタートアップ回路５においては、駆動トランジスタＤｓ及びそれを駆動するオペアンプ１２がメイン回路４におけるそれらよりも小さな素子サイズにて形成されているため、小さなバイアス電流でも高いレスポンスで動作することが可能である。つまりは、駆動トランジスタＤｓを十分にドライブすることが可能となっている。このため、電源投入初期において、負荷回路２に供給される充電電流はその大部分がスタートアップ回路５からの充電電流Ｉｓとなる。これにより、図４に示すように、電源投入初期には、スタートアップ回路５は一時的に充電電流Ｉｓを供給し、内部電源電圧Ｖｉｎｔは、スタートアップ回路５の出力レベルに基づいて、設定電圧とする基準電圧Ｖｒｅｆまで速やかに引き上げられる。

【0052】

その後、図４に示すように、電源投入初期において、内部電源電圧Ｖｉｎｔが基準電圧Ｖｒｅｆのレベルまで達すると、その後はメイン回路４とスタートアップ回路５とが協業して内部電源電圧Ｖｉｎｔを生成する過渡期になる。

【0053】

次に、負荷回路２がスタンバイ状態にあるときの降圧回路３の動作について説明する。

【0054】

負荷回路２がスタンバイ状態にあるときは、該負荷回路２には、メイン回路４からの充電電流Ｉｍが供給される。このとき負荷回路２での消費電流ＩｕはＩｕ＝Ｉｍとなる。

【0055】

ここで、本実施の形態においては、メイン回路４のオペアンプ１１が電気的な非対称性を有するように構成されているため、メイン回路４の出力レベルは基準電圧Ｖｒｅｆよりも電圧ΔＶだけ高いレベルに制御される。それにより、メイン回路４の出力レベルがスタートアップ回路５の出力レベルよりも高くなり、その結果、負荷回路２にはメイン回路４の出力レベルを持つ内部電源電圧Ｖｉｎｔが供給されるようになる。

【0056】
このとき、スタートアップ回路５において、オペアンプ１２の反転入力端子には、メイン回路４の出力レベルに基づいて、それと同レベルの内部電源電圧Ｖｉｎｔ（＝Ｖｒｅｆ＋ΔＶ）が入力されることになる。この場合、スタートアップ回路５のオペアンプ１２は電気的な対称性を有するように構成されているため、同オペアンプ１２の反転入力端子に入力される信号レベルが非反転入力端子に入力される信号レベルよりも高くなることで、同オペアンプ１２の出力レベル、即ち、駆動トランジスタＤｓのゲートに入力される差動増幅電圧Ｖｏｕｔ２のレベルが低下することになる。その結果、駆動トランジスタＤｓの出力がカットオフされるようなる（厳密には、駆動トランジスタＤｓの出力がカットオフされるようにオペアンプ１１の電気的非対称性が設定されている）。このように、負荷回路２がスタンバイ状態にあるときには、スタートアップ回路５の駆動トランジスタＤｓがメイン回路４の出力レベルに基づいて自己整合的にオフされる。これにより、図４に示すように、スタンバイ状態のときには、負荷回路２には、メイン回路４の駆動トランジスタＤｍを通じた充電電流Ｉｍのみ供給される。
【0057】
次に、負荷回路２がアクティブ状態にあるときの降圧回路３の動作について説明する。
【0058】
負荷回路２がアクティブ状態にあるときは、該負荷回路２には、メイン回路４からの充電電流Ｉｍが供給される。このとき負荷回路２での消費電流ＩｕはＩｕ＝Ｉｍとなる。
【0059】
図４に示すように、アクティブ状態においても、スタートアップ回路５の駆動トランジスタＤｓは、先のスタンバイ状態から引き続き、メイン回路４の出力レベルによりオフされたままの状態が維持される。メイン回路４の駆動トランジスタＤｍは、オペアンプ１１のバイアス電流が先のスタンバイ状態のときよりも大きな値に制御され、強反転領域で動作するように制御される。これにより、アクティブ状態における降圧回路３の動作レスポンスを最適化している。
【0060】
ところで、このようなアクティブ状態には、負荷回路２の消費電流Ｉｕが増加し、メイン回路４の出力レベルが基準電圧Ｖｒｅｆのレベル以下に低下することが考えられる。この場合には、スタートアップ回路５において、オペアンプ１２の反転入力端子に入力される信号レベルが非反転入力端子に入力される信号レベルよりも低くなることで、駆動トランジスタＤｓが駆動トランジスタＤｍに比べて低い動作レスポンスで再度駆動されるようになる。即ち、内部電源電圧Ｖｉｎｔが基準電圧Ｖｒｅｆ以下に低下したときには、メイン回路４及びスタートアップ回路５の双方の駆動トランジスタＤｍ，Ｄｓが駆動されるようになる。これにより、低下している内部電源電圧Ｖｉｎｔが速やかに基準電圧Ｖｒｅｆまで引き上げられるようになる。その後はメイン回路４の出力レベルが基準電圧Ｖｒｅｆのレベルよりも高くなると、前記同様、スタートアップ回路５の駆動トランジスタＤｓがメイン回路４の出力レベルに基づいて自己整合的にカットオフされるものとなる。なお、このような動作は、負荷回路２のアクティブ状態に限らず、スタンバイ状態のときにおいても、内部電源電圧Ｖｉｎｔが基準電圧Ｖｒｅｆ以下に低下するときには実施される。因みに、オペアンプ１２の反転入力端子には、シュミットトリガ回路を介して内部電源電圧Ｖｉｎｔを入力させることが好適である。
【0061】
以上記述したように、本実施の形態では、以下の効果を奏することができる。
【0062】
（１）外部電源電圧ＶＤＤの投入後、負荷回路２のスタンバイ状態とアクティブ状態とを通じて連続的に動作するメイン回路４と、専ら電源投入初期の期間に動作するスタートアップ回路５とを備えた。メイン回路４の駆動トランジスタＤｍやオペアンプ１１に比べてスタートアップ回路５の駆動トランジスタＤｓやオペアンプ１２をそれぞれ小型サイズのトランジスタで形成したことにより、小さなバイアス電流でもスタートアップ回路５の

Sandisk Technologies, Inc. - Ex. 1002, Page 000976

動作レスポンス（応答速度）を高速化させることができる。これにより、電源投入初期におけるスタートアップ回路５の動作レスポンスを高め、内部電源電圧Ｖｉｎｔを設定電圧とする基準電圧Ｖｒｅｆまで素早く上昇させることができる。

【0063】

（２）メイン回路４を電源投入初期から負荷回路２のスタンバイ状態とアクティブ状態とを通じて連続的に動作させるようにしたため、スタンバイ状態／アクティブ状態の動作切り替え時に降圧回路３の出力に過渡的な動作不安定現象が発生して内部電源電圧Ｖｉｎｔのレベルが不安定になることを抑制することができる。

【0064】

（３）スタートアップ回路５の駆動トランジスタＤｓに対しメイン回路４の駆動トランジスタＤｍは負荷回路２のアクティブ時にも高いドライブ能力（電流駆動能力）が得られる十分なサイズで構成される。これにより、アクティブ時における降圧回路３の動作レスポンスを最適化することができる。

【0065】

（４）メイン回路４のオペアンプ１１を電気的な非対称性を有する構成とし（本実施の形態ではＰＭＯＳトランジスタＴＰ１，ＴＰ２のサイズ比を１：ｘ（ｘ＞１）にする）、スタートアップ回路５のオペアンプ１２を電気的な対称性を有する構成とした。この構成により、負荷回路２のスタンバイ状態やアクティブ状態など、過渡的な動作不安定現象（発振）が生じ易い期間では、スタートアップ回路５の駆動トランジスタＤｍをメイン回路４の出力レベル（＝Ｖｒｅｆ＋ΔＶ）に基づいて自己整合的にオフさせてスタートアップ回路５を不活性化させることができる。

【0066】

（５）メイン回路４の出力レベルに基づきスタートアップ回路５を自己整合的に不活性化させる構成としたことにより、スタートアップ回路５において回路面積の拡大につながる位相補償回路を不要とすることができる。近年は、ＬＳＩによるＳＯＣの実現と更なる機能拡張との要求に伴い、降圧回路３においてもサイズ縮小が求められている。上記した従来の降圧回路３０（図５）では、負荷回路３２のスタンバイ状態とアクティブ状態とでそれぞれＳ－ＶＤＣとＡ－ＶＤＣとを独立して動作させる構成であるため、動作安定性の観点から、Ｓ－ＶＤＣとＡ－ＶＤＣとの双方に位相補償回路（例えば容量や抵抗にて構成）が必要であった。降圧回路の小型化を図る上で、このような回路面積の拡大につながる位相補償回路は、ＬＳＩにおけるエリアペナルティーの大きな要因となる。本実施の形態では、この点において降圧回路３のレイアウト面積を節約することができる。

【0067】

（６）負荷回路２がスタンバイ状態やアクティブ状態の時に、内部電源電圧Ｖｉｎｔのレベル（メイン回路４の出力レベル）が基準電圧Ｖｒｅｆ以下の所定のレベルに低下した場合には、オフされているスタートアップ回路５の駆動トランジスタＤｓをオンさせて、再度、スタートアップ回路５を活性化させる。これにより、低下した内部電源電圧Ｖｉｎｔを速やかに基準電圧Ｖｒｅｆまで引き上げることができる。

【0068】

（７）メイン回路４を連続的に動作させ、スタートアップ回路５の動作切り替え（活性／非活性制御）を外部コントロール信号ＣＥに依らず、メイン回路４の出力レベルによって自己整合的に行うようにしたことで、降圧回路３の動作を外部コントロール信号ＣＥによる制御から開放できる。このため、降圧回路３に、外部コントロール信号ＣＥをデコードするためのデコーダ等の制御回路は不要となる。これにより、降圧回路３の構成を簡素化することができる。

【0069】

なお、上記実施の形態は、以下のような態様（変形例）に変更して実施してもよい。

【0070】

（変形例１）メイン回路４の出力レベルに基づきスタートアップ回路５の駆動トランジスタＤｓを自己整合的にオフさせる構成としては、オペアンプ１１の電気的な非対称性（

カレントミラーの入力側と出力側とで素子サイズ比を１：ｘにする）と、オペアンプ１２の電気的な対称性とにより実現される構成に限定されない。例えば、オペアンプ１１，１２が共に電気的な対称性を有する構成とし、メイン回路４側のオペアンプ１１に供給する基準電圧と、スタートアップ回路５側のオペアンプ１２に供給する基準電圧とをそれぞれ異なる電圧に設定する（例えばメイン回路４側をスタートアップ回路５側よりも高くする）等の方法で実現してもよい。または、カレントミラー対を構成するトランジスタＴＰ１，ＴＰ２のバックゲート電圧を異ならしめてもよい。即ち、本発明では、メイン回路４の出力レベルに基づいて、駆動トランジスタＤｓの出力をカットオフさせる（駆動トランジスタＤｓのゲート電圧を低下させる）構成であれば他の構成でもよい。

【0071】

（変形例２）メイン回路４が位相補償回路を含む構成でもよい。説明を簡略化するために、便宜上、上記実施の形態ではメイン回路４が位相補償回路を含まない構成としたが、例えば、オペアンプ１１の出力端と接地との間に容量にてなる位相補償回路を備えてもよい。また、メイン回路４及びスタートアップ回路５の構成は、本発明の技術的思想の範囲内において適宜他の構成に変更することができる。

【0072】

（変形例３）メイン回路４とスタートアップ回路５との間でそれぞれ駆動トランジスタＤｍ，Ｄｓとオペアンプ１１，１２とを互いに異なる素子サイズで形成するようにしたが、電源投入初期の動作が保証できれば、駆動トランジスタＤｍ，Ｄｓの素子サイズのみを互いに異なるものとしてもよい。

【0073】

（変形例４）その他上記実施の形態及び各変形例の構成に関する設計的事項は本発明の技術的思想の範囲内において適宜変更することができる。

【図面の簡単な説明】

【0074】

【図1】一実施の形態の降圧回路を備えた半導体装置を示すブロック図。

【図2】メイン回路及びスタートアップ回路を示す回路図。

【図3】オペアンプを示す回路図。

【図4】降圧回路の動作を示す波形図。

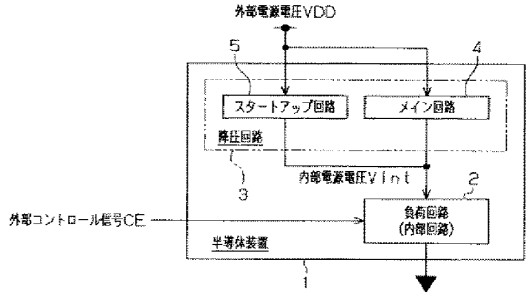
【図5】従来の降圧回路を備えた半導体装置を示すブロック図。

【符号の説明】

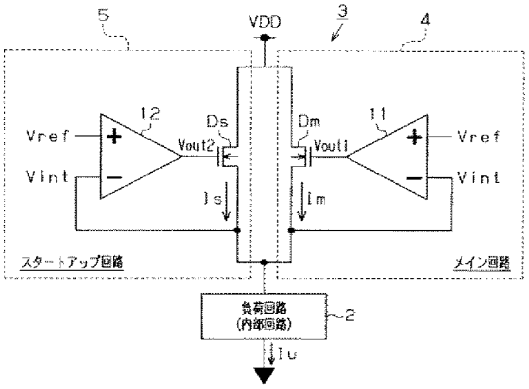
【0075】

２：負荷回路、３：降圧回路、４：メイン回路、５：スタートアップ回路、１１：オペアンプ（第１差動増幅回路）、１２：オペアンプ（第２差動増幅回路）、Ｄｍ：駆動トランジスタ（第１駆動トランジスタ）、Ｄｓ：駆動トランジスタ（第２駆動トランジスタ）、Ｉｍ，Ｉｓ：充電電流（負荷電流）、Ｉｕ：消費電流、ＶＤＤ：外部電源電圧、Ｖｉｎｔ：内部電源電圧、Ｖｒｅｆ：基準電圧、Ｖｏｕｔ１：差動増幅電圧（第１駆動電圧）、Ｖｏｕｔ２：差動増幅電圧（第２駆動電圧）、ＴＰ１，ＴＰ２，ＴＰ３，ＴＰ４：ＰＭＯＳトランジスタ、ＴＮ１，ＴＮ２，ＴＮ３，ＴＮ４：ＮＭＯＳトランジスタ。

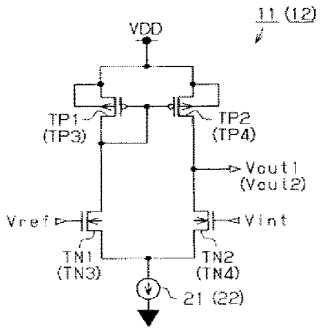
【図1】


外部電源電圧VDD
5
4
スタートアップ回路
メイン回路
降圧回路
3
内部電源電圧Vint
2
外部コントロール信号CE
負荷回路
(内部回路)
半導体装置
1

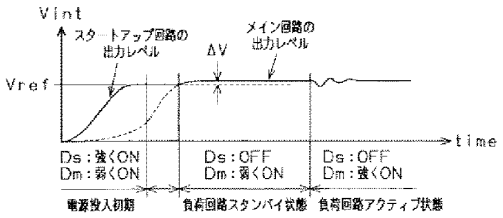
【図2】


5
VDD
3
4
Vref
12
Ds
Vout2
Dm
Vout1
11
Vref
Vint
Vint
Is
Im
スタートアップ回路
メイン回路
負荷回路
(内部回路)
2
Iu

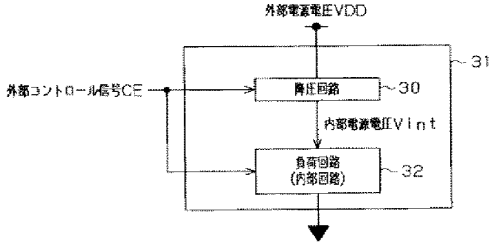
【図3】


11 (12)
VDD
TP1
(TP3)
TP2
(TP4)
Vout1
(Vout2)
Vref
Vint
TN1
(TN3)
TN2
(TN4)
21 (22)

【図4】


Vint
スタートアップ回路の
出力レベル
ΔV
メイン回路の
出力レベル
Vref
time
Ds：強くON
Dm：弱くON
Ds：OFF
Dm：弱くON
Ds：OFF
Dm：強くON
電源投入初期
負荷回路スタンバイ状態
負荷回路アクティブ状態

【図5】


外部電源電圧VDD
31
外部コントロール信号CE
降圧回路
30
内部電源電圧Vint
負荷回路
(内部回路)
32

(19) Japanese Patent Office (JP)
(12) Publication of unexamined patent applications (A)
(11) Japanese unexamined patent application number
Japanese Unexamined Patent Application Publication
2006-277082
(P2006-277082A)
(43) Publication Date 12 Oct 2006

---

(51) Int.Cl.	FI	Theme Code (Ref)
G05F 1/56 (2006.01)	G05F 1/56 310V	5H430
	G05F 1/56 310B	

Examination request Not requested
Number of claims 6
OL
(Total 12 pages [in the original])

---

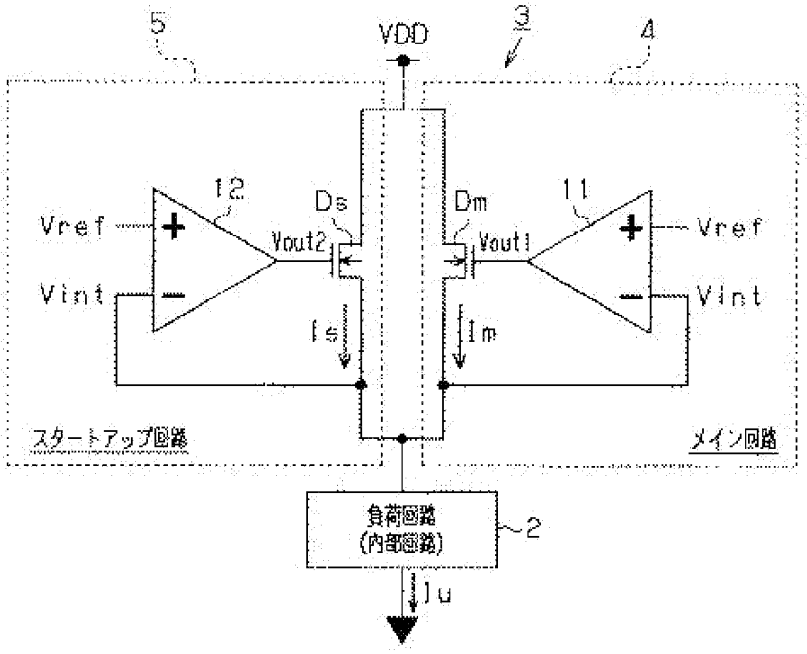
(21) Appn no. Japanese Patent Application
2005-92426 (P2005-92426)
(22) Filing date 28 March 2005
(71) Applicant 000001889
Sanyo Electric Co., Ltd.
5-5 Keihanhondori 2-chome,
Moriguchi City, Osaka Prefecture
(74) Agent 100131071
Patent Attorney Hiroshi KADOYA
(72) Inventor Katsuya KAMEI
5-5 Keihanhondori 2-chome,
Moriguchi City, Osaka Prefecture
Sanyo Electric Co., Ltd.
F terms (Ref) 5H430 BB01 BB09 BB11 CC06 EE06
EE13 EE18 FF01 FF13 HH03
KK03 LB06

Sandisk Technologies, Inc. - Ex. 1002, Page 000981

(54) Title of the invention Step-down circuit

(57) [Abstract]
[Problem] To provide a step-down circuit aimed at stable generation of an internal power supply voltage.
[Means of overcoming the problem] A step-down circuit 3 is provided with: a main circuit 4 which is provided with an operational amplifier 11 for generating a differential amplification voltage Vout1 corresponding to the voltage difference between an internal power supply voltage Vint and a reference voltage Vref, and a drive transistor Dm that is controlled by the differential amplification voltage Vout1, and which supplies the internal power supply voltage Vint to a load circuit 2; and a start-up circuit 5 which is provided with an operational amplifier 12 for generating a differential amplification voltage Vout2 corresponding to the voltage difference between the internal power supply voltage Vint and the reference voltage Vref, and a drive transistor Ds that is controlled by the differential amplification voltage Vout2, and which supplies the internal power supply voltage Vint to the load circuit 2. In the step-down circuit 3, the drive transistor Dm of the main circuit 4 continuously supplies a load current Im, and the drive transistor Ds of the start-up circuit 5 temporarily supplies a load current Is in accordance with the level of the internal power supply voltage Vint.
[Selected figure] Figure 2

Sandisk Technologies, Inc. - Ex. 1002, Page 000982



Source	Target
負荷回路（内部回路）	Load circuit (internal circuit)
メイン回路	Main circuit
スタートアップ回路	Start-up circuit

[Scope of the patent claims]

[Claim 1]

Step-down circuit for generating an internal power supply voltage at a stepped-down level, based on a predetermined reference voltage, of an external power supply voltage, and supplying the internal power supply voltage to a load circuit, characterized by being provided with

a main circuit which is provided with a first differential amplification circuit for generating a first drive voltage corresponding to the voltage difference between the internal power supply voltage and the reference voltage, and a first drive transistor that is controlled by the first drive voltage, and which supplies the internal power supply voltage to the load circuit, and

a start-up circuit which is provided with a second differential amplification circuit for generating a second drive voltage corresponding to the voltage difference between the internal power supply voltage and the reference voltage, and a second drive transistor that is controlled by the second drive voltage, and which supplies the internal power supply voltage to the load circuit, wherein

the first drive transistor continuously supplies a load current, and the second drive transistor temporarily supplies a load current in accordance with the level of the internal power supply voltage.

[Claim 2]

Step-down circuit according to Claim 1, wherein the second drive transistor supplies the load current when the internal power supply voltage is less than a prescribed voltage set to be at most equal to the reference voltage.

[Claim 3]

Step-down circuit according to Claim 1 or 2, wherein the first differential amplification circuit is configured to have asymmetrical electrical characteristics, and the second differential

Sandisk Technologies, Inc. - Ex. 1002, Page 000984

amplification circuit is configured to have symmetrical electrical characteristics.

[Claim 4]

Step-down circuit according to Claim 3, wherein the ratio between an input side element size and an output side element size constituting a current mirror pair in the first differential amplification circuit is set to be 1:x (where x>1).

[Claim 5]

Step-down circuit according to any one of Claims 1 to 4, wherein the second drive transistor is set to have a smaller drive capability than the first drive transistor.

[Claim 6]

Step-down circuit according to any one of Claims 1 to 5, wherein an element constituting the second differential amplification circuit is formed with a smaller size than an element constituting the first differential amplification circuit, and the second drive transistor is formed with a smaller size than the first drive transistor.

[Detailed description of the invention]

[Technical field]

[0001]

The present invention relates to a step-down circuit, and more specifically relates to a step-down circuit which generates a power supply voltage for an internal circuit by stepping down an external power supply voltage to a prescribed voltage.

[Background art]

[0002]

In recent years, semiconductor devices such as SOC (System On a Chip) are increasingly required to have higher integration, lower power consumption, and increased speed. Such semiconductor devices employ a step-down circuit which steps down a power supply voltage (external power supply voltage) supplied from the outside, to generate an operating voltage (internal

Sandisk Technologies, Inc. - Ex. 1002, Page 000985

power supply voltage) to be supplied to internal circuits, in order to reduce power consumption or protect the elements constituting the internal circuits. Figure 5 illustrates the configuration of an example of such a step-down circuit that has been widely known in the past.

[0003]

As illustrated in Figure 5, a step-down circuit 30 is provided in a semiconductor device 31. The step-down circuit 30 generates an internal power supply voltage Vint, obtained by stepping down an external power supply voltage VDD to a prescribed level, and supplies the internal power supply voltage Vint to a load circuit 32, which is an internal circuit (such as a SRAM) of the semiconductor device 31. The load circuit 32 is supplied with an external control signal CE for performing control to switch the operating state of the load circuit 32 between a standby state and an active state. The external control signal CE is also supplied to the step-down circuit 30, and the operation of the step-down circuit 30 is switched and controlled by means of the external control signal CE in accordance with the standby state/active state of the load circuit 32.

[0004]

That is, the step-down circuit 30 is provided with a standby step-down circuit (referred to as 'S-VDC' hereinbelow) which is activated when the load circuit 32 is in the standby state, and an active step-down circuit (referred to as 'A-VDC' hereinbelow) which is activated when the load circuit 32 is in the active state, and the operation of the S-VDC and the A-VDC is switched by means of the external control signal CE.

[0005]

The S-VDC and A-VDC are designed to operate with a power consumption that does not significantly affect the overall power consumption of the semiconductor device 31 in the standby state and the active state,

Sandisk Technologies, Inc. - Ex. 1002, Page 000986

respectively, of the load circuit 32. For example, when the load circuit 32 is in the standby state, the power consumption of the S-VDC is also kept low so as not to affect the overall power consumption of the semiconductor device 31. Meanwhile, when the load circuit 32 is in the active state, the power consumption of the step-down circuit 30 is increased, within the range permitted for the step-down circuit 30, to optimise the operational response (response speed) of the A-VDC. As a result, the power consumption when on standby is reduced, and the speed of the operational response when active is increased.

[Disclosure of the invention]

[Problems to be resolved by the invention]

[0006]

Now, in the step-down circuit 30 as described hereinabove, there is a problem in that, when the operation of the S-VDC and the A-VDC is switched between the standby state and the active state, a transient operational instability phenomenon (oscillation phenomenon) occurs in the output level (internal power supply voltage Vint) of the step-down circuit 30. That is, although the S-VDC and the A-VDC are each designed such that, in theory, the internal power supply voltage Vint is generated at a level that is substantially matched to a reference voltage, serving as a set voltage, in practice, the levels of the internal power supply voltage Vint generated by the S-VDC and the A-VDC do not necessarily coincide. As a result, if the operation of the S-VDC and the A-VDC is switched in a state in which the output levels differ, oscillations occur in the output of the step-down circuit 30, and the level of the internal power supply voltage Vint is temporarily unstable.

[0007]

The present invention takes account of such conventional circumstances, and the objective thereof

Sandisk Technologies, Inc. - Ex. 1002, Page 000987

is to provide a step-down circuit aimed at stable generation of an internal power supply voltage.

[Means of overcoming the problem]

[0008]

The means for achieving this objective, and the operation thereof, will now be described.

[0009]

The gist of the invention as in Claim 1 lies in a step-down circuit for generating an internal power supply voltage at a stepped-down level, based on a predetermined reference voltage, of an external power supply voltage, and supplying the internal power supply voltage to a load circuit, characterized by being provided with a main circuit which is provided with a first differential amplification circuit for generating a first drive voltage corresponding to the voltage difference between the internal power supply voltage and the reference voltage, and a first drive transistor that is controlled by the first drive voltage, and which supplies the internal power supply voltage to the load circuit, and a start-up circuit which is provided with a second differential amplification circuit for generating a second drive voltage corresponding to the voltage difference between the internal power supply voltage and the reference voltage, and a second drive transistor that is controlled by the second drive voltage, and which supplies the internal power supply voltage to the load circuit, wherein the first drive transistor continuously supplies a load current, and the second drive transistor temporarily supplies a load current in accordance with the level of the internal power supply voltage.

[0010]

According to this configuration, the first drive transistor of the main circuit supplies the load current continuously. In contrast, the second drive transistor of the second drive transistor is controlled to be on or off in accordance with the level of the

Sandisk Technologies, Inc. - Ex. 1002, Page 000988

internal power supply voltage, and supplies the load current temporarily. By constantly supplying the load current from the main circuit, and supplying the load current from the start-up circuit temporarily, in this way, it is possible to prevent the level of the internal power supply voltage, which is the output of the step-down circuit, becoming unstable.

[0011]

The gist of the invention as in Claim 2 lies in the step-down circuit according to Claim 1, wherein the second drive transistor supplies the load current when the internal power supply voltage is less than a prescribed voltage set to be at most equal to the reference voltage.

[0012]

According to this configuration, the start-up circuit is activated only during a period in which the internal power supply voltage is lower than a prescribed voltage, for example after the power supply has been turned on, and is controlled to be inactive during a subsequent period in which the internal power supply voltage is at least equal to the prescribed voltage. That is, with this configuration, the start-up circuit can be deactivated in a self-conforming manner after the internal power supply voltage has reached the prescribed voltage. Further, according to this configuration, the second drive transistor is turned on and the start-up circuit re-activated not only during the period after the power supply has been turned on, but also when the output level of the main circuit is at a level lower than the prescribed voltage. This is because it is conceivable for a variation to arise in the internal power supply voltage, and for the output level of the main circuit to drop below the reference voltage, if the consumption current of the load circuit is large, for example if the load circuit is in an active state. The start-up circuit is activated in such cases.

Sandisk Technologies, Inc. - Ex. 1002, Page 000989

[0013]

The gist of the invention as in Claim 3 lies in the step-down circuit according to Claim 1 or 2, wherein the first differential amplification circuit is configured to have asymmetrical electrical characteristics, and the second differential amplification circuit is configured to have symmetrical electrical characteristics.

[0014]

According to this configuration, the electrical asymmetry of the first differential amplification circuit in the main circuit causes the output level of the main circuit, that is, the internal power supply voltage generated by the main circuit, to be pulled up to a level slightly higher than the reference voltage. As a result, the electrical symmetry of the second differential amplification circuit in the start-up circuit causes the second drive voltage from the second differential amplification circuit, which feeds back the internal power supply voltage and compares the same with the reference voltage, to drop to a level that cuts off the output of the second drive transistor. As a result, the second drive transistor can be turned off in a self-conforming manner on the basis of the output level of the main circuit.

[0015]

The gist of the invention as in Claim 4 lies in the step-down circuit according to Claim 3, wherein the ratio between an input side element size and an output side element size constituting a current mirror pair in the first differential amplification circuit is set to be 1:x (where x>1).

[0016]

In order to configure the first differential amplification circuit to have electrical asymmetry, it is preferable, for example, to adopt a technique in which the ratio between an input side element size and an output side element size constituting a current

mirror pair in the first differential amplification circuit is set to be 1:x (where x>1). This makes it possible to realise a configuration in which the output level of the main circuit can be set to be higher than the output level of the start-up circuit, but the second drive transistor is turned off in a self-conforming manner.

[0017]

The gist of the invention as in Claim 5 lies in the step-down circuit according to any one of Claims 1 to 4, wherein the second drive transistor is set to have a smaller drive capability than the first drive transistor.

[0018]

According to this configuration, the second drive transistor in the start-up circuit can be caused to operate with a high response than the first drive transistor in the main circuit, even if the bias current is smaller. As a result, in the step-down circuit, the internal power supply voltage can be rapidly pulled up to the target voltage level, and after the internal power supply voltage has reached the prescribed voltage, the start-up circuit can be deactivated in a self-conforming manner.

[0019]

The gist of the invention as in Claim 6 lies in the step-down circuit according to any one of Claims 1 to 5, wherein an element constituting the second differential amplification circuit is formed with a smaller size than an element constituting the first differential amplification circuit, and the second drive transistor is formed with a smaller size than the first drive transistor.

[0020]

According to this configuration, the same effect as in the invention as in Claim 5 can be obtained, in addition to which, since the second drive transistor is

Sandisk Technologies, Inc. - Ex. 1002, Page 000991

formed with a smaller element size than the first drive transistor, the circuit area can be scaled down.

[Effect of the invention]

[0021]

As described hereinabove, according to the present invention, it is possible to provide a step-down circuit capable of stably generating an internal power supply voltage.

[Best mode for carrying out the invention]

[0022]

An embodiment, embodying the present invention, will now be described with reference to the drawings.

[0023]

Figure 1 is a block diagram illustrating the overall configuration of a semiconductor device provided with a step-down circuit according to the present embodiment. The semiconductor device 1 is provided with a step-down circuit 3 which generates an internal power supply voltage Vint, obtained by stepping down an external power supply voltage VDD, supplied from the outside, to a prescribed level, and supplies the internal power supply voltage Vint to a load circuit 2, which is an internal circuit of the semiconductor device 1. It should be noted that the load circuit 2 (internal circuit) consists of SRAM (Static-RAM) in the present embodiment, and the load circuit 2 is supplied with an external control signal CE for performing control to switch the operating state of the load circuit 2 between a standby state and an active state.

[0024]

The step-down circuit 3 is provided with a main circuit 4 and a start-up circuit 5. The main circuit 4 essentially operates as a step-down circuit, and operates uniformly after the external power supply voltage VDD has been turned on, regardless of whether the load circuit 2 is in the standby state or the active state. The start-up circuit 5 operates under

Sandisk Technologies, Inc. - Ex. 1002, Page 000992

predetermined conditions, solely in a period during an initial stage when the external power supply voltage VDD has been turned on (referred to as 'initial stage of the turning on of the power supply' hereinbelow). It should be noted that the initial stage of the turning on of the power supply refers to a very short period until approximately a few ms have elapsed after the external power supply voltage VDD has been turned on. The outputs of the main circuit 4 and the start-up circuit 5 are directly wired-OR connected, and the potential of the mutual output terminal thereof is supplied to the load circuit 2 as the internal power supply voltage Vint.

[0025]

Figure 2 is a circuit diagram illustrating the configuration of the step-down circuit 3.

[0026]

The main circuit 4 will first be described.

[0027]

The main circuit 4 is provided with an operational amplifier 11, and a drive transistor Dm which is driven on the basis of the output signal from the operational amplifier 11. It should be noted that in the present embodiment, the operational amplifier 11 constitutes the first differential amplification circuit, and the drive transistor Dm constitutes the first drive transistor.

[0028]

The operational amplifier 11 outputs, as a first drive voltage, a differential amplification voltage Vout1 obtained by amplifying the voltage difference between a reference voltage Vref input to a non-inverting input terminal (+) and the internal power supply voltage Vint input to an inverting input terminal (-). It should be noted that the reference voltage Vref is a voltage serving as a target when the external power supply voltage VDD is stepped down to generate the internal power supply voltage Vint, that

Sandisk Technologies, Inc. - Ex. 1002, Page 000993

is, a voltage applied as the set voltage of the internal power supply voltage Vint, and the reference voltage Vref is generated by a reference voltage generating circuit, which is not shown in the drawings.

[0029]

In the present embodiment, the drive transistor Dm consists of an N-channel type MOS transistor (referred to as 'NMOS transistor' hereinbelow). In the drive transistor Dm, the external power supply voltage VDD is applied to the drain, an internal power supply terminal (internal power supply voltage Vint supply terminal) of the load circuit (internal circuit) 2 is connected to the source, and the differential amplification voltage Vout1 from the operational amplifier 11 is supplied to the gate.

[0030]

In the main circuit 4, the output of the operational amplifier 11 is fed back to the operational amplifier 11 via the drive transistor Dm to form a negative feedback loop, and by controlling the gate of the drive transistor Dm by means of the differential amplification voltage Vout1 output from the operational amplifier 11, the internal power supply voltage Vint based on the charging current Im (source current) of the drive transistor Dm is generated in such a way as to be a voltage that substantially matches the reference voltage Vref.

[0031]

The start-up circuit 5 will next be described.

[0032]

The start-up circuit 5 is provided with an operational amplifier 12, and a drive transistor Ds which is driven on the basis of the output signal from the operational amplifier 12. It should be noted that in the present embodiment, the operational amplifier 12 constitutes the second differential amplification circuit, and the drive transistor Ds constitutes the second drive transistor.

Sandisk Technologies, Inc. - Ex. 1002, Page 000994

[0033]

The operational amplifier 12 outputs, as a second drive voltage, a differential amplification voltage Vout2 obtained by amplifying the voltage difference between the reference voltage Vref input to a non-inverting input terminal (+) and the internal power supply voltage Vint input to an inverting input terminal (-). In the present embodiment, the drive transistor Ds consists of an NMOS transistor, wherein the external power supply voltage VDD is applied to the drain, the internal power supply terminal of the load circuit 2 is connected to the source, and the differential amplification voltage Vout2 from the operational amplifier 12 is supplied to the gate.

[0034]

In the start-up circuit 5, the output of the operational amplifier 12 is fed back to the operational amplifier 12 via the drive transistor Ds to form a negative feedback loop, and by controlling the gate of the drive transistor Ds by means of the differential amplification voltage Vout2 output from the operational amplifier 12, the internal power supply voltage Vint based on the charging current Is (source current) of the drive transistor Ds is generated in such a way as to be a voltage that substantially matches the reference voltage Vref.

[0035]

As described above, the main circuit 4 and the start-up circuit 5 have the same actual circuit configuration as one another, but in the present embodiment, the elements constituting the start-up circuit 5 are preferably formed with a smaller size than the elements constituting the main circuit 4. There is consequently a significant difference between the two in terms of operating performance.

[0036]

More specifically, the drive transistor Ds of the start-up circuit 5 is formed with a smaller element

size than the drive transistor Dm of the main circuit 4. As a result, the gate controllability of the drive transistor Ds in the start-up circuit 5, in other words the switching speed of the drive transistor Ds, is improved compared with the gate controllability of the drive transistor Dm in the main circuit 4. Further, the operational amplifier 12 of the start-up circuit 5 is formed with a smaller element size than the operational amplifier 11 of the main circuit 4. As a result, the operational response (response speed) of the operational amplifier 12 in the start-up circuit 5 during the initial stage of the turning on of the power supply is improved compared with the operational response of the operational amplifier 11 in the main circuit 4. That is, the feedback speed in the negative feedback loop in the start-up circuit 5 is improved compared with that of the main circuit 4.

[0037]

In other words, in the main circuit 4, the drive transistor Dm and the operational amplifier 11 are formed with an element size that is sufficient to obtain a high drive capability (current driving capability) even when the load circuit 2 is active, whereas in the start-up circuit 5, although the drive capability is restricted, the drive transistor Ds and the operational amplifier 12 are formed with an element size that is as small as possible, in order to obtain a high operational response even with a small bias current.

[0038]

The circuit configuration of the operational amplifiers 11 and 12 will next be described.

[0039]

The operational amplifier 11 of the main circuit 4 will first be described.

[0040]

As illustrated in Figure 3, the operational amplifier 11 of the main circuit 4 is provided with: a

pair of P-channel type MOS transistors (referred to as 'PMOS transistors' hereinbelow) TP1, TP2 constituting a current mirror serving as a load; NMOS transistors TN1, TN2 constituting differential pair transistors; and a current source 21.

[0041]

The external power supply voltage VDD is applied to the sources of the PMOS transistors TP1, TP2 constituting the current mirror. Further, the gates of the PMOS transistors TP1, TP2 are connected to one another, and are connected to the drain of the PMOS transistor TP1. Further, the drains of the PMOS transistors TP1, TP2 are connected respectively to the drains of the NMOS transistors TN1, TN2 constituting the differential pair transistors, and the sources of the NMOS transistors TN1, TN2 are connected to a ground potential via the current source 21. Further, the reference voltage Vref is input to the gate of the NMOS transistor TN1, the internal power supply voltage Vint is input to the gate of the NMOS transistor TN2, and the differential amplification voltage Vout1 obtained by amplifying the voltage difference between the reference voltage Vref and the internal power supply voltage Vint is output as the first drive voltage from the connecting point between the NMOS transistor TN2 and the PMOS transistor TP2.

[0042]

Here, in the present embodiment, the input side PMOS transistor TP1 and the output side PMOS transistor TP2 of the current mirror are configured to have a size ratio of 1:x (x>1). That is, the operational amplifier 11 is configured to be electrically asymmetrical. Incidentally, the NMOS transistors TN1, TN2 are formed with the same size.

[0043]

In the operational amplifier 11 configured in this way, the source-gate voltage (Vgs2) of the NMOS transistor TN2 is higher than the source-gate voltage

Sandisk Technologies, Inc. - Ex. 1002, Page 000997

(Vgs1) of the NMOS transistor TN1, as a result of the difference between the current driving capabilities of the PMOS transistors TP1 and TP2. As a result, in the main circuit 4, the internal power supply voltage Vint output from the operational amplifier 11 through the drive transistor Dm is generated at a voltage (Vint=Vref+ΔV) that is higher than the reference voltage Vref by a voltage ΔV (>0) that depends on the size ratio (drive capability difference) between the PMOS transistors TP1 and TP2. As will be discussed in detail hereinafter, the electrical asymmetry of the operational amplifier 11 is designed such that the voltage ΔV is sufficient for the output of the drive transistor Ds in the start-up circuit 5 to be cut off (for the drive transistor Ds to be turned off) in a self-conforming manner on the basis of the output level of the main circuit 4.

[0044]

The operational amplifier 12 in the start-up circuit 5 will next be described.

[0045]

The operational amplifier 12 of the start-up circuit 5 has basically the same configuration as the operational amplifier 11 of the main circuit 4. That is, as illustrated in parentheses in Figure 3, the operational amplifier 12 is provided with PMOS transistors TP3, TP4 forming a current mirror serving as a load, NMOS transistors TN3, TN4 constituting differential pair transistors, and a current source 22, wherein the differential amplification voltage Vout2 obtained by amplifying the voltage difference between the reference voltage Vref and the internal power supply voltage Vint input to the gates of the NMOS transistors TN3 and TN4 is output as the second drive voltage from the connecting point between the NMOS transistor TN4 and the PMOS transistor TP4.

[0046]

Sandisk Technologies, Inc. - Ex. 1002, Page 000998

In the operational amplifier 12, the PMOS transistors TP3, TP4 forming the current mirror, and the NMOS transistors TN3, TN4 forming the input differential pair are respectively formed to have the same size. In other words, the operational amplifier 12 is configured to be electrically symmetrical. As a result, in the start-up circuit 5, the internal power supply voltage Vint output from the operational amplifier 12 through the drive transistor Ds is generated to be a voltage that substantially matches the reference voltage Vref (Vint≈Vref).

[0047]

The operation of the step-down circuit 3 will next be described.

[0048]

Figure 4 is a waveform diagram illustrating the operation of the step-down circuit 3, from the time at which the external power supply voltage VDD is turned on.

[0049]

The operation of the step-down circuit 3 in the initial stage of the turning on of the power supply will first be described.

[0050]

In the initial stage of the turning on of the power supply, the charging current Is from the start-up circuit 5 and the charging current Im from the main circuit 4 are supplied to the load circuit 2. As there is almost no current consumption (consumption current Iu) in the load circuit 2 at this time, Iu<<Is+Im.

[0051]

Since the bias current supplied to the main circuit 4 and the start-up circuit 5 during the initial stage of the turning on of the power supply is small, a gate voltage (differential amplification voltage Vout1) sufficient to drive the drive transistor Dm cannot be obtained in the main circuit 4. The charging current Im from the main circuit 4 is therefore very small and

Sandisk Technologies, Inc. - Ex. 1002, Page 000999

hardly contributes to the generation of the internal power supply voltage Vint. Meanwhile, in the start-up circuit 5, since the drive transistor Ds and the operational amplifier 12 which drives the same are formed with a smaller element size than those in the main circuit 4, the start-up circuit can operate with a high response, even if the bias current is small. That is, the drive transistor Ds can be driven adequately. Therefore, during the initial stage of the turning on of the power supply, the greater part of the charging current supplied to the load circuit 2 comprises the charging current Is from the start-up circuit 5. As a result, during the initial stage of the turning on of the power supply, the start-up circuit 5 temporarily supplies the charging current Is, and the internal power supply voltage Vint is rapidly pulled up to the reference voltage Vref, serving as the set voltage, on the basis of the output level of the start-up circuit 5, as illustrated in Figure 4.

[0052]

After the internal power supply voltage Vint has subsequently reached the level of the reference voltage Vref in the initial stage of the turning on of the power supply, there is a transient stage in which the main circuit 4 and the start-up circuit 5 collaboratively generate the internal power supply voltage Vint, as illustrated in Figure 4.

[0053]

The operation of the step-down circuit 3 when the load circuit 2 is in the standby state will next be described.

[0054]

When the load circuit 2 is in the standby state, the load circuit 2 is supplied with the charging current Im from the main circuit 4. At this time, the consumption current Iu in the load circuit 2 is Iu=Im.

[0055]

Sandisk Technologies, Inc. - Ex. 1002, Page 001000

Here, in the present embodiment, since the operational amplifier 11 of the main circuit 4 is configured to be electrically asymmetrical, the output level of the main circuit 4 is controlled to a level that is higher than the reference voltage Vref by the voltage ΔV. The output level of the main circuit 4 is thus higher than the output level of the start-up circuit 5, as a result of which the load circuit 2 is supplied with the internal power supply voltage Vint at the output level of the main circuit 4.

[0056]

At this time, in the start-up circuit 5, the internal power supply voltage Vint (=Vref+ΔV) at the same level as the output level of the main circuit 4 is input to the inverting input terminal of the operational amplifier 12 on the basis of the output level of the main circuit. In this case, since the operational amplifier 12 of the start-up circuit 5 is configured to be electrically symmetrical, the signal level input to the inverting input terminal of the operational amplifier 12 is higher than the signal level input to the non-inverting input terminal, and thus the output level of the operational amplifier 12, that is, the level of the differential amplification voltage Vout2 input to the gate of the drive transistor Ds, drops. As a result, the output of the drive transistor Ds is cut off (strictly speaking, the electrical asymmetry of the operational amplifier 11 is set such that the output of the drive transistor Ds is cut off). As described above, when the load circuit 2 is in the standby state, the drive transistor Ds of the start-up circuit 5 turns off in a self-conforming manner on the basis of the output level of the main circuit 4. As a result, when in the standby state, only the charging current Im that has passed through the drive transistor Dm of the main circuit 4 is supplied to the load circuit 2, as illustrated in Figure 4.

[0057]

Sandisk Technologies, Inc. - Ex. 1002, Page 001001

The operation of the step-down circuit 3 when the load circuit 2 is in the active state will next be described.

[0058]

When the load circuit 2 is in the active state, the load circuit 2 is supplied with the charging current Im from the main circuit 4. At this time, the consumption current Iu in the load circuit 2 is Iu=Im.

[0059]

As illustrated in Figure 4, even in the active state, the drive transistor Ds of the start-up circuit 5 remains in a state of having been turned off by means of the output level of the main circuit 4, continuously from the previous standby state. The bias current of the operational amplifier 11 is controlled to a value that is greater than in the previous standby state, and the drive transistor Dm of the main circuit 4 is thus controlled to operate in the strong inversion region. The operational response of the step-down circuit 3 in the active state is thereby optimised.

[0060]

Now, in such an active state, it is conceivable for the consumption current Iu of the load circuit 2 to increase, and for the output level of the main circuit 4 to drop to or below the level of the reference voltage Vref. In this case, in the start-up circuit 5, the signal level input to the inverting input terminal of the operational amplifier 12 is lower than the signal level input to the non-inverting input terminal, causing the drive transistor Ds to be driven again, with a higher operational response than the drive transistor Dm. That is, the drive transistors Dm and Ds of the main circuit 4 and the start-up circuit 5 are both driven when the internal power supply voltage Vint drops to or below the reference voltage Vref. As a result, the reduced internal power supply voltage Vint is rapidly pulled up to the reference voltage Vref. If the output level of the main circuit 4 subsequently

Sandisk Technologies, Inc. - Ex. 1002, Page 001002

increases above the reference voltage Vref, the drive transistor Ds of the start-up circuit 5 is cut off in a self-conforming manner on the basis of the output level of the main circuit 4, as described hereinabove. It should be noted that such an operation is not only performed when the load circuit 2 is in the active state, but is also performed in the standby state if the internal power supply voltage Vint drops to or below the reference voltage Vref. Incidentally, it is preferable for the internal power supply voltage Vint to be input to the inverting input terminal of the operational amplifier 12 via a Schmitt trigger circuit.

[0061]

As described hereinabove, the present embodiment can exhibit the following effects.

[0062]

(1) The step-down circuit is provided with the main circuit 4, which operates continuously after the external power supply voltage VDD has been turned out, throughout the standby state and the active state of the load circuit 2, and the start-up circuit 5, which operates solely during the initial stage of the turning on of the power supply. By forming the drive transistor Ds and the operational amplifier 12 of the start-up circuit 5 using smaller sized transistors than the drive transistor Dm and the operational amplifier 11 of the main circuit 4, the speed of the operational response (response speed) of the start-up circuit 5 can be increased, even with a small bias current. As a result, the operational response of the start-up circuit 5 during the initial stage of the turning on of the power supply can be increased, and the internal power supply voltage Vint can be quickly raised to the reference voltage Vref, serving as the set voltage.

[0063]

(2) Since the main circuit 4 is operated continuously from the initial stage of the turning on of the power supply, throughout the standby state and

Sandisk Technologies, Inc. - Ex. 1002, Page 001003

the active state of the load circuit 2, it is possible to suppress the occurrence of a transient operational instability phenomenon in the output of the step-down circuit 3, causing instability in the level of the internal power supply voltage Vint, when the operation switches between the standby state and the active state.

[0064]

(3) The drive transistor Dm of the main circuit 4 is configured to have a size that is sufficient to obtain a higher drive capability (current driving capability) than the drive transistor Ds of the start-up circuit 5, even when the load circuit 2 is active. As a result, the operational response of the step-down circuit 3 when active can be optimised.

[0065]

(4) The operational amplifier 11 of the main circuit 4 is configured to be electrically asymmetrical (in the present embodiment, the size ratio between the PMOS transistors TP1, TP2 is 1:x (x>1)), and the operational amplifier 12 of the start-up circuit 5 is configured to be electrically symmetrical. By adopting this configuration, the drive transistor Ds of the start-up circuit 5 can be turned off in a self-conforming manner, deactivating the start-up circuit 5, on the basis of the output level (=Vref+ΔV) of the main circuit 4, in periods during which the transient operational instability phenomenon (oscillation) is liable to occur, such as in the standby state or the active state of the load circuit 2.

[0066]

(5) By adopting a configuration in which the start-up circuit 5 is deactivated in a self-conforming manner on the basis of the output level of the main circuit 4, it is possible to eliminate the need for a phase compensation circuit, which leads to an increase in the circuit area, in the start-up circuit 5. In recent years, it has become desirable to reduce the

size of the step-down circuit 3, in accordance with demands for the implementation of SOC and further functional expansion through LSI. Since the conventional step-down circuit 30 (Figure 5) described hereinabove is configured such that the S-VDC and the A-VDC are operated independently in the standby state and the active state of the load circuit 32, respectively, phase compensation circuits (consisting of a capacitor and a resistor, for example) are required in both the S-VDC and the A-VDC, from the point of view of operational stability. When attempting to reduce the size of the step-down circuit, such phase compensation circuits, which lead to an increase in the circuit area, are a major cause of area penalty in LSI. In this respect, the present embodiment enables a saving in the layout area of the step-down circuit 3 to be achieved.

[0067]

(6) If the level of the internal power supply voltage Vint (the output level of the main circuit 4) drops to a prescribed level equal to or lower than the reference voltage Vref when the load circuit 2 is in the standby state or the active state, the drive transistor Ds of the start-up circuit 5, which is off, is turned on, and the start-up circuit 5 is reactivated. As a result, the reduced internal power supply voltage Vint can be rapidly pulled up to the reference voltage Vref.

[0068]

(7) By continuously operating the main circuit 4, and carrying out operational switching (activate/inactive control) of the start-up circuit 5 in a self-conforming manner in accordance with the output level of the main circuit 4, without relying on the external control signal CE, the operation of the step-down circuit 3 can be released from control by the external control signal CE. The step-down circuit 3 therefore does not require a control circuit, such as a

Sandisk Technologies, Inc. - Ex. 1002, Page 001005

decoder, for decoding the external control signal CE. The configuration of the step-down circuit 3 can therefore be simplified.

[0069]

It should be noted that the embodiment described hereinabove may be changed and implemented in the following modes (modified examples).

[0070]

(Modified example 1) The configuration for turning off the drive transistor Ds of the start-up circuit 5 in a self-conforming manner on the basis of the output level of the main circuit 4 is not limited to a configuration realised by means of the electrical asymmetry of the operational amplifier 11 (setting the element size ratio between the input side and the output side of the current mirror to 1:x) and the electrical symmetry of the operational amplifier 12. For example, this feature may be implemented using a method such as configuring both operational amplifiers 11 and 12 to be electrically symmetrical, and setting the reference voltage supplied to the operational amplifier 11 on the main circuit 4 side and the reference voltage supplied to the operational amplifier 12 on the start-up circuit 5 side to be mutually different voltages (higher on the main circuit 4 side than on the start-up circuit 5 side, for example). Alternatively, the back gate voltages of the transistors TP1, TP2 constituting the current mirror pair may be made to differ. In other words, in the present invention, other configurations may be used, provided that the output of the drive transistor Ds is cut off (the gate voltage of the drive transistor Ds is reduced) on the basis of the output level of the main circuit 4.

[0071]

(Modified example 2) The main circuit 4 may be configured to include a phase compensation circuit. In order to simplify the description, for convenience, the

Sandisk Technologies, Inc. - Ex. 1002, Page 001006

main circuit 4 in the embodiment described hereinabove has a configuration that does not include a phase compensation circuit, but a phase compensation circuit comprising a capacitor may be provided between the output terminal of the operational amplifier 11 and ground. Further, the configurations of the main circuit 4 and the start-up circuit 5 can be changed, as appropriate, to other configurations within the scope of the technical concept of the present invention.

[0072]

(Modified example 3) The drive transistors Dm, Ds and the operational amplifiers 11, 12 are each formed with sizes that differ between the main circuit 4 and the start-up circuit 5, but provided that the operation during the initial stage of the turning on of the power supply can be guaranteed, it is possible for only the element sizes of the drive transistors Dm, Ds to be mutually different.

[0073]

(Modified example 4) Other design matters relating to the configuration of the embodiment and each modified example described hereinabove can be changed, as appropriate, within the scope of the technical concept of the present invention.

[Brief description of the drawings]

[0074]

[Figure 1] is a block diagram illustrating a semiconductor device provided with a step-down circuit according to the embodiment.

[Figure 2] is a circuit diagram illustrating the main circuit and the start-up circuit.

[Figure 3] is a circuit diagram illustrating the operational amplifiers.

[Figure 4] is a waveform diagram illustrating the operation of the step-down circuit.

[Figure 5] is a block diagram illustrating a semiconductor device provided with a conventional step-down circuit.

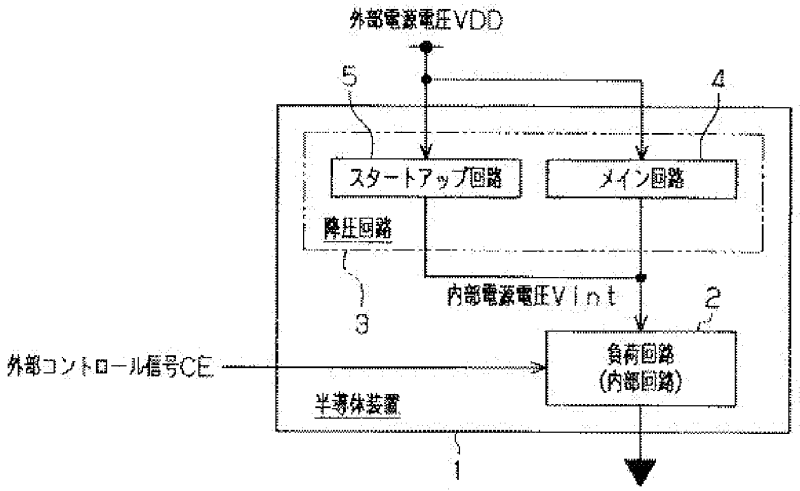
Sandisk Technologies, Inc. - Ex. 1002, Page 001007

[Explanation of the reference codes]

[0075]

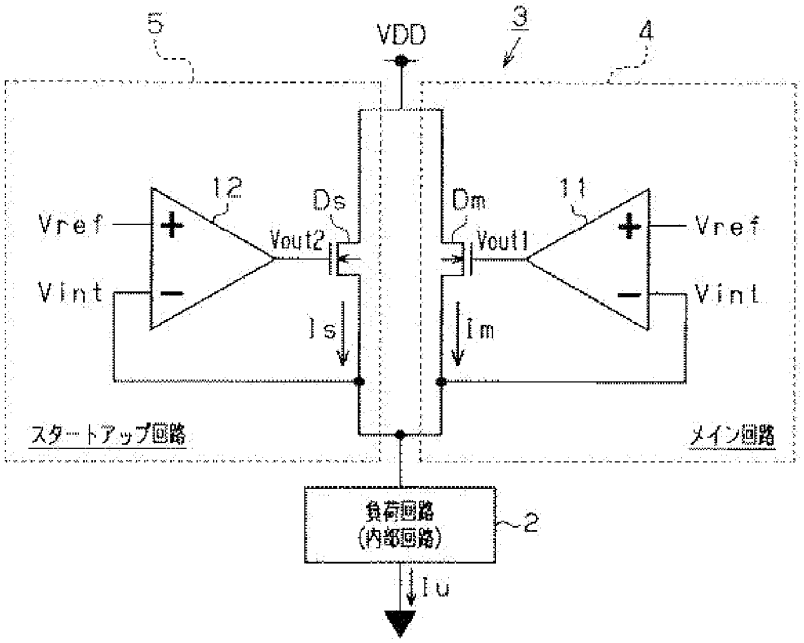
2: load circuit, 3: step-down circuit, 4: main circuit, 5: start-up circuit, 11: operational amplifier (first differential amplification circuit), 12: operational amplifier (second differential amplification circuit), Dm: drive transistor (first drive transistor), Ds: drive transistor (second drive transistor), Im, Is: charging current (load current), Iu: consumption current, VDD: external power supply voltage, Vint: internal power supply voltage, Vref: reference voltage, Vout1: differential amplification voltage (first drive voltage), Vout2: differential amplification voltage (second drive voltage), TP1, TP2, TP3, TP4: PMOS transistor, TN1, TN2, TN3, TN4: NMOS transistor.

[Figure 1]



Source	Target
半導体装置	Semiconductor device
負荷回路（内部回路）	Load circuit (internal circuit)
降圧回路	Step-down circuit
メイン回路	Main circuit
スタートアップ回路	Start-up circuit
外部電源電圧 VDD	External power supply voltage VDD
外部コントロール信号 CE	External control signal CE
内部電源電圧 Vint	Internal power supply voltage Vint

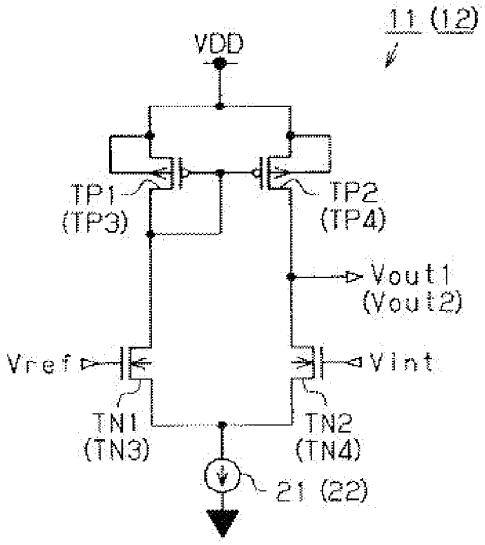
[Figure 2]



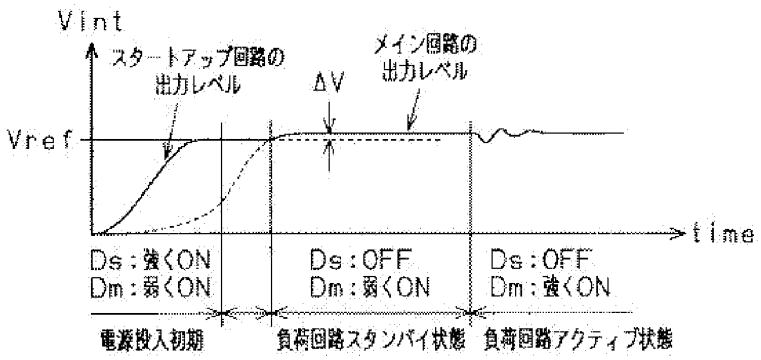
Source	Target
負荷回路（内部回路）	Load circuit (internal circuit)
メイン回路	Main circuit
スタートアップ回路	Start-up circuit

5

[Figure 3]



[Figure 4]

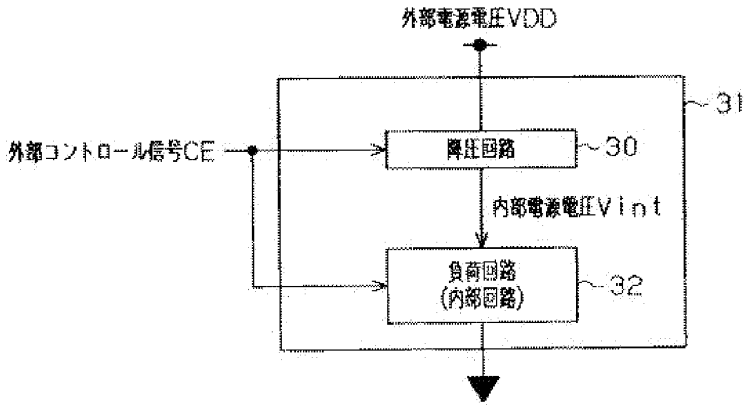


5

Source	Target
スタートアップ回路の出力レベル	Output level of start-up circuit
メイン回路の出力レベル	Output level of main circuit
Ds:強く ON	Ds: Strongly ON Dm: Weakly ON
Dm:弱く ON	Dm: Weakly ON

Dm:弱く ON	Dm: Strongly ON
Dm:強く ON	Initial stage of turning on of power supply
電源投入初期	Load circuit standby state
負荷回路スタンバイ状態	Load circuit active state

[Figure 5]



Source	Target
降圧回路	Step-down circuit
負荷回路（内部回路）	Load circuit (internal circuit)
外部電源電圧 VDD	External power supply voltage VDD
外部コントロール信号 CE	External control signal CE
内部電源電圧 Vint	Internal power supply voltage Vint

Espacenet

JP2005347679A METHOD OF MANUFACTURING NONVOLATILE SEMICONDUCTOR MEMORY

Applicants: RENESAS TECH CORP

Inventors: HAMAMURA HIROTAKA,MINE TOSHIYUKI,YOKOYAMA NATSUKI

Classifications:

IPC ***H01L21/28; H01L21/336; H01L21/8238; H01L21/8247; H01L27/10; H01L27/115; H01L29/423; H01L29/51; H01L29/788; H01L29/792;*** (IPC1-7): H01L21/8247; H01L27/10; H01L27/115; H01L29/788; H01L29/792;

CPC **H01L29/40117 (EP); H01L29/42344 (EP); H01L29/513 (EP); H01L29/792 (EP);**

Priorities: JP2004168325A 2004-06-07

Application: JP2005347679A·2004-06-07

Publication: JP2005347679A·2005-12-15

Published as: JP2005347679A;**JP4477422B2; US2005272198A1; US7682990B2**

METHOD OF MANUFACTURING NONVOLATILE SEMICONDUCTOR MEMORY

Abstract

PROBLEM TO BE SOLVED: To solve such a problem that former in a MONOS type nonvolatile memory, a top silicon oxide film having an ONO structure was formed by an ISSG oxidation of a silicon nitride film, however, when an ISSG oxidation condition becomes strong, an interface state density (Dit) and an electron trap density increase with rewriting, and an ON current of sufficient values cannot be obtained, and consequently a deterioration of a charge retention property cannot be suppressed. SOLUTION: A method of manufacturing a nonvolatile semiconductor memory comprises the steps of: oxidizing the silicon nitride film by using a high concentration ozone gas; and forming the top silicon oxide film. COPYRIGHT: (C)2006,JPO&NCIPI

Sandisk Technologies, Inc. - Ex. 1002, Page 001014

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2005-347679
(P2005-347679A)
(43)公開日　平成17年12月15日(2005.12.15)

(51)Int.Cl.[7]	F I		テーマコード（参考）
H01L 21/8247	H01L 29/78	371	5F083
H01L 27/10	H01L 27/10	461	5F101
H01L 27/115	H01L 27/10	434	
H01L 29/788			
H01L 29/792			

審査請求 未請求　請求項の数 12　OL　（全 15 頁）

(21)出願番号　特願2004-168325(P2004-168325)
(22)出願日　平成16年6月7日(2004.6.7)

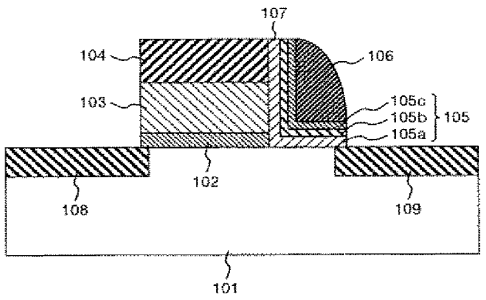
(71)出願人　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100068504
弁理士　小川　勝男
(74)代理人　100086656
弁理士　田中　恭助
(72)発明者　濱村　浩孝
東京都国分寺市東恋ヶ窪一丁目２８０番地
株式会社日立製作所中央研究所内
(72)発明者　峰　利之
東京都国分寺市東恋ヶ窪一丁目２８０番地
株式会社日立製作所中央研究所内

最終頁に続く

(54)【発明の名称】不揮発性半導体記憶装置の製造方法

(57)【要約】
【課題】
従来、MONOS型不揮発メモリにおいては、ONO構造のトップシリコン酸化膜をシリコン窒化膜のISSG酸化により形成したが、ISSG酸化条件が強くなると書換とともに界面準位密度(Dit)と電子トラップ密度が増加し、十分な値のオン電流を得られず、電荷保持特性劣化が抑制できないという課題があった。
【解決手段】
高濃度オゾンガスを用いてシリコン窒化膜を酸化し、トップシリコン酸化膜を形成する。
【選択図】　図１

図　1



Sandisk Technologies, Inc. - Ex. 1002, Page 001015

【特許請求の範囲】
【請求項1】
半導体基板上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上に第１ゲート電極膜を形成し、前記第１ゲート電極膜上に絶縁膜を形成する工程と、
前記ゲート絶縁膜と前記第１ゲート電極膜および前記絶縁膜を選択的にパターンニングし、第１ゲート部を形成する工程と、
前記ゲート部の一側面および、前記一側面に隣接する前記半導体基板の表面上に第１の絶縁膜を形成する工程と、
前記第１の絶縁膜上にシリコン窒化膜を形成し、前記シリコン窒化膜上に第２の絶縁膜を形成し、さらに前記第２の絶縁膜上に第２ゲート電極膜を形成した積層膜を選択的にパターンニングすることにより第２ゲート部を形成する工程と、
前記第１ゲート部および第２ゲート部を不純物導入のマスクとして用い選択的に不純物を導入することにより、前記半導体基板内の前記第１ゲート部の一端側に第１不純物導入層を形成し、前記第２ゲート部の一端側に第２不純物導入層を形成する工程とを備え、
前記第２の絶縁膜は、前記シリコン窒化膜の表面をラジカル酸素により酸化されてなる膜であり、少なくとも４ｎｍの膜厚を有することを特徴とする不揮発性半導体装置の製造方法。
【請求項2】
前記ラジカル酸素は、オゾンにより生成されることを特徴とする請求項１記載の半導体装置の製造方法。
【請求項3】
前記オゾンを用いたオゾン酸化は、オゾン導入部分からウェハまでの距離を Ｌ〔m〕とし、オゾンガス流速をＵ〔ｍ／ｓ〕としたとき、Ｌ／Ｕ＜２ｘ１０$^{-3}$〔ｓ〕を満たすプロセス条件の組み合わせにより行われることを特徴とする請求項２記載の不揮発性半導体装置の製造方法。
【請求項4】
前記オゾンは、濃度２０％以上であり、オゾン分圧１３３Ｐａから２０ｋＰａであることを特徴とする請求項３記載の不揮発性半導体装置の製造方法。
【請求項5】
前記オゾンは濃度２０％以上であり、オゾン分圧１３３Ｐａから１．３３ｋＰａであることを特徴とする請求項３記載の不揮発性半導体装置の製造方法。
【請求項6】
半導体基板上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上に第１ゲート電極膜を形成し、前記第１ゲート電極膜上に第１の絶縁膜する工程と、
前記第１の絶縁膜上にシリコン窒化膜を形成し、前記シリコン窒化膜上に第２の絶縁膜を形成し、さらに前記第２の絶縁膜上に第２ゲート電極膜を形成した積層膜を選択的にパターンニングすることによりゲート部を形成する工程と、
前記ゲート部を不純物導入のマスクとして選択的に不純物を導入することにより、前記半導体基板内の前記ゲート部の一端側に第１不純物導入層を形成し、他端側に第２不純物導入層を形成する工程とを備え、
前記第２の絶縁膜は、前記シリコン窒化膜の表面をラジカル酸素により酸化されてなる膜であり、少なくとも４ｎｍの膜厚を有することを特徴とする半導体装置の製造方法。
【請求項7】
前記ラジカル酸素は、オゾンにより生成されることを特徴とする請求項６記載の半導体装置の製造方法。
【請求項8】
前記オゾンを用いたオゾン酸化は、オゾン導入部分からウェハまでの距離をＬ〔m〕とし

Sandisk Technologies, Inc. - Ex. 1002, Page 001016

、オゾンガス流速 をU〔ｍ／ｓ〕としたとき、Ｌ／Ｕ＜２ｘ １０－３ 〔ｓ〕を満たすプロセス条件の組み合わせにより行われることを特徴とする請求項７記載の不揮発性半導体装置の製造方法。

【請求項9】

前記オゾンは、濃度２０％以上であり、オゾン分圧１３３ＰａからＰａであることを特徴とする請求項８記載の不揮発性半導体装置の製造方法。

【請求項10】

前記オゾンは、濃度２０％以上であり、オゾン分圧１３３Ｐａから１．３３ｋＰａであることを特徴とする請求項８記載の不揮発性半導体装置の製造方法。

【請求項11】

前記シリコン窒化膜および前記第２の絶縁膜は、前記第１ゲート電極膜と前記第２ゲート電極膜との間に介在する層間膜の一部を構成することを特徴とする請求項６記載の不揮発性半導体装置の製造方法。

【請求項12】

前記半導体基板上にロジック向けトランジスタを形成する工程が含まれることを特徴とする請求項１または６記載の不揮発性半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は，電気的な書込み動作および消去動作が可能な不揮発性半導体記憶装置（不揮発性メモリ）及びその製造方法に係り，シリコン酸化膜とシリコン窒化膜の積層構造を有するものに関する。

【背景技術】

【0002】

シリコン窒化膜上にシリコン酸化膜を有する積層構造をもつ不揮発性半導体記憶装置（不揮発性メモリ）には非導電性の電荷トラップ膜を用いる方式と電気的に孤立した導電性の多結晶シリコンに電荷を蓄積する浮遊ゲート（フローティングゲート）方式との二つに大別できる。

【0003】

まず始めに非導電性電荷トラップ膜を用いる不揮発メモリセル構造について図４を用いて説明する。イオン注入により形成されたソース領域４０４とドレイン領域４０５とを有する半導体基板とこのソースドレイン間のチャネル上に絶縁膜４０２が形成され、さらにポリシリコンからなるゲート電極４０３がその上に形成される。絶縁膜４０２は基板側からボトムシリコン酸化膜４０２a，シリコン窒化膜４０２b，トップシリコン酸化膜４０２cで構成される。従来この形式の不揮発性メモリは，トップシリコン酸化膜４０２cが形成されず，ＭＮＯＳ(Metal-Nitride-Oxide-Silicon)型であった。この構造を用いた製品として代表的にはICカードなどがあげられる。ＭＮＯＳ型不揮発性メモリにおけるデータ書き込みは、ゲート電極４０３に適当な正電圧を印加し、チャネルの電子をシリコン窒化膜４０２bへ直接トンネル現象により注入することで行う。このときボトムシリコン酸化膜４０２aは直接トンネル現象が起きる2nm程度の膜厚である。また、データの消去はゲート電極４０３へ適当な負電圧を印加することでシリコン窒化膜４０２bに注入された電子を基板４０１側へ直接トンネルにより引き抜くことでおこなう。

【0004】

このMNOS型不揮発性メモリにおいて、シリコン窒化膜４０２bの表面にドライ酸化、もしくはオゾンによる酸化を行うことで2nm程度の薄い酸化膜（４０２ｃ）の形成が可能であり、その結果電荷を保持しているＳｉＮからゲート電極４０３へのリーク電流を抑制することで、電荷保持特性改善ができることが特許文献１に開示されている。しかし、ドライ酸化方法では高温（９００－１２００℃）の熱処理が必要であるため３５０℃程度の低温で酸化可能なオゾンによる酸化が好ましいと記述されている。

【0005】

最近では使用環境温度が比較的低い（１００℃以下）用途（ＩＣカードなど）だけでは

なく、高温環境下（例えば１５０℃）での電荷保持特性、また動作速度の高速化が可能な不揮発性メモリへのニーズが高まっている（例えば車載用途）。この要求を満たすためには、ＳｉＮ上へ４nm以上の厚い酸化膜が必須となっているため、従来のＭＮＯＳ型に代わり、ＳｉＮ上へ厚い酸化膜（４nm以上）を有するＭＯＮＯＳ（Metal-Oxide-Nitride- Oxide-Silicon)型が注目されている。これはシリコン窒化膜上へシリコン酸化膜を有する構造で、動作方式は上記MNOS型と全く異なる。高速化のため、書き込みは、例えば、ソース領域４０４に０Ｖ、ドレイン領域４０５とゲート電極４０３に適当な正電圧を印加することでトランジスタをオンさせ、ドレイン領域４０５近傍で発生するホットエレクトロンを上記シリコン窒化膜４０２b中に蓄積させることで行う。読出しは，ソース領域４０４とドレイン領域４０５に流れるドレイン電流値を検出することで行う。また，データの消去は基板４０１、ソース領域４０４、ドレイン領域４０５のいずれかに適当な正電圧を印加し、FN(Fowler Nordheim)トンネル現象を利用して上記シリコン窒化膜４０２b中に蓄積された電子を引き抜くことで消去を行う。もしくは、ドレイン領域４０５に0V、ソース領域４０４に適当な正電圧を、ゲート電極４０３に適当な負電圧を印加しソース領域４０４とゲート電極４０３間に高い電界をかけることでホットホールをソース領域４０４から発生させ，上記シリコン窒化膜４０２b中へ注入することで行う。このMONOS型においてはボトムシリコン酸化膜４０２a、トップシリコン酸化膜４０２cは４～６nm程度である。

【0006】

上記積層ONO構造形成の工程において、トップシリコン酸化膜４０２cの形成には例えばバッチ式のウェット（外部燃焼式）酸化法が用いられてきたが、高温、長時間処理のため、熱負荷が大きく、微細(例えば９０nmノード以降)半導体装置形成手段として不適であることが明らかになってきている。そこで短時間で厚い酸化膜形成が可能であり、かつ、ウェハの大口径化へ対応した枚葉式のＩＳＳＧ酸化（In-Situ-Steam-Generation）(内燃式パイロジェニック酸化)が主流となってきている。ＩＳＳＧ酸化の特徴はウェハ直上でラジカル酸素を形成することであり、その結果として高温、短時間で厚い酸化膜形成が可能である。公知例としては例えば特許文献２があげられる。

【0007】

次にフローティングゲート型不揮発メモリセルの構造について説明する。図２に示すように従来のフローティングゲート型不揮発メモリセルは，イオン注入により形成されたソース領域２０６とドレイン領域２０７とを有する半導体基板とこのソースドレイン間のチャネル上にトンネルシリコン酸化膜２０２が形成され、さらにポリシリコンからなるフローティングゲート電極２０３がその上に形成される。さらに層間絶縁膜２０４が形成された後、ポリシリコンからなるコントロールゲート電極２０５が形成される。層間絶縁膜２０４は基板側からシリコン酸化膜(O)２０４a，シリコン窒化膜(N)２０４b，シリコン酸化膜(O)２０４cのいわゆるONO積層構造で構成される。このようなフローティングゲート型不揮発メモリセルにおけるデータの書込みは，例えば、ソース領域２０６に0Vを、ドレイン領域２０７に適当な正電圧を印加し，さらにコントロールゲート電極２０５に適当な正電圧を印加することで，チャネルに発生したホットエレクトロンをフローティングゲート電極２０３へ注入することで行う。読出しは，ソース領域とドレイン領域に流れるドレイン電流値を検出することで行う。また，データの消去はコントロールゲート電極２０５を適当な負電圧，基板２０１に適当な正電圧を印加し，FNトンネル現象を利用し，フローティングゲート電極２０３に蓄積されていた電子を基板２０１へ引き抜くことにより行う。上記層間絶縁膜形成の工程において、上層シリコン酸化膜２０４cの形成には従来、減圧CVD法、ウェット酸化などが用いられたが、CVD法で作成された膜は電子トラップが多い問題がある。ウェット酸化では高温において長時間の熱処理が必要となるため、熱負荷が大きいという問題が顕在化してきている。また、ウェット酸化では膜質が劣化することが特許文献３において開示されている。劣化しない手段としてはドライ酸化、オゾン酸化が記述されているが、オゾン酸化を用いることでドライ酸化の場合（1.1nm）よりも比較的厚い（2.6nm）酸化膜が形成可能なため、層間リーク電流がより抑制されると開示されている。

【0008】
【特許文献1】特許第３０２８６３５号明細書
【0009】
【特許文献2】特開２００２－２８９７１５号公報
【特許文献3】特開平５－１５２２８８号公報
【非特許文献1】アドバンスト　サーマル　プロセッシング　オブセミコンダクター　ナインス　インターナショナル　カンファレンス　オン　アールティーピィー　２００１(Advanced Thermal processing of Semiconductor 9th International Conference on RTP 2001)、２００１年、ｐ．９５－１１０
【非特許文献2】光琳著、オゾンの基礎と応用(ISBN：4-7712-9601-4)、ｐ．58～87
【発明の開示】
【発明が解決しようとする課題】
【0010】
上記従来技術の項で非導電性電荷トラップ膜を用いた不揮発性メモリ(MNOS,MONOS型)とフローティングゲート型不揮発性メモリのそれぞれのケースにおいて従来の課題を説明する。
【0011】
まず、シリコン窒化膜上のシリコン酸化膜形成としてオゾンを用いた場合には、形成されたシリコン酸化膜の膜厚が３nm以下であり、MNOS,MONOS型不揮発メモリにおいてはシリコン窒化膜４０２bに蓄積した電荷が３nm程度の酸化膜厚ではトンネル現象により容易にゲート電極４０３側へ移動してしまうため、電荷保持特性の改善が十分ではないという課題があった。また同じ理由でフローティングゲート型不揮発性メモリにおいてもコントロールゲート電極２０５とフローティングゲート電極２０３との層間のリーク電流の抑制が十分でないという課題があった
一般的にオゾンの生成は酸素への紫外線照射、もしくはプラズマ放電により行う。これらの手法は原理的に最大２０％濃度のオゾンしか生成することができず、実際に処理するチャンバーなどにおいては必然的に２０％未満のオゾンしか供給することができない。２０％未満のオゾン濃度では量産可能なスループットの範囲内において３nm以上の酸化膜形成が従来は不可能であった。（この原因については後に詳細に記述する）以上の理由により上記の課題が顕在化していた。
【0012】
一方、ウェハ直上でラジカル酸素を形成することを特徴とするISSG酸化法を用いるとシリコン窒化膜を十分に酸化することができ、形成されるシリコン酸化膜厚が4nm以上と厚いために電荷保持特性向上、リーク電流の抑制が十分に可能になる反面、シリコン窒化膜よりも前に形成したボトム酸化膜４０２a、トンネルシリコン酸化膜２０２が劣化することが我々の検討から明らかになった。具体的にはシリコン酸化膜中のSi-O結合の一部がSi-H結合に変化し（図３）、この結果、電子トラップ密度の増大、及び界面準位密度(Dit)を増加させることが明らかになった。
【0013】
ここでISSG酸化の原理を詳細に説明する。ISSGは水素と酸素をシリコンウェハ直上で混合させ、次のような反応を起こさせる。
$H_2 + O_2 \rightarrow O^* + OH + H$
この反応で生成されるのは主に酸素ラジカルO*であるが未反応水素も一部存在する（非特許文献１）。酸化速度を高めるためには　（１）高温　（２）高水素分圧　という強力な条件で行う必要があることが知られており、シリコン窒化膜を酸化して4nm以上のシリコン酸化膜を形成するためには（１）（２）のいずれか、もしくは組み合わせた条件を用いなければならない。先ほどの図３で観察されたSi-H結合ピークはこの強力なISSG条件下での未反応水素がシリコン酸化膜中へ拡散、反応したものである。
【0014】
以上の原因で、MONOS型不揮発性メモリにおいては、ISSGの酸化条件が強くなると書き

換えとともに界面準位密度(Dit)が増加し、同じメモリゲート電圧においてオン電流Idがとれなくなり、書き換え回数が制限される。また、酸化膜中には電荷保持特性を劣化させる電子トラップサイトが大量に生成されるという課題があった。

【0015】

また前記不揮発性メモリはそれ自身単体メモリとして使われるだけでなく、ロジック向けのトランジスタとの混載も行われる。ロジック向けトランジスタを作成した後に不揮発性メモリ部分を作成する場合、ISSG酸化を不揮発性メモリへ適用すると前記のように高温での熱処理が水素が存在する雰囲気で行われることにより周辺のロジック向けトランジスタのゲート絶縁膜の劣化が起こってしまうという課題があった。

【0016】

本発明の目的はシリコン窒化膜上にシリコン酸化膜を有する構造の不揮発性メモリの特性を向上することにある。特に、シリコン窒化膜よりも前に形成されたゲート絶縁膜の界面特性を劣化させず、書き換え耐性を向上させ、電荷保持特性の劣化を防止することにある。

【課題を解決するための手段】

【0017】

本発明は、シリコン窒化膜よりも先に形成されたゲート酸化膜の界面準位密度ならびに酸化膜中の電子トラップサイトの生成を抑制するため、水素を含まない酸化雰囲気において、シリコン窒化膜を酸化し、そのシリコン窒化膜上に4nm以上のシリコン酸化膜を形成することを最も主要な特徴とする。具体的には高濃度オゾンを用いた酸化方法により、シリコン酸化膜を形成する。例えば、オゾンガス導入箇所からウェハまでの距離803をL[m]，オゾンガス流速802をU[m/s]としたとき、$L/U < 2\times10^{-3}$[s]を満たすプロセス条件にてシリコン酸化膜を形成する。さらにこの条件を満たし、かつオゾン濃度２０％以上、オゾン分圧１３３Ｐａ～２０ｋＰａの条件において4nm以上のシリコン酸化膜を形成することがより望ましい。

【発明の効果】

【0018】

本発明を用いれば、トランジスタの界面準位密度、電子トラップ密度の増大を抑制することができるため、不揮発性メモリの信頼性が大幅に向上する。特に書き換え耐性と電荷保持特性が向上する。

またシリコン窒化膜よりも先に形成されたゲート酸化膜の信頼性を悪化させないため、不揮発性メモリ部、周辺ロジック部のどちらを先に形成しても良好なデバイス特性が得られる。

以上の効果を合わせて、本発明によれば、書き換え耐性、及び電荷保持特性に優れた不揮発メモリを実現できる。

【発明を実施するための最良の形態】

【0019】

以下、本発明の実施例の詳細を図を用いて説明する。

【実施例】

【0020】

本発明の第1の実施例を説明する。これは、自己整合を利用したスプリットゲート構造MONOSメモリにおいて、シリコン窒化膜上のシリコン酸化膜形成へ高濃度オゾン酸化を用いた製造方法である。図１に、本発明の実施形態の１である不揮発性メモリセルの断面図を示す。実際には図の上層には配線が存在するが本図では省略する。メモリセルはシリコン基板に設けたp型ウェル領域１０１、ソース領域１０８となるn型拡散層、ドレイン領域１０９となるn型拡散層を有した２つのMOS型トランジスタから構成されている。選択MOS型トランジスタはゲート絶縁膜１０２となるシリコン酸化膜、選択ゲート電極１０３となるn型多結晶Si膜およびその上部に形成した絶縁膜１０4から構成されている。メモリMOS型トランジスタはソース１０８、ドレイン１０９間のチャネル上へ絶縁膜１０５を形成する。この絶縁膜１０５はチャネル側よりボトムシリコン酸化膜１０５a（Ｏ）、電荷保持膜

１０５bとなるシリコン窒化膜（Ｎ）、トップシリコン酸化膜１０５c（Ｏ）およびメモリゲート電極１０６となるn型多結晶シリコン膜から構成されている。本図に示したように、メモリMOS型トランジスタは、選択MOS型トランジスタに対し自己整合的に形成されている。

【0021】

以下、図を用いて本実施例の製造方法の詳細を記述する。まずシリコン基板１０１上に、周知の技術を用いて溝型素子分離領域（図示せず）を形成した。次に選択MOS型トランジスタのゲート絶縁膜１０２となる２．８nmのシリコン酸化膜を８５０℃のドライ酸化により形成した。このときウェット酸化によって形成してもよい。また、このシリコン酸化膜を一酸化窒素（NO）や亜酸化窒素（N_2O）雰囲気等の窒化性雰囲気中で熱処理したシリコン酸窒化膜を用いることも可能である。例えばN_2により１０％に希釈されたNO雰囲気により900℃,10分熱処理を行うことによりSi基板１０１との界面へ窒素が３％程度導入され、ゲート絶縁膜１０２の信頼性が向上する。

【0022】

次にCVD法により、選択ゲート電極１０３となるリンドープ多結晶シリコン膜を１５０nm堆積した後、加工時のマスクとなるキャップ酸化膜１０４をCVD法で５０nm堆積する。なお、上記リンドープ多結晶シリコン膜１０３のリン濃度は3×10^{20}atms/cm^3とした。周知のリソグラフィ工程によりパターニングした後、ホトレジストをマスクとしてキャップ酸化膜１０４、続けてリンドープ多結晶シリコン１０３をドライエッチングにより所定の形状に加工した。続いて希釈HF水溶液により上記多結晶シリコンパターン１０３以外のゲート絶縁膜１０２を除去し、シリコン基板１０１表面を露出させた後、５nmのボトムシリコン酸化膜１０５aを８５０℃のドライ酸化により形成する。また、ウェット酸化、ＩＳＳＧ酸化、オゾン酸化、プラズマ酸化で形成しても良い。このとき選択ゲート電極１０３側壁が同時に酸化され、側壁シリコン酸化膜１０７が形成される。このボトムシリコン酸化膜を一酸化窒素（NO）や亜酸化窒素（N_2O）雰囲気等の窒化性雰囲気中で熱処理したシリコン酸窒化膜を用いることも可能である。例えばN_2により10%に希釈されたNO雰囲気により900℃,10分熱処理を行うことによりSi基板１０１との界面へ窒素が３％程度導入され、ボトム酸化膜１０５aの信頼性が向上する。

【0023】

次に電荷保持膜１０５bであるシリコン窒化膜をジクロロシラン(SiH_2Cl_2)、アンモニア(NH_3)を原料とする低圧CVD法により１０～１４nm程度、７８０℃、全圧６０Paにて形成する。また、原料としてシラン（SiH_4）、アンモニア（NH_3）を用いたCVD法によってシリコン窒化膜１０５bを形成しても構わない。また、ジシラン(Si_2H_6)とアンモニア(NH_3)を用いたCVD法にてシリコン窒化膜１０５bを形成しても構わない。シリコン窒化膜１０５bの上部に形成されるシリコン酸化膜１０５cはシリコン窒化膜１０５bを高濃度オゾン酸化によりシリコン窒化膜の一部をシリコン酸化膜へ転化することで形成される。このオゾン酸化の後にシリコン窒化膜１０５bは８～１２nm、シリコン酸化膜１０５cはその上部へ４～６nm形成される。メモリゲート電極１０６は低圧ＣＶＤ法でリンを5×10^{20}atms/cm^3含んだリンドープ多結晶シリコン膜を９０nm形成した後、異方性ドライエッチングによりパターン段差の側壁部にだけリンドープ多結晶シリコン膜を残存させる自己整合方式により形成する。メモリMOS型トランジスタのチャネル長はこのリンドープ多結晶シリコン膜の膜厚で決定し、本実施例では９０nmである。次に異方性ドライエッチングにより露出したトップシリコン酸化膜１０５c、シリコン窒化膜１０５b、及びボトムシリコン酸化膜１０５aを順次エッチングする。この後、ドライエッチングによる側壁形状の損傷を回復させるために4nm程度の後酸化をISSGにより行う。次にイオン注入法で砒素を2×10^{15}atms/cm^2の密度で注入した後、１０００℃、１０秒の熱処理を行いソース１０８、ドレイン１０９を形成する。この後、周知の技術を使い、配線工程を経て、本発明の実施例の作成を完了する。

【0024】

ここで上記、オゾン酸化プロセスについて詳細に記述する。このときオゾン酸化のプロ

セス温度は８５０℃、オゾン濃度は８０％、分圧は１．３３kPaである。ここでいうオゾン濃度は全体の雰囲気に占めるオゾンの割合であり、オゾン以外のガスは水素を含有しないガスである。例えば酸素、窒素などであるが、より好ましくはオゾンと反応しないアルゴンなどの希ガスがよい。またオゾン以外のガスは一種類でなくてもよい。前記、酸化温度、オゾン濃度、分圧の絶対値は一例であり、シリコン酸化膜形成に許容される時間、シリコン窒化膜の膜質、望まれるシリコン酸化膜厚によって様々な条件によって形成することができる。図６に一例として８５０℃、プロセス圧力１．３３ｋＰａにおけるオゾン濃度の一枚あたりの処理時間へ与える影響について示す。横軸は一枚あたりの処理時間、縦軸はSiN上のSiO_2膜厚を表示している。従来のオゾン酸化による結果を同じグラフ上に示す。量産適用を考慮に入れると一枚あたりの処理時間は５分以内が望ましい。また、SiN上のSiO_2膜厚は４nm以上が必須である。

【0025】

本発明と従来の実施例との違いについて詳細に記述する。オゾンは室温では比較的安定であるが、高温では容易に分解し、酸素に戻ることが一般的に知られている。しかし、従来のオゾン酸化においては、このオゾンの熱分解によるオゾン濃度低下の影響について定量的に考慮されておらず、これに大きく影響を与える要因であるガス流量、圧力、導入方法などについて詳細な検討は行われていなかった。そのため、図６の従来実施例として示したように２０％程度のオゾンを用いても量産要求スペックを満たすことは全くできなかった。そこで本発明においてはオゾンの熱分解を極力防ぐため、オゾン導入箇所からウェハまでの到達時間を熱分解時間よりも短くすることを試みた。その結果、量産要求スペックを十分満たすことが可能になった（図６参照）。

【0026】

ここでオゾンの熱分解時間とオゾンガスのウェハまでの到達時間について詳細に説明し、本発明のSiO_2膜形成の特徴について記述する。図７に非特許文献２に開示されているオゾンの分解定数から我々が見積もったオゾン濃度と時間との関係を示す。ウェハ温度が８５０℃であった場合、ウェハ直上のオゾンガス温度は室温から８５０℃の間の値を取ると考えられる。ここで５００℃程度であると仮定すると、オゾンの熱分解時間は2×10^{-3}秒である（初期オゾン濃度が半分になった時間をオゾンの熱分解時間と定義）。つまり、オゾンガスがウェハまで到達する時間はこの2×10^{-3}秒よりも短くなければならない。オゾンガス導入箇所からウェハまでの距離をL〔m〕、オゾンガスの流速をU〔m/s〕と定義すれば、オゾンガスがウェハまで到達する時間ｔはL/Uで表すことができる。Lは装置構成で決まる値である。常識的に考えればウェハのそりなどから最短で1mm、最長で10ｃｍ程度の値が想定される。ここで2cmと仮定したときに必要なオゾンガス流量を見積もってみる。分解時間tを2×10^{-3}〔s〕以下にするためには、流速は10〔m/s〕以上にする必要がある。また、流速Uは次の式で定義できる。

$$U=(A/S)\times 1.01\times10^{5}/P\times(T/273)$$

ここでAは標準状態(1気圧，０℃)における流量〔m^3/s〕,Sはガス導入部分の面積〔m^2〕,Pはガス圧力〔Pa〕，Ｔはオゾンガス温度〔K〕である(図８参照)。Sは3×10^{-6}〔m^2〕（直径2mmの円柱形の導入部を用いた場合）,オゾンガス圧力は1.33×10^{3}〔Pa〕,オゾンガス温度を500〔℃〕として計算を行うとオゾンガス流量Aは先ほどの式から、1.4×10^{-6}〔m^3/s〕以上でなければならないとわかる。

ここで示した計算例は本発明の一実施例を示したのにすぎず、$L/U < 2\times10^{-3}$を満たすプロセス条件の組み合わせを用いれば、図６に示した量産要求スペックを達成可能であることは言うまでもない。なお、量産要求スペックを達成するためにはオゾン濃度は２０％以上であることがより望ましい。

【0027】

また、我々の様々な検討により、オゾン分圧は１３３Ｐａ～２０ｋＰａが望ましいことが明らかになった。ただし、オゾン分圧が１．３３ｋＰａを超えるとランプ過熱を開始した際のオゾンの急激な分解により、チャンバー内圧力が急激に変動した。その結果、ウェハ表面に異物が多数観測された。したがって、歩留まりを向上させる観点から１．３３ｋ

Sandisk Technologies, Inc. - Ex. 1002, Page 001022

Ｐａを超えないオゾン分圧条件が望ましい。つまり、オゾン濃度２０％以上、オゾン分圧は１３３Ｐａ～１．３３ｋＰａの条件下で酸化を行うことがより望ましい。

【0028】

また、前記オゾン酸化処理に使用されるプロセス装置は高濃度オゾンの効果を効率よく利用するために、急速加熱、急速冷却が可能なランプ式RTA(Rapid Thermal Annealing)装置が望ましい。このタイプの装置を用いるとオゾンがウェハ表面近傍で急速に加熱、分解されるため、酸化効率がよい。ウェハ上へのオゾンガスの導入方法としては横方向からの押し出し方式、もしくはウェハへの吹き付け方式が望ましい。いずれの場合においてもオゾンガスの流速が大きいほど、オゾンガス分圧が高いほど、オゾン濃度が高いほど酸化速度が高くなった。特にウェハへの吹き付け方式を用いる場合にはウェハと吹き付け部の距離が短いほど酸化速度が向上した。本実施例ではその距離を20mmと5mmにおいて確認している。また、ＲＴＡチャンバー内のオゾンガス導入構造においてはランプの光を吸収しない材質の管を用いることが望ましい。その結果、オゾンガスを導入する管はランプの光により加熱されず、その内部を流れるオゾンガスの熱分解を抑制することが可能になる。本実施例においてはタングステン・ハロゲン製ランプを用い、チャンバー内のオゾンガス導入には石英管を用いた。また、本実施例では２０％以上の高濃度オゾンは次のように生成した。一般的なオゾナイザーを用いて１０％程度のオゾンと酸素の混合ガスを生成した後、この混合ガスを冷却する。次に酸素とオゾンの蒸気圧、吸着特性の違いを利用し、酸素のみを排気することで、オゾン濃度を濃縮した。

また従来の酸化炉を用いても効率が落ちるがオゾン酸化の有効性を見出すことができることは言うまでもない。

【0029】

次にこの不揮発メモリの動作について説明する。まずデータの書込み方式はソースサイドインジェクションを用いたホットエレクトロン書込みである。例えばソース領域１０８に印加する電圧Vsは5V、ドレイン領域１０９に印加する電圧Vdは0V、メモリMOSトランジスタのゲート電極１０６に印加する電圧Vmgは１２V、選択型MOSトランジスタのゲート電極１０３へ印加する電圧Vsgはそのトランジスタの閾値電圧Vthと概ね同じとする。ホットエレクトロンの発生領域は二つのトランジスタのゲート１０３、１０６が絶縁された領域下のチャネル部である。書込みはメモリトランジスタの閾値が５Ｖ程度になるように設定した。

【0030】

消去はバンド間トンネリングを用いたホットホール消去である。メモリＭＯＳ型トランジスタのゲート電極１０６に印加する電圧Vmgは－６Ｖ、ドレイン領域１０９に印加する電圧Vdは５～７Ｖ、その他の電圧は０Ｖとして、トランジスタの閾値が－１Ｖになるまで消去を行った。なお、ここに示した書込み、消去の電圧条件は一例であり、この数値をもって本発明が限定されるわけではない。

【0031】

本実施例で作成したスプリットゲート構造のMONOS不揮発メモリの電気的特性を従来技術のISSG酸化と比較した。その結果、読み出し電流、書込み時間は従来メモリと同等の値を示したが、試料の書込み/消去特性の繰り返しによる界面準位密度(Dit)の増大はＩＳＳＧ酸化を用いてシリコン窒化膜上へシリコン酸化膜を形成した場合に比べて抑制された。また、トラップ密度の増加が抑制された。これにより、1×10^5回の書き換え耐性が得られた。また、1×10^4回の書込み/消去動作の後に１５０℃の電荷保持特性の比較評価を行った結果、従来ISSG酸化と比較して約１桁改善された。

【0032】

また、本実施の形態においてはシリコン窒化膜上のシリコン酸化膜の形成へ高濃度オゾンを適用したが、前記のドライエッチング後の後酸化へ高濃度オゾンを用いても、ISSG酸化を用いた場合に比べ、界面準位密度とトラップ密度の増加が抑制される。

また、本実施の形態では、選択MOS型トランジスタを形成した後、メモリMOS型トランジスタを自己整合方式で形成したが、図５に示すように選択MOS型トランジスタ形成後にメ

モリMOS型トランジスタを乗り上げる構造、また、図４に示すような単体ゲート構造のMONOS不揮発メモリにおいても同様の効果が得られることを確認した。

なお、この不揮発メモリセルはロジック用半導体装置と同じシリコン基板上へ混載することも可能である。このとき、ロジック用半導体装置を形成した後に不揮発メモリセルを作成してもロジック用半導体のゲート絶縁膜の電気的ストレスによる劣化は従来ＩＳＳＧ酸化を不揮発メモリセルへ用いた場合に比べ、抑制された。

【実施例】

【0033】

次に本発明の第3の実施形態を図２を用いて説明する。これはフローティングゲート型不揮発メモリにおいて、シリコン窒化膜上のシリコン酸化膜形成へ高濃度オゾン酸化を用いた製造方法である。

図２に、本発明の実施形態の２である不揮発性メモリセルの断面図を示す。実際には図の上層には配線が存在するが本図では省略する。メモリセルは、イオン注入により形成されたソース領域２０６とドレイン領域２０７とを有する半導体基板とこのソースドレイン間のチャネル上にトンネルシリコン酸化膜２０２が形成され、さらにポリシリコンからなるフローティングゲート電極２０３がその上に形成される。さらに層間絶縁膜２０４が形成された後、ポリシリコンからなるコントロールゲート電極２０５が形成される。層間絶縁膜２０４は基板側からシリコン酸化膜(O)２０４a，シリコン窒化膜(N)２０４b，シリコン酸化膜(O)２０４cのいわゆるONO積層構造で構成される。

以下、図を用いて本実施例の製造方法の詳細を記述する。まずシリコン基板２０１上に、周知の技術を用いて溝型素子分離領域（図示せず）を形成した。次にトンネルシリコン酸化膜２０２となる８．０nmのシリコン酸化膜を９００℃のISSG酸化により形成した。このときウェット酸化によって形成してもよい。また、このシリコン酸化膜を一酸化窒素（NO）や亜酸化窒素(N_2O)雰囲気等の窒化性雰囲気中で熱処理したシリコン酸窒化膜を用いることも可能である。例えばN_2により１０％に希釈されたNO雰囲気により900℃,10分熱処理を行うことによりSi基板２０１との界面へ窒素が３％程度導入され、ゲート絶縁膜２０２の信頼性が向上する。

【0034】

次にCVD法により、フローティングゲート電極２０３となる多結晶シリコン膜を５０nm堆積した。その後、層間絶縁膜ONO２０４を形成する。まず、シリコン酸化膜２０４aを９５０℃のISSG酸化により６nm形成した。このときシラン（SiH_4），亜酸化窒素(N_2O)を用いたCVD法により堆積しても構わない。続いてシリコン窒化膜２０４bをジクロロシラン(SiH_2Cl_2)、アンモニア(NH_3)を原料とする低圧CVD法により、８００℃にて１０～１４nm形成する。また、原料としてシラン（SiH_4）、アンモニア(NH_3)を用いたCVD法によってシリコン窒化膜２０４bを形成しても構わない。また、ジシラン(Si_2H_6)とアンモニア(NH_3)を用いたCVD法にてシリコン窒化膜２０４bを形成しても構わない。シリコン窒化膜２０４bの上部に形成されるシリコン酸化膜２０４cはシリコン窒化膜２０４bを高濃度オゾン酸化によりシリコン窒化膜の一部をシリコン酸化膜へ転化することで形成される。このオゾン酸化の後にシリコン窒化膜２０４bは８～１２nm、シリコン酸化膜２０４cはその上部へ４～６nm形成される。コントロールゲート電極２０５は低圧ＣＶＤ法でリンを3×10^{20}atms/cm^3含んだリンドープ多結晶シリコン膜を１５０nm形成した。次に、周知のリソグラフィ技術によりゲート電極のパターニングが行われた後、異方性ドライエッチングによりコントロール電極２０５、上層シリコン酸化膜２０４c、シリコン窒化膜２０４b、及び下層シリコン酸化膜２０４aを順次エッチングする。この後、ドライエッチングによる側壁形状の損傷を回復させるために4nm程度の後酸化をISSGにより行う。

【0035】

次にイオン注入法で砒素を2×10^{15}atms/cm^2の密度で注入した後、１０００℃、１０秒の熱処理を行いソース２０６、ドレイン２０７を形成する。この後、周知の技術を使い、配線工程を経て、本発明の実施例の作成を完了する。

ここで上記、オゾン酸化プロセスについて詳細に記述する。このときオゾン酸化のプロ

セス温度は８５０℃、オゾン濃度は８０％、分圧は１．３３kPaである。ここでいうオゾン濃度は全体の雰囲気に占めるオゾンの割合であり、オゾン以外のガスは水素を含有しないガスである。例えば酸素、窒素などであるが、より好ましくはオゾンと反応しないアルゴンなどの希ガスがよい。またオゾン以外のガスは一種類でなくてもよい。前記、酸化温度、オゾン濃度、分圧の絶対値は一例であり、シリコン酸化膜形成に許容される時間、シリコン窒化膜の膜質、望まれるシリコン酸化膜厚によって様々な条件によって形成することができる。図６に一例として８５０℃、プロセス圧力１．３３ｋＰａにおけるオゾン濃度の一枚あたりの処理時間へ与える影響について示す。横軸は一枚あたりの処理時間、縦軸はSiN上のSiO_2膜厚を表示している。従来のオゾン酸化による結果を同じグラフ上に示す。量産適用を考慮に入れると一枚あたりの処理時間は５分以内が望ましい。また、SiN上のSiO_2膜厚は４nm以上が必須である。

【0036】

本発明と従来の実施例との違いについて詳細に記述する。オゾンは室温では比較的安定であるが、高温では容易に分解し、酸素に戻ることが一般的に知られている。しかし、従来のオゾン酸化においては、このオゾンの熱分解によるオゾン濃度低下の影響について定量的に考慮されておらず、これに大きく影響を与える要因であるガス流量、圧力、導入方法などについて詳細な検討は行われていなかった。そのため、図６の従来実施例として示したように２０％程度のオゾンを用いても量産要求スペックを満たすことは全くできなかった。そこで本発明においてはオゾンの熱分解を極力防ぐため、オゾン導入箇所からウェハまでの到達時間を熱分解時間よりも短くすることを試みた。その結果、量産要求スペックを十分満たすことが可能になった（図６参照）。

【0037】

ここでオゾンの熱分解時間とオゾンガスのウェハまでの到達時間について詳細に説明し、本発明のSiO_2膜形成の特徴について記述する。図７に非特許文献２に開示されているオゾンの分解定数から我々が見積もったオゾン濃度と時間との関係を示す。ウェハ温度が８５０℃であった場合、ウェハ直上のオゾンガス温度は室温から８５０℃の間の値を取ると考えられる。ここで５００℃程度であると仮定すると、オゾンの熱分解時間は2×10^{-3}秒である（初期オゾン濃度が半分になった時間をオゾンの熱分解時間と定義）。つまり、オゾンガスがウェハまで到達する時間はこの2×10^{-3}秒よりも短くなければならない。オゾンガス導入箇所からウェハまでの距離をL[m]、オゾンガスの流速をU[m/s]と定義すれば、オゾンガスがウェハまで到達する時間tはL/Uで表すことができる。Lは装置構成で決まる値である。常識的に考えればウェハのそりなどから最短で1mm、最長で10ｃｍ程度の値が想定される。ここで2cmと仮定したときに必要なオゾンガス流量を見積もってみる。分解時間tを2×10^{-3}[s]以下にするためには、流速は10[m/s]以上にする必要がある。また、流速Uは次の式で定義できる。

$$U=(A/S)\times 1.01\times10^{5}/P\times(T/273)$$

ここでAは標準状態(1気圧，0℃)における流量[m^3/s]、Sはガス導入部分の面積[m^2]，Pはガス圧力[Pa]、Ｔはオゾンガス温度[K]である(図８参照)。Sは3×10^{-6}[m^2]（直径2mmの円柱形の導入部を用いた場合）、オゾンガス圧力は1.33×10^{3}[Pa]、オゾンガス温度を500[℃]として計算を行うとオゾンガス流量Aは先ほどの式から、1.4×10^{-6}[m^3/s]以上でなければならないとわかる。

ここで示した計算例は本発明の一実施例を示したのにすぎず、$L/U < 2\times10^{-3}$を満たすプロセス条件の組み合わせを用いれば、図６に示した量産要求スペックを達成可能であることは言うまでもない。なお、量産要求スペックを達成するためにはオゾン濃度は２０％以上であることがより望ましい。

【0038】

また、我々の様々な検討により、オゾン分圧は１３３Ｐａ～２０ｋＰａが望ましいことが明らかになった。ただし、オゾン分圧が１．３３ｋＰａを超えるとランプ過熱を開始した際のオゾンの急激な分解により、チャンバー内圧力が急激に変動した。その結果、ウェハ表面に異物が多数観測された。したがって、歩留まりを向上させる観点から１．３３ｋ

Sandisk Technologies, Inc. - Ex. 1002, Page 001025

Ｐａを超えないオゾン分圧条件が望ましい。つまり、オゾン濃度２０％以上、オゾン分圧は１３３Ｐａ～１．３３ｋＰａの条件下で酸化を行うことがより望ましい。

【0039】

また、前記オゾン酸化処理に使用されるプロセス装置は高濃度オゾンの効果を効率よく利用するために、急速加熱、急速冷却が可能なランプ式RTA(Rapid Thermal Annealing)装置が望ましい。このタイプの装置を用いるとオゾンがウェハ表面近傍で急速に加熱、分解されるため、酸化効率がよい。ウェハ上へのオゾンガスの導入方法としては横方向からの押し出し方式、もしくはウェハへの吹き付け方式が望ましい。いずれの場合においてもオゾンガスの流速が大きいほど、オゾンガス分圧が高いほど、オゾン濃度が高いほど酸化速度が高くなった。特にウェハへの吹き付け方式を用いる場合にはウェハと吹き付け部の距離が短いほど酸化速度が向上した。本実施例ではその距離を20mmと5mmにおいて確認している。また、ＲＴＡチャンバー内のオゾンガス導入構造においてはランプの光を吸収しない材質の管を用いることが望ましい。その結果、オゾンガスを導入する管はランプの光により加熱されず、その内部を流れるオゾンガスの熱分解を抑制することが可能になる。本実施例においてはタングステン・ハロゲン製ランプを用い、チャンバー内のオゾンガス導入には石英管を用いた。また、本実施例では２０％以上の高濃度オゾンは次のように生成した。一般的なオゾナイザーを用いて１０％程度のオゾンと酸素の混合ガスを生成した後、この混合ガスを冷却する。次に酸素とオゾンの蒸気圧、吸着特性の違いを利用し、酸素のみを排気することで、オゾン濃度を濃縮した。

【0040】

また従来の酸化炉を用いても効率が落ちるがオゾン酸化の有効性を見出すことができることは言うまでもない。

このようなフローティングゲート型不揮発メモリセルにおけるデータの書込みは，例えばソース領域２０６に0Vを、ドレイン領域２０７に適当な正電圧を印加し，さらにコントロールゲート電極２０５に適当な正電圧を印加することで，チャネルに発生したホットエレクトロンをフローティングゲート電極２０３へ注入することで行う。読出しは，ソース領域とドレイン領域に流れるドレイン電流値を検出することで行う。また，データの消去はコントロールゲート電極２０５を適当な負電圧，基板２０１に適当な正電圧を印加し，FNトンネル現象を利用し，フローティングゲート電極２０３に蓄積されていた電子を基板２０１へ引き抜くことにより行う。

本実施例で作成したフローティングゲート型不揮発メモリの電気的特性を従来技術のISSG酸化と比較した。その結果、読み出し電流、書込み時間は従来メモリと同等の値を示したが、閾値電圧(Vth)の初期における落ち込みが従来よりも抑制された。またその結果、電荷保持特性の劣化が従来よりも抑制された。

また、本実施の形態では、単体ゲート構造について説明を行ったが、不揮発性記憶用ＭＯＳトランジスタと、それを選択するＭＯＳトランジスタが隣接する構造のいわゆるスプリットゲート型構造のフローティングゲート型不揮発メモリセルにおいても同様の効果が得られる。

【0041】

また、本実施の形態においてはシリコン窒化膜上のシリコン酸化膜の形成へ高濃度オゾンを適用したが、前記のドライエッチング後の後酸化へ高濃度オゾンを用いても、ISSG酸化を用いた場合に比べ、界面準位密度とトラップ密度の増加が抑制される。

また、本実施例では層間絶縁膜の上層シリコン酸化膜２０４ｃの形成へ高濃度オゾン酸化を適用したが、下層シリコン酸化膜２０４ａの形成に用いた場合においても同様の効果が得られる。

なお、この不揮発メモリセルはロジック用半導体装置と同じシリコン基板上へ混載することも可能である。このとき、ロジック用半導体装置を形成した後に不揮発メモリセルを作成してもロジック用半導体のゲート絶縁膜の電気的ストレスによる劣化は従来ＩＳＳＧ酸化を不揮発メモリセルへ用いた場合に比べ、抑制された。

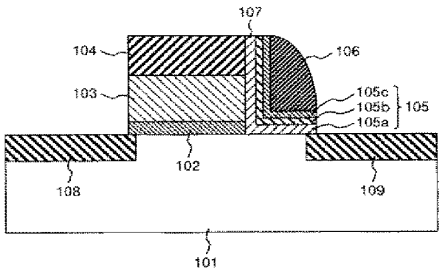
【図面の簡単な説明】

Sandisk Technologies, Inc. - Ex. 1002, Page 001026

【0042】
【図1】本発明の一実施例として適用する不揮発メモリセル断面図である。
【図2】本発明の一実施例として適用する不揮発メモリセル断面図である。
【図3】シリコン窒化膜を処理なし、ドライ酸化、ウェット酸化、ISSG酸化を行ったサンプルの赤外線吸収ピークである。
【図4】本発明の一実施例として適用する不揮発メモリセル断面図である。
【図5】本発明の一実施例として適用する不揮発メモリセル断面図である。
【図6】本発明の一実施例と従来例との比較を表す図である。
【図7】オゾンガスの熱分解の割合と時間の関係を表す図である。
【図8】オゾンガス流量と流速の関係を表す図である。
【符号の説明】
【0043】
101…Si基板、102…ゲート絶縁膜、103…選択ゲート電極、104…絶縁膜、105…絶縁膜、105a…ボトムシリコン酸化膜、105b…シリコン窒化膜、105c…トップシリコン酸化膜、106…メモリゲート電極、107…側壁シリコン酸化膜、108…ソース領域、109…ドレイン領域、201…Si基板、202…トンネルシリコン酸化膜、203…フローティングゲート電極、204…絶縁膜、204a…下層シリコン酸化膜、204b…シリコン窒化膜、204c…上層シリコン酸化膜、205…ゲート電極、401…Si基板、402…絶縁膜、402a …ボトムシリコン酸化膜、402b …シリコン窒化膜、402c …トップシリコン酸化膜、403…ゲート電極、
404…ソース領域、405…ドレイン領域、501…Si基板、502…ゲート絶縁膜、503…選択ゲート電極、504…層間絶縁膜、504ａ …ボトムシリコン酸化膜、504ｂ …シリコン窒化膜、504ｃ …トップシリコン酸化膜、505…メモリゲート電極、506…ソース領域、507…ドレイン領域、800…Ｓｉウェハ表面、801…導入部面積、802…ガス流速、803…ウエハとの距離
。

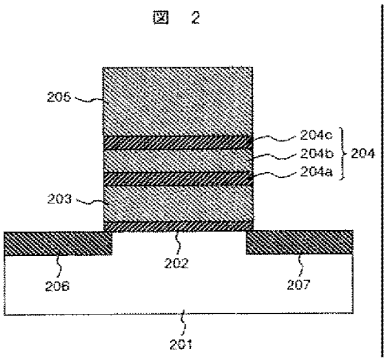
【図1】

図　1



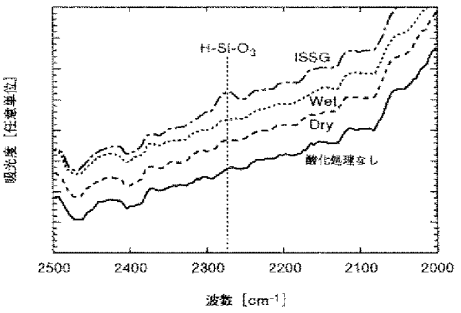
【図2】

図　2



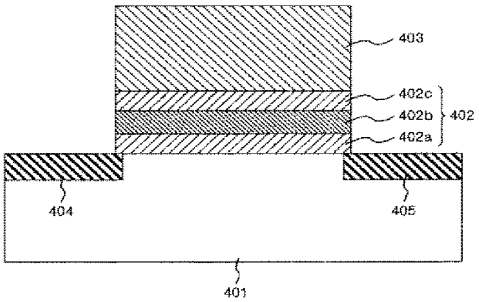
【図3】

図　3



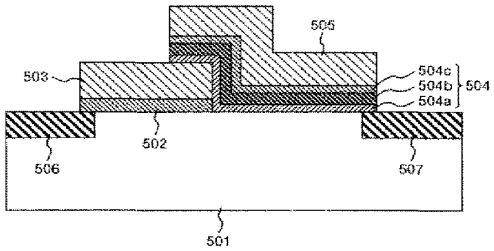
【図4】

図　4



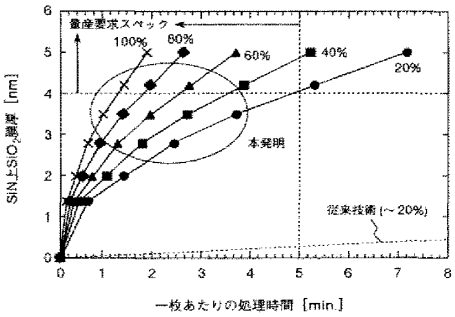
【図5】

図　5



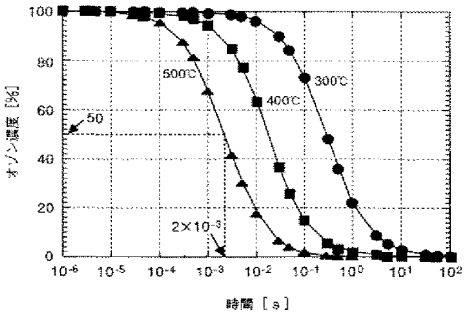
【図6】

図　6



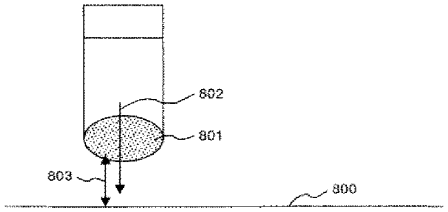
【図7】

図　7



【図8】

図　8



(72)発明者　横山　夏樹
東京都国分寺市東恋ヶ窪一丁目２８０番地　株式会社日立製作所中央研究所内

Ｆターム(参考) 5F083 EP02 EP18 EP23 EP24 EP34 EP55 EP56 ER02 ER06 ER11
ER19 ER30 GA21 JA04 PR12 PR21 PR33 PR34 ZA12
5F101 BA01 BA29 BA36 BA45 BB04 BC11 BD02 BD22 BE02 BE05
BE07 BF03 BH02 BH03 BH04 BH09 BH14 BH16 BH19

Sandisk Technologies, Inc. - Ex. 1002, Page 001029

Espacenet

JP2005183940A MANUFACTURING METHOD OF NONVOLATILE MEMORY USING PLASMA OXIDIZED HIGH-K CHARGE TRAPPING LAYER

Applicants: SHARP KK

Inventors: ONO YOSHI

Classifications:

IPC ***H01L21/28; H01L21/316; H01L21/336; H01L21/8234; H01L21/8246; H01L21/8247; H01L27/088; H01L27/105; H01L27/115; H01L29/788; H01L29/792; H01L31/062;*** (IPC1-7): H01L21/316; H01L21/8234; H01L21/8247; H01L27/088; H01L27/115; H01L29/788; H01L29/792;

CPC **H01L27/105 (EP); H01L27/11568 (EP); H01L27/11573 (EP); H01L29/40117 (EP);**

Priorities: US74180203A 2003-12-18

Application: JP2005183940A·2004-11-16

Publication: JP2005183940A·2005-07-07

Published as: JP2005183940A;**US2005136586A1; US6998317B2**

MANUFACTURING METHOD OF NONVOLATILE MEMORY USING PLASMA OXIDIZED HIGH-K CHARGE TRAPPING LAYER

Abstract

PROBLEM TO BE SOLVED: To provide a dielectric layer that efficiently traps and releases charges under a set of fully characterized conditions. SOLUTION: The manufacturing method of the nonvolatile memory includes a step for preparing a substrate, a step for depositing a HfO2layer by the deposition of an atomic layer, a step for annealing the substrate and the HfO2dielectric layer in situ, a step for exposing the HfO2dielectric layer to a plasma discharge to form a charge trapping layer, a step for depositing a gate structure, and a step for completing a memory device. COPYRIGHT: (C)2005,JPO&NCIPI

Sandisk Technologies, Inc. - Ex. 1002, Page 001030

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2005-183940
(P2005-183940A)
(43)公開日　平成17年7月7日(2005.7.7)

(51)Int.Cl.[7]	F I		テーマコード（参考）
H01L 21/8247	H01L 29/78	371	5F048
H01L 21/316	H01L 21/316	P	5F058
H01L 21/8234	H01L 21/316	X	5F083
H01L 27/088	H01L 27/08	102C	5F101
H01L 27/115	H01L 27/10	434	

審査請求 未請求　請求項の数 16　OL　（全 13 頁）　最終頁に続く

(21)出願番号　特願2004-332508 (P2004-332508)
(22)出願日　平成16年11月16日 (2004.11.16)
(31)優先権主張番号　10/741,802
(32)優先日　平成15年12月18日 (2003.12.18)
(33)優先権主張国　米国(US)

(71)出願人　000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町２２番２２号
(74)代理人　100078282
弁理士　山本　秀策
(74)代理人　100062409
弁理士　安村　高明
(74)代理人　100107489
弁理士　大塩　竹志
(72)発明者　ヨシ，　オノ
アメリカ合衆国　ワシントン　９８６０７，　カマス，　エヌダブリュー　２４ティーエイチ　サークル　２５２６

Ｆターム(参考)　5F048 AB01　AC01　BA01　BB09　BB11　BB17

最終頁に続く

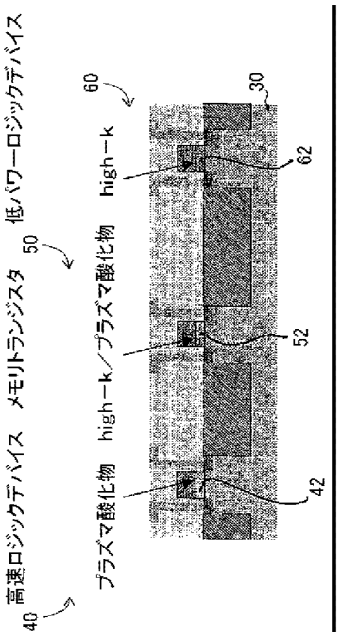
(54)【発明の名称】プラズマ酸化ｈｉｇｈ－ｋ電荷トラッピング層を用いて不揮発性メモリを製造する方法

(57)【要約】

【課題】充分に特徴付けられた条件のセットの下で、電荷を効率的にトラップし、解放する誘電体の層を提供すること。

【解決手段】不揮発性メモリを製造する方法は、基板を準備するステップと、HfO_2の層を原子層堆積によって堆積するステップと、基板およびHfO_2誘電体層をインサイチュでアニーリングするステップと、HfO_2誘電体層をプラズマ放電に対して露出して、電荷トラッピング層を形成するステップと、ゲート構造を堆積するステップと、メモリデバイスを完成させるステップとを含む。

【選択図】　図２



Sandisk Technologies, Inc. - Ex. 1002, Page 001031

【特許請求の範囲】
【請求項1】
不揮発性メモリを製造する方法であって、
基板を準備するステップと、
ｈｉｇｈ－ｋ誘電体層を原子層堆積によって堆積するステップと、
該基板およびｈｉｇｈ－ｋ誘電体層をインサイチュでアニーリングするステップと、
該ｈｉｇｈ－ｋ誘電体層をプラズマ放電に対して露出して、電荷トラッピング層を形成するステップと、
ゲート構造を堆積するステップと、
該メモリデバイスを完成させるステップと
を包含する、方法。
【請求項2】
前記ｈｉｇｈ－ｋ誘電体層を堆積するステップは、HfO_2、ZrO_2、TiO_2、Ta_2O_5、Y_2O_3、La_2O_3、およびＳｃＯからなる誘電体の群から選択された誘電体の層を堆積するステップを含む、請求項１に記載の方法。
【請求項3】
前記ｈｉｇｈ－ｋ誘電体層を堆積するステップは、HfO_2の層を堆積するステップを含み、基板を１７０℃まで加熱し、Ｈｆ（NO_3）$_4$、N_2、H_2O、およびN_2のパルスを、順次、２秒、１０秒、０．１秒、および１０ｍｓ印加して１サイクルを構成し、該処理を約８０～４００サイクルを繰り返すステップをさらに含む、請求項２に記載の方法。
【請求項4】
前記インサイチュでアニーリングするステップは、約５００℃で約６０秒アニーリングするステップを含む、請求項１に記載の方法。
【請求項5】
前記プラズマ露出は、ウェハチャックを約３８０℃まで加熱するステップと、約１００ｍＴｏｒｒのチャンバ圧で、約７０ｓｃｃｍのＨｅおよび３ｓｃｃｍのO_2、O_3、N_2O、およびH_2Oからなる群から選択されたガスのフローレートでプラズマガスをチャンバに導入するステップと、ウェハにわたってプラズマ放電を生成するステップと、酸素ラジカルにHfO_2膜を貫通させるステップと、電荷トラッピング膜を生成するステップと、プラズマ放電を約１分から３０分の間維持するステップとを含む、請求項１に記載の方法。
【請求項6】
前記ゲート構造を堆積するステップは、ＴｉＮの層を約１００ｎｍの厚さまで堆積するステップを含む、請求項１に記載の方法。
【請求項7】
不揮発性メモリを製造する方法であって、
基板を準備するステップと、
HfO_2、ZrO_2、TiO_2、Ta_2O_5、Y_2O_3、La_2O_3、およびＳｃＯからなる誘電体の群から選択されたｈｉｇｈ－ｋ誘電体の層を原子層堆積によって堆積するステップと、
該基板およびｈｉｇｈ－ｋ誘電体層をインサイチュでアニーリングするステップと、
該ｈｉｇｈ－ｋ誘電体層をプラズマ酸化して、電荷トラッピング層を形成するステップと、
ゲート構造を堆積するステップと、
該メモリデバイスを完成させるステップと
を包含する、方法。
【請求項8】
前記ｈｉｇｈ－ｋ誘電体層はHfO_2であり、前記ｈｉｇｈ－ｋ誘電体層を堆積するステップは、基板を１７０℃まで加熱し、Ｈｆ（NO_3）$_4$、N_2、H_2O、およびN_2のパ

ルスを、順次、２秒、１０秒、０．１秒、および１０ｍｓ印加して１サイクルを構成し、該処理を約８０～４００サイクルを繰り返すステップをさらに含む、請求項７に記載の方法。

【請求項9】

前記インサイチュでアニーリングするステップは、約５００℃で約６０秒アニーリングするステップを含む、請求項７に記載の方法。

【請求項10】

前記プラズマ露出は、ウェハチャックを約３８０℃まで加熱するステップと、約１００ｍＴｏｒｒのチャンバ圧で、約７０ｓｃｃｍのＨｅおよび３ｓｃｃｍのO_2、O_3、N_2O、およびH_2Oからなる群から選択されたガスのフローレートでプラズマガスをチャンバに導入するステップと、ウェハにわたってプラズマ放電を生成するステップと、酸素ラジカルにHfO_2膜を貫通させるステップと、電荷トラッピング膜を生成するステップと、プラズマ放電を約１分から３０分の間維持するステップとを含む、請求項７に記載の方法。

【請求項11】

前記ゲート構造を堆積するステップは、ＴｉＮの層を約１００ｎｍの厚さまで堆積するステップを含む、請求項７に記載の方法。

【請求項12】

不揮発性メモリを製造する方法であって、

基板を準備するステップと、

HfO_2の層を原子層堆積によって堆積するステップと、

該基板およびHfO_2誘電体層をインサイチュでアニーリングするステップと、

該HfO_2誘電体層をプラズマ放電に対して露出して、電荷トラッピング層を形成するステップと、

ゲート構造を堆積するステップと、

該メモリデバイスを完成させるステップと

を包含する、方法。

【請求項13】

前記HfO_2の層を堆積するステップは、基板を１７０℃まで加熱し、$Hf(NO_3)_4$、N_2、H_2O、およびN_2Oのパルスを、順次、２秒、１０秒、０．１秒、および１０ｍｓ印加して１サイクルを構成し、該処理を約８０～４００サイクルを繰り返すステップをさらに含む、請求項１２に記載の方法。

【請求項14】

前記インサイチュでアニーリングするステップは、約５００℃で約６０秒アニーリングするステップを含む、請求項１２に記載の方法。

【請求項15】

前記プラズマ露出は、ウェハチャックを約３８０℃まで加熱するステップと、約１００ｍＴｏｒｒのチャンバ圧で、約７０ｓｃｃｍのＨｅおよび３ｓｃｃｍのO_2、O_3、N_2O、およびH_2Oからなる群から選択されたガスのフローレートでプラズマガスをチャンバに導入するステップと、ウェハにわたってプラズマ放電を生成するステップと、酸素ラジカルにHfO_2膜を貫通させるステップと、電荷トラッピング膜を生成するステップと、プラズマ放電を約１分から３０分の間維持するステップとを含む、請求項１２に記載の方法。

【請求項16】

前記ゲート構造を堆積するステップは、ＴｉＮの層を約１００ｎｍの厚さまで堆積するステップを含む、請求項１２に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、不揮発性メモリ、特に、ｈｉｇｈ－ｋ電荷トラッピング層が組み込まれた不揮発性メモリを製造する方法に関する。

【背景技術】
【0002】
本発明のメモリ技術は、例えば、フラッシュメモリなどのＥＥＰＲＯＭ、金属－酸化物－窒化物－酸化物－シリコン（ＭＯＮＯＳ）、およびシリコン－酸化物－窒化物－酸化物－シリコン（ＳＯＮＯＳ）において用いられる技術と類似している不揮発性メモリ技術である。さらに、ｈｉｇｈ－ｋ誘電体、この場合ではHfO_2膜の原子層堆積（ＡＬＤ）、およびプラズマ放電に対する低温露出として公知の技術が本発明の方法において用いられる。
【0003】
ゲート誘電体は、様々な方法によって形成され得る。目立って有望な方法のうちの２つとして、１）ｈｉｇｈ－ｋ膜のＡＬＤ、および２）低温プラズマ酸化がある。それぞれの方法は、従来のＭＯＳＦＥＴ製造の流れにおいて用いられ得る高品質のゲート誘電体を生成することが明らかにされており、これらの技術はそれぞれの利点を有する。
【0004】
ゲート誘電体として用いられる材料の重要な特徴として、大量の電荷をトラップしないことがある。上記の製造技術の両方が、この重要な特徴を有するゲート誘電体を生成することが示されている。しかし、ＡＬＤｈｉｇｈ－ｋ膜のプラズマ酸化によって、大量の電荷が保持され得る膜が得られる。これは、従来のＥＥＰＲＯＭ、ＭＯＮＯＳ、またはＳＯＮＯＳデバイスと同様に、不揮発性メモリデバイスにおいて用いられる場合の利点である。電荷の量と、プログラミングおよび消去の容易さとは、上述のメモリ技術と比較してかなりの利点を提供し得る。図１は、従来技術によるＭＯＮＯＳデバイス（ａ）１０を、本発明のデバイス（ｂ）２０と比較して表す図である。デバイス（ａ）１０は、ゲートスタック１２を有し、ゲートスタック１２は、酸化物／窒化物／酸化物スタック上に形成されたゲートＴｉＮ層１４を含む。これらは全て、ｐ－ウェル基板１８上に形成されている。デバイス（ｂ）２０は、ゲートスタック２２を有し、ゲートスタック２２は、基板ｐウェル２８上にプラズマ酸化によって形成された、HfO_2の層２６上に形成されたゲートＴｉＮ層２４を含む。本発明の方法によって形成されたデバイスの利点は、本明細書中、以下に説明される。
【0005】
２００３年１月９日に公開された、Ｙａｍａｄａらによる、特許出願ＷＯ２００３００３４７３　Ａ１は、電荷トラッピング特性を有する絶縁膜を有する不揮発性半導体メモリセルを記載する（特許文献１）。
【0006】
２００１年２月２２日公開された、Ｋａｗａｍｕｒａによる特許出願ＷＯ０１１３３７８　Ａ１は、複数の電荷トラッピング領域を有する不揮発性メモリを記載する（特許文献２）。
【0007】
２００３年３月４日にＢｕｄｅらに付与された米国特許６，５２８，８４５　Ｂ１は、電荷トラッピング層を有する不揮発性メモリデバイスを記載する（特許文献３）。
【0008】
１９９９年１２月２８日にＧｒｅｇｏｒらに付与された米国特許６，００８，０９１は、電荷トラッピング層が比較的低い電荷トラップ密度を有するフローティングゲートＭＯＳトランジスタを記載する（特許文献４）。
【0009】
２００２年１月３日に公開された、Ｆｕｊｉｗａｒｅの米国特許出願２００２／０００５９２　Ａ１は、キャリアトラップ電荷格納機構を有する不揮発性メモリを記載する（特許文献５）。
【特許文献1】国際公開第２００３／００３４７３号
【特許文献2】国際公開第０１／０１３３７８号
【特許文献3】米国特許第６５２８８４５号明細書
【特許文献4】

米国特許第６００８０９１号明細書
【特許文献5】米国特許出願公開第２００２／０００５９２号明細書
【発明の開示】
【課題を解決するための手段】
【0010】
（発明の要旨）
本発明の不揮発性メモリを製造する方法は、基板を準備するステップと、ｈｉｇｈ－ｋ誘電体層を原子層堆積によって堆積するステップと、該基板およびｈｉｇｈ－ｋ誘電体層をインサイチュでアニーリングするステップと、該ｈｉｇｈ－ｋ誘電体層をプラズマ放電に対して露出して、電荷トラッピング層を形成するステップと、ゲート構造を堆積するステップと、該メモリデバイスを完成させるステップとを包含し、それにより上記目的が達成される。
【0011】
前記ｈｉｇｈ－ｋ誘電体層を堆積するステップは、HfO_2、ZrO_2、TiO_2、Ta_2O_5、Y_2O_3、La_2O_3、およびＳｃＯからなる誘電体の群から選択された誘電体の層を堆積するステップを含んでもよい。
【0012】
前記ｈｉｇｈ－ｋ誘電体層を堆積するステップは、HfO_2の層を堆積するステップを含み、基板を１７０℃まで加熱し、$Hf(NO_3)_4$、N_2、H_2O、およびN_2のパルスを、順次、２秒、１０秒、０．１秒、および１０ｍｓ印加して１サイクルを構成し、該処理を約８０～４００サイクルを繰り返すステップをさらに含んでもよい。
【0013】
前記インサイチュでアニーリングするステップは、約５００℃で約６０秒アニーリングするステップを含んでもよい。
【0014】
前記プラズマ露出は、ウェハチャックを約３８０℃まで加熱するステップと、約１００ｍＴｏｒｒのチャンバ圧で、約７０ｓｃｃｍのＨｅおよび３ｓｃｃｍのO_2、O_3、N_2O、およびH_2Oからなる群から選択されたガスのフローレートでプラズマガスをチャンバに導入するステップと、ウェハにわたってプラズマ放電を生成するステップと、酸素ラジカルにHfO_2膜を貫通させるステップと、電荷トラッピング膜を生成するステップと、プラズマ放電を約１分から３０分の間維持するステップとを含んでもよい。
【0015】
前記ゲート構造を堆積するステップは、ＴｉＮの層を約１００ｎｍの厚さまで堆積するステップを含んでもよい。
【0016】
本発明の不揮発性メモリを製造する方法は、基板を準備するステップと、HfO_2、ZrO_2、TiO_2、Ta_2O_5、Y_2O_3、La_2O_3、およびＳｃＯからなる誘電体の群から選択されたｈｉｇｈ－ｋ誘電体の層を原子層堆積によって堆積するステップと、該基板およびｈｉｇｈ－ｋ誘電体層をインサイチュでアニーリングするステップと、該ｈｉｇｈ－ｋ誘電体層をプラズマ酸化して、電荷トラッピング層を形成するステップと、ゲート構造を堆積するステップと、該メモリデバイスを完成させるステップとを包含し、それにより上記目的が達成される。
【0017】
前記ｈｉｇｈ－ｋ誘電体層はHfO_2であり、前記ｈｉｇｈ－ｋ誘電体層を堆積するステップは、基板を１７０℃まで加熱し、$Hf(NO_3)_4$、N_2、H_2O、およびN_2のパルスを、順次、２秒、１０秒、０．１秒、および１０ｍｓ印加して１サイクルを構成し、該処理を約８０～４００サイクルを繰り返すステップをさらに含んでもよい。
【0018】
前記インサイチュでアニーリングするステップは、約５００℃で約６０秒アニーリングするステップを含んでもよい。

【0019】
前記プラズマ露出は、ウェハチャックを約３８０℃まで加熱するステップと、約１００ｍＴｏｒｒのチャンバ圧で、約７０ｓｃｃｍのＨｅおよび３ｓｃｃｍのO_2、O_3、N_2O、およびH_2Oからなる群から選択されたガスのフローレートでプラズマガスをチャンバに導入するステップと、ウェハにわたってプラズマ放電を生成するステップと、酸素ラジカルにHfO_2膜を貫通させるステップと、電荷トラッピング膜を生成するステップと、プラズマ放電を約１分から３０分の間維持するステップとを含んでもよい。
【0020】
前記ゲート構造を堆積するステップは、ＴｉＮの層を約１００ｎｍの厚さまで堆積するステップを含んでもよい。
【0021】
本発明の不揮発性メモリを製造する方法は、基板を準備するステップと、HfO_2の層を原子層堆積によって堆積するステップと、該基板およびHfO_2誘電体層をインサイチュでアニーリングするステップと、該HfO_2誘電体層をプラズマ放電に対して露出して、電荷トラッピング層を形成するステップと、ゲート構造を堆積するステップと、該メモリデバイスを完成させるステップとを包含し、それにより上記目的が達成される。
【0022】
前記HfO_2の層を堆積するステップは、基板を１７０℃まで加熱し、$Hf(NO_3)_4$、N_2、H_2O、およびN_2のパルスを、順次、２秒、１０秒、０．１秒、および１０ｍｓ印加して１サイクルを構成し、該処理を約８０～４００サイクルを繰り返すステップをさらに含んでもよい。
【0023】
前記インサイチュでアニーリングするステップは、約５００℃で約６０秒アニーリングするステップを含んでもよい。
【0024】
前記プラズマ露出は、ウェハチャックを約３８０℃まで加熱するステップと、約１００ｍＴｏｒｒのチャンバ圧で、約７０ｓｃｃｍのＨｅおよび３ｓｃｃｍのO_2、O_3、N_2O、およびH_2Oからなる群から選択されたガスのフローレートでプラズマガスをチャンバに導入するステップと、ウェハにわたってプラズマ放電を生成するステップと、酸素ラジカルにHfO_2膜を貫通させるステップと、電荷トラッピング膜を生成するステップと、プラズマ放電を約１分から３０分の間維持するステップとを含んでもよい。
【0025】
前記ゲート構造を堆積するステップは、ＴｉＮの層を約１００ｎｍの厚さまで堆積するステップを含んでもよい。
【0026】
不揮発性メモリを製造する方法は、基板を準備するステップと、HfO_2の層を原子層堆積によって堆積するステップと、基板およびHfO_2誘電体層をインサイチュでアニーリングするステップと、HfO_2誘電体層をプラズマ放電に対して露出して、電荷トラッピング層を形成するステップと、ゲート構造を堆積するステップと、メモリデバイスを完成させるステップとを含む。
【0027】
本発明の目的は、充分に特徴付けられた条件のセットの下で、電荷を効率的にトラップし、解放する誘電体の層を提供することである。
【0028】
本発明のこの要旨および目的は、本発明の性質を大まかに理解することを可能にするために提供されている。本発明のより完全な理解は、図面と共に、以下の本発明の好適な実施形態の詳細な説明を参照することによって得られる。
【発明を実施するための最良の形態】
【0029】
本発明の方法の利点は、システムオンチップ回路における場合のように、回路がより複

Sandisk Technologies, Inc. - Ex. 1002, Page 001036

雑になるにつれて、同じチップ上に２つ以上のゲート誘電体の厚さが必要とされ得るようになることである。図２に示すように、３つのタイプのデバイス、４０、５０、および６０は、単一基板３０上に形成される。高速ロジックデバイス４０は、プラズマ酸化物形成された誘電体層４２を含む。メモリトランジスタ５０は、ｈｉｇｈ－ｋ酸化物およびプラズマ露出を有する誘電体層を含み、低パワーロジックデバイス６０は、ｈｉｇｈ－ｋ誘電体層６２を含む。従って、ゲート誘電体の厚みは、低パワーロジック動作が行われるＡＬＤｈｉｇｈ－ｋ膜６２を含み、高速動作が行われる残りの厚み４２は、プラズマ酸化のみによって形成される。両方の処理が行われるチップ５２の領域は、メモリセル用途に適する。

【0030】

上述したように、本発明の目的は、条件が充分に規定されている状態で、電荷を効率的にトラップし、解放する誘電体の層を形成し、メモリデバイスが製造され得るようにすることである。この層は、チャネルと、ＭＯＳＦＥＴデバイスのゲートとの間に位置する。個々のデバイスのゲート上の短い正のパルスまたは負のパルスは、メモリの状態を、それぞれ、「１」または「０」にプログラムするために用いられる。メモリの状態は、ゲートが「読み出し」条件にされている場合に、デバイスチャネルを通じるコンダクタンスを測定することによって読み出される。

【0031】

この効率的な電荷トラッピング層は、本発明の方法による２ステップのプロセスで形成される。最初に、ｈｉｇｈ－ｋ誘電体の原子層堆積（ＡＬＤ）が行われる。次に、プラズマ放電に対する露出が、通常は、プラズマ酸化処理の形を取って行われる。これは、高品質ゲート誘電体も成長させ得る。単独では、いずれのステップも、所望の量の電荷トラッピングを生じさせない。このことは、図３のデュアルキャパシタンス－電圧（ＣＶ）スイープにおけるヒステリシスの大きさに現れているとおりである。約４５０℃での形成ガスアニール（従来はＩＣ製造の流れの終わりに向けて行われる）を３０分間行った後、全てのヒステリシスは実質的に低減しているが、図４に示すように、この低電圧範囲におけるスイープにも関わらず、プラズマ酸化の形でプラズマ放電にさらされた後のHfO_2は、依然としてかなり大きい。ＣＶ曲線は、ほぼ室温から１５０℃にわたる範囲の温度で、図５に示すように、形成ガスアニール後のＣＶ特徴における改善を示す。

【0032】

ＴｉＮゲートおよびＨｆＯＰＯ誘電体を有するキャパシタが、＋５Ｖから－５Ｖまでスイープされ、戻る場合、ヒステリシスは約２Ｖである。約１００℃と１５０℃の間の基板温度で、ヒステリシスは、図６のＣＶスイープに見られるものとほぼ同じか、より大きい。

【0033】

１ｍｓパルスをゲート上に印加する効果を図６に示す。右側には、リセット後、より高いパルスの高さが、フラットバンド電圧（Ｖｆｂ）を、飽和が見られる約６．５Ｖに達するまでより高く駆動する。デバイスを「１」条件に設定した後、負のパルスがＶｆｂをより低い値に駆動する。この方向には、飽和が見られない。Ｖｆｂの値は、約－１Ｖから＋３Ｖまで変動し得る。これは、メモリデバイスを容易に製造するために充分に大きなウィンドウである。

【0034】

最終的なＶｆｂに対するパルス幅の効果を図７に示す。図７は、±５Ｖが用いられる場合に、書き込みおよび消去プロセスに対するパルス幅の効果を示す。現行のテスト機器において有効な最小のパルス幅は、１ｍｓであるが、１ｍｓ未満の幅を有するパルスが、書き込みおよび消去動作を行うことができると考えられる。

【0035】

ＡＬＤｈｉｇｈ－ｋ厚みおよびプラズマ酸化持続時間を最適化するためにほとんど何も行われていないにも関わらず、ヒステリシスウィンドウのサイズが拡大され得、より低い電圧でのプログラミングを可能にするか、または単一トランジスタ上でのマルチビットプ

ログラミングを可能にする可能性がある。

【0036】

本発明の方法による電荷トラップ層堆積の製造は、以下に説明する通りであり、図８において、まとめて７０で表されている。例えば、ＳＣ１およびＳＣ２を用いる標準的なプレゲート誘電体クリーニングステップを用い、ＨＦ浴で仕上げして、基板が準備される（７２）。原子層HfO_2のＡＬＤの堆積（７４）は、基板を１７０℃まで加熱し、$Hf(NO_3)_4$、N_2、H_2O、およびN_2のパルスを、順次、２秒、１０秒、０．１秒、および１０ｍｓ印加すること（１サイクルを構成）を必要とする。全体で８０～４００サイクルが用いられる。約５００℃での約６０秒間のインサイチュ堆積後アニール（７６）によって、本発明の方法の堆積ステップが完了する。

【0037】

次に、ウェハが、プラズマ酸化のために、プラズマ放電チャンバに入れられ（７８）、ウェハチャックが約３８０℃まで加熱される。圧力が約１００ｍＴｏｒｒに制御された状態で、約７０ｓｃｃｍのＨｅおよび３ｓｃｃｍのO_2のプラズマガスフローがチャンバに導入される。約７００Ｗで、１３．５６ＭＨｚの誘導的に接続されたプラズマソースは、ウェハにわたってプラズマ放電を生成し、酸素ラジカルがHfO_2膜を貫通するようにし、電荷トラッピング膜が生成される。

【0038】

約１分から３０分の間のプラズマ持続時間が用いられる。Ｈｅは単独で用いられてもよいし、０％～１０％の範囲内の酸素の混合物と用いられてもよい。

【0039】

チャージトラッピング膜上に、ゲートが堆積される（８０）。ＴｉＮ層は、約１００ｎｍの厚さまで反応性スパッタ堆積される。ゲートはパターニングされ、エッチングされ、従来の処理と両立できるステップを用いて、デバイスが完成する（８２）。

【0040】

所与の厚さのHfO_2について、最適なプラズマ酸化持続時間がある。露出が充分でないか、または露出され過ぎた膜は、より小さいヒステリシスウィンドウを示す。本明細書に記載のプロセスの組み合わせが、集積回路製造の流れに組み込まれて、HfO_2のＡＬＤおよびプラズマ酸化のいずれか、あるいは両方が、メモリセルアレイは別として、周辺機器用の実際のゲート誘電体を形成するために用いられ得ることが考えられる。HfO_2のＡＬＤは、同じ有効厚さにおいてより低い漏れ電流を提供するという利点を有し、低パワー用途に適する。プラズマ酸化によって形成されるゲート酸化物は、デバイスチャネル移動度を犠牲にせずに、高品質の薄いSiO_2層を提供する。

【0041】

基本的な発明は、多くの代替的なｈｉｇｈ－ｋ誘電体、例えば、ZrO_2、TiO_2、Ta_2O_5、Y_2O_3、La_2O_3、ＳｃＯなどを採用し得る。プラズマ酸化は、１３．５６ＭＨｚ以外のＲＦ周波数で、He/O_2以外のガス、例えば、N_2O、H_2O、またはO_3を用いて行われてもよい。

【0042】

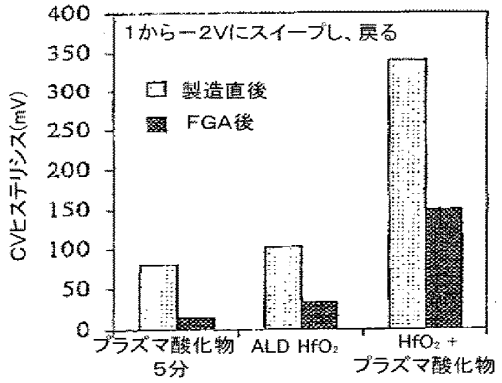
以上、ＡＬＤおよびプラズマ酸化を用いて電荷トラッピング層を製造する方法が開示されてきた。さらなる変形および改変が、添付の特許請求の範囲から逸脱することなしに為され得ることが理解される。

【0043】

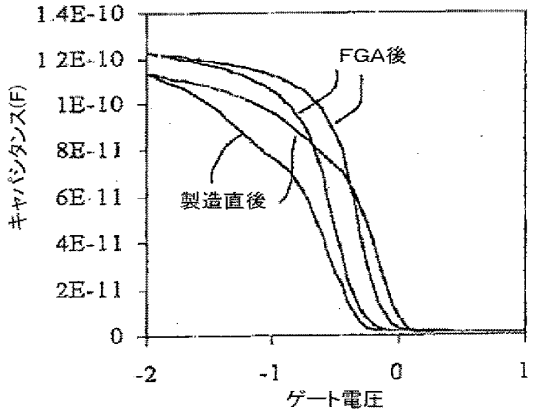
以上のように、本発明の好ましい実施形態を用いて本発明を例示してきたが、本発明は、この実施形態に限定して解釈されるべきものではない。本発明は、特許請求の範囲によってのみその範囲が解釈されるべきであることが理解される。当業者は、本発明の具体的な好ましい実施形態の記載から、本発明の記載および技術常識に基づいて等価な範囲を実施することができることが理解される。本明細書において引用した特許、特許出願および文献は、その内容自体が具体的に本明細書に記載されているのと同様にその内容が本明細書に対する参考として援用されるべきであることが理解される。

【図面の簡単な説明】
【0044】
【図1】図１は、従来技術によるＭＯＮＯＳ（ａ）と本発明の方法によるデバイス（ｂ）との間の比較を表す図である。
【図2】図２は、本発明の方法に従って構成されたメモリデバイスの第１の実施形態を示しており、デュアル酸化物技術が、２つのゲート誘電体工程で行われた同じ回路上のメモリトランジスタに組み込まれた状態を示す図である。
【図3】図３は、各プロセス、および組み合わせられたプロセスのＦＧＡ前およびＦＧＡ後のＣＶヒステリシスを示す図である。
【図4】図４は、ＦＧＡ前およびＦＧＡ後のキャパシタンス曲線を示す図である。
【図5】図５は、様々なデバイス温度でのＣＶ曲線を示す図である。
【図6】図６は、１ｍｓパルスの書き込みおよび消去特徴を示す図である。
【図7】図７は、±５Ｖのパルスが印加される場合の、書き込みおよび消去プロセスに対するパルス幅の効果を示す図である。
【図8】図８は、本発明の方法のブロック図である。
【符号の説明】
【0045】
３０　単一基板
４０　高速ロジックデバイス
４２　誘電体層
５０　メモリトランジスタ
５２　チップ
６０　低パワーロジックデバイス６０
６２　ｈｉｇｈ－ｋ誘電体層

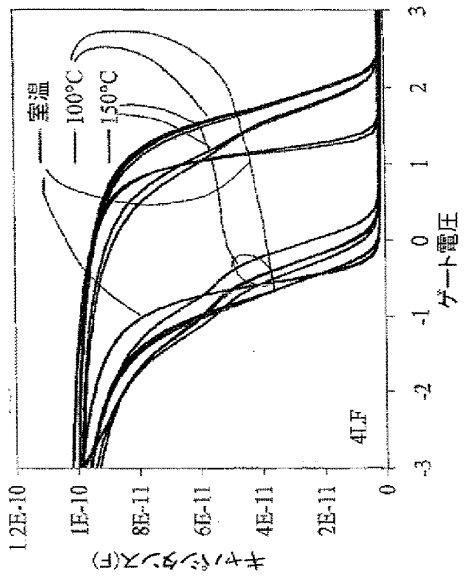
【図3】



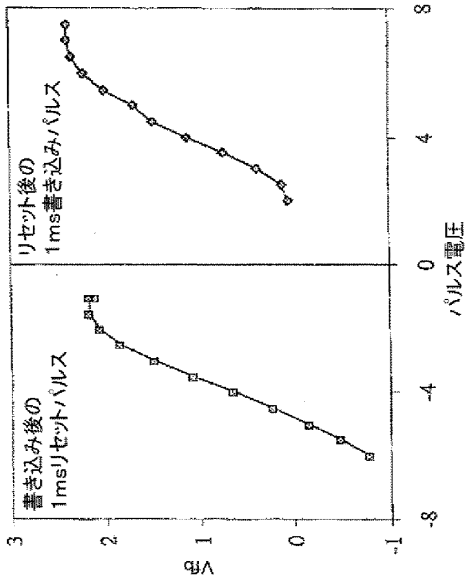
【図4】



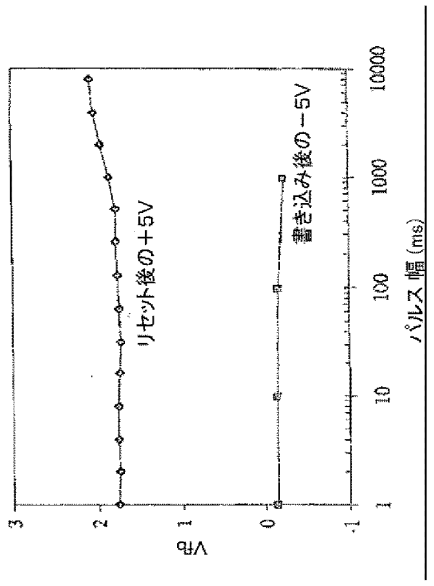
【図5】


室温
100°C
150°C
4LF
ゲート電圧
キャパシタンス(F)
1.2E-10
1E-10
8E-11
6E-11
4E-11
2E-11
0
-3
-2
-1
0
1
2
3

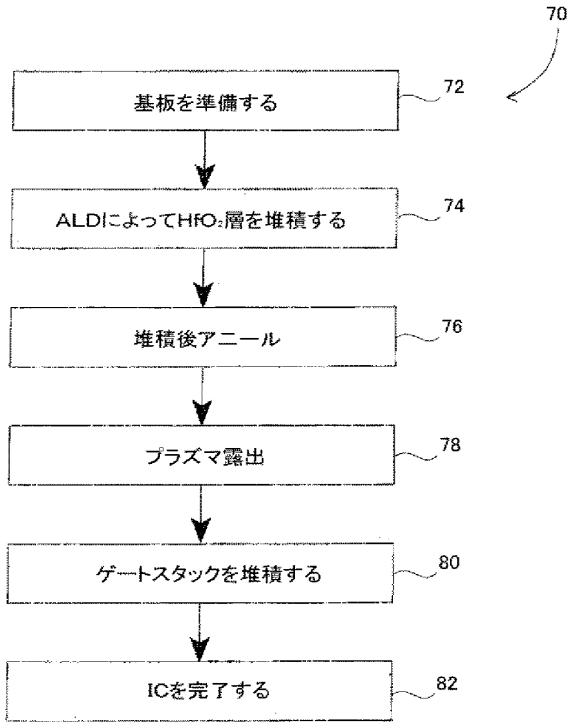
【図6】


リセット後の
1ms書き込みパルス
書き込み後の
1msリセットパルス
Vfb
パルス電圧
3
2
1
0
-1
8
4
0
-4
-8

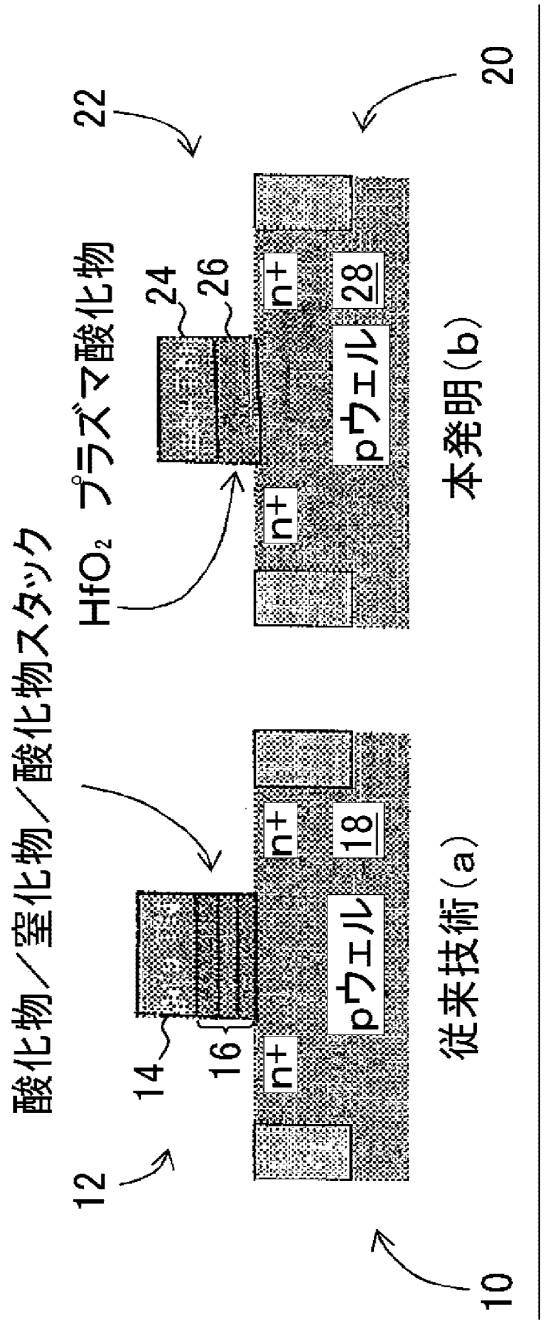
【図7】


リセット後の＋5V
書き込み後の－5V
Vfb
パルス幅(ms)
3
2
1
0
-1
1
10
100
1000
10000

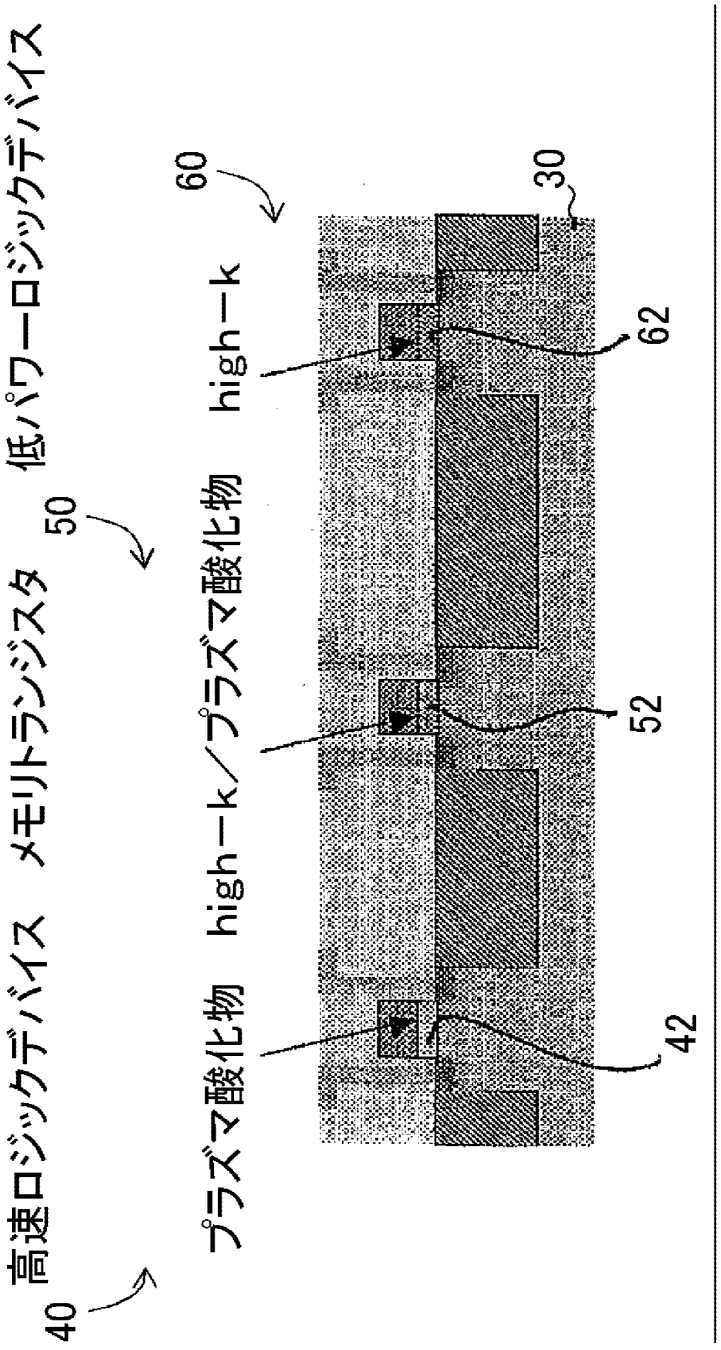
【図8】


70
基板を準備する
72
ALDによってHfO2層を堆積する
74
堆積後アニール
76
プラズマ露出
78
ゲートスタックを堆積する
80
ICを完了する
82

【図1】


酸化物／窒化物／酸化物スタック
HfO_2 プラズマ酸化物
12
14
16
22
24
26
20
n+
18
28
pウェル
従来技術(a)
本発明(b)
10

【図2】


高速ロジックデバイス　メモリトランジスタ　低パワーロジックデバイス
40
50
60
プラズマ酸化物　high－k／プラズマ酸化物　high－k
42
52
62
30

(51)Int.Cl.[7]	FI	テーマコード（参考）
Ｈ０１Ｌ　29/788		
Ｈ０１Ｌ　29/792		

Ｆターム(参考) 5F058 BC03 BF02 BF22 BF29 BH01 BH16 BJ01 BJ10
5F083 EP17 EP22 EP49 EP50 JA02 JA39 JA40 PR21 PR33 PR43
PR44 PR53 PR54 ZA07
5F101 BA42 BB02 BH02 BH16 BH21

Sandisk Technologies, Inc. - Ex. 1002, Page 001043

Espacenet

JP2004172616A NONVOLATILE MEMORY DEVICE USING VERTICAL NANOTUBES

Applicants: SAMSUNG ELECTRONICS CO LTD

Inventors: CHOI WON-BONG,KIM CHUNG-WOO,KYO KOKEI,LEE JO-WON

Classifications:

IPC ***G11C13/02; G11C16/04; G11C8/02; H01L21/8247; H01L27/115; H01L29/02; H01L29/788; H01L29/792; H01L51/30;*** (IPC1-7): H01L21/8247; H01L27/115; H01L29/788; H01L29/792;

CPC **B82Y10/00 (EP); G11C13/025 (EP); G11C16/0466 (EP); H01L29/02 (EP); H01L29/792 (EP); H01L29/7923 (EP); H01L29/7926 (EP); H01L51/0048 (EP); H01L51/0512 (EP);** G11C2213/16 (EP); G11C2213/17 (EP); Y10S977/943 (EP);

Priorities: KR20020071041A 2002-11-15

Application: JP2004172616A·2003-11-14

Publication: JP2004172616A·2004-06-17

Published as: **CN1317768C; CN1501503A; DE60300477T2; EP1420414A1; EP1420414B1;** JP2004172616A; **JP2007329500A; JP4047797B2; JP5307993B2; KR100790859B1; KR20040043043A; US2004095837A1; US6930343B2**

NONVOLATILE MEMORY DEVICE USING VERTICAL NANOTUBES

Abstract

PROBLEM TO BE SOLVED: To provide a nonvolatile memory device using vertical nanotubes. SOLUTION: The memory device includes a substrate 11 on which a source area 13 is formed, a nanotube column array that is formed by arranging a plurality of nanotube columns 10 which are vertically grown on the substrate 11 and whose one-side edges are linked to the source area 13 to form an electron-transfer channel, memory cells 19 formed on the peripheral surfaces of the nanotube columns 10, a control gate 17 formed on the peripheral surfaces of the memory cells 19, and a drain area 15 linked to the other-side edges of the nanotube columns 10. Using a simple process with no need of ion doping, a very highly integrated nonvolatile memory device can be embodied. COPYRIGHT: (C)2004,JPO

Sandisk Technologies, Inc. - Ex. 1002, Page 001044

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2004-172616
(P2004-172616A)
(43)公開日　平成16年6月17日(2004.6.17)

(51)Int.Cl.[7]	F I			テーマコード（参考）
H01L 21/8247	H01L	29/78	371	5F083
H01L 27/115	H01L	27/10	434	5F101
H01L 29/788				
H01L 29/792				

審査請求 未請求　請求項の数 11　OL　（全 10 頁）

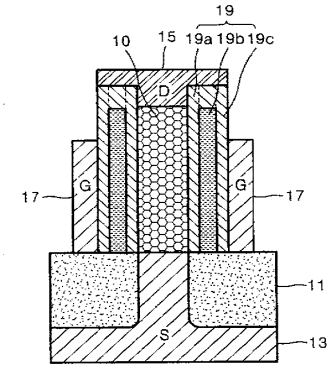
(21)出願番号　特願2003-384459(P2003-384459)
(22)出願日　平成15年11月14日(2003.11.14)
(31)優先権主張番号　2002-071041
(32)優先日　平成14年11月15日(2002.11.15)
(33)優先権主張国　韓国(KR)

(71)出願人　390019839
三星電子株式会社
大韓民国京畿道水原市靈通区梅灘洞４１６
(74)代理人　100064414
弁理士　磯野　道造
(72)発明者　崔　原　鳳
大韓民国　京畿道　水原市　八達区　梅▲灘▼４洞　８１０－　１番地　現代アパート　１０４棟　９０６号
(72)発明者　李　兆　▲遠▼
大韓民国　京畿道　水原市　八達区　靈通洞　９５６－２番地　大宇アパート　３０１棟　１１０１号

最終頁に続く

(54)【発明の名称】垂直ナノチューブを利用した不揮発性メモリ素子

(57)【要約】
【課題】垂直ナノチューブを利用した不揮発性メモリ素子を提供する。
【解決手段】メモリ素子は、ソース領域１３の形成された基板１１と、基板１１上に垂直成長され、一端部がソース領域１３と連結されて電子移動チャンネルになるナノチューブカラム１０を、複数配列してなるナノチューブカラムアレイと、ナノチューブカラム１０の外周面に形成されるメモリセル１９と、メモリセル１９の外周面に形成される制御ゲート１７及び、ナノチューブカラム１０の他端部と連結されるドレイン領域１５と、を含む。イオンドーピングの必要ない単純な工程を通じて超高集積の不揮発性メモリ素子が具現できる。
【選択図】図１



【特許請求の範囲】
【請求項１】
ソース領域が形成された基板と、
前記基板上に垂直成長され、一端部が前記ソース領域と連結されて電子移動チャンネルになるナノチューブカラムを、複数配列してなるナノチューブカラムアレイと、
前記ナノチューブカラムの外周面に形成されるメモリセルと、
前記メモリセルの外周面に形成される制御ゲートと、
前記ナノチューブカラムの他端部と連結されるドレイン領域と、を含むことを特徴とするメモリ素子。
【請求項２】
前記基板は、アルミニウムオキシド、シリコン、及びメソポーラスからなるグループから選択される材料で形成することを特徴とする請求項１に記載のメモリ素子。
【請求項３】
前記ナノチューブカラムは、炭素ナノチューブ、ボロナイトライドナノチューブ、及びガリウムリン酸塩ナノチューブからなるグループから選択されることを特徴とする請求項１に記載のメモリ素子。
【請求項４】
前記メモリセルは、
前記ナノチューブの外周面に形成される第１絶縁膜と、
前記第１絶縁膜の外周面に形成される電子貯蔵膜と、
前記電子貯蔵膜の外周面に形成され、前記制御ゲートと接触する第２絶縁膜と、を具備することを特徴とする請求項１に記載のメモリ素子。
【請求項５】
前記第１及び第２絶縁膜は、シリコンオキシド膜であることを特徴とする請求項４に記載のメモリ素子。
【請求項６】
前記電子貯蔵膜は、シリコン膜またはシリコンナイトライド膜であることを特徴とする請求項４に記載のメモリ素子。
【請求項７】
前記電子貯蔵膜は、１００ｎｍ以下の厚さを有することを特徴とする請求項４に記載のメモリ素子。
【請求項８】
前記電子貯蔵膜は、電子貯蔵物質で充填されるナノドットが配置される多孔膜であることを特徴とする請求項４に記載のメモリ素子。
【請求項９】
前記電子貯蔵物質は、シリコンまたはシリコンナイトライドであることを特徴とする請求項８に記載のメモリ素子。
【請求項１０】
前記多孔膜は、アルミニウムオキシド膜であることを特徴とする請求項８に記載のメモリ素子。
【請求項１１】
前記ナノドットは、１００ｎｍ以下の径を有することを特徴とする請求項８ないし請求項１０のいずれか１項に記載のメモリ素子。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、メモリ素子に係り、より詳細には、炭素ナノチューブを垂直電子移動チャンネルとして利用した高集積メモリ素子に関する。
【背景技術】
【０００２】

Sandisk Technologies, Inc. - Ex. 1002, Page 001046

半導体を利用したメモリ素子は、キャパシタに情報を書き込むか読み取る時、電流の通路を確保するためのスイッチの役割を果たすトランジスタと、貯蔵された電荷を保存する役割を果たすキャパシタとを基本的な構成要素として有する。

トランジスタに多量の電流を流せるためには、トランジスタが高いトランスコンダクタンス（ｇｍ）特性を有している必要がある。そのため、最近は、高いトランスコンダクタンス特性を有するＭＯＳＦＥＴ（Metal Oxide Field Effect Transistor）を半導体メモリ素子のスイッチング素子として利用する傾向がある。

【０００３】

ＭＯＳＦＥＴは、多結晶質シリコンで形成された制御ゲートと、ドーピングされた結晶質シリコンで形成されたソース及びドレイン領域とを基本的な構成要素として有するトランジスタである。

ＭＯＳＦＥＴのトランスコンダクタンスは、同じ電圧条件の下では、チャンネル長、ゲート酸化膜厚などに反比例し、表面移動度、ゲート酸化膜の誘電率及びチャンネルの幅には比例する。これらのうち、表面移動度及び酸化膜の誘電率は、材料、すなわち方向性を有するシリコンウエハ、シリコン酸化膜などによって定まる値であるので、高いトランスコンダクタンスを達成するためには、チャンネルの幅と長さとの比（Ｗ／Ｌ ｒａｔｉｏ）を大きくするか、酸化膜厚を薄くすべきである。

【０００４】

しかし、高集積メモリ素子を製造するためには、ＭＯＳＦＥＴの物理的な寸法を縮少すべきであり、これによってゲート、ソース及びドレイン領域の大きさも減少せねばならないが、これによって色々な問題点が発生する。

例えば、制御ゲートの大きさが減少すれば、制御ゲートの断面積が減少してトランジスタに大きい電気的抵抗を誘発する。ソース及びドレイン領域の大きさの減少は、厚さ、すなわち接合深さの減少を誘発して更に大きい電気的抵抗を招くか、ソースとドレイン間の距離が減少するためにソースとドレインとの空乏層がコンタクトする（contacts）パンチスルー現象を誘発して電流の調節を不能にする。また、前記のようなメモリ素子の寸法の減少によって、電流の移動通路であるチャンネルの幅が３０ｎｍ以下に減少すると、電流の円滑な流れが妨害されてメモリ素子を誤動作させる。すなわち、従来のＳｉ ＭＯＳＦＥＴを基本とするメモリ素子では、素子の高集積化に限界がある。

【発明の開示】

【発明が解決しようとする課題】

【０００５】

本発明が解決しようとする技術的課題は、前述した従来技術の問題点を改善するためのものであって、メモリ素子の小型化による抵抗の増加がなくて誤動作の少ない炭素ナノチューブを利用した高集積メモリ素子を提供することである。

【課題を解決するための手段】

【０００６】

前記技術的課題を達成するために、本発明は、ソース領域が形成された基板と、前記基板上に垂直成長され、一端部が前記ソース領域と連結されて電子移動チャンネルになるナノチューブカラムを、複数配列してなるナノチューブカラムアレイと、前記ナノチューブカラムの外周面に形成されるメモリセルと、前記メモリセルの外周面に形成される制御ゲートと、前記ナノチューブカラムの他端部と連結されるドレイン領域と、を含むことを特徴とする垂直ナノチューブメモリ素子を提供する。

【０００７】

ここで、前記基板は、アルミニウムオキシド、シリコン、及びメソポーラスからなるグループから選択した材料で形成するのが望ましい。

【０００８】

また、前記ナノチューブカラムは、炭素ナノチューブ、ボロナイトライドナノチューブ、及びガリウムリン酸塩ナノチューブからなるグループから選択されることが望ましい。

【０００９】

また、前記メモリセルは、前記ナノチューブの外周面に形成される第１絶縁膜と、前記第１絶縁膜の外周面に形成される電子貯蔵膜と、前記電子貯蔵膜の外周面に形成され、前記制御ゲートと接触する第２絶縁膜と、を具備するのが望ましい。

【００１０】

ここで、第１及び第２絶縁膜は、シリコンオキシド膜であるのが望ましい。

【００１１】

また、前記電子貯蔵膜は、シリコン膜またはシリコンナイトライド膜であるのが望ましい。

【００１２】

また、前記電子貯蔵膜は、１００ｎｍ以下の厚さを有するのが望ましく、前記電子貯蔵膜は電子貯蔵物質で充填されるナノドットが配置される多孔膜で形成されるのが望ましい。

【００１３】

また、前記電子貯蔵物質は、シリコンまたはシリコンナイトライドであるのが望ましい。

【００１４】

また、前記多孔膜は、アルミニウムオキシド膜で形成されるのが望ましい。

【００１５】

また、前記ナノドットは、１００ｎｍ以下の径を有するのが望ましい。

【００１６】

本発明は、電子移動チャンネルとしてナノチューブを採用し、これを垂直に整列する構造を採択して高集積の大容量メモリ素子を提供する。

【発明の効果】

【００１７】

本発明によれば、ナノチューブを利用することにより超高集積メモリを具現できる。本発明を実施することにより、自己組立てを利用して基板上にドーピングなしに超高集積メモリ素子が構成できるので、超高集積工程が単純化できる。

【発明を実施するための最良の形態】

【００１８】

以下、本発明に係るメモリ素子の実施形態について、図面を参照して詳細に説明する。

図１は、本発明の第１実施形態に係るメモリ素子を示した断面図であり、図２は、当該メモリ素子の一部を切り欠いて示した斜視図である。

図１及び図２に示すように、基板１１はソース領域（Ｓ）１３を含み、基板１１の上面にはソース領域１３と連結されてナノチューブカラム１０（nanotube column）が垂直に位置する。ナノチューブカラム１０の外周面にはメモリセル１９が形成され、形成されたメモリセル１９の外周面には、さらに、制御ゲート１７が形成される。ナノチューブカラム１０とメモリセル１９との上面にはドレイン領域１５が形成される。この構造を有するメモリ素子が基板１１上に複数配列されることにより、ナノチューブカラムアレイが形成される。

【００１９】

基板１１は、アルミニウムオキシド（Al_2O_3）、シリコン（Ｓｉ）、またはメソポーラス（ｍｅｓｏＰｏｒｏｕｓ）で形成するのが望ましく、基板１１にはイオンドーピングによりソース領域１３が形成される。

【００２０】

ナノチューブカラム１０は、炭素ナノチューブ、ボロナイトライド（ＢＮ）ナノチューブ、またはガリウムリン酸塩ナノチューブなどの半導体性ナノチューブを利用して形成することができる。ナノチューブは、電気的な性質によって、ゲート電圧に関係がなく、電流－電圧特性が線形関係を示す金属性ナノチューブと、ゲート電圧に影響されて電流－電圧特性が非線形関係を示す半導体性ナノチューブとに大別される。第１実施形態に係るメモリ素子に採用されるナノチューブは、半導体性ナノチューブであるので、制御ゲート１

Sandisk Technologies, Inc. - Ex. 1002, Page 001048

７に印加されるゲート電圧によってナノチューブカラム１０を通じて移動する電子の流れ、すなわち電流が制御される。

【００２１】

ここで、ナノチューブカラム１０として利用される炭素ナノチューブは、電気放電法、レーザー蒸着法、プラズマ化学気相蒸着法（ＰＥＣＶＤ）、熱化学気相蒸着法（ＴＣＶＤ）、気相合成法などを利用して、各ナノチューブカラム１０のそれぞれの一端部が基板１１上のソース領域１３と接触するように成長する。

【００２２】

ナノチューブカラム１０の外周面にはメモリセル１９が形成される。メモリセル１９はＯＮＯ（Ｏｘｉｄｅ Ｎｉｔｒｉｄｅ Ｏｘｉｄｅ）膜で形成できるが、オキシド膜１９ａ、１９ｃは絶縁膜として作用し、ナイトライド膜（窒化膜）１９ｂは電子貯蔵膜として機能する。ＯＮＯ膜はＣＶＤ、または熱処理を通じて形成できる。メモリセル１９の窒化膜１９ｂはシリコンナイトライド（Si_3N_4）で形成できる。なお、窒化膜１９ｂの代わりにシリコン膜を利用することもできる。また、メモリセル１９の全体厚さは２００ｎｍ未満に、ナイトライド膜１９ｂの厚さは１００ｎｍ以下になるように形成するのが望ましい。

【００２３】

制御ゲート１７は、メモリセル１９の外周面に形成され、ドレイン領域１５はナノチューブカラム１０の他端部に接触するようにナノチューブカラム１０とメモリセル１９との上面に形成される。

【００２４】

図３は、本発明の第２実施形態に係るメモリ素子を示した断面図である。第２実施形態に係るメモリ素子は、図３に示すように、図１及び図２に示された第１実施形態に係るメモリ素子と同じ構造を有するが、メモリセル２９が電子貯蔵物質で充填されたナノドット２８を含む多孔性膜２９ｂで形成された点が第１実施形態と相異する。ここで、２９ａ、２９ｃは、図１及び図２の酸化膜１９ａ、１９ｃと同じ機能を有する膜である。

【００２５】

多孔性膜２９ｂを形成するには、まず、アルミニウム基板を硫酸溶液またはリン酸溶液に浸漬して電気を加えてアノダイジングする（anodize）ことによって、複数のナノドット２８を形成する。そして、ＣＶＤまたはスパッタリング法を利用して、シリコンまたはシリコンナイトライドのような電子貯蔵物質を、ナノドット２８の内部に充填する。これにより、多孔性膜２９ｂは、電子貯蔵膜として機能する。

【００２６】

図４は、本発明の第１実施形態に係るメモリ素子を製造するために基板上に炭素ナノチューブを成長させた炭素ナノチューブアレイを示す写真である。

【００２７】

図５は、本発明の第１実施形態に係るメモリ素子の電流－電圧（Ｉ－Ｖ）特性曲線を示したグラフである。

図５に示すように、ゲート電圧が負の電圧から０Ｖに至るまで、ドレイン電流I_dは一定に維持されていて、ゲート電圧が増加する（０Ｖよりも大きくなる）につれてドレイン電流I_dは顕著に減少するのが分かる。換言すれば、本発明の第１の実施形体に係るメモリ素子は、超高集積メモリ素子としての動作特性がよく現れているのが分かる。

【００２８】

前記した説明で多くの事項が具体的に記載されているが、これらは本発明の範囲を限定するのではなく、望ましい実施形態の例示として解釈されねばならない。

例えば、本発明の属する技術分野の当業者であれば、本発明の技術的思想によって電子貯蔵膜または電子貯蔵物質で電子を捕獲する特性に優れた他の物質が利用できる。それゆえに、本発明の範囲は、説明された実施形態によって限定されるものではなく、特許請求の範囲に記載された技術的思想によって定められねばならない。

【産業上の利用可能性】

Sandisk Technologies, Inc. - Ex. 1002, Page 001049

【００２９】
炭素ナノチューブを垂直に配列したナノチューブアレイを利用する小型のトランジスタと、電子を貯蔵するメモリセルとを具備するので、イオンドーピングの要らない単純な工程を通じて超高集積の不揮発性メモリ素子が具現できる。

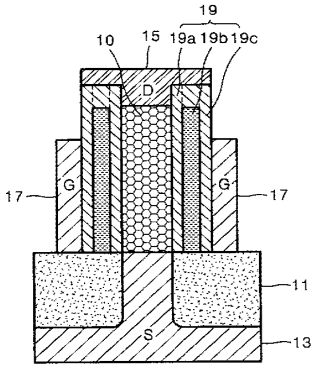
【図面の簡単な説明】

【００３０】
【図１】本発明の第１実施形態に係るメモリ素子の断面図である。
【図２】本発明の第１実施形態に係るメモリ素子の一部を切り欠いて示した斜視図である。
【図３】本発明の第２実施形態に係るメモリ素子の断面図である。
【図４】本発明の第１実施形態に係るメモリ素子を製造するために炭素ナノチューブを基板上に成長させた写真である。
【図５】本発明の第１実施形態に係るメモリ素子のＩ－Ｖ特性を示すグラフである

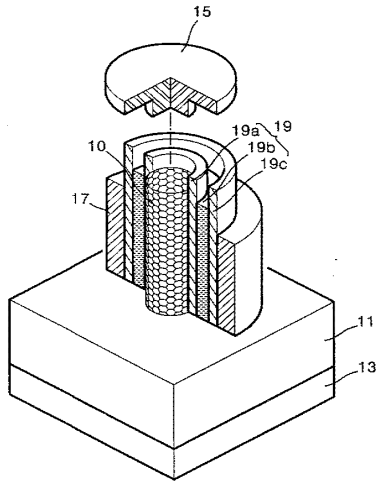
【符号の説明】

【００３１】
１０　ナノチューブカラム
１１　基板
１３　ソース領域
１５　ドレイン領域
１７　制御ゲート
１９　メモリセル
１９ａ、１９ｃ　オキシド膜
１９ｂ　ナイトライド膜
Ｓ　ソース

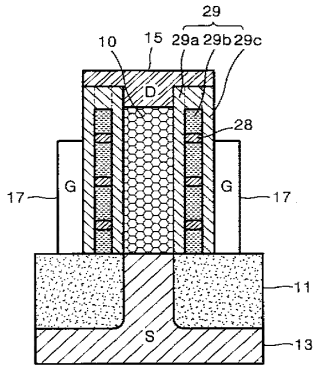
【図１】



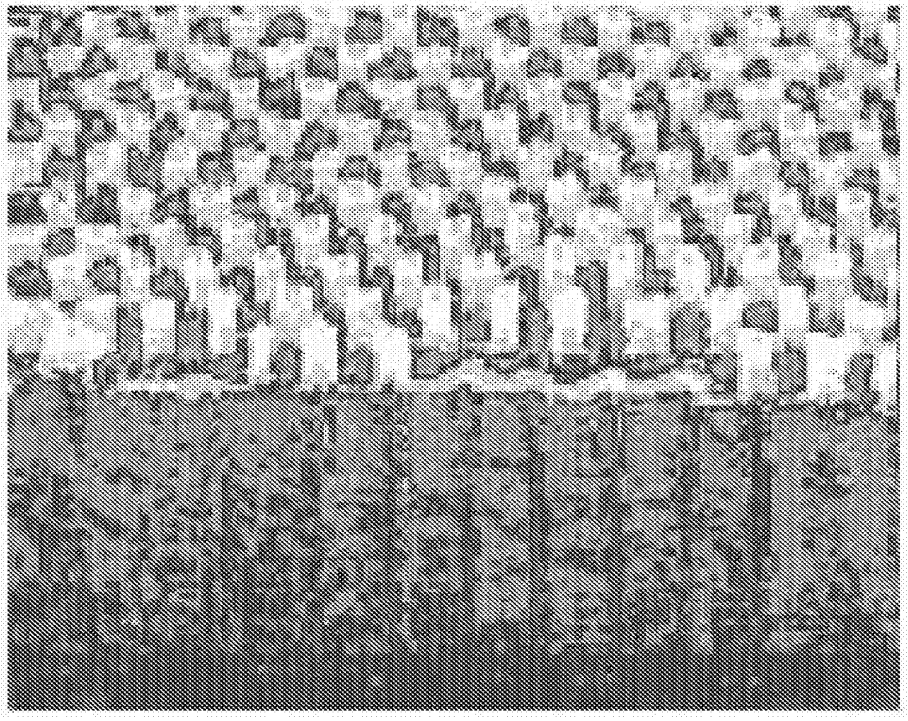
【図２】



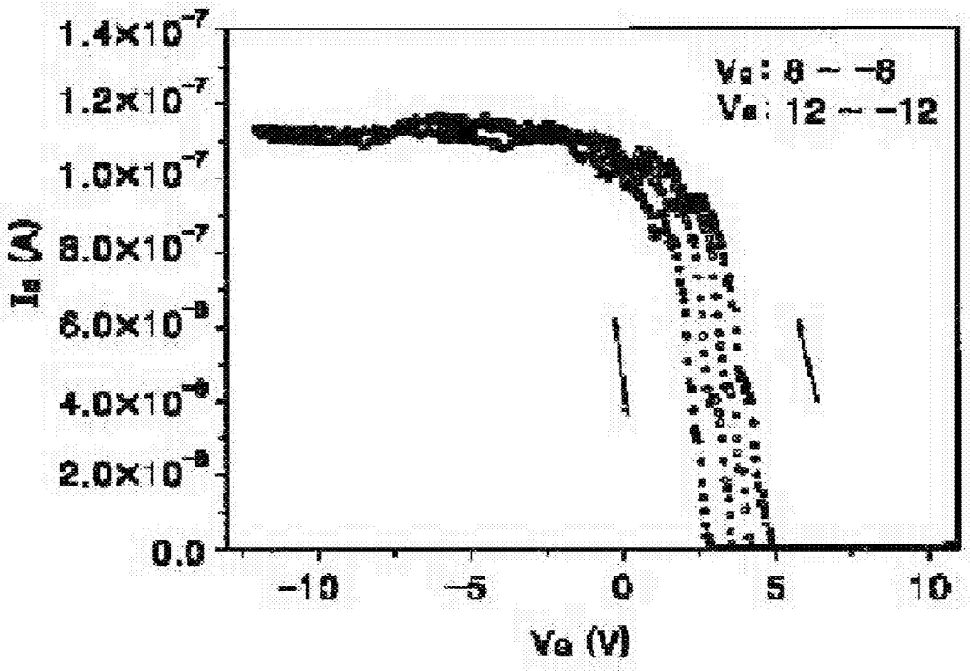
【図８】



【図４】



【図５】


1.4×10⁻⁷
1.2×10⁻⁷
1.0×10⁻⁷
8.0×10⁻⁸
6.0×10⁻⁸
4.0×10⁻⁸
2.0×10⁻⁸
0.0
Is (A)
Vg : 8 ~ −8
Vg : 12 ~ −12
−10
−5
0
5
10
Vg (V)

フロントページの続き

(72)発明者 姜 虎 圭
大韓民国 京畿道 水原市 八達区 通洞 １１６１番地 鎮山マウル 三星５次アパート５０３棟 １００２号
(72)発明者 金 ▲偵▼ 雨
大韓民国 京畿道 城南市 盆唐区 内亭洞 ５１番地 パークタウン 大林アパート 101棟 ７０５号

Fターム(参考) 5F083 EP02 EP17 EP22 EP55 EP61 ER21 GA09 HA10 JA60 PR21
PR22
5F101 BA01 BA45 BB02 BD12 BD16 BD39 BE07 BH02

Espacenet

JP2000173287A LEVEL CONVERSION CIRCUIT AND ROW DECODER OF NON-VOLATILE MEMORY

Applicants: SONY CORP

Inventors: ENDO MASABUMI

Classifications:
IPC ***G11C16/06; H03K19/0185; H03K5/02;*** (IPC1-7): G11C16/06; H03K19/0185; H03K5/02;

Priorities: JP34522298A 1998-12-04

Application: JP2000173287A·1998-12-04

Publication: JP2000173287A·2000-06-23

Published as: JP2000173287A

LEVEL CONVERSION CIRCUIT AND ROW DECODER OF NON-VOLATILE MEMORY

Abstract

PROBLEM TO BE SOLVED: To provide a level conversion circuit in which output voltage can be switched at high speed and power consumption is reduced, and a row decoder of a non-volatile memory using such a level conversion circuit. SOLUTION: This level conversion circuit is provided with a charge pump circuit 11 for switching voltage, a variable period oscillator 12 supplying a clock to a charge pump circuit 11, a switching control circuit 13 generating a control signal for switching output voltage of the charge pump circuit 11, and a single pulse generating circuit 14 generating a single pulse for switching a period of a clock from the variable period oscillator, when switching is performed so as to output internal high voltage, from the time of switching to the prescribed time, a clock having a short period is given to the charge pump circuit 11 from the variable period oscillator 12, when the prescribed time elapses, a clock having a long period is given to the charge pump circuit 11 from the variable period oscillator 12. Thereby, output voltage can be switched at high speed, while power consumption can be reduced.

Sandisk Technologies, Inc. - Ex. 1002, Page 001055

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報**（Ａ）　(11)特許出願公開番号
特開2000－173287
（P2000－173287A）
(43)公開日　平成12年６月23日(2000.6.23)

(51)Int.Cl.[7]	識別記号	ＦＩ		テーマコード（参考）
Ｇ１１Ｃ　16/06		Ｇ１１Ｃ　17/00	６３３Ｄ	５Ｂ０２５
Ｈ０３Ｋ　5/02		Ｈ０３Ｋ　5/02	Ｌ	５Ｊ０３９
19/0185		19/00	１０１Ｂ	５Ｊ０５６

審査請求　未請求　請求項の数２　ＯＬ　（全　９　頁）

(21)出願番号　特願平10－345222

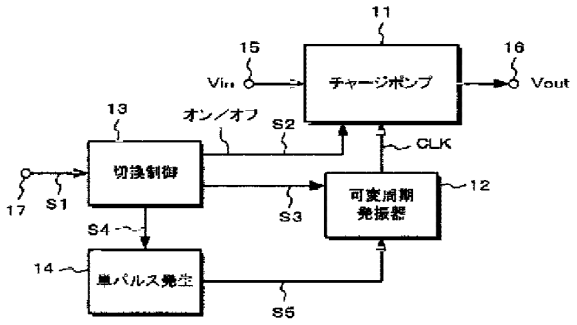
(22)出願日　平成10年12月４日(1998.12.4)

(71)出願人　000002185
ソニー株式会社
東京都品川区北品川６丁目７番35号
(72)発明者　遠藤　正文
東京都港区虎ノ門４－３－１　株式会社フォーラムエンジニアリング内
(74)代理人　100082762
弁理士　杉浦　正知

最終頁に続く

(54)【発明の名称】　レベル変換回路及び不揮発性メモリのロウデコーダ

(57)【要約】
【課題】　出力電圧を高速で切り換えることができると共に、消費電力の低減を図れるようにしたレベル変換回路及びこのようなレベル変換回路を用いた不揮発性メモリのロウデコーダを提供する。
【解決手段】　電圧切換用のチャージポンプ回路１１と、チャージポンプ回路１１に対してクロックを供給する可変周期発振器１２と、チャージポンプ回路１１の出力電圧を切り換えるための制御信号を発生する切換制御回路と、可変周期発振器からのクロックの周期を切り換えるための単パルス信号を発生する単パルス発生回路１４とを設け、内部高電圧Vppが出力されるように切り換える際に、切り換え時から所定時間では、周期の短いクロックを可変周期発振器１２からチャージポンプ回路１１に与え、所定時間経過したら、周期の長いクロックを、可変周期発振器１２からチャージポンプ回路１１に与えるようにする。これにより、出力電圧を高速で切り換えることができると共に、消費電力の低減が図れる。



Sandisk Technologies, Inc. - Ex. 1002, Page 001056

【特許請求の範囲】
【請求項１】　第１の電源電圧の入力信号を上記第１の電源電圧よりも高い第２の電源電圧に昇圧して出力するチャージポンプ手段と、
周期の短い第１のクロックと、上記第１のクロックよりも周期の長い第２のクロックを形成し、上記周期の短い第１のクロック又は上記周期の長い第２のクロックを選択的に上記チャージポンプ手段に与えるクロック発生手段と、
上記チャージポンプ手段から上記第２の電源電圧が出力されるように切り換える際に、切り換え時から所定時間では、上記周期の短い第１のクロックを上記クロック発生手段から上記チャージポンプ手段に与え、上記所定時間経過したら、上記周期の長い第２のクロックを上記クロック発生手段から上記チャージポンプ手段に与えるように制御する制御手段とを備えるようにしたレベル変換回路。
【請求項２】　複数のメモリセルトランジスタが直列接続されたＮＡＮＤストリングからなり、複数の上記ＮＡＮＤストリングのうち互いに対応するメモリセルトランジスタのゲートに共通のワード線を接続してブロックを構成し、上記ブロックをメモリセルアレイ上に複数配列するようにした不揮発性メモリのロウデコーダであって、
上記メモリセルアレイ上に配列される複数のブロックの中から所望のブロックを選択するブロック選択手段と、上記ブロック選択手段の出力電圧のレベルを変換するレベル変換手段とを備え、
上記レベル変換手段は、
第１の電源電圧の入力信号を上記第１の電源電圧よりも高い第２の電源電圧に昇圧して出力するチャージポンプ手段と、
周期の短い第１のクロックと、上記第１のクロックよりも周期の長い第２のクロックを形成し、上記周期の短い第１のクロックと上記周期の長い第２のクロックとを選択的に上記チャージポンプ手段に与えるクロック発生手段と、
上記チャージポンプ手段から上記第２の電源電圧が出力されるように切り換える際に、切り換え開始時から所定時間では、上記周期の短い第１のクロックを上記クロック発生手段から上記チャージポンプ手段に与え、上記所定時間経過したら、上記周期の長い第２のクロックを上記クロック発生手段から上記チャージポンプ手段に与えるように制御する制御手段とを備えるようにした不揮発性メモリのロウデコーダ。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】この発明は、例えば、ＮＡＮＤ型の構成の不揮発性メモリのロウデコーダ及びＮＡＮＤ型の構成の不揮発性メモリにおいてワード線電圧を供給するのに用いて好適なレベル変換回路に関する。
【０００２】
【従来の技術】複数のメモリセルトランジスタが直列接続されたＮＡＮＤストリングからなるフラッシュメモリが知られている。このようなＮＡＮＤ型のフラッシュメモリでは、書き込み時に、２０Ｖ程度の電圧をワード線に印加する必要がある。このため、このようなフラッシュメモリのメインロウデコーダには、電源電圧Ｖccを２０Ｖ程度の内部高電圧Ｖppに変換するレベル変換回路が設けられている。
【０００３】このようなレベル変換回路としては、図９に示すように、ＣＭＯＳのフリップフロップの構成のものを用いることが考えられる。
【０００４】図９において、内部高電圧Ｖppと接地間に、ＰＭＯＳトランジスタＰＴ５１及びＮＭＯＳトランジスタＮＴ５１とが直列接続される。また、内部高電圧Ｖppと接地間に、ＰＭＯＳトランジスタＰＴ５２及びＮＭＯＳトランジスタＮＴ５２が直列接続される。ＰＭＯＳトランジスタＰＴ５１のゲートが、ＰＭＯＳトランジスタＰＴ５２とＮＭＯＳトランジスタＮＴ５２との接続点に接続される。ＰＭＯＳトランジスタＰＴ５２のゲートが、ＰＭＯＳトランジスタＰＴ５１とＮＭＯＳトランジスタＮＴ５１との接続点に接続される。ＮＭＯＳトランジスタＮＴ５１のゲートが電圧Ｖinの入力端子に接続される。ＮＭＯＳトランジスタＮＴ５２のゲートが、インバータＩＮＶ５１を介して、電圧Ｖinの入力端子に接続される。ＰＭＯＳトランジスタＰＴ５２とＮＭＯＳトランジスタＮＴ５２との接続点から、出力電圧Ｖout の端子が導出される。
【０００５】図９に示すようなフリップフロップの構成のレベル変換回路では、入力電圧Ｖinとして、電源電圧Ｖccの入力電圧が与えられる。この入力電圧Ｖinは、ＮＭＯＳトランジスタＮＴ５１のゲートに供給されると共に、インバータＩＮＶ５１で反転され、ＮＭＯＳトランジスタＮＴ５２のゲートに供給される。
【０００６】ＮＭＯＳトランジスタＮＴ５１のゲートに、電源電圧Ｖccの入力電圧Ｖinが与えられると、ＮＭＯＳトランジスタＮＴ５１がオン状態となり、ＮＭＯＳトランジスタＮＴ５２がオフ状態となる。ＮＭＯＳトランジスタＮＴ５１がオン状態となると、ノードＮＤ１がローレベルとなる。ノードＮＤ１がローレベルとなると、ＰＭＯＳトランジスタＰＴ５２はオン状態となる。ＰＭＯＳトランジスタＰＴ５２はオン状態で、ＮＭＯＳトランジスタＮＴ５２がオフ状態であるから、ＰＭＯＳトランジスタＰＴ５１はオフ状態となる。その結果、出力ノードＮＤ２は、高電圧Ｖppに引き上げられる。すなわち、Ｖccレベルの入力電圧Ｖinが２０Ｖ程度の高電圧に変換され、Ｖout として出力される。
【０００７】これに対して、入力電圧Ｖinに０Ｖが入力されると、ＮＭＯＳトランジスタＮＴ５１がオフ状態と

Sandisk Technologies, Inc. - Ex. 1002, Page 001057

なり、ＮＭＯＳトランジスタＮＴ５２がオン状態となる。これにより、出力ノードＮＤ２は接地レベルに引き込まれる。すなわち、０Ｖの入力電圧Ｖinが接地レベルのままで、出力電圧Vout として出力される。

【０００８】ところで、上述のレベル変換回路では、ＣＭＯＳ構成としなければならない。そして、出力電圧が２０Ｖ程度必要なため、高耐圧の構成とする必要がある。このような高耐圧の構成のＣＭＯＳ回路を実現するようにすると、プロセス工程数とマスク枚数が増加し、コストアップになる。このため、ＮＡＮＤ型の構成のフラッシュメモリのメインロウデコーダでは、ＮＭＯＳ構成で実現できる、チャージポンプ型のレベル変換回路を用いることが提案されている。

【０００９】

【発明が解決しようとする課題】チャージポンプ型のレベル変換回路では、入力電圧をキャパシタに蓄え、クロックによりポンピング動作を行なって昇圧している。このため、選択ワード線電圧を所望の内部高電圧Vppに素早く変換するためには、周期の短いクロックをチャージポンプ型の昇圧回路に与えた方が有利である。ところが、クロックの周期を短くするほど、クロック発振器を高速で動作させなければならず、消費電力は増大してくる。このように、チャージポンプ型のレベル変換回路を用いた場合、昇圧動作を速くしようとすると、消費電圧が増大し、消費電力を小さくしようとすると、動作速度が遅くなるという相反する問題がある。

【００１０】したがって、この発明の目的は、出力電圧を高速で切り換えることができると共に、消費電力の低減を図れるようにしたレベル変換回路及びこのようなレベル変換回路を用いた不揮発性メモリのロウデコーダを提供することにある。

【００１１】

【課題を解決するための手段】請求項１の発明は、第１の電源電圧の入力信号を第１の電源電圧よりも高い第２の電源電圧に昇圧して出力するチャージポンプ手段と、周期の短い第１のクロックと、第１のクロックよりも周期の長い第２のクロックを形成し、周期の短い第１のクロック又は周期の長い第２のクロックを選択的にチャージポンプ手段に与えるクロック発生手段と、チャージポンプ手段から第２の電源電圧が出力されるように切り換える際に、切り換え時から所定時間では、周期の短い第１のクロックをクロック発生手段からチャージポンプ手段に与え、所定時間経過したら、周期の長い第２のクロックをクロック発生手段からチャージポンプ手段に与えるように制御する制御手段とを備えるようにしたレベル変換回路である。

【００１２】請求項２の発明は、複数のメモリセルトランジスタが直列接続されたＮＡＮＤストリングからなり、複数のＮＡＮＤストリングのうち互いに対応するメモリセルトランジスタのゲートに共通のワード線を接続してブロックを構成し、ブロックをメモリセルアレイ上に複数配列するようにした不揮発性メモリのロウデコーダであって、メモリセルアレイ上に配列される複数のブロックの中から所望のブロックを選択するブロック選択手段と、ブロック選択手段の出力電圧のレベルを変換するレベル変換手段とを備え、レベル変換手段は、第１の電源電圧の入力信号を入力し、第１の電源電圧の入力信号を第１の電源電圧よりも高い第２の電源電圧に昇圧して出力するチャージポンプ手段と、周期の短い第１のクロックと、第１のクロックよりも周期の長い第２のクロックを形成し、周期の短い第１のクロックと周期の長い第２のクロックとを選択的にチャージポンプ手段に与えるクロック発生手段と、チャージポンプ手段から第２の電源電圧が出力されるように切り換える際に、切り換え時から所定時間では、周期の短い第１のクロックをクロック発生手段からチャージポンプ手段に与え、所定時間経過したら、周期の長い第２のクロックをクロック発生手段からチャージポンプ手段に与えるように制御する制御手段とを備えるようにした不揮発性メモリのロウデコーダである。

【００１３】チャージポンプ回路から内部高電圧Ｖppが出力されるように切り換える際に、切り換え時から所定時間では、周期の短いクロックがクロック発生回路からチャージポンプ回路に与えられる。周期の短いクロックを用いることで、チャージポンプ回路は高速で動作し、所望の内部高電圧Ｖppに素早く切り換えられる。

【００１４】そして、切り換え時から所定時間経過したら、周期の長いクロックがクロック発生回路からチャージポンプ回路に与えられる。チャージポンプ回路では、所定の電圧を維持する間では、高速のクロックは不要である。このように、切り換え時から所定時間経過したら、周期の長いクロックをクロック発生回路からチャージポンプ回路に与えるようにすることで、消費電力の低減が図れる。

【００１５】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。図１は、この発明が適用できるＮＡＮＤ型のフラッシュメモリのメインロウデコーダの一例を示すものである。図１において、ＮＡＮＤゲートＧ１は、メモリセルアレイ上に配列される複数のブロックの中から、所望のブロックを選択するものである。選択されたブロックでは、ＮＡＮＤゲートＧ１への入力信号Ｘ１、Ｘ２、Ｘ３は、全てハイレベルに設定される。

【００１６】ＮＡＮＤゲートＧ１の出力がレベルシフト回路２に供給される。レベルシフト回路２は、後に詳述するように、チャージポンプ型の構成とされており、内部高電圧Ｖppに切り換える際には、周期の短いクロックで動作し、所定時間経過したら、周期の長いクロックで動作するようにされている。このように、電圧の切り換

え時には、周期の短いクロックで動作させ、所定時間経過したら、周期の長いクロックで動作させることにより、高速で切り換えが行なえると共に、消費電力の低減が図れる。レベルシフト回路２により、電源電圧Ｖccのレベルの入力電圧が内部高電圧Ｖppのレベルに変換される。レベルシフト回路２の出力がトランスファゲートを構成するＮＭＯＳトランジスタＴＧ０～ＴＧ１５のゲートに供給される。

【００１７】サブロウデコーダ３は、複数のワード線の中から、ワード線電圧を供給すべき所望のワード線を選択するものである。サブロウデコーダ３からは、ワード線ＷＬ０～ＷＬ１５に対する制御信号が出力される。このサブロウデコーダ３の出力がＮＭＯＳトランジスタＴＧ０～ＴＧ１５のドレインに供給される。

【００１８】ＮＭＯＳトランジスタＴＧ０～ＴＧ１５のソースは、ワード線ＷＬ０～ＷＬ１５に夫々接続される。ワード線ＷＬ０～ＷＬ１５は、ＮＡＮＤ型のフラッシュメモリのメモリセルを構成するメモリセルトランジスタのゲートに接続される。

【００１９】ＮＡＮＤ型のフラッシュメモリのメモリセルアレイは、図２に示すように構成される。図２において、トランジスタＭＴ０Ａ～ＭＴ１５Ａ、ＭＴ０Ｂ～ＭＴ１５Ｂ、…は、フローティングゲートを有するメモリセルトランジスタである。例えば、１６個のメモリセルトランジスタＭＴ０Ａ～ＭＴ１５Ａ、ＭＴ０Ｂ～ＭＴ１５Ｂ、…が直列に接続される。そして、このメモリセルトランジスタＭＴ０Ａ～ＭＴ１５Ａ、ＭＴ０Ｂ～ＭＴ１５Ｂ、…の直列接続のドレイン側に、選択ゲートのトランジスタＳＧ１Ａ、ＳＧ１Ｂ、…が夫々直列接続され、更にこの直列接続のソース側に、選択ゲートのトランジスタＳＧ２Ａ、ＳＧ２Ｂ、…が夫々直列接続される。これにより、例えば１６個のメモリセルを有するＮＡＮＤストリングＳＴＡ、ＳＴＢ、…が構成される。

【００２０】ドレイン側の選択ゲートのトランジスタＳＧ１Ａ、ＳＧ１Ｂ、…のドレインは、夫々、ビット線ＢＬ０、ＢＬ１、…に接続される。ソース側の選択ゲートのトランジスタＳＧ２Ａ、ＳＧ２Ｂ、…のソースは、夫々、ソース線Ｖｓに接続される。

【００２１】このＮＡＮＤストリングＳＴＡ、ＳＴＢ、…が並んで配列され、対応する選択ゲートのトランジスタのゲート及びメモリセルトランジスタのゲートが共通接続される。図２の例では、ＮＡＮＤストリングＳＴＡ、ＳＴＢ、…の選択ゲートＳＧ１Ａ、ＳＧ１Ｂ、…のゲートは、共通の選択信号供給線ＤＳＧに接続される。メモリセルトランジスタＭＴ０Ａ～ＭＴ１５Ａ、ＭＴ０Ｂ～ＭＴ１５Ｂ、…のゲートが、夫々、共通のワード線ＷＬ０、ＷＬ１２、…ＷＬ１５に夫々接続される。選択ゲートＳＧ２Ａ、ＳＧ２Ｂ、…のゲートは、共通の選択信号供給線ＳＳＧに接続される。このように、互いに対応する選択ゲートのトランジスタ及びメモリセルトランジスタを接続して、ブロックが構成される。

【００２２】メモリセル上には、図３に示すように、このようなブロックＢ０、Ｂ１、Ｂ２、…が複数配列されている。

【００２３】図４は、図１におけるレベルシフト回路２の構成を示すものである。図４において、１１は電圧切換用のチャージポンプ回路、１２はチャージポンプ回路１１に対してクロックを供給する可変周期発振器、１３はチャージポンプ回路１１の出力電圧を切り換えるための制御信号を発生する切換制御回路、１４は可変周期発振器からのクロックの周期を切り換えるための単パルス信号を発生する単パルス発生回路である。

【００２４】チャージポンプ回路１１には、入力端子１５から入力電圧Ｖinとして電源電圧Ｖccが入力される。チャージポンプ回路１１には、切換制御回路１３からオン／オフ信号Ｓ２が供給されると共に、可変周期発振器１２からクロックＣＬＫが供給される。出力電圧Ｖoutを内部高電圧Ｖppに切り換える時には、切換制御回路１３からオン／オフ信号Ｓ２がハイレベルとされ、可変周期発振器１２からのクロックＣＬＫが与えられる。チャージポンプ回路１１は、オン／オフ信号Ｓ２がハイレベルとなると、可変周期発振器１２からのクロックＣＬＫによりポンピング動作を行い、入力電圧Ｖinとして与えられている電源電圧を昇圧し、内部高電圧を出力電圧Ｖout として出力する。

【００２５】切換制御回路１３には、入力端子１７から、スタート／ストップ信号Ｓ１が供給される。チャージポンプ回路１１の出力電圧Ｖout を内部高電圧Ｖppに切り換えるときには、このスタート／ストップ信号Ｓ１がローレベルからハイレベルに切り換えられる。切換制御回路１３は、入力端子１７からの信号Ｓ１がローレベルからハイレベルに切り換えられると、オン／オフ信号Ｓ２をハイレベルに設定すると共に、可変周期発振器１２の発振動作を制御するためのオン／オフ信号Ｓ３をハイレベルに設定する。これと共に、切換制御回路１３は、単パルス発生回路１４をトリガするトリガ信号Ｓ４を出力する。

【００２６】単パルス発生回路１４には、単パルス発生回路１４からのトリガ信号Ｓ４が供給される。単パルス発生回路１４は、このトリガ信号を受け取ると、所定時間ハイレベルとなる単パルス信号Ｓ５を出力する。この単パルス信号Ｓ５が可変周期発振器１２に供給される。

【００２７】可変周期発振器１２には、切換制御回路１３からオン／オフ信号Ｓ３が供給されると共に、単パルス発生回路１４から単パルス信号Ｓ５が供給される。可変周期発振器１２は、切換制御回路１３からオン／オフ信号Ｓ３がハイレベルとなると、発振動作を開始する。また、可変周期発振器１２は、信号Ｓ５がハイレベルのときには短周期のクロックを出力し、信号Ｓ５がローレベルになると、長周期のクロックを出力する。

Sandisk Technologies, Inc. - Ex. 1002, Page 001059

【００２８】上述のように、チャージポンプ回路１１からの出力電圧Vout を内部高電圧電源電圧Vppに切り換える際には、入力端子１７へのスタート／ストップ信号Ｓ１がローレベルからハイレベルに切り換えられる。スタート／ストップ信号Ｓ１が切り換えられると、オン／オフ信号Ｓ２がハイレベルに設定されると共に、可変周期発振器１２の発振動作を制御するためのオン／オフ信号Ｓ３をハイレベルに設定され、可変周期発振器１２からのクロックＣＬＫがチャージポンプ回路１１に与えられ、チャージポンプ回路１１のポンピング動作が開始され、チャージポンプ回路１１からの出力電圧Vout が内部高電圧Vppに切り換られる。このとき、切り換え時の開始時には、単パルス発生回路１４からの単パルス信号Ｓ５が所定時間ハイレベルとなり、チャージポンプ回路１１に周期の短いクロックが与えられる。所定時間経過すると、信号Ｓ５がローレベルとなり、チャージポンプ回路１１に周期の長いクロックが与えられるようになる。

【００２９】このように、チャージポンプ回路１１からの出力電圧Vout を内部高電圧Vppに切り換えると、切り換えの直後では、短周期のクロックがチャージポンプ回路１１に供給され、所定の時間経過すると、長周期のクロックがチャージポンプ回路１１に供給されるようになる。チャージポンプ型のレヘル変換回路では、電圧の切り替え時には、素早く昇圧を行なうために、短周期のクロックが必要とされるが、出力電圧が安定した後では、リーク電流を補償するクロック周期で十分である。切り換えの直後では、短周期のクロックをチャージポンプ回路１１に供給して素早く所望の電圧に昇圧し、所定時間経過した後には、長周期のクロックをチャージポンプ回路１１に供給することにより、素早く電圧が切り換えられると共に、消費電力の低減が図れる。

【００３０】図５は、電圧を切り換えたときの各部の信号の変化を示すものである。図５において、時点ｔ１で、入力端子１７にスタート／ストップ信号Ｓ１（図５Ａ）がローレベルからハイレベルに切り換えられると、可変周期発振器１２へのオン／オフ信号Ｓ３がハイレベルとなり、図５Ｃに示すように、可変周期発振器１２の発振動作が開始される。また、スタート／ストップ信号Ｓ１がローレベルからハイレベルに切り換えられると、切換制御回路１３からトリガ信号Ｓ４が発生され、単パルス発生回路１４からは、時点ｔ１から時点ｔ２までの所定時間Ta でハイレベルとなるパルス信号Ｓ５（図５Ｂ）が出力される。

【００３１】このパルス信号Ｓ５がハイレベルとなる時点ｔ１から時点ｔ２の間では、図５Ｃに示すように、可変周期発振器１２からは、短周期のクロックＣＬＫが出力される。この短周期のクロックにより、チャージポンプ回路１１が駆動され、図５Ｄに示すように、チャージポンプ回路１１の出力電圧Vout が急速にVinまで上昇していく。

【００３２】時点ｔ１から所定時短Ta だけ経過した時点ｔ２では、図５Ｂに示すように、単パルス発生回路１４からの信号Ｓ５がローレベルになる。単パルス発生回路１４からの信号Ｓ５がローレベルになると、図５Ｃに示すように、可変周期発振回路１２からは、長周期のクロックＣＬＫが出力されるようになる。この長周期のクロックにより、チャージポンプ回路１１が駆動される。このとき、図５Ｄに示すように、チャージポンプ回路１１の出力電圧Vout は入力電圧Vinと等しく安定しているため、長周期のクロックで所望の電圧を保持することができる。

【００３３】時点ｔ３で、スタート／ストップ信号Ｓ１がハイレベルからローレベルに切り換えられると、可変周期発振器１２へのオン／オフ信号Ｓ３がローレベルとなり、図５Ｃに示すように、クロックＣＬＫが止められ、昇圧電圧が放電される。そして、図５Ｄに示すように、チャージポンプ回路１１の出力電圧Vout は外部放電により下降する。

【００３４】図６は、上述のチャーシポンプ回路１１の具体的な構成を示すものである。図６において、ＮＭＯＳトランジスタＴ１１及びＴ１２のドレインは、入力電圧Vinの供給ラインに接続される。ＮＭＯＳトランジスタＴ１１及びＴ１２のゲートが共通接続され、この接続点がＮＭＯＳトランジスタＴ１４のソースに接続されると共に、ＮＭＯＳトランジスタＴ１５のソースに接続される。

【００３５】ＮＭＯＳトランジスタＴ１１のソースは、出力電圧Vout の供給ラインに接続される。ＮＭＯＳトランジスタＴ１２のソースは、コンデンサＣ１１の一端に接続されると共に、ＮＭＯＳトランジスタＴ１４のゲート及びドレインに接続される。

【００３６】コンデンサＣ１１の他端は、ＮＡＮＤゲートＧ１１の出力端子に接続される。ＮＡＮＤゲートＧ１１の一方の入力端子は、クロック入力端子２２が接続される。ＮＡＮＤゲートＧ１１の他方の入力端子は、オン／オフ信号の入力端子２１に接続される。

【００３７】ＮＭＯＳトランジスタ１５のゲートには、電源電圧Vccが供給される。ＮＭＯＳトランジスタ１５のドレインは、オン／オフ信号の入力端子２１に接続される。

【００３８】入力端子２１からのオン／オフ信号がローレベル（０Ｖ）のときには、入力電圧Vinの供給状態に関係なく、ＮＭＯＳトランジスタＴ１１はオフし、開放状態となっている。

【００３９】出力電圧Vout を内部高電圧Vinに設定するときには、入力端子２１からのオン／オフ信号がハイレベル（Vcc）に設定される。入力端子２１にハイレベルの信号が入力されると、ＮＡＮＤゲートＧ１１が動作し、クロック入力端子２２からのクロックが反転され

て、チャージポンプコンデンサＣ１１に供給される。
【００４０】ＮＡＮＤゲートＧ１１からのクロックがローレベルのときには、ＮＭＯＳトランジスタＴ１１及びＴ１２のゲート電圧（Ｖｂ ＝Ｖｃｃ－Ｖｔｈ）に基づいて、内部高電圧Ｖｉｎからコンデンサ Ｃ１１に電荷が蓄積される。
【００４１】ＮＡＮＤゲートＧ１１からのクロックがハイレベルになると、コンデンサＣ１１の端子電圧は、クロック電圧分（電源電圧Ｖｃｃ）だけ持ち上げられる。ＮＭＯＳトランジスタＴ１４はダイオード接続とされているため、コンデンサＣ１１の端子電圧により、ＮＭＯＳトランジスタＴ１１及びＴ１２のゲート電圧Ｖｂ が約電源電圧Ｖｃｃだけ持ち上げられる。このような動作を繰り返していくことにより、ＮＭＯＳトランジスタＴ１１及びＴ１２のゲート電圧Ｖｂ が上昇し、出力電圧Ｖｏｕｔ が上昇する。
【００４２】このように、ＮＡＮＤゲートＧ１１からのクロックにより、ＮＭＯＳトランジスタＴ１１及びＴ１２のゲート電圧Ｖｂ は、電源電圧Ｖｃｃで昇圧されていく。ＮＭＯＳトランジスタＴ１１のゲート電圧が電圧（Ｖｉｎ＋Ｖｔｈ）を越えれば、ＮＭＯＳトランジスタＴ１１が十分な導通状態となり、（Ｖｏｕｔ ＝Ｖｉｎ）となる。
【００４３】入力端子２１からのオン／オフ信号がローレベルになると、コンデンサＣ１１の電荷は入力端子２１のＯＶ電位により放電され、ＮＭＯＳトランジスタＴ１１及びＴ１２のゲート電圧Ｖｂ は急速に下降し、ＮＭＯＳトランジスタＴ１１はオフし、開放状態となる。
【００４４】クロック入力端子２２には、電圧切り換え時には、短周期のクロックが供給される。このチャージポンプ回路では、クロック毎に電源電圧Ｖｃｃで昇圧していくため、クロックの周期を短くすると、素早く所望の出力電圧を得ることができる。所定時間経過すると、出力電圧は内部高電圧になっているため、長周期のクロックで出力電圧を保持できる。
【００４５】図７は、単パルス発生回路１４の具体的な構成を示すものである。図７において、電源ラインと接地間に、抵抗Ｒ２１及びコンデンサＣ２１の直列接続が設けられ、抵抗Ｒ２１とコンデンサＣ２１との接続点がＮＭＯＳトランジスタＴ２１のドレインに接続されると共に、ＮＯＲゲートＧ２１の一方の入力端子に接続される。ＮＭＯＳトランジスタＴ２１のゲートがインバータＩ２１の出力端子に接続されると共に、ＮＯＲゲートＧ２１の他方の入力端子に接続される。インバータＩ２１の入力端子は、トリガ信号の入力端子３１に接続される。ＮＯＲゲートＧ２１の出力端子は、単パルス出力端子３２に接続される。
【００４６】入力端子３１に与えられる信号がローレベルのときには、インバータＩ２１の出力はハイレベルとなり、トランジスタＴ２１はオンしている。
【００４７】トランジスタＴ２１がオンのときには、抵抗Ｒ２１を介して流れる電流は、トランジスタＴ２１を流れ、コンデンサＣ２１には電荷は蓄積されない。このため、ＮＯＲゲートＧ２１の一方の入力端子には、ローレベルが供給される。
【００４８】この時、インバータＩ２１の出力はハイレベルなので、ＮＯＲゲートＧ２１の出力はローレベルになり、出力端子３２からはローレベルが出力されている。
【００４９】出力端子３２から所定時間ハイレベルとなる単パルス信号を出力させるときには、入力端子３１にトリガ信号が供給される。入力端子３１にトリガ信号が与えられてハイレベルになると、インバータＩ２１の出力はローレベルとなり、ＮＭＯＳトランジスタＴ２１はオフする。
【００５０】ＮＭＯＳトランジスタＴ２１がオフした直後では、コンデンサＣ２１に十分な電荷が蓄積されていないため、抵抗Ｒ２１とコンデンサＣ２１の接続点の電圧はしきい値以下である。このため、ＮＭＯＳトランジスタＴ２１の両方の入力端子には共にローレベルが与えられることになり、ＮＯＲゲートＧ２１の出力がハイレベルに変化する。
【００５１】それから、抵抗Ｒ２１を介して、コンデンサＣ２１に充電電流が流され、コンデンサＣ２１と抵抗Ｒ２１との接続点の電圧が徐々に上昇していく。やがて、コンデンサＣ２１と抵抗Ｒ２１との接続点の電圧がしきい値を越えると、ＮＯＲゲートＧ２１の出力はローレベルに戻る。
【００５２】したがって、入力端子３１にトリガ信号が与えられると、出力端子３２からは、所定時間ハイレベルとなるパルス信号が出力される。このパルス信号のパルス幅は、抵抗Ｒ２１とコンデンサＣ２１の時定数（Ｃ×Ｒ）により決まる。
【００５３】図８は、可変周期発振器１２の具体的な構成を示すものである。図８において、ＮＯＲゲートＧ３１の出力端子がＮＯＲゲートＧ３２の一方の入力端子に接続されると共に、ＮＭＯＳトランジスタＴ３２のゲートに接続される。
【００５４】ＮＯＲゲートＧ３２の出力端子がＮＯＲゲートＧ３１の一方の入力端子に接続されると共に、ＮＭＯＳトランジスタＴ３１のゲートに接続される。また、ＮＯＲゲートＧ３１の出力端子は、クロック出力端子４２に接続される。
【００５５】電源ラインと接地間に、抵抗Ｒ３１とコンデンサＣ３１の直列接続が設けられる。抵抗Ｒ３１とコンデンサＣ３１の接続点がトランジスタＴ３１のドレインに接続されると共に、ＮＯＲゲートＧ３１の他方の入力端子に接続される。ＮＭＯＳトランジスタＴ３１のソースが接地される。
【００５６】また、電源ラインと接地間に、抵抗Ｒ３２とコンデンサＣ３２の直列接続が設けられる。抵抗Ｒ３

２とコンデンサＣ３２の接続点がトランジスタＴ３２のドレインに接続されると共に、ＮＯＲゲートＧ３２の他方の入力端子に接続される。ＮＭＯＳトランジスタＴ３２のソースが接地される。

【００５７】また、ＮＯＲゲートＧ３２の他方の入力端子と接地間に、ＮＭＯＳトランジスタＴ３３とコンデンサＣ３３の直列接続が接続されると共に、ＮＭＯＳトランジスタＴ３４が接続される。ＮＭＯＳトランジスタＴ３３のゲートは、長周期のクロックに設定するための信号の入力端子４４に接続される。ＮＭＯＳトランジスタＴ３４のゲートは、クロックを停止させるための信号の入力端子４３に接続される。

【００５８】今、ＮＯＲゲートＧ３１の出力がハイレベルであり、ＮＯＲゲートＧ３２の出力がローレベルであるとする。

【００５９】ＮＯＲゲートＧ３１の出力がハイレベルのときには、ＮＯＲゲートＧ３２の一方の入力端子はハイレベルとなり、トランジスタＴ３２のゲートには、ハイレベルが与えられる。

【００６０】トランジスタＴ３２のゲートにハイレベルが与えられると、トランジスタＴ３２はオンする。トランジスタＴ３２がオンすると、コンデンサＣ３２と抵抗Ｒ３２との接続点の電圧はローレベルとなり、ＮＯＲゲートＧ３２の他方の入力端子はローレベルとなる。ＮＯＲゲートＧ３２の一方の入力端子はハイレベルであり、ＮＯＲゲートＧ３２の他方の入力端子はローレベルなので、ＮＯＲゲートＧ３２の出力は、ローレベルである。

【００６１】一方、ＮＯＲゲートＧ３２の出力がローレベルのときには、ＮＯＲゲートＧ３１の一方の入力端子はローレベルとなり、トランジスタＴ３１のゲートには、ローレベルが与えられる。トランジスタＴ３１のゲートにローレベルが与えられると、トランジスタＴ３１はオフする。

【００６２】トランジスタＴ３１がオフした直後では、コンデンサＣ３１に十分な電荷が蓄積されていないため、コンデンサＣ３１と抵抗Ｒ３１との接続点の電圧はしきい値以下である。このため、ＮＯＲゲートＧ１１の両方の入力端子にはローレベルが供給されることになり、ＮＯＲゲートＧ３１の出力は、ハイレベルである。

【００６３】やがて、抵抗Ｒ３１を介して、コンデンサＣ３１に充電電流が流れ、コンデンサＣ３１に電荷が充電される。これにより、コンデンサＣ３１と抵抗Ｒ３１との接続点の電圧は上昇していく。コンデンサＣ３１と抵抗Ｒ３１との接続点の電圧がしきい値を越えると、ＮＯＲゲートＧ３１の出力はローレベルになる。

【００６４】ＮＯＲゲートＧ３１の出力がローレベルになると、ＮＯＲゲートＧ３２の出力はハイレベルに反転する。

【００６５】このように、ＮＯＲゲートＧ３１の出力がハイレベルで、ＮＯＲゲートＧ３２の出力がローレベルのときには、コンデンサＣ３１と抵抗Ｒ３１とにより決まる時定数により、所定時間後に、ＮＯＲゲートＧ３１の出力がローレベル、ＮＯＲゲートＧ３２の出力がハイレベルに反転する。

【００６６】ＮＯＲゲートＧ３１の出力がローレベル、ＮＯＲゲートＧ３２の出力がハイレベルに反転してからは、上述と同様の動作により、所定時間経過後に、ＮＯＲゲートＧ３１の出力がハイレベルで、ＮＯＲゲートＧ３２の出力がローレベルに反転する。このときには、ＮＭＯＳトランジスタＴ３３をオフしているときには、コンデンサＣ３２と抵抗Ｒ３１とにより決まる時定数により、出力データが反転する期間が設定される。ＮＭＯＳトランジスタＴ３３をオンすると、コンデンサＣ３２とコンデンサＣ３３とが並列に接続され、コンデンサＣ３２及びＣ３３と、抵抗Ｒ３１とにより決まる時定数により、出力データが反転する期間が設定され、発振周波数が長くなる。したがって、入力端子４４に与える信号により、発振信号の周期を設定できる。

【００６７】トランジスタＴ３４をオンさせると、コンデンサＣ３２及びＣ３３に電荷か蓄積されなくなり、発振動作が停止される。したがって、入力端子４３に与える信号により、発振動作のオン／オフが設定できる。

【００６８】なお、上述の例では、ＮＡＮＤ型の半導体メモリのロウデコーダの例を示したが、この発明は、電源電圧をチャージポンプ回路により昇圧するような他の回路でも同様に適用できる。

【００６９】

【発明の効果】この発明によれば、チャージポンプ回路から内部高電圧Ｖppが出力されるように切り換える際に、切り換え時から所定時間では、周期の短いクロックがクロック発生回路からチャージポンプ回路に与えられる。周期の短いクロックを用いることで、チャージポンプ回路は高速で動作し、所望の内部高電圧Ｖppに素早く切り換えられる。そして、切り換え時から所定時間経過したら、周期の長いクロックがクロック発生回路からチャージポンプ回路に与えられる。チャージポンプ回路では、所定の電圧を維持する間では、高速のクロックは不要である。通常、電圧変換時間に比較して、電圧を維持する時間が長いため、切り換え時から所定時間経過したら、周期の長いクロックをクロック発生回路からチャージポンプ回路に与えるようにすることで、消費電力の低減が図れる。

【図面の簡単な説明】

【図１】この発明が適用できる不揮発性半導体メモリのデコーダの一例のブロック図である。

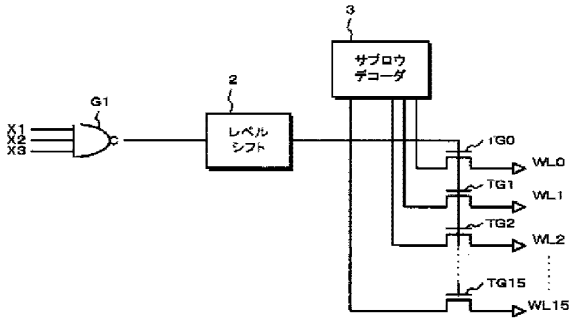
【図２】ＮＡＮＤストリングの説明に用いる接続図である。

【図３】メモリセルの説明に用いるブロック図である。

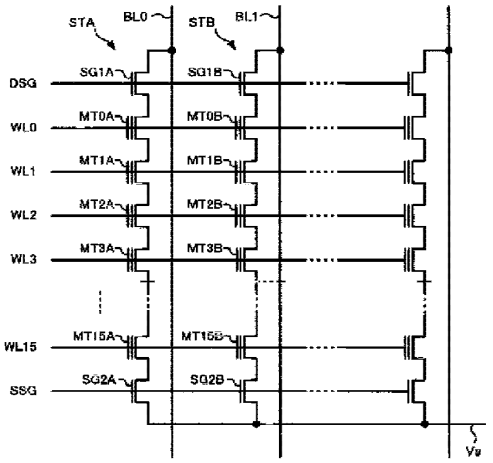
【図４】この発明が適用されたレベル変換回路の一例のブロック図である。

【図５】この発明が適用されたレベル変換回路の一例の説明に用いるタイミング図である。
【図６】この発明が適用されたレベル変換回路におけるチャージポンプ回路の一例の接続図である。
【図７】この発明が適用されたレベル変換回路における単パルス発生回路の一例の接続図である。
【図８】この発明が適用されたレベル変換回路における可変周期発振器の一例の接続図である。
【図９】従来のレベル変換回路の一例の接続図である。
【符号の説明】
２・・・レベル変換回路，１１・・・チャージポンプ回路，１２・・・可変周期発振器，１３・・・切換制御回路，１４・・・単パルス発生回路

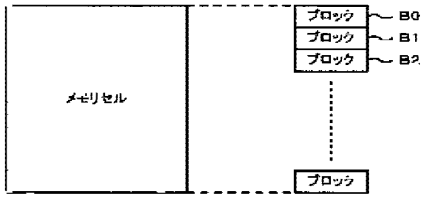
【図１】



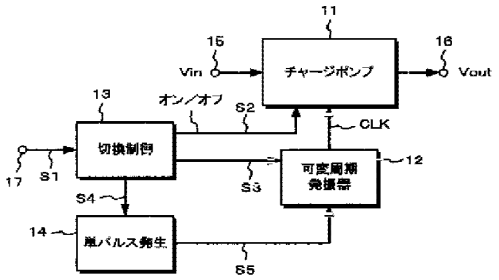
【図２】



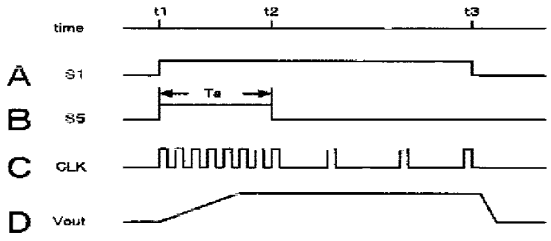
【図３】



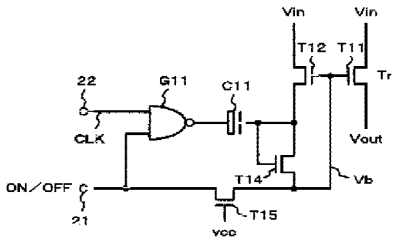
【図４】



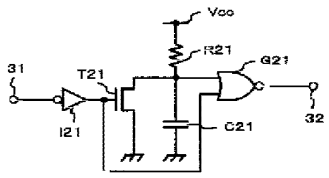
【図５】



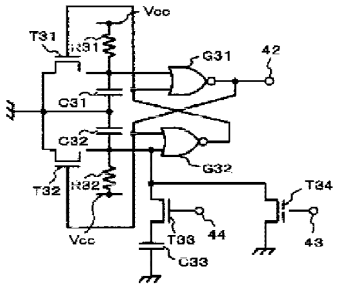
【図６】



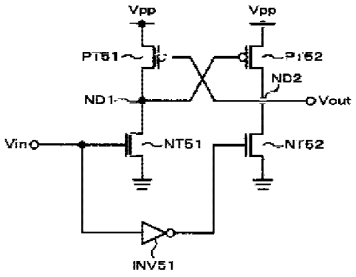
【図7】



【図8】



【図9】



フロントページの続き

Fターム(参考) 5B025 AA03 AB01 AC01 AD02 AD03
AD10 AD15 AE06
5J039 CC03 CC09 CC13 CC17 CC18
KK02 KK05 KK10 KK31 KK34
MM04
5J056 AA11 BB17 CC15 CC16 CC21
CC30 DD27 DD51 EE06 FF07
GG09 KK01

(19) Japanese Patent Office (JP)
(12) Publication of unexamined patent applications (A)
(11) Japanese unexamined patent application number
Japanese Patent Application Publication No.
2000-173287 (P2000-173287A)
(43) Publication Date 23 June 2000

---

(51) Int.Cl.[7]	ID Code	FI		Theme Code (Ref)
G11C 16/06		G11C 17/00	633D	5B025
H03K 5/02		H03K 5/02	L	5J039
19/0185		19/00	101B	5J056

Examination request Not requested
Number of claims 2
OL
(Total 9 pages [in the original])

---

(21) Appn no. Patent application H10-345222
(22) Filing date 4 Dec 1998
(71) Applicant 000002185
Sony Corporation
7-35 Kitashinagawa 6-chome,
Shinagawa-ku, Tokyo
(72) Inventor Masafumi ENDO
4-3-1 Toranomon, Minato-ku, Tokyo
Forum Engineering Inc.
(74) Agent 100082762
Patent Attorney Matatomo SUGIURA

contd on final page

Sandisk Technologies, Inc. - Ex. 1002, Page 001065

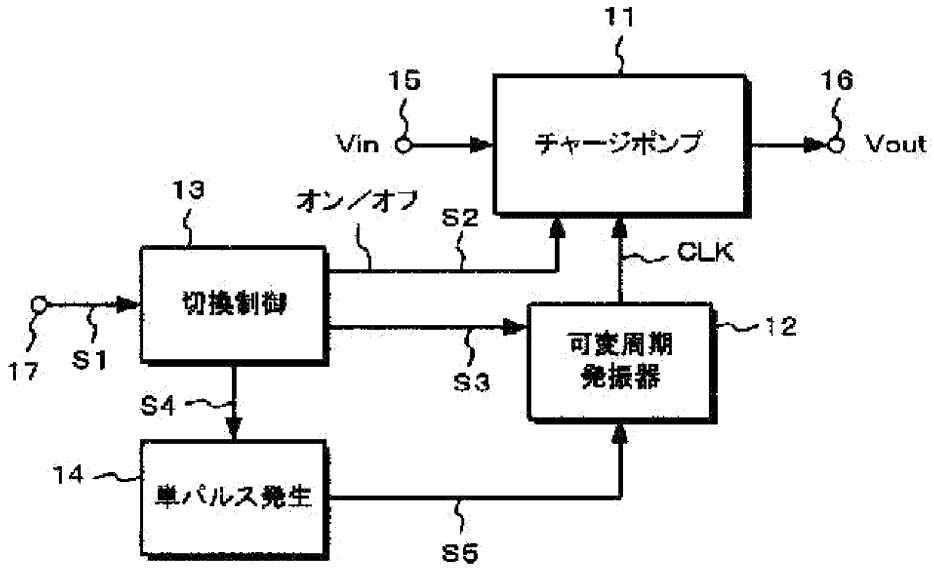
(54) Title of the invention Level converting circuit, and non-volatile memory row decoder

(57) [Abstract]

[Problem] To provide a level converting circuit which is capable of switching an output voltage at high speed, and with which a reduction in power consumption can be achieved, and a non-volatile memory row decoder employing such a level converting circuit.

[Means of overcoming the problem] This level converting circuit is provided with a charge pump circuit 11 for voltage switching, a variable cycle oscillator 12 which supplies a clock to the charge pump circuit 11, a switching control circuit which generates a control signal for switching an output voltage of the charge pump circuit 11, and a single pulse generating circuit 14 which generates a single pulse signal for switching the cycle of the clock from the variable cycle oscillator, wherein, when switching is being performed such that an internal high voltage Vpp is output, a short-cycle clock is applied to the charge pump circuit 11 from the variable cycle oscillator 12 during a prescribed period of time from the switching time, and when the prescribed period of time has elapsed, a long-cycle clock is applied to the charge pump circuit 11 from the variable cycle oscillator 12. As a result, the output voltage can be switched at high speed, and a reduction in power consumption can be achieved.

Sandisk Technologies, Inc. - Ex. 1002, Page 001066



Number	Source	Translation
11	チャージポンプ	Charge pump
12	可変周期発振器	Variable cycle oscillator
13	切換制御	Switching control
14	単パルス発生	Single pulse generation
S2	オン/オフ	On/off

[Scope of the patent claims]

[Claim 1] Level converting circuit provided with: a charge pump means for boosting an input signal having a first power supply voltage to a second power supply voltage higher than the first power supply voltage, and outputting the same;

a clock generating means for forming a first clock having a short cycle, and a second clock having a longer cycle than the first clock, and selectively applying the short-cycle first clock or the long-cycle second clock to the charge pump means; and

a control means for performing control such that, when switching is being performed such that the second power supply voltage is output from the charge pump means, the short-cycle first clock is applied to the charge pump means from the clock generating means during a prescribed period of time from the switching time, and when the prescribed period of time has elapsed, the long-cycle second clock is applied to the charge pump means from the clock generating means.

[Claim 2] Non-volatile memory row decoder comprising NAND strings in which a plurality of memory cell transistors are connected in series, wherein blocks are configured by connecting common word lines to the gates of mutually corresponding memory cell transistors among a plurality of the NAND strings, and a plurality of the blocks are arranged in a memory cell array, provided with

a block selecting means for selecting a desired block from among the plurality of blocks arranged in the memory cell array, and

a level converting means for converting the level of an output voltage of the block selecting means, and wherein

the level converting means is provided with:

a charge pump means for boosting an input signal having a first power supply voltage to a second power supply voltage higher than the first power supply voltage, and outputting the same;

Sandisk Technologies, Inc. - Ex. 1002, Page 001068

a clock generating means for forming a first clock having a short cycle, and a second clock having a longer cycle than the first clock, and selectively applying the short-cycle first clock and the long-cycle second clock to the charge pump means; and

a control means for performing control such that, when switching is being performed such that the second power supply voltage is output from the charge pump means, the short-cycle first clock is applied to the charge pump means from the clock generating means during a prescribed period of time from the switching time, and when the prescribed period of time has elapsed, the long-cycle second clock is applied to the charge pump means from the clock generating means.

[Detailed description of the invention]

[0001]

[Technical field of the invention] The present invention relates to a row decoder for non-volatile memory having a NAND type configuration, and a level converting circuit suitable to be used to supply a word line voltage in non-volatile memory having a NAND type configuration.

[0002]

[Prior art] There is a known flash memory comprising NAND strings in which a plurality of memory cell transistors are connected in series. In such a NAND type flash memory, a voltage of approximately 20 V must be applied to the word line during writing. A main row decoder of such a flash memory is therefore provided with a level converting circuit which converts a power supply voltage Vcc into an internal high voltage Vpp of approximately 20 V.

[0003] As such a level converting circuit, it is conceivable to employ a level converting circuit having a CMOS flip-flop configuration, as illustrated in Figure 9.

[0004] In Figure 9, a PMOS transistor PT51 and an NMOS transistor NT51 are connected in series between the

Sandisk Technologies, Inc. - Ex. 1002, Page 001069

internal high voltage Vpp and ground. Further, a PMOS transistor PT52 and an NMOS transistor NT52 are also connected in series between the internal high voltage Vpp and ground. The gate of the PMOS transistor PT51 is connected to a connecting point between the PMOS transistor PT52 and the NMOS transistor NT52. The gate of the PMOS transistor PT52 is connected to a connecting point between the PMOS transistor PT51 and the NMOS transistor NT51. The gate of the NMOS transistor NT51 is connected to a voltage Vin input terminal. The gate of the NMOS transistor NT52 is connected to the voltage Vin input terminal via an inverter INV51. An output voltage Vout terminal leads out from the connecting point between the PMOS transistor PT52 and the NMOS transistor NT52.

[0005] With a level converting circuit having a flip-flop configuration such as that illustrated in Figure 9, an input voltage that is the power supply voltage Vcc is applied as the input voltage Vin. The input voltage Vin is supplied to the gate of the NMOS transistor NT51, and is also inverted by the inverter INV51 and supplied to the gate of the NMOS transistor NT52.

[0006] When the input voltage Vin, being the power supply voltage Vcc, is applied to the gate of the NMOS transistor NT51, the NMOS transistor NT51 is in the ON state, and the NMOS transistor NT52 is in the OFF state. When the NMOS transistor NT51 is in the ON state, a node ND1 is at a low level. When the node ND1 is at the low level, the PMOS transistor PT52 is in the ON state. When the PMOS transistor PT52 is in the ON state and the NMOS transistor NT52 is in the OFF state, the PMOS transistor PT51 is in the OFF state. As a result, an output node ND2 is pulled up to the high voltage Vpp. In other words, the input voltage Vin at the Vcc level is converted to a high voltage of approximately 20V and is output as Vout.

Sandisk Technologies, Inc. - Ex. 1002, Page 001070

[0007] In contrast, when 0V is input to the input voltage Vin, the NMOS transistor NT51 is in the OFF state, and the NMOS transistor NT52 is in the ON state. As a result, the output node ND2 is pulled down to the ground level. In other words, the 0V input voltage Vin remains at the ground level and is output as the output voltage Vout.

[0008] Now, the level converting circuit discussed hereinabove must have a CMOS configuration. Furthermore, since the output voltage must be approximately 20V, a high withstand voltage configuration is required. Realising such a CMOS circuit having a high withstand voltage configuration involves an increase in the number of processing steps and the number of masks, leading to an increase in cost. It has therefore been proposed to use a charge pump type level converting circuit that can be realised using an NMOS configuration, in the main row decoder of a flash memory having a NAND type configuration.

[0009]

[Problems to be resolved by the invention] In a charge pump type level converting circuit, the input voltage is accumulated in a capacitor, and a pumping operation is performed by means of a clock to boost the voltage. Therefore, in order to convert a selected word line voltage quickly to the desired internal high voltage Vpp, it is more advantageous to apply a short-cycle clock to a charge pump type booster circuit. However, the shorter the clock cycle, the faster the clock oscillator must be operated, and the greater the power consumption. Thus, if a charge pump type level converting circuit is employed, there are contradictory problems in that increasing the speed of the boosting operation increases the power consumption, and decreasing the power consumption reduces the operation speed.

[0010] The objective of the present invention is therefore to provide a level converting circuit which

Sandisk Technologies, Inc. - Ex. 1002, Page 001071

is capable of switching an output voltage at high speed, and with which a reduction in power consumption can be achieved, and a non-volatile memory row decoder employing such a level converting circuit.

[0011]

[Means of overcoming the problem] The invention according to Claim 1 provides a level converting circuit provided with: a charge pump means for boosting an input signal having a first power supply voltage to a second power supply voltage higher than the first power supply voltage, and outputting the same; a clock generating means for forming a first clock having a short cycle, and a second clock having a longer cycle than the first clock, and selectively applying the short-cycle first clock or the long-cycle second clock to the charge pump means; and a control means for performing control such that, when switching is being performed such that the second power supply voltage is output from the charge pump means, the short-cycle first clock is applied to the charge pump means from the clock generating means during a prescribed period of time from the switching time, and when the prescribed period of time has elapsed, the long-cycle second clock is applied to the charge pump means from the clock generating means.

[0012] The invention according to Claim 2 provides a non-volatile memory row decoder comprising NAND strings in which a plurality of memory cell transistors are connected in series, wherein blocks are configured by connecting common word lines to the gates of mutually corresponding memory cell transistors among a plurality of the NAND strings, and a plurality of the blocks are arranged in a memory cell array, provided with a block selecting means for selecting a desired block from among the plurality of blocks arranged in the memory cell array, and a level converting means for converting the level of an output voltage of the block selecting means, and wherein the level converting means is

Sandisk Technologies, Inc. - Ex. 1002, Page 001072

provided with: a charge pump means for boosting an input signal having a first power supply voltage to a second power supply voltage higher than the first power supply voltage, and outputting the same; a clock generating means for forming a first clock having a short cycle, and a second clock having a longer cycle than the first clock, and selectively applying the short-cycle first clock and the long-cycle second clock to the charge pump means; and a control means for performing control such that, when switching is being performed such that the second power supply voltage is output from the charge pump means, the short-cycle first clock is applied to the charge pump means from the clock generating means during a prescribed period of time from the switching time, and when the prescribed period of time has elapsed, the long-cycle second clock is applied to the charge pump means from the clock generating means.

[0013] When switching is being performed such that the internal high voltage Vpp is output from the charge pump circuit, the short-cycle clock is applied to the charge pump circuit from a clock generating circuit during a prescribed period of time from the switching time. By employing the short-cycle clock, the charge pump circuit operates at high speed, and can quickly switch to the desired internal high voltage Vpp.

[0014] Further, when the prescribed period of time has elapsed after the switching time, the long-cycle clock is applied from the clock generating circuit to the charge pump circuit. In the charge pump circuit, the high speed clock is not required while the prescribed voltage is being maintained. In this way, by applying the long-cycle clock to the charge pump circuit from the clock generating circuit when the prescribed period of time has elapsed after the switching time, a decrease in power consumption can be achieved.

[0015]

Sandisk Technologies, Inc. - Ex. 1002, Page 001073

[Modes of embodying the invention] An embodiment of the present invention will now be described with reference to the drawings. Figure 1 illustrates an example of a main row decoder of a NAND type flash memory to which the present invention can be applied. In Figure 1, a NAND gate G1 selects a desired block from among a plurality of blocks arranged in a memory cell array. In the selected block, input signals X1, X2, and X3 to the NAND gate G1 are all set to a high level.

[0016] The output of the NAND gate G1 is supplied to a level shifting circuit 2. As described in detail hereinafter, the level shifting circuit 2 has a charge pump type configuration, and is configured to operate using a short-cycle clock when switching to the internal high voltage Vpp, and to operate using a long-cycle clock after a prescribed period of time has elapsed. Causing operation to occur using the short-cycle clock when the voltage is being switched, and causing operation to occur using the long-cycle clock after a prescribed period of time has elapsed, in this way, allows switching to be performed at high speed, and enables a reduction in power consumption to be achieved. The level shifting circuit 2 converts the input voltage at the level of the power supply voltage Vcc to the level of the internal high voltage Vpp. The output of the level shifting circuit 2 is supplied to the gates of NMOS transistors TG0 to TG15 constituting transfer gates.

[0017] A sub-row decoder 3 selects a desired word line to which the word line voltage is to be supplied, from among a plurality of word lines. Control signals are output from the sub-row decoder 3 to word lines WL0 to WL15. The outputs of the sub-row decoder 3 are supplied to the drains of the NMOS transistors TG0 to TG15.

[0018] The sources of the NMOS transistors TG0 to TG15 are connected respectively to the word lines WL0 to WL15. The word lines WL0 to WL15 are connected to the

gates of memory cell transistors constituting the memory cells of the NAND type flash memory.

[0019] The memory cell array of the NAND type flash memory is configured as illustrated in Figure 2. In Figure 2, transistors MT0A to MT15A, MT0B to MT15B, ... are memory cell transistors having a floating gate. For example, the 16 memory cell transistors MT0A to MT15A, MT0B to MT15B, ... are connected in series. Furthermore, selection gate transistors SG1A, SG1B, ... are respectively connected in series with the series connected drain sides of the memory cell transistors MT0A to MT15A, MT0B to MT15B, ..., and selection gate transistors SG2A, SG2B, ... are respectively connected in series with the series connected source sides thereof. In this way, NAND strings STA, STB, ... having 16 memory cells, for example, are configured.

[0020] The drains of the selection gate transistors SG1A, SG1B, ... on the drain side are connected respectively to bit lines BL0, BL1, ... The sources of the selection gate transistors SG2A, SG2B, ... on the source side are each connected to a source line Vs.

[0021] The NAND strings STA, STB, ... are arranged side by side, and the gates of the corresponding selection gate transistors and the gates of the corresponding memory cell transistors are connected in common. In the example in Figure 2, the gates of the selection gates SG1A, SG1B, ... of the NAND strings STA, STB, ... are connected to a common selection signal supply line DSG. The gates of the memory cell transistors MT0A to MT15A, MT0B to MT15B, ... are connected respectively to the common word lines WL0, WL12, ..., WL15. The gates of the selection gates SG2A, SG2B, ... are connected to a common selection signal supply line SSG. In this way, a block is configured by connecting the mutually corresponding selection gate transistors and memory cell transistors.

Sandisk Technologies, Inc. - Ex. 1002, Page 001075

[0022] A plurality of such blocks B0, B1, B2, ... are arranged in the memory cell, as illustrated in Figure 3.

[0023] Figure 4 illustrates the configuration of the level shifting circuit 2 in Figure 1. In Figure 4, 11 is a charge pump circuit 11 for voltage switching, 12 is a variable cycle oscillator which supplies a clock to the charge pump circuit 11, 13 is a switching control circuit which generates a control signal for switching an output voltage of the charge pump circuit 11, and 14 is a single pulse generating circuit which generates a single pulse signal for switching the cycle of the clock from the variable cycle oscillator.

[0024] The power supply voltage Vcc is input into the charge pump circuit 11 from an input terminal 15, as the input voltage Vin. The charge pump circuit 11 is supplied with an on/off signal S2 from the switching control circuit 13, and is supplied with a clock CLK from the variable cycle oscillator 12. When the output voltage Vout is to be switched to the internal high voltage Vpp, the on/off signal S2 from the switching control circuit 13 is set to the high level, and the clock CLK is applied from the variable cycle oscillator 12. When the on/off signal S2 reaches the high level, the charge pump circuit 11 performs a pumping operation in accordance with the clock CLK from the variable cycle oscillator 12, boosts the power supply voltage applied as the input voltage Vin, and outputs the internal high voltage as the output voltage Vout.

[0025] A start/stop signal S1 is supplied to the switching control circuit 13 from an input terminal 17. When the output voltage Vout of the charge pump circuit 11 is to be switched to the internal high voltage Vpp, the start/stop signal S1 is switched from the low level to the high level. When the signal S1 from the input terminal 17 is switched from the low level to the high level, the switching control circuit 13 sets the on/off signal S2 to the high level, and sets an on/off signal

Sandisk Technologies, Inc. - Ex. 1002, Page 001076

S3 for controlling the oscillating operation of the variable cycle oscillator 12 to the high level. In conjunction therewith, the switching control circuit 13 outputs a trigger signal S4 to trigger the single pulse generating circuit 14.

[0026] The trigger signal S4 from the switching control circuit 13 is supplied to the single pulse generating circuit 14. Upon accepting the trigger signal, the single pulse generating circuit 14 outputs a single pulse signal S5 which is at a high level for a prescribed period of time. The single pulse signal S5 is supplied to the variable cycle oscillator 12.

[0027] The variable cycle oscillator 12 is supplied with the on/off signal S3 from the switching control circuit 13, and is supplied with the single pulse signal S5 from the single pulse generating circuit 14. When the on/off signal S3 from the switching control circuit 13 reaches the high level, the variable cycle oscillator 12 starts the oscillating operation. Further, the variable cycle oscillator 12 outputs the short-cycle clock when the signal S5 is at the high level, and outputs the long-cycle clock when the signal S5 is at the low level.

[0028] As discussed hereinabove, when the output voltage Vout from the charge pump circuit 11 is to be switched to the internal high voltage power supply voltage Vpp, the start/stop signal S1 to the input terminal 17 is switched from the low level to the high level. When the start/stop signal S1 is switched, the on/off signal S2 is set to the high level, and the on/off signal S3 for controlling the oscillating operation of the variable cycle oscillator 12 is set to the high level, the clock CLK from the variable cycle oscillator 12 is applied to the charge pump circuit 11, the pumping operation of the charge pump circuit 11 starts, and the output voltage Vout from the charge pump circuit 11 is switched to the internal high voltage Vpp. Here, at the switching start time, the

Sandisk Technologies, Inc. - Ex. 1002, Page 001077

single pulse signal S5 from the single pulse generating circuit 14 is at the high level for a prescribed period of time, and the short-cycle clock is applied to the charge pump circuit 11. When the prescribed period of time has elapsed, the signal S5 changes to the low level, and the long-cycle clock is applied to the charge pump circuit 11.

[0029] In this way, when the output voltage Vout from the charge pump circuit 11 is to be switched to the internal high voltage Vpp, the short-cycle clock is supplied to the charge pump circuit 11 immediately after switching, and when the prescribed period of time has elapsed, the long-cycle clock is supplied to the charge pump circuit 11. The charge pump type level converting circuit requires the short-cycle clock to boost the voltage quickly when the voltage is being switched, but after the output voltage has stabilized, it is sufficient to use a clock cycle that compensates for leakage currents. Immediately after switching, the short-cycle clock is supplied to the charge pump circuit 11 to boost the voltage quickly to the desired voltage, and after the prescribed period of time has elapsed, the long-cycle clock is supplied to the charge pump circuit 11, thereby allowing the voltage to be switched quickly and achieving a reduction in power consumption.

[0030] Figure 5 illustrates the changes in each signal when the voltage is switched. In Figure 5, if the start/stop signal S1 (Figure 5A) is switched at the input terminal 17 from the low level to the high level at a time point t1, the on/off signal S3 to the variable cycle oscillator 12 changes to the high level, and the oscillating operation of the variable cycle oscillator 12 starts, as illustrated in Figure 5C. Further, when the start/stop signal S1 is switched from the low level to the high level, the trigger signal S4 is generated from the switching control circuit 13, and the pulse signal S5 (Figure 5B), which is at the high

Sandisk Technologies, Inc. - Ex. 1002, Page 001078

level for a prescribed period of time Ta from the time point t1 to a time point t2, is output from the single pulse generating circuit 14.

[0031] From the time point t1 to the time point t2 during which the pulse signal S5 is at the high level, the short-cycle clock CLK is output from the variable cycle oscillator 12, as illustrated in Figure 5C. The charge pump circuit 11 is driven by the short-cycle clock, and the output voltage Vout of the charge pump circuit 11 rapidly rises to Vin, as illustrated in Figure 5D.

[0032] At the time point t2 after the prescribed period of time Ta has elapsed from the time point t1, the signal S5 from the single pulse generating circuit 14 changes to the low level, as illustrated in Figure 5B. When the signal S5 from the single pulse generating circuit 14 changes to the low level, the long-cycle clock CLK is output from the variable cycle oscillator 12, as illustrated in Figure 5C. The charge pump circuit 11 is driven by the long-cycle clock. At this time, since the output voltage Vout of the charge pump circuit 11 is stabilized in such a way as to be equal to the input voltage Vin, as illustrated in Figure 5D, the desired voltage can be maintained using the long-cycle clock.

[0033] If the start/stop signal S1 is switched from the high level to the low level at a time point t3, the on/off signal S3 to the variable cycle oscillator 12 changes to the low level, the clock CLK is stopped, as illustrated in Figure 5C, and the boosted voltage is discharged. Furthermore, the output voltage Vout of the charge pump circuit 11 drops as a result of external discharge, as illustrated in Figure 5D.

[0034] Figure 6 illustrates the specific configuration of the charge pump circuit 11 discussed hereinabove. In Figure 6, the drains of NMOS transistors T11 and T12 are connected to the input voltage Vin supply line. The gates of the NMOS transistors T11 and T12 are connected

Sandisk Technologies, Inc. - Ex. 1002, Page 001079

in common, and the connecting point thereof is connected to the source of an NMOS transistor T14 and to the source of an NMOS transistor T15.

[0035] The source of the NMOS transistor T11 is connected to the output voltage Vout supply line. The source of the NMOS transistor T12is connected to one end of a capacitor C11, and to the gate and the drain of the NMOS transistor T14.

[0036] The other end of the capacitor C11 is connected to the output terminal of a NAND gate G11. One input terminal of the NAND gate G11 is connected to a clock input terminal 22. The other input terminal of the NAND gate G11 is connected to an input terminal 21 for the on/off signal.

[0037] The power supply voltage Vcc is supplied to the gate of the NMOS transistor 15. The drain of the NMOS transistor 15 is connected to the input terminal 21 for the on/off signal.

[0038] When the on/off signal from the input terminal 21 is at the low level (0 V), the NMOS transistor T11 is off, in an open state, regardless of the supply state of the input voltage Vin.

[0039] When the output voltage Vout is to be set to the internal high voltage Vin, the on/off signal from the input terminal 21 is set to the high level (Vcc). When a high level signal is input into the input terminal 21, the NAND gate G11 operates, and the clock from the clock input terminal 22 is inverted and is supplied to the charge pump capacitor C11.

[0040] When the clock from the NAND gate G11 is at the low level, charge accumulates in the capacitor C11 from the internal high voltage Vin on the basis of the gate voltage (Vb=Vcc-Vth) of the NMOS transistors T11 and T12.

[0041] When the clock from the NAND gate G11 changes to the high level, the terminal voltage of the capacitor C11 is raised by the amount of the clock voltage (power supply voltage Vcc). Since the NMOS transistor T14 is

Sandisk Technologies, Inc. - Ex. 1002, Page 001080

diode-connected, the terminal voltage of the capacitor C11 raises the gate voltage Vb of the NMOS transistors T11 and T12 by approximately the power supply voltage Vcc. By repeating such an operation, the gate voltage Vb of the NMOS transistors T11 and T12 rises, and the output voltage Vout rises.

[0042] In this way, the clock from the NAND gate G11 causes the gate voltage Vb of the NMOS transistors T11 and T12 to be boosted by the power supply voltage Vcc. When the gate voltage of the NMOS transistor T11 exceeds the voltage (Vin+Vth), the NMOS transistor T11 reaches a sufficiently conducting state, and (Vout=Vin).

[0043] When the on/off signal from the input terminal 21 changes to the low level, the charge in the capacitor C11 is discharged by means of the 0 V potential of the input terminal 21, the gate voltage Vb of the NMOS transistors T11 and T12 drops rapidly, and the NMOS transistor T11 turns off and adopts an open state.

[0044] The short-cycle clock is supplied to the clock input terminal 22 during voltage switching. In the charge pump circuit, since the voltage is boosted by the power supply voltage Vcc with each clock, the desired output voltage can be obtained quickly by shortening the clock cycle. Since the output voltage reaches the internal high voltage when the prescribed period of time has elapsed, the output voltage can be maintained using the long-cycle clock.

[0045] Figure 7 illustrates the specific configuration of the single pulse generating circuit 14. In Figure 7, a resistor R21 and a capacitor C21 are connected in series between the power supply line and ground, and a connecting point between the resistor R21 and the capacitor C21 is connected to the drain of an NMOS transistor T21 and to one input terminal of a NOR gate G21. The gate of the NMOS transistor T21 is connected to an output terminal of an inverter I21, and is

Sandisk Technologies, Inc. - Ex. 1002, Page 001081

connected to the other input terminal of the NOR gate G21. The input terminal of the inverter I21 is connected to an input terminal 31 for the trigger signal. The output terminal of the NOR gate G21 is connected to a single pulse output terminal 32.

[0046] When the signal applied to the input terminal 31 is at the low level, the output of the inverter I21 is at the high level and the transistor T21 is on.

[0047] When the transistor T21 is on, the current flowing through the resistor R21 flows through the transistor T21, and charge does not accumulate in the capacitor C21. The low level is thus supplied to one input terminal of the NOR gate G21.

[0048] At this time, since the output of the inverter I21 is at the high level, the output of the NOR gate G21 is at the low level, and a low level is output from the output terminal 32.

[0049] To cause the single pulse signal, which is at the high level for a prescribed period of time, to be output from the output terminal 32, the trigger signal is supplied to the input terminal 31. When the trigger signal is applied to the input terminal 31 and reaches the high level, the output from the inverter I21 changes to the low level, and the NMOS transistor T21 turns off.

[0050] Since a sufficient charge has not accumulated in the capacitor C21 immediately after the NMOS transistor T21 has turned off, the voltage at the connecting point between the resistor R21 and the capacitor C21 is equal to or less than a threshold. A low level is therefore applied to both input terminals of the NOR gate G21, and the output of the NOR gate G21 changes to the high level.

[0051] A charging current then flows through the resistor R21 to the capacitor C21, and the voltage at the connecting point between the capacitor C21 and the resistor R21 gradually increases. Eventually, when the voltage at the connecting point between the capacitor

Sandisk Technologies, Inc. - Ex. 1002, Page 001082

C21 and the resistor R21 exceeds the threshold, the output of the NOR gate G21 returns to the low level.

[0052] Therefore, when the trigger signal is applied to the input terminal 31, a pulse signal that is at the high level for a prescribed period of time is output from the output terminal 32. The pulse width of the pulse signal is determined by a time constant (C×R) of the resistor R21 and the capacitor C21.

[0053] Figure 8 illustrates the specific configuration of the variable cycle oscillator 12. In Figure 8, the output terminal of a NOR gate G31 is connected to one input terminal of a NOR gate G32 and to the gate of an NMOS transistor T32.

[0054] The output terminal of the NOR gate G32 is connected to one input terminal of the NOR gate G31 and to the gate of an NMOS transistor T31. Further, the output terminal of the NOR gate G31 is connected to a clock output terminal 42.

[0055] A resistor R31 and a capacitor C31 are connected in series between the power supply line and ground. The connecting point between the resistor R31 and the capacitor C31 is connected to the drain of the transistor T31 and to the other input terminal of the NOR gate G31. The source of the NMOS transistor T31 is grounded.

[0056] Further, a resistor R32 and a capacitor C32 are connected in series between the power supply line and ground. The connecting point between the resistor R32 and the capacitor C32 is connected to the drain of the transistor T32 and to the other input terminal of the NOR gate G32. The source of the NMOS transistor T32 is grounded.

[0057] Further, between the other input terminal of the NOR gate G32 and ground, an NMOS transistor T33 and a capacitor C33 are connected in series, and an NMOS transistor T34 is also connected. The gate of the NMOS transistor T33 is connected to an input terminal 44 for a signal for setting the long-cycle clock. The gate of

Sandisk Technologies, Inc. - Ex. 1002, Page 001083

the NMOS transistor T34 is connected to an input terminal 43 for a signal for stopping the clock.

[0058] Now, assume that the output of the NOR gate G31 is at the high level, and the output of the NOR gate G32 is at the low level.

[0059] When the output of the NOR gate G31 is at the high level, one input terminal of the NOR gate G32 is at the high level, and a high level is applied to the gate of the transistor T32.

[0060] When a high level is applied to the gate of the transistor T32, the transistor T32 is turned on. If the transistor T32 is turned on, the voltage of the connecting point between the capacitor C32 and the resistor R32 is at the low level, and the other input terminal of the NOR gate G32 is at the low level. Since one terminal of the NOR gate G32 is at the high level and the other input terminal of the NOR gate G32 is at the low level, the output of the NOR gate G32 is at the low level.

[0061] Meanwhile, when the output of the NOR gate G32 is at the low level, one input terminal of the NOR gate G31 is at the low level, and a low level is applied to the gate of the transistor T31. When a low level is applied to the gate of the transistor T31, the transistor T31 is turned on.

[0062] Since a sufficient charge has not accumulated in the capacitor C31 immediately after the transistor T31 has turned off, the voltage at the connecting point between the capacitor C31 and the resistor R31 is equal to or less than a threshold. A low level is therefore supplied to both input terminals of the NOR gate G31, and the output of the NOR gate G31 is at the high level.

[0063] A charging current eventually flows through the resistor R31 to the capacitor C31, and the capacitor C31 is charged with electric charge. As a result, the voltage at the connecting point between the capacitor C31 and the resistor R31 rises. When the voltage at the

Sandisk Technologies, Inc. - Ex. 1002, Page 001084

connecting point between the capacitor C31 and the resistor R31 exceeds the threshold, the output of the NOR gate G31 changes to the low level.

[0064] When the output of the NOR gate G31 changes to the low level, the output of the NOR gate G32 is inverted to the high level.

[0065] In this way, when the output of the NOR gate G31 is at the high level, and the output of the NOR gate G32 is at the low level, the time constant defined by the capacitor C31 and the resistor R31 causes the output of the NOR gate G31 to be inverted to the low level and the output of the NOR gate G32 to be inverted to the high level after a prescribed period of time.

[0066] After the output of the NOR gate G31 has been inverted to the low level and the output of the NOR gate G32 has been inverted to the high level, the same operation as discussed hereinabove causes the output of the NOR gate G31 to be inverted to the high level and the output of the NOR gate G32 to be inverted to the low level after the prescribed period of time has elapsed. At this time, if the NMOS transistor T33 is off, the period with which output data are inverted is set by means of a time constant defined by the capacitor C32 and the resistor R32. If the NMOS transistor T33 is on, the capacitor C32 and the capacitor C33 are connected in parallel, and the period with which the output data are inverted is set by means of a time constant defined by the capacitors C32 and C33 and the resistor R32, and the oscillating frequency becomes longer. The period of the oscillating signal can therefore be set by means of the signal applied to the input terminal 44.

[0067] If the transistor T34 is turned on, charge does not accumulate in the capacitors C32 and C33, and the oscillating operation stops. The oscillating operation can therefore be set to be on or off by means of the signal applied to the input terminal 43.

Sandisk Technologies, Inc. - Ex. 1002, Page 001085

[0068] It should be noted that in the example discussed hereinabove, an example of a row decoder of a NAND type semiconductor memory was presented, but the present invention can also similarly be applied to other circuits that boost a power supply voltage by means of a charge pump circuit.

[0069]

[Effect of the invention] According to the present invention, when switching is being performed such that the internal high voltage Vpp is output from the charge pump circuit, the short-cycle clock is applied to the charge pump circuit from the clock generating circuit during a prescribed period of time from the switching time. By employing the short-cycle clock, the charge pump circuit operates at high speed, and can quickly switch to the desired internal high voltage Vpp. Further, when the prescribed period of time has elapsed after the switching time, the long-cycle clock is applied from the clock generating circuit to the charge pump circuit. In the charge pump circuit, the high speed clock is not required while the prescribed voltage is being maintained. Since the time during which the voltage is maintained is normally longer than the voltage conversion time, by applying the long-cycle clock from the clock generating circuit to the charge pump circuit when the prescribed period of time has elapsed after the switching time, a decrease in power consumption can be achieved.

[Brief description of the drawings]

[Figure 1] is a block diagram of an example of a non-volatile semiconductor memory decoder to which the present invention can be applied.

[Figure 2] is a connection diagram used to describe NAND strings.

[Figure 3] is a block diagram used to describe a memory cell.

Sandisk Technologies, Inc. - Ex. 1002, Page 001086

[Figure 4] is a block diagram of an example of a level converting circuit to which the present invention has been applied.

[Figure 5] is a timing diagram used to describe the example of the level converting circuit to which the present invention has been applied.

[Figure 6] is a connection diagram of an example of the charge pump circuit in the level converting circuit to which the present invention has been applied.

[Figure 7] is a connection diagram of an example of the single pulse generating circuit in the level converting circuit to which the present invention has been applied.

[Figure 8] is a connection diagram of an example of the variable cycle oscillator in the level converting circuit to which the present invention has been applied.

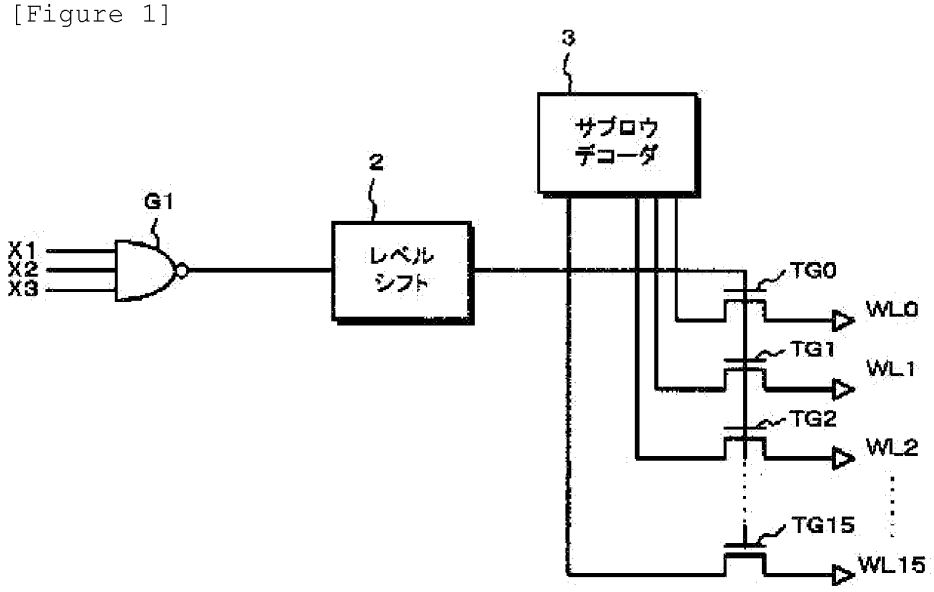
[Figure 9] is a connection diagram of an example of a conventional level converting circuit.

[Explanation of the reference codes]

2 ... level converting circuit, 11 ... charge pump circuit, 12 ... variable cycle oscillator, 13 ... switching control circuit, 14 ... single pulse generating circuit

Sandisk Technologies, Inc. - Ex. 1002, Page 001087

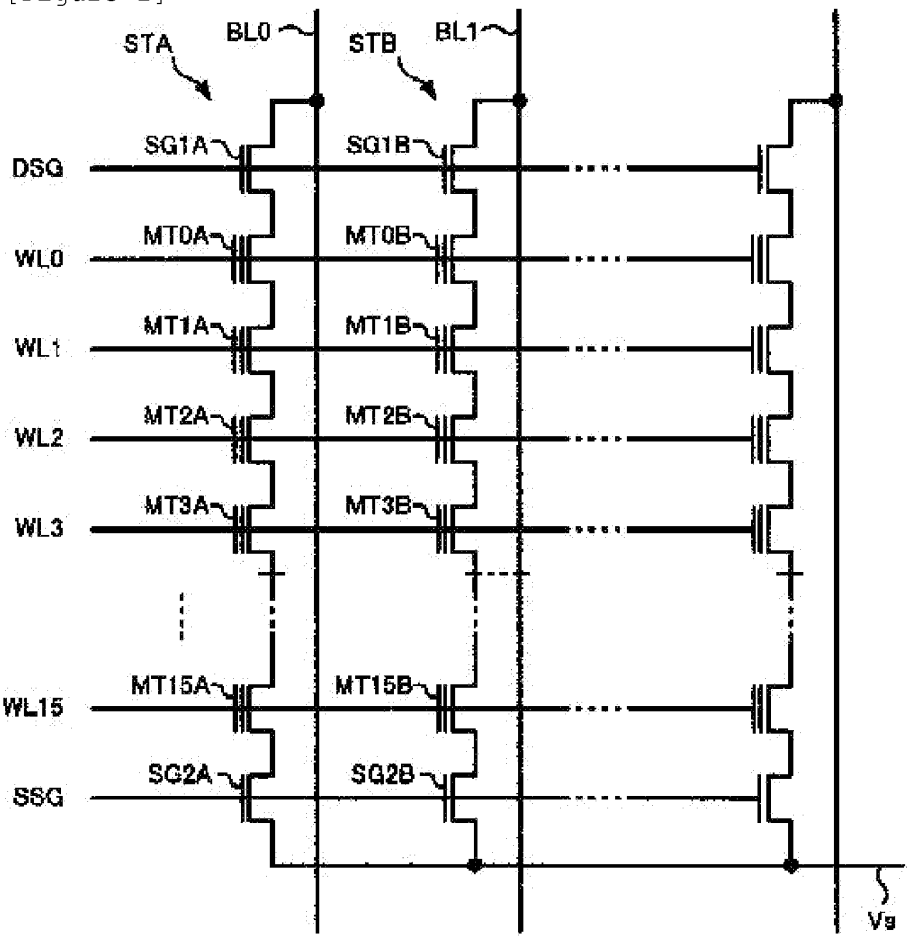
[Figure 1]



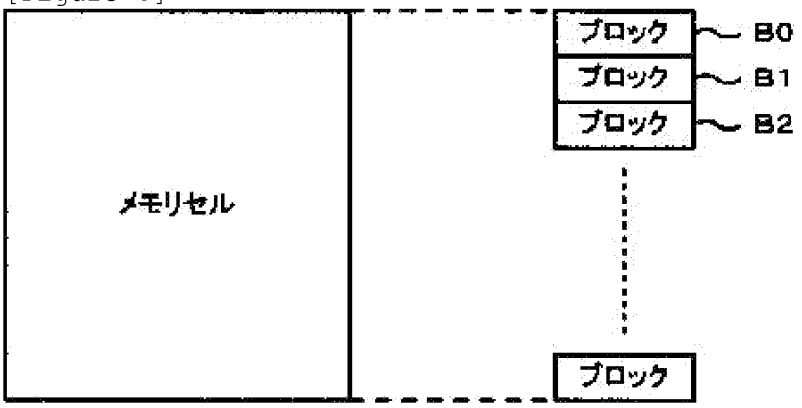
Number	Source	Translation
2	レベルシフト	Level shift
3	サブロウデコーダ	Sub-row decoder

5

[Figure 2]


STA
BL0
STB
BL1
DSG
SG1A
SG1B
WL0
MT0A
MT0B
WL1
MT1A
MT1B
WL2
MT2A
MT2B
WL3
MT3A
MT3B
WL15
MT15A
MT15B
SSG
SG2A
SG2B
Vg

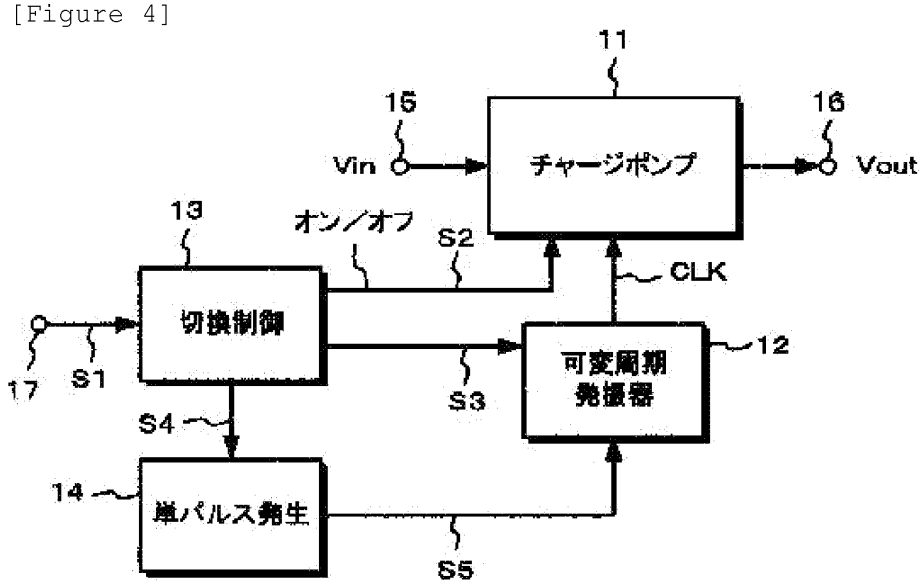
[Figure 3]



Number	Source	Translation
Left	メモリセル	Memory cell
B0, B1 etc.	ブロック	Block

5

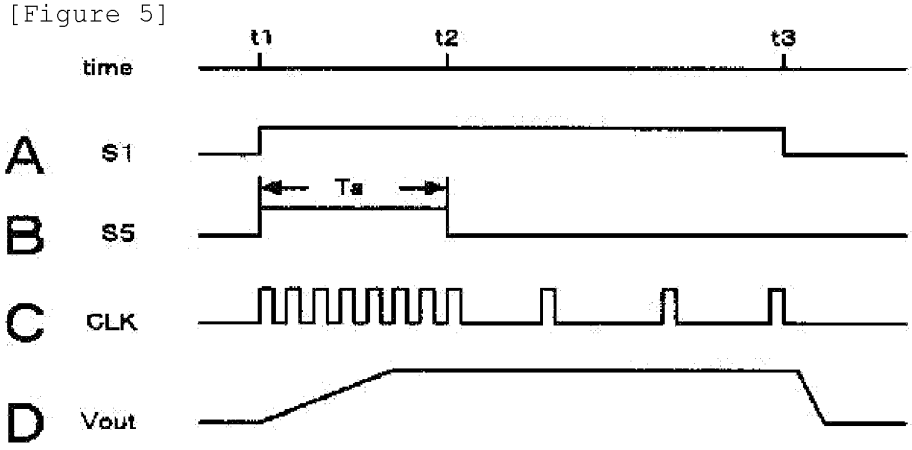
[Figure 4]



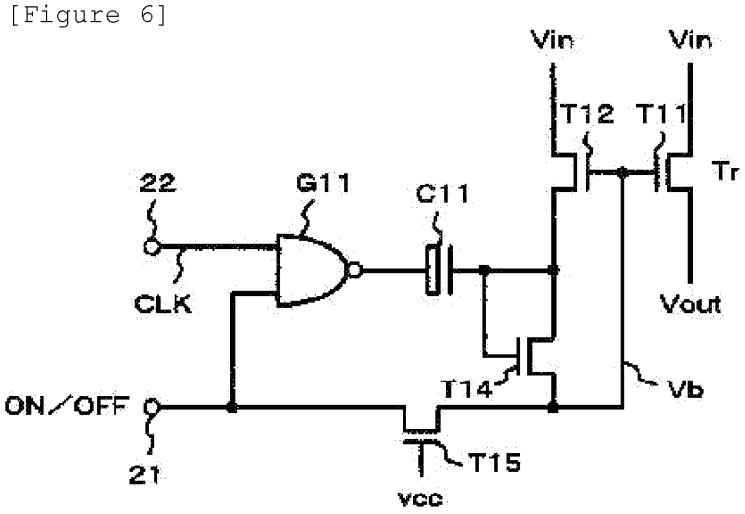
Number	Source	Translation
11	チャージポンプ	Charge pump
12	可変周期発振器	Variable cycle oscillator
13	切換制御	Switching control
14	単パルス発生	Single pulse generation
S2	オン/オフ	On/off

5

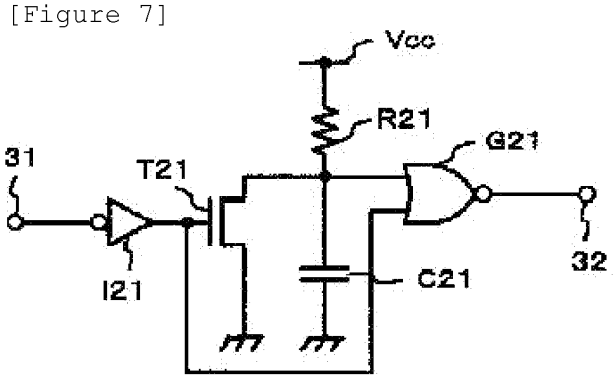
[Figure 5]



[Figure 6]

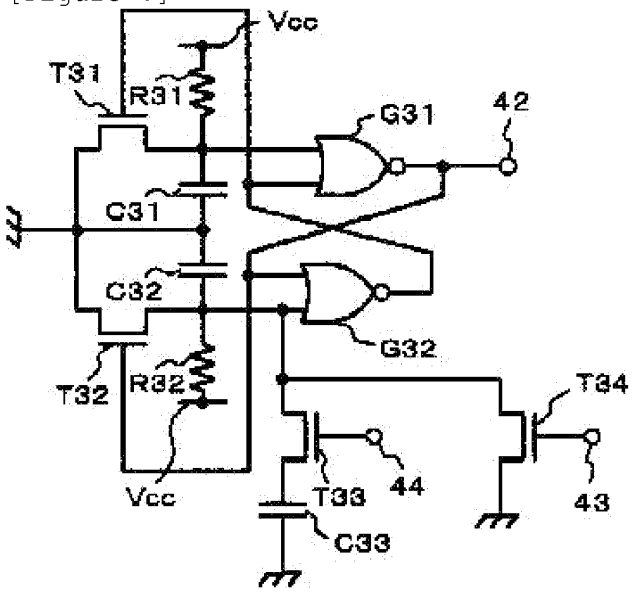


[Figure 7]

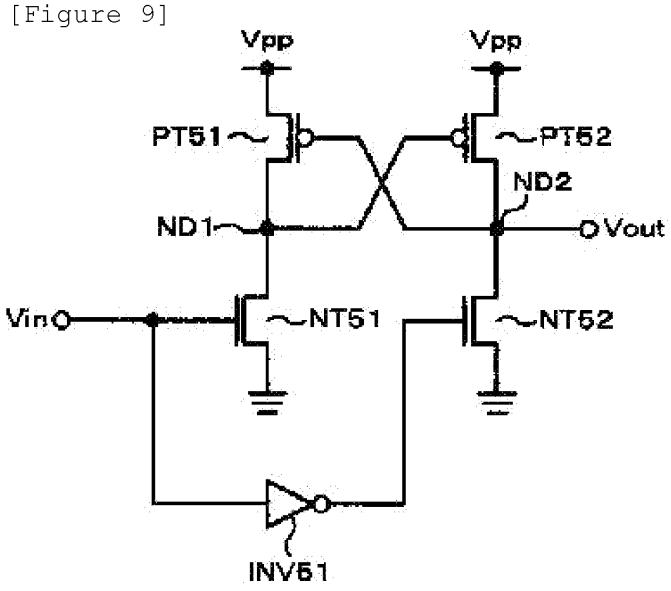


Sandisk Technologies, Inc. - Ex. 1002, Page 001092

[Figure 8]



[Figure 9]



Continued from front page

F terms (Ref) 5B025 AA03 AB01 AC01 AD02 AD03
AD10 AD15 AE06
5J039 CC03 CC09 CC13 CC17 CC18
KK02 KK05 KK10 KK31 KK34
MM04

Sandisk Technologies, Inc. - Ex. 1002, Page 001093

5J056 AA11 BB17 CC15 CC16 CC21
CC30 DD27 DD51 EE06 FF07
GG09 KK01

Sandisk Technologies, Inc. - Ex. 1002, Page 001094

Espacenet

CN104254921A SONOS STACK WITH SPLIT NITRIDE MEMORY LAYER

Applicants: CYPRESS SEMICONDUCTOR CORP

Inventors: JENNE FREDRICK,RAMKUMAR KRISHNASWAMY

Classifications:
IPC ***H01L29/792;***

CPC **B82Y10/00 (EP); H01L27/11582 (EP); H01L29/0673 (EP); H01L29/0676 (EP); H01L29/40117 (EP); H01L29/42348 (EP); H01L29/513 (EP,CN); H01L29/518 (EP,CN); H01L29/66439 (EP); H01L29/66833 (EP,CN); H01L29/775 (EP); H01L29/792 (EP,CN); H01L29/7926 (EP,CN);** H01L29/785 (EP);

Priorities: US201213431069A 2012-03-27; US2013029784W 2013-03-08

Application: CN104254921A·2013-03-08

Publication: CN104254921A·2014-12-31

Published as: CN104254921A;**CN104254921B; EP2831916A1; EP2831916A4; EP3534408A1; JP2015517211A; JP6422430B2; KR102061253B1; KR20140147083A; KR20200003425A; TW201349505A; TW201724527A; TWI581432B; TWI615982B; WO2013148112A1**

SONOS STACK WITH SPLIT NITRIDE MEMORY LAYER

Abstract

Embodiments of a non-planar memory device including a split charge-trapping region and methods of forming the same are described. Generally, the device comprises: a channel formed from a thin film of semiconducting material overlying a surface on a substrate connecting a source and a drain of the memory device; a tunnel oxide overlying the channel; a split charge-trapping region overlying the tunnel oxide, the split charge-trapping region including a bottom charge-trapping layer comprising a nitride closer to the tunnel oxide, and a top charge-trapping layer, wherein the bottom charge-trapping layer is separated from the top charge-trapping layer by a thin anti-tunneling layer comprising an oxide. Other embodiments are also disclosed.

Sandisk Technologies, Inc. - Ex. 1002, Page 001095

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 104254921 A
(43)申请公布日 2014.12.31

(21)申请号 201380016882.4
(22)申请日 2013.03.08
(30)优先权数据
13/431,069 2012.03.27 US
(85)PCT国际申请进入国家阶段日
2014.09.26
(86)PCT国际申请的申请数据
PCT/US2013/029784 2013.03.08
(87)PCT国际申请的公布数据
WO2013/148112 EN 2013.10.03
(71)申请人 赛普拉斯半导体公司
地址 美国加利福尼亚州
(72)发明人 斐德列克·杰能
克里希纳斯瓦米·库马尔
(74)专利代理机构 北京安信方达知识产权代理有限公司 11262
代理人 张瑞 郑霞
(51)Int.Cl.
H01L 29/792(2006.01)

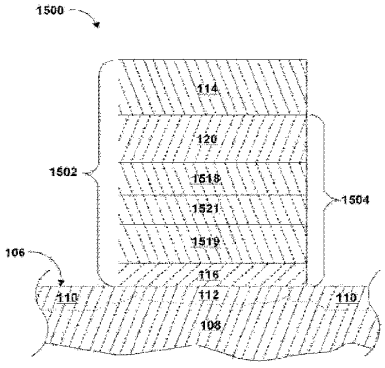
权利要求书2页 说明书13页 附图19页

(54)发明名称

具有分离氮化物存储层的SONOS堆栈

(57)摘要

描述了包括分离电荷俘获区的非平面存储设备和形成所述非平面存储设备的方法的实施例。通常所述设备包括：由覆盖在衬底的表面的半导体材料的薄膜形成的沟道，所述沟道连接存储设备的源极和漏极；覆盖沟道的隧道氧化物；覆盖隧道氧化物的分离电荷俘获区，分离电荷俘获区包括底部电荷俘获层和顶部电荷俘获层，底部电荷俘获层包括更靠近隧道氧化物的氮化物，其中，底部电荷俘获层被包含氧化物的薄的反隧穿层从顶部电荷俘获层分开。本申请还公开了其它的实施例。



CN 104254921 A

1. 一种存储设备，包括：

沟道，所述沟道由覆盖衬底上的表面的半导体材料的薄膜形成，所述沟道连接所述存储设备的源极和漏极；

隧道氧化物，所述隧道氧化物覆盖所述沟道；

分离电荷俘获区，所述分离电荷俘获区覆盖所述隧道氧化物，所述分离电荷俘获区包括底部电荷俘获层和顶部电荷俘获层，所述底部电荷俘获层包括更靠近于所述隧道氧化物的氮化物，其中所述底部电荷俘获层被包括氧化物的薄的反隧穿层从所述顶部电荷俘获层分开。

2. 根据权利要求 1 所述的存储设备，其中，所述顶部电荷俘获层包括富硅、贫氧氮化物，所述底部电荷俘获层包括富氧氮化物，并且还包括覆盖所述分离电荷俘获区的阻挡介电层。

3. 根据权利要求 2 所述的存储设备，其中，所述顶部电荷俘获层包括分布在分离电荷俘获区中的大多数电荷陷阱。

4. 根据权利要求 2 所述的存储设备，其中，所述阻挡层包括高 K 介质。

5. 根据权利要求 2 所述的存储设备，其中，所述沟道由硅制造，所述硅具有相对于所述沟道的长轴的 <100> 表面结晶取向。

6. 根据权利要求 2 所述的存储设备，其中，所述沟道包括多晶硅。

7. 根据权利要求 2 所述的存储设备，其中，所述沟道包括再结晶的多晶硅。

8. 根据权利要求 2 所述的存储设备，其中，所述沟道包括硅纳米线。

9. 根据权利要求 2 所述的存储设备，其中，所述隧道氧化物包括氮化的氧化物。

10. 根据权利要求 1 所述的存储设备，其中，所述顶部电荷俘获层包括高 K 介质。

11. 根据权利要求 1 所述的存储设备，其中，所述沟道凸出到所述衬底上的表面之上，并且还包括与所述沟道的至少一部分相交并覆盖所述沟道的至少一部分的鳍片，所述鳍片包括所述隧道氧化物和覆盖所述隧道氧化物的所述分离电荷俘获区。

12. 根据权利要求 11 所述的存储设备，其中，所述顶部电荷俘获层包括富硅、贫氧氮化物，所述底部电荷俘获层包括富氧氮化物层，并且还包括覆盖所述分离电荷俘获区的阻挡氧化物层。

13. 根据权利要求 12 所述的存储设备，还包括覆盖所述阻挡氧化物层的金属栅极层。

14. 一种存储设备，包括：

垂直沟道，所述垂直沟道由半导体材料的薄的凸出形成，所述半导体材料的薄的凸出从在衬底的表面上形成的第一扩散区延伸到在所述衬底的表面上方形成的第二扩散区，所述垂直沟道将所述第一扩散区电连接到所述第二扩散区；

隧道氧化物，所述隧道氧化物邻接所述垂直沟道；

分离电荷俘获区，所述分离电荷俘获区邻接所述隧道氧化物，所述分离电荷俘获区包括第一电荷俘获层和第二电荷俘获层，所述第一电荷俘获层包括更靠近所述隧道氧化物的富氧氮化物，所述第二电荷俘获层包括覆盖所述第一电荷俘获层的富硅、贫氧氮化物，

其中，所述第二电荷俘获层包括分布在分离电荷俘获区中的大多数电荷陷阱。

15. 根据权利要求 14 所述的非平面存储设备，其中，所述第一电荷俘获层通过包含氧化物的薄的反隧穿层从所述第二电荷俘获层分开。

Sandisk Technologies, Inc. - Ex. 1002, Page 001097

16. 根据权利要求 15 所述的非平面存储设备，其中，所述垂直沟道包括硅。

17. 根据权利要求 15 所述的非平面存储设备，还包括邻接所述分离电荷俘获区的高 K 介质阻挡层。

18. 根据权利要求 14 所述的非平面存储设备，还包括邻接所述分离电荷俘获区的高 K 介质阻挡层。

19. 一种制造半导体设备的方法，所述方法包括 ：

由覆盖在衬底上的表面的半导体材料的薄膜形成沟道，所述沟道连接存储设备的源极和漏极 ；

形成覆盖所述沟道的隧道氧化物 ；

在所述隧道氧化物上方形成分离电荷俘获区，所述分离电荷俘获区包括底部电荷俘获层、薄的反隧穿层、以及顶部电荷俘获层，所述底部电荷俘获层包括覆盖所述隧道氧化物的富氧氮化物，所述薄的反隧穿层包括覆盖所述隧道氧化物底部电荷俘获层的氧化物，所述顶部电荷俘获层包括覆盖所述薄的反隧穿层的富硅、贫氧氮化物，

其中，所述顶部电荷俘获层包括分布在分离电荷俘获区中的大多数电荷陷阱。

20. 根据权利要求 19 所述的方法，其中，形成所述沟道包括，由覆盖在所述衬底上的表面的半导体材料的所述薄膜形成沟道，所述沟道连接在所述衬底上的表面之上凸起的源极和漏极。

Sandisk Technologies, Inc. - Ex. 1002, Page 001098

具有分离氮化物存储层的 SONOS 堆栈

[0001] 相关申请的交叉引用

[0002] 本申请是 2010 年 4 月 26 日递交的序列号为 12/767,105 的共同未决的美国申请的延续部分，其根据美国法典第 35 条 119(e) 款要求 2009 年 4 月 24 日递交的序列号为 61/172,320 的美国临时专利申请的优先权益，这两个申请通过引用并入本文。

技术领域

[0003] 本发明的实施例涉及半导体设备领域。

[0004] 背景

[0005] 非易失性半导体存储器，例如分离栅极闪存，有时使用堆栈的浮栅结构，其中电子被引入到存储器单元的浮栅中以通过偏置控制栅极和将其上形成存储器单元的衬底的主体区域接地以进行编程。

[0006] 氧化物氮化物氧化物 (ONO) 堆栈可以用作如在硅氧化物氮化物氧化物硅 (SONOS) 晶体管中的电荷储存层，或如在分离栅极闪存中的浮栅和控制栅极之间的隔离层。

[0007] 图 1 是具有 SONOS 栅极堆栈或结构 102 的半导体设备 100 的结构的部分横截面图。结构 100 包括在硅衬底 108 的表面 106 上方形成的常规 ONO 堆栈 104。设备 100 通常还包括对准栅极堆栈并且被沟道区 112 分开的一个或多个扩散区 110，例如源极区和漏极区。SONOS 结构 102 包括形成在 ONO 堆栈 104 上的并且与 ONO 堆栈 104 接触的多晶硅栅极层 114。ONO 堆栈 104 将多晶硅栅极 114 与衬底 108 分开、或将多晶硅栅极 114 与衬底 108 电隔离。ONO 堆栈 104 通常包括下部（隧道）氧化物层 116、用作设备 100 的电荷储存层或存储层的氮化物层或氮氧化物层 118、以及覆盖氮化物层或氮氧化物层 118 的顶部氧化物层 120。

[0008] 这种常规 SONOS 结构 102 存在的一个问题是氮化物层或氮氧化物层 118 的差的数据保留，其由于通过层的漏电流，限制了设备 100 的寿命和 / 或限制其在一些应用中的使用。常规 SONOS 结构 102 的另一个问题是层 118 的化学计量在整个层的厚度上是不均匀的。特别地，层 118 常规以使用单个工艺气体混合物的单个步骤形成或沉积，和固定或恒定加工条件以试图提供穿过相对厚的层的厚度、具有高氮浓度和高氧浓度的均匀层。然而，这可能导致氮、氧和硅浓度在整个常规层 118 变化。因此，电荷储存特性，并且特别是使用 ONO 堆栈 104 制成的存储设备 100 的编程和擦除速度和数据保持，被不利地影响。

[0009] 图 2-5 示出了在例如图 1 中示出的一个常规 SONOS 结构中的电荷保持和迁移。电荷陷阱被分布遍及氮化物层 118。陷阱的分布在理想化学计量条件（图 2）下是均匀的，但是通常分布将不是如此的理想均匀的。当 ERASE（图 3）被执行时，空穴朝向阻挡氧化物 120 迁移。在编程之后电子电荷在层边界累积（图 4）。由于在氮化物边界的隧穿，该储存的电荷分布可以导致显著的泄漏，例如通过在能量图 5 中示出的过程，其中处于俘获状态（例如 E_{TA}、E_{TD}）中的储存的电荷跃迁引起泄漏。

[0010] 因此，存在对表现出改进的数据保持和改进的化学计量的存储设备的持续需求。

[0011] 附图简述

Sandisk Technologies, Inc. - Ex. 1002, Page 001099

[0012] 在结合附图阅读下文详细描述和后面所附权利要求之后，本结构和方法的这些和各种其它的特征和优点将是明显的，在附图中：

[0013] 图 1 是常规 SONOS 结构的横截面图。

[0014] 图 2-4 示出了在例如图 1 中示出的一个常规 SONOS 结构的中的电荷保持和迁移。

[0015] 图 5 示出了关于常规 SONOS 结构的能带图，其中，处于俘获状态（例如 E_{TA}、E_{TD}）中的储存的电荷跃迁引起泄漏。

[0016] 图 6 是 SONNOS 结构的横截面图。

[0017] 图 7-9 示出了在例如在图 6 中示出的一个 SONNOS 机构中的电荷保持和迁移。

[0018] 图 10 示出了关于 SONNOS 结构的能带图，其中，处于俘获状态（例如 E_{TA}、E_{TD}）中的储存的电荷跃迁引起泄漏。

[0019] 图 11 是 SONONOS 结构的横截面图。

[0020] 图 12-14 示出了在例如在图 14 中示出的一个 SONONOS 结构中的电荷保持和迁移。

[0021] 图 15 示出了关于 SONONOS 结构的能带图，其中，处于俘获状态（例如 E_{TA}、E_{TD}）中的储存的电荷跃迁引起泄漏。

[0022] 图 16A 示出了包括分离电荷俘获区的非平面多栅极设备。

[0023] 图 16B 示出了图 16A 的非平面多栅极设备的横截面图。

[0024] 图 17A 和 17B 示出了包括分离电荷俘获区和水平纳米线沟道的非平面多栅极设备。

[0025] 图 18A 和 18B 示出了包括分离电荷俘获区和垂直纳米线沟道的非平面多栅极设备。

[0026] 图 19A 和 19B 示出了用于制造图 18A 的非平面多栅极设备的栅极第一方案。

[0027] 图 20A 和 20B 示出了用于制造图 18A 的非平面多栅极设备的栅极最后方案。

[0028] 详述

[0029] 参考“一个实施例”或参考“实施例”不一定指的是相同的实施例，尽管它们可能指的是相同的实施例。

[0030] 除非文中明确要求，否则整个说明书和权利要求书中，词语“包括 (comprise)”、“包括 (comprising)”等是解释为包含的意思，而不是排它的或穷举的意思；也就是说，是“包括，但不限于”的意思。使用单数或复数的词语也分别包括复数或单数。此外，词语“本文 (herein)”、“以上 (above)”、“以下 (below)”和类似含义的词语，当在本申请中使用时，指的是本申请作为整体并且不是本申请的任何特定的部分。当权利要求使用关于两个或更多项目的列表的词语“或”时，该词语覆盖该词语的所有以下的解释：在列表中的任何项目，在列表中的所有项目和在列表中的项目的任何组合。

[0031] 概述

[0032] 电荷储存电路可以被形成具有多个电荷储存层，该多个电荷储存层包括具有不同浓度的氧、氮和 / 或硅的多个氮化物层。氮化物层可以包括至少顶部氮化物层和底部氮化物层。至少底部氮化物层可以包括氮氧化硅（例如 $Si_xO_yN_x$）。层的化学计量组合物可以被定制或被选择使得下部氮化物或底部氮化物具有高的氧和硅含量，并且顶部氮化物层具有高浓度硅和高浓度氮但低浓度氧以产生富硅氮化物或富硅氮氧化物。富硅和富氧底部氮化物层减少储存的电荷损失而不影响设备速度或在程序和擦除电压之间的初始（寿命开始）

Sandisk Technologies, Inc. - Ex. 1002, Page 001100

差。当在存储设备中采用该结构时，富硅、贫氧顶部氮化物层增加了编程和擦除电压之间的差，从而提高设备速度、增加数据保持、以及延长设备的运行寿命。

[0033] 然而，该结构在电荷保持方面还是具有缺点。因此，可以在两个氮化物层之间形成中间氧化物层，形成包括被相对薄的氧化物层分开的两个氮化物层的分离电荷俘获区。在一个实施例中，两个氮化物层厚度大约相等。每个氮化物层可以是至少30Å。中间氧化物层可以是至少5A。关于工艺变化的一些容差也在考虑之内，例如±2Å。一般而言，中间氧化物层相对于两个氮化物层将是薄的，其中“相对薄”指的是至少大约.75:1的比例。一个氮化物层（底部层）可以更接近衬底、并且相对于其它的（上部）氮化物层是富氧的。

[0034] 用于制造这样的半导体设备的一种工艺包括：在硅衬底上形成第一氧化物层；在第一氧化物层上形成第一氮化物层；对第一氮化物层应用自由基氧化以形成第二氮化物层；并且在第二氧化物层上形成第二氮化物层。通过改变工艺参数使第一氮化物层被制造为相对于第二氮化物层富氧。例如，可以使用低压CVD工艺形成每个氮化物层，该低压CVD工艺使用硅源、氮源和含氧气体。使用合适的工艺参数，底部氮氧化物层可以形成是富硅和富氧，而顶部氮化物层可以形成是富硅、富氮和贫氧。在一个实施例中，第一（下部）氮化物层被形成为厚度在35Å和50Å之间，深度被氧化到在5Å和20Å之间，以形成中间氧化物层，并且然后第二氮化物层被形成在中间氧化物层上方，其厚度在30Å和60Å之间。在硅衬底上的第一（隧道）氧化物层的厚度可以被形成为大约15-20Å。再次，关于工艺变化的一些容差也被考虑到，例如±2Å。

[0035] 第三氧化物层可以被形成在第二氮化物层上方，其厚度大约为40-50Å的厚度，并且多晶硅栅极层或金属栅极层可以被形成第三氧化物层上方。

[0036] 多层电荷储存结构

[0037] 图6是示出了半导体存储设备800的一部分的横截面侧视图的框图。存储设备800包括SONNOS栅极堆栈802，其包括在衬底108上的硅层的表面106上方形成的ONNO结构804。设备800还包括对准栅极堆栈802并且被沟道1区112分开的一个或多个扩散区110，例如源极区和漏极区。一般而言，SONNOS结构802包括形成在ONNO结构804上并且与ONNO结构804接触的栅极层114。栅极114通过ONNO结构804与衬底108隔离。ONNO结构804包括将栅极堆栈802与沟道区112隔离的薄的、下部氧化物层或遂道氧化物层116、顶部或者阻挡氧化物层120、以及包括多个包含氮化物的层的多层电荷储存层804。优选地，多层电荷储存层804包括至少两个氮化物层，其包括顶部氮化物层818和底部氮化物层819。

[0038] 图7-9示出了在例如在图6中示出的一个SONNOS结构中的电荷保持和迁移。电荷陷阱被分布遍及氮化物层818、819，且分布在理想化学计量条件下是均匀的（图7）。由于ERASE（图8），空穴迁移朝向阻挡氧化物120。在编程后（图9），电子电荷在上部氮化物层818的边界累积，并且在下部氮化物层819的下部边界存在较少的电荷的累积。这可能导致低漏电流。尽管如此，由于在氮化物边界的隧穿，该电荷分布可能导致电荷泄漏，如例如在图10中所示，其示出了在编程之后电荷可以怎样在不同的俘获的状态（例如E_{TA}、E_{TD}）之间跃迁以引起泄漏，

Sandisk Technologies, Inc. - Ex. 1002, Page 001101

[0039] 氧化物分离多层电荷储存结构

[0040] 图 11 是示出了半导体存储设备 1500 的横截面侧视图的框图。存储设备 1500 包括 SONONOS 堆栈 1502，其包括在衬底 108 的表面 106 上方形成的 ONONO 结构 1504。衬底 108 包括对准栅极堆栈 1502 并且被沟道区 112 分开的一个或多个扩散区 110，例如源极区和漏极区。一般而言，SONONOS 结构 1502 包括在 ONONO 结构 1504 上形成并与 ONONO 结构 1504 接触的多晶硅栅极层或金属栅极层 114。栅极 114 通过 ONONO 结构 1504 与衬底 108 分离或电气隔离。ONONO 结构 1504 包括将堆栈 1502 从沟道区 112 分开或电气隔离的薄的下部氧化物层或隧穿氧化物层 116、顶部或阻挡氧化物层 120、以及包括多个包含氮化物的层 1518、1519 的多层电荷储存层 1504。优选地，多层电荷储存层 1504 包括至少两个氮化物层，其包括顶部氮化物层 1518、底部氮氧化物层 1519、和中间体氧化物层 1521。

[0041] 设备 1500 的各个层可以以一定的厚度被制造。本文描述了厚度的不同可能性，表示可能的不同的实施例。一般而言，与两个氮化物层相比较，中间氧化物层将相对薄。例如，中间氧化物可以大约在 5Å 和 20Å 之间。氮化物层可以彼此厚度相同或彼此厚度不同，但是通常为至少大约 30Å。随着工艺技术和材料科学的进步，在不久的将来，氮化物厚度低至 20Å 或许是可能的。

[0042] 图 12-14 示出了在例如在图 11 中示出的一个 SONONOS 结构中的电荷保持和迁移。电荷陷阱被分布在两个氮化物层 1518、1519 中，及中间氧化物层 1521 存在于一个地方不连续（在氧化物层 1521 中形成很少陷阱或不形成陷阱）处。在顶部氮化物层 1518 中形成大多数陷阱。在每个氮化物层内，陷阱分布在理想化学计量条件下或多或少是均匀的（图 12）。由于 ERASE（图 13），空穴迁移朝向阻挡氧化物 120，但是在顶部氮化物层 1518 中形成大多数俘获的空穴电荷。在编程后，电子电荷在上部氮化物层 1518 的边界累积（图 14），并且在下部氮化物层 1519 的下部边界存在较少的电荷累积。此外，由于中间氧化物 1521，实质上减少了在上部氮化物层 1518 中被俘获的电子电荷隧穿的可能性。与在图 1 和图 6 中示出的结构相比，这可能导致低漏电流。该电荷分布显著降低从上部氮化物层隧穿的可能性，如例如在图 15 中的能带图中所示，其示出了在编程之后当它们在不同的俘获的状态（例如 E_{TA}、E_{TD}）之间跃迁时电荷遇到的隧穿的障碍。

[0043] 制造技术

[0044] 形成具有优异的电荷保持的 SONOS 结构的工艺开始于形成在衬底上方的 ONO 结构的第一氧化物层，例如隧穿氧化物层。衬底可以是，例如多晶硅或硅表面的锗衬底。接着，多层电荷储存结构的第一氮化物层在第一氧化物层上形成。该第一或底部氮化物层可以，例如通过 CVD 工艺形成，该 CVD 工艺包括成比例和以定制的流速的 N_2O/NH_3 和 DCS/NH_3 气体混合物以提供富硅和富氧氮氧化物层。然后，使用自由基氧化将第一氮化物层氧化到选定的深度。这形成了中间氧化物层。例如在 1000-1100℃的温度使用单个晶片工具，或在 800-900℃的温度使用批量反应器工具，可以执行自由基氧化。对于批量处理，在 300-500 托尔的压力下可以采用 H_2 气体和 O_2 气体的混合物，或在 10-15 托尔的压力下使用单个蒸汽工具可以采用 H_2 气体和 O_2 气体的混合物，使用单个晶片工具持续采用 1-2 分钟的时间，或使用批量处理持续采用 30 分钟 -1 小时的时间。

[0045] 多层电荷储存结构的第二氮化物层然后在中间氧化物层上形成。第二氮化物层具

Sandisk Technologies, Inc. - Ex. 1002, Page 001102

有不同于第一（下部）氮化物层的化学计量组合物的氧、氮、和/或硅的化学计量组合物。第二氮化物层可以通过 CVD 工艺形成或沉积，该 CVD 工艺使用包括成比例和以定制的流速的 DCS/NH_3 和 N_2O/NH_3 气体混合物的工艺气体以提供富硅、贫氧顶部氮化物层。最后，ONO 结构的第二氧化物层在第二氮化物层的表面上形成。该顶部或阻挡氧化物层可以通过任何合适的方式形成或沉积。在一个实施例中，顶部氧化物是以 HTO CVD 工艺沉积的高温氧化物。可选地，顶部氧化物层或阻挡氧化物层可以被热生长，然而要理解的是，在该实施例中，因为在热生长阻挡氧化物层的过程期间，顶部氮化物中的一些将被有效消耗或氧化，故顶部氮化物厚度可以被调整或增加。第三选择是使用自由基氧化将顶部氮化物层氧化到选定的深度。

[0046] 在一些实施例中，通过在 CVD 工具的一个腔中形成隧穿氧化物层，然后在 CVD 工具的第二腔中形成底部氮氧化物层，然后在第一腔中自由基氧化下部氮氧化物层，然后在第二腔中沉积更多的氮化物，然后在第一腔中再次自由基氧化第二氮化物层，从而使用两腔工艺形成半导体设备，来执行制造是可能的。

[0047] 制造还可以包括在第二氧化物层的表面上形成或沉积包含硅的层以完成 SONOS 堆栈。包含硅的层可以是例如通过 CVD 工艺沉积以形成 SONOS 晶体管或设备的控制栅极的多晶硅层。在一些实施例中，金属可以取代多晶硅沉积。

[0048] 一般而言，衬底 108 可以包括包含硅、硅－锗、硅－绝缘体，或硅－蓝宝石衬底的任何已知的基于硅的半导体材料。可选地，衬底 108 可以包括在例如砷化镓、锗、氮化镓或磷化铝的非基于硅的半导体材料上形成的硅层。优选地，衬底 108 是掺杂的硅衬底或未掺杂的硅衬底。

[0049] 下部氧化物层或隧穿氧化物层 116 通常包括从大约 15Å 到大约 22Å 的相对薄的二氧化硅（SiO_2）层，并且更加优选的是大约 18-20Å，具有一些工艺变化（例如±1Å）。隧穿氧化物层 116 可以通过任何合适的方式被形成或沉积，包括例如使用化学蒸汽沉积（CVD）热生长或沉积。在一个实施例中，使用蒸汽退火形成或生长隧穿氧化物层。这涉及湿式氧化工艺，其中衬底 108 放置在沉积或处理腔中，加热到从大约 700℃到大约 850℃的温度，并且暴露到湿式蒸汽基于完成的隧穿氧化物层 116 的所期望的厚度而选定的一个预定的时间段。示例性处理时间从大约 5 分钟到大约 20 分钟。可以在大气压下或在低压下，或在常压条件下使用干式工艺、使用分批或单个晶片工具执行氧化。

[0050] 多层电荷储存结构通常包括至少两个氮化层，其具有硅、氧和氮的不同组合物，以及在这两个氮化物层之间的中间氧化物层。在优选的实施例中，以使用例如烷（SiH 4）、氯硅烷（SiH3Cl）、二氯硅烷（SiH2C12）、四氯硅烷（SiC14）或二－叔丁基氨基硅烷（BTBAS）的硅源、例如氮气（N2）、氨（NH_3）、三氧化氮（NO_3）或一氧化二氮（N_2O）的氮源、以及例如氧气（O_2）或 N_2O 的含氧的气体的低压 CVD 工艺形成或沉积氮化物层。可选地，可以使用其中氢已经被氘取代的气体，该气体包括例如代替 NH_3 的氘化氨（ND_3）。氘取代氢有利地在氧化硅接口钝化 Si 悬空键，从而增加设备的耐久性。

[0051] 例如，通过将衬底 108 放置在沉积腔中并且引入包含 N_2O、NH3 和 DCS 的工艺气体，同时保持腔在从大约 5 毫托（mT）到大约 500mT 的压力，和保持衬底在从大约 700℃到大约 850℃的温度，并且更加优选地，在至少约 780℃的温度，在从大约 2.5 分钟到大约 20 分钟

Sandisk Technologies, Inc. - Ex. 1002, Page 001103

的时间段，下部氮氧化物层 819 或底部氮氧化物层 1519 可以被沉积在隧穿氧化物层 116 上方。工艺气体可以包括以从大约 8 :1 到大约 1 :8 的比例混合的 N_2O 和 NH_3 的第一气体混合物和以从大约 1 :7 到大约 7 :1 比例混合的 DCS 和 NH_3 的第二气体混合物，并且可以以从大约 5 到大约 200 标准立方厘米每分钟 (sccm) 的流速引入。在这些条件下制造的或沉积的层产生富硅、富氧的底部氮氧化物层 819，这在编程和擦除之后减少电荷损耗率，其可能表现为在保持模式中的小的电压漂移。

[0052] 可以用 CVD 工艺在从大约 5mT 到大约 500mT 的腔压下，并且在从大约 700℃到大约 850℃的衬底温度下，而更加优选地在至少大约 780℃，在从大约 2.5 分钟到大约 20 分钟的时间段，来沉积顶部氮化物层 818、1518，该 CVD 工艺使用包括 N_2O、NH3 和 DCS 的工艺气体。工艺气体可以包括以从大约 8:1 到大约 1:8 的比例混合的 N_2O 和 NH_3 的第一气体混合物、和以从大约 1:7 到大约 7:1 的比例混合的 DCS 和 NH_3 的第二气体混合物，并且工艺气体可以以从大约 5sccm 到大约 20sccm 的流速被引入。在这些条件下产生的或沉积的层产生富硅、富氮、和贫氧顶部氮化物层 818、1518。

[0053] 优选地，在形成中间氧化物层之后，顶部氮化物层 818、1518 被依次沉积在所使用的相同的工艺腔中，以形成底部氮氧化物层 819、1519，而不改变在底部氮氧化物层 819、1519 的沉积期间衬底 108 被加热到的温度。在一个实施例中，顶部氮化物层 818、1518 顺序沉积，接着是通过以下方式来沉积底部氮氧化物层 819、1519 :(1) 通过底部氮氧化物层的自由基氧化，移动到不同的工艺腔以形成中间氧化物层，(2) 返回到所使用的工艺腔以形成底部氮氧化物层并且减少 N_2O/NH_3 气体混合物相对于 DCS/NH_3 气体混合物的流速以提供期望的气体混合物的比例以产生富硅、富氮、和贫氧顶部氮化物层 818、1518。

[0054] 底部氮氧化物层 819、1519 的合适的厚度可以从大约 30Å 到大约 80Å （具有一些允许的容差，例如 ±10A），其中大约 5-20Å 可能被自由基氧化消耗以形成中间氧化物层。顶部氮化物层 818、1518 的合适的厚度可以是至少 30Å。在某些实施例中，上部氮化物层可以形成高达 130Å 厚度，其中 30-70Å 可能被自由基氧化消耗以形成顶部氧化物层。在一些实施例中，在底部氮氧化物层和顶部氮化物层之间的厚度的比例是大约 1 :1，但是其它的比例也是可能的。

[0055] 顶部氧化物层 120 包括相对厚度从大约 30Å 到大约 70Å （并且更加优选的是大约 40-50Å ）的 SiO_2 层。顶部氧化物层 120 可以通过任何合适的方式形成或沉积，包括，例如使用 CVD 热生长或沉积。在一个实施例中，顶部氧化物层 120 是使用 CVD 工艺沉积的高温氧化物 (HTO)。该沉积工艺包括在沉积腔中在从约 50mT 到约 1000mT 的压力下、在从大约 10 分钟到大约 120 分钟的时间段将衬底 108 暴露给例如硅烷、氯硅烷、或二氯甲硅烷的硅源和例如 O_2 或 N_2O 的含氧气体，同时保持衬底在从大约 650℃到大约 850℃的温度。

[0056] 可以通过氧化顶部氮化物层 818、1518 形成顶部氧化物层 120。这可以在所使用的相同的腔中完成以形成氮化物层 116、818、819。在两腔工具中的第一腔中可以形成氮化物层 818、819、1518、1519，并且在两腔工具中的第二腔中可以形成氧化物层 116、1521、120。合适的工具包括例如可从加利福尼亚的斯科茨谷的 AVIZA 技术购得的 ONO AVP。

[0057] 尽管以上示出和描述为具有两个氮化物层，即顶部层和底部层，本发明不限于此，

Sandisk Technologies, Inc. - Ex. 1002, Page 001104

并且多层电荷储存结构可以包括数量为 n 的氮化物层，氮化物层中的任何层或所有层可以具有氧、氮和 / 或硅的不同的化学计量组合物。特别地，多层电荷储存结构具有高达五个氮化物层，且可能多于五个的氮化物层，该氮化物层中的每层具有不同的化学计量组合物是预期的。这些层中的至少一些层将被一个或多个相对薄的氧化物层与其它层分离。然而，本领域的技术人员应当理解，通常期望利用尽可能少的层以实现期望的结果，减少生产设备必须的工艺步骤，并且从而提供更简单和更可靠的制造工艺。此外，因为控制更少层的尺寸的化学计量组合物和尺寸更加简单，故利用尽可能少的层还导致更高的产量。

[0058] 还应当理解，尽管适用于作为在 SONOS 存储设备中的 SONOS 堆栈的一部分，本发明的结构和方法并不限于此，并且 ONO 结构可以在任何半导体技术中使用或与任何半导体技术一起使用，或在需要电荷储存或介电层或堆栈的任何设备中使用，包括，例如，在分离栅极闪存、TaNOS 堆栈中，在 1T（晶体管）SONOS 单元、2T SONOS 单元、3T SONOS 单元、局部 2 位单元中、和在多级编程或单元中使用而不脱离本发明的范围。

[0059] 相比于先前和常规方法，根据本发明的实施例形成的 ONO 结构和方法的优点，包括：(i) 使用通过将氮化物层分成多个薄膜或层的并且定制贯穿每层的氧、氮和硅轮廓的及具有减少电荷隧穿的可能性的中间氧化物层的结构来增加在存储设备中的数据保持能力；(ii) 增加存储设备的速度而不影响数据保持的能力；(iii) 在至少大约 125℃的温度使用本发明的实施例的 ONO 结构，满足或超出存储设备规范的数据保持和速度的能力；和 (iv) 提供 100,000 次循环或更多的重型程序擦除循环。

[0060] 实施和可选方案

[0061] 另一个方面，本公开涉及多栅极或多栅极表面存储设备和制造所述多栅极或多栅极表面存储设备的方法，多栅极或多栅极表面存储设备包括覆盖在衬底的表面上或之上形成的沟道的两侧或多于两侧的电荷俘获区。多栅极设备包括平面设备和非平面设备两者。平面多栅极设备（未示出）通常包括双栅极设备，其中大量第一层被沉积以在随后形成的沟道的下面形成第一栅极，并且大量第二层被沉积在其上以形成第二栅极。非平面多栅极设备通常包括在衬底的表面上或之上形成的、并且被栅极在三个侧面或多于三个侧面上包围的水平的沟道或垂直的沟道。

[0062] 图 16A 示出了包括电荷俘获区的非平面多栅极存储设备的一个实施例。参考图 16A，存储设备 1600 通常指的是 finFET，其包括由覆盖在衬底 1606 上的表面 1604 的半导体材料的薄膜或层形成的沟道 1602，其连接存储设备的源极 1608 和漏极 1610。沟道 1602 被鳍片在三个侧面上包围，鳍片形成设备的栅极 1612。栅极 1612 的厚度（从源极到漏极的方向测量的）确定设备的有效沟道长度。

[0063] 根据本公开，图 16A 的非平面多栅极存储设备 1600 可以包括分离电荷俘获区。图 16B 是图 16A 的非平面存储设备的一部分的横截面图，其包括衬底 1606、沟道 1602 和栅极 1612 的一部分，示出了分离电荷俘获区 1614。栅极 1612 还包括覆盖凸起的沟道 1602 的隧道氧化物 1616、阻挡介质 1618 和覆盖阻挡层的金属栅极层 1620 以形成存储设备 1600 的控制栅极。在一些实施例中，掺杂的多晶硅可以取代金属被沉积，以提供多晶硅栅极层。沟道 1602 和栅极 1612 可以直接在衬底 1606 上形成或直接在绝缘层或介电层 1622 上形成，例如在衬底上或上方形成的衬底的埋氧化物层。

[0064] 参考图 16B，分离电荷俘获区 1614 包括至少一个下部或底部电荷俘获层 1624 和覆

Sandisk Technologies, Inc. - Ex. 1002, Page 001105

盖底部电荷俘获层的上部或顶部电荷俘获层 1626，下部或底部电荷俘获层 1624 包括更靠近隧道氧化物 1616 的氮化物。通常，顶部电荷俘获层 1626 包括富硅、贫氧氮化物层并且包括分布在多个电荷俘获层中的大多数电荷陷阱，而底部电荷俘获层 1624 包括富氧氮化物或氮氧化硅，并且相对于顶部电荷俘获层是富氧的以减少在其中电荷陷阱的数量。所谓富氧是指其中在底部电荷俘获层 1624 中的氧的浓度是从大约 15％到大约 40％，而在顶部电荷俘获层 1626 中的氧的浓度是小于约 5％。

[0065] 在一个实施例中，阻挡介质 1618 还包括例如 HTO 的氧化物以提供 ONNO 结构。沟道 1602 和覆盖的 ONNO 结构可以直接在硅衬底 1606 上形成并且覆盖有掺杂的多晶硅栅极层 1620 以提供 SONNOS 结构。

[0066] 在一些实施例中，例如在图 16B 中所示，分离电荷俘获区 1614 还包括至少一个薄的中间体或反隧穿层 1628，其包含例如氧化物的介质，该至少一个薄的中间体或反隧穿层 1628 将顶部电荷俘获层 1626 与底部电荷俘获层 1624 分开。反隧穿层 1628 实质上减少了在从隧道进入底部氮化物层 1624 编程期间在上部氮化物层 1626 的边界累积的电子电荷的可能性，导致比在图 1 和图 6 中示出的结构的漏电流更低的漏电流。

[0067] 正如以上描述的实施例，底部电荷俘获层 1624 和顶部电荷俘获层 1626 的一者或两者可以包括氮化硅或氮氧化硅，并且可以例如通过 CVD 工艺来形成，该 CVD 工艺包括成比例和以定制的流速的 N_2O/NH_3 和 DCS/NH_3 气体混合物以提供富硅和富氧氮氧化物层。多层电荷储存结构的第二氮化物层然后在中间氧化物层上形成。顶部电荷俘获层 1626 具有不同于底部电荷俘获层 1624 的化学计量化合物的氧、氮和 / 或硅的化学计量化合物，并且还可以通过 CVD 工艺形成沉积，该 CVD 工艺使用包括成比例和以定制的流速的 DCS/NH_3 和 N_2O/NH_3 气体混合物的工艺气体以提供富硅、贫氧顶部氮化物层。

[0068] 在包括包含氧化物的中间体或反隧穿层 1628 的那些实施例中，反隧穿层可以通过使用自由基氧化将底部氮氧化物层氧化到选定的深度来形成。可以例如在 1000-1100℃的温度使用单个晶片工具、或在 800-900℃的温度使用批量反应器工具来执行自由基氧化。可以针对批量处理在 300-500 托尔的压力下，或在使用单个蒸汽工具的 10-15 托尔的压力下采用 H_2 气体和 O_2 气体的混合物，使用单个晶片工具持续采用 1 至 2 分钟的时间、或使用批量处理持续采用 30 分钟至 1 小时的时间。

[0069] 最后，在包括包含氧化物的阻挡介质 1618 的那些实施例中，氧化物可以通过任何合适的方式被形成或沉积。在一个实施例中，阻挡介质 1618 的氧化物是以 HTO CVD 工艺被沉积的高温氧化物。可选地，阻挡介质 1618 或阻挡氧化物层可以是热生长的，然而应当理解的是，在该实施例中，顶部氮化物厚度可以被调整或增加，因为在热生长阻挡氧化物层的工艺期间顶部氮化物中的一些将被有效消耗或氧化。第三选择是使用自由基氧化将顶部氮化物层氧化到选定的深度。

[0070] 底部电荷俘获层 1624 的合适的厚度可以从大约 30Å 到大约 80Å（具有一些允许的偏差，例如 ±10A），其中大约 5-20Å 可以被自由基氧化消耗以形成反隧穿层 1628。顶部电荷俘获层 1626 的合适的厚度可以是至少 30Å。在某些实施例中，顶部电荷俘获层 1626 可以形成高达 130Å 的厚度，其中 30-70Å 可以被自由基氧化消耗以形成阻挡介质 1618。在一些实施例中，在底部电荷俘获层 1624 和顶部电荷俘获层 1626 之间的厚度的比例是大约

Sandisk Technologies, Inc. - Ex. 1002, Page 001106

1 :1,但是其它的比例也是可能的。

[0071] 在其它的实施例中,顶部电荷俘获层 1626 和阻挡介质 1618 中的一者或两者可以包括高 K 介质。合适的高 K 介质包括例如 HfSiON、HfSiO 或 HfO 的基于铪的材料、或例如 ZrSiON、ZrSiO 或 ZrO 的基于锆的材料、和例如 Y_2O_3 的基于钇的材料。

[0072] 在图 17A 和 17B 中示出的另一个实施例中,存储设备可以包括由覆盖在衬底上的表面的半导体材料的薄膜形成的纳米线沟道,其连接存储设备的源极和漏极。所谓纳米线沟道指的是在结晶硅材料的薄带中形成的导电沟道,其具有大约 10 纳米 (nm) 或更少的最大横截面尺寸,并且更加优选的少于约 6nm。可选地,沟道可以形成具有相对于沟道的长轴的 <100> 表面结晶取向。

[0073] 参考图 17A,存储设备 1700 包括水平纳米线沟道 1702,其由在衬底 1706 上的表面上或覆盖在衬底 1706 上的表面的半导体材料的薄膜或层形成,该水平纳米线沟道 1702 连接存储设备的源极 1708 和漏极 1710。在示出的实施例中,设备具有环绕栅极 (GAA) 结构,其中纳米线沟道 1702 被设备的栅极 1712 在所有的侧面上包围。栅极 1712 的厚度 (在从源极到漏极的方向测量的) 确定设备的有效沟道长度。

[0074] 根据本公开,图 17A 的非平面多栅极存储设备 1700 可以包括分离电荷俘获区。图 17B 是图 17A 的非平面存储设备的一部分的横截面图,其包括衬底 1706、纳米线沟道 1702 和栅极 1712 的一部分,示出了分离电荷俘获区。参考图 17B,栅极 1712 包括覆盖纳米线沟道 1702 的隧道氧化物 1714、分离电荷俘获区、阻挡介质 1716 和覆盖阻挡层的栅极层 1718 以形成存储设备 1700 的控制栅极。栅极层 1718 可以包括金属或掺杂的多晶硅。分离电荷俘获区包括至少一个内部电荷俘获层 1720 和外部电荷俘获层 1722,内部电荷俘获层 1720 包括更靠近隧道氧化物 1714 的氮化物,外部电荷俘获层 1722 覆盖内部内涵俘获层。通常,外部电荷俘获层 1722 包括富硅、贫氧氮化物层并且包括在多个电荷俘获层中分布的大多数电荷陷阱,而内部电荷俘获层 1720 包括富氧氮化物或氮氧化硅,并且相对于外部电荷俘获层是富氧的以减少其中电荷陷阱的数量。

[0075] 在例如所示的一些实施例中,分离电荷俘获区还包括至少一个薄的中间体或反隧穿层 1724,其包括例如氧化物的介质,至少一个薄的中间体或反隧穿层 1724 将外部电荷俘获层 1722 与内部电荷俘获层 1720 分开。反隧穿层 1724 实质上减少了在编程从隧道进入内部电荷俘获层 1720 期间在外部电荷俘获层 1722 的边界累积的电子电荷的可能性,导致更低的泄漏电流。

[0076] 正如以上描述的实施例,内部电荷俘获层 1720 和外部电荷俘获层 1722 中的一者或两者可以包括氮化硅或氮氧化硅,并且可以例如通过 CVD 工艺形成,该 CVD 工艺包括成比例和以定制的流速的 N_2O/NH_3 和 DCS/NH_3 气体混合物以提供富硅和富氧氮氧化物层。多层电荷储存结构的第二氮化物层然后在中间氧化物层上形成。外部电荷俘获层 1722 具有不同于内部电荷俘获层 1720 的化学计量组合物的氧、氮和 / 或硅的化学计量组合物,并且可以通过 CVD 工艺被形成或沉积,该 CVD 工艺使用包括成比例和以定制的流速的 DCS/NH_3 和 N_2O/NH_3 气体混合物的工艺气体以提供富硅、贫氧顶部氮化物层。

[0077] 在包括包含氧化物的中间体或反隧穿层 1724 的那些实施例中,反隧穿层可以通过氧化内部电荷俘获层 1720 形成到使用自由基氧化选定的深度。例如在 1000-1100℃的温度使用单个晶片工具或在 800-900℃的温度使用批量反应器工具可以执行自由基氧化。对

Sandisk Technologies, Inc. - Ex. 1002, Page 001107

于批量处理，可以在 300-500 托尔的压力下采用 H_2 和 O_2 气体的混合物，或在 10-15 托尔的压力下使用单个蒸汽工具，使用单个晶片工具 1-2 分钟的时间、或使用批量处理 30 分钟 -1 小时的时间。

[0078] 最后，在其中阻挡介质 1716 包括氧化物的那些实施例中，氧化物可以通过任何合适的方式形成或沉积。在一个实施例中，阻挡介质 1716 的氧化物是以 HTO CVD 工艺被沉积的高温氧化物。可选地，阻挡介质 1716 或阻挡氧化物层可以是热生长的，然而应当理解的是，在该实施例中因为在热生长阻挡氧化物层的工艺期间顶部氮化物中的一些将被有效消耗或氧化，所以外部电荷俘获层 1722 的厚度可能需要被调整或增加。

[0079] 内部电荷俘获层 1720 的合适的厚度可以从大约 30Å 到大约 80Å（具有一些允许的偏差，例如 ±10A），其中大约 5-20Å 可以被自由基氧化消耗以形成反隧穿层 1724。外部电荷俘获层 1722 的合适的厚度可以是至少 30Å。在某些实施例中，外部电荷俘获层 1722 可以形成高达 130Å 的厚度，其中 30-70Å 可以被自由基氧化消耗以形成阻挡介质 1716。在一些实施例中，内部电荷俘获层 1720 和外部电荷俘获层 1722 之间的厚度的比值是大约 1 :1，但是其它的比例也是可能的。

[0080] 在其它的实施例中，外部电荷俘获层 1722 和阻挡介质 1716 中的一者或两者可以包括高 K 介质。合适的高 K 介质包括例如 HfSiON、HfSiO 或 HfO 的基于铪的材料、例如 ZrSiON、ZrSiO 或 ZrO 的基于锆的材料、和例如 Y_2O_3 的基于钇的材料。

[0081] 在另一个实施例中，存储设备是非平面设备或包括非平面设备，其包括在半导体材料上形成的或由半导体材料形成的垂直纳米线沟道，其在衬底上的大量导电的、半导电层上或从在衬底上的大量导电的、半导电体的层凸出。在图 18A 中的剖切面中所示的该实施例的一个变体中，存储设备 1800 包括在半导体材料的圆筒中形成的垂直纳米线沟道 1802，该垂直纳米线沟道 1802 连接设备的源极 1804 和漏极 1806。沟道 1802 被隧道氧化物 1808、电荷俘获区 1810、阻挡层 1812 和覆盖阻挡层的栅极层 1814 围绕以形成存储设备 1800 的控制栅极。沟道 1802 可以包括在半导体材料的实质上固体圆筒的外层中的环形区，或可以包括在介质填充材料的圆筒上方形成的环形区。正如以上描述的水平纳米线，沟道 1802 可以包括多晶硅或再结晶的多晶硅以形成单晶沟道。可选地，其中沟道 1802 包括晶体硅，沟道可以形成以具有相对于沟道的长轴的 <100> 表面结晶取向。

[0082] 在例如图 18B 中所示的一些实施例中，电荷俘获区 1810 可以是分离电荷俘获区，其包括至少第一或内部电荷俘获层 1816 和第二或外部电荷俘获层 1818，第一或内部电荷俘获层 1816 最靠近隧道氧化物 1808。可选地，第一电荷俘获层和第二电荷俘获层可以被中间体氧化物或反隧穿层 1820 分开。

[0083] 正如以上描述的实施例，第一电荷俘获层 1816 和第二电荷俘获层 1818 中的一者或者两者可以包括氮化硅或氮氧化硅，并且可以例如通过 CVD 工艺形成，该 CVD 工艺包括成比例和以定制的流速的 N_2O/NH_3 和 DCS/NH_3 气体混合物以提供富硅和富氧氮氧化物层。

[0084] 最后，第二电荷俘获层 1818 和阻挡层 1812 中的一者或两者可以包括高 K 介质，例如 HfSiON、HfSiO、HfO, 、ZrSiON、ZrSiO、ZrO 或 Y_2O_3。

[0085] 第一电荷俘获层 1816 的合适的厚度可以从大约 30Å 到大约 80Å（具有一些允许

Sandisk Technologies, Inc. - Ex. 1002, Page 001108

的偏差，例如 ±10A)，其中大约 5Å 至 20Å 可以被自由基氧化消耗以形成反隧穿层 1820。第二电荷俘获层 1818 的合适的厚度可以是至少 30Å，并且阻挡介质 1812 的合适的厚度可以从大约 30Å 至 70Å。

[0086] 可以使用栅极第一方案或栅极最后方案制造图 18A 的存储设备 1800。图 19A-F 示出了用于制造图 18A 的非平面多栅极设备的栅极第一方案。图 20A-F 示出了用于制造图 18A 的非平面多栅极设备的栅极最后方案。

[0087] 参考图 19A，在栅极第一方案中，例如阻挡氧化物的第一或下部介电层 1902 在例如在衬底 1906 中的源极和漏极的第一掺杂扩散区 1904 上方形成。栅极层 1908 被沉积在第一介电层 1902 上方以形成设备的控制栅极，并且在其上形成第二或上部介电层 1910。正如以上描述的实施例，第一介电层 1902 和第二介电层 1910 可以通过 CVD、自由基氧化被沉积或通过氧化下层或衬底的一部分来形成。栅极层 1908 可以包括通过 CVD 沉积的金属或通过 CVD 沉积的掺杂的多晶硅。通常栅极层 1908 的厚度是从大约 40 至 50Å，并且第一介电层 1902 和第二介电层 1910 的厚度是从大约 20 至 80Å。

[0088] 参考图 19B，第一开口 1912 蚀刻通过上覆的栅极层 1908、和第一介电层 1902 和第二介电层 1910 到在衬底 1906 中的扩散区 1904。接着，包含隧道氧化物 1914、电荷俘获区 1916、和阻挡介质 1918 的层被顺序沉积在开口中，并且上部介电层 1910 的表面平面化以产生图 19C 中示出的中间体结构。

[0089] 尽管未示出，应当理解的是，如在以上描述的实施例中，电荷俘获区 1916 可以包括分离电荷俘获区，其包括至少一个下部或底部电荷俘获层和上部或顶部电荷俘获层，下部或底部电荷俘获层更靠近隧道氧化物 1914，上部或顶部电荷俘获层覆盖底部电荷俘获层。通常顶部电荷俘获层包括富硅、贫氧氮化物层并且包括在多个电荷俘获层中分布的大多数电荷陷阱，而底部电荷俘获层包括富氧氮化物或氮氧化硅，并且相对于顶部电荷俘获层是富氧的以减少其中电荷陷阱的数量。在一些实施例中，分离电荷俘获区 1916 还包括至少一个薄的中间层或反隧穿层，其包含例如氧化物的介质，该至少一个薄的中间层或反隧穿层将顶部电荷俘获层与底部电荷俘获层分开。

[0090] 接着，第二开口或沟道开口 1920 被各向异性蚀刻通过隧道氧化物 1914、电荷俘获区 1916 和阻挡介质 1918，图 19D。参考图 19E，半导体材料 1922 被沉积在沟道开口中以在其中形成垂直沟道 1924。垂直沟道 1924 可以包括在半导体材料的实质上固体圆筒的外层中的环形区，或如在图 19E 中所示，可以包括围绕介质填充材料 1926 的圆筒的分离的层半导体材料 1922。

[0091] 参考图 19F，上部介电层 1910 的表面被平面化并且半导体材料 1928 的层包括在其中形成的沉积在上部介电层上方的第二掺杂的扩散区 1930（例如源极和漏极）以形成示出的设备。

[0092] 参考图 20，在栅极最后方案中，例如氧化物的介电层 2002 被形成在衬底 2006 上的表面上的牺牲层 2004 上方，开口蚀刻通过介质和牺牲层，并且垂直沟道 2008 在其中形成。正如以上描述的实施例，垂直沟道 2008 可以包括在例如多晶硅或单晶硅的半导体材料 2010 的实质上固体圆筒的外层中的环形区，或可以包括围绕介质填充材料的圆筒的分离的层半体电材料（未示出）。介电层 2002 可以包括例如氧化硅的能够将随后形成的存储设备

Sandisk Technologies, Inc. - Ex. 1002, Page 001109

1800的栅极层与上覆的电活性层或另一个存储设备电气隔离的任何合适的介质材料。牺牲层2004可以包括任何合适的材料，其可以相对于介电层2002、衬底2006、和垂直沟道2008的材料具有高选择性而蚀刻或移除。

[0093] 参考图20B，第二开口2012被蚀刻通过蚀刻通过介电层2002和牺牲层2004到衬底1906，并且牺牲层2004被蚀刻或移除。牺牲层2004可以包括任何合适的材料，其可以相对于介电层2002、衬底2006和垂直沟道2008的材料具有高选择性而蚀刻或移除。在一个实施例中，牺牲层2004包括可以通过缓冲氧化物蚀刻（BOE蚀刻）而被移除的二氧化硅。

[0094] 参考图20C和20D，隧道氧化物2014、电荷俘获区2016和阻挡介质2018的层被顺序沉积在开口中，并且介电层2002的表面平面化以产生图20C和20D中示出的中间体结构。在一些实施例中，例如在图20D中所示，电荷俘获区2016可以是分离电荷俘获区，其包括至少第一或内部电荷俘获层2016a和第二或外部电荷俘获层2016b，至少第一或内部电荷俘获层2016a最靠近隧道氧化物2014。可选地，第一电荷俘获层和第二电荷俘获层可以被中间体氧化物或反隧穿层2020分开。

[0095] 接着，栅极层2022被沉积到第二开口2012中，并且上部介电层2002的表面被平面化以产生在图20E中示出的中间体结构。正如以上描述的实施例，栅极层2022可以包括被沉积的金属或掺杂的多晶硅。最后，开口2024被蚀刻通过栅极层2022以形成分离的存储设备2026的控制栅极。

[0096] “逻辑”指的是可以被应用而影响设备的操作的信号和/或信息。软件、硬件和固件是逻辑的示例。硬件逻辑可以以电路来实施。一般而言，逻辑可以包括软件、硬件和/或固件的组合。

[0097] 本文描述的电荷保持设备的实施例可以用逻辑电路来实施以充当机器存储器。本领域技术人员将理解的是，存在可以实施所描述的结构的不同的逻辑实施方式，并且优选的媒介将随着其中工艺被配置的环境而变化。例如，如果实施者确定速度和精度是最重要的，那么实施者可以选择硬件和/或固件媒介；可选地，如果灵活性是最重要，那么实施者可以选择单独的软件实施方式；或，而又可选地，实施者可以选择硬件、软件、和/或固件的某种组合。因此，存在可以实施本文描述的设备的很多的媒介，其中没有一个媒介是固定优于其它媒介的，因为任何将被利用的媒介是基于媒介将被配置的环境而被选择的，并且任何实施者的特定的关注（例如速度、灵活性、或可预测性）可能有所不同。本领域的技术人员将认识到，实施方式的可选择的方面可以包括可定向选择的硬件、软件、和或固件。

[0098] 前面的详细描述已经通过使用框图、流程图、和/或示例阐述了设备和/或工艺的各个实施例。这样的框图、流程图和/或示例的范围之内包括一个或多个功能和/或操作，被本领域技术人员将理解的是，在这样的框图、流程图、或示例范围内的每个功能和/或操作可以通过宽范围的硬件、软件、固件、或实际上它们的任意组合来单独地和/或共同地实施。

[0099] 本文描述的结构的实施例可以以专用集成电路(ASIC)、现场可编程门阵列(FPGA)、中央处理单元(CPU)、数字信号处理器(DSP)或其它的集成形式来实施。然而，本领域技术人员将认识到，出于储存运行在一个或多个计算机上的数据和/或程序（例如，如，在一个或多个计算机系统上运行的一个或多个程序）的目的，本文公开的实施例的某些方面可以整个地或部分地在专用存储电路中等价实施，所述数据和/或程序犹如在一个或多

Sandisk Technologies, Inc. - Ex. 1002, Page 001110

个处理器上运行的一个或多个程序（例如，如在一个或多个微处理器上运行的一个或多个程序）、犹如固件，或犹如实际上它们的任意组合。

[0100] 在一般意义上，本领域技术人员将认识到的是，可以通过宽范围的电路单独地和/或共同地实施本文描述的各个结构。如本文使用的“电路（electrical circuitry）”包括但不限于，具有至少一个分立电路的电路、具有至少一个集成电路的电路、具有至少一个专用集成电路的电路、形成通过计算机程序配置的通用计算设备的电路（例如通过计算机程序配置的通用计算机，其至少部分执行本文描述的过程和/或设备，或被计算机程序配置的微处理器，其至少部分执行本文描述的过程和/或设备）、形成存储设备的电路（例如，随机存取存储器的形式）、和/或形成通信设备的电路（例如，调制解调器、通信交换机、或光电设备）。

[0101] 本领域的技术人员将认识到的是，在本文所阐述的形式中，以本领域常见的方式描述设备和/或工艺、并且随后使用标准工程实践以集成这样描述的设备和/或工艺到更大的系统中。也就是说，在没有实践不当的情况下，本文描述的设备和/或工艺的至少一部分可以被集成到网络处理系统中。

Sandisk Technologies, Inc. - Ex. 1002, Page 001111

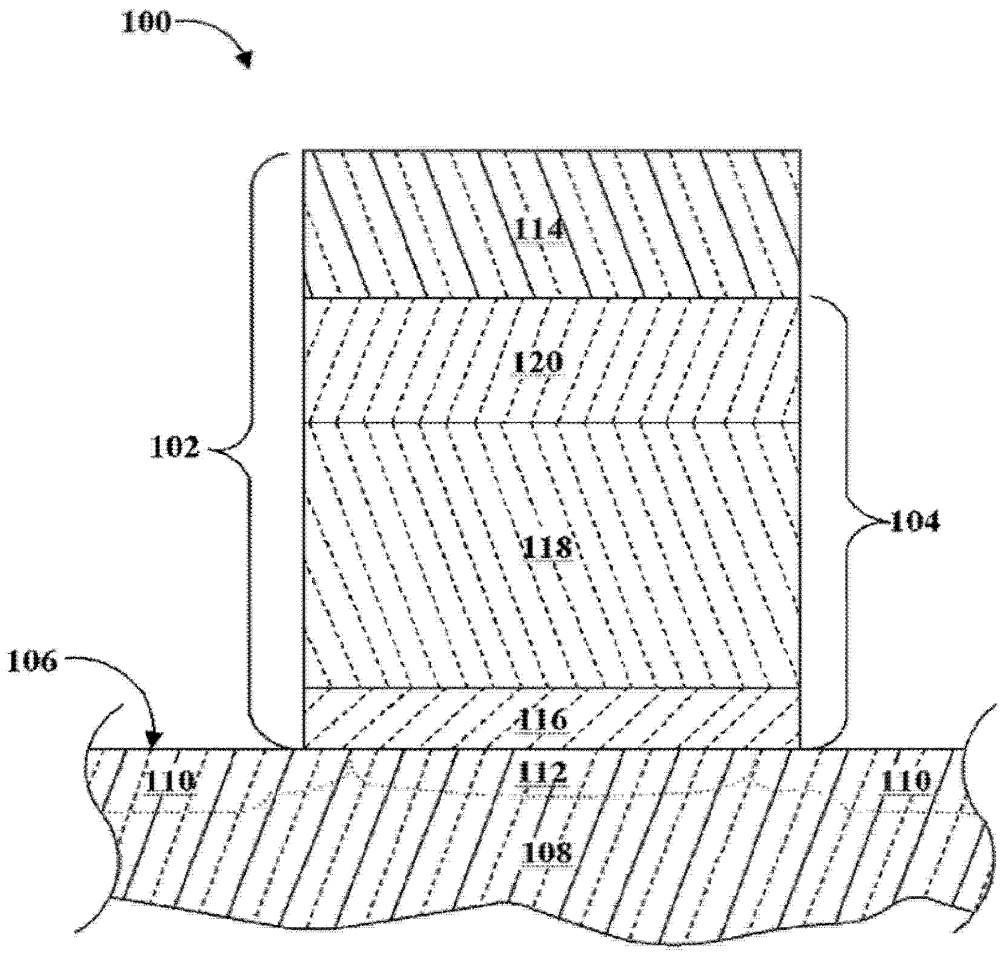


图 1（现有技术）

Sandisk Technologies, Inc. - Ex. 1002, Page 001112

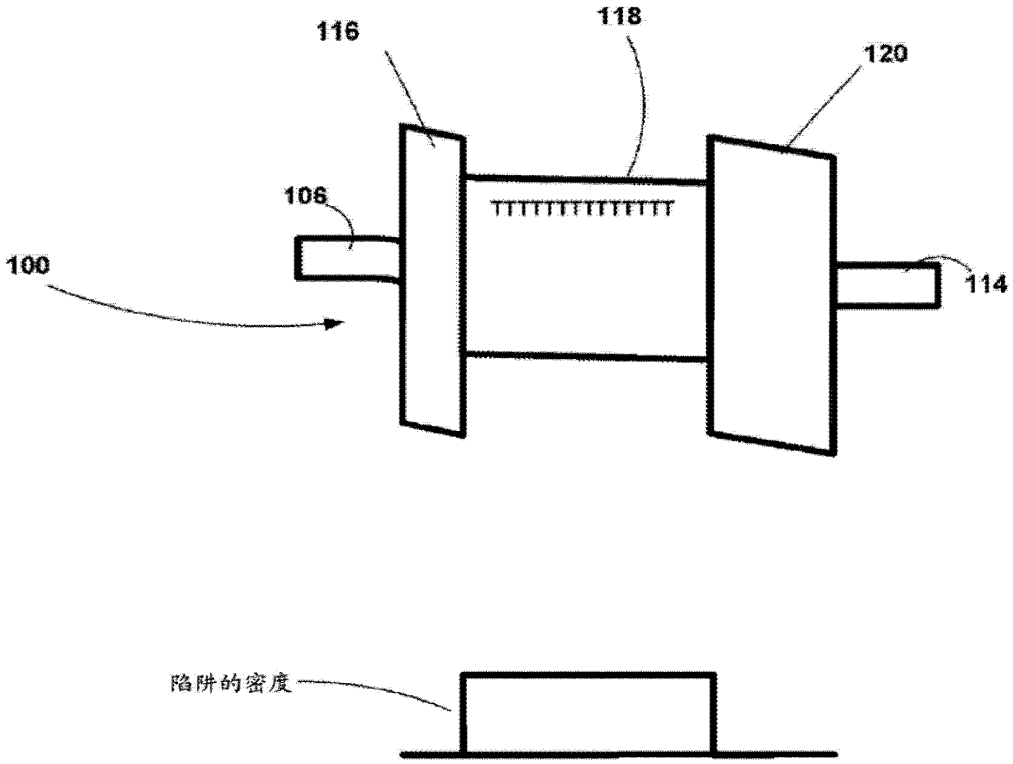


图 2（现有技术）

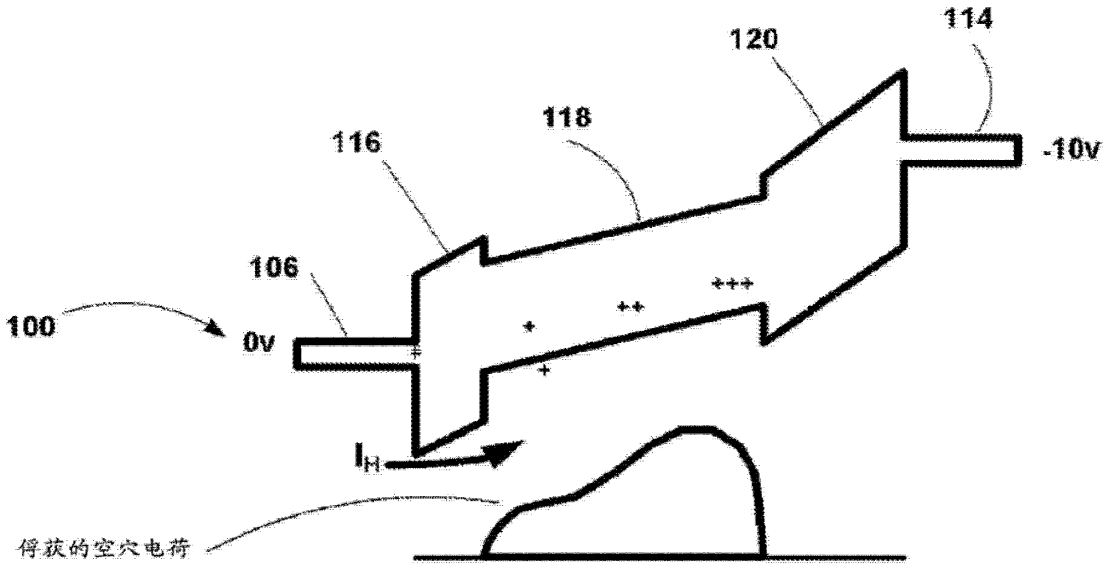


图 3（现有技术）

Sandisk Technologies, Inc. - Ex. 1002, Page 001113

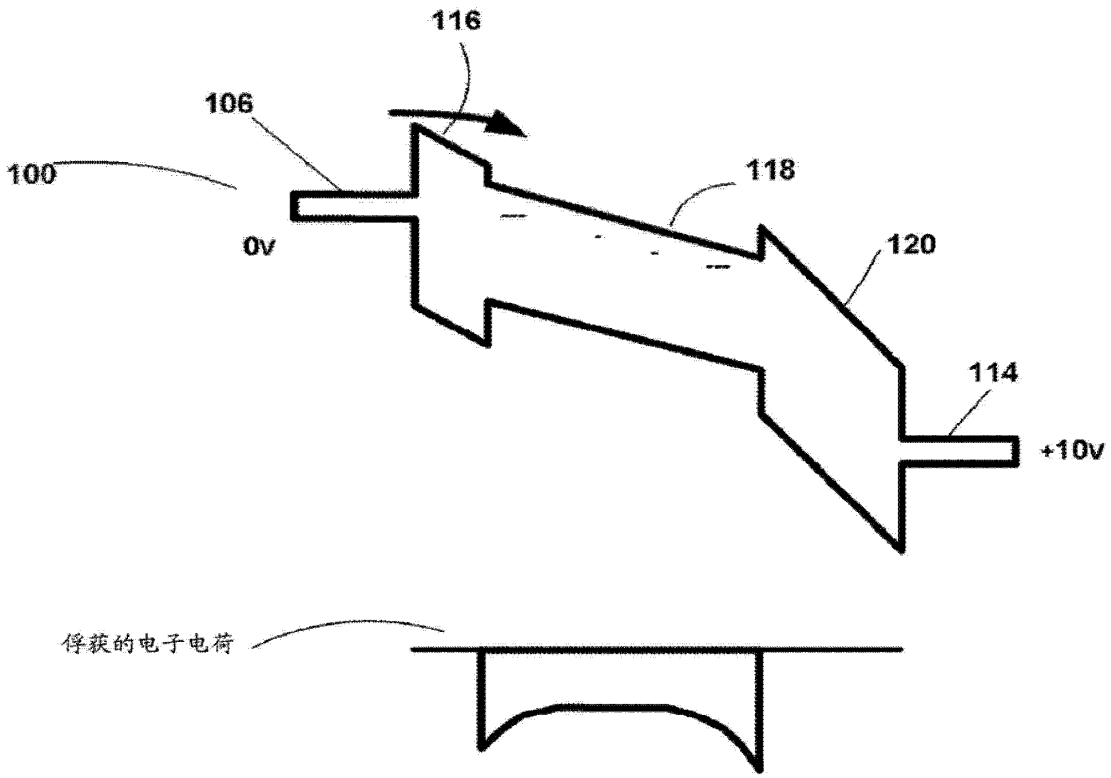


图 4（现有技术）

Sandisk Technologies, Inc. - Ex. 1002, Page 001114

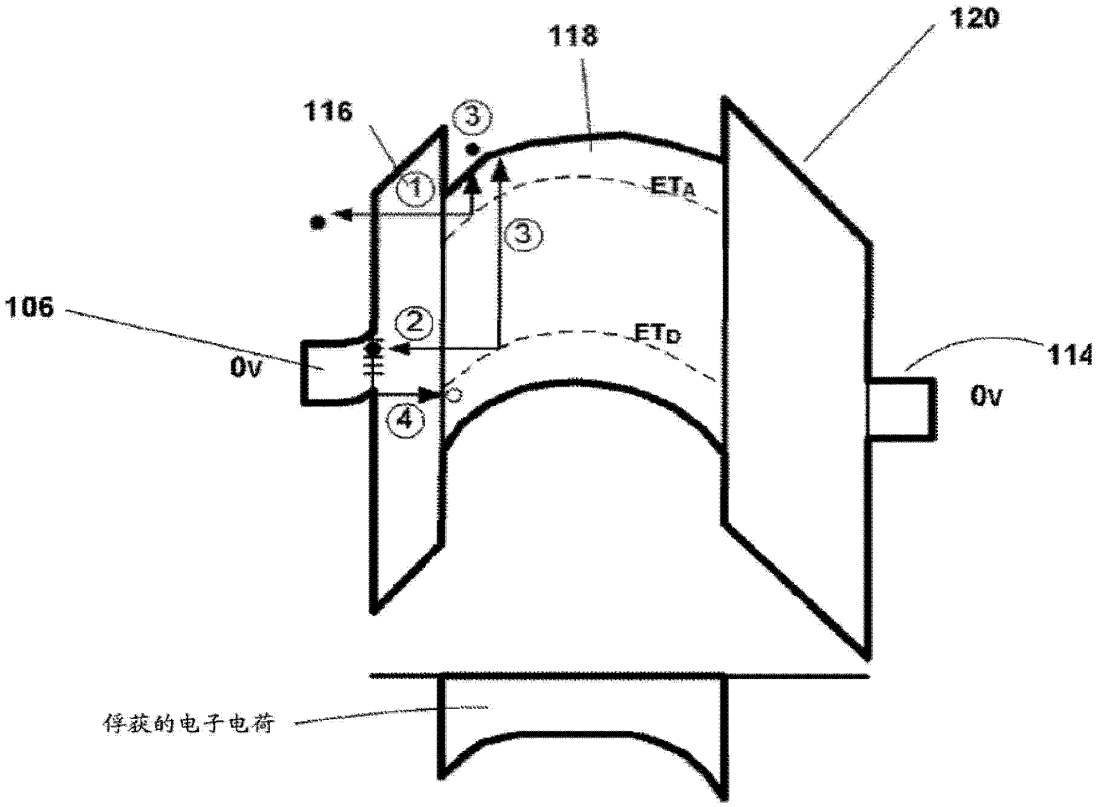


图 5（现有技术）

Sandisk Technologies, Inc. - Ex. 1002, Page 001115

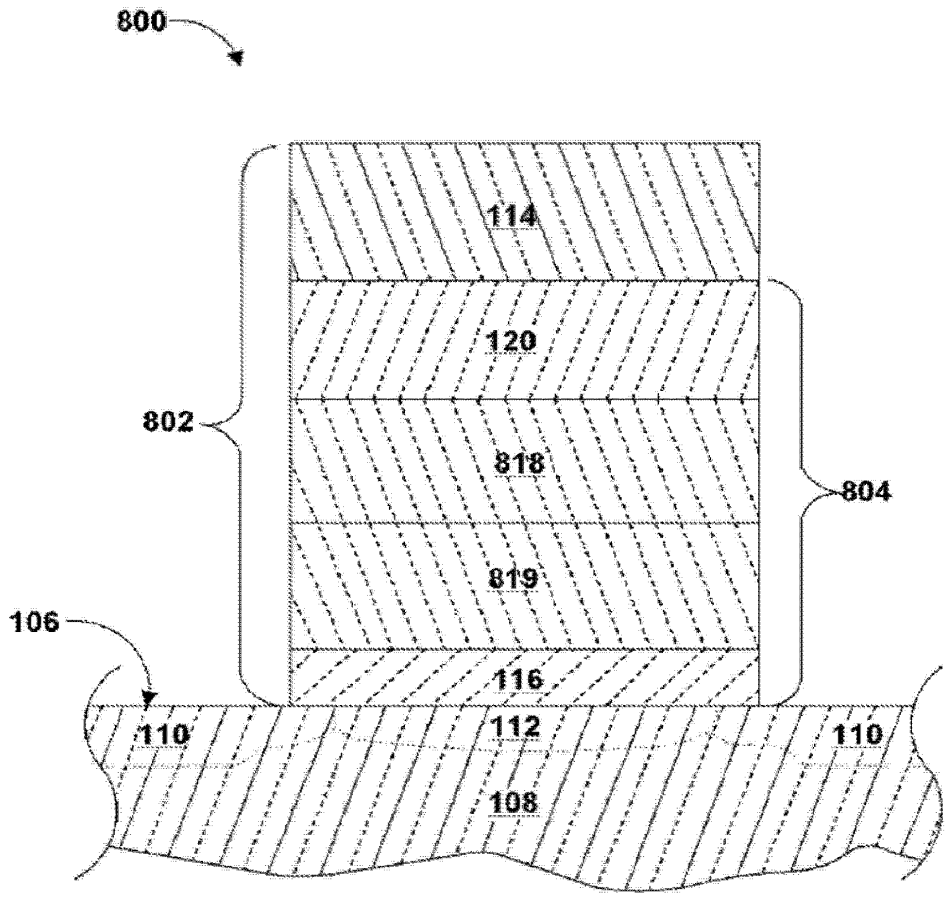


图 6

Sandisk Technologies, Inc. - Ex. 1002, Page 001116

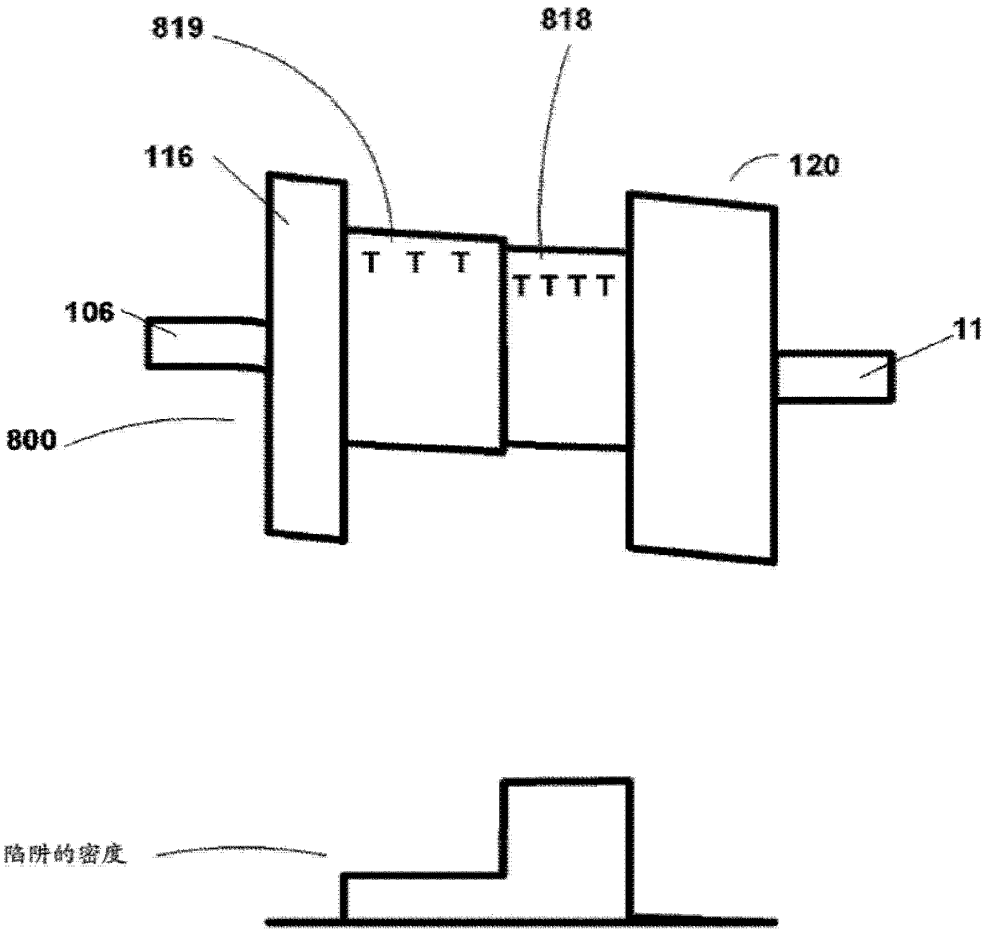


图 7

Sandisk Technologies, Inc. - Ex. 1002, Page 001117

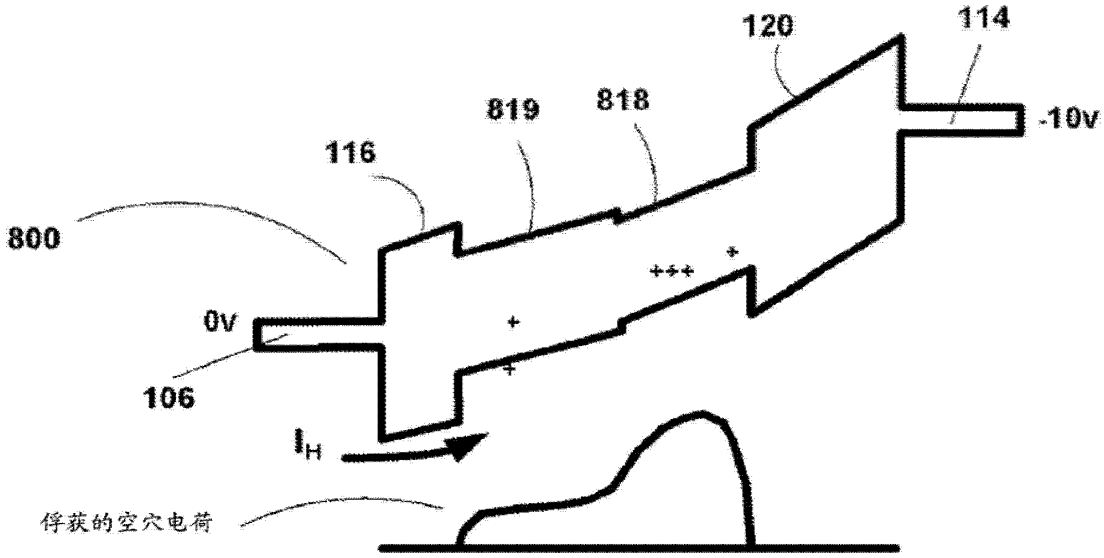


图 8

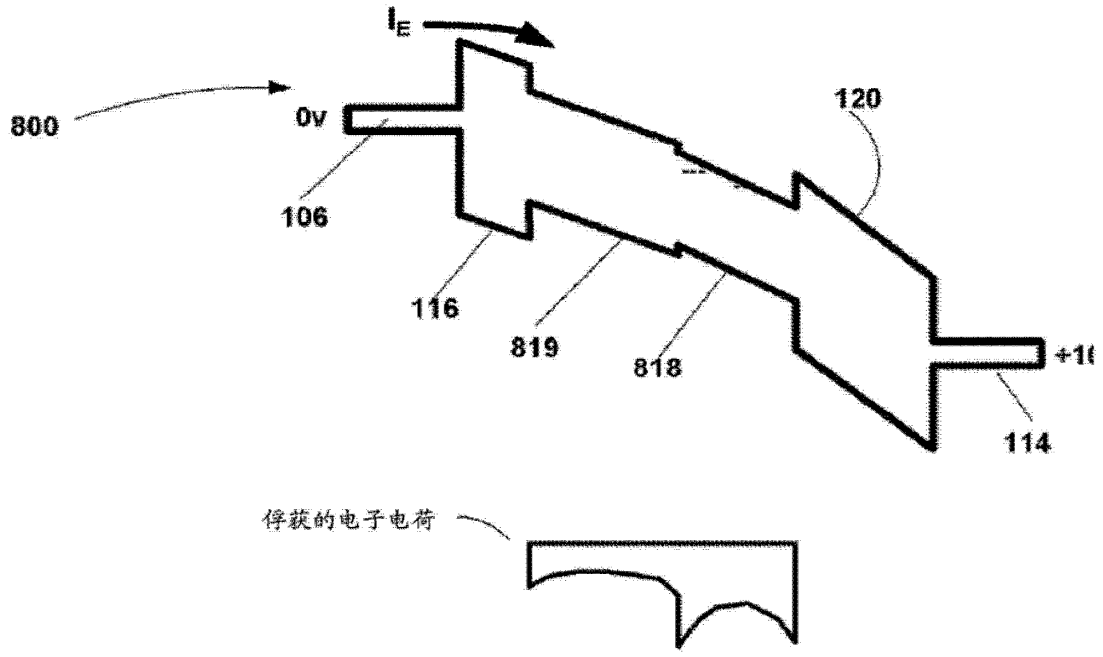


图 9

Sandisk Technologies, Inc. - Ex. 1002, Page 001118

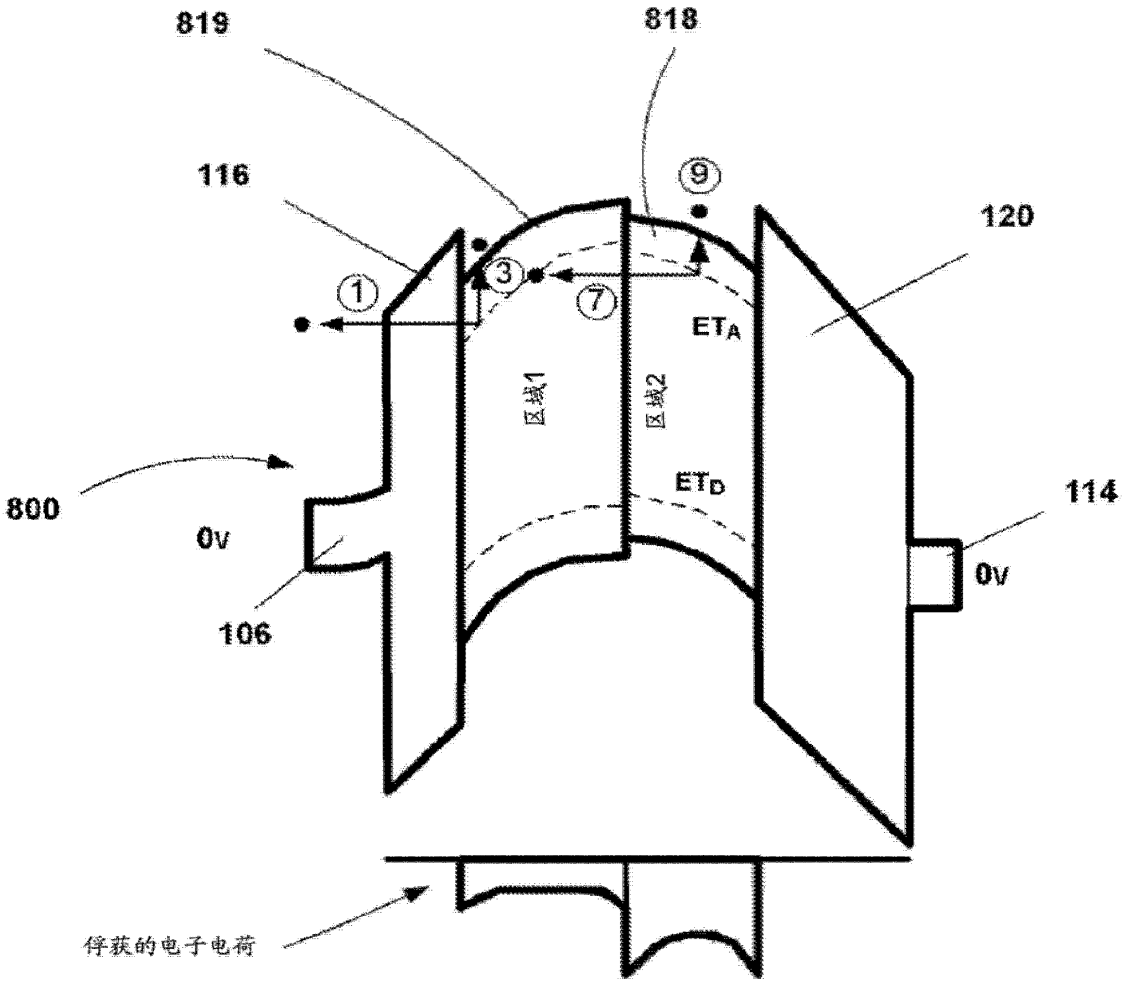


图 10

Sandisk Technologies, Inc. - Ex. 1002, Page 001119

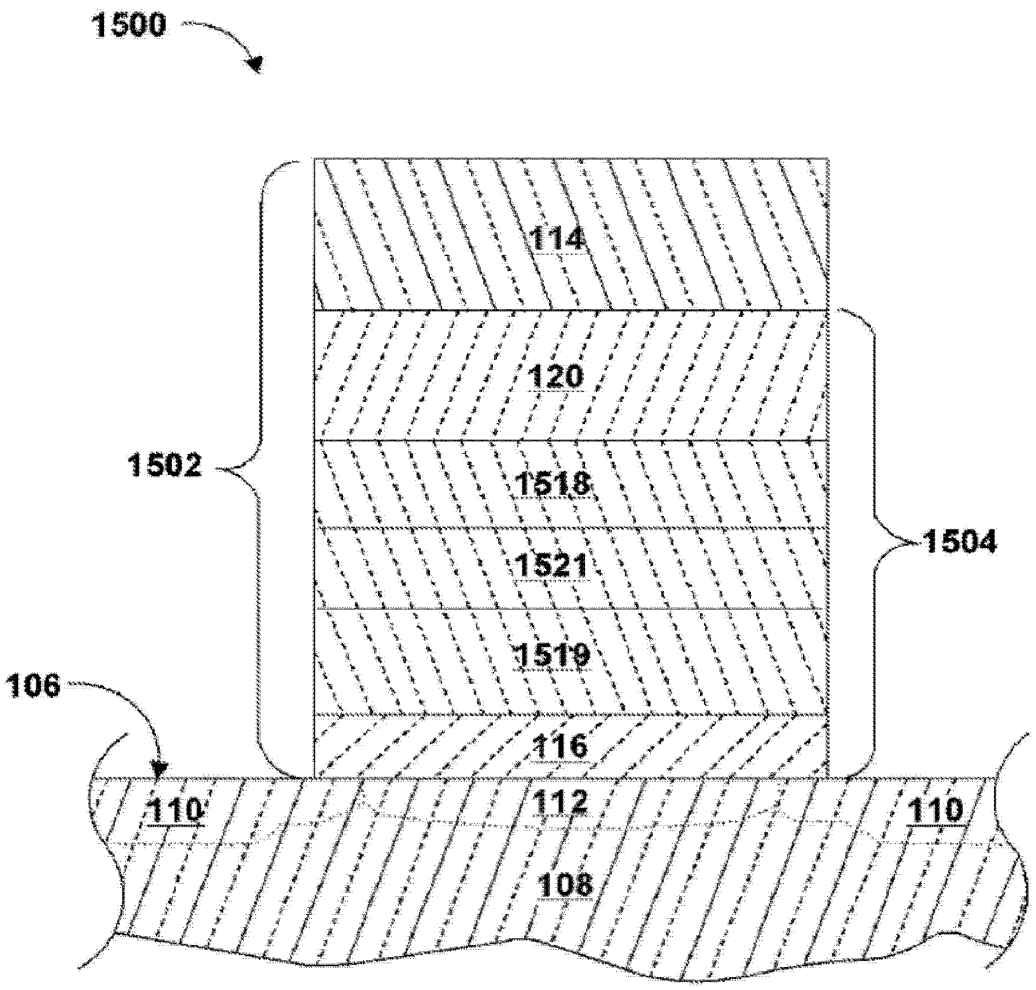


图 11

Sandisk Technologies, Inc. - Ex. 1002, Page 001120

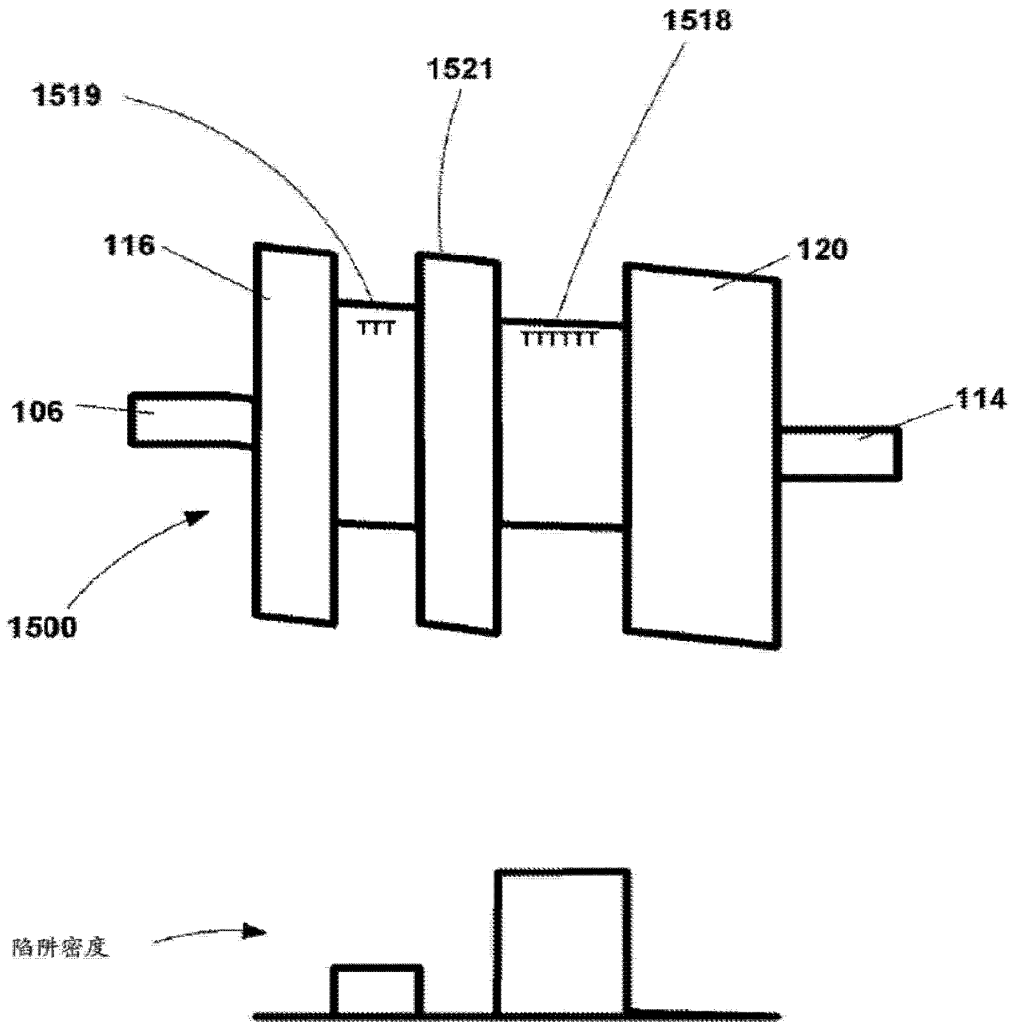


图 12

Sandisk Technologies, Inc. - Ex. 1002, Page 001121

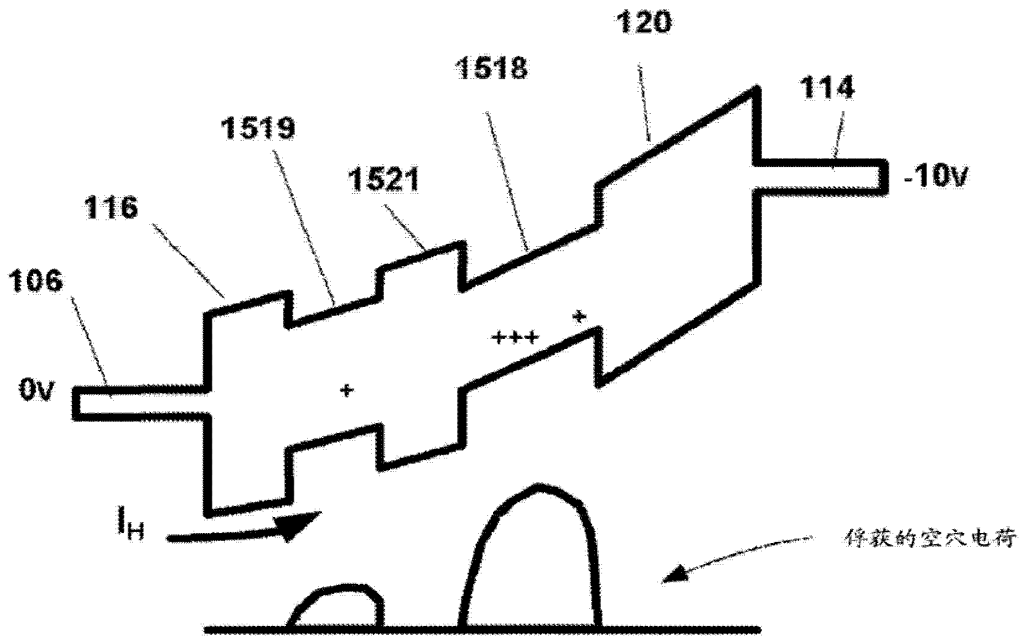


图 13

Sandisk Technologies, Inc. - Ex. 1002, Page 001122

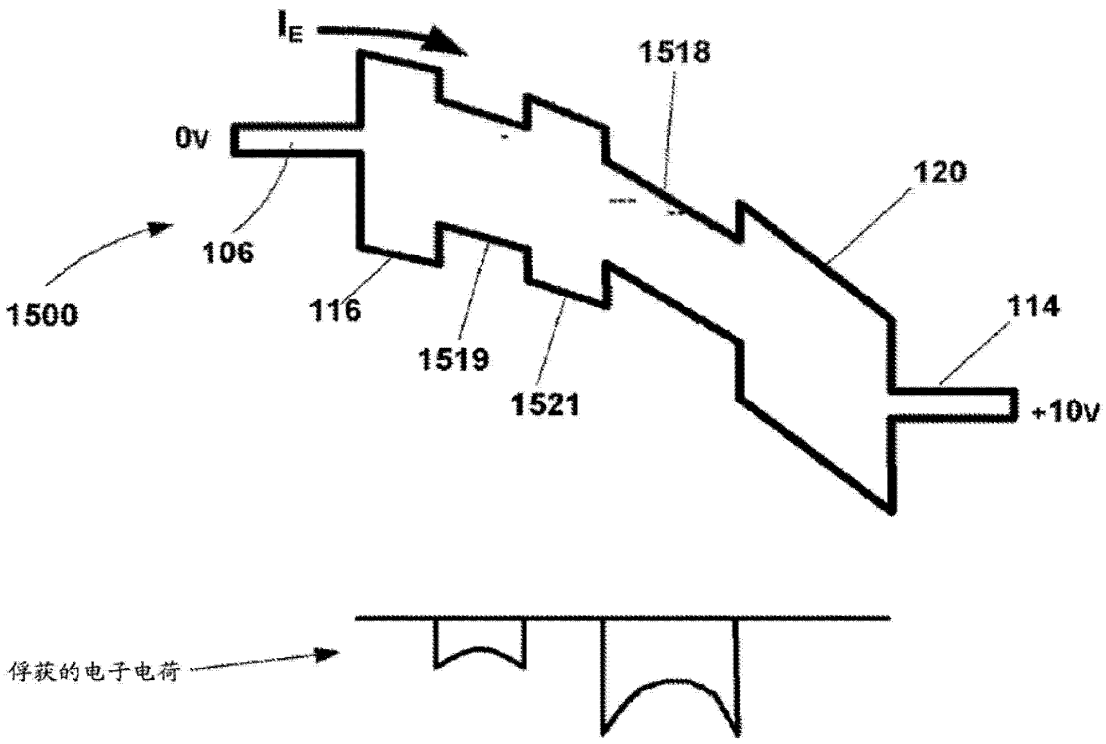


图 14

Sandisk Technologies, Inc. - Ex. 1002, Page 001123

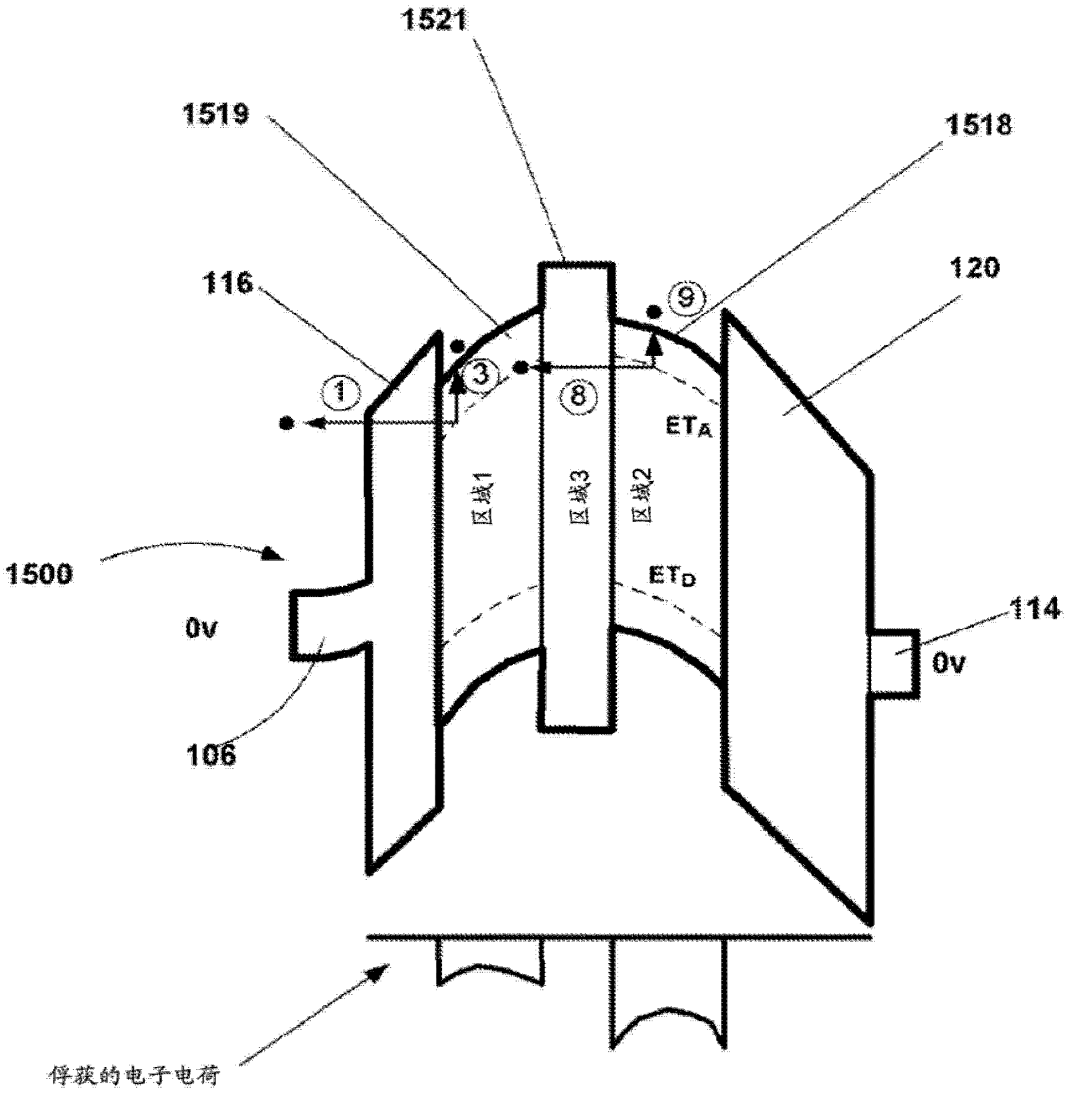


图 15

Sandisk Technologies, Inc. - Ex. 1002, Page 001124

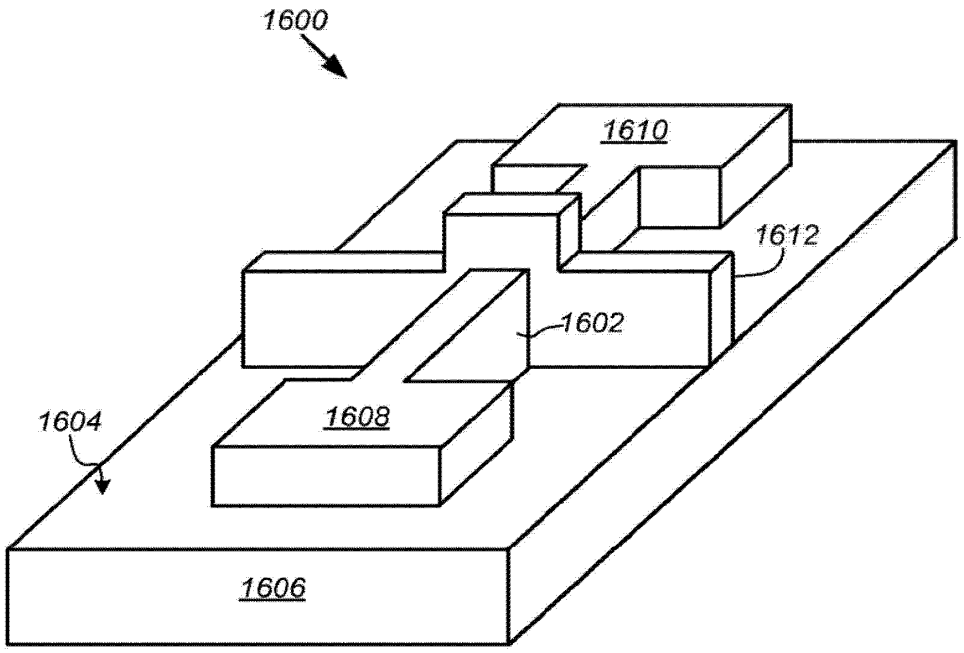


图 16A

Sandisk Technologies, Inc. - Ex. 1002, Page 001125

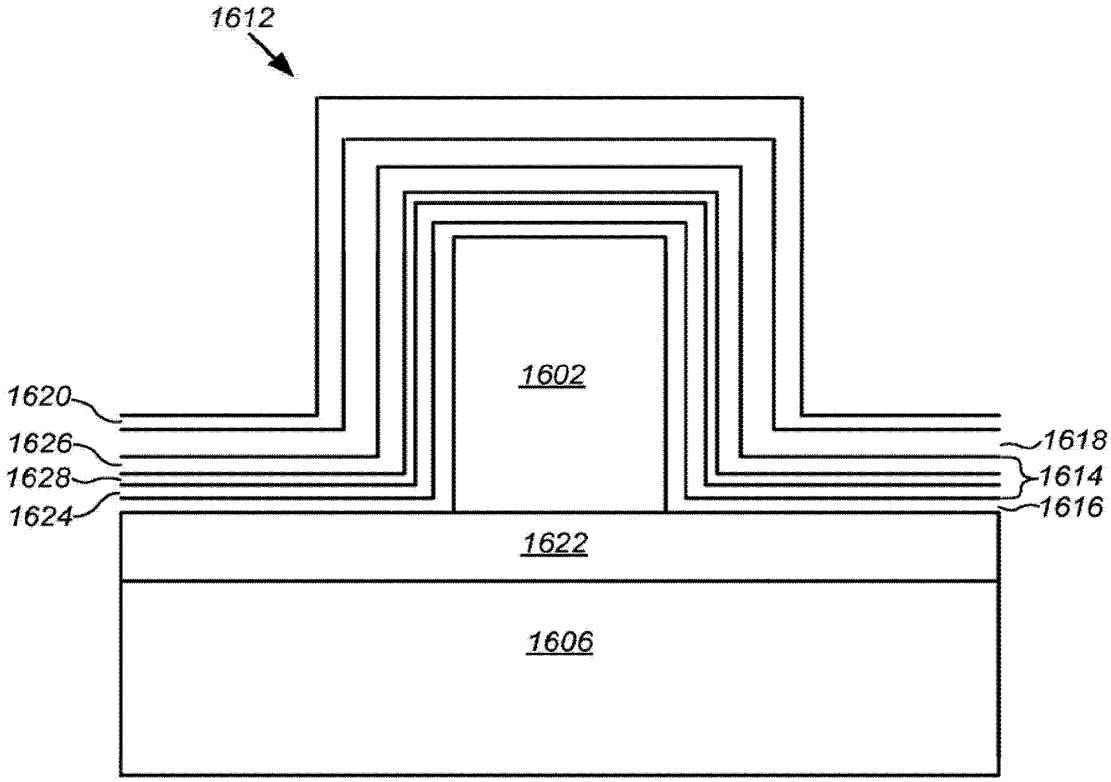


图 16B

Sandisk Technologies, Inc. - Ex. 1002, Page 001126

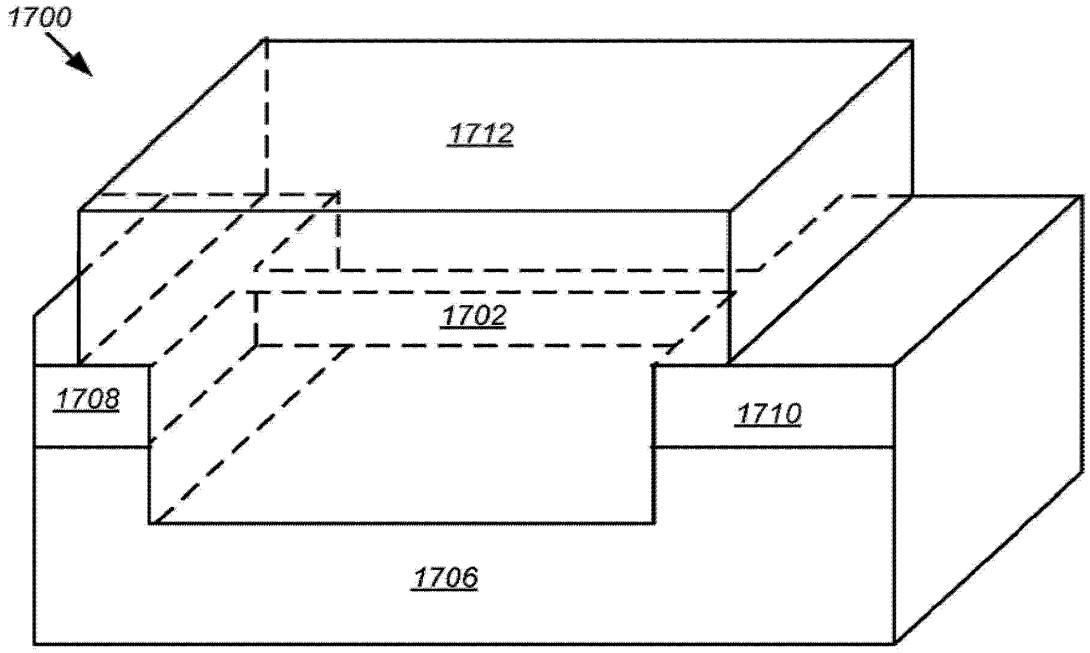


图 17A

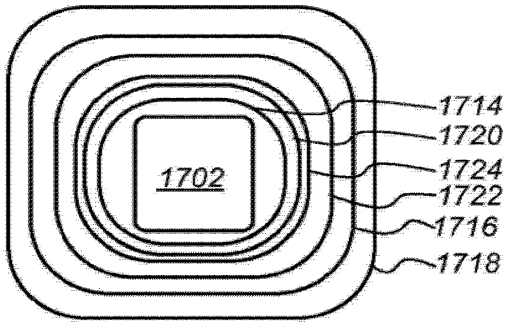


图 17B

Sandisk Technologies, Inc. - Ex. 1002, Page 001127

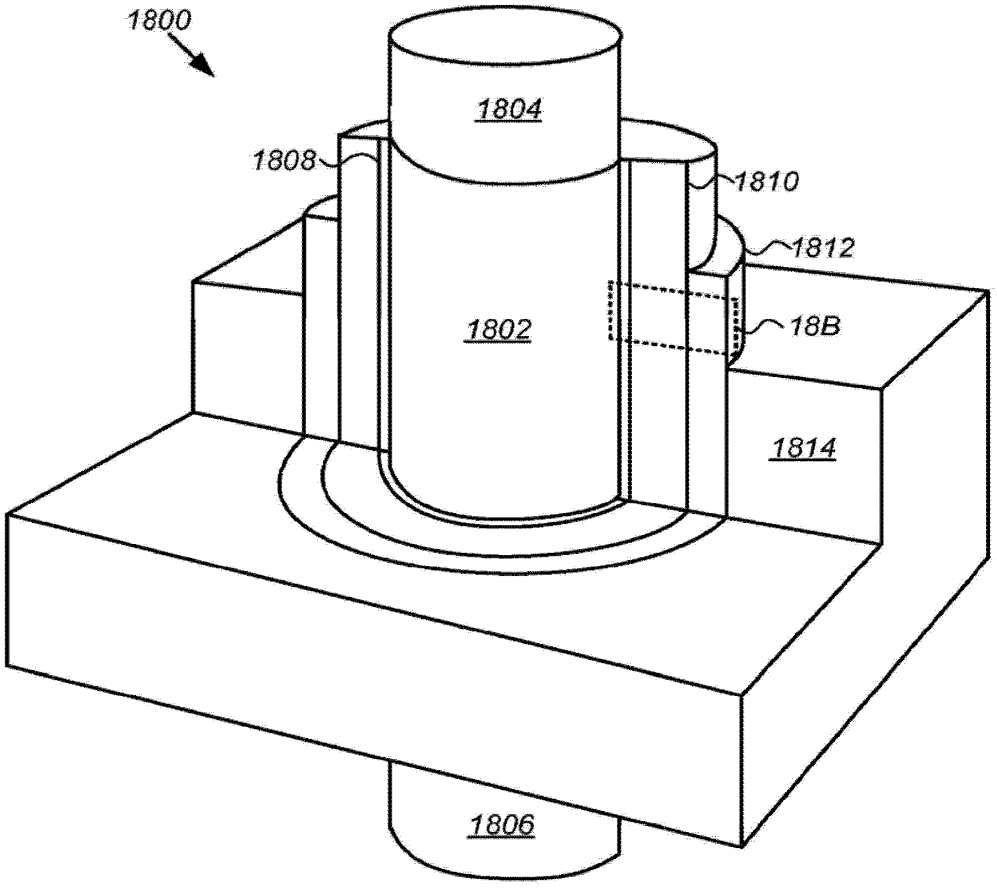


图 18A

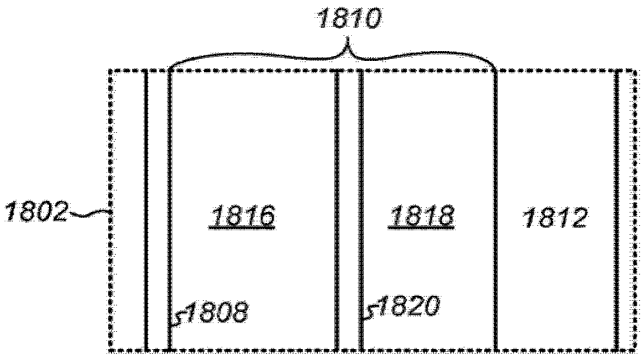


图 18B

Sandisk Technologies, Inc. - Ex. 1002, Page 001128

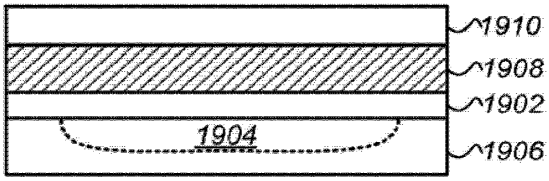


图 19A

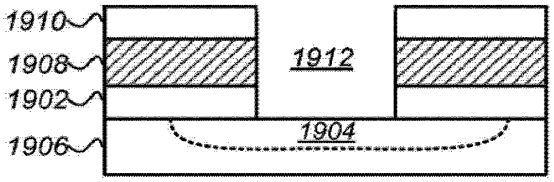


图 19B

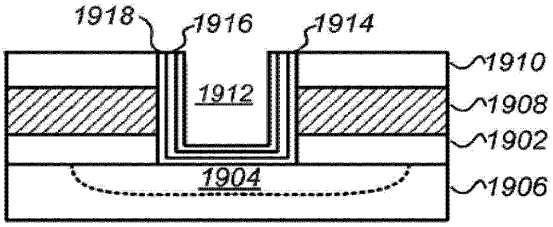


图 19C

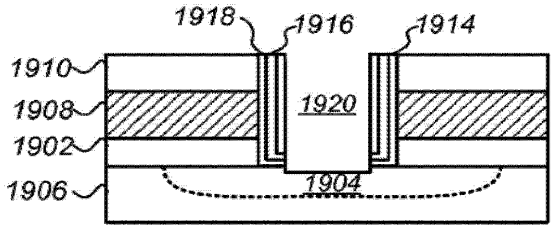


图 19D

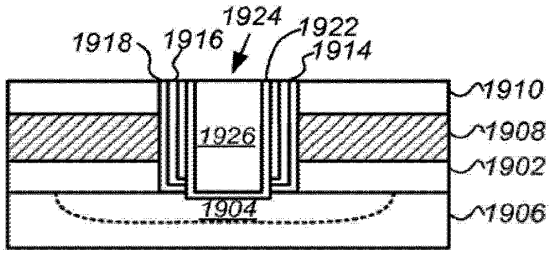


图 19E

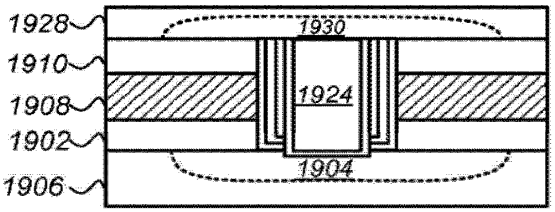


图 19F

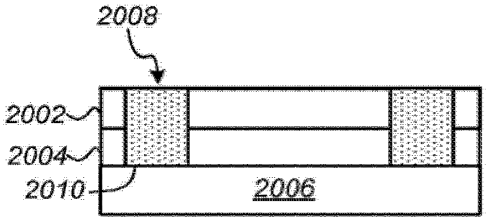


图 20A

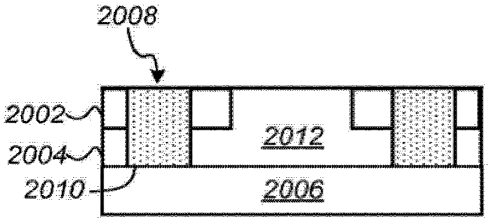


图 20B

Sandisk Technologies, Inc. - Ex. 1002, Page 001129

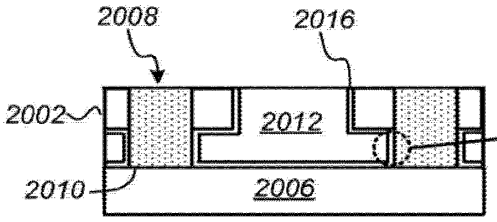


图 20C

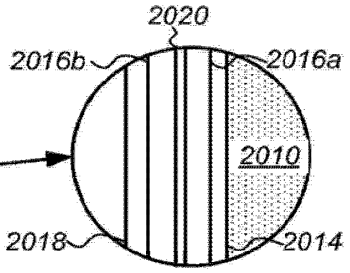


图 20D

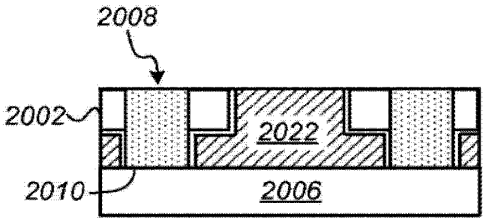


图 20E

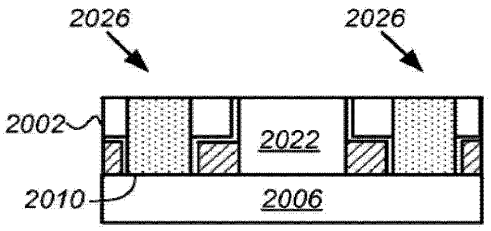


图 20F

Sandisk Technologies, Inc. - Ex. 1002, Page 001130

Espacenet

CN102142454A Semiconductor device and manufacturing method thereof

Applicants: UNIV TSINGHUA

Inventors: JING WANG,LEI GUO,XU JUN

Classifications:
IPC ***H01L21/02; H01L21/20; H01L29/06; H01L29/12;***

CPC **H01L21/02381 (EP); H01L21/0245 (EP,US); H01L21/0251 (EP); H01L21/02538 (EP); H01L21/0262 (EP); H01L21/02639 (EP); H01L21/02647 (EP); H01L29/267 (US);**

Priorities: CN201010293093A 2010-09-27; CN201110003074A 2011-01-07

Application: CN102142454A·2011-01-07

Publication: CN102142454A·2011-08-03

Published as: CN102142454A;**CN102142454B; US2013207161A1; US8592864B2; WO2012041087A1**

Semiconductor device and manufacturing method thereof

Abstract

The invention provides a semiconductor device and a forming method thereof. The semiconductor device comprises a semiconductor substrate, an insulating layer, a first buffer layer and a compound semiconductor layer, wherein the insulating layer is formed on the semiconductor substrate, and is provided with an opening which exposes the upper surface of the semiconductor substrate, the first bufferlayer is formed on the semiconductor substrate in the opening, and the compound semiconductor layer is formed on the first buffer layer in the opening.

Sandisk Technologies, Inc. - Ex. 1002, Page 001131

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 102142454 A
(43)申请公布日 2011.08.03

(21)申请号 201110003074.7

(22)申请日 2011.01.07

(66)本国优先权数据
201010293093.3 2010.09.27 CN

(71)申请人 清华大学
地址 100084 北京市海淀区清华园

(72)发明人 王敬 许军 郭磊

(74)专利代理机构 北京市柳沈律师事务所 11105
代理人 张波 冯玉清

(51)Int.Cl.
H01L 29/06(2006.01)
H01L 29/12(2006.01)
H01L 21/02(2006.01)
H01L 21/20(2006.01)

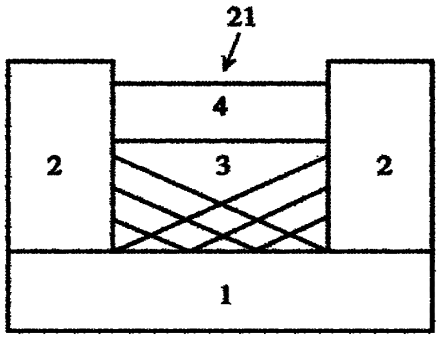
权利要求书 1 页 说明书 7 页 附图 4 页

(54)发明名称

半导体器件及其制造方法

(57)摘要

本发明提供一种半导体器件及其形成方法。该半导体器件包括：半导体衬底；绝缘层，形成在该半导体衬底上，该绝缘层具有暴露该半导体衬底的上表面的开口；第一缓冲层，形成在该开口中的该半导体衬底上；以及化合物半导体层，形成在该开口中的该第一缓冲层上。



CN 102142454 A

Sandisk Technologies, Inc. - Ex. 1002, Page 001132

1. 一种半导体器件，包括：

半导体衬底；

绝缘层，形成在该半导体衬底上，该绝缘层具有暴露该半导体衬底的上表面的开口；

第一缓冲层，形成在该开口中的该半导体衬底上；以及

化合物半导体层，形成在该开口中的该第一缓冲层上。

2. 如权利要求 1 所述的半导体器件，其中该第一缓冲层包括纯 Ge、Ge 含量为 50at. % 以上的 SiGe、或其组合。

3. 如权利要求 1 所述的半导体器件，其中该第一缓冲层通过 200-500℃的低温减压化学气相沉积工艺形成。

4. 如权利要求 1 所述的半导体器件，其中该化合物半导体层包括 GaAs、InGaAs、InSb、InP、InAlAs、AlGaAs、或其组合。

5. 如权利要求 1 所述的半导体器件，其中该化合物半导体层通过 200-600℃的低温金属有机化学气相沉积工艺形成。

6. 如权利要求 1 所述的半导体器件，还包括形成在该第一缓冲层和该化合物半导体层之间的第二缓冲层。

7. 如权利要求 6 所述的半导体器件，其中该第二缓冲层包括 GaAs、AlGaAs、InAlAs、AlInSb、InP、InGaAs、或其组合。

8. 如权利要求 6 所述的半导体器件，其中该第二缓冲层通过 200-600℃的低温金属有机化学气相沉积工艺形成。

9. 如权利要求 1 所述的半导体器件，其中该化合物半导体层是应变层。

10. 一种制造半导体器件的方法，包括：

准备半导体衬底；

在该半导体衬底上形成绝缘层；

在该绝缘层中形成开口以暴露该半导体衬底的上表面；

在该半导体衬底的通过所述开口暴露的表面上选择性外延生长第一缓冲层；以及

在所述开口中的该第一缓冲层之上外延生长化合物半导体层。

11. 如权利要求 10 所述的方法，其中该第一缓冲层通过 200-500℃的低温减压化学气相沉积工艺形成。

12. 如权利要求 10 所述的方法，其中该化合物半导体层通过 200-600℃的低温金属有机化学气相沉积工艺形成。

13. 如权利要求 10 所述的方法，还包括在形成该化合物半导体层之前，通过 200-600℃的低温金属有机化学气相沉积工艺形成在所述开口中的该第一缓冲层上形成第二缓冲层。

14. 如权利要求 10 所述的方法，其中该化合物半导体层是应变层。

Sandisk Technologies, Inc. - Ex. 1002, Page 001133

半导体器件及其制造方法

技术领域

[0001] 本发明涉及一种半导体器件及其制造方法，更具体而言，涉及一种半导体器件，其包括具有高载流子迁移率的化合物半导体层，且还涉及制造该半导体器件的方法。

背景技术

[0002] 随着半导体器件的特征尺寸不断缩小，硅材料形成的沟道的迁移率已经无法满足器件性能不断提升的要求。因此，采用其它高迁移率材料来代替硅作为沟道材料，或者引入应变工程来提高沟道的迁移率，已经成为目前的研究课题。

[0003] 化合物半导体材料例如 III-V 族半导体材料由于其高的迁移率已经引起人们的注意。由于 Si 材料在成本控制、晶片尺寸等方面的规模效应，一种可行的方法是在 Si 晶片上异质外延化合物半导体材料。然而，由于不同材料之间的晶格失配，在外延过程中会引入大量的位错缺陷，影响器件的性能。

[0004] 因此，需要一种半导体器件，其包括在 Si 晶片上形成的低位错密度、低表面粗糙度的高质量化合物半导体层，以及制造该半导体器件的方法。

发明内容

[0005] 本发明的一个方面在于提供一种半导体器件，其包括具有高载流子迁移率的化合物半导体层。

[0006] 本发明的另一方面在于提供一种制造半导体器件的方法，该半导体器件包括具有高载流子迁移率的化合物半导体层。

[0007] 本发明一示范性实施例提供一种半导体器件，该半导体器件包括：半导体衬底；绝缘层，形成在该半导体衬底上，该绝缘层具有暴露该半导体衬底的上表面的开口；第一缓冲层，形成在该开口中的该半导体衬底上；以及化合物半导体层，形成在该开口中的该第一缓冲层上。

[0008] 在一示例中，该第一缓冲层可包括纯 Ge、Ge 含量为 50at. % 以上的 SiGe、或其组合。

[0009] 在一示例中，该第一缓冲层可通过 200-500℃的低温减压化学气相沉积工艺形成。

[0010] 在一示例中，该第一缓冲层可包括 Ge 含量为 50at. % 以上的 SiGe，且所述 Ge 含量可沿生长方向梯度增加。

[0011] 在一示例中，该第一缓冲层中的位错线大部分沿倾斜方向延伸且终止于该第一缓冲层与该绝缘层之间的界面处。例如，位错线相对于该半导体衬底的所述上表面可成 30-65 度角，很少观察到垂直位错线的存在。

[0012] 在一示例中，该化合物半导体层可包括 GaAs、InGaAs、InSb、InP、InAlAs、AlGaAs、或其组合。在一示例中，该组合包括异质结结构，包括但不限于两个宽禁带半导体层夹着一个窄禁带半导体层的三层的势阱结构，例如 InGaAs/InSb/InGaAs 等。

[0013] 在一示例中，该化合物半导体层可通过 200-600℃的低温金属有机化学气相沉积

Sandisk Technologies, Inc. - Ex. 1002, Page 001134

工艺形成。

[0014] 在一示例中，该半导体衬底可包括纯 Si、Ge 含量在 30at. %以下的 SiGe、或其组合。

[0015] 在一示例中，该半导体器件还可包括形成在该第一缓冲层和该化合物半导体层之间的第二缓冲层。

[0016] 在一示例中，该第二缓冲层可包括 GaAs、AlGaAs、AlInAs、AlInSb、InP、InGaAs、或其组合。

[0017] 在一示例中，该第二缓冲层可通过 200-600℃的低温金属有机化学气相沉积工艺形成。

[0018] 在一示例中，该化合物半导体层可以是应变层。

[0019] 在一示例中，该化合物半导体层可延伸地超出该开口且横向延伸到该绝缘层上。

[0020] 在一示例中，该开口的深宽比可大于约 1；在一示例中，该开口的深宽比可大于约 1 且小于约 10；在一示例中，该开口的深宽比可大于约 2 且小于约 5。

[0021] 本发明一示范性实施例还提供一种制造半导体器件的方法，该方法包括：准备半导体衬底；在该半导体衬底上形成绝缘层；在该绝缘层中形成开口以暴露该半导体衬底的上表面；在该半导体衬底的通过所述开口暴露的表面上选择性外延生长第一缓冲层；以及在所述开口中的该第一缓冲层之上外延生长化合物半导体层。

[0022] 在一示例中，该第一缓冲层可包括纯 Ge、Ge 含量为 50at. %以上的 SiGe、或其组合。

[0023] 在一示例中，该第一缓冲层可通过 200-500℃的低温减压化学气相沉积工艺形成。

[0024] 在一示例中，该第一缓冲层可包括 Ge 含量为 50at. %以上的 SiGe，且所述 Ge 含量沿生长方向梯度增大。

[0025] 在一示例中，该第一缓冲层中的位错线大部分沿倾斜方向延伸且终止于该第一缓冲层与该绝缘层之间的界面处。例如，位错线相对于该半导体衬底的所述上表面可成 30-65 度角，很少观察到垂直位错线的存在。

[0026] 在一示例中，该化合物半导体层可包括 GaAs、InGaAs、InSb、InP、InAlAs、AlGaAs、或其组合。在一示例中，该组合包括异质结结构，包括但不限于两个宽禁带半导体层夹着一个窄禁带半导体层的三层的势阱结构，例如 InGaAs/InSb/InGaAs 等。

[0027] 在一示例中，该化合物半导体层可通过 200-600℃的低温金属有机化学气相沉积工艺形成。

[0028] 在一示例中，在生长所述化合物半导体层时，可向生长室中导入 HCl 气体。

[0029] 在一示例中，该半导体衬底可包括纯 Si、Ge 含量在 30at. %以下的 SiGe、或其组合。

[0030] 在一示例中，该方法还可包括在形成该化合物半导体层之前，在所述开口中的该第一缓冲层上形成第二缓冲层。

[0031] 在一示例中，该第二缓冲层可包括 GaAs、AlGaAs、AlInAs、AlInSb、InP、InGaAs、或其组合。

[0032] 在一示例中，该第二缓冲层可通过 200-600℃的低温金属有机化学气相沉积工艺形成。

Sandisk Technologies, Inc. - Ex. 1002, Page 001135

[0033] 在一示例中，该化合物半导体层是应变层。

[0034] 在一示例中，该化合物半导体层可生长得超过所述开口，且在所述绝缘层的上表面上形成连续的层。

[0035] 在一示例中，该方法还可包括：去除所述连续的层的在相邻开口之间的一部分以形成槽；在所述槽中填充电介质以形成隔离结构；以及平坦化所述化合物半导体层和所述隔离结构。

附图说明

[0036] 图 1 是根据本发明一示范性实施例的半导体器件的剖视图；

[0037] 图 2 是根据本发明另一示范性实施例的半导体器件的剖视图；

[0038] 图 3 是根据本发明又一示范性实施例的半导体器件的剖视图；

[0039] 图 4A-4E 是一系列剖视图，示出根据本发明一示范性实施例的制造半导体器件的方法；

[0040] 图 5 示出根据本发明一示范性实施例形成的 SiGe 缓冲层与 Si 衬底之间的界面的透射电子显微镜 (TEM) 图像；

[0041] 图 6 示出根据本发明一示范性实施例形成的 SiGe 缓冲层的表面原子力显微镜 (AFM) 图像；以及

[0042] 图 7A-7C 是剖视图，示出根据本发明另一示范性实施例的制造半导体器件的方法。

具体实施方式

[0043] 下面将参考附图详细描述本发明的示范性实施方式。应理解的是，本发明能以许多不同的形式实施，而不局限于这里给出的实施例。提供这些实施例使得本公开充分和完整，并向本领域技术人员充分传达本发明的范围。附图不是按比例绘制的。在附图中，相同的附图标记可以表示相同或相似的元件。

[0044] 图 1 是示出根据本发明一示范性实施例的半导体器件的剖视图。

[0045] 如图 1 所示，根据该示范性实施例的半导体器件包括衬底 1，形成在衬底 1 上的绝缘层 2，形成在绝缘层 2 中以暴露衬底 1 的上表面的开口 21，形成在开口 21 中的衬底 1 表面上的第一缓冲层 3，以及形成在开口 21 中的第一缓冲层 3 上的化合物半导体层 4。

[0046] 衬底 1 可以是半导体衬底，包括但不限于 Si 衬底、SOI 衬底、低 Ge 含量的 SiGe 衬底等。半导体衬底的上表面可以是预定晶面。例如，如图 1 所示，衬底 1 可以是 Si 衬底，其表面可以是 (100) 晶面。在另一示例中，衬底 1 还可以包括外延生长于 Si 基底上的低 Ge 含量的 SiGe 层（未示出），其中 Ge 含量例如不大于 30at. %。

[0047] 绝缘层 2 可由电介质材料形成，包括但不限于 SiO_2、Si_3N_4 等。根据不同的需要，绝缘层 2 的厚度可以在从数十纳米到数微米的范围。绝缘层 2 中可形成有开口 21 以暴露衬底 1 的上表面。开口 21 可以是例如孔、沟槽或其他图形。虽然图 1 仅示出了一个开口 21，但是应理解的是，可以有多个开口 21 形成在绝缘层 2 中。开口 21 的尺寸可根据需要来确定，开口 21 的深宽比可大于约 1，优选大于约 1 且小于约 10，更优选地大于约 2 且小于约 5。关于深宽比范围的选择，将在下面详细论述。

Sandisk Technologies, Inc. - Ex. 1002, Page 001136

[0048] 第一缓冲层 3 可形成在开口 21 中的衬底 1 的表面上。形成第一缓冲层 3 的材料可包括例如纯 Ge、高 Ge 含量的 SiGe、或其组合。在本发明中，第一缓冲层 3 可通过低温减压化学气相沉积 (RPCVD) 工艺形成，例如在 200-500℃的范围，优选在 350-500℃的温度范围。在一示例中，第一缓冲层 3 是低温减压化学气相沉积工艺形成的纯 Ge 层；在另一示例中，缓冲层 3 是低温减压化学气相沉积工艺形成的高 Ge 含量的 SiGe 层，其中 Ge 含量为例如 50at. % 以上，或者 Ge 含量可沿生长方向逐渐增大，例如从约 50at. % 逐渐增大到约 100at. %。

[0049] 图 5 是根据本发明一实施例采用低温减压化学气相沉积工艺生长的高 Ge 组分的 SiGe 缓冲层与 Si 衬底之间的界面的透射电子显微镜 (TEM) 图像。外延生长在 500℃的温度下进行，所得 SiGe 缓冲层 3 中的 Ge 含量为 87at. %。与常规生长工艺不同，如图 1 和图 5 所示，在通过低温化学气相沉积工艺形成的第一缓冲层 3 中，位错线可沿倾斜方向延伸，而几乎没有观察到垂直向上延伸的位错线。位错线与衬底 1 的上表面之间的夹角一般在约 30-65 度之间的范围。相向延伸的位错线彼此相遇后，根据伯格斯矢量而湮灭或者继续倾斜向上延伸。在本发明中，第一缓冲层 3 生长于绝缘层 2 的开口 21 中。这样，第一缓冲层 3 中的位错线可终止于第一缓冲层 3 与绝缘层 2 之间的界面处。换言之，绝缘层 2 阻挡了第一缓冲层 3 中的位错线的进一步倾斜向上延伸，从而与没有绝缘层 2 时相比，可将位错线限制在更薄的区域内。这样，第一缓冲层 3 的上部可具有小的位错密度，能获得良好的晶体结构，且在同样厚度的缓冲层中能有更厚的区域具有理想的晶体结构。绝缘层 2 中的开口 21 的深宽比必须足够大，以使绝缘层 2 能滤除大部分的位错线。在一实施例中，开口 21 的深宽比优选大于约 1。当深宽比小于 1 时，位错线可能一直延伸到缓冲层的上表面。然而，当深宽比过大时，又不利于化学气相沉积工艺的进行。在本实施例中，开口 21 的深宽比可小于 10。考虑到位错线的倾斜角度和化学气相沉积工艺，开口 21 的深宽比优选大于约 2 且小于约 5。这样，既能使绝缘层 2 滤除位错线，又能保证低温化学气相沉积工艺的正常进行。

[0050] 化合物半导体层 4 形成在开口 21 中的第一缓冲层 3 上。化合物半导体层 4 的材料可以是 GaAs、InGaAs、InSb、InP、InAlAs、AlGaAs、或其组合。在一示例中，该组合可包括异质结结构，该异质结结构包括但不限于两个宽禁带半导体层夹着一个窄禁带半导体层的三层的势阱结构，例如 InGaAs/InSb/InGaAs 等。由于所形成的第一缓冲层 3 的上表面具有良好的晶体结构，所以化合物半导体层 4 可以具有优异的晶体结构。优选地，化合物半导体层 4 可通过低温金属有机化学气相沉积 (MOCVD) 工艺形成，例如在 200-600℃的范围，从而化合物半导体层 4 具有低的缺陷密度和理想的晶体结构，以用于高迁移率晶体管等器件的制作。

[0051] 将理解的是，本发明能提供应变的和非应变的化合物半导体层 4。例如，GaAs 与 Ge 的晶格失配为 0.08%，加入 1.5at. % 的 In 后就和 Ge 完美匹配。当第一缓冲层 3 是 Ge 时，GaAs 形成的化合物半导体层 4 是应变的，而 InGaAs（其中 In 含量为 1.5at. %）形成的化合物半导体层 4 是非应变的。此外，化合物半导体层 4 的应变属性可根据器件的导电类型例如 n 型和 p 型而通过改变化合物半导体层 4 和第一缓冲层 3 的组分以及含量来调节。这可以用于进一步调整晶体管沟道的载流子迁移率。

[0052] 图 2 示出根据本发明另一示范性实施例的半导体器件。在图 2 中，相同的附图标记表示与图 1 相同、相似或相应的特征。图 2 的半导体器件与图 1 的半导体器件基本相同，除了以下描述的部分之外。

Sandisk Technologies, Inc. - Ex. 1002, Page 001137

[0053] 在图 2 所示的半导体器件中，多个开口 21 形成在绝缘层 2 中。化合物半导体层 4 不仅可选择性生长于开口 21 中的第一缓冲层 3 上，而且还延伸到开口 21 之外，横向延伸到绝缘层 2 的上表面上。隔离结构 5 形成在相邻开口 21 之间的绝缘层 2 上从而将相邻半导体层 4 间隔开。隔离结构 5 可由电介质例如 SiO_2、Si_3N_4 形成。

[0054] 在本实施例中，化合物半导体层 4 从开口 21 中的第一缓冲层 3 外延生长。如前所述，化合物半导体层 4 具有低的位错密度和光滑的表面。此外，由于化合物半导体层 4 还延伸到开口 21 之外且横向延伸到绝缘层 2 的上表面上，所以能提高晶片面积的利用效率。再者，如后面将要描述的，在本示范性实施例中，化合物半导体层 4 能够提供平坦的表面。

[0055] 图 3 示出根据本发明又一示范性实施例的半导体器件。在图 3 中，相同的附图标记表示与图 1 相同、相似或相应的特征。图 3 的半导体器件与图 1 的半导体器件基本相同，除了以下描述的部分之外。

[0056] 如图 3 所示，根据本示范性实施例的半导体器件还包括在第一缓冲层 3 和化合物半导体层之间的第二缓冲层 34。如前所示，第一缓冲层 3 的上表面可具有小的位错密度和良好的晶体结构。通过在第一缓冲层 3 和化合物半导体层 4 之间插入第二缓冲层 34，可以进一步减少晶体缺陷，且同时灵活地调节化合物半导体层 4 中的应力。换言之，可以根据化合物半导体层 4 的材料和所需应力来选择第二缓冲层 34 的材料。第二缓冲层 34 可包括例如 GaAs、AlGaAs、AlInAs、AlInSb、InP、InGaAs、或其组合。第二缓冲层 34 可通过例如 200-600℃的低温金属有机化学气相沉积工艺形成。

[0057] 下面，将参照图 4A-4E 描述根据本发明一实施例制造半导体器件的方法。

[0058] 如图 4A 所示，准备衬底 1。衬底 1 可以是半导体衬底，包括但不限于 Si 衬底、SOI 衬底、低 Ge 含量的 SiGe 衬底等。根据需要，半导体衬底的上表面可以是特定的晶面，例如，衬底 1 可以是 Si 衬底，其上表面可以是 (100) 晶面。在另一示例中，衬底 1 包括外延生长于 Si 基底上的低 Ge 含量的 SiGe 层（未示出），其中 Ge 含量例如不大于 30at. %。

[0059] 如图 4B 所示，在衬底 1 上形成绝缘层 2。绝缘层 2 可由电介质材料形成，包括但不限于 SiO_2、Si_3N_4 等。形成绝缘层 2 的方法包括但不限于例如热氧化法、溅射沉积法、以及化学气相沉积法例如低压化学气相沉积、等离子体增强化学气相沉积等。根据不同的需要，绝缘层 2 的厚度可以在例如从数十纳米到数微米的范围。

[0060] 参照图 4C，在绝缘层 2 中形成开口 21 以暴露衬底 1 的上表面。开口 21 可以是孔或沟槽。孔可具有任意形状，包括但不限于矩形、正方形、圆形、椭圆形等。优选地，开口 21 可以是具有矩形或椭圆形的孔，且矩形的长度方向或者椭圆形的长轴方向与 Si 衬底的 <100> 或 <110> 晶向平行，<100> 和 <110> 晶向可以是在后续工艺中形成的半导体器件的沟道中的载流子迁移方向，从而获得大的载流子迁移率。形成开口 21 的方法可包括在绝缘层 2 上形成光致抗蚀剂层，通过曝光和显影工艺来形成光致抗蚀剂图案，以及利用该光致抗蚀剂图案作为掩模来蚀刻绝缘层 2 以形成开口 21。开口 21 的尺寸可根据需要确定。应注意的是，开口 21 的深宽比可大于约 1，优选大于约 1 且小于约 10，更优选地大于约 2 且小于约 5。虽然图 4C 仅示出了一个开口 21，但是也可以有多个开口 21 形成在绝缘层 2 中。

[0061] 然后，如图 4D 所示，通过低温减压化学气相沉积 (RPCVD) 工艺在开口 21 中的衬底 1 的暴露表面上外延生长第一缓冲层 3。例如在 200-500℃的温度范围，优选在 350-500℃的温度范围。第一缓冲层 3 可包括例如纯 Ge、高 Ge 组分的 SiGe、或者其组合。例如，在一

Sandisk Technologies, Inc. - Ex. 1002, Page 001138

示例中，利用减压化学气相沉积设备，以 GeH_4 作为源气体，在 500℃以下的温度外延生长 Ge 缓冲层 3；或者以 GeH_4 和 SiH_4 作为源气体，在 500℃以下的温度外延生长高 Ge 组分的 SiGe 缓冲层 3。SiGe 缓冲层 3 中的 Ge 含量可以通过调节源气体的流量来调节。例如，在一示例中，在 500℃的温度下，GeH_4 的流量为 400sccm，SiH4 的流量为 0.05slm，获得的 SiGe 缓冲层 3 中 Ge 含量为 87at.％。在另一示例中，在 500℃的温度下，GeH_4 的流量为 200sccm，SiH_4 的流量为 0.05slm，获得的 SiGe 缓冲层 3 中 Ge 含量为 53at.％。在又一示例中，在 450℃的温度下，GeH_4 的流量为 450sccm，SiH_4 的流量为 0.05slm，获得的 SiGe 缓冲层 3 中 Ge 含量为 92at.％。

[0062] 如前所述，在低温条件下，减压化学气相沉积工艺形成的第一缓冲层 3 中的位错线沿倾斜方向延伸，从而位错线会终止于第一缓冲层 3 与绝缘层 2 之间的界面处。由于开口 21 的深宽比大于 1，所以绝缘层 2 能阻挡第一缓冲层 3 中的大部分位错线。这样，第一缓冲层 3 可具有小的位错密度，能获得良好的晶体结构和光滑的表面。在本发明中，第一缓冲层 3 的位错密度低于 $10^4 cm^{-2}$，表面粗糙度在 1nm 以下。

[0063] 优选地，在外延生长第一缓冲层 3 的同时，可以在生长室中导入预定流量的 HCl 气体，例如 0.10slm 的 HCl 气体，以降低在例如 SiO_2 形成的绝缘层 2 上的成核几率和生长速度，使得 Ge 或高 Ge 组分的 SiGe 材料的外延都发生在开口内的衬底 1 的表面上，由此增强第一缓冲层生长的选择性。

[0064] 虽然图中未示出，但是在形成第一缓冲层 3 之后，还可以包括在第一缓冲层 3 上形成可选的第二缓冲层 34。如前所述，通过在第一缓冲层 3 和化合物半导体层 4 之间插入第二缓冲层 34，可以进一步减少晶体缺陷，且同时灵活地调节随后形成的化合物半导体层 4 中的应力。形成第二缓冲层 34 的材料可包括例如 GaAs、AlGaAs、AlInAs、AlInSb、InP、InGaAs、或其组合。形成第二缓冲层 34 的方法可包括在例如 200-500℃的低温的金属有机化学气相沉积工艺。

[0065] 如图 5 所示，由于晶格失配引起的位错线绝大部分都产生在 Si/SiGe 界面处很薄的区域内，且呈约 60° 角倾斜向上延伸。几乎没有观察到垂直向上延伸的位错线。因此，结合低温化学气相沉积工艺和侧墙阻挡结构，由于开口 21 的深宽比大于约 1，所以大部分的倾斜位错线终止于绝缘层 2 和缓冲层 3 之间的界面处。

[0066] 图 6 示出根据本发明一实施例采用低温减压化学气相沉积工艺形成的 SiGe 缓冲层 3 的表面原子力显微镜 (AFM) 图像。该工艺在 500℃的温度下进行，所形成的 SiGe 缓冲层 3 中的 Ge 含量为 87at.％。如图所示，第一缓冲层 3 的厚度为 400nm，表面粗糙度 RMS 为 0.389nm。可以看出，根据本发明形成的第一缓冲层 3 的表面具有低的位错密度，所以外延层厚度小且表面粗糙度很低。这还避免了大厚度带来的散热问题。

[0067] 返回到图 4E，通过金属有机化学气相沉积工艺在开口 21 中的第一缓冲层 3 上外延生长化合物半导体层 4。化合物半导体层 4 的材料可以是 GaAs、InGaAs、InSb、InP、InAlAs、AlGaAs、或其组合。在一示例中，该组合包括异质结结构，包括但不限于两个宽禁带半导体层夹着一个窄禁带半导体层的三层的势阱结构，例如 InGaAs/InSb/InGaAs 等。生长室压强可以为 50-200Torr，例如为 100Torr，生长温度可以为 200-600℃，优选 300-550℃。根据不同的元素，可以采用不同的气源。例如当化合物半导体层 4 由 InGaAs 形成时，Ga 元素可采用三甲基镓 (TMGa)，In 元素可采用三甲基铟 (TMIn)，As 元素可采用叔丁基砷 (TBAs)。在

Sandisk Technologies, Inc. - Ex. 1002, Page 001139

一生长 $In_{0.53}Ga_{0.47}As$ 的示例中，生长温度可为约 400℃，TMIn 摩尔流量为 3.7×10^{-5}mol/min，TMGa 摩尔流量为 2.86×10^{-5}mol/min，TBAs 摩尔流量为 2.7×10^{-3}mol/min，生长时间为 60s、厚度约为 50nm。

[0068] 如前所述，由于所形成的第一缓冲层 3 的上表面具有良好的晶体结构和低的粗糙度，且化合物半导体层 4 生长于第一缓冲层 3 上，所以化合物半导体层 4 具有低的缺陷密度和良好的晶体结构，适合用于在其中制备高性能的 MOS 器件，例如高迁移率的晶体管和光互连器件等

[0069] 在图 4E 所示的实施例中，化合物半导体层 4 的上表面没有超出开口 21。但是，在本发明的另一实施例中，如图 7A 所示，化合物半导体层 4 的上表面还可以延伸地超出开口 21。当化合物半导体层 4 生长得超出开口 21 后，化合物半导体层 4 可以继续横向生长，从而相邻开口 21 中形成的化合物半导体层 4 彼此生长为一体，在绝缘层 2 上形成连续的化合物半导体层 4。此时，如图 6A 所示，化合物半导体层 4 的在相邻开口 21 之间的部分可能具有较高的晶体缺陷密度。

[0070] 接着，如图 7B 所示，通过例如光刻和蚀刻工艺去除化合物半导体层 4 的在相邻开口 21 之间的部分以暴露部分绝缘层 2，并在蚀刻得到的开口中填充电介质，例如通过溅射工艺来沉积 SiO_2 电介质。然后，如图 7C 所示可进行平坦化工艺例如化学机械抛光工艺，以获得隔离结构 5 和化合物半导体层 4 的平坦表面。

[0071] 应理解的是，参照图 2，由于工艺误差等因素，各个开口 21 的大小不一定完全相同，因此开口中的分子输运特性和由此导致的生长速度可能存在不同，最终形成的第一缓冲层 3 的上表面可能高低有所不同。在参照图 7A-7C 描述的示范性实施例中，由于化合物半导体层 4 延伸到开口 21 之外形成连续的层，所以能提高开口率和晶片表面的利用率；且由于采用了平坦化工艺，所以化合物半导体层 4 能够提供高度一致的平坦表面。

[0072] 然后，可以在图 4E 或者图 7C 所示的化合物半导体层 4 中制作半导体器件，例如晶体管等，其具体工艺在此处不再赘述。

[0073] 这里已经公开了本发明的示范性实施例。尽管采用了特定的术语，但是它们仅在普通和描述性意义上被使用和解释，而不是用于限制。因此，本领域普通技术人员将理解，在不偏离权利要求定义的本发明的精神和范围的情况下，可进行形式和细节上的各种变化。

Sandisk Technologies, Inc. - Ex. 1002, Page 001140

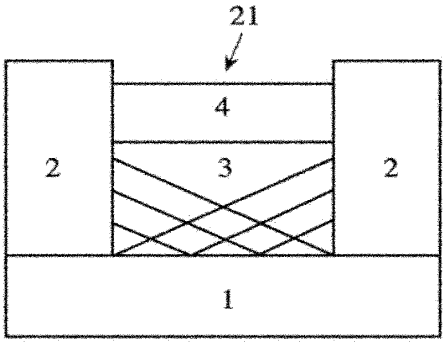


图 1

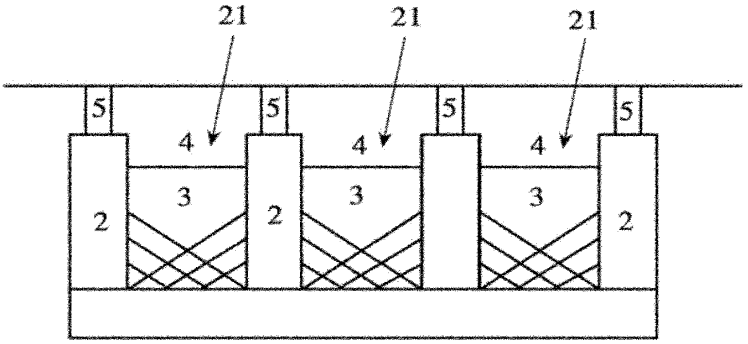


图 2

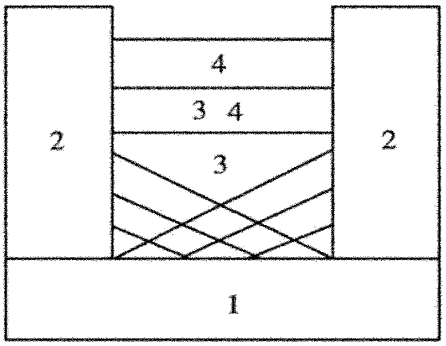


图 3



图 4A

Sandisk Technologies, Inc. - Ex. 1002, Page 001141

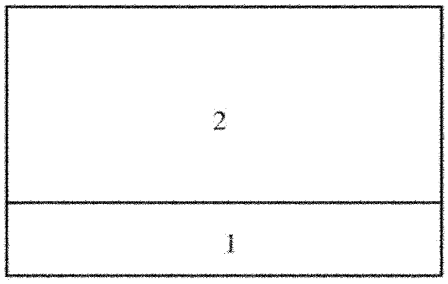


图 4B

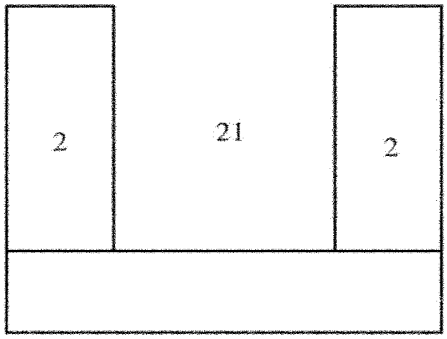


图 4C

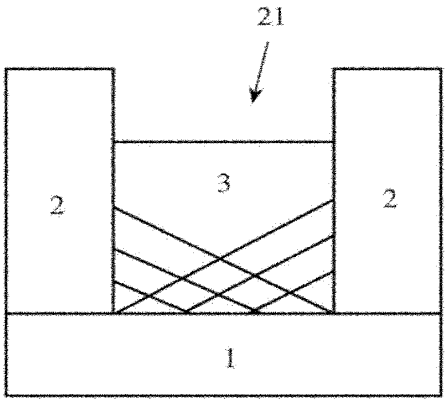


图 4D

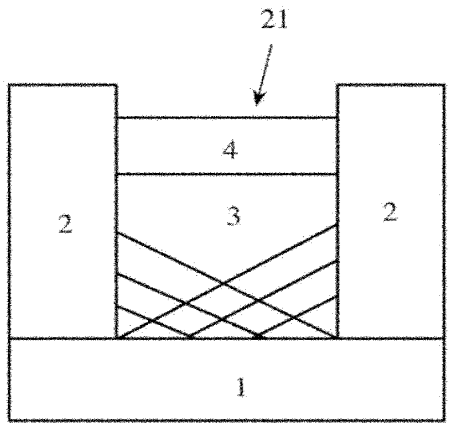


图 4E

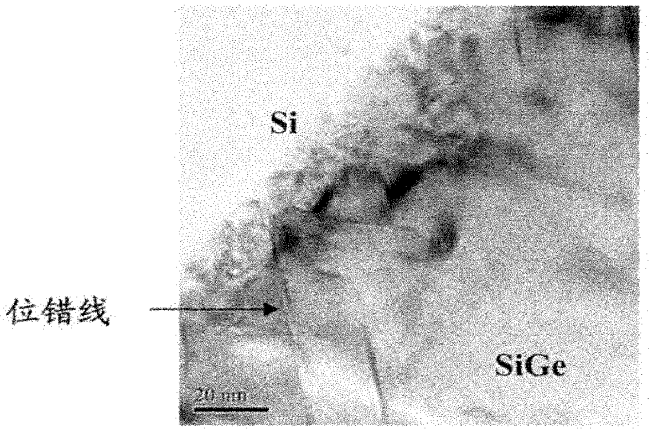


图 5

Sandisk Technologies, Inc. - Ex. 1002, Page 001142

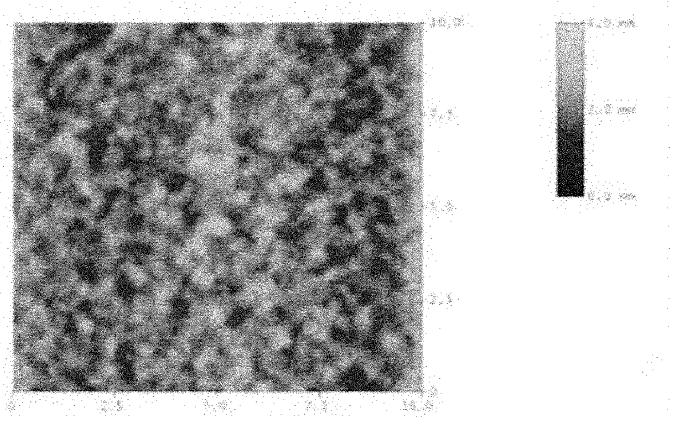


图 6

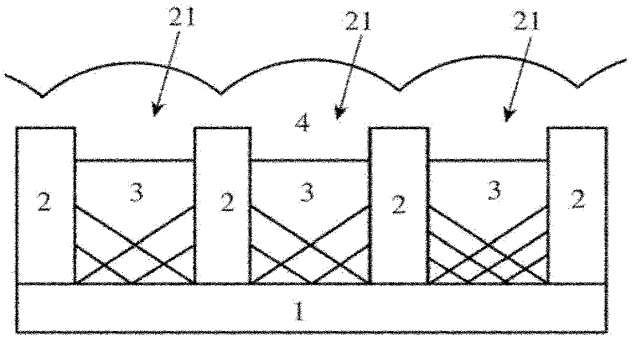


图 7A

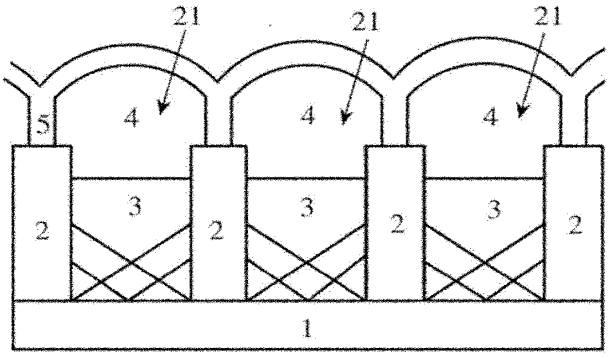


图 7B

Sandisk Technologies, Inc. - Ex. 1002, Page 001143

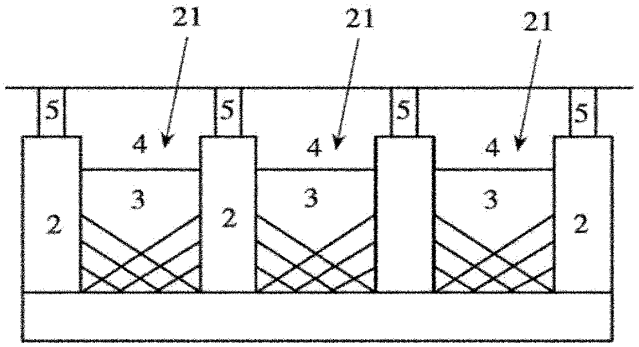


图 7C

Sandisk Technologies, Inc. - Ex. 1002, Page 001144

Espacenet

CN101859702A Oxide-nitride-oxide stack containing a plurality of oxynitrides layers

Applicants: CYPRESS SEMICONDUCTOR CORP

Inventors: JANA FREDERICK,JIHA SAM,KUMAR KRISHNASWAMY,LIVER SEGE

Classifications:

IPC ***C23C16/44; H01L21/283; H01L21/316; H01L29/423; H01L29/792;***

CPC **H01L21/285 (CN); H01L27/11521 (CN); H01L29/40114 (CN);**

Priorities: CN200910134374A 2009-04-10

Application: CN101859702A·2009-04-10

Publication: CN101859702A·2010-10-13

Published as: CN101859702A;**CN101859702B; CN106653761A**

Oxide-nitride-oxide stack containing a plurality of oxynitrides layers

Abstract

The invention discloses a semiconductor device of an oxide-nitride-oxide (ONO) stack containing a plurality of charge storage layers and a forming method thereof. Generally, the method comprises the following steps of: firstly, forming a first oxide layer on an ONO structure; secondly, forming the plurality of charge storage layers containing nitride on the first oxide layer; and thirdly, forming a second oxide layer in the ONO structure on the plurality of charge storage layers. Preferably, each charge storage layer comprises at least two silicon oxynitride layers with two chemical constitutional ratios of oxygen, nitrogen and/or silicon. More preferably, the ONO structure is a part of a silicon-oxide-nitride-oxide-silicon (SONOS) structure, and the semiconductor device is an SONOS memory transistor.

Sandisk Technologies, Inc. - Ex. 1002, Page 001145

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 101859702 A
(43)申请公布日 2010.10.13

(21)申请号 200910134374.1

(22)申请日 2009.04.10

(71)申请人 赛普拉斯半导体公司
地址 美国加利福尼亚州圣何塞市

(72)发明人 赛格·利维
克里希纳斯瓦米·库马尔
弗雷德里克·詹纳 萨姆·吉哈

(74)专利代理机构 北京银龙知识产权代理有限公司 11243
代理人 钟晶

(51)Int.Cl.
H01L 21/316(2006.01)
C23C 16/44(2006.01)
H01L 21/283(2006.01)
H01L 29/792(2006.01)
H01L 29/423(2006.01)

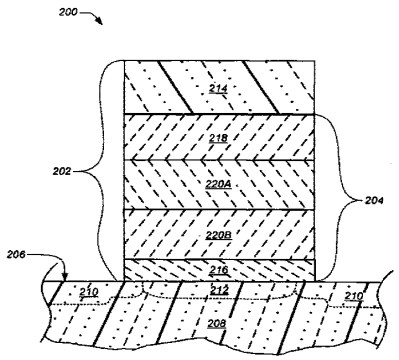
权利要求书 2 页 说明书 7 页 附图 4 页

(54)发明名称

含多层氧氮化物层的氧化物-氮化物-氧化物堆栈

(57)摘要

本发明公开了一种含有多层电荷存储层的氧化物-氮化物-氧化物(ONO)堆栈的半导体器件及其形成方法。通常,该方法涉及:(i)形成ONO结构上的第一氧化物层;(ii)在第一氧化物层上形成含有氮化物的多层电荷存储层;以及(iii)在多层电荷储存层上形成ONO结构第二氧化物层。优选的是电荷存储层包含至少两个含有不同氧,氮,和/或硅化学组成比的硅氧氮化物层。更优选的是ONO结构是硅-氧化物-氮化物-氧化物-硅(SONOS)结构的一部分,且该半导体器件是SONOS存储晶体管。



CN 101859702 A

Sandisk Technologies, Inc. - Ex. 1002, Page 001146

1. 一种半导体器件中电荷存储层的形成方法，其特征在于，该方法包括如下步骤：

在衬底上沉积一个富硅氮化物；以及

氧化富硅氮化物形成富硅少氧第一氧氮化物层。

2. 如权利要求 1 所述的方法，其特征在于，进一步包括步骤：在第一氧氮化物层表面上形成至少一层附加层以形成一个多层电荷存储层。

3. 如权利要求 2 所述的方法，其特征在于，所述形成至少一层附加层的步骤包括形成第二氧氮化物层的步骤。

4. 如权利要求 3 所述的方法，其特征在于，所述第一氧氮化物层和第二氧氮化物层中氧，氮和 / 或硅有不同化学组成比率。

5. 如权利要求 3 所述的方法，其特征在于，所述形成第二氧氮化物层的步骤包括形成富硅少氧氧氮化物层条件下形成第二氧氮化物层的步骤。

6. 如权利要求 5 所述的方法，其特征在于，所述第一氧氮化物层通过化学气相沉积工艺形成，其采用的工艺气体包含 SiH_2Cl_2/NH_3 混合物和 N_2O/NH_3 混合物，两者比率为 8 ： 1，所述第二氧氮化物层通过化学气相沉积工艺形成，其工艺气体包含 N_2O/NH_3 混合物和 SiH_2Cl_2/NH_3 混合物，其混合比率为 5 ： 1。

7. 如权利要求 6 所述的方法，其特征在于，所述形成第一氧氮化物层和第二氧氮化物层的步骤通过改变 N_2O/NH_3 和 SiH_2Cl_2/NH_3 的混合比相继在同一 CVD 工具中操作。

8. 如权利要求 6 所述的方法，其特征在于，所述第一氧氮化物层和第二氧氮化物层中的至少一层形成的温度至少为 780℃。

9. 一种包括一个氧化物 - 氮化物 - 氧化物结构的半导体器件的形成方法，其特征在于，该方法包括如下步骤：

形成 ONO 结构的第一氧化物层；

在第一氧化物层上形成含有氮化物的多层电荷存储层；以及

在多层电荷存储层表面上形成 ONO 结构的第二氧化物层。

10. 如权利要求 9 所述的方法，其特征在于，所述多层电荷存储层包含至少两个硅氧氮化物层。

11. 如权利要求 10 所述的方法，其特征在于，所述至少两个氧氮化物层中氧，氮和 / 或硅有不同化学组成比率。

12. 如权利要求 11 所述的方法，其特征在于，所述至少两个氧氮化物层包括一个顶端氧氮化物层和一个底端氧氮化物层，其中顶端氧氮化物层形成为富硅，少氧氧氮化物层，底端氧氮化物层形成为富硅富氧氧氮化物层。

13. 如权利要求 12 所述的方法，其特征在于，所述顶端氧氮化物层是富氮氧氮化物层。

14. 如权利要求 12 所述的方法，其特征在于，所述形成第一氧化物层的步骤包含通过蒸气退火形成第一氧化物层的步骤，其中选择合适的顶端氧氮化物层和底端氧氮化物层的厚度比，为在使用蒸汽退火形成遂穿氧化层之后多层存储层的形成提供便利。

15. 如权利要求 12 所述的方法，其特征在于，所述形成顶端氧氮化物层使用的工艺气体组成包含 SiH_2Cl_2/NH_3 混合气体和 N_2O/NH_3 混合气体，其混合比例约 5 ： 1，形成顶端氧氮化物层使用的工艺气体组成包含 N_2O/NH_3 混合气体和 SiH_2Cl_2/NH_3 混合气体，其混合比例为 8 ： 1。

Sandisk Technologies, Inc. - Ex. 1002, Page 001147

16. 如权利要求 10 所述的方法，其特征在于，所述至少两个氧氮化物层形成的温度至少为 780℃。

17. 一种含氧化物 - 氮化物 - 氧化物结构的半导体器件，其特征在于，所述氧化物 - 氮化物 - 氧化物结构包含第一氧化层和第二氧化层之间的多层存储层，其中多层存储层包含至少两个硅氧氮化物层。

18. 如权利要求 17 所述的半导体器件，其特征在于，所述至少两个氧氮化物层中氧，氮和 / 或硅有不同化学组成比率。

19. 如权利要求 17 所述的半导体器件，其特征在于，所述氧、氮和硅形成至少两个氧氮化物层，使其在操作温度至少 125℃下达到预先设定的数据保持性。

20. 如权利要求 17 所述的半导体器件，其特征在于，所述至少两个氧氮化物层包括一个顶端氧氮化物层和一个底端氧氮化物层，其中顶端氧氮化物层和底端氧氮化物层的厚度比为 1-5。

Sandisk Technologies, Inc. - Ex. 1002, Page 001148

含多层氧氮化物层的氧化物 - 氮化物 - 氧化物堆栈

技术领域

[0001] 本发明涉及半导体制造工艺，尤其涉及含有改良的氮化氧化物或氧氮化物层的氧化物 - 氮化物 - 氧化物堆栈及其形成方法。

背景技术

[0002] 非易失性半导体存储器例如分裂栅闪存存储器，通常使用堆栈浮栅型场效应晶体管。在这种晶体管中，通过对控制栅施加偏压，使存储单元形成在其上的衬底的体区接地，电子被注入到要被编程的存储单元的浮栅中。

[0003] 一个氧化物 - 氮化物 - 氧化物 (ONO) 堆栈被用作在硅 - 氧化物 - 氮化物 - 氧化物 - 硅 (SONOS) 晶体管的电荷存储层，或被用作在分裂栅闪存存储器的浮栅和控制栅之间的隔离层。

[0004] 图 1 是半导体器件 100 的中间结构截面图。半导体器件 100 包括一个包含按传统方法在硅衬底 108 表面 106 上形成的传统 ONO 堆栈 104 的 SONOS 栅堆栈或结构 102。此外，通常半导体器件 100 还包含一个或多个扩散区域 110，如源漏区域，对准栅堆栈且被沟道区域 112 隔离。简单地说，SONOS 栅堆栈 102 包括一个形成在 ONO 堆栈 104 上并与之相连的多晶硅栅层 114。ONO 堆栈 104 将多晶硅栅层 114 与硅衬底 108 分离或电子隔离。ONO 堆栈 104 通常包括一个低氧化层 116，和作为器件 100 电荷存储层的氮化物或氧氮化物层 118，以及覆盖在氮化物或氧氮化物层上的顶端高温氧化物 (HTO) 层 120。

[0005] 传统 SONOS 结构 102 及其形成方法存在的一个问题是氮化物或氧氮化物层 118 的数据保持性差，这限制了半导体器件 100 的生命周期，并且氮化物或氧氮化物层的漏电流限制了它在几个方面的应用。

[0006] 传统 SONOS 结构 102 及其形成方法存在的另一个问题是氧氮化物层 118 的化学剂量比既不均匀也不最优化厚度。尤其是氧氮化物层 118 通常形成或沉积在使用单一工艺混合气体和固定工艺条件的单一步骤，为了提供一个均匀层，其具有高氮、高氧含量的相关层的厚度。然而，由于顶部和底部的作用影响氮、氧和硅含量结果，其能改变整个常规氧氮化物层 118。顶部效应引起是由于沉积后关闭工艺气体。特别是，含工艺气体的硅，如硅烷，典型的关闭首先导致含有高氧和 / 或氮和低硅的氧氮化物层 118 的顶部。同样的，底部效应引起是由于初步沉积时引进工艺气体。特别是，氧氮化物层 118 的沉积通常发生在一个退火步骤之后，导致了氨 (NH_3) 浓度在沉积工艺开始阶段较高甚至达到高峰以及产生低氧低硅高氮的氧氮化物层底部。底部效应也是由于表面成核现象，初始工艺混合气体中的硅和氧与衬底表面的硅优先反应，初始工艺混合气体中的硅和氧并没有对氧氮化物层的形成有任何贡献。因此，含有 ONO 堆栈 104 的存储器 100 的电荷存储的特征曲线，尤其是编程和擦除速度和数据保持性，有逆反效应。

[0007] 因而产生了对具有氧氮化物层作为存储层的 ONO 堆栈的半导体器件的需求，该半导体器件能提高编程和擦除速度和数据保持性。也产生了对含氧氮化物层的 ONO 结构堆栈形成工艺或方法的进一步需求，该工艺或方法能提高氧氮化物化学计量比。

Sandisk Technologies, Inc. - Ex. 1002, Page 001149

发明内容

[0008] 本发明要提供了解决这些或其他的技术问题的方法在于提供一种含多层氧氮化物层的氧化物－氮化物－氧化物堆栈的半导体器件，其能提高编程和擦除速度和数据保持性。为此，本发明还提供上述半导体器件的形成方法。

[0009] 为解决上述技术问题，本发明提供一种半导体器件中电荷存储层的形成方法，该方法包括如下步骤：

[0010] 在衬底上沉积一个富硅氮化物；以及

[0011] 氧化富硅氮化物形成富硅少氧第一氧氮化物层。

[0012] 该方法进一步包括步骤：在第一氧氮化物层表面上形成至少一层附加层以形成一个多层电荷存储层。

[0013] 所述形成至少一层附加层的步骤包括形成第二氧氮化物层的步骤。

[0014] 所述第一氧氮化物层和第二氧氮化物层中氧，氮和／或硅有不同化学组成比率。

[0015] 所述形成第二氧氮化物层的步骤包括形成富硅少氧氧氮化物层条件下形成第二氧氮化物层的步骤。

[0016] 所述第一氧氮化物层通过化学气相沉积工艺形成，其采用的工艺气体包含 SiH_2Cl_2/NH_3 混合物和 N_2O/NH_3 混合物，两者比率为 8 ： 1，所述第二氧氮化物层通过化学气相沉积工艺形成，其工艺气体包含 N_2O/NH_3 混合物和 SiH_2Cl_2/NH_3 混合物，其混合比率为 5 ： 1。

[0017] 所述形成第一氧氮化物层和第二氧氮化物层的步骤通过改变 N_2O/NH_3 和 SiH_2Cl_2/NH_3 的混合比相继在同一 CVD 工具中操作。

[0018] 所述第一氧氮化物层和第二氧氮化物层中的至少一层形成的温度至少为 780℃。

[0019] 本发明还提供一种包括一个氧化物－氮化物－氧化物结构的半导体器件的形成方法，该方法包括如下步骤：

[0020] 形成 ONO 结构的第一氧化物层；

[0021] 在第一氧化物层上形成含有氮化物的多层电荷存储层；以及

[0022] 在多层电荷存储层表面上形成 ONO 结构的第二氧化物层。

[0023] 所述多层电荷存储层包含至少两个硅氧氮化物层。

[0024] 所述至少两个氧氮化物层中氧，氮和／或硅有不同化学组成比率。

[0025] 所述至少两个氧氮化物层包括一个顶端氧氮化物层和一个底端氧氮化物层，其中顶端氧氮化物层形成为富硅，少氧氧氮化物层，底端氧氮化物层形成为富硅富氧氧氮化物层。

[0026] 所述顶端氧氮化物层是富氮氧氮化物层。

[0027] 所述形成第一氧化物层的步骤包含通过蒸气退火形成第一氧化物层的步骤，其中选择合适的顶端氧氮化物层和底端氧氮化物层的厚度比，为在使用蒸汽退火形成遂穿氧化层之后多层存储层的形成提供便利。

[0028] 所述形成顶端氧氮化物层使用的工艺气体组成包含 SiH_2Cl_2/NH_3 混合气体和 N_2O/NH_3 混合气体，其混合比例约 5 ： 1，形成顶端氧氮化物层使用的工艺气体组成包含 N_2O/NH_3 混合气体和 SiH_2Cl_2/NH_3 混合气体，其混合比例为 8 ： 1。

[0029] 所述至少两个氧氮化物层形成的温度至少为 780℃。

Sandisk Technologies, Inc. - Ex. 1002, Page 001150

[0030] 此外，本发明还提供一种含氧化物－氮化物－氧化物结构的半导体器件，所述氧化物－氮化物－氧化物结构包含第一氧化层和第二氧化层之间的多层存储层，其中多层存储层包含至少两个硅氧氮化物层。

[0031] 所述至少两个氧氮化物层中氧，氮和／或硅有不同化学组成比率。

[0032] 所述氧、氮和硅形成至少两个氧氮化物层，使其在操作温度至少 125℃下达到预先设定的数据保持性。

[0033] 所述至少两个氧氮化物层包括一个顶端氧氮化物层和一个底端氧氮化物层，其中顶端氧氮化物层和底端氧氮化物层的厚度比为 1-5。

[0034] 与现有技术相比，本发明的有益效果在于：(i) 能够提高将氧氮化物层分为多层并调整每层氧，氮，和硅的存储器件的数据保持性；(ii) 能够不以牺牲数据保持性为前提提高存储器件的速度；(iii) 根据本发明实施例使用 ONO 结构的存储器件在温度至少为约 125℃时，能够达到或超过数据保持性和速度；以及 (iv) 提供大任务编程擦除周期为 100,000 次或更多。

附图说明

[0035] 本发明将会通过下面的详细描述，结合附图和实施例来论述本发明的这些或一些其他的特点或优势。其中：

[0036] 图 1（现有技术）为根据传统方法形成的含有氧化物－氮化物－氧化物 (ONO) 堆栈的存储器件的中间结构的剖面结构图。

[0037] 图 2 为本发明实施例中一个包含多层电荷存储层的 ONO 结构的半导体器件的一部分的剖面结构图。

[0038] 图 3 为本发明实施例中包含多层电荷存储层的 ONO 结构的形成方法的流程图。

[0039] 图 4 为采用根据本发明实施例形成的存储层的存储器件与使用传统存储层的存储器件相比的数据保持性提高的曲线图。

具体实施方式

[0040] 本发明主要论述包含多层电荷存储层的氧化物－氮化物－氧化物 (ONO) 结构及其制造方法。ONO 结构及其制造方法尤其适用于存储器件存储层的形成，如硅－氧化物－氮化物－氧化物－硅 (SONOS) 存储晶体管。

[0041] 在接下来的描述中，将详细的阐述大量的具体细节，以使充分全面的理解本发明。在没有这些具体细节的情况下，本领域技术人员也能实施本发明。在其他情况下，公知的结构和技术，没有详细描述或在附图中显示，以免对本发明产生不必要的晦解。

[0042] 参考本发明说明书的“实施例”，是指在相关实施例中描述的特定功能，结构，材料，或特征包含在本发明的至少一个实施例中。因此，在本发明的不同地方出现的短语“在一个实施例中”不一定是指在本发明的同一个实施例中。此外，特定的功能，结构，材料，或特征可能在其他一个或多个实施例中以合适的方式相结合。

[0043] 简单地说，该方法涉及形成包含多层氧氮化物层的多层电荷存储层，例如氧氮化物硅层 (Si_2N_2O)，有不同浓度的氧，氮和／或硅。通常，氧氮化物层形成在与传统 ONO 结构中氮化物或氧氮化物层相比较高的温度条件下，并且每层采用不同的工艺气体混合物和／

Sandisk Technologies, Inc. - Ex. 1002, Page 001151

或在不同的流量比率下形成。优选的是，氧氮化物层包括至少一个顶端氧氮化物层和底端氧氮化物层。更优选的是，各层的化学计量比组成经过调整或选择成底端或较低端氧氮化物有高氧高硅浓度，顶端氧氮化物层有高硅高氮低氧浓度来产生富硅氮化物或氧氮化物。富硅和富氧底端氧氮化物层减小了存储的电荷流失，没有损害器件速度或编程和擦除电压的初始差别（生命周期开始阶段）。富硅和缺氧顶端氧氮化物层增加了存储器件的编程电压和擦除电压的差额，因而增进了器件速度，提高了数据保持性，延长了器件的操作生命周期。

[0044] 随意地，可以选择顶端氧氮化物层和底端氧氮化物层的厚度比，为在采用蒸汽退火形成第一氧化物层之后在 ONO 结构的第一氧化物层上形成氧氮化物层提供便利。

[0045] 根据本发明不同的实施例，将对 ONO 结构及其制造方法做详细描述，详情请参见图 2-4。

[0046] 图 2 为本发明实施例中一个包含多层电荷存储层的 ONO 结构的半导体存储器件 200 的一部分的剖面结构图。根据图 2，存储器件 200 包括一个 SONOS 栅堆栈 202，该 SONOS 栅堆栈 202 包括一个形成在衬底或硅衬底 208 的硅层表面 206 之上的 ONO 结构 204。此外，SONOS 型器件 200 进一步包括一个或多个扩散区域 210，如源漏极区域，该源漏极区域 210 对准栅堆栈 202 且被沟道区域 212 分离。通常，SONOS 栅堆栈 202 包括一个多晶硅 (poly) 栅层 214，其形成在 ONO 结构 204 和部分硅层或衬底 208 上方并与之相连。ONO 结构 204 将多晶硅栅 214 和衬底 208 分离或电子隔离。ONO 结构 204 通常包括一个薄的较低的氧化层或隧穿氧化层 216，其将栅堆栈 202 和沟道区域 212，顶端或阻挡氧化层 218，以及包含多层氮化物的多层电荷存储层分离或电子隔离。优选的是，如上所述及图 2 所示，多层电荷存储层包括至少两个氧氮化物层，包括顶端氧氮化物层 220A 和底端氧氮化物层 220B。

[0047] 一般来说，衬底 208 可能包括任何已知的硅半导体材料包括硅、硅锗，绝缘硅或蓝宝石硅衬底。另外，衬底 208 可能包括形成在不含硅的半导体材料基底上的硅层，如砷化镓，锗，氮化镓，或磷化铝。优选的是衬底 208 是一个掺杂或非掺杂硅衬底。

[0048] ONO 结构 204 较低的氧化层或遂穿氧化层 216 通常包括一个相对薄的二氧化硅 (SiO_2) 层其厚度约为15Å -22 Å,优选的是约18 Å。遂穿氧化层 216 可以以任何合适的方式形成或沉积，例如，热生成或通过化学气相沉积 (CVD) 来沉积。在一个优选的实施例中，遂穿氧化层通过蒸汽退火形成或生长。通常，该工艺包括湿法氧化法，其中衬底 208 被放置在沉积或工艺腔体，加热使温度从约 700℃到约 850℃，并暴露在湿法气相中，为预定的时间周期在选择所需厚度的基础上完成的隧道氧化层 216。示范工艺时间为大约 5 到 20 分钟。可在大气中或在较低的压力下进行氧化工艺。

[0049] 如上所述，多层电荷存储层通常包括至少两个氧氮化物层，其具有不同的硅，氧和氮组成，总厚度在约70 Å-150 Å,优选的是在约100 Å。在一个优选的实施例中，氧氮化物层形成或沉积在低压 CVD 工艺中，使用硅源，例如硅烷 (SiH_4)，氯硅烷 (SiH_3Cl)，四氯化硅 ($SiCl_4$)，或双叔丁基氨基硅烷 (BTBAS)，氮源，如 N_2，NH_3，N_2O 或三氧化二氮 (NO_3)，和含氧气体，如 O_2 或 N_2O。可选择地，氢气体可能已经被替代为氘，包括例如，用氘化氨 (ND_3) 替代 NH_3。将氘替代氢有利于钝化硅氧化物界面悬挂的 Si 键，由此增加 SONOS 型器件的 NBTI（负偏压温度不稳定性）的寿命。

[0050] 例如，一个底端或较低端氧氮化物层 220B 沉积在隧穿氧化层 216 之上，通过放置

Sandisk Technologies, Inc. - Ex. 1002, Page 001152