



CERTIFICATE OF TRANSLATION ACCURACY

July 14, 2025

I, the undersigned, John Andrews, hereby certify:

I am a professional translator. I work as an independent contractor. I was contracted by Transperfect to provide document translation from Japanese into English for this matter.

I am fluent in both Japanese and English. My qualifications include First-class honors Mphys (4 year) degree in physics at University of Manchester.

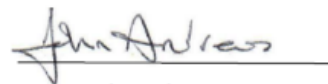
I am familiar and competent with both the Japanese and English languages. I have received and reviewed the following Japanese-language documents and provided English-language translations:

225_JP_Japanese Patent No. 5857225, pages 1-2;
225_JP_Notice_of_Reasons_for_Refusal.pdf;
225_JP_Written_Amendment.pdf;
225_JP_Written_Opinion.pdf;
225_JP_Decision to Grant Patent

The Japanese-language and English-language versions of these documents are submitted as TSMC-1005.

I hereby attest that the above-referenced English translations are complete and accurate renditions of the Japanese originals to the best of my knowledge and belief.

I declare under penalty of perjury under the laws of the United States of America that the foregoing is true and correct. Executed on April 3, 2025


John Andrews

LANGUAGE AND TECHNOLOGY SOLUTIONS FOR GLOBAL BUSINESS

1250 BROADWAY, 32ND FLOOR, NEW YORK, NY 10001 | T 212.689.5555 | F 212.689.1059 | WWW.TRANSPERFECT.COM
OFFICES IN 90 CITIES WORLDWIDE

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5857225号
(P5857225)

(45) 発行日 平成28年2月10日(2016. 2. 10)

(24) 登録日 平成27年12月25日(2015. 12. 25)

(51) Int. Cl.	F I			
HO 1 L 21/8238 (2006. 01)	HO 1 L 27/08	3 2 1 D		
HO 1 L 27/092 (2006. 01)	HO 1 L 29/58	G		
HO 1 L 29/423 (2006. 01)	HO 1 L 27/10	3 8 1		
HO 1 L 29/49 (2006. 01)	HO 1 L 27/10	4 6 1		
HO 1 L 21/8244 (2006. 01)	HO 1 L 27/10	4 8 1		
請求項の数 13 (全 32 頁) 最終頁に続く				

(21) 出願番号	特願2012-530800 (P2012-530800)	(73) 特許権者	314012076
(86) (22) 出願日	平成23年11月4日(2011. 11. 4)		パナソニック I P マネジメント株式会社
(86) 国際出願番号	PCT/JP2011/006167		大阪府大阪市中央区城見2丁目1番61号
(87) 国際公開番号	W02012/131818	(74) 代理人	110001427
(87) 国際公開日	平成24年10月4日(2012. 10. 4)		特許業務法人前田特許事務所
審査請求日	平成26年1月29日(2014. 1. 29)	(72) 発明者	佐藤 好弘
(31) 優先権主張番号	特願2011-68131 (P2011-68131)		大阪府門真市大字門真1006番地 パナ
(32) 優先日	平成23年3月25日(2011. 3. 25)		ソニック株式会社内
(33) 優先権主張国	日本国(JP)	(72) 発明者	新井 秀幸
			大阪府門真市大字門真1006番地 パナ
			ソニック株式会社内
		(72) 発明者	山田 隆順
			大阪府門真市大字門真1006番地 パナ
			ソニック株式会社内
最終頁に続く			

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1のデュアルゲート電極と第2のデュアルゲート電極とを備えた半導体装置であって、

前記第1のデュアルゲート電極は、第1の活性領域上に形成された第1の第1導電型シリコン膜を含む第1のゲート電極と、第2の活性領域上に形成された第1の第2導電型シリコン膜を含む第2のゲート電極とを有し、

前記第2のデュアルゲート電極は、第3の活性領域上に形成された第2の第1導電型シリコン膜を含む第3のゲート電極と、第4の活性領域上に形成された第2の第2導電型シリコン膜を含む第4のゲート電極とを有し、

前記第1の活性領域と前記第2の活性領域とは第1の素子分離領域を挟んで分離されており、

前記第3の活性領域と前記第4の活性領域とは第2の素子分離領域を挟んで分離されており、

前記第1のゲート電極と前記第2のゲート電極とは前記第1の素子分離領域上で接続しており、

前記第1の素子分離領域における前記第1の活性領域と前記第2の活性領域との間の分離幅は、前記第2の素子分離領域における前記第3の活性領域と前記第4の活性領域との間の分離幅よりも大きく、

前記第1の第1導電型シリコン膜の少なくとも一部分における第1導電型不純物濃度は

10

20

、前記第3の活性領域上に位置する部分の前記第2の第1導電型シリコン膜の第1導電型不純物濃度よりも高く、

前記第1の第2導電型シリコン膜の少なくとも一部分における第2導電型不純物濃度は、前記第4の活性領域上に位置する部分の前記第2の第2導電型シリコン膜の第2導電型不純物濃度と同じであることを特徴とする半導体装置。

【請求項2】

請求項1に記載の半導体装置において、

前記第1の活性領域上に位置する部分の前記第1の第1導電型シリコン膜の第1導電型不純物濃度は、前記第3の活性領域上に位置する部分の前記第2の第1導電型シリコン膜の第1導電型不純物濃度よりも高いことを特徴とする半導体装置。

10

【請求項3】

請求項1又は2に記載の半導体装置において、

前記第1の活性領域上に位置する部分の前記第1の第1導電型シリコン膜の第1導電型不純物濃度は、前記第1の素子分離領域上に位置する部分の前記第1の第1導電型シリコン膜の第1導電型不純物濃度よりも低いことを特徴とする半導体装置。

【請求項4】

請求項1～3のいずれか1項に記載の半導体装置において、

前記第2の活性領域上に位置する部分の前記第1の第2導電型シリコン膜の第2導電型不純物濃度は、前記第4の活性領域上に位置する部分の前記第2の第2導電型シリコン膜の第2導電型不純物濃度よりも低いことを特徴とする半導体装置。

20

【請求項5】

請求項1～4のいずれか1項に記載の半導体装置において、

前記第2の活性領域上に位置する部分の前記第1の第2導電型シリコン膜の第2導電型不純物濃度は、前記第1の素子分離領域上に位置する部分の前記第1の第2導電型シリコン膜の第2導電型不純物濃度よりも低いことを特徴とする半導体装置。

【請求項6】

請求項1又は2に記載の半導体装置において、

前記第1の活性領域上に位置する部分の前記第1の第1導電型シリコン膜の第1導電型不純物濃度は、前記第1の素子分離領域上に位置する部分の前記第1の第1導電型シリコン膜の第1導電型不純物濃度と同じであることを特徴とする半導体装置。

30

【請求項7】

請求項1に記載の半導体装置において、

前記第1の素子分離領域上に位置する部分の前記第1の第1導電型シリコン膜の第1導電型不純物濃度は、前記第3の活性領域上に位置する部分の前記第2の第1導電型シリコン膜の第1導電型不純物濃度よりも高いことを特徴とする半導体装置。

【請求項8】

請求項1又は7に記載の半導体装置において、

前記第1の活性領域上に位置する部分の前記第1の第1導電型シリコン膜の第1導電型不純物濃度は、前記第3の活性領域上に位置する部分の前記第2の第1導電型シリコン膜の第1導電型不純物濃度と同じであることを特徴とする半導体装置。

40

【請求項9】

請求項1、7、8のいずれか1項に記載の半導体装置において、

前記第1の活性領域上に位置する部分の前記第1の第1導電型シリコン膜の第1導電型不純物濃度は、前記第1の素子分離領域上に位置する部分の前記第1の第1導電型シリコン膜の第1導電型不純物濃度よりも低いことを特徴とする半導体装置。

【請求項10】

請求項1、7～9のいずれか1項に記載の半導体装置において、

前記第2の活性領域上に位置する部分の前記第1の第2導電型シリコン膜の第2導電型不純物濃度は、前記第4の活性領域上に位置する部分の前記第2の第2導電型シリコン膜の第2導電型不純物濃度と同じであることを特徴とする半導体装置。

50

(19) Japan Patent
Office(JP)(12) Japanese Examined Patent Application
Publication (B2)(11) Japanese Examined Patent
Application Publication
Number5857225
(P5857225)

(45) Publication date February 10, 2016 (2.10.2016)

(24) Registration date December 25, 2015 (12.25.2015)

(51)Int.Cl.

FI

HO1L 21/8238	(2006.01)	HO1L	27/08	321D
HO1L 27/092	(2006.01)	HO1L	29/58	G
HO1L 29/423	(2006.01)	HO1L	27/10	381
HO1L 29/49	(2006.01)	HO1L	27/10	461
HO1L 21/8244	(2006.01)	HO1L	27/10	481

Number of Claims 13

(Total of 32 pages) Continued on the last page

(21) Application number	Japanese Patent Application 2012-530800(P2012-530800)	(73) Patentee	314012076 Panasonic IP Management Co., Ltd. 2-1-61 Shiromi, Chuo-ku, Osaka-shi, Osaka
(86) (22) Date of application	November 4, 2011 (11.4.a2011)		
(86) International application number	PCT/JP2011/006167		
(87) International publication number	W02012/131818	(74) Agent	110001427 Maeda & Partners, a patent professional corporation
(87) International release date	October 4, 2012 (10.4.2012)		
Date of request for examination	January 29, 2014 (1.29.2014)	(72) Inventor	Yoshihiro Sato c/o Panasonic Corporation 1006 Kadoma, Kadoma City, Osaka
(31) Priority claim number	Japanese Patent Application 2011-68131(P2011-68131)		
(32) Priority date	March 25, 2011 (3.25.2011)	(72) Inventor	Hideyuki Arai c/o Panasonic Corporation 1006 Kadoma, Kadoma City, Osaka
(33) Priority claiming country	Japan (JP)	(72) Inventor	Takashi Yamada c/o Panasonic Corporation 1006 Kadoma, Kadoma City, Osaka

Continued on last page

(54) [Title of the Invention] Semiconductor device

(57) [Scope of Patent Claims]

[Claim 1]

A semiconductor device comprising a first dual gate electrode and a second dual gate electrode;

the first dual gate electrode having a first gate electrode including a first silicon film of a first conductivity type formed on a first active region, and a second gate electrode including a first silicon film of a second conductivity type formed on a second active region;

the second dual gate electrode having a third gate electrode including a second first conductivity type silicon film formed on a third active region, and a fourth gate electrode including a second second conductivity type silicon film formed on a fourth active region;

the first active region and the second active region being separated by a first element isolation region;wherein the third active region and the fourth active region being separated by a second element isolation region;the first gate electrode and the second gate electrode being connected to each other on the first element isolation region;an isolation width between the first active region and the second active region in the first element isolation region being larger than an isolation width between the third active region and the fourth active region in the second element isolation region;the first conductivity type impurity concentration in at least a portion of the first conductivity type silicon film being higher than the first conductivity type impurity concentration of Item 2 in a portion located on the third active region; andthe second conductive type impurity concentration in at least a portion of the second conductive type silicon film of Item

10

20

1 being the same as the second conductive type impurity concentration of Item 2 in a portion located on the fourth active region.

[Claim 2]

The semiconductor device according to claim 1,
wherein a first conductivity type impurity concentration of the first conductivity type silicon film of Item 1 in a portion located on the first active region is higher than the first conductivity type impurity concentration of the first conductivity type silicon film of Item 2 in a portion located on the third active region.

[Claim 3]

The semiconductor device according to claim 1 or 2,
wherein a first conductivity type impurity concentration of the first conductivity type silicon film of Item 1 in a portion located on the first active region is lower than the first conductivity type impurity concentration of the first conductivity type silicon film of Item 1 in a portion located on the first element isolation region.

[Claim 4]

The semiconductor device according to any one of claims 1 to 3,
wherein a second conductivity type impurity concentration of the second conductivity type silicon film of Item 1 in a portion located on the second active region is lower than a second conductivity type impurity concentration of the second conductivity type silicon film of Item 2 in a portion located on the fourth active region.

[Claim 5]

The semiconductor device according to any one of claims 1 to 4,
wherein a second conductivity type impurity concentration of the second conductivity type silicon film of Item 1 in a portion located on the second active region is lower than a second conductivity type impurity concentration of the second conductivity type silicon film of Item 1 in a portion located on the first element isolation region.

[Claim 6]

The semiconductor device according to claim 1 or 2,
The semiconductor device is characterized in that a first conductive impurity concentration of the first conductive silicon film of a portion located on the first active region is the same as the first conductivity type impurity concentration of the first conductivity type silicon film of Item 1 in a portion located on the first element isolation region.

[Claim 7]

The semiconductor device according to claim 1,
The semiconductor device is characterized in that a first conductivity type impurity concentration of the first conductivity type silicon film of Item 1 in a portion located on the first element isolation region is higher than the first conductivity type impurity concentration of the first conductivity type silicon film of Item 2 in a portion located on the third active region.

[Claim 8]

The semiconductor device according to claim 1 or 7,
wherein a first conductivity type impurity concentration of the first conductivity type silicon film of Item 1 in a portion located on the first active region is the same as the first conductivity type impurity concentration of the first conductivity type silicon film of Item 2 in a portion located on the third active region.

[Claim 9]

The semiconductor device according to any one of claims 1, 7 or 8, wherein:
wherein a first conductivity type impurity concentration of the first conductivity type silicon film of Item 1 in a portion located on the first active region is lower than the first conductivity type impurity concentration of the first conductivity type silicon film of Item 1 in a portion located on the first element isolation region.

[Claim 10]

The semiconductor device according to any one of claims 1, 7 to 9, wherein:
wherein a second conductivity type impurity concentration of the second conductivity type silicon film of Item 1 in a portion located on the second active region is the same as the second conductivity type impurity concentration of the second conductivity type silicon film of Item 2 in a portion located on the fourth active region.

拒絶理由通知書 (特許出願2012-530800)

P.1

拒絶理由通知書

特許出願の番号	特願2012-530800
起案日	平成27年 4月 6日
特許庁審査官	宇多川 勉 3125 5F00
特許出願人代理人	特許業務法人前田特許事務所 様
適用条文	第29条第1項、第29条第2項、第36条

この出願は、次の理由によって拒絶をすべきものです。これについて意見がありましたら、この通知書の発送の日から60日以内に意見書を提出してください。

理由

1. (新規性) この出願の下記の請求項に係る発明は、その出願前に日本国内又は外国において、頒布された下記の特許公報に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明であるから、特許法第29条第1項第3号に該当し、特許を受けることができない。
 2. (進歩性) この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の特許公報に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。
 3. (サポート要件) この出願は、特許請求の範囲の記載が下記の点で、特許法第36条第6項第1号に規定する要件を満たしていない。
 4. (明確性) この出願は、特許請求の範囲の記載が下記の点で、特許法第36条第6項第2号に規定する要件を満たしていない。
- 記(引用文献等については引用文献等一覧参照)

●理由1、2

請求項1、2、4、8、9、14～16について

引用文献1

備考

引用文献1の第1～3図には、ロジック部用のデュアルゲート電極の不純物濃度を、SRAM部用のデュアルゲート電極の不純物濃度よりもそれぞれ高濃度にした発明が記載されている。

P.2

また、引用文献1では、活性領域上のゲート電極と、活性領域近傍の素子分離膜上のゲート電極とは同量の不純物が注入されており、n型とp型の不純物領域の境界部分では一部相互拡散が生じているものの、活性領域近傍の素子分離膜上のゲート電極の不純物濃度は、活性領域上のゲート電極の不純物濃度と同程度であると認められる。

●理由3

請求項 1、3 ～ 20 について

本発明が解決しようとする課題は、[0014]～[0015]段落に記載されているように、SRAM等の素子分離領域幅の狭いCMOSデュアルゲート構造において、PN境界近傍でのゲート寸法変動や不純物の相互拡散に起因する素子特性の変動を抑制することであると認められる。

そして、本発明は上記課題を解決するために、素子分離領域の幅の広いCMISFETと、相対的に狭いCMISFETとでゲート電極の不純物濃度を異ならせているものと認められる。([0125]段落等)

ここで、上記各請求項に係る発明には、第1のデュアルゲート構造と、第2のデュアルゲート構造を有する半導体装置が記載されているが、各デュアルゲート構造を有する半導体装置の関係について記載されていない。

そうすると、素子寸法や素子分離領域の幅が同じCMISFETに対して、ゲート電極の不純物濃度を異ならせたものも請求の範囲に含まれるが、そのようなCMISFETに本発明を適用した際にも、上記課題が解決できるのか不明であり、また、発明の詳細な説明を参照しても、そのようなCMISFETに本発明を適用することは記載も示唆もされていない。

請求項 17 ～ 20 について

上記各請求項に係る発明は、第1のデュアルゲート構造と、第2のデュアルゲート構造を備えた半導体装置の製造方法が記載されているが、ゲート電極に注入される不純物導入工程が一部（工程b、工程c）しか記載されていない。

つまり、デュアルゲート構造にするためには、第3の活性領域などにおいて、カウンタードープなどの工程を経る必要があるが、当該工程が特定されていないことから、どのように第1のデュアルゲート構造と、第2のデュアルゲート構造とを形成しているのか不明である。

そうすると、例えば、ゲート電極のパターニングの前に、カウンタードープを行うことも請求の範囲に含まれるが、その場合にも、上述した課題が解決できるのか不明であり、また、発明の詳細な説明を参照しても、そのような製造方法については記載も示唆もされていない。

なお、最終生成物における各活性領域のゲート電極の導電型が特定されていないため、第3の活性領域がカウンタードープされるのかも特定できないことに留

意されたい。

●理由 4

・請求項3、8、10、12には、「実質的」との記載があるが、当該記載は曖昧な表現であり発明の範囲が不明確である。

上記各請求項に従属する請求項4～7、9、11～13、15、16についても同様である。

< 参考文献等一覧 >

1. 特開2008-042092号公報

先行技術文献調査結果の記録

- ・調査した技術分野 I P C
 - H 0 1 L 2 7 / 0 9 2
 - H 0 1 L 2 7 / 0 8 8
 - H 0 1 L 2 1 / 8 2 3 8
 - H 0 1 L 2 1 / 8 2 3 4
- ・先行技術文献
 - 特開2003-179056号公報
 - 特開2010-067912号公報
 - 特開2004-079705号公報
 - 特開2005-317736号公報

米国特許出願公開第2004/0166616号明細書
この先行技術文献調査結果の記録は拒絶理由を構成するものではありません。

この拒絶理由通知の内容に関するお問い合わせ、または面接のご希望がございましたら下記までご連絡下さい。

審査第四部 デバイスプロセス 宇多川勉
TEL. 03(3581)1101 内線 3514～3516
FAX. 03(3580)6907

P.4

部長 / 代理	審査長 / 代理	審査官	審査官補
	小川 将之	宇多川 勉	
	9 6 3 4	3 1 2 5	

Notification of Reasons for Rejection (Japanese Patent Application 2012-530800)

P.1

Notification of Reasons for Rejection

Japanese Patent Application Number	Japanese Patent Application 2012-530800
Drafting date	April 6, 2015
Patent Office Primary Examiner	Tsutomu Udagawa 3125 5F00
Agent for patent applicant	Maeda & Partners, a patent professional corporation
Applicable clauses	Article 29, Paragraph 1; Article 29, Paragraph 2; Article 36

This application is to be rejected for the following reasons. If you have any comments on this matter, please submit your comments within 60 days from the date of mailing of this notice.

Reasons

1. (Novelty) The invention(s) claimed in the following claims of this application are inventions that were described in the following publications distributed in Japan or abroad prior to the filing of the application, or were made publicly available through electric telecommunications lines, and therefore fall under Article 29, Paragraph 1, Item 3 of the Patent Act and cannot be patented.
2. (Inventive step) The invention according to the following claims of this application became available to the public through the invention described in the following publication or telecommunications line distributed in Japan or abroad before the application. Prior to the filing of the application, a person having ordinary knowledge in the field of technology to which the invention belongs could easily invent the invention, and therefore cannot obtain a patent pursuant to the provisions of Article 29, Paragraph 2 of the Patent Act.
3. (Support Requirement) This application does not meet the requirements stipulated in Article 36, Paragraph 6, Item 1 of the Patent Act in that the claims are described in the following points.
4. (Clarity) This application does not meet the requirements set forth in Article 36 Paragraph 6 Item 2 of the Patent Act concerning the description of the claims in the following respects:
Notes (For citations, see the List of Citations)

•Reasons 1 and 2

Regarding claims 1, 2, 4, 8, 9, 14 to 16

Reference 1

Remarks

FIGS. 1 to 3 of the cited Literature 1 disclose an invention in which the impurity concentration of the dual gate electrode for the logic section is set higher than the impurity concentration of the dual gate electrode for the SRAM section.

P.2

In addition, in cited Literature 1, the same amount of impurity is implanted into the gate electrode on the active region and the gate electrode on the element isolation film near the active region, and although some interdiffusion occurs at the boundary between the n-type and p-type impurity regions, the impurity concentration of the gate electrode on the element isolation film near the active region is recognized to be approximately the same as the impurity concentration of the gate electrode on the active region.

Reason 3•

Regarding claims 1, 3 to 20

The problem to be solved by the present invention, as described in paragraphs [0014] to [0015], is recognized to be to suppress variations in element characteristics caused by gate dimension variations and interdiffusion of impurities near the PN boundary in a CMOS dual-gate structure having a narrow element isolation region width, such as SRAM.

It is recognized that the present invention solves the above-mentioned problems by differentiating the impurity concentration of the gate electrode between a CMISFET having a wide element isolation region and a CMISFET having a relatively narrow element isolation region. ([0125] paragraphs, etc.)

Here, the inventions according to the above claims describe a semiconductor device having a first dual gate structure and a second dual gate structure, but do not describe the relationship between the semiconductor devices having each dual gate structure.

In that case, CMISFETs having the same element dimensions and the same width of the element isolation region but with different impurity concentrations in the gate electrodes are also included in the scope of the claims. However, it is unclear whether the above-mentioned problems can be solved when the present invention is applied to such CMISFETs. Furthermore, even when referring to the detailed description of the invention, there is no mention or suggestion of applying the present invention to such CMISFETs.

Regarding claims 17 to 20

The inventions claimed in the above claims describe a method for manufacturing a semiconductor device having a first dual gate structure and a second dual gate structure, but only some of the steps of introducing impurities into the gate electrode (steps b and c) are described.

In other words, in order to create a dual gate structure, a process such as counter-doping must be carried out in the third active region, etc., but since this process has not been specified, it is unclear how the first dual gate structure and the second dual gate structure are formed.

In that case, for example, performing counter doping before patterning the gate electrode is also included in the scope of the claim, but it is unclear whether the above-mentioned problems can be solved in that case, and even when referring to the detailed description of the invention, such a manufacturing method is not described or suggested.

It should be noted that the conductivity type of the gate electrodes of each active region in the final product is not specified, and therefore it is not possible to specify whether the third active region is counter-doped.

P.3

Reason 4●

· Although claims 3, 8, 10, and 12 contain the term "substantially," the term is ambiguous and the scope of the invention is unclear.

The same applies to claims 4 to 7, 9, 11 to 13, 15, and 16 which are dependent on the above claims.

<List of cited references>

1. Japanese Unexamined Patent Application Publication Number 2008-042092

Record of Prior Art Literature Search Results

· Fields searched IPC

H01L 27/092

H01L 27/088

H01L 21/8238

H01L 21/8234

· Prior art literature

Japanese Unexamined Patent Application Publication Number 2003-179056

Japanese Unexamined Patent Application Publication Number 2010-067912

Japanese Unexamined Patent Application Publication Number 2004-079705

Japanese Unexamined Patent Application Publication Number 2005-317736

This Record of Prior Art Literature Search Results does not constitute a reason for rejection.

If you have any questions about the content of this Notification of Reasons for Rejection, or if you would like to be interviewed, please contact us at the address listed below.

Tsutomu Udagawa, Fourth Patent Examination Department Device Process

TEL.: 03(3581)1101 Extension: 3514-3516

FAX. 03(3580)6907

P.4

<u>Review</u>			
<u>Director/Representative</u>	<u>Director/Representative</u>	<u>Primary Examiner</u>	<u>Assistant Examiner</u>
	Masayuki Ogawa	Tsutomu Udagawa	
	9634	3125	

手続補正書（自発・内容）(特許出願2012-530800)

P.1

【書類名】 手続補正書
 【整理番号】 P61565102
 【あて先】 特許庁長官 殿
 【事件の表示】
 【出願番号】 特願2012-530800
 【補正をする者】
 【識別番号】 314012076
 【氏名又は名称】 パナソニック I P マネジメント株式会社
 【代理人】
 【識別番号】 110001427
 【氏名又は名称】 特許業務法人前田特許事務所
 【代表者】 前田 弘
 【電話番号】 06-6125-2255
 【発送番号】 168919
 【手続補正1】
 【補正対象書類名】 明細書
 【補正対象項目名】 発明の名称
 【補正方法】 変更
 【補正の内容】
 【発明の名称】 半導体装置

【手続補正2】
 【補正対象書類名】 特許請求の範囲
 【補正対象項目名】 全文
 【補正方法】 変更
 【補正の内容】
 【書類名】 特許請求の範囲
 【請求項1】

第1のデュアルゲート電極と第2のデュアルゲート電極とを備えた半導体装置であって

、
 前記第1のデュアルゲート電極は、第1の活性領域上に形成された第1の第1導電型シリコン膜を含む第1のゲート電極と、第2の活性領域上に形成された第1の第2導電型シリコン膜を含む第2のゲート電極とを有し、

前記第2のデュアルゲート電極は、第3の活性領域上に形成された第2の第1導電型シリコン膜を含む第3のゲート電極と、第4の活性領域上に形成された第2の第2導電型シリコン膜を含む第4のゲート電極とを有し、

前記第1の活性領域と前記第2の活性領域とは第1の素子分離領域を挟んで分離されており、

前記第3の活性領域と前記第4の活性領域とは第2の素子分離領域を挟んで分離されており、

前記第1のゲート電極と前記第2のゲート電極とは前記第1の素子分離領域上で接続しており、

前記第1の素子分離領域における前記第1の活性領域と前記第2の活性領域との間の分離幅は、前記第2の素子分離領域における前記第3の活性領域と前記第4の活性領域との間の分離幅よりも大きく、

前記第1の第1導電型シリコン膜の少なくとも一部分における第1導電型不純物濃度は、前記第3の活性領域上に位置する部分の前記第2の第1導電型シリコン膜の第1導電型不純物濃度よりも高く、

前記第1の第2導電型シリコン膜の少なくとも一部分における第2導電型不純物濃度は、前記第4の活性領域上に位置する部分の前記第2の第2導電型シリコン膜の第2導電型

不純物濃度と同じであることを特徴とする半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置において、

前記第 1 の活性領域上に位置する部分の前記第 1 の第 1 導電型シリコン膜の第 1 導電型不純物濃度は、前記第 3 の活性領域上に位置する部分の前記第 2 の第 1 導電型シリコン膜の第 1 導電型不純物濃度よりも高いことを特徴とする半導体装置。

【請求項 3】

請求項 1 又は 2 に記載の半導体装置において、

前記第 1 の活性領域上に位置する部分の前記第 1 の第 1 導電型シリコン膜の第 1 導電型不純物濃度は、前記第 1 の素子分離領域上に位置する部分の前記第 1 の第 1 導電型シリコン膜の第 1 導電型不純物濃度よりも低いことを特徴とする半導体装置。

【請求項 4】

請求項 1 ～ 3 のいずれか 1 項に記載の半導体装置において、

前記第 2 の活性領域上に位置する部分の前記第 1 の第 2 導電型シリコン膜の第 2 導電型不純物濃度は、前記第 4 の活性領域上に位置する部分の前記第 2 の第 2 導電型シリコン膜の第 2 導電型不純物濃度よりも低いことを特徴とする半導体装置。

【請求項 5】

請求項 1 ～ 4 のいずれか 1 項に記載の半導体装置において、

前記第 2 の活性領域上に位置する部分の前記第 1 の第 2 導電型シリコン膜の第 2 導電型不純物濃度は、前記第 1 の素子分離領域上に位置する部分の前記第 1 の第 2 導電型シリコン膜の第 2 導電型不純物濃度よりも低いことを特徴とする半導体装置。

【請求項 6】

請求項 1 又は 2 に記載の半導体装置において、

前記第 1 の活性領域上に位置する部分の前記第 1 の第 1 導電型シリコン膜の第 1 導電型不純物濃度は、前記第 1 の素子分離領域上に位置する部分の前記第 1 の第 1 導電型シリコン膜の第 1 導電型不純物濃度と同じであることを特徴とする半導体装置。

【請求項 7】

請求項 1 に記載の半導体装置において、

前記第 1 の素子分離領域上に位置する部分の前記第 1 の第 1 導電型シリコン膜の第 1 導電型不純物濃度は、前記第 3 の活性領域上に位置する部分の前記第 2 の第 1 導電型シリコン膜の第 1 導電型不純物濃度よりも高いことを特徴とする半導体装置。

【請求項 8】

請求項 1 又は 7 に記載の半導体装置において、

前記第 1 の活性領域上に位置する部分の前記第 1 の第 1 導電型シリコン膜の第 1 導電型不純物濃度は、前記第 3 の活性領域上に位置する部分の前記第 2 の第 1 導電型シリコン膜の第 1 導電型不純物濃度と同じであることを特徴とする半導体装置。

【請求項 9】

請求項 1、7、8 のいずれか 1 項に記載の半導体装置において、

前記第 1 の活性領域上に位置する部分の前記第 1 の第 1 導電型シリコン膜の第 1 導電型不純物濃度は、前記第 1 の素子分離領域上に位置する部分の前記第 1 の第 1 導電型シリコン膜の第 1 導電型不純物濃度よりも低いことを特徴とする半導体装置。

【請求項 10】

請求項 1、7 ～ 9 のいずれか 1 項に記載の半導体装置において、

前記第 2 の活性領域上に位置する部分の前記第 1 の第 2 導電型シリコン膜の第 2 導電型不純物濃度は、前記第 4 の活性領域上に位置する部分の前記第 2 の第 2 導電型シリコン膜の第 2 導電型不純物濃度と同じであることを特徴とする半導体装置。

【請求項 11】

請求項 1、7 ～ 10 のいずれか 1 項に記載の半導体装置において、

前記第 2 の活性領域上に位置する部分の前記第 1 の第 2 導電型シリコン膜の第 2 導電型不純物濃度は、前記第 1 の素子分離領域上に位置する部分の前記第 1 の第 2 導電型シリコ

ン膜の第 2 導電型不純物濃度よりも低いことを特徴とする半導体装置。

【請求項 12】

請求項 1 ～ 1.1 のいずれか 1 項に記載の半導体装置において、
前記第 1 のゲート電極は、第 1 の P M I S トランジスタのゲート電極であり、
前記第 2 のゲート電極は、第 1 の N M I S トランジスタのゲート電極であり、
前記第 3 のゲート電極は、第 2 の P M I S トランジスタのゲート電極であり、
前記第 4 のゲート電極は、第 2 の N M I S トランジスタのゲート電極であることを特徴
とする半導体装置。

【請求項 1 3】

請求項 1 ～ 1.2 のいずれか 1 項に記載の半導体装置において、
前記第 1 のゲート電極及び前記第 2 のゲート電極はそれぞれ、ロジック回路用トランジ
スタのゲート電極であり、
前記第 3 のゲート電極及び前記第 4 のゲート電極はそれぞれ、S R A M 回路用トランジ
スタのゲート電極であることを特徴とする半導体装置。

Amendment of proceedings (voluntary / content) (patent application 2012-530800)

P.1

[Document name] Amendment of proceedings
 [Reference number] P61565102
 [Address] Commissioner, Japan Patent Office
 [indication of the case]
 [Application number] Japanese Patent Application 2012-530800
 [Party making the amendment]
 [Identification numbers] 314012076
 [Name or title] Panasonic IP Management Co., Ltd.
 [Agent]
 [Identification numbers] 110001427
 [Name or title] Maeda & Partners, a patent professional corporation
 [Representative] Hiroshi Maeda
 [Phone number] 06-6125-2255
 [Mailing number] 168919
 [Amendment to proceedings 1]
 [Name of document subject to amendment] Specification
 [Name of item subject to amendment] Title of Invention
 [Amendment method] Change
 [Details of the amendment]
 [Title of the Invention] Semiconductor device

[Amendment to proceedings 2]
 [Name of document subject to amendment] Scope of Patent Claims
 [Name of item subject to amendment] Full text
 [Amendment method] Change
 [Details of the amendment]
 [Document title] Scope of Patent Claims

[Claim 1]

A semiconductor device comprising of a first dual gate electrode and a second dual gate electrode, characterized in that the first dual gate electrode consists of a first gate electrode including a first conductivity type silicon film of the first conductive silicon film formed on the first active region and a second gate electrode including a second conductivity type silicon film of the first conductive silicon film formed on the second active region, and the second dual gate electrode has a third gate electrode including a first conductivity type silicon film of the second conductive silicon film formed on a third active region, and a fourth gate electrode including a second conductivity type silicon film of the second conductive silicon film formed on a fourth active region; wherein the first active region and the second active region are separated by a first element isolation region, and wherein the third active region and the fourth active region are separated by a second element isolation region; the first gate electrode and the second gate electrode are connected on the first element isolation region, and the isolation width between the first active region and the second active region in the first element isolation region is larger than the isolation width between the third active region and the fourth active region in the second element isolation region; the first conductivity type impurity concentration in at least a portion of the first conductivity type silicon film of the first conductive silicon film is higher than the first conductivity type impurity concentration of the first conductivity type silicon film of the second conductive silicon film in the portion located on the third active region, and the second conductivity type impurity concentration in at least a portion of the second conductive type silicon film of the first conductive silicon film is the same as the second conductivity type impurity concentration of the second

conductive type silicon film in a portion located on the fourth active region.

P.2

[Claim 2]

A semiconductor device according to Claim 1,

wherein the first conductivity type impurity concentration of the first conductivity type silicon film of the first conductive silicon film formed in a portion located on the first active region is higher than a first conductivity type impurity concentration of the first conductivity type silicon film of the second conductive silicon film formed on the portion located on the third active region.

[Claim 3]

A semiconductor device according to Claim 1 or 2,

wherein a first conductivity type impurity concentration of the first conductivity type silicon film of the first conductive silicon film formed in a portion located on the second active region is lower than a first conductivity type impurity concentration of the first conductivity type silicon film of the first conductive silicon film in a portion located on the first element isolation region.

[Claim 4]

A semiconductor device according to any one of Claims 1 to 3,

wherein the second conductivity type impurity concentration of the second conductivity type silicon film of the first conductive silicon film formed in a portion located on the second active region is lower than a second conductivity type impurity concentration of the second conductivity type silicon film of the second conductive silicon film formed in a portion located on the fourth active region.

[Claim 5]

A semiconductor device according to any one of Claims 1 to 4,

wherein the second conductivity type impurity concentration of the second conductivity type silicon film of the first conductive silicon film formed in a portion located on the second active region is lower than a second conductivity type impurity concentration of the second conductivity type silicon film of the first conductive silicon film formed in a portion located on the first element isolation region.

[Claim 6]

A semiconductor device according to Claim 1 or 2,

A semiconductor device characterized in that the first conductivity type impurity concentration of the first conductivity type silicon film of the first conductive silicon film formed in a portion located on the first active region is the same as the first conductivity type impurity concentration of the first conductivity type silicon film of the first conductive silicon film formed in a portion located on the first element isolation region.

[Claim 7]

A semiconductor device according to Claim 1,

A semiconductor device characterized in that the first conductivity type impurity concentration of the first conductivity type silicon film of the first conductive silicon film formed in a portion located on the first element isolation region is higher than the first conductivity type impurity concentration of the first conductivity type silicon film of the second conductive silicon film formed in a portion located on the third active region.

[Claim 8]

The semiconductor device according to Claim 1 or 7,

wherein the first conductivity type impurity concentration of the first conductivity type silicon film of the first conductive silicon film formed in a portion located on the first active region is the same as a first conductivity type impurity concentration of the first conductivity type silicon film of the second conductive silicon film formed in a portion located on the third active region.

[Claim 9]

The semiconductor device according to any one of Claims 1, 7 and 8,

wherein the first conductivity type impurity concentration of the first conductivity type silicon film of the first conductive silicon film in a portion located on the first active region is lower than a first conductivity type impurity concentration of the first conductivity type silicon film of the first conductive silicon film in a portion located on the first element isolation region.

[Claim 10]

A semiconductor device according to any one of claims 1 and 7 to 9,

wherein the second conductivity type impurity concentration of the second conductivity type silicon film of the first conductive silicon film formed in a portion located on the second active region is the same as the second conductivity type impurity concentration of the second conductivity type silicon film of the second conductive silicon film formed in a portion located on the fourth active region.

[Claim 11]

A semiconductor device according to any one of Claims 1 and 7 to 10,

wherein the second conductivity type impurity concentration of the second conductivity type silicon film of the first conductive silicon film formed in a portion located on the second active region is lower than the second conductivity type impurity concentration of the second conductivity type silicon film of the

P.3

first conductive silicon film formed in a portion located on the first element isolation region.

[Claim 12]

A semiconductor device according to any one of claims 1 to 11,
wherein the first gate electrode is a gate electrode of a first PMIS transistor;
the second gate electrode is a gate electrode of a first NMIS transistor;
the third gate electrode is a gate electrode of a second PMIS transistor;
and the fourth gate electrode is a gate electrode of a second NMIS transistor.

[Claim 13]

A semiconductor device according to any one of claims 1 to 12,
wherein the first gate electrode and the second gate electrode are each a gate electrode of a transistor for a logic circuit,
and the third gate electrode and the fourth gate electrode are each a gate electrode of a transistor for an SRAM circuit.

意見書 (特許出願2012-530800)

P.1

【書類名】 意見書
 【整理番号】 P61565102
 【あて先】 特許庁審査官 宇多川 勉 殿
 【事件の表示】
 【出願番号】 特願2012-530800
 【特許出願人】
 【識別番号】 314012076
 【氏名又は名称】 パナソニック I P マネジメント株式会社
 【代理人】
 【識別番号】 110001427
 【氏名又は名称】 特許業務法人前田特許事務所
 【代表者】 前田 弘
 【電話番号】 06-6125-2255
 【発送番号】 168919

【意見の内容】

1. 拒絶理由の要旨

本願に対し、平成27年4月14日（発送日）付けにて、以下の旨の拒絶理由通知がありました。

（理由1：新規性）この出願の請求項に係る発明は、その出願前に日本国内において頒布された刊行物である引用文献1（特開2008-042092号公報）に記載された発明であるから、特許法第29条第1項第3号に該当し、特許を受けることができない。

（理由2：進歩性）この出願の請求項に係る発明は、その出願前に日本国内において頒布された刊行物である引用文献1に記載された発明に基いて、その出願前に当業者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

（理由3：サポート要件）この出願は、特許請求の範囲の記載が下記の点で、特許法第36条第6項第1号に規定する要件を満たしていない。

（理由4：明確性）この出願は、特許請求の範囲の記載が下記の点で、特許法第36条第6項第2号に規定する要件を満たしていない。

2. 本願発明が特許されるべき理由

（1）補正とその説明

前記の拒絶理由に対し、別途提出の補正書によって、以下に説明する補正を行ないました。

旧請求項（補正前の請求項）1に、旧請求項2及び3の内容を組み入れました。

これに伴い、各構成の関係をより明瞭にするために表現を改めました。まず、素子分離領域に関して、第1の活性領域と前記第2の活性領域とは第1の素子分離領域を挟んでおり、第3の活性領域と前記第4の活性領域とは第2の素子分離領域を挟んでいることを記載しました。また、「第1の素子分離領域における前記第1の活性領域と前記第2の活性領域との間の分離幅」、「第2の素子分離領域における前記第3の活性領域と前記第4の活性領域との間の分離幅」のように、「分離幅」の意味をより明瞭にしました。

更に、旧請求項3における「実質的に」との記載は削除しています。

旧請求項14及び17～20は削除しました。

旧請求項8、10及び12に対応する新請求項6、8及び10において「実質的に」との記載を削除しました。

新請求項3、5、6、7、9及び11において、「第1の素子分離領域」であることを明記しました。

尚、半導体装置の製造方法に関する請求項（旧１７～２０）は削除し、半導体装置の請求項のみを残しておりますので、これに合わせて発明の名称も補正しております。

以上、今般の補正は、新規事項の追加には該当しないものと思料いたします。

（２）拒絶理由１及び２の解消について

拒絶理由通知によると、旧請求項３は理由１（新規性）及び２（進歩性）の対象となっております。

これに対し、上記の通り、補正後の請求項（新請求項）１は、旧請求項２及び３の内容を含みます。特に、旧請求項３に基づいて「前記第１の第２導電型シリコン膜の少なくとも一部分における第２導電型不純物濃度は、前記第４の活性領域上に位置する部分の前記第２の第２導電型シリコン膜の第２導電型不純物濃度と同じである」ことを新請求項１に記載しております。

これによって、新請求項１について、拒絶理由１及び２は解消したものと思料いたします。更に、新請求項２～１３は、いずれも新請求項１を引用する従属請求項です。よって、これらについても拒絶理由１及び２は解消したものと思料いたします。

（３）拒絶理由３の解消について

拒絶理由通知によると、旧請求項２は理由３（サポート要件）の対象となっております。また、新請求項１は旧請求項２の内容を含みます。

具体的に、旧請求項１、３～２０において「第１のデュアルゲート構造と、第２のデュアルゲート構造を有する半導体装置が記載されているが、各デュアルゲート構造を有する半導体装置の関係について記載されていない。」点がサポート要件違反とされています。

これに対し、旧請求項２に基づいて「前記第１の素子分離領域における前記第１の活性領域と前記第２の活性領域との間の分離幅は、前記第２の素子分離領域における前記第３の活性領域と前記第４の活性領域との間の分離幅よりも大きい旨を新請求項１に記載したことにより、新請求項１について拒絶理由３は解消したものと思料いたします。

また、新請求項２～１３は、いずれも新請求項１を引用する従属請求項です。よって、これらについても拒絶理由３は解消したものと思料いたします。尚、旧請求項１７～２０は削除しております。

（４）拒絶理由４の解消について

理由４（明確性）の対象であった旧請求項３、８、１０及び１２に対応する内容を含む新請求項１、６、８及び１０において「実質的に」との記載を削除しました。従いまして、これらの新請求項及びこれらを引用する従属請求項について、拒絶理由４は解消したものと思料いたします。

３．むすび

以上のとおり、本願に対する拒絶の理由は解消されたものと確信いたします。つきましては、同時提出の手續補正書に基づいて再度ご審査をいただき、特許査定を賜りますようお願い申し上げます。

Opinion (Japanese Patent Application 2012-530800)

P.1

[Document title] Opinion
[Reference number] P61565102
[Addressee] Tsutomu Udagawa, Patent Office Primary Examiner
[indication of the case]
[Patent Application number] Japanese Patent Application 2012-530800
[Patent applicant]
[Identification number] 314012076
[Name or title] Panasonic IP Management Co., Ltd.
[Agent]
[Identification number] 110001427
[Name or title] Maeda & Partners, a patent professional corporation
[Representative] Hiroshi Maeda
[Telephone number] 06-6125-2255
[Dispatch number] 168919
[Content of opinion]

1. Summary of reasons for rejection

A Notification of Reasons for Rejection was issued on April 14, 2015 (date of mailing) for this application stating the following reasons for rejection.

(Reason 1: Novelty) The invention claimed in this application is an invention described in Reference 1 (Japanese Patent Publication number 2008-042092), a publication distributed in Japan prior to the filing of the application, and therefore falls under Article 29, Paragraph 1, Item 3 of the Patent Act and cannot be patented.

(Reason 2: Inventive step) The invention claimed in this application is one that a person skilled in the art could have easily made prior to the filing of the application based on the invention described in Reference 1, a publication distributed in Japan prior to the filing of the application. Therefore, a patent cannot be obtained pursuant to Article 29, paragraph 2 of the Patent Act.

(Reason 3: Support requirement) This application does not meet the requirements of Article 36, Paragraph 6, Item 1 of the Patent Act for the following reasons:

(Reason 4: Clarity) The claims of this application do not meet the requirements set forth in Article 36, Paragraph 6, Item 2 of the Patent Act for the following reasons:

2. Reasons why the present invention should be patented

(1) Amendments and their explanations

In response to the above reasons for rejection, the amendments described below were made in a separate amendment document.

The contents of former claims 2 and 3 have been incorporated into old claim 1 (the claim before amendment).

Accordingly, we have revised the wording to make the relationships between each component clearer. First, with regard to the element isolation region, it has been described that the first active region and the second active region sandwich the first element isolation region, and the third active region and the fourth active region sandwich the second element isolation region. In addition, the meaning of "isolation width" has been made clearer, such as "the isolation width between the first active region and the second active region in the first element isolation region" and "the isolation width between the third active region and the fourth active region in the second element isolation region".

Furthermore, the word "substantially" in former claim 3 has been deleted.

Former claims 14 and 17 to 20 have been deleted.

In new claims 6, 8, and 10, which correspond to former claims 8, 10, and 12, the word "substantially" has been deleted.

In the new claims 3, 5, 6, 7, 9 and 11, it was specified that it was the "first element separation region".

In addition, the claim relating to the manufacturing method of a semiconductor device (formerly 17-20) has been deleted, leaving only the claim for the semiconductor device, and the title of the invention has been amended accordingly.

For the above reasons, we believe that this amendment does not amount to the addition of new matter.

(2) Resolution of reasons for rejection 1 and 2

According to the Notification of Reasons for Rejection, former claim 3 is not subject to Reasons 1 (Novelty) and 2 (Inventive step).

In contrast, as stated above, amended claim (new claim) 1 includes the contents of former claims 2 and 3. In particular, based on former claim 3, new claim 1 states that "the second conductivity type impurity concentration in at least a portion of the second conductivity type silicon film of Item 1 is the same as the second conductivity type impurity concentration of the second conductivity type silicon film of Item 2 in a portion located on the fourth active region".

As a result, with regard to new claim 1, we believe that reasons for rejection 1 and 2 have been resolved. Further, the new claims 2 to 13 are all dependent claims that cite the new claim 1. Therefore, we believe that reasons for rejection 1 and 2 have also been resolved.

(3) Regarding the resolution of reason for rejection 3

According to the Notification of Reasons for Rejection, former Claim 2 is not subject to Reason 3 (Support Requirements). In addition, the new Claim 1 includes the contents of the former Claim 2.

Specifically, former claims 1 and 3 to 20 are found to be in violation of the support requirement because "although a semiconductor device having a first dual gate structure and a second dual gate structure is described, there is no description of the relationship between the semiconductor devices having the respective dual gate structures".

In response to this, based on former claim 2, new claim 1 states that "the isolation width between the first active region and the second active region in the first element isolation region is larger than the isolation width between the third active region and the fourth active region in the second element isolation region," and therefore we believe that reason for rejection 3 for new claim 1 has been resolved.

In addition, the new claims 2 to 13 are all dependent claims that cite the new claim 1. Therefore, we believe that reason for rejection 3 has also been resolved in these cases. In addition, the former claims 17 to 20 have been deleted.

(4) Regarding the resolution of reason for rejection 4

In new claims 1, 6, 8, and 10, which contain content corresponding to former claims 3, 8, 10, and 12, which were the subject of reason 4 (Clarity), the word "substantially" has been deleted. Therefore, we believe that reason for rejection 4 has been resolved with respect to these new claims and the dependent claims that cite them.

3. Conclusion

Based on the above, we believe that the grounds for rejection of this application have been resolved. In light of this, we would like to ask you to reexamine the application based on the amendment submitted at the same time and grant a patent.

特許査定 (特許出願2012-530800)

P.1

特許査定

特許出願の番号	特願2012-530800
起案日	平成27年 7月13日
特許庁審査官	宇多川 勉 3125 5F00
発明の名称	半導体装置
請求項の数	13
特許出願人	パナソニックIPマネジメント株式会社
代理人	特許業務法人前田特許事務所

この出願については、拒絶の理由を発見しないから、特許査定をします。

部長 / 代理	審査長 / 代理	審査官	審査官補	分類確定官
	小川 将之	宇多川 勉		岩本 勉
	9634	3125		9355

P.2

- 出願種別 通常
- 参考文献 有
- 特許法第30条適用 無
- 発明の名称の変更 無
- 国際特許分類 (IPC)

H 0 1 L	2 9 / 5 8	G ,
H 0 1 L	2 7 / 1 0	3 8 1 ,
H 0 1 L	2 7 / 1 0	4 6 1 ,
H 0 1 L	2 7 / 1 0	4 8 1

6. 菌寄託

7. 出願日の遡及を認めない旨の表示

P.3

参考情報

特許出願の番号 特願2012 - 530800

1. 調査した分野 (IPC, DB名)

H 0 1 L	2 1 / 8 2 3 8
H 0 1 L	2 1 / 8 2 4 4
H 0 1 L	2 7 / 0 9 2
H 0 1 L	2 7 / 1 0
H 0 1 L	2 7 / 1 1
H 0 1 L	2 9 / 4 2 3
H 0 1 L	2 9 / 4 9

2. 参考特許文献

特開2008 - 042092	(JP, A)
特開2003 - 179056	(JP, A)
特開2010 - 067912	(JP, A)
特開2004 - 079705	(JP, A)
特開2005 - 317736	(JP, A)

3. 参考図書雑誌

Decision to Grant a Patent (Japanese Patent Application 2012-530800)

P.1

Decision to Grant a Patent

Japanese Patent Application Number	Japanese Patent Application 2012-530800
Drafting date	July 13, 2015
Patent Office Primary Examiner	Tsutomu Udagawa 3125 5F00
Title of Invention	Semiconductor device
Number of Claims	13
Patent applicant	Panasonic IP Management Co., Ltd.
Agent	Maeda & Partners, a patent professional corporation

Since no reason for rejection is found for this application, a Decision to Grant a Patent will be made.

<u>Director/Representative</u>	<u>Review Director/Representative</u>	<u>Primary Examiner</u>	<u>Assistant Examiner</u>	<u>Classification confirmation officer</u>
	<u>Masayuki Ogawa</u>	<u>Tsutomu Udagawa</u>		<u>Tsutomu Iwamoto</u>
	9634	3125		9355

P.2

- | | |
|--|--------|
| 1. Application Type | Normal |
| 2. References | Yes |
| 3. Article 30 of the Patent Act applies | No |
| 4. Changes to the Title of the Invention | No |

5. International Patent Classification (IPC)

H01L 27/08 321D,

H01L	29/58	G,
H01L	27/10	381,
H01L	27/10	461,
H01L	27/10	481

6. Bacterial deposit

7. A statement that retroactive filing dates are not permitted

P.3

Reference Information

Patent application number Japanese Patent Application 2012-530800

1. Field of investigation (IPC, DB name)

H01L	21/8238
H01L	21/8244
H01L	27/092
H01L	27/10
H01L	27/11
H01L	29/423
H01L	29/49

2. Patent Literature

Japanese Unexamined Patent Application Publication 2008-042092	(JP, A)
Japanese Unexamined Patent Application Publication 2003-179056	(JP, A)
Japanese Unexamined Patent Application Publication 2010-067912	(JP, A)
Japanese Unexamined Patent Application Publication 2004-079705	(JP, A)
Japanese Unexamined Patent Application Publication 2005-317736	(JP, A)

3. Reference books and magazines
