

CERTIFICATE OF TRANSLATION ACCURACY

July 14, 2025

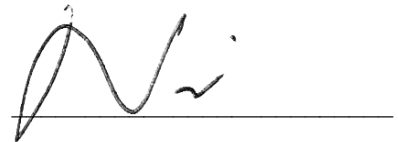
I, the undersigned, Steve Ni, hereby certify:

I am a professional translator. I work as an independent contractor. I was contracted by Divergent Language Solutions, LLC to provide document translation from Japanese into English for this matter.

I am fluent in both Japanese and English. My qualifications include 15 years of full-time professional translation experience from Japanese into English.

I am familiar and competent with both the Japanese and English languages. I have received and translated from Japanese into English the Japanese Patent No. 9181194 and hereby attest that the English translations are complete and accurate renditions of the Japanese originals to the best of my knowledge and belief.

I declare under penalty of perjury under the laws of the United States of America that the foregoing is true and correct. Executed on July 14, 2025.



Steve Ni



Divergent Language Solutions, LLC

600 California Street, 11th Floor | San Francisco, CA 94108 | p 415.400.4538 | f 415.525.4313

divergent@divergentls.com | www.divergentls.com

TSMC-1009
U.S. Patent 8,884,373

(51) Int. Cl.⁶

Identification Code JPO Reference No. FI

Technical Display Location

H01L 21/8238
27/092
21/76H01L 27/08 321D
21/76 M

Examination Request: Not yet made; Number of Claims: 6 OL (Total 14 pages)

(21) Application No.: Patent Application No. H7 (1995)-
340172

(22) Application Date: 12.27.1995

(71) Applicant: 000002185

Sony Corporation

6-7-35 Kitashinagawa, Shinagawa-ku, Tokyo, Japan

(72) Inventor: Hirobumi Sumi

6-7-35 Kitashinagawa, Shinagawa-ku, Tokyo,
Japan; inside Sony Corporation

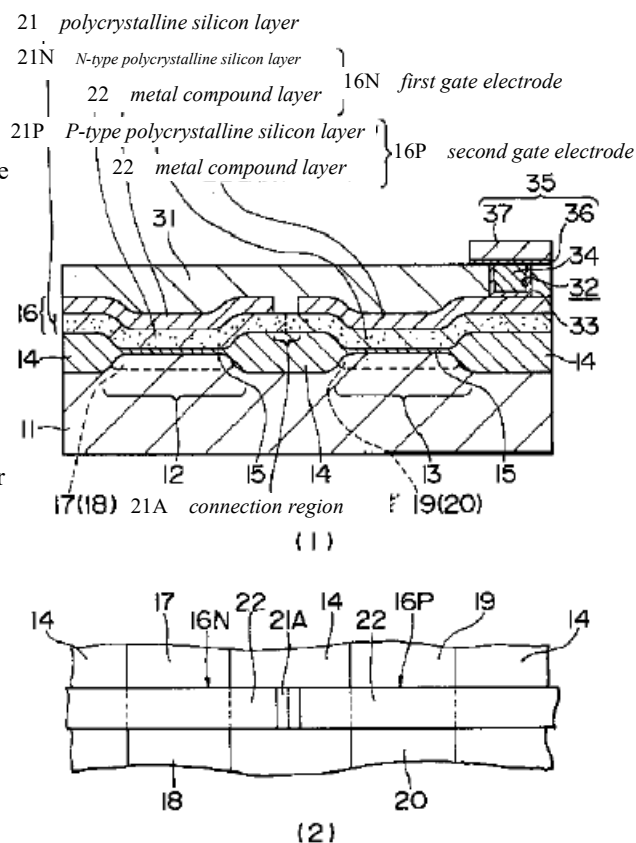
(74) Representative: Patent Attorney Kuninori Funabashi

(54) [Title of Invention] Dual Gate Structure and Its
Manufacturing Method

(57) [Abstract]

[Problem to be Solved] In a dual gate structure, the mutual diffusion of impurities in polycrystalline silicon occurs through the metal layer or metal compound layer of the gate electrode, degrading the transistor characteristics.

[Means for Solving the Problem] This is a dual gate structure formed with a single gate wiring 16 that comprises first and second gate electrodes 16N and 16P, wherein the first gate electrode 16N consists of the first conductivity type (hereinafter, N-type) polycrystalline silicon layer 21N and a metal compound layer 22, and the second gate electrode 16P consists of the second conductivity type (hereinafter, P-type) polycrystalline silicon layer 21P and the metal compound layer 22; the metal compound layer 22 is formed in a separated state over a connection region 21A between N-type and P-type polycrystalline silicon layers 21N and 21P. In addition, a high-concentration impurity region (not shown in the illustrative figure) having a higher impurity concentration than the N-type and P-type crystalline silicon layers 21N and 21P is provided in the connection region 21A.



An explanatory diagram of the first embodiment related to the dual gate structure of this invention.

[Scope of patent claims]

[Claim 1] A dual gate structure formed with a single wiring for a first gate electrode and a second gate electrode, wherein the aforementioned first gate electrode consists of a first conductivity type polycrystalline silicon layer and a metal layer, or a first conductivity type polycrystalline silicon layer, a metal layer, and a metal compound layer; the aforementioned second gate electrode consists of a second conductivity type polycrystalline silicon layer and a metal layer, or a second conductivity type polycrystalline silicon layer, a metal layer, and a metal compound layer; and the aforementioned metal layer or the aforementioned metal layer and metal compound layer is formed in a separated state over a connection region between the aforementioned first conductivity type polycrystalline silicon layer and the aforementioned second conductivity type polycrystalline silicon layer.

[Claim 2] The dual gate structure as described in Claim 1, wherein a high-concentration impurity region having a higher impurity concentration than the aforementioned first conductivity type polycrystalline silicon layer and the aforementioned second conductivity type polycrystalline silicon layer is provided in the region where the aforementioned first conductivity type polycrystalline silicon layer and the aforementioned second conductivity type polycrystalline silicon layer are connected.

[Claim 3] A manufacturing method for a dual gate structure formed with a single wiring for a first gate electrode and a second gate electrode, comprising:
a step of doping first conductivity type impurities into the region of the polycrystalline silicon layer that forms the first gate electrode after forming the polycrystalline silicon layer on a semiconductor substrate, and doping second conductivity type impurities into the region of the polycrystalline silicon layer that forms the second gate electrode;
a step of forming a metal layer or a metal layer and a metal compound layer on the aforementioned polycrystalline silicon layer;
and a step of removing the aforementioned metal layer or the aforementioned metal layer and metal compound layer from the region where the aforementioned first conductivity type polycrystalline silicon layer and the aforementioned second conductivity type polycrystalline silicon layer are connected.

[Claim 4] The manufacturing method for the dual gate structure as described in Claim 3, further comprising a step of introducing impurities into the region where the aforementioned first conductivity type polycrystalline silicon layer and the aforementioned second conductivity type polycrystalline silicon layer are connected to form a high-concentration impurity region having a higher impurity concentration than the aforementioned first conductivity type polycrystalline silicon layer and the aforementioned second conductivity type polycrystalline silicon layer.

[Claim 5] The dual gate structure as described in Claim 3, wherein the aforementioned polycrystalline silicon layer is formed by a step of forming a base polycrystalline silicon layer, followed by a step of forming an amorphous silicon layer on the base polycrystalline silicon layer, and then modifying the aforementioned amorphous silicon layer into a polycrystalline

silicon layer consisting of silicon crystals having a larger grain size than the silicon crystal of the base polycrystalline silicon layer through laser annealing or excimer laser annealing.

[Claim 6] The dual gate structure as described in Claim 4, wherein the aforementioned polycrystalline silicon layer is formed by a step of forming a base polycrystalline silicon layer, followed by a step of forming an amorphous silicon layer on the base polycrystalline silicon layer, and then modifying the aforementioned amorphous silicon layer into a polycrystalline silicon layer consisting of silicon crystals having a larger grain size than the silicon crystal of the base polycrystalline silicon layer through laser annealing or excimer laser annealing.

[Detailed Description of the Invention]

[0001]

[Technical Field of the Invention]

This invention relates to a dual gate structure and its manufacturing method.

[0002]

[Conventional Technology]

With the miniaturization of devices, the diffusion layers of transistors have become increasingly shallow. In other words, the so-called "shallow junction" has progressed. On the other hand, as the gate width shrinks, it is necessary to make the depth of the diffusion layer shallower to prevent an increase in short-channel effects, which can degrade the source-drain breakdown voltage. For example, for a transistor with a gate width of 0.25 μm , it is necessary to reduce the depth of the diffusion layer to about 0.08 μm .

[0003] Moreover, due to the need to maintain high current driving capability in recent years, there has been active development of CMOS with a dual gate structure that employs N-type impurities for the NMOS (Metal-Oxide-Semiconductor) gates and P-type impurities for the PMOS gates. By using this gate structure, compared with the conventional buried channel method (where pocket ion implantation ensures ON and OFF states allowing the channel region to be of the same type as the source-drain regions), it is relatively necessary to secure a higher threshold voltage V_{th} , resulting in lower source-drain current I_{ds} . Therefore, the surface channel method, which allows a relatively low threshold voltage V_{th} , can produce devices with relatively high current driving capability.

[0004] Here, an example of a conventional MOSLSI process will be explained using the manufacturing process diagram shown in Fig. 7.

[0005] As shown in (1) of Fig. 7, after forming an element isolation region 112 to separate the formation areas of the N-channel transistor and the P-channel transistor on a semiconductor substrate 111 through a normal MOS transistor process, a gate wiring 114 is formed on the semiconductor substrate 111 via a gate insulating film 113. This gate wiring 114 is formed as an N-type gate wiring 114N in the formation area of the N-channel transistor and as a P-type gate wiring

114P in the formation area of the P-channel transistor. Next, sidewall insulating films (not shown in the illustrative figure) are formed on both sides of the gate wiring 114, and then source-drain regions 116 (117) and 118 (119) are formed in the semiconductor substrate 111 on both sides of the N-type and P-type gate wirings 114N and 114P, respectively, thus forming the N-channel transistor 101N and the P-channel transistor 101P. It should be noted that in the figures, the source-drain regions (117, 119) are closer to the front side of the paper, hence they are omitted from illustration.

[0006] Next, as shown in (2) of Fig. 7, the semiconductor substrate 111 is subjected to hydrofluoric acid (HF) treatment to completely remove the natural oxide film (not shown in the illustrative figure) on the source-drain regions 116 (117) and 118 (119). Afterward, for instance, a titanium (Ti) film is formed over the entire area to a thickness of 50 nm by sputtering. Subsequently, thermal processing (the first thermal treatment involves heating at 600°C in a nitrogen atmosphere, and the second thermal treatment involves heating at 800°C in a nitrogen atmosphere) is applied to react the silicon (Si) of the gate wiring 114 with the titanium film to form a low-resistance titanium silicide (TiSi₂) layer 121 and selectively form a low-resistance titanium silicide (TiSi₂) layer (not shown in the illustrative figure) by reacting the silicon (Si) of the source-drain regions 116 (117) and 118 (119) with the titanium film.

[0007] Subsequently, the semiconductor substrate 111 is immersed in ammonia peroxide, for example, to selectively etch and remove the unreacted titanium film (not shown in the illustrative figure).

[0008] Next, as shown in (3) of Fig. 7, after forming an interlayer insulating film 131 made of silicon oxide by a method such as chemical vapor deposition (hereinafter referred to as CVD), which covers the entire area on the gate wiring 114, a connection hole 132 is formed in the interlayer insulating film 131 above the gate wiring 114P to connect to the titanium silicide layer 121 using lithography and etching techniques. Furthermore, a tungsten plug 134 is formed inside the connection hole 132 via an adhesion layer 133 using a blanket tungsten plug formation method. In addition, a wiring layer 136 comprising an adhesion layer 135 and an aluminum-silicon film is formed on the interlayer insulating film 131 in a state connected to the tungsten plug 134. Finally, through lithography and etching techniques, the adhesion layer 135 and the wiring layer 136 are patterned to form a wiring 137.

[0009]

[Problems to be solved by the invention]

However, when attempting to form a CMOS with a dual gate structure using a surface channel type transistor, the following challenges exist.

[0010] That is, in a dual gate structure, gate lines are formed on

both the N-channel transistor and the P-channel transistor, resulting in different conductivity types for each gate. As a result, part of the gate line becomes an N-type gate doped with arsenic (As), while another part becomes a P-type gate doped with boron (B).

[0011] Therefore, the following challenges arise:

① Due to thermal processing after the formation of the gate region, there is diffusion of the arsenic (As) that is doped into the gate region, which (As) can diffuse into the P-type gate.

② The P-type gate contains boron (B) doped into polycrystalline silicon, leading to the challenge of the boron piercing through the thin gate oxide film.

③ Impurities such as boron precipitate at the grain boundaries of polycrystalline silicon, causing the polycrystalline silicon to enter a depleted state.

Overcoming the above challenges ① to ③ is necessary for the practical application of dual gates.

[0012] As a solution to challenge ①, the use of a two-layer polycrystalline silicon layer for the gate to suppress mutual diffusion has been disclosed in Japanese Patent Application No. HEI 7-037992 and in the IEDM technical digests (1994) H.

Koike, Y. Unno, K. Ishimura, F. Matsuoka, and M. Kakumu, p. 855-858.

As a solution to challenge ②, enlarging the grain size of the polycrystalline silicon in the gate to prevent the boron (B) from piercing through has been disclosed in the IEDM technical digests (1993) Munetaka Koda, Yoshikatsu Shida, Junichi Kawaguchi, and Yoshio Kaneko, p. 471-474.

In addition, preventing the boron from piercing through by ion implanting nitrogen (N) into the LDD (Lightly Doped Drain) region has been disclosed in the IEDM technical digests (1994) S. Shimizu, T. Kuroi, M. Kobayashi, T. Yamaguchi, T. Fujino, H. Maeda, T. Tsutsumi, Y. Hirose, S. Kusunoki, M. Inuishi, and N. Tsubouchi, p. 67-70.

[0013] This invention was made to solve the above challenges by different means and aims to provide a dual gate structure and its manufacturing method that excels in suppressing mutual diffusion of impurities between gate electrodes.

[0014]

[Means for solving the problems]

This invention is a dual gate structure and its manufacturing method made to achieve the above-mentioned objectives.

[0015] The dual gate structure is formed such that the first gate electrode and the second gate electrode are created with a single wiring. The first gate electrode consists of a first conductivity type polycrystalline silicon layer and a metal layer, or a first conductivity type polycrystalline silicon layer, a metal layer, and a metal compound layer. The second gate electrode consists of a second conductivity type polycrystalline silicon layer and a metal layer, or a second conductivity type polycrystalline silicon layer, a metal layer, and a metal compound layer. In the region where the first conductivity type polycrystalline silicon layer and the second conductivity type polycrystalline silicon layer

connect, it is formed in a state where the metal layer, or the combination of the metal layer and the metal compound layer, is separated. In addition, a high-concentration impurity region is provided in the connection region between the first conductivity type polycrystalline silicon layer and second conductivity type polycrystalline silicon layer, having a higher impurity concentration than each respective polycrystalline silicon layer.

[0016] In the dual gate structure described above, since the metal layer or the combination of the metal layer and the metal compound layer is separated in the region where the first conductivity type polycrystalline silicon layer and the second conductivity type polycrystalline silicon layer connect, diffusion of impurities does not occur through the metal layer and the metal compound layer, which would otherwise serve as a diffusion pathway for impurities between the first conductivity type polycrystalline silicon layer and the second conductivity type polycrystalline silicon layer. In addition, by providing a high-concentration impurity region in the connection region between the first conductivity type polycrystalline silicon layer and the second conductivity type polycrystalline silicon layer, where the impurity concentration is higher than that of each of the first conductivity type polycrystalline silicon layer and the second conductivity type polycrystalline silicon layer, mutual diffusion of impurities between the polycrystalline silicon layers of the first and second conductivity types becomes less likely.

[0017] The manufacturing method for the dual gate structure begins by forming a polycrystalline silicon layer on a semiconductor substrate. Impurities of the first conductivity type are doped into the region of the polycrystalline silicon layer where the first gate electrode will be formed, while impurities of the second conductivity type are doped into the region where the second gate electrode will be formed. After forming a metal layer or a combination of a metal layer and a metal compound layer on the polycrystalline silicon layer, the metal layer or the combination of the metal layer and the metal compound layer is removed from the region where the first conductivity type polycrystalline silicon layer and the second conductivity type polycrystalline silicon layer connect. In addition, impurities are introduced into the connection region between the polycrystalline silicon layers of the first and second conductivity types at a higher concentration than that of each of the first conductivity type polycrystalline silicon layer and the second conductivity type polycrystalline silicon layer to form the high-concentration impurity region. In the manufacturing method of the dual gate structure, the polycrystalline silicon layer is formed through a process that includes creating a base polycrystalline silicon layer followed by forming an amorphous silicon layer, and then modifying the amorphous silicon layer into a polycrystalline silicon layer constituted of silicon crystals with larger grain sizes than those of the base polycrystalline silicon layer through laser annealing or excimer laser annealing.

[0018] In the manufacturing method for the dual gate structure, after forming a metal layer or a combination of a metal layer and a metal compound layer on the first and second conductivity type polycrystalline silicon layers, the metal layer or the combination of the metal layer and the metal compound layer is removed from the region where the first conductivity type polycrystalline silicon layer and the second conductivity type polycrystalline silicon layer connect. Therefore, mutual diffusion of impurities doped into the polycrystalline silicon layer through the metal layer or the combination of the metal layer and the metal compound layer does not occur. Furthermore, the manufacturing method that involves doping impurities into the connection region between the first conductivity type polycrystalline silicon layer and second

conductivity type polycrystalline silicon layer at a higher concentration than that of each polycrystalline silicon layer prevents mutual diffusion between the first conductivity type polycrystalline silicon layer and second conductivity type polycrystalline silicon layer.

[0019]

[Embodiments of the invention]

An example of the first embodiment related to this invention's dual gate structure will be explained with reference to Fig. 1. Fig. 1 shows a dual gate CMOS transistor as an example, with (1) showing a schematic cross-sectional view and (2) showing a plan layout diagram.

[0020] As shown in Fig. 1, on a semiconductor substrate (for example, silicon substrate) 11, an element isolation region 14 is formed to separate the formation regions 12 of the NMOS transistor and 13 of the PMOS transistor. On the semiconductor substrate 11, a gate wiring 16 consisting of a polycrystalline silicon layer 21 and a metal compound layer 22 is formed via a gate insulating film 15.

[0021] In the formation region 12 of the first MOS transistor, impurities of the first conductivity type (hereinafter referred to as N-type), such as arsenic (As), are doped into the polycrystalline silicon layer 21. The part where arsenic is doped becomes the N-type polycrystalline silicon layer 21N and forms the first gate electrode 16N together with the metal compound layer 22. On the other hand, in the formation region 13 of the second MOS transistor, impurities of the second conductivity type (hereinafter referred to as P-type), such as boron (B), are doped into the polycrystalline silicon layer 21. The part where boron is doped becomes the P-type polycrystalline silicon layer 21P and forms the second gate electrode 16P together with the metal compound layer 22. Each of the N-type and P-type polycrystalline silicon layers 21N and 21P is formed from silicon crystals with larger grain sizes (for example, a grain size of 0.3 μm or more).

[0022] Moreover, the metal compound layer 22 is formed, for example, of tungsten silicide (WSi_2), and in the connection region 21A between the N-type polycrystalline silicon layer 21N and the P-type polycrystalline silicon layer 21P, the metal compound layer 22 is in a separated state. In addition to tungsten silicide, at least one of titanium nitride (TiN), titanium oxynitride (TiON), titanium silicide (TiSi_2), tungsten nitride (WN), and tungsten oxynitride (WON) can also be used for the metal compound layer 22. Alternatively, a single-layer metal layer can be used instead of the metal compound layer 22. Possible materials for the single-layer metal layer include tungsten (W), molybdenum (Mo), and cobalt (Co). It is also possible to have structures where a metal compound layer is formed over a metal layer or where a metal layer is formed over a metal compound layer. Materials similar to those described above can be used for the metal compound layer and the metal layer in such a laminated structure.

[0023] On both sides of the gate wiring 16 in the NMOS

transistor formation region 12, source-drain regions 17 (18) of the NMOS transistor are formed in the semiconductor substrate 11. On the other hand, on both sides of the gate wiring 16 in the PMOS transistor formation region 13, source-drain regions 19 (20) of the PMOS transistor are formed in the semiconductor substrate 11. It should be noted that in the figures of (1), the source-drain regions (18, 20) will be formed on the front side of the figures, so they are not shown.

[0024] Furthermore, an interlayer insulating film 31, formed for example of silicon oxide, covers the NMOS transistor 1 and the PMOS transistor 2. A connection hole 32 is formed in the interlayer insulating film 31, for instance, on the gate wiring 16 of the PMOS transistor 2, and a contact layer (not shown in the illustrative figure) and a barrier metal layer 33 are formed on the inner wall of the connection hole 32; additionally, a metal plug 34 is formed in a manner that fills the connection hole 32. The contact layer is made of, for example, titanium (Ti), while the barrier metal layer 33 is made of, for example, titanium nitride (TiN). In addition, the metal plug 34 is made of, for example, tungsten (W).

[0025] Furthermore, on the above interlayer insulating film 31, a wiring 35 that connects to the metal plug 34 is formed. This wiring 35 consists of a contact layer 36 made of, for example, titanium (Ti), and a main wiring layer 37 made from aluminum (Al)-based metal. Although it is not shown in the illustrative figure, similarly to the connection structure of wiring 35, a wiring is connected on top of the interlayer insulating film 31 via a metal plug formed through the interlayer insulating film 31 for the gate wiring 16 of the NMOS transistor 1.

[0026] In the aforementioned dual gate structure, since the metal compound layer 22 is separated in the region where the N-type polycrystalline silicon layer 21N and the P-type polycrystalline silicon layer 21P connect, impurities do not diffuse through the metal compound layer 22, which serves as a diffusion path between the N-type polycrystalline silicon layer 21N and the P-type polycrystalline silicon layer 21P. In addition, since the P-type polycrystalline silicon layer 21P is made from silicon crystals with larger grain sizes, the issue of boron penetrating through the gate insulating film is resolved.

[0027] Next, an example of the manufacturing method of the dual gate structure of this invention will be explained with reference to Fig. 2 and Fig. 3. Each figure shows a schematic cross-sectional view, along with plan layout diagrams as necessary. The same reference numerals are used for components similar to those described in Fig. 1.

[0028] As shown in (1) of Fig. 2, as a method for forming the conventional element isolation region, for example, a local oxidation method (for example, LOCOS - Local Oxidation of Silicon) is used to form an element isolation region 14 that separates the formation region 12 of the first MOS transistor and the formation region 13 of the second MOS transistor on the semiconductor substrate (for example, silicon substrate) 11. Furthermore, a gate insulating film (for example, a gate oxide

film) 15 is formed on the semiconductor substrate 11, for instance, by thermal oxidation.

[0029] After that, a base polycrystalline silicon layer 23 is formed on the processed semiconductor substrate 11 using a chemical vapor deposition (CVD) method. The film formation conditions for the base polycrystalline silicon layer 23 are set as follows:

Film formation gas: Monosilane (SiH_4); 100 sccm [hereafter, sccm refers to the volumetric flow rate (cm^3/min) at standard conditions], Helium (He); 400 sccm, Nitrogen (N_2); 200 sccm
Pressure of film formation atmosphere: 70 Pa
Substrate temperature: 610 °C

The base polycrystalline silicon layer 23 is deposited to a thickness of approximately 50 nm.

[0030] Next, an amorphous silicon layer (24) is formed on the base polycrystalline silicon layer 23 using the CVD method. The film formation conditions for the amorphous silicon layer (24) are set as follows:

Film formation gas: Monosilane (SiH_4); 100 sccm, Helium (He); 400 sccm, Nitrogen (N_2); 200 sccm
Pressure of film formation atmosphere: 70 Pa
Substrate temperature: 510 °C

The amorphous silicon layer (24) is deposited to a thickness of approximately 100 nm.

[0031] Subsequently, doping of impurities to form the dual gate is performed, for example, by ion implantation. First, a resist pattern (not shown in the illustrative figure) with openings on the region to become the first conductivity type (N-type) gate is formed using conventional lithography techniques (the processes involved in forming the resist film by resist coating, exposure, developing, baking, etc., are omitted here). Then, using the resist pattern as a mask, ion implantation of N-type impurities, such as arsenic ions (As^+), is carried out. The ion implantation conditions are set as follows:

Acceleration energy: 30 keV
Dose amount: $5 \times 10^{15} / \text{cm}^2$

Arsenic ions are implanted into the amorphous silicon layer (24) and the base polycrystalline silicon layer 23. Afterward, the resist pattern is removed by methods such as ashing and cleaning.

[0032] Next, a resist pattern (not shown in the illustrative figure) with openings on the region to become the second conductivity type (P-type) gate is formed using conventional lithography techniques. Then, using this resist pattern as a mask, ion implantation is carried out for P-type impurities, such as boron ions (B^+). The ion implantation conditions are set as follows:

Implantation energy: 10 keV

Dose amount: 3×10^{15} /cm

Boron ions are implanted into the amorphous silicon layer (24) and the base polycrystalline silicon layer 23. Afterward, the resist pattern is removed by methods such as ashing and cleaning. It should be noted that the order of the ion implantation process for N-type impurities and P-type impurities does not matter.

[0033] Subsequently, excimer laser light is irradiated onto the amorphous silicon layer (24) (excimer laser annealing) to crystallize this amorphous silicon layer (24). The irradiation conditions for the excimer laser light are set as follows:

Energy density of excimer laser light: 250 mJ/cm²

Pressure of irradiation atmosphere: 1×10^{-5} Pa

Then, crystallization processing is performed.

[0034] As a result, the amorphous silicon layer (24) becomes a large-grain polycrystalline silicon layer 25 with a grain size of approximately 0.5 μ m, which, together with the base polycrystalline silicon layer 23, forms the polycrystalline silicon layer 21. In this way, it is desirable for the irradiation of excimer laser light to grow silicon crystals into at least grains larger than 0.3 μ m. The N-type polycrystalline silicon layer 21N is formed from the base polycrystalline silicon layer 23 and the large-grain polycrystalline silicon layer 25 over the formation region 12 of the first MOS transistor, while the P-type polycrystalline silicon layer 21P is formed from the base polycrystalline silicon layer 21 and the large-grain polycrystalline silicon layer 25 over the formation region 13 of the second MOS transistor.

[0035] Next, a metal compound layer 22 is formed on the large-grain polycrystalline silicon layer 25, which has been crystallized from amorphous silicon, using CVD, for example, tungsten silicide (WSi₂). The CVD conditions are set as follows:

Film formation gas: Dichlorosilane (SiH₂Cl₂); 300 sccm,

Tungsten hexafluoride (WF₆); 2.8 sccm, Argon (Ar); 50 sccm

Pressure of film formation atmosphere: 20 Pa

Substrate temperature: 520 °C

The film is deposited until the metal compound layer 22 made of tungsten silicide reaches a thickness of 70 nm.

[0036] Then, as shown in the schematic cross-sectional view of (2-1) and the plan layout diagram of (2-2) in Fig. 2, a resist pattern that serves as an etching mask for forming the gate is formed using conventional lithography techniques (not shown in the illustrative figure). Using this resist pattern as a mask, dry etching is performed to pattern the metal compound layer 22 and the N-type and P-type polycrystalline silicon layers 21N and 21P, thereby forming the gate wiring 16. The gate wiring 16 over the formation region 12 of the first MOS transistor, namely the N-type polycrystalline silicon layer 21N and the metal compound layer 22, becomes the first gate electrode 16N, while the gate wiring 16 over the formation region 13 of the second

MOS transistor, namely the P-type polycrystalline silicon layer 21P and the metal compound layer 22, becomes the second gate electrode 16P. The dry etching is performed using, for example, a microwave etching device. The etching conditions are set as follows:

Etching gas: Sulfur hexafluoride (SF₆); 20 sccm, Chlorine (Cl₂); 25 sccm

Pressure of etching atmosphere: 1.3 Pa

Microwave power: 950 W

RF power: 50 W

Etching is then carried out. Afterward, the resist pattern is removed by means such as ashing and cleaning.

[0037] Next, ion implantation is performed to form the LDD (Lightly Doped Drain). First, a resist pattern with openings over the region where the N-type LDD will be formed is created using conventional lithography techniques (not shown in the illustrative figure). Then, using this resist pattern as a mask, ion implantation is carried out for N-type impurities, such as arsenic ions (As⁺). The ion implantation conditions are set as follows:

Implantation energy: 25 keV

Dose amount: 1×10^{13} /cm

As a result, the N-type LDD (not shown in the illustrative figure) is formed. After that, the resist pattern is removed by methods such as ashing and cleaning.

[0038] Subsequently, a resist pattern with openings over the region where the P-type LDD will be formed is created using conventional lithography techniques (not shown in the illustrative figure). Then, using this resist pattern as a mask, ion implantation is performed for P-type impurities, such as boron difluoride ions (BF₂⁺). The ion implantation conditions are set as follows:

Implantation energy: 20 keV

Dose amount: 2×10^{12} /cm

As a result, the P-type LDD (not shown in the illustrative figure) is formed. Afterward, the resist pattern is removed by methods such as ashing and cleaning. It should be noted that the order of the formation processes for the N-type LDD and the P-type LDD does not matter.

[0039] Next, a silicon oxide film is formed over the gate wiring 16 using the CVD method. The deposition conditions for the silicon oxide film are set as follows:

Deposition gas: Tetraethoxysilane (TEOS); 800 sccm, Oxygen (O₂); 600 sccm (mixed gas)

Pressure of deposition atmosphere: 1.13 kPa

Substrate temperature: 400 °C

RF power: 700 W

The silicon oxide film is deposited until it reaches a thickness of 200 nm.

[0040] Then, the silicon oxide film is etched back to form a sidewall insulating film 26 at the sidewalls of the gate wiring 16. The etch-back conditions are set as follows:

Etch-back gas: Octafluorocyclobutane (C_4F_8); 50 sccm

Pressure of etching atmosphere: 2 Pa

RF power: 1.2 kW

[0041] Next, ion implantation is performed to form the source and drain regions. First, a resist pattern with openings over the source and drain regions to be formed in the first MOS transistor's formation region 12 is created using conventional lithography techniques (not shown in the illustrative figure). Then, using this resist pattern as a mask, ion implantation is performed for N-type impurities, such as arsenic ions (As^+). The ion implantation conditions are set as follows:

Implantation energy: 30 keV

Dose amount: 5×10^{15} /cm

As a result, the source and drain regions 17 and 18 are formed. Afterward, the resist pattern is removed by methods such as ashing and cleaning.

[0042] Then, a resist pattern with openings over the source and drain regions to be formed in the second MOS transistor's formation region 13 is created using conventional lithography techniques (not shown in the illustrative figure). Then, using this resist pattern as a mask, ion implantation is performed for P-type impurities, such as boron difluoride ions (BF_2^+). The ion implantation conditions are set as follows:

Implantation energy: 25 keV

Dose amount: 3×10^{15} /cm

As a result, the source and drain regions 19 and 20 are formed. Afterward, the resist pattern is removed by methods such as ashing and cleaning. It should be noted that the order of the ion implantation processes for the N-type impurities and the P-type impurities does not matter.

[0043] Next, a resist pattern (not shown in the illustrative figure) is formed using known lithography techniques, and an etching process is performed using this resist pattern as a mask to remove the metal compound layer 22 (indicated by the 2-dot chain line) over the connection region 21A between the N-type polycrystalline silicon layer 21N and the P-type polycrystalline silicon layer 21P. Here, the connection region 21A is located above the device isolation region 14. The etching conditions are set as follows, for example:

Etching gas: Chlorine (Cl_2); 30 sccm, Oxygen (O_2); 5 sccm

Microwave current: 250 mA

Bias: 100 V

Pressure of etching atmosphere: 0.4 Pa

It should be noted that this etching step may be performed before the etching for forming the gate wiring 16. Since the connection region 21A is positioned over the device isolation region 14, removing a portion of the metal compound layer 22 (indicated by the two-dot chain line) will not affect the ion implantation process that occurs after forming the gate wiring 16. In this way, a surface channel type NMOS transistor 1 and PMOS transistor 2 of a dual gate structure are formed.

[0044] Then, as shown in Fig. 3, a silicon oxide interlayer insulating film 31 is formed to cover the gate wiring 16 using the CVD method. The deposition conditions for the interlayer insulating film 31 are set as follows, for example:

Deposition gas: Tetraethoxysilane (TEOS); 50 sccm

Pressure of deposition atmosphere: 40 Pa

Substrate temperature: 720 °C

The interlayer insulating film 31 is deposited to reach a thickness of approximately 600 nm.

[0045] Subsequently, an activation heat treatment is performed using a Rapid Thermal Annealing (RTA) device. The conditions for this heat treatment are set as follows, for example:

Heat treatment temperature: 1000 °C

Heat treatment atmosphere: Nitrogen (N_2)

Heat treatment time: 10 seconds

Thus, RTA is conducted.

[0046] Next, a resist pattern is formed with openings over the area where contact holes will be created using conventional lithography techniques. Then, using this resist pattern as an etching mask, contact holes 32 are formed in the interlayer insulating film 31 above the second gate electrode 16P. The dry etching conditions for this process are set as follows, for example:

Etching gas: Octafluorocyclobutane (C_4F_8); 50 sccm

RF power: 1.2 kW

Pressure of etching atmosphere: 2 Pa

After this, the resist pattern is removed by methods such as ashing and cleaning.

[0047] Then, wiring materials are formed. First, a titanium (Ti) film, which serves as an adhesion layer (not shown in the illustrative figure), and a titanium nitride (TiN) film, which serves as a barrier metal layer 33, are deposited using sputtering. The sputtering conditions for the titanium film are set as follows, for example:

Sputtering gas: Argon (Ar); 100 sccm

Sputter power: 8 kW
 Substrate temperature: 150 °C
 Pressure of deposition atmosphere: 0.47 Pa
 The adhesion layer is deposited to a thickness of 10 nm.
 [0048] Next, the barrier metal layer 33 is formed by sputtering. The sputtering conditions for this process are set as follows, for example:
 Sputtering gas: Argon (Ar); 40 sccm and Nitrogen (N₂); 20 sccm
 Pressure of deposition atmosphere: 0.47 Pa
 The barrier metal layer 33, made of titanium nitride, is deposited to a thickness of 70 nm.
 [0049] Then, a tungsten (W) film is formed using the CVD method. The formation conditions for this tungsten film are set as follows, for example:
 Reaction gases: Argon (Ar); 2200 sccm, Nitrogen (N₂); 300 sccm, Hydrogen (H₂); 500 sccm, Tungsten hexafluoride (WF₆); 75 sccm
 Temperature of deposition atmosphere: 450 °C
 Pressure of deposition atmosphere: 10.64 kPa
 The tungsten film is deposited to a thickness of 400 nm to fill the interior of the contact hole 32.
 [0050] Next, the tungsten film described above is etched back. The etching conditions are set as follows, for example:
 Etching gas: Sulfur hexafluoride (SF₆); 50 sccm,
 RF power: 150 W,
 Pressure of etching atmosphere: 1.33 Pa.
 By leaving the tungsten film inside the contact hole 32, a plug 34 is formed.
 [0051] Then, a wiring layer 35 is formed, consisting of a titanium film that serves as an adhesion layer 36 and an aluminum (Al) film that serves as a main wiring layer 37, for example, by sputtering. The sputtering conditions are set as follows, for example:
 Sputtering gas: Argon (Ar); 100 sccm,
 Sputter power: 4 kW,
 Substrate temperature: 150 °C,
 Pressure of deposition atmosphere: 0.47 Pa.
 The adhesion layer 36 made of titanium is deposited to a thickness of 30 nm.
 [0052] Further, the main wiring layer 37 is deposited, for example, by sputtering. The sputtering conditions are set as follows, for example:
 Sputtering gas: Argon (Ar); 50 sccm,
 Sputter power: 22.5 kW,
 Substrate temperature: 150 °C,

Pressure of deposition atmosphere: 0.47 Pa.
 The main wiring layer 37 made of aluminum is deposited to a thickness of 0.5 μm.
 [0053] Afterward, a resist pattern (not shown in the illustrative figure) is formed using lithography techniques, and this pattern is used as a mask for etching to form the wiring layer 35, consisting of the main wiring layer 37 and the adhesion layer 36, connected to the plug 35. The etching conditions are set as follows, for example:
 Etching gas: Boron trichloride (BCl₃); 60 sccm and chlorine (Cl₂); 90 sccm,
 Microwave power: 1.0 kW,
 RF power: 50 W,
 Pressure of etching atmosphere: 0.016 Pa.
 [0054] In the manufacturing method of the dual gate structure, in addition to the tungsten disilicide (WSi₂) in the metal compound layer 22, materials such as titanium nitride (TiN), titanium oxynitride (TiON), titanium disilicide (TiSi₂), tungsten nitride (WN), tungsten disilicide (WSi₂), and tungsten oxynitride (WON) can also be used. Alternatively, a single-layer metal layer can be used instead of the metal compound layer 22. The single-layer metal layer may include tungsten (W), molybdenum (Mo), or cobalt (Co). In addition, it is possible to form a metal compound layer on top of the metal layer and further create another metal layer structure. In this structure, the materials mentioned above can be used for both the metal compound layer and the metal layer.
 [0055] In the manufacturing method of the dual gate structure, after forming the metal compound layer 22 over the N-type and P-type polycrystalline silicon layers 21N and 21P, removing the metal compound layer 22 over the connection region 21A where the N-type and P-type polycrystalline silicon layers 21N and 21P are connected prevents mutual diffusion of impurities doped in the N-type and P-type polycrystalline silicon layers 21N and 21P through the metal compound layer 22. Furthermore, by crystallizing the amorphous silicon layer 24 into a large-grain polycrystalline silicon layer 25 through excimer laser annealing, the heating time is very short, on the order of several picoseconds. Therefore, mutual diffusion of impurities between the N-type and P-type polycrystalline silicon layers 21N and 21P hardly occurs. Alternatively, laser heat treatment can also be performed for several seconds using a continuous wave (CW) laser. As a result, especially since the silicon crystal in the P-type polycrystalline silicon layer 21P becomes larger in grain size, the issue of boron penetrating through the gate insulating film is resolved, and the depletion of the P-type polycrystalline silicon layer 21P is suppressed, thereby improving the transistor characteristics.
 [0056] In addition, the above manufacturing method can be implemented as an extension of conventional manufacturing technologies. Therefore, manufacturing costs can be suppressed. Furthermore, since the manufacturing method consists of a simple process, there is no decrease in production yield.

[0057] As shown in (1) of Fig. 4, instead of the metal compound layer (22) described above, it is also possible to form a metal compound layer 41 made of titanium nitride (TiN) and a metal layer 42 made of tungsten (W) by sputtering. Here, only the formation conditions are explained. First, the deposition conditions for the metal compound layer 41 made of titanium nitride are set as follows, for example:

Deposition gas:

Sputter power: 5 kW,

Sputtering atmosphere: Argon (Ar); 40 sccm, Nitrogen (N₂); 20 sccm,

Pressure of sputtering atmosphere: 0.47 Pa.

The metal compound layer 41 is deposited to a thickness of approximately 20 nm.

[0058] Next, the metal layer 42 made of tungsten is deposited by sputtering. The deposition conditions are set as follows, for example:

Deposition gas:

Sputter power: 8 kW,

Substrate temperature: 150 °C,

Sputtering atmosphere: Argon (Ar); 100 sccm,

Pressure of sputtering atmosphere: 0.47 Pa.

The metal layer 42 is deposited to a thickness of approximately 70 nm.

[0059] After that, using conventional lithography techniques, a resist pattern (not shown in the illustrative figure) is formed over the gate formation region, and this resist pattern is used as an etching mask for dry etching to pattern the metal compound layer 41, metal layer 42, and polycrystalline silicon layer 21, forming the gate wiring 16 consisting of the first gate electrode 16N and second gate electrode 16P. For the dry etching, a microwave etching device may be used, with the following etching conditions, for example:

Etching gas: Sulfur hexafluoride (SF₆); 70 sccm, Argon (Ar); 70 sccm,

Pressure of etching atmosphere: 0.7 Pa,

Microwave current: 250 mA,

Bias: 100 V,

Substrate temperature: 0 °C.

Etching is then performed. Afterward, the resist pattern is removed, for example, through ashing and cleaning processes.

[0060] Next, as shown in (2) of Fig. 4, using known lithography and etching techniques, the portions of the metal layer 41 and metal compound layer 42 over the connection region 21A between the N-type polycrystalline silicon layer 21N and P-type polycrystalline silicon layer 21P, indicated by the 2-dot chain line, are removed. The etching conditions are set as follows, for example:

Etching gas: Sulfur hexafluoride (SF₆); 70 sccm, Argon (Ar); 70 sccm,

Microwave current: 250 mA,

Bias: 100 V,

Pressure of etching atmosphere: 0.7 Pa,

Substrate temperature: 0 °C.

[0061] Afterward, similar to the explanation provided in (2) of Fig. 2, LDD and source/drain regions are formed, and further processes for forming the interlayer insulating film and wiring are carried out, as described in Fig. 3.

[0062] Next, an example of a second embodiment related to the dual gate structure of this invention will be explained using the schematic cross-sectional view of Fig. 5. In Fig. 5, components similar to those described in Fig. 1 are denoted with the same reference numerals.

[0063] The dual gate structure shown in Fig. 5 forms a high-concentration impurity region 21D at the connection region 21A between the N-type polycrystalline silicon layer 21N and the P-type polycrystalline silicon layer 21P, with a higher impurity concentration than that of the N-type and P-type polycrystalline silicon layers 21N and 21P. This high-concentration impurity region 21D contains impurities such as phosphorus (P) at a concentration ranging from approximately 1×10^{18} to 1×10^{21} atoms/cm³. Conversely, the arsenic impurity concentration in the N-type polycrystalline silicon layer 21N is also around 1×10^{18} to 1×10^{21} atoms/cm³, and the boron impurity concentration in the P-type polycrystalline silicon layer 21P is similarly about 1×10^{18} to 1×10^{21} atoms/cm³.

[0064] In the dual gate structure of the second embodiment described by the above Fig. 5, the same effects as those in the first embodiment are achieved. Furthermore, since the high-concentration impurity region 21D is provided in the connection region 21A between the N-type polycrystalline silicon layer 21N and the P-type polycrystalline silicon layer 21P, it becomes less likely for mutual diffusion of impurities to occur between the N-type and P-type polycrystalline silicon layers 21N and 21P.

[0065] Next, an example of a method for manufacturing the dual gate structure of this invention related to the second embodiment will be explained using Fig. 6. Each figure shows a schematic cross-sectional view and, if necessary, a planar layout diagram. The same reference numbers are assigned to components similar to those described in Fig. 1 to Fig. 5.

[0066] As shown in (1) of Fig. 6, similarly to the method explained in the first embodiment of the dual gate structure, an element isolation region 14 is formed on a semiconductor substrate (for example, a silicon substrate) 11, separating the formation regions 12 of the first MOS transistor and 13 of the second MOS transistor using the LOCOS method. Furthermore, a gate insulating film (for example, a gate oxide film) 15 is formed on the semiconductor substrate 11, for example, using a

thermal oxidation method.

[0067] Subsequently, a base polycrystalline silicon layer 23 is formed to a thickness of 50 nm on the treated semiconductor substrate 11, for example, using the CVD method. Then, an amorphous silicon layer (24) is formed on the above base polycrystalline silicon layer 23 to a thickness of 100 nm, also using the CVD method. The deposition conditions for the base polycrystalline silicon layer 23 and the amorphous silicon layer (24) are the same as those explained in (1) of the aforementioned Fig. 2.

[0068] Next, heat treatment is performed to crystallize the amorphous silicon layer (24). The heat treatment conditions are set, for example, as follows:

Heat treatment temperature: 650 °C,

Heat treatment time: 10 hours. Then, crystallization processing is carried out. As a result, the amorphous silicon layer (24) becomes a coarse-grained polycrystalline silicon layer 25 with a grain size of approximately 0.5 μm , forming the polycrystalline silicon layer 21 together with the base polycrystalline silicon layer 23. In this way, it is desirable that the crystallization through heat treatment grows the grain size of the polycrystalline silicon to at least 0.3 μm or more.

[0069] Next, the natural oxide film is etched. The etching conditions are set, for example, as follows:

Etching gas: Sulfur hexafluoride (SF_6); 70 sccm, Argon (Ar); 70 sccm,

Pressure of the etching atmosphere: 0.7 Pa,

Microwave current: 250 mA,

Bias: 100 V,

Substrate temperature: 0 °C. Then, the etching is performed.

[0070] Next, by sputtering, a metal layer 41 made of tungsten (W) and a metal compound layer 42 made of titanium nitride (TiN) are formed. First, the deposition conditions for the above-mentioned metal compound layer 41 and the metal layer 42 are similar to those explained in Fig. 4. As a result, for example, the metal compound layer 41 is formed as a tungsten film with a thickness of 20 nm, and the metal layer 42 is formed as a titanium nitride film with a thickness of 70 nm.

[0071] Subsequently, using standard lithography techniques, a resist pattern (not shown in the illustrative figure) is formed over the gate formation region, and this resist pattern is used as an etching mask to perform dry etching, thereby patterning the metal layer 42, the metal compound layer 41, the coarse-grained polycrystalline silicon layer 25, and the base polycrystalline silicon layer 23 to form the gate wiring 16. The dry etching conditions are similar to those explained in (1) of aforementioned Fig. 4. After that, the resist pattern is removed, for example, through ashing and cleaning processes.

[0072] Next, as shown in (2) of Fig. 6, a resist pattern (not

shown in the illustrative figure) is formed over the connection region 21A, which will be joined as the first gate electrode (16N) and the second gate electrode (16P), having an opening. This resist pattern is then used as an etching mask to remove the portions of the metal layer 41 and the metal compound layer 42 over the connection region 21A indicated by the 2-dot chain line. The etching conditions for this step are similar to those explained in (2) of aforementioned Fig. 4. Subsequently, the resist pattern used for this etching is removed, for example, through ashing and cleaning processes.

[0073] Next, as a method for doping high concentrations of impurities into the connection region 21A, for example, phosphorus ions (P^+) are selectively ion-implanted into the connection region 21A using an ion implantation method. The ion implantation conditions are set as follows:

Implantation energy: a predetermined value in the range of 10 keV to 100 keV,

Dose amount: a predetermined value in the range of 7×10^{15} atoms/ cm^2 to 1×10^{17} atoms/ cm^2 . Thus, the high-concentration impurity region 21D is formed.

[0074] Then, similarly to the process explained in (2) of Fig. 2, an LDD is formed, and a side wall insulating film (not shown in the illustrative figure) is formed on the side walls of the gate wiring 16.

[0075] Next, as shown in (3) of Fig. 6, ion implantation for forming the source/drain regions and ion implantation for conducting the gate electrode are carried out simultaneously. First, using standard lithography techniques, a resist pattern (not shown in the illustrative figure) is formed over the source/drain regions to be formed in the formation region 12 of the first MOS transistor and over the gate wiring 16, having openings. This resist pattern is formed such that it covers the high-concentration impurity region 21D. Then, using this resist pattern as a mask, ion implantation is performed with N-type impurities, for example, arsenic ions (As^+). The ion implantation conditions are set as follows:

Implantation energy: 30 keV,

Dose amount: 5×10^{15} atoms/ cm^2 . As a result, the source/drain regions 17 (18) are formed, along with the N-type polycrystalline silicon layer 21N. In this way, the N-type polycrystalline silicon layer 21N and the metal layer 41 and metal compound layer 42 form the N-type first gate electrode 16N. It should be noted that the source/drain region (18) is formed towards the front side of the figures, so it is not illustrated. After that, the resist pattern is removed, for example, through ashing and cleaning processes.

[0076] Next, using standard lithography techniques, a resist

pattern (not shown in the illustrative figure) with an opening is formed on the source-drain region and gate wiring 16 of the formation area 13 for the second MOS transistor. This resist pattern is formed in such a way that it covers the connection region 21A. Subsequently, using this resist pattern as a mask and employing ion implantation, P-type impurities, such as boron fluoride ions (BF_2^+), are ion-implanted. The ion implantation conditions are set as follows:

Implantation energy: 25 keV,

Dose: 3×10^{15} atoms/cm².

This process forms the source-drain regions 19 (20) and also forms the P-type polycrystalline silicon layer 21P. In this manner, the P-type polycrystalline silicon layer 21P along with the metal layer 41 and metal compound layer 42 is used to form the P-type second gate electrode 16P. It should be noted that the source-drain region (20) is formed at the front side of the figures, so representation is omitted. Afterward, the resist pattern is removed, for example, by ashing and cleaning processes. Furthermore, there is no disadvantage in the order of performing the ion implantation processes for N-type and P-type impurities.

[0077] Subsequently, similar to what is explained by aforesaid Fig. 3, processes for forming interlayer insulating films, activation heat treatment, and wiring are carried out.

[0078] In the manufacturing method of the dual gate structure described in Fig. 6, effects similar to those described in the manufacturing method of the first embodiment are achieved. In addition, since a high-concentration impurity region 21D is formed between the N-type and P-type polycrystalline silicon layers 21N and 21P, mutual diffusion between the N-type and P-type polycrystalline silicon layers 21N and 21P becomes less likely to occur.

[0079] Moreover, since it can be implemented as an extension of conventional manufacturing technologies, the manufacturing cost can be suppressed. Furthermore, because the manufacturing method consists of simple processes, there is no decrease in production yield.

[0080] It should be noted that the film-forming methods described in each embodiment are not limited to CVD methods and sputtering but can appropriately select and employ methods such as CVD, sputtering, evaporation, etc. In addition, silicides are not limited to titanium silicide (TiSi_2), and may include other silicides such as cobalt (Co), nickel (Ni), tungsten (W), platinum (Pt), zirconium (Zr), hafnium (Hf), etc. Furthermore, various numerical conditions are not limited to the values described above, and conditions suitable for the process can be appropriately selected. Moreover, the application examples of this invention are not limited to CMOS processes but can be applied generally to semiconductor devices having dual gates.

[0081]

[Effects of the invention]

As explained above, according to the dual gate structure of this invention, on the connection region between the first conductivity type polycrystalline silicon layer and the second conductivity type polycrystalline silicon layer, the metal layer or the metal layer and the metal compound layer

formed on the first and second conductivity type polycrystalline silicon layers are formed in a separated state. Therefore, diffusion of impurities through the metal layer and the metal compound layer between the first conductivity type polycrystalline silicon layer and second conductivity type polycrystalline silicon layer does not occur. In addition, according to the dual gate structure that provides a high-concentration impurity region in the connection region between the first conductivity type polycrystalline silicon layer and second conductivity type polycrystalline silicon layer, mutual diffusion of impurities between the first conductivity type polycrystalline silicon layer and second conductivity type polycrystalline silicon layer becomes less likely to occur. Consequently, transistors made using this invention's dual gate structure can be configured as surface channel type transistors, resulting in transistors with high current drive capability characteristics.

[0082] According to the manufacturing method of this invention's dual gate structure, after forming a metal layer or a metal layer and a metal compound layer on the first and second conductivity type polycrystalline silicon layers, the metal layer or the metal layer and the metal compound layer over the region where the first conductivity type polycrystalline silicon layer and the second conductivity type polycrystalline silicon layer are connected is removed. As a result, mutual diffusion of impurities doped into the polycrystalline silicon layer via the metal layer or the metal layer and the metal compound layer does not occur. In addition, in the manufacturing method where a high-concentration impurity region is formed in the connection region of the first conductivity type polycrystalline silicon layer and second conductivity type polycrystalline silicon layer, a high-concentration impurity region is established between the first conductivity type polycrystalline silicon layer and second conductivity type polycrystalline silicon layer, preventing mutual diffusion between the first conductivity type polycrystalline silicon layer and second conductivity type polycrystalline silicon layer. Thus, utilizing this invention's manufacturing method enables the formation of surface channel type transistors with high current drive capability.

[Brief description of the figures]

[Fig. 1] It is an explanatory diagram of the first embodiment related to the dual gate structure of this invention.

[Fig. 2] It is a manufacturing process diagram related to the first embodiment of the manufacturing method of this invention.

[Fig. 3] It is the manufacturing process diagram (continuation) for the first embodiment.

[Fig. 4] It is another manufacturing process diagram related to the manufacturing method of the first embodiment.

[Fig. 5] It is an explanatory diagram of the second embodiment related to the dual gate structure of this invention.

[Fig. 6] It is a manufacturing process diagram related to the second embodiment of the manufacturing method of this invention.

[Fig. 7] It is a manufacturing process diagram showing a conventional MOSLSI process example.

[Description of the reference numerals]

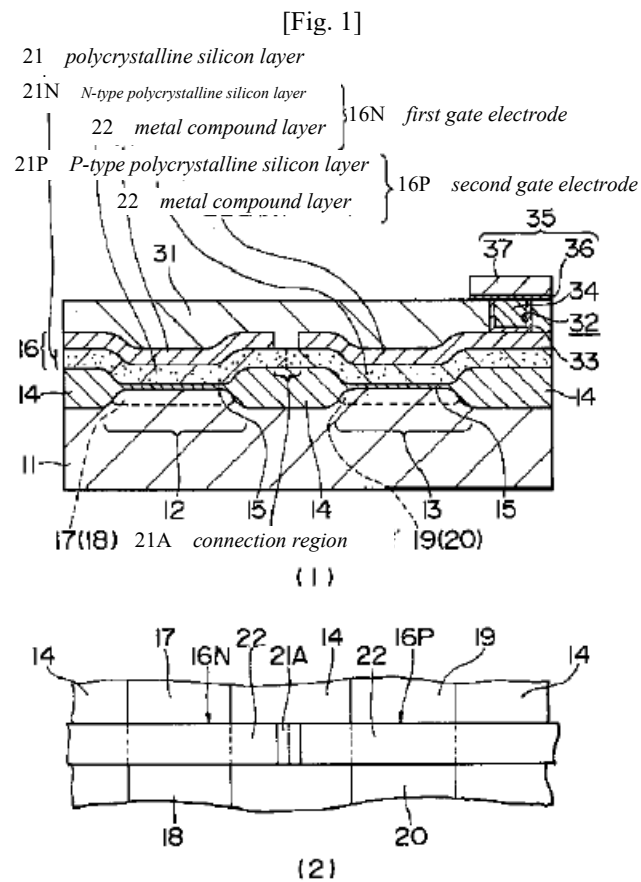
16N first gate electrode

16P second gate electrode

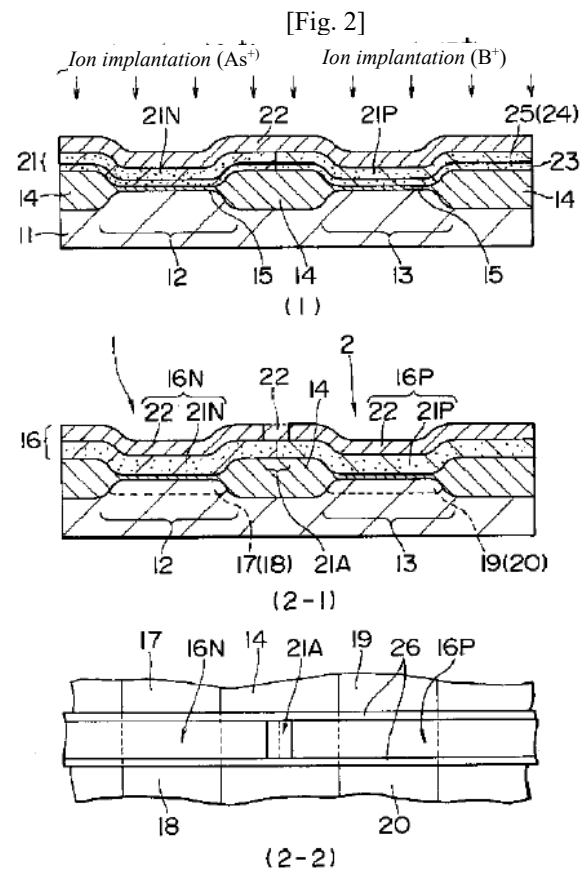
21A connection region

21D high-concentration impurity region
 21N N-type polycrystalline silicon layer
 21P P-type polycrystalline silicon layer

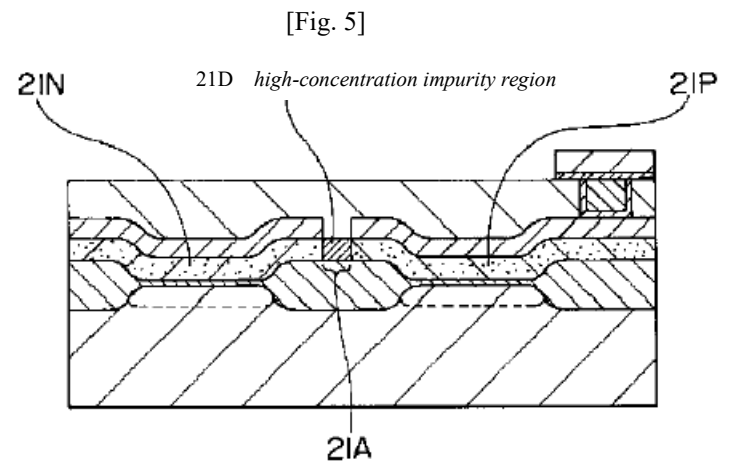
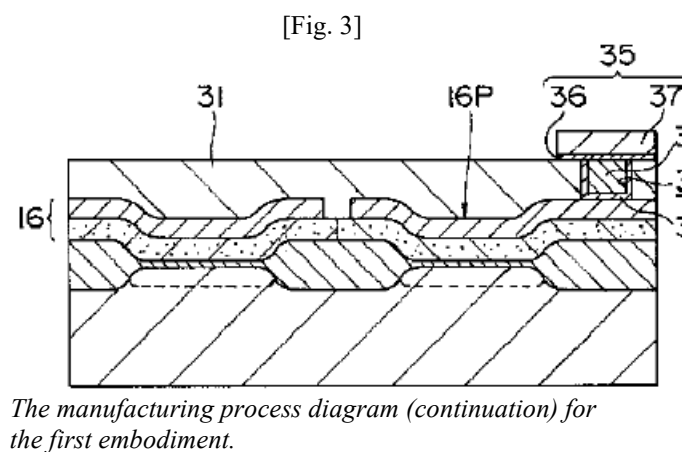
22 metal compound layer
 41 metal layer
 42 metal compound layer

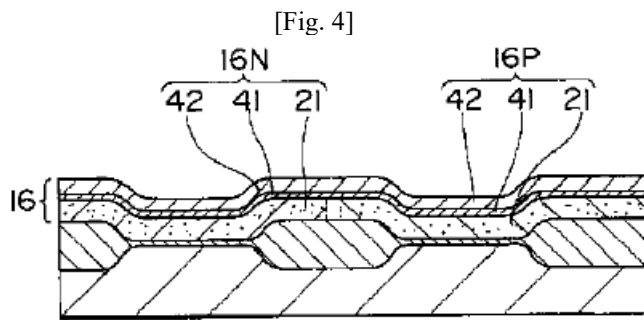


An explanatory diagram of the first embodiment related to the dual gate structure of this invention.

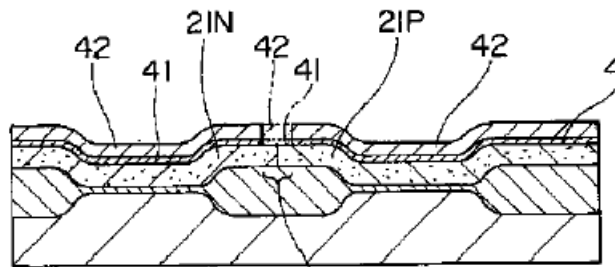


A manufacturing process diagram related to the first embodiment of the manufacturing method of this invention.



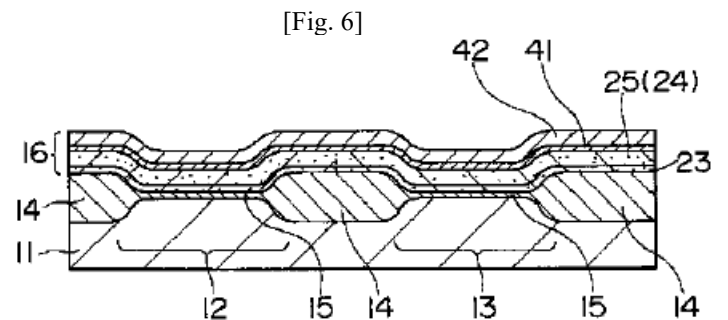


(1)

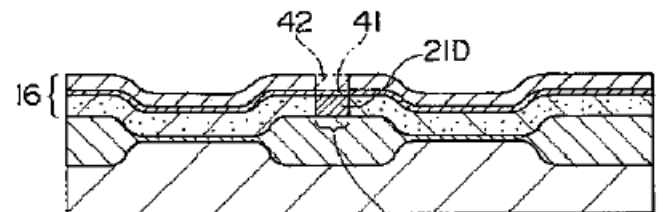


(2)

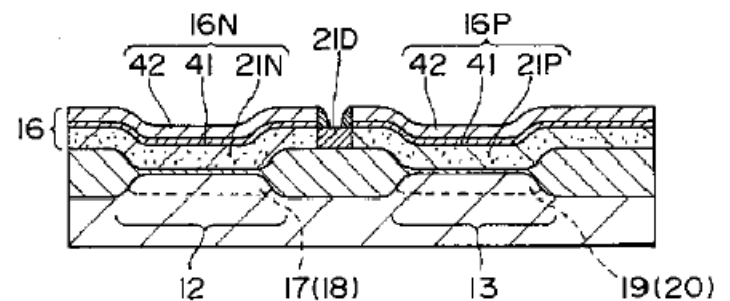
Another manufacturing process diagram related to the manufacturing method of the first embodiment.



(1)

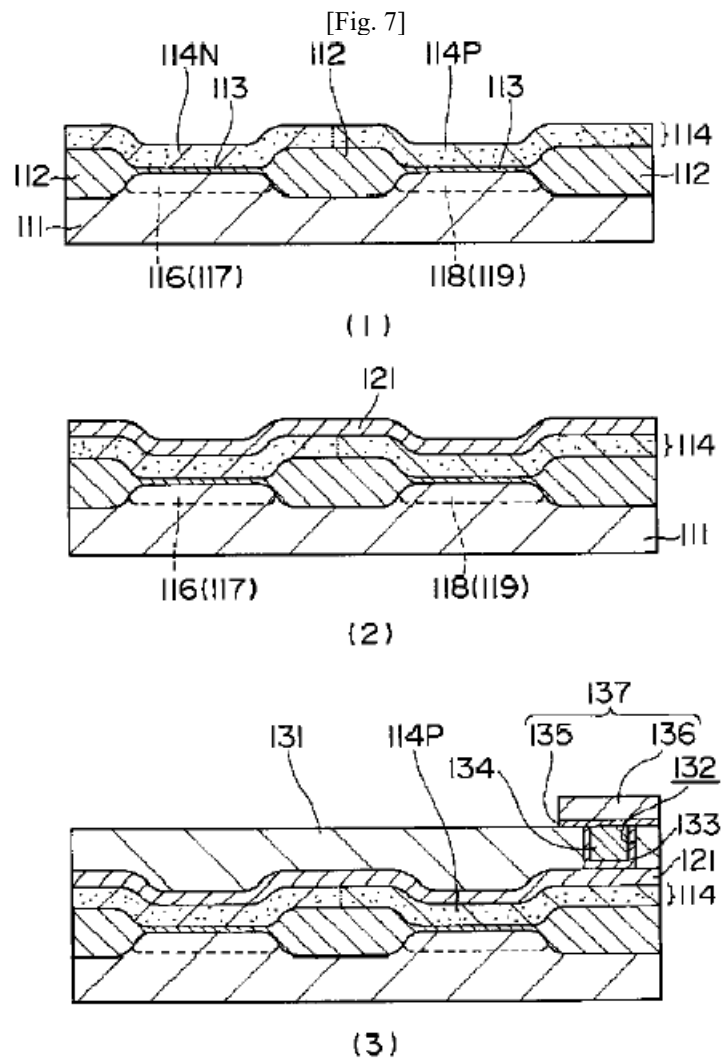


(2)



(3)

A manufacturing process diagram related to the second embodiment of the manufacturing method of this invention.



A manufacturing process diagram showing a conventional MOSLSI process example.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-181194

(43)公開日 平成9年(1997)7月11日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/8238		H 0 1 L 27/08	3 2 1 D
	27/092		21/76	M
	21/76			

審査請求 未請求 請求項の数6 O L (全 14 頁)

(21)出願番号 特願平7-340172

(22)出願日 平成7年(1995)12月27日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 角 ▲博▼文

東京都品川区北品川6丁目7番35号 ソニー株式会社内

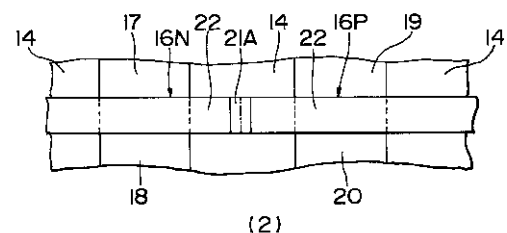
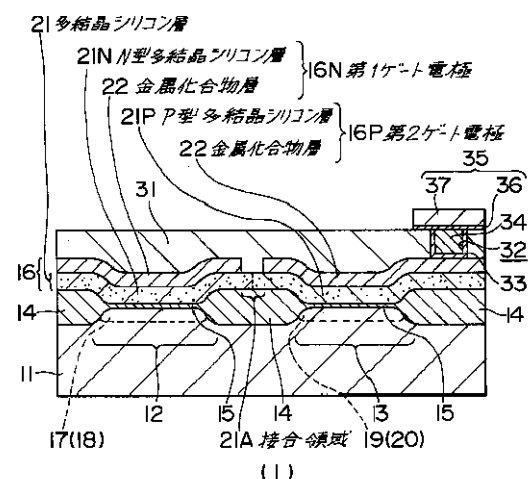
(74)代理人 弁理士 船橋 國則

(54)【発明の名称】 デュアルゲート構造およびその製造方法

(57)【要約】

【課題】 デュアルゲート構造では、ゲート電極の金属層または金属化合物層を通じて多結晶シリコン中の不純物の相互拡散を起こして、トランジスタ特性を劣化させている。

【解決手段】 第1、第2ゲート電極16N、16P とを一つのゲート配線16で形成したデュアルゲート構造であって、第1ゲート電極16N が第1導電型（以下、N型）多結晶シリコン層21N と金属化合物層22とからなり、第2ゲート電極16P が第2導電型（以下、P型）多結晶シリコン層21P と金属化合物層22とからなり、N型、P型多結晶シリコン層21N、21P との接続領域21A 上で金属化合物層22が分離された状態で形成されているものである。また接続領域21A に、N型、P型結晶シリコン層21N、21P よりも不純物濃度が高い高濃度不純物領域（図示省略）が設けられているものである。



本発明のデュアルゲート構造に係る第1実施形態の説明図

【特許請求の範囲】

【請求項 1】 第 1 ゲート電極と第 2 ゲート電極とを一つの配線で形成したデュアルゲート構造において、前記第 1 ゲート電極は、第 1 導電型の多結晶シリコン層と金属層、または第 1 導電型の多結晶シリコン層と金属層と金属化合物層とからなり、前記第 2 ゲート電極は、第 2 導電型の多結晶シリコン層と金属層、または第 2 導電型の多結晶シリコン層と金属層と金属化合物層とからなり、前記第 1 導電型の多結晶シリコン層と前記第 2 導電型の多結晶シリコン層との接合領域上で、前記金属層、または前記金属層と金属化合物層とが分離された状態で形成されていることを特徴とするデュアルゲート構造。

【請求項 2】 請求項 1 記載のデュアルゲート構造において、前記第 1 導電型の多結晶シリコン層と前記第 2 導電型の多結晶シリコン層とが接続される領域に、該第 1 導電型の多結晶シリコン層および該第 2 導電型の多結晶シリコン層よりも不純物濃度が高い高濃度不純物領域を設けたことを特徴とするデュアルゲート構造。

【請求項 3】 第 1 ゲート電極と第 2 ゲート電極とを一つの配線で形成したデュアルゲート構造の製造方法において、半導体基板上に多結晶シリコン層を形成した後、第 1 ゲート電極を形成する該多結晶シリコン層の領域に第 1 導電型の不純物をドーピングするとともに、第 2 ゲート電極を形成する該多結晶シリコン層の領域に第 2 導電型の不純物をドーピングする工程と、前記多結晶シリコン層上に、金属層、または金属層と金属化合物層とを形成する工程と、前記第 1 導電型の多結晶シリコン層と前記第 2 導電型の多結晶シリコン層とが接続される領域上の、前記金属層、または前記金属層と金属化合物層とを除去する工程とを備えたことを特徴とするデュアルゲート構造の製造方法。

【請求項 4】 請求項 3 記載のデュアルゲート構造の製造方法において、前記第 1 導電型の多結晶シリコン層と前記第 2 導電型の多結晶シリコン層とが接続される領域に、該第 1 導電型の多結晶シリコン層および該第 2 導電型の多結晶シリコン層よりも不純物濃度が高い状態に不純物を導入して高濃度不純物領域を形成する工程を備えたことを特徴とするデュアルゲート構造。

【請求項 5】 請求項 3 記載のデュアルゲート構造において、前記多結晶シリコン層は、下地多結晶シリコン層を形成した後、該下地多結晶シリコン層上に非晶質シリコン層を形成する工程と、レーザアニーリングもしくはエキシマレーザアニーリングによって、前記非晶質シリコン層を下地多結晶シリコ

ン層のシリコン結晶よりも大きな粒径のシリコン結晶で構成される多結晶シリコン層に改質する工程とによって形成されることを特徴とするデュアルゲート構造。

【請求項 6】 請求項 4 記載のデュアルゲート構造において、前記多結晶シリコン層は、下地多結晶シリコン層を形成した後、該下地多結晶シリコン層上に非晶質シリコン層を形成する工程と、レーザアニーリングもしくはエキシマレーザアニーリングによって、前記非晶質シリコン層を下地多結晶シリコン層のシリコン結晶よりも大きな粒径のシリコン結晶で構成される多結晶シリコン層に改質する工程とによって形成されることを特徴とするデュアルゲート構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デュアルゲート構造およびその製造方法に関するものである。

【0002】

【従来の技術】素子の微細化にともない、トランジスタの拡散層はますます浅い接合になっている。すなわち、いわゆるシャロー化が進んでいる。一方、ゲート線幅が縮小化しているので、拡散層の深さを浅くしないとショートチャネル効果が増大し、ソース・ドレイン耐圧が劣化する。例えばゲート線幅が $0.25\mu\text{m}$ のトランジスタに対しては拡散層の深さを $0.08\mu\text{m}$ 程度に浅くする必要がある。

【0003】また、近年、トランジスタの電流駆動能力を高く維持させる必要性から、NMOS（MOSはMetal-Oxide-Semiconductorの略）にはN型の不純物を含んだゲート、PMOSにはP型の不純物を含んだゲートを用いるデュアルゲート構造を有するCMOSの開発が盛んに行われている。本ゲート構造を用いることで、従来のベリッドチャネル（ポケットイオン注入を行うことで、オン、オフ状態を確保でき、チャネル部をソース・ドレイン領域と同一型でできる）方式では、しきい値電圧 V_{th} を比較的に高く確保する必要があるため、結果としてソース・ドレイン電流 I_{ds} が低い。そこで、しきい値電圧 V_{th} を比較的低く保つことができる表面チャネル方式は、電流駆動能力の比較的高いデバイスを製作できる。

【0004】ここで、従来のMOSLSIプロセスの一例を、図7の製造工程図によって説明する。

【0005】図7の（1）に示すように、通常のMOSトランジスタプロセスによって、半導体基板111にNチャネルトランジスタとPチャネルトランジスタとの各形成領域を分離するための素子分離領域112を形成した後、半導体基板111にゲート絶縁膜113を介してゲート配線114を形成する。このゲート配線114は、Nチャネルトランジスタの形成領域においてN型ゲート配線114Nに形成し、Pチャネルトランジスタの

形成領域においてP型ゲート配線114Pに形成する。そしてゲート配線114の両側にサイドウォール絶縁膜（図示省略）を形成し、さらにN型、P型ゲート配線114N、114Pの各両側の半導体基板111にソース・ドレイン領域116（117）、ソース・ドレイン領域118（119）を形成することで、Nチャネルトランジスタ101NとPチャネルトランジスタ101Pを形成する。なお、図面では、ソース・ドレイン領域（117、119）は紙面の手前側になるため、図示は省略した。

【0006】次いで図7の（2）に示すように、上記半導体基板111に対してフッ酸（HF）処理を施し、ソース・ドレイン領域116（117）上およびソース・ドレイン領域118（119）上の自然酸化膜（図示省略）を完全に除去する。その後、例えばスパッタリングによって、全面にチタン（Ti）膜を50nmの厚さに形成する。続いて、熱処理（第1熱処理は窒素雰囲気中で600℃の加熱、および第2熱処理は窒素雰囲気中で800℃の加熱）を施して、ゲート配線114のシリコン（Si）とチタン膜のチタン（Ti）とを反応させる低抵抗なチタンシリサイド（ $TiSi_2$ ）層121を形成するとともに、ソース・ドレイン領域116（117）、ソース・ドレイン領域118（119）のシリコン（Si）とチタン膜のチタン（Ti）とを反応させてなる低抵抗なチタンシリサイド（ $TiSi_2$ ）層（図示省略）を選択的に形成する。

【0007】続いて上記半導体基板111を、例えばアンモニア過水に浸漬することで、未反応なチタン膜（図示省略）を選択的にエッチングして除去する。

【0008】次いで図7の（3）に示すように、例えば化学的気相成長（以下、CVDという）法によって、ゲート配線114側の全面を覆う状態に酸化シリコンからなる層間絶縁膜131を形成した後、リソグラフィー技術とエッチング技術とによって、例えばゲート配線114P上の層間絶縁膜131に、チタンシリサイド層121に接続する接続孔132を形成する。さらにブランケットタングステンプラグの形成方法によって、接続孔132の内部に密着層133を介してタングステンプラグ134を形成する。さらにタングステンプラグ134に接続する状態で層間絶縁膜131上に、例えば、密着層135とアルミニウム-シリコン膜からなる配線層136とを形成する。そしてリソグラフィー技術とエッチング技術とによって、上記密着層135と配線層136とをパターンニングして配線137を形成する。

【0009】

【発明が解決しようとする課題】しかしながら、表面チャネル型のトランジスタでデュアルゲート構造のCMOSを形成しようとした場合には、以下のような課題が存在する。

【0010】すなわち、デュアルゲート構造では、それ

ぞれNチャネルトランジスタ上とPチャネルトランジスタ上にゲート線が形成されるため、それぞれのゲートの導電型が異なる。結果として、一つのゲート線上である部分まではヒ素（As）をドーピングしたN型のゲートになり、ある部分まではホウ素（B）をドーピングしたP型のゲートになっている。

【0011】そのため、①ゲート領域を形成した後の熱処理によって、ゲート領域にドーピングされているヒ素（As）の拡散が発生し、P型ゲートにまでそのヒ素（As）が拡散するという課題を有する。②P型ゲートにはホウ素（B）が多結晶シリコン中にドーピングされているため、そのホウ素が薄いゲート酸化膜を突き抜けるという課題を有している。③上記ホウ素等の不純物が多結晶シリコンの結晶粒界に析出し、多結晶シリコンを空乏化状態にするという課題を有している。以上のような課題①～③を克服することが、デュアルゲートの実用化のために必要になっている。

【0012】上記課題①の解決策として、ゲートに二層の多結晶シリコン層を用いることで相互拡散を抑制することが、特開平07-037992号公報およびIEDM technical digests (1994) H.Koike, Y.Unno, K.Ishimura, F.Matsuoka and M.Kakumu p855-858に開示されている。また上記課題②の解決策として、ゲートの多結晶シリコンの結晶粒径を大きくすることでホウ素（B）の突き抜けを防止することが、IEDM technical digests (1993) Munetaka Koda, Yoshikatsu Shida, Junichi Kawaguchi, and Yoshio Kaneko p471-474に開示されている。また、窒素（N）をLDD（Lightly Doped Drain）部にイオン注入することでホウ素の突き抜けを防止することが、IEDM technical digests (1994) S.Shimizu, T.Kuroi, M.Kobayashi, T.Yamaguchi, T.Fujino, H.Maeda, T.Tsutsumi, Y.Hirose, S.Kusunoki, M.Inuishi and N.Tsubouchi p67-70に開示されている。

【0013】本発明は、上記課題を別の手段によって解決するためになされたもので、ゲート電極間における不純物の相互拡散の抑制に優れたデュアルゲート構造およびその製造方法を提供することを目的とする。

【0014】

【課題を解決するための手段】本発明は、上記目的を達成するためになされたデュアルゲート構造およびその製造方法である。

【0015】デュアルゲート構造は、第1ゲート電極と第2ゲート電極とを一つの配線で形成したものであって、第1ゲート電極は、第1導電型の多結晶シリコン層と金属層、または第1導電型の多結晶シリコン層と金属層と金属化合物層とからなり、第2ゲート電極は、第2導電型の多結晶シリコン層と金属層、または第2導電型の多結晶シリコン層と金属層と金属化合物層とからなり、第1導電型の多結晶シリコン層と第2導電型の多結晶シリコン層とが接続する領域上で、金属層、または金

属層と金属化合物層とが分離された状態で形成されているものである。また、第1導電型の多結晶シリコン層と第2導電型の多結晶シリコン層とが接続される領域には、第1、第2導電型の各多結晶シリコン層よりも不純物濃度が高い状態の高濃度不純物領域を設けたものである。

【0016】上記デュアルゲート構造では、第1導電型の多結晶シリコン層と第2導電型の多結晶シリコン層とが接続する領域上で、金属層、または金属層と金属化合物層とが分離されていることから、第1導電型の多結晶シリコン層と第2導電型の多結晶シリコン層との間で、不純物の拡散経路となる金属層および金属化合物層を通じて不純物の拡散は起きない。また、第1導電型の多結晶シリコン層と第2導電型の多結晶シリコン層との接合領域に、第1、第2導電型の各多結晶シリコン層よりも不純物濃度が高い状態の高濃度不純物領域を設けたことから、第1導電型の多結晶シリコン層と第2導電型の多結晶シリコン層との間でも不純物の相互拡散は起き難くなる。

【0017】デュアルゲート構造の製造方法は、まず、半導体基板上に多結晶シリコン層を形成した後、該多結晶シリコン層における第1ゲート電極を形成する領域に第1導電型の不純物をドーピングするとともに第2ゲート電極を形成する領域に第2導電型の不純物をドーピングする。そして多結晶シリコン層上に、金属層、または金属層と金属化合物層とを形成した後、第1導電型の多結晶シリコン層と第2導電型の多結晶シリコン層とが接続される領域上の、金属層、または金属層と金属化合物層とを除去する。また、第1導電型の多結晶シリコン層と第2導電型の多結晶シリコン層とが接続される領域に、第1、第2導電型の各多結晶シリコン層よりも不純物濃度が高い状態に不純物を導入して高濃度不純物領域を形成する。上記デュアルゲート構造の製造方法において、多結晶シリコン層は、下地多結晶シリコン層を形成しさらに非晶質シリコン層を形成する工程と、レーザアニーリングもしくはエキシマレーザアニーリングによって非晶質シリコン層を下地多結晶シリコン層のシリコン結晶よりも大きな粒径のシリコン結晶で構成される多結晶シリコン層に改質する工程とによって形成する。

【0018】上記デュアルゲート構造の製造方法では、第1、第2導電型の多結晶シリコン層上に、金属層、または金属層と金属化合物層とを形成した後、第1導電型の多結晶シリコン層と第2導電型の多結晶シリコン層とが接続される領域上の、金属層、または金属層と金属化合物層とを除去することから、金属層、または金属層と金属化合物層とを通じて多結晶シリコン層にドーピングされている不純物の相互拡散は起きない。また、第1導電型の多結晶シリコン層と第2導電型の多結晶シリコン層とが接続される領域に、各多結晶シリコン層よりも不純物濃度が高い状態に不純物をドーピングする製造方法

では、第1、第2導電型の多結晶シリコン層間での相互拡散は起きない。

【0019】

【発明の実施の形態】本発明のデュアルゲート構造に係わる第1実施形態の一例を、図1によって説明する。図1は、一例としてデュアルゲート型のCMOSトランジスタを示すもので、(1)に概略構成断面図を示し、(2)に平面レイアウト図を示す。

【0020】図1に示すように、半導体基板（例えばシリコン基板）11には、NMOSトランジスタの形成領域12とPMOSトランジスタの形成領域13とを分離するための素子分離領域14が形成されている。上記半導体基板11上には、ゲート絶縁膜15を介して、ゲート電極を構成するもので多結晶シリコン層21と金属化合物層22とからなるゲート配線16が形成されている。

【0021】第1のMOSトランジスタの形成領域12上における上記多結晶シリコン層21には第1導電型（以下、N型という）の不純物として、例えばヒ素（As）がドーピングされている。上記ヒ素がドーピングされた部分はN型多結晶シリコン層21Nになり、上記金属化合物層22とともに第1ゲート電極16Nを構成する。一方、第2のMOSトランジスタの形成領域13上の上記多結晶シリコン層21には第2導電型（以下、P型という）の不純物として、例えばホウ素（B）がドーピングされている。上記ホウ素がドーピングされている部分はP型多結晶シリコン層21Pになり、上記金属化合物層22とともに第2ゲート電極16Pを構成する。上記各N型、P型多結晶シリコン層21N、21Pは、大粒径のシリコン結晶（例えばシリコン結晶の粒径が0.3μm以上）で形成されている。

【0022】その上、上記金属化合物層22は、例えばタングステンシリサイド（ WSi_2 ）で形成され、N型多結晶シリコン層21NとP型多結晶シリコン層21Pとの接合領域21A上で金属化合物層22は分離された状態になっている。上記金属化合物層22には、タングステンシリサイドの他に、例えば、窒化チタン（ TiN ）、酸窒化チタン（ $TiON$ ）、チタンシリサイド（ $TiSi_2$ ）、窒化タングステン（WN）および酸窒化タングステン（WON）のうちの少なくとも一種類を用いることが可能である。また金属化合物層22のかわりに金属層を単層で用いることも可能である。単層で用いる金属層には、タングステン（W）、モリブデン（Mo）、コバルト（Co）等を用いることができる。または金属層上に金属化合物層を形成した構造、金属層上に金属化合物層を形成しさらに金属層を形成した構造とすることも可能である。このような積層構造における金属化合物層および金属層には、上記説明したような材料を用いることができる。

【0023】上記NMOSトランジスタの形成領域12

における上記ゲート配線 16 の両側の半導体基板 11 には NMOS トランジスタのソース・ドレイン領域 17

(18) が形成されている。一方、PMOS トランジスタの形成領域 13 における上記ゲート配線 16 の両側の半導体基板 11 には PMOS トランジスタのソース・ドレイン領域 19 (20) が形成されている。なお、

(1) の図面では、ソース・ドレイン領域 (18, 20) は、図面手前側に形成されることになるので、図示は省略した。

【0024】そして上記 NMOS トランジスタ 1 および PMOS トランジスタ 2 を覆う状態に層間絶縁膜 31 が、例えば酸化シリコンで形成されている。上記層間絶縁膜 31 には、例えば PMOS トランジスタ 2 のゲート配線 16 上に接続孔 32 が形成され、その接続孔 32 の内壁に密着層 (図示省略) とバリアメタル層 33 とが形成され、さらにその接続孔 32 を埋め込む状態に金属プラグ 34 が形成されている。上記密着層は例えばチタン (Ti) からなり、上記バリアメタル層 33 は例えば窒化チタン (TiN) からなる。また上記金属プラグ 34 は例えばタングステン (W) からなる。

【0025】さらに上記層間絶縁膜 31 上には、上記金属プラグ 34 に接続する配線 35 が形成されている。この配線 35 は、例えば、チタン (Ti) からなる密着層 36 とアルミニウム (Al) 系金属からなる主配線層 37 とからなる。図示はしていないが、上記配線 35 の接続構造と同様に、NMOS トランジスタ 1 のゲート配線 16 にも層間絶縁膜 31 を通して形成される金属プラグを介して層間絶縁膜 31 上に配線が接続されている。

【0026】上記デュアルゲート構造では、N 型多結晶シリコン層 21N と P 型多結晶シリコン層 21P とが接続する領域上で、金属化合物層 22 が分離されていることから、N 型多結晶シリコン層 21N と P 型多結晶シリコン層 21P との間で、不純物の拡散経路となる金属化合物層 22 を通じて、不純物の拡散は起きない。また P 型多結晶シリコン層 21P が大粒径のシリコン結晶からなるため、ゲート絶縁膜をホウ素が突き抜けるという課題が解決される。

【0027】次に本発明のデュアルゲート構造の製造方法に係わる第 1 実施形態の一例を、図 2 および図 3 によって説明する。各図では、概略構成断面図で示し、さらに必要に応じて平面レイアウト図によって示す。また、上記図 1 によって説明したのと同様の構成部品には同一の符号を付す。

【0028】図 2 の (1) に示すように、通常の素子分離領域の形成方法として、例えば局所酸化法 [例えば、LOCOS (Local Oxidation of Silicon) 法] によって、半導体基板 (例えばシリコン基板) 11 に第 1 の MOS トランジスタの形成領域 12 と第 2 の MOS トランジスタの形成領域 13 とを分離する素子分離領域 14 を形成する。さらに例えば熱酸化法によって、半導体基板

11 上にゲート絶縁膜 (例えばゲート酸化膜) 15 を形成する。

【0029】その後、例えば化学的気相成長 (以下、CVD という、CVD は Chemical Vapour Deposition の略) 法によって、上記処理を行った半導体基板 11 上に下地多結晶シリコン層 23 を形成する。上記下地多結晶シリコン層 23 の成膜条件は、一例として、

成膜ガス: モノシラン (SiH_4); 100 sccm

[以下、 sccm は標準状態における体積流量 (cm^3 / 分) を表す]、ヘリウム (He); 400 sccm 、

窒素 (N_2); 200 sccm 、

成膜雰囲気圧力; 70 Pa 、

基板温度; 610°C 、

に設定した。そして下地多結晶シリコン層 23 が例えば 50 nm の厚さになるように成膜を行った。

【0030】次いで CVD 法によって、上記下地多結晶シリコン層 23 上に非晶質シリコン層 (24) を形成する。非晶質シリコン層 (24) の成膜条件は、一例として、

成膜ガス: モノシラン (SiH_4); 100 sccm

と、ヘリウム (He); 400 sccm と、窒素 (N_2); 200 sccm 、

成膜雰囲気圧力: 70 Pa 、

基板温度: 510°C 、

に設定した。そして非晶質シリコン層 (24) が例えば 100 nm の膜厚になるように成膜を行った。

【0031】次いでデュアルゲートを形成するための不純物のドーピングを、例えばイオン注入によって行う。先ず通常のリソグラフィ技術 (例えば、レジスト塗布によるレジスト膜の形成、露光、現像、ペーキング等の処理をいい、以下、この説明は省略する) によって、第 1 導電型 (以下、N 型という) ゲートとなる領域上に開口部を有するレジストパターン (図示省略) を形成する。続いてそのレジストパターンをマスクに用いたイオン注入法によって、N 型の不純物として、例えばヒ素イオン (As^+) をイオン注入する。このイオン注入条件は、一例として、

打ち込みエネルギー: 30 keV 、

ドーズ量: $5 \times 10^{15} \text{ 個}/\text{cm}^2$ 、

に設定した。そして上記非晶質シリコン層 (24) と下地多結晶シリコン層 23 とにヒ素イオンのイオン注入を行った。その後、上記レジストパターンを、例えばアッシングおよび洗浄処理によって除去する。

【0032】次いで通常のリソグラフィ技術によって、第 2 導電型 (以下、P 型という) ゲートとなる領域上に開口部を有するレジストパターン (図示省略) を形成する。続いてそのレジストパターンをマスクに用いたイオン注入法によって、P 型の不純物として、例えばホウ素イオン (B^+) をイオン注入する。このイオン注入条件は、一例として、

打ち込みエネルギー：10keV、
ドーズ量： 3×10^{15} 個/cm²、
に設定した。そして上記非晶質シリコン層（24）と下地多結晶シリコン層23とにホウ素イオンのイオン注入を行った。その後、上記レジストパターンを、例えばアッシングおよび洗浄処理によって除去する。なお、上記N型不純物のイオン注入工程とP型不純物のイオン注入工程とは、どちらを先に行っても差し支えない。

【0033】その後、エキシマレーザ光を非晶質シリコン層（24）に照射（エキシマレーザアニーリング）して、この非晶質シリコン層（24）の結晶化を図る。上記エキシマレーザ光の照射条件は、一例として、エキシマレーザ光のエネルギー密度： 250mJ/cm^2 、照射雰囲気圧力： $1 \times 10^{-5}\text{Pa}$ 、に設定した。そして結晶化処理を行った。

【0034】その結果、上記非晶質シリコン層（24）は、0.5μm程度の粒径を有する大粒径多結晶シリコン層25になり、上記下地多結晶シリコン層23とともに多結晶シリコン層21を構成する。このように、エキシマレーザ光の照射では、シリコン結晶を、少なくとも粒径が0.3μm以上の大きさの結晶に成長させることが望ましい。そして、第1のMOSトランジスタの形成領域12上の上記下地多結晶シリコン層23と大粒径多結晶シリコン層25とによって、N型多結晶シリコン層21Nが形成され、第2のMOSトランジスタの形成領域13上の上記下地多結晶シリコン層21と大粒径多結晶シリコン層25とによって、P型多結晶シリコン層21Pが形成される。

【0035】その後CVD法によって、上記非晶質シリコンを結晶化した大粒径多結晶シリコン層25上に、金属化合物層22を例えばタングステンシリサイド（WSi₂）で形成する。上記CVD条件は、一例として、成膜ガス：ジクロロシラン（SiH₂Cl₂）；300sccm、六フッ化タングステン（WF₆）；2.8sccm、アルゴン（Ar）；50sccm、成膜雰囲気圧力：20Pa、基板温度：520℃、に設定した。そしてタングステンシリサイドからなる金属化合物層22が70nmの厚さになるように成膜を行った。

【0036】次いで、図2の（2-1）の概略構成断面図および（2-2）の平面レイアウト図に示すように、通常のリソグラフィ技術によって、ゲートを形成するためのエッチングマスクとなるレジストパターン（図示省略）を形成する。そしてこのレジストパターンをマスクに用いたドライエッチングによって、上記金属化合物層22とN型、P型多結晶シリコン層21N、21Pとをパターンニングして、ゲート配線16を形成する。このうち、第1のMOSトランジスタの形成領域12上のゲ

ート配線16、すなわちN型多結晶シリコン層21Nと金属化合物層22とが第1ゲート電極16Nになり、第2のMOSトランジスタの形成領域13上のゲート配線16、すなわちP型多結晶シリコン層21Pと金属化合物層22とが第2ゲート電極16Pになる。上記ドライエッチングには、例えば、マイクロ波エッチング装置を用いた。そのエッチング条件は、一例として、エッチングガス：サルファーヘキサフルオライド（SF₆）；20sccm、塩素（Cl₂）；25sccm、エッチング雰囲気圧力：1.3Pa、マイクロ波パワー：950W、RFパワー：50W、に設定した。そしてエッチングを行った。その後、上記レジストパターンを、例えばアッシングおよび洗浄処理によって除去する。

【0037】次いで、LDD（Lightly Doped Drain）を形成するためのイオン注入を行う。先ず通常のリソグラフィ技術によって、N型のLDDを形成する領域上に開口部を有するレジストパターン（図示省略）を形成する。その後そのレジストパターンをマスクに用いたイオン注入法によって、N型の不純物として、例えば砒素イオン（As⁺）をイオン注入する。このときのイオン注入条件は、一例として、打ち込みエネルギー：25keV、ドーズ量： 1×10^{13} 個/cm²、に設定した。そしてN型のLDD（図示省略）を形成した。その後、上記レジストパターンを、例えばアッシングおよび洗浄処理によって除去する。

【0038】次いで通常のリソグラフィ技術によって、P型のLDDを形成する領域上に開口部を有するレジストパターン（図示省略）を形成する。その後そのレジストパターンをマスクに用いたイオン注入法によって、P型の不純物として、例えば二フッ化ホウ素イオン（BF₂⁺）をイオン注入する。このときのイオン注入条件は、一例として、打ち込みエネルギー：20keV、ドーズ量： 2×10^{12} 個/cm²、に設定した。そしてP型のLDD（図示省略）を形成した。その後、上記レジストパターンを、例えばアッシングおよび洗浄処理によって除去する。なお、N型のLDDの形成工程とP型のLDDの形成工程とは、どちらを先に行っても差し支えない。

【0039】次にCVD法によって、上記ゲート配線16を覆う状態に酸化シリコン膜を形成する。上記酸化シリコン膜の成膜条件は、一例として、成膜ガス：テトラエトキシシラン（TEOS）；800sccmと、酸素（O₂）；600sccmとの混合ガス、成膜雰囲気圧力：1.13kPa、基板温度：400℃、

RFパワー：700W、
に設定した。そして酸化シリコン膜を200nmの厚さになるように成膜した。

【0040】その後、上記酸化シリコン膜をエッチバックして、ゲート配線16の側壁部にサイドウォール絶縁膜26を形成する。上記エッチバック条件は、一例として、
エッチバックガス：オクタフルオロシクロブタン (C_4F_8) ; 50 sccm、
エッチング雰囲気圧力：2 Pa、
RFパワー：1.2 kW、
に設定した。

【0041】次いでソース・ドレイン領域を形成するためのイオン注入を行う。先ず通常のリソグラフィー技術によって、第1のMOSトランジスタの形成領域12に形成されるソース・ドレイン領域上に開口部を有するレジストパターン（図示省略）を形成する。その後そのレジストパターンをマスクに用いたイオン注入法によって、N型の不純物として、例えばヒ素イオン (As^+) をイオン注入する。このイオン注入条件は、一例として、

打ち込みエネルギー：30 keV、
ドーズ量： 5×10^{15} 個/cm²、
に設定した。そしてソース・ドレイン領域17、18を形成した。その後、上記レジストパターンを、例えばアッシングおよび洗浄処理によって除去する。

【0042】次いで通常のリソグラフィー技術によって、第2のMOSトランジスタの形成領域13に形成されるソース・ドレイン領域上に開口部を有するレジストパターン（図示省略）を形成する。その後そのレジストパターンをマスクに用いたイオン注入法によって、P型の不純物として、例えば二フッ化ホウ素イオン (BF_2^+) をイオン注入する。このイオン注入条件は、一例として、

打ち込みエネルギー：25 keV、
ドーズ量： 3×10^{15} 個/cm²、
に設定した。そしてソース・ドレイン領域19、20を形成した。その後、上記レジストパターンを、例えばアッシングおよび洗浄処理によって除去する。なお、上記N型不純物のイオン注入工程とP型不純物のイオン注入工程とは、どちらを先に行っても差し支えない。

【0043】次いで、既知のリソグラフィー技術によりレジストパターン（図示省略）を形成し、それをマスクに用いてエッチングを行うことによって、N型多結晶シリコン層21NとP型多結晶シリコン層21Pとの接合領域21A上の、上記金属化合物層22（2点鎖線で示す部分）を除去する。ここでは、上記接合領域21Aは素子分離領域14上に位置している。上記エッチング条件は、一例として、
エッチングガス：塩素 (Cl_2) ; 30 sccm、酸素

(O_2) ; 5 sccm、
マイクロ波電流：250mA、
バイアス：100V、
エッチング雰囲気圧力：0.4 Pa、
に設定した。なお、このエッチング工程は、ゲート配線16を形成するためのエッチングの前に行ってもよい。そして接合領域21Aが素子分離領域14上に位置しているため、一部分の金属化合物層22（2点鎖線で示す部分）を除去してもゲート配線16を形成した後に行われるイオン注入工程には影響を及ぼさない。上記のようにして、デュアルゲート構造の表面チャネル型のNMOSトランジスタ1とPMOSトランジスタ2とが形成される。

【0044】次に図3に示すように、CVD法によって、上記ゲート配線16を覆う状態に酸化シリコンからなる層間絶縁膜31を形成する。上記層間絶縁膜31の成膜条件は、一例として、
成膜ガス：テトラエトキシシラン (TEOS) ; 50 sccm、
成膜雰囲気圧力：40 Pa、
基板温度：720℃
に設定した。そして層間絶縁膜31が、例えば600nmの厚さになるように成膜した。

【0045】その後、急速加熱アニール〔RTA (Rapid Thermal Annealing)〕装置を用いて、活性化熱処理を施す。上記熱処理は、一例として、
熱処理温度：1000℃、
熱処理雰囲気：窒素 (N_2)、
熱処理時間：10秒、
に設定した。そしてRTAを行った。

【0046】続いて通常のリソグラフィー技術によって、コンタクトホールを形成する領域上に孔を有するレジストパターン形成する。その後そのレジストパターンをエッチングマスクに用いてエッチングを行うことによって、例えば第2ゲート電極16P上の層間絶縁膜31に接続孔32を形成する。このときのドライエッチング条件は、一例として、

エッチングガス：オクタフルオロシクロブタン (C_4F_8) ; 50 sccm、
RFパワー：1.2 kW
エッチング雰囲気圧力：2 Pa、
に設定した。その後、上記レジストパターンを、例えばアッシングおよび洗浄処理によって除去する。

【0047】そして配線材料を形成する。まず、スパッタリングによって、密着層（図示省略）となるチタン (Ti) 膜とバリアメタル層33となる窒化チタン (TiN) 膜とを成膜した。上記チタン膜のスパッタリング条件は、一例として、
スパッタリングガス：アルゴン (Ar) ; 100 sccm、

スパッタパワー：8 kW、
基板温度：150℃、
成膜雰囲気圧力：0.47 Pa、
に設定した。そして密着層を10 nmの厚さに成膜した。

【0048】続いてスパッタリングによってバリアメタル層33を形成する。このスパッタリング条件は、一例として、
スパッタリングガス：アルゴン（Ar）；40 sccmと窒素（N₂）；20 sccm、
成膜雰囲気圧力：0.47 Pa、
に設定した。そして窒化チタンからなるバリアメタル層33を70 nmの厚さに成膜した。

【0049】次いでCVD法によって、タングステン（W）膜を形成する。このタングステン膜の形成条件は、一例として、
反応ガス：アルゴン（Ar）；2200 sccm、窒素（N₂）；300 sccm、水素（H₂）；500 sccm、六フッ化タングステン（WF₆）；75 sccm、
成膜雰囲気温度：450℃、
成膜雰囲気圧力：10.64 kPa、
に設定した。そして上記接続孔32の内部を埋め込む状態にタングステン膜を400 nmの厚さに成膜した。

【0050】続いて、上記タングステン膜をエッチバックする。このエッチバック条件は、一例として、
エッチングガス：六フッ化イオウ（SF₆）；50 sccm、
RFパワー：150 W、
エッチング雰囲気圧力：1.33 Pa、
に設定した。そして、接続孔32の内部にタングステン膜を残すことでプラグ34を形成した。

【0051】その後、例えばスパッタリングによって、密着層36となるチタン膜と主配線層37となるアルミニウム（Al）膜とからなる配線層35を形成する。このスパッタリング条件は、一例として、
スパッタリングガス：アルゴン（Ar）；100 sccm、
スパッタパワー：4 kW、
基板温度：150℃、
成膜雰囲気圧力：0.47 Pa、
に設定した。そしてチタンからなる密着層36を30 nmの厚さに成膜した。

【0052】さらに例えばスパッタリングによって、主配線層37を成膜する。このスパッタリング条件は、一例として、
スパッタリングガス：アルゴン（Ar）；50 sccm、
スパッタパワー：22.5 kW、
基板温度：150℃、

成膜雰囲気圧力：0.47 Pa、
に設定した。そしてアルミニウムからなる主配線層37を0.5 μmの厚さに成膜した。

【0053】その後、リソグラフィー技術によりレジストパターン（図示省略）を形成し、それをマスクに用いてエッチングを行うことによって、プラグ35に接続するもので、主配線層37／密着層36からなる配線層35を形成する。このエッチング条件は、一例として、
エッチングガス：三塩化ホウ素（BCl₃）；60 sccmと塩素（Cl₂）；90 sccm、
マイクロ波パワー：1.0 kW、
RFパワー：50 W、
エッチング雰囲気圧力：0.016 Pa、
に設定した。

【0054】上記デュアルゲート構造の製造方法において、上記金属化合物層22には、上記タングステンシリサイド（WSi₂）の他に、例えば、窒化チタン（TiN）、酸窒化チタン（TiON）、チタンシリサイド（TiSi₂）、窒化タングステン（WN）、タングステンシリサイド（WSi₂）、酸窒化タングステン（WON）を用いることが可能である。また金属化合物層22のかわりに金属層を単層で用いることも可能である。単層で用いる金属層には、タングステン（W）、モリブデン（Mo）、コバルト（Co）を用いることが可能である。または金属層上に金属化合物層を形成し、さらに金属層を形成した構造とすることも可能である。この構造における金属化合物層および金属層には、上記説明したような材料を用いることが可能である。

【0055】上記デュアルゲート構造の製造方法では、N型、P型多結晶シリコン層21N、21P上に、金属化合物層22を形成した後、N型、P型多結晶シリコン層21N、21Pが接続される領域21A上の、金属化合物層22を除去することから、金属化合物層22を通じて、N型、P型多結晶シリコン層21N、21Pにドーピングされている不純物の相互拡散は起きない。さらにエキシマレーザアニーリングによって、上記非晶質シリコン層24を結晶化して大粒径多結晶シリコン層25に改質することから、加熱時間は数ピコ秒程度と短時間である。そのため、N型、P型多結晶シリコン層21N、21P間での不純物の相互拡散はほとんど起きない。もしくはCWレーザを用いて数秒間のレーザ熱処理を行ってもよい。したがって、特にP型多結晶シリコン層21Pのシリコン結晶が大粒径化されるため、ゲート絶縁膜をホウ素が突き抜けるという課題が解決され、またP型多結晶シリコン層21P中が空乏化されることが抑制されるので、トランジスタ特性の向上が図れる。

【0056】また、上記製造方法は、従来の製造技術の延長で実施できる。そのため、製造コストが抑制できる。さらに製造方法が単純なプロセスで構成されているので、生産上の歩留りの低下がない。

【0057】また図4の(1)に示すように、上記説明した金属化合物層(22)の代わりに、例えばスパッタリングによって、窒化チタン(TiN)からなる金属化合物層41とタングステン(W)からなる金属層42とで形成することも可能である。ここでは、その形成条件のみを説明する。まず、窒化チタンからなる金属化合物層41の成膜条件は、一例として、

成膜ガス：スパッタリングパワー：5kW、
スパッタリング雰囲気：アルゴン(Ar)；40sccm、窒素(N₂)；20sccm、
スパッタリング雰囲気の圧力：0.47Pa、
に設定した。そして金属化合物層41を例えば20nmの膜厚になるように成膜した。

【0058】次いで、タングステンからなる金属層42をスパッタリングによって成膜する。その成膜条件は、一例として、

成膜ガス：スパッタリングパワー：8kW、
成膜温度：150℃、
スパッタリング雰囲気：アルゴン(Ar)；100sccm、
スパッタリング雰囲気の圧力：0.47Pa、
に設定した。そして金属層42を70nmの膜厚になるように成膜した。

【0059】その後は、通常のリソグラフィー技術によって、ゲート形成領域上にレジストパターン(図示省略)を形成し、そのレジストパターンをエッチングマスクに用いたドライエッチングによって、上記金属化合物層41、金属層42、多結晶シリコン層21をパターンニングして、第1ゲート電極16Nと第2ゲート電極16Pとからなるゲート配線16を形成する。上記ドライエッチングには、例えば、マイクロ波エッチング装置を用いた。そのエッチング条件は、一例として、

エッチングガス：サルファーヘキサフルオライド(SF₆)；70sccm、アルゴン(Ar)；70sccm、
エッチング雰囲気の圧力：0.7Pa、
マイクロ波電流：250mA、
バイアス：100V、
基板温度：0℃、
に設定した。そしてエッチングを行った。その後、上記レジストパターンを、例えばアッシングおよび洗浄処理によって除去する。

【0060】次いで図4の(2)に示すように、既知のリソグラフィー技術とエッチング技術とによって、N型の多結晶シリコン層21NとP型の多結晶シリコン層21Pとの接合領域21A上の、2点鎖線で示す部分の金属層41と、2点鎖線で示す部分の金属化合物層42とを除去する。上記エッチング条件は、一例として、
エッチングガス：サルファーヘキサフルオライド(SF₆)；70sccm、アルゴン(Ar)；70scc

m、

マイクロ波電流：250mA、
バイアス：100V、
エッチング雰囲気の圧力：0.7Pa、
基板温度：0℃、
に設定した。

【0061】その後、上記図2の(2)によって説明したのと同様にしてLDDとソース・ドレイン領域を形成し、さらに上記図3によって説明したのと同様にして層間絶縁膜と配線とを形成するための工程を行う。

【0062】次に、本発明のデュアルゲート構造に係わる第2実施形態の一例を、図5の概略構成断面図によって説明する。図5では、上記図1で説明したのと同様の構成部品には同一の符号を付す。

【0063】図5に示すデュアルゲート構造は、前記図1で説明したデュアルゲート構造において、N型多結晶シリコン層21NとP型多結晶シリコン層21Pとの接合領域21Aに、N型、P型多結晶シリコン層21N、21Pよりも不純物濃度が高い状態に不純物の高濃度不純物領域21Dを形成したものである。この高濃度不純物領域21Dは、例えば不純物としてリン(P)を、 1×10^{18} 個/cm³～ 1×10^{21} 個/cm³程度含む領域である。一方、N型多結晶シリコン層21Nのヒ素の不純物濃度は、例えば 1×10^{18} 個/cm³～ 1×10^{21} 個/cm³程度であり、P型多結晶シリコン層21Pのホウ素の不純物濃度は、例えば 1×10^{18} 個/cm³～ 1×10^{21} 個/cm³程度である。

【0064】上記図5によって説明した第2実施形態のデュアルゲート構造では、上記第1実施形態で説明したのと同様の効果を奏するとともに、N型多結晶シリコン層21NとP型多結晶シリコン層21Pとの接合領域21Aに、各N型、P型多結晶シリコン層21N、21Pよりも不純物濃度が高い状態に不純物の高濃度不純物領域21Dが設けられていることから、N型、P型多結晶シリコン層21N、21P間でも不純物の相互拡散は起き難くなる。

【0065】次に本発明のデュアルゲート構造の製造方法に係わる第2実施形態の一例を、図6によって説明する。各図では、概略構成断面図で示し、さらに必要に応じて平面レイアウト図によって示す。また、上記図1～図5によって説明したのと同様の構成部品には同一の符号を付す。

【0066】図6の(1)に示すように、前記デュアルゲート構造の製造方法に係わる第1の実施形態によって説明したのと同様にして、例えばLOCOS法によって、半導体基板(例えばシリコン基板)11に第1のMOSトランジスタの形成領域12と第2のMOSトランジスタの形成領域13とを分離する素子分離領域14を形成する。さらに例えば熱酸化法によって、半導体基板11上にゲート絶縁膜(例えばゲート酸化膜)15を形

成する。

【0067】その後、例えばCVD法によって、上記処理を行った半導体基板11上に下地多結晶シリコン層23を50nmの厚さに形成する。続いてCVD法によって、上記下地多結晶シリコン層23上に非晶質シリコン層(24)を100nmの膜厚になるように形成した。上記下地多結晶シリコン層23および非晶質シリコン層(24)の成膜条件は、前記図2の(1)で説明したのと同様である。

【0068】その後、非晶質シリコン層(24)を結晶化するための熱処理を行う。上記熱処理条件は、一例として、

熱処理温度：650℃、

熱処理時間：10時間、

に設定した。そして結晶化処理を行った。その結果、上記非晶質シリコン層(24)は、0.5μm程度の粒径を有する大粒径多結晶シリコン層25になり、上記下地多結晶シリコン層23とともに多結晶シリコン層21を構成する。このように、熱処理による結晶化では、多結晶シリコンの粒径を、少なくとも0.3μm以上の大きさに結晶を成長させることが望ましい。

【0069】次いで自然酸化膜のエッチングを行う。上記エッチング条件は、一例として、

エッチングガス：サルファーヘキサフルオライド(SF₆)；70sccm、アルゴン(Ar)；70sccm、

エッチング雰囲気圧力：0.7Pa、

マイクロ波電流：250mA、

バイアス：100V、

基板温度：0℃、

に設定した。そして上記エッチングを行った。

【0070】次いでスパッタリングによって、タングステン(W)からなる金属層41と窒化チタン(TiN)からなる金属化合物層42とで形成する。まず、上記金属化合物層41および上記金属層42の成膜条件は、図4によって説明した成膜条件と同様である。その結果、例えば、金属化合物層41を20nmの膜厚のタングステン膜で形成し、金属層42を70nmの膜厚の窒化チタン膜で形成する。

【0071】その後は、通常のリソグラフィー技術によって、ゲート形成領域上にレジストパターン(図示省略)を形成し、そのレジストパターンをエッチングマスクに用いたドライエッチングによって、上記金属層42、金属化合物層41、大粒径多結晶シリコン層25および下地多結晶シリコン層23をパターンニングして、ゲート配線16を形成する。上記ドライエッチング条件は、前記図4の(1)によって説明したエッチング条件と同様である。その後、上記レジストパターンを、例えばアッシングおよび洗浄処理によって除去する。

【0072】次いで図6の(2)に示すように、既知の

リソグラフィー技術によって、第1ゲート電極(16N)となる多結晶シリコン層21と第2ゲート電極(16P)となる多結晶シリコン層21とが接合されることになる接合領域21A上に開口を有するレジストパターン(図示省略)を形成する。そしてそのレジストパターンをエッチングマスクに用いたエッチング技術によって、上記接合領域21A上の、2点鎖線で示す部分の金属層41と2点鎖線で示す部分の金属化合物層42とを除去する。このエッチング条件は、前記図4の(2)によって説明したエッチング条件と同様である。その後、このエッチングで用いたレジストパターンを、例えばアッシングおよび洗浄処理によって除去する。

【0073】次いで上記接合領域21Aに高濃度に不純物をドーピングする方法として、例えばイオン注入法によって、例えばリンイオン(P⁺)を上記接合領域21Aに選択的にイオン注入する。このイオン注入条件は、一例として、

打ち込みエネルギー：10keV～100keVの範囲の所定値、

ドーズ量： 7×10^{15} 個/cm²～ 1×10^{17} 個/cm²の範囲の所定値、

に設定した。そして高濃度不純物領域21Dを形成した。

【0074】その後、上記図2の(2)によって説明したのと同様にして、LDDを形成し、さらにゲート配線16の側壁部にサイドウォール絶縁膜(図示省略)を形成する。

【0075】次いで図6の(3)に示すように、ソース・ドレイン領域を形成するためのイオン注入とゲート電極の導電化のためのイオン注入を同時に行う。先ず通常のリソグラフィー技術によって、第1のMOSトランジスタの形成領域12に形成されるソース・ドレイン領域上およびゲート配線16上に開口部を有するレジストパターン(図示省略)を形成する。このレジストパターンは、上記高濃度不純物領域21Dは覆う状態に形成される。続いてそのレジストパターンをマスクに用いたイオン注入法によって、N型の不純物として、例えばヒ素イオン(As⁺)をイオン注入する。このイオン注入条件は、一例として、

打ち込みエネルギー：30keV、

ドーズ量： 5×10^{15} 個/cm²、

に設定した。そしてソース・ドレイン領域17(18)を形成するとともに、N型多結晶シリコン層21Nを形成した。このようにして、N型多結晶シリコン層21Nと金属層41と金属化合物層42とによってN型の第1ゲート電極16Nが形成される。なお、上記ソース・ドレイン領域(18)は図面手前側に形成されるため、図示は省略した。その後、上記レジストパターンを、例えばアッシングおよび洗浄処理によって除去する。

【0076】次いで通常のリソグラフィー技術によっ

て、第2のMOSトランジスタの形成領域13に形成されるソース・ドレイン領域上およびゲート配線16上に開口部を有するレジストパターン（図示省略）を形成する。このレジストパターンは、上記接合領域21Aは覆う状態に形成される。その後このレジストパターンをマスクに用いたイオン注入法によって、P型の不純物として、例えば二フッ化ホウ素イオン（ BF_2^+ ）をイオン注入する。このイオン注入条件は、一例として、打ち込みエネルギー：25keV、ドーズ量： 3×10^{15} 個/ cm^2 、に設定した。そしてソース・ドレイン領域19（20）を形成するとともに、P型多結晶シリコン層21Pを形成した。このようにして、P型多結晶シリコン層21Pと金属層41と金属化合物層42とによってP型の第2ゲート電極16Pが形成される。なお、上記ソース・ドレイン領域（20）は図面手前側に形成されるため、図示は省略した。その後、上記レジストパターンを、例えばアッシングおよび洗浄処理によって除去する。なお、上記N型不純物のイオン注入工程とP型不純物のイオン注入工程とは、どちらを先に行っても差し支えない。

【0077】その後、前記図3によって説明したのと同様にして層間絶縁膜の形成、活性化熱処理、配線を形成するための工程を行う。

【0078】上記図6によって説明したデュアルゲート構造の製造方法では、上記第1実施形態の製造方法で説明したのと同様の効果を奏するとともに、N型、P型多結晶シリコン層21N、21P間に高濃度不純物領域21Dを形成したので、N型、P型多結晶シリコン層21N、21P間での相互拡散が起き難くなる。

【0079】また従来の製造技術の延長で実施できるため、製造コストが抑制できる。さらに製造方法が単純なプロセスで構成されるので、生産上の歩留りの低下がない。

【0080】なお、上記各実施形態で説明した成膜方法は、CVD法、スパッタリング等に限定されることはなく、適宜CVD法、スパッタリング、蒸着法等を選択して採用することが可能である。また、シリサイドも、チタンシリサイド（ TiSi_2 ）に限定されることはなく、例えばコバルト（Co）、ニッケル（Ni）、タングステン（W）、白金（Pt）、ジルコニウム（Zr）、ハフニウム（Hf）等のシリサイドであってもよい。さらに、種々の数値条件は、上記記載した値に限定されることはなく、プロセスに適合した条件が適宜選択される。またさらに、本発明の適用例は、CMOSプロセスに限定されることはなく、デュアルゲートを有する半導体装置の全般に対して適用できる。

【0081】

【発明の効果】以上、説明したように本発明のデュアルゲート構造によれば、第1導電型の多結晶シリコン層と第2導電型の多結晶シリコン層との接合領域上では、第

1導電型の多結晶シリコン層上および第2導電型の多結晶シリコン層上に形成されている金属層、または金属層と金属化合物層とは分離された状態で形成されているので、第1導電型の多結晶シリコン層と第2導電型の多結晶シリコン層との相互の間で、金属層および金属化合物層を通じて不純物の拡散は起きない。また、第1導電型の多結晶シリコン層と第2導電型の多結晶シリコン層との接合領域に各多結晶シリコン層よりも不純物濃度が高い高濃度不純物領域を設けたデュアルゲート構造によれば、第1導電型の多結晶シリコン層と第2導電型の多結晶シリコン層との間でも不純物の相互拡散は起き難くなる。したがって、本発明のデュアルゲート構造を用いたトランジスタは表面チャネル型のトランジスタとして構成することが可能になるので、電流駆動能力特性が高いトランジスタになる。

【0082】本発明のデュアルゲート構造の製造方法によれば、第1、第2導電型の多結晶シリコン層上に、金属層、または金属層と金属化合物層とを形成した後、第1導電型の多結晶シリコン層と第2導電型の多結晶シリコン層とが接続される領域上の、金属層、または金属層と金属化合物層とを除去するので、金属層、または金属層と金属化合物層とを通じて多結晶シリコン層にドーピングされている不純物の相互拡散は起きない。また、第1導電型の多結晶シリコン層と第2導電型の多結晶シリコン層との接合領域に、各多結晶シリコン層よりも不純物濃度が高い高濃度不純物領域を形成する製造方法では、第1、第2導電型の多結晶シリコン層間に高濃度不純物領域が形成されるので、第1、第2導電型の多結晶シリコン層間での相互拡散を起ささない。したがって、本発明の製造方法を用いれば、大きな電流駆動能力を有する表面チャネル型のトランジスタを形成することができる。

【図面の簡単な説明】

【図1】本発明のデュアルゲート構造に係わる第1実施形態の説明図である。

【図2】本発明の製造方法に係わる第1実施形態の製造工程図である。

【図3】第1実施形態の製造工程図（続き）である。

【図4】第1実施形態の製造方法に係わる別の製造工程図である。

【図5】本発明のデュアルゲート構造に係わる第2実施形態の説明図である。

【図6】本発明の製造方法に係わる第2実施形態の製造工程図である。

【図7】従来のMOSLSIプロセス例を示す製造工程図である。

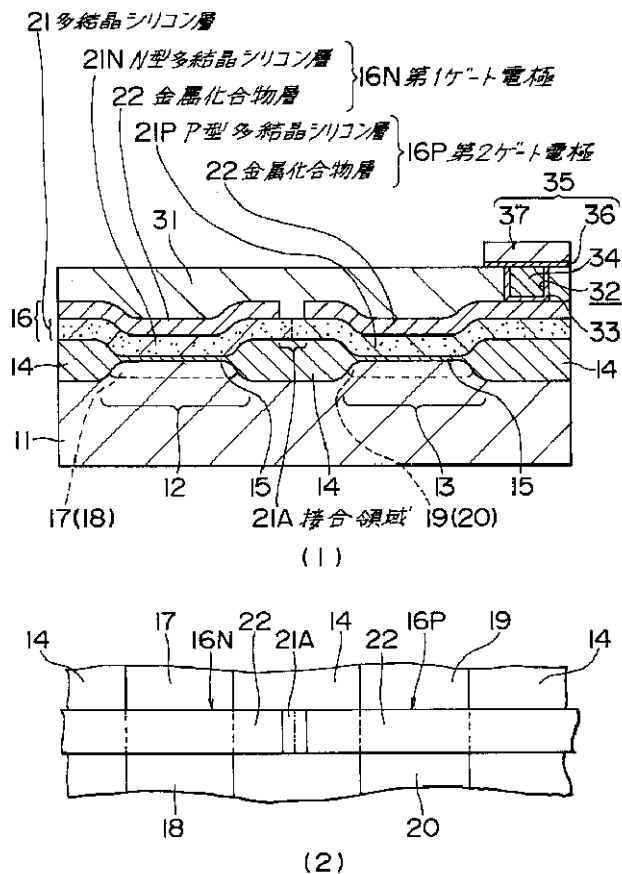
【符号の説明】

16N 第1ゲート電極
16P 第2ゲート電極
21A 接合領域

2 1 D 高濃度不純物領域
2 1 N N型多結晶シリコン層
2 1 P P型多結晶シリコン層

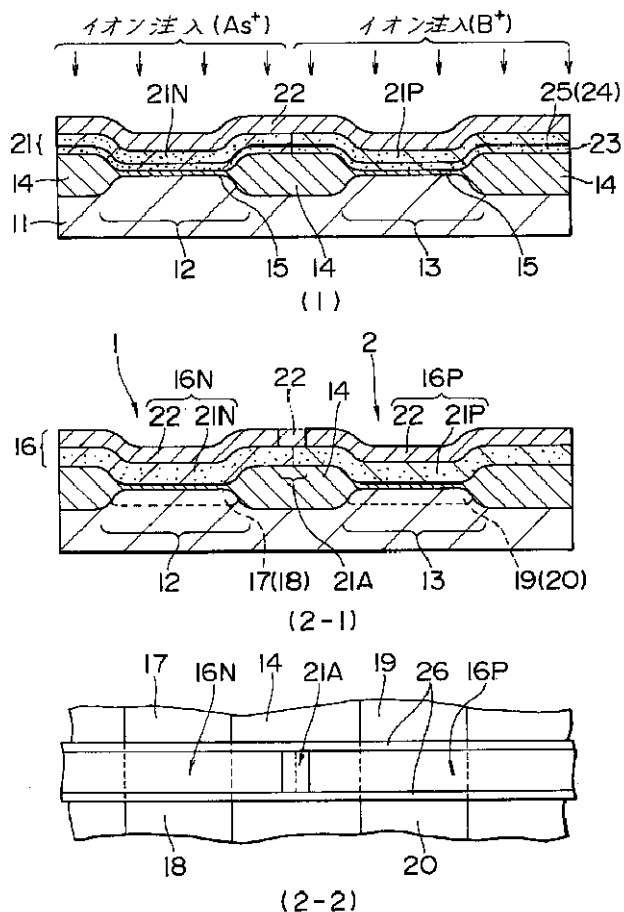
2 2 金属化合物層
4 1 金属層
4 2 金属化合物層

【図1】



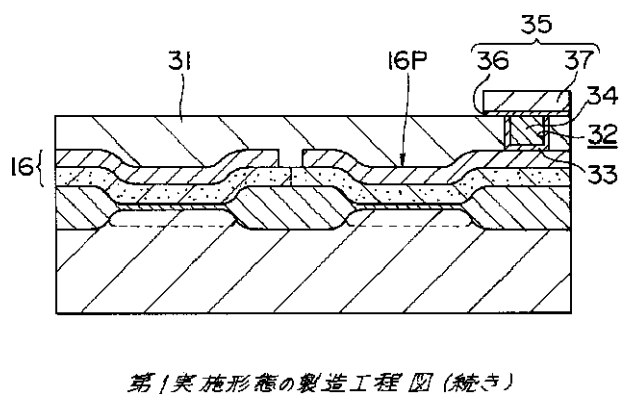
本発明のデュアルゲート構造に係る第1実施形態の説明図

【図2】



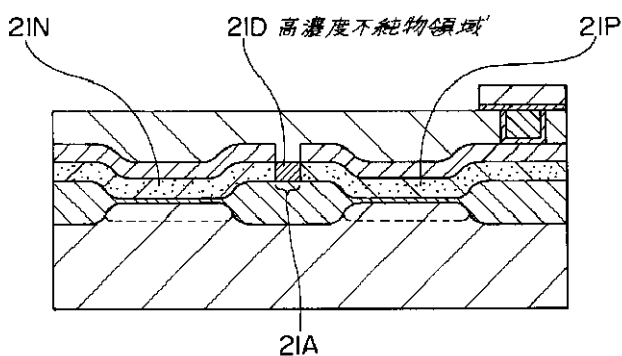
本発明の製造方法に係る第1実施形態の製造工程図

【図3】



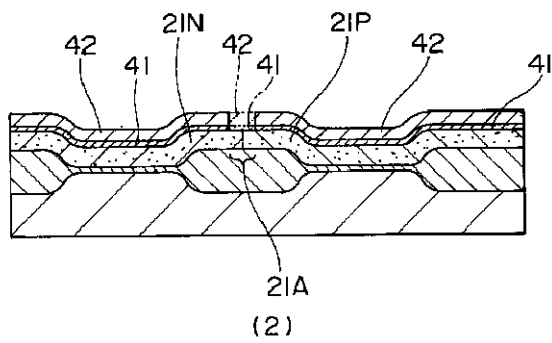
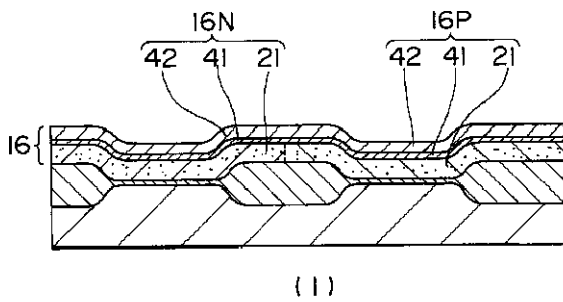
第1実施形態の製造工程図 (続き)

【図5】



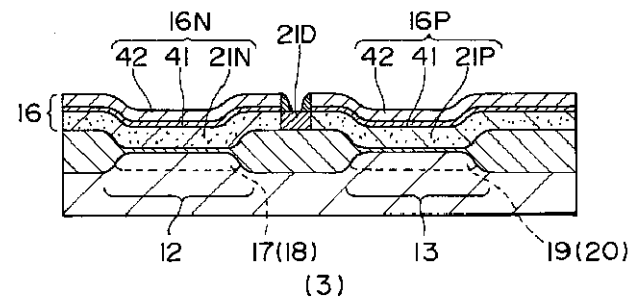
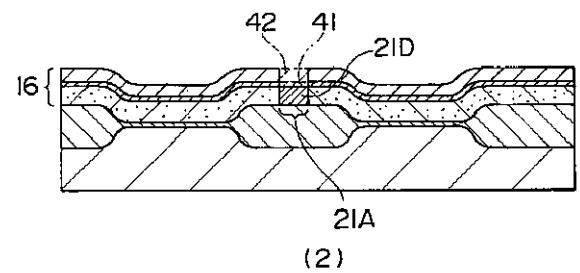
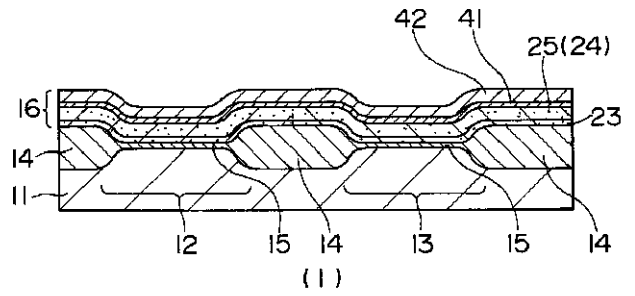
本発明のデュアルゲート構造に係る第2実施形態の説明図

【図4】



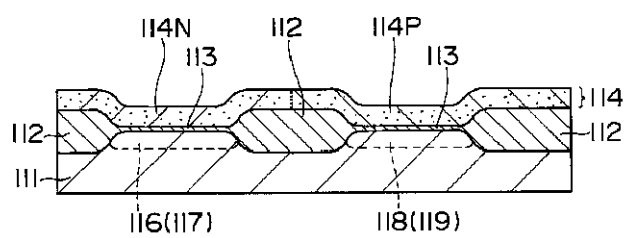
第1実施形態の製造方法に係る別の製造工程図

【図6】

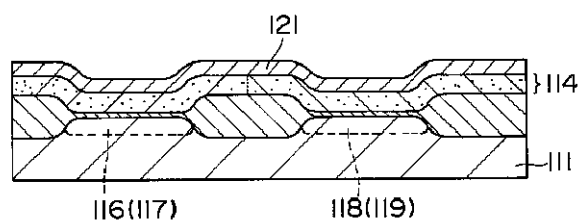


本発明の製造方法に係る第2実施形態の製造工程図

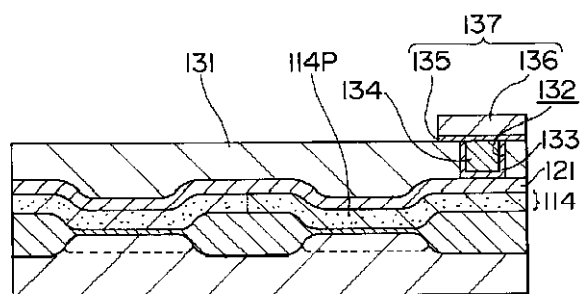
【図7】



(1)



(2)



(3)

従来のMOSLSIプロセス例を示す製造工程図