

(19) Japanese Patent Office (JP)

(12) Laid-open Disclosure Public Patent Bulletin (A)

(11) Publication number

2002-289689

(P2002-289689A)

(43) Publication Date: October 4, Heisei 14 (2002.10.4)

(51) Int. Cl. ⁷	ID Code	FI	Theme Code (Reference)	
H01L 21/768		H01L 21/60	301 P	5F033
21/60	301	21/90	B	5F044
21/3205		21/88	T	

Request for Examination: Not Requested

Number of Claims: 5 OL (17 pages total)

(21) Application Filing Number:

Tokugan 2001-93671 (P2001-93671)

(22) Application Filing Date:

March 28, Heisei 13 (2001. 3. 28)

(71) Applicant: 000005223

Fujitsu Limited

4-1-1 Kamioda Naka, Nakahara Ward,
Kawasaki City, Kanagawa Prefecture

(71) Applicant: 000237617

Fujitsu VLSI Limited

2-1844-2 Takakurajicho,
Kasugai City, Aichi Prefecture

(72) Inventor:

Daisuke Komada

c/o: Fujitsu VLSI Limited
2-1844-2 Takakurajicho,
Kasugai City, Aichi Prefecture

(74) Agent:

100091340

Keishiro Takahashi, Patent Attorney

Cont'd to the last page . . .

(54) [Title of Invention]

Semiconductor Integrated Circuit Device and Method for the Production Thereof

(57) ABSTRACT

OBJECTIVE: To prevent delamination of the pad sections and minimize damage to the interconnect in the lower layer when etching via holes and a moisture-resistant ring trench.

MEANS FOR ACHIEVING THE OBJECTIVE: The semiconductor integrated circuit device comprises the following elements:

A semiconductor substrate,

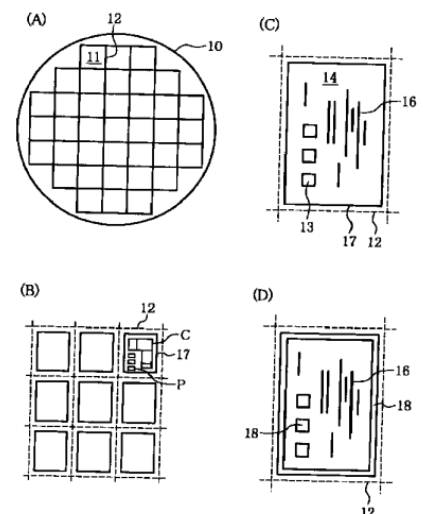
A first insulating layer formed on said semiconductor substrate,

A first conductive layer embedded in the first insulating layer, said first conductive layer comprising an interconnection layer, a pad layer, and a moisture-resistant ring layer arranged so as to surround the outer side of said interconnection layer and the pad layer,

A first conductive barrier layer extending from the respective upper surfaces of the pad layer and the moisture-resistant ring layer onto the first insulating layer,

A second insulating layer formed on the first insulating layer so as to cover the first conductive barrier layer,

A second conductive layer that penetrates the second insulating layer, said second conductive layer comprising an interconnection layer reaching the interconnection layer in the lower layer, as well as a pad layer and a moisture-resistant ring layer that reach the conductive barrier layer in the lower layer, and



A second conductive barrier layer extending from the respective upper surfaces of the pad layer and the moisture-resistant ring layer onto the aforementioned second insulating layer.

WHAT IS CLAIMED IS:

CLAIM 1

A semiconductor integrated circuit device, comprising:

A semiconductor substrate comprising a plurality of semiconductor elements formed thereon,

A first insulating layer formed on the aforementioned semiconductor substrate,

A first conductive layer embedded in the aforementioned first insulating layer, said first conductive layer comprising a first interconnection layer, a first pad layer, and a first moisture-resistant ring layer disposed so as to surround the outer side of said first interconnection layer and the first pad layer,

A first upper conductive barrier layer extending from the respective upper surfaces of the aforementioned first pad layer and the aforementioned first moisture-resistant ring layer onto the aforementioned first insulating layer — of the aforementioned first conductive layer,

A second insulating layer formed on the aforementioned first insulating layer so as to cover the aforementioned first upper conductive barrier layer,

A second conductive layer embedded and thus formed in the aforementioned second insulating layer, said second conductive layer comprising a second interconnection layer reaching the aforementioned first interconnection layer as well as a second pad layer and a second moisture-resistant ring layer reaching the aforementioned first upper conductive barrier layer, and

A second upper conductive barrier layer extending from the respective upper surfaces of the aforementioned second pad layer and the aforementioned second moisture-resistant ring layer onto the aforementioned second insulating layer — of the aforementioned second conductive layer.

CLAIM 2

The semiconductor integrated circuit device according to Claim 1, wherein:

The aforementioned first and second conductive layers each have a laminate structure composed of a lower conductive barrier layer and a main wiring layer;

The aforementioned first and second upper conductive barrier layers and the lower conductive barrier layer each include a layer formed of titanium, a titanium compound, tantalum, a tantalum compound, or a mixture thereof;

The aforementioned first upper conductive barrier layer has a planar shape that encompasses the respective upper surfaces of the aforementioned first pad layer and the aforementioned first moisture-resistant ring layer;

The aforementioned second upper conductive barrier layer has a planar shape that encompasses the respective upper surfaces of the aforementioned second pad layer and the aforementioned second moisture-resistant ring layer; and

The aforementioned first and second upper conductive barrier layers each include a lower-side etching stopper layer and an interlayer insulating layer thereon.

CLAIM 3

A method for the production of semiconductor devices, said method comprising:

- (a) A step for forming a first insulating layer on a semiconductor substrate comprising a plurality of semiconductor elements formed thereon;
- (b) A step for embedding a first conductive layer in said first insulating layer, said first conductive layer including a first interconnection layer, a first pad layer, and a first moisture-resistant ring layer surrounding the outer side of said first interconnection layer and the first pad layer;
- (c) A step for forming a first upper conductive barrier layer extending from the respective upper surfaces of the aforementioned first pad layer and the aforementioned first moisture-resistant ring layer onto the first insulating layer, in the aforementioned first conductive layer;

- (d) A step for forming a second insulating layer on the aforementioned first insulating layer so as to cover the aforementioned first upper conductive barrier layer;
- (e) A step for etching via holes that penetrate the aforementioned second insulating layer and reach the aforementioned first interconnection layer, and for etching connection holes for pads and a moisture-resistant ring trench that reach the aforementioned first upper conductive barrier layer; and
- (f) A step for embedding a second conductive layer in the aforementioned second insulating layer by using the aforementioned via holes, connection holes for the pad and the moisture-resistant ring trench, said second conductive layer including a second interconnection layer, a second pad layer, and a second moisture-resistant ring layer surrounding the outer side of said second interconnection layer and the second pad layer.

CLAIM 4

The method for the production of semiconductor devices according to Claim 3, said method further comprising (g) a step for forming a second upper conductive barrier layer extending from the upper surfaces of the aforementioned second pad layer and the aforementioned second moisture-resistant ring layer onto the aforementioned second insulating layer, in the aforementioned second conductive layer.

CLAIM 5

The method for the production of semiconductor devices according to Claim 4, wherein the aforementioned steps (c) and (g) each include the following steps:

A step for stacking an upper conductive barrier layer and a hard mask layer on the aforementioned first or second insulating layer;

A step for forming a resist pattern on the aforementioned hard mask layer;

A step for etching and patterning the hard mask layer using the aforementioned resist pattern as a mask;

A step for removing the aforementioned resist pattern; and

A step for etching and patterning the aforementioned upper conductive barrier layer using the pattern of the aforementioned hard mask layer as a mask.

DETAILED DESCRIPTION OF THE INVENTION

[0001]

TECHNOLOGICAL FIELD OF THE INVENTION

The present invention pertains to a semiconductor device and a method for the production thereof. Specifically, it pertains to a semiconductor integrated circuit device comprising a multi-level interconnect and a method for the production thereof.

[0002]

PRIOR ART

A semiconductor integrated circuit device is made by forming a large number of elements in a semiconductor chip and forming a multi-level interconnect on the semiconductor chip. Bonding pads are also formed by stacking multi-level interconnection layers. In the following description, the “interconnection layers” shall also include the pads, unless otherwise noted. A multi-level interconnect is formed of multi-level interconnection layers and interlayer insulating layers that insulate between the interconnection layers. Conventionally, the electrical connections between different layers are formed by forming via holes that penetrate through an interlayer insulating layer before an upper interconnection layer is formed on the interlayer insulating layer. During the formation of the interconnect in the upper layer, the via holes are also filled with the interconnection layer.

[0003] An interconnect pattern is formed by forming an interconnection layer on an interlayer insulating layer, followed by the formation of a resist mask thereon, and then etching the interconnection layer using said resist mask as an etching mask. Sediment, etc., on the side walls of the interconnect pattern are removed with an alkaline chemical or the like. Subsequently, plasma CVD, etc., is used to form an interlayer insulating layer formed of silicon oxide, etc., in order to insulate between the interconnect patterns within the same layer and between the interconnect patterns in the upper and lower layers.

[0004] Conventionally, etchable aluminum (Al) or tungsten (W) has been used as the interconnect material. During the ashing process performed to remove the resist mask after forming the interconnect pattern, an anti-oxidation layer, such as a TiN layer, is also formed on the main Al or W interconnection layer to prevent oxidation of the interconnect pattern's surface.

[0005] Interlayer insulating layers formed of silicon oxide, etc., have the property that allows

for the permeation of atmospheric moisture. If moisture in the atmosphere reaches the semiconductor device, it can damage the semiconductor device's properties. To prevent moisture penetration from the atmosphere, a passivation film composed of SiN, etc., with a moisture-shielding ability is formed on top of the uppermost insulating layer, and a moisture-resistant ring, acting as a conductive body, is then formed along the periphery of the chip.

[0006] A moisture-resistant ring is formed by forming a ring trench that surrounds the circuit region in a loop, doing so through an etching process performed at the same time as the etching performed to form via holes in the interlayer insulating layer, and then by filling the ring trench with an interconnection layer formed through a interconnect formation step for patterning.

[0007] There is always a demand for improvement in the degree of integration in semiconductor integrated circuit devices. To enhance the degree of integration, semiconductor elements are miniaturized, allowing for the formation of more semiconductor elements within a given unit area. As semiconductor elements are miniaturized, the density of the interconnect formed thereon also increases. As the interconnect density increases, the width of each interconnect line and the spacing between adjacent interconnect lines in the same layer must decrease.

[0008] If the thickness of the interconnection layer remains the same, the decrease in the interconnect width entails an increase in resistance. Additionally, the decrease in spacing between adjacent interconnect lines results in an increase in capacitance between the interconnect lines. To reduce the increase in interconnect resistance, it is desirable to increase the thickness of the interconnection layer. In order to maintain the cross-sectional area of the interconnect constant, the reduction in the interconnect line width must be compensated by increasing the thickness of the interconnect.

[0009] However, increasing the thickness of the interconnection layer increases the opposing area between adjacent interconnect lines, thereby further increasing the capacitance between the interconnect lines. Increasing interconnect resistance and inter-wire capacitance will result in reduced speed of signal transmission. In memory devices, high integration and low power consumption are the main objectives. This has led to the use of conventional interconnect materials, such as Al.

[0010] In logic circuits, computation speed is the main objective; therefore, any decrease in signal transmission speed must be prevented as much as possible. Accordingly, it is desirable to reduce the resistance of the interconnect and the associated capacitance. As an option for reducing the resistance of interconnects, it has been proposed to use metals with high melting points, such as Cu, which have lower resistivity than Al, as interconnect materials. As an option for reducing the associated capacitance of interconnects, it has been proposed to

reduce the dielectric constant of the insulating layers placed between the interconnects for insulation. For example, a silicon oxide (FSG) film containing fluorine is used as such an insulating layer with a low dielectric constant.

[0011] It is difficult to etch interconnect patterns when Cu is used. Therefore, a damascene process is employed to form a pattern on the Cu layer, where a trench (trench) is formed in the insulating layer; the trench is filled again to form a Cu layer; and unnecessary part of the Cu layer is removed from the insulating layer through chemical-mechanical polishing (CMP), etc. There are two known types of damascene processes: Single-damascene processes and dual-damascene processes.

[0012] In the single-damascene process, a photoresist pattern for via holes is formed on the insulating layer in the lower level; via holes are formed by means of etching; the photoresist pattern is removed; a Cu layer is formed after the removal of the photoresist pattern; unnecessary part of the Cu layer is removed through CMP; further, the upper insulating layer is formed; a photoresist pattern for interconnect-pattern trenches is formed on said upper insulating layer; interconnect-pattern trenches are etched into the upper insulating layer; a Cu layer is formed after the removal of the photoresist pattern; and unnecessary part of the Cu layer is removed through CMP.

[0013] In the dual-damascene process, a photoresist pattern for via holes is formed on an insulating layer; via holes are formed by means of etching; a photoresist pattern for interconnect-pattern trenches is formed on the same insulating layer; and interconnect-pattern trenches are formed by means of etching, after which the via holes and interconnect-pattern trenches are filled again so as to form a Cu layer through the same process, followed by the removal of unnecessary part of the Cu layer through CMP.

[0014] It should be noted that if the Cu interconnection layer in the lower level is exposed once the photoresist pattern is removed by means of ashing after the formation of via holes, the exposed Cu interconnect surface will be oxidized. In order to prevent oxidation of the surface of the Cu interconnect, an antioxidant film is formed after the formation of the Cu interconnect pattern in such a way that the antioxidant film covers the surface of the Cu interconnect so as to act as an etching stopper. Such an antioxidant film acting as an etching stopper is formed of, for example, a SiN layer.

[0015] In the case where an antioxidant film acting as an etching stopper is placed under the insulating layer, via holes are etched so as to penetrate the insulating layer, thereby exposing the antioxidant film acting as an etching stopper. At this stage, the photoresist pattern is removed through ashing. The antioxidant film exposed at the bottom of the via holes is then removed. For the sake of simplicity, such an antioxidant film acting as an etching stopper will be referred to herein as an “etching stopper layer.”

[0016] It should be noted that Cu, by nature, is diffused in the insulating layer formed of, for example, silicon oxide, thereby degrading the dielectric properties and insulation performance of the insulating layer. In order to prevent the diffusion of Cu, a barrier layer formed of TiN, TaN, etc., is formed before the formation of a Cu interconnection layer, and then a Cu interconnection layer is formed on the barrier layer. The etching stopper layer above the Cu interconnect also acts to prevent diffusion.

[0017] Pads are formed in the same way as interconnection layers. A pad pattern is formed at the same time as the interconnect pattern. Pad connection holes are formed at the same time as the via holes. Conductive plugs for the pads are formed at the same time as the via conductive body. Because the area size of a pad is large, a large number of via holes are formed per pad, and a large number of conductive plugs are used to connect the upper and lower pad patterns.

[0018] When Cu interconnect is used, the moisture-resistant ring is made by etching a loop-form trench into the insulating layer along the chip's periphery at the same time as the etching for via holes and interconnect-pattern trenches, followed by the formation of a barrier layer and a Cu interconnection layer in the trench for the moisture-resistant ring, which is performed at the same time as the subsequent deposition of a barrier layer and the formation of a Cu interconnection layer.

[0019] A micro-loading effect is known to occur during the etching of a miniaturized pattern, where the etching rate of a small area is slower than that of a larger area. The diameter of the via holes for interconnect is set to, for example, the minimum dimensions (rules) according to the circuit design.

[0020] A number of connection holes of the same diameter as that of the via holes are formed in the pad part. The moisture-resistant ring must be in the form of a continuous loop, forming a ring trench. When the width of the moisture-resistant ring trench is wider than the diameter of the via holes, the moisture-resistant ring trench will be over-etched due to the micro-loading effect. Given this factor, the width of the moisture-resistant ring trench should be designed to be the same dimension as the diameter of the via holes.

[0021] The following is an explanation of the state of the etching for via holes and moisture-resistant ring trench, with reference to figures 10 (A) to (C). Where necessary, the constituent elements in the circuit region are marked with the respective reference codes accompanied by the letter "c," while the constituent elements in the moisture-resistant ring area are marked with the respective reference codes accompanied by the letter "r."

[0022] As shown in Figure 10 (A), the interconnect pattern in the lower level forms lower-level interconnect 121c in the circuit region and conductive ring 121r in the moisture-resistant ring area. Etching stopper layer 122, formed of SiN, etc., is formed so as to cover the

conductive pattern of the lower layer, and interlayer insulating layer 123 is formed on top of etching stopper layer 122 thus formed.

[0023] Resist pattern PR with an opening VO for a via hole and an opening RO for a moisture-resistant ring trench is formed on the interlayer insulating layer 123. The diameter of the via hole opening VO and the width of the moisture-resistant ring opening RO are the same dimensions. Such a photoresist pattern PR is used as an etching mask to etch the interlayer insulating layer 123.

[0024] While the diameter of the via hole opening VO and the width of the moisture-resistant ring trench RO are the same as shown in Figure 10 (A), the speed at which etching proceeds is faster at the moisture-resistant ring trench RT than at the via hole VH, as shown in Figure 10 (B). This results in a height difference, d, between the bottom surface of the via hole, VH, and the bottom surface of the moisture-resistant ring trench, RT.

[0025] On the interlayer insulating layer 123, etching for the moisture-resistant ring trench RT is completed first, as shown in Figure 10 (C). The etching continues afterward, so as to also complete the etching for via holes VH, during which the moisture-resistant ring trench RT is over-etched.

[0026] From the completion of the etching for the moisture-resistant ring trench RT to the completion of the etching of via holes VH, the etching stopper layer 122 exposed at the bottom of the moisture-resistant ring trench RT is over-etched.

[0027] For example, the ratio of the etch rate of a silicon nitride film to the etch rate of a silicon oxide film is relatively small, ranging from 1/10 to 1/15. However, it is necessary to form a thick etching stopper layer 122 in order to ensure that the etching stopper layer 122 remains. The SiN film acting as the etching stopper layer has a high dielectric constant. A thicker etching stopper layer 122 increases the associated capacitance between the interconnect lines within the same layer.

[0028] Figures 11 (A) and (B) show schematic cross-sectional views that illustrate the delamination issue of pads.

[0029] Figure 11 (A) shows the schematic structure of the circuit section C and the pad section P. The first interconnection layer, w1, is embedded in the interlayer insulating layer d1 with one layering surface. The etching stopper layer s2 with two layering surfaces is formed on the interlayer insulating layer d1 so as to cover the first interconnection layer, and the interlayer insulating layer d2 with two layering surfaces is further formed on top of the etching stopper layer s2. The second interconnection layer w2 is formed, embedded within the second interlayer insulating layer d2 of the second layer. The interconnection layers w1 and w2, in the pad part P, comprise conductive plugs used to connect the wide pad pattern and the upper and lower pad patterns. Incidentally, the third etching stopper layer s3 is formed

on the second interlayer insulating layer d2 so as to cover the second interconnection layer w2.

[0030] The area size of the pad pattern is wider than the narrow cross-sectional area of the conductive plugs. Accordingly, the volume of the pad pattern is greater than that of the conductive plugs, resulting in a more intense tensile stress. Furthermore, pad patterns with a large area are subjected to dishing and erosion during chemical mechanical polishing (CMP), which is performed to isolate the conductive layer. Accordingly, the central part of the pad pattern is recessed deeper than the peripheral part and the interconnect part. In this configuration, the compressive stress acting on the pad pattern is directed upward at the center, thereby overcoming the adhesion force at the bottom of the conductive plugs that facilitate connection.

[0031] As shown in Figure 11 (B), when the stress acting on the pad pattern overcomes the adhesion force of the conductive plug for connection, the upper and lower pad layers are delaminated, creating a void V in the middle. Such delamination of the pads will only occur in the pad area, but never at the interconnect patterns or the moisture-resistant ring.

[0032] Additionally, which layers and which pads are delaminated when a multi-level interconnect is formed is a random phenomenon. In addition, such delamination is unlikely to occur after the CMP is performed to isolate the interconnection layer; however, it is more likely to occur after an annealing process. The delamination is unlikely to occur when only one layer of interconnect is formed; however, the frequency of delamination increases when two or three interconnection layers are stacked on top of each other.

[0033] A method proposed to resolve such problems involves forming an interconnection layer by employing CMP to over-polish the surfaces of the interconnection layers more than their surrounding insulating layer, followed by laminating a metallic layer, such as Ti, on the over-polished surfaces, and then performing additional polishing with CMP. According to this method, a Ti layer, etc., is formed on the upper surface of each interconnect pattern.

[0034] In order to use such an embedded Ti layer to sufficiently suppress the stress-induced deformation, it would be necessary to make a sufficient dent in the surface of the interconnection layer. If an embedded layer, such as Ti, is formed on the surface of all interconnection layers, the volume of the low-resistance Cu layer decreases, thereby increasing the resistance of the interconnect.

[0035]

OBJECTIVE TO BE ACHIEVED BY THE INVENTION

The purpose of the present invention is to provide a novel configuration of a semiconductor integrated circuit device having a multi-level interconnect, as well as a method for the production thereof.

[0036] Another purpose of the present invention is to provide a structure of a semiconductor integrated circuit device, as well as a method for the production of the semiconductor integrated circuit device, which make it possible to minimize the effect of the difference in etch rate between via holes and moisture-resistant ring trench during the etching in the damascene process.

[0037] Yet another purpose of the present invention is to provide a novel configuration of a semiconductor integrated circuit device that has a multi-level interconnect and is capable of preventing delamination of the pad part, as well as a method for the production thereof.

[0038]

MEANS FOR ACHIEVING THE OBJECTIVE

One aspect of the present invention provides a semiconductor integrated circuit device, comprising the following elements:

A semiconductor substrate comprising a plurality of semiconductor elements formed thereon,

A first insulating layer formed on the aforementioned semiconductor substrate,

A first conductive layer embedded in the aforementioned first insulating layer, said first conductive layer comprising a first interconnection layer, a first pad layer, and a first moisture-resistant ring layer disposed so as to surround the outer side of said first interconnection layer and the first pad layer,

A first upper conductive barrier layer extending from the respective upper surfaces of the aforementioned first pad layer and the aforementioned first moisture-resistant ring layer onto the aforementioned first insulating layer — of the aforementioned first conductive layer,

A second insulating layer formed on the aforementioned first insulating layer so as to cover the aforementioned first upper conductive barrier layer,

A second conductive layer embedded and thus formed in the aforementioned second insulating layer, said second conductive layer comprising a second interconnection layer reaching the aforementioned first interconnection layer as well as a second pad layer and a second moisture-resistant ring layer reaching the aforementioned first

upper conductive barrier layer, and

A second upper conductive barrier layer extending from the respective upper surfaces of the aforementioned second pad layer and the aforementioned second moisture-resistant ring layer onto the aforementioned second insulating layer — of the aforementioned second conductive layer.

[0039] Another aspect of the present invention provides a method for the production of semiconductor integrated circuit devices, said method comprising the following steps:

- (a) A step for forming a first insulating layer and a first conductive layer, which is embedded in said first insulating layer, on a semiconductor substrate on which a plurality of semiconductor elements has been formed, said first conductive layer comprising a first interconnection layer, a first pad layer, and a first moisture-resistant ring layer that surrounds the outer sides of the first interconnection layer and the first pad layer;
- (b) A step for forming a first upper conductive barrier layer extending from the respective upper surfaces of the aforementioned first pad layer and the aforementioned first moisture-resistant ring layer onto the aforementioned first insulating layer — of the aforementioned first conductive layer;
- (c) A step for forming a second insulating layer on the aforementioned first insulating layer so as to cover the aforementioned first upper conductive barrier layer;
- (d) A step for etching via holes into the aforementioned second insulating layer in such a way that the via holes reach the aforementioned first interconnection layer while etching pad connection holes and a moisture-resistant ring trench in such a way that they reach the aforementioned first upper conductive barrier layer;
- (e) A step for etching pattern trenches into the aforementioned second insulating layer, said pattern trenches being in continuation with the aforementioned via holes, pad-connection holes, and moisture-resistant ring trench;
- (f) A step for embedding the aforementioned via holes, the pad connection holes, the moisture-resistant ring trench, and the pattern trenches to embed and thus form a

second conductive layer in the second insulating layer, said second conductive layer comprising a second interconnection layer, a second pad layer, and a second moisture-resistant ring layer;

- (g) A step for forming a second upper conductive barrier layer extending from the respective upper surfaces of the aforementioned second pad layer and the aforementioned second moisture-resistant ring layer onto the second insulating layer — of the second conductive layer.

[0040] The moisture-resistant ring trench has a high aspect ratio in the width direction; however, the aspect ratio is much lower in the longitudinal direction. In contrast, via holes have a high aspect ratio in all directions within the plane.

[0041] Thus, due to the micro-loading effect, the etch rate of the via holes is lower than that of the moisture-resistant ring trench of the same dimension. By disposing the upper conductive barrier layer under the moisture-resistant ring trench, it becomes possible to widen the etching margin and reduce damage to the interconnect in the lower layer.

[0042] The pattern of the pad is significantly larger than that of the interconnection layer. Accordingly, it is also subjected to dishing and erosion during the CMP, resulting in recession at the center. The pad pattern part is subjected to high stress. When stress is applied to the pad pattern part and attempts to push it upward, the upper conductive barrier layer, extending from the top of the pattern parts onto the insulating layer, prevents its deformation. This prevents delamination of the pad part.

[0043]

EMBODIMENT OF THE INVENTION

The analysis of etching for via holes and moisture-resistant ring trenches shall be presented below before the explanation of an embodiment of the present invention:

Figure 6 (A) shows a graph that illustrates the etching rates, as measured when the diameter of the via holes and the width of the moisture-resistant ring trench are the same. The horizontal axis shows the diameter of the via holes and the width of the moisture-resistant ring trench in the unit of μm , and the vertical axis shows the etching rate in the unit of $\text{\AA}/\text{min}$.

[0044] The curve line t_v represents the etching rate of the via holes while the curve line t_r represents the etching rate of the moisture-resistant ring trench. The via-hole etching rate t_v always indicates a lower value than the etching rate t_r of the moisture-resistant ring trench. Furthermore, the absolute value of the ratio of the etching-rate difference to the etching rate becomes greater as the via hole diameter and the width of the moisture-resistant ring trench

decrease. Consequently, even when the etching of the moisture-resistant ring trench is done, the etching of the via holes has not been done yet, thus requiring over-etching.

[0045] The following is an explanation of working examples of the present invention with reference to drawings:

[0046] The following explanation uses a central processing unit (CPU) as an example; however, this does not imply that the present invention is limited thereto.

[0047] Figure 1 (A) shows the top view of a wafer used to make a CPU. A number of chip regions 11 are defined on the surface of wafer 10. Lines 12 surrounding each chip region are scribe lines.

[0048] Figure 1 (B) shows the planar configuration on a single chip 11. A circuit region C (on which a decoder, arithmetic circuit, SRAM, input/output circuit (I/O), etc., are arranged in a prescribed manner) and a pad part P for extracting the interconnect from the circuit region are defined in the middle of chip 11. Moisture-resistant ring 17 is defined so as to surround the circuit region C and the pad part P.

[0049] Figure 1 (C) shows a schematic, enlarged top view of the configuration of a single chip with a given interconnection layer formed thereon. Pad pattern 13, interconnect pattern 16, and moisture-resistant ring 17 are embedded and thus formed in insulating layer 14.

[0050] Figure 1 (D) schematically shows the arrangement of an upper conductive barrier layer formed on the plane shown in Figure 1 (C). Upper conductive barrier layer 18 is formed so as to extend from the upper surfaces of the pads and the moisture-resistant ring onto insulating layer 14, preferably in a pattern that encompasses the upper surfaces of the pads and the moisture-resistant ring. However, no upper conductive barrier layer 18 is formed on interconnect 16. Upper conductive barrier layer 18 acts to suppress the deformation of the pads and increase the etching margin for the etching of the moisture-resistant ring trench.

[0051] A pad and moisture-resistant ring are disposed along the periphery of each chip, and there are usually no other structures around them. Therefore, a low positional accuracy is required for the upper conductive barrier layer, which covers the pad and the moisture-resistant ring. Even when a lithographic technology that uses excimer laser light is required for the patterning of the interconnection layer, I-line lithography is sufficient for patterning the upper conductive barrier layer 18, which covers the pad and the moisture-resistant ring. This helps reduce the time and cost required, although the number of masks in the masking process increases by one.

[0052] Figures 2 (A), (B), and (C) show top views that illustrate the pad layer configuration.

[0053] Pad-pattern trench PT for embedding a pad layer in insulating layer 14 and connection holes PV, which extend downward from the bottom surface of the pad-pattern trench and reach the pad pattern in the lower layer, are formed as shown in Figure 2 (A).

[0054] As shown in Figure 2 (B), an interconnection layer is deposited, and the unnecessary part of the interconnection layer is removed from insulating layer 14 through CMP, to thereby obtain pad layer 13 embedded in the trench and holes shown in Figure 2 (A)

[0055] As shown in Figure 2 (C), upper conductive barrier layer 18 is formed so as to further extend from the upper surface of pad layer 13 onto the surrounding insulating layer 14. Preferably, upper conductive barrier layer 18 covers the entire surface of pad layer 13 and has a portion that further extends around it, as shown in the figure. However, upper conductive barrier layer 18 does not necessarily have to cover the entire surface of pad layer 13 as mentioned above; it should be effective in restricting deformation of pad layer 13 insofar as it has a portion that extends from the upper surface of pad layer 13 onto the surrounding insulating layer 14.

[0056] Figures 2 (E), (F) and (G) show top views that illustrate the configuration of the moisture-resistant ring.

[0057] As shown in Figure 2 (E), trench RT for the moisture-resistant ring is formed first in insulating layer 14.

[0058] As shown in Figure 2 (F), moisture-resistant ring 17 embedded in the ring trench RT is obtained by depositing an interconnection layer and removing the unnecessary portion from insulating layer 14 through CMP, etc.

[0059] As shown in Figure 2 (G), upper conductive barrier layer 18 is formed so as to further extend from the upper surface of pad layer 17 onto insulating layer 14 around it. Said upper conductive barrier layer 18 acts as an etching stopper layer when a trench for the moisture-resistant ring is etched into the upper layer. Accordingly, it preferably covers the entire upper surface of moisture-resistant ring 17.

[0060] By providing an upper conductive barrier layer on the pad layer in such a way that it extends from the upper surface of the pad layer onto the surrounding insulating layer, it becomes possible to restrict deformation of the pad layer and prevent delamination of the pad layer. The upper and lower pad layers are electrically connected via the upper conductive barrier layer.

[0061] When an easily oxidizable, conductive material such as copper or tungsten is used as the interconnection layer and resist patterns are removed by means of ashing, it is preferable to form the insulating layer by stacking the etching stopper layer and the interlayer insulating layer. It is preferable to use a silicon-based insulating layer, such as silicon nitride, silicon carbide (SiC), or silicon oxynitride, as the etching stopper layer.

[0062] Figures 3 (A) to (F) show cross-sectional views that schematically illustrate the process of creating a multi-level interconnect structure using the upper conductive barrier layer. Figure 3 (A) shows an example configuration of circuit section C on the left, an

example configuration of pad section P in the center, and an example configuration of moisture-resistant ring R on the right.

[0063] The first interconnect structure w1 is embedded and thus formed in the first interlayer insulating layer d1. The first interconnect structure w1 in the circuit section C constitutes the interconnect for the circuit, and the first interconnect structure w1 in the pad section P constitutes the pad layer. The first interconnect structure w1 in the moisture-resistant ring R constitutes part of the moisture-resistant ring. Each interconnect structure is formed of, for example, a lower conductive barrier layer of TaN, etc., and a main interconnection layer of Cu, etc.

[0064] The first upper conductive barrier layer b1 is formed on the first interlayer insulating layer d1 so as to cover the pad pattern and moisture-resistant ring pattern of the first interconnect structure w1. The second etching stopper layer s2 is formed on top of the first interlayer insulating layer d1 so as to cover the first upper conductive barrier b1. The second interlayer insulating layer d2 is formed on the second etching stopper layer s2.

[0065] Resist pattern PR2A is formed on the second interlayer insulating layer d2, and the second interlayer insulating layer d2 is subjected to etching. Here, the shape of the moisture-resistant ring is a continuous loop form. Each via hole VH2 in the pad part P and the circuit part C has a cylindrical structure. Even if the diameter of the via holes VH and the width of the ring trench RT2 are the same dimensions, the etching rate of the ring trench RT2 is faster than that of the via holes VH2 due to the difference in aspect ratio.

[0066] Figure 3 (B) shows the via holes VH2 and the ring trench RT after the etching is completed. The dimensions of the via holes VH2 are the same, allowing the etching to be completed almost concurrently. However, since etching progresses rapidly in the ring trench RT, the second etching stopper layer s2 experiences considerable film depletion due to over-etching.

[0067] Because the first upper conductive barrier layer b1 is provided under the second etching stopper layer s2, the surface of the first interconnection layer W1 will be adequately protected by the first upper conductive barrier layer b1 even if the first etching stopper layer s2 undergoes significant etching.

[0068] As shown in Figure 3 (C), a new resist pattern, PR2B, is formed after the part is shaped resist pattern PR2A (which is used to form via holes and the ring trench) is removed. Then, the new resist pattern, PR2B, is used to etch interconnect trench WT2, pad-pattern trench PT2, and ring trench RT2. Incidentally, in order to protect the bottom parts of the previously formed via holes and ring trench RT, it is preferable to perform etching after filling them with an organic substance.

[0069] It should be noted that the etching for the trench part may be formed first, followed by the etching for the via holes. In either case, the etching for the ring trench in the moisture-resistant ring section is completed earlier than the etching for the via holes; however, the first conductive barrier layer b2 under the etching stopper layer s2 acts as a protective layer for the first interconnection layer w1 in the lower layer, thus preventing damage and oxidation. Subsequently, the resist pattern PR2B is removed by means of ashing. After the resist pattern is removed, the etching stopper layer s2, which has been exposed at the bottom of the openings, is removed.

[0070] A metallic layer, M2, for the second interconnect is deposited on the second interlayer insulating layer d2, which forms the interconnect trench, via holes, etc., as shown in Figure 4 (D). The second metallic layer M2 is typically provided by forming a barrier layer of TaN, etc., by means of sputtering, then forming a seed layer of Cu, etc., on top of said barrier layer by means of sputtering, and further forming a thick main interconnection layer of Cu, etc., by means of plating.

[0071] Once the second interconnection layer M2 is deposited, the unnecessary metallic layer deposited on the upper surface of the second interlayer insulating layer d2 is removed through CMP.

[0072] As shown in Figure 4 (E), the second upper conductive barrier layer b2 is deposited on the second interlayer insulating layer d2 so as to cover the second interconnection layer w2 isolated through the CMP. A resist pattern, PR2C, is formed on top of the second upper conductive barrier layer d2. The resist pattern PR2C is patterned in a shape that covers the pad pattern of pad part C and the moisture-resistant ring pattern of moisture-resistant ring part R. The second upper conductive barrier layer, b2, is etched using the resist pattern PR2C as a mask. Subsequently, the resist pattern PR2C is removed.

[0073] As shown in Figure 4 (F), the third etching stopper layer s3 is deposited on top of the second interlayer insulating layer d2 so as to cover the second upper conductive barrier layer b2 that has been patterned.

[0074] Next, the process proceeds to the step for depositing the third interlayer insulating layer and forming via holes and a ring trench. In other words, a multi-level interconnect structure can be formed by repeating the steps illustrated in figures 3 (A) to 4 (F).

[0075] During the etching for the moisture-resistant ring trench, the interconnection layer underneath is safely protected even if the etching stopper layer is over-etched, because the upper conductive barrier layer is placed below the etching stopper layer. Additionally, the upper conductive barrier layer b2 restricts deformation of the pat pattern in the pad part, preventing delamination of the pat part.

[0076] Incidentally, in the etching step for the via holes and ring trench in Figure 3 (A), an upper conductive barrier layer b1 is also disposed on the upper surface of the pad. Therefore, over-etching can also be absorbed in the pad area.

[0077] Figure 2 (D) shows another example configuration of the pad section. In this configuration, the connecting holes V formed under the pad pattern is not a cylindrical pattern like via holes, but they have a long, elongated shape. In other words, the connecting holes of the pad part are shaped similar to the ring trench for the moisture-resistant ring. Since an upper conductive barrier layer is formed between the pad pattern in the lower layer and the etching stopper layer, the upper conductive barrier layer protects the pad pattern in the lower layer in the same way as the moisture-resistant ring, even in the event of over-etching into the etching stopper layer of the pad part.

[0078] In the configuration described above, the interlayer insulating layers, d, can be formed from various materials. For example, a silicon oxide layer, a silicon oxide (PSG) layer containing phosphorus, a silicon oxide (BPSG) layer containing boron and phosphorus, and an organic insulating layer, etc., can be used herein. A fluorine-containing silicon oxide (fluorosilicate glass, FSG) layer, hydrogen silsesquioxane (HSQ), tetraethoxysilane (TEOS), foamed (porous) silicon oxide, etc., can be used to form interlayer insulating layers with a low dielectric constant.

[0079] Gold, silver, platinum, copper, aluminum, tungsten, tungsten alloys, titanium, titanium compounds, tantalum, tantalum compounds, etc., can be used for the interconnection layers. When using a laminate comprising a lower barrier layer and a main interconnection layer, the barrier layer may be made of titanium, a titanium compound, tantalum, a tantalum compound, or the like. In terms of process control, it is desirable to form an upper barrier layer with the same material as the lower barrier layer, although it is not particularly limited.

[0080] The following is an explanation of a more specific working examples with reference to figures 5 (A) to (F):

[0081] In Figure 5 (A), the first interconnection layer w1 is formed with a Cu layer acting as the main interconnection layer. On the first interconnection layer w1, the first upper barrier layer b1 is formed of TaN. The first barrier layer b1 has a shape that covers the entire surface of the first interconnection layer w1 and extends onto the surrounding insulating layer.

[0082] A hard mask layer, h1, of the same shape is formed on the first barrier layer b1. The hard mask layer h1 is, for example, a plasma silicon oxide film formed by means of plasma CVD.

[0083] The second etching stopper layer s2 is formed of, for example, a 50 nm-thick SiN layer, which covers the hard mask layer h1 and the first barrier layer b1. On the second etching stopper layer s2, the second interlayer insulating layer d2 is formed of a laminate

comprising a plasma silicon oxide layer with a thickness of about 1200 nm and a SiN layer with a thickness of about 50 nm, said SiN layer also serving as an anti-reflective coating. A pad-pattern trench is formed from the surface of the interlayer insulating layer d2, and connection holes are formed so as to extend downward from the bottom surface of the pad-pattern trench. The connection holes reach the surface of the first barrier layer b1.

[0084] The second interconnection layer w2 is formed so as to fill the trenches and holes. The second interconnection layer w2 is formed, for example, by forming a lower metallic barrier layer made of TaN with a thickness of about 25 nm and a Cu seed layer with a thickness of about 100 nm by means of sputtering and further forming a Cu layer with a thickness of about 300 nm by means of plating, followed by a flattening step that uses CMP.

[0085] As shown in Figure 5 (B), a second metallic barrier layer b2 formed of a TaN layer having a thickness of about 50 nm and a hard mask layer h2 formed of a plasma silicon oxide layer having a thickness of about 50 nm are formed on the surface of the second interlayer insulating layer d2, in which the second interconnection layer w2 is embedded. A resist pattern PR2 that encompasses a pad pattern w2 is formed on the hard mask layer h2.

[0086] As shown in Figure 5 (C), the resist pattern PR2 is used as the etching mask for the etching of the hard mask layer h2. Once the etching is completed, the resist pattern is removed by means of ashing. In this ashing step, the surface of the second interconnection layer w2 is covered with the second metallic barrier layer b2 and thus prevented from oxidation.

[0087] As shown in Figure 5 (D), the resist pattern PR2 is removed through ashing while the hard mask h2 remains on the second metallic barrier layer b2.

[0088] As shown in Figure 5(E), the hard mask layer h2 is used as the mask for etching the second metallic barrier layer b2. In this way, a laminate pattern of the second barrier metallic layer b2 and the hard mask layer h2 is formed, covering the pad pattern. For example, if the pad pattern is $10\ \mu\text{m} \times 10\ \mu\text{m}$, the second metallic barrier layer b2 and the hard mask layer h2 are preferably patterned to dimensions of $11\ \mu\text{m} \times 11\ \mu\text{m}$ so as to cover the entire surface of the pad pattern and extend onto the surrounding interlayer insulating layer.

[0089] As shown in Figure 5 (F), the third etching stopper layer s3, the third interlayer insulating layer d3, and the third interconnect w3 can be formed by repeating the process described above.

[0090] It should be noted that the formation of a metallic barrier layer on the pad pattern enables the prevention of delamination issues at the pad part even after the annealing step following the formation of the interconnection layer.

[0091] Figure 6 (A) shows the etching rates relative to the diameter of the via hole and the width of the moisture-resistant ring trench, as described above. The etching rate of the via hole is lower than that of the ring trench.

[0092] Figures 6 (B) and (C) show how the etching for the moisture-resistant ring is performed in the configuration shown in Figure 5. The first metallic barrier layer b1 and the first hard mask layer h1 are formed on the moisture-resistant ring of the first interconnection layer w1. The pattern of the first interconnection layer w1 shown on the left side of the figure is the interconnect pattern of the circuit region. The first metallic barrier layer b1 and the first hard mask layer h1 are not formed on the interconnect pattern. The etching rate of the via hole VH is slower than that of the ring trench RT, resulting in the difference x in the etching depth.

[0093] Figure 6 (C) shows the state in which the etching for the via hole VH has been completed. The etching for the ring trench RT is completed before the completion of the etching for the via hole VH. Consequently, the etching stopper layer, s2, is also etched gradually due to over-etching (e.g., 40 nm out of a thickness of about 50 nm is etched). However, the hard mask layer h1 and the metallic barrier layer b1 are placed under the etching stopper layer s2, covering the surface of the ring pattern on the interconnection layer w1 in the lower level. This prevents damage to and oxidation of the surface of the ring pattern w1.

[0094] Figure 7 shows a partial cross-sectional view of the circuit region and the moisture-resistant ring region of the semiconductor integrated circuit shown in figures 5 and 6. Trenches for isolating elements are formed on the surface of the silicon substrate 40. Insulating regions consisting of silicon oxide, etc., which fill the trenches form STIs (Shallow Trench Isolations) 41c, thus defining active regions. In the moisture-resistant ring part, a ring-shaped insulating region 41r is formed at the same time the STIs, so as to enclose the circuit region in a loop form.

[0095] In the circuit region, p-well WP and n-well WN are formed in each active region, and gate insulating layer 43c made of thermal silicon oxide, etc., is also formed on the active region. Gate electrodes 44c made of polycrystalline silicon, polycide, etc., are formed on gate insulating layers 43c, thus forming isolated gate electrodes. Silicon oxide, etc., is used to form sidewall spacers 45c on the side walls of the isolated gate electrodes.

[0096] After the isolated gate electrodes are formed, the p-well Wp and the n-well Wn each undergo separate ion implantation steps to form an n-type source/drain region 42n in p-well Wp and a p-type source/drain region 42p in n-well Wn.

[0097] The moisture-resistant ring part also undergoes the same steps, except for ion implantation, to form a ring-shaped conductive region 44r and sidewall spacers 45r on the insulating region 41r.

[0098] Etching stopper layer 46 made of silicon nitride, etc., is formed on the silicon substrate so as to cover isolated gate electrodes 44c and conductive area 44r.

[0099] A low dielectric insulation material, such as fluorine-containing silicon oxide (FSG), is used to form the first interlayer insulating layer 47 on the etching stopper layer 46. In the circuit region, via holes for contact, having a diameter of, for example, about 0.25 μm , is formed from the surface of the first interlayer insulating layer 47. In the moisture-resistant ring area, a loop-shaped moisture-resistant ring trench with the same width as the via holes is formed on the conductive area 44r.

[0100] The via holes for contact and the moisture-resistant ring trench are formed through an etching step whereby etching proceeds and then temporarily stops at the surface of etching stopper layer 46 to remove the resist mask, after which the portions of etching stopper layer 46 exposed at the bottom of the via holes for contact and the moisture-resistant ring trench are removed.

[0101] After the formation of the via holes for contact and the moisture-resistant ring trench, a glue/barrier layer 50 made of, for example, TiN or the like, and a conductive layer 51 for conductive fences and conductive plugs made of, for example, tungsten or the like, are deposited. Subsequently, the glue/barrier layer and the conductive layer are removed from the surface of the first interlayer insulating layer 47 through CMP. The glue/barrier layer can be formed of a single layer made of TiN, TaN, etc., or formed of a laminate comprising a Ti layer for glue and a TiN layer for barrier. Conductive plugs that contact the semiconductor surface and conductive fences that contact conductive region 44r on insulating region 41r are formed as described above.

[0102] In this way, conductive plugs formed of glue barrier layer 50c and conductive region 51c are formed in the circuit section while conductive fences formed of glue barrier layer 50r and conductive region 51r are formed in the moisture-resistant ring area.

[0103] It should be noted that, in the circuit region, one of the source/drain regions in an n-channel MOS transistor and one of the source/drain regions in a p-channel MOS transistor are connected to each other through the interconnect in the first layer, thus forming a CMOS inverter.

[0104] Subsequently, the second etching stopper layer 52 and the second interlayer insulating layer 53 are deposited on the surface of the first interlayer insulating layer 47 so as to cover the conductive plugs and the conductive fences. The etching stopper layer is formed, for example, of SiN, and the interlayer insulating layer is formed, for example, of FSG. A resist pattern is formed on the surface of the second interlayer insulating layer 53, defining the openings for the interconnect pattern and the moisture-resistant ring of the first interconnection layer. Both openings have the same width, for example.

[0105] Such a resist pattern is used as an etching mask to etch the second interlayer insulating layer 53. The etching stops temporarily once the surface of the second etching stopper layer

52 is exposed, and then the resist pattern is removed by means of ashing. Subsequently, the exposed second etching stopper layer 52 is removed by means of etching, and lower barrier layer 54 and interconnection layer 55 are deposited. Then, the unnecessary portions of the lower barrier layer and the interconnection layer on the surface of the second interlayer insulating layer 53 are removed through CMP.

[0106] In this manner, an interconnect pattern composed of a lower barrier layer 54c and an interconnection layer 55c is formed in the circuit region, while conductive fences comprising a barrier layer 54r and an interconnection layer 55r are formed in the moisture-resistant ring area. In this manner, the structure of the first interconnection layer is formed so as to have a single-damascene structure. In the single-damascene structure, the side and bottom surfaces of both the via conductive body and the interconnect pattern are covered with a barrier layer.

[0107] In the moisture-resistant ring part R, a first upper metallic barrier layer b1 formed of, for example, a TaN layer, and a first hard mask layer h1 made of, for example, a plasma silicon oxide film are formed so as to cover the upper surface of the moisture-resistant ring. As mentioned above, such an upper metallic barrier layer and hard mask layer are preferably formed so as to encompass the upper surface of the moisture-resistant ring pattern.

[0108] A third etching stopper layer 57, a third interlayer insulating layer 58, a fourth etching stopper layer 59, and a fourth interlayer insulating layer 60 are deposited on the second interlayer insulating layer 53 so as to cover the first hard mask layer h1 and the first upper metallic barrier layer b1. The interconnect-pattern trenches and moisture-resistant ring trench are formed so as to extend from the surface of the fourth interlayer insulating layer 60 and reach the surface of the third interlayer insulating layer 58. Furthermore, the first-level interconnect pattern is formed in the second interlayer insulating layer 53 so as to extend from the bottom surface of the interconnect-pattern trench. Via holes and a moisture-resistant ring trench are formed so as to reach the first metallic barrier layer of the moisture-resistant ring part. The via hole diameter and the moisture-resistant ring trench's width are, for example, 0.3 μm .

[0109] A lower barrier layer 62 and a conductive layer 63 made of Cu, etc., are deposited so as to fill such via holes, interconnect-pattern trenches, and moisture-resistant ring trench. The lower barrier layer and the conductive layer deposited on the fourth interlayer insulating layer 60 are removed through CMP, etc. In the moisture-resistant ring, the second upper metallic barrier layer b2 and the second hard mask layer h2 are formed so as to cover the upper surface of the moisture-resistant ring. The second-level interconnect structure and the fences for the second-level moisture-resistant ring are formed as described above using the dual-damascene structure. In the dual-damascene structure, the surface of the interconnect structure in each

layer (except for the top surface) is covered with a lower barrier layer. The top surface is covered with an upper metallic barrier layer.

[0110] Once the second layer interconnect structure is formed, a fifth etching stopper layer 65 is formed on the surface of the fourth interlayer insulating layer. A fifth interlayer insulating layer 66, a sixth etching stopper layer 67, and a sixth interlayer insulating layer 68 are deposited on top of the fifth etching stopper layer 65. A dual-damascene conductive structure composed of lower barrier layer 70 and interconnection layer 71 is formed through a process similar to that described above. In the moisture-resistant ring, the surface of the moisture-resistant ring is covered with the third upper metallic barrier layer b3 and the third hard mask layer h3. The third-level interconnect structure and the third-level moisture-resistant ring are formed as described above. The via hole diameter and the ring trench width in the third interconnection layer are, for example, 0.45 μm .

[0111] A seventh etching stopper layer 73, a seventh interlayer insulating layer 74, an eighth etching stopper layer 75, and an eighth interlayer insulating layer 76 are deposited on the sixth interlayer insulating layer so as to cover the third-level interconnect structure and the hard mask layer h3 on the third-level moisture-resistant ring so as to form interconnect-pattern trenches, via holes, and moisture-resistant ring trench, thus forming a fourth-level interconnect structure composed of a lower barrier layer 78 and an interconnection layer 79 as well as a fourth-level moisture-resistant ring structure, which employ the dual-damascene structure. In the moisture-resistant ring section, the surface of the moisture-resistant ring is covered with the fourth upper metallic barrier layer b4 and the fourth hard mask layer h4.

[0112] The via hole diameter and the ring trench width in the fourth interconnection layer are, for example, 0.9 μm .

[0113] A passivation film 81 made of SiN or the like with moisture shielding ability is formed on the surface of the eighth interlayer insulating layer 76 so as to cover the fourth interconnection layer and the fourth hard mask layer of the fourth-level moisture-resistant ring. In the moisture-resistant ring area, a loop-form conductive fence is laminated on the substrate, and a passivation film is formed thereon, thereby forming a moisture-shielding structure that seals the circuit region.

[0114] In the configuration shown in the figure, the first interconnect structure is formed of a single-damascene structure, and the second to fourth interconnect structures are formed of a dual-damascene structure. Whether to use single-damascene or dual-damascene can be selected arbitrarily. While the above-mentioned description illustrates an example of using etching stopper layers for etching interconnect trenches, the etching stopper layers for interconnect trenches may be omitted here. In that case, controlled etching is used to control

the depth of the trenches. Whether or not to provide etching stopper layers for interconnect trenches can be selected arbitrarily.

[0115] Figures 8 (A) to (G) show cross-sectional views that schematically illustrate the process of forming a single-damascene interconnect. The figure illustrates the structure of the interconnect section. Accordingly, the upper metallic barrier layer is not formed. As shown in Figure 8 (A), lower barrier layer b1 and interconnection layer w1 form the lower-level interconnect. Etching stopper layer s2, interlayer insulating layer d2, and anti-reflective film ar2 are formed so as to cover the surface of the lower-level interconnect. The etching stopper layer s2 and the anti-reflective film ar2 are formed of SiN films with a thickness of about 50 nm, respectively. The interlayer insulating layer d2 is formed of, for example, FSG with a thickness of about 600 nm.

[0116] A resist pattern PR2 is formed to etch a via hole and a moisture-resistant ring trench on the anti-reflective film ar2. The resist pattern PR2 is used as an etching mask for etching the anti-reflective film ar2 and the interlayer insulating layer d2. Subsequently, the resist pattern PR2 is removed. The figure shows only one opening because the via hole and the moisture-resistant ring trench have a similar cross-sectional structure. The same applies hereafter.

[0117] As shown in Figure 8 (B), the exposed anti-reflective film ar2 and etching stopper layer s2 are removed, forming via hole VH2 and moisture-resistant ring trench RT2, thus exposing the surface of the lower-level interconnect w1.

[0118] As shown in Figure 8 (C), barrier layer b2p formed of a TAN layer with a thickness of about 25 nm and an interconnection layer w2p formed of a Cu layer with a thickness of about 1500 nm, for example, are deposited so as to fill the via hole VH2 and moisture-resistant ring trench RT2. After the barrier layer b2p is formed by means of sputtering, a Cu seed layer with a thickness of about 200 nm is formed by means of sputtering, and a Cu layer with a thickness of about 1300 nm is formed thereon by means of plating, etc., so as to form an interconnection layer w2p.

[0119] As shown in Figure 8 (D), the barrier layer b2p and interconnection layer w2p on the interlayer insulating layer d2 are removed through CMP, forming a copper plug (copper fence).

[0120] As shown in Figure 8 (E), etching stopper layer s3 formed of a SiN layer with a thickness of about 50 nm, interlayer insulating layer d3 formed of an FSG layer with a thickness of about 500 nm, and anti-reflective layer ar3 formed of a SiN layer with a thickness of about 50 nm, are formed on the interlayer insulating layer d2 so as to cover the copper plug (copper fence). Resist pattern PR3 having openings to form interconnect-pattern trenches and a moisture-resistant ring trench is formed on top of the anti-reflective film ar3.

The width of the interconnect-pattern trenches and the width of the moisture-resistant ring trench are, for example, the same.

[0121] The resist pattern PR3 is used as an etching mask to etch the anti-reflective film ar3 and the interlayer insulating layer d3. Subsequently, the resist pattern PR3 is removed, and the exposed anti-reflective film ar3 and etching stopper layer s3 are removed by means of etching.

[0122] As shown in Figure 8 (F), barrier layer b3p formed of a TaN layer with a thickness of about 20 nm and interconnection layer w3p formed of Cu with a thickness of about 1200 nm are formed through the same process as in Figure 8 (C). Incidentally, the interconnection layer w3p is formed by first forming a Cu layer with a thickness of about 200 nm through sputtering, and then by forming a Cu layer with a thickness of about 1000 nm through plating, etc.

[0123] As shown in Figure 8 (G), unnecessary portions of the barrier layer and interconnection layer on the interlayer insulating layer d3 are removed through CMP so as to create an interconnect pattern composed of barrier layer b3 and interconnection layer w3. Subsequently, the upper metallic barrier layer and the hard mask layer are formed; however, they are all removed in the circuit region. Each level of the interconnect structure can be created through the process described above. By repeating the same process, multiple levels of interconnection layers can be formed using a single-damascene structure. The following is an explanation of the creation of a dual-damascene structure:

[0124] Figures 9 (A) to (F) are cross-sectional views that illustrate another method for creating a dual-damascene interconnect structure. As shown in Figure 9 (A), etching stopper layer s2 formed of a SiN layer with a thickness of about 50 nm, interlayer insulating layer d2 formed of an FSG layer with a thickness of about 600 nm, etching stopper layer s3 formed of a SiN layer with a thickness of about 50 nm, interlayer insulating layer d3 formed of an FSG layer with a thickness of about 500 nm, and anti-reflective film ar3 formed of a SiN layer with a thickness of about 50 nm are stacked on a lower-level interconnect comprising barrier layer b1 and interconnection layer w1.

[0125] A resist pattern PR2 with an opening, which corresponds to a via hole or moisture-resistant ring trench, is formed on the anti-reflective film ar3. The resist pattern PR2 is used as a mask to etch the anti-reflective film ar3 and interlayer insulating layer d3, after which the etching stops at the surface of etching stopper layer s3.

[0126] The resist pattern PR2 is removed, as shown in Figure 9 (B).

[0127] As shown in Figure 9 (C), a resist pattern PR3 with an opening, which corresponds to an interconnect pattern or moisture-resistant ring trench, is formed on the anti-reflective film ar3. The width of the moisture-resistant ring trench is identical to the width of the

interconnect-pattern trench, for example. The resist pattern PR3 is used as an etching mask for etching the anti-reflective film ar3 and the interlayer insulating layer d3. In this event, the etching stopper layer s3, which is exposed at the bottom of the previously formed via hole (moisture-resistant ring trench), and the interlayer insulating layer d2 are etched together so that a via hole extends downward. For the etching of these, the etching conditions are set to stop at the surfaces of etching stopper layer s3 and etching stopper layer s2, respectively.

[0128] Resist pattern PR3 is removed by means of ashing as shown in Figure 9 (D). Next, anti-reflective coating ar3 exposed on the surface, etching stopper layer s3 exposed at the bottom of the interconnect-pattern trench, and etching stopper layer s2 exposed at the bottom of the via hole (moisture-resistant ring trench) are removed by means of etching. Interconnect-pattern trench WT and via hole VH (moisture-resistant ring trench RT) are formed.

[0129] Barrier layer b3p and interconnection layer w3p are deposited as shown in Figure 9 (E). First, a TaN layer with a thickness of about 20 nm is deposited by means of sputtering, and then a Cu layer with a thickness of about 200 nm is deposited by means of sputtering. Next, a Cu layer with a thickness of about 1300 nm is deposited by means of plating.

[0130] As shown in Figure 9 (F), unnecessary portions of barrier layer b3p and interconnection layer w3p on the interlayer insulating layer d3 are removed through CMP, so as to create a dual-damascene interconnect structure comprising barrier layer b3 and interconnection layer w3. Subsequently, an upper metallic barrier layer and a hard mask layer are formed; however, they are all removed in the circuit region.

[0131] The use of the aforementioned damascene process makes it possible to create a multi-level interconnect structure shown in Figure 7 while concurrently forming a moisture-resistant ring structure, which comprises a conductive (metallic) ring formed of the same material as that of the interconnect and an upper metallic barrier layer covering said ring, is formed in the moisture-resistant ring region.

[0132] In the above example, the function of the upper metallic barrier layer at the pad part and the function at the moisture-resistant ring are separate. The upper metallic barrier layer may be provided only on either the pad part or the moisture-resistant ring part.

[0133] The present invention is described with reference to the working examples above. However, the present invention is not limited to these examples. For example, if the resist pattern is removed through a method that does not use oxygen, it is possible to omit the etching stopper layer and the hard mask layer. In this case, the lower-level interconnect structure is used as an etch stopper for the etching of via holes and ring trenches. The upper metallic barrier layer is etched through the use of a resist mask. The resist mask is removed afterward.

[0134] The material used to form the upper conductive barrier layer is not particularly limited but may be any of the following: titanium, a titanium compound, tantalum, a tantalum compound, and the mixture thereof. The hard mask layer can be formed of any of the following: plasma SiO₂ layer, PSG layer, FSG layer, HSQ layer, TEOS layer, silicon nitride layer, silicon carbide layer, silicon oxynitride layer, and the laminate thereof.

[0135] While TaN and Cu are used as the interconnect material in the foregoing, the conductive layer can be formed of any of the following: gold, silver, platinum, copper, aluminum, aluminum alloys, tungsten, tungsten compounds, molybdenum, molybdenum compounds, titanium, titanium compounds, tantalum, tantalum compounds, and the combination thereof. Any of the following formation method can be used herein: Sputtering, CVD, plating, or the combination thereof.

[0136] The main interconnection layer can be formed of any of the following: gold, silver, platinum, copper, aluminum, an aluminum alloy, tungsten, a tungsten compound, and the combination thereof. The lower barrier layer can be formed of any of the following: molybdenum, molybdenum compounds, titanium, titanium compounds, tantalum, a tantalum compound, and the combination thereof.

[0137] Various materials may be used to form the insulating layers. FSG, hydrogen silsesquioxane (HSQ), tetraethoxysilane (TEOS), foamed (porous) silicon oxide, or the like can be used for insulating layers having a low dielectric constant. Silicon oxide, phosphosilicate glass (PSG), borophosphosilicate glass (BPSG), etc., may also be used if it is not necessary to lower the dielectric constant.

[0138] The etching stopper layer can be formed of any of the following: silicon nitride layer, silicon carbide layer, silicon oxynitride layer, and the laminate thereof. The interlayer insulating layer can be formed of any of the following: a plasma SiO₂ layer, PSG layer, FSG layer, HSQ layer, TEOS layer, and the laminate thereof.

[0139] It should be understood by those skilled in the art that other various changes, modifications, and combinations can be made.

[0140] The following appendices describe the features of the present invention:

[0141] (Appendix 1)

A semiconductor integrated circuit device, comprising the following elements:

A semiconductor substrate comprising a plurality of semiconductor elements formed thereon,

A first insulating layer formed on the aforementioned semiconductor substrate,

A first conductive layer embedded in the aforementioned first insulating layer, said first conductive layer comprising a first interconnection layer, a first pad layer, and a first moisture-resistant ring layer arranged so as to surround the outer side of said first interconnection layer and the first pad layer,

A first upper conductive barrier layer extending from the respective upper surfaces of the aforementioned first pad layer and the aforementioned first moisture-resistant ring layer onto the aforementioned first insulating layer, in the aforementioned first conductive layer,

A second insulating layer formed on the aforementioned first insulating layer so as to cover the aforementioned first upper conductive barrier layer, and

A second conductive layer formed through the aforementioned second insulating layer, said second conductive layer comprising a second interconnection layer reaching the aforementioned first interconnection layer, and a second pad layer and a second moisture-resistant ring layer reaching the aforementioned first upper conductive barrier layer.

[0142] (Appendix 2)

The semiconductor integrated circuit device described in Appendix 1, further comprising a second upper conductive barrier layer extending from the upper surfaces of the aforementioned second pad layer and the aforementioned second moisture-resistant ring layer onto the second insulating layer, in the second conductive layer.

[0143] (Appendix 3)

The semiconductor integrated circuit device described in Appendix 2, further comprising a hard mask layer formed on the aforementioned first and second upper conductive barrier layers and patterned into the same shape as the aforementioned first and second upper conductive barrier layers.

[0144] (Appendix 4)

The semiconductor integrated circuit device described in any one of appendices 2 and 3, wherein the aforementioned first and second insulating layers include a laminate of an etching stopper layer and an interlayer insulating layer formed thereon.

[0145] (Appendix 5)

The semiconductor integrated circuit device described in Appendix 2, wherein the aforementioned first and second upper conductive barrier layers each have a planar shape that encompasses the upper surfaces of the aforementioned pad layer and moisture-resistant ring layer thereunder.

[0146] (Appendix 6)

The semiconductor integrated circuit device described in any one of appendices 2 to 5, wherein the aforementioned first and second conductive layers each have a laminated structure of a lower conductive barrier layer and a main wiring layer; and the aforementioned upper conductive barrier layer and the aforementioned lower conductive barrier layer are formed of the same material.

[0147] (Appendix 7)

The semiconductor integrated circuit device as described in Appendix 1, wherein:

The aforementioned first and second conductive layers each have a laminated structure of a lower conductive barrier layer and a main wiring layer;

The aforementioned first upper conductive barrier layer and the lower conductive barrier layer each include a layer formed of titanium, a titanium compound, tantalum, a tantalum compound, or a mixture thereof;

The aforementioned first upper conductive barrier layer has a planar shape that encompasses the upper surfaces of the aforementioned first pad layer and the aforementioned moisture-resistant ring layer; and

The aforementioned second insulating layer includes a lower etching stopper layer and an interlayer insulating layer thereon.

[0148] (Appendix 8)

The semiconductor integrated circuit device described in Appendix 7, wherein the aforementioned pad layer and the moisture-resistant ring layer are each surrounded on their upper surfaces by an upper barrier layer and on the other surfaces by a lower barrier layer.

[0149] (Appendix 9)

A method for the production of semiconductor devices, said method comprising the following steps:

- (a) A step for forming a first insulating layer on a semiconductor substrate comprising a plurality of semiconductor elements formed thereon;
- (b) A step for embedding a first conductive layer in said first insulating layer, said first conductive layer including a first interconnection layer, a first pad layer, and a first moisture-resistant ring layer surrounding the outer side of said first interconnection layer and the first pad layer;
- (c) A step for forming a first upper conductive barrier layer extending from the respective upper surfaces of the aforementioned first pad layer and the aforementioned first moisture-resistant ring layer onto the first insulating layer, in the aforementioned first conductive layer;
- (d) A step for forming a second insulating layer on the aforementioned first insulating layer so as to cover the aforementioned first upper conductive barrier layer;
- (e) A step for etching via holes that penetrate the aforementioned second insulating layer and reach the aforementioned first interconnection layer, and etching connection holes for pads and a moisture-resistant ring trench that reach the aforementioned first upper conductive barrier layer; and
- (f) A step for embedding a second conductive layer in the aforementioned second insulating layer by using the aforementioned via holes, connection holes for the pad and the moisture-resistant ring trench, said second conductive layer including a second interconnection layer, a second pad layer, and a second moisture-resistant ring layer surrounding the outer side of said second interconnection layer and the second pad layer.

[0150] (Appendix 10)

The method for the production of semiconductor devices described in Appendix 9, said method further comprising (g) a step for forming a second upper conductive barrier layer extending from the upper surfaces of the aforementioned second pad layer and the aforementioned second moisture-resistant ring layer onto the aforementioned second insulating layer, in the aforementioned second conductive layer.

[0151] (Appendix 11)

The method for the production of semiconductor devices described in Appendix 10, wherein the aforementioned steps (c) and (g) each include the following steps:

A step for stacking an upper conductive barrier layer and a hard mask layer on the aforementioned first or second insulating layer;

A step for forming a resist pattern on the aforementioned hard mask layer;

A step for etching and patterning the hard mask layer using the aforementioned resist pattern as a mask;

A step for removing the aforementioned resist pattern; and

A step for etching and patterning the aforementioned upper conductive barrier layer using the pattern of the aforementioned hard mask layer as a mask.

[0152] (Appendix 12)

The method for the production of semiconductor devices described in Appendix 10 or Appendix 11, wherein the aforementioned steps (c) and (g) are performed to pattern the aforementioned upper conductive barrier layer so as to encompass the respective upper surfaces of the aforementioned pad layer and the aforementioned moisture-resistant ring layer, respectively.

[0153] (Appendix 13)

The method for the production of semiconductor devices described in appendices 10 to 12, wherein:

A laminate composed of an etching stopper layer and an interlayer insulating layer is deposited in the aforementioned step (d); and

The aforementioned etching stopper layer, the aforementioned hard mask layer, and the aforementioned conductive barrier layer are used as etching margin layers to etch moisture-resistant ring trenches and pad connection holes into the aforementioned interlayer insulating layer in the aforementioned step (e).

[0154]

EFFECTS OF THE INVENTION

As described above, the present invention allows for the creation of a semiconductor integrated circuit device having a moisture-resistant ring, such a semiconductor integrated circuit device providing the desired performance without causing the oxidation of the surface of the interconnect material layer constituting the moisture-resistant ring.

[0155] Pad delamination can be prevented in a semiconductor integrated circuit device having a multi-level interconnect.

BRIEF EXPLANATION OF THE DRAWINGS

Figure 1 shows a planar view that schematically illustrates a method for the production of a semiconductor integrated circuit device according to an embodiment of the present invention.

Figure 2 shows a planar view that illustrates the configurations of the pad part and the moisture-resistant ring part in the configuration shown in Figure 1.

Figure 3 shows a cross-sectional view that illustrates the production of a semiconductor integrated circuit device according to a working example of the present invention.

Figure 4 shows a cross-sectional view that illustrates the production of a semiconductor integrated circuit device according to a working example of the present invention.

Figure 5 shows a cross-sectional view that schematically illustrates the process of producing a pad part according to a working example of the present invention.

Figure 6 shows a graph and a perspective view that schematically illustrate the process of producing a moisture-resistant ring according to a working example of the present invention.

Figure 7 shows a cross-sectional view that schematically illustrates the configuration of a semiconductor integrated circuit device having a multi-level interconnect structure according to a working example of the present invention.

Figure 8 shows a cross-sectional view that illustrates an example of the single-damascene process.

Figure 9 shows a cross-sectional view that illustrates an example of the dual-damascene process.

Figure 10 shows a schematic view that illustrates the etching process for a moisture-resistant ring according to conventional technology.

Figure 11 shows a schematic cross-sectional view that illustrates the delamination of a pad part according to conventional technology.

EXPLANATION OF REFERENCE CODING

10 Wafer

11 Chip

12 Scribe line

17 Moisture-resistant ring

C Circuit section

P Pad section

13 Pad pattern (with interconnection layer)

14 Insulating layer

16 interconnect

18 Upper conductive barrier layer

21 Lower-level interconnect pattern

22 Etching stopper layer

23 Interlayer insulating layer

25 Via hole (moisture-resistant ring trench)

40 Semiconductor substrate

41 STI

42 Source/drain region

43 Gate insulating layer

44 Gate electrode

45 Side spacer

46, 52, 57, 59, 65, 67, 73, 75 Etching stopper layer

47, 53, 58, 60, 66, 68, 74, 76 Interlayer insulating layer

50, 54, 62, 70, 78 Barrier layer

51, 55, 63, 71, 79 Interconnection layer

PP Pad-pattern trench

PV Pad connection hole

PR Photoresist pattern
VO Opening for via holes
RO Opening for moisture-resistant ring trench
RT Moisture-resistant ring trench
WT Interconnect-pattern trench
VH Via hole
b1, b2, b3 Barrier layer
w1, w2, w3 Interconnection layer
s1, s2, s3 Etching stopper layer
d1, d2, d3 Interlayer insulating layer
h1, h2, h3 Hard mask layer

Figure 1

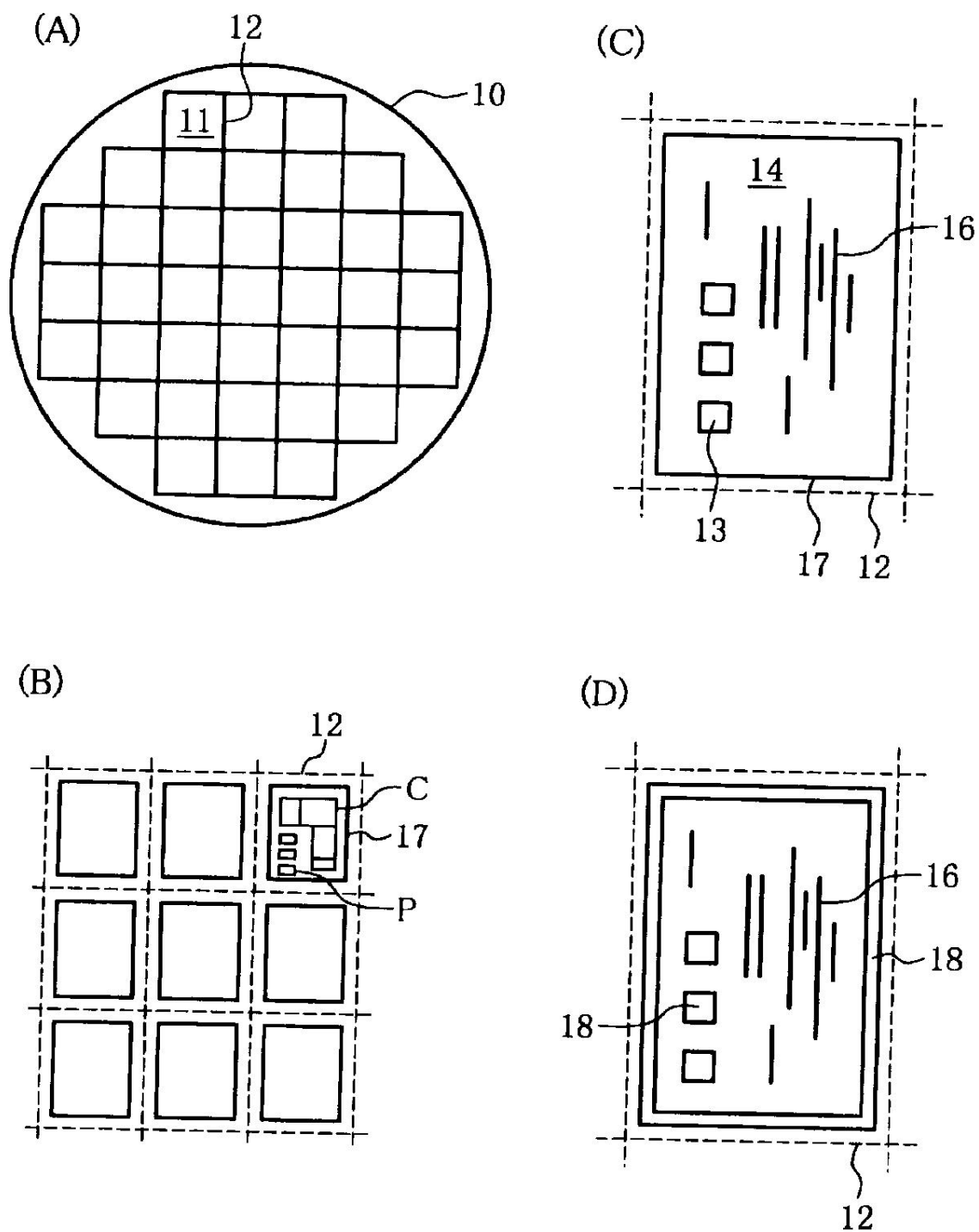


Figure 2

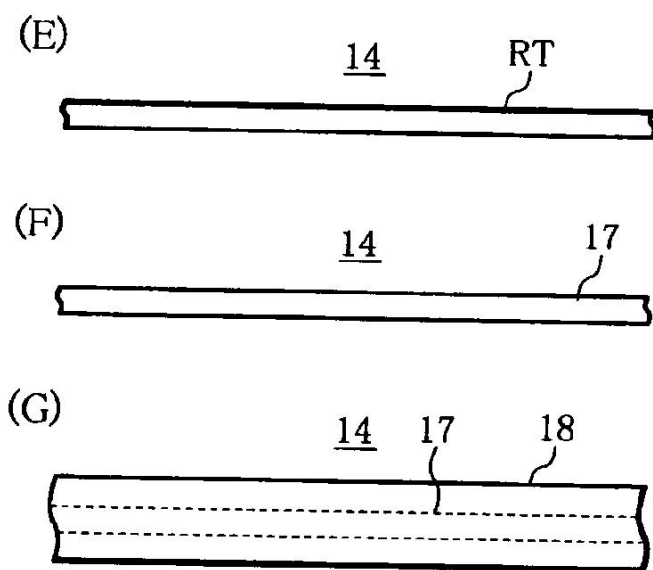
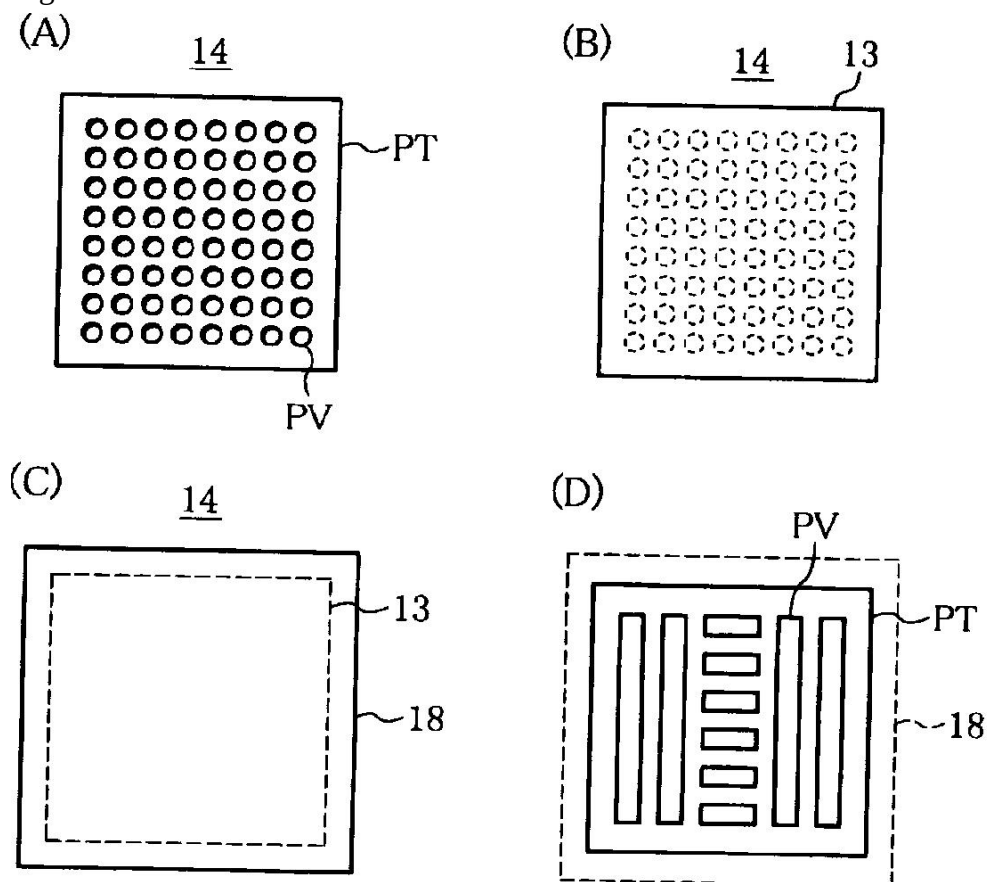


Figure 3

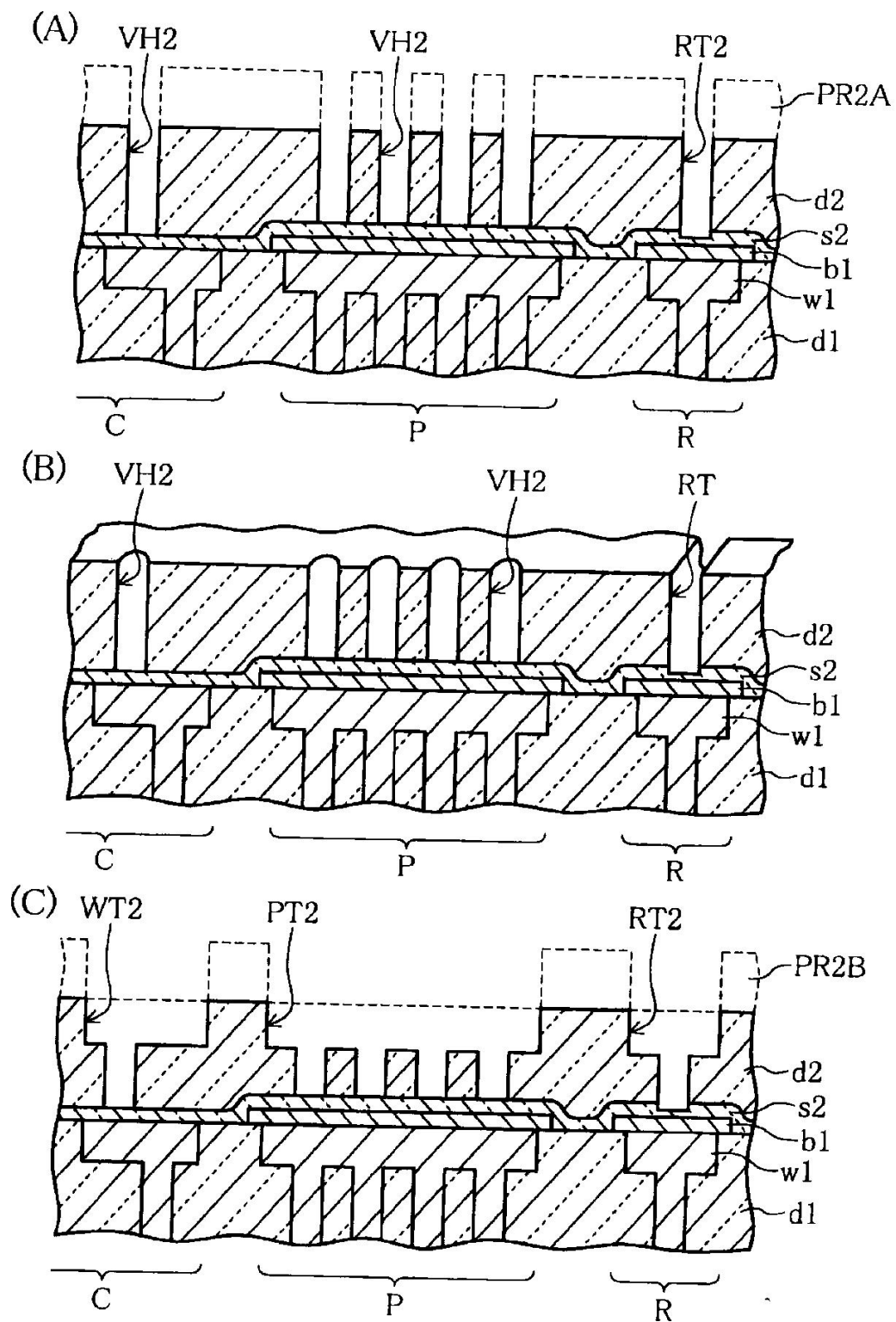


Figure 4

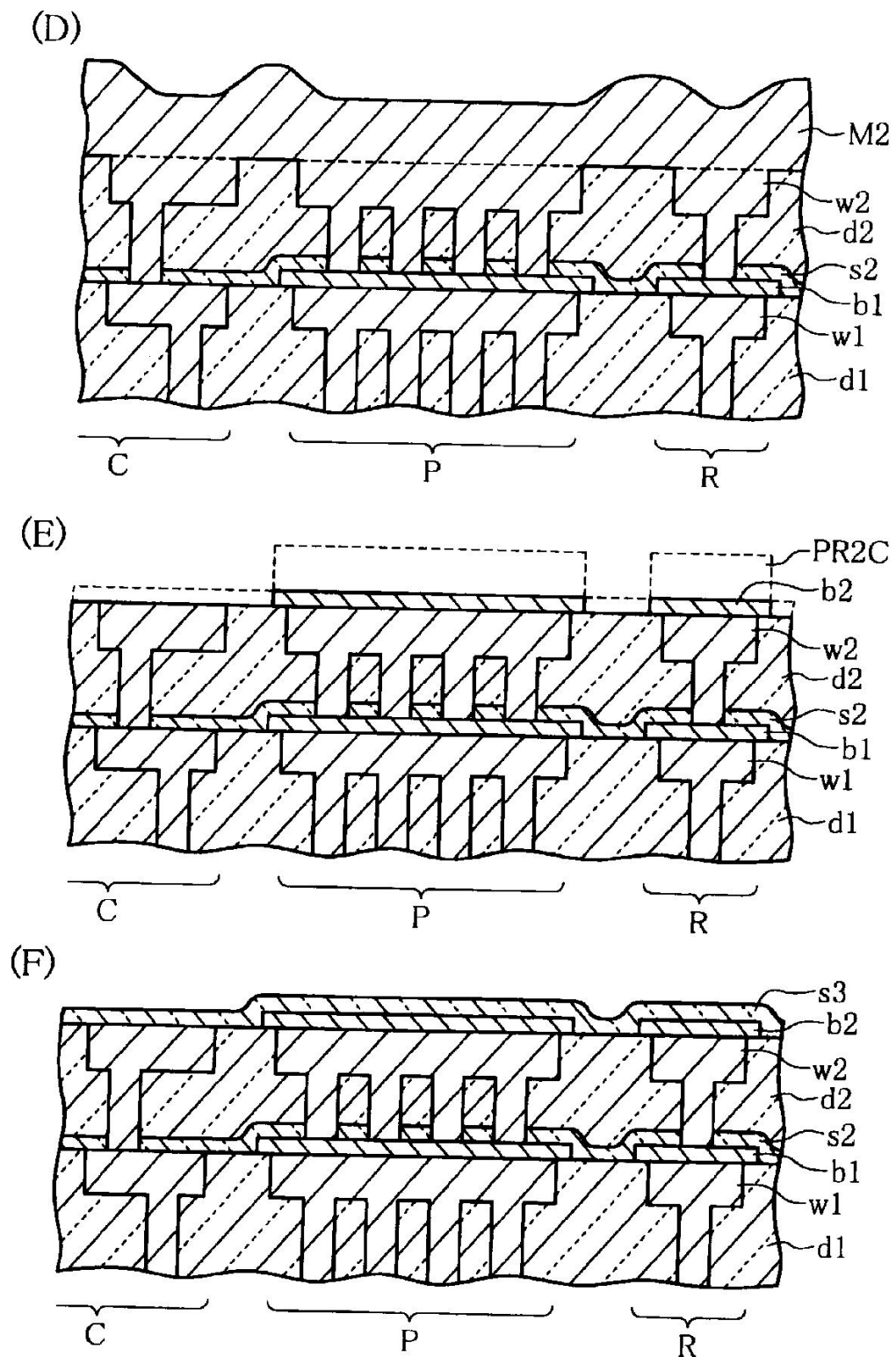


Figure 5

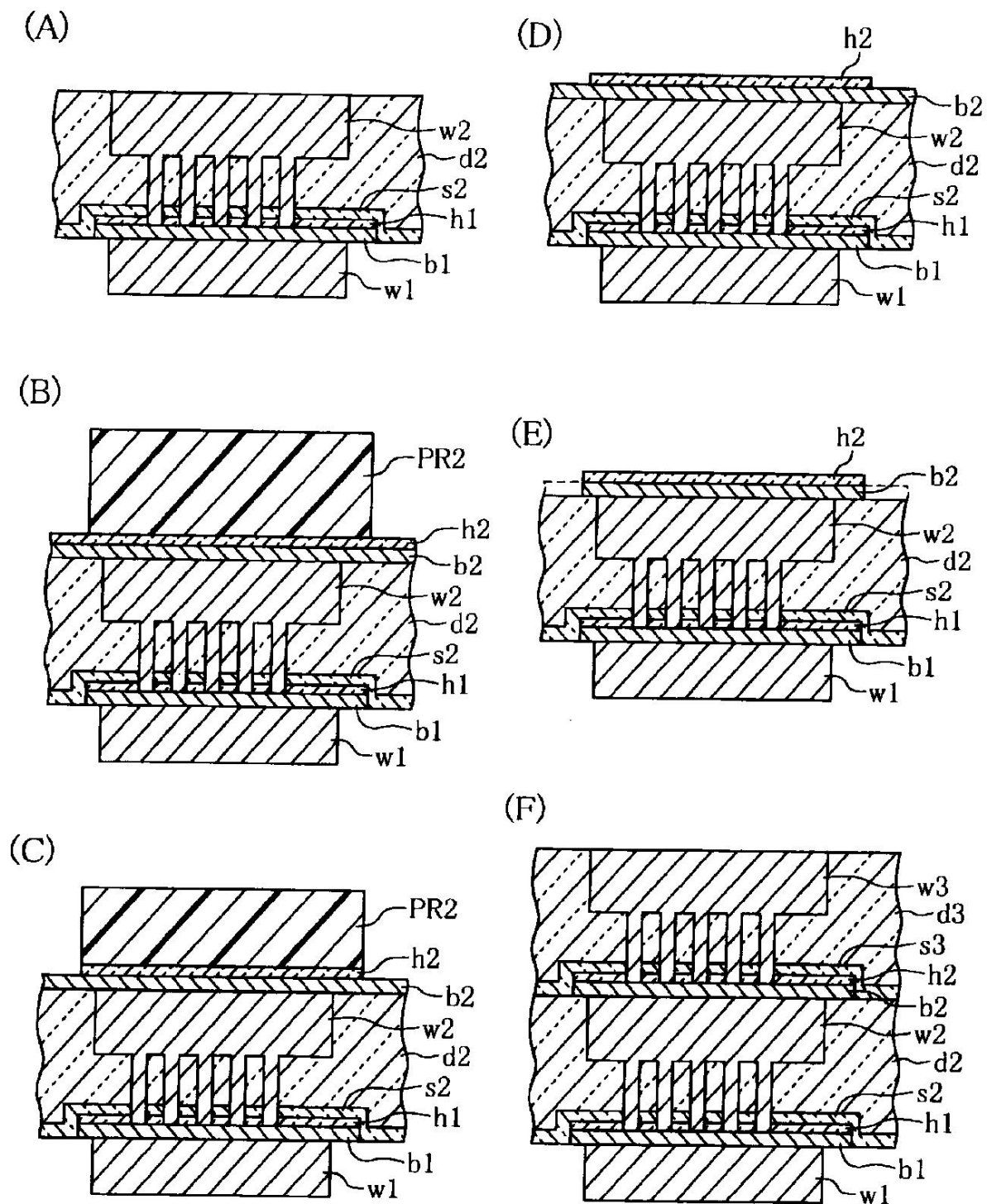


Figure 6

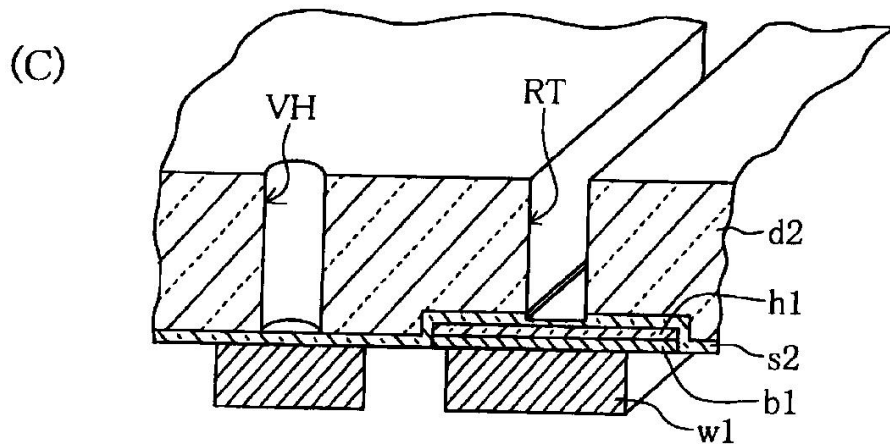
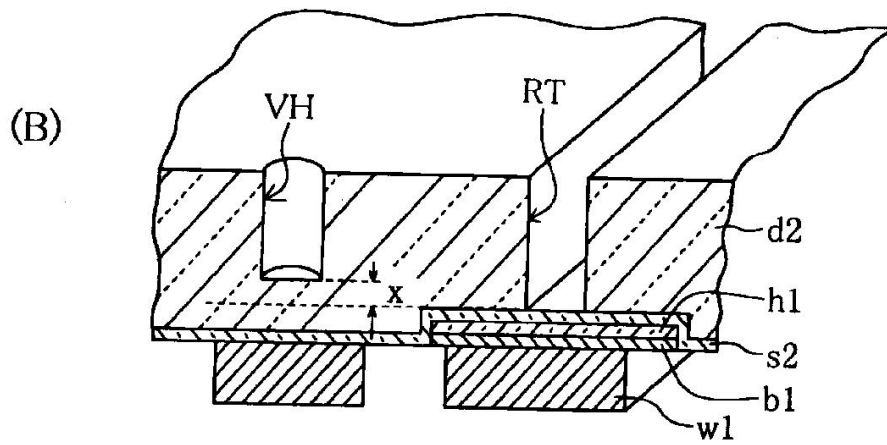
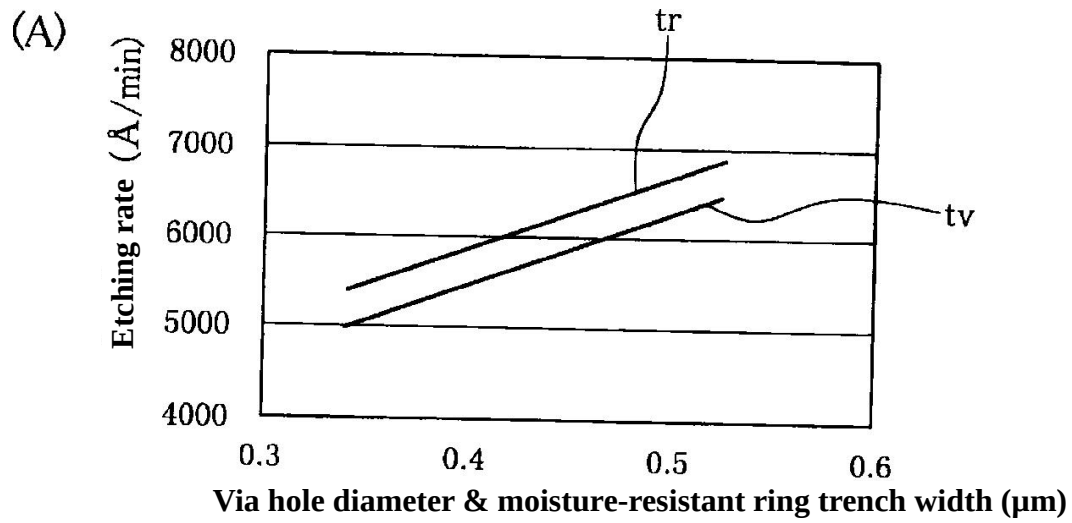


Figure 7

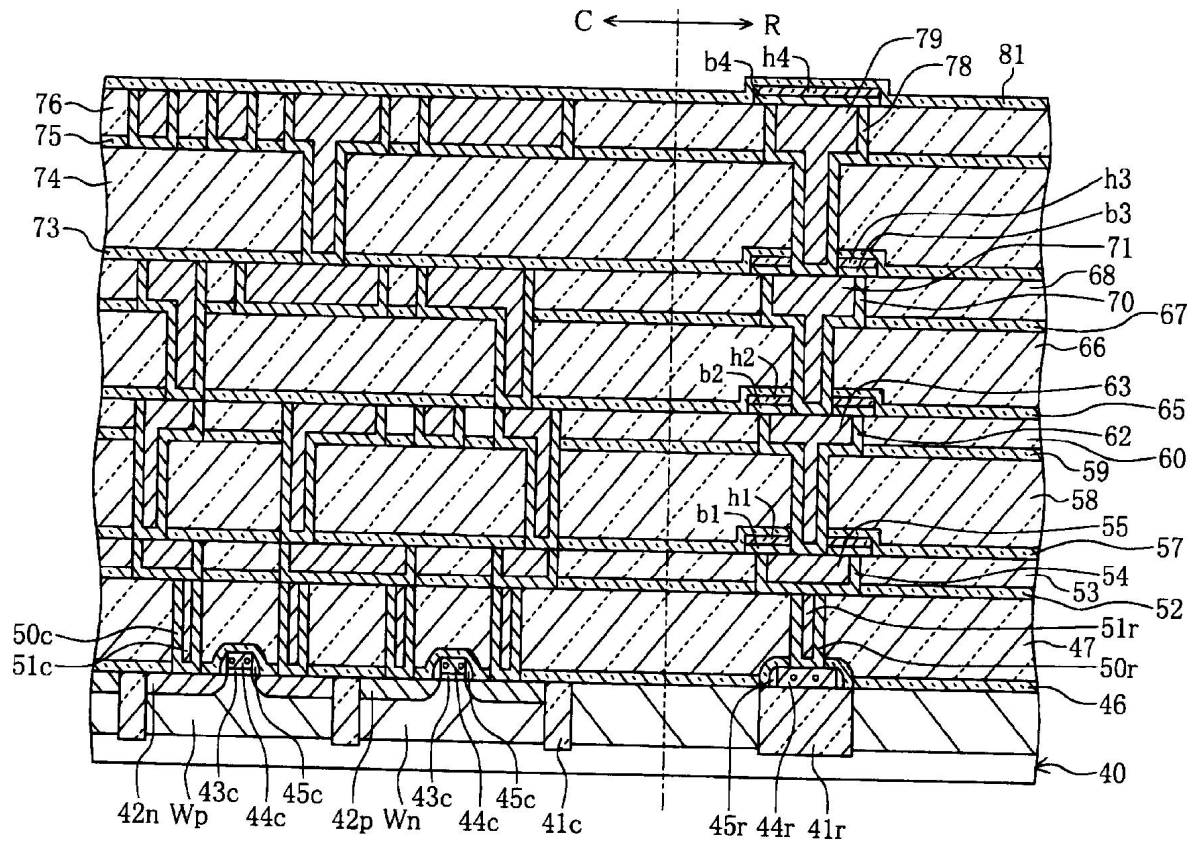


Figure 8

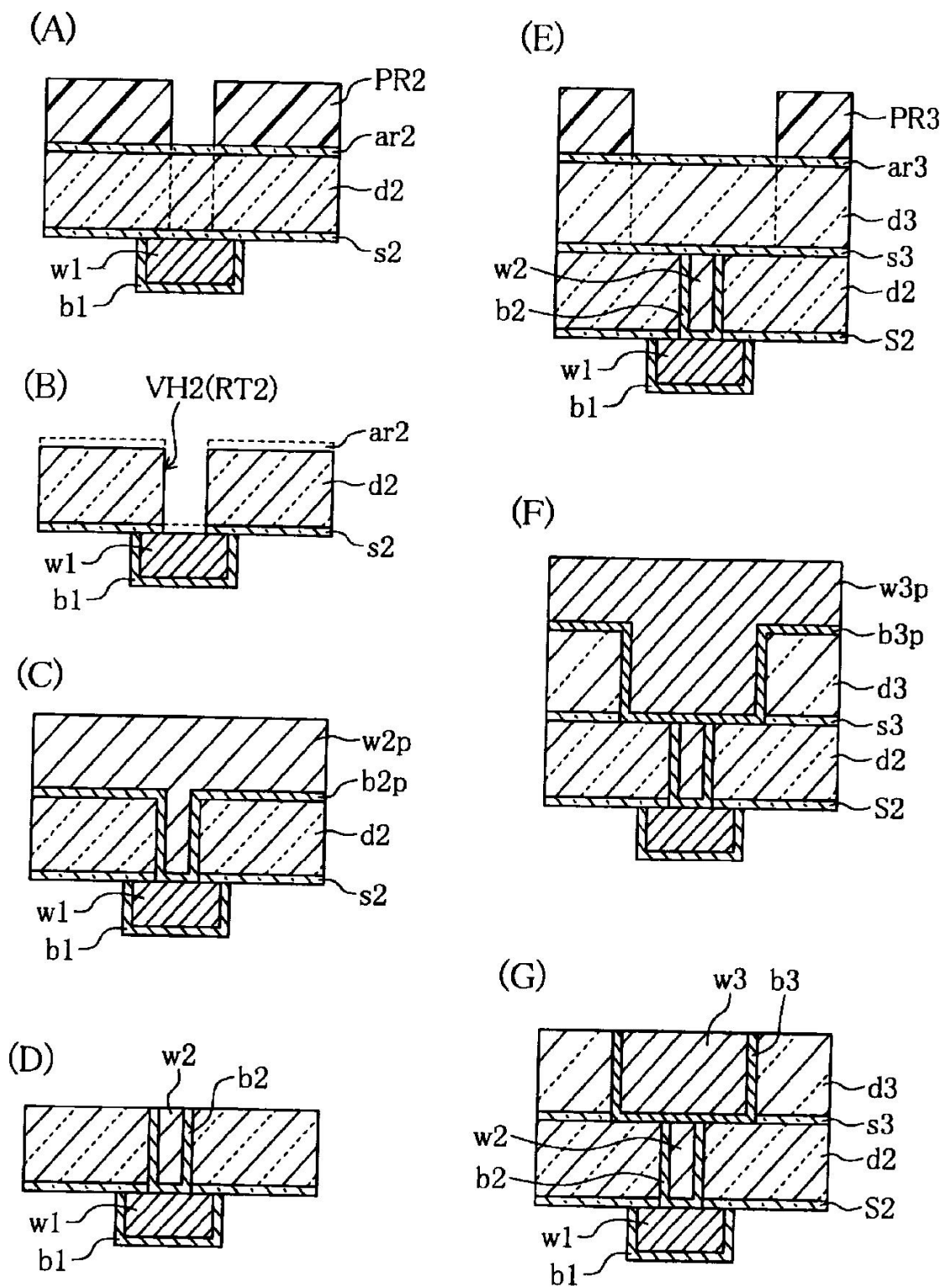


Figure 9

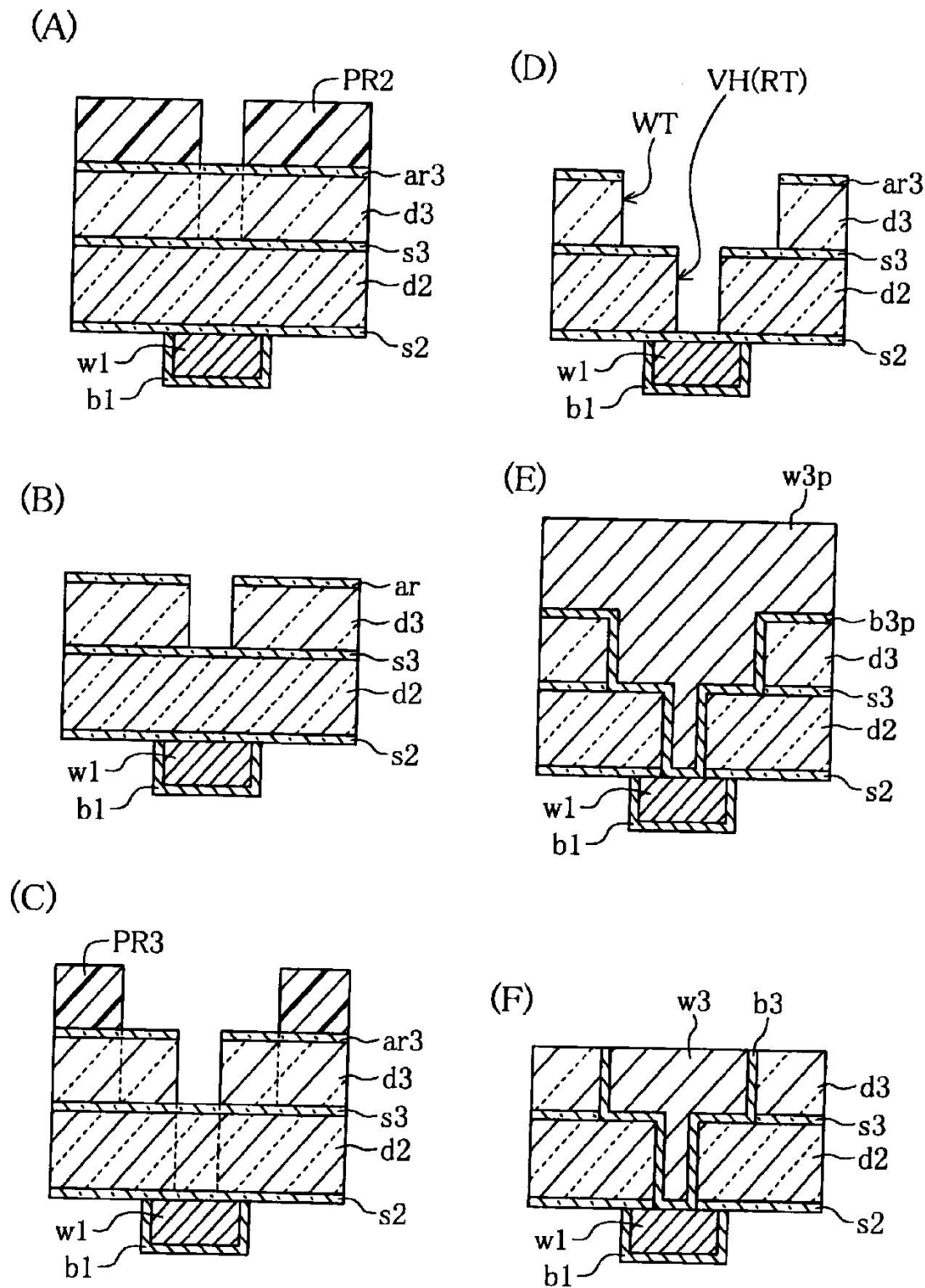


Figure 10

Conventional Technology

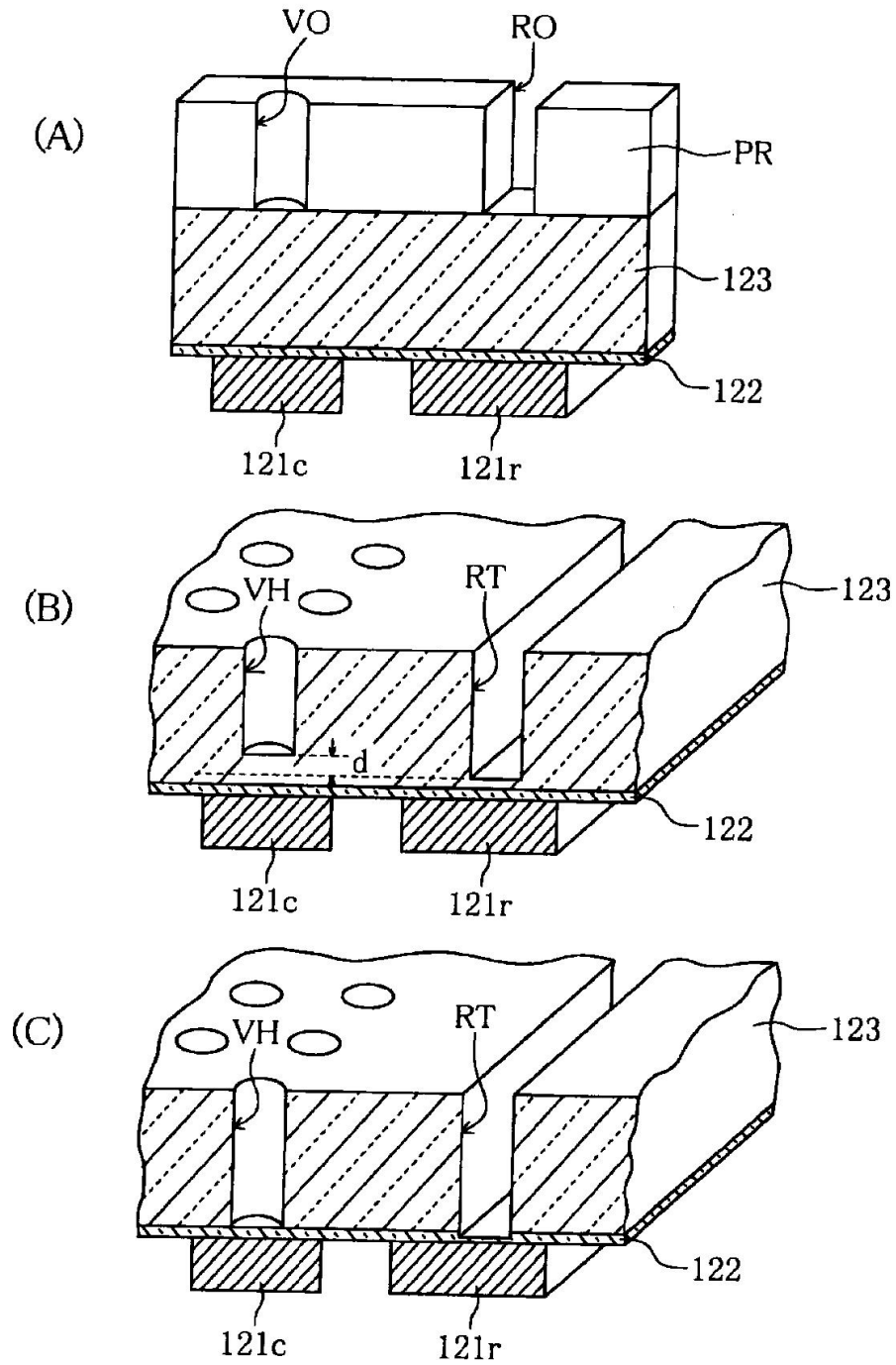
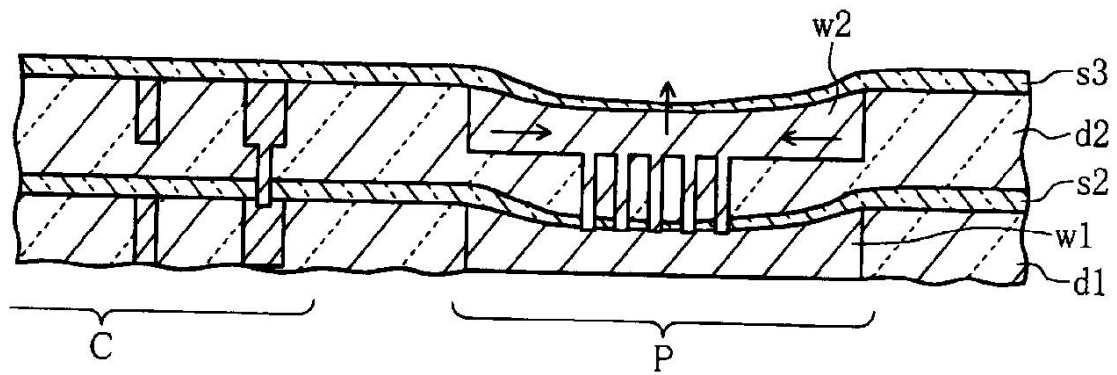
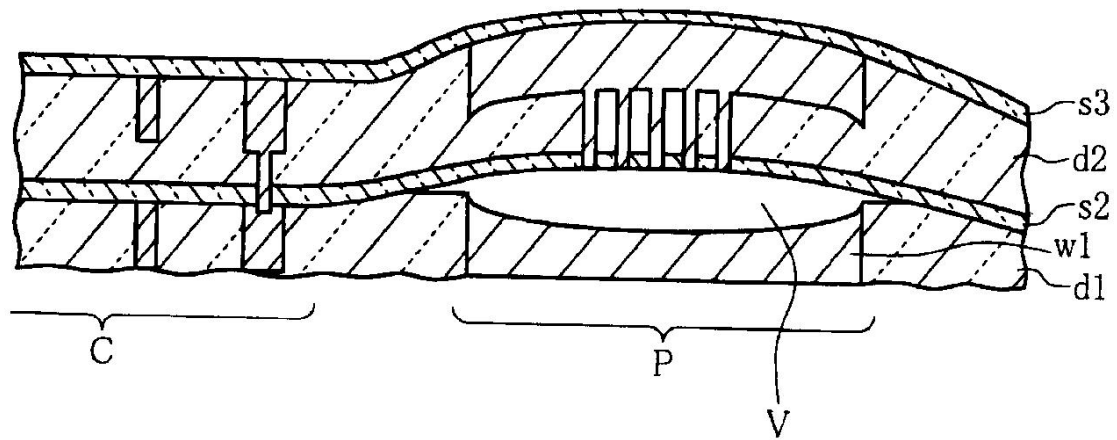


Figure 11

(A)



(B)



Continuation from the front page . . .

F-term (reference): 5F033 HH07 HH08 HH11 HH13 HH14
HH18 HH19 HH21 HH32 HH33
JJ07 JJ08 JJ11 JJ13 JJ14
JJ18 JJ19 JJ21 JJ32 JJ33
KK07 KK08 KK11 KK13 KK14
KK18 KK19 KK21 KK32 KK33
MM02 MM12 MM13 NN06 NN07
PP06 PP15 PP27 QQ25 QQ48
QQ71 RR01 RR04 RR06 RR08
RR11 RR14 RR15 RR21 RR29
SS04 SS15 VV00 VV06 VV07
XX00 XX10 XX18 XX25
5F044 EE06 EE08 EE12

I, Yukie Hirose, hereby declare as follows:

1. I, Yukie Hirose, hereby certify that I am a professional translator fluent in both Japanese and English and I am competent to translate from Japanese into English.
2. I am a translator at Nelles Translations, which is located at 3 Grant Square, #336, Hinsdale, IL 60521.
3. I possess advanced knowledge of the Japanese and English languages.
4. The attached translation is, to the best of my knowledge and belief, a true and accurate translation from the Japanese patent **JP20020289689A** to English.
5. I declare under penalty of perjury that all statements made herein of my own knowledge are true and all statements made on information and belief are believed to be true, and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment or both, under Section 1001 of Title 18 of the United States Code.

Dated: 5/14/25

A handwritten signature in black ink, appearing to read 'Yukie Hirose', is written over a solid black horizontal line.

Ms. Yukie Hirose

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-289689

(P2002-289689A)

(43)公開日 平成14年10月4日(2002.10.4)

(51)Int.Cl. ⁷	識別記号	F I	テームコード*(参考)	
H 0 1 L 21/768		H 0 1 L 21/60	3 0 1 P	5 F 0 3 3
21/60	3 0 1	21/90	B	5 F 0 4 4
21/3205		21/88	T	

審査請求 未請求 請求項の数5 O L (全 17 頁)

(21)出願番号 特願2001-93671(P2001-93671)

(22)出願日 平成13年3月28日(2001.3.28)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(71)出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72)発明者 駒田 大輔

愛知県春日井市高蔵寺町二丁目1844番2号

富士通ヴィエルエスアイ株式会社内

(74)代理人 100091340

弁理士 高橋 敬四郎

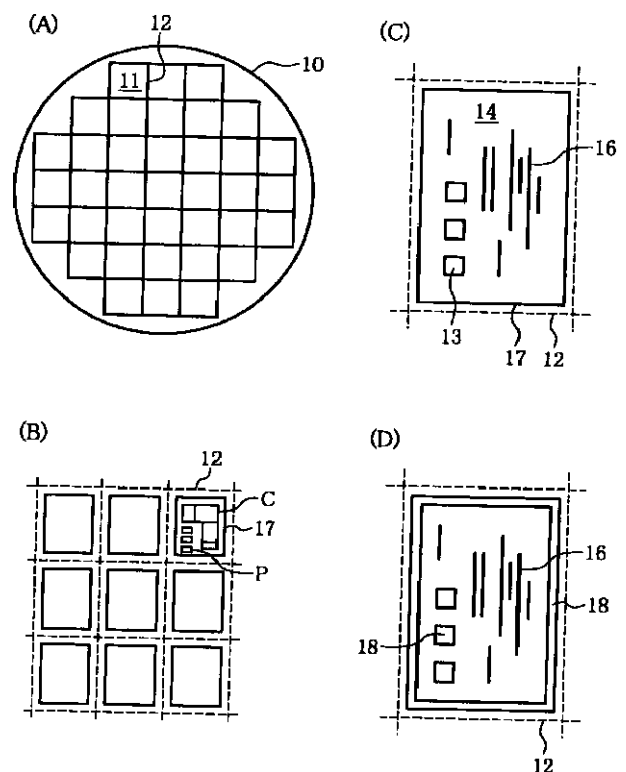
最終頁に続く

(54)【発明の名称】 半導体集積回路装置とその製造方法

(57)【要約】

【課題】 パッド部の剥がれを防止し、ビア孔と耐湿リング溝とのエッチングにおいて、下層配線へのダメージを最小にする。

【解決手段】 半導体集積回路装置は、半導体基板と、その上に形成された第1絶縁層と、第1絶縁層に埋め込まれ、配線層と、パッド層と、これらの外側を囲むように配置された耐湿リング層とを含む第1導電層と、パッド層と耐湿リング層それぞれの上面から第1絶縁層上に延在する第1導電性バリア層と、第1導電性バリア層を覆って、第1絶縁層上に形成された第2絶縁層と、第2絶縁層を貫通して、下層配線層に達する配線層および下層導電性バリア層に達するパッド層と耐湿リング層とを含む第2導電層と、パッド層と耐湿リング層それぞれの上面から第2絶縁層上に延在する第2導電性バリア層とを有する。



【特許請求の範囲】

【請求項 1】 複数の半導体素子を形成した半導体基板と、

前記半導体基板上に形成された第 1 絶縁層と、

前記第 1 絶縁層に埋め込まれた第 1 導電層であって、第 1 配線層と、第 1 パッド層と、該第 1 配線層、第 1 パッド層の外側を囲むように配置された第 1 耐湿リング層とを含む第 1 導電層と、

前記第 1 導電層のうち、前記第 1 パッド層と前記第 1 耐湿リング層それぞれの上面から前記第 1 絶縁層上に延在する第 1 上側導電性バリア層と、

前記第 1 上側導電性バリア層を覆って、前記第 1 絶縁層上に形成された第 2 絶縁層と、

前記第 2 絶縁層に埋め込んで形成された第 2 導電層であって、前記第 1 配線層に達する第 2 配線層、および前記第 1 上側導電性バリア層に達する第 2 パッド層と第 2 耐湿リング層とを含む第 2 導電層と、

前記第 2 導電層のうち、前記第 2 パッド層と前記第 2 耐湿リング層それぞれの上面から前記第 2 絶縁層上に延在する第 2 上側導電性バリア層とを有する半導体集積回路装置。

【請求項 2】 前記第 1 導電層および第 2 導電層が、それぞれ、下側導電性バリア層と主配線層との積層構造を有し、前記第 1 および第 2 上側導電性バリア層および下側導電性バリア層のそれぞれが、チタン、チタン化合物、タンタル、タンタル化合物、これらの混合物のいずれかで形成された層を含み、前記第 1 上側導電性バリア層は、前記第 1 パッド層と前記第 1 耐湿リング層それぞれの上面を内包する平面形状を有し、前記第 2 上側導電性バリア層は、前記第 2 パッド層と前記第 2 耐湿リング層それぞれの上面を内包する平面形状を有し、前記第 1 および第 2 絶縁層のそれぞれが下側のエッチングストッパ層とその上の層間絶縁層とを含む請求項 1 記載の半導体集積回路装置。

【請求項 3】 (a) 複数の半導体素子を形成した半導体基板上に、第 1 絶縁層を形成する工程と、

(b) 該第 1 絶縁層に第 1 導電層を埋め込む工程であって、第 1 配線層と、第 1 パッド層と、該第 1 配線層、第 1 パッド層の外側を囲む第 1 耐湿リング層とを含む第 1 導電層を該第 1 絶縁層に埋め込んで形成する工程と、

(c) 前記第 1 導電層のうち、前記第 1 パッド層と前記第 1 耐湿リング層それぞれの上面から前記第 1 絶縁層上に延在する第 1 上側導電性バリア層を形成する工程と、

(d) 前記第 1 上側導電性バリア層を覆い、前記第 1 絶縁層上に第 2 絶縁層を形成する工程と、

(e) 前記第 2 絶縁層を貫通して、前記第 1 配線層に達するビア孔をエッチングすると共に、前記第 1 上側導電性バリア層に達するパッド用接続孔、耐湿リング溝をエッチングする工程と、

(f) 前記ビア孔、パッド用接続孔、耐湿リング溝を用

いて、第 2 配線層と、第 2 パッド層と、該第 2 配線層、第 2 パッド層の外側を囲む第 2 耐湿リング層とを含む第 2 導電層を前記第 2 絶縁層に埋め込んで形成する工程とを含む半導体装置の製造方法。

【請求項 4】 さらに、(g) 前記第 2 導電層のうち、前記第 2 パッド層と前記第 2 耐湿リング層それぞれの上面から前記第 2 絶縁層上に延在する第 2 上側導電性バリア層を形成する工程を含む請求項 3 記載の半導体装置の製造方法。

【請求項 5】 前記工程 (c)、(g) が、前記第 1 または第 2 絶縁層上に上側導電性バリア層とハードマスク層とを積層する工程と、前記ハードマスク層上にレジストパターンを形成する工程と、前記レジストパターンをマスクとして前記ハードマスク層をエッチングしてパターン化する工程と、前記レジストパターンを除去する工程と、前記ハードマスク層のパターンをマスクとして前記上側導電性バリア層をエッチングしてパターン化する工程とを含む請求項 4 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、特に多層配線を有する半導体集積回路装置およびその製造方法に関する。

【0002】

【従来の技術】半導体集積回路装置は、半導体チップ内に多数の素子を形成し、半導体チップ上に多層配線を形成することによって作成される。ボンディング用パッドも多層配線層を積層して形成される。以下、特に断らない限り、配線層はパッドも含むものとする。多層配線は、多層の配線層と、配線層間を絶縁する層間絶縁層によって形成される。従来、異なる層間の電氣的接続を形成するため、層間絶縁層上に上層の配線層を形成する前に、層間絶縁層を貫通するビア孔が形成される。上層配線を形成する際に、ビア孔内も配線層で埋められる。

【0003】配線パターンの形成は、層間絶縁層上に配線層を形成し、その上にレジストマスクを形成し、レジストマスクをエッチングマスクとして配線層をエッチングすることによって行なわれる。配線パターン側壁上の堆積物等は、アルカリ薬液等によって除去される。その後、同層内の配線パターン間及び上層及び下層の配線パターン間を絶縁するために、酸化シリコン等で形成される層間絶縁層をプラズマ CVD 等を用いて形成する。

【0004】従来、配線材料としては、エッチングの可能なアルミニウム (Al) やタングステン (W) 等が用いられた。配線パターン形成後、レジストマスクを除去するためのアッシングにおいて、配線パターン表面が酸化されるのを防止するため、Al や W の主配線層の上に、TiN 等の酸化防止層を形成することも行なわれる。

【0005】酸化シリコン等の層間絶縁層は、大気中の

水分を透過する性質を有する。大気中の水分が半導体素子に到達すると、半導体素子の特性を損なわせてしまう。大気中からの水分の侵入を防止するため、最上の絶縁層の上に、水分遮蔽能を有するSiN等のパッシベーション膜を形成すると共に、チップ周縁部に水分の侵入を遮蔽する導電体の耐湿リングが形成される。

【0006】耐湿リングは、層間絶縁層のビア孔を形成するエッチングと同時に回路領域をループ状に囲むリング溝をエッチングで形成し、配線形成工程によってリング溝内を配線層で埋め、パターニングすることによって形成される。

【0007】半導体集積回路装置においては、常に集積度の向上が求められている。集積度を向上するため、半導体素子は微細化され、単位面積内により多くの半導体素子を形成する。半導体素子が微細化されると、その上に形成される配線の密度も増加する。配線密度が増加すると、各配線の幅及び同層内の隣接する配線間の間隔は減少する。

【0008】配線層の厚さを同一に保つと、配線幅の減少は抵抗の増加を伴う。また、隣接する配線間の間隔の減少は、配線間の容量の増加を伴う。配線抵抗の増加を低減するためには、配線層の厚さを厚くすることが望まれる。配線の断面積を一定に保とうとすれば、配線幅の減少分を配線厚さの増加により補償しなければならない。

【0009】しかしながら、配線層の厚さを増加すると、隣接する配線間の対向面積が増大し、配線間の容量をさらに増加させることになる。配線抵抗の増大および配線間容量の増大は、信号伝達スピードを減少させることになる。メモリ装置においては、高集積化と低消費電力化が主な課題であるため、従来通りAl等の配線材料が用いられている。

【0010】ロジック回路においては演算速度が主な課題であり、信号伝達スピードの減少は極力防がなければならない。このため、配線の抵抗を低減し、付随容量を低減することが望まれる。配線の抵抗を低減するためには、配線材料としてAlよりも抵抗率の低いCu等の高融点金属を用いることが提案されている。配線の付随容量を低減するためには、配線間を絶縁する絶縁層の誘電率を低減することが提案されている。例えば、低誘電率の絶縁層として、弗素を含むシリコン酸化物(FSG)膜等が用いられる。

【0011】Cu配線は、エッチングによってパターニングすることが困難である。このため、Cu層のパターンを形成するために、絶縁層に溝(トレンチ)を形成し、溝を埋め戻すようにCu層を形成し、絶縁層上の不要のCu層を化学機械研磨(CMP)等によって除去するダマシンプロセスが用いられる。ダマシンプロセスとして、シングルダマシンプロセスとデュアルダマシンプロセスとが知られている。

【0012】シングルダマシンプロセスでは、下層絶縁層上にビア孔用ホトレジストパターンを形成し、ビア孔をエッチングし、ホトレジストパターンを除去した後Cu層を形成し、不要のCu層をCMPで除去し、さらに上層絶縁層を形成し、その上に配線パターン溝用ホトレジストパターンを形成し、上層絶縁層に配線パターン溝をエッチングし、ホトレジストパターンを除去した後Cu層を形成し、不要のCu層をCMPで除去する。

【0013】デュアルダマシンプロセスでは、絶縁層上にビア孔用ホトレジストパターンを形成し、ビア孔をエッチングし、同一絶縁層上に配線パターン溝用ホトレジストパターンを形成し、配線パターン溝をエッチングし、その後同一プロセスでビア孔と配線パターン溝とを埋め戻すCu層を形成し、CMPにより不要Cu層を除去する。

【0014】なお、ビア孔を形成した後、ホトレジストパターンをアッシングで除去する時、下層Cu配線層が露出していると、露出しているCu配線表面が酸化されてしまう。Cu配線表面の酸化を防止するために、Cu配線パターンを形成した後、Cu配線表面を覆ってエッチングストップの機能を有する酸化防止膜を形成する。このエッチングストップ兼用酸化防止膜は、例えばSiN層によって形成される。

【0015】エッチングストップ兼用酸化防止膜を絶縁層の下に配置した場合、絶縁層を貫通し、エッチングストップ兼用酸化防止膜を露出するビア孔をエッチングにより形成し、この段階でホトレジストパターンはアッシングにより除去する。その後ビア孔底に露出したエッチングストップ兼用酸化防止膜を除去する。簡単のため、エッチングストップ兼用酸化防止膜をエッチングストップ層と呼ぶ。

【0016】なお、Cuは酸化シリコン等の絶縁層中に拡散し、絶縁層の誘電特性及び絶縁性能を劣化させる性質を有する。Cuの拡散を防止するために、Cu配線層形成前にTiN、Ta₂N等のバリア層を形成し、その上にCu配線層を形成する。Cu配線上側に配置されるエッチングストップ層も拡散防止の機能を有する。

【0017】パッドは、配線層と同様に形成される。配線パターンと同時にパッドパターンを形成し、ビア孔と同時にパッド接続用孔を形成し、ビア導電体と同時にパッド用の導電性プラグを形成する。パッドは面積が広いので、1パッド当り多数のビア孔を形成し、上下パッドパターン間を多数の導電性プラグで接続する。

【0018】Cu配線を採用した場合の耐湿リングは、ビア孔のエッチング及び配線パターン溝用のエッチングと同時に、チップ周縁部において絶縁層をループ溝状にエッチングし、その後のバリア層堆積、Cu配線層形成と同時に耐湿リング用溝内にもバリア層、Cu配線層を形成することによって作成される。

【0019】微細化されたパターンのエッチングにおい

ては、狭い面積のエッチングレートが、広い面積のエッチングレートよりも遅くなるマイクロローディング効果が生じることが知られている。配線用ビア孔の径は、回路設計により例えば最小寸法（ルール）に決定される。

【0020】パッド部においては、ビア孔と同径の接続用孔が多数形成される。耐湿リングは、ループ状に連続する必要があり、リング溝を形成する必要がある。耐湿リング溝の幅をビア孔径より大きくするとマイクロローディング効果により耐湿リング溝がオーバーエッチングされる。そこで、耐湿リング溝の幅も、ビア孔径と同一寸法に設計する。

【0021】図10（A）～（C）を参照し、ビア孔のエッチングと耐湿リング溝のエッチングの状況を説明する。必要に応じ、回路領域の構成要素には、参照記号にcを付して表わし、耐湿リング領域の構成要素には、参照記号にrを付して表わす。

【0022】図10（A）に示すように、下層配線パターンにより、回路領域に下層配線121c、耐湿リング領域に導電リング121rが形成されている。これらの下層導電体パターンを覆うように、SiN等のエッチングストップパ層122が形成され、その上に層間絶縁層123が形成されている。

【0023】層間絶縁層123の上に、ビア孔用開口VO及び耐湿リング溝用開口ROを有するレジストパターンPRが形成される。ビア孔用開口VOの径と、耐湿リング溝用開口ROの幅は、同一寸法である。このようなホトレジストパターンPRをエッチングマスクとし、層間絶縁層123をエッチングする。

【0024】図10（A）に示すように、ビア孔用開口VOの径と耐湿リング溝用開口ROの幅は同一寸法であるが、図10（B）に示すように、エッチングはビア孔VHよりも耐湿リング溝RTでより速く進む。このため、ビア孔VHの底面と、耐湿リング溝RTの底面との間に高さの差dが生じる。

【0025】図10（C）に示すように、層間絶縁層123のエッチングは耐湿リング溝RTにおいて先に終了する。その後もエッチングを続けることによって、ビア孔VHのエッチングも終了する。この間、耐湿リング溝RTでは、オーバーエッチングが行なわれる。

【0026】耐湿リング溝RTのエッチングが終了してから、ビア孔VHのエッチングが終了するまでの間、耐湿リング溝RT底面に露出したエッチングストップパ層122はオーバーエッチングされる。

【0027】例えば、シリコン酸化膜に対するシリコン窒化膜のエッチレート比は、1/10ないし1/15と比較的小さな値を有するが、エッチングストップパ層122が確実に残るようになるためには、エッチングストップパ層122を厚く形成することが必要となる。エッチングストップパ層のSiN膜は、高い誘電率を有する。エッチングストップパ層122を厚くすると、同層内配線間の

付随容量を増加させてしまう。

【0028】図11（A）、（B）は、パッド部の剥がれの問題を説明するための概略断面図である。

【0029】図11（A）は、回路部Cとパッド部Pの構造を概略的に示す。1層面の層間絶縁層d1に、1層目の配線層w1が埋め込まれて形成されている。1層目の配線層を覆うように、2層面のエッチングストップパ層s2が層間絶縁層d1の上に形成され、その上にさらに2層面の層間絶縁層d2が形成されている。2層目の層間絶縁層d2に埋め込んで2層目の配線層w2が形成されている。配線層w1、w2は、パッド部Pにおいては、広いパッドパターンと上下のパッドパターンを接続するための導電性プラグを含む。なお、2層目の配線層w2を覆って、2層目の層間絶縁層d2の上に、3層目のエッチングストップパ層s3が形成されている。

【0030】接続用導電性プラグの断面積が狭いのと比較し、パッドパターンの面積が広いいため、パッドパターンの体積は導電性プラグの体積と較べ大きく、引っ張り応力が強くなる。さらに、導電層を分離するための化学機械研磨（CMP）において、広い面積を有するパッドパターンは、ディッシング・エロージョンを受ける。このため、パッドパターン中央部は周縁部および配線部と比べ中央部が凹んでいる。このような構成において、パッドパターンに働く圧縮応力は、中央部で上方に向い、接続用導電性プラグ底面での密着力に打ち勝ってしまう。

【0031】図11（B）に示すように、パッドパターンに働く応力が接続用導電性プラグの密着力に打ち勝つと、上下パッド層が剥がれ、中間に空隙Vが生じてしまう。このようなパッドの剥がれは、パッド部分にのみ生じ、配線パターンや耐湿リングには生じない。

【0032】また、多層配線を形成した時、どの層のどのパッドに剥がれが生じるかはランダムな現象となる。また、配線層を分離するためのCMPの後には剥がれは生じ難く、その後アニール処理を行なうと発生しやすくなる。1層の配線層を形成しただけでは剥がれは生じ難いが、2層、3層と配線を積み重ねると発生頻度は高くなる。

【0033】このような問題に対して、CMPで配線層を研磨する際、配線層表面が周囲の絶縁層よりもオーバーに研磨を行ない、その上にTi等の金属層を積層し、さらにCMPで研磨することによって配線層を形成する方法が提案されている。この方法によれば、各配線パターンの上面には、Ti層等が形成されることになる。

【0034】このような埋め込みTi層により、応力による変形を十分抑えようとする、配線層の表面を十分凹ませることが必要となろう。全配線層の表面部にTi等の埋め込み層を形成すると、低抵抗のCu層の体積が減少し、配線の抵抗を高くしてしまうことになる。

【0035】

【発明が解決しようとする課題】本発明の目的は、多層配線を有する半導体集積回路装置の新規な構成と、その製造方法を提供することである。

【0036】本発明の他の目的は、ダマシンプロセスのエッチングにおいて、ビア孔と耐湿リング溝とのエッチレート差による影響を最小にできる半導体集積回路装置の構造及び半導体集積回路装置の製造方法を提供することである。

【0037】本発明のさらに他の目的は、多層配線を有し、パッド部の剥がれを防止することのできる半導体集積回路装置の新規な構成と、その製造方法を提供することである。

【0038】

【課題を解決するための手段】本発明の一観点によれば、複数の半導体素子を形成した半導体基板と、前記半導体基板上に形成された第1絶縁層と、前記第1絶縁層に埋め込まれた第1導電層であって、第1配線層と、第1パッド層と、該第1配線層、第1パッド層の外側を囲むように配置された第1耐湿リング層とを含む第1導電層と、前記第1導電層のうち、前記第1パッド層と前記第1耐湿リング層それぞれの上面から前記第1絶縁層上に延在する第1上側導電性バリア層と、前記第1上側導電性バリア層を覆って、前記第1絶縁層上に形成された第2絶縁層と、前記第2絶縁層に埋め込んで形成された第2導電層であって、前記第1配線層に達する第2配線層、および前記第1上側導電性バリア層に達する第2パッド層と第2耐湿リング層とを含む第2導電層と、前記第2導電層のうち、前記第2パッド層と前記第2耐湿リング層それぞれの上面から前記第2絶縁層上に延在する第2上側導電性バリア層とを有する半導体集積回路装置が提供される。

【0039】本発明の他の観点によれば、(a) 複数の半導体素子を形成した半導体基板上に、第1絶縁層と該第1絶縁層に埋め込まれた第1導電層であって、第1配線層と、第1パッド層と、該第1配線層、第1パッド層の外側を囲む第1耐湿リング層とを含む第1導電層とを形成する工程と、(b) 前記第1導電層のうち、前記第1パッド層と前記第1耐湿リング層それぞれの上面から前記第1絶縁層上に延在する第1上側導電性バリア層を形成する工程と、(c) 前記第1上側導電性バリア層を覆い、前記第1絶縁層上に第2絶縁層を形成する工程と、(d) 前記第2絶縁層中に、前記第1配線層に達するビア孔をエッチングすると共に、前記第1上側導電性バリア層に達するパッド用接続孔、耐湿リング溝をエッチングする工程と、(e) 前記第2絶縁層中に、前記ビア孔、パッド用接続孔、耐湿リング溝に連続するパターン溝をエッチングする工程と、(f) 前記ビア孔、パッド用接続孔、耐湿リング溝、パターン溝を埋め込んで、第2配線層、第2パッド層、第2耐湿リング層を含む第2導電層を前記第2絶縁層に埋め込んで形成する工程

と、(g) 前記第2導電層のうち、前記第2パッド層と前記第2耐湿リング層それぞれの上面から前記第2絶縁層上に延在する第2上側導電性バリア層を形成する工程とを含む半導体装置の製造方法が提供される。

【0040】耐湿リング溝は、幅方向においては高いアスペクト比を有するが、延在方向においてはアスペクト比が格段に低くなる。これに対し、ビア孔においては、面内の全方向において高いアスペクト比を有する。

【0041】このため、マイクロローディング効果により、ビア孔のエッチレートは、同一寸法では、耐湿リング溝のエッチレートよりも小さくなる。耐湿リング溝の下に上側導電性バリア層を配置することにより、エッチングのマージンを広くすることが可能となり、下層配線へのダメージを少なくすることができる。

【0042】パッドのパターンは、配線層のパターンと比べ著しく大きい。このため、CMPにおいてもディッシング、エロージョンを受け、中央部が凹む。パッドパターン部は大きな応力を受ける。パッドパターン部が応力により上側に押し上げられようとした時、パターン部の上から絶縁層上に延在する上側導電性バリア層が、変形を阻止する。このため、パッド部の剥がれが防止される。

【0043】

【発明の実施の形態】本発明の実施例の説明の前に、ビア孔と耐湿リング溝のエッチングを解析する。図6

(A) は、ビア孔の径と耐湿リング溝の幅を同一の値とした場合のエッチングレートを示すグラフである。横軸がビア孔の径及び耐湿リング溝の幅を単位 μm で示し、縦軸がエッチングレートを単位 $\text{\AA}/\text{min}$ で示す。

【0044】曲線 t_v は、ビア孔のエッチングレートを示し、曲線 t_r は耐湿リング溝のエッチングレートを示す。ビア孔のエッチングレート t_v は、常に耐湿リング溝のエッチングレート t_r よりも低い値を示す。さらに、このエッチングレート差のエッチングレートに対する比の絶対値は、ビア孔径及び耐湿リング溝幅が小さくなるほど大きくなる。このため、耐湿リング溝のエッチングが終了しても、ビア孔のエッチングは終了せず、オーバーエッチングが必要となる。

【0045】以下図面を参照して本発明の実施例を説明する。

【0046】以下、制限的意味無く、中央演算装置 (CPU) を例にとって説明する。

【0047】図1 (A) は、CPUを作成するウエハの上面図を示す。ウエハ10の表面上には、多数のチップ領域11が画定されている。各チップ領域を囲む線12は、スクライブラインである。

【0048】図1 (B) は、単一のチップ11内の平面構成を示す。チップ11中央部には、デコーダ、演算回路、SRAM、入出力回路 (I/O) 等が配置された回路領域C、回路領域からの配線を外部に取り出すための

パッド部Pが画定され、回路領域C、パッド部Pを取り囲むように耐湿リング17が画定されている。

【0049】図1（C）は、ある配線層が形成された状態の1チップの上面構成を概略的に拡大して示す。絶縁層14中に、パッドパターン13、配線パターン16、耐湿リング17が埋め込まれて形成されている。

【0050】図1（D）は、図1（C）の平面の上に形成される上側導電性バリア層の配置を概略的に示す。上側導電性バリア層18は、パッドおよび耐湿リングの上面から絶縁層14上に延在するように、好ましくはパッドおよび耐湿リングの上面を内包するパターンに、形成されている。但し、配線16の上には上側導電性バリア層18は形成されない。上側導電性バリア層18は、パッドの変形を抑圧する機能と、耐湿リング溝のエッチングにおいてエッチングマージンを増加させる機能とを有する。

【0051】パッドや耐湿リングは、チップ周辺部に配置され、その周囲には他の構造は通常存在しない。このため、パッド及び耐湿リングを覆う上側導電性バリア層18に要求される位置精度は低い。配線層のパターニングには、エキシマレーザ光を用いたリソグラフィ技術が必要な場合にも、パッドおよび耐湿リングを覆う上側導電性バリア層18のパターニングにはi線リソグラフィ等で十分である。このため、マスク工程が1枚増加するが必要な手間とコストは抑えることができる。

【0052】図2（A）、（B）、（C）は、パッド層の構成を説明するための平面図である。

【0053】図2（A）に示すように、絶縁層14にパッド層を埋め込むためのパッドパターン溝PTおよびパッドパターン溝底面から下方に延び下層のパッドパターンに達する接続用孔PVが形成される。

【0054】図2（B）に示すように、配線層を堆積し、CMPにより絶縁層14上の不要な配線層を除去することにより、図2（A）に示す溝部及び孔部に埋め込まれたパッド層13を得る。

【0055】図2（C）に示すように、さらにパッド層13上面から、周囲の絶縁層14上に延在する上側導電性バリア層18を形成する。好ましくは、図示のように上側導電性バリア層18は、パッド層13の全面を覆い、さらにその周辺に延在する部分を有する。但し、このようにパッド層13全面を覆うことは必ずしも必要ではなく、パッド層13上面から周囲の絶縁層14上に延在する部分を有すればパッド層13の変形を抑制するのに有効である。

【0056】図2（E）、（F）、（G）は、耐湿リング部の構成を説明するための上面図である。

【0057】図2（E）に示すように、先ず耐湿リング用の溝RTが絶縁層14中に形成される。

【0058】図2（F）に示すように、配線層を堆積し、絶縁層14上の不要部分をCMPなどにより除去す

ることにより、リング用溝RTに埋め込まれた耐湿リング17を得る。

【0059】図2（G）に示すように、さらに耐湿リング17上面から、周辺の絶縁層14上に延在する上側導電性バリア層18を形成する。この上側導電性バリア層18は、上層の耐湿リング用溝エッチング時にエッチングストップ層として機能するものであり、耐湿リング17の上面全面を覆うことが好ましい。

【0060】パッド層の上に、パッド層上面から周囲の絶縁層上に延在する上側導電性バリア層を設けることにより、パッド層の変形を抑制し、パッド層の剥がれを防止することができる。上下パッド層間は上側導電性バリア層を介して電氣的に接続される。

【0061】配線層として銅、タングステンなどの酸化され易い導電体を用い、レジストパターンの除去をアッシングで行う時は、絶縁層をエッチングストップ層と層間絶縁層の積層で形成することが好ましい。エッチングストップ層としては、シリコン窒化物、シリコンカーバイド（SiC、SiCH）、シリコンオキシナイトライド、などのシリコン系絶縁層を用いるのが好ましい。

【0062】図3（A）～（F）は、上側導電性バリア層を用いた多層配線構造の作成工程を概略的に示す断面図である。図3（A）において、左側に回路部Cの構成例を示し、中央部にパッド部Pの構成例を示し、右側に耐湿リングRの構成例を示す。

【0063】第1層間絶縁層d1に、第1配線構造w1が埋め込んで形成されている。回路部Cにおける第1配線構造w1は回路の配線であり、パッド部Pにおける第1配線構造W1はパッド層である。耐湿リングRにおける第1配線構造w1は耐湿リングの一部である。各配線構造は、たとえば、Ta_n等の下側導電性バリア層とCu等の主配線層で形成する。

【0064】第1配線構造w1のパッドパターン及び耐湿リングパターンを覆って、第1層間絶縁層d1の上に第1上側導電性バリア層b1が形成されている。第1上側導電性バリア層b1を覆って、第1層間絶縁層d1の上に第2エッチングストップ層s2が形成されている。第2エッチングストップ層s2上に第2層間絶縁層d2が形成されている。

【0065】第2層間絶縁層d2の上に、レジストパターンPR2Aを形成し、第2層間絶縁層d2のエッチングを行なう。ここで、耐湿リングはループ状の連続した形状である。パッド部P及び回路部Cにおけるビア孔VH2は円柱状の構造である。ビア孔VH2の径とリング溝RT2の幅を同一寸法としても、アスペクト比の差からリング溝RT2のエッチングレートはビア孔VH2のエッチングレートよりも速くなる。

【0066】図3（B）は、ビア孔VH2およびリング溝RTのエッチングが終了した状態を示す。ビア孔VH2は同一寸法のためほぼ同時にエッチングが終了してい

る。これに対し、リング溝RTにおいてはエッチングが速く進行するため、第2エッチングストップ層s2はオーバーエッチングによりかなりの膜減りを生じている。

【0067】第2エッチングストップ層s2の下に、第1上側導電性バリア層b1が設けられているため、第1エッチングストップ層s2がかなりエッチングされても、第1配線層W1の表面は第1上側導電性バリア層b1により十分保護されている。

【0068】図3（C）に示すように、ビア孔およびリング溝形成のためのレジストパターンPR2Aを除去した後、新たなレジストパターンPR2Bを形成し、配線溝WT2、パッドパターン溝PT2、リング溝RT2のエッチングを行なう。なお、先に形成したビア孔およびリング溝RTの底部を保護するためには、有機物の詰物を詰めた後にエッチングを行なうことが好ましい。

【0069】なお、溝部を先にエッチングし、その後ビア孔をエッチングすることもできる。いずれの場合にも、耐湿リング部においてリング溝のエッチングはビア孔のエッチングよりも早く終了するが、エッチングストップ層s2の下に第1導電性バリア層b2が下層第1配線層w1に対する保護層として働き、ダメージおよび酸化を防止する。その後レジストパターンPR2Bをアッシングで除去する。レジストパターンを除去した後、開口部底に露出したエッチングストップ層s2を除去する。

【0070】図4（D）に示すように、配線溝、ビア孔などを形成した第2層間絶縁層d2の上に、第2配線用金属層M2を堆積する。第2金属層M2は、典型的にはTa₂N₅等のバリア層をスパッタリングで形成し、その上にCu等のシード層をスパッタリングで形成し、さらにCu等の厚い主配線層をメッキで形成する。

【0071】第2配線層M2を堆積した後、CMPにより第2層間絶縁層d2上面上に堆積した不要な金属層を除去する。

【0072】図4（E）に示すように、CMPにより分離した第2配線層w2を覆って、第2層間絶縁層d2の上に第2上側導電性バリア層b2を堆積する。第2上側導電性バリア層d2の上に、レジストパターンPR2Cを形成する。レジストパターンPR2Cは、パッド部Cのパッドパターン及び耐湿リング部Rの耐湿リングパターンを覆う形状にパターンニングされている。レジストパターンPR2Cをマスクとし、第2上側導電性バリア層b2をエッチングする。その後レジストパターンPR2Cは除去する。

【0073】図4（F）に示すように、パターン化された第2上側導電性バリア層b2を覆うように、第2層間絶縁層d2の上に第3エッチングストップ層s3を堆積する。

【0074】続いて、第3層間絶縁層を堆積し、ビア孔及びリング溝を形成する工程に進む。すなわち、図3

（A）～図4（F）の工程を繰り返すことにより、多層配線構造を形成することができる。

【0075】耐湿リング溝のエッチングにおいて、エッチングストップ層の下に上側導電性バリア層が配置されているため、エッチングストップ層がオーバーエッチングされても、下側の配線層は安全に保護される。また、パッド部のパッドパターンは、上側導電性バリア層b2により、その変形を抑えられるため、パッド部の剥がれが防止される。

【0076】なお、図3（A）のビア孔およびリング溝のエッチング工程において、パッドの上面にも上側導電性バリア層b1が配置されている。従って、パッド部においてもオーバーエッチングを吸収することができる。

【0077】図2（D）は、パッド部の他の構成例を示す。この構成においては、パッドパターンの下に形成される接続用孔Vは、ビア孔同様の円柱状パターンではなく、細長く延びた形状である。すなわち、パッド部の接続用孔を耐湿リングのリング溝と類似の形状である。下層パッドパターンとエッチングストップ層との間には、上側導電性バリア層が形成されているため、パッド部のエッチングストップ層においてオーバーエッチングが生じても、耐湿リング部と同様上側導電性バリア層が下層パッドパターンを保護する。

【0078】以上説明した構成において、層間絶縁層dは種々の材料で形成することができる。例えば、酸化シリコン層、燐を含む酸化シリコン（PSG）層、ボロン及び燐を含む酸化シリコン（BPSG）層、有機絶縁層等を用いることができる。誘電率の低い層間絶縁層を形成するためには、フッ素を含む酸化シリコン（弗化シリケートガラス、FSG）層、水素シルセキオキサン（HSQ）、テトラエトキシシラン（TEOS）、発泡性（多孔質）酸化シリコン等を用いることができる。

【0079】配線層としては、金、銀、白金、銅、アルミニウム、タングステン、タングステン合金、チタニウム、チタニウム化合物、タンタル、タンタル化合物などを用いることができる。下側バリア層と主配線層との積層を用いる場合、バリア層としてはチタニウム、チタニウム化合物、タンタル、タンタル化合物等を用いることができる。上側バリア層は、特に制限されないが下側バリア層と同一材料で形成するのがプロセス管理上望ましい。

【0080】以下、図5（A）～（F）を参照し、より具体的実施例を説明する。

【0081】図5（A）において、Cu層を主配線層とする第1配線層w1が形成され、その上に第1上側バリア層b1がTa₂N₅で形成されている。第1バリア層b1は、第1配線層w1の全面を覆い、周囲の絶縁層上に延在する形状を有する。

【0082】第1バリア層b1の上には、同一形状のハードマスク層h1が形成されている。ハードマスク層h

1は、例えばプラズマCVDで形成したプラズマ酸化シリコン膜である。

【0083】ハードマスク層h1、第1バリア層b1を覆って、第2エッチングストッパ層s2が例えば厚さ50nmのSiN層で形成されている。第2エッチングストッパ層s2の上には、厚さ約1200nmのプラズマ酸化シリコン層、反射防止膜を兼ねた厚さ約50nmのSiN層の積層で形成された第2層間絶縁層d2が形成されている。層間絶縁層d2の表面から、パッドパターン溝が形成され、パッドパターン溝底面から下側に延びる接続孔が形成されている。接続孔は、第1バリア層b1の表面に達している。

【0084】この溝及び孔を埋め込んで第2配線層w2が形成されている。第2配線層w2は、例えば厚さ約25nmのTa₂N₅下側バリア金属層、厚さ約100nmのCuシード層をスパッタリングで形成し、さらに厚さ約300nmのCu層をメッキで形成し、CMPにより平坦化したものである。

【0085】図5（B）に示すように、第2配線層w2を埋め込んだ第2層間絶縁層d2表面上に、厚さ約50nmのTa₂N₅層で第2バリア金属層b2および厚さ約50nmのプラズマ酸化シリコン層でハードマスク層h2を形成する。ハードマスク層h2の上に、パッドパターンw2を内包するレジストパターンPR2を形成する。

【0086】図5（C）に示すように、レジストパターンPR2をエッチングマスクとし、ハードマスク層h2のエッチングを行なう。その後レジストパターンはアッシングで除去する。このアッシングにおいて、第2配線層w2の表面は第2バリア金属層b2で覆われているため、酸化を防止される。

【0087】図5（D）に示すように、アッシングでレジストパターンPR2が除去され、第2バリア金属層b2の上にハードマスクh2が残る。

【0088】図5（E）に示すように、ハードマスク層h2をマスクとし、第2バリア金属層b2のエッチングを行なう。このようにして、パッドパターンを覆う第2バリア金属層b2、ハードマスク層h2の積層パターンが形成される。なお、パッドパターンが例えば10μm×10μmの場合、第2バリア金属層b2、ハードマスク層h2のパターンを11μm×11μmとし、パッドパターン全面を覆い、さらに周辺の層間絶縁層上に延在するようにパターニングすることが好ましい。

【0089】図5（F）に示すように、上述の工程を繰り返すことにより、第3エッチングストッパ層s3、第3層間絶縁層d3、第3配線w3を形成することができる。

【0090】なお、パッドパターンの上にバリア金属層を形成することにより、配線層形成後のアニールを行ってもパッド部において剥がれが生じることは防止できた。

【0091】図6（A）は、前述のように、ビア孔径及び耐湿リング溝幅に対するエッチングレートを示す。ビア孔のエッチングレートは、リング溝のエッチングレートよりも小さい。

【0092】図6（B）、（C）は、図5の構成における耐湿リング部のエッチングの様子を示す斜視図である。第1配線層w1の耐湿リングの上には、第1バリア金属層b1、第1ハードマスク層h1が形成されている。図中左側に示した第1配線層w1のパターンは回路領域の配線パターンである。配線パターンの上には第1バリア金属層b1、第1ハードマスク層h1は形成されていない。リング溝RTのエッチングレートに比べビア孔VHのエッチングレートは遅く、エッチング深さに差xが生じる。

【0093】図6（C）は、ビア孔VHのエッチングが終了した状態を示す。ビア孔VHのエッチングが終了する前に、リング溝RTのエッチングは終了している。従って、オーバーエッチングによりエッチングストッパ層s2が徐々にエッチングされ、例えば厚さ約50nmの内40nmがエッチングされてしまう。しかしながら、エッチングストッパ層s2の下には、ハードマスク層h1およびバリア金属層b1が配置され、下層配線層w1のリングパターン表面を覆っている。従って、リングパターンw1の表面がダメージを受けたり、酸化されることが防止される。

【0094】図7は、図5、6に示すような半導体集積回路装置の回路領域および耐湿リング領域の部分的断面図を示す。シリコン基板40の表面には、素子分離用のトレンチが形成され、トレンチを埋め込む酸化シリコン等の絶縁領域によってシャロートレンチアイソレーション（STI）41cが形成され、活性領域が画定されている。耐湿リング部分においては、STIと同時に回路領域をループ状に取り囲むリング状絶縁領域41rが形成されている。

【0095】回路領域においては、各活性領域内にpウエルWp及びnウエルWnが形成され、活性領域上に熱酸化シリコン等のゲート絶縁層43cが形成される。ゲート絶縁層43c上に多結晶シリコン、ポリサイド等のゲート電極44cが形成され、絶縁ゲート電極が形成される。絶縁ゲート電極の側壁には、サイドウォールスペーサ45cが酸化シリコン等により形成される。

【0096】絶縁ゲート電極を形成した後、pウエルWp、nウエルWnにそれぞれ別個のイオン注入を行ない、pウエルWp内にn型ソース／ドレイン領域42nを形成し、nウエルWn内にp型ソース／ドレイン領域42pを形成する。

【0097】耐湿リング部分においても、イオン注入以外同様の工程が行なわれ、絶縁領域41rの上にリング状の導電体領域44r及びサイドウォールスペーサ45rが形成される。

【0098】絶縁ゲート電極44c、導電体領域44rを覆って、シリコン基板上に窒化シリコン等のエッチングストッパ層46が形成される。

【0099】エッチングストッパ層46の上に、第1の層間絶縁層47が弗素含有酸化シリコン(FSG)等の低誘電率絶縁体により形成される。回路領域においては、第一の層間絶縁層47の表面から、例えば径約0.25 μ mのコンタクト用ビア孔が形成される。耐湿リング用領域においては、ビア孔と同一値の幅を有するループ状耐湿リング溝が導電体領域44r上に形成される。

【0100】コンタクト用ビア孔、耐湿リング溝のエッチングは、一旦エッチングストッパ層46表面で停止し、レジストマスクを除去した後、コンタクト用ビア孔、耐湿リング溝の底面に露出したエッチングストッパ層46を除去することにより行なわれる。

【0101】コンタクト用ビア孔、耐湿リング溝形成後、例えばTiN等のグルー・バリア層50、例えばタングステン等の導電体プラグおよび導電体フェンス用の導電層51が堆積され、第一の層間絶縁層47表面上のグルー・バリア層及び導電層はCMPにより除去される。グルー・バリア層は、TiN、Ta₂N等の単一の層で形成しても、グルー用Ti層、バリア用TiN層等の積層で形成しても良い。このようにして、半導体表面にコンタクトする導電体プラグ、絶縁領域41r上の導電性領域44rにコンタクトする導電体フェンスが形成される。

【0102】このようにして、回路部分においてはグルー・バリア層50cと導電領域51cで形成された導電体プラグが形成され、耐湿リング領域においては、グルー・バリア層50rと導電領域51rで形成された導電体フェンスが形成される。

【0103】なお、回路領域において、nチャネルMOSトランジスタの一方のソース／ドレイン領域と、pチャネルMOSトランジスタの一方のソース／ドレイン領域とは、第1層配線により相互に接続され、CMOSインバータを構成している。

【0104】その後、導電体プラグ、導電体フェンスを覆って第一層間絶縁層47表面上に、第2のエッチングストッパ層52、第2の層間絶縁層53が堆積される。エッチングストッパ層は、例えばSiNで形成され、層間絶縁層は例えばFSGで形成される。第2の層間絶縁層53表面上にレジストパターンが形成され、第1配線層の配線パターン用および耐湿リング用の開口が画定される。両開口の幅はたとえば同一である。

【0105】このレジストパターンをエッチングマスクとし、第2の層間絶縁層53のエッチングが行なわれる。第2のエッチングストッパ層52表面が露出した後、一旦エッチングを停止し、レジストパターンをアシングで除去する。その後露出した第2のエッチングストッパ層52をエッチングにより除去し、下側バリア層

54、配線層55の堆積を行なう。その後、第2層間絶縁層53表面上の不要な下側バリア層及び配線層をCMPで除去する。

【0106】このようにして、回路領域において、下側バリア層54c、配線層55cで構成された配線パターンが形成され、耐湿リング領域においてはバリア層54r、配線層55rで形成された導電体フェンスが形成される。このようにして、シングルダマシン構造の第1配線層の構造が形成される。シングルダマシン構造ではビア導電体、配線パターン共に側面と底面がバリア層で覆われる。

【0107】耐湿リング部Rにおいては、耐湿リング上面を覆うように、例えばTa₂N層の第1上側バリア金属層b1、プラズマ酸化シリコン膜等の第1ハードマスク層h1が形成される。上述のように、これらの上側バリア金属層、ハードマスク層は耐湿リングパターンの上面を内包するように形成することが好ましい。

【0108】第1ハードマスク層h1、第1上側バリア金属層b1を覆って、第2層間絶縁層53上に、第3のエッチングストッパ層57、第3の層間絶縁層58、第4のエッチングストッパ層59、第4の層間絶縁層60を堆積する。第4の層間絶縁層膜60表面から第3の層間絶縁層58表面に達する配線パターン溝および耐湿リング溝が形成され、さらに配線パターン溝底面から第2の層間絶縁層53内に形成された第1層配線パターン、耐湿リング部の第1バリア金属層に達するビア孔及び耐湿リング溝が形成される。ビア孔径および耐湿リング溝幅は、たとえば0.3 μ mである。

【0109】これらのビア孔、配線パターン溝、耐湿リング溝を埋め込むように、下側バリア層62及びCu等の導電層63の堆積が行なわれる。第4の層間絶縁層60上に堆積した下側バリア層、導電層はCMP等によって除去する。耐湿リングにおいては、耐湿リングの上面を覆う第2上側バリア金属層b2、第2ハードマスク層h2が形成される。このようにして、デュアルダマシン構造の第2層配線構造および第2層耐湿リング用フェンスが形成される。デュアルダマシン構造では、1層の配線構造は、最上面を除く表面が下側バリア層で覆われる。最上面は上側バリア金属層で覆われる。

【0110】第2層配線構造を形成した後、第4の層間絶縁層表面上に第5のエッチングストッパ層65が形成される。第5のエッチングストッパ層65の上に、第5の層間絶縁層66、第6のエッチングストッパ層67、第6の層間絶縁層68が堆積され、上述と同様のプロセスにより、下側バリア層70、配線層71で構成されたデュアルダマシン導電構造が形成される。耐湿リングにおいては、耐湿リングの表面が第3上側バリア金属層b3、第3ハードマスク層h3で覆われる。このようにして第3層配線構造、第3層耐湿リングが形成される。第3配線層のビア孔径およびリング溝幅は、たとえば

0.45 μm である。

【0111】第3層配線構造、第3層耐湿リング上のハードマスク層h3を覆って、第6層間絶縁層の上に、第7のエッチングストップ層73、第7の層間絶縁層74、第8のエッチングストップ層75、第8の層間絶縁層76が堆積され、配線パターン溝、ビア孔および耐湿リング溝が形成され、下側バリア層78、配線層79で構成されるデュアルダマシン構造の第4層配線構造、第4層耐湿リング構造が形成される。耐湿リング部においては、耐湿リングの表面が第4上側バリアメタル層b4、第4ハードマスク層h4で覆われる。

【0112】第4配線層のビア孔径および耐湿リング溝幅は、例えば0.9 μm である。

【0113】第4配線層、第4層耐湿リングの第4ハードマスク層を覆って、第8の層間絶縁層76表面上にSiN等の水分遮蔽能を有するパッシベーション膜81が形成される。耐湿リング領域においては、基板上にループ状の導電フェンスが積層され、その上にパッシベーション膜が形成されることにより、回路領域を封止する水分遮断構造が形成される。

【0114】図示の構成においては、第1配線構造をシングルダマシン構造、第2～第4配線構造をデュアルダマシン構造で形成した。シングルダマシン、デュアルダマシンは任意に選択することができる。配線溝エッチング用のエッチングストップ層を用いる場合を説明したが、配線溝用のエッチングストップ層は省略してもよい。その場合はコントロールエッチングで溝の深さを制御する。配線溝用のエッチングストップ層の有無は任意に選択できる。

【0115】図8(A)～(G)は、シングルダマシン配線を形成するプロセスを概略的に示す断面図である。配線部の構造で説明するので、上側バリアメタル層は形成されない。図8(A)に示すように、下側バリア層b1、配線層w1で下層配線が形成されている。下層配線表面を覆ってエッチングストップ層s2、層間絶縁層d2、反射防止膜ar2が形成されている。エッチングストップ層s2、反射防止膜ar2は、それぞれ厚さ約50 nmのSiN膜で形成される。層間絶縁層d2は、例えば厚さ約600 nmのFSGにより形成される。

【0116】反射防止膜ar2の上に、ビア孔及び耐湿リング溝をエッチングするためのレジストパターンPR2を形成する。レジストパターンPR2をエッチングマスクとし、反射防止膜ar2、層間絶縁層d2のエッチングを行なう。その後、レジストパターンPR2は除去する。なお、ビア孔と耐湿リング溝とは同様の断面構成であるため、図には1つの開口のみを示す。以下同様である。

【0117】図8(B)に示すように、露出した反射防止膜ar2及びエッチングストップ層s2を除去し、下層配線w1の表面を露出するビア孔VH2及び耐湿リン

グ溝RT2を形成する。

【0118】図8(C)に示すように、ビア孔VH2及び耐湿リング溝RT2を埋めるように、例えば厚さ約25 nmのTa₂N₅層で形成されたバリア層b2p、厚さ約1500 nmのCu層で形成された配線層w2pを成膜する。なお、バリア層b2pをスパッタリングで形成した後、厚さ約200 nmのCuシード層をスパッタリングで形成し、その上にメッキ等によりCu層を約1300 nm成膜して配線層w2pを形成する。

【0119】図8(D)に示すように、層間絶縁層d2上のバリア層b2p、配線層w2pをCMPにより除去し、銅プラグ(銅フェンス)を形成する。

【0120】図8(E)に示すように、銅プラグ(銅フェンス)を覆って層間絶縁層d2上に厚さ約50 nmのSiN層で形成されたエッチングストップ層s3、厚さ約500 nmのFSG層で形成された層間絶縁層d3、厚さ約50 nmのSiN層で形成された反射防止膜ar3を成膜する。反射防止膜ar3の上に、配線パターン溝及び耐湿リング溝を形成するための開口を有するレジストパターンPR3を形成する。配線パターン溝の幅と耐湿リング溝の幅は、たとえば同一である。

【0121】レジストパターンPR3をエッチングマスクとし、反射防止膜ar3、層間絶縁層d3のエッチングを行なう。その後、レジストパターンPR3を除去し、露出した反射防止膜ar3、エッチングストップ層s3をエッチングで除去する。

【0122】図8(F)に示すように、図8(C)の工程と同様の工程を行なうことにより、厚さ約20 nmのTa₂N₅層で形成されたバリア層b3p、厚さ約1200 nmのCuで形成された配線層w3pを形成する。なお、配線層w3pは、先ず厚さ約200 nmのCu層をスパッタリングで成膜し、次にメッキ等により厚さ約1000 nmのCu層を成膜することによって形成する。

【0123】図8(G)に示すように、層間絶縁層d3上の不要なバリア層及び配線層をCMPで除去し、バリア層b3、配線層w3で形成された配線パターンを作成する。その後、上側バリアメタル層、ハードマスク層が形成されるが、回路領域においては全て除去される。以上の工程により、1層分の配線構造を作成することができる。同様の工程を繰り返すことにより、多層の配線層をシングルダマシン構造で形成することもできる。次に、デュアルダマシン構造の作成について説明する。

【0124】図9(A)～(F)は、デュアルダマシン配線構造を作成する他の方法を示す断面図である。図9(A)に示すように、バリア層b1、配線層w1で構成される下層配線の上に、厚さ約50 nmのSiN層で形成されたエッチングストップ層s2、厚さ約600 nmのFSG層で形成された層間絶縁層d2、厚さ約50 nmのSiN層で形成されたエッチングストップ層s3、厚さ約500 nmのFSG層で形成された層間絶縁層d

3、厚さ約50nmのSiN層で形成された反射防止膜ar3を積層する。

【0125】反射防止膜ar3の上に、ビア孔及び耐湿リング溝に対応する開口を有するレジストパターンPR2を形成する。レジストパターンPR2をマスクとし、反射防止膜ar3、層間絶縁層d3のエッチングを行ない、エッチングストップ層s3の表面でエッチングを停止させる。

【0126】図9（B）に示すように、レジストパターンPR2を除去する。

【0127】図9（C）に示すように、反射防止膜ar3の上に、配線パターン及び耐湿リング溝に対応する開口を有するレジストパターンPR3を形成する。耐湿リング溝の幅は例えば配線パターン溝の幅と同一である。レジストパターンPR3をエッチングマスクとし、反射防止膜ar3、層間絶縁層d3のエッチングを行なう。この際、先に形成されたビア孔（耐湿リング溝）の底面に露出しているエッチングストップ層s3、層間絶縁層d2も共にエッチングされ、ビア孔が下側に延びる。これらのエッチングは、それぞれエッチングストップ層s3、エッチングストップ層s2の表面で停止するように条件が設定される。

【0128】図9（D）に示すように、レジストパターンPR3をアッシングで除去する。次に、表面に露出した反射防止膜ar3、配線パターン溝底面に露出したエッチングストップ層s3、ビア孔（耐湿リング溝）底面に露出したエッチングストップ層s2をエッチングで除去する。配線パターン溝WT、ビア孔VH（耐湿リング溝RT）が形成される。

【0129】図9（E）に示すように、バリア層b3p、配線層w3pの堆積を行なう。まず、厚さ約20nmのTa₂N₅層をスパッタリングで堆積し、続いて厚さ約200nmのCu層をスパッタリングで堆積する。次に、厚さ約1300nmのCu層をメッキで堆積する。

【0130】図9（F）に示すように、層間絶縁層d3上の不要なバリア層b3p、配線層w3pをCMPにより除去し、バリア層b3、配線層w3で構成されたデュアルダマシン配線構造を作成する。その後、上側バリアメタル層、ハードマスク層が形成されるが、回路領域においては全て除去される。

【0131】上述のようなダマシンプロセスを利用することにより、図7に示すような多層配線構造を作成すると同時に、耐湿リング領域においては配線と同一材料で形成された導電体（金属）リングを上側バリアメタル層で覆った耐湿リング構造を形成することができる。

【0132】上述の実施例において、上側バリアメタル層がパッド部で果す機能と耐湿リング部で果す機能は別個のものである。パッド部、耐湿リング部のいずれか一方にのみ上側バリアメタル層を設けてもよい。

【0133】以上実施例に沿って本発明を説明したが、

本発明はこれらに制限されるものではない。例えばレジストパターンを酸素を用いない方法で除去すれば、エッチングストップ層、ハードマスク層を省略することもできる。この場合、ビア孔やリング溝は、下層配線構造をエッチングストップとしてエッチングする。上側バリアメタル層はレジストマスクでエッチングし、その後レジストマスクを除去する。

【0134】上側導電性バリア層は、特に限定されないが、チタン、チタン化合物、タンタル、タンタル化合物、これらの混合物のいずれかで形成することができる。ハードマスク層は、プラズマSiO₂層、PSG層、FSG層、HSQ層、TEOS層、窒化シリコン層、シリコンカーバイド層、シリコンオキシナイトライド層、これらの積層のいずれかで形成することができる。

【0135】配線材料としてTa₂N₅、Cuを用いる場合を説明したが、導電層は、金、銀、白金、銅、アルミニウム、アルミニウム合金、タングステン、タングステン化合物、モリブデン、モリブデン化合物、チタニウム、チタニウム化合物、タンタル、タンタル化合物、これらの組み合わせのいずれかで形成することができる。形成方法は、スパッタリング、CVD、メッキ、これらの組み合わせのいずれかを用いることができる。

【0136】主配線層は、金、銀、白金、銅、アルミニウム、アルミニウム合金、タングステン、タングステン化合物、これらの組み合わせのいずれかで形成できる。下側バリア層は、モリブデン、モリブデン化合物、チタニウム、チタニウム化合物、タンタル、タンタル化合物、これらの組み合わせのいずれかで形成することができる。

【0137】絶縁層は、種々の材料で形成できる。誘電率の低い絶縁層として、FSG、水素シルセスキオキサン（HSQ）、テトラエトキシシラン（TEOS）、発泡性（多孔質）酸化シリコン等を用いることができる。誘電率を低くしなくてもよい場合には、酸化シリコン、ホスホシリケートガラス（PSG）、ボロホスホシリケートガラス（BPSG）等を用いることもできる。

【0138】エッチングストップ層は、窒化シリコン層、シリコンカーバイド層、シリコンオキシナイトライド層、これらの積層のいずれかで形成することができる。層間絶縁層は、プラズマSiO₂層、PSG層、FSG層、HSQ層、TEOS層、これらの積層のいずれかで形成することができる。

【0139】その他種々の変更、改良、組み合わせが可能なことは当業者に自明であろう。

【0140】以下、本発明の特徴を付記する。

【0141】（付記1） 複数の半導体素子を形成した半導体基板と、前記半導体基板上に形成された第1絶縁層と、前記第1絶縁層に埋め込まれた第1導電層であって、第1配線層と、第1パッド層と、該第1配線層、第

１パッド層の外側を囲むように配置された第１耐湿リング層とを含む第１導電層と、前記第１導電層のうち、前記第１パッド層と前記第１耐湿リング層それぞれの上面から前記第１絶縁層上に延在する第１上側導電性バリア層と、前記第１上側導電性バリア層を覆って、前記第１絶縁層上に形成された第２絶縁層と、前記第２絶縁層を貫通して形成された第２導電層であって、前記第１配線層に達する第２配線層、および前記第１上側導電性バリア層に達する第２パッド層と第２耐湿リング層とを含む第２導電層とを有する半導体集積回路装置。

【０１４２】（付記２） さらに、前記第２導電層のうち、前記第２パッド層と前記第２耐湿リング層それぞれの上面から前記第２絶縁層上に延在する第２上側導電性バリア層を有する付記１記載の半導体集積回路装置。

【０１４３】（付記３） さらに、前記第１及び前記第２上側導電性バリア層の上に形成され、前記第１及び前記第２上側導電性バリア層と同じ形状にパターンニングされたハードマスク層を有する付記２記載の半導体集積回路装置。

【０１４４】（付記４） 前記第１及び第２絶縁層が、エッチングストップ層とその上に形成された層間絶縁層との積層を含む付記２～３のいずれか１項記載の半導体集積回路装置。

【０１４５】（付記５） 前記第１及び第２上側導電性バリア層が、それぞれその下の前記パッド層と耐湿リング層の上面を内包する平面形状を有する付記２～４のいずれか１項記載の半導体集積回路装置。

【０１４６】（付記６） 前記第１及び第２導電層がそれぞれ、下側導電性バリア層と主配線層との積層構造を有し、前記上側導電性バリア層と前記下側導電性バリア層とが同一材料で形成されている付記２～５のいずれか１項記載の半導体集積回路装置。

【０１４７】（付記７） 前記第１導電層および第２導電層が、それぞれ、下側導電性バリア層と主配線層との積層構造を有し、前記第１上側導電性バリア層および下側導電性バリア層のそれぞれが、チタン、チタン化合物、タンタル、タンタル化合物、これらの混合物のいずれかで形成された層を含み、前記第１上側導電性バリア層は、前記第１パッド層と前記耐湿リング層それぞれの上面を内包する平面形状を有し、前記第２絶縁層が下側のエッチングストップ層とその上の層間絶縁層とを含む付記１記載の半導体集積回路装置。

【０１４８】（付記８） 前記パッド層、耐湿リング層の各々は上面を上側バリア層、他の面を下側バリア層により囲まれている付記７記載の半導体集積回路装置。

【０１４９】（付記９） （ａ）複数の半導体素子を形成した半導体基板上に、第１絶縁層を形成する工程と、（ｂ）該第１絶縁層に第１導電層を埋め込む工程であって、第１配線層と、第１パッド層と、該第１配線層、第１パッド層の外側を囲む第１耐湿リング層とを含む第１

導電層を該第１絶縁層に埋め込んで形成する工程と、

（ｃ）前記第１導電層のうち、前記第１パッド層と前記第１耐湿リング層それぞれの上面から前記第１絶縁層上に延在する第１上側導電性バリア層を形成する工程と、

（ｄ）前記第１上側導電性バリア層を覆い、前記第１絶縁層上に第２絶縁層を形成する工程と、（ｅ）前記第２絶縁層を貫通して、前記第１配線層に達するビア孔をエッチングすると共に、前記第１上側導電性バリア層に達するパッド用接続孔、耐湿リング溝をエッチングする工程と、（ｆ）前記ビア孔、パッド用接続孔、耐湿リング溝を用いて、第２配線層と、第２パッド層と、該第２配線層、第２パッド層の外側を囲む第２耐湿リング層とを含む第２導電層を前記第２絶縁層に埋め込んで形成する工程とを含む半導体装置の製造方法。

【０１５０】（付記１０） さらに、（ｇ）前記第２導電層のうち、前記第２パッド層と前記第２耐湿リング層それぞれの上面から前記第２絶縁層上に延在する第２上側導電性バリア層を形成する工程を含む付記９記載の半導体装置の製造方法。

【０１５１】（付記１１） 前記工程（ｃ）、（ｇ）が、前記第１または第２絶縁層上に上側導電性バリア層とハードマスク層とを積層する工程と、前記ハードマスク層上にレジストパターンを形成する工程と、前記レジストパターンをマスクとして前記ハードマスク層をエッチングしてパターン化する工程と、前記レジストパターンを除去する工程と、前記ハードマスク層のパターンをマスクとして前記上側導電性バリア層をエッチングしてパターン化する工程とを含む付記１０記載の半導体装置の製造方法。

【０１５２】（付記１２） 前記工程（ｃ）、（ｇ）が、それぞれ前記パッド層と前記耐湿リング層それぞれの上面を内包するように前記上側導電性バリア層をパターン化する付記１０または１１記載の半導体装置の製造方法。

【０１５３】（付記１３） 前記工程（ｄ）が、エッチングストップ層と層間絶縁層の積層を堆積し、前記工程（ｅ）が、耐湿リング溝およびパッド用接続孔においては、前記エッチングストップ層、前記ハードマスク層、前記導電性バリア層をエッチングマージン層として前記層間絶縁層をエッチングする付記１０～１２記載の半導体装置の製造方法。

【０１５４】

【発明の効果】以上説明したように、本発明によれば、耐湿リングを有する半導体集積回路装置において、耐湿リングを構成する配線材料層の表面を酸化させず、所望の性能を有する半導体集積回路装置を作成することができる。

【０１５５】多層配線を有する半導体集積回路装置において、パッドの剥がれを防止することができる。

【図面の簡単な説明】

【図１】 本発明の実施例による半導体集積回路装置の製造方法を概略的に示す平面図である。

【図２】 図１の構成における、パッド部と耐湿リング部の構成を説明するための平面図である。

【図３】 本発明の実施例による半導体集積回路装置の製造を説明する断面図である。

【図４】 本発明の実施例による半導体集積回路装置の製造を説明する断面図である。

【図５】 本発明の実施例によるパッド部の製造工程を概略的に示す断面図である。

【図６】 本発明の実施例による耐湿リングの製造工程を概略的に示すグラフ及び斜視図である。

【図７】 本発明の実施例による多層配線構造を有する半導体集積回路装置の構成を概略的に示す断面図である。

【図８】 シングルダマシンプロセスの例を説明する断面図である。

【図９】 デュアルダマシンプロセスの例を説明する断面図である。

【図１０】 従来技術による耐湿リング部のエッチング工程を概略的に示す斜視図である。

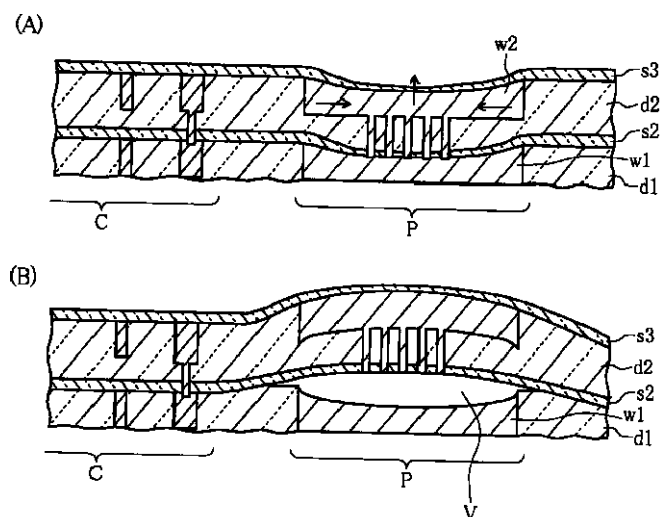
【図１１】 従来技術によるパッド部の剥がれを説明するための概略断面図である。

【符号の説明】

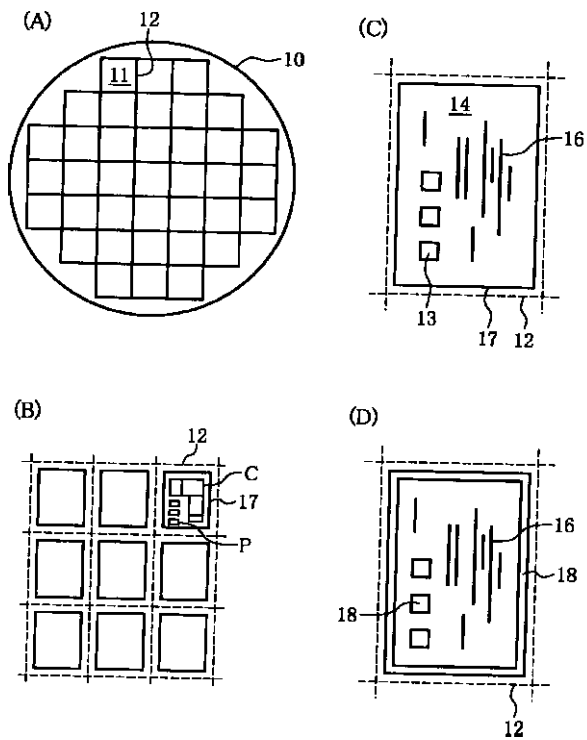
１０ ウエハ
 １１ チップ
 １２ スクライブライン
 １７ 耐湿リング
 Ｃ 回路部
 Ｐ パッド部
 １３ （配線層による）パッドパターン
 １４ 絶縁層

１６ 配線
 １８ 上側導電性バリア層
 ２１ 下層配線パターン
 ２２ エッチングストップ層
 ２３ 層間絶縁層
 ２５ ビア孔（耐湿リング溝）
 ４０ 半導体基板
 ４１ ＳＴＩ
 ４２ ソース／ドレイン領域
 ４３ ゲート絶縁層
 ４４ ゲート電極
 ４５ サイドスペーサ
 ４６、５２、５７、５９、６５、６７、７３、７５ エッチングストップ層
 ４７、５３、５８、６０、６６、６８、７４、７６ 層間絶縁層
 ５０、５４、６２、７０、７８ バリア層
 ５１、５５、６３、７１、７９、配線層
 ＰＰ パッドパターン溝
 ＰＶ パッド接続孔
 ＰＲ ホトレジストパターン
 ＶＯ ビア孔用開口
 ＲＯ 耐湿リング溝用開口
 ＲＴ 耐湿リング溝
 ＷＴ 配線パターン溝
 ＶＨ ビア孔
 ｂ１、ｂ２、ｂ３ バリア層
 ｗ１、ｗ２、ｗ３ 配線層
 ｓ１、ｓ２、ｓ３ エッチングストップ層
 ｄ１、ｄ２、ｄ３ 層間絶縁層
 ｈ１、ｈ２、ｈ３ ハードマスク層

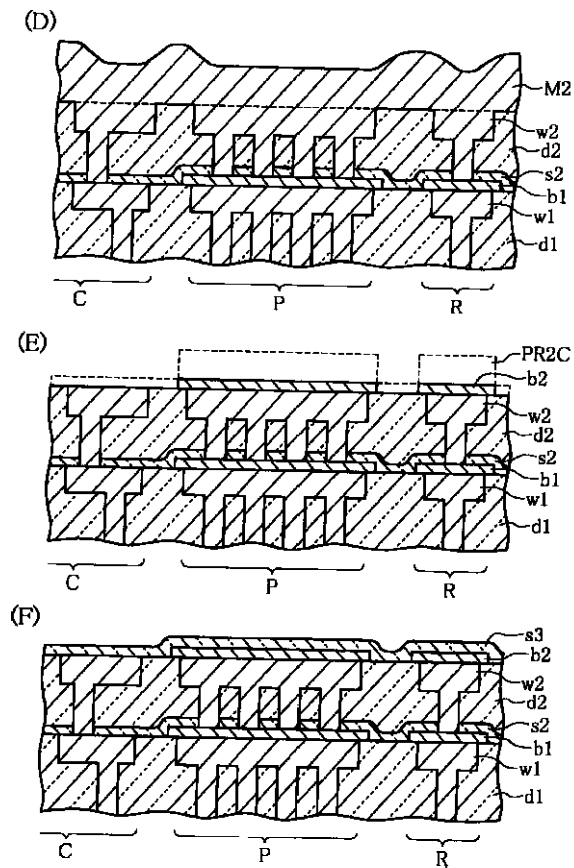
【図１１】



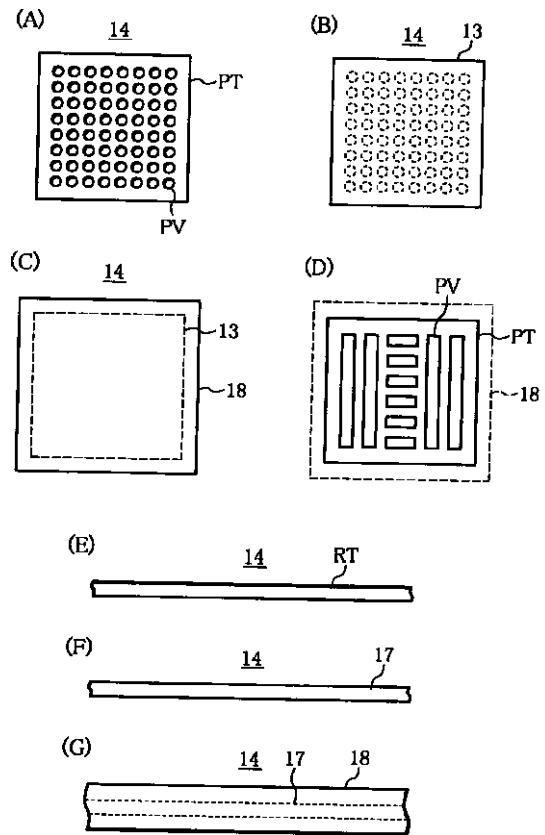
【圖 1】



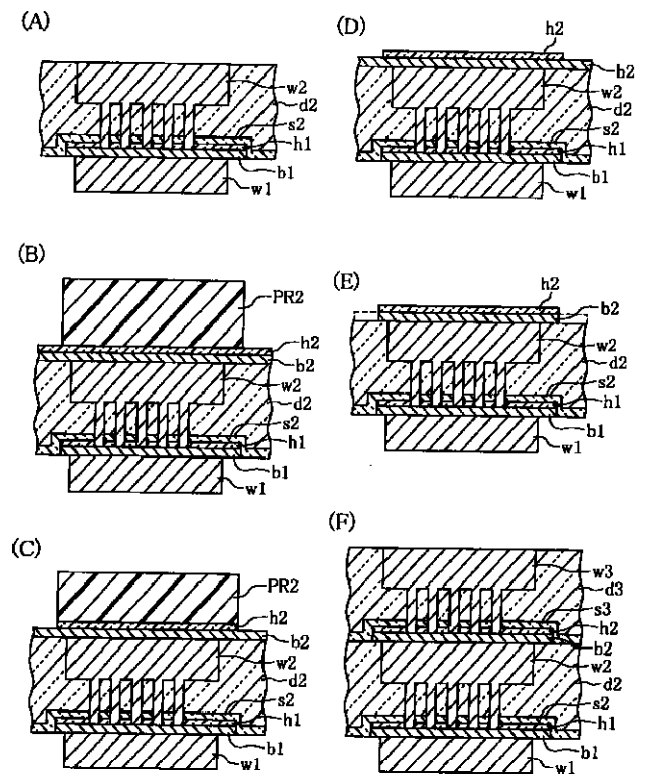
【圖 4】



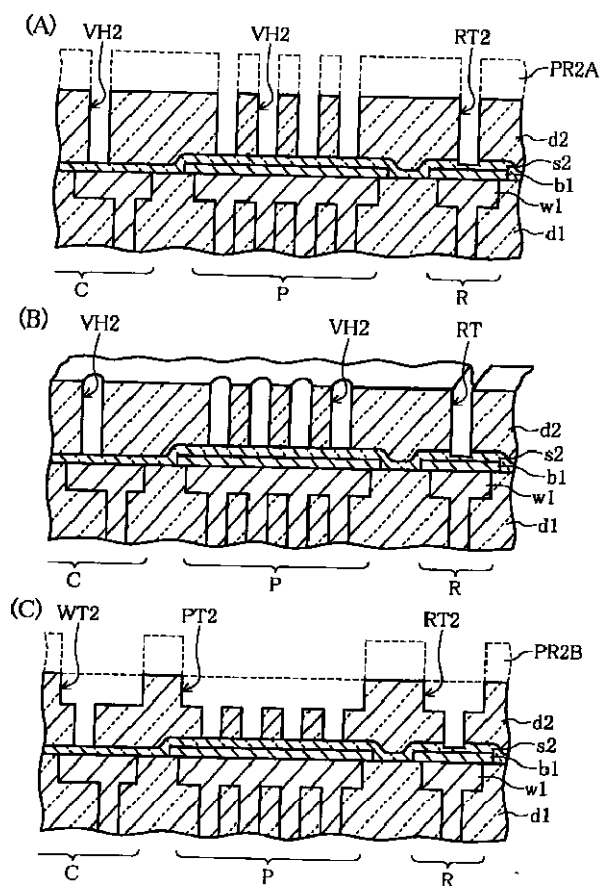
【圖 2】



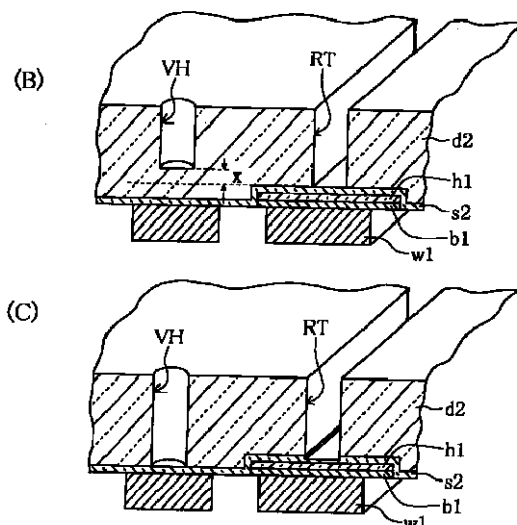
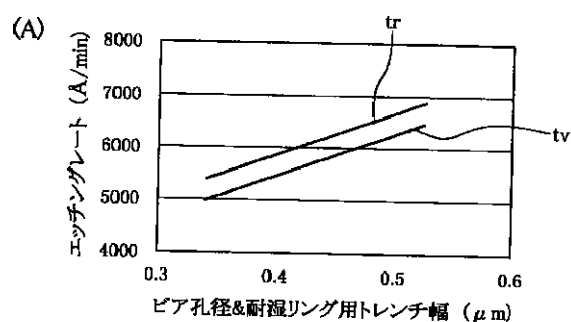
【圖 5】



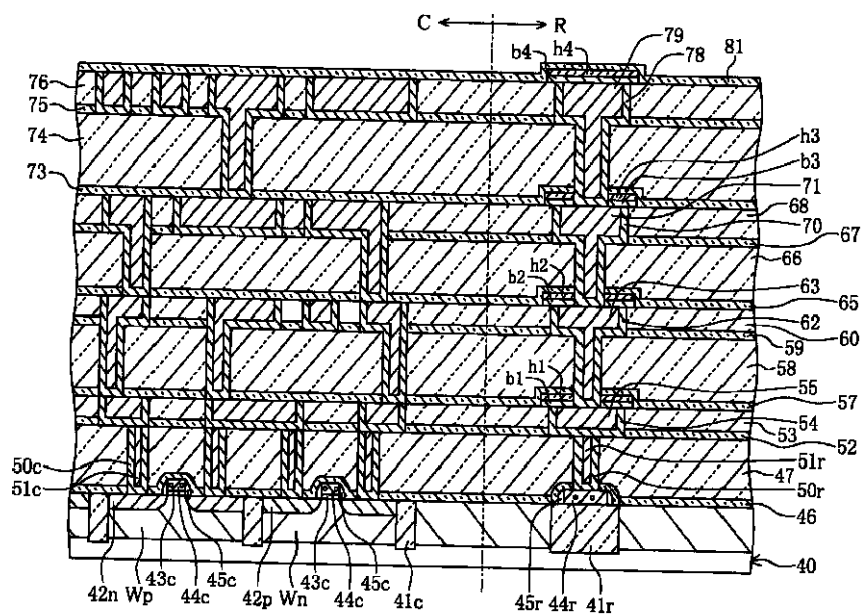
【図 3】



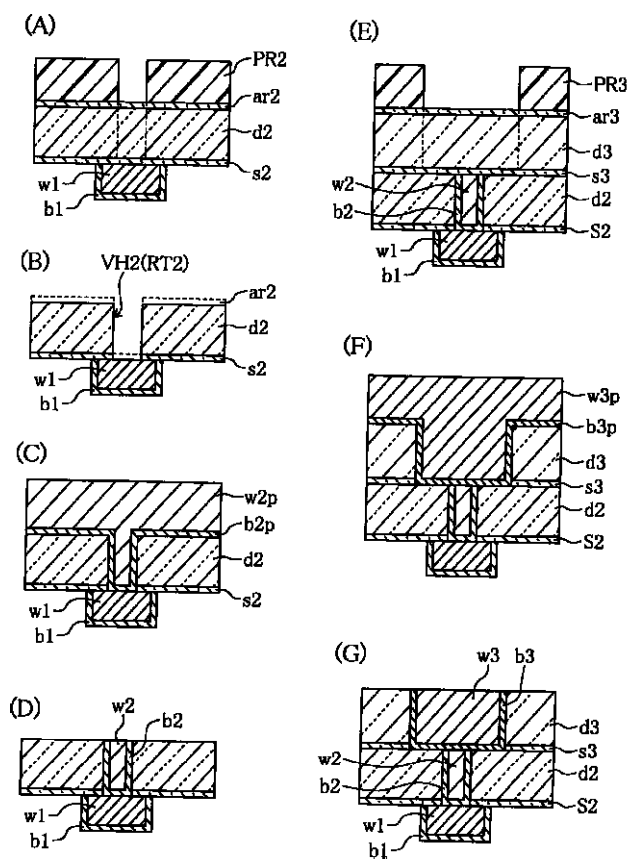
【図 6】



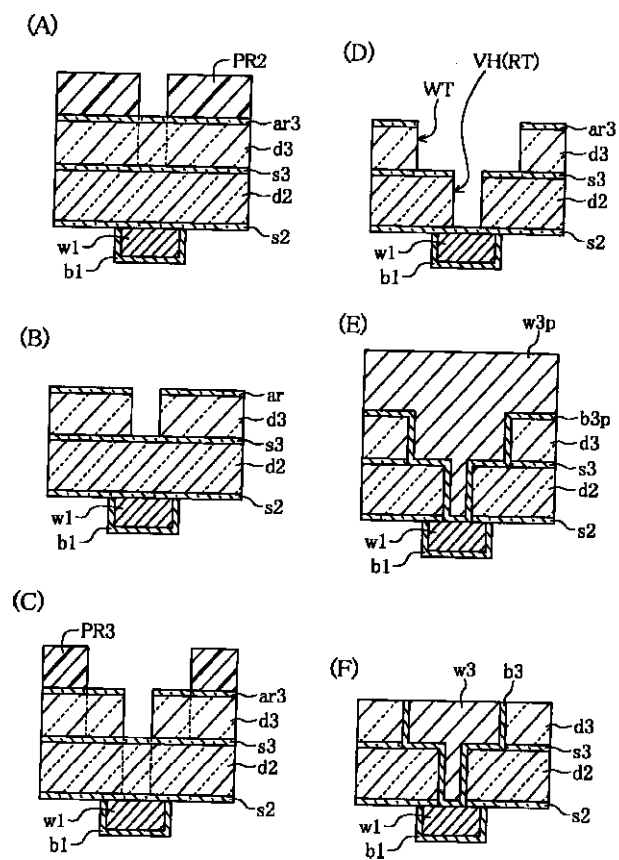
【図 7】



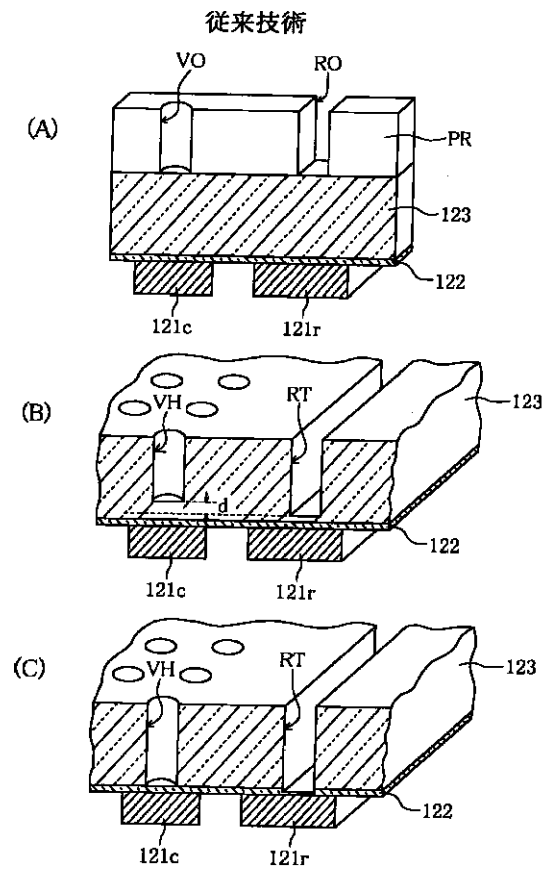
【圖 8】



【圖 9】



【図 10】



フロントページの続き

F ターム(参考) 5F033 HH07 HH08 HH11 HH13 HH14
HH18 HH19 HH21 HH32 HH33
JJ07 JJ08 JJ11 JJ13 JJ14
JJ18 JJ19 JJ21 JJ32 JJ33
KK07 KK08 KK11 KK13 KK14
KK18 KK19 KK21 KK32 KK33
MM02 MM12 MM13 NN06 NN07
PP06 PP15 PP27 QQ25 QQ48
QQ71 RR01 RR04 RR06 RR08
RR11 RR14 RR15 RR21 RR29
SS04 SS15 VV00 VV06 VV07
XX00 XX10 XX18 XX25
5F044 EE06 EE08 EE12