

(19) Japanese Patent Office (JP)

(11) Publication number

(12) Laid-open Disclosure Public Patent Bulletin (A)

JP, H11-16906, A

(43) Publication Date: January 22, Heisei 11 (1999)

(51) Int. Cl.
H01L 21/3205

FI
H01L 21/88 K

Request for Examination: Not Requested

Number of Claims: 10 OL (7 pages total)

(21) Application Filing Number:
Tokugan H9-172447

(22) Application Filing Date:
June 27, Heisei 9 (1997)

(71) Applicant: 000002185

Sony Corporation

6-7-35 Kitashinagawa, Shinagawa-ku, Tokyo

(72) Inventor: **Keiichi Maeda**

c/o: Sony Corporation

6-7-35 Kitashinagawa, Shinagawa-ku, Tokyo

(74) Agent: **Noboru Tajime, Patent Attorney**

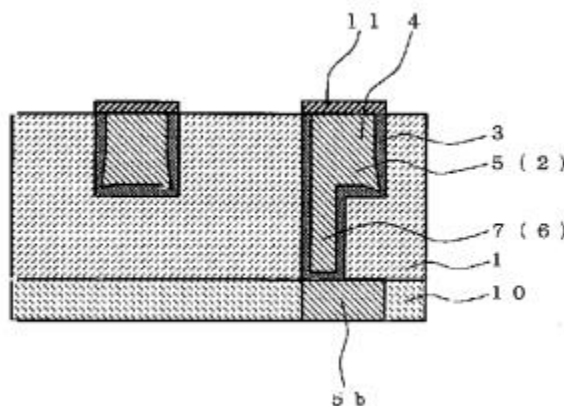
(54) [Title of invention] Semiconductor Device and Method for the Production Thereof

(57) ABSTRACT

OBJECTIVE: To prevent surface oxidation of interconnects formed through embedded interconnect technology to prevent an increase in the resistance and a decrease in the reliability.

MEANS FOR ACHIEVING THE OBJECTIVE:

A semiconductor device comprising trench-type interconnect 5 being formed by forming interconnect trench 2 on insulating film 1, which is formed on substrate 10, and filling said interconnect trench 2 with interconnect material 4, wherein antioxidant film 11 is formed on the surface of trench-type interconnect 5 in a self-aligned manner.



WHAT IS CLAIMED IS:

CLAIM 1

A semiconductor device comprising trench-type interconnect being formed by forming interconnect trenches on an insulating film, which is formed on a substrate, and filling said interconnect trenches with an interconnect material, wherein an antioxidant film is formed on the surface of the trench-type interconnect in a self-aligned manner.

CLAIM 2

The semiconductor device according to Claim 1, wherein the trench-type interconnect is formed from copper-based interconnect material.

CLAIM 3

The semiconductor device according to Claim 1 or Claim 2, wherein the antioxidant film is composed of an electroless plated film or a selective CVD film.

CLAIM 4

The semiconductor device according to Claim 3, wherein the antioxidant film is an electroless plating film containing cobalt.

CLAIM 5

The semiconductor device according to Claim 3, wherein the antioxidant film is a tungsten film through selective CVD.

CLAIM 6

A method for the production of semiconductor devices, said method comprising the following steps (a) to (e):

- (a) A step for forming an insulating film on a substrate;
- (b) A step for forming interconnect trenches on an insulating film;

- (c) A step for embedding an interconnect material into the interconnect trenches as well as forming an interconnect material film over the insulating film;
- (d) A step for forming a trench-type interconnect by removing the interconnect material film formed on the insulating film; and
- (e) A step for forming an antioxidant film on the surface of the trench-type interconnect in a self-aligned manner.

CLAIM 7

The production method according to Claim 6, wherein copper-based interconnect material is used as interconnect material in step (c).

CLAIM 8

The production method according to Claim 6 or Claim 7, wherein the antioxidant film is formed, in step (e), through an electroless plating method or selective CVD method.

CLAIM 9

The production method according to Claim 8, wherein an electroless plated film containing cobalt is formed as an antioxidant film in step (e).

CLAIM 10

The production method according to Claim 8, wherein a tungsten film is formed as an antioxidant film through selective CVD in step (e).

DETAILED DESCRIPTION OF THE INVENTION

[0001]

TECHNOLOGICAL FIELD OF THE INVENTION

The present invention pertains to a semiconductor device having a trench-type (embedded) interconnect structure and a process for the production thereof.

[0002]

PRIOR ART

With the adoption of LSIs' high integration, the miniaturization and multilayering of the interconnects is progressing, highlighting the importance of planarization technology during interconnect formation, processing technology for fine interconnects, and ensuring the reliability of the interconnects.

[0003] Embedded interconnect technology has been explored as a solution for these objectives. As shown in Figure 6, such embedded interconnect technology involves forming interconnect trenches 2 for the interconnect pattern (i.e., interconnect trenches) on insulating film 1 (diagram (a) of said figure), embedding interconnect material 4 in said interconnect trenches 2 typically after forming metallic barrier layer 3 in the interconnect trenches 2 in advance (diagram (b) of said figure), and removing excess portions of interconnect material 4 through etchback or chemical mechanical polishing (CMP), leaving interconnect material 4 in interconnect trench 2, thus forming trench-type interconnect 5 (diagram (c) of said figure). According to the embedded interconnect technology, the interconnect part is embedded in insulating film 1, which has the advantage of facilitating interlayer planarization in the subsequent process.

[0004] Dual-damascene interconnect is attracting attention as an application of embedded interconnect technology. As shown in Figure 7, for example, damascene interconnect technology involves forming interconnect trenches 2, which are used to embed interconnect lines in insulating film 1 on interconnect 5b in the lower layer, and connection holes 6 for connecting the upper and lower interconnect layers (diagram (a) of said figure), filling both trenches and holes with interconnect material 4 after the formation of metallic barrier layer 3 (diagram (b) of said figure), and shaving excess portions of interconnect material 4 through CMP (Chemical Mechanical Polish), thereby concurrently forming trench-type interconnect 5 in the upper layer and interconnect plugs 7 in connection holes 6 (diagram (c) of said figure). With such dual-damascene interconnect technology, interconnects and interconnect plugs can

be formed at once, resulting in a significant reduction in process costs.

[0005]

PROBLEMS TO BE RESOLVED BY THE INVENTION

However, the conventional embedded interconnect technology described above poses the following problems: That is, when interconnect material 4 is embedded in interconnect trenches 2 and then the excess portions are removed through etchback or CMP to form trench-type interconnect 5, the surface of said trench-type interconnect 5 is exposed, as shown in Figure 6 (c) or Figure 7 (c). Consequently, trench-type interconnect 5 is oxidized while its surface is being exposed to the atmosphere until the subsequent process or while an interlayer insulating film is being formed on trench-type interconnect 5, as shown in Figure 6 (d) or Figure 7 (d). This leads to the formation of an oxide layer on the surface of the trench-type interconnect, causing problems such as an increase in interconnect resistance and a decrease in the reliability of the interconnects and elements. This problem is especially noticeable when the trench-type interconnect 5 consists of copper interconnect, which is susceptible to oxidation. Due to the surface oxidation, copper ions diffuse into the interlayer insulating film on trench-type interconnect 5, diminishing the reliability of the interconnects and elements.

[0006] The present invention is intended to resolve the above-mentioned problems of the conventional art, doing so by preventing an increase in resistance due to the oxidation of interconnects and a reduction in the reliability of interconnects and elements when forming the interconnects through embedded interconnect technology.

[0007]

MEANS FOR RESOLVING THE PROBLEMS

In order to achieve the objective mentioned above, the present invention provides a semiconductor device comprising trench-type interconnect being formed by forming interconnect trenches on an insulating film, which is formed on a substrate, and filling said interconnect trenches with an interconnect material, wherein an antioxidant film is formed on the surface of the trench-type interconnect in a self-aligned manner.

[0008] The present invention also provides a method for the production of semiconductor devices, said method comprising the following steps (a) to (e):

- (a) A step for forming an insulating film on a substrate;
- (b) A step for forming interconnect trenches on an insulating film;

- (c) A step for embedding an interconnect material into the interconnect trenches as well as forming an interconnect material film over the insulating film;
- (d) A step for forming a trench-type interconnect by removing the interconnect material film formed on the insulating film; and
- (e) A step for forming an antioxidant film on the surface of the trench-type interconnect in a self-aligned manner.

[0009] The semiconductor device according to the present invention enables the prevention of oxidation on the surface of the trench-type interconnect by forming an antioxidant film on the trench-type interconnect in a self-aligned manner. Therefore, it becomes possible to prevent an elevation in interconnect resistance and a diminishment in interconnect reliability due to oxidation of the interconnect.

[0010] In particular, by forming such an antioxidant film through an electroless plating method or a selective CVD method, it becomes possible to form an antioxidant film in a self-aligned manner at low cost.

[0011]

EMBODIMENT OF THE INVENTION

The following provides a detailed explanation of the present invention, with reference to the accompanying drawings. It should be noted that the same reference code in each figure represents the same or equivalent constituent element.

[0012] Figure 1 shows a cross-sectional view of a semiconductor device according to one aspect of the present invention. The semiconductor device shown in the figure comprises trench-type interconnect 5 formed by embedding an interconnect material in interconnect trench 2 formed in insulating film 1 on substrate 10, and further comprises antioxidant film 11 formed in a self-aligned manner on the surface of trench-type interconnect 5. Said semiconductor device is formed through the following steps (a) to (e):

- (a) A step for forming an insulating film on a substrate;
- (b) A step for forming interconnect trenches on an insulating film;
- (c) A step for forming an interconnect material film over the insulating film as well as embedding the interconnect material into the interconnect trenches;

- (d) A step for forming a trench-type interconnect by removing the interconnect material film formed on the insulating film; and
- (e) A step for forming an antioxidant film on the surface of the trench-type interconnect in a self-aligned manner.

Here, steps (a) to (d) can be performed in the same way as the conventional trench-type interconnect formation technology shown in figures 6 (a) to (c) and 7 (a) to (c), and conventional materials can be used for the substrate, interconnect material, insulating film material, etc.

[0013] For example, substrate 10 can be an Si substrate comprising elements formed thereon through a regular LSI process.

[0014] For example, silicon compounds publicly known as insulating materials, such as SiO₂, BPSG, PSG, BSG, AsSG, NSG, SOG, LTO, SiN, SiON, SiOF, etc., and -- to the extent that the maximum process temperature satisfies the heat resistance requirement -- organic low-dielectric materials, such as amorphous Teflon (poly tetrafluoroethylene), BCB (benzocyclobutene), Parylene, and Flare (fluorinated arylene ether), or the laminate film thereof may be used as insulating film 1 that is formed in step (a).

[0015] The interconnect trench 2 formed in step (b) can also be formed using publicly known lithography and etching techniques. In addition to interconnect trench 2, connection hole 6 can also be formed in a similar manner.

[0016] In step (c) for forming a film of interconnect material 4 over insulating film 1 and embedding interconnect trench 2 therewith, metallic barrier layer 3 is formed in interconnect trench 2 first, and then interconnect material 4 is formed and embedded in the trench through, a reflow method (whereby, after the formation of a film from interconnect material 4, the film of interconnect material 4 is heated to a temperature equal to or higher than the crystallization temperature but lower than the melting point of interconnect material 4 so that the film is softened and fluidized so that interconnect material 4 flows into and thus fills interconnect trench 2), a high-pressure reflow method (whereby interconnect material 4 is heated in a high-pressure inert gas so that interconnect material 4 is highly efficiently forced into and thus fills interconnect trench 2 in which metallic barrier layer 3 has been formed), a high-temperature sputtering method, or the like. In addition to the interconnect trench 2, connection hole 6 is also filled with interconnect material 4 at the same time. When an interconnect plug 7 is formed, the formation of the metallic barrier layer 3 and the embedding

of the interconnect material 4 are achieved in a similar way.

[0017] Here, metallic barrier layer 3 may be a single film of a high-melting-point metal such as Ti, TiN, TiON, W, WN, TiW, TiWN, Ta or TaN, or a compound film thereof, or a laminate film thereof.

[0018] Additionally, examples of the interconnect material 4 include pure Al, Al-Cu, Al-Si, Al-Si-Cu, Al-Ge, Al-Si-Ge, Al-Ge-Cu, Al-Cu-Ti, Al-Si-Ti, Al-Sc, Al-Sc-Cu, and various Al-based alloys, as well as pure Cu, Cu-Ti, Cu-Zr, other Cu-based alloys, and Ag. Among these interconnect materials, it is preferable to use copper-based interconnect materials.

[0019] Once interconnect material 4 is embedded, the excess portions of interconnect material 4 are removed through etchback or chemical mechanical polishing (CMP), etc., while leaving the rest of the interconnect material 4 in interconnect trench 2 to thereby obtain trench-type interconnect 5.

[0020] Step (e) for forming antioxidant film 11 on the surface of trench-type interconnect 5 in a self-aligned manner is characteristic of the production process according to the present invention. This step enables the prevention of oxidation on the surface of trench-type interconnect 5, thereby enhancing the reliability of the interconnect and its elements. Here, the phrase “forming an antioxidant film 11 on the surface of trench-type interconnect 5 in a self-aligned manner” means forming antioxidant film 11 selectively on the surface of trench-type interconnect 5 from the start.

[0021] The electroless plating method, selective CVD method, and nitride film formation, among others, can be used to form such an antioxidant film 11. When using the electroless plating method, substrate 10, on which trench-type interconnect 5 is formed, is immersed in an electroless plating solution of a metal that does not react with interconnect material 4 of trench-type interconnect 5, to thereby form an electroless plating film. For example, when copper or a copper alloy is used as an interconnect material, an electroless plating solution of Co, Cr, W, Ta, and Mo, etc., can be used as the electroless plating solution. The electroless plated film formed on the trench-type interconnect 5 preferably contains cobalt, in particular.

[0022] When using the selective CVD method, an antioxidant film 11 can be formed by forming a film of interconnect-material barrier metal, such as W and TiN, through the selective CVD method.

[0023] When using nitride film formation, antioxidant film 11 can be formed by heat-treating trench-type interconnect 5 using N₂, NH₃, etc., as process gases, or by irradiating nitrogen plasma, which may be generated through various techniques such as ICP (Inductive coupled

Plasma), ECR plasma, parallel plate plasma, and magnetron plasma, onto the surface of trench-type interconnect 5.

[0024]

WORKING EXAMPLES

The following is a detailed explanation of the present invention with reference to working examples:

[0025] Working Example 1

Figure 2 shows an illustrative drawing of the production process according to the present working example.

[0026] First, elements were formed on the Si substrate in accordance with a regular LSI process, followed by the formation of insulating film 1 on substrate 10, on which the lower-layer interconnect 5b has been formed, so as to form interconnect trench 2 and connection hole 6 on insulating film 1 through a regular PR or RIE method (Figure 2 (a)). In this case, the width of interconnect trench 2 was 0.4 μm , and the depth was 0.5 μm .

[0027] Next, a Ti layer and a TiN layer were sequentially formed as metallic barrier layers 3, doing so through the magnetron sputtering method in high vacuum under the following film-formation conditions, respectively (Figure 2 (b)).

[0028] Conditions for Ti film formation

DC power: 5kW

Process gas: Ar 100 sccm

Pressure: 0.4 Pa

Substrate temperature: 150°C

Film thickness: 20 nm

[0029] Conditions for TiN film formation

DC power: 5kW

Process gas: Ar 30 sccm, N₂ 80 sccm

Pressure: 0.4 Pa

Substrate temperature: 150°C

Film thickness: 50 nm

[0030] Subsequently, pure-Cu (interconnect material 4) was continuously formed in high vacuum through the magnetron sputtering method under the following film formation conditions (Figure 2 (b)). With said film formation, the Cu structure was formed in such a

way that Cu was connected at the openings of interconnect trench 2 or connection hole 6 but had a void 12 inside.

[0031] Conditions for Cu film formation

DC power: 15 kW

Process gas: Ar 100 sccm

Pressure: 0.4 Pa

Substrate temperature: 400°C

Film thickness: 1200 nm

[0032] Next, in accordance with the following high-pressure reflow conditions, Ar gas was introduced to the substrate in a high-pressure AR atmosphere in a high vacuum, and interconnect material (Cu) 4 was caused to reflow so as to fill interconnect trench 2 and connection hole 6 concurrently (Figure 2 (c)). Then, the substrate temperature was increased to 400°C or higher, near the recrystallization temperature of Cu, thereby improving embeddability.

[0033] High-pressure reflow conditions

Pressure: 10^6 Pa or higher

Substrate temperature: 450°C

Time: 1 min

[0034] Next, the surface of interconnect material (Cu) 4 constituting trench-type interconnect 5 was exposed through the CMP method by chemically and mechanically polishing and thus removing interconnect material (Cu) 4 and metallic barrier layer (Ti/TiN) 3 from sections other than trench-type interconnect 5 and interconnect plug 7 (Figure 2 (d)). The Cu CMP conditions in this case are listed below:

[0035] Cu CMP Conditions

Polishing pressure: 100 g/cm²

Rotation frequency: Surface plate 30 rpm, polishing head 30 rpm

Abrasive pad: SUBA IV

Slurry: NH₃ base (containing foamed silica)

Flow rate: 100 cc/min

Temperature: 25°C to 30°C

[0036] Next, in order to prevent oxidation of the surface of interconnect material (Cu) 4 thus exposed, the substrate was immersed in an electroless Co plating solution under the following

electroless plating conditions to form an antioxidant film 11a consisting of electroless Co plating film (Figure 2 (e)).

[0037] Electroless plating conditions

Chemical solution: *Combus* M (manufactured by World Metal Corporation)

Temperature: 70°C to 80°C

[0038] **Working Example 2**

In the same way as Working Example 1, interconnect trench 2 and connection hole 6 were formed on insulating film 1 on substrate 10, and Ti and TiN layer films were sequentially formed as metallic barrier layers 3 through the magnetron sputtering method in high vacuum under the following film-formation conditions, after which a film was formed using Cu acting as interconnect material 4 (Figure3 (a)).

[0039] Conditions for Ti film formation

DC power: 5kW

Process gas: Ar 100 sccm

Pressure: 0.4 Pa

Substrate temperature: 150°C

Film thickness: 20 nm

[0040] Conditions for TiN film formation

DC power: 5kW

Process gas: Ar 30 sccm, N₂ 80 sccm

Pressure: 0.4 Pa

Substrate temperature: 150°C

Film thickness: 50 nm

[0041] Conditions for Cu film formation

DC power: 15 kW

Process gas: Ar 100 sccm

Pressure: 0.4 Pa

Substrate temperature: 150°C

Film thickness: 1000 nm

[0042] The state as observed after the Cu film is formed through the magnetron sputtering method is shown in Figure 3 (a). In the figure, neither the interconnect trench 2 nor the connection hole 6 is completely filled with Cu, i.e., interconnect material 4. Given this factor,

interconnect material 4 was caused to reflow in a reduced-pressure reducing atmosphere under the following reflow conditions so that it can fill interconnect trench 2 or connection hole 6 (Figure 3 (b)).

[0043] Cu reflow conditions

Process gas: H_2 500 sccm

Pressure: 67 Pa

Substrate temperature: 400°C

Annealing time: 5 min

[0044] Next, the surface of interconnect material (Cu) 4 constituting trench-type interconnect 5 was exposed through the CMP method by chemically and mechanically polishing and thus removing interconnect material (Cu) 4 and metallic barrier layer (Ti/TiN) 3 from the sections other than trench-type interconnect 5 and interconnect plug 7 (Figure 3 (c)).

[0045] Next, in order to prevent oxidation of the surface of the interconnect material (Cu) 4 thus exposed, an antioxidant film 11b consisting of W was formed on the surface of interconnect material (Cu) 4 through the selective CVD method under the following W-film formation conditions.

[0046] W-film formation conditions

Process gas: $WF_6/SiH_4/H_2/AR = 10/7/1000/10$ sccm

Pressure: 30 Pa

Substrate temperature: 260°C

Film thickness: 30 nm

[0047] **Working Example 3**

In the same way as Working Example 2, interconnect trench 2 and connection hole 6 were formed on insulating film 1 on substrate 10, and Ti and TiN layer films were sequentially formed as metallic barrier layers 3 through the magnetron sputtering method in high vacuum under the following film-formation conditions, after which a Cu was used as interconnect material 4 to further form a film. The Cu, i.e., interconnect material 4, was caused to reflow, and excess interconnect material 4 was polished through the CMP method to thereby expose the surface of interconnect material (Cu) 4 that constitutes trench-type interconnect 5 (Figure 4 (a)).

[0048] Next, in order to prevent oxidation of the surface of interconnect material (Cu) 4 thus exposed, the surface of interconnect material (Cu) 4 was heat-treated through the lamp

heating method under the following nitriding conditions, so as to form antioxidant film 11c consisting of a copper nitride film (Figure 4 (b)).

[0049] Cu nitriding conditions

Process gas: N₂

Flow rate: 5 l/sec

Substrate temperature: 400°C

Time: 2 min

[0050] **Working Example 4**

In the same way as Working Example 3, interconnect trench 2 and connection hole 6 were formed on insulating film 1 on substrate 10, after which the Cu (copper), i.e., interconnect material 4, was caused to reflow, and excess interconnect material 4 was polished through CMP method to thereby expose the surface of trench-type interconnect 5 (Figure 5 (a)).

[0051] Next, in order to prevent oxidation of the surface of the interconnect material (Cu) 4 thus exposed, the surface of interconnect material (Cu) 4 was converted into a nitride through the use of nitrogen plasma 13 under the following Cu-nitriding conditions, thus obtaining antioxidant film 11d (Figure 4 (b)). Incidentally, ICP (Inductive Coupled Plasma) was used as nitrogen plasma 13.

[0052] Conditions for plasma nitriding of Cu

Process gas: N₂

Flow rate: 100 sccm

Pressure: 0.4 Pa

Substrate power: 300 W (13.5 W) 56 MHz)

Substrate power: 500 W (13.00 W) 56 MHz)

Substrate temperature: 300°C

Time: 2 min

[0053]

EFFECTS OF THE INVENTION

According to the present invention, an antioxidant film is formed on the surface of the trench-type interconnect formed through the embedded interconnect technology, making it possible to prevent an increase in interconnect resistance due to the oxidation of the trench-

type interconnect surface, and to also prevent a reduction in the reliability of the interconnects and elements.

BRIEF EXPLANATION OF THE DRAWINGS

Figure 1 shows a cross-sectional view of the semiconductor device according to the present invention.

Figure 2 shows diagrams (diagrams (a) to (e) of said figure) that illustrate steps according to the method for the production of semiconductor devices according to a working example of the present invention.

Figure 3 shows diagrams (diagrams (a) to (d) of said figure) that illustrate steps according to the method for the production of semiconductor devices according to a working example of the present invention.

Figure 4 shows diagrams (diagrams (a) and (b) of said figure) that illustrate steps according to the method for the production of semiconductor devices according to a working example of the present invention.

Figure 5 shows diagrams (diagrams (a) and (b) of said figure) that illustrate steps according to the method for the production of semiconductor devices according to a working example of the present invention.

Figure 6 shows diagrams (diagrams (a) to (d) of said figure) that illustrate steps according to a conventional method for the production of semiconductor devices.

Figure 7 shows diagrams (diagrams (a) to (d) of said figure) that illustrate steps according to a conventional method for the production of semiconductor devices.

EXPLANATION OF REFERENCE CODING

1...insulating film, 2...interconnect trench, 3...metallic barrier layer, 4...interconnect material, 5...trench-type interconnect, 6...connection hole, 7...Interconnect plug, 8...oxidized layer, 10...substrate, 11...antioxidant film

Figure 1

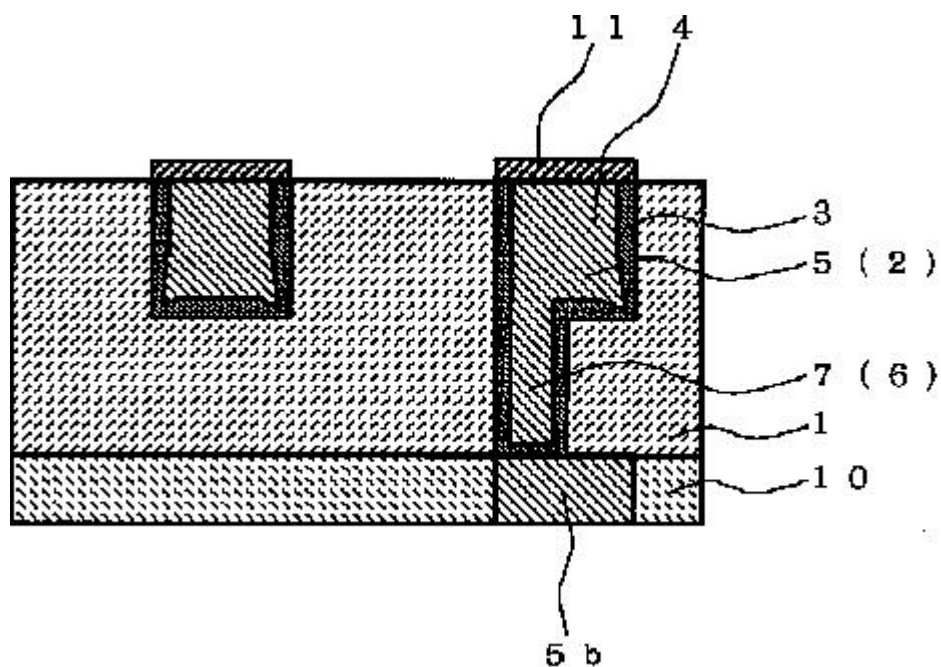


Figure 2

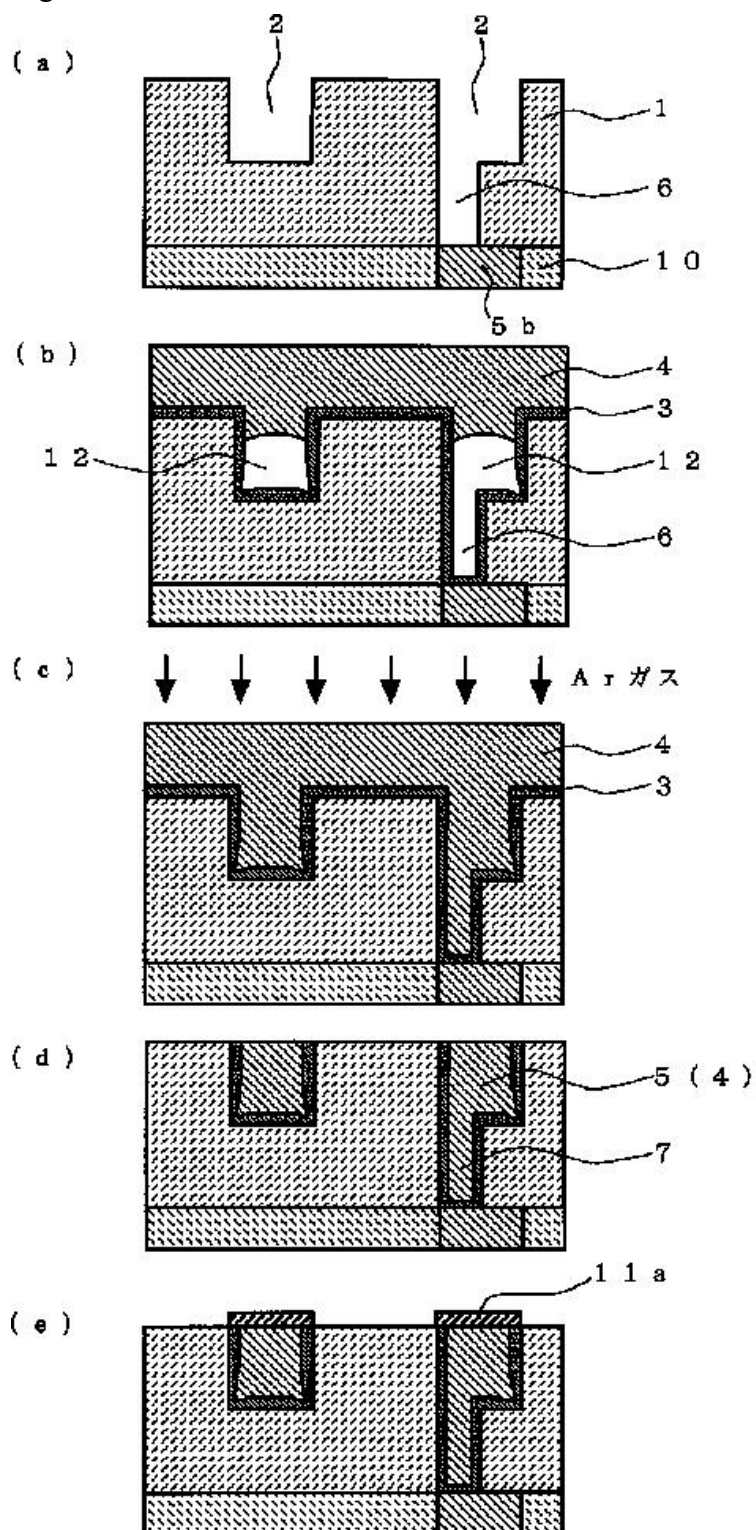
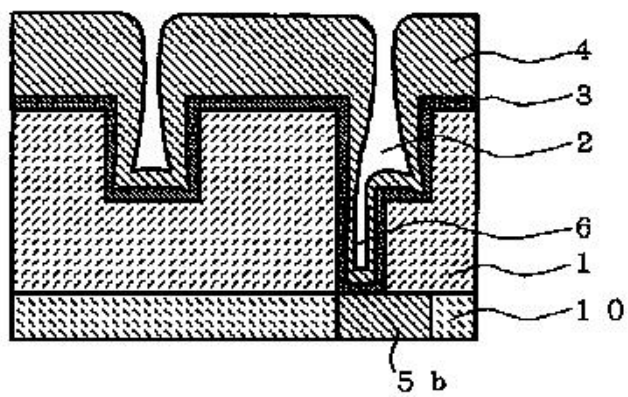
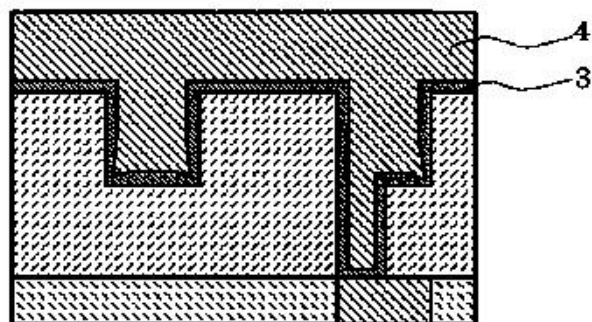


Figure 3

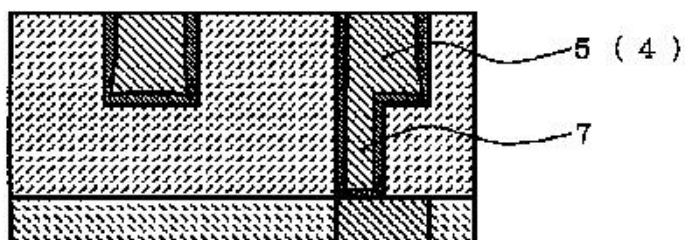
(a)



(b)



(c)



(d)

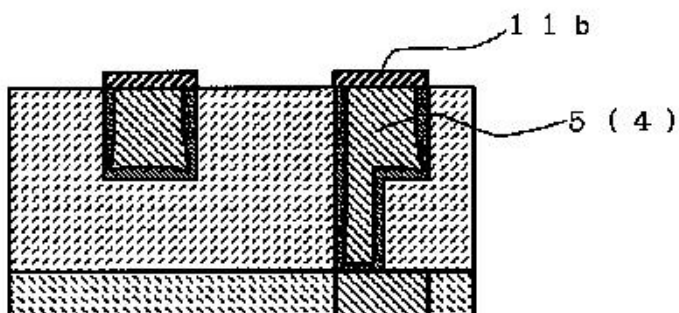
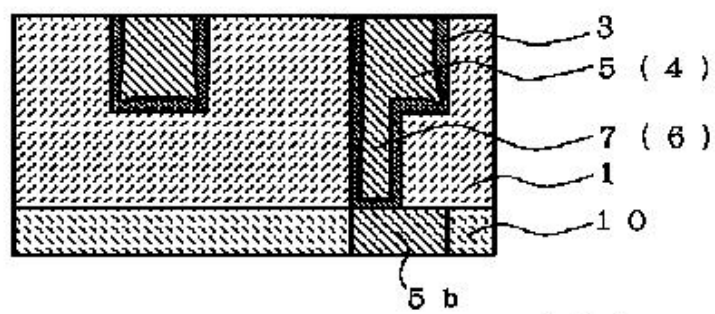


Figure 4

(a)



(b)

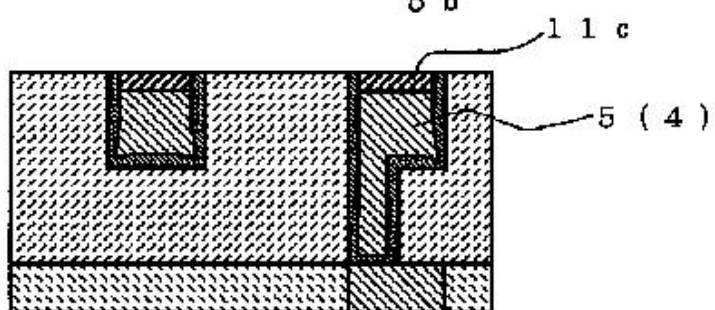
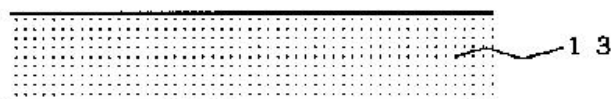


Figure 5

(a)



(b)

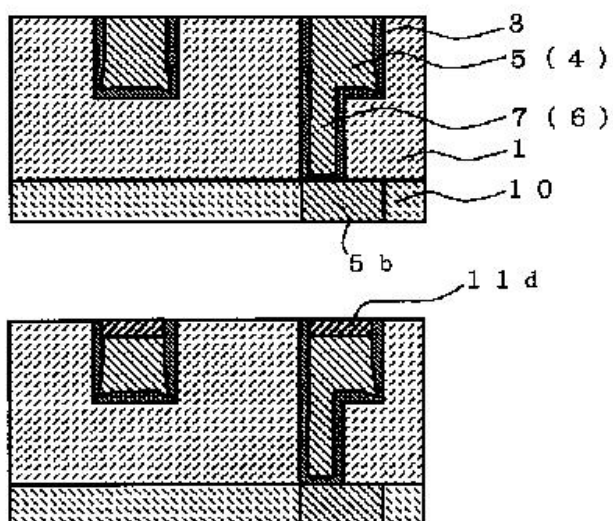
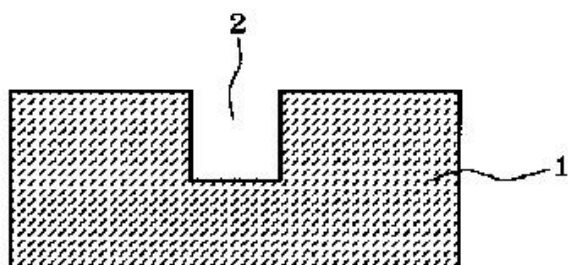
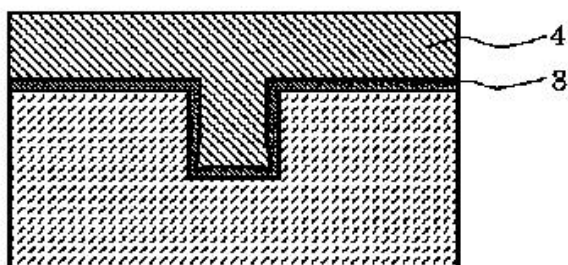


Figure 6

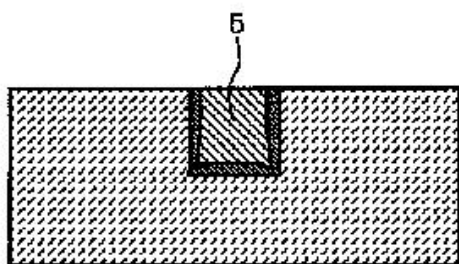
(a)



(b)



(c)



(d)

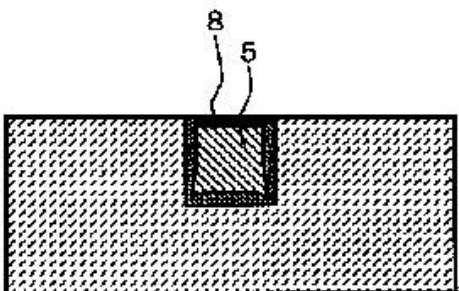
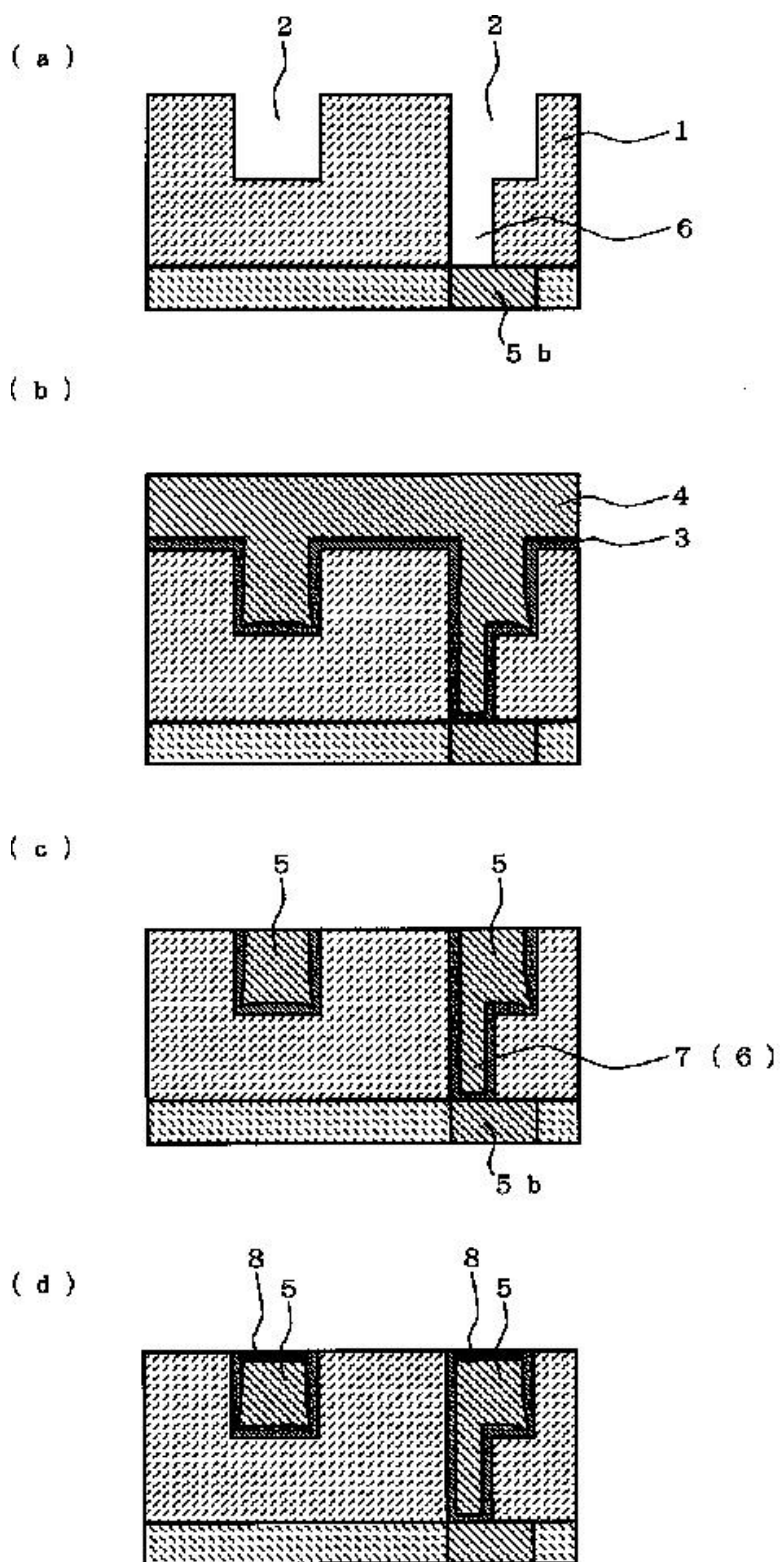


Figure 7



I, Yukie Hirose, hereby declare as follows:

1. I, Yukie Hirose, hereby certify that I am a professional translator fluent in both Japanese and English and I am competent to translate from Japanese into English.
2. I am a translator at Nelles Translations, which is located at 3 Grant Square, #336, Hinsdale, IL 60521.
3. I possess advanced knowledge of the Japanese and English languages.
4. The attached translation is, to the best of my knowledge and belief, a true and accurate translation from the Japanese patent **JP, H11-16906, A** to English.
5. I declare under penalty of perjury that all statements made herein of my own knowledge are true and all statements made on information and belief are believed to be true, and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment or both, under Section 1001 of Title 18 of the United States Code.

Dated: 5/13/25

A handwritten signature in black ink, appearing to read 'Yukie Hirose', is written over a solid black horizontal line.

Ms. Yukie Hirose

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-16906

(43) 公開日 平成11年(1999) 1 月22日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/3205

H 0 1 L 21/88

K

審査請求 未請求 請求項の数10 O L (全 7 頁)

(21) 出願番号 特願平9-172447

(22) 出願日 平成9年(1997) 6 月27日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6 丁目7 番35号

(72) 発明者 前田 圭一

東京都品川区北品川6 丁目7 番35号 ソニ
ー株式会社内

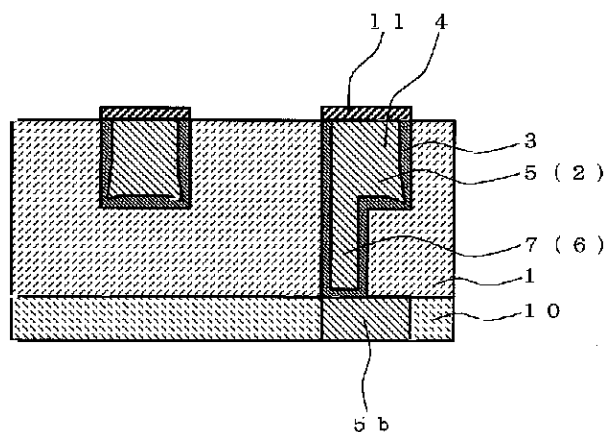
(74) 代理人 弁理士 田治米 登 (外1名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 埋め込み配線技術により形成した配線の表面酸化を防止し、抵抗の上昇や信頼性の低下を防止する。

【解決手段】 基板10上に形成された絶縁膜1に配線溝2が形成され、その配線溝2に配線材料4を埋め込むことにより形成された溝配線5を有する半導体装置において、溝配線5の表面に自己整合的に酸化防止膜11を形成する。



【特許請求の範囲】

【請求項1】 基板上に形成された絶縁膜に配線溝が形成され、その配線溝に配線材料を埋め込むことにより形成された溝配線を有する半導体装置において、溝配線の表面に自己整合的に酸化防止膜が形成されていることを特徴とする半導体装置。

【請求項2】 溝配線が、銅系配線材料から形成されている請求項1記載の半導体装置。

【請求項3】 酸化防止膜が、無電解メッキ膜又は選択CVD膜からなる請求項1又は2記載の半導体装置。

【請求項4】 酸化防止膜が、コバルト含有無電解メッキ膜である請求項3記載の半導体装置。

【請求項5】 酸化防止膜が、選択CVDによるタングステン膜である請求項3記載の半導体装置。

【請求項6】 以下の工程(a)～(e)：

(a) 基板上に絶縁膜を形成する工程；

(b) 絶縁膜に配線溝を形成する工程；

(c) 絶縁膜上に配線材料を成膜すると共に、配線溝に配線材料を埋め込む工程；

(d) 絶縁膜上に成膜された配線材料を除去することにより溝配線を形成する工程；及び

(e) 溝配線の表面に自己整合的に酸化防止膜を形成する工程；を含んでなることを特徴とする半導体装置の製造方法。

【請求項7】 工程(c)において、配線材料として銅系配線材料を使用する請求項6記載の製造方法。

【請求項8】 工程(e)において、酸化防止膜を、無電解メッキ法又は選択CVD法により形成する請求項6又は7記載の製造方法。

【請求項9】 工程(e)において、酸化防止膜としてコバルト含有無電解メッキ膜を形成する請求項8記載の製造方法。

【請求項10】 工程(e)において、酸化防止膜として選択CVDによるタングステン膜を形成する請求項8記載の製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、溝配線（埋め込み配線）構造を有する半導体装置、及びその製造方法に関する。

【0002】

【従来の技術】LSIの高集積化に伴い、その内部配線の微細化、多層化が進んでおり、これに伴い配線形成時の平坦化技術や微細配線の加工技術及び配線の信頼性の確保が重要となっている。

【0003】これらの課題の解決手段の一つとして、埋め込み配線技術が検討されている。この埋め込み配線技術とは、図6に示すように、絶縁膜1上に配線パターンの溝（即ち、配線溝）2を形成し（同図（a））、この配線溝2の中に、通常予めバリアメタル層3を形成後、

配線材料4を埋め込み（同図（b））、配線材料4の余剰部分をエッチバック又は化学的機械研磨法（CMP（Chemical Mechanical Polish））によって除去し、配線溝2部分に配線材料4を残すことにより溝配線5を形成する方法である（同図（c））。埋め込み配線技術によると、配線部分が絶縁膜1に埋め込まれた形状となるため、この後の行程で層間平坦化が容易となるという利点を有する。

【0004】埋め込み配線技術の応用としては、デュアルダマシン（Dual Damascene）配線が注目されている。デュアルダマシン配線とは、例えば、図7に示すように、下層配線5b上の絶縁膜1に対して配線を埋め込む配線溝2と上下の配線層間を結ぶ接続孔6とを形成し（同図（a））、これら双方を、予めバリアメタル層3を形成後配線材料4で埋め込み（同図（b））、CMP（Chemical Mechanical Polish）で配線材料4の余剰部分を削り、上層の溝配線5及び接続孔6内の配線プラグ7を同時に形成する技術である（同図（c））。このデュアルダマシン配線技術によると、配線と配線プラグとを一度に形成することができるので、大幅なプロセスコストの低減を図ることができる。

【0005】

【発明が解決しようとする課題】しかしながら、上述の従来の埋め込み配線技術には、次のような問題がある。即ち、図6（c）あるいは図7（c）に示すように、配線溝2内に配線材料4を埋め込んだ後、余剰部分をエッチバック又はCMPで除去することにより溝配線5を形成すると、この溝配線5の表面が露出することとなる。そのため、その後の工程までの大気放置中あるいはこの溝配線5上にさらに層間絶縁膜を形成する間に、図6（d）あるいは図7（d）に示すように溝配線5が酸化されて表面に酸化層8が形成され、配線抵抗が上昇したり、配線や素子の信頼性が低下するという問題がある。特に、溝配線5が、酸化されやすい銅配線の場合にはこの問題が顕著であり、表面酸化により銅イオンが溝配線5上の層間絶縁膜中へ拡散するため、配線や素子の信頼性が低下する。

【0006】本発明は、以上の従来の技術の問題を解決しようとするものであり、埋め込み配線技術により配線を形成するにあたり、配線の酸化による抵抗の上昇や、配線及び素子の信頼性の低下を防止することを目的とする。

【0007】

【課題を解決するための手段】上記の目的を達成するため、本発明は、基板上に形成された絶縁膜に配線溝が形成され、その配線溝に配線材料を埋め込むことにより形成された溝配線を有する半導体装置において、溝配線の表面に自己整合的に酸化防止膜が形成されていることを特徴とする半導体装置を提供する。

【0008】また、本発明は、以下の工程(a)～(e)：

- (a) 基板上に絶縁膜を形成する工程；
- (b) 絶縁膜に配線溝を形成する工程；
- (c) 配線溝に配線材料を埋め込むと共に絶縁膜上に配線材料を成膜する工程；
- (d) 絶縁膜上に成膜された配線材料を除去することにより溝配線を形成する工程； 及び
- (e) 溝配線の表面に自己整合的に酸化防止膜を形成する工程；を含んでなることを特徴とする半導体装置の製造方法を提供する。

【0009】本発明の半導体装置によると、溝配線上に自己整合的に酸化防止膜が形成されているので、溝配線の表面の酸化を防止することができる。したがって、配線の酸化による配線抵抗の上昇や配線の信頼性の低下を防止することができる。

【0010】特に、この酸化防止膜を無電解メッキ法又は選択CVD法により形成すると、低コストに自己整合的に酸化防止膜を形成することができる。

【0011】

【発明の実施の形態】以下、本発明を図面に基づいて詳細に説明する。なお、各図中同一符号は同一又は同等の構成要素を表している。

【0012】図1は本発明の一態様の半導体装置の断面図である。同図の半導体装置は、基板10上の絶縁膜1に形成された配線溝2に配線材料を埋め込むことにより形成された溝配線5を有し、さらにこの溝配線5の表面に自己整合的に形成された酸化防止膜11を有している。この半導体装置は、以下の工程(a)～(e)：

- (a) 基板上に絶縁膜を形成する工程；
- (b) 絶縁膜に配線溝を形成する工程；
- (c) 絶縁膜上に配線材料を成膜すると共に、配線溝に配線材料を埋め込む工程；
- (d) 絶縁膜上に成膜された配線材料を除去することにより溝配線を形成する工程； 及び
- (e) 溝配線の表面に自己整合的に酸化防止膜を形成する工程；から形成されている。ここで、工程(a)～工程(d)は、図6(a)～(c)及び図7(a)～(c)に示した従来の溝配線の形成技術と同様に行うことができ、基板、配線材料、絶縁膜材料等も従来の材料を使用することができる。

【0013】例えば、基板10としては、通常のLSIプロセスによりSi基板上に素子形成したもの等を使用することができる。

【0014】工程(a)で形成する絶縁膜1としては、 SiO_2 、BPSG、PSG、BSG、AsSG、NSG、SOG、LTO、SiN、SiON、SiOF等Siの化合物である公知の絶縁材料、またプロセスの最高温度が耐熱性を満たす範囲で、アモルファスTeflon(poly tetrafluoroethylene)、BCB(benzocyclobuten

e)、Parylene、Flare(fluorinated arylene ether)等の有機系低誘電率材料、あるいはそれらの積層膜を用いることができる。

【0015】工程(b)で形成する配線溝2も公知のリソグラフィ技術とエッチング技術とを利用して形成することができる。また、このとき配線溝2の他に接続孔6も同様に形成することができる。

【0016】工程(c)の絶縁膜1上への配線材料4の成膜と配線溝2の埋め込みの工程においては、まず、配線溝2にバリアメタル層3を形成し、次いでリフロー法(配線材料4を成膜後、配線材料4の結晶温度以上融点以下の温度に加熱処理して配線材料4の膜を軟化、流動化させ、バリアメタル層3が形成されている配線溝2の内部に配線材料4を流し込むことにより配線溝2を埋め込む方法)、高圧リフロー法(配線材料4の加熱処理を高圧の不活性ガス中で行い、配線材料4をバリアメタル層3が形成されている配線溝2の内部に高い効率で押し込むことにより充填する方法)、高温スパッタ法等により配線材料4の形成と埋め込みとを行う。配線溝2の他に接続孔6も同時に埋め込み、配線プラグ7を形成する場合にも、同様にバリアメタル層3の形成や配線材料4の埋め込みを行う。

【0017】ここで、バリアメタル層3としては、Ti、TiN、TiON、W、WN、TiW、TiWN、Ta、Ta₂N等の高融点金属膜やその化合物膜の単独膜またはこれらの積層膜をあげることができる。

【0018】また、配線材料4としては、純Al、Al-Cu、Al-Si、Al-Si-Cu、Al-Ge、Al-Si-Ge、Al-Ge-Cu、Al-Cu-Ti、Al-Si-Ti、Al-Sc、Al-Sc-Cu等、種々のAl系合金、純Cu、Cu-Ti、Cu-Zr等Cu系合金、Ag等を挙げることができる。これら配線材料の中でも、銅系配線材料を使用することが好ましい。

【0019】配線材料4の埋め込み後は、配線材料4の余剰部分をエッチバック又は化学的機械研磨法(CMP)等によって除去し、配線溝2内に配線材料4を残すことにより溝配線5を得る。

【0020】工程(e)の溝配線5の表面に自己整合的に酸化防止膜11を形成する工程は、本発明の製造方法に特徴的な工程であり、これにより溝配線5の表面の酸化を防止し、配線や素子の信頼性の向上を図る。ここで溝配線5の表面に自己整合的に酸化防止膜11を形成するとは、当初から、溝配線5の表面に選択的に酸化防止膜11を形成するという意味である。

【0021】このような酸化防止膜11の形成方法としては、無電解メッキ法、選択CVD法、窒化膜の形成等をあげることができる。このうち無電解メッキ法による場合には、溝配線5を形成した基板10を、溝配線5の配線材料4と反応しない金属の無電解メッキ液に浸し、

無電解メッキ膜を形成する。例えば、銅又は銅合金を配線材料とする場合、無電解メッキ液としては、Co、Cr、W、Ta、Mo等の無電解メッキ液を使用することができる。溝配線5上に形成する無電解メッキ膜の中では、特にコバルト含有無電解メッキ膜が好ましい。

【0022】選択CVD法等による場合には、W、TiN等の配線材料のバリアメタルを選択CVD法で成膜することにより酸化防止膜11を形成することができる。

【0023】窒化膜の形成による場合には、プロセスガスとしてN₂、NH₃等を用いて溝配線5を熱処理したり、ICP (Inductive Coupled Plasma)、ECRプラズマ、平行平板プラズマ、マグネトロンプラズマ等の種々の方式により生成した窒素プラズマを溝配線5の表面に照射することにより酸化防止膜11を形成することができる。

【0024】

【実施例】以下、本発明を実施例により具体的に説明する。

【0025】実施例1

本実施例の製造工程の説明図を図2に示す。

【0026】まず、通常のLSIプロセスに従い、Si基板上に素子形成を行い、下層配線5bを形成した基板10に絶縁膜1を形成し、通常のPR、RIE法により絶縁膜1に配線溝2と接続孔6とを形成した(図2(a))。この場合、配線溝2の幅を0.4μm、深さを0.5μmとした。

【0027】次に、高真空中におけるマグネトロンスパッタ法によりバリアメタル層3として、Ti層及びTiN層を順次それぞれ次の成膜条件で成膜した(図2(b))。

【0028】Ti成膜条件

DCパワー：5kW

プロセスガス：Ar100sccm

圧力：0.4Pa

基板温度：150℃

膜厚：20nm

【0029】TiN成膜条件

DCパワー：5kW

プロセスガス：Ar30sccm、N₂80sccm

圧力：0.4Pa

基板温度：150℃

膜厚：50nm

【0030】引き続き、高真空中にて連続的にマグネトロンスパッタ法によりpure-Cu(配線材料4)を次の成膜条件で成膜した(図2(b))。この成膜においては、Cuは配線溝2又は接続孔6の開口部分でつながり、内部にボイド12を有する構造となった。

【0031】Cu成膜条件

DCパワー：15kW

プロセスガス：Ar100sccm

圧力：0.4Pa

基板温度：400℃

膜厚：1200nm

【0032】次に、以下の高圧リフロー条件にしたがい、高真空中にArガスを導入して基板を高圧Ar雰囲気下におき、配線材料(Cu)4をリフローさせて配線溝2及び接続孔6に同時に充填した(図2(c))。また、このとき基板温度を400℃以上という、Cuの再結晶温度付近近傍まで加熱し、埋め込み性を向上させた。

【0033】高圧リフロー条件

圧力：10⁶Pa以上

基板温度：450℃

時間：1min

【0034】次に、CMP法により、溝配線5及び配線プラグ7以外の部分の配線材料(Cu)4とバリアメタル層(Ti/TiN)3とを化学的機械研磨し、除去することにより、溝配線5を構成する配線材料(Cu)4の表面を露出させた(図2(d))。この場合のCuCMP条件を以下に示す。

【0035】CuCMP条件

研磨圧力：100g/cm²

回転数：定盤 30rpm、研磨head 30rpm

研磨パッド：SUBA-IV

スラリー：NH₃ベース(フォームドシリカ含有)

流量：100cc/min

温度：25～30℃

【0036】次に、露出した配線材料(Cu)4の表面の酸化を防止するため、次の無電解メッキ条件で基板をCo無電解メッキ液に浸し、Co無電解メッキ膜からなる酸化防止膜11aを形成した(図2(e))。

【0037】無電解メッキ条件

薬液：コンバスM(株式会社ワールドメタル製)

温度：70～80℃

【0038】実施例2

実施例1と同様にして、基板10上の絶縁膜1に配線溝2及び接続孔6を形成し、高真空中におけるマグネトロンスパッタ法により、バリアメタル層3としてTi層及びTiN層を順次それぞれ次の成膜条件で成膜し、さらに配線材料4としてCuを成膜した(図3(a))。

【0039】Ti成膜条件

DCパワー：5kW

プロセスガス：Ar100sccm

圧力：0.4Pa

基板温度：150℃

膜厚：20nm

【0040】TiN成膜条件

DCパワー：5kW

プロセスガス：Ar30sccm、N₂80sccm

圧力：0.4Pa

基板温度：150℃

膜厚：50nm

【0041】Cu成膜条件

DCパワー：15kW

プロセスガス：Ar100sccm

圧力：0.4Pa

基板温度：150℃

膜厚：1000nm

【0042】マグネトロンスパッタ法によるCuの成膜後の状態は、図3(a)に示したように、配線材料4であるCuが配線溝2や接続孔6内に充填されていない。そこで減圧還元雰囲気中で以下のリフロー条件によりリフローし、配線材料4を埋め込んだ(図3(b))。

【0043】Cuリフロー条件

プロセスガス：H₂500sccm

圧力：67Pa

基板温度：400℃

アニール時間：5min

【0044】次に、CMP法により、溝配線5及び配線プラグ7以外の部分の配線材料(Cu)4とバリアメタル層(Ti/TiN)3とを化学的機械研磨し、除去することにより、溝配線5を構成する配線材料(Cu)4の表面を露出させた(図3(c))。

【0045】次に、露出した配線材料(Cu)4の表面の酸化を防止するため、配線材料(Cu)4の表面にWからなる酸化防止膜11bを選択CVD法により次のW成膜条件によって形成した。

【0046】W成膜条件

プロセスガス：WF₆/SiH₄/H₂/Ar=10/7/1000/10sccm

圧力：30Pa

基板温度：260℃

膜厚：30nm

【0047】実施例3

実施例2と同様にして、基板10上の絶縁膜1に配線溝2及び接続孔6を形成し、高真空中におけるマグネトロンスパッタ法により、バリアメタル層3としてTi層及びTiN層を順次成膜し、さらに配線材料4としてCuを成膜し、配線材料4であるCuをリフローさせ、CMP法により余剰の配線材料4を研磨し、溝配線5を構成する配線材料(Cu)4の表面を露出させた(図4(a))。

【0048】次に、露出した配線材料(Cu)4の表面の酸化を防止するため、配線材料(Cu)4の表面をランプ加熱法により以下の窒化条件で熱処理し、Cuの窒化膜からなる酸化防止膜11cを形成した(図4(b))。

【0049】Cu窒化条件

プロセスガス：N₂

流量：5l/sec

基板温度：400℃

時間：2min

【0050】実施例4

実施例3と同様にして、基板10上の絶縁膜1に配線溝2及び接続孔6を形成し、配線材料4であるCu銅をリフローし、CMP法により余剰の配線材料4を研磨して溝配線5の表面を露出させた(図5(a))。

【0051】次に、露出した配線材料(Cu)4の表面の酸化を防止するため、窒素プラズマ13によって以下のCu窒化条件で配線材料(Cu)4の表面を窒化することにより酸化防止膜11dを得た(図4(b))。なお、窒素プラズマ13としては、ICP(Inductive Coupled Plasma)を用いた。

【0052】Cuプラズマ窒化条件

プロセスガス：N₂

流量：100sccm

圧力：0.4Pa

基板パワー：300W(13.56MHz)

基板パワー：500W(13.56MHz)

基板温度：300℃

時間：2min

【0053】

【発明の効果】本発明によれば、埋め込み配線技術により形成した溝配線の表面に自己整合的に酸化防止膜を形成するので、溝配線の表面の酸化による配線抵抗の上昇を防止することができ、また配線や素子の信頼性の低下を防止することができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の断面図である。

【図2】本発明の実施例の半導体装置の製造方法の工程説明図(同図(a)～(e))である。

【図3】本発明の実施例の半導体装置の製造方法の工程説明図(同図(a)～(d))である。

【図4】本発明の実施例の半導体装置の製造方法の工程説明図(同図(a)、(b))である。

【図5】本発明の実施例の半導体装置の製造方法の工程説明図(同図(a)、(b))である。

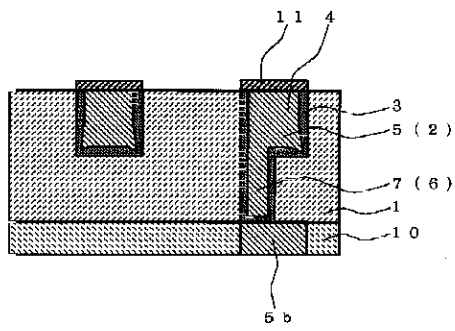
【図6】従来の半導体装置の製造方法の工程説明図(同図(a)～(d))である。

【図7】従来の半導体装置の製造方法の工程説明図(同図(a)～(d))である。

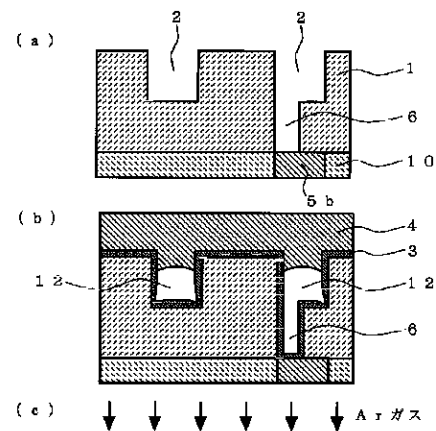
【符号の説明】

1…絶縁膜、2…配線溝、3…バリアメタル層、4…配線材料、5…溝配線、6…接続孔、7…配線プラグ、8…酸化層、10…基板、11…酸化防止膜

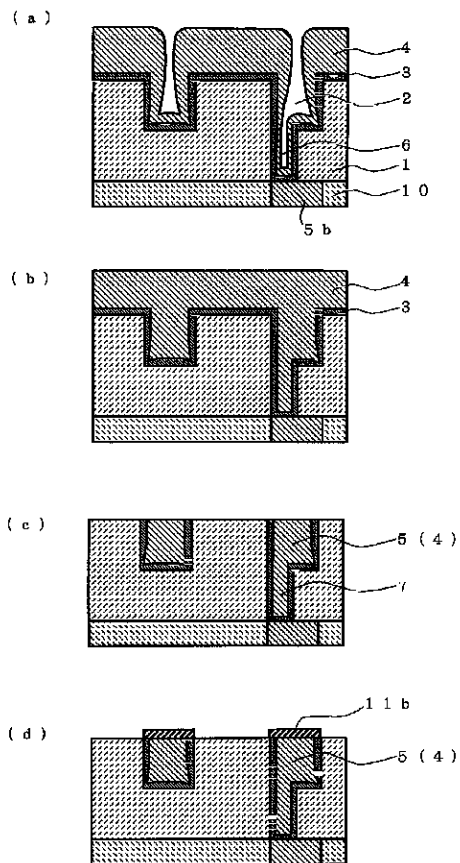
【図1】



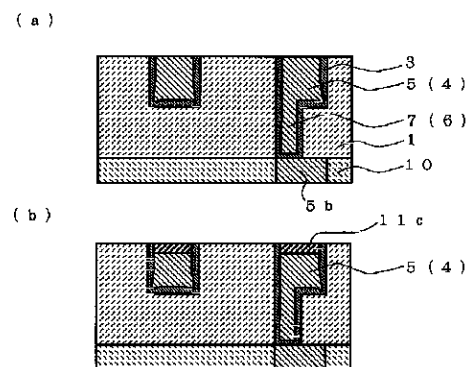
【図2】



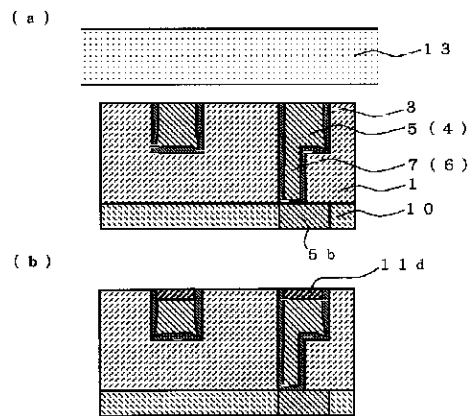
【図3】



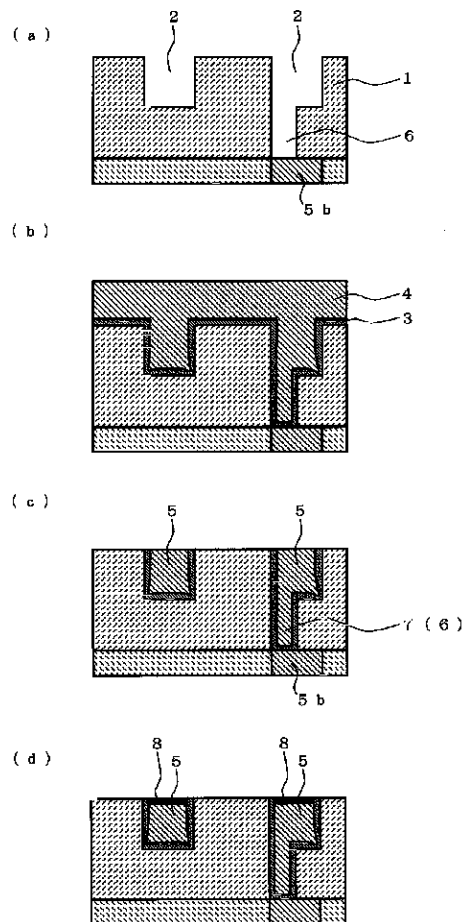
【図4】



【図5】



【図7】



【図6】

