

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-282011

(43) 公開日 平成11年(1999)10月15日

(51) Int.Cl.⁵
G 0 2 F 1/136
1/1345
G 0 9 F 9/30
H 0 1 L 29/786

識別記号

5 0 0

3 3 8

F I

G 0 2 F

1/136

1/1345

G 0 9 F

9/30

H 0 1 L

29/78

5 0 0

3 3 8

6 1 2 C

6 2 3 A

審査請求 未請求 請求項の数7 O L (全 14 頁)

(21) 出願番号 特願平10-84659

(22) 出願日 平成10年(1998)3月30日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 北和田 清文

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

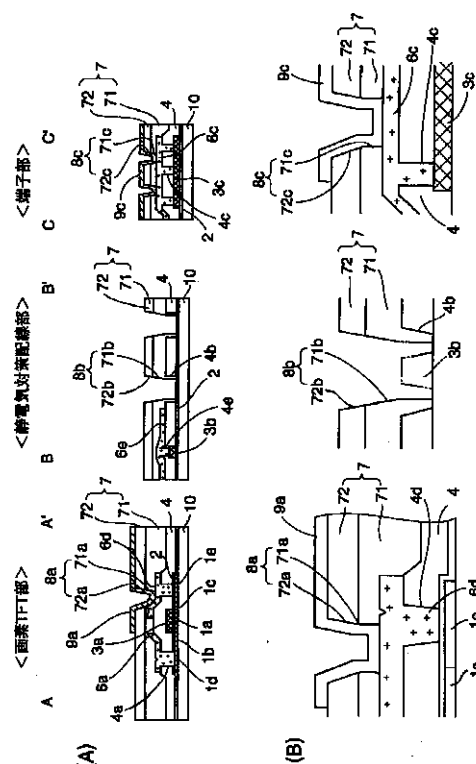
(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 アクティブマトリクス基板の製造方法および液晶表示装置

(57) 【要約】

【課題】 画素電極とドレイン領域とをドレイン電極を中継して電氣的に接続する場合でも、工程数を増やすことなく短絡用配線を露出させることができ、かつ、凹凸の平坦化も可能なアクティブマトリクス基板の製造方法、この製造方法で製造したアクティブマトリクス基板、および液晶表示装置を提供すること。

【解決手段】 アクティブマトリクス基板の製造方法において、第1の層間絶縁膜4に対して短絡用配線3bの切断予定部分を露出させる切断用孔4bを第1および第2のコンタクトホール4a、4dと同時に形成する。ポリシラザンを含む組成物の塗布膜を焼成した絶縁膜71を用いて第2の層間絶縁膜7を形成した後は、この第2の層間絶縁膜7に対して切断用孔8bを第3のコンタクトホール8aと同時に形成して短絡用配線3bの切断予定部分を露出させる。



【特許請求の範囲】

【請求項 1】 走査線およびデータ線に接続する画素スイッチング用の薄膜トランジスタと、該薄膜トランジスタに接続してなる画素電極と、前記走査線および前記データ線に信号出力する走査線駆動回路およびデータ線駆動回路と、該駆動回路に信号供給する複数の信号配線とを有し、前記薄膜トランジスタは、ゲート電極と、第 1 の層間絶縁膜の第 1 のコンタクトホールを介して前記データ線に電氣的に接続するソース領域と、前記第 1 の層間絶縁膜の第 2 のコンタクトホールを介してドレイン電極に電氣的に接続するドレイン領域とを備え、前記ドレイン電極には、前記第 1 の層間絶縁膜の上層側に形成された第 2 の層間絶縁膜の第 3 のコンタクトホールを介して前記画素電極が電氣的に接続するアクティブマトリクス基板の製造方法において、前記走査線、前記データ線の少なくともいずれかの配線同士を電氣的に接続する短絡用配線を形成する工程と、前記第 1 の層間絶縁膜に前記短絡用配線の切断予定部分を露出させる第 1 の切断用孔を形成する工程と、ペルヒドロポリシラザンまたはこれを含む組成物の塗布膜を焼成した絶縁膜を用いて前記第 2 の層間絶縁膜を形成する工程と、前記第 2 の層間絶縁膜に前記第 1 の切断用孔と重なる位置に第 2 の切断用孔を形成して前記短絡用配線の切断予定部分を露出させる工程と、前記第 2 の切断用孔を介して前記短絡用配線を前記切断予定部分で切断する工程とを有することを特徴とするアクティブマトリクス基板の製造方法。

【請求項 2】 請求項 1 において、前記第 2 の層間絶縁膜を形成する工程では、ペルヒドロポリシラザンまたはこれを含む組成物の塗布膜を焼成した絶縁膜と、該絶縁膜の表面に CVD 法により形成した絶縁膜とを用いて前記第 2 の層間絶縁膜を形成することを特徴とするアクティブマトリクス基板の製造方法。

【請求項 3】 前記走査線、前記データ線の少なくともいずれかの配線同士を電氣的に接続する短絡用配線を前記走査線と同時に形成することを特徴とする請求項 1 記載のアクティブマトリクス基板の製造方法。

【請求項 4】 前記第 1 の層間絶縁膜に前記短絡用配線の切断予定部分を露出させる第 1 の切断用孔を前記第 1 および第 2 のコンタクトホールと同時に形成することを特徴とするアクティブマトリクス基板の製造方法。

【請求項 5】 前記第 2 の層間絶縁膜に前記第 1 の切断用孔と重なる位置に第 2 の切断用孔を前記第 3 のコンタクトホールと同時に形成して前記短絡用配線の切断予定部分を露出させることを特徴とする請求項 1 記載のアクティブマトリクス基板の製造方法。

【請求項 6】 請求項 1 乃至 5 に規定する製造方法で製造したことを特徴とするアクティブマトリクス基板。

【請求項 7】 請求項 6 に規定するアクティブマトリクス基板を用いた液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、駆動回路内蔵型のアクティブマトリクス基板の製造方法、この製造方法で製造したアクティブマトリクス基板、液晶表示装置に関するものである。さらに詳しくは、アクティブマトリクス基板を製造していく過程で生じる静電気や絶縁基板表面に蓄積された電荷から駆動回路などを保護するための技術に関するものである。

【0002】

【従来の技術】 液晶表示装置に用いられるアクティブマトリクス基板のうち、駆動回路内蔵型のものでは、絶縁基板上に配列された複数の走査線と複数のデータ線との交差点に対応して複数の画素電極（または、画素という。）が構成されており、これらの画素が構成されている領域が画素部である。各々の画素には、走査線およびデータ線に接続する画素スイッチング用の薄膜トランジスタ（以下、TFT という。）が形成されている。絶縁基板上における画素部の外側領域には、複数のデータ線のそれぞれに画像信号を供給するデータ線駆動回路部と、複数の走査線のそれぞれに走査信号を供給する走査線駆動回路部とが構成されている。

【0003】 このような構成のアクティブマトリクス基板において、TFT は半導体プロセスを利用して形成される。これらの工程を行う際には、アクティブマトリクス基板の基体として絶縁基板が用いられていることから、静電気などに起因する不具合が発生しやすい。そこで、従来は、走査線を形成する工程を利用して走査線などに電氣的に接続する短絡用配線を形成し、イオン打ち込みを行った際などに絶縁基板の表面に蓄積された電荷や静電気を短絡用配線を介して基板外周側に拡散させ、突発的な過剰な電流で TFT などが破壊されないようにしている。但し、短絡用配線は、アクティブマトリクス基板の製造が完了した後には不要なので、短絡用配線を覆う層間絶縁膜に切断用孔を形成することにより、この切断用孔を介して短絡用配線を所定位置（切断予定部分）で切断し、短絡用配線と走査線とを電氣的に分離する。

【0004】

【発明が解決しようとする課題】 アクティブマトリクス基板では、TFT のドレイン領域に対する画素電極の接続性の向上などの観点から、画素電極とドレイン領域とを直接、接続せずに、第 1 の層間絶縁膜の表面に形成したドレイン電極を中継して画素電極をドレイン領域に電氣的に接続することがある。

【0005】 このように構成するには、まず、ドレイン領域を覆う第 1 の層間絶縁膜にコンタクトホールを形成した後、ドレイン電極を形成する。次に、ドレイン電極の表面に第 2 の層間絶縁膜を形成し、この第 2 の層間絶縁膜にコンタクトホールを形成した後、画素電極を形成

することになる。従って、短絡用配線も第1の層間絶縁膜と第2の層間絶縁膜で覆われることになる。しかし、TFTの側において第1の層間絶縁膜と第2の層間絶縁膜との間にドレイン電極を介在させると、第1および第2の層間絶縁膜を一気に貫通するようなコンタクトホールを形成しないので、短絡用配線を切断用に露出させる切断用孔を形成できないという問題点がある。

【0006】また、第1の層間絶縁膜の表面にドレイン電極を形成すると、その分、凹凸が形成されることになり、液晶の配向を乱すなどの問題点がある。

【0007】以上の問題点を鑑みて、本発明では、画素電極とドレイン領域とをドレイン電極を中継して電氣的に接続する場合でも、工程数を増やすことなく第1および第2の層間絶縁膜から短絡用配線を露出させることができ、かつ、ドレイン電極に起因する凹凸も平坦化することもできるアクティブマトリクス基板の製造方法、この製造方法で製造したアクティブマトリクス基板、および液晶表示装置を提供することにある。

【0008】

【課題を解決するための手段】上記課題を解決するために、本発明では、走査線およびデータ線に接続する画素スイッチング用の薄膜トランジスタと、該薄膜トランジスタに接続してなる画素電極と、前記走査線および前記データ線に信号出力する走査線駆動回路およびデータ線駆動回路と、該駆動回路に信号供給する複数の信号配線とを有し、前記薄膜トランジスタは、ゲート電極と、第1の層間絶縁膜の第1のコンタクトホールを介して前記データ線に電氣的に接続するソース領域と、前記第1の層間絶縁膜の第2のコンタクトホールを介してドレイン電極に電氣的に接続するドレイン領域とを備え、前記ドレイン電極には、前記第1の層間絶縁膜の上層側に形成された第2の層間絶縁膜の第3のコンタクトホールを介して前記画素電極が電氣的に接続するアクティブマトリクス基板の製造方法において、前記走査線、前記データ線の少なくともいずれかの配線同士を電氣的に接続する短絡用配線を形成する工程と、前記第1の層間絶縁膜に前記短絡用配線の切断予定部分を露出させる第1の切断用孔を形成する工程と、ペルヒドロポリシラザンまたはこれを含む組成物の塗布膜を焼成した絶縁膜を用いて前記第2の層間絶縁膜を形成する工程と、前記第2の層間絶縁膜に前記第1の切断用孔と重なる位置に第2の切断用孔を形成して前記短絡用配線の切断予定部分を露出させる工程と、前記第2の切断用孔を介して前記短絡用配線を前記切断予定部分で切断する工程とを有することを特徴とする。

【0009】本発明では、データ線駆動回路および走査線駆動回路を駆動するのに必要な複数の信号を供給するために複数の端子からそれぞれ引き回された信号配線、走査線、またはデータ線などを短絡用配線で電氣的に接続した状態で各工程を行う。従って、静電気が発生した

り、絶縁基板表面に電荷が蓄積されても、かかる電荷を短絡用配線を介して基板外周側に拡散させるので、過剰な電流がデータ線駆動回路および走査線駆動回路に突発的に流れない。それ故、データ線駆動回路および走査線駆動回路を保護することができる。しかも、TFTの形成過程で行うコンタクトホールの形成やパターニング工程を使用して、短絡用配線および切断用孔を形成する。すなわち、短絡用配線を前記走査線および前記ゲート電極とともに形成し、第1および第2のコンタクトホールとともに第1の切断用孔を形成し、さらに第3のコンタクトホールとともに第2の切断用孔を形成して短絡用配線の切断予定部分を露出させる。それ故、画素電極とドレイン領域とをドレイン電極を中継して電氣的に接続する場合でも、TFTを製造していく工程の中で第1および第2の層間絶縁膜から短絡用配線を露出させ、切断することができるので、工程数が増えることはない。また、画素電極とドレイン領域とをドレイン電極を中継して電氣的に接続するために第1の層間絶縁膜の表面にドレイン電極を形成しても、第2の層間絶縁膜として、平坦化に適した液状物の塗布膜から形成した絶縁膜（ペルヒドロポリシラザンまたはこれを含む組成物の塗布膜を焼成した絶縁膜）を用いるので、ドレイン電極に起因する凹凸を平坦化することができる。それ故、液晶の配向状態を適正に制御できるという利点がある。

【0010】本発明において、前記第2の層間絶縁膜を形成する工程では、ペルヒドロポリシラザンまたはこれを含む組成物の塗布膜を焼成した絶縁膜と、該絶縁膜の表面にCVD法により形成した絶縁膜とを用いて前記第2の層間絶縁膜を形成することが好ましい。ペルヒドロポリシラザンまたはこれを含む組成物（以下、単にポリシラザンという。）の塗布膜は、凹凸を平坦化する分、凸部では極めて薄く形成されることになる。従って、ポリシラザンの塗布膜は、応力の集中する段差部などでクラックが発生しやすく、かつ、上下の電極間に高容量の寄生容量が形成されることになるが、ポリシラザンを用いた絶縁膜の表面にCVD法により形成した絶縁膜を積層しておけば、このような問題点を解消することができる。また、CVD法により形成した絶縁膜は、形成条件を変えることにより膜質をある程度、選択することができる。たとえば、ゲート絶縁膜ならば、より緻密で耐圧が高く、また、第1の層間絶縁膜であれば、応力が小さく、ステップカバレッジがよいという特性の膜を、形成条件（堆積条件）を変えれば得ることができる。ここで必要な条件とは、ポリシラザンの絶縁膜よりも応力が小さく、エッチングレートが小さいということである。このような特性の絶縁膜を、ポリシラザンを用いた絶縁膜より上層に形成すれば、コンタクトホールを形成した際に、CVD法により形成した絶縁膜の側には上向きの斜面を備えるコンタクトホールが形成される。従って、このコンタクトホールを介して電氣的な接続を行えば、

段差切れなどが発生しないので、信頼性が向上するという利点もある。

【0011】また、前記走査線、前記データ線の少なくともいずれかの配線同士を電氣的に接続する短絡用配線を前記走査線と同時に形成する工程、又は前記第1の層間絶縁膜に前記短絡用配線の切断予定部分を露出させる第1の切断用孔を前記第1および第2のコンタクトホールと同時に形成する工程、更には前記第2の層間絶縁膜に前記第1の切断用孔と重なる位置に第2の切断用孔を前記第3のコンタクトホールと同時に形成して前記短絡用配線の切断予定部分を露出させる工程を、用いることができる。

【0012】

【発明の実施の形態】図面を参照して、本発明の実施の形態を説明する。

【0013】〔液晶表示パネルの構成〕図1(A)、

(B)はそれぞれ、液晶表示装置に用いた液晶パネルの平面図および断面図である。

【0014】図1(A)、(B)に示すように、液晶表示装置において、アクティブマトリクス基板AMは、対向基板OPとをシール層110で所定のセルギャップを確保した状態に貼り合わせて液晶表示パネルLPを構成する。ここで、シール層110は部分的に途切れているので、そこからシール層110の内側に液晶120を封入した後、封止材130で塞ぐ。この状態では、対向基板OPがアクティブマトリクス基板AMより小さく、アクティブマトリクス基板AMのはみ出し部分に対して、後述する各種端子80、81、82・・・、走査線駆動回路60およびデータ線駆動回路70を形成する。従って、各種端子80、81、82・・・、走査線駆動回路60およびデータ線駆動回路70は、対向基板OPの外側に位置することになる。

【0015】なお、ここでは、一例として、対向基板OPをアクティブマトリクス基板AMよりも小さく形成したが、同じサイズの基板であってもよい。その場合、シール層110を駆動回路と重なる領域に形成する。

【0016】〔アクティブマトリクス基板の全体構成〕図2は、液晶表示パネルに用いられる駆動回路内蔵型のアクティブマトリクス基板の構成を模式的に示すブロック図、図3は、このアクティブマトリクス基板の画素部のコーナー部分を拡大して示す平面図である。

【0017】図2に示すように、本形態の液晶表示装置に用いられる駆動回路内蔵型のアクティブマトリクス基板AMでは、絶縁基板10上に、互いに交差する複数の走査線20と複数のデータ線30とに接続する画素40がマトリクス状に構成されている。走査線20はタンタル膜、アルミニウム膜、アルミニウムの合金膜などで構成され、データ線30はアルミニウム膜あるいはアルミニウム合金膜などで構成され、それぞれ単層もしくは積層されている。これらの画素40が形成されている領域

が画素部11（画面表示領域）である。

【0018】絶縁基板10上における画素部11の外側領域（周辺部分）には、複数のデータ線30のそれぞれに画像信号を供給するデータ線駆動回路部60が構成されている。また、走査線20の両端部のそれぞれには、各々の走査線20に画素選択用の走査信号を供給する走査線駆動回路部70が構成されている。

【0019】データ線駆動回路部60には、X側シフトレジスタ回路、X側シフトレジスタ回路から出力された信号に基づいて動作するアナログスイッチとしてのTFTを備えるサンプルホールド回路S/H、6相に展開された各画像信号VD1～VD6に対応する6本の画像信号線videoなどが構成されている。本例において、データ線駆動回路60は、前記のX側シフトレジスタ回路が4相で構成されており、端子を介して外部からスタート信号DX、クロック信号CLX1～CLX4、およびその反転クロック信号CLX1バー～CLX4バーがX側シフトレジスタ回路に供給され、これらの信号によってデータ線駆動回路60が駆動される。従って、サンプルホールド回路S/Hは、前記のX側シフトレジスタ回路から出力された信号に基づいて各TFTが動作し、画像信号線videoを介して供給される画像信号VD1～VD6を所定のタイミングでデータ線30に取り込み、各画素40に供給することが可能である。一方、走査線駆動回路部70には、端子を介して外部からスタート信号DY、クロック信号CLY、およびその反転クロック信号CLYバーが供給され、これらの信号によって走査線駆動回路70が駆動される。

【0020】本形態のアクティブマトリクス基板AMにおいて、絶縁基板10の辺部分のうち、データ線駆動回路60の側の辺部分には定電源VDDX、VSSX、VDDY、VSSY、変調画像信号（画像信号VD1～VD6）、各種駆動信号などが入力されるアルミニウム膜等の金属膜、金属シリサイド膜、あるいはITO膜等の導電膜からなる多数の端子80、81、82・・・が構成され、これらの端子80、81、82・・・からは、走査線駆動回路60およびデータ線駆動回路70を駆動するためのアルミニウム膜などの低抵抗の金属膜からなる複数の信号配線74、75がそれぞれ引き回されている。また、信号配線74、75の途中位置には、後述する静電保護回路65、75が形成されている。なお、アクティブマトリクス基板AMと対向基板（図示せず。）とは、外部から入力される対向電極電位LCCOMが上下導通材により対向基板に供給されている。

【0021】〔画素およびTFTの構造〕図3は、図2に示すアクティブマトリクス基板の画素部のコーナー部分を拡大して示す平面図である。図4は、図2に示すアクティブマトリクス基板の画素の等価回路図である。図5(A)、(B)はそれぞれ、図3の画素TFT部のA-A'線、図7の静電気対策部のB-B'線、図6の端

子部のC-C'線における断面図、およびそれらの一部を拡大して示す断面図である。

【0022】図3および図4からわかるように、画素40には、走査線20およびデータ線30に接続する画素スイッチング用のTFT50が形成されている。また、各画素40に向けては容量線71も形成されている。

【0023】TFT50は、図5(A)、(B)に示すように、走査線20と同時形成されたゲート電極3aと、データ線30の一部としてのソース電極6aが第1の層間絶縁膜4の第1のコンタクトホール4aを介して電気的に接続するソース領域1b、1dと、データ線30と同時形成されたアルミニウム膜などから構成されたドレイン電極6dが第1の層間絶縁膜4の第2のコンタクトホール4dを介して電気的に接続するドレイン領域1c、1eとを有している。また、第1の層間絶縁膜4の上層側には第2の層間絶縁膜7が形成されており、この第2の層間絶縁膜7に形成された第3のコンタクトホール8aを介しては、画素電極9aがドレイン電極6dに対して電気的に接続している。

【0024】〔第2の層間絶縁膜の構造〕本形態において、第2の層間絶縁膜7は、ペルヒドロポリシラザンまたはこれを含む組成物の塗布膜を焼成した絶縁膜71と、CVD法などにより形成された厚さが約500オングストローム〜約15000オングストロームのシリコン酸化膜からなる絶縁膜72との2層構造になっている。

【0025】ここで、ペルヒドロポリシラザンとは無機ポリシラザンの一種であり、大気中で焼成することによってシリコン酸化膜に転化する塗布型コーティング材料である。たとえば、東燃(株)製のポリシラザンは、 $-(SiH_2NH)-$ を単位とする無機ポリマーであり、キシレンなどの有機溶剤に可溶である。従って、この無機ポリマーの有機溶媒溶液(たとえば、20%キシレン溶液)を塗布液としてスピンコート法(たとえば、2000rpm、20秒間)で塗布した後、450℃の温度で大気中で焼成すると、水分や酸素と反応し、CVD法で成膜したシリコン酸化膜と同等以上の緻密なアモルファスのシリコン酸化膜を得ることができる。従って、この方法で成膜した絶縁膜71(シリコン酸化膜)は、層間絶縁膜として用いることができるとともに、ドレイン電極6dに起因する凹凸などを平坦化してくれる。それ故、液晶の配向状態が凹凸に起因して乱れることを防止できる。

【0026】また、第2の層間絶縁膜7では、ペルヒドロポリシラザンまたはこれを含む組成物の塗布膜を焼成した絶縁膜71の表面に、CVD法などにより形成した絶縁膜72が積層されており、これらの絶縁膜71、72の間ではエッチングレートが異なる。すなわち、絶縁膜72は絶縁膜71よりもエッチングレートが小さい。従って、第2の層間絶縁膜7に形成されている第2のコン

タクトホール8aは、エッチングレートの大きな絶縁膜71に形成されたストレート孔に近いコンタクトホール71aと、エッチングレートの小さな絶縁膜72に形成されたテーパ孔のコンタクトホール71aとから構成されている。従って、画素電極9aは、第2のコンタクトホール8aで段差切れなどを起こすことなく、ドレイン電極6dに確実に電気的に接続している。

【0027】〔端子の構造〕図6および図5(A)、(B)に示すように、端子80、81、82・・・は、第1のパッド下配線3c、その表面を覆う第1の層間絶縁膜4、この第1の層間絶縁膜4のコンタクトホール4cを介して第1のパッド下配線3cに電気的に接続する第2のパッド下配線6cをこの順に積み上げた構造を有し、この第2のパッド下配線6cには、第2の層間絶縁膜7のコンタクトホール8cを介してパッド9cが接続している。ここで、第1のパッド下配線3cは、ゲート絶縁膜2と第1の層間絶縁膜4との層間に走査線20やゲート電極3aと同時に形成されたタンタル膜である。第2のパッド下配線6cは、第1の層間絶縁膜4と第2の層間絶縁膜7との層間にデータ線30と同時に形成されたアルミニウム膜である。パッド9cは、第2の層間絶縁膜7の表面に画素電極9aと同時に形成されたITO膜である。従って、パッド9cを硬いITO膜から構成するといっても、中間にアルミニウム膜からなる第2のパッド下配線6cを有しているので、第1の層間絶縁膜4および第2の層間絶縁膜7を貫通するような深いコンタクトホールを介してパッド9cと第1のパッド下配線3cとを接続する必要がない。それ故、パッド9cと第1のパッド下配線3cとの電気的な接続部分の信頼性が高い。

【0028】ここでも、第2の層間絶縁膜7はペルヒドロポリシラザンまたはこれを含む組成物の塗布膜を焼成した絶縁膜71と、CVD法などにより形成された絶縁膜72との2層構造になっているので、コンタクトホール8cは、エッチングレートの大きい絶縁膜71に形成されたストレート孔に近いコンタクトホール71cと、エッチングレートの小さい絶縁膜72に形成されたテーパ孔のコンタクトホール72cとから構成されている。従って、パッド9cは段差切れを起こすことなく、第2のパッド下配線6cに確実に電気的に接続している。

【0029】また、タンタル膜からなる第1のパッド下配線3c、第1の層間絶縁膜4、アルミニウム膜からなる第2のパッド下配線6cをこの順に積み上げ、この第2のパッド下配線6cに第2の層間絶縁膜7のコンタクトホール8cにパッド9cが接続する端子構造であっても、第2の層間絶縁膜7では、ポリシラザンを用いた絶縁膜71で平坦化されているので、パッド9cを平坦に形成できる。それ故、パッド9c(端子)に対してフレキシブル配線基板などを高い信頼性で接続することができる。

【0030】「静電気対策」このような構成を有するアクティブマトリクス基板AMにおいて、前記のTFT50、各種の配線、走査線駆動回路部70、およびデータ線駆動回路60は、半導体プロセスを利用して形成される。ここで、アクティブマトリクス基板AMには絶縁基板10が用いられていることから、静電気などに起因する不具合が発生しやすいので、本形態では以下の静電気対策を施してある。

【0031】まず、本形態では、図2に示すように、走査線20およびTFT50のゲート電極を形成する工程を兼用して、すべての信号配線74、75に電氣的に接続する第1の短絡用配線91を形成してある。また、走査線20およびTFT50のゲート電極を形成する工程を兼用して、すべての走査線20に電氣的に接続する第2の短絡用配線92を形成してある。さらに、走査線20およびTFT50のゲート電極を形成する工程を兼用して、すべてのデータ線30に電氣的に接続する第3の短絡用配線93を形成してある。

【0032】ここで、第1、第2、および第3の短絡用配線91、92、93は、あくまで走査線20とTFT50のゲート電極と一括してゲート絶縁膜2と第1の層間絶縁膜4との層間に形成されたタンタル膜である。これに対して、信号配線74、75およびデータ線30は、第1の層間絶縁膜4と第2の層間絶縁膜7との層間に形成されたアルミニウム膜である。従って、第1および第3の短絡用配線91、93は、アルミニウム膜からなる信号配線74、75およびデータ線30とは異なる層間に位置している。

【0033】このため、図7および図5(A)に示すように、第1および第3の短絡用配線91、93と、配線6e(信号配線74、75およびデータ線30)とは、第1の層間絶縁膜4に形成されたコンタクトホール4eを介して電氣的に接続している。

【0034】このようにして、第1、第2、および第3の短絡用配線91、92、93をそれぞれ信号配線74、75、走査線20、およびデータ線30に接続しておくこと、これらの配線構造を形成した以降行われる工程において静電気などが発生しても、この電荷は第1、第2、および第3の短絡用配線91、92、93を介して基板外周側に拡散し、突発的な過剰な電流が走査線20、画素部11、走査線駆動回路部70、サンプルホールド回路S/H、およびデータ線駆動回路60に流れないので、これら全ての部分を静電気から保護することができる。

【0035】但し、第1、第2、および第3の短絡用配線91、92、93は、アクティブマトリクス基板AMの製造工程が終了した後には不要なので、詳しくは後述するが、図2に「×」印を付した位置で、図5(A)、(B)に示すように、第1の層間絶縁膜4および第2の層間絶縁膜7に切断用孔8bを形成し、この切断用孔8

bを介して短絡用配線3b(第1、第2、および第3の短絡用配線91、92、93)にエッチングを行うことによって切断してある。このため、図2において、製造工程の途中まで、第1、第2、および第3の短絡用配線91、92、93はそれぞれ信号配線74、75、走査線20、およびデータ線30に接続しているが、切断用孔を介してのエッチング後は、信号配線74、75、走査線20、およびデータ線30の各々が電氣的に分離されることになる。これにより、アクティブマトリクス基板AMでは、第1、第2、および第3の短絡用配線91、92、93を切断した後であれば、電気特性な検査、および液晶表示装置を製造した後の動作に支障はない。

【0036】ここで、短絡用配線3b(第1、第2、および第3の短絡用配線91、92、93)は、第1の層間絶縁膜4および第2の層間絶縁膜7から露出させて切断するため、第1の層間絶縁膜4には、短絡用配線3bに相当する部分に切断用孔4b(第1の接続用孔)が形成され、第2の層間絶縁膜7には、短絡用配線3bに相当する部分には切断用孔8b(第2の切断用孔)が形成されている。切断用孔8bは、切断用孔4bに重なる位置に切断用孔4bより大きな内径をもって形成されている。ここでも、第2の層間絶縁膜7はペルヒドロポリシラザンまたはこれを含む組成物の塗布膜を焼成した絶縁膜71と、CVD法などにより形成された絶縁膜72との2層構造になっているので、切断用孔8bは、エッチングレートの大きい絶縁膜71に形成されたストレート孔に近い切断用孔71bと、エッチングレートの小さい絶縁膜72に形成されたテーパー孔の切断用孔72bとから構成されている。

【0037】「静電保護回路」図2に示した静電保護回路65、75としては、各種回路を利用できるが、図8に示すものでは、保護抵抗66と、プッシュプル配列されたPチャネル型TFT67とNチャネル型TFT68とを利用しており、それぞれの正電源VDDおよび負電源VSSとの間にダイオードを構成する。また、本形態では、第1の短絡用配線91を信号配線74(または75)に接続するのは、必ず、端子80(または81、82)と保護抵抗66との間であり、これにより、端子80(または81、82)、あるいは第1の短絡用配線91から入った静電気は、保護抵抗66および静電気保護回路65(または75)を通過しないとデータ線駆動回路60および走査線駆動回路70に達しない。このような構成とすることで、静電気は静電気保護回路65(または75)に確実に吸収され、データ線駆動回路60および走査線駆動回路70を確実に保護することができる。

【0038】「アクティブマトリクス基板AMの製造方法」このような静電保護対策を行いながら、アクティブマトリクス基板AMを製造する方法を、図9ないし図1

2を参照して説明する。これらの図は、本形態のアクティブマトリクス基板AMの製造方法を示す工程断面図であり、いずれの図においても、その左側部分には図3のA-A'線における断面（画素TF T部の断面）、中央部分には図7のB-B'線における断面（短絡用配線の切断が行われる静電気対策配線部（図1に「×」印を付した部分）の断面）、右側部分には図6のC-C'線における断面（端子80、81、82・・・が形成されている端子部の断面）を示してある。

【0039】まず、図9（A）に示すように、ガラス基板、たとえば無アリカリガラスや石英などからなる透明な絶縁基板10の表面に直接、あるいは絶縁基板10の表面に形成した下地保護膜（図示せず。）の表面全体に、減圧CVD法などにより厚さが約200オングストローム～約2000オングストローム、好ましくは約1000オングストロームのポリシリコン膜からなる半導体膜1を形成した後、図9（B）に示すように、それをフォトリソグラフィ技術を用いて、パターンニングし、画素TF T部の側に島状の半導体膜1a（能動層）を形成する。これに対して、静電気対策配線部および端子部の側では半導体膜1を完全に除去する。前記の半導体膜の形成は、アモルファスシリコン膜を堆積した後、500℃～700℃の温度で1時間～72時間、好ましくは4時間～6時間の熱アニールを施してポリシリコン膜を形成したり、ポリシリコン膜を堆積した後、シリコンを打ち込み、非晶質化した後、熱アニールにより再結晶化してポリシリコン膜を形成する方法を用いてもよい。

【0040】次に、図9（C）に示すように、CVD法などにより半導体膜1aの表面に厚さが約500オングストローム～約1500オングストロームのシリコン酸化膜からなるゲート酸化膜2を形成する。あるいは、熱酸化膜を約50オングストローム～約1000オングストローム、好ましくは300オングストローム形成した後、全面にCVD法などによりシリコン酸化膜を約100オングストローム～約1000オングストローム、好ましくは500オングストローム堆積し、それらによりゲート絶縁膜2を形成してもよい。また、ゲート絶縁膜2としてシリコン窒化膜を用いてもよい。

【0041】次に、図9（D）に示すように、ゲート電極などを形成するためのタンタル膜3を絶縁基板10全面に形成した後、タンタル膜3をフォトリソグラフィ技術を用いて、図9（E）に示すように、パターンニングし、画素TF T部の側にゲート電極3aを形成する。これに対して、静電気対策配線部および端子部の側には、タンタル膜を短絡用配線3b（第1、第2、および第3の短絡用配線91、92、93に相当する。）、および端子80、81、82・・・の第1のパッド下配線3cとして残す。

【0042】次に、図9（F）に示すように、画素TF T部および駆動回路のNチャンネルTF T部の側には、ゲ

ート電極3aをマスクとして、約 $0.1 \times 10^{13} / \text{cm}^2$ ～約 $10 \times 10^{13} / \text{cm}^2$ のドーズ量で低濃度の不純物イオン（リンイオン）の打ち込みを行い、画素TF T部の側には、ゲート電極3aに対して自己整合的に低濃度のソース領域1b、および低濃度のドレイン領域1cを形成する。ここで、ゲート電極3aの真下に位置しているため、不純物イオンが導入されなかった部分は半導体膜1aのままのチャンネル領域となる。

【0043】次に、図10（A）に示すように、画素TF T部では、ゲート電極3aよりの幅の広いレジストマスクRM1を形成して高濃度の不純物イオン（リンイオン）を約 $0.1 \times 10^{15} / \text{cm}^2$ ～約 $10 \times 10^{15} / \text{cm}^2$ のドーズ量で打ち込み、高濃度のソース領域1dおよびドレイン領域1eを形成する。

【0044】これらの不純物導入工程に代えて、低濃度の不純物の打ち込みを行わずにゲート電極3aより幅の広いレジストマスクRM1を形成した状態で高濃度の不純物（リンイオン）を打ち込み、オフセット構造のソース領域およびドレイン領域を形成してもよい。また、ゲート電極3aの上に高濃度の不純物（リンイオン）を打ち込んで、セルフアライン構造のソース領域およびドレイン領域を形成してもよいことは勿論である。

【0045】また、図示を省略するが、周辺駆動回路のPチャンネルTF T部を形成するために、前記画素部およびNチャンネルTF T部をレジストで被覆保護して、ゲート電極をマスクとして、約 $0.1 \times 10^{13} / \text{cm}^2$ ～約 $10 \times 10^{13} / \text{cm}^2$ のドーズ量でボロンイオンを打ち込むことにより、自己整合的にPチャンネルのソース・ドレイン領域を形成する。なお、NチャンネルTF T部の形成時と同様に、ゲート電極をマスクとして、約 $0.1 \times 10^{13} / \text{cm}^2$ ～約 $10 \times 10^{13} / \text{cm}^2$ のドーズ量で低濃度の不純物（ボロンイオン）を導入して、ポリシリコン膜に低濃度領域を形成した後、ゲート電極よりの幅の広いマスクを形成して高濃度の不純物（ボロンイオン）を約 $0.1 \times 10^{15} / \text{cm}^2$ ～約 $10 \times 10^{15} / \text{cm}^2$ のドーズ量で打ち込み、LDD構造（ライトリー・ドーフト・ドレイン構造）のソース領域およびドレイン領域を形成してもよい。また、低濃度の不純物の打ち込みを行わずに、ゲート電極より幅の広いマスクを形成した状態で高濃度の不純物（リンイオン）を打ち込み、オフセット構造のソース領域およびドレイン領域を形成してもよい。これらのイオン打ち込み工程によって、CMOS化が可能になり、周辺駆動回路の同一基板内への内蔵化が可能となる。

【0046】次に、図10（B）に示すように、ゲート電極3a、短絡用配線3bおよび第1のパッド下配線3cの表面側にCVD法などにより、酸化シリコン膜やN SG膜（ボロンやリンを含まないシリケートガラス膜）などからなる第1の層間絶縁膜4を3000オングストローム～15000オングストローム程度の膜厚で形成

する。

【0047】次に、フォトリソグラフィ技術を用いて、第1の層間絶縁膜4にコンタクトホールや切断用孔を形成するためのレジストマスクRM2を形成する。

【0048】次に、図10(C)に示すように、画素TF T部の側では第1の層間絶縁膜4のうち、ソース領域1dおよびドレイン領域1eに対応する部分、静電気対策配線部の側では第1の層間絶縁膜4のうち、各短絡用配線3bに対応する部分の一部、端子部の側では第1の層間絶縁膜4のうち、第1のパッド下配線3cに対応する部分にコンタクトホール4a、4c、4d、4eおよび切断用孔4bをそれぞれ形成する。その結果、静電気対策配線部の側では、短絡用配線3bの切断予定部分が露出した状態となる。そして、レジストマスクRM2を除去する。

【0049】次に、図10(D)に示すように、第1の層間絶縁膜4の表面側に、ソース電極などを構成するためのアルミニウム膜6をスパッタ法などで形成する。

【0050】次に、フォトリソグラフィ技術を用いて、アルミニウム膜6をパターニングするためのレジストマスクRM3を形成する。

【0051】次に、図10(E)に示すように、アルミニウム膜6をパターニングし、画素TF T部では、データ線30の一部としてソース領域1aに第1のコンタクトホール4aを介して電氣的に接続するアルミニウム膜からなるソース電極6aと、ドレイン領域1eに第2のコンタクトホール4dを介して電氣的に接続するドレイン電極6dとを形成する。また、端子部の側には、第1の層間絶縁膜4のコンタクトホール4cを介してタンタル膜からなる第1のパッド下配線3cに電氣的に接続するアルミニウム膜からなる第2のパッド下配線6cを形成する。さらに、静電気対策配線部では、アルミニウム膜からなる各種の配線6e（データ線30や信号配線74、75）をコンタクトホール4eを介して短絡用配線3bに電氣的に接続させる。このように、図10(C)～(E)の工程を利用して、図7を参照して説明した第1および第3の短絡用配線91、93と、信号入力線74、75およびデータ線30との配線接続を行う。また、静電気対策配線部の側では、短絡用配線3bの切断予定部分が露出した状態となる。そして、レジストマスクRM3を除去する。

【0052】次に、図11(A)に示すように、ソース電極6a、配線6eおよび第2のパッド下配線6cの表面側に、ペルヒドロポリシラザンまたはこれを含む組成物の塗布膜を焼成した絶縁膜71を形成する。さらに、この絶縁膜71の表面に、TEOSを用いたCVD法によりたとえば400℃程度の温度条件下で厚さが約500オングストローム～約15000オングストロームのシリコン酸化膜からなる絶縁膜72を形成する。これらの絶縁膜71、72によって第2の層間絶縁膜7が形成

される。

【0053】次に、フォトリソグラフィ技術を用いて、第2の層間絶縁膜7にコンタクトホールおよび切断用孔を形成するためのレジストマスクRM4を形成する。

【0054】次に、図11(B)に示すように、第2の層間絶縁膜7を構成する絶縁膜71、72に対して、ドレイン電極6dに対応する部分にコンタクトホール71a、72aからなる第3のコンタクトホール8aを形成する。

10 【0055】また、端子部でも、第2の層間絶縁膜7を構成する絶縁膜71、72に対して、第2のパッド下配線6cに対応する部分にコンタクトホール71c、72cからなる第3のコンタクトホール8cを形成する。

【0056】このとき、静電気対策配線部において、短絡用配線3b（第1、第2、および第3の短絡用配線91、92、93に相当する。）の切断予定部分では、第2の層間絶縁膜7を構成する絶縁膜71、72に対して切断用孔71b、72bからなる切断用孔8bを構成する。従って、短絡用配線3bの切断予定部分が露出した状態となる。そして、レジストマスクRM4を除去する。

【0057】次に、図11(C)に示すように、第2の層間絶縁膜7の表面側に、ドレイン電極を構成するための厚さが約400オングストローム～約2000オングストロームのITO膜9（Indium Tin Oxide）をスパッタ法などで形成する。

【0058】次に、フォトリソグラフィ技術を用いて、ITO膜9をパターニングするためのレジストマスクRM5を形成する。

30 【0059】そして、レジストマスクRM5を用いて、ITO膜9をパターニングする。その結果、図5に示すように、画素TF T部には、第3のコンタクトホール8aを介してドレイン電極6dに電氣的に接続する画素電極9aが形成される。静電気対策配線部ではITO膜9が完全に除去される。端子部では、コンタクトホール8cを介して第2のパッド下配線6cに電氣的に接続するITO膜からなるパッド9cが形成される。

【0060】また、本形態では、ITO膜9をパターニングした際には、静電気対策配線部の側で短絡用配線3bの切断予定部分が切断され、この切断部によって各配線が分離される。このように製造工程の最終工程で短絡用配線3bを切断するので、それ以前の多くの工程で発生する静電気に対して有効である。

【0061】〔本形態の主な効果〕以上説明したように、本形態ではデータ線駆動回路60および走査線駆動回路70の各々に向けて複数の80、81、82・・・からそれぞれ引き回された信号配線74、75（配線6e）を第1の短絡用配線91（短絡用配線6b）で電氣的に接続した状態で各工程を行う。従って、静電気が発生したり、絶縁基板表面に電荷が蓄積されても、かかる

電荷を第1の短絡用配線91を介して基板外周側に拡散させるので、過剰な電流がデータ線駆動回路60および走査線駆動回路70に突発的に流れない。それ故、データ線駆動回路60および走査線駆動回路70を保護することができる。また、走査線20の各々に電氣的に接続する第2の短絡用配線92（短絡用配線6b）を利用して過剰な電流が走査線20に突発的に流れることを防止するので、走査線20や画素部11を保護することができる。さらに、データ線30（配線6e）の各々に電氣的に接続する第3の短絡用配線93（短絡用配線6b）を利用して過剰な電流がデータ線30に突発的に流れることを防止するので、データ線30、サンプルホールド回路S/H、および画素部11を保護することができる。

【0062】しかも、短絡用配線3bを走査線20などと同時に形成し、第1の層間絶縁膜4に第1および第2のコンタクトホール4a、4dを形成する際に切断用孔4bを同時に形成し、さらに第2の層間絶縁膜7に第3のコンタクトホール8aを形成する際に切断用孔8bを形成する。それ故、画素電極9aとドレイン領域1eとをドレイン電極6dを中継して電氣的に接続する場合でも、TFTを製造していく工程の中で第1および第2の層間絶縁膜4、7から短絡用配線3bを露出させ、切断することができる。また、第2の層間絶縁膜7として、ポリシラザンを利用した絶縁膜71を用いるので、画素電極9aとドレイン領域1eとをドレイン電極6dを介して電氣的に接続した場合でも、ドレイン電極6dに起因する凹凸を平坦化することができる。それ故、液晶の配向を適正に制御できる。

【0063】また、ポリシラザンを用いた絶縁膜71によれば、凹凸を平坦化する分、凸部では極めて薄く形成されることになる。従って、この薄い部分ではクラックが発生しやすく、かつ、上下の電極間に高容量の寄生容量が形成されることになるが、本形態では、ポリシラザンを用いた絶縁膜71の表面にCVD法により形成した絶縁膜72を積層するので、このような問題点を解消することができる。また、CVD法により形成した絶縁膜72は、ポリシラザンを用いた絶縁膜71よりエッチングレートが小さいので、CVD法により形成した絶縁膜72を、ポリシラザンを用いた絶縁膜71より上層に形成してコンタクトホール8a、8cを形成すると、CVD法により形成した絶縁膜72の側にはテーパ孔が形成される。従って、このコンタクトホール8a、8cを介して電氣的な接続を行えば、段差切れなどが発生しないので、信頼性が向上するという利点もある。

【0064】さらにまた、端子80、81、82・・・は、タンタル膜からなる第1のパッド下配線3c、その表面を覆う第1の層間絶縁膜4、この第1の層間絶縁膜4のコンタクトホール4cを介して第1のパッド下配線3cに電氣的に接続するアルミニウム膜からなる第2の

パッド下配線6cをこの順に積み上げた構造を有し、この第2のパッド下配線6cには、第2の層間絶縁膜7のコンタクトホール8cを介してITO膜からなるパッド9cが接続している。従って、パッド9cを硬いITO膜から構成するといっても、第1の層間絶縁膜4および第2の層間絶縁膜7を貫通するような深いコンタクトホールを介してパッド9cと第1のパッド下配線3cとを接続する必要がないので、パッド9cと第1のパッド下配線3cとの電氣的な接続部分の信頼性が高い。しかも、第2の層間絶縁膜7は、ポリシラザンを用いた絶縁膜71で平坦化を行っているので、パッド9cを平坦な面に形成できる。しかも、このような構造を有する端子80、81、82・・・も、TFTを製造していく工程の中で作り込むことができるので、製造工程数が増えることはない。

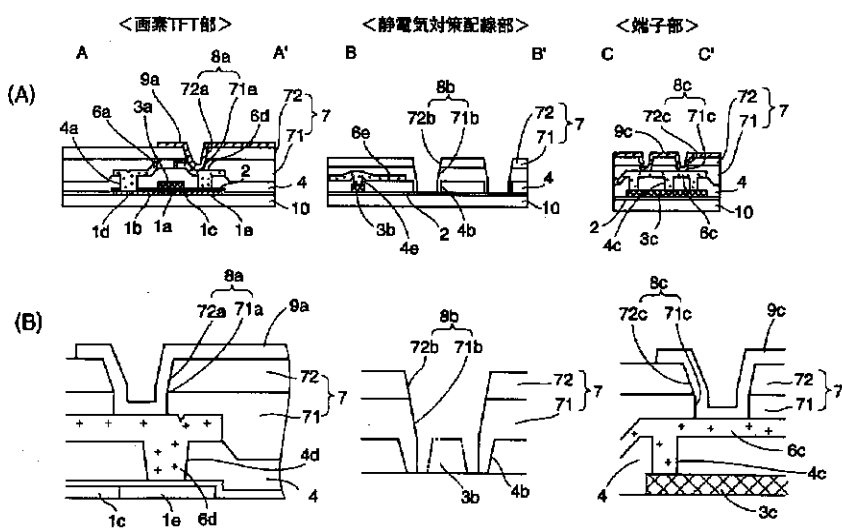
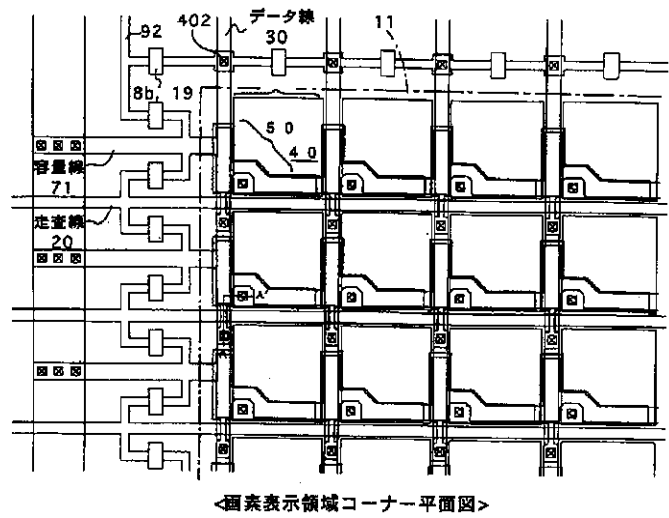
【0065】[その他の実施形態]なお、実施の形態1では、第1、第2、および第3の短絡用配線91、92、93をそれぞれ信号配線74、75、走査線20、およびデータ線30に接続したが、データ線駆動回路60および走査線駆動回路70を駆動するための複数の信号を供給するために複数の端子6c（80、81、82・・・）からそれぞれ引き回された複数の信号配線のうち、静電保護回路65、75よりも端子6c（80、81、82・・・）側に位置する信号配線74、75のみに対して第1の短絡用配線91を形成してもよい。また、第3の短絡用配線93を省略して、データ線駆動回路60および走査線駆動回路70の各々に向けて複数の端子（80、81、82・・・）からそれぞれ引き回された信号配線74、75、および走査線20に対してのみ、第1の短絡用配線91および第2の短絡用配線92を形成してもよいなど、いずれの形態で短絡用配線を構成した場合でも、本発明を適用することができる。

【0066】なお、本発明は上記実施例に限定されことなく、本発明の要旨の範囲内で種々変形した形態で実施が可能である。たとえば、本発明は上述の各種の液晶表示装置に限らず、エレクトロルミネッセンス、プラズマディスプレイ装置にも適用できるものである。

【0067】

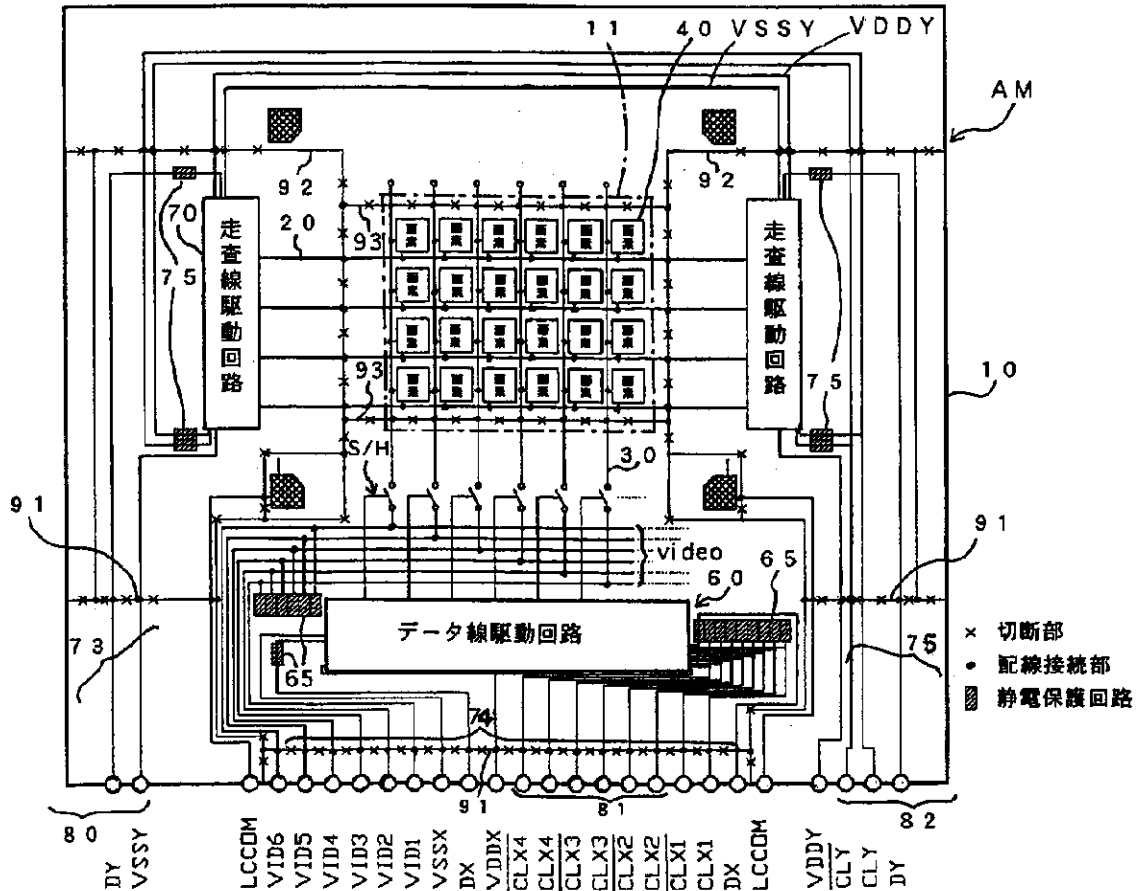
【発明の効果】以上説明したように、本発明に係るアクティブマトリクス基板の製造方法では、信号配線、走査線、またはデータ線などを短絡用配線で電氣的に接続した状態で各工程を行うので、静電気が発生したり、絶縁基板表面に電荷が蓄積されても、かかる電荷を短絡用配線を介して基板外周側に拡散させるので、過剰な電流がデータ線駆動回路および走査線駆動回路に突発的に流れない。それ故、データ線駆動回路および走査線駆動回路を保護することができる。また、短絡用配線を走査線と同時に形成し、第1の切断用孔を第1および第2のコンタクトホールと同時に形成し、第2の切断用孔を第3のコンタクトホールと同時に形成するなど、画素電極

【図 3】

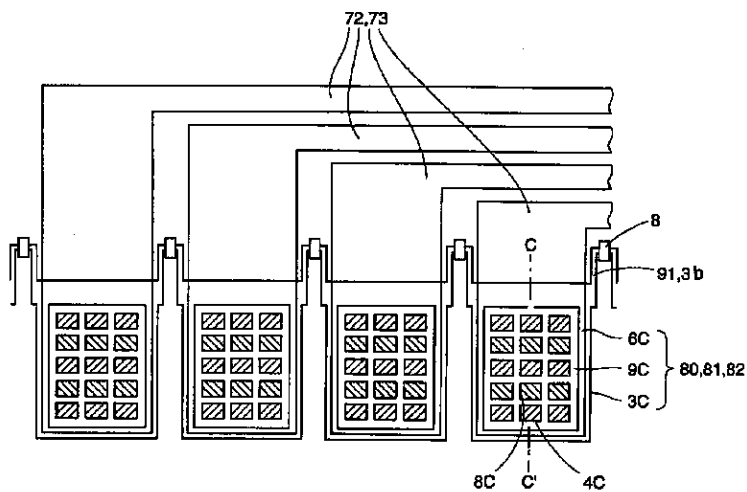


【図2】

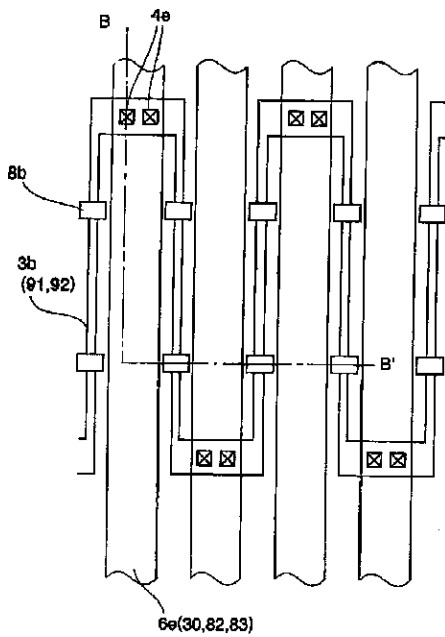
静電気対策パネル（画素領域、周辺駆動回路領域すべてを短絡して切断）



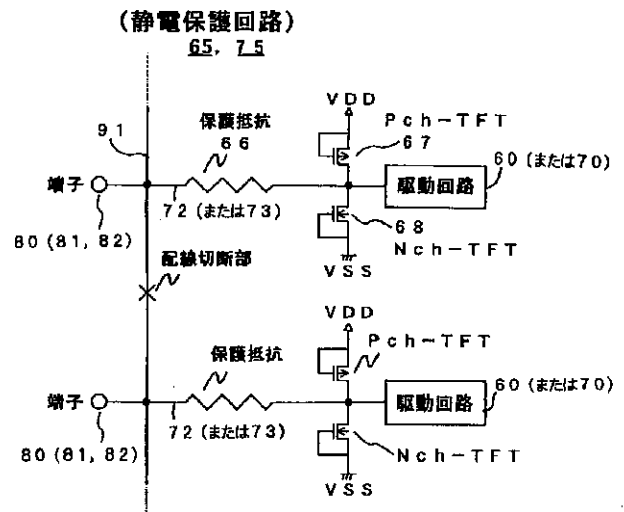
【図6】



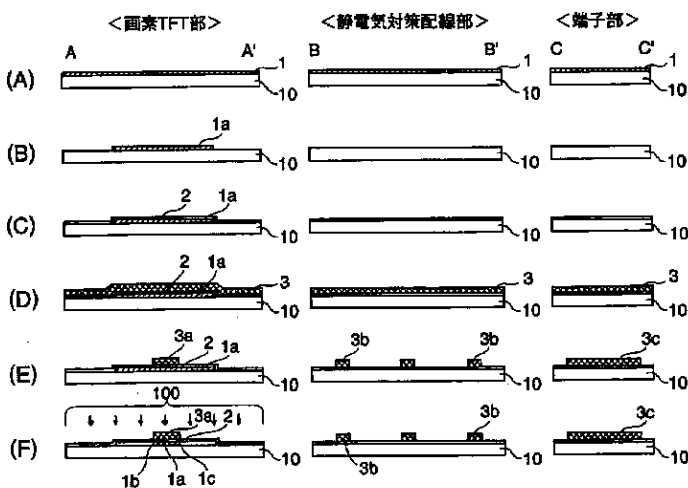
【図7】



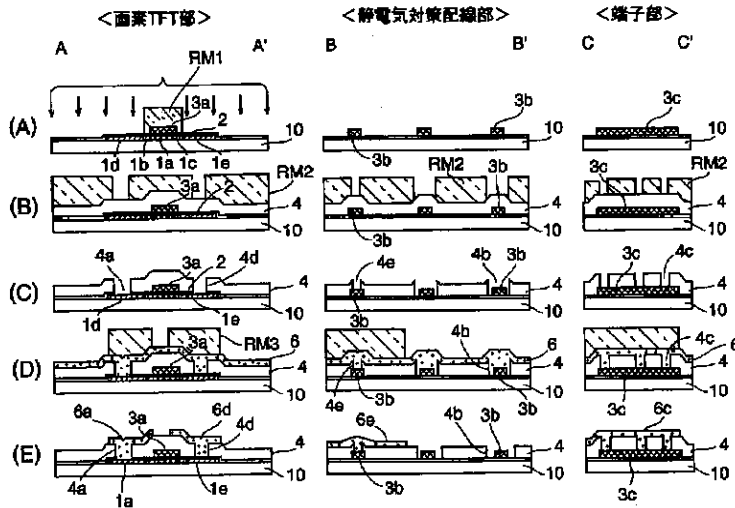
【図8】



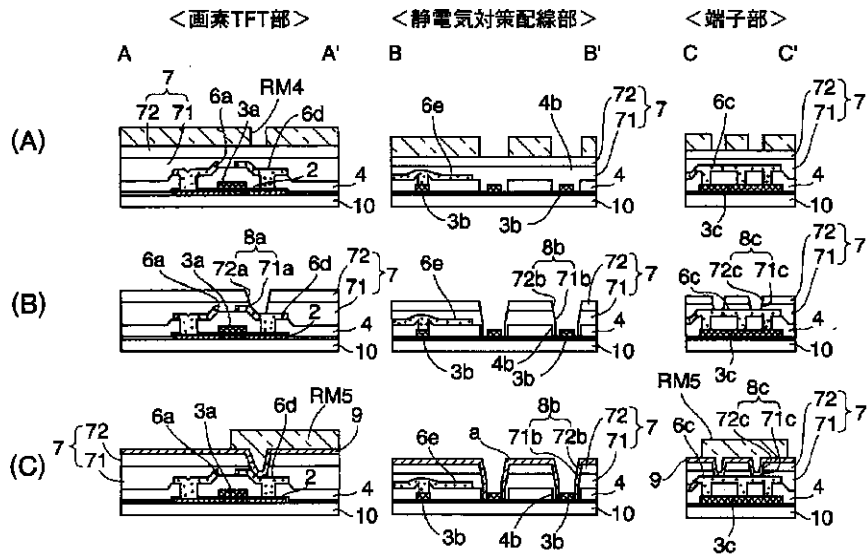
【図9】



【図10】



【図11】



(19) Japan Patent Office (JP)

(12) Gazette of Unexamined
Patent Applications (A)

(11) Publication No.
H11-282011

(43) Publication Date October 15, 1999

(51) Int. Cl. ⁶	ID Codes	FI
G02F 1/136	500	G02F 1/136 500
1/1345		1/1345
G02F 9/30	338	G09F 9/30 338
H01L 29/786		H01L 29/78 612C 623A

Examination Request: Not Yet Received No. of Claims: 7 OL (Total of 14 pages)

(21) Application No. H10-84659

(22) Filing Date March 30, 1998

(71) Applicant 000002369

Seiko Epson Corporation
2-4-1, Nishishinjuku, Shinjuku-ku, Tokyo

(72) Inventor

Kiyobumi KITAWADA
Seiko Epson Corporation
3-3-5, Owa, Suwa-shi, Nagano-ken

(74) Agent

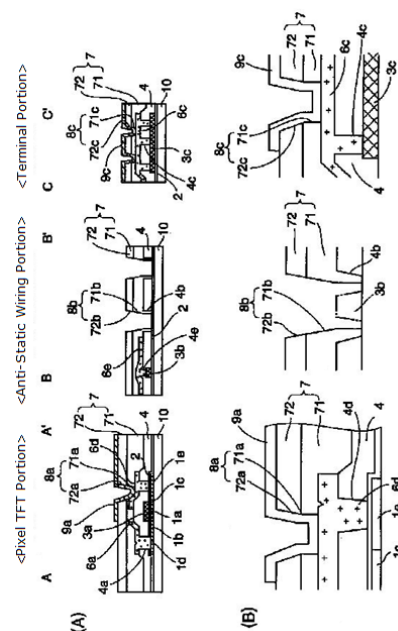
Kisaburo SUZUKI, Attorney (and 2 others)

(54) [Title of the Invention] Method for Manufacturing Active Matrix Substrate and Liquid Crystal Display Device

(57) [Abstract]

[Problem] To provide a method for manufacturing an active matrix substrate able to flatten unevenness and expose the short-circuit wiring without increasing the number of steps even when pixel electrodes and drain regions are electrically connected via a drain electrode, an active matrix substrate manufactured using this manufacturing method, and a liquid crystal display device.

[Solution] In the method for manufacturing an active matrix substrate, a cutting hole 4b for exposing a portion of short-circuit wiring 3b to be cut is formed at the same time as a first and second contact hole 4a, 4d to expose the portion in a first interlayer insulating film 4. A second interlayer insulating film 7 is formed using an insulating film 71 obtained by baking a coating film of a composition containing a polysilazane, and then a cutting hole 8b is formed in the second interlayer insulating film 7 at the same time as a third contact hole 8a to expose the portion of the short-circuit wiring 3b to be cut.



[Claims]

[Claim 1] A method for manufacturing an active matrix substrate having thin-film transistors for pixel switching connected to scan lines and data lines, pixel electrodes connected to the thin-film transistors, scan line drive circuits and data line drive circuits for outputting signals to the scan lines and said data lines, and a plurality of signal lines for supplying signals to the drive circuits, the thin film transistors including a gate electrode, a source region electrically connected to a data line via a first contact hole in a first interlayer insulating film, and a drain region electrically connected to the drain electrode via a second contact hole in the first interlayer insulating film, and a pixel electrode being electrically connected to a drain electrode via a third contact hole in a second interlayer insulating film formed on the upper side of the first interlayer insulating film,

the method comprising the steps of:

a step of forming short-circuit wiring for electrically connecting at least one of the scan lines and the data lines;

a step of forming a first cutting hole to expose a predetermined portion of the short-circuit wiring to be cut in the first interlayer insulating film;

a step of forming the second interlayer insulating film using an insulating film obtained by baking a coating film of perhydropolysilazane or a composition containing perhydropolysilazane;

a step of forming a second cutting hole at a position overlapping the first cutting hole in the second interlayer insulating film to expose the portion for the short-circuit wiring to be cut; and
a step of cutting the short-circuit wiring in the predetermined portion to be cut via the second cutting hole.

[Claim 2] The method for manufacturing an active matrix substrate according to claim 1, wherein in the step of forming the second interlayer insulating film, the second interlayer insulating film is formed using an insulating film obtained by baking a coating a film of perhydropolysilazane or a composition containing perhydropolysilazane, and an insulating film formed on the surface of the insulating film using the CVD method.

[Claim 3] The method for manufacturing an active matrix substrate according to claim 1, wherein short-circuit wiring for electrically connecting at least one of the scan lines and the data lines to each other is formed at the same time as the scan lines.

[Claim 4] A method for manufacturing an active matrix substrate, wherein the first cutting hole

to expose a predetermined portion of the short-circuit wiring to be cut is formed in the first interlayer insulating film at the same time as the first and second contact holes.

[Claim 5] The method for manufacturing an active matrix substrate according to claim 1, wherein a second cutting hole is formed at a position overlapping the first cutting hole in the second interlayer insulating film at the same time the third contact hole is formed to expose the portion of the short-circuit wiring to be cut.

[Claim 6] An active matrix substrate manufacturing using the manufacturing method according to claims 1 to 5.

[Claim 7] A liquid crystal display device using the active matrix substrate according to claim 6.

[Detailed Description of the Invention]

[0001]

[Technical Field of the Invention] The present invention relates to a method for manufacturing an active matrix substrate with built-in drive circuits, and an active matrix substrate and a liquid crystal display device manufactured using this method. The present invention relates more specifically to a technique for protecting drive circuits from static electricity generated during the manufacturing process for active matrix substrates and from charges that have accumulated on insulating substrate surfaces.

[0002]

[Prior Art] Among active matrix substrates used in liquid crystal display devices, those with built-in drive circuits have multiple pixel electrodes (or "pixels") arranged at the intersections of multiple scan lines and multiple data lines on an insulating substrate, and the region in which these pixels are arranged is called the pixel portion. Each pixel has a thin-film transistor ("TFT") for pixel switching connected to the scan line and data line. The outer region of the pixel portion on the insulating substrate comprises a data line drive circuit unit that supplies video signals to each of the data lines, and scan line drive circuits that supply scanning signals to each of the scan lines.

[0003] In an active matrix substrate with this configuration, TFTs are formed using a semiconductor process. When performing these steps, since an insulating substrate is used as the base of the active matrix substrate, malfunctions caused by static electricity are more likely to occur. Therefore, short-circuit wiring for electrically connecting scan lines, etc. is formed using the step of forming scan lines, and when ion implantation, etc. is performed, charges and static electricity that has accumulated on the surface of the insulating substrate are diffused to the periphery of the

substrate via the short-circuit wiring, thereby preventing sudden excessive currents from damaging the TFTs. However, since the short-circuit wiring is not required after the active matrix substrate is manufactured, cutting holes are formed in the interlayer insulating film covering the short-circuit wiring. The short-circuit wiring is then cut at predetermined positions (cutting locations) via these cutting holes, thereby electrically separating the short-circuit wiring from the scan lines.

[0004]

[Problem to Be Solved by the Invention] In active matrix substrates, the pixel electrodes are sometimes electrically connected to the drain region via drain electrodes formed on the surface of a first interlayer insulating film, rather than being directly connected to the drain region, in order to improve the connectivity of pixel electrodes to the drain regions of TFTs.

[0005] In order to create this configuration, a contact hole is formed in the first interlayer insulating film covering the drain region, and then the drain electrode is formed. Next, a second interlayer insulating film is formed on the surface of the drain electrode, and after forming a contact hole in this second interlayer insulating film, the pixel electrode is formed. Therefore, the short-circuit wiring is also covered by the first interlayer insulating film and the second interlayer insulating film. However, when a drain electrode is interposed between the first interlayer insulating film and the second interlayer insulating film on the TFT side, a contact hole that penetrates both the first and second interlayer insulating films is not formed, resulting in the inability to form a cutting hole that exposes the short-circuit wiring for cutting.

[0006] In addition, forming a drain electrode on the surface of the first interlayer insulating film causes unevenness, which can disrupt the alignment of liquid crystals.

[0007] In view of this problem, it is an object of the present invention to provide a method for manufacturing an active matrix substrate in which, even when a pixel electrode and a drain region are electrically connected via a drain electrode, short-circuit wiring can be exposed from the first and second interlayer insulating films without increasing the number of steps, and unevenness caused by the drain electrode can also be flattened, as well as to provide an active matrix substrate and a liquid crystal display device manufactured using this manufacturing method.

[0008]

[Means for Solving the Problem] In order to solve this problem, the present invention is a method for manufacturing an active matrix

substrate having thin-film transistors for pixel switching connected to scan lines and data lines, pixel electrodes connected to the thin-film transistors, scan line drive circuits and data line drive circuits for outputting signals to the scan lines and said data lines, and a plurality of signal lines for supplying signals to the drive circuits, the thin film transistors including a gate electrode, a source region electrically connected to a data line via a first contact hole in a first interlayer insulating film, and a drain region electrically connected to the drain electrode via a second contact hole in the first interlayer insulating film, and a pixel electrode being electrically connected to a drain electrode via a third contact hole in a second interlayer insulating film formed on the upper side of the first interlayer insulating film, the method comprising the steps of: a step of forming short-circuit wiring for electrically connecting at least one of the scan lines and the data lines; a step of forming a first cutting hole to expose a predetermined portion of the short-circuit wiring to be cut in the first interlayer insulating film; a step of forming the second interlayer insulating film using an insulating film obtained by baking a coating film of perhydropolysilazane or a composition containing perhydropolysilazane; a step of forming a second cutting hole at a position overlapping the first cutting hole in the second interlayer insulating film to expose the portion for the short-circuit wiring to be cut; and a step of cutting the short-circuit wiring in the predetermined portion to be cut via the second cutting hole.

[0009] In the present invention, each step is performed with signal wiring, scan lines, or data lines, which are drawn from multiple terminals to supply the signals needed to drive the data line drive circuit and the scan line drive circuits, electrically connected by short-circuit wiring. Therefore, even if static electricity occurs or charges accumulate on the surface of the insulating substrate, the charges are diffused to the outer periphery of the substrate via the short-circuit wiring, preventing excessive current from suddenly flowing to the data line drive circuit and the scan line drive circuits. This makes it possible to protect the data line drive circuit and the scan line drive circuits. Short-circuit wiring and cutting holes are formed in the contact hole formation and patterning steps performed during the TFT formation process. In other words, the short-circuit wiring is formed together with the scan lines and the gate electrodes, the first cutting holes are formed together with the first and second contact holes, and the second cutting holes are formed together with the third contact holes to expose

the portions of the short-circuit wiring to be cut. Therefore, even when the pixel electrode and the drain region are electrically connected via the drain electrode, it is possible to expose and cut the short-circuit wiring from the first and second interlayer insulating films during the TFT manufacturing process, so the number of manufacturing steps does not increase. Also, even if drain electrodes are formed on the surface of the first interlayer insulating film to electrically connect pixel electrodes and drain regions via drain electrodes, the second interlayer insulating film is formed from an insulating film made by applying a liquid material suitable for planarization (an insulating film formed by baking a coating film of perhydropolysilazane or a composition containing perhydropolysilazane) as the second interlayer insulating film, thereby enabling the unevenness caused by the drain electrodes to be flattened. As a result, the alignment of the liquid crystals can be properly controlled.

[0010] In the present invention, in the step of forming the second interlayer insulating film, the second interlayer insulating film is preferably formed using an insulating film obtained by baking a coating film of perhydropolysilazane or a composition containing perhydropolysilazane, and an insulating film formed on the surface of the insulating film using the CVD method. A coating film of perhydropolysilazane or a composition containing perhydropolysilazane (simply as "polysilazane" below) forms extremely thin layers on protruding portions in order to flatten unevenness. Therefore, the polysilazane coating film is prone to cracking in areas where stress concentrates, such as stepped portions, and high parasitic capacitance is formed between the upper and lower electrodes. However, these problems can be eliminated by laminating an insulating film formed by CVD on the surface of an insulating film made of polysilazane. In addition, the insulating film formed using the CVD method can be selected to some extent by changing the formation conditions. For example, if the gate insulating film is required to be more dense and have higher dielectric strength, or if the first interlayer insulating film is required to have low stress and good stepped portion coverage, these characteristics can be obtained by changing the formation conditions (deposition conditions). The necessary conditions here are that the stress be lower than that of the polysilazane insulating film and that the etching rate be low. If an insulating film with such characteristics is formed on top of an insulating film using polysilazane, when contact holes are formed, the contact holes will have an

upward sloping surface on the side of the insulating film formed using the CVD method. Therefore, electrical connections made through these contact holes have the advantage of improved reliability, as there is no risk of step discontinuities.

[0011] In addition, a step of forming short-circuit wiring for electrically connecting at least one of the scan lines and data lines at the same time as the scan lines or a step of forming first cutting holes for exposing the predetermined portions of short-circuit wiring to be cut in the first interlayer insulating film at the same time as the first and second contact holes, and a step of forming second cutting holes at the same time as the third contact holes at positions overlapping the first cutting holes in the second interlayer insulating film to expose the portions of the short-circuit wiring to be cut can be used.

[0012]

[Embodiments of the Invention] Embodiments of the present invention will now be described with reference to the drawings.

[0013]

[Liquid Crystal Display Panel Configuration] FIG. 1 (A) and FIG. 1 (B) are a plan view and cross-sectional view, respectively, of a liquid crystal panel used in a liquid crystal display device.

[0014] As shown in FIG. 1 (A) and FIG. 1 (B), in a liquid crystal display device, an active matrix substrate AM is bonded to an opposing substrate OP with a sealing layer 110 to maintain a predetermined cell gap, thus constituting a liquid crystal display panel LP. Here, since the sealing layer 110 is partially interrupted, liquid crystals 120 are enclosed inside the sealing layer 110 from there, and then sealed with a sealing material 130. In this state, the opposing substrate OP is smaller than the active matrix substrate AM, and various terminals 80, 81, 82, etc., to be described later, as well as a data line drive circuit 60 and scan line drive circuits 70, are formed on protruding portions of the active matrix substrate AM. Therefore, various terminals 80, 81, 82, etc., data line drive circuit 60, and scan line drive circuits 70 are located to the outside of the opposing substrate OP.

[0015] Here, in one example, the opposing substrate OP is formed so as to be smaller than the active matrix substrate AM, but substrates of the same size may also be used. In this case, the sealing layer 110 is formed in the region overlapping with the drive circuits.

[0016]

[Overall Configuration of the Active Matrix Substrate] FIG. 2 is a block diagram of the active matrix substrate with built-in drive

circuits used in the liquid crystal display panel, and FIG. 3 is a plan view in which a corner portion of the pixel portion of the active matrix substrate has been enlarged.

[0017] As shown in Figure 2, in the active matrix substrate AM with a built-in drive circuit used in the liquid crystal display device of the present invention, pixels 40 are arranged in a matrix on an insulating substrate 10 and connected to a plurality of scan lines 20 and data lines 30 that intersect each other. The scan lines 20 are composed of a tantalum film, an aluminum film, or an aluminum alloy film, etc., and the data lines 30 are composed of an aluminum film or an aluminum alloy film, etc., and each is formed as a single layer or a laminate. The region in which these pixels 40 are formed is the pixel portion 11 (screen display region).

[0018] A data line drive circuit 60 is configured in the outer region (peripheral portion) of the pixel portion 11 on the insulating substrate 10 to supply video signals to each of the data lines 30. In addition, scan line drive circuits 70 are configured at the ends of each scan line 20 to supply scan signals for pixel selection to each scan line 20.

[0019] The data line drive circuit 60 comprises an X-side shift register circuit, a sample hold circuit S/H equipped with TFTs that function as analog switches based on signals outputted from the X-side shift register circuit, and six video signal lines corresponding to each of the video signals VD1 to VD6 expanded to six phases. In this example, the data line drive circuit 60 is configured with the X-side shift register circuit in a four-phase configuration, and start signal DX, clock signals CLX1 to CLX4, and their inverted clock signals CLX1 bar to CLX4 bar are supplied to the X-side shift register circuit via terminals, and the data line drive circuit 60 is driven by these signals. Therefore, the sample hold circuit S/H causes each TFT to operate based on the signal outputted from the X-side shift register circuit, and enables video signals VD1 to VD6 supplied via the video signal line to be captured at a predetermined timing and supplied to the data lines 30 and each pixel 40. Meanwhile, start signal DY, clock signal CLY, and inverted clock signal CLY bar are supplied from outside via terminals to the scan line drive circuits 70, and the scan line drive circuits 70 are driven by these signals.

[0020] In the active matrix substrate AM of the present embodiment, along the edges of the insulating substrate 10, the edge portion on the side with the data line drive circuit 60 includes constant power supplies VDDX, VSSX, VDDY, VSSY, and a plurality of terminals 80, 81, 82, etc.

composed of conductive films such as aluminum film, metal silicide films or ITO films, to which modulated video signals (image signals VD1 to VD6), and various drive signals, etc. are inputted. Multiple signal lines 74, 75 consisting of a low-resistance metal film such as aluminum film are drawn from these terminals 80, 81, 82, etc. to drive the data line drive circuit 60 and the scan line drive circuits 70. In addition, electrostatic protection circuits 65, 75, to be described later, are formed at intermediate positions between signal lines 74, 75. Note that the active matrix substrate AM and the opposing substrate (not shown) are supplied with the opposing electrode potential LCCOM inputted from outside via upper and lower conductive materials.

[0021]

[Pixel and TFT Structure] FIG. 3 is a plan view in which a corner portion of the pixel portion of the active matrix substrate shown in FIG. 2 has been enlarged. FIG. 4 is an equivalent circuit diagram of a pixel of the active matrix substrate shown in FIG. 2. FIG. 5 (A) and FIG. 5 (B) are cross-sectional views and enlarged views, respectively, of the pixel TFT portion from A-A' line in FIG. 3, the anti-static portion from B-B' in FIG. 7, and the terminal portion from line C-C' in FIG. 6.

[0022] As shown in FIG. 3 and FIG. 4, each pixel 40 has a TFT 50 for pixel switching connected to a scan line 20 and data line 30. A capacitance line 71 is also formed toward each pixel 40.

[0023] As shown in FIG. 5 (A) and FIG. 5 (B), each TFT 50 has a gate electrode 3a formed at the same time as the scan line 20, source regions 1b, 1d electrically connected to a source electrode 6a as part of the data line 30 via a first contact hole 4a in the first interlayer insulating film 4, and drain regions 1c, 1e electrically connected to a drain electrode 6d composed of an aluminum film formed at the same time as the data line 30 via a second contact hole 4d in the first interlayer insulating film 4. In addition, a second interlayer insulating film 7 is formed on the upper side of the first interlayer insulating film 4, and the pixel electrode 9a is electrically connected to the drain electrode 6d via the third contact hole 8a formed in the second interlayer insulating film 7.

[0024]

[Structure of the Second Interlayer Insulating Film] In the present embodiment, the second interlayer insulating film 7 has a two-layer structure consisting of an insulating film 71 formed by baking a coating film of perhydropolysilazane or a composition containing perhydropolysilazane, and an insulating film 72 composed of a silicon oxide

film formed using, for example, the CVD method, having a thickness of approximately 500 angstroms to approximately 15,000 angstroms.

[0025] Here, perhydropolysilazane is a type of inorganic polysilazane and is a coating material that converts to a silicon oxide film when baked in air. For example, the polysilazane produced by Tonen Chemical Corporation is an inorganic polymer with a $-(\text{SiH}_2\text{NH})-$ unit that is soluble in organic solvents such as xylene. When an organic solvent solution of this inorganic polymer (for example, a 20% xylene solution) is applied as a coating solution using the spin coating method (for example, at 2001 rpm for 20 seconds), and then baked at 450°C in air, it reacts with moisture and oxygen to form an amorphous silicon oxide film with a density equal to or greater than that of a silicon oxide film formed using the CVD method. Therefore, the insulating film 71 (silicon oxide film) formed using this method can be used as an interlayer insulating film that also smooths out unevenness caused by drain electrodes 6d. This makes it possible to prevent the alignment of the liquid crystals from being disturbed due to unevenness.

[0026] Additionally, in the second interlayer insulating film 7, an insulating film 72 formed using, for example, the CVD method is laminated on the surface of the insulating film 71, which is a baked film of a perhydropolysilazane or a composition containing perhydropolysilazane. The etching rates of these insulating films 71, 72 are different from one another. Specifically, the etching rate of insulating film 72 is lower than that of insulating film 71. Therefore, a second contact hole 8a formed in the second interlayer insulating film 7 is composed of a contact hole 71a formed in insulating film 71 at a high etching rate, which is close to a straight hole, and a contact hole 71a formed in insulating film 72 with a low etching rate, which is a tapered hole. In this way, each pixel electrode 9a is reliably connected electrically to the drain electrode 6d without causing a step break, etc. in the second contact hole 8a.

[0027]

[Terminal Structure] As shown in FIG. 6, FIG. 5 (A), and FIG. 5 (B), the terminals 80, 81, 82, etc. have a structure in which first pad underwiring 3c, a first interlayer insulating film 4 covering the surface thereof, and second pad underwiring 6c electrically connected to the first pad underwiring 3c via contact holes 4c in the first interlayer insulating film 4 are laminated in this order, and pads 9c are connected via contact holes 8c in the second interlayer

insulating film 7 to this second pad underwiring 6c. Here, the first pad underwiring 3c is a tantalum film formed at the same time as the scan lines 20 and the gate electrodes 3a between the gate insulating film 2 and the first interlayer insulating film 4. The second pad underwiring 6c is an aluminum film formed at the same time as the data lines 30 between the first interlayer insulating film 4 and the second interlayer insulating film 7. The pads 9c are an ITO film formed at the same time as the pixel electrodes 9a on the surface of the second interlayer insulating film 7. Therefore, even though the pads 9c are composed of a hard ITO film, since there is a second pad underwiring 6c composed of an aluminum film in between, there is no need to connect the pads 9c and the first pad underwiring 3c via deep contact holes that pass through the first interlayer insulating film 4 and the second interlayer insulating film 7. As a result, the reliability of the electrical connections between the pad 9c and the first pad underwiring 3c is high.

[0028] Here, the second interlayer insulating film 7 has a two-layer structure consisting of an insulating film 71 formed by baking a coating film of perhydropolysilazane or a composition containing perhydropolysilazane, and an insulating film 72 formed using, for example, the CVD method. As a result, the contact holes 8c consist of contact holes 71c formed in insulating film 71 at a high etching rate, which are close to being straight holes, and contact holes 72c formed in insulating film 72 at a low etching rate, which are tapered holes. Therefore, the pads 9c are electrically connected to the second pad underwiring 6c without any step discontinuity.

[0029] Even though the terminal structure is such that a first pad underwiring 3c made of a tantalum film, a first interlayer insulating film 4, and a second pad underwiring 6c made of an aluminum film are laminated in this order, and the pads 9c are connected to the second pad underwiring 6c in contact holes 8c in the second interlayer insulating film 7, the pads 9c can be formed flat in the second interlayer insulating film 7, since the insulating film 71 using polysilazane is flattened. Therefore, a flexible wiring substrate, etc., can be connected to the pads 9c (terminals) with a high degree of reliability.

[0030]

[Static Electricity Countermeasures] In an active matrix substrate AM with the configuration described above, the TFTs 50, wiring, data line drive circuit 60, and scan line drive circuits 70 are formed using a semiconductor process. Here, because an

insulating substrate 10 is used in the active matrix substrate AM, malfunctions caused by static electricity are likely to occur. Therefore, in the present embodiment, the following static electricity countermeasures are implemented.

[0031] First, in the present configuration, as shown in FIG. 2, the step of forming the gate electrodes of the scan lines 20 and TFTs 50 is used to form first short-circuit wiring 91 that electrically connects all signal wiring 74, 75. Also, the step of forming the gate electrodes of the scan lines 20 and the TFTs 50 is used to form second short-circuit wiring 92 that electrically connects all of the scan lines 20. In addition, the step of forming the gate electrodes of the scan lines 20 and TFTs 50 is used to form third short-circuit wiring 93 that electrically connects all data lines 30.

[0032] Here, the first, second, and third short-circuit wiring 91, 92, and 93 are tantalum films formed between the gate insulating film 2 and the first interlayer insulating film 4, together with the scan lines 20 and the gate electrodes of the TFTs 50. In contrast, the signal lines 74, 75 and data lines 30 are aluminum films formed between the first interlayer insulating film 4 and the second interlayer insulating film 7. Therefore, the first and third short-circuit wiring 91, 93 are located in layers different from the signal wiring 74, 75 and the data lines 30 made of aluminum film.

[0033] Therefore, as shown in FIG. 7 and FIG. 5 (A), the first and third short-circuit wiring 91, 93 is electrically connected to the wiring 6e (signal wiring 74, 75, and data lines 30) via contact holes 4e formed in the first interlayer insulating film 4.

[0034] When the first, second, and third short-circuit wiring 91, 92, 93 is connected, respectively, to the signal wiring 74, 75, scan lines 20, and data lines 30 in this way, if static electricity occurs during the steps performed after these wiring structures are formed, the charge diffuses to the outer periphery of the substrate via the first, second, and third short-circuit wiring 91, 92, 93, preventing sudden excessive current from flowing to the scan lines 20, pixel portion 11, data line drive circuit 60, sample hold circuit S/H, and scan line drive circuits 70. As a result, all of these portions can be protected from static electricity.

[0035] However, the first, second, and third short-circuit wiring 91, 92, 93 is not required after the manufacturing steps for the active matrix substrate AM have been completed. While details will be provided later, at the positions marked with "x" in FIG. 2, cutting holes 8b are formed in the first interlayer insulating film 4 and the second interlayer

insulating film 7 as shown in FIG. 5 (A) and FIG. 5 (B), and the short-circuit wiring 3b (first, second, and third short-circuit wiring 91, 92, 93) are etched via these cutting holes 8b to sever them. For this reason, the first, second, and third short-circuit wiring 91, 92, 93 is connected to signal wiring 74, 75, scan lines 20, and data lines 30, respectively, in FIG. 2, during the manufacturing process, but after etching via the cutting holes, the signal lines 74, 75, scan lines 20, and data lines 30 are electrically separated from each other. Thus, after cutting the first, second, and third short-circuit wiring 91, 92, 93 in the active matrix substrate AM, there are no problems with electrical characteristic inspections or operations after manufacturing the liquid crystal display device.

[0036] Here, in order to expose the short-circuit wiring 3b (first, second, and third short-circuit wiring 91, 92, 93) from the first interlayer insulating film 4 and the second interlayer insulating film 7 and cut the wiring, the first interlayer insulating film 4 has cutting holes 4b (first cutting holes) formed in portions corresponding to short-circuit wiring 3b, and the second interlayer insulating film 7 has cutting holes 8b (second cutting holes) formed in portions corresponding to short-circuit wiring 3b. The cutting holes 8b formed at positions overlapping with the cutting holes 4b have an inner diameter larger than that of the cutting holes 4b. Here, the second interlayer insulating film 7 has a two-layer structure consisting of an insulating film 71 formed by baking a coating film of perhydropolysilazane or a composition containing perhydropolysilazane, and an insulating film 72 formed using, for example, the CVD method. The cutting holes 8b consist of cutting holes 71b formed at a high etching rate in the insulating film 71, which are close to being straight holes, and cutting holes 72b formed at a low etching rate in the insulating film 72, which are tapered holes.

[0037]

[Electrostatic Protection Circuit] Various circuits can be used as the electrostatic protection circuits 65, 75 shown in FIG. 2, but the ones shown in FIG. 8 use a protective resistor 66 and P-channel type TFT 67 and N-channel type TFT 68 arranged in a push-pull configuration, as well as diodes formed between each of the positive power supplies VDD and negative power supplies VSS. In the present embodiment, the first short-circuit wiring 91 must also be connected to signal wiring 74 (or 75) between the terminal 80 (or 81, 82) and the protective resistor 66, thereby ensuring that static electricity entering via the terminal 80 (or 81, 82) or the first short-circuit wiring 91 does not

reach the data line drive circuit 60 and scan line drive circuits 70 without passing through the protective resistor 66 and the static electricity protection circuit 65 (or 75). By using this configuration, static electricity is reliably absorbed by the static electricity protection circuit 65 (or 75), which reliably protects the data line drive circuit 60 and the scan line drive circuits 70.

[0038]

[Manufacturing Method for Active Matrix Substrate AM] The method for manufacturing an active matrix substrate AM while implementing such electrostatic protection countermeasures will now be explained with reference to FIG. 9 to FIG. 12. These figures are cross-sectional views showing the steps in the manufacturing method for the active matrix substrate AM in the present embodiment. In each of the figures, the left side shows a cross section (cross section of the pixel TFT portion) along line A-A' in FIG. 3, the central portion shows a cross section along line B-B' in FIG. 7 (a cross-section of the electrostatic countermeasure wiring portion where the short-circuit wiring is cut (a portion marked with an "x" in FIG. 1)), and the right side shows a cross section along line C-C' in FIG. 6 (a cross section of the terminal portion in which terminals 80, 81, 82, etc. are formed).

[0039] First, as shown in FIG. 9 (A), a semiconductor film 1 consisting of a polysilicon film with a thickness of approximately 200 angstroms to approximately 2000 angstroms, preferably approximately 1000 angstroms, is formed using a method such as the reduced-pressure CVD method on either a transparent insulating substrate 10, such as a glass substrate or, for example, alkali-free glass or quartz, or on the entire surface of a substrate protecting film (not shown) formed on the surface of the insulating substrate 10, and then, as shown in FIG. 9 (B), the semiconductor film is patterned using a photolithographic technique to form an island-shaped semiconductor film 1a (active layer) on the pixel TFT side. Here, the semiconductor film 1 is completely removed from the static electricity countermeasure wiring portion and the terminal portion. The formation of the semiconductor film may be performed by depositing an amorphous silicon film, followed by thermal annealing at a temperature of 500°C to 700°C for 1 hour to 72 hours, preferably 4 hours to 6 hours, to form a polysilicon film, or by depositing a polysilicon film, implanting silicon, amorphizing the film, and then recrystallizing the film by thermal annealing to form a polysilicon film.

[0040] Next, as shown in FIG. 9 (C), a gate oxide film 2 consisting of a silicon oxide film with a thickness of approximately 500 angstroms to approximately 1500 angstroms is formed on the surface of the semiconductor film 1a using, for example, the CVD method. Alternatively, after forming a thermal oxide film of approximately 50 angstroms to approximately 1000 angstroms, preferably 300 angstroms, a silicon oxide film of approximately 100 angstroms to approximately 1000 angstroms, preferably 500 angstroms, may be deposited over the entire surface using, for example, the CVD method to form a gate insulating film 2. A silicon nitride film may also be used as the gate insulating film 2.

[0041] Next, as shown in FIG. 9 (D), a tantalum film 3 is formed over the entire surface of the insulating substrate 10 to form a gate electrode, etc. Then, using a photolithographic technique, the tantalum film 3 is patterned as shown in FIG. 9 (E) to form a gate electrode 3a on the pixel TFT side. As a result, the tantalum film is left on the side of the static electricity countermeasure wiring portion and terminal portion side as short-circuit wiring 3b (corresponding to the first, second, and third short-circuit wiring 91, 92, 93) and as first pad underwiring 3c for the terminals 80, 81, 82, etc. [0042] Next, as shown in FIG. 9 (F), low-concentration impurity ions (phosphorus ions) are implanted at a dose of approximately $0.1 \times 10^{13}/\text{cm}^2$ to approximately $10 \times 10^{13}/\text{cm}^2$ using the gate electrode 3a as a mask on the pixel TFT portion side and the N-channel TFT portion side of the drive circuit, and a self-aligning low-concentration source region 1b and low-concentration drain region 1c are formed for the gate electrode 3a on the pixel TFT portion side. Here, as it is located directly below the gate electrode 3a, the channel region in which no impurity ions have been introduced remains as a semiconductor film 1a.

[0043] Next, as shown in FIG. 10 (A), a resist mask RM1 wider than the gate electrode 3a is formed in the pixel TFT portion, and a high-concentration of impurity ions (phosphorus ions) are implanted at a dose of approximately $0.1 \times 10^{15}/\text{cm}^2$ to approximately $10 \times 10^{15}/\text{cm}^2$ to form a high-concentration source region 1d and drain region 1e.

[0044] Instead of these impurity introducing steps, a resist mask RM1 wider than that gate electrode 3a can be formed without introducing low-concentration impurities, before introducing a high-concentration of impurities (phosphorus ions) to form source and drain regions with an offset structure. Naturally, a source region and drain region with a self-aligning structure can be formed by implanting a high concentration of

impurities (phosphorus ions) above the gate electrode 3a.

[0045] Although not shown in the figure, in order to form a P-channel TFT portion for the peripheral drive circuit, the pixel portion and the N-channel TFT portion are covered with a resist for protection, and using the gate electrode as a mask, boron ions are implanted at a dose of approximately $0.1 \times 10^{15}/\text{cm}^2$ to approximately $10 \times 10^{15}/\text{cm}^2$ to form self-aligning P-channel source and drain regions. Note that, as in formation of the N-channel TFT region, a low concentration of impurities (boron ions) may be introduced at a dose of approximately $0.1 \times 10^{13}/\text{cm}^2$ to approximately $10 \times 10^{13}/\text{cm}^2$ using the gate electrode as a mask to form a low concentration region in the polysilicon film, before forming a mask wider than the gate electrode and implanting a high-concentration of impurities (boron ions) at a dose of approximately $0.1 \times 10^{15}/\text{cm}^2$ to approximately $10 \times 10^{15}/\text{cm}^2$ to form source and drain regions with a lightly doped drain (LDD) structure. Alternatively, a high-concentration of impurities (phosphorus ions) may be implanted while forming a mask wider than the gate electrode instead of implanting a low-concentration of impurities to form source and drain regions with an offset structure. These ion implantation steps enable CMOS conversion and integration of peripheral drive circuits on the same substrate.

[0046] Next, as shown in FIG. 10 (B), a first interlayer insulating film 4 consisting of a silicon oxide film or an NSG film (a silicate glass film free of boron or phosphorus) is formed using, for example, the CVD method with a film thickness of 3,000 angstroms to 15,000 angstroms on the surface with the gate electrode 3a, short-circuit wiring 3b, and first pad underwiring 3c.

[0047] Next, a resist mask RM2 is formed on the first interlayer insulating film 4 using a photolithographic technique to form contact holes and cutting holes.

[0048] Next, as shown in FIG. 10 (C), contact holes 4a, 4c, 4d, 4e and cutting holes 4b are formed in the source region 1d and drain region 1e corresponding to the first interlayer insulating film 4 on the pixel TFT portion side, in a portion of the first interlayer insulating film 4 corresponding to the short-circuit wiring 3b on the static electricity countermeasure wiring portion side, and in the portion of the first interlayer insulating film 4 corresponding to the first pad underwiring 3c on the terminal portion side. As a result, the portions of the short-circuit wiring 3b to be cut are exposed on the static electricity countermeasure wiring portion side. The resist mask RM2 is then removed.

[0049] Next, as shown in FIG. 10 (D), an aluminum film 6 is formed on the surface with the first interlayer insulating film 4 using, for example, sputtering to form a source electrode.

[0050] Next, a resist mask RM3 is formed for patterning the aluminum film 6 using a photolithographic technique.

[0051] Next, as shown in FIG. 10 (E), the aluminum film 6 is patterned to form, in the pixel TFT portion, a source electrode 6a made of an aluminum film that is electrically connected via a first contact hole 4a to the source region 1a as part of the data line 30, and a drain electrode 6d electrically connected via a second contact hole 4d to the drain region 1e. Also formed on the terminal portion side is second pad underwiring 6c made of an aluminum film that is electrically connected to the first pad underwiring 3c made of tantalum film via a contact hole 4c in the first interlayer insulating film 4. In the static electricity countermeasure wiring portion, various types of wiring 6e (data line 30, signal lines 74, 75) made of an aluminum film are electrically connected to short-circuit wiring 3b via contact holes 4e. In this way, using the steps shown in FIG. 10 (C) to FIG. 10 (E), the wiring connections are made between the first and third short-circuit wiring 91, 93, the signal input lines 74, 75, and the data line 30, as described with reference to FIG. 7. Also, on the static electricity countermeasure wiring portion side, the portions of short-circuit wiring 3b to be cut are exposed. The resist mask RM3 is then removed.

[0052] Next, as shown in FIG. 11 (A), an insulating film 71 is formed by firing a coating film of perhydropolysilazane or a composition containing perhydropolysilazane on the surface with the source electrode 6a, wiring 6e, and second pad underwiring 6c. An insulating film 72 consisting of a silicon oxide film with a thickness of approximately 500 angstroms to approximately 15,000 angstroms is formed on the surface of the insulating film 71 using the CVD method with TEOS under temperature conditions of approximately 400°C. The second interlayer insulating film 7 is formed using these insulating films 71, 72.

[0053] Next, a resist mask RM4 for the formation of contact holes and cutting holes is formed in the second interlayer insulating film 7 using a photolithographic technique.

[0054] Next, as shown in FIG. 11 (B), a third contact hole 8a that consists of contact holes 71a and 72a corresponding to the drain electrode 6d is formed in the insulating films 71, 72 constituting the second interlayer insulating film 7.

[0055] Also, in the terminal portion, a third contact hole 8c that consists of contact holes 71c and 72c corresponding to the second pad underwiring 6c, is formed in the insulating films 71, 72 constituting the second interlayer insulating film 7.

[0056] At this time, in the static electricity countermeasure wiring portion, a cutting hole 8b consisting of cutting holes 71b and 72b is formed in the insulating films 71, 72 constituting the second interlayer insulating film 7 in each of the portions of short-circuit wiring 3b (corresponding to the first, second, and third short-circuit wiring 91, 92, 93) to be cut. This exposes the portions of short-circuit wiring 3b to be cut. The resist mask RM4 is then removed.

[0057] Next, as shown in FIG. 11 (C), an indium tin oxide (ITO) film 9 with a thickness of approximately 400 angstroms to approximately 2000 angstroms is formed on the surface with the second interlayer insulating film 7 using, for example, sputtering to create the drain electrode.

[0058] Next, a resist mask RM5 is formed for patterning the ITO film 9 using a photolithographic technique.

[0059] The ITO film 9 is then patterned using a resist mask RM5. As a result, as shown in FIG. 5, a pixel electrode 9a is formed in the pixel TFT portion, which is electrically connected to the drain electrode 6d via a third contact hole 8a. In the static electricity countermeasure wiring portion, the ITO film 9 is completely removed. In the terminal portion, a pad 9c consisting of ITO film electrically connected to the second pad underwiring 6c via a contact hole 8c is formed.

[0060] In the present embodiment, when the ITO film 9 is patterned, the portion of the short-circuit wiring 3b to be cut is cut on the electrostatic countermeasure wiring portion side, and the wiring is separated in this cut portion. Because the short-circuit wiring 3b is cut in the final step of the manufacturing process, this configuration is effective against static electricity generated in any of the previous steps.

[0061]

[Primary Effects of the Present Embodiment] As explained above, in the present embodiment, the signal lines 74, 75 (wiring 6e) drawn from each of the terminals 80, 81, 82, etc. toward the data line drive circuit 60 and the scan line drive circuits 70 are electrically connected by the first short-circuit wiring 91 (short-circuit wiring 6b) during each step. Therefore, even if static electricity is generated or charges accumulate on the surface of the insulating substrate, the charges are diffused to the outer periphery of the substrate via the first short-circuit wiring 91,

so that excessive current does not suddenly flow to the data line drive circuit 60 and the scan line drive circuits 70. In this way, the data line drive circuit 60 and the scan line drive circuits 70 can be protected. Also, use of second short-circuit wiring 92 (short-circuit wiring 6b) electrically connected to each of the scan lines 20 makes it possible to prevent excessive current from suddenly flowing to the scan lines 20, thereby protecting the scan lines 20 and the pixel portions 11. In addition, use of third short-circuit wiring 93 (short-circuit wiring 6b) electrically connected to each of the data lines 30 (wiring 6e) makes it possible to prevent excessive current flowing suddenly to the data lines 30, thereby protecting the data lines 30, the sample hold circuit S/H, and the pixel portions 11.

[0062] The short-circuit wiring 3b is formed at the same time as the scan lines 20, etc., the cutting holes 4b are formed at the same time as the first and second contact holes 4a, 4d in the first interlayer insulating film 4, and the cutting holes 8b are formed at the same time as the third contact holes 8a in the second interlayer insulating film 7. As a result, the short-circuit wiring 3b can be exposed and cut from the first and second interlayer insulating films 4, 7 during manufacture of the TFTs, even when the pixel electrode 9a and the drain region 1e are electrically connected via the drain electrode 6d. Also, because an insulating film 71 using polysilazane is used as the second interlayer insulating film 7, the unevenness caused by the drain electrode 6d can be flattened, even when the pixel electrode 9a and the drain region 1e are electrically connected via the drain electrode 6d. As a result, the alignment of the liquid crystals can be controlled properly.

[0063] In the case of insulating film 71 using polysilazane, the more the unevenness is flattened, the thinner the film becomes in the protruding portions. Therefore, cracks are likely to occur in the thin portions, and a high parasitic capacitance is formed between the upper and lower electrodes. However, in the present embodiment, an insulating film 72 formed using the CVD method is laminated on the surface of insulating film 71 using polysilazane, thereby eliminating such problems. Also, because the insulating film 72 formed using the CVD method has a lower etching rate than the insulating film 71 using polysilazane, when the insulating film 72 formed using the CVD method is provided on top of the insulating film 71 using polysilazane to form contact holes 8a, 8c, tapered holes are formed on the side with the insulating film 72 formed using the CVD method. Therefore, the electrical connections via the contact holes 8a,

8c confer the advantage of improving reliability because no step discontinuities occur.

[0064] In addition, the terminals 80, 81, 82, etc. have a structure in which a first pad underwiring 3c made of a tantalum film, a first interlayer insulating film 4 covering this surface, and a second pad underwiring 6c made of an aluminum film and electrically connected to the first pad underwiring 3c via a contact hole in the first interlayer insulating film 4 are laminated in this order, and the pads 9c made of ITO film are connected to the second pad underwiring 6c in contact holes 8c in the second interlayer insulating film 7. Therefore, even though the pads 9c are composed of a hard ITO film, there is no need to connect the pads 9c and the first pad underwiring 3c via deep contact holes that pass through the first interlayer insulating film 4 and the second interlayer insulating film 7, thereby increasing the reliability of the electrical connections between the pad 9c and the first pad underwiring 3c. In addition, since the second interlayer insulating film 7 is flattened using an insulating film 71 with polysilazane, the pad 9c can be formed on a flat surface. Also, terminals 80, 81, 82, etc., with such a structure can be formed during the TFT manufacturing process, so the number of manufacturing steps does not increase.

[0065]

[Other Embodiments] In the first embodiment, the first, second, and third short-circuit wiring 91, 92, 93 were connected to signal wiring 74, 75, a scan line 20, and a data line 30, respectively. However, among the multiple signal lines drawn from terminals 6c (80, 81, 82, etc.) to supply signals to drive the data line drive circuit 60 and scan line drive circuits 70, the first short-circuit wiring 91 may be formed only for signal wiring 74, 75 located on the terminal 6c (80, 81, 82, etc.) side rather than for signal wiring 74, 75 located on the terminal 65, 75 side. Also, the present invention can be applied using different embodiments for the short-circuit wiring configuration. For example, the third short-circuit wiring 93 may be eliminated, and the first short-circuit wiring 91 and the second short-circuit wiring 92 may be formed only for the signal lines 74, 75 and scan line 20 drawn from the multiple terminals (80, 81, 82, etc.) to the data line drive circuit 60 and scan line drive circuits 70.

[0066] The present invention is not limited to the embodiments described above, but may be embodied in various ways within the scope of the present invention. For example, the present invention is not limited to the liquid crystal display devices described above, and may be

applied to electroluminescence and plasma display devices.

[0067]

[Effect of the Invention] In the manufacturing method for an active matrix substrate in the present invention, as described above, signal lines, scan lines, and data lines are electrically connected via short-circuit wiring, so that even if static electricity is generated or charges accumulate on the insulating substrate surface, the charges are diffused to the periphery of the substrate via the short-circuit wiring, preventing excessive current from suddenly flowing into the data line drive circuit and scan line drive circuits. This makes it possible to protect the data line drive circuit and the scan line drive circuits. The short-circuit wiring is formed at the same time as the scan lines, the first cutting holes are formed at the same time as the first and second contact holes, and the second cutting holes are formed at the same time as the third contact holes. In this way, even when the pixel electrodes and drain regions are electrically connected via the drain electrodes, the short-circuit wiring can be exposed via the first and second interlayer insulating films without increasing the number of manufacturing steps. In addition, by using an insulating film formed by baking a coating film of perhydropolysilazane or a composition containing perhydropolysilazane as the second interlayer insulating film, any unevenness caused by the drain electrode can be flattened even when the pixel electrode and the drain region are electrically connected via the drain electrode.

[Brief Description of the Drawings]

[FIG. 1] FIG. 1 (A) and FIG. 1 (B) are a plan view and a cross-sectional view, respectively, of a liquid crystal panel used in a liquid crystal display device.

[FIG. 2] FIG. 2 is a block diagram of the active matrix substrate used in the liquid crystal display panel shown in FIG. 1.

[FIG. 3] FIG. 3 is a plan view in which a corner portion of the pixel portion of the active matrix substrate shown in FIG. 2 has been enlarged.

[FIG. 4] FIG. 4 is an equivalent circuit diagram of a pixel of the active matrix substrate shown in FIG. 2.

[FIG. 5] FIG. 5 (A) and FIG. 5 (B) are cross-sectional views and enlarged views, respectively, of the pixel TFT portion from A-A' line in FIG. 3, the anti-static portion from B-B' in FIG. 7, and the terminal portion from line C-C' in FIG. 6.

[FIG. 6] FIG. 6 is a plan view showing the structure of terminals in the active matrix substrate in FIG. 2.

[FIG. 7] FIG. 7 is a plan view showing the connection structure between signal wiring and

short-circuit wiring in the active matrix substrate in FIG. 2.

[FIG. 8] FIG. 8 is a circuit diagram of the electrostatic protection circuit configured on the active matrix substrate in FIG. 2.

[FIG. 9] FIG. 9 shows cross-sectional views of the manufacturing steps for the active matrix substrate in FIG. 2.

[FIG. 10] FIG. 10 shows cross-sectional views of each step performed following those in FIG. 9.

[FIG. 11] FIG. 11 shows cross-sectional views of each step performed following those in FIG. 10.

[Reference Numbers] 2: Gate insulating film

3a: Gate electrode

3b: Short-circuit wiring

3c: First pad underwiring

4: First interlayer insulating film

4a: First contact hole

4b: Cutting hole (first cutting hole)

4d: Second contact hole

5b, 8b: Cutting hole

6c: Second pad underwiring

6d: Drain electrode

7: Second interlayer insulating film

8a: Third contact hole

8b: Cutting hole (second cutting hole)

8c: Contact hole in terminal portion

9a: Pixel electrode

9c: Pad

11: Pixel portion (screen display region)

20: Scan line

30: Data line

50: TFT

60: Data line drive circuit

65, 75: Electrostatic protection circuit

66: Protection resistance

70: Scan line drive circuit

71: Insulating film using a polysilazane

72: Insulating film formed by the CVD method

74, 75: Signal wiring

80, 81, 82: Terminal

91: First short-circuit wiring

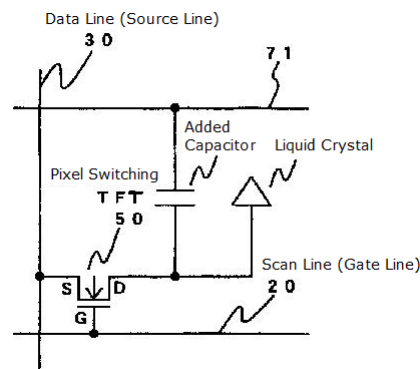
92: Second short-circuit wiring

93: Third short-circuit wiring

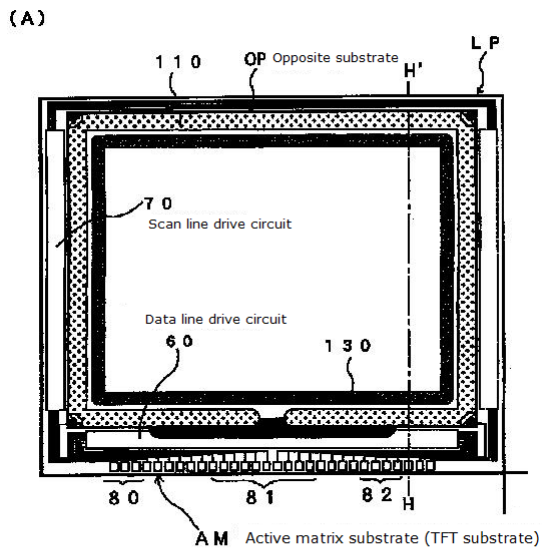
AM: Active matrix substrate (TFT substrate)

MM: Mother board

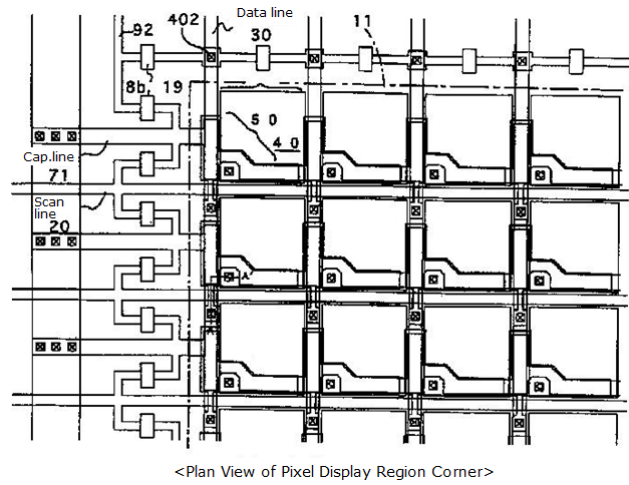
[FIG. 4]



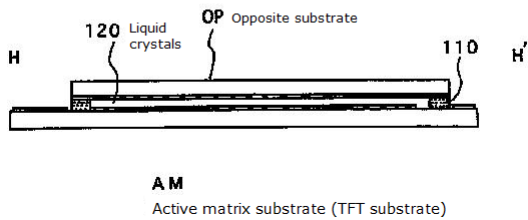
[FIG. 1]



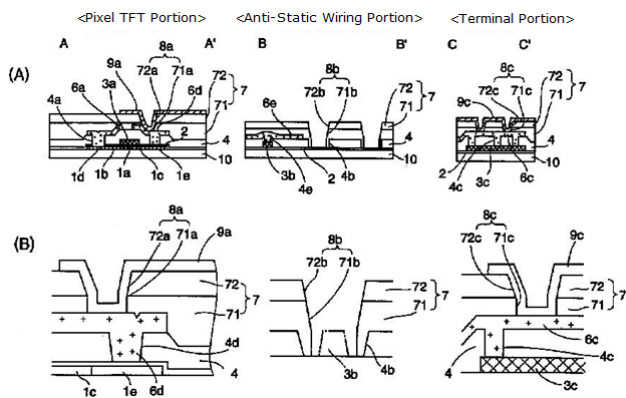
[FIG. 3]



(B)

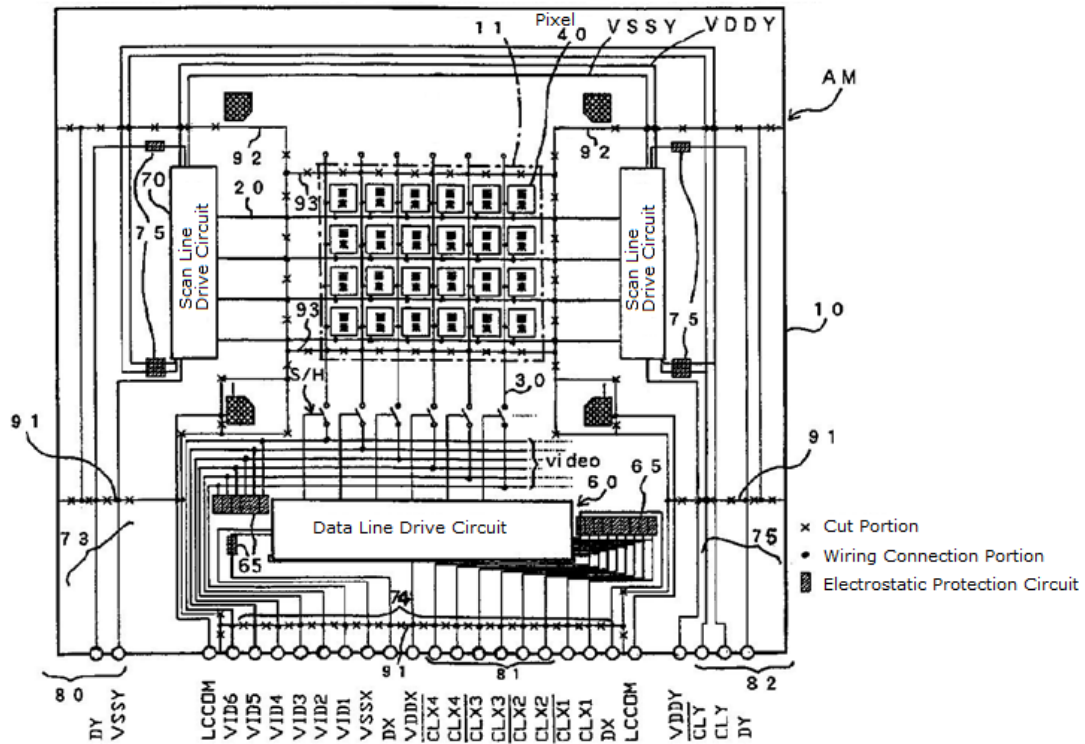


[FIG. 5]

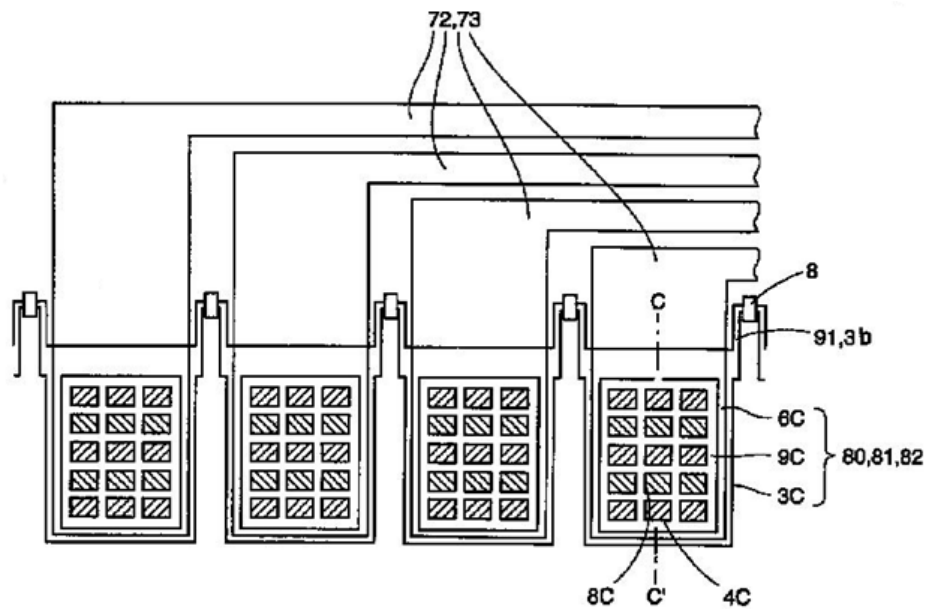


[FIG. 2]

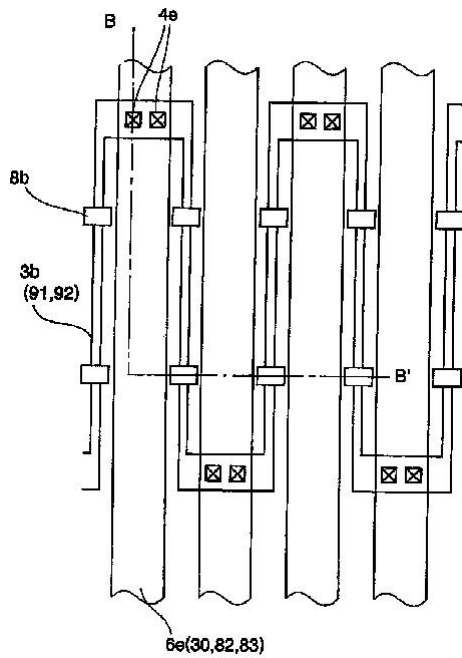
Anti-Static Panel (All Pixel Regions, Peripheral Drive Circuit Regions Short-Circuited and Cut)



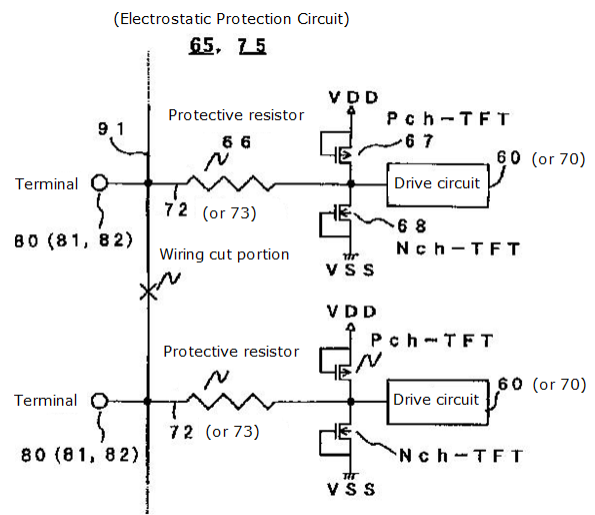
[FIG. 6]



[FIG. 7]



[FIG. 8]



[FIG. 9]

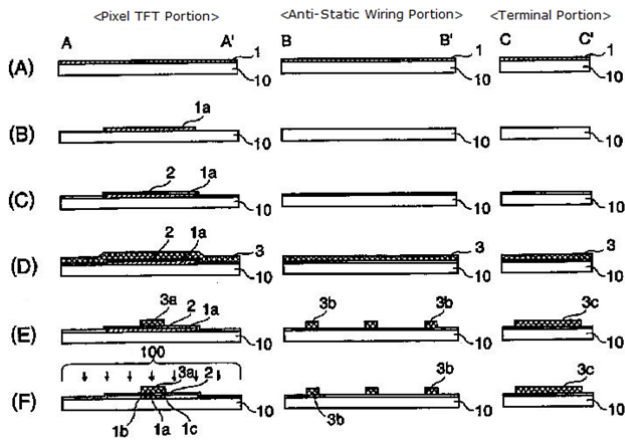


Figure 1 illustrates the cross-sectional views of the TFT-LED structure in five stages (A-E) across three regions: Pixel TFT Portion, Anti-Static Wiring Portion, and Terminal Portion.

- Pixel TFT Portion (A-E):**
 - (A) Initial stage showing substrate 10, gate insulating layer 2, and gate electrode 3a.
 - (B) Formation of gate insulating layer 4 and gate electrode 3a.
 - (C) Formation of gate insulating layer 4 and gate electrode 3a, with additional layers 4a and 4d.
 - (D) Formation of gate insulating layer 4 and gate electrode 3a, with additional layers 4a, 4d, and 6.
 - (E) Final stage showing gate insulating layer 4 and gate electrode 3a, with additional layers 4a, 4d, 6, and 1a.
- Anti-Static Wiring Portion (B-E):**
 - (B) Initial stage showing substrate 10, gate insulating layer 4, and gate electrode 3b.
 - (C) Formation of gate insulating layer 4 and gate electrode 3b.
 - (D) Formation of gate insulating layer 4 and gate electrode 3b, with additional layers 4b and 4e.
 - (E) Final stage showing gate insulating layer 4 and gate electrode 3b, with additional layers 4b, 4e, and 6.
- Terminal Portion (C-E):**
 - (C) Initial stage showing substrate 10, gate insulating layer 4, and gate electrode 3c.
 - (D) Formation of gate insulating layer 4 and gate electrode 3c.
 - (E) Final stage showing gate insulating layer 4 and gate electrode 3c, with additional layers 4c and 6c.



TRANSLATION CERTIFICATION

To whom it may concern:

I, Frank McGee, a translator fluent in the Japanese and English (USA) languages, on behalf of Morningside, do solemnly and sincerely declare, under penalty of perjury of the laws of the United States of America, that the following is, to the best of my knowledge and belief, a true and correct translation of the document(s) listed below in a form that best reflects the intention and meaning of the original text.

The document is designated as:

- JPH11282011A

Executed on July 21, 2025.

A handwritten signature in blue ink, appearing to read "Frank McGee", written over a horizontal line.

Frank McGee

QUESTEL CONFIDENTIAL

4001 S 700 East, Suite 500 #B17
Salt Lake City, UT 84107

IPR2025-01396
BOE EXHIBIT 1004
Page 31 of 31