

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2000-131393
(P2000-131393A)

(43)公開日 平成12年 5月12日 (2000. 5. 12)

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ト*(参考)
G 0 1 R	31/28	G 0 1 R	V 2 G 0 0 3
	31/02		2 G 0 1 4
	31/26		Z 2 G 0 3 2

審査請求 未請求 請求項の数2 O L (全 11 頁)

(21)出願番号	特願平10-304560	(71)出願人	000000295 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
(22)出願日	平成10年10月26日 (1998. 10. 26)	(72)発明者	菅野 裕雅 東京都港区虎ノ門1丁目7番12号 沖電気 工業株式会社内
		(74)代理人	100079049 弁理士 中島 淳 (外3名)

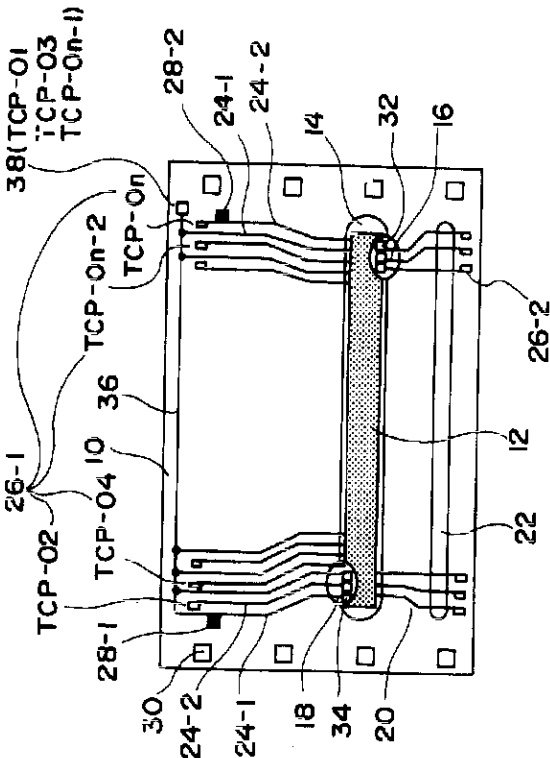
最終頁に続く

(54)【発明の名称】 ドライバ I C のテスト回路及びテスト方法

(57)【要約】

【課題】 ドライバ I C の出力側のテスト用パッド数を低減し、テスト用パッドに対する高精度な針当てを可能にし、製品の歩留りの向上を図る。

【解決手段】 テスト用パッドの配置を、内部回路の配列順により奇数番目の内部回路と偶数番目の内部回路に対応させてテスト用パッド (26-1, 38) を区分けし、奇数番目の内部回路と偶数番目の内部回路のいずれか一方に対応して設けられたテスト用パッド間を共通に接続し、かつ上記内部回路と出力パッドとの間を電氣的に切離し可能にすると共に、ドライバ I C 1 2 の内部回路にテスト情報を外部より供給し、テスト時に内部回路と出力パッドとの間を電氣的に接続して該出力パッドに接続されているテスト用パッドから出力される信号状態に基づいて入出力パッド間の接続状態をテストする。



【特許請求の範囲】

【請求項1】 テープキャリアパッケージに配置されディスプレイデバイスを駆動するドライバICの入出力パッドと前記テープキャリアパッケージ上に形成されたテスト用パッドとが前記テープキャリアパッケージ上に形成されたリードパターンにより接続されてなり、前記入出力パッド間の接続状態をテストするドライバICのテスト方法において、

前記テスト用パッドの配置を、内部回路の配列順により奇数番目の内部回路と偶数番目の内部回路に対応させてテスト用パッドを区分けし、奇数番目の内部回路と偶数番目の内部回路の何れか一方に対応して設けられたテスト用パッド間を共通に接続し、かつ前記内部回路と出力パッドとの間を電氣的に切離し可能にすると共に、前記ドライバICの内部回路にテスト情報を外部より供給し、テスト時に内部回路と出力パッドとの間を電氣的に接続して該出力パッドに接続されているテスト用パッドから出力される信号状態に基づいて前記入出力パッド間の接続状態をテストすることを特徴とするドライバICのテスト方法。

【請求項2】 表示用デジタルデータを順次転送するシフト回路及びレジスタ回路からなるシフトレジスタ回路と、該シフトレジスタ回路の出力を格納するラッチ回路と、該ラッチ回路に格納された表示用デジタルデータをアナログ電圧に変換するDA変換回路と、該DA変換回路の出力をインピーダンス変換するバッファアンプ回路とを備えた内部回路と該内部回路の出力電圧を外部に出力する出力パッドまでを1回路として多数回路を有しテープキャリアパッケージに配置されたドライバICであって、前記出力パッドと前記テープキャリアパッケージ上に形成されたテスト用パッドとが前記テープキャリアパッケージ上に形成されたリードパターンにより接続されてなり、前記出力パッドの接続状態をテストするドライバICのテスト回路において、前記テスト用パッドの配置を、内部回路の配列順により奇数番目の内部回路と偶数番目の内部回路に対応させてテスト用パッドを区分けし、奇数番目の内部回路と偶数番目の内部回路の何れか一方に対応して設けられたテスト用パッド間を共通に接続し、かつ前記ドライバICの各内部回路と出力パッドとの間にアナログスイッチを各々、設け、該アナログスイッチのドライバICテスト時の動作タイミングを各出力パッドに対応する前記シフト回路の出力信号と、外部入力 of テスト制御信号との論理積により生成した制御信号により制御することを特徴とするドライバICのテスト回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶ディスプレイデバイス等のディスプレイデバイスを駆動するドライバICのテスト回路及びテスト方法に係り、特にドライバ

ICの入出力パッド間の接続状態をテストするドライバICのテスト回路及びテスト方法に関する。

【0002】

【従来の技術】図5に従来の液晶ドライバICのTap e Carrier Package (以下、TCPと記す。)への実装形態を示す。同図において、TCP201は一般的なメッキ処理された銅薄、接着剤、ベースフィルムの3層構造からなっている。入力側のインナーリード204、出力側のインナーリード205、入力側のアウターリード206、出力側のアウターリード208及びテスト用パッド209は、それぞれTCP201上に形成されている。

【0003】ドライバIC202はテープを穴抜きしたデバイスホール203内に配置され、ドライバIC202の入力パッド上の金バンプ212と入力側のインナーリード204とが接続され、また出力パッド上の金バンプ213と出力側のインナーリード205とが接続されている。入力側のアウターリード206はテープを穴抜きしたホール207を介して図示してないプリント配線された基板と接続される。

【0004】出力側のアウターリード208はアライメントマーク210-1とアライメントマーク210-2との間のリード端子が図示してないディスプレイデバイスとしての液晶パネルと接続される。

【0005】テスト用パッド209は、インナーリード204、205とドライバIC202を接続した後にドライバIC202の出力パッドとテストパッド間の接続状態を検査する時に用い、テスト用パッド209の数は入出力アウターリード206、208と同数である。テスト用パッド209は液晶パネルと接続する前に切り取られる。211はスプロケットホールであり、TCP201のスプロケット方向のサイズはスプロケットホール211間の間隔をW3とし、スプロケットホールの数をnとすると、 $W3 \times (n-1)$ となる。

【0006】以上の構成において、液晶パネルの大容量化(XGA(extended video graphics array)パネルで 3072×768 画素)に伴い、ドライバIC202の1チップ当たりの出力数も増加し、384出力(XGAパネルの3072画素方向でドライバIC202を8個使用)が主流になってきている。液晶パネルとの接続ピッチは(出力側のアウターリード208のピッチ)、 $60 \sim 70 \mu m$ 程度と狭ピッチ化の傾向にある。

【0007】また、TCP201は低コスト化対策としてテープ幅(W1)が35mmのSW(Super Wide)タイプが主に用いられ、有効パターン領域(W2)が最大28.6mmまで可能であるため、現状ではアウターリード208のピッチは、 $70 \mu m$ 強が可能である。今後、更にドライバIC202の多出力化に伴い、アウターリード208のピッチは更に狭ピッチ化が

進み、インナーリード端子とドライバIC202の金バンプとの接続状態を検査する時に用いるテストパッド209も同様に、狭ピッチ化と多パッド化に対応する必要がある。

【0008】現在、接続状態（ドライバICの入出力パッド部のオープン／ショート）の検査方法としてはテストパッド209にプローブカードに搭載された微細な針を当てて、電氣的に接続をとり、ICテストにより接続状態をテストしていた。

【0009】

【発明が解決しようとする課題】従来のドライバICの検査方法では、ドライバICの多出力化（384出力）に伴うテスト用パッドの狭ピッチ化（60～70 μ m）により、テスト用パッドに対し高精度なプローブの針当てが非常に困難になり、プローブ用の針とテスト用パッドとの電氣的な接続不良が発生し、良品のドライバICを不良品として判定し歩留りが低下するという問題があった。

【0010】また、テスト用パッドの狭ピッチ化を回避するためにテスト用パッドを多段に配置する方法もあるが、TCPのスピケット方向のサイズが増加する可能性があり、TCPのスピケット方向のサイズの増加に伴い、TCPのコストが上昇するという問題があった。

【0011】本発明はこのような事情に鑑みてなされたものであり、TCPのコストを上昇させることなく、ドライバICの出力側のテスト用パッド数を低減し、テスト用パッドに対する高精度な針当てを可能にし製品の歩留りの向上を図ったドライバICのテスト回路及びテスト方法を提供することを目的とする。

【0012】

【課題を解決するための手段】上記目的を達成するために請求項1に記載の発明は、テープキャリアパッケージに配置されディスプレイデバイスを駆動するドライバICの入出力パッドと前記テープキャリアパッケージ上に形成されたテスト用パッドとが前記テープキャリアパッケージ上に形成されたリードパターンにより接続されており、前記入出力パッド間の接続状態をテストするドライバICのテスト方法において、前記テスト用パッドの配置を、内部回路の配列順により奇数番目の内部回路と偶数番目の内部回路に対応させてテスト用パッドを区分けし、奇数番目の内部回路と偶数番目の内部回路の何れか一方に対応して設けられたテスト用パッド間を共通に接続し、かつ前記内部回路と出力パッドとの間を電氣的に切離し可能にすると共に、前記ドライバICの内部回路にテスト情報を外部より供給し、テスト時に内部回路と出力パッドとの間を電氣的に接続して該出力パッドに接続されているテスト用パッドから出力される信号状態に基づいて前記入出力パッド間の接続状態をテストすることを特徴とする。

【0013】請求項1に記載の発明によれば、ドライバ

ICの内部回路と出力パッドとの間を電氣的に切離し可能にしたので、ドライバICとTCPとの間の接続状態を簡易な手法でテストすることが可能となる。

【0014】また請求項1に記載の発明によれば、テスト用パッドの配置を、内部回路の配列順により奇数番目の内部回路と偶数番目の内部回路に対応させてテスト用パッドを区分けし、奇数番目の内部回路と偶数番目の内部回路の何れか一方に対応して設けられたテスト用パッド間を共通に接続するようにしたので、TCPのサイズを増加することなく、すなわちTCPのコストの上昇を招くことなく、テスト用パッド数を低減でき、それ故製品組立後の検査時のテスト用パッドに対するプローブ用針の針当て精度の向上が図れ、試験ミスを低減でき、製品の歩留りの向上が図れる。

【0015】請求項2に記載の発明は、表示用デジタルデータを順次転送するシフト回路及びレジスタ回路からなるシフトレジスタ回路と、該シフトレジスタ回路の出力を格納するラッチ回路と、該ラッチ回路に格納された表示用デジタルデータをアナログ電圧に変換するDA変換回路と、該DA変換回路の出力をインピーダンス変換するバッファアンプ回路とを備えた内部回路と該内部回路の出力電圧を外部に出力する出力パッドまでを1回路として多数回路を有しテープキャリアパッケージに配置されたドライバICであって、出力パッドと前記テープキャリアパッケージ上に形成されたテスト用パッドとが前記テープキャリアパッケージ上に形成されたリードパターンにより接続されており、前記出力パッドの接続状態をテストするドライバICのテスト回路において、前記テスト用パッドの配置を、内部回路の配列順により奇数番目の内部回路と偶数番目の内部回路に対応させてテスト用パッドを区分けし、奇数番目の内部回路と偶数番目の内部回路の何れか一方に対応して設けられたテスト用パッド間を共通に接続し、かつ前記ドライバICの各内部回路と出力パッドとの間にアナログスイッチを各々、設け、該アナログスイッチのドライバICテスト時の動作タイミングを各出力パッドに対応する前記シフト回路の出力信号と、外部入力のテスト制御信号との論理積により生成した制御信号により制御することを特徴とする。

【0016】請求項2に記載の発明によれば、請求項1に記載の発明の効果に加えて、ドライバICの各内部回路と出力パッドとの間を電氣的に切り離す手段として、アナログスイッチを各々、設け、アナログスイッチを1回路毎にデコードするのに内部回路のシフト回路の出力信号（シフトパルス信号）を流用するようにしたので、各アナログスイッチを特定のタイミングで動作させるための特別なデコード回路が不要となり、低コストのドライバICのテスト回路を実現することができる。

【0017】

【発明の実施の形態】本発明の実施の形態を図面を参照

して詳細に説明する。図1に本発明が適用される液晶ドライバICのTCPへの実装形態を示す。同図においてドライバIC12はウエハ状態で正常と判定されたものである。ドライバIC12はデバイスホール14内に配置され、ドライバIC12の入力パッド上の金バンプ32と入力側のインナーリード16とが接続され、出力パッド上の金バンプ34と出力側のインナーリード18とが接続されている。入力側のアウターリード20の先端にはテスト用パッド26-2が設けられている。出力側のアウターリード24(24-1, 24-2)はアライメントマーク28-1とアライメントマーク28-2間のリード端子が液晶パネルと接続される。テストパッド部は奇数ラインのアウターリード24-1同士が共通接続され、奇数ライン用のテスト用パッド38に接続されている。偶数ラインのアウターリード24-2は図5に示す従来例と同様に各リード毎に設けられたテスト用パッド26-1と各々、接続されている。

【0018】次にドライバIC12のテスト回路の構成を図2に示す。本実施の形態に係るドライバIC12のテスト回路はドライバICの内部回路を利用し、一部の回路及び制御信号を付加することにより構成されている。図2において本実施の形態に係るドライバIC12のテスト回路は、表示用デジタルデータ(テストデータまたは画像データ)を順次転送するシフトレジスタ回路部50と、シフトレジスタ回路部50の出力を格納するラッチ回路部60と、ラッチ回路部60に格納された表示用デジタルデータをアナログ電圧に変換するDA変換回路部70と、DA変換回路部70の出力信号を外部に出力する出力回路部80とを有している。

【0019】シフトレジスタ回路部50は、シフト回路52-1~52-nと、画像データを取り込むレジスタ回路56-1~56-nと、論理積回路54-1~54-nから構成されている。シフト回路52-1の入力端子D1にはスタート信号STが入力されるようになっており、シフト回路52-1の出力端子Q1は次段のシフト回路52-2の入力端子D2と、レジスタ回路56-1のラッチ端子L1と、論理積回路54-1の入力端子T2とに接続されている。

【0020】シフト回路52-2の出力端子Q2は次段のシフト回路52-3の入力端子D3と、レジスタ回路56-2のラッチ端子L2と、論理積回路54-2の入力端子T2とに接続されている。以下、シフト回路52-3~シフト回路52-nも同様に接続されている。

【0021】シフト回路52-1~52-nのクロック入力端子は共通接続され、シフトクロックCPが供給されるようになっている。また論理積回路54-1~54-nの各入力端子T1は共通接続され、テストモード信号TESTが供給されるようになっている。論理積回路54-1~54-nの各出力端子T3は出力回路部80の出力回路80-1~80-nの各々に、接続されてい

る。

【0022】レジスタ回路56-1~56-nの入力端子Di1~Dinは共通接続され、これらの入力端子Di1~Dinには画像データ(以下テストデータと称す)が供給されるようになっている。レジスタ回路56-1~56-nの出力端子Do1~Donはそれぞれ、次段のラッチ回路部60のラッチ回路60-1~60-nの入力端子Di1~Dinに接続されている。

【0023】ラッチ回路部60のラッチ回路60-1~60-nの各入力端子Lにはテストデータを格納するためのラッチ信号LOADが入力されるようになっている(図2ではラッチ回路60-2~60-nについてはラッチ信号LOADが供給される配線を省略してある。)

【0024】ラッチ回路60-1~60-nの出力端子Do1~Donは、次段のDA変換回路部70のDA変換回路70-1~70-nの入力端子Di1~Dinにそれぞれ、接続されている。DA変換回路70-1~70-nの出力端子DA1~DAnは出力回路部80の出力回路80-1~80-nの入力端子in1~innに接続されている。出力回路80-1~80-nの出力端子o1~onからはjそれぞれ、テストデータに対応したアナログ電圧がドライバIC12の出力パッドDV-OUT1~DV-OUTnへ出力されるようになっている。

【0025】図3を参照して出力回路部80の構成について説明する。出力回路80-1~80-nは同一構成であるので、図3では説明の便宜上、出力回路80-1のみを示している(図3においてシフトレジスタ回路50からバッファアンプ回路82-1までを内部回路と称す)。図3においてDA変換回路部70におけるDA変換回路70-1の出力端子DA1が出力回路80-1内のバッファアンプ82-1の非反転入力端子に接続されている。バッファアンプ82-1の出力端子は反転入力端子とアナログスイッチ84-1の端子SWT1に接続されている。アナログスイッチ回路204-1の他方の端子SWT2はドライバIC12の出力パッドDV-OUT1に接続されている。図示していない他の出力回路80-2~80-nについても同様にアナログスイッチ84-2~84-nの他方の端子はドライバIC12の出力パッドDV-OUT2~DV-OUTnに接続されている。

【0026】ドライバIC12の各出力パッドDV-OUT1~DV-OUTnはTCP10のアウターリードを介して、奇数出力パッド(DV-OUT1, DV-OUT3, ..., DV-OUTn-1)は奇数テスト用パッド38(TCP-OUT1がDV-OUT1と対応, TCP-OUT3がDV-OUT3と対応, ..., TCP-OUTn-1がDV-OUTn-1と対応)に共通接続されており、偶数出力パッド(TCP-OUT2がDV-OUT2と対応, TCP-OUT4がDV-OUT4

と対応、TCP-OUT_nがDV-OUT_nと対応)は各リード毎にテストパッド26-1と接続されている。入力側のパッドも各リード毎にテストパッド26-2に接続されている。テストパッド38、26-1、26-2はテスト用の針102と接続され、針102の他端はリード線104を介してICテスト内の比較器100の一方の入力端と接続されている。比較器100の他端には判定基準値が入力されるようになっている。

【0027】上記構成からなる本実施の形態に係るドライバICのテスト回路の動作について説明する。

【0028】先ず、上記ドライバIC12を搭載したTCP10のテストモードとはインナーリード16、18とドライバIC12の金バンプ32、34との接続状態を検査するテスト回路の動作状態をいう。テストモード時の検査内容は入出力パッド間が電氣的に導通しているか、または隣接する出力端子間で電氣的に短絡しているか否かの接続状態をICテスト等で判定する。ICテストで検査する場合は、プローブカードに搭載された微細な針をドライバIC12の出力側の奇数ライン用のテスト用パッド34と偶数ラインのテスト用パッド26-1に当て、入力側も同様にテスト用パッド26-2に針を当て電氣的に接続をとっている。ICテストからテスト情報(スタート信号ST、シフトクロックCP、テストモード信号TEST、画像データ等)をドライバIC12の各信号端子に入力し、出力側のテストパッド38、26-1より期待値に相当するテストデータに対応した出力信号が得られるか否かで一般的には製品の良否を判定している。

【0029】図4にテスト動作のタイミングを示す。テスト期間は大きくテストデータ転送期間と電氣的な導通、短絡のテストを行う導通/短絡検査期間に大別できる。テストデータ転送期間はスタート信号STがシフト回路52-1に入力されると、シフト回路52-1の出力端子Q1からはシフトクロックCPの立ち上がり同期した周期T_{fcp}の期間ハイレベル(以下、“H”と記す。)となるシフトパルス信号がレジスタ回路56-1のラッチ端子L1に出力される。レジスタ回路56-1はラッチ端子L1が“H”の期間中にテストデータ、例えば“00h”を取込み保持する。

【0030】シフト回路52-1の出力端子Q1よりシフトパルス信号がシフト回路52-2に入力された後、シフト回路52-1と同様にシフトクロックCPに同期した周期T_{fcp}の期間“H”のシフトパルス信号が、シフト回路52-2の出力端子Q2からレジスタ回路56-2のラッチ端子L2に出力される。レジスタ回路56-2はラッチ端子L2が“H”の期間中にテストデータ、例えば“7Fh”を取込み、保持する。

【0031】シフト回路52-3の出力端子Q3から周期T_{fcp}の期間“H”のシフトパルス信号が、図示しないシフト回路52-4の入力端子D4とレジスタ回路

56-3のラッチ端子L3に出力される。レジスタ回路56-3はラッチ端子L3が“H”の期間中にテストデータ、例えば“00h”を取込み、保持する。同様に図示しないレジスタ回路56-4はラッチ端子L4が“H”の期間中にテストデータ、例えば“7Fh”を取込み、保持する。最終段側の図示しないシフト回路52-(n-1)の出力端子Q_{n-1}よりシフトパルス信号がレジスタ回路56-(n-1)のラッチ端子L_{n-1}に出力される。レジスタ回路56-(n-1)はラッチ端子L_{n-1}が“H”の期間中にテストデータ、例えば“00h”を取込み、保持する。シフトレジスタ回路部50の最終段のシフト回路52-nの出力端子Q_nからシフトパルス信号が最終段のレジスタ回路56-nのラッチ端子L_nに出力される。レジスタ回路56-nはラッチ端子L_nが“H”の期間中にテストデータ、例えば“7Fh”を取込み、保持する。

【0032】各レジスタ回路56-1~56-nに保持されたテストデータは、LOAD信号の“H”期間中に対応するラッチ回路60-1~60-nへ転送され保持される。各ラッチ回路60-1~60-nの内、奇数番目のラッチ回路(1, 3, ..., n-1)には“00h”のテストデータが保持され、偶数番目のラッチ回路(2, 4, ..., n)には“7Fh”のテストデータが保持される。各ラッチ回路60-1~60-nに保持された“00h”または“7Fh”のテストデータはDA変換回路70-1~70-nに入力後、テストデータに対応したアナログ電圧に変換される。“00h”は黒表示データに対応し、液晶駆動電圧の最大電圧(V₀₀=5V)に相当する。

【0033】一方、テストデータ“7Fh”は中間調表示データで黒表示データ“00h”と白表示データ“FFh”との中間に相当し、中間電圧(V_{7F}=2.5V)を生成する。DA変換後の液晶駆動電圧は図3に示す出力回路80-1内のバッファアンプ82-1でインピーダンス変換されアナログスイッチ84-1の端子SWT1に入力される。テスト時の各バッファアンプの出力状態は奇数番目の回路(1, 3, ..., n-1)が最大電圧(V₀₀=5V)、偶数番目の回路(2, 4, ..., n)は中間電圧(V_{7F}=2.5V)を出力している。出力回路80-1内のアナログスイッチ回路84-1をオン/オフ制御するテスト信号TSは、シフトレジスタ回路部50の論理積回路54-1のT1端子に入力するテストモード信号TESTと、シフト回路52-1の出力信号Qとの論理積により生成される。テストモード信号TESTのローレベル(以下、“L”と記す。)となる期間はアナログスイッチ84-1がオフ状態になり、テストモード信号TESTが“H”期間中でシフト回路52-1の出力信号Qとの論理積出力T3が“H”の間中はアナログスイッチ84-1がオン状態になる。以上の動作をテストデータ転送期間とし、テストモード信号TES

Tを”L”レベルに設定し、全ての論理積回路54-1～54-nの出力端子T3より出力されるテスト信号を”L”レベルに固定することにより、全ての出力回路80-1～80-nの各アナログスイッチがオフ状態になりTCP10上の奇数出力パッド38と偶数出力パッド26-1が、ドライバIC12のバッファアンプと切り離されて、ハイインピーダンス状態になっている。

【0034】次に導通／短絡検査期間も、テストデータ転送期間と同様にスタート信号STをシフト回路52-1に入力する。シフト回路52-1の出力端子Q1よりシフトクロックCPに同期した周期Ttc_pの期間”H”のシフトパルス信号が、論理積回路54-1の入力端子T2、シフト回路52-2とレジスタ回路56-1に出力される。テストモード信号TESTもTtc_p期間内でテスト期間(TS1)”H”レベルに設定されて論理積回路54-1の端子T1に入力される。

【0035】論理積回路54-1の出力T3はシフト回路1の出力Q1とテストモード信号TESTの論理積よりテスト期間(TS1)”H”状態になる。出力回路80-1のアナログスイッチ84-1はテスト信号が”H”状態(TS1)になるとオン状態になる。この時、他のアナログスイッチ回路はオフ状態になる。

【0036】アナログスイッチ回路54-1のオン状態での抵抗(R_{on})とオフ状態での抵抗(R_{off})比は例えば10⁴以上とする。

【0037】以上の状態において、導通および短絡検査はTCP10上に設けられた奇数ライン用のテスト用パッド38と、偶数ラインのテスト用パッド26-1から出力されるアナログ電圧をプローブカードの針およびリード線を介してテスト内の比較器100に入力し、比較器100の判定基準電圧値と比較判定する。テスト内の比較器100の入力インピーダンス(Z_i)をアナログスイッチ回路84-1のオフ状態の抵抗(R_{off})と同程度として説明する。例えば、出力回路80-1のアナログスイッチ84-1がオン状態になり、共通接続された奇数ライン用のテスト用パッド38からは図4に示すタイミングでアナログ電圧(V₀₀≒5V)が出力される。この出力電圧は比較器100に入力されテストの導通判定基準電圧値(1-1)(例えば、Z_i/(Z_i+R_{on})×5V>4.8Vに設定)と比較後、4.8V以上のアナログ電圧が出力されていれば出力回路80-1のドライバIC12側の出力パッドとTCP10との間は正常に接続されていると判断される。この状態でハイインピーダンス状態にある偶数ラインのテスト用パッド26-1からは短絡等の不良が無い限りは、ほぼアナログ出力電圧(V_{7F}=2.5V)の約1/2の電位が出力されテストの短絡判定基準電圧値(2-1)(例えば、Z_i/(Z_i+R_{off})×2.5V<2Vに設定)と比較後、2V以下であれば正常と判定される。例えば、選択されている奇数ラインと隣接する偶数ライン

が短絡している場合は、選択されている奇数ラインとほぼ同電位のアナログ電圧(V₀₀≒5V)が偶数ラインのテスト用パッドTCP-O2に出力され、テストの短絡判定基準電圧値(2-1)と比較後、2V以上のため短絡と判定される。出力回路80-1の導通／短絡検査が正常の場合は、テストモード信号TESTをT_{off}期間”L”レベルに設定する。この時、全ての出力回路80-1～80-nの各アナログスイッチはオフ状態になる。

【0038】次に、シフトクロックCPに同期した”H”レベルの信号がシフト回路52-2より出力され、論理積回路54-2の入力端子T2に入力される。テストモード信号TESTもTtc_p期間内でテスト期間(TS2)”H”レベルに設定されて論理積回路54-2の端子T1に入力される。論理積回路54-2の出力T3はシフト回路52-2の出力Q2とテストモード信号TESTの論理積よりテスト期間(TS2)”H”状態になり、出力回路80-2のアナログスイッチをテスト信号の”H”期間中(TS2)オン状態にする。この時、他のアナログスイッチ回路はオフ状態になる。出力回路80-2のアナログスイッチがオン状態になり、偶数ライン用のテスト用パッド26-1からはTCP-O2に示すタイミングでアナログ電圧(V_{7F}=2.5V)が出力される。出力電圧は比較器100に入力されテストの導通判定基準電圧値(1-2)(例えば、Z_i/(Z_i+R_{on})×2.5V>2.4Vに設定)と比較後、2.4V以上のアナログ電圧が出力されていれば出力回路80-2のIC側の出力パッドとTCP間には正常に接続されていると判定される。この状態で奇数ラインのテスト用パッド38からは短絡等の不良が無い限りは、ほぼアナログ出力電圧(V₀₀=5V)が出力されテストの短絡判定基準値(2-2)(例えば、Z_i/(Z_i+R_{off})×5V<4.8Vに設定：奇数ラインのテスト用パッド38は共通接続されているためR_{off}≪Z_iになる)と比較後、4.8V以上であれば正常と判定される。例えば、選択されている偶数ラインと隣接する奇数ラインが短絡している場合は、選択されている偶数ラインとほぼ同電位のアナログ電圧(V₀₀≒2.5V)が奇数ラインのテスト用パッド38に出力され、テストの短絡判定基準電圧値(2-2)と比較後、4.8V以下のため短絡と判定される。

【0039】出力回路80-2の導通／短絡検査が正常の場合は、テストモード信号TESTをT_{off}期間”L”レベルに設定する。この時、全ての出力回路80-1～80-nの各アナログスイッチはオフ状態になる。導通／短絡検査の判定方法は以下、奇数番目の出力回路側は出力回路80-1の場合と同様であり、偶数番目の出力回路側は出力回路80-2の場合と同様である。以下、同様に論理積回路54-3の出力T3はシフト回路52-3の出力Q3とテストモード信号TESTの論理

積よりテスト期間(TS3) "H" 状態になり、出力回路80-3のアナログスイッチをテスト信号TSの"H" 期間中(TS3) オン状態にする。この時、他のアナログスイッチはオフ状態になる。出力回路80-3のアナログスイッチがオン状態になり、共通接続された奇数ライン用のテスト用パッド38からは図4に示すタイミングでアナログ電圧($V_{00} \cong 5V$)が出力される。同様に偶数番目の出力回路も論理積回路54-4の出力(T3)はシフト回路52-4の出力Q4とテストモード信号TESTの論理積よりテスト期間(TS4) "H" 状態になり、出力回路80-4のアナログスイッチをテスト信号のTSの"H" 期間中(TS4) オン状態にする。この時、他のアナログスイッチはオフ状態になる。出力回路80-4のアナログスイッチがオン状態になり、偶数ライン用のテスト用パッド26-1からはTCP-O4に示すタイミングでアナログ電圧($V_{7F} = 2.5V$)が出力される。以下、最終段側も同様に論理積回路54-(n-1)の出力T3はシフト回路52-(n-1)の出力Qn-1とテストモード信号TESTの論理積よりテスト期間(TSn-1) "H" 状態になり、出力回路n-1のアナログスイッチをテスト信号TSの"H" 期間中(TSn-1) オン状態にする。この時、他のアナログスイッチはオフ状態になる。出力回路80-(n-1)のアナログスイッチがオン状態になり、共通接続された奇数ライン用のテスト用パッド38からは図4に示すタイミングでアナログ電圧($V_{00} \cong 5V$)が出力される。最終段の論理積回路54-nの出力T3もシフト回路52-nの出力Qnとテストモード信号TESTの論理積よりテスト期間(TSn) "H" 状態になり、出力回路80-nのアナログスイッチをテスト信号TSの"H" 期間中(TSn) オン状態にする。この時、他のアナログスイッチはオフ状態になる。出力回路80-nのアナログスイッチがオン状態になり、偶数ライン用のテスト用パッド26-1からはTCP-Onに示すタイミングでアナログ電圧($V_{7F} = 2.5V$)が出力される。テスト内の比較器100の導通判定基準電圧値と短絡判定基準電圧値はテストモードに対応して切り替えるか、それぞれ判定基準電圧値毎に比較器を配置することも可能である。判定基準電圧値は該当ICの性能、テストの性能等で任意に設定可能である。

【0040】以上に説明したように、本発明の実施の形態に係るドライバICのテスト回路及びテスト方法によれば、ドライバICの出力回路部に内部回路と出力パッド(出力端子)間を電氣的に切り離すことにより、ドライバICとTCP間の接続状態を簡易な手法で検査可能になる。

【0041】またTCP上のテストパッド(384出力/60~70 μm ピッチ)を奇数パッド側、または偶数パッド側のどちらかを1出力毎に共通接続し、出力パッド数が従来の1/2程度に減少したことにより、製品組

み立て後の検査時のテストパッドへの針当て精度が向上し、試験ミスを低減でき製品歩留りが向上する。

【0042】更に本発明の実施の形態に係るドライバICのテスト回路によれば、上記効果に加えて、内部回路と出力パッド(出力端子)間を電氣的に切り離す手段として、アナログスイッチを各出力回路毎に設け、アナログスイッチを1回毎にデコードする手段を内部回路のシフト回路の出力信号(シフトパルス信号)を流用することにより、特別なデコード回路が不要になり低コストなテスト回路を実現できる。

【0043】尚、テスト用パッドの構成は偶数側のテスト用パッド間を共通接続し、奇数側のテスト用パッドを単独に配置しても同様に効果を実現できる。またTCPの表裏に配線パターンを設ければ、奇数側および偶数側のテスト用パッド間をそれぞれ共通接続可能になり、同様の効果を期待できる。

【0044】尚、本発明は、液晶パネルに限らず、ディスプレイデバイスを駆動するドライバIC全般に適用できることは勿論である。

【0045】

【発明の効果】請求項1に記載の発明によれば、ドライバICの内部回路と出力パッドとの間を電氣的に切離し可能にしたので、ドライバICとTCPとの間の接続状態を簡易な手法でテストすることが可能となる。

【0046】また請求項1に記載の発明によれば、テスト用パッドの配置を、内部回路の配列順により奇数番目の内部回路と偶数番目の内部回路に対応させてテスト用パッドを区分けし、奇数番目の内部回路と偶数番目の内部回路の何れか一方に対応して設けられたテスト用パッド間を共通に接続するようにしたので、TCPのサイズを増加することなく、すなわちTCPのコストの上昇を招くことなく、テスト用パッド数を低減でき、それ故製品組立後の検査時のテスト用パッドに対するプローブ用針の針当て精度の向上が図れ、試験ミスを低減でき、製品の歩留りの向上が図れる。

【0047】請求項2に記載の発明によれば、請求項1に記載の効果に加えて、ドライバICの各内部回路と出力パッドとの間を電氣的に切り離す手段として、アナログスイッチを各々、設け、アナログスイッチを1回路毎にデコードするのに内部回路のシフト回路の出力信号(シフトパルス信号)を流用するようにしたので、各アナログスイッチを特定のタイミングで動作させるための特別なデコード回路が不要となり、低コストのドライバICのテスト回路を実現することができる。

【図面の簡単な説明】

【図1】本発明が適用される液晶ドライバICのTCPへの実装形態を示す説明図。

【図2】本発明の実施の形態に係るドライバICのテスト回路の構成を示すブロック図。

【図3】図2における出力回路周辺の回路構成を示す回

路図。

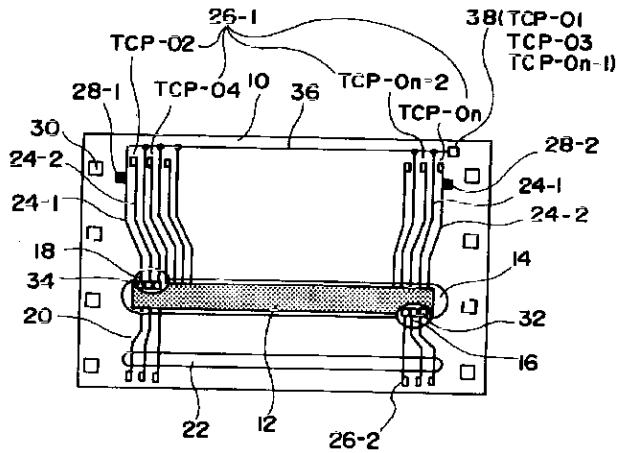
【図4】図2に示すドライバICのテスト回路の動作状態を示すタイミングチャート。

【図5】従来の液晶ドライバICのTCPへの実装形態を示す説明図。

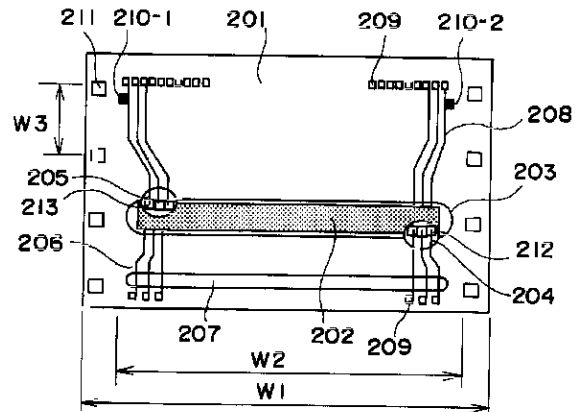
【符号の説明】

- 10 TCP
- 12 ドライバIC
- 50 シフトレジスタ回路部
- 60 ラッチ回路部
- 70 DA変換回路部
- 80 出力回路部

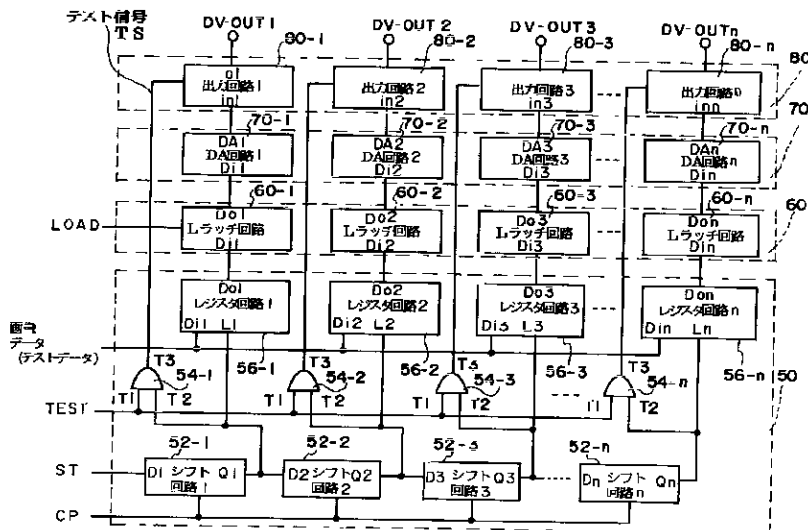
【図1】



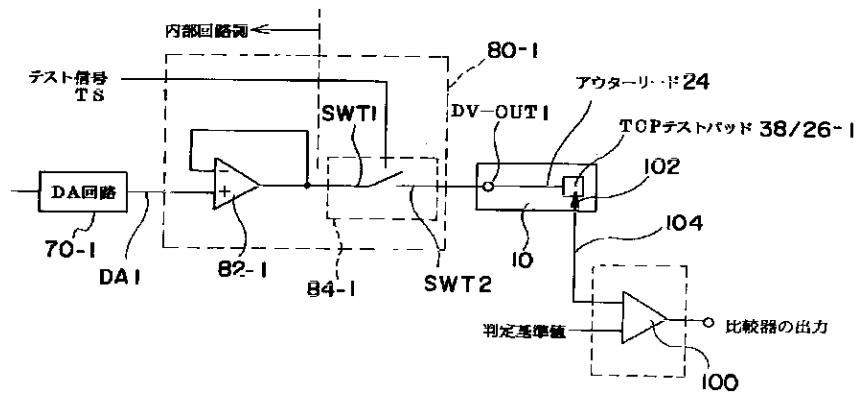
【図5】



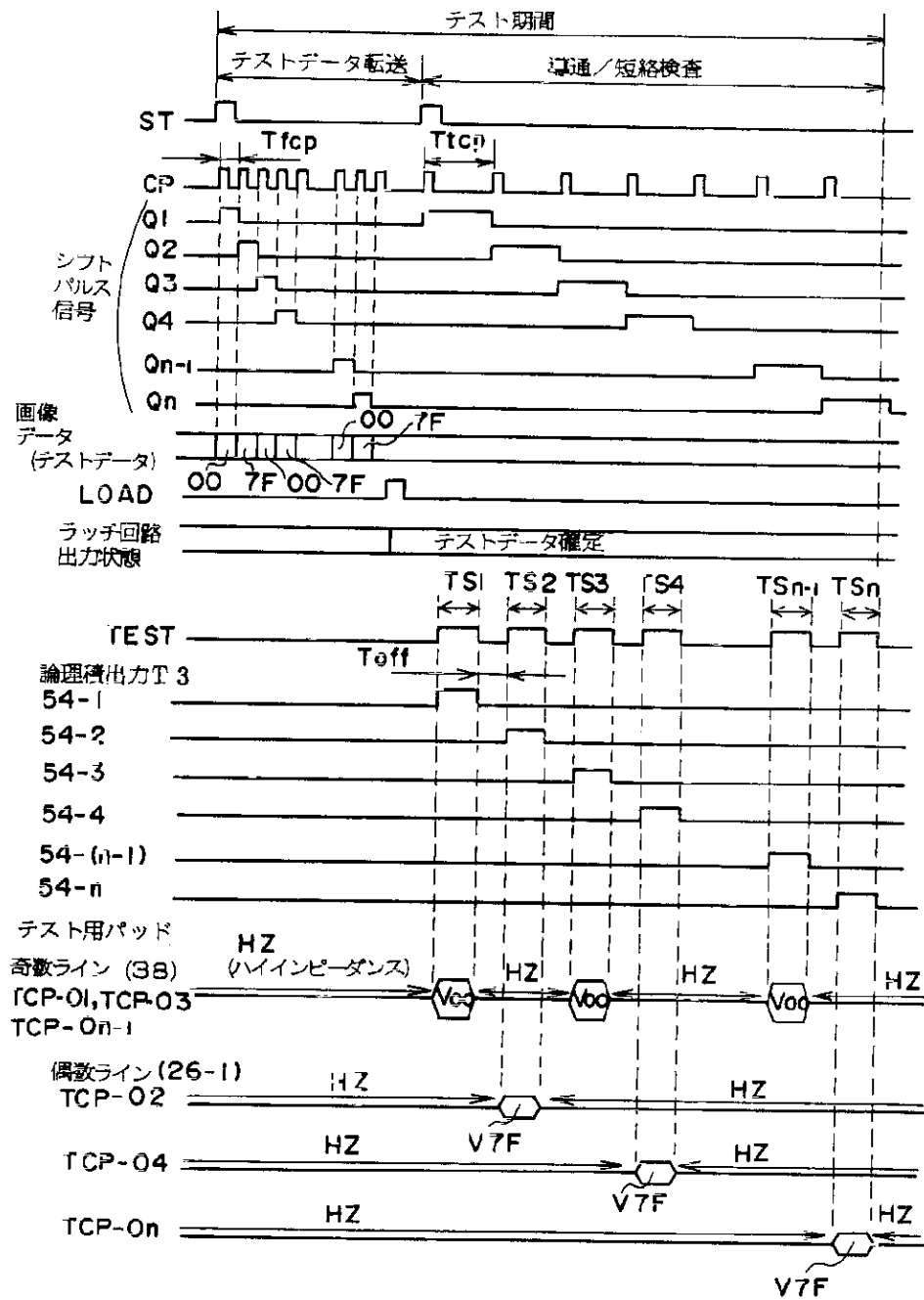
【図2】



【図3】



【図4】



フロントページの続き

F ターム(参考) 2G003 AA07 AB18 AG09 AG12 AG13
AH01 AH04 AH05
2G014 AA01 AB20 AB21 AB51 AC06
AC10 AC14 AC18
2G032 AA01 AA04 AA07 AA09 AC03
AD08 AE07 AE08 AE11 AE12
AG01 AG02 AG04 AH04 AH07
AK01 AK02 AK11 AK14 AK15
AK16 AL03 AL04

(19) Japan Patent Office (JP)

(12) Gazette of Unexamined
Patent Applications (A)

(11) Publication Number
2000-131393
(P2000-131393A)

(43) Publication Date May 12, 2000 (2000.5.12)

(51) Int. Cl. ⁷	ID Codes	FI	Theme Codes (Ref.)
G01R 31/28		G01R 31/28	2G003
31/02		31/02	2G014
31/26		31/26	2G032

Exam Request: Not Yet Received No. of Claims: 2 OL (Total of 11 pages)

(21) Application No. H10-304560

(22) Filing Date Oct. 26, 1998 (1998.10.26)

(71) Applicant 000000295

Oki Electric Industry Co., Ltd
1-7-12, Toranomom, Minato-ku, Tokyo

(72) Inventor

Hiromasa SUGANO
Oki Electric Industry Co., Ltd
1-7-12, Toranomom, Minato-ku, Tokyo

(74) Agent 100079049

Atsushi NAKAJIMA, Attorney (and 3 others)

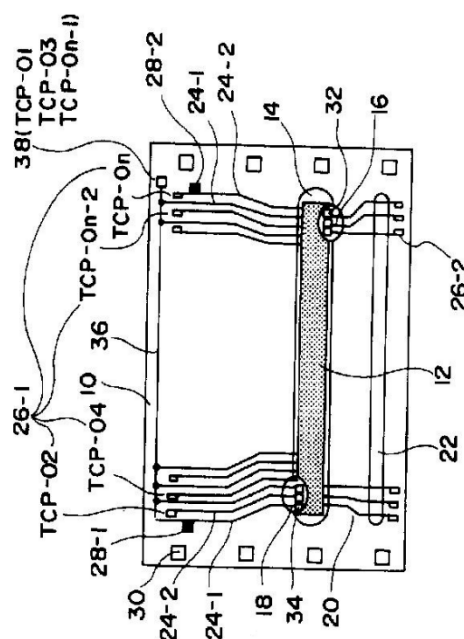
Continued on last page

(54) [Title of the Invention] Driver IC Test Circuit and Testing Method

(57) [Abstract]

[Problem] To reduce the number of test pads on the output end of a driver IC, enable high-precision needle application on the test pads, and improve product yields.

[Solution] The test pads are split into test pads (26-1, 38) corresponding to odd-numbered internal circuits and even-numbered internal circuits according to the order in which the internal circuits are arranged, either odd-numbered internal circuits or even-numbered internal circuits are connected to test pads in common while enabling electrical separation between internal circuits and the output pads, test information is supplied from an external source to an internal circuit of the driver IC 12, and during testing, an internal circuit is electrically connected to an output pad, and the connection state between the input and output pads is tested based on the signal state outputted from the test pad connected to the output pad.



[Claims]

[Claim 1] A method for testing a driver IC, in which the input/output pads of a driver IC for driving a display device and arranged in a tape carrier package are connected to test pads formed on the tape carrier package by lead patterns formed on the tape carrier package to test the connection state between the input/output pads,

the method for testing a driver IC characterized in comprising: splitting the arrangement of test pads into test pads corresponding to odd-numbered internal circuits and even-numbered internal circuits according to the order in which the internal circuits are arranged; connecting either odd-numbered internal circuits or even-numbered internal circuits to test pads in common while enabling electrical separation between internal circuits and the output pads; supplying test information from an external source to an internal circuit of the driver IC; and electrically connecting an internal circuit to an output pad during testing to test the connection state between the input and output pads based on the signal state outputted from the test pad connected to the output pad.

[Claim 2] A test circuit for a driver IC having a shift register circuit composed of a shift circuit and a register circuit for sequentially transferring digital data to be displayed, a latch circuit for storing the output of the shift register circuit, a DA conversion circuit for converting the digital data to be displayed stored in the latch circuit into analog voltage, an internal circuit composed of a buffer amplifier circuit for impedance conversion of the output of the DA conversion circuit, and an output pad that outputs the output voltage of an internal circuit to the outside, all being considered as a single circuit and arranged in a tape carrier package, and the test pads formed on the tape carrier package being connected to the output pads by a lead pattern formed on the tape carrier package to test the connection state of the output pads,

the test circuit for a driver IC characterized in that the arrangement of test pads is split into test pads corresponding to odd-numbered internal circuits and even-numbered internal circuits according to the order in which the internal circuits are arranged, either odd-numbered internal circuits or even-numbered internal circuits are connected to shared test pads, an analog switch is provided between each internal circuit and output pad of the driver IC, and an analog switch of the driver IC during testing is controlled by a control signal generated by the logic product of an output signal of the shift circuit corresponding to each

output pad and an externally inputted test control signal.

[Detailed Description of the Invention]

[0001]

[Technical Field of the Invention] The present invention relates to a test circuit and a testing method for a driver IC that drives a display device such as a liquid crystal display device, and in particular to a test circuit and testing method for a driver IC that tests the connection state between input/output pads of the driver IC.

[0002]

[Prior Art] FIG. 5 shows a liquid crystal driver IC of the prior art mounted on a tape carrier package (TCP). In this figure, the TCP 201 has a three-layer structure consisting of general-purpose plated copper foil, an adhesive, and a base film. The inner leads 204 on the input end, the inner leads 205 on the output end, the outer leads 206 on the input end, the outer leads 208 on the output end, and the test pads 209 are each formed on the TCP 201.

[0003] The driver IC 202 is placed in a device hole 203 punched in the tape, and gold bumps 212 on the input pads of the driver IC 202 are connected to inner leads 204 on the input end, and gold bumps 213 on the output pads are connected to inner leads 205 on the output end. The outer leads 206 on the input end are connected to a printed circuit board (not shown) via a hole 207 punched in the tape.

[0004] The outer leads 208 on the output end are connected to the liquid crystal panel serving as the display device (not shown) between alignment marks 210-1 and 210-2.

[0005] Test pads 209 are used to inspect the connection between the output pads of driver IC 202 and the test pads after connecting the inner leads 204, 205 to the driver IC 202. The number of test pads 209 is the same as the number of input/output outer leads 206, 208. The test pads 209 are severed before connection to the liquid crystal display panel. Here, 211 represents sprocket holes, and the size of the TCP 201 in the sprocket direction is $W3 \times (n - 1)$, where $W3$ is the distance between sprocket holes 211 and n is the number of sprocket holes.

[0006] In the configuration described above, the number of outputs per driver IC 202 chip has increased with the increase in the capacity of LCD panels (3072×768 pixels in XGA (extended video graphics array) panels), and 384 outputs has become mainstream (using eight driver IC 202s in the 3072-pixel direction of the XGA panel). The connection pitch with the liquid crystal display panel (the pitch of the outer leads 208 on the output end) tends to be narrow, or around 60 to 70 μm .

[0007] In addition, the TCP 201 is usually the super wide (SW) type with a tape width (W1) of 35 mm as a low-cost measure, and because the effective pattern area (W2) can be up to 28.6 mm, the pitch of the outer leads 208 can be approximately 70 μ m at the present time. In the future, as the number of driver IC 202 outputs increases, the pitch of outer leads 208 will become even narrower, and the test pads 209 used to inspect the connections between the inner lead terminals and the gold bumps of the driver IC 202 will also need to be narrowed and the number of pads increased to accommodate this change.

[0008] Currently, the connection state (open/short state of the input/output pads of the driver IC) is tested by applying a fine needle mounted on a probe card on a test pad 209 to establish an electrical connection and then testing the connection state with an IC tester.

[0009]

[Problem to Be Solved by the Invention] In the driver IC inspection methods of the prior art, the narrow pitch (60 to 70 μ m) of test pads due to the increase in the number of outputs (384 outputs) on driver ICs makes it extremely difficult to accurately position probes on the test pads, and the poor electrical connection between the probe needle and test pads causes good driver ICs to be judged as defective, resulting in a decrease in yield.

[0010] There is a method of arranging test pads in multiple layers to avoid narrowing the pitch of the test pads, but this may increase the size of the TCP in the sprocket direction, and the cost of TCPs increases as the size of TCPs increase in the sprocket direction.

[0011] In view of these circumstances, it is an object of the present invention to provide a test circuit and a testing method for a driver IC that enables high-precision needle application on the test pads and improves product yields without increasing TCP costs by reducing the number of test pads on the output end of the driver IC.

[0012]

[Means for Solving the Problem] In order to achieve this object, the invention according to claim 1 is a method for testing a driver IC, in which the input/output pads of a driver IC for driving a display device and arranged in a tape carrier package are connected to test pads formed on the tape carrier package by lead patterns formed on the tape carrier package to test the connection state between the input/output pads, the method for testing a driver IC characterized in comprising: splitting the arrangement of test pads into test pads corresponding to odd-numbered internal circuits and even-numbered internal circuits according

to the order in which the internal circuits are arranged; connecting either odd-numbered internal circuits or even-numbered internal circuits to test pads in common while enabling electrical separation between internal circuits and the output pads; supplying test information from an external source to an internal circuit of the driver IC; and electrically connecting an internal circuit to an output pad during testing to test the connection state between the input and output pads is based on the signal state outputted from the test pad connected to the output pad.

[0013] The invention according to claim 1 makes it possible to electrically disconnect an internal circuit of the driver IC from an output pad, thereby enabling the connection state between the driver IC and the TCP to be tested using a simple method.

[0014] Also, in the invention according to claim 1, the arrangement of test pads is divided into groups corresponding to odd-numbered internal circuits and even-numbered internal circuits according to the order in which the internal circuits are arranged, and the test pads for either the odd-numbered internal circuits or the even-numbered internal circuits are connected in common. As a result, the number of test pads can be reduced without increasing the size of the TCP, that is, without increasing the cost of the TCP. In this way, the accuracy of the probe needle application to the test pads during inspections after product assembly can be improved, reducing testing errors and improving product yields.

[0015] The invention according to claim 2 is a test circuit for a driver IC having a shift register circuit composed of a shift circuit and a register circuit for sequentially transferring digital data to be displayed, a latch circuit for storing the output of the shift register circuit, a DA conversion circuit for converting the digital data to be displayed stored in the latch circuit into analog voltage, an internal circuit composed of a buffer amplifier circuit for impedance conversion of the output of the DA conversion circuit, and an output pad that outputs the output voltage of an internal circuit to the outside, all being considered as a single circuit and arranged in a tape carrier package, and the test pads formed on the tape carrier package being connected to the output pads by a lead pattern formed on the tape carrier package to test the connection state of the output pads, the test circuit for a driver IC characterized in that the arrangement of test pads is split into test pads corresponding to odd-numbered internal circuits and even-numbered internal circuits according to the order in which the internal

circuits are arranged, either odd-numbered internal circuits or even-numbered internal circuits are connected to shared test pads, an analog switch is provided between each internal circuit and output pad of the driver IC, and an analog switch of the driver IC during testing is controlled by a control signal generated by the logic product of an output signal of the shift circuit corresponding to each output pad and an externally inputted test control signal.

[0016] In addition to the effects of the invention according to claim 1, because the invention according to claim 2 provides an analog switch as a means of electrically separating each internal circuit of the driver IC from an output pad, and output signals (shift pulse signals) from the shift circuit in the internal circuit are used to decode each analog switch circuit, a special decoder circuit for operating each analog switch on a specific timing is no longer required, enabling the realization of a low-cost driver IC test circuit.

[0017]

[Embodiment of the Invention] An embodiment of the present invention will now be described in detail with reference to the drawings. FIG. 1 shows a liquid crystal display driver IC to which the present invention has been applied mounted in a TCP. In this figure, the driver IC 12 has been determined to be normal in the wafer state. The driver IC 12 is placed inside a device hole 14, and gold bumps 32 on the input pads of the driver IC 12 are connected to the inner leads 16 on the input end, while gold bumps 34 on the output pads are connected to inner leads 18 on the output end. Test pads 26-2 are provided at the tips of the outer leads 20 on the input end. The outer leads 24 (24-1, 24-2) on the output end are connected to a liquid crystal panel at the lead terminals between alignment marks 28-1 and 28-2. The test pad portion is connected to the outer leads 24-1 of the odd-numbered lines, which are connected in common, and connected to the test pads 38 for the odd-numbered lines. The outer leads 24-2 of the even-numbered lines are connected to the test pads 26-1 provided for each lead, as shown in the prior art example in FIG. 5.

[0018] FIG. 2 shows the test circuit configuration for the driver IC 12. The test circuit for the driver IC 12 in the present embodiment is configured by utilizing the internal circuits of the driver IC and adding some circuits and control signals. In FIG. 2, the test circuit of the driver IC 12 in the present embodiment includes a shift register circuit unit 50 that sequentially transfers display digital data (test data or video data), a latch circuit unit 60 that stores the output of the shift register

circuit unit 50, a DA conversion circuit unit 70 that converts the display digital data stored in the latch circuit unit 60 into analog voltage, and an output circuit unit 80 that outputs the output signal of the DA conversion circuit unit 70 to the outside.

[0019] The shift register circuit unit 50 comprises shift circuits 52-1 to 52-n, register circuits 56-1 to 56-n for acquiring video data, and logic product circuits 54-1 to 54-n. The input terminal D1 of shift circuit 52-1 receives a start signal ST, and the output terminal Q1 of shift circuit 52-1 is connected to the input terminal D2 of the next shift circuit 52-2, the latch terminal L1 of register circuit 56-1, and the input terminal T2 of logic circuit 54-1.

[0020] The output terminal Q2 of shift circuit 52-2 is connected to the input terminal D3 of the next shift circuit 52-3, the latch terminal L2 of register circuit 56-2, and the input terminal T2 of logic product circuit 54-2. Shift circuits 52-3 to 52-n are connected in the same manner.

[0021] The clock input terminals of shift circuits 52-1 to 52-n are connected in common so that a shift clock CP can be supplied. In addition, each input terminal T1 of logic product circuit 54-1 to 54-n is connected in common so that a test mode signal TEST can be supplied. Each of the output terminals T3 of logic product circuits 54-1 to 54-n are connected to each of the output circuits 80-1 to 80-n of the output circuit unit 80.

[0022] The input terminals Di1 to Din of register circuits 56-1 to 56-n are connected in common, and video data (referred to as test data below) is supplied to input terminals Di1 to Din. Output terminals Do1 to Don of register circuits 56-1 to 56-n are connected, respectively, to input terminals Di1 to Din of latch circuits 60-1 to 60-n of the latch circuit unit 60 in the next stage.

[0023] Test data is inputted to each input terminal L of latch circuits 60-1 to 60-n in the latch circuit unit 60 so that latch signal LOAD can be inputted. (In FIG. 2, the wiring for supplying the latch signal LOAD to latch circuits 60-2 to 60-n has been omitted.)

[0024] Output terminals Do1 to Don of latch circuits 60-1 to 60-n are connected, respectively, to input terminals Di1 to Din of DA conversion circuits 70-1 to 70-n of the DA conversion circuit unit 70 in the next stage. Output terminals DA1 to DAn of DA conversion circuits 70-1 to 70-n are connected to input terminals in1 to inn of output circuits 80-1 to 80-n in the output circuit unit 80. Analog voltages corresponding to the test data are outputted from output terminals o1 to on of output circuits 80-1 to 80-n to output pads DV-OUT1 to DV-OUTn of the driver IC 12, respectively.

[0025] The configuration of the output circuit unit 80 will now be described with reference to FIG. 3. Because output circuits 80-1 to 80-n have the same configuration, for convenience of explanation, only output circuit 80-1 is shown in FIG. 3. (In FIG. 3, circuits from the shift register circuit 50 to the buffer amplifier circuit 82-1 are referred to as an internal circuit.) In FIG. 3, output terminal DA1 of DA conversion circuit 70-1 in the DA conversion circuit unit 70 is connected to the non-inverting input terminal of buffer amplifier 82-1 in output circuit 80-1. The output terminal of buffer amplifier 82-1 is connected to the inverted input terminal and terminal SWT1 of analog switch 84-1. The other terminal (terminal SWT2) of analog switch circuit 204-1 is connected to output pad DV-OUT1 of the driver IC 12. In output circuits 80-2 to 80-n not shown in the figure, the other terminals of analog switches 84-2 to 84-n are connected to output pads DV-OUT2 to DV-OUTn of the driver IC 12 in a similar manner.

[0026] Among the output pads DV-OUT1 to DV-OUTn of the driver IC 12, via the outer leads of the TCP 10, the odd output pads (DV-OUT1, DV-OUT3, ..., DV-OUTn-1) are connected in common to the odd test pads 38 (with TCP-OUT1 corresponding to DV-OUT1, TCP-OUT3 corresponding to DV-OUT3, ..., and TCP-OUTn-1 corresponding to DV-OUTn-1), and the even-numbered output pads (with TCP-OUT2 corresponding to DV-OUT2, TCP-OUT4 corresponding to DV-OUT4, and TCP-OUTn corresponding to DV-OUTn) are connected to the test pad 26-1 for each lead. The pads on the input end are also connected to the test pad 26-2 for each lead. The test pads 38, 26-1, 26-2 are connected to a test needle 102, and the other end of the needle 102 is connected to an input terminal of the comparator 100 inside the IC tester via a lead wire 104. A reference value is inputted to the other end of comparator 100.

[0027] Operation of the test circuit for a driver IC related to the embodiment with the configuration described above will now be explained.

[0028] First, the test mode of a TCP 10 equipped with the driver IC 12 described above refers to operation of a test circuit that inspects the connection state between inner leads 16, 18 and gold bumps 32, 34 of the driver IC 12. During test mode, an IC tester, etc. is used to determine whether the input/output pads are electrically conductive or whether there is an electrical short between adjacent output terminals. When performing a test with an IC tester, a fine needle mounted on a probe card is placed on test pads 34 for odd-numbered lines and test pads 26-1 for even-numbered lines on

the output end of the driver IC 12, and the input end is tested in a similar manner by placing a needle on test pads 26-2 to establish electrical connections. Test information (start signal ST, shift clock CP, test mode signal TEST, video data, etc.) from the IC tester is inputted to each signal terminal of the driver IC 12, and the output signals corresponding to the expected test data are obtained from the output test pads 38, 26-1. Based on whether or not the output signals match the expected values, the product is determined to be good or defective.

[0029] FIG. 4 shows the timing of the test operation. The testing period can be broadly divided as two periods, namely, a test data transfer period and an electrical connection/short circuit inspection period, during which electrical conductivity and short circuits are tested. During the test data transfer period, when the start signal ST is inputted to shift circuit 52-1, a shift pulse signal with a period T_{fcp} synchronized with the rising edge of the shift clock CP is outputted from the output terminal Q1 of shift circuit 52-1 to the latch terminal L1 of register circuit 56-1 at a high level ("H" below). Register circuit 56-1 acquires and holds test data, such as "00h," during the period when latch terminal L1 is "H."

[0030] After the shift pulse signal has been inputted to shift circuit 52-2 from output terminal Q1 of shift circuit 52-1, a shift pulse signal during the "H" period synchronized with shift clock CP, similar to shift circuit 52-1, is outputted from output terminal Q2 of shift circuit 52-2 to latch terminal L2 of register circuit 56-2. Register circuit 56-2 acquires and holds test data, such as "7Fh," during the period when latch terminal L2 is "H."

[0031] A shift pulse signal during the "H" period of T_{fcp} is outputted from output terminal Q3 of shift circuit 52-3 to input terminal D4 of shift circuit 52-4 (not shown) and latch terminal L3 of register circuit 56-3. Register circuit 56-3 acquires and holds test data, such as "00h," during the period when latch terminal L3 is "H." Similarly, register circuit 56-4, which is not shown in the figure, acquires and holds test data, such as "7Fh," during the period when latch terminal L4 is "H." A shift pulse signal is outputted from output terminal Qn-1 of shift circuit 52-(n-1), which is not shown in the figure, in the final stage to the latch terminal Ln-1 of the register circuit 56-(n-1). Register circuit 56-(n-1) acquires and holds test data, such as "00h," during the period when latch terminal Ln-1 is "H." A shift pulse signal is outputted from output terminal Qn of shift circuit 52-n in the final stage of the shift register circuit 50 to the latch terminal Ln of the register circuit 56-n in the

final stage. Register circuit 56-n acquires and holds test data, such as "7Fh," during the period when latch terminal Ln is "H."

[0032] The test data held in each register circuit 56-1 to 56-n is transferred to and held in the corresponding latch circuit 60-1 to 60-n during the "H" period of the LOAD signal. Among latch circuits 60-1 to 60-n, the odd-numbered latch circuits (1, 3, ..., n-1) hold test data "00h," and the even-numbered latch circuits (2, 4, ..., n) hold test data "7Fh." Test data "00h" or "7Fh" held in each latch circuit 60-1 to 60-n is inputted to DA conversion circuits 70-1 to 70-n, where it is converted into analog voltages corresponding to the test data. Here, "00h" corresponds to black display data and is equivalent to the maximum liquid crystal display drive voltage ($V_{00} = 5 \text{ V}$).

[0033] Test data "7Fh" is intermediate tone display data corresponding to the mid-point between black display data "00h" and white display data "FFh," and generates an intermediate voltage ($V_{7F} = 2.5 \text{ V}$). After DA conversion, the liquid crystal display drive voltage is impedance-converted by buffer amplifier 82-1 in output circuit 80-1 shown in FIG. 3 and inputted to terminal SWT1 of analog switch 84-1. During testing, the output state of each buffer amplifier is the maximum voltage ($V_{00} = 5 \text{ V}$) for the odd-numbered circuits (1, 3, ..., n-1) and the mid-point voltage ($V_{7F} = 2.5 \text{ V}$) for the even-numbered circuits (2, 4, ..., n). The test signal TS that controls the analog switch circuit 84-1 for output circuit 80-1 is generated by a logic product operation performed on the test mode signal TEST inputted to the T1 terminal of the logic product circuit 54-1 of the shift register circuit unit 50 and the output signal Q of the shift circuit 52-1. When the test mode signal TEST is at a low level ("L" below), analog switch 84-1 is turned off. During the period when the test mode signal TEST is at a high level, analog switch 84-1 is turned on when the logic product output T3 of the shift circuit 52-1 is at a high level. The operations described above constitute the test data transfer period. By setting the test mode signal TEST to the "L" level, and fixing the test signals outputted from the output terminals T3 of all logic product circuits 54-1 to 54-n to the "L" level, all analog switches of output circuits 80-1 to 80-n are turned off, and the odd output pads 38 and even output pads 26-1 on the TCP 10 are disconnected from the buffer amplifier of the driver IC 12 and enter a high impedance state.

[0034] Next, during the electrical connection/short circuit test period, a start signal ST is inputted to the shift circuit 52-1 as

in the test data transfer period. A shift pulse signal during period "H" synchronized with the shift clock CP is outputted from the output terminal Q1 of shift circuit 52-1 to one of the input terminals T2 of logic product circuit 54-1, shift circuit 52-2, and register circuit 56-1. The test mode signal TEST is also set to the "H" level during the Ttcp period (test period TS1) and inputted to terminal T1 of logic product circuit 54-1.

[0035] The output T3 of logic circuit 54-1 becomes "H" during the test period (TS1) based on the logic product of the output Q1 of shift circuit 1 and the test mode signal TEST. Analog switch 84-1 for output circuit 80-1 turns on when the test signal is in the "H" state (TS1). At this time, other analog switch circuits are turned off.

[0036] The ratio of the resistance (R_{on}) in the on state to the resistance (R_{off}) in the off state for analog switch circuit 54-1 can be, for example, 10^4 or greater.

[0037] In the state described above, an electrical connection or short-circuit test is performed by inputting the analog voltages outputted from the test pads 38 for odd-numbered lines provided on the TCP 10 and the test pads 26-1 for even-numbered lines to the comparator 100 inside the tester via the probe card needle and lead wires, and then comparing them with the reference voltage value of the comparator 100. The input impedance (Z_i) of the comparator 100 in the tester can be explained as being approximately equal to the resistance (R_{off}) of the analog switch circuit 84-1 in the off state. For example, when analog switch 84-1 for output circuit 80-1 is turned on, an analog voltage ($V_{00} \approx 5 \text{ V}$) is outputted from the test pad 38 for odd-numbered lines connected in common on the timing shown in FIG. 4. This output voltage is inputted to the comparator 100 and compared with the electrical connection determination reference voltage value (1-1) of the tester (for example, $Z_i/(Z_i + R_{on}) \times 5 \text{ V} > 4.8 \text{ V}$). If an analog voltage of 4.8 V or higher is outputted, the electrical connection between the output pad of the driver IC 12 of the output circuit 80-1 and the TCP 10 is determined to be normal. In this state, as long as there are no faults such as short circuits in the test pad 26-1 for the even-numbered lines that are in a high impedance state, a potential of approximately 1/2 the analog output voltage ($V_{7F} = 2.5 \text{ V}$) is outputted. After comparing with the short-circuit detection threshold voltage value of the tester (2-1) (for example, $Z_i/(Z_i + R_{off}) \times 2.5 \text{ V} < 2 \text{ V}$), if the value is 2 V or less, it is determined to be normal. For example, if the selected odd-

numbered line is short-circuited to an adjacent even-numbered line, an analog voltage ($V_{00} \approx 5 \text{ V}$) that is approximately the same potential as the selected odd-numbered line is outputted to the test pad TCP-O2 of the even-numbered line. This voltage is then compared to the short-circuit detection threshold voltage value (2-1) of the tester. Because the voltage is 2 V or higher, a short circuit is detected. If the electrical connection/short circuit test of output circuit 80-1 is normal, the test mode signal TEST is set to the "L" level for the Toff period. At this time, all analog switches for output circuits 80-1 to 80-n are turned off.

[0038] Next, an "H" level signal synchronized with the shift clock CP is outputted from shift circuit 52-2 and inputted to input terminal T2 of logic product circuit 54-2. The test mode signal TEST is also set to the "H" level during the Ttcp period (TS2) test period and inputted to terminal T1 of logic product circuit 54-2. The output T3 of logic product circuit 54-2 becomes "H" during the test period (TS2) based on the logic product of the output Q2 of shift circuit 52-2 and the test mode signal TEST, and the analog switch for output circuit 80-2 is turned on during the "H" period (TS2) of the test signal. At this time, the other analog switch circuits are turned off. When the analog switch for output circuit 80-2 is turned on, an analog voltage ($V_{7F} = 2.5 \text{ V}$) is outputted from test pad 26-1 for the even-numbered lines in the timing shown in TCP-O2. The output voltage is inputted to the comparator 100 and compared with the electrical connection test threshold voltage value (1-2) (for example, $Z_i/(Z_i + R_{on}) \times 2.5 \text{ V} > 2.4 \text{ V}$) set for the tester. If the analog voltage is 2.4 V or higher, it is determined that the output pad on the IC end of the output circuit 80-2 and the TCP are connected normally. In this state, as long as there are no faults such as short circuits from the test pad 38 for the odd-numbered lines, the analog output voltage ($V_{00} = 5 \text{ V}$) is outputted, and after comparison with the short circuit detection threshold value (2-2) of the tester (for example, $Z_i/(Z_i + R_{off}) \times 5 \text{ V} < 4.8 \text{ V}$; the test pad 38 for odd-numbered lines is connected in common, so $R_{off} \ll Z_i$), if the voltage is 4.8 V or higher, it is determined to be normal. For example, if the selected even-numbered line is short-circuited to an adjacent odd line, an analog voltage ($V_{00} \approx 2.5 \text{ V}$) that is almost the same potential as the selected even-numbered line is outputted to the test pad 38 for the odd-numbered lines. This voltage is then compared with the short-circuit detection threshold voltage value (2-2) of the tester, and because the voltage is 4.8 V or less, a short circuit is detected.

[0039] If the electrical connection/short circuit test of output circuit 80-2 is normal, the test mode signal TEST is set to the "L" level for the Toff period. At this time, all analog switches for output circuits 80-1 to 80-n are turned off. In the electrical connection/short circuit determination method, the output circuits on the odd-numbered side are the same as output circuit 80-1, and the output circuits on the even-numbered side are the same as output circuit 80-2. Similarly, the output T3 of logic product circuit 54-3 is the logic product of the output Q3 of shift circuit 52-3 and the test mode signal TEST, and thus enters the "H" state during the test period (TS3), turning on the analog switch for output circuit 80-3 during the "H" period (TS3) of the test signal TS. At this time, the other analog switches are turned off. When the analog switch for output circuit 80-3 is turned on, an analog voltage ($V_{00} \approx 5 \text{ V}$) is outputted from the test pad 38 for odd-numbered lines connected in common on the timing shown in FIG. 4. Similarly, the output circuits on the even-numbered side are also logic product circuits, with the output (T3) of logic product circuit 54-4 being the logic product of the output Q4 of shift circuit 52-4 and the test mode signal TEST, resulting in the test period (TS4) being in the "H" state. This turns on the analog switch for output circuit 80-4 during the "H" period (TS4) of the test signal TS. At this time, the other analog switches are turned off. When the analog switch for output circuit 80-4 is turned on, an analog voltage ($V_{7F} = 2.5 \text{ V}$) is outputted from the test pad 26-1 for even-numbered lines on the timing shown in TCP-O4. Similarly, in the final stage, the output T3 of the logic product circuit 54-(n-1) enters the "H" state during the test period (TSn-1) based on the logic product of the output Qn-1 of the shift circuit 52-(n-1) and the test mode signal TEST, and the analog switch of the output circuit n-1 is turned on during the "H" period (TSn-1) of the test signal TS. At this time, the other analog switches are turned off. When the analog switch for output circuit 80-(n-1) is turned on, an analog voltage ($V_{00} \approx 5 \text{ V}$) is outputted from the test pad 38 for odd-numbered lines connected in common on the timing shown in FIG. 4. The output T3 of logic circuit 54-n in the final stage also becomes "H" during the test period (TSn) based on the logic product of the output Qn of shift circuit 52-n and the test mode signal TEST, turning on the analog switch of the output circuit 80-n during the "H" period (TSn) of the test signal TS. At this time, the other analog switches are turned off. When the analog switch of output circuit 80-n is turned on, an analog voltage ($V_{7F} = 2.5 \text{ V}$) is outputted from the test pad 26-1 for even-

numbered lines on the timing indicated by TCP-On. The electrical connection determination reference voltage value and short-circuit determination reference voltage value of the comparator 100 in the tester can be switched according to the test mode, or comparators can be provided for each reference voltage value. The determination reference voltage values can be set as desired based on the performance of the applicable IC, the performance of the tester, etc.

[0040] As described above, by electrically disconnecting internal circuits and output pads (output terminals) in the output circuit portion of the driver IC, the test circuit and testing method for a driver IC according to the embodiment of the present invention makes it possible to inspect the connection state between the driver IC and the TCP using a simple method.

[0041] In addition, by connecting either the odd-numbered or even-numbered test pads (384 outputs/60 to 70 μ m pitch) on the TCP in common every other output, the number of output pads is reduced to approximately half of the conventional number, improving the accuracy of needle application to the test pads during post-assembly inspections, reducing testing errors, and improving product yields.

[0042] In addition to the effects described above, because the driver IC test circuit in the embodiment of the present invention provides an analog switch as a means of electrically separating each internal circuit from an output pad, and output signals (shift pulse signals) from the shift circuit in the internal circuit are used to decode each analog switch circuit, a special decoder circuit for operating each analog switch on a specific timing is no longer required, enabling the realization of a low-cost test circuit.

[0043] Note that the test pads can be configured so that the even-numbered test pads are connected in common and the odd-numbered test pads are arranged individually, while achieving the same effect. In addition, by providing wiring patterns on both sides of the TCP, it is possible to connect the odd-numbered and even-numbered test pads in common, thereby achieving the same effect.

[0044] Note also that the present invention is not limited to liquid crystal panels, and is also applicable to driver ICs for driving other types of display devices.

[0045]

[Effects of the Invention] The invention according to claim 1 makes it possible to

electrically disconnect an internal circuit of the driver IC from an output pad, thereby enabling the connection state between the driver IC and the TCP to be tested using a simple method.

[0046] Also, in the invention according to claim 1, the arrangement of test pads is divided into groups corresponding to odd-numbered internal circuits and even-numbered internal circuits according to the order in which the internal circuits are arranged, and the test pads for either the odd-numbered internal circuits or the even-numbered internal circuits are connected in common. As a result, the number of test pads can be reduced without increasing the size of the TCP, that is, without increasing the cost of the TCP. In this way, the accuracy of the probe needle application to the test pads during inspections after product assembly can be improved, reducing testing errors and improving product yields.

[0047] In addition to the effects of the invention according to claim 1, because the invention according to claim 2 provides an analog switch as a means of electrically separating each internal circuit of the driver IC from an output pad, and output signals (shift pulse signals) from the shift circuit in the internal circuit are used to decode each analog switch circuit, a special decoder circuit for operating each analog switch on a specific timing is no longer required, enabling the realization of a low-cost driver IC test circuit.

[Brief Description of the Drawings]

[FIG. 1] FIG. 1 shows a liquid crystal display driver IC to which the present invention has been applied mounted in a TCP.

[FIG. 2] FIG. 2 is a block diagram showing the configuration of the test circuit for the driver IC in the embodiment of the present invention.

[FIG. 3] FIG. 3 is a circuit diagram showing the circuit configuration around the output circuit in FIG. 2.

[FIG. 4] FIG. 4 is a timing chart showing the operating state of the test circuit for the driver IC in FIG. 2.

[FIG. 5] FIG. 5 shows a liquid crystal display driver IC of the prior art mounted in a TCP.

[Reference Numbers]

10: TCP

12: Driver IC

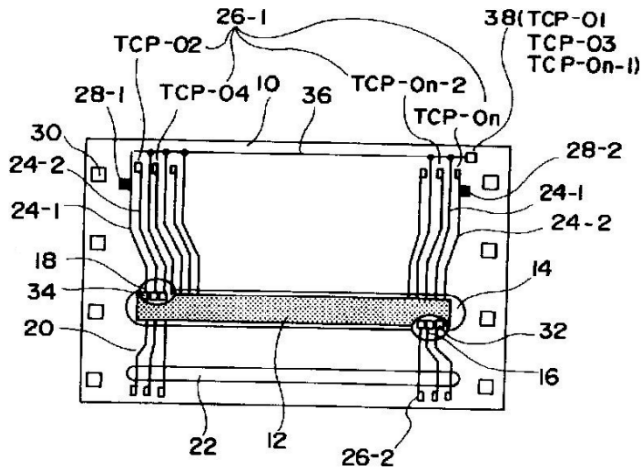
50: Shift register circuit unit

60: Latch circuit unit

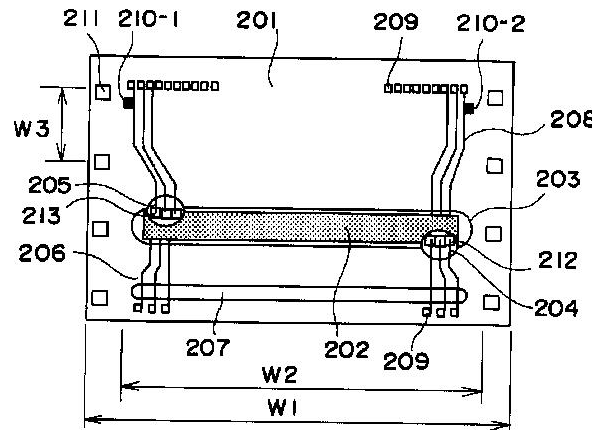
70: DA conversion circuit unit

80: Output circuit unit

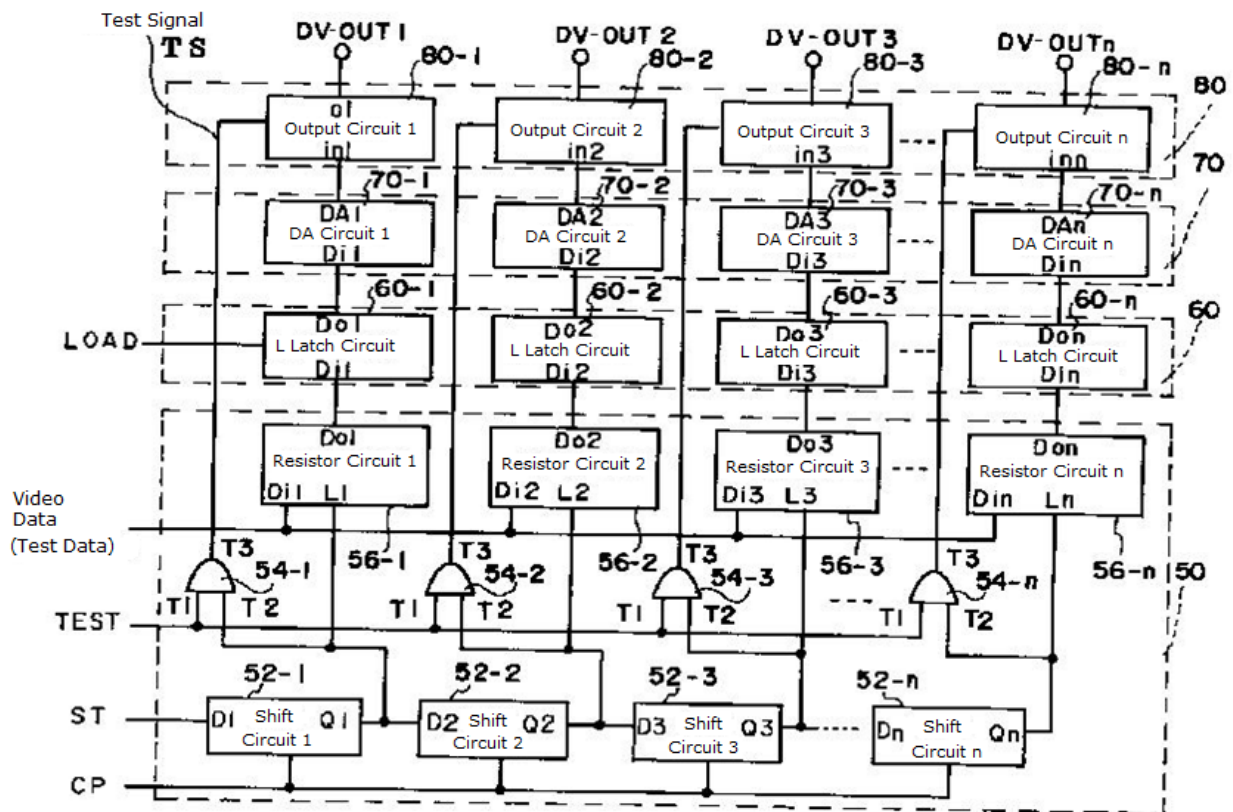
[FIG. 1]



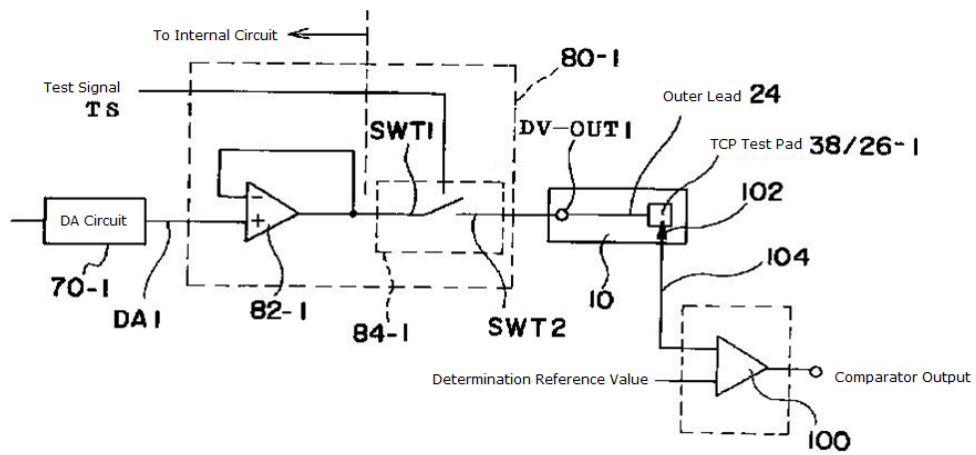
[FIG. 5]



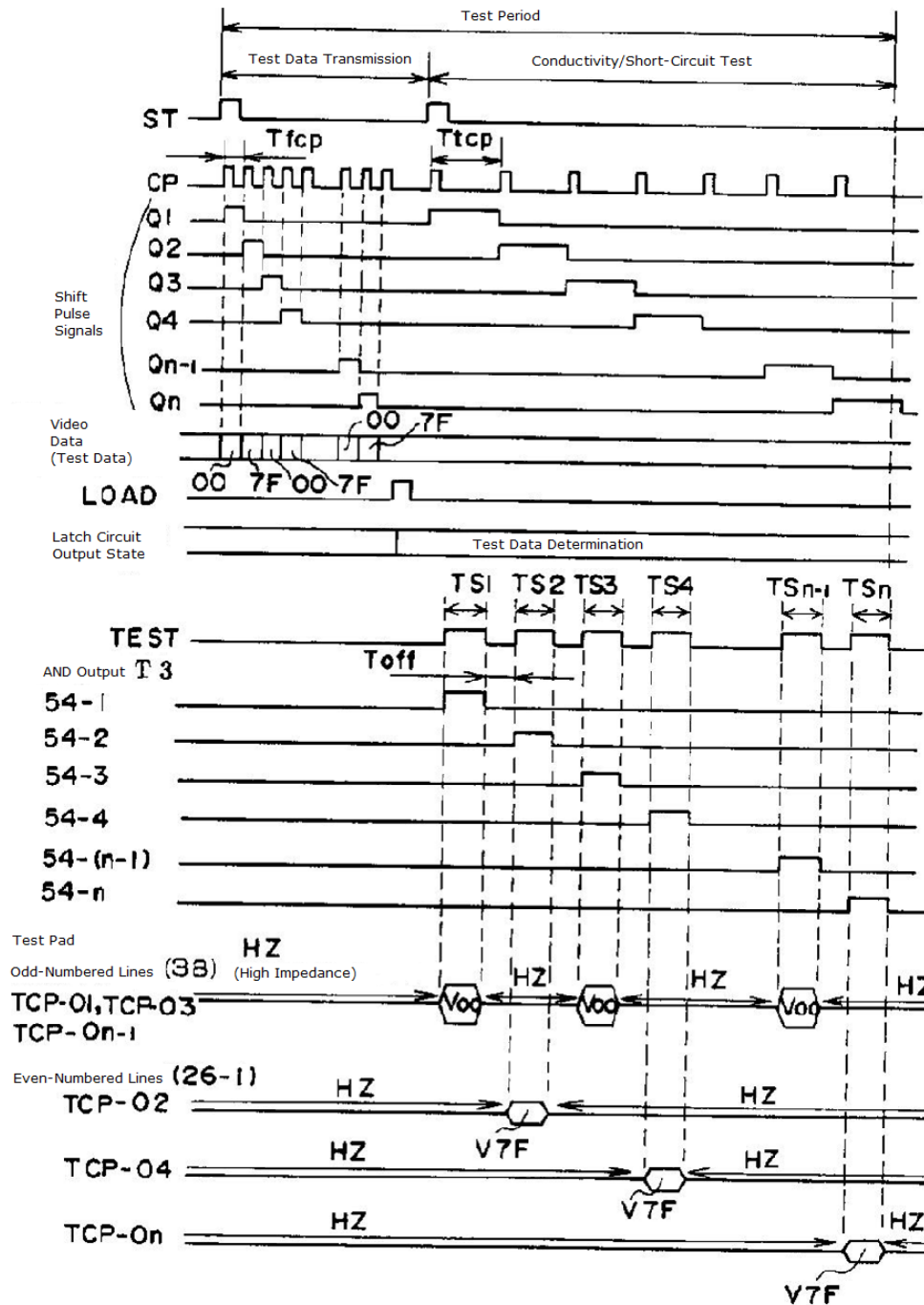
[FIG. 2]



[FIG. 3]



[FIG. 4]



Continued from front page

F Terms (Reference) 2G003 AA07 AB18 AG09 AG12 AG13 AH01 AH04 AH05
 2G014 AA01 AB20 AB21 AB51 AC06 AC10 AC14 AC18
 2G032 AA01 AA04 AA07 AA09 AC03 AD08 AE07 AE08 AE11 AE12 AG01 AG02
 AG04 AH04 AH07 AK01 AK02 AK11 AK14 AK15 AK16 AL03 AL04

TRANSLATION CERTIFICATION

Date: July 15, 2025

To whom it may concern:

This is to certify that the attached translation is an accurate representation of the documents received by this office. The translation was completed from:

- Japanese

To:

- English (USA)

The documents are designated as:

- D9 - JP2000131393A (original)

Emily Paras, Project Manager in this company, attests to the following:

“To the best of my knowledge, the aforementioned documents are a true, full and accurate translation of the specified documents.”



Signature of Emily Paras

QUESTEL CONFIDENTIAL

4001 S 700 East, Suite 500 #B17
Salt Lake City, UT 84107

IPR2025-01413
BOE EXHIBIT 1011
Page 24 of 24