(19)日本国特許庁（ＪＰ）　(12) **公開特許公報（Ａ）**　(11)特許出願公開番号

特開平11－74523

(43)公開日　平成11年(1999)３月16日

(51)Int.Cl.[6]	識別記号	ＦＩ	
Ｈ０１Ｌ　29/78		Ｈ０１Ｌ　29/78	３０１Ｘ
21/3065		21/302	Ｊ
21/3205		21/88	Ｓ

審査請求　未請求　請求項の数12　ＯＬ　（全 12 頁）

(21)出願番号　特願平10－18869

(22)出願日　平成10年(1998)１月30日

(31)優先権主張番号　特願平9－162662

(32)優先日　平９(1997)６月19日

(33)優先権主張国　日本（ＪＰ）

(71)出願人　000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72)発明者　松永　範昭
神奈川県横浜市磯子区新杉田町８番地　株式会社東芝横浜事業所内

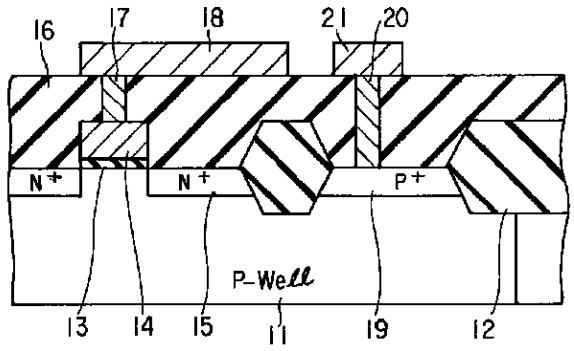
(74)代理人　弁理士　鈴江　武彦　（外６名）

(54)【発明の名称】　半導体装置及びその製造方法

(57)【要約】

【課題】　ＲＩＥ等のプラズマ工程におけるチャージングダメージを防止することが可能な配線構造を提供する。

【解決手段】　ＭＩＳ構造を有する半導体素子と、この半導体素子のゲートに接続され回路動作に使用される機能配線１７、１８とを有する半導体装置において、半導体基板に接続され回路動作には使用しないダミー配線２０、２１を機能配線の近傍に設けた。



11 Pウエル　12素子分離絶縁膜　13ゲート絶縁膜　14ゲート
15,19 不純物拡散層　16層間絶縁膜　17層間接続機能配線部
18層上機能配線部　20層間接続ダミー配線部　21層上ダミー配線部

【特許請求の範囲】

【請求項１】　半導体基板の主面側に形成されたＭＩＳ構造を有する半導体素子と、少なくとも１層以上の層間絶縁膜と、この層間絶縁膜の接続孔内に形成された第１の機能配線部及び層間絶縁膜上に形成された第２の機能配線部からなり前記半導体素子のゲートに接続された回路動作に使用される機能配線と、この機能配線と離間した領域に設けられ前記半導体基板に接続された回路動作には使用しないダミー配線とを有することを特徴とする半導体装置。

【請求項２】　前記ダミー配線は前記機能配線の近傍に設けられていることを特徴とする請求項１に記載の半導体装置。

【請求項３】　前記機能配線と前記ダミー配線との間には１以上の中間配線が設けられ、前記ダミー配線及び前記機能配線はそれぞれ前記１以上の中間配線の近傍に設けられていることを特徴とする請求項１に記載の半導体装置。

【請求項４】　前記ダミー配線は少なくとも１層以上の層間絶縁膜の接続孔内に形成された第１のダミー配線部及び少なくとも１層以上の層間絶縁膜上に形成された第２のダミー配線部からなることを特徴とする請求項１乃至３のいずれかに記載の半導体装置。

【請求項５】　前記ダミー配線は前記層間絶縁膜の接続孔内に形成された第１のダミー配線部のみからなることを特徴とする請求項１乃至３のいずれかに記載の半導体装置。

【請求項６】　前記ダミー配線は複数の層間絶縁膜の各接続孔内に形成された複数の第１のダミー配線部及び最上層の層間絶縁膜以外の層間絶縁膜上に形成された１以上の第２のダミー配線部からなることを特徴とする請求項１乃至３のいずれかに記載の半導体装置。

【請求項７】　半導体基板の主面側に形成されたＭＩＳ構造を有する半導体素子と、少なくとも１層以上の層間絶縁膜と、この層間絶縁膜の接続孔内に形成された第１の機能配線部及び層間絶縁膜の配線溝内に埋め込まれた第２の機能配線部からなり前記半導体素子のゲートに接続された回路動作に使用される機能配線と、この機能配線と離間したダミーとなる領域に設けられ前記半導体基板に接続された回路動作には使用しないダミー配線とを有することを特徴とする半導体装置。

【請求項８】　前記ダミー配線は少なくとも１層以上の層間絶縁膜のダミー接続孔内に形成された第１のダミー配線部及び少なくとも１層以上の層間絶縁膜のダミー配線溝内に埋め込まれた第２のダミー配線部からなることを特徴とする請求項７に記載の半導体装置。

【請求項９】　前記第２の機能配線部の配線パターン及び前記第２のダミー配線部の配線パターンの短辺どうしが対向している又は一方の短辺と他方の長辺とが対向していることを特徴とする請求項４又は６に記載の半導体装置。

【請求項１０】　半導体基板の主面側に形成されたＭＩＳ構造を有する半導体素子と、少なくとも１層以上の層間絶縁膜と、この少なくとも１層以上の層間絶縁膜を通して前記半導体素子のゲートに接続され回路動作に使用される機能配線の一部となる下部機能配線部と、前記少なくとも１層以上の層間絶縁膜を通して前記半導体基板に接続され回路動作には使用しないダミー配線の一部となる下部ダミー配線部とを有する下部構造上に導電膜を形成する工程と、プラズマを用いたエッチングで前記導電膜を選択的に除去することにより、前記機能配線の一部となり前記下部機能配線部に接続される上部機能配線部を形成するとともに、前記ダミー配線の一部となり前記下部ダミー配線部に接続される上部ダミー配線部を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項１１】　半導体基板の主面側に形成されたＭＩＳ構造を有する半導体素子と、少なくとも１層以上の層間絶縁膜と、この少なくとも１層以上の層間絶縁膜を通して前記半導体素子のゲートに接続され回路動作に使用される機能配線の一部となる下部機能配線部と、前記少なくとも１層以上の層間絶縁膜を通して前記半導体基板に接続され回路動作には使用しないダミー配線の少なくとも一部となる下部ダミー配線部とを有する下部構造上に導電膜を形成する工程と、プラズマを用いたエッチングで前記導電膜を選択的に除去することにより、前記機能配線の一部となり前記下部機能配線部に接続される上部機能配線部のみを形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項１２】　ＭＩＳ構造を有する半導体素子が形成された半導体基板の主面側に層間絶縁膜を形成する工程と、プラズマを用いたエッチングにより、前記層間絶縁膜に前記半導体素子のゲートに接続され回路動作に使用される機能配線を形成するための接続孔及び配線溝を形成するとともに、前記層間絶縁膜に半導体基板に接続され回路動作には使用しないダミー配線を形成するためのダミー接続孔及びダミー配線溝を形成する工程と、前記接続孔内及び配線溝内に前記機能配線を形成するとともに、前記ダミー接続孔内及びダミー配線溝内に前記ダミー配線を形成する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法、特にチャージングダメージを低減するための配線構造に係る半導体装置及びその製造方法に関する。

【０００２】

【従来の技術】半導体装置の製造においては、しばしばＲＩＥ等のプラズマによるチャージングダメージが発生

し、問題となっている。チャージングダメージの発生原因にはいくつかのものがあるが、その中の一つとして次のような機構がある。すなわち、ゲート電極につながる配線、コンタクト、ビア等がプラズマから電荷を受けてゲート絶縁膜に帯電が生じ、その結果、ゲート電位の上昇により高電界がゲート絶縁膜に印加されてＦＮ電流が流れ、ゲート絶縁膜にダメージを与えるというものである。

【０００３】図１３は、Ａｌ等の配線をＲＩＥによってパターニングするときのダメージングメカニズムを説明するための図である。５１はシリコン基板（図示せず）上に形成された層間絶縁膜、５２はＡｌ等を用いた配線用の金属膜、５３はレジストである。

【０００４】図１３（ａ）はエッチングの途中の段階を示したものであるが、配線用の金属膜５２は連続膜となっており、ＭＯＳトランジスタ（図示せず）のゲートは金属膜５２を通して基板に接続されているため、ゲート部にはチャージングダメージは生じない。

【０００５】図１３（ｂ）はさらにエッチングが進行した段階を示したものである。ＲＩＥの特性上、パターンが疎な領域では密な領域に比べてエッチングが早く進行するため、エッチングの途中の段階であっても配線パターンの疎密に応じて島状のパターンが形成される。このとき島状の金属膜のパターンが基板に接続されていればチャージングダメージは生じないが、基板に接続されていない場合にはＭＯＳトランジスタのゲート絶縁膜に電荷が蓄積されることになる。したがって、蓄積された電荷によってゲートの電位が上昇し、高電界ストレスがゲート絶縁膜にかかることになる。

【０００６】図１３（ｃ）はさらにエッチングが進行し、金属膜５２のパターンが完全に分離された段階を示したものである。この段階では分離された金属膜５２のパターンの側壁部分から電荷を受け、ゲート電位の上昇によって高電界ストレスがゲート絶縁膜にかかることになる。

【０００７】上記の例は、ＲＩＲ等による配線加工時のチャージングダメージについて説明したものであるが、チャージングダメージは埋め込み配線構造を作製する場合のＲＩＥ等による接続孔や配線溝の形成の際にも問題となる。すなわち、ＲＩＥ等によって層間絶縁膜に接続孔や配線溝を形成する際、電荷の蓄積によってＭＯＳトランジスタのゲートと基板との間に電位差が生じ、そのため高電界ストレスがゲート絶縁膜にかかることになる。

【０００８】

【発明が解決しようとする課題】以上述べたように、従来は、配線加工時のＲＩＥ等のプラズマ工程においてＭＩＳ構造にチャージングダメージが生じ、ゲート絶縁膜の劣化の原因となっていた。また、埋め込み配線構造においても、接続孔や配線溝加工時のＲＩＥ等のプラズマ工程においてＭＩＳ構造にチャージングダメージが生じ、ゲート絶縁膜の劣化の原因となっていた。

【０００９】本発明の目的は、ＲＩＥ等のプラズマ工程におけるチャージングダメージを防止することが可能な配線構造を有する半導体装置及びその製造方法を提供することにある。

【００１０】

【課題を解決するための手段】本発明における半導体装置は、半導体基板の主面側に形成されたＭＩＳ構造を有する半導体素子と、少なくとも１層以上の層間絶縁膜と、この層間絶縁膜の接続孔内に形成された第１の機能配線部及び層間絶縁膜上に形成された第２の機能配線部からなり前記半導体素子のゲートに接続された回路動作に使用される機能配線と、この機能配線と離間した領域に設けられ前記半導体基板に接続された回路動作には使用しないダミー配線とを有することを特徴とする（構成Ａとする）。

【００１１】前記構成Ａにおいて、ダミー配線は機能配線の近傍に設けられていることが好ましい（構成Ｂとする）。また、前記構成Ａにおいて、機能配線とダミー配線との間に１以上の中間配線を設け、ダミー配線及び機能配線がそれぞれ前記１以上の中間配線の近傍に設けられてるようにしてもよい（構成Ｃとする）。

【００１２】このように、ダミー配線を形成することにより、配線加工の際のＲＩＥ等のプラズマ工程のほとんどの時間において、ゲートの電位と半導体基板（ウエル等）の電位とを同電位に保つことができる。したがって、配線加工の際のＲＩＥ等のプラズマ工程におけるチャージングダメージを防止することができ、ゲート絶縁膜の劣化を防止することができる。特に、前記構成Ｂ或いはＣとすることにより、ＲＩＥの終了直前まで、より高い確率で機能配線とダミー配線とを接続しておくことができる。

【００１３】前記構成Ａ～Ｃのより具体的な構成は以下の通りである。ダミー配線が少なくとも１層以上の層間絶縁膜の接続孔内に形成された第１のダミー配線部及び少なくとも１層以上の層間絶縁膜上に形成された第２のダミー配線部からなる（構成Ｄとする）。

【００１４】ダミー配線が層間絶縁膜の接続孔内に形成された第１のダミー配線部のみからなる（構成Ｅとする）。ダミー配線が複数の層間絶縁膜の各接続孔内に形成された複数の第１のダミー配線部及び最上層の層間絶縁膜以外の層間絶縁膜上に形成された１以上の第２のダミー配線部からなる（構成Ｆとする）。

【００１５】構成Ｅ及びＦは、最上層の層間絶縁膜（層間絶縁膜が単層の場合は該単層の層間絶縁膜）上には第２のダミー配線部を設けず、第１のダミー配線部によってダミー配線を終端させるというものである。第２のダミー配線部がないことから、最上層の第１の機能配線がショートを生じる確率が低減されるとともに、配線間容

量を低減できるという効果もある。この場合、第１のダミー配線部と第２の機能配線部とを互いに異なった材料で構成すれば、第２の機能配線部を第１のダミー配線部に対して選択的にエッチングすることにより、第１のダミー配線部はエッチングされず接続孔内に残すことができる。

【００１６】なお、機能配線とダミー配線との間隔、機能配線と中間配線との間隔或いはダミー配線と中間配線との間隔は、少なくとも一部の箇所において、最小設計配線間距離ルールの５倍以内の距離、或いは１μm以下の距離で隣接していることが好ましい。

【００１７】また、本発明における半導体装置は、半導体基板の主面側に形成されたＭＩＳ構造を有する半導体素子と、少なくとも１層以上の層間絶縁膜と、この層間絶縁膜の接続孔内に形成された第１の機能配線部及び層間絶縁膜の配線溝内に埋め込まれた第２の機能配線部からなり前記半導体素子のゲートに接続された回路動作に使用される機能配線と、この機能配線と離間したダミーとなる領域に設けられ前記半導体基板に接続された回路動作には使用しないダミー配線とを有することを特徴とする（構成Ｇとする）。

【００１８】前記構成Ｇのより具体的な構成は次の通りである。ダミー配線が少なくとも１層以上の層間絶縁膜のダミー接続孔内に形成された第１のダミー配線部及び少なくとも１層以上の層間絶縁膜のダミー配線溝内に埋め込まれた第２のダミー配線部からなる（構成Ｈとする）。

【００１９】前記構成によれば、最終的にダミー配線が形成されるダミーとなる領域（ダミー接続孔、ダミー配線溝）が、接続孔や配線溝を加工する際のＲＩＥ等のプラズマ工程において同時に形成されることになる。そのため、プラズマ工程において、電荷がゲートのみならずダミー領域を通して半導体基板（ウエル等）にも供給され、ゲートの電位と半導体基板の電位との電位差を小さくすることができる。したがって、接続孔や配線溝の加工の際のＲＩＥ等のプラズマ工程におけるチャージングダメージを防止することができ、ゲート絶縁膜の劣化を防止することができる。

【００２０】前記構成Ａ～Ｈにおいて、ダミー配線の半導体基板への接続の仕方としては以下のものがあげられる。ダミー配線が半導体基板に設けられた不純物拡散層（P^+ 拡散層又はN^+ 拡散層）を介して該不純物拡散層の導電型と同一又は逆の導電型の基板領域（ウエル領域でも非ウエル領域でもよい）に接続されている。すなわち、ダミー配線が順方向又は逆方向のダイオードを介して基板に接続されることになる。なお、逆方向接続であっても、通常数十ボルト以上にチャージアップされているため、逆方向降伏電流によって電荷を基板に逃がすことができる。

【００２１】ダミー配線が半導体素子のソース又はドレインを構成する不純物拡散層（P^+拡散層又はN^+ 拡散層）を介して基板領域（ウエル領域でも非ウエル領域でもよい）に接続されている。このようにダミー配線をソース又はドレイン領域に接続することにより、占有面積の低減をはかることができる。

【００２２】前記構成Ａ～Ｆにおいて、ダミー配線の半導体基板への接続の仕方としてはさらに次のものがあげられる。ダミー配線が機能配線にゲートが接続された半導体素子が形成されている基板領域と同一又は分離された基板領域（ウエル領域でも非ウエル領域でもよい）に接続されている。分離された基板領域に接続される場合には、配線の自由度を増すことができる。

【００２３】前記構成Ｇ及びＨにおいて、ダミー配線の半導体基板への接続の仕方としてはさらに次のものがあげられる。ダミー配線が機能配線にゲートが接続された半導体素子が形成されている基板領域（ウエル領域でも非ウエル領域でもよい）と同一の基板領域に接続されている。同一の基板領域に接続することにより、ゲートの電位と半導体基板の電位との電位差を効果的に小さくすることができる。

【００２４】前記構成Ｄ及びＦにおいて、第２の機能配線部の配線パターン及び第２のダミー配線部の配線パターンの短辺どうしが対向している、或いは、第２の機能配線部の配線パターン及び第２のダミー配線部の配線パターンの一方の短辺と他方の長辺とが対向しているようにすれば、第２の機能配線部と第２のダミー配線部との間の配線間容量を低減することができる。

【００２５】前記構成Ａ～Ｆにおいて、前記半導体装置が前記半導体素子を含んで構成される基本セルが複数配列された領域を有している場合、ダミー配線を基本セル毎又は複数の基本セル毎に設ければ、ダミー配線を含む基本的なパターンを繰り返し用いればよいので、回路設計の手間を大幅に省くことができる。

【００２６】本発明における半導体装置の製造方法は、半導体基板の主面側に形成されたＭＩＳ構造を有する半導体素子と、少なくとも１層以上の層間絶縁膜と、この少なくとも１層以上の層間絶縁膜を通して前記半導体素子のゲートに接続され回路動作に使用される機能配線の一部となる下部機能配線部と、前記少なくとも１層以上の層間絶縁膜を通して前記半導体基板に接続され回路動作には使用しないダミー配線の一部となる下部ダミー配線部とを有する下部構造上に導電膜を形成する工程と、プラズマを用いたエッチングで前記導電膜を選択的に除去することにより、前記機能配線の一部となり前記下部機能配線部に接続される上部機能配線部を形成するとともに、前記ダミー配線の一部となり前記下部ダミー配線部に接続される上部ダミー配線部を形成する工程とを有することを特徴とする。

【００２７】これは、前記構成Ｄに概ね対応した製造方法であり、先に述べた作用効果と同様の作用効果を奏す

るものである。また、本発明における半導体装置の製造方法は、半導体基板の主面側に形成されたＭＩＳ構造を有する半導体素子と、少なくとも１層以上の層間絶縁膜と、この少なくとも１層以上の層間絶縁膜を通して前記半導体素子のゲートに接続され回路動作に使用される機能配線の一部となる下部機能配線部と、前記少なくとも１層以上の層間絶縁膜を通して前記半導体基板に接続され回路動作には使用しないダミー配線の少なくとも一部となる下部ダミー配線部とを有する下部構造上に導電膜を形成する工程と、プラズマを用いたエッチングで前記導電膜を選択的に除去することにより、前記機能配線の一部となり前記下部機能配線部に接続される上部機能配線部のみを形成する工程とを有することを特徴とするこれは、前記構成Ｅ及びＦに概ね対応した製造方法であり、先に述べた作用効果と同様の作用効果を奏するものである。

【００２８】また、本発明における半導体装置の製造方法は、ＭＩＳ構造を有する半導体素子が形成された半導体基板の主面側に層間絶縁膜を形成する工程と、プラズマを用いたエッチングにより、前記層間絶縁膜に前記半導体素子のゲートに接続され回路動作に使用される機能配線を形成するための接続孔及び配線溝を形成するとともに、前記層間絶縁膜に半導体基板に接続され回路動作には使用しないダミー配線を形成するためのダミー接続孔及びダミー配線溝を形成する工程と、前記接続孔内及び配線溝内に前記機能配線を形成するとともに、前記ダミー接続孔内及びダミー配線溝内に前記ダミー配線を形成する工程とを有することを特徴とする。これは、前記構成Ｈに概ね対応した製造方法であり、先に述べた作用効果と同様の作用効果を奏するものである。

【００２９】

【発明の実施の形態】以下、図面を参照して本発明の好適な実施形態について説明する。図１は、本発明の第１の実施形態を示したものである。１１はシリコン基板内に形成されたＰウエル、１２は素子分離絶縁膜、１３はゲート絶縁膜、１４はゲート、１５はソース又はドレインとなる不純物拡散層、１６は層間絶縁膜である。ゲート１４には実際の回路動作に使用される機能配線が接続されており、この機能配線は層間絶縁膜１６の接続孔内に形成された配線部（以下、層間接続機能配線部と呼ぶ）１７及び層間絶縁膜上に形成された配線部（以下、層上機能配線部と呼ぶ）１８から構成されている。不純物拡散層１９には、実際の回路動作には使用されない（機能配線等から電気的に分離されている）ダミー配線が接続されており、このダミー配線は層間絶縁膜１６の接続孔内に形成された配線部（以下、層間接続ダミー配線部と呼ぶ）２０及び層間絶縁膜上に形成された配線部（以下、層上ダミー配線部と呼ぶ）２１から構成されている。層上機能配線部１８と層上ダミー配線部２１とは、少なくとも一部の箇所において互いに隣接して配置されている（最小設計配線間距離ルールの５倍以内の距離、或いは１μｍ以下の距離で隣接していることが好ましい。）。

【００３０】層上機能配線部１８は層間絶縁膜１６上に配線金属を成膜した後これをＲＩＥを用いて加工することにより得られるが、このＲＩＥ工程において層上機能配線部１８のパターンの近傍に層上ダミー配線部２１のパターンが形成されるようにしている。このように層上機能配線部１８の近傍に層上ダミー配線部２１を形成することにより、ＲＩＥ工程のほとんどの時間にわたってＭＯＳトランジスタのゲート１６の電位とＰウエル１１の電位とを導電位に保つことができる。したがって、ゲート酸化膜１３には高電界が印加されず、チャージングダメージを抑制することができる。

【００３１】なお、層上ダミー配線部２１の長さはできるだけ短くした方が、層上ダミー配線部２１と層上機能配線部１８とで形成される配線間容量が低減でき、回路動作の点からは好ましいが、回路動作の点で配線間容量の増大があまり問題にならない場合には、層上ダミー配線部２１の長さを長くした方が、チャージングダメージの抑制の点からは好ましい。

【００３２】図２は、本発明の第２の実施形態を示したものである。図１に示した第１の実施形態と実質的に同一或いは対応する構成要素には同一の番号を付してあり、詳細な説明は省略する（他の実施形態も同様）。

【００３３】図１に示した第１の実施形態では、ダミー配線を層間接続ダミー配線部２０及び層上ダミー配線部２１によって構成していたが、本実施形態では、ダミー配線を層間接続ダミー配線部２０のみによって構成し、図１に示した層上ダミー配線部２１は設けていない。層上機能配線部１８と層間接続ダミー配線部２０とは、少なくとも一部の箇所において互いに隣接して配置されている。このように、層上ダミー配線部２１を省くことにより、層上機能配線部１８のショートが低減されるとともに、配線間容量を低減することができる。

【００３４】層上機能配線部１８は層間絶縁膜１６上に配線金属を成膜した後これをＲＩＥを用いて加工することにより得られるが、このＲＩＥ工程において層上機能配線部１８のパターンのみが形成されるようにしている。第１の実施形態とは異なり層上ダミー配線部２１は形成されないが、ＲＩＥ工程の終了間際までは層間絶縁膜１６上に配線金属が残っているため、第１の実施形態と同様、ＲＩＥ工程のほとんどの時間にわたってＭＯＳトランジスタのゲート１６の電位とＰウエル１１の電位とを導電位に保つことができる。したがって、第１の実施形態と同様、ゲート酸化膜１３には高電界が印加されず、チャージングダメージを抑制することができる。

【００３５】なお、層間接続ダミー配線部２０と層上機能配線部１８とを互いに異なった材料で構成すれば（例えば、層間接続ダミー配線部２０にはタングステン、層

上機能配線部１８にはアルミニウム）、層上機能配線部１８を層間接続ダミー配線部２０に対して選択的にエッチングすることにより、層間接続ダミー配線部２０はエッチングされずに接続孔内に残すことができる。

【００３６】図３は、本発明の第３の実施形態を示したものである。本実施形態は、多層配線構造に本発明を適用してものである。すなわち、層間絶縁膜１６の上層側に層間絶縁膜３１が形成されており、機能配線は層間接続機能配線部１７、層上機能配線部１８、層間接続機能配線部３２及び層上機能配線部３３から構成され、ダミー配線は層間接続ダミー配線部２０、層上ダミー配線部２１、層間接続ダミー配線部３４及び層上ダミー配線部３５から構成されている。

【００３７】図３に示した例では、層上機能配線部１８と層上ダミー配線部２１とが少なくとも一部の箇所において互いに隣接して配置されるとともに、層上機能配線部３３と層上ダミー配線部３５とが少なくとも一部の箇所において互いに隣接して配置されている。したがって、層上機能配線部１８を形成するためのＲＩＥ工程及び層上機能配線部３３を形成するためのＲＩＥ工程それぞれにおいて、チャージングダメージを抑制することができる。

【００３８】図４は、本発明の第４の実施形態を示したものである。本実施形態も上記第３の実施形態と同様、多層配線構造に本発明を適用したものである。本実施形態では、最上層の層間絶縁膜３１上には図３に示した層上ダミー配線部３５は設けられていない。層上機能配線部３３と層間接続ダミー配線部３４とは、少なくとも一部の箇所において互いに隣接して配置されている。このように、層上ダミー配線部３５を省くことにより、図２に示した第２の実施形態と同様に、層上機能配線部３３のショートが低減されるとともに、配線間容量を低減することができる。

【００３９】図５は、本発明の第５の実施形態を示したものである。第１の実施形態等では、ダミー配線がP^+不純物拡散層を介してＰウエルに接続されており、不純物拡散層とウエルとは同一導電型のものであった。本実施形態では、ダミー配線がN^+不純物拡散層１９ｂを介してＰウエル１１に接続されており、不純物拡散層とウエルとが逆の導電型となっている。したがって、ダミー配線はダイオードを介してＰウエル１１に接続されることになるが、このような接続であっても第１の実施形態等と同様の効果を得ることができる。ダイオードはＲＩＥ時のチャージアップの極性によって順方向或いは逆方向接続となる。なお、逆方向接続であっても、ＲＩＥ時には通常数十ボルト以上にチャージアップされているため、逆方向降伏電流によって電荷をＰウエル１１に逃がすことが可能である。

【００４０】図６は、本発明の第６の実施形態を示したものである。第１の実施形態等では、ダミー配線はＭＯＳトランジスタのソース、ドレインとは別個に設けた不純物拡散層を介してウエルに接続されていたが、本実施形態では、ＭＯＳトランジスタのソース又はドレインを構成する不純物拡散層１５を介してダミー配線がＰウエル１１に接続されている。このように、ダミー配線をソース又はドレインを構成する不純物拡散層に接続することにより、占有面積の低減をはかることができる。

【００４１】図７は、本発明の第７の実施形態を示したものである。第１の実施形態等では、ゲートに機能配線１７、１８が接続されたＭＯＳトランジスタが形成されたウエルと同一のウエルにダミー配線が接続されていたが、本実施形態では異なったウエルにダミー配線を接続している。図７に示した例では、ダミー配線２０、２１はN^+不純物拡散層１９ａを介してＮウエル１１ａに接続されている。なお、この例では、機能配線１７、１８が接続されたＭＯＳトランジスタが形成されたウエル（Ｐウエル１１）とダミー配線２０、２１が接続されたウエル（Ｎウエル１１ａ）とは異なった導電型であるが、もちろん同一の導電型のウエルであってもよい。

【００４２】図８は、本発明の第８の実施形態を示したものである。第１の実施形態等では、ダミー配線を機能配線の近傍に配置したが、本実施形態では、ダミー配線と機能配線との間に少なくとも１以上の中間配線２２を配置し、ダミー配線及び機能配線をそれぞれ中間配線２２の近傍に配置したものである。中間配線が複数ある場合には、隣り合った中間配線どうしがそれぞれの近傍に配置されるようにする。ここでいう中間配線とは、実際の回路動作に使用されるもの（例えば回路動作に使用される素子に接続されているもの）でもよいし、実際の回路動作に使用されないもの（例えば素子等から電気的に分離されているもの）でもよい。

【００４３】層上機能配線部１８は、第１の実施形態等と同様、層間絶縁膜１６上に配線金属を成膜した後これをＲＩＥを用いて加工することにより得られるが、このＲＩＥ工程において層上ダミー配線部２１及び中間配線２２のパターンが形成されるようにしている。このようにダミー配線と機能配線との間に中間配線２２を形成した場合にも、ＲＩＥ工程のほとんどの時間にわたってダミー配線と機能配線とが中間配線２２を介して接続されることになり、ＭＯＳトランジスタのゲート１４の電位とウエル１１の電位とを導電位に保つことができる。したがって、ゲート酸化膜１３には高電界が印加されず、チャージングダメージを抑制することができる。

【００４４】なお、以上述べた第１～第８の実施形態では、ゲートに機能配線が接続されたＭＯＳトランジスタが形成されたウエルをＰウエルとして説明したが、もちろんＮウエルであってもよい。また、上記第１～第８の実施形態では、ＭＯＳトランジスタ及びダミー配線が接続された不純物拡散層はいずれも半導体基板のウエル領域に形成されていたが、半導体基板のウエル構成をとら

ない領域（非ウエル領域）に形成されていてもよい。また、第１～第８の実施形態で説明したそれぞれの構成を相互に組み合わせてもよいことはいうまでもない。

【００４５】次に、上記第１～第８の実施形態で示した機能配線とダミー配線との平面的な位置関係、特に層上機能配線部１８（３３）と層上ダミー配線部２１（３５）との平面的な配置関係について、図９及び図１０を参照して説明する。

【００４６】図９（Ａ）は、層上機能配線部１８（３３）と層上ダミー配線部２１（３５）とが平行で、層上ダミー配線部２１（３５）の長さを短くしたものである。このように層上ダミー配線部２１（３５）の長さを短くすることにより、層上ダミー配線部２１（３５）と層上機能配線部１８（３３）とで形成される配線間容量を低減することができる。

【００４７】図９（Ｂ）は、層上機能配線部１８（３３）と層上ダミー配線部２１（３５）とが平行で、層上ダミー配線部２１（３５）の長さを長くしたものである。このように層上ダミー配線部２１（３５）の長さを長くすることにより、ＲＩＥの終了直前まで、より高い確率で機能配線とダミー配線とを接続しておくことができる。

【００４８】図９（Ｃ）は、層上機能配線部１８（３３）と層上ダミー配線部２１（３５）のそれぞれの短辺どうしを対向させたものであり、層上ダミー配線部２１（３５）と層上機能配線部１８（３３）とで形成される配線間容量を低減できる。

【００４９】図９（Ｄ）は、層上機能配線部１８（３３）と層上ダミー配線部２１（３５）の一方の短辺と他方の長辺とが対向しているものであり、層上ダミー配線部２１（３５）と層上機能配線部１８（３３）とで形成される配線間容量を低減することができる。

【００５０】図１０は、層上機能配線部１８（３３）と層上ダミー配線部２１（３５）との間に中間配線を設けた場合の構成例である。この例では、実際の回路動作に使用される中間配線２２ａ（例えば回路動作に使用される素子に接続されているもの）及び実際の回路動作に使用されない中間配線２２ｂ（例えば素子等から電気的に分離されているもの）を設けている。

【００５１】次に、ダミー配線の適用例（適用箇所等）について説明する。ダミー配線の適用箇所としては、例えば、ＣＭＯＳインバータの入力に接続される配線の近傍、ＳＲＡＭのワード線の近傍、乗算器のデータ線の近傍等をあげることができる。特に、クロック信号線、ワード線、アドレスバス線等のように配線が長く（アンテナ比が高く）、ＲＩＥ等のプラズマ工程においてゲートと基板との間の電位差が生じ易い配線の近傍に配置すると効果的である。

【００５２】図１１は、ＳＲＡＭの基本セル内にダミー配線を配置し、この基本セルを繰り返し用いてＳＲＡＭアレーを構成したものである。すなわち、ワード線ＷＬの近傍にダミー配線ＤＭを配置して基本セルを構成し（図１１（Ａ））、これを繰り返し配列してＳＲＡＭアレーを構成している（図１１（Ｂ））。このように、基本セルの繰り返しで回路が構成される場合には、ダミー配線を基本セル毎又は複数の基本セル毎に設ければ、回路設計の手間を大幅に省くことができる。

【００５３】図１２は、マイクロプロセッサの回路にダミー配線を適用した場合の例である。図中"×"印で示した箇所にダミー配線が配置されており、各回路ブロックの内部の他、隣り合った回路ブロックの間にもダミー配線が配置されている。このような構成を用いれば、回路ブロックの内部にダミー配線を配置するスペースが確保できない場合にもダミー配線を形成することが可能となる。

【００５４】次に、本発明の第９の実施形態について図１４を参照して説明する。本実施形態は、埋め込み配線構造に対して本発明を適用したものである。なお、図１に示した第１の実施形態と実質的に同一或いは対応する構成要素には同一の番号を付してあり、詳細な説明は省略する（以下、同様）。

【００５５】図１４（ａ）は、ＭＯＳトランジスタ等が形成された基板上に層間絶縁膜６１を形成し、この層間絶縁膜６１にいわゆるデュアルダマシン構造の配線を形成するための接続孔６２及び配線溝６３をＲＩＥ工程によって形成した状態を示したものであるが、このときダミー接続孔６４及びダミー配線溝６５も上記ＲＩＥ工程によって同時に形成される。

【００５６】従来は、ＲＩＥ工程によってゲート１４表面が露出したときに電荷がゲート１４にのみ蓄積されるため、ゲート１４と基板（Ｐウエル１１）との間に大きな電位差が生じ、ゲート絶縁膜１３に高電界ストレスが印加されるという問題があった。本実施形態では、ＲＩＥ工程においてダミー接続孔６４及びダミー配線溝６５も同時に形成するため、電荷がゲートのみならず基板に形成されたP^+不純物拡散層１９にも供給され、ゲートの電位と基板の電位との電位差を小さくすることができる。したがって、ゲート絶縁膜１３に印加される電界を弱めることができ、チャージングダメージを抑制することができる。

【００５７】ＲＩＥ工程が終了した後、所定の配線用金属を全面に堆積し、ＲＩＥ或いはＣＭＰによって配線用金属を埋め込む。このようにして、図１４（ｂ）に示すように、接続孔６２内に埋め込まれた配線部６６（以下、孔内機能配線部と呼ぶ）及び配線溝６３内に埋め込まれた配線部６７（以下、溝内機能配線部と呼ぶ）が形成されるとともに、ダミー接続孔６４内に埋め込まれた配線部６８（以下、孔内ダミー配線部と呼ぶ）及びダミー配線溝６５内に埋め込まれた配線部６９（以下、溝内ダミー配線部と呼ぶ）が形成される。

【００５８】次に、本発明の第１０の実施形態について図１５を参照して説明する。本実施形態は、埋め込み配線構造の多層配線に対して本発明を適用したものである。図１５（ａ）は、例えば図１４の工程によって形成した下部構造上に層間絶縁膜７１を形成し、この層間絶縁膜７１にデュアルダマシン構造の配線を形成するための接続孔７２及び配線溝７３をＲＩＥ工程によって形成した状態を示したものである。このとき、ダミー接続孔７４及びダミー配線溝７５も上記ＲＩＥ工程によって同時に形成される。

【００５９】従来は、ＲＩＥ工程によって下部配線表面（溝内機能配線部６７表面）が露出したときに電荷が下部配線（孔内機能配線部６６、溝内機能配線部６７）を通してゲート１４にのみ蓄積される。したがって、ゲート１４と基板（Ｐウエル１１）との間に大きな電位差が生じ、ゲート絶縁膜１３に高電界ストレスが印加されるという問題があった。本実施形態では、ＲＩＥ工程においてダミー接続孔７４及びダミー配線溝７５も同時に形成するため、電荷が下部配線（孔内ダミー配線部６８、溝内ダミー配線部６９）を通して基板に形成されたP^+不純物拡散層１９にも供給され、ゲートの電位と基板の電位との電位差を小さくすることができる。したがって、ゲート絶縁膜１３に印加される電界を弱めることができ、チャージングダメージを抑制することができる。

【００６０】ＲＩＥ工程が終了した後、所定の配線用金属を全面に堆積し、ＲＩＥ或いはＣＭＰによって配線用金属を埋め込む。このようにして、図１４（ｂ）に示すように、接続孔７２内に埋め込まれた孔内機能配線部７６及び配線溝７３内に埋め込まれた溝内機能配線部７７が形成されるとともに、ダミー接続孔７４内に埋め込まれた孔内ダミー配線部７８及びダミー配線溝７５内に埋め込まれた溝内ダミー配線部７９が形成される。

【００６１】次に、本発明の第１１の実施形態について図１６を参照して説明する。本実施形態も、第１０の実施形態と同様、埋め込み配線構造の多層配線に対して本発明を適用したものである。

【００６２】本実施形態では、図１６に示すように、同一ウエル内に複数のダミー配線領域を設けている。ゲート絶縁膜のチャージングダメージを低減するためには、同一ウエル内においてＲＩＥ中にゲートが受ける電荷量とウエルが受ける電荷量とが均衡することが好ましい。しかしながら、ゲート上の接続孔の個数が多数で、ゲートが受ける電荷量とウエルが受ける電荷量とが著しく異なるような場合もある。そこで、同一ウエル１１内おいて、ゲート１４上の接続孔の総面積とウエル上（P^+拡散層１９上）のダミー接続孔の総面積とができるだけ等しくなるようにしている。例えば、ゲート１４上の接続孔とP^+拡散層１９上のダミー接続孔の１個あたりの面積が等しい場合には、両者の個数を等しくすればよい。

【００６３】なお、上記第９～第１１の実施形態（埋め込み配線構造に対して本発明を適用した例）では、デュアルダマシン構造の配線に対して説明したが、シングルダマシン構造の配線に対しても適用可能である。

【００６４】また、上記第９～第１１の実施形態では、図１に示した第１の実施形態等に対応して、ＰウエルにＮＭＯＳトランジスタを作製し、ダミー配線をP^+拡散層に接続した例を示したが、図５及び図６に示したような構成を採用することも可能である。

【００６５】また、上記第９～第１１の実施形態では、第１～第８の実施形態とは異なり、必ずしもダミー配線を機能配線の近傍に設ける必要はないが、配線金属を埋め込む際にＲＩＥを用いるような場合には、第１～第８の実施形態と同様、配線加工の際のチャージングダメージの問題が生じ得る。したがって、機能配線とダミー配線との平面的な位置関係について、例えば図９及び図１０に示すような構成を採用してもよい。

【００６６】以上、種々の実施形態について説明したが、本発明はこれらの実施形態に限定されるものではなく、その趣旨を逸脱しない範囲内において種々変形して実施可能である。

【００６７】

【発明の効果】本発明によれば、ＲＩＥ等のプラズマ工程において、ゲートの電位と半導体基板の電位との電位差を小さくすることができる。したがって、ＲＩＥ等のプラズマ工程におけるチャージングダメージを抑制することができ、ゲート絶縁膜の劣化を防止することができる。

【図面の簡単な説明】

【図１】本発明の第１の実施形態の断面構成を示した図。

【図２】本発明の第２の実施形態の断面構成を示した図。

【図３】本発明の第３の実施形態の断面構成を示した図。

【図４】本発明の第４の実施形態の断面構成を示した図。

【図５】本発明の第５の実施形態の断面構成を示した図。

【図６】本発明の第６の実施形態の断面構成を示した図。

【図７】本発明の第７の実施形態の断面構成を示した図。

【図８】本発明の第８の実施形態の断面構成を示した図。

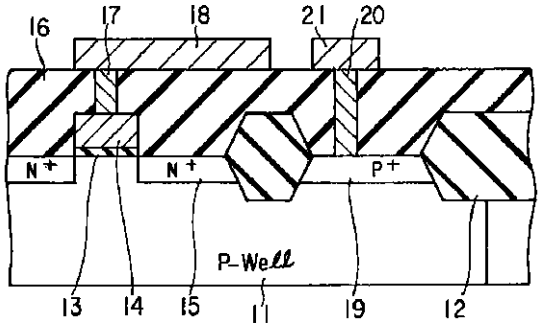
【図９】第１～第７の実施形態で示した機能配線とダミー配線との平面的な位置関係について示した図。

【図１０】第８の実施形態で示した機能配線、ダミー配線及び中間配線の平面的な位置関係について示した図。

【図１１】ＳＲＡＭの回路にダミー配線を適用したときの構成例を示した図。

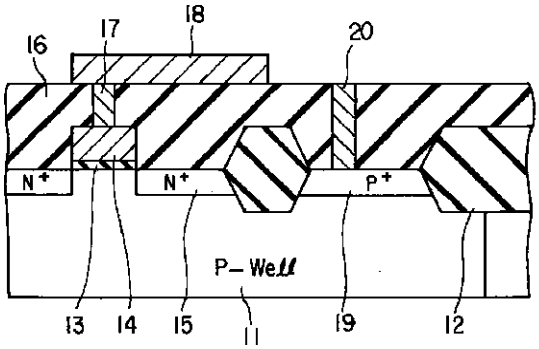
【図１２】マイクロプロセッサの回路にダミー配線を適用したときの構成例を示した図。
【図１３】従来技術の問題点を説明するための図。
【図１４】本発明の第９の実施形態における製造工程の断面構成を示した図。
【図１５】本発明の第１０の実施形態における製造工程の断面構成を示した図。
【図１６】本発明の第１１の実施形態の断面構成を示した図。
【符号の説明】
１１…Ｐウエル（半導体基板）
１１ａ…Ｎウエル（半導体基板）
１２…素子分離絶縁膜
１３…ゲート絶縁膜
１４…ゲート
１５…ソース、ドレイン（不純物拡散層）
１６、３１、６１、７１…層間絶縁膜
＊１７、３２…層間接続機能配線部（第１の機能配線部）
１８、３３…層上機能配線部（第２の機能配線部）
１９…P^+ 不純物拡散層
１９ａ、１９ｂ…N^+ 不純物拡散層
２０、３４…層間接続ダミー配線部（第１のダミー配線部）
２１、３５…層上ダミー配線部（第２のダミー配線部）
２２ａ、２２ｂ…中間配線
６２、７２…接続孔
６３、７３…配線溝
６４、７４…ダミー接続孔
６５、７５…ダミー配線溝
６６、７６…孔内機能配線部（第１の機能配線部）
６７、７７…溝内機能配線部（第２の機能配線部）
６８、７８…孔内ダミー配線部（第１のダミー配線部）
６９、７９…溝内ダミー配線部（第２のダミー配線部）

【図１】

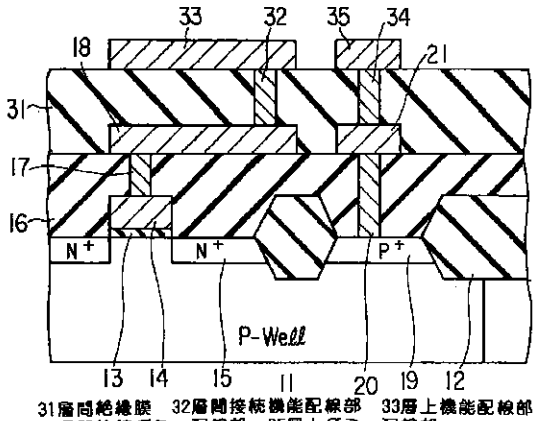


11 Pウエル　12素子分離絶縁膜　13ゲート絶縁膜　14ゲート
15, 19 不純物拡散層　16層間絶縁膜　17層間接続機能配線部
18層上機能配線部　20層間接続ダミー配線部　21層上ダミー配線部

【図２】

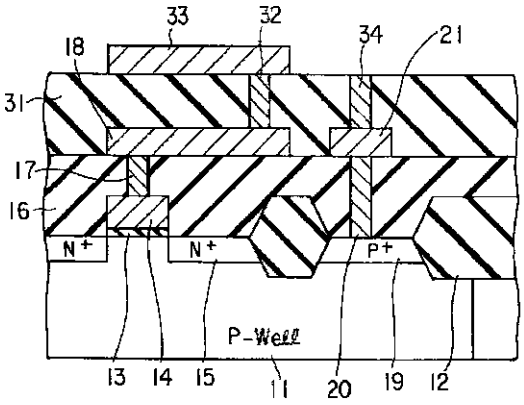


【図３】

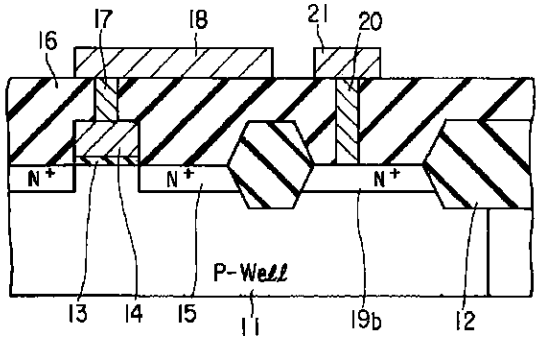


31層間絶縁膜　32層間接続機能配線部　33層上機能配線部
34層間接続ダミー配線部　35層上ダミー配線部

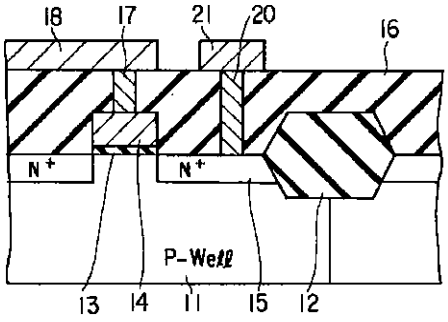
【図４】



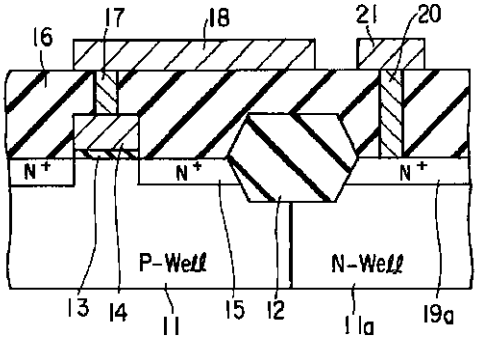
【図５】



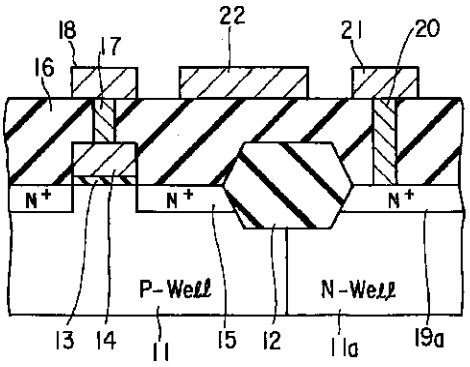
【図６】



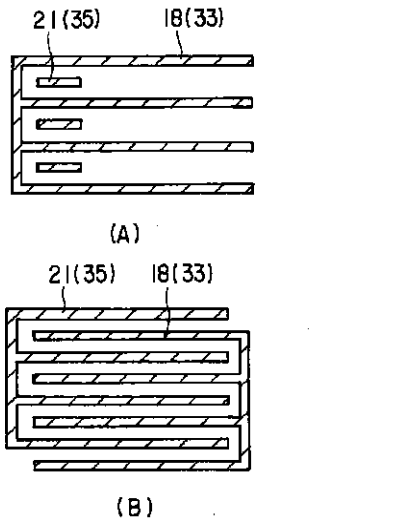
【図７】



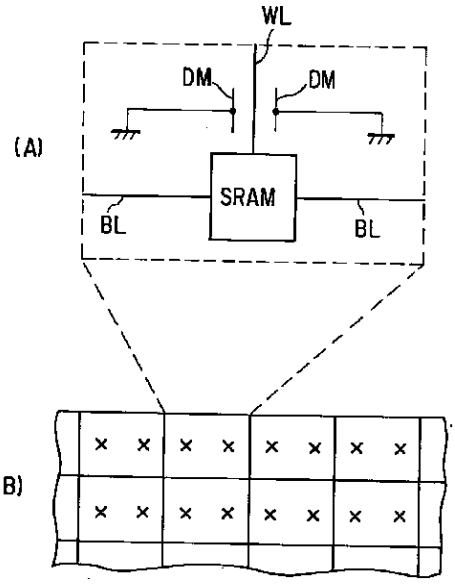
【図８】



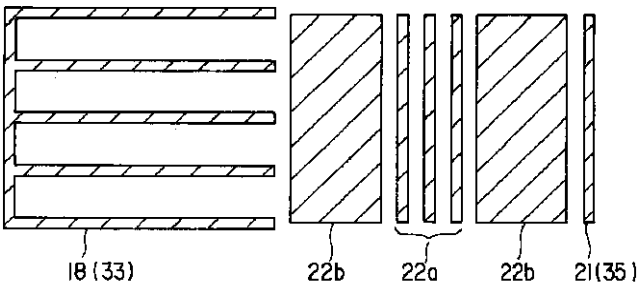
【図９】



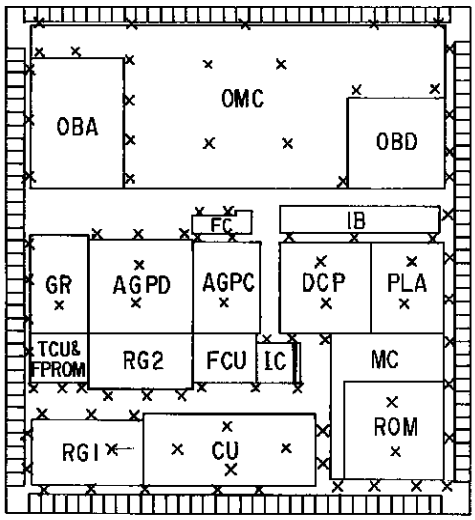
【図１１】



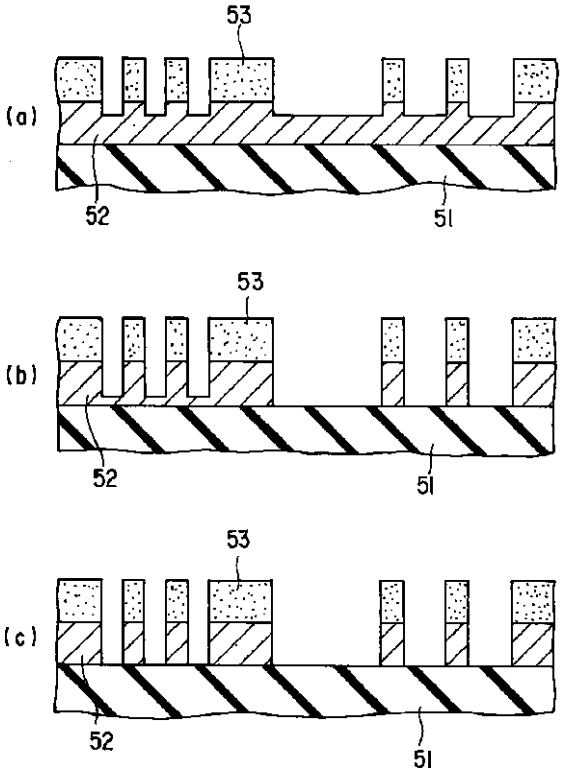
【図１０】



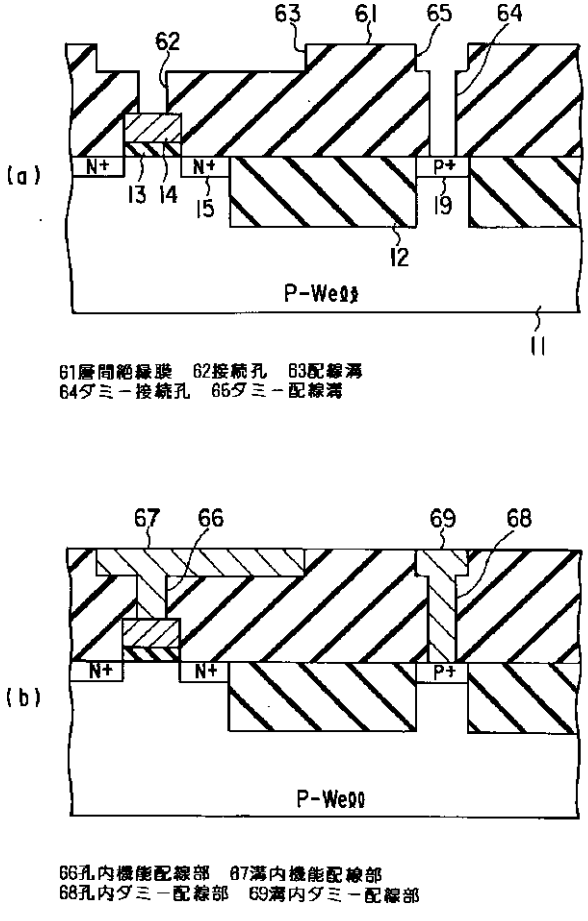
【図１２】



【図１３】



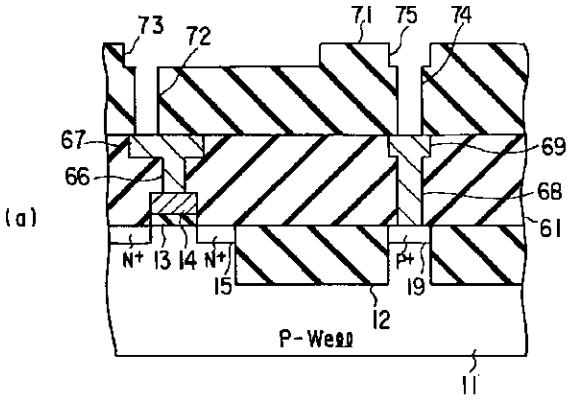
【図１４】



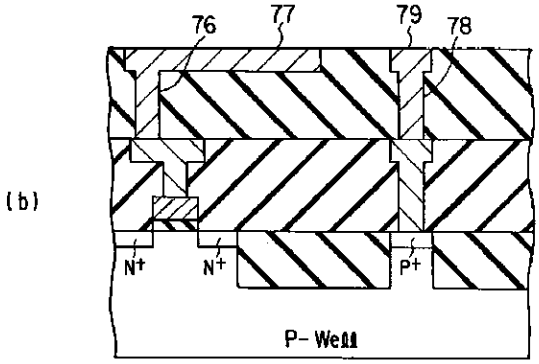
61層間絶縁膜　62接続孔　63配線溝
64ダミー接続孔　65ダミー配線溝

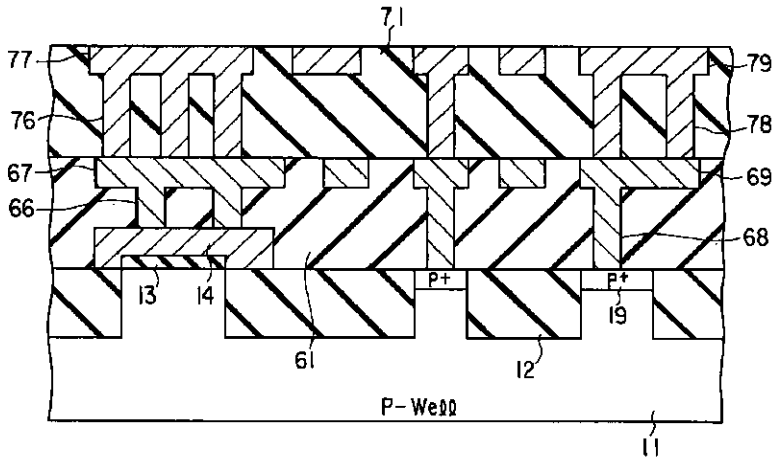
66孔内機能配線部　67溝内機能配線部
68孔内ダミー配線部　69溝内ダミー配線部

【図１５】



71層間絶縁膜　72接続孔　73配線溝
74ダミー接続孔　75ダミー配線溝



76孔内機能配線部　77溝内機能配線部
78孔内ダミー配線部　79溝内ダミー配線部

【図１６】