

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-217914

(P2008-217914A)

(43) 公開日 平成20年9月18日(2008.9.18)

(51) Int.Cl.
G 1 1 C 16/06 (2006.01)F I
G 1 1 C 17/00 6 3 4 F
G 1 1 C 17/00 6 3 3 Dテーマコード (参考)
5 B 1 2 5

審査請求 未請求 請求項の数 5 O L (全 17 頁)

(21) 出願番号 特願2007-55056 (P2007-55056)
(22) 出願日 平成19年3月6日(2007.3.6)(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 110000408
特許業務法人高橋・林アンドパートナーズ
(72) 発明者 中内 孝浩
東京都港区芝浦一丁目1番1号 株式会社
東芝内
(72) 発明者 青木 実
東京都港区芝浦一丁目1番1号 株式会社
東芝内
(72) 発明者 近藤 敏行
東京都港区芝浦一丁目1番1号 株式会社
東芝内

最終頁に続く

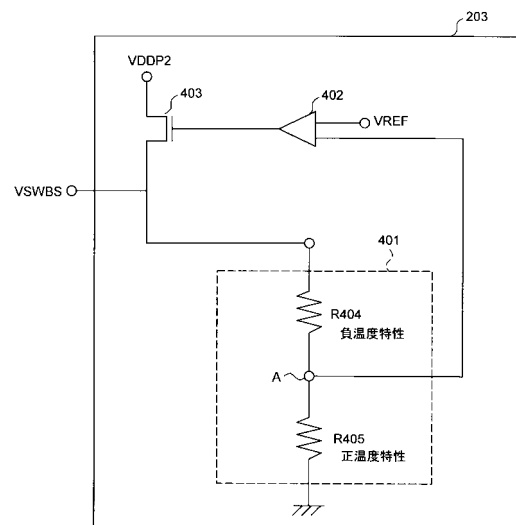
(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】 トンネル酸化膜の劣化量を減少させることができ、かつ、データ消去時間を減少させることができる不揮発性半導体記憶装置を提供すること。

【解決手段】 不揮発性半導体記憶装置100は、トンネル絶縁膜上に電荷蓄積部を有する不揮発性メモリセル201と、温度上昇に伴い抵抗値が減少する負の温度特性の第1の抵抗素子R404と温度上昇に伴い抵抗値が増加する正の温度特性の第2の抵抗素子R405とを直列接続する合成抵抗素子401の合成抵抗値に基づいて書き込み電圧を調整して不揮発性メモリセルのドレイン電極に供給する電圧調整回路203と、を備える。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

トンネル絶縁膜上に電荷蓄積部を有する不揮発性メモリセルと、
温度上昇に伴い抵抗値が減少する負の温度特性の第 1 の抵抗素子と温度上昇に伴い抵抗値が増加する正の温度特性の第 2 の抵抗素子とを直列接続する合成抵抗素子の合成抵抗値に基づいて書き込み電圧を調整して前記不揮発性メモリセルのドレイン電極に供給する電圧調整回路と、
を備えることを特徴とする不揮発性半導体記憶装置。

【請求項 2】

前記電圧調整回路は、レギュレータ回路と電圧供給トランジスタとを有し、
前記レギュレータ回路は、
前記第 1 の抵抗素子と前記第 2 の抵抗素子とを直列接続する合成抵抗素子の合成抵抗値に基づいて調整した調整電圧を前記電圧供給トランジスタのゲート電極に供給し、
前記電圧供給トランジスタは、
前記コントロールゲート電極に供給されるレギュレータ回路からの前記調整電圧に基づいてドレイン電極に供給される前記書き込み電圧を調整して前記不揮発性メモリセルの前記ドレイン電極に供給することを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】

前記レギュレータ回路は、
入力端子の 1 つに基準電圧が入力され、前記入力端子の他のものに前記合成抵抗素子における前記第 1 及び第 2 の抵抗素子のノードからの電圧が入力されるオペアンプと、
ドレイン電極に入力される電圧及びコントロールゲート電極に入力される前記オペアンプの出力電圧に基づいて前記電圧供給トランジスタのゲート電極に電圧を供給するトランジスタと、
を備えることを特徴とする請求項 2 記載の不揮発性半導体記憶装置。

【請求項 4】

トンネル絶縁膜上に電荷蓄積部を有する不揮発性メモリセルと、
温度上昇に伴い抵抗値が減少する負の温度特性の第 1 の抵抗素子と温度上昇に伴い抵抗値が増加する正の温度特性の第 2 の抵抗素子とを直列接続する合成抵抗素子の合成抵抗値に基づいてゲート電圧を調整して前記不揮発性メモリセルのゲート電極に供給する電圧調整回路と、
を備えることを特徴とする不揮発性半導体記憶装置。

【請求項 5】

前記電圧調整回路は、
前記第 1 の抵抗素子と前記第 2 の抵抗素子とを直列接続する前記合成抵抗素子の合成抵抗値に基づいて前記不揮発性メモリセルの前記ゲート電極の前記ゲート電圧を調整するレギュレータ回路を有し、
前記レギュレータ回路は、
入力端子の 1 つに基準電圧が入力され、前記入力端子の他のものに前記合成抵抗素子における前記第 1 及び第 2 の抵抗素子のノードからの電圧が入力されるオペアンプと、
ドレイン電極に入力される電圧及びコントロールゲート電極に入力される前記オペアンプの出力電圧に基づいて前記不揮発性メモリセルの前記ゲート電極に電圧を供給するトランジスタと、
を備えることを特徴とする請求項 4 記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、不揮発性半導体記憶装置に関し、特に H C I (Hot Carrier Injection: ホットキャリア注入) 方式を用いてデータの書き込みを行う不揮発性半導体記憶装置に関する。

【背景技術】

【0002】

H C I 方式を用いる不揮発性半導体記憶装置において、メモリセルに対して、レギュレータ回路により調整された温度変化に対して一定電圧となるような書き込み（P r o g r a m）電圧を供給するものがある。

【0003】

このような不揮発性半導体記憶装置においては、メモリセルの微細化が進み、ゲート長がシュリンク（S h r i n k）されると、ドレイン電圧が世代と共に変わらない場合には、ドレイン拡散層の電界は高くなり、メモリセルのフローティングゲート電極（電荷蓄積層）へ注入されるH C I 量が増加する。この場合、書き込み（P r o g r a m）特性は良くなるが、H C I 量が大きくなるためトンネル酸化膜の劣化量が増加する。その結果、基板とコントロールゲート電極（制御電極）に高電圧を与えてトンネル消去する消去（E r a s e）方式によりデータ消去動作を行う場合、データの消去時間は増加する。すなわち、酸化膜の劣化はH C I 量と相関があるため、書き込み特性が良い場合には、電子のトラップ量が増加するので消去時間の増加に繋がる。特に、この消去時間の増加は、書き込み及び消去回数が増加するに従って顕著に現れる。

10

【0004】

一方、H C I 量を低下する方法として、書き込みが可能な限りにドレイン電圧を低下させる方法がある。しかし、この方法を用いた場合でも、書き込み時の温度領域、つまり、高温から低温のすべてを満足するようなH C I 量にすることは難しい。具体的には、例えば85℃の高温時（H T）のH C I 量は、酸化膜劣化を生じない程度のH C I 量であるが、-40℃の低温時（L T）のH C I 量は、高温時よりも増加する。

20

【0005】

また、温度検出回路を備えた不揮発性半導体記憶装置については、例えば下記特許文献1乃至特許文献3に記載がある。

【特許文献1】特開2002-184192号公報

【特許文献2】特開2002-215258号公報

【特許文献3】特開2006-65945号公報

【発明の開示】

【発明が解決しようとする課題】

30

【0006】

本発明は、トンネル酸化膜の劣化量を減少させることができ、かつ、データ消去時間を減少させることができる不揮発性半導体記憶装置を提供する。

【課題を解決するための手段】

【0007】

本発明の第1の態様は、不揮発性半導体記憶装置において、トンネル絶縁膜上に電荷蓄積部を有する不揮発性メモリセルと、温度上昇に伴い抵抗値が減少する負の温度特性の第1の抵抗素子と温度上昇に伴い抵抗値が増加する正の温度特性の第2の抵抗素子とを直列接続する合成抵抗素子の合成抵抗値に基づいて書き込み電圧を調整して不揮発性メモリセルのドレイン電極に供給する電圧調整回路と、を備える。

40

【0008】

本発明の第2の態様は、不揮発性半導体記憶装置において、トンネル絶縁膜上に電荷蓄積部を有する不揮発性メモリセルと、温度上昇に伴い抵抗値が減少する負の温度特性の第1の抵抗素子と温度上昇に伴い抵抗値が増加する正の温度特性の第2の抵抗素子とを直列接続する合成抵抗素子の合成抵抗値に基づいてゲート電圧を調整して不揮発性メモリセルのコントロールゲート電極に供給する電圧調整回路と、を備える。

【発明の効果】

【0009】

本発明の一実施形態によれば、温度上昇に伴い抵抗値が減少する負の温度特性の第1の抵抗素子と温度上昇に伴い抵抗値が増加する正の温度特性の第2の抵抗素子とを直列接続す

50

る合成抵抗素子の合成抵抗値に基づいて書き込み電圧を調整するため、トンネル酸化膜の劣化量を減少させることができ、かつ、データ消去時間を減少させることができる。

【発明を実施するための最良の形態】

【0010】

以下、本発明の実施の形態について、図面を参照して詳細に説明する。本実施の形態は、本発明をNOR型フラッシュメモリ装置（NOR型EEPROM）に適用した例を示すものである。なお、本発明は、これらの実施の形態に限定されるものではない。

【0011】

（実施の形態1）

図1は、本発明の実施の形態1に係るNOR型フラッシュメモリ装置（不揮発性半導体記憶装置）100の構成を示すブロック図である。図1に示すように、NOR型フラッシュメモリ装置100は、メモリセルアレイ101、電源回路102、主制御回路103、ロウデコーダ104、カラムデコーダ105、書込読出部106、電圧調整回路107、インターフェイス回路108及びデータレジスタ109を具備している。

10

【0012】

メモリセルアレイ101は、ビット線とワード線との交差部に配置される電氣的に書き換え可能な複数の（不揮発性）メモリセルを有している。これらのメモリセルは、行列状に配列されている。

【0013】

電源回路102は、主制御回路103、ロウデコーダ104、カラムデコーダ105、書込読出部106、電圧調整回路107、インターフェイス回路108及びデータレジスタ109に接続され、これらに電力を供給している。

20

【0014】

主制御回路103は、インターフェイス回路108からの制御信号に基づいて、電源回路102、ロウデコーダ104、カラムデコーダ105、書込読出部106及びデータレジスタ109を制御する。

【0015】

主制御回路103は、ロウデコーダ104及びカラムデコーダ105にメモリセルアレイ101のメモリセルに対するアクセス情報を与える。ロウデコーダ104及びカラムデコーダ105は、このアクセス情報及びデータに基づいて書込読出部106を制御してメモリセルに対してデータの読出、書込又は消去を行う。

30

【0016】

電圧調整回路107は、温度変化に応じてHCI量がほぼ一定になるように書き込み電圧を調整してメモリセルアレイ101のメモリセルへ供給する。

【0017】

インターフェイス回路108は、外部機器とデータ及び制御信号（メモリセルへのアクセス情報等）の送受信を行う。インターフェイス回路108は、外部機器からのデータ及び制御信号を受けて所定の処理をして主制御回路103及びデータレジスタ109に与える。

【0018】

図2は、本実施の形態1に係るNOR型フラッシュメモリ装置100の一部を示す回路図である。メモリセルアレイ101は、複数のメモリセル201及び複数のカラムゲートトランジスタ（Column Gate Transistor）202を具備している。メモリセルアレイ101は、抵抗R2（配線抵抗または制御トランジスタ（カラムゲートトランジスタ202及び電圧供給トランジスタ204）の寄生抵抗）を介して電圧調整回路107に接続されている。図2においては、1つのメモリセル201及びカラムゲートトランジスタ202のみが示されている。電圧調整回路107は、レギュレータ回路203及び複数の電圧供給トランジスタ204を具備している。レギュレータ回路203の出力端子（VSWBS）は、複数の電圧供給トランジスタ204のゲート電極にそれぞれ接続されている。電圧調整回路107は、レギュレータ回路203の合成抵抗素子の合成抵抗値に基づいて電圧供給

40

50

トランジスタ 204 に供給されるビット線からの書き込み電圧を調整して、カラムゲートトランジスタ 202 を介してメモリセル 201 のドレイン電極に供給する。

【0019】

メモリセル 201 のドレイン電極は、抵抗 R1（配線抵抗または制御トランジスタ（カラムゲートトランジスタ 202）の寄生抵抗）を介してカラムゲートトランジスタ 202 のソース電極に接続されている。メモリセル 201 のゲート電極にはワード線（WL）が電氣的に接続され、メモリセル 201 のソース電極は接地されている。

【0020】

具体的には、図 3 に示すように、メモリセル 201 は、実用的には、フローティングゲート電極（電荷蓄積部）301 及びコントロール電極（制御電極）302 を有する導電型電界効果トランジスタで構成される。フローティングゲート電極部 301 は、多結晶シリコン（ポリシリコン）で構成され、基板（sub）上にトンネル絶縁膜 303 を介在して配設されている。コントロールゲート電極 302 は、多結晶シリコン（ポリシリコン）とシリサイド層（例えば WSi_2 ）で構成され、フローティングゲート電極 301 上に絶縁膜 304 を介在して配設されている。ビット線は、電圧調整回路 107 を介してメモリセル 201 のドレイン領域（D）に接続されている。メモリセル 201 のソース領域（S）には、ソース線（基準電源 V_{ss} ）が接続されている。メモリセル 201 のドレイン領域及びソース領域は拡散層で構成される。

【0021】

カラムゲートトランジスタ 202 のコントロールゲート電極には選択ゲート線が電氣的に接続され、カラムゲートトランジスタ 202 のソース電極は抵抗 R1（配線抵抗または制御トランジスタの寄生抵抗）を介してメモリセル 201 のドレイン電極に接続されている。カラムゲートトランジスタ 202 のドレイン電極は、抵抗 R2（配線抵抗または制御トランジスタのチャネル寄生抵抗）を介して電圧供給トランジスタのソース電極に接続されている。カラムゲートトランジスタ 202 は、コントロールゲート電極への印加電圧に基づいて、書き込み、読み出し及び消去電圧をメモリセル 201 のドレイン電極に供給する。

【0022】

レギュレータ回路 203 の 2 つの入力端子は、電源回路 102 とそれぞれ接続されている。レギュレータ回路 203 の入力端子の 1 つには電圧（ V_{DDP2} ）が入力され、レギュレータ回路 203 の入力端子の他のものには基準電圧（ V_{REF} ）が入力される。また、レギュレータ回路 203 の出力端子（ V_{SWBS} ）は、電圧供給トランジスタ 204 のコントロールゲート電極に接続されている。また、レギュレータ回路 203 の一端は、接地されている。

【0023】

電圧供給トランジスタ 204 のドレイン電極はビット線（BL）に接続され、電圧供給トランジスタ 204 のゲート電極はレギュレータ回路 203 の出力端子（ V_{SWBS} ）に接続されている。電圧供給トランジスタ 204 のソース電極は、抵抗 R2（配線抵抗または制御トランジスタのチャネル寄生抵抗）を介してカラムゲートトランジスタ 202 のドレイン電極に接続されている。

【0024】

次に、レギュレータ回路 203 について、図 4 を用いて説明する。図 4 は、レギュレータ回路 203 を示す回路図である。レギュレータ回路 203 は、合成抵抗素子 401、オペアンプ 402 及びトランジスタ 403 を具備している。レギュレータ回路 203 は、温度変化に応じてメモリセル 201 のフローティングゲート電極（電荷蓄積部）への HCI 量がほぼ一定になるように書き込み電圧を調整する。

【0025】

合成抵抗素子 401 は、第 1 の抵抗素子 R404 及び第 2 の抵抗素子 R405 を具備している。第 1 の抵抗素子 R404 と第 2 の抵抗素子 R405 とは直列に接続され合成抵抗素子 401 を構成している。合成抵抗素子 401 の一端は、レギュレータ回路 203 の出力

端子（VSWBS）を介して電圧供給トランジスタ204に接続され、合成抵抗素子401の他端は接地されている。

【0026】

具体的には、第1の抵抗素子R404の一端は、レギュレータ回路203の出力端子（VSWBS）を介して電圧供給トランジスタ204に接続され、かつ、トランジスタ403のソース電極に接続されている。第1の抵抗素子R404と第2の抵抗素子R405とは直列に接続されている。第2の抵抗素子R405の他端は、接地されている。第1の抵抗素子R404と第2の抵抗素子R405のノードAは、オペアンプ402の入力端子の1つに接続されている。

【0027】

合成抵抗素子401において、第1の抵抗素子R404は、温度上昇に伴い抵抗値が減少する負の温度特性を有している。第1の抵抗素子R404は、例えば、ポリシリコン抵抗素子（例えば、N型ポリシリコン抵抗素子）で構成される。一方、第2の抵抗素子R405は、温度上昇に伴い抵抗値が増加する正の温度特性を有している。例えば、拡散層抵抗素子（例えば、N型拡散層抵抗素子やP型拡散層抵抗素子）で構成される。

【0028】

オペアンプ402の入力端子の1つは、合成抵抗素子401における第1の抵抗素子R404と第2の抵抗素子R405のノードAと接続されている。オペアンプ402の入力端子の他のものは、電源回路102と接続されている。オペアンプ402の入力端子の1つには第1の抵抗素子R404と第2の抵抗素子R405のノードAからの出力電圧が入力され、オペアンプ402の入力端子の他のものには電源回路102からの基準電圧（VREF）が入力される。このオペアンプ402は、第1の抵抗素子R404と第2の抵抗素子R405のノードAからの出力電圧及び電源回路102からの基準電圧に基づいて、一定電圧をトランジスタ403のゲート電極に供給する。

【0029】

トランジスタ403のドレイン電極は電源回路102に接続され、電圧（VDDP2）を受ける。トランジスタ403のゲート電極はオペアンプ402の出力端子に接続され、トランジスタ403のソース電極はレギュレータ回路203の出力端子（VSWBS）に接続されている。このトランジスタ403は、ドレイン電極に入力される電圧（VDDP2）及びゲート電極に入力されるオペアンプ402の出力電圧によりON状態となり、電圧供給トランジスタ204のゲート電極及び合成抵抗素子401に電圧を供給する。

【0030】

次に、合成抵抗素子401の電流－電圧特性について、図5を用いて説明する。図5は、合成抵抗素子401のノードAにおける第1の抵抗素子R404及び第2の抵抗素子R405の電流－電圧特性を示す図である。この場合に、第1の抵抗素子R404はポリシリコン抵抗素子で構成され、かつ、第2の抵抗素子R405は拡散層抵抗素子で構成されている。

【0031】

図5に示す実線501はポリシリコン抵抗素子R404の低温時（LT）の電流－電圧特性を示し、実線502は拡散層抵抗素子R405の低温時の電流－電圧特性を示している。また、一点鎖線503はポリシリコン抵抗素子R404の高温時（HT）の電流－電圧特性を示し、一点鎖線504は拡散層抵抗素子R405の高温時の電流－電圧特性を示している。

【0032】

低温の場合、実線501に示すように、ポリシリコン抵抗素子R404は、温度上昇に伴い抵抗値が減少する負の温度特性を有しているので、印加される電圧が大きくなると電流は小さくなる。一方、実線502で示すように、拡散層抵抗素子R405は、温度上昇に伴い抵抗値が増加する正の温度特性を有しているので、印加される電圧が大きくなると電流は大きくなる。そして、ポリシリコン抵抗素子R404と拡散層抵抗素子R405が直列接続され合成抵抗素子401となることにより、合成抵抗素子401の合成抵抗値は互

いの抵抗素子の抵抗値の中間値となる。具体的には、ポリシリコン抵抗素子 R 4 0 4 と拡散層抵抗素子 R 4 0 5 のノード A における低温時の電流－電圧特性は、実線 5 0 1 及び 5 0 2 の動作点（交点） 5 0 5 で示される。

【0033】

また、高温の場合、一点鎖線 5 0 3 に示すように、ポリシリコン抵抗素子 R 4 0 4 は、温度上昇に伴い抵抗値が減少する負の温度特性を有しているので、印加される電圧が大きくなると電流は小さくなる。一点鎖線 5 0 4 で示すように、拡散層抵抗素子 R 4 0 5 は、温度上昇に伴い抵抗値が増加する正の温度特性を有しているので、印加される電圧が大きくなると電流は大きくなる。そして、ポリシリコン抵抗素子 R 4 0 4 と拡散層抵抗素子 R 4 0 5 とが直列に接続されて合成抵抗素子 4 0 1 となることにより、この合成抵抗素子 4 0 1 の合成抵抗値は互いの抵抗素子の抵抗値の中間値となる。具体的には、ポリシリコン抵抗素子 R 4 0 4 と拡散層抵抗素子 R 4 0 5 のノード A における低温時の電流－電圧特性は、一点鎖線 5 0 3 及び 5 0 4 の動作点（交点） 5 0 6 で示される。

【0034】

そして、レギュレータ回路 2 0 3 は、ポリシリコン抵抗素子 R 4 0 4 と拡散層抵抗素子 R 4 0 5 とを直列接続する合成抵抗素子 4 0 1 の合成抵抗値に基づいて調整した調整電圧を、出力端子（VSWBS）に供給する。例えば、低温時には図 5 に示す交点 5 0 5 からの矢印で示す電圧（VSWBS_LT）が調整電圧となり、高温時には図 5 に示す交点 5 0 6 からの矢印で示す電圧（VSWBS_HT）が調整電圧となる。この調整電圧は、本実施の形態に係る先行技術であるレギュレータ回路から供給される一定電圧とは異なり、温度特性を有してい

【0035】

そして、カラムゲートトランジスタ 2 0 2 で選択されたメモリセル 2 0 1 のドレイン電極に供給される電圧（ドレイン電圧）は、図 6 に示すように、本実施の形態に係る先行技術と比較した場合、逆の温度－電圧特性を持つことになる。具体的には、図 6（A）に示すように、本発明に係る先行技術のレギュレータ回路を用いた場合、メモリセルの低温時のドレイン電圧（Vd2_cell_LT）は、高温時のドレイン電圧（Vd__cell_HT）より大きい。一方、図 6（B）に示すように、本実施の形態 1 に係るレギュレータ回路 1 0 7 を用いた場合、メモリセル 2 0 1 の低温時のドレイン電圧（Vd2_cell_LT）は、高温時のドレイン電圧（Vd__cell_HT）より小さい。

【0036】

その結果、図 7 の電流－電圧（I d－V d）特性図に示すように、低温時のメモリセル 2 0 1 へのドレイン電圧を高温時とほぼ同じ電圧か、又はそれ以下の電圧とすることができるので、低温時の書き込み電流（I p r o g _ L T）を小さくすることができる。すなわち、低温時の H C I 量は、温度変化があった場合でも、高温時の H C I 量とほぼ一定となるので、トンネル酸化膜の劣化量を減少させることができる。

【0037】

次に、上述した構成を有する N O R 型フラッシュメモリ装置 1 0 0 の書き込み動作について説明する。

【0038】

電圧供給トランジスタ 2 0 4 のドレイン電極に印加されるビット線からの書き込み電圧（VDDP）は、負の温度特性の第 1 の抵抗素子 R 4 0 4 と正の温度特性の第 2 の抵抗素子 R 4 0 5 とを直列接続する合成抵抗素子 4 0 1 の合成抵抗値に基づいて調整された調整電圧が電圧供給トランジスタ 2 0 4 のコントロールゲート電極に印加されることにより調整される。この調整された書き込み電圧は、温度特性を有する書き込み電圧であり、高温時に比べて低温時の方が小さい。

【0039】

電圧供給トランジスタ 2 0 4 から出力される調整後の書き込み電圧は、抵抗 R 2（配線抵抗及び制御トランジスタのチャネル抵抗）を介してカラムゲートトランジスタ 2 0 2 のドレイン電極に入力される。カラムゲートトランジスタ 2 0 2 は、ゲート電極に供給される

電圧によりON状態となり、抵抗素子R1を介してメモリセル201のドレイン電極に調整後の書き込み電圧を供給する。

【0040】

そして、メモリセル201のドレイン電極に供給される調整後の書き込み電圧とワード線に供給されるゲート電圧(Vg)とにより、チャンネル領域とワード線との間に高電圧が発生し、チャンネル領域からトンネル絶縁膜を通してフローティングゲート電極(電荷蓄積部)にデータとしての電子が注入され、データが書き込まれる。

【0041】

このように、本実施の形態1に係る不揮発性半導体記憶装置100は、トンネル絶縁膜上に電荷蓄積部を有する不揮発性メモリセル201と、温度上昇に伴い抵抗値が減少する負の温度特性の第1の抵抗素子R404と温度上昇に伴い抵抗値が増加する正の温度特性の第2の抵抗素子R405とを直列接続する合成抵抗素子401の合成抵抗値に基づいてビット線からの書き込み電圧を調整して不揮発性メモリセル201のドレイン電極に供給する電圧調整回路107と、を備える。

【0042】

その結果、本実施の形態1によれば、温度変化があった場合でもメモリセルの電荷蓄積部に注入されるHCI量がほぼ一定となるように書き込み電圧が調整されてメモリセルのドレイン電極に供給されるので、トンネル酸化膜の劣化量を減少させることができ、かつ、データ消去時間を減少させることができる。

【0043】

また、本実施の形態1によれば、メモリセルのソース領域及びドレイン領域を構成する拡散層により第1の抵抗素子を構成することができるので、同一の製造工程において製造することができる。さらに、本実施の形態1によれば、メモリセルのフローティングゲート電極(電荷蓄積部)及びコントロールゲート電極を構成するポリシリコンにより第2の抵抗素子を構成することができるので、同一の製造工程において製造することができる。

【0044】

(実施の形態2)

上述の実施の形態1では、温度調整回路は、温度変化に応じて不揮発性メモリセルのドレイン電極へ供給される書き込み電圧を調整した。本発明の実施の形態2では、温度調整回路は、温度変化に応じて不揮発性メモリセルのコントロールゲート電極へ供給されるゲート電圧を調整する。

【0045】

図8は、本発明の実施の形態2に係るNOR型フラッシュメモリ装置(不揮発性半導体記憶装置)1000の構成を示すブロック図である。図8に示すNOR型フラッシュメモリ装置1000は、メモリセルアレイ101、電源回路102、主制御回路103、ロウデコーダ104、カラムデコーダ105、書込読出部106、インターフェイス回路108、データレジスタ109、電圧供給回路1001及び電圧調整回路1002を具備している。なお、図8に示すNOR型フラッシュメモリ装置1000において、図1のNOR型フラッシュメモリ装置100と同じ構成については同じ符号を付し、それらの説明を省略する。

【0046】

ロウデコーダ104は、主制御回路103からのアクセス情報に基づいて書込制御部106を制御してメモリセルに対してデータの読出又は消去を行う。また、ロウデコーダ104は、主制御回路103からのアクセス情報に基づいて、電圧調整回路1001にメモリセルのコントロールゲート電極へゲート電圧を供給する。

【0047】

電圧供給回路1001は、電源回路102からの電圧を受けて、温度変化に対して一定電圧となる書き込み電圧を生成して、メモリセルアレイ101のメモリセルへ供給する。

【0048】

電圧調整回路1002は、ロウデコーダ104からのゲート電圧を受けて、温度変化に応

じてH C I 量がほぼ一定になるようにゲート電圧を調整して、メモリセルアレイ 1 0 1 のメモリセルへ供給する。

【0049】

図9は、本実施の形態2に係るNOR型フラッシュメモリ装置1000の一部を示す回路図である。図9に示すNOR型フラッシュメモリ装置1000において、図2に示すNOR型フラッシュメモリ装置100と同じ構成については同じ符号を付し、それらの説明を省略する。

【0050】

メモリセルアレイ101は、複数のメモリセル201及び複数のカラムゲートトランジスタ202を具備している。メモリセルアレイ101の一端は抵抗素子R2を介して電圧供給回路1001に接続され、メモリセルアレイ101の他端は電圧調整回路1002に接続されている。図9においては、1つのメモリセル201及びカラムゲートトランジスタ202のみが示されている。電圧供給回路1001は、レギュレータ回路1100及び複数の電圧供給トランジスタ204を具備している。レギュレータ回路1100の出力端子(VSWBS2)は、複数の電圧供給トランジスタ204のコントロールゲート電極にそれぞれ接続されている。図9においては、1つの電圧供給トランジスタ204のみが示されている。電圧調整回路1002は、例えば、レギュレータ回路1101により構成される。このレギュレータ回路1101の合成抵抗素子の合成抵抗値に基づいてロウデコーダ104から供給されるゲート電圧を調整して、メモリセル201のコントロールゲート電極に供給する。

【0051】

メモリセル201のドレイン電極は、抵抗R1(配線抵抗及び制御トランジスタ(カラムゲートトランジスタ202)のチャネル寄生抵抗)を介してカラムゲートトランジスタ202のソース電極に接続されている。メモリセル201のコントロールゲート電極は、レギュレータ回路1101の出力端子(VSWBS3)に接続され、メモリセル201のソース電極は接地されている。

【0052】

レギュレータ回路1100の入力端子は電源回路102と接続され、電圧(VDDP2)を受ける。また、レギュレータ回路1100の出力端子(VSWBS2)は電圧供給トランジスタ204のコントロールゲート電極に接続されている。また、レギュレータ回路1100の一端は、接地されている。

【0053】

電圧供給トランジスタ204のドレイン電極はビット線(BL)に接続され、電圧供給トランジスタ204のコントロールゲート電極はレギュレータ回路1100の出力端子(VSWBS2)に接続されている。電圧供給トランジスタ204のソース電極は、抵抗R2(配線抵抗及び制御トランジスタ(電圧供給トランジスタ204及びカラムゲートトランジスタ202)のチャネル寄生抵抗)を介してカラムゲートトランジスタ202のドレイン電極に接続されている。

【0054】

レギュレータ回路1101の2つの入力端子の1つはワード線を介してロウデコーダ104に接続され、レギュレータ回路1101の入力端子の他のものは電源回路102に接続されている。また、レギュレータ回路1101の出力端子(VSWBS3)は、メモリセル201のコントロールゲート電極に接続されている。また、レギュレータ回路1101の一端は、接地されている。レギュレータ回路1101の入力端子の1つには、ロウデコーダ104からのメモリセル201のコントロールゲート電極へのゲート電圧(Vg)が入力される。レギュレータ回路1101の入力端子の他のものには、電源回路102からの基準電圧(VREF)が入力される。

【0055】

次に、レギュレータ回路1101について、図10を用いて説明する。図10は、レギュレータ回路1101を示す回路図である。レギュレータ回路1101は、合成抵抗素子4

01、オペアンプ402及びトランジスタ403を具備している。レギュレータ回路1101は、温度変化に応じてメモリセル201のフローティングゲート電極（電荷蓄積部）へのHCI量がほぼ一定になるようにゲート電圧を調整する。なお、図10に示すレギュレータ回路1101において、図4に示すレギュレータ回路203と同じ構成については同じ符号を付し、それらの説明を省略する。

【0056】

合成抵抗素子401は、第1の抵抗素子R404及び第2の抵抗素子R405を具備している。第1の抵抗素子R404と第2の抵抗素子R405とは直列に接続され合成抵抗素子401を構成している。合成抵抗素子401の一端はレギュレータ回路1101の出力端子（VSWBS3）を介してメモリセル201のコントロールゲート電極に接続され、合成抵抗素子401の他端は接地されている。

10

【0057】

具体的には、第1の抵抗素子R404の一端は、レギュレータ回路1101の出力端子（VSWBS3）を介してメモリセル201のコントロールゲート電極に接続され、かつ、トランジスタ403のソース電極に接続されている。第1の抵抗素子R404と第2の抵抗素子R405とは直列に接続されている。第2の抵抗素子R405の他端は、接地されている。第1の抵抗素子R404と第2の抵抗素子R405のノードAは、オペアンプ402の入力端子の1つに接続されている。

【0058】

オペアンプ402の入力端子の1つは、合成抵抗素子401における第1の抵抗素子R404と第2の抵抗素子R405のノードAと接続されている。オペアンプ402の入力端子の他のものは、電源回路102と接続されている。オペアンプ402の入力端子の1つには第1の抵抗素子R404と第2の抵抗素子R405のノードAからの出力電圧が入力され、オペアンプ402の入力端子の他のものには電源回路102からの基準電圧（VREF）が入力される。このオペアンプ402は、第1の抵抗素子R404と第2の抵抗素子R405のノードAからの出力電圧及び電源回路102からの基準電圧に基づいて、一定電圧をトランジスタ403のコントロールゲート電極に供給する。

20

【0059】

トランジスタ403のドレイン電極はロウデコーダ104に接続され、ゲート電圧（Vg）を受ける。トランジスタ403のコントロールゲート電極はオペアンプ402の出力端子に接続され、トランジスタ1200のソース電極はレギュレータ回路1101の出力端子（VSWBS3）に接続されている。このトランジスタ403は、ドレイン電極に入力されるゲート電圧（Vg）及びコントロールゲート電極に入力されるオペアンプ402の出力電圧によりON状態となり、合成抵抗素子401に電圧を供給する。

30

【0060】

そして、レギュレータ回路1101は、第1の抵抗素子R404と第2の抵抗素子R405とを直列接続する合成抵抗素子401の合成抵抗値に基づいて調整した調整電圧を、出力端子（VSWBS3）に供給する。例えば、低温時には図5に示す交点505からの矢印で示す電圧（VSWBS__HT）が調整電圧となり、低温時には図5に示す交点506からの矢印で示す電圧（VSWBS__LT）が調整電圧となる。この調整電圧は、本実施の形態に係る先行技術のレギュレータ回路から供給される一定電圧とは異なり、温度特性を有している。

40

【0061】

その結果、メモリセル201のコントロールゲート電極に供給される調整後のゲート電圧は、図11に示すように、本実施の形態に係る先行技術と比較した場合、逆の温度－電圧特性を持つことになる。具体的には、図11（A）に示すように、本実施の形態に係る先行技術のレギュレータ回路を用いた場合、メモリセルの低温時のゲート電圧（Vg2__cell__LT）は、高温時のゲート電圧（Vg__cell__HT）より大きい。一方、図11（B）に示すように、本実施の形態2に係るレギュレータ回路1101を用いた場合、メモリセル201の低温時のゲート電圧（Vg2__cell__LT）は、高温時のゲート電圧（Vg__cell__HT）より小さい。

50

ト電圧 ($V_{g_cell_HT}$) より小さい。

【0062】

その結果、図12の電流－電圧 ($I_g - V_g$) 特性図に示すように、低温時のメモリセル201へのゲート電圧を高温時とほぼ同じ電圧か、又はそれ以下の電圧とすることができるので、低温時の書き込み電流 (I_{prog_LT}) を、従来と比べて小さくすることができる。すなわち、低温時のHCI量は、温度変化があった場合でも、高温時のHCI量とほぼ一定となるので、トンネル酸化膜の劣化量を減少させることができる。

【0063】

次に、上述した構成を有するNOR型フラッシュメモリ装置1000の書き込み動作について説明する。

10

【0064】

レギュレータ回路1100から出力される一定電圧により、電圧供給トランジスタ204はON状態となり、ドレイン電極に印加されるビット線からの書き込み電圧 (V_{DDP}) を、抵抗素子R1を介してカラムゲートトランジスタ202のドレイン電極に出力する。カラムゲートトランジスタ202は、コントロールゲート電極に供給される電圧によりON状態となり、抵抗素子R1を介してメモリセル201のドレイン電極に書き込み電圧を供給する。

【0065】

メモリセル201のコントロールゲート電極には、負の温度特性の第1の抵抗素子R404と正の温度特性の第2の抵抗素子R405とを直列接続する合成抵抗素子401の合成抵抗値に基づいて調整されたゲート電圧がレギュレータ回路1101から入力される。この調整後のゲート電圧は、温度特性を有するゲート電圧であり、高温時に比べて低温時の方が小さい電圧となる。

20

【0066】

そして、メモリセル201のドレイン電極に入力される書き込み電圧は、コントロールゲート電極に入力される調整後のゲート電圧により調整され、チャネル領域とワード線との間に高電圧が発生し、チャネル領域からトンネル絶縁膜を通してフローティングゲート電極 (電荷蓄積部) にデータとしての電子が注入され、データが書き込まれる。

【0067】

このように、本実施の形態2に係る不揮発性半導体記憶装置は、トンネル絶縁膜上に電荷蓄積部を有する不揮発性メモリセルと、温度上昇に伴い抵抗値が減少する負の温度特性の第1の抵抗素子と温度上昇に伴い抵抗値が上昇する正の温度特性の第2の抵抗素子とを直列接続する合成抵抗素子の合成抵抗値に基づいてゲート電圧を調整して不揮発性メモリセルのコントロールゲート電極に供給する電圧調整回路と、を備える。

30

【0068】

その結果、本実施の形態2によれば、温度変化があった場合でもメモリセルの電荷蓄積部に注入されるHCI量がほぼ一定となるようにゲート電圧が調整されてメモリセルのコントロールゲート電極に供給されるので、トンネル酸化膜の劣化量を減少させることができる。かつ、データ消去時間を減少させることができる。

【0069】

また、本実施の形態2によれば、メモリセルのソース領域及びドレイン領域を構成する拡散層により第2の抵抗素子を構成することができるので、同一の製造工程において製造することができる。さらに、本実施の形態2によれば、メモリセルのフローティングゲート電極 (電荷蓄積部) 及びコントロールゲート電極を構成するポリシリコンにより第1の抵抗素子を構成することができるので、同一の製造工程において製造することができる。

40

【0070】

なお、本発明の実施の形態1及び2を組み合わせても良い。すなわち、メモリセルのドレイン電極及びコントロールゲート電極に、温度特性を有する書き込み電圧及びゲート電圧を供給しても良い。これにより、上記実施の形態1及び2で述べた効果に加えて、さらに高温時と低温時の書き込み特性をほぼ同じにすることが可能となる。

50

【0071】

また、本発明の実施の形態1及び2において、メモリセルがフローティングゲート電極（電荷蓄積電極）及びコントロールゲート電極を有する所謂フローティングゲート型EEPROMを例に説明したが、これに限定されるものではない。すなわち、本発明は、トンネル絶縁膜上に電荷蓄積部を有するものに適用可能であり、例えば、MNOS（Metal Nitride Oxide Semiconductor）型EEPROMでも適用可能である。

【図面の簡単な説明】

【0072】

【図1】本発明の実施の形態1に係る不揮発性半導体記憶装置の構成を示すブロック図である。 10

【図2】本実施の形態1に係る不揮発性半導体記憶装置の一部を示す回路図である。

【図3】本実施の形態1に係る不揮発性メモリセルを説明するための図である。

【図4】本実施の形態1に係るレギュレータ回路を示す回路図である。

【図5】本実施の形態1に係るレギュレータ回路の合成抵抗素子のノードAにおける第1の抵抗素子及び第2の抵抗素子の電流－電圧特性を示す図である。

【図6】本実施の形態1に係る不揮発性半導体記憶装置の電圧－温度特性を示す図である。

【図7】本実施の形態1に係る不揮発性半導体記憶装置の低温時の電流－電圧特性を示す図である。 20

【図8】本発明の実施の形態2に係る不揮発性半導体記憶装置の構成を示すブロック図である。

【図9】本実施の形態2に係る不揮発性半導体記憶装置の一部を示す回路図である。

【図10】本実施の形態2に係るレギュレータ回路を示す回路図である。

【図11】本実施の形態2に係る不揮発性半導体記憶装置の電圧－温度特性を示す図である。

【図12】本実施の形態2に係る不揮発性半導体記憶装置の低温時の電流－電圧特性を示す図である。

【符号の説明】

【0073】

100、800、1000、1500 NOR型フラッシュメモリ装置（不揮発性半導体記憶装置） 30

101 メモリセルアレイ

102 電源回路

103 主制御回路

104 ロウデコーダ

105 カラムデコーダ

106 書込読出部

107、1002 電圧調整回路

201 不揮発性メモリセル 40

202 カラムゲートトランジスタ

203、801、1101、1501 レギュレータ回路

204 電圧供給トランジスタ

301 フローティングゲート電極（電荷蓄積部）

302 コントロールゲート電極

303 トンネル絶縁膜

401、802 合成抵抗素子

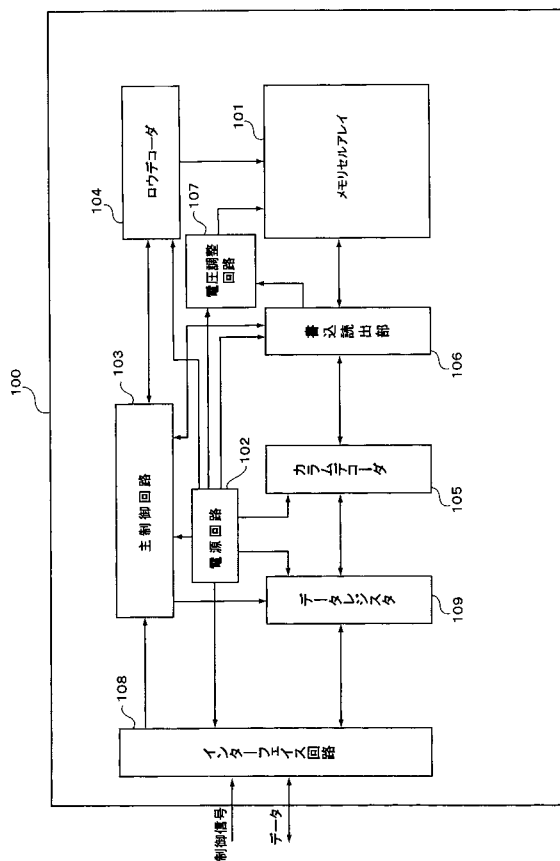
402 オペアンプ

403 トランジスタ

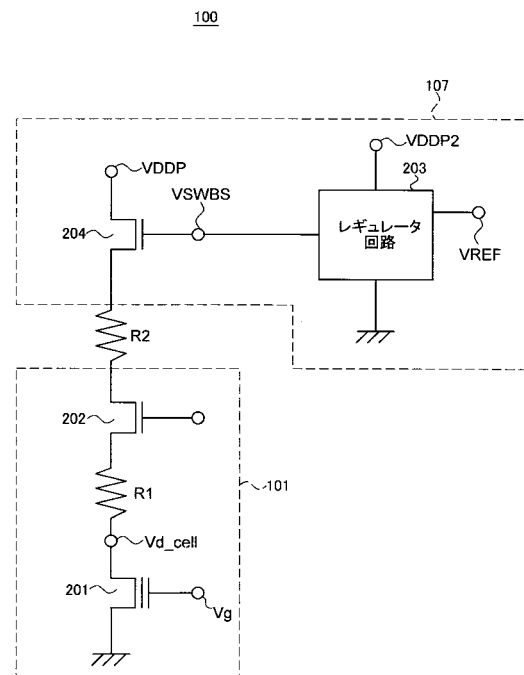
R404 第1の抵抗素子 50

R 4 0 5 第 2 の 抵 抗 素 子
T 8 0 3 ト ラ ン ジ ス タ

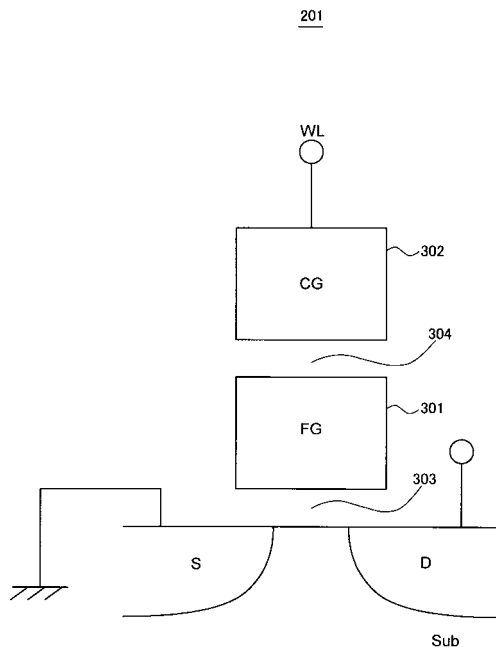
【図 1】



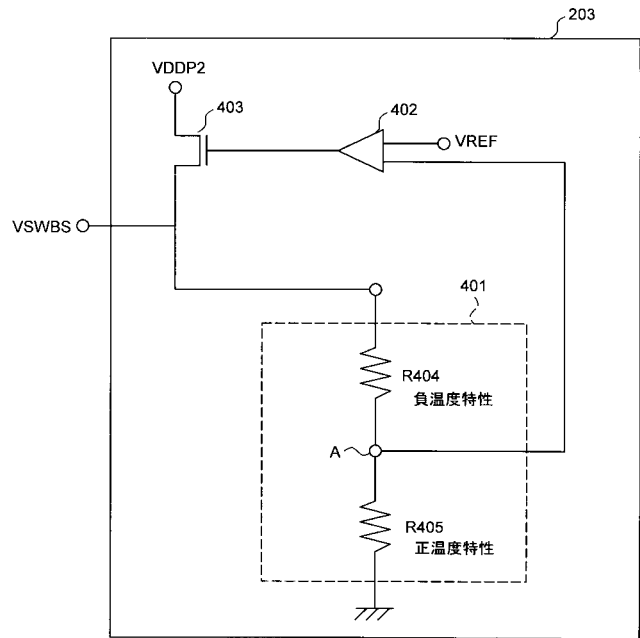
【図 2】



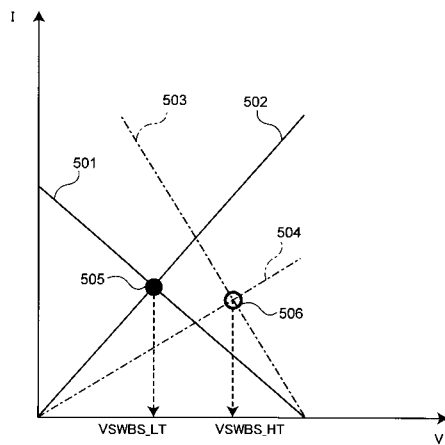
【図 3】



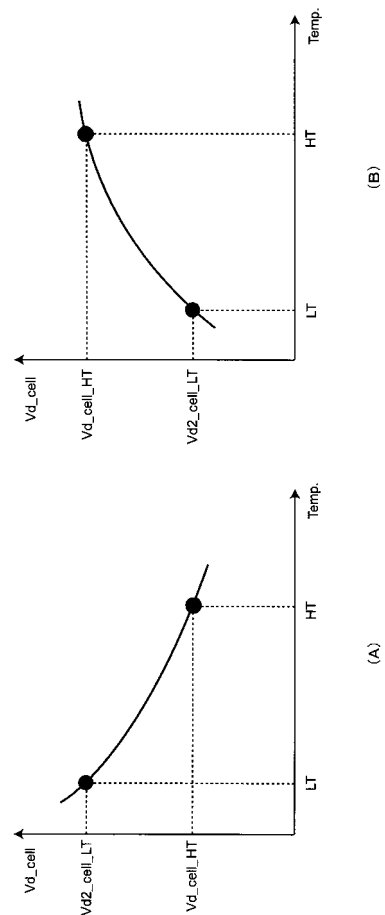
【図 4】



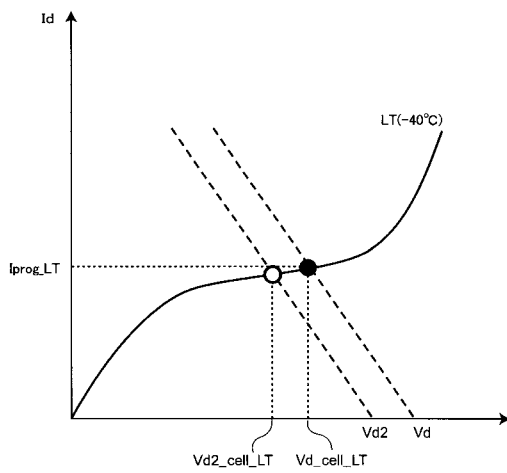
【図 5】



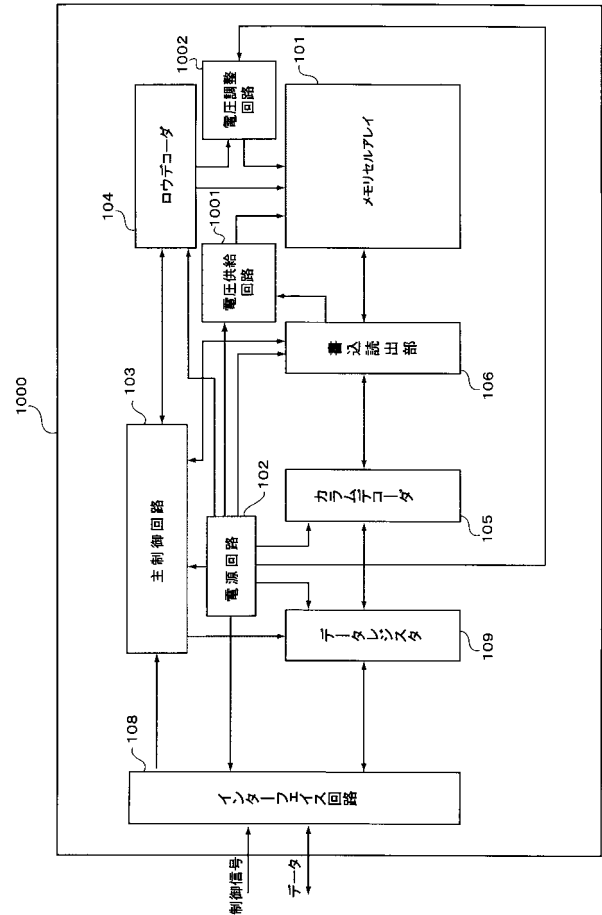
【図 6】



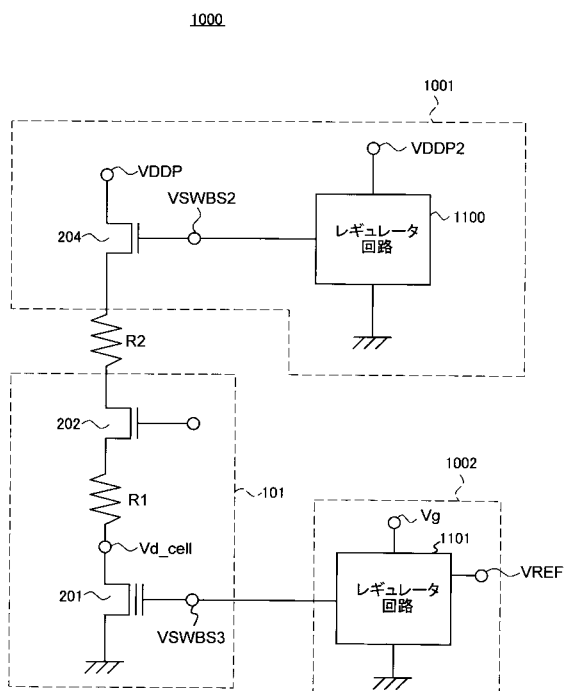
【図 7】



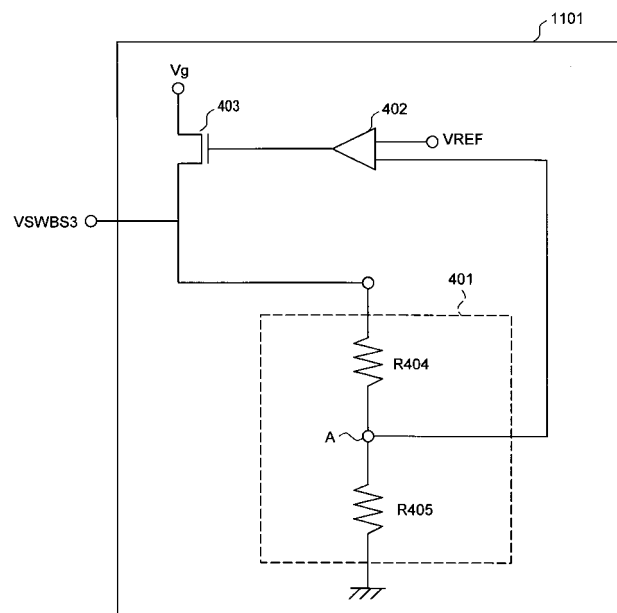
【図 8】



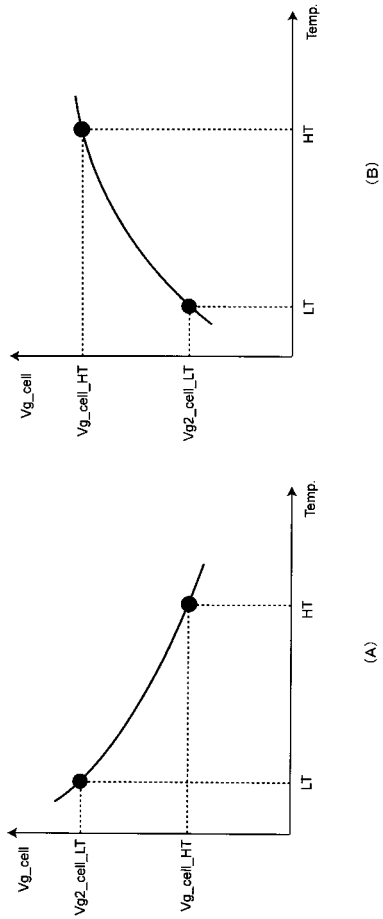
【図 9】



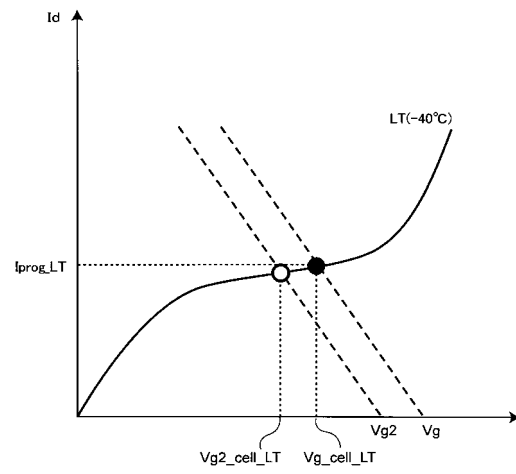
【図 10】



【図 1 1】



【図 1 2】



フロントページの続き

(72)発明者 原 徳正

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 成毛 清実

東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5B125 BA02 CA13 CA27 EA01 EB02 EB04 EG02 EG08 EH08 EJ03
FA05