

1. WO2010089815 - NONVOLATILE SEMICONDUCTOR MEMORY



PCT Biblio. Data Full Text Drawings National Phase Patent Family Notices Documents

PermaLink

International Application Status

Date	Title	View	Download
11.08.2025	International Application Status Report	HTML PDF XML	PDF XML

Published International Application

Date	Title	View	Download
12.08.2010	Initial Publication with ISR [A1 32/2010]	PDF 26 p.	PDF 26 p. XML ZIP TIFFs FullText

Search and Examination-Related Documents

Date	Title	View	Download
13.09.2011	English Translation of the Written Opinion of the International Searching Authority	PDF 6 p.	PDF 6 p. ZIP XML + TIFFs
18.08.2011	[IB/373] International Preliminary Report on Patentability Chapter I	PDF 5 p.	PDF 5 p. ZIP XML + TIFFs
06.08.2011	[ISA/237] Written Opinion of the International Searching Authority	PDF 4 p.	PDF 4 p. ZIP XML + TIFFs
12.08.2010	Translation of the ISR	PDF 2 p.	PDF 2 p. ZIP XML + TIFFs
12.08.2010	[ISA/210] International Search Report	PDF 3 p.	PDF 3 p. ZIP XML + TIFFs

Related Documents on file at the International Bureau

Date	Title	View	Download
22.09.2011	[IB/373] English Translation of International Preliminary Report on Patentability Chapter I	PDF 7 p.	PDF 7 p. ZIP XML + TIFFs
18.08.2011	[IB/326] Notification of Transmittal of Copies of International Preliminary Report on Patentability Chapter I	PDF 1 p.	PDF 1 p. ZIP XML + TIFFs



WO2010089815 NONVOLATILE SEMICONDUCTOR MEMORY

Date	Title	View	Download
09.06.2011	(IB/308) Notice Informing the Applicant of the Communication of the International Application to the Designated Offices	 PDF 1 p.	 PDF 1 p.  ZIP XML + TIFFs
10.09.2010	(IB/308) Notice Informing the Applicant of the Communication of the International Application to the Designated Offices	 PDF 1 p.	 PDF 1 p.  ZIP XML + TIFFs
12.08.2010	(IB/311) Notification Concerning Availability of Publication of the International Application	 PDF 1 p.	 PDF 1 p.  ZIP XML + TIFFs
12.08.2010	(IB/304) Notification Concerning Submission or Transmittal of Priority Document	 PDF 1 p.	 PDF 1 p.  ZIP XML + TIFFs
12.08.2010	Priority Document	 PDF 21 p.	 PDF 21 p.  ZIP XML + TIFFs
12.08.2010	(IB/301) Notification of receipt of record copy	 PDF 2 p.	 PDF 2 p.  ZIP XML + TIFFs
12.08.2010	Validation Log	 PDF 1 p.	 PDF 1 p.  ZIP XML + TIFFs
12.08.2010	Application Body as Filed	 PDF 21 p.	 PDF 21 p.  ZIP XML + TIFFs 
12.08.2010	(RO/101) Request form	 PDF 4 p.	



(12) International Application Status Report

Received at International Bureau: 08 October 2009 (08.10.2009)

Information valid as of: 22 June 2010 (22.06.2010)

Report generated on: 11 August 2025 (11.08.2025)

(10) Publication number:

WO2010/089815

(43) Publication date:

12 August 2010 (12.08.2010)

(26) Publication language:

Japanese (JA)

(21) Application Number:

PCT/JP2009/004737

(22) Filing Date:

18 September 2009 (18.09.2009)

(25) Filing language:

Japanese (JA)

(31) Priority number(s):

2009-026211 (JP)

(31) Priority date(s):

06 February 2009 (06.02.2009)

(31) Priority status:

Priority document received (in compliance with PCT Rule 17.1)

(51) International Patent Classification:

G11C 16/06 (2006.01); **G11C 16/02** (2006.01); **G11C 16/04** (2006.01)

(71) Applicant(s):

PANASONIC CORPORATION [JP/JP]; 1006, Oaza Kadoma, Kadoma-shi, Osaka 5718501 (JP) *(for all designated states except US)*

HAMAMOTO, Yukimasa [/]; () *(for US only)*

TOKI, Masahiro [/]; () *(for US only)*

(72) Inventor(s):

HAMAMOTO, Yukimasa; ()

TOKI, Masahiro; ()

(74) Agent(s):

MAEDA, Hiroshi; Osaka-Marubeni Bldg., 5-7, Hommachi 2-chome, Chuo-ku, Osaka-shi, Osaka 5410053 (JP)

(54) Title (EN): NONVOLATILE SEMICONDUCTOR MEMORY

(54) Title (FR): MÉMOIRE NON VOLATILE À SEMI-CONDUCTEURS

(54) Title (JA): 不揮発性半導体メモリ

(57) Abstract:

(EN): When write is performed simultaneously into a plurality of nonvolatile memory cells in a memory cell array (100), the bit lines of the nonvolatile memory cells are connected to M (M is an integer not smaller than 2) data lines (DIO1 to DIOm) by a column address signal. N (N is an integer not smaller than 1) switches (SW1 to SWn) and a switch control circuit (103) for controlling the N switches are arranged for each of the data lines. M switch control circuits control M × N switches so as to change the voltage level of the drain voltage applied to the memory cell bit lines or the period of the drain voltage application for each of the memory cells.

(FR): Selon l'invention, lorsque l'on procède à une écriture simultanément dans une pluralité de cellules de mémoire non volatile dans une matrice de cellules de mémoire (100), les lignes de bits des cellules de mémoire non volatile sont connectées à M (M est un entier non inférieur à 2) lignes de données (DIO1 à DIOm) par un signal d'adressage colonne. N (N est un entier non inférieur à 1) commutateurs (SW1 à SWn) et un circuit de commande de commutateur (103), destiné à commander les N commutateurs, sont agencés pour chacune des lignes de données. M circuits de commande de commutateur commandent M × N commutateurs, de façon à modifier le niveau de tension de la tension de drain appliquée aux lignes de bits des cellules de mémoire, ou la période d'application de la tension de drain pour chacune des cellules de mémoire.

(JA): メモリセルアレイ(100)中の複数個の不揮発性メモリセルを同時に書き込む場合、当該複数個の不揮発性メモリセルのビット線はコラムアドレス信号によりM本(Mは2以上の整数)のデータ線(DIO1~DIOm)に接続される。そして、1本のデータ線ごとにN個(Nは1以上の整数)のスイッチ(SW1~SWn)と当該N個のスイッチを制御するスイッチ制御回路(103)とを設け、M個のスイッチ制御回路によりM×N個のスイッチを制御し、複数個のメモリセルのビット線に印加されるドレイン電圧の電圧レベル又はドレイン電圧の印加期間をメモリセルごとに変化させる。

International search report:

Received at International Bureau: 04 November 2009 (04.11.2009) [JP]

International Report on Patentability (IPRP) Chapter II of the PCT:

Not available

(81) Designated States:

AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

European Patent Office (EPO) : AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR

African Intellectual Property Organization (OAPI) : BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG

African Regional Intellectual Property Organization (ARIPO) : BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW

Eurasian Patent Organization (EAPO) : AM, AZ, BY, KG, KZ, MD, RU, TJ, TM

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(10) 国際公開番号

WO 2010/089815 A1

(43) 国際公開日
2010 年 8 月 12 日(12.08.2010)

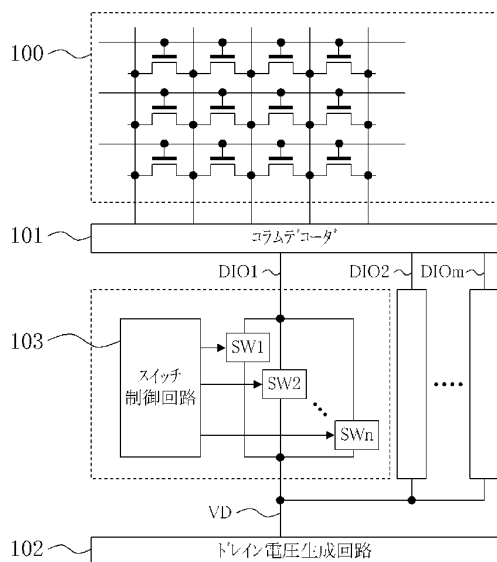
- (51) 国際特許分類:
G11C 16/06 (2006.01) G11C 16/04 (2006.01)
G11C 16/02 (2006.01)
- (21) 国際出願番号: PCT/JP2009/004737
- (22) 国際出願日: 2009 年 9 月 18 日(18.09.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-026211 2009 年 2 月 6 日(06.02.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真 1006 番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 濱本幸昌 (HAMAMOTO, Yukimasa). 土岐和啓 (TOKI, Masahiro).
- (74) 代理人: 前田 弘, 外 (MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町 2 丁目 5 番 7 号 大阪丸紅ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL,

[続葉有]

(54) Title: NONVOLATILE SEMICONDUCTOR MEMORY

(54) 発明の名称: 不揮発性半導体メモリ

[図1]



101 COLUMN DECODER
103 SWITCH CONTROL CIRCUIT
102 DRAIN VOLTAGE GENERATION CIRCUIT

(57) Abstract: When write is performed simultaneously into a plurality of nonvolatile memory cells in a memory cell array (100), the bit lines of the nonvolatile memory cells are connected to M (M is an integer not smaller than 2) data lines (DIO1 to DIOm) by a column address signal. N (N is an integer not smaller than 1) switches (SW1 to SWn) and a switch control circuit (103) for controlling the N switches are arranged for each of the data lines. M switch control circuits control M × N switches so as to change the voltage level of the drain voltage applied to the memory cell bit lines or the period of the drain voltage application for each of the memory cells.

(57) 要約: メモリセルアレイ (100) 中の複数個の不揮発性メモリセルを同時に書き込む場合、当該複数個の不揮発性メモリセルのビット線はコラムアドレス信号によりM本 (Mは2以上の整数) のデータ線 (DIO1 ~ DIOm) に接続される。そして、1本のデータ線ごとにN個 (Nは1以上の整数) のスイッチ (SW1 ~ SWn) と当該N個のスイッチを制御するスイッチ制御回路 (103) とを設け、M個のスイッチ制御回路によりM×N個のスイッチを制御し、複数個のメモリセルのビット線に印加されるドレイン電圧の電圧レベル又はドレイン電圧の印加期間をメモリセルごとに変化させる。

WO 2010/089815 A1



NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, 添付公開書類:
CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, — 国際調査報告 (条約第 21 条(3))
TD, TG).

明 細 書

発明の名称：不揮発性半導体メモリ

技術分野

- [0001] 本発明は、不揮発性半導体メモリに関し、特に、同じ閾値レベルに複数個の不揮発性メモリセルを同時に書き込む時の書き込み速度のばらつきを抑制する技術に関するものである。

背景技術

- [0002] 一般に、フラッシュメモリなどの不揮発性半導体メモリは、ワード線に接続されたゲート電極と、ビット線に接続されたドレインと、ソース線に接続されたソースと、フローティングゲート又は電荷トラップ層とからなるメモリセルを有し、このメモリセルが複数個マトリックス状に配置されたメモリセルアレイを備える。
- [0003] 例えばトラップ層を有する不揮発性半導体メモリでは、メモリセルのチャネル領域とゲート電極との間の絶縁膜（ SiO_2 ）内に存在する離散化されたトラップ層（ SiN 膜又は SiN 膜／トップ SiO_2 膜界面の遷移領域）に電荷（電子又はホール）注入により電荷がトラップされ、そのメモリセルの閾値レベルによってデータ“0”又は“1”を判定し、情報を記憶する。以下、電子注入を書き込みとして、書き込みの原理を説明する。
- [0004] 図9において、600はP型シリコンからなる半導体基板、601は半導体基板600上に設けられたP型のチャネル領域、602はチャネル領域601の片側に半導体基板600上に設けられたN型の半導体からなる第1の不純物領域（例えばドレイン）、603はチャネル領域601の他の片側に半導体基板600上に設けられたN型の半導体からなる第2の不純物領域（例えばソース）、604は半導体基板600上に設けられたシリコンの酸化膜からなるボトム絶縁膜、605はボトム絶縁膜604上に設けられたシリコンの窒酸化膜からなるトラップ層、606はトラップ層605上に設けられたシリコンの酸化膜からなるトップ絶縁膜、607はトップ絶縁膜606

上に設けられたN型のポリシリコンからなるゲート電極である。

- [0005] 書き込み時には、ゲート電極607に約9Vを、第1の不純物領域（ドレイン）602に約5Vを、第2の不純物領域（ソース）603に0Vを、半導体基板600に0Vをそれぞれ印加する。これにより、第2の不純物領域603から第1の不純物領域602に向かう電子の一部が第1の不純物領域602の近傍の高電界によってホットとなり、第1の不純物領域602の近傍のトラップ層605に局所的に注入され、メモリセルの閾値レベルは高い状態となる。
- [0006] 不揮発性半導体メモリの書き込み動作においては、バイト単位又はワード単位などの複数個のメモリセルを1つの単位として、これらのメモリセルに上記書き込み電圧を同時に印加して書き込むことにより、書き込み時間の短縮を図ることが一般的である。
- [0007] また、トラップ層を有する不揮発性半導体メモリでは、メモリセルの第1の不純物領域602と第2の不純物領域603とに印加する電圧を入れ替え、第1の不純物領域602に0Vを、第2の不純物領域603に約5Vをそれぞれ印加することで、第2の不純物領域603の近傍のトラップ層605にも局所的に電子を注入することで、1つのメモリセルに2ビットのデータを記憶することが可能である。
- [0008] しかしながら、近年、不揮発性半導体メモリの大容量化に伴ってメモリセルアレイの面積も大きくなり、それに伴ってメモリセルアレイ内に設けられたビット線の長さも長くなっている。そのため、書き込みの際、ビット線の抵抗による電圧降下により、メモリセルアレイ内のメモリセルの位置によってドレイン電圧が異なり、書き込み速度にばらつきが生じるという問題がある。
- [0009] 加えて、トラップ層を有し1つのメモリセルに2ビットのデータを記憶することができる不揮発性半導体メモリにおいては、第1のビットの記憶状態が第2のビットの書き込み速度に影響を及ぼすことが知られており、書き込み速度のばらつきの要因となっている。

- [0010] これらの問題に対し、ある従来技術によれば、書き込みアドレスに応じて、書き込み時にメモリセルアレイ内のビット線に供給するビット線電圧のレベルを変化させて、書き込み速度のばらつきを抑制している（特許文献 1 参照）。

先行技術文献

特許文献

- [0011] 特許文献1：特開 2003-109389 号公報

発明の概要

発明が解決しようとする課題

- [0012] しかしながら、上記従来技術では、複数個のメモリセルを同時に書き込む場合、書き込み条件（ドレイン電圧、ドレイン電圧の供給期間）は共通に設定される。そのため、同時に書き込む複数個のメモリセル間の書き込み速度のばらつきは抑制することができず、メモリセルの信頼性悪化を引き起こす。また、書き込み時間は書き込み速度の遅いメモリセルに依存するため、書き込み速度のばらつきにより書き込み時間を増加させてしまう。

課題を解決するための手段

- [0013] 本発明によれば、複数個の不揮発性メモリセルを同時に書き込む場合、複数個の不揮発性メモリセルのビット線はコラムアドレス信号により M 本（M は 2 以上の整数）のデータ線に接続される。しかも、1 本のデータ線ごとに N 個（N は 1 以上の整数）のスイッチと当該 N 個のスイッチを制御するスイッチ制御回路とを設け、M 個のスイッチ制御回路により M × N 個のスイッチを制御し、複数個のメモリセルのビット線に印加されるドレイン電圧の電圧レベル又はドレイン電圧の印加期間をメモリセルごとに変化させる。

発明の効果

- [0014] 本発明の不揮発性半導体メモリにおいては、複数個の不揮発性メモリセルを同時に書き込む場合のメモリセル間の書き込み速度のばらつきを抑制し、書き込み後の閾値レベルのばらつきを少なくしてメモリセルの信頼性を向上

させるとともに、書き込み速度のばらつきによる書き込み時間の増加を抑制できる。

図面の簡単な説明

[0015] [図1]本発明に係る不揮発性半導体メモリの第1の構成例を示すブロック図である。

[図2]本発明に係るスイッチ回路及びスイッチ制御回路の第1の構成例を示す図である。

[図3]本発明に係るスイッチ回路及びスイッチ制御回路の第1の構成例におけるスイッチ制御方法を説明する図である。

[図4]本発明に係るスイッチ回路及びスイッチ制御回路の第2の構成例を示す図である。

[図5]本発明に係るスイッチ回路及びスイッチ制御回路の第2の構成例におけるスイッチ制御方法を説明する図である。

[図6]本発明に係るスイッチ回路及びスイッチ制御回路の第3の構成例を示す図である。

[図7]本発明に係るスイッチ回路及びスイッチ制御回路の第3の構成例におけるスイッチ制御方法を説明する図である。

[図8]本発明に係る不揮発性半導体メモリの第2の構成例を示すブロック図である。

[図9]従来の不揮発性半導体メモリのメモリセル構造を示す断面図である。

発明を実施するための形態

[0016] 以下、図面を参照しながら、複数個の不揮発性メモリセルを同時に書き込むように構成された本発明の実施形態を説明する。

[0017] 図1は、本発明に係る不揮発性半導体メモリの構成例を示している。100は複数個のメモリセルで構成されるメモリセルアレイ、101は複数のビット線と当該ビット線の本数より少ないM本のデータ線DIO1～DIOmとをコラムアドレス信号により接続するコラムデコーダ、102はビット線にドレイン電圧を供給するドレイン電圧生成回路である。

- [0018] 1本のデータ線ごとに、N個のスイッチSW1～SWnの各々の第1の端子が共通に接続され、当該N個のスイッチSW1～SWnの各々の第2の端子にはドレイン電圧生成回路102の出力であるドレイン電圧供給線VDが共通に接続される。また、1本のデータ線ごとにN個のスイッチSW1～SWnを制御するスイッチ制御回路103が設けられる。
- [0019] M個のスイッチ制御回路103によりM×N個のスイッチを制御して、M本のデータ線DIO1～DIOmに供給するドレイン電圧レベル、又は、供給するドレイン電圧の供給期間をデータ線ごとに変化させる。その結果、M本のデータ線DIO1～DIOmに接続されるメモリセルの書き込み速度をメモリセルごとに変化させ、複数個のメモリセルを同時に書き込む際の書き込み速度のばらつきを抑制できる。
- [0020] 図2は、データ線に供給するドレイン電圧の電圧レベルを変化させるスイッチ回路及びスイッチ制御回路の第1の構成例を示している。スイッチ回路200は、2個のP型トランジスタP1、P2の各々の第1の端子がデータ線DIOに共通に接続され、当該P型トランジスタP1、P2の各々の第2の端子はドレイン電圧供給線VDに共通に接続される。スイッチ制御回路201は、データ入力信号DIN、スイッチ制御入力信号SWIN1、SWIN2が入力され、スイッチ制御出力信号SWOUT1、SWOUT2が出力される。スイッチ制御出力信号SWOUT1、SWOUT2は、スイッチ回路200のP型トランジスタP1、P2のゲート端子にそれぞれ接続される。
- [0021] 図3に、スイッチ制御回路201における、データ入力信号DIN、スイッチ制御入力信号SWIN1、SWIN2と、スイッチ制御出力信号SWOUT1、SWOUT2との関係を示す。図3中の“L”は0Vを、“H”はドレイン電圧供給線VDと同じレベルをそれぞれ表す。SWOUT1が“L”のとき、スイッチ回路200のP型トランジスタP1がオンし、SWOUT2が“L”のとき、スイッチ回路200のP型トランジスタP2がオンする。スイッチ回路200のP型トランジスタP1、P2のオンする組み合わせ

せによって、データ線D I Oとドレイン電圧供給線V Dとの間のトランジスタ抵抗を変化させ、トランジスタ抵抗による電圧降下量を変えることができる。このように、スイッチ回路200のP型トランジスタP 1, P 2のオンする組み合わせによってデータ線D I Oに供給する電圧レベルを変化させることができる。

[0022] 図4は、データ線に供給するドレイン電圧の電圧レベルを変化させるスイッチ回路及びスイッチ制御回路の第2の構成例を示している。スイッチ回路300は、P型トランジスタP 1及びN型トランジスタN 1の各々の第1の端子がデータ線D I Oに共通に接続され、当該P型トランジスタP 1及びN型トランジスタN 1の各々の第2の端子はドレイン電圧供給線V Dに共通に接続される。スイッチ制御回路301は、データ入力信号D I N、スイッチ制御入力信号S W I Nが入力され、スイッチ制御出力信号S W O U T 1, S W O U T 2が出力される。スイッチ制御出力信号S W O U T 1, S W O U T 2はスイッチ回路300のP型トランジスタP 1及びN型トランジスタN 1のゲート端子にそれぞれ接続される。

[0023] 図5に、スイッチ制御回路301における、データ入力信号D I N、スイッチ制御入力信号S W I Nと、スイッチ制御出力信号S W O U T 1, S W O U T 2との関係を示す。図5中の“L”は0 Vを、“H”はドレイン電圧供給線V Dと同じレベルをそれぞれ表す。S W O U T 1が“L”のとき、P型トランジスタP 1がオンし、S W O U T 2が“H”のとき、N型トランジスタN 1がオンする。P型トランジスタP 1がオンした場合、データ線D I Oにはドレイン電圧供給線V Dのレベルがそのまま供給され、一方、N型トランジスタN 1がオンした場合、ゲート電圧（ここではドレイン電圧供給線V Dレベル）よりN型トランジスタN 1の閾値電圧 V_{tn} だけ低いレベルが供給される。このように、P型トランジスタP 1とN型トランジスタN 1とのうちいずれか一方を選択的にオンさせることで、データ線D I Oに供給する電圧レベルを変化させることができる。

[0024] 図6は、データ線に供給するドレイン電圧の供給期間を変化させるスイッ

チ回路及びスイッチ制御回路の構成例を示している。スイッチ回路400は、P型トランジスタP1の第1の端子がデータ線DIOに接続され、当該P型トランジスタP1の第2の端子はドレイン電圧供給線VDに接続される。スイッチ制御回路401は、データ入力信号DIN、スイッチ制御入力信号SWINが入力され、スイッチ制御出力信号SWOUTが出力される。スイッチ制御出力信号SWOUTは、スイッチ回路400のP型トランジスタP1のゲート端子に接続される。スイッチ制御回路401は、接地電位をGNDとして抵抗素子Rと容量素子Cとで構成される遅延回路402を備え、スイッチ制御入力信号SWINによりスイッチ制御出力信号SWOUTの“L”期間を切り替えることができる。

[0025] 図7に、スイッチ制御回路401における、データ入力信号DIN、スイッチ制御入力信号SWINと、スイッチ制御出力信号SWOUTとの関係を示す。図7中の“L”は0Vを、“H”はドレイン電圧供給線VDと同じレベルをそれぞれ表す。スイッチ制御出力信号SWOUTが“L”の期間でP型トランジスタP1がオンし、データ線DIOにドレイン電圧を供給する。このように、スイッチ制御入力信号SWINにより、データ線DIOに供給する電圧の供給期間を変化させることができる。

[0026] 図8は、本発明に係る不揮発性半導体メモリの他の構成例を示している。500は複数個のメモリセルで構成されるメモリセルアレイ、501は複数のビット線と当該ビット線の本数より少ないM本のデータ線DIO1～DIOmとをコラムアドレス信号により接続するコラムデコーダ、505はメモリセルアレイ500からデータを読み出すための読み出し回路であり、M本のデータ線DIO1～DIOmを入力とし、図示していないが、センスアンプなどから構成されるものである。502はビット線にドレイン電圧を供給するドレイン電圧生成回路である。メモリセルアレイ500は、図9で示すトラップ層を有するメモリセルで構成され、1つのメモリセルに2ビットのデータの記憶が可能である。

[0027] 1本のデータ線ごとに、N個のスイッチSW1～SWnの各々の第1の端

子が共通に接続され、当該N個のスイッチSW1～SWnの各々の第2の端子にはドレイン電圧生成回路502の出力であるドレイン電圧供給線VDが共通に接続される。また、1本のデータ線ごとにN個のスイッチSW1～SWnを制御するスイッチ制御回路503が設けられる。

[0028] また、読み出し回路505にて読み出されたメモリセルの記憶状態（“0”又は“1”）を格納する状態格納回路504を設ける。状態格納回路504は、格納したメモリセルの記憶状態に応じて状態出力信号CB1～CBmを出力し、当該状態出力信号CB1～CBmはM個のスイッチ制御回路503に接続される。

[0029] M本のデータ線DIO1～DIOmに接続されるメモリセルの第1のビットの書き込みを行う前に、メモリセルの第2のビットの記憶状態を予め読み出し回路505により読み出し、その読み出し結果を状態格納回路504に格納する。メモリセルの第1のビットの書き込みを行う際、状態格納回路504は格納した記憶状態に応じて状態出力信号CB1～CBmを出力し、当該状態出力信号CB1～CBmに応じて、M本のデータ線DIO1～DIOmに供給する電圧レベル、又は、供給する電圧の供給期間をデータ線ごとに変化させる。このように、M本のデータ線DIO1～DIOmに接続されるメモリセルの第1のビットの書き込み速度を、メモリセルの第2のビットの記憶状態に応じてメモリセルごとに変化させることが可能となり、複数個のメモリセルを同時に書き込む際の書き込み速度のばらつきを抑制できる。

[0030] また、図8に示す構成例の変形として、M本のデータ線DIO1～DIOmに接続されるメモリセルの書き込みを行う前に、書き込みを行うメモリセルの閾値レベル状態を予め読み出し回路505により読み出し、その読み出し結果を状態格納回路504に格納する。メモリセルの書き込みを行う際、状態格納回路504は格納した閾値レベル状態に応じて状態出力信号CB1～CBmを出力し、当該状態出力信号CB1～CBmに応じて、M本のデータ線DIO1～DIOmに供給する電圧レベル、又は、供給する電圧の供給期間をデータ線ごとに変化させる。このように、M本のデータ線DIO1～

D I O mに接続されるメモリセルの書き込み速度を、書き込みを行うメモリセルの閾値レベル状態に応じてメモリセルごとに変化させることが可能となり、複数個のメモリセルを同時に書き込む際の書き込み速度のばらつきを抑制できる。

- [0031] 以上、1本のデータ線に接続されるスイッチの個数を2個又は1個として実施形態を挙げたが、本発明ではスイッチを3個以上設けることも可能である。また、トラップ層を有する不揮発性半導体メモリとして、1つのメモリセルの記憶ビット数を2ビットとして説明したが、メモリセルの第1の不純物領域と第2の不純物領域との電圧関係を入れ替えて書き込みができるメモリセルの場合、3ビット以上でも本発明は適用できる。

産業上の利用可能性

- [0032] 以上説明してきたとおり、本発明に係る不揮発性半導体メモリは、メモリセルごとの書き込み速度のばらつきを抑制することでメモリセル信頼性の向上が図れるとともに、書き込み速度のばらつきによる書き込み時間の増加も抑制できる。特に、トラップ層を有し、1つのメモリセルで複数ビットの記憶が可能な不揮発性半導体メモリとして有用である。

符号の説明

- [0033] 100, 500 メモリセルアレイ
101, 501 コラムデコーダ
102, 502 ドレイン電圧生成回路
103, 503 スイッチ制御回路
200, 300, 400 スイッチ回路
201, 301, 401 スイッチ制御回路
402 遅延回路
504 状態格納回路
505 読み出し回路
600 半導体基板
601 チャネル領域

602 第1の不純物領域（ドレイン）

603 第2の不純物領域（ソース）

604 ボトム絶縁膜

605 トラップ層

606 トップ絶縁膜

607 ゲート電極

C 容量素子

CB1～CBm 状態出力信号

DIN データ入力信号

DIO, DIO1～DIOm データ線

GND 接地電位

N1 N型トランジスタ

P1, P2 P型トランジスタ

R 抵抗素子

SW1～SWn スイッチ

SWIN, SWIN1, SWIN2 スイッチ制御入力信号

SWOUT, SWOUT1, SWOUT2 スイッチ制御出力信号

VD ドレイン電圧供給線

請求の範囲

[請求項1] 複数本のビット線を通して複数個の不揮発性メモリセルを同時に書き込むことが可能な不揮発性半導体メモリであって、

コラムアドレス信号に応じて前記複数本のビット線に接続される、前記ビット線の本数より少ないM本（Mは2以上の整数）のデータ線と、

前記複数個の不揮発性メモリセルの各々のドレイン電圧の源となる電圧を生成するドレイン電圧生成回路と、

前記ドレイン電圧生成回路の出力が接続されたドレイン電圧供給線と、

前記M本のデータ線と前記ドレイン電圧供給線との間に介在したM個のスイッチ回路及びM個のスイッチ制御回路とを備え、

前記M個のスイッチ回路の各々は、N個（Nは1以上の整数）のスイッチを有し、

前記M×N個のスイッチの各々は、前記M本のデータ線のうちの対応する1本のデータ線に共通に接続された第1の端子と、前記ドレイン電圧供給線に共通に接続された第2の端子とを有し、

前記M本のデータ線に対して前記M×N個のスイッチを介して前記ドレイン電圧供給線が接続され、前記M個のスイッチ制御回路で前記M×N個のスイッチを制御することを特徴とする不揮発性半導体メモリ。

[請求項2] 請求項1記載の不揮発性半導体メモリにおいて、

前記M個のスイッチ回路のいずれかを構成するN個のスイッチは、互いに並列接続された1導電型のトランジスタでそれぞれ構成され、

前記M本のデータ線のうち対応する1本のデータ線にドレイン電圧を供給すべき場合には、前記N個のトランジスタのうち少なくとも1個のトランジスタが、対応するスイッチ制御回路の制御によりオンすることを特徴とする不揮発性半導体メモリ。

- [請求項3] 請求項 1 記載の不揮発性半導体メモリにおいて、
前記M個のスイッチ回路のいずれかを構成するN個のスイッチは、
互いに並列接続されたP型及びN型トランジスタで構成され、
前記M本のデータ線のうち対応する1本のデータ線にドレイン電圧
を供給すべき場合には、前記P型又はN型トランジスタのいずれか一
方が、対応するスイッチ制御回路の制御によりオンすることを特徴と
する不揮発性半導体メモリ。
- [請求項4] 請求項 1 記載の不揮発性半導体メモリにおいて、
前記M個のスイッチ制御回路は、前記M本のデータ線のうち対応す
る1本のデータ線に接続された前記N個のスイッチがオンする組み合
わせを、前記M本のデータ線の1本ごとに制御することが可能である
ことを特徴とする不揮発性半導体メモリ。
- [請求項5] 請求項 1 記載の不揮発性半導体メモリにおいて、
前記M個のスイッチ制御回路は、前記M本のデータ線のうち対応す
る1本のデータ線に接続された前記N個のスイッチがオンする期間を
、前記M本のデータ線の1本ごとに制御することが可能であることを
特徴とする不揮発性半導体メモリ。
- [請求項6] 請求項 1 記載の不揮発性半導体メモリにおいて、
前記M本のデータ線を入力とする読み出し回路と、
前記読み出し回路より出力されたM本の読み出し信号が入力される
状態格納回路とを更に備え、
前記状態格納回路より出力されたM本の状態出力信号に応じて、前
記M個のスイッチ回路が制御されることを特徴とする不揮発性半導体
メモリ。
- [請求項7] 請求項 6 記載の不揮発性半導体メモリにおいて、
前記複数個の不揮発性メモリセルの各々は、ソース・ドレイン電圧
関係を反転させることで書き込み可能な複数ビットのデータを記憶可
能であり、

一方向のソース・ドレイン電圧印加による第1のビットの書き込み時において、逆方向のソース・ドレイン電圧印加によって書き込みを行う第2のビットの記憶状態の読み出しを行い、読み出した記憶状態を前記状態格納回路に蓄え、

前記状態格納回路に蓄えられた記憶状態に応じて前記M個のスイッチ制御回路の制御方法が変更されることを特徴とする不揮発性半導体メモリ。

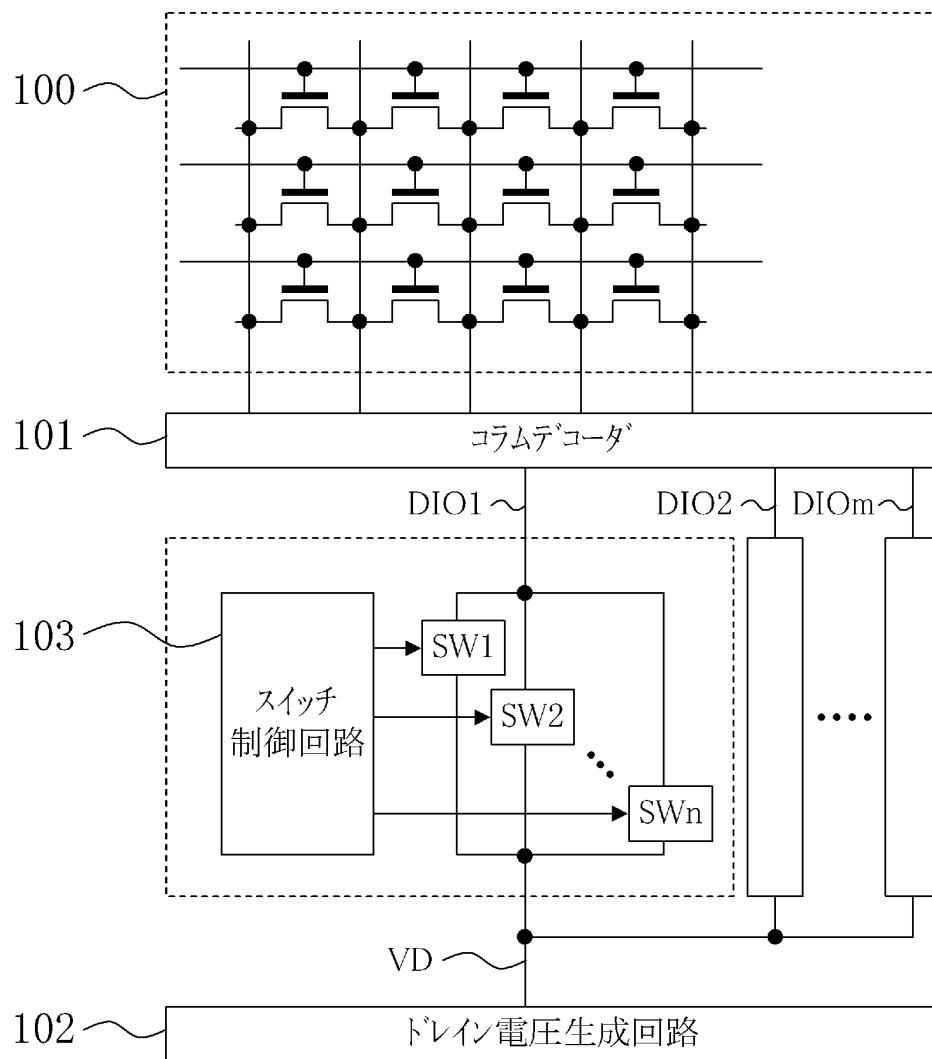
[請求項8]

請求項6記載の不揮発性半導体メモリにおいて、

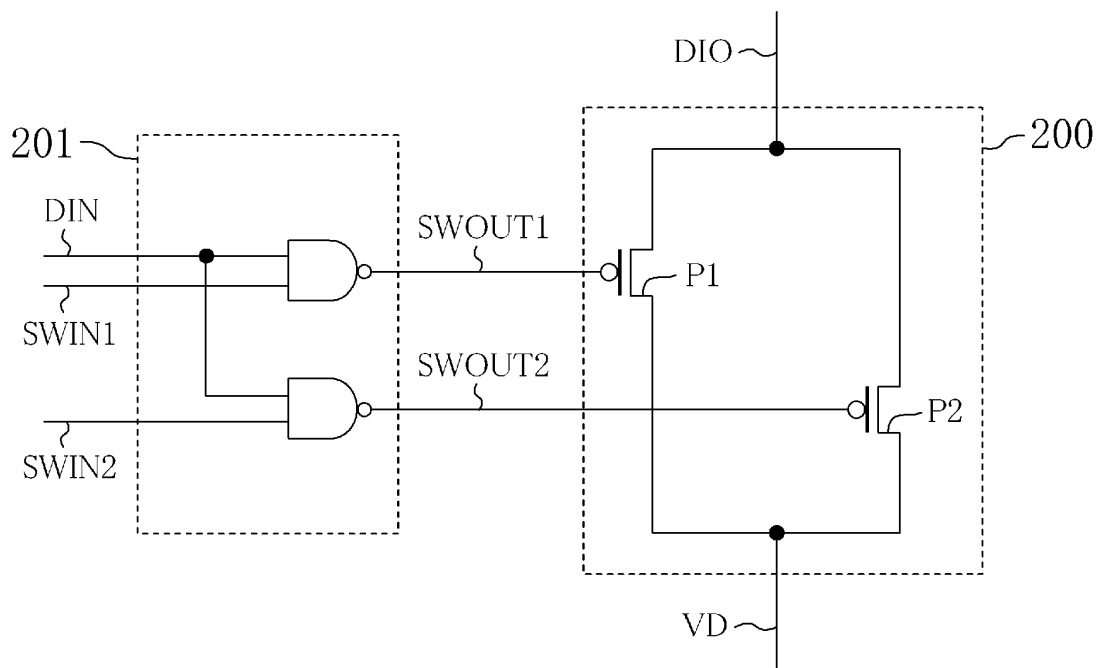
前記複数個の不揮発性メモリセルの書き込み時に、書き込みを行うメモリセルの閾値レベル状態の読み出しを行い、読み出した閾値レベル状態を前記状態格納回路に蓄え、

前記状態格納回路に蓄えられた閾値レベル状態に応じて前記M個のスイッチ制御回路の制御方法が変更されることを特徴とする不揮発性半導体メモリ。

[図1]



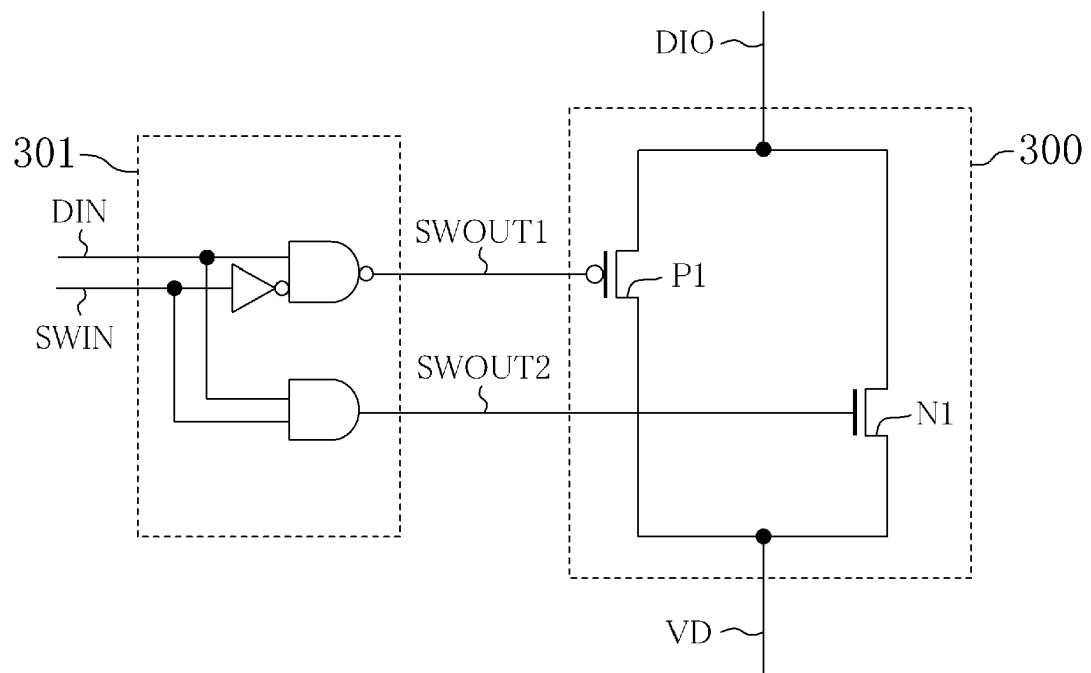
[図2]



[図3]

DIN	SWIN1	SWIN2	SWOUT1	SWOUT2	動作するトランジスタ
L	—	—	H	H	なし
H	L	L	H	H	なし
H	H	L	L	H	P 1
H	L	H	H	L	P 2
H	H	H	L	L	P 1、P 2

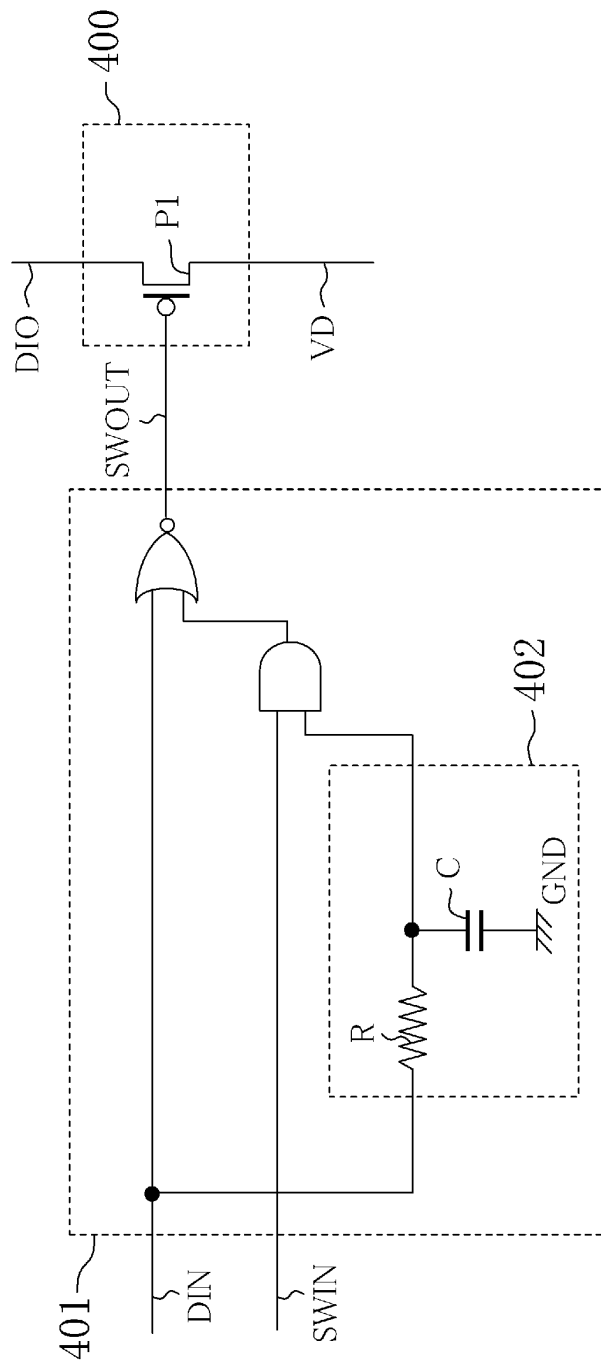
[図4]



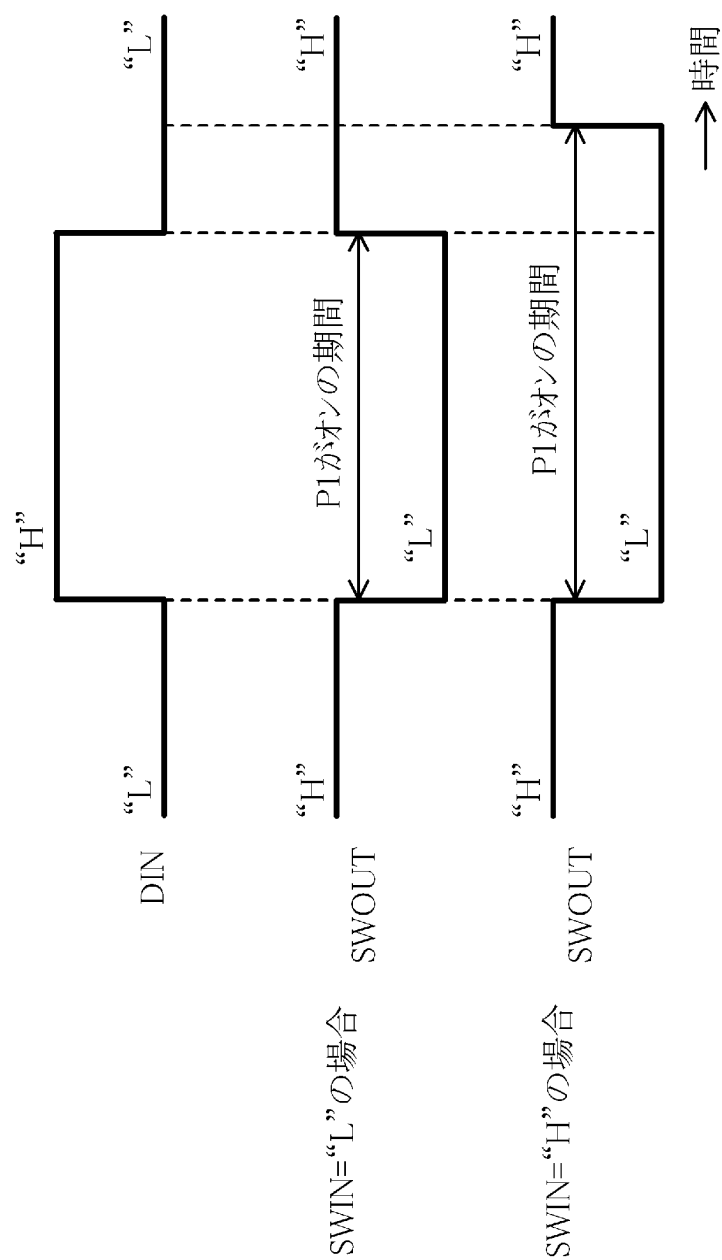
[図5]

DIN	SWIN	SWOUT1	SWOUT2	動作するトランジスタ
L	—	H	L	なし
H	L	L	L	P 1
H	H	H	H	N 1

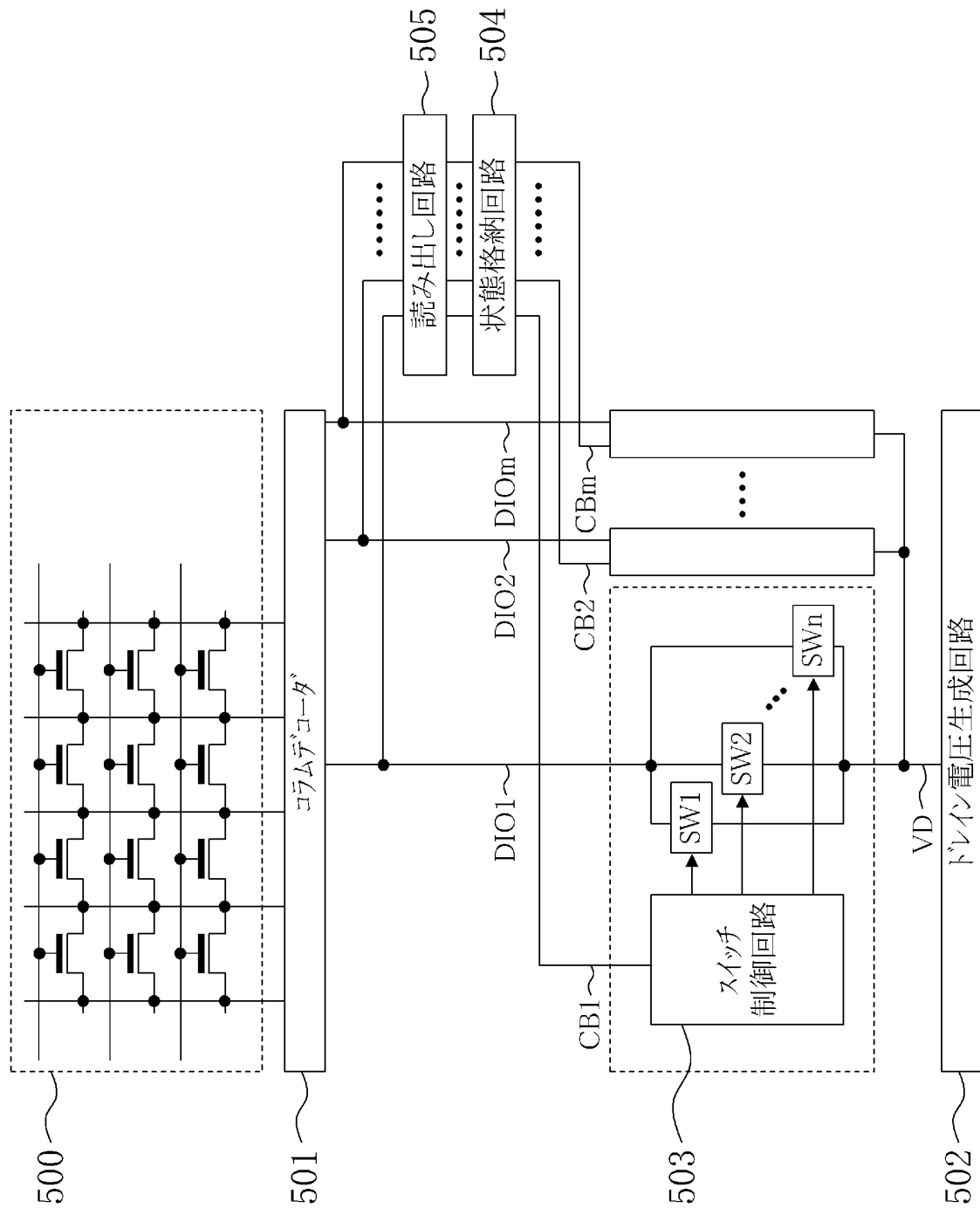
[図6]



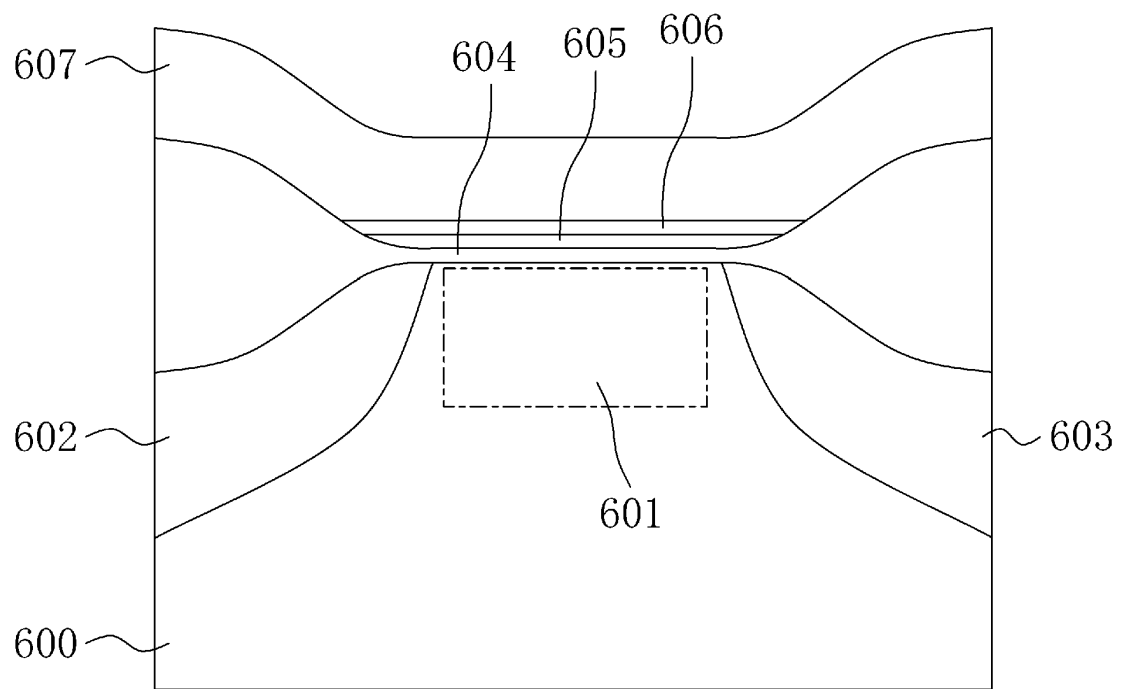
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/004737

A. CLASSIFICATION OF SUBJECT MATTER

G11C16/06(2006.01)i, G11C16/02(2006.01)i, G11C16/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C16/06, G11C16/02, G11C16/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 06-150670 A (Hitachi, Ltd., Hitachi Tohbu Semiconductor, Ltd.), 31 May 1994 (31.05.1994), paragraphs [0008] to [0045]; fig. 1 to 3 (Family: none)	1, 2, 4-8 3
Y	WO 2002/097821 A1 (Fujitsu Ltd.), 05 December 2002 (05.12.2002), page 3, line 15 to page 8, line 7; fig. 1 to 4 & US 2004/0100825 A1	1, 2, 4-8
Y	JP 2004-273096 A (Hynix Semiconductor Inc.), 30 September 2004 (30.09.2004), paragraphs [0008] to [0009]; fig. 1 & US 2004/0174745 A1 & DE 10361719 A1 & KR 2004-0079464 A & TW 239011 B	1, 2, 4-8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
20 October, 2009 (20.10.09)

Date of mailing of the international search report
02 November, 2009 (02.11.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/004737

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 05-062484 A (Mitsubishi Electric Corp.), 12 March 1993 (12.03.1993), paragraphs [0041] to [0043]; fig. 1 to 3 (Family: none)	5
Y	JP 2003-346484 A (Mitsubishi Electric Corp.), 05 December 2003 (05.12.2003), paragraphs [0168] to [0178]; fig. 15 & US 2003/0218897 A1 & CN 1459863 A & TW 575879 B	6-8

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G11C16/06(2006.01)i, G11C16/02(2006.01)i, G11C16/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G11C16/06, G11C16/02, G11C16/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2009年
日本国実用新案登録公報	1996-2009年
日本国登録実用新案公報	1994-2009年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 06-150670 A (株式会社日立製作所, 日立東部セミコンダクタ株式会社) 1994.05.31, 段落【0008】-【0045】, 図1-3	1, 2, 4-8
A	(ファミリーなし)	3
Y	WO 2002/097821 A1 (富士通株式会社) 2002.12.05, 第3頁, 第15-第8頁, 第7行, 図1-4 & US 2004/0100825 A1	1, 2, 4-8
Y	JP 2004-273096 A (株式会社ハイニックスセミコンダクター) 2004.09.30, 段落【0008】-【0009】, 図1,	1, 2, 4-8

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

20.10.2009

国際調査報告の発送日

02.11.2009

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

外山 毅

5 N

3982

電話番号 03-3581-1101 内線 3585

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
	& US 2004/0174745 A1 & DE 10361719 A1 & KR 2004-0079464 A & TW 239011 B	
Y	JP 05-062484 A (三菱電機株式会社) 1993.03.12, 段落【0041】－【0043】, 図1－3 (ファミリーなし)	5
Y	JP 2003-346484 A (三菱電機株式会社) 2003.12.05, 段落【0168】－【0178】, 図15, & US 2003/0218897 A1 & CN 1459863 A & TW 575879 B	6-8

PATENT COOPERATION TREATY

TRANSLATION

From the
INTERNATIONAL SEARCHING AUTHORITY

PCT

WRITTEN OPINION OF THE
INTERNATIONAL SEARCHING AUTHORITY

(PCT Rule 43bis.1)

To:		<p style="font-size: 1.2em; font-weight: bold;">PCT</p> <p style="text-align: center;">WRITTEN OPINION OF THE INTERNATIONAL SEARCHING AUTHORITY</p> <p style="text-align: center;">(PCT Rule 43bis.1)</p>	
		Date of mailing (day/month/year) 02.11.2009	
		FOR FURTHER ACTION See paragraph 2 below	
Applicant's or agent's file reference	P054220P0		
International application No.	International filing date (day/month/year)	Priority date (day/month/year)	
PCT/JP2009/004737	18.09.2009	06.02.2009	
International Patent Classification (IPC) or both national classification and IPC			
G11C16/06 (2006.01) i, G11C16/02 (2006.01) i, G11C16/04 (2006.01) i			
Applicant			
PANASONIC CORPORATION			

<p>1. This opinion contains indications relating to the following items:</p> <table style="width: 100%;"> <tr> <td style="width: 5%; text-align: center;">☒</td> <td style="width: 25%;">Box No. I</td> <td>Basis of the opinion</td> </tr> <tr> <td style="text-align: center;">☐</td> <td>Box No. II</td> <td>Priority</td> </tr> <tr> <td style="text-align: center;">☐</td> <td>Box No. III</td> <td>Non-establishment of opinion with regard to novelty, inventive step and industrial applicability</td> </tr> <tr> <td style="text-align: center;">☐</td> <td>Box No. IV</td> <td>Lack of unity of invention</td> </tr> <tr> <td style="text-align: center;">☒</td> <td>Box No. V</td> <td>Reasoned statement under Rule 43bis.1(a)(i) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement</td> </tr> <tr> <td style="text-align: center;">☐</td> <td>Box No. VI</td> <td>Certain documents cited</td> </tr> <tr> <td style="text-align: center;">☐</td> <td>Box No. VII</td> <td>Certain defects in the international application</td> </tr> <tr> <td style="text-align: center;">☐</td> <td>Box No. VIII</td> <td>Certain observations on the international application</td> </tr> </table> <p>2. FURTHER ACTION</p> <p>If a demand for international preliminary examination is made, this opinion will be considered to be a written opinion of the International Preliminary Examining Authority ("IPEA") except that this does not apply where the applicant chooses an Authority other than this one to be the IPEA and the chosen IPEA has notified the International Bureau under Rule 66.1bis(b) that written opinions of this International Searching Authority will not be so considered.</p> <p>If this opinion is, as provided above, considered to be a written opinion of the IPEA, the applicant is invited to submit to the IPEA a written reply together, where appropriate, with amendments, before the expiration of 3 months from the date of mailing of Form PCT/ISA/220 or before the expiration of 22 months from the priority date, whichever expires later.</p> <p>For further options, see Form PCT/ISA/220.</p> <p>3. For further details, see notes to Form PCT/ISA/220.</p>		☒	Box No. I	Basis of the opinion	☐	Box No. II	Priority	☐	Box No. III	Non-establishment of opinion with regard to novelty, inventive step and industrial applicability	☐	Box No. IV	Lack of unity of invention	☒	Box No. V	Reasoned statement under Rule 43bis.1(a)(i) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement	☐	Box No. VI	Certain documents cited	☐	Box No. VII	Certain defects in the international application	☐	Box No. VIII	Certain observations on the international application
☒	Box No. I	Basis of the opinion																							
☐	Box No. II	Priority																							
☐	Box No. III	Non-establishment of opinion with regard to novelty, inventive step and industrial applicability																							
☐	Box No. IV	Lack of unity of invention																							
☒	Box No. V	Reasoned statement under Rule 43bis.1(a)(i) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement																							
☐	Box No. VI	Certain documents cited																							
☐	Box No. VII	Certain defects in the international application																							
☐	Box No. VIII	Certain observations on the international application																							

Name and mailing address of the ISA/JP	Date of completion of this opinion	Authorized officer
Facsimile No.		Telephone No.

International application No.
PCT/JP2009/004737

Form PCT/ISA/237 (Box No. I) (April 2007)

**WRITTEN OPINION OF THE
INTERNATIONAL SEARCHING AUTHORITY**

International application No.

PCT/JP2009/004737

Box No. V	Reasoned statement under Rule 43bis.1(a)(i) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement		
1. Statement			
Novelty (N)	Claims	<u>1-8</u>	YES
	Claims	_____	NO
Inventive step (IS)	Claims	<u>3</u>	YES
	Claims	<u>1, 2, 4-8</u>	NO
Industrial applicability (IA)	Claims	<u>1-8</u>	YES
	Claims	_____	NO
2. Citations and explanations:			
<p>Document 1: JP 06-150670 A (Hitachi, Ltd.; Hitachi Tohbu Semiconductor, Ltd.), 31 May 1994, paragraphs [0008]-[0045], fig. 1-3 (Family: none)</p> <p>Document 2: WO 2002/097821 A1 (Fujitsu Ltd.), 05 December 2002, page 3, line 15 to page 8, line 7; fig. 1-4 & US 2004/0100825 A1</p> <p>Document 3: JP 2004-273096 A (Hynix Semiconductor Inc.), 30 September 2004, paragraphs [0008] and [0009], fig. 1 & US 2004/0174745 A1 & DE 10361719 A1 & KR 2004-0079464 A & TW 239011 B</p> <p>Document 4: JP 05-062484 A (Mitsubishi Electric Corp.), 12 March 1993, paragraphs [0041]-[0043], fig. 1-3 (Family: none)</p> <p>Document 5: JP 2003-346484 A (Mitsubishi Electric Corp.), 05 December 2003, paragraphs [0168]-[0178], fig. 15 & US 2003/0218897 A1 & CN 1459863 A & TW 575879 B</p> <p>Claim 1</p> <p>The invention as in claim 1 does not involve an inventive step in the light of document 1 (paragraphs [0008]-[0045], fig. 1-3), document 2 (page 3, line 15 to page 8, line 7; fig.</p>			

**WRITTEN OPINION OF THE
INTERNATIONAL SEARCHING AUTHORITY**

International application No.

PCT/JP2009/004737

Box No. V	Reasoned statement under Rule 43bis.1(a)(i) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
	<p>1-4) and document 3 (paragraphs [0008] and [0009], fig. 1) which are cited in the ISR. Document 1 describes an EPROM for simultaneously writing in eight non-volatile memory cells through eight bit lines, wherein eight switching circuits (VR) and eight switch control circuits (DE) are provided between an output line of a drain voltage generation circuit (configured with VPP and MOSFET (Q17)) for generating a write drain voltage and eight data lines (CD); the switching circuits each have multiple switches; the switches of the switching circuits are controlled by the switch control circuits, thereby connecting a write drain voltage to the bit lines. Meanwhile, document 2 describes a well-known feature in the field of virtual grounds, wherein memory cells, which allows two bits to be stored, are arranged in a virtual ground cell array at either end of a charge capturing layer; and when selecting a memory cell, data lines, the number of which is smaller than the number of bit lines for selecting a memory cell, are selected. Furthermore, document 3 describes writing in a flash memory, wherein one drain pump (100) for generating a write drain voltage is supplied to multiple bit lines for simultaneous writing. It would be easy for a person skilled in the art to use the well-known virtual ground to configure the cell array of the EPROM described in document 1, and supply a write drain voltage from one drain voltage generation circuit to multiple bit lines.</p> <p>Claims 2 and 4</p> <p>The invention as in claims 2 and 4 does not involve an inventive step in the light of documents 1, 2 and 3 cited in the ISR. Document 1 indicates that a switching circuit comprises an n-channel type MOSFET for switching on at a high level, that at least one transistor is switched on, and that</p>

Form PCT/ISA/237 (Box No. V) (April 2007)

WRITTEN OPINION OF THE
INTERNATIONAL SEARCHING AUTHORITY

International application No.

PCT/JP2009/004737

Box No. V Reasoned statement under Rule 43bis.1(a)(i) with regard to novelty, inventive step or industrial applicability;
citations and explanations supporting such statement

the transistor is controlled by a control signal individually. Therefore, it would be easy for a person skilled in the art to conceive of the invention as in claims 2 and 4.

Claim 3

The invention as in claim 3 is not described in any of the documents cited in the ISR, and would not be obvious to a person skilled in the art.

Claim 5

The invention as in claim 5 does not involve an inventive step in the light of documents 1, 2 and 3 and, document 4 (paragraphs [0041]-[0043], fig. 1-3) cited in the ISR. Document 4 indicates that while writing a flash EEPROM to multiple bits simultaneously, the period of time during which each switch transistor connected to a data line is on can be controlled. Hence, it would be easy for a person skilled in the art to conceive of the invention as in claim 5.

Claims 6 and 8

The invention as in claims 6 and 8 does not involve an inventive step in the light of documents 1, 2 and 3 and, document 5 (paragraphs [0168]-[0178], fig. 15) cited in the ISR. Document 5 describes a non-volatile semiconductor storage device using a MONOS type non-volatile memory cell, wherein a sense amplifier circuit (22) reads a datum which is written in a memory cell, and a comparator (25) outputs the result of a comparison between the read datum and a write datum to a memory control circuit (28), thereby controlling a write drain voltage. Therefore, it would be easy for a person skilled in the art to conceive of the invention as in claims 6 and 8.

WRITTEN OPINION OF THE
INTERNATIONAL SEARCHING AUTHORITY

International application No.

PCT/JP2009/004737

Box No. V	Reasoned statement under Rule 43bis.1(a)(i) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
-----------	---

Claim 7

The invention as in claim 7 does not involve an inventive step in the light of documents 1, 2, 3 and 5 cited in the ISR. Document 2 describes a non-volatile semiconductor storage device having a memory transistor allowing two bits to be stored at either end of a charge capturing layer, wherein when writing in a memory cell on one end, the change of a write voltage is controlled in response to a datum in a memory cell on the other end. Therefore, it would be easy for a person skilled in the art to conceive of the invention as in claim 7.

PATENT COOPERATION TREATY

PCT

INTERNATIONAL PRELIMINARY REPORT ON PATENTABILITY

(Chapter I of the Patent Cooperation Treaty)

(PCT Rule 44bis)

Applicant's or agent's file reference P054220P0	FOR FURTHER ACTION See item 4 below	
International application No. PCT/JP2009/004737	International filing date (<i>day/month/year</i>) 18 September 2009 (18.09.2009)	Priority date (<i>day/month/year</i>) 06 February 2009 (06.02.2009)
International Patent Classification (8th edition unless older edition indicated) See relevant information in Form PCT/ISA/237		
Applicant PANASONIC CORPORATION		

1. This international preliminary report on patentability (Chapter I) is issued by the International Bureau on behalf of the International Searching Authority under Rule 44 bis.1(a).

2. This REPORT consists of a total of 5 sheets, including this cover sheet.

In the attached sheets, any reference to the written opinion of the International Searching Authority should be read as a reference to the international preliminary report on patentability (Chapter I) instead.

3. This report contains indications relating to the following items:

- | | | |
|-------------------------------------|--------------|---|
| ☒ | Box No. I | Basis of the report |
| ☐ | Box No. II | Priority |
| ☐ | Box No. III | Non-establishment of opinion with regard to novelty, inventive step and industrial applicability |
| ☐ | Box No. IV | Lack of unity of invention |
| ☒ | Box No. V | Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement |
| ☐ | Box No. VI | Certain documents cited |
| ☐ | Box No. VII | Certain defects in the international application |
| ☐ | Box No. VIII | Certain observations on the international application |

4. The International Bureau will communicate this report to designated Offices in accordance with Rules 44bis.3(c) and 93bis.1 but not, except where the applicant makes an express request under Article 23(2), before the expiration of 30 months from the priority date (Rule 44bis .2).

	Date of issuance of this report 09 August 2011 (09.08.2011)
The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No. +41 22 338 82 70	Authorized officer Yukari Nakamura e-mail: pt07.pct@wipo.int

Form PCT/IB/373 (January 2004)

特許協力条約

発信人 日本国特許庁（国際調査機関）

代理人 前田弘 様 あて名 〒541-0053 日本国大阪府大阪市中央区本町2丁目5番7号 大 阪丸紅ビル		PCT 国際調査機関の見解書 (法施行規則第40条の2) [PCT規則43の2.1]	
出願人又は代理人 の書類記号 P054220P0		発送日 (日.月.年) 02.11.2009	
国際出願番号 PCT/J P 2009/004737		国際出願日 (日.月.年) 18.09.2009	優先日 (日.月.年) 06.02.2009
国際特許分類 (IPC) Int.Cl. G11C16/06(2006.01)i, G11C16/02(2006.01)i, G11C16/04(2006.01)i			
出願人 (氏名又は名称) パナソニック株式会社			

1. この見解書は次の内容を含む。
- ☒ 第I欄 見解の基礎
 - ☐ 第II欄 優先権
 - ☐ 第III欄 新規性、進歩性又は産業上の利用可能性についての見解の不作成
 - ☐ 第IV欄 発明の単一性の欠如
 - ☒ 第V欄 PCT規則43の2.1(a)(i)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
 - ☐ 第VI欄 ある種の引用文献
 - ☐ 第VII欄 国際出願の不備
 - ☐ 第VIII欄 国際出願に対する意見
2. 今後の手続き
- 国際予備審査の請求がされた場合は、出願人がこの国際調査機関とは異なる国際予備審査機関を選択し、かつ、その国際予備審査機関がPCT規則66.1の2(b)の規定に基づいて国際調査機関の見解書を国際予備審査機関の見解書とみなさない旨を国際事務局に通知していた場合を除いて、この見解書は国際予備審査機関の最初の見解書とみなされる。
- この見解書が上記のように国際予備審査機関の見解書とみなされる場合、様式PCT/ISA/220を送付した日から3月又は優先日から22月のうちいずれか遅く満了する期限が経過するまでに、出願人は国際予備審査機関に、適当な場合は補正書とともに、答弁書を提出することができる。
- さらなる選択肢は、様式PCT/ISA/220を参照すること。
3. さらなる詳細は、様式PCT/ISA/220の備考を参照すること。

見解書を作成した日 20.10.2009			
名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 外山 毅 電話番号 03-3581-1101 内線 3585	5 N	3 9 8 2

様式PCT/ISA/237 (表紙) (2007年4月)

第 I 欄 見解の基礎

1. 言語に関し、この見解書は以下のものに基づき作成した。

☒ 出願時の言語による国際出願

☐ 出願時の言語から国際調査のための言語である _____ 語に翻訳された、この国際出願の翻訳文
(PCT規則12.3(a)及び23.1(b))

2. ☐ この見解書は、PCT規則 91 の規定により国際調査機関が認めた又は国際調査機関に通知された明らかな誤りの訂正を考慮して作成した (PCT規則 43 の 2.1(b))。

3. この国際出願で開示されたヌクレオチド又はアミノ酸配列に関して、以下に基づき見解書を作成した。

a. タイプ ☐ 配列表

☐ 配列表に関連するテーブル

b. フォーマット ☐ 紙形式

☐ 電子形式

c. 提出時期 ☐ 出願時の国際出願に含まれていたもの

☐ この国際出願と共に電子形式により提出されたもの

☐ 出願後に、調査のために、この国際調査機関に提出されたもの

4. ☐ さらに、配列表又は配列表に関連するテーブルを提出した場合に、出願後に提出した配列若しくは追加して提出した配列が出願時に提出した配列と同一である旨、又は、出願時の開示を超える事項を含まない旨の陳述書の提出があった。

5. 補足意見：

第V欄 新規性、進歩性又は産業上の利用可能性についてのPCT規則43の2.1(a)(i)に定める見解、それを裏付ける文献及び説明

1. 見解

新規性 (N)	請求項 請求項	1 - 8 _____	有 無
進歩性 (I S)	請求項 請求項	3 1, 2, 4 - 8	有 無
産業上の利用可能性 (I A)	請求項 請求項	1 - 8 _____	有 無

2. 文献及び説明

文献1 : JP 06-150670 A (株式会社日立製作所, 日立東部セミコンダクタ株式会社)
1994.05.31, 段落【0008】 - 【0045】, 図1 - 3
(ファミリーなし)

文献2 : WO 2002/097821 A1 (富士通株式会社)
2002.12.05, 第3頁, 第15 - 第8頁, 第7行, 図1 - 4
& US 2004/0100825 A1

文献3 : JP 2004-273096 A (株式会社ハイニックスセミコンダクター)
2004.09.30, 段落【0008】 - 【0009】, 図1
& US 2004/0174745 A1 & DE 10361719 A1 & KR 2004-0079464 A
& TW 239011 B

文献4 : JP 05-062484 A (三菱電機株式会社)
1993.03.12, 段落【0041】 - 【0043】, 図1 - 3
(ファミリーなし)

文献5 : JP 2003-346484 A (三菱電機株式会社)
2003.12.05, 段落【0168】 - 【0178】, 図15
& US 2003/0218897 A1 & CN 1459863 A & TW 575879 B

請求の範囲1について

請求の範囲1に係る発明は、国際調査報告で引用された文献1（段落【0008】 - 【0045】，図1 - 3）と文献2（第3頁，第15 - 第8頁，第7行，図1 - 4）と文献3（段落【0008】 - 【0009】，図1）により進歩性を有しない。文献1には、8本のビット線を通して8個の不揮発性メモリセルを同時に書き込むEPROMにおいて、書き込みドレイン電圧を生成するドレイン電圧生成回路（VppとQ17で構成）の出力線と8本のデータ線CDとの間に8個のスイッチ回路VRと8個のスイッチ制御回路DEを備え、スイッチ回路はそれぞれ複数のスイッチを有し、スイッチ制御回路でスイッチ回路のスイッチを制御して書き込みドレイン電圧をビット線に接続する構成が記載されている。一方、文献2には、電荷捕獲層の両端に2ビット格納可能なメモリセルを仮想接地のセルアレイに配置し、メモリセルの選択時において、メモリセルを選択するビット線より少ないデータ線が選択される、仮想接地では周知な構成が記載されている。そして、文献3には、フラッシュメモリの書き込み

補充欄

いずれかの欄の大きさが足りない場合

第 V 欄の続き

において、ドレイン書き込み電圧を生成する1つのドレインポンプ100を複数の同時に書き込む複数のビット線に供給する構成が示されている。文献1に示されたEPROMのセルアレイとして周知な仮想接地を用いて構成し、1つのドレイン電圧生成回路から複数のビット線に書き込みドレイン電圧を供給する構成とすることは、当業者にとって容易である。

請求の範囲2、4について

請求の範囲2、4に係る発明は、国際調査報告で引用文献された文献1と文献2と文献3とにより進歩性を有しない。文献1には、スイッチ回路がハイレベルでオンするnチャネル型のMOSFETで構成され、少なくとも1個のトランジスタがオンすることと、制御信号により個別に制御されることが記載されているから、当業者にとって容易である。

請求の範囲3について

請求の範囲3に係る発明は、国際調査報告で引用文献されたいずれの文献にも記載されておらず、当業者にとっても自明なものではない。

請求の範囲5について

請求の範囲5に係る発明は、国際調査報告で引用文献された文献1と文献2と文献3と文献4（段落【0041】－【0043】，図1－3）とにより進歩性を有しない。文献4には、フラッシュEEPROMを複数ビット同時に書き込む際に、データ線に接続されたスイッチトランジスタのオンする期間をそれぞれ制御することが出来る構成が記載されているから、当業者にとって容易である。

請求の範囲6、8について

請求の範囲6、8に係る発明は、国際調査報告で引用文献された文献1と文献2と文献3と文献5（段落【0168】－【0178】，図15）とにより進歩性を有しない。文献5には、MONOS型不揮発性メモリセルを用いた不揮発性半導体記憶装置の書き込みにおいて、メモリセルに書き込まれたデータをセンスアンプ回路22で読み出し、読み出したデータを書込みデータと比較した結果をコンパレータ25がメモリ制御回路28に出力し、書き込みドレイン電圧を制御する構成が記載されているから、当業者にとって容易である。

請求の範囲7について

請求の範囲7に係る発明は、国際調査報告で引用文献された文献1と文献2と文献3と文献5とにより進歩性を有しない。文献2には、電荷捕獲層の両端に2ビット格納可能なメモリセルトランジスタを有する不揮発性半導体記憶装置の書き込みにおいて、一端のメモリセルに書き込みをする場合、他端のメモリセルのデータに応じて、書き込み電圧を変化させる制御が記載されているから、当業者にとって容易である。

特許協力条約

発信人 日本国特許庁（国際調査機関）

代理人 前田弘 様 あて名 〒541-0053 日本国大阪府大阪市中央区本町2丁目5番7号 大 阪丸紅ビル		PCT 国際調査機関の見解書 (法施行規則第40条の2) [PCT規則43の2.1]	
出願人又は代理人 の書類記号 P054220P0		発送日 (日.月.年) 02.11.2009	
国際出願番号 PCT/J P 2009/004737		国際出願日 (日.月.年) 18.09.2009	優先日 (日.月.年) 06.02.2009
国際特許分類 (IPC) Int.Cl. G11C16/06(2006.01)i, G11C16/02(2006.01)i, G11C16/04(2006.01)i			
出願人 (氏名又は名称) パナソニック株式会社			

1. この見解書は次の内容を含む。 ☒ 第I欄 見解の基礎 ☐ 第II欄 優先権 ☐ 第III欄 新規性、進歩性又は産業上の利用可能性についての見解の不作成 ☐ 第IV欄 発明の単一性の欠如 ☒ 第V欄 PCT規則43の2.1(a)(i)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明 ☐ 第VI欄 ある種の引用文献 ☐ 第VII欄 国際出願の不備 ☐ 第VIII欄 国際出願に対する意見	
2. 今後の手続き 国際予備審査の請求がされた場合は、出願人がこの国際調査機関とは異なる国際予備審査機関を選択し、かつ、その国際予備審査機関がPCT規則66.1の2(b)の規定に基づいて国際調査機関の見解書を国際予備審査機関の見解書とみなさない旨を国際事務局に通知していた場合を除いて、この見解書は国際予備審査機関の最初の見解書とみなされる。 この見解書が上記のように国際予備審査機関の見解書とみなされる場合、様式PCT/ISA/220を送付した日から3月又は優先日から22月のうちいずれか遅く満了する期限が経過するまでに、出願人は国際予備審査機関に、適当な場合は補正書とともに、答弁書を提出することができる。 さらなる選択肢は、様式PCT/ISA/220を参照すること。	
3. さらなる詳細は、様式PCT/ISA/220の備考を参照すること。	

見解書を作成した日 20.10.2009			
名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 外山 毅 電話番号 03-3581-1101 内線 3585	5 N 3982

様式PCT/ISA/237 (表紙) (2007年4月)

第 I 欄 見解の基礎

1. 言語に関し、この見解書は以下のものに基づき作成した。

☒ 出願時の言語による国際出願

☐ 出願時の言語から国際調査のための言語である _____ 語に翻訳された、この国際出願の翻訳文
(PCT規則12.3(a)及び23.1(b))

2. ☐ この見解書は、PCT規則 91 の規定により国際調査機関が認めた又は国際調査機関に通知された明らかな誤りの訂正を考慮して作成した (PCT規則 43 の 2.1(b))。

3. この国際出願で開示されたヌクレオチド又はアミノ酸配列に関して、以下に基づき見解書を作成した。

a. タイプ ☐ 配列表

☐ 配列表に関連するテーブル

b. フォーマット ☐ 紙形式

☐ 電子形式

c. 提出時期 ☐ 出願時の国際出願に含まれていたもの

☐ この国際出願と共に電子形式により提出されたもの

☐ 出願後に、調査のために、この国際調査機関に提出されたもの

4. ☐ さらに、配列表又は配列表に関連するテーブルを提出した場合に、出願後に提出した配列若しくは追加して提出した配列が出願時に提出した配列と同一である旨、又は、出願時の開示を超える事項を含まない旨の陳述書の提出があった。

5. 補足意見：

第V欄 新規性、進歩性又は産業上の利用可能性についてのPCT規則43の2.1(a)(i)に定める見解、それを裏付ける文献及び説明

1. 見解

新規性 (N)	請求項 請求項	1 - 8 _____	有 無
進歩性 (I S)	請求項 請求項	3 1, 2, 4 - 8	有 無
産業上の利用可能性 (I A)	請求項 請求項	1 - 8 _____	有 無

2. 文献及び説明

文献1 : JP 06-150670 A (株式会社日立製作所, 日立東部セミコンダクタ株式会社)
1994.05.31, 段落【0008】 - 【0045】, 図1 - 3
(ファミリーなし)

文献2 : WO 2002/097821 A1 (富士通株式会社)
2002.12.05, 第3頁, 第15 - 第8頁, 第7行, 図1 - 4
& US 2004/0100825 A1

文献3 : JP 2004-273096 A (株式会社ハイニックスセミコンダクター)
2004.09.30, 段落【0008】 - 【0009】, 図1
& US 2004/0174745 A1 & DE 10361719 A1 & KR 2004-0079464 A
& TW 239011 B

文献4 : JP 05-062484 A (三菱電機株式会社)
1993.03.12, 段落【0041】 - 【0043】, 図1 - 3
(ファミリーなし)

文献5 : JP 2003-346484 A (三菱電機株式会社)
2003.12.05, 段落【0168】 - 【0178】, 図15
& US 2003/0218897 A1 & CN 1459863 A & TW 575879 B

請求の範囲1について

請求の範囲1に係る発明は、国際調査報告で引用された文献1（段落【0008】 - 【0045】，図1 - 3）と文献2（第3頁，第15 - 第8頁，第7行，図1 - 4）と文献3（段落【0008】 - 【0009】，図1）により進歩性を有しない。文献1には、8本のビット線を通して8個の不揮発性メモリセルを同時に書き込むEPROMにおいて、書き込みドレイン電圧を生成するドレイン電圧生成回路（VppとQ17で構成）の出力線と8本のデータ線CDとの間に8個のスイッチ回路VRと8個のスイッチ制御回路DEを備え、スイッチ回路はそれぞれ複数のスイッチを有し、スイッチ制御回路でスイッチ回路のスイッチを制御して書き込みドレイン電圧をビット線に接続する構成が記載されている。一方、文献2には、電荷捕獲層の両端に2ビット格納可能なメモリセルを仮想接地のセルアレイに配置し、メモリセルの選択時において、メモリセルを選択するビット線より少ないデータ線が選択される、仮想接地では周知な構成が記載されている。そして、文献3には、フラッシュメモリの書き込み

補充欄

いずれかの欄の大きさが足りない場合

第 V 欄の続き

において、ドレイン書き込み電圧を生成する1つのドレインポンプ100を複数の同時に書き込む複数のビット線に供給する構成が示されている。文献1に示されたEPROMのセルアレイとして周知な仮想接地を用いて構成し、1つのドレイン電圧生成回路から複数のビット線に書き込みドレイン電圧を供給する構成とすることは、当業者にとって容易である。

請求の範囲2、4について

請求の範囲2、4に係る発明は、国際調査報告で引用文献された文献1と文献2と文献3とにより進歩性を有しない。文献1には、スイッチ回路がハイレベルでオンするnチャネル型のMOSFETで構成され、少なくとも1個のトランジスタがオンすることと、制御信号により個別に制御されることが記載されているから、当業者にとって容易である。

請求の範囲3について

請求の範囲3に係る発明は、国際調査報告で引用文献されたいずれの文献にも記載されておらず、当業者にとっても自明なものではない。

請求の範囲5について

請求の範囲5に係る発明は、国際調査報告で引用文献された文献1と文献2と文献3と文献4（段落【0041】－【0043】，図1－3）とにより進歩性を有しない。文献4には、フラッシュEEPROMを複数ビット同時に書き込む際に、データ線に接続されたスイッチトランジスタのオンする期間をそれぞれ制御することが出来る構成が記載されているから、当業者にとって容易である。

請求の範囲6、8について

請求の範囲6、8に係る発明は、国際調査報告で引用文献された文献1と文献2と文献3と文献5（段落【0168】－【0178】，図15）とにより進歩性を有しない。文献5には、MONOS型不揮発性メモリセルを用いた不揮発性半導体記憶装置の書き込みにおいて、メモリセルに書き込まれたデータをセンスアンプ回路22で読み出し、読み出したデータを書込みデータと比較した結果をコンパレータ25がメモリ制御回路28に出力し、書き込みドレイン電圧を制御する構成が記載されているから、当業者にとって容易である。

請求の範囲7について

請求の範囲7に係る発明は、国際調査報告で引用文献された文献1と文献2と文献3と文献5とにより進歩性を有しない。文献2には、電荷捕獲層の両端に2ビット格納可能なメモリセルトランジスタを有する不揮発性半導体記憶装置の書き込みにおいて、一端のメモリセルに書き込みをする場合、他端のメモリセルのデータに応じて、書き込み電圧を変化させる制御が記載されているから、当業者にとって容易である。

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/004737

A. CLASSIFICATION OF SUBJECT MATTER

G11C16/06(2006.01)i, G11C16/02(2006.01)i, G11C16/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C16/06, G11C16/02, G11C16/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 06-150670 A (Hitachi, Ltd., Hitachi Tohbu Semiconductor, Ltd.), 31 May 1994 (31.05.1994), paragraphs [0008] to [0045]; fig. 1 to 3 (Family: none)	1, 2, 4-8 3
Y	WO 2002/097821 A1 (Fujitsu Ltd.), 05 December 2002 (05.12.2002), page 3, line 15 to page 8, line 7; fig. 1 to 4 & US 2004/0100825 A1	1, 2, 4-8
Y	JP 2004-273096 A (Hynix Semiconductor Inc.), 30 September 2004 (30.09.2004), paragraphs [0008] to [0009]; fig. 1 & US 2004/0174745 A1 & DE 10361719 A1 & KR 2004-0079464 A & TW 239011 B	1, 2, 4-8

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
20 October, 2009 (20.10.09)Date of mailing of the international search report
02 November, 2009 (02.11.09)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

Form PCT/ISA/210 (second sheet) (April 2007)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/004737

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 05-062484 A (Mitsubishi Electric Corp.), 12 March 1993 (12.03.1993), paragraphs [0041] to [0043]; fig. 1 to 3 (Family: none)	5
Y	JP 2003-346484 A (Mitsubishi Electric Corp.), 05 December 2003 (05.12.2003), paragraphs [0168] to [0178]; fig. 15 & US 2003/0218897 A1 & CN 1459863 A & TW 575879 B	6-8

特許協力条約

P C T

国際調査報告

(法 8 条、法施行規則第 40、41 条)
〔P C T 18 条、P C T 規則 43、44〕

出願人又は代理人 の書類記号 P054220P0	今後の手続きについては、様式 P C T / I S A / 2 2 0 及び下記 5 を参照すること。	
国際出願番号 P C T / J P 2 0 0 9 / 0 0 4 7 3 7	国際出願日 (日.月.年) 1 8 . 0 9 . 2 0 0 9	優先日 (日.月.年) 0 6 . 0 2 . 2 0 0 9
出願人 (氏名又は名称) パナソニック株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条 (P C T 18条) の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語に関し、この国際調査は以下のものに基づき行った。

☒ 出願時の言語による国際出願

☐ 出願時の言語から国際調査のための言語である _____ 語に翻訳された、
この国際出願の翻訳文 (P C T 規則12.3(a)及び23.1(b))

b. ☐ この国際調査報告は、P C T 規則91の規定により国際調査機関が認めた又は国際調査機関に通知された明らかな誤りの訂正を考慮して作成した (P C T 規則43.6の2(a)) 。

c. ☐ この国際出願は、ヌクレオチド又はアミノ酸配列を含んでいる (第 I 欄参照) 。

2. ☐ 請求の範囲の一部の調査ができない (第 II 欄参照) 。

3. ☐ 発明の単一性が欠如している (第 III 欄参照) 。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第IV欄に示されているように、法施行規則第47条第1項 (P C T 規則38.2) の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1月以内にこの国際調査機関に意見を提出することができる。

6. 図面に関して

a. 要約書とともに公表される図は、
第 1 図とする。 ☒ 出願人が示したとおりである。

☐ 出願人は図を示さなかったので、国際調査機関が選択した。

☐ 本図は発明の特徴を一層よく表しているため、国際調査機関が選択した。

b. ☐ 要約とともに公表される図はない。

様式 P C T / I S A / 2 1 0 (第 1 ページ) (2 0 0 7 年 4 月) (改訂)

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G11C16/06(2006.01)i, G11C16/02(2006.01)i, G11C16/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G11C16/06, G11C16/02, G11C16/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2009年
日本国実用新案登録公報	1996-2009年
日本国登録実用新案公報	1994-2009年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 06-150670 A (株式会社日立製作所, 日立東部セミコンダクタ株式会社) 1994.05.31, 段落【0008】-【0045】, 図1-3 (ファミリーなし)	1, 2, 4-8
A		3
Y	WO 2002/097821 A1 (富士通株式会社) 2002.12.05, 第3頁, 第15-第8頁, 第7行, 図1-4 & US 2004/0100825 A1	1, 2, 4-8
Y	JP 2004-273096 A (株式会社ハイニックスセミコンダクター) 2004.09.30, 段落【0008】-【0009】, 図1,	1, 2, 4-8

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

20.10.2009

国際調査報告の発送日

02.11.2009

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

外山 毅

5 N

3982

電話番号 03-3581-1101 内線 3585

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
	& US 2004/0174745 A1 & DE 10361719 A1 & KR 2004-0079464 A & TW 239011 B	
Y	JP 05-062484 A (三菱電機株式会社) 1993.03.12, 段落【0041】－【0043】, 図1－3 (ファミリーなし)	5
Y	JP 2003-346484 A (三菱電機株式会社) 2003.12.05, 段落【0168】－【0178】, 図15, & US 2003/0218897 A1 & CN 1459863 A & TW 575879 B	6-8

PATENT COOPERATION TREATY

PCT

INTERNATIONAL PRELIMINARY REPORT ON PATENTABILITY

(Chapter I of the Patent Cooperation Treaty)

(PCT Rule 44bis)

Applicant's or agent's file reference P054220P0	FOR FURTHER ACTION See item 4 below	
International application No. PCT/JP2009/004737	International filing date (<i>day/month/year</i>) 18 September 2009 (18.09.2009)	Priority date (<i>day/month/year</i>) 06 February 2009 (06.02.2009)
International Patent Classification (8th edition unless older edition indicated) See relevant information in Form PCT/ISA/237		
Applicant PANASONIC CORPORATION		

1. This international preliminary report on patentability (Chapter I) is issued by the International Bureau on behalf of the International Searching Authority under Rule 44 bis.1(a).

2. This REPORT consists of a total of 7 sheets, including this cover sheet.

In the attached sheets, any reference to the written opinion of the International Searching Authority should be read as a reference to the international preliminary report on patentability (Chapter I) instead.

3. This report contains indications relating to the following items:

- | | | |
|-------------------------------------|--------------|---|
| ☒ | Box No. I | Basis of the report |
| ☐ | Box No. II | Priority |
| ☐ | Box No. III | Non-establishment of opinion with regard to novelty, inventive step and industrial applicability |
| ☐ | Box No. IV | Lack of unity of invention |
| ☒ | Box No. V | Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement |
| ☐ | Box No. VI | Certain documents cited |
| ☐ | Box No. VII | Certain defects in the international application |
| ☐ | Box No. VIII | Certain observations on the international application |

4. The International Bureau will communicate this report to designated Offices in accordance with Rules 44bis.3(c) and 93bis.1 but not, except where the applicant makes an express request under Article 23(2), before the expiration of 30 months from the priority date (Rule 44bis .2).

	Date of issuance of this report 13 September 2011 (13.09.2011)
The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No. +41 22 338 82 70	Authorized officer Yukari Nakamura e-mail: pt07.pct@wipo.int

Form PCT/IB/373 (January 2004)

PATENT COOPERATION TREATY

TRANSLATION

From the
INTERNATIONAL SEARCHING AUTHORITY

PCT

WRITTEN OPINION OF THE
INTERNATIONAL SEARCHING AUTHORITY

(PCT Rule 43bis.1)

To:		<p style="font-weight: bold; font-size: 1.2em;">PCT</p> <p style="text-align: center;">WRITTEN OPINION OF THE INTERNATIONAL SEARCHING AUTHORITY</p> <p style="text-align: center;">(PCT Rule 43bis.1)</p>	
		<p>Date of mailing (day/month/year) 02.11.2009</p>	
<p>Applicant's or agent's file reference</p> <p>P054220P0</p>		<p style="text-align: center;">FOR FURTHER ACTION</p> <p style="text-align: center;">See paragraph 2 below</p>	
<p>International application No.</p> <p>PCT/JP2009/004737</p>	<p>International filing date (day/month/year)</p> <p>18.09.2009</p>	<p>Priority date (day/month/year)</p> <p>06.02.2009</p>	
<p>International Patent Classification (IPC) or both national classification and IPC</p> <p>G11C16/06 (2006.01) i, G11C16/02 (2006.01) i, G11C16/04 (2006.01) i</p>			
<p>Applicant</p> <p>PANASONIC CORPORATION</p>			

<p>1. This opinion contains indications relating to the following items:</p> <table style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 5%; text-align: center;">☒</td> <td style="width: 25%;">Box No. I</td> <td>Basis of the opinion</td> </tr> <tr> <td style="text-align: center;">☐</td> <td>Box No. II</td> <td>Priority</td> </tr> <tr> <td style="text-align: center;">☐</td> <td>Box No. III</td> <td>Non-establishment of opinion with regard to novelty, inventive step and industrial applicability</td> </tr> <tr> <td style="text-align: center;">☐</td> <td>Box No. IV</td> <td>Lack of unity of invention</td> </tr> <tr> <td style="text-align: center;">☒</td> <td>Box No. V</td> <td>Reasoned statement under Rule 43bis.1(a)(i) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement</td> </tr> <tr> <td style="text-align: center;">☐</td> <td>Box No. VI</td> <td>Certain documents cited</td> </tr> <tr> <td style="text-align: center;">☐</td> <td>Box No. VII</td> <td>Certain defects in the international application</td> </tr> <tr> <td style="text-align: center;">☐</td> <td>Box No. VIII</td> <td>Certain observations on the international application</td> </tr> </table>		☒	Box No. I	Basis of the opinion	☐	Box No. II	Priority	☐	Box No. III	Non-establishment of opinion with regard to novelty, inventive step and industrial applicability	☐	Box No. IV	Lack of unity of invention	☒	Box No. V	Reasoned statement under Rule 43bis.1(a)(i) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement	☐	Box No. VI	Certain documents cited	☐	Box No. VII	Certain defects in the international application	☐	Box No. VIII	Certain observations on the international application
☒	Box No. I	Basis of the opinion																							
☐	Box No. II	Priority																							
☐	Box No. III	Non-establishment of opinion with regard to novelty, inventive step and industrial applicability																							
☐	Box No. IV	Lack of unity of invention																							
☒	Box No. V	Reasoned statement under Rule 43bis.1(a)(i) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement																							
☐	Box No. VI	Certain documents cited																							
☐	Box No. VII	Certain defects in the international application																							
☐	Box No. VIII	Certain observations on the international application																							
<p>2. FURTHER ACTION</p> <p>If a demand for international preliminary examination is made, this opinion will be considered to be a written opinion of the International Preliminary Examining Authority ("IPEA") except that this does not apply where the applicant chooses an Authority other than this one to be the IPEA and the chosen IPEA has notified the International Bureau under Rule 66.1bis(b) that written opinions of this International Searching Authority will not be so considered.</p> <p>If this opinion is, as provided above, considered to be a written opinion of the IPEA, the applicant is invited to submit to the IPEA a written reply together, where appropriate, with amendments, before the expiration of 3 months from the date of mailing of Form PCT/ISA/220 or before the expiration of 22 months from the priority date, whichever expires later.</p> <p>For further options, see Form PCT/ISA/220.</p>																									
<p>3. For further details, see notes to Form PCT/ISA/220.</p>																									

Name and mailing address of the ISA/JP	Date of completion of this opinion	Authorized officer
Facsimile No.		Telephone No.

International application No.
PCT/JP2009/004737

Form PCT/ISA/237 (Box No. I) (April 2007)

**WRITTEN OPINION OF THE
INTERNATIONAL SEARCHING AUTHORITY**

International application No.

PCT/JP2009/004737

Box No. V	Reasoned statement under Rule 43bis.1(a)(i) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement		
1. Statement			
Novelty (N)	Claims	<u>1-8</u>	YES
	Claims	_____	NO
Inventive step (IS)	Claims	<u>3</u>	YES
	Claims	<u>1, 2, 4-8</u>	NO
Industrial applicability (IA)	Claims	<u>1-8</u>	YES
	Claims	_____	NO
2. Citations and explanations:			
<p>Document 1: JP 06-150670 A (Hitachi, Ltd.; Hitachi Tohbu Semiconductor, Ltd.), 31 May 1994, paragraphs [0008]-[0045], fig. 1-3 (Family: none)</p> <p>Document 2: WO 2002/097821 A1 (Fujitsu Ltd.), 05 December 2002, page 3, line 15 to page 8, line 7; fig. 1-4 & US 2004/0100825 A1</p> <p>Document 3: JP 2004-273096 A (Hynix Semiconductor Inc.), 30 September 2004, paragraphs [0008] and [0009], fig. 1 & US 2004/0174745 A1 & DE 10361719 A1 & KR 2004-0079464 A & TW 239011 B</p> <p>Document 4: JP 05-062484 A (Mitsubishi Electric Corp.), 12 March 1993, paragraphs [0041]-[0043], fig. 1-3 (Family: none)</p> <p>Document 5: JP 2003-346484 A (Mitsubishi Electric Corp.), 05 December 2003, paragraphs [0168]-[0178], fig. 15 & US 2003/0218897 A1 & CN 1459863 A & TW 575879 B</p> <p>Claim 1</p> <p>The invention as in claim 1 does not involve an inventive step in the light of document 1 (paragraphs [0008]-[0045], fig. 1-3), document 2 (page 3, line 15 to page 8, line 7; fig.</p>			

**WRITTEN OPINION OF THE
INTERNATIONAL SEARCHING AUTHORITY**

International application No.

PCT/JP2009/004737

Box No. V	Reasoned statement under Rule 43bis.1(a)(i) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
	<p>1-4) and document 3 (paragraphs [0008] and [0009], fig. 1) which are cited in the ISR. Document 1 describes an EPROM for simultaneously writing in eight non-volatile memory cells through eight bit lines, wherein eight switching circuits (VR) and eight switch control circuits (DE) are provided between an output line of a drain voltage generation circuit (configured with VPP and MOSFET (Q17)) for generating a write drain voltage and eight data lines (CD); the switching circuits each have multiple switches; the switches of the switching circuits are controlled by the switch control circuits, thereby connecting a write drain voltage to the bit lines. Meanwhile, document 2 describes a well-known feature in the field of virtual grounds, wherein memory cells, which allows two bits to be stored, are arranged in a virtual ground cell array at either end of a charge capturing layer; and when selecting a memory cell, data lines, the number of which is smaller than the number of bit lines for selecting a memory cell, are selected. Furthermore, document 3 describes writing in a flash memory, wherein one drain pump (100) for generating a write drain voltage is supplied to multiple bit lines for simultaneous writing. It would be easy for a person skilled in the art to use the well-known virtual ground to configure the cell array of the EPROM described in document 1, and supply a write drain voltage from one drain voltage generation circuit to multiple bit lines.</p> <p>Claims 2 and 4</p> <p>The invention as in claims 2 and 4 does not involve an inventive step in the light of documents 1, 2 and 3 cited in the ISR. Document 1 indicates that a switching circuit comprises an n-channel type MOSFET for switching on at a high level, that at least one transistor is switched on, and that</p>

Form PCT/ISA/237 (Box No. V) (April 2007)

WRITTEN OPINION OF THE
INTERNATIONAL SEARCHING AUTHORITY

International application No.

PCT/JP2009/004737

Box No. V Reasoned statement under Rule 43bis.1(a)(i) with regard to novelty, inventive step or industrial applicability;
citations and explanations supporting such statement

the transistor is controlled by a control signal individually. Therefore, it would be easy for a person skilled in the art to conceive of the invention as in claims 2 and 4.

Claim 3

The invention as in claim 3 is not described in any of the documents cited in the ISR, and would not be obvious to a person skilled in the art.

Claim 5

The invention as in claim 5 does not involve an inventive step in the light of documents 1, 2 and 3 and, document 4 (paragraphs [0041]-[0043], fig. 1-3) cited in the ISR. Document 4 indicates that while writing a flash EEPROM to multiple bits simultaneously, the period of time during which each switch transistor connected to a data line is on can be controlled. Hence, it would be easy for a person skilled in the art to conceive of the invention as in claim 5.

Claims 6 and 8

The invention as in claims 6 and 8 does not involve an inventive step in the light of documents 1, 2 and 3 and, document 5 (paragraphs [0168]-[0178], fig. 15) cited in the ISR. Document 5 describes a non-volatile semiconductor storage device using a MONOS type non-volatile memory cell, wherein a sense amplifier circuit (22) reads a datum which is written in a memory cell, and a comparator (25) outputs the result of a comparison between the read datum and a write datum to a memory control circuit (28), thereby controlling a write drain voltage. Therefore, it would be easy for a person skilled in the art to conceive of the invention as in claims 6 and 8.

WRITTEN OPINION OF THE
INTERNATIONAL SEARCHING AUTHORITY

International application No.

PCT/JP2009/004737

Box No. V	Reasoned statement under Rule 43bis.1(a)(i) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
-----------	---

Claim 7

The invention as in claim 7 does not involve an inventive step in the light of documents 1, 2, 3 and 5 cited in the ISR. Document 2 describes a non-volatile semiconductor storage device having a memory transistor allowing two bits to be stored at either end of a charge capturing layer, wherein when writing in a memory cell on one end, the change of a write voltage is controlled in response to a datum in a memory cell on the other end. Therefore, it would be easy for a person skilled in the art to conceive of the invention as in claim 7.

From the INTERNATIONAL BUREAU

PCT

NOTIFICATION CONCERNING
TRANSMITTAL OF COPY OF INTERNATIONAL
PRELIMINARY REPORT ON PATENTABILITY
(CHAPTER I OF THE PATENT COOPERATION
TREATY)
(PCT Rule 44bis.1(c))

To:

MAEDA, Hiroshi
Osaka-Marubeni Bldg., 5-7, Hommachi 2-chome,
Chuo-ku, Osaka-shi, Osaka
5410053
JAPON

Date of mailing (<i>day/month/year</i>) 18 August 2011 (18.08.2011)			IMPORTANT NOTICE
Applicant's or agent's file reference P054220P0			
International application No. PCT/JP2009/004737	International filing date (<i>day/month/year</i>) 18 September 2009 (18.09.2009)	Priority date (<i>day/month/year</i>) 06 February 2009 (06.02.2009)	
Applicant PANASONIC CORPORATION et al			

The International Bureau transmits herewith a copy of the international preliminary report on patentability (Chapter I of the Patent Cooperation Treaty)

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland	Authorized officer Yukari Nakamura e-mail: pt07.pct@wipo.int
Facsimile No. +41 22 338 82 70	

From the INTERNATIONAL BUREAU

PCT

SECOND AND SUPPLEMENTARY NOTICE
INFORMING THE APPLICANT OF THE
COMMUNICATION OF THE INTERNATIONAL
APPLICATION (TO DESIGNATED OFFICES
WHICH APPLY THE 30 MONTH TIME
LIMIT UNDER ARTICLE 22(1))

(PCT Rule 47.1(c))

To:

MAEDA, Hiroshi
Osaka-Marubeni Bldg., 5-7, Hommachi 2-chome,
Chuo-ku, Osaka-shi, Osaka
5410053
JAPON

Date of mailing (<i>day/month/year</i>) 09 June 2011 (09.06.2011)		
Applicant's or agent's file reference P054220P0		IMPORTANT NOTICE
International application No. PCT/JP2009/004737	International filing date (<i>day/month/year</i>) 18 September 2009 (18.09.2009)	Priority date (<i>day/month/year</i>) 06 February 2009 (06.02.2009)
Applicant PANASONIC CORPORATION et al		

- ATTENTION:** For any designated Office(s), for which the time limit under Article 22(1), as in force from 1 April 2002 (30 months from the priority date), **does not apply**, please see Form PCT/IB/308(First Notice) issued previously.
- Notice is hereby given that the following designated Office(s), for which the time limit under Article 22(1), as in force from 1 April 2002, **does apply**, has/have requested that the communication of the international application, as provided for in Article 20, be effected under Rule 93bis.1. The International Bureau has effected that communication on the date indicated below:
12 August 2010 (12.08.2010)

AU, AZ, BY, CN, CO, DZ, EP, HU, KG, KP, KR, MD, MK, MY, MZ, NA, NG, PG, RU, SY, TM, US

In accordance with Rule 47.1(c-bis)(i), those Offices will accept the present notice as conclusive evidence that the communication of the international application has duly taken place on the date of mailing indicated above and no copy of the international application is required to be furnished by the applicant to the designated Office(s).

- The following designated Offices, for which the time limit under Article 22(1), as in force from 1 April 2002, **does apply**, have not requested, as at the time of mailing of the present notice, that the communication of the international application be effected under Rule 93bis.1 :

AE, AG, AL, AM, AO, AP, AT, BA, BB, BG, BH, BR, BW, BZ, CA, CH, CL, CR, CU, CZ, DE, DK, DM, DO, EA, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, ID, IL, IN, IS, JP, KE, KM, KN, KZ, LA, LC, LK, LR, LS, LT, LY, MA, ME, MG, MN, MW, MX, NI, NO, NZ, OA, OM, PE, PH, PL, PT, RO, RS, SC, SD, SE, SG, SK, SL, SM, ST, SV, TJ, TN, TR, TT, UA, UZ, VC, VN, ZA, ZM, ZW

In accordance with Rule 47.1(c-bis)(ii), those Offices accept the present notice as conclusive evidence that the Contracting State for which that Office acts as a designated Office does not require the furnishing, under Article 22, by the applicant of a copy of the international application.

4. TIME LIMITS for entry into the national phase

For the designated or elected Office(s) listed above, the applicable time limit for entering the national phase will, **subject to what is said in the following paragraph**, be **30 MONTHS** from the priority date.

In practice, **time limits other than the 30-month time limit** will continue to apply, for various periods of time, in respect of certain of the designated or elected Office(s) listed above. For **regular updates on the applicable time limits** (30 or 31 months, or other time limit), Office by Office, refer to the *PCT Gazette*, the *PCT Newsletter* and the *PCT Applicant's Guide*, Volume II, National Chapters, all available from WIPO's Internet site, at <http://www.wipo.int/pct/en/index.html>.

It is the applicant's **sole responsibility** to monitor all these time limits.

The International Bureau of WIPO
34, chemin des Colombettes
1211 Geneva 20, Switzerland

Authorized officer

Gijsbertus Beijer

Facsimile No. +41 22 338 82 70

e-mail: pt07.pct@wipo.int

From the INTERNATIONAL BUREAU

PCT

FIRST NOTICE INFORMING THE APPLICANT OF
THE COMMUNICATION OF THE INTERNATIONAL
APPLICATION (TO DESIGNATED OFFICES WHICH
DO NOT APPLY THE 30 MONTH TIME LIMIT
UNDER ARTICLE 22(1))

(PCT Rule 47.1(c))

To:

MAEDA, Hiroshi
Osaka-Marubeni Bldg., 5-7, Hommachi 2-chome,
Chuo-ku, Osaka-shi, Osaka
5410053
JAPON

Date of mailing (day/month/year) 10 September 2010 (10.09.2010)		IMPORTANT NOTICE	
Applicant's or agent's file reference P054220P0			
International application No. PCT/JP2009/004737	International filing date (day/month/year) 18 September 2009 (18.09.2009)	Priority date (day/month/year) 06 February 2009 (06.02.2009)	
Applicant PANASONIC CORPORATION et al			

1. **ATTENTION:** For any designated Office(s), for which the time limit under Article 22(1), as in force from 1 April 2002 (30 months from the priority date), **does apply**, please see Form PCT/IB/308(Second and Supplementary Notice) (to be issued promptly after the expiration of 28 months from the priority date).

2. Notice is hereby given that the following designated Office(s), for which the time limit under Article 22(1), as in force from 1 April 2002, **does not apply**, has/have requested that the communication of the international application, as provided for in Article 20, be effected under Rule 93bis.1. The International Bureau has effected that communication on the date indicated below:
12 August 2010 (12.08.2010)

None

In accordance with Rule 47.1(c-bis)(i), those Offices will accept the present notice as conclusive evidence that the communication of the international application has duly taken place on the date of mailing indicated above and no copy of the international application is required to be furnished by the applicant to the designated Office(s).

3. The following designated Offices, for which the time limit under Article 22(1), as in force from 1 April 2002, **does not apply**, have not requested, as at the time of mailing of the present notice, that the communication of the international application be effected under Rule 93bis.1 :

LU, TZ, UG

In accordance with Rule 47.1(c-bis)(ii), those Offices accept the present notice as conclusive evidence that the Contracting State for which that Office acts as a designated Office does not require the furnishing, under Article 22, by the applicant of a copy of the international application.

4. TIME LIMITS for entry into the national phase

For the designated Office(s) listed above, and unless a demand for international preliminary examination has been filed before the expiration of **19 months** from the priority date (see Article 39(1)), the applicable time limit for entering the national phase will, **subject to what is said in the following paragraph**, be **20 MONTHS** from the priority date.

In practice, **time limits other than the 20-month time limit** will continue to apply, for various periods of time, in respect of certain of the designated Offices listed above. For **regular updates on the applicable time limits** (20 or 21 months, or other time limit), Office by Office, refer to the *PCT Gazette*, the *PCT Newsletter* and the *PCT Applicant's Guide*, Volume II, National Chapters, all available from WIPO's Internet site, at <http://www.wipo.int/pct/en/index.html>.

It is the applicant's **sole responsibility** to monitor all these time limits.

The International Bureau of WIPO
34, chemin des Colombettes
1211 Geneva 20, Switzerland

Authorized officer

Gijsbertus Beijer

Facsimile No. +41 22 338 82 70

e-mail: pt07.pct@wipo.int

PATENT COOPERATION TREATY

WO 2010/089815
PCT/JP2009/004737

From the INTERNATIONAL BUREAU

PCTNOTIFICATION CONCERNING
AVAILABILITY OF THE PUBLICATION
OF THE INTERNATIONAL APPLICATION

To:

MAEDA, Hiroshi
Osaka-Marubeni Bldg., 5-7, Hommachi 2-chome,
Chuo-ku, Osaka-shi, Osaka
5410053
JAPON

Date of mailing (<i>day/month/year</i>) 12 August 2010 (12.08.2010)		
Applicant's or agent's file reference P054220P0		IMPORTANT NOTICE
International application No. PCT/JP2009/004737	International filing date (<i>day/month/year</i>) 18 September 2009 (18.09.2009)	Priority date (<i>day/month/year</i>) 06 February 2009 (06.02.2009)
Applicant PANASONIC CORPORATION et al		

The applicant is hereby **notified** that the International Bureau:☒ has **published** the above-indicated international application on 12 August 2010 (12.08.2010) under
No. WO 2010/089815☐ has **republished** the above-indicated international application on under
No. WO
For an explanation as to the reason for this republication of the international application, reference is made to INID codes
(15), (48) or (88) (*as the case may be*) on the front page of the published international application.A copy of the international application is available for viewing and downloading on WIPO's website at the following address:
www.wipo.int/pctdb (in the appropriate field of the structured search, enter the PCT or WO number).The applicant may also obtain a paper copy of the published international application from the International Bureau by sending an e-mail
to patentscope@wipo.int or by submitting a written request to the contact details provided below.

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland	Authorized officer Yoshiko Kuwahara e-mail: pt07.pct@wipo.int
Facsimile No. +41 22 338 82 70	

Form PCT/IB/311 (January 2009)

From the INTERNATIONAL BUREAU

PCTNOTIFICATION CONCERNING
SUBMISSION OR TRANSMITTAL
OF PRIORITY DOCUMENT

(PCT Administrative Instructions, Section 411)

To:

MAEDA, Hiroshi
Osaka-Marubeni Bldg., 5-7, Hommachi 2-chome,
Chuo-ku, Osaka-shi, Osaka
5410053
JAPON

Date of mailing (day/month/year) 12 November 2009 (12.11.2009)	
Applicant's or agent's file reference P054220P0	IMPORTANT NOTIFICATION
International application No. PCT/JP2009/004737	International filing date (day/month/year) 18 September 2009 (18.09.2009)
International publication date (day/month/year) Not yet published	Priority date (day/month/year) 06 February 2009 (06.02.2009)
Applicant PANASONIC CORPORATION et al	

- By means of this Form, which replaces any previously issued notification concerning submission or transmittal of priority documents, the applicant is hereby notified of the date of receipt by the International Bureau of the priority document(s) relating to all earlier application(s) whose priority is claimed. Unless otherwise indicated by the letters "NR", in the right-hand column or by an asterisk appearing next to a date of receipt, the priority document concerned was submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b).
- (If applicable)* The letters "NR" appearing in the right-hand column denote a priority document which, on the date of mailing of this Form, had not yet been received by the International Bureau under Rule 17.1(a) or (b). Where, under Rule 17.1(a), the priority document must be submitted by the applicant to the receiving Office or the International Bureau, but the applicant fails to submit the priority document within the applicable time limit under that Rule, the attention of the applicant is directed to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.
- (If applicable)* An asterisk (*) appearing next to a date of receipt, in the right-hand column, denotes a priority document submitted or transmitted to the International Bureau but not in compliance with Rule 17.1(a) or (b) (the priority document was received after the time limit prescribed in Rule 17.1(a) or the request to prepare and transmit the priority document was submitted to the receiving Office after the applicable time limit under Rule 17.1(b)). Even though the priority document was not furnished in compliance with Rule 17.1(a) or (b), the International Bureau will nevertheless transmit a copy of the document to the designated Offices, for their consideration. In case such a copy is not accepted by the designated Office as the priority document, Rule 17.1(c) provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.

<u>Priority date</u>	<u>Priority application No.</u>	<u>Country or regional Office or PCT receiving Office</u>	<u>Date of receipt of priority document</u>
06 February 2009 (06.02.2009)	2009-026211	JP	04 November 2009 (04.11.2009)

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No. +41 22 338 82 70	Authorized officer Yoshiko Kuwahara e-mail PT07.PCT@WIPO.INT Telephone No. +41 22 338 74 07
---	---

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP2009/004737

International filing date: 18 September 2009 (18.09.2009)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2009-026211
Filing date: 06 February 2009 (06.02.2009)

Date of receipt at the International Bureau: 04 November 2009 (04.11.2009)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2009年 2月 6日

出 願 番 号
Application Number: 特願2009-026211

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号

The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

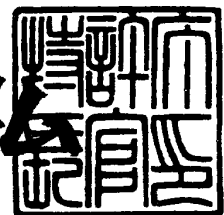
J P 2009-026211

出 願 人
Applicant(s): パナソニック株式会社

2009年10月20日

特許庁長官
Commissioner,
Japan Patent Office

細野 哲弘



【書類名】	特許願
【整理番号】	5037600032
【提出日】	平成21年 2月 6日
【あて先】	特許庁長官 殿
【国際特許分類】	G11C 16/04 G11C 16/06
【発明者】	
【住所又は居所】	大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内
【氏名】	濱本 幸昌
【発明者】	
【住所又は居所】	大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内
【氏名】	土岐 和啓
【特許出願人】	
【識別番号】	000005821
【氏名又は名称】	パナソニック株式会社
【代理人】	
【識別番号】	100077931
【弁理士】	
【氏名又は名称】	前田 弘
【選任した代理人】	
【識別番号】	100110939
【弁理士】	
【氏名又は名称】	竹内 宏
【選任した代理人】	
【識別番号】	100110940
【弁理士】	
【氏名又は名称】	嶋田 高久
【選任した代理人】	
【識別番号】	100113262
【弁理士】	
【氏名又は名称】	竹内 祐二
【選任した代理人】	
【識別番号】	100115059
【弁理士】	
【氏名又は名称】	今江 克実
【選任した代理人】	
【識別番号】	100115691
【弁理士】	
【氏名又は名称】	藤田 篤史
【選任した代理人】	
【識別番号】	100117581
【弁理士】	
【氏名又は名称】	二宮 克也
【選任した代理人】	
【識別番号】	100117710
【弁理士】	
【氏名又は名称】	原田 智雄
【電話番号】	06-6125-2255
【連絡先】	担当

【選任した代理人】
【識別番号】 100121728
【弁理士】
【氏名又は名称】 井関 勝守
【選任した代理人】
【識別番号】 100124671
【弁理士】
【氏名又は名称】 関 啓
【選任した代理人】
【識別番号】 100131060
【弁理士】
【氏名又は名称】 杉浦 靖也
【手数料の表示】
【予納台帳番号】 014409
【納付金額】 15,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 特許請求の範囲 1
【物件名】 要約書 1
【物件名】 図面 1
【包括委任状番号】 0814523

【書類名】明細書

【発明の名称】不揮発性半導体メモリ

【技術分野】

【0001】

本発明は、不揮発性半導体メモリに関し、特に、同じ閾値レベルに複数個の不揮発性メモリセルを同時に書き込む時の書き込み速度のばらつきを抑制する技術に関するものである。

【背景技術】

【0002】

一般に、フラッシュメモリ等の不揮発性半導体メモリは、ワード線に接続されたゲート電極と、ビット線に接続されたドレインと、ソース線に接続されたソースと、フローティングゲート又は電荷トラップ層とからなるメモリセルを有し、このメモリセルが複数個マトリックス状に配置されたメモリセルアレイを備える。

【0003】

例えばトラップ層を有する不揮発性半導体メモリでは、メモリセルのチャネル領域とゲート電極との間の絶縁膜 (SiO_2) 内に存在する離散化されたトラップ層 (SiN 膜又は SiN 膜/トップ SiO_2 膜界面の遷移領域) に電荷 (電子又はホール) 注入により電荷がトラップされ、そのメモリセルの閾値レベルによってデータ “0” 又は “1” を判定し、情報を記憶する。以下、電子注入を書き込みとして、書き込みの原理を説明する。

【0004】

図9において、600はP型シリコンからなる半導体基板、601は半導体基板600上に設けられたP型のチャネル領域、602はチャネル領域601の片側に半導体基板600上に設けられたN型の半導体からなる第1の不純物領域 (例えばドレイン)、603はチャネル領域601の他の片側に半導体基板600上に設けられたN型の半導体からなる第2の不純物領域 (例えばソース)、604は半導体基板600上に設けられたシリコンの酸化膜からなるボトム絶縁膜、605はボトム絶縁膜604上に設けられたシリコンの窒酸化膜からなるトラップ層、606はトラップ層605上に設けられたシリコンの酸化膜からなるトップ絶縁膜、607はトップ絶縁膜606上に設けられたN型のポリシリコンからなるゲート電極である。

【0005】

書き込み時には、ゲート電極607に約9Vを、第1の不純物領域 (ドレイン) 602に約5Vを、第2の不純物領域 (ソース) 603に0Vを、半導体基板600に0Vをそれぞれ印加する。これにより、第2の不純物領域603から第1の不純物領域602に向かう電子の一部が第1の不純物領域602の近傍の高電界によってホットとなり、第1の不純物領域602の近傍のトラップ層605に局所的に注入され、メモリセルの閾値レベルは高い状態となる。

【0006】

不揮発性半導体メモリの書き込み動作においては、バイト単位又はワード単位などの複数個のメモリセルを1つの単位として、これらのメモリセルに上記書き込み電圧を同時に印加して書き込むことにより、書き込み時間の短縮を図ることが一般的である。

【0007】

また、トラップ層を有する不揮発性半導体メモリでは、メモリセルの第1の不純物領域602と第2の不純物領域603とに印加する電圧を入れ替え、第1の不純物領域602に0Vを、第2の不純物領域603に約5Vをそれぞれ印加することで、第2の不純物領域603の近傍のトラップ層605にも局所的に電子を注入することで、1つのメモリセルに2ビットのデータを記憶することが可能である。

【0008】

しかしながら、近年、不揮発性半導体メモリの大容量化に伴ってメモリセルアレイの面積も大きくなり、それに伴ってメモリセルアレイ内に設けられたビット線の長さも長くなっている。そのため、書き込みの際、ビット線の抵抗による電圧降下により、メモリセル

アレイ内のメモリセルの位置によってドレイン電圧が異なり、書き込み速度にばらつきが生じるという問題がある。

【0009】

加えて、トラップ層を有し1つのメモリセルに2ビットのデータを記憶することができる不揮発性半導体メモリにおいては、第1のビットの記憶状態が第2のビットの書き込み速度に影響を及ぼすことが知られており、書き込み速度のばらつきの要因となっている。

【0010】

これらの問題に対し、ある従来技術によれば、書き込みアドレスに応じて、書き込み時にメモリセルアレイ内のビット線に供給するビット線電圧のレベルを変化させて、書き込み速度のばらつきを抑制している（特許文献1参照）。

【特許文献1】特開2003-109389号公報

【発明の開示】

【発明が解決しようとする課題】

【0011】

しかしながら、上記従来技術では、複数個のメモリセルを同時に書き込む場合、書き込み条件（ドレイン電圧、ドレイン電圧の供給期間）は共通に設定される。そのため、同時に書き込む複数個のメモリセル間の書き込み速度のばらつきは抑制することができず、メモリセルの信頼性悪化を引き起こす。また、書き込み時間は書き込み速度の遅いメモリセルに依存するため、書き込み速度のばらつきにより書き込み時間を増加させてしまう。

【課題を解決するための手段】

【0012】

本発明によれば、複数個の不揮発性メモリセルを同時に書き込む場合、複数個の不揮発性メモリセルのビット線はコラムアドレス信号によりM本（Mは2以上の整数）のデータ線に接続される。しかも、1本のデータ線ごとにN個（Nは1以上の整数）のスイッチと当該N個のスイッチを制御するスイッチ制御回路とを設け、M個のスイッチ制御回路によりM×N個のスイッチを制御し、複数個のメモリセルのビット線に印加されるドレイン電圧の電圧レベル又はドレイン電圧の印加期間をメモリセルごとに変化させる。

【発明の効果】

【0013】

本発明の不揮発性半導体メモリにおいては、複数個の不揮発性メモリセルを同時に書き込む場合のメモリセル間の書き込み速度のばらつきを抑制し、書き込み後の閾値レベルのばらつきを少なくしてメモリセルの信頼性を向上させるとともに、書き込み速度のばらつきによる書き込み時間の増加を抑制できる。

【発明を実施するための最良の形態】

【0014】

以下、図面を参照しながら、本発明の実施形態を説明する。

【0015】

図1は、本発明に係る不揮発性半導体メモリの構成例を示している。100は複数個のメモリセルで構成されるメモリセルアレイ、101は複数のビット線と当該ビット線の本数より少ないM本のデータ線DIO1～DIOmとをコラムアドレス信号により接続するコラムデコーダ、102はビット線にドレイン電圧を供給するドレイン電圧生成回路である。

【0016】

1本のデータ線ごとに、N個のスイッチSW1～SWnの各々の第1の端子が共通に接続され、当該N個のスイッチSW1～SWnの各々の第2の端子にはドレイン電圧生成回路102の出力であるドレイン電圧供給線VDが共通に接続される。また、1本のデータ線ごとにN個のスイッチSW1～SWnを制御するスイッチ制御回路103が設けられる。

【0017】

M個のスイッチ制御回路103によりM×N個のスイッチを制御して、M本のデータ線

D I O 1 ~ D I O m に供給するドレイン電圧レベル、又は、供給するドレイン電圧の供給期間をデータ線ごとに变化させる。その結果、M本のデータ線D I O 1 ~ D I O m に接続されるメモリセルの書き込み速度をメモリセルごとに变化させ、複数個のメモリセルを同時に書き込む際の書き込み速度のばらつきを抑制できる。

【0018】

図2は、データ線に供給するドレイン電圧の電圧レベルを変化させるスイッチ回路及びスイッチ制御回路の第1の構成例を示している。スイッチ回路200は、2個のP型トランジスタP1、P2の各々の第1の端子がデータ線D I O に共通に接続され、当該P型トランジスタP1、P2の各々の第2の端子はドレイン電圧供給線VDに共通に接続される。スイッチ制御回路201は、データ入力信号D I N、スイッチ制御入力信号S W I N 1、S W I N 2が入力され、スイッチ制御出力信号S W O U T 1、S W O U T 2が出力される。スイッチ制御出力信号S W O U T 1、S W O U T 2は、スイッチ回路200のP型トランジスタP1、P2のゲート端子にそれぞれ接続される。

【0019】

図3に、スイッチ制御回路201における、データ入力信号D I N、スイッチ制御入力信号S W I N 1、S W I N 2と、スイッチ制御出力信号S W O U T 1、S W O U T 2との関係を示す。図3中の“L”は0Vを、“H”はドレイン電圧供給線VDと同じレベルをそれぞれ表す。S W O U T 1が“L”のとき、スイッチ回路200のP型トランジスタP1がオンし、S W O U T 2が“L”のとき、スイッチ回路200のP型トランジスタP2がオンする。スイッチ回路200のP型トランジスタP1、P2のオンする組み合わせによって、データ線D I O とドレイン電圧供給線VDとの間のトランジスタ抵抗を変化させ、トランジスタ抵抗による電圧降下量を変えることができる。このように、スイッチ回路200のP型トランジスタP1、P2のオンする組み合わせによってデータ線D I O に供給する電圧レベルを変化させることができる。

【0020】

図4は、データ線に供給するドレイン電圧の電圧レベルを変化させるスイッチ回路及びスイッチ制御回路の第2の構成例を示している。スイッチ回路300は、P型トランジスタP1及びN型トランジスタN1の各々の第1の端子がデータ線D I O に共通に接続され、当該P型トランジスタP1及びN型トランジスタN1の各々の第2の端子はドレイン電圧供給線VDに共通に接続される。スイッチ制御回路301は、データ入力信号D I N、スイッチ制御入力信号S W I Nが入力され、スイッチ制御出力信号S W O U T 1、S W O U T 2が出力される。スイッチ制御出力信号S W O U T 1、S W O U T 2はスイッチ回路300のP型トランジスタP1及びN型トランジスタN1のゲート端子にそれぞれ接続される。

【0021】

図5に、スイッチ制御回路301における、データ入力信号D I N、スイッチ制御入力信号S W I Nと、スイッチ制御出力信号S W O U T 1、S W O U T 2との関係を示す。図5中の“L”は0Vを、“H”はドレイン電圧供給線VDと同じレベルをそれぞれ表す。S W O U T 1が“L”のとき、P型トランジスタP1がオンし、S W O U T 2が“H”のとき、N型トランジスタN1がオンする。P型トランジスタP1がオンした場合、データ線D I O にはドレイン電圧供給線VDのレベルがそのまま供給され、一方、N型トランジスタN1がオンした場合、ゲート電圧（ここではドレイン電圧供給線VDレベル）よりN型トランジスタN1の閾値電圧 V_{tn} だけ低いレベルが供給される。このように、P型トランジスタP1とN型トランジスタN1とのうちいずれか一方を選択的にオンさせることで、データ線D I O に供給する電圧レベルを変化させることができる。

【0022】

図6は、データ線に供給するドレイン電圧の供給期間を変化させるスイッチ回路及びスイッチ制御回路の構成例を示している。スイッチ回路400は、P型トランジスタP1の第1の端子がデータ線D I O に接続され、当該P型トランジスタP1の第2の端子はドレイン電圧供給線VDに接続される。スイッチ制御回路401は、データ入力信号D I N、

スイッチ制御入力信号SWINが入力され、スイッチ制御出力信号SWOUTが出力される。スイッチ制御出力信号SWOUTは、スイッチ回路400のP型トランジスタP1のゲート端子に接続される。スイッチ制御回路401は、接地電位をGNDとして抵抗素子Rと容量素子Cとで構成される遅延回路402を備え、スイッチ制御入力信号SWINによりスイッチ制御出力信号SWOUTの“L”期間を切り替えることができる。

【0023】

図7に、スイッチ制御回路401における、データ入力信号DIN、スイッチ制御入力信号SWINと、スイッチ制御出力信号SWOUTとの関係を示す。図7中の“L”は0Vを、“H”はドレイン電圧供給線VDと同じレベルをそれぞれ表す。スイッチ制御出力信号SWOUTが“L”の期間でP型トランジスタP1がオンし、データ線DIOにドレイン電圧を供給する。このように、スイッチ制御入力信号SWINにより、データ線DIOに供給する電圧の供給期間を変化させることができる。

【0024】

図8は、本発明に係る不揮発性半導体メモリの他の構成例を示している。500は複数個のメモリセルで構成されるメモリセルアレイ、501は複数のビット線と当該ビット線の本数より少ないM本のデータ線DIO1～DIOmとをコラムアドレス信号により接続するコラムデコーダ、502はビット線にドレイン電圧を供給するドレイン電圧生成回路である。メモリセルアレイ500は、図9で示すトラップ層を有するメモリセルで構成され、1つのメモリセルに2ビットのデータの記憶が可能である。

【0025】

1本のデータ線ごとに、N個のスイッチSW1～SWnの各々の第1の端子が共通に接続され、当該N個のスイッチSW1～SWnの各々の第2の端子にはドレイン電圧生成回路502の出力であるドレイン電圧供給線VDが共通に接続される。また、1本のデータ線ごとにN個のスイッチSW1～SWnを制御するスイッチ制御回路503が設けられる。

【0026】

また、メモリセルの記憶状態（“0”又は“1”）を格納する状態格納回路504を設ける。状態格納回路504は、格納したメモリセルの記憶状態に応じて状態出力信号CB1～CBmを出力し、当該状態出力信号CB1～CBmはM個のスイッチ制御回路503に接続される。

【0027】

M本のデータ線DIO1～DIOmに接続されるメモリセルの第1のビットの書き込みを行う前に、メモリセルの第2のビットの記憶状態を予め読み出し、その読み出し結果を状態格納回路504に格納する。メモリセルの第1のビットの書き込みを行う際、状態格納回路504は格納した記憶状態に応じて状態出力信号CB1～CBmを出力し、当該状態出力信号CB1～CBmに応じて、M本のデータ線DIO1～DIOmに供給する電圧レベル、又は、供給する電圧の供給期間をデータ線ごとに変化させる。このように、M本のデータ線DIO1～DIOmに接続されるメモリセルの第1のビットの書き込み速度を、メモリセルの第2のビットの記憶状態に応じてメモリセルごとに変化させることが可能となり、複数個のメモリセルを同時に書き込む際の書き込み速度のばらつきを抑制できる。

【0028】

以上、1本のデータ線に接続されるスイッチの個数を2個又は1個として実施形態を挙げたが、本発明ではスイッチを3個以上設けることも可能である。また、トラップ層を有する不揮発性半導体メモリとして、1つのメモリセルの記憶ビット数を2ビットとして説明したが、メモリセルの第1の不純物領域と第2の不純物領域との電圧関係を入れ替えて書き込みができるメモリセルの場合、3ビット以上でも本発明は適用できる。

【産業上の利用可能性】

【0029】

以上説明してきたとおり、本発明に係る不揮発性半導体メモリは、メモリセルごとの書

き込み速度のばらつきを抑制することでメモリセル信頼性の向上が図れるとともに、書き込み速度のばらつきによる書き込み時間の増加も抑制できる。特に、トラップ層を有し、1つのメモリセルで複数ビットの記憶が可能な不揮発性半導体メモリとして有用である。

【図面の簡単な説明】

【0030】

【図1】本発明に係る不揮発性半導体メモリの第1の構成例を示すブロック図である。

【図2】本発明に係るスイッチ回路及びスイッチ制御回路の第1の構成例を示す図である。

【図3】本発明に係るスイッチ回路及びスイッチ制御回路の第1の構成例におけるスイッチ制御方法を説明する図である。

【図4】本発明に係るスイッチ回路及びスイッチ制御回路の第2の構成例を示す図である。

【図5】本発明に係るスイッチ回路及びスイッチ制御回路の第2の構成例におけるスイッチ制御方法を説明する図である。

【図6】本発明に係るスイッチ回路及びスイッチ制御回路の第3の構成例を示す図である。

【図7】本発明に係るスイッチ回路及びスイッチ制御回路の第3の構成例におけるスイッチ制御方法を説明する図である。

【図8】本発明に係る不揮発性半導体メモリの第2の構成例を示すブロック図である。

【図9】従来の不揮発性半導体メモリのメモリセル構造を示す断面図である。

【符号の説明】

【0031】

100, 500 メモリセルアレイ
101, 501 コラムデコーダ
102, 502 ドレイン電圧生成回路
103, 503 スイッチ制御回路
200, 300, 400 スイッチ回路
201, 301, 401 スイッチ制御回路
402 遅延回路
504 状態格納回路
600 半導体基板
601 チャネル領域
602 第1の不純物領域（ドレイン）
603 第2の不純物領域（ソース）
604 ボトム絶縁膜
605 トラップ層
606 トップ絶縁膜
607 ゲート電極
C 容量素子
CB1～CBm 状態出力信号
DIN データ入力信号
DIO, DIO1～DIOm データ線
GND 接地電位
N1 N型トランジスタ
P1, P2 P型トランジスタ
R 抵抗素子
SW1～SWn スイッチ
SWIN, SWIN1, SWIN2 スイッチ制御入力信号

SWOUT, SWOUT1, SWOUT2 スイッチ制御出力信号
VD ドレイン電圧供給線

【書類名】特許請求の範囲

【請求項 1】

複数本のビット線を通して複数個の不揮発性メモリセルを同時に書き込むことが可能な不揮発性半導体メモリであって、

コラムアドレス信号に応じて前記複数本のビット線に接続される、前記ビット線の本数より少ないM本（Mは2以上の整数）のデータ線と、

前記複数個の不揮発性メモリセルの各々のドレイン電圧の源となる電圧を生成するドレイン電圧生成回路と、

前記ドレイン電圧生成回路の出力が接続されたドレイン電圧供給線と、

前記M本のデータ線と前記ドレイン電圧供給線との間に介在したM個のスイッチ回路及びM個のスイッチ制御回路とを備え、

前記M個のスイッチ回路の各々は、N個（Nは1以上の整数）のスイッチを有し、

前記M×N個のスイッチの各々は、前記M本のデータ線のうちの対応する1本のデータ線に共通に接続された第1の端子と、前記ドレイン電圧供給線に共通に接続された第2の端子とを有し、

前記M本のデータ線に対して前記M×N個のスイッチを介して前記ドレイン電圧供給線が接続され、前記M個のスイッチ制御回路で前記M×N個のスイッチを制御することを特徴とする不揮発性半導体メモリ。

【請求項 2】

請求項 1 記載の不揮発性半導体メモリにおいて、

前記M個のスイッチ回路のいずれかを構成するN個のスイッチは、互いに並列接続された1導電型のトランジスタでそれぞれ構成され、

前記M本のデータ線のうち対応する1本のデータ線にドレイン電圧を供給すべき場合には、前記N個のトランジスタのうち少なくとも1個のトランジスタが、対応するスイッチ制御回路の制御によりオンすることを特徴とする不揮発性半導体メモリ。

【請求項 3】

請求項 1 記載の不揮発性半導体メモリにおいて、

前記M個のスイッチ回路のいずれかを構成するN個のスイッチは、互いに並列接続されたP型及びN型トランジスタで構成され、

前記M本のデータ線のうち対応する1本のデータ線にドレイン電圧を供給すべき場合には、前記P型又はN型トランジスタのいずれか一方が、対応するスイッチ制御回路の制御によりオンすることを特徴とする不揮発性半導体メモリ。

【請求項 4】

請求項 1 記載の不揮発性半導体メモリにおいて、

前記M個のスイッチ制御回路は、前記M本のデータ線のうち対応する1本のデータ線に接続された前記N個のスイッチがオンする組み合わせを、前記M本のデータ線の1本ごとに制御することが可能であることを特徴とする不揮発性半導体メモリ。

【請求項 5】

請求項 1 記載の不揮発性半導体メモリにおいて、

前記M個のスイッチ制御回路は、前記M本のデータ線のうち対応する1本のデータ線に接続された前記N個のスイッチがオンする期間を、前記M本のデータ線の1本ごとに制御することが可能であることを特徴とする不揮発性半導体メモリ。

【請求項 6】

請求項 1 記載の不揮発性半導体メモリにおいて、

前記複数個の不揮発性メモリセルの各々は、ソース・ドレイン電圧関係を反転させることで書き込み可能な複数ビットのデータを記憶可能であり、

一方向のソース・ドレイン電圧印加による書き込み時において、逆方向のソース・ドレイン電圧印加によって書き込みを行うビットの記憶状態の読み出しを行い、読み出した記憶状態を格納する状態格納回路を更に備え、

前記状態格納回路に蓄えられた記憶状態に応じて前記M個のスイッチ制御回路の制御方

法が変更されることを特徴とする不揮発性半導体メモリ。

【書類名】要約書

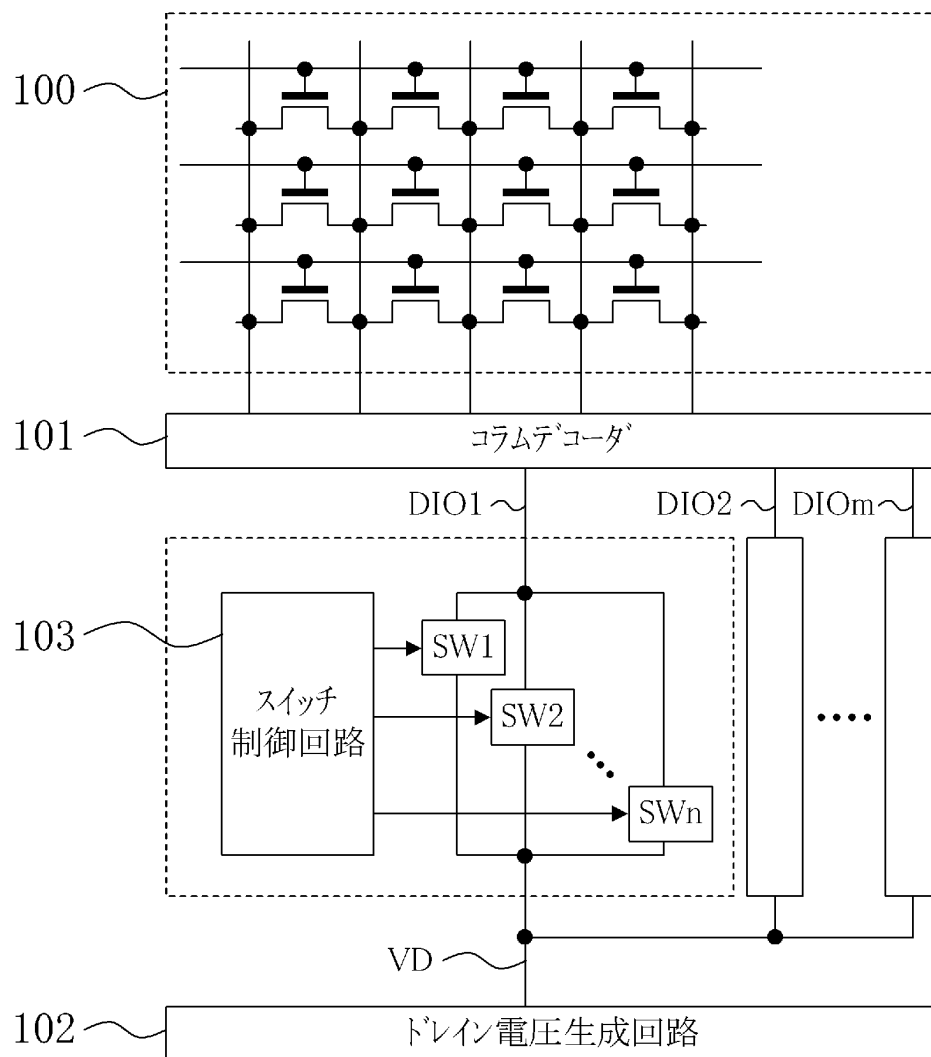
【要約】

【課題】不揮発性半導体メモリにおいて、複数個の不揮発性メモリセルを同時に書き込む場合、メモリセル間で発生する書き込み速度のばらつきにより、書き込み後の閾値レベルのばらつきが発生し、メモリセルの信頼性を低下させるとともに、書き込み速度のばらつきによる書き込み時間の増加を引き起こす。

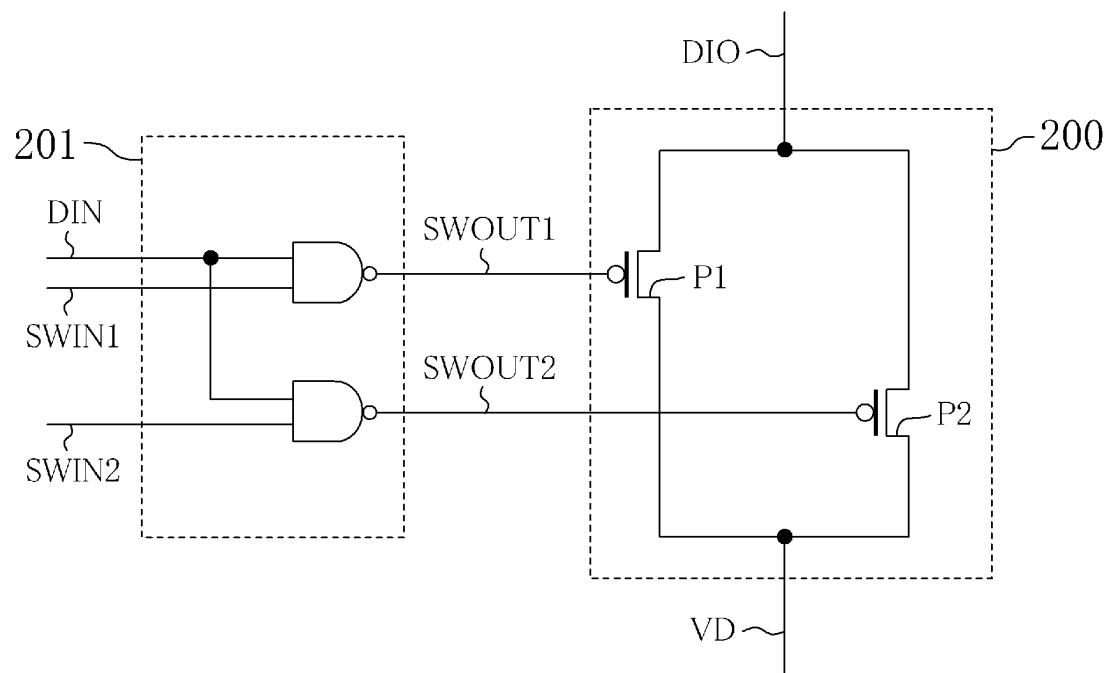
【解決手段】メモリセルアレイ100中の複数個の不揮発性メモリセルを同時に書き込む場合、当該複数個の不揮発性メモリセルのビット線はコラムアドレス信号によりM本（Mは2以上の整数）のデータ線DIO1～DIOmに接続される。そして、1本のデータ線ごとにN個（Nは1以上の整数）のスイッチSW1～SWnと当該N個のスイッチを制御するスイッチ制御回路103とを設け、M個のスイッチ制御回路によりM×N個のスイッチを制御し、複数個のメモリセルのビット線に印加されるドレイン電圧の電圧レベル又はドレイン電圧の印加期間をメモリセルごとに変化させる。

【選択図】図1

【書類名】図面
【図1】



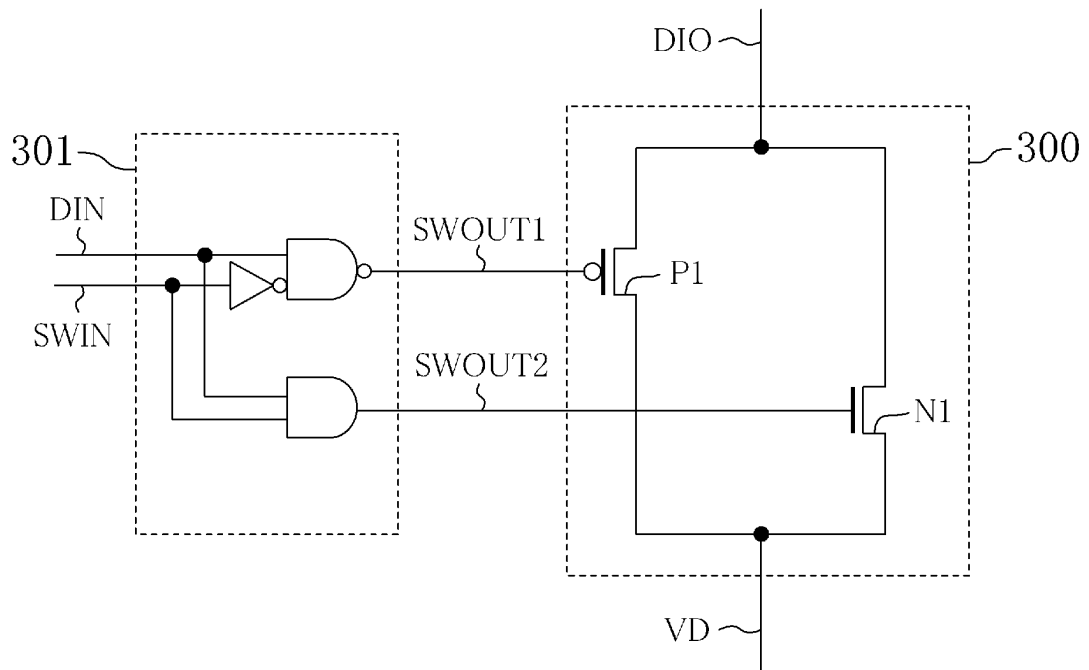
【図2】



【図3】

DIN	SWIN1	SWIN2	SWOUT1	SWOUT2	オンするトランジスタ
L	—	—	H	H	なし
H	L	L	H	H	なし
H	H	L	L	H	P 1
H	L	H	H	L	P 2
H	H	H	L	L	P 1、P 2

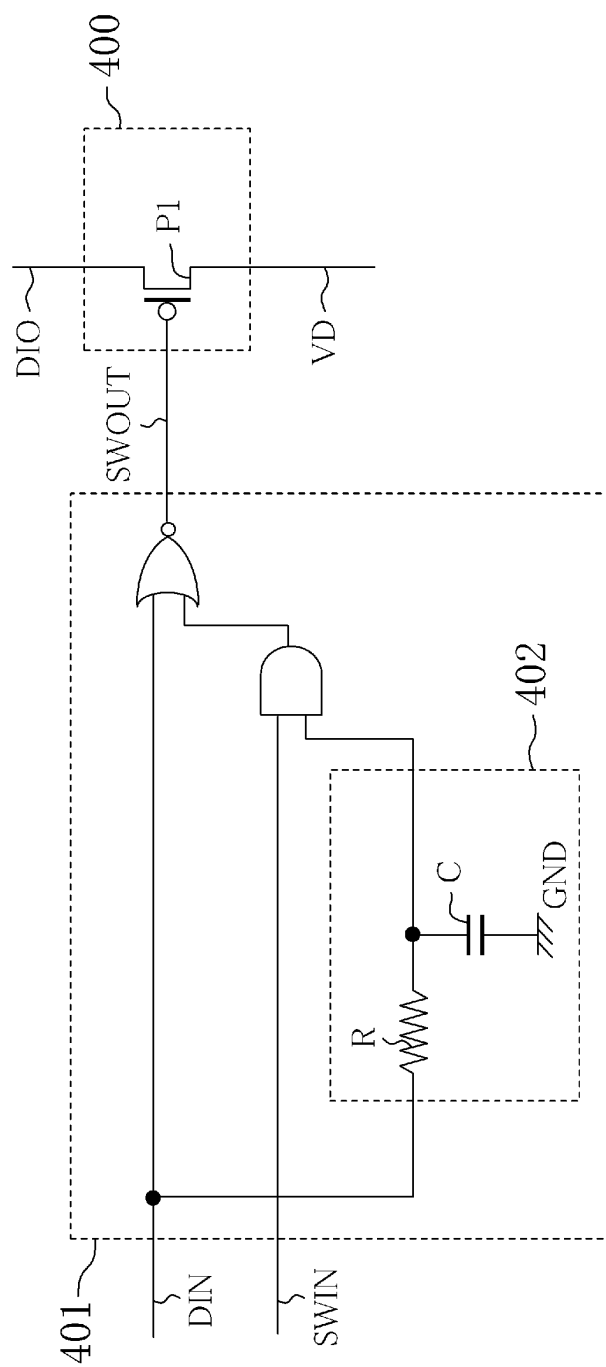
【図4】



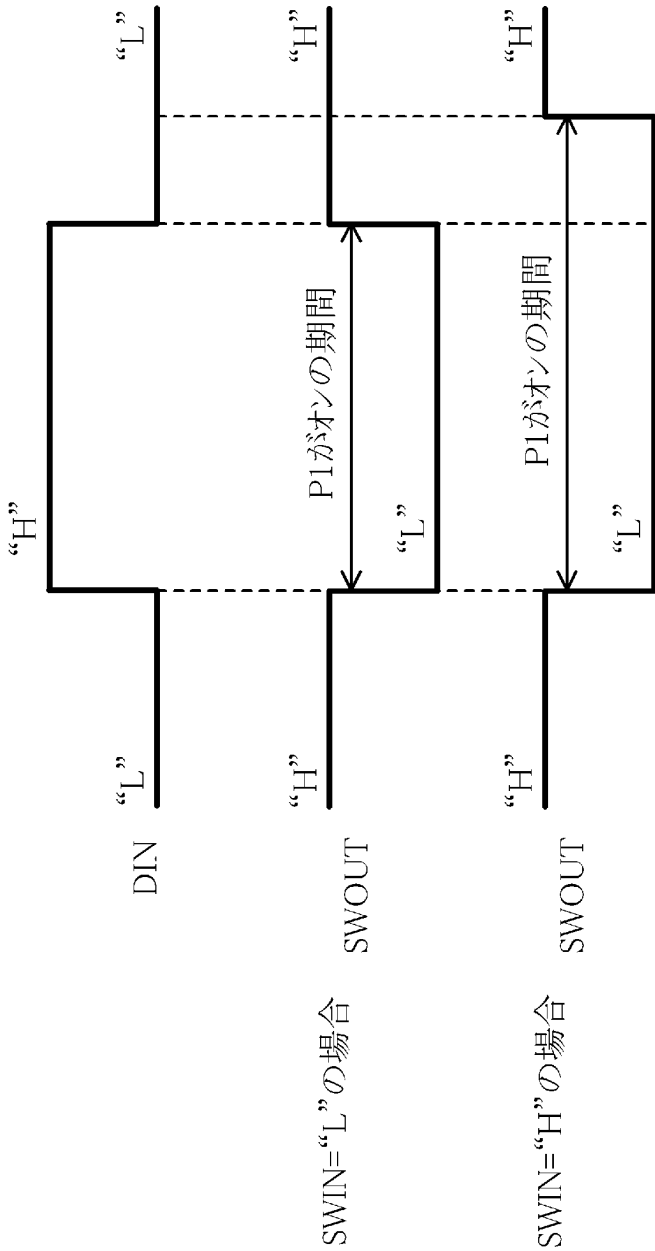
【図5】

DIN	SWIN	SWOUT1	SWOUT2	オンするトランジスタ
L	—	H	L	なし
H	L	L	L	P 1
H	H	H	H	N 1

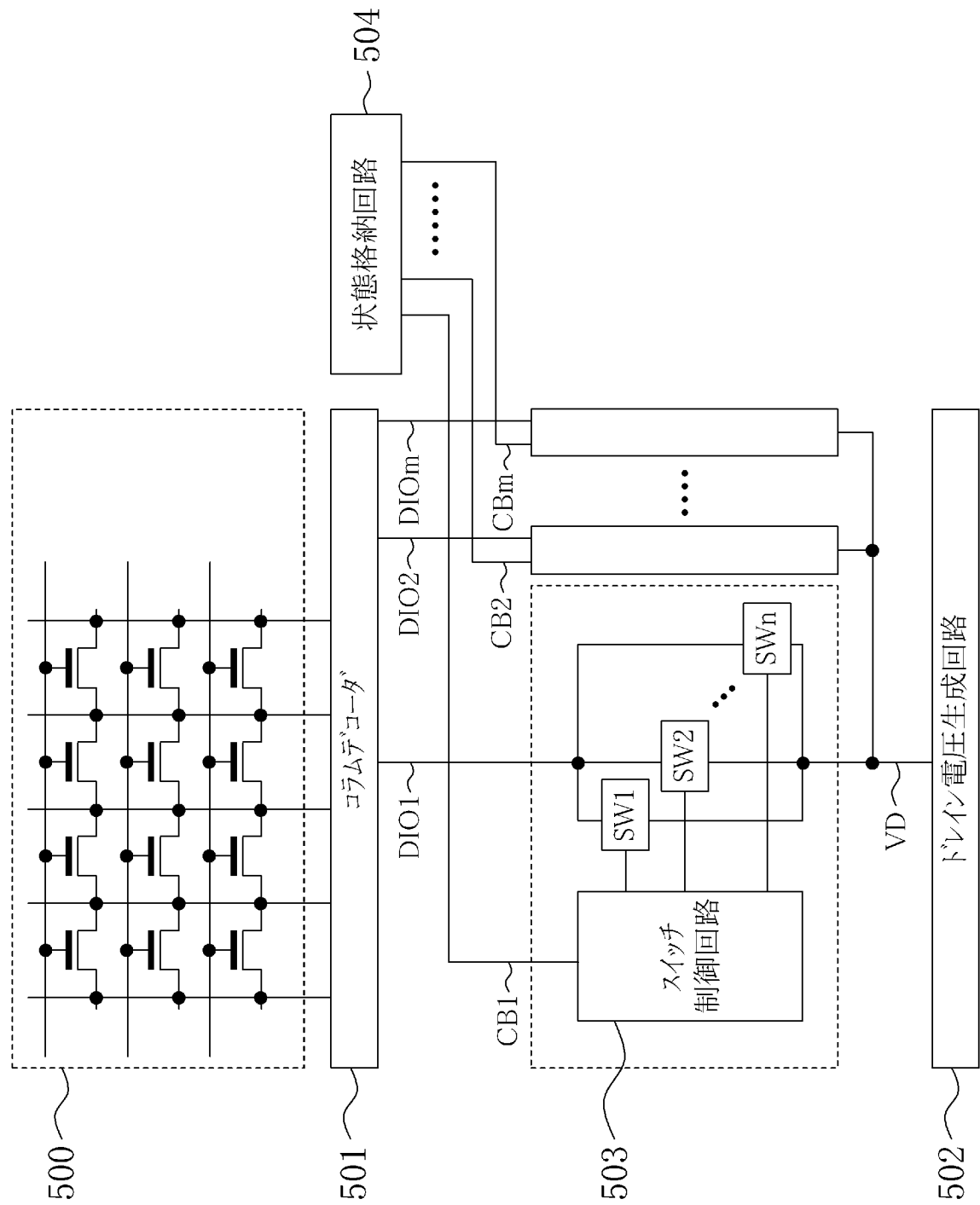
【図6】



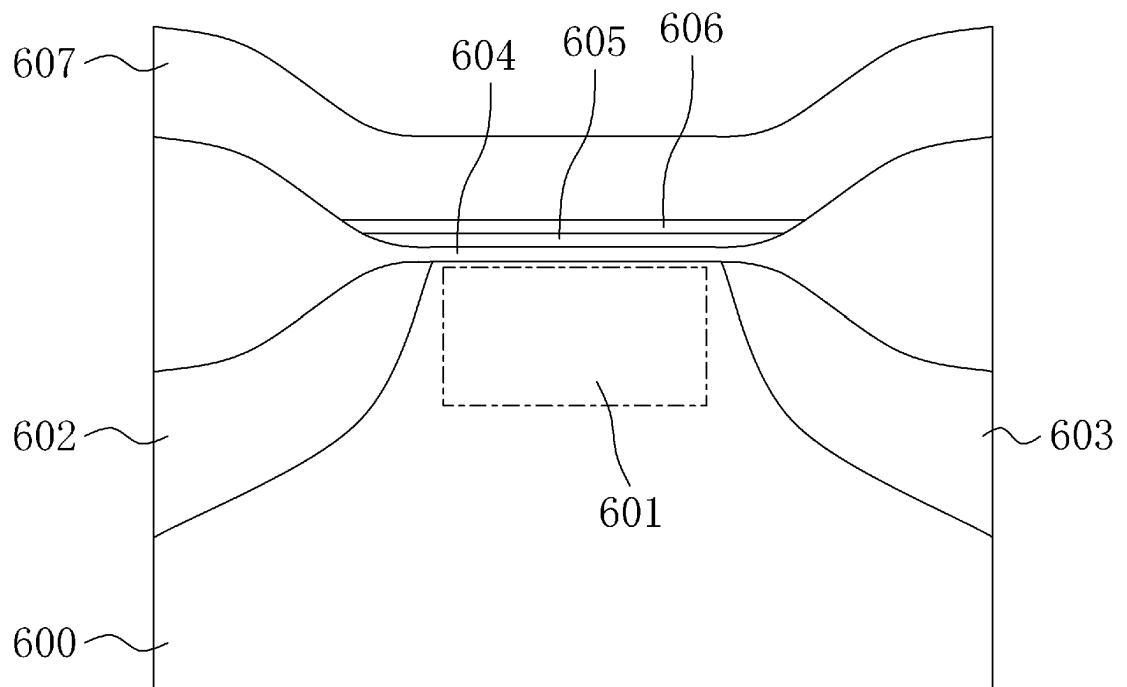
【図 7】



【図 8】



【図9】



出願人履歴

000005821

20081001

名称変更

506178449

大阪府門真市大字門真1006番地

パナソニック株式会社

From the INTERNATIONAL BUREAU

PCTNOTIFICATION OF RECEIPT OF
RECORD COPY

(PCT Rule 24.2(a))

To:

MAEDA, Hiroshi
Osaka-Marubeni Bldg., 5-7, Hommachi 2-chome,
Chuo-ku, Osaka-shi, Osaka
5410053
JAPON

Date of mailing (day/month/year) 10 November 2009 (10.11.2009)	IMPORTANT NOTIFICATION
Applicant's or agent's file reference P054220P0	International application No. PCT/JP2009/004737

The applicant is hereby **notified** that the International Bureau has received the record copy of the international application as detailed below.

Name(s) of the applicant(s) and State(s) for which they are applicants:

PANASONIC CORPORATION (for all designated States except US)
HAMAMOTO, Yukimasa et al (for US)

International filing date: 18 September 2009 (18.09.2009)

Priority date(s) claimed: 06 February 2009 (06.02.2009)

Date of receipt of the record copy by the International Bureau: 08 October 2009 (08.10.2009)

List of designated Offices:

AP: BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW

EA: AM, AZ, BY, KG, KZ, MD, RU, TJ, TM

EP: AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR

OA: BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG

National: AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

ATTENTION: The applicant should carefully check the data appearing in this notification. In case of any discrepancy between these data and the indications in the international application, the applicant should immediately inform the International Bureau. **In addition, the applicant's attention is drawn to the information contained in the Annex**, relating to:

- time limits for entry into the national phase - **see updated important information (as of April 2002)**
- requirements regarding priority documents (if applicable)

A copy of this notification is being sent to the receiving Office and to the International Searching Authority.

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland	Authorized officer Barras Alexandra e-mail pt07.pct@wipo.int Telephone No. +41 22 338 74 07
Facsimile No. +41 22 338 90 90	

INFORMATION ON ENTERING THE NATIONAL PHASE

The applicant is reminded that the **"national phase" must be entered** before each of the designated Offices indicated on the cover sheet of this notification by paying national fees and furnishing translations, as prescribed by Articles 22 and 39 and the applicable national laws. In addition, the applicant may also have to comply with **other special requirements** applicable in certain Offices. It is the **applicant's responsibility** to ensure that the necessary steps to enter the national phase are taken in a timely fashion. Most Offices do not issue reminders to applicants in connection with the entry into the national phase.

The **applicable time limit** for entering the national phase will, **subject to what is said in the following paragraph**, be **30 MONTHS** from the priority date, not only in respect of any elected Office if a demand for international preliminary examination is filed before the expiration of 19 months from the priority date (see Article 39(1)), but also in respect of any designated Office, in the absence of filing of such demand, where Article 22(1) as modified with effect from 1 April 2002 applies in respect of that designated Office. For further details, see *PCT Gazette* No. 44/2001 of 1 November 2001, pages 19926, 19932 and 19934, as well as the *PCT Newsletter*, October and November 2001 and February 2002 issues.

In practice, **time limits other than the 30-month time limit will continue to apply, for various periods of time**, in respect of certain designated or elected Offices. For **regular updates on the applicable time limits (20, 21, 30 or 31 months, or other time limit)**, Office by Office, refer to the *PCT Gazette* ("Section IV" part published on a weekly basis), to the *PCT Newsletter* (on a monthly basis) and to the relevant National Chapters in Volume II of the *PCT Applicant's Guide* (the paper version of which is updated usually twice a year and the Internet version of which is updated usually on a weekly basis). Finally, a cumulative table of all applicable time limits for entering the national phase is available from WIPO's Internet site, via links from various pages of the site, including those of the *Gazette*, *Newsletter* and *Guide*, at <http://www.wipo.int/pct/en/index.html>.

Information about the requirements for **filing a demand for international preliminary examination** is set out in the *PCT Applicant's Guide*, Volume I/A, Chapter IX. Note that only an applicant who is a national or resident of a PCT Contracting State which is bound by Chapter II has the right to file a demand for international preliminary examination (at present, all PCT Contracting States are bound by Chapter II).

REQUIREMENTS REGARDING PRIORITY DOCUMENTS

For applicants who have not yet complied with the requirements regarding priority documents, the following is recalled.

Where the priority of an earlier national, regional or international application is claimed, the applicant must submit a copy of the said earlier application, certified by the authority with which it was filed ("the priority document") to the receiving Office (which will transmit it to the International Bureau) or directly to the International Bureau, before the expiration of 16 months from the priority date, provided that any such priority document may still be submitted to the International Bureau before the date of international publication of the international application, in which case that document will be considered to have been received by the International Bureau on the last day of the 16-month time limit (Rule 17.1(a)).

Where the priority document is issued by the receiving Office, the applicant may, instead of submitting the priority document, request the receiving Office to prepare and transmit the priority document to the International Bureau. Such request must be made before the expiration of the 16-month time limit and may be subjected by the receiving Office to the payment of a fee (Rule 17.1(b)).

If the priority document concerned is not submitted to the International Bureau and if the request to the receiving Office to prepare and transmit the priority document has not been made (and the corresponding fee, if any, paid) within the applicable time limit indicated under the preceding paragraphs, any designated State may disregard the priority claim, provided that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances (Rule 17.1(c)).

Where several priorities are claimed, the priority date to be considered for the purposes of computing the 16-month time limit (and all other PCT time limits) is the filing date of the earliest application whose priority is claimed (Article 2(xi)(b)).

PCT

13-2-3	チェック結果 氏名(名称)	Green? 出願人 2: 国名又は地域名が記入されていません。
	チェック結果 氏名(名称)	Green? 出願人 2: 番地が記入されていません。
	チェック結果 氏名(名称)	Green? 出願人 2: 市郡区町村名が記入されていません。
	チェック結果 氏名(名称)	Green? 出願人 2: 郵便番号が記載されていません。
	チェック結果 氏名(名称)	Green? 出願人 2: 国籍（国名）が記入されていません。
	チェック結果 氏名(名称)	Green? 出願人 2: 住所（国名）が記入されていません。
	チェック結果 氏名(名称)	Green? 出願人 3: 国名又は地域名が記入されていません。
	チェック結果 氏名(名称)	Green? 出願人 3: 番地が記入されていません。
	チェック結果 氏名(名称)	Green? 出願人 3: 市郡区町村名が記入されていません。
	チェック結果 氏名(名称)	Green? 出願人 3: 郵便番号が記載されていません。
	チェック結果 氏名(名称)	Green? 出願人 3: 国籍（国名）が記入されていません。
	チェック結果 氏名(名称)	Green? 出願人 3: 住所（国名）が記入されていません。
13-2-4	チェック結果 優先権	Yellow! 日本(JP)を指定し、かつ日本における先の国内出願を優先権主張の基礎としている場合には、先の国内出願はその出願日から15ヶ月を経過した時に取下げられたものとみなされます。先の国内出願のみなし取下げを回避するためには、先の国内出願の出願日から15ヶ月以内(先の国内出願が取下げられる前まで)に別個の通知を提出することによって日本(JP)の指定を取下げる必要があります。詳細については、「PCT出願人の手引き」の附属書B1/JPを参照してください。
13-2-9	チェック結果 支払い	Green? 予納台帳が、選択された受理官庁に対して有効であることを確認してください。

明 細 書

発明の名称： 不揮発性半導体メモリ

技術分野

- [0001] 本発明は、不揮発性半導体メモリに関し、特に、同じ閾値レベルに複数個の不揮発性メモリセルを同時に書き込む時の書き込み速度のばらつきを抑制する技術に関するものである。

背景技術

- [0002] 一般に、フラッシュメモリなどの不揮発性半導体メモリは、ワード線に接続されたゲート電極と、ビット線に接続されたドレインと、ソース線に接続されたソースと、フローティングゲート又は電荷トラップ層とからなるメモリセルを有し、このメモリセルが複数個マトリックス状に配置されたメモリセルアレイを備える。
- [0003] 例えばトラップ層を有する不揮発性半導体メモリでは、メモリセルのチャネル領域とゲート電極との間の絶縁膜（ SiO_2 ）内に存在する離散化されたトラップ層（ SiN 膜又は SiN 膜／トップ SiO_2 膜界面の遷移領域）に電荷（電子又はホール）注入により電荷がトラップされ、そのメモリセルの閾値レベルによってデータ“0”又は“1”を判定し、情報を記憶する。以下、電子注入を書き込みとして、書き込みの原理を説明する。
- [0004] 図9において、600はP型シリコンからなる半導体基板、601は半導体基板600上に設けられたP型のチャネル領域、602はチャネル領域601の片側に半導体基板600上に設けられたN型の半導体からなる第1の不純物領域（例えばドレイン）、603はチャネル領域601の他の片側に半導体基板600上に設けられたN型の半導体からなる第2の不純物領域（例えばソース）、604は半導体基板600上に設けられたシリコンの酸化膜からなるボトム絶縁膜、605はボトム絶縁膜604上に設けられたシリコンの窒酸化膜からなるトラップ層、606はトラップ層605上に設けられたシリコンの酸化膜からなるトップ絶縁膜、607はトップ絶縁膜606

上に設けられたN型のポリシリコンからなるゲート電極である。

- [0005] 書き込み時には、ゲート電極607に約9Vを、第1の不純物領域（ドレイン）602に約5Vを、第2の不純物領域（ソース）603に0Vを、半導体基板600に0Vをそれぞれ印加する。これにより、第2の不純物領域603から第1の不純物領域602に向かう電子の一部が第1の不純物領域602の近傍の高電界によってホットとなり、第1の不純物領域602の近傍のトラップ層605に局所的に注入され、メモリセルの閾値レベルは高い状態となる。
- [0006] 不揮発性半導体メモリの書き込み動作においては、バイト単位又はワード単位などの複数個のメモリセルを1つの単位として、これらのメモリセルに上記書き込み電圧を同時に印加して書き込むことにより、書き込み時間の短縮を図ることが一般的である。
- [0007] また、トラップ層を有する不揮発性半導体メモリでは、メモリセルの第1の不純物領域602と第2の不純物領域603とに印加する電圧を入れ替え、第1の不純物領域602に0Vを、第2の不純物領域603に約5Vをそれぞれ印加することで、第2の不純物領域603の近傍のトラップ層605にも局所的に電子を注入することで、1つのメモリセルに2ビットのデータを記憶することが可能である。
- [0008] しかしながら、近年、不揮発性半導体メモリの大容量化に伴ってメモリセルアレイの面積も大きくなり、それに伴ってメモリセルアレイ内に設けられたビット線の長さも長くなっている。そのため、書き込みの際、ビット線の抵抗による電圧降下により、メモリセルアレイ内のメモリセルの位置によってドレイン電圧が異なり、書き込み速度にばらつきが生じるという問題がある。
- [0009] 加えて、トラップ層を有し1つのメモリセルに2ビットのデータを記憶することができる不揮発性半導体メモリにおいては、第1のビットの記憶状態が第2のビットの書き込み速度に影響を及ぼすことが知られており、書き込み速度のばらつきの要因となっている。

- [0010] これらの問題に対し、ある従来技術によれば、書き込みアドレスに応じて、書き込み時にメモリセルアレイ内のビット線に供給するビット線電圧のレベルを変化させて、書き込み速度のばらつきを抑制している（特許文献 1 参照）。

先行技術文献

特許文献

- [0011] 特許文献1：特開 2003-109389 号公報

発明の概要

発明が解決しようとする課題

- [0012] しかしながら、上記従来技術では、複数個のメモリセルを同時に書き込む場合、書き込み条件（ドレイン電圧、ドレイン電圧の供給期間）は共通に設定される。そのため、同時に書き込む複数個のメモリセル間の書き込み速度のばらつきは抑制することができず、メモリセルの信頼性悪化を引き起こす。また、書き込み時間は書き込み速度の遅いメモリセルに依存するため、書き込み速度のばらつきにより書き込み時間を増加させてしまう。

課題を解決するための手段

- [0013] 本発明によれば、複数個の不揮発性メモリセルを同時に書き込む場合、複数個の不揮発性メモリセルのビット線はコラムアドレス信号により M 本（M は 2 以上の整数）のデータ線に接続される。しかも、1 本のデータ線ごとに N 個（N は 1 以上の整数）のスイッチと当該 N 個のスイッチを制御するスイッチ制御回路とを設け、M 個のスイッチ制御回路により M × N 個のスイッチを制御し、複数個のメモリセルのビット線に印加されるドレイン電圧の電圧レベル又はドレイン電圧の印加期間をメモリセルごとに変化させる。

発明の効果

- [0014] 本発明の不揮発性半導体メモリにおいては、複数個の不揮発性メモリセルを同時に書き込む場合のメモリセル間の書き込み速度のばらつきを抑制し、書き込み後の閾値レベルのばらつきを少なくしてメモリセルの信頼性を向上

させるとともに、書き込み速度のばらつきによる書き込み時間の増加を抑制できる。

図面の簡単な説明

[0015] [図1]本発明に係る不揮発性半導体メモリの第1の構成例を示すブロック図である。

[図2]本発明に係るスイッチ回路及びスイッチ制御回路の第1の構成例を示す図である。

[図3]本発明に係るスイッチ回路及びスイッチ制御回路の第1の構成例におけるスイッチ制御方法を説明する図である。

[図4]本発明に係るスイッチ回路及びスイッチ制御回路の第2の構成例を示す図である。

[図5]本発明に係るスイッチ回路及びスイッチ制御回路の第2の構成例におけるスイッチ制御方法を説明する図である。

[図6]本発明に係るスイッチ回路及びスイッチ制御回路の第3の構成例を示す図である。

[図7]本発明に係るスイッチ回路及びスイッチ制御回路の第3の構成例におけるスイッチ制御方法を説明する図である。

[図8]本発明に係る不揮発性半導体メモリの第2の構成例を示すブロック図である。

[図9]従来の不揮発性半導体メモリのメモリセル構造を示す断面図である。

発明を実施するための形態

[0016] 以下、図面を参照しながら、複数個の不揮発性メモリセルを同時に書き込むように構成された本発明の実施形態を説明する。

[0017] 図1は、本発明に係る不揮発性半導体メモリの構成例を示している。100は複数個のメモリセルで構成されるメモリセルアレイ、101は複数のビット線と当該ビット線の本数より少ないM本のデータ線DIO1～DIOmとをコラムアドレス信号により接続するコラムデコーダ、102はビット線にドレイン電圧を供給するドレイン電圧生成回路である。

- [0018] 1本のデータ線ごとに、N個のスイッチSW1～SWnの各々の第1の端子が共通に接続され、当該N個のスイッチSW1～SWnの各々の第2の端子にはドレイン電圧生成回路102の出力であるドレイン電圧供給線VDが共通に接続される。また、1本のデータ線ごとにN個のスイッチSW1～SWnを制御するスイッチ制御回路103が設けられる。
- [0019] M個のスイッチ制御回路103によりM×N個のスイッチを制御して、M本のデータ線DIO1～DIOmに供給するドレイン電圧レベル、又は、供給するドレイン電圧の供給期間をデータ線ごとに変化させる。その結果、M本のデータ線DIO1～DIOmに接続されるメモリセルの書き込み速度をメモリセルごとに変化させ、複数個のメモリセルを同時に書き込む際の書き込み速度のばらつきを抑制できる。
- [0020] 図2は、データ線に供給するドレイン電圧の電圧レベルを変化させるスイッチ回路及びスイッチ制御回路の第1の構成例を示している。スイッチ回路200は、2個のP型トランジスタP1、P2の各々の第1の端子がデータ線DIOに共通に接続され、当該P型トランジスタP1、P2の各々の第2の端子はドレイン電圧供給線VDに共通に接続される。スイッチ制御回路201は、データ入力信号DIN、スイッチ制御入力信号SWIN1、SWIN2が入力され、スイッチ制御出力信号SWOUT1、SWOUT2が出力される。スイッチ制御出力信号SWOUT1、SWOUT2は、スイッチ回路200のP型トランジスタP1、P2のゲート端子にそれぞれ接続される。
- [0021] 図3に、スイッチ制御回路201における、データ入力信号DIN、スイッチ制御入力信号SWIN1、SWIN2と、スイッチ制御出力信号SWOUT1、SWOUT2との関係を示す。図3中の“L”は0Vを、“H”はドレイン電圧供給線VDと同じレベルをそれぞれ表す。SWOUT1が“L”のとき、スイッチ回路200のP型トランジスタP1がオンし、SWOUT2が“L”のとき、スイッチ回路200のP型トランジスタP2がオンする。スイッチ回路200のP型トランジスタP1、P2のオンする組み合わせ

せによって、データ線D I Oとドレイン電圧供給線V Dとの間のトランジスタ抵抗を変化させ、トランジスタ抵抗による電圧降下量を変えることができる。このように、スイッチ回路200のP型トランジスタP 1、P 2のオンする組み合わせによってデータ線D I Oに供給する電圧レベルを変化させることができる。

[0022] 図4は、データ線に供給するドレイン電圧の電圧レベルを変化させるスイッチ回路及びスイッチ制御回路の第2の構成例を示している。スイッチ回路300は、P型トランジスタP 1及びN型トランジスタN 1の各々の第1の端子がデータ線D I Oに共通に接続され、当該P型トランジスタP 1及びN型トランジスタN 1の各々の第2の端子はドレイン電圧供給線V Dに共通に接続される。スイッチ制御回路301は、データ入力信号D I N、スイッチ制御入力信号S W I Nが入力され、スイッチ制御出力信号S W O U T 1、S W O U T 2が出力される。スイッチ制御出力信号S W O U T 1、S W O U T 2はスイッチ回路300のP型トランジスタP 1及びN型トランジスタN 1のゲート端子にそれぞれ接続される。

[0023] 図5に、スイッチ制御回路301における、データ入力信号D I N、スイッチ制御入力信号S W I Nと、スイッチ制御出力信号S W O U T 1、S W O U T 2との関係を示す。図5中の“L”は0 Vを、“H”はドレイン電圧供給線V Dと同じレベルをそれぞれ表す。S W O U T 1が“L”のとき、P型トランジスタP 1がオンし、S W O U T 2が“H”のとき、N型トランジスタN 1がオンする。P型トランジスタP 1がオンした場合、データ線D I Oにはドレイン電圧供給線V Dのレベルがそのまま供給され、一方、N型トランジスタN 1がオンした場合、ゲート電圧（ここではドレイン電圧供給線V Dレベル）よりN型トランジスタN 1の閾値電圧 V_{tn} だけ低いレベルが供給される。このように、P型トランジスタP 1とN型トランジスタN 1とのうちいずれか一方を選択的にオンさせることで、データ線D I Oに供給する電圧レベルを変化させることができる。

[0024] 図6は、データ線に供給するドレイン電圧の供給期間を変化させるスイッ

チ回路及びスイッチ制御回路の構成例を示している。スイッチ回路400は、P型トランジスタP1の第1の端子がデータ線DIOに接続され、当該P型トランジスタP1の第2の端子はドレイン電圧供給線VDに接続される。スイッチ制御回路401は、データ入力信号DIN、スイッチ制御入力信号SWINが入力され、スイッチ制御出力信号SWOUTが出力される。スイッチ制御出力信号SWOUTは、スイッチ回路400のP型トランジスタP1のゲート端子に接続される。スイッチ制御回路401は、接地電位をGNDとして抵抗素子Rと容量素子Cとで構成される遅延回路402を備え、スイッチ制御入力信号SWINによりスイッチ制御出力信号SWOUTの“L”期間を切り替えることができる。

[0025] 図7に、スイッチ制御回路401における、データ入力信号DIN、スイッチ制御入力信号SWINと、スイッチ制御出力信号SWOUTとの関係を示す。図7中の“L”は0Vを、“H”はドレイン電圧供給線VDと同じレベルをそれぞれ表す。スイッチ制御出力信号SWOUTが“L”の期間でP型トランジスタP1がオンし、データ線DIOにドレイン電圧を供給する。このように、スイッチ制御入力信号SWINにより、データ線DIOに供給する電圧の供給期間を変化させることができる。

[0026] 図8は、本発明に係る不揮発性半導体メモリの他の構成例を示している。500は複数個のメモリセルで構成されるメモリセルアレイ、501は複数のビット線と当該ビット線の本数より少ないM本のデータ線DIO1～DIOmとをコラムアドレス信号により接続するコラムデコーダ、505はメモリセルアレイ500からデータを読み出すための読み出し回路であり、M本のデータ線DIO1～DIOmを入力とし、図示していないが、センスアンプなどから構成されるものである。502はビット線にドレイン電圧を供給するドレイン電圧生成回路である。メモリセルアレイ500は、図9で示すトラップ層を有するメモリセルで構成され、1つのメモリセルに2ビットのデータの記憶が可能である。

[0027] 1本のデータ線ごとに、N個のスイッチSW1～SWnの各々の第1の端

子が共通に接続され、当該N個のスイッチSW1～SWnの各々の第2の端子にはドレイン電圧生成回路502の出力であるドレイン電圧供給線VDが共通に接続される。また、1本のデータ線ごとにN個のスイッチSW1～SWnを制御するスイッチ制御回路503が設けられる。

[0028] また、読み出し回路505にて読み出されたメモリセルの記憶状態（“0”又は“1”）を格納する状態格納回路504を設ける。状態格納回路504は、格納したメモリセルの記憶状態に応じて状態出力信号CB1～CBmを出力し、当該状態出力信号CB1～CBmはM個のスイッチ制御回路503に接続される。

[0029] M本のデータ線DIO1～DIOmに接続されるメモリセルの第1のビットの書き込みを行う前に、メモリセルの第2のビットの記憶状態を予め読み出し回路505により読み出し、その読み出し結果を状態格納回路504に格納する。メモリセルの第1のビットの書き込みを行う際、状態格納回路504は格納した記憶状態に応じて状態出力信号CB1～CBmを出力し、当該状態出力信号CB1～CBmに応じて、M本のデータ線DIO1～DIOmに供給する電圧レベル、又は、供給する電圧の供給期間をデータ線ごとに変化させる。このように、M本のデータ線DIO1～DIOmに接続されるメモリセルの第1のビットの書き込み速度を、メモリセルの第2のビットの記憶状態に応じてメモリセルごとに変化させることが可能となり、複数のメモリセルを同時に書き込む際の書き込み速度のばらつきを抑制できる。

[0030] また、図8に示す構成例の変形として、M本のデータ線DIO1～DIOmに接続されるメモリセルの書き込みを行う前に、書き込みを行うメモリセルの閾値レベル状態を予め読み出し回路505により読み出し、その読み出し結果を状態格納回路504に格納する。メモリセルの書き込みを行う際、状態格納回路504は格納した閾値レベル状態に応じて状態出力信号CB1～CBmを出力し、当該状態出力信号CB1～CBmに応じて、M本のデータ線DIO1～DIOmに供給する電圧レベル、又は、供給する電圧の供給期間をデータ線ごとに変化させる。このように、M本のデータ線DIO1～

D I O mに接続されるメモリセルの書き込み速度を、書き込みを行うメモリセルの閾値レベル状態に応じてメモリセルごとに変化させることが可能となり、複数個のメモリセルを同時に書き込む際の書き込み速度のばらつきを抑制できる。

- [0031] 以上、1本のデータ線に接続されるスイッチの個数を2個又は1個として実施形態を挙げたが、本発明ではスイッチを3個以上設けることも可能である。また、トラップ層を有する不揮発性半導体メモリとして、1つのメモリセルの記憶ビット数を2ビットとして説明したが、メモリセルの第1の不純物領域と第2の不純物領域との電圧関係を入れ替えて書き込みができるメモリセルの場合、3ビット以上でも本発明は適用できる。

産業上の利用可能性

- [0032] 以上説明してきたとおり、本発明に係る不揮発性半導体メモリは、メモリセルごとの書き込み速度のばらつきを抑制することでメモリセル信頼性の向上が図れるとともに、書き込み速度のばらつきによる書き込み時間の増加も抑制できる。特に、トラップ層を有し、1つのメモリセルで複数ビットの記憶が可能な不揮発性半導体メモリとして有用である。

符号の説明

- [0033] 100, 500 メモリセルアレイ
 101, 501 コラムデコーダ
 102, 502 ドレイン電圧生成回路
 103, 503 スイッチ制御回路
 200, 300, 400 スイッチ回路
 201, 301, 401 スイッチ制御回路
 402 遅延回路
 504 状態格納回路
 505 読み出し回路
 600 半導体基板
 601 チャネル領域

602 第1の不純物領域（ドレイン）

603 第2の不純物領域（ソース）

604 ボトム絶縁膜

605 トラップ層

606 トップ絶縁膜

607 ゲート電極

C 容量素子

CB1～CBm 状態出力信号

DIN データ入力信号

DIO, DIO1～DIOm データ線

GND 接地電位

N1 N型トランジスタ

P1, P2 P型トランジスタ

R 抵抗素子

SW1～SWn スイッチ

SWIN, SWIN1, SWIN2 スイッチ制御入力信号

SWOUT, SWOUT1, SWOUT2 スイッチ制御出力信号

VD ドレイン電圧供給線

請求の範囲

[請求項1] 複数本のビット線を通して複数個の不揮発性メモリセルを同時に書き込むことが可能な不揮発性半導体メモリであって、

コラムアドレス信号に応じて前記複数本のビット線に接続される、前記ビット線の本数より少ないM本（Mは2以上の整数）のデータ線と、

前記複数個の不揮発性メモリセルの各々のドレイン電圧の源となる電圧を生成するドレイン電圧生成回路と、

前記ドレイン電圧生成回路の出力が接続されたドレイン電圧供給線と、

前記M本のデータ線と前記ドレイン電圧供給線との間に介在したM個のスイッチ回路及びM個のスイッチ制御回路とを備え、

前記M個のスイッチ回路の各々は、N個（Nは1以上の整数）のスイッチを有し、

前記M×N個のスイッチの各々は、前記M本のデータ線のうちの対応する1本のデータ線に共通に接続された第1の端子と、前記ドレイン電圧供給線に共通に接続された第2の端子とを有し、

前記M本のデータ線に対して前記M×N個のスイッチを介して前記ドレイン電圧供給線が接続され、前記M個のスイッチ制御回路で前記M×N個のスイッチを制御することを特徴とする不揮発性半導体メモリ。

[請求項2] 請求項1記載の不揮発性半導体メモリにおいて、

前記M個のスイッチ回路のいずれかを構成するN個のスイッチは、互いに並列接続された1導電型のトランジスタでそれぞれ構成され、

前記M本のデータ線のうち対応する1本のデータ線にドレイン電圧を供給すべき場合には、前記N個のトランジスタのうち少なくとも1個のトランジスタが、対応するスイッチ制御回路の制御によりオンすることを特徴とする不揮発性半導体メモリ。

- [請求項3] 請求項 1 記載の不揮発性半導体メモリにおいて、
 前記M個のスイッチ回路のいずれかを構成するN個のスイッチは、
 互いに並列接続されたP型及びN型トランジスタで構成され、
 前記M本のデータ線のうち対応する1本のデータ線にドレイン電圧
 を供給すべき場合には、前記P型又はN型トランジスタのいずれか一
 方が、対応するスイッチ制御回路の制御によりオンすることを特徴と
 する不揮発性半導体メモリ。
- [請求項4] 請求項 1 記載の不揮発性半導体メモリにおいて、
 前記M個のスイッチ制御回路は、前記M本のデータ線のうち対応す
 る1本のデータ線に接続された前記N個のスイッチがオンする組み合
 わせを、前記M本のデータ線の1本ごとに制御することが可能である
 ことを特徴とする不揮発性半導体メモリ。
- [請求項5] 請求項 1 記載の不揮発性半導体メモリにおいて、
 前記M個のスイッチ制御回路は、前記M本のデータ線のうち対応す
 る1本のデータ線に接続された前記N個のスイッチがオンする期間を
 、前記M本のデータ線の1本ごとに制御することが可能であることを
 特徴とする不揮発性半導体メモリ。
- [請求項6] 請求項 1 記載の不揮発性半導体メモリにおいて、
 前記M本のデータ線を入力とする読み出し回路と、
 前記読み出し回路より出力されたM本の読み出し信号が入力される
 状態格納回路とを更に備え、
 前記状態格納回路より出力されたM本の状態出力信号に応じて、前
 記M個のスイッチ回路が制御されることを特徴とする不揮発性半導体
 メモリ。
- [請求項7] 請求項 6 記載の不揮発性半導体メモリにおいて、
 前記複数個の不揮発性メモリセルの各々は、ソース・ドレイン電圧
 関係を反転させることで書き込み可能な複数ビットのデータを記憶可
 能であり、

一方向のソース・ドレイン電圧印加による第1のビットの書き込み時において、逆方向のソース・ドレイン電圧印加によって書き込みを行う第2のビットの記憶状態の読み出しを行い、読み出した記憶状態を前記状態格納回路に蓄え、

前記状態格納回路に蓄えられた記憶状態に応じて前記M個のスイッチ制御回路の制御方法が変更されることを特徴とする不揮発性半導体メモリ。

[請求項8]

請求項6記載の不揮発性半導体メモリにおいて、

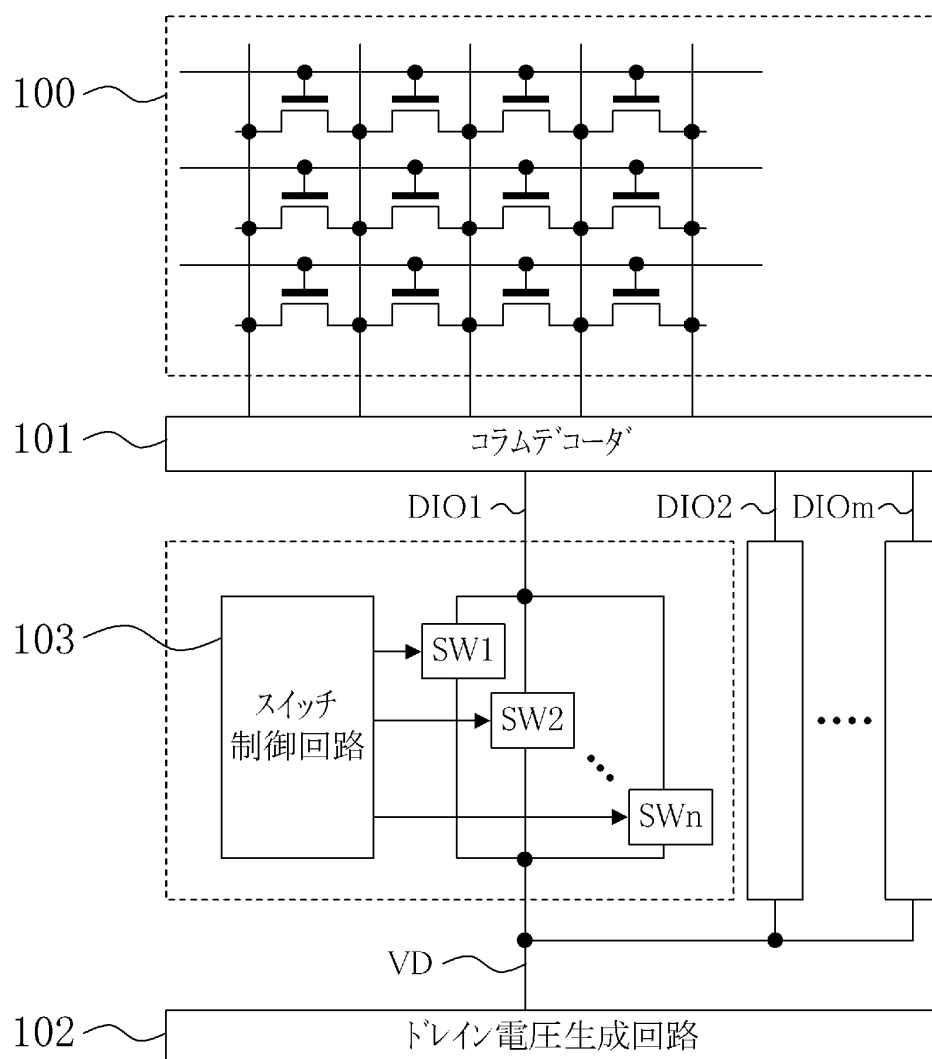
前記複数個の不揮発性メモリセルの書き込み時に、書き込みを行うメモリセルの閾値レベル状態の読み出しを行い、読み出した閾値レベル状態を前記状態格納回路に蓄え、

前記状態格納回路に蓄えられた閾値レベル状態に応じて前記M個のスイッチ制御回路の制御方法が変更されることを特徴とする不揮発性半導体メモリ。

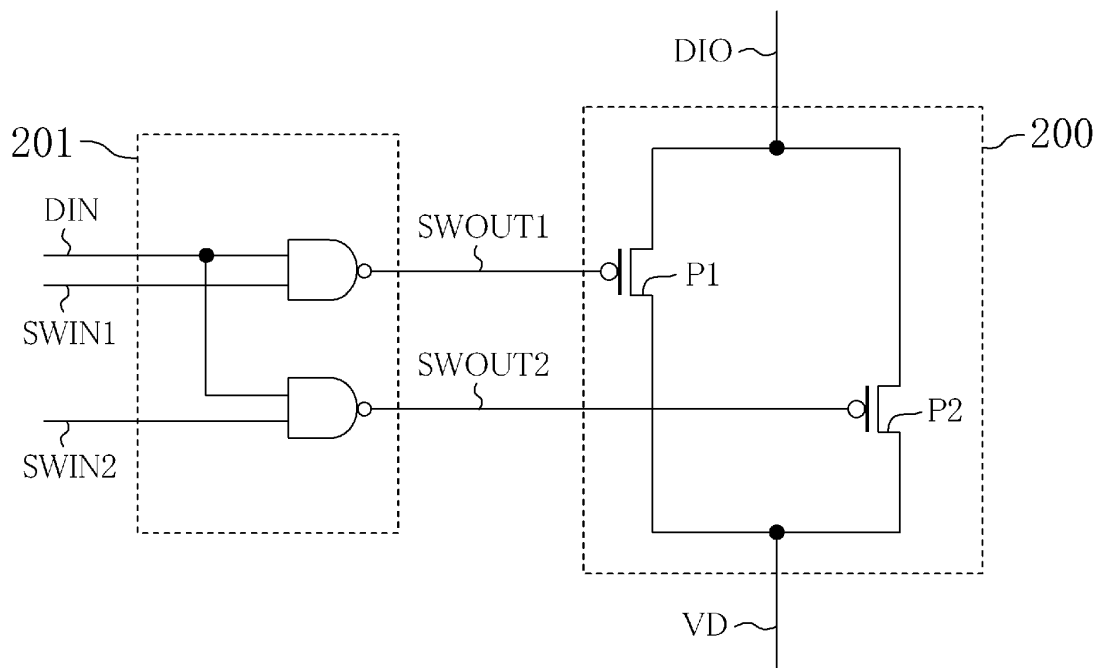
要 約 書

メモリセルアレイ（１００）中の複数個の不揮発性メモリセルを同時に書き込む場合、当該複数個の不揮発性メモリセルのビット線はコラムアドレス信号によりM本（Mは２以上の整数）のデータ線（DIO１～DIO_m）に接続される。そして、１本のデータ線ごとにN個（Nは１以上の整数）のスイッチ（SW１～SW_n）と当該N個のスイッチを制御するスイッチ制御回路（１０３）とを設け、M個のスイッチ制御回路によりM×N個のスイッチを制御し、複数個のメモリセルのビット線に印加されるドレイン電圧の電圧レベル又はドレイン電圧の印加期間をメモリセルごとに変化させる。

[図1]



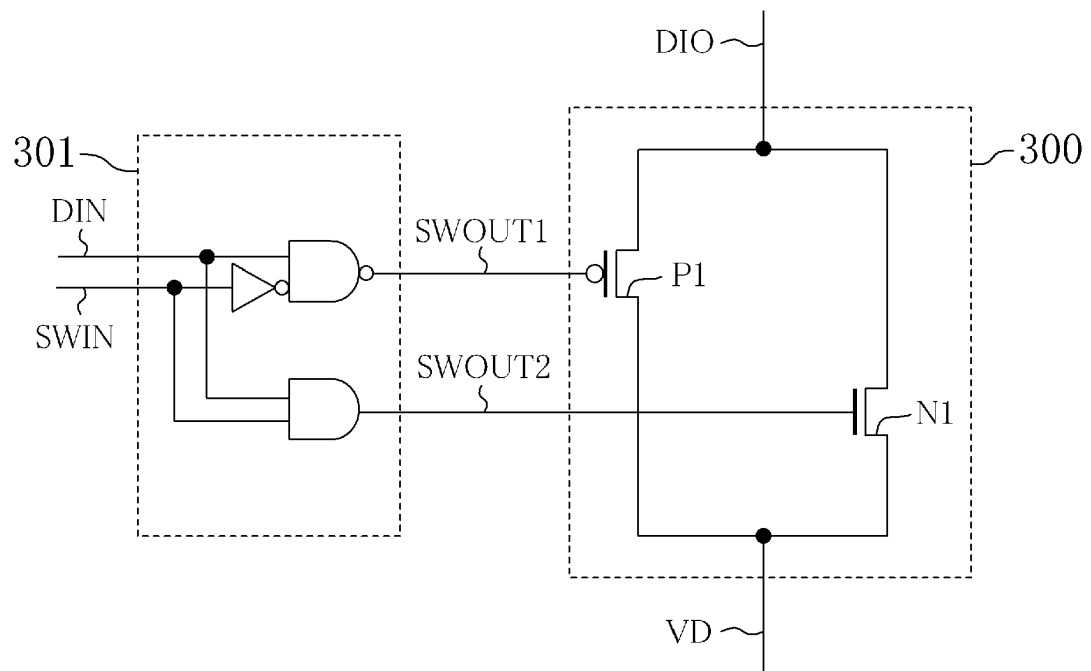
[図2]



[図3]

DIN	SWIN1	SWIN2	SWOUT1	SWOUT2	動作するトランジスタ
L	—	—	H	H	なし
H	L	L	H	H	なし
H	H	L	L	H	P 1
H	L	H	H	L	P 2
H	H	H	L	L	P 1、P 2

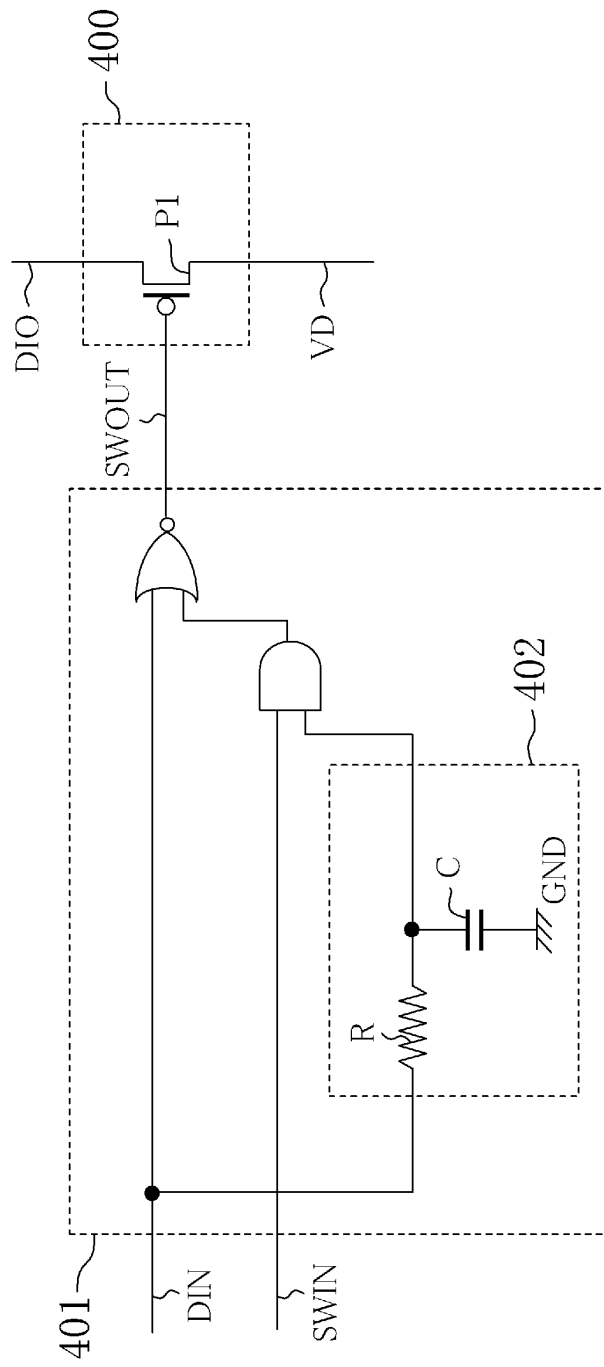
[図4]



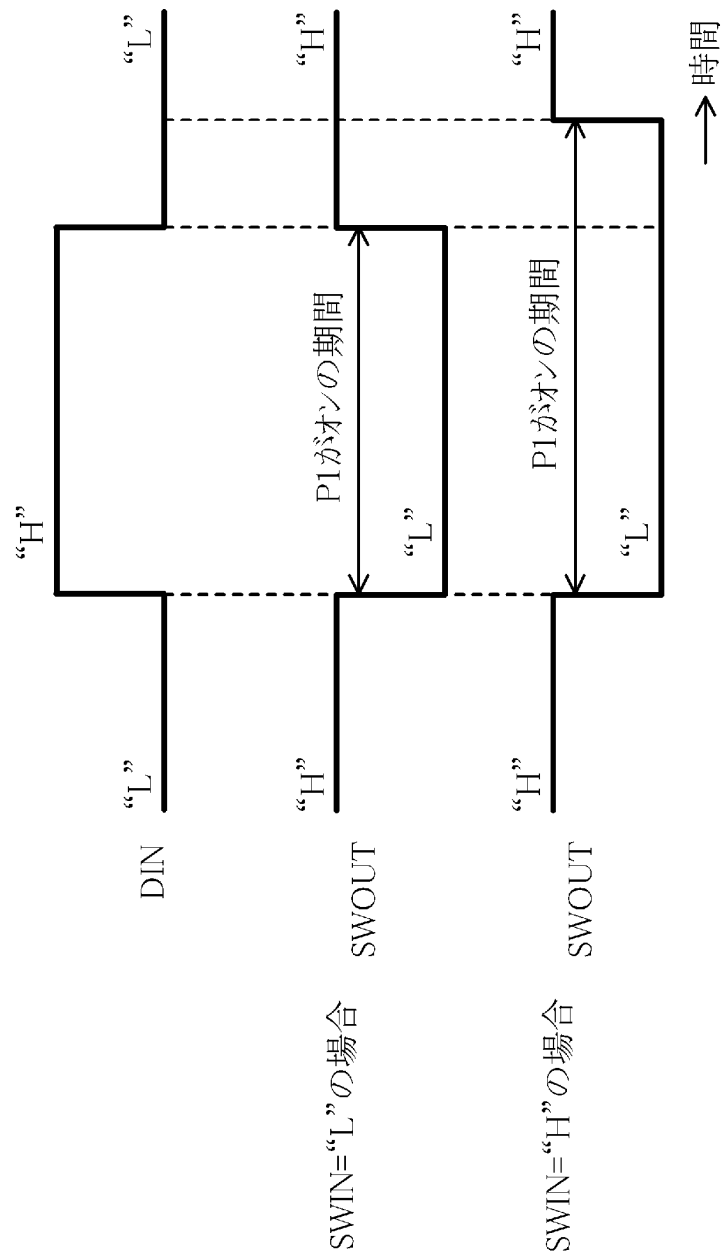
[図5]

DIN	SWIN	SWOUT1	SWOUT2	オンするトランジスタ
L	—	H	L	なし
H	L	L	L	P 1
H	H	H	H	N 1

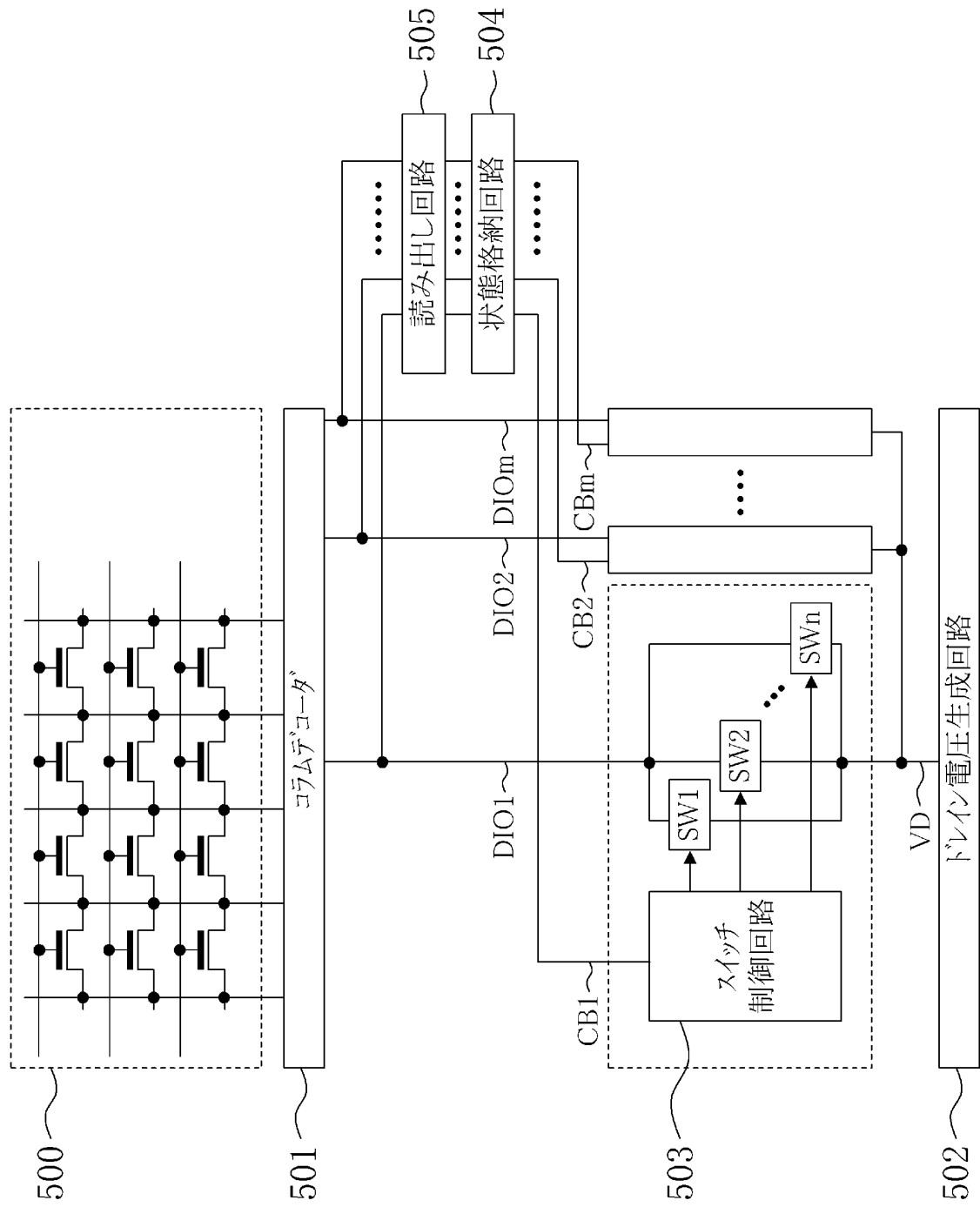
[圖6]



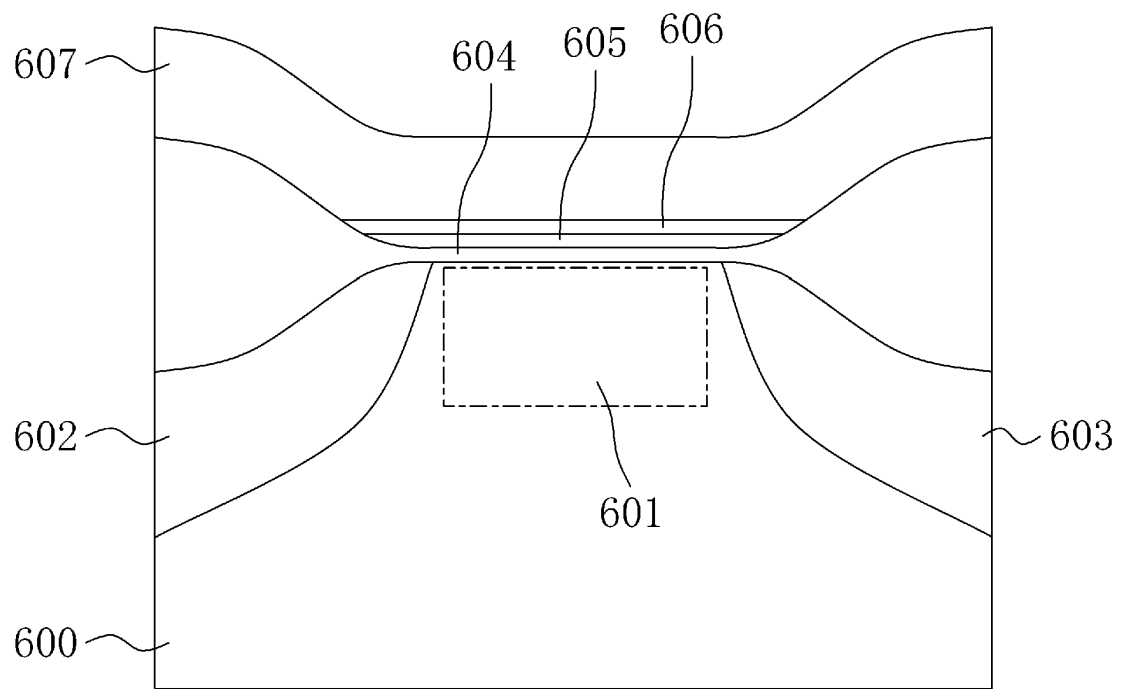
[図7]



[図8]



[圖9]



特許協力条約に基づく国際出願願書

紙面による写し（注意 電子データが原本となります）

0	受理官庁記入欄	
0-1	国際出願番号	PCT/JP2009/004737
0-2	国際出願日	2009年 09月 18日 (18. 09. 2009)
0-3	(受付印)	
0-4	様式 PCT/RO/101 この特許協力条約に基づく国際出願願書は、	
0-4-1	右記によって作成された。	PCT-SAFE Version 3. 51. 041. 217 MT/FOP 20090701/0. 20. 5. 17
0-5	申立て 出願人は、この国際出願が特許協力条約に従って処理されることを請求する。	
0-6	出願人によって指定された受理官庁	日本国特許庁 (RO/JP)
0-7	出願人又は代理人の書類記号	P054220P0
I	発明の名称	不揮発性半導体メモリ
II	出願人	
II-1	この欄に記載した者は	出願人である (applicant only)
II-2	右の指定国についての出願人である。	米国を除く全ての指定国 (all designated States except US)
II-4ja	名称	パナソニック株式会社
II-4en	Name:	PANASONIC CORPORATION
II-5ja	あて名	5718501 日本国 大阪府門真市大字門真 1 0 0 6 番地
II-5en	Address:	1006, Oaza Kadoma, Kadoma-shi, Osaka 5718501 Japan
II-6	国籍(国名)	日本国 JP
II-7	住所(国名)	日本国 JP
II-8	電話番号	06-6908-1473
II-9	ファクシミリ番号	06-6909-0053
III-1	その他の出願人又は発明者	
III-1-1	この欄に記載した者は	出願人及び発明者である (applicant and inventor)
III-1-2	右の指定国についての出願人である。	米国のみ (US only)
III-1-4ja	氏名(姓名)	濱本幸昌
III-1-4en	Name (LAST, First):	HAMAMOTO, Yukimasa
III-1-5ja	あて名	
III-1-5en	Address:	
III-1-6	国籍(国名)	
III-1-7	住所(国名)	

特許協力条約に基づく国際出願願書

紙面による写し（注意 電子データが原本となります）

III-2 III-2-1 III-2-2 III-2-4ja III-2-4en III-2-5ja III-2-5en III-2-6 III-2-7	その他の出願人又は発明者 この欄に記載した者は 右の指定国についての出願人である。 氏名(姓名) Name (LAST, First): あて名 Address: 国籍(国名) 住所(国名)	出願人及び発明者である (applicant and inventor) 米国のみ (US only) 土岐和啓 TOKI, Masahiro
IV-1 IV-1-1ja IV-1-1en IV-1-2ja IV-1-2en IV-1-3 IV-1-4 IV-1-6	代理人又は共通の代表者、通知のあて名 下記の者は国際機関において右記のごとく出願人のために行動する。 氏名(姓名) Name (LAST, First): あて名 Address: 電話番号 ファクシミリ番号 代理人登録番号	代理人 (agent) 前田弘 MAEDA, Hiroshi 5410053 日本国 大阪府大阪市中心区本町2丁目5番7号 大阪丸紅ビル Osaka-Marubeni Bldg., 5-7, Hommachi 2-chome, Chuo-ku, Osaka-shi, Osaka 5410053 Japan 06-6125-2255 06-6125-2288 100077931
IV-2 IV-2-1ja IV-2-1en	その他の代理人 氏名 Name(s)	筆頭代理人と同じあて名を有する代理人 (additional agent(s) with the same address as first named agent) 竹内宏 (100110939); 今江克実 (100115059); 原田智雄 (100117710) TAKEUCHI, Hiroshi (100110939); IMAE, Katsumi (100115059); HARADA, Tomoo (100117710)
V V-1	国の指定 この願書を用いてされた国際出願は、規則4.9(a)に基づき、国際出願の時点で拘束される全てのPCT締約国を指定し、取得しうるあらゆる種類の保護を求め、及び該当する場合には広域と国内特許の両方を求める国際出願となる。	
VI-1 VI-1-1 VI-1-2 VI-1-3	先の国内出願に基づく優先権主張 出願日 出願番号 国名	2009年 02月 06日 (06.02.2009) 2009-026211 日本国 JP
VI-2	優先権証明書送付の請求 上記の先の出願のうち、右記の番号のものについては、出願書類の認証謄本を作成し国際事務局へ送付することを、受理官庁に対して請求している。	VI-1

特許協力条約に基づく国際出願願書

紙面による写し (注意 電子データが原本となります)

VI-3	引用による補充: 条約第11条(1)(iii)(d)若しくは(e)に規定する国際出願の要素の全部、又は規則20.5(a)に規定する明細書、請求の範囲若しくは図面の一部がこの国際出願には含まれていないが、受理官庁が条約第11条(1)(ii)に規定する要素の1つ以上を最初に受領した日において優先権を主張する先の出願にそれが完全に含まれている場合には、規則20.6に基づく確認の手続を条件として、その要素又は部分を規則20.6の規定によりこの国際出願に引用して補充することを請求する。		
VII-1	特定された国際調査機関(ISA)	日本国特許庁 (ISA/JP)	
VIII	申立て	申立て数	
VIII-1	発明者の特定に関する申立て	—	
VIII-2	出願し及び特許を与えられる国際出願日における出願人の資格に関する申立て	—	
VIII-3	先の出願の優先権を主張する国際出願日における出願人の資格に関する申立て	—	
VIII-4	発明者である旨の申立て(米国を指定国とする場合)	—	
VIII-5	不利にならない開示又は新規性喪失の例外に関する申立て	—	
IX	照合欄	用紙の枚数	添付された電子データ
IX-1	願書(申立てを含む)	4	✓
IX-2	明細書	10	✓
IX-3	請求の範囲	3	✓
IX-4	要約	1	✓
IX-5	図面	7	✓
IX-7	合計	25	
	添付書類	添付	添付された電子データ
IX-8	手数料計算用紙	—	✓
IX-18	PCT-SAFE 電子出願	—	—
IX-20	要約とともに提示する図の番号	1	
IX-21	国際出願の使用言語名	日本語	
X-1	出願人、代理人又は代表者の記名押印	(PKCS7 デジタル署名)	
X-1-1	氏名(姓名)	前田弘	
X-1-2	署名者の氏名		
X-1-3	権限		

特許協力条約に基づく国際出願願書

紙面による写し（注意 電子データが原本となります）

受理官庁記入欄

10-1	国際出願として提出された書類 の実際の受理の日	2009年 09月 18日 (18. 09. 2009)
10-2	図面	
10-2-1	受理された	
10-2-2	不足図面がある	
10-3	国際出願として提出された書類 を補完する書類又は図面であつ てその後期間内に提出されたも のの実際の受理の日（訂正日）	
10-4	特許協力条約第11条(2)に基づ く必要な補完の期間内の受理の日	
10-5	出願人により特定された国際調査機関	ISA/JP
10-6	調査手数料未払いにつき、国際 調査機関に調査用写しを送付していない	

国際事務局記入欄

11-1	記録原本の受理の日	
------	-----------	--