

Date: August 28, 2025

Translator's Declaration

I, Frank McGee, hereby declare:

That I possess advanced knowledge of the Japanese and English languages. The attached Japanese into English translation has been translated by me and to the best of my knowledge and belief, it is a true and accurate translation of JPH0646348B2.

I declare that all statements made herein of my knowledge are true, and that all statements made on information and belief are believed to be true. I further declare that these statements were made with the knowledge that willfully false statements and the like are punishable by fine or imprisonment or both, under Section 1001 of Title 18 of the United States Code.

In signing this declaration, I understand that the translation and this declaration may be filed as evidence in a contested case. I acknowledge that I may be subject to cross-examination within the United States.



Frank McGee

(19) Japan Patent Office (JP)

(12) Patent Gazette (B2)

(11) Examined Application No.

H06-46348

(24) (44) Publication Date June 15, 1994

(51) Int.Cl. ⁵	ID Codes	Internal File Nos.	FI	Tech. Indicators
G09F 9/30	338	6447-5G		
G02F 1/136	500	9018-2K		
H01L 29/784		9056-4M	H01L 29/78	311 A
No. of Claims 1 (Total of 8 Pages)				

(21) Application No. S61-106577

(22) Filing Date May 12, 1986

(65) Disclosure No. S62-264089

(43) Disclosure Date November 17, 1987

(71) Applicant 999999999

Hitachi, Ltd.

4-6, Kanda Surugadai, Chiyoda-ku, Tokyo

(72) Inventor

Hide KOBAYASHI

Hitachi, Ltd., Production Technology
Research Laboratory, 292, Yoshida-cho,
Totsuka-ku, Yokohama-shi,
Kanagawa-ken

(72) Inventor

Akihiro KENMOCHI

Hitachi, Ltd., Production Technology
Research Laboratory, 292, Yoshida-cho,
Totsuka-ku, Yokohama-shi,
Kanagawa-ken

(72) Inventor

Kazuo SUNAHARA

Hitachi, Ltd., Mobara Works
3300, Hayano, Mobara-shi, Chiba-ken

(74) Agent

Masami AKIMOTO, Patent Attorney

Examiner Akira SUZUKI

Continued on Last Page

(54) [Title of the Invention] Display Element

[Claims]

[Claim 1] A display element comprising a substrate, a transistor for driving a pixel electrode on the substrate, two intersecting signal wiring films connected to the transistor, and a data signal wiring film, the display element characterized in that the thickness of the wiring films located on the substrate side at the intersection of the two signal wiring films is reduced relative to the thickness of the same wiring films at other locations.

[Detailed Description of the Invention] (Field of Industrial Applicability)

The present invention relates to a display device, and more specifically to a display device that can be realized as a so-called microelectronics

product utilizing thin-film wiring produced using a thin-film technique on a substrate. The present invention is able to provide a means for realizing a planar display with highly reliably thin-film wiring.

(Prior Art)

In microelectronics products such as ICs, multiple layers of wiring are stacked inside an IC chip to realize high circuit density. In recent noteworthy flat panel displays, a matrix drive method is generally used that involves arranging electrodes along the X-axis and Y-axis to emit light from pixels. In the case of liquid crystal displays, these electrodes drive the liquid crystal corresponding to each pixel. The pixel only emits light when both electrodes are simultaneously driven. Numerous explanatory

documents exist regarding electronic displays (see, for example, the special feature on electronic displays in the February 1982 issue of *Electronic Materials*).

The wiring described above is generally formed planarly on a flat substrate. When two types of signal wiring systems are formed on the same substrate as described above, these two types of wiring intersect and are separated via an insulating film. FIG. 2 (a) shows the cross-sectional structure at this wiring intersection. The problems associated with thin-film wiring intersections of the prior art will now be described using this figure.

Wiring 1 runs perpendicular to the plane of the page, while wiring 2 crosses over wiring 1 via insulating film 3. In the thin-film wiring example described here, wiring films 1 and 2 each have a typical thickness of 1 μm , and the insulating film 3 also has a thickness of 1 μm . Various methods can be used to form these films. Wiring films 1 and 2 are typically metal films formed using sputtering. For example, a SiN film formed by plasma CVD can be used as insulating film 3. As shown in the figure, forming the insulating film 3 over the wiring 1 creates a notch 5, to a greater or lesser degree, corresponding to the corner formed by wiring 1 and the substrate 4 due to a step in wiring 1. This shape is generally referred to as an overhang. Since the wiring film 2 is formed over the overhang of the insulating film 3, the overhang of the wiring film 2 becomes even more pronounced. Under unfavorable manufacturing conditions, this can lead to defects, ultimately resulting in breaks in the notched portion of the wiring film 2. Even if breaks do not occur, the reliability of the product as a whole is significantly reduced. Research on disconnection defects in step regions of wiring films has been conducted, in particular, in IC manufacturing techniques. [see, for example, *The Effect of Temperature on Topology Related Defect Formation in Evaporated Aluminum Based Thin Film* by J. Ryan, D. Douse, L. Hahn, M. Luciano (Proceedings of the 1985 International Conference on Metallurgical Coatings, Los Angeles)].

Various methods have been attempted to resolve these issues. FIG. 2 (b) shows a cross-sectional structure in which the insulating film 3 is replaced with an organic material 3' that can be spin-coated. While this resolves shape-related issues, it still faces various problems, such as insufficient mechanical strength and high moisture absorption, which makes wiring corrosion more likely. [For multilayer wiring using polyimide as the organic interlayer insulating film, see, for example, T. Nishida, K. Mukai, T. Inada, T. Kato, I. Tezuka, N. Horie,

Moisture Resistance of Polyimide Multilevel Interconnect LSIs (23rd Annual Proceedings of Reliability Physics 1985).] In display substrates using thin-film transistors, the insulating film between these two wiring films is often configured to directly utilize the gate insulating film of a thin-film transistor. Thin materials with a high wiring withstand voltage are used as gate insulating films for transistor performance reasons. Consequently, organic insulating films cannot be used in display substrates.

Multilayer wiring technology is being actively developed for display substrates as described above, but the problem of step disconnections at wiring intersections remains a significant challenge.

One method for planarizing interlayer insulating films using inorganic materials is the biased sputtering method for quartz (SiO_2). This method involves depositing quartz onto a substrate using sputtering while simultaneously applying a high-frequency voltage on the substrate side. This causes a portion of the quartz deposited on the substrate side to be removed by the sputtering. This method makes it possible to form a nearly flat quartz film because protrusions are preferentially subjected to sputtering. Numerous publications exist on this method. (See, for example, A. Mumtaz, I. Drapkin, R. Mathew, *Radio Frequency Magnetron Sputtering of Radio Frequency Biased Quartz on a Scanning Pallet*, *Journal of Vacuum Science and Technology*, Az (2), April-June 1984, pp. 237 ff.). However, this method suffers from a significant productivity issue due to its extremely low deposition rate (100-200 $\text{\AA}/\text{min}$). Also, because sputtering occurs on the substrate side, the substrate temperature rises significantly, preventing the use of inexpensive glass substrates.

(Problem to Be Solved by the Invention)

It is an object of the present invention to provide a display element that realizes improved reliability at thin film wiring intersections. Basically, the present invention reduces the height of the step that must be overcome. From a manufacturing perspective, an object of the present invention is to improve reliability without making the process unnecessarily complicated.

(Means for Solving the Problem)

These objects are realized by a display element comprising a substrate, a transistor for driving a pixel electrode on the substrate, two intersecting signal wiring films connected to the transistor, and a data signal wiring film, wherein the thickness of the wiring films located on the substrate side at the intersection of the two signal wiring films is reduced relative to the

thickness of the same wiring films at other locations.

(Operation)

In the present invention, by reducing the thickness of the wiring, that is, wiring film, running through the intersections on the substrate side, the height that the upper wiring must overcome is reduced, overhangs in the upper wiring film are reduced, and notches in step portions are reduced in size, thereby significantly improving wiring reliability.

Specifically, in the present invention, the wiring located on the lower side has a double-layer structure, and if one of the wiring layers becomes disconnected, a connection can be maintained via the other layer. However, the wiring height is larger due to the double wiring, making the upper wiring more susceptible to breakage. The height of the lower wiring can be immediately reduced by the film thickness at the intersections between wires, as this wiring is formed in two photolithography steps. At this intersection, the redundancy provided by the lower wiring redundancy may become lost. However, the length of the intersection is far smaller compared to the total length of the lower wiring, so redundancy is not lost.

(Examples)

The present invention will now be described in detail with reference to the drawings.

FIG. 3 shows the method for manufacturing a wiring structure in the first embodiment of the present invention. In FIG. 3 (a), the first layer of wiring film 31 is formed using the conventional photolithographic techniques of applying a photoresist, followed by exposure and development. Next, a second etching step is performed involving applying another photoresist, followed by exposure and development, to reduce the thickness of the first layer of wiring film 31 only at the location corresponding to the intersection with the upper wiring. The photoresist 32 is removed over an area slightly wider than the intersection portion with the upper wiring. If wet etching with an etchant solution were performed at this stage, etching would proceed laterally into the wiring film, reducing the line width of the first layer wiring film 31. Therefore, reactive ion etching (RIE), which enables directional etching (etching progresses perpendicular to the substrate), is used for etching.

FIG. 3 (b) shows the state after reactive ion etching has been performed with the photoresist in FIG. 3 (a) serving as a mask, followed by photoresist stripping. Only the wiring thickness at the intersection and its surroundings is reduced.

FIG. 3 (c) and FIG. 3 (d) show the cross-sectional structure when an interlayer insulating film 33 has been formed on the state shown in FIG. 3 (b). FIG. 3 (c) shows the cross-sectional structure of the segment indicated by C-C' in FIG. 3 (b), and FIG. 3 (d) shows the cross-sectional structure of the segment indicated by D-D'. The upper wiring film 34 extends over the segment C-C' via the interlayer insulating film 33.

FIG. 3 (e) shows the cross-sectional structure when a second layer of wiring film 34 has been formed on the state shown in FIG. 3 (c). FIG. 3 (e) shows the cross-sectional structure of the segment indicated by C-C' in FIG. 3 (b), in which the wiring film 34 extends over the wiring film 31 by penetrating the insulating film 34.

FIG. 4 is not an example of the present invention, and shows the cross-sectional structure at the intersection of the first and second wiring films 31', 34' when the second wiring film 34' is formed without reducing the film thickness of the first wiring film 31' as described above. It demonstrates that the effect of the present invention is significant. Specifically, in the example of the prior art shown in FIG. 4, the large thickness of the first layer wiring film 31' causes an overhang on the second layer wiring film 34', significantly compromising the reliability of the second layer wiring film as a wiring film. In contrast, the example of the present invention shows that no excessive overhang occurs in the second layer wiring 34, thereby ensuring high reliability.

FIG. 1 shows the structure at the intersection of the first and second layer wiring films 51, 52 in a second example of the present invention. In this second example, the first layer wiring film 51 is further composed of two films 511, 512. The method used to form each film 511, 512 can be the method described in FIG. 3 (a). Here, the etching process used to form film 512 should be noted. If films 511 and 512 are formed from the same material, etching film 512 will cause film 511 to dissolve again in portions not covered by film 512.

The first layer wiring film 51 is made with a multilayer film structure because the wiring film may become broken during the photoresist step for film 511 for some reason (such as foreign matter). Adding another wiring film layer prevents this breakage defect. This is because breaks caused by foreign matter occur at completely irregular locations, and it is highly unlikely that breaks would occur at the same location in both films 511 and 512.

Therefore, film 511 must have an etching rate significantly lower than that of film 512 when exposed to the etching solution or etching gas

used for film 512. The inventors of the present invention were able to form the first layer wiring film 51, which is a two-layer stacked film, by using chromium for film 511 and molybdenum for film 512.

Although the first wiring film 51 is described here as a two-layer stacked film, the present invention also encompasses three-layer or four-layer stacked film, provided the film thickness as wiring film can be reduced by decreasing the number of layers using this stacked film structure.

As shown in FIG. 1, the thickness of the first layer wiring 51 is reduced by removing film 511 only at the wiring intersection. This lowers the physical height that the second layer wiring film must overcome at the intersection, thereby reducing the step height and improving wiring reliability.

(Effects of the Invention)

The present invention is able to reduce step discontinuities in the stepped portions of intersecting wiring. FIG. 5 shows the effect of the present invention in a comparison of a specific example of the present invention to an example of the prior art. The horizontal axis 61 represents the thickness (in microns) of the upper wiring film, while the vertical axis 62 indicates the number of disconnected lines per 1,000 upper wiring lines in the step portion.

Aluminum was used as the material for the upper wiring film. The thickness of the upper wiring film was 300 nm. The total thickness of the lower wiring was 320 nm. The first layer of the lower wiring used chromium and had a thickness of 160 nm. The second layer of the bottom wiring used molybdenum and had a thickness of 160 nm. The interlayer insulating film had a thickness of 300 nm.

Curves 63 and 64 represent the number of defective lines in the upper wiring with steps formed by the prior art and the technique of the present invention, respectively. In the prior art, breakage defects cannot be eliminated unless the second layer wiring film thickness is 200 nm or greater, whereas in the technique of the

present invention, breakage defects are reduced to zero from a film thickness of 50 nm or greater. These experimental results demonstrate that the technique of the present invention enables sufficient step coverage even when the film thickness is small, due to the low height of the step portion.

[Brief Description of the Drawings]

FIG. 1 shows the configuration of the present invention, specifically the second embodiment of the present invention.

FIG. 2 (A) shows the cross-sectional structure of a wiring film intersection using the prior art.

FIG. 2 (B) shows a cross-sectional structure of a wiring film intersection using the prior art.

FIG. 3 (A) shows the manufacturing method for the first embodiment of the present invention.

FIG. 3 (B) shows the manufacturing method for the first embodiment of the present invention.

FIG. 3 (C) shows the manufacturing method for the first embodiment of the present invention.

FIG. 3 (D) shows the manufacturing method of the first embodiment of the present invention.

FIG. 3 (E) shows the first embodiment of the present invention.

FIG. 4 shows a cross-sectional structure of a wiring film intersection according to the prior art.

FIG. 5 is a graph showing the relationship between the thickness of the upper wiring film at the wiring film intersection and the number of disconnection defects in the second embodiment of the present invention.

4: Substrate

1, 31, 31', 51: Lower wiring film

511: First layer of the lower wiring film

512: Second layer of the lower wiring film

3, 33, 33', 53: Interlayer insulating film

3': Organic interlayer insulating film

2, 34, 34', 52: Upper wiring film

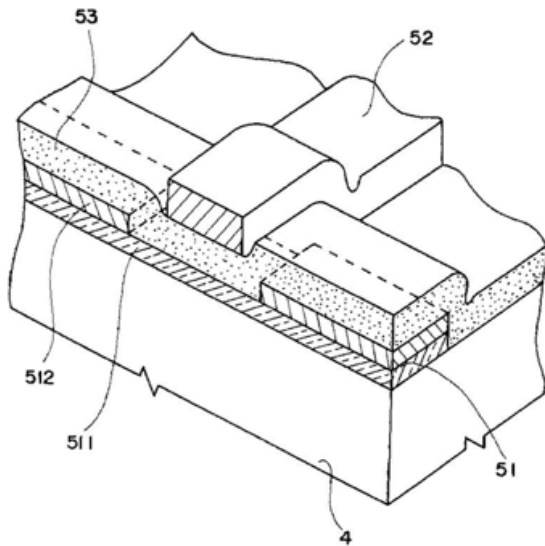
5: Disconnection defect site at the step edge of the upper wiring

32: Photoresist

62: Vertical axis representing the number of non-conductive wiring lines per 1000

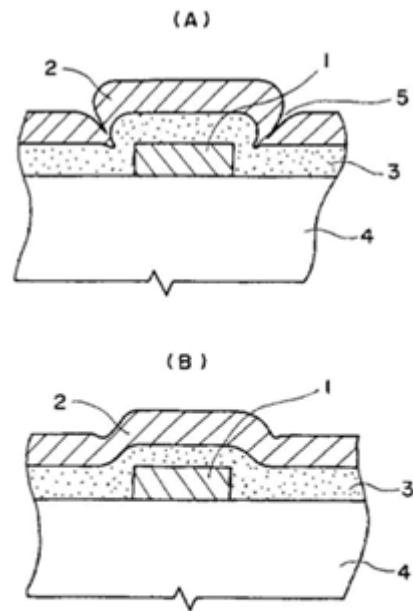
63: Horizontal axis indicating upper wiring film thickness

[FIG. 1]

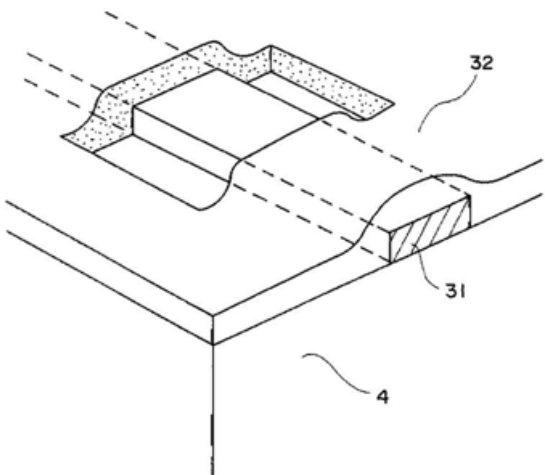


- 4: Substrate
 51: Lower wiring film
 511: First layer of the lower wiring film
 512: Second layer of the lower wiring film
 52: Upper wiring film
 53: Interlayer insulating film

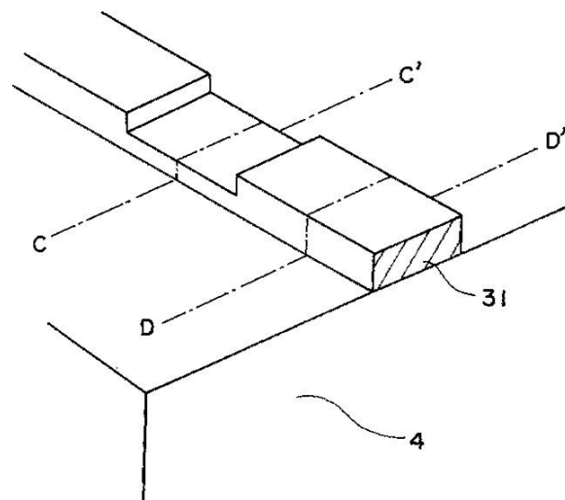
[FIG. 2]



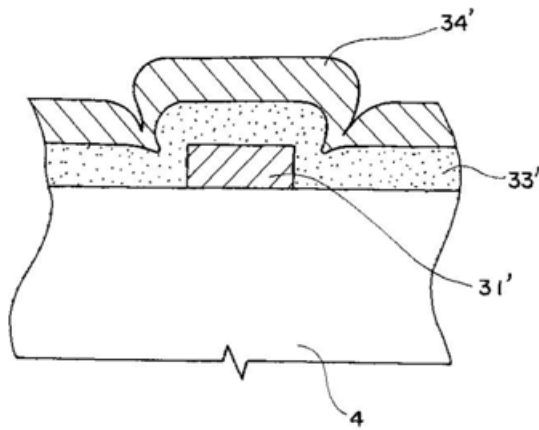
- 1: Lower wiring film
 2: Upper wiring film
 3: Interlayer insulating film
 3': Organic interlayer insulating film
 4: Substrate
 5: Notched wiring

[FIG. 3]
(A)

- 4: Substrate
 31: Lower wiring film
 32: Photoresist

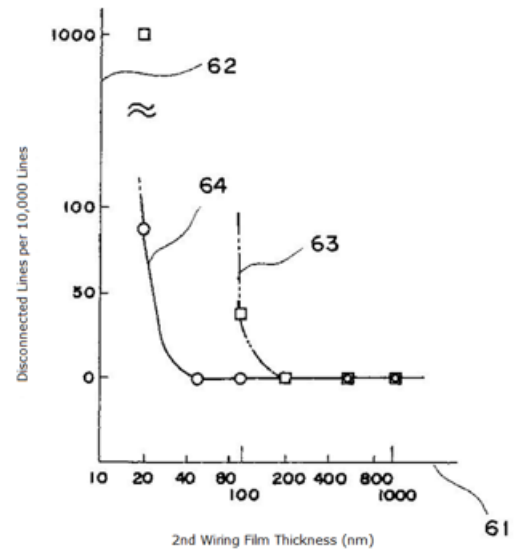
[FIG. 3]
(B)

[FIG. 4]



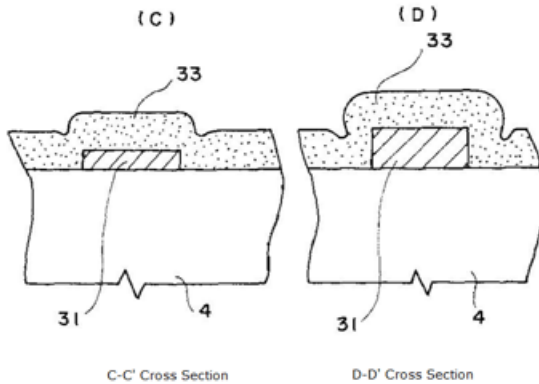
4: Substrate
 31': Lower wiring film
 33': Interlayer insulating film
 34': Upper wiring film

[FIG. 5]



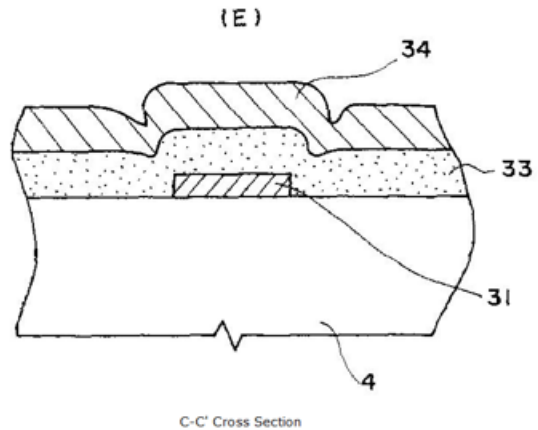
61: Horizontal line
 62: Vertical line
 63: Results of the prior art
 64: Results of the present invention

[FIG. 3]



4: Substrate
 31: Lower wiring film
 33: Interlayer insulating film

[FIG. 3]



4: Substrate
 31: Lower wiring film
 33: Interlayer insulating film
 34: Upper wiring film

Continued From Front Page

(72) Inventor
Ryoji ORITSUKI
Hitachi, Ltd., Mobara Works
3300, Hayano, Mobara-shi, Chiba-ken
(72) Inventor
Toshiyuki KOSHIMO
Hitachi, Ltd., Production Technology
Research Laboratory, 292, Yoshida-cho,
Totsuka-ku, Yokohama-shi,
Kanagawa-ken

(72) Inventor
Yoshifumi YORITOMI
Hitachi, Ltd., Production Technology
Research Laboratory, 292, Yoshida-cho,
Totsuka-ku, Yokohama-shi,
Kanagawa-ken
(72) Inventor
Mitsuo NAKATANI
Hitachi, Ltd., Production Technology
Research Laboratory, 292, Yoshida-cho,
Totsuka-ku, Yokohama-shi,
Kanagawa-ken
(72) Inventor
Eiji MATSUZAKI
Hitachi, Ltd., Production Technology
Research Laboratory, 292, Yoshida-cho,
Totsuka-ku, Yokohama-shi,
Kanagawa-ken

(19) Japan Patent Office (JP) (12) Patent Gazette (B2)

(11) Published Patent Application Number
Published Patent NO. 6-46438
(24) (44) Publication Date June 15, 1994

(51) Int.Cl. ⁵	ID Symbol	Patent Office Serial No.	F1	Technical Indication Section
G09F 9/30	338	6447-5G		
G02F 1/136	500	9018-2K		
H01L 29/784		9056-4M	H01L 29/78	311 A

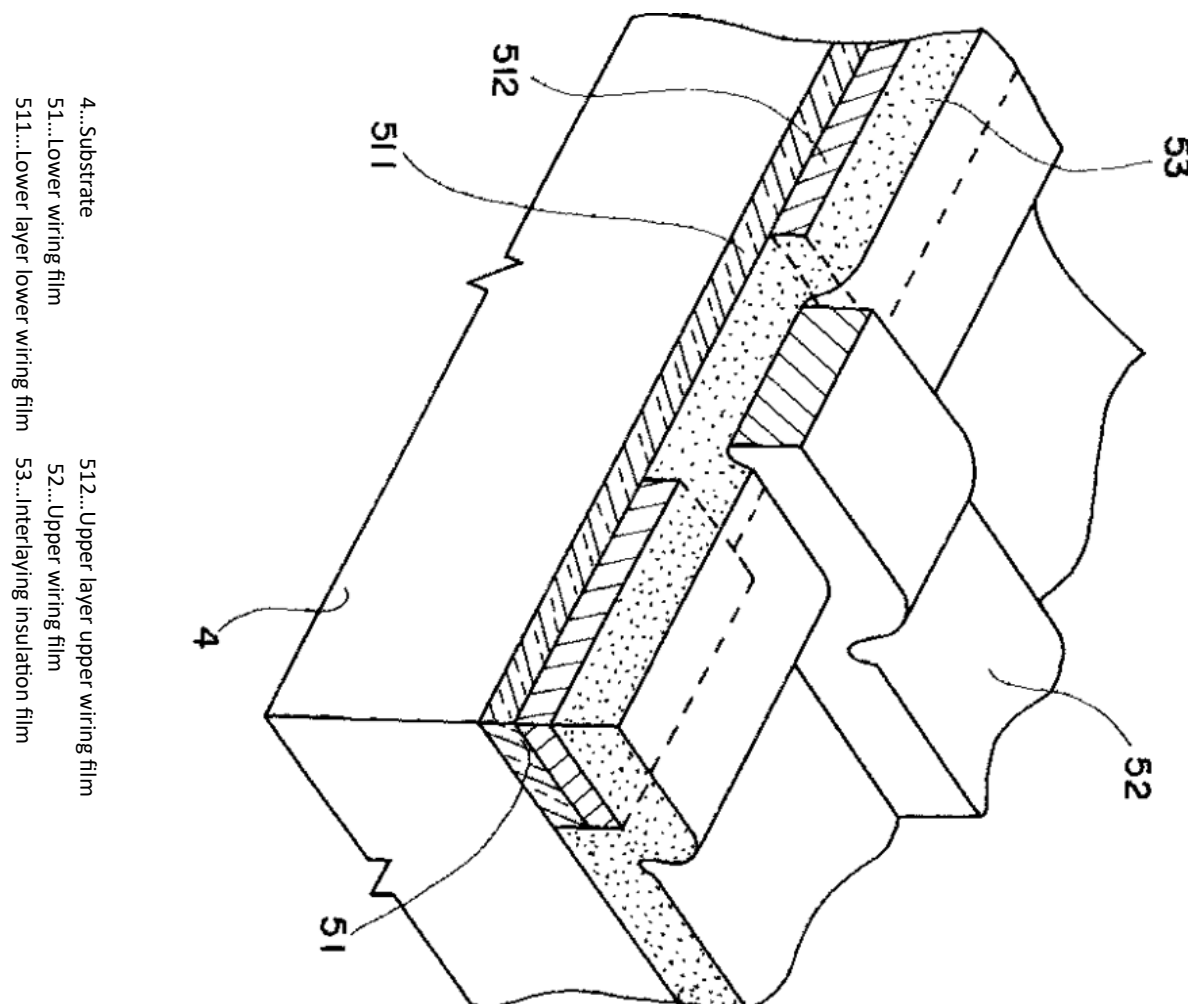
No. of Inventions 1 (Total 8 pages)

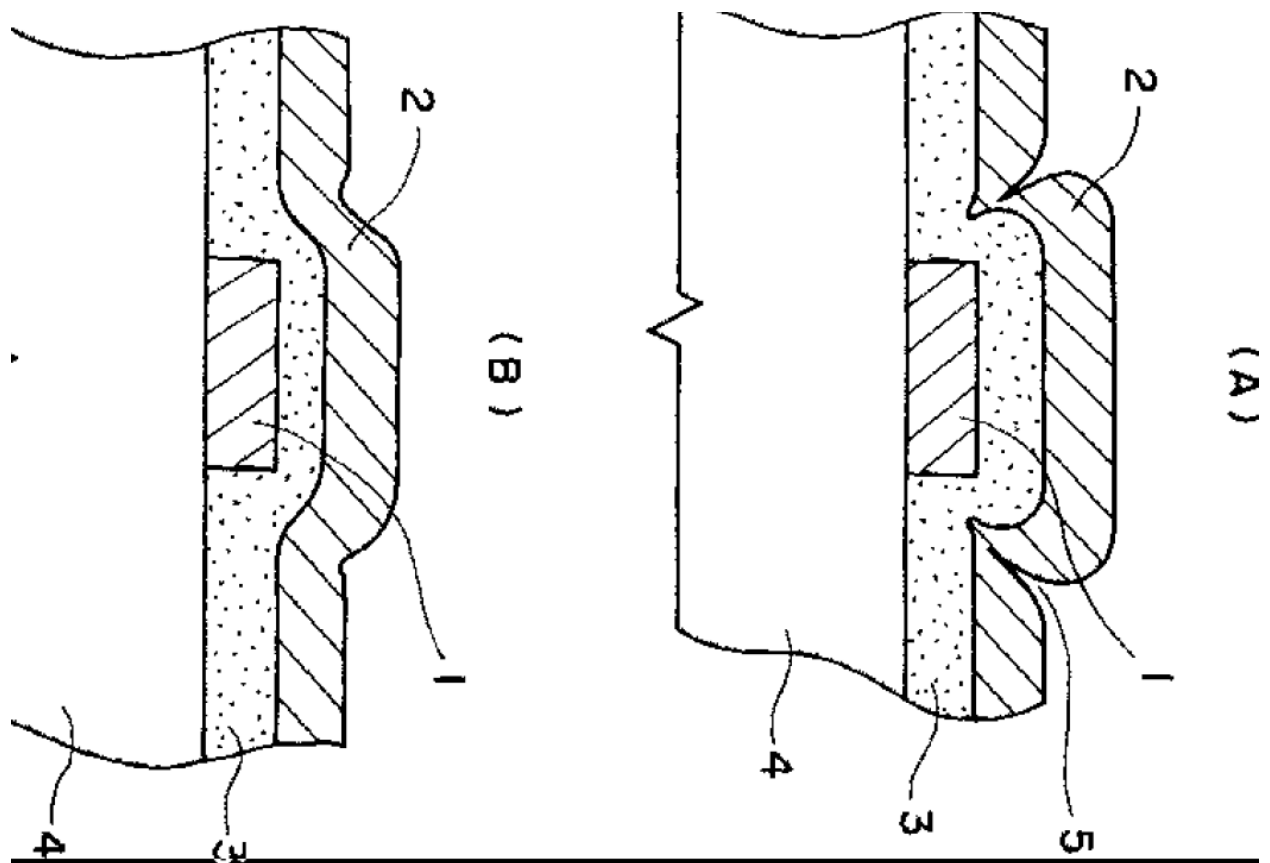
(21) Application Number Patent Application 61-106577
(22) Application Date May 12, 1986
(65) Publication Number Published Patent 62-264089
(43) Publication Date November 17, 1987

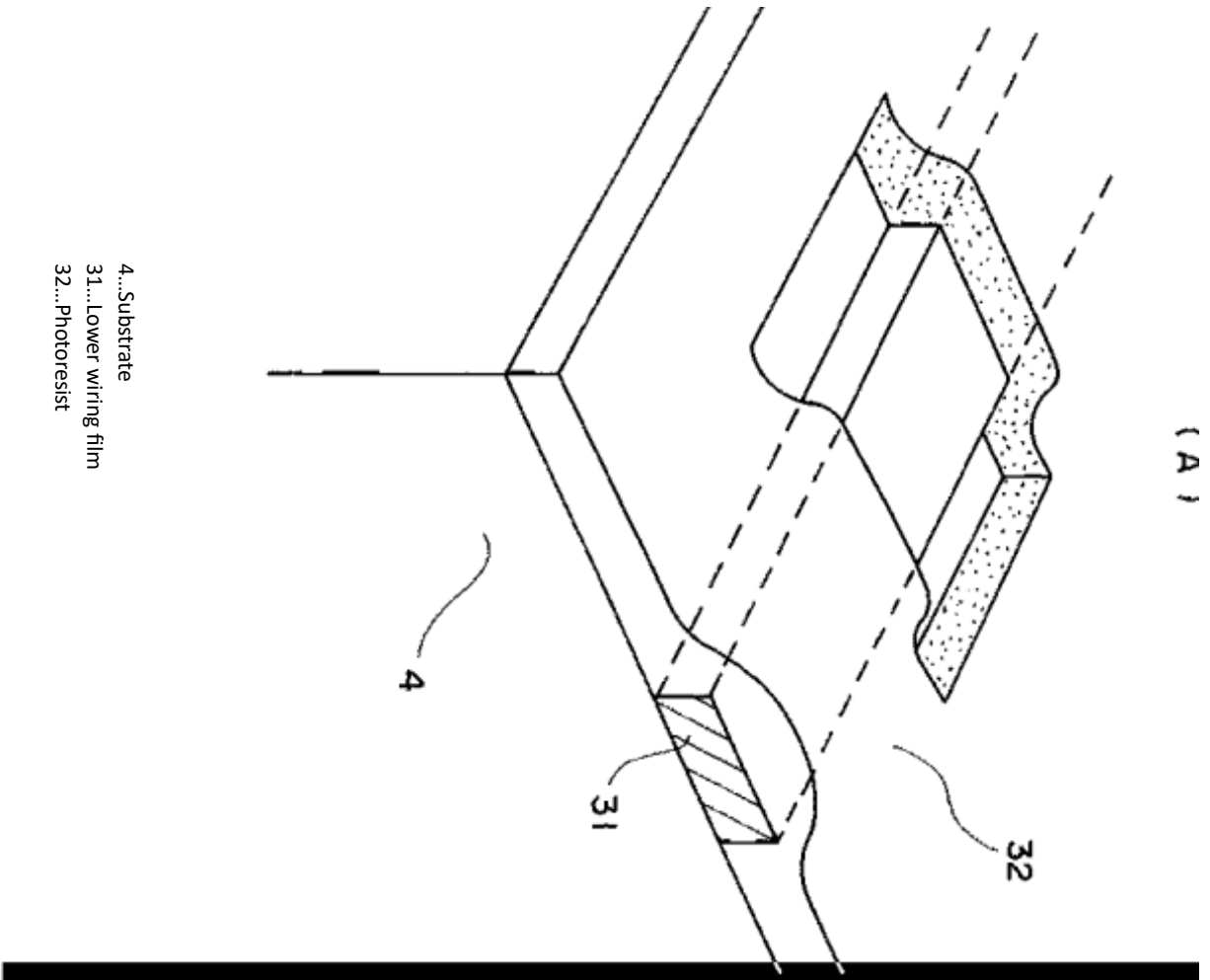
(71) Applicant 9999999999
Hitachi, Ltd.
4-6 Kanda Surugadai, Chiyoda-ku, Tokyo
(72) Inventor Hideo Kobayashi
Within Hitachi, Ltd. Production Engineering Research Laboratory,
292 Yoshida-cho, Totsuka-ku, Yokohama-shi, Kanagawa
(72) Inventor Akihiro Tsuritani
Within Hitachi, Ltd. Production Engineering Research Laboratory,
292 Yoshida-cho, Totsuka-ku, Yokohama-shi, Kanagawa
(72) Inventor Kazuo Sunahara
Within Mobara Works, Hitachi, Ltd., 3300 Hayano, Mobara-shi, Chiba
Prefecture
(74) Agent Patent Attorney Masami Akimoto
Examiner Akira Suzuki

(54) [Title of the Invention] Display Element

Continued on final page

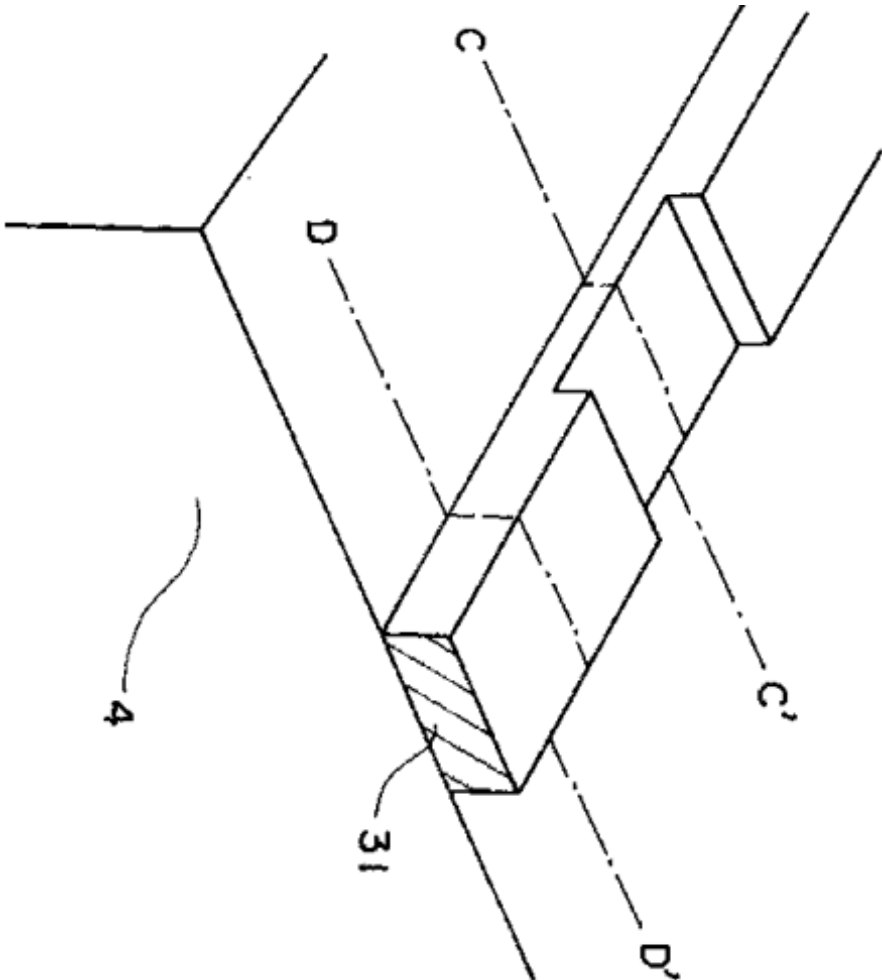




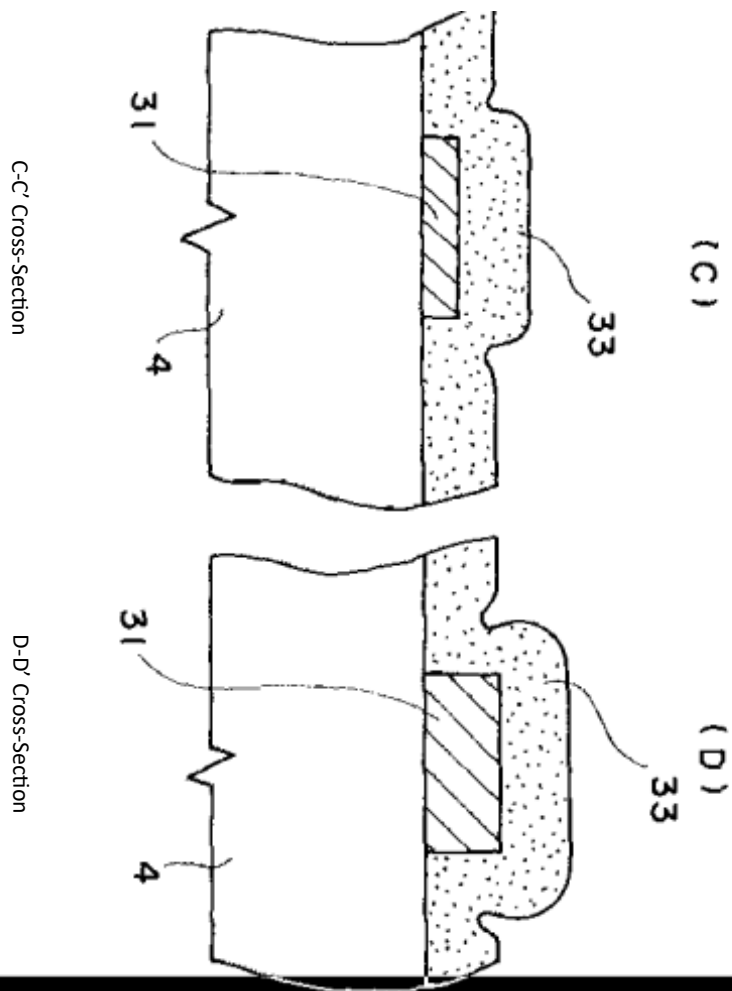


9

(B)



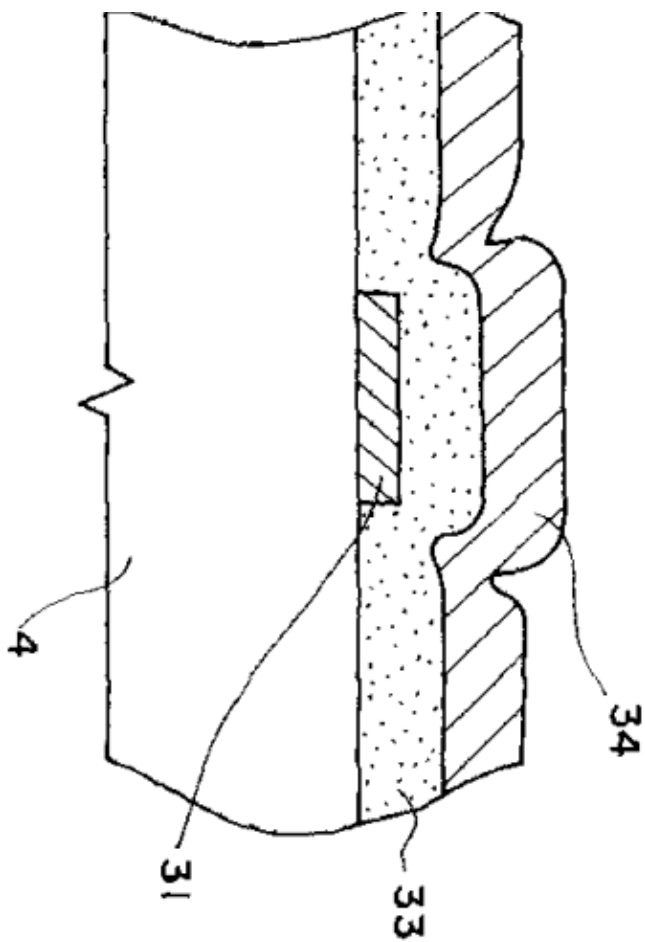
[Figure 3]



- 4...Substrate
- 31...Lower wiring film
- 33...Interlayering insulation film

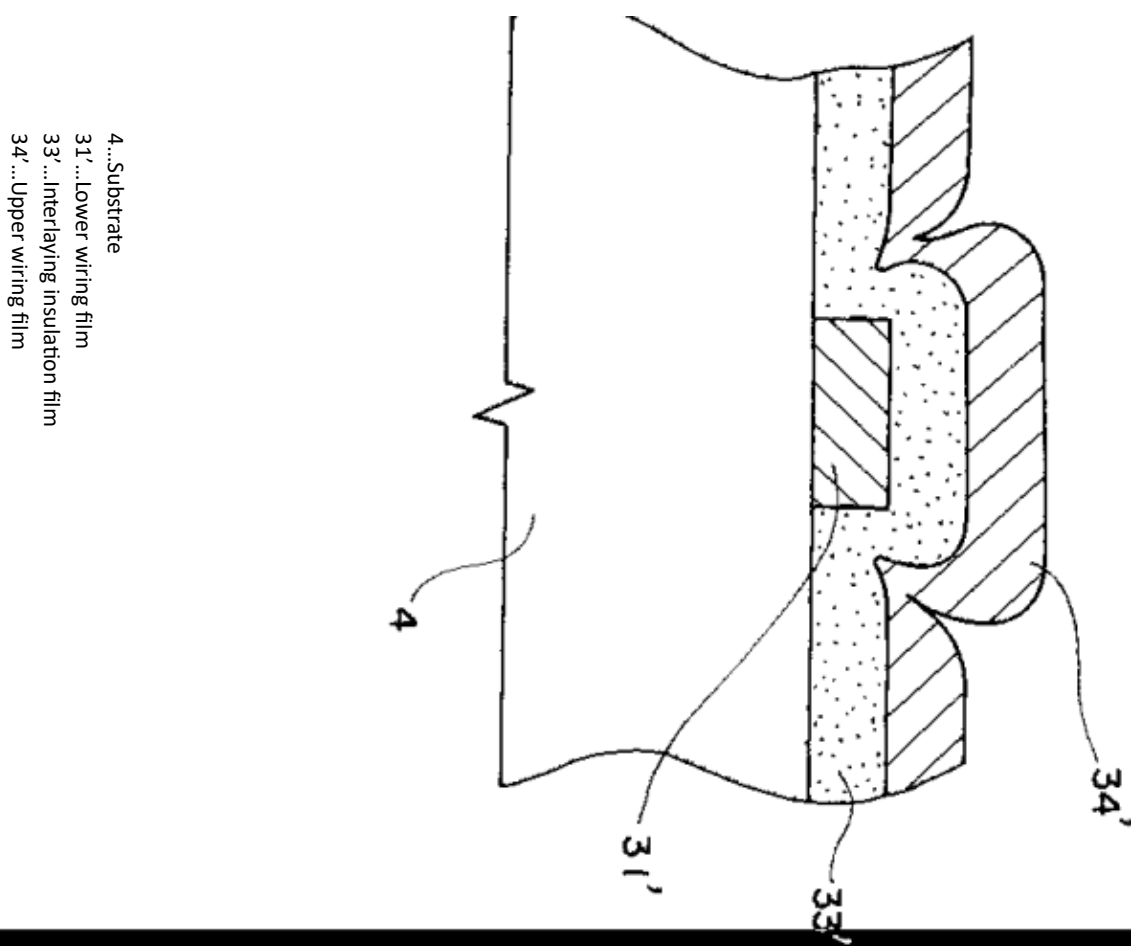
[Figure 3]

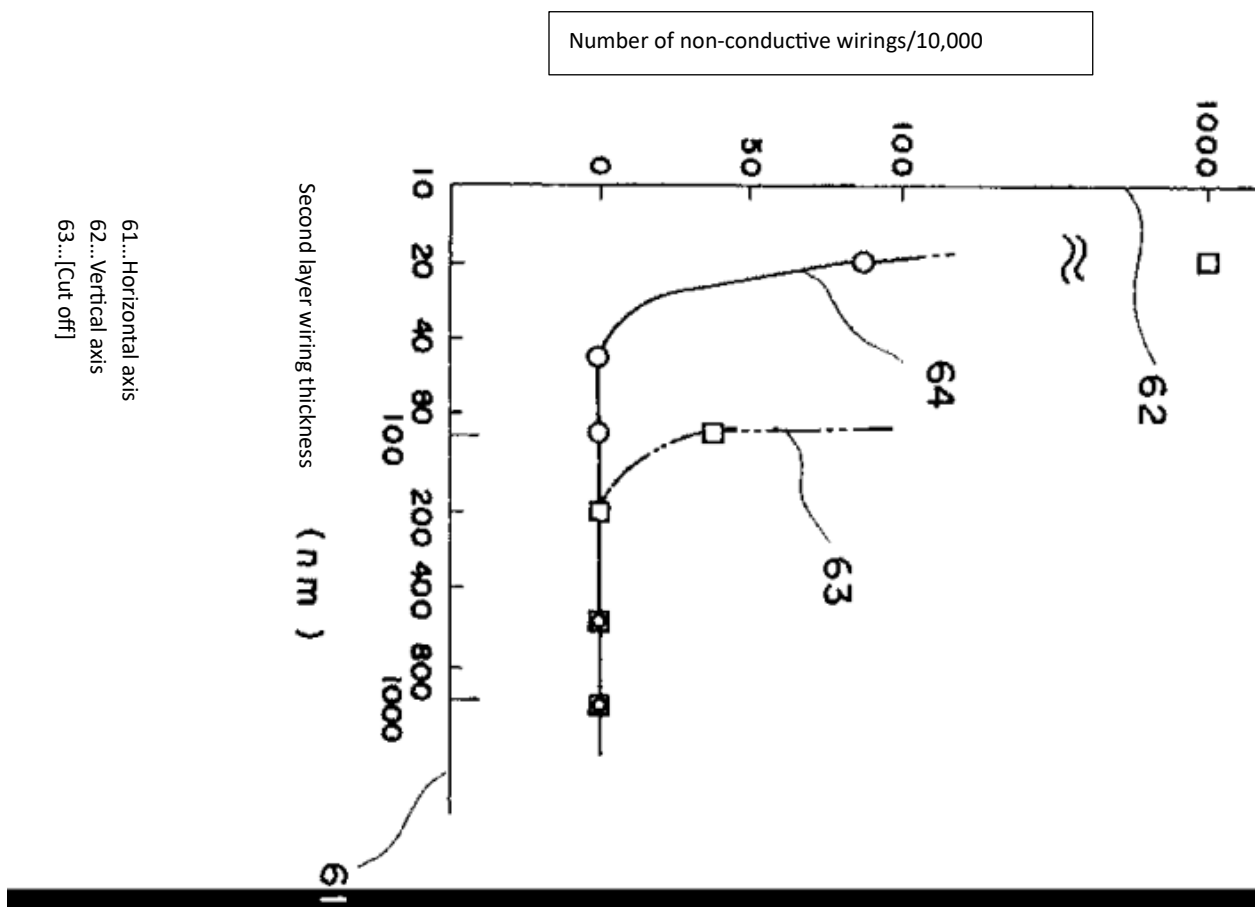
(E)



C-C' Cross-Section

- 4...Substrate
- 31...Lower wiring film
- 33...Interlayer insulation film
- 34...Upper wiring film





61...Horizontal axis
 62...Vertical axis
 63...[Cut off]

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許出願公告番号

特公平6-46348

(24)(44)公告日 平成6年(1994)6月15日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 F 9/30	3 3 8	6447-5G		
G 0 2 F 1/136	5 0 0	9018-2K		
H 0 1 L 29/784		9056-4M	H 0 1 L 29/ 78	3 1 1 A

発明の数1(全 8 頁)

(21)出願番号	特願昭61-106577
(22)出願日	昭和61年(1986)5月12日
(65)公開番号	特開昭62-264089
(43)公開日	昭和62年(1987)11月17日

(71)出願人	999999999 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
(72)発明者	小林 秀 神奈川県横浜市戸塚区吉田町292番地 株 式会社日立製作所生産技術研究所内
(72)発明者	鋳持 秋広 神奈川県横浜市戸塚区吉田町292番地 株 式会社日立製作所生産技術研究所内
(72)発明者	砂原 和雄 千葉県茂原市早野3300番地 株式会社日立 製作所茂原工場内
(74)代理人	弁理士 秋本 正実

審査官 鈴木 朗

最終頁に続く

(54)【発明の名称】 表示素子

【特許請求の範囲】

【請求項1】基板及び基板上の画素電極を駆動するためのトランジスタ、上記トランジスタに接続されている互いに交わる2つの信号配線膜、及び、データ信号配線膜から成る表示素子において、
上記2つの信号配線膜が互いに交差する部分において、基板側に位置する配線膜の上記交差する場所の膜厚を、他の同配線膜の部分に比して小さくしたことを特徴とする表示素子。

【発明の詳細な説明】

〔産業上の利用分野〕

本発明は表示装置に関し、特に薄膜技術により製作される薄膜配線を基板の上で用いる所謂マイクロエレクトロニクス製品として具体化できる表示装置に関する。本発明によれば、高い信頼性を有する薄膜配線を持つ平面型

ディスプレイ等を実現する手段を提供することができる。

〔従来技術〕

ICなどのマイクロエレクトロニクス製品では、回路の高密度化を実現するためにICチップ内の配線を何層にも重ねて形成する。また、最近注目を浴びている平面ディスプレイでは、その画素を発光させるために、また液晶ディスプレイの場合には、その画素に対応した液晶を駆動するためにX軸とY軸とに電極を配置し、これら2つの電極により同時に駆動された時に初めてその画素が点灯する、マトリクス方式の駆動方法が一般に用いられている。電子式ディスプレイについては多くの解説文献がある(例えば1982年2月号の「電子材料」誌での電子式ディスプレイの特集記事を参照)。上記した配線は一般に平らな基板上に平面的に形成され

る。この同一基板上に上記したように2つの種類の信号配線系が形成される場合には、これら2種類の配線は絶縁膜をはさんでお互いに交差する。第2図(a)は、この配線の交差部の断面構造を示したものである。この図に即して薄膜配線交差部が従来から持つ問題点について述べる。

配線1は紙面に垂直な方向に走っている配線であり、また配線2は絶縁膜3を介して、配線1の上を乗り越えている。ここで述べる薄膜配線の例では、極一般的な数値として配線膜1, 2はそれぞれ1 μ mの厚さであり、また絶縁膜3の厚さも1 μ mとした。これらの膜の形成方法には様々なものが考えられるが、配線膜1, 2は金属であり、スパッタリング法により膜形成を行うのが一般的である。また絶縁膜3には例えばプラズマCVDによるSiN膜を用いるとする。図にあるように絶縁膜3を配線1の上から形成すると、配線1の段差部分のために、程度の多少はあるが配線1と基板4とで形成するコーナー部分に対応した切れ込み5が発生してしまう。このような形状を一般的にはオーバハングと呼んでいる。配線膜2は更に絶縁膜3のオーバハングの上から形成するので、配線膜2のオーバハングは更に強調された形となり、製造条件が適当でない場合には配線膜2の切れ込みの部分で、ついには断線による不良が発生してしまう。断線が発生してしまわないまでも製品としての信頼性が大きく低下してしまう。配線膜の段差部分に於る断線不良については特にIC製造技術に於てその研究が盛んである(例えば、J. Ryan, D. Douse, L. Hahn, M. LucianoによるThe Effect of Temperature on Topology Related Defect Formation in Evaporated Aluminum Based Thin Film(Proceedings of 1985 International Conference on Metallurgical Coatings, Los Angeles)などを参照)。上記した問題点を解決するために様々な方法が試みられている。第2図(b)は絶縁膜3を回転塗布できる有機物3'とした場合の断面構造を示したものであり、形状的な問題点は解決されているが、機械的強度が不足していることや、吸湿性が高いために配線の腐食がおきやすく、まだまだ様々な問題点を抱えている(有機物としてポリイミドを層間絶縁膜に用いた多層配線については例えば、T. Nishida, K. Mukai, T. Inada, T. Kato, I. Tezuka, N. Horieによる、Moisture Resistance of Polyimide Multilevel Interconnects(23rd annual Proceedings of Reliability Physics 1985)などを参照)。薄膜トランジスタを使った表示基板では、一般にこれら二つの配線膜の間の絶縁膜は、薄膜トランジスタのゲート絶縁膜をそのまま用いる構成となっていることが多い。ゲート絶縁膜には薄くてまた配線耐圧が高い材料がトランジスタ性能の点から用いられる。このため有機絶縁膜は表示基板には用いることができない。

以上述べたように表示基板においては多層配線技術が盛んに開発されているが、配線相互の交差部に於る段切れ

の問題は依然として重要な課題となっている。

無機物を使った層間絶縁膜の平坦化の方法には石英(SiO₂)のバイアススパッタ法がある。この方法はスパッタリングによりながら石英を基板上に堆積しながら、同時に基板側にも高周波電圧を印加し基板側に堆積した石英をスパッタリングによりその何分の一かを取り除くというものである。この方法によれば突起部等が優先的にスパッタリングを受けるために、殆ど平坦化された石英の膜を形成できる。この方法についても多くの発表が為されている(例えば、A. Mumtaz, I. Drapkin, R. MathewによるRadio Frequency Magnetron sputtering of Radio Frequency Biased Quartz on a Scanning Pallet(Journal of Vacuum Science and Technology, A2(2), April-June 1984, pp237-)などを参照)。然し乍らこの方法では、膜の堆積速度が非常に低く(100~200Å/分)生産性の大きな問題点を持つ。また基板側でのスパッタリングのため、基板の温度上昇が著しく安価なガラス基板を使用することができない問題がある。

〔発明が解決しようとする問題点〕

本発明の目的は薄膜配線の交差部での信頼性の向上を実現した表示素子を提供することにある。本発明は、越えなければならない段差の高さを基本的に低くしてしまうものである。また製造面からみても、そのプロセスが徒に複雑化させることなく信頼性を向上させることが本発明の目的である。

〔問題点を解決するための手段〕

上記目的は、基板及び基板上の画素電極を駆動するためのトランジスタ、上記トランジスタに接続されている互いに交差する2つの信号配線膜、及び、データ信号配線膜から成る表示素子において、上記2つの信号配線膜が互いに交差する部分において、基板側に位置する配線膜の上記交差する場所の膜厚を、他の同配線膜の部分に比し小さくした構成の表示素子により達成される。

〔作用〕

この発明によれば、基板側の配線、すなわち交差部を走る配線膜の厚さを減ずることにより、上側配線の越えなければならない高さを減じ、以て上部配線膜のオーバハングの発生を抑止し、その段部の切れ込みを小さくすることにより、配線の信頼性を大幅に上げることができる。

即ち本発明では下側に来る配線が2重の層構造を持ち、どちらか一方の配線層が断線していても、いずれかの層によって導通がとれる。然し乍ら2重の配線のためにその配線高さが大となり、上側の配線に断線が生じやすい。下側の配線の高さをこの配線が一般にもともと2回のフォトリソエッチング工程で形成されているので、配線間の交差のみの膜厚を減ずることがただちに行える。然し乍らこの交差部では下側の配線がそれぞれ2重であるために持っていた冗長性が失われることになる。交差部の長さは下側の配線の全長に比せば遙かに小さく、冗長性

が失われることはない。

〔実施例〕

以下、本発明を図を用いて詳細に説明する。

第3図は本発明の第1の実施例たる配線構造体の製造方法を示すものである。同図(a)はフォトレジストを塗布し、露光、現像といった通常のフォトエッチング技術を用いて第1層目の配線膜31を形成し、次いで再び上側配線との交差部分にあたる場所のみの第1層目の配線膜31の膜厚を減ずるための第2回のエッチングを行うように、再びフォトレジストを塗布し、露光、現像までの工程を行ったものである。上側配線との交差部にあたる場所より少し広くフォトレジスト32が取り除かれている。このままエッチング液による所謂ウェットエッチングを行ったのでは、配線膜の横方向からのエッチングも進行し、第1層目の配線膜31の線の幅減ってしまう。そこで方向性のエッチング（基板に対して垂直の方向にエッチングが進む）が可能であるリアクティブイオンエッチング法を用いてエッチングを行う。

同図(b)は同図(a)のフォトレジストをマスクにリアクティブイオンエッチングを行い、さらにフォトレジストを剥離したところの様子である。配線の交差部とその周辺のみ配線膜厚が小となっている。

同図(c)(d)は同図(b)の状態にさらに層間絶縁膜33を形成したときの断面構造を示したものである。同図(c)は、同図(b)中のC-C'で示される部分の断面構造であり、同図(d)は同じくD-D'で示される部分の断面構造である。C-C'の部分を上側配線膜34が層間絶縁膜33を介して乗り越えている。

同図(e)は同図(c)の状態にさらに第2層目の配線膜34を形成したときの断面構造を示したものである。同図(e)は、同図(b)中のC-C'で示される部分の断面構造であり、この部分において配線膜34が絶縁膜33をかいして配線膜31と交差している。

第4図は本発明の実施例ではなく、上記したように第1層配線膜31'の膜厚を減ずる事なく第2層目の配線膜34'を形成したときの第1層と第2層の配線膜31', 34'との交差部の断面構造を示したものであるが、本発明の効果が著しいことがわかる。すなわち第4図の例では第1層配線膜31'の膜厚が大きいために第2層配線34'にオーバーハングを生じ第2層配線膜は配線膜としての信頼性を著しく損っていることがわかる。これに対して本発明に係わる実施例では、第2層配線34に過度のオーバーハングは生じていず、高い信頼性を確保していることがわかる。

第1図は本発明に係わる第2の実施例を示したものであり、第1層、第2層配線膜51, 52の交差部の構造をしめしている。この第2の実施例では、第1層配線膜51は更に2つの膜511, 512から構成されている膜511及び512それぞれの形成方法は第3図(a)に即して説明した方法により形成できる。ここで注意しなければならぬ点は、膜

512を形成する際のエッチングである。もし膜511と膜512とを同じ材料で形成すると膜512のエッチングの際にせっかく形成した膜511を512が膜511を覆っていない部分では再び溶かしてしまうことになる。

第1層配線膜51を多層の膜構造としたのは、膜511のためのフォトレジスト工程において何等かの原因（異物など）により、配線膜が断線していることがかんがえられる。この断線不良に対してもう一つ配線膜を重ねることで、断線不良を防止できる。なぜなら異物などが原因である断線はその発生場所が全く不規則であり、同じ場所で両方の膜511, 512に断線が発生することはまずないからである。

従って膜511は膜512のエッチング液またはエッチングガスに対してそのエッチング速度が膜512のエッチング速度と比べ大きく低い事が必要である。本願発明者らは膜511にはクロム、膜512にはモリブデンを用いることで、2層重ね膜である第1層配線膜51を形成することができた。

この例では第1層配線膜51を2層重ね膜として説明したが、3層、あるいは、4層重ね膜であっても、その重ね膜構造を利用してその配線膜としての膜厚を層数をへらすことで減ずることができれば、本発明に含まれるものである。

第1図に示す様に膜511を配線交差部のみ取り去り、第1層配線51の膜厚を減じ、以て交差部における第2層配線膜が越えなければならぬ物理的な高さを減じ、その切れ込みを低減し、配線の信頼性を向上することができ

〔発明の効果〕

本発明によればお互いに交差する配線の段差部分での段切れを低減することができる。第5図は本発明の効果を、本発明の具体例と従来技術との対比に於て示したものである。横軸61は、上側の配線膜の膜厚（単位ミクロン）であり、縦軸62は上側配線1,000本あたりの段差部での断線不良の本数を示したものである。

上側配線膜の材料にはアルミニウムを用いた。上側配線膜の膜厚は300nmである。下側配線の膜厚は合計で320nmであり、下側配線の第1層配線膜はクロムを用い、その膜厚は160nmである。下側配線の第2層配線膜は160nm厚のモリブデンを用いた。層間絶縁膜の厚さは300nmである。

曲線63, 64はそれぞれ従来技術と本発明に係わる技術により形成された段差部を持つ上側配線の不良本数である。従来技術では、第2層配線膜厚が200nm以上にならぬと、断線不良がゼロとならぬのに対し、本発明に係わる技術によれば、50nm以上から断線不良がゼロとなる。この実験結果は本発明に係わる技術によれば段差部分の高さが低いために膜厚が小さいときであっても、十分な段差の被覆が可能であることを示している。

【図面の簡単な説明】

第1図は本発明の構成を示すもので、具体的には本発明の第2の実施例を示すものである。

第2図(A)は従来技術による配線膜交差部の断面構造を示すものである。

第2図(B)は従来技術による配線膜交差部の断面構造を示すものである。

第3図(A)は本発明の第1の実施例の製造方法を示すものである。

第3図(B)は本発明の第1の実施例の製造方法を示すものである。

第3図(C)は本発明の第1の実施例の製造方法を示すものである。

第3図(D)は本発明の第1の実施例の製造方法を示すものである。

第3図(E)は本発明の第1の実施例を示したものであ

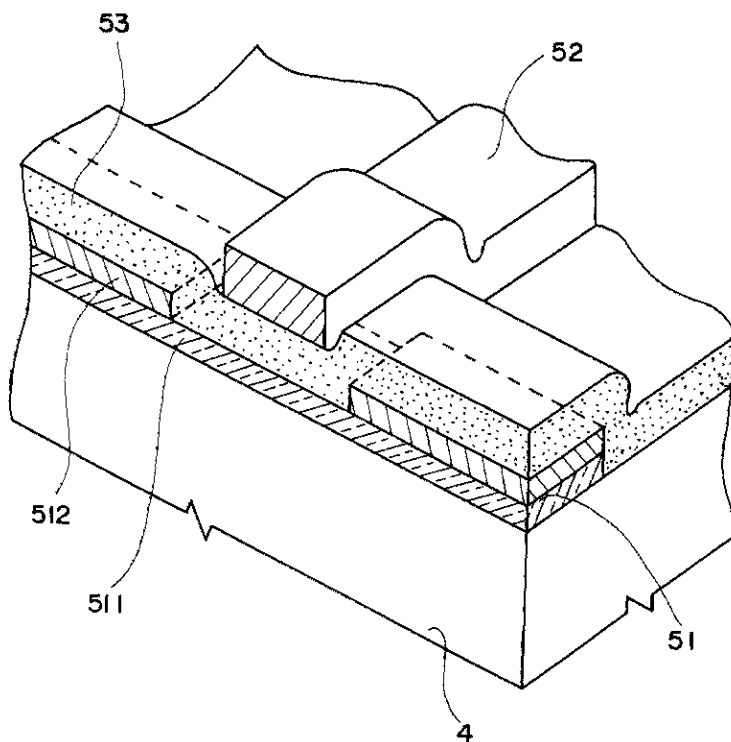
る。

第4図は従来技術による配線膜交差部の断面構造を示すものである。

第5図は本発明の第2の実施例の配線膜交差部に於る上側配線膜の膜厚と断線不良数との関係を示したグラフである。

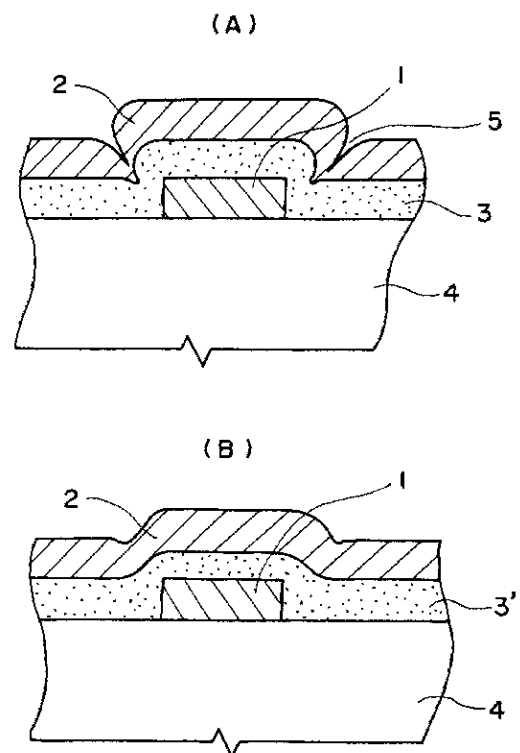
4……基板、1, 31, 31', 51……下側配線膜、511……下側配線膜の第1層目の配線膜、512……下側配線膜の第2層目の配線膜、3, 33, 33', 53……層間絶縁膜、3'……有機層間絶縁膜、2, 34, 34', 52……上側配線膜、5……上側配線の段差部に発生した断線不良箇所、32……フォトリソスト、62……1000本あたりの不通配線本数を表す縦軸、63……上側配線膜厚を示す横軸。

【第1図】



4 ……基板
51 ……下側配線膜
511 ……下側配線膜の第1層目の配線膜
512 ……下側配線膜の第2層目の配線膜
52 ……上側配線膜
53 ……層間絶縁膜

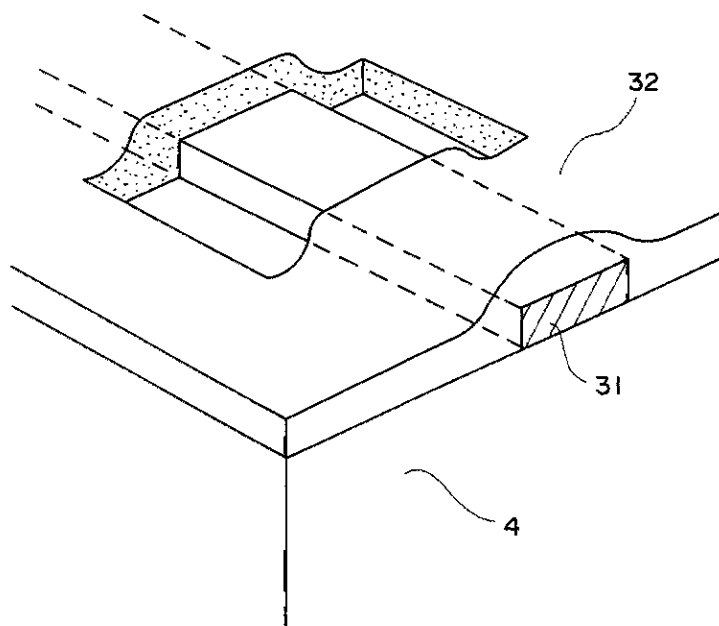
【第2図】



1 ……下側配線膜
2 ……上側配線膜
3 ……層間絶縁膜
3' ……有機層間絶縁膜
4 ……基板
5 ……配線の切れ込み

【第3図】

(A)

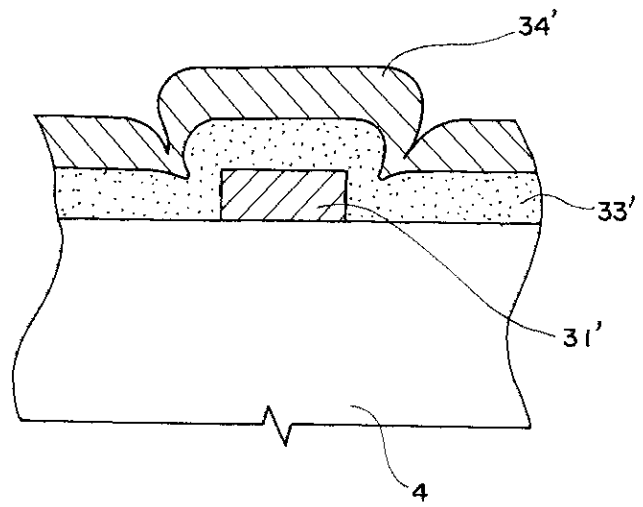
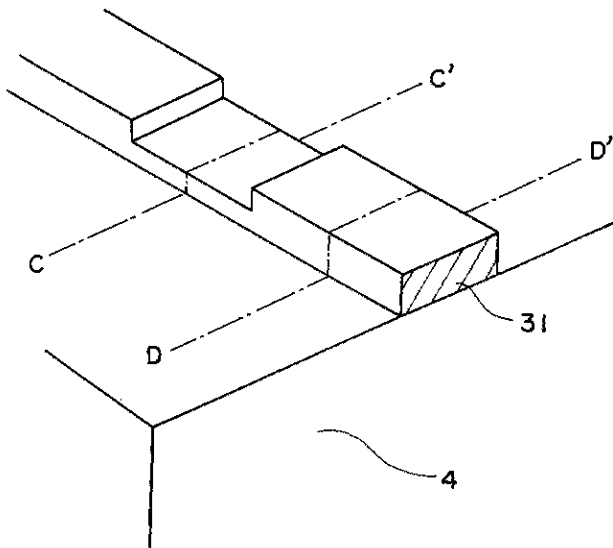


4----基板

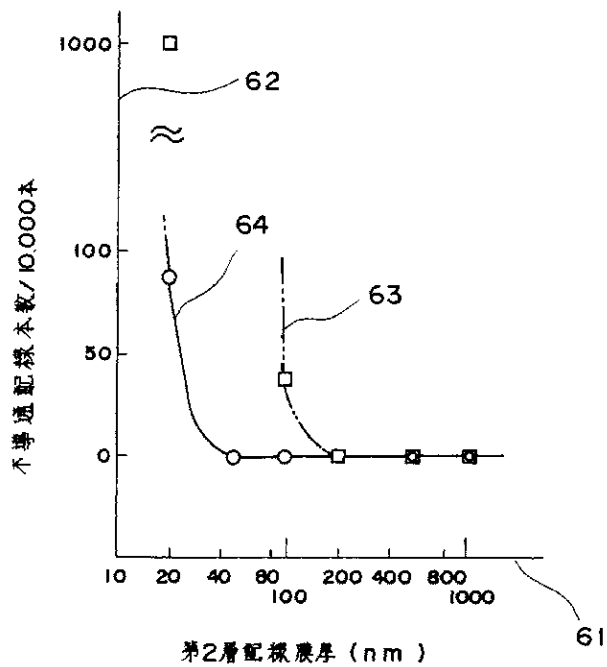
31----下側配線層

32----フォトリソグ

【第4図】

【第3図】
(B)

【第5図】



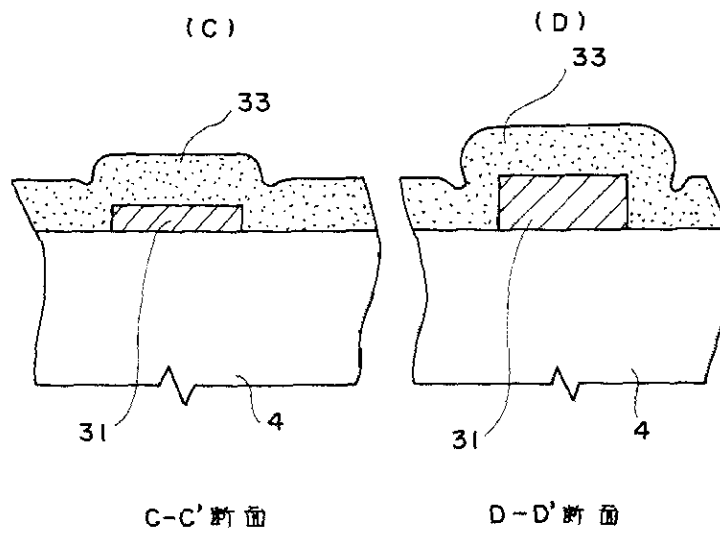
61…横軸

62…縦軸

63…従来技術の結果

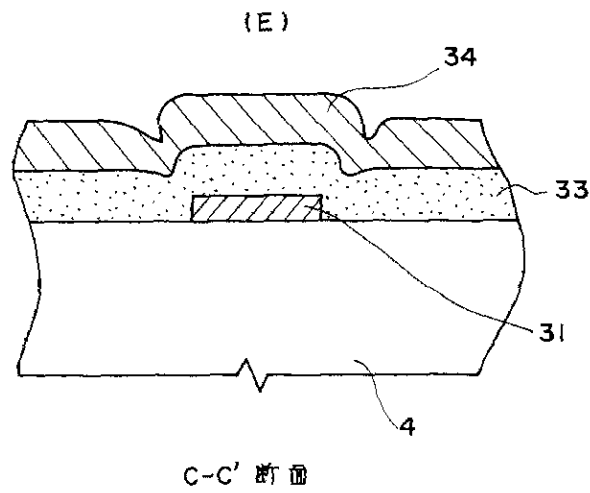
64…本発明に係る結果

【第3図】



4…基板
31…下側配線膜
33…層間絶縁膜

【第3図】



4…基板
31…下側配線膜
33…層間絶縁膜
34…上側配線膜

フロントページの続き

(72)発明者 折付 良二
千葉県茂原市早野3300番地 株式会社日立
製作所茂原工場内

(72)発明者 小下 敏之
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

(72)発明者 頼富 美文
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

(72)発明者 中谷 光雄
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

(72)発明者 松崎 永二
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内