

[Translation Company Letterhead]

Date : 28/08/2025

**Translator's Declaration**

I, [Chinari Uehara], hereby declare:

That I possess advanced knowledge of the [Japanese] and English languages. The attached [Japanese] into English translation has been translated by me and to the best of my knowledge and belief, it is a true and accurate translation of: [JP1984029441A (1) and JP1990138739A.pdf].

I declare that all statements made herein of my knowledge are true, and that all statements made on information and belief are believed to be true. I further declare that these statements were made with the knowledge that willfully false statements and the like are punishable by fine or imprisonment or both, under Section 1001 of Title 18 of the United States Code.

In signing this declaration, I understand that the translation and this declaration may be filed as evidence in a contested case. I acknowledge that I may be subject to cross-examination within the United States.

A photograph of a handwritten signature in blue ink on lined paper. The signature is written in a cursive style and appears to read "Chinari".

[Chinari Uehara]

51Int. Cl.5 Identification Symbol Internal Office Reference Number ④③Published May 28, 1990  
H 01 L 21/3205 J 6824-5F  
21/90 6824-5F H01 L 21/88 K  
Request for Examination Not Requested Number of Claims 2 (Total 12 pages)

---

(54) Title of Invention: Method for Manufacturing a Semiconductor Device

②①Patent Application Heisei 1-100848

②②Filed Heisei 1 (1989) April 20

Priority Claim: ③②Showa 63 (1988) July 29 ③③Japan (JP)③③Patent Application Showa 63-189924

(72) Inventor: Emi Murakawa Technical Research Headquarters, Kawasaki Steel Corporation  
1 Kawasaki-cho, Chiba City, Chiba Prefecture

(72) Inventor: Munetaka Oda Technical Research Headquarters, Kawasaki Steel Corporation  
1 Kawasaki-cho, Chiba City, Chiba Prefecture

(72) Inventor: Nobuyoshi Sato Technical Research Headquarters, Kawasaki Steel Corporation  
1 Kawasaki-cho, Chiba City, Chiba Prefecture

(71) Applicant Kawasaki Steel Corporation 1-1-28 Kitahonmachi-dori, Chuo-ku, Kobe City, Hyogo Prefecture

(74) Agent Patent Attorney Satoshi Takaya and 2 others

#### Detailed Description

#### Specification

##### 1. Title of the Invention

Method for Manufacturing a Semiconductor Device

##### 2. Claims

(1) A method for manufacturing a semiconductor device with multi-layer wiring, characterized by comprising:

a step of depositing an insulating film having a thickness greater than or equal to the thickness of the wiring and less than 1.2  $\mu\text{m}$  onto the wiring formed on a predetermined layer of the semiconductor device; and

a step of etching the deposited insulating film to a predetermined thickness to form an insulating film layer.

(2) A method for manufacturing a semiconductor device with multi-layer wiring, characterized by comprising:

a step of depositing a first insulating film on the wiring formed on a predetermined layer of the semiconductor device at a temperature of 400°C or higher;

a step of depositing a second insulating film on the first ins a step of forming a second insulating film on the first insulating film with a thickness greater than the step height of the first insulating film and less than 1.2  $\mu\text{m}$ ,

and a step of etching the formed insulating film to a predetermined thickness to form an insulating film layer.

##### 3. Detailed Description of the Invention

###### 【Field of Industrial Application】

The present invention relates to a method for manufacturing a semiconductor device, particularly suitable for use in forming reliable wiring in a semiconductor device with multi-layer wiring, preventing open circuits and short circuits.

###### 【Prior Art】

Today, with advances in semiconductor manufacturing technology and demands for miniaturization and high-speed response in electronic control components, semiconductor devices such as integrated circuits (ICs) are increasingly trending toward higher integration. Accompanying this trend, the wiring formed within semiconductor devices to connect individual elements to each other and to the outside, along with its configuration (pattern), has become increasingly miniaturized. Forming this wiring on a single layer alone has become insufficient to adequately meet the aforementioned demands for high integration.

Conductive devices inherently possess a multilayer wiring structure, meaning that multilayering is unavoidable.

Various semiconductor devices with such multilayer wiring structures have been manufactured conventionally. For example, there are those with a CMOS (Complementary Metal-Oxide-Semiconductor) transistor structure, as shown in Figure 11.

In the CMOS transistor structure of Figure 11, a MOS transistor 10A, having a source S, a drain D, and a gate G, is formed on a substrate 12A, which is a base layer (also called a substrate) made of P-type silicon (Si). Similarly, another MOS transistor 10B is formed on a substrate 12B, which is the base layer other than the P-type silicon well region. Furthermore, these MOS transistors 10A and 10B are formed on substrates 12A and 12B, respectively, at a predetermined distance apart and separated by a device isolation layer 14.

The terminals of each MOS transistor 10A and 10B, such as the source S and drain D, are connected to predetermined connections via first-layer

However, when a second layer of insulating film 18B is formed on wiring 16A, as shown in Figure 12, at the corners of said wiring 16A, etc., the base 12A, and 12B, as indicated by reference numeral 22 in Figure 12. When attempting to form (butt-weld) a second layer wiring 16B on such an overhanging interlayer insulating film 18B, as shown in Figure 12, a break may occur at the overhanging portion 22 of the interlayer insulating film 18B, or, as shown in Figure 13, when patterning the second layer wiring 16B, etching at the location 24 may leave a remaining portion, potentially causing a short circuit between adjacent second layer wiring 16B. This has been an obstacle to improving the yield of semiconductor devices.

Therefore, various methods have been devised and adopted to resolve the above-mentioned problems and mitigate or eliminate the overhang state of the interlayer insulating film occurring at the aforementioned step.

wiring 16A and second-layer wiring 16B, respectively. These wires 16A and 16B are typically made of aluminum (Al). Furthermore, to ensure insulation between the device separation film 14, the first layer wiring 16A, and the second layer wiring 16B, insulating films 18A and 18B (hereinafter, insulating film 18B is referred to as the interlayer insulating film), primarily composed of silicon dioxide (SiO<sub>2</sub>), are formed. Furthermore, to prevent oxidation of the wiring due to the external atmosphere, a final protective film 20 is formed on the outermost layer of the second layer wiring 16B or the interlayer insulating film 18B.

Now, when forming wiring in multiple layers, as in the CMOS transistor of Figure 11, no problems arise for the first layer wiring 16A near the substrates 12A, 12B. However, breaks or shorts occurring in the second layer wiring 16B or higher formed above it can become a major issue affecting yield.

That is, since the first layer wiring 16A is formed on the nearly flat surface of the substrates 12A and 12B, no problems occur with this wiring 16A.

One commonly employed method among these is referred to as resist etchback (e.g., Japanese Patent Application Publication No. 59-2350).

Specifically, in this method, as shown in Figure 14(A), a photoresist film 30 is first coated and formed on the silicon dioxide interlayer insulating film 28 along the wiring 26, ensuring its surface is planarized. In Figure 14, reference numeral 12 denotes the substrate.

Next, the entire surface of the interlayer insulating film 28 and the photoresist film 30 is dry-etched by reactive ion etching (RIE) under conditions where their etching rates become equal, as shown in Figure 14(B), to planarize the interlayer insulating film 28 (this process is called etch-back). After removing the photoresist film remaining on the insulating film 28 by stripping and washing, silicon dioxide is additionally deposited to achieve the target thickness of the interlayer insulating film 28, as shown in Figure 14(C).

However, in the aforementioned method, after etching as described, it is necessary to remove the photoresist film partially remaining on the insulating film 28 and then deposit an additional insulating film on that insulating film 28. This results in a complex manufacturing process and a prolonged manufacturing time. Furthermore, in the aforementioned method, there are methods (disclosed in Japanese Patent Application Publication No. 58-74043, etc.) that use silanol solutions or heat-resistant organic polymers instead of the photoresist. However, the interlayer insulating film formed by such methods has low electrical performance, making it difficult to adopt.

In contrast, a simpler technique for planarizing the insulating film involves depositing the interlayer insulating film between the first and second layers to a thickness of at least twice the minimum spacing of the first layer's wiring, thereby planarizing the insulating film surface. Subsequently, an etchback process is performed to obtain the interlayer insulating film at the target thickness (Japanese Patent Application Publication No. 57-14 3846, JP 58-31557, etc.).

However, when using this method to manufacture high-density semiconductor devices such as 1-megabit (Mbit) dynamic random access memory (DRAM) using this method, the thickness of the deposited insulating film becomes 2.0 to 2.5  $\mu\text{m}$  or more.

As described above, conventional semiconductor device manufacturing methods required complex processes to form interlayer insulating films of the desired thickness, resulting in time-consuming production. This adversely affected the characteristics of the semiconductor devices and led to issues such as unreliable connections between the wiring layers.

#### [Objects of the Invention]

The present invention was conceived in light of the aforementioned conventional problems. Its primary objective is to provide a semiconductor device manufacturing method that enables the formation of highly reliable multilayer wiring. This is achieved through relatively simple processes that eliminate overhang shapes in the interlayer insulating film without adversely affecting the characteristics of the semiconductor device, while also ensuring precise film thickness uniformity. This results in connections between the wiring of each layer that are free from breaks or shorts and are highly reliable.

Furthermore, in addition to the first objective, the present invention has a second objective of providing a semiconductor device manufacturing method that eliminates electrical leakage between lower layer wiring and upper layer wiring, thereby enabling the formation

This imposes a large stress on the silicon wafer substrate, causing it to bend, and there was a risk that this stress would adversely affect the characteristics of the fabricated semiconductor device.

Furthermore, another technique for planarizing the interlayer insulating film in semiconductor devices is proposed in Japanese Patent Application Publication No. 61-206242. This method involves depositing the interlayer insulating film using a reduced-pressure chemical vapor deposition (reduced-pressure CVD) process to achieve a film thickness of 1.2  $\mu\text{m}$  or more, followed by etching the interlayer insulating film to the desired thickness.

However, this method resulted in an interlayer insulating film with significant thickness variation (in-plane non-uniformity) across different areas, potentially leading to unreliable connections between the first and second layer wiring. Furthermore, during the deposition of the interlayer insulating film, the aluminum wiring was exposed to high temperatures of approximately 400°C or higher for an extended period. This caused protrusions (hirosuku) to grow on the surface of the aluminum wiring. These hirosuku could reduce the breakdown voltage performance of the interlayer insulating film and also risk causing electrical leakage between the lower aluminum wiring and the upper aluminum wiring.

of highly reliable multilayer wiring. Means for Achieving the Objectives

The present invention achieves the first objective by including, in a method for manufacturing a semiconductor device with multilayer wiring, a step of depositing an insulating film with a thickness greater than or equal to the thickness of the wiring and less than 1.2  $\mu\text{m}$  on wiring formed on a predetermined layer of the semiconductor device, and a step of etching the deposited insulating film to a predetermined thickness to form an insulating film layer.

Furthermore, the present invention achieves the first objective in a method for manufacturing a semiconductor device with multi-layer wiring by including: a step of depositing a first insulating film at a temperature of 400°C or lower onto wiring formed on a predetermined layer of the semiconductor device; a step of depositing a second insulating film on the deposited first insulating film, wherein the thickness of the second insulating film is greater than or equal to the step height of the first insulating film and less than 1.2  $\mu\text{m}$ ; and a step of etching the deposited second insulating film to a predetermined thickness to form an insulating film layer. and less than 1.2  $\mu\text{m}$  thick, and an etching step to etch the deposited insulating film to a predetermined thickness to form an insulating film layer.

## [Effect of the Invention]

The principle of the present invention is explained below.

When manufacturing semiconductor devices, if the interlayer insulating film deposited on the first layer of wiring is too thin, an overhang 22 as shown in the aforementioned Figure 12 occurs. Conversely, if the film is deposited with sufficient thickness, such an overhang does not occur. Therefore, the inventors conducted various experiments and investigations to determine the thickness at which no overhang occurs in the interlayer insulating film. In this process, aluminum (Al) wiring with a thickness of  $0.5\ \mu\text{m}$  was formed on a silicon wafer. An interlayer insulating film of silicon dioxide ( $\text{SiO}_2$ ) was then deposited on this wafer and wiring using chemical vapor deposition (CVD) at various thicknesses.

When the deposited film thickness was thin (in this case, the interlayer insulating film 18B was deposited at a thickness of  $0.45\ \mu\text{m}$  relative to the  $0.5\ \mu\text{m}$  thickness of the wiring 16A), as shown in Figure 3(A), a portion 22 of the interlayer insulating film 18B overhangs due to the step difference from the substrate 12 surface to the wiring 16A, similar to the previously described Figure 12. However, it was found that by

As a result, the overhang angle  $\alpha$  had the relationship shown in Figure 5 with respect to the aforementioned ratio  $\times$ . From Figure 5, it was found that if the aforementioned ratio  $\times$  was 1.0 or greater ( $\times \geq 1.0$ ), the overhang angle was  $90^\circ$  or less, and no overhang occurred in the interlayer insulating film. That is, the region where  $\times < 1.0$  is the region where overhang occurs in the insulating film. Furthermore, even when the spacing between first layer wiring is narrow, as shown in Figure 6, pinholes (indicated by reference numeral 24 in Figure 6) that occur when the aforementioned ratio  $\times$  is less than 1.0, for example  $\times 0.75$ , do not occur when the ratio  $\times$  is 1.0 or greater, for example  $\times 1.2$ . Therefore, it was confirmed that in this case too, there is an effect of effectively eliminating overhang.

Furthermore, no differences in the above phenomena were observed based on the type of interlayer insulating film (e.g., natural oxide film or P-doped oxide film). Therefore, overhang does not occur when depositing any type of insulating film, provided its thickness is greater than or equal to the wiring thickness.

Furthermore, it was found that the elimination of overhang can be similarly achieved not

further increasing the thickness of this interlayer insulating film, the insulating film 18B grows to fill the overhanging portion 22 (shown by the dashed line in Figure 3(B)), eliminating the overhang (in the figure, the interlayer insulating film thickness became  $1.0\ \mu\text{m}$ ).

Based on these findings, we conducted further detailed investigation and research into the relationship between the thickness of the interlayer insulating film and the step height of the substrate for forming the insulating film, such as the thickness of the first layer wiring 16A, which causes the interlayer insulating film to become overhanging. In this case, to determine the overhang state by growing the interlayer insulating film, we examined the angle  $\alpha$  of the rising portion of the interlayer insulating film (hereinafter referred to as the overhang angle) shown in Figure 5 for each value of the ratio  $\times$  of the thickness of the deposited insulating film to the thickness of the first layer wiring 16A, as indicated by the dashed lines in Figure 4. ( $\times = 0.3$  to  $1.3$ ) for the angle  $\alpha$  of the overhang portion of the interlayer insulating film (hereinafter referred to as the overhang angle), as shown in Figure 5. In this case, the interlayer insulating film was formed by atmospheric pressure CVD at  $430^\circ\text{C}$ .

only when the substrate for the insulating film is the first layer wiring 16A (as shown, for example, in Figure 1(A) below), but also when the substrate is an insulating film formed on the first layer wiring 16A by the plasma CVD method (as shown, for example, in Figure 2(A) below).

Specifically, in this case, as shown in Figure 2(A), an insulating film 17A (hereinafter referred to as the base insulating film) serving as the base is first deposited on the first layer wiring 16A (thickness  $L$ ) made of Al using the plasma CVD method. Since the deposition rate of the insulating film formed by the plasma CVD method is typically different on the aforementioned wiring 16A and on the silicon substrate 12, the step height  $L_2$  of the aforementioned base insulating film 17A and the aforementioned thickness  $L$  differ. Next, a second insulating film 17B is deposited on top of this deposited base insulating film 17A using atmospheric pressure CVD. It was found that even when the film thickness of the second insulating film 17B deposited in this manner exceeds the thickness  $\sigma$ , no overhang occurs on the insulating film 17B as long as the condition  $\times \geq 1.0$  is satisfied.

As described above, an interlayer insulating film formed on the first layer wiring as a substrate, and an interlayer insulating film comprising an insulating film formed by plasma CVD and an insulating film formed by atmospheric pressure CVD, were etched to a predetermined thickness, for example, as shown in Figure 1(B) below, and then etched to flatten the insulating film, followed by forming the second layer wiring on top of the insulating film. The resulting occurrence rate (%) of breaks or shorts relative to the aforementioned ratio  $\times$  is shown in Figure 7.

As shown in Figure 7, breaks and shorts occurred in the second layer wiring within the overhang region. However, in regions outside this overhang area—specifically, where the insulating film thickness exceeded the thickness of the first layer wiring, and where the thickness of the insulating film formed by atmospheric pressure CVD was greater than the step height of the substrate, i.e., It was found that in regions other than the aforementioned overhang region, namely where the insulation film thickness was greater than the thickness of the first layer wiring, and where the thickness of the insulation film formed by plasma CVD was greater than the step height of the insulation film formed by atmospheric pressure CVD, the occurrence rate was 1.0 times that of the overhang region, and no breaks or shorts occurred. Furthermore, when the inventors observed the second layer wiring

formed on the interlayer insulating film at the aforementioned ratio of 1.0 using a scanning electron microscope (SEM), no open circuits in the second layer wiring or short circuits due to etch residue between second layer wires, as shown in Figures 12 and 13 above, were observed at all. This confirmed the excellent open circuit and short circuit prevention effect of the present invention.

On the other hand, it is known that electrical leakage between the first layer wiring 16A and the second layer wiring 16B, when both are formed from Al, increases with higher temperatures during interlayer insulation film formation and longer holding times at high temperatures. Therefore, it is undesirable to directly form a thick insulating film on the Al wiring using high-temperature atmospheric pressure CVD to eliminate overhang.

Therefore, as shown in Figure 2(A), the inventors formed a first insulating film 17A of silicon oxide (SiO<sub>2</sub>) at various thicknesses on the first layer wiring 16A using a plasma CVD method under a 250°C temperature atmosphere. They then deposited a second insulating film 17B on top of this first insulating film 17A using a normal pressure CVD method, and investigated the number of cracks generated in the first layer wiring 16A. The results of this investigation are shown in Figure 8.

From Figure 8, it was found that forming the first insulating film 17 reduces the number of hi-ticks generated to less than one-tenth of the number when the insulating film is formed directly by atmospheric pressure CVD, and the size of these hi-ticks also decreased to about half. Furthermore, it was found that the thickness of the first insulating film 17A formed by the plasma CVD method provides sufficient crack prevention effects if it is 1000 Å or greater. Additionally, it was found that even when the second insulating film 17B is formed by the atmospheric pressure CVD method, the number of cracks on the first layer wiring 16A does not significantly increase if the film thickness is 15000 Å or less.

Furthermore, to investigate the temperature range where the flicker suppression effect occurs during insulating film formation, insulating films were formed using the plasma CVD method under various temperature conditions. The results are shown in Figure 9. In this case, the thickness of the insulating film deposited by the plasma CVD method was set to 5000 Å.

Figure 9 shows that the number of holes decreases sharply when the deposition temperature is 400°C or lower. Therefore, the deposition temperature

for forming the insulating film on the Al wiring must be 400°C or lower. Furthermore, the effect of suppressing Hirotsu on the Al wiring is determined almost entirely by the deposition temperature and does not depend on the deposition method. Therefore, the method for depositing the first insulating film is not limited to plasma CVD; similar effects can be expected when the insulating film is deposited at low temperatures below 400°C using methods such as optical CVD or laser CVD.

Meanwhile, to maintain the reliability of connections between wiring layers, such as between the first and second layers, it is desirable that the thickness variation within each layer of the deposited insulating film be minimized. Therefore, when the inventors investigated the relative variation (%) of the thickness of the deposited interlayer insulating film relative to the target value, the results were as shown in Figure 10. In this case, the interlayer insulating film was deposited using atmospheric pressure CVD. Furthermore, the wafer serving as the substrate for the semiconductor device under test comprised three wafers, and the interlayer insulating film thickness was measured at nine points on each wafer.

Furthermore, the relative variation shown in Figure 10 was calculated from the measured film thickness using the following Equation (1).

$$\sigma = ((\text{Maximum film thickness} - \text{Minimum film thickness}) / (\text{Maximum film thickness} + \text{Minimum film thickness})) \times 100 (\%)$$

...(1)

From Figure 10, it was found that depositing the insulating film or the second insulating film at 1.2  $\mu\text{m}$  or more causes the relative thickness variation within the wafer plane to increase sharply to  $\pm 5\%$  or more, leading to in-plane non-uniformity of the interwire insulating film.

Therefore, if the thickness of the insulating film deposited directly on wiring 16A, or the second insulating film deposited on the first insulating film, is less than 1.2  $\mu\text{m}$ , the deposition variation of the insulating film can be suppressed, thereby improving the reliability of the connection between the first layer wiring and the second layer wiring. That is, the method described in Japanese Patent Application Publication No. 61-204242 required an insulation film thickness of 1.2  $\mu\text{m}$  or more, resulting in large thickness variations and low reliability of the connection between the first and second layer wiring. The present invention resolves and improves this issue. Furthermore, if the insulating film is less than 1.2  $\mu\text{m}$  thick, there is no risk of excessive stress being applied to the substrate,

This enables the manufacture of a highly reliable semiconductor device free from wire breaks or short circuits, where the wiring between each layer is reliably connected.

Furthermore, according to the present invention, when manufacturing a semiconductor device with multiple wiring layers, a first insulating film (base insulating film) is thinly formed at a deposition temperature of 400°C or below using a low-temperature deposition method such as plasma CVD on the first layer (predetermined layer) wiring and the substrate. °C or lower, and then forming a second insulating film on top of it using a deposition method such as atmospheric pressure CVD at a thickness greater than the step height of the first insulating film and less than 1.2, using a deposition method such as atmospheric pressure CVD. Subsequently, by etching until the interlayer insulation film thickness reaches a predetermined thickness, a semiconductor device with wiring having excellent electrical characteristics, in which no electrical leakage occurs between the first layer wiring (predetermined layer wiring) and the second layer wiring (upper layer wiring), can be produced.

[Examples]

resulting in reliable characteristics for the semiconductor device.

However, from the perspective of planarizing the interlayer insulating film, the present invention finds it difficult to achieve perfect flatness compared to conventional technologies for planarizing interlayer insulating films (e.g., Japanese Patent Application Publication No. 57-14 38 46). However, to prevent second-layer wiring breaks and shorts, perfect planarization of the interlayer insulating film is not strictly necessary. As long as no overhang exists on the insulating film, second-layer wiring breaks and shorts are reliably eliminated. Therefore, the present invention enables the formation of upper-layer wiring free of breaks and shorts using a thinner insulating film than conventional techniques, while also offering high economic efficiency due to simplified manufacturing steps.

The present invention was conceived based on the above findings. According to the invention, when manufacturing a semiconductor device with multilayer wiring, the insulating film is formed to a thickness at least equal to the wiring thickness, i.e., the step height of the substrate, and less than 1.2  $\mu\text{m}$ . This allows the overhang of the insulating film to be eliminated without adversely affecting the characteristics of the semiconductor device, while also achieving precise film thickness uniformity.

The following describes examples of the present invention in detail with reference to the drawings.

First, the first example is described.

In this first example, a semiconductor device was fabricated using the first invention method and the conventional method described later. During this process, the product yield (the ratio of products excluding defective items such as open circuits relative to the semiconductor device materials before manufacturing) of the fabricated semiconductor device was investigated.

In this case, the manufactured semiconductor device is designed with the following specifications: for the first layer wiring, a thickness of 0.55  $\mu\text{m}$ , a minimum width of 2.0  $\mu\text{m}$ , and a minimum spacing between wires of 3.0  $\mu\text{m}$ ; for the second layer wiring, a minimum width of 2.0  $\mu\text{m}$ , and a minimum spacing between lines of 1.5  $\mu\text{m}$ . Furthermore, the target thickness of the interlayer insulating film between the first and second layers was designed to be 0.5  $\mu\text{m}$ .

The semiconductor device designed as described above was manufactured using the first invention method.

Specifically, first, as shown in Figure 1(A), an insulating film 18B with an initial thickness of 0.8  $\mu\text{m}$  was deposited on wiring 16A. Subsequently, as shown in Figure 1(B), the thickness of the interlayer insulating film 18B was formed to 0.5  $\mu\text{m}$  using etchback (hereinafter referred to as the first invention method). At this stage, the etching was performed using anisotropic etching via reactive ion etching (RIE). Furthermore, reference numeral 12 in Figure 1 denotes the silicon wafer substrate.

For comparison, a semiconductor device designed as described above was manufactured from the outset with an interlayer insulating film formed at a thickness of 0.5  $\mu\text{m}$  (hereinafter referred to as the conventional method).

Table 1 shows the yield per lot and the average yield for each lot when semiconductor devices were manufactured on the wafer surface using the conventional method and the present invention method under the above conditions. In this case, each lot consisted of 2,500 semiconductor devices, and three lots each were manufactured using both the conventional method and the present invention method.

In contrast, with the first invention method, when forming the insulating film 18B, prior to etching, the insulating film 18B is formed to the outer shape indicated by the solid line of reference number 35 in Figure 1(B). (A) with the solid line indicated by reference numeral 35, preventing the occurrence of overhanging portions. Furthermore, as shown in the same figure (B), the interlayer insulating film 18B is formed to a predetermined thickness directly by etching. Consequently, the desired interlayer insulating film without overhanging portions is obtained.

Furthermore, if the thickness of the interlayer insulating film before etchback is equal to or greater than the thickness of the first layer wiring, i.e., 0.55  $\mu\text{m}$  or more, then based on the results of the previously mentioned Figure 5, no overhang occurs in the insulating film. However, when manufacturing semiconductor devices within a wafer surface, variations of approximately  $\pm 4\%$  in the thickness of the insulating film typically occur within the wafer surface, and variations of approximately  $\pm 3\%$  occur between wafers. Therefore, when considering each lot, variations of approximately  $\pm 7\%$  occur in the insulating film within the lot. Therefore, in the aforementioned example, the film thickness before etching was set to 0.8  $\mu\text{m}$  to

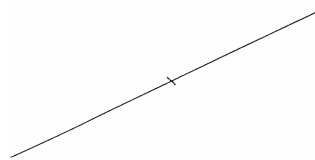


Table 1

| Method                 | Lot No. | Yield (%) | Average Yield (%) |
|------------------------|---------|-----------|-------------------|
| Conventional Method    | 1       | 85        | 81                |
|                        | 2       | 90        |                   |
|                        | 3       | 68        |                   |
| First Invention Method | 4       | 100       | 100               |
|                        | 5       | 100       |                   |
|                        | 6       | 100       |                   |

As shown in Table 1, the conventional method achieves a product yield of approximately 80%, whereas the yield using the present first invention method has been improved to 100%. That is, in the conventional method, since the insulating film is formed without etching, an interlayer insulating film is formed as indicated by the dashed line shown by reference numeral 34 in Figure 1(A). Near both ends of the wiring 16A, an overhanging portion occurs on this insulating film, and this overhanging state caused the yield to decrease.

provide sufficient margin against overhang occurrence due to this variation and to improve the yield of the manufactured semiconductor devices.

Next, the second example is described.

In this second example, semiconductor devices were fabricated using the second invention method and the aforementioned conventional method. The product yield of the fabricated semiconductor devices was investigated for each failure category: open circuits and short circuits in the second layer wiring, and electrical leakage between the first layer wiring and the second layer wiring.

In this case, the semiconductor device being manufactured has its first layer wiring and second layer wiring formed from Al, while the other components are designed similarly to the first example.

In this second example, the semiconductor device designed in this manner was manufactured using the second invention method. Specifically, as shown in Figure 2(A), a first insulating film 17A with a thickness of 0.2  $\mu\text{m}$  was initially deposited on the wiring 16A using plasma CVD at 300°C. Subsequently, a second insulating film 17B with a thickness of 0.8  $\mu\text{m}$  was deposited

using atmospheric pressure CVD at 430°C. Subsequently, as shown in Figure 2 (B), the thickness of the interlayer insulating film composed of the first insulating film 17A and the second insulating film 17B was formed to be 0.5  $\mu\text{m}$  by etching (hereinafter referred to as the second invention method).

For comparison, a semiconductor device designed as described above was manufactured by initially forming an interlayer insulating film with a thickness of 0.5  $\mu\text{m}$  using the atmospheric pressure CVD method (hereinafter referred to as the conventional method). Furthermore, a method was also investigated where only the insulating film formation by plasma CVD was omitted. Instead, an insulating film was formed to a thickness of 0.8  $\mu\text{m}$  by atmospheric pressure CVD, followed by etching back to 0.6  $\mu\text{m}$  to form the interlayer insulating film (hereinafter referred to as the comparison method).

Table 2 shows the results of investigating the yield for breaks and shorts in the first layer of Al wiring, and the yield for interlayer leakage between the first and second layers of Al wiring, when semiconductor devices were fabricated using the conventional method, the comparative method, and the second invention method under the above conditions.

As shown in Table 2, the yield for open circuits and short circuits in the Al wiring of the second dark region is approximately 80% in the conventional method, whereas

Therefore, as shown in Figure 2(B), etching directly results in the formation of an insulating film with a gentle step, ultimately yielding the desired interlayer insulating film without overhang.

On the other hand, the yield for electrical leakage between the first layer wiring and the second layer wiring was 98% with the conventional method and decreased to 90% with the comparative method, whereas it improved to 100% with the present second invention method. The cause of increased interlayer leakage in this comparative method is thought to be that the atmospheric pressure CVD method deposits the film at 430°C, exposing the semiconductor device to high temperatures for an extended period. This resulted in numerous hot spots forming in the first layer wiring made of Al, which then penetrated the interlayer insulating film. In contrast, when the insulating film is deposited at a low temperature of around 300°C using the plasma CVD method, as in the second invention method, the occurrence of holes is suppressed. Furthermore, even when depositing an insulating film using the atmospheric pressure CVD method on top of this insulating

Therefore, based on the results shown in Table 2, it was confirmed that the present second invention not

Table 2

| Method                                                                                                    | Yield (%) of Second Layer Wiring Breakage/Short Circuits | Yield (%) of First Layer Wiring and Second Layer Wiring Leaks |
|-----------------------------------------------------------------------------------------------------------|----------------------------------------------------------|---------------------------------------------------------------|
| Conventional Method (No Etchback)                                                                         | 81                                                       | 98                                                            |
| Comparison method using only atmospheric pressure CVD for insulating film deposition followed by etchback | 100                                                      | 90                                                            |
| Present Second Invention Method                                                                           | 100                                                      | 100                                                           |

the yield using the present second invention method has improved to 100%. Specifically,

in the conventional method, since the insulating film is formed without etching, an interlayer insulating film is formed as indicated by the dashed line shown by reference numeral 34 in Figure 2(A). Near both ends of the wiring 16A, an overhanging portion occurs on this insulating film, and this overhanging state causes the yield to decrease. In contrast, when forming the insulating films 17A and 17B using the second invention method, the insulating film is deposited to the outer shape indicated by the solid line 35 in Fig. 2(A) before etching, so no overhanging portions occur.

only prevents breaks and shorts in the second layer wiring but also achieves 100% product yield for leaks between the first and second layer wiring.

Furthermore, in the aforementioned second example, the second invention was implemented by depositing the insulating film in two stages at low and high temperatures. In this case, the manufacturing equipment performing this deposition may be either separate devices or a single device, provided it is capable of implementing the second invention. Furthermore, the film deposition stages of the present second invention are not limited to two stages. Essentially, as long as a first insulating film can be formed at 400°C or below on the first layer wiring, multiple stages may be employed, or the insulating film deposition may be performed continuously within a single manufacturing apparatus by gradually increasing the temperature.

In the first and second examples described above, anisotropic etching was performed using dry etching methods such as reactive ion etching to create an etch back when implementing the first and second invention methods.

However, the etching technique for etching engravings is not limited to this method; other techniques, such as wet etching, may also be used to perform etching engravings. However, the etching method for the etch-back is not limited to this, and other methods, such as performing the etch-back by wet etching, may also be used. That is, according to the inventors' tests, performing the etch-back by isotropic etching, such as wet etching, also achieved a step reduction effect equivalent to that of the above dry etching in eliminating the unevenness on the insulating film.

Furthermore, while the first and second examples illustrated semiconductor devices formed with aluminum (Al) wiring, silicon dioxide (SiO<sub>2</sub>) interlayer insulation, and a silicon (Si) substrate, semiconductor devices manufactured using the first and second inventions are not limited to such materials. The present invention can also be applied to the manufacture of semiconductor devices using other materials.

#### 4. Brief Description of the Drawings

Figure 1(A) and (B) are partial cross-sectional views illustrating the manufacturing process of the semiconductor device according to the first embodiment of the present invention.

Figure 2(A) and (B) are partial cross-sectional views illustrating the manufacturing process

of a semiconductor device according to the second embodiment of the present invention.

Figure 3(A) is a partial cross-sectional view showing a semiconductor device with an overhang occurring in the interlayer insulating film, illustrating the principle of the present invention.

Figure 3(B) is likewise a partial cross-sectional view showing a semiconductor device without an overhang occurring in the interlayer insulating film.

Figure 4 is a partial cross-sectional view showing the deposition progress of the interlayer insulating film.

Figure 5 is a line graph showing an example of the change in overhang angle with respect to the ratio of the wiring thickness to the interlayer insulating film thickness.

Figure 6 is a cross-sectional view showing an example of pinhole occurrence relative to the thickness of the interlayer insulating film,

Figure 7 is a line graph showing an example of the effect of the aforementioned insulating film thickness on the breakage and short circuit of the second layer wiring,

Figure 8 is a line graph illustrating how the number of Al wiring layers decreases by performing low-temperature film deposition using the plasma CVD method.

Figure 9 is a line graph illustrating that the number of Al wiring cross-connections depends on the deposition temperature.

Figure 10 is a line graph showing an example of increased insulation film thickness variation accompanying thick film formation.

Figure 11 is a cross-sectional view showing a configuration example of a CMOS transistor with a multilayer wiring structure.

Figure 12 is a partial cross-sectional view showing an example of a semiconductor device where the second layer wiring is broken.

Figure 13 is a partial perspective view, including a partial cross-section, showing an example of a semiconductor device where the second layer wiring has interwire short circuits.

Figures 14(A) to (C) are cross-sectional views of key sections showing an example process for forming an interlayer insulating film using a conventional resist etch-back method.

10A, 10B MOS transistor,  
12... matrix,  
16A, 16B, 26... wiring,  
17A, 17B... first and second insulating films,  
18A, 18B, 28... interlayer insulating film,  
22... portion in an overhang state.

Agent: Takaya Ron  
Matsuyama Keisuke  
Makino Tsuyoshi

Figure 1

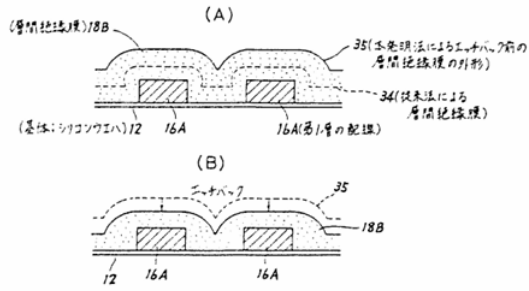


Figure 2

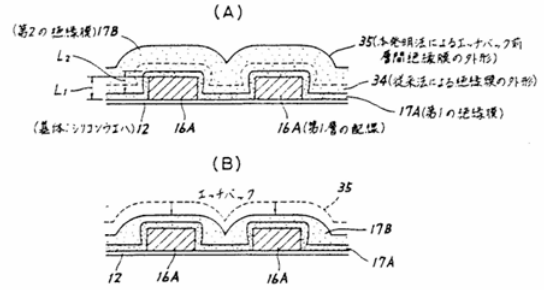


Figure 3

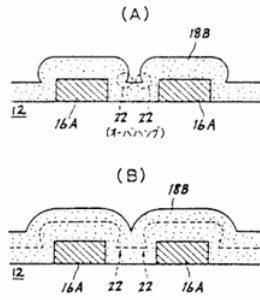
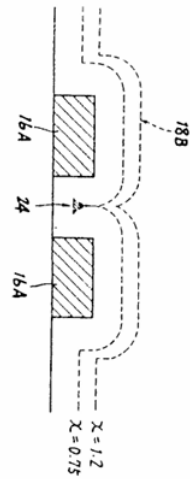


Figure 6

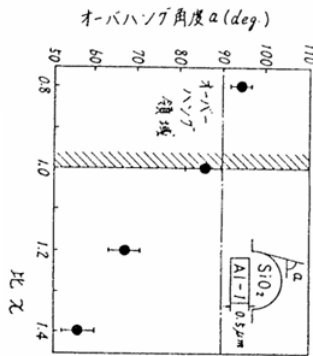


Figure 5

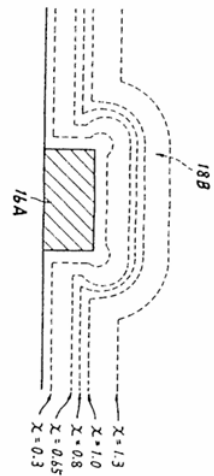


Figure 4

Figure 7

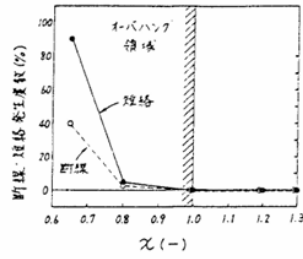


Figure 10

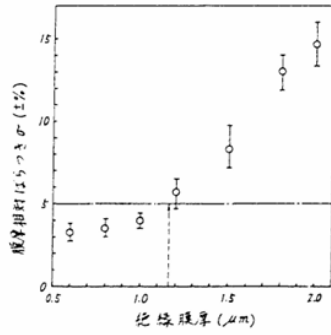


Figure 8

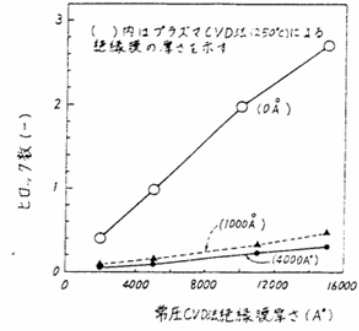


Figure 9

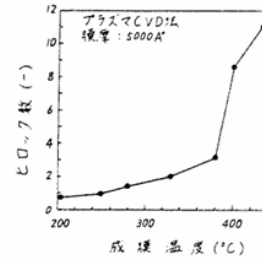


Figure 11

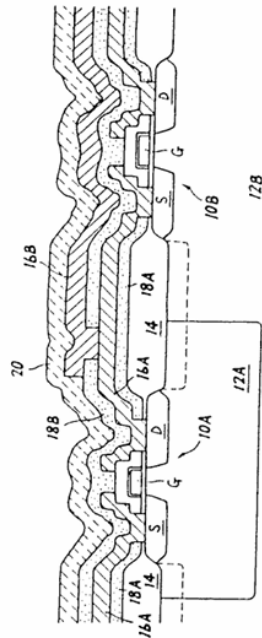


Figure 12

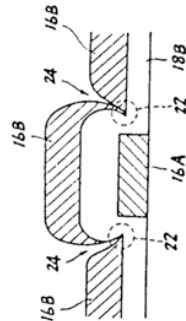


Figure 13

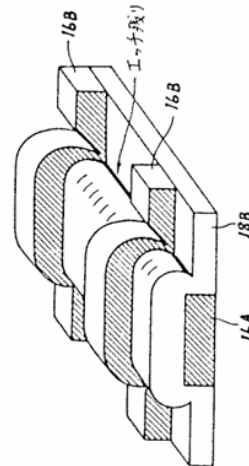
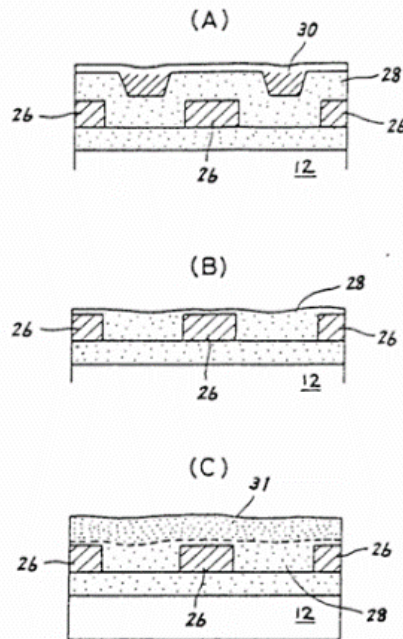


Figure 14



## ⑫ 公開特許公報(A)

平2-138739

⑤Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

④公開 平成2年(1990)5月28日

H 01 L 21/3205  
21/90

J

6824-5F  
6824-5F

H 01 L 21/88

K

審査請求 未請求 請求項の数 2 (全12頁)

⑤4発明の名称 半導体装置の製造方法

②1特 願 平1-100848

②2出 願 平1(1989)4月20日

優先権主張 ②3昭63(1988)7月29日②3日本(JP)②3特願 昭63-189924

⑦2発 明 者 村 川 恵 美 千葉県千葉市川崎町1番地 川崎製鉄株式会社技術研究本部内

⑦2発 明 者 小 田 宗 隆 千葉県千葉市川崎町1番地 川崎製鉄株式会社技術研究本部内

⑦2発 明 者 佐 藤 伸 良 千葉県千葉市川崎町1番地 川崎製鉄株式会社技術研究本部内

⑦1出 願 人 川崎製鉄株式会社 兵庫県神戸市中央区北本町通1丁目1番28号

⑦4代 理 人 弁理士 高 矢 論 外2名

## 明 細 書

## 1. 発明の名称

半導体装置の製造方法

## 2. 特許請求の範囲

(1) 多層配線の半導体装置を製造する方法において、

該半導体装置の所定層に形成された配線に対して、該配線の厚さ以上、且つ、1.2μm未満の厚さの絶縁膜を成膜する工程と、

成膜された絶縁膜を所定厚さになるまでエッチングして絶縁膜層を形成する工程とを含むことを特徴とする半導体装置の製造方法。

(2) 多層配線の半導体装置を製造する方法において、

該半導体装置の所定層に形成された配線に対して、400°以下の温度において第1の絶縁膜を成膜する工程と、

成膜された第1の絶縁膜上に、該第1の絶縁膜の段差以上、且つ、1.2μm未満の厚さの第2の絶縁膜を成膜する工程と、

成膜された絶縁膜を所定厚さになるまでエッチングして絶縁膜層を形成する工程とを含むことを特徴とする半導体装置の製造方法。

## 3. 発明の詳細な説明

## 【産業上の利用分野】

本発明は、半導体装置の製造方法に係り、特に、多層配線される半導体装置の配線を断線や短絡が生じない信頼性の高いものに形成する際に用いるのに好適な、半導体装置の製造方法に関するものである。

## 【従来の技術】

今日、半導体製造技術の進歩と共に、電子制御部品の小型化、高速応答化の要請から、集積回路(IC)等の半導体装置はますます高集積化の傾向を強めている。このような傾向に伴って、半導体装置に各素子間や各素子と外部との接続のため形成される配線及びその配線形態(パターン)は微細化が進み、1つの層に形成するだけでは、前記の如き高集積化の要請に充分に応えることができなくなりつつあった。そのため、集積化した半

導体装置は、多層の配線構造を有すること、即ち多層化が避けられないものとなつている。

このような多層配線構造の半導体装置には、従来から種々のものが製作されているが、例えば第11図に示されるようなCMOS（相補型の金属酸化被膜半導体）トランジスタ構造を有するものがある。

第11図の構造のCMOSTランジスタには、ソースS、ドレインD、ゲートGを有するMOSTランジスタ10Aが、P形シリコン（Si）からなるウエル部といわれる基体（基板ともいう）12A上に、又、同じくMOSTランジスタ10Bが、N形シリコンからなるウエル部以外の基体12B上に、それぞれ形成されている。又、これら各MOSTランジスタ10A、10Bは、基体12A、12B上に所定距離の間隔をとり、且つ、素子分離膜14を挟んで形成されている。

これら各MOSTランジスタ10A、10BのソースS、ドレインD等の各端子は、第1層の配線16A及び第2層の配線16Bによりそれぞれ

16A上に第2層の絶縁膜18Bを成膜すると、第12図に示されるように、前記配線16Aの隅部等の、基体12A、12B上から配線16Aのある部分に至り凹凸する段差部で、第12図中に符号22で示すように、層間絶縁膜18Bの基体12A、12Bに近い部分よりも離れた部分が配線16Aと逆方向に飛び出すいわゆるオーバハング状態に前記層間絶縁膜18Bが形成されてしまう場合がある。このようなオーバハング状態の層間絶縁膜18B上に第2層配線16Bを形成（パターンニング）しようとした場合には、第12図のように、層間絶縁膜18Bのオーバハング状態の部分22に、第12図中符号24で示すように断線が生じたり、あるいは、第13図に示されるように、第2層の配線16Bをパターンニングする際に前記箇所24にエッチングし残りの部分が生じ、近接する第2層配線16B間で短絡が生じる恐れがあり、半導体装置の歩留り向上の障害となつていた。

そこで、従来から、上記のような不具合を解決

所定の接続がなされており、これらの配線16A、16Bは通常アルミニウム（Al）を素材とするものである。又、素子分離膜14、第1層の配線16A、及び第2層の配線16B間には絶縁を確保するため、二酸化シリコン（SiO<sub>2</sub>）を主成分とした絶縁膜18A、18B（以下、絶縁膜18Bを層間絶縁膜と称する）が形成されている。そして、外部雰囲気による配線の酸化等を防止するために、第2層の配線16B、又は層間絶縁膜18Bの最外層には最終保護膜20が形成されている。

ところで、第11図のCMOSTランジスタのように配線を多層化して形成する場合、基体12A、12B近傍の第1層の配線16Aについては問題が生じないが、その上の第2層以上に形成される配線16Bに断線あるいは短絡が発生し、製品歩留り上の大きな問題となる場合がある。

即ち、ほぼ平坦な基体12A、12B表面上に第1層の配線16Aが形成されるため、この配線16Aには問題が生じない。しかしながら、配線

し、前記段差部で生じる層間絶縁膜のオーバハング状態を緩和乃至は消滅させるべく、種々の方法が創案、採用されている。

このような方法の中で通常行われているものの1つに、レジストエッチバックと称される方法がある（例えば特開昭59-2350）。

即ち、この方法においては、まず第14図（A）に示されるように、配線26を覆った二酸化シリコンの層間絶縁膜28上にフोटレジスト膜30を塗布、形成してその表面が平坦化するようにする。なお、第14図において符号12は基体である。

次いで、層間絶縁膜28及びフोटレジスト膜30の全面を、それらのエッチング速度が等しくなる条件で第14図（B）に示されるように反応性イオンエッチング（RIE）によりドライエッチングして、層間絶縁膜28を平坦化する（この工程をエッチバックと称する）。そして、該絶縁膜28上に残ったフोटレジスト膜を剥離、洗浄して除去した後、第14図（C）に示されるよう

に層間絶縁膜28を目標厚とするべく二酸化シリコンを追加成膜する。

しかしながら、前記方法においては、前記のようにエッチバックした後、絶縁膜28上に部分的に残っているフォトレジスト膜を除去し、その絶縁膜28上に更に絶縁膜を追加して成膜する必要があるため、製造工程が複雑になると共に、製造時間も長時間に亘ってしまうという問題がある。又、前記方法において、前記フォトレジストの代わりにシラノール溶液や耐熱性有機高分子を使用する方法（特開昭58-74043等で開示）があるが、このような方法で形成される層間絶縁膜は電気的な性能が低いものであり、採用し難かった。

これに対して、より簡素に絶縁膜を平坦化するようにした技術に、第1層と第2層の層間絶縁膜を第1層の配線の最小間隔の2倍以上の厚さに成膜して該絶縁膜表面を平坦化し、その後、エッチバックして目標厚の層間絶縁膜を得るようにした方法がある（特開昭57-143846、特開昭

58-31557等）。

しかしながら、この方法を用いて、1メガビット（Mbit）のダイナミックランダム（DRAM）等の高集積半導体装置を製造した場合においては、成膜される絶縁膜の厚さが2.0～2.5 $\mu\text{m}$ 以上になるため、基体となるシリコンのウエハに、該ウエハが屈曲するほど大きな応力がかかり、製造される半導体装置の特性に悪影響が及ぼされる恐れがあつた。

又、半導体装置の層間絶縁膜を平坦化する技術には、他に特開昭61-206242で提案された方法がある。この方法は層間絶縁膜を膜厚が1.2 $\mu\text{m}$ 以上になるように減圧気相成長法（減圧CVD法）で成膜し、その後、この層間絶縁膜を所望厚になるまでエッチバックするものである。

しかしながら、この方法においては、形成される層間絶縁膜が、各部の膜厚に大きなばらつき（面内不均一性）が生じたものとなり、第1層配線と第2層配線との間の接続が信頼性の低いものとなる恐れがあつた。又、層間絶縁膜を成膜中に

A $\ell$ からなる配線が長時間400℃程度以上の高温に晒されるために、A $\ell$ 配線の表面に突起（ヒロツク）が成長し、このヒロツクが層間絶縁膜の耐圧性能を低下させると共に、下層A $\ell$ 配線と上層A $\ell$ 配線の間に電気的リークを生じさせる恐れがあつた。

前記の如く、従来の半導体装置の製造方法には、所望厚の層間絶縁膜を形成するのに複雑な工程を要して製造に時間がかかり、半導体装置の特性に悪影響を及ぼしてしまうと共に、各層配線間の接続が信頼性の低いものとなってしまう等の問題点があつた。

〔発明が達成しようとする課題〕

本発明は、前記従来の問題点に鑑みてなされたもので、比較的簡易な工程で、半導体装置の特性に悪影響を及ぼすことなく層間絶縁膜のオーバハング形状を解消すると共に、膜厚の均一化を精度良く図れるようにして、断線、短絡がなく、各層の配線間の接続を確実なものにして、高い信頼性のある多層配線が形成できる半導体装置の製造方

法を提供することを第1の課題とする。

又、本発明は、前記第1の課題に加えて、下層配線と上層配線との間の電気的リークをなくして、高い信頼性のある多層配線が形成できる半導体装置の製造方法を提供することを第2の課題とする。  
〔課題を達成するための手段〕

本発明は、多層配線の半導体装置を製造する方法において、該半導体装置の所定層に形成された配線に対して、該配線の厚さ以上、且つ、1.2 $\mu\text{m}$ 未満の厚さの絶縁膜を成膜する工程と、成膜された絶縁膜を所定厚さになるまでエッチングして絶縁膜層を形成する工程とを含むことにより、前記第1の課題を達成したものである。

又、本発明は、多層配線の半導体装置を製造する方法において、該半導体装置の所定層に形成された配線に対して、400℃以下の温度において第1の絶縁膜を成膜する工程と、成膜された第1の絶縁膜上に、該第1の絶縁膜の段差以上、且つ、1.2 $\mu\text{m}$ 未満の厚さの第2の絶縁膜を成膜する工程と、成膜された絶縁膜を所定厚さになるまで

エッチングして絶縁膜層を形成する工程とを含むことにより、前記第2の課題を達成したものである。

#### 【発明の作用及び効果】

以下、本発明の原理を説明する。

半導体装置を製造する際に、第1層の配線上に成膜する層間絶縁膜は、その膜厚が薄い場合に、前出第12図に示した如きオーバハング22が生じてしまい、一方、十分な厚さに成膜すればそのようなオーバハングは生じない。そこで発明者らは、どのような厚さになつたら層間絶縁膜にオーバハングが生じないか種々の実験、調査を行つた。この際には、シリコンウエハ上に厚さ $0.5\mu\text{m}$ のアルミニウム(A1)の配線を形成し、このウエハ及び配線上に二酸化シリコン $\text{SiO}_2$ の層間絶縁膜を化学的な気相成長(CVD)法で種々の厚さに成膜したものである。

成膜される膜厚が薄い場合(このとき配線16Aの厚さ $0.5\mu\text{m}$ に対して、層間絶縁膜18Bは厚さ $0.45\mu\text{m}$ に成膜した)、第3図(A)

層間絶縁膜の形成を、常圧CVD法により430℃の条件下で行つた。

この結果、前記比 $x$ に対してオーバハング角度 $\alpha$ は第5図に示される関係を有していた。第5図から、前記比 $x$ が1.0以上( $x \geq 1.0$ )であれば、オーバハング角度 $\alpha$ が $90^\circ$ 以下となり、層間絶縁膜にオーバハングが生じないことが判明した。即ち、比 $x < 1.0$ が絶縁膜にオーバハングが生ずる領域である。又、第1層の配線同士の間隔が狭い場合にも、第6図に示すように、前記比 $x$ が1.0未満、例えば $x = 0.75$ であれば生ずるピンホール(第6図に符号24で示す)が、前記比 $x$ を1.0以上例えば $x = 1.2$ とすれば発生せず、従つて、この場合にも良好にオーバハングを解消できる効果があることが確認された。

なお、以上の種々の現象には、層間絶縁膜の種類(熱酸化膜やPドーパ酸化膜等)による相違が観測されなかつた。従つて、いずれの種類の絶縁膜を成膜する際にも、その膜厚を配線の厚さ以上とすれば、オーバハングが生じることがない。

に示されるように、基体12面上から配線16Aに至る段差の影響で前出第12図と同様に層間絶縁膜18Bにオーバハング状態の部分22が生じる。ところが、この層間絶縁膜の厚さを更に厚くしていくと、第3図(B)中破線で示されるオーバハング状態の部分22を埋めるように前記絶縁膜18Bが成長し(図の場合、層間絶縁膜の厚さは $1.0\mu\text{m}$ となつた)、そのオーバハングが解消されるようになることを見出した。

このような知見から、層間絶縁膜がオーバハング状態になる、絶縁膜を形成するための下地の段差例えば第1層配線16Aの厚さに対する絶縁膜の厚さの関係を更に詳しく調査・研究した。この場合においては、層間絶縁膜を成長させてオーバハング状態を知るべく、第4図中に各破線で示されるように、第1層配線16Aの厚さに対する、成膜される絶縁膜の厚さの比 $x$ の各値( $x = 0.3 \sim 1.3$ )について、第5図中に示される、層間絶縁膜の立上り部分の角度(以下、オーバハング角度という) $\alpha$ を調べた。なお、この場合には、

又、オーバハングの解消は、前記の如く絶縁膜の下地が第1層配線16Aの場合(例えば後出第1図(A)に示す)のみならず、プラズマCVD法によつて第1層配線16A上に成膜された絶縁膜が下地の場合(例えば後出第2図(A)に示す)にも同様に達成できることが判明した。

即ち、この場合には第2図(A)に示すように、まずA1の第1層配線16A(厚さ $L_1$ )上にプラズマCVD法によつて下地となる絶縁膜(以下、下地絶縁膜という)17Aを成膜する。プラズマCVD法により成膜される絶縁膜の成膜速度は、前記配線16A上とシリコン基体12上とは、通常異なるため、前記下地絶縁膜17Aの段差 $L_2$ と前記厚さ $L_1$ とは異なる値となる。次いで、この成膜された下地絶縁膜17Aの上に常圧CVD法によつて第2の絶縁膜17Bを成膜する。このように成膜される第2の絶縁膜17Bの膜厚が前記厚さ $L_1$ を超えた場合にも、前記比 $x \geq 1.0$ の条件が満たされれば、該絶縁膜17Bにオーバハングが生じないことがわかつた。

前記のように第1層配線を下地として形成された層間絶縁膜と、プラズマCVD法による絶縁膜及び常圧CVD法による絶縁膜からなる層間絶縁膜とを所定の厚さまで、例えば後出第1図(B)、第2図(B)のようにエッチバックして当該絶縁膜を平坦とし、その絶縁膜上へ第2層配線を形成したところ、前記比 $x$ に対する断線あるいは短絡の発生日数(%)が第7図に示される結果となった。

第7図のように、前記オーバーハング領域で第2層配線に断線・短絡が生じ、このオーバーハング領域以外の領域、即ち絶縁膜厚が第1層配線の厚みより大きな場合、及び常圧CVD法によつて形成された絶縁膜の厚さがその下地段差、即ち、プラズマCVD法によつて形成された絶縁膜の段差より大きな場合は、前記比 $x = 1.0$ になり、断線・短絡が生じないことが判明した。又、発明者らが前記比 $x = 1.0$ の場合の層間絶縁膜上に形成した第2層配線を走査型電子顕微鏡(SEM)で観察したところ、前出第12図、第13図に示し

たような第2層配線の断線あるいは第2層配線間でのエッチ残りによる短絡が全く観察されず、本発明の断線・短絡防止効果が良好であることが確認できた。

一方、第1層配線16Aと第2層配線16BがA $\ell$ で形成されている場合の第1層、第2層配線16A、16B間の電氣的リークは、層間絶縁膜形成時の温度が高いほど、又、高温に保持する時間の長いほど大きくなることが知られている。従つて、オーバーハングを解消するために、A $\ell$ からなる配線上に、直接、高温の常圧CVD法で絶縁膜を厚く形成することは望ましくない。

そこで、発明者は、第2図(A)に示すように、第1層配線16A上にプラズマCVD法によつて250℃の温度雰囲気下で酸化シリコンSiO<sub>2</sub>の第1の絶縁膜17Aを種々の厚さに形成し、その第1の絶縁膜17A上に常圧CVD法によつて第2の絶縁膜17Bを成膜し、前記第1層配線16Aに生じたヒロツクの数を調査した。その調査結果は、第8図に示すようになった。

第8図から、第1の絶縁膜17を形成すれば、発生するヒロツクの数は、常圧CVD法で直接絶縁膜を形成した場合の数分の1以下となることが判明し、そのヒロツクの大きさも1/2程度になった。又、プラズマCVD法による第1の絶縁膜17Aの厚さは、1000Å程度以上であればヒロツク防止効果が十分あることが判明した。又、常圧CVD法で第2の絶縁膜17Bを形成してもその膜厚が15000Å以下の場合においては、第1層配線16A上のヒロツクは大きく増加しないことが判明した。

又、絶縁膜を形成する際の、ヒロツクの抑制効果が出る温度領域を調べるべくプラズマCVD法により種々の温度条件で絶縁膜を形成した。その結果を第9図に示す。この場合、プラズマCVD法により成膜する絶縁膜の膜厚は、5000Åとした。

第9図から、絶縁膜が成膜される際の温度が400℃以下の場合にヒロツク数が急激に低下することが判明した。従つて、A $\ell$ の配線上に絶縁膜

を成膜する際の形成温度は、400℃以下にする必要がある。又、A $\ell$ の配線におけるヒロツク抑制効果は、ほとんど成膜温度によつて決まり、成膜方法には依存しない。従つて、第1の絶縁膜を成膜する方法はプラズマCVD法に限られず、光CVD法あるいはレーザCVD法等により400℃以下の低温で絶縁膜を成膜した場合も同様の効果が期待される。

ところで、成膜される絶縁膜は、各層、例えば第1層と第2層の配線間の接続の信頼性を保つために、同一層における膜厚のばらつきが極力小さいものであることが望まれる。そこで、発明者等が、成膜される層間絶縁膜の膜厚の目標値に対する相対ばらつき $\sigma$ (%)を調査したところ、第10図のような結果となった。なお、この場合、前記層間絶縁膜の成膜は、常圧CVD法を使用して行つていた。又、測定対象となる半導体装置の基体となるウエハは3枚であり、ウエハ毎に9点ずつ層間絶縁膜の膜厚を測定した。更に、第10図の相対ばらつき $\sigma$ は、その測定される膜厚から次

式(1)の如く算出されたものである。

$$\sigma = \left( \frac{\text{最大膜厚} - \text{最小膜厚}}{\text{最大膜厚} + \text{最小膜厚}} \right) \times 100 (\%)$$

…(1)

第10図から、絶縁膜又は第2の絶縁膜を1.2 $\mu\text{m}$ 以上成膜すると、ウエハ面内での膜厚の相対ばらつき $\sigma$ が±5%以上に急激に増加し、層間絶縁膜の面内不均一性を招いてしまうことが判明した。

従つて、配線16A上に直接に成膜する絶縁膜、又は第1の絶縁膜上に成膜する第2の絶縁膜は、厚さが1.2 $\mu\text{m}$ 未満であれば絶縁膜の成膜ばらつきが低く抑えられ、第1層配線と第2層配線の接続の信頼性を向上させることができる。即ち、前記特開昭61-204242で示された方法では、絶縁膜の膜厚が1.2 $\mu\text{m}$ 以上とされていて膜厚のばらつきが大きいため、第1層と第2層の配線間の接続状態についての信頼性が低いものであつたが、本発明はこの点をも解消し改善し得るものである。又、絶縁膜が1.2 $\mu\text{m}$ 未満で

半導体装置の特性に悪影響を与えることなく、絶縁膜のオーバーハングを解消すると共に膜厚の均一化を精度良く図れ、配線に断線や短絡がなく、且つ、各層の配線間が確実に接続される信頼性の高い半導体装置を製造することができる。

又、本発明によれば、多層配線の半導体装置を製造する際に、第1層(所定層)配線及び基体にプラズマCVD法等の低温成膜法によつて400℃以下の成膜温度で第1の絶縁膜(下地絶縁膜)を薄く形成し、その上に常圧CVD法等の成膜法によつて、前記第1の絶縁膜の段差以上で且つ1.2 $\mu\text{m}$ 未満の厚さに第2の絶縁膜を形成し、その後、層間絶縁膜厚が所定厚になるまでエッチングすることにより、第1層配線(所定層配線)と第2層配線(上層配線)との間に電気的リークが生ずることのない、電気的特性の良好な配線の半導体装置を製造することができるという優れた効果が得られる。

#### 【実施例】

以下、図面を参照して本発明の実施例を詳細に

あれば、基体に対して過大な応力がかかる恐れがなく、半導体装置の特性が信頼性のあるものになる。

なお、本発明は層間絶縁膜を平坦化する面から見れば従来の層間絶縁膜を平坦化する技術(例えば特開昭57-143846等)と比較して完全な平坦度を得ることが困難なものである。しかしながら、第2層配線の断線・短絡の防止を図るためには、層間絶縁膜の完全な平坦化は必ずしも要せず、該絶縁膜にオーバーハングが存在しなければ第2層配線の断線・短絡は確実に解消されるものである。よつて、本発明は、従来技術に比べて少ない絶縁膜厚で断線・短絡のない上層配線を形成することができると共に、製造手順の簡易さから経済性の高いものであるといえる。

以上の知見から本発明は創案されたものである。本発明によれば、多層配線の半導体装置を製造する際に、絶縁膜を配線の厚さ即ち下地の段差以上、且つ、1.2 $\mu\text{m}$ 未満に成膜するという比較的簡単な段差緩和工程を含むようにするだけで、半導

説明する。

まず、第1実施例について説明する。

この第1実施例においては、本第1発明方法及び後記する従来法を用いた工程により半導体装置を作成し、この際、作成される半導体装置の製品歩留り(製造前の半導体装置材料に対する断線等の不良品を除いた製品の割合)を調査したものである。

この場合、製造される半導体装置は、第1層配線については配線の厚さが0.55 $\mu\text{m}$ 、最小幅が2.0 $\mu\text{m}$ 、配線同士の最小間隔が3.0 $\mu\text{m}$ に、又、第2層配線については、最小配線幅が2.0 $\mu\text{m}$ 、配線同士の最小間隔が1.5 $\mu\text{m}$ に、更に、第1層及び第2層間の層間絶縁膜の目標の厚さが0.5 $\mu\text{m}$ に設計されているものである。

前記のように設計される半導体装置を本第1発明方法を採用して製造した。即ち、まず、第1図(A)に示されるように配線16A上に、当初、0.8 $\mu\text{m}$ の絶縁膜18Bを成膜し、次いで、エッチバックにより第1図(B)に示されるように

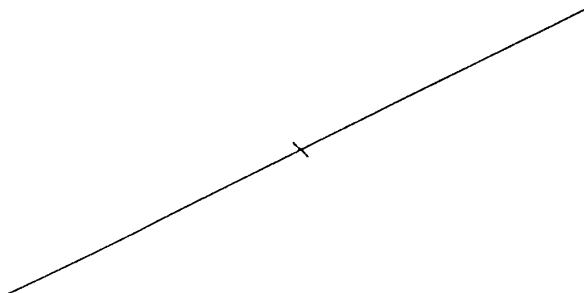
第 1 表

| 方 法    | ロット No | 歩留り<br>(%) | 歩留り平均<br>(%) |
|--------|--------|------------|--------------|
| 従来法    | 1      | 85         | 81           |
|        | 2      | 90         |              |
|        | 3      | 68         |              |
| 本第1発明法 | 4      | 100        | 100          |
|        | 5      | 100        |              |
|        | 6      | 100        |              |

層間絶縁膜18Bの厚さを0.5 $\mu\text{m}$ に形成した(以下、本第1発明法という)。なお、この際、前記エッチバックは反応性イオンエッチング(RIE)による異方性エッチングにより行つた。又、第1図中符号12は基体となるシリコンのウエハである。

又、比較のため、前記の如く設計される半導体装置を当初から厚さ0.5 $\mu\text{m}$ の層間絶縁膜を形成して製造した(以下、従来法という)。

上記のような条件で、従来法及び本発明法により半導体装置を前記ウエハ面内に製造した際の、各ロット毎の歩留りとその歩留り平均を、第1表に示す。この場合、各ロットは半導体装置2500個であり、従来法及び本第1発明法共に3ロットずつ当該半導体装置の製造を行つた。



これに対して、本第1発明法により、絶縁膜18Bを形成すると、エッチバック前においては、第1図(A)中符号35の実線で示される外形に絶縁膜18Bが成膜されるためオーバハング状態の部分が生じることがなく、又、同図(B)に示されるように、そのままエッチバックにより絶縁膜18Bが所定厚に形成されることから、結局オーバハング状態のない所望の層間絶縁膜を得られるものである。

なお、エッチバック前の層間絶縁膜の厚さが、第1層配線と同じ厚さ以上、即ち、0.55 $\mu\text{m}$ 以上であれば、前出第5図の結果から当該絶縁膜にオーバハングは生じないものである。しかしながら、半導体装置をウエハ面内で製造する際には、通常、ウエハ面内で絶縁膜の厚さに $\pm 4\%$ 程度のばらつきが生じ、又、ウエハ間では $\pm 3\%$ 程度のばらつきが生じる。従つて、各ロット毎に見れば、ロット内の絶縁膜には $\pm 7\%$ 程度のばらつきが生じるものである。よつて、前記実施例においては、このばらつきによるオーバハング発生に対して充

第1表に示すように、従来法においては、製品の歩留りが80%程度であるのに比べ、本第1発明法による歩留りは、100%に向上している。即ち、従来法においては、絶縁膜をエッチバックによらずに形成しているため、第1図(A)中の符号34で示される破線の如く層間絶縁膜が形成され、配線16Aの両端部付近において該絶縁膜にオーバハング状態の部分が発生し、このオーバハング状態により歩留りが低下したからである。

分な余裕をとり製造される半導体装置の歩留りを向上させるべく、エッチバック前の膜厚を0.8 $\mu\text{m}$ に設定したものである。

次に、第2実施例について説明する。

この第2実施例においては、本第2発明方法及び前記従来法を用いた工程により半導体装置を作製し、この際作製される半導体装置の製品歩留りを第2層配線の断線・短絡及び第1層配線と第2層配線の間の電氣的リークの項目別に調査したものである。

この場合、製造される半導体装置は、第1層配線及び第2層配線はA<sub>2</sub>で形成しており、その他の構成は、前記第1実施例と同様に設計されている。

この第2実施例においては、このように設計される半導体装置を本第2発明方法を採用して製造した。即ち、まず、第2図(A)に示されるように配線16A上に、当初、0.2 $\mu\text{m}$ の第1の絶縁膜17AをプラズマCVD法により300℃の条件で成膜し、次いで、0.8 $\mu\text{m}$ の第2の絶縁

膜 17B を常圧 CVD 法により 430℃ の条件で成膜した。その後、エッチバックにより、第 2 図 (B) に示されるように前記第 1 の絶縁膜 17A と前記第 2 の絶縁膜 17B からなる層間絶縁膜の厚さが 0.5  $\mu\text{m}$  になるように形成した (以下、本第 2 発明法という)。

比較のため、前記のように設計される半導体装置を、当初から厚さ 0.5  $\mu\text{m}$  の層間絶縁膜を常圧 CVD 法により形成して製造した (以下、従来法という)。又、プラズマ CVD 法による絶縁膜形成だけを省略し、常圧 CVD 法によつて絶縁膜を 0.8  $\mu\text{m}$  形成し、その後、0.6  $\mu\text{m}$  までエッチバックして層間絶縁膜を形成する方法についても検討した (以下、この方法を比較法という)。

上記のような条件で従来法、比較法、及び本第 2 発明法で半導体装置を作成した際の、第 1 層の A 配線の断線・短絡の歩留りと、第 1 層及び第 2 層の A 配線間の走間リークの歩留りとを調査した結果を、第 2 表に示す。

号 35 の実線で示される外形に絶縁膜が成膜されるためオーバーハング状態の部分が生じることがない。従つて、第 2 図 (B) に示されるように、そのままエッチバックすることにより段差の緩かな絶縁膜が形成されることとなり、結局、オーバーハング状態のない所望の層間絶縁膜が得られる。

一方、第 1 層配線と第 2 層配線の間の電気的リークの歩留りは、従来法が 98% であり、又、比較法では 90% にまで低下したのに対して、本第 2 発明法では 100% に向上していた。この比較法において層間リークが増加した原因は、常圧 CVD 法によつて 430℃ で成膜するため、長時間半導体装置を高温に晒すことになり、A 配線からなる第 1 層配線に多数のヒロックが発生し、層間絶縁膜を突き破つたためと考えられる。これに対して、本第 2 発明法の如くプラズマ CVD 法によつて 300℃ 程度の低温で絶縁膜を成膜した場合、ヒロックの発生が抑制され、且つ、その絶縁膜の上に常圧 CVD 法による絶縁膜の成膜を行つてもヒロックが成長しない。

第 2 表

| 方 法                           | 第 2 層配線の断線・短絡の歩留り (%) | 第 1 層配線及び第 2 層配線リークの歩留り (%) |
|-------------------------------|-----------------------|-----------------------------|
| 従 来 法<br>(エッチバックなし)           | 81                    | 98                          |
| 常圧 CVD 法のみで絶縁膜を成膜しエッチバックした比較法 | 100                   | 90                          |
| 本第 2 発明法                      | 100                   | 100                         |

第 2 表に示すように、従来法においては、第 2 層の A 配線の断線・短絡の歩留りが 80% 程度であるのに比べ、本第 2 発明法による歩留りは 100% に向上している。即ち、従来法においては、絶縁膜をエッチバックによらずに形成しているため、第 2 図 (A) 中の符号 34 に示される破線の如く層間絶縁膜が形成され、配線 16A の両端部付近において該絶縁膜にオーバーハング状態の部分が発生し、このオーバーハング状態により歩留りが低下したからである。これに対して、本第 2 発明法により絶縁膜 17A 及び 17B を形成すると、エッチバック前においては、第 2 図 (A) 中に符

従つて、第 2 表に示す調査結果から、本第 2 発明によれば、第 2 層配線の断線・短絡を防止するだけではなく、第 1 層、第 2 層配線層間のリークについても 100% の製品歩留りを達成できることが確認できた。

なお、前記第 2 実施例においては、本第 2 発明を実施するのに、絶縁膜の成膜を低温と高温の 2 段階で行つていたが、この場合にこの成膜を行う製造装置は、別々の装置であつても、あるいは 1 つの装置であつても本第 2 発明を実施可能であればいずれでもよい。又、本第 2 発明の成膜の段階は 2 段階に限定されず、要は、第 1 層配線上に 400℃ 以下で第 1 の絶縁膜が形成できる限り、多段階にしても、あるいは 1 つの製造装置内で連続的に温度を上昇させて絶縁膜の成膜を行うようにしてもよい。

前記第 1、第 2 実施例においては、本第 1、第 2 発明法を実施するに際して、反応性イオンエッチング等のドライエッチングにより異方性エッチングを行ないエッチバックしていた。しかしなが

ら、エッチバックのためのエッチングの手法はこれに限定されるものではなく、他の手法、例えばウエットエッチングによりエッチバックを行うようにしてもよい。即ち、発明者らの試験によれば、ウエットエッチング等による等方性エッチングによりエッチバックを行つても上記ドライエッチングと同等の絶縁膜上の凹凸を解消する段差緩和効果が得られた。

又、前記第1、第2実施例においては、配線がアルミニウム（Al）、層間絶縁膜が二酸化シリコン（SiO<sub>2</sub>）、基体がシリコン（Si）で形成される半導体装置を例示したが、本第1、第2発明を採用して製造される半導体装置はこのような材質のものに限定されず、他の材質の半導体装置を製造する際にも本発明を適用することができる。

#### 4. 図面の簡単な説明

第1図（A）、（B）は、本発明の第1実施例に係る半導体装置の製造工程を説明するための要部断面図、

が減少することを説明するための線図、

第9図は、同じく、Al配線のヒロツク数が成膜温度に依存することを説明するための線図、

第10図は、同じく、厚膜化に伴う絶縁膜厚ばらつきの増大例を示す線図、

第11図は、多層配線構造をもつCMOSトランジスタの構成例を示す断面図、

第12図は、第2層配線が断線した半導体装置の例を示す要部断面図、

第13図は、第2層配線が線間短絡した半導体装置の例を示す、一部断面図を含む要部斜視図、

第14図（A）～（C）は従来のレジストエッチバック法による層間絶縁膜成膜の工程例を示す要部断面図である。

第2図（A）、（B）は、本発明の第2実施例に係る半導体装置の製造工程を説明するための要部断面図、

第3図（A）は、本発明の原理を説明するための、層間絶縁膜にオーバハングが発生した状態の半導体装置を示す要部断面図、

第3図（B）は、同じく、層間絶縁膜にオーバハングが発生しない状態の半導体装置を示す要部断面図、

第4図は、同じく、層間絶縁膜の成膜進行状況を示す要部断面図、

第5図は、同じく、配線厚さと層間絶縁膜の厚さの比に対するオーバハング角度の変化例を示す線図、

第6図は、同じく、層間絶縁膜の厚さに対するピンホールの発生例を示す要部断面図、

第7図は、同じく、前記絶縁膜厚が第2層配線の断線・短絡に及ぼす影響の例を示す線図、

第8図は、同じく、プラズマCVD法による低温成膜を行うことにより、Al配線のヒロツク数

22…オーバハング状態の部分。

代理人 高 矢 論  
松 山 圭 佑  
牧 野 剛 博

10A、10B…MOSトランジスタ、

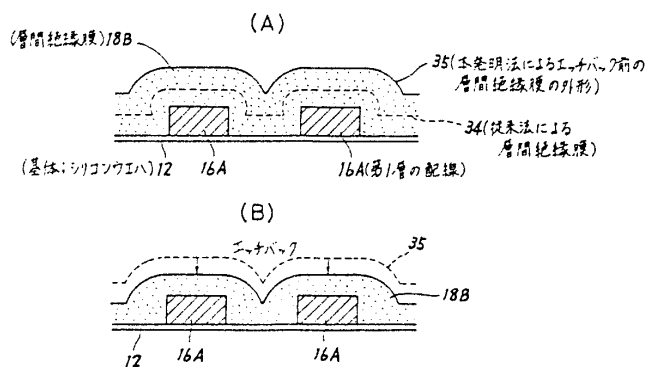
12…基体、

16A、16B、26…配線、

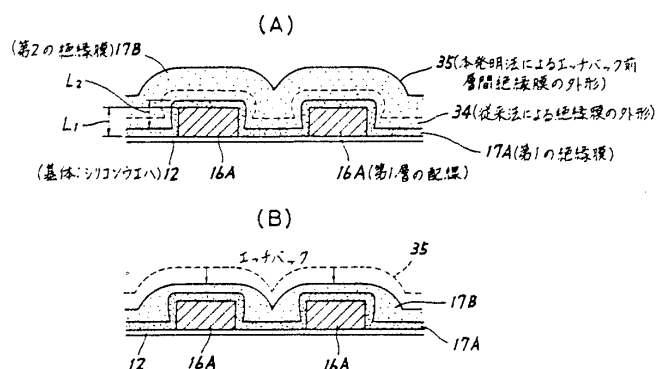
17A、17B…第1、第2の絶縁膜、

18A、18B、28…層間絶縁膜、

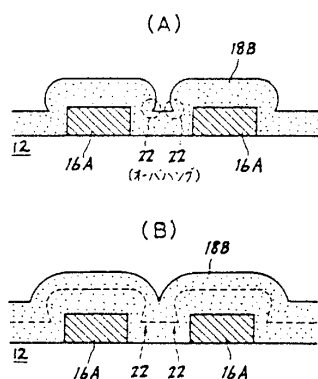
第 1 図



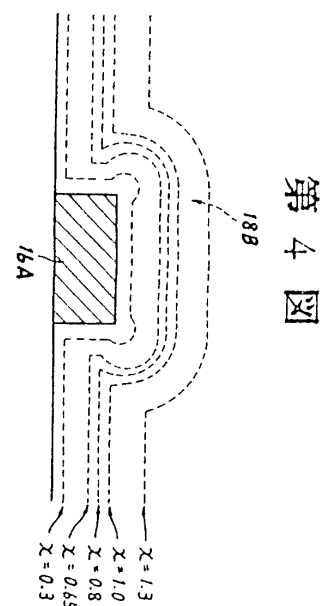
第 2 圖



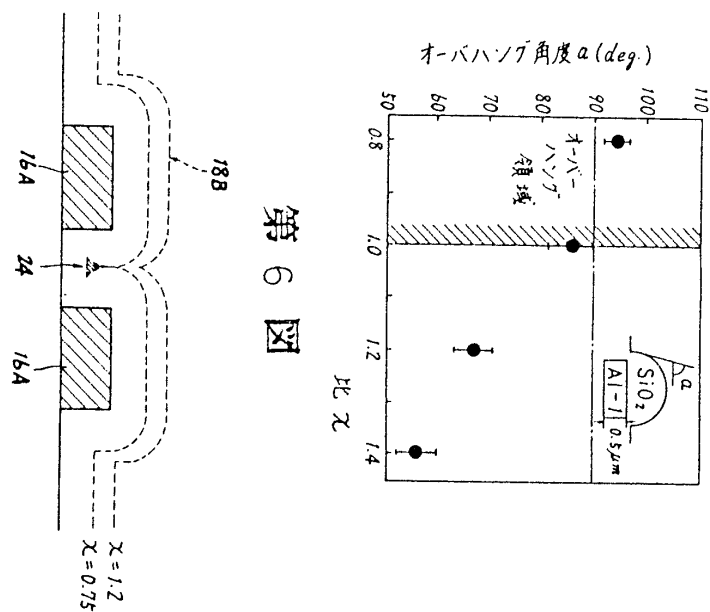
第 3 図



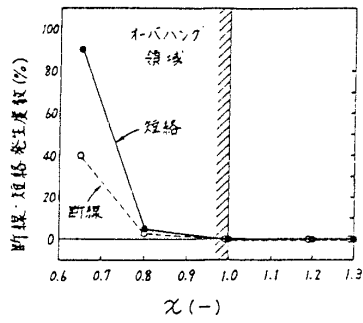
第 5 圖



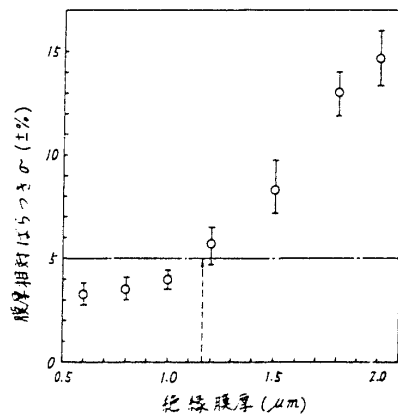
無  
の  
印



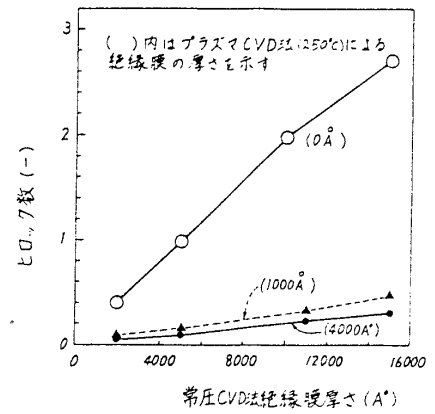
第 7 図



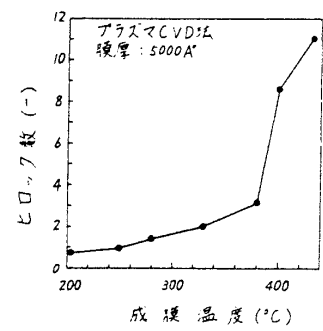
第 10 図



第 8 圖



第 9 圖



二六

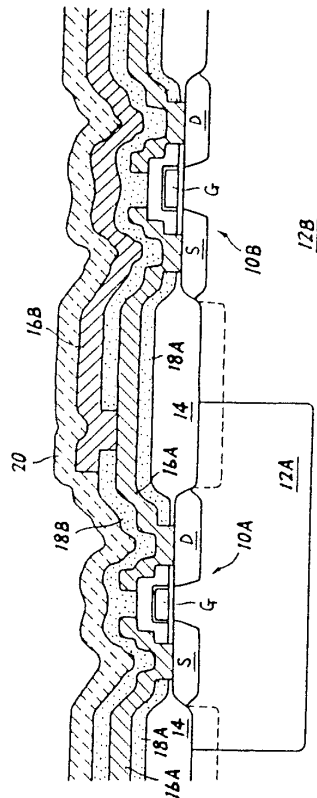


圖 12 第

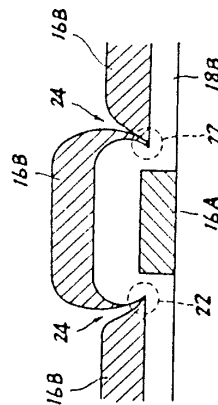
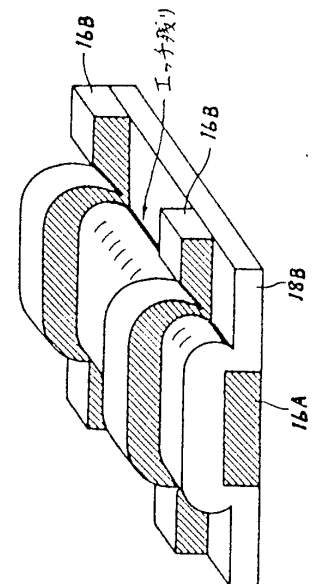


圖  
13  
第



第 14 図

